

优化HV CoolGaN™功率晶体管的PCB布局

关于在开关电源（SMPS）应用中实现HV CoolGaN™最佳运行的实用指南

文：Eric Persson， Francesco Di Domenico

关于本文

范围与目的

高压（HV）氮化镓（GaN）晶体管的快速开关能力给 PCB 的布局带来了挑战。本应用说明讨论了几个重要概念，旨在帮助用户了解 PCB 的布局挑战，并探讨了几个策略，以帮助用户优化布局，实现最佳的整体电气性能和热性能。

目标受众

对使用高压 GaN 器件实现最佳性能感兴趣的开关电源（SMPS）设计工程师、PCB 布局工程师、技术人员和电子系统开发人员。

目录

目录

关于本文.....	1
目录 2	
1 引言.....	3
2 实际问题.....	4
3 详细了解硬开关中的半桥拓扑.....	5
4 互感和部分电感.....	7
5 封装电感：固定值还是取决于布局？.....	9
6 顶部散热式晶体管封装的优点.....	12
7 功率回路布局选项和结果概述.....	14
8 栅极驱动布局的注意事项.....	15
9 使用驱动法拉第屏蔽.....	19
10 优化高速 HV GaN 晶体管性能的主要建议摘要.....	22
参考文献.....	23
修订记录.....	24
免责声明.....	25

1 引言

自从 40 多年前，第一款开关电源问世以来，PCB 的布局就一直是电力电子设计中不可或缺的一环。无论采用哪种晶体管技术，我们必须理解和管理 PCB 布局产生的寄生阻抗，确保电路正确、可靠地运行，而且不会引起不必要的电磁干扰（EMI）。

尽管现代的宽禁带功率半导体不像早期的硅技术那样，存在严重的反向恢复问题，但其较快的开关转换，会导致其换向 dv/dt 和 di/dt 比前代硅技术更加极端。应用说明对 PCB 布局提供的建议通常是“尽量减小寄生电感”，但实现这一点的最佳方法并不总是清晰明确。此外，并非所有导电路径都需要有尽可能低电感：例如，与电感器的互连——显然该路径中已经存在电感。

当然，尽可能降低所有互连电感，并同时消除 PCB 上的所有节点到节点的电容是不可能的。因此，成功的 PCB 布局的关键在于，理解在开关电子器件中，哪些地方的阻抗是真正重要的，以及如何减轻这种不可避免的阻抗带来的不良后果。

另一个复杂因素是，PCB 布局不仅涉及电气互连的优化，通常还需要热路径，后者与电气优化的目标相冲突。即使是像散热片这样的机械结构，在应用于 PCB 并仅用薄薄的热界面材料（TIM）隔开时，也会表现得像 PCB 组件的附加电气平面，并与电路的开关节点相互作用。

本应用说明将从解释基本原理开始：开关转换期间到底发生了什么，我们看到的瞬态电压和电流的因果关系是什么，以及电流到底流向何处。当我们思考电流的流向时，我们往往忘记考虑返回路径，而这一点非常重要。另一个重要概念是，如何看待电感：电感通常被视为回路中各个电感元件的累加——但并不一定全都相加：根据源电流和返回电流之间的几何关系，互感可能会改变极性，从而导致相减，而非相加。介绍回路电感、部分电感和互感的概念，将有助于我们解释和理解这种相互作用。

接下来，我们将介绍不同的功率级布局选项，以及每种选项的利弊权衡。这部分的总体目标是，了解尽可能减小电源回路电感的最佳方法。对于垂直安装在 PCB 上的传统通孔晶体管，晶体管封装的电感独立于 PCB，这是因为它们成直角。对于 SMT 封装，封装电感本身与返回路径的布线方式有关，因此有很多布局选项和替代方案，来提高整体性能。

由于电源回路的设计涵盖了热路径和电气路径优化，因此本文介绍了顶部散热与底部散热晶体管封装的选项和权衡。最后，本文解释了栅极驱动电路的设计、布局和布线，及其“隐藏”的电流路径。

2 实际问题

电力电子电路的物理布局和封装增加了“寄生”元件，包括：寄生电阻、寄生电容和寄生电感。这些寄生元件会导致意外行为和不良后果，例如：电路故障、电磁干扰（EMI）、振荡，甚至在严重时还可能导致交叉传导或“直通”，从而导致晶体管失效。寄生电阻效应是相对容易理解的——特别是相对于直流电流来说。尽量降低寄生电阻的解决方案是，使用更多的铜，来增加总载流横截面。如果是高频交流电流，由于趋肤效应，情况则更加复杂。对于 PCB 集成磁性元件，则需要仔细思考趋肤效应和邻近效应，不过这不在本文的讨论范围内。

寄生电容的概念也非常简单。特别是在 PCB 这样的结构中，铜层形成平行板，中间夹着薄薄的介电层。我们可以使用简单的 2D 工具来估算寄生电容： $C \approx \epsilon_0 \epsilon_R (\text{面积}/\text{间距})$ ，还可以轻松估算给定层叠的单位面积电容。正如我们将在后文中讨论的，有时电容耦合路径还包含其他器件，而不仅仅是 PCB。至于哪个电容值可以接受，这一问题也将在后文进行讨论。

寄生电感则不同：基础电路课程告诉我们，电感是分立元件，像串联电阻一样相加。然而，在更高级的电磁学课程中，我们学到，电感通过互感相互作用，互感可以增加或减少总电感，具体取决于几何形状和电流的流动方向。此外，我们往往无法很好地估算布局的电感值，也无法确定开关电路所需的 di/dt 幅度——多大的幅度会产生问题？

这些布局问题对于电力电子器件而言已不是新鲜事，但具有低电荷且无反向恢复的 GaN 晶体管，缩短了开关转换时间。快速开关晶体管主要引发了两个相关问题。GaN 的高跨导与低栅极电荷相结合，可导致极快的开关 $(di_{DS})/dt$ 。由于开关节点的电容迅速放电，快速的 $(di_{DS})/dt$ 会导致峰值电流——由此产生的 $C (dV_{DS})/dt$ 会增加负载电流。高开关电流结合 GaN 功率晶体管的低 Q_{OSS} ，导致导通时出现快速 $(dV_{DS})/dt$ 边缘。

为什么快速 di/dt 和 dV/dt 问题重重？一方面，快速导通 di/dt 可以缩短开关时间，从而减少损耗，因此是可取的。但出现问题的主要原因是，寄生电感元件上出现 $L di/dt$ 感应电压。这种不良影响通常出现在主换向回路，或栅极驱动回路中。在电源回路中，过压会增加 EMI 问题，并对晶体管产生高压应力，从而降低可靠性。在栅极回路中， $L di/dt$ 感应电压会减去施加的栅极电压，从而减缓开关速度，但也可能导致 V_{GS} 振铃和过压，甚至振荡行为，从而迅速损坏晶体管。

3 详细了解硬开关中的半桥拓扑

半桥拓扑广泛应用于电力电子领域，是“图腾柱”无桥功率因数校正（PFC）、全桥 DC-DC 转换器、LLC 转换器、逆变器等的基礎。由于 GaN 具有低输出电荷，没有体二极管恢，因此是半桥拓扑的理想晶体管之选，并且可以在硬开关或软开关中使用。本文将半桥拓扑视为一个双端口网络，如 0 所示。

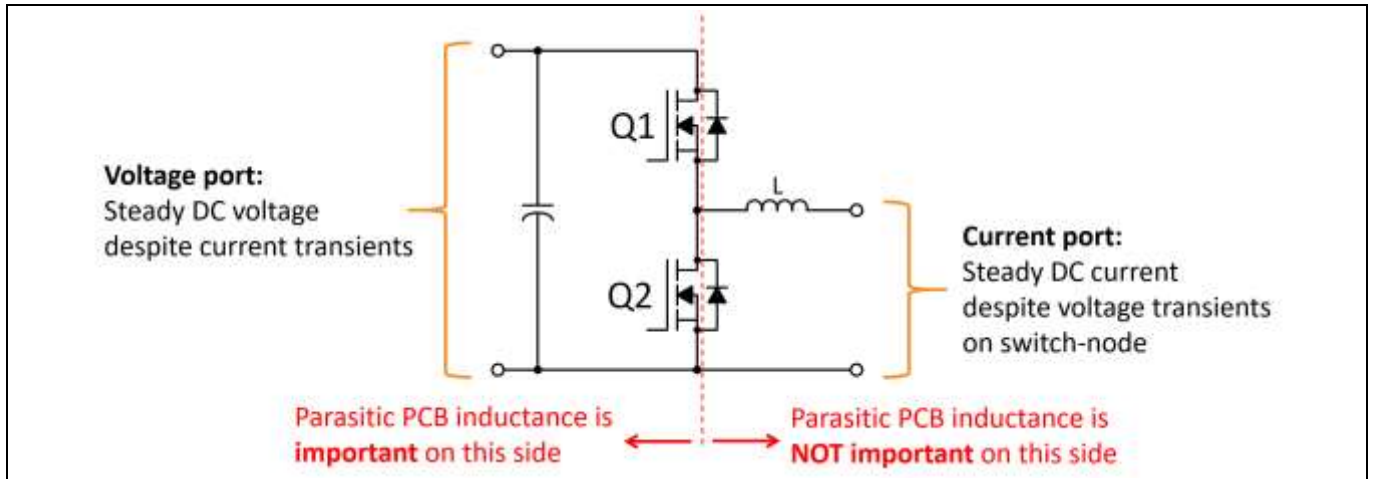


图 1 半桥拓扑是一个双端口网络

电路左侧是代表电压端口，代表直流总线。直流总线电压应保持稳定——尽管在晶体管开关时，会发生电流瞬变。功率传输是向左还是向右并不重要；无论在何种情况下，总线都应保持稳定。电路的右侧是电流端口。在此处，电感电流仍应保持稳定——尽管开关节点上可能出现电压瞬变。这个区别非常重要，因为它表明寄生电感对左侧回路非常重要——以最大限度地减少晶体管上出现的 $L di/dt$ 瞬态电压。但右侧已经是一个电感路径——所以，是否在此增加额外的寄生电感并不重要——与预期的电感相比微不足道。

另一个有助于理解开关行为的概念是：强制函数。快速变化的电流会产生感应电压 $v = L di/dt$ ，快速变化的电压会诱导出电流 $i = C dv/dt$ ，但哪个是因，哪个是果呢？在硬开关晶体管中，电流被视为强制函数。在开关期间，晶体管被用作跨导放大器——驱动电流响应栅极信号。晶体管导通的速度 (di/dt) 受限于栅极信号完全增强的速度。另一方面， dv/dt 是一种效应：它取决于施加的电流对节点电容充电的速度。

现在，我们来思考半桥拓扑的开关瞬态现象。0 显示了一个半桥的脉冲测试设置：Q2 是有源开关，Q1 是同步整流器。这个开关波形显示了 Q2 的硬开关导通，然后是其关断（基本上是零电压开关（ZVS））。这模拟了图腾柱 PFC 在连续导通模式（CCM）下的典型电路操作。在这两种情况下，初始电感电流均为 10 A，总线电压为 400 V。

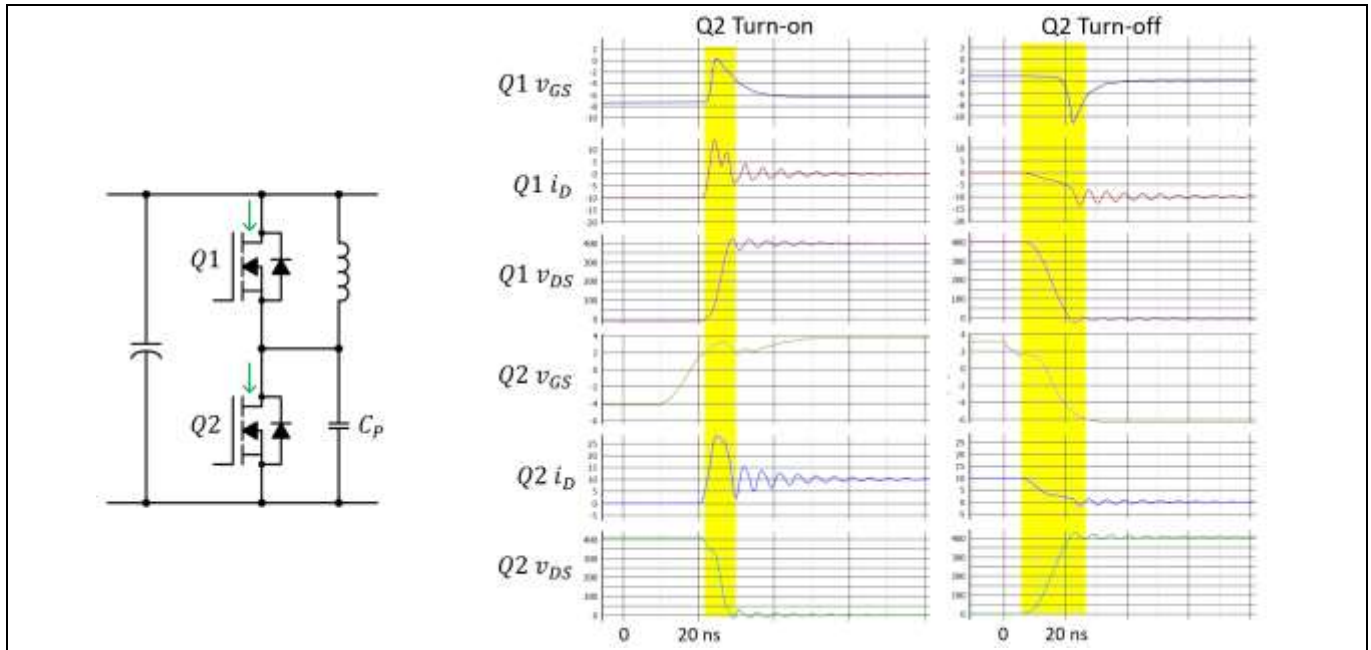


图 2 GaN 半桥拓扑的硬开关导通和关断

请注意，当 Q2 导通时，其漏极电流远远超过 10 A 的电感电流，峰值为 28 A，然后在谐振效应衰减后返回，并稳定至 10 A 的电感电流。这个波形看起来很像反向恢复，但关键是看 v_{DS} 与 i_D 的时序。反向恢复可防止高边二极管（Q1）出现阻断电压，因此它基本上保持 ON（导通）状态，直到 i_D 波形达到峰值——然后 v_{DS} 开始变化。这是反向恢复的经典特征。但在这种情况下， v_{DS} 显然在漏极电流超过电感电流后立即开始变化，这表明响应是纯电容性的，没有反向恢复。

28 A 峰值下方、10 A 电感电流线上方的区域代表了 Q2 需要放电的电荷。这个电荷是 Q1 Q_{oss} 与 PCB 寄生电容 (C_p) 之和。这些电流很难在 PCB 上精确测量，除非在电路中添加专用的宽带分流电阻。因此，在这里，我们通过仿真，来估算电流，并将 C_p 值添加到仿真电路中。但即使在仿真中，我们也看不到 Q2 Q_{oss} 的内部自放电电流。虽然它确实会造成硬开关损失，但放电路径完全在晶体管芯片上，因此在 PCB 布局中看不到这种新增电容电流的影响。

注意： 开关过程中的瞬态电流很难测量，进行仿真时，需要添加精确的寄生元件。在这种情况下，峰值电流比电感电流高 18 A，导通时的上升速率约为 9 A/ns。这是在专用 GaN 测试装置和表征平台上测得的典型值，其中导通 dI/dt 的测得范围通常在 4-16 A/ns。该典型值将用于各种布局，以评估可能产生的瞬态电压。

4 互感和部分电感

在讨论如何最大限度地减小 PCB 布局上的寄生电感之前，我们先回顾一下电感的概念。以一根由导线制成的单层回路为例，直径为 100 mm。使用阻抗分析仪测量该回路的电感约为 250 nH。你可以通过在回路周围串联 n 个小电感器，来建立一个分段线性模型，如 0a 所示。

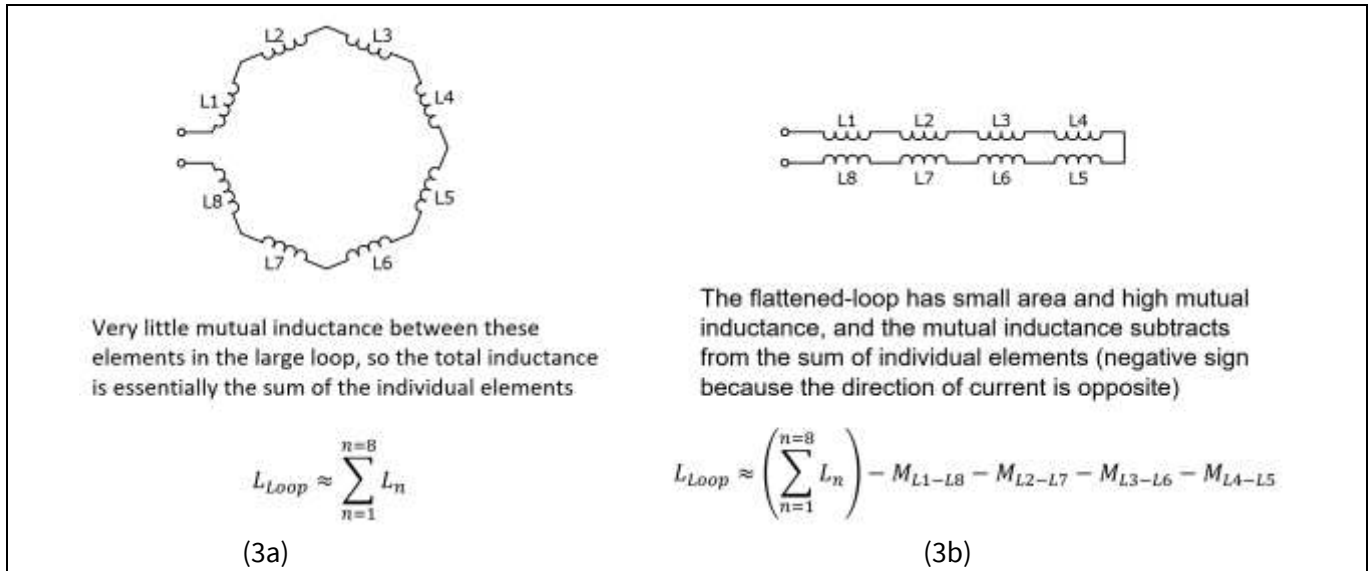


图 1 a) 围绕圆形回路周围的电感模型； b) 拉平后的同个回路（拉平）

在本例中，为简明起见，n=8。已知串联电感的总和与电阻一样，8 个元件中的每一个都代表 31 nH 的一段圆形回路。如果我们采用同一根导线并将圆形回路拉平（如 0b 所示），情况就不一样了：测得的电感下降到 1/4 或更多（取决于绝缘层的厚度）。

这种变化可以用部分电感的概念来解释[1]。每一段的 L_n 值等于它在自由空间中的固有电感（部分电感），加上附近段的互感 M 的影响。请注意，互感具有大小和符号，因此可以增加或减少固有电感。在 0b 的示例中，L1 和 L8 中的电流流向相反，因此互感会减去每个段的部分电感。这同样适用于图中的所有其他配对。例如：电力电子工程师通常会在设计具体的变压器时考虑互感，但如果只考虑 PCB 上的导电轨道时，互感似乎就不那么明显了。

如 0 所示，比较圆形回路与扁平回路电感变化的另一种同样有效的方法是，应用安培定律，并注意：由于回路面积缩小，连接的磁通也减小，从而导致电感降低。这两种方法是以不同的思考方式来思考同一情况，二者均有效。

我们接下来在 PCB 布局中进行相同的导线回路实验，如 0 所示。回路从 Cbus+ 开始，到 Cbus- 结束（+BUS 和 GND 电源回路）。电感元件分别是晶体管封装中的焊线、引线框、PCB 上的铜段等。比较 0 和 0 所示的两种不同层间距离，可以清楚地看出，当表面电流和返回路径电流之间的距离最小时，互感最大。这也与最小回路面积一致。

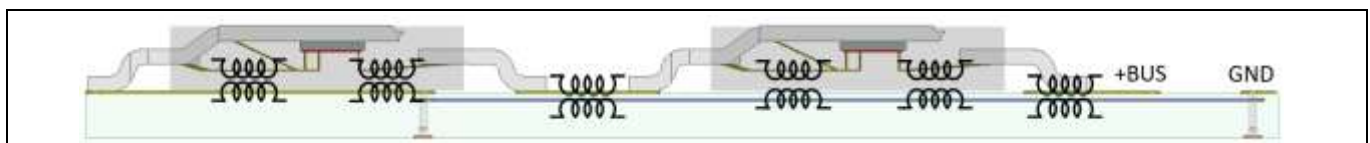


图 4 层间距离较窄的电源回路可最大限度地提高互感

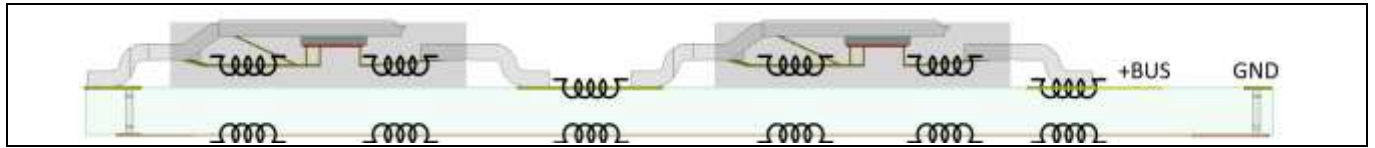


图 5 增加层间距离可降低互感，从而提高电源回路的总电感

5 封装电感：固定值还是取决于布局？

通常，计算而得的晶体管封装电感只是部分电感——未假定封装外部存在互感。换言之，指定的封装电感基于这样的假设：返回路径无限远，并且不会影响部分电感。对于 TO-220 和 TO-247 等直插式封装，这种假设是有效的，因为封装通常垂直安装在 PCB 上，并且电流路径是正交的（因此没有互感）。但如果是表面贴装的封装，经过优化的电流返回路径将显著降低封装的有效电感。

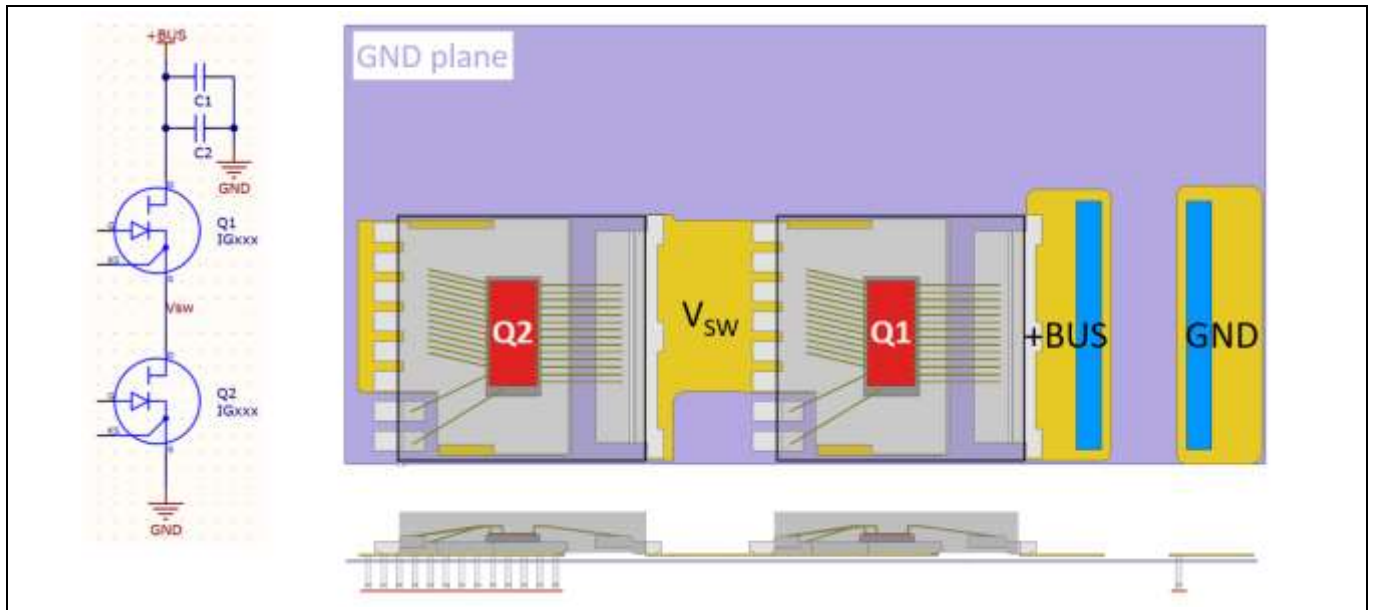


图 6 采用表面贴装 TOLL 封装的 GaN 晶体管的低电源回路电感—— $L = 2.8 \text{ nH}$

为了说明这一点，我们以一个简单的半桥布局为例，如 0 所示。电源回路从+BUS 焊盘开始，穿过 Q1 和 Q2，从右到左穿过晶体管封装，并在表面层（金色）上运行。然后，电流通过 Q2 源极下方的通孔，下到第二层（紫色）。接着，返回电流以相反方向流回最右侧的 GND。这类似于 0b 中的扁平回路，其中每个寄生电感（例如：键合线）在接地返回平面中都有一个对应的段。

互感（或较小的回路面积）使总回路电感变得非常小。事实上，使用 3D 有限元分析，计算而得的几何形状的回路电感仅为 2.8 nH。然而，晶体管模型中的总封装电感却显示，每个晶体管为 2.1 nH。这是封装的部分电感如何产生误导的一个理想例子，因为它忽略了前文讨论的返回路径的影响。我们对此的解释是，2.1 nH 的封装电感会因为如图所示的返回路径的互感而降低。虽然这个示例中的回路电感非常低，但要在实际的功率转换器中，使用这种布局，却存在一个根本问题。如果没有在 Q1 下方的接地返回路径上开个大孔，我们就没有空间来插入热过孔，来给 Q1 散热。0 说明了这个问题。

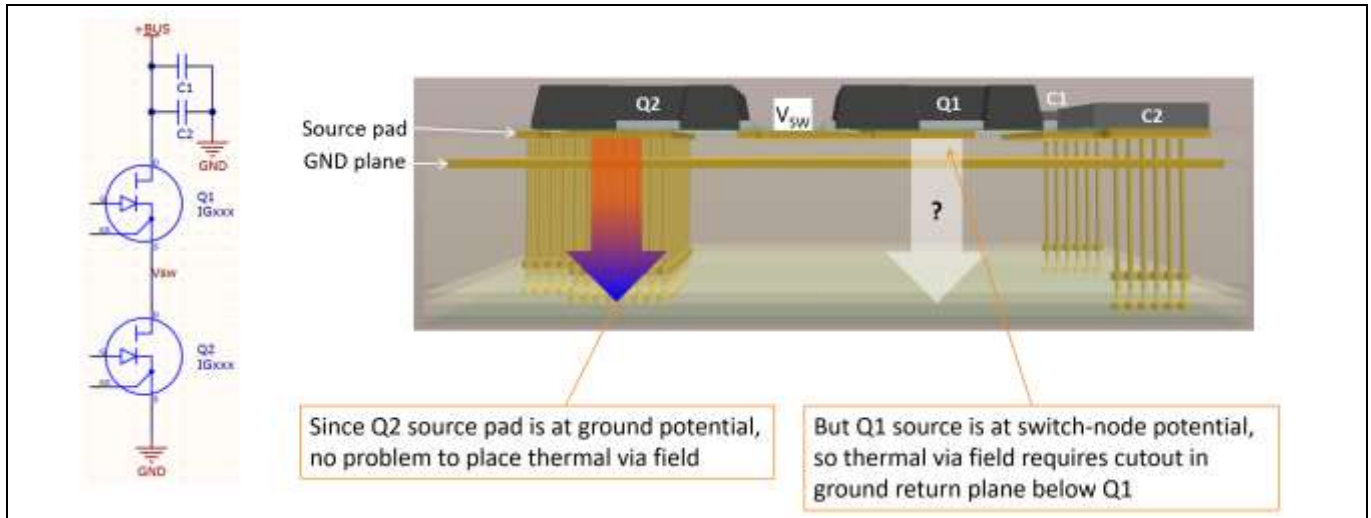


图 7 Q1 热路径的需求将使最佳电气布局面临挑战

给热过孔添加一个切口，将使 Q1 下方的返回电流重新定向，这不仅会减少互感，而且会产生具有额外电感的横向回路。0 显示了添加的热通孔，以及开关节点电压周围间隙所需的切口。

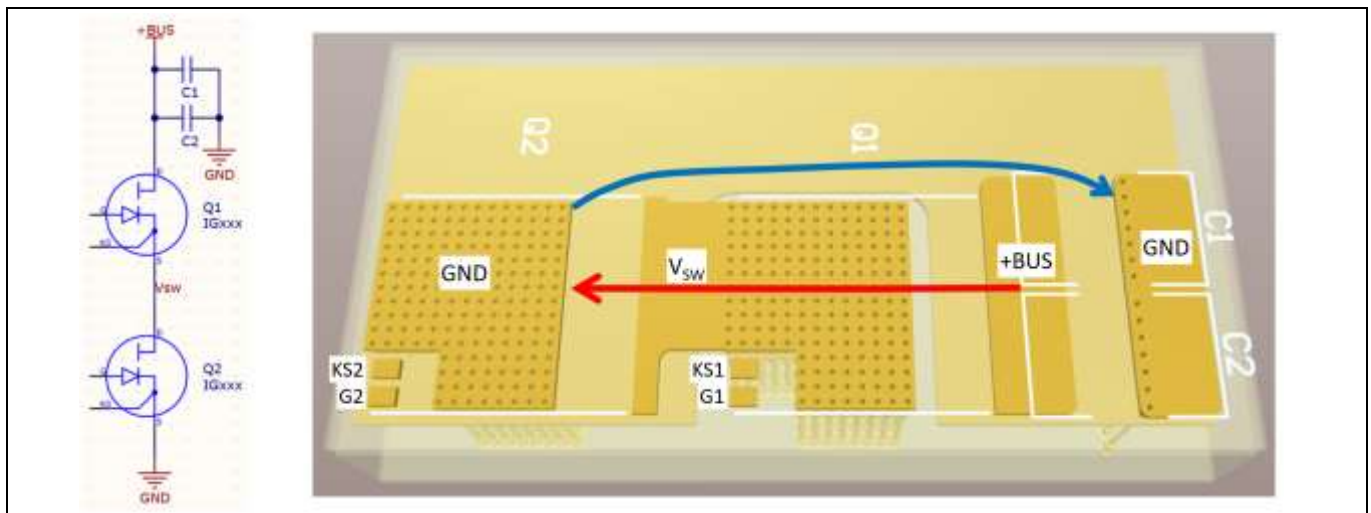


图 8 通孔周围的接地平面间隙在返回路径中形成横向回路—— $L = 8.8 \text{ nH}$

通过晶体管（红色）的电流路径与之前大致相同。但现在接地返回路径（蓝色）不在红色路径的正下方，因此形成了横向回路，这减少了互感，增加了总回路电感。我们来对比一下两个相同的布局：在没有切口的 0 中，回路电感为 2.8 nH ；在有切口的 0 中，回路电感增加到三倍以上，达到 8.8 nH 。

0 所示的单侧返回路径确实使栅极焊盘保持在开放状态，并且易于在 PCB 的两侧进行连接。如果在晶体管的栅极侧添加第二条并接地返回路径会怎样？该示例如 0 所示：现在有了两个并联的横向回路，因此，并联组合应该会减小横向回路电感——事实也确实如此。0 的双侧返回路径的总回路电感为 6.2 nH 。这仍然是 0 一倍以上，但相对于单侧返回路径，已经有了明显改进。

封装电感：固定值还是取决于布局？

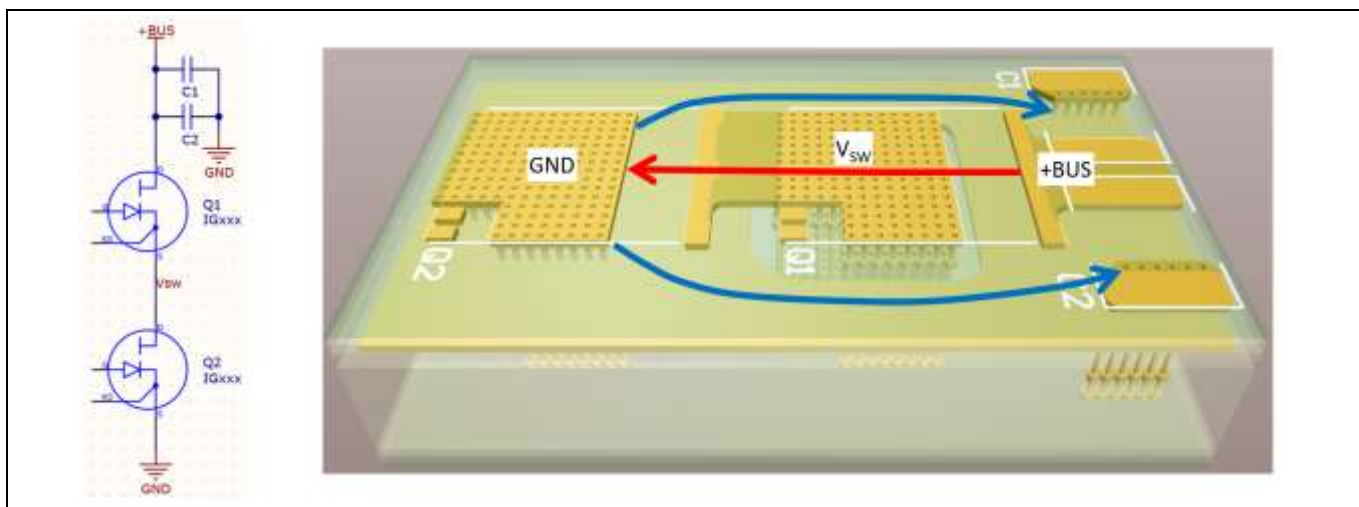


图 9 热通孔周围的双侧返回路径，有助于最大限度地降低横向回路电感—— $L=6.2\text{ nH}$

6 顶部散热式晶体管封装的优点

前几种采用底部散热封装的布局选项，都需要在电气布局上做出妥协，以便容纳晶体管散热所需的热通孔。为每个晶体管添加 100 个或更多的热通孔，不仅会影响电气布局，还会增加成本：因为每次钻孔（特别是小直径的钻孔）都会增加 PCB 的制造工艺成本。

另一个选项是，顶部冷却晶体管封装。有时，这些封装不过是将相同的底部冷却器件的引线弯头翻转过来。但在大多数情况下，顶部冷却晶体管是专为优化 GaN 晶体管的热性能和电性能而设计的。0 显示了相同的半桥布局示例，但这次使用了 TOLT 封装。

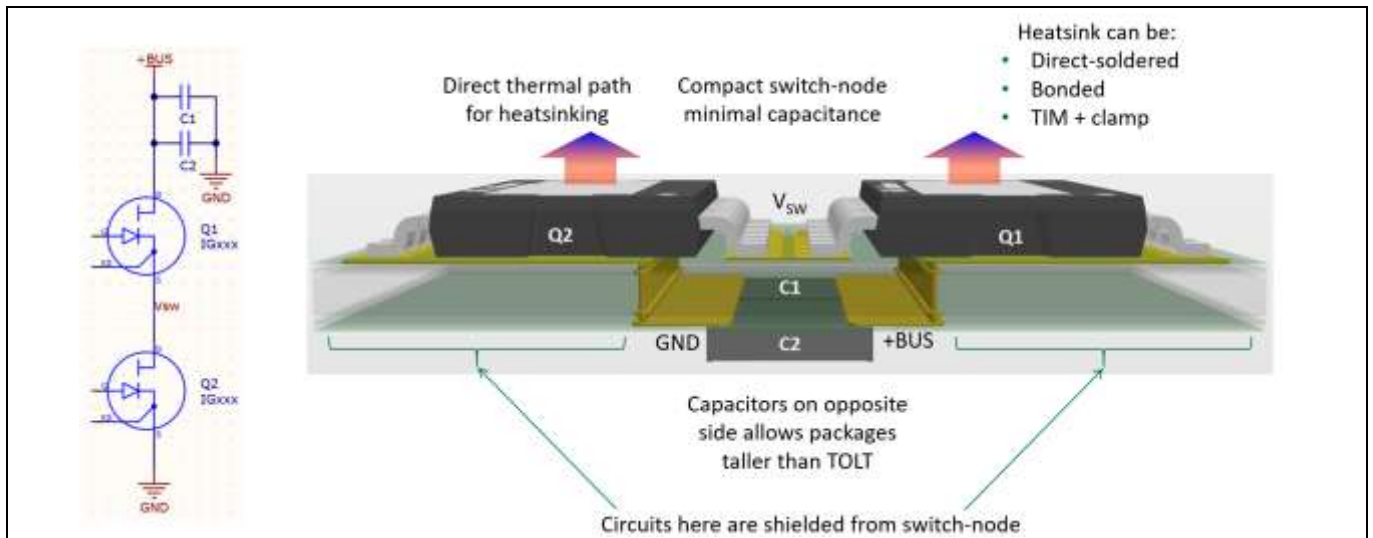


图 10 顶部冷却晶体管可优化电气和热路径，从而产生 5.8 nH 的回路电感

其主要区别在于，与之前的布局相比，晶体管下方不需要热通孔。这可以节省成本，并允许在热路径之外独立优化电气布局。另一个好处是，接地和+BUS 平面是电气上“安静”的等电位平面，它们可在嘈杂的开关节点与电路板底部的其他电路之间充当法拉第屏蔽。在这个示例中，高频总线电容器 C1 和 C2 位于电路板的底部。这有时是必要的，具体取决于电容器的高度和散热器的几何形状，以避免干扰，并为晶体管顶部的散热器提供适当的爬电距离和间隙。这个选项确实会在电容器上方留下一个回路，从而增加回路电感，但使用较薄的电路板（例如：0.8mm 与 1.6mm 厚）将有助于减小增加的回路电感。

另一种选择：如果有足够的空间将 C1 和 C2 与晶体管位于 PCB 的同一侧，那么 0 中的布局可以提供出色的低电感功率回路。尽管返回路径在横向上延伸得比 0 更长，但层间距离要小得多（例如：0.18 mm），使得整体回路略优于 0。

此处所示的顶部冷却封装示例没有电气隔离的散热片——它是源引线框的一部分，因此与源电位进行电气连接。这个金属是可焊接的，因此可以直接将单独的铜散热器焊接到每个晶体管上。此外，热界面材料也可用于许多其他的散热器选项。

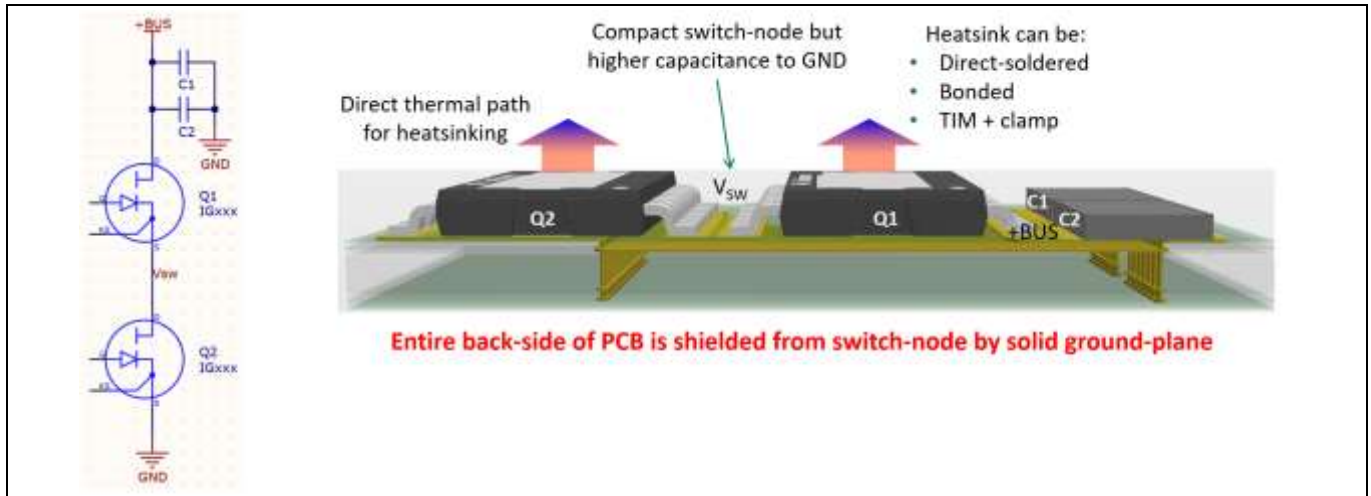


图 11 将电容器移至晶体管的同一侧，以实现最低的总电感，从而提供 4.9 nH 的回路电感

7 功率回路布局选项和结果概述

我们可以将所有这些 SMT 布局选项都与标准 TO-247 封装进行比较，以了解总回路电感，并估算半桥电路的电压过冲（如先前讨论，假设 $9 \text{ A/ns } di/dt$ ）。如 0 所示，最佳情况下的 TO-247 布局，可产生约 15 nH 的总回路电感。

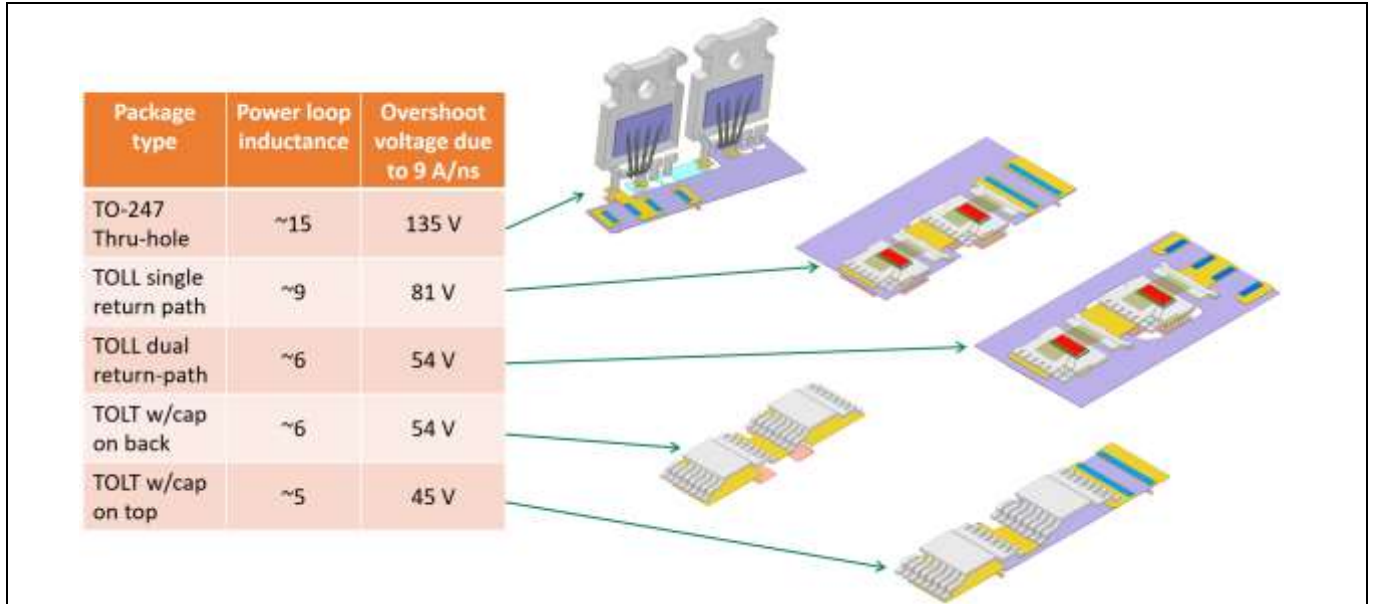


图 12 电源回路电感及其影响的概要

通过将知识应用于预期的 di/dt ，我们发现，产生的过压峰值将达到 135 V 。这可能超出了设计限制：例如，如果标称总线电压为 400 V ，并且设计规则规定，峰值电压小于或等于额定电压的 80% ，那么即使是额定电压为 650 V 的晶体管， 535 V 峰值电压也将超过该规定。这表明，使用 TO-247 封装，并将过电压保持在 480 V 以下的解决方案，是通过减缓开关速度来实现的，例如：增加导通和关断栅极驱动阻抗。然而，减缓开关速度自然也会增加开关损耗——这就失去了使用 GaN 晶体管的初衷。

表面贴装 TOLL 布局具有单侧返回路径，是低电源回路电感的次优选择。0 显示，在施加 9 A/ns 电流时，布局电感将导致 81 V 过冲电压——恰好达到 480 V 峰值的设计目标（假设总线电压为 400 V ）。通过在栅极侧添加并联返回路径（TOLL 双返回路径），回路电感现在足够低，过冲电压为 54 V ，提供了一些额外的余量，这样即便总线被增加到 420 V ，增加的 54 V 过冲电压仍将保持在 480 V 的设计目标以下。0 中的所有三个底部布局都具有足够低的回路电感，为顶部或底部冷却封装提供了合适的选择。

8 栅极驱动布局的注意事项

GaN 晶体管的阈值电压较低，通常在 1-2 V 的范围内。此外，完全导通的 V_{GS} 在 3.5-5 V 的范围内（取决于栅极技术），晶体管的跨导和增益带宽在活动区域内非常高。这一特性使得栅极驱动回路必须具有低阻抗，否则通过“米勒”电容 (C_{GD}) 注入的 $C_{GD}dV_{DS}/dt$ 电流将影响栅极电压，可能导致振铃、过冲、潜在的高频振荡和误导通，进而可能引发具有破坏性的交叉传导或“直通”。

最大的一个挑战在于，在漏极电压上出现快速上升的 dV/dt 时，保持栅极关断。使用单独封装的晶体管和驱动器几乎不可能使栅极驱动回路具有足够低的阻抗。这就是在分立设计中使用负栅极偏置的主要原因：提供足够的余量，以使栅极反弹电压在开关瞬态期间不会超过阈值。

我们也可以使用前文讨论过的电源回路电感概念，来优化栅极回路。0 显示了连接到 TOLL 封装晶体管的栅极驱动 IC 的布局示例。就像优化电源回路一样，其思路是，使用一对间距较小的 PCB 层，来将互感最大化（尽可能地减小回路面积和栅极驱动回路电感）。此示例包括与 GaN HEMT 的 GIT 版本一起使用的 RC 网络，包括驱动器上单独的拉电流和灌电流引脚的单独的 R_{ON} 和 R_{OFF} 。

最右侧是 6 引脚栅极驱动器封装 U1 及其电源旁路电容器 C3。4 个 RC 元件与 GIT 的栅极引脚一致，都位于表层（红色）。GIT 的 KS 引脚是返回路径的参考点，由第二层（深棕色）的多边形覆铜定义。返回路径的终点位于 U1 和 C3 的“GND”连接点。0 更加清楚地显示了没有元器件本体的布线，包括将 KS 引脚以及驱动器的 GND 连接到平面的通孔。这种栅极驱动布置和布线方法为使用分立栅极驱动器件（未集成到晶体管封装中）的设计，提供了最佳的整体性能。请注意，栅极驱动返回平面使用第二层，与左侧的电源回路返回平面相同。因此，这种栅极驱动布局的实现只能用于前文描述电源回路的单侧返回路径（因为栅极驱动返回平面占用的空间，与额外的电源回路返回路径所需的空间相同）。如果需要使用双侧返回路径的低电感电源回路布局，则需要对栅极驱动器采用另一种布局。

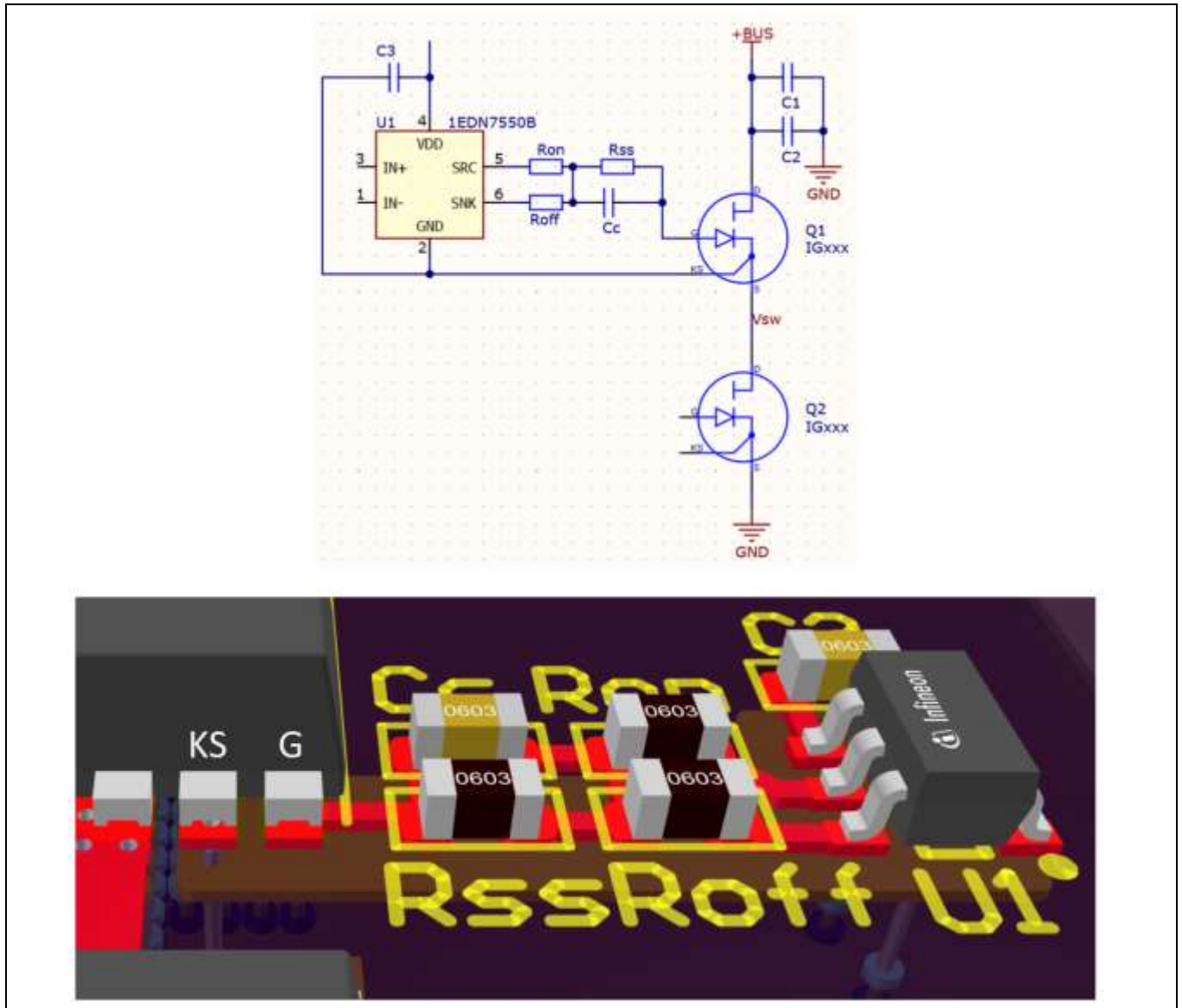


图 13 返回平面位于驱动电路正下方的栅极驱动布局（示例）



图 14 更详细地了解 0 中的栅极驱动回路布线

如果要将栅极驱动电路保留在 Q1 旁的顶层，并使用 0 中的双侧电源回路返回路径，则存在两个问题：首先，由于第二层无法用做返回平面，因此必须使用横向栅极驱动回路（全部位于顶层）——必须如 0 所示使用。请注意，在本例中，栅极驱动电路只有肖特基栅极 HEMT 的导通和关断电阻，而非前文 GIT 示例的 RC 网络。为了使回路尽可能小，返回路径要紧靠驱动路径（请注意 KS 引脚是如何连接到驱动器引脚 2 的）。

第二个问题更具挑战性：高边栅极驱动电路位于直流总线接地平面的正上方。尽管电容可能相对较小，但 ΔV 很大——相当于整个总线电压。此外，该电容上的 dv/dt 是开关节点的快速 dv/dt 。寄生 PCB 电容简图在 0 原理图中以红色标出。这种类型的布局很可能会出现问題，这是因为电荷会在每个开关边缘注入栅极驱动电路。

我们举个例子，这在 PCB 布局的过程中，是经常必须做出的折衷或权衡之一：优化栅极驱动布局可能会导致电源回路不太理想。反之亦然，优化电源回路可能会产生栅极驱动布局问题。因此，我们需要考虑另一种栅极驱动布局方法：保留电源回路的双侧返回路径，并将栅极驱动回路移到 PCB 的背面。然后，栅极驱动回路需要有通孔，来连接晶体管。并排通孔可提供相当低的阻抗，而且电路板的背面距离接地平面更远。这个方法看似非常有前景，不过也有其他层可以提供独特的解决方案。

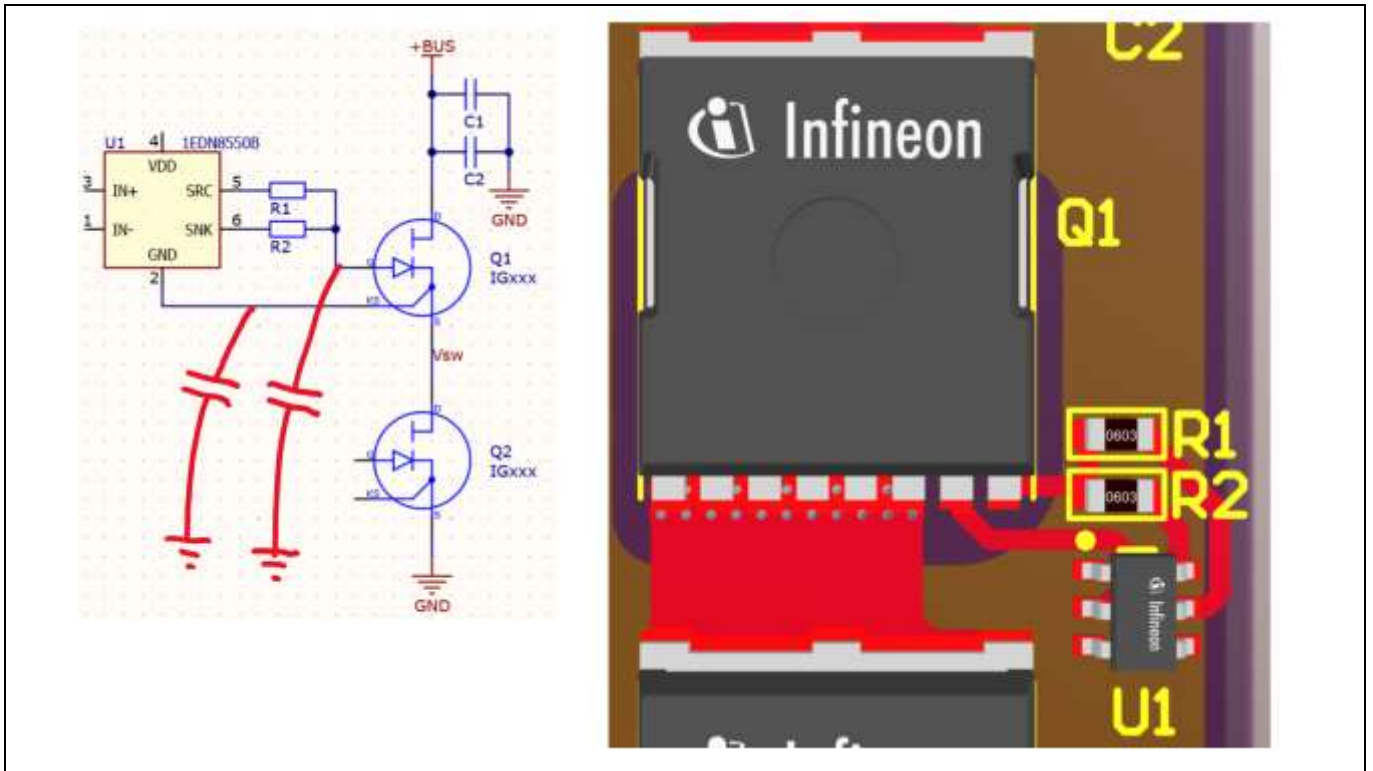


图 15 双侧返回路径会干扰栅极驱动的布线，并增加共模电容——不推荐

9 使用驱动法拉第屏蔽

由于栅极驱动电路位于 PCB 背面，因此第三层可用作返回平面。这样做的目的是，尽可能地减轻栅极驱动电路与总线接地平面之间的共模电容的影响。如果在第三层（青色）上添加地平面，并将其连接到开关节点，则电容值会发生变化，对电容进行充放电的电流路径也会发生变化。

开关节点被视为高边的“本地接地”。在第三层添加平面，与在 0 中为栅极驱动电路添加返回平面并没有实质性区别；电路和平面之间的电容相同。然而，第三层的平面将栅极驱动电路与问题重重的总线接地电容隔离开来。总线接地电容并没有消失，它现在位于两个低阻抗平面之间，而不是耦合到栅极驱动电路及其器件。因此，栅极驱动电路只能“看到”与其自身本地公共端之间的电容，而不是与总线接地平面之间的电容。因此，对平面间电容进行充放电所需的电流，直接来自低阻抗开关节点，完全绕过了栅极驱动电路[2]。

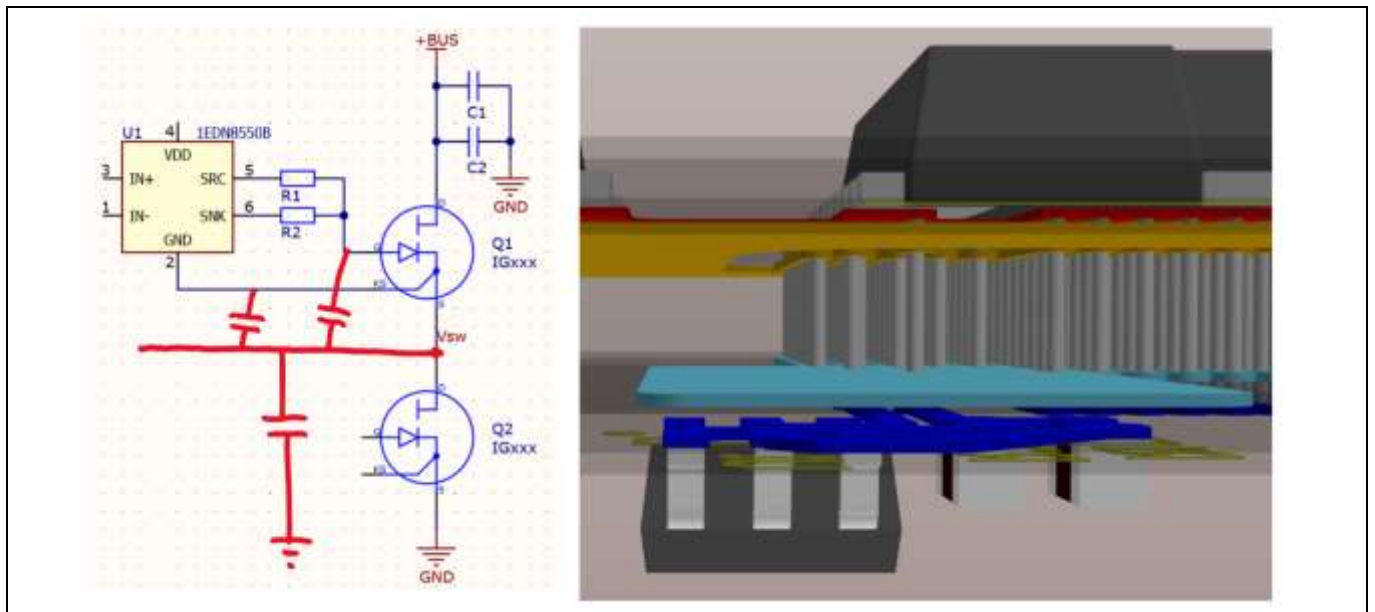


图 16 驱动法拉第屏蔽可缓解共模电容问题

避免使用实际的栅极驱动器接地（通常称为开尔文源（KS）），而非开关节点，来驱动法拉第屏蔽。虽然 S 和 KS 之间可能有较小的电压反弹，但与由此连接可能导致的其他问题相比，可忽略不计，因为该连接将所有瞬态充/放电电流强制流过 KS 键合线。由此产生的感应电压 $v = L di/dt$ 会表现为差分栅极驱动信号，这不仅会影响到屏蔽电容，还可能影响到“意外”电容，例如：连接高边电路和总线接地的任何器件上的电容。

0 描述了一个典型的示例。高边栅极驱动电路通过信号隔离器和 DC-DC 变压器（或者自举二极管的结电容）与低边接地电容耦合。尽管这些电容通常只有几 pF，但也有一些用于栅极驱动的 DC-DC 转换器，其隔离栅电容超过 50 pF。如 0 右所示，当半桥电路能够在几纳秒内切换 400 V 的电压时，每一 pF 都很重要。在 100 V/ns 开关变化速率下，每个 pF 会产生 100 mA 的峰值共模电流。然后，注入的尖峰电流必须通过低边电路返回到总线接地，沿途可能会导致逻辑或其他电路出现故障。

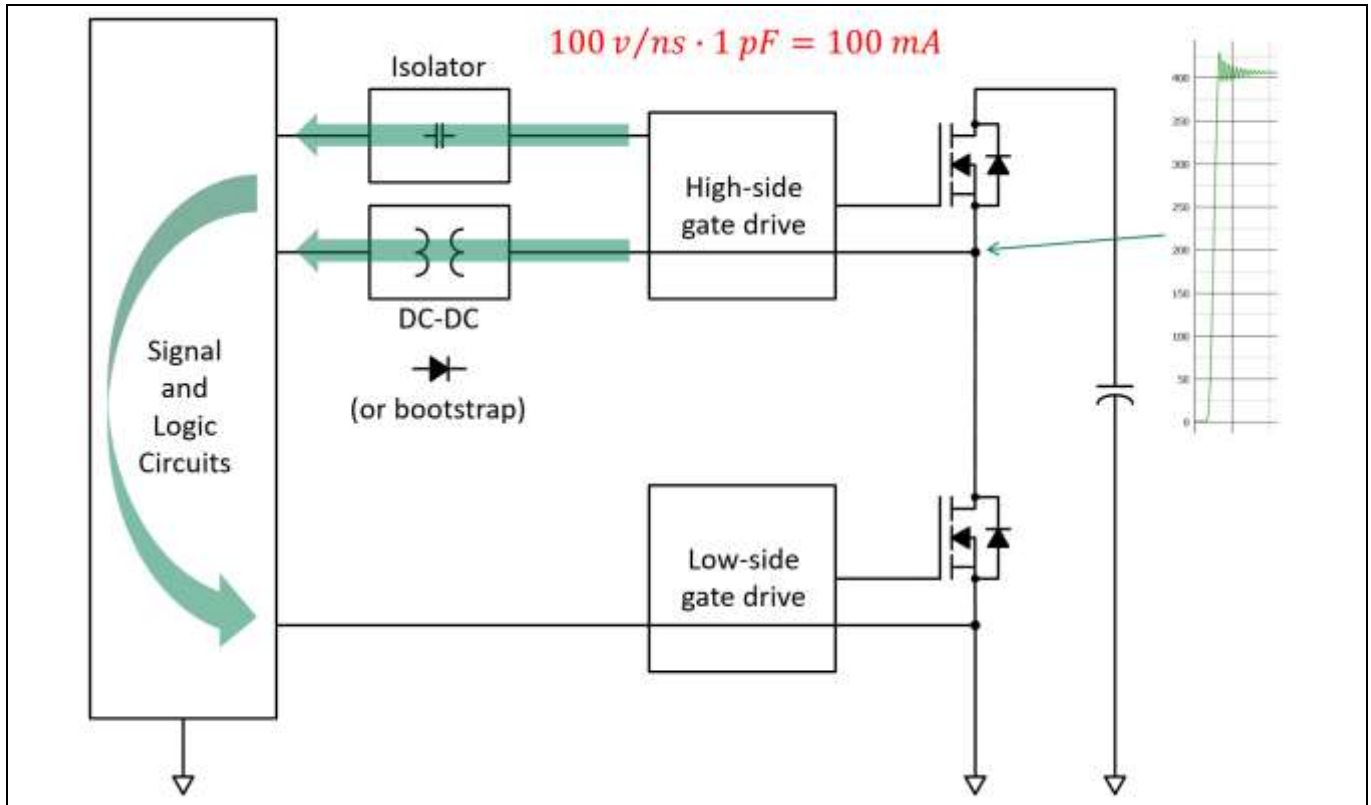


图 17 共模电流的“意外”路径

实际上，我们无法完全消除这种电容，因此，最好的方法是思考返回电流将流向何处，并尽量减轻影响——确保返回电流有一条低阻抗路径，来返回总线接地。请注意，这些电容在集成驱动器 + 晶体管中同样可能成为问题，就像在分立设计中一样——这完全取决于集成驱动器+晶体管内部的互连方式。

为了更好地理解寄生电容充电/放电电流引起的问题，我们以 0 所示的系统为例。开关节点是低阻抗驱动点（驱动快速开关转换），见红色部分。另外，橙色部分也都与该节点连接。不同之处在于，橙色部分都是 *间接* 驱动的——通过晶体管的 KS 引脚。KS 引脚只是差分栅极驱动回路的一部分，通常与栅极一样只是一根键合线。由于在晶体管封装内的距离较近，G 和 KS 键合线具有较小的回路面积和互感，有助于尽可能地减小总栅极回路电感。

然而，当通过 KS 键合线的电流与栅极键合线不共用时，就不会产生互感抵消，因此，会在栅极回路内产生差模电压。随着开关节点电压上升，KS 键合线上的电压降会降低施加的栅极驱动电压，从而减缓了开关转换速度。这种效应实际上可以降低开关速度，抵消开尔文源封装的优势，方式与共源电感减缓传统三引脚晶体管封装的开关速度一样。

0 中显示的另一个问题是开关节点分散。我们的建议是最好保持开关节点紧凑，以便：1) 尽可能地降低电容；2) 防止辐射和电容耦合到电路的其他部分。最好不要将栅极驱动 DC-DC 转换器放在单独的电路板上，而是放在功率级旁边——与半桥位于同一 PCB 上。

应避免出现 0 所示的情况。在整个系统中布置橙色走线，会导致沿整个路径出现分布式电容耦合，并导致信号辐射到多个 PCB 路径上。在辅助电源卡上，存在跨隔离变压器的附加电容——导致注入的电流通过主 PCB 返回到地——可能会在途中引发噪声和干扰问题。

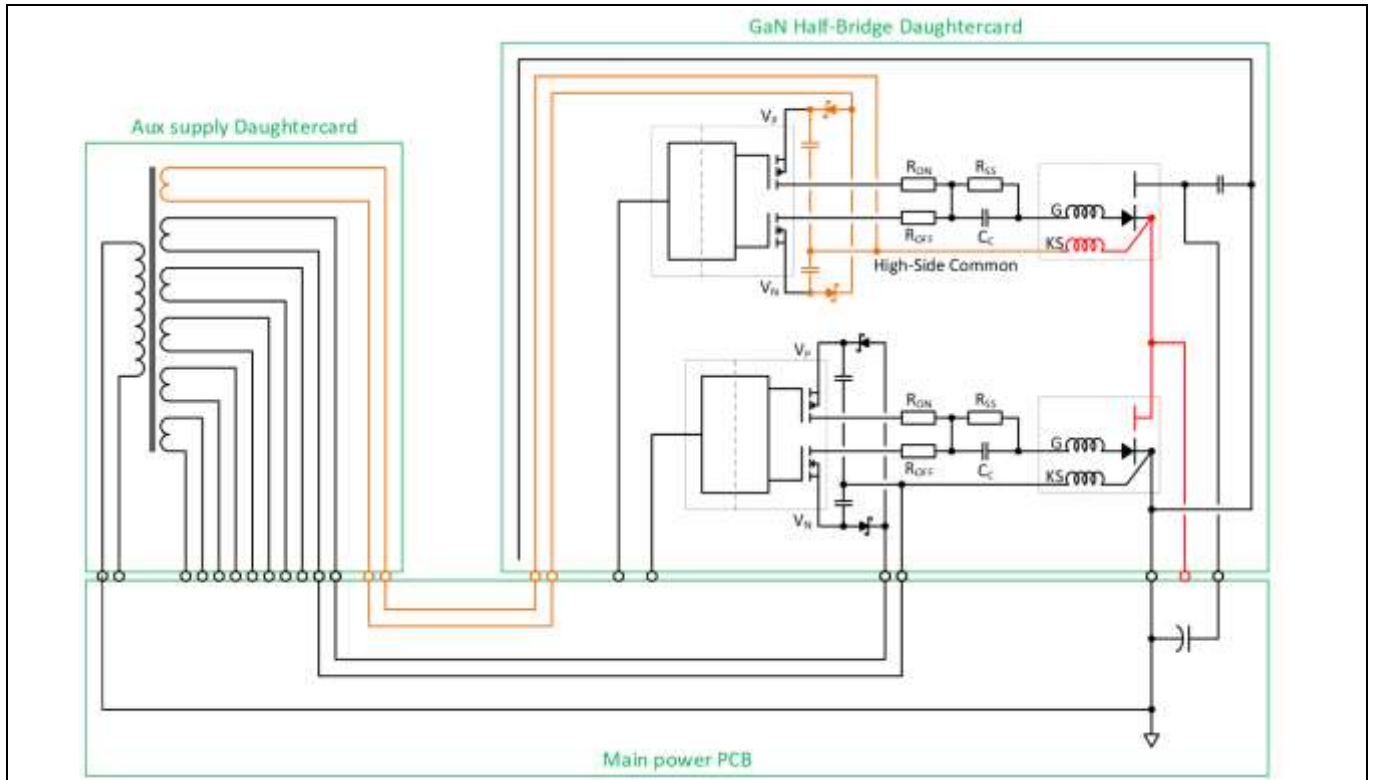


图 18 共模电流会导致差模栅极回路电压

[Error! Reference source not found.](#)显示了良好的 GaN 半桥布局的示例。这是一个半桥“子卡”，包括两个 GaN 晶体管、高频总线电容器、隔离的高边和低边栅极驱动器，以及高边和低边的隔离式 DC-DC 电源。有一个散热器通过热界面材料和弹簧夹（未显示）固定。该半桥电路是有源前端整流器（双向 PFC）的高频部分，可向/从 240 V 交流线路连续提供 3.4 kW 的功率。

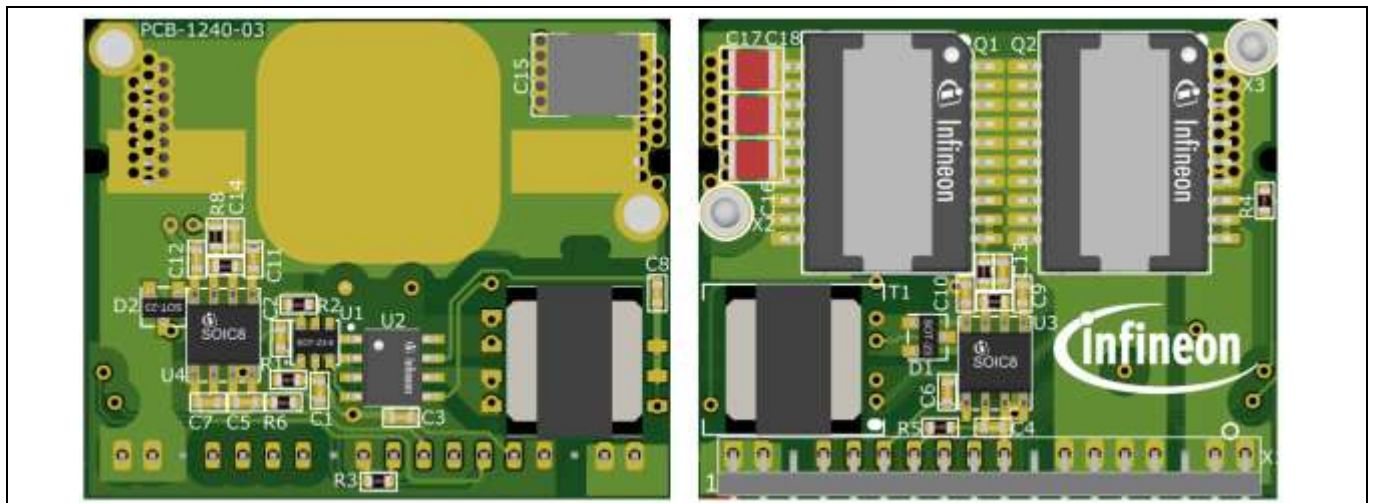


图 19 完整的 3.4 kW GaN 半桥示例，尺寸为 32 x 39 mm

10 优化高速 HV GaN 晶体管性能的主要建议摘要

下表总结了本文讨论的要点。

表 1 优化高速 HV GaN 晶体管性能的建议和进一步考虑事项

建议	进一步考虑事项
考虑开关转换期间的电流流动路径。	请确保考虑到寄生元件。请记住：在分析中完整地分析电流的返回路径。
布局电感对电路的某些部分而言可能非常重要，对其他部分则不然。	参考“半桥拓扑是一个双端口网络”部分。
发挥具有薄电介质的 PCB 层的优势，尽可能地减少布局电感。	将电流的出口和返回路径沿着相同的路径布置，但在相邻的平行层上，方向要相反。
避免偏离“同一路径上方/下方”，否则可能导致横向回路	以及更低的互感增加回路电感。
请记住：对于 SMT 封装而言，封装电感并不一定是固定值	该值应取决于假设的返回路径。
使用顶部冷却 SMT 封装，来优化电气路径和热路径	无需因添加 100 多个散热孔而进行妥协或增加成本。
使用平面作为栅极驱动电路的返回路径	电路正下方，连接至 KS 引脚。
避免电容电流	从开关节点流经 KS 引脚，到地。
使接地参考电路远离高边栅极驱动电路	或者在不可行时，使用驱动法拉第屏蔽。
保持开关节点紧凑	尽可能降低电容和对电路其他部分的辐射。

GaN 晶体管的快速开关能力使得 PCB 布局更具挑战性。本文讨论了几个重要概念，旨在帮助用户了解这些布局挑战，并探讨了几个策略，以帮助他们解决这些挑战和优化布局，实现最佳的整体电气性能和热性能。

遵循本文所述的建议以及上表总结的建议行事，将有助于设计人员通过高性能 GaN 技术获得最佳性能。

参考文献

- [1] Clayton, Paul: *Inductance: Loop and Partial*; Wiley; 2010
- [2] Persson, Eric: *PCB Layout Techniques for Optimizing Performance of Surface-Mounted Wide-Bandgap Power Electronic Circuits*; IEEE APEC 2022; Seminar S02

Optimizing PCB layout for HV CoolGaN™ power transistors

Practical guidelines to get the best operation of HV CoolGaN™ in switched-mode power supplies (SMPS) application



修订记录

修订记录

版本	发布日期	变更说明
V 1.0	2023-07-28	初版

商标

文中述及的所有产品或服务名称和商标分别是其所有者的财产。

版本 2023-07-28

英飞凌科技股份有限公司印制

81726 Munich, Germany

©英飞凌科技股份有限公司版权所有，2023 年，保留所有权利。

对本文档存在任何疑问？请联系：
电子邮箱：erratum@infineon.com

文档编号

AN_2306_PL52_2308_151809

重要提示

本文档所提供的任何信息绝不应被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文档中所提及的任何事例、提示或者任何特定数值及/或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。

此外，本文档所提供的任何信息均取决于客户履行本文档所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。

本文档所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文档中所提供的信息是否充分自行予以评估。

如需产品、技术、交付条款和条件以及价格等进一步信息，请向离您最近的英飞凌科技办公室接洽（www.infineon.com）。

警告事项

由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。