TriCore™ AURIX™家族系列

32位（TC26x，TC27x，TC29x）

PCB和高速串行接口(HSSI)设计指南

AP32174

应用笔记

V1.8 2014-05

微控器

免责条款

为方便客户浏览，英飞凌以下所提供的将是有关英飞凌产品及服务资料的中文翻译版本。该中文翻译版本仅供参考，并不可作为任何论点之依据。虽然我们尽力提供与英文版本含义一样清楚的中文翻译版本，但因语言翻译和转换过程中的差异，可能存在不尽相同之处。因此，我们同时提供该中文翻译版本的英文版本供您阅读，请参见www.infineon-ecosystem.org。并且，我们在此提醒客户，针对同样的英飞凌产品及服务，我们提供更加丰富和详细的英文资料可供客户参考使用。请详见 www.infineon.com

客户理解并且同意，英飞凌毋须为任何人士由于其在翻译原来的英文版本成为该等中文翻译版本的过程中可能存在的任何不完整或者不准确而产生的全部或者部分、任何直接或者间接损失或损害负责。英飞凌对于中文翻译版本之完整与正确性不担负任何责任。英文版本与中文翻译版本之间若有任何歧异，以英文版本为准，且仅认可英文版本为正式文件。

您如果使用以下提供的资料，则说明您同意并将遵循上述说明。如果您不同意上述说明，请不要使用本资料。

版本2014/05

出版发行：
英飞凌科技公司
上海，中国

© 2014 Infineon Technologies
版权所有

免责条款

本应用笔记中给出的信息仅作为实现英飞凌器件的建议，不得被视为英飞凌器件的任何特定功能、条件或质量作出的任何说明或保证。此应用笔记的接受者必须在实际应用中判定此种描述的任何功能。英飞凌科技在此否认承担此应用笔记中任何和所有信息相关的任何形式的保证和责任（包括但不限于不侵犯第三方知识产权）。

信息

有关技术、交货条款及条件和价格，请与您最近的 Infineon Technologies 办事处联系。

警告

由于技术要求，组件可能含有危险物质。如需相关型号的信息，请与您最近的 Infineon Technologies 办事处联系。如果可能合理地预期此类组件的故障会导致生命支持器件或系统发生故障或影响该器件或系统的安全性或有效性，则 Infineon Technologies 提供的组件仅可用于获得 Infineon Technologies 明确书面批准的生命支持器件或系统。生命支持器件或系统的目的是植入人体或支持和/或保持并维持和/或保护生命。如果出现故障，则可能危及使用者或他人的人身安全。

Infineon Technologies AG注册商标

AURIX, C166™, CanPAK™, CIPOS™, CIPURSE™, EconoPACK™, CoolMOS™, CoolSET™, CORECONTROL™, CROSSAVE™, DAVE™, DI-POL™, EasyPIM™, EconoBRIDGE™, EconoDUAL™, EconoPIM™, EconoPACK™, EiceDRIVER™, eupec™, FCOS™, HITFET™, HybridPACK™, I²RF™, ISOFACE™, IsoPACK™, MIPAQ™, ModSTACK™, my-d™, NovalithIC™, OptiMOS™, ORIGA™, POWERCODE™; PRIMARION™, PrimePACK™, PrimeSTACK™, PRO-SIL™, PROFET™, RASIC™, ReverSave™, SatRIC™, SIEGET™, SINDRION™, SIPMOS™, SmartLEWIS™, SOLID FLASH™, TEMPFET™, thinQ!™, TRENCHSTOP™, TriCore™.

其它注册商标

Advance Design System™ (ADS) of Agilent Technologies, AMBA™, ARM™, MULTI-ICE™, KEIL™, PRIMECELL™, REALVIEW™, THUMB™, µVision™ of ARM Limited, UK.AUTOSAR™ is licensed by AUTOSAR development partnership.Bluetooth™ of Bluetooth SIG Inc. CAT-iq™ of DECT Forum.COLOSSUS™, FirstGPS™ of Trimble Navigation Ltd. EMV™ of EMVCo, LLC (Visa Holdings Inc.).EPCOS™ of Epcos AG.FLEXGO™ of Microsoft Corporation.FlexRay™ is licensed by FlexRay Consortium.HYPERTERMINAL™ of Hilgraeve Incorporated.IEC™ of Commission Electrotechnique Internationale.IrDA™ of Infrared Data Association Corporation.ISO™ of INTERNATIONAL ORGANIZATION FOR STANDARDIZATION.MATLAB™ of MathWorks, Inc. MAXIM™ of Maxim Integrated Products, Inc. MICROTEC™, NUCLEUS™ of Mentor Graphics Corporation.MIPI™ of MIPI Alliance, Inc. MIPS™ of MIPS Technologies, Inc., USA. muRata™ of MURATA MANUFACTURING CO., MICROWAVE OFFICE™ (MWO) of Applied Wave Research Inc., OmniVision™ of OmniVision Technologies, Inc. Openwave™ Openwave Systems Inc. RED HAT™ Red Hat, Inc. RFMD™ RF Micro Devices, Inc. SIRIUS™ of Sirius Satellite Radio Inc. SOLARIS™ of Sun Microsystems, Inc. SPANSION™ of Spansion LLC Ltd. Symbian™ of Symbian Software Limited.TAIYO YUDEN™ of Taiyo Yuden Co. TEAKLITE™ of CEVA, Inc. TEKTRONIX™ of Tektronix Inc. TOKO™ of TOKO KABUSHIKI KAISHA TA.UNIX™ of X/Open Company Limited.VERILOG™, PALLADIUM™ of Cadence Design Systems, Inc. VLYNQ™ of Texas Instruments Incorporated.VXWORKS™, WIND RIVER™ of WIND RIVER SYSTEMS, INC.ZETEX™ of Diodes Zetex Limited.

注册商标最新更新日期 2011/11/11

修订历史

版次	修订内容
V1.0	Initial internal release for TC27x with simulation results in chp 4.
V1.1	Simulation results removed in chapter 4 and short description of high speed interfaces inserted
V1.2	Page 20/21; DC/DC SMPS layout example and table with recommended components inserted
V1.3	Page 14/Fig.13 updated (serial resistor inserted).
V1.4	Page 19; Layout example picture for BGA292 updated.
V1.5	Page8; Impedance calculation and formulas (Fig. 4) inserted, Page10; Fig.7 updated (differential impedance change with trace separation).
V1.6	Pages 18,20,22 (V1.6); Recommended decap value for VDDP supply net changed.
V1.7	Layout examples and content of the document extended to cover the TC26x, TC27x and TC29x AURIX products. Chapter 4.3 DAP interface layout recommendation and termination inserted.
V1.8	C16 added in Table 4 on page 37, Figure 24 updated, Corrections on Table 3 & 4

请留下您的宝贵建议

您是否认为本文档中的任何信息存在错误，含糊不清或遗漏？您的宝贵意见和建议将帮助我们持续不断地改进文档质量。请将您的建议（请注明文档的索引号）发送电子邮件至：

ctdd@infineon.com

目录

目录.....5

1 文档概述.....5
1.1 用途.....6

2 高速电路板设计.....7
2.1高速电路板层叠结构设计.....7
2.2 元件布局.....8
2.3 走线时阻抗控制设计.....10
2.3.1 走线宽度预估.....13
2.4 高速串行信号布线.....15
2.5 传输线终端端接.....16
2.6 信号通道串扰最小化.....17
2.7 电路板电平滤波和去耦.....18

3 AURIX家族系列布局示例.....22
3.1 布局示例.....28
3.1.1 LQFP-144 封装类型的布局示例.....29
3.1.2 LQFP-176封装类型的布局示例.....31
3.1.3 LFBGA-292封装布局示例.....33
3.1.4 BGA-416封装布局示例.....35
3.1.5 BGA-516封装的示例.....37
3.2 不同电源模式时去耦电容.....39

4 AURIX 产品的高速串行接口设计（HSSI）.....41
4.1 2.5 Gbit/s的高速串行接口设计（HSSI）.....41
4.2 HSCT接口设计.....41
4.3 DAP接口.....41

5 参考文献.....43

1 文档概述

本文档阐述了英飞凌32位微控器AURIX系列的高速串行接口（HSSI）设计方法，适用于TC26x，TC27x和TC29x器件。本文档讨论了PCB设计时需要考虑事项，包括高速信号布线，PCB层级选择，走线时的阻抗控制以及高速信号路径端接。

本文档还提出了AURIX微控器家族系列的部分封装类型迂回布线的布局设计方案，例如TQFP和LFBGA封装。

本文档须与应用笔记《AN24026-微控器通用设计指南》搭配使用。（参见www.infineon.com）

注释：本应用笔记仅是从Infineon Technologies角度，给出设计建议方案。
根据特定应用，用户必须亲自验证实际应用中的有效性和性能。

2 高速电路板设计

高速设计带来的最大的挑战是要尽量减少串扰，保证信号在传输过程的良好完整性，同时也尽量减少电路板上噪声的影响。因为单端信号和低压差分信号（LVDS）是高速接口信号的典型类型，所以必须保证这两种信号的传输。

大多数情况，避免发生此类问题的建议就是遵循设计准则，但设计人员在设计过程中必须权衡各项设计准则。设计人员决定对性能，可靠性以及设计成本会产生影响的各项参数。

因为设计人员在设计时需要考虑和谨记以上问题，所以在设计过程中要特别注意下面的关键环节。

1.高速电路板层选择

2.信号发送与接收元器件布局。

3.走线时阻抗控制。

4.高速串行信号布线。

5.传输线的终止处修正。

6.信号通道间串扰的最小化。

7.电路板电平过滤和去耦。

2.1 高速电路板层叠结构设计

在一开始设计电路板时，就必须正确选择高速电路板的层级结构，因为不同层级结构的选择可以对走线路径和阻抗控制产生影响。走线时的阻抗控制是高速设计的主要参数之一。

必须考虑到以下状况：

- 在保持阻抗连续性的情况下，如何保证高速线上具有固定的GND参考电压；
- 信号线必须都有最小间距到参考平面层；
- 使电源域层容抗尽可能大；
- 如何减少过孔或高速信号的换层。

因为在信号频率高达200MHz时，离散电路板去耦电容才能有效发挥作用，所以在可能情况时，应使用平面层去耦。

采用叠层设计结构，这样一来，就可以搭建一个电源平面层电容，其具有在高频时去耦作用，在频率达到200MHz以上时，发挥作用。

以下是4层和6层电路板的叠层结构设计示例。

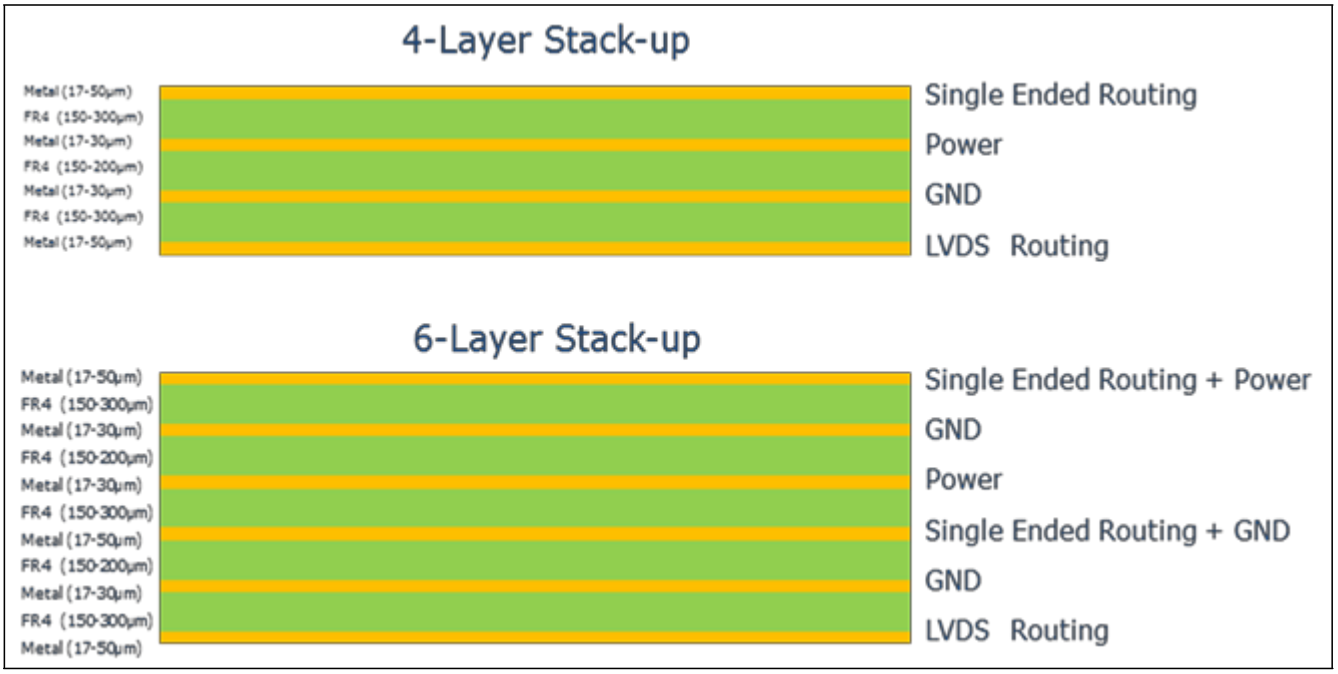


图1 4层和6层电路板叠层结构设计示例

2.2 元件布局

- 先摆放采用高速信号连接的MCU和连接器，确保它们之间走线路径是最短距离
- 不要在连接器和MCU间摆放其它元件
- 把可能引起噪声的噪声源远离高速信号。
- 把与电路板外的其他器件进行通信的元件摆放在电路板边沿。

表1 “输出，电源，输入和I/O”引脚不使用时的注意事项

1.电源引脚（模块）	• 见用户手册
2.I/O引脚	• 为提高电磁干扰性能，把引脚配置为输出，并在最弱驱动模式下输出地静态低电平。也可以把I/O配置为带上拉的输入。 • 焊盘保持开路，而不连接到任何其它网络（隔离摆放只用于焊接的PCB焊盘）。
3.输出引脚，包括LVDS	• 在驱动器最弱模式下，驱动为静态。 • 如果不能实现静态输出电平，则禁用输出驱动。 • 焊盘保持开路，而不连接到任何其它网络（隔离摆放只用于焊接的PCB焊盘）。
4.不含内部上拉/下拉器件的输入引脚	• 对于具有复用功能的引脚，见产品目标规范来定义必要的逻辑电平。 • 只要有可能，采用高阻抗电阻把引脚连接至GND（10k – 1Meg）。如果引脚直接连接至GND，对设计没有影响。 • 把8个引脚组合在一起，减少外部上拉/下拉器件的使用数量（注意漏电流）。
5.包含上拉/下拉器件的输入引脚	• 对具有复用功能的引脚，见产品目标规范来定义必要的逻辑电平。 • 应配置为下拉，且应为静态低电平有效（除非用作其它替换功能时用户手册要求高电平）。如果静态高电平有效，对设计没有影响。 • 焊盘不连接到任何其它网络（隔离摆放只用于焊接的PCB焊盘）。

2.3 走线时阻抗控制设计

保证高速信号传输的关键问题之一是走线设计。走线阻抗设计为50欧，LVDS信号的差分阻抗为100欧。

有两种传输线可用于走线设计：

- 微带线
- 带状线

根据所选择的层级设计方案，计算微带线或带状传输线的特性阻抗，得到的走线阻抗为50欧。

微带

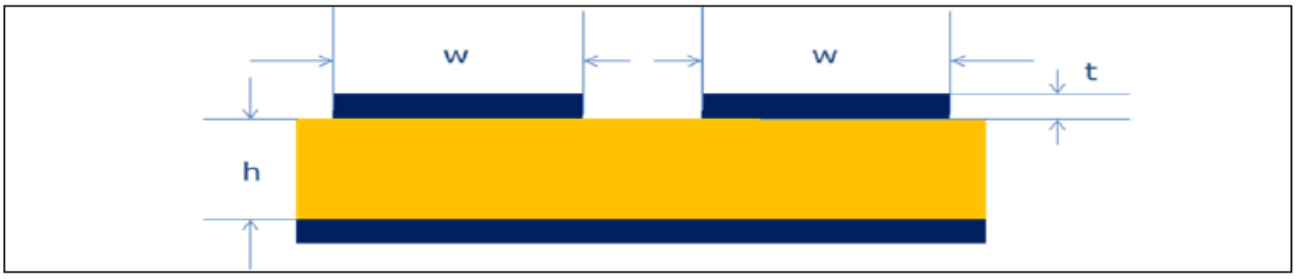


图2 微带传输线

公式：

$$Z_o = \frac{87}{\sqrt{\varepsilon_r + 1.41}} * \ln\left(\frac{5.89 * h}{0.8 * w + t}\right)$$

带状线

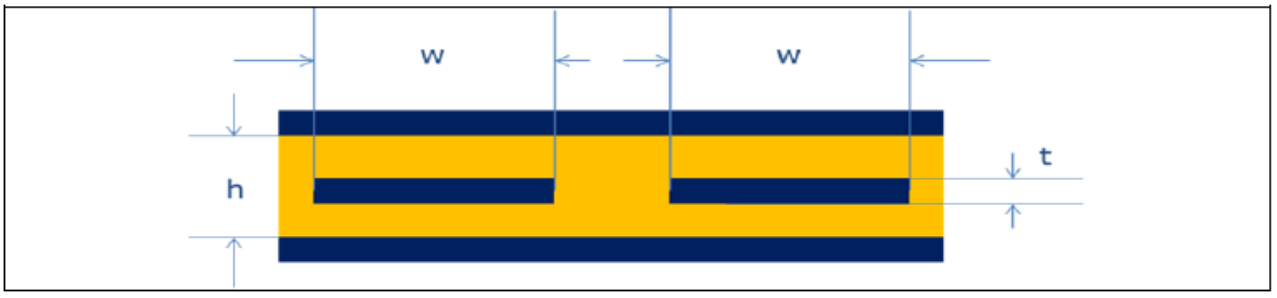


图3 带状传输线

公式：

$$Z_o = \frac{60}{\sqrt{\varepsilon_r}} * \ln\left(\frac{1.9 * h}{0.8 * w + t}\right)$$

公式中关键值:

- h

  针对微带线计算时=对地高度

  针对带状线计算时=地间的距离

- w =走线宽度
- t =线粗度
- εr =基板相对介电常数（所有距离单位为英寸）

传输线参数

使用传输线参数计算走线阻抗。参数由PCB生产商提供。

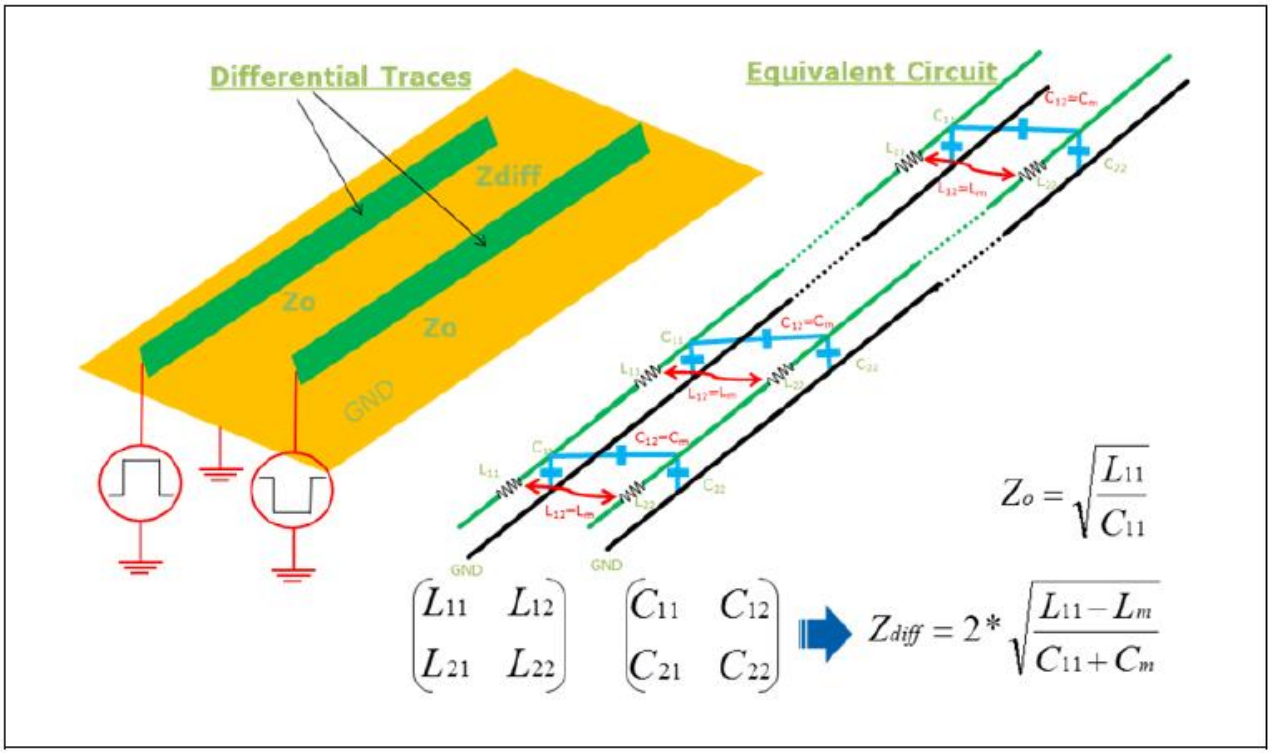


图4 使用传输线参数计算阻抗

为确定是否需要把走线考虑为阻抗可控的走线（临界长度），应遵循下面的规则以及计算公式：
如果走线比信号上升过程中经过距离的1/4还要长，应控制阻抗。

简单计算（针对FR4材料和500ps上升时间）：

传导速度: $$v=\frac{c}{\sqrt{\varepsilon_r}}=\frac{3*10^{10}}{\sqrt{4.1}}=14.8[cm/ns]$$

上升时间距离: $$14.8[cm/ns]*0.5[ns]=7.4cm$$

临界长度: $$\frac{7.4}{4}=1.85cm$$

从抑制电磁干扰（EMI）角度考虑，建议使用带状线，因为它们是放置在内层的，走线不会给电路板外部造成辐射。但是带状线要求层变，这会导致阻抗的不连续性，从而产生反射。由于存在不同的参考层面，很难满足50欧走线阻抗和100欧差分阻抗的要求。

差分阻抗根据下面的值来定义：

线间的距离

至参考平面距离

为了准确地计算走线和差分阻抗，可以利用2D场解算器或是布局设计工具的信号完整性功能。市场上大多数工具都提供此类功能。这样，设计走线的路线时就不需要担心阻抗计算，因为工具可以帮助计算并且调整相应参数，从而始终确保走线是阻抗可控。

设计和连接走线时，遵循下面的规则：

- 使用尽量宽的走线。
- 建议使用微带线，由于差分信号会抵消大部分辐射。
- 仍存在辐射问题的话，也可使用带状线。
- 走线宽度/间距比小于0.8，以减少对走线阻抗的影响。
- PCB制造商应确保50欧走线和100欧–差分阻抗在±10%容差内。

2.3.1 走线宽度预估

在设计初期，使用下面的框图估计走线宽度，最后再计算阻抗。

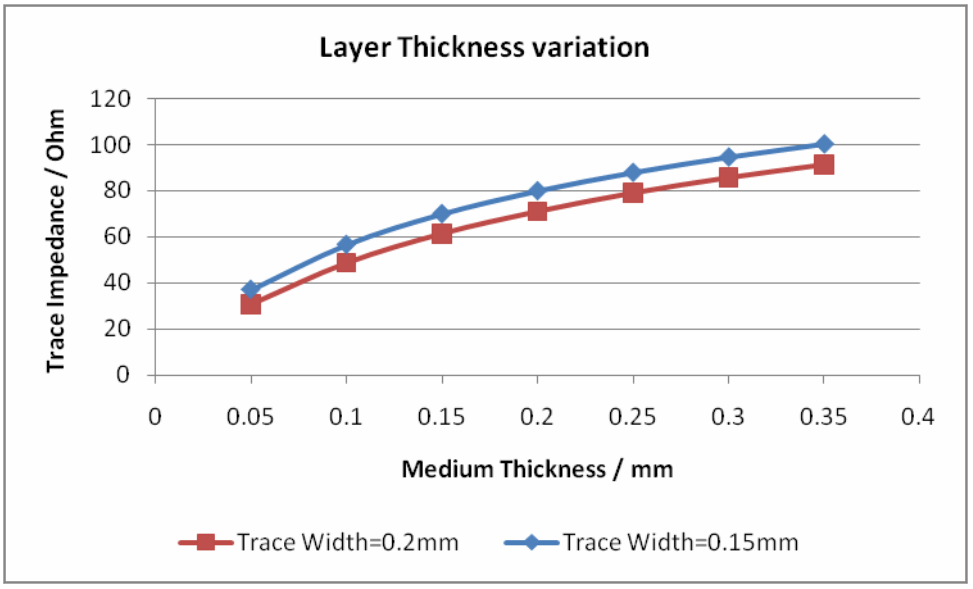


图5 随层的厚度变化的走线阻抗

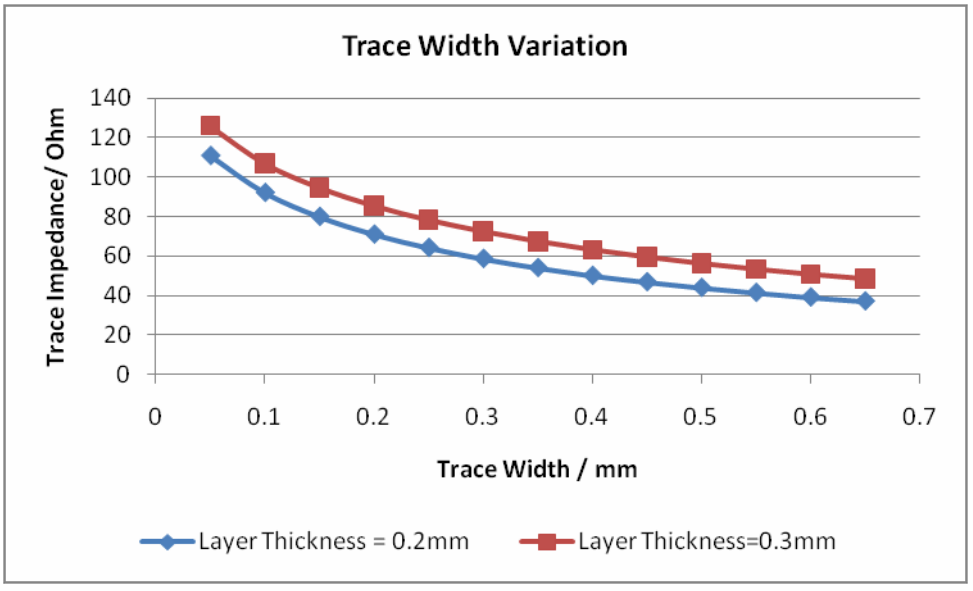


图6 随走线宽度变化的走线阻抗

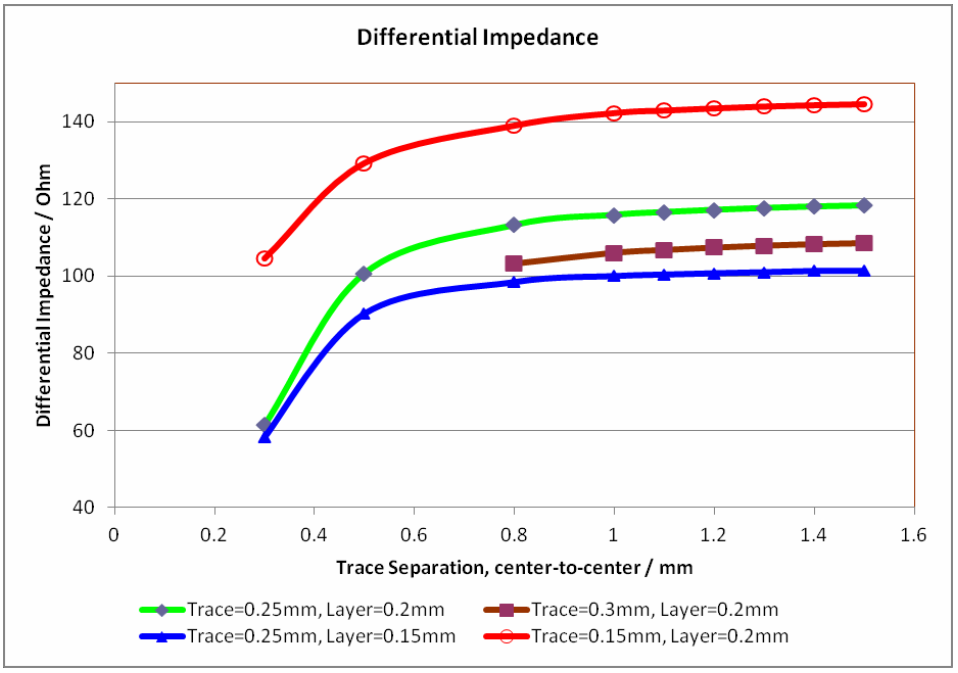


图7 随走线分离而变化的差分阻抗

2.4 高速串行信号布线

- 首先，高速信号应优先布线，达到符合阻抗连续性要求的指标，跨越距离短并采用优化的通道设计
- 不要在分离层上放置走线。走线不应有中断地，在整个长度上具有固态参考GND平面，以避免阻抗不连续和反射。
- 请记住，返回电流路径应接近信号线。电流回路尽可能地小。
- 走线要尽可能地短。
- 把走线布置为直的。差分线要求点对点连接，不使用菊花链路线。如果需要使用，不要在菊花链连接使用短截线。
- 如果是不可避免的，不要使用90度弯度代替45度
- 不要变层，避免走线上的过孔
- 如果一定会有层变，使用GND参考
- 如果层变不可避免，把GND过孔放置在接近信号线的位置（差分过孔 - GSSG）

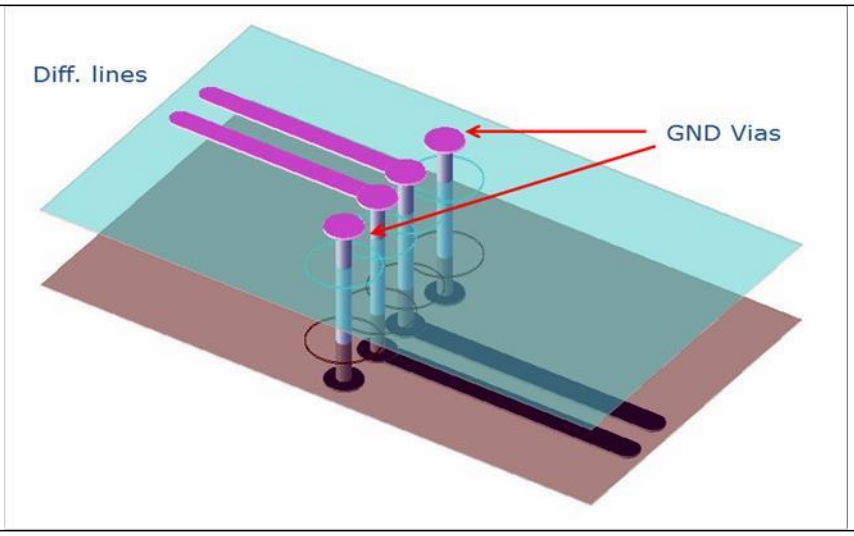


图8 差分过孔

- 所有差分走线在长度上必须匹配。

  -不同的差分走线长度会导致差分线间的斜交。斜交会对共模产生影响，并增加电压抖动。

  -对Gb/s接口而言，差分走线的长度差异应小于1mm
- 把不同层的单端走线布成差分线，或是相互间保持在4根走线宽度的最短距离，以减少串扰。
- 避免走线阻抗的不连续性。

  -参考于GND平面的交流耦合电容SMT焊盘会有不同于所要求的50欧的阻抗值，欧。这种情况下，可把焊盘下的GND层移掉，但是必须保证根据阻抗结果值对场解算器进行分析。

2.5 传输线终端端接

不同的终端端接方式：

- 近端（源端）端接
- 远端端接

近端（源端）端接

通常，输出驱动器的阻抗小于传输线阻抗的单端线会采用这种方法。在这种情况下，把串联终端加到驱动器输出端以使与线路阻抗相匹配。

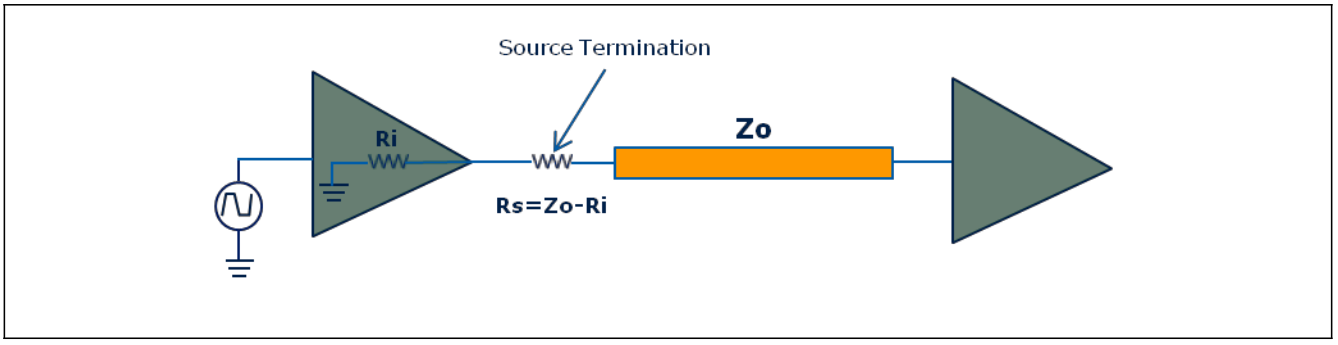


图9 单端线路的近端（源端）端接

- 把电阻放置在离源驱动比较接近的位置。
- 点对点连接时，使用源端端接。
- 不使用菊花链拓扑结构。
- 所有负载必须位于线路末端。

远端端接

并联或是AC端接是HSSI的远端端接最常用的方法。

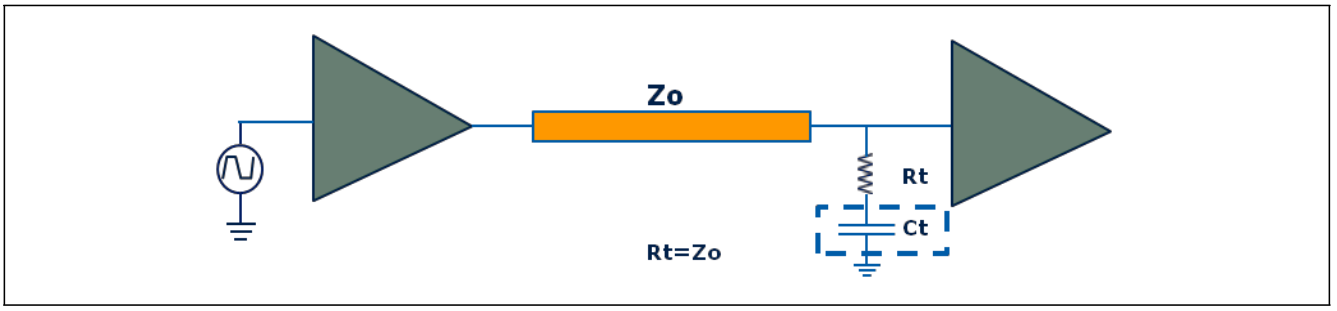


图10 单端线路的并联和AC端接

- 并联端接阻抗应与线路特性阻抗相匹配。
- 由于线路末端存在DC通路，并联端接会有功率消耗。选择并联端接时要进行相应热处理。
- AC端接可避免功率消耗，插入一个与端接电阻串联的电容。
- AC端接的电容值在100-200pF范围区间。

- 由于存在容性负载，端接技术会增加负载上升和下降时间。选择不同的C值需要做时序的考虑。
- 把元件放置在接收器引脚附近，这样不再需要短截线。

差分线路端接

应特别注意差分线路端接。

差分线路需要线路间具有大于50欧的线路阻抗和100欧差分阻抗。所以，端接必须与100欧阻抗相匹配。

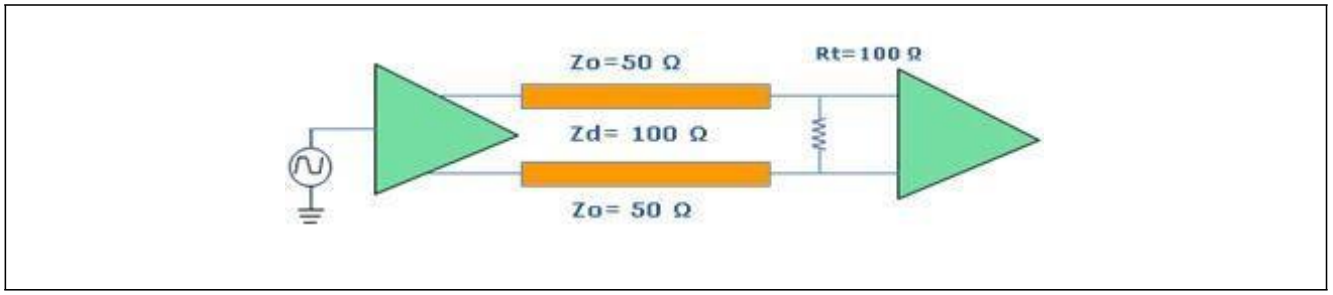


图11 差分线路端接

- 走线连接到接收器引脚后放置端接，这样不需要接收器前的短截线。这样可以避免由于阻抗不连续性导致的反射。
- 放置端接时，不要改变层或使用过孔。

2.6 信号通道间串扰最小化

如果长距离地平行布线，会出现电子信号耦合。

在PCB设计时认真处理，可以避免此类耦合问题：

- 分离单端和差分信号的布线层。
- 如果相邻的两个层有高速线路，把所有走线布置为垂直
- 不要在接近至参考层电气高度的4倍的地方布信号线。
- 尽可能缩短与参考层距离
- 与参考层距离较短的传输线与相邻线路的耦合较小。
- 避免较长距离高速信号的平行布线。
- 对差分信号，沿走线的长度保持距离不变。
- 如果要求蛇形布线（与差分线长度相匹配），并行走线的分隔距离是介质高度的4倍。
- 在发射器一侧而不是接收器一侧采用蛇形布线来长度匹配。
- 相邻层上的关键信号彼此正交发送。

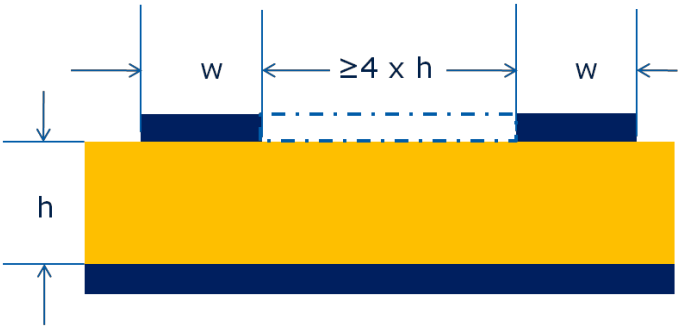


图12 走线分隔和蛇形布线规则

2.7 电路板电平滤波和去耦

微控器IC的电源分配网络的去耦是PCB设计过程中的关键环节，因为去耦电容的选择和放置对电路板的高速性能有很大的影响，而且可以减少放射。板载去耦电容的有效范围是1MHz – 200MHz。采用电源层电容覆盖高于200MHz的电容。

去耦电容是否有效取决于电容是否放置在最佳位置与连接方式。

- 把电容放置在尽可能靠近μC的位置。
- MCU和电容的互连电感尽可能低。
- 使用低阻抗和感抗（ESR和ESL）的电容。

  -由于寄生电感会限制电容对器件电流在高频需求下的响应，应选择电容的ESL和连接电感以达到最佳的设计目的。
- 通过靠近焊盘的过孔连接电容。

  -把过孔放置在另一侧来减少电流回路。

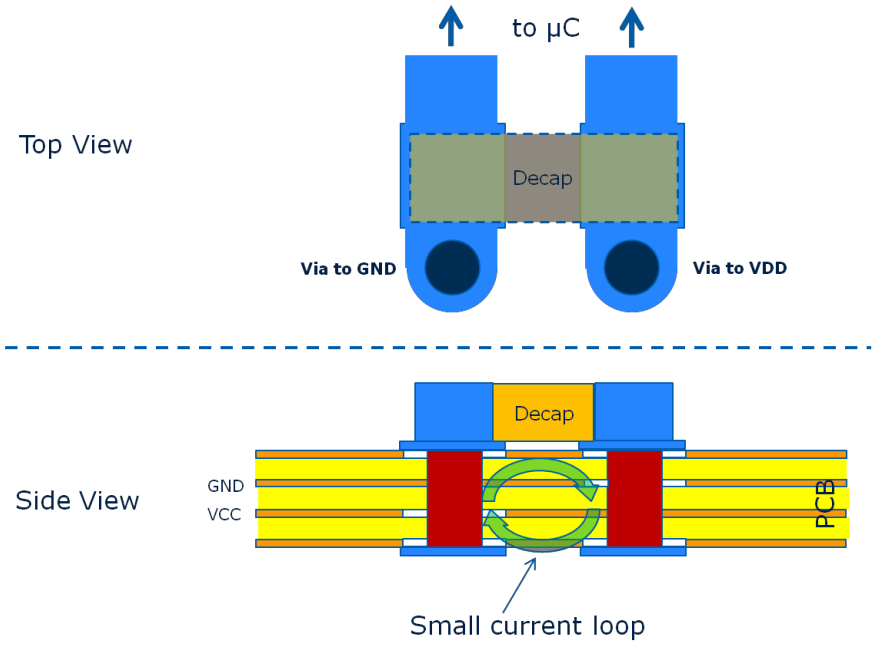


图13去耦电容连接

- 用双过孔降低寄生电感。
- 放置电容时，优化焊接区，走线和过孔。
- 不要使用长走线来连接电容至GND或至VDD。

  -始终保持较小的高频电流返回路径（最小感抗路径）
- 给电容选择最小可用封装类型。

  -选择电容类型：陶瓷多层X7R或X5R。
- 为了减少振荡器电路辐射/耦合，在GND层面上设置一个地岛。地岛的一点连接到GND层面。

  -振荡器电路生成的噪声仅存在于这个分离的地岛上。

  -负载电容的VSSOSC的接地连接应连接在地岛上。

  -负载电容和Xtal走线应尽量短。

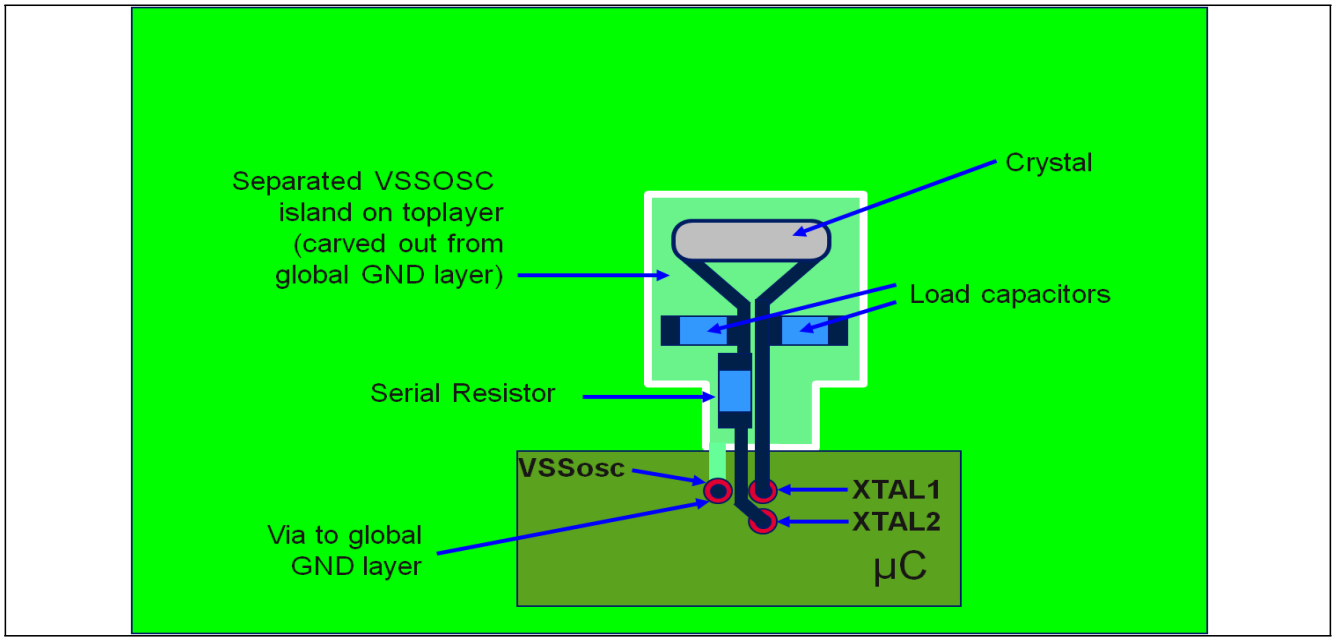


图14 振荡器电路布局方案（BGA封装）

- 为了最大程度上减少PCB的EMI辐射，需要重点考虑下面关键的信号：
  - LVDS引脚(HSCT, MSC, QSPI, AGBT)
  - ERAY引脚
  - Ethernet引脚
  - QSPI引脚
  - MSC引脚
  - 外部时钟引脚
  - 电源引脚

注释：

1. 根据相邻接地参考发送这些信号，并且避免信号和参考层的变化。

2. 使信号发送距离尽可能的短。

3. 每边上的路由地可以帮助降低对其它信号的耦合。

- 接地系统分为模拟地和数字地。模拟地必须分为两组：

  -OSC/PLL电源引脚地作为通用星形点。

  -ADC的地（VDDM的VSSM）作为通用星形点。
- 从稳压器到每个电源层的功率分配须用滤波器。
- 在稳压器输出和其它模块的电源引脚支路上，像VDD和VDDP3（对振荡器），VDDFL3和VDDM引脚，要把RC滤波器插入在电源路径内。

  -使用电感或是铁氧体磁珠（5－10 μH）来替代电阻可以改善电路的EME状况，并降低相关电源网络高达~10dBμV的辐射。
- 必须禁用OCDS。
- 给全部I/O选择可能的最弱驱动力和斜率（见应用笔记AP32111的可扩展焊盘）。
- SYSSCLK使用可能最低频率。
- 避免通过过孔组分割GND平面。必须设计一个固定的GND层。

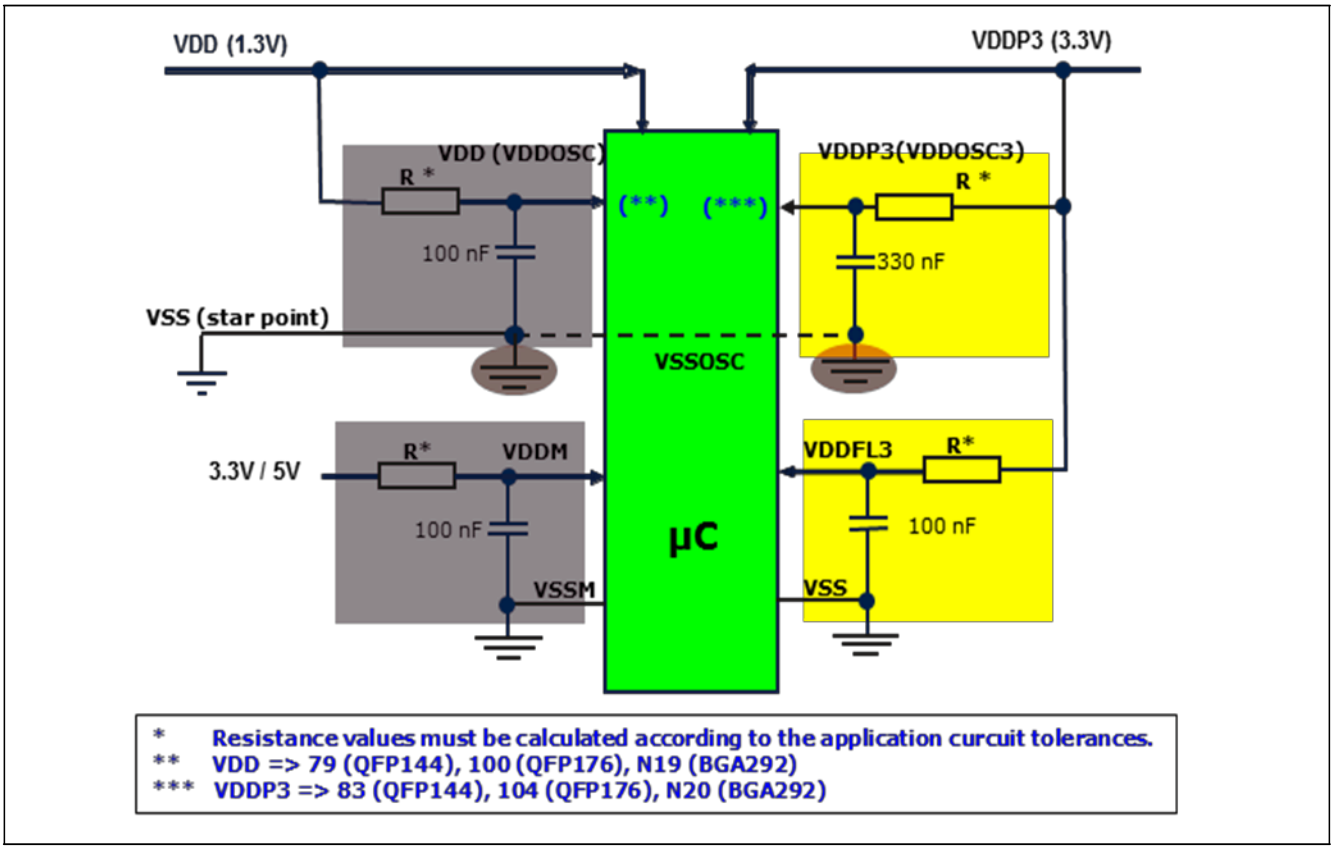


图15 TC27x和TC26x的VDD，VDDP，VDDFL3，VDDM电源引脚滤波

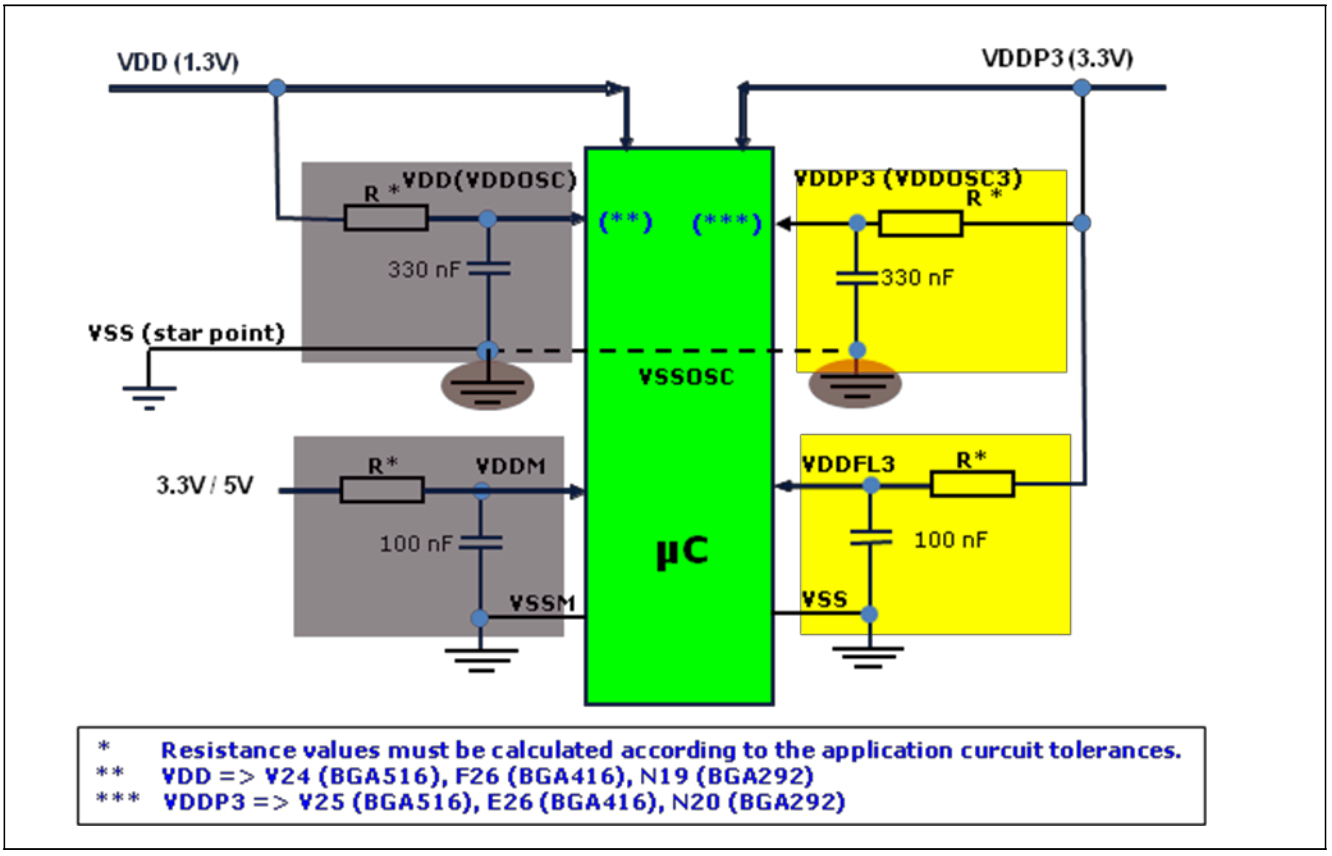


图16 TC29x的VDD，VDDP，VDDFL3，VDDM电源引脚滤波

3 AURIX家族系列布局示例

AURIX的TC26x, TC27x和TC29x的32位微控器产品具有以下封装类型。

LQFP-144

LQFP-176

BGA-292

BGA-416

BGA-516

微控器有下面的电源：

内核 VDD=1.3V

I/O焊盘 VDDP=3.3V

EBU VDDEBU=3.3V

ADC VDDM=3.3V或5V

Flex端口 VFLEX =3.3V或5V

EBU Flex 端口 VFLEXE =3.3V或5V

Flash VDDFL3=3.3V

外部电源 VEXT=3.3V 或 5V, 应分别去耦。

从稳压器输出到每个域的电源供给可以在电源层（POWER）上处理。

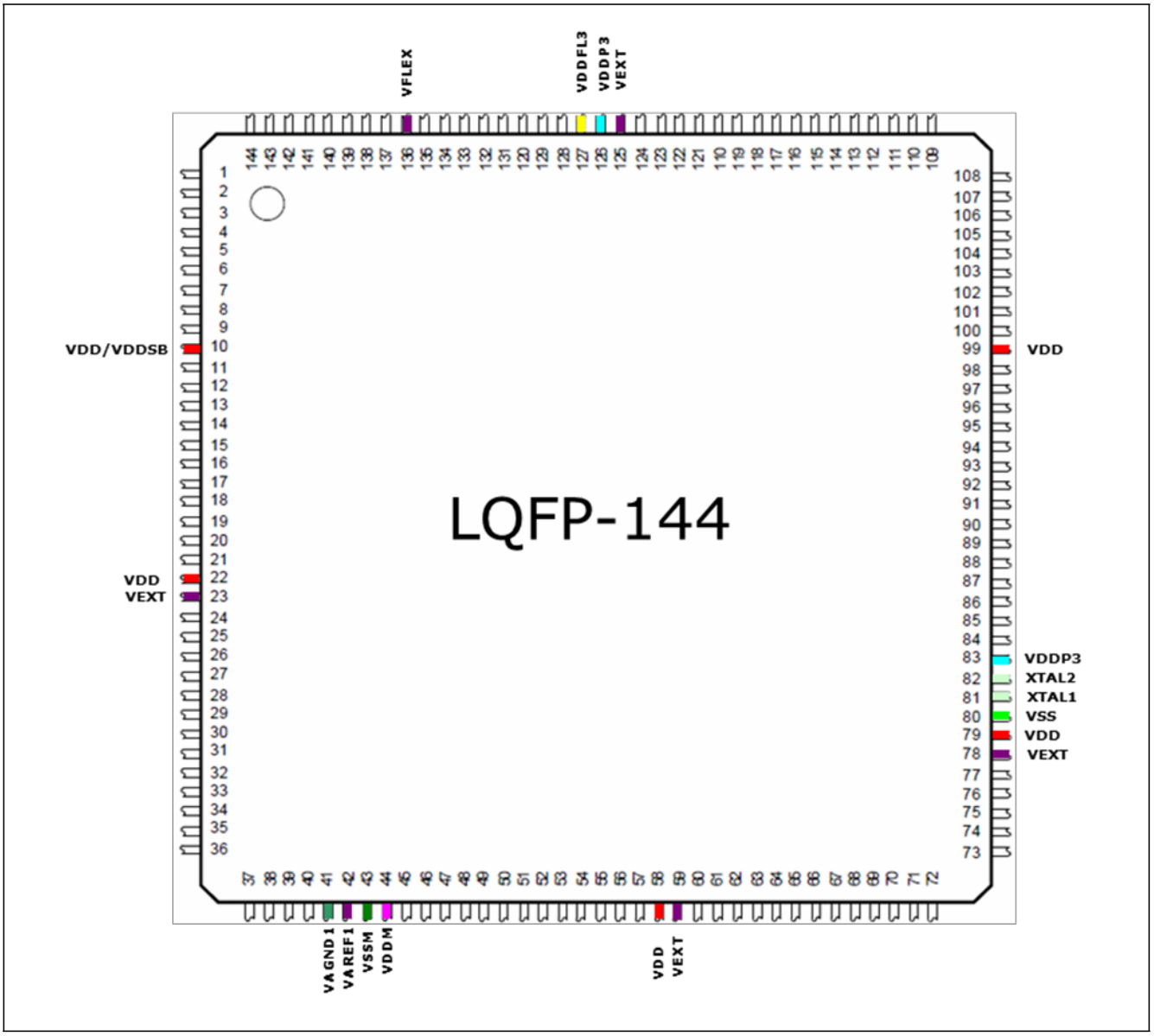


图17 LQFP-144封装

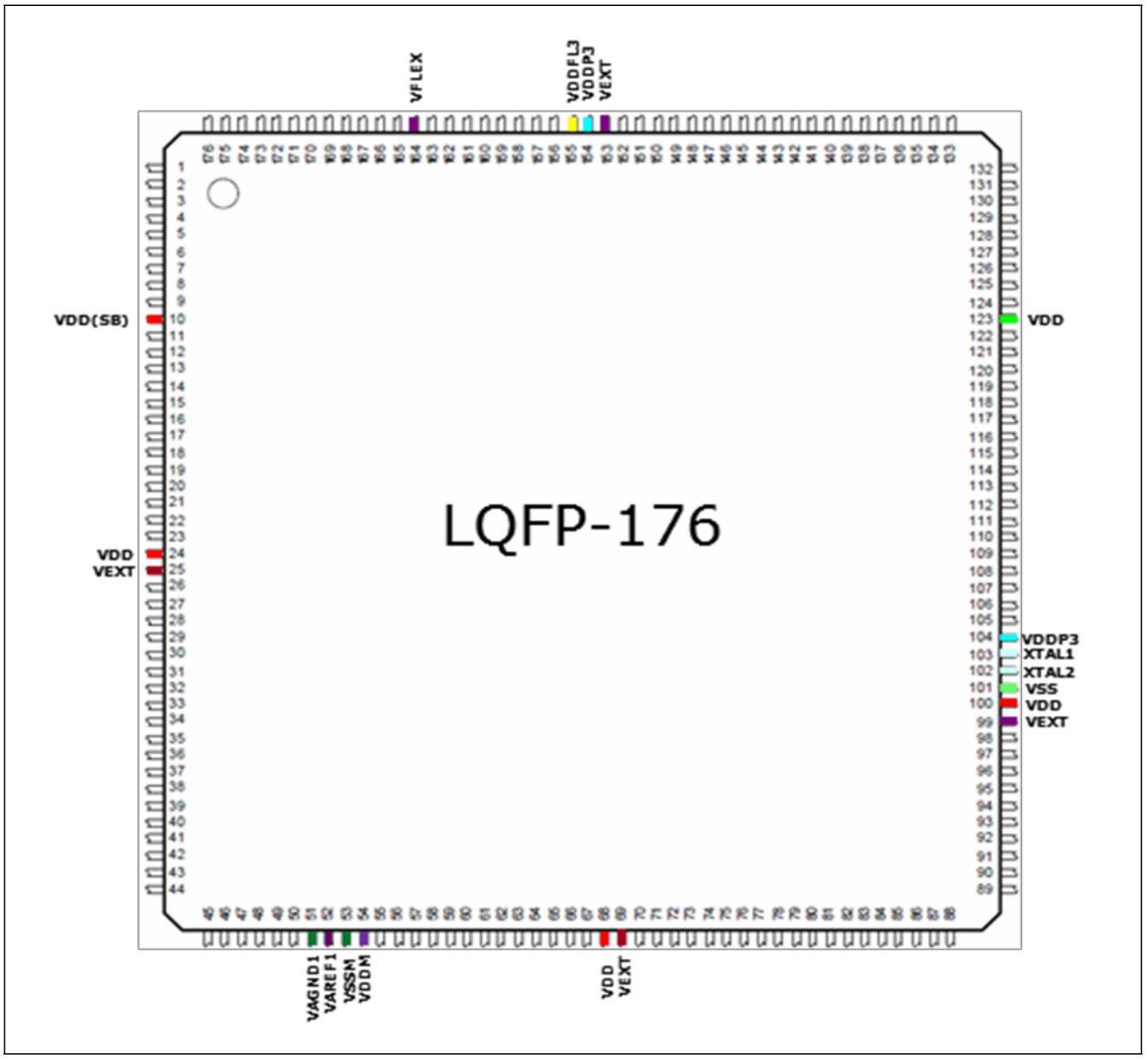


图18 LQFP-176封装

	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	
Y	VSS	P32.3	P32.2	P32.0	P33.13	P33.11	P33.9	P33.7	P33.5	P33.3	P33.1	AN5	AN10	VAGND1	VAREF1	VDDM	VSSM	AN20	AN21	NC	Y
W	VEXT	VSS	P32.4	VGATE1 P	P33.12	P33.10	P33.8	P33.6	P33.4	P33.2	P33.0	AN2	AN8	AN11	AN13	AN16	AN18	AN19	AN24	AN25	W
V	P23.0	VEXT		17	16	15	14	13	12	11	10	9	8	7	6	5	4		AN26	AN27	V
U	P23.2	P23.1	U	VSS	P32.7	P32.6	P33.15	P34.5	P34.3	P34.1	AN1	AN3	AN7	AN9	AN14	AN17	NC	U	AN28	AN29	U
T	P23.4	P23.3	T	P23.5	VSS	P32.5	P33.14	P34.4	P34.2	VEVRSB	AN0	AN4	AN6	AN12	AN15	AN22	AN30	T	VAGND2	VAREF2	T
R	P22.2	P22.3	R	P23.6	P23.7	Top-View										AN23	AN31	R	AN35	AN33	R
							14	13	12	11	10	9	8	7							
P	P22.0	P22.1	P	P22.5	P22.4	W		VDD	VSS	VSS (AGBT TXDP)	VSS (AGBT TXDN)	VSS	VDD		W	AN34	AN32	P	AN37	AN39	P
N	VDDP3	VDD	N	P22.7	P22.6	V	VDD		VSS	VSS	VSS	VSS		VDD	V	AN38	AN36	N	AN45	AN44	N
M	XTAL1	XTAL2	M	P22.9	P22.8	U	VSS	VSS		VSS	VSS		VSS	VSS	U	AN40	AN41	M	AN47	AN46	M
L	VSS	TRST	L	P22.11	P22.10	T	VSS (AGBT ERR)	VSS	VSS	VSS	VSS	VSS	VSS	VSS (AGBT CLKN)	T	AN42	AN43	L	P00.12 (AN)	P00.11 (AN)	L
K	P21.4	P21.2	K	P21.0	TMS	R	NC (VDDPSB)	VSS	VSS	VSS	VSS	VSS	VSS	VSS (AGBT CLKP)	R	P00.10 (AN)	P00.8 (AN)	K	P00.9 (AN)	P00.7 (AN)	K
J	P21.5	P21.3	J	P21.1	TCK	P	VSS	VSS		VSS	VSS		VSS	VSS	P	P01.7	P00.6 (AN)	J	P00.5 (AN)	P00.4 (AN)	J
H	P20.0	P20.2	H	P21.6	P21.7	N	VDD		VSS	VSS	VSS	VSS		VDD (VDDSB)	N	P01.5	P01.6	H	P00.3 (AN)	P00.2 (AN)	H
G	P20.3	P20.1	G	PORST	ESR1	M		VDD	VSS	VSS	VSS	VSS	VDD (VDDSB)		M	P01.3	P01.4	G	P00.1 (AN)	P00.0	G
F	P20.8	P20.7	F	P20.6	ESR0		14	13	12	11	10	9	8	7		P02.10	P02.11	F	P02.7	P02.8	F
E	P20.11	P20.10	E	P20.9	VSS	VDDFL3	P15.5	P14.2	P12.0	P12.1	P11.0	P11.1	P11.7	P11.8	P11.13	VSS	P02.9	E	P02.5	P02.6	E
D	P20.13	P20.12	D	VSS	VDDFL3	P15.7	P15.8	P14.7	P14.9	P14.10	P11.4	P11.6	P11.5	P11.14	P11.15	VFLEX	VSS	D	P02.3	P02.4	D
C	P20.14	P15.2		17	16	15	14	13	12	11	10	9	8	7	6	5	4		P02.1	P02.2	C
B	P15.0	VSS	VDDP3	P15.3	P14.0	P14.4	P14.3	P14.6	P13.0	P13.2	P11.3	P11.10	P11.12	P10.1	P10.4	P10.5	P10.8	VEXT	VSS	P02.0	B
A	VSS	VDDP3	P15.1	P15.4	P15.6	P14.1	P14.5	P14.8	P13.1	P13.3	P11.2	P11.9	P11.11	P10.0	P10.3	P10.2	P10.6	P10.7	VEXT	NC	A
	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	

图19 LFBGA-292

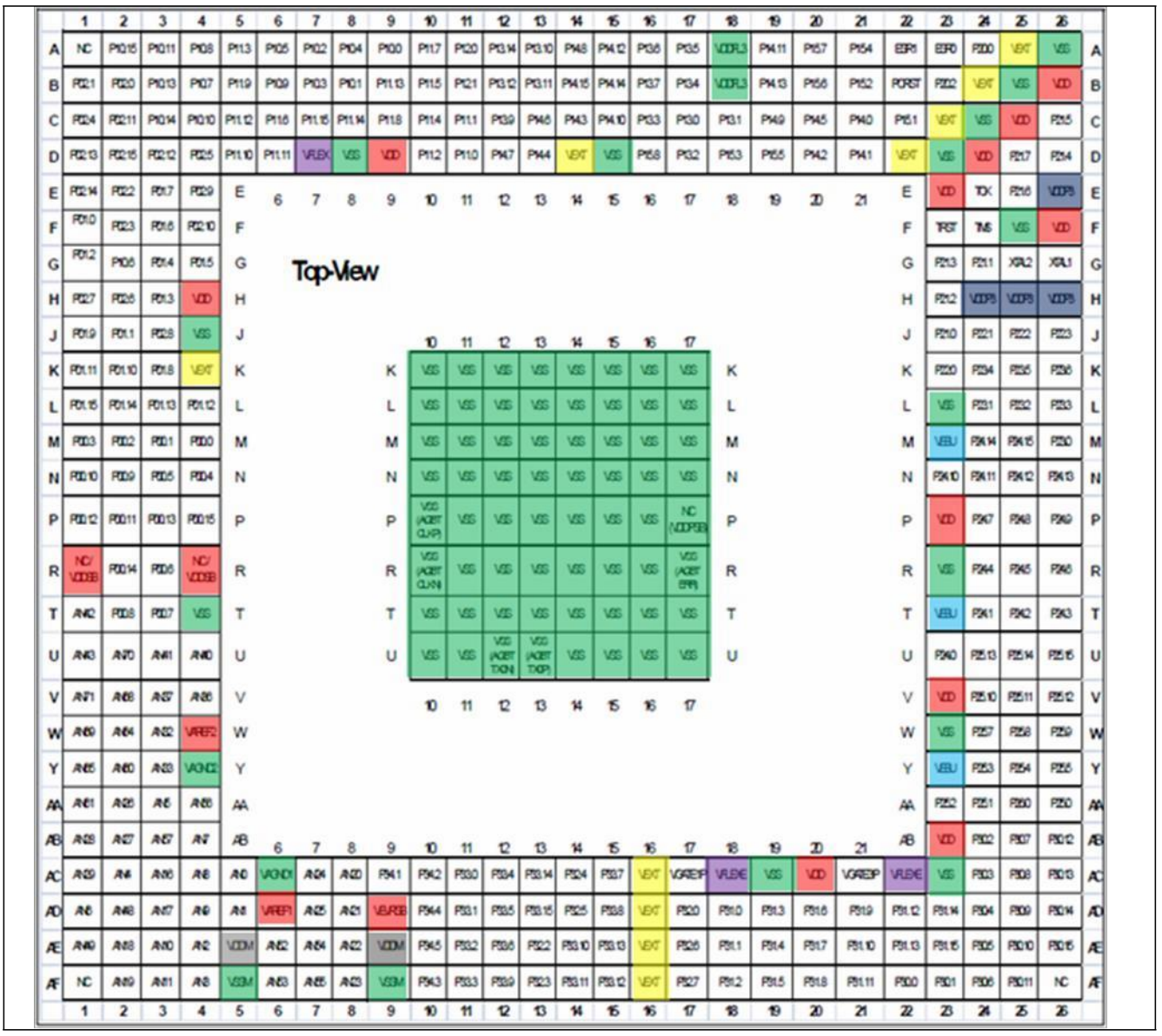


图20 BGA-416

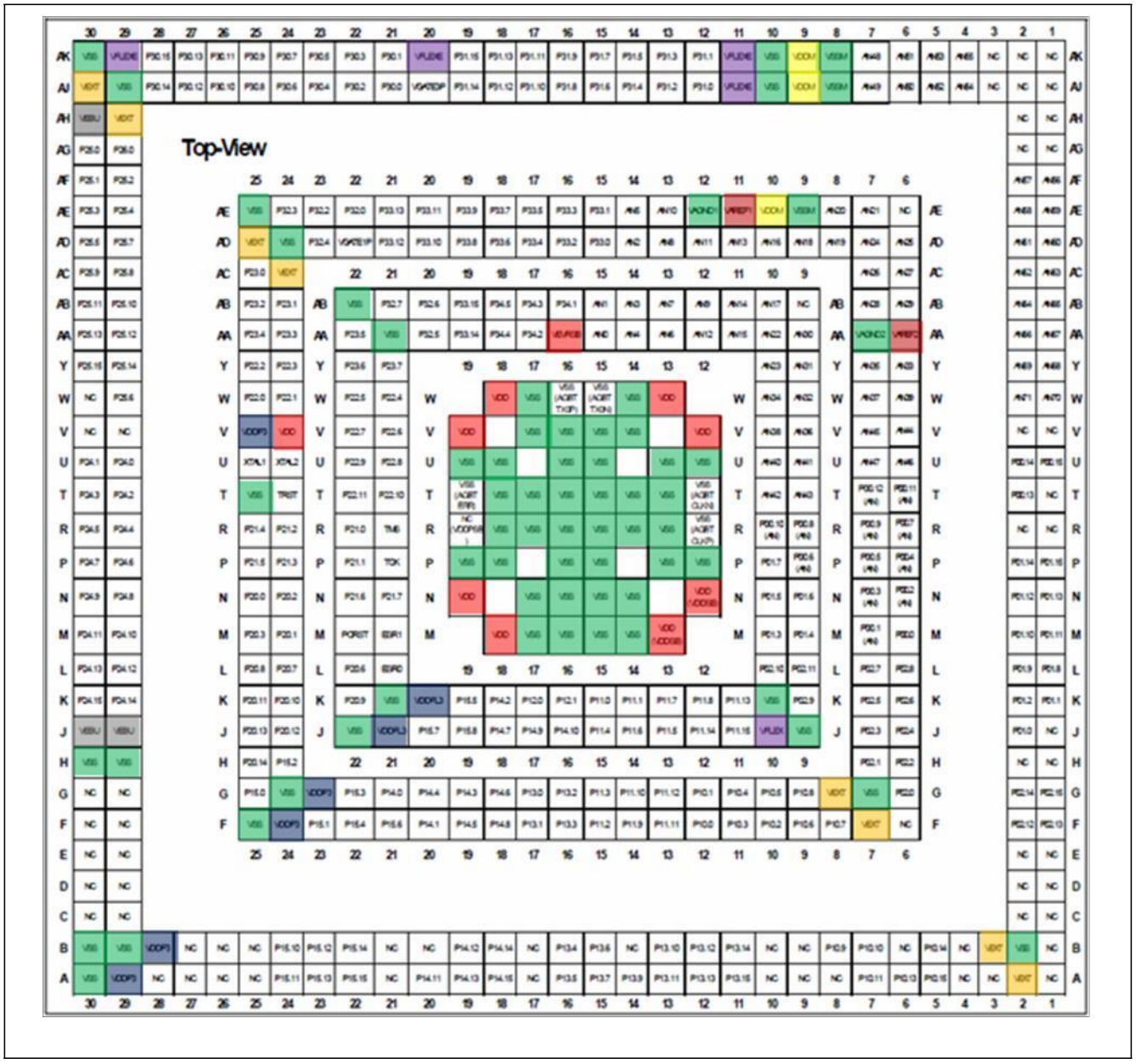


图21 BGA-516

3.1 布局示例

本章节展示了一些可供参考的布局示例。

布局示例的设计基于已给的层级设计和下面的设计规则：

- 走线为130μm, Via-drill/-pad为0.3/0.6mm
- 信号到信号和信号到焊盘的间隙为130μm_
- 顶/底部Cu厚度为50μm
- 内层Cu厚度为30μm

3.1.1 LQFP-144封装类型的布局示例

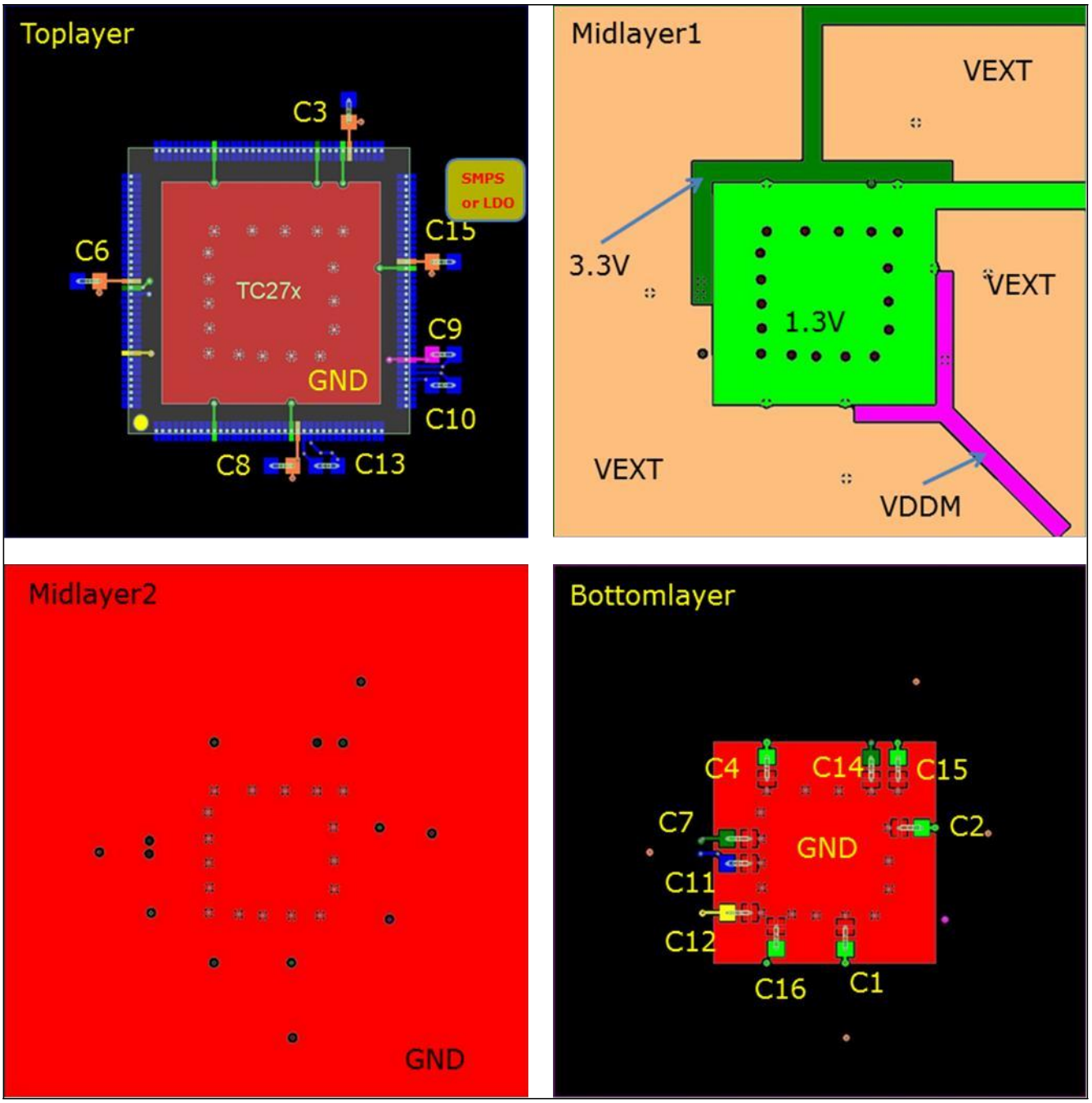


图22 LQFP-144封装布局示例

表2 外部电源模式下，LQFP-144的去耦电容列表

电容	值	电源	LQFP-144引脚
C1,C2,C4,C5	4 x 100nF	VDD	22,58,99,79
C3,C6,C8,C15	4 x 100nF	VEXT	23,59,78,125
C7	用外部电源时,1x 330nF-470nF 或者内部 LDO EVR电源配置情况下,1x 1μF-2μF	VDDP3	126
C14	1 x 330nF	VDDOSC3	83
C11	1 x 100nF	VDDFL3	127
C16	1 x 100nF	VDDSTBY	10
C9	1 x 100nF	VDDM / VSSM	44 / 43
C10	1 x 100nF	VAREF1 / VAGND1	42 / 41
C13	1 x 100nF	VAREF2 / VAGND2	24 / 25
C12	1 x 100nF	VFLEX	136

3.1.2 LQFP-176封装类型的布局示例

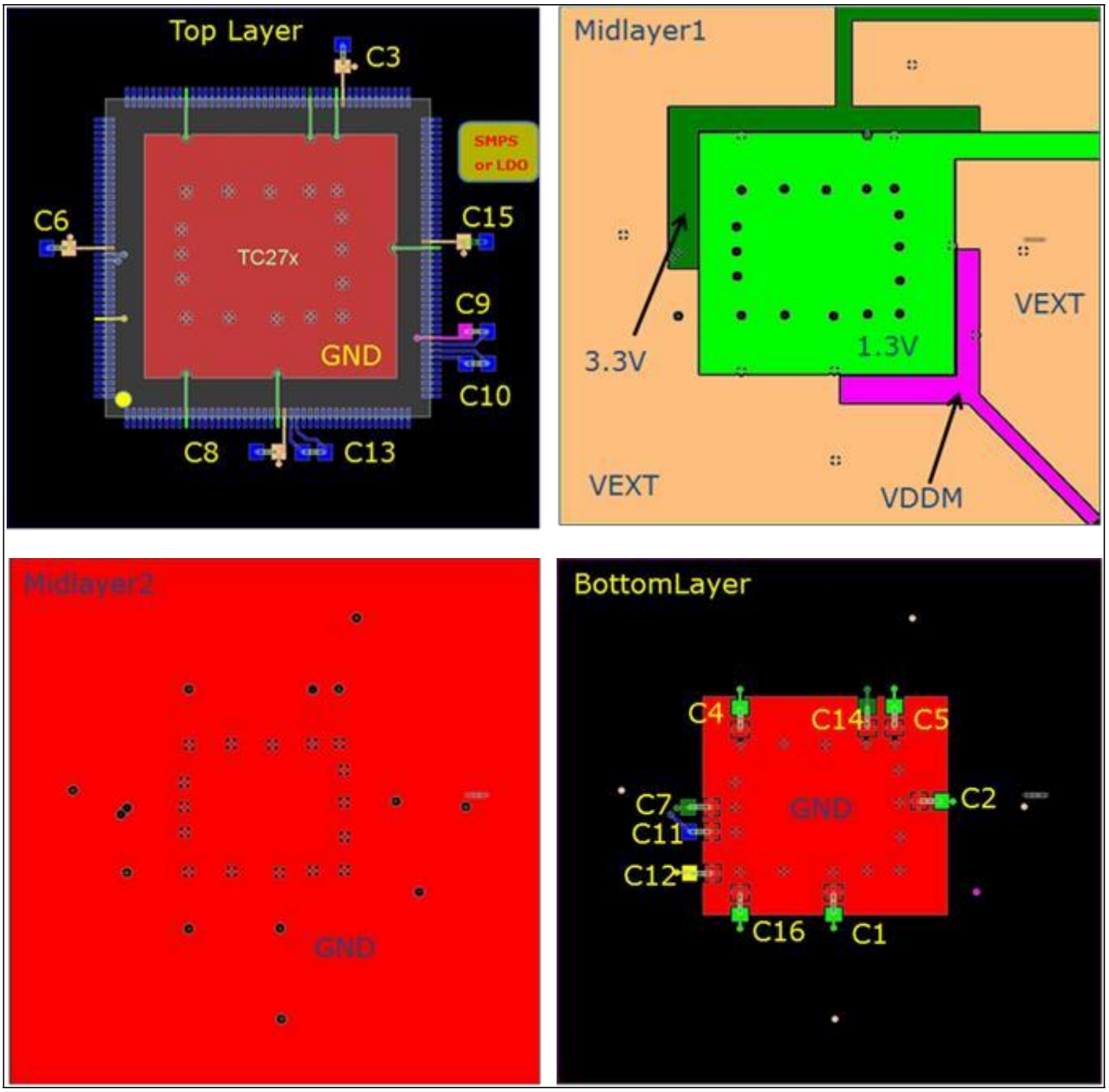


图23 LQFP-176封装的布局示例

表3 外部电源模式LQFP-176封装的去耦电容列表

电容	值	电源	LQFP-176引脚
C1,C2,C4,C5	4 x 100nF	VDD	24,68,123,100
C3,C6,C8,C15	4 x 100nF	VEXT	25,69,99,153
C7	用外部电源时,1x 330nF-470nF 内部LDO EVR电源配置的1x 1μF-2μF	VDDP3	154
C14	1 x 330nF	VDDOSC3	104
C11	1 x 100nF	VDDFL3	155
C16	1 x 100nF	VDDSTBY	10
C9	1 x 100nF	VDDM / VSSM	54 / 53
C10	1 x 100nF	VAREF1 / VAGND1	52 / 51
C13	1 x 100nF	VAREF2 / VAGND2	26 / 27
C12	1 x 100nF	VFLEX	164

3.1.3 LFBGA-292封装布局示例

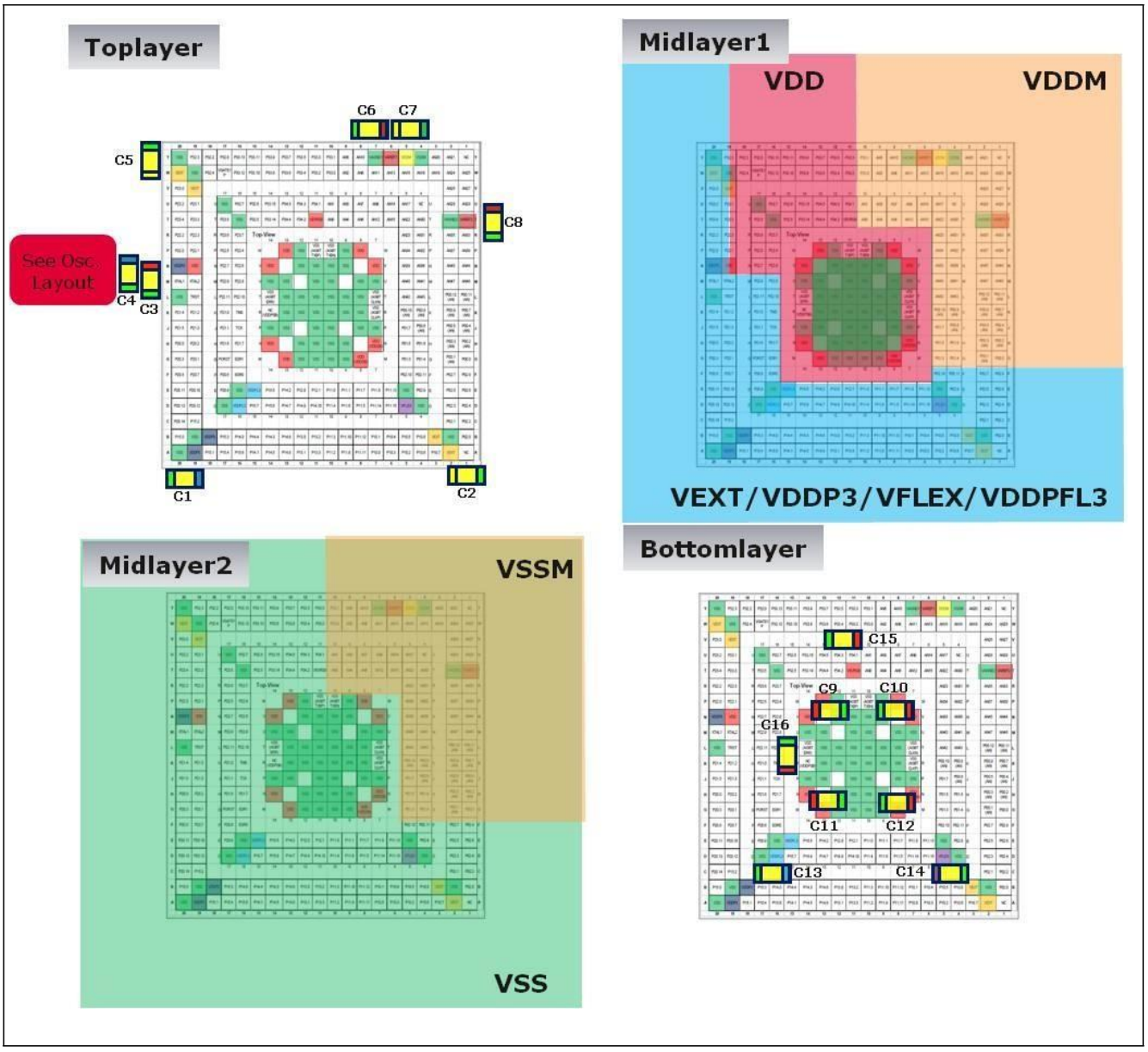


图24 LFBGA-292封装的布局示例

表4 外部电源模式时LFBGA-292封装的去耦电容列表

电容	值	电源	BGA-292引脚
C9,C10,C11	3 x 100nF	VDD	P13//N14, P8//N7, H14//G13
C12	1 x 100nF	VDD/VDDSTBY (PD/ED)	H7//G8
C13	1 x 100nF	VDDFL3	D16//E15
C14	1 x 100nF	VFLEX	D5
C2, C5	2 x 100nF	VEXT	A2//B3, V19//W20
C1	用外部电源时1x 330nF-470nF 或内部LDO EVR电源时,1x 1µF-2µF	VDDP3	A19//B18
C3	1 x 330nF	VDD (VDDOSC)	N19
C4	1 x 330nF	VDDP3 (VDDOSC3)	N20
C7	1 x 100nF	VDDM / VSSM	Y5
C6	1 x 100nF	VAREF1 / VAGND1	Y6
C8	1 x 100nF	VAREF2 / VAGND2	T1
C15	1x 100nF	VEVRSB	T11
C16	1 x 100nF	VDDPSB (only for ED)	K14

3.1.4 BGA-416封装的布局示例

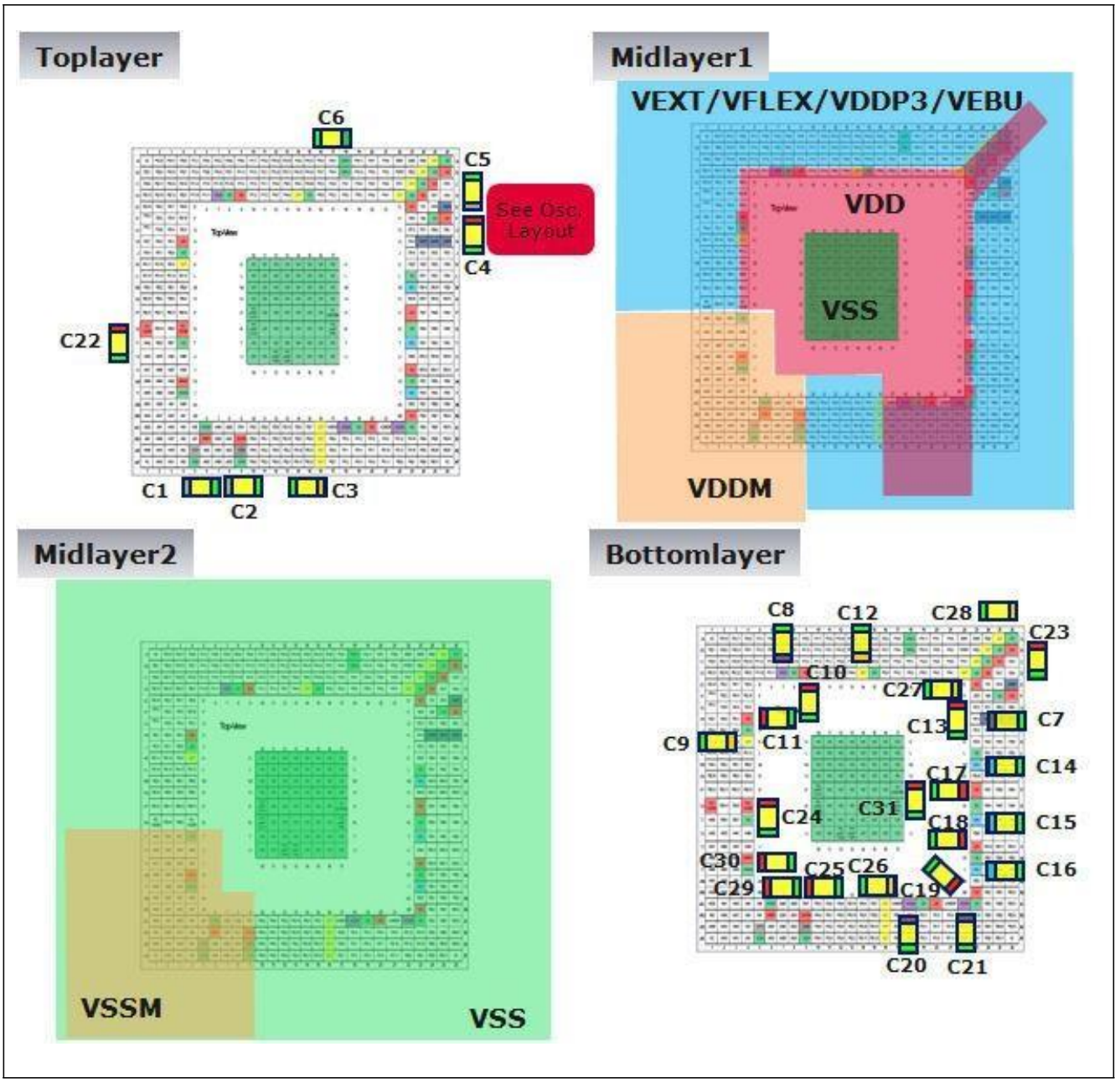


图25 BGA-416封装的布局示例

表5 外部电源模式时BGA-416去耦电容列表

电容	值	电源	BGA-416引脚
C17, C18, C19, C13, C23, C10, C11	7 x 100nF	VDD	P23, V23, AB23//AC20, E23//D24, C25//B26, D9, H4
C22, C24	2 x 100nF	VDDSTBY (仅用于ED)	R1, R4
C9, C12, C3, C26, C27, C28	6 x 100nF	VEXT	K4, D14, AC16//AD16, AE16//AF16, D22//C23, B24/A25
C7	用外部电源时,1x 330nF-470nF 或内部LDO EVR电源的1x 1µF-2µF	VDDP3	H24//H25//H26
C14, C15, C16	3 x 100nF	VEBU	M23, T23, Y23
C20, C21	2 x 100nF	VFLEXE	AC18, AC22
C8	1 x 100nF	VFLEX	D7
C6	1 x 100nF	VDDFL3	A18//B18
C5	1 x 330nF	VDDP3	E26
C4	1 x 330nF	VDD	F26
C1, C2	2 x 100nF	VDDM	AE5, AE9
C25	1 x 100nF	VDDEVRSB	AD9
C29	1 x 100nF	VAREF1	AD6
C30	1 x 100nF	VAREF2	W4
C31	1 x 100nF	VDDPSB	P17

3.1.5 BGA-516封装的布局示例

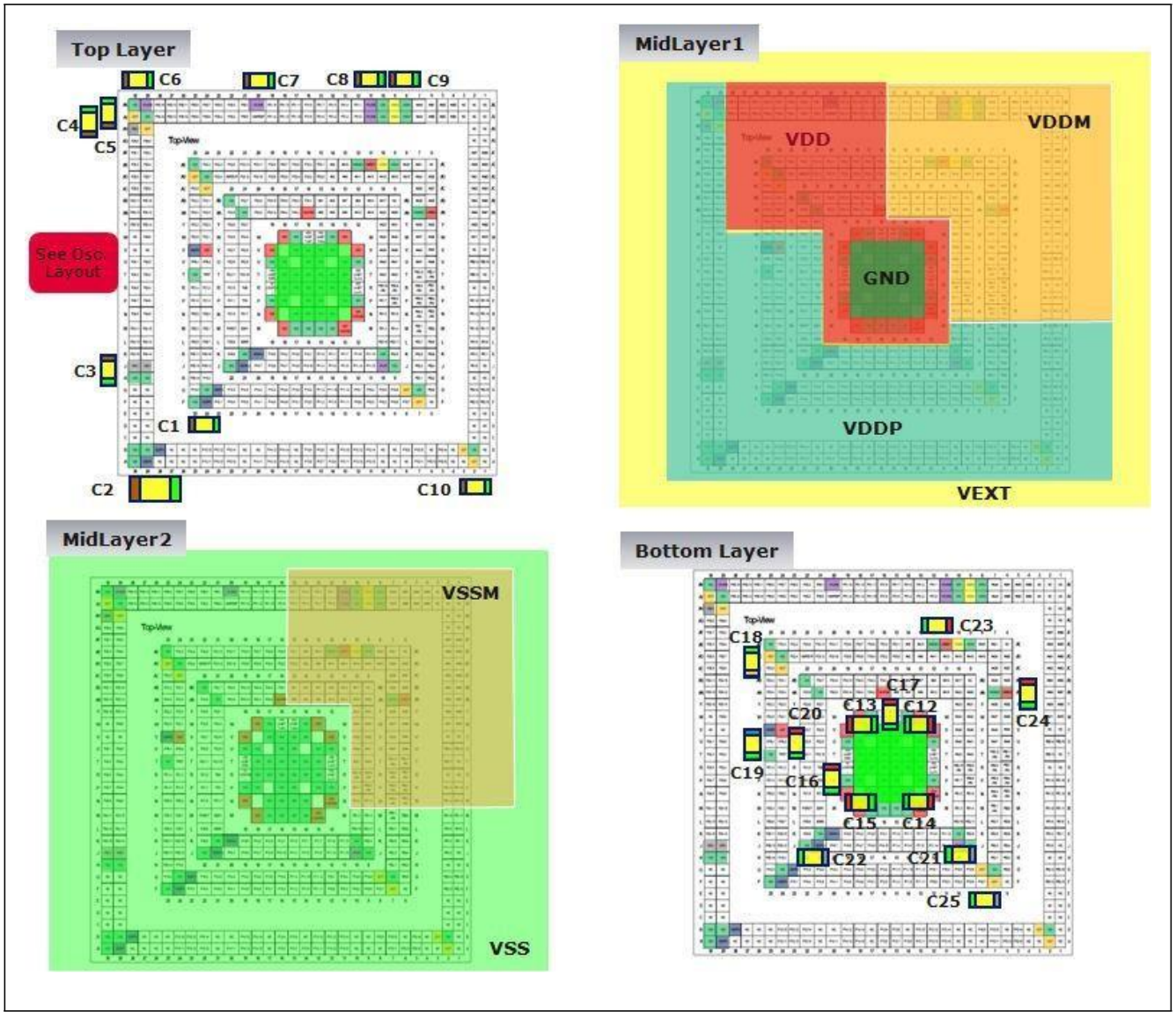


图26 BGA-516封装的布局示例

表6 外部电源模式下，BGA-516的去耦电容列表

电容	值	电源	BGA-516引脚
C12, C13, C15	3 x 100nF	VDD	V19//W18, V12//W13, M18//N19
C14	1 x 100nF	VDD/VDDSB (PD/ED)	M13//N12
C6, C7, C8	3 x 100nF	VFLEXE	AK29, AK20, AK11//AJ11
C21	1 x 100nF	VFLEX	J10
C5, C18, C10, C25	4 x 100nF	VEXT	AJ30//AH29, AD25//AC24, A2//B3, F7//G8
C4, C3	2 x 100nF	VEBU	AH30, J30//J29
C22	1 x 100nF	VDDFL3	J21//K20
C16	1 x 100nF	VDDPSB (仅用于ED)	R19
C1	1 x 100nF	VDDP3	F24//G23
C2	用外部电源时，1 x 330nF-470nF 或内部LDO EVR电源情况时， 1 x 1µF-2µF	VDDP3	A29//B28
C23	1 x 100nF	VAREF0 / VAGND0	AE11
C24	1 x 100nF	VAREF2 / VAGND2	AA6
C9	1 x 100nF	VDDM	AK9//AJ9//AE10
C19	1 x 330nF	VDDP3	V25
C20	1 x 330nF	VDD	V24
C17	1 x 100nF	VEVRSB	AA16

3.2 不同电源模式时去耦电容

本章节展示了SMPS/DC-DC稳压器模式的布局示例。

为便于识别，表格中的元件参考与推荐的元件值是相同的。

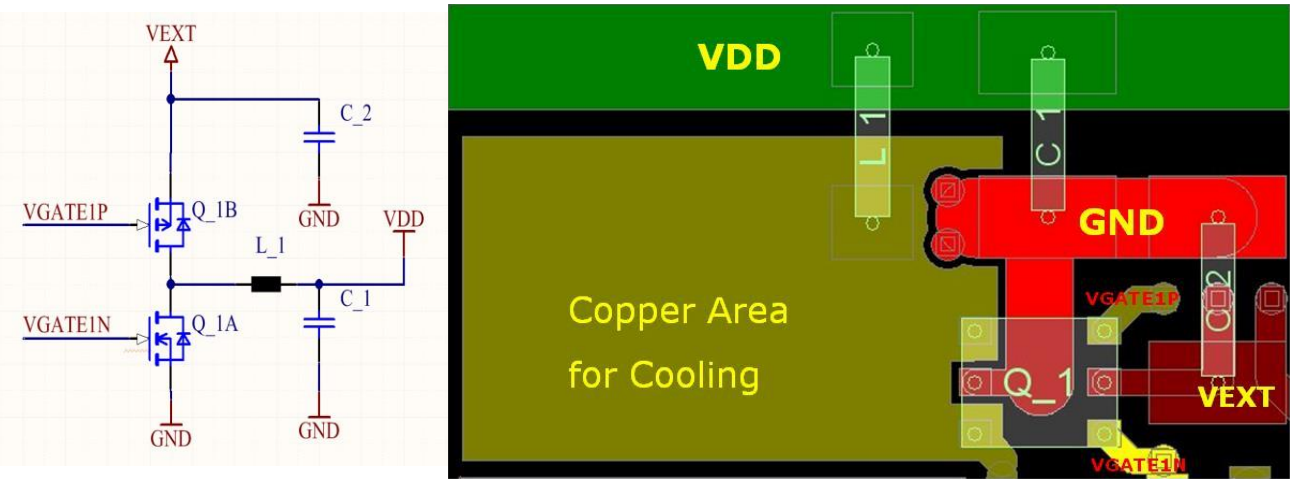


表27 SMPS/DC-DC稳压器布局示例

表7 不同电源模式的去耦电容：

序号	情况/使用实例	MOSFET(封装)	电感/电容（封装） →元件参考
EVR13 SMPS/DC-DC稳压器			
1.	I_{DD} <400 mA f_{DC} = 1.5 MHz	互补型MOSFET BSL215C (TSOP-6) => Q_1	1. 电感 LTF3020T-3R3N-H/D[1)] => L_1 2. 输出电容 CGA6M3X7R1C106K (1210) => C_1 3. 输入电容 CGA5L1X7R1C685K (1206) => C_2
2.	I_{DD} <400 mA f_{DC} = 1 MHz	互补型MOSFET BSL215C (TSOP-6) => Q_1	1. 电感 LTF3020T-4R7N-H/D => L_1 2. 输出电容 CGA6M3X7R1C106K (1210) => C_1 3. 输入电容 CGA5L1X7R1C685K (1206) => C_2
3.	I_{DD} <1 A f_{DC} = 1.5 MHz	互补型MOSFET BSZ15DC02KD (S308) => Q_1	1. 电感 LTF5022T-3R3N2R5-H/D[1)] => L_1 2. 输出电容 CGA6P1X7R1C226M (1210) => C_1 3. 输入电容 CGA6M3X7R1C106K (1210) => C_2
4.	I_{DD} <1 A f_{DC} = 1 MHz	互补型MOSFET BSZ15DC02KD (S308) => Q_1	1. 电感 LTF5022T-4R7N2R0-H/D => L_1 2. 输出电容 CGA6P1X7R1C226M (1210) => C_1

			3.输入电容 CGA6M3X7R1C106K (1210) => C_2
把外部P通道MOSFET作为pass device的EVR13 LDO			
5.	I_{DD} < 300 mA	P沟道 MOSFET SPD04P10 PL (TO-252)	输出电容 C3216X7R1C475K (1206)
采用内部pass device的EVRx3 LDO - 缓冲电容			
6.	I_{DDX} < 100 mA	-	C3216X7R1C105K (1206) => C_2
7.	I_{DDX} < 200 mA	-	C3216X7R1C225K (1206) => C_2
8.	I_{DDX} < 300 mA	-	C3216X7R1C475K (1206) => C_2

1）如要进一步降低电流纹波I_{DD}，需要采用更高电感(LTFx02yT-4R7N-H/D)。

4 AURIX产品的高速串行接口设计（HSSI）

关于微控器PCB设计指南更多信息，请参考英飞凌AP24026文档。

4.1 2.5 Gbit/s的高速串行接口设计（HSSI）

2.5Gb/s的HSSI是LVDS接口，电压驱动最大电平值达±400mV。关键问题是信号路线的设计，设计人员须把全部注意力集中在这个问题上。50欧走线阻抗和100欧差分阻抗是该接口的重要条件。

4.2 HSCT接口

HSCT接口是LVDS接口，最大数据传输率达320 Mb/s。需要50欧走线阻抗和100欧差分阻抗。

4.3 DAP接口

对DAP接口信号来说，建议在DAP1信号的两端采用串行端接方法，因为这是双向线路（如果需要DAP2，采用同样方法）

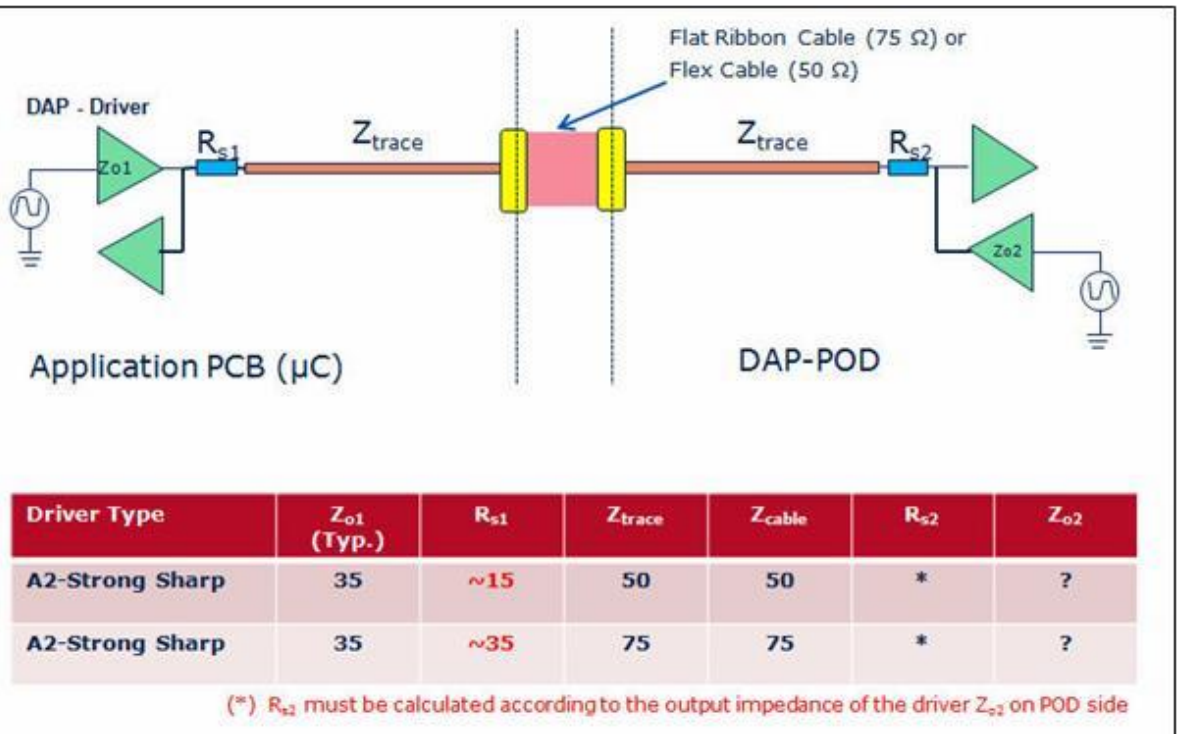
使DAP1和DAP2的走线长度相等。

DAP0信号仅在源端时终结（取决于DAP0驱动能力）。端接必须与线路阻抗相匹配。

建议在电路板上，该接口的走线总长度小于10cm（同时需要考虑电缆负载寄生阻抗）。

下面是DAP接口的单端信号设计规则：

- 不使用多个信号层来布置时钟信号(DAP0)的路线。
- 使用信号线下面的参考层面，避免参考层变化。
- 如果可以，把时钟信号放在两个参考层面间(GND // DAP0 // GND)。
- 先对时钟线路DAP0布线，并使用直连。
- 尽量少地在信号线路上的打过孔（如果可能，一个都不要用）。
- 在单端线路之间保持适当的距离。
- 如果需要使用菊花链路，避免使用连接点短截线。
- 如果不能避免而使用到短截线，选用放置电阻对链路去耦以得到定义好的线路阻抗。
- 根据所选的DAP接口驱动力，设计线路阻抗。
- 如果需要，使用串联端接方法，并根据所选驱动强度，计算串联阻抗。
  - 例如：最强驱动类型A2类型时，典型输出阻抗35R，所以选择15R的串联端接阻抗。使用扁平带状电缆（75R），选择35R的。两种情况下，必须相应的设计两侧的PCB走线阻抗。



Driver Type	Z_{o1} (Typ.)	R_{s1}	Z_{trace}	Z_{cable}	R_{s2}	Z_{o2}
A2-Strong Sharp	35	~15	50	50	*	?
A2-Strong Sharp	35	~35	75	75	*	?

(*) R_{s2} must be calculated according to the output impedance of the driver Z_{o2} on POD side

图28 DAP1和DAP2的串联端接（160MHz的推荐设计）

注释：关于电缆规定参数，见“AP240003-DAP接插件”。

5 参考文献

[1] Infineon Application Note, AP24026 - EMC Design Guidelines for Microcontroller Board Layout

[2] High Speed Digital Design, A Handbook of Black Magic, H.Johnson and M. Graham

[3] High-Speed Digital System Design, A Handbook of Interconnect Theory and Design Practices, S.H. Hall, G.W.Hall, J.A.McCall

[4] Xilinx, “Spartan-6 FPGA PCB Design and Pin Planning Guide”, UG393 (v1.2) July 15, 2010

http://www.xilinx.com/support/documentation/user_guides/ug393.pdf

www .infineon.com

Infineon Technologies出版发行