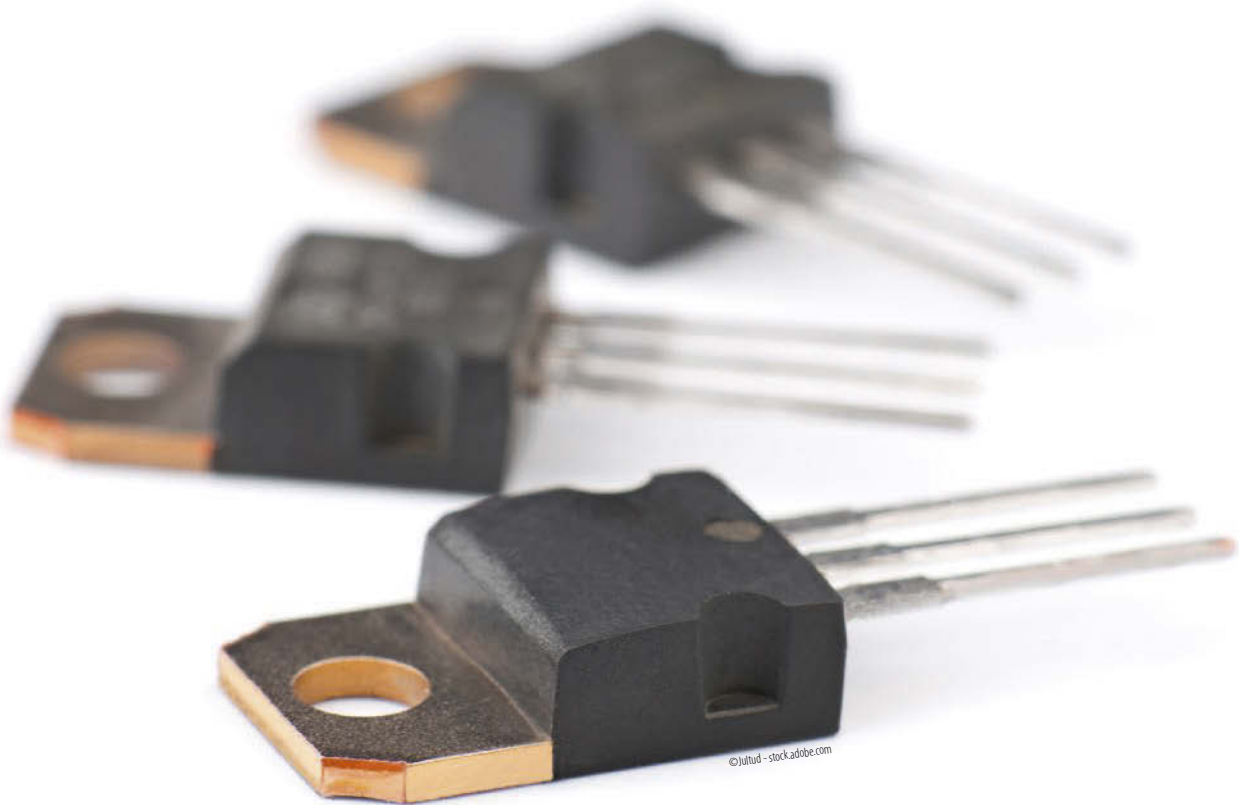


Vereinfachtes Gatetreiber-Design

Diskrete Cool-SiC-MOSFETs: Ist parasitäres Einschalten ein Schwachpunkt?

Das von der Miller-Kapazität verursachte parasitäre Einschalten wird oftmals als Schwachpunkt heutiger Siliziumkarbid-MOSFETs angesehen. Um diesen Effekt zu verhindern, werden Gatetreiber-Designs für hart schaltende Leistungswandler üblicherweise mit negativen Ausschalt-Gate-Spannungen implementiert. Es stellt sich jedoch die Frage, ob das auch für Cool-SiC-MOSFETs erforderlich ist.

Autor: Klaus Sobe



Ein Schlüsselement für alle Gatetreiber-Designs besteht in der Wahl des Gate-Spannungs-Levels. Die Cool-SiC-MOSFET-Technologie ermöglicht es Infineon-Entwicklern, eine Einschalt-Gate-Spannung zwischen 18 und 15 V zu wählen. Damit lässt sich der Leistungsschalter entweder für höchste Stromtragfähigkeit oder hohe Kurzschluss-Festigkeit konfigurieren. Wesentliches Kriterium für die Wahl der Ausschalt-Gate-Spannung ist dagegen, dass der Baustein sicher abgeschaltet bleibt. Infineon empfiehlt Entwicklern, die



Eck-DATEN

elektronik industrie stellt einen einfachen Ansatz vor, mit dem sich die Anfälligkeit eines Leistungsschalters in Bezug auf das parasitäre Einschalten über die Miller-Kapazität charakterisieren lässt. Der Messaufbau untersucht das parasitäre Einschalten von Cool-SiC-MOSFETs (1200 V/45 mΩ) in drei- und vierpoligen TO-247-Gehäusen unter Anwendungsbedingungen mithilfe eines Halbbrücken-Evaluation-Boards. Das Ergebnis ist eine Empfehlung für den Betrieb der MOSFETs und für eine deutliche Vereinfachung des Gatetreiber-Designs.

diskreten MOSFETs mit 0 V zu betreiben und so von einer Vereinfachung der Gatetreiber-Schaltung zu profitieren.

Um diesen Ansatz zu unterstreichen, stellt dieser Artikel eine einfach reproduzierbare Vorgehensweise für die Charakterisierung der Empfindlichkeit von SiC-MOSFETs hinsichtlich des parasitären Einschaltens vor. Außerdem stellt der Beitrag die entsprechenden Testergebnisse für die diskreten Cool-SiC-MOSFETs vor.

Parasitäre Einschalt-Effekte

Ursache für ein unerwünschtes Einschalten eines Halbleiterschalters kann ein induktives oder kapazitives Feedback an das Gate sein. Im Zusammenhang mit SiC-MOSFETs gilt es typischerweise, das kapazitive Feedback über die Miller-Kapazität zu betrachten. Ein typisches Szenario für diesen Effekt zeigt Bild 1. Die Body-Diode des Low-Side-Switches S_2 leitet den Laststrom I_L , bis der High-Side-Switch S_1 einschaltet. Nachdem der Laststrom auf S_1 kommutiert hat, steigt die Drain-Source-Spannung von S_1 an. Während dieser Phase erhöht das ansteigende Drain-Potenzial die Gate-Spannung von S_2 über die Miller-Kapazität C_{gd} . Der Abschalt-Gate-Widerstand versucht dem entgegenzuwirken und reduziert die Spannung. Falls der Widerstandswert nicht klein genug ist, um die Spannung zu reduzieren, kann es sein, dass die Spannung den Schwellwert übersteigt und es zu einem Durchschuss (Shoot-Through) kommt und die Schaltverluste ansteigen.

Natürlich hängen das Risiko und das Ausmaß eines Durchschusses von den jeweiligen Betriebsbedingungen und der Mess-Hardware ab. Die kritischsten Punkte sind hohe Busspannungen, sprunghafter Spannungsanstieg und hohe Sperrschicht-Temperaturen. Diese Bedingungen führen entweder zu einem stärkeren Anstieg der Gate-Spannung oder senken den Schwellwert-Level. Auf der Anwenderseite sind die wesentlichen Einflussfaktoren die unerwünschte parasitäre Board-Kapazität parallel zu C_{gd} , ein externer Kondensator parallel zu C_{gs} , die Abschalt-Gate-Spannung und der Abschalt-Gate-Widerstand.

Messaufbau und Charakterisierung

Entwickler nutzen oftmals die Gate-Ladungs-Kurve für einen speziellen Halbleiterschalter, um Informationen über dessen parasitäres Einschaltverhalten zu bekommen. Dieser Ansatz ist zwar zielgerichtet, oft genügt jedoch auch ein Blick in das Datenblatt, denn meist lassen sich keine direkten Rückschlüsse auf die

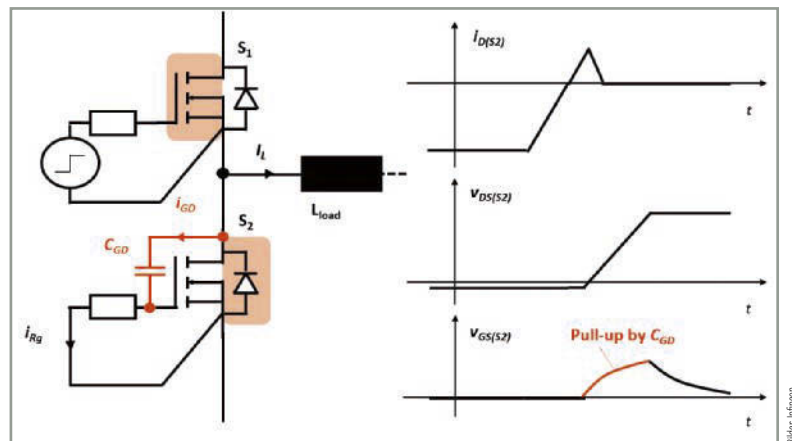


Bild 1: Ein typisches Szenario für parasitäres Einschalten eines MOSFETs über die Miller-Kapazität

Ursache für unerwünschtes Einschalten eines SiC-MOSFETs kann ein kapazitives Feedback an das Gate sein.

jeweilige Applikation ziehen. Die wichtigste Einschränkung ist, dass die Charakterisierung der Gate-Ladung statischer Natur ist, während das parasitäre Einschalten ein dynamischer Effekt ist. Daher wurden Charakterisierungstests durchgeführt, um das parasitäre Einschalten von Cool-SiC-MOSFETs (1200 V/45 mΩ) in drei- und vierpoligen TO-247-Gehäusen unter Anwendungsbedingungen zu untersuchen. Alle Tests wurden mit einer Abschalt-Gate-Spannung von 0 V durchgeführt.

Ein Halbbrücken-Evaluation-Board wurde entsprechend dem Schaltplan in Bild 2 konfiguriert. Das Board besteht im Wesentlichen aus einer Kommutierungszelle, wobei der

Low-Side-Switch das Testobjekt (DUT) ist und der High-Side-Switch als dv/dt-Generator fungiert. Wird der High-Side-Switch eingeschaltet, dann führt die ansteigende Drain-Source-Spannung zu einem Anstieg der Gate-Spannung auf der Low-Side, die der Abschalt-Gate-Widerstand zu begrenzen versucht. Je geringer die Spannungssteilheit dv_{DS}/dt und der Abschalt-Gate-Widerstand sind, desto geringer ist natürlicherweise auch die Gefahr für ein parasitäres

Low-Side-Switch das Testobjekt (DUT) ist und der High-Side-Switch als dv/dt-Generator fungiert. Wird der High-Side-Switch eingeschaltet, dann führt die ansteigende Drain-Source-Spannung zu einem Anstieg der Gate-Spannung auf der Low-Side, die der Abschalt-Gate-Widerstand zu begrenzen versucht. Je geringer die Spannungssteilheit dv_{DS}/dt und der Abschalt-Gate-Widerstand sind, desto geringer ist natürlicherweise auch die Gefahr für ein parasitäres

Bild 2: Für die Charakterisierung der Cool-SiC-MOSFETs in drei- und vierpoligen TO-247-Gehäusen kam ein Halbbrücken-Evaluation-Board nach diesem Schaltplan zum Einsatz.

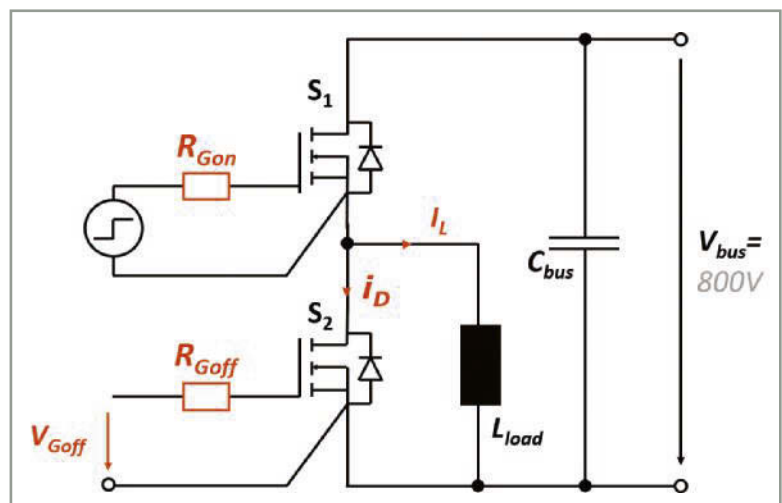
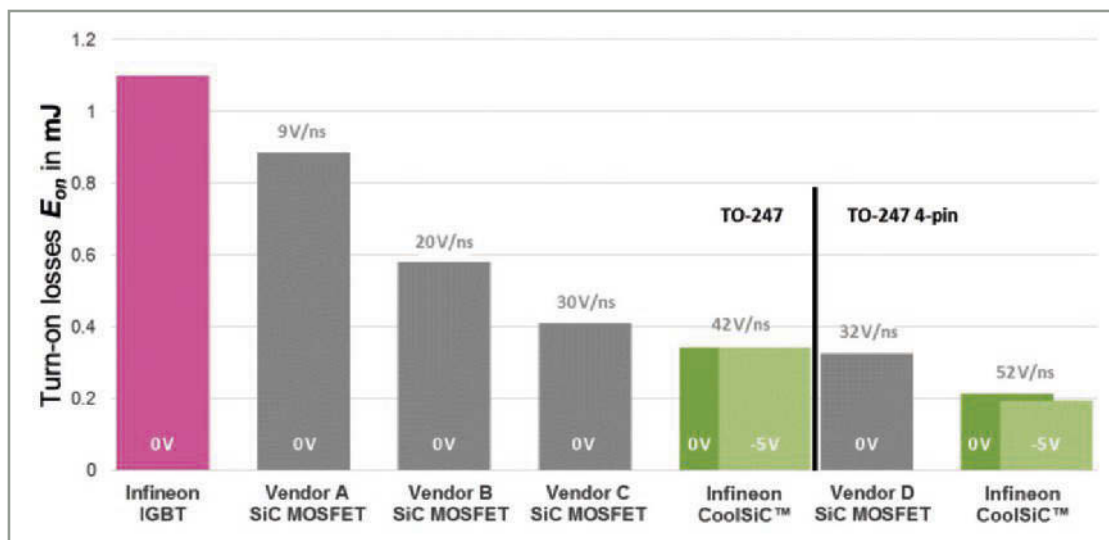


Bild 3: Die kleinsten erreichbaren Einschaltverluste für unterschiedliche SiC-MOSFET-Technologien bei Betrieb mit 18/0 V am Gate.



Einschalten. Das Ziel des Experiments war es, die kritischen Widerstandswerte für den Testaufbau zu identifizieren. Dieser kritische Gate-Widerstand wird als der Wert definiert, der einen Anstieg von 10 Prozent für Q^*_{rr} im Vergleich zum Referenz-Signalverlauf mit 0Ω liefert. Ein Schwellwert-Level von 10 Prozent ist ausreichend, um zuverlässige Messdaten zu erhalten, und andererseits klein genug, um für viele Anwendungen vernachlässigbar zu sein (Bild 5). Die Tests wurden bei verschiedenen Temperaturen, Lastströmen und Spannungsteilheiten durchgeführt, wobei letztere durch den Widerstand R_{Gon} des High-Side-Switch S_1 eingestellt wurden.

Bild 4: Zusammenfassung der Messergebnisse für 800 V und 0 A: eine Abschalt-Gate-Spannung von 0 V ist ausreichend, um parasitäres Einschalten unter den Testbedingungen zu vermeiden.

Ergebnisse für die Charakterisierung

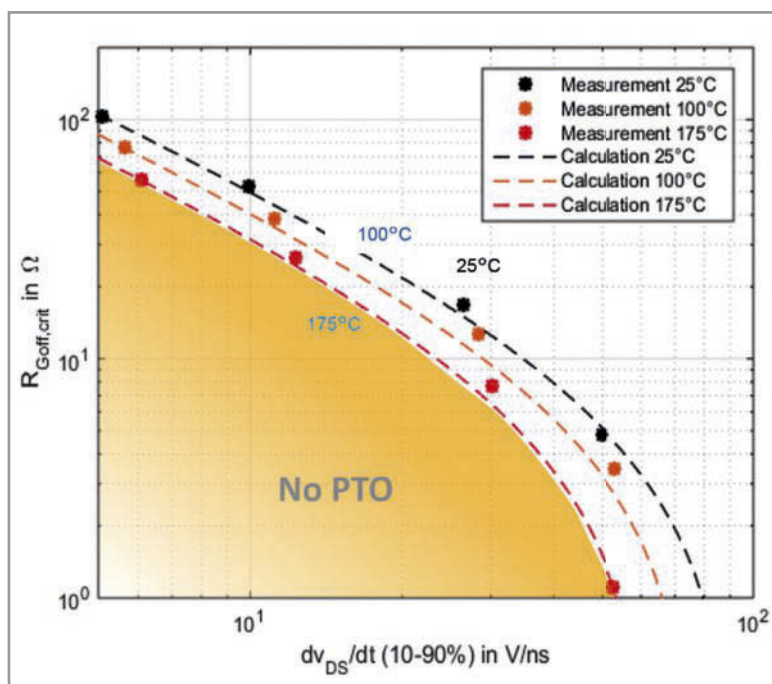
Testen bei Lastströmen von Null bedeutet, dass an der Body-Diode des Testobjektes vor der Schalt-Tran-

siente keine Vorwärtsspannung anliegt. So tritt keine Recovery der Diode auf, während die Schalttransiente mehr oder weniger durch das Laden/Entladen von Kapazitäten erfolgt. Unter dieser Bedingung spielen Spannungen durch parasitäre Induktivitätseffekte keine signifikante Rolle. Daher ist die Performance in TO-247- und TO-247-4-Pin-Gehäusen auch gleich.

Die Messergebnisse für 800 V und 0 A sind in Bild 4 zusammengefasst. Dabei zeigt sich deutlich, dass der R_{goff} umso kleiner sein muss, je höher dv_{DS}/dt und die Temperatur sind, wenn parasitäre Effekte nicht auftreten sollen. Dabei ist zu bemerken, dass eine Abschalt-Gate-Spannung von 0 V ausreichend ist, um parasitäres Einschalten bis zu 50 V/ns und 175 °C zu vermeiden. Kann R_{goff} nicht klein genug gewählt werden, sind Treiber mit einer aktiven Miller-Klemmfunktion – wie der 1EDC30I12MH – eine Alternative. Bei höheren Lastströmen tritt eine harte Kommutierung der Body-Diode von S_2 auf den MOS-Kanal von S_1 auf. Aufgrund des Reverse-Recovery-Verhaltens der Diode und den induzierten Spannungen wird die Situation etwas komplizierter. Vereinfacht sind drei Effekte zu beachten:

- Die Erholzeit (Recovery) der Body-Diode reduziert die durchschnittliche Steilheit dv_{DS}/dt und damit die Gefahr eines parasitären Einschaltens.
- Oszillationen zwischen der Induktivität der Kommutierungsschleife und der Ausgangskapazität des Bauelementes erhöhen lokal dv_{DS}/dt und führen damit zu einem kritischeren Verhalten.
- Ausgehend von einem Standard-TO-247-Gehäuse führt das negative Feedback über den Common-Source-Anschluss von S_2 zu einer Reduzierung der Gate-Spannung und erhöht damit die Robustheit gegenüber parasitärem Einschalten.

Die Gewichtung der beschriebenen Effekte hängt jedoch vom Hardware-Aufbau ab. Mit dem hier beschriebenen Evaluation-Board ist der kritischste Punkt bei 175 °C und 0 A. Der Bereich, der nicht von



parasitären Einschalt-Effekten betroffen ist, reicht bis 40 A, unabhängig davon, ob es sich um ein Drei- oder Vier-Pin-Gehäuse handelt.

Schnell schaltende Anwendungen

Wie in Bild 3 dargestellt ist es schwierig, den Shoot-Through-Strom, der vom kapazitiven Einschalten herrührt, vom Reverse-Recovery-Strom der Body-Diode zu unterscheiden. Beide Effekte führen dazu, dass sich die Spannungstransiente abflacht und sich die Schaltenergien erhöhen, nicht nur für die Diode, sondern auch für den Schalter. In Anwendungen, die sehr hohe Schaltgeschwindigkeiten erfordern, limitiert das parasitäre Einschalten die Leistungsfähigkeit in ähnlicher Weise wie eine unsauber implementierte Freilauf-Diode.

Bild 3 zeigt die kleinsten erreichbaren Einschaltverluste für verschiedene SiC-MOSFET-Technologien bei einem Betrieb mit 18/0 V am Gate. Während nicht alle Bauelemente unter diesen Treiber-Bedingungen ihr schnelles Schalten beibehalten können, zeigen die Ergebnisse die hohe Immunität der Cool-SiC-MOSFETs gegenüber dem parasitären Einschalten auch unter diesen Bedingungen.

Schlussfolgerung

Die Ergebnisse für diskrete Cool-SiC-MOSFETs, die mit einer Bus-Spannung von 800 V arbeiten und mit einer Steilheit von 50 V/ns schalten, zeigen, dass sogar in schnellen 2-Level-Umrichter ein Betrieb mit einer Abschalt-Gate-Spannung von 0 V möglich ist. Bei manchen 3-Level-Schaltungen, bei denen die geschaltete Spannung gerade einmal die Hälfte der Bus-Spannung beträgt, gestaltet sich das Design signifikant einfacher. Hier sind Cool-SiC-MOSFETs praktisch frei von kapazitiven Einschalt-Einflüssen, unabhängig vom Gate-Widerstand.

Ausgehend von einem sauberen Leiterplatten-Layout – mit minimierter Gate-Drain-Kapazität – empfiehlt Infineon Entwicklern, die diskreten Cool-SiC-MOSFETs mit einer Abschalt-Gate-Spannung von 0 V zu betreiben. Damit wird das Gatetreiber-Design deutlich vereinfacht, ohne die Leistungsfähigkeit negativ zu beeinflussen. (na) ■

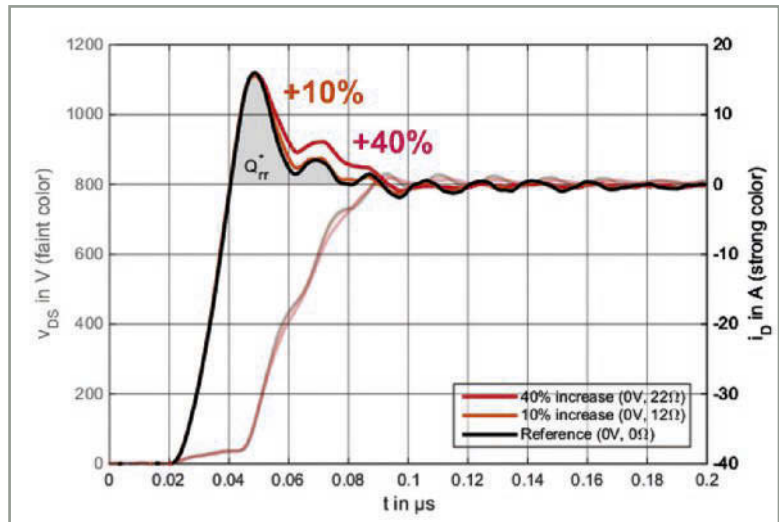


Bild 5: Der kritische Gate-Widerstand für das parasitäre Einschalten wird als der Wert definiert, der einen Anstieg von 10 Prozent für Q_{rr} im Vergleich zum Referenz-Signalverlauf mit 0 V liefert.

Autor

Klaus Sobe

Staff Engineer Technical Marketing for
discrete SiC and IGBT bei Infineon

all-electronics.de

infoDIREKT

804ei0919