

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

Traveo II ファミリの SAR ADC 使用方法

著者: Go Shimada

関連製品ファミリ: Traveo II ファミリ: [CYT2/CYT3/CYT4 シリーズ](#)関連ドキュメント: [関連ドキュメント](#)

AN219755 は Traveo™ II ファミリ MCU に搭載されている SAR ADC の設定方法, 使い方について説明します。ソフトウェアトリガ, ハードウェアトリガ, グループ処理, 平均化, レンジ検出, パルス検出, 診断, キャリブレーションについて説明します。

目次

1	はじめに	1	6.2	レンジ検出を使用する場合の A/D 変換割込み処理	10
2	ソフトウェアトリガ処理	2	7	パルス検出処理	11
2.1	ADC グローバル設定	2	7.1	パルス検出の設定	12
2.2	ソフトウェアトリガを使用する場合のロジカルチャネルの設定	2	7.2	パルス検出を使用する場合の A/D 変換割込み処理	12
2.3	ソフトウェアトリガを使用する場合の A/D 変換割込み処理	3	8	診断機能	13
3	ハードウェアトリガ処理	4	8.1	ゼロトランジション電圧の最大値とフルスケールトランジション電圧の最小値の確認	13
3.1	ハードウェアトリガを使用する場合のロジカルチャネルの設定	4	8.2	診断処理	14
3.2	ハードウェアトリガを使用する場合の A/D 変換割込み処理	5	9	キャリブレーション機能	15
4	グループ処理	6	9.1	オフセット調整の説明	15
4.1	グループを使用する場合のロジカルチャネルの設定	7	9.2	ゲイン調整の説明	15
4.2	グループを使用する場合の A/D 変換割込み処理	8	9.3	キャリブレーション処理	16
5	平均化処理	8	9.4	オフセット調整処理	17
5.1	平均化の設定	8	9.5	ゲイン調整処理	18
6	レンジ検出処理	9	10	用語集	19
6.1	レンジ検出の設定	10	11	関連ドキュメント	19
				改訂履歴	20
				セールス, ソリューションおよび法律情報	21

1 はじめに

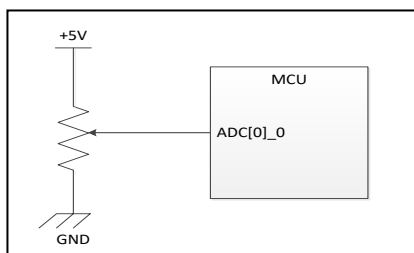
このアプリケーションノートでは、サイプレス Traveo II ファミリの SAR ADC の使い方を説明します。SAR ADC はアナログ入力電圧をデジタル値に変換します。アナログチャネルは個別またはグループとして使用できます。それぞれのチャネルは、ソフトウェアまたはハードウェアによって起動できます。SAR ADC には平均化, レンジ検出, パルス検出, 診断, キャリブレーションの機能があります。

このアプリケーションノートで使用されている機能と用語を理解するには、[アーキテクチャ テクニカル リファレンス マニュアル \(TRM\)](#) の「SAR ADC」の章を参照してください。

2 ソフトウェアトリガ処理

図 1 では、MCU の ADC[0]_0 端子に入力された電圧をデジタル値に変換するアプリケーション例を紹介します。A/D 変換は、割込み処理ルーチン内でソフトウェアトリガされることで、繰り返し行われます。

図 1. A/D 変換接続例



アプリケーションの作成の際には、以下の ADC チャンネルの設定手順を活用してください。

2.1 ADC グローバル設定

以下に、各チャンネル共通の ADC 設定手順を示します。

SARn_CTL レジスタによる ADC イネーブルおよび Auto Idle Power Down 設定

PASS_PASS_CTL レジスタによる Debug Freeze 設定

図 2 に ADC グローバル設定例を示します。

図 2. ADC グローバル設定例

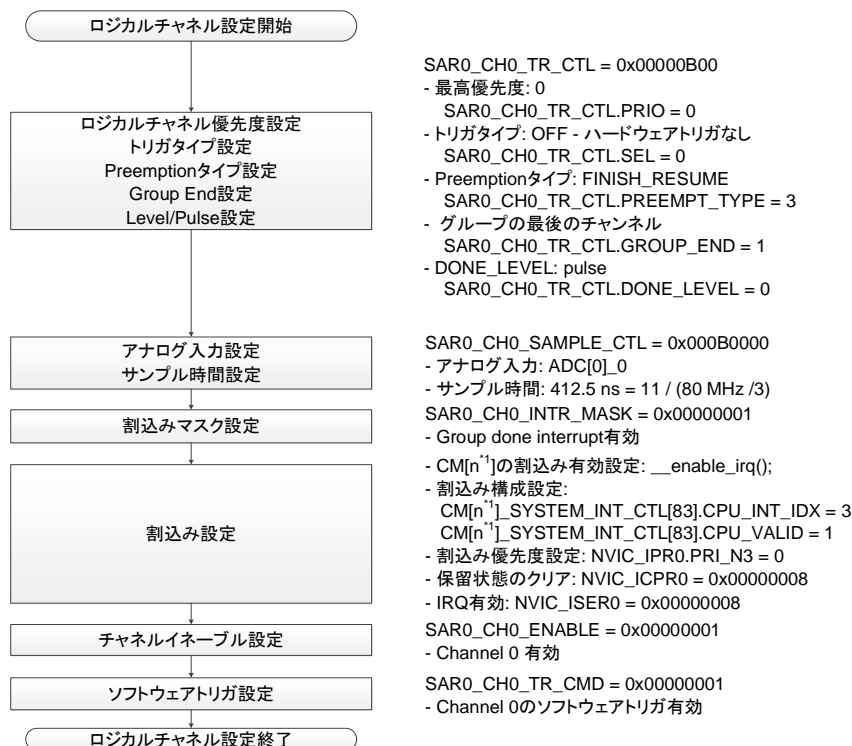


2.2 ソフトウェアトリガを使用する場合のロジカルチャネルの設定

1 つのロジカルチャネルにつき、1 つの A/D 変換結果レジスタがあります。ロジカルチャネルは SARn_CHx_SAMPLE_CTL レジスタにより、任意のアナログ入力(ADC[n]_i)に割り当てることができます。

図 3 はソフトウェアトリガを使用する場合のロジカルチャネルの設定例です。この例では、最小のサンプル時間が設定されています。システムに最適なサンプル時間を検討するためには、[関連ドキュメント](#)のデータシートを参照してください。

図 3. ソフトウェアトリガを使用する場合のロジカルチャネルの設定例



注: (*1) 図 3 の「n」は、0 または 4 を示します。例えば、CM4_SYSTEM_INT_CTL は、Arm® Cortex®-M4F ベースにした CPU (CM4) のシステム割り込み制御レジスタです。CYT2 シリーズには CM4_SYSTEM_INT_CTL と CM0_SYSTEM_INT_CTL レジスタがあります。CYT3 シリーズには CM7_0_SYSTEM_INT_CTL と CM0_SYSTEM_INT_CTL レジスタがあります。CYT4 シリーズには CM7_0_SYSTEM_INT_CTL、CM7_1_SYSTEM_INT_CTL、と CM0_SYSTEM_INT_CTL レジスタがあります。詳細については、[レジスタ TRM](#) を参照してください。

この例ではロジカルチャネル 0 が使用されていますが、所望のアナログ入力の設定をすれば、任意のロジカルチャネルで、このアプリケーションを動作できます。

2.3 ソフトウェアトリガを使用する場合の A/D 変換割り込み処理

図 4 にソフトウェアトリガを使用する場合の A/D 変換割り込み処理例を示します。CPU 割り込み処理の詳細は、[関連ドキュメント](#)のアーキテクチャ TRM を参照してください。

図 4. ソフトウェアトリガを使用する場合の A/D 変換割込み処理例



3 ハードウェアトリガ処理

TCPWM, GPIO, イベントジェネレータのような他のハードウェア関連機能のトリガによって SAR A/D 変換が開始できます。

ここでは、ADC[0]_0 端子に入力された電圧値をデジタル値に変換するアプリケーション例を紹介します。A/D 変換は、対応している TCPWM のハードウェアトリガにより一定の時間間隔で繰り返されます。

ハードウェアの構成は図 1 と同じです。

ADC グローバル設定を事前に行ってください。

アプリケーションの作成の際には、以下の ADC チャンネルの設定手順とハードウェアトリガの使用例を活用してください。この例ではハードウェアトリガとして対応している TCPWM を使用します。

3.1 ハードウェアトリガを使用する場合のロジカルチャネルの設定

図 5 は CYT2 シリーズのハードウェアトリガを使用する場合のロジカルチャネルの設定例です。この例では、最小のサンプル時間が設定されています。システムに最適なサンプル時間を検討するためには、関連ドキュメントのデータシートを参照してください。

図 5. CYT2 シリーズのハードウェアトリガを使用する場合の A/D 変換割込み処理例

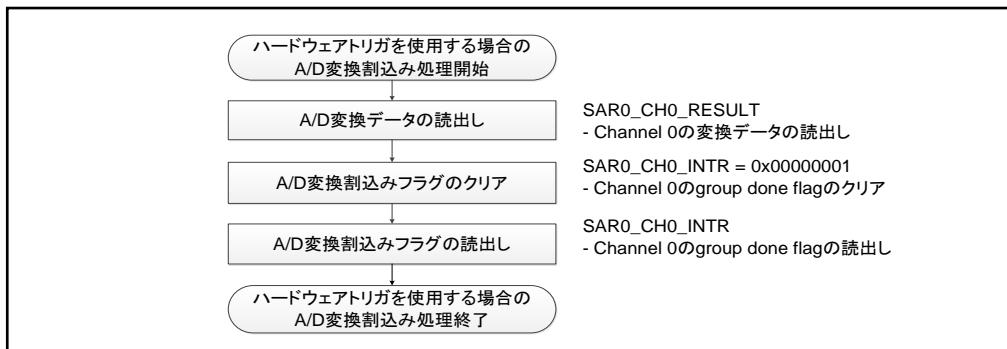


この例ではロジカルチャネル 0 が使用されていますが、所望のアナログ入力の設定をすれば、任意のロジカルチャネルで、このアプリケーションを動作させられます。この他に TCPWM とトリガマルチプレクサについても設定が必要です。

3.2 ハードウェアトリガを使用する場合の A/D 変換割込み処理

図 6 にハードウェアトリガを使用する場合の A/D 変換割込み処理例を示します。CPU 割込み処理の詳細は、[関連ドキュメント](#)のアーキテクチャ TRM を参照してください。

図 6. ハードウェアトリガを使用する場合の A/D 変換割込み処理例



4 グループ処理

SAR ADC には、1 度のトリガにより、複数端子を使用して、順番に変換を行う機能があります。使用する端子と変換する順番は、アナログ入力端子として設定可能なポートから任意に選択できます。

1 度のトリガで順番に変換される ADC のロジカルチャネルの集合を「グループ」と呼びます。

グループトリガは、グループの最初のチャネルによって定義されます。グループの最初のチャネルは"OFF" (ハードウェアトリガなし), "TCPWM", "Generic 0~4", "連続"のトリガタイプを持ちます。

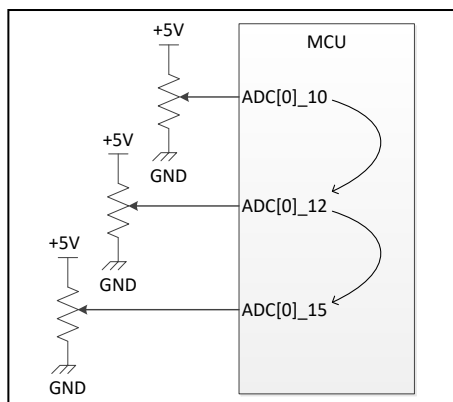
SARn_CHxTR_CTL レジスタの GROUP_END ビットで「次チャネルでグループを続ける」が設定されていない場合、そのグループは、1 チャネルだけで構成されます。そうでないならば、グループは「グループの最後のチャネル」に設定された最後のチャネルまで限り続きます。

グループの最初のチャネルにトリガがかかり、かつ変換が終了した後、次のチャネルの変換が自動的に開始されます。これは、そのグループ内の全チャネルの変換が行われるまで繰り返されます。

図 7 に、1 度のソフトウェアトリガで ADC[0]_10, ADC[0]_12, ADC[0]_15 の順番で電圧値を変換するアプリケーション例を示します。

ADC グローバル設定を事前に行ってください。

図 7. グループ変換接続例

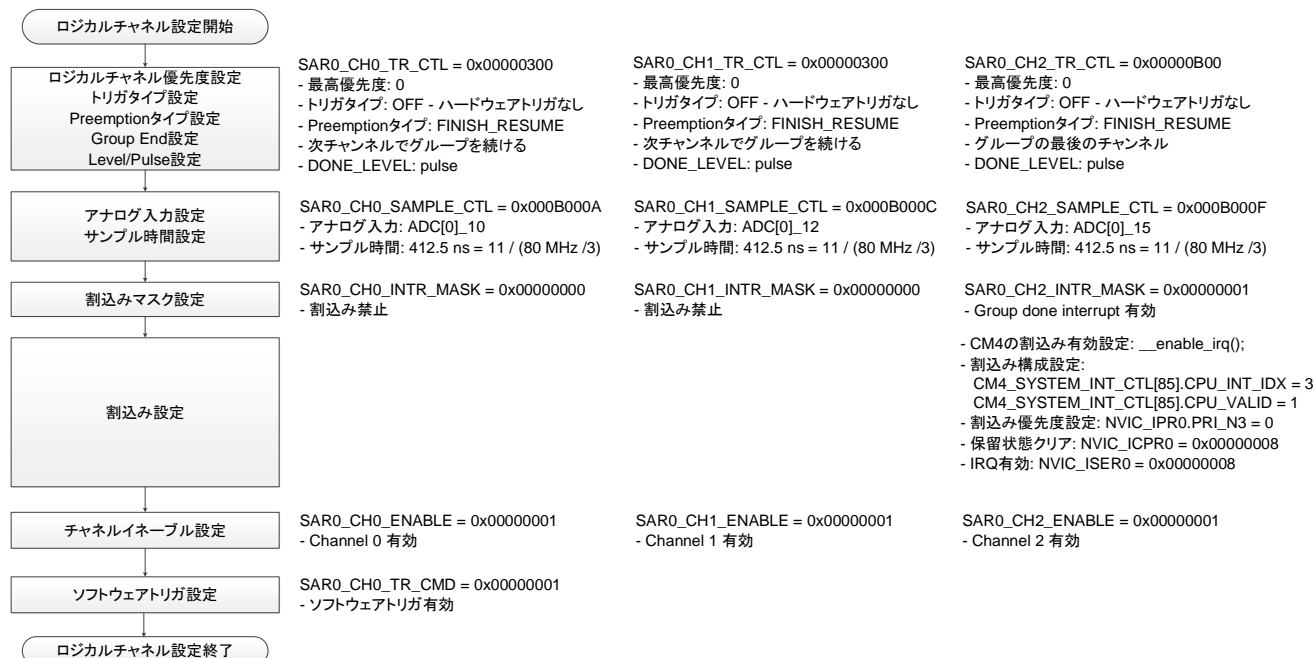


アプリケーションの作成の際には、以下の設定例を活用してください。

4.1 グループを使用する場合のロジカルチャネルの設定

図 8 に CYT2 シリーズのグループを使用する場合のロジカルチャネル設定例を示します。この例では、最小のサンプル時間が設定されています。システムに最適なサンプル時間を検討するためには、[関連ドキュメント](#)のデータシートを参照してください。

図 8. CYT2 シリーズのグループを使用する場合のロジカルチャネル設定例

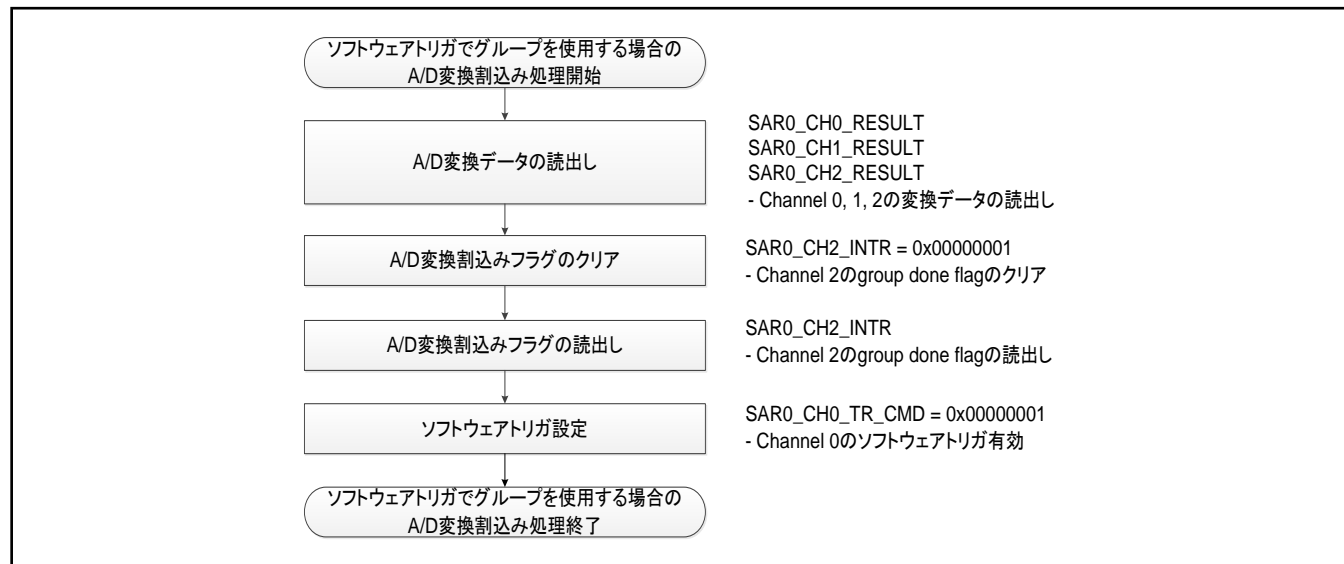


この例ではロジカルチャネル 0, 1, 2 を使用していますが、チャンネル番号が連続していれば任意のチャンネルを使用できます。

4.2 グループを使用する場合の A/D 変換割込み処理

図 9 にグループを使用する場合の A/D 変換割込み処理例を示します。CPU 割込み処理の詳細は、[関連ドキュメント](#)のアーキテクチャ TRM を参照してください。

図 9. グループを使用する場合の A/D 変換割込み処理例



5 平均化処理

平均化処理は、SARn_CHx_POST_CTL レジスタによってチャンネルごとに設定できます。

平均化されるサンプル数の最大は 256 です。

ここでは、MCU の ADC[0]_0 端子に入力された電圧を平均化したデジタル値に変換するアプリケーション例を紹介します。

ハードウェアの構成は図 1 と同じです。

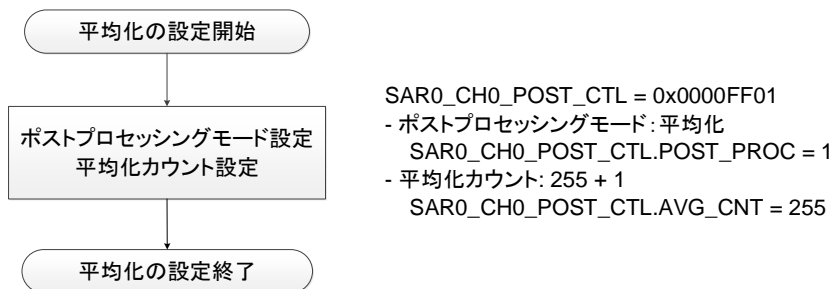
ADC グローバル設定とソフトウェアトリガを使用する場合のロジカルチャネルの設定とソフトウェアトリガを使用する場合の A/D 変換割込み処理を事前に行ってください。

アプリケーションの作成の際には、以下の設定例を活用してください。

5.1 平均化の設定

図 10 に平均化の設定例を示します。

図 10. 平均化の設定例



6 レンジ検出処理

レンジ検出は、CPU の介在なしで、レジスタに設定した上限閾値と下限閾値に対する確認ができます。

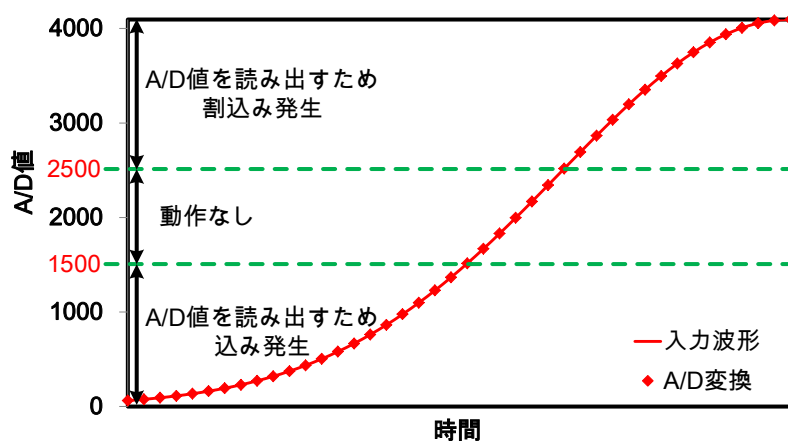
各ロジカルチャネルは、個別にその検出範囲を設定できます。この機能は、電圧の異常を監視するために使用されます。

ここでは、MCU の ADC[0]_0 端子に入力された電圧をデジタル値に変換するアプリケーション例を紹介します。図 11 に示すように、A/D 変換値が"2500"以上、または"1500"未満の場合、その値を読み出すために割込みが発生します。A/D 変換は、対応している TCPWM のハードウェアトリガにより一定の時間間隔で繰り返されます。

ハードウェアの構成は図 1 と同じです。

ADC グローバル設定とハードウェアトリガを使用する場合のロジカルチャネルの設定を事前に行ってください。

図 11. レンジ検出アプリケーション動作の例

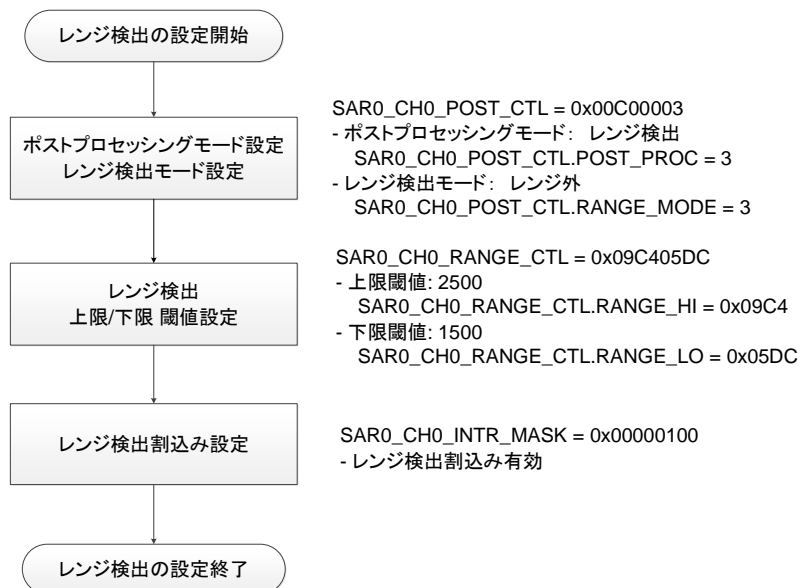


アプリケーションの作成の際には、以下の設定例を活用してください。

6.1 レンジ検出の設定

図 12 にレンジ検出の設定例を示します。

図 12. レンジ検出の設定例



6.2 レンジ検出を使用する場合の A/D 変換割込み処理

図 13 にレンジ検出を使用する場合の A/D 変換割込み処理例を示します。CPU 割込み処理の詳細は、[関連ドキュメント](#)のアーキテクチャ TRM を参照してください。

図 13. レンジ検出を使用する場合の A/D 変換割込み処理例



7 パルス検出処理

レンジ検出の比較結果はパルス検出機能によりフィルタをかけられます。

各ロジカルチャネルのパルス検出機能には、ポジティブとネガティブの各ダウンカウンタについて初期値を保持するための 1 組のリロードレジスタがあります。ポジティブとネガティブのカウンタは、レンジ検出による比較結果から得られたポジティブとネガティブイベントにより減少します。

この機能は電圧を監視する際、ノイズなどによる電圧異常の誤検知を避けるために使用されます。

レンジ検出処理で説明した例の値では、A/D 変換結果が 2500 以上、または 1500 未満の場合がポジティブイベント、1500 以上かつ 2500 未満の場合がネガティブイベントです。

このアプリケーション例では図 14 に示すように、ポジティブイベントが 5 回連続で発生した場合、A/D 変換結果を読み出すための割込みが発生します。また、図 15 に示すように、ポジティブイベントの連続カウントはネガティブイベントが 2 回連続で発生したときにキャンセルされます。すなわち、ネガティブイベントが 1 回だけ発生した場合でも、ポジティブイベントの連続カウントは続きます。

ハードウェアの構成は図 1 と同じです。

ADC グローバル設定とハードウェアトリガを使用する場合のロジカルチャネルの設定は事前に行ってください。

図 14. パルス検出アプリケーション動作の例 1

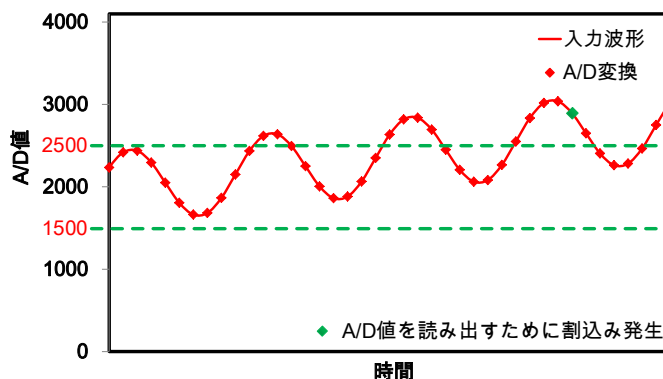
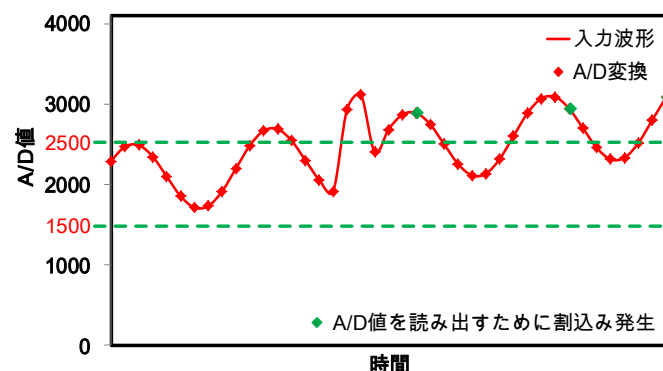


図 15. パルス検出アプリケーション動作の例 2

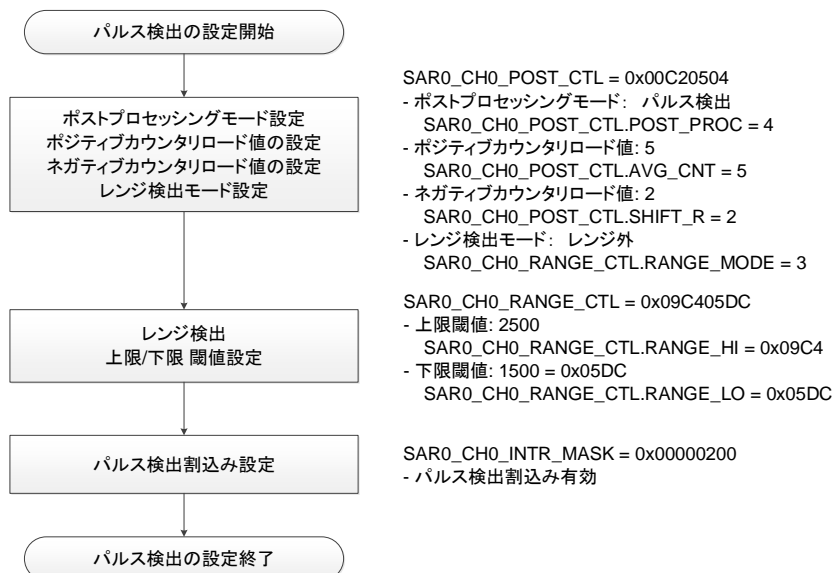


アプリケーションの作成の際には、以下の設定例を活用してください。

7.1 パルス検出の設定

図 16 はパルス検出の設定例です。

図 16. パルス検出の設定例



7.2 パルス検出を使用する場合の A/D 変換割り込み処理

図 17 にパルス検出を使用する場合の A/D 変換割り込み処理例を示します。CPU 割り込み処理の詳細は、[関連ドキュメント](#)のアーキテクチャ TRM を参照してください。

図 17. パルス検出を使用する場合の A/D 変換割り込み処理例



8 診断機能

ここでは、ADC の診断機能の使い方を説明するために、フローチャートと例を示します。

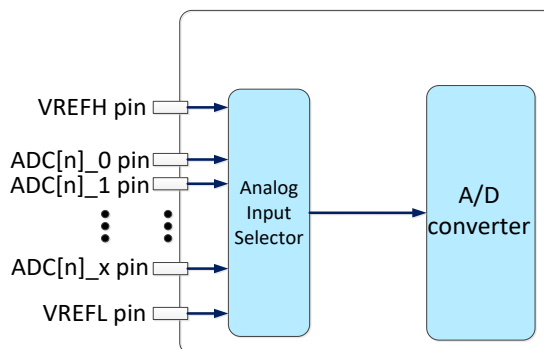
図 18 に示すように、ADC に基準電圧 V_{REFH} と V_{REFL} を入力できます。

V_{REFH} は上限基準電圧です。その A/D 値は $0xFFFF (= 4095)$ です。

V_{REFL} は下限基準電圧です。その A/D 値は $0x000 (= 0)$ です。

これらは、ADC 診断と ADC キャリブレーションのための機能です。

図 18. アナログ入力としての V_{REFH} と V_{REFL}



8.1 ゼロトランジション電圧の最大値とフルスケールトランジション電圧の最小値の確認

はじめに、[関連ドキュメント](#)のデータシートを参照して、ゼロトランジション電圧(VZT)の最大値とフルスケールトランジション電圧(VFST)の最小値を確認してください。

データシートによると、VZT の最大値は $(V_{REFL} + 0.5 \text{ LSb}) + 20 \text{ mV}$ です。その A/D 値は $16.8 (0 + 0.5 + 20 / (5000 / 4096))$ です。

すなわち、 V_{REFL} が ADC に入力された場合、A/D 変換値は 16 以下です。(A/D 値 $\leq 16 = 0x010$)

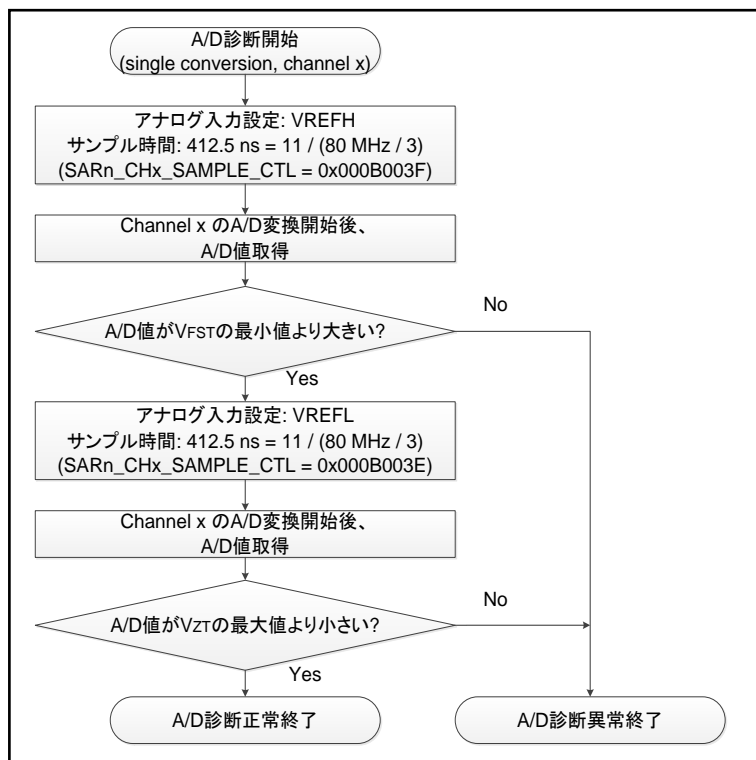
V_{FST} の最小値は $(V_{REFH} - 1.5 \text{ LSb}) - 20 \text{ mV}$ です。その A/D 値は $4077.1 (4095 - 1.5 - 20 / (5000 / 4096))$ です。

すなわち、 V_{REFH} が ADC に入力された場合、A/D 変換値は 4078 以上です。(A/D 値 $\geq 4078 = 0xFEE$)

8.2 診断処理

図 19 に ADC 診断のフローチャート例を示します。この例では、最小のサンプル時間が設定されています。システムに最適なサンプル時間を検討するためには、[関連ドキュメント](#)のデータシートを参照してください。

図 19. ADC 診断フローチャート例



9 キャリブレーション機能

SARn_ANA_CAL レジスタを使用して、ADC のオフセットとゲインを調整できます。

ここでは、レジスタの機能と ADC のキャリブレーションの方法を説明します。

9.1 オフセット調整の説明

ADC はオフセット誤差を補償するためのオフセット調整レジスタを搭載します。

SARn_ANA_CAL[7:0]がそのレジスタです。

SARn_ANA_CAL[7:0]には、+127 から-128 の値を設定できます。

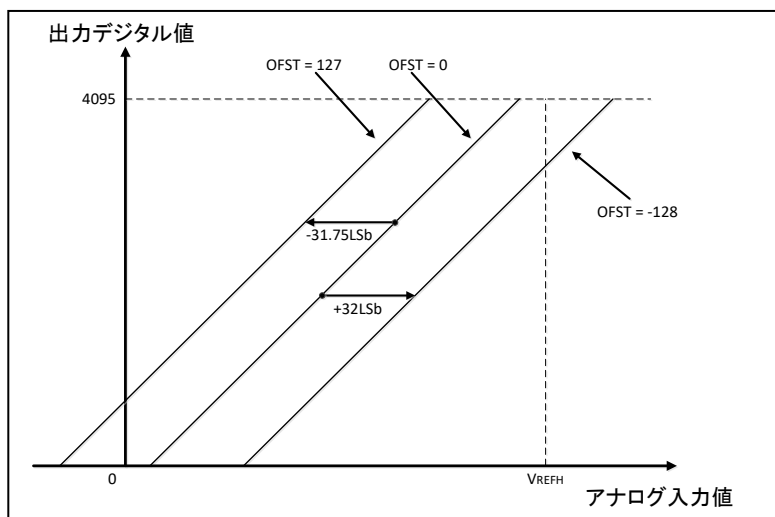
オフセットは 4 分の 1 LSB 単位で調整できます。

出力デジタル値と SARn_ANA_CAL[7:0]値の関係式は以下です。(OFST = SARn_ANA_CAL[7:0]値)

$$\text{出力デジタル値} = \max \left(0, \min \left(4095, \text{floor} \left(\frac{V_{IN}}{V_{REFH}} \times 4096 + \frac{\text{OFST}}{4} \right) \right) \right)$$

図 20 に OFST とオフセット変化の関係を示します。

図 20. OFST とオフセット変化の関係



9.2 ゲイン調整の説明

ADC はゲイン誤差を補償するためのゲイン調整レジスタを搭載します。

SARn_ANA_CAL[20:16]がそのレジスタです。

SARn_ANA_CAL[20:16]レジスタには+15 から-15 までの値を設定できます。

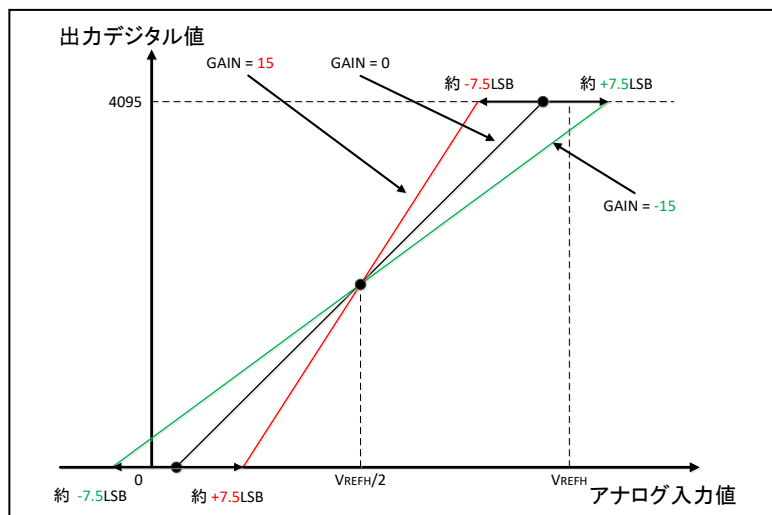
ゲインは 4 分の 1LSB 単位で調整できます。

出力デジタル値と、SARn_ANA_CAL[20:16]値の関係式は以下です。(GAIN = SARn_ANA_CAL[20:16]値)

$$\text{出力デジタル値} = \max \left(0, \min \left(4095, \text{floor} \left(\frac{4096 - \text{GAIN}}{4096} \times \left(V_{IN} - \frac{V_{REFH}}{2} \right) + 2048 \right) \right) \right)$$

図 21 に GAIN とゲイン変化の関係を示します。

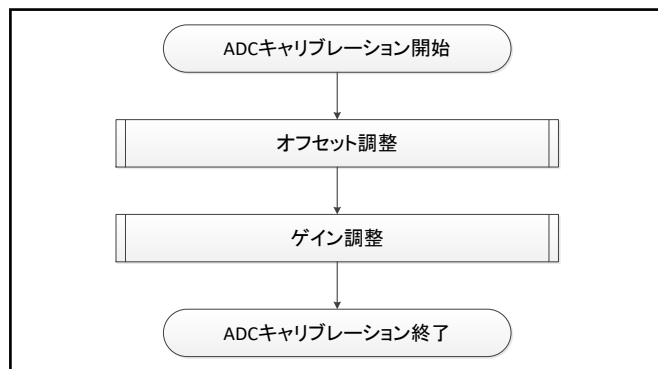
図 21. GAIN とゲイン変化の関係



9.3 キャリブレーション処理

図 22 に ADC のキャリブレーションのフローチャート例を示します。最初にオフセット調整を行い、次にゲイン調整を行います。

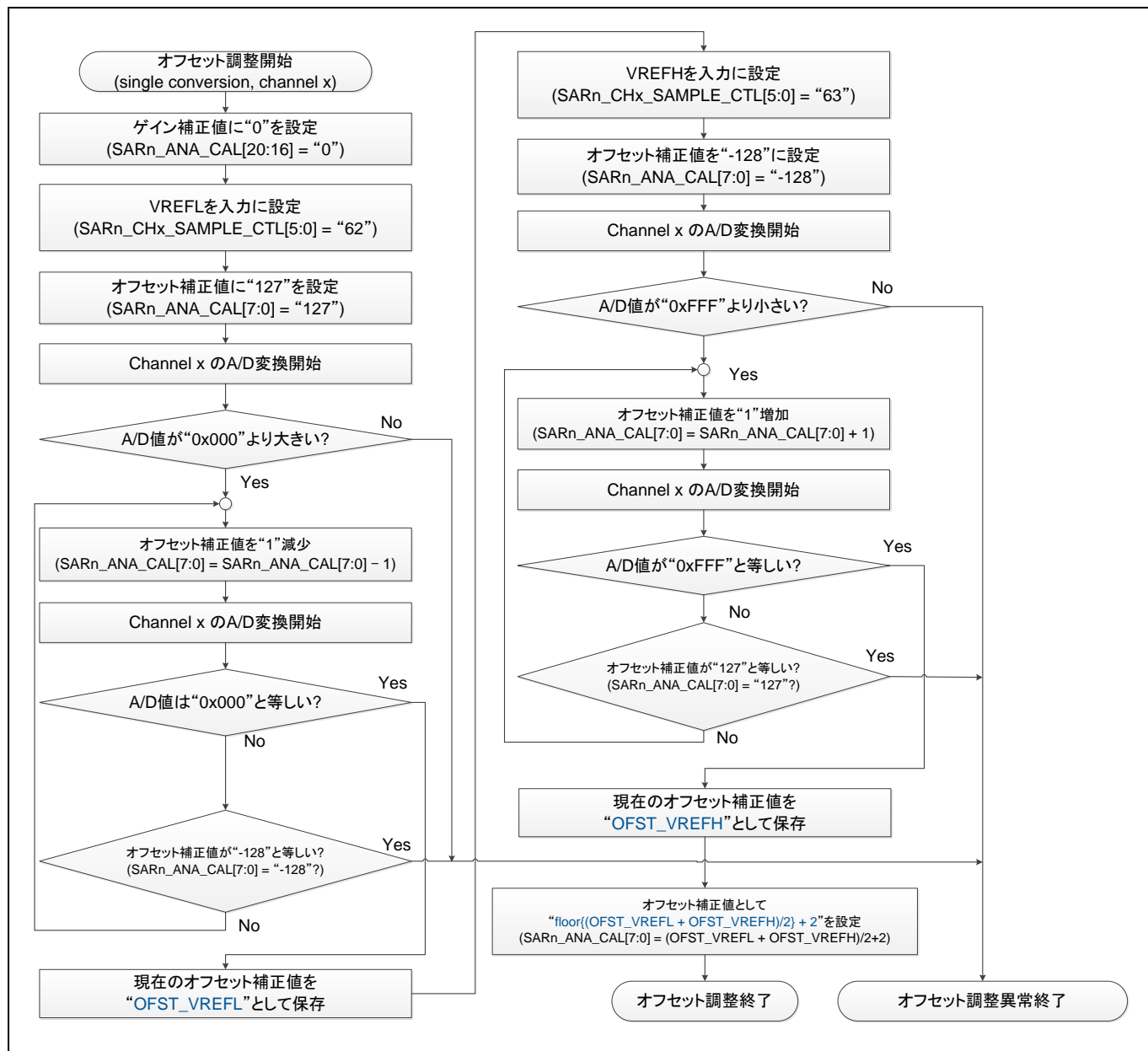
図 22. ADC キャリブレーションのフローチャート例



9.4 オフセット調整処理

図 23 にオフセット調整のフローチャート例を示します。

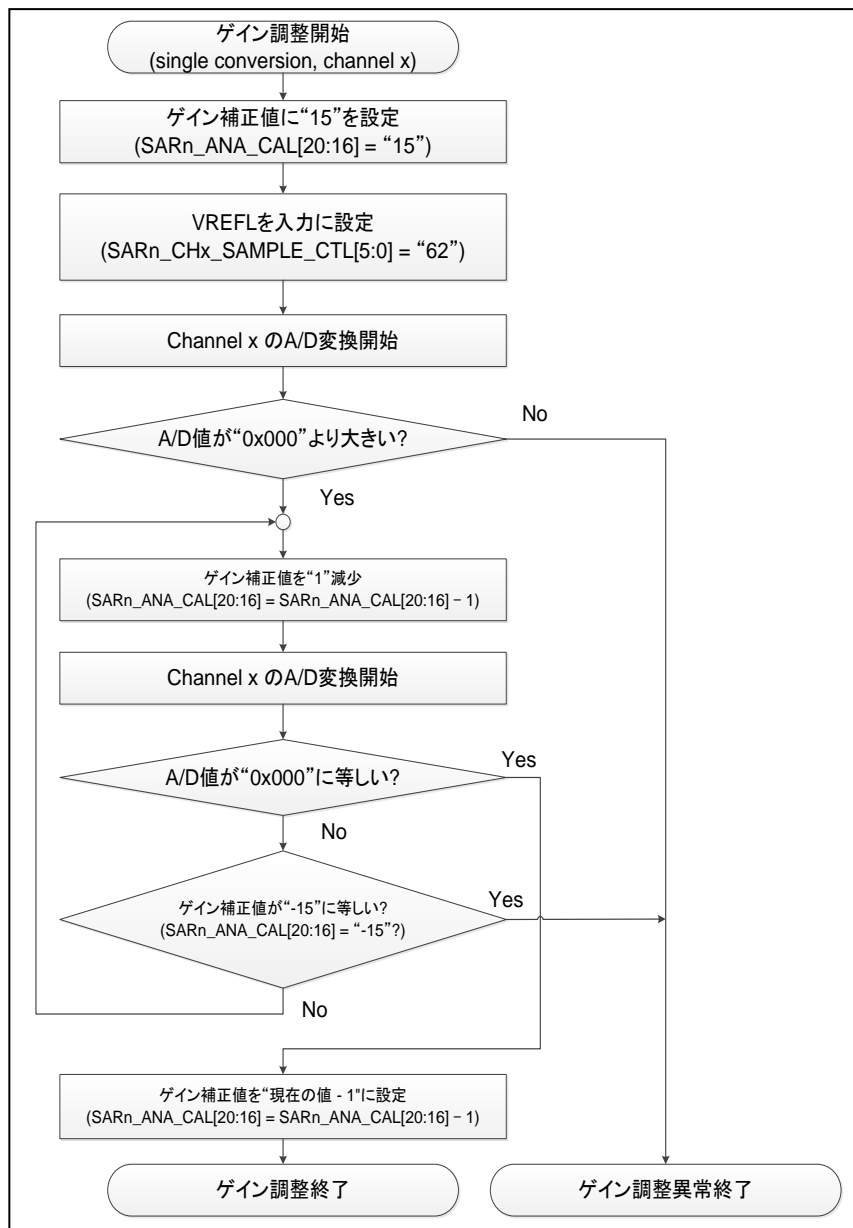
図 23. オフセット調整のフローチャート例



9.5 ゲイン調整処理

図 24 にゲイン調整のフローチャート例を示します。

図 24. ゲイン調整のフローチャート例



10 用語集

用語	説明
SAR ADC	Successive Approximation Register Analog-to-Digital Converter (逐次比較型アナログ デジタル コンバータ)
SARMUX	Analog input multiplexer (アナログ インプット マルチプレクサ)
TCPWM	Timer, Counter, and Pulse Width Modulator (タイマ, カウンタ, パルス幅モジュレータ)
V _{REFH}	High reference voltage (上限基準電圧)
V _{REFL}	Low reference voltage (下限基準電圧)

11 関連ドキュメント

以下は Traveo II ファミリの Datasheet および Technical Reference Manuals です。これらドキュメントの入手については[テクニカルサポート](#)にお問い合わせください。

- デバイスデータシート
 - CYT2B7 Datasheet 32-Bit Arm® Cortex®-M4F Microcontroller Traveo™ II Family
 - CYT2B9 Datasheet 32-Bit Arm® Cortex®-M4F Microcontroller Traveo™ II Family
 - CYT4BF Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller Traveo™ II Family
 - CYT4DN Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller Traveo™ II Family
 - CYT3BB/4BB Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller Traveo™ II Family
- Body Controller Entry ファミリ
 - Traveo™ II Automotive Body Controller Entry Family Architecture Technical Reference Manual (TRM)
 - Traveo™ II Automotive Body Controller Entry Registers Technical Reference Manual (TRM) for CYT2B7
 - Traveo™ II Automotive Body Controller Entry Registers Technical Reference Manual (TRM) for CYT2B9
- Body Controller High ファミリ
 - Traveo™ II Automotive Body Controller High Family Architecture Technical Reference Manual (TRM)
 - Traveo™ II Automotive Body Controller High Registers Technical Reference Manual (TRM) for CYT4BF
 - Traveo™ II Automotive Body Controller High Registers Technical Reference Manual (TRM) for CYT3BB/4BB
- Cluster 2D ファミリ
 - Traveo™ II Automotive Cluster 2D Family Architecture Technical Reference Manual (TRM)
 - Traveo™ II Automotive Cluster 2D Registers Technical Reference Manual (TRM)

改訂履歴

文書名: AN219755 - Traveo II ファミリの SAR ADC 使用方法

文書番号: 002-23557

Revision	ECN	発行日	変更内容
**	6176610	05/16/2018	これは英語版 002-19755 Rev. **を翻訳した日本語版です。
*A	6411284	12/17/2018	これは英語版 002-19755 Rev. *A を翻訳した日本語版 002-23557 Rev. *A です。
*B	6579795	05/23/2019	これは英語版 002-19755 Rev. *B を翻訳した日本語版 002-23557 Rev. *B です。
*C	6754166	12/17/2019	これは英語版 002-19755 Rev. *C を翻訳した日本語版 002-23557 Rev. *C です。
*D	6924936	07/17/2020	これは英語版 002-19755 Rev. *D を翻訳した日本語版 002-23557 Rev. *D です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#)
| [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.



© Cypress Semiconductor Corporation, 2018-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面が提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報が構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。