

Silizium versus Siliziumkarbid: zwei MOSFETs im Vergleich

Auch wenn die SiC-Technologie vielleicht nur Vorteile zu bieten scheint, heißt das nicht, dass Silizium-MOSFETs einfach durch SiC-Alternativen ersetzbar sind, um etwa mehr Wirkungsgrad zu erzielen.

RENÉ MENTE *

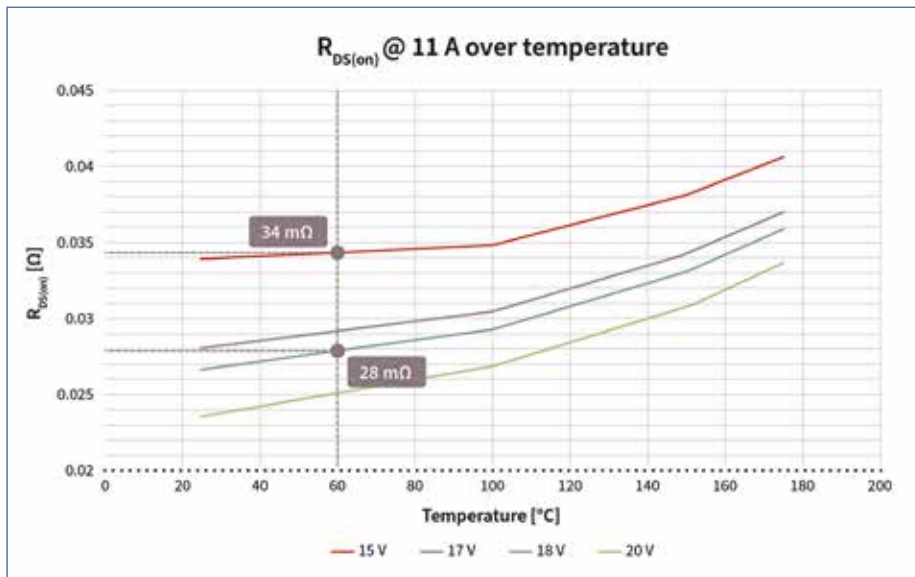


Bild 1: $R_{DS(on)}$ -Vergleich für ein CoolSiC-Bauelement, das verschiedene Gate-Ansteuerspannungen bei unterschiedlichen Temperaturen verwendet.

sich für eine Vielzahl von Anwendungen wie Server, Telekommunikation, Batterieformation und Ladestationen für Elektrofahrzeuge, um nur einige zu nennen. Diese Anwendungen profitieren von höherer Systemeffizienz, Robustheit und niedrigerer TCO (Total Cost of Ownership).

Erläuterung einiger Vorteile von Siliziumkarbid

SiC gewinnt an Attraktivität für Niederspannungsanwendungen im Bereich von einigen hundert Watt bis zu mehreren Kilowatt. Da ist es schwierig zu wissen, wann Silizium-MOSFETs Platz für diese neue Technologie machen sollten und was bei dieser Änderung zu erwarten ist.

Zu den ersten Anforderungen, die es zu betrachten gilt, gehören der angestrebte Wirkungsgrad und die Leistungsdichte der Anwendung. Im Vergleich zu Silizium-MOSFETs bietet SiC über seinen Betriebstemperaturbereich einen erheblich stabileren $R_{DS(on)}$. Während Si-MOSFETs üblicherweise mit ihrem maximalen $R_{DS(on)}$ bei 25 °C beworben werden, heben sich SiC-MOSFETs durch ihren typischen Wert bei 25 °C zusammen mit einer Gate-Ansteuerspannung (typischerweise 18 V) und bei einem bestimmten Strom (I_D) hervor.

Bei den typischen CoolMOS-Bauelementen von Infineon ist ein 1,67-facher Anstieg des $R_{DS(on)}$ zwischen 25 und 100 °C zu erwarten, während dieser Anstieg bei einem vergleichbaren CoolSiC-Bauelement nur beim 1,13-fachen liegt. Das bedeutet, dass der Leistungsverlust eines 84-mΩ-CoolSiC-MOSFET bei der angestrebten Betriebstemperatur identisch mit dem eines 57-mΩ-CoolMOS-Schalters sein kann. Da sich die höhere Betriebstemperatur weniger stark auf die Verlustleistung auswirkt, sind höhere Konstruktionsdichten der Systemlösung möglich. Gleichzeitig lassen sich in einigen Fällen auch die Kühlkonzepte deutlich vereinfachen.

Im Rahmen der technologischen Möglichkeiten konnten beispielsweise Schaltnetzteile (SMPS, Switch Mode Power Supply) auf Basis herkömmlicher Silizium-MOSFETs immer noch ein Stück Wirkungsgradverbesserung erzielen. Möglich wurde das durch ein Verschieben der Technologiegrenzen mittels neuer Prozesse in der Herstellung von Silizium (Si), neuen Design-Methoden und Einsatz dieser diskreten Leistungshalbleiter in neuen Schaltungstopologien. Inzwischen sind Wide-Bandgap-Technologien in Form von Siliziumkarbid-(SiC)-Leistungshalbleitern verfügbar, die eine Vielzahl hervorragender Eigenschaften für die Schaltungsentwicklung bieten. Damit sind auch höhere Systemwirkungsgrade erreichbar, allerdings muss stets der möglicherweise

höhere Preis von SiC-Halbleitern gegenüber Silizium-Bauteilen abgewogen werden. Mit der Einführung von 650-V-SiC-MOSFETs, als Ergänzung der vorhandenen diskreten 1200-V-Leistungshalbleiterfamilie, ist SiC für Anwendungen attraktiver geworden, die zuvor möglicherweise nicht in Erwägung gezogen wurden.

SMPSs werden in vielen Anwendungsbereichen eingesetzt, etwa allgemeine Stromversorgungen, Photovoltaik und Windkraft bis hin zu Motorantrieben und Ladevorrichtungen für Elektrofahrzeuge. Bei höheren Spannungen oberhalb 1000 V waren IGBTs hier die Kerntechnologie der Wahl. Jetzt dringt SiC langsam in bestimmte Bereiche ein, insbesondere dort, wo eine höhere Leistungsdichte erreicht werden muss und hochfrequentes Schalten erwünscht ist. Im Bereich von 650 V ermöglicht SiC hocheffiziente Topologien wie Continuous Conduction Mode (CCM) und Blindleistungskompensation (PFC, Power Factor Correction). Es eignet

* René Mente
... ist Application Engineer bei Infineon Technologies, Villach.

Bei der Umstellung auf SiC können grundsätzlich die gleichen Treiber verwendet werden, die für herkömmliche Silizium-Bauelemente verwendet werden, wenn sie eine Gate-Ansteuerspannung von bis zu 15 V erzeugen. Da aber die verwendete Gate-Ansteuerspannung auch den $R_{DS(on)}$ beeinflusst, lohnt es sich, hier einige kleine Änderungen in Betracht zu ziehen. CoolSiC-MOSFETs profitieren nämlich von der Verwendung einer Gate-Ansteuerspannung bis 18 V, wodurch der Widerstand $R_{DS(on)}$ gegenüber einer Ansteuerspannung von 15 V um 18% gesenkt wird (bei 60 °C). Das verdeutlicht Bild 1 mit der roten Linie (15 V und 34 mΩ) und grüne Linie (18 V und 28 mΩ).

Es sollte auch darauf geachtet werden, dass keine negativen Spannungen an das Gate eines SiC-MOSFETs angelegt werden, da dies zu einer Verschiebung der Gate-Schwelenspannung $V_{GS(th)}$ führen kann. Studien haben gezeigt, dass dies bei längeren Betriebsphasen zu einem geringen Anstieg des $R_{DS(on)}$ führen kann. Der $V_{GS(off)}$ -Pegel kann aufgrund des hohen di/dt , das aus dem Spannungsabfall über der Source-Induktivität in der Gate-Drive-Schleife resultiert, negativ werden. Dies tritt auch bei sehr hohen dv/dts auf, die durch die Gate-Drain-Kapazität eines zweiten Schalters in Halbbrücken-Konfigurationen verursacht werden – ein Effekt, der oft die größere der beiden Herausforderungen darstellt. Natürlich würde eine niedrigere dv/dt und di/dt dieses Problem lösen, gleichzeitig aber auch eine geringere Effizienz bedeuten.

Stattdessen wird empfohlen, eine Klemmdiode zwischen Gate und Source des Schalters zu verwenden, die die an das Gate angelegte negative Spannung auf über -2 V begrenzt und so das Bauelement vor $V_{GS(th)}$ -Drift schützt. Bei Bedarf können die Auswirkungen von Induktionsströmen durch weitere,

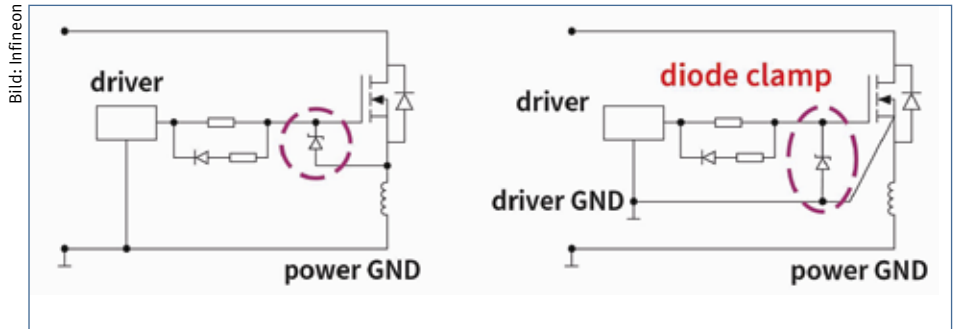


Bild 2: Eine Diodenklemme, separate Leistungs-/Treiberschaltungen und die Verwendung der Kelvin-Source tragen alle dazu bei, negative Gate-Spannungen zu begrenzen.

leicht umzusetzende Konzepte abgemildert werden. Dazu ist es erforderlich, Treiber- und Stromerdung voneinander zu trennen und so die Source-Induktivität aus der Gate-Steuerschleife zu entfernen. Die Verwendung der Kelvin-Source, kann, wo verfügbar, ebenfalls die Effizienz deutlich verbessern, insbesondere bei den höchsten Drain-Strömen (Bild 2).

Die Reverse-Recovery-Ladung und die Wahl der Topologie

Die Reverse-Recovery-Ladung (Q_{rr}) ist einer der wichtigsten Parameter, die zu berücksichtigen sind – insbesondere bei resonanten Topologien oder Designs, die eine kontinuierliche harte Kommutierung an der leitenden Body-Diode aufweisen. Alle MOSFETs haben eine inhärente Body-Diode in ihrem Design und Q_{rr} steht für die Ladung, die von ihr entfernt werden muss, nachdem sie nicht mehr leitend ist (Bild 3). Die Halbleiterindustrie hat große Anstrengungen unternommen, um diesen Wert zu reduzieren. Dazu wurden und werden Bauelemente der CoolMOS-Familie entwickelt, um verbesserte schnelle Body-Dioden zu integrieren. Während diese

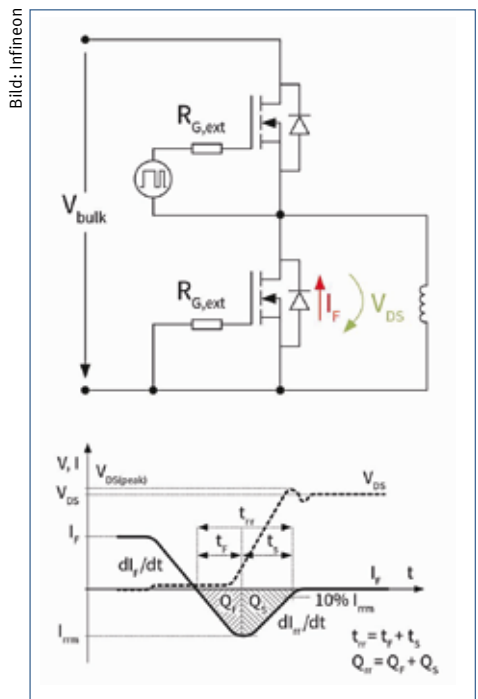


Bild 3: Q_{rr} ist die Ladung, die nach der Durchleitung von der Body-Diode entfernt werden muss. Dies wird durch den Bereich unterhalb der 0-A-Leitung dargestellt.

Hanwha Bestückungsmodule



Elektronik-Kompetenz aus einer Hand

- Hanwha** Bestückungsmodule
- ESE** Schablonendrucker
- TRI** Automatische SMT Inspektionsmodule
- IBL** Premium Dampfphasen Lötanlagen
- SMIC** Innovatives Lötmaterial
- Etit** Projekt-Kalkulationssoftware



Multi Components ist Ihr Partner bei Beratung, Installation, Schulung & Service

Multi Components GmbH
91126 Schwabach / Germany
Tel.: +49 (0)9122 9302-0

info@multi-components.de
https://multi-components.de/

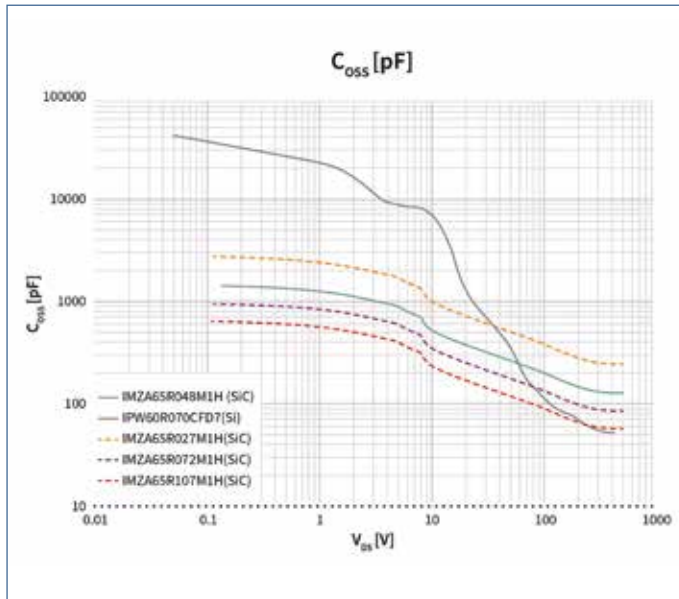


Bild: Infineon

Bild 4: Vergleich von C_{OSS} bei unterschiedlichen V_{DS} von CoolMOS und mehreren CoolSiC-Bauelementen.

Änderungen bereits zu einer zehnfachen Reduzierung der Q_{rr} gegenüber früheren MOSFETs geführt haben, bieten die CoolSiC-Schalter eine weitere zehnfache Verbesserung gegenüber den neuesten „Fast Diode“-CoolMOS-Bauelementen.

Da sich die Industrie darauf konzentriert, eine Systemeffizienz von 98% bei 50% Last zu erreichen, liegt der Fokus jetzt auf der Blindleistungskompensation (PFC), um Effizienzwerte von 99% oder besser zu erzielen. Ohne diese ist die Wahrscheinlichkeit, die angestrebte Systemeffizienz zu erreichen, erheblich niedriger. Die Verbesserungen im Bereich Q_{rr} , die CoolSiC-Schalter mit sich bringen, machen hart schaltende Topologien für die PFC möglich. Statt Nutzung eines TCM-Konzepts (Triangular Current Mode), wie es bei CoolMOS empfohlen wird, kann

ein CCM (Continuous Conduction Mode) Totem Pole PFC implementiert werden.

Die Ausgangskapazität bei Siliziumkarbid

Ein weiterer wichtiger Faktor bei MOSFETs beider Technologien ist die Ausgangskapazität C_{OSS} . Die Energie, die sich hier aufbaut, E_{OSS} , muss bei einer hart schaltenden Topologie abgeleitet werden. Eine niedrigere Kapazität ermöglicht zwar die Nutzung schnellerer Schaltgeschwindigkeiten, führt aber beim Einschalten auch zu Drain-Source-Überschwingern (V_{DS}). Bei CoolMOS-Schaltern wird dies meist durch einen externen Gate-Widerstand ($R_{G,ext}$) kompensiert werden, um die Schaltgeschwindigkeit zu reduzieren. Das trägt auch dazu bei, das benötigte Dera-ting von 80% an der Drain-Source-Spannung

zu erreichen. Das Einfügen von R_G hat aber auch Nachteile, da dieser zu Schaltverlusten beiträgt, und zwar insbesondere beim Abschalten, da sich der Strom erhöht.

Obwohl CoolSiC-Bauelemente eine höhere C_{OSS} als vergleichbare CoolMOS-Leistungshalbleiter über 50 V Drain-Source-Spannung haben, ist das Verhältnis von C_{OSS} zu V_{DS} deutlich linearer. Das bedeutet, dass im selben Schaltkreis CoolSiC-Schalter mit niedrigerem externen Widerstand R_G genutzt werden können, ohne das erforderliche Derating von 80% zu verfehlen. Dies kann in einigen Schalt-Topologien, wie den resonanten LLC-DC/DC-Wandlern, von Vorteil sein (Bild 5).

Auch wenn die SiC-Technologie vielleicht nur Vorteile zu bieten scheint, heißt das nicht, dass Silizium-MOSFETs einfach durch SiC-Alternativen ersetzt werden können, um SMPs leistungsstärker und effizienter zu machen. Ein wichtiger Punkt, den es zu berücksichtigen gilt, ist die viel höhere Schwel- lenspannung der Body-Diode, die etwa viermal so hoch ist wie bei einem vergleichbaren Si-Bauelement. Ein einfaches Austauschen von Silizium gegen SiC führt zwangsläufig zu etwa viermal höheren Leitungsverlusten der Body-Diode. Dadurch würde man unter Leichtlastbedingungen eine potenzielle Effizienzverbesserung von 0,5% nicht nutzen. Um maximale Effizienz zu erreichen, ist es unerlässlich, dass die Boost-Funktion einer PFC über den MOSFET-Kanal und nicht über die Body-Diode in Rückwärtsrichtung verwendet wird. In der Praxis bedeutet dies, die verwendeten Totzeiten zu verändern und so zu optimieren, dass die Vorteile, die SiC-MOSFETs bieten, umfassend genutzt werden können. // KU

Infineon

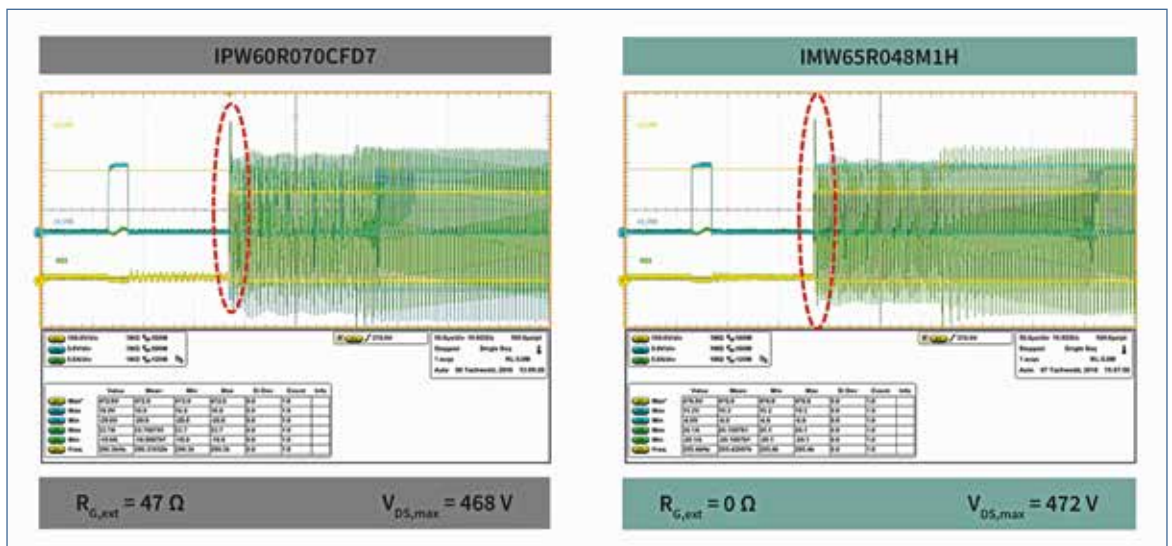


Bild: Infineon

Bild 5: Resonante LLCs erreichen beim Einschaltvorgang das Derating von 80% problemlos mit einem CoolSiC-MOSFET, ohne dass dafür ein zusätzlicher Gate-Widerstand ($R_{G,ext}$) erforderlich ist.