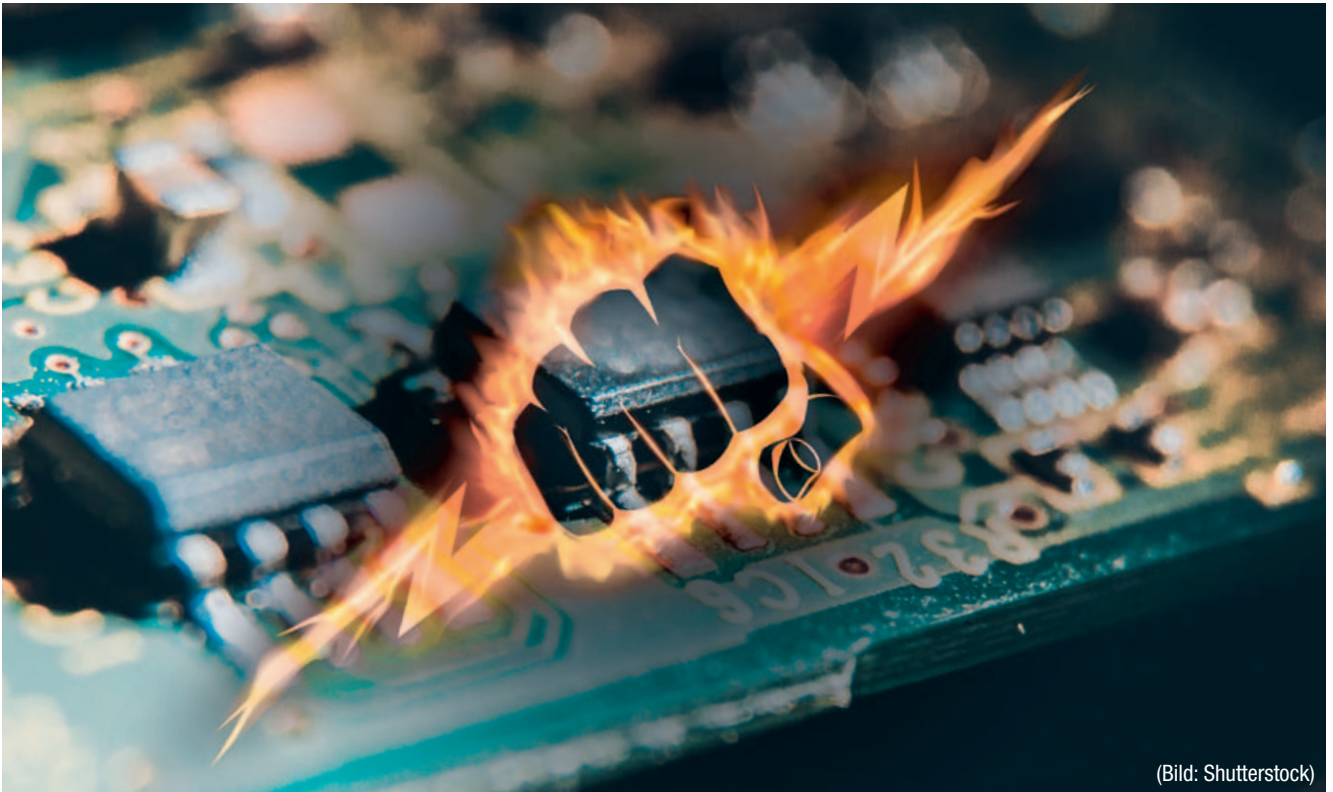


GATE-OXID-ZUVERLÄSSIGKEIT

SiC-MOSFETs IM STRESSTEST



(Bild: Shutterstock)

Im Vergleich zu Silizium-MOSFETs weisen Siliziumkarbid-MOSFETs eine hohe Anzahl an Defekten im Gate-Oxid auf – lange Zeit ein ernstes Problem bei deren Zuverlässigkeit und für die Kommerzialisierung. Doch in den vergangenen Jahren kamen bessere Fertigungsmethoden und neue Testverfahren – mit Einfluss auch auf die Zuverlässigkeit des Gate-Oxids.

Von Dr. Thomas Aichinger

Viele Konzepte und Technologien, die sich bei der Verarbeitung von Silizium durchgesetzt haben, ließen sich bei der Entwicklung der Siliziumkarbid-Technologie (SiC) übernehmen – darunter auch Verfahren, um die Langzeitstabilität von Siliziumbauelementen zu

verifizieren. Tiefergehende Analysen haben jedoch gezeigt, dass SiC-basierte Bauelemente noch zusätzliche Zuverlässigkeitstests erfordern. Zum Beispiel ist das Material selbst auf spezifische Defektstrukturen zu untersuchen. Des Weiteren sind im

Gegensatz zu Silizium auftretende Anisotropien und andere mechanische sowie thermische Eigenschaften zu berücksichtigen. Zudem haben SiC-Bauelemente im Gegensatz zu Si-Bausteinen eine größere Bandlücke, was sich auf Dichte und Dynamik

von Grenzflächenzuständen in MOS-basierten Bauelementen auswirkt.

Im Betrieb entstehen innerhalb des Materials und an den äußeren Grenzflächen – zum Beispiel an den Randabschlussstrukturen – bis zu zehnmal stärkere elektrische Felder, was wiederum die Lebensdauer des Oxids beeinflussen kann und spezielle Abschirmstrukturen erfordert. Gleichzeitig können im Gate-Oxid von SiC-MOSFETs vermehrt Schwachstellen auftreten, die auf sogenannte extrinsische Defekte zurückzuführen sind. Dabei handelt es sich um winzige Verzerrungen bzw. Störungen im Gate-Oxid, die im Prinzip so wirken, als wäre das Oxid an diesen Stellen dünner. Derartige Störungen stehen oft in Zusammenhang mit Epitaxie- oder Substratdefekten [1], metallischen Verunreinigungen, Partikeln oder anderen extrinsischen Einschlüssen im Gate-Oxid, die während der Herstellung der Bauelemente eingebracht wurden (**Bild 1**).

Weil die extrinsische Defektdichte bei SiC selbst heute noch immer viel größer

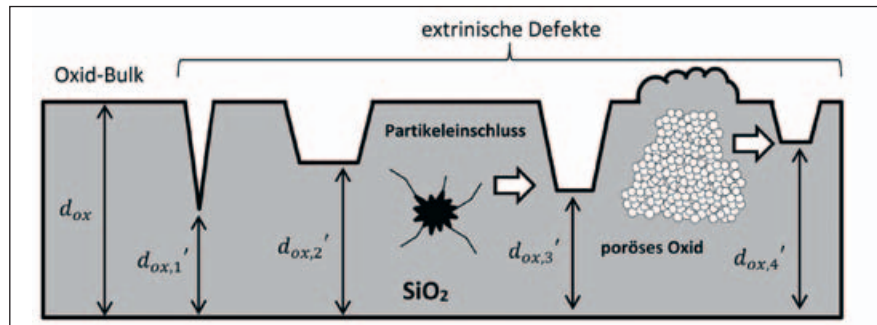


Bild 1: Darstellung verschiedener Arten extrinsischer Defekte im Gate-Oxid. (Bild: Infineon Technologies)

ist als bei Silizium, sind neben Maßnahmen, die die Defektdichte verringern, auch Methoden wichtig, die die Auswirkung der Defekte auf das Endprodukt reduzieren. Solche Methoden sind zum Beispiel elektrische Selektionsverfahren, sogenannte Screening-Verfahren. Beides erfordert ein hohes Maß an Know-how und ein breites Hintergrundwissen rund um die Herstellungsprozesse, Materialeigenschaften und Ausfallmechanismen. Infineon hat neben der langjährigen Expertise mit Siliziumtechnologien auch wissenschaftliche Kooperationen während

der Entwicklung und Produktion von SiC-basierten Leistungsbaulementen genutzt, um diese intensiv zu analysieren und maßgeschneiderte Screening-Verfahren zu entwickeln.

So konnte das Unternehmen neue Tests und Modellierungsansätze entwickeln, die auch Betriebsarten einbeziehen, die bei Silizium-Leistungshalbleitern weniger üblich sind. Zusätzlich modifiziert es bereits etablierte Tests, um SiC-spezifische Anforderungen zu berücksichtigen. Im Laufe der Zeit entstanden somit aussagekräftige Charakterisierungs- und Validierungsschemata, die

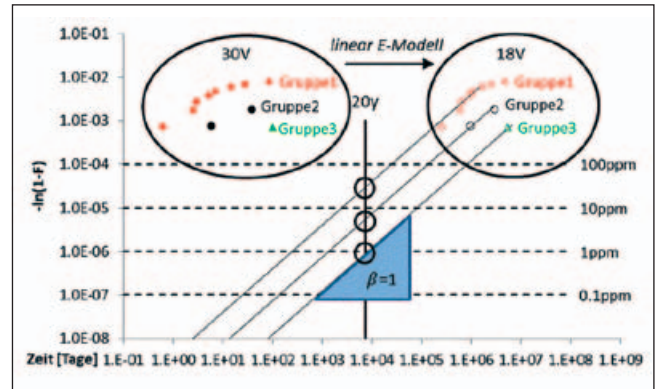
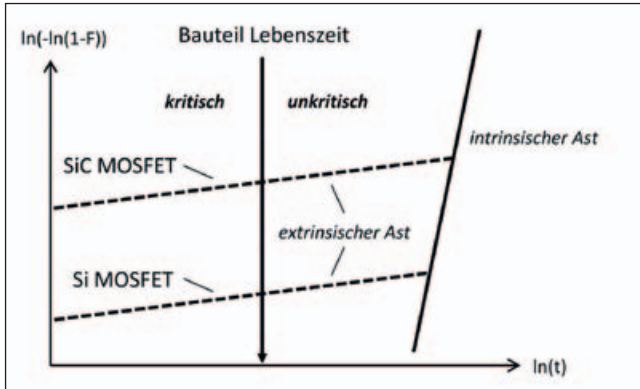


Bild 2: SiC-Bauelemente weisen deutlich mehr extrinsische Defekte im Gate-Oxid auf. Bild 3: Weibull-Verteilung der Ausfallwahrscheinlichkeiten im Marathon-Test für die drei verschiedenen SiC-Trench-MOSFET-Probengruppen mit unterschiedlichen extrinsischen Defektdichten. (Bilder: Infineon Technologies)

auf Stresstestanalysen beruhen, die auf spezifischen Mission-Profilen basieren. Mit diesen lassen sich kritische Betriebsbedingungen für SiC-Bauteile bewerten und neue potenzielle Ausfallmechanismen verstehen.

ELEKTRISCHES GATE-OXID-SCREENING

Indem die Defektdichte während des Herstellungsprozesses minimiert wird, verringert sich die Anzahl an Bauteilen, die am Ende des Prozesses kritische Gate-Oxid-Defekte beinhalten. Trotzdem weisen heute auf Siliziumkarbid gefertigte Gate-Oxide noch deutlich höhere extrinsische Defektdichten auf als vergleichbare Silizium-Bausteine (**Bild 2**). Dadurch steigt die Wahrscheinlichkeit für Frühausfälle im Feld. Damit SiC-MOSFETs ähnlich zuverlässig arbeiten wie ihre Gegenstücke aus Silizium, sind daher zusätzliche elek-

trische Selektionsverfahren nötig. Nur so lassen sich potenziell schwache Bauelemente mit hinreichender Effizienz identifizieren und eliminieren.

Ein klassisches Beispiel für ein solches elektrisches Auswahlverfahren ist ein Burn-in-Test. Bei diesem Test werden die Bauelemente typischerweise bei niedrigen Gate-Spannungen und erhöhten Temperaturen für längere Zeit belastet. Bauteile, die ausfallen, werden entfernt, die anderen dürfen ausgeliefert werden. Dieser Ansatz hat jedoch mehrere Nachteile: Ein Burn-in ist zeitaufwendig, kostspielig und kann aufgrund des langanhaltenden Gate-Stresses bei hoher Vorspannung (Bias) und hoher Temperatur dazu führen, dass kritische elektrische Bauteilparameter wie z. B. die Schwellenspannung und der On-Widerstand zu drifteten beginnen. Diese Effekte sind allgemein als Spannung-Temperatur-Instabilitäten (Bias Temperature Instabilities) bekannt [2]. Besser geeignet ist darum ein weitaus kürzerer, dafür deutlich schärferer elektrischer Endtest, der im Folgenden als „Screeningtest“ bezeichnet wird: Dabei werden die einzelnen Bauelemente hohen Spannungspulsen am Gate mit definierter Amplitude und Zeit ausgesetzt [3] [4]. Spannung und Zeit werden dabei so ausgelegt, dass Bauelemente mit kritischen extrinsischen Defekten ausfallen. Übrig bleiben nur Chips ohne oder mit nur unkritischen extrinsischen Defekten. Die Zuverlässigkeit des Gate-Oxids bei der überlebende Population ist nach dem Screeningtest deutlich höher [5].

Eine Voraussetzung für ein schnelles und effizientes Gate-Spannungs-

Screening ist eine Bulk-Oxidschicht, die deutlich dicker ist als jene, die nötig wäre, um lediglich intrinsische Lebensdauerziele zu erfüllen. Durch die dickere Oxidschicht lassen sich Screening-Spannungen verwenden, die erheblich höher sind als die typische Betriebsspannung der Bauelemente, ohne dass dadurch fehlerfreie Bauelemente geschädigt werden. Dabei gilt: Je höher das Verhältnis von Screeningsspannung zu Betriebsspannung ist, desto effizienter wirkt das elektrische Screening und desto niedriger ist danach die Fehlerwahrscheinlichkeit im Feld [6].

Ein Nachteil der dickeren Bulk-Oxidschicht ist ein leicht erhöhter elektrischer Widerstand im MOS-Kanal. Dieser ist in erster Näherung direkt proportional zur Dicke des Gate-Oxids und kann in bestimmten Fällen einen großen Teil des gesamten On-Widerstands ausmachen. Dies gilt insbesondere bei Bauelementen niedrigerer Spannungs-klassen, die einen vergleichsweise geringen Widerstand in der Driftzone aufweisen. Die hohe Screeningeffizienz und damit auch die ausgezeichnete Gate-Oxid-Zuverlässigkeit von SiC-MOSFETs haben also einen Preis: Der On-Widerstand steigt leicht.

Dieser Kompromiss lässt sich zwar nicht völlig umgehen, doch die Tatsache, dass sich die Bulk-Oxiddicke unterschiedlich stark auf den On-Widerstand und die Zuverlässigkeit des Gate-Oxids auswirkt, kann man nutzen. So steigt die Zuverlässigkeit des Gate-Oxids durch Verwendung höherer Screeningsspannungen exponentiell mit der Oxiddicke,

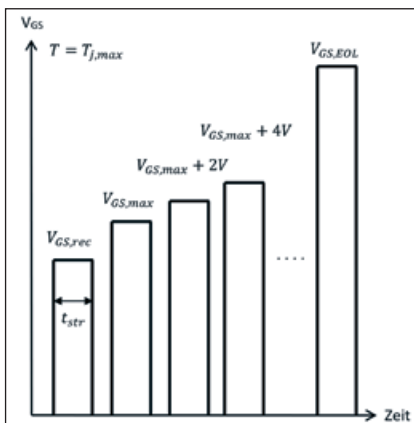


Bild 4: Vor und nach jeder Stressessequenz werden die Chips auf Gate-Source-Leckströme überprüft. (Bild: Infineon Technologies)

während sich der On-Widerstand oft nur minimal erhöht. Bei höheren Temperaturen ist der Anteil des Driftzonen-Widerstands noch ausgeprägter, wodurch die Leistungseinbuße eines dickeren Bulk-Oxids in relativen Zahlen ausgedrückt nochmals deutlich kleiner wird. Nutzt man eine dickere Bulk-Oxidschicht, verzichtet man also bewusst auf ein nur geringes Maß an Leistungsfähigkeit; im Gegenzug erhöht sich die Zuverlässigkeit der Bauteile jedoch drastisch.

EXTRINSISCHE GATE-OXID-ZUVERLÄSSIGKEIT BEWERTEN

Um die Ausfallwahrscheinlichkeiten unter normalen Betriebsbedingungen zuverlässig vorhersagen zu können, ist es zwingend erforderlich, Stresstests durchzuführen, die das Frühausfallverhalten der Bauelemente untersuchen [7]. Tests, die darauf abzielen, die intrinsische Lebenszeit des Bulk-Oxids zu erforschen, eignen sich nicht, um Aus-

fälle zu untersuchen, die während des normalen Gerätebetriebs innerhalb der üblichen Chip-Lebensdauer auftreten können. Ein Beispiel dafür sind hoch beschleunigte TDDB-Tests (Time Dependent Dielectric Breakdown), die typischerweise nur an einer kleinen Anzahl von Proben durchgeführt werden. Um dieses Problem zu überwinden, hat Infineon zwei neuartige Stresstest-Ansätze entwickelt beziehungsweise mitentwickelt. Diese zielen darauf ab, die Wirksamkeit des Screenings zu verifizieren.

MARATHON-STRESSTEST

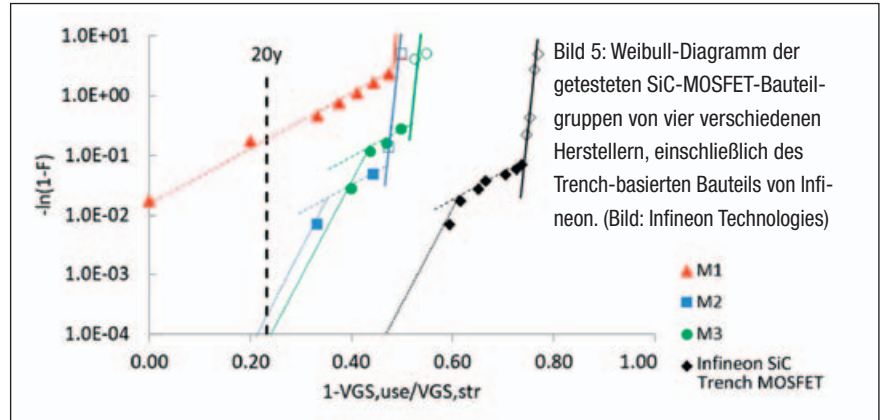
Ein gängiger Ansatz, extrinsische Ausfälle zu untersuchen, ist der Marathon-Stresstest. Dabei wird eine große Anzahl an Bauelementen so nah wie möglich an den realen Anwendungsbedingungen belastet. Große Stückzahlen zu testen ist dabei besonders wichtig, denn extrinsische Ausfälle sind in der Regel sehr selten, insbesondere nach elektrischem Screening. Im Gegensatz zum klassischen Burn-in-Test ist die

Stresszeit im Marathon-Test auch deutlich länger angesetzt: 100 Tage lang werden parallel tausende Chips getestet, wodurch sich die Wahrscheinlichkeit nochmal deutlich erhöht, seltene extrinsische Fehler zu finden. Um die großen Probenmengen zu bewältigen, entwickelte Infineon einen speziellen Testaufbau. Dabei werden mehrere Chips in einem Gehäuse, viele Gehäuse auf einem Stressboard und mehrere Stressboards in einem Ofen untergebracht. Noch dazu lassen sich mehrere Öfen parallel betreiben.

In einer Fallstudie wurden drei unabhängige Marathon-Testläufe an drei unterschiedlichen Mustergruppen durchgeführt. Die getesteten Bauelemente wurden im Vorfeld elektrisch gescreent und wiesen dabei unterschiedliche extrinsische Defektdichten auf. Die drei Gruppen entsprachen in etwa den einzelnen Entwicklungsstufen der Bauelemente: Bei Gruppe 1 handelte es sich um Chips im Anfangsstadium der Oxid-Prozessentwicklung,

Literatur

- [1] J. Senzaki, K. Kojima, T. Kato, A. Shimozato, and K. Fukuda, „Correlation between reliability of thermal oxides and dislocations in n-type 4H-SiC epitaxial wafers“. *Appl.Phys.Letters*, vol. 89, 2006, pp. 022909, DOI: 10.1063/1.2221525.
- [2] G. Rescher, G. Pobegen, and T. Grasser, „Threshold voltage instabilities of present SiC-power MOSFETs under positive bias temperature stress“. *Materials Science Forum*, vol. 858, Trans Tech Publications, Ltd., May 2016, pp. 481–484, DOI:10.4028/www.scientific.net/msf.858.481
- [3] V. Malandrucolo, M. Ciappa, H. Rothleitner, and W. Fichtner, „A new built-in screening methodology to achieve zero defects in the automotive environment“. *Micr.Rel.*, vol. 49, 2009, pp. 1334–1340, DOI: 10.1016/j.microrel.2009.07.016
- [4] T.E. Kopley, M. Ring, C. Choi, and J. Colbath, „Combined Vramp and TDDb Analysis for Gate Oxide Reliability Assessment and Screening“. *Proc. IIRW 2015*, pp. 138–142, DOI: 10.1109/IIRW.2015.7437087
- [5] T. Aichinger, and M. Schmidt. „Gate-oxide reliability and failure-rate reduction of industrial SiC MOSFETs“, *Proc. IRPS 2020*, DOI: 10.1109/IRPS45951.2020.9128223
- [6] J. Lutz, T. Aichinger, and R. Rupp. „Chapter 7: Reliability Evaluation“, K. Suganuma (Ed.), „Wide Bandgap Power Semiconductor Packaging: Materials, Components, and Reliability“. Elsevier, 2018, pp. 155–200, ISBN: 9780081020944.
- [7] K.P. Cheung, „SiC Power MOSFET Gate Oxide Breakdown Reliability – Current Status“. 2018 IEEE International Reliability Physics Symposium (IRPS), Burlingame, CA, USA, 2018, pp. 2B.3-1–2B.3-5, DOI: 10.1109/IRPS.2018.8353545.
- [8] J. W. McPherson, and D. A. Baglee. „Acceleration Factors for Thin Gate Oxide Stressing“. 23rd International Reliability Physics Symposium, Orlando, FL, USA, 1985, pp. 1–5, DOI: 10.1109/IRPS.1985.362066
- [9] M. Beier-Moebius, J. Lutz. „Breakdown of gate oxide of 1.2 kV SiC-MOSFETs under high temperature and high gate voltage“. *PCIM Europe 2016*, pp. 1–8.



während Gruppe 3 den Technologiestatus kurz vor der Produktfreigabe darstellte. Das Experiment sollte die Effizienz verschiedener Verbesserungen bei Prozessen und elektrischem Screening überwachen und quantifizieren helfen. Während der Testdauer von 100 Tagen wurden die Gruppen mit unterschiedlichen Spannungen am Gate belastet und dabei Temperaturen von durchgehend +150 °C ausgesetzt.

Bei der besten Gruppe (Gruppe 3), kam es bei einer Gate-Source-Spannung $U_{GS} = +30$ V zu einem Ausfall – bei +25 V und –15 V gab es dagegen keinen einzigen Ausfall. In **Bild 3** sind die Ausfälle während des Marathon-Stresstests als Weibull-Verteilungen dargestellt. Für die entsprechende Weibull-Verteilungen unter Betriebsbedingungen, wurde die Zeit bis zum Ausfall bei einer U_{GS} von +30 V in die Zeit bis zum Ausfall bei einer U_{GS} von +18 V unter Verwendung des linearen E-Modells [7] [8] umgerechnet. Dabei ist jedoch Folgendes zu beachten: Alle beobachteten Ausfälle wären umgerechnet auf eine typische Betriebsspannung von +18 V bei +150 °C weit jenseits der angenommenen spezifizierten Produktlebensdauer von 20 Jahren aufgetreten. Durch Extrapolation der Messdaten lässt sich davon eine Fehlerwahrscheinlichkeit für eine maximale Betriebszeit von rund 20 Jahren bei +18 V und +150 °C ableiten. Der Marathon-Stresstest eignet sich hervorragend, um die Ausfallwahrscheinlichkeit von SiC-MOSFET-Chips während des normalen Betriebs abzuschätzen. Der Test erfordert jedoch einen großen Stichprobenumfang und muss auf sehr anspruchsvolle Weise

kalibriert werden. Der Gate-Spannungspegel liegt hier weit unterhalb der intrinsischen Durchbruchgrenze der getesteten Bauelemente. Gleichzeitig muss die Spannung jedoch hoch genug sein, um einige wenige extrinsische Ausfälle innerhalb der geplanten Testdauer auszulösen. Somit sind umfangreiche Voruntersuchungen beziehungsweise ausführliche Kenntnisse über die zu testenden Bauelemente erforderlich, um geeignete Stressbedingungen definieren zu können. Aus diesem Grund ist der Marathon-Stresstest vor allem für die Hersteller von Bauelementen geeignet, die die Zuverlässigkeit ihrer SiC-MOSFETs quantifizieren wollen. Für einen qualitativen Vergleich der Gate-Oxid-Zuverlässigkeit von Bauelementen verschiedener Hersteller ist der Test eher ungeeignet. Hier sollte stattdessen ein End-of-Life-Stresstest wie der Gate-Spannungs-Stufen-Stresstest eingesetzt werden [6] [9].

GATE-SPANNUNGS-STUFEN-STRESSTEST

Bei diesem Test wird eine kleinere Anzahl von SiC-MOSFET-Bauelementen untersucht: Rund 100 Teile werden bei der maximal zulässigen Sperrschichttemperatur $T_{j,max}$ in schrittweise ansteigenden Gate-Stress-Stufen für eine definierte Stresszeit t_{str} – beispielsweise 24 Stunden oder 168 Stunden pro Stufe – getestet (**Bild 4**). Nach jeder Erhöhung des Spannungspegels überprüft man die Bauelemente auf Gate-Source-Leckströme, fehlerhafte Chips werden gezählt und entfernt. Im ersten Schritt werden die Chips bei der empfohlenen Gate-Nutzungsspan-

nung $U_{GS,rec}$ vorgespannt, zum Beispiel bei +15 V oder +18 V. Im zweiten Schritt wird die maximal zulässige Gate-Spannung $U_{GS,max}$ verwendet. Anschließend wird die Gate-Spannung nach jedem Schritt um beispielsweise +2 V so lange erhöht, bis alle Bauelemente ausgefallen sind ($U_{GS,EOL}$). Am Ende analysiert man Zeit und Anzahl der ausgefallenen Bauelemente mithilfe der Weibull-Statistik. Bei einem Test wurden zum Beispiel Chips von vier verschiedenen Herstellern überprüft (**Bild 5**), darunter auch SiC-Trench-MOSFETs von Infineon. Viele Bauteile, vor allem aber jene von M1, fielen wegen einer hohen Anzahl von extrinsischen Ausfällen bei bereits relativ niedrigen Gate-Spannungen auf. Die vierte Gruppe zeigt die höchste Gate-Oxid-Zuverlässigkeit. Erste extrinsische Ausfälle treten dort erst bei Stressstufen auf, wo bereits alle Bauteile von M1, M2 und M3 ausgefallen waren.

ZUSAMMENFASSUNG

Die Zuverlässigkeit des Gate-Oxids von SiC-MOSFETs hat sich in den vergangenen Jahren deutlich verbessert. Trotzdem sind die Defektdichten am Ende des Prozesses noch zu hoch, weswegen eine Annäherung an den Silizium-Standard – also eine einstellige

ppm-Rate – schwierig ist. Um sich dem Silizium-Standard anzunähern, müssen alle SiC-Bauteile am Ende des Herstellungsprozesses einem Screening unterzogen werden, das Bauteile mit potenziell lebensdauerkritischen Defekten aussortiert. Dabei gilt: Je dicker das Bulk-Oxid, desto schärfer und effizienter kann das elektrische Screening gestaltet werden. Mithilfe des Marathon-Stresstests lässt sich die maximale Ausfallwahrscheinlichkeit von industriellen SiC-Trench-MOSFETs im Feld unter typischen Betriebsbedingungen abschätzen. Bei dem Test wird eine große Anzahl von Bauelementen mit Spannungen nahe der Betriebsspannung belastet.

Die Ergebnisse des Tests zeigen, dass durch eine optimierte Verarbeitung und ein effizient gestaltetes elektrisches

Screening SiC-MOSFETs ebenfalls eine exzellente Gate-Oxid-Zuverlässigkeit erreichen können, die der von Si-Bauelementen in nichts nachsteht. Sobald jedoch die Gate-Oxid-Zuverlässigkeit von einer begrenzten Anzahl an Bauelementen mit weitgehend unbekannten Gate-Oxid-Eigenschaften verglichen werden soll, ist der Marathon-Stresstest eher ungeeignet. Dafür wurde ein generischer End-of-Life-Stresstest, der Gate-Spannungs-Stufen-Stresstest, entwickelt. Dieser bietet zwar nicht die gleiche Vorhersagekraft in Bezug auf die Ausfallwahrscheinlichkeit über die Lebensdauer wie der Marathon-Stresstest, ist jedoch deutlich einfacher durchzuführen und daher nützlich, um die Zuverlässigkeit von SiC-MOSFETs verschiedener Hersteller zumindest qualitativ zu vergleichen. RH



DR. THOMAS AICHINGER

promovierte 2010 in Elektrotechnik an der Technischen Universität Wien. 2011 und 2012 war Aichinger Postdoktorand an der Penn State University, PA, USA. Seit 2012 ist er Teil des SiC-MOSFET-Technologieentwicklungsteams von Infineon, außerdem ist er derzeit Vorsitzender der SiC-Sitzung des IEEE International Reliability Physics Symposium (IRPS) und Co-Vorsitzender der Arbeitsgruppe im JEDEC-Unterkomitee JC-70.2, das sich mit den Standards für SiC-Leistungshalbleiter (PECS) beschäftigt.