

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。



The following document contains information on Cypress products. The document has the ordering part numbering with the prefix “S”. Cypress will offer these products to new and existing customers with the updated ordering part number (updated last digit).

How to Check the Ordering Part Number

1. Go to www.cypress.com/pcn.
2. Enter the keyword (for example, ordering part number) in the **SEARCH PCNS** field and click **Apply**.
3. Click the corresponding title from the search results.
4. Download the Affected Parts List file, which has details of all changes

For More Information

Please contact your local sales office for additional information about Cypress products and solutions.

About Cypress

Cypress is the leader in advanced embedded system solutions for the world's most innovative automotive, industrial, smart home appliances, consumer electronics and medical products. Cypress' microcontrollers, analog ICs, wireless and USB-based connectivity solutions and reliable, high-performance memories help engineers design differentiated products and get them to market first. Cypress is committed to providing customers with the best support and development resources on the planet enabling them to disrupt markets by creating new product categories in record time. To learn more, go to www.cypress.com.

S6E2H 系列产品是高度集成的 32 位微控制器，具有性能高和成本低的优势。该系列微控制器基于 ARM Cortex-M4F 处理器，并集成了片上闪存存储器和 SRAM。此外，它还集成了电机控制定时器，模数转换器和通信接口（CAN、UART、CSIO、I²C、LIN）等外设功能。

特性

- 32 位 ARM Cortex-M4F 内核
 - 工作频率高达 160 MHz
- 片上存储器
 - MainFlash（主闪存）存储器 — 高达 512 KB
 - WorkFlash（工作闪存）存储器 — 32 KB
 - SRAM
 - SRAM0：高达 32 KB
 - SRAM1：高达 16 KB
 - SRAM2：高达 16 KB
- 外部总线接口
- CAN 接口（最多支持 2 个通道）
- 多功能串行接口（最多支持 8 个通道）
 - 通用异步接收/发送器（UART）
 - 时钟同步串行接口（CSIO（SPI））
 - 局部互联网络（LIN）
 - 内部集成电路（I²C）
- DMA 控制器（最多支持 8 个通道）
- DSTC（描述符系统数据传输控制器）（支持 256 个通道）
- 模数转换器（最多支持 24 个通道）
[12 位模数转换器]
- 数模转换器（最多支持 2 个通道）
- 基础定时器（最多支持 8 个通道）
- 120 引脚封装提供了多达 100 个高速通用 I/O 端口
- 多功能定时器（最多支持 3 个单元）
- 实时时钟（RTC）
- 正交位置/转数计数器（QPRC）（最多支持 3 个通道）
- 双定时器（32/16 位递减计数器）
- 计时计数器
- 外部中断控制器单元
- 监视定时器（支持 2 个通道）
- CRC（循环冗余校验）加速器
- SD 卡接口
- 5 个动态可选时钟源（两个外部振荡器、两个内部 CR 振荡器和主 PLL）。
 - 主时钟：4 MHz 到 48 MHz
 - 副时钟：32.768 kHz
 - 内部高速 CR 时钟：4 MHz
 - 内部低速 CR 时钟：100 kHz
 - 主 PLL 时钟
- 复位
 - INITX 引脚复位请求
 - 上电复位
 - 软件复位
 - 监视定时器复位
 - 低电压检测复位
 - 时钟监控复位
- 时钟监控（CSV）
- 低电压检测（LVD）
- 低功耗模式
 - 睡眠模式
 - 定时器模式
 - RTC 模式
 - 停止模式
 - 深度待机 RTC 模式（可以选择是否保留 RAM）
 - 深度待机停止模式（可以选择是否保留 RAM）
- VBAT
- 调试
 - 串行线 JTAG 调试端口（SWJ-DP）
 - 嵌入式追踪宏单元（ETM）支持全面高效的调试和追踪操作。
- 设置了器件的唯一 ID（41 位）。
- 电源
 - 宽电压输入范围：VCC = 2.7 V 到 5.5 V
 - VBAT 电源：VBAT = 2.7 V 到 5.5 V

赛普拉斯 FM4 MCU 的生态系统

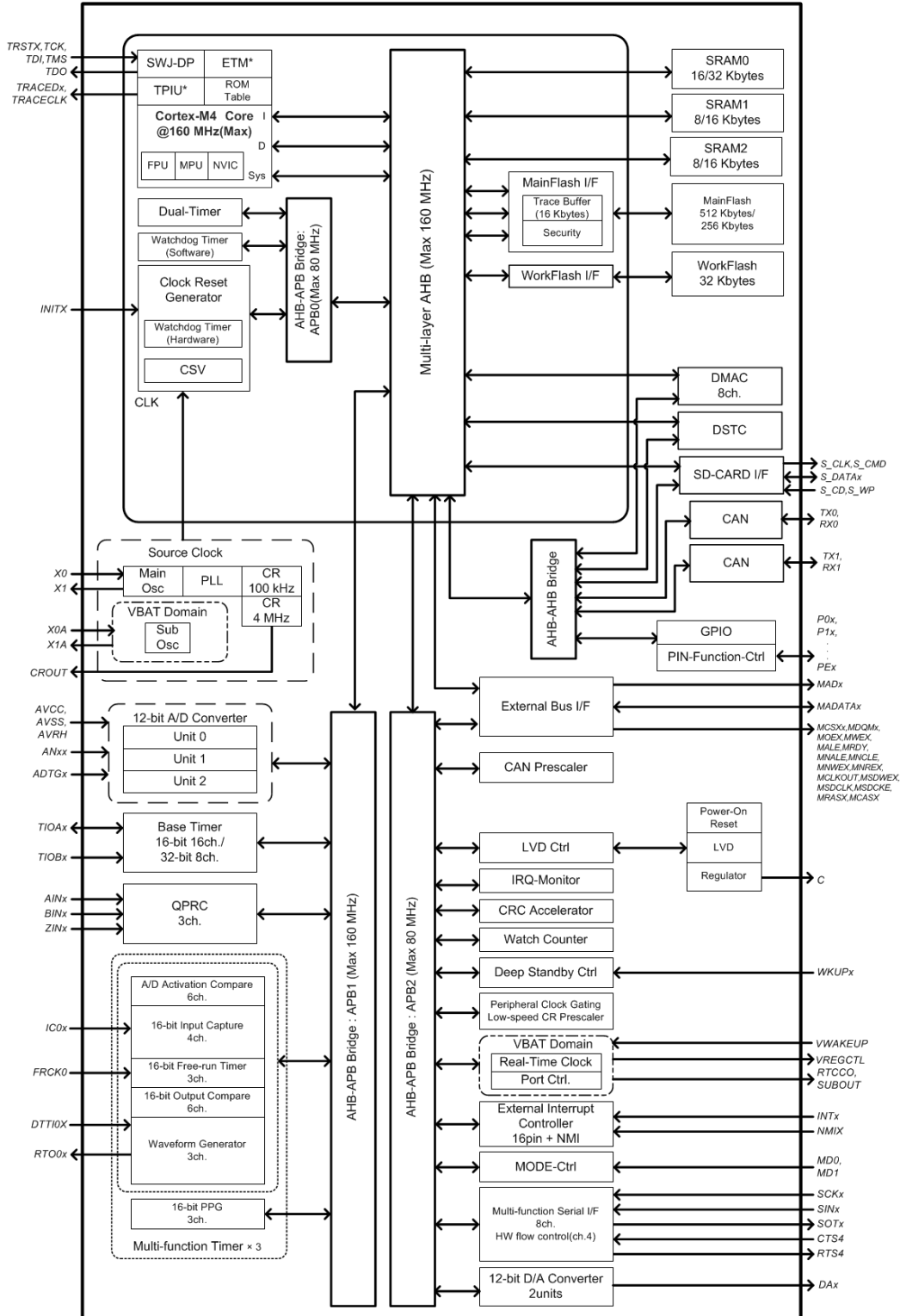
在赛普拉斯网站 www.cypress.com 上提供了大量资料，有助于您正确选择 MCU 器件进行设计，从而能够快速并有效地将器件集成到设计中。下面是 FM4 MCU 的简要列表：

- 概况：产品系列、产品蓝图
- 产品选型器：FM4 MCU
- 应用笔记：赛普拉斯提供了大量的 FM4 应用笔记，包括从基础到高级的广泛内容。下面列出的是 FM4 MCU 系列入门级应用笔记：
 - [AN204468 — FM4 I2S USB MP3 播放器应用的 32 位微控制器 FM4 系列](#)：该应用笔记描述了 I2S USB MP3 播放器软件的示例、它所包含各模块的详情以及它的使用情况。
 - [AN204471 — FM4 S6E2CC 系列外部存储器编程器](#)：该文档描述了如何将 MCU 通用编程器作为一个脱机编程器，用于编程 S6E2CC SK 系列中的 Quad SPI 闪存存储器。
 - [AN203277 — FM 32 位微控制器系列的硬件设计注意事项](#)：该应用笔记介绍了一些有关设计使用 FM0+、FM3 和 FM4 系列 MCU 的硬件系统的主题。这些主题包括电源系统、复位、晶振、其它引脚连接以及编程和调试接口等内容。
 - [AN202488 — FM4 MB9BF56x 和 S6E2HG 系列 MCU — 伺服马达速度控制](#)：该文档介绍了 FM4 MCU MB9BF56x 和 S6E2H 系列伺服马达速度控制解决方案。
 - [AN99235 — FM4 S6E2HG 系列 MCU — 使用一个基础定时器的 16 位 PWM](#)：赛普拉斯 32 位 ARM® 的 FM4 系列 Cortex®-M4 微控制器 FM4 S6E2H 系列马达控制 ARM® Cortex®-M4 MCU
 - [AN202487 — FM0+、FM3 和 FM4 32 位微控制器间的差别](#)：该文档重点描述各种赛普拉斯 FM 系列 MCU 间的外设差异。它专门提供了与每个外设相关的章节，并包含各个列表、表格、外设特性描述以及寄存器差异的内容。
 - [AN204438 — 如何设置 FM0+、FM3 和 FM4 系列的闪存安全性能](#)：该应用笔记描述了如何设置 FM0+、FM3 和 FM4 器件的闪存安全性能。
- 开发套件：
 - [FM4-U120-9B560](#)：带有 USB 和 CMSIS-DAP 的 ARM® Cortex®-M4 MCU 基础入门套件
 - [FM4-216-ETHERNET](#)：带有以太网、CAN 和 USB 主设备的 ARM® Cortex®-M4 MCU 开发套件
 - [FM4-176L-S6E2CC-ETH](#)：带有以太网和 USB 主设备的 ARM® Cortex®-M4 MCU 基础入门套件
 - [FM4-176L-S6E2GM](#)：带有以太网和 USB 主设备的 ARM® Cortex®-M4 MCU Pioneer 套件
- 外设手册

目录

1. S6E2H 系列框图.....	4
2. 产品系列.....	5
3. 与封装相关的特性.....	7
4. 产品特性的详细信息.....	8
5. 引脚分配.....	11
6. 引脚说明.....	15
6.1 引脚编号.....	15
7. I/O 电路类型.....	44
8. 处理注意事项.....	51
8.1 产品设计注意事项.....	51
8.2 封装安装注意事项.....	52
8.3 使用环境注意事项.....	54
9. 器件注意事项.....	55
10. 存储器大小.....	57
11. 存储空间分配.....	58
12. 各 CPU 模式下的引脚状态.....	61
13. 电气特性.....	68
13.1 最大绝对额定值.....	68
13.2 推荐工作条件.....	69
13.3 直流特性.....	73
13.3.1 电流额定值.....	73
13.3.2 引脚特性.....	81
13.4 交流电特性.....	83
13.4.1 主时钟输入特性.....	83
13.4.2 副时钟输入特性.....	84
13.4.3 内置 CR 振荡特性.....	84
13.4.4 主 PLL 模式（主时钟用作 PLL 输入时钟）.....	85
13.4.5 主 PLL 模式（内置高速 CR 时钟作为主 PLL 输入时钟）.....	85
13.4.6 复位输入特性.....	85
13.4.7 上电复位时序.....	86
13.4.8 GPIO 输出特性.....	87
13.4.9 外部总线时序.....	88
13.4.10 基础定时器输入时序.....	100
13.4.11 CSIO 时序.....	101
13.4.12 外部输入时序.....	134
13.4.13 正交位置/转数计数器时序.....	135
13.4.14 I ² C 时序.....	137
13.4.15 SD 卡接口时序.....	140
13.4.16 ETM 时序.....	143
13.4.17 JTAG 时序.....	144
13.5 12 位模数转换器.....	145
13.6 12 位数模转换器.....	149
13.7 低电压检测特性.....	150
13.7.1 低电压检测复位.....	150
13.7.2 低电压检测中断.....	150
13.8 主闪存存储器写入/擦除特性.....	151
13.9 工作内存存储器写入/擦除特性.....	151
13.10 低功耗模式唤醒.....	152
13.10.1 恢复源：中断/WKUP.....	152
13.10.2 恢复源：复位.....	154
14. 订购信息.....	156
15. 封装尺寸.....	157
全球销售和 design 支持.....	162
产品.....	162
PSoc®解决方案.....	162
赛普拉斯开发者社区.....	162
技术支持.....	162

1. S6E2H 系列框图



2. 产品系列

存储器大小

产品名称	S6E2HG4 S6E2HE4 S6E2H44 S6E2H14	S6E2HG6 S6E2HE6 S6E2H46 S6E2H16
主闪存存储器	256 KB	512 KB
工作闪存存储器	32 KB	32 KB
片上 SRAM	32 KB	64 KB
SRAM0	16 KB	32 KB
SRAM1	8 KB	16 KB
SRAM2	8 KB	16 KB

器件的功能可用性

描述			产品名称			
			S6E2HG6 S6E2HG4	S6E2HE6 S6E2HE4	S6E2H46 S6E2H44	S6E2H16 S6E2H14
CPU			Cortex-M4F、MPU、NVIC 128 个通道			
			频率			
电压范围			160 MHz			
CAN			2.7 V 到 5.5 V			
DMAC			两个通道（最多）	不可用	两个通道（最多）	不可用
DSTC			8 个通道			
多功能串行接口 （UART/CSIO/LIN/I ² C）			256 个通道			
基础定时器 （PWC/重载定时器/PWM/PPG）			8 个通道 （最多）			
多功能定时器	模数触发比较	6 个通道	3 个单元（最多）			
	输入捕获	4 个通道				
	自由运行定时器	3 个通道				
	输出比较	6 个通道				
	波形发生器	3 个通道				
	PPG	3 个通道				
SD 卡接口			1 个单元		不可用	
QPRC			3 个通道 （最多）			
双定时器			1 个单元			
实时时钟			1 个单元			

描述		产品名称			
		S6E2HG6 S6E2HG4	S6E2HE6 S6E2HE4	S6E2H46 S6E2H44	S6E2H16 S6E2H14
计时计数器		1 个单元			
CRC 加速器		支持			
监视定时器		1 个通道 (SW) + 1 个通道 (HW)			
外部中断		16 个引脚 (最多) + NMI × 1			
12 位数模转换器		两个单元 (最多)			
CSV (时钟监控)		支持			
LVD (低电压检测)		两个通道			
内置 CR	高速	4 MHz (±2%)			
	低速	100 kHz (典型值)			
调试功能		SWJ-DP/ETM			
唯一 ID		支持			

注意:

- 由于封装引脚有限，所以并不是器件的所有功能都可以引出到外部引脚。您必须仔细考虑设计中的引脚分配情况。根据所需功能，使用 I/O 端口的重定位功能进行配置。
- 请参考 [13.4.3. 内置 CR 振荡特性](#) 一节，了解内置 CR 的精度。

3. 与封装相关的特性

S6E2H 器件系列适用于 80 引脚、100 引脚和 120/121 引脚的封装。

描述	S6E2H		
	封装字母		
	E0A	F0A	G0A
引脚数量	80	100	120/121
12 位模数转换器	16 个通道 (3 个单元)	24 个通道 (3 个单元)	
I/O 端口	63 个引脚 (最多)	80 个引脚 (最多)	100 个引脚 (最多)
外部总线接口	地址: 19 位 (最多), R/W 数据: 8 位 (最多), CS: 5 (最多), SRAM, NOR 闪存	地址: 25 位 (最多), R/W 数据: 8/16 位 (最多), CS: 9 (最多), SRAM, NOR 闪存, SDRAM	地址: 25 位 (最多), R/W 数据: 8/16 位 (最多), CS: 9 (最多), SRAM, NOR 闪存, NAND 闪存, SDRAM

注意:

- 欲了解详细的器件型号列表和它们之间的特性差异, 请参考 [14. 订购信息](#) 一节的内容。
- 请参考 [15. 封装尺寸](#), 了解详细信息。

4. 产品特性的详细信息

32 位 ARM Cortex-M4F 内核

- 工作频率高达 160 MHz
- 内置 FPU
- 支持 DSP 指令
- 存储器保护单元 (MPU): 提高嵌入式系统的可靠性
- 集成的嵌套向量中断控制器 (NVIC): 一个 NMI (不可屏蔽中断)、128 个外设中断以及 16 个中断优先级
- 24 位系统定时器 (系统节拍定时器): 用于操作系统任务调度的系统定时器

片上存储器

■ 闪存存储器

这些产品系列基于两个独立的集成片上闪存。

- 主闪存存储器
 - 高达 512 KB
 - 内置闪存加速系统, 自带 16 KB 追踪缓冲存储器
 - 可按 72 MHz 的工作频率对闪存执行读操作, 无须等待周期。在高于 72 MHz 的工作频率下, 通过闪存加速系统也可以对闪存执行相应的读操作。
 - 代码安全保护功能
- 工作闪存存储器
 - 32 KB
 - 读周期:
 - 6 个等待周期: 工作频率为 120 MHz 以上, 最高可达 160 MHz
 - 4 个等待周期: 工作频率为 72 MHz 以上, 最高可达 120 MHz
 - 2 个等待周期: 工作频率为 40 MHz 以上, 最高可达 72 MHz
 - 无等待周期: 工作频率最高可达 40 MHz
 - 为代码安全提供保护功能

■ SRAM

本产品系列 SRAM 由三个独立的 SRAM (SRAM0、SRAM1 和 SRAM2) 构成。SRAM0 连接着 Cortex-M4F 内核的 I-code 总线或 D-code 总线。SRAM1 和 SRAM2 则连接着 Cortex-M4F 内核的系统总线。

- SRAM0: 高达 32 KB
- SRAM1: 高达 16 KB
- SRAM2: 高达 16 KB

外部总线接口

- 支持 SRAM、NOR、NAND 闪存和 SDRAM 器件
- 支持多达 9 个片选信号 (CS0 到 CS8, 其中 CS8 仅适用于 SDRAM)
- 8/16 位数据宽度
- 支持高达 25 位的地址
- 支持地址/数据复用

■ 支持外部 RDY 功能

■ 支持加扰功能

- 可以使能/禁用 0x6000_0000 到 0xDFFF_FFFF (以 4 MB 为单位) 的外部存储区加扰功能。
- 能够设置两种加扰密钥
- **注意:** 必须通过专用软件库才能调用该功能。

CAN 接口 (最多支持两个通道)

- 符合 CAN 规范 2.0A/B
- 最高传输速率: 1 Mbps
- 内置 32 个消息缓冲区

多功能串行接口 (最多支持 8 个通道)

■ 64 字节的 FIFO (FIFO 深度取决于通信模式或位长度)。

■ 各通道的操作模式如下:

- UART
- CSIO
- LIN
- I²C
- UART
 - 全双工双缓冲区
 - 选择是否支持奇偶校验
 - 内置专用波特率发生器
 - 外部时钟可作为串行时钟
 - 硬件流控制: 通过 CTS/RTS 自动控制传输 (只针对通道 4)。
 - 支持多种错误检测 (奇偶校验错误、帧错误和溢出错误)

■ CSIO

- 全双工双缓冲区
- 内置专用波特率发生器
- 支持溢出错误检测
- 支持串行片选功能 (仅针对通道 6 和 7)
- 支持高速 SPI 接口 (仅针对通道 4 和 6)
- 5 到 16 位数据长度

■ LIN

- 支持 LIN 协议版本 2.1
- 全双工双缓冲区
- 支持主设备/从设备模式
- LIN 间隔场生成 (长度为 13 到 16 位)
- LIN 间隔符生成 (长度为 1 到 4 位)
- 支持多种错误检测 (奇偶校验错误、帧错误和溢出错误)

■ I²C

- 支持标准模式 (最高速度为 100 kbps) / 高速模式 (最高速度为 400 kbps)
- 支持增强型快速模式 (Fm+) (最高速度为 1000 kbps, 仅适用于通道 3 = 通道 A 和通道 7 = 通道 B)

DMA 控制器（支持 8 个通道）

DMA 控制器为 CPU 提供了一根独立的总线，因此 CPU 和 DMA 控制器可同时运行。

- 8 个独立配置和运行的通道
- 可通过软件或请求内置外设来触发数据传输
- 传输地址范围：32 位（4 GB）
- 传输模式：块传输/突发传输/请求传输
- 传输数据类型：字节/半字/字
- 块传输次数：1 到 16
- 传输次数：1 到 65536

DSTC(描述符系统数据传输控制器)(支持 256 个通道)

DSTC 能高速度传输数据而无需 CPU 干预。DSTC 采用描述符系统，并根据存储器中描述符的特定内容要求直接访问存储器/外设器件和执行数据传输操作。

支持软件激活、硬件激活和链式激活等功能。

模数转换器（最多支持 24 个通道）

[12 位模数转换器]

- 逐次逼近型
- 内置 3 个单元
- 转换时间：0.5 μ s @ 5 V
- 支持优先转换模式（两个优先级）
- 扫描转换模式
- 内置存储转换结果的 FIFO（SCAN 转换模式：16 段；优先级转换模式：4 段）

数模转换器（最多支持 2 个通道）

- R-2R 型
- 12 位分辨率

基础定时器（最多支持 8 个通道）

各通道的操作模式如下：

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器
- 16/32 位 PWC 定时器
- 事件计数器模式（外部时钟模式）

通用 I/O 端口

该系列引脚未用作外部总线或外设功能时，可将其作为通用 I/O 端口使用。此外还支持端口重定位功能。该功能为外设分配 I/O 端口。

- 可上拉控制各个引脚
- 可直接读取引脚电平
- 支持端口重定位功能

- 120 引脚封装提供多达 100 个高速通用 I/O 端口

■ 部分 I/O 引脚耐 5 V 输入电压。
请参考 6. 引脚说明和 7. I/O 电路类型，了解相应引脚的信息。

多功能定时器（最多支持 3 个单元）

多功能定时器由下列各模块构成：

最小分辨率：6.25 ns

- 16 位自由运行定时器 × 3 通道/单元
- 输入捕获 × 4 通道/单元
- 输出比较 × 6 通道/单元
- 模数触发比较 × 6 通道/单元
- 波形发生器 × 3 通道/单元
- 16 位 PPG 定时器 × 3 通道/单元

通过以下功能，可实现电机控制：

- PWM 信号输出功能
- 直流斩波输出功能
- 死区控制功能
- 输入捕获功能
- 模数转换器触发功能
- DTIF（电机紧急停止）中断功能

实时时钟（RTC）

实时时钟可记录年/月/日/时/分/秒或星期（从 00 到 99）。

- 支持指定日期和时间（年/月/日/时/分/秒/星期）中断。此功能还支持单独指定年、月、日、时或分的中断。
- 中断可在经过所设置的时间段后发生或重复发生。
- 可保持时间计数的同时重设时间。
- 自动记录闰年。

正交位置/转数计数器（QPRC）（最多支持 3 个通道）

正交位置/转数计数器（QPRC）用于确定位置编码器的位置。此外，也可以使用加减计数器。

- 可配置三个外部事件输入引脚（AIN、BIN 和 ZIN）的检测边沿。
- 16 位位置计数器
- 16 位转数计数器
- 两个 16 位比较寄存器

双定时器（32/16 位递减计数器）

双定时器由两个 32/16 位可编程递减计数器构成。各通道的操作模式如下：

- 自由运行
- 周期（= 重载）
- 单触发

计时计数器

该计数器将器件从低功耗模式唤醒。可以选择主时钟、副时钟、内置高速 CR 时钟或内置低速 CR 时钟作为时钟源。

间隔定时器：如果使用 32.768 kHz 的副时钟，则支持高达 64 秒的间隔。

外部中断控制器单元

- 外部中断输入引脚：最多 16 个引脚
 - 双边沿（上升沿和下降沿）检测
- 包括一个不可屏蔽中断（NMI）

监视定时器（支持 2 个通道）

达到超时值后，监视定时器可生成中断或引起复位。

本产品系列有两个监视定时器：一个硬件监视定时器，另一个为软件监视定时器。

硬件监视定时器由低速内部 CR 振荡器提供时钟脉冲。因此，硬件监视定时器能在所有低功耗模式下运行，停止模式除外。

CRC（循环冗余校验）加速器

CRC 加速器用于验证数据传输或存储的完整性。

支持 CCITT CRC16 和 IEEE-802.3 CRC32。

- CCITT CRC16 生成多项式：0x1021
- IEEE-802.3 CRC32 生成多项式：0x04C11DB7

SD 卡接口

可以使用符合以下标准的 SD 卡。

- Part 1：物理层规范版本 3.01
- Part E1：SDIO 规范版本 3.00
- Part A2：SD 主机控制器标准规范版本 3.00
- 支持 1 位或 4 位数据总线

时钟和复位[时钟]

5 个动态可选时钟源（两个外部振荡器、两个内部 CR 振荡器和主 PLL）。

- 主时钟：4 MHz 到 48 MHz
- 副时钟：32.768 kHz
- 内部高速 CR 时钟：4 MHz
- 内部低速 CR 时钟：100 kHz
- 主 PLL 时钟

[复位]

- INITX 引脚复位请求
- 上电复位
- 软件复位

- 监视定时器复位
- 低电压检测复位
- 时钟监控复位

时钟监控（CSV）

由内部 CR 振荡器生成的时钟用于监控外部时钟的异常状态。

- 如果检测到外部 OSC 时钟故障（时钟停止），将生成复位。
- 如果检测到外部 OSC 频率不正常，将生成中断或复位。

低电压检测（LVD）

本系列对 VCC 引脚上的电压进行双重监控。当电压低于所设置的数值时，低电压检测将生成中断或复位。

- LVD1：错误报告中断
- LVD2：自动复位操作

低功耗模式

支持 6 种低功耗模式。

- 睡眠模式
- 定时器模式
- RTC 模式
- 停止模式
- 深度待机 RTC 模式（可以选择是否保留 RAM）
- 深度待机停止模式（可以选择是否保留 RAM）

VBAT

在 RTC 操作期间，通过使用独立于 RTC（日历电路）/32 kHz 振荡电路的电源，可降低功耗。此外，也可以使用下面电路：

- RTC
- 32 kHz 振荡电路
- 上电电路
- 备用寄存器：32 个字节
- 端口电路

调试

- 串行线 JTAG 调试端口（SWJ-DP）
- 嵌入式追踪宏单元（ETM）支持全面高效的调试和追踪操作。

唯一 ID

设置了器件的唯一 ID（41 位）。

电源

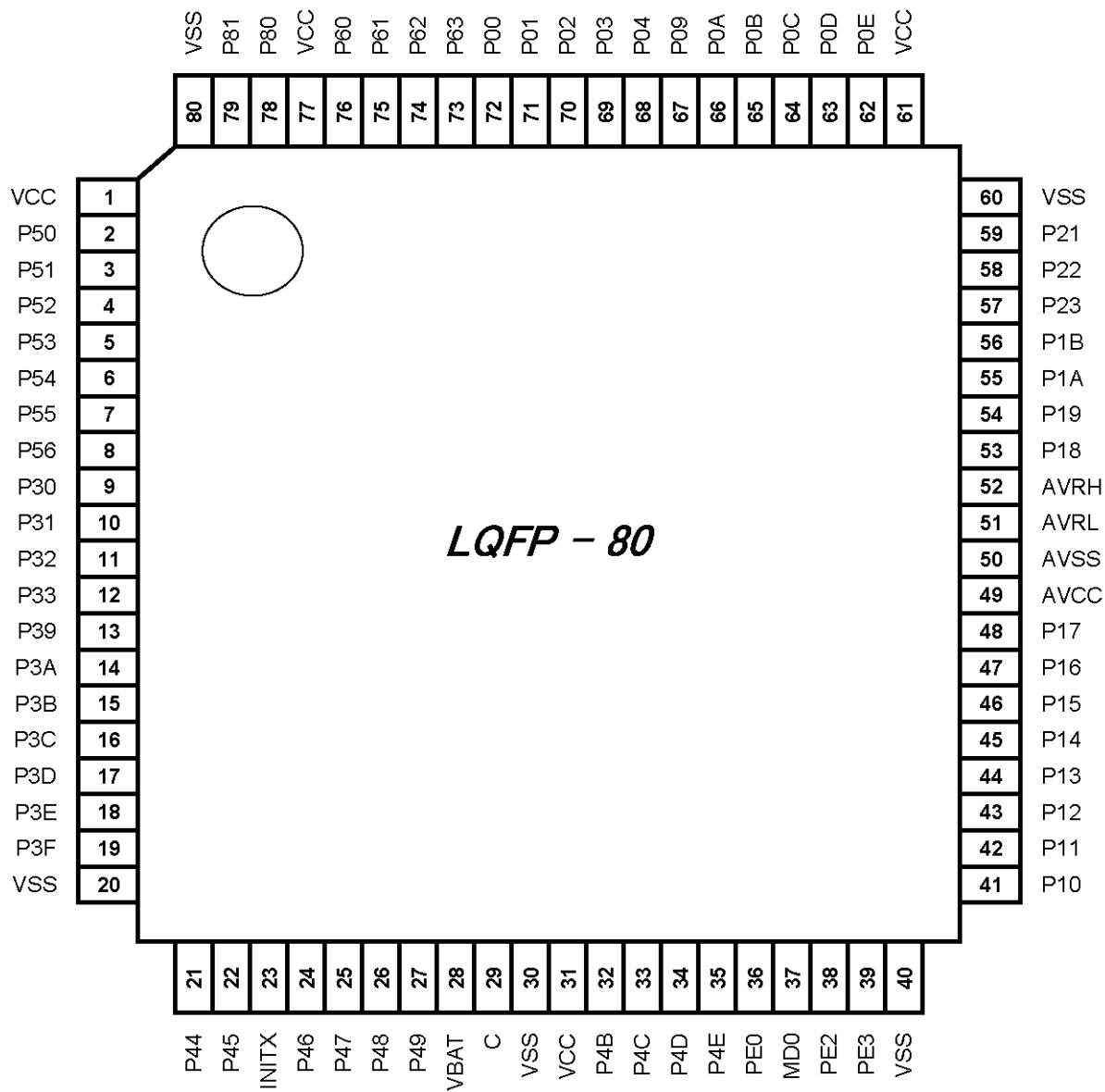
两种电源

- 宽电压范围：VCC = 2.7 V ~ 5.5 V
- VBAT 电源：VBAT = 2.7 V ~ 5.5 V

5. 引脚分配

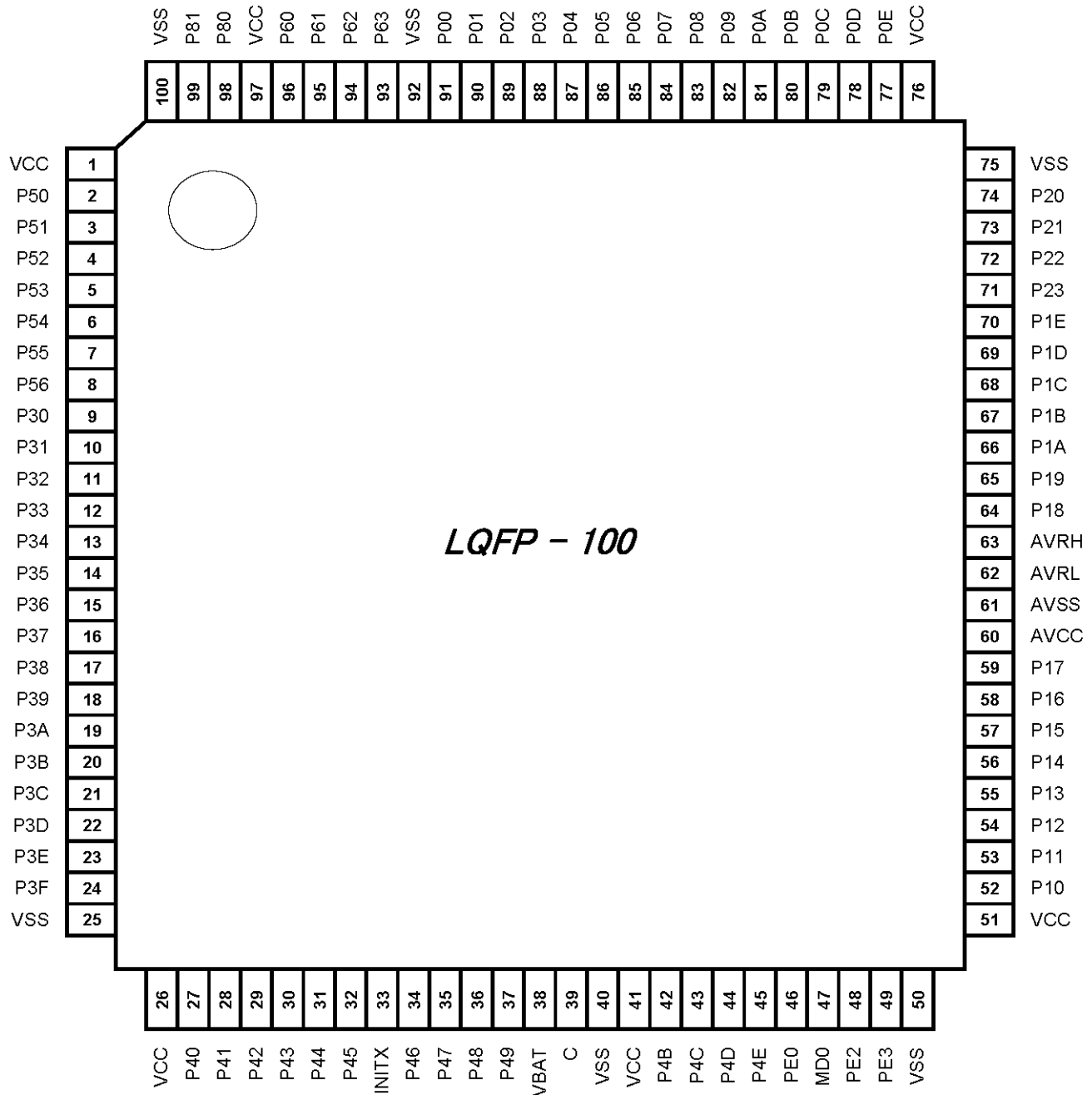
LQH080

(顶视图)



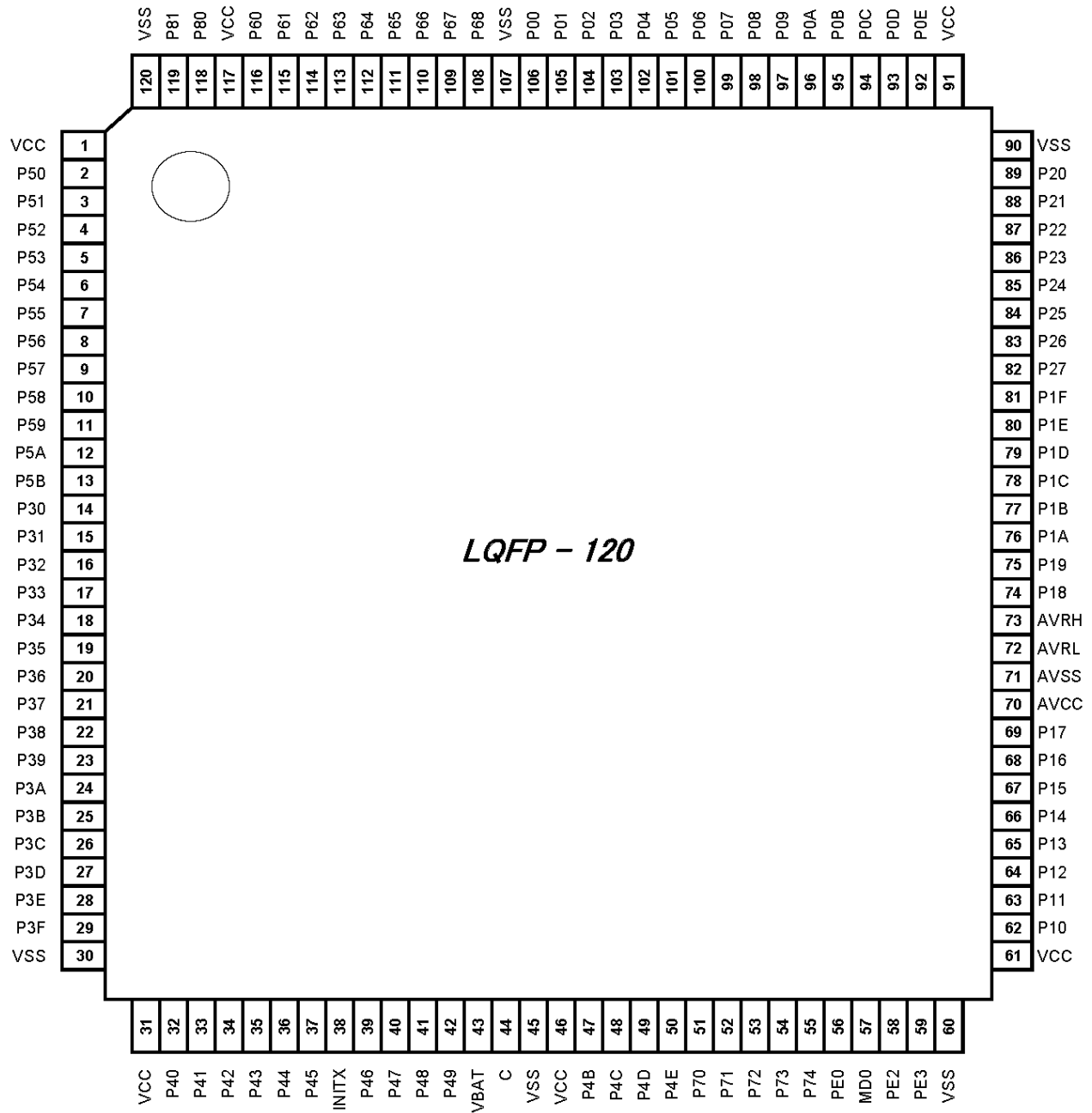
LQI100

(顶视图)



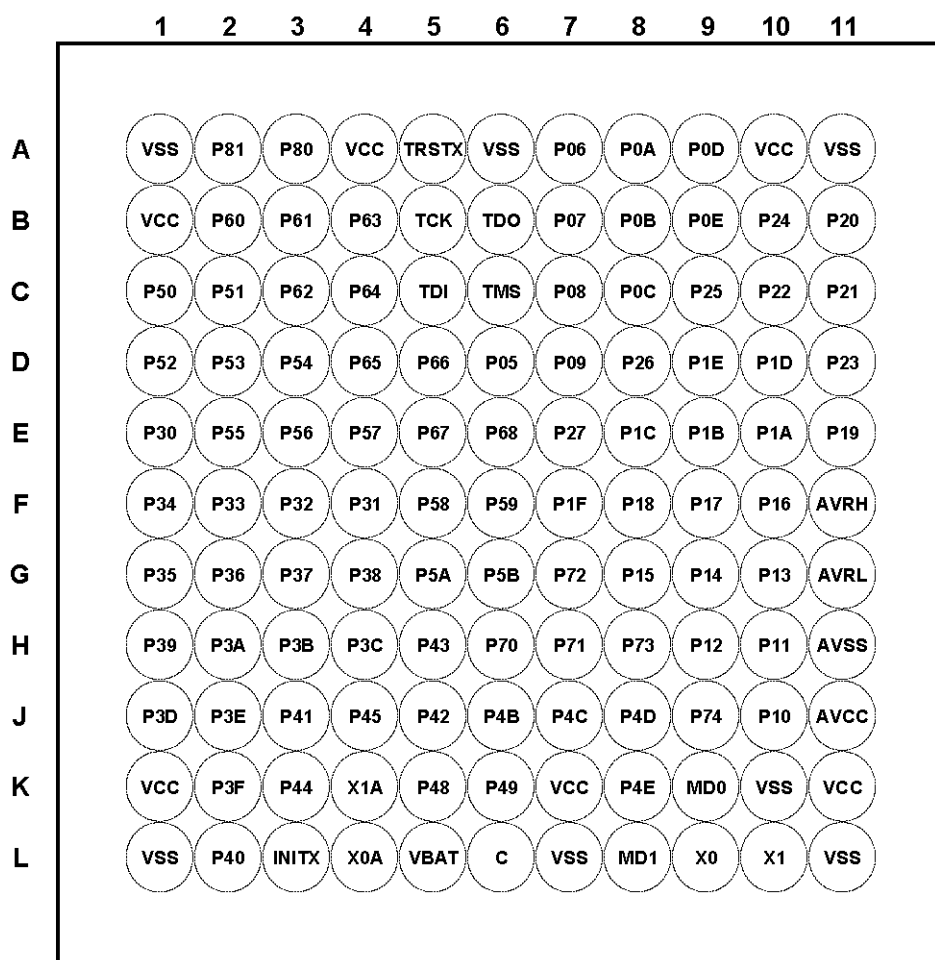
LQM120

(顶视图)



FDI121

(顶视图)



PFBGA-121

6. 引脚说明

6.1 引脚编号

引脚名称（如 XXX_1 和 XXX_2）中下划线（“_”）后面的数字代表重定位端口编号。在这些引脚中，有许多引脚为同一个通道提供了相同的功能。使用扩展端口功能寄存器（EPFR）选择引脚。

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
1	1	1	B1	VCC	-	-
2	2	2	C1	P50	E	K
				CTS4_0		
				AIN0_2		
				RTO10_0 (PPG10_0)		
				INT00_0		
				MADATA00_0		
3	3	3	C2	P51	E	K
				RTS4_0		
				BIN0_2		
				RTO11_0 (PPG10_0)		
				INT01_0		
				MADATA01_0		
4	4	4	D1	P52	E	I
				SCK4_0 (SCL4_0)		
				ZIN0_2		
				RTO12_0 (PPG12_0)		
				MADATA02_0		
5	5	5	D2	P53	E	I
				TIOA1_2		
				SOT4_0 (SDA4_0)		
				RTO13_0 (PPG12_0)		
				MADATA03_0		
6	6	6	D3	P54	E	K
				TIOB1_2		
				SIN4_0		
				RTO14_0 (PPG14_0)		
				INT02_0		
				MADATA04_0		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
7	7	7	E2	P55	E	K
				ADTG_1		
				SIN6_0		
				RTO15_0 (PPG14_0)		
				INT07_2		
				MADATA05_0		
8	8	8	E3	P56	E	K
				SOT6_0 (SDA6_0)		
				DTT11X_0		
				INT08_2		
				MADATA06_0		
9	-	-	E4	P57	E	I
				SCK6_0 (SCL6_0)		
				MADATA07_0		
				RTO20_1		
10	-	-	F5	P58	E	K
				SIN4_2		
				AIN1_0		
				INT04_2		
				MADATA08_0		
				RTO21_1		
11	-	-	F6	P59	E	K
				SOT4_2 (SDA4_2)		
				BIN1_0		
				INT07_1		
				MADATA09_0		
				RTO22_1		
				RX1_1		
12	-	-	G5	P5A	E	I
				SCK4_2 (SCL4_2)		
				ZIN1_0		
				MADATA10_0		
				RTO23_1		
				TX1_1		
13	-	-	G6	P5B	E	I
				CTS4_2		
				MADATA11_0		
				RTO24_1		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
14	9	9	E1	P30	E	Q
				TIOB0_1		
				RTS4_2		
				INT15_2		
				WKUP1		
-	-	-	-	MADATA07_0		
14	-	-	E1	MADATA12_0		
	9	9		RTO25_1		
15	10	10	F4	P31	I	K
				TIOB1_1		
				SIN3_1		
				INT09_2		
-	-	-	-	MADATA08_0		
15	-	-	F4	MADATA13_0		
	10	10		DTTI2X_1		
16	11	11	F3	P32	N	K
				TIOB2_1		
				SOT3_1 (SDA3_1)		
				INT10_1		
-	-	-	-	MADATA09_0		
16	-	-	F3	MADATA14_0		
17	12	12	F2	P33	N	K
				ADTG_6		
				TIOB3_1		
				SCK3_1 (SCL3_1)		
				INT04_0		
-	-	-	-	MADATA10_0		
17	-	-	F2	MADATA15_0		
18	13	-	F1	P34	E	I
				TIOB4_1		
				FRCK0_0		
				TX0_1		
-	-	-	-	MADATA11_0		
18	-	-	F1	MNALE_0		
19	14	-	G1	P35	E	K
				TIOB5_1		
				IC03_0		
				INT08_1		
				RX0_1		
-	-	-	-	MADATA12_0		
19	-	-	G1	MNCLE_0		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
20	15	-	G2	P36	E	K
				SIN5_2		
				IC02_0		
				INT09_1		
-	-	-	-	MADATA13_0	E	K
20	-	-	G2	MNWEX_0		
21	16	-	G3	P37	E	K
				SOT5_2 (SDA5_2)		
				IC01_0		
				INT05_2		
-	-	-	-	MADATA14_0	E	K
21	-	-	G3	MNREX_0		
22	17	-	G4	P38	E	K
				SCK5_2 (SCL5_2)		
				IC00_0		
				INT06_2		
-	-	-	-	MADATA15_0	E	K
23	18	13	H1	P39		
				ADTG_2		
				DTTI0X_0		
				RTCCO_2		
24	19	14	H2	SUBOUT_2	L	I
				MSDCLK_0		
				P3A		
				TIOA0_1		
25	20	15	H3	AIN0_0	G	I
				RTO00_0 (PPG00_0)		
				MSDCKE_0		
				P3B		
26	21	16	H4	TIOA1_1	G	I
				BIN0_0		
				RTO01_0 (PPG00_0)		
				MRASX_0		
27	22	17	J1	P3C	G	I
				TIOA2_1		
				ZIN0_0		
				RTO02_0 (PPG02_0)		
28	23	18	K1	MCASX_0	G	I
				P3D		
				TIOA3_1		
				RTO03_0 (PPG02_0)		
29	24	19	L1	MAD00_0	G	I
				P3E		
				TIOA4_1		
				RTO04_0 (PPG02_0)		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
28	23	18	J2	P3E	G	I
				TIOA4_1		
				RTO04_0 (PPG04_0)		
				MAD01_0		
29	24	19	K2	P3F	G	I
				TIOA5_1		
				RTO05_0 (PPG04_0)		
				MAD02_0		
30	25	20	L1	VSS	-	-
31	26	-	K1	VCC	-	-
32	27	-	L2	P40	G	K
				TIOA0_0		
				RTO10_1 (PPG10_1)		
				INT12_1		
33	28	-	J3	P41	G	K
				TIOA1_0		
				RTO11_1 (PPG10_1)		
				INT13_1		
				AIN2_0		
34	29	-	J5	P42	G	I
				TIOA2_0		
				RTO12_1 (PPG12_1)		
				MSDWEX_0		
				BIN2_0		
35	30	-	H5	P43	G	I
				ADTG_7		
				TIOA3_0		
				RTO13_1 (PPG12_1)		
				MCSX8_0		
				ZIN2_0		
36	31	21	K3	P44	R	J
				TIOA4_0		
				RTO14_1 (PPG14_1)		
				DA0		
37	32	22	J4	P45	R	J
				TIOB0_0		
				RTO15_1 (PPG14_1)		
				DA1		
38	33	23	L3	INITX	B	C

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
39	34	24	L4	P46	P	S
				X0A		
40	35	25	K4	P47	Q	T
				X1A		
41	36	26	K5	P48	O	U
				VREGCTL		
42	37	27	K6	P49	O	U
				VWAKEUP		
43	38	28	L5	VBAT	-	-
44	39	29	L6	C	-	-
45	40	30	L7	VSS	-	-
46	41	31	K7	VCC	-	-
47	42	32	J6	P4B	E	I
				TIOB1_0		
				SCS7_1		
				MAD03_0		
48	43	33	J7	P4C	N	I
				TIOB2_0		
				SCK7_1 (SCL7_1)		
				AIN1_2		
				MAD04_0		
49	44	34	J8	P4D	N	K
				TIOB3_0		
				SOT7_1 (SDA7_1)		
				BIN1_2		
				INT13_2		
				MAD05_0		
50	45	35	K8	P4E	I	Q
				TIOB4_0		
				SIN7_1		
				ZIN1_2		
				FRCK1_1		
				INT11_1		
				WKUP2		
				MAD06_0		
51	-	-	H6	P70	E	I
				TIOA4_2		
				AIN0_1		
				IC13_1		
				TX0_0		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
52	-	-	H7	P71	E	K
				TIOB4_2		
				BIN0_1		
				IC12_1		
				INT15_1		
				RX0_0		
53	-	-	G7	P72	E	K
				TIOA6_0		
				SIN2_0		
				ZIN0_1		
				IC11_1		
				INT14_2		
54	-	-	H8	P73	E	K
				TIOB6_0		
				SOT2_0 (SDA2_0)		
				IC10_1		
				INT03_2		
55	-	-	J9	P74	E	I
				SCK2_0 (SCL2_0)		
				DTT11X_1		
56	46	36	L8	PE0	C	E
57	47	37	K9	MD1		
58	48	38	L9	MD0	J	D
				PE2		
59	49	39	L10	X0	A	A
				PE3		
60	50	40	L11	X1	A	B
61	51	-	K11	VSS	-	-
62	52	41	J10	VCC	-	-
				P10		
				AN00		
				SIN1_1		
				FRCK0_2		
				INT02_1		
				MAD07_0		
63	53	42	H10	RX1_2	F	M
				P11		
				AN01		
				SOT1_1 (SDA1_1)		
				IC00_2		
				MAD08_0		
				TX1_2		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
64	54	43	H9	P12	F	L
				AN02		
				SCK1_1 (SCL1_1)		
				IC01_2		
				RTCCO_1		
				SUBOUT_1		
				MAD09_0		
65	55	44	G10	P13	F	M
				AN03		
				SIN0_1		
				IC02_2		
				INT03_1		
				MAD10_0		
66	56	45	G9	P14	F	L
				AN04		
				SOT0_1 (SDA0_1)		
				IC03_2		
				MAD11_0		
67	57	46	G8	P15	F	L
				AN05		
				SCK0_1 (SCL0_1)		
				MAD12_0		
				ZIN2_2		
				RTO22_0		
68	58	47	F10	P16	F	M
				AN06		
				SIN2_2		
				INT14_1		
				MAD13_0		
				BIN2_2		
				RTO21_0		
69	59	48	F9	P17	F	P
				AN07		
				SOT2_2 (SDA2_2)		
				WKUP3		
				MAD14_0		
				AIN2_2		
				RTO20_0		
70	60	49	J11	AVCC	-	-
71	61	50	H11	AVSS	-	-
72	62	51	G11	AVRL	-	-
73	63	52	F11	AVRH	-	-

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
74	64	53	F8	P18	F	L
				AN08		
				SCK2_2 (SCL2_2)		
				MAD15_0		
				DTTI2X_0		
75	65	54	E11	P19	F	M
				AN09		
				SIN4_1		
				IC00_1		
				INT05_1		
76	66	55	E10	MAD16_0	M	L
				P1A		
				AN10		
				SOT4_1 (SDA4_1)		
				IC01_1		
77	67	56	E9	MAD17_0	M	L
				P1B		
				AN11		
				SCK4_1 (SCL4_1)		
				IC02_1		
78	68	-	E8	MAD18_0	F	L
				P1C		
				AN12		
				CTS4_1		
				IC03_1		
79	69	-	D10	MAD19_0	F	L
				P1D		
				AN13		
				RTS4_1		
				DTTI0X_1		
80	70	-	D9	MAD20_0	F	L
				P1E		
				AN14		
				ADTG_5		
				FRCK0_1		
81	-	-	F7	MAD21_0	E	I
				P1F		
				ADTG_4		
				TIOB6_2		
				RTO05_1 (PPG04_1)		

引脚编号				引脚名称	I/O 电路 类型	引脚状态 类型
LQFP120	LQFP100	LQFP80	FBGA121			
82	-	-	E7	P27	E	K
				TIOA6_2		
				RTO04_1 (PPG04_1)		
				INT02_2		
83	-	-	D8	P26	E	I
				TIOB5_0		
				SCK2_1 (SCL2_1)		
				RTO03_1 (PPG02_1)		
84	-	-	C9	P25	E	I
				TIOA5_0		
				SOT2_1 (SDA2_1)		
				RTO02_1 (PPG02_1)		
				TX1_0		
85	-	-	B10	P24	E	K
				SIN2_1		
				RTO01_1 (PPG00_1)		
				INT01_2		
				RX1_0		
86	71	57	D11	P23	F	L
		AN15				
		TIOA7_1				
		SCK0_0 (SCL0_0)				
		RTO00_1 (PPG00_1)				
		MAD22_0				
87	72	58	C10	P22	F	L
		CROUT_0				
		AN16				
		TIOB7_1				
		SOT0_0 (SDA0_0)				
		ZIN1_1				
		58		RTO23_0		
88	73	59	C11	P21	F	M
		AN17				
		SIN0_0				
		BIN1_1				
		INT06_1				
		MAD23_0				
		59		RTO24_0		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
89	74	-	B11	P20	F	M
				AN18		
				AIN1_1		
				INT05_0		
				MAD24_0		
				RTO25_0		
90	75	60	A11	VSS	-	-
91	76	61	A10	VCC	-	-
92	77	62	B9	P0E	L	I
				TIOB5_2		
				SCS6_1		
				IC13_0		
				S_CLK_0		
				MDQM1_0		
93	78	63	A9	P0D	L	I
				TIOA5_2		
				SCK6_1 (SCL6_1)		
				IC12_0		
				S_CMD_0		
				MDQM0_0		
94	79	64	C8	P0C	L	I
				TIOA6_1		
				SOT6_1 (SDA6_1)		
				IC11_0		
				S_DATA1_0		
				MALE_0		
95	80	65	B8	P0B	L	K
				TIOB6_1		
				SIN6_1		
				IC10_0		
				INT00_1		
				S_DATA0_0		
96	81	66	A8	MCSX0_0	L	K
				P0A		
				SIN1_0		
				FRCK1_0		
				INT12_2		
				S_DATA3_0		
				MCSX1_0		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
97	82	67	D7	P09	M	N
		-		AN19		
		-		TRACED0		
		-		TIOA3_2		
		67		SOT1_0 (SDA1_0)		
		67		S_DATA2_0		
		67		MCSX5_0		
		67		IC23_1		
98	83	-	C7	P08	F	N
		-		AN20		
		-		TRACED1		
		-		TIOB3_2		
		-		SCK1_0 (SCL1_0)		
		-		MCSX4_0		
		-		IC22_1		
99	84	-	B7	P07	M	N
		-		AN21		
		-		TRACED2		
		-		TIOA0_2		
		-		SCK7_0 (SCL7_0)		
		-		MCLKOUT_0		
		-		IC21_1		
100	85	-	A7	P06	F	N
		-		AN22		
		-		TRACED3		
		-		TIOB0_2		
		-		SOT7_0 (SDA7_0)		
		-		MCSX3_0		
		-		IC20_1		
101	86	-	D6	P05	F	O
		-		AN23		
		-		ADTG_0		
		-		TRACECLK		
		-		SIN7_0		
		-		INT01_1		
		-		MCSX2_0		
		-		FRCK2_1		
102	87	68	B6	P04	E	G
		68		TDO		
		68		SWO		
103	88	69	C6	P03	E	G
		69		TMS		
		69		SWDIO		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
104	89	70	C5	P02	E	H
				TDI		
				MCSX6_0		
105	90	71	B5	P01	E	G
				TCK		
				SWCLK		
106	91	72	A5	P00	E	H
				TRSTX		
				MCSX7_0		
107	92	-	A6	VSS	-	-
108	-	-	E6	P68	E	K
				TIOB7_2		
				SCK3_0 (SCL3_0)		
				INT00_2		
109	-	-	E5	P67	E	I
				TIOA7_2		
				SOT3_0 (SDA3_0)		
110	-	-	D5	P66	E	K
				ADTG_8		
				SIN3_0		
				INT11_2		
111	-	-	D4	P65	E	I
				TIOB7_0		
				SCK5_1 (SCL5_1)		
112	-	-	C4	P64	E	K
				TIOA7_0		
				SOT5_1 (SDA5_1)		
				INT10_2		
113	93	73	B4	P63	E	K
				CROUT_1		
	-	-		SIN5_1		
				INT03_0		
				S_CD_0		
	93	73		MWEX_0		
				IC23_0		
				RX0_2		

引脚编号				引脚名称	I/O 电路类型	引脚状态类型
LQFP120	LQFP100	LQFP80	FBGA121			
114	94	74	C3	P62	I	K
				ADTG_3		
				SIN5_0		
				INT04_1		
				S_WP_0		
				MOEX_0		
				IC22_0		
				TX0_2		
115	95	75	B3	P61	E	I
				TIOB2_2		
				SOT5_0 (SDA5_0)		
				RTCCO_0		
				SUBOUT_0		
				ZIN2_1		
116	96	76	B2	P60	I	F
				TIOA2_2		
				SCK5_0 (SCL5_0)		
				NMIX		
				WKUP0		
				MRDY_0		
				FRCK2_0		
117	97	77	A4	VCC	-	-
118	98	78	A3	P80	E *1	I
				BIN2_1		
				IC21_0		
119	99	79	A2	P81	E *1	I
				AIN2_1		
				IC20_0		
120	100	80	A1	VSS	-	-
-	-	-	K10	VSS	-	-

*1: 无上拉控制寄存器

引脚功能列表

引脚名称（如 XXX_1 和 XXX_2）中下划线（“_”）后面的数字代表重定位端口号。在这些引脚中，有许多引脚为同一个通道提供了相同的功能。使用扩展端口功能寄存器（EPFR）选择引脚。

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
ADC	ADTG_0	模数转换器外部触发输入引脚	101	86	-	D6
	ADTG_1		7	7	7	E2
	ADTG_2		23	18	13	H1
	ADTG_3		114	94	74	C3
	ADTG_4		81	-	-	F7
	ADTG_5		80	70	-	D9
	ADTG_6		17	12	12	F2
	ADTG_7		35	30	-	H5
	ADTG_8		110	-	-	D5
	AN00	模数转换器模拟输入引脚。 ANxx 表示模数转换器通道 xx。	62	52	41	J10
	AN01		63	53	42	H10
	AN02		64	54	43	H9
	AN03		65	55	44	G10
	AN04		66	56	45	G9
	AN05		67	57	46	G8
	AN06		68	58	47	F10
	AN07		69	59	48	F9
	AN08		74	64	53	F8
	AN09		75	65	54	E11
	AN10		76	66	55	E10
	AN11		77	67	56	E9
	AN12		78	68	-	E8
	AN13		79	69	-	D10
	AN14		80	70	-	D9
	AN15		86	71	57	D11
	AN16		87	72	58	C10
	AN17		88	73	59	C11
	AN18		89	74	-	B11
	AN19		97	82	67	D7
	AN20		98	83	-	C7
	AN21		99	84	-	B7
	AN22		100	85	-	A7
	AN23		101	86	-	D6
基础定时器 0	TIOA0_0	基础定时器通道 0 TIOA 引脚	32	27	-	L2
	TIOA0_1		24	19	14	H2
	TIOA0_2		99	84	-	B7
	TIOB0_0	基础定时器通道 0 TIOB 引脚	37	32	22	J4
	TIOB0_1		14	9	9	E1
基础定时器 1	TIOB0_2		100	85	-	A7
	TIOA1_0	基础定时器通道 1 TIOA 引脚	33	28	-	J3
	TIOA1_1		25	20	15	H3
	TIOA1_2		5	5	5	D2
	TIOB1_0	基础定时器通道 1 TIOB 引脚	47	42	32	J6
基础定时器 2	TIOB1_1		15	10	10	F4
	TIOB1_2		6	6	6	D3
	TIOA2_0	基础定时器通道 2 TIOA 引脚	34	29	-	J5
	TIOA2_1		26	21	16	H4
	TIOA2_2		116	96	76	B2
基础定时器 2	TIOB2_0	基础定时器通道 2 TIOB 引脚	48	43	33	J7
	TIOB2_1		16	11	11	F3
	TIOB2_2		115	95	75	B3

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
基础定时器 3	TIOA3_0	基础定时器通道 3 TIOA 引脚	35	30	-	H5
	TIOA3_1		27	22	17	J1
	TIOA3_2		97	82	67	D7
	TIOB3_0	基础定时器通道 3 TIOB 引脚	49	44	34	J8
	TIOB3_1		17	12	12	F2
	TIOB3_2		98	83	-	C7
基础定时器 4	TIOA4_0	基础定时器通道 4 TIOA 引脚	36	31	21	K3
	TIOA4_1		28	23	18	J2
	TIOA4_2		51	-	-	H6
	TIOB4_0	基础定时器通道 4 TIOB 引脚	50	45	35	K8
	TIOB4_1		18	13	-	F1
	TIOB4_2		52	-	-	H7
基础定时器 5	TIOA5_0	基础定时器通道 5 TIOA 引脚	84	-	-	C9
	TIOA5_1		29	24	19	K2
	TIOA5_2		93	78	63	A9
	TIOB5_0	基础定时器通道 5 TIOB 引脚	83	-	-	D8
	TIOB5_1		19	14	-	G1
	TIOB5_2		92	77	62	B9
基础定时器 6	TIOA6_0	基础定时器通道 6 TIOA 引脚	53	-	-	G7
	TIOA6_1		94	79	64	C8
	TIOA6_2		82	-	-	E7
	TIOB6_0	基础定时器通道 6 TIOB 引脚	54	-	-	H8
	TIOB6_1		95	80	65	B8
	TIOB6_2		81	-	-	F7
基础定时器 7	TIOA7_0	基础定时器通道 7 TIOA 引脚	112	-	-	C4
	TIOA7_1		86	71	57	D11
	TIOA7_2		109	-	-	E5
	TIOB7_0	基础定时器通道 7 TIOB 引脚	111	-	-	D4
	TIOB7_1		87	72	58	C10
	TIOB7_2		108	-	-	E6
调试器	SWCLK	串行线调试接口时钟输入引脚	105	90	71	B5
	SWDIO	串行线调试接口数据输入/输出引脚	103	88	69	C6
	SWO	串行线浏览器输出引脚	102	87	68	B6
	TCK	JTAG 测试时钟输入引脚	105	90	71	B5
	TDI	JTAG 测试数据输入引脚	104	89	70	C5
	TDO	JTAG 调试数据输出引脚	102	87	68	B6
	TMS	JTAG 测试模式状态输入/输出引脚	103	88	69	C6
	TRACECLK	ETM 的追踪 CLK 输出引脚	101	86	-	D6
	TRACED0	ETM 的追踪数据输出引脚	97	82	-	D7
	TRACED1		98	83	-	C7
	TRACED2		99	84	-	B7
	TRACED3		100	85	-	A7
	TRSTX	JTAG 测试复位输入引脚	106	91	72	A5

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
外部 总线	MAD00_0	外部总线接口地址总线	27	22	17	J1
	MAD01_0		28	23	18	J2
	MAD02_0		29	24	19	K2
	MAD03_0		47	42	32	J6
	MAD04_0		48	43	33	J7
	MAD05_0		49	44	34	J8
	MAD06_0		50	45	35	K8
	MAD07_0		62	52	41	J10
	MAD08_0		63	53	42	H10
	MAD09_0		64	54	43	H9
	MAD10_0		65	55	44	G10
	MAD11_0		66	56	45	G9
	MAD12_0		67	57	46	G8
	MAD13_0		68	58	47	F10
	MAD14_0		69	59	48	F9
	MAD15_0		74	64	53	F8
	MAD16_0		75	65	54	E11
	MAD17_0		76	66	55	E10
	MAD18_0		77	67	56	E9
	MAD19_0		78	68	-	E8
	MAD20_0		79	69	-	D10
	MAD21_0		80	70	-	D9
	MAD22_0		86	71	-	D11
	MAD23_0		88	73	-	C11
	MAD24_0		89	74	-	B11

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
外部 总线	MCSX0_0	外部总线接口片选输出引脚	95	80	65	B8
	MCSX1_0		96	81	66	A8
	MCSX2_0		101	86	-	D6
	MCSX3_0		100	85	-	A7
	MCSX4_0		98	83	-	C7
	MCSX5_0		97	82	67	D7
	MCSX6_0		104	89	70	C5
	MCSX7_0		106	91	72	A5
	MCSX8_0		35	30	-	H5
	MADATA00_0	外部总线接口数据总线 (地址/数据复用总线)	2	2	2	C1
	MADATA01_0		3	3	3	C2
	MADATA02_0		4	4	4	D1
	MADATA03_0		5	5	5	D2
	MADATA04_0		6	6	6	D3
	MADATA05_0		7	7	7	E2
	MADATA06_0		8	8	8	E3
	MADATA07_0		9	9	9	E4
	MADATA08_0		10	10	10	F5
	MADATA09_0		11	11	11	F6
	MADATA10_0		12	12	12	G5
	MADATA11_0		13	13	-	G6
	MADATA12_0		14	14	-	E1
	MADATA13_0		15	15	-	F4
	MADATA14_0		16	16	-	F3
	MADATA15_0		17	17	-	F2
	MDQM0_0	外部总线接口字节屏蔽信号输出引脚	93	78	63	A9
	MDQM1_0		92	77	62	B9
	MALE_0	外部总线接口地址锁存使能输出信号，用于地址/数据复用	94	79	64	C8
	MRDY_0	外部总线接口外部 RDY 输入信号	116	96	76	B2
	MCLKOUT_0	外部总线接口外部时钟输出引脚	99	84	-	B7
	MNALE_0	外部总线接口 ALE 信号，用于控制 NAND 闪存输出引脚	18	-	-	F1
	MNCLE_0	外部总线接口 CLE 信号，用于控制 NAND 闪存输出引脚	19	-	-	G1
	MNREX_0	外部总线接口读使能信号，用于控制 NAND 闪存	21	-	-	G3
	MNWEX_0	外部总线接口写使能信号，用于控制 NAND 闪存	20	-	-	G2
	MOEX_0	SRAM 的外部总线接口读使能信号	114	94	74	C3
	MWEX_0	SRAM 的外部总线接口写使能信号	113	93	73	B4
外部 总线	MSDCLK_0	SDRAM 接口 SDRAM 时钟输出引脚	23	18	-	H1
	MSDCKE_0	SDRAM 接口 SDRAM 时钟使能引脚	24	19	-	H2
	MRASX_0	SDRAM 接口 SDRAM 行地址选通引脚	25	20	-	H3
	MCASX_0	SDRAM 接口 SDRAM 列地址选通引脚	26	21	-	H4
	MSDWEX_0	SDRAM 接口 SDRAM 写使能引脚	34	29	-	J5

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
外部 中断	INT00_0	外部中断请求 00 输入引脚	2	2	2	C1
	INT00_1		95	80	65	B8
	INT00_2		108	-	-	E6
	INT01_0	外部中断请求 01 输入引脚	3	3	3	C2
	INT01_1		101	86	-	D6
	INT01_2		85	-	-	B10
	INT02_0	外部中断请求 02 输入引脚	6	6	6	D3
	INT02_1		62	52	41	J10
	INT02_2		82	-	-	E7
	INT03_0	外部中断请求 03 输入引脚	113	93	73	B4
	INT03_1		65	55	44	G10
	INT03_2		54	-	-	H8
	INT04_0	外部中断请求 04 输入引脚	17	12	12	F2
	INT04_1		114	94	74	C3
	INT04_2		10	-	-	F5
	INT05_0	外部中断请求 05 输入引脚	89	74	-	B11
	INT05_1		75	65	54	E11
	INT05_2		21	16	-	G3
	INT06_1	外部中断请求 06 输入引脚	88	73	59	C11
	INT06_2		22	17	-	G4
	INT07_1	外部中断请求 07 输入引脚	11	-	-	F6
	INT07_2		7	7	7	E2
	INT08_1	外部中断请求 08 输入引脚	19	14	-	G1
	INT08_2		8	8	8	E3
	INT09_1	外部中断请求 09 输入引脚	20	15	-	G2
	INT09_2		15	10	10	F4
	INT10_1	外部中断请求 10 输入引脚	16	11	11	F3
	INT10_2		112	-	-	C4
	INT11_1	外部中断请求 11 输入引脚	50	45	35	K8
	INT11_2		110	-	-	D5
	INT12_1	外部中断请求 12 输入引脚	32	27	-	L2
	INT12_2		96	81	66	A8
	INT13_1	外部中断请求 13 输入引脚	33	28	-	J3
	INT13_2		49	44	34	J8
	INT14_1	外部中断请求 14 输入引脚	68	58	47	F10
	INT14_2		53	-	-	G7
	INT15_1	外部中断请求 15 输入引脚	52	-	-	H7
	INT15_2		14	9	9	E1
外部 中断	NMIX	不可屏蔽中断输入引脚	116	96	76	B2

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
GPIO	P00	通用 I/O 端口 0	106	91	72	A5
	P01		105	90	71	B5
	P02		104	89	70	C5
	P03		103	88	69	C6
	P04		102	87	68	B6
	P05		101	86	-	D6
	P06		100	85	-	A7
	P07		99	84	-	B7
	P08		98	83	-	C7
	P09		97	82	67	D7
	P0A		96	81	66	A8
	P0B		95	80	65	B8
	P0C		94	79	64	C8
	P0D		93	78	63	A9
	P0E		92	77	62	B9
	P10	通用 I/O 端口 1	62	52	41	J10
	P11		63	53	42	H10
	P12		64	54	43	H9
	P13		65	55	44	G10
	P14		66	56	45	G9
	P15		67	57	46	G8
	P16		68	58	47	F10
	P17		69	59	48	F9
	P18		74	64	53	F8
	P19		75	65	54	E11
	P1A		76	66	55	E10
	P1B		77	67	56	E9
	P1C		78	68	-	E8
	P1D		79	69	-	D10
	P1E		80	70	-	D9
	P1F		81	-	-	F7
	P20	通用 I/O 端口 2	89	74	-	B11
	P21		88	73	59	C11
	P22		87	72	58	C10
	P23		86	71	57	D11
	P24		85	-	-	B10
	P25		84	-	-	C9
	P26		83	-	-	D8
	P27		82	-	-	E7

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
GPIO	P30	通用 I/O 端口 3	14	9	9	E1
	P31		15	10	10	F4
	P32		16	11	11	F3
	P33		17	12	12	F2
	P34		18	13	-	F1
	P35		19	14	-	G1
	P36		20	15	-	G2
	P37		21	16	-	G3
	P38		22	17	-	G4
	P39		23	18	13	H1
	P3A		24	19	14	H2
	P3B		25	20	15	H3
	P3C		26	21	16	H4
	P3D		27	22	17	J1
	P3E		28	23	18	J2
	P3F		29	24	19	K2
	P40	通用 I/O 端口 4	32	27	-	L2
	P41		33	28	-	J3
	P42		34	29	-	J5
	P43		35	30	-	H5
	P44		36	31	21	K3
	P45		37	32	22	J4
	P46		39	34	24	L4
	P47		40	35	25	K4
	P48		41	36	26	K5
	P49		42	37	27	K6
	P4B		47	42	32	J6
	P4C		48	43	33	J7
	P4D		49	44	34	J8
	P4E		50	45	35	K8
	P50	通用 I/O 端口 5	2	2	2	C1
	P51		3	3	3	C2
	P52		4	4	4	D1
	P53		5	5	5	D2
	P54		6	6	6	D3
	P55		7	7	7	E2
	P56		8	8	8	E3
	P57		9	-	-	E4
	P58		10	-	-	F5
	P59		11	-	-	F6
	P5A		12	-	-	G5
	P5B		13	-	-	G6

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
GPIO	P60	通用 I/O 端口 6	116	96	76	B2
	P61		115	95	75	B3
	P62		114	94	74	C3
	P63		113	93	73	B4
	P64		112	-	-	C4
	P65		111	-	-	D4
	P66		110	-	-	D5
	P67		109	-	-	E5
	P68		108	-	-	E6
	P70	通用 I/O 端口 7	51	-	-	H6
	P71		52	-	-	H7
	P72		53	-	-	G7
	P73		54	-	-	H8
	P74		55	-	-	J9
	P80	通用 I/O 端口 8	118	98	78	A3
	P81		119	99	79	A2
	PE0	通用 I/O 端口 E	56	46	36	L8
	PE2		58	48	38	L9
	PE3		59	49	39	L10
多功能串行 0	SIN0_0	多功能串行接口通道 0 输入引脚	88	73	59	C11
	SIN0_1		65	55	44	G10
	SOT0_0 (SDA0_0)	多功能串行接口通道 0 输出引脚。 用于 UART/CSIO/LIN 接口(操作模式 0 到 3) 时, 该引脚作为 SOT0 使用; 而用于 I2C (操 作模式 4) 时, 则作为 SDA0 使用。	87	72	58	C10
	SOT0_1 (SDA0_1)		66	56	45	G9
	SCK0_0 (SCL0_0)	多功能串行接口通道 0 时钟 I/O 引脚。 用于 UART/CSIO/LIN 接口(操作模式 0 到 3) 时, 该引脚作为 SCK0 使用; 而用于 I2C (操 作模式 4) 时, 则作为 SCL0 使用。	86	71	57	D11
	SCK0_1 (SCL0_1)		67	57	46	G8
多功能串行 1	SIN1_0	多功能串行接口通道 1 输入引脚	96	81	66	A8
	SIN1_1		62	52	41	J10
	SOT1_0 (SDA1_0)	多功能串行接口通道 1 输出引脚。 用于 UART/CSIO/LIN 接口(操作模式 0 到 3) 时, 该引脚作为 SOT1 使用; 而用于 I2C (操 作模式 4) 时, 则作为 SDA1 使用。	97	82	67	D7
	SOT1_1 (SDA1_1)		63	53	42	H10
	SCK1_0 (SCL1_0)	多功能串行接口通道 1 时钟 I/O 引脚。 该引脚用于 CSIO 接口 (操作模式 2) 时, 它作为 SCK1 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL1 使用。	98	83	-	C7
	SCK1_1 (SCL1_1)		64	54	43	H9

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
多功能串行 2	SIN2_0	多功能串行接口通道 2 输入引脚	53	-	-	G7
	SIN2_1		85	-	-	B10
	SIN2_2		68	58	47	F10
	SOT2_0 (SDA2_0)	多功能串行接口通道 2 输出引脚。	54	-	-	H8
	SOT2_1 (SDA2_1)	用于 UART/CSIO/LIN 接口(操作模式 0 到 3)时, 该引脚作为 SOT2 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA2 使用。	84	-	-	C9
	SOT2_2 (SDA2_2)		69	59	48	F9
	SCK2_0 (SCL2_0)	多功能串行接口通道 2 时钟 I/O 引脚。	55	-	-	J9
	SCK2_1 (SCL2_1)	用于 CSIO 接口 (操作模式 2) 时, 该引脚作为 SCK2 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL2 使用。	83	-	-	D8
	SCK2_2 (SCL2_2)		74	64	53	F8
多功能串行 3	SIN3_0	多功能串行接口通道 3 输入引脚	110	-	-	D5
	SIN3_1		15	10	10	F4
	SOT3_0 (SDA3_0)	多功能串行接口通道 3 输出引脚。	109	-	-	E5
	SOT3_1 (SDA3_1)	用于 UART/CSIO/LIN 接口(操作模式 0 到 3)时, 该引脚作为 SOT3 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA3 使用。	16	11	11	F3
	SCK3_0 (SCL3_0)	多功能串行接口通道 3 时钟 I/O 引脚。	108	-	-	E6
	SCK3_1 (SCL3_1)	用于 CSIO 接口 (操作模式 2) 时, 该引脚作为 SCK3 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL3 使用。	17	12	12	F2
多功能串行 4	SIN4_0	多功能串行接口通道 4 输入引脚	6	6	6	D3
	SIN4_1		75	65	54	E11
	SIN4_2		10	-	-	F5
	SOT4_0 (SDA4_0)	多功能串行接口通道 4 输出引脚。	5	5	5	D2
	SOT4_1 (SDA4_1)	用于 UART/CSIO/LIN 接口(操作模式 0 到 3)时, 该引脚作为 SOT4 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA4 使用。	76	66	55	E10
	SOT4_2 (SDA4_2)		11	-	-	F6
	SCK4_0 (SCL4_0)	多功能串行接口通道 4 时钟 I/O 引脚。	4	4	4	D1
	SCK4_1 (SCL4_1)	用于 CSIO 接口 (操作模式 2) 时, 该引脚作为 SCK4 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL4 使用。	77	67	56	E9
	SCK4_2 (SCL4_2)		12	-	-	G5
	CTS4_0	多功能串行接口通道 4 CTS 输入引脚	2	2	2	C1
	CTS4_1		78	68	-	E8
	CTS4_2		13	-	-	G6
	RTS4_0	多功能串行接口通道 4 RTS 输出引脚	3	3	3	C2
	RTS4_1		79	69	-	D10
	RTS4_2		14	9	9	E1

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
多功能串行 5	SIN5_0	多功能串行接口通道 5 输入引脚	114	94	74	C3
	SIN5_1		113	-	-	B4
	SIN5_2		20	15	-	G2
	SOT5_0 (SDA5_0)	多功能串行接口通道 5 输出引脚。	115	95	75	B3
	SOT5_1 (SDA5_1)	用于 UART/CSIO/LIN 接口(操作模式 0 到 3)时, 该引脚作为 SOT5 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA5 使用。	112	-	-	C4
	SOT5_2 (SDA5_2)		21	16	-	G3
	SCK5_0 (SCL5_0)	多功能串行接口通道 5 时钟 I/O 引脚。	116	96	76	B2
	SCK5_1 (SCL5_1)	用于 CSIO 接口 (操作模式 2) 时, 该引脚作为 SCK5 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL5 使用。	111	-	-	D4
	SCK5_2 (SCL5_2)		22	17	-	G4
多功能串行 6	SIN6_0	多功能串行接口通道 6 输入引脚	7	7	7	E2
	SIN6_1		95	80	65	B8
	SOT6_0 (SDA6_0)	多功能串行接口通道 6 输出引脚。	8	8	8	E3
	SOT6_1 (SDA6_1)	用于 UART/CSIO/LIN 接口(操作模式 0 到 3)时, 该引脚作为 SOT6 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA6 使用。	94	79	64	C8
	SCK6_0 (SCL6_0)	多功能串行接口通道 6 时钟 I/O 引脚。	9	-	-	E4
	SCK6_1 (SCL6_1)	用于 CSIO 接口 (操作模式 2) 时, 该引脚作为 SCK6 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL6 使用。	93	78	63	A9
	SCS6_1	多功能串行接口通道 6 串行片选引脚	92	77	62	B9
多功能串行 7	SIN7_0	多功能串行接口通道 7 输入引脚	101	86	-	D6
	SIN7_1		50	45	35	K8
	SOT7_0 (SDA7_0)	多功能串行接口通道 7 输出引脚。	100	85	-	A7
	SOT7_1 (SDA7_1)	用于 UART/CSIO/LIN 接口(操作模式 0 到 3)时, 该引脚作为 SOT7 使用; 而用于 I2C (操作模式 4) 时, 则作为 SDA7 使用。	49	44	34	J8
	SCK7_0 (SCL7_0)	多功能串行接口通道 7 时钟 I/O 引脚。	99	84	-	B7
	SCK7_1 (SCL7_1)	用于 CSIO 接口 (操作模式 2) 时, 该引脚作为 SCK7 使用; 而用于 I2C (操作模式 4) 时, 则作为 SCL7 使用。	48	43	33	J7
	SCS7_1	多功能串行接口通道 7 串行片选引脚	47	42	32	J6

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
多功能 定时器 0	DTTI0X_0	输入信号，用于控制多功能定时器 0 的波形发生器输出 RTO00 到 RTO05。	23	18	13	H1
	DTTI0X_1		79	69	-	D10
	FRCK0_0	16 位自由运行定时器通道 0 外部时钟输入引脚	18	13	-	F1
	FRCK0_1		80	70	-	D9
	FRCK0_2		62	52	41	J10
	IC00_0	多功能定时器 0 的 16 位输入捕获通道 0 输入引脚。 ICxx 表示通道编号。	22	17	-	G4
	IC00_1		75	65	54	E11
	IC00_2		63	53	42	H10
	IC01_0		21	16	-	G3
	IC01_1		76	66	55	E10
	IC01_2		64	54	43	H9
	IC02_0		20	15	-	G2
	IC02_1		77	67	56	E9
	IC02_2		65	55	44	G10
	IC03_0		19	14	-	G1
	IC03_1		78	68	-	E8
	IC03_2		66	56	45	G9
	RTO00_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG00 使用。	24	19	14	H2
	RTO00_1 (PPG00_1)		86	71	57	D11
	RTO01_0 (PPG01_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG00 使用。	25	20	15	H3
	RTO01_1 (PPG01_1)		85	-	-	B10
	RTO02_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG02 使用。	26	21	16	H4
	RTO02_1 (PPG02_1)		84	-	-	C9
	RTO03_0 (PPG03_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG02 使用。	27	22	17	J1
	RTO03_1 (PPG03_1)		83	-	-	D8
	RTO04_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG04 使用。	28	23	18	J2
	RTO04_1 (PPG04_1)		82	-	-	E7
	RTO05_0 (PPG05_0)	多功能定时器 0 的波形发生器输出引脚。 在 PPG0 输出模式下，该引脚作为 PPG04 使用。	29	24	19	K2
	RTO05_1 (PPG05_1)		81	-	-	F7

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
多功能定时器 1	DTT1X_0	输入信号，用于控制多功能定时器 1 的波形发生器输出 RTO10 到 RTO15。	8	8	8	E3
	DTT1X_1		55	-	-	J9
	FRCK1_0	16 位自由运行定时器通道 1 外部时钟输入引脚	96	81	66	A8
	FRCK1_1		50	45	35	K8
	IC10_0	多功能定时器 1 的 16 位输入捕获通道 1 输入引脚。 ICxx 表示通道编号。	95	80	65	B8
	IC10_1		54	-	-	H8
	IC11_0		94	79	64	C8
	IC11_1		53	-	-	G7
	IC12_0		93	78	63	A9
	IC12_1		52	-	-	H7
	IC13_0		92	77	62	B9
	IC13_1		51	-	-	H6
	RTO10_0 (PPG10_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG10 使用。	2	2	2	C1
	RTO10_1 (PPG10_1)		32	27	-	L2
	RTO11_0 (PPG10_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG10 使用。	3	3	3	C2
	RTO11_1 (PPG10_1)		33	28	-	J3
	RTO12_0 (PPG12_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG12 使用。	4	4	4	D1
	RTO12_1 (PPG12_1)		34	29	-	J5
	RTO13_0 (PPG12_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG12 使用。	5	5	5	D2
	RTO13_1 (PPG12_1)		35	30	-	H5
	RTO14_0 (PPG14_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG14 使用。	6	6	6	D3
	RTO14_1 (PPG14_1)		36	31	21	K3
	RTO15_0 (PPG14_0)	多功能定时器 1 的波形发生器输出引脚。 在 PPG1 输出模式下，该引脚作为 PPG14 使用。	7	7	7	E2
	RTO15_1 (PPG14_1)		37	32	22	J4

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
多功能定时器 2	DTTI2X_0	输入信号，用于控制多功能定时器 2 的波形发生器输出 RTO20 到 RTO25。	74	64	53	F8
	DTTI2X_1		15	10	10	F4
	FRCK2_0	16 位自由运行定时器通道 2 外部时钟输入引脚	116	96	76	B2
	FRCK2_1		101	86	-	D6
	IC20_0	多功能定时器 2 的 16 位输入捕获通道 2 输入引脚。 ICxx 表示通道编号。	119	99	79	A2
	IC20_1		100	85	-	A7
	IC21_0		118	98	78	A3
	IC21_1		99	84	-	B7
	IC22_0		114	94	74	C3
	IC22_1		98	83	-	C7
	IC23_0		113	93	73	B4
	IC23_1		97	82	67	D7
	RTO20_0 (PPG20_0)	多功能定时器 2 的波形发生器输出引脚。 在 PPG2 输出模式下，该引脚作为 PPG10 使用。	69	59	48	F9
	RTO20_1 (PPG20_1)		9	-	-	E4
	RTO21_0 (PPG20_0)	多功能定时器 2 的波形发生器输出引脚。 在 PPG2 输出模式下，该引脚作为 PPG20 使用。	68	58	47	F10
	RTO21_1 (PPG20_1)		10	-	-	F5
	RTO22_0 (PPG22_0)	多功能定时器 2 的波形发生器输出引脚。 在 PPG2 输出模式下，该引脚作为 PPG22 使用。	67	57	46	G8
	RTO22_1 (PPG22_1)		11	-	-	F6
	RTO23_0 (PPG22_0)	多功能定时器 2 的波形发生器输出引脚。 在 PPG2 输出模式下，该引脚作为 PPG22 使用。	87	72	58	C10
	RTO23_1 (PPG22_1)		12	-	-	G5
	RTO24_0 (PPG24_0)	多功能定时器 2 的波形发生器输出引脚。 在 PPG2 输出模式下，该引脚作为 PPG24 使用。	88	73	59	C11
	RTO24_1 (PPG24_1)		13	-	-	G6
	RTO25_0 (PPG24_0)	多功能定时器 2 的波形发生器输出引脚。 在 PPG2 输出模式下，该引脚作为 PPG24 使用。	89	74	-	B11
	RTO25_1 (PPG24_1)		14	9	9	E1
正交位置/ 转数计数器 0	AIN0_0	QPRC 通道 0 AIN 输入引脚	24	19	14	H2
	AIN0_1		51	-	-	H6
	AIN0_2		2	2	2	C1
	BIN0_0	QPRC 通道 0 BIN 输入引脚	25	20	15	H3
	BIN0_1		52	-	-	H7
	BIN0_2		3	3	3	C2
	ZIN0_0	QPRC 通道 0 ZIN 输入引脚	26	21	16	H4
	ZIN0_1		53	-	-	G7
	ZIN0_2		4	4	4	D1

引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
正交位置/ 转数计数器 1	AIN1_0	QPRC 通道 1 AIN 输入引脚	10	-	-	F5
	AIN1_1		89	74	-	B11
	AIN1_2		48	43	33	J7
	BIN1_0	QPRC 通道 1 BIN 输入引脚	11	-	-	F6
	BIN1_1		88	73	-	C11
	BIN1_2		49	44	34	J8
	ZIN1_0	QPRC 通道 1 ZIN 输入引脚	12	-	-	G5
	ZIN1_1		87	72	-	C10
	ZIN1_2		50	45	35	K8
正交位置/ 转数计数器 2	AIN2_0	QPRC 通道 2 AIN 输入引脚	33	28	-	J3
	AIN2_1		119	99	79	A2
	AIN2_2		69	59	48	F9
	BIN2_0	QPRC 通道 2 BIN 输入引脚	34	29	-	J5
	BIN2_1		118	98	78	A3
	BIN2_2		68	58	47	F10
	ZIN2_0	QPRC 通道 2 ZIN 输入引脚	35	30	-	H5
	ZIN2_1		115	95	75	B3
	ZIN2_2		67	57	46	G8
实时时钟	RTCCO_0	实时时钟的 0.5 秒脉冲输出引脚	115	95	75	B3
	RTCCO_1		64	54	43	H9
	RTCCO_2		23	18	13	H1
	SUBOUT_0	副时钟输出引脚	115	95	75	B3
	SUBOUT_1		64	54	43	H9
	SUBOUT_2		23	18	13	H1
低功耗模式	WKUP0	深度待机模式唤醒信号输入引脚 0	116	96	76	B2
	WKUP1	深度待机模式唤醒信号输入引脚 1	14	9	9	E1
	WKUP2	深度待机模式唤醒信号输入引脚 2	50	45	35	K8
	WKUP3	深度待机模式唤醒信号输入引脚 3	69	59	48	F9
DAC	DA0	数模转换器通道 0 模拟输出引脚	36	31	21	K3
	DA1	数模转换器通道 1 模拟输出引脚	37	32	22	J4
VBAT	VREGCTL	板上电压调节器控制引脚	41	36	26	K5
	VWAKEUP	休眠状态唤醒信号输入引脚	42	37	27	K6
SD I/F	S_CLK_0	SD 存储卡接口 SD 存储卡时钟输出引脚	92	77	62	B9
	S_CMD_0	SD 存储卡接口 SD 存储卡命令输出	93	78	63	A9
	S_DATA1_0	SD 存储卡接口 SD 存储卡数据总线	94	79	64	C8
	S_DATA0_0		95	80	65	B8
	S_DATA3_0		96	81	66	A8
	S_DATA2_0		97	82	67	D7
	S_CD_0	SD 存储卡接口 SD 存储卡检测引脚	113	93	73	B4
	S_WP_0	SD 存储卡接口 SD 存储卡写保护	114	94	74	C3

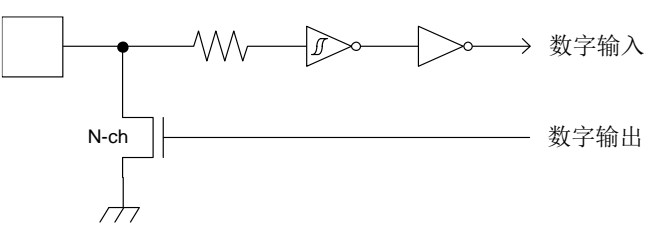
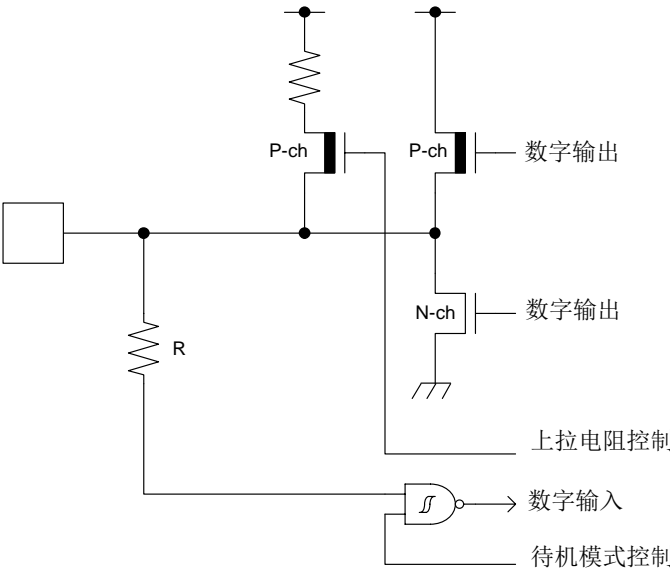
引脚功能	引脚名称	功能说明	引脚编号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
CAN0	TX0_0	CAN 接口通道 0 TX 输出引脚	51	-	-	H6
	TX0_1		18	13	-	F1
	TX0_2		114	94	74	C3
	RX0_0	CAN 接口通道 0 RX 输入引脚	52	-	-	H7
	RX0_1		19	14	-	G1
	RX0_2		113	93	73	B4
CAN1	TX1_0	CAN 接口通道 1 TX 输出引脚	84	-	-	C9
	TX1_1		12	-	-	G5
	TX1_2		63	53	42	H10
	RX1_0	CAN 接口通道 1 RX 输入引脚	85	-	-	B10
	RX1_1		11	-	-	F6
	RX1_2		62	52	41	J10
复位	INITX	外部复位输入引脚。 当 INITX = L 时，复位有效。	38	33	23	L3
模式	MD1	模式 1 引脚。 对闪存进行串行编程期间，MD1 必须为低电平。	56	46	36	L8
	MD0	模式 0 引脚。 正常运行时，MD0 必须为低电平。对闪存存储器进行串行编程时，MD0 必须为高电平。	57	47	37	K9
电源	VCC	电源供电引脚	1	1	1	B1
			31	26	-	K1
			46	41	31	K7
			61	51	-	K11
			91	76	61	A10
			117	97	77	A4
GND	VSS	GND 引脚	107	92	-	A6
			30	25	20	L1
			45	40	30	L7
			60	50	40	L11
			90	75	60	A11
			120	100	80	A1
			-	-	-	K10
			-	-	-	-
时钟	X0	主时钟（振荡）输入引脚	58	48	38	L9
	X1	主时钟（振荡）I/O 引脚	59	49	39	L10
	X0A	副时钟（振荡）输入引脚	39	34	24	L4
	X1A	副时钟（振荡）I/O 引脚	40	35	25	K4
	CROUT_0	内置高速 CR 振荡时钟输出端口	87	72	58	C10
	CROUT_1		113	93	73	B4
ADC 电源	AVCC	模数转换器和数模转换器 模拟电源供电引脚	70	60	49	J11
	AVRL	模数转换器模拟参考电压输入引脚	72	62	51	G11
	AVRH	模数转换器模拟参考电压输入引脚	73	63	52	F11
VBAT 电源	VBAT	VBAT 电源供电引脚。 备用电源（电池等）和系统电源。	43	38	28	L5
ADC GND	AVSS	模数转换器和数模转换器接地引脚	71	61	50	H11
C 引脚	C	内部电源稳定电容引脚	44	39	29	L6

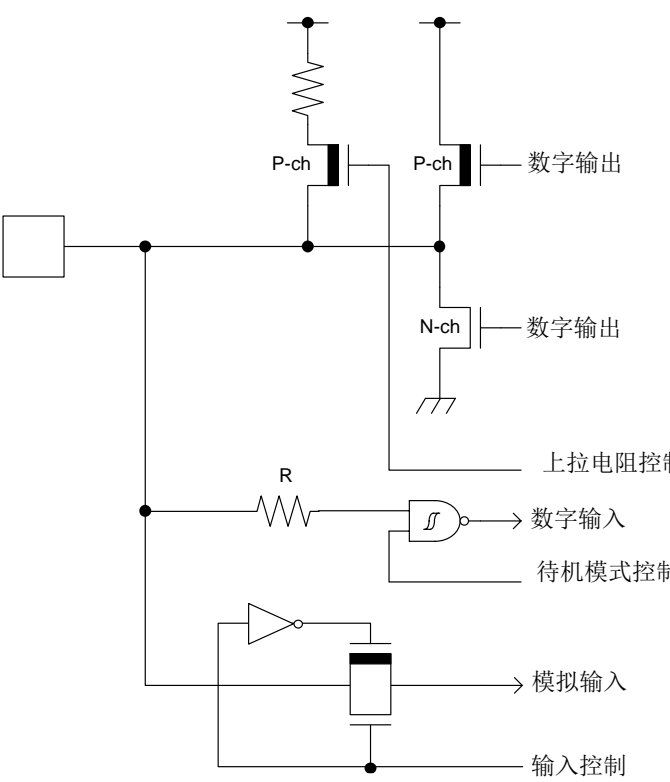
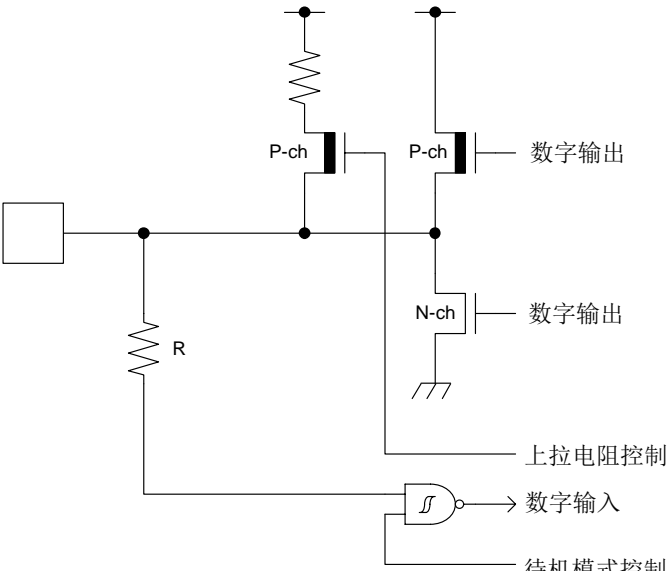
注意：

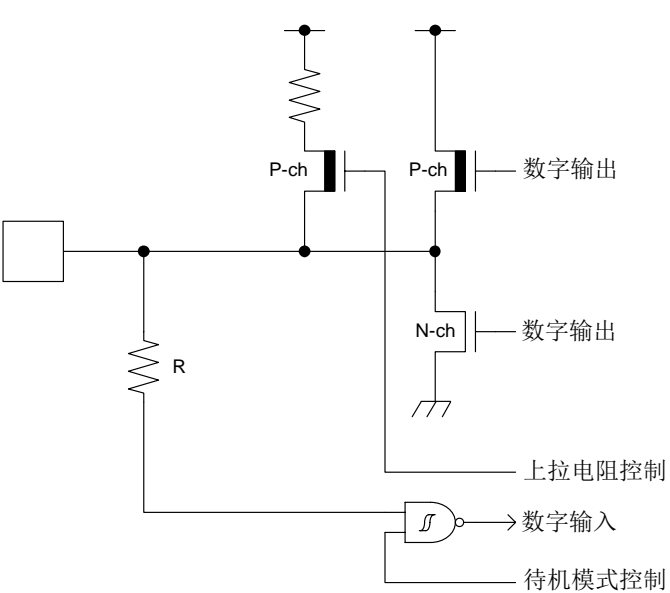
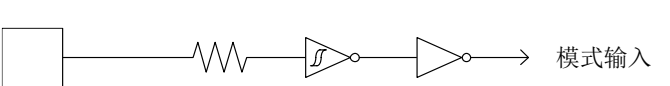
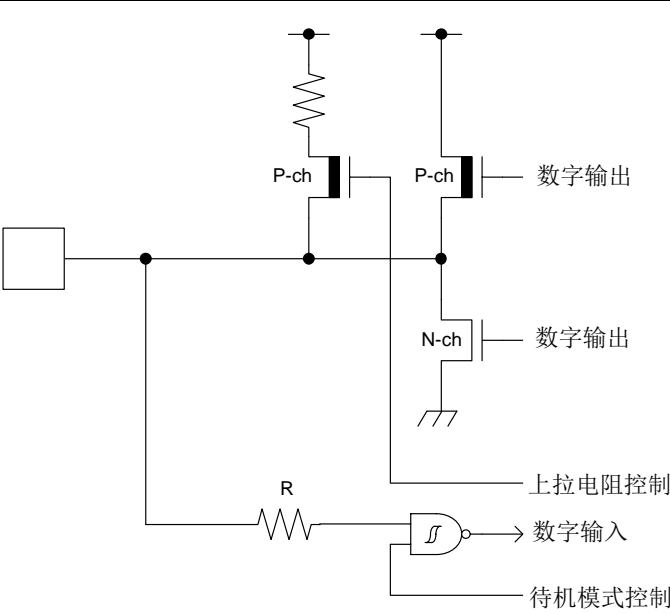
- 该器件包含一个符合 IEEE 1149.1-2001 JTAG 标准的测试访问端口（TAP）时，它并不完全符合该标准的所有要求。该器件的 32 位器件 ID 与其它器件中的 32 位器件 ID 相似，但其功能不一样。可以将 TAP 引脚配置为非 TAP 控制器的其它引脚功能。

7. I/O 电路类型

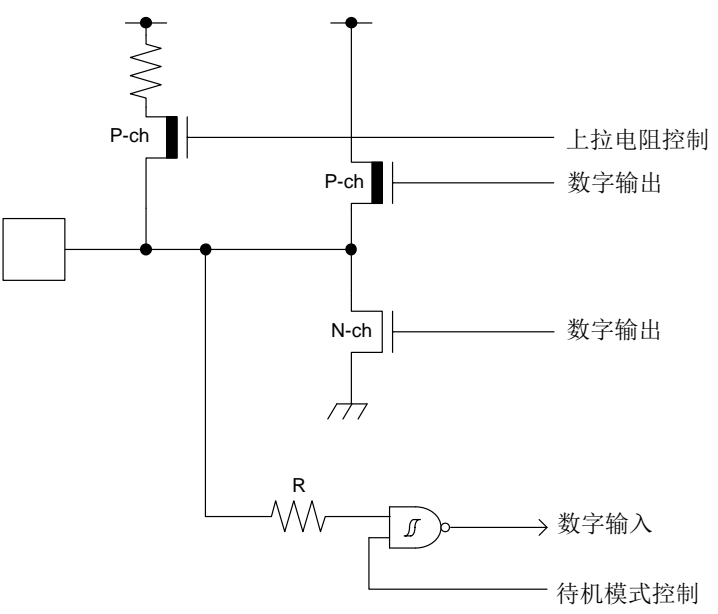
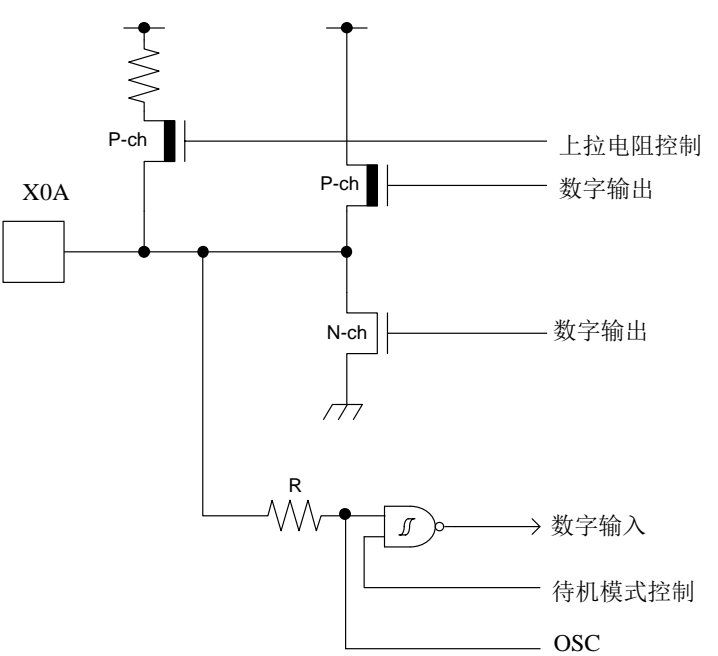
44/162

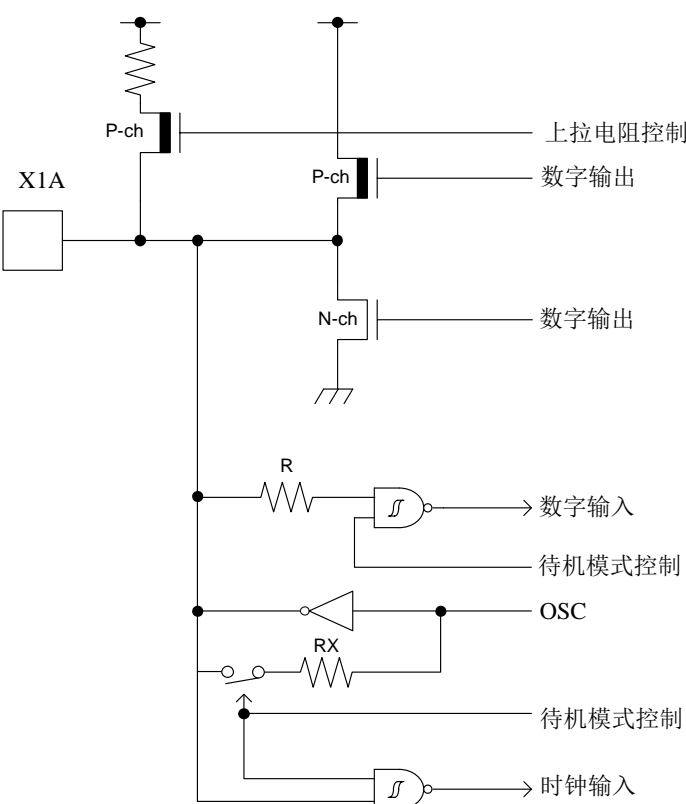
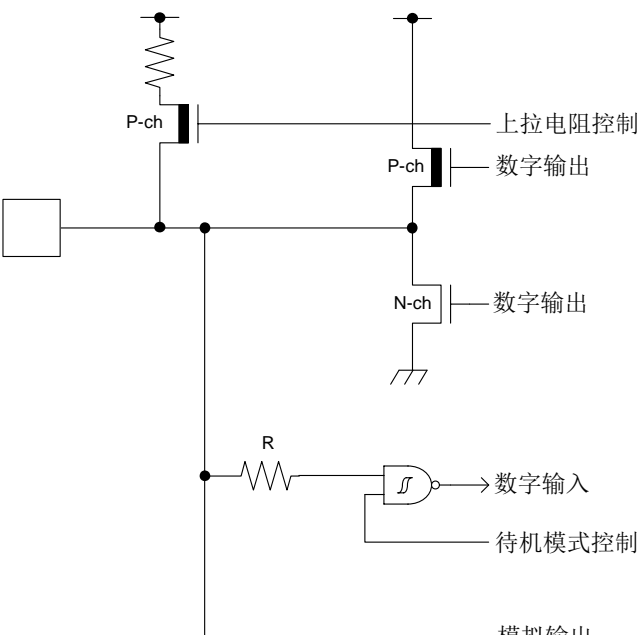
类型	电路	备注
C		<ul style="list-style-type: none"> - 开漏输出 - CMOS 电平迟滞输入
E		<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻: 约为 50 kΩ - $I_{OH} = -4 \text{ mA}$、$I_{OL} = 4 \text{ mA}$ - 该引脚作为 I²C 引脚时, 数字输出 - P 通道晶体管始终被关闭。

类型	电路	备注
F		<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 输入控制 模拟输入 上拉电阻控制 待机模式控制 上拉电阻: 约为 50 kΩ $I_{OH} = -4 \text{ mA}$、$I_{OL} = 4 \text{ mA}$ 当该引脚作为 I²C 引脚时, 数字输出 P 通道晶体管始终被关闭。
G		<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 上拉电阻控制 待机模式控制 上拉电阻: 约为 50 kΩ $I_{OH} = -12 \text{ mA}$、$I_{OL} = 12 \text{ mA}$ 当该引脚作为 I²C 引脚时, 数字输出 P 通道晶体管始终被关闭。

类型	电路	备注
I		<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 可承受 5 V 电压 - 待机模式控制 - 上拉电阻：约为 50 kΩ - $I_{OH} = -4 \text{ mA}$、$I_{OL} = 4 \text{ mA}$ - 可以控制 PZR 寄存器。
J		CMOS 电平迟滞输入
L		<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻：约为 50 kΩ - $I_{OH} = -8 \text{ mA}$、$I_{OL} = 8 \text{ mA}$ - 该引脚作为 I²C 引脚时，数字输出 P 通道晶体管始终被关闭。

48/162

类型	电路	备注
O	 <p>上拉电阻控制</p> <p>数字输出</p> <p>数字输出</p> <p>数字输入</p> <p>待机模式控制</p>	<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 可承受 5 V 电压 上拉电阻控制 待机模式控制 上拉电阻：约为 50 kΩ $I_{OH} = -4 \text{ mA}$、$I_{OL} = 4 \text{ mA}$ 有关 I/O 设置，请参考外设手册中的 VBAT 范围
P	 <p>上拉电阻控制</p> <p>数字输出</p> <p>数字输出</p> <p>数字输入</p> <p>待机模式控制</p> <p>OSC</p>	<ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 上拉电阻控制 待机模式控制 上拉电阻：约为 50 kΩ $I_{OH} = -4 \text{ mA}$、$I_{OL} = 4 \text{ mA}$ 有关 I/O 设置，请参考外设手册中的 VBAT 范围

类型	电路	备注
Q		<p>可以选择副振荡/GPIO 功能</p> <p>选择副振荡时:</p> <ul style="list-style-type: none"> - 振荡反馈电阻: 约为 10 MΩ - 待机模式控制 <p>选择 GPIO 时:</p> <ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 上拉电阻控制 - 待机模式控制 - 上拉电阻: 约为 50 kΩ - $I_{OH} = -4 \text{ mA}$、$I_{OL} = 4 \text{ mA}$ - 有关 I/O 设置, 请参考外设手册中的 VBAT 范围
R		<ul style="list-style-type: none"> - CMOS 电平输出 - CMOS 电平迟滞输入 - 模拟输出 - 上拉电阻控制 - 待机模式控制 - 上拉电阻: 约为 50 kΩ - $I_{OH} = -12 \text{ mA}$、$I_{OL} = 12 \text{ mA}$ (4.5 V 到 5.5 V) - $I_{OH} = -8 \text{ mA}$、$I_{OL} = 8 \text{ mA}$ (2.7 V 到 4.5 V)

8. 处理注意事项

所有半导体器件都存在一定的故障发生概率。发生故障的概率取决于该器件的使用情况（电路条件、环境条件等）。本节介绍了必须考虑的各种注意事项，从而尽可能降低发生故障的概率，并提高赛普拉斯半导体器件的可靠性。

8.1 产品设计注意事项

本节介绍了使用半导体器件进行设计电子设备时需要考虑的各种注意事项。

最大绝对额定值

外界冲击（电压、电流、温度等等）超出某一确定的限制（最大绝对额定值）时，会永久性损坏半导体器件。因此，不要超过这些额定值。

建议的工作条件

建议工作条件为半导体器件的典型工作范围。当器件在这些条件下工作时，所有器件的电气特性均得到保证。

始终在所建议的工作条件下使用半导体器件。如果在这些范围外进行操作，会对可靠性产生不利影响，并会导致器件故障。

对于超出本数据手册中所介绍的使用情况、工作范围或组合条件，赛普拉斯公司不提供任何保证。如果用户考虑使用超出所列条件的应用，请提前联系销售代表。

引脚处理和保护

当处理引脚时（该引脚将半导体器件连接至电源和输入/输出功能），需要遵循以下注意事项。

(1) 防止发生过压和过流条件

在任何引脚上施加的电压或电流超过最大额定值时，会降低器件的品质，在极端情况下还会导致器件永久性被损坏。请在设计阶段尽量避免这种过压或过流条件。

(2) 输出引脚保护

将输出引脚与电源引脚或其他输出引脚短接或者将其连接到大电容时，会引起大电流。如果在这种条件下长期使用器件，则会破坏器件。

因此应该避免发生这种连接。

(3) 未使用输入引脚的处理

将空置的输入引脚置于极高阻抗电平会影响到运行的稳定性。应该在这些引脚和电源引脚或接地引脚之间连接一个大小合适的电阻。

栓锁

半导体器件由基板上的 P 型和 N 型区域构成。当施加异常高的电压时，可能会形成内部寄生 PNP 结（称为晶闸管结构），这样会在电源引脚上连续流过超过几百毫安级的大电流。该状况被称为栓锁。

警告：栓锁事件不仅降低半导体器件的可靠性，而且还引起由高热量、烟雾或燃烧造成的伤害或损坏。要想防止发生栓锁，请遵循以下原则：

- (1) 确保引脚上的电压不会超过最大绝对额定值。也应限制异常噪声、浪涌电平等。
- (2) 确保在上电序列期间不会出现异常电流。

遵循安全性规定和标准

世界上大多数国家都建立了有关安全性、电磁干扰保护等标准和规定。客户需要遵循这些针对产品设计的规定和标准。

可靠性设计

所有半导体器件都有一定的故障发生概率。您必须在自己的设施和设备中采取安全设计措施，如冗余、防火、过流保护和其他异常作业条件，以防止由于此类故障造成的伤害、损坏或损失。

器件使用的注意事项

赛普拉斯半导体器件适用于各种标准应用（电脑、办公自动化以及其他办公设备、工业、通信、测量设备、个人或家用设备等）。

警告：如果客户考虑在特殊应用中使用我们的产品，即故障或异常操作可能会直接影响到生命安全，造成人身伤害或财产损失的应用，或者要求极高可靠性的应用（如航空系统、原子能控制、海底中继器、车辆运行控制、生命保障医疗设备等），务必预先联系销售代表。如果未经批准，本公司将不对这种情况所造成的损害负责。

8.2 封装安装注意事项

封装安装可能包括插件和表面安装两种类型。在这两种情况下，为了保证对应焊接的耐热能力，请遵照赛普拉斯的推荐条件进行安装。有关安装条件的更多信息，请联系您的销售代表。

插件类型

通过以下两种方法可以将插件类型封装安装在印刷电路板上：电路板上直接焊接或使用插座安装。

电路板上直接安装通常需要将引脚插入到电路板上的过孔，然后采用液体焊料的波峰焊方法。在这种方法中，焊接过程通常会使引脚承受超过存储温度绝对额定值的热冲击。安装程序应该符合赛普拉斯所建议的安装条件。

如果采用插座安装，长期使用后插座触点和 IC 引脚的表面处理差异会使两者贴接质量降低。因此，建议在安装之前验证插座触点和 IC 引脚的表面处理情况。

表面安装类型

与插件类型封装相比，表面安装封装的引脚更长且更薄，因此它们更容易变形或弯曲。使用更多引脚和间距更小的封装时，更易损坏，增加引脚变形造成的连接开路，或由焊料接导致的短路。

您必须使用合适的安装技术。赛普拉斯建议使用回流焊，并为每个产品的各个焊接条件制定了规范。用户应该根据赛普拉斯所建议的条件级别来安装封装。

无铅封装

警告：当使用 Sn-Pb 共晶焊料来焊接带 Sn-Ag-Cu 球形焊盘的球栅阵列（FBGA）封装时，在某些使用条件下芯片的结强度可能会降低。

半导体器件存储

由于塑料芯片封装是由塑料树脂构成的，因此接触自然环境时它会吸收潮气。在焊接过程中，如果受潮封装被加热，则表面会剥落，从而使防潮性能降低并使封装破裂。要想防止这种情况，请遵循以下原则：

- (1) 避免外界温度剧烈变化，否则潮气会在产品内冷凝成水珠。将产品存储在温度变化小的环境内。
- (2) 使用干燥箱存储产品。应将产品存储在相对湿度低于 70%、温度为 5°C 到 30°C 的环境内。
打开干燥封装时，建议环境相对湿度为 40%到 70%。
- (3) 需要时，赛普拉斯将半导体器件包装在带有硅胶干燥剂的高防潮铝膜真空包装袋内。应将器件密封在这些铝膜真空包装袋内来储存它们。
- (4) 避免将这些封装存储在存在腐蚀性气体或含高粉尘的环境中。

烘烤

已经吸潮的包装可通过烘烤（热烘）除湿。请遵照赛普拉斯所建议的条件进行烘烤。

条件：125°C/24 h

静电

由于静电非常容易对半导体器件产生不利影响，所以必须遵照以下注意事项：

- (1) 将工作环境的相对湿度保持为 40%到 70%。也可能需要离子产生设备以去除静电。
- (2) 通过电气方式将所有输料机、焊枪、焊铁和外围设备接地。
- (3) 使用通过高电阻（1 MΩ 左右）接地的手环或戒指来消除人体静电。
建议穿导电的衣服和鞋，使用导电地垫和其他方法，尽量减少静电引起的冲击能量。
- (4) 将所有夹具和仪器接地，或采用其它防静电措施。
- (5) 避免使用聚苯乙烯泡沫塑料或其他易带静电的材料存储电路板组件成品。

8.3 使用环境注意事项

如前面章节所述，半导体器件的可靠性取决于环境温度和其他条件。

为使性能可靠，请遵守以下原则：

(1) 湿度

在高湿环境下长期使用会导致器件间的电流泄漏，印刷电路板之间同理。如能预知应用于高湿环境，则需要考虑额外的防潮措施。

(2) 静电放电

当高压带电物体靠近半导体器件时，放电会引起运行异常。在这种情况下，请使用防静电措施或工艺来防止放电发生。

(3) 腐蚀性气体、粉尘或油

暴露在腐蚀性气体、粉尘或油等环境时可能会引起化学反应，从而对该器件产生不利影响。如果在这些条件下使用器件，则需要考虑某些措施来阻止接触发生或保护器件。

(4) 辐射，包括宇宙射线

大多数的器件设计并没考虑到应对辐射或宇宙辐线的措施。因此，用户最好采取适当的保护措施。

(5) 烟雾、燃烧

警告：塑封器件易燃，因此需要远离易燃物质。如果设备冒烟或燃烧，存在释放有毒气体的危险。

如果客户考虑在其他特殊环境条件下使用赛普拉斯产品，请联系销售代表。

9. 器件注意事项

电源引脚

产品带多个 VCC 和 VSS 引脚时，同电位上的相应引脚在器件内已经互连，以防止发生栓锁等故障。但是所有这些引脚应当通过外部连接到电源或地上，以降低电磁辐射水平、防止地电位上升导致的选通信号异常操作，并符合额定的输出总电流。

另外，请确保连接电源时，器件的 POWER 引脚和 GND 引脚为低阻抗。另外建议在靠近器件的范围内将约 0.1 μF 的旁路陶瓷电容放置在 VCC 和 VSS 之间。

电源引脚

当电源电压快速波动时，即使该波动处于 VCC 电源电压的保证工作范围，也可能发生故障。作为规则，电压得稳定，必须抑制工频（50 Hz/60 Hz）的 VCC 波纹（峰-峰值）波动不超过 VCC 标称值的 10%，并且瞬间波动斜率不能超过 0.1 V/ μs ，尤其注意开关电源时。

晶体振荡器电路

X0/X1 和 X0A/X1A 引脚附近的噪声可能导致器件故障。设计印刷电路板时应使 X0/X1、X0A/X1A 引脚、晶振（或陶振）以及对地旁路电容尽可能靠近器件。

强烈建议在设计 PCB 时，使地平面环绕 X0/X1 和 X0A/X1A 引脚，以确保运行稳定。

通过安装板来评估晶体振荡质量。

副晶体振荡器

该器件系列的副振荡电路为保持低功耗而采用低增益电路。

为了使振荡稳定，晶体振荡器需要满足以下条件：

□ 表面安装类型

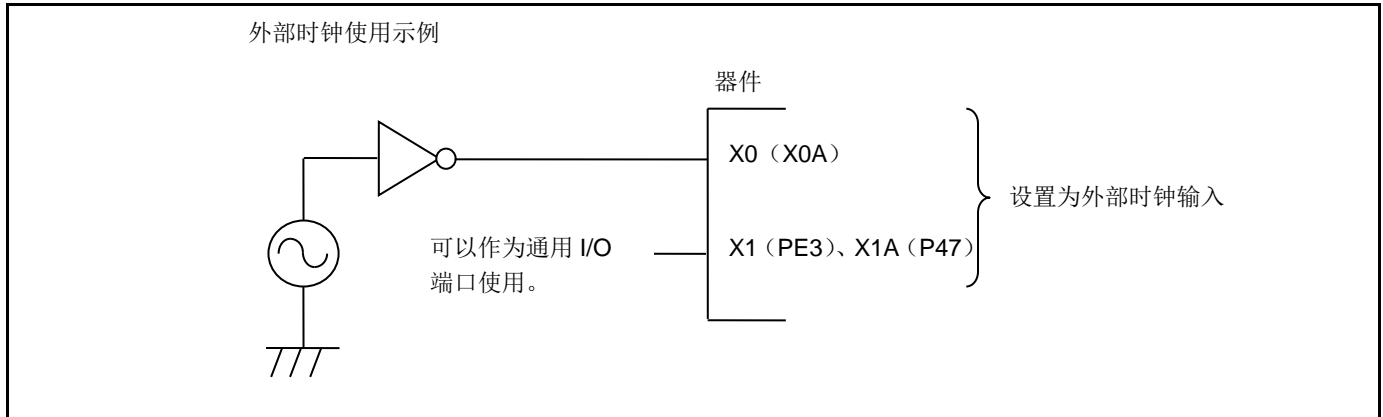
.....大小： 3.2 mm × 1.5 mm 以上
.....负载电容： 约为 6 pF 到 7 pF

□ 直插型

.....负载电容： 约为 6 pF 到 7 pF

外部时钟的使用

将主时钟作为外部时钟的输入时，需要将 X0/X1 设置为外部时钟输入模式，并从 X0 输入。X1（PE3）可以作为通用 I/O 端口使用。同样，将外部时钟用作副时钟的输入时，需要将 X0A/X1A 设置为外部时钟输入模式，并从 X0A 输入。X1A（P47）可以作为通用 I/O 端口使用。



多功能串行引脚作为 I²C 引脚时的注意事项

将多功能引脚作为 I²C 引脚时，数字输出的 P 通道晶体管始终被关闭。

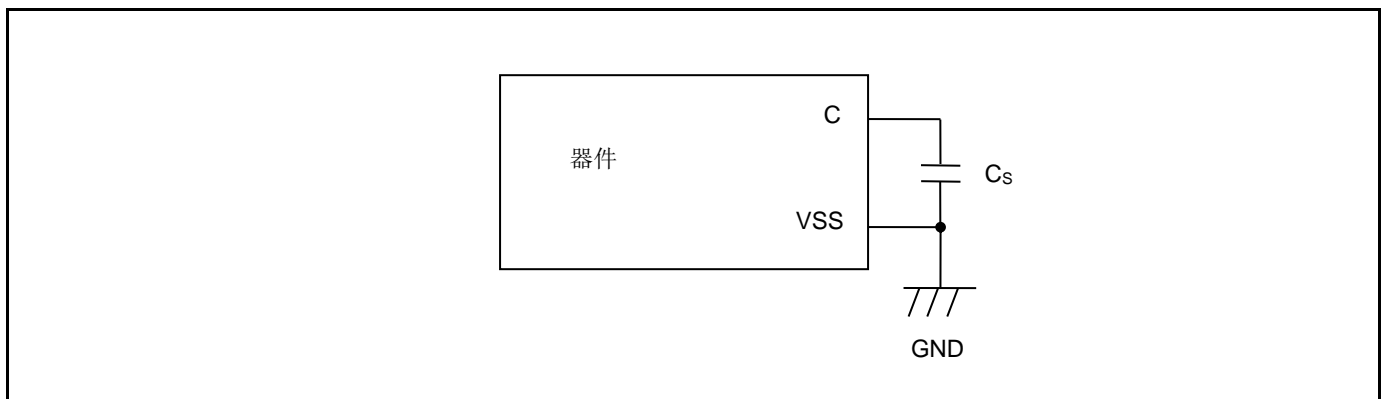
然而，类似于其他引脚，I²C 引脚也要符合电气限制规则，并且在断电时，避免将这些引脚连接到外部 I²C 总线系统。

C 引脚

该器件系列内置电压调节器。请确保在 C 引脚和 GND 引脚之间为内部电压调节器连接一个平滑电容（C_s）。请使用陶瓷电容或频率特性相似的平滑电容。

然而，某些叠层陶瓷电容会随温度波动引起较大的容值变化（F 特性和 Y5V 特性）。请评估电容的温度特性，以选择满足运行条件的电容。

该器件系列建议使用 4.7 μF 大小的平滑电容。



模式引脚（MD0）

将 MD 引脚（MD0）直接连接到 VCC 或 VSS 引脚上。设计印刷电路板时，请确保上拉/下拉电阻保持低阻抗，模式引脚和 VCC/VSS 引脚之间的距离应尽可能小，并且在将引脚上拉/下拉时（如切换引脚电平和重新编写闪存数据），连接阻抗也要低。这是为了避免器件因有噪声而错误切换到测试模式。

上电时的注意事项

请按照以下顺序或同时打开/关闭电源。

如果未使用模数转换器和数模转换器，请将 AVCC 连接到 VCC 上，将 AVSS 连接到 VSS。

上电： VBAT → VCC
VCC → AVCC → AVRH
断电： VCC → VBAT
AVRH → AVCC → VCC

串行通信

实现串行通信时，噪声或其他问题可能导致接收到错误数据。

因此，在设计一个印刷电路板时应尽可能降低噪声。

考虑到因噪声而收到错误数据的情况，请执行错误检测（如在数据结尾处添加校验和）。如果检测到某种错误，应重新传输数据。

不同存储器大小产品间的特性差异，以及闪存产品和 MASK 产品之间的特性差异

由于芯片布局和存储器结构不一样，因此存储器大小不同的产品间以及闪存产品和 MASK 产品之间的电气特性（包括功耗、ESD、栓锁、噪声和振荡特性）可能存在差异。

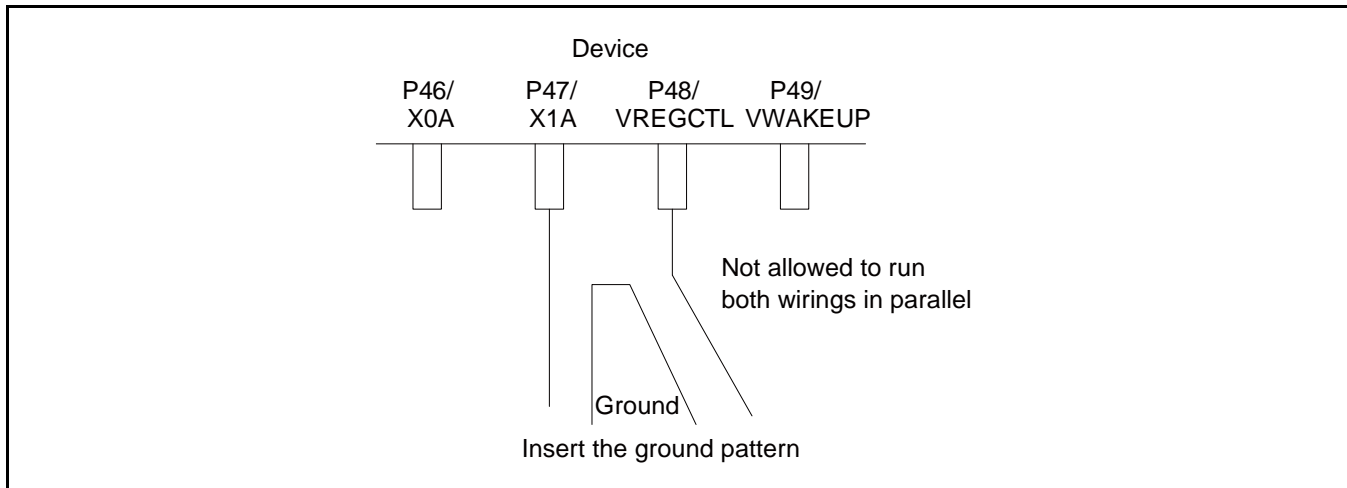
如果您切换到同一系列中的其他产品，则必须评估电气特性。

可承受 5 V 输入 I/O 的上拉功能

当使用可承受 5 V 输入 I/O 的上拉功能时，请勿输入超过 VCC 电压的信号。

在电路板上使相邻连线互接

如果晶体振荡器电路 X1A 的连线与 P48/VREGCTL 的连线邻接且并行运行，那么振荡器可能会错误计数。这是因为 P48/VREGCTL 的更改使 X1A 产生噪声。在两个连线之间保持尽可能大的距离，并插入一整块地以避免这种情况。



使用调试引脚时的注意事项

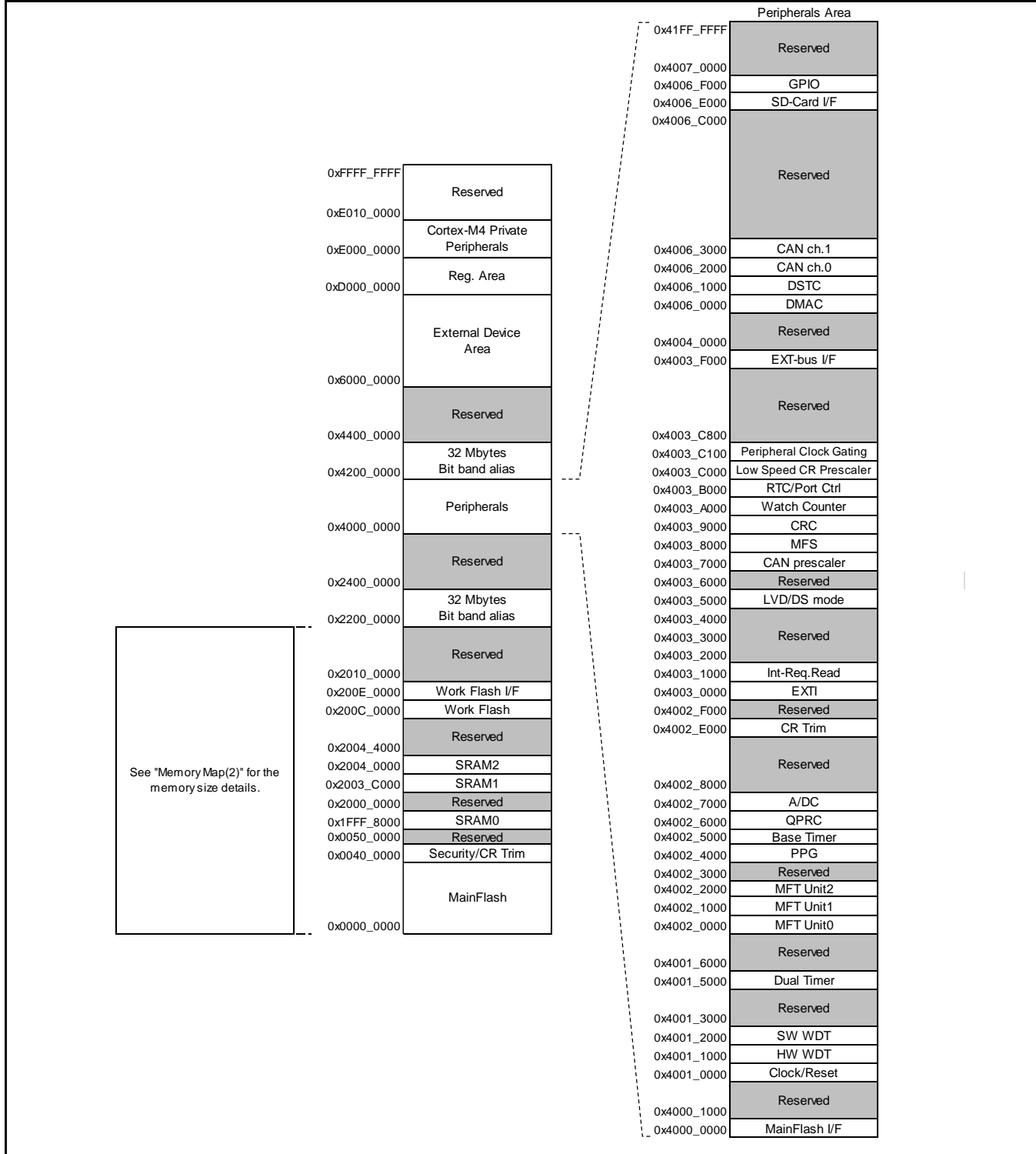
将调试引脚（TDO/TMS/TDI/TCK/TRSTX 或 SWO/SWDIO/SWCLK）设置为 GPIO 或其他外设功能时，只能将它们设置为输出引脚，而不是输入引脚。

10. 存储器大小

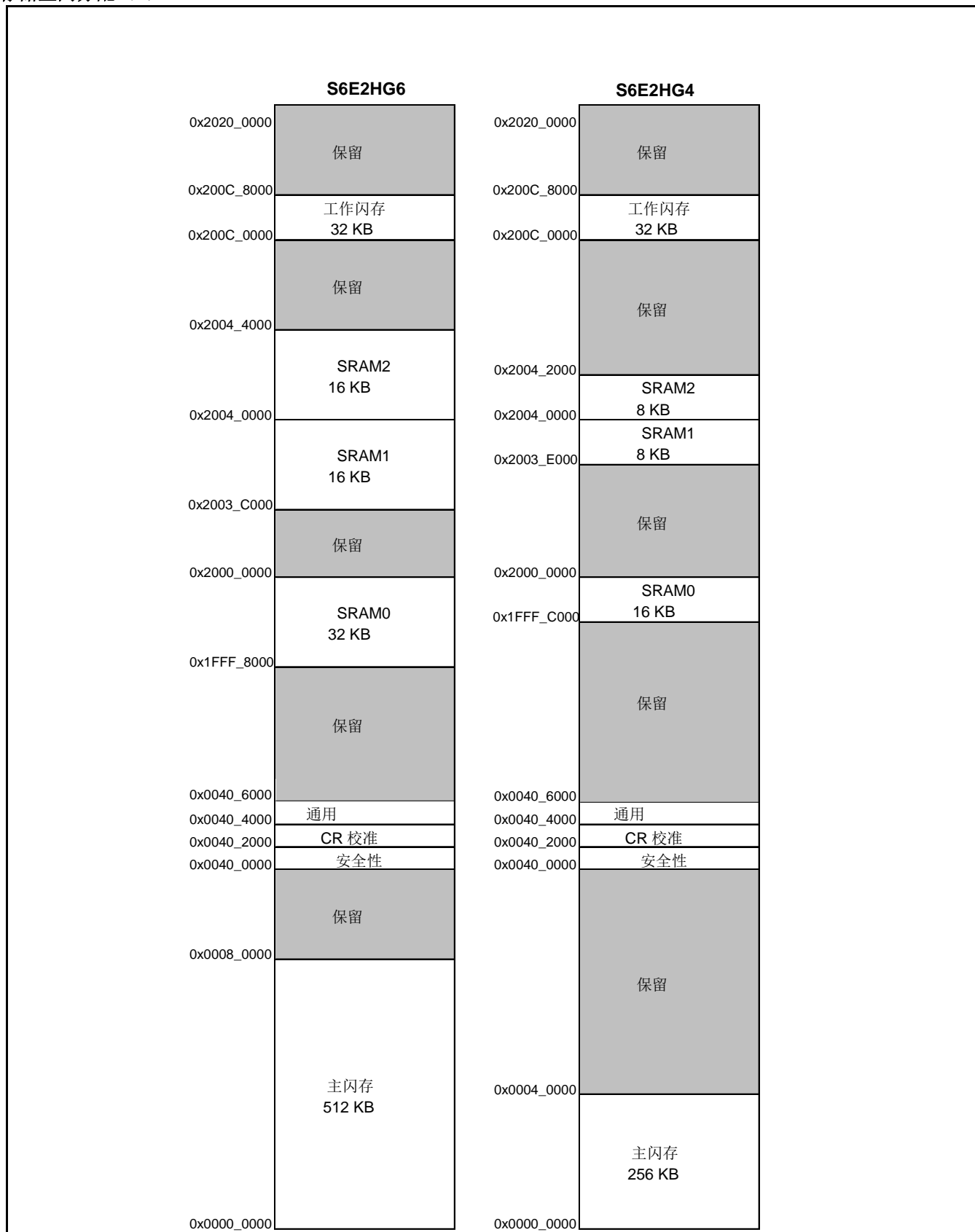
请参考“2. 产品系列”章节以确定存储器大小。

11. 存储空间分配

存储空间分配 (1)



存储空间分配 (2)



外设地址分配

起始地址	结束地址	总线	外设
0x4000_0000	0x4000_0FFF	AHB	主闪存 I/F 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF	APB0	时钟/复位控制
0x4001_1000	0x4001_1FFF		硬件监视定时器
0x4001_2000	0x4001_2FFF		软件监视定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		双定时器
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF		多功能定时器单元 0
0x4002_1000	0x4002_1FFF		多功能定时器单元 1
0x4002_2000	0x4002_2FFF	APB1	多功能定时器单元 2
0x4002_3000	0x4003_FFFF		保留
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		基础定时器
0x4002_6000	0x4002_6FFF		正交位置/转数计数器
0x4002_7000	0x4002_7FFF		模数转换器
0x4002_8000	0x4002_DFFF		保留
0x4002_E000	0x4002_EFFF		内部 CR 校准
0x4002_F000	0x4002_FFFF		保留
0x4003_0000	0x4003_0FFF		外部中断控制器
0x4003_1000	0x4003_1FFF		中断请求批量读取功能
0x4003_2000	0x4003_4FFF		保留
0x4003_3000	0x4003_3FFF	APB2	数模转换器
0x4003_4000	0x4003_4FFF		保留
0x4003_5000	0x4003_57FF		低电压检测
0x4003_5800	0x4003_5FFF		深度待机模式控制器
0x4003_6000	0x4003_6FFF		保留
0x4003_7000	0x4003_7FFF		CAN 预分频器
0x4003_8000	0x4003_8FFF		多功能串行接口
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		计时计数器
0x4003_B000	0x4003_BFFF		RTC/端口控制
0x4003_C000	0x4003_C0FF		低速 CR 预分频器
0x4003_C100	0x4003_C7FF		外设时钟门控
0x4003_C800	0x4003_EFFF		保留
0x4003_F000	0x4003_FFFF		外部存储器接口
0x4004_0000	0x4005_FFFF	AHB	保留
0x4006_0000	0x4006_0FFF		DMAC 寄存器
0x4006_1000	0x4006_1FFF		DSTC 寄存器
0x4006_2000	0x4006_2FFF		CAN 通道 0
0x4006_3000	0x4006_3FFF		CAN 通道 1
0x4006_4000	0x4006_DFFF		保留
0x4006_E000	0x4006_EFFF		SD 卡 I/F
0x4006_F000	0x4006_FFFF		GPIO
0x4006_7000	0x41FF_FFFF		保留
0x200E_0000	0x200E_FFFF		工作闪存 I/F 寄存器

12. 各 CPU 模式下的引脚状态

描述引脚状态的术语含义如下：

■ **INITX = 0**

表示 INITX 引脚为低电平的时间。

■ **INITX = 1**

表示 INITX 引脚为高电平的时间。

■ **SPL = 0**

表示待机模式控制寄存器 (STB_CTL) 中的待机引脚电平设置位 (SPL) 被设置为 0。

■ **SPL = 1**

表示待机模式控制寄存器 (STB_CTL) 中的待机引脚电平设置位 (SPL) 被设置为 1。

■ **输入使能**

表示输入功能有效。

■ **内部输入固定为 0**

输入功能被禁止。内部输入固定为低电平。

■ **高阻态**

表示引脚驱动晶体管被禁止，引脚处于高阻态。

■ **设置禁用**

表示设置无效。

■ **保持之前状态**

保持进入当前模式前的瞬间状态。

如果内置外设功能正在运行，则引脚上的信号变化取决于外设功能。

如果该引脚作为一个端口使用，应保持引脚的输出状态。

■ **模拟输入使能**

表示模拟输入有效。

■ **追踪输出**

表示可以使用追踪功能。

■ **GPIO 功能**

在深度待机模式下，引脚切换为通用 I/O 端口。

■ **设置禁止**

根据规范被禁止的设置项。

模式状态引脚功能表

引脚状态类型	功能组	上电复位或 低电压检测状态	INITX 输入状态	器件内部 复位状态	运行模式 或睡眠 模式状态	定时器模式、 RTC 模式或 停止模式状态		深度待机 RTC 模式或 深度待机停止模式状态		深度待机 模式返回状态
		供电电压 不稳定	供电电压 稳定		供电电压 稳定	供电电压 稳定		供电电压 稳定		供电电压 稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
A	GPIO 功能	设置无效	设置无效	设置无效	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	主晶体 振荡器 输入引脚/ 外部主时钟 输入引脚	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效
B	GPIO 功能	设置无效	设置无效	设置无效	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	外部主时钟 输入引脚	设置无效	设置无效	设置无效	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	保持之前的 状态	高阻态/ 内部输入 固定为 0	保持之前的 状态
	主晶体振荡 器输出引脚	高阻态/ 内部输入 固定为 0/ 输入有效	高阻态/ 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	保持之前的状态/当振荡停止时*1，高阻态/内部输入固定为 0					
C	INITX 输入引脚	上拉/ 输入有效	上拉/ 输入有效	上拉/ 输入有效	上拉/ 输入有效	上拉/ 输入有效	上拉/ 输入有效	上拉/ 输入有效	上拉/ 输入有效	上拉/ 输入有效
D	模式 输入引脚	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效
E	模式 输入引脚	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效
	GPIO 功能	设置无效	设置无效	设置无效	保持之前的 状态	保持之前的 状态	高阻态/ 输入使能	GPIO 功能	高阻态/ 输入使能	GPIO 功能

引脚状态类型	功能组	上电复位或 低电压检测状态	INITX 输入状态	器件内部 复位状态	运行模式 或睡眠 模式状态	定时器模式、 RTC 模式或 停止模式状态		深度待机 RTC 模式或 深度待机停止模式状态		深度待机 模式返回状态
		供电电压 不稳定	供电电压 稳定		供电电压 稳定	供电电压 稳定		供电电压 稳定		供电电压 稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
F	NMIX 引脚	设置无效	设置无效	设置无效	保持之前的 状态	保持之前的 状态	保持之前的 状态	WKUP 输入有效	高阻态/ 唤醒输入 有效	GPIO 功能
	其它外设 功能	高阻态	高阻态/ 输入有效	高阻态/ 内部输入 固定为 0						
	GPIO 功能						保持之前的 状态			
G	JTAG 功能	高阻态	上拉/ 输入有效	上拉/ 输入有效	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态
	GPIO 功能	设置无效	设置无效	设置无效			高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
H	JTAG 功能	高阻态	上拉/ 输入有效	上拉/ 输入有效	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态	保持之前的 状态
	其它外设 功能	设置无效	设置无效	设置无效			高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	GPIO 功能									
I	外设功能	高阻态	高阻态/ 输入有效	高阻态/ 输入有效	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	GPIO 功能									
J	模拟输出 功能	设置无效	设置无效	设置无效	保持之前的 状态	*2	*3	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	其它外设 功能	高阻态	高阻态/ 输入有效	高阻态/ 输入有效		保持之前的 状态	高阻态/ 内部输入 固定为 0			
	GPIO 功能									

引脚状态类型	功能组	上电复位或 低电压检测状态	INITX 输入状态	器件内部 复位状态	运行模式 或睡眠 模式状态	定时器模式、 RTC 模式或 停止模式状态		深度待机 RTC 模式或 深度待机停止模式状态		深度待机 模式返回状态
		供电电压 不稳定	供电电压 稳定		供电电压 稳定	供电电压 稳定		供电电压 稳定		供电电压 稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
K	使能外部 中断功能	设置无效	设置无效	设置无效	保持之前的 状态	保持之前的 状态	保持之前的 状态	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	其它外设 功能	高阻态	高阻态/ 输入有效	高阻态/ 输入有效			高阻态/ 内部输入 固定为 0			
	GPIO 功能									
L	模拟输入 功能	高阻态	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效
	其它外设 功能	设置无效	设置无效	设置无效	保持之前的 状态	保持之前的 状态	高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	GPIO 功能									
M	模拟输入 功能	高阻态	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效
	外部中断 功能	设置无效	设置无效	设置无效	保持之前的 状态	保持之前的 状态	保持之前的 状态	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	其它外设 功能						高阻态/ 内部输入 固定为 0			
	GPIO 功能									
N	模拟输入 功能	高阻态	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效
	追踪功能	设置无效	设置无效	设置无效	保持之前的 状态	保持之前的 状态	追踪输出	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	其它外设 功能						高阻态/ 内部输入 固定为 0			
	GPIO 功能									

引脚状态类型	功能组	上电复位或 低电压检测状态	INITX 输入状态	器件内部 复位状态	运行模式 或睡眠 模式状态	定时器模式、 RTC 模式或 停止模式状态		深度待机 RTC 模式或 深度待机停止模式状态		深度待机 模式返回状态
		供电电压 不稳定	供电电压 稳定		供电电压 稳定	供电电压 稳定		供电电压 稳定		供电电压 稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
O	模拟输入 功能	高阻态	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效
	追踪功能	设置无效	设置无效	设置无效	保持之前 的状态	保持之前 的状态	追踪输出	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	GPIO 功能
	外部中断 使能						保持之前 的状态			
	其它外设 功能						高阻态/ 内部输入 固定为 0			
	GPIO 功能									

引脚状态类型	功能组	上电复位或 低电压检测状态	INITX 输入状态	器件内部 复位状态	运行模式 或睡眠 模式状态	定时器模式、 RTC 模式或 停止模式状态		深度待机 RTC 模式或 深度待机停止模式状态		深度待机 模式返回状态
		供电电压 不稳定	供电电压 稳定		供电电压 稳定	供电电压 稳定		供电电压 稳定		供电电压 稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
P	模拟输入 功能	高阻态	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效	高阻态/ 内部输入 固定为 0/ 模拟输入 有效
	WKUP 功能	设置无效	设置无效	设置无效	保持之前 的状态	保持之前 的状态	保持之前 的状态	WKUP 输入有效	高阻态/ WKUP 输入 有效	GPIO 功能
	其它外设 功能						高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	
	GPIO 功能									
Q	WKUP 功能	设置无效	设置无效	设置无效	保持之前 的状态	保持之前 的状态	保持之前 的状态	唤醒输入 有效	高阻态/ 唤醒输入 有效	GPIO 功能
	外部中断 使能									
	其它外设 功能	高阻态	高阻态/ 输入有效	高阻态/ 输入有效			高阻态/ 内部输入 固定为 0	GPIO 功能 内部输入 固定为 0	高阻态/ 内部输入 固定为 0	
	GPIO 功能									

*1: 在副定时器模式、副 CR 定时器模式、RTC 模式、停止模式、深度待机 RTC 模式和深度待机停止模式下，振荡停止。

*2: 在定时器模式下保持之前的状态。在 RTC 模式和停止模式下，GPIO 内部输入固定为 0。

*3: 在定时器模式下保持之前的状态。在 RTC 模式和停止模式下，高阻态/内部输入固定为 0。

VBAT 范围引脚状态列表

VBAT 引脚状态类型	功能组	VBAT 上电复位	INITX 输入状态	器件内部 复位状态	运行模式或 睡眠模式 状态	定时器模式、 RTC 模式或 停止模式状态		深度待机 RTC 模式或深 度待机停止模式状态		从深度待机 模式状态 返回	VBAT RTC 模式状态	从 VBAT RTC 模式 状态返回
		供电电压 不稳定	供电电压 稳定		供电电压 稳定	供电电压 稳定		供电电压 稳定		供电电压 稳定	供电电压 稳定	供电电压 稳定
		—	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1	—	—
		—	—	—	—	SPL = 0	SPL = 1	SPL = 0	SPL = 1	—	—	—
S	GPIO 功能	设置无效	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	GPIO 功能	设置禁止	—
	副晶体振荡 器输入引脚/ 外部副时钟 输入引脚	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	输入有效	保持之前 的状态	保持之前 的状态
T	GPIO 功能	设置无效	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	GPIO 功能	设置禁止	—
	外部副时钟 输入引脚	设置无效	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态
	副晶体振荡 器输出引脚	高阻态/ 内部输入 固定为 0 输入有效	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态/ 振荡停止, 高阻态*	保持之前 的状态/ 振荡停止, 高阻态*	保持之前 的状态/ 振荡停止, 高阻态*	保持之前 的状态/ 振荡停止, 高阻态*	保持之前 的状态	保持之前 的状态	保持之前 的状态
U	外设功能	高阻态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态	保持之前 的状态
	GPIO 功能											

*: 当 WTOSCCNT 寄存器中的 SOSCNTL 位为 ‘0’ 时, 副晶体振荡器的输出引脚将保持之前的状态。
当 WTOSCCNT 寄存器中的 SOSCNTL 位为 ‘1’ 时, 振荡将在停止模式和深度待机停止模式下停止。

13. 电气特性

13.1 最大绝对额定值

参数	符号	额定值		单位	备注
		最小值	最大值		
供电电压*1、*2	V_{CC}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
供电电压 (V_{BAT}) *1、*3	V_{BAT}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
模拟供电电压*1、*4	AV_{CC}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
模拟参考电压 *1、*4	AV_{RH}	$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	
输入电压*1	V_I	$V_{SS} - 0.5$	$V_{CC} + 0.5$ (≤ 6.5 V)	V	
		$V_{SS} - 0.5$	$V_{SS} + 6.5$	V	可承受 5 V 电压
模拟引脚输入电压*1	V_{IA}	$V_{SS} - 0.5$	$AV_{CC} + 0.5$ (≤ 6.5 V)	V	
输出电压*1	V_O	$V_{SS} - 0.5$	$V_{CC} + 0.5$ (≤ 6.5 V)	V	
最大低电平输出电流*5	I_{OL}	—	10	mA	4 mA 型
			20	mA	8 mA 型
			20	mA	12 mA 型
			22.4	mA	I ² C Fm+
平均低电平输出电流*6	I_{OLAV}	—	4	mA	4 mA 型
			8	mA	8 mA 型
			12	mA	12 mA 型
			20	mA	I ² C Fm+
最大低电平总输出电流	$\sum I_{OL}$	—	100	mA	
平均低电平总输出电流*7	$\sum I_{OLAV}$	—	50	mA	
最大高电平输出电流*6	I_{OH}	—	- 10	mA	4 mA 型
			20	mA	8 mA 型
			- 20	mA	12 mA 型
平均高电平输出电流*6	I_{OHAV}	—	- 4	mA	4 mA 型
			8	mA	8 mA 型
			- 12	mA	12 mA 型
最大高电平总输出电流	$\sum I_{OH}$	—	- 100	mA	
平均高电平总输出电流*7	$\sum I_{OHAV}$	—	- 50	mA	
存储温度	T_{STG}	- 55	+ 150	°C	

*1: 这些参数都取决于 $V_{SS} = AV_{SS} = 0.0$ V 的条件。

*2: V_{CC} 不得低于 $V_{SS} - 0.5$ V。

*3: V_{BAT} 不得低于 $V_{SS} - 0.5$ V。

*4: 请确保电压不超过 $V_{CC} + 0.5$ V (例如上电时)。

*5: 最大输出电流被定义为经过任意一个相应引脚的峰值电流。

*6: 平均输出电流被定义为 100 ms 内经过任意一个相应引脚的平均电流。

*7: 平均总输出电流被定义为 100 ms 内经过所有相应引脚的平均电流。

警告:

- 外界冲击 (包括未限制的电压、电流或温度) 超过最大绝对额定值会使半导体器件永久性损坏。
禁止超过上述任何额定值。

13.2 推荐工作条件

参数	符号	条件	数值		单位	备注
			最小值	最大值		
供电电压	V _{CC}	—	2.7 ^{*4}	5.5	V	
供电电压 (VBAT)	V _{BAT}	—	2.7	5.5	V	
模拟供电电压	AV _{CC}	—	2.7	5.5	V	AV _{CC} = V _{CC}
模拟参考电压	AV _{RH}	—	*3	AV _{CC}	V	
平滑电容	C _S	—	1	10	μF	内置电压调节器 ^{*1}
工作温度	结温	T _J	—	- 40	+ 125	°C
	环境温度	T _A	—	- 40	*2	°C

*1: 请参考“■处理器件”部分中的“●C 引脚”，了解平滑电容的连接。

*2: 结温 (T_J) 允许值决定最高环境温度 (T_A) 的动态范围。

环境温度 (T_A) 的计算公式如下：

$$T_A (\text{Max}) = T_J (\text{Max}) - P_d (\text{Max}) \times \theta_{ja}$$

.....Pd: 功耗 (W)
.....θ_{ja}: 封装热阻 (°C/W)

$$P_d (\text{Max}) = V_{CC} \times I_{CC} (\text{Max}) + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

.....I_{OL}: 低电平输出电流
.....I_{OH}: 高电平输出电流
.....V_{OL}: 低电平输出电压
.....V_{OH}: 高电平输出电压

*3: 模拟参考电压的最小值取决于比较时钟周期值 (T_{cck})。

更多详细信息，请参考 12.5. 12 位模数转换器一节。

*4: 如果工作电压不小于低压复位/中断检测电压，并且小于供电电压的最小值，这时只能执行由内置高速 CR (包括所使用的主 PLL) 或内置低速 CR 提供时钟的指令和低压检测功能。

各种封装的热阻和最大允许功耗如下。

当半导体器件的功耗小于或等于最大允许值时，它的运行状态得到担保。

各种封装的热阻和最大允许功耗列表

封装	印刷电路板	热阻 θ_{ja} (°C/W)	最大允许功耗 (mW)	
			$T_A = +85^\circ\text{C}$	$T_A = +105^\circ\text{C}$
LQH080 (间距为 0.5 mm)	单层双面	82	488	244
	四层	56	714	357
LQI100 (间距为 0.5 mm)	单层双面	59	678	339
	四层	39	1026	513
LQM120 (间距为 0.5 mm)	单层双面	71	563	282
	四层	50	800	400
FDI121 (间距为 0.5 mm)	单层双面	63	635	317
	四层	37	1081	540

警告:

- 需要遵循所推荐的工作条件，以确保半导体器件正常运行。器件在这些条件下运行时，所有器件的电气特性均能得到保证。
要根据推荐的工作条件来使用半导体器件。
在其他条件下进行操作可能会影响器件的可靠性，并会导致器件故障。
对于超出本数据手册中所介绍的使用情况、工作范围或组合条件，赛普拉斯公司不提供任何担保。除了这里所列出的条件外，如果您想要在其他条件下使用这些应用，请提前联系销售部门。

功耗 (Pd) 的计算方法

功耗计算公式如下。

$$P_d = V_{CC} \times I_{CC} + \sum (I_{OL} \times V_{OL}) + \sum ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

..... IOL: 低电平输出电流
 IOH: 高电平输出电流
 VOL: 低电平输出电流
 VOH: 高电平输出电流

I_{CC} 是器件所消耗的电流。

通过以下公式计算得出该值。

$$I_{CC} = I_{CC}(INT) + \sum I_{CC}(IO)$$

I_{CC} (INT): 内部逻辑和存储器等电路流过内部电压调节器所消耗的电流

$\sum I_{CC}$ (IO): 输出引脚所消耗的电流总和 (I/O 切换电流)

对于 I_{CC} (INT), 可以参考第 12.3 节: “直流特性” 中 “(1) 电流额定值” 的内容 (该额定值不包括固定引脚上的 I_{CC} (I/O))。

对于 I_{CC} (IO), 则取决于用户所使用的系统。

计算公式如下。

$$I_{CC}(IO) = (C_{INT} + C_{EXT}) \times V_{CC} \times f_{SW}$$

..... C_{INT}: 引脚内部负载电容
 C_{EXT}: 输出引脚的外部负载电容
 f_{SW}: 引脚切换频率

参数	符号	条件	电容值
引脚内部负载电容	C _{INT}	4 mA 型	1.93 pF
		8 mA 型	3.45 pF
		12 mA 型	3.42 pF

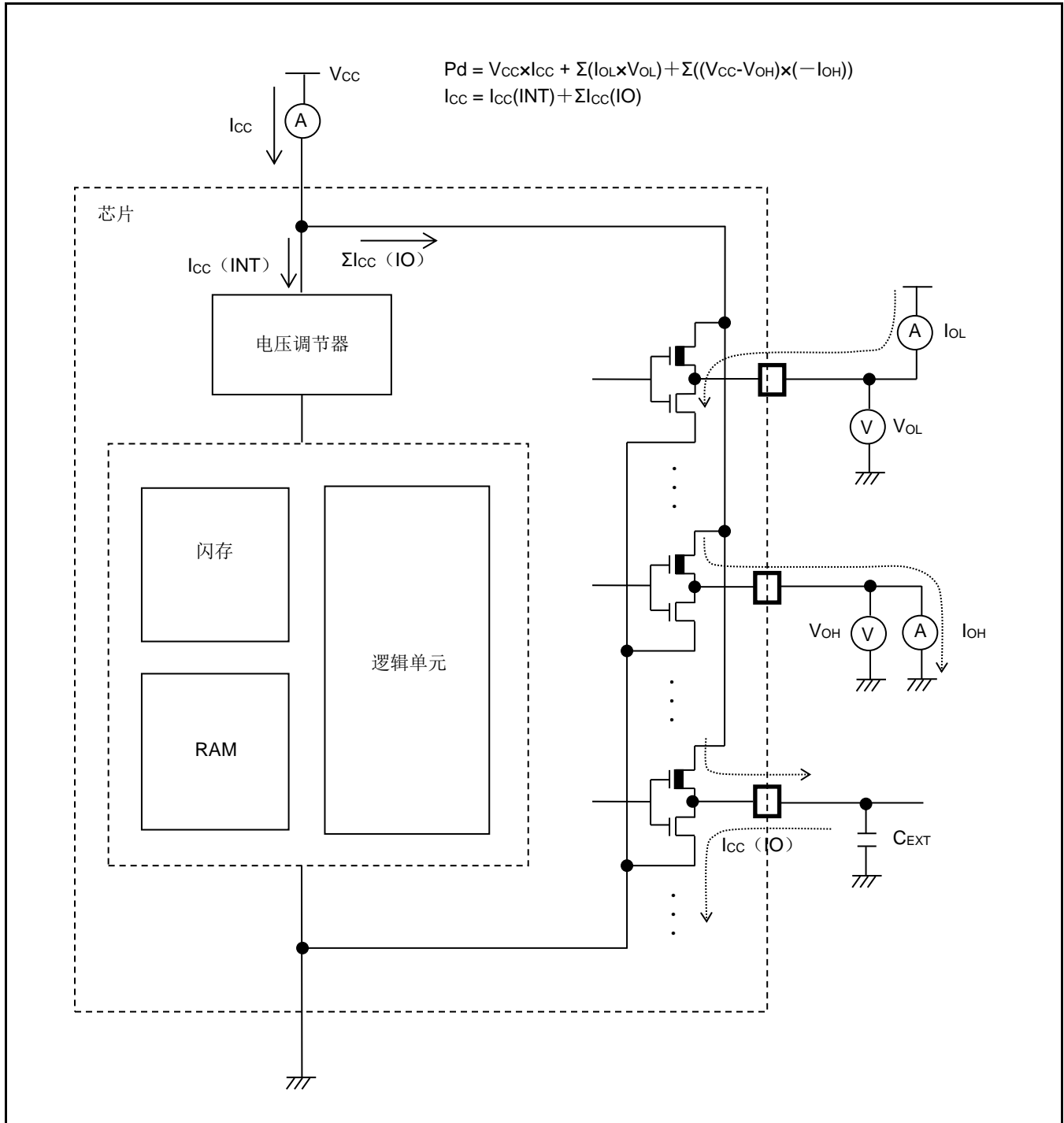
也可按照以下计算 I_{CC} (最大值) 的方式, 自己评估功耗。

1. 在正常温度 (+25°C) 下测量电流值 I_{CC} (典型值)。
2. 再加下表中的最大泄漏电流值 I_{CC} (leak_max)。

$$I_{CC} (\text{最大值}) = I_{CC} (\text{典型值}) + I_{CC} (\text{leak_max})$$

参数	符号	条件	电流值
工作时的最大漏电流	I _{CC} (leak_max)	T _J = +125°C	16.8 mA
		T _J = +105°C	8.6 mA
		T _J = +85°C	5.8 mA

电流示意图



13.3 直流特性

13.3.1 电流额定值

表 12-1 正常工作模式（PLL）下电流消耗的典型值和最大值，闪存存储器中执行代码并访问数据（使能闪存加速器和追踪缓冲区功能）

参数	符号	引脚名称	条件		频率*4	数值		单位	备注
						典型值*1	最大值*2		
电源电流	I _{CC}	VCC	正常工作模式 (PLL)	*5、*6、 *9	160 MHz	51	71	mA	*3 所有外设时钟为 ON 状态
					144 MHz	47	67		
					120 MHz	39	59		
					100 MHz	33	53		
					80 MHz	27	47		
					60 MHz	20	40		
					40 MHz	14	34		
					20 MHz	7.6	28		
					8 MHz	3.9	24		
					4 MHz	2.7	23		
					160 MHz	30	51	mA	*3 所有外设时钟为 OFF 状态
					144 MHz	28	48		
					120 MHz	23	43		
					100 MHz	20	40		
					80 MHz	16	36		
					60 MHz	12	32		
					40 MHz	8.7	29		
					20 MHz	5.0	25		
					8 MHz	2.8	23		
					4 MHz	2.1	22		

表 12-2 正常工作模式（PLL）下电流消耗的典型值和最大值，闪存存储器中执行代码并访问数据（禁止执行闪存加速器和追踪缓冲区功能）

参数	符号	引脚名称	条件		频率*7	值		单位	备注
						典型值*1	最大值*2		
电源电流	Icc	VCC	正常工作模式 (PLL)	*8、*9	160 MHz	56	76	mA	*3 所有外设时钟为 ON 状态
					144 MHz	51	71		
					120 MHz	43	63		
					100 MHz	37	57		
					80 MHz	30	50		
					60 MHz	23	43		
					40 MHz	16	36		
					20 MHz	8.5	29		
					8 MHz	4.3	25		
					4 MHz	2.9	23		
					160 MHz	30	51	mA	*3 所有外设时钟为 OFF 状态
					144 MHz	28	48		
					120 MHz	24	44		
					100 MHz	20	41		
					80 MHz	17	37		
					60 MHz	13	33		
					40 MHz	9.2	30		
					20 MHz	5.3	26		
					8 MHz	3.0	23		
					4 MHz	2.2	23		

*1: T_A = +25°C, V_{CC} = 3.3 V

*2: T_J = +125°C, V_{CC} = 5.5 V

*3: 所有端口为固定电平。

- *4: 频率为 HCLK 的值。PCLK0 = PCLK1 = PCLK2 = HCLK/2
- *5: 允许闪存加速器和追踪缓冲区功能 (FRWTR.RWT = 10, FBFCR.BE = 1)
- *6: 主闪存存储器没有任何数据访问
- *7: 频率为 HCLK 的值。PCLK0 = PCLK2 = HCLK/2, PCLK1 = HCLK
- *8: 允许闪存加速器模式和追踪缓冲区功能 (FRWTR.RWT = 10, FBFCR.BE = 0)
- *9: 使用 4 MHz 的晶振 (包含振荡电路所消耗的电流)

表 12-3 正常工作模式 (PLL) 下电流消耗的典型值和最大值, 闪存存储器中执行代码并访问数据 (闪存 0 等待周期模式和读访问 0 等待)

参数	符号	引脚名称	条件	频率*4 (MHz)	值		单位	备注
					典型值*1	最大值*2		
电源电流	I _{CC}	VCC	正常工作模式 (PLL)	*5、*6	72 MHz	38	58	mA *3 所有外设时钟为 ON 状态
					60 MHz	33	53	
					48 MHz	28	48	
					36 MHz	22	42	
					24 MHz	16	36	
					12 MHz	9.5	30	
					8 MHz	6.9	27	
					4 MHz	4.2	25	
					72 MHz	29	49	mA *3 所有外设时钟为 OFF 状态
					60 MHz	26	46	
					48 MHz	22	42	
					36 MHz	18	38	
					24 MHz	13	33	
					12 MHz	7.8	28	
					8 MHz	5.8	26	
					4 MHz	3.7	24	

*1: T_A = +25°C, V_{CC} = 3.3 V

*2: T_J = +125°C, V_{CC} = 5.5 V

*3: 所有端口为固定电平。

*4: 频率为 HCLK 的值。PCLK0 = PCLK1 = PCLK2 = HCLK

*5: 0 等待周期模式 (FRWTR.RWT = 00, FSYNDN.SD = 000)

*6: 使用 4 MHz 的晶体振荡器 (包含振荡电路所消耗的电流)

表 12-4 正常工作模式（PLL 模式除外）下电流消耗的典型值和最大值，闪存存储器中执行代码并访问数据（闪存 0 等待周期模式和读访问 0 等待）

参数	符号	引脚名称	条件		频率*4	数值		单位	备注
						典型值*1	最大值*2		
电源电流	I _{CC}	VCC	正常工作模式 （主振荡）	*5、*6	4 MHz	4.0	24	mA	*3 所有外设时钟为 ON 状态
						3.2	24	mA	*3 所有外设时钟为 OFF 状态
			正常工作模式 （内置高速 CR）	*5	4 MHz	3.2	24	mA	*3 所有外设时钟为 ON 状态
						2.7	23	mA	*3 所有外设时钟为 OFF 状态
			正常工作模式 （子振荡）	*5	32 kHz	0.34	21	mA	*3 所有外设时钟为 ON 状态
						0.30	21	mA	*3 所有外设时钟为 OFF 状态
			正常工作模式 （内置低速 CR）	*5	100 kHz	0.36	21	mA	*3 所有外设时钟为 ON 状态
						0.33	21	mA	*3 所有外设时钟为 OFF 状态

*1: T_A = +25°C, V_{CC} = 3.3 V

*2: T_J = +125°C, V_{CC} = 5.5 V

*3: 所有端口为固定电平。

*4: 频率为 HCLK 的值。PCLK0 = PCLK1 = PCLK2 = HCLK/2

*5: 0 等待周期模式（FRWTR.RWT = 00, FSYNDN.SD = 000）

*6: 使用 4 MHz 的晶体振荡器（包含振荡电路所消耗的电流）

表 12-5 睡眠模式（PLL）下所消耗电流的典型值和最大值（PCLK0 = PCLK1 = PCLK2 = HCLK/2）

参数	符号	引脚名称	条件	频率*4	数值		单位	备注
					典型值*1	最大值*2		
电源电流	I _{CCS}	V _{CC}	睡眠模式*6 (PLL)	160 MHz	35	55	mA	*3 所有外设时钟为 ON 状态
				144 MHz	32	52		
				120 MHz	27	47		
				100 MHz	23	43		
				80 MHz	18	39		
				60 MHz	14	34		
				40 MHz	9.9	30		
				20 MHz	5.5	26		
				8 MHz	3.1	23		
				4 MHz	2.3	23	mA	*3 所有外设时钟为 OFF 状态
				160 MHz	14	35		
				144 MHz	13	33		
				120 MHz	11	31		
				100 MHz	9.5	30		
				80 MHz	7.8	28		
				60 MHz	6.3	27		
				40 MHz	4.6	25		
				20 MHz	2.9	23		
				8 MHz	2.2	23		
				4 MHz	2.0	22		

表 12-6 睡眠模式（PLL）下所消耗电流的典型值和最大值（PCLK0 = PCLK1 = PCLK2 = HCLK）

参数	符号	引脚名称	条件	频率*5	值		单位	备注
					典型值*1	最大值*2		
电源电流	I _{CCS}	V _{CC}	睡眠模式*6 (PLL)	72 MHz	23	43	mA	*3 所有外设时钟为 ON 状态
				60 MHz	19	39		
				48 MHz	16	36		
				36 MHz	12	32		
				24 MHz	8.5	29		
				12 MHz	5.1	25		
				8 MHz	3.9	24		
				4 MHz	2.7	23		
				72 MHz	8.8	29	mA	*3 所有外设时钟为 OFF 状态
				60 MHz	7.6	28		
				48 MHz	6.3	27		
				36 MHz	5.1	25		
				24 MHz	3.9	24		
				12 MHz	2.7	23		
				8 MHz	2.3	23		
				4 MHz	1.9	22		

*1: T_A = +25°C, V_{CC} = 3.3 V

*2: T_J = +125°C, V_{CC} = 5.5 V

*3: 所有端口为固定电平。

*4: 频率为 HCLK 的值。PCLK0 = PCLK1 = PCLK2 = HCLK/2

*5: 频率为 HCLK 的值。PCLK0 = PCLK1 = PCLK2 = HCLK

*6: 使用 4 MHz 的晶体振荡器（包含振荡电路所消耗的电流）

表 12-7 睡眠模式（PLL 模式除外）下所消耗电流的典型值的最大值（PCLK0 = PCLK1 = PCLK2 = HCLK/2）

参数	符号	引脚名称	条件	频率*4	数值		单位	备注
					典型值*1	最大值*2		
电源电流	I _{CCS}	VCC	睡眠模式*5 （主振荡）	4 MHz	2.1	22	mA	*3 所有外设时钟为 ON 状态
					1.3	22	mA	*3 所有外设时钟为 OFF 状态
			睡眠模式 （内置高速 CR）	4 MHz	1.3	22	mA	*3 所有外设时钟为 ON 状态
					0.8	21	mA	*3 所有外设时钟为 OFF 状态
			睡眠模式 （子振荡）	32 kHz	0.28	21	mA	*3 所有外设时钟为 ON 状态
					0.27	21	mA	*3 所有外设时钟为 OFF 状态
			睡眠模式 （内置低速 CR）	100 kHz	0.29	21	mA	*3 所有外设时钟为 ON 状态
					0.28	21	mA	*3 所有外设时钟为 OFF 状态

*1: T_A = +25°C, V_{CC} = 3.3 V

*2: T_J = +125°C, V_{CC} = 5.5 V

*3: 所有端口为固定电平。

*4: 频率为 HCLK 的值。PCLK0 = PCLK1 = PCLK2 = HCLK/2

*5: 使用 4 MHz 的晶体振荡器（包含振荡电路所消耗的电流）

表 12-8 停止模式、定时器模式和 RTC 模式下所消耗电流的典型值和最大值

参数	符号	引脚名称	条件	频率	数值		单位	备注	
					典型值*1	最大值*2			
电源电流	I _{CCH}	V _{CC}	停止模式	—	0.21	0.94	mA	*3、*4 T _A = +25°C	
					—	7.6	mA	*3、*4 T _A = +85°C	
					—	10	mA	*3、*4 T _A = +105°C	
	I _{CCT}		定时器模式*5 （主振荡）	4 MHz	1.4	2.1	mA	*3、*4 T _A = +25°C	
					—	8.8	mA	*3、*4 T _A = +85°C	
					—	11	mA	*3、*4 T _A = +105°C	
			定时器模式 （内置高速 CR）	4 MHz	0.49	1.2	mA	*3、*4 T _A = +25°C	
					—	7.9	mA	*3、*4 T _A = +85°C	
					—	11	mA	*3、*4 T _A = +105°C	
			定时器模式*5 （子振荡）	32 kHz	0.23	0.96	mA	*3、*4 T _A = +25°C	
					—	7.6	mA	*3、*4 T _A = +85°C	
					—	10	mA	*3、*4 T _A = +105°C	
			定时器模式 （内置低速 CR）	100 kHz	0.24	0.97	mA	*3、*4 T _A = +25°C	
					—	7.6	mA	*3、*4 T _A = +85°C	
					—	10	mA	*3、*4 T _A = +105°C	
			I _{CCR}	RTC 模式 （子振荡）	32 kHz	0.21	0.94	mA	*3、*4 T _A = +25°C
						—	7.6	mA	*3、*4 T _A = +85°C
						—	10	mA	*3、*4 T _A = +105°C

*1: V_{CC} = 3.3 V

*2: V_{CC} = 5.5 V

*3: 所有端口为固定电平。

*4: LVD 为 OFF 状态

*5: 使用 4 MHz 的晶体振荡器 (包含振荡电路所消耗的电流)

表 12-9 深度待机停止模式、深度待机 RTC 模式和 VBAT 条件下所消耗电流的典型值和最大值

参数	符号	引脚名称	条件	频率	数值		单位	备注
					典型值*1	最大值*2		
电源电流	I _{CC} HD	VCC	深度待机 停止模式 (RAM 为 OFF 状态)	—	24	40	μA	*3、*4 T _A = +25°C
					—	640	μA	*3、*4 T _A = +85°C
					—	813	μA	*3、*4 T _A = +105°C
			41		146	μA	*3、*4 T _A = +25°C	
			—		1616	μA	*3、*4 T _A = +85°C	
			—		2059	μA	*3、*4 T _A = +105°C	
	I _{CC} RD		深度待机 RTC 模式 (RAM 为 OFF 状态)	32 kHz	24	40	μA	*3、*4 T _A = +25°C
					—	640	μA	*3、*4 T _A = +85°C
					—	813	μA	*3、*4 T _A = +105°C
			41		146	μA	*3、*4 T _A = +25°C	
			—		1616	μA	*3、*4 T _A = +85°C	
			—		2059	μA	*3、*4 T _A = +105°C	
	I _{CC} VBAT	VBAT	RTC 停止	—	0.015	0.14	μA	*3、*4、*5 T _A = +25°C
					—	4.0	μA	*3、*4、*5 T _A = +85°C
					—	9.4	μA	*3、*4、*5 T _A = +105°C
			RTC 工作 *6		1.3	2.4	μA	*3、*4 T _A = +25°C
					—	6.2	μA	*3、*4 T _A = +85°C
					—	12	μA	*3、*4 T _A = +105°C

*1: V_{CC} = 3.3 V

*2: V_{CC} = 5.5 V

*3: 所有端口为固定电平。

*4: LVD 为 OFF 状态

*5: 副振荡为 OFF 状态

*6: 使用 32 kHz 的晶体振荡器（包含振荡电路所消耗的电流）

表 12-10 低压检测电路和主闪存存储器执行擦/写操作所消耗电流的典型值和最大值

参数	符号	引脚名称	条件	数值			单位	备注
				最小值	典型值	最大值		
低压检测电路 (LVD)电源电流	I _{CC} LVD	VCC	运行时	—	4	7	μA	用于中断发生时
主闪存存储器写入/擦除电流	I _{CC} FLASH		执行写入/擦除操作时	—	13.4	15.9	mA	
工作闪存存储器写入/擦除电流	I _{CC} WFLASH		执行写入/擦除操作时	—	11.5	13.6	mA	*1

*1: 在闪存存储器中进行编程或擦除操作时, 电源电流 (I_{CC}) 包括闪存存储器擦/写电流 (I_{CC}FLASH)。

表 12-11 外设电流消耗

时钟系统	外设	单位	频率 (MHz)			单位	备注
			40	80	160		
HCLK	GPIO	所有端口	0.16	0.32	0.62	mA	T _A = +25°C, V _{CC} = 3.3 V
	DMAC	—	0.68	1.35	2.63		
	DSTC	—	0.93	1.88	3.65		
	外部总线 I/F	—	0.17	0.34	0.71		
	SD 卡 I/F	—	0.01	0.02	0.03		
	CAN	一通道	0.47	0.92	1.85		
PCLK1	基础定时器	四通道	0.18	0.37	0.73	mA	T _A = +25°C, V _{CC} = 3.3 V
	多功能定时器/PPG	一单元/四通道	0.61	1.22	2.43		
	正交位置/转数计数器	一单元	0.04	0.07	0.14		
	模数转换器	一单元	0.22	0.44	0.88		
PCLK2	多功能串行接口	一通道	0.30	0.60	—	mA	T _A = +25°C, V _{CC} = 3.3 V

13.3.2 引脚特性

($V_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值			单位	备注
				最小值	典型值	最大值		
高电平输入电压 (迟滞输入)	V_{IHS}	CMOS 迟滞输入引脚、MD0、MD1	—	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V	
		可承受 5 V 的输入引脚	—	$V_{CC} \times 0.8$	—	$V_{SS} + 5.5$	V	
		I ² C Fm+ 复用输入引脚	—	$V_{CC} \times 0.7$	—	$V_{SS} + 5.5$	V	
低电平输入电压 (迟滞输入)	V_{ILS}	CMOS 迟滞输入引脚、MD0、MD1	—	$V_{SS} - 0.3$	—	$V_{CC} \times 0.2$	V	
		可承受 5 V 的输入引脚	—	$V_{SS} - 0.3$	—	$V_{CC} \times 0.2$	V	
		I ² C Fm+ 复用输入引脚	—	V_{SS}	—	$V_{CC} \times 0.3$	V	
高电平输出电压	V_{OH}	4 mA 型	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -2\text{ mA}$					
		8 mA 型	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -8\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -4\text{ mA}$					
		12 mA 型	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -12\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -8\text{ mA}$					
		I ² C Fm+ 复用引脚	$V_{CC} \geq 4.5\text{ V}$, $I_{OH} = -4\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V	GPIO 功能
			$V_{CC} < 4.5\text{ V}$, $I_{OH} = -3\text{ mA}$					

参数	符号	引脚名称	条件	数值			单位	备注
				最小值	典型值	最大值		
低电平输出电压	V _{OL}	4 mA 型	V _{CC} ≥ 4.5 V, I _{OL} = 4 mA	V _{SS}	—	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 2 mA					
		8 mA 型	V _{CC} ≥ 4.5 V, I _{OH} = 8 mA	V _{SS}	—	0.4	V	
			V _{CC} < 4.5 V, I _{OH} = 4 mA					
		12 mA 型	V _{CC} ≥ 4.5 V, I _{OL} = 12 mA	V _{SS}	—	0.4	V	
			V _{CC} < 4.5 V, I _{OL} = 8 mA					
		I ² C Fm+复用 引脚	V _{CC} ≥ 4.5 V, I _{OH} = 4 mA	V _{SS}	—	0.4	V	引脚被配置为 GPIO 时
			V _{CC} < 4.5 V, I _{OH} = 3 mA					
			V _{CC} ≤ 5.5 V, I _{OH} = 20 mA					引脚被配置为 I ² C Fm+时
输入漏电流	I _{IL}	—	—	- 5	—	+ 5	μA	
上拉电阻值	R _{PU}	上拉引脚	V _{CC} ≥ 4.5 V	25	50	100	kΩ	
			V _{CC} < 4.5 V	30	80	200		
输入电容	C _{IN}	VCC、VBAT、 VSS、AVCC、 AVSS、AVRH 除外	—	—	5	15	pF	

13.4 交流电特性

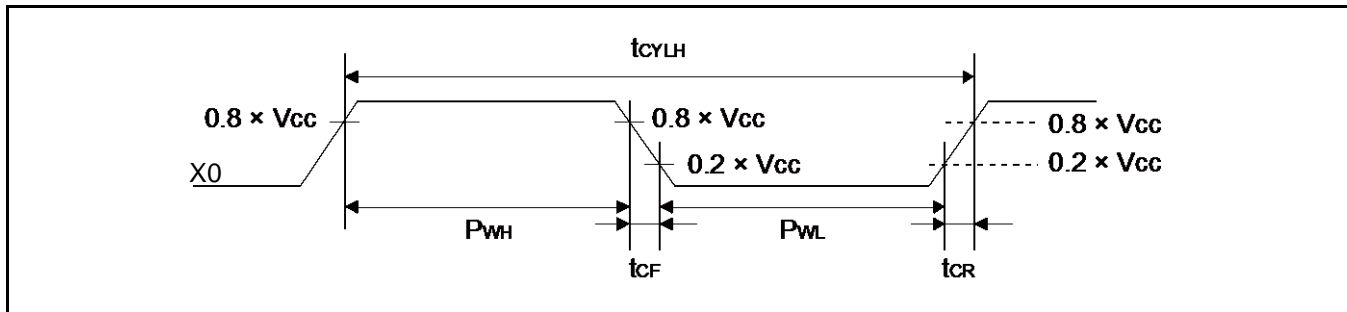
13.4.1 主时钟输入特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输入频率	f_{CH}	X0、X1	$V_{CC} \geq 4.5\text{ V}$	4	48	MHz	连接了外部晶振
			$V_{CC} < 4.5\text{ V}$	4	20		
			$V_{CC} \geq 4.5\text{ V}$	4	48	MHz	使用外部时钟
			$V_{CC} < 4.5\text{ V}$	4	20		
输入时钟周期	t_{CYLH}		$V_{CC} \geq 4.5\text{ V}$	20.83	250	ns	使用外部时钟
			$V_{CC} < 4.5\text{ V}$	50	250		
输入时钟占空比	—		P_{WH}/t_{CYLH} , P_{WL}/t_{CYLH}	45	55	%	使用外部时钟
输入时钟上升、下降时间	t_{CF} , t_{CR}		—	—	5	ns	使用外部时钟
内部时钟*1 频率	f_{CC}	—	—	—	160	MHz	基础时钟 (HCLK/FCLK)
	f_{CP0}	—	—	—	80	MHz	APB0 总线时钟*2
	f_{CP1}	—	—	—	160	MHz	APB1 总线时钟*2
	f_{CP2}	—	—	—	80	MHz	APB2 总线时钟*2
内部时钟*1 周期	t_{CYCC}	—	—	6.25	—	ns	基础时钟 (HCLK/FCLK)
	t_{CYCP0}	—	—	12.5	—	ns	APB0 总线时钟*2
	t_{CYCP1}	—	—	6.25	—	ns	APB1 总线时钟*2
	t_{CYCP2}	—	—	12.5	—	ns	APB2 总线时钟*2

*1: 有关内部时钟的详细信息, 请参考 FM4 系列外设手册主要章节 (002-04856) 中第 2-1 章: “时钟” 所介绍的内容。

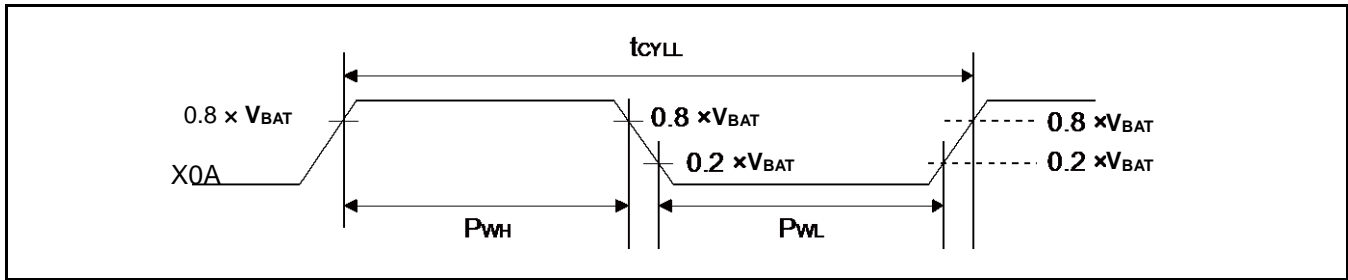
*2: 有关每个外设所挂接的 APB 总线, 请参考本数据手册的第 1 章: S6E2H 系列框图内容。



13.4.2 副时钟输入特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值			单位	备注
				最小值	典型值	最大值		
输入频率	$1/t_{CYLL}$	X0A、X1A	—	—	32.768	—	kHz	连接了外部晶振
			—	32	—	100	kHz	使用外部时钟
输入时钟周期	t_{CYLL}		—	10	—	31.25	μs	使用外部时钟
输入时钟脉宽	—		P_{WH}/t_{CYLL} , P_{WL}/t_{CYLL}	45	—	55	%	外部时钟输入



13.4.3 内置 CR 振荡特性

内置高速 CR

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	数值			单位	备注
			最小值	典型值	最大值		
时钟频率	f_{CRH}	$T_J = -20^\circ\text{C} \sim +105^\circ\text{C}$	3.92	4	4.08	MHz	调整后*1
		$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$	3.88	4	4.12		
时钟频率	f_{CRH}	$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$	2.9	4	5		未调整时
频率稳定时间	t_{CRWT}	—	—	—	30	μs	*2

*1: 经过闪存存储器的 CR 频率/温度出厂值调整。

*2: 设置调整值后, 高速 CR 时钟频率的建立时间。
该时间段也可将高速 CR 时钟作为时钟源。

内置低速 CR

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	值			单位	备注
			最小值	典型值	最大值		
时钟频率	f_{CRL}	—	50	100	150	kHz	

13.4.4 主 PLL 模式 (主时钟用作为 PLL 输入时钟)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	数值			单位	备注
		最小值	典型值	最大值		
PLL 振荡稳定等待时间*1 (锁定时间)	t_{LOCK}	200	—	—	μs	
PLL 输入时钟频率	f_{PLLI}	4	—	16	MHz	
PLL 倍频率	—	13	—	80	倍数	
PLL 模块振荡时钟频率	f_{PLO}	200	—	320	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	—	—	160	MHz	

*1: 从 PLL 启动到振荡稳定的时间。

2: 更多有关主 PLL 时钟 (CLKPLL) 的信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 2-1 章: “时钟”中讲述的内容。

13.4.5 主 PLL 模式 (内置高速 CR 时钟作为主 PLL 输入时钟)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	数值			单位	备注
		最小值	典型值	最大值		
PLL 振荡稳定等待时间*1 (锁定时间)	t_{LOCK}	200	—	—	μs	
PLL 输入时钟频率	f_{PLLI}	3.8	4	4.2	MHz	
PLL 倍频率	—	50	—	75	倍数	
PLL 模块振荡时钟频率	f_{PLO}	190	—	320	MHz	
主 PLL 时钟频率*2	f_{CLKPLL}	—	—	160	MHz	

*1: 从 PLL 启动到振荡稳定的时间。

2: 更多有关主 PLL 时钟 (CLKPLL) 的信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 2-1 章: “时钟”中讲述的内容。

注意:

— 请确保将高速 CR 时钟 (CLKHC) 输入到主 PLL 时, 已根据频率和温度对其进行了调整。

13.4.6 复位输入特性

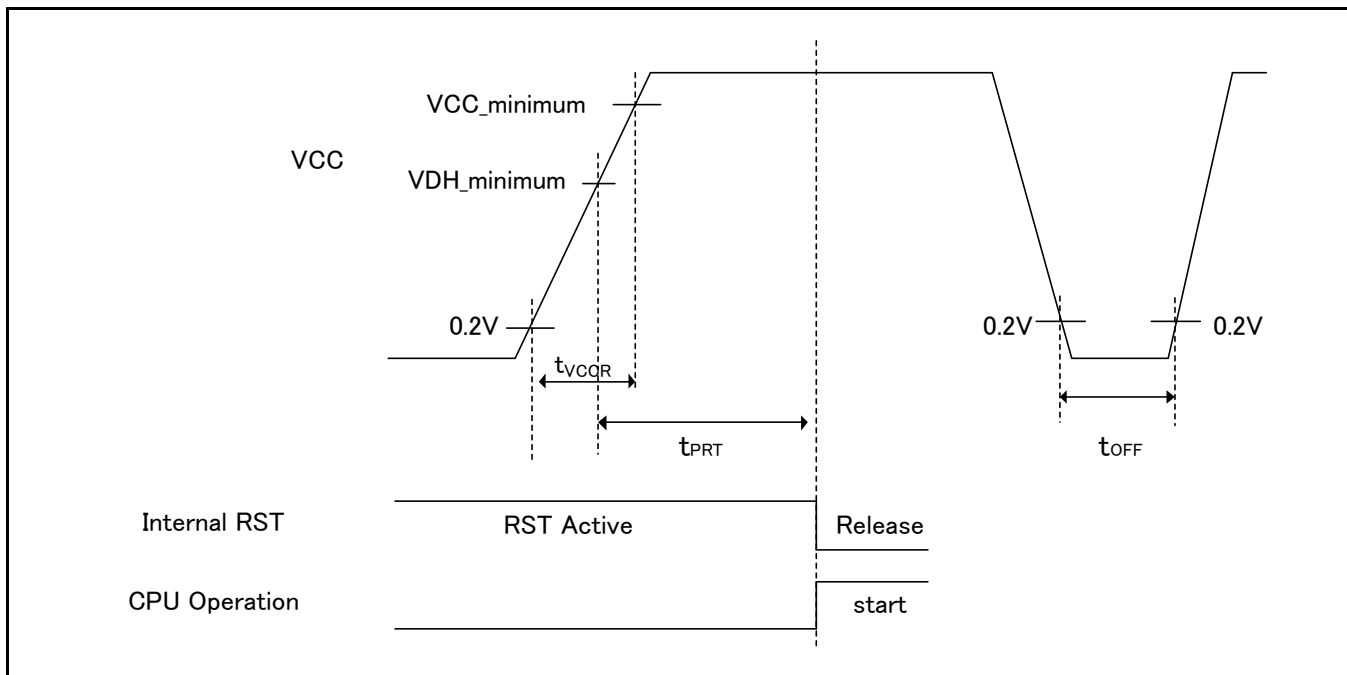
($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
复位输入时间	t_{INITX}	INITX	—	500	—	ns	

13.4.7 上电复位时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	数值		单位	备注
			最小值	最大值		
电源上升时间	t_{VCCR}	VCC	0	—	ms	
电源关闭时间	t_{OFF}		1	—	ms	
上电复位 释放时间	t_{PRT}		0.33	0.60	ms	



术语表

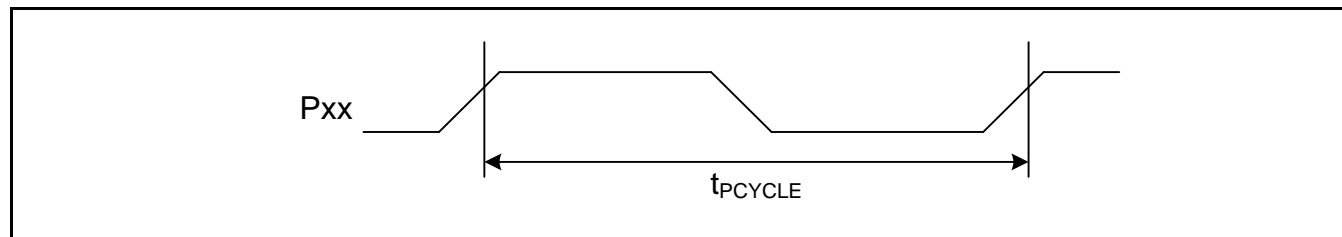
- $V_{CC_minimum}$: 推荐工作条件下的最小 VCC。
- $VDH_minimum$: 低压检测复位的最小检测电压。请参考第 8 章：“低压检测特性”。

13.4.8 GPIO 输出特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
输出频率	t_{PCYCLE}	P_{xx}^*	$V_{CC} \geq 4.5\text{ V}$	—	50	MHz
			$V_{CC} < 4.5\text{ V}$	—	32	MHz

*: 引脚被配置为 GPIO 时。



13.4.9 外部总线时序

外部总线时钟输出特性

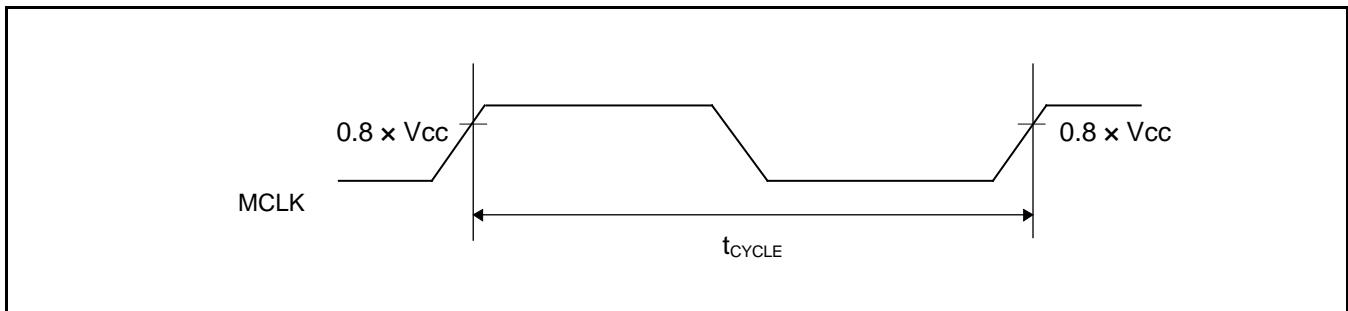
($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
输出频率	t_{CYCLE}	MCLKOUT*1	$V_{CC} \geq 4.5\text{ V}$	—	50*2	MHz
			$V_{CC} < 4.5\text{ V}$	—	32*3	MHz

*1: 外部总线时钟 (MCLKOUT) 是 HCLK 经分频后的一个时钟。更多有关时钟分频器设置的信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中第 14 章: “外部总线接口” 中讲述的内容。

*2: AHB 总线时钟频率超过 100 MHz 时, 设置 MCLKOUT 大于四分频。

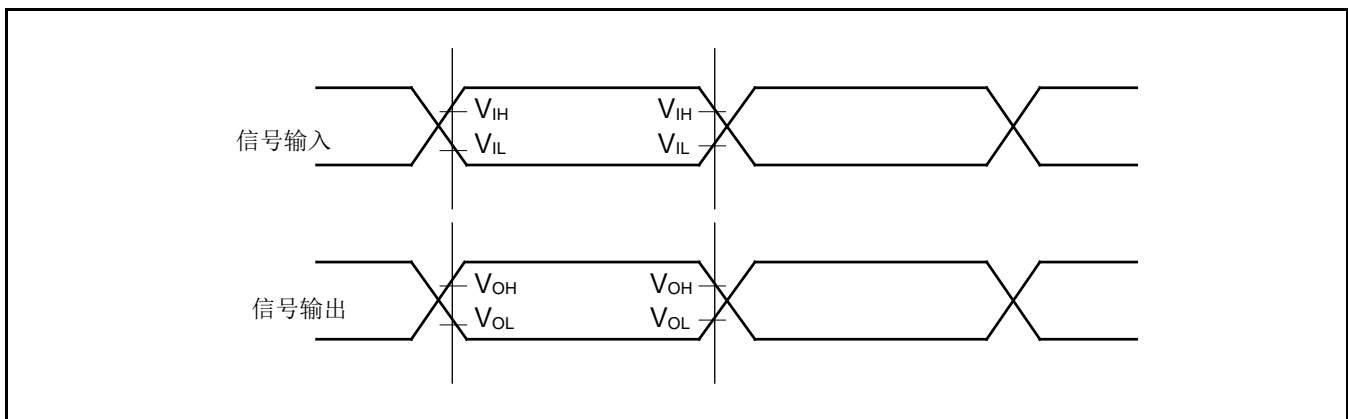
*3: AHB 总线时钟频率超过 64 MHz 时, 设置 MCLKOUT 分频大于 4 分频。



外部总线信号输入/输出特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	数值	单位	备注
信号输入特性	V_{IH}	—	$0.8 \times V_{CC}$	V	
	V_{IL}		$0.2 \times V_{CC}$	V	
信号输出特性	V_{OH}		$0.8 \times V_{CC}$	V	
	V_{OL}		$0.2 \times V_{CC}$	V	



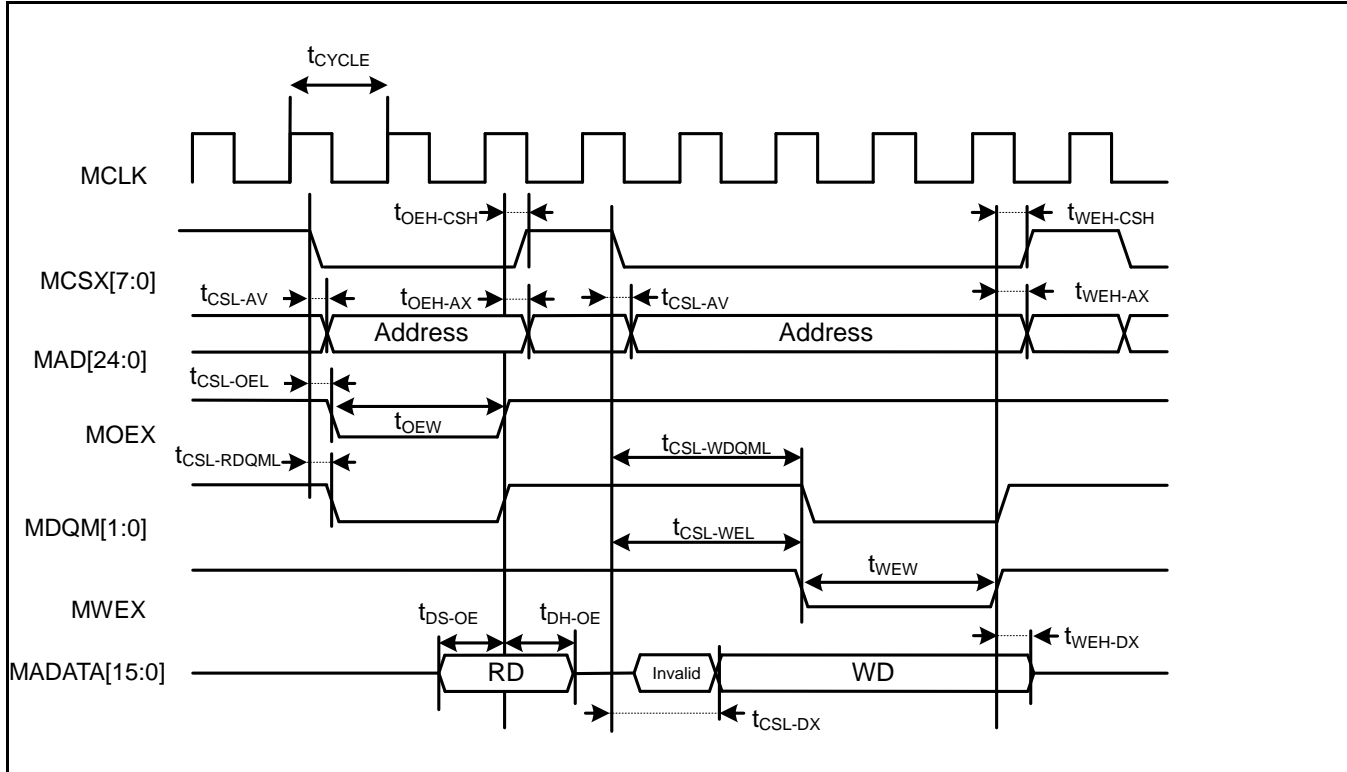
独立总线异步 SRAM 访问模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
MOEX 最小脉宽	$t_{OE\overline{W}}$	MOEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-3	—	ns
MCSX 下降沿到地址输出延迟时间	t_{CSL-AV}	MCSX[7:0], MAD[24:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	-9 -12	+9 +12	ns
MOEX 上升沿到地址保持时间	$t_{OE\overline{H}-AX}$	MOEX, MAD[24:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns
MCSX 下降沿到 MOEX 下降沿延迟时间	$t_{CSL-OEL}$	MOEX, MCSX[7:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MOEX 上升沿到 MCSX 上升沿的时间	$t_{OE\overline{H}-CSH}$		$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns
MCSX 下降沿到 MDQM 下降沿延迟时间	$t_{CSL-RDQML}$	MCSX, MDQM[1:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
数据建立到 MOEX 上升沿的时间	t_{DS-OE}	MOEX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	20 38	— —	ns
MOEX 上升沿到数据保持时间	t_{DH-OE}	MOEX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	—	ns
MWEX 最小脉宽	$t_{WE\overline{W}}$	MWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-3	—	ns
MWEX 上升沿到地址输出延迟时间	$t_{WE\overline{H}-AX}$	MWEX, MAD[24:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns
MCSX 下降沿到 MWEX 下降沿延迟时间	$t_{CSL-WEL}$	MWEX, MCSX[7:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-9 MCLKxn-12	MCLKxn+9 MCLKxn+12	ns
MWEX 上升沿到 MCSX 上升沿延迟时间	$t_{WE\overline{H}-CSH}$		$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns
MCSX 下降沿到 MDQM 下降沿延迟时间	$t_{CSL-WDQML}$	MCSX, MDQM[1:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-9 MCLKxn-12	MCLKxn+9 MCLKxn+12	ns
MWEX 下降沿到 数据输出时间	t_{CSL-DX}	MCSX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLK-9 MCLK-12	MCLK+9 MCLK+12	ns
MWEX 上升沿到 数据保留时间	$t_{WE\overline{H}-DX}$	MWEX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns

注意:

- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15$, $n = 1 \sim 16$)



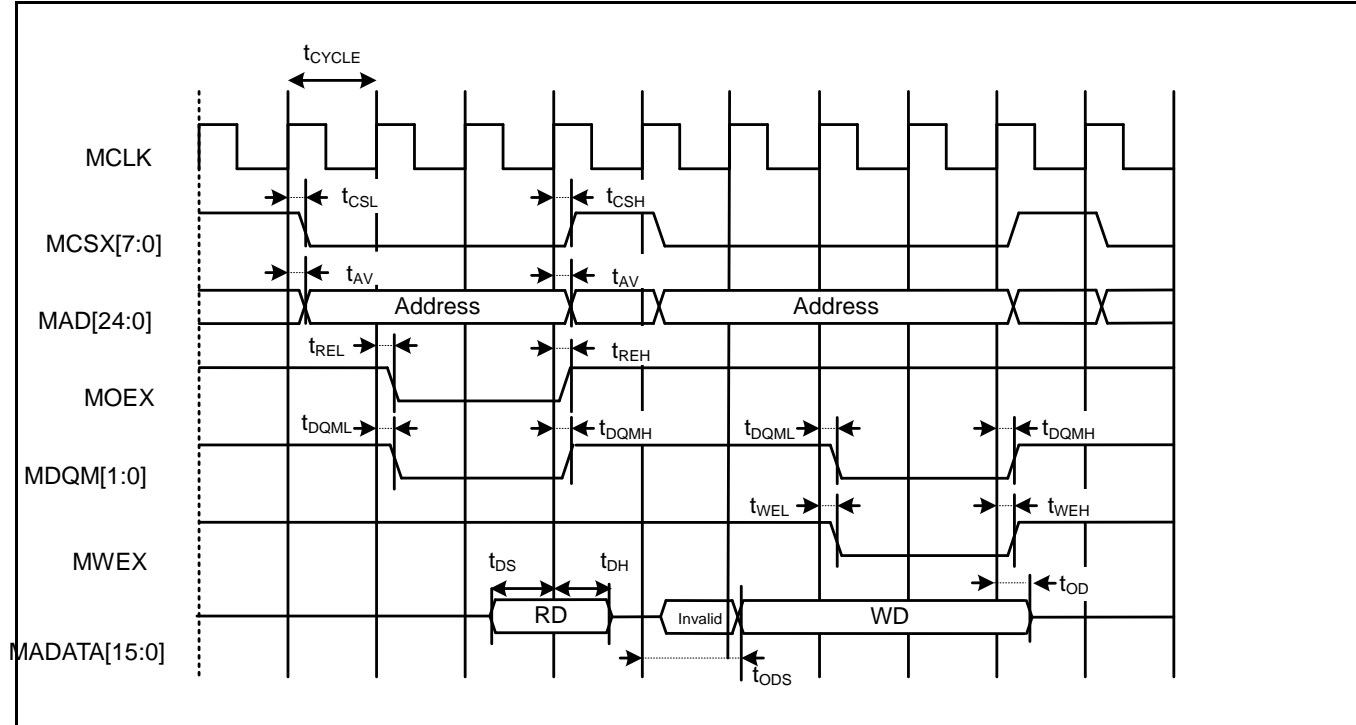
独立总线同步 SRAM 访问模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
地址延迟时间	t _{AV}	MCLK, MAD[24:0]	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
MCSX 延迟时间	t _{CSL}	MCLK, MCSX[7:0]	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
	t _{CSH}		V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
MOEX 延迟时间	t _{REL}	MCLK, MOEX	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
	t _{REH}		V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
数据建立到到 MCLK 上升沿时间	t _{DS}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V	19	—	ns
			V _{CC} < 4.5 V	37		
MCLK 上升沿到数据保留时间	t _{DH}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V	0	—	ns
			V _{CC} < 4.5 V			
MWEX 延迟时间	t _{WEL}	MCLK, MWEX	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
	t _{WEH}		V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
MDQM[1:0]延迟时间	t _{DQML}	MCLK, MDQM[1:0]	V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
	t _{DQMH}		V _{CC} ≥ 4.5 V	1	9	ns
			V _{CC} < 4.5 V		12	
MCLK 上升沿到数据输出时间	t _{ODS}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V	MCLK+1	MCLK+18	ns
			V _{CC} < 4.5 V		MCLK+24	
MCLK 上升沿到数据保留时间	t _{OD}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V	1	18	ns
			V _{CC} < 4.5 V		24	

注意:

- 外部负载电容 C_L 为 30 pF



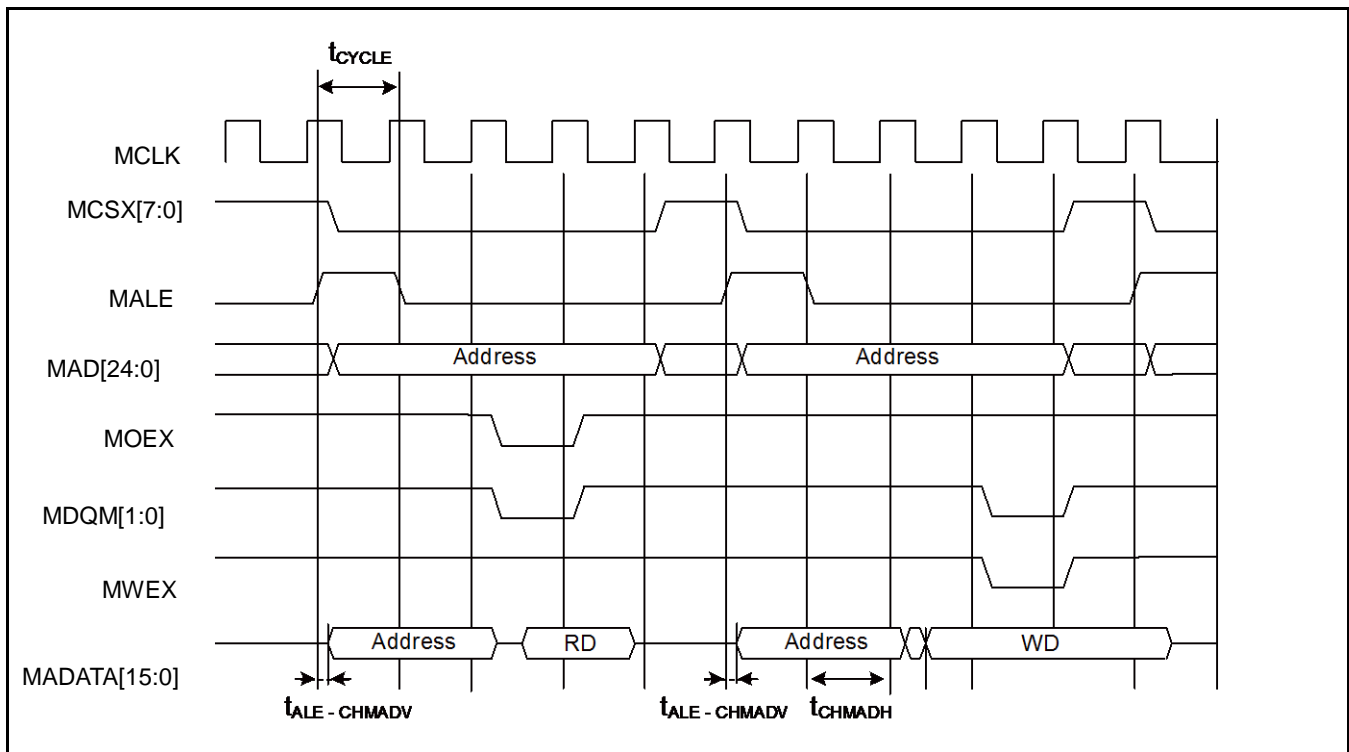
复用总线异步 SRAM 访问模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
复用地址延迟时间	$t_{ALE-CHMADV}$	MALE, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$	0	10	ns
			$V_{CC} < 4.5\text{ V}$		20	
复用地址保持时间	t_{CHMADH}	MALE, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$	$MCLK \times n + 0$	$MCLK \times n + 10$	ns
			$V_{CC} < 4.5\text{ V}$	$MCLK \times n + 0$	$MCLK \times n + 20$	

注意:

- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15$, $n = 1 \sim 16$)



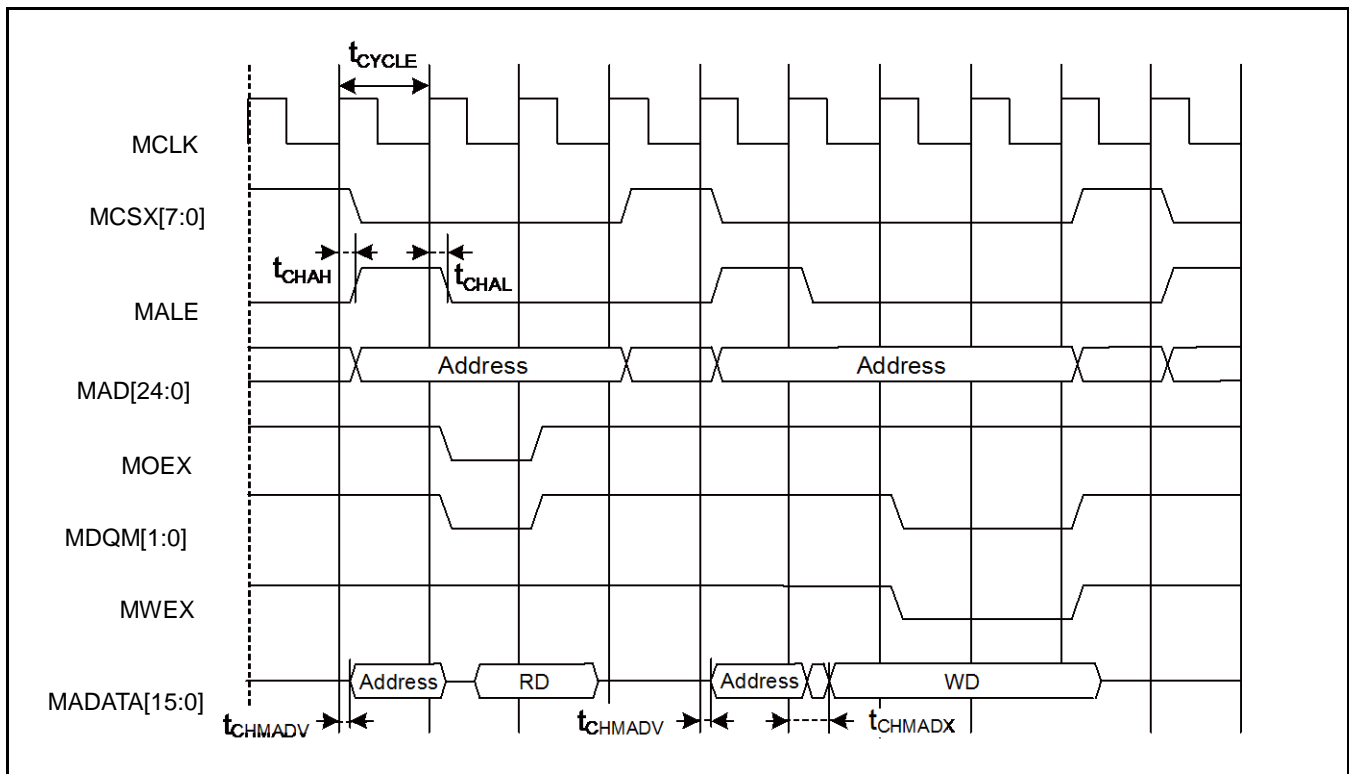
复用总线同步 **SRAM** 访问模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
MALE 延迟时间	t _{CHAL}	MCLK, ALE	V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12	ns	
	t _{CHAH}		V _{CC} ≥ 4.5 V	1	9	ns	
			V _{CC} < 4.5 V		12	ns	
MCLK 上升沿到复用地址延迟时间	t _{CHMADV}	MCLK, MADATA[15:0]	V _{CC} ≥ 4.5 V	1	tod	ns	
			V _{CC} < 4.5 V				
MCLK 上升沿到数据复用输出时间	t _{CHMAX}		V _{CC} ≥ 4.5 V	1	tod	ns	
			V _{CC} < 4.5 V				

注意:

- 外部负载电容 C_L 为 30 pF



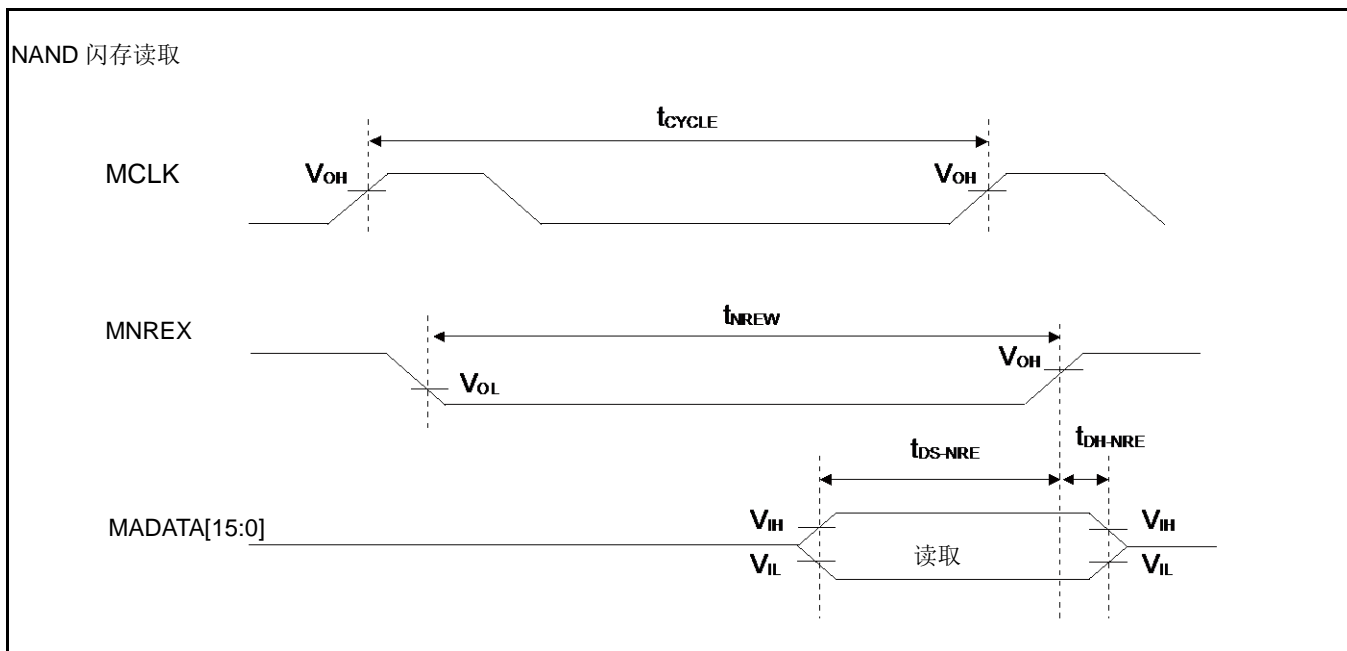
NAND 闪存模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

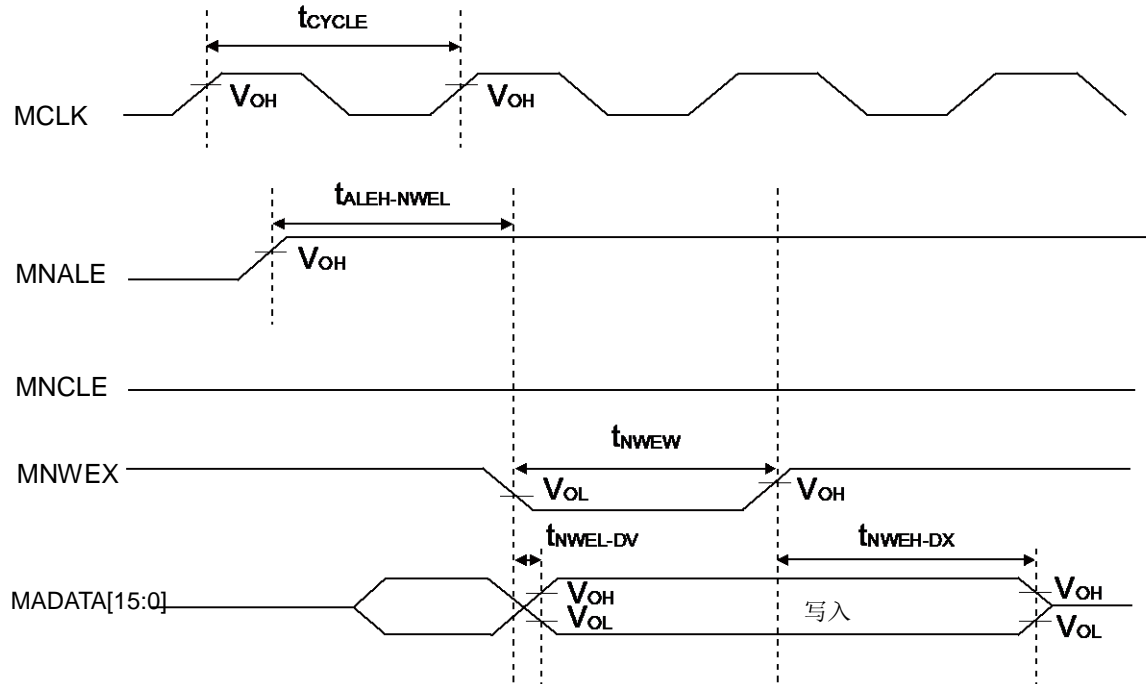
参数	符号	引脚名称	条件	数值		单位
				最小值	最大值	
MNREX 最小脉宽	t_{NREW}	MNREX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-3	—	ns
数据建立到 MNREX 上升沿的时间	t_{DS-NRE}	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	20 38	— —	ns
MNREX 上升沿到数据保留时间	t_{DH-NRE}	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	—	ns
MNALE 上升沿到 MNWEX 延迟时间	$t_{ALEH-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MNALE 下降沿到 MNWEX 延迟时间	$t_{ALEL-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MNCLE 上升沿到 MNWEX 延迟时间	$t_{CLEH-NWEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MNWEX 上升沿到 MNCLE 延迟时间	$t_{NWEH-CLEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns
MNWEX 最小脉宽	t_{NWEW}	MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-3	—	ns
MNWEX 下降沿到数据输出时间	$t_{NWEL-DV}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	-9 -12	+9 +12	ns
MNWEX 上升沿到数据保留时间	$t_{NWEH-DX}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns

注意:

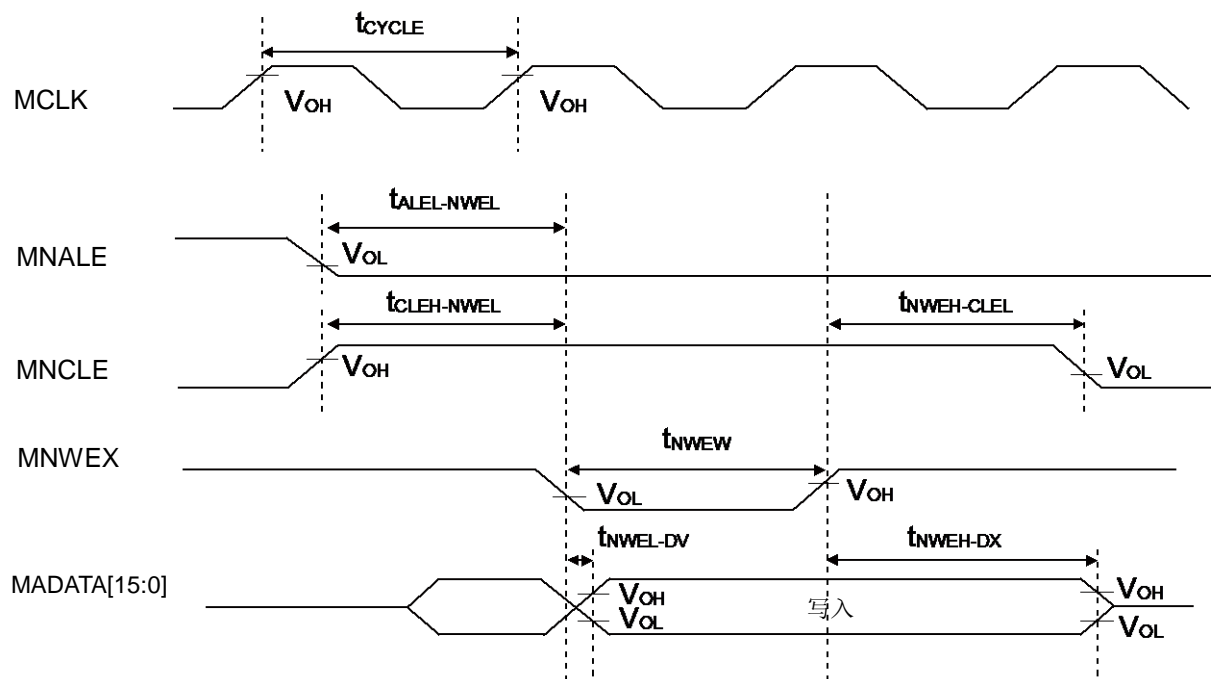
- 外部负载电容 C_L 为 30 pF ($m = 0 \sim 15$, $n = 1 \sim 16$)



NAND 闪存地址写入



NAND 闪存指令写入

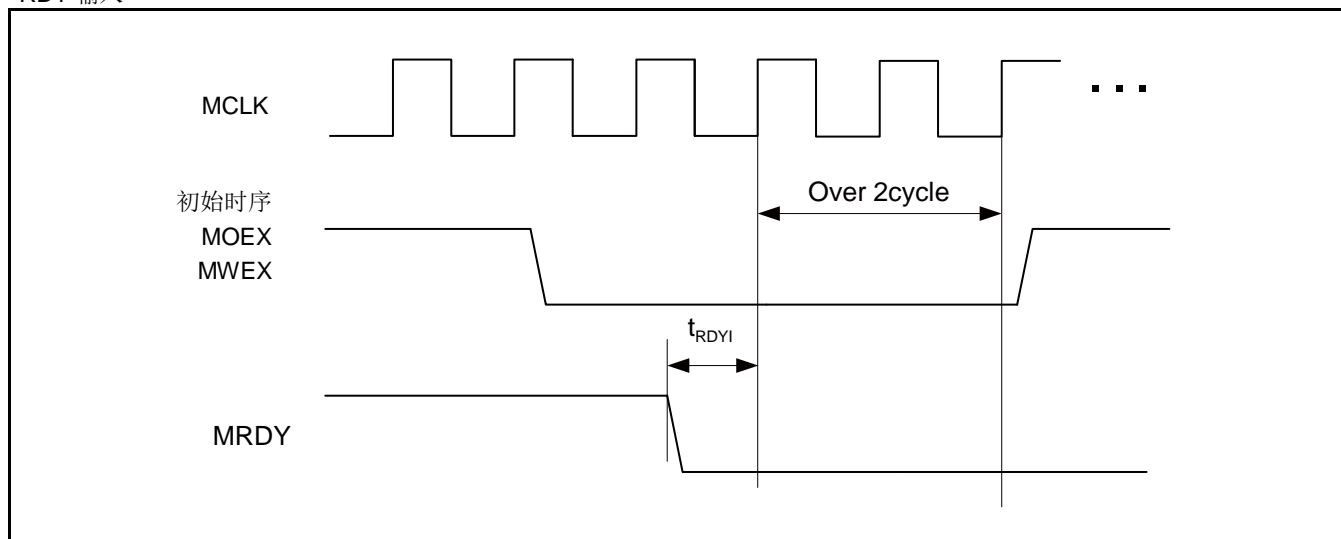


外部就绪信号时序

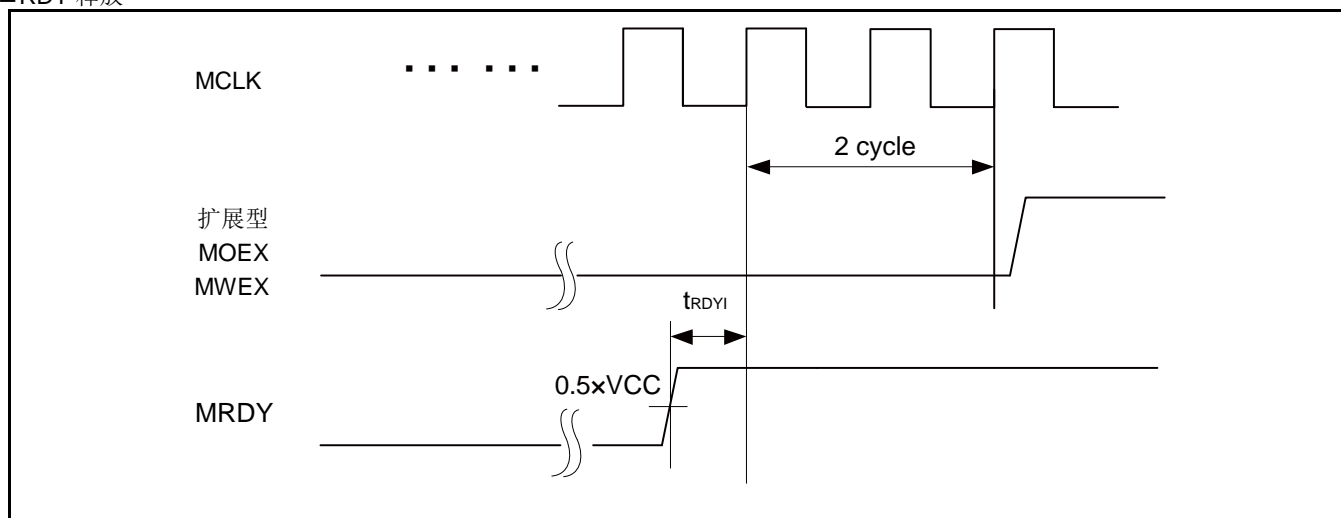
($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
MCLK 上升沿到 MRDY 输入的建立时间	t_{RDYI}	MCLK, MRDY	$V_{CC} \geq 4.5\text{ V}$	19	—	ns	
			$V_{CC} < 4.5\text{ V}$	37			

■ RDY 输入



■ RDY 释放



SDRAM 模式

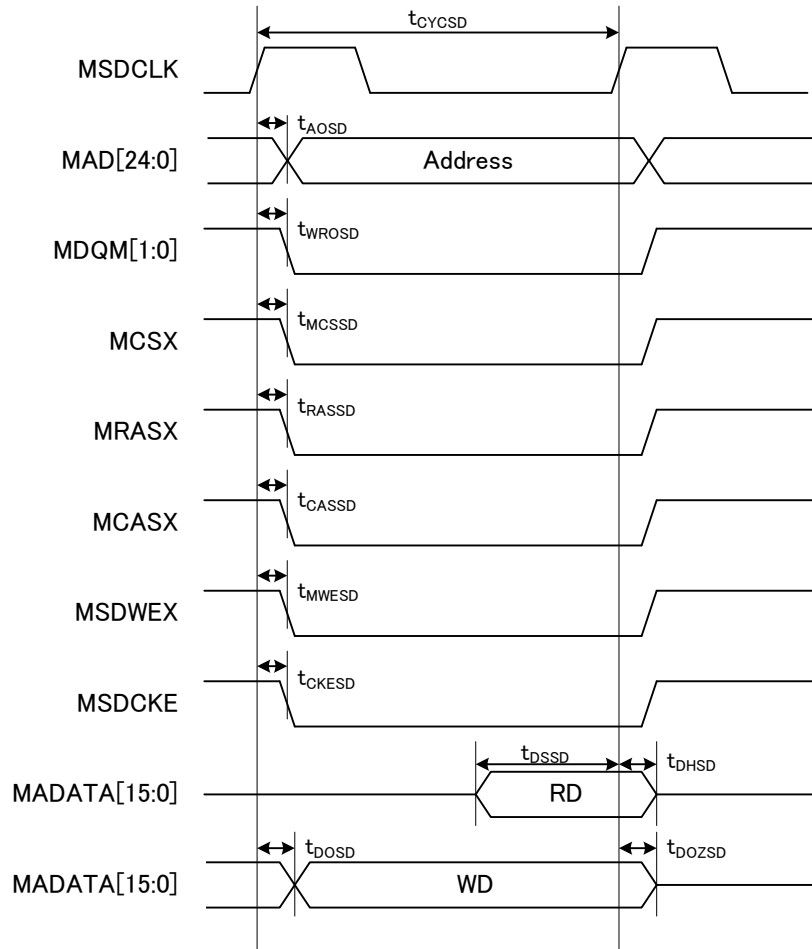
($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	数值		单位
			最小值	最大值	
输出频率	t_{CYCSD}	MSDCLK	—	32	MHz
地址延迟时间	t_{AOSD}	MSDCLK, MAD[15: 0]	2	12	ns
MSDCLK 上升沿到数据输出延迟时间	t_{DOSD}	MSDCLK, MADATA[31:0]	2	12	ns
MSDCLK 上升沿到数据输出高阻态的时间	t_{DOZSD}	MSDCLK, MADATA[31:0]	2	20	ns
MDQM[1:0]延迟时间	t_{WROSD}	MSDCLK, MDQM[1:0]	1	12	ns
MCSX 延迟时间	t_{MCSSD}	MSDCLK, MCSX8	2	12	ns
MRASX 延迟时间	t_{RASD}	MSDCLK, MRASX	2	12	ns
MCASX 延迟时间	t_{CASSD}	MSDCLK, MCASX	2	12	ns
MSDWEX 延迟时间	t_{MWESD}	MSDCLK, MSDWEX	2	12	ns
MSDCKE 延迟时间	t_{CKESD}	MSDCLK, MSDCKE	2	12	ns
数据建立时间	t_{DSSD}	MSDCLK, MADATA[31:0]	23	—	ns
数据保留时间	t_{DHSD}	MSDCLK, MADATA[31:0]	0	—	ns

注意:

- 外部负载电容 C_L 为 30 pF

SDRAM 访问时序

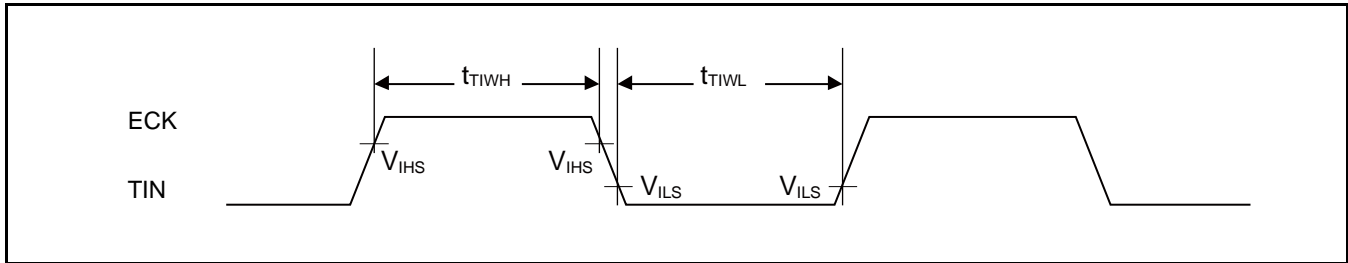


13.4.10 基础定时器输入时序

定时器输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

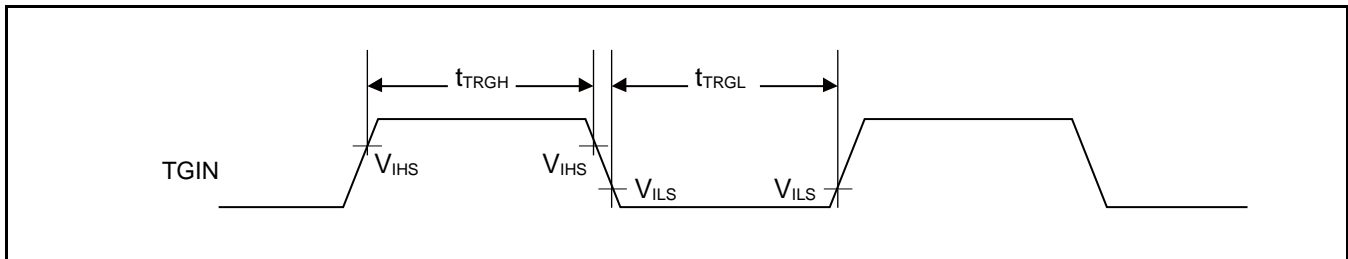
参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输入脉宽	t_{TIWH} , t_{TIWL}	TIOAn/TIOBn (当作为 ECK、 TIN 使用时)	—	$2t_{CYCP}$	—	ns	



触发信号时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输入脉宽	t_{TRGH} , t_{TRGL}	TIOAn/TIOBn (当作为 TGIN 使用时)	—	$2t_{CYCP}$	—	ns	



注意:

- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关基础定时器挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。

13.4.11 CSIO 时序

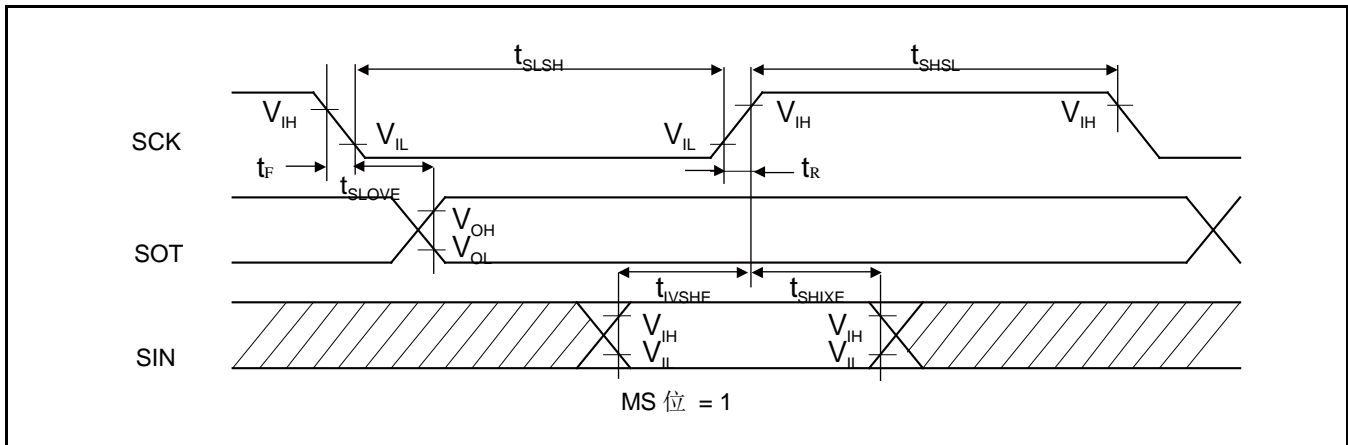
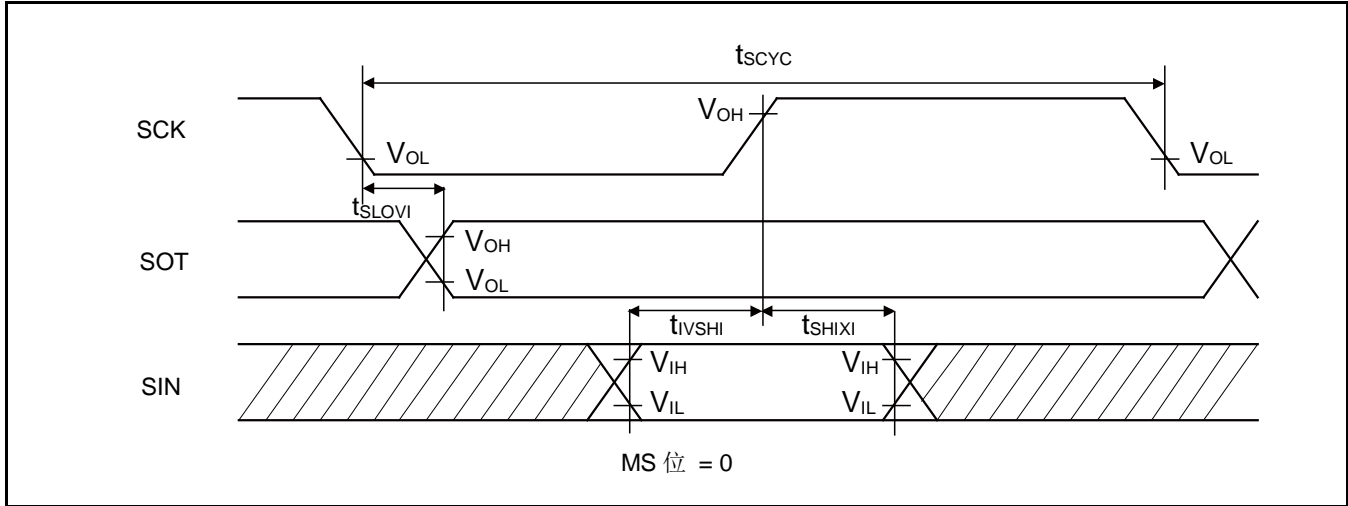
同步串行 (SPI = 0, SCINV = 0)

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	引脚名称	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t _{SCYC}	SCKx	内部移位时钟	4t _{CYCP}	—	4t _{CYCP}	—	ns
SCK 下降沿到 SOT 延迟时间	t _{SLOVI}	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 上升沿建立时间	t _{IVSHI}	SCKx, SINx		50	—	30	—	ns
SCK 上升沿到 SIN 保持时间	t _{SHIXI}	SCKx, SINx		0	—	0	—	ns
串行时钟低电平脉宽	t _{SLSH}	SCKx	外部移位时钟	2t _{CYCP} - 10	—	2t _{CYCP} - 10	—	ns
串行时钟高电平脉宽	t _{SHSL}	SCKx		t _{CYCP} + 10	—	t _{CYCP} + 10	—	ns
SCK 下降沿到 SOT 延迟时间	t _{SLOVE}	SCKx, SOTx		—	50	—	30	ns
SIN 到 SCK 上升沿建立时间	t _{IVSHE}	SCKx, SINx		10	—	10	—	ns
SCK 上升沿到 SIN 保持时间	t _{SHIXE}	SCKx, SINx		20	—	20	—	ns
SCK 下降时间	t _F	SCKx		—	5	—	5	ns
SCK 上升时间	t _R	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 这些特性只对相同的重定位端口编号有效。
例如, 对 SCLKx_0 和 SOTx_1 的组合便为无效。
- 外部负载电容 C_L 为 30 pF。



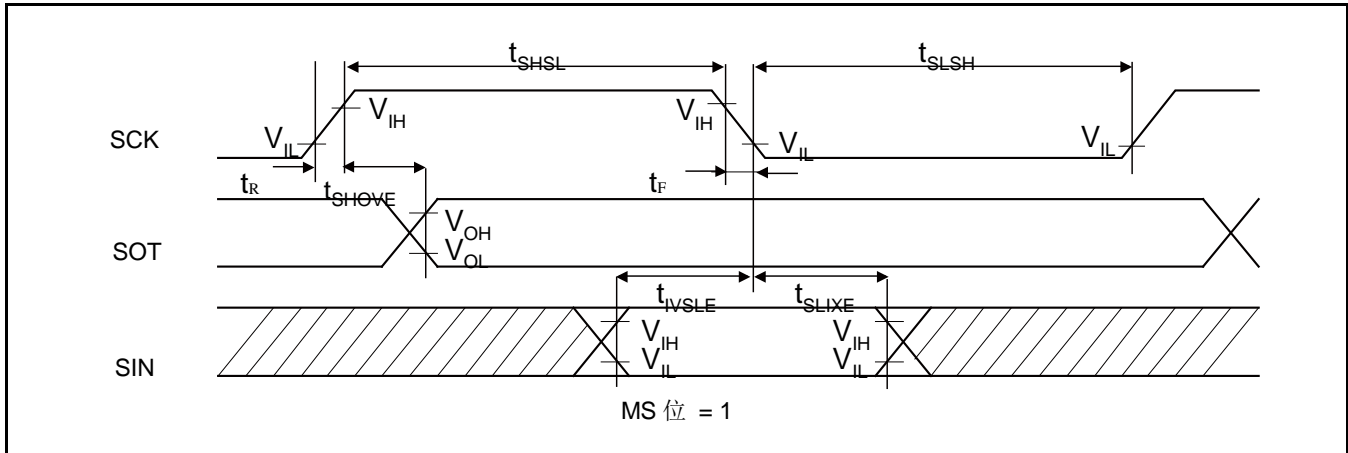
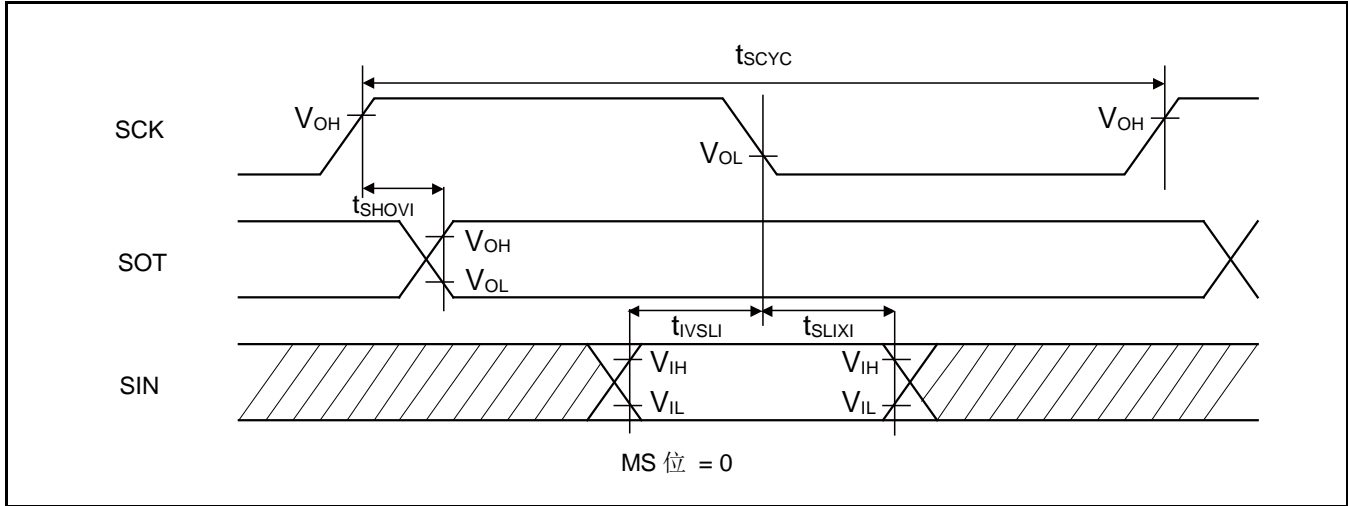
同步串行 (SPI = 0, SCINV = 1)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	tSCYC	SCKx	内部移位时钟	4tCYCP	—	4tCYCP	—	ns
SCK 上升沿到 SOT 延迟时间	tSHOVI	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 下降沿建立时间	tIVSLI	SCKx, SINx		50	—	30	—	ns
SCK 下降沿到 SIN 保持时间	tSLIXI	SCKx, SINx		0	—	0	—	ns
串行时钟低电平脉宽	tLSLH	SCKx	外部移位时钟	2tCYCP - 10	—	2tCYCP - 10	—	ns
串行时钟高电平脉宽	tSHSL	SCKx		tCYCP + 10	—	tCYCP + 10	—	ns
SCK 上升沿到 SOT 延迟时间	tSHOVE	SCKx, SOTx		—	50	—	30	ns
SIN 到 SCK 下降沿建立时间	tIVSLE	SCKx, SINx		10	—	10	—	ns
SCK 下降沿到 SIN 保持时间	tSLIXE	SCKx, SINx		20	—	20	—	ns
SCK 下降时间	tF	SCKx		—	5	—	5	ns
SCK 上升时间	tR	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 CLK 同步模式。
- tCYCP 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 这些特性只对相同的重定位端口编号有效。
例如, 对 SCLKx_0 和 SOTx_1 的组合便为无效。
- 外部负载电容 C_L 为 30 pF。



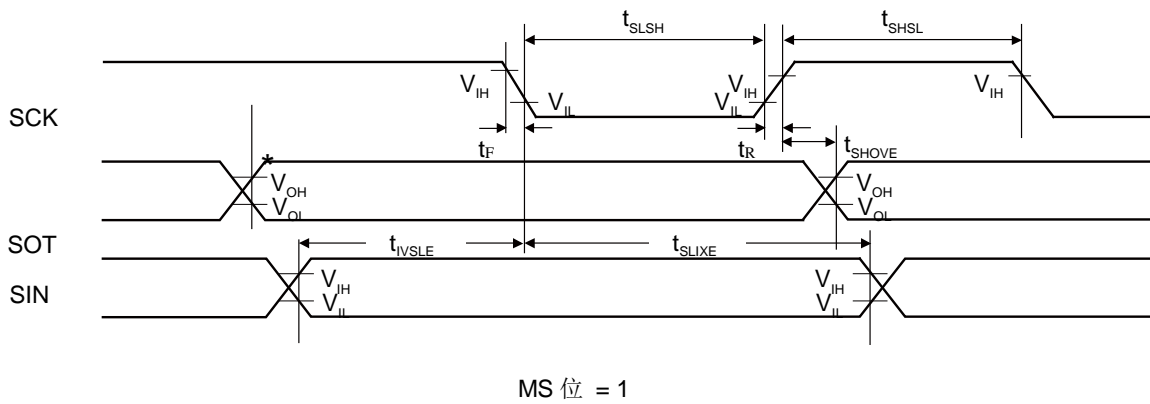
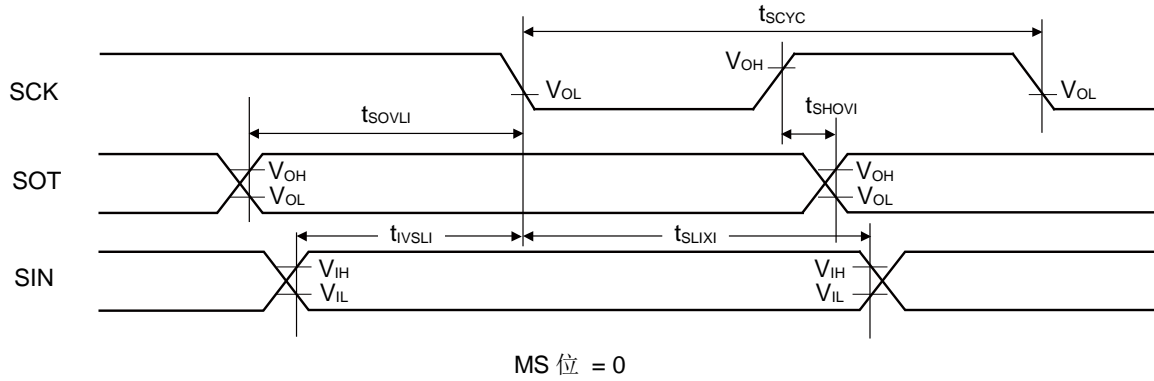
同步串行 (SPI = 1, SCINV = 0)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	tSCYC	SCKx	内部移位时钟	4tCYCP	—	4tCYCP	—	ns
SCK 上升沿到 SOT 延迟时间	tSHOVI	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 下降沿建立时间	tIVSLI	SCKx, SINx		50	—	30	—	ns
SCK 下降沿到 SIN 保持时间	tSLIXI	SCKx, SINx		0	—	0	—	ns
SOT 到 SCK 下降沿延迟时间	tSOVLI	SCKx, SOTx		2tCYCP - 30	—	2tCYCP - 30	—	ns
串行时钟低电平脉宽	tLSLH	SCKx	外部移位时钟	2tCYCP - 10	—	2tCYCP - 10	—	ns
串行时钟高电平脉宽	tSHSL	SCKx		tCYCP + 10	—	tCYCP + 10	—	ns
SCK 上升沿到 SOT 延迟时间	tSHOVE	SCKx, SOTx		—	50	—	30	ns
SIN 到 SCK 下降沿建立时间	tIVSLE	SCKx, SINx		10	—	10	—	ns
SCK 下降沿到 SIN 保持时间	tSLIXE	SCKx, SINx		20	—	20	—	ns
SCK 下降时间	tF	SCKx		—	5	—	5	ns
SCK 上升时间	tR	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 CLK 同步模式。
- tCYCP 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 这些特性只对相同的重定位端口编号有效。
例如, 对 SCLKx_0 和 SOTx_1 的组合便为无效。
- 外部负载电容 CL 为 30 pF。



*: 写入 TDR 寄存器时会发生变化。

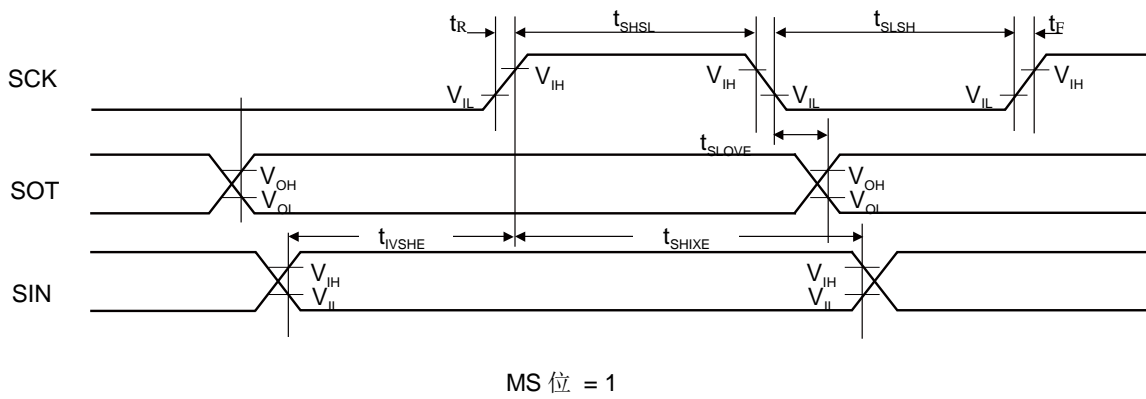
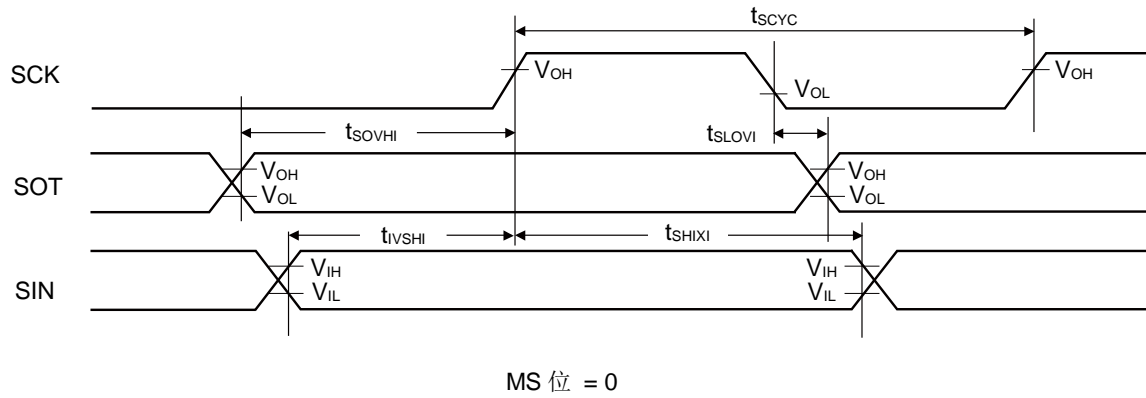
同步串行模式 (SPI = 1, SCINV = 1)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	tSCYC	SCKx	内部移位时钟	4tCYCP	—	4tCYCP	—	ns
SCK 下降沿到 SOT 延迟时间	tSLOVI	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN 到 SCK 上升沿建立时间	tIVSHI	SCKx, SINx		50	—	30	—	ns
SCK 上升沿到 SIN 保持时间	tSHIXI	SCKx, SINx		0	—	0	—	ns
SOT 到 SCK 上升沿延迟时间	tSOVHI	SCKx, SOTx		2tCYCP - 30	—	2tCYCP - 30	—	ns
串行时钟低电平脉宽	tLSH	SCKx	外部移位时钟	2tCYCP - 10	—	2tCYCP - 10	—	ns
串行时钟高电平脉宽	tSHSL	SCKx		tCYCP + 10	—	tCYCP + 10	—	ns
SCK 下降沿到 SOT 延迟时间	tSLOVE	SCKx, SOTx		—	50	—	30	ns
SIN 到 SCK 上升沿建立时间	tIVSHE	SCKx, SINx		10	—	10	—	ns
SCK 上升沿到 SIN 保持时间	tSHIXE	SCKx, SINx		20	—	20	—	ns
SCK 下降时间	tF	SCKx		—	5	—	5	ns
SCK 上升时间	tR	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 CLK 同步模式。
- tCYCP 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 这些特性只对相同的重定位端口编号有效。
例如, 对 SCLKx_0 和 SOTx_1 的组合便为无效。
- 外部负载电容 CL 为 30 pF。



同步串行片选 ($SPI = 1$, $SCINV = 0$, $MS = 0$, $CSLVL = 1$)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿建立时间	t_{CSSI}	内部移位时钟	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK 上升沿到 SCS 上升沿保持时间	t_{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消选择时间	t_{CSDI}		(*3)-50 +5 t_{CYCP}	(*3)+50 +5 t_{CYCP}	(*3)-50 +5 t_{CYCP}	(*3)+50 +5 t_{CYCP}	ns
SCS 下降沿到 SCK 下降沿建立时间	t_{CSSE}	外部移位时钟	3 t_{CYCP} +30	—	3 t_{CYCP} +30	—	ns
SCK 上升沿到 SCS 上升沿保持时间	t_{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t_{CSDE}		3 t_{CYCP} +30	—	3 t_{CYCP} +30	—	ns
SCS 下降沿到 SUT 延迟时间	t_{DSE}		—	40	—	40	ns
SCS 上升沿到 SUT 延迟时间	t_{DEE}		0	—	0	—	ns

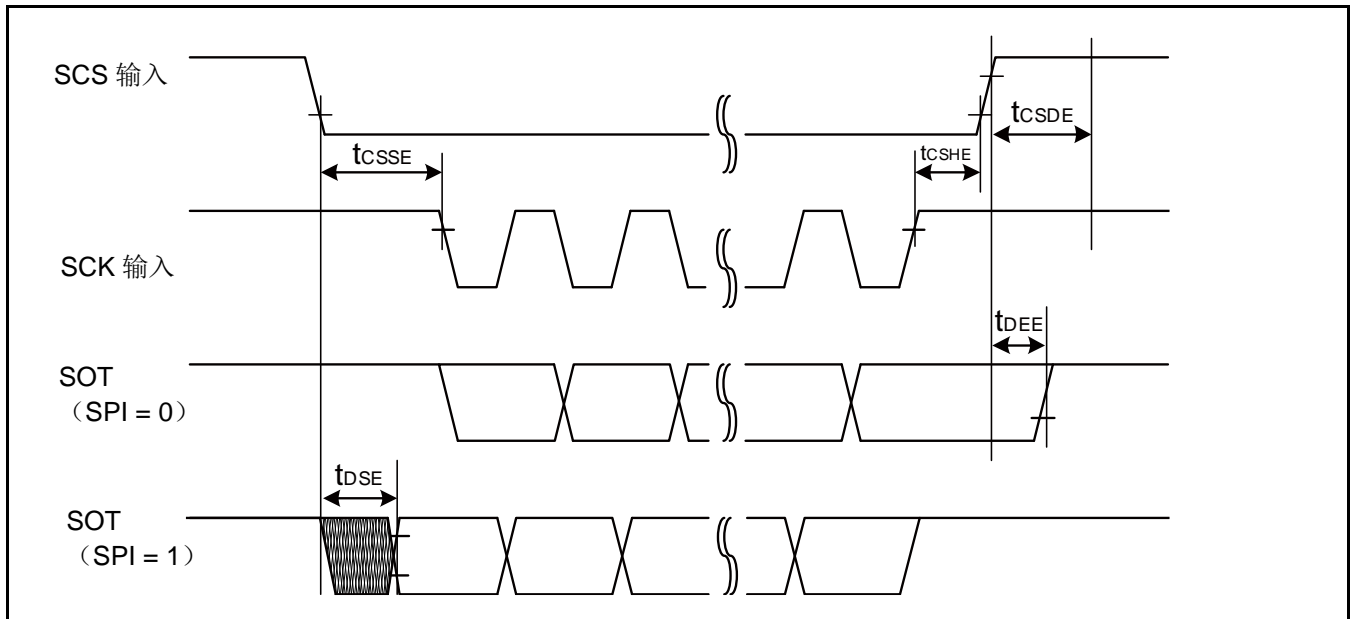
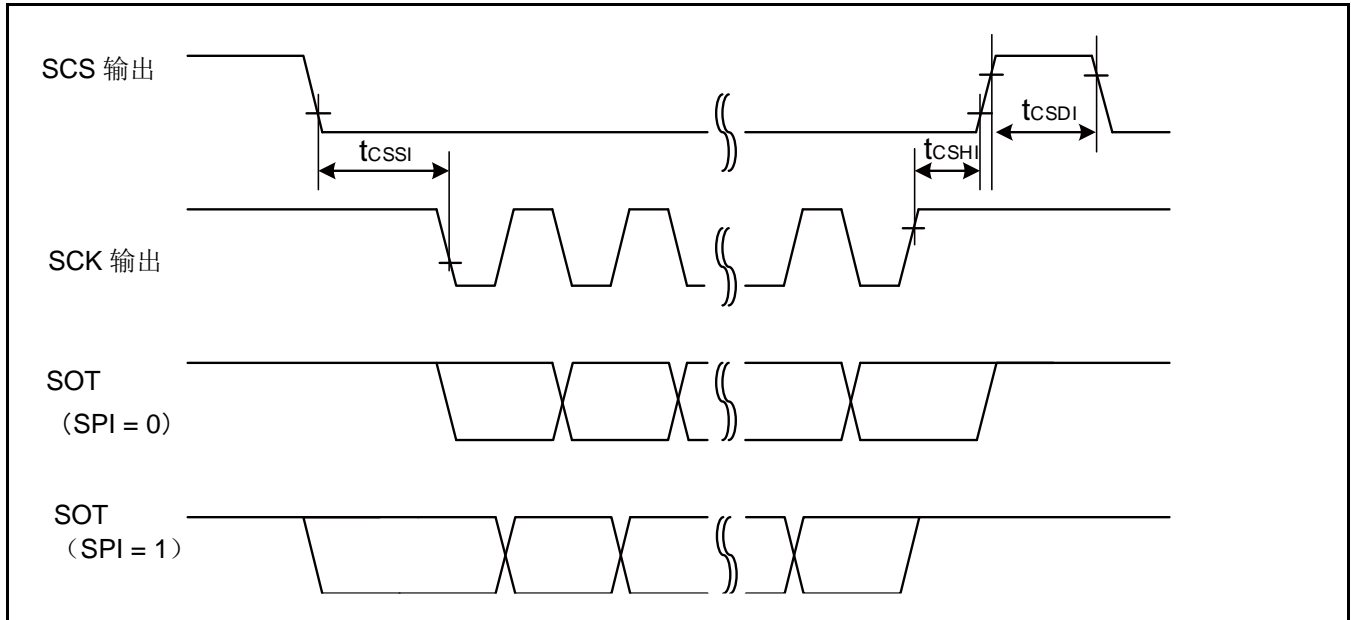
(*1): $CSSU$ 位值 \times 串行片选时序操作时钟周期[ns]

(*2): $CSHD$ 位值 \times 串行片选时序操作时钟周期[ns]

(*3): $CSDS$ 位值 \times 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: **S6E2H 系列框图内容**。
- 更多有关 $CSSU$ 、 $CSHD$ 、 $CSDS$ 以及串行片选时序操作时钟的详细信息, 请参考 **FM4 系列外设手册主要部分 (002-04856)** 的内容。
- 外部负载电容 C_L 为 30 pF。



同步串行片选 (SPI = 1, SCINV = 1, MS=0, CSLVL = 1)

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 上升沿建立时间	t _{CSSI}	内部移位时钟	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK 下降沿到 SCS 上升沿保持时间	t _{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消选择时间	t _{CSDI}		(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	ns
SCS 下降沿到 SCK 上升沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCK 下降沿到 SCS 上升沿保持时间	t _{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t _{CSDE}		3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCS 下降沿到 SOT 延迟时间	t _{DSE}		—	40	—	40	ns
SCS 上升沿到 SOT 延迟时间	t _{DEE}		0	—	0	—	ns

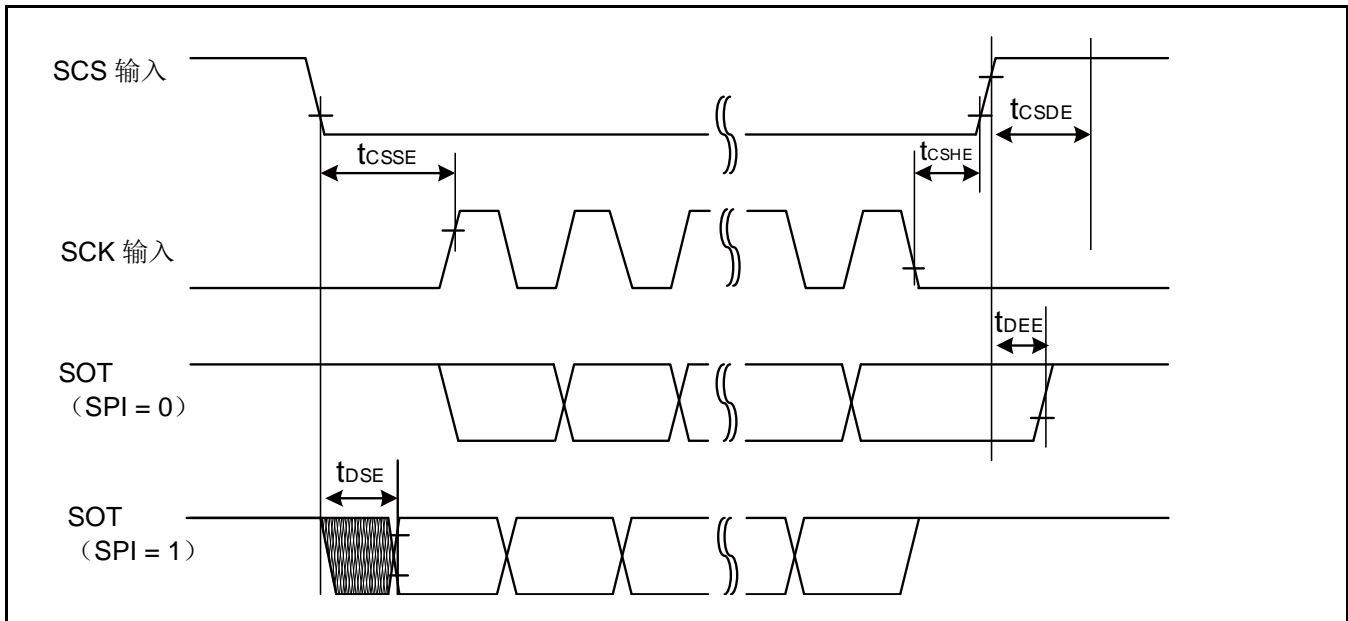
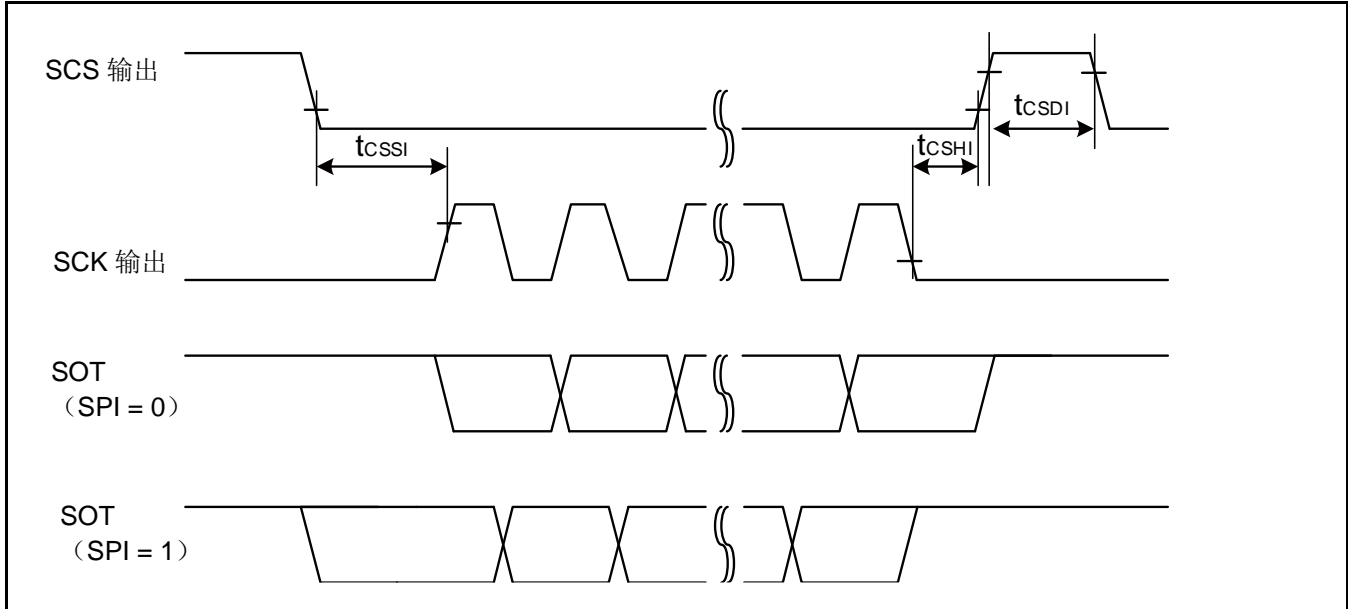
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 的内容。
- 外部负载电容 C_L 为 30 pF。



同步串行片选 (SPI = 1, SCINV = 0, MS = 0, CSLVL = 0)

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 下降沿建立时间	t _{CSSI}	内部移位时钟	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK 上升沿到 SCS 下降沿保持时间	t _{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消选择时间	t _{CSDI}		(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	(*3)-50 +5t _{CYCP}	(*3)+50 +5t _{CYCP}	ns
SCS 上升沿到 SCK 下降沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCK 上升沿到 SCS 下降沿保持时间	t _{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t _{CSDE}		3t _{CYCP} +30	—	3t _{CYCP} +30	—	ns
SCS 上升沿到 SOT 延迟时间	t _{DSE}		—	40	—	40	ns
SCS 下降沿到 SOT 延迟时间	t _{DEE}		0	—	0	—	ns

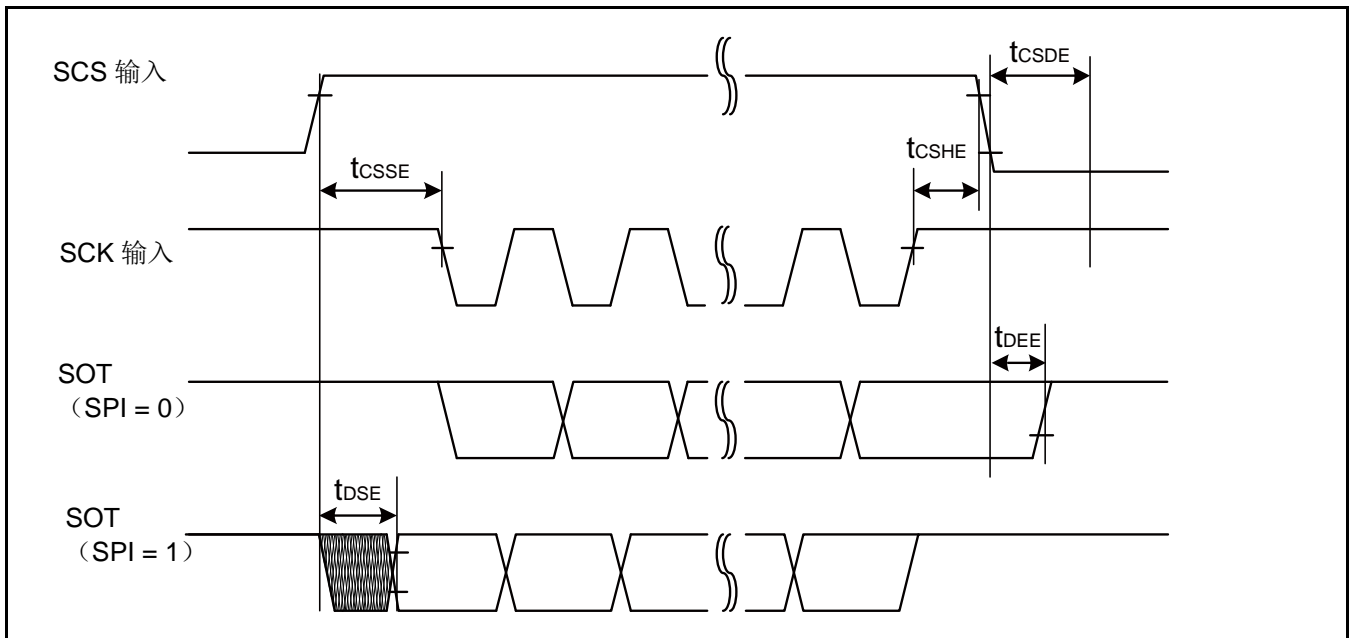
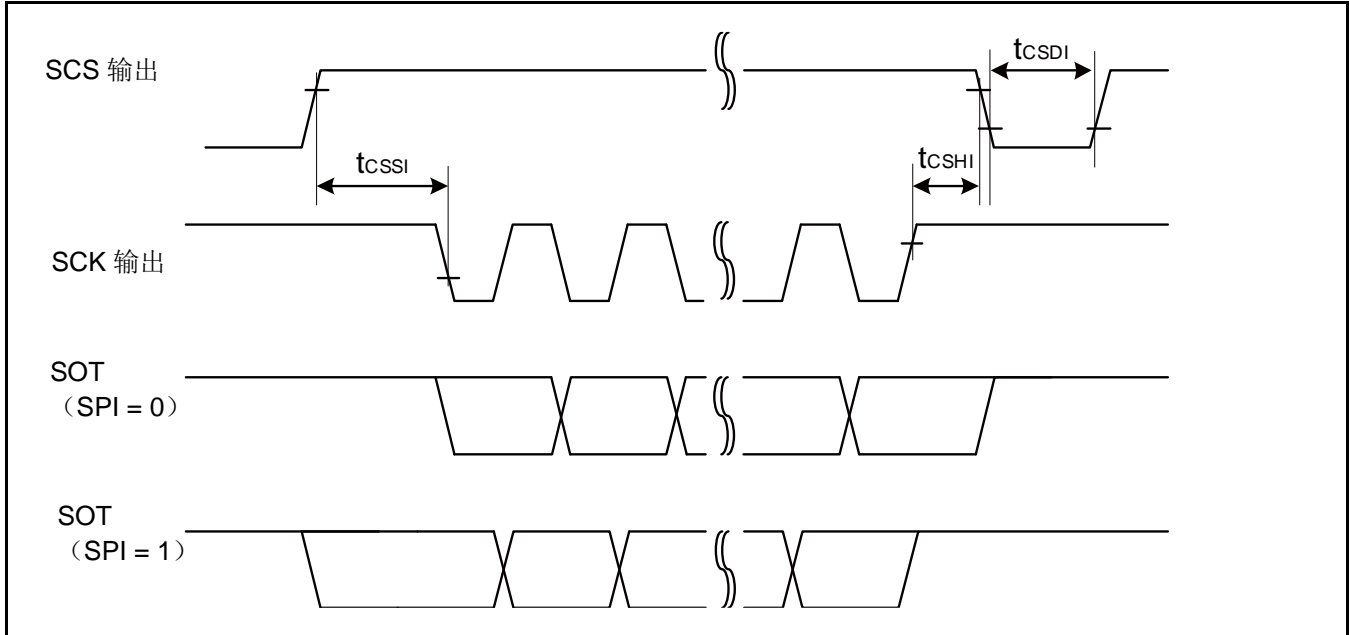
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 的内容。
- 外部负载电容 C_L 为 30 pF。



同步串行片选 (SPI = 1, SCINV = 1, MS = 0, CSLVL = 0)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 上升沿建立时间	tCSSI	内部移位时钟	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK 下降沿到 SCS 下降沿保持时间	tCSHI		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS 取消选择时间	tCSDI		(*3)-50 +5tCYCP	(*3)+50 +5tCYCP	(*3)-50 +5tCYCP	(*3)+50 +5tCYCP	ns
SCS 上升沿到 SCK 上升沿建立时间	tCSSE	外部移位时钟	3tCYCP+30	—	3tCYCP+30	—	ns
SCK 下降沿到 SCS 下降沿保持时间	tCSHE		0	—	0	—	ns
SCS 取消选择时间	tCSDE		3tCYCP+30	—	3tCYCP+30	—	ns
SCS 上升沿到 SOT 延迟时间	tDSE		—	40	—	40	ns
SCS 下降沿到 SOT 延迟时间	tDEE		0	—	0	—	ns

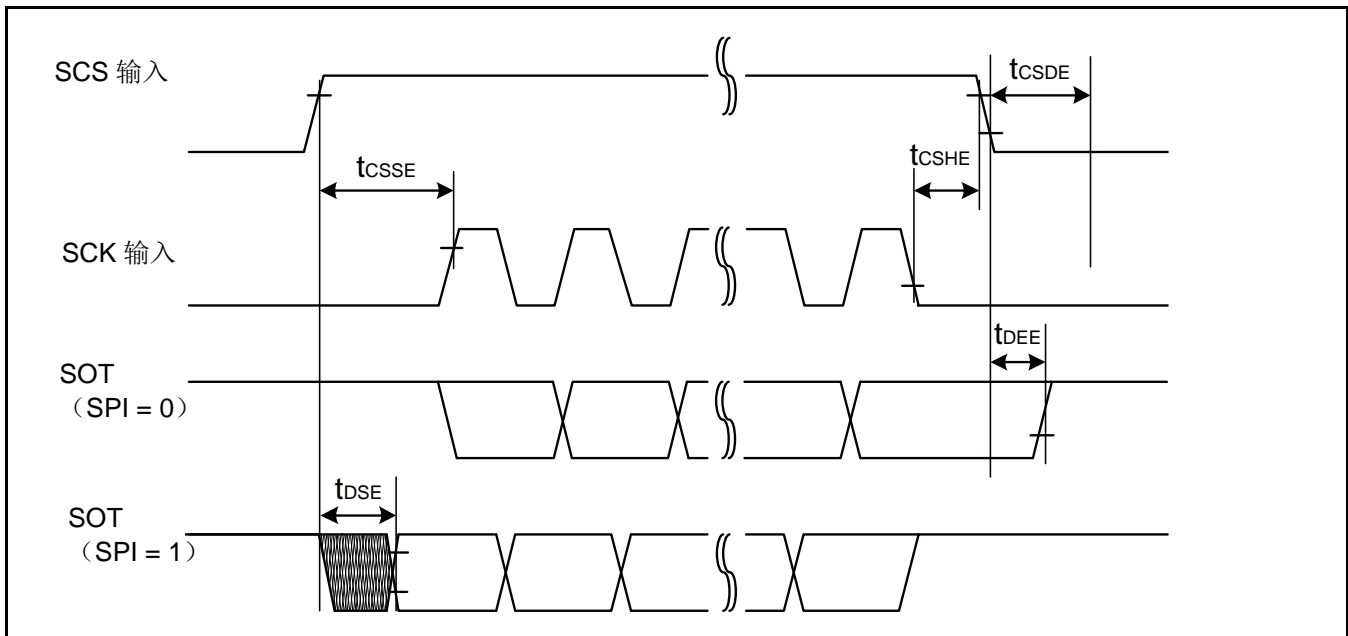
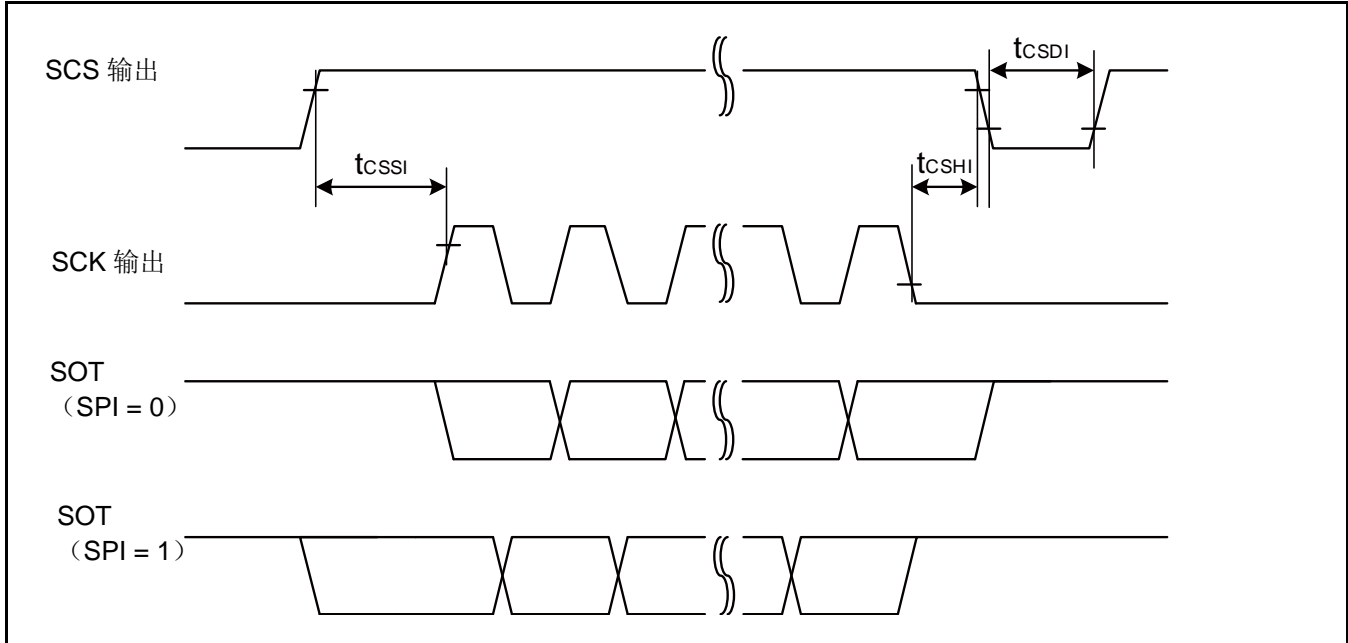
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- tCYCP 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 的内容。
- 外部负载电容 C_L 为 30 pF。



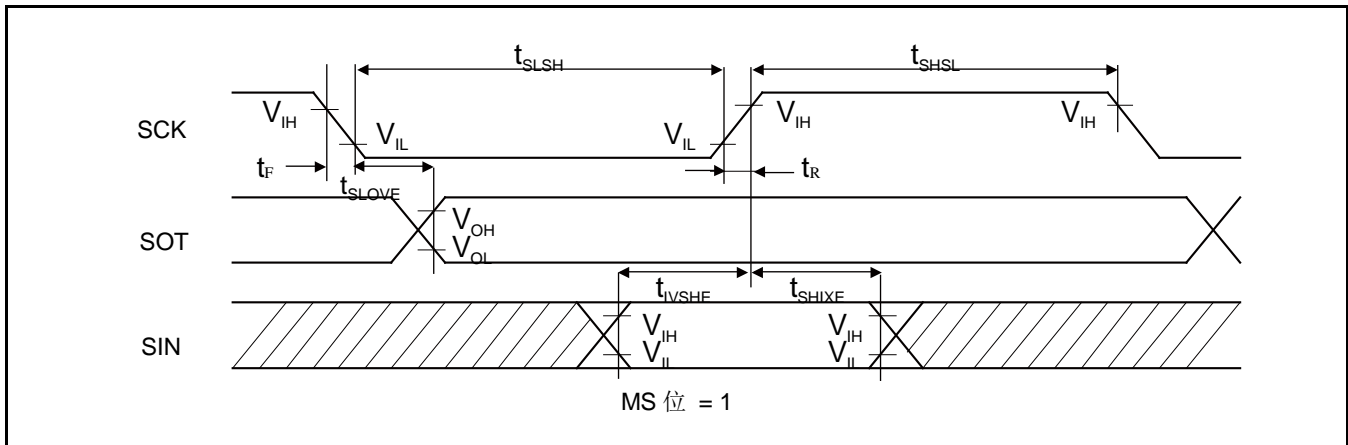
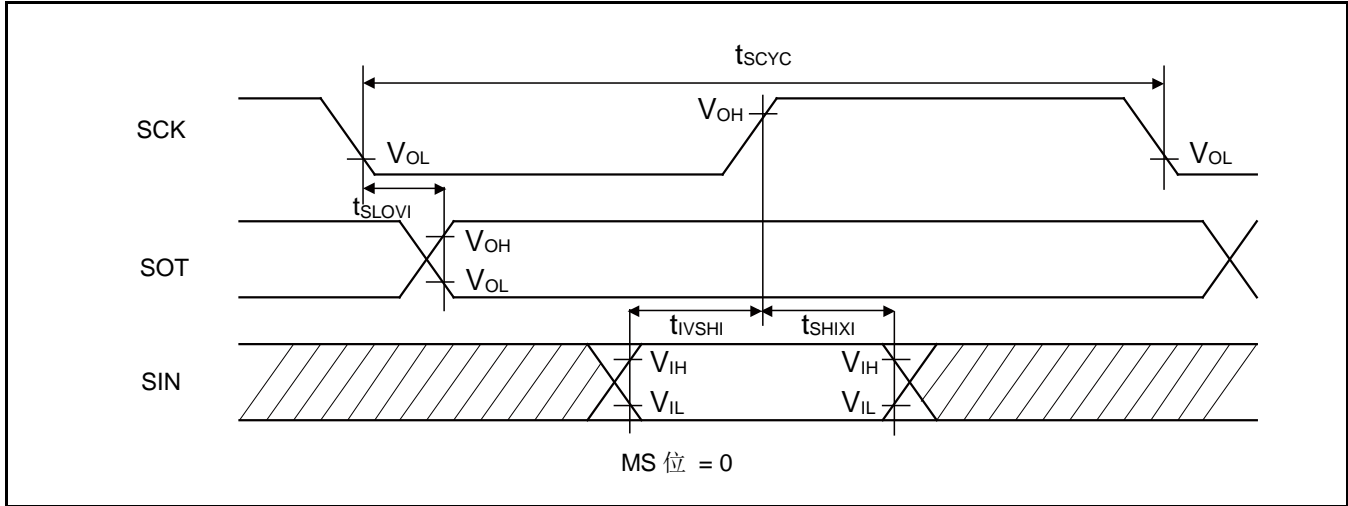
高速同步串行模式 (SPI = 0, SCINV = 0)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟	$4t_{CYCP}$	—	$4t_{CYCP}$	—	ns
SCK 下降沿到 SOT 延迟时间	t_{SLOVI}	SCKx, SOTx		-10	+10	-10	+10	ns
SIN 到 SCK 上升沿建立时间	t_{IVSHI}	SCKx, SINx		14	—	12.5	—	ns
				12.5*				
SCK 上升沿到 SIN 保持时间	t_{SHIXI}	SCKx, SINx		5	—	5	—	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟	$2t_{CYCP} - 5$	—	$2t_{CYCP} - 5$	—	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	—	$t_{CYCP} + 10$	—	ns
SCK 下降沿到 SOT 延迟时间	t_{SLOVE}	SCKx, SOTx		—	15	—	15	ns
SIN 到 SCK 上升沿建立时间	t_{IVSHE}	SCKx, SINx		5	—	5	—	ns
SCK 上升沿到 SIN 保持时间	t_{SHIXE}	SCKx, SINx		5	—	5	—	ns
SCK 下降时间	t_F	SCKx		—	5	—	5	ns
SCK 上升时间	t_R	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 这些特性仅适用于以下各引脚。
- 无片选:SIN4_1、SOT4_1、SCK4_1
- 片选:SIN6_1、SOT6_1、SCK6_1、SCS6_1
- 外部负载电容 C_L 为 30 pF。(对于带*项, 条件为 $C_L = 10\text{ pF}$)



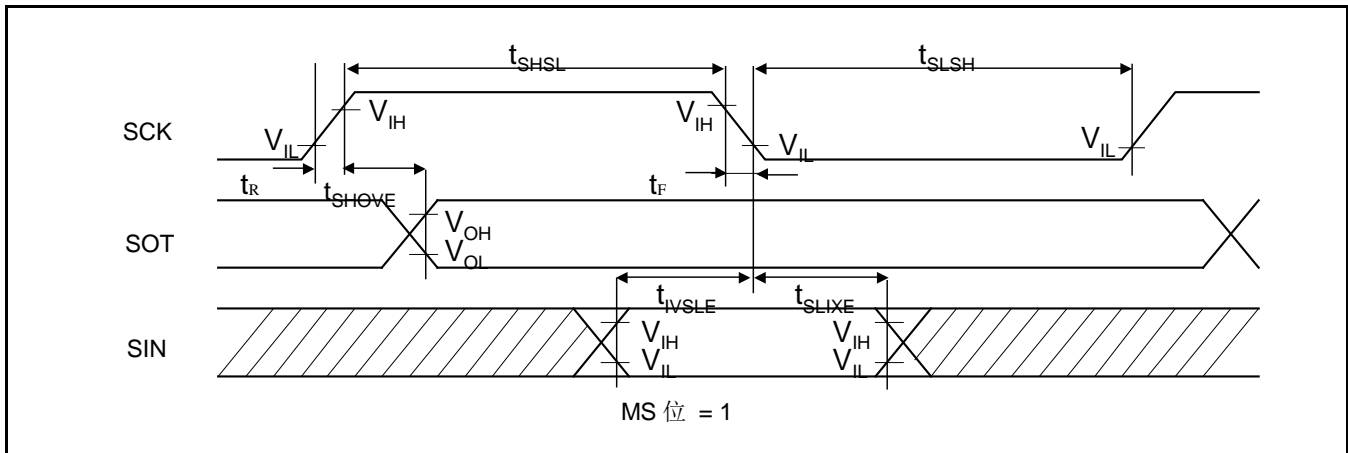
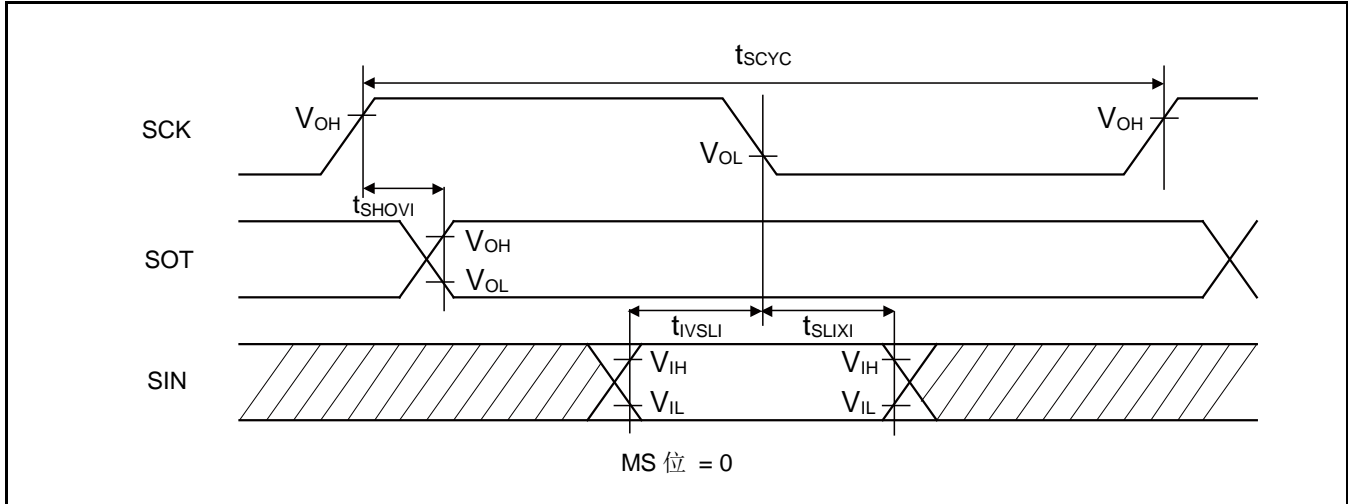
高速同步串行模式 (SPI = 0, SCINV = 1)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟	$4t_{CYCP}$	—	$4t_{CYCP}$	—	ns
SCK 上升沿到 SOT 延迟时间	t_{SHOVI}	SCKx, SOTx		-10	+10	-10	+10	ns
SIN 到 SCK 下降沿建立时间	t_{IVSLI}	SCKx, SINx		14 12.5*	—	12.5	—	ns
SCK 下降沿到 SIN 保持时间	t_{SLIXI}	SCKx, SINx		5	—	5	—	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟	$2t_{CYCP} - 5$	—	$2t_{CYCP} - 5$	—	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	—	$t_{CYCP} + 10$	—	ns
SCK 上升沿到 SOT 延迟时间	t_{SHOVE}	SCKx, SOTx		—	15	—	15	ns
SIN 到 SCK 下降沿建立时间	t_{IVSLE}	SCKx, SINx		5	—	5	—	ns
SCK 下降沿到 SIN 保持时间	t_{SLIXE}	SCKx, SINx		5	—	5	—	ns
SCK 下降时间	t_F	SCKx		—	5	—	5	ns
SCK 上升时间	t_R	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 这些特性仅适用于以下各引脚。
- 无片选:SIN4_1、SOT4_1、SCK4_1
- 片选:SIN6_1、SOT6_1、SCK6_1、SCS6_1
- 外部负载电容 C_L 为 30 pF。(对于带*项, 条件为 $C_L = 10\text{ pF}$)



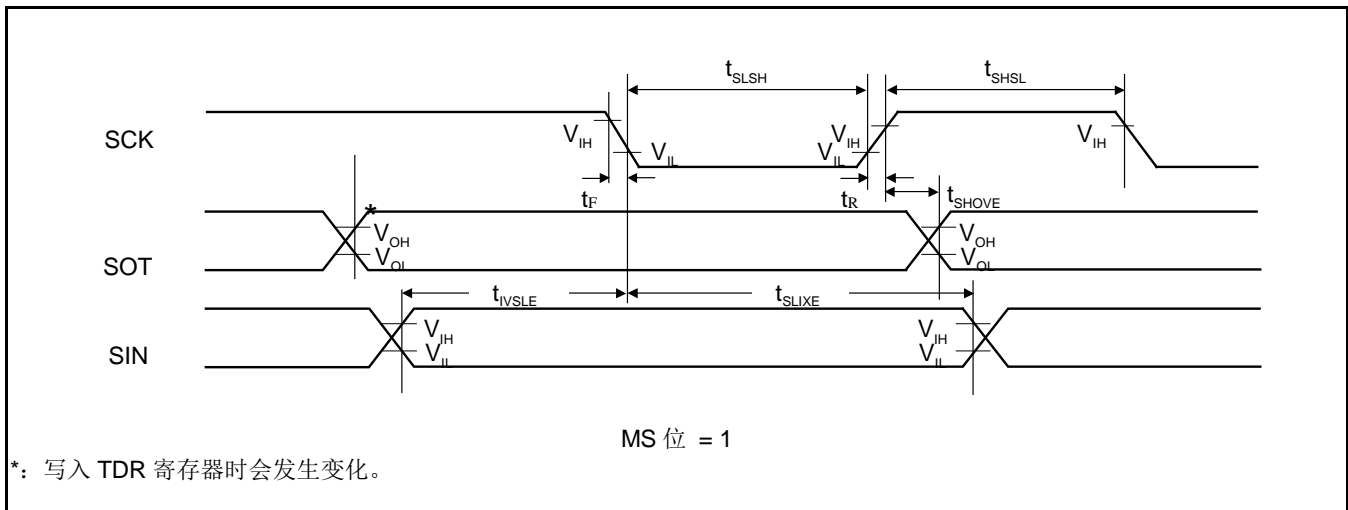
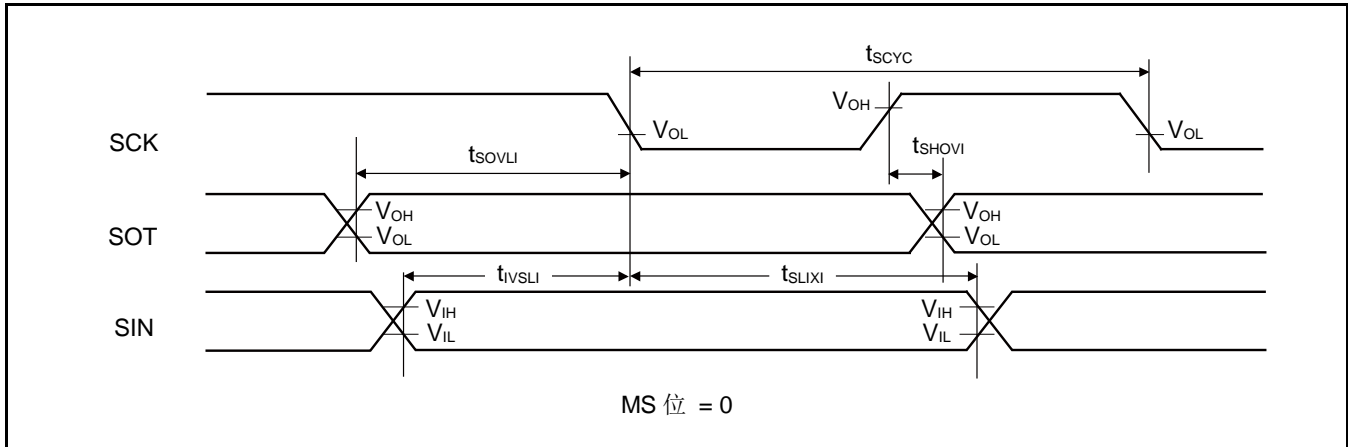
高速同步串行模式 (SPI = 1, SCINV = 0)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
串行时钟周期时间	t_{SCYC}	SCKx	内部移位时钟	$4t_{CYCP}$	—	$4t_{CYCP}$	—	ns
SCK 上升沿到 SOT 延迟时间	t_{SHOVI}	SCKx, SOTx		-10	+10	-10	+10	ns
SIN 到 SCK 下降沿建立时间	t_{IVSLI}	SCKx, SINx		14 12.5*	—	12.5	—	ns
SCK 下降沿到 SIN 保持时间	t_{SLIXI}	SCKx, SINx		5	—	5	—	ns
SOT 到 SCK 下降沿延迟时间	t_{SOVLI}	SCKx, SOTx		$2t_{CYCP} - 10$	—	$2t_{CYCP} - 10$	—	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟	$2t_{CYCP} - 5$	—	$2t_{CYCP} - 5$	—	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	—	$t_{CYCP} + 10$	—	ns
SCK 上升沿到 SOT 延迟时间	t_{SHOVE}	SCKx, SOTx		—	15	—	15	ns
SIN 到 SCK 下降沿建立时间	t_{IVSLE}	SCKx, SINx		5	—	5	—	ns
SCK 下降沿到 SIN 保持时间	t_{SLIXE}	SCKx, SINx		5	—	5	—	ns
SCK 下降时间	t_F	SCKx		—	5	—	5	ns
SCK 上升时间	t_R	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 这些特性仅适用于以下各引脚。
- 无片选:SIN4_1、SOT4_1、SCK4_1
- 片选:SIN6_1、SOT6_1、SCK6_1、SCS6_1
- 外部负载电容 C_L 为 30 pF。(对于带*项, 条件为 $C_L = 10\text{ pF}$)



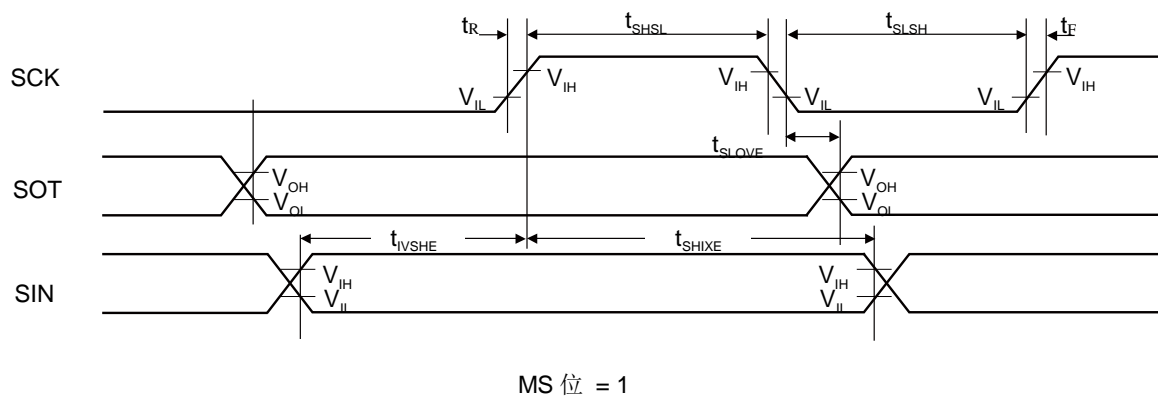
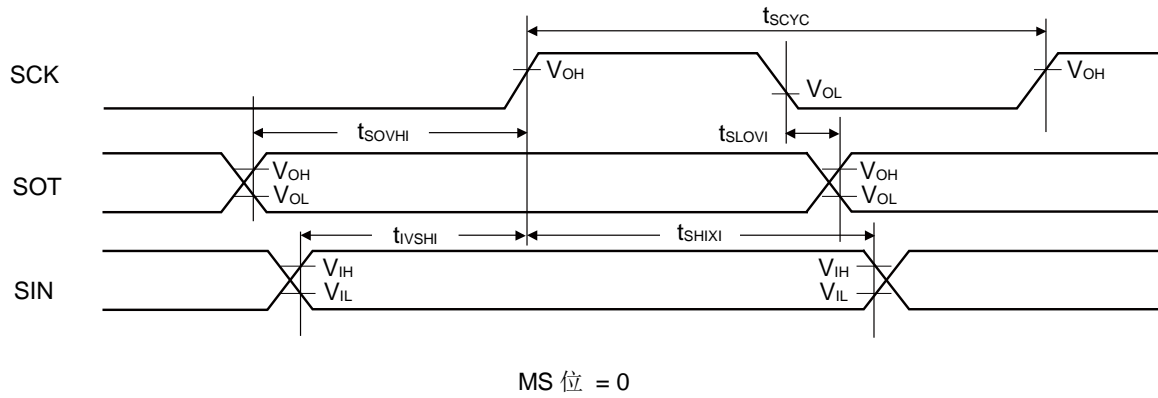
高速同步串行模式 (SPI = 1, SCINV = 1)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
				最小值	最大值	最小值	最大值	
内部移位时钟	t_{SCYC}	SCKx	内部移位时钟	$4t_{CYCP}$	—	$4t_{CYCP}$	—	ns
SCK 下降沿到 SOT 延迟时间	t_{SLOVI}	SCKx, SOTx		-10	+10	-10	+10	ns
SIN 到 SCK 上升沿建立时间	t_{IVSHI}	SCKx, SINx		14 12.5*	—	12.5	—	ns
SCK 上升沿到 SIN 保持时间	t_{SHIXI}	SCKx, SINx		5	—	5	—	ns
SOT 到 SCK 上升沿延迟时间	t_{SOVHI}	SCKx, SOTx		$2t_{CYCP} - 10$	—	$2t_{CYCP} - 10$	—	ns
串行时钟低电平脉宽	t_{SLSH}	SCKx	外部移位时钟	$2t_{CYCP} - 5$	—	$2t_{CYCP} - 5$	—	ns
串行时钟高电平脉宽	t_{SHSL}	SCKx		$t_{CYCP} + 10$	—	$t_{CYCP} + 10$	—	ns
SCK 下降沿到 SOT 延迟时间	t_{SLOVE}	SCKx, SOTx		—	15	—	15	ns
SIN 到 SCK 上升沿建立时间	t_{IVSHE}	SCKx, SINx		5	—	5	—	ns
SCK 上升沿到 SIN 保持时间	t_{SHIXE}	SCKx, SINx		5	—	5	—	ns
SCK 下降时间	t_F	SCKx		—	5	—	5	ns
SCK 上升时间	t_R	SCKx		—	5	—	5	ns

注意:

- 上述各项特性适用于 CLK 同步模式。
- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 这些特性仅适用于以下各引脚。
- 无片选:SIN4_1、SOT4_1、SCK4_1
- 片选:SIN6_1、SOT6_1、SCK6_1、SCS6_1
- 外部负载电容 C_L 为 30 pF。(对于带*项, 条件为 $C_L = 10\text{ pF}$)



高速同步串行片选 (**SPI = 1, SCINV = 0, MS = 0, CSLVL = 1**)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 下降沿建立时间	t_{CSSI}	内部移位时钟	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK 上升沿到 SCS 上升沿保持时间	t_{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS 取消选择时间	t_{CSDI}		(*3)-20 +5 t_{CYCP}	(*3)+20 +5 t_{CYCP}	(*3)-20 +5 t_{CYCP}	(*3)+20 +5 t_{CYCP}	ns
SCS 下降沿到 SCK 下降沿建立时间	t_{CSSE}	外部移位时钟	3 t_{CYCP} +15	—	3 t_{CYCP} +15	—	ns
SCK 上升沿到 SCS 上升沿保持时间	t_{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t_{CSDE}		3 t_{CYCP} +15	—	3 t_{CYCP} +15	—	ns
SCS 下降沿到 SOT 延迟时间	t_{DSE}		—	25	—	25	ns
SCS 上升沿到 SOT 延迟时间	t_{DEE}		0	—	0	—	ns

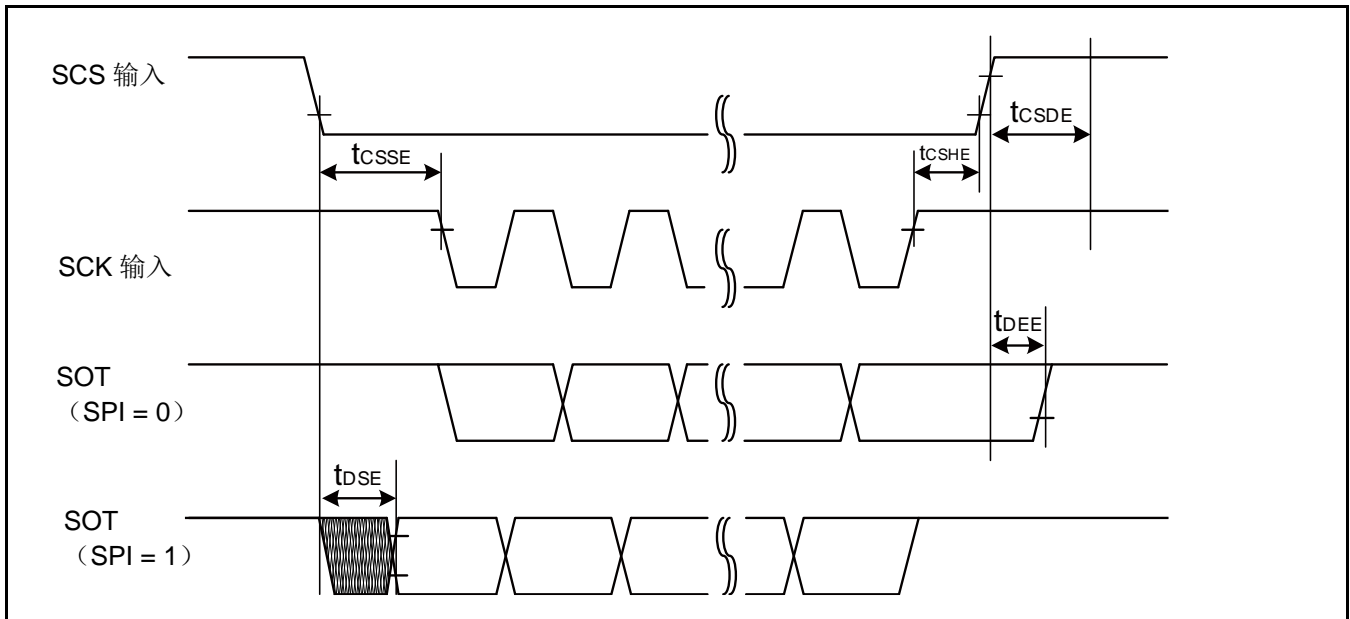
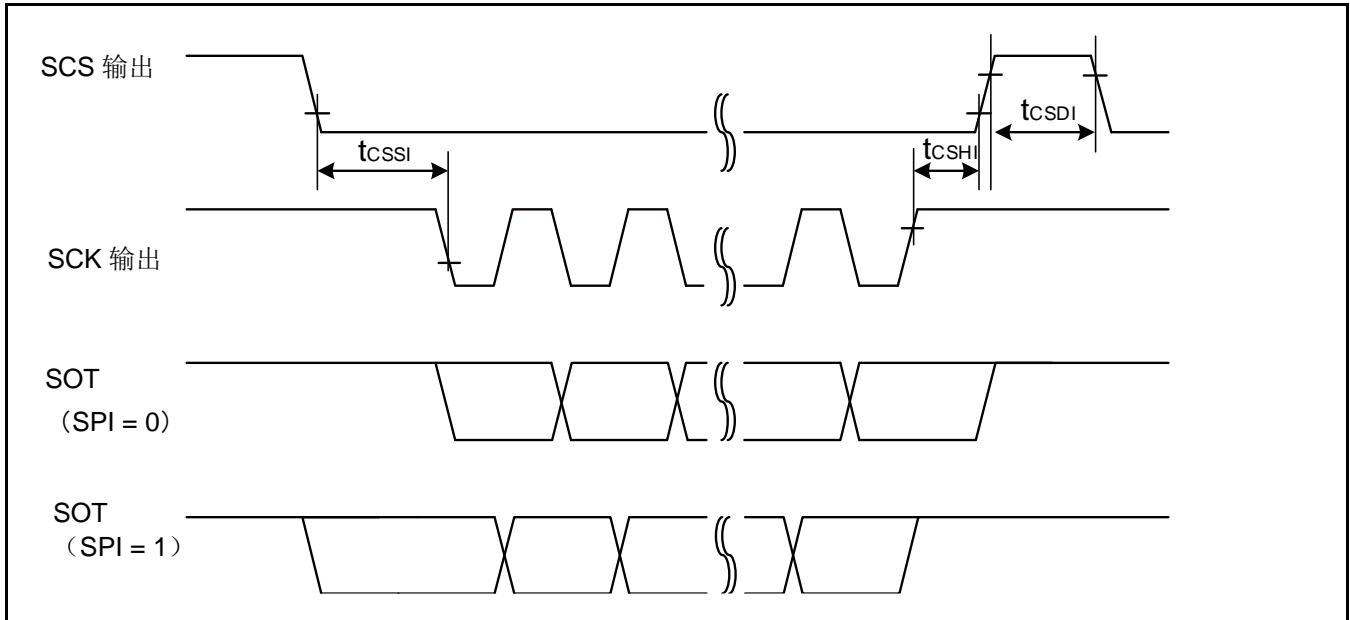
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序专用操作时钟的详细信息, 请参考 FM4 系列外设手册。
- 外部负载电容 C_L 为 30 pF。



高速同步串行片选 (SPI = 1, SCINV = 1, MS = 0, CSLVL = 1)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 下降沿到 SCK 上升沿建立时间	t_{CSSI}	内部移位时钟	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK 下降沿到 SCS 上升沿保持时间	t_{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS 取消选择时间	t_{CSDI}		(*3)-20 +5 t_{CYCP}	(*3)+20 +5 t_{CYCP}	(*3)-20 +5 t_{CYCP}	(*3)+20 +5 t_{CYCP}	ns
SCS 下降沿到 SCK 上升沿建立时间	t_{CSSE}	外部移位时钟	3 t_{CYCP} +15	—	3 t_{CYCP} +15	—	ns
SCK 下降沿到 SCS 上升沿保持时间	t_{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t_{CSDE}		3 t_{CYCP} +15	—	3 t_{CYCP} +15	—	ns
SCS 下降沿到 SOT 延迟时间	t_{DSE}		—	25	—	25	ns
SCS 上升沿到 SOT 延迟时间	t_{DEE}		0	—	0	—	ns

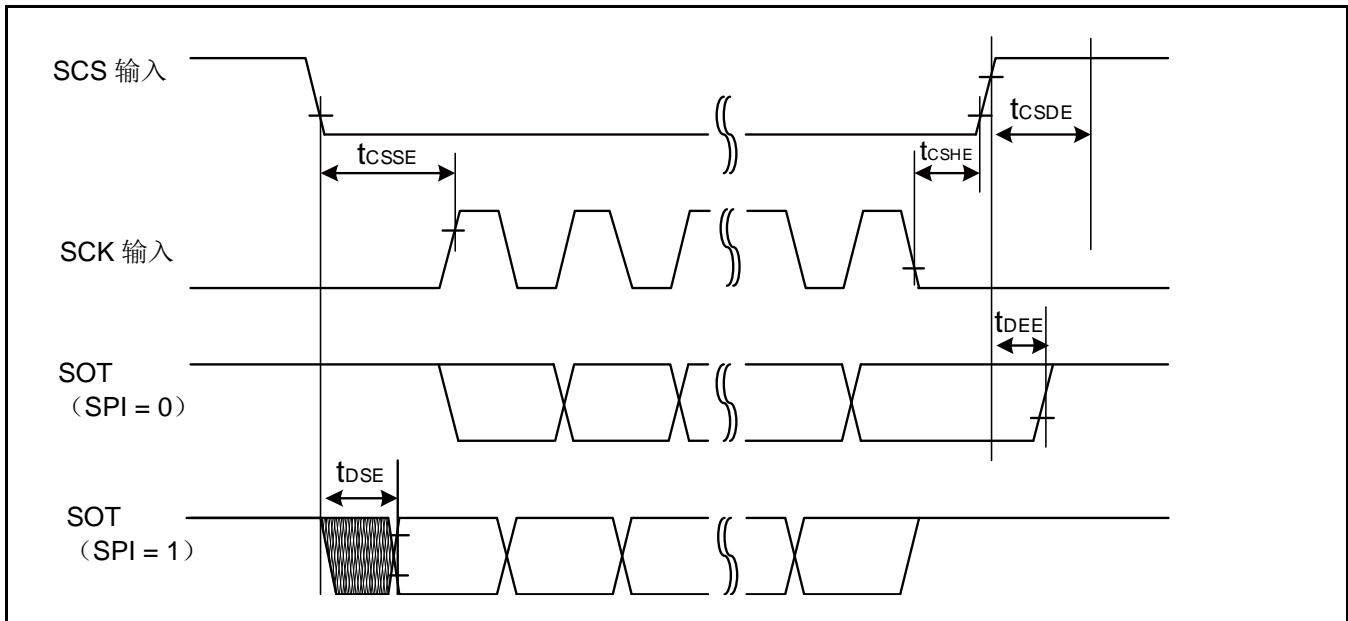
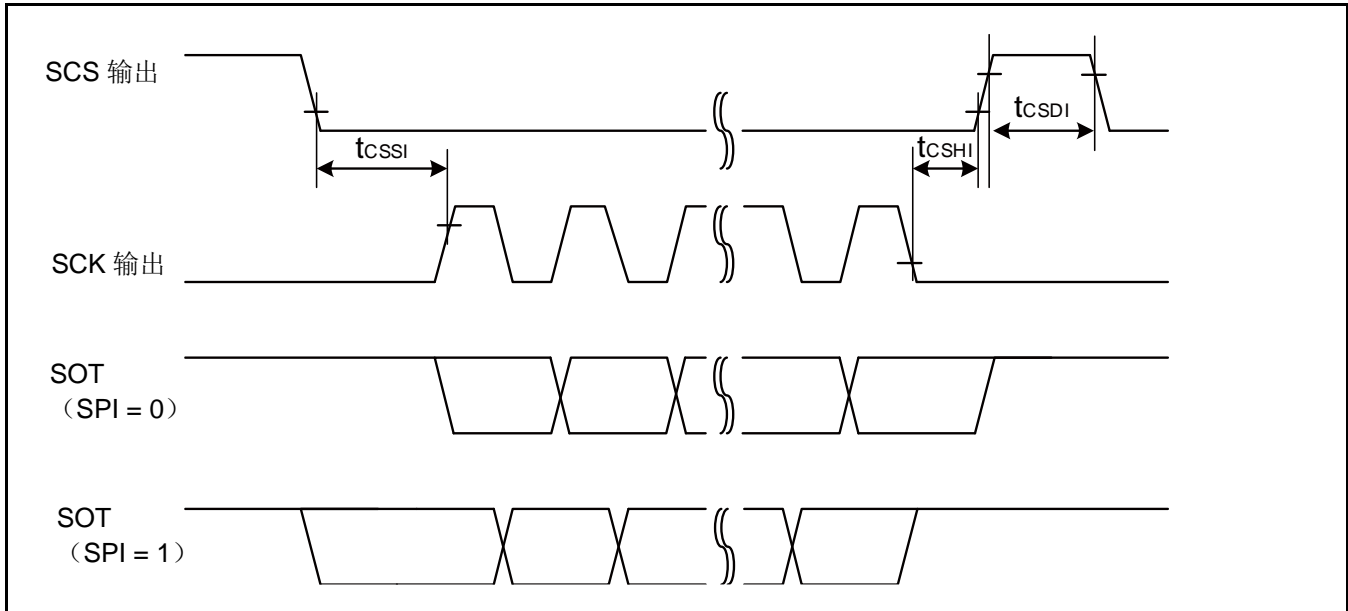
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 的内容。
- 外部负载电容 C_L 为 30 pF。



高速同步串行片选 (SPI = 1, SCINV = 0, MS = 0, CSLVL = 0)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	$V_{CC} < 4.5\text{ V}$		$V_{CC} \geq 4.5\text{ V}$		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 下降沿建立时间	t _{CSSI}	内部移位时钟	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK 上升沿到 SCS 下降沿保持时间	t _{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS 取消选择时间	t _{CSDI}		(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	ns
SCS 上升沿到 SCK 下降沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +15	—	3t _{CYCP} +15	—	ns
SCK 上升沿到 SCS 下降沿保持时间	t _{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t _{CSDE}		3t _{CYCP} +15	—	3t _{CYCP} +15	—	ns
SCS 上升沿到 SOT 延迟时间	t _{DSE}		—	25	—	25	ns
SCS 下降沿到 SOT 延迟时间	t _{DEE}		0	—	0	—	ns

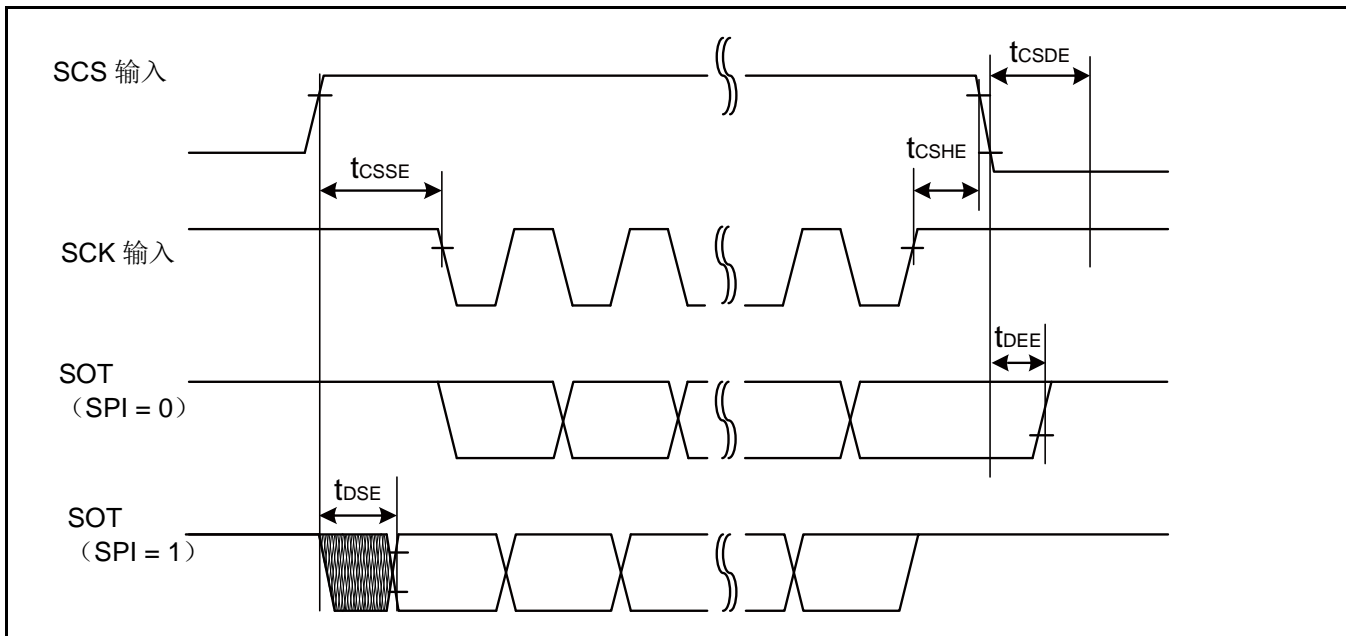
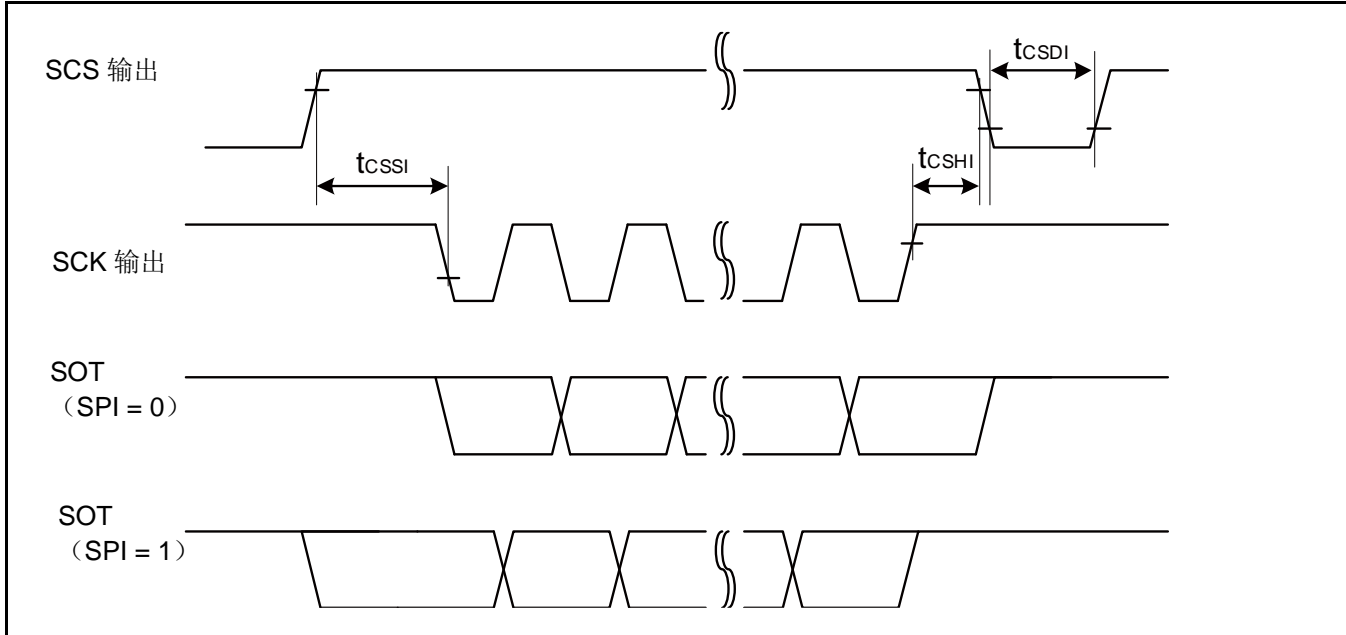
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 的内容。
- 外部负载电容 C_L 为 30 pF。



高速同步串行片选 (SPI = 1, SCINV = 1, MS = 0, CSLVL = 0)

(V_{CC} = 2.7 V ~ 5.5 V, V_{SS} = 0 V)

参数	符号	条件	V _{CC} < 4.5 V		V _{CC} ≥ 4.5 V		单位
			最小值	最大值	最小值	最大值	
SCS 上升沿到 SCK 上升沿建立时间	t _{CSSI}	内部移位时钟	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK 下降沿到 SCS 下降沿保持时间	t _{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS 取消选择时间	t _{CSDI}		(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	(*3)-20 +5t _{CYCP}	(*3)+20 +5t _{CYCP}	ns
SCS 上升沿到 SCK 上升沿建立时间	t _{CSSE}	外部移位时钟	3t _{CYCP} +15	—	3t _{CYCP} +15	—	ns
SCK 下降沿到 SCS 下降沿保持时间	t _{CSHE}		0	—	0	—	ns
SCS 取消选择时间	t _{CSDE}		3t _{CYCP} +15	—	3t _{CYCP} +15	—	ns
SCS 上升沿到 SOT 延迟时间	t _{DSE}		—	25	—	25	ns
SCS 下降沿到 SOT 延迟时间	t _{DEE}		0	—	0	—	ns

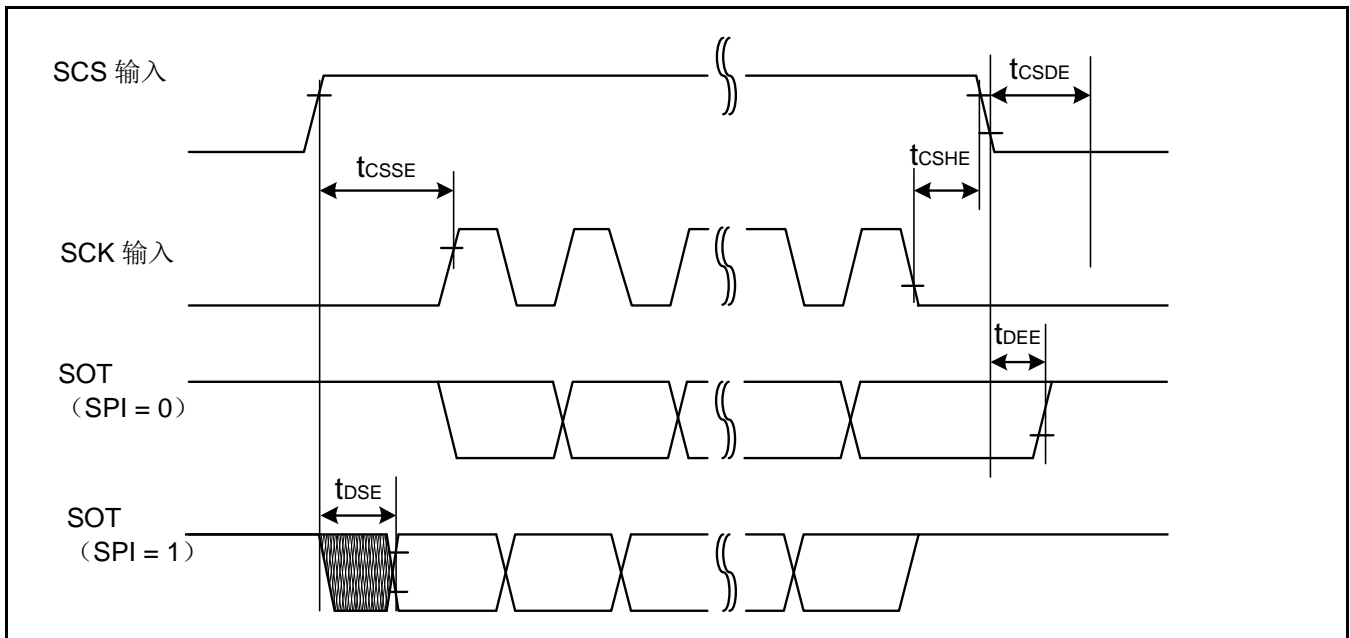
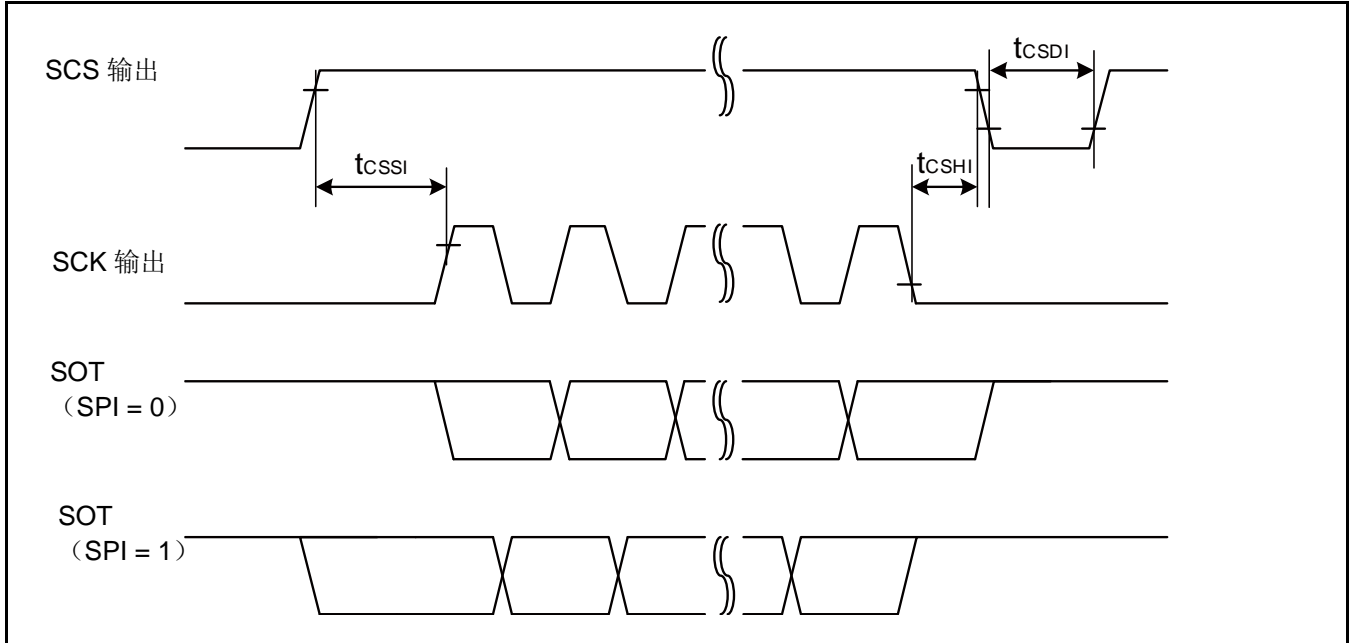
(*1): CSSU 位值 × 串行片选时序操作时钟周期[ns]

(*2): CSHD 位值 × 串行片选时序操作时钟周期[ns]

(*3): CSDS 位值 × 串行片选时序操作时钟周期[ns]

注意:

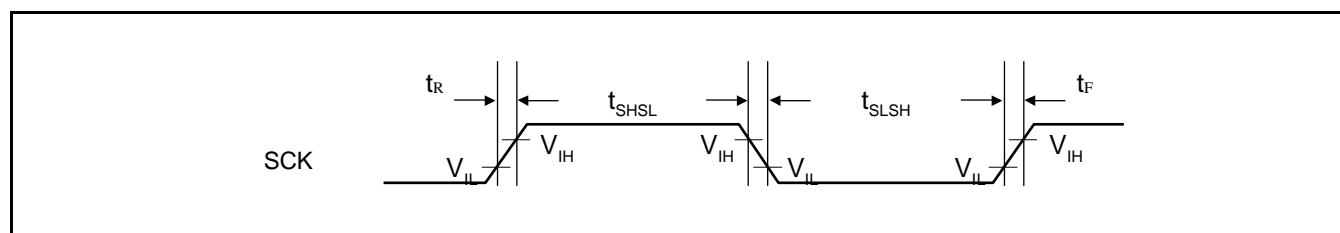
- t_{CYCP} 指的是 APB 总线时钟周期时长。
有关多功能串行接口挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。
- 更多有关 CSSU、CSHD、CSDS 以及串行片选时序操作时钟的详细信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 的内容。
- 外部负载电容 C_L 为 30 pF。



外部时钟 (**EXT = 1**): 仅适用于异步模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	值		单位	备注
			最小值	最大值		
串行时钟低电平脉宽	t_{SLSH}	$C_L = 30\text{ pF}$	$t_{CYCP} + 10$	—	ns	
串行时钟高电平脉宽	t_{SHSL}		$t_{CYCP} + 10$	—	ns	
SCK 下降时间	t_F		—	5	ns	
SCK 上升时间	t_R		—	5	ns	



13.4.12 外部输入时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

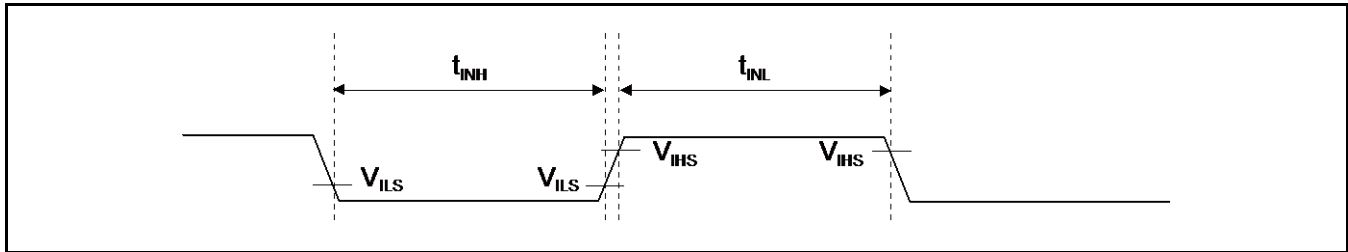
参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
输入脉宽	t_{INH} 、 t_{INL}	ADTG	—	$2t_{CYCP}^{*1}$	—	ns	模数转换器触发输入
		FRCKx					自由运行定时器输入时钟
		ICxx					输入捕获
		DTTixX	—	$2t_{CYCP}^{*1}$	—	ns	波形发生器
		INT00 至 INT15, NMIX	—	$2t_{CYCP} + 100^{*1}$	—	ns	外部中断, NMI
		WKUPx	—	500^{*2}	—	ns	
			—	500^{*3}	—	ns	深度待机模式唤醒

*1: t_{CYCP} 指的是 APB 总线时钟周期, 处于停止模式、定时器模式的停止状态除外。

有关模数转换器、多功能定时器和外部中断挂接的 APB 总线编号的详细信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。

*2: 器件处于停止模式或定时器模式。

*3: 器件处于深度待机 RTC 模式或深度待机停止模式。



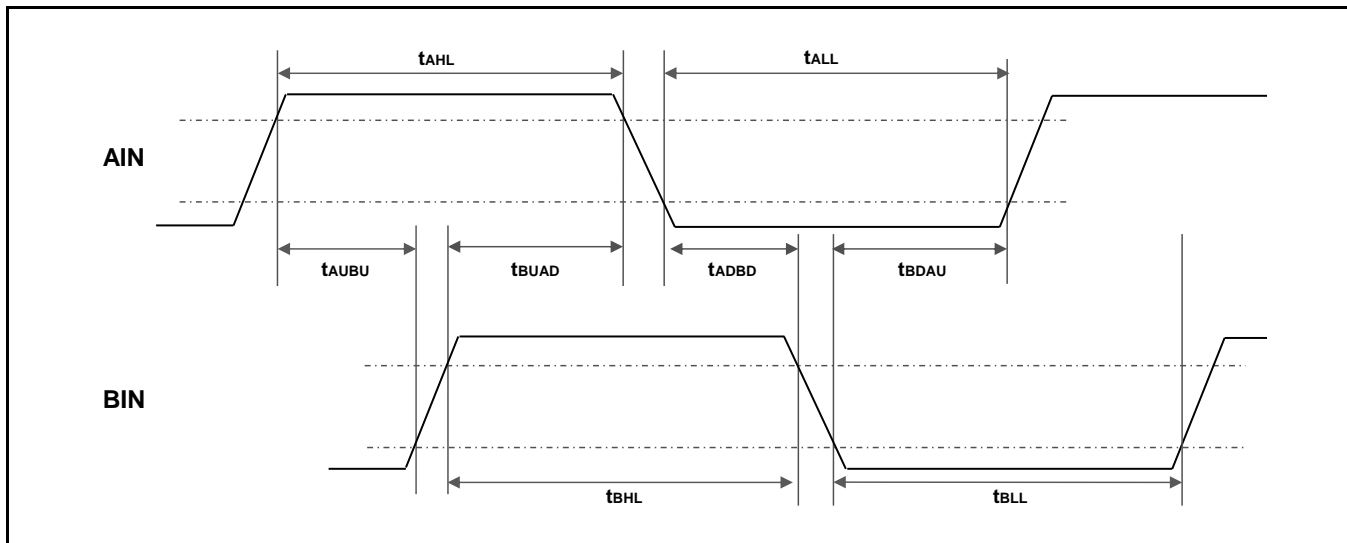
13.4.13 正交位置/转数计数器时序

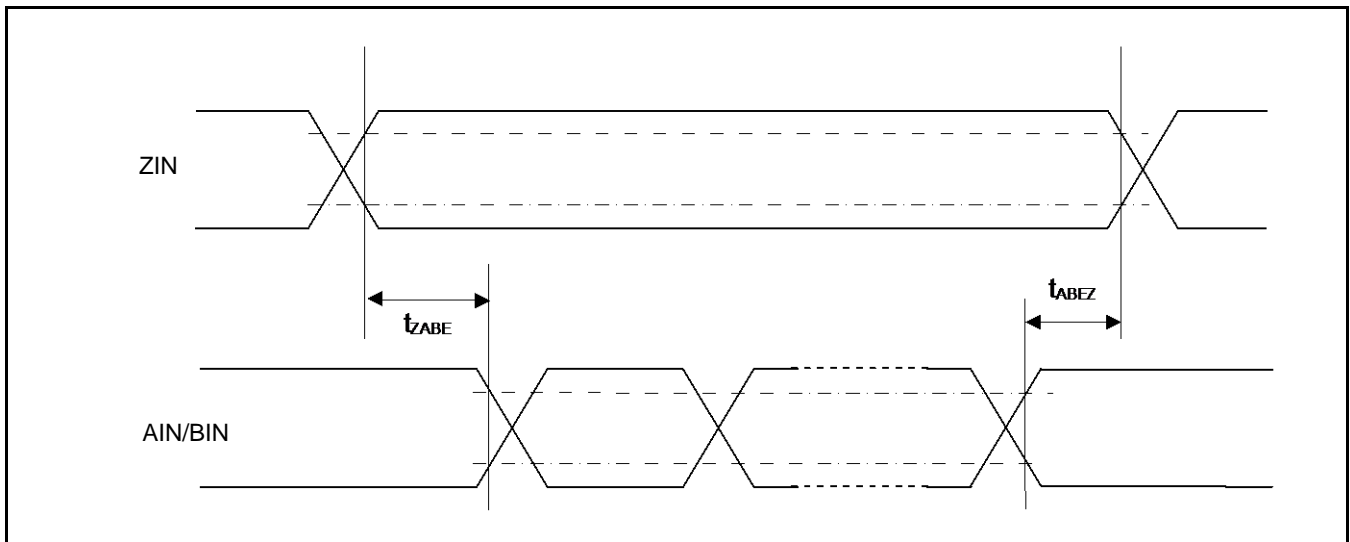
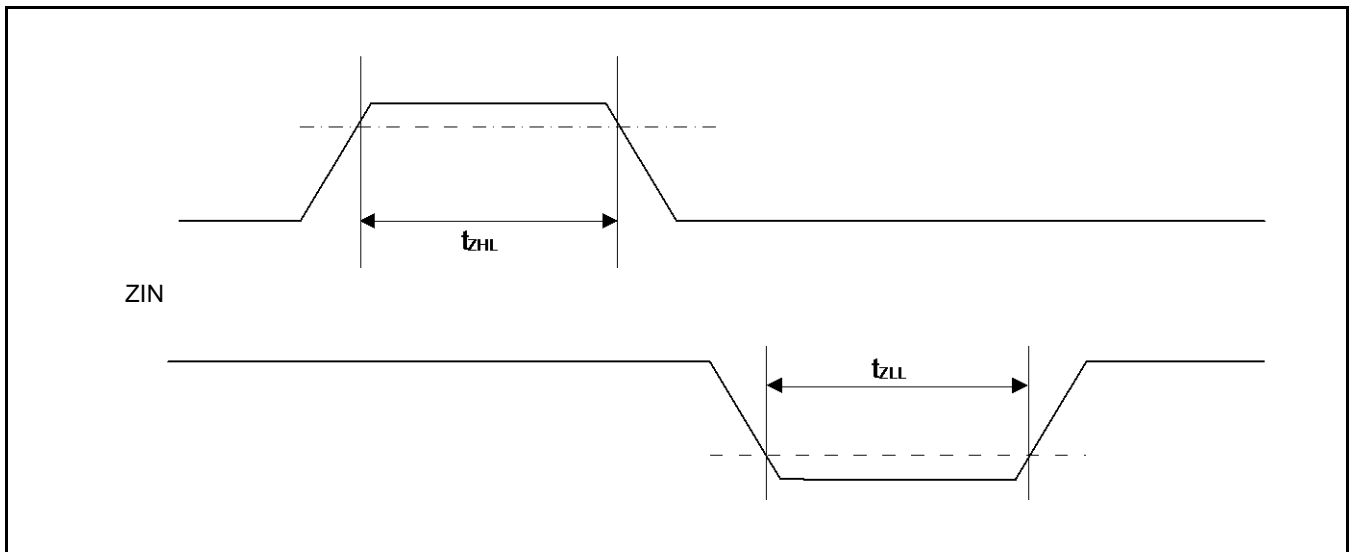
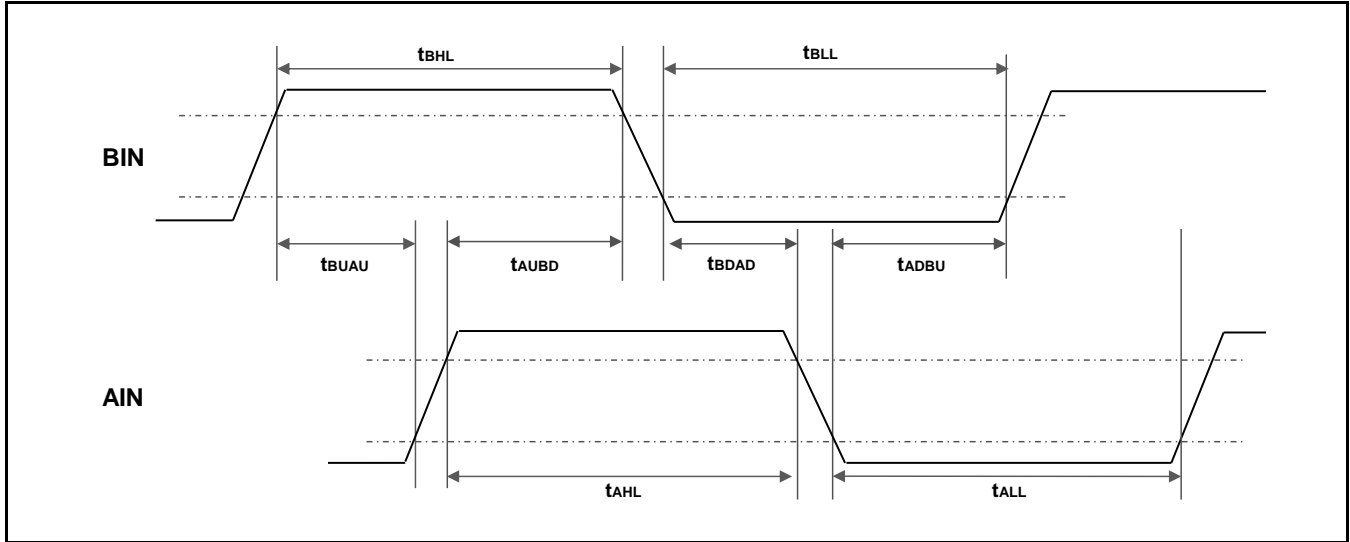
($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	数值		单位
			最小值	最大值	
AIN 引脚高电平时间	t_{AHL}	—	$2t_{CYCP}^*$	—	ns
AIN 引脚低电平时间	t_{ALL}	—			
BIN 引脚高电平时间	t_{BHL}	—			
BIN 引脚低电平时间	t_{BLL}	—			
BIN 上升沿之前 AIN 引脚高电平维持时间	t_{AUBU}	PC_Mode2 或 PC_Mode3			
AIN 下降沿之前 BIN 引脚高电平维持时间	t_{BUAD}	PC_Mode2 或 PC_Mode3			
BIN 下降沿之前 AIN 引脚低电平维持时间	t_{ADBD}	PC_Mode2 或 PC_Mode3			
AIN 上升沿之前 BIN 引脚低电平维持时间	t_{BDAU}	PC_Mode2 或 PC_Mode3			
AIN 上升沿之前 BIN 引脚高电平维持时间	t_{BUAU}	PC_Mode2 或 PC_Mode3			
BIN 下降沿之前 AIN 引脚高电平维持时间	t_{AUBD}	PC_Mode2 或 PC_Mode3			
AIN 下降沿之前 BIN 引脚低电平维持时间	t_{BDAD}	PC_Mode2 或 PC_Mode3			
BIN 上升沿之前 AIN 引脚低电平维持时间	t_{ADBU}	PC_Mode2 或 PC_Mode3			
ZIN 引脚高电平时间	t_{ZHL}	QCR:CGSC = “0”			
ZIN 引脚低电平时间	t_{ZLL}	QCR:CGSC = “0”			
AIN/BIN 引脚上升/下降沿之前的 ZIN 引脚电平维持时间	t_{ZABE}	QCR:CGSC = “1”			
AIN/BIN 引脚上升/下降沿之后的 ZIN 引脚电平维持时间	t_{ABEZ}	QCR:CGSC = “1”			

*: t_{CYCP} 指的是 APB 总线时钟周期减去停止模式、定时器模式下处于停止状态的时间。

有关正交位置/转数计数器挂接的 APB 总线编号的详细信息，请参考本数据手册中的第 1 章：S6E2H 系列框图内容。





13.4.14 I²C 时序

标准模式，快速模式

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	标准模式		快速模式		单位	备注
			最小值	最大值	最小值	最大值		
SCL 时钟频率	f_{SCL}	$C_L = 30\text{ pF}$, $R = (V_p/I_{OL})^{*1}$	0	100	0	400	kHz	
(重复) 启动状态保持时间 (从 SDA 下降沿到 SCL 下降沿)	t_{HDSTA}		4.0	—	0.6	—	μs	
SCL 时钟低电平时间	t_{LOW}		4.7	—	1.3	—	μs	
SCL 时钟高电平时间	t_{HIGH}		4.0	—	0.6	—	μs	
(重复) 起始信号的建立时间 (从 SCL 上升沿到 SDA 下降沿)	t_{SUSTA}		4.7	—	0.6	—	μs	
数据保留时间 (从 SCL 下降沿到 SDA 下降沿/ 上升沿)	t_{HDDAT}		0	3.45^{*2}	0	0.9^{*3}	μs	
数据建立时间 (从 SDA 下降沿/上升沿到 SCL 上升沿)	t_{SUDAT}		250	—	100	—	ns	
停止状态的建立时间 (从 SCL 上升沿到 SDA 上升沿)	t_{SUSTO}		4.0	—	0.6	—	μs	
停止状态和启动状态之间的总线 空闲时间	t_{BUF}		4.7	—	1.3	—	μs	
噪声过滤时间	t_{SP}	$2\text{ MHz} \leq t_{CYCP} < 40\text{ MHz}$	$2t_{CYCP}^{*4}$	—	$2t_{CYCP}^{*4}$	—	ns	*5
		$40\text{ MHz} \leq t_{CYCP} < 60\text{ MHz}$	$4t_{CYCP}^{*4}$	—	$4t_{CYCP}^{*4}$	—	ns	
		$60\text{ MHz} \leq t_{CYCP} < 80\text{ MHz}$	$6t_{CYCP}^{*4}$	—	$6t_{CYCP}^{*4}$	—	ns	
		$80\text{ MHz} \leq t_{CYCP} < 100\text{ MHz}$	$8t_{CYCP}^{*4}$	—	$8t_{CYCP}^{*4}$	—	ns	
		$100\text{ MHz} \leq t_{CYCP} < 120\text{ MHz}$	$10t_{CYCP}^{*4}$	—	$10t_{CYCP}^{*4}$	—	ns	
		$120\text{ MHz} \leq t_{CYCP} < 140\text{ MHz}$	$12t_{CYCP}^{*4}$	—	$12t_{CYCP}^{*4}$	—	ns	
		$140\text{ MHz} \leq t_{CYCP} < 160\text{ MHz}$	$14t_{CYCP}^{*4}$	—	$14t_{CYCP}^{*4}$	—	ns	
		$160\text{ MHz} \leq t_{CYCP} < 180\text{ MHz}$	$16t_{CYCP}^{*4}$	—	$16t_{CYCP}^{*4}$	—	ns	

- 1: R 和 C_L 分别表示 SCL 和 SDA 线的上拉电阻和负载电容。 V_p 是指上拉电阻的电源电压，而 I_{OL} 是指 V_{OL} 的保证电流。
- 2: t_{HDDAT} 的最大时长不能超过器件的 SCL 信号处于低电平 (t_{LOW}) 的时间。
- 3: 只要器件满足 $t_{SUDAT} \geq 250\text{ ns}$ ，快速模式 I²C 总线器件便能够用于标准模式 I²C 总线系统中。
- 4: t_{CYCP} 是指 APB 总线时钟周期时间。更多有关 I²C 挂接的 APB 总线编号的信息，请参考本数据手册中的第 1 章：S6E2H 系列框图内容。
在标准模式下，外设总线时钟频率必须大于 2 MHz。
在快速模式下，外设总线时钟频率必须大于 8 MHz。
- 5: 通过设置寄存器，可以修改噪声过滤时间。根据 APB 总线时钟频率改变噪声过滤范围。

增强型快速模式 (Fm+)

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	条件	增强型快速模式 (Fm+) *6		单位	备注
			最小值	最大值		
SCL 时钟频率	f_{SCL}	$C_L = 30\text{ pF}$, $R = (V_p/I_{OL})^{*1}$	0	1000	kHz	
(重复) 启动状态保持时间 (从 SDA 下降沿到 SCL 下降沿)	t_{HDSTA}		0.26	—	μs	
SCL 时钟低电平时间	t_{LOW}		0.5	—	μs	
SCL 时钟高电平时间	t_{HIGH}		0.26	—	μs	
(重复) 启动状态的建立时间 (从 SCL 上升沿到 SDA 下降沿)	t_{SUSTA}		0.26	—	μs	
数据保留时间 (从 SCL 下降沿到 SDA 下降沿/上升沿)	t_{HDDAT}		0	$0.45^{*2} \cdot ^{*3}$	μs	
数据建立时间 (从 SDA 下降沿/上升沿到 SCL 上升沿)	t_{SUDAT}		50	—	ns	
停止状态的建立时间 (从 SCL 上升沿到 SDA 上升沿)	t_{SUSTO}		0.26	—	μs	
停止状态和启动状态之间的总线空闲时间	t_{BUF}		0.5	—	μs	
噪声过滤时间	t_{SP}	$60\text{ MHz} \leq t_{CYCP} < 80\text{ MHz}$	$6 t_{CYCP}^{*4}$	—	ns	*5
		$80\text{ MHz} \leq t_{CYCP} < 100\text{ MHz}$	$8 t_{CYCP}^{*4}$	—	ns	
		$100\text{ MHz} \leq t_{CYCP} < 120\text{ MHz}$	$10 t_{CYCP}^{*4}$	—	ns	
		$120\text{ MHz} \leq t_{CYCP} < 140\text{ MHz}$	$12 t_{CYCP}^{*4}$	—	ns	
		$140\text{ MHz} \leq t_{CYCP} < 160\text{ MHz}$	$14 t_{CYCP}^{*4}$	—	ns	
		$160\text{ MHz} \leq t_{CYCP} < 180\text{ MHz}$	$16 t_{CYCP}^{*4}$	—	ns	

*1: R 和 C_L 分别表示 SCL 和 SDA 线的上拉电阻和负载电容。 V_p 是指上拉电阻的电源电压, 而 I_{OL} 是指 V_{OL} 的保证电流。

*2: t_{HDDAT} 的最大时长不能超过器件的 SCL 信号处于低电平 (t_{LOW}) 的时间。

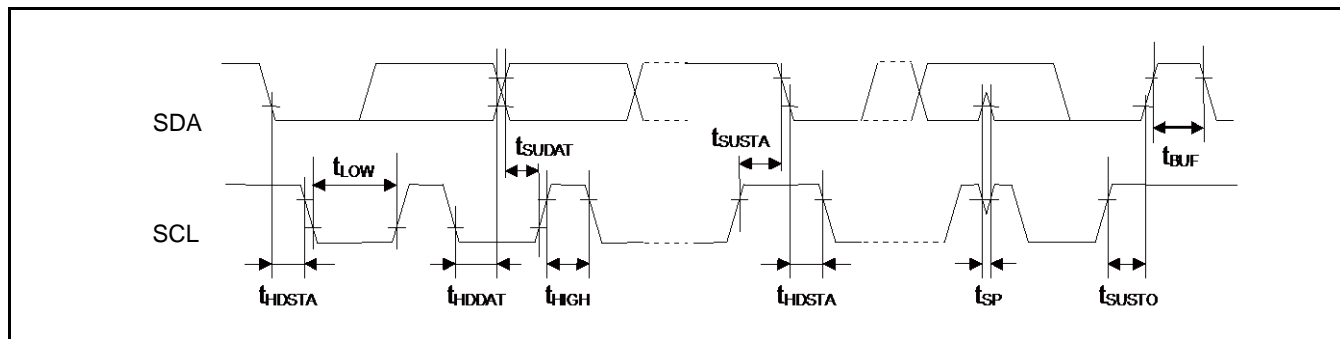
*3: 只要器件满足 $t_{SUDAT} \geq 250\text{ ns}$ 的条件, 快速模式 I²C 总线器件便能够用于标准模式 I²C 总线系统中。

*4: t_{CYCP} 是指 APB 总线时钟周期时间。更多有关 I²C 挂接的 APB 总线编号的信息, 请参考本数据手册中的第 1 章: S6E2H 系列框图内容。

如需使用增强型快速模式 (Fm+), 请将外设总线时钟的频率设置为 64 MHz 或更高。

*5: 通过设置寄存器, 可以修改噪声过滤时间。根据 APB 总线时钟频率改变噪声过滤步数。

*6: 使用增强型快速模式 (Fm+) 时, 将 I/O 引脚设置为与 EPFR 寄存器中 I²C Fm+ 相应的模式。
更多有关信息, 请参考 FM4 系列外设手册主要部分 (002-04856) 中的第 12 章: I/O 端口的内容。



13.4.15 SD 卡接口时序

默认速度模式

■ 时钟 CLK（所有值参考 V_{IH} 和 V_{IL} 电平跳变点）

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
数据传输模式时钟频率	f_{PP}	S_CLK	$C_{CARD} \leq 10\text{ pF}$ (1 张卡)	0	16	MHz
识别模式时钟频率	f_{OD}	S_CLK		0*/100	400	kHz
时钟低电平时间	t_{WL}	S_CLK		10	—	ns
时钟高电平时间	t_{WH}	S_CLK		10	—	ns
时钟上升时间	t_{TLH}	S_CLK		—	10	ns
时钟下降时间	t_{THL}	S_CLK		—	10	ns

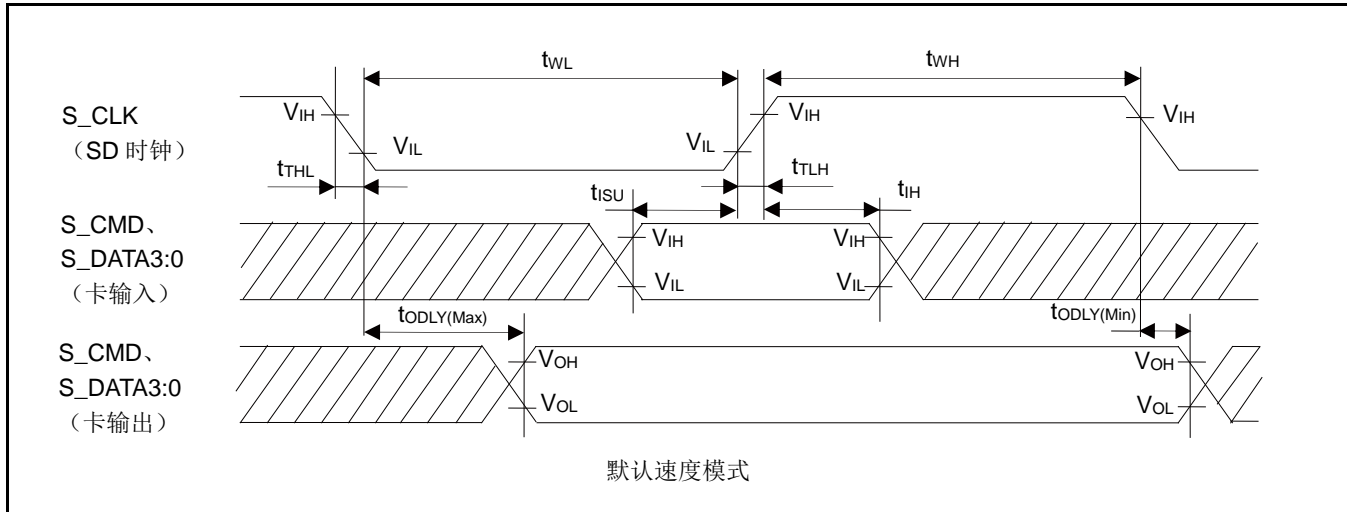
*: 0 Hz 表示停止时钟。给定的最小频率范围适用于需要连续时钟的场合。

■ 卡输入 CMD、DAT（参考时钟 CLK）

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
输入建立时间	t_{ISU}	S_CMD、 S_DATA3:0	$C_{CARD} \leq 10\text{ pF}$ (1 张卡)	5	—	ns
输入保持时间	t_{IH}	S_CMD、 S_DATA3:0		5	—	ns

■ 卡输出 CMD、DAT（参考时钟 CLK）

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
数据传输模式输出延迟时间	t_{ODLY}	S_CMD、 S_DATA3:0	$C_{CARD} \leq 40\text{ pF}$ (1 张卡)	0	22	ns
识别模式下的输出延迟时间	t_{ODLY}	S_CMD、 S_DATA3:0		0	50	ns



注意:

- 因为此外设是主机模式，所以卡输入对应主机输出，而卡输出则对应主机输入。

高速模式

■时钟 CLK（所有值参考 V_{IH} 和 V_{IL} 电平跳变点）

($V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
数据传输模式时钟频率	f_{PP}	S_CLK	$C_{CARD} \leq 10\text{ pF}$ (1 张卡)	0	32	MHz
时钟低电平时间	t_{WL}	S_CLK		7	—	ns
时钟高电平时间	t_{WH}	S_CLK		7	—	ns
时钟上升时间	t_{TLH}	S_CLK		—	3	ns
时钟下降时间	t_{THL}	S_CLK		—	3	ns

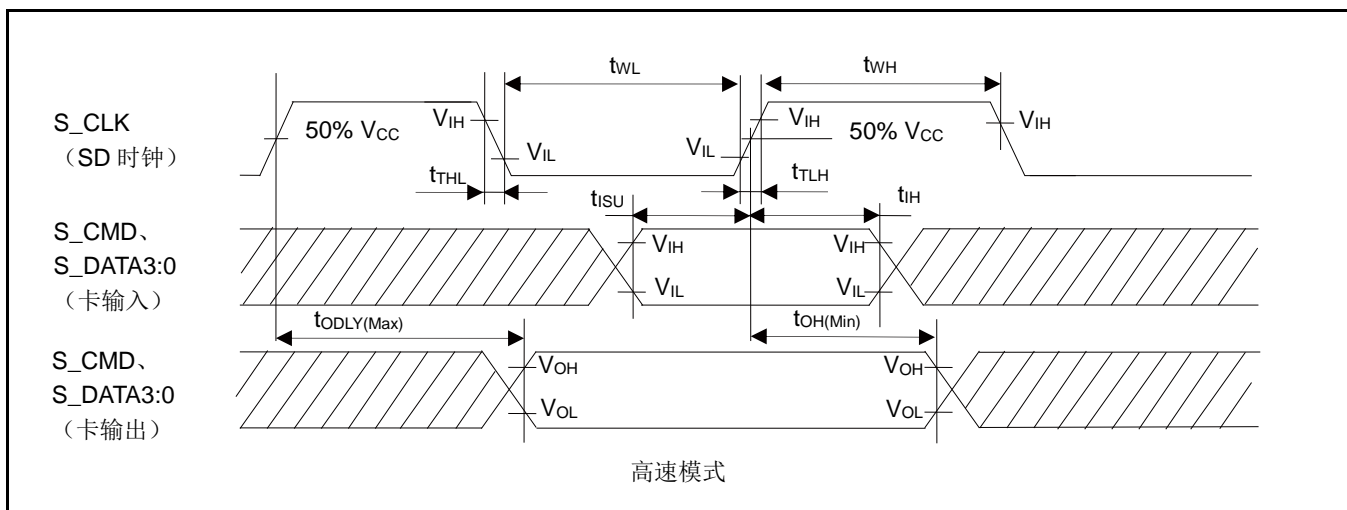
■卡输入 CMD、DAT（参考时钟 CLK）

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
输入建立时间	t_{ISU}	S_CMD、 S_DATA3:0	$C_{CARD} \leq 10\text{ pF}$ (1 张卡)	8	—	ns
输入保持时间	t_{IH}	S_CMD、 S_DATA3:0		2	—	ns

■卡输出 CMD、DAT（参考时钟 CLK）

参数	符号	引脚名称	条件	数值		备注
				最小值	最大值	
数据传输模式输出延迟时间	t_{ODLY}	S_CMD、 S_DATA3:0	$C_L \leq 40\text{ pF}$ (1 张卡)	—	22	ns
输出保持时间	t_{OH}	S_CMD、 S_DATA3:0	$C_L \geq 15\text{ pF}$ (1 张卡)	2.5	—	ns
单条信号线上总系统电容*	C_L	—	1 张卡	—	40	pF

*：为严格满足时序，主机只应驱动一张卡。



注意：

- 因为此外设是主机模式，所以卡输入对应主机输出，而卡输出对应主机输入。
- 在高速模式下，需要将时钟频率 (f_{PP}) 和 AHB 总线时钟频率设置为相同的值。

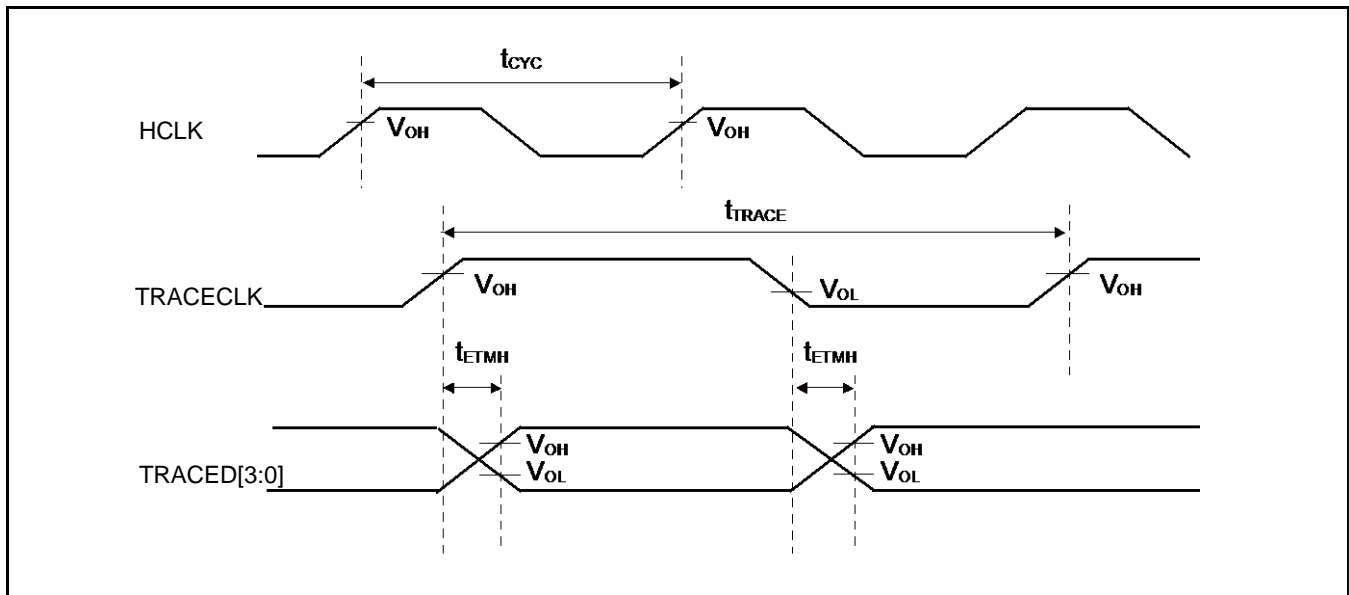
13.4.16 ETM 时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
数据保留时间	t _{ETMH}	TRACECLK、 TRACED[3:0]	V _{CC} ≥ 4.5 V	2	9	ns	
			V _{CC} < 4.5 V	2	15		
TRACECLK 频率	1/ t _{TRACE}	TRACECLK	V _{CC} ≥ 4.5 V	—	50	MHz	
			V _{CC} < 4.5 V	—	32	MHz	
TRACECLK 时钟周期	t _{TRACE}		V _{CC} ≥ 4.5 V	20	—	ns	
			V _{CC} < 4.5 V	31.25	—	ns	

注意:

- 外部负载电容 C_L 为 30 pF。



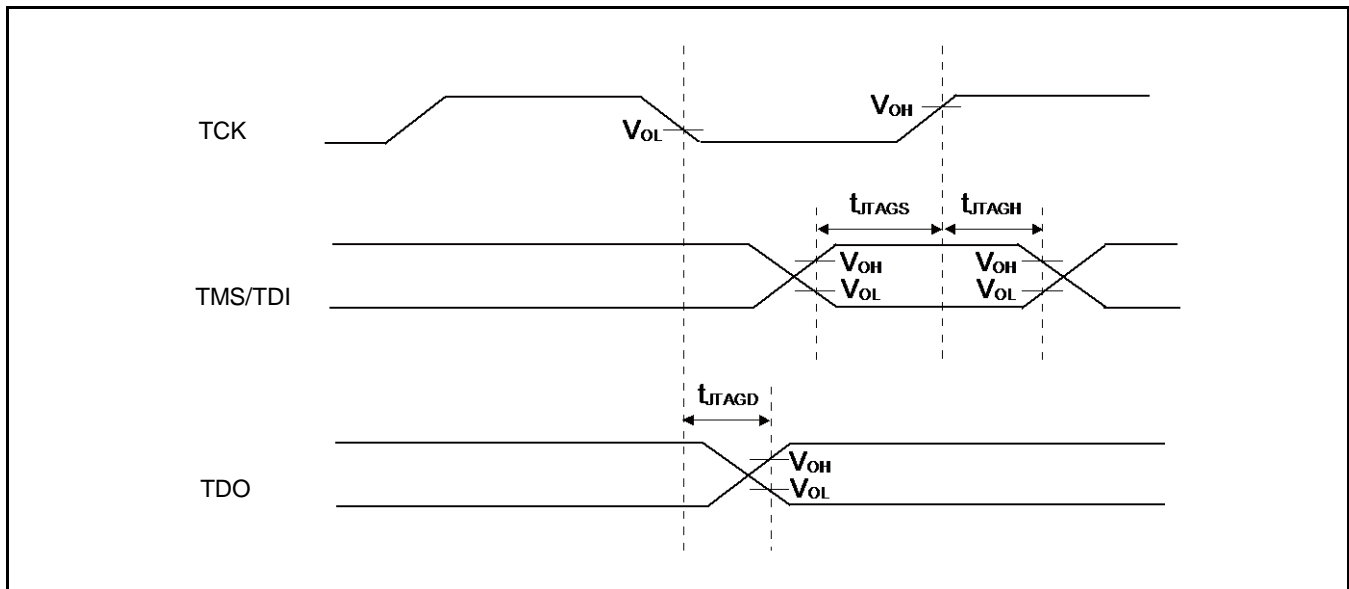
13.4.17 JTAG 时序

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	引脚名称	条件	数值		单位	备注
				最小值	最大值		
TMS、TDI 建立时间	t_{JTAGS}	TCK、 TMS、TDI	$V_{CC} \geq 4.5\text{ V}$	15	—	ns	
			$V_{CC} < 4.5\text{ V}$				
TMS、TDI 保持时间	t_{JTAGH}	TCK、 TMS、TDI	$V_{CC} \geq 4.5\text{ V}$	15	—	ns	
			$V_{CC} < 4.5\text{ V}$				
TDO 延迟时间	t_{JTAGD}	TCK、 TDO	$V_{CC} \geq 4.5\text{ V}$	—	25	ns	
			$V_{CC} < 4.5\text{ V}$	—	45		

注意:

- 外部负载电容 C_L 为 30 pF。



13.5 12 位模数转换器

模数转换器的电气特性

($V_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = AV_{RL} = 0\text{ V}$)

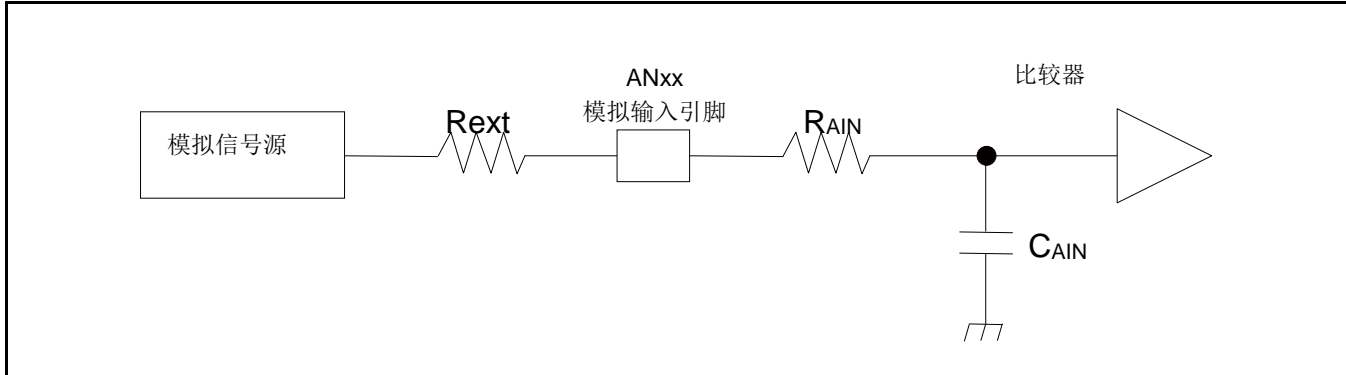
参数	符号	引脚名称	数值			单位	备注
			最小值	典型值	最大值		
分辨率	—	—	—	—	12	位	
积分非线性	—	—	—	—	± 4.5	LSB	AVRH = 2.7 V ~ 5.5 V 使用模数转换器期间的 偏移校准
微分非线性	—	—	—	—	± 2.5	LSB	
零值转换电压	V_{ZT}	ANxx	—	± 2	± 7	LSB	
全量程转换电压	V_{FST}	ANxx	—	AVRH ± 2	AVRH ± 7	LSB	
总误差	—	—	—	± 3	± 8	LSB	
转换时间	—	—	0.5 ^{*1}	—	—	μs	$AV_{CC} \geq 4.5\text{ V}$
采样时间 ^{*2}	t_s	—	0.15	—	10	μs	$AV_{CC} \geq 4.5\text{ V}$
			0.3	—			$AV_{CC} < 4.5\text{ V}$
比较时钟周期 ^{*3}	t_{CCK}	—	25	—	1000	ns	$AV_{CC} \geq 4.5\text{ V}$
			50	—	1000		$AV_{CC} < 4.5\text{ V}$
操作允许的状态切换时间	t_{STT}	—	—	—	1.0	μs	
电源电流 (模拟 + 数字)	—	AVCC	—	0.69	0.92	mA	单个模数转换器单元 运行
			—	1.0	18	μA	模数转换器停止
参考电源电流 (AVRH)	—	AVRH	—	1.1	1.97	mA	单个模数转换器单元 运行 AVRH = 5.5 V
				0.3	6.3	μA	模数转换器停止
模拟输入电容	C_{AIN}	—	—	—	12.05	pF	
模拟输入电阻	R_{AIN}	—	—	—	1.2	k Ω	$AV_{CC} \geq 4.5\text{ V}$
					1.8		$AV_{CC} < 4.5\text{ V}$
通道间差异	—	—	—	—	4	LSB	
模拟端口输入漏电流	—	ANxx	—	—	5	μA	
模拟输入电压	—	ANxx	AV_{SS}	—	AVRH	V	
参考电压	—	AVRH	4.5	—	AV_{CC}	V	$T_{CCK} < 50\text{ ns}$
			2.7	—	AV_{CC}		$T_{CCK} \geq 50\text{ ns}$
	—	AVRL	AV_{SS}	—	AV_{SS}	V	

*1: 转换时间是采样时间 (t_s) 与比较时间 (t_c) 之和。

当采样时间为 150 ns 和比较时间为 350 ns ($AV_{CC} \geq 4.5\text{ V}$) 时为最短转换时间。请确保该值满足采样时间 (t_s) 和比较时钟周期 (t_{CCK}) 限制。有关设置采样时间和比较时钟周期的信息, 请参考 FM4 系列外设手册模拟宏部分 (002-04860) 中第 1-1 章: “模数转换器” 所介绍的内容。模数转换器的寄存器设置应参考外设时钟时序。将采样时钟和比较时钟的值设置为基准时钟 (HCLK) 的值。

*2: 外部阻抗决定必要的采样时间。设置采样时间时, 请确保该值满足公式 1。

*3: 比较时间 (t_c) 是通过公式 2 计算得出。



(公式 1) $t_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

t_s : 采样时间

R_{AIN} : 在 $4.5\text{ V} < AV_{CC} < 5.5\text{ V}$ 的条件下, 模数转换器的输入阻抗 = $1.2\text{ k}\Omega$

..... 在 $2.7\text{ V} < AV_{CC} < 4.5\text{ V}$ 的条件下, 模数转换器的阻抗 = $1.8\text{ k}\Omega$

C_{AIN} : 在 $2.7\text{ V} < AV_{CC} < 5.5\text{ V}$ 的条件下, 模数转换器的输入电容 = 12.05 pF

R_{ext} : 外部电路的输出阻抗

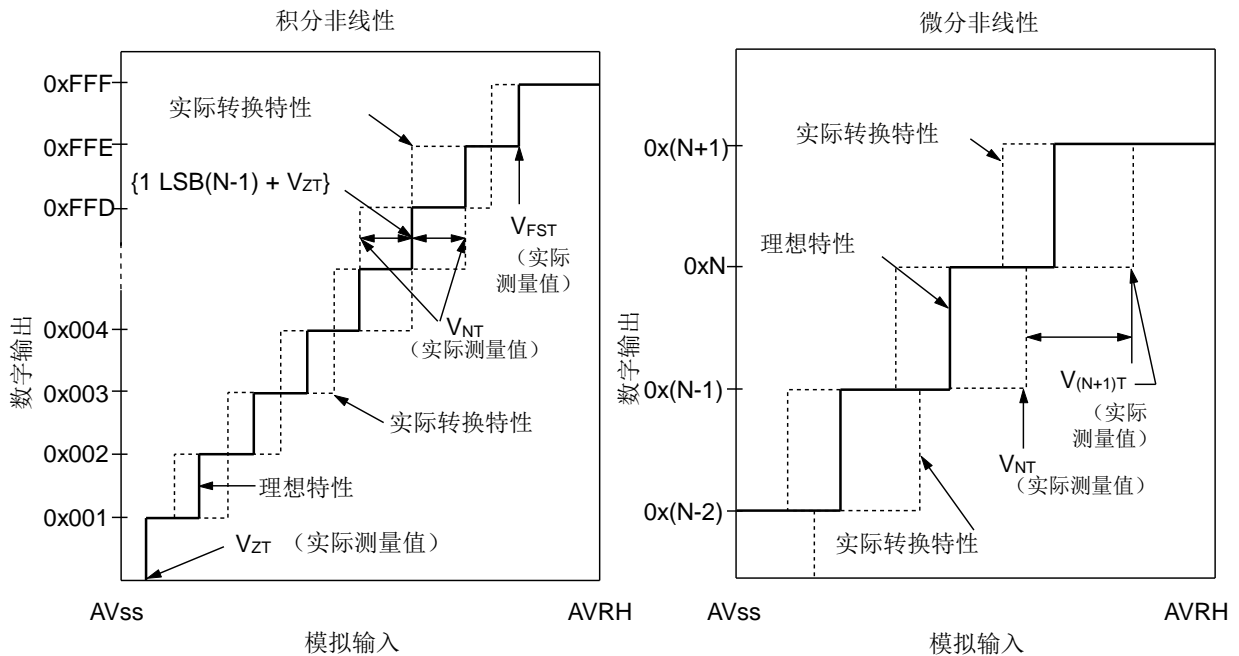
(公式 2) $t_c = t_{CCK} \times 14$

t_c : 比较时间

t_{CCK} : 比较时钟周期

12 位模数转换器定义术语

- 分辨率: 模数转换器识别出的数值变动范围。
- 整体非线性: 零转换点
(0b00000000000000 ←→ 0b00000000000001) 到全量程转换点
(0b11111111111110 ←→ 0b11111111111111) 之间连线与实际转换特性的偏差。
- 差分非线性: 与输入电压理想值的偏差, 用于对输出值进行 1 LSB 调整。



$$\text{数字输出 } N \text{ 的整体非线性} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \text{ [LSB]}$$

$$\text{数字输出 } N \text{ 的差分非线性} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \text{ [LSB]}$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

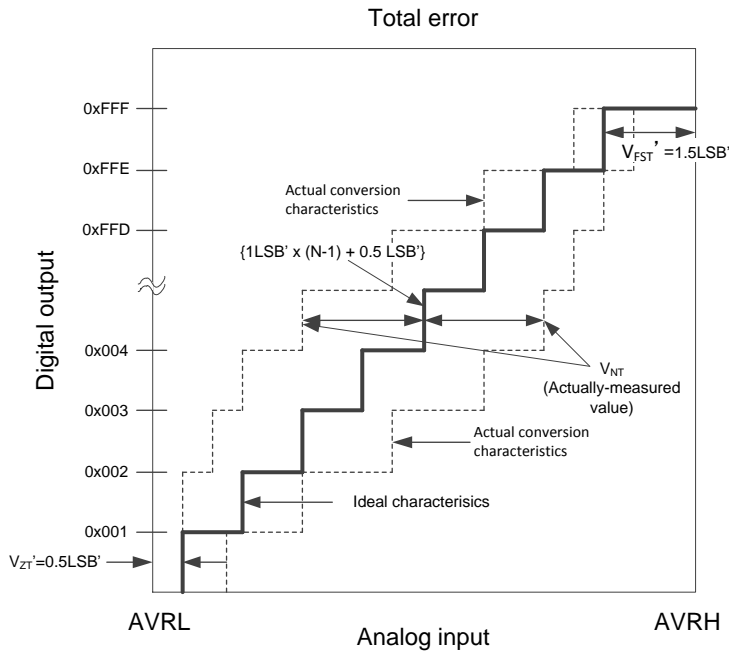
N:模数转换器的数字输出值。

V_{ZT} : 使数字输出值从 0x000 变为 0x001 的电压。

V_{FST} : 使转换数值从 0xFFE 变为 0xFFF 的电压。

V_{NT} : 使数字输出值从 0x(N - 1)变为 0xN 的电压。

- **总误差：** 指的是实际值与理论值间的差值。
总体误差包括零转换电压、全量程转换电压和线性误差。



$$\text{Total error of digital output } N = \frac{V_{NT} - \{1 \text{LSB}' \times (N-1) + 0.5 \text{LSB}'\}}{1 \text{LSB}'} \quad [\text{LSB}]$$

$$1 \text{LSB}' \text{ (ideal value)} = \frac{AVRH - AVRL}{4096} \quad [\text{V}]$$

$$V_{ZT}' \text{ (ideal value)} = AVRL + 0.5 \text{LSB}' \quad [\text{V}]$$

$$V_{FST}' \text{ (ideal value)} = AVRH - 1.5 \text{LSB}' \quad [\text{V}]$$

V_{NT}' : A voltage for causing transition of digital output from (N-1) to N

13.6 12 位数模转换器

模数转换器的电气特性

($V_{CC} = AV_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $VS_S = AV_{SS} = 0\text{ V}$)

参数	符号	引脚名称	数值			单位	备注
			最小值	典型值	最大值		
分辨率	—	DAx	—	—	12	位	
转换时间	tc20		0.56	0.69	0.81	μs	负载电容为 20 pF
	tc100		2.79	3.42	4.06	μs	负载电容为 100 pF
整体非线性*	INL		- 16	—	+ 16	LSB	
差分非线性*	DNL		- 0.98	—	+ 1.5	LSB	
输出电压偏移	V _{OFF}		—	—	10.0	mV	设置 0x000
			- 20.0	—	+ 1.4	mV	设置 0xFFFF
模拟输出阻抗	R _O		3.10	3.80	4.50	kΩ	数模转换器运行
			2.0	—	—	MΩ	数模转换器停止
电源电流*	IDDA	AVCC	260	330	410	μA	单个数模转换器单位运行 AV _{CC} = 3.3 V
			400	510	620	μA	单个数模转换器单位运行 AV _{CC} = 5.0 V
	IDSA		—	—	14	μA	数模转换器停止

*：无负载期间

13.7 低电压检测特性

13.7.1 低电压检测复位

参数	符号	条件	数值			单位	备注
			最小值	典型值	最大值		
检测电压	VDL	—	2.25	2.45	2.65	V	电压下降
释放电压	VDH	—	2.30	2.50	2.70	V	电压上升

13.7.2 低电压检测中断

参数	符号	条件	数值			单位	备注
			最小值	典型值	最大值		
检测电压	VDL	SVHI = 00111	2.58	2.8	3.02	V	电压下降
释放电压	VDH		2.67	2.9	3.13	V	电压上升
检测电压	VDL	SVHI = 00100	2.76	3.0	3.24	V	电压下降
释放电压	VDH		2.85	3.1	3.34	V	电压上升
检测电压	VDL	SVHI = 01100	2.94	3.2	3.45	V	电压下降
释放电压	VDH		3.04	3.3	3.56	V	电压上升
检测电压	VDL	SVHI = 01111	3.31	3.6	3.88	V	电压下降
释放电压	VDH		3.40	3.7	3.99	V	电压上升
检测电压	VDL	SVHI = 01110	3.40	3.7	3.99	V	电压下降
释放电压	VDH		3.50	3.8	4.10	V	电压上升
检测电压	VDL	SVHI = 01001	3.68	4.0	4.32	V	电压下降
释放电压	VDH		3.77	4.1	4.42	V	电压上升
检测电压	VDL	SVHI = 01000	3.77	4.1	4.42	V	电压下降
释放电压	VDH		3.86	4.2	4.53	V	电压上升
检测电压	VDL	SVHI = 11000	3.86	4.2	4.53	V	电压下降
释放电压	VDH		3.96	4.3	4.64	V	电压上升
LVD 稳定等待时间	t _{LVDW}	—	—	—	4480× t _{CYCP} *	μs	

*t_{CYCP} 指的是 APB2 总线时钟周期。

13.8 主闪存存储器写入/擦除特性

(VCC = 2.7 V ~ 5.5 V)

参数		值			单位	备注
		最小值	典型值	最大值		
扇区擦除时间	大扇区	—	0.7	3.7	s	包括内部擦除前的写入时间
	小扇区		0.3	1.1		
半字 (16 位) 写入时间	写周期 < 100 次	—	12	100	μs	不包括系统级占用时间
	写入次数 > 100 次			200		
芯片擦除时间		—	13.6	68	s	包括内部擦除前的写入时间

写入周期和数据保留时间

擦除/写入周期 (次数)	数据保留时间 (年)
1,000	20 *
10,000	10 *
100,000	5 *

*: 该值通过技术参考获取 (使用 Arrhenius 方程, 将高温加速测试的结果转换为+ 85°C 下的平均温度值)。

13.9 工作内存存储器写入/擦除特性

(VCC = 2.7 V ~ 5.5 V)

参数		值			单位	备注
		最小值	典型值	最大值		
扇区擦除时间		—	0.3	1.5	s	包括内部擦除前的写入时间
半字 (16 位) 写入时间		—	20	200	μs	不包括系统级占用时间
芯片擦除时间		—	1.2	6	s	包括内部擦除前的写入时间

写入周期和数据保留时间

擦除/写入周期 (次数)	数据保留时间 (年)
1,000	20 *
10,000	10 *
100,000	5 *

*: 该值通过技术参考获取 (使用 Arrhenius 公式, 将高温加速测试的结果转换为+ 85°C 下的平均温度值)。

13.10 低功耗模式唤醒

13.10.1 恢复源：中断/WKUP

显示了从发现内部电路恢复源到开始执行编程的时间。

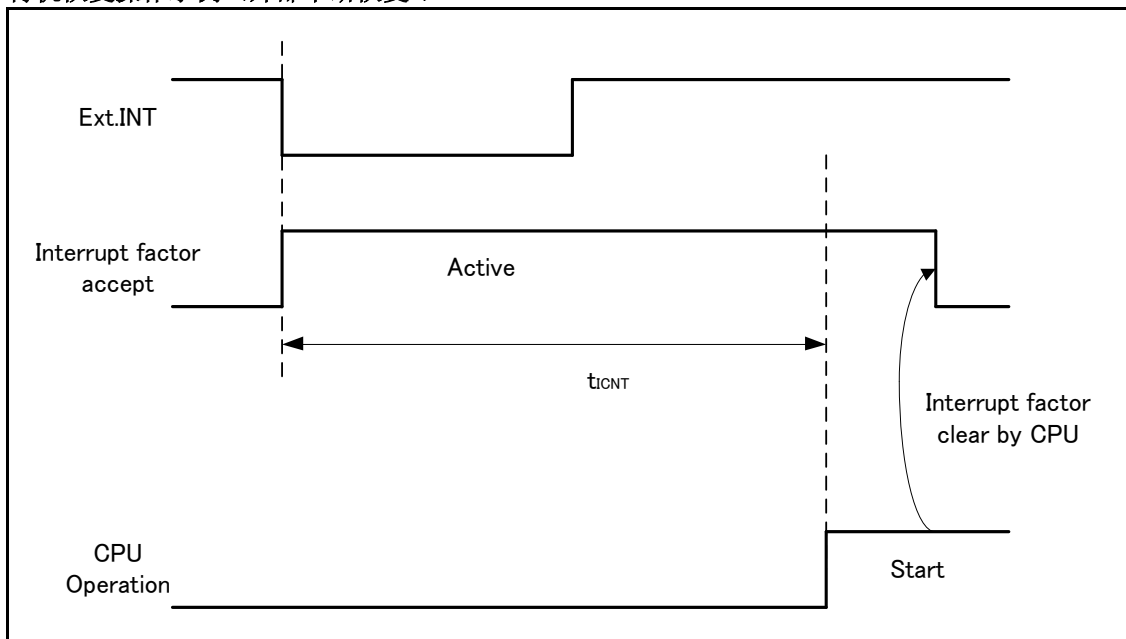
恢复时间

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

参数	符号	数值		单位	备注
		典型值	最大值*		
睡眠模式	t _{ICNT}	HCLK×1		μs	
高速 CR 定时器模式的恢复时间 主定时器模式的恢复时间 PLL 定时器模式的恢复时间		40	80	μs	
低速 CR 定时器模式		450	900	μs	
副定时器模式		896	1136	μs	
RTC 模式 停止模式 (返回到高速 CR /主/PLL 运行模式)		316	581	μs	
RTC 模式 停止模式 (返回到低速 CR/副定时器运行模式)		270	540		
深度待机 RTC 模式 (保持 RAM 数据)		365	667	μs	RAM 数据不得保持
深度待机停止模式 (保持 RAM 数据)		365	667	μs	保持 RAM 数据

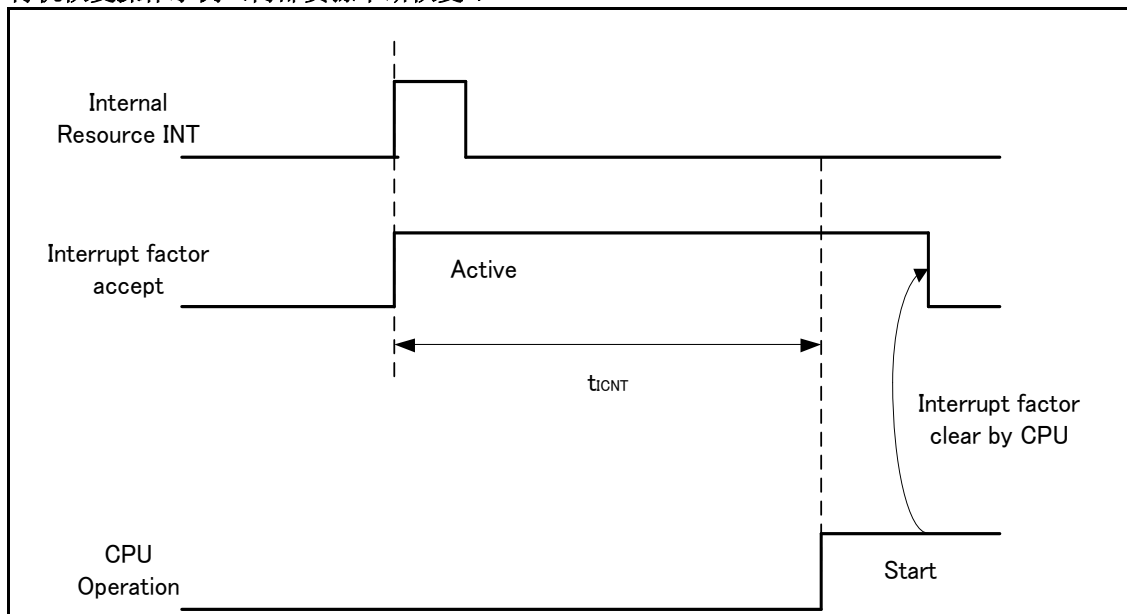
*：最大值取决于内置 CR 精度。

待机恢复操作示例 (外部中断恢复*)



*：设置外部中断用于检测下降沿。

待机恢复操作示例（内部资源中断恢复*）



*：取决于待机模式，恢复源不包含内部资源中断。

注意：

- 每种低功耗模式的恢复原因均不同。
有关详细信息，请参考 **FM4** 系列外设手册主要部分（002-04856）第 6 章：“低功耗模式和待机模式操作”的内容。
- 中断恢复时，CPU（恢复）的操作模式取决于发生低功耗模式转换前的状态。有关详细信息，请参考 **FM4** 系列外设手册主要部分（002-04856）中第 6 章：“低功耗模式”的内容。

13.10.2 恢复源：复位

表示从复位释放到开始执行程序的时间。

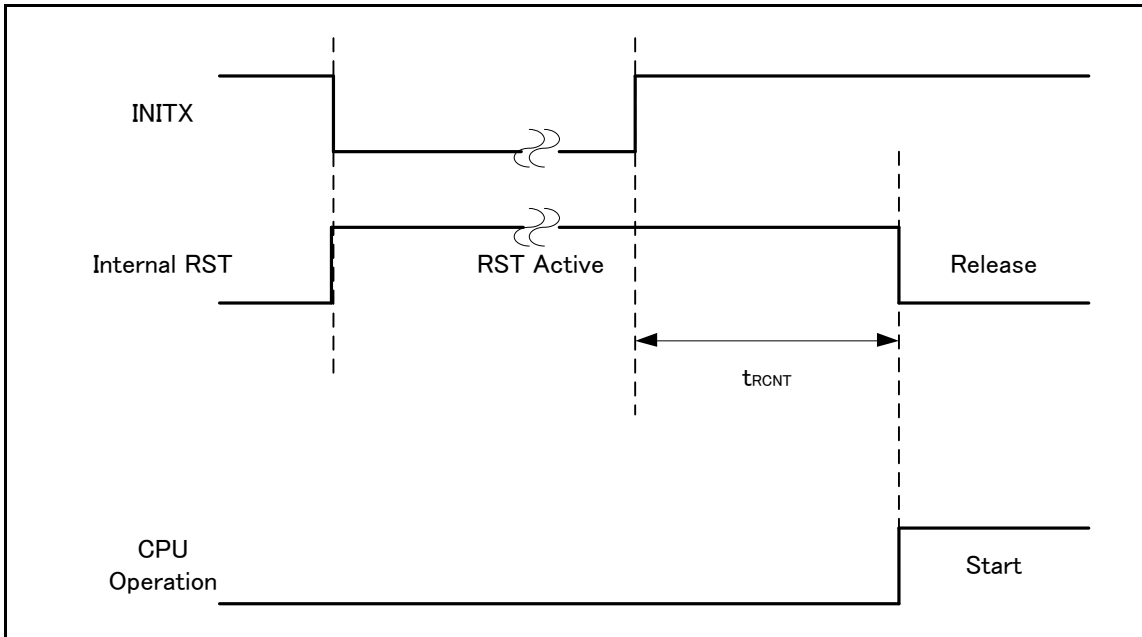
恢复计数时间

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

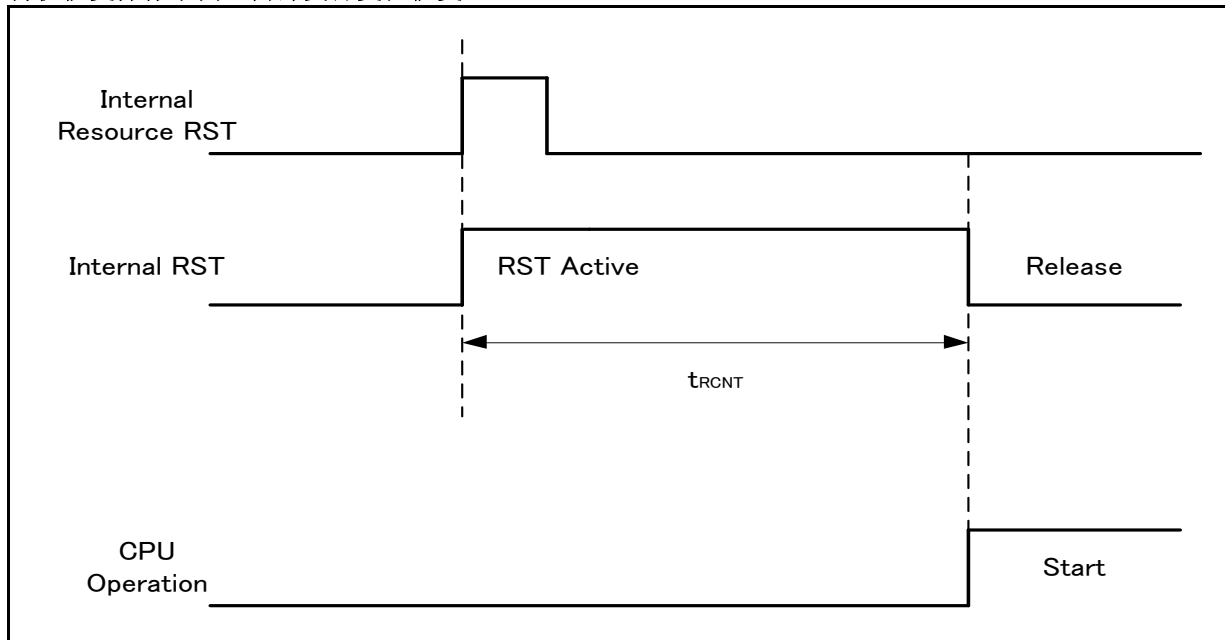
参数	符号	数值		单位	备注
		典型值	最大值*		
睡眠模式	t _{RCNT}	155	266	μs	
高速 CR 定时器模式		155	266	μs	
主定时器模式					
PLL 定时器模式		315	567	μs	
低速 CR 定时器模式					
副定时器模式		315	567	μs	
RTC 模式					
停止模式		315	567	μs	
深度待机 RTC 模式（保持 RAM 数据）				μs	不保持 RAM 数据
深度待机停止模式（保持 RAM 数据）		336	667	μs	保持 RAM 数据

*：最大值取决于内置 CR 精度。

待机恢复操作示例（INITX 恢复）



待机恢复操作示例（内部资源复位恢复*）



*: 根据待机模式，恢复源不包含内部资源复位

注意:

- 每种低功耗模式的恢复原因均不同。
有关详细信息，请参考 **FM4 系列外设手册主要部分 (002-04856)** 第 6 章：“低功耗模式和待机模式操作”的内容。
- 上电复位/低压检测复位期间独立于恢复源。请参考第 13.4 章：“电气特性”的交流电特性电气特性第 6 项：“上电复位时序”部分内容，了解上电复位/低压检测复位期间的详细信息。
- 从复位恢复时，**CPU** 将转换为高速 **CR** 运行模式。使用主时钟或 **PLL** 时钟时，必须添加主时钟振荡稳定等待时间或主 **PLL** 时钟稳定等待时间。
- 内部资源复位是指监视定时器复位和 **CSV** 复位。

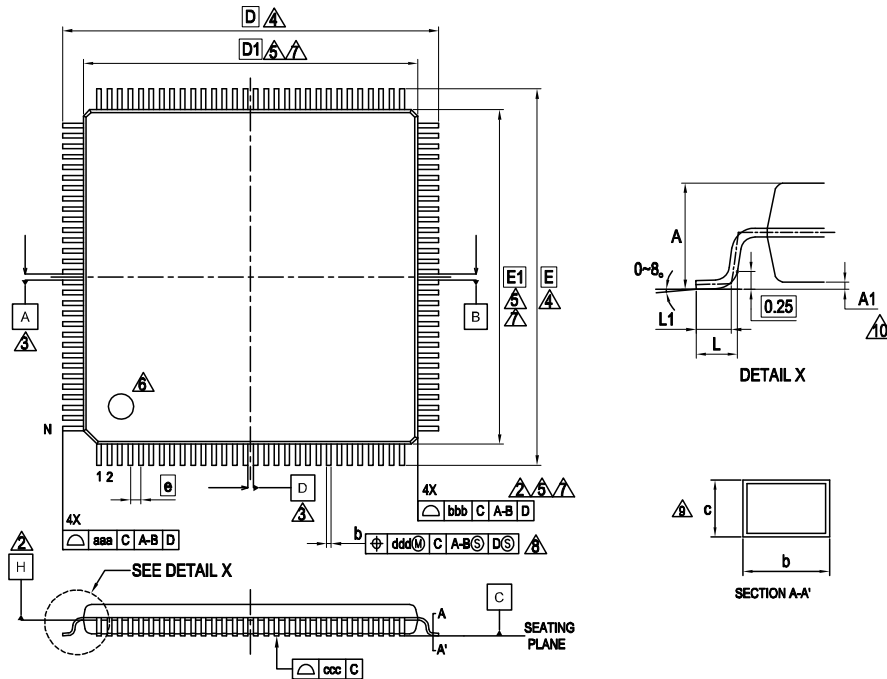
14. 订购信息

器件型号	闪存	RAM	CAN	SD 卡接口	封装类型
S6E2HG6G0A GV20000	544 KB	64 KB	✓	✓	塑封 LQFP (间距为 0.5 mm), 120 引脚 (LQM120)
S6E2HG4G0A GV20000	288 KB	32 KB	✓	✓	
S6E2HG6F0A GV20000	544 KB	64 KB	✓	✓	塑封 LQFP (间距为 0.5 mm), 100 引脚 (LQI100)
S6E2HG4F0A GV20000	288 KB	32 KB	✓	✓	
S6E2HG6E0A GV20000	544 KB	64 KB	✓	✓	塑封 LQFP (间距为 0.5 mm), 80 引脚 (LQH080)
S6E2HG4E0A GV20000	288 KB	32 KB	✓	✓	
S6E2HG6G0A GB30000	544 KB	64 KB	✓	✓	塑封 FBGA (间距为 0.5 mm), 121 引脚 (FDI121)
S6E2HG4G0A GB30000	288 KB	32 KB	✓	✓	
S6E2HE6G0A GV20000	544 KB	64 KB		✓	塑封 LQFP (间距为 0.5 mm), 120 引脚 (LQM120)
S6E2HE4G0A GV20000	288 KB	32 KB		✓	
S6E2HE6F0A GV20000	544 KB	64 KB		✓	塑封 LQFP (间距为 0.5 mm), 100 引脚 (LQI100)
S6E2HE4F0A GV20000	288 KB	32 KB		✓	
S6E2HE6E0A GV20000	544 KB	64 KB		✓	塑封 LQFP (间距为 0.5 mm), 80 引脚 (LQH080)
S6E2HE4E0A GV20000	288 KB	32 KB		✓	
S6E2H16G0A GB30000	544 KB	64 KB		✓	塑封 FBGA (间距为 0.5 mm), 121 引脚 (FDI121)
S6E2H16G0A GB30000	288 KB	32 KB		✓	
S6E2H46G0A GV20000	544 KB	64 KB	✓		塑封 LQFP (间距为 0.5 mm), 120 引脚 (LQM120)
S6E2H44G0A GV20000	288 KB	32 KB	✓		
S6E2H46F0A GV20000	544 KB	64 KB	✓		塑封 LQFP (间距为 0.5 mm), 100 引脚 (LQI100)
S6E2H44F0A GV20000	288 KB	32 KB	✓		
S6E2H46E0A GV20000	544 KB	64 KB	✓		塑封 LQFP (间距为 0.5 mm), 80 引脚 (LQH080)
S6E2H44E0A GV20000	288 KB	32 KB	✓		
S6E2H16G0A GB30000	544 KB	64 KB	✓		塑封 FBGA (间距为 0.5 mm), 121 引脚 (FDI121)
S6E2H16G0A GB30000	288 KB	32 KB	✓		
S6E2H16G0A GV20000	544 KB	64 KB			塑封 LQFP (间距为 0.5 mm), 120 引脚 (LQM120)
S6E2H14G0A GV20000	288 KB	32 KB			
S6E2H16F0A GV20000	544 KB	64 KB			塑封 LQFP (间距为 0.5 mm), 100 引脚 (LQI100)
S6E2H14F0A GV20000	288 KB	32 KB			
S6E2H16E0A GV20000	544 KB	64 KB			塑封 LQFP (间距为 0.5 mm), 80 引脚 (LQH080)
S6E2H14E0A GV20000	288 KB	32 KB			
S6E2H16G0A GB30000	544 KB	64 KB			塑封 FBGA (间距为 0.5 mm), 121 引脚 (FDI121)
S6E2H14G0A GB30000	288 KB	32 KB			

15. 封装尺寸

封装类型	封装代码
LQFP120	LQM120

LQM120 , 120 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQM120		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.115	—	0.195
D	18.00 BSC.		
D1	16.00 BSC.		
e	0.50 BSC.		
E	18.00 BSC.		
E1	16.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	120		

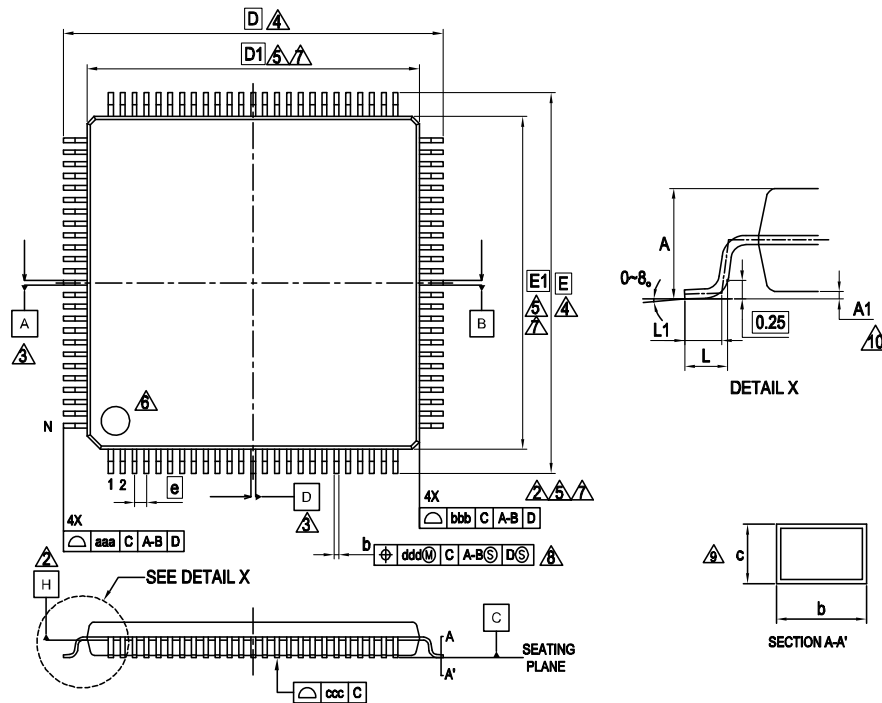
NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

封装类型	封装代码
LQFP100	LQI100

LQI100 , 100 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQI100		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.00	—	0.20
b	0.15	0.20	0.25
c	0.09	—	0.20
D	16.00 BSC.		
D1	14.00 BSC.		
e	0.50 BSC		
E	16.00 BSC.		
E1	14.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	100		

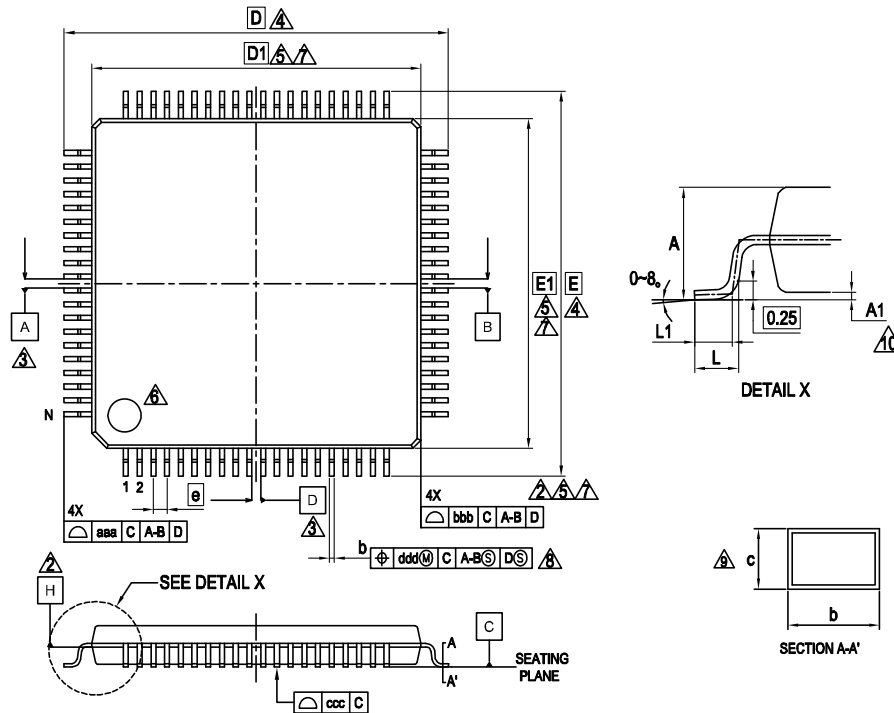
NOTES

- CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

封装类型	封装代码
LQFP80	LQH080

LQH080 , 80 Lead Plastic Low Profile Quad Flat Package



PACKAGE	LQH080		
SYMBOL	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	0.20	0.25
c	0.09	—	0.20
D	14.00 BSC.		
D1	12.00 BSC.		
e	0.50 BSC		
E	14.00 BSC.		
E1	12.00 BSC.		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70
aaa	—	—	0.20
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.08
N	80		

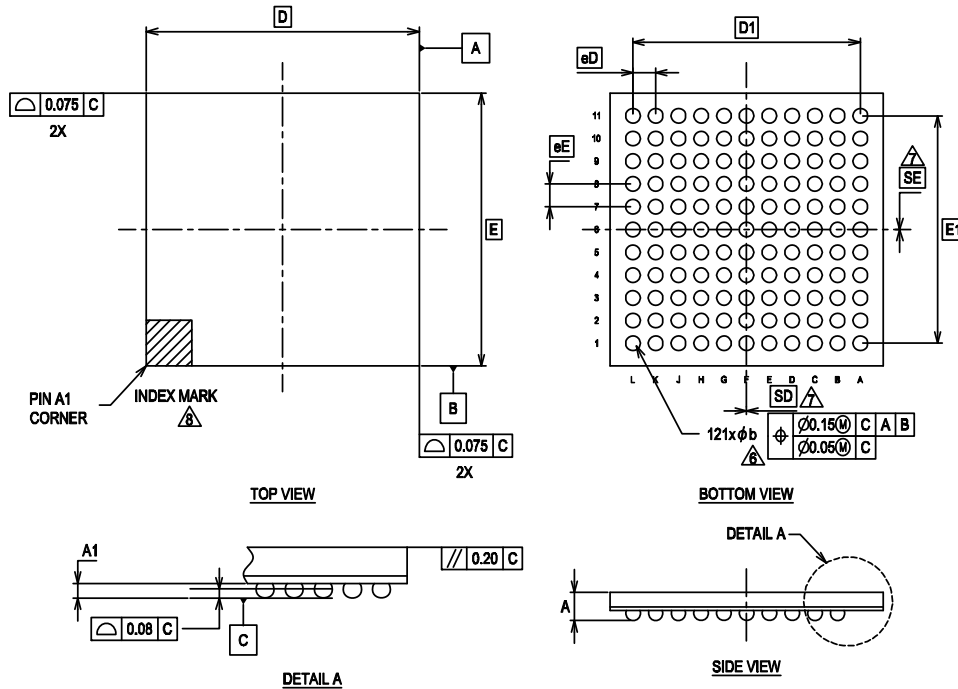
NOTES

1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS (mm)
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBER PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBER CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

Rev. A

封装类型	封装代码
FBGA 121	FDI121

FDI121 121 ball Low Profile Fine Pitch Ball Grid Array Package



PACKAGE	FDI121			NOTE
SYMBOL	MIN.	NOM.	MAX.	
A	—	—	1.20	PROFILE
A1	0.20	—	—	TERMINAL HEIGHT
D	6.00 BSC.			BODY SIZE
E	6.00 BSC.			BODY SIZE
D1	5.00 BSC.			MATRIX FOOTPRINT
E1	5.00 BSC.			MATRIX FOOTPRINT
MD	11			MATRIX SIZE D DIRECTION
ME	11			MATRIX SIZE E DIRECTION
n	121			BALL COUNT
Φb	0.27	0.32	0.37	BALL DIAMETER
eD	0.50 BSC.			BALL PITCH
eE	0.50 BSC.			BALL PITCH
SD/SE	0.00			SOLDER BALL PLACEMENT

1. DIMENSIONS AND TOLERANCES METHODS PER ASME Y14.5-2009.
THIS OUTLINE CONFORMS TO JEP95, SECTION 4.5.

2. ALL DIMENSIONS ARE IN MILLIMETERS.

3. BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-010.

4. [e] REPRESENTS THE SOLDER BALL GRID PITCH.

5. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
n IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX
SIZE MD X ME.

△ DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER
IN A PLANE PARALLEL TO DATUM C.

△ SD AND SE ARE MEASURED WITH RESPECT TO DATUMS A AND B AND
DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, SD OR SE = 0.
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, SD OR SE = [e]

△ A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK.
METALLIZED MARK INDENTATION OR OTHER MEANS.

9. "*" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.

Rev. 0B

文档修订记录

文档标题: S6E2H 系列 32 位 ARM® Cortex®-M4F、FM4 微控制器

文档编号: 002-00218

版本	ECN	变更者	提交日期	变更说明
**	4997551	XLZH	11/09/2015	本文档版本号为 Rev**, 译自英文版 001-98943 Rev**。
*A	5462327	YLIU	10/05/2016	本文档版本号为 Rev*A, 译自英文版 001-98943 Rev*C。

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问赛普拉斯所在地。

产品

ARM® Cortex®微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
照明与电源控制	cypress.com/powerpsoc
存储器	cypress.com/memory
PSoC	cypress.com/psoc
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线/射频	cypress.com/wireless

PSoC®解决方案

cypress.com/psoc
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 培训

技术支持

cypress.com/support

PSoC 是赛普拉斯半导体公司的注册商标，且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

 <p>CYPRESS Embedded in Tomorrow™</p>	赛普拉斯半导体公司	电话	: 408-943-2600
	198 Champion Court	传真	: 408-943-4730
	San Jose, CA 95134-1709	网址	: www.cypress.com

©赛普拉斯半导体公司，2015-2016 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。