

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

車載ADAS向けパワーマネージメントIC

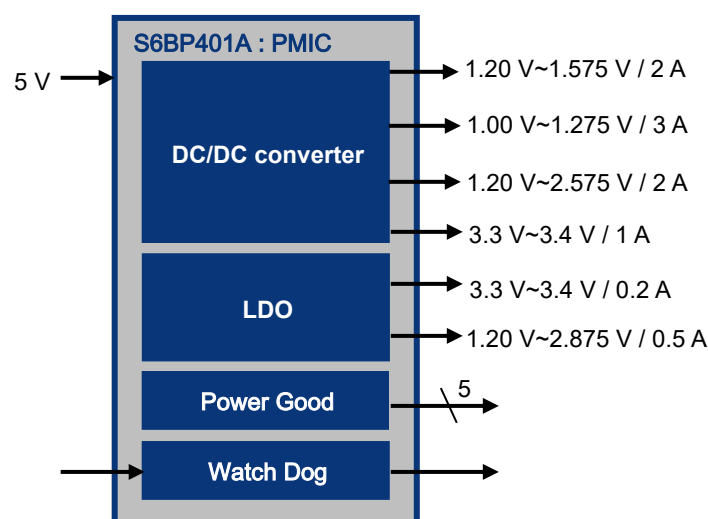
ウォッチドッグタイマ搭載のクアッド降圧 2.1 MHz DC/DC コンバータおよびデュアル LDO

S6BP401A はパワーマネージメント IC で、スイッチング FET を内蔵したクアッド降圧 2.1 MHz DC/DC コンバータ、デュアル低ドロップアウトレギュレータ (LDO)、およびデジタルウィンドウ付きウォッチドッグタイマで構成されます。S6BP401A はスイッチング FET を内蔵しているため、電力変換効率が高く 2.4 MHz までの高周波数でのスイッチングに対応できます。内蔵のスイッチング FET は 3 A までの負荷を扱うことができます。S6BP401A は電流モードアーキテクチャを採用しているため、負荷急変に迅速に対応します。出力電圧設定抵抗と補償回路が組み込まれているため、BOM とコンポーネントの面積を削減できます。

特長

- クアッド降圧 DC/DC コンバータ (DD1~DD4)
 - VIN 入力範囲 : 4.5 V~5.5 V
 - スwitchング周波数
 - 外部クロックモード : 1.8 MHz~2.4 MHz
 - 内部クロックモード : 2.0 MHz~2.2 MHz
 - 3 A 対応のスイッチング FET を内蔵
 - 出力電圧設定抵抗を内蔵
 - 位相補償回路を内蔵
- デュアル LDO (LD1, LD2)
 - VIN 入力電圧範囲 : 2.97 V~5.5 V
 - 出力電圧設定抵抗を内蔵
- 各 DC/DC コンバータおよび LDO にパワーグッド機能を装備
- ウィンドウ付きウォッチドッグタイマ (WDT) を内蔵
- 低電圧ロックアウト (UVLO)
- サーマルシャットダウン (TSD)
- 過電流保護 (OCP)
- 過電圧保護 (OVP)
- 各 DC/DC コンバータと LDO を独立に出力制御可能
- 負荷に依存しないソフトスタート
- ディスチャージ抵抗を搭載
- 6 mm×6 mm の小型の QFN-40 パッケージ
- AEC-Q100 規格に準拠 (Grade-1)

ブロックダイアグラム



アプリケーション

- 車載アプリケーション
- アドバンスト・ドライビング・アシスト・システム (ADAS)
- セキュリティカメラなどのカメラシステム
- 産業用アプリケーション

詳細情報

サイプレスは、www.cypress.com/pmic に大量のデータを掲載しており、ユーザがデザインに適切な PMIC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。以下は、S6BP401A の要約です。

■概要: [車載 PMIC ポートフォリオ](#), [車載 PMIC ロードマップ](#)

■製品セクタ:

□ [S6BP401A](#): 6 ch 車載 ADAS 向け PMIC

■アプリケーションノート: サイプレスは、S6BP401A アプリケーションノートを提供しています。以下は、S6BP401A 用の推奨アプリケーションノートです。

□ [AN98649](#): 電源システムの部品選定

□ [AN201006](#): 熱の検討とパラメータ

■評価キット取扱説明書:

□ [S6BP401AM2SA1001](#): 車載 ADAS プラットフォーム用電源ブロック

■関連製品:

□ [S6BP201A](#), [S6BP202A](#), [S6BP203A](#):

1 ch 車載向け昇降圧 PMIC

□ [S6BP501A](#), [S6BP502A](#):

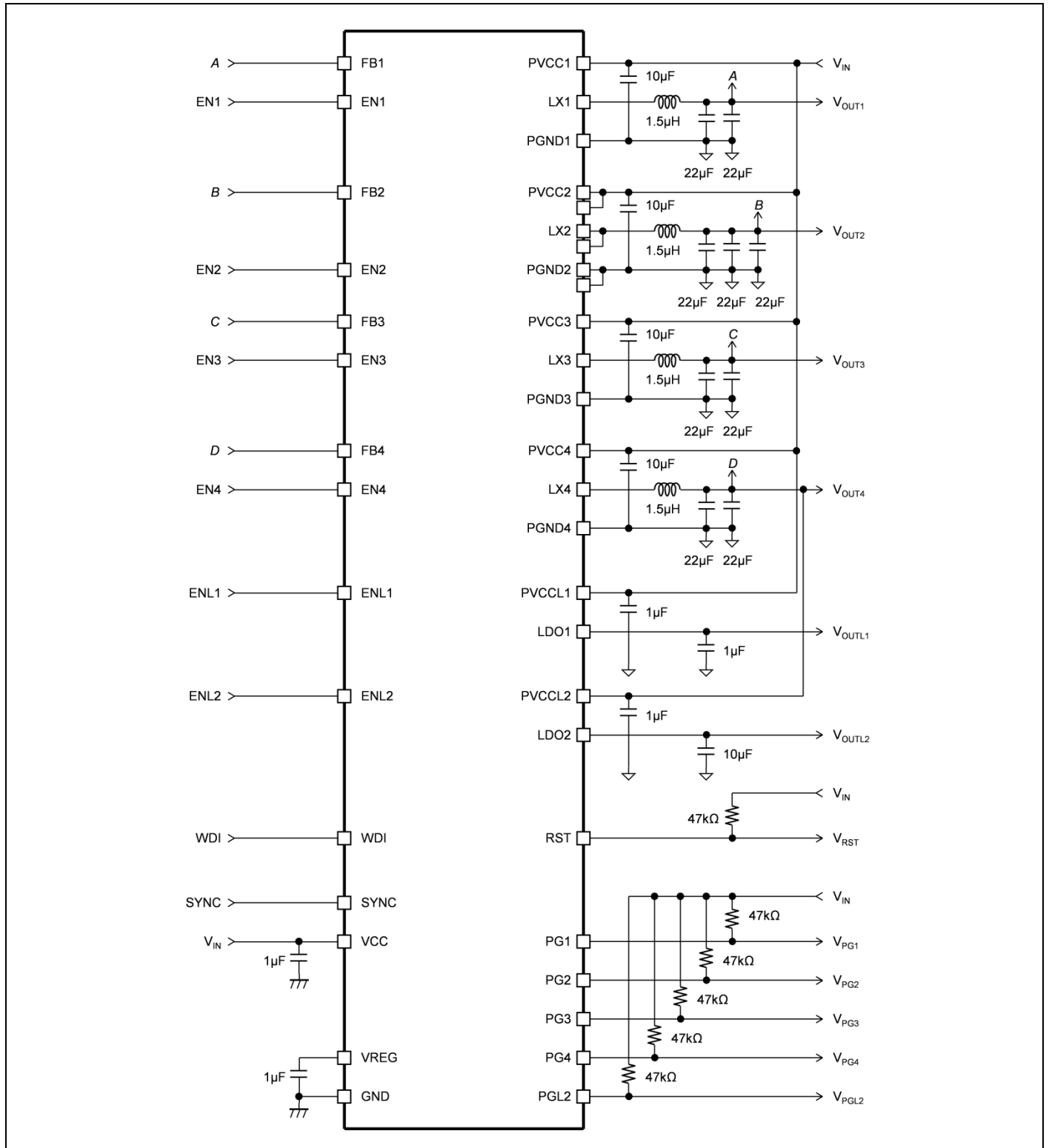
3 ch 車載クラスタ向け PMIC

目次

特長	1
アプリケーション.....	1
ブロックダイアグラム.....	1
詳細情報	2
1. 標準回路.....	4
2. 端子配置図	5
3. 端子機能.....	6
4. プリセット出力電圧.....	7
5. アーキテクチャブロックダイアグラム	9
6. 絶対最大定格.....	11
7. 推奨動作条件.....	12
8. 電気的特性	13
9. 動作モード一覧	18
10. 機能.....	19
10.1 電源オン/オフのシーケンス	19
10.2 過電流保護	21
10.3 過電圧保護	21
10.4 サーマルシャットダウン(TSD)	22
10.5 低電圧ロックアウト(UVLO)	22
10.6 ソフトスタート動作	22
10.7 放電動作	23
10.8 パワーグッドおよびリセット機能.....	24
10.9 ウォッチドッグタイマ.....	26
10.10 リニアレギュレータ出力(VREG).....	29
11. 応用回路例	30
12. 参考データ	32
13. オーダ型格	35
14. パッケージ寸法	36
15. 主な変更内容.....	37
改訂履歴	38

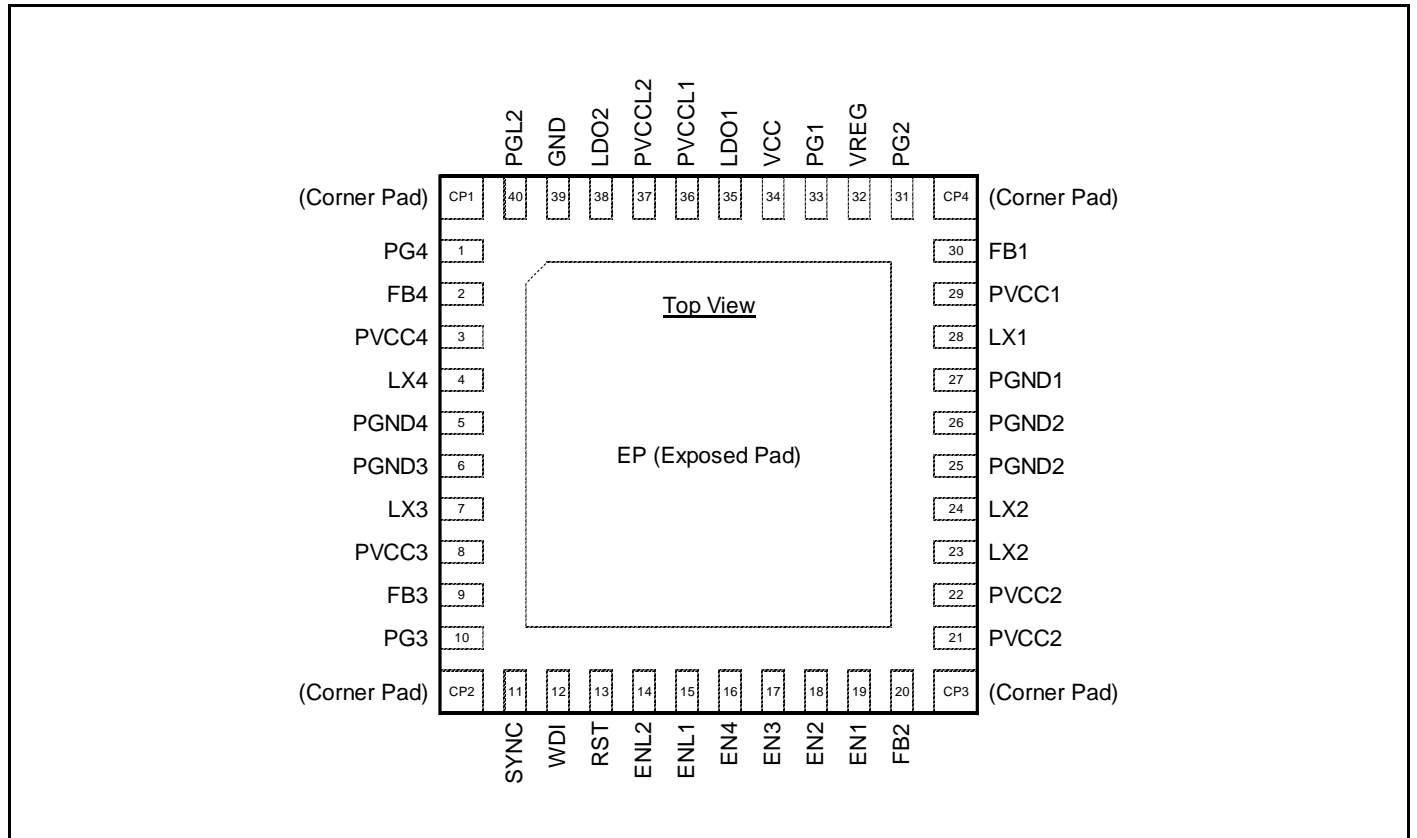
1. 標準回路

図 1-1 標準回路



2. 端子配置图

图 2-1 端子配置



3. 端子機能

表 3-1 端子機能説明

機能ブロック	ピン番号	ピン名	I/O	説明	未使用時の端子設定
DD1	19	EN1	I	DD1 のイネーブル入力端子	接地
	30	FB1	I	DD1 の出力電圧フィードバック端子.	接地
	33	PG1	O	DD1 のパワーグッド出力端子.	接地
	29	PVCC1	-	DD1 の電力供給端子	VCC
	28	LX1	O	DD1 のインダクタ接続端子	未接続
	27	PGND1	-	DD1 の電力接地端子	接地
DD2	18	EN2	I	DD2 のイネーブル入力端子	接地
	20	FB2	I	DD2 の出力電圧フィードバック端子.	接地
	31	PG2	O	DD2 のパワーグッド出力端子.	接地
	21, 22	PVCC2	-	DD2 の電力供給端子	VCC
	23, 24	LX2	O	DD2 のインダクタ接続端子	未接続
	25, 26	PGND2	-	DD2 の電力接地端子.	接地
DD3	17	EN3	I	DD3 のイネーブル入力端子.	接地
	9	FB3	I	DD3 の出力電圧フィードバック端子	接地
	10	PG3	O	DD3 のパワーグッド出力端子	接地
	8	PVCC3	-	DD3 の電力供給端子	VCC
	7	LX3	O	DD3 のインダクタ接続端子	未接続
	6	PGND3	-	DD3 の電力接地端子	接地
DD4	16	EN4	I	DD4 のイネーブル入力端子	接地
	2	FB4	I	DD4 の出力電圧フィードバック端子	接地
	1	PG4	O	DD4 のパワーグッド出力端子.	接地
	3	PVCC4	-	DD4 の電力供給端子	VCC
	4	LX4	O	DD4 のインダクタ接続端子	未接続
	5	PGND4	-	DD4 の電力接地端子.	接地
LD1	15	ENL1	I	LD1 のイネーブル入力端子	接地
	36	PVCCL1	-	LD1 の電力供給端子	VCC
	35	LDO1	O	LD1 の出力端子.	未接続
LD2	14	ENL2	I	LD2 のイネーブル入力	接地
	40	PGL2	O	LD2 のパワーグッド出力端子	接地
	37	PVCCL2	-	LD2 の電力供給端子	VCC
	38	LDO2	O	LD2 の出力端子	未接続
WDT	12	WDI	I	WDT のトリガ入力端子	接地
	13	RST	O	WDT のリセット入力端子	接地
SYNC	11	SYNC	I	外部クロック入力端子	接地
-	34	VCC	-	アナログコントローラの電源供給端子	-
-	32	VREG	O	内部の 1.8 V 供給電圧コンデンサ端子。この端子に外部の電源または負荷を接続しないでください。	-
-	39	GND	-	アナログコントローラの接地端子	-
-	EP	EP	-	露出したパッド。接地プレーンへ接続します。	-
-	CP1, CP2, CP3, CP4	CP	-	基板との接着を補強するコーナーパッド。接地プレーンへ接続します。	-

4. プリセット出力電圧

表 4-1 プリセット出力電圧(降圧 DC/DC コンバータ)

チャンネル	プリセット出力電圧[V]	ソフトスタート時間[ms]	最大出力電流[mA]	低電圧しきい値[%]	過電圧しきい値[%]
DD1	1.200	1.200	2000	94.0	106.0
	1.225	1.225			
	1.250	1.250			
	1.275	1.275			
	1.300	1.300			
	1.325	1.325			
	1.500	1.500			
	1.525	1.525			
	1.550	1.550			
	1.575	1.575			
DD2	1.000	1.000	3000	94.0	106.0
	1.025	1.025			
	1.050	1.050			
	1.075	1.075			
	1.100	1.100			
	1.125	1.125			
	1.150	1.150			
	1.175	1.175			
	1.200	1.200			
	1.225	1.225			
DD3	1.250	1.250	2000	95.2	106.0
	1.275	1.275			
	1.500	1.500			
	1.525	1.525			
	1.550	1.550			
	1.575	1.575			
	1.800	1.800			
	1.825	1.825			
	1.850	1.850			
	1.875	1.875			
	2.500	2.500			
	2.525	2.525			
	2.550	2.550			
	2.575	2.575			
DD4	3.300	3.300	1000	95.5	106.0
	3.325	3.325			
	3.350	3.350			
	3.375	3.375			
	3.400	3.400			

注意事項：

- ソフトスタート時間の値は $f_{osc} = 2.1 \text{ MHz}$ のものです。
- 出力電圧、低電圧しきい値、過電圧しきい値の最小値と最大値については、[8. 電気的特性](#)を参照してください。

表 4-2 プリセット出力電圧(LDO)

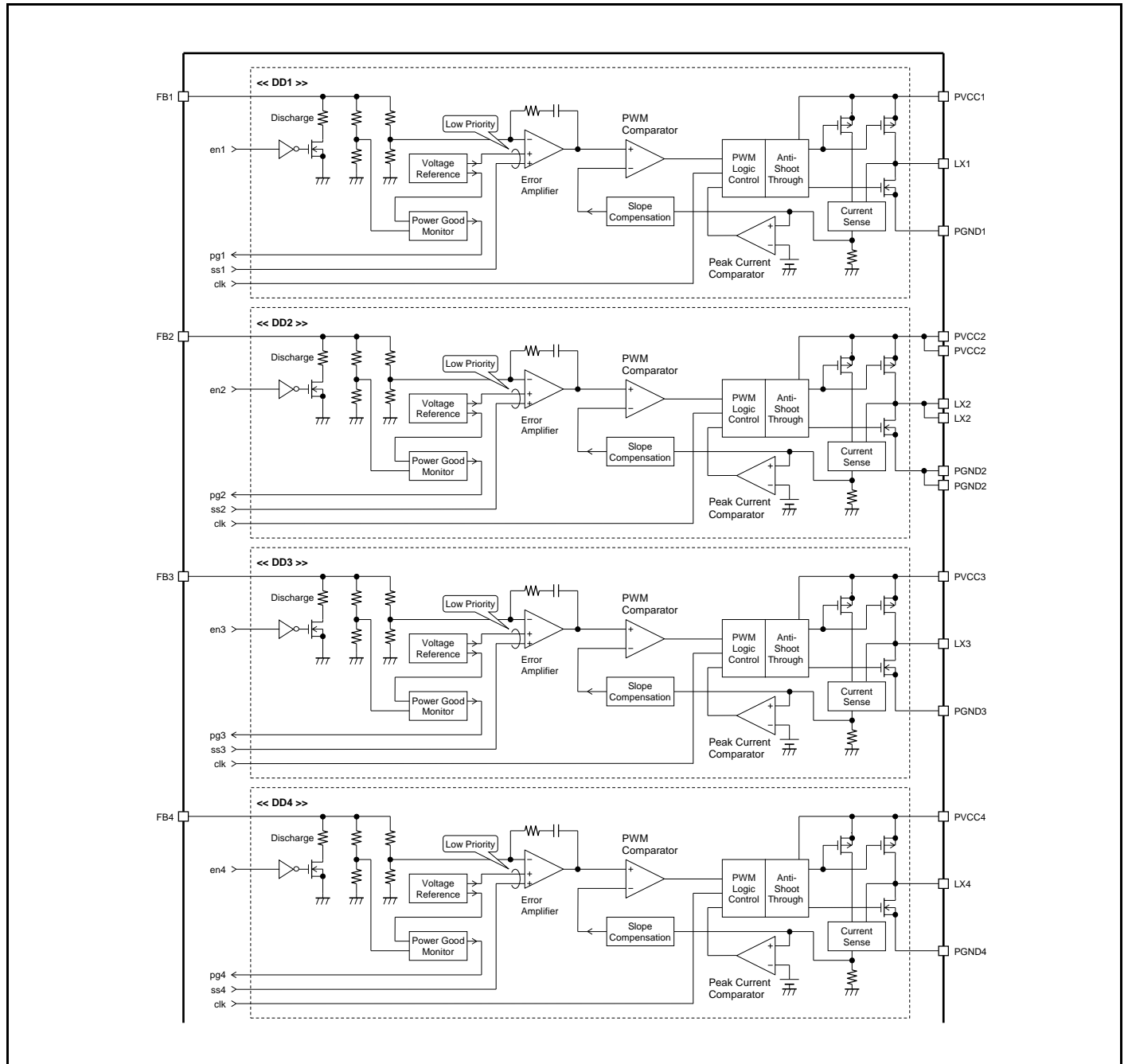
チャンネル	プリセット出力電圧[V]	ソフトスタート時間 [ms]	最大出力電流[mA]	低電圧しきい値[%]	過電圧しきい値[%]
LD1	3.300	3.300	200	94.0	106.0
	3.325	3.325			
	3.350	3.350			
	3.375	3.375			
	3.400	3.400			
LD2	1.200	1.200	500	94.0	106.0
	1.225	1.225			
	1.250	1.250			
	1.275	1.275			
	1.800	1.800			
	1.825	1.825			
	1.850	1.850			
	1.875	1.875			
	2.800	2.800			
	2.825	2.825			
	2.850	2.850			
	2.875	2.875			

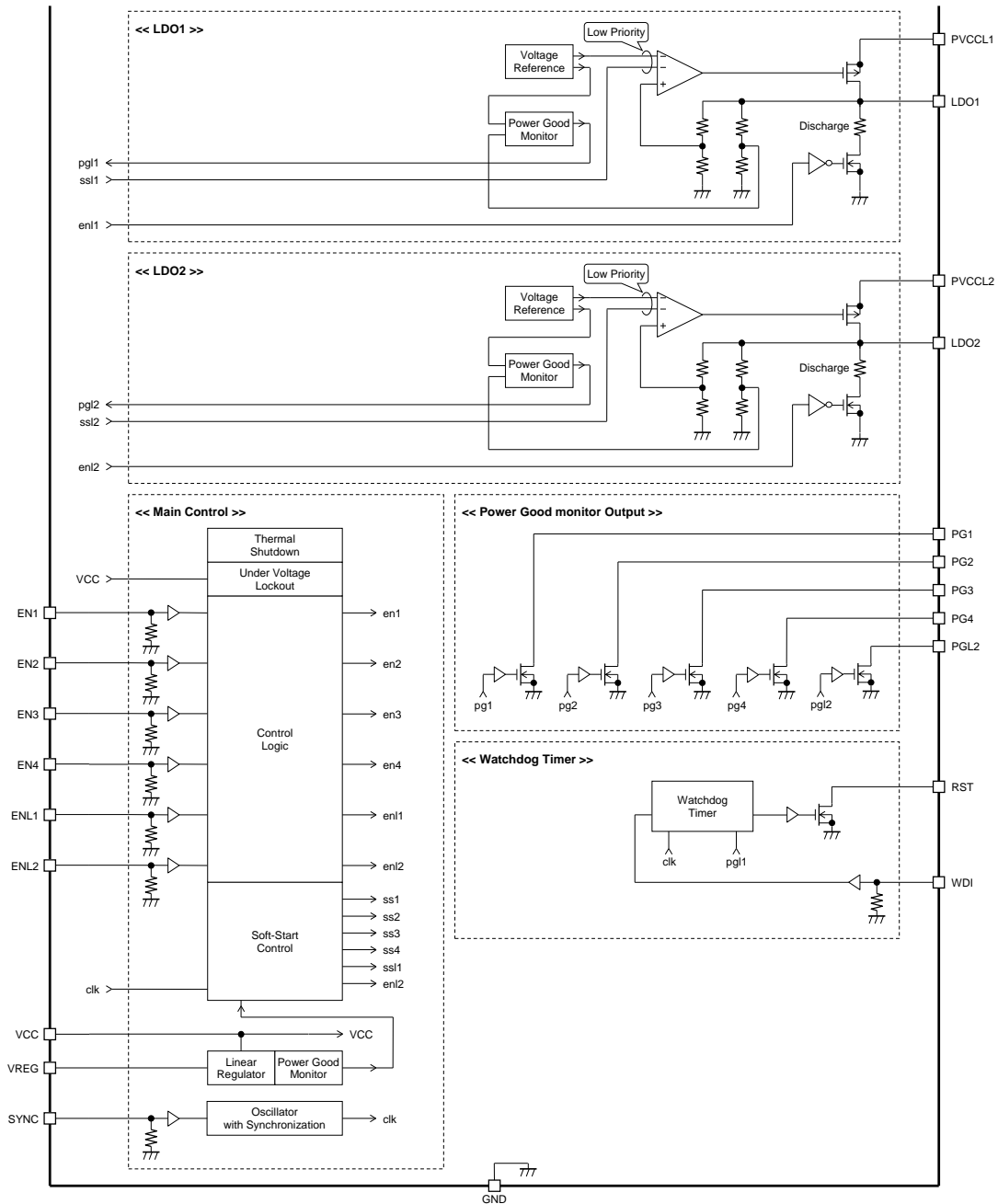
注意事項：

- ソフトスタート時間の値は $f_{OSC} = 2.1 \text{ MHz}$ でのものです。
- 出力電圧, 低電圧しきい値, 過電圧しきい値の最小値と最大値については、[8. 電気的特性](#)を参照してください。

5. アーキテクチャブロックダイアグラム

図 5-1 アーキテクチャブロックダイアグラム





6. 絶対最大定格

表 6-1 絶対最大定格

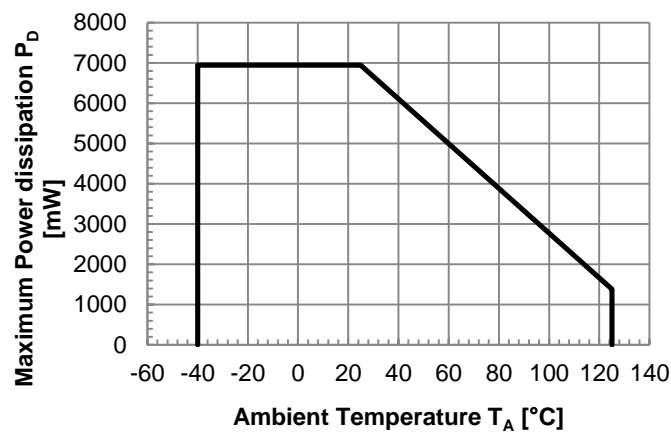
パラメータ	記号	条件	定格値		単位
			最小	最大	
電源電圧	V _{VCC}	VCC	-0.3	+6.9	V
	V _{PVCC}	PVCC1, PVCC2, PVCC3, PVCC4	-0.3	+6.9	V
	V _{PVCCCL}	PVCCCL1, PVCCCL2	-0.3	+6.9	V
入力電圧	V _{EN}	EN1, EN2, EN3, EN4, ENL1, ENL2	-0.3	+6.9	V
	V _{WDI}	WDI	-0.3	+6.9	V
	V _{SYNC}	SYNC	-0.3	+6.9	V
	V _{FB}	FB1, FB2, FB3, FB4	-0.3	+6.9	V
	V _{PG}	PG1, PG2, PG3, PG4, PGL2	-0.3	+6.9	V
	V _{RST}	RST	-0.3	+6.9	V
	V _{LX}	LX1, LX2, LX3, LX4	-0.3	+6.9	V
差電圧	V _{PVCC-VCC}	PVCC1 -VCC, PVCC2-VCC, PVCC3-VCC, PVCC4-VCC	-0.3	+0.3	V
	V _{PGND-GND}	PGND1-GND, PGND2-GND, PGND3-GND, PGND4-GND	-0.3	+0.3	V
	V _{PVCC-LX}	PVCC1-LX1, PVCC2-LX2, PVCC3-LX3, PVCC4-LX4	-0.3	+6.9	V
	V _{VCC-INPUT}	VCC-EN1, VCC-EN2, VCC-EN3, VCC-EN4, VCC-ENL1, VCC-ENL2, VCC-WDI, VCC-SYNC, VCC-FB1, VCC-FB2, VCC-FB3, VCC-FB4	-0.3	+6.9	V
許容損失	P _D	T _A ≤ +25 °C, 熱抵抗 (θ _{JA}): 18 °C /W (*1)	-	6940	mW
接合部温度	T _J	-	-40	+150	°C
保管温度	T _{STG}	-	-55	+150	°C

*1: IC が 76.2 mm×114.3 mm の 4 層エポキシ基板にマウントされている場合。IC は 4 層のガラエポ基板に実装され、端子パイアス、および IC のエクスポーズ[®] パッド(EP)は基板に接続されます。

注意事項

1. 絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

図 6-1 最大許容損失- 動作時周囲温度特性



7. 推奨動作条件

表 7-1 推奨動作条件

パラメータ	記号	条件	規格値			単位
			最小	標準	最大	
電源電圧	V _{VCC}	VCC	+4.5	+5.0	+5.5	V
	V _{PVCC}	PVCC1, PVCC2, PVCC3, PVCC4	-	V _{VCC}	-	V
	V _{PVCCCL}	PVCCCL1, PVCCCL2	+2.97	+5.0	V _{VCC}	V
入力電圧	V _{EN}	EN1, EN2, EN3, EN4, ENL1, ENL2	0	-	V _{VCC}	V
	V _{WDI}	WDI	0	-	V _{VCC}	V
	V _{SYNC}	SYNC	0	-	V _{VCC}	V
	V _{FB}	FB1, FB2, FB3, FB4	0	-	V _{VCC}	V
	V _{PG}	PG1, PG2, PG3, PG4, PGL2	0	-	+5.5	V
	V _{RST}	RST	0	-	+5.5	V
動作周囲温度	T _A	-	-40	+25	+125	°C

注意事項:

1. 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。
2. この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。
3. データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。
4. 記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

8. 電氣的特性

特に記載されていない場合は、 $V_{VCC} = V_{PVCC} = 5.0\text{ V}$, $V_{PVCC} = 5.0\text{ V}$, $T_A = T_J = -40 \sim +125\text{ }^{\circ}\text{C}$ 。標準値は $T_A = +25\text{ }^{\circ}\text{C}$ のものです。

表 8-1 電氣的特性

パラメータ	記号	条件	規格値			単位
			最小	標準	最大	
供給電流						
シャットダウン電流	I _{VCCS}	VCC 端子, V _{EN1} = V _{EN2} = V _{EN3} = V _{EN4} = V _{ENL1} = V _{ENL2} = 0 V	-	1	10	μA
UVLO：低電圧ロックアウト (VCC)						
しきい値電圧	V _{UVLOF}	V _{VCC} 立下り, UVLO 停止電圧	3.80	3.95	4.10	V
ヒステリシス	V _{UVHYS}	-	0.27	0.30	0.33	V
TSD：サーマルシャットダウン						
シャットダウン温度	T _{TSD}	温度立上り	-	165 (*1)	-	°C
ヒステリシス	T _{TSDHYS}	-	-	10 (*1)	-	°C
イネーブル入力 (EN1, EN2, EN3, EN4, ENL1, ENL2)						
入力高電圧	V _{IHEN}	-	2.0	-	V _{VCC}	V
入力低電圧	V _{ILEN}	-	0	-	0.4	V
入力電流	I _{IHEN}	V _{EN} = 5.0 V	33	50	100	μA
プルダウン抵抗	R _{PDEN}	-	50	100	150	kΩ
内蔵リニアレギュレータ出力 (VREG)						
出力電圧	V _{VREG}	V _{VCC} = 5.0 V	1.74	1.80	1.86	V
最大出力電流	I _{VREG}	V _{VCC} = 5.0 V	5	-	-	mA
過電圧ロックアウト しきい値	V _{VREGOVR}	V _{VREG} 立上り, パワーフェイル	1.86	1.92	1.98	V
	V _{VREGOVF}	V _{VREG} 立下り, パワーグッド	1.81	1.87	1.93	V
低電圧ロックアウト しきい値	V _{VREGUVR}	V _{VREG} 立上り, パワーグッド	1.67	1.73	1.79	V
	V _{VREGUVF}	V _{VREG} 立下り, パワーフェイル	1.62	1.68	1.74	V
オシレータ						
スイッチング周波数	f _{OSC}	-	2.0	2.1	2.2	MHz
同期入力 (SYNC)						
入力高電圧	V _{IHSYNC}	-	2.0	-	V _{VCC}	V
入力低電圧	V _{ILSYNC}	-	0	-	0.4	V
入力電流	I _{IHSYNC}	V _{EN} = 5.0 V	33	50	100	μA
プルダウン抵抗	R _{PDSYNC}	-	50	100	150	kΩ
入力周波数	f _{SYNC}	-	1.8	2.1	2.4	MHz
スイッチング周波数	f _{OSC}	-	-	f _{SYNC}	-	MHz

パラメータ	記号	条件	規格値			単位
			最小	標準	最大	
パワーグッドモニタ (PG1, PG2, PGL2)						
過電圧しきい値	V _{PGOV}	パワーフェイルしきい値と V _{OUT1} , V _{OUT2} , V _{OUTL2} 立上りの比率	104.5	106.0	107.5	%
過電圧ヒステリシス	V _{PGOVHYS}	-	0.5	1.0	1.5	%
低電圧しきい値	V _{PGUV}	パワーフェイルしきい値と V _{OUT1} , V _{OUT2} , V _{OUTL2} 立下りの比率	92.5	94.0	95.5	%
低電圧ヒステリシス	V _{PGUVHYS}	-	0.5	1.0	1.5	%
リーク電流	I _{LEAKPG}	V _{PG} = 5.0 V	-	-	1	μA
出力低電圧	V _{OLPG}	I _{PG} = 3 mA	-	0.15	0.30	V
伝搬時間	T _{PPG}	しきい値を 5 %逸脱, パワーフェイル	-	4 (*1)	8 (*1)	μs
パワーオンリセット時間	T _{RPG}	パワーグッド	8	10	12	ms
パワーグッドモニタ (PG3)						
過電圧しきい値	V _{PGOV}	パワーフェイルしきい値と V _{OUT3} 立上りの比率	104.5	106.0	107.5	%
過電圧ヒステリシス	V _{PGOVHYS}	-	0.5	1.0	1.5	%
低電圧しきい値	V _{PGUV}	パワーフェイルしきい値と V _{OUT3} 立下りの比率	93.7	95.2	96.7	%
低電圧ヒステリシス	V _{PGUVHYS}	-	0.5	1.0	1.5	%
リーク電流	I _{LEAKPG}	V _{PG} = 5.0 V	-	-	1	μA
出力低電圧	V _{OLPG}	I _{PG} = 3 mA	-	0.15	0.30	V
伝搬時間	T _{PPG}	しきい値を 5 %逸脱, パワーフェイル	-	4 (*1)	8 (*1)	μs
パワーオンリセット時間	T _{RPG}	パワーグッド	8	10	12	ms
パワーグッドモニタ (PG4)						
過電圧しきい値	V _{PGOV}	パワーフェイルしきい値と V _{OUT4} 立上りの比率	104.5	106.0	107.5	%
過電圧ヒステリシス	V _{PGOVHYS}	-	0.5	1.0	1.5	%
低電圧しきい値	V _{PGUV}	パワーフェイルしきい値と V _{OUT4} 立下りの比率	94.0	95.5	97.0	%
低電圧ヒステリシス	V _{PGUVHYS}	-	0.5	1.0	1.5	%
リーク電流	I _{LEAKPG}	V _{PG} = 5.0 V	-	-	1	μA
出力低電圧	V _{OLPG}	I _{PG} = 3 mA	-	0.15	0.30	V
伝搬時間	T _{PPG}	しきい値を 5 %逸脱, パワーフェイル	-	4 (*1)	8 (*1)	μs
パワーオンリセット時間	T _{RPG}	パワーグッド	8	10	12	ms
リセット (RST)						
過電圧しきい値	V _{RSOV}	パワーフェイルしきい値と V _{OUTL1} 立上りの比率	104.5	106.0	107.5	%
過電圧ヒステリシス	V _{RSOVHYS}	-	0.5	1.0	1.5	%
低電圧しきい値	V _{RSUV}	パワーフェイルしきい値と V _{OUTL1} 立下りの比率	92.5	94.0	95.5	%
低電圧ヒステリシス	V _{RSUVHYS}	-	0.5	1.0	1.5	%
リーク電流	I _{LEAKRST}	V _{RST} = 5.0 V	-	-	1	μA
出力低電圧	V _{OLRST}	I _{PG} = 3 mA	-	0.15	0.30	V
伝搬時間	T _{PRST}	しきい値を 5 %逸脱, パワーフェイル	-	4 (*1)	8 (*1)	μs
パワーオンリセット時間	T _{RD}	パワーグッド	25.6	32.0	38.4	ms

パラメータ	記号	条件	規格値			単位
			最小	標準	最大	
ウォッチドッグタイマ (WDI)						
ウォッチドッグのサンプリング時間	T _{SAM}	-	0.40	0.50	0.60	ms
無視ウィンドウ時間	T _{IW}	-	25.6	32.0	38.4	ms
オープンウィンドウ時間	T _{OW}	-	25.6	32.0	38.4	ms
ロングオープンウィンドウ時間	T _{LOW}	-	102.4	128.0	153.6	ms
クローズドウィンドウ時間	T _{CW}	-	25.6	32.0	38.4	ms
ウィンドウウォッチドッグトリガ時間	T _{WD}	-	38.4	48	51.2	ms
入力高電圧	V _{IHWDI}	-	2.0	-	V _{VCC}	V
入力低電圧	V _{ILWDI}	-	0	-	0.4	V
入力電流	I _{IHWDI}	V _{WDI} = 5.0 V	33	50	100	μA
ブルダウン抵抗	R _{PDWDI}	-	50	100	150	kΩ
DD1：降圧 DC/DC コンバータ						
出力電圧精度	V _{OUT1}	V _{VCC} = 5.0 V, I _{OUT1} = 10 mA	-1.8	0	+1.8	%
DC レギュレーション	V _{REG1}	V _{VCC} = V _{PVCC1} = 4.5 to 5.5 V, I _{OUT1} = 0 to 2.0 A	-15 (*1)	0	+5 (*1)	mV
FB1 入力抵抗	R _{FB1}	V _{FB1} = 2.0 V	95	190	285	kΩ
スイッチング FET オン抵抗	R _{ONHS1}	I _{LX1} = 20 mA (PVCC1 to LX1)	-	100	190	mΩ
	R _{ONLS1}	I _{LX1} = -20 mA (LX1 to PGND1)	-	65	125	mΩ
スイッチング FET リーク電流	I _{LEAK1}	I _{PVCC1} = 5.0 V	-	1	10	μA
最大出力電流	I _{OUT1}	L = 1.5 μH	2 (*1)	-	-	A
LX1 ピーク電流制限	I _{LIMIT1}	L = 1.5 μH	2.5 (*1)	-	-	A
過電圧保護しきい値	V _{OV1}	V _{OUT1} 立上り, スイッチング中 断しきい値	125.0	130.0	135.0	%
過電圧保護ヒステリシス	V _{OVPHYS1}	-	2.0	5.0	8.0	%
FB1 放電抵抗	R _{DIS1}	-	160	400	640	Ω
ソフトスタート時間係数	T _{COESS1}	T _{SS1} = V _{OUT1} x T _{COESS1}	0.9	1.0	1.1	ms/V
DD2：Buck DC/DC Converter						
出力電圧精度	V _{OUT2}	V _{VCC} = 5.0 V, I _{OUT2} = 10 mA	-1.8	0	+1.8	%
DC レギュレーション	V _{REG2}	V _{VCC} = V _{PVCC2} = 4.5 to 5.5 V I _{OUT2} = 0 to 3.0 A	-15 (*1)	0	+5 (*1)	mV
FB2 入力抵抗	R _{FB2}	V _{FB2} = 2.0 V	95	190	285	kΩ
スイッチング FET オン抵抗	R _{ONHS2}	I _{LX2} = 20 mA (PVCC2 to LX2)	-	85	165	mΩ
	R _{ONLS2}	I _{LX2} = -20 mA (LX2 to PGND2)	-	55	105	mΩ
スイッチング FET リーク電流	I _{LEAK2}	I _{PVCC2} = 5.0 V	-	1	10	μA
最大出力電流	I _{OUT2}	L = 1.5 μH	3 (*1)	-	-	A
LX2 ピーク電流制限	I _{LIMIT2}	L = 1.5 μH	3.5 (*1)	-	-	A
過電圧保護しきい値	V _{OV2}	V _{OUT2} 立上り, スイッチング中 断しきい値	125.0	130.0	135.0	%
過電圧保護ヒステリシス	V _{OVPHYS2}	-	2.0	5.0	8.0	%
FB2 放電抵抗	R _{DIS2}	-	160	400	640	Ω
ソフトスタート時間係数	T _{COESS2}	T _{SS2} = V _{OUT2} × T _{COESS2}	0.9	1.0	1.1	ms/V

パラメータ	記号	条件	規格値			単位
			最小	標準	最大	
DD3：降圧 DC/DC コンバータ						
出力電圧精度	V _{OUT3}	V _{VCC} = 5.0 V, I _{OUT3} = 10 mA	-1.8	0	+1.8	%
DC レギュレーション	V _{REG3}	V _{VCC} = V _{PVCC3} = 4.5 to 5.5 V, I _{OUT3} = 0 to 2.0 A	-15 (*1)	0	+5 (*1)	mV
FB3 入力抵抗	R _{FB3}	V _{FB3} = 2.0 V	95	190	285	kΩ
スイッチング FET オン抵抗	R _{ONHS3}	I _{LX3} = 20 mA (PVCC3 to LX3)	-	100	190	mΩ
	R _{ONLS3}	I _{LX3} = -20 mA (LX3 to PGND3)	-	65	125	mΩ
スイッチング FET リーク電流	I _{LEAK3}	I _{PVCC3} = 5.0 V	-	1	10	μA
最大出力電流	I _{OUT3}	L = 1.5 μH	2 (*1)	-	-	A
LX3 ピーク電流制限	I _{LIMIT3}	L = 1.5 μH	2.5 (*1)	-	-	A
過電圧保護しきい値	V _{OV3}	V _{OUT3} 立上り, スwitchング中断しきい値	125.0	130.0	135.0	%
過電圧保護ヒステリシス	V _{OVPHYS3}	-	2.0	5.0	8.0	%
FB3 放電抵抗	R _{DIS3}	-	160	400	640	Ω
ソフトスタート時間係数	T _{COESS3}	T _{SS3} = V _{OUT3} × T _{COESS3}	0.9	1.0	1.1	ms/V
DD4：降圧 DC/DC コンバータ						
出力電圧精度	V _{OUT4}	V _{VCC} = 5.0 V, I _{OUT4} = 10 mA	-1.8	0	+1.8	%
DC レギュレーション	V _{REG4}	V _{VCC} = V _{PVCC4} = 4.5 to 5.5 V, I _{OUT4} = 0 to 1.0 A	-15 (*1)	0	+5 (*1)	mV
FB4 入力抵抗	R _{FB4}	V _{FB4} = 2.0 V	95	190	285	kΩ
スイッチング FET オン抵抗	R _{ONHS4}	I _{LX4} = 20 mA (PVCC4 to LX4)	-	100	190	mΩ
	R _{ONLS4}	I _{LX4} = -20 mA (LX4 to PGND4)	-	65	125	mΩ
スイッチング FET リーク電流	I _{LEAK4}	I _{PVCC4} = 5.0 V	-	1	10	μA
最大出力電流	I _{OUT4}	L = 1.5 μH	1 (*1)	-	-	A
LX4 ピーク電流制限	I _{LIMIT4}	L = 1.5 μH	1.5 (*1)	-	-	A
過電圧保護しきい値	V _{OV4}	V _{OUT4} 立上り, スwitchング中断しきい値	125.0	130.0	135.0	%
過電圧保護ヒステリシス	V _{OVPHYS4}	-	2.0	5.0	8.0	%
FB4 放電抵抗	R _{DIS4}	-	160	400	640	Ω
ソフトスタート時間係数	T _{COESS4}	T _{SS4} = V _{OUT4} × T _{COESS4}	0.9	1.0	1.1	ms/V

パラメータ	記号	条件	規格値			単位
			最小	標準	最大	
LD1 : LDO レギュレータ						
出力電圧精度	V _{OUTL1}	V _{VCC} = 5.0 V, I _{OUTL1} = 10 mA	-1.8	0	+1.8	%
DC レギュレーション	V _{REGL1}	V _{VCC} = 4.5 to 5.5 V, V _{PVCC1} = 2.97 to V _{VCC} I _{OUTL1} = 0 to I _{OUTL1}	-15 (*1)	0	+5 (*1)	mV
出力 FET リーク電流	I _{LEAKL1}	I _{PVCC1} = 5.0 V	-	1	10	μA
最大出力電流	I _{OUTL1}	V _{PVCC1} - V _{OUTL1} ≥ 1.6 V	200 (*1)	-	-	mA
		0.17 V ≤ V _{PVCC1} - V _{OUTL1} < 1.6 V	100 (*1)	-	-	mA
出力電流制限	I _{LIMITL1}	V _{PVCC1} - V _{OUTL1} ≥ 1.6 V	210 (*1)	-	-	mA
		0.17 V ≤ V _{PVCC1} - V _{OUTL1} < 1.6 V	105 (*1)	-	-	mA
LDO1 放電抵抗	R _{DISL1}	-	160	400	640	Ω
ソフトスタート時間係数	T _{COESSL1}	T _{SSL1} = V _{OUTL1} × T _{COESSL1}	0.9	1.0	1.1	ms/V
LD2 : LDO レギュレータ						
出力電圧精度	V _{OUTL2}	V _{VCC} = 5.0 V, I _{OUTL2} = 10 mA	-1.8	0	+1.8	%
DC レギュレーション	V _{REGL2}	V _{VCC} = 4.5 to 5.5 V, V _{PVCC2} = 2.97 to V _{VCC} I _{OUTL2} = 0 to I _{OUTL2}	-15 (*1)	0	+5 (*1)	mV
出力 FET リーク電流	I _{LEAKL2}	I _{PVCC2} = 5.0 V	-	1	10	μA
最大出力電流	I _{OUTL2}	V _{PVCC2} - V _{OUTL2} ≥ 1.6 V	500 (*1)	-	-	mA
		0.17 V ≤ V _{PVCC2} - V _{OUTL2} < 1.6 V	400 (*1)	-	-	mA
出力電流制限	I _{LIMITL2}	V _{PVCC2} - V _{OUTL2} ≥ 1.6 V	525 (*1)	-	-	mA
		0.17 V ≤ V _{PVCC2} - V _{OUTL2} < 1.6 V	420 (*1)	-	-	mA
LDO2 放電抵抗	R _{DISL2}	-	160	400	640	Ω
ソフトスタート時間係数	T _{COESSL2}	T _{SSL2} = V _{OUTL2} × T _{COESSL2}	0.9	1.0	1.1	ms/V

*1: 電気的特性は、統計的特性評価および代替試験により確認しています。

9. 動作モード一覧

S6BP401A の動作一覧を表 9-1 に示します。

表 9-1 動作モード一覧

条件					動作ブロック				
T _J	SYNC	ENL1	EN1/ EN2/ EN3/ EN4/ ENL2	Chip Control	VREG LDO	Watch- dog Trigger Monitor	Freq. Sync.	LD1	DD1/ DD2/ DD3/ DD4/ LD2
< T _{TSD}	L または H	L	L	OFF	OFF	OFF	OFF	OFF	OFF
< T _{TSD}	L または H	L	H	ON	ON	OFF	OFF	OFF	ON
< T _{TSD}	L または H	H	L	ON	ON	ON	OFF	ON	OFF
< T _{TSD}	L または H	H	H	ON	ON	ON	OFF	ON	ON
< T _{TSD}	clock	L	L	OFF	OFF	OFF	OFF	OFF	OFF
< T _{TSD}	clock	L	H	ON	ON	OFF	ON	OFF	ON
< T _{TSD}	clock	H	L	ON	ON	ON	ON	ON	OFF
< T _{TSD}	clock	H	H	ON	ON	ON	ON	ON	ON
≥ T _{TSD}	L または H	L	L	OFF	OFF	OFF	OFF	OFF	OFF
≥ T _{TSD}	L または H	L	H	ON	ON	OFF	OFF	OFF	OFF
≥ T _{TSD}	L または H	H	L	ON	ON	OFF	OFF	OFF	OFF
≥ T _{TSD}	L または H	H	H	ON	ON	OFF	OFF	OFF	OFF
≥ T _{TSD}	clock	L	L	OFF	OFF	OFF	OFF	OFF	OFF
≥ T _{TSD}	clock	L	H	ON	ON	OFF	OFF	OFF	OFF
≥ T _{TSD}	clock	H	L	ON	ON	OFF	OFF	OFF	OFF
≥ T _{TSD}	clock	H	H	ON	ON	OFF	OFF	OFF	OFF

10. 機能

10.1 電源オン/オフのシーケンス

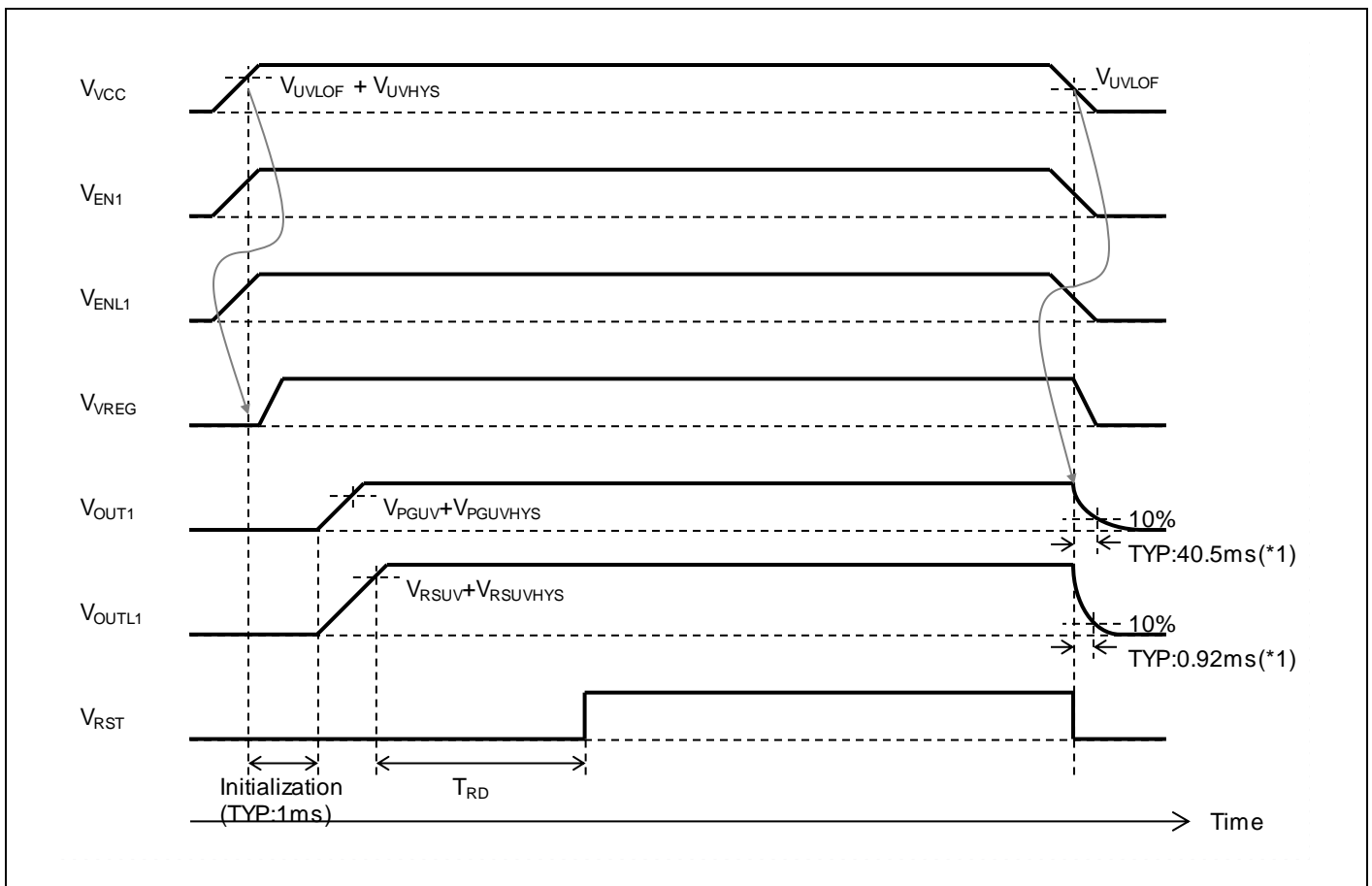
すべてのイネーブル入力端子 (EN1, EN2, EN3, EN4, ENL1, ENL2) が"Low"のとき、デバイスはシャットダウン状態です。

これらの1つ以上が"High"に移行すると、デバイスが初期化されてから、内蔵リニアレギュレータ (VREG) が 1.8 V の内部供給電圧の生成を開始します。その後で、各 DC/DC コンバータおよび LDO は、開始可能な状態へ移行します。

デバイスが動作を開始するには、VCC 端子の電圧が低電圧ロックアウトしきい値 ($V_{UVLOF} + V_{UVHYS}$) よりも高い必要があります。

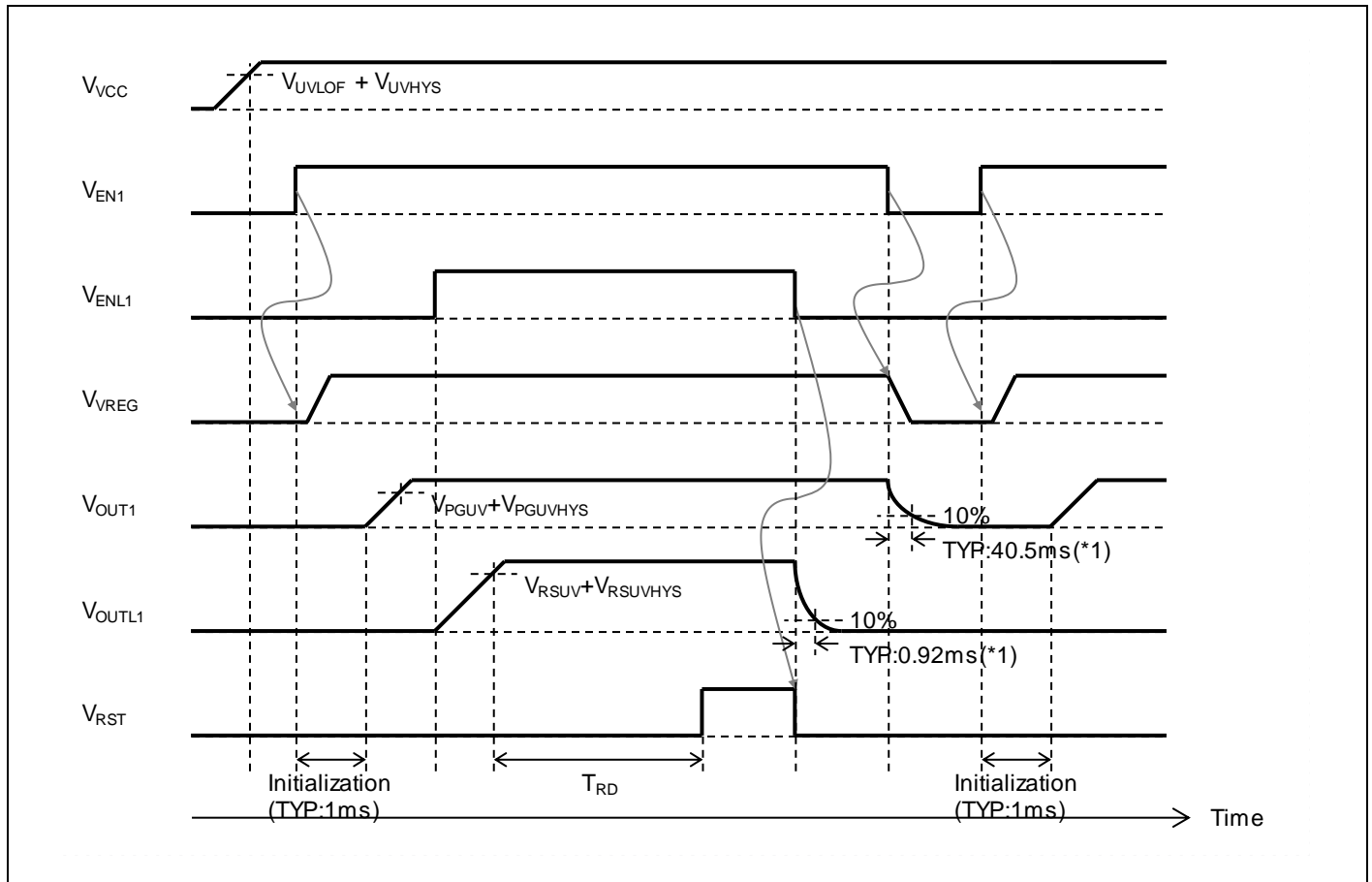
図 10-1 は、イネーブル信号が VCC に接続されている場合の電源オン/オフシーケンスを示したものです。図 10-2 は、IC が電源オンになった後で、各イネーブル信号が個別に制御される場合を示したものです。

図 10-1 電源オン/オフのシーケンス(EN1 および ENL1 が VCC に接続されている場合)



*1: システムには、「11. 応用回路例」に記載されているのと同じ外部部品が搭載されていることを前提としています。

図 10-2 電源オン/オフのシーケンス(EN1 および ENL1 が個別に制御される場合)



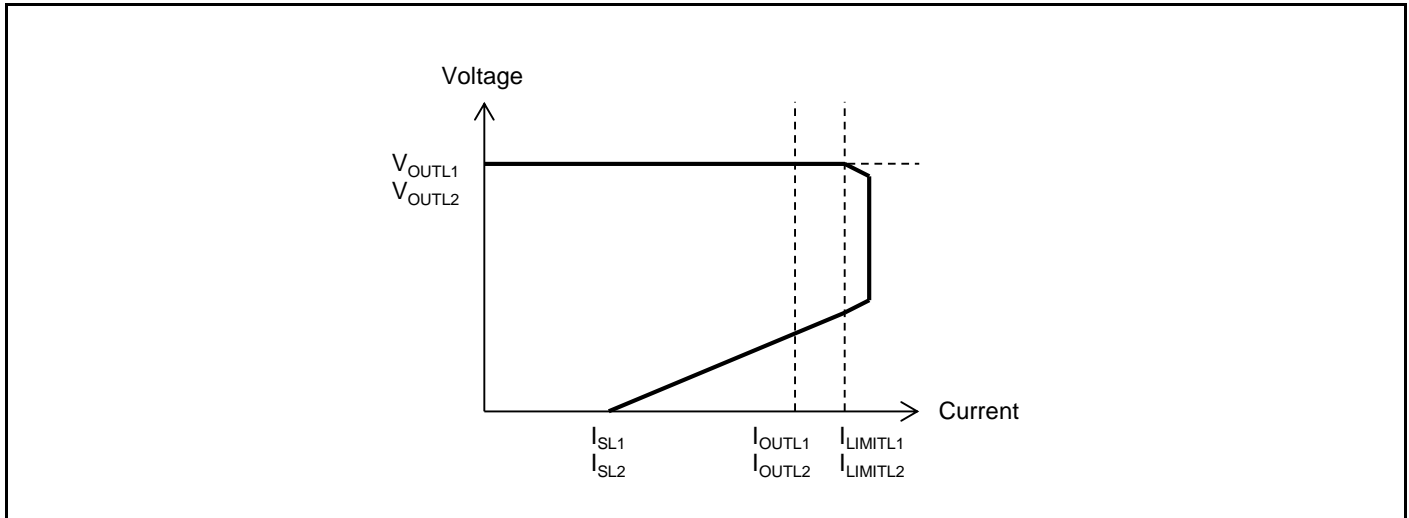
*1: システムには、「11. 応用回路例」に記載されているのと同じ外部部品が搭載されていることを前提としています。

10.2 過電流保護

DC/DC コンバータの過電流保護は、内蔵のハイサイドスイッチング FET のオン抵抗により、インダクタのピーク電流を検出します。DC/DC コンバータが過電流状態のとき、対応する出力電圧は減少します。デバイスが過電流状態から復帰すると、出力電圧は設定電圧に戻ります。

各 LDO には、IC 自体の損傷や破壊を防ぐために、フォールドバック電流リミッターが搭載されています。過電流状態での出力電流および出力電力の曲線を、図 10-3 に示します。

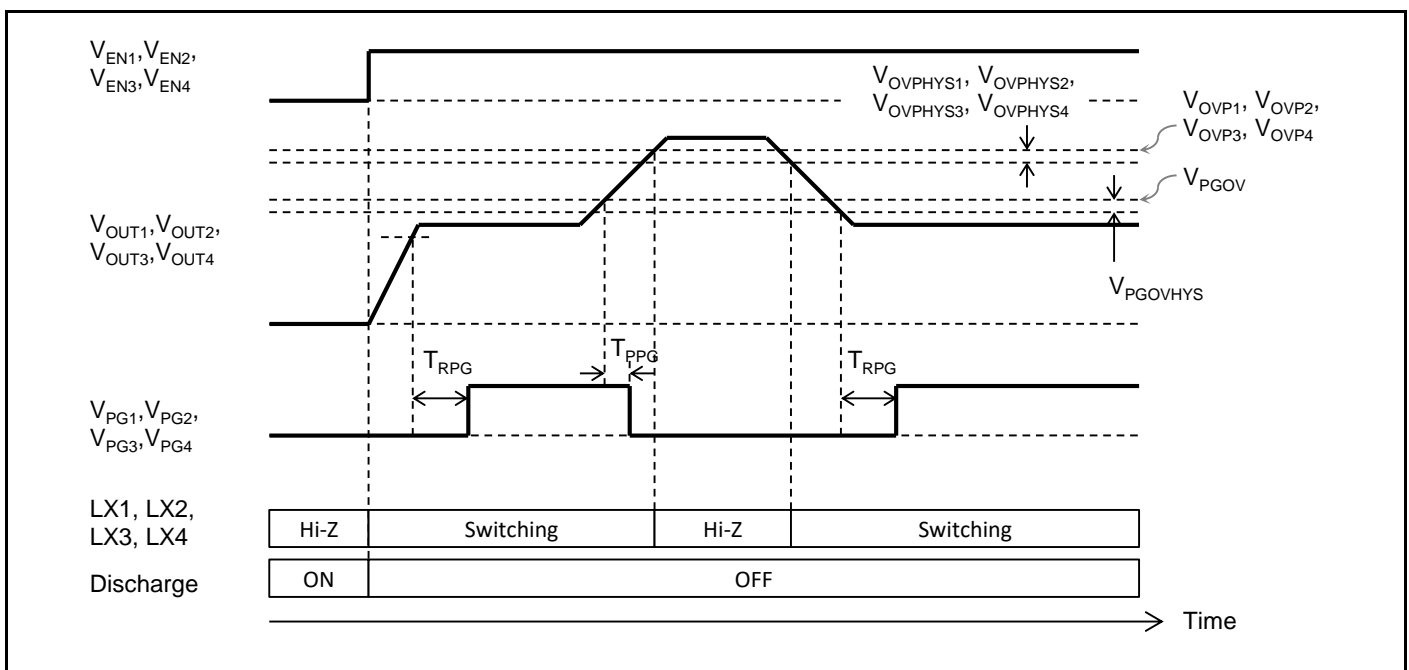
図 10-3 LDO フォールドバック過電流保護の特性



10.3 過電圧保護

DC/DC コンバータの過電圧保護は、出力電圧を検出します。DC/DC コンバータが過電圧状態のとき、対応するチャネルのスイッチングは停止し、インダクタ接続端子(LX1, LX2, LX3, LX4)は高インピーダンスに保持されます。デバイスが過電圧状態から復帰すると、自動的にスイッチングを再開します。

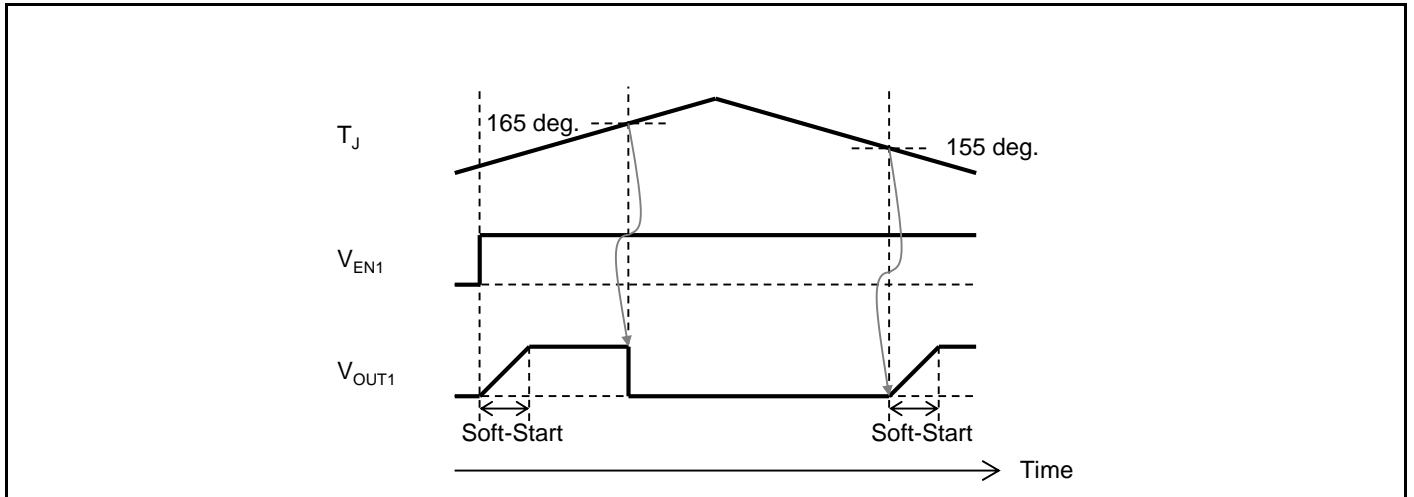
図 10-4 過電圧保護のタイミングチャート



10.4 サーマルシャットダウン(TSD)

ジャンクション温度が+165 °Cに達すると、すべての DC/DC コンバータと LDO は電圧出力を停止します。その後、出力コンデンサを放電するための放電動作が行われます(放電動作は、サーマルシャットダウン状態が解除されるまで続けられます)。ジャンクション温度が+155 °C未満に低下すると、ソフトスターターによりレギュレータがアクティブになり、イネーブルが"High"であれば電圧の供給が徐々に再開されます。

図 10-5 サーマルシャットダウンのタイミングチャート



10.5 低電圧ロックアウト(UVLO)

VCC 端子電圧(V_{VCC})が低 UVLO しきい値(V_{UVLOF})よりも低下すると、すべての DC/DC コンバータ(DD1, DD2, DD3, DD4), LDO (LD1, LD2), ウィンドウ付きウォッチドッグタイマ(WDT), 内蔵リニアレギュレータ(VREG)の動作が停止します。VCC 端子電圧(V_{VCC})が高 UVLO しきい値(V_{UVLOF} + V_{UVHYS})よりも高くなると、デバイスは自動的に復帰します。

10.6 ソフトスタート動作

S6BP401A には、起動時に DC/DC コンバータと LDO に突入電流が発生することを避けるため、負荷独立のソフトスタート機能が内蔵されています。ソフトスタートのタイミングは図 10-6 に示すとおりで、次の式により算出できます。

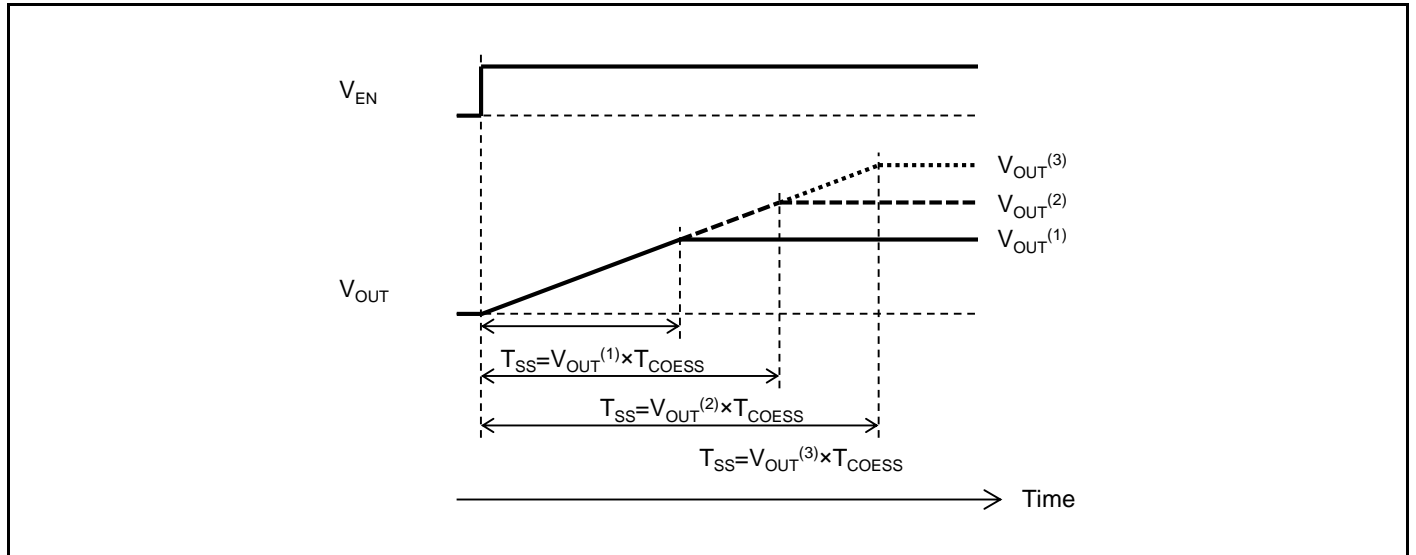
$$T_{SS} = V_{OUT} \times T_{COESS} \quad \text{ここで}$$

T_{SS} [ms]: ソフトスタート時間

V_{OUT} [V]: 出力電圧 (V_{OUT1}, V_{OUT2}, V_{OUT3}, V_{OUT4}, V_{OUTL1}, V_{OUTL2})

T_{COESS} [ms/V]: ソフトスタート時間係数 (T_{COESS1}, T_{COESS2}, T_{COESS3}, T_{COESS4}, T_{COESSL1}, T_{COESSL2})

図 10-6 ソフトスタート動作のタイミングチャート



10.7 放電動作

イネーブル信号が"Low"になると、内蔵の放電抵抗により出力コンデンサを放電し、出力電圧が徐々に低下します。放電時間は一定ではなく、出力負荷電流に依存することに注意してください。

DC/DC コンバータの場合、出力コンデンサ電荷は FB1, FB2, FB3, FB4 端子から、それぞれ PGND1, PGND2, PGND3, PGND4 端子へ放電します。LDO の場合、出力コンデンサは LDO1, LDO2 端子から GND 端子へ放電します。

明示的な負荷がない場合、出力電圧が 90 %減少するまでに必要な放電時間は次の式で算出できます。

$$T_{DIS} = 2.3 \times R_{DIS} \times C_{OUT} \quad \text{ここで}$$

T_{DIS} [ms]: 放電時間

R_{DIS} [kΩ]: 放電抵抗 (R_{DIS1} , R_{DIS2} , R_{DIS3} , R_{DIS4} , R_{DISL1} , R_{DISL2})

C_{OUT} [μF]: 出力コンデンサ

図 10-7 放電回路図(DC/DC コンバータ)

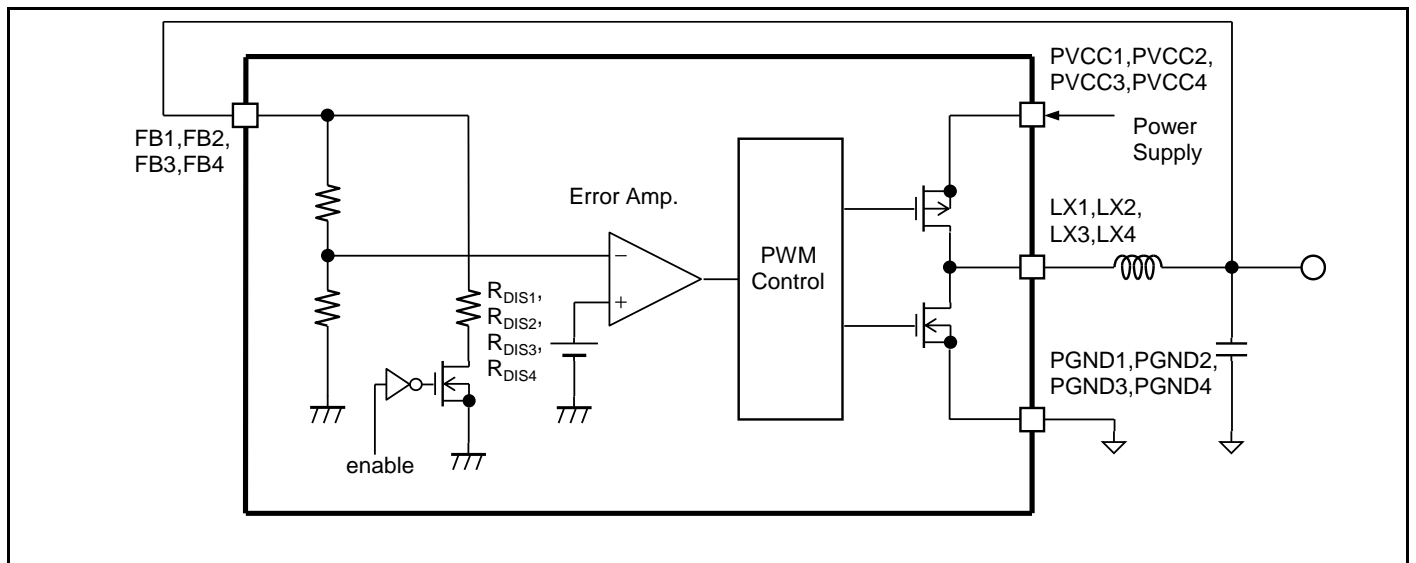
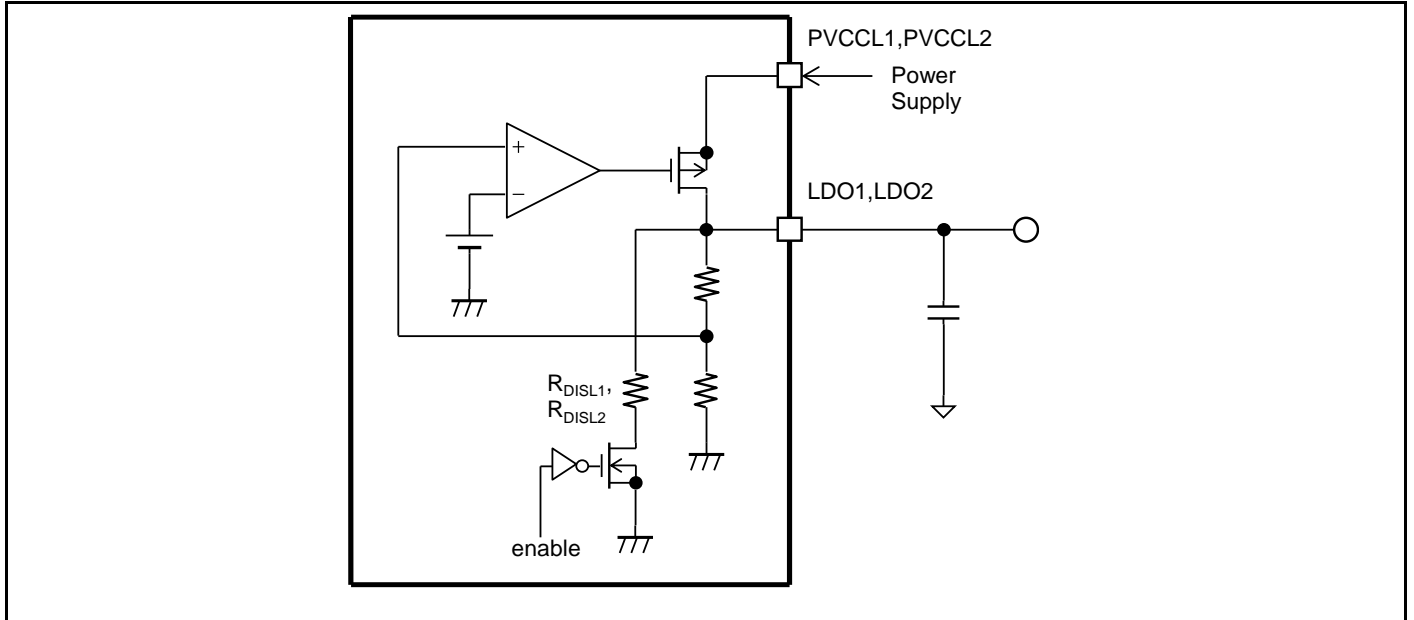


図 10-8 放電回路図(LDO)



10.8 パワーグッドおよびリセット機能

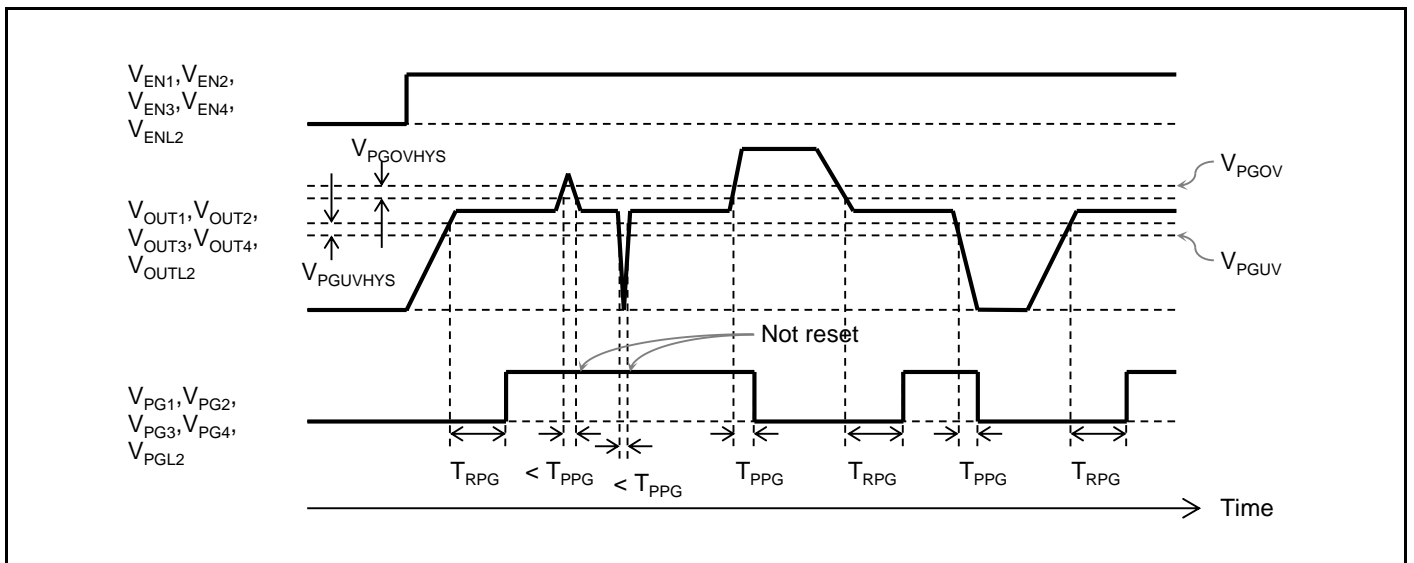
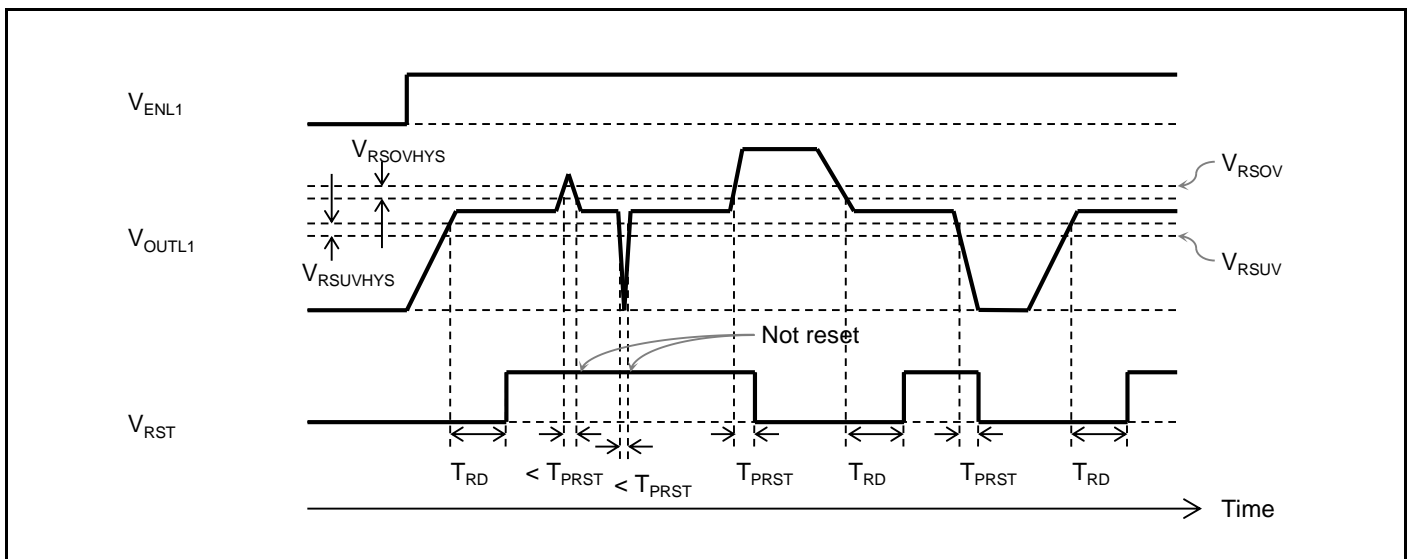
各 DC/DC コンバータおよび LDO にはパワーグッド機能が搭載されており、出力電圧が予測範囲内であるかどうかを示します。

それぞれの DC/DC コンバータと LDO について、パワーグッドピンの名前とその機能を表 10-1 に示します。図 10-9 および図 10-10 は、パワーグッドのタイミングチャートです。

表 10-1 パワーグッドモニタおよびリセット機能のピン一覧

チャンネル	ピン名	説明
DD1	PG1	DD1 がイネーブルになると、DD1 出力電圧(V_{OUT1})が立ち上がります。 V_{OUT1} が電圧正常範囲($V_{PGUV} + V_{PGUVHYS} < V_{OUT1} < V_{PGOV} - V_{PGOVHYS}$)に達すると、パワーオンリセット時間(T_{RPG})後に、パワーグッド出力(PG1 端子)の状態が"Low"から"Open"へ変化します。 V_{OUT1} が電圧正常範囲から逸脱する($V_{OUT1} \leq V_{PGUV}$ または $V_{OUT1} \geq V_{PGOV}$)と、遅延時間(T_{PPG})後に PG1 端子の状態が"Open"から"Low"へ変化します。 T_{PPG} 内のグリッチは、パワーグッド出力に影響しません。
DD2	PG2	DD2 がイネーブルになると、DD2 出力電圧(V_{OUT2})が立ち上がります。 V_{OUT2} が電圧正常範囲($V_{PGUV} + V_{PGUVHYS} < V_{OUT2} < V_{PGOV} - V_{PGOVHYS}$)に達すると、パワーオンリセット時間(T_{RPG})後に、パワーグッド出力(PG2 端子)の状態が"Low"から"Open"へ変化します。 V_{OUT2} が電圧正常範囲から逸脱する($V_{OUT2} \leq V_{PGUV}$ または $V_{OUT2} \geq V_{PGOV}$)と、遅延時間(T_{PPG})後に PG2 端子の状態が"Open"から"Low"へ変化します。 T_{PPG} 内のグリッチは、パワーグッド出力に影響しません。
DD3	PG3	DD3 がイネーブルになると、DD3 出力電圧(V_{OUT3})が立ち上がります。 V_{OUT3} が電圧正常範囲($V_{PGUV} + V_{PGUVHYS} < V_{OUT3} < V_{PGOV} - V_{PGOVHYS}$)に達すると、パワーオンリセット時間(T_{RPG})後に、パワーグッド出力(PG3 端子)の状態が"Low"から"Open"へ変化します。 V_{OUT3} が電圧正常範囲から逸脱する($V_{OUT3} \leq V_{PGUV}$ または $V_{OUT3} \geq V_{PGOV}$)と、遅延時間(T_{PPG})後に PG3 端子の状態が"Open"から"Low"へ変化します。 T_{PPG} 内のグリッチは、パワーグッド出力に影響しません。
DD4	PG4	DD4 がイネーブルになると、DD4 出力電圧(V_{OUT4})が立ち上がります。 V_{OUT4} が電圧正常範囲($V_{PGUV} + V_{PGUVHYS} < V_{OUT4} < V_{PGOV} - V_{PGOVHYS}$)に達すると、パワーオンリセット時間(T_{RPG})後に、パワーグッド出力(PG4 端子)の状態が"Low"から"Open"へ変化します。 V_{OUT4} が電圧正常範囲から逸脱する($V_{OUT4} \leq V_{PGUV}$ または $V_{OUT4} \geq V_{PGOV}$)と、遅延時間(T_{PPG})後に PG4 端子の状態が"Open"から"Low"へ変化します。 T_{PPG} 内のグリッチは、パワーグッド出力に影響しません。

チャンネル	ピン名	説明
LD1	RST	LD1 がイネーブルになると、LD1 出力電圧(V_{OUTL1})が立ち上がります。 V_{OUTL1} が電圧正常範囲($V_{RSUV} + V_{RSUVHYS} < V_{OUTL1} < V_{RSOV} - V_{RSOVHYS}$)に達すると、パワーオンリセット時間(T_{RD})後に、RTS 端子の状態が"Low"から"Open"へ変化します。 V_{OUTL1} が電圧正常範囲から逸脱する($V_{OUTL1} \leq V_{RSUV}$ または $V_{OUTL1} \geq V_{RSOV}$)と、遅延時間(T_{PRST})後に RST 端子の状態が"Open"から"Low"へ変化します。 T_{PRST} 内のグリッチは、パワーグッド出力に影響しません。
LD2	PGL2	LD2 がイネーブルになると、LD2 出力電圧(V_{OUTL2})が立ち上がります。 V_{OUTL2} が電圧正常範囲($V_{PGUV} + V_{PGUVHYS} < V_{OUTL2} < V_{PGOV} - V_{PGOVHYS}$)に達すると、パワーオンリセット時間(T_{RPG})後に、パワーグッドモニタ出力(PGL2 端子)の状態が"Low"から"Open"へ変化します。 V_{OUTL2} が電圧正常範囲から逸脱する($V_{OUTL2} \leq V_{PGUV}$ または $V_{OUTL2} \geq V_{PGOV}$)と、遅延時間(T_{PPG})後に PGL2 端子の状態が"Open"から"Low"へ変化します。 T_{PPG} 内のグリッチは、パワーグッド出力に影響しません。

図 10-9 パワーグッドモニタ出力のタイミングチャート(PG1, PG2, PG3, PG4, PGL2)

図 10-10 パワーグッドモニタ出力のタイミングチャート(RST)


10.9 ウォッチドッグタイマ

S6BP401A は、デジタルウィンドウ付きのウォッチドッグタイマを採用しています。このデジタルウィンドウ付きウォッチドッグタイマは、LD1 を有効にした後で LD1 出力電圧(V_{OUTL1})がパワーグッドレベルに達したときに、トリガ信号の監視を始めます。

デジタルウォッチドッグタイマの状態遷移図を、[図 10-11](#) に示します。この図には 6 つの状態があります。通常の動作では、状態は"CW"と"OW"との間を移行します。まず、[10.8](#) 節で説明されているように LD1 を有効にすると"RESET"状態に移行し、"リセット時間(T_{RD})"の間は"RESET"状態が保持され、RST 端子から"Low"が出力されます。

次に、 T_{RD} が"RESET"状態になると、状態は"無視ウィンドウ(IW)"へ移行し、RST 端子は"Open"になります。"IW"状態は"無視ウィンドウ時間(T_{IW})"だけ持続します。

3 番目に、この時間の経過後に状態は"ロングオープンウィンドウ(LOW)"へ移行し、RST 端子が"Open"になります。この状態はトリガ信号の入力待ちで、入力トリガが到着すると直ちに"クローズドウィンドウ(CW)"状態へ移行します。"ロングオープンウィンドウ時間(T_{LOW})"内に入力トリガが発生しないと、"RESET"状態へ移行します。

"CW"状態ではトリガ信号が入力されないことが期待されます。入力トリガが到着した場合、直ちに"RESET"状態へ移行します。

"クローズドウィンドウ時間(T_{CW})"内に入力トリガが発生しないと、"オープンウィンドウ(OW)"状態へ移行します。

"OW"状態ではトリガ信号が入力されることが期待されます。入力トリガが到着した場合、直ちに"クローズドウィンドウ(CW)"状態へ移行します。"オープンウィンドウ時間(T_{OW})"内に入力トリガがないと、"RESET"状態へ移行します。

[図 10-14](#) に示すように、グリッチノイズによる誤動作を避けるため、WDI 端子の入力信号は"High"、"High"、"Low"、"Low" が連続にサンプリングされた場合に、トリガとして認識されます。

これらのどの状態からでも、LD1 パワーフェイルが発生した場合は"OFF"状態へ移行し、LD1 が正常になるまで RST 端子から"Low"を出力します。

図 10-11 ウォッチドッグタイマの状態遷移図

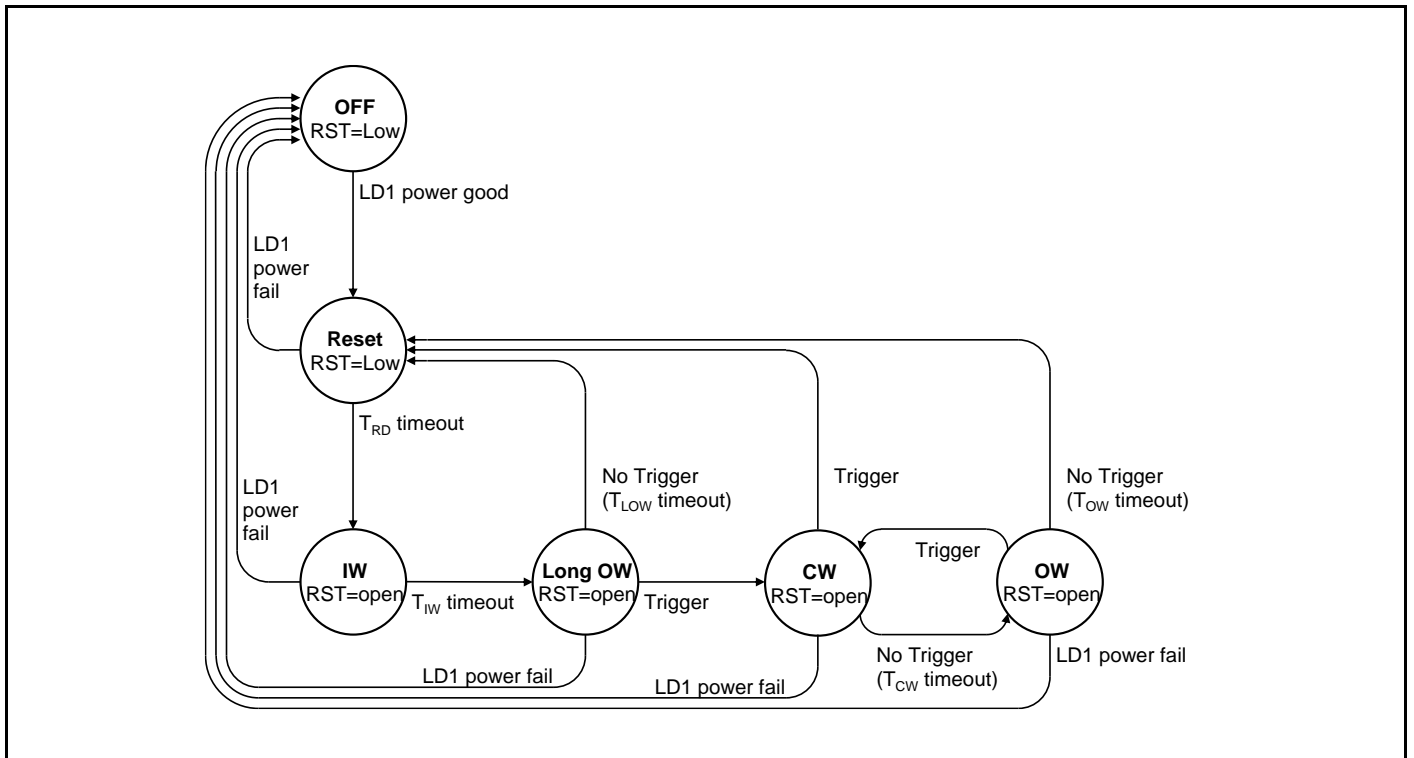
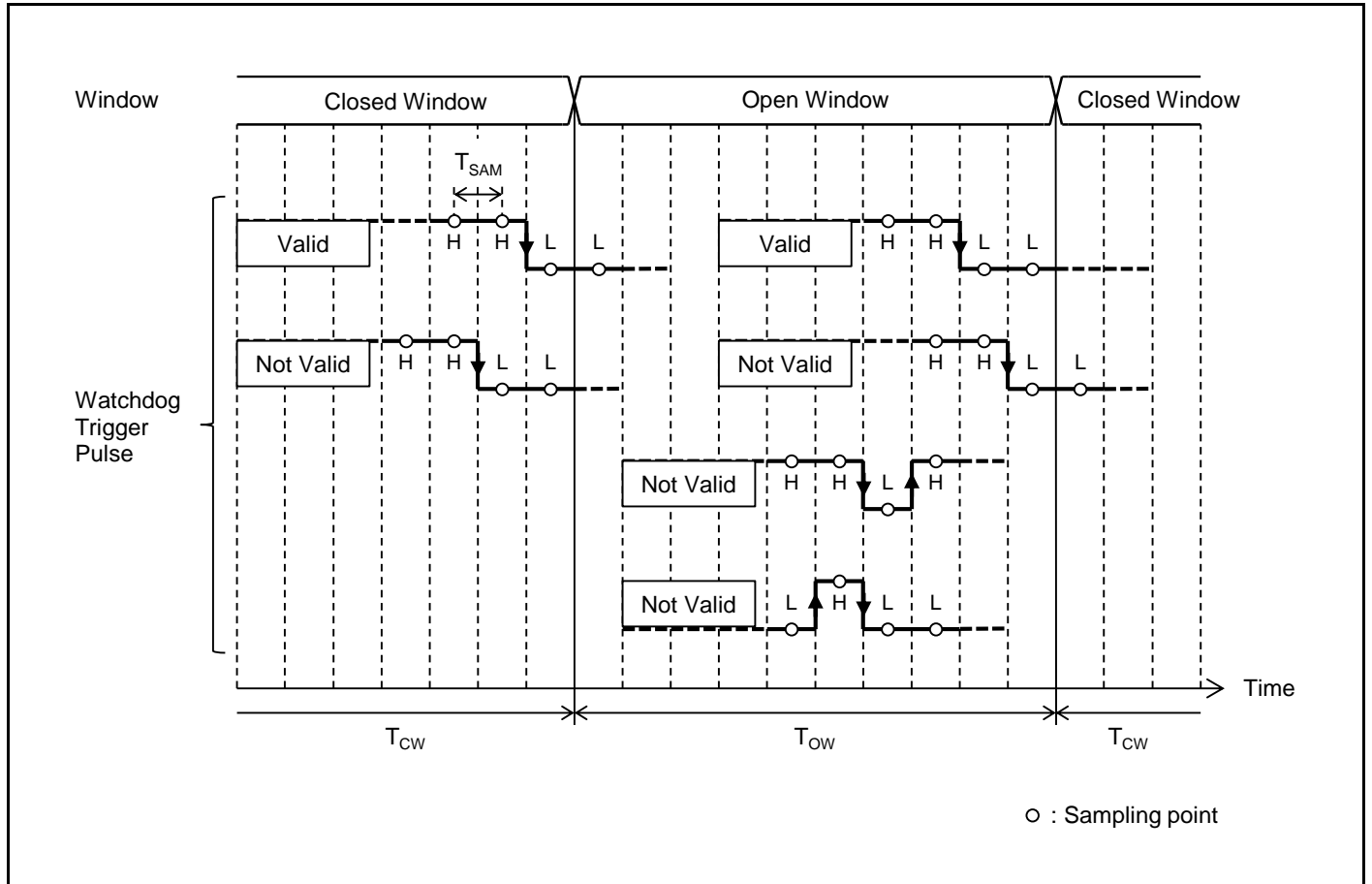


図 10-14 ウィンドウウォッチドッグのトリガパルスのグリッチ除去



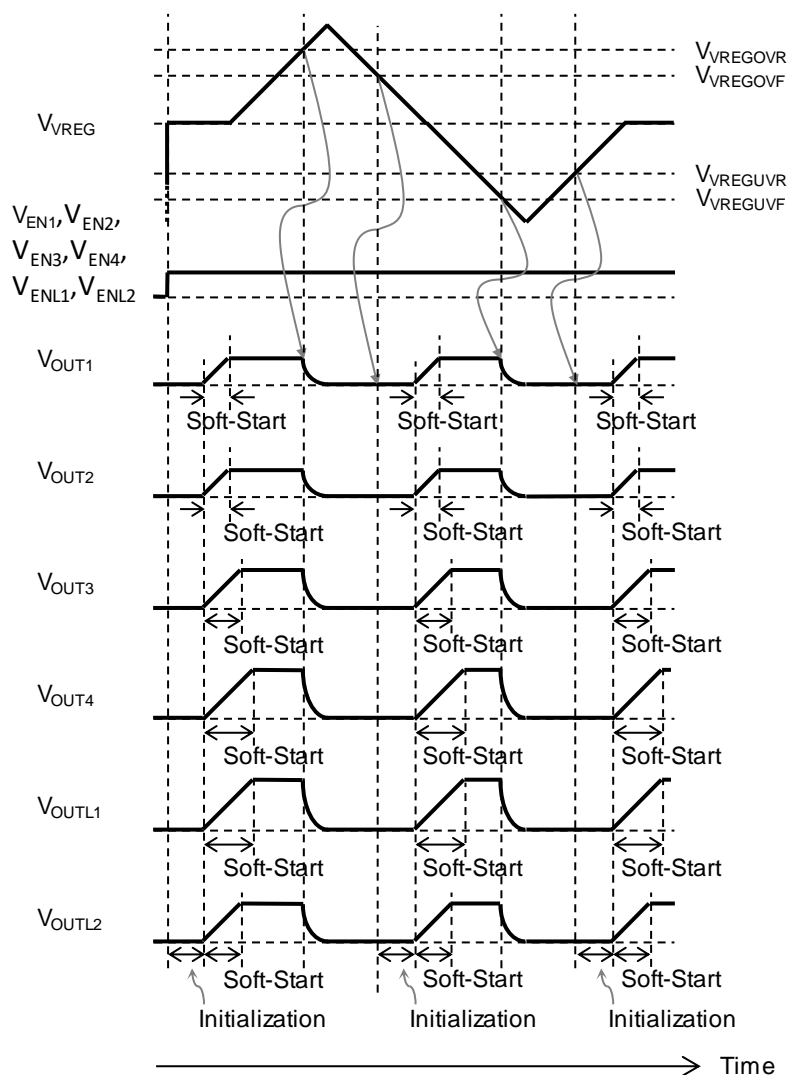
10.10 リニアレギュレータ出力(VREG)

S6BP401A には、内部回路の電源として 1.8 V のリニアレギュレータが搭載されています。VREG ピンから GND へ、低 ESR の 1.0 μ F のセラミックコンデンサを接続する必要があります。VREG は、外部の負荷へ電力を供給するようには設計されていません。

VREG 端子の電圧が過電圧ロックアウトレベル $V_{VREGOVR}$ と低電圧ロックアウトレベル $V_{VREGUVF}$ との間でない場合、S6BP401A は異常状態と判断し、すべての DC/DC コンバータ, LDO, ウィンドウ付きウォッチドッグタイマを停止します。

VREG 端子の電圧が正常範囲($V_{VREGUVR} \leq V_{VREG} \leq V_{VREGOVF}$)に戻ると、S6BP401A は DC/DC コンバータ, LDO, ウィンドウウォッチドッグタイマを通常モードへ戻します。各レギュレータのソフトスタート回路は、10.6 節に説明されているように、徐々に電圧を供給します。

図 10-15 VREG OVLO/UVLO のタイミングチャート



11. 应用回路例

图 11-1 应用回路例

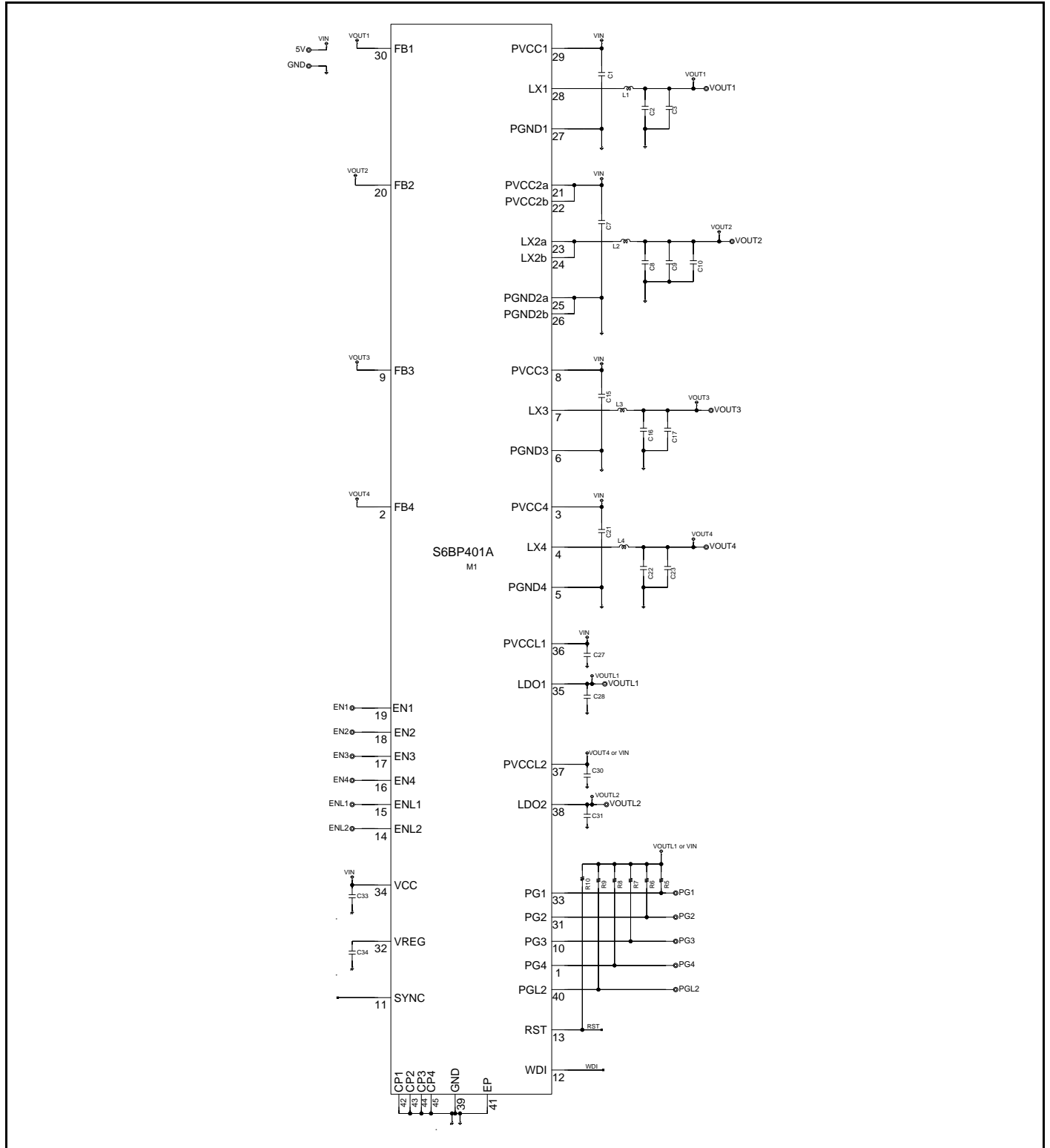


表 11-1 部品一覧

記号	部品	部品番号	仕様	ベンダー
C1	Ceramic Capacitor	CGA5L1X7R1C106K160AC	10 μ F	TDK
C2	Ceramic Capacitor	CGA6P1X7R1C226M250AC	22 μ F	TDK
C3	Ceramic Capacitor	CGA6P1X7R1C226M250AC	22 μ F	TDK
C7	Ceramic Capacitor	CGA5L1X7R1C106K160AC	10 μ F	TDK
C8	Ceramic Capacitor	CGA6P1X7R1C226M250AC	22 μ F	TDK
C9	Ceramic Capacitor	CGA6P1X7R1C226M250AC	22 μ F	TDK
C10	Ceramic Capacitor	CGA6P1X7R1C226M250AC	22 μ F	TDK
C15	Ceramic Capacitor	CGA5L1X7R1C106K160AC	10 μ F	TDK
C16	Ceramic Capacitor	CGA6P1X7R1C226M250AC	22 μ F	TDK
C17	Ceramic Capacitor	CGA6P1X7R1C226M250AC	22 μ F	TDK
C21	Ceramic Capacitor	CGA5L1X7R1C106K160AC	10 μ F	TDK
C22	Ceramic Capacitor	CGA6P1X7R1C226M250AC	22 μ F	TDK
C23	Ceramic Capacitor	CGA6P1X7R1C226M250AC	22 μ F	TDK
C27	Ceramic Capacitor	CGA3E1X7R1C105M080AC	1 μ F	TDK
C28	Ceramic Capacitor	CGA3E1X7R1C105M080AC	1 μ F	TDK
C30	Ceramic Capacitor	CGA3E1X7R1C105M080AC	1 μ F	TDK
C31	Ceramic Capacitor	CGA5L1X7R1C106K160AC	10 μ F	TDK
C33	Ceramic Capacitor	CGA3E1X7R1C105M080AC	1 μ F	TDK
C34	Ceramic Capacitor	CGA3E1X7R1C105M080AC	1 μ F	TDK
L1	Inductor	CLF6045T-1R5N-D	1.5 μ H	TDK
L2	Inductor	CLF6045T-1R5N-D	1.5 μ H	TDK
L3	Inductor	CLF6045T-1R5N-D	1.5 μ H	TDK
L4	Inductor	CLF6045T-1R5N-D	1.5 μ H	TDK
R5	Resistor	RG1608P-473-B	47 k Ω	SSM
R6	Resistor	RG1608P-473-B	47 k Ω	SSM
R7	Resistor	RG1608P-473-B	47 k Ω	SSM
R8	Resistor	RG1608P-473-B	47 k Ω	SSM
R9	Resistor	RG1608P-473-B	47 k Ω	SSM
R10	Resistor	RG1608P-473-B	47 k Ω	SSM

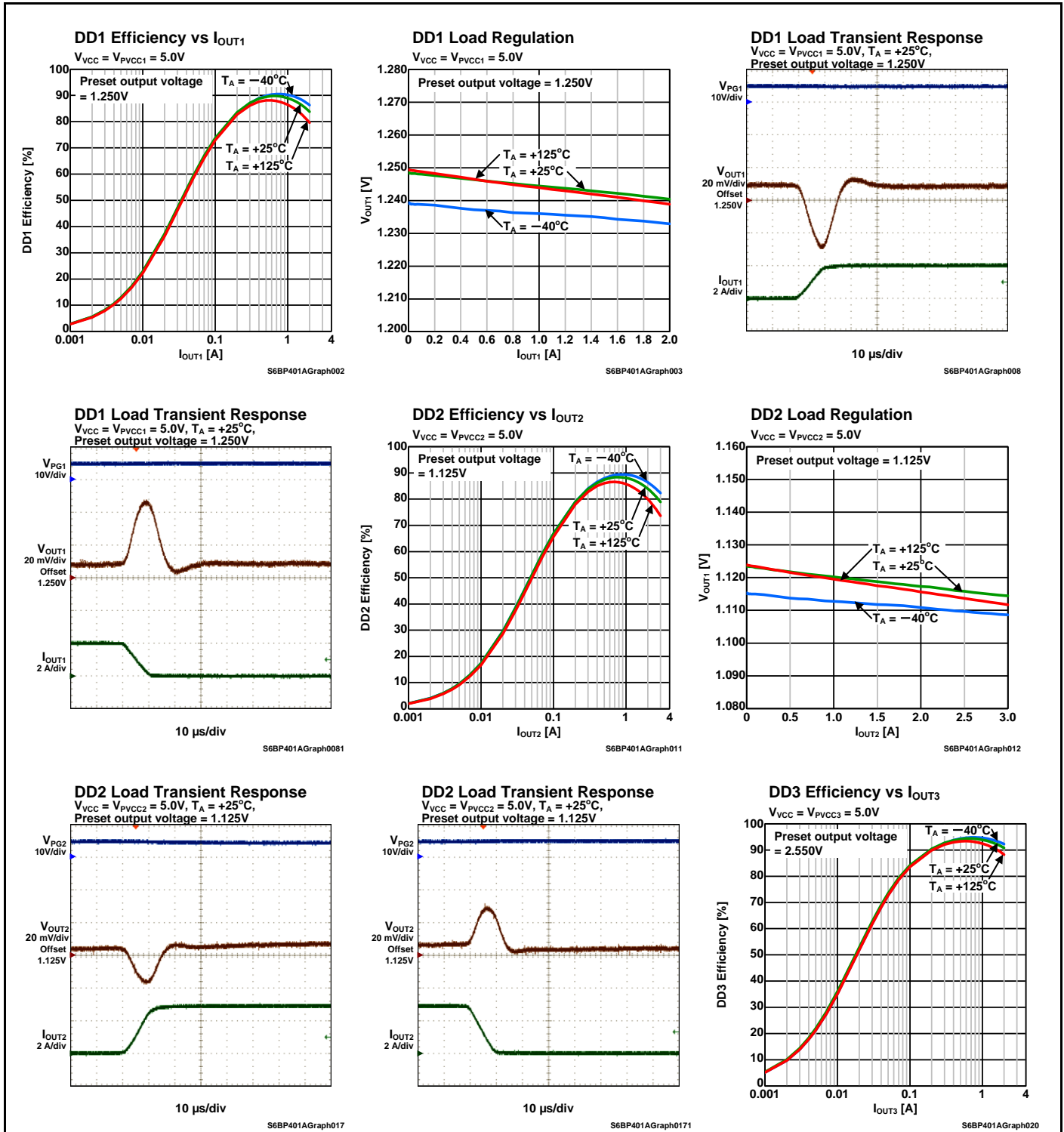
TDK : TDK Corporation

SSM : SUSUMU CO., LTD.

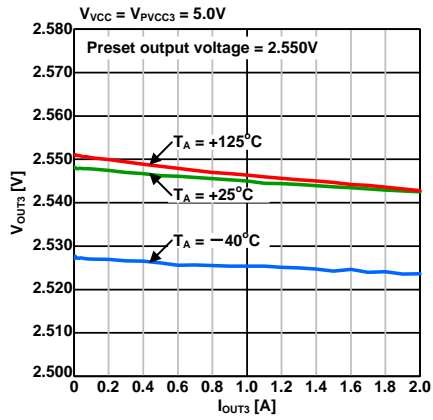
12. 参考データ

下記は、「11. 応用回路例」の条件で測定した参考データです。

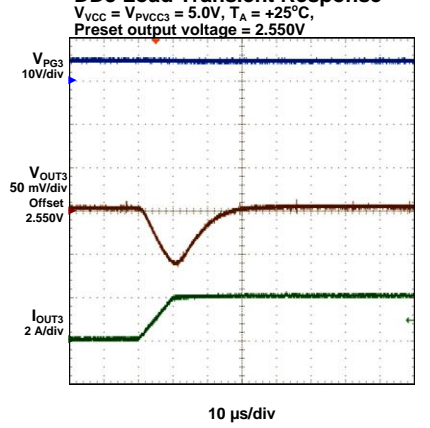
図 12-1 DC/DC コンバータ



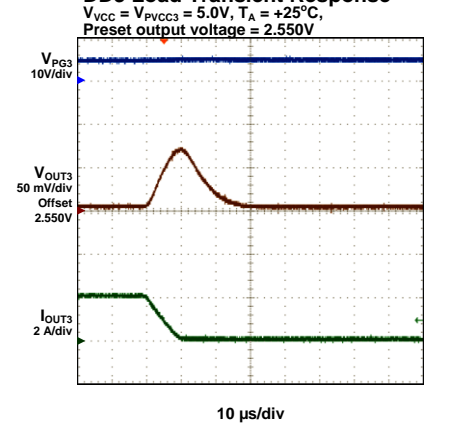
DD3 Load Regulation



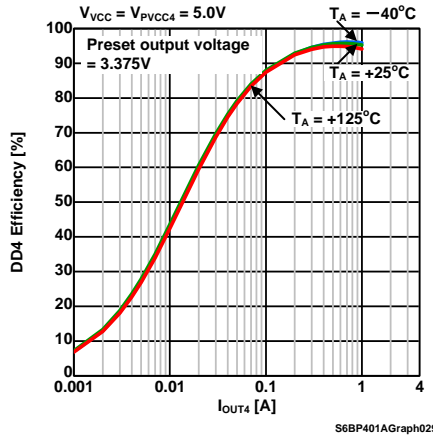
DD3 Load Transient Response



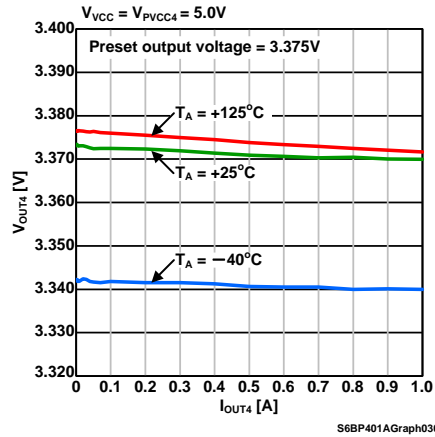
DD3 Load Transient Response



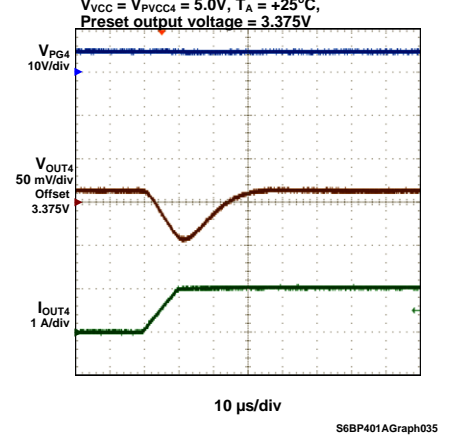
DD4 Efficiency vs I_{OUT4}



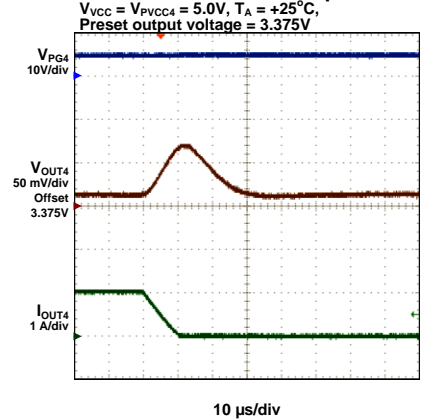
DD4 Load Regulation



DD4 Load Transient Response



DD4 Load Transient Response



f_{osc} vs V_{VCC}

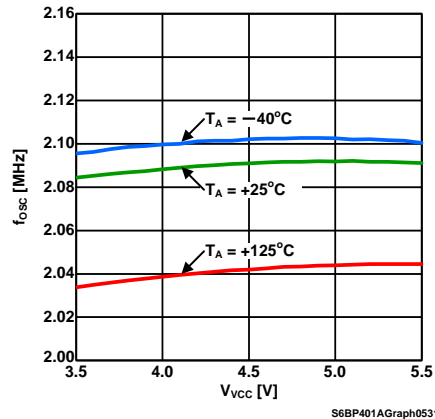
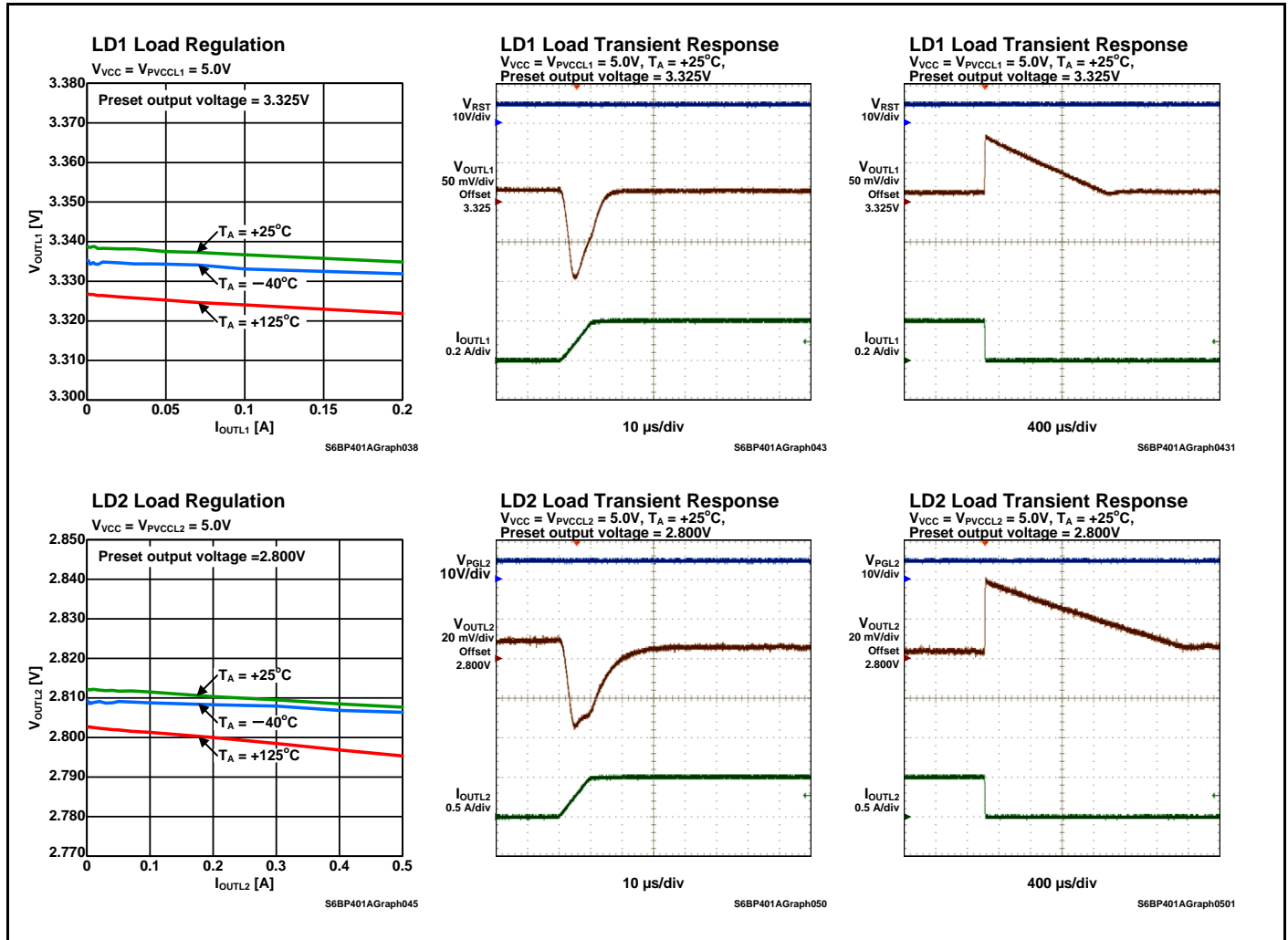


図 12-2 LDO レギュレータ



13. オーダ型格

表 13-1 オーダ型格

型格 (MPN) (*1)	出力電圧 [V]						パッケージ
	DD1	DD2	DD3	DD4	LD1	LD2	
S6BP401AB1SN1B000, S6BP401AB1SN1B200	1.250	1.250	1.250	3.375	3.325	1.850	プラスチック, QFN (0.50 mm pitch), 40 端子 (VND040)
S6BP401AJ0SN1B000, S6BP401AJ0SN1B200	1.250	1.250	1.850	3.375	3.300	2.800	
S6BP401AJ2SN1B000, S6BP401AJ2SN1B200	1.200	1.100	1.800	3.300	3.300	2.800	
S6BP401AL2SN1B000, S6BP401AL2SN1B200	1.250	1.125	2.550	3.375	3.325	1.850	
S6BP401AL3SN1B000, S6BP401AL3SN1B200	1.250	1.125	2.550	3.350	3.325	1.850	
S6BP401AM2SN1B000, S6BP401AM2SN1B200	1.250	1.125	2.550	3.375	3.325	2.800	

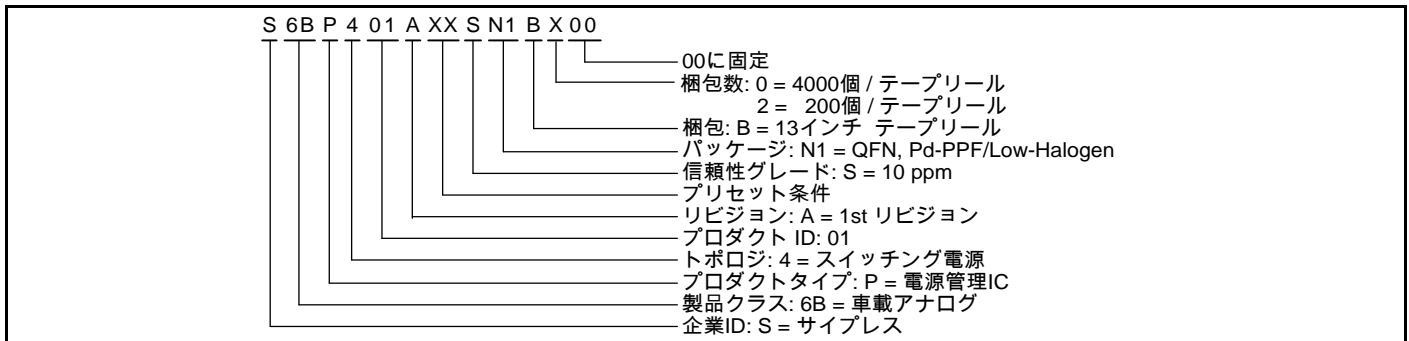
MPN: Marketing Part Number

*1: この表に記載されていない出力電圧の組合せについては、弊社営業部門へお問い合わせください。

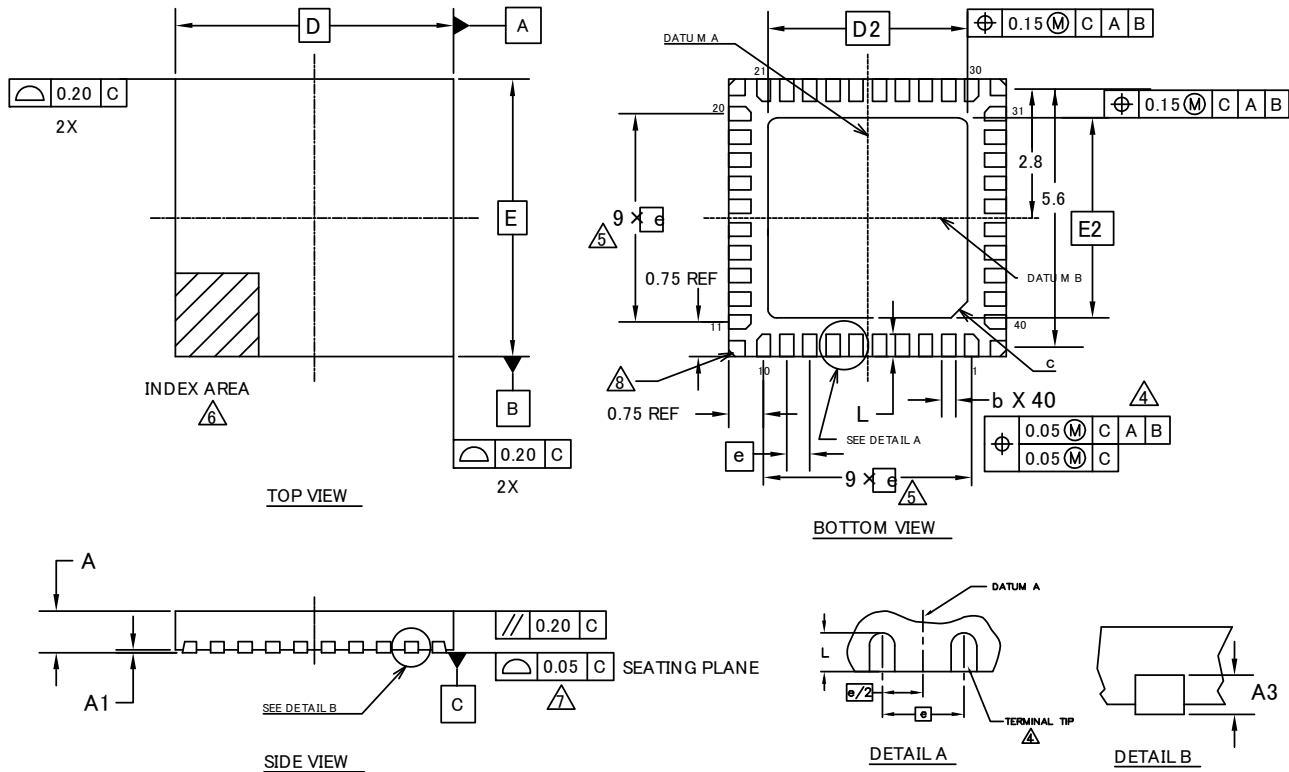
型格の命名規則

本 IC は、下表に示す型番の命名規則に従っています。特に記述がない限り、それぞれの文字は英数字 (0~9, A~Z) です。型格は以下のように定義されています。

図 13-1 型格の命名規則



14. パッケージ寸法



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.90
A1	0.00	—	0.05
A3	0.20 REF		
D	6.00 BSC		
E	6.00 BSC		
b	0.20	0.25	0.30
D2	4.20 BSC		
E2	4.20 BSC		
e	0.50 BSC		
c	0.50		
L	0.30	0.40	0.50
N	40		
ND	10		
NF	10		

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
- DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E RESPECTIVELY.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- REINFORCEMENT LAND SIZE 0.35mm SQ.
- JEDEC SPECIFICATION NO. REF.: N/A.

002-10861 **

 PACKAGE OUTLINE, 40 LEAD QFN
 6.0X6.0X0.9 MM VND040 4.2X4.2 MM EPAD Rev* *

15. 主な変更内容

Spansion Publication Number: S6BP401A_DS405-00024

ページ	場所	変更箇所
Preliminary 0.1 (February 19, 2015)		
–	–	初版

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: S6BP401A 車載 ADAS 向け パワーマネージメント IC

文書番号: 002-03342

版	ECN 番号	発行日	変更内容
**	4922123	09/24/2015	New Spec. (これは英語版の 002-03341 Rev. ** を翻訳した日本語版です。)
*A	5085040	01/14/2016	これは英語版の 002-03341 Rev. *A を翻訳した日本語版です。
*B	5160392	03/04/2016	これは英語版の 002-03341 Rev. *B を翻訳した日本語版です。
*C	5396391	08/09/2016	これは英語版の 002-03341 Rev. *C を翻訳した日本語版です。
*D	5824032	07/19/2017	Adapted Cypress new logo. これは英語版の 002-03341 Rev. *D を翻訳した日本語版です。
*E	5929779	11/22/2017	これは英語版の 002-03341 Rev. *E を翻訳した日本語版です。
*F	6007682	01/18/2018	これは英語版の 002-03341 Rev. *F を翻訳した日本語版です。
*G	6174096	05/14/2018	これは英語版の 002-03341 Rev. *G を翻訳した日本語版です。
*H	6304063	09/10/2018	これは英語版の 002-03341 Rev. *H を翻訳した日本語版です。
*I	6771570	01/16/2020	これは英語版の 002-03341 Rev. *I を翻訳した日本語版です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

© Cypress Semiconductor Corporation, 2015-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれる又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の保証を含むがこれらに限定されない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。)のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。