

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

特長

■ マルチ I/O を備えたシリアル ペリフェラル インターフェース (SPI)

- SPI クロック極性と位相モード 0 と 3
- ダブル データ レート (DDR) オプション
- 拡張アドレス指定: 24 または 32 ビットアドレス指定オプション
- S25FL1-K、S25FL-P と S25FL-S SPI ファミリと互換性のあるシリアル コマンドサブセット およびフットプリント
- S25FL1-K、S25FL-P と S25FL-S SPI ファミリと互換性のあるマルチ I/O コマンド サブセットおよびフットプリント

■ 読み出し

- コマンド: 通常、高速、デュアル出力、デュアル I/O、クアッド出力、クアッド I/O、DDR クアッド I/O
- モード: バーストラップ、連続 (XIP)、QPI (QPI)
- コンフィギュレーション情報用のシリアル フラッシュ検出可能パラメーター (SFDP) および共通フラッシュインターフェース (CFI)

■ プログラム

- 256 または 512 バイトのページ プログラム バッファ
- プログラムの一時停止と再開
- 自動 ECC — 1 ビット エラー訂正の内部ハードウェアエラー訂正コード生成

■ 消去

- ハイブリッド セクタ オプション
 - アドレス空間の最上部または最下部にある 8 つの 4KB セクタおよび 1 つの 32KB セクタと、64KB の残りのセクタの物理セット
- ユニフォーム セクタ オプション
 - 高密度および将来のデバイスのため、ソフトウェア互換性があるユニフォーム 64KB または 256KB ブロックオプション
- 消去の一時停止と再開
- 消去状態の判断

■ 耐久性

- 100,000 プログラム/消去サイクル (Min)

■ データ保持

- 20 年のデータ保持期間 (Min)

■ セキュリティ機能

- 1024 バイトのワン タイム プログラム (OTP) アレイ
- ブロック保護:
 - セクタの連続した範囲のプログラムまたは消去に対する保護を制御するステータス レジスタ ビット
 - ハードウェアとソフトウェア制御オプション
- 高度セクタ保護 (ASP)
 - ブートコードまたはパスワードによる制御される個々のセクタ保護
 - 読み出しアクセスのパスワード制御オプション

■ 技術

- Eclipse™ アーキテクチャのサイプレス 65nm MirrorBit® 技術

■ 単一電源電圧、CMOS I/O

- 1.7 V ~ 2.0 V

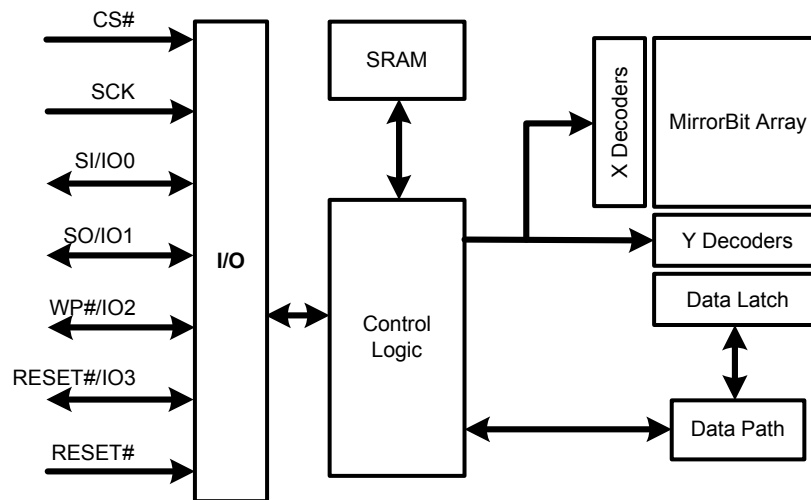
■ 温度範囲

- 産業用 (-40 °C ~ +85 °C)
- 産業用プラス (-40 °C ~ +105 °C)
- 拡張温度範囲 (-40 °C ~ +125 °C)
- 車載向け、AEC-Q100 グレード 3 (-40°C° ~ +85°C°)
- 車載向け、AEC-Q100 グレード 2 (-40°C° ~ +105°C°)
- 車載向け、AEC-Q100 グレード 1 (-40°C° ~ +125°C°)

■ パッケージ (すべて鉛フリー)

- 8 リード SOIC 208mil (SOC008)
- LGA 5x6mm (W9A008)
- BGA-24 6 × 8mm
 - 5 × 5 ボール (FAB024) フットプリント

論理ブロック図



性能要約

最大読み出し速度

コマンド	クロック レート (MHz)	MB/s
読み出し	50	6.25
高速読み出し	133	16.5
デュアル読み出し	133	33
クアッド読み出し	133	66
DDR クアッド I/O 読み出し	80	80

標準的な書き込みと消去速度

動作	KB/s
ページ プログラム (256 バイト ページ バッファ)	712
ページ プログラム (512 バイト ページ バッファ)	1080
4KB 物理セクタ消去 (ハイブリッド セクタ オプション)	16
64KB セクタ消去	275
256KB セクタ消去	275

標準消費電流、-40°C ~ +85°C

動作	電流 (mA)
シリアル読み出し 50MHz	10
シリアル読み出し 133MHz	22
クアッド読み出し 133MHz	60
クアッド DDR 読み出し 80MHz	70
プログラム	60
消去	60
スタンバイ	0.025
ディープ パワー ダウン	0.006

目次

1. 概要	4	9.2 フラッシュ メモリ アレイ.....	43
1.1 概要の説明.....	4	9.3 ID-CFIアドレス空間.....	45
1.2 デバイス ファミリ移行時の注意事項.....	4	9.4 JEDEC JESD216シリアル フラッシュ検出可能 パラメーター (SFDP) 空間.....	45
1.3 他のリソース.....	6	9.5 OTPアドレス空間.....	46
ハードウェア インターフェース		9.6 レジスタ.....	47
2. マルチ入出力を備えるシリアル ペリフェラル インターフェース (SPI-MIO)	7	10. データ保護	63
3. 信号の説明	7	10.1 セキュア シリコン領域 (OTP).....	63
3.1 入出力の要約.....	7	10.2 書き込みイネーブル コマンド.....	63
3.2 マルチ入出力 (MIO).....	8	10.3 ブロック保護.....	64
3.3 シリアル クロック (SCK).....	8	10.4 高度セクタ保護.....	65
3.4 チップ セレクト (CS#).....	8	10.5 推奨の保護プロセス.....	70
3.5 シリアル入力 (SI)/IO0.....	8	11. コマンド	71
3.6 シリアル出力 (SO)/IO1.....	8	11.1 コマンド セットのまとめ.....	72
3.7 書き込み保護 (WP#)/IO2.....	8	11.2 IDのコマンド.....	78
3.8 IO3_RESET#.....	9	11.3 レジスタ アクセスのコマンド.....	81
3.9 RESET#.....	9	11.4 メモリ アレイ読み出しのコマンド.....	92
3.10 電源電圧 (VCC).....	9	11.5 プログラム フラッシュ アレイのコマンド.....	100
3.11 電源および信号グラウンド (V _{SS}).....	9	11.6 フラッシュ アレイ消去のコマンド.....	103
3.12 未接続 (NC).....	9	11.7 ワンタイム プログラム アレイのコマンド.....	110
3.13 将来使用するために予約済み (RFU).....	9	11.8 高度セクタ保護のコマンド.....	110
3.14 使用禁止 (DNU).....	10	11.9 リセットのコマンド.....	117
3.15 システム ブロック図.....	10	11.10DPDのコマンド.....	118
4. 信号プロトコル	12	12. データの完全性	120
4.1 SPIクロック モード.....	12	12.1 消去可能回数.....	120
4.2 コマンド プロトコル.....	13	12.2 データ保持.....	120
4.3 インターフェース状態.....	17	13. ソフトウェア インターフェース リファレンス	121
4.4 コンフィギュレーション レジスタの インターフェースへの影響.....	21	13.1 OTPメモリ空間アドレス マップ.....	121
4.5 データ保護.....	21	13.2 デバイスIDと共通フラッシュ インターフェース (ID-CFI) アドレス マップ – 標準.....	121
5. 電氣的仕様	22	13.3 シリアル フラッシュ検出可能パラメーター (SFDP) アドレス マップ.....	127
5.1 絶対最大定格.....	22	13.4 工場出荷時の初期状態.....	139
5.2 ラッチアップ仕様.....	22	14. 注文製品番号	140
5.3 熱抵抗.....	22	15. サイプレスへのお問い合わせ	141
5.4 動作範囲.....	22	16. 用語集	142
5.5 電源投入および電源切断.....	23	16. 改訂履歴	143
5.6 DC特性.....	25	セールス, ソリューションおよび法律情報	144
6. タイミング仕様	29	ワールドワイドな販売と設計サポート.....	144
6.1 スイッチング波形の要素.....	29	製品.....	144
6.2 ACテスト条件.....	29	PSoC®ソリューション.....	144
6.3 リセット.....	30	サイプレス開発者コミュニティ.....	144
6.4 SDR AC特性.....	33	テクニカル サポート.....	144
6.5 DDR AC特性.....	36		
7. 組み込みアルゴリズム性能表	38		
8. 物理インターフェース	39		
8.1 ピン配置図.....	39		
8.2 外形図.....	40		
ソフトウェア インターフェース			
9. アドレス空間マップ	43		
9.1 概要.....	43		

1. 概要

1.1 概要の説明

サイプレス FS-S ファミリのデバイスはフラッシュ不揮発性メモリの製品であり、以下の技術を使用しています：

- MirrorBit 技術：各メモリ アレイ トランジスタに2つのデータ ビットを格納します。
- Eclipse アーキテクチャ：劇的にプログラムと消去の性能を向上させます。
- 65nm プロセス リソグラフィ

FS-S ファミリはシリアル ペリフェラル インターフェース (SPI) を介してホスト システムに接続します。従来の SPI シングル ビット シリアル入出力 (シングル I/O - SIO) だけでなく、オプションの 2 ビット (デュアル I/O - DIO) および 4 ビット幅クアッド I/O (QIO) とクアッド ペリフェラル インターフェース (QPI) コマンドにも対応しています。さらに、アドレスと読み出しデータをクロックの両方のエッジで転送する、QIO および QPI 用のダブル データ レート (DDR) 読み出しコマンドに対応しています。

FS-S Eclipse アーキテクチャは 1 回の動作で最大 512 バイトをプログラムすることを可能にするページ プログラム バッファを特長とし、前世代の SPI プログラムまたは消去アルゴリズムよりも速く効果的なプログラムと消去を実現します。

フラッシュ メモリからのコードの直接実行はExecute-In-Place (XIP) と呼ばれています。より高い対応クロック レートでFS-Sファミリ デバイスを使用することで、クアッドまたは DDR クアッド コマンドにより、命令読み出し転送速度は従来のパラレル インターフェース、非同期、NOR フラッシュ メモリの転送速度以上となり、信号数を著しく減少させています。

FS-S ファミリは高容量に加えて、さまざまなモバイルや組み込みアプリケーションに必要な柔軟性および高速処理性能を提供します。それらはスペース、信号接続、電力が限られているシステム向けに優れたソリューションです。それらは RAM へのコードシャドーイング、コードの直接実行 (XIP) および再プログラム可能なデータ保存に理想的です。

1.2 デバイス ファミリ移行時の注意事項

1.2.1 機能比較

FS-S ファミリは前世代の FL-S および FL-P ファミリとコマンド サブセットおよびフットプリントの互換性があります。ただし、電源とインターフェース電圧は定格 1.8V です。

表 1. サイプレス SPI ファミリの比較

パラメーター	FS-S	FS-S	FL-S	FL-P
技術ノード	65nm	65nm	65nm	90nm
アーキテクチャ	MirrorBit® Eclipse™	MirrorBit® Eclipse™	MirrorBit® Eclipse™	MirrorBit®
リリース予定	量産中	2H2015	量産中	量産中
メモリ容量	128Mb 256Mb 512MB	64Mb	128Mb 256Mb 512Mb	32Mb ~ 256Mb
バス幅	x1、x2、x4	x1、x2、x4	x1、x2、x4	x1、x2、x4
電源電圧	1.7V ~ 2.0V	1.7V ~ 2.0V	2.7V ~ 3.6V / 1.65V ~ 3.6V V _{IO}	2.7V ~ 3.6V
通常読み出し速度 (SDR)	6MB/s (50MHz)	6MB/s (50MHz)	6MB/s (50MHz)	5MB/s (40MHz)
高速読み出し速度 (SDR)	16.5MB/s (133MHz)	16.5MB/s (133MHz)	16.5MB/s (133MHz)	13MB/s (104MHz)
デュアル読み出し速度 (SDR)	33MB/s (133MHz)	33MB/s (133MHz)	26MB/s (104MHz)	20MB/s (80MHz)
クアッド読み出し速度 (SDR)	66MB/s (133MHz)	66MB/s (133MHz)	52MB/s (104MHz)	40MB/s (80MHz)
クアッド読み出し速度 (DDR)	80MB/s (80 MHz)	80Mb/s(80Mhz)	66MB/s (66MHz)	-
プログラムバッファサイズ	256B / 512B	256B / 512B	256B / 512B	256B
セクタ消去サイズ	64KB / 256KB	64KB / 256KB	64KB / 256KB	64KB / 256KB
パラメーターセクタサイズ	4KB (オプション)	4KB (オプション)	4KB (オプション)	4KB
セクタ消去速度 (Typ)	500KB/s	500KB/s	500KB/s	130KB/s
ページ プログラム速度 (Typ)	1.0MB/s (256B) 1.2MB/s (512B)	1.0MB/s (256B) 1.2MB/s (512B)	1.2MB/s (256B) 1.5MB/s (512B)	170KB/s
OTP	1024B	1024B	1024B	506B
高度セクタ保護	有	有	有	無

表 1. サイプレス SPI ファミリの比較 (続き)

パラメーター	FS-S	FS-S	FL-S	FL-P
自動ブート モード	無	無	有	無
消去一時停止／再開	有	有	有	無
プログラム一時停止／再開	有	有	有	無
動作温度	-40°C ~ +85°C / +105°C	-40°C ~ +85°C / +105°C / +125°C	-40°C ~ +85°C / +105°C	-40°C ~ +85°C / +105°C

注：

1. FL-P 列は FL129P MIO SPI デバイス (128Mb の容量) を示します。FL128P は MIO、OTP、4KB セクタに対応しません。
2. 64KB セクタ消去オプションは、128Mb / 256Mb の FL-P、FL-S、FS-S デバイス専用です。
3. 詳細情報は、個別のデータシートを参照してください。

1.2.2 前世代との既知の相違
1.2.2.1 エラー報告

保護されたセクタをプログラムまたは消去しようとする場合、FL-K および FL-P メモリはエラー ステータ ビットがないか、またはそれらをセットしません。FS-S および FL-S ファミリは、プログラムおよび消去動作のエラー レポート ステータス ビットを持っています。プログラムまたは消去に内部エラーが発生したか、または保護されたセクタをプログラム／消去しようとした場合、これらのビットがセットされます。これらの場合、プログラムや消去動作がコマンドに従って完了していません。P_ERR または E_ERR ビットと WIP ビットは SR1V で 1 にセットされ、1 のままに維持されます。エラーをクリアしデバイスをスタンバイ状態に戻すために、ステータス レジスタ クリア コマンドを送信する必要があります。

1.2.2.2 セキュア シリコン領域 (OTP)

ワン タイム プログラム領域の FS-S サイズとフォーマット (アドレス マップ) は FL-K および FL-P の世代とは異なります。OTP 領域の各部分を保護する方法が異なります。詳細は、[63 ページのセキュア シリコン領域 \(OTP\)](#) を参照してください。

1.2.2.3 コンフィギュレーション レジスタの FREEZE ビット

コンフィギュレーション レジスタ 1 の FREEZE ビット CR1V[0] は前世代と同様にブロック保護ビット (SR1NV[4:2] と SR1V[4:2])、TBPARM_O ビット (CR1NV[2])、および TBPROT_O ビット (CR1NV[5]) の状態をロックします。FS-S および FL-S ファミリでは、FREEZE ビットはコンフィギュレーション レジスタ 1 の BPNV_O ビット (CR1NV[3]) とセキュア シリコン領域 (OTP) の状態もロックします。

1.2.2.4 セクタ消去のコマンド

4K バイト セクタを消去するコマンドが、FS-S デバイスのアドレス空間の最上部または最下部の 4K バイト パラメーター セクタでのみ使用するために対応されます。

8K バイトのエリア (2 つの 4K バイト セクタ) を消去するためのコマンドは対応されません。

32K バイトのエリア (8 つの 4K バイト セクタ) を消去するためのコマンドは対応されません。

ユニフォーム 64K バイト セクタのコンフィギュレーション オプションが選択された場合、または 4K バイト パラメーター セクタと 64K バイト ユニフォーム セクタのハイブリッド コンフィギュレーション オプションが使用された場合、FS-S 64K バイト セクタ用のセクタ消去コマンド (SE) が対応されます。ハイブリッド オプションが使用された場合、64K バイト消去コマンドは、8 つの 4K バイト セクタのグループに隣接した 32K バイト アドレス空間を消去するために使用されます。この場合、64K バイト消去コマンドは、4K バイト セクタに影響せず、8 つの 4K バイト セクタのグループにより部分的に重ねられる 64K バイト セクタを消去します。4K バイト セクタの消去を強制することなく、32K バイトのアドレス空間の消去制御を提供します。FL-S ファミリでの実装と異なる動作です。FL-S ファミリでは、64K バイト セクタ消去コマンドは、単一の動作でパラメーター セクタのブロック全体を消去するために、4K バイト セクタの 64K バイト ブロックに適用できます。FS-S ファミリでは、パラメーター セクタが 64K バイト ブロック全体を満たさないため、4K バイト パラメーター セクタ消去 (20) のみがパラメーター セクタを消去するのに使用されます。

256K バイト ユニフォーム論理セクタのコンフィギュレーション オプションが使用された場合、256K バイト セクタの消去コマンドは 64K バイト消去コマンドを置き換えます。

1.2.2.5 ディープ パワー ダウン

ディープ パワー ダウン (DPD) 機能は FS-S ファミリ デバイスで対応されます。

1.2.2.6 WRR シングル レジスタ書き込み

いくつかのレガシー SPI デバイスでは、1 つのみのデータ バイトを持つレジスタ書き込み (WRR) コマンドがステータス レジスタ 1 を更新し、クアッド モード ビットを含むコンフィギュレーション レジスタ 1 のいくつかのビットをクリアします。クワッド モードの意図しない終了につながる可能性があります。FS-S ファミリはシングル データ バイトが与えられたとき、ステータス レジスタ 1 だけを更新します。この場合、コンフィギュレーション レジスタ 1 は変更されません。

1.2.2.7 未対応のホールド入力

いくつかのレガシー SPI デバイスでは、IO3 入力はシリアル クロックを停止せずに情報転送を一時停止するために使用される、代替機能としての HOLD# 入力を持っています。FS-S ファミリではこの機能は対応されません。

1.2.2.8 未対応の他のレガシー コマンド

- DDR 高速読み出し
- DDR デュアル I/O 読み出し

1.2.2.9 新機能

FS-S ファミリはサイプレス SPI カテゴリのメモリに新機能を導入します。

- コアおよび I/O 電圧用の単一 1.8V 電源
- より速い初期アクセス時間またはより高いクロック レートの読み出しコマンドを可能にする、設定可能な初期読み出しレイテンシ (ダミー サイクル数)
- 命令転送を含むすべての転送が 4 ビット幅の QPI (QPI、4-4-4) 読み出しモード
- デバイス機能とコンフィギュレーション情報を提供する、JEDEC JESD216 Rev B 準拠のシリアル フラッシュ検出可能パラメータ (SFDP)
- セクタに対する直前の消去が正常に完了したかを判断するための消去ステータス評価コマンドに対応します。コマンドは電力喪失やその他の原因で不完全な消去を検出するために使用されます。これは電力喪失後のファイル システム回復の際にフラッシュ ファイル システム ソフトウェアに役立ちます。
- 高度セクタ保護 (ASP) の持続的な保護に対応しています。また、2 つの ASP 保護モードの一方が選択された場合、すべてのレジスタのすべての OTP コンフィギュレーション ビットはさらなるプログラムから保護されるため、OTP コンフィギュレーション 設定は永続的になります。ASP 保護モードを選択しても、OTP アドレス空間が保護されません。OTP アドレス空間を保護するために、FREEZE ビット (CR1V[0]) を使用できます。

1.3 他のリソース

1.3.1 サイプレス フラッシュ ロードマップへのリンク

www.cypress.com/Flash-Roadmap

1.3.2 ソフトウェアへのリンク

www.cypress.com/software-and-drivers-cypress-flash-memory

1.3.3 アプリケーション ノートへのリンク

www.cypress.com/cypressappnotes

ハードウェア インターフェース

2. マルチ入出力を備えるシリアル ペリフェラル インターフェース (SPI-MIO)

多くのメモリ デバイスは、別々のパラレル制御、アドレスおよびデータ信号でホスト システムに接続し、多数の信号接続とより大きいパッケージ サイズを必要とします。接続が多いほど信号スイッチングが多くなるため、消費電力は増加します。パッケージ が大きいほどコストは高くなります。

FS-S ファミリはすべての制御、アドレス、データ情報を 6 信号を介して順次転送することで、ホスト システムへの接続に必要な信号数を減らします。これにより、メモリ パッケージのコストを削減し、信号スイッチングに必要な電力を削減するほか、ホスト 接続数を削減し、その他の機能を使用できるようにホスト コネクタを解放します。

FS-S ファミリは業界標準のシングル ビット シリアル ペリフェラル インターフェース (SPI) を使用し、2 ビット (デュアル) と 4 ビット (クアッド) 幅のシリアル転送用のオプションの拡張コマンドにも対応しています。複数の幅インターフェースは SPI マルチ I/O (SPI-MIO) と呼ばれます。

3. 信号の説明

3.1 入出力の要約

表 2. 信号一覧

信号名	タイプ	説明
RESET#	入力	ハードウェア リセット: LOW にすると、デバイスはリセットし、スタンバイ状態に復帰し、コマンドを受け入れられます。信号は内部プルアップ抵抗に接続され、ホスト システムで使用されない場合は開放のままにできます。
SCK	入力	シリアル クロック
CS#	入力	チップ セレクト
SI / IO0	I/O	シングル ビット データ コマンド用のシリアル入力、またはデュアル/クアッド コマンド用の IO0 です。
SO / IO1	I/O	シングル ビット データ コマンド用のシリアル出力、またはデュアル/クアッド コマンド用の IO1 です。
WP# / IO2	I/O	クアッド モードでない (CR1V[1] = 0、SR1NV[7] = 1) 場合は書き込み保護です。 クアッド モードである (CR1V[1] = 1) 場合は IO2 です。 信号は内部プルアップ抵抗に接続され、ホスト システムでクアッド コマンドまたは書き込み保護に使用されない場合は開放のままにできます。SR1NV[7] = 1、CR1V[1] = 0 にセットすることで書き込み保護を有効にする場合、ホスト システムはWRRまたはWRAR コマンドの実行中にWP#をHIGHまたはLOWに駆動する必要があります。
IO3_RESET#	I/O	クアッド I/O モードである (コンフィギュレーションレジスタ 1 の QUAD ビット CR1V[1] = 1 かつ CS# が LOW) 場合は IO3 です。 CR2V[2] = 1 により有効にされ、クアッド I/O モードでない (CR1V[1] = 0) 場合、またはクアッド モード (CR1V[1] = 1) で、CS# が HIGH である場合は RESET# です。 内部プルアップ抵抗に接続され、ホスト システムでクアッド コマンドまたは RESET# に使用されない場合は、信号は開放のままにできます。
V _{CC}	電源	電源
V _{SS}	電源	グラウンド
NC	未使用	未接続: デバイスの内部信号はパッケージ コネクタに接続されません。信号にコネクタを使用する計画もありません。接続はプリント基板 (PCB) 上で信号の配線スペース向けに安全に使用できます。ただし、NC に接続されたすべての信号は電圧レベルが V _{CC} 以下でなければなりません。
RFU	予約済み	将来使用するために予約済み: 現時点ではパッケージ コネクタに接続しているデバイスの内部信号はありませんが、将来コネクタを信号に使用する可能性があります。RFU コネクタを PCB 配線チャネルに使用しないことを推奨します。それによって、PCB はフットプリントの互換性があるデバイスの将来の拡張機能を活用できます。
DNU	予約済み	使用禁止: デバイスの内部信号がパッケージ コネクタに接続される可能性があります。この接続はサイプレスによってテスト用または他の目的で使用され、ホスト システムの信号に接続するためのものではありません。DNU 信号が V _{IL} のとき、DNU 信号に関連するすべての機能は無効になります。信号は内部プルダウン抵抗に接続され、ホスト システムで開放のままにされるか、または V _{SS} に接続できます。これらの接続を PCB 信号配線チャネルに使用しないでください。ホスト システム信号をこれらの信号に接続しないでください。

注:

4. 内部プルアップまたはプルダウン抵抗に接続された入力の消費電流は 2uA 未満です。電源投入時のみ、最大電流は 4uS の間、150uA になります。

3.2 マルチ入出力 (MIO)

従来の SPI シングル ビット幅コマンド (シングルまたは SIO) はシリアル入力 (SI) 信号のみで、情報をホストからメモリへ送信します。データはシリアル出力 (SO) 信号でホストへ順次戻されます。

デュアルまたはクアッド入出力 (I/O) コマンドは SI / IO0 信号のみで命令をメモリに送信します。アドレスまたはデータは IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストからメモリへ送信されます。データは同様に IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。

QPI モードでは、すべての命令、アドレスおよびデータが IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストからメモリへ送信されます。データは同様に IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。

3.3 シリアル クロック (SCK)

入力信号は SPI インターフェースに同期基準を提供します。命令、アドレスまたはデータ入力は SCK 信号の立ち上がりエッジでラッチされます。データ出力は、SDR コマンドでは SCK の立ち下がりエッジの後、DDR コマンドではすべてのエッジの後に変化します。

3.4 チップ セレクト (CS#)

チップ セレクト信号は、コマンドがデバイスからまたはデバイスへ情報を送信し、その他の信号がメモリ デバイスに関与しているときを示します。

CS# 信号が論理 HIGH のとき、デバイスは選択されず、Reset# と IO3_Reset# を除くすべての入力信号は無視され、すべての出力信号は高インピーダンスです。内部の組み込み動作がまだ実行中である場合を除き、デバイスはスタンバイ電力モードに入ります。組み込み動作は、完了するまで、ステータス レジスタ 1 の「書き込み中」ビット (SR1V[1]) が 1 にセットされることにより示されます。組み込み動作の例としてはプログラム、消去、レジスタ書き込み (WRR) 動作があります。

CS# 入力を論理 LOW にすると、デバイスは有効になり、アクティブ電力モードに入ります。電源投入後、あらゆるコマンドが開始する前に CS# 上の立ち下がりエッジが必要です。

3.5 シリアル入力 (SI) / IO0

入力信号はデータをデバイスに順次転送するために使用されます。命令、アドレスおよびプログラムされるデータを受信します。値はシリアル SCK クロック信号の立ち上がりエッジでラッチされます。

デュアルとクアッド コマンドの実行中に SI は、プログラムされる命令、アドレス、データ (シリアル SCK クロック信号の立ち上がりエッジでラッチされる値) の受信、およびデータのシフトアウト (SDR コマンドの場合、SCK の立ち下がりエッジで、DDR コマンドの場合、SCK のすべてのエッジで) のための入出力 I/O0 となります。

3.6 シリアル出力 (SO) / IO1

出力信号はデータをデバイスから順次転送するために使用されます。データはシリアル SCK クロック信号の立ち下がりエッジでシフトアウトされます。

デュアルとクアッド コマンドの実行中、SO は IO1 となります。アドレスとプログラムされるデータ (シリアル SCK クロック信号の立ち上がりエッジでラッチされる値) の受信、およびデータのシフトアウト (SDR コマンドの場合は SCK の立ち下がりエッジで、DDR コマンドの場合は SCK のすべてのエッジで) のための入出力です。

3.7 書き込み保護 (WP#) / IO2

WP# が LOW (V_{IL}) に駆動されたとき、WRR または WRAR コマンドの実行中、かつステータス レジスタ 1 のステータス レジスタ書き込みディセーブル (SRWD_NV) ビット (SR1NV[7]) が 1 にセットされている間、ステータス レジスタ 1 またはコンフィギュレーション レジスタ 1 に関連するレジスタに書き込みません。この場合、WRR コマンドは無効され、SR1NV、SR1V、CR1NV、または CR1V を選択する WRAR コマンドは無効され、エラーはセットされません。

これにより、ブロック保護設定の変更を防止します。結果として、WRR または WRAR コマンドの実行中、かつ SRWD_NV が 1 にセットされている間、WP# が LOW であれば、ブロック保護機能によって保護されたメモリ領域内のすべてのデータ バイトは、変更からハードウェアにより保護されます。

クアッド モードが有効 (CR1V[1] = 1) である場合、WP# 機能は使用できません。クアッド モードの間、WP# 機能は IO2 に置き換えられます。アドレスとプログラムされるデータ (SCK 信号の立ち上がりエッジでラッチされる値) の受信、およびデータのシフトアウト (SDR コマンドの場合は SCK の立ち下がりエッジで、DDR コマンドの場合は SCK のすべてのエッジで) のための入出力です。

WP# は内部のプルアップ抵抗に接続されます。接続されていないとき、WP# は V_{IH} であり、クアッド モードまたは保護のために使用されない場合、ホスト システムで未接続にされることがあります。

3.8 IO3_RESET#

クアッドモード (CR1V[1] = 1) の間、IO3 はアドレスとプログラムされるデータ (SCK 信号の立ち上がりエッジでラッチされる値) の受信、およびデータのシフトアウト (SDR コマンドの場合は SCK の立ち下がりエッジで、DDR コマンドの場合は SCK のすべてのエッジで) のための入出力に使用されます。

リセット機能が不揮発性コンフィギュレーションレジスタ 2 のビット 5 の書き込み (CR2NV[5] = 1) により有効にされた場合、IO3_RESET# 信号はハードウェアリセット機能を開始するために使用できます。デバイスがクアッド I/O モードでない (CR1V[1] = 0)、または CS# が HIGH の場合、入力は RESET# としてのみ扱われます。クアッド I/O モードのとき (CR1V[1] = 1)、かつデバイスが CS# LOW で選択されている場合、IO3_RESET# は情報転送のために IO3 としてのみ使用されます。CS# が HIGH の場合、IO3_RESET# は情報転送のために使用されず、RESET# 入力として使用されます。クアッドモードの間、CS# HIGH 時のリセット動作を調整することで、リセット機能を有効のままにできます。

システムがリセットの状態に入る場合、CS# 信号はリセットプロセスの一部として HIGH に駆動されなければならず、IO3_RESET# 信号は LOW に駆動されます。CS# が HIGH になったとき、IO3_RESET# 入力は IO3 である状態から RESET# 入力に遷移します。その後、CS# が HIGH のままであり、かつ IO3_RESET# 信号が t_{RP} の間 LOW のままである場合、リセット状態は検出されます。リセットが意図されていない場合、メモリへのデータの転送の終わりに、システムは IO3_RESET# と CS# を HIGH に駆動する必要があります。データをホストシステムへ転送した後、メモリは t_{CS} の間、IO3 を HIGH に駆動します。これにより、IO3 / RESET は開放の状態にならず、内部あるいは外部のパッシブプルアップ抵抗によって HIGH にゆっくりプルアップされません。したがって、 t_{RP} が経過する前に IO3_RESET# が HIGH として認識されないことによる意図されないリセットはトリガされません。

リセット機能が無効の場合 (CR2V[5] = 0)、IO3_RESET# 信号は使用されません。

IO3_RESET# 信号は内部プルアップ抵抗に接続しており、クアッドモードまたはリセット機能に使用されない場合、ホストシステムで未接続にする場合があります。ホストシステムによる IO3_RESET# 信号の HIGH 駆動から信号の駆動停止の後、内部プルアップ抵抗が IO3_RESET# 信号を HIGH のままに維持します。

1 つの選択したメモリから駆動されているかまたはメモリを駆動している IO3 が、同じ IO3_RESET# 信号を共有している 2 番目の非選択のメモリに対するリセット信号と認識される場合があるため、1 つの SPI-MIO メモリがクアッド I/O モードで動作すれば、IO3_RESET# は 2 つ以上の SPI-MIO メモリにより共有できないことにご注意ください。

3.9 RESET#

RESET# 入力は、デバイスをハードウェア的にスタンバイ状態にリセットして、コマンドを受信できるようにします。RESET# が少なくとも t_{RP} の 1 周期で論理 LOW (V_{IL}) に駆動されたとき、デバイスはハードウェアリセットプロセスを開始します。

V_{IH} から V_{IL} へ遷移する時間が t_{RP} より長い場合、RESET# 入力はリセット動作を開始し、デバイスはパワーオンリセット (POR) と同じ方法でレジスタの状態をリセットしますが、POR 中に行われる完全なリセットプロセスを実行しません。ハードウェアリセットプロセスを完了するために t_{RPH} を要します。RESET# はいつでも LOW にアサートできます。

RESET# は内部プルアップ抵抗に接続しており、ホストシステムで使用されない場合は開放のままにすることがあります。ホストシステムによる RESET 信号の HIGH 駆動から信号の駆動停止の後、内部プルアップ抵抗が RESET 信号を HIGH のままに維持します。

パッケージオプションによって、RESET# 入力は利用できない場合があります。使用されないとき、デバイスの RESET# 入力は無効な状態にされます。

QIO または QPI モードでないときに RESET# を使用する場合、IO3 / RESET# ピンを使用しないでください。

3.10 電源電圧 (V_{CC})

V_{CC} はすべてのデバイスの内部ロジックの電圧ソースです。読み出し、プログラム、消去を含むデバイスのすべての内部機能に使用される単一の電圧です。

3.11 電源および信号グランド (V_{SS})

V_{SS} はデバイスコア、入力信号レシーバと出力ドライバ用の共通電圧ドレインとグランドリファレンス電圧です。

3.12 未接続 (NC)

デバイスの内部信号はパッケージコネクタに接続されません。信号にコネクタを使用する計画はありません。接続はプリント基板 (PCB) 上で信号の配線スペース向けに安全に使用できます。

3.13 将来使用するために予約済み (RFU)

現時点ではパッケージコネクタに接続しているデバイスの内部信号はありませんが、将来コネクタを使用する可能性があります。RFU コネクタを PCB 配線チャネルに使用しないことを推奨します。それによって、PCB はフットプリントの互換性があるデバイスの将来の拡張機能を活用できます。

3.14 使用禁止 (DNU)

デバイスの内部信号がパッケージ コネクタに接続される可能性があります。この接続はサイプレスによってテスト用または他の目的で使用され、ホスト システムの信号に接続するためのものではありません。DNU 信号が V_{IL} のとき、DNU 信号に関連するすべての機能は無効になります。信号は内部プルダウン抵抗に接続され、ホスト システムで開放のままにされるか、または V_{SS} に接続できます。これらの接続を PCB 信号配線チャネルに使用しないでください。ホスト システム信号をこれらの信号に接続しないでください。

3.15 システム ブロック図

図 1. SPI バス上のバス マスターおよびメモリ デバイス - シングル ビット データ パス

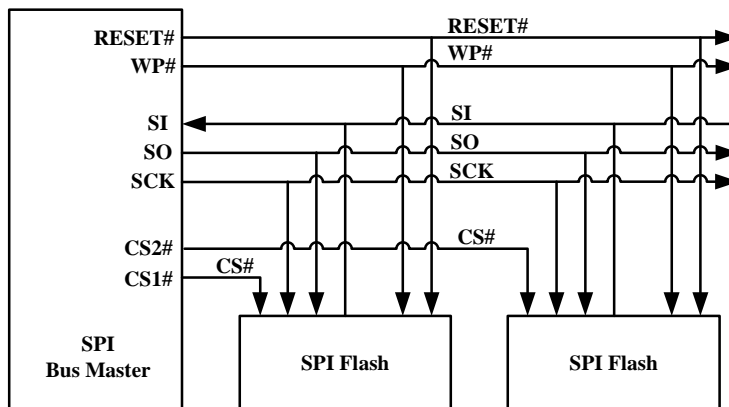


図 2. SPI バス上のバス マスターおよびメモリ デバイス - デュアル ビット データ パス

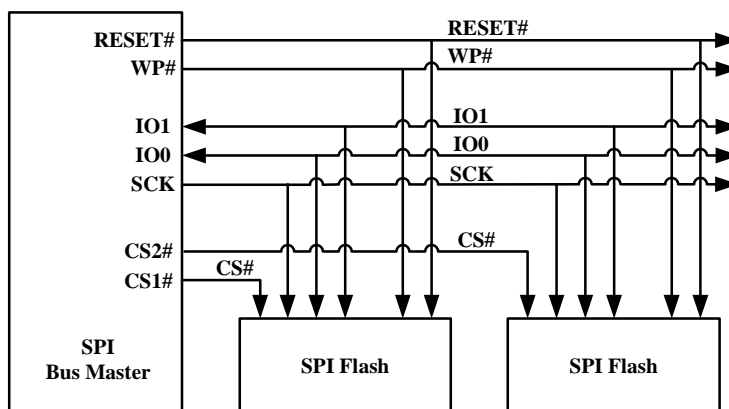


図 3. SPI バス上のバス マスターおよびメモリ デバイス - クアッド ビット データ パス - 個別 RESET#

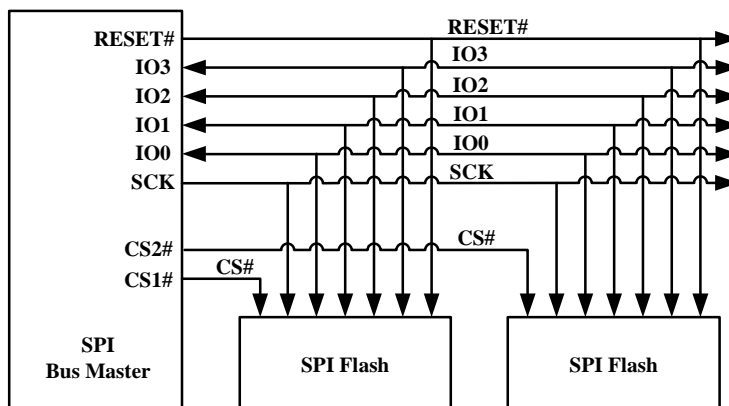
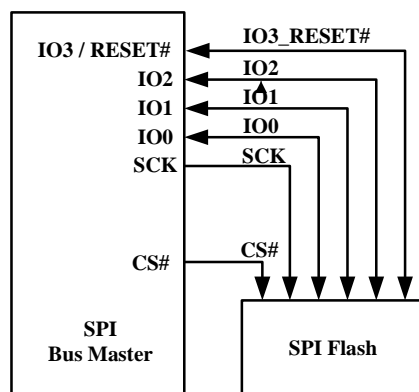


図 4. SPI バス上のバス マスターおよびメモリ デバイス - クアッド ビット データ パス - I/O3_RESET#



4. 信号プロトコル

4.1 SPI クロック モード

4.1.1 シングル データ レート (SDR)

FS-S ファミリーは以下の 2 つのクロック モードのどちらかで、組み込みマイクロコントローラー (バス マスター) によって駆動されます。

■ **モード 0:** クロック極性 (CPOL) = 0、クロック位相 (CPHA) = 0

■ **モード 3:** CPOL = 1、CPHA = 1

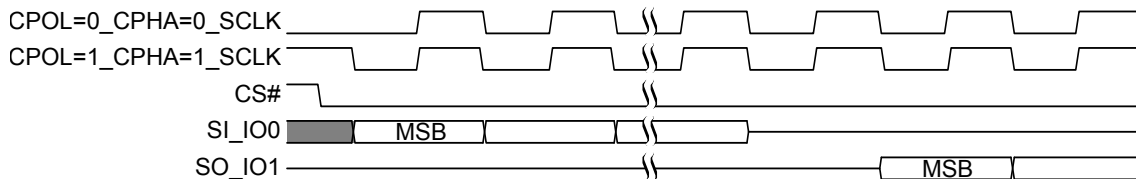
2 つのモードでは、デバイスへの入力データは常に SCK 信号の立ち上がりエッジでラッチされ、出力データは常に SCK クロック信号の立ち下がりエッジで得られます。

2 つのモードの異なる点は、バス マスターがスタンバイ モードであり、データを転送しないときのクロック極性です。

■ CPOL = 0、CPHA = 0 のとき、SCK は論理 LOW の状態にあります。

■ CPOL = 1、CPHA = 1 のとき、SCK は論理 HIGH の状態にあります。

図 5. 対応の SPI SDR モード



この文書の以降のタイミング図は、CS# の立ち下がりのときに SCK が HIGH と LOW の両方として表示することにより、一般的にモード 0 とモード 3 の両方として示されます。場合によっては、タイミング図はモード 0 (CS# の立ち下がり時に SCK が LOW) のみを示します。その場合において、モード 3 のタイミングは単に CS# の立ち下がりのときにクロックが HIGH であることを意味し、CS# の立ち下がりエッジまでの SCK の立ち上がりエッジのセットアップまたはホールド時間はモード 3 に必要がありません。

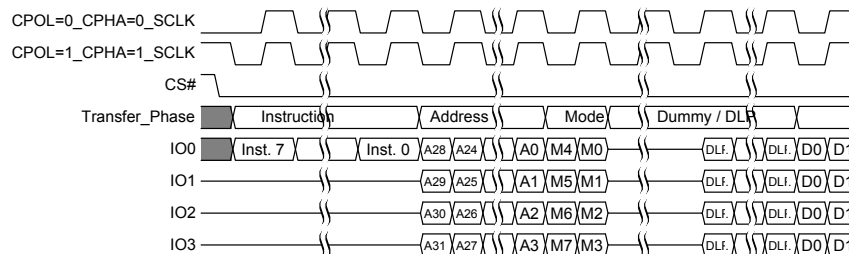
SCK サイクルは SCK の 1 つの立ち下がりエッジから次の立ち下がりエッジまで測定 (カウント) されます。モード 0 では、SCK がコマンドの開始時にすでに LOW であるため、コマンドの最初の SCK サイクルの始まりは CS# の立ち下がりエッジから SCK の最初の立ち下がりエッジまで測定されます。

4.1.2 ダブル データ レート (DDR)

モード 0 とモード 3 は DDR コマンドにも対応します。SDR コマンドと同様に DDR コマンドでは、命令ビットは常にクロックの立ち上がりエッジでラッチされます。ただし、命令の後に続くアドレスおよび入力データは SCK の立ち上がりエッジと立ち下がりエッジの両方でラッチされます。最初のアドレス ビットは、直前の命令ビットの終わりの立ち下がりエッジの後に続く SCK の最初の立ち上がりエッジでラッチされます。出力データの最初のビットは、直前のアクセス レイテンシ (ダミー) サイクルの最後の立ち下がりエッジで駆動されます。

SDR コマンドと同様に、SCK サイクルは SCK の 1 つの立ち下がりエッジから次の立ち下がりエッジまで測定 (カウント) されます。モード 0 では、SCK がコマンドの開始時にすでに LOW であるため、コマンドの最初の SCK サイクルの始まりは CS# の立ち下がりエッジから SCK の最初の立ち下がりエッジまで測定されます。

図 6. 対応の SPI DDR モード



4.2 コマンド プロトコル

ホスト システムと FS-S ファミリ メモリ デバイスの間のすべての通信はコマンドの形で行われます。

すべてのコマンドは、情報転送のタイプ、または実行するデバイスの動作を選択する 8 ビットの命令で始まります。コマンドには、アドレス、命令修飾子、レイテンシ周期、メモリへのデータ転送、またはメモリからのデータ転送もあります。すべての命令、アドレスおよびデータ情報はホスト システムとメモリ デバイスの間で順次に転送されます。

コマンド プロトコルは、下記 3 つのコマンド フェーズの転送幅を示すために 3 つの番号を使用する数値命名により分類されます。

■ 命令

■ アドレスおよび命令修飾子 (連続読み出しモード ビット)

■ データ

シングル ビット幅コマンドは命令で開始し、SI 信号のみで送信されるアドレスまたはデータを提供します。データは SO 信号でホストへ順次戻されることがあります。シングル ビット幅命令、シングル ビット幅アドレスおよび修飾子、シングル ビット データ用の 1-1-1 コマンド プロトコルと呼ばれます。

デュアル出力またはクアッド出力のコマンドは SI (IO0) 上でシリアルとしてホストから送信されるアドレスを提供してから、ダミー サイクルを提供します。データは IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル出力用の 1-1-2 コマンド プロトコル、またはクアッド出力用の 1-1-4 コマンド プロトコルと呼ばれます。

デュアルまたはクアッド入出力 (I/O) コマンドは、IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループとしてホストから送信されるアドレスを提供します。データは同様に IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル I/O 用の 1-2-2 コマンド プロトコル、またはクアッド I/O 用の 1-4-4 コマンド プロトコルと呼ばれます。

FS-S ファミリは、命令、アドレス、修飾子およびデータを含み、すべての情報が 4 ビットの幅で転送される QPI モードにも対応します。4-4-4 コマンド プロトコルと呼ばれます。

コマンドは下記のとおり構成されます。

- 各コマンドは CS# が LOW になることで開始され、CS# が HIGH に戻ることで終了されます。メモリ デバイスはホストがコマンドを通してチップ セレクト (CS#) 信号を LOW に駆動することで選択されます。
- シリアル クロック (SCK) はホストとメモリの間の各ビットまたは各ビット グループの転送を示します。
- 各コマンドは 8 ビット (バイト) の命令で始まります。命令は、情報転送のタイプ、または実行するデバイスの動作を選択します。命令の転送は SCK の立ち上がりエッジで実行されます。ただし、いくつかの読み出しコマンドは、命令が前のコマンドから黙示的に示されるように、前の読み出しコマンドにより修正されます。連続読み出しモードと呼ばれます。デバイスが連続読み出しモードにあるとき、命令は連続読み出しモードを開始した読み出しコマンドと同じであるため、命令ビットはコマンドの始まりには送信されません。連続読み出しモードでは、コマンドは読み出しアドレスで開始されます。したがって、連続読み出しモードは一連の同じタイプの読み出しコマンドの各読み出しコマンドから 8 命令ビットを取り除きます。
- 命令は単独であるか、またはその後にデバイスの 1 つのアドレス空間内の位置を選択するアドレス ビットが続きます。命令は使用されるアドレス空間を決定します。アドレスは 24 ビットまたは 32 ビットのバイト境界アドレスです。アドレス転送は SDR コマンドでは SCK の立ち上がりエッジで、DDR コマンドでは SCK の両エッジで実行されます。
- レガシー SPI モードでは、命令の後に続くすべての転送の幅は送信される命令により決められます。その次の転送は SI あるいはシリアル出力 (SO) 信号のみでのシングル ビット シリアル転送であり続けるか、IO0 と IO1 信号上の 1 回の (デュアル) 転送当たりに 2 ビット グループで、または IO0 ~ IO3 信号上の 1 回の (クアッド) 転送当たりに 4 ビット グループで実行されます。デュアルまたはクアッドのグループでは、最下位ビットは IO0 信号上にあります。そのビットに比べて上位である各ビットはより高い番号付きの IO 信号に有意の順序で (上位から下位へ) 配置されます。シングル ビットまたはパラレル ビット グループは最上位ビットから最下位ビットまでの順で転送されます。
- QPI モードでは、すべての転送の幅は IO0 ~ IO3 信号上の 4 ビット幅 (クアッド) 転送です。
- デュアルとクアッド I/O 読み出し命令は、次のコマンドが黙示の命令 (明示的な命令でなく) と同じタイプであるかどうかを示すために、アドレスの後に、連続読み出しモード ビットと呼ばれる命令修飾子を送信します。モード ビットは連続読み出しモードを開始させるか、または終了させます。そのため、連続読み出しモードでは、次のコマンドは命令のバイトを提供せずに新しいアドレスおよびモード ビットのみを提供します。これにより、一連のコマンドで同じタイプのコマンドが繰り返された場合、各コマンドの送信に必要な時間を削減できます。モード ビットの転送は SDR コマンドの場合、SCK の立ち上がりエッジで行われ、DDR コマンドの場合、すべての SCK エッジで行われます。
- アドレスまたはモード ビットの後、メモリ デバイスに保存される書き込みデータが続く場合もあり、または読み出しデータがホストに戻る前に読み出しレイテンシ期間が続く場合もあります。

- 書き込みデータビットの転送は SDR コマンドの場合、SCK の立ち上がりエッジで行われ、DDR コマンドの場合、すべての SCK エッジで行われます。
- SCK はすべての読み出しアクセス レイテンシ期間中は継続的にトグルします。レイテンシは 0 から数個の SCK サイクルです (ダミー サイクルとも呼ばれています)。最後の読み出しレイテンシ サイクルの終わりに、最初の読み出しデータ ビットが SCK 立ち上がりエッジで出力から駆動されます。最初の読み出しデータ ビットは次の SCK 立ち上がりエッジでホストへ転送されるものと見なされます。その次の転送は SDR コマンドの場合、次の SCK の立ち上がりエッジで行われ、DDR コマンドの場合、すべての SCK エッジで行われます。
- コマンドが読み出しデータをホストへ戻す場合、デバイスはホストが CS# 信号を HIGH にするまで、継続的にデータを送信します。CS# 信号は読み出しデータ シーケンスの任意の転送の後、HIGH に駆動できます。これにより、コマンドは終了します。
- データを戻さないコマンドの終わりに、ホストは CS# 入力を HIGH に駆動します。CS# 信号はスタンドアロン命令または転送される最後の書き込みデータ バイトの 8 ビット目の転送後に HIGH にしなければなりません。すなわち、CS# 信号を HIGH に駆動するのは LOW に駆動された後のビット数が 8 ビットの整数倍となる場合に限りです。CS# 信号が命令または書き込みデータの 8 ビット境界でしっかりと HIGH にならない場合、コマンドは拒否され、実行されません。
- すべての命令、アドレスおよびモード ビットは最上位ビット (MSB) からデバイスにシフトインされます。デバイスへの /からのデータ ビットのシフトイン/シフトアウトは MSB から行われます。すべてのデータ転送はバイトの単位で、最下位アドレス バイトから行われます。その次のデータ バイトは最下位アドレス バイトから最上位アドレス バイトまで (すなわち、バイト アドレス インクリメント) の順序で送信されます。
- プログラム、消去、あるいは書き込みサイクル (組み込み動作) 中に、フラッシュ メモリ アレイを読み出そうとすると無視されます。組み込み動作は何の影響も受けず、実行が継続されます。組み込み動作中、ごく限られたコマンド セットは受け入れられます。各々のコマンド説明で記述します。
- コマンドによって実行時間が異なります。いつコマンドの実行が完了したか、およびコマンドが正常に完了したかどうかを判断するために、実行中のコマンドからステータス情報を読み出すコマンドが使用できます。

4.2.1 コマンド シーケンス例

図 7. スタンドアロン命令コマンド

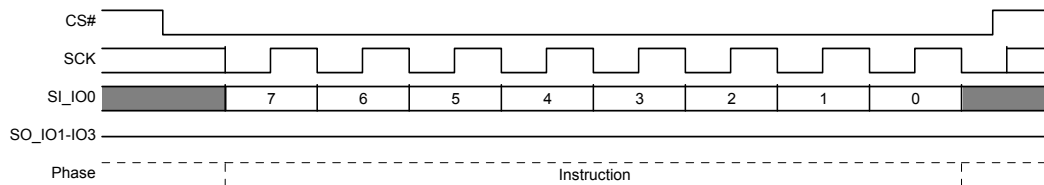


図 8. シングル ビット幅の入力コマンド

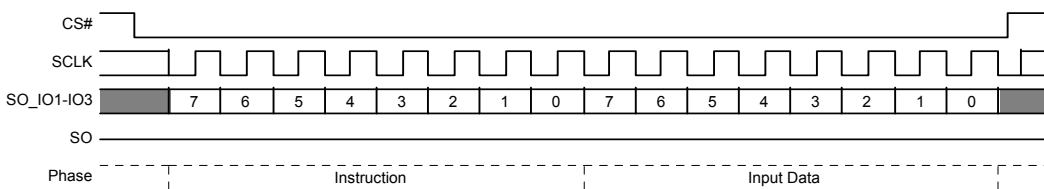


図 9. レイテンシなしのシングル ビット幅の出力コマンド

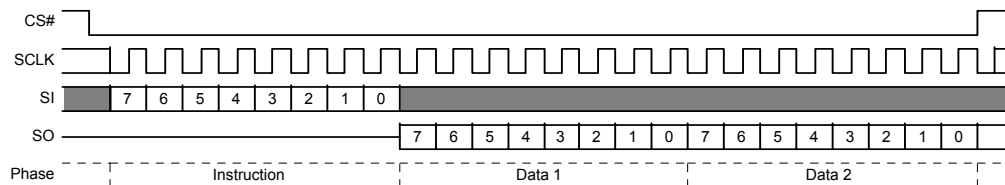
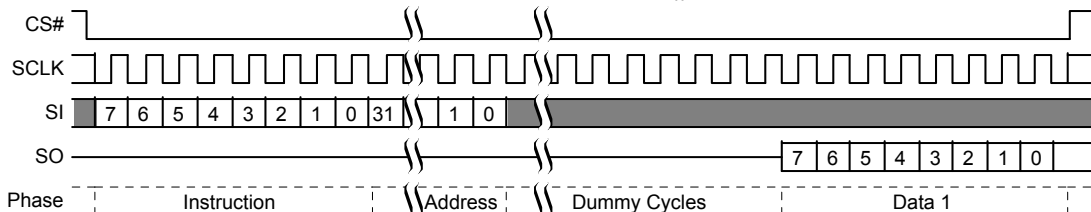
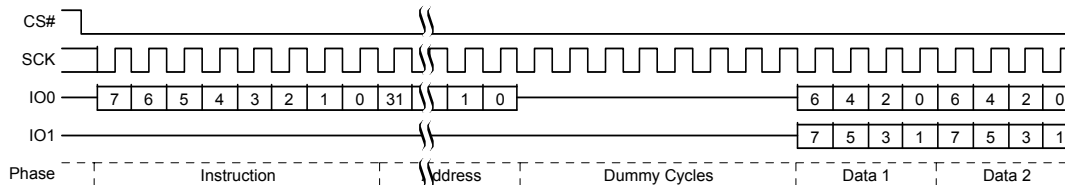
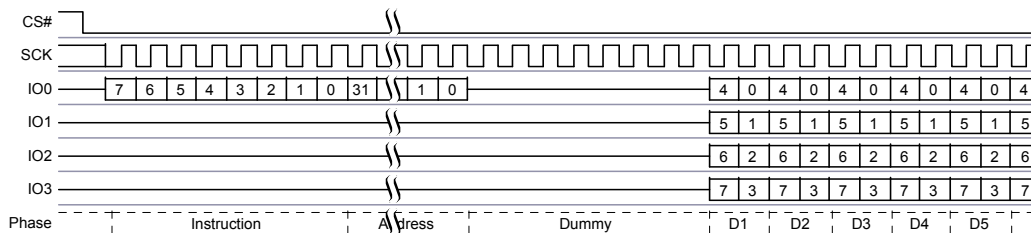
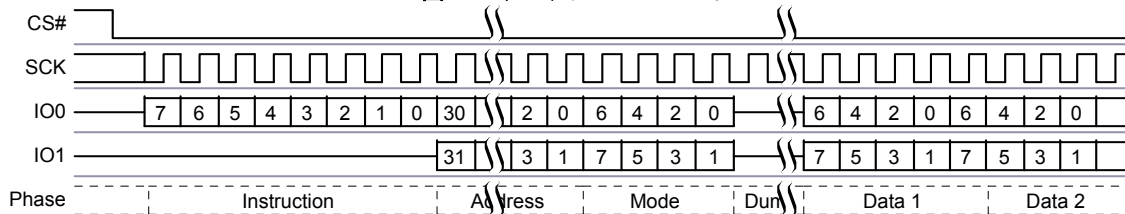
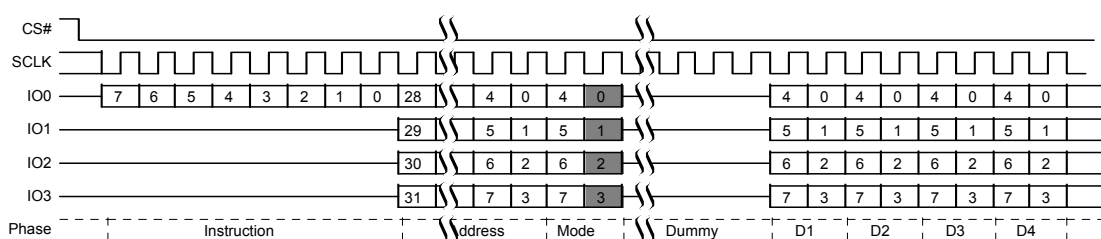
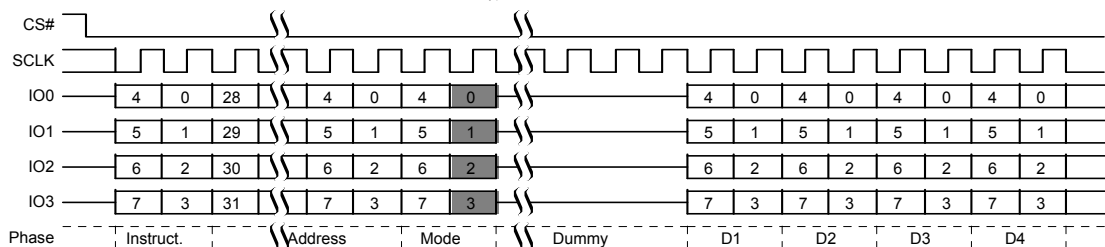


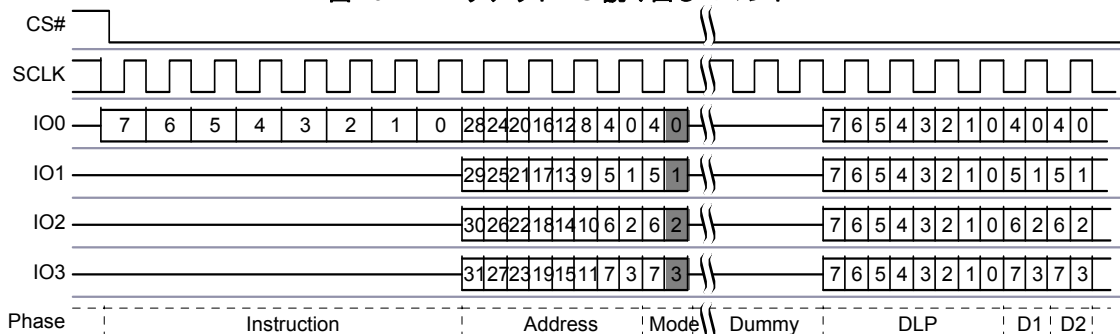
図 10. レイテンシ付きのシングルビット幅の I/O コマンド

図 11. デュアル出力の読み出しコマンド

図 12. クアッド出力の読み出しコマンド

図 13. デュアル I/O コマンド

図 14. クアッド I/O コマンド


注:

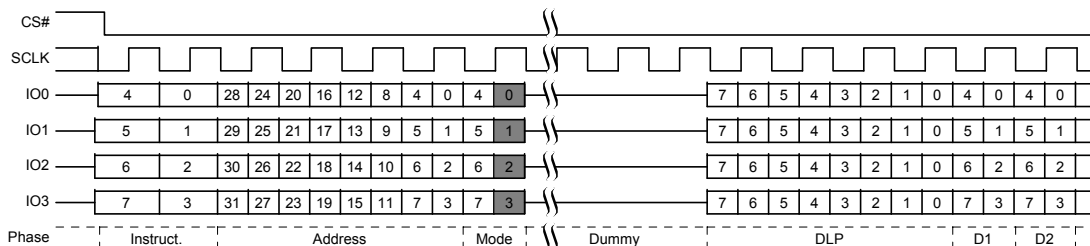
5. 灰色のビットはオプションのビットであり、ホストはそのサイクル中にそれらのビットを駆動する必要がありません。

図 15. クアッド I/O 読み出しコマンド – QPI モード

注:

6. 灰色のビットはオプションのビットであり、ホストはそのサイクル中にそれらのビットを駆動する必要がありません。

図 16. DDR クアッド I/O 読み出しコマンド

注:

7. 灰色のビットはオプションのビットであり、ホストはそのサイクル中にそれらのビットを駆動する必要がありません。

図 17. DDR クアッド I/O 読み出しコマンド – QPI モード

注:

8. 灰色のビットはオプションのビットであり、ホストはそのサイクル中にそれらのビットを駆動する必要がありません。

 各コマンド特定の更なるシーケンス図は [71 ページのコマンド](#) で記述されます。

4.3 インターフェース状態

本節では、SPI インターフェース動作に関連する入力と出力の信号レベルについて説明します。

表 3. インターフェース状態のまとめ

インターフェース状態	V _{CC}	SCK	CS#	RESET#	IO3_RE- SET#	WP# / IO2	SO / IO1	SI / IO0
電源切断	<V _{CC} (low)	X	X	X	X	X	X	X
低消費電力 ハードウェア データ保護	<V _{CC} (cut-off)	X	X	X	X	X	Z	X
パワーオン (コールド) リセット	≥V _{CC} (min)	X	HH	X	X	X	Z	X
ハードウェア (ウォーム) リセット、 非クアッド モード	≥V _{CC} (min)	X	X	HL	HL	X	Z	X
ハードウェア (ウォーム) リセット、 クアッド モード	≥V _{CC} (min)	X	HH	HL	HL	X	Z	X
インターフェース スタンバイ	≥V _{CC} (min)	X	HH	HH	X	X	Z	X
命令サイクル (レガシー SPI)	≥V _{CC} (min)	HT	HL	HH	HH	HV	Z	HV
シングル入力サイクル ホストからメモリへの転送	≥V _{CC} (min)	HT	HL	HH	HH	X	Z	HV
シングルレイテンシ (ダミー) サイクル	≥V _{CC} (min)	HT	HL	HH	HH	X	Z	X
シングル出力サイクル メモリからホストへの転送	≥V _{CC} (min)	HT	HL	HH	HH	X	MV	X
デュアル入力サイクル ホストからメモリへの転送	≥V _{CC} (min)	HT	HL	HH	HH	X	HV	HV
デュアルレイテンシ (ダミー) サイクル	≥V _{CC} (min)	HT	HL	HH	HH	X	X	X
デュアル出力サイクル メモリからホストへの転送	≥V _{CC} (min)	HT	HL	HH	HH	X	MV	MV
クアッド入力サイクル ホストからメモリへの転送	≥V _{CC} (min)	HT	HL	HH	HV	HV	HV	HV
クアッドレイテンシ (ダミー) サイクル	≥V _{CC} (min)	HT	HL	HH	X	X	X	X
クアッド出力サイクル メモリからホストへの転送	≥V _{CC} (min)	HT	HL	HH	MV	MV	MV	MV
DDR クアッド入力サイクル ホストからメモリへの転送	≥V _{CC} (min)	HT	HL	HH	HV	HV	HV	HV
DDR レイテンシ (ダミー) サイクル	≥V _{CC} (min)	HT	HL	HH	MV または Z	MV または Z	MV または Z	MV または Z
DDR クアッド出力サイクル メモリからホストへの転送	≥V _{CC} (min)	HT	HL	HH	MV	MV	MV	MV

凡例: Z = ドライバーなし — 開放信号、HL = ホスト駆動 V_{IL}、HH = ホスト駆動 V_{IH}、HV = HL または HH、X = HL または HH または Z、HT = HL と HH の間トグル、ML = メモリ駆動 V_{IL}、MH = メモリ駆動 V_{IH}、MV = ML または MH。

4.3.1 V_{CC} 電源切断

コア電源電圧が V_{CC (Low)} 電圧以下の場合、デバイスは電源切断と見なされます。デバイスは外部信号に反応せず、あらゆるプログラムまたは消去動作を実行できないようにされます。

4.3.2 低消費電力のハードウェア データ保護

V_{CC} が V_{CC (Cut-off)} を下回った場合、コア電源電圧が動作範囲外にあるときにプログラムおよび消去動作が開始できないようにするために、メモリ デバイスはコマンドを無視します。

4.3.3 パワーオン (コールド) リセット

コア電源電圧が t_{PD} 時間以上で V_{CC (Low)} 電圧以下に維持してから V_{CC (Minimum)} 以上に上がった場合、デバイスはパワー オン リセット (POR) プロセスを開始します。t_{PU} の終わりまで POR は続きます。t_{PU} 期間中に、デバイスは外部入力信号に反応せず、出力も駆動しません。t_{PU} が経過した後、デバイスはインターフェース スタンバイ状態に移行して、コマンドを受け入れられるようになります。POR の詳細については、[30 ページのパワーオン \(コールド\) リセット](#)を参照してください。

4.3.4 ハードウェア (ウォーム) リセット

デバイスがクアッド モードまたは QPI モードにないとき、またはデバイスがクアッド モード または QPI モードにありかつ CS# が HIGH のとき、IO3_RESET# をハードウェア リセット入力として使用できるようにするための設定オプションが提供されます。クアッド モードおよび QPI モードでは、いくつかのパッケージで別のリセット入力が提供されます (RESET#)。IO3_RESET# または RESET# を t_{RP} 時間 LOW にした後、デバイスはハードウェア リセットのプロセスを開始します。プロセスは t_{RPH} 時間続きます。t_{RPH} と、RESET# の立ち上がりの後に続くリセット ホールド時間 (t_{RH}) が両方とも経過した後、デバイスはインターフェース スタンバイ状態に移行して、コマンドを受け入れられるようになります。ハードウェア リセットの詳細は [31 ページの RESET# および IO3_RESET# 入力により開始されるハードウェア \(ウォーム\) リセット](#)を参照してください。

4.3.5 インターフェース スタンバイ

CS# が HIGH であるとき、SPI インターフェースはスタンバイ状態になります。RESET# 以外の入力は無視されます。インターフェースは新しいコマンドの開始を待ちます。CS# が新しいコマンドを開始するために LOW になると、次のインターフェース状態は命令サイクルです。

インターフェース スタンバイ状態の間、進行中の組み込みアルゴリズムがない場合、メモリ デバイスはスタンバイ電流 (I_{SB}) を消費します。進行中の組み込みアルゴリズムがある場合、対応する電流はアルゴリズムが終了するまで消費されます。その後、デバイス全体の消費電流はスタンバイ電流に戻ります。

ディープ パワー ダウン (DPD) モードは FS-S ファミリー デバイスで対応されます。DPD (B9h) コマンドでデバイスが DPD モードになると、インターフェース スタンバイ電流は I_{DPD} です。DPD コマンドは、デバイスが組み込みアルゴリズムを実行していない (要するに揮発性ステータス レジスタ 1 の書き込み中 (WIP) ビットが 0 にクリアされる (SR1V[0] = 0)) ときのみ受け入れられます。DPD モードでは、t_{RES} の遅延期間が経過した後デバイスをインターフェース スタンバイ状態に復帰させる DPD 終了 (RES ABh) コマンド以外、デバイスはすべてのコマンドを無視します。

4.3.6 命令サイクル (レガシー SPI モード)

ホストが命令の MSB を駆動し、かつ CS# が LOW になると、SCK の次の立ち上がりエッジでデバイスは新しいコマンドを開始する命令の MSB を取り込みます。SCK の各々の次の立ち上がりエッジでデバイスは、8 ビット命令の次の下位ビットを取り込みます。ホストは CS# を LOW に維持し、書き込み保護 (WP#) と IO3_RESET# / RESET# 信号を命令の必要に応じて駆動します。しかし、WP# は、WRR、WRAR コマンド、またはステータス レジスタ、コンフィギュレーション レジスタおよび DLR レジスタに影響を与える他のコマンドの命令サイクル中にのみ有効です。それ以外では無視されます。デバイスがクアッド モードでもなく (CR1V[1] = 0) QPI モードでもない (CR2V[3] = 0)、かつハードウェア リセットが不要なとき、IO3_RESET# は HIGH に駆動されます。

各命令は、操作するアドレス空間と、コマンドの残りで使用する転送フォーマットを選択します。転送フォーマットは、シングル、デュアル出力、クアッド出力、デュアル I/O、クアッド I/O または DDR クアッド I/O です。起こりうる次のインターフェース状態は、受け取った命令によって異なります。

いくつかの命令はスタンドアロンであり、メモリへ／メモリからのアドレスまたはデータ転送を必要としません。ホストはこのようなコマンドでの命令の 8 番目のビットのための SCK の立ち上がりエッジ後に CS# を HIGH に戻します。この場合、次のインターフェース状態はインターフェース スタンバイです。

4.3.7 命令サイクル (QPI モード)

QPI モードでは、CR2V[6] = 0 のとき、命令は 1 サイクルごとに 4 ビット転送されます。このモードでは、命令サイクルはクアド出力サイクルと同様です。20 ページのクアド入力サイクル – ホストからメモリへの転送を参照してください。

4.3.8 シングル入力サイクル – ホストからメモリへの転送

いくつかのコマンドは、シングル シリアル入力 (SI) 信号上で命令の後に情報をホストからメモリ デバイスに転送します。ホストは RESET# を HIGH に、CS# を LOW に維持し、コマンドの必要に応じて SI を駆動します。メモリはシリアル出力 (SO) 信号を駆動しません。

予期される次のインターフェース状態は、命令によって異なります。いくつかの命令は、追加のシングル入力サイクルを使用して、メモリにアドレスまたはデータを送信し続けます。他の命令はシングル レイテンシ状態に遷移するか、またはシングル、デュアル、クアドの出力サイクル状態に直接遷移します。

4.3.9 シングル レイテンシ (ダミー) サイクル

読み出しコマンドは、0 ～数レイテンシ サイクルがあります。それらのサイクルの間、読み出しデータはメイン フラッシュ メモリ アレイから読み出されてから、ホストに転送されます。レイテンシ サイクル数は、コンフィギュレーション レジスタ内のレイテンシ コード (CR3V[3:0]) によって決まります。レイテンシ サイクル中に、ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持し、SCK はトグルします。書き込み保護 (WP#) 信号は無視されます。ホストは、これらのサイクル中に SI 信号を駆動するか、または SI を開放のままにします。メモリは、レイテンシ サイクル中に SI またはその他の I/O 信号上で駆動されるデータを使用しません。レイテンシ サイクル中にメモリはシリアル出力 (SI) または I/O 信号を駆動しません。

次のインターフェース状態はコマンドの構造 (すなわち、レイテンシ サイクル数と、読み出しがシングル、デュアル、またはクアド幅であるか) によって異なります。

4.3.10 シングル出力サイクル – メモリからホストへの転送

いくつかのコマンドは、シングル シリアル出力 (SO) 信号上でホストに情報を送り返します。ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持します。書き込み保護 (WP#) 信号は無視されます。メモリはシリアル入力 (SI) 信号を無視します。メモリはデータを SO に駆動します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態はシングル出力サイクルのままです。

4.3.11 デュアル入力サイクル – ホストからメモリへの転送

デュアル I/O 読み出しコマンドは、各サイクルで 2 つのアドレスまたはモード ビットをメモリに転送します。ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持します。書き込み保護 (WP#) 信号は無視されます。ホストは、SI / IO0 および SO / IO1 の上でアドレスを駆動します。

アドレスおよびモード ビットの送信後の次のインターフェース状態は、レイテンシ サイクルが必要であればデュアル レイテンシ サイクルであり、レイテンシが必要でなければデュアル出力サイクルです。

4.3.12 デュアル レイテンシ (ダミー) サイクル

読み出しコマンドは、0 ～数レイテンシ サイクルがあります。それらのサイクルの間、読み出しデータはメイン フラッシュ メモリ アレイから読み出されてから、ホストに転送されます。レイテンシ サイクル数は、コンフィギュレーション レジスタ (CR3V[3:0]) 内のレイテンシ コードによって決まります。レイテンシ サイクル中に、ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持し、SCK はトグルし続けます。書き込み保護 (WP#) 信号は無視されます。ホストは、これらのサイクル中に SI / IO0 および SO / IO1 信号を駆動するか、または SI / IO0 および SO / IO1 を開放のままにします。メモリは、レイテンシ サイクル中に SI / IO0 および SO / IO1 上で駆動されるいかなるデータも使用しません。ホストは、最後のレイテンシ サイクルの終了時に SCK の立ち下がりエッジで SI / IO0 および SO / IO1 の駆動を停止する必要があります。メモリがレイテンシ サイクルが終了後駆動を開始する前に、ホスト ドライバーがオフになるのに十分な時間を持つように、ホストがすべてのレイテンシ サイクルでそれらの信号の駆動を停止することが推奨されます。そうすることにより、信号方向が変わるときのホストとメモリとのドライバー衝突を防ぎます。メモリは、レイテンシ サイクル中に SI / IO0 および SO / IO1 信号を駆動しません。

最後のレイテンシ サイクルの後に続く次のインターフェース状態はデュアル出力サイクルです。

4.3.13 デュアル出力サイクル – メモリからホストへの転送

デュアル出力読み出しとデュアル I/O 読み出しは、各サイクルごとに 2 データ ビットをホストに戻します。ホストは、RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持します。書き込み保護 (WP#) 信号は無視されます。デュアル出力サイクル中に、メモリは SCK の立ち下がりエッジで SI / IO0 および SO / IO1 信号上でデータを駆動します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態はデュアル出力サイクルのままです。

4.3.14 QPP または QOR アドレス入力サイクル

クアッド ページ プログラムおよびクアッド出力読み出しコマンドは IO0 上でのみ、メモリにアドレスを送信します。他の IO 信号は無視されます。ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持し、IO0 を駆動します。

QPP の場合、アドレス送信後の次のインターフェース状態はクアッド入力サイクルです。QOR の場合、アドレス送信後の次のインターフェース状態は、レイテンシ サイクルが必要であればクアッド レイテンシ サイクルであり、レイテンシが必要でなければクアッド出力サイクルです。

4.3.15 クアッド入力サイクル – ホストからメモリへの転送

クアッド I/O 読み出しコマンドは、各サイクルで 4 つのアドレスまたはモード ビットをメモリに転送します。QPI モードでは、クアッド I/O 読み出しとページ プログラム コマンドは、命令サイクルを含む各サイクルでメモリに 4 データ ビットを転送します。ホストは CS# を LOW に維持し、IO 信号を駆動します。

クアッド I/O 読み出しの場合、アドレスおよびモード ビットの送信後の次のインターフェース状態は、レイテンシ サイクルが必要であればクアッド レイテンシ サイクルであり、レイテンシが必要でなければクアッド出力サイクルです。QPI モード ページ プログラムの場合、ホストはプログラムされるデータの送信後に CS# を HIGH に戻し、インターフェースはスタンバイ状態に戻ります。

4.3.16 クアッド レイテンシ (ダミー) サイクル

読み出しコマンドは、0 ～数レイテンシ サイクルがあります。それらのサイクルの間、読み出しデータはメイン フラッシュ メモリ アレイから読み出されてからホストに転送されます。レイテンシ サイクル数は、コンフィギュレーション レジスタ (CR3V[3:0]) 内のレイテンシ コードによって決まります。レイテンシ サイクル中に、ホストは CS# を LOW に維持し、SCK をトグルし続けます。ホストはこれらのサイクル中に IO 信号を駆動するか、または IO を開放のままにします。メモリはレイテンシ サイクル中に IO 上で駆動されるいかなるデータも使用しません。ホストは最後のレイテンシ サイクルの終了時に立ち下がりエッジでの IO 信号の駆動を停止する必要があります。メモリがレイテンシ サイクルの終了時に駆動を開始する前に、ホスト ドライバーにオフになるのに十分な時間を持たせるために、ホストがすべてのレイテンシ サイクルでそれらの信号の駆動を停止することが推奨されます。そうすることにより、信号方向が変わるときのホストとメモリとのドライバー衝突を防ぎます。レイテンシ サイクル中にメモリは IO 信号を駆動しません。

最後のレイテンシ サイクルの次のインターフェース状態はクアッド出力サイクルです。

4.3.17 クアッド出力サイクル – メモリからホストへの転送

クアッド出力とクアッド I/O 読み出しは、各サイクルごとに 4 データ ビットをホストに戻します。ホストは CS# を LOW に維持します。メモリはクアッド出力サイクル中に IO0 ～ IO3 信号上でデータを駆動します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態はクアッド出力サイクルのままです。

4.3.18 DDR クアッド入力サイクル – ホストからメモリへの転送

DDR クアッド I/O 読み出しコマンドは、すべての IO 信号上でアドレスおよびモード ビットをメモリに送信します。各サイクルで 4 ビットは SCK の立ち上がりエッジで、4 ビットは立ち下がりエッジで転送されます。ホストは CS# を LOW に維持します。

アドレスとモード ビットの送信後の次のインターフェース状態は DDR レイテンシ サイクルです。

4.3.19 DDR レイテンシ サイクル

DDR 読み出しコマンドは、1 ～数レイテンシ サイクルがあります。それらのサイクルの間、読み出しデータはメイン フラッシュ メモリ アレイから読み出されてからホストに転送されます。レイテンシ サイクル数は、コンフィギュレーション レジスタ内のレイテンシ コード (CR2V[3:0]) によって決まります。レイテンシ サイクル中に、ホストは CS# を LOW に維持します。これらのサイクル中にホストは IO 信号を駆動しません。よって、メモリが駆動を開始する前に、ホスト ドライバーはオフになるのに十分な時間があります。そうすることにより、信号方向が変わるときのホストとメモリとのドライバー衝突を防ぎます。メモリは最後の 4 レイテンシ サイクル中にデータ ラーニング パターン (DLP) を使ってすべての IO 信号を駆動するオプションがあります。5 レイテンシ サイクル未満の場合、DLP オプションを有効にすることはできません。その理由は、メモリが DLP の駆動を開始する前に IO 信号のターン アラウンドのために高インピーダンスのサイクルが少なくとも 1 つあるようにするためです。4 サイクルより多くのレイテンシがある場合、メモリはレイテンシの最後の 4 サイクルまで IO 信号を駆動しません。

最後のレイテンシ サイクルの後に続く次のインターフェース状態は命令に応じて DDR シングルまたはクアッド出力サイクルです。

4.3.20 DDR クアッド出力サイクル – メモリからホストへの転送

DDR クアッド I/O 読み出しコマンドはすべての IO 信号上でビットをホストに戻します。各サイクルで 4 ビットは SCK の立ち上がりエッジで、4 ビットは立ち下がりエッジで転送されます。ホストは CS# を LOW に維持します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態は DDR クアッド出力サイクルのままです。

4.4 コンフィギュレーションレジスタのインターフェースへの影響

揮発性コンフィギュレーションレジスタ2のビット3～0 (CR2V[3:0]) は、読み出し、RUID および SDFP 読み出し (RSFDP) コマンドを除き、すべてのアレイ読み出しコマンドの可変のレイテンシを選択します。読み出しコマンドは常にレイテンシサイクルがありません。RSFDP コマンドは常に8レイテンシサイクルがあります。可変のレイテンシはOTPR、ECCRD および RDAR コマンドにも使用されます。

コンフィギュレーションレジスタのビット1 (CR1V[1]) は、クアッドモードを有効にして WP# を IO2 機能に切り替え、RESET# を IO3 機能に切り替えることでクアッド I/O 読み出しおよび QPI モードのコマンドを有効にするかどうかを選択します。DDR クアッド I/O 読み出しコマンドを有効にするためにクアッドモードを選択する必要もあります。

4.5 データ保護

保存されたデータへの意図的でない変更に対するいくつかの基本的な保護は単にハードウェアデザインで提供かつ制御されます。それらは以下で説明されます。ソフトウェアで制御する他の保護方法は本書のソフトウェアの節で説明されます。

4.5.1 電源投入

コア電源電圧が $V_{CC(Low)}$ 電圧以下の場合、デバイスは電源切断と見なされます。デバイスは外部信号に反応せず、あらゆるプログラムまたは消去動作を実行できないようにされます。デバイスがパワーオンリセット (POR) からインターフェーススタンバイモードに戻るまではすべてのコマンドが受け入れられないため、プログラムおよび消去動作は POR 中に許可されないままです。

4.5.2 低電源電圧

V_{CC} が $V_{CC(Cut-off)}$ を下回った場合、コア電源電圧が動作範囲外にあるときにプログラムおよび消去動作が開始できないようにするために、メモリデバイスはコマンドを無視します。

4.5.3 クロックパルスカウント

デバイスは、コマンドを実行する前に、すべての不揮発性メモリとレジスタデータ変更のコマンドが、8ビット転送の倍数 (バイト境界) であるクロックパルスカウントを含むことを確認します。8ビット (バイト) 境界で終わらないコマンドは無視され、そのコマンドに対してエラー状態がセットされません。

4.5.4 ディープパワーダウン (DPD)

DPD モードでは、デバイスは DPD 終了コマンド (RES ABh) のみに応答します。他のコマンドは、DPD モードの間は無視されます。それによって、メモリはプログラムおよび消去動作から保護されます。IO3_RESET# 機能が有効になったとき (CR2V[7] = 1)、または RESET# がアクティブになったとき、IO3_RESET# または RESET# が LOW になると、ハードウェアリセットが開始され、デバイスを DPD モードから解放します。

5. 電氣的仕様

5.1 絶対最大定格

プラスチック パッケージの保管温度	-65°C ~ +150°C
通電時の周囲温度	-65°C ~ +125°C
V _{CC}	-0.5V ~ +2.5V
グラウンド (VSS) を基準にした入力電圧 (注 1)	-0.5V ~ V _{CC} + 0.5V
出力短絡電流 (注 2)	100mA

- 注:
9. 信号遷移時に許可された最大値については 23 ページの入力信号オーバーシュートを参照してください。
 10. 複数の出力を同時にグラウンドに短絡することはできません。短絡時間は 1 秒を超えてはなりません。
 11. デバイスは、「絶対最大定格」表に記載されている動作範囲を超えて動作させると、回復不能な損傷を受ける場合があります。ただし、これはストレスのみに対する定格です。上記の条件あるいは本データシートの動作説明の各節に記載されている条件を超える条件におけるデバイスの機能動作は保証されません。長時間にわたってデバイスを絶対最大定格条件に放置すると、デバイスの信頼性に影響を与えます。

5.2 ラッチアップ仕様

表 4. ラッチアップ仕様

説明	Min	Max	単位
すべての入力接続での、V _{SS} を基準とした入力電圧	-1.0	V _{CC} +1.0	V
すべての入出力接続での、V _{SS} を基準とした入力電圧	-1.0	V _{CC} +1.0	V
V _{CC} 電流	-100	+100	mA

- 注:
12. 電源電圧 V_{CC} を除外します。テスト条件: V_{CC} = 1.8V、一度に 1 つの接続をテストし、テストされていないピンは V_{SS} です。

5.3 熱抵抗

表 5. 熱抵抗

パラメーター	説明	W9A008	SOC008	FAB024	単位
Theta JA	熱抵抗 (接合部から周囲)	85.8	53.27	38.93	°C/W

5.4 動作範囲

動作範囲は、デバイスの正常な機能が保証される範囲を定めたものです。

5.4.1 電源電圧

V _{CC}	1.7V ~ 2.0V
-----------------	-------------

5.4.2 温度範囲

パラメーター	記号	デバイス	仕様		単位
			Min	Max	
周囲温度	T _A	産業用 (I)	-40	+85	°C
		産業用プラス (V)	-40	+105	
		拡張温度範囲 (N)	-40	+125	
		車載向け、AEC-Q100 グレード 3 (A)	-40	+85	
		車載向け、AEC-Q100 グレード 2 (B)	-40	+105	
		車載向け、AEC-Q100 グレード 1 (M)	-40	+125	

産業用プラス温度範囲のデバイスの動作と性能パラメーターは、デバイス特性評価で決まり、本仕様を示すに標準産業用デバイスとは異なることがあります。

5.4.3 入力信号オーバーシュート

DC 条件において、入力または I/O 信号は V_{SS} と V_{CC} の電圧範囲内にいることが必要です。電圧変動中、入力または I/O は最大 20ns の間、 $V_{SS} - 1.0V$ または $V_{CC} + 1.0V$ にオーバーシュートする可能性があります。

図 18. 最大負オーバーシュート波形

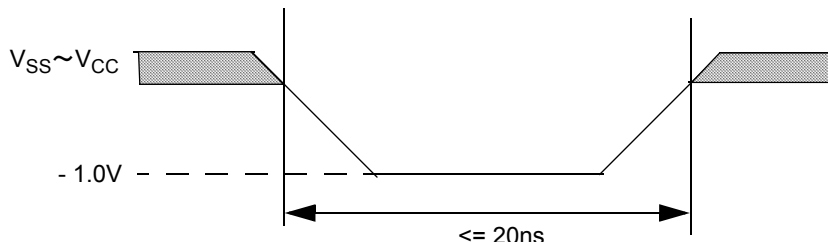
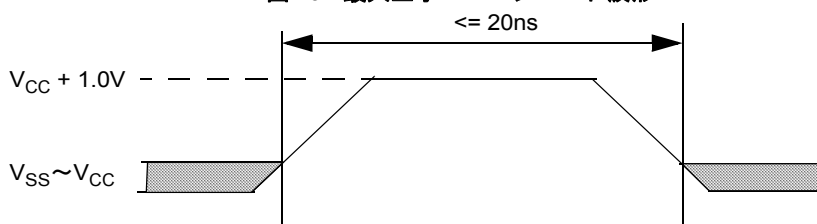


図 19. 最大正オーバーシュート波形



5.5 電源投入および電源切断

電源投入および電源切断時に、以下のように V_{CC} が正しい値に達するまでデバイスを選択してはいけません (すなわち、CS# は V_{CC} に印加する電圧に応じる必要があります)。

■ 電源投入後、 t_{PU} の遅延時間が経過した後に $V_{CC} (Min)$

■ 電源切断時に V_{SS}

チップ セレクト (CS#) を接続する簡単なプルアップ抵抗を使用すると、安全かつ適切な電源投入と電源切断を保証できます。

デバイスは、 V_{CC} が最小 V_{CC} 閾値を超えてから t_{PU} の遅延時間が経過するまで、すべての命令を無視します。図 20 を参照してください。ただし、 t_{PU} 中に V_{CC} が $V_{CC} (Min)$ を下回った場合、デバイスの正常な動作は保証されません。 t_{PU} の終了まで、コマンドをデバイスに送信しないようにしてください。

デバイスは t_{PU} 中に I_{POR} を消費します。電源投入 (t_{PU}) の後、デバイスはスタンバイ モードにあり、CMOS スタンバイ電流 (I_{SB}) を消費し、WEL ビットがリセットされます。

電源切断中または電圧が $V_{CC} (Cut-off)$ を下回っている間、電圧は t_{PD} 時間の間 $V_{CC} (Low)$ を下回る必要があります。これにより、デバイスは電源投入時に正常に初期化できます。図 21 を参照してください。電圧低下中に、 V_{CC} が $V_{CC} (Cut-off)$ を上回ったままの場合は、デバイスは初期化状態のままとなり、 V_{CC} が再度 $V_{CC} (Min)$ を上回ったとき、正常に動作します。電源投入後にパワーオン リセット (POR) が正常に完了しない場合、RESET# のアサートまたはソフトウェア リセット コマンド (RESET) を受信することにより、POR プロセスが再起動されます。

デバイスで V_{CC} の電源を安定させるための電源レールのデカップリングには、通常の用心を払ってください。システム内の各のデバイスには、パッケージ電源接続に近接する適切なコンデンサ (通常、約 0.1μf) によりデカップリングされた V_{CC} レールが必要です。

表 6. 電源投入／電源切断電圧とタイミング

記号	パラメーター	Min	Max	単位
$V_{CC} (min)$	V_{CC} (最小の動作電圧)	1.7		V
$V_{CC} (カットオフ)$	V_{CC} (再初期化が必要となるカットオフ電圧)	1.55		V
$V_{CC} (low)$	V_{CC} (初期化が起こる低電圧)	0.7		V
t_{PU}	$V_{CC} (min)$ から読み出し動作までの時間		300	μs
t_{PD}	$V_{CC} (low)$ 時間	10.0		μs

図 20. 電源投入

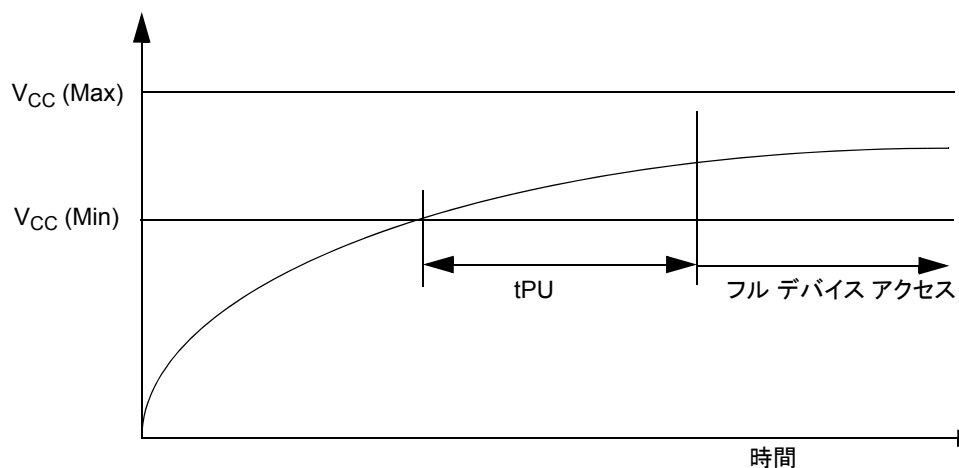
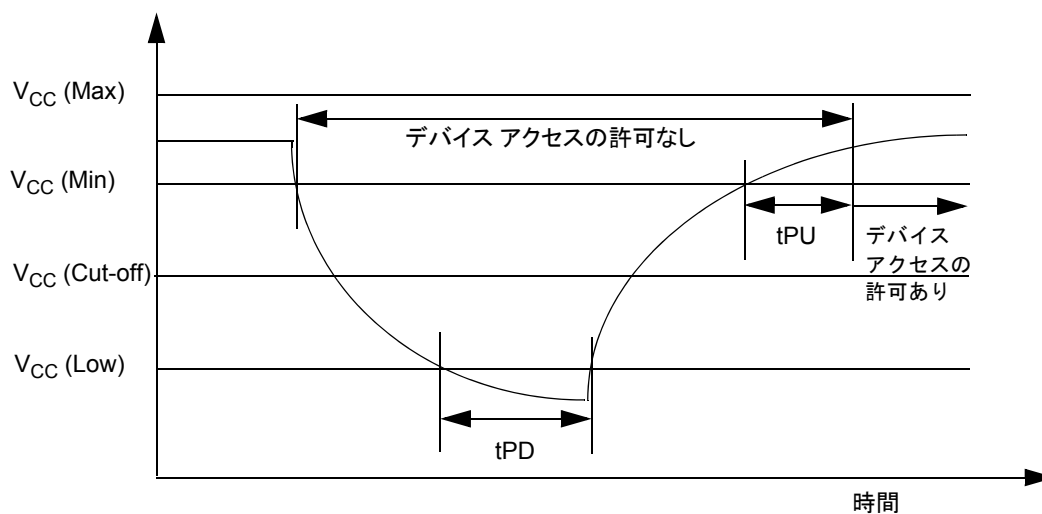


図 21. 電源切断と電圧低下



5.6 DC 特性

5.6.1 産業用

-40°C ~ +85°C の動作範囲内で適用可能です。

表 7. DC 特性 - 産業用

記号	パラメーター	テスト条件	Min	Typ (13)	Max	単位
V_{IL}	入力 LOW 電圧		-0.5		$0.3 \times V_{CC}$	V
V_{IH}	入力 HIGH 電圧		$0.7 \times V_{CC}$		$V_{CC} + 0.4$	V
V_{OL}	出力 LOW 電圧	$I_{OL} = 0.1\text{mA}$			0.2	V
V_{OH}	出力 HIGH 電圧	$I_{OH} = -0.1\text{mA}$	$V_{CC} - 0.2$			V
I_{LI}	入力リーク電流	$V_{CC} = V_{CC \text{ Max}}, V_{IN} = V_{IH}$ または $V_{SS}, CS\# = V_{IH}$			± 2	μA
I_{LO}	出力リーク電流	$V_{CC} = V_{CC \text{ Max}}, V_{IN} = V_{IH}$ または $V_{SS}, CS\# = V_{IH}$			± 2	μA
I_{CC1}	アクティブ供給電流 (READ) (14)	50MHz でのシリアル SDR 133MHz でのシリアル SDR 133MHz での QIO / QPI SDR 80MHz での QIO / QPI DDR		10 25 60 70	18 30 65 90	mA
I_{CC2}	アクティブ供給電流 (ページプログラム)	$CS\# = V_{CC}$		60	100	mA
I_{CC3}	アクティブ供給電流 (WRR または WRAR)	$CS\# = V_{CC}$		60	100	mA
I_{CC4}	アクティブ供給電流 (SE)	$CS\# = V_{CC}$		60	100	mA
I_{CC5}	アクティブ供給電流 (BE)	$CS\# = V_{CC}$		60	100	mA
I_{SB}	スタンバイ電流	IO3 / RESET#, $CS\# = V_{CC}$; SI, SCK = V_{CC} または V_{SS} 、産業用温度範囲		25	100	μA
I_{DPD}	ディープ パワー ダウン電流	IO3 / RESET#, $CS\# = V_{CC}$; SI, SCK = V_{CC} または V_{SS} 、産業用温度範囲		6	50	μA
I_{POR}	パワー オン リセット電流	IO3 / RESET#, $CS\# = V_{CC}$; SI, SCK = V_{CC} または V_{SS}			80	mA

注:

13. Typ 値は $T_{AI} = 25^\circ\text{C}$ および $V_{CC} = 1.8\text{V}$ のときです。

14. 読み出しデータの返しの間、出力は未接続です。出力スイッチング電流が含まれていません。

5.6.2 産業用プラス

-40°C ~ +105°C の動作範囲内で適用可能です。

表 8. DC 特性 - 産業用プラス

記号	パラメーター	テスト条件	Min	Typ (13)	Max	単位
V_{IL}	入力 LOW 電圧		-0.5		$0.3 \times V_{CC}$	V
V_{IH}	入力 HIGH 電圧		$0.7 \times V_{CC}$		$V_{CC} + 0.4$	V
V_{OL}	出力 LOW 電圧	$I_{OL} = 0.1\text{mA}$			0.2	V
V_{OH}	出力 HIGH 電圧	$I_{OH} = -0.1\text{mA}$	$V_{CC} - 0.2$			V
I_{LI}	入力リーク電流	$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH}$ または $V_{SS}, CS\# = V_{IH}$			± 4	μA
I_{LO}	出力リーク電流	$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH}$ または $V_{SS}, CS\# = V_{IH}$			± 4	μA
I_{CC1}	アクティブ供給電流 (READ)	50MHz でのシリアル SDR 133MHz でのシリアル SDR 133MHz での QIO / QPI SDR 80MHz での QIO / QPI DDR		10 25 60 70	18 30 65 90	mA
I_{CC2}	アクティブ供給電流 (ページ プログラム)	$CS\# = V_{CC}$		60	100	mA
I_{CC3}	アクティブ供給電流 (WRR または WRAR)	$CS\# = V_{CC}$		60	100	mA
I_{CC4}	アクティブ供給電流 (SE)	$CS\# = V_{CC}$		60	100	mA
I_{CC5}	アクティブ供給電流 (BE)	$CS\# = V_{CC}$		60	100	mA
I_{SB}	スタンバイ電流	$IO3 / \text{RESET}\#, CS\# = V_{CC}; SI, SCK = V_{CC}$ または V_{SS}		25	300	μA
I_{DPD}	ディープ パワー ダウン電流	$IO3 / \text{RESET}\#, CS\# = V_{CC}; SI, SCK = V_{CC}$ または V_{SS}		6	100	μA
I_{POR}	パワー オン リセット電流	$IO3 / \text{RESET}\#, CS\# = V_{CC}; SI, SCK = V_{CC}$ または V_{SS}			80	mA

注:

15. Typ 値は $T_{AI} = 25^\circ\text{C}$ および $V_{CC} = 1.8\text{V}$ のときです。

16. 読み出しデータ返しの間、出力は未接続です。出力スイッチング電流が含まれていません。

5.6.3 拡張温度範囲

-40°C ~ +125°C の動作範囲内で適用可能です。

表 9. DC 特性 - 拡張温度範囲

記号	パラメーター	テスト条件	Min	Typ (13)	Max	単位
V_{IL}	入力 LOW 電圧		-0.5		$0.3 \times V_{CC}$	V
V_{IH}	入力 HIGH 電圧		$0.7 \times V_{CC}$		$V_{CC} + 0.4$	V
V_{OL}	出力 LOW 電圧	$I_{OL} = 0.1\text{mA}$			0.2	V
V_{OH}	出力 HIGH 電圧	$I_{OH} = -0.1\text{mA}$	$V_{CC} - 0.2$			V
I_{LI}	入力リーク電流	$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH} \text{ または } V_{SS}, CS\# = V_{IH}$			± 4	μA
I_{LO}	出力リーク電流	$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH} \text{ または } V_{SS}, CS\# = V_{IH}$			± 4	μA
I_{CC1}	アクティブ供給電流 (READ)	50MHz でのシリアル SDR 133MHz でのシリアル SDR 133MHz での QIO / QPI SDR 80MHz での QIO / QPI DDR		10 25 60 70	18 30 65 90	mA
I_{CC2}	アクティブ供給電流 (ページ プログラム)	$CS\# = V_{CC}$		60	100	mA
I_{CC3}	アクティブ供給電流 (WRR または WRAR)	$CS\# = V_{CC}$		60	100	mA
I_{CC4}	アクティブ供給電流 (SE)	$CS\# = V_{CC}$		60	100	mA
I_{CC5}	アクティブ供給電流 (BE)	$CS\# = V_{CC}$		60	100	mA
I_{SB}	スタンバイ電流	$IO3 / \text{RESET}\#, CS\# = V_{CC}; SI, SCK = V_{CC}$ または V_{SS}			300	μA
I_{DPD}	ディープ パワー ダウン電流	$IO3 / \text{RESET}\#, CS\# = V_{CC}; SI, SCK = V_{CC}$ または V_{SS}		6	170	μA
I_{POR}	パワー オン リセット電流	$IO3 / \text{RESET}\#, CS\# = V_{CC}; SI, SCK = V_{CC}$ または V_{SS}			80	mA

注:

17. Typ 値は $T_{AI} = 25^\circ\text{C}$ および $V_{CC} = 1.8\text{V}$ のときです。

18. 読み出しデータ返しの間、出力は未接続です。出力スイッチング電流が含まれていません。

5.6.4 アクティブ電力モードおよびスタンバイ電力モード

チップ セレクト (CS#) が LOW のとき、デバイスは有効になっており、アクティブ電力モードになります。CS# が HIGH のとき、デバイスは無効になっていますが、すべてのプログラム、消去および書き込み動作が完了するまではアクティブ電力モードのままです。その後、デバイスはスタンバイ電力モードに移行し、消費電力は I_{SB} に低下します。

5.6.5 ディープ パワー ダウン電力モード (DPD)

コマンド 命令コード「B9h」を入力することでディープ パワー ダウン電力モードは有効になり、電力消費量は I_{DPD} に低下します。DPD コマンドは、デバイスが組み込みアルゴリズムを実行していない (要するに揮発性ステータス レジスタ 1 の書き込み中 (WIP) ビットが 0 にクリアされる (SR1V[0] = 0)) ときのみ受け入れられます。DPD モードでは、デバイスは DPD 終了コマンド (RES ABh) とハードウェア リセット (RESET# および IO3_RESET#) のみに応答します。他のコマンドは DPD モードの間無視されます。

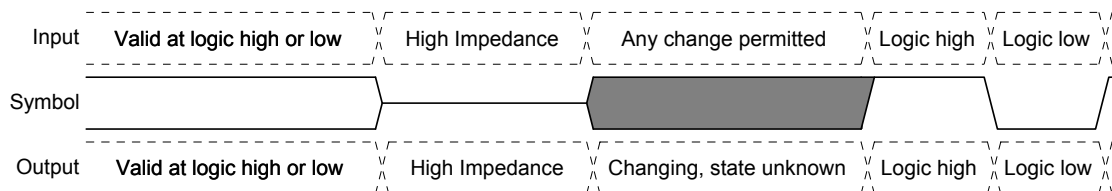
表 10. 有効な DPD モード開始/終了シーケンス

現在のモード	CS#	SCK	コマンド	次のモード	備考
アクティブ	LOW から HIGH	該当なし	該当なし	スタンバイ	
スタンバイ	HIGH から LOW	トグル	B9h DPD 開始	DPD	CS# が HIGH になってから tDPD 期間が経過した後、DPD モードが開始します (33 ページの表 14 を参照してください)。
DPD	HIGH から LOW	トグルなし	該当なし	DPD	SCK がトグルし、コマンドが ABh でない場合、デバイスは DPD のままにあります。
		トグル	ABh 以外のコマンド		
DPD	HIGH から LOW	トグル	ABh DPD 終了	スタンバイ	CS# が HIGH になってから tRES 期間が経過した後、DPD モードが終了します (33 ページの表 14 を参照してください)。CS# が HIGH になって DPD 終了を開始した後、SCK がトグルしていないときに CS# が遷移するとシーケンスが無効になります。

6. タイミング仕様

6.1 スイッチング波形の要素

図 22. 波形要素の意味



6.2 AC テスト条件

図 23. テスト セットアップ

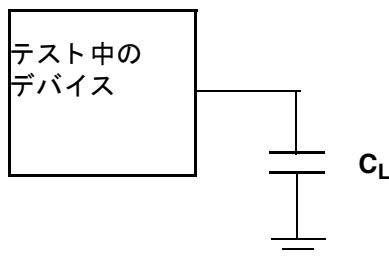
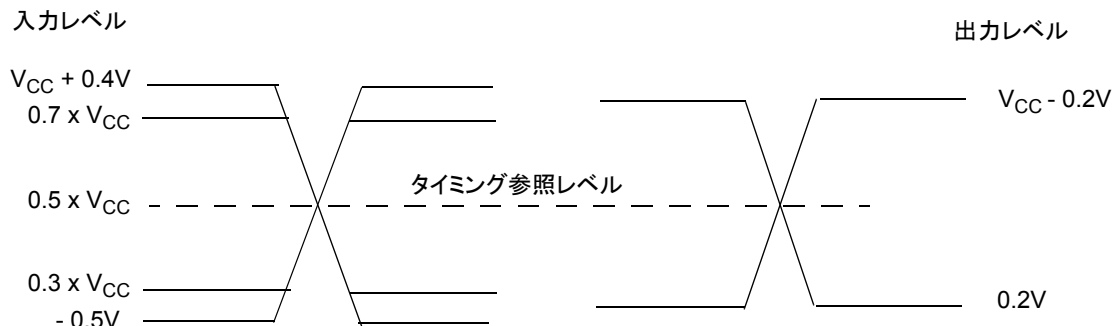


表 11. AC 測定条件

記号	パラメーター	Min	Max	単位
C_L	負荷静電容量		30	pF
	入力パルス電圧	$0.2 \times V_{CC}$	$0.8 V_{CC}$	V
	入力スルー レート	0.23	1.25	V/ns
	入力立ち上がり／立ち下がり時間	0.9	5	ns
	入力タイミング参照電圧	$0.5 V_{CC}$		V
	出力タイミング参照電圧	$0.5 V_{CC}$		V

- 注:
19. 入力スルー レートは V_{CC} Max での、入力パルスの Min と Max の差で測定されます。例えば、 $(1.9V \times 0.8) - (1.9V \times 0.2) = 1.14V$; $1.14V/1.25V/ns = 0.9ns$ の立ち上がりまたは立ち下がり時間です。
20. AC 特性表ではクロックおよびデータ信号が同じスルー レート (スロープ) を持っていることを想定しています。

図 24. 入力、出力、およびタイミング参照レベル



6.2.1 静電容量特性

表 12. 静電容量

	パラメーター	テスト条件	パッケージ	Min	Max	単位
C_{IN}	入力静電容量 (SCK、CS#、IO3 / RESET# に適用)	1MHz	SOIC		12.5	pF
			LGA、BGA		8	
C_{OUT}	出力静電容量 (全 I/O に適用)	1MHz	SOIC		12	pF
			LGA、BGA		8	

6.3 リセット

6.3.1 パワーオン (コールド) リセット

デバイスは、 V_{CC} が最小 V_{CC} 閾値を超えてから t_{PU} の遅延時間が経過するまで、パワーオン リセット (POR) プロセスを実行します。24 ページの図 20 および 23 ページの表 6 を参照してください。電源投入 (t_{PU}) 中にデバイスは選択してはいけません (CS# が V_{CC} の上がりとともに HIGH になります)。すなわち、 t_{PU} の終わりまでデバイスに送られるコマンドはありません。

RESET# と IO3_RESET# は POR 中に無視されますが、HIGH または LOW でなければなりません。RESET# または IO3_RESET# が POR 中に LOW であり、 t_{PU} 時間中およびこの時間が経過した後も LOW のままであれば、RESET# と IO3_RESET# が HIGH に戻った後の t_{RH} まで CS# を HIGH に維持する必要があります。LOW に戻ってハードウェア リセットを開始する前に、RESET# と IO3_RESET# は、 t_{RS} より長い時間 HIGH に戻る必要があります。

IO3_RESET# 入力は、クアッドまたは QPI モードが有効でない ($CR1V[1] = 0$ または $CR2V[6] = 0$) 場合、および CS# が t_{CS} 値より長い時間 HIGH である場合、単に RESET# 信号として機能します。

図 25. POR 終了時に RESET# LOW

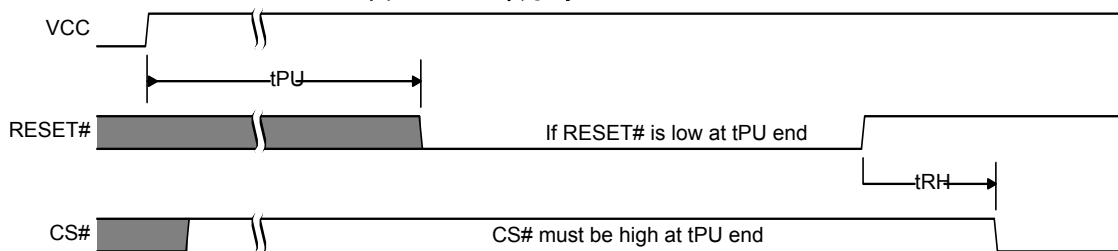


図 26. POR 終了時に RESET# HIGH

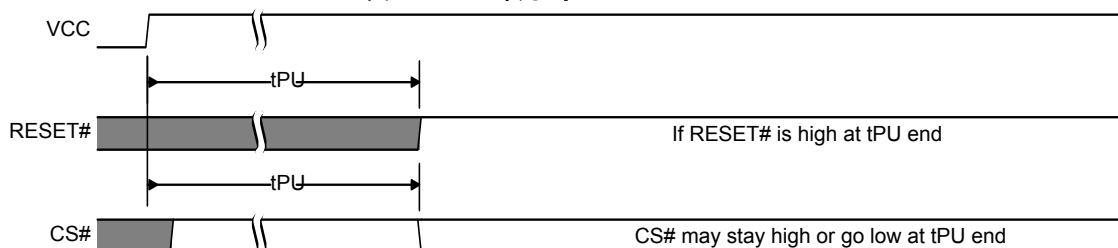
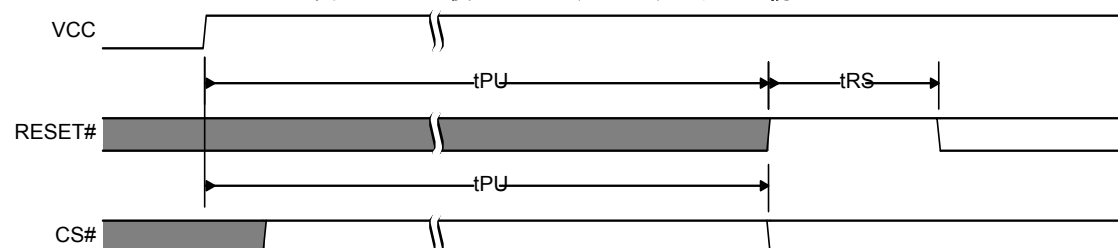


図 27. POR 後にハードウェア リセットが続く



6.3.2 RESET# および IO3_RESET# 入力により開始されるハードウェア (ウォーム) リセット

RESET# および IO3_RESET# 入力は RESET# 信号として機能できます。双方の入力は条件下でリセット動作を開始できます。

V_{IH} から V_{IL} へ遷移する時間が t_{RP} より長い場合、RESET# 入力はリセット動作を開始し、デバイスはパワーオン リセット (POR) と同じ方法でレジスタの状態をリセットしますが、POR 中に行われる完全なリセット プロセスを実行しません。ハードウェア リセット プロセスは完了するのに t_{RPH} を要します。RESET# 入力は BGA ボール パッケージのみで使用可能です。

IO3_RESET# 入力は、CS# が t_{CS} より長い時間 HIGH である場合、またはクアッドまたは QPI モードが有効でない ($CR1V[1] = 0$ または $CR2V[6] = 0$) 場合、リセット動作を開始します。IO3_RESET# 入力は V_{CC} に接続する内部プルアップ抵抗を備えており、クアッドまたは QPI モードが使用されない場合は開放のままにできます。CS# が HIGH になった後の t_{CS} 遅延により、メモリまたはホスト システムは CS# が LOW の間 IO3 をクアッドまたは QPI モードの I/O 信号として使用した後、HIGH に駆動する時間を取ることができます。その後、 V_{CC} に接続する内部プルアップはホスト システムが IO3_RESET# を駆動し始めるまで IO3_RESET# を HIGH に保持します。意図しないリセット動作を回避するために、CS# が HIGH である t_{CS} 時間の間、IO3_RESET# 入力は無視されます。新しいコマンドを開始するために CS# が LOW に駆動された場合、IO3_RESET# は IO3 として使用されます。

デバイスがクアッドまたは QPI モードでない場合、または CS# が HIGH になり、かつ t_{CS} の後に IO3_RESET# が V_{IH} から V_{IL} へ遷移する時間が t_{RP} より長い場合、デバイスはパワーオン リセットと同じ方法でレジスタの状態をリセットしますが、POR 中に実施される完全なリセット プロセスは実行しません。

ハードウェア リセット プロセスは完了するのに t_{RPH} を要します。電源投入 (t_{PU}) 中にパワーオン リセット (POR) プロセスが何らかの理由で正常に完了しなかった場合、RESET# が LOW になると、ハードウェア リセット プロセスの代わりに完全な POR プロセスが開始され、POR プロセスを完了するのに t_{PU} 時間を要します。

ソフトウェア リセット コマンド (RSTEN 66h の後に RST 99h が続く) は RESET# および IO3_RESET# の状態とは無関係です。RESET# および IO3_RESET# が HIGH または未接続になり、ソフトウェア リセットの命令が発行された場合、デバイスはソフトウェア リセットを実行します。

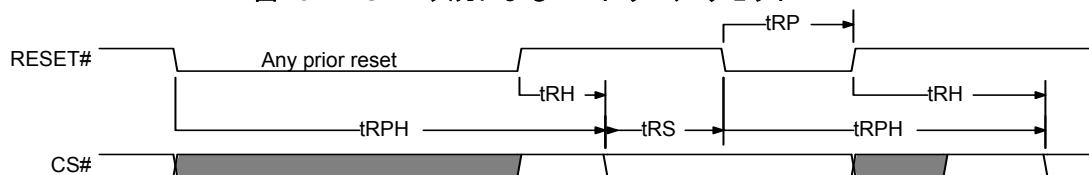
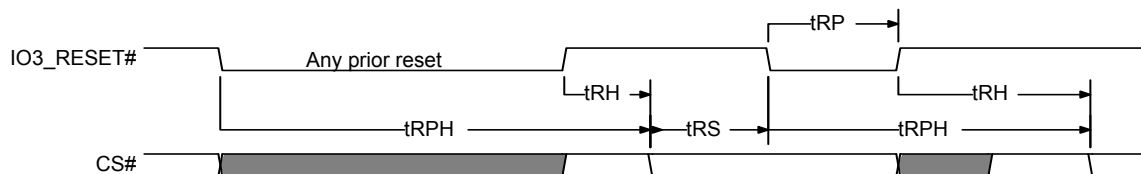
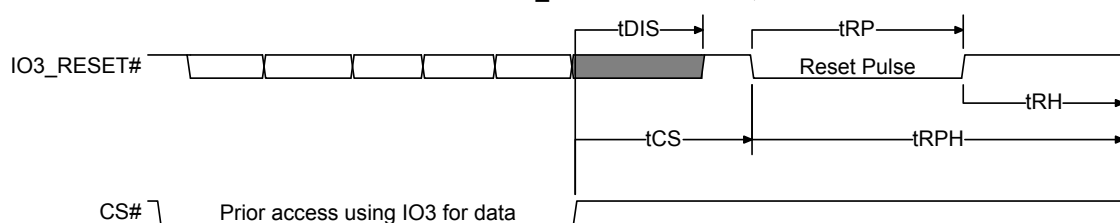
追加の IO3_RESET# の注意事項は以下のとおりです。

- RESET# と IO3_RESET# 入力の両方が使用可能な場合、お使いのシステムで1つのみのリセット オプションを使用してください。CR2NV[7] を 0 にセットして IO3 のみとして動作するよう IO3_RESET# を設定することで、IO3_RESET# 入力によるリセット動作を無効にできます (54 ページの表 32 を参照してください)。RESET# 入力を V_{IH} に接続しないことにより、RESET# 入力を無効にできます。
- RESET# または IO3_RESET# は、LOW に戻ってハードウェア リセットを開始する前に、 t_{PU} または t_{RPH} の後に t_{RS} の間 HIGH でなければなりません。
- IO3_RESET# が t_{CS} の後、少なくとも t_{RP} の間 LOW に駆動された場合、デバイスは実行中の動作をすべて終了させ、すべての出力を高インピーダンスにし、 t_{RPH} の間読み出し/書き込みコマンドをすべて無視します。デバイスはインターフェースをスタンバイ状態にリセットします。
- クアッドまたは QPI モードおよび IO3_RESET# 機能が有効な場合、IO3 上のドライバーの競合を避けるために、ホスト システムは t_{CS} の間 IO3 を LOW に駆動してはいけません。クアッドまたは QPI モードでデータをホストに転送するコマンド (クアッド I/O 読み出しなど) の直後に、意図的でないリセット動作を回避するために、メモリは t_{CS} の間 IO3_RESET# を HIGH に駆動します。クアッド モードでデータをメモリに転送するコマンド (ページ プログラムなど) の直後、意図的でないリセット動作を回避するために、ホスト システムは t_{CS} の間 IO3_RESET# を HIGH に駆動する必要があります。
- クアッド モードが有効でなく、かつ IO3_RESET# が LOW にアサートされているときに CS# が LOW の場合、CS# は t_{RH} 後に再度 LOW にアサートされる前に、 t_{RPH} の間 HIGH に戻らなければなりません。

表 13. ハードウェア リセット パラメーター

パラメーター	説明	限界	時間	単位
t_{RS}	リセット セットアップ時間: 先行のリセット終了かつ RESET# HIGH から RESET# LOW までの時間	Min	50	ns
t_{RPH}	リセット パルス ホールド時間: RESET# LOW から CS# LOW までの時間	Min	35	μ s
t_{RP}	RESET# パルス幅	Min	200	ns
t_{RH}	リセット ホールド時間: CS# LOW までの RESET# HIGH 時間	Min	50	ns

- 注:
21. 電源投入 (t_{PU}) 中は、RESET# および IO3_RESET# LOW は無視されます。 t_{PU} の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、CS# が LOW になる時点は t_{RH} によって決まります。
 22. クアッド モードが有効な場合、 t_{CS} の間 IO3_RESET# LOW は無視されます。
 23. t_{RP} と t_{RH} の和は t_{RPH} 以上でなければなりません。

図 28. RESET# 入力によるハードウェア リセット

図 29. クアッドまたは QPI モードが無効で、IO3_RESET# が有効な場合のハードウェア リセット

図 30. クアッドまたは QPI モードおよび IO3_RESET# が有効な場合のハードウェア リセット


6.4 SDR AC 特性

表 14. SDR AC 特性

記号	パラメーター	Min	Max	単位
$F_{SCK, R}$	READ および 4READ 命令用 SCK クロック周波数	DC	50	MHz
$F_{SCK, C}$	DOR、4DOR、DIOR、4DIOR、QOR、4QOR、QIOR、4QIOR のデュアルおよびクアッド コマンド用 SCK クロック周波数	DC	133	MHz
P_{SCK}	SCK クロック周期	$1/F_{SCK}$		
t_{WH}, t_{CH}	クロック HIGH 時間	$50\% P_{SCK} - 5\%$	$50\% P_{SCK} + 5\%$	ns
t_{WL}, t_{CL}	クロック LOW 時間	$50\% P_{SCK} - 5\%$	$50\% P_{SCK} + 5\%$	ns
t_{CRT}, t_{CLCH}	クロック立ち上がり時間 (スルーレート)	0.1		V/ns
t_{CFT}, t_{CHCL}	クロック立ち下がり時間 (スルーレート)	0.1		V/ns
t_{CS}	CS# HIGH 時間 (読み出し命令) CS# HIGH 時間 (リセット機能とクアッド モードの両方が有効時の読み出し命令) CS# HIGH 時間 (プログラム/消去の命令)	10 20 (28) 50		ns
t_{CSS}	CS# アクティブ セットアップ時間 (SCK を基準とする)	2		ns
t_{CSH}	CS# アクティブ ホールド時間 (SCK を基準とする)	3		ns
t_{SU}	データ入力セットアップ時間	2		ns
t_{HD}	データ入力ホールド時間	3		ns
t_V	クロック LOW から出力有効までの時間		8 (25) 6 (26) 6.5 (26)(29)	ns
t_{HO}	出力ホールド時間	1		ns
t_{DIS}	出力無効時間 (27) 出力無効時間 (リセット機能とクアッド モードの両方が有効)		8 20 (28)	ns
t_{WPS}	WP# セットアップ時間 (24)	20		ns
t_{WPH}	WP# ホールド時間 (24)	100		ns
t_{DPD}	CS# HIGH からパワー ダウン モードまでの時間		3	μs
t_{RES}	CS# HIGH からスタンバイ モードまでの時間 (電子署名読み出しなし)		30	μs

注：

24.SRWD を 1 にセットした場合、WRR または WRAR 命令の制約としてのみ適用可能です。

25. V_{CC} 範囲全体、CL = 30pF。

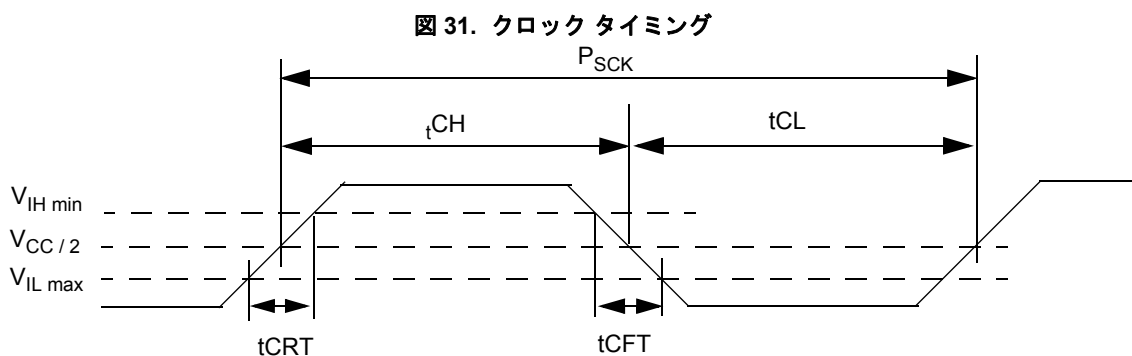
26. V_{CC} 範囲全体、CL = 15pF。

27.出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。

28.リセット機能およびクアッド モードが有効になった場合 (CR2V[5] = 1、CR1V[1] = 1)、 t_{CS} と t_{DIS} は追加の時間を必要とします。

29.SOIC パッケージ。

6.4.1 クロック タイミング



6.4.2 入力/出力タイミング

図 32. SPI シングル ビットの入力タイミング

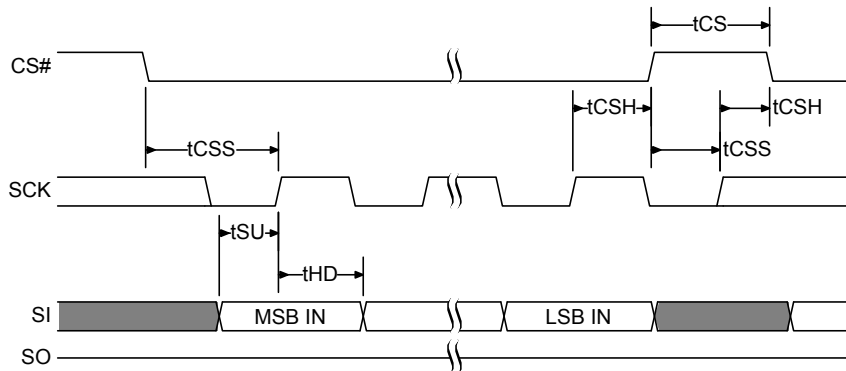


図 33. SPI シングル ビットの出力タイミング

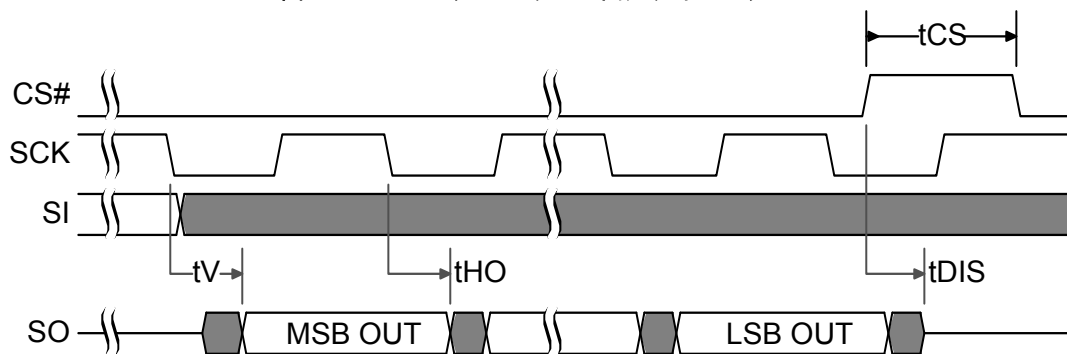


図 34. SDR MIO タイミング

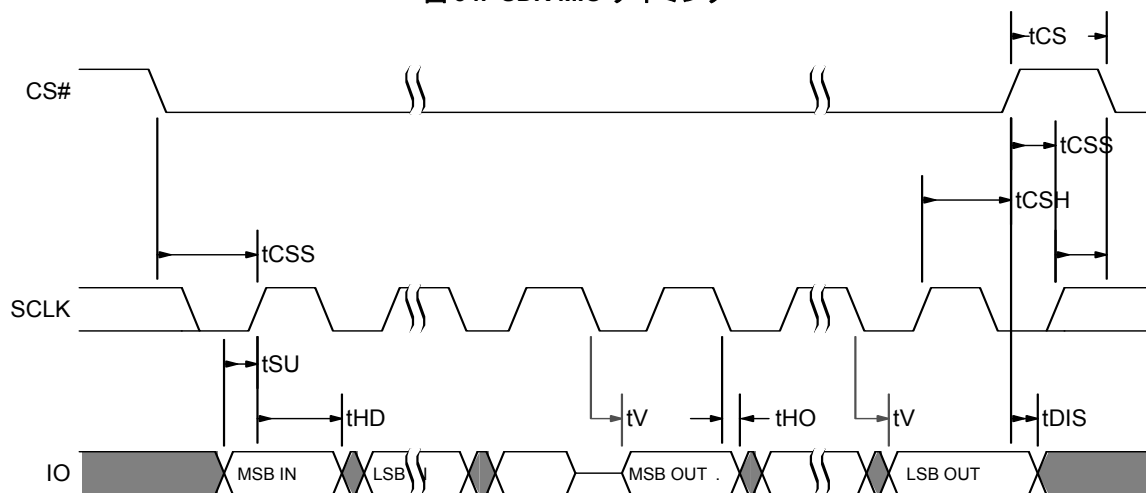
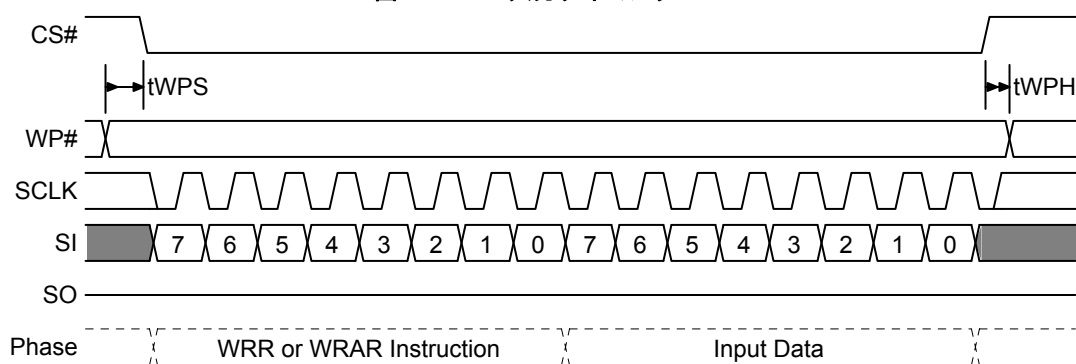


図 35. WP# 入力タイミング



6.5 DDR AC 特性

表 15. DDR AC 特定

記号	パラメーター	Min	Max	単位
$F_{SCK,R}$	DDR READ 命令用 SCK クロック周波数	DC	80	MHz
$P_{SCK,R}$	DDR READ 命令用 SCK クロック周期	$1/F_{SCK}$		ns
t_{WH}, t_{CH}	クロック HIGH 時間	$45\% P_{SCK}$		ns
t_{WL}, t_{CL}	クロック LOW 時間	$45\% P_{SCK}$		ns
t_{CS}	CS# HIGH 時間 (読み出し命令) CS# HIGH 時間 (リセット機能が有効なときの読み出し命令)	10 20		ns
t_{CSS}	CS# アクティブ セットアップ時間 (SCK を基準とする)	2		ns
t_{CSH}	CS# アクティブ ホールド時間 (SCK を基準とする)	3		ns
t_{SU}	IO セットアップ時間	1.5		ns
t_{HD}	IO ホールド時間	1.5		ns
t_V	クロック LOW から出力有効までの時間	1.5	6.0 (30) 6.5 (30)(32)	ns
t_{HO}	出力ホールド時間	1.5		ns
t_{DIS}	出力無効時間 出力無効時間 (リセット機能が有効)		8 20	ns
t_{IO_skew}	最初の IO から最後の IO までのデータ有効時間 (31)		600 700(32)	ps
t_{DPD}	CS# HIGH からパワー ダウン モードまでの時間		3	μ s
t_{RES}	CS# HIGH からスタンバイ モードまでの時間 (電子署名読み出しなし)		30	μ s

注:

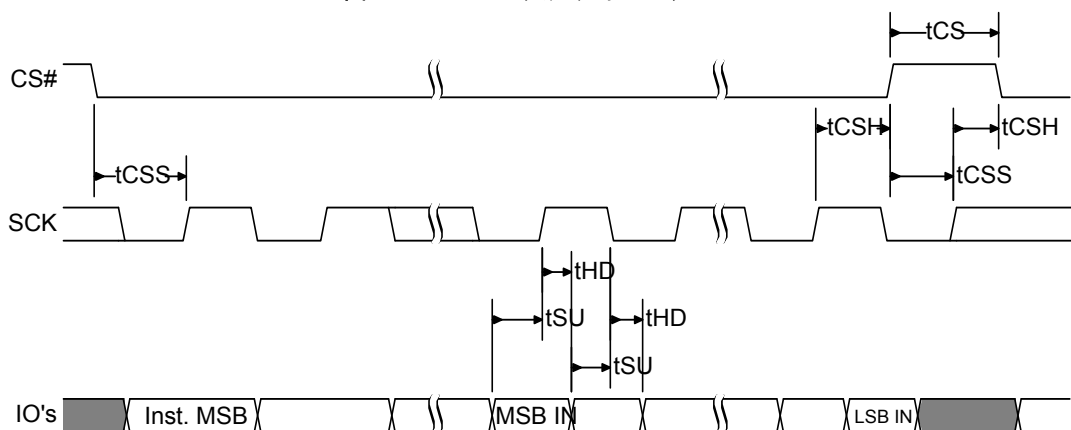
30.CL = 15 pF。

31.テストは行われていません。

32.SOIC パッケージ。

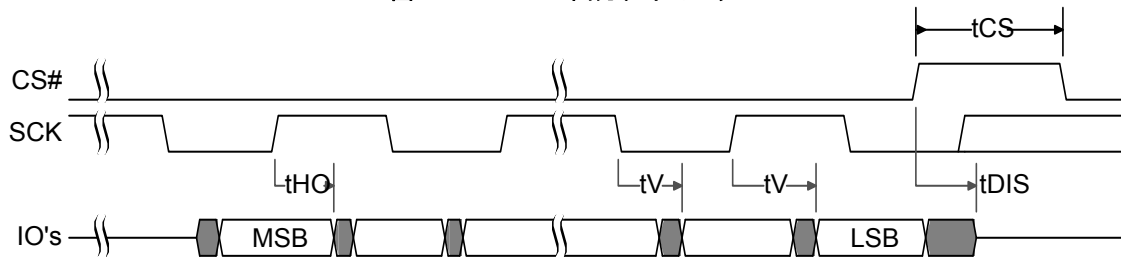
6.5.1 DDR 入力タイミング

図 36. SPI DDR 入力タイミング



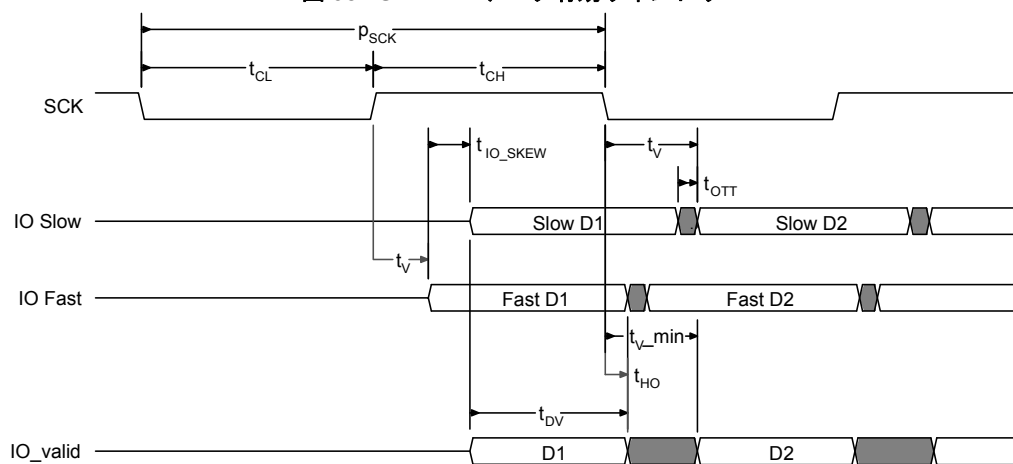
6.5.2 DDR 出力タイミング

図 37. SPI DDR 出力タイミング



6.5.3 DLP 使用時の DDR データ有効時間

図 38. SPI DDR データ有効ウィンドウ



データ有効ウィンドウの最小値 (t_{DV}) および最小 t_V は以下のように計算します。

$$t_{DV} = \text{最小ハーフ クロック サイクル時間 (} t_{CLH} \text{)}^{(33)} - t_{OTT}^{(35)} - t_{IO_SKEW}^{(34)}$$

$$t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT}$$

例：

80MHz のクロック周波数 = 12.5ns のクロック周期、DDR 動作、および 45% 以上のデューティ比を前提にします。

$$t_{CLH} = 0.45 \times PSCK = 0.45 \times 12.5ns = 5.625ns$$

45Ω のバス インピーダンス、22pf の静電容量、0.75V_{CC} のタイミング リファレンスを前提として、0 から 1 までの立ち上がり時間または 1 から 0 までの立ち下がり時間は、 $1.4^{(38)} \times RC$ 時定数 (τ)⁽³⁷⁾ = $1.4 \times 0.99ns = 1.39ns$ 。

$$t_{OTT} = \text{立ち上がり時間} + \text{立ち下がり時間} = 1.39ns + 1.39ns = 2.78ns。$$

データ有効ウィンドウ

$$t_{DV} = t_{CLH} - t_{IO_SKEW} - t_{OTT} = 5.625ns - 400ps - 2.78ns = 2.45ns$$

t_V の最小値

$$t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT} = 1.0ns + 400ps + 2.78ns = 4.38ns$$

注：

33. t_{CLH} は t_{CL} または t_{CH} より短い期間です。
34. t_{IO_SKEW} 、すべての IO 信号にわたる、 t_V (出力有効時間) の Min と Max の間の最大差 (デルタ) です。
35. t_{OTT} は、各 IO 上の 1 つの有効なデータ値から次の有効なデータ値への最大出力遷移時間です。 t_{OTT} は以下のシステム レベルの項目に依存します。
 - a. メモリ デバイスの出力インピーダンス (駆動能力)。
 - b. IO 上のシステム レベル寄生容量 (主にバス容量)。
 - c. 0 から 1 への遷移および 1 から 0 への遷移が認識される V_{IH} および V_{IL} レベルでのホスト メモリ コントローラー入力。
 - d. t_{OTT} はサイプレスがテストした仕様ではありません。システムに依存し、システム設計者が上記の項目に基づいて計算する必要があります。
36. t_{DV} はデータ有効ウィンドウです。
37. $\tau = R$ (出力インピーダンス) $\times C$ (負荷容量)。
38. 電圧が V_{CC} の 75% に達するまでの τ 時間の乗数です。

7. 組み込みアルゴリズム性能表

表 16. プログラムと消去の性能

記号	パラメーター	Min	Typ (39)	Max	単位
t_W	不揮発性レジスタ書き込み時間		240	750	ms
t_{PP}	ページ プログラム時間 (512 バイト) ページ プログラム時間 (256 バイト)		475 360	2000 2000	μs
t_{SE}	セクタ消去時間 (64KB または 4KB 物理セクタ)		240	725	ms
	セクタ消去時間 (256KB 論理セクタ = 4 x 64K 物理セクタ)		930	2900	ms
t_{BE}	バルク消去時間 (S25FS064S)		30	94	s
t_{EES}	消去状態評価時間 (64 KB または 4KB 物理セクタ)		20	25	μs
	消去状態評価時間 (256 KB 物理または論理セクタ)		80	100	

注:

39. プログラム時間と消去時間の Typ 値は、次の条件を想定したものです: 25°C、 $V_{CC} = 1.8V$ 、ランダム データ パターン。

40. 任意の OTP プログラム コマンドのプログラム時間は t_{PP} と同じです。OTPP 42h、PNVDLR 43h、ASPP 2Fh、PASSP E8h があります。

41. PPBP E3h コマンドのプログラム時間は t_{PP} と同じです。PPBE E4h コマンドの消去時間は t_{SE} と同じです。

表 17. プログラムまたは消去一時停止の AC パラメーター

パラメーター	Typ	Max	単位	説明
一時停止レイテンシ (t_{SL})		50	μs	一時停止コマンドから WIP ビットが 0 になるまでの時間
再開から次のプログラム一時停止までの時間 (t_{RS})	100		μs	これは次の一時停止コマンド発行に必要な時間ですが、プログラムまたは消去を実行して完了するのに Typ 値以上の時間が必要です。

8. 物理インターフェース

8.1 ピン配置図

8.1.1 8 コネクタ パッケージ

図 39. 8 ピン プラスチック小型パッケージ (SOIC8)

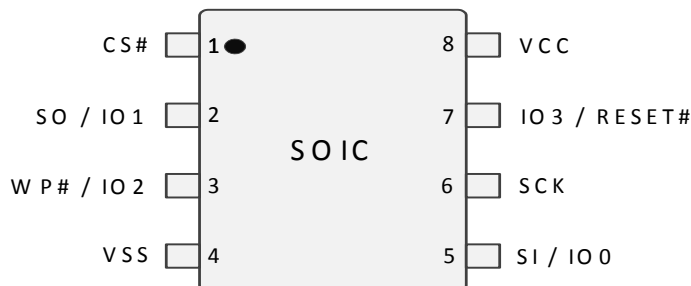
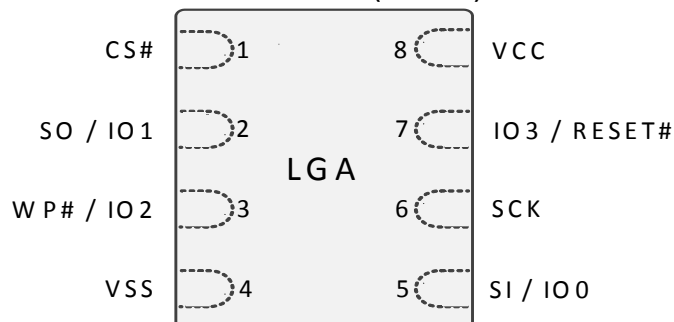


図 40. 8 パッド LGA 5x6 (W9A008) – 上面図

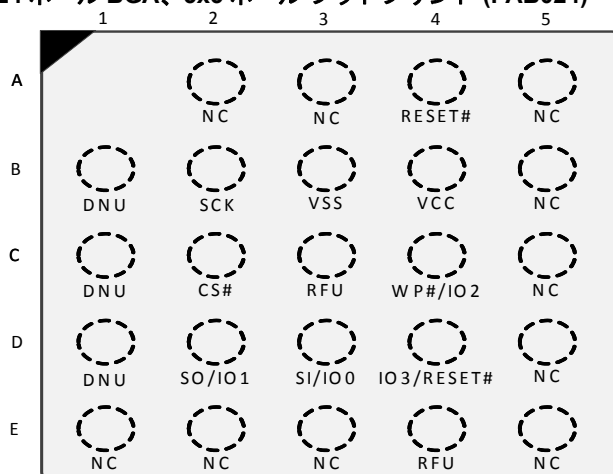


注:

42.RESET# 入力には内部プルアップ抵抗に接続しており、クアッド モードとハードウェア リセットが使用されない場合はシステムで開放のままにできます。

8.1.2 BGA ボール フットプリント

図 41. 24 ボール BGA、5x5 ボール フットプリント (FAB024) – 上面図



注:

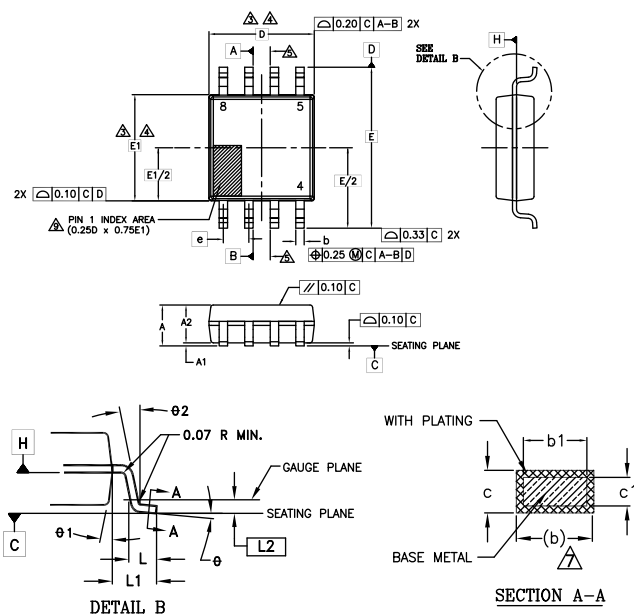
43.RESET# 入力には内部プルアップ抵抗に接続しており、クアッド モードとハードウェア リセットが使用されない場合は開放のままにできます。

8.1.3 FBGA パッケージの取扱注意事項

BGA パッケージのフラッシュ メモリ デバイスは超音波洗浄にさらされると損傷する場合があります。パッケージ本体を長時間にわたって温度 150°C 以上の環境に放置すると、パッケージならびにデータの完全性が損なわれることがあります。

8.2 外形図


8.2.1 SOIC 8 リード、208mil 本体幅 (SOC008)



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	1.75	-	2.16
A1	0.05	-	0.25
A2	1.70	-	1.90
b	0.36	-	0.48
b1	0.33	-	0.46
c	0.19	-	0.24
c1	0.15	-	0.20
D	5.28 BSC		
E	8.00 BSC		
E1	5.28 BSC		
e	1.27 BSC		
L	0.51	-	0.76
L1	1.36 REF		
L2	0.25 BSC		
N	8		
theta	0°	-	8°
theta 1	5°	-	15°
theta 2	0-8° REF		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M - 1994.
- DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER END. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 mm PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUSIVE OF ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A AND B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 TO 0.25 mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE LEAD FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
- LEAD COPLANARITY SHALL BE WITHIN 0.10 mm AS MEASURED FROM THE SEATING PLANE.

 CYPRESS Company Confidential	
TITLE PACKAGE OUTLINE, 8 LEAD SOIC 5.28X5.28X2.16 MM SOC008	
SPEC NO. 002-15548	REV **
SCALE: TO FIT	SHEET 1 of 2

THIS DRAWING CONTAINS INFORMATION WHICH IS THE PROPRIETARY PROPERTY OF CYPRESS SEMICONDUCTOR CORPORATION. THIS DRAWING IS RECEIVED IN CONFIDENCE AND ITS CONTENTS MAY NOT BE DISCLOSED WITHOUT WRITTEN CONSENT OF CYPRESS SEMICONDUCTOR CORPORATION.

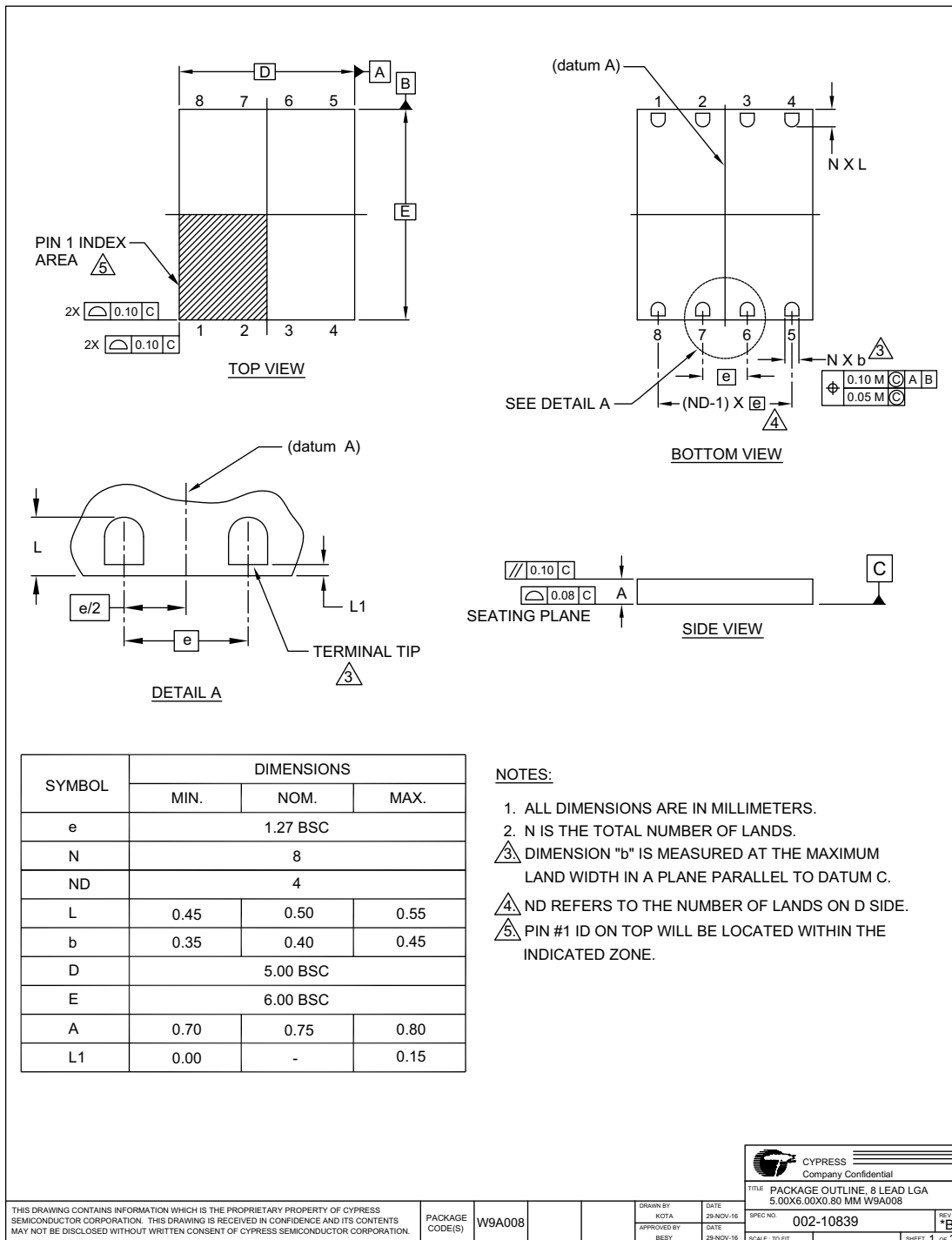
PACKAGE CODE(S)
 SOC008

DRAWN BY
 MOTA

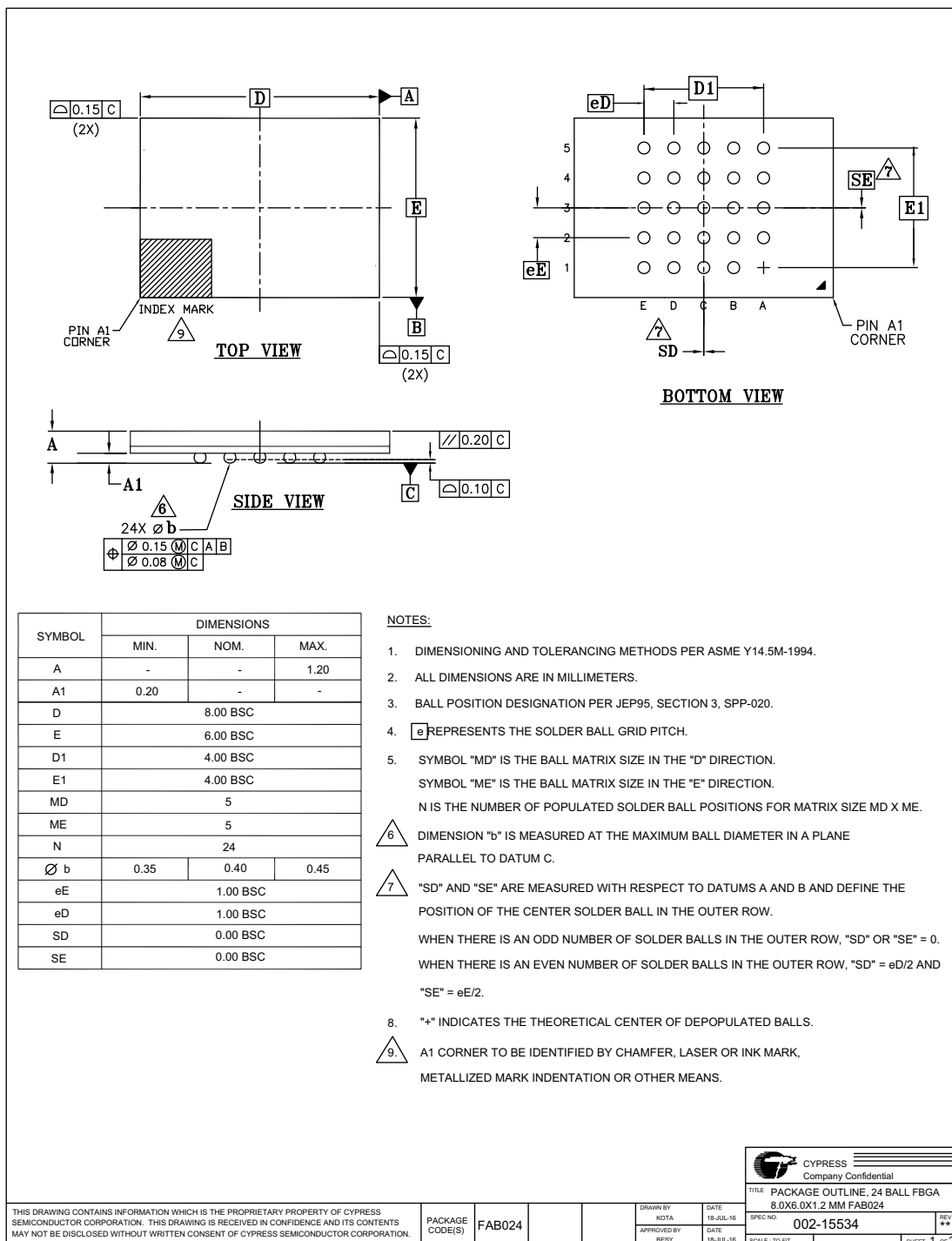
DATE
 19-JUL-16

APPROVED BY
 BESY

DATE
 19-JUL-16

8.2.2 LGA 8 コンタクト 5 x 6mm (W9A008)


8.2.3 ボールグリッドアレイ 24 ボール 6 x 8mm (FAB024)



ソフトウェア インターフェース

本節では FS-S ファミリ メモリ デバイスとやり取りするホスト システム ソフトウェアに最も関連性がある機能と動作について説明します。

9. アドレス空間マップ

9.1 概要

9.1.1 拡張アドレス

FS-S ファミリは 32 ビット (4 バイト) アドレスに対応しており、24 ビット (3 バイト) アドレスだけに対応した前世代 (レガシー) の SPI デバイスに比べると、より高容量のデバイスを可能にします。24 ビット、バイト分解能のアドレスは、16M バイト (128M ビット) の最大容量までしかアクセスできません。一方、32 ビット、バイト分解能のアドレスは最大 4G バイト (32G ビット) のアドレス空間の直接アドレス指定が可能で、4M バイト (32M ビット) ~ 4G バイト (32G ビット) のデバイスのソフトウェア互換性を実現できます。

レガシー コマンドはソフトウェア下位互換性のために 24 ビット アドレスの対応を継続しています。拡張 32 ビット アドレスは次の 2 つの方法によって有効にされます。

- 拡張アドレス モード: すべてのレガシー コマンドを、ホスト システムから供給される 32 ビット アドレスを期待するものに変更する、揮発性コンフィギュレーション レジスタ ビットです。
- 4 バイト アドレス コマンド: レガシー機能と常に 32 ビット アドレスを期待する新機能の両方を実行します。

電源投入またはリセット後の拡張アドレス モードのデフォルト状態は不揮発性コンフィギュレーション ビットによって制御されます。デフォルト拡張アドレス モードは 24 または 32 ビットのアドレスに設定できます。これにより、デバイスの最初の 128M ビットへのレガシー ソフトウェア互換アクセスが可能になるか、またはデバイスが 32 ビット アドレス モードで直接起動できます。

FS-S ファミリの 64Mb デバイスは同様に拡張アドレス空間に対応していますが、実質的にはメイン フラッシュ アレイが 23 か 22 アドレス ビットのみを必要とするため、すべてのアドレスのビット 31 ~ 23 または 31 ~ 22 を無視します。これにより、ソフトウェアのアドレス処理を変更せず、64Mb 容量のデバイスをより高い容量のデバイスに置き換えることが簡単になります。

9.1.2 複数のアドレス空間

多くのコマンドはメイン フラッシュ メモリ アレイ上で動作します。メイン フラッシュ アレイから独立したアドレス空間で動作するコマンドもいくつかあります。それぞれ独立したアドレス空間は完全な 24 ビットか 32 ビット アドレスを使用しますが、利用可能なアドレス空間の小さな部分のみを定義する場合もあります。

9.2 フラッシュ メモリ アレイ

メイン フラッシュ アレイは物理セクタと呼ばれる消去ユニット (複数) に分けられています。

FS-S ファミリの物理セクタは、アドレス空間の最上部か最下部にある 8 個の 4KB パラメーター セクタと、1 つのみを除く残りのすべてのセクタがユニフォーム サイズのハイブリッド組合せに設定できます。8 個の 4KB パラメーター セクタのグループが合計で 1 個のユニフォーム セクタより小さいため、4KB 物理セクタのグループはそれぞれ最上位か最下位アドレスのユニフォーム セクタの最上部か最下部の 32KB を重ねます (置き換えます)。

パラメーター セクタ消去コマンド (20h または 21h) は、別々の 4KB セクタを消去するために使用されます。セクタ (ユニフォーム ブロック) 消去コマンド (D8h または DCh) は、パラメーター セクタによって重ねられない最上位か最下位アドレスのセクタの部分を含む残りのすべてのセクタを消去するために使用されます。ユニフォーム ブロック消去コマンドはパラメーター セクタに影響を与えません。

不揮発性コンフィギュレーション レジスタ 1 のビット 2 (CR1NV[2]) = 0 の場合、最下位アドレスのユニフォーム セクタの最下部にあるパラメーター セクタは重ねられます。CR1NV[2] = 1 の場合、最上位アドレスのユニフォーム セクタの最上部にあるパラメーター セクタは重ねられます。詳細については、[47 ページの節 9.6 レジスタ](#)を参照してください。

また、すべてのセクタがユニフォーム サイズであるように 4KB パラメーター セクタをアドレス マップから除去するコンフィギュレーション オプションもあります。揮発性コンフィギュレーション レジスタ 3 のビット 3 (CR3V[3]) = 0 の場合、4KB パラメーター セクタのあるハイブリッド セクタ アーキテクチャは選択されます。CR3V[3] = 1 の場合、パラメーター セクタがないユニフォーム セクタ アーキテクチャは選択されます。物理ユニフォーム セクタは以下のとおりです。

■ 64KB または 256KB

デバイスは、セクタ (ユニフォーム ブロック) 消去コマンドを使用して、個別の 64KB 物理セクタでなく 256KB 論理ブロックを消去するよう設定できます。このコンフィギュレーション オプション (CR3V[1] = 1) を使うと、低い容量のデバイスは 256KB 物理セクタを使用するファミリのより高い容量のデバイスと同じセクタ消去動作を模倣できるようになります。これにより、ファミリのより高い容量のデバイスへのソフトウェア置き換えが簡単になります。

表 18. S25FS064S セクタとメモリ アドレス マップ、下位 4K バイト セクタ

セクタ サイズ (K バイト)	セクタ数	セクタ範囲	アドレス範囲 (バイト アドレス)	備考
4	8	SA00	00000000h ~ 00000FFFh	セクタ開始アドレス — セクタ終了アドレス
		:	:	
		SA07	00007000h ~ 00007FFFh	
32	1	SA08	00008000h ~ 0000FFFFh	
64	127	SA09	00010000h ~ 0001FFFFh	
		:	:	
		SA135	007F0000h ~ 007FFFFFFh	

表 19. S25FS064S セクタとメモリ アドレス マップ、上位 4K バイト セクタ

セクタ サイズ (K バイト)	セクタ数	セクタ範囲	アドレス範囲 (バイト アドレス)	備考
64	127	SA00	00000000h ~ 000FFFFh	セクタ開始アドレス — セクタ終了アドレス
		:	:	
		SA126	007E0000h ~ 007FFFFh	
32	1	SA127	007F0000h ~ 007F7FFFh	
4	8	SA128	007F8000h ~ 007F8FFFh	
		:	:	
		SA135	007FF000h ~ 007FFFFFFh	

表 20. S25FS064S セクタとメモリ アドレス マップ、ユニフォーム 64K バイト ブロック

セクタ サイズ (K バイト)	セクタ数	セクタ範囲	アドレス範囲 (バイト アドレス)	備考
64	128	SA00	00000000h ~ 0000FFFFh	セクタ開始アドレス — セクタ終了アドレス
		:	:	
		SA127	007F0000h ~ 07FFFFFFh	

表 21. S25FS064S セクタ アドレス マップ、下位の 4K バイト セクタ、256K バイト 論理ユニフォーム セクタ

セクタ サイズ (K バイト)	セクタ数	セクタ範囲	アドレス範囲 (バイト アドレス)	備考
4	8	SA00	00000000h ~ 00000FFFh	セクタ開始アドレス — セクタ終了アドレス
		:	:	
		SA07	00007000h ~ 00007FFFh	
224	1	SA08	00008000h-0003FFFFh	
256	31	SA09	00040000h ~ 0007FFFFh	
		:	:	
		SA39	007C0000h ~ 007FFFFFFh	

表 22. S25FS064S セクタ アドレス マップ、上位 4K バイト セクタ、256K バイト論理ユニフォーム セクタ

セクタ サイズ (K バイト)	セクタ数	セクタ範囲	アドレス範囲 (バイト アドレス)	備考
256	31	SA00	00000000h ~ 0003FFFFh	セクタ開始アドレス — セクタ終了アドレス
		:	:	
		SA30	00780000h ~ 007BFFFFh	
224	1	SA31	007C0000h ~ 007F7FFFh	
4	8	SA32	007F8000h ~ 007F8FFFh	
		:	:	
		SA39	007FF000h ~ 007FFFFFFh	

表 23. S25FS064S セクタとメモリ アドレス マップ、ユニフォーム 256K バイト ブロック

セクタ サイズ (K バイト)	セクタ数	セクタ範囲	アドレス範囲 (バイト アドレス)	備考
256	32	SA00	00000000h ~ 0003FFFFh	セクタ開始アドレス — セクタ終了アドレス
		:	:	
		SA31	007C0000h ~ 007FFFFFFh	

注：上記の表は参考としていくつかのセクタを使用する短縮された表です。明確的に示されていないアドレス範囲があります。すべての 4KB セクタのパターンは XXXX000h ~ XXXXFFFh です。すべての 64KB セクタのパターンは XXX0000h ~ XXXFFFFh です。すべての 256 KB セクタのパターンは XX00000h ~ XX3FFFFh、XX40000h ~ XX7FFFFh、XX80000h ~ XXCFFFFh、または XXD0000h ~ XXFFFFFFh です。

9.3 ID-CFI アドレス空間

RDID コマンド (9Fh) は、デバイス識別子 (ID) および共通フラッシュ インターフェース (CFI) 情報を取得するために、独立したフラッシュ メモリ アドレス空間から情報を読み出します。ID-CFI アドレス空間の内容を定義する表については、[121 ページのデバイス ID と共通フラッシュ インターフェース \(ID-CFI\) アドレス マップ — 標準](#)を参照してください。ID-CFI アドレス空間はサイプレスによってプログラムされ、ホスト システムからは読み出し専用です。

9.3.1 サイプレスによってプログラムされる固有 ID

64 ビット固有番号が固有デバイス ID アドレス空間の 8 バイトにあります。固有 ID はデバイス固有のソフトウェア読み出し可能なシリアル番号として使用できます。

9.4 JEDEC JESD216 シリアル フラッシュ検出可能パラメーター (SFDP) 空間

RSFDP コマンド (5Ah) はシリアル フラッシュ検出可能パラメーター向けの JEDEC JESD216 Rev B 規格に準拠して、デバイス ID、機能およびコンフィギュレーション情報を取得するために、独立したフラッシュ メモリ アドレス空間から情報を読み出します。ID-CFI アドレス空間は SFDP パラメーターの 1 つとして組み込まれています。SFDP アドレス空間の内容を定義する表については [121 ページのソフトウェア インターフェース リファレンス](#)を参照してください。SFDP アドレス空間はサイプレスによってプログラムされ、ホスト システムからは読み出し専用です。

9.5 OTP アドレス空間

各 FS-S ファミリ メモリ デバイスには、メインフラッシュアレイから独立した 1024 バイトのワンタイム プログラム (OTP) アドレス空間があります。OTP エリアは 32 の領域に分割され、それぞれが単独にロックでき、32 バイト整列長です。

アドレス 0 から始まる 32 バイト領域の構造は以下のとおりです。

- 16 の最下位アドレス バイトが、サイプレスによって 128 ビットの乱数でプログラムされます。サイプレスのみがこれらのバイトに 0 をプログラムできます。これらのバイト位置に 1 をプログラムすることは無視され、サイプレスによってプログラムされた値に影響を与えません。これらのバイト位置に 0 をプログラムしようとすると失敗し、P_ERR がセットされます。
- 次の 4 つの上位アドレス バイト (OTP ロック バイト) は、各領域をプログラムから恒久的に保護するために、OTP 領域ごとに 1 ビットを提供するために使用されます。サイプレス出荷時にこれらのバイトは消去されています。OTP 領域はプログラムした後、さらなるプログラムができないようにするために、OTP ロック バイト内の関連する保護ビットをプログラムすることでロックできます。
- 最下位アドレス領域の次の上位 12 バイトは、将来使用のために予約済み (RFU) です。RFU バイト内のビットはホスト システムによってプログラムできますが、将来のデバイスがより大きな OTP 領域の保護のために使用する場合があることを理解しておいてください。サイプレス出荷時にこれらのバイトは消去されています。

残りの領域は、サイプレス出荷時に消去されており、追加の恒久的なデータのプログラミングに使用できます。

46 ページの図 42 に OTP メモリ空間の図を示します。

OTP メモリ空間はシステム セキュリティ強化のために使用されます。サイプレスによってプログラムされた乱数などの OTP 値は、フラッシュ コンポーネントをシステム CPU / ASIC と一体化して、デバイス置き換えを回避するために使用できます。

コンフィギュレーション レジスタの FREEZE ビット (CR1V[0]) が 1 にセットされると、OTP メモリ空間全体をプログラムから保護します。これにより、信頼できるブート コードが OTP 領域のプログラムを制御し、次に FREEZE ビットをセットして、通常の電源投入のシステム動作の残りの間 OTP メモリ空間がさらにプログラムされないようにできます。

図 42. OTP アドレス空間

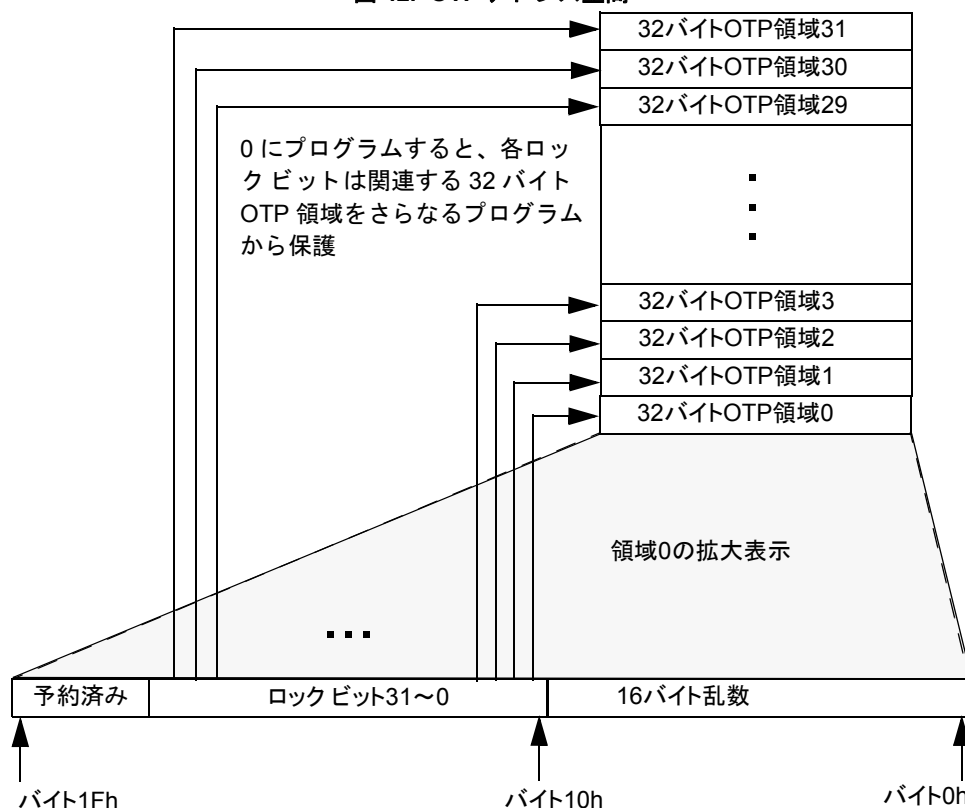


表 25. OTP アドレス マップ

領域	バイト アドレス範囲 (16 進)	内容	工場出荷初期状態 (16 進)
領域 0	000	サイプレスによって プログラムされる乱数の最下位バイト	サイプレスによって プログラムされる乱数
	
	00F	サイプレスによって プログラムされる乱数の最上位バイト	
	010 ~ 013	領域ロック ビット バイト 10 [ビット 0] = 0 のとき、領域 0 をプログラムから保護します。 ... バイト 13 [ビット 7] = 0 のとき、領域 31 をプログラムから保護します。	全バイト = FF
	014 ~ 01F	将来使用するために予約済み (RFU)	全バイト = FF
領域 1	020 ~ 03F	ユーザー プログラミング用に使用可能	全バイト = FF
領域 2	040 ~ 05F	ユーザー プログラミング用に使用可能	全バイト = FF
...	...	ユーザー プログラミング用に使用可能	全バイト = FF
領域 31	3E0 ~ 3FF	ユーザー プログラミング用に使用可能	全バイト = FF

9.6 レジスタ

レジスタは、FS-S ファミリーメモリ デバイスの動作方法を設定する、またはデバイス動作のステータスを報告するために使用される小さなメモリ セル グループです。レジスタは特定のコマンドによりアクセスされます。レジスタに使用されるコマンド (と 16 進の命令コード) は各レジスタの説明に記載しています。

レガシー SPI メモリ デバイスでは、個別レジスタ ビットは同じレジスタ内で、揮発性、不揮発性、またはワン タイム プログラマブル (OTP) ビットが混合されています。コンフィギュレーション オプションによってはレジスタ ビットのタイプは変更可能です (例えば、不揮発性から揮発性に変更できます)。

FS-S ファミリーは、異なるレジスタ ビットのタイプを実装するために、個別の不揮発性または揮発性メモリ セル グループ (領域) を使用します。ただし、レガシー ソフトウェアとの互換性のために、レガシー レジスタとコマンドは以前と変わらず対応され、動作し続けます。レガシー レジスタに揮発性ビットがある場合、またはレガシー レジスタを読み出すコマンドの読み出しレイテンシがゼロの場合、各レガシー レジスタには不揮発性と揮発性バージョンが存在します。そのようなレジスタが読み出されるとき、レジスタの揮発性バージョンが提供されます。パワー オン リセット (POR)、ハードウェア リセットまたはソフトウェア リセットの間、揮発性レジスタのデフォルト状態を提供するために、レジスタの不揮発性バージョンは揮発性バージョンにコピーされます。不揮発性レジスタ ビットが書き込まれたとき、レジスタの不揮発性バージョンは消去され、新しいビット値でプログラムされ、その後、揮発性バージョンは不揮発性バージョンの新しい内容で更新されます。OTP ビットがプログラムされると、レジスタの不揮発性バージョンがプログラムされ、レジスタの揮発性バージョン中の適切なビットが更新されます。揮発性レジスタ ビットが書き込まれたとき、レジスタの揮発性バージョンのみは適切なビットが更新されます。

各ビットのタイプはそれぞれのレジスタの説明に記載されています。ビットが揮発性である場合、各ビットのデフォルト状態はパワー オン リセット、ハードウェア リセット、またはソフトウェア リセットの後の状態です。ビットが不揮発性または OTP である場合、デフォルト状態はサイプレスから出荷されたときのビット値です。不揮発性ビットはメイン フラッシュ アレイと同じ耐久性 (消去/プログラム可能回数) を持っています。

表 26. レジスタの説明

レジスタ	タイプ	ビット	略語
ステータス レジスタ 1	不揮発性	7:0	SR1NV[7:0]
	揮発性	7:0	SR1V[7:0]
ステータス レジスタ 2	揮発性	7:0	SR2V[7:0]
コンフィギュレーション レジスタ 1	不揮発性 / OTP	7:0	CR1NV[7:0]
	揮発性	7:0	CR1V[7:0]
コンフィギュレーション レジスタ 2	不揮発性 / OTP	7:0	CR2NV[7:0]
	揮発性	7:0	CR2V[7:0]
コンフィギュレーション レジスタ 3	不揮発性 / OTP	7:0	CR3NV[7:0]
	揮発性	7:0	CR3V[7:0]
コンフィギュレーション レジスタ 4	不揮発性 / OTP	7:0	CR4NV[7:0]
	揮発性	7:0	CR4V[7:0]
ECC ステータス レジスタ	揮発性 読み出し専用	7:0	ECCSRV[7:0]
ASP レジスタ	OTP	15:0	ASPR[15:0]
パスワード レジスタ	OTP	63:0	PASS[63:0]
PPB ロック レジスタ	揮発性 読み出し専用	7:0	PPBL[7:0]
PPB アクセス レジスタ	不揮発性	7:0	PPBAR[7:0]
DYB アクセス レジスタ	揮発性	7:0	DYBAR[7:0]
SPI DDR データ ラーニング レジスタ	OTP	7:0	NVDLR[7:0]
	揮発性	7:0	VDLR[7:0]

9.6.1 ステータス レジスタ 1

9.6.1.1 不揮発性ステータス レジスタ 1 (SR1NV)

関連コマンド: レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)

表 27. 不揮発性ステータス レジスタ 1 (SR1NV)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	SRWD_NV	ステータス レジスタ書き込みディセーブル デフォルト	不揮発性	0	1 = WP# は LOW のとき、SR1NV、SR1V、CR1NV または CR1V に影響する可能性がある WRR 命令または WRAR 命令を実行しないことにより、SRWD、BP およびコンフィギュレーション レジスタ 1 のビットの状態をロック 0 = 保護なし (WP# が LOW の場合を含む)
6	P_ERR_D	プログラミング エラー デフォルト	不揮発性 読み出し専用	0	プログラミング エラー ステータスのデフォルト状態を示します。ユーザーによってプログラムできません。
5	E_ERR_D	消去エラー デフォルト	不揮発性 読み出し専用	0	消去エラー ステータスのデフォルト状態を示します。ユーザーによってプログラムできません。
4	BP_NV2	不揮発性ブロック保護	不揮発性	000b	BP ビットが不揮発性として設定される (CR1NV[3] = 0) 場合、選択したセクタ (ブロック) 範囲をプログラムまたは消去から保護します。BP ビットが揮発性として設定される (CR1NV[3] = 1) 場合、111b にプログラムされます。その後、これらビットはもはやユーザーによってプログラムできなくなります。
3	BP_NV1				
2	BP_NV0				
1	WEL_D	WEL デフォルト	不揮発性 読み出し専用	0	WEL ステータスのデフォルト状態を示します。ユーザーによってプログラムできません。
0	WIP_D	WIP デフォルト	不揮発性 読み出し専用	0	WIP ステータスのデフォルト状態を示します。ユーザーによってプログラムできません。

不揮発性ステータス レジスタ書き込み (SRWD_NV) SR1NV[7]: ビットが1にセットされ、WP# 入力がLOWに駆動されると、デバイスはハードウェア保護モードに入ります。このモードでは、レジスタ書き込み (WRR) と任意レジスタ書き込み (WRAR) コマンド (ステータスレジスタ1またはコンフィギュレーションレジスタ1を選択するもの) は無視され、実行のためには受け入れられず、ステータスレジスタ1とコンフィギュレーションレジスタ1 (SR1NV、SR1V、CR1NVまたはCR1V) を読み出し専用レジスタにすることで、レジスタのビットの状態を効果的にロックします。WP# がHIGHの場合、ステータスレジスタ1とコンフィギュレーションレジスタ1はWRRまたはWRARコマンドで変更できます。SRWD_NV = 0の場合、WP# は何の影響も与えず、ステータスレジスタ1とコンフィギュレーションレジスタ1はWRRまたはWRARコマンドで変更できます。WP# は他のレジスタの書き込みに影響しません。SRWD_NV ビットはメインフラッシュアレイと同じ不揮発性の耐久性を持っています。SRWD ビット (SR1V[7]) はゼロの読み出しレイテンシを提供するためにSRWD_NV ビットのコピーとしてのみ機能します。

プログラムエラー デフォルト (P_ERR_D) SR1NV[6]: SR1V[6] でのプログラミングエラーステータスのデフォルト状態を示します。ビットはユーザーによってプログラムできません。

消去エラー (E_ERR) SR1V[5]: SR1V[5] での消去エラーステータスのデフォルト状態を示します。ビットはユーザーによってプログラムできません。

ブロック保護 (BP_NV2、BP_NV1、BP_NV0) SR1NV[4:2]: ビットは、プログラムおよび消去コマンドからソフトウェアで保護されるメインフラッシュアレイ領域を定義します。BP ビットはコンフィギュレーションレジスタCR1NV[3]でのBP不揮発性ビット (BPNV_O) の状態に応じて揮発性か不揮発性としてかを選択されます。CR1NV[3] = 0の場合、BPビットの不揮発性バージョン (SR1NV[4:2]) はブロック保護を制御するために使用され、WRRコマンドがSR1NV[4:2]に書き込んでSR1V[4:2]を同じ値に更新します。CR1NV[3] = 1の場合、BPビットの揮発性バージョン (SR1V[4:2]) はブロック保護を制御するために使用され、WRRコマンドはSR1V[4:2]に書き込み、SR1NV[4:2]に影響を与えません。1つ以上のBPビットが1にセットされると、対応するメモリ領域はプログラムと消去から保護されます。バルク消去 (BE) コマンドは、BPビットが0にクリアされたときにのみ実行できます。BPビット値が保護対象のメモリアレイ領域をどのように選択するかについては、[64 ページのブロック保護](#)を参照してください。BPビットの不揮発性バージョンはメインフラッシュアレイと同じ不揮発性の耐久性を持っています。

書き込みイネーブル ラッチ デフォルト (WEL_D) SR1NV[1]: SR1V[1]でのWELステータスのデフォルト状態を示します。ビットはサイプレスによってプログラムされ、ユーザーによってプログラムできません。

書き込み中デフォルト (WIP_D) SR1NV[0]: SR1V[0]でのWIPステータスのデフォルト状態を示します。ビットはサイプレスによってプログラムされ、ユーザーによってプログラムできません。

9.6.1.2 揮発性ステータス レジスタ 1 (SR1V)

関連コマンド: ステータスレジスタ読み出し (RDSR1 05h)、レジスタ書き込み (WRR 01h)、書き込みイネーブル (WREN 06h)、書き込みディセーブル (WRDI 04h)、ステータスレジスタクリア (CLSR 30h または 82h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。RDSR1 コマンドの実行で表示されるレジスタです。

表 28. 揮発性ステータス レジスタ 1 (SR1V)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	SRWD	ステータスレジスタ書き込みディセーブル	揮発性読み出し専用	SR1NV	SR1NV[7]の揮発性コピーです。
6	P_ERR	プログラミングエラー発生	揮発性読み出し専用		1 = エラーが発生 0 = エラーなし
5	E_ERR	消去エラー発生	揮発性読み出し専用		1 = エラーが発生 0 = エラーなし
4	BP2	揮発性ブロック保護	揮発性		BPビットが揮発性として設定される (CR1NV[3] = 1) 場合、選択したセクタ (ブロック) 範囲をプログラムまたは消去から保護します。BPビットが不揮発性として設定される場合、SR1NV[4:2]の揮発性コピーになります。BPビットが揮発性として設定される場合は、ユーザーによって書き込めます。
3	BP1				
2	BP0				
1	WEL	書き込みイネーブルラッチ	揮発性		1 = デバイスはレジスタ書き込み (WRR と WRAR)、プログラムまたは消去コマンドを受け入れる 0 = デバイスはレジスタ書き込み (WRR と WRAR)、プログラムまたは消去コマンドを無視する ビットは WRR または WRAR に影響されず、WREN と WRDI コマンドのみから影響を受けます。
0	WIP	書き込み中	揮発性読み出し専用		1 = デバイスはビジーであり、プログラムや消去などの組み込み動作は処理中 0 = デバイスはスタンバイモードでレディであり、コマンドを受け入れられる ビットは WRR または WRAR コマンドに影響されず、WIP 状態のみを示します。

ステータス レジスタ書き込み (SRWD) SR1V[7]: SRWD は SR1NV[7] の揮発性コピーです。このビットは不揮発性バージョンに対する変更を追跡します。

プログラム エラー (P_ERR) SR1V[6]: プログラム エラー ビットはプログラム動作の成功／失敗を示すために使用されます。プログラム エラー ビットが「1」にセットされたとき、直前のプログラム動作にエラーが発生したことを示します。また、ユーザーが保護されたメイン メモリ セクタまたはロックされた OTP 領域内でプログラムしようとしたときにもビットはセットされます。プログラム エラー ビットは「1」にセットされたとき、ステータス レジスタ クリア (CLSR) コマンドにより「0」にクリアされます。読み出し専用ビットであり、WRR または WRAR コマンドに影響されません。

消去エラー (E_ERR) SR1V[5]: 消去エラー ビットは消去動作の成功／失敗を示すために使用されます。消去エラー ビットが「1」にセットされたとき、直前の消去動作にエラーが発生したことを示します。また、ユーザーが個別の保護されたメイン メモリ セクタを消去しようとしたときにもビットはセットされます。コマンドの実行中に保護されたセクタが見つかった場合、バルク消去コマンドは E_ERR をセットしません。消去エラー ビットは「1」にセットされたとき、ステータス レジスタ クリア (CLSR) コマンドにより「0」にクリアされます。読み出し専用ビットであり、WRR または WRAR コマンドに影響されません。

ブロック保護 (BP2, BP1, BP0) SR1V[4:2]: ビットは、プログラムおよび消去コマンドからソフトウェアで保護されるメイン フラッシュ アレイ領域を定義します。BP ビットはコンフィギュレーション レジスタ CR1NV[3] での BP 不揮発性ビット (BPNV_O) の状態に応じて揮発性か不揮発性としてかを選択されます。CR1NV[3] = 0 の場合、BP ビットの揮発性バージョン (SR1NV[4:2]) はブロック保護を制御するために使用され、WRR コマンドが SR1NV[4:2] に書き込んで SR1V[4:2] を同じ値に更新します。CR1NV[3] = 1 の場合、BP ビットの揮発性バージョン (SR1V[4:2]) はブロック保護を制御するために使用され、WRR コマンドは SR1V[4:2] に書き込み、SR1NV[4:2] に影響を与えません。1つ以上の BP ビットが 1 にセットされると、対応するメモリ領域はプログラムと消去から保護されます。バルク消去 (BE) コマンドは、BP ビットが 0 にクリアされたときのみ実行できます。BP ビット値が保護対象のメモリ アレイ領域を選択する方法については、[64 ページのブロック保護](#)を参照してください。

書き込みイネーブル ラッチ (WEL) SR1V[1]: メモリやレジスタ値への不注意による意図しない変更に対する保護手段として、プログラム、書き込み、または消去動作を可能にするためには WEL ビットを「1」にセットする必要があります。書き込みイネーブル (WREN) コマンドを実行すると、書き込みイネーブル ラッチを「1」にセットし、その後のすべてのプログラム、消去、または書き込みコマンドの実行を可能にします。書き込みディセーブル (WRDI) コマンドは書き込みイネーブル ラッチを「0」にセットし、すべてのプログラム、消去および書き込みコマンドの実行を防止します。WEL ビットはプログラム、書き込み、または消去動作が正常に終了した時点で「0」にクリアされます。動作が正常に終了しない場合、WEL ビットはセットされたままであり、WRDI コマンドとその後に続く CLSR コマンドによりクリアする必要があります。電源切断／電源投入シーケンス、ハードウェア リセットまたはソフトウェア リセットの後、書き込みイネーブル ラッチは「0」にセットされます。WRR または WRAR コマンドはビットに影響を与えません。

書き込み中 (WIP) SR1V[0]: デバイスがプログラム、書き込み、消去動作またはその他の動作を実行しているかどうかを示します (これらの動作の実行中、新しい動作コマンドを無視します)。ビットが「1」にセットされたとき、デバイスが動作の実行でビジーになっていることを示します。WIP が「1」のときに許可されるコマンドは、ステータス レジスタ読み出し (RDSR1 または RDSR2)、任意レジスタ読み出し (RDAR)、消去一時停止 (ERSP)、プログラム一時停止 (PGSP)、ステータス レジスタ クリア (CLSR)、およびソフトウェア リセット (RESET) コマンドだけです。ERSP と PGSP コマンドは、メモリ アレイが消去／プログラム中のみ許可されます。ステータス レジスタの E_ERR と P_ERR ビットは WIP が「1」のときに更新されます。P_ERR または E_ERR ビットが「1」にセットされたとき、WIP ビットは「1」にセットされたまま、デバイスがまだビジーの状態であり新しい動作のコマンドを受信できないことを示します。デバイスをスタンバイ モードに戻らせるためにステータス レジスタ クリア (CLSR) コマンドを受信しなければなりません。WIP ビットが「0」にクリアされたとき、実行中の動作はありません。読み出し専用ビットです。

9.6.2 揮発性ステータス レジスタ 2 (SR2V)

関連コマンド: ステータス レジスタ 2 読み出し (RDSR2 07h)、任意レジスタ読み出し (RDAR 65h)。ステータス レジスタ 2 はユーザー プログラム可能な不揮発性ビットを持っていません。定義されたすべてのビットは揮発性読み出し専用の状態にあります。ビットのデフォルト状態はハードウェアにより設定されます。

表 29. 揮発性ステータス レジスタ 2 (SR2V)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	RFU	予約済み		0	将来使用するために予約済み
6	RFU	予約済み		0	将来使用するために予約済み
5	RFU	予約済み		0	将来使用するために予約済み
4	RFU	予約済み		0	将来使用するために予約済み
3	RFU	予約済み		0	将来使用するために予約済み
2	ESTAT	消去状態	揮発性 読み出し専用	0	1 = セクタ消去状態コマンドの結果 = 直前の消去は成功 0 = セクタ消去状態コマンドの結果 = 直前の消去は未完了
1	ES	消去一時停止	揮発性 読み出し専用	0	1 = 消去一時停止モード 0 = 消去一時停止モードでない
0	PS	プログラム一時停止	揮発性 読み出し専用	0	1 = プログラム一時停止モード 0 = プログラム一時停止モードでない

消去ステータス (ESTAT) SR2V[2]: 消去ステータス ビットは、直前の消去ステータス コマンドによって選択されたセクタに対する消去コマンドが完了したかどうかを示します。有効な消去ステータスを得るために、SR2V を読み出す直前に消去ステータス コマンドを発行する必要があります。プログラム／消去一時停止中に SR2V を読み出したら、有効な消去ステータスを得られません。システム ソフトウェアは消去ステータス ビットを使用して、直前の消去動作が失敗したセクタを検出できます。ビットは、消去動作中の電力喪失に起因して失敗した消去動作を検出するために使用できます。

消去一時停止 (ES) SR2V[1]: 消去一時停止ビットは、いつデバイスが消去一時停止モードに入るかを決めるために使用されます。ビットはステータス ビットであり、ユーザーからの書き込みはできません。消去一時停止ビットを「1」にセットすると、デバイスは消去一時停止モードになります。消去一時停止ビットを「0」にクリアしたとき、デバイスは消去一時停止モードにありません。消去一時停止／再開コマンドの詳細については [106 ページの消去／プログラム一時停止 \(EPS 85h、75h、B0h\)](#) を参照してください。

プログラム一時停止 (PS) SR2V[0]: プログラム一時停止ビットは、いつデバイスがプログラム一時停止モードに入るかを決めるために使用されます。ビットはステータス ビットであり、ユーザーからの書き込みはできません。プログラム一時停止ビットを「1」にセットすると、デバイスはプログラム一時停止モードになります。プログラム一時停止ビットを「0」にクリアしたとき、デバイスはプログラム一時停止モードにありません。詳細は [106 ページの消去／プログラム一時停止 \(EPS 85h、75h、B0h\)](#) を参照してください。

9.6.3 コンフィギュレーション レジスタ 1

コンフィギュレーション レジスタ 1 は一定のインターフェースとデータ保護機能を制御します。レジスタ ビットは 16 入力サイクルの WRR コマンドや WRAR コマンドを使用して変更できます。

9.6.3.1 不揮発性コンフィギュレーション レジスタ 1 (CR1NV)

関連コマンド：レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

表 30. 不揮発性コンフィギュレーション レジスタ 1 (CR1NV)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	RFU	将来使用するために予約済み	不揮発性	0	予約済み
6	RFU			0	
5	TBPROT_O	ブロック保護の開始設定	OTP	0	1 = BP は最下部 (下位アドレス) から開始 0 = BP が最上部 (上位アドレス) から開始
4	RFU	将来使用するために予約済み	RFU	0	予約済み
3	BPV_O	ステータス レジスタの BP2 ~ 0 設定	OTP	0	1 = 揮発性 0 = 不揮発性
2	TBPARM_O	セクタ ロケーション パラメーター設定	OTP	0	1 = 最上部 (上位アドレス) の 4KB 物理セクタ 0 = 最下部 (下位アドレス) の 4KB 物理セクタ ユニフォーム セクタ コンフィギュレーションでは RFU です。
1	QUAD_NV	クアド不揮発性	不揮発性	0	QUAD ビットのデフォルト状態を示します。
0	FREEZE_D	FREEZE デフォルト	不揮発性 読み出し専用	0	FREEZE ビットのデフォルト状態を示します。ユーザーによってプログラムできません。

最上部／最下部保護 (TBPROT_O) CR1NV[5]: ビットは、ステータス レジスタでのブロック保護ビット BP2、BP1、BP0 の動作を定義します。ステータス レジスタの節で説明したとおり、BP2 ~ 0 ビットを使用すると、ユーザーはアレイの一部 (1/64、1/4、1/2 など) から全部までオプションとして保護できます。TBPROT_O が「0」にセットされた場合、ブロック保護の開始アドレスはアレイの最上部 (最大アドレス) になります。TBPROT_O が「1」にセットされた場合、ブロック保護の開始アドレスはアレイの最下部 (ゼロ アドレス) になります。TBPROT_O ビットは OTP であり、サイプレス出荷時に「0」にセットされています。TBPROT_O が 1 にプログラムされたとき、ビットに 0 を書き込んでもビット値が変更されず、プログラム エラー ビット (SR1V[6] での P_ERR) もセットされません。

TBPROT_O の所望状態は、システム製造中のデバイス初期設定時に、メイン フラッシュ アレイに対する最初のプログラム／消去動作の前に選択する必要があります。プログラム／消去がメイン フラッシュ アレイで行われた後は TBPROT_O をプログラムしてはいけません。

不揮発性ブロック保護 (BPNV_O) CR1NV[3]: BPNV_O ビットは、ブロック保護機能を制御するためにステータス レジスタでの BP_NV2 ~ 0 ビットまたは BP2 ~ 0 ビットが選択されるかどうかを定義します。BPNV_O ビットは OTP であり、サイプレスから出荷する時点では、「0」にクリアされており、BP_NV ビットが「000」にクリアされています。BPNV_O が「0」にセットされたとき、ステータス レジスタでの BP_NV2 ~ 0 ビットはブロック保護を制御するために選択され、WRR コマンドで書き込まれます。BP_NV ビットを書き込むのに必要な時間は t_W です。BPNV が 1 にセットされたとき、ステータス レジスタでの BP2 ~ 0 ビットはブロック保護を制御するために選択され、BP_NV2 ~ 0 ビットは「111」の 2 進数にプログラムされます。これによって、BP2 ~ 0 ビットは POR、ハードウェア リセットまたはコマンド リセットの後に「111」の 2 進数にセットされます。BPNV が 1 にセットされたとき、WRR コマンドは BP ビットの揮発性バージョン (SR1V[4:2]) のみを書き込みます。BP ビットの非揮発性バージョン (SR1NV[4:2]) は、もはや WRR コマンドの影響を受けません。これによって、BP ビットが何回でも書き込まれます。理由は、BP ビットが揮発性であり、揮発性 BP ビットを書き込むのに必要な時間が揮発性レジスタ書き込み時間 t_{CS} よりずっと速いためです。BPNV_O が 1 にセットされた場合、ビットに 0 を書き込んでもビット値が変更されず、プログラム エラー ビット (SR1V[6] での P_ERR) もセットされません。

TBPARM_O CR1NV[2]: TBPARM_O はパラメーター ブロックの論理的な位置を定義します。パラメーター ブロックは、最上位または最下位アドレス セクタの 32KB 部分を置き換える 8 個の 4KB パラメーター セクタで構成されます。TBPARM_O が「1」にセットされた場合、パラメーター ブロックはメモリ アレイのアドレス空間の最上部にあります。TBPARM_O が「0」にセットされた場合、パラメーター ブロックはアレイの最下部にあります。TBPARM_O ビットは OTP であり、サイプレス出荷時に「0」にセットされています。TBPARM_O が 1 にプログラムされたとき、ビットに 0 を書き込んでもビット値が変更されず、プログラム エラー ビット (SR1V[6] での P_ERR) もセットされません。

TBPARM_O の所望状態は、システム製造中のデバイス初期設定時に、メイン フラッシュ アレイに対する最初のプログラム/消去動作の前に選択する必要があります。プログラム/消去がメイン フラッシュ アレイで行われた後は TBPARM_O をプログラムしてはいけません。

TBPROT_O は TBPARM_O ビットから独立してセットまたはクリアできます。したがって、ユーザーはアレイの最下部からパラメーター情報を保存し、アレイの最上部から始まるブート コードを保護すること、またはその逆を選択できます。また、ユーザーはアレイの最上位または最下位から始まるパラメーター情報を保存と保護するオプションの両方を選択できます。

メモリ アレイがユニフォーム セクタとして設定されている場合、TBPARM_O ビットは将来使用のために予約済み (RFU) であり、すべてのセクタが均一な大きさであるため影響はありません。

不揮発性クアッド データ幅 (QUAD_NV) CR1NV[1]: CR1V[1] の QUAD ビットのデフォルト状態を示します。WRR または WRAR コマンドはこのビットに影響を与えます。CR2NV[6] を 1 にプログラムすることによる QPI モードの不揮発性の選択は、QUAD_NV も 1 にプログラムし、不揮発性のデフォルトをクアッド データ幅モードに変更します。QPI モードが CR2V[6] = 1 で選択されている間、Quad_NV ビットは 0 にクリアできません。

フリーズ保護デフォルト (FREEZE) CR1NV[0]: CR1V[0] の FREEZE ビットのデフォルト状態を示します。ビットはユーザーによってプログラムできません。

9.6.3.2 揮発性コンフィギュレーションレジスタ 1 (CR1V)

関連コマンド：コンフィギュレーションレジスタ読み出し (RDCR 35h)、レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。RDCR コマンドの実行で表示されるレジスタです。

表 31. 揮発性コンフィギュレーションレジスタ 1 (CR1V)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	RFU	将来使用するために予約済みです。	揮発性	CR1NV	予約済み
6	RFU				
5	TBPROT	TBPROT_O の揮発性コピー	揮発性読み出し専用		ユーザーによって書き込みません。CR1NV[5] TBPROT_O を参照してください。
4	RFU	RFU	RFU		将来使用するために予約済みです。
3	BPNV	BPNV_O の揮発性コピー	揮発性読み出し専用		ユーザーによって書き込みません。CR1NV[3] BPNV_O を参照してください。
2	TBPARM	TBPARM_O の揮発性コピー	揮発性読み出し専用		ユーザーによって書き込みません。CR1NV[2] TBPARM_O を参照してください。
1	QUAD	クアッド I/O モード	揮発性		1 = クアッド 0 = デュアルまたはシリアル
0	FREEZE	次のパワー サイクルまでのロックダウン ブロック保護	揮発性		ブロック保護制御ビットおよび OTP 領域の現時点の状態をロックします。 1 = ブロック保護と OTP はロックされます。 0 = ブロック保護と OTP はロック解除されます。

TBPROT、BPNV および TBPARM CR1V[5、3、2]: ビットは CR1NV の関連不揮発性ビットの揮発性コピーです。対応する不揮発性バージョンに対する変更を追跡します。

クアッド データ幅 (QUAD) CR1V[1]: 1 にセットされると、ビットはデバイスのデータ幅を 4 ビット クアッド モードに切り替えます。つまり、WP# は IO2 になり、IO3_RESET# は CS# が LOW のときアクティブな I/O 信号になり、CS# が HIGH のとき RESET# 入力になります。WP# 入力は通常機能が監視されず、内部で HIGH (非アクティブ) にセットされます。シリアルおよびデュアル I/O 読み出しのコマンドはまだ正常に動作しますが、異なるデータ パス幅を使ってコマンドを切り替える際はコマンドのために WP# 入力を駆動する必要がありません。同様に、CS# が LOW のとき、それらのコマンドの実行中に IO3_RESET# を駆動する必要がありません。クアッド I/O 読み出し、DDR クアッド I/O 読み出し、QPI モード (CR2V[6] = 1) およびクアッド ID 読み出しコマンドを使用する際、QUAD ビットを 1 にセットする必要があります。QPI モードが CR2V[6] = 1 で選択されている間、QUAD ビットは 0 にクリアされることができません。WRR コマンドは QUAD ビットの不揮発性バージョン (CR1NV[1]) を書き込み、これによって揮発性バージョン (CR1V[1]) も更新されます。WRR コマンドはまず不揮発性バージョン CR1NV[1] に影響することなしには揮発性バージョン CR1V[1] を書き込むことができません。不揮発性バージョン CR1NV[1] に影響を与えずに揮発性 QUAD ビット CR1V[1] を書き込もうとすれば、WRAR コマンドを使用しなければなりません。

フリーズ保護 (FREEZE) CR1V[0]: FREEZE ビットは 1 にセットされれば、下記を含むブロック保護制御ビットおよび OTP 領域の現時点の状態をロックします。

- 不揮発性ステータスレジスタ 1 の BPNV_2 ~ 0 ビット (SR1NV[4:2])
 - 揮発性ステータスレジスタ 1 の BP2 ~ 0 ビット (SR1NV[4:2])
 - 不揮発性コンフィギュレーションレジスタの TBPROT_O、TBPARM_O、BPNV_O ビット (CR1NV[5、3、2])
 - 揮発性コンフィギュレーションレジスタの TBPROT、TBPARM、BPNV ビット (CR1V[5、3、2]) は対応する CR1NV OTP ビットのシャドウバージョンで、読み出し専用である点において間接的に保護されます。
 - OTP メモリ空間全体
- FREEZE = 1 の間、上記のビットの変更が防止されます。
- WRR コマンドは上記のビットに影響を与えず、エラー ステータスがセットされません。
 - WRAR コマンドは上記のビットに影響を与えず、エラー ステータスがセットされません。
 - OTP 領域内のアドレスを指す OTPP コマンドは失敗し、P-ERR ステータスがセットされます。

FREEZE ビットが論理 0 にクリアされる限り、ブロック保護制御ビットと FREEZE ビットは書き込み可能で、OTP アドレス空間はプログラム可能です。

FREEZE ビットは一度論理 1 にセットされると、電源を切断してからまた投入するサイクルまたはハードウェア リセットでのみ論理 0 にクリアできます。ソフトウェア リセットは FREEZE ビットの状態に影響を与えません。

CR1V[0] FREEZE ビットは揮発性で、電源投入後の FREEZE ビットのデフォルト状態は CR1NV[0] での FREEZE_D ビットから得られます。FREEZE ビットは CR1V 内の他の値の更新と同時に WRR または WRAR コマンドの実行で設定できます。

FREEZE ビットは WRR または WRAR コマンドが SRWD_NV (SR1NV[7])、Quad_NV (CR1NV[1])、または QUAD (CR1V[1]) ビットを変更するのを防ぎません。

9.6.4 コンフィギュレーション レジスタ 2

コンフィギュレーション レジスタ 2 は一定のインターフェース機能を制御します。レジスタ ビットは任意レジスタ読み出しと任意レジスタ書き込みコマンドを実行することで読み出され、変更が可能です。レジスタの不揮発性バージョンにより、POR、ハードウェア リセット、またはソフトウェア リセット時の制御を設定できます。コンフィギュレーション ビットは OTP であり、そのデフォルト状態はシステム コンフィギュレーション中に 1 回のみ反対値に変更できます。レジスタの揮発性バージョンは通常動作での機能を制御します。

9.6.4.1 不揮発性コンフィギュレーション レジスタ 2 (CR2NV)

関連コマンド：任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

表 32. 不揮発性コンフィギュレーション レジスタ 2 (CR2NV)

ビット	フィールド名	機能	タイプ	デフォルト 状態	説明
7	AL_NV	アドレス長	OTP	0	1 = 4 バイト アドレス 0 = 3 バイト アドレス
6	QA_NV	QPI		0	1 = 有効 -- QPI (4-4-4) プロトコルを使用します。 0 = 無効 -- 従来の SPI プロトコルを使用します。命令は SI 上で常にシリアルです。
5	IO3R_NV	IO3_Reset		0	1 = 有効 -- CS# が HIGH のとき、またはクアッド モードが無効 (CR1V[1] = 1) のとき、IO3 は RESET# として使用されます。 0 = 無効 -- IO3 は代替機能を持っておらず、ハードウェア リセットは無効です。
4	RFU	予約済み		0	将来使用するために予約済みです。
3	RL_NV	読み出し レイテンシ		1	読み出しアドレスまたは連続モード ビットの後に続く 0 ~ 15 のレイテンシ (ダミー) サイクルです。 ビット 3 はデフォルトで 1 であり、いったん 0 にプログラムすると 1 に戻すことはできない点に注意してください。
2				0	
1				0	
0				0	

不揮発性アドレス長 CR2NV[7]: ビットは、アドレスを必要とし 3 バイトまたは 4 バイト (32 ビット) アドレスのみに固定しないすべてのコマンドに対して、POR、ハードウェア リセット、またはソフトウェア リセット時の所望するアドレス長を制御します。アドレスを必要するほとんどのコマンドは、従来 3 バイト (24 ビット) のアドレスを使用するレガシーの SPI コマンドです。容量が 128M ビット以上のデバイスの場合、メモリ アレイ全体にアクセスするために 4 バイトのアドレスが必要です。アドレス長コンフィギュレーション ビットはほとんどの 3 バイト アドレス コマンドを所望の 4 バイト アドレスに変更するために使用されます。コマンド アドレス長については、74 ページの表 51 を参照してください。4 バイト アドレス長の使用は FS-S ファミリの 128M ビット デバイスにも適用されます。よって、ファミリのすべてのデバイスに同じ 4 バイト アドレスのハードウェアとソフトウェア インターフェースを使用でき、容量が異なるデバイス間の置き換えは簡単になります。FS-S ファミリの 128M ビット デバイスは単に 4 番目の上位アドレス バイトの内容を無視します。不揮発性アドレス長コンフィギュレーション ビットを使用すると、デバイスは、レガシーの 3 バイト アドレス モードではなく 4 バイト アドレス モードで直ちに起動 (ブート) できます。

不揮発性 QPI CR2NV[6]: ビットは、すべてのコマンドに対して、POR、ハードウェア リセット、またはソフトウェア リセット時のすべてのコマンドに対する所望の命令幅を制御します。レガシーの SPI コマンドは 1 ビット幅 (シリアル I/O) の命令を SI (IO0) 信号上に送信します。FS-S ファミリは、ホスト システムとメモリ間のすべての転送 (すべての命令転送を含む) が 4 ビット幅で IO0 ~ IO3 を介して実行される QPI モードにも対応します。不揮発性 QPI コンフィギュレーション ビットを使用すると、デバイスは、レガシーのシリアル命令モードではなく QPI モードで直ちに起動 (ブート) できます。ビットが QPI モードにプログラムされたとき、QUAD_NV ビットもクアッド モードにプログラムされます (CR1NV[1] = 1)。QPI モードに遷移する推奨手順は、まず WRAR コマンドを使用して CR2V[6] を「1」(QPI モード) をセットすることです。QPI モードでの揮発性レジスタ書き込みは、QPI モードにデバイス インターフェースを切り替えるための短くて明確に定義された時間 (t_{CS}) を要します。その後、後続するコマンドは直ちに QPI プロトコルで送信できます。WRAR コマンドを使用して CR2NV[6] を「1」にプログラムし、その後、SR1V[0] をポーリングしていつプログラム動作が終了するかを判定します。同様に、QPI モードを終了するために、WRAR コマンドを使用して CR2V[6] を「0」にクリアします。CR2NV[6] は OTP であるため「0」に消去することはできません。

不揮発性 IO3_Reset CR2NV[5]: ビットは、POR、ハードウェア リセット、またはソフトウェア リセット時の IO3 信号動作を制御します。ほとんどのレガシー SPI デバイスは、従来の SPI デバイス パッケージにおける信号数および使用可能な接続数に制限があるため、ハードウェア リセットの入力信号を有しません。FS-S ファミリでは、IO3 信号がホスト システムとメモリ間の情報通信に使用されていないとき、IO3 信号をハードウェア リセット入力として使用するオプションがあります。不揮発性 IO3_Reset コンフィギュレーション ビットは、IO3 が RESET# 信号として使用可能な状態でデバイスを直ちに起動 (ブート) させます。

不揮発性読み出しレイテンシ CR2NV[3:0]: ビットは POR、ハードウェア リセット、またはソフトウェア リセット時のすべての可変レイテンシ読み出しコマンドの読み出しレイテンシ (ダミー サイクル) 遅延を制御します。以下の読み出しコマンドは、アドレス/モードの終わりにからホストに返される読み出しデータの始まりまでの、可変のレイテンシ期間があります。

- 高速読み出し
- デュアル出力読み出し
- クアッド出力読み出し
- デュアル I/O 読み出し
- クアッド I/O 読み出し
- DDR クアッド I/O 読み出し
- OTPR
- ECCRD
- RDAR

不揮発性読み出しレイテンシ コンフィギュレーション ビットは、使用される読み出しレイテンシ (ダミー サイクル) 数を設定します。これにより、デバイスはホスト システムの適切な読み出しレイテンシで直ちに起動 (ブート) できます。

表 33. レイテンシ コード (サイクル) と周波数

レイテンシ コード	読み出しコマンドの最大周波数 (MHz)				
	高速読み出し (1-1-1) デュアル出力 (1-1-2) クアッド出力 (1-1-4) OTPR (1-1-1) ECCRD (1-1-1) RDAR (1-1-1) RDAR (4-4-4)	デュアル I/O (1-2-2)	クアッド I/O (1-4-4) QPI (4-4-4)	ECCRD (4-4-4)	DDR クアッド I/O (1-4-4) DDR QPI (4-4-4)
	モード サイクル = 0	モード サイクル = 4	モード サイクル = 2	モード サイクル = 0	モード サイクル = 1
0	50	80	40	16	該当なし
1	66	92	53	26	22
2	80	104	66	40	34
3	92	116	80	53	45
4	104	129	92	66	57
5	116	133	104	80	68
6	129	133	116	92	80
7	133	133	129	104	80
8	133	133	133	116	80
9	133	133	133	129	80
10	133	133	133	133	80
11	133	133	133	133	80
12	133	133	133	133	80
13	133	133	133	133	80
14	133	133	133	133	80
15	133	133	133	133	80

注:

44. デバイス ファミリーは 133MHz SDR 以上、または 80MHz DDR 以上の SCK 周波数に対応しません。

45. デュアル I/O、クアッド I/O、QPI、DDR クアッド I/O、および DDR QPI コマンド プロトコルには、アドレスの後に続く連続読み出しモードのビットが含まれます。ビットのクロック サイクルはこの表に示されるレイテンシ サイクルの一部として計算されません。例えば、レガシーのクアッド I/O コマンドでは、アドレスの後に 2 つの連続読み出しモード サイクルが続きます。したがって、追加の読み出しレイテンシがないレガシーのクアッド I/O コマンドは、0 サイクルの読み出しレイテンシのためにこの表に示されている周波数までだけが対応されます。可変読み出しレイテンシを増加することで、クアッド I/O コマンドの周波数は最大周波数 (133MHz) の動作に対応できるように増加できます。

46. その他の読み出しコマンドは固定レイテンシを持っています。例えば読み出しは常にゼロ レイテンシ、RSFDP は常に 8 サイクルのレイテンシ、RUID は常に 32 サイクルのレイテンシ、RUID は常に 4 ダミー バイトまたは QPI モードでは 16 ダミー バイト (32 クロック サイクル) を持っています。

9.6.4.2 揮発性コンフィギュレーション レジスタ 2 (CR2V)

関連コマンド：任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)、4BAM。

表 34. 揮発性コンフィギュレーション レジスタ 2 (CR2V)

ビット	フィールド名	機能	タイプ	デフォルト 状態	説明
7	AL	アドレス長	揮発性	CR2NV	1 = 4 バイト アドレス 0 = 3 バイト アドレス
6	QA	QPI			1 = 有効 -- QPI (4-4-4) プロトコルを使用します。 0 = 無効 -- 従来の SPI プロトコルを使用します。命令は SI 上で常にシリアルです。
5	IO3R_S	IO3_Reset			1 = 有効 -- CS# が HIGH のとき、またはクアッド モー ドが無効 (CR1V[1] = 1) のとき、IO3 は RESET# として 使用されます。 0 = 無効 -- IO3 は代替機能を持っておらず、ハードウェ ア リセットは無効です。
4	RFU	予約済み			将来使用するために予約済み
3	RL	読み出しレイテンシ			読み出しアドレスまたは連続モード ビットの後に続く 0 ～ 15 のレイテンシ (ダミー) サイクルです。
2					
1					
0					

アドレス長 CR2NV[7]: ビットは、アドレスを必要とし 3 バイトまたは 4 バイト (32 ビット) アドレスのみに固定しないすべてのコマンドに対して、所望するアドレス長を制御します。コマンド アドレス長については、[74 ページの表 51](#) を参照してください。揮発性アドレス長コンフィギュレーション ビットは、通常動作中にアドレス長を変更できます。4 バイト アドレス モード (4BAM) コマンドはビットを 4 バイト アドレス モードに直接設定します。

QPI CR2V[6]: ビットはすべてのコマンドに対して所望の命令幅を制御します。揮発性 QPI コンフィギュレーション ビットは、デバイスが通常動作中に QPI モードを開始/終了できます。ビットが QPI モードにセットされたとき、QUAD ビットもクアッド モードにセットされます (CR1NV[1] = 1)。ビットをレガシーの SPI モードにクリアしても、QUAD ビットは影響されません。

IO3_Reset CR2V[5]: ビットは IO3_RESET# 信号の動作を制御します。揮発性 IO3_Reset コンフィギュレーション ビットは通常動作で IO3 を RESET# 入力として使用することを可能にします。

読み出しレイテンシ CR2V[3:0]: ビットは、可変レイテンシ読み出しコマンドの読み出しレイテンシ (ダミー サイクル) 遅延を制御します。揮発性コンフィギュレーション ビットを使用することにより、ユーザーは通常動作での読み出しレイテンシを調整でき、異なるコマンドまたは必要な場合に異なる動作周波数に応じてレイテンシを最適化できます。

9.6.5 コンフィギュレーション レジスタ 3

コンフィギュレーション レジスタ 3 は特定のコマンドの動作を制御します。レジスタ ビットは任意レジスタ読み出しと任意レジスタ書き込みコマンドを実行することで読み出され、変更が可能です。不揮発性レジスタは、POR、ハードウェア リセット、またはソフトウェア リセット時の制御を提供します。コンフィギュレーション ビットは OTP であり、必要に応じて、システム コンフィギュレーション中に 1 回反対値にプログラムできます。コンフィギュレーション レジスタ 3 の揮発性バージョンは、システムの動作やテスト中にコンフィギュレーションを変更できるようにします。

9.6.5.1 不揮発性コンフィギュレーション レジスタ 3 (CR3NV)

関連コマンド：任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

表 35. 不揮発性コンフィギュレーション レジスタ 3 (CR3NV)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	RFU	予約済み	OTP	0	将来使用するために予約済みです。
6	RFU	予約済み		0	将来使用するために予約済みです。
5	BC_NV	ブランク チェック		0	1 = 消去中のブランク チェックは有効です。 0 = ブランク チェックは無効です。
4	02h_NV	ページ バッファ ラップ		0	1 = 512 バイトでラップします。 0 = 256 バイトでラップします。
3	20h_NV	4KB 消去		0	1 = 4KB 消去は無効です (ユニフォーム セクタ アーキテクチャ)。 0 = 4KB 消去は有効です (ハイブリッド セクタ アーキテクチャ)。
2	30h_NV	ステータス クリア / 再開の選択		0	1 = 30h は消去 / プログラム再開コマンドです。 0 = 30h はステータス クリア コマンドです。
1	D8h_NV	ブロック消去サイズ		0	1 = 256KB 消去 0 = 64KB 消去
0	F0h_NV	レガシーソフトウェア リセット イネーブル		0	1 = ソフトウェア リセット F0h は有効です。 0 = ソフトウェア リセット F0h は無効です (無視されます)。

不揮発性ブランク チェック CR3NV[5]: ビットは POR、ハードウェア リセット、またはソフトウェア リセット時の消去中のブランク チェックを制御します。

不揮発性 02h CR3NV[4]: ビットは POR、ハードウェア リセット、またはソフトウェア リセット時のページ プログラム バッファ アドレス ラップ ポイントを制御します。

不揮発性 20h CR3NV[3]: ビットは POR、ハードウェア リセット、またはソフトウェア リセット時のメイン フラッシュ アレイ アドレス マップでの 4KB パラメーター セクタの利用可能性を制御します。

不揮発性 30h CR2NV[2]: ビットは POR、ハードウェア リセット、またはソフトウェア リセット時の 30h 命令コードの使用を制御します。

不揮発性 D8h CR3NV[1]: ビットは POR、ハードウェア リセット、またはソフトウェア リセット時の、FS-S ファミリの D8h または DCh 命令によって消去される領域のサイズの設定を制御します。

不揮発性 F0h CR3NV[0]: ビットは POR、ハードウェア リセット、またはソフトウェア リセット時のサイプレス レガシー FL-S ファミリのソフトウェア リセット命令の利用可能性を制御します。

9.6.5.2 揮発性コンフィギュレーション レジスタ 3 (CR3V)

関連コマンド：任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

表 36. 揮発性コンフィギュレーション レジスタ 3 (CR3V)

ビット	フィールド名	機能	タイプ	デフォルト 状態	説明
7	RFU	予約済み	揮発性	CR3NV	将来使用するために予約済みです。
6	RFU	予約済み			将来使用するために予約済みです。
5	BC_V	ブランク チェック			1 = 消去中のブランク チェックは有効です。 0 = ブランク チェックは無効です。
4	02h_V	ページ バッファ ラップ			1 = 512 バイトでラップします。 0 = 256 バイトでラップします。
3	20h_V	4KB 消去	揮発性 読み出し専用		1 = 4KB 消去は無効です (ユニフォーム セクタ アーキテクチャ)。 0 = 4KB 消去は有効です (ハイブリッド セクタ アーキテクチャ)。
2	30h_V	ステータス クリア／ 再開の選択	揮発性		1 = 30h は消去／プログラム再開コマンドです。 0 = 30h はステータス クリア コマンドです。
1	D8h_V	ブロック消去サイズ			1 = 256KB 消去 0 = 64KB 消去
0	F0h_V	レガシーソフトウェア リセット イネーブル			1 = ソフトウェア リセット F0h は有効です。 0 = ソフトウェア リセット F0h は無効です (無視されます)。

揮発性ブランク チェック CR3V[5]: ビットは消去中のブランク チェックを制御します。機能を有効にすると、消去コマンドはまずセクタの消去状態を評価します。セクタに対する直前の消去が正常に完了していないことが検出されると、そのセクタは無条件に消去されます。直前の消去が正常に完了した場合、セクタはまだ消去中 (ブランク) であるかどうかを判断するために読み出されます。消去動作は、0 にプログラムされたビットが見つかった直後に開始されます。セクタはすでにブランクであった (0 にプログラムされたビットが見つからない) 場合、消去動作の残りの部分はスキップされます。これにより、消去中のセクタに消去動作が不要である場合、消去時間を劇的に低減できます。ブランク チェック機能は有効にされたとき、パラメーター消去、セクタ消去およびバルク消去のコマンドに使用されます。ブランク チェック機能は無効にされたとき、消去コマンドによって消去動作が無条件に開始されます。

揮発性 02h CR3V[4]: ビットはページ プログラム バッファ アドレス ラップ ポイントを制御します。レガシー SPI デバイスは、一般的に 256 バイト ページ プログラム バッファを使用し、データが 255 バイトの位置を越えたバッファにロードされた場合、追加バイトがロードされるアドレスがバッファのアドレス 0 にラップされることを定義します。FS-S ファミリはプログラム性能を向上できる 512 バイト ページ プログラム バッファを提供します。レガシー ソフトウェアとの互換性のために、コンフィギュレーション ビットは、256 バイト境界でラップ動作を継続するオプション、または、256 バイト境界でロード アドレスをラップしないことで使用可能な 512 バイト バッファをフルに活用できるオプションを提供します。

揮発性 20h CR3V[3]: ビットはメイン フラッシュ アレイ アドレス マップでの 4KB パラメーター セクタの利用可能性を制御します。パラメーター セクタはデバイスの最上位/最下位 32KB アドレス範囲を重ねることができません。またこれらのセクタは、すべてのセクタが均一な大きさになるために、アドレス マップから削除されることもあります。ビットには、CR3NV[3] の値とは異なる値を書き込んではいけません。CR3V[3] の値は CR3NV[3] に書き込むことでのみ変更できます。

揮発性 30h CR3V[2]: ビットは 30h 命令コードの使用方法を制御します。命令は、ステータス クリア コマンド、または代替のプログラム/消去再開コマンドとして使用できます。これにより、サイプレスのレガシー SPI デバイスまたは代替のベンダーのデバイスとのソフトウェア互換性があります。

揮発性 D8h CR3V[1]: ビットは FS-S ファミリでの D8h または DCh 命令により消去される領域を制御します。命令は 64KB の物理セクタ、またはアラインされた 256KB ブロックを消去するために使用できます。ファミリのより小さい容量のデバイスでの 256KB ブロックを消去するオプションにより、すべての容量のデバイスにわたってソフトウェア動作は一貫性があり、異なる容量のデバイス間の置き換えが容易になります。

揮発性 F0h CR3V[0]: ビットはサイプレスのレガシー FL-S ファミリ ソフトウェア リセット命令の利用可能性を制御します。FS-S ファミリは、ソフトウェア リセット用の業界共通 66h + 99h 命令シーケンスに対応します。コンフィギュレーション ビットは、ソフトウェア リセット用にレガシー F0h シングル コマンドを使用し続けるオプションを可能にします。

9.6.6 コンフィギュレーション レジスタ 4

コンフィギュレーション レジスタ 4 はメイン フラッシュ アレイの読み出しコマンドのバースト ラップ動作を制御します。バースト ラップ コンフィギュレーションは、レジスタまたは OTP アレイからの読み出しコマンドなどのメイン フラッシュ アレイでない領域から読み出すコマンドに影響しません。POR、ハードウェア リセット、またはソフトウェア リセット時にレジスタの内容がレジスタの揮発性バージョンにコピーされるため、レジスタの不揮発性バージョンは起動時 (ブート) の制御状態を設定できるようにします。レジスタの揮発性バージョンは通常動作での機能を制御します。レジスタ ビットは任意レジスタ読み出しと任意レジスタ書き込みコマンドを実行することで読み出され、変更が可能です。レジスタの揮発性バージョンはバースト長設定 (C0h) コマンドを実行することによっても書き込まれます。

9.6.6.1 不揮発性コンフィギュレーション レジスタ 4 (CR4NV)

関連コマンド: 任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

表 37. 不揮発性コンフィギュレーション レジスタ 4 (CR4NV)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	OI_O	出カインピーダンス	OTP	0	59 ページの表 38. 出カインピーダンス制御を参照してください。
6				0	
5				0	
4	WE_O	ラップ イネーブル		1	0 = ラップが有効です。 1 = ラップが無効です。
3	RFU	予約済み		0	将来使用するために予約済みです。
2	RFU	予約済み		0	将来使用するために予約済みです。
1	WL_O	ラップ長		0	00 = 8 バイト ラップ 01 = 16 バイト ラップ 10 = 32 バイト ラップ 11 = 64 バイト ラップ
0				0	

不揮発性出力インピーダンス CR4NV[7:5]: ビットは、POR、ハードウェア リセット、またはソフトウェア リセット時の IO 信号の出力インピーダンス (駆動能力) を制御します。出力インピーダンスをプリント基板のシステム環境に一致させ、オーバーシュートおよびリングングを最小限に抑えるために、多くの駆動能力を利用できます。不揮発性出力インピーダンスのコンフィギュレーション ビットにより、デバイスは適切な駆動能力で直ちに起動 (ブート) できます。

表 38. 出力インピーダンス制御

CR4NV[7:5] インピーダンス選択	V _{SS} に対する 標準インピーダンス (Ω)	V _{CC} に対する 標準インピーダンス (Ω)	備考
000	47	45	工場出荷時
001	124	105	
010	71	64	
011	47	45	
100	34	35	
101	26	28	
110	22	24	
111	18	21	

不揮発性ラップ イネーブル CR4NV[4]: ビットは POR、ハードウェア リセット、またはソフトウェア リセット時のラップ イネーブルを制御します。ラップ イネーブルに影響されるコマンドはクアッド I/O 読み出し、DDR クアッド I/O 読み出し、クアッド出力読み出し、および QPI 読み出しです。コンフィギュレーション ビットを使用すると、デバイスはレガシーの順次読み出しモードではなくラップ バースト読み出しモードで直ちに起動 (ブート) できます。

不揮発性ラップ長 CR4NV[1:0]: ビットは、POR、ハードウェア リセット、またはソフトウェア リセット時のラップ読み出しの長さおよびアラインメントを制御します。不揮発性コンフィギュレーション ビットを使用すると、デバイスは、レガシーの順次読み出しモードではなくラップ バースト読み出しモードで直ちに起動 (ブート) できます。

9.6.6.2 揮発性コンフィギュレーション レジスタ 4 (CR4V)

関連コマンド: 任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)、バースト長設定 (SBL C0h)。

表 39. 揮発性コンフィギュレーション レジスタ 4 (CR4V)

ビット	フィールド名	機能	タイプ	デフォルト 状態	説明
7	OI	出カインピーダンス	揮発性	CR4NV	59 ページの表 38. 出カインピーダンス制御を参照してください。
6					
5					
4	WE	ラップ イネーブル			0 = ラップは有効 1 = ラップは無効
3	RFU	予約済み			将来使用するために予約済み
2	RFU	予約済み			将来使用するために予約済み
1	WL	ラップ長			00 = 8 バイト ラップ 01 = 16 バイト ラップ 10 = 32 バイト ラップ 11 = 64 バイト ラップ
0					

出力インピーダンス CR2V[7:5]: ビットは IO 信号の出力インピーダンス (駆動能力) を制御します。揮発性出力インピーダンス コンフィギュレーション ビットを使用すると、ユーザーは通常動作での駆動能力を調整できます。

ラップ イネーブル CR4V[4]: ビットはバースト ラップ機能を制御します。揮発性コンフィギュレーション ビットを使用すると、デバイスは通常動作中にバースト ラップ読み出しモードを開始/終了できます。

ラップ長 CR4V[1:0]: ビットは、通常動作でのラップ読み出しの長さおよびアラインメントを制御します。揮発性コンフィギュレーション ビットを使用すると、ユーザーは通常動作でのバースト ラップ読み出しの長さを調整できます。

9.6.7 ECC ステータス レジスタ (ECCSR)

関連コマンド : ECC 読み出し (ECCRD 18h または 19h)。ECCSR には、ユーザー プログラム可能な不揮発性ビットがありません。すべての定義済みビットは揮発性の読み出し専用状態です。ビットのデフォルト状態はハードウェアにより設定されます。[100 ページの自動 ECC](#) を参照してください。

各 ECC ユニット内の ECC の状態は 8 ビット ECC ステータス レジスタ (ECCSR) により提供されます。ECC レジスタ読み出しコマンドが書き込まれた後、ECC ユニット アドレスが続きます。ステータス レジスタの内容は、ECC ユニットの 8 ビット エラー訂正コードまたは 16 バイト データにエラーがあるかどうか、または ECC ユニットののための ECC が無効にされたかどうかを示します。

表 40. ECC ステータス レジスタ (ECCSR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 3	RFU	予約済み		0	将来使用するために予約済み
2	EECC	ECC でのエラー	揮発性、読み出し専用	0	1 = ECC ユニット 8 ビット エラー訂正コードでシングル ビット エラーが発生 0 = エラーなし
1	EECCD	ECC ユニットデータでのエラー	揮発性、読み出し専用	0	1 = ECC ユニット データでシングルビット エラーが訂正 0 = エラーなし
0	ECCDI	ECC 無効	揮発性、読み出し専用	0	1 = 選択した ECC ユニットで ECC が無効 0 = 選択した ECC ユニットで ECC が選択

ECCSR[2] = 1 は、ECC でエラーが訂正されたことを示します。ECCSR[1] = 1 は、ECC ユニット データでエラーが訂正されたことを示します。ECCSR[0] = 1 は ECC が無効にされたことを示します。ビットのデフォルト状態「0」はエラーがない、かつ ECC が有効であることを示します。

ECCSR[7:3] が予約済みです。未定義の HIGH または LOW の値を持っており、この値は、あるステータス読み出しから別のステータス読み出しに変更できます。ビットは、「ドント ケア」として扱うべきであり、ステータスを読み出すすべてのソフトウェアによって無視されます。

9.6.8 ASP レジスタ (ASPR)

関連コマンド : ASP 読み出し (ASPRD 2Bh)、ASP プログラム (ASPP 2Fh)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

ASP レジスタは、高度セクタ保護 (ASP) 機能の動作を恒久的に設定するための 16 ビットの OTP メモリ位置を示します。ASPR にはユーザーがプログラム可能な揮発性ビットがありません。すべての定義されたビットは OTP です。

ASPR ビットのデフォルト状態はサイプレスによってプログラムされています。

表 41. ASP レジスタ (ASPR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
15 ~ 9	RFU	予約済み	OTP	1	将来使用するために予約済みです。
8	RFU	予約済み	OTP	1	将来使用するために予約済みです。
7	RFU	予約済み	OTP	1	将来使用するために予約済みです。
6	RFU	予約済み	OTP	1	将来使用するために予約済みです。
5	RFU	予約済み	OTP	1	将来使用するために予約済みです。
4		予約済み	RFU	1	将来使用するために予約済みです。
3		予約済み	RFU	1	将来使用するために予約済みです。
2	PWDMLB	パスワード保護モード ロック ビット	OTP	1	0 = パスワード保護モードが永久的に有効にされます。 1 = パスワード保護モードが永久的に有効にされません。
1	PSTMLB	持続的保護モード ロック ビット	OTP	1	0 = 持続的保護モードが永久的に有効にされます。 1 = 持続的保護モードが永久的に有効にされません。
0		予約済み	RFU	1	将来使用するために予約済みです。

パスワード保護モード ロック ビット (PWDMLB) ASPR[2]:PWDMLB が「0」にプログラムされると、パスワード保護モードが恒久的に選択されます。

持続的保護モード ロック ビット (PSTMLB) ASPR[1]:PSTMLB が「0」にプログラムされると、持続的保護モードが恒久的に選択されます。

PWDMLB (ASPR[2]) と PSTMLB (ASPR[1]) は相互に排他的であり、1つのみを「0」にプログラムできます。

ASPR[2:1] = 11b の場合のみ、ASPR ビットをプログラムできます。ASPR[2:1] が 11b でない場合、ASPR ビットをプログラムしようとすると、プログラミング エラーが発生し、P_ERR (SR1V[6]) が「1」にセットされます。ASPR[2:1] を 10b または 01b にプログラムすることで ASP 保護モードを選択した後、すべての ASPR ビットの状態はロックされ、将来のプログラムから永久的に保護されます。ASPR[2:1] を 00b にプログラムしようとすると、プログラミング エラーが発生し、P_ERR (SR1V[6]) が「1」にセットされます。

同様に、ASPR[2:1] = 11b の場合のみ、ASP レジスタ説明 (67 ページの [ASP レジスタ](#) を参照) で記載された OTP コンフィギュレーション ビットをプログラムできます。ASP 保護モードを選択する前に、OTP コンフィギュレーションを選択する必要があります。ASP 保護モードを選択したとき、OTP コンフィギュレーション ビットは将来の変更から永久的に保護されます。ASPR[2:1] が 11b でない場合、OTP コンフィギュレーション ビットをプログラムしようとすると、プログラミング エラーが発生し、P_ERR (SR1V[6]) が「1」にセットされます。

ASP 保護モードは、後で不正なプログラムが望まない保護モードを選択しないようにするため、システム コンフィギュレーションのときに選択する必要があります。ASP モードの選択によりすべての保護コンフィギュレーションをロックすることで、後で不正なプログラムが保護方式を変更できません。

9.6.9 パスワード レジスタ (PASS)

関連コマンド：パスワード読み出し (PASSRD E7h)、パスワード プログラム (PASSP E8h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。PASS レジスタは、高度セクタ保護 (ASP) 機能のパスワードを永久的に設定するための 64 ビット OTP メモリ位置です。PASS にはユーザーがプログラム可能な揮発性ビットがありません。すべての定義されたビットは OTP です。読み出しレイテンシ要件を満たすために PASS の揮発性コピーが使用されますが、揮発性レジスタはユーザー書き込み不可であり、さらなる説明はされません。

表 42. パスワード レジスタ (PASS)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
63 ~ 0	PWD	隠しパスワード	OTP	FFFFFFFF ~ FFFFFFFFh	64 ビット パスワードの不揮発性 OTP ストレージです。ASP レジスタのビット 2 を「0」にプログラムすることでパスワード保護モードを選択した後、パスワードは読み出し不可となります。

9.6.10 PPB ロック レジスタ (PPBL)

関連コマンド：PPB ロック読み出し (PLBRD A7h、PLBWR A6h)、任意レジスタ読み出し (RDAR 65h)。

PPBL にはユーザーがプログラム可能な個別の不揮発性ビットがありません。すべての定義されたビットは、揮発性の読み出し専用状態です。RFU ビットのデフォルト状態はハードウェアで設定されます。PPBLOCK ビットのデフォルト状態は ASPR[2:1] での ASP 保護モード ビットにより定義されます。PPBL レジスタの不揮発性バージョンはありません。

PPBLOCK ビットは PPB ビットを保護するために使用されます。PPBL[0] = 0 の場合、PPB ビットをプログラムできません。

表 43. PPB ロック レジスタ (PPBL)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 1	RFU	予約済み	揮発性	00h	将来使用するために予約済みです。
0	PPBLOCK	PPB アレイ保護	揮発性読み出し専用	ASPR[2:1] = 1xb = 持続的保護モード = 1 ASPR[2:1] = 01b = パスワード保護モード = 0	0 = PPB アレイは保護されます。 1 = PPB アレイはプログラムまたは消去できます。

9.6.11 PPB アクセス レジスタ (PPBAR)

関連コマンド : PPB 読み出し (PPBRD FCh または 4PPBRD E2h)、PPB プログラム (PPBP FDh または 4PPBP E3h)、PPB 消去 (PPBE E4h)。

PPBAR にはユーザーが書き込み可能な揮発性ビットがありません。すべての PPB アレイ ビットは不揮発性です。サイプレスは PPB アレイのデフォルト状態を FFh に消去します。PPBAR レジスタの揮発性バージョンはありません。

表 44. PPB アクセス レジスタ (PPBAR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 0	PPB	セクタ PPB 単位の読み出し / プログラム	不揮発性	FFh	00h = PPBRD または PPBP コマンドでアドレス指定された PPB が「0」にプログラムされ、そのセクタはプログラムまたは消去から保護されます。 FFh = PPBRD コマンドでアドレス指定された PPB が「1」にセットされ、そのセクタはプログラムまたは消去から保護されません。

9.6.12 DYB アクセス レジスタ (DYBAR)

関連コマンド : DYB 読み出し (DYBRD FAh または 4DYBRD E0h) と DYB 書き込み (DYBWR FBh または 4DYBWR E1h)。

DYBAR にはユーザーがプログラム可能な不揮発性ビットがありません。すべてのビットは DYB アレイの揮発性ビットのコピーです。DYB アレイ ビットのデフォルト状態はハードウェアで設定されます。DYBAR レジスタの不揮発性バージョンはありません。

表 45. DYB アクセス レジスタ (DYBAR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 0	DYB	セクタ DYB 単位の読み出しまたは書き込み	揮発性		00h = DYBRD または DYBWR コマンドでアドレス指定された DYB が「0」にクリアされ、そのセクタはプログラムまたは消去から保護されます。 FFh = DYBRD または DYBWR コマンドでアドレス指定された DYB が「1」にセットされ、そのセクタはプログラムまたは消去から保護されません。

9.6.13 SPI DDR データ ラーニング レジスタ

関連コマンド : NVDLR プログラム (PNVDLR 43h)、VDLR 書き込み (WVDLR 4Ah)、データ ラーニング パターン読み出し (DLPRD 41h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

データ ラーニング パターン (DLP) は 8 ビット不揮発性データ ラーニング レジスタ (NVDLR) および 8 ビット揮発性データ ラーニング レジスタ (VDLR) にあります。サイプレス出荷時の NVDLR 値は 00h です。いったんプログラムされた NVDLR は、再プログラムも消去もできません。NVDLR のデータ パターンのコピーは VDLR にも書き込まれます。VDLR はいつでも書き込めますが、パワー サイクルでデータ パターンは NVDLR 内のものに戻ります。説明された SPI DDR モードのラーニング フェーズでは、DLP は VDLR から得られます。それぞれの IO はクロック エッジごとに同じ DLP 値を出力します。例えば、DLP が 34h (2 進で 00110100) の場合、1 番目のクロック エッジですべての I/O は 0 を出力します。続いて、2 番目のクロック エッジで 0 を、3 番目のクロック エッジで 1 を、というように順番に出力します。

VDLR 値が 00h の場合、DDR コマンドのダミー フェーズ中にプリアンブル データ パターンはありません。

表 46. 不揮発性データ ラーニング レジスタ (NVDLR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 0	NVDLP	不揮発性データ ラーニング パターン	OTP	00h	ホストが受信データ ビットでデータ キャプチャ ポイントを正確に中央に位置付けるのに役立つトレーニング パターンを提供するために DDR 読み出しコマンド レイテンシ (ダミー) サイクル中にホストに転送される OTP 値です。

表 47. 揮発性データ ラーニング レジスタ (VDLR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 0	VDLP	揮発性データ ラーニング パターン	揮発性	POR またはリセット中に NVDLR の値	データ ラーニング パターン (DLP) を有効にして出力に供給するための NVDLP の揮発性コピーです。VDLP はシステム動作中にホストによって変更される場合があります。

10. データ保護

10.1 セキュア シリコン領域 (OTP)

デバイスにはメイン フラッシュ アレイから独立した 1024 バイト ワン タイム プログラム (OTP) アドレス空間があります。OTP 領域は 32 の領域に分割され、それぞれが単独にロックでき、32 バイト 整列長です。

OTP メモリ空間はシステム セキュリティ強化のために使用されます。OTP 値は、フラッシュ コンポーネントをシステム CPU / ASIC と一体化してデバイス置き換えを回避できます。[46 ページの OTP アドレス空間](#)、[110 ページの OTP プログラム \(OTPP 42h\)](#) および [110 ページの OTP 読み出し \(OTPR 4Bh\)](#) を参照してください。

10.1.1 OTP メモリ空間の読み出し

OTP 読み出しコマンドは高速読み出しと同じプロトコルを使用します。1KB の有効な OTP アドレス範囲外の OTP 読み出し動作は不定値を生じます。

10.1.2 OTP メモリ空間のプログラム

OTP プログラム コマンドのプロトコルは、ページ プログラムと同じです。OTP プログラム コマンドは、特定の OTP のアドレスに複数回実行できますが、このアドレス空間を消去することはできません。

自動 ECC は各 16 バイト領域に対する最初のプログラム動作によりプログラムされます。16 バイト領域内で 2 回以上プログラムすると、ECC が無効になります。ECC が有効状態のまま最高データ完全性を実現するためには、各 32 バイト領域の各 16 バイト部分を 1 回プログラムすることを推奨します。

OTP プログラムの有効なアドレス範囲は [46 ページの図 42](#) に示されます。有効な OTP アドレス範囲外の OTP プログラム動作は無視され、SR1V の P_ERR ビットが「1」にセットされません。FREEZE = 1 の場合、有効な OTP アドレス範囲内の OTP プログラム動作は失敗し、SR1V の P_ERR ビットが「1」にセットされます。ASP 保護モードを選択しても、OTP アドレス空間が保護されません。FREEZE ビット (CR1V[0]) は OTP アドレス空間を保護するために使用できます。

10.1.3 サイプレスによってプログラムされる乱数

サイプレスの標準的な手順は線形合同乱数方法を使用し、128 ビットの乱数を OTP メモリ空間 (0x0 ~ 0xF) の下位 16 バイトにプログラムすることです。アルゴリズムのシード値はテスター挿入の日付と時刻と関連づけられた乱数です。

10.1.4 ロック バイト

各ロック バイトの LSB はバイトに関連する最下位アドレス領域を保護し、MSB はバイトに関連する最上位アドレス領域を保護します。同じように、次のより上位アドレスは次のより上位 8 領域を保護します。最下位アドレス ロック バイトの LSB ビットは最下位アドレス領域のより上位アドレス 16 バイトを保護します。つまり、ロケーション 0x10 の LSB は最下位アドレス領域のすべてのロック バイトおよび RFU バイトを将来のプログラムから保護します。[46 ページの OTP アドレス空間](#) を参照してください。

10.2 書き込みイネーブル コマンド

書き込みイネーブル (WREN) コマンドは、不揮発性データを変更するすべてのコマンドの前に書き込む必要があります。WREN コマンドは書き込みイネーブル ラッチ (WEL) ビットをセットします。WEL ビットは、電源投入、ハードウェア リセットのとき、またはデバイスが以下のコマンドを完了した後、0 にクリアされます (書き込み不可になります)。

リセット

ページ プログラム (PP または 4PP)

パラメーター 4KB 消去 (P4E または 4P4E)

セクタ消去 (SE または 4SE)

バルク消去 (BE)

書き込みディセーブル (WRDI)

レジスタ書き込み (WRR)

任意レジスタ書き込み (WRAR)

OTP バイト プログラム (OTPP)

高度セクタ保護レジスタ プログラム (ASPP)

持続的保護ビット プログラム (PPBP)

持続的保護ビット消去 (PPBE)

パスワード プログラム (PASSP)

不揮発性データ ラーニング レジスタ プログラム (PNVDLR)

10.3 ブロック保護

ブロック保護ビット (ステータス レジスタ ビット BP2、BP1、BP0) はコンフィギュレーション レジスタ TBPROT_O ビットと併用して、メイン フラッシュ アレイのアドレス範囲をプログラムや消去動作から保護します。範囲のサイズは BP ビットの値で決まり、範囲の上限と下限のスタート ポイントはコンフィギュレーション レジスタの TBPROT_O ビット (CR1NV[5]) で選択されます。

表 48. S25FS064S 上位アレイ保護開始ポイント (TBPROT_O = 0)

ステータス レジスタの内容			メモリ アレイの保護部分	保護メモリ (K バイト)
BP2	BP1	BP0		
0	0	0	なし	0
0	0	1	上位 64 番目	128
0	1	0	上位 32 番目	256
0	1	1	上位 16 番目	512
1	0	0	上位 8 番目	1024
1	0	1	上位 4 番目	2048
1	1	0	上位半分	4096
1	1	1	すべてのセクタ	8192

表 49. S25FS064S 下位アレイ保護開始ポイント (TBPROT_O = 1)

ステータス レジスタの内容			メモリ アレイの保護部分	保護メモリ (K バイト)
BP2	BP1	BP0		
0	0	0	なし	0
0	0	1	下位 64 番目	128
0	1	0	下位 32 番目	256
0	1	1	下位 16 番目	512
1	0	0	下位 8 番目	1024
1	0	1	下位 4 番目	2048
1	1	0	下位半分	4096
1	1	1	すべてのセクタ	8192

ブロック 保護が有効になった場合 (例えば、BP2 ~ 0 のいずれかが「1」にセットされた)、高度セクタ保護 (ASP) はブロック保護方式により保護されないセクタを保護するためにまだ使用できます。ASP とブロック保護が同じセクタで使用された場合、ASP とセクタに対応するブロック保護の論理 OR が使用されます。

10.3.1 FREEZE ビット

コンフィギュレーション レジスタ 1 のビット 0 (CR1V[0]) は FREEZE ビットです。FREEZE ビットは 1 にセットされれば、次のパワー オフ/オン サイクルまでブロック保護制御ビットおよび OTP 領域の現時点の状態をロックします。詳細は [53 ページの揮発性コンフィギュレーション レジスタ 1 \(CR1V\)](#) を参照してください。

10.3.2 書き込み保護信号

書き込み保護 (WP#) 入力、ステータス レジスタ書き込みディセーブル (SRWD) ビット (SR1NV[7]) とともに、ハードウェア入力信号で制御される保護を提供します。WP# が LOW で、SRWD が「1」にセットされている場合、ステータス レジスタ 1 (SR1NV と SR1V)、コンフィギュレーション レジスタ 1 (CR1NV と CR1V) は変更できません。これにより、ブロック保護ビットで定義された保護の無効化あるいは変更を防ぎます。[48 ページのステータス レジスタ 1](#) を参照してください。

10.4 高度セクタ保護

ASP (高度セクタ保護) は、1つのセクタまたはすべてのセクタで、プログラム動作や消去動作を個別に無効または有効にするための、独立したハードウェアおよびソフトウェア方式の一式です。

各メインフラッシュアレイセクタには、不揮発性持続的保護ビット (PPB) と揮発性ダイナミック保護ビット (DYB) が整備されています。どちらのビットが「0」になると、セクタはプログラム動作や消去動作から保護されます。PPB ビットは、揮発性 PPB ロックビットが 0 のとき、プログラムおよび消去から保護されます。PPB ロックビットの状態の管理方式には、パスワード保護と持続的保護の 2 つがあります。これらの方式の概要を [66 ページの図 44](#) に示します。

各セクタのブロック保護および ASP 保護設定は、各セクタの保護を定義するために論理 OR を取ります。例えば、どちらのメカニズムでもセクタを保護している場合、セクタをプログラム／消去できません。BP2 ~ 0 ビットの完全な詳細については、[64 ページのブロック保護](#)を参照してください。

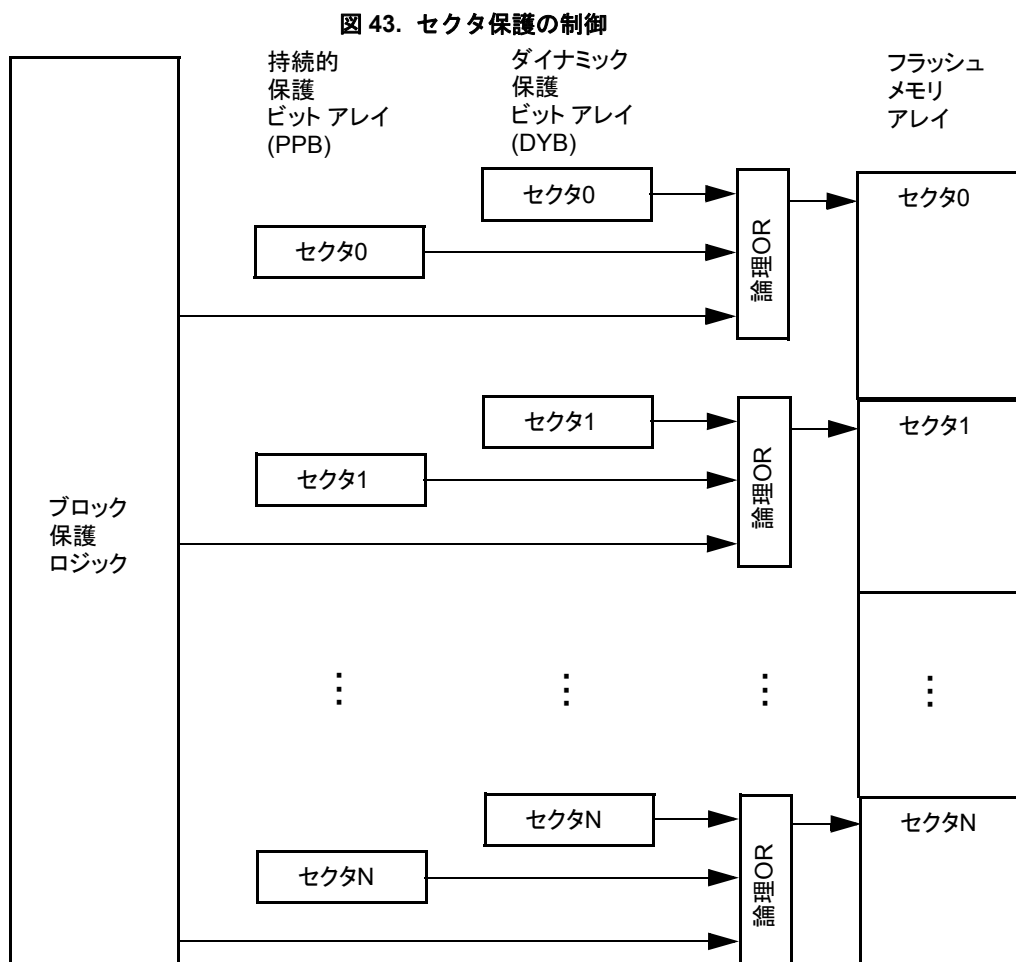
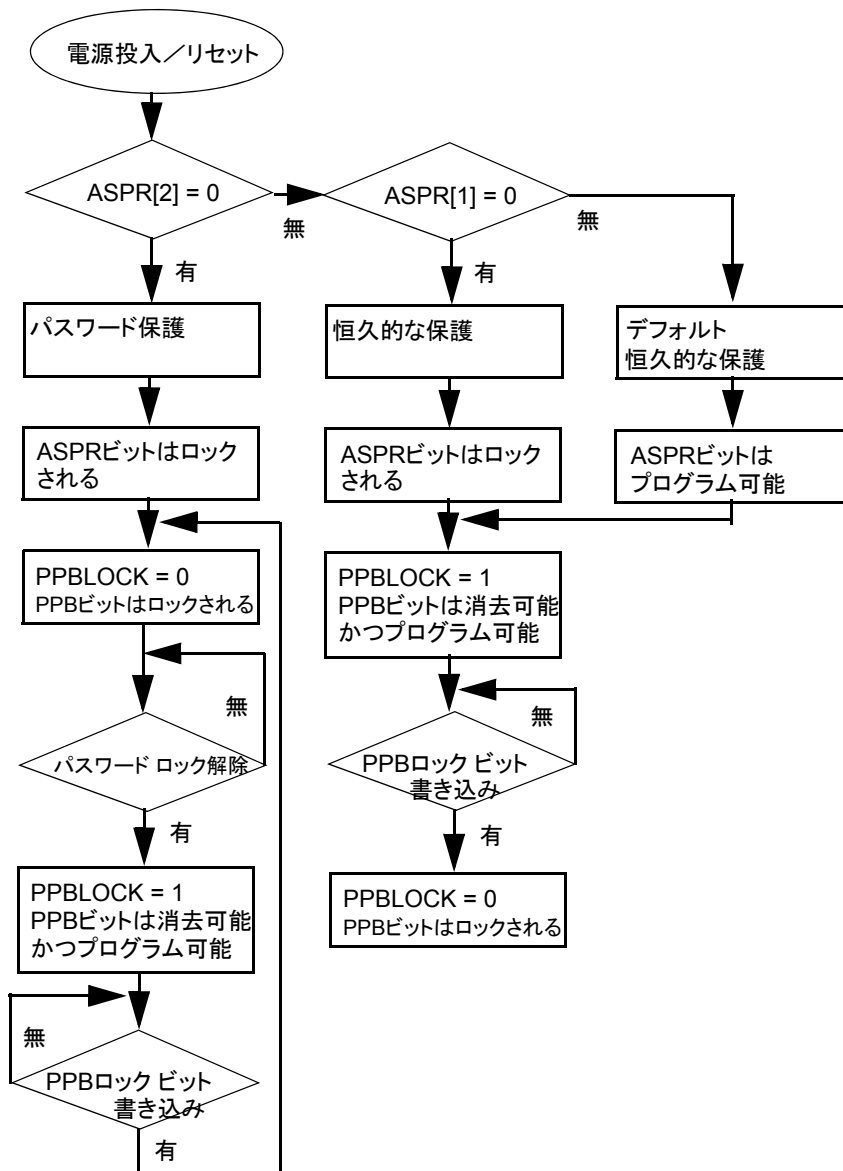


図 44. 高度セクタ保護の概要



パスワード保護モードは電源投入の後に PPB を保護します。パスワードロック解除コマンドは PPB への更新を可能します。PPB ロックビット書き込みコマンドは再び保護を有効にします。

持続的保護モードは電源投入の後に PPB を保護しません。PPB ビットは変更できます。PPB ロックビット書き込みコマンドは次の電源断またはリセットまで PPB を保護します。

デフォルトモードでは、ASPR が永久に保護モードを選択するようにプログラムできます。

そうでない場合、デフォルトモードは持続的保護モードと同じように動作します。

保護モードのいずれかを選択した後、ASPR はもはやプログラムできず、選択した保護モードが永続的になります。

持続的保護方式では、POR またはハードウェア リセット時に PPB ロック ビットを「1」にセットし、PPB ビットがデバイス リセットによって非保護となるようにします。PPB を保護するために PPB ロック ビットを「0」にクリアするためのコマンドがあります。持続的保護方式では、PPB ロック ビットを「1」にセットするコマンドがないため、次の電源切断またはハードウェア リセットまで PPB ロック ビットは「0」のままです。持続的保護方式は、PPB のプログラムまたは消去によってセクタ保護を変更し、次に PPB ロック ビットを「0」にクリアすることでその後の通常システム動作の間 PPB ビットをさらなる変更から保護するオプションをブート コードに提供します。時にブート コード制御によるセクタ保護とも呼ばれます。

パスワード方式では、POR またはハードウェア リセット時に PPB ロック ビットを「0」にクリアして PPB ビットを保護します。パスワード方式では、64 ビットのパスワードを恒久的にプログラムし、隠すことができます。隠しパスワードと比較するためのパスワードを提供するコマンドがあります。パスワードが一致した場合、PPB ロック ビットは PPB を保護解除するために「1」にセットされます。PPB ロック ビットを「0」に消去するコマンドがあります。この方法では、PPB 保護を制御するためにパスワードの使用が必要です。

PPB ロック ビットの管理方式は、ASP レジスタの OTP ビットをプログラムすることによって恒久的に選択されます。

10.4.1 ASP レジスタ

ASPレジスタは、高度セクタ保護 (ASP) 機能の動作を永久的に設定するために使用されます。[60ページの表41](#)を参照してください。

工場出荷時は、すべてのデバイスの ASP はデフォルトで持続的保護モードであり、電力が印加されたときはすべてのセクタが非保護になっています。その後、デバイス プログラムまたはホスト システムは使用するセクタ保護方式を選択する必要があります。ワンタイム プログラマブルの保護モード ロック ビットのいずれかをプログラムすると、選択したモードでデバイスが恒久的にロックされます。

- ASPR[2:1] = 「11」の場合、ASP モードが選択されず、持続的保護モードがデフォルトです。
- ASPR[2:1] = 「10」の場合、持続的保護モードが恒久的に選択されます。
- ASPR[2:1] = 「01」の場合、パスワード保護モードが恒久的に選択されます。
- ASPR[2:1] = 「00」の場合は無効条件になります。1 つ以上のビットをゼロにプログラムしようとすると、プログラミング エラーが発生します。

ASP レジスタのプログラミング ルールは次のとおりです。

- パスワード モードを選択した場合、保護モード ロック ビットをセットする前にパスワードをプログラムしなければなりません。
- 保護モードを選択したとき、下記の OTP コンフィギュレーション レジスタ ビットは永久的にプログラムから保護され、さらなる変更は不可です。
 - CR1NV
 - CR2NV
 - CR3NV
 - CR4NV
 - ASPR
 - PASS
 - NVDLR
 - ASP モードを選択した後、上記のレジスタのいずれかを変更しようとすると失敗し、P_ERR (SR1V[6]) が「1」にセットされます。

ASP レジスタのプログラム時間は、通常のページ プログラムに要する時間と同じです。システムはステータス レジスタの WIP ビットを読み出すことで、ASP レジスタのプログラム動作の状態を判定できます。WIP の詳細については [48 ページのステータス レジスタ 1](#) を参照してください。 [68 ページのセクタ保護状態の概要](#) を参照してください。

10.4.2 持続的保護ビット

持続的保護ビット (PPB) は、個別の不揮発性フラッシュ アレイに配置されています。各セクタごとに 1 つの PPB ビットが対応します。PPB が「0」の場合、その対応するセクタはプログラムおよび消去動作から保護されます。PPB は個別にプログラムしますが、グループとして消去する必要があります。これは、個々のワードがメイン アレイでプログラム可能であるが、全セクタを一括消去することと同様です。PPB はメイン フラッシュ メモリ アレイと同じプログラム/消去耐久性があります。消去前のプリプログラムと検証はデバイスが行います。

PPB ビットのプログラムには、通常のページ プログラムのための時間が必要です。すべての PPB を消去するには、通常のセクタ消去時間が必要です。PPB ビットのプログラム/消去中、ステータス レジスタを読み出すことで状態が確認できます。PPB ビットを読み出すには、デバイスの初期アクセス時間を要します。

注：

1. 各 PPB は個別に「0」にプログラムされ、すべては並行して「1」に消去されます。
2. PPB ロック ビットが「0」の場合、PPB プログラム/消去コマンドは、PPB のプログラム/消去を行わずに失敗します。
3. 特定のセクタの PPB 状態は PPB 読み出しコマンドで検証されます。

10.4.3 ダイナミック保護ビット

ダイナミック保護ビットは、揮発性でセクタ固有であり、個別に変更できます。DYB は、「1」にセットした PPB を持つセクタのみに対して保護を制御します。DYB 書き込みコマンドを実行することで、DYB が「0」にクリアされるか、または「1」にセットされ、各セクタがそれぞれ保護または非保護の状態になります。この機能により、意図しない変更からソフトウェアでセクタを簡単に保護できますが、変更が必要な場合は簡単に保護を解除できます。DYB ビットは揮発性ビットであるため、何回でもセット/クリアできます。

10.4.4 PPB ロック ビット (PPBL[0])

PPB ロック ビットは、すべての PPB ビットを保護するための揮発性ビットです。「0」にクリアするとすべての PPB をロックし、「1」にセットすると PPB の変更を許可します。詳細については、[61 ページの PPB ロック レジスタ \(PPBL\)](#) を参照してください。PLBWR コマンドは、PPB ロック ビットを「0」にクリアするために使用されます。PPB ロック ビットは、すべての PPB を所望の設定に構成した後でのみ、「0」にクリアする必要があります。

持続的保護モードでは、POR またはハードウェア リセット時に、PPB ロックが「1」にセットされます。「0」にクリアされると、PPB ロック ビットを「1」にセットするソフトウェア コマンド シーケンスはありません。別のハードウェア リセットまたは電源投入でのみ PPB ロック ビットをセットできます。

パスワード保護モードでは、POR またはハードウェア リセット時に、PPB ロック ビットが「0」にクリアされます。PPB ロック ビットは、パスワード ロック解除コマンドによってのみ「1」にセットできます。

10.4.5 セクタ保護状態の概要

セクタは次の保護状態があります。

- ロック解除：セクタは非保護です。簡単なコマンドで保護を変更できます。サイプレス出荷時のデフォルトの保護状態は非保護です。
- 動的ロック：セクタは保護され、保護は簡単なコマンドで変更できます。パワー サイクルまたはリセットを通じて保護状態は保存されません。
- 恒久ロック：セクタは保護され、PPB ロック ビットが「1」にセットされた場合のみ保護を変更できます。保護状態は不揮発性で、パワー サイクルまたはリセットを通じて保存されます。保護状態を変更するには、PPB ビットのプログラムまたは消去が必要です。

表 50. セクタ保護状態

保護ビット値			セクタ状態
PPB ロック	PPB	DYB	
1	1	1	非保護 - PPB と DYB は変更可能
1	1	0	保護 - PPB と DYB は変更可能
1	0	1	保護 - PPB と DYB は変更可能
1	0	0	保護 - PPB と DYB は変更可能
0	1	1	非保護 - PPB は変更不可、DYB は変更可能
0	1	0	保護 - PPB は変更不可、DYB は変更可能
0	0	1	保護 - PPB は変更不可、DYB は変更可能
0	0	0	保護 - PPB は変更不可、DYB は変更可能

10.4.6 持続的保護モード

持続的保護方式では、POR またはハードウェア リセット時に PPB ロック ビットを「1」にセットし、PPB ビットがデバイス ハードウェア リセットによって非保護となるようにします。ソフトウェア リセットは PPB ロック ビットに影響しません。PPB を保護するために PLBWR コマンドで PPB ロック ビットを「0」にクリアできます。PPB ロック ビットをセットするコマンドがないため、次の電源切断またはハードウェア リセットまで、PPB ロック ビットは「0」のままです。

10.4.7 パスワード保護モード

パスワード保護モードを使用すると、PPB ロック ビットをロック解除するために 64 ビットのパスワードを必要とすることによって、持続的セクタ保護モードよりも高レベルのセキュリティを実現できます。このパスワード要件に加えて、電源投入またはハードウェア リセット後、電源投入時の保護を確実にするために PPB ロック ビットは「0」にクリアされます。完全なパスワードを入力してパスワード ロック解除コマンドを正常に完了すると、PPB ロック ビットが「1」にセットされ、セクタの PPB の変更が可能になります。

パスワード保護の注意事項は以下のとおりです。

- パスワードをプログラムおよび検証した後、パスワードの読み出しを防ぐためにはパスワード モード (ASPR[2] = 0) をセットしなければなりません。
- パスワード プログラム コマンドでプログラムできるのは、「0」だけです。「0」にプログラムされたセルを「1」にプログラムしようとしても、セルは「0」のままであり、プログラミング エラーがセットされません。
- サイプレス出荷時のパスワードはすべて「1」です。パスワードは自身のメモリ空間内にあり、パスワード プログラム、パスワード読み出し、RDAR および WRAR コマンドによりアクセス可能です。パスワード ロック モードを選択した後は、これらのコマンドによるアクセスができません。
- あらゆる 64 ビット パスワードの組合せがパスワードとして有効です。
- パスワード モードをプログラムすると、64 ビット パスワードの読み出しができなくなり、以降のパスワードのプログラムもできなくなります。これ以降、パスワード領域に対するプログラム コマンドや読み出しコマンドは無効になり、これらのコマンドは無視されるか、または未定義データが返されます。パスワード モード ロック ビットが選択された後に、パスワードが何であるかを確認する方法はありません。パスワードの検証ができるのはパスワード保護モードを選択する前のときのみです。
- 保護モード ロック ビットは消去不可です。
- ロック解除機能が有効になるためには、正確なパスワードを入力する必要があります。パスワード ロック解除コマンドが提供したパスワードが、内部の隠しパスワードと一致しない場合は、保護されているセクタにおけるプログラム動作と同様に、ロック解除動作は失敗します。P_ERR ビットが「1」にセットされ、WIP ビットがセットされたのままで、PPB ロック ビットが「0」にクリアされたままです。
- パスワード ロック解除コマンドを一度に 100μs ± 20μs より高速に実行できません。これによって、ハッカーがパスワードを正しく一致させるためにすべての 64 ビットの組合せを実行するには、非現実的な長さの時間 (5800 万年) かかります。ステータス レジスタ 1 読み出しコマンドを使用して WIP ビットを読み出すことで、デバイスがいつパスワード ロック解除コマンドを完了したか、またはいつ新しいパスワード コマンドを受け入れる準備ができたかを判断できます。有効なパスワードが提供されると、パスワード ロック解除コマンドは、WIP ビットをゼロに返す前に 100μs の遅延を挿入しません。
- パスワード モード選択後にパスワードを失くした場合、PPB ロック ビットをセットする方法はありません。
- ECC 状態は、読み出し可能なセクタからのみ読み出しができます。読み出し保護モードでは、アドレスはブート セクタ アドレスになります。ECC 状態は、読み出し保護モードが有効なときにそのセクタに示されます。

10.5 推奨の保護プロセス

システムの製造時には、フラッシュ デバイスのコンフィギュレーションは以下のように定義する必要があります。

1. 必要に応じて CR1NV[5、3:2]、CR2NV、CR3NV および CR4NV の OTP コンフィギュレーション ビットをプログラムします。
2. 必要に応じてセキュア シリコン領域 (OTP 領域) をプログラムします。
3. 必要に応じて PPBP コマンドで PPB ビットをプログラムします。
4. 不揮発性データ ラーニング パターン (NVDLR) を DDR 読み出しコマンドで使用する場合、NVDLR をプログラムします。
5. パスワード保護を使用する場合、パスワード レジスタ (PASS) をプログラムします。
6. 必要に応じて ASP レジスタをプログラムします (ASPR[2:1] の持続的 / パスワード ASP 保護モードの選択を含みます)。ASP レジスタおよび OTP コンフィギュレーションのその後の偶発的な、あるいは故意的なプログラムを防止するために、保護モードを明白に選ぶ必要があります。これにより、意図した OTP 保護およびコンフィギュレーション機能だけが有効になっていることを確保できます。

システム電源投入時およびブート コードの実行中：

1. 信頼できるブート コードは追加の SSR (OTP 領域) 情報をプログラムする必要があるかどうかを判定できます。SSR の変更が必要ない場合、FREEZE ビット (CR1V[0]) を「1」にセットすることで、電源が投入されたままであれば通常システム動作の残りの部分中に SSR を変更から保護できます。
2. 持続的保護モードの場合、信頼できるブート コードは PPBP または PPBE コマンドで持続的 (PPB) セクタ保護を変更する必要があるかどうかを判定できます。PPB の変更が必要ない場合、PPBL コマンドを使用して PPBLOCK ビットを「0」にクリアすることで、電源が投入されたままであれば残りの通常システム動作中に PPB ビットを変更から保護できます。
3. ダイナミック (DYB) セクタ保護ビットは必要に応じて DYBAR で書き込まれます。

11. コマンド

ホスト システムと FS-S ファミリ メモリ デバイスの間のすべての通信はコマンドの形で行われます。

すべてのコマンドは、情報転送のタイプまたは実行するデバイスの動作を選択する命令で始まります。コマンドには、アドレス、命令修飾子、レイテンシ周期、メモリへのデータ転送、またはメモリからのデータ転送もあります。すべての命令、アドレスおよびデータ情報はホスト システムとメモリ デバイスの間で順次に転送されます。

コマンド プロトコルは、下記 3 つのコマンド フェーズの転送幅を示すために 3 つの番号を使用する数値命名により分類されます。

- 命令 ;
- アドレスおよび命令修飾子 (モード);
- データ。

シングル ビット幅コマンドは命令で始まり、SI / IO0 信号のみで送信されるアドレスまたはデータを提供します。データは SO / IO1 信号でホストへ順次戻されることがあります。シングル ビット幅命令、シングル ビット幅アドレスおよび修飾子、シングル ビット データ用の 1-1-1 コマンド プロトコルと呼ばれます。

デュアル出力コマンドまたはクアッド出力コマンドは IO0 信号上でホストから送信されたアドレスを提供します。データは IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル出力用の 1-1-2 コマンド プロトコル、またはクアッド出力用の 1-1-4 コマンド プロトコルと呼ばれます。

デュアルまたはクアッド入出力 (I/O) コマンドは、IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループとしてホストから送信されるアドレスを提供します。データは同様に IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル I/O 用の 1-2-2 コマンド プロトコル、またはクアッド I/O 用の 1-4-4 コマンド プロトコルと呼ばれます。

FS-S ファミリは、命令、アドレス、修飾子およびデータを含み、すべての情報が 4 ビットの幅で転送される QPI モードにも対応します。4-4-4 コマンド プロトコルと呼ばれます。

コマンドは下記のように構造されます。

- 各コマンドは 8 ビット (バイト) の命令で始まります。ただし、いくつかの読み出しコマンドは、命令が前のコマンドから黙示的に示されるように、前の読み出しコマンドにより修飾されます。連続読み出しモードと呼ばれます。デバイスが連続読み出しモードにあるとき、命令は連続読み出しモードを開始した読み出しコマンドと同じであるため、命令ビットはコマンドの始まりには送信されません。連続読み出しモードでは、コマンドは読み出しアドレスで開始されます。したがって、連続読み出しモードは一連の同じタイプの読み出しコマンドの各読み出しコマンドから 8 命令ビットを取り除きます。
- 命令は単独であるか、またはその後にデバイスの 1 つのアドレス空間内の位置を選択するアドレス ビットが続きます。アドレスは 24 ビットまたは 32 ビットのバイト境界アドレスです。
- 複数の IO を備えたシリアル ペリフェラル インターフェースは各アドレス / データ情報の転送を実行するオプション (並列に 1、2 または 4 ビット) を提供します。これにより、信号接続の数 (IO バス幅) と情報転送のトレードオフが可能です。ホストが 2 または 4 ビット幅 IO バスに対応できる場合、2 ビット (デュアル) / 4 ビット (クアッド) の並列転送を提供する命令を使用することで、性能を向上させます。
- レガシーの SPI 複数 IO モードでは、命令の後に続くすべての転送の幅は、送信される命令で決まります。その次の転送は SI あるいはシリアル出力 (SO) 信号のみでのシングル ビット シリアル転送であり続けるか、IO0 と IO1 信号上の 1 回の (デュアル) 転送当たりに 2 ビット グループで、または IO0 ~ IO3 信号上の 1 回の (クアッド) 転送当たりに 4 ビット グループで実行されます。デュアルまたはクアッドのグループでは、最下位ビットは IO0 信号上にあります。そのビットに比べて上位である各ビットはより高い番号付きの IO 信号に有意の順序で (上位から下位へ) 配置されます。シングル ビットまたはパラレル ビット グループは最上位ビットから最下位ビットまでの順で転送されます。
- QPI モードでは、すべての転送 (命令を含む) は IO0 ~ IO3 信号上の 4 ビット幅 (クアッド) 転送です。
- デュアル I/O とクアッド I/O 読み出し命令は、次のコマンドが黙示の命令 (明示的な命令でなく) と同じタイプであるかどうかを示すために、アドレスの後にモード ビットと呼ばれる命令修飾子を送信します。そのため、次のコマンドは命令のバイトを提供せず、新しいアドレスおよびモード ビットのみを提供します。これにより、一連のコマンドで同じタイプのコマンドが繰り返された場合、各コマンドの送信に必要な時間を削減できます。
- アドレスまたはモード ビットの後に、メモリ デバイスに保存される書き込みデータが続く場合もあり、または読み出しデータがホストに戻る前に読み出しレイテンシ期間が続く場合もあります。
- 読み出しレイテンシは 0 から数個の SCK サイクルです (ダミー サイクルとも呼ばれています)。

- すべての命令、アドレス、モード、およびデータ情報はバイト粒度で転送されます。アドレスは最上位ビットからデバイスにシフトインされます。すべてのデータ転送は最下位アドレス バイトから行われます。その次のデータ バイトは最下位アドレス バイトから最上位アドレス バイトまで (すなわち、バイト アドレス インクリメント) の順序で送信されます。
- プログラム、消去、あるいは書き込みサイクル (組み込み動作) 中に、フラッシュ メモリ アレイを読み出そうとすると無視されます。組み込み動作は何の影響も受けず、実行が継続されます。組み込み動作中、ごく限られたコマンド セットは受け入れられます。各々のコマンド説明で記述します。プログラム／消去／書き込み動作の実行中、ほとんどのコマンドをデバイスに発行する前に、新しいコマンドが受け入れられるように、書き込み中 (WIP) ビットが 0 であるかどうかをチェックすることが推奨されます。
- コマンドによって実行時間が異なります。いつコマンドの実行が完了したか、およびコマンドが正常に完了したかどうかを判断するために、実行中のコマンドからステータス情報を読み出すコマンドが使用できます。
- ホスト ソフトウェアがSPI インターフェース信号を直接制御するために使用される場合がありますが、一般的にはホスト システムとメモリ デバイスのハードウェア インターフェースは信号関係とタイミングを取り扱います。そのため、信号関係やタイミングは本資料のソフトウェア インターフェースについて記述する本節では詳細に記載されていません。その代わりに、信号タイミングとの関係よりも各コマンドでのビット転送の論理シーケンスに集中します。以下は覚えておく必要がある一般的な信号関係の説明です。コマンドのビット レベル フォーマットと信号タイミングの関係の詳細については、[13 ページのコマンド プロトコル](#)を参照してください。
 - ホストはシングル ビット幅の転送のために、常にチップ セレクト (CS#)、シリアル クロック (SCK)、シリアル入力 (SI / IO0) を制御します。メモリは、シングル ビット読み出し転送のために、シリアル出力 (SO / IO1) を駆動します。ホストとメモリは、デュアルおよびクアッド転送中に交互に IO0 ~ IO3 信号を駆動します。
 - すべてのコマンドはホストが SCK の最初の立ち上がりエッジの前に CS# を LOW に駆動してメモリを選択することで始まります。CS# がコマンドを通じて LOW に維持され、HIGH に戻されるとコマンドが終了します。一般的に、バイト単位の情報を転送するために、CS# は 8 ビットの倍数での転送において LOW のままです。8 ビット境界でないときに CS# を HIGH に戻す場合、受け入れられないコマンドがあります。

11.1 コマンド セットのまとめ

11.1.1 拡張アドレス指定

1. 常に 4 バイトのアドレスを必要とし、32Gb までのメモリにアクセスするために使用される命令は下表のとおりです。

コマンド名	機能	命令 (16 進)
4READ	読み出し	13
4FAST_READ	高速読み出し	0C
4DOR	デュアル出力読み出し	3C
4QOR	クアッド出力読み出し	6C
4DIOR	デュアル I/O 読み出し	BC
4QIOR	クアッド I/O 読み出し	EC
4DDRQIOR	DDR クアッド I/O 読み出し	EE
4PP	ページ プログラム	12
4QPP	クアッド ページ プログラム	34
4P4E	パラメーター 4KB 消去	21
4SE	64 KB 消去	DC
4ECCRD	ECC ステータス読み出し	18
4DYBRD	DYB 読み出し	E0
4DYBWR	DYB 書き込み	E1
4PPBRD	PPB 読み出し	E2
4PPBP	PPB プログラム	E3

2. 3 バイト アドレス命令との下位互換性のための 4 バイト アドレス モード：標準的な 3 バイト命令はアドレス長設定ビット (CR2V[7]) で制御される 4 バイト アドレス モードとともに使用できます。デフォルトの 3 バイト (24 ビット) または 4 バイト (32 ビット) アドレス指定を有効にするために、CR2V[7] のデフォルト値は電源投入、ハードウェア リセット、またはソフトウェア リセットの後に CR2NV[7] からロードされます。アドレス長 (CR2V[7]) を「1」にセットすると、レガシー コマンドはアドレス フィールドに 4 バイト (32 ビット) を必要とするように変更されます。アドレス フィールドを 3 バイトから 4 バイトに切り替えるために、以下の命令を 4 バイト アドレス モード設定とともに使用できます。

コマンド名	機能	命令 (16 進)
読み出し	読み出し	03
FAST_READ	高速読み出し	0B
DOR	デュアル出力読み出し	3B
QOR	クアッド出力読み出し	6B
DIOR	デュアル I/O 読み出し	BB
QIOR	クアッド I/O 読み出し	EB
DDRQIOR	DDR クアッド I/O 読み出し	ED
PP	ページ プログラム	02
QPP	クアッド ページ プログラム	32
P4E	パラメーター 4KB 消去	20
SE	64 / 256KB 消去	D8
RDAR	任意レジスタ読み出し	65
WRAR	任意レジスタ書き込み	71
EES	消去状態評価	D0
OTPP	OTP プログラム	42
OTPR	OTP 読み出し	4B
ECCRD	ECC ステータス読み出し	19
DYBRD	DYB 読み出し	FA
DYBWR	DYB 書き込み	FB
PPBRD	PPB 読み出し	FC
PPBP	PPB プログラム	FD

11.1.2 機能別のコマンドの概要

表 51. FS-S ファミリ コマンド セット (機能別)

機能	コマンド名	コマンド説明	命令値 (16 進)	最大周波数 (MHz)	アドレス長 (バイト)	QPI
デバイス ID 読み出し	RDID	ID 読み出し (JEDEC メーカー ID および JEDEC CFI)	9F	133	0	有
	RSFDP	JEDEC シリアル フラッシュ 検出可能パラメーター読み出し	5A	50	3	有
	RDQID	クアッド ID 読み出し	AF	133	0	有
	RUID	固有 ID 読み出し	4C	133	0	有
レジスタ アクセス	RDSR1	ステータス レジスタ 1 読み出し	05	133	0	有
	RDSR2	ステータス レジスタ 2 読み出し	07	133	0	無
	RDCR	コンフィギュレーション レジスタ 1 読み出し	35	133	0	無
	RDAR	任意レジスタ読み出し	65	133	3 / 4	有
	WRR	レジスタ書き込み (ステータス 1、コンフィギュレーション 1)	01	133	0	有
	WRDI	書き込みディセーブル	04	133	0	有
	WREN	書き込みイネーブル	06	133	0	有
	WRAR	任意レジスタ書き込み	71	133	3 / 4	有
	CLSR	ステータス レジスタ 1 クリア - 消去／プログラム失敗リセット コマンドを無効にし、その代わりに命令値をプログラム／消去再開 コマンドに使用することがあります。 56 ページのコンフィギュレーション レジスタ 3 を参照してください。	30	133	0	有
	CLSR	ステータス レジスタ 1 クリア (代替命令) - 消去／プログラム失敗 リセット	82	133	0	有
	4BEN	4 バイト アドレス モード開始	B7	133	0	無
	SBL	バースト長セット	C0	133	0	無
	EES	消去状態評価	D0	133	3 / 4	有
	ECCRD	ECC 読み出し	19	133	3 / 4	有
	4ECCRD	ECC 読み出し	18	133	4	有
	DLPRD	データ ラーニング パターン読み出し	41	133	0	無
	PNVDLR	不揮発性データ ラーニング レジスタ プログラム	43	133	0	無
	WVDLR	揮発性データ ラーニング レジスタ書き込み	4A	133	0	無
フラッシュ アレイ 読み出し	READ	読み出し	03	50	3 / 4	無
	4READ	読み出し	13	50	4	無
	FAST_READ	高速読み出し	0B	133	3 / 4	無
	4FAST_READ	高速読み出し	0C	133	4	無
	DOR	デュアル出力読み出し	3B	133	3 / 4	無
	4DOR	デュアル出力読み出し	3C	133	4	無
	QOR	クアッド出力読み出し	6B	133	3 / 4	無
	4QOR	クアッド出力読み出し	6C	133	4	無
	DIOR	デュアル I/O 読み出し	BB	66	3 / 4	無
	4DIOR	デュアル I/O 読み出し	BC	66	4	無
	QIOR	クアッド I/O 読み出し	EB	133	3 / 4	有
	4QIOR	クアッド I/O 読み出し	EC	133	4	有
	DDRQIOR	DDR クアッド I/O 読み出し	ED	80	3 / 4	有
	4DDRQIOR	DDR クアッド I/O 読み出し	EE	80	4	有
フラッシュ アレイ プログラム	PP	ページ プログラム	02	133	3 / 4	有
	4PP	ページ プログラム	12	133	4	有
	QPP	クアッド ページ プログラム	32	133	3 / 4	無
	4QPP	クアッド ページ プログラム	34	133	4	無

表 51. FS-S ファミリ コマンド セット (機能別) (続き)

機能	コマンド名	コマンド説明	命令値 (16 進)	最大周波数 (MHz)	アドレス長 (バイト)	QPI
フラッシュ アレイ消去	P4E	パラメーター 4KB セクタ消去	20	133	3 / 4	有
	4P4E	パラメーター 4KB セクタ消去	21	133	4	有
	SE	64KB 消去	D8	133	3 / 4	有
	4SE	64KB 消去	DC	133	4	有
	BE	バルク消去	60	133	0	有
	BE	バルク消去 (代替命令)	C7	133	0	有
消去／ プログラム 一時停止／ 再開	EPS	消去／プログラム一時停止	75	133	0	有
	EPS	消去／プログラム一時停止 (代替命令)	85	133	0	有
	EPS	消去／プログラム一時停止 (代替命令)	B0	133	0	有
	EPR	消去／プログラム再開	7A	133	0	有
	EPR	消去／プログラム再開 (代替命令)	8A	133	0	有
	EPR	消去／プログラム再開 (代替命令) コマンドを無効にし、その代わりに命令値をステータス クリア コマンドに使用する場合があります。56 ページのコンフィギュレーションレジスタ3を参照してください。	30	133	0	有
ワнтаイム プログラム アレイ	OTPP	OTP プログラム	42	133	3 / 4	無
	OTPR	OTP 読み出し	4B	133	3 / 4	無
高度セクタ 保護	DYBRD	DYB 読み出し	FA	133	3 / 4	有
	4DYBRD	DYB 読み出し	E0	133	4	有
	DYBWR	DYB 書き込み	FB	133	3 / 4	有
	4DYBWR	DYB 書き込み	E1	133	4	有
	PPBRD	PPB 読み出し	FC	133	3 / 4	無
	4PPBRD	PPB 読み出し	E2	133	4	無
	PPBP	PPB プログラム	FD	133	3 / 4	無
	4PPBP	PPB プログラム	E3	133	4	無
	PPBE	PPB 消去	E4	133	0	無
	ASPRD	ASP 読み出し	2B	133	0	無
	ASPP	ASP プログラム	2F	133	0	無
	PLBRD	PPB ロック ビット読み出し	A7	133	0	無
	PLBWR	PPB ロック ビット書き込み	A6	133	0	無
	PASSRD	パスワード読み出し	E7	133	0	無
	PASSP	パスワード プログラム	E8	133	0	無
	PASSU	パスワード ロック解除	E9	133	0	無
リセット	RSTEN	ソフトウェア リセット イネーブル	66	133	0	有
	RST	ソフトウェア リセット	99	133	0	有
	RESET	レガシー ソフトウェア リセット	F0	133	0	無
	MBR	モード ビット リセット	FF	133	0	有
DPD	DPD	ディープ パワー ダウン モード開始	B9	133	0	有
	RES	ディープ パワー ダウン モード終了	AB	133	0	有

注：

47. デバイスが QPI モードのときに送信されると、QPI モードで対応されていないコマンドの動作は未定義です。

11.1.3 デバイス ID 読み出し

デバイスの製造元、デバイス タイプおよびデバイスの機能に関する情報を読み出すコマンドが複数あります。メモリについての情報を読み出すには、異なるベンダーからの SPI メモリは異なるコマンドとフォーマットを使用します。FS-S ファミリーは 3 つのデバイス情報のコマンドに対応します。

11.1.4 レジスタ読み出し／書き込み

組み込み動作ステータスを報告するか、またはデバイス設定オプションを制御するためのレジスタが複数あります。これらのレジスタを読み出すか、または書き込むためのコマンドがあります。レジスタには揮発性ビットと不揮発性ビットがあります。レジスタの不揮発性ビットは自動的に消去され、シングル (書き込み) 動作としてプログラムされます。

11.1.4.1 動作ステータス監視

ホスト システムは、ステータス レジスタの書き込み中 (WIP) ビットを監視することで、書き込み、プログラム、消去、一時停止または他の組み込み動作が完了したかどうかを判定できます。ステータス レジスタ 1 コマンドまたは任意レジスタ読み出しコマンドによる読み出しは WIP ビットの状態を示します。ステータス レジスタのプログラム エラー (P_ERR) および消去エラー (E_ERR) ビットは直前のプログラムまたは消去コマンドが正常に完了したかどうかを示します。P_ERR または E_ERR ビットが「1」にセットされると、WIP ビットは「1」にセットされたままで、デバイスがまだビジーの状態であり新しい動作のコマンドを受信できないことを示します。P_ERR または E_ERR を「1」にセットしたとき、ステータス読み出し (RDSR1 05h)、任意レジスタ読み出し (RDAR 65h)、ステータス クリア (CLSR 30h または 82h)、およびソフトウェア リセット (RSTEN 66h、RST 99h または RESET F0h) のコマンドだけが有効です。デバイスをスタンバイ状態に戻すには、ステータス レジスタ クリア (CLSR) とその後に続いて書き込みディセーブル (WRDI) コマンドを送信する必要があります。ステータス レジスタ クリアは WIP、P_ERR および E_ERR ビットをクリアします。WRDI は WEL ビットをクリアします。また、ハードウェア リセットまたはソフトウェア リセット (RST または RESET) によりデバイスをスタンバイ状態に戻すこともできます。

11.1.4.2 コンフィギュレーション

インターフェース パス幅、インターフェース タイミング、インターフェース アドレス長およびデータ保護のいくつかの点を制御するレジスタの読み出し、書き込みおよび保護のコマンドがあります。

11.1.5 フラッシュ アレイ読み出し

データは任意のバイト境界で開始するメモリから読み出せます。データ バイトはホストが CS# 入力を HIGH に駆動してデータ転送を完了させるまで、下位から上位のバイト アドレスから順次読み出されます。バイト アドレスがメモリ アレイの最大アドレスに達すると、読み出しはアレイのゼロ アドレスで続きます。

バースト長設定 (SBL 77h) コマンドにより、要求されるラップ読み出し長とアライメントでバースト ラップ読み出しを有効にできます。[90 ページのバースト長セット \(SBL C0h\)](#) を参照してください。バースト ラップ読み出しは、クアッド I/O、クアッド出力および QPI モードに限られます。

異なるアクセス レイテンシとデータ パス幅を特定するためにいくつかの異なる読み出しコマンドがあります。ダブル データ レート (DDR) コマンドは SCK の両エッジに対するアドレスとデータ ビットの関係も定義します。

- 読み出しコマンドは、SI/IO0 信号上で SCK の立ち上がりエッジごとに 1 アドレス ビットを提供し、SO/IO1 上で SCK の立ち下がりエッジごとに 1 データ ビットを返します。このコマンドでは、アドレスと返しデータとの間のレイテンシがありませんが、最大 50MHz の SCK レートに制限されています。
- 他の読み出しコマンドはアドレスと返しデータとの間のレイテンシがありますが、より高い SCK の周波数で動作できます。レイテンシはコンフィギュレーション レジスタ読み出しレイテンシ値によって変わります。
- 高速読み出しコマンドは、SI/IO0 信号上で SCK の立ち上がりエッジごとに 1 アドレス ビットを提供し、SO/IO1 上で SCK の立ち下がりエッジごとに 1 データ ビットを返します。
- デュアルまたはクアッド出力読み出しコマンドは SCK の立ち上がりエッジに SI/IO0 ピン上でアドレスを提供し、その読み出しデータは IO0 ~ IO3 信号上で SCK の立ち下がりエッジごとに 2 ビットまたは 4 ビットのデータを返します。
- デュアルまたはクアッド I/O 読み出しコマンドは IO0 ~ IO3 信号上で、SCK の立ち上がりエッジごとに 2 または 4 アドレス ビットを提供し、SCK の立ち下がりエッジごとに 2 または 4 データ ビットを返します。
- クアッド ダブル データ レート読み出しコマンドは IO0 ~ IO3 信号上で、SCK エッジごとに 4 アドレス ビットを提供し、SCK エッジごとに 4 データ ビットを返します。

11.1.6 フラッシュ アレイ プログラム

データ プログラミングには、書き込みイネーブル (WREN)、ページ プログラム (PP) / クアッド ページ プログラム (QPP) のコマンドが必要です。ページ プログラムおよびクアッド ページ プログラムのコマンドでは、1 つの動作で 1 バイトから連続した 256 バイトまたは 512 バイト (ページ) までのデータをプログラムできます。プログラムの意味は、ビットを 1 のままにするか、または 1 から 0 にすることです。ビットを 0 から 1 にするには消去動作を行う必要があります。

11.1.7 フラッシュ アレイ 消去

パラメーター セクタ消去、セクタ消去またはバルク消去コマンドは、1 つのセクタまたはメモリ アレイ全体のすべてのビットを 1 にセットします。プログラムしてビットを 0 に変える前に、まずビットを 1 に消去する必要があります。ビットを個別に 1 から 0 にプログラムできますが、0 から 1 への消去は、セクタ幅またはアレイ幅 (バルク) レベルで行わなければなりません。消去コマンドの前に、書き込みイネーブル (WREN) コマンドを実行する必要があります。

11.1.8 OTP、ブロック保護および高度セクタ保護

シリアル番号などの永久的データ用の個別のワンタイム プログラマブル (OTP) アレイを読み出す / プログラムするコマンドがあります。プログラムおよび消去動作から保護されるフラッシュ メモリ アレイ セクタの連続的なグループ (ブロック) を制御するコマンドがあります。どの個別のフラッシュ メモリ アレイ セクタがプログラムと消去動作から保護されるかを制御するコマンドがあります。

11.1.9 リセット

電源投入後、デフォルトの状態にデバイスをリセットするためのコマンドがあります。しかし、ソフトウェア リセット コマンドは、FREEZE または PPB ロック ビットの現時点の状態に影響しません。他のすべての点において、ソフトウェア リセットはハードウェア リセットと同じです。

連続読み出しモードをリセット (終了) するためのコマンドがあります。

11.1.10 DPD

ディープ パワー ダウン (DPD) モードは FS-S ファミリー デバイスで対応されます。DPD (B9h) コマンドでデバイスが DPD モードになるとき、インターフェース スタンバイ電流は I_{DPD} です。DPD コマンドは、デバイスが組み込みアルゴリズムを実行していない (要するに揮発性ステータス レジスタ 1 の書き込み中 (WIP) ビットが 0 にクリアされる ($SR1V[0]=0$)) ときのみ受け入れられます。DPD モードでは、 t_{RES} の遅延期間が経過した後デバイスをインターフェース スタンバイ状態に復帰させる DPD 終了 (RES ABh) コマンド以外、デバイスはすべてのコマンドを無視します。

11.1.11 予約済み

いくつかの命令は今後使用するために予約されています。FS-S ファミリーのこの世代では、コマンド命令の一部が未使用でデバイスの動作に影響を与えない、または未定義の結果を返します。

いくつかのコマンドは、レガシーまたは代替ソース デバイス コマンドが効果がなくて実行できるように予約されています。その結果、レガシー ソフトウェアは、この世代の FS-S ファミリーで対応されていないいくつかのコマンドを発行できながら、それらが予期しない動作を発生しないことを保証できます。

いくつかのコマンドは、本資料に言及しない FS-S の特別バージョン、または次世代のために予約されています。これにより、新しいホスト メモリ コントローラー デザインではコマンド命令を柔軟に発行できます。コマンドの形式は本改訂版資料の公開時点で既知の場合、定義されています。

11.2 ID のコマンド

11.2.1 ID 読み出し (RDID 9Fh)

ID 読み出し (RDID) コマンドはメーカー ID、デバイス ID および共通フラッシュ インターフェース (CFI) 情報への読み出しアクセスを提供します。メーカー ID は JEDEC によって割り当てられます。CFI 構造は JEDEC 規格により定義されます。デバイスの識別および CFI 値はサイプレスによって割り当てられます。

JEDEC 共通フラッシュ インターフェース (CFI) 仕様は、デバイス情報構造を定義し、ベンダー固有ソフトウェアであるフラッシュ管理プログラム (ドライバ) をすべてのフラッシュ デバイス ファミリーに使用可能としています。したがって、ソフトウェア サポートはデバイスや JEDEC メーカー ID に関係なく、指定したフラッシュ デバイス ファミリーで上位下位互換性があります。システム ベンダーは、使用中のデバイスの CFI 情報から CFI 値を使ってファミリ ドライバを設定することにより、ソフトウェアの以降の互換性のために自分のフラッシュ ドライバを標準化できます。

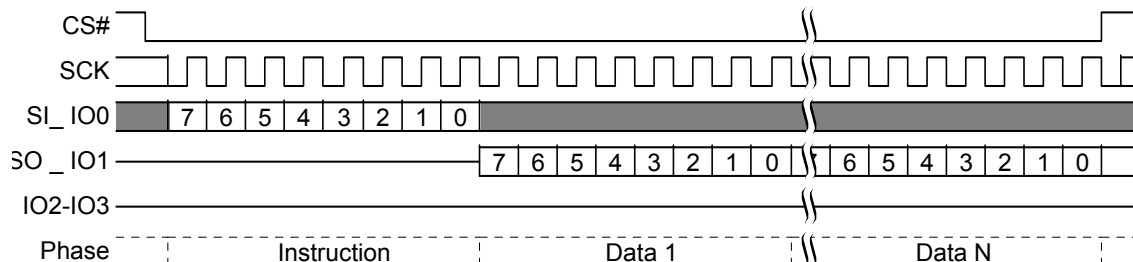
プログラム、消去、書き込みサイクルの実行中に発行される RDID コマンドは無視され、それらの実行中のサイクルに影響を与えません。

RDID 命令は SI / IO0 でシフトされます。RDID 命令の最後のビットがデバイスへシフトインされた後、メーカー ID の 1 バイト、デバイス ID / 拡張デバイス ID の 2 バイトおよび CFI 情報は SO 上で順次にシフトアウトされます。この情報全体は ID-CFI と呼ばれます。ID-CFI 内容の詳細説明については、[121 ページのデバイス ID と共通フラッシュ インターフェース \(ID-CFI\) アドレスマップ 標準](#)を参照してください。

定義された ID-CFI アドレス空間の終わりを越えて出力を継続的にシフトすると、未定義のデータが発生します。データ出力中に CS# を論理 HIGH に駆動すると、RDID コマンド シーケンスは終了します。

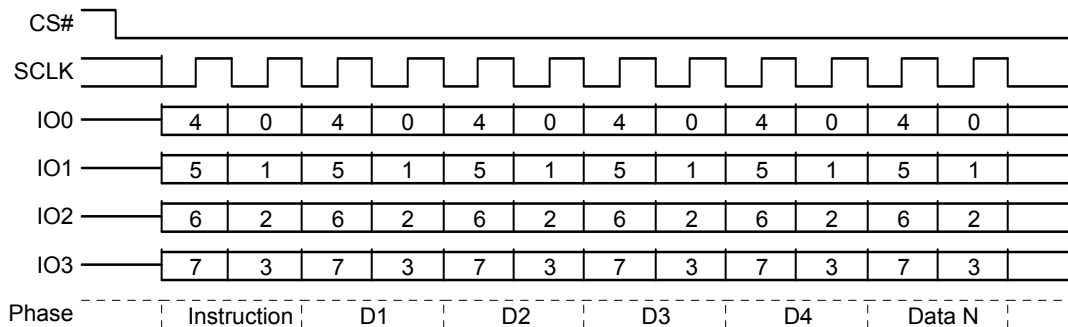
RDID コマンドの最大クロック周波数は 133MHz です。

図 45. ID 読み出し (RDID) コマンド シーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令のシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 46. ID 読み出し (RDID) コマンド - QPI モード



11.2.2 クアッド ID 読み出し (RDQID AFh)

クアッド ID 読み出し (RDQID) コマンドはメーカー ID、デバイス ID および共通フラッシュ インターフェース (CFI) 情報への読み出しアクセスを提供します。コマンドは、RDID コマンドが提供する同じ情報を読み出す QPI モードでの別の方法です。他のあらゆる点において、コマンドは RDID コマンドと同様に動作します。

コマンドはデバイスが QPI モード (CR2V[6] = 1) である場合のみ、認識されます。命令は IO0 ~ IO3 上でシフトインされます。命令の最後のビットがデバイスへシフトインされた後、メーカー ID の 1 バイト、デバイス ID / 拡張デバイス ID の 2 バイトおよび CFI 情報は IO0 ~ IO3 で順次にシフトアウトされます。この情報全体は ID-CFI と呼ばれます。ID-CFI 内容の詳細説明については、[121 ページのデバイス ID と共通フラッシュ インターフェース \(ID-CFI\) アドレス マップ](#) 標準を参照してください。

定義された ID-CFI アドレス空間の終わりを越えて出力を継続的にシフトすると、未定義のデータが発生します。データ出力中に CS# を論理 HIGH に駆動すると、コマンド シーケンスは終了します。

コマンドの最大クロック周波数は 133MHz です。データ出力中に CS# を論理 HIGH に駆動すると、コマンド シーケンスは終了します。

図 47. クアッド ID 読み出し (RDQID) コマンド シーケンス – クアッド モード

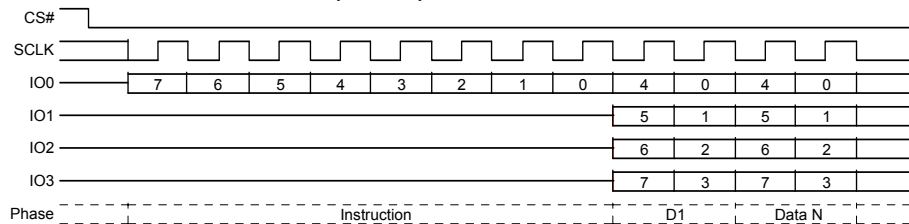
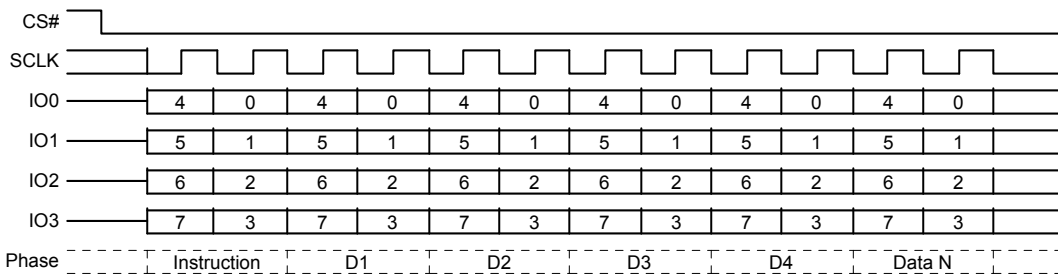


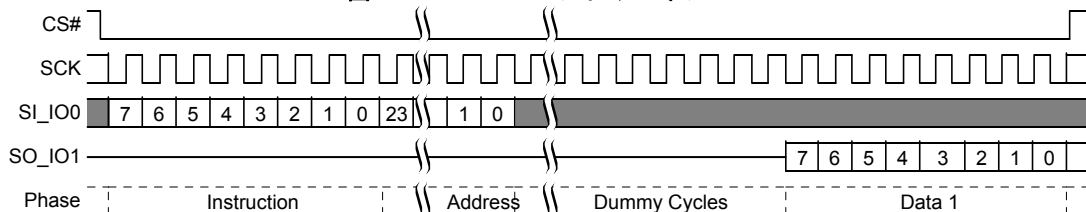
図 48. クアッド ID 読み出し (RDQID) コマンド シーケンス – QPI モード



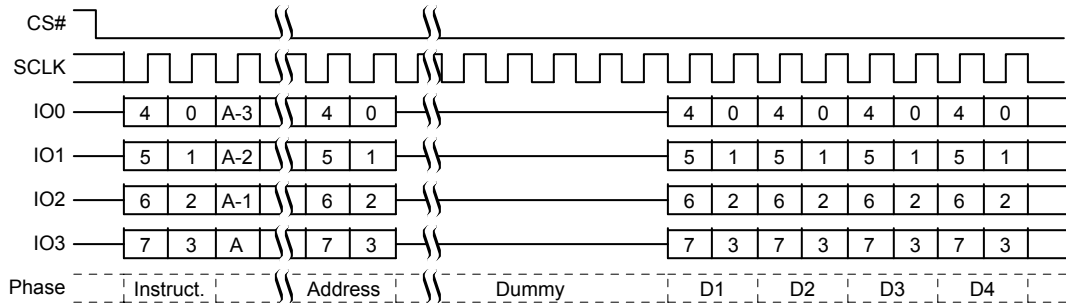
11.2.3 シリアル フラッシュ検出可能パラメーター読み出し (RSFDP 5Ah)

コマンドは、SI 上に「5Ah」の命令コードをシフトすることで開始され、その後に 000000h の 24 ビット アドレスおよび 8 ダミーサイクルが続きます。SFDP バイトはダミー サイクル後の SCK の立ち下がりエッジから SO 上でシフトアウトされます。SFDP バイトのシフトアウトは常に MSB から行われます。24 ビット アドレスが異なる値にセットされた場合、SFDP 空間の選択した位置はデータ読み出しのスタート ポイントです。これにより、SFDP 空間の任意のパラメーターヘランダムにアクセスできます。RSFDP コマンドは 50MHz まで対応できます。

図 49. RSFDP コマンド シーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令のシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 50. RSFDP コマンド シーケンス – QPI モード


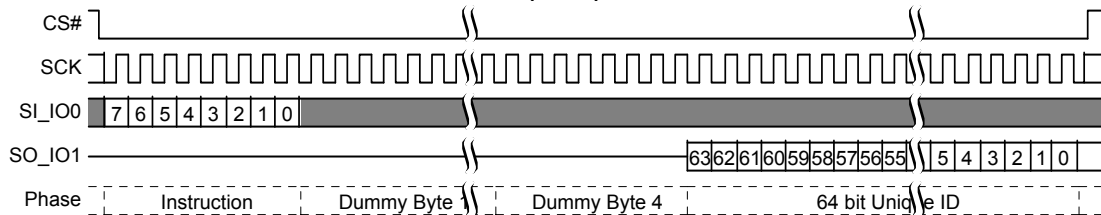
11.2.4 固有 ID 読み出し (RUID 4Ch)

ID 読み出し (RUID) コマンドは、工場で設定した読み出し専用の、デバイスに一意的な 64 ビット番号への読み出しアクセスを提供します。

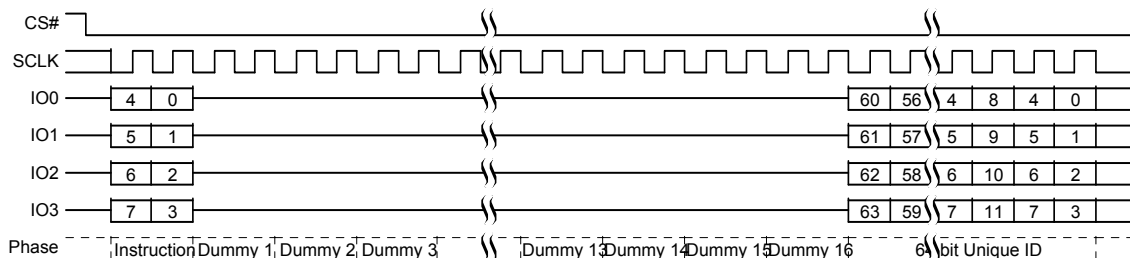
RUID 命令は SI 上でシフトされ、その後に 4 ダミー バイトまたは 16 ダミー バイト QPI (32 クロック サイクル) が続きます。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取ることができます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。

その後、固有 ID の 8 バイトは SO / IO1 上で順次にシフトアウトされます。

定義された固有 ID アドレス空間の終わりを越えて出力を継続にシフトすると、未定義のデータが発生します。データ出力中に CS# を論理 HIGH に駆動すると、RUID コマンド シーケンスは終了します。

図 51. 固有 ID 読み出し (RUID) コマンド シーケンス


コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされ、返されるデータは IO0 ~ IO3 上でシフトアウトされます。

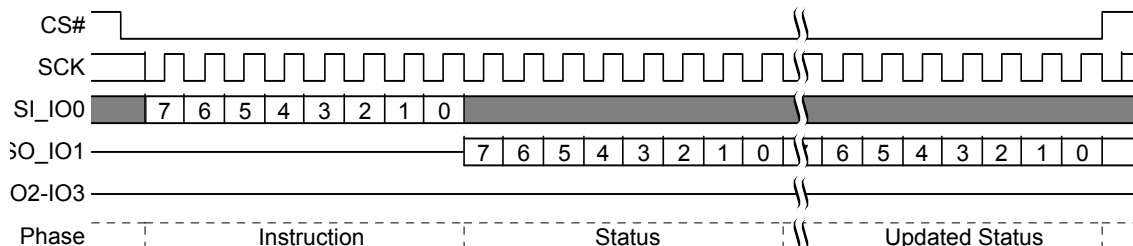
図 52. 固有 ID 読み出し (RUID) コマンド – QPI モード


11.3 レジスタ アクセスのコマンド

11.3.1 ステータス レジスタ 1 読み出し (RDSR1 05h)

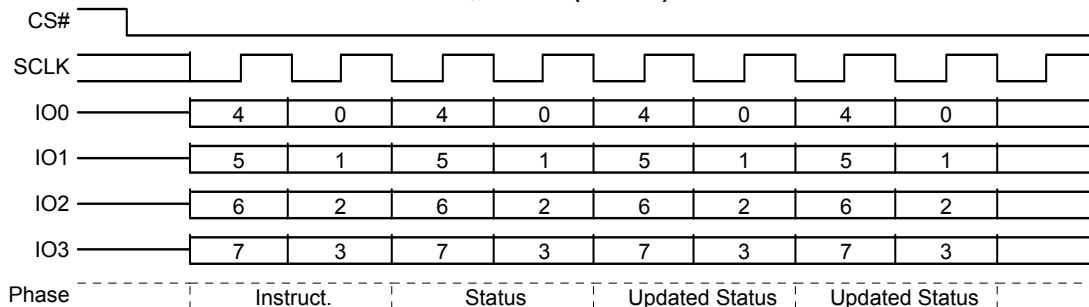
ステータス レジスタ 1 読み出し (RDSR1) コマンドにより、ステータス レジスタ 1 の内容は SO / IO1 から読み出されます。ステータス レジスタ 1 (SR1V) の揮発性バージョンの内容は、プログラム、消去、書き込み動作の実行中でも、いつでも読み出せます。8 の倍数のクロック サイクルを提供することでステータス レジスタ 1 を連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。RDSR1 (05h) コマンドの最大クロック周波数は 133MHz です。

図 53. ステータス レジスタ 1 読み出し (RDSR1) コマンド シーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされ、返されるデータは IO0 ~ IO3 上でシフトアウトされます。

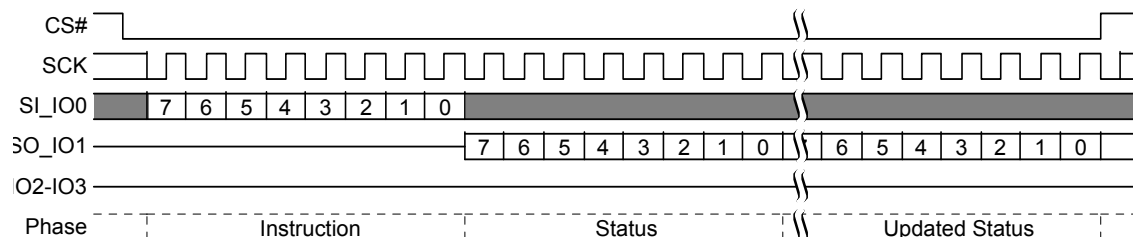
図 54. ステータス レジスタ 1 読み出し (RDSR1) コマンド - QPI モード



11.3.2 ステータス レジスタ 2 読み出し (RDSR2 07h)

ステータス レジスタ 2 読み出し (RDSR2) コマンドにより、ステータス レジスタ 2 の内容が SO / IO1 から読み出されます。ステータス レジスタ 2 の内容は、プログラム、消去、書き込み動作の実行中でも、いつでも読み出せます。8 の倍数のクロック サイクルを提供することでステータス レジスタ 2 を連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。RDSR2 コマンドの最大クロック周波数は 133MHz です。

図 55. ステータス レジスタ 2 読み出し (RDSR2) コマンド



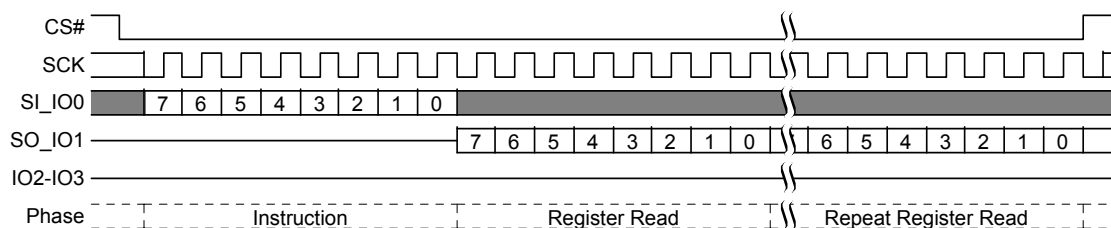
QPI モードでは、ステータス レジスタ 2 は任意レジスタ読み出しコマンドで読み出すことができます。[88 ページの任意レジスタ読み出し \(RDAR 65h\)](#) を参照してください。

11.3.3 コンフィギュレーションレジスタ読み出し (RDCR 35h)

コンフィギュレーションレジスタ読み出し (RDCR) コマンドにより、揮発性コンフィギュレーションレジスタ (CR1V) の内容が SO / IO1 から読み出されます。

8 の倍数のクロックサイクルを提供することで CR1V を連続的に読み出せます。コンフィギュレーションレジスタの内容は、プログラム、消去、書き込み動作の実行中でも、いつでも読み出せます。

図 56. コンフィギュレーションレジスタ読み出し (RDCR) コマンドシーケンス



QPI モードでは、コンフィギュレーションレジスタ 1 は任意レジスタ読み出しコマンドで読み出すことができます。[88 ページの任意レジスタ読み出し \(RDAR 65h\)](#) を参照してください。

11.3.4 レジスタ書き込み (WRR 01h)

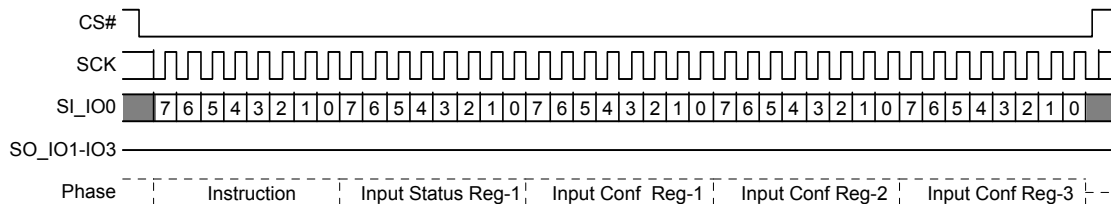
レジスタ書き込み (WRR) コマンドにより、新しい値はステータスレジスタ 1 およびコンフィギュレーションレジスタ 1 に書き込まれます。デバイスはレジスタ書き込み (WRR) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを受け入れなければなりません。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスはステータスレジスタの書き込みイネーブルラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

レジスタ書き込み (WRR) コマンドは命令およびデータバイトを SI / IO0 上でシフトすることで入力されます。ステータスレジスタの長さは 1 データバイトです。

WRR 動作はまずレジスタを消去し、その後、単一の動作として新しい値をプログラムします。WRR 動作にエラーがある場合、レジスタ書き込み (WRR) コマンドは P_ERR または E_ERR のビットをセットします。エラービットの説明については、[49 ページの揮発性ステータスレジスタ 1 \(SR1V\)](#) を参照してください。将来のために予約されるステータスまたはコンフィギュレーションレジスタビットは「0」に書き込む必要があります。

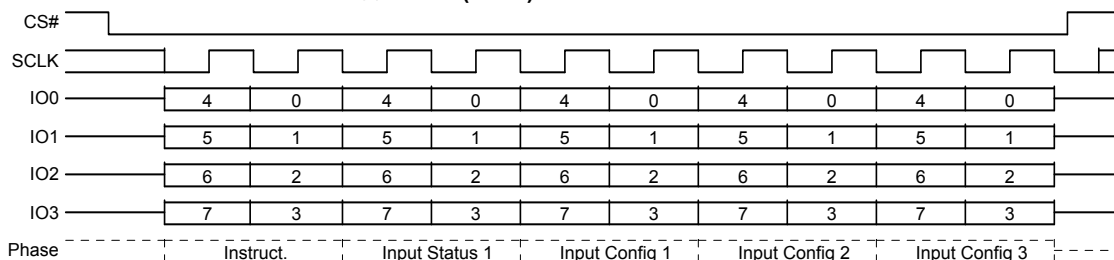
CS# は、データの 8 または 16 ビット目がラッチされた後に論理 HIGH に駆動する必要があります。そうしない場合は、レジスタ書き込み (WRR) コマンドは実行されません。CS# が 8 サイクル目の後 HIGH に駆動されると、ステータスレジスタ 1 のみが書き込まれます。そうでない場合、16 サイクル目の後にステータスとコンフィギュレーションの両方のレジスタが書き込まれます。CS# が論理 HIGH に駆動されると、セルフタイムのレジスタ書き込み (WRR) 動作はすぐに開始されます。レジスタ書き込み (WRR) 動作の実行中でも、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイムのレジスタ書き込み (WRR) 動作の間「1」で、その動作が完了すると「0」になります。レジスタ書き込み (WRR) 動作が終了すると、書き込みイネーブルラッチ (WEN) は「0」にセットされます。WRR コマンドの最大クロック周波数は 133MHz です。

図 57. レジスタ書き込み (WRR) コマンドシーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令およびデータは IO0 ~ IO3 上でシフトインされます。

図 58. レジスタ書き込み (WRR) コマンド シーケンス – QPI モード



レジスタ書き込み (WRR) コマンドにより、ユーザーは読み出し専用領域のサイズを定義するために、不揮発性ステータス レジスタ 1 または揮発性ステータス レジスタ 1 のブロック保護ビット (BP2、BP1、BP0) の値を変更できます。BPNV_O ビット (CR1NV[3]) は WRR コマンドがステータス レジスタ 1 の不揮発性か揮発性のどちらのバージョンに書き込むかを制御します。CR1NV[3] = 0 の場合、WRR は SR1NV[4:2] に書き込みます。CR1NV[3] = 1 の場合、WRR は SR1V[4:2] に書き込みます。

また、レジスタ書き込み (WRR) コマンドにより、ユーザーはステータス レジスタ書き込みディセーブル (SRWD) ビットを「1」または「0」にセットすることもできます。ステータス レジスタ書き込みディセーブル (SRWD) ビットおよび書き込み保護 (WP#) 信号により、BP ビットはハードウェア保護されます。

ステータス レジスタのステータス レジスタ書き込みディセーブル (SRWD) ビットが「0」(工場出荷時の初期状態) である場合、書き込み保護 (WP#) 信号が論理 HIGH か論理 LOW に駆動されることにかかわらず、書き込みイネーブル ラッチ (WEL) ビットが書き込みイネーブル (WREN) コマンドにより既にセットされているのであれば、ステータス レジスタは書き込み可能です。

ステータス レジスタのステータス レジスタ書き込みディセーブル (SRWD) ビットが「1」にセットされる場合、書き込み保護 (WP#) の状態によって、次の 2 つのケースを検討する必要があります。

- 書き込み保護 (WP#) 信号が論理 HIGH に駆動された場合、書き込みイネーブル (WREN) コマンドを開始することで書き込みイネーブル ラッチ (WEL) ビットが既に「1」にセットされているのであれば、ステータスおよびコンフィギュレーション レジスタへの書き込みが可能です。
- 書き込み保護 (WP#) 信号が論理 LOW に駆動された場合、書き込みイネーブル (WREN) コマンドにより書き込みイネーブル ラッチ (WEL) ビットが既に「1」にセットされても、ステータスおよびコンフィギュレーション レジスタへの書き込みは不可です。ステータスおよびコンフィギュレーション レジスタに書き込もうとしても拒否されるか、実行不可になり、エラー表示はありません。その結果として、ステータス レジスタのブロック保護 (BP2、BP1、BP0) ビットにより保護されるメモリ領域のすべてのデータ バイトも WP# によってハードウェア保護されます。

WP# のハードウェア保護は次の方法で提供されます。

- 書き込み保護 (WP#) 信号を論理 LOW に駆動してから、ステータス レジスタ書き込みディセーブル (SRWD) ビットをセットします。
- ステータス レジスタ書き込みディセーブル (SRWD) ビットを「1」にセットしてから、書き込み保護 (WP#) 信号を論理 LOW に駆動します。

ハードウェア保護を解除するためには、書き込み保護 (WP#) 信号を論理 HIGH にプルアップすることが唯一の方法です。WP# が永久的に HIGH である場合、BP ビットのハードウェア保護は有効化できません。

表 52. ブロック保護モード

WP#	SRWD ビット	モード	レジスタの書き込み保護	メモリ内容	
				保護領域	非保護領域
1	1	ソフトウェア保護	ステータスおよびコンフィギュレーション レジスタは書き込み可能です (WREN コマンドで WEL ビットをセットした場合)。SRWD、BP2、BP1、BP0 ビットの値およびコンフィギュレーション レジスタの値は変更可能です。	ページ プログラム、セクタ消去およびバルク消去から保護されます。	ページ プログラムおよびセクタ消去コマンドを受け入れられます。
1	0				
0	0				
0	1	ハードウェア保護	ステータスおよびコンフィギュレーション レジスタはハードウェアにより書き込みから保護されます。SRWD、BP2、BP1、BP0 ビットの値およびコンフィギュレーション レジスタの値は変更不可です。	ページ プログラム、セクタ消去およびバルク消去から保護されます。	ページ プログラムまたはセクタ消去コマンドを受け入れられます。

注:

48. デバイスはサイプレスから最初に出荷される時点では、ステータス レジスタの値は 00h です。

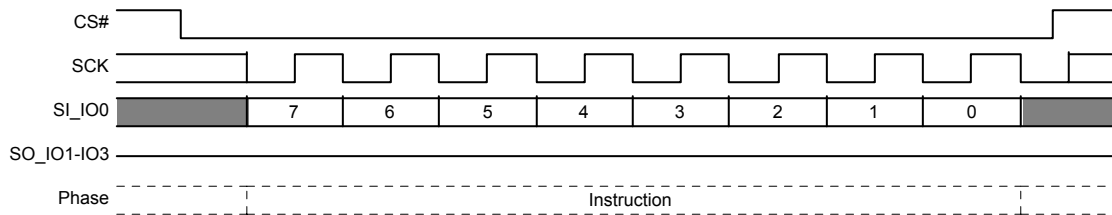
49. クアッド モードが有効 (CR1V[1] = 1) になると、ハードウェア保護は無効になります。WP# が IO2 になるため、利用できません。

11.3.5 書き込みイネーブル (WREN 06h)

書き込みイネーブル (WREN) コマンドは、ステータス レジスタ 1 の書き込みイネーブル ラッチ (WEL) ビット (SR1V[1]) を「1」にセットします。書き込み、プログラムおよび消去のコマンドを有効化するために、書き込みイネーブル (WREN) コマンドを発行して、書き込みイネーブル ラッチ (WEL) ビットを「1」にセットする必要があります。

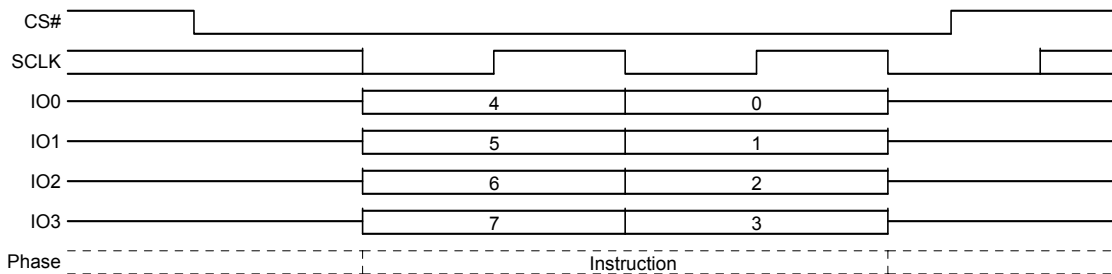
命令バイトの 8 ビット目が SI / IO0 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。命令バイトの 8 ビット目が SI / IO0 上にラッチインされた後、CS# を論理 HIGH に駆動しない場合、書き込みイネーブル動作は実行されません。

図 59. 書き込みイネーブル (WREN) コマンド シーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 60. 書き込みイネーブル (WREN) コマンド シーケンス - QPI モード



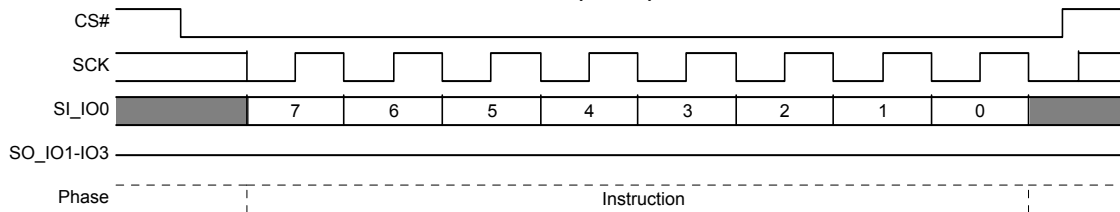
11.3.6 書き込みディセーブル (WRDI 04h)

書き込みディセーブル (WRDI) コマンドは、ステータス レジスタ 1 の書き込みイネーブル ラッチ (WEL) ビット (SR1V[1]) を「0」にクリアします。

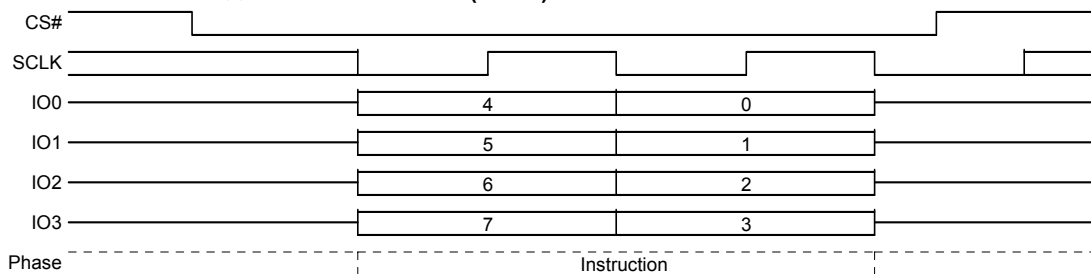
書き込みイネーブル ラッチ (WEL) ビットは、実行のために WEL を「1」にセットする必要があるコマンド (例えば、ページ プログラム (PP)、セクタ消去 (SE)、バルク消去 (BE)、レジスタ書き込み (WRR あるいは WRAR)、OTP プログラム (OTPP)) を無効化するために、書き込みディセーブル (WRDI) コマンドを発行することで「0」にクリアされます。メモリの内容を破損する可能性がある不注意な書き込みからメモリ領域を保護するために、ユーザーは WRDI コマンドを使用できます。WIP ビット = 1 の場合、組み込み動作中に WRDI コマンドは無視されます。

命令バイトの 8 ビット目が SI / IO0 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。命令バイトの 8 ビット目が SI / IO0 上にラッチインされた後、CS# を論理 HIGH に駆動しない場合、書き込みディセーブル動作は実行されません。

図 61. 書き込みディセーブル (WRDI) コマンド シーケンス



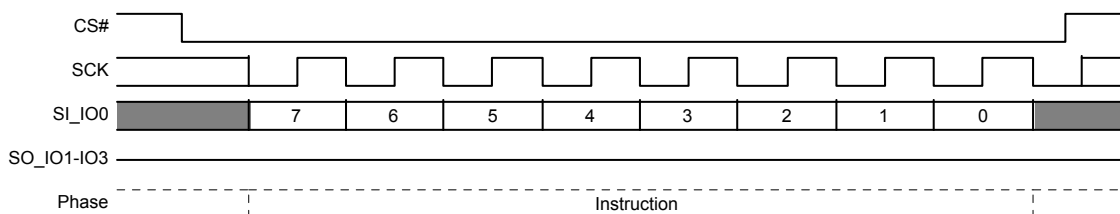
コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 62. 書き込みディセーブル (WRDI) コマンド シーケンス – QPI モード


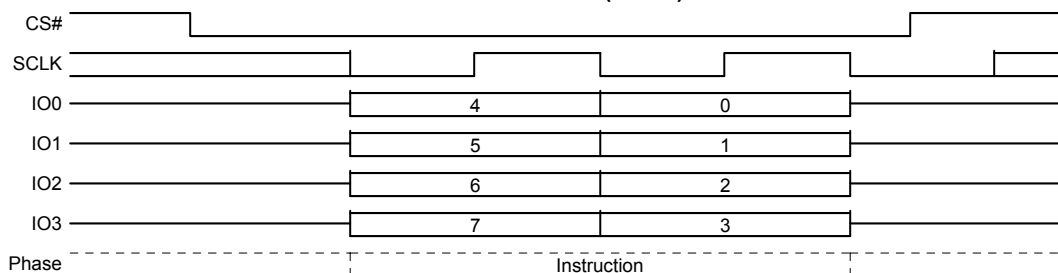
11.3.7 ステータス レジスタ クリア (CLSR 30h または 82h)

ステータス レジスタ クリアのコマンドは SR1V[5] ビット (消去失敗フラグ) と SR1V[6] ビット (プログラム失敗フラグ) をリセットします。ステータス レジスタ クリア コマンドを実行する前に、WEL ビットをセットする必要はありません。いずれかのエラー ビットがセットされてもデバイスはビジーの状態を維持するため、WIP が「1」にセットされデバイスがビジーの状態であっても、ステータス レジスタ クリア コマンドは受け入れられます。WEL ビットはコマンドの実行後も変化しません。

レガシーのステータス レジスタ クリア (CLSR 30h) 命令は無効になり、その 30h 命令の値はプログラム/消去の再開コマンドとして使用されます。[56 ページの節 9.6.5 コンフィギュレーション レジスタ 3](#) を参照してください。ステータス レジスタ クリアの代替命令 (CLSR 82h) はステータス レジスタをクリアするために常に使用可能です。

図 63. ステータス レジスタ クリア (CLSR) コマンド シーケンス


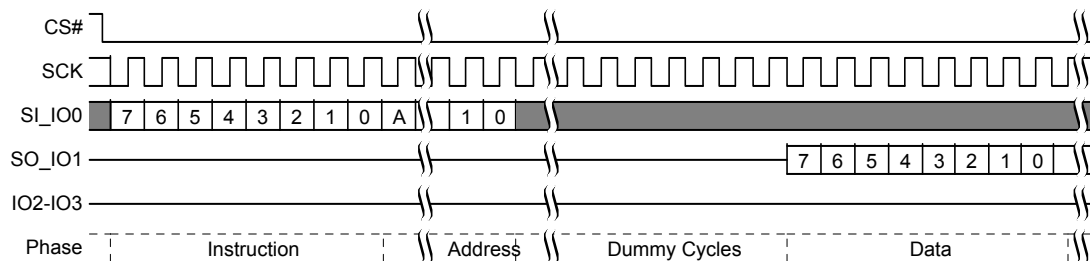
コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 64. ステータス レジスタ クリア (CLSR) – QPI モード


11.3.8 ECC ステータス レジスタ読み出し (ECCRD 19h または 4EECRD 18h)

ECC ステータス レジスタを読み出すために、コマンドの発行後、4 最下位ビット (LSB) を「0」にセットした ECC ユニット (16 バイト) アドレスを発行します。次に、CR2V[3:0] での読み出しレイテンシ値で選択されたダミー サイクル数が続きます。その後、選択された ECC ユニットの ECC レジスタの 8 ビット内容が、SO / IO1 上で 16 回 (ECC ユニットのバイトごとに 1 回) シフトアウトされます。CS# が LOW のままであれば、次の ECC ユニット ステータスは SO / IO1 上で 16 回 (ECC ユニットのバイトごとに 1 回) 送信され、これは CS# が HIGH になるまで続きます。ECC READ コマンドの最大動作クロック周波数は 133MHz です。ECC ユニットの詳細については、[100 ページの自動 ECC](#) を参照してください。

図 65. ECC ステータス レジスタ読み出しコマンド シーケンス



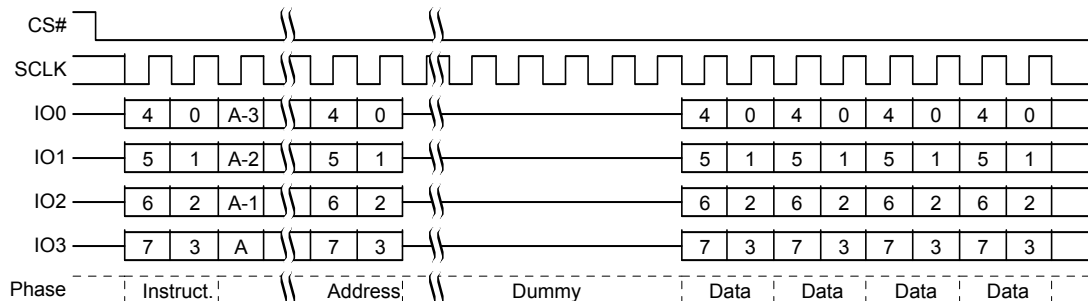
注:

50.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で FAh コマンドの場合)。

51.A = アドレスの MSB = 31 (18h コマンド)。

コマンドは QPI モードでも対応されます。QPI モードでは、命令とアドレスのシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 66. ECC ステータス レジスタ読み出しコマンド シーケンス - QPI モード



注:

52.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で FAh コマンドの場合)。

53.A = アドレスの MSB = 31 (18h コマンド)。

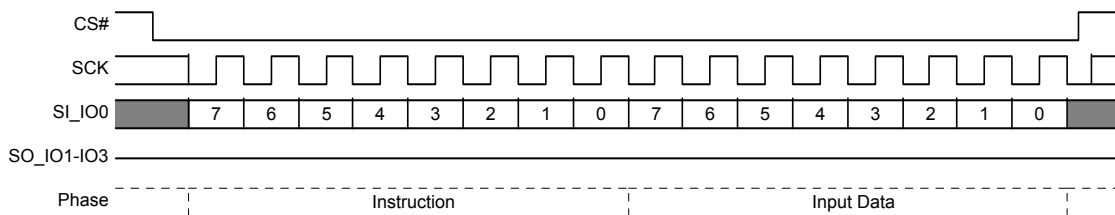
11.3.9 NVDLR プログラム (PNVDLR 43h)

NVDLR プログラム (PNVDLR) コマンドを受け入れる前に、デバイスは書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスは書き込みイネーブル ラッチ (WEL) をセットして PNVDLR 動作を有効にします。

PNVDLR コマンドは命令およびデータ バイトを SI / IO0 上でシフトすることで入力されます。

CS# は、データの 8 ビット目がラッチされた後に論理 HIGH に駆動しなければなりません。そうしないと、PNVDLR コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PNVDLR 動作は直ちに開始されます。PNVDLR 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの PNVDLR サイクルの間「1」で、サイクルが完了すると「0」になります。PNVDLR 動作はステータス レジスタの P_ERR ビットでプログラム エラーをレポートできます。PNVDLR 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。PNVDLR コマンドの最大クロック周波数は 133MHz です。

図 67. NVDLR プログラム (PNVDLR) コマンド シーケンス

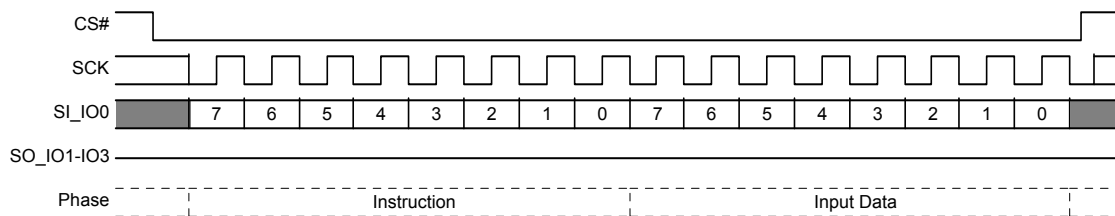


11.3.10 VDLR 書き込み (WVDLR 4Ah)

VDLR 書き込み (WVDLR) コマンドを受け入れる前に、デバイスは書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスは書き込みイネーブル ラッチ (WEL) をセットして WVDLR 動作を有効にします。

WVDLR コマンドは命令およびデータ バイトを SI / IO0 上でシフトすることで入力されます。CS# は、データの 8 ビット目がラッチされた後に論理 HIGH に駆動しなければなりません。そうしないと、WVDLR コマンドは実行されません。CS# が論理 HIGH に駆動されると、WVDLR 動作はすぐに開始されます。WVDLR コマンドの最大クロック周波数は 133MHz です。

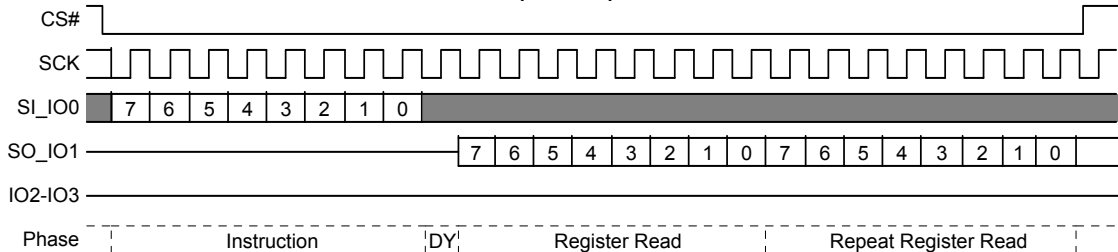
図 68. VDLR 書き込み (WVDLR) コマンド シーケンス



11.3.11 データ ラーニング パターン読み出し (DLPRD 41h)

命令は SI / IO0 上でシフトされ、その後 8 ビット DLP は SO / IO1 上でシフトアウトされます。8 の倍数のクロック サイクルを提供することで DLP を連続的に読み出せます。DLPRD コマンドの最大動作クロック周波数は 133MHz です。

図 69. DLP 読み出し (DLPRD) コマンド シーケンス

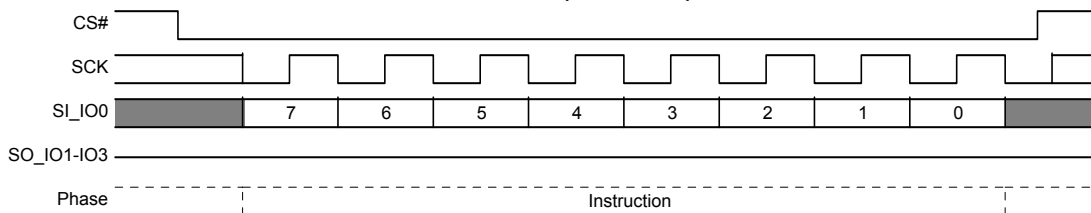


11.3.12 4 バイト アドレス モード開始 (4BAM B7h)

4 バイト アドレス モード (4BAM) アクセス コマンドは、揮発性アドレス長 ビット (CR2V[7]) を「1」にセットし、大部分の 3 バイト アドレス コマンドを 4 バイト アドレスを要求するように変更します。SFDP 読み出し (RSFDP) コマンドは、アドレス長ビットに影響されない唯一の 3 バイト コマンドです。RSFDP は、JEDEC JESD216 Rev B 規格では常に 3 バイトのみのアドレス長を有することが規定されています。

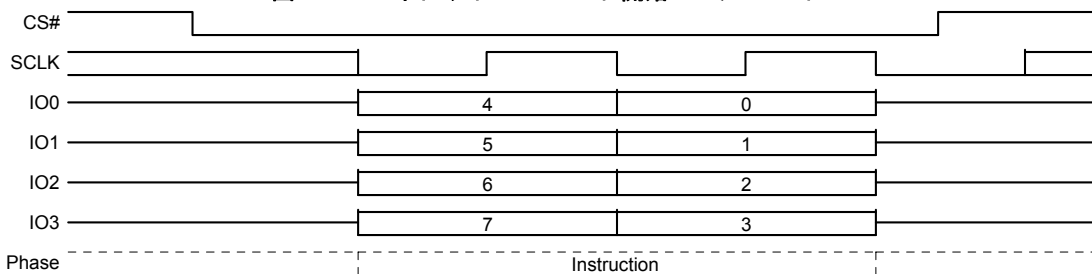
4 バイト アドレス モードを終了するために、ハードウェアまたはソフトウェア リセットを実行する必要があります。

図 70. 4 バイト アドレス モード開始 (4BEN B7h) コマンド シーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 71. 4 バイト アドレス モード開始 – QPI モード



11.3.13 任意レジスタ読み出し (RDAR 65h)

任意レジスタ読み出し (RDAR) コマンドはすべての揮発性と不揮発性デバイス レジスタを読み出す方式を提供します。命令の後に、3 または 4 バイト アドレス (アドレス長コンフィギュレーション CR2V[7] に応じて) が続き、次に CR2V[3:0] でセットされた数のレイテンシ (ダミー) サイクルが続きます。そして、選択されたレジスタの内容が返されます。読み出しアクセスが継続する場合、選択された同じレジスタの内容がコマンドが終了するまで返されます。それぞれの RDAR コマンドは 1 つのレジスタのみを読み出します。

未定義の位置の読み出しは未定義のデータが出力されます。

ステータス レジスタ 1 (SR1V) を読み出すために、RDAR コマンドは組み込み動作中に使用できます。

RDAR コマンドは、より大きいアレイへのウィンドウとなるレジスタ (ECCSR、PPBAR、DYBAR) の読み出しには使用されません。アクセスしたアレイの位置を選択し、読み出すために個別のコマンドが必要です。

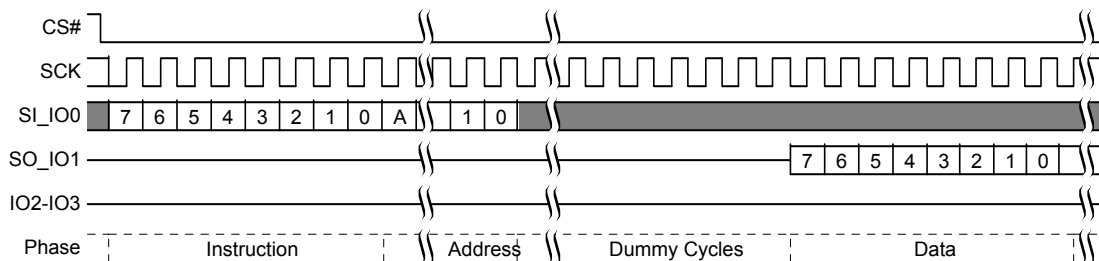
ASPR[2] を 0 にプログラムすることで ASP パスワード保護モードを選択した場合、RDAR コマンドは PASS レジスタ位置からの無効データを読み出します。

表 53. レジスタ アドレス マップ

バイト アドレス (16 進)	レジスタ名	説明
00000000	SR1NV	不揮発性ステータスおよびコンフィギュレーション レジスタ
00000001	該当なし	
00000002	CR1NV	
00000003	CR2NV	
00000004	CR3NV	
00000005	CR4NV	
...	該当なし	

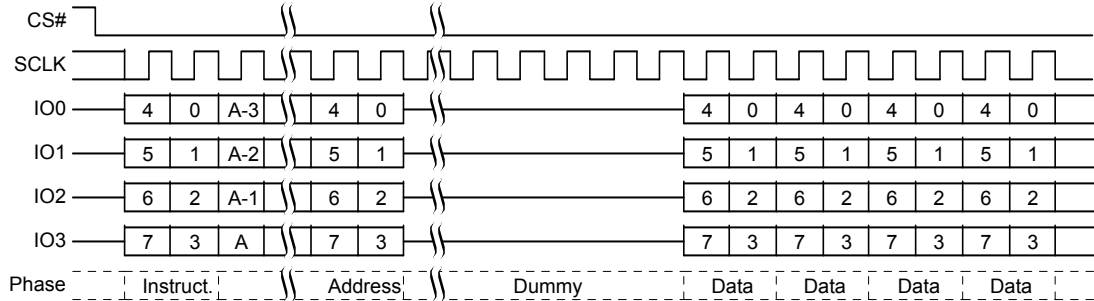
表 53. レジスタ アドレス マップ (続き)

バイト アドレス (16 進)	レジスタ名	説明
00000010	NVDLR	不揮発性データ ラーニング レジスタ
...	該当なし	
00000020	PASS[7:0]	不揮発性パスワード レジスタ
00000021	PASS[15:8]	
00000022	PASS[23:16]	
00000023	PASS[31:24]	
00000024	PASS[39:32]	
00000025	PASS[47:40]	
00000026	PASS[55:48]	
00000027	PASS[63:56]	
...	該当なし	
00000030	ASPR[7:0]	不揮発性 ASP レジスタ
00000031	ASPR[15:8]	
...	該当なし	
00800000	SR1V	揮発性ステータスおよびコンフィギュレーション レジスタ
00800001	SR2V	
00800002	CR1V	
00800003	CR2V	
00800004	CR3V	
00800005	CR4V	
...	該当なし	
00800010	VDLR	揮発性データ ラーニング レジスタ
...	該当なし	
00800040	PPBL	揮発性 PPB ロック レジスタ
...	該当なし	

図 72. 任意レジスタ読み出しコマンド シーケンス

注:

54.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 の場合)。

コマンドは QPI モードでも対応されます。QPI モードでは、命令とアドレスのシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 73. 任意レジスタ読み出しコマンド シーケンス – QPI モード


注:

55.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 の場合)。

11.3.14 任意レジスタ書き込み (WRAR 71h)

任意レジスタ書き込み (WRAR) コマンドはすべての不揮発性と揮発性デバイス レジスタに書き込む方式を提供します。命令の後には (アドレス長コンフィギュレーション CR2V[7] に応じて) 3 または 4 バイト アドレスが続き、次にアドレスで指定されたレジスタに書き込む 1 データ バイトが続きます。

WRAR コマンドを受け入れる前に、デバイスは書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。SR1V の WIP ビットを確認することで、いつ動作が完了するかを判定できます。SR1V の P_ERR および E_ERR ビットを確認することで、動作中にエラーが発生したかを確認できます。

混合したビット タイプおよびどのビットを修正するかを制御する個別のルールを持つレジスタがあります。読み出し専用ビットもあり、OTP ビットもあります。

読み出し専用ビットは変更できず、WRAR コマンド データ バイト内の対応するビットは無視され、プログラム/消去エラーの表示 (SR1V の P_ERR または E_ERR) がセットされません。したがって、WRAR データ バイト内のこれらのビット値は重要ではありません。

OTP ビットはデフォルト状態の逆のレベルにのみプログラムできます。OTP ビットをデフォルト状態に復帰させるための書き込みは無視され、エラーはセットされません。

WRAR データで変更された不揮発性ビットを更新するには不揮発性レジスタ書き込み時間 (t_W) を要します。更新プロセスは不揮発性レジスタ ビットに対する消去およびプログラム動作を含みます。更新プロセスの消去またはプログラム部分が失敗した場合、対応するエラー ビットおよび SR1V の WIP は 1 にセットされます。

WRAR データで変更された揮発性ビットを更新するには揮発性レジスタ書き込み時間 (t_{CS}) を要します。

レジスタ書き込みがいつ完了/失敗するかを判定するために、ステータス レジスタ 1 を繰り返し読み出して (ポーリングして) 書き込み中 (WIP) ビット (SR1V[0]) とエラー ビット (SR1V[6, 5]) を監視します。書き込みが失敗した場合、ステータス クリア コマンドを使用してエラー ステータスをクリアし、デバイスをスタンバイ状態に復帰させます。

しかし、WRAR コマンドで PPBL レジスタに書き込むことはできません。PPB ロック ビット書き込み (PLBWR) コマンドでのみ PPBL レジスタへの書き込みが可能です。

コマンドのシーケンスおよび動作は PP または 4PP コマンドと同じですが、1 つのみのデータ バイトが提供されます。[101 ページのページ プログラム \(PP 02h または 4PP 12h\)](#) を参照してください。

レジスタのアドレス マップは [88 ページの任意レジスタ読み出し \(RDAR 65h\)](#) に示されます。

11.3.15 バースト長セット (SBL C0h)

バースト長セット (SBL) コマンドはバースト ラップ機能を設定するために使用します。レガシー SPI や QPI モードで、バースト ラップはクアッド I/O 読み出し、DDR クアッド I/O 読み出しおよびクアッド出力読み出しと併用して固定長でアラインされたデータにアクセスします。特定のアプリケーションはこの機能の利点を活用して全体のシステム コード実行性能を改善できます。バースト ラップ機能により、キャッシュを用いたアプリケーションは複数の読み出しコマンドを発行せず、まずクリティカルなアドレスからの命令またはデータをキャッシュ ラインに書き込んでから、固定長 (8 / 16 / 32 / 64 バイト) のデータをキャッシュ ラインの残りに書き込むことができます。

バースト長セット (SBL) コマンドはラップ読み出し機能を有効/無効にし、ラップ境界をセットするために CR4V レジスタのビット 4、1 および 0 に書き込みます。CR4V レジスタの他のビットは SBL コマンドに影響されません。ラップ読み出し機能が有効にされたとき、関連する読み出しコマンドはコマンドが終了するまでの順次読み出しから、バイト グループ内でラップされる順次読み出しに変更されます。

読み出しコマンドの開始アドレスはバイトグループを選択し、最初に返されるデータはアドレス指定されたバイトです。次に、グループ境界の終わりに至るまでバイトは順次読み出されます。読み出しが継続すると、アドレスはグループの始まりにラップし、順次読み出しを続けます。ラップ読み出しシーケンスはCS#がHIGHに戻り、コマンドが終了するまで続きます。

表 54. バースト ラップ シーケンス例

SBL データ 値 (16 進)	ラップ境界 (バイト)	開始アドレス (16 進)	アドレス シーケンス (16 進)
1X	シーケンシャル	XXXXXX03	03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、など
00	8	XXXXXX00	00、01、02、03、04、05、06、07、00、01、02、など
00	8	XXXXXX07	07、00、01、02、03、04、05、06、07、00、01、など
01	16	XXXXXX02	02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、00、01、02、03、など
01	16	XXXXXX0C	0C、0D、0E、0F、00、01、02、03、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、など
02	32	XXXXXX0A	0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、など
02	32	XXXXXX1E	1E、1F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、00、など
03	64	XXXXXX03	03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、20、21、22、23、24、25、26、27、28、29、2A、2B、2C、2D、2E、2F、30、31、32、33、34、35、36、37、38、39、3A、3B、3C、3D、3E、3F 00、01、02、など
03	64	XXXXXX2E	2E、2F、30、31、32、33、34、35、36、37、38、39、3A、3B、3C、3D、3E、3F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、20、21、22、23、24、25、26、27、28、29、2A、2B、2C、2D、など

WRAR コマンドを使用して CR4NV を所望の値にプログラムすることにより、パワーオン リセット、ハードウェア リセットまたはソフトウェア リセットのデフォルト バースト長を変更できます。

図 74. バースト長セット コマンド シーケンス - クアッド I/O モード

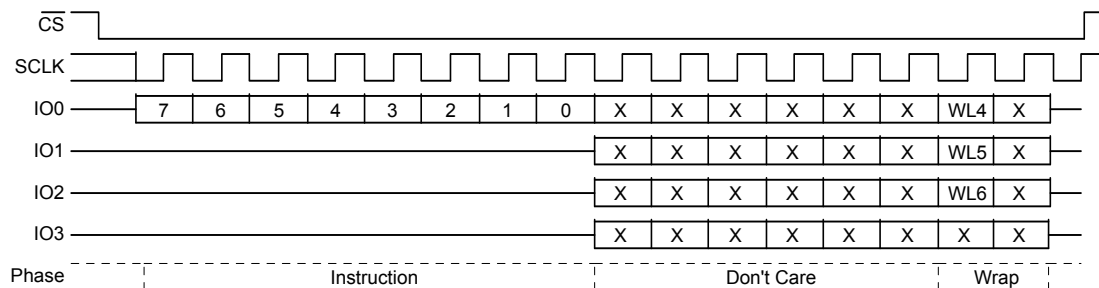
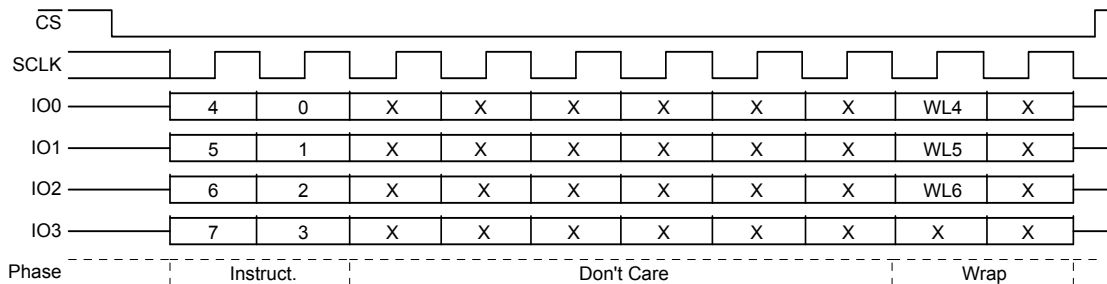


図 75. パースト長セット コマンド シーケンス – QPI モード



11.4 メモリ アレイ読み出しのコマンド

メイン フラッシュ アレイの読み出しコマンドは前世代の SPI 互換性または性能強化 SPI に多くのオプションを提供しています。

- SCK の立ち上がりエッジごとにアドレス/データを転送するコマンドがあります。シングル データ レート (SDR) コマンドと呼ばれます。
- SDR コマンドには、SCK の立ち上がりエッジごとに1アドレス ビットを転送し、SCK の立ち上がりエッジごとに1データ ビットを返すものがあります。シングル幅コマンドと呼ばれます。
- SDR コマンドには、SCK の立ち上がりエッジごとに1アドレス ビットを転送し、SCK の立ち上がりエッジごとに2または4データ ビットを返すものがあります。2 ビットの場合はデュアル出力、4 ビットの場合はクアッド出力と呼ばれます。
- SDR コマンドには、SCK の立ち上がりエッジごとにアドレスとデータの2または4ビットを転送するものがあります。2 ビットの場合はデュアル I/O、4 ビットの場合はクアッド I/O、QPI と呼ばれます。
- QPI モードでは、SCK の立ち上がりエッジごとに命令、アドレスおよびデータの 4 ビットを転送する SDR コマンドがいくつかあります。
- SCK の立ち上がりと立ち下がりの両エッジでアドレスとデータを転送するものがあります。ダブル データ レート (DDR) コマンドと呼ばれます。
- DDR コマンドには、SCK エッジごとにアドレス/データの 4 ビットを転送するものがあります。エッジごとの 4 ビット転送のクアッド I/O DDR および QPI DDR と呼ばれます。

QPI 読み出しを除くすべてのコマンドは、SCK の立ち上がりエッジごとに1ビットが転送される命令コードで始まります。QPI 読み出しコマンドは SCK の立ち上がりエッジごとに命令の 4 ビットを転送します。命令の後に続いて 3 または 4 バイト アドレスが SDR または DDR で転送されます。クロック エッジごとに 2 または 4 アドレス/データ ビットを転送するコマンドはマルチ I/O (MIO) コマンドと呼ばれます。デバイスは従来の 3 バイト アドレス コマンドを使用してホスト システムからの 4 バイト アドレスを受信するように設定できます。従来のコマンドの 4 バイト アドレス モードを有効にするために、コンフィギュレーション レジスタ 2 のアドレス長ビットを「0」にセットします。4 バイト アドレス コマンドや 4 バイト アドレス モードを使用するコマンドの A23 より上位アドレス ビットは該当しないため、無視されます。

クアッド I/O および QPI コマンドは性能を改善するオプションを提供します。このオプションはアドレス ビットに続いて送信されるモード ビットにより制御されます。モード ビットは、読み出しの前に命令なしで、進行中の読み出しの終了後に続くコマンドが同じタイプの読み出しであるかを示します。モード ビットは一連のクアッド読み出しアクセスを実行しているとき命令サイクルを除去するオプションを提供します。

メモリ アレイにアクセスする時間を取れるようアドレスまたはモード ビットの後に続く読み出しレイテンシという遅延サイクルを必要とします。遅延 (読み出しレイテンシ) サイクルは従来からダミー サイクルと呼ばれます。ダミー サイクルがメモリに無視されるため、これらのサイクル中にホストが提供するデータはすべて「ドント ケア」になります。ダミー サイクル中に、ホストは SI / IO 信号を高インピーダンスのままにする可能性があります。MIO コマンドを使用する場合、ホストは最後のダミー サイクルが終了する前に IO 信号 (出力が高インピーダンス) の駆動を停止する必要があります。DDR コマンドを使用する場合、ホストはダミー サイクル中に I/O 信号を駆動してはいけません。ダミー サイクルの数は、SCK 周波数またはコンフィギュレーション レジスタ 2 のレイテンシ コード (CR2V[3:0]) で選択された性能オプションによって異なります。ダミー サイクルは SCK の立ち上がりエッジから次の立ち下がりエッジまで測定されます。通常、SPI 出力は各 SCK の立ち下がりエッジで新しい値に駆動されます。ゼロ ダミー サイクルは、ホストがアドレスまたはモード ビットの駆動を停止する同じ SCK の立ち下がりエッジで、返りデータがメモリによって駆動されることを意味します。

DDR コマンドにはデータの始まる直前のダミー サイクル中に、すべてのデータ出力上でメモリによって駆動された 8 エッジのデータ ラーニング パターン (DLP) を持つオプションがあります。ホスト メモリ コントローラーは DLP を使って SCK からデータ エッジへの位相シフトを判定し、データ アイの中心でデータの取り込みを実現できます。

より高い SCK 周波数 (> 50MHz) で SDR I/O コマンドを使用する場合、1 ダミー サイクル以上を提供する LC を選択する必要があります。これにより、メモリがデータの駆動を開始する前にホストが駆動を停止するための追加時間が取れ、I/O ドライバー衝突を最小限にできます。DLP が有効になった DDR I/O コマンドを使用する場合、5 ダミー サイクル以上を提供する LC を選択し、メモリが 4 サイクル DLP の駆動を開始する前にホストが駆動を停止するための 1 サイクルの追加時間が取れるようにします。

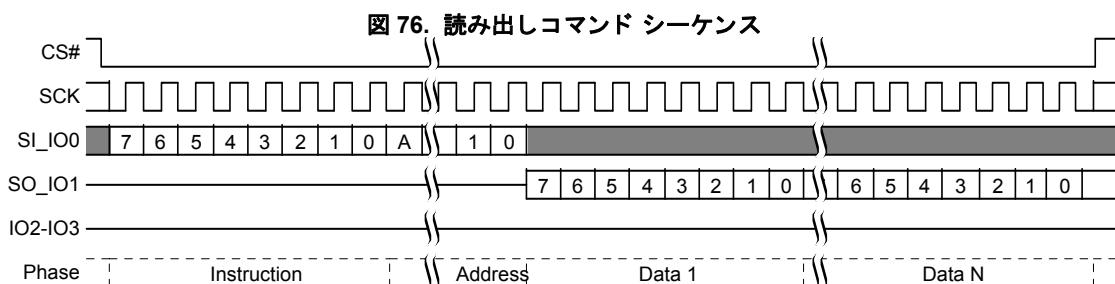
データを返す間に CS# が HIGH に戻ると、各読み出しコマンドが終了します。モード ビットが正しく取り込まれず、デバイスが連続読み出しモードのままであるかを確認できないことを回避するために、データが返される前にモードまたはダミー サイクル中に CS# は HIGH に戻ってはいけません。

11.4.1 読み出し (READ 03h または 4READ 13h)

- 03h 命令 (CR2V[7] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 03h 命令 (CR2V[7] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 13h 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

その後、与えられたアドレスでのメモリ内容は SO / IO1 上でシフトアウトされます。READ コマンドの最大動作クロック周波数は 50MHz です。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。



注:

56.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または 13h コマンドの場合)。

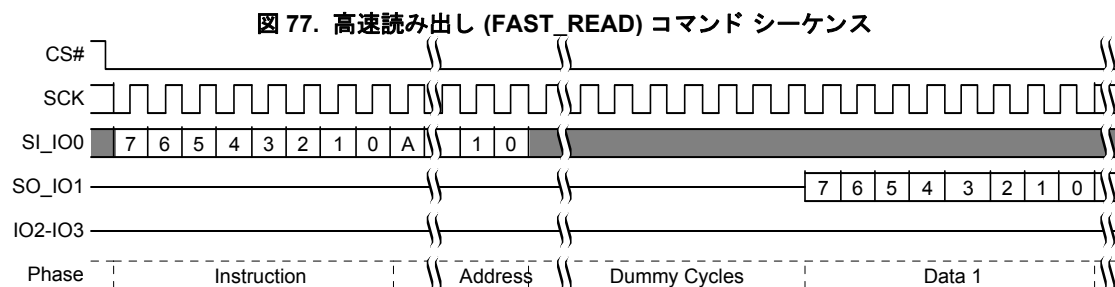
11.4.2 高速読み出し (FAST_READ 0Bh または 4FAST_READ 0Ch)

- 0Bh 命令 (CR2V[7] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 0Bh 命令 (CR2V[7] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 0Ch 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後には、コンフィギュレーション レジスタでのレイテンシ コード (CR2V[3:0]) で設定されたダミー サイクルが続きます。デバイスの内部回路が初期アドレス位置にアクセスするために、ダミー サイクルによって追加時間を取れます。ダミー サイクル中に、SO / IO1 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。その後、与えられたアドレスでのメモリ内容は SO / IO1 上でシフトアウトされます。

FAST_READ コマンドの最大動作クロック周波数は 133MHz です。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。



注:

57.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または 0Ch コマンドの場合)。

11.4.3 デュアル出力読み出し (DOR 3Bh または 4DOR 3Ch)

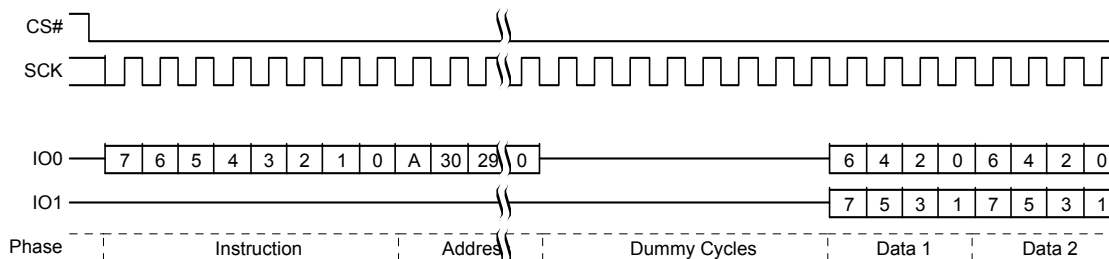
- 3Bh 命令 (CR2V[0] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 3Bh 命令 (CR2V[0] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 3Ch 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後には、コンフィギュレーション レジスタ CR3V[3:0] でのレイテンシ コードで設定されたダミー サイクルが続きます。デバイスの内部回路が初期アドレス位置にアクセスするために、ダミー サイクルによって追加時間を取れます。ダミー サイクル中に、IO0 (SI) と IO1 (SO) 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。

その後、与えられたアドレスでのメモリ内容は IO0 (SI) と IO1 (SO) 上で一度に 2 ビットずつシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で 2 ビットがシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

図 78. デュアル出力読み出しコマンド シーケンス



注:

58.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または 3Ch コマンドの場合)。

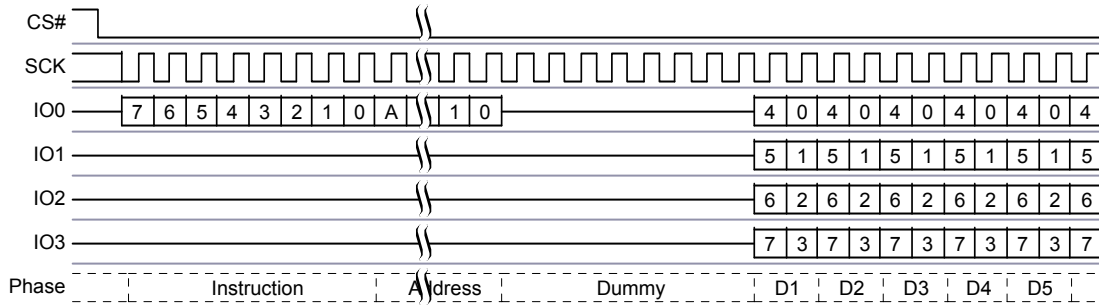
11.4.4 クアッド出力読み出し (QOR 6Bh または 4QOR 6Ch)

- 6Bh 命令 (CR2V[0] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 6Bh 命令 (CR2V[0] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 6Ch 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後には、コンフィギュレーション レジスタ CR3V[3:0] でのレイテンシ コードで設定されたダミー サイクルが続きます。デバイスの内部回路が初期アドレス位置にアクセスするために、ダミー サイクルによって追加時間を取れます。ダミー サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。

その後、与えられたアドレスでのメモリ内容は IO0 ~ IO3 上で一度に 4 ビットずつシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で各ニブル (4 ビット) がシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

図 79. クアッド出力読み出しコマンド シーケンス


注:

59.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または 6Ch コマンドの場合)。

11.4.5 デュアル I/O 読み出し (DIOR BBh または 4DIOR BCh)

- BBh 命令 (CR2V[7] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- BBh 命令 (CR2V[7] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- BCh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

デュアル I/O 読み出しコマンドは IO0 と IO1 の 2 本の I/O 信号によりスループットを向上させます。コマンドは、アドレスの入力を受け入れ、SCK の立ち上がりエッジごとに読み出しデータの 2 ビットを返します。アプリケーションによっては、短縮されたアドレス入力およびデータ出力時間により、コードの XIP (Execution In Place; すなわち、メモリ デバイスからの直接実行) が可能になる場合があります。

デュアル I/O 読み出しコマンドの最大動作クロック周波数は 133MHz です。

デュアル I/O 読み出しコマンドは、アドレスの後に続く連続読み出しモード ビットを持っています。これにより、一連のデュアル I/O 読み出しコマンドでは、最初のデュアル I/O 読み出しコマンドが、次のコマンドもデュアル I/O 読み出しコマンドであることを示すモード ビット パターン Axh を送信した後、8 ビット命令を除去できます。一連のデュアル I/O 読み出しコマンドの最初のコマンドは、8 ビット命令で始まり、その後にアドレス、モード ビットの 4 サイクルおよびオプションのレイテンシ期間が続きます。モード ビット パターンが Axh であれば、次のコマンドは命令ビットを持たないもう 1 つのデュアル I/O 読み出しコマンドであると期待されます。コマンドはアドレスで始まり、その後にモード ビットおよびオプションのレイテンシが続きます。

モード ビットを IO0 と IO1 上でシフトインした後、データを IO0 と IO1 上でシフトアウトし始める前に、可変レイテンシを加えることがあります。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。ダミー サイクル中に、IO0 と IO1 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。ダミー サイクル数は SCK の周波数によって異なります。レイテンシは CR2V[3:0] で設定されます。

連続読み出し機能により、一連の読み出しアクセスの命令ビットが不要になり、コード実行 (XIP) 性能を大幅に向上させます。モード ビットの上位ニブル (ビット 7 ~ 4) には最初のバイトの命令コードが含まれるか否かに応じて、次のデュアル I/O 読み出し命令の長さを制御します。モード ビットの下位ニブル (ビット 3 ~ 0) は「ドント ケア」(「x」) であり、高インピーダンスであることがあります。モード ビットが Axh であれば、96 ページの図 80 に示すように、デバイスはデュアル I/O 連続読み出しモードのままにあり、BBh または BCh 命令なしで、(CS# が HIGH にされてから LOW にアサートされた後) 次のアドレスを入力できます。このように、コマンド シーケンスから 8 サイクルが除去されます。以下のシーケンスで、デバイスはデュアル I/O 連続読み出しモードから解放されます。その後、デバイスは標準の SPI コマンドを受け入れられます。

1. デュアル I/O 連続読み出しコマンド シーケンス中に、モード ビットが Axh でなければ、次回 CS# が HIGH にされるときにデバイスはデュアル I/O 連続読み出しモードから解放されます。
2. モード リセット コマンドを送信します。

4 モード ビット サイクルは、最後のアドレス サイクルが IO0 と IO1 にクロックインされた後にデバイスの内部回路が初期アドレスにアクセスするためのレイテンシ時間に含まれることに注意してください。

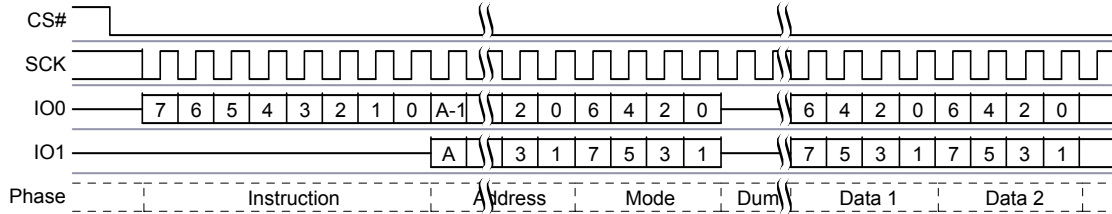
最初のデータ出力クロックの立ち下がりエッジ、またはその前に I/O 信号を高インピーダンスに設定することが重要です。より高いクロック速度では、メモリ デバイスが駆動 (バス ターンアラウンド) を開始する前にホスト出力をオフにするのに要する時間は短縮されます。これにより、I/O 信号の競合を防止できるため、ホスト システムは最後の 2 つの「ドント ケア」モード サイクルまたは任意のダミー サイクル中に I/O 信号の出力をオフ (高インピーダンス) にできます。

レイテンシ期間が経過した後、与えられたアドレスでのメモリ内容は IO0 と IO1 上で一度に 2 ビットずつシフトアウトされます。SCK 信号の立ち下がりエッジで SCK 周波数で 2 ビットがシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

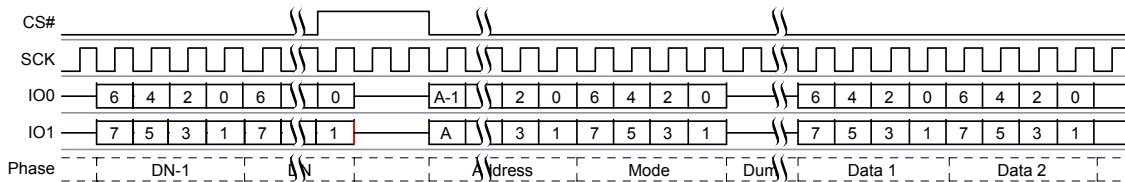
モード ビットが不定にならないように、モード ビットまたはダミー ビットの間に CS# を HIGH に駆動しないでください。

図 80. デュアル I/O 読み出しコマンド シーケンス



- 注:
- 60. 最下位 4 モード ビットは「ドント ケア」で、ホストがこれらのビットを駆動することは任意です。これらのサイクル中に、ホストからのモード ビットとメモリからの返りデータ間のバス ターンアラウンドを増やすためにホストは駆動をオフにできます。
 - 61. A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または BBh コマンドの場合)。

図 81. デュアル I/O 連続読み出しコマンド シーケンス



- 注:
- 62. 最下位 4 モード ビットは「ドント ケア」で、ホストがこれらのビットを駆動することは任意です。これらのサイクル中に、ホストからのモード ビットとメモリからの返りデータ間のバス ターンアラウンドを増やすためにホストは駆動をオフにできます。
 - 63. A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または BBh コマンドの場合)。

11.4.6 クアッド I/O 読み出し (QIQR EBh または 4QIQR ECh)

- EBh 命令 (CR2V[7] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- EBh 命令 (CR2V[7] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- ECh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

クアッド I/O 読み出しコマンドは IO0 ~ IO3 の 4 本の I/O 信号を使用してスループットを向上させます。これにより、SCK シリアル クロックごとに 4 アドレス ビットを入力できます。アプリケーションによっては、縮小された命令オーバーヘッドにより FS-S ファミリー デバイスからの直接コード実行 (XIP) が可能になる場合があります。FS-S ファミリー デバイスのクアッド機能を有効にするために、コンフィギュレーション レジスタの QUAD ビットをセットしなければなりません (CR1V[1] = 1)。

クアッド I/O 読み出しコマンドの最大動作クロック周波数は 133MHz です。

クアッド I/O 読み出しコマンドでは、データを IO0 ~ IO3 上でシフトアウトし始める前に、モード ビット (以下で説明) の後にはレイテンシが必要です。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。ダミー サイクル数は SCK の周波数によって異なります。レイテンシは CR2V[3:0] で設定されます。レイテンシ期間が経過した後、与えられたアドレスでのメモリ内容は IO0 ~ IO3 上で一度に 4 ビットずつシフトアウトされます。SCK 信号の立ち下がりがエッジごとに SCK 周波数で各ニブル (4 ビット) がシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

アドレス ジャンプは、追加のクアッド I/O 読み出し命令なしで実現できます。図 82 に示すように、アドレス シーケンス実行後のモード ビットの設定で制御されます。追加機能は命令シーケンスを不要にし、コード実行 (XIP) 性能を大幅に向上させます。モード ビットの上位ニブル (ビット 7 ~ 4) に最初のバイトの命令コードが含まれるか否かに応じて、次のクアッド I/O 命令の長さを制御します。モード ビットの下位ニブル (ビット 3 ~ 0) は「ドント ケア」(「x」) です。モード ビットが Axh であれば、98 ページの図 84 に示すように、デバイスはクアッド I/O 高性能読み出しモードのままにあり、EBh または ECh 命令なしで、(CS# が HIGH にされてから LOW にアサートされた後) 次のアドレスを入力できます。このように、コマンド シーケンスから 8 サイクルが除去されます。以下のシーケンスで、デバイスはクアッド I/O 高性能読み出しモードから解放されます。その後、デバイスは標準の SPI コマンドを受け入れられます。

1. クアッド I/O 読み出しコマンド シーケンス中に、モード ビットが Axh でなければ、CS# が次に HIGH になるときにデバイスはクアッド I/O 高性能読み出しモードから解放されます。
2. モード リセット コマンドを送信します。

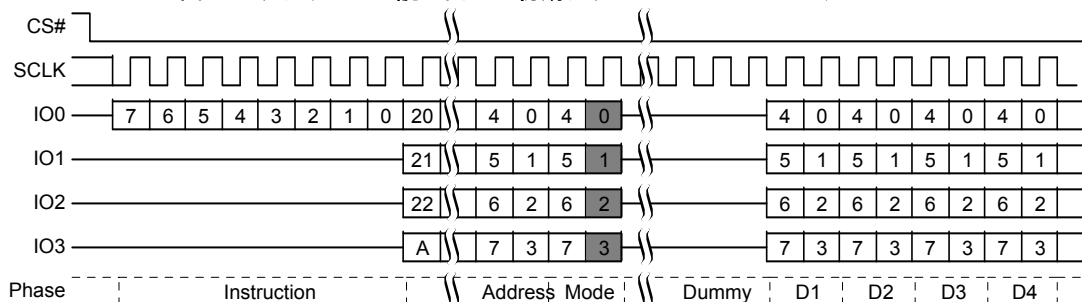
2 つのモード ビット サイクルおよび追加のウェイトステート (すなわち、ダミー サイクル) により、最後のアドレスが IO0 ~ IO3 にクロックされた後にデバイスの内部回路が初期アドレスにアクセスするためのレイテンシ時間を取れることに注意してください。

IO0 ~ IO3 信号は、最初のデータ出力クロックの立ち上がりエッジで、またはその前に高インピーダンスに設定することが重要です。より高いクロック速度では、メモリ デバイスが駆動 (バス ターンアラウンド) を開始する前にホスト出力をオフにするのに要する時間は短縮されます。これにより、IO0 ~ IO3 信号の競合を防止できるため、ホスト システムは最後の「ドント ケア」モード サイクルまたは任意のダミー サイクル中に IO0 ~ IO3 信号の出力をオフ (高インピーダンス) にできます。

モード ビットが不定にならないように、モード ビットまたはダミー ビットの間に CS# を HIGH に駆動しないでください。

QPI モード (CR2V[6] = 1) では、クアッド I/O 命令は SCK の立ち上がりエッジごとに 4 ビットずつ送信されます。コマンド プロトコルの残りはクアッド I/O コマンドと同じです。

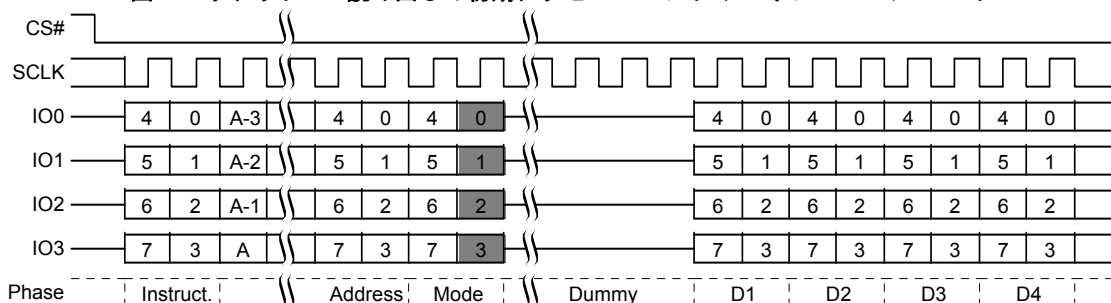
図 82. クアッド I/O 読み出しの初期アクセス コマンド シーケンス



注:

64.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または ECh コマンドの場合)。

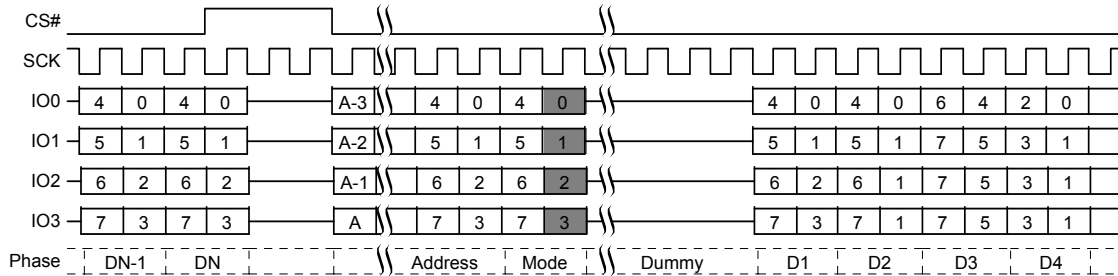
図 83. クアッド I/O 読み出しの初期アクセス コマンド シーケンス - QPI モード



注:

65.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または ECh コマンドの場合)。

図 84. クアッド I/O 連続読み出しコマンド シーケンス



注:

66.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または ECh コマンドの場合)。

67.QPI モードで同じシーケンスを使用します。

11.4.7 DDR クアッド I/O 読み出し (EDh、EEh)

DDR クアッド I/O 読み出しコマンドは IO0 ~ IO3 の 4 本の I/O 信号を使用してスループットを向上させます。コマンドはクアッド I/O 読み出しコマンドに似ていますが、クロックのエッジごとに 4 アドレス ビットを入力できます。アプリケーションによっては、縮小された命令オーバーヘッドにより FS-S ファミリー デバイスからの直接コード実行 (XIP) が可能になる場合があります。クアッド機能を有効にするために、コンフィギュレーション レジスタの QUAD ビットをセットしなければなりません (CR1V[1] = 1)。

- EDh 命令 (CR2V[7] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- EDh 命令 (CR2V[7] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- EEh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後にはモード ビットが続きます。その後、与えられたアドレスでのメモリ内容は IO0 ~ IO3 上で DDR 方式でクロック エッジごとに一度に 4 ビットシフトアウトされます。

DDR クアッド I/O 読み出しコマンドの最大動作クロック周波数は 100MHz です。

DDR クアッド I/O 読み出しでは、データを IO0 ~ IO3 上でシフトアウトし始める前に、最後のアドレスとモード ビットが IO0 ~ IO3 信号上にシフトインされた後にレイテンシが必要です。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。データ ラーニング パターン (DLP) が有効になっている場合、ホスト システムはダミー サイクル中に IO 信号を駆動してはいけません。メモリ デバイスがダミー サイクル中に DLP を駆動できるように、ホストは IO 信号を高インピーダンスのままにする必要があります。

ダミー サイクル数は SCK の周波数によって異なります。レイテンシは CR2V[3:0] で設定されます。

図 85 と図 87 に示すように、モード ビットにより、最初のコマンドが相補モード ビット パターンを送信した後、一連のクアッド I/O DDR コマンドから 8 ビット命令を除去できます。この機能により、8 ビット SDR 命令シーケンスを不要にし、初期アクセス時間を著しく短縮させます (XIP 性能を向上させます)。モード ビットに最初のバイトの命令コードが含まれるか否かに応じて、次の DDR クアッド I/O 読み出しの長さを制御します。モード ビットの上位ニブル (IO[7:4]) と下位ニブル (IO[3:0]) は相補的であれば (すなわち 5h と Ah)、EDh または EEh 命令を必要とせずにデバイスは DDR クアッド I/O 連続読み出しモードに移行し、(CS# が HIGH にされてから LOW にアサートされた後) 次のアドレスを入力できます。このように、コマンド シーケンスから 8 サイクルが除去されます。以下のシーケンスで、デバイスは DDR クアッド I/O 連続読み出しモードから解放されます。その後、デバイスは標準の SPI コマンドを受け入れられます。

1. DDR クアッド I/O 読み出しコマンド シーケンス中に、モード ビットが相補的ではない場合、次回 CS# が HIGH にされてから LOW にアサートされるときにデバイスは DDR クアッド I/O 読み出しモードから解放されます。
2. モード リセット コマンドを送信します。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

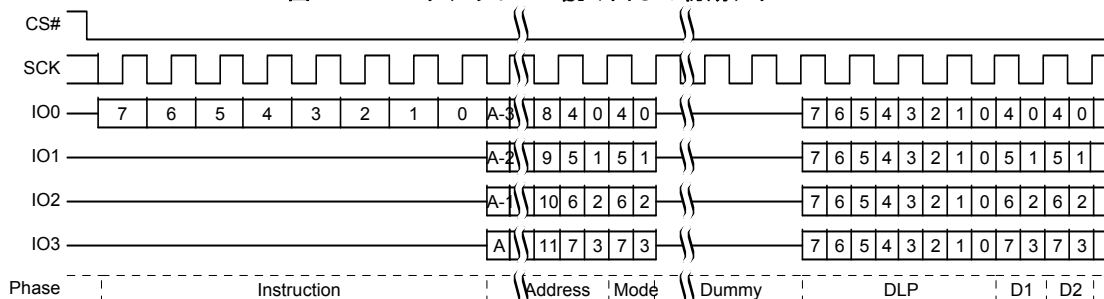
モードビットが不定にならないように、モードビットまたはダミービットの間にCS#をHIGHに駆動しないでください。メモリデバイスは最初のデータ値の前にプリアンプルをIOに駆動することがあることに注意してください。プリアンプルは、より高い周波数でデータキャプチャを最適化するためにホストコントローラーによって使用されるデータラーニングパターン(DLP)です。プリアンプルはデータが出力される直前に4クロックサイクルの間IOバスを駆動します。ホストは、メモリがプリアンプルを出力し始める前にIOバスの駆動を停止することを確認する必要があります。

プリアンプルの目的は、ホストがクロックエッジを駆動してからメモリデバイスが対応するデータ値を返すまでのラウンドトリップ時間についての指示をホストコントローラーに与えることです。ホストコントローラーはタイミングマージンを最適化するためにプリアンプル期間中にデータキャプチャポイントをスキューしてから、読み出し動作の残りの期間中に同一のスキュー時間を使用してデータを取り込みます。最適化されたキャプチャポイントは各読み出し動作のプリアンプル期間中に判定されます。最適化方法の目的は、メモリデバイスとホストコントローラー両方のPVT(プロセス、電圧、温度)およびPCB上の伝播時間に起因したすべてのシステムレベル遅延を補正することです。

データラーニングパターン(DLP)はプログラム可能ですが、以下の例にはDLP 34hを示します。DLP 34h(00110100)はアクティブな出力(すなわち、すべての4本のIO)のそれぞれの上で駆動されます。パターンは「DC」と「AC」両方のデータ遷移シナリオに対応できるように選択されます。2つのDC遷移シナリオは、データが長期間(2ハーフクロック)LOWになってからHIGHに遷移(001)することと、補数がLOWに遷移(110)することです。2つのAC遷移シナリオは、データが短期間(1ハーフクロック)LOWになってからHIGHに遷移(101)することと、補数がLOWに遷移(010)することです。通常、DC遷移は安定状態(DC)レベルに完全に整合しない可能性があるAC遷移よりも、電源ラインに近いスタートポイントに発生します。多くの場合、DC遷移はデータ有効期間の始まりに関連し、AC遷移はデータ有効期間の終わりに関連します。遷移により、ホストコントローラーは有効なデータアイの始まりと終わりを識別できます。データアイが特徴付けされると、最適なデータキャプチャポイントを選択できます。詳細は62ページのSPI DDRデータラーニングレジスタを参照してください。

QPIモード(CR2V[6]=1)では、DDRクアッドI/O命令はSCKの立ち上がりエッジごとに4ビットずつ送信されます。コマンドプロトコルの残りはDDRクアッドI/Oコマンドと同じです。

図 85. DDR クアッド I/O 読み出しの初期アクセス

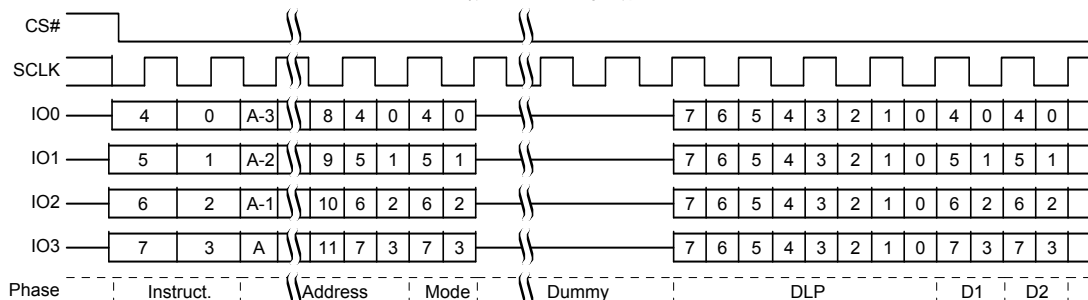


注:

68.A = アドレスのMSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または EAh コマンドの場合)。

69.34h (00110100) の DLP 例。

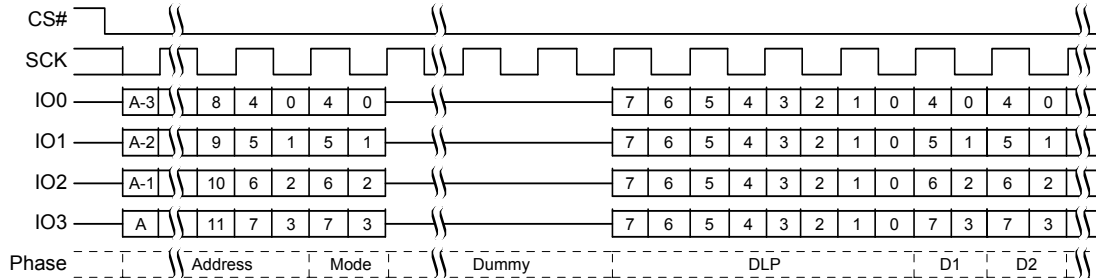
図 86. DDR クアッド I/O 読み出しの初期アクセス - QPI モード



注:

70.A = アドレスのMSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または EAh コマンドの場合)。

71.34h (00110100) の DLP 例。

図 87. DDR クアッド I/O 連続読み出しの後続アクセス


注:

72.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または EEh コマンドの場合)。

73.QPI モードで同じシーケンスを使用します。

74.34h (00110100) の DLP 例。

11.5 プログラム フラッシュ アレイのコマンド

11.5.1 プログラムの粒度

11.5.1.1 自動 ECC

各 16 バイト整列のプログラム ブロックには自動的なエラー訂正コード (ECC) 値があります。データ ブロックと ECC は ECC ユニットの形成します。エラー検出および訂正 (EDC) ロジックと併用して、ECC は読み出しアクセス中のシングル ビット エラーを検出および訂正します。データが ECC ユニット内に初めてプログラムされると、ECC 値は ECC ユニット全体に対してセットされます。同じ ECC ユニットが 2 回以上プログラムされた場合、ECC 値は EDC 機能を無効にするために変更されます。プログラム ブロックの自動 ECC を再び有効にするためにセクタ消去が必要です。16 バイト プログラム ブロックは、自動 ECC が有効にされる最小のプログラム粒度です。

ユーザーに対してトランスペアレント (透明) な自動動作です。自動 ECC 機能の透明性は、標準的なプログラム動作のデータの正確さを向上させます。それらのプログラム動作は、各 ECC ユニットに 1 回データを書き込みながらも、シングル バイト プログラムおよび同じ ECC ユニットが複数回プログラムされるビットウォーキングを可能にすることで、旧世代の FL 製品ファミリとのソフトウェア互換性を可能にします。ECC ユニットの自動 ECC 機能が無効になったとき、ECC ユニット位置から読み出されるデータに対して EDC は行われません。

ECC ステータス レジスタにより、ECC ユニットに対して ECC 機能が有効であるかどうかと、ECC ユニット データまたは ECC でエラーが検出および訂正されたかどうかを判定できます (60 ページの [ECC ステータス レジスタ \(ECCSR\)](#) を参照してください)。ECC ステータス レジスタ読み出し (ECCRD) コマンドは、ECC ユニットの ECC ステータスを読み出すために使用されます (86 ページの [ECC ステータス レジスタ読み出し \(ECCRD 19h または 4EECRD 18h\)](#) を参照してください)。

エラー検出および訂正 (EDC) は、フラッシュ アドレス空間のレジスタ以外のすべての部分に適用されます。各保護されるバイトグループに対してエラー訂正コード (ECC) が計算され、バイト グループに関連する隠し領域に保存されます。保護されるバイトグループは関連する ECC とともに ECC ユニットと呼ばれます。

- ECC は各 16 バイト 整列の ECC ユニットに対して計算されます。
- シングル ビット EDC は ECC ユニットごとに 8 ECC ビットおよび ECC ディセーブル フラグに対して対応されます。
- セクタ消去はセクタのすべての ECC ビットおよび ECC ディセーブル フラグをデフォルト状態 (有効) にリセットします。
- ECC は標準的なプログラム コマンド動作の一部としてプログラムされます。
- 同じ ECC ユニットに対して複数回のプログラム動作が実行された場合、ECC は自動的に無効になります。
- シングル バイト プログラムまたはビット ウォーキングは実行可能ですが、同じ 16 バイト ECC ユニットに対する 2 回目のプログラムでは ECC が無効になります。
- ECC が無効なとき、ECC ディセーブル フラグがプログラムされます。
- ECC ユニットに対して無効になった ECC を再び有効にするために、ECC ユニットを含むセクタを消去しなければなりません。
- EDC が提供するデータの完全性を確保するために、保存された ECC が無効にされないように各 ECC ユニットは 1 回だけプログラムする必要があります。
- ECC の計算、プログラムおよび無効化はプログラム動作の一部として自動的に行われます。必要に応じて、検出および訂正は読み出し動作の一部として自動的に行われます。ホスト システムは読み出し動作からの訂正済みデータのみが見えます。
- ECC は OTP 領域を保護しますが、同じ ECC ユニットに対する 2 回目のプログラム動作はその ECC ユニットに対して ECC を永久的に無効にします (OTP はワンタイム プログラマブルであるため、ECC イネーブル/インジケータを再び有効にするための消去動作が禁止されます)。

11.5.1.2 ページ プログラム

ページ プログラムはプログラムされるデータをページ バッファにロードし、データをバッファからメモリ アレイへ転送するプログラム コマンドを発行することで行われます。単一のプログラム コマンドでプログラムできるデータ量に上限を設定します。ページ プログラムでは、1つの動作で 256 または 512 バイトまでのページ サイズをプログラムできます。ページ サイズはコンフィギュレーション レジスタの CR3V[4] ビットで決まります。ページは、ページ サイズのアドレス境界にアラインされます。各ページ プログラム動作で 1 ビットからページ サイズまでプログラムすることが可能です。16 バイトの倍数である長さのアラインされたプログラム ブロックを書き込むことが推奨されています。これにより、自動 ECC が無効にならないようにします。最高の性能を得るために、プログラムは 512 バイト境界にアラインされた 512 バイトのフル ページに対して行い、各ページを一度だけプログラムする必要があります。

11.5.1.3 シングル バイト プログラム

シングル バイト プログラムは 1 バイトをメモリ アレイ内の任意の位置にプログラムすることを可能にし、レガシーの標準 SPI ページ プログラム (PP) コマンドへ完全に下位互換性があります。シングル バイト プログラムの対応中は、同じ 16 バイト ECC ユニットで別のバイトがプログラムされた場合、ECC ユニットの自動 ECC が無効になります。

11.5.2 ページ プログラム (PP 02h または 4PP 12h)

ページ プログラム (PP) コマンドでは、バイトをメモリにプログラム (ビットを 1 から 0 に変更) できます。デバイスはページ プログラム (PP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスはステータス レジスタの書き込みイネーブル ラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

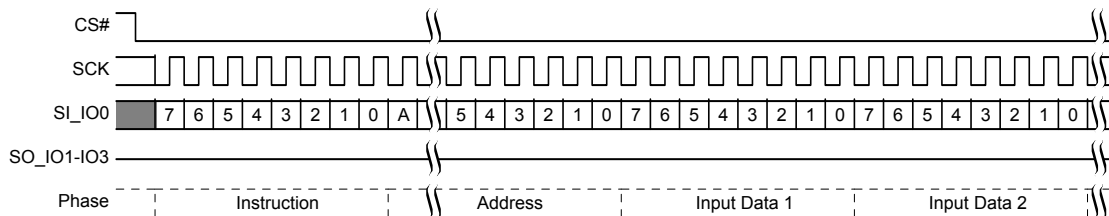
- 02h 命令 (CR2V[7] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 02h 命令 (CR2V[7] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 12h 命令に続いて 4 バイト アドレス (A31 ~ A0) および

少なくとも 1 データ バイトが SI / IO0 上で転送されます。CR3V[4] によって、ページ サイズは 256 または 512 バイトです。02h 命令と 3 バイト アドレスまたは 12h 命令と 4 バイト アドレスが転送された後、SI / IO0 上でページまで転送できます。開始アドレスからページ整列の終わり境界までの空間よりも多くのデータがデバイスに送信される場合、データ ロード シーケンスはページの最後のバイトから同ページの 0 バイト位置にラップしてから、同ページに既にロードされたデータを上書きし始めます。最後のページ データ分はページ内にプログラムされます。これは、デバイスが 1 ページ サイズのみのページ プログラム バッファを備えている場合の結果です。1 ページより少ないデータがデバイスに送信される場合、データ バイトはページ内の他のバイトに影響せずにページ内の与えられたアドレスから順々にプログラムされます。

ページ プログラム (PP) コマンドを使用してページ境界内にページ全体をロードすることは、プログラム バッファに 1 ページ未満をロードすることに比べて総プログラム時間を節約できます。

プログラム プロセスはフラッシュ メモリ デバイスの内部制御ロジックで制御されます。プログラム コマンドが発行された後、ステータス レジスタ 1 読み出しコマンドを使用してプログラム動作のステータスを確認できます。WIP ビット (SR1V[0]) はプログラム動作が完了したかどうかを示します。P_ERR ビット (SR1V[6]) はプログラムを正常に完了させないエラーがプログラム動作に発生したかどうかを示します。保護された領域をプログラムすることが含まれます。

図 88. ページ プログラム (PP 02h または 4PP 12h) コマンド シーケンス

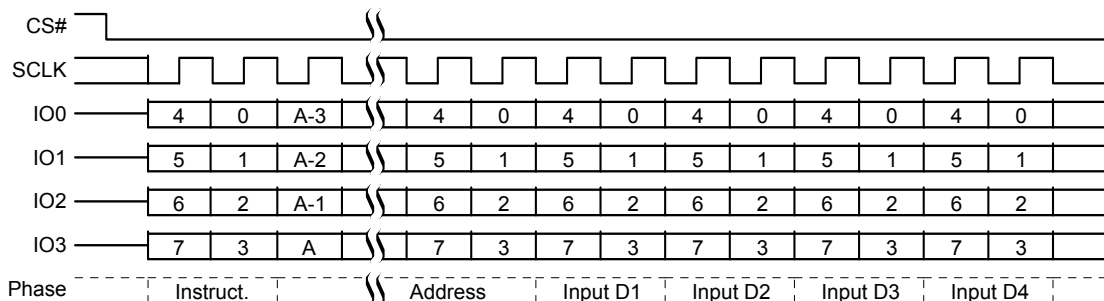


注:

75.A = アドレスの MSB = A23 (CR2V[7] = 0 で PP 02h の場合) または A31 (CR2V[7] = 1 で PP 02h、または 4PP 12h の場合)。

コマンドは QPI モードでも対応されます。QPI モードでは、命令、アドレスおよびデータは IO0 ~ IO3 上でシフトインされます。

図 89. ページ プログラム (PP 02h または 4PP 12h) コマンド シーケンス – QPI モード



注:

76.A = アドレスの MSB = A23 (CR2V[7] = 0 で PP 02h の場合) または A31 (CR2V[7] = 1 で PP 02h、または 4PP 12h の場合)。

11.5.3 クアッド ページ プログラム (QPP 32h または 4QPP 34h)

クアッド入力ページ プログラム (QPP) コマンドでは、バイトをメモリにプログラム (ビットを 1 から 0 に変更) できます。クアッド入力ページ プログラム (QPP) コマンドにより、IO0 ~ IO3 の 4 本の信号を使用してページ バッファに 1 ページまでのデータをロードできます。QPP はクロック サイクルごとに 4 データ ビットをロードすることで、遅いクロック速度 (< 12MHz) で動作する PROM プログラムおよびアプリケーションの性能を改善できます。より速いクロック速度で動作するシステムでは、固有のページ プログラム時間がデータ クロックイン時間より長くなるため、QPP コマンドからの利益はあまり得られません。QPP コマンドの最大周波数は 133MHz です。

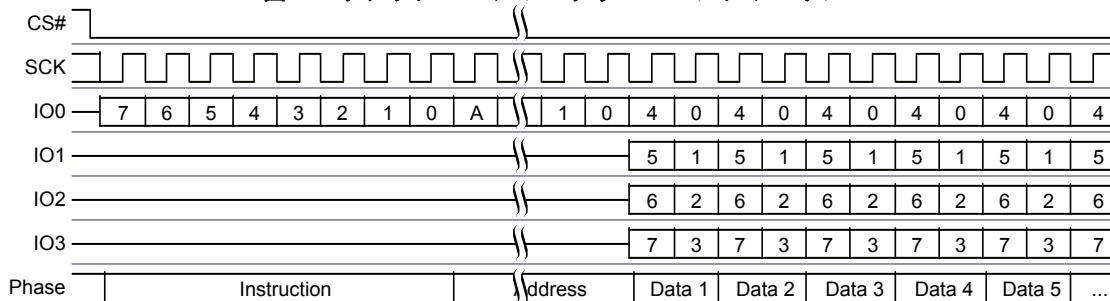
クアッド ページ プログラムを使用するために、コンフィギュレーション レジスタのクアッド イネーブル ビットをセットする (QUAD = 1) 必要があります。デバイスは QPP コマンドを受け入れる前に、書き込みイネーブル コマンドを実行する必要があります (ステータス レジスタ 1 の WEL = 1)。

- 32h 命令 (CR2V[0] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 32h 命令 (CR2V[0] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 34h 命令に続いて 4 バイト アドレス (A31 ~ A0)、および

少なくとも 1 データ バイトが IO 信号に転送されます。

QPP の他のすべての機能はページ プログラムと同じです。QPP コマンド シーケンスは以下の図に示します。

図 90. クアッド ページ プログラム コマンド シーケンス



注:

77.A = アドレスの MSB = A23 (CR2V[7] = 0 で QPP 32h の場合) または A31 (CR2V[7] = 1 で QPP 32h、または 4QPP 34h の場合)。

11.6 フラッシュ アレイ消去のコマンド

11.6.1 パラメーター セクタ消去 (P4E 20h または 4P4E 21h)

メイン フラッシュ アレイのアドレス マップは、パラメーター セクタが最下位アドレス ユニフォーム セクタ (最下部パラメーター セクタ) の最下位アドレス部分を重ねるか、または最上位アドレス ユニフォーム セクタ (最上部パラメーター セクタ) の最上位アドレス部分を重ねるよう設定できます。また、メイン フラッシュ アレイのアドレス マップはユニフォーム サイズのセクタのみを持つよう設定することもできます。パラメーター セクタ コンフィギュレーションはコンフィギュレーション ビット CR3V[3] で制御されます。デバイスがユニフォーム セクタのみに設定された場合 (CR3V[3] = 1)、P4E と 4P4E コマンドは無視されます。

パラメーター セクタ消去コマンドはパラメーター セクタの全ビットを 1 にセットします (全バイト値は FFh です)。デバイスは P4E または 4P4E コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

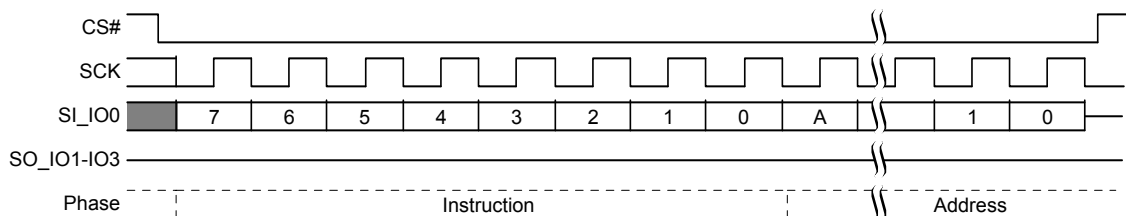
- 20h 命令 (CR2V[7] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 20h 命令 (CR2V[7] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 21h 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの 24 または 32 ビット目が SI / IO0 上でラッチインされた後、CS# を論理 HIGH 状態に駆動する必要があります。これにより、フラッシュ メモリ アレイの選択されたセクタのプリプログラム/消去を含む内部消去サイクルを開始します。最後のアドレス ビットの後に CS# が HIGH に駆動されない場合、セクタ消去動作は実行されません。

CS# が HIGH に駆動されると、内部消去サイクルは直ちに開始されます。進行中の内部消去サイクルで、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかを確認できます。WIP ビットは、消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

ブロック保護ビットまたは ASP により書き込みから保護されたセクタに P4E または 4P4E コマンドを適用すると、コマンドは実行されず、E_ERR ステータスがセットされます。4KB より大きいセクタに P4E コマンドを適用すると、コマンドは実行されず、E_ERR ステータスがセットされません。

図 91. パラメーター セクタ消去 (P4E 20h または 4P4E 21h) コマンド シーケンス

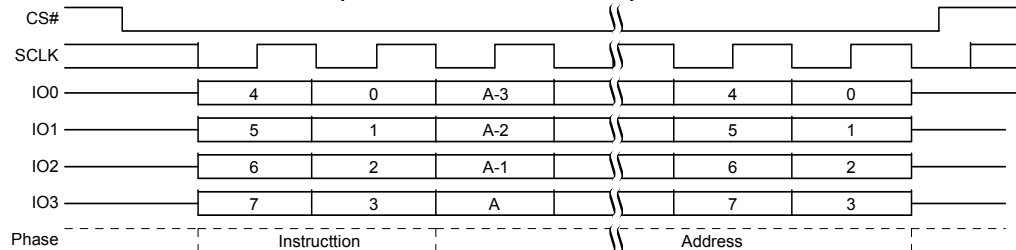


注:

78.A = アドレスの MSB = A23 (CR2V[7] = 0 で SE 20h の場合) または A31 (CR2V[7] = 1 で SE 20h、または 4SE 21h の場合)。

コマンドは QPI モードでも対応されます。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

図 92. パラメーター セクタ消去 (P4E 20h または 4P4E 21h) コマンド シーケンス - QPI モード



注:

79.A = アドレスの MSB = A23 (CR2V[7] = 0 で SE 20h の場合) または A31 (CR2V[7] = 1 で SE 20h、または 4SE 21h の場合)。

11.6.2 セクタ消去 (SE D8h または 4SE DCh)

セクタ消去 (SE) コマンドはアドレス指定されたセクタの全ビットを 1 にセットします (全バイト値は FFh です)。デバイスはセクタ消去 (SE) コマンドを受け入れられる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータスレジスタの書き込みイネーブルラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

- D8h 命令 (CR2V[7] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- D8h 命令 (CR2V[7] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- DCh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの 24 または 32 ビット目が SI 上でラッチインされた後、CS# を論理 HIGH 状態に駆動する必要があります。これにより、選択されたセクタのプリプログラム/消去を含む消去サイクルを開始します。最後のアドレスビットの後に CS# が HIGH に駆動されない場合、セクタ消去動作は実行されません。

CS# が論理 HIGH 状態に駆動されると、内部消去サイクルは直ちに開始されます。進行中の内部消去サイクルにより、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかを確認できます。WIP ビットは、消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

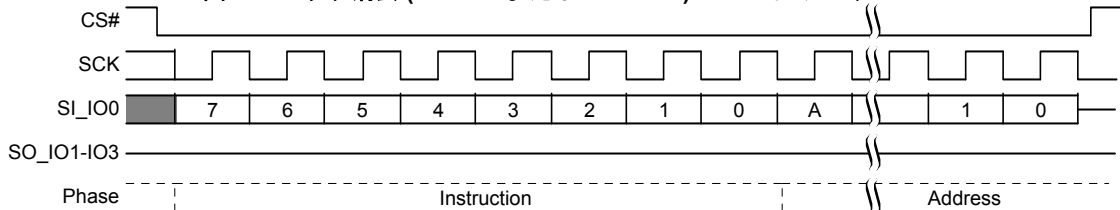
ブロック保護ビットまたは ASP により書き込みから保護されたセクタにセクタ消去 (SE) コマンドを適用すると、コマンドは実行されず、E_ERR ステータスがセットされます。

デバイス コンフィギュレーション オプション (CR3V[1]) で SE コマンドが 64KB か 256KB を消去するかが決まります。

デバイス コンフィギュレーション オプション (CR3V[3]) で 4KB パラメーターセクタが使用中であるかが決まります。CR3V[3] = 0 の場合、パラメーターセクタはデバイスアドレス空間の最上位または最下位アドレスの 32KB の一部を重ねます。パラメーターセクタによって重ねられた 64KB セクタにセクタ消去コマンドを適用すると、重ねられたパラメーターセクタは消去動作に影響されません。64KB セクタの可視の (重ねられない) 部分のみは消去されます。同様に、セクタによって重ねられた 256KB 範囲にセクタ消去コマンドを適用すると、重ねられたパラメーターセクタは消去動作に影響されません。CR3V[3] = 1 の場合、デバイスアドレス空間にはパラメーターセクタがなく、セクタ消去コマンドは常に十分に可視の 64KB または 256KB セクタに対して動作します。

ASP は、パラメーターセクタを任意に含む各物理セクタ用の PPB と DYB 保護ビットを持っています。保護された 64KB 物理セクタを含む 256KB 範囲にセクタ消去コマンドを適用すると、セクタ動作は 256KB 範囲に実行されず、E_ERR ステータスがセットされます。

図 93. セクタ消去 (SE D8h または 4SE DCh) コマンド シーケンス

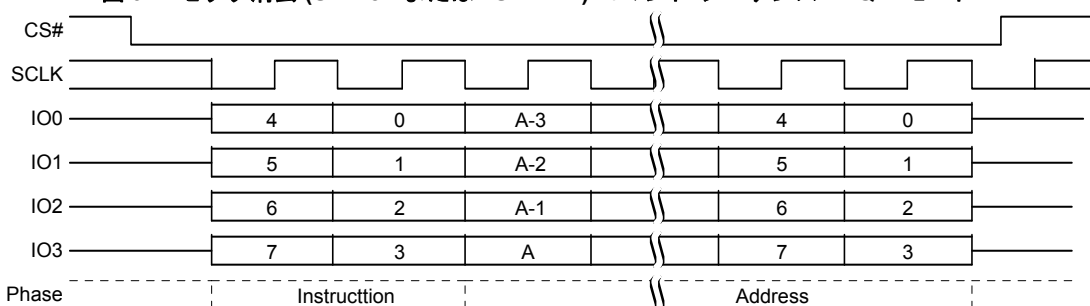


注:

80.A = アドレスの MSB = A23 (CR2V[7] = 0 で SE D8h の場合) または A31 (CR2V[7] = 1 で SE D8h、または 4SE DCh の場合)。

コマンドは QPI モードでも対応されます。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

図 94. セクタ消去 (SE D8h または 4SE DCh) コマンド シーケンス - QPI モード



注:

81.A = アドレスの MSB = A23 (CR2V[7] = 0 で SE D8h の場合) または A31 (CR2V[7] = 1 で SE D8h、または 4SE DCh の場合)。

11.6.3 バルク消去 (BE 60h または C7h)

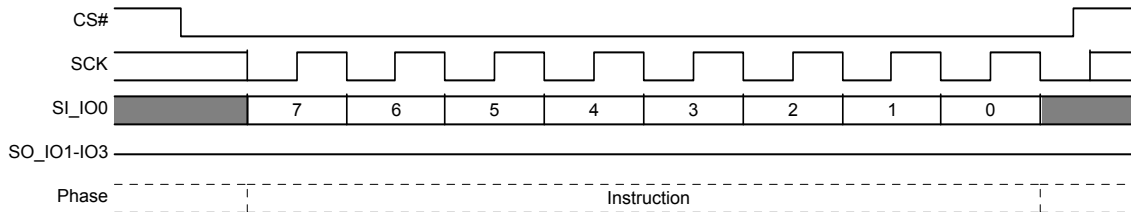
バルク消去 (BE) コマンドはフラッシュ メモリ アレイの全ビットを 1 にセットします (全バイト値は FFh です)。デバイスは BE コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータスレジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

命令バイトの 8 ビット目が SI / IO0 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。これにより、フラッシュ メモリ アレイ全体のプリプログラム/消去を含む消去サイクルを開始します。最後の命令ビットの後に CS# が HIGH に駆動されない場合、BE 動作は実行されません。

CS# が論理 HIGH に駆動されると、消去サイクルは直ちに開始されます。進行中の消去サイクルで、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかどうかを確認できます。WIP ビットは、消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

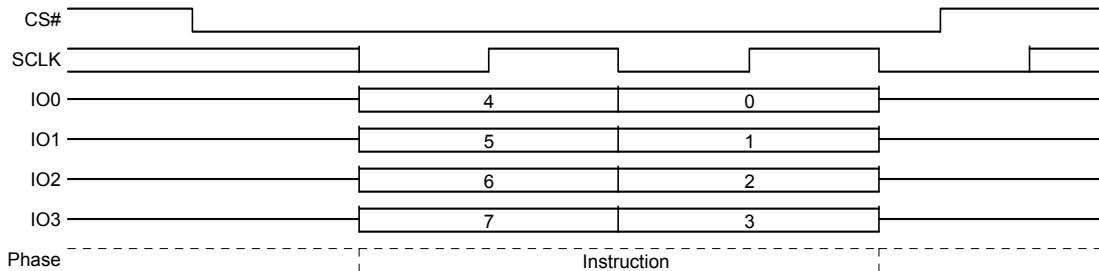
BE コマンドは、ブロック保護 (BP2、BP1、BP0) ビットが「0」にセットされた場合にのみ実行できます。BP ビットが「0」でない場合、BE コマンドは実行されず、E_ERR がセットされません。BE コマンドは DYB か PPB で保護されたすべてのセクタを飛ばし、E_ERR ステータスがセットされません。

図 95. バルク消去コマンド シーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 96. バルク消去コマンド シーケンス - QPI モード



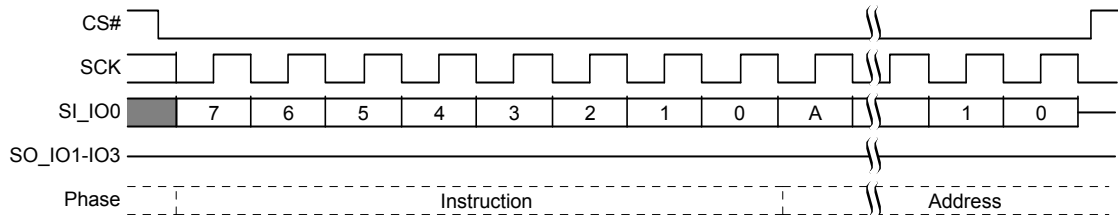
11.6.4 消去ステータス評価 (EES D0h)

消去ステータス評価 (EES) コマンドは、アドレス指定されたセクタに対する直前の消去動作が正常に完了したかを確認します。選択されたセクタが正常に消去された場合、消去ステータス ビット (SR2V[2]) は 1 にセットされます。選択されたセクタが完全に消去されていない場合、SR2V[2] は 0 です。

EES コマンドは、電力喪失やリセット、消去動作中の故障のため失敗した消去動作を検出できます。

EES 命令の後に、アドレス長コンフィギュレーション (CR2V[7]) に応じて 3 か 4 バイト アドレスが続きます。EES コマンドの実行を完了させ SR2V での消去状態を更新するのに tEES を要します。RDSR1 (05h) コマンドを使用して WIP ビット (SR1V[0]) を読み出すことで、いつ EES コマンドが完了するかを判定できます。その後、RDSR2 (07h) または RDAR (65h) コマンドを使用して SR2V[2] を読み出せます。消去されない (SR2V[2] = 0) セクタを検出すると、セクタ内のデータを確実に保存するためにセクタを再び消去しなければなりません。

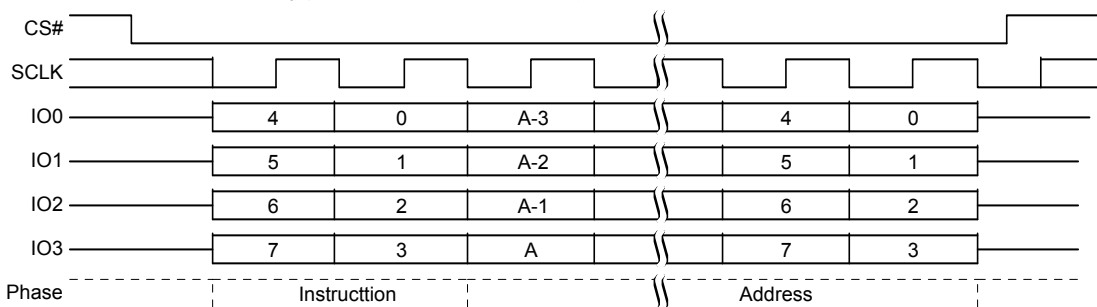
(WEL ビットをセットするための) 書き込みイネーブル コマンドは EES コマンドの前に必要とされません。ただし WEL ビットはデバイスによってセットされ、動作の終わりにクリアされます (状態読み出しで SR1V[1] に示されます)。

図 97. EES コマンド シーケンス


注:

82.A = アドレスの MSB = A23 (CR2V[7] = 0 で ESS D0h の場合) または A31 (CR2V[7] = 1 で ESS D0h の場合)。

コマンドは QPI モードでも対応されます。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

図 98. EES コマンド シーケンス - QPI モード


注:

83.A = アドレスの MSB = A23 (CR2V[7] = 0 で ESS D0h の場合) または A31 (CR2V[7] = 1 で ESS D0h の場合)。

11.6.5 消去/プログラム一時停止 (EPS 85h、75h、B0h)

レガシーおよび代替のソース ソフトウェアの互換性を実現するために、消去/プログラム一時停止 (EPS) 用の 3 つの命令コードがあります。

EPS コマンドでは、システムはプログラムまたは消去動作を割り込んでから、消去が一時停止されないセクタまたはプログラムが一時停止されないページから読み出せます。消去/プログラム一時停止コマンドは、プログラムまたはセクタ消去動作の間のみ有効です。バルク消去動作を一時停止できません。

いつプログラムまたは消去動作が停止されるかを判定するために、ステータス レジスタ 1 の書き込み中 (WIP) ビット (SR1V[0]) を確認する必要があります。ステータス レジスタ 2 のプログラム一時停止ステータス ビット (SR2[0]) を使用して、WIP が 0 となるときにプログラム動作が一時停止されたか完了したかを確定できます。ステータス レジスタ 2 の消去一時停止ステータス ビット (SR2[1]) を使用して、WIP が 0 となるときに消去動作が一時停止されたか完了したかを確定できます。一時停止動作が完了するのに要する時間は t_{SL} です。38 ページの表 17 を参照してください。

プログラム動作または読み出し動作を実行するために消去を一時停止できます。消去一時停止中に、DYB アレイはセクタ保護を確認するために読み出せ、プログラムするセクタの保護を除去または復元するために書き込みます。

読み出し動作を実行するためにプログラム動作を一時停止できます。

既に一時停止された消去またはプログラム動作では新しい消去動作を行えません。この場合、消去コマンドは無視されます。

表 55. プログラム／消去一時停止中に実行可能なコマンド

命令名	命令コード (16 進)	消去一時停止 中に実行可能	プログラ ム一時停 止中に実 行可能	説明
READ	03	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
RDSR1	05	X	X	WIP を読み出して一時停止プロセスの終了を判定するために必要です。
RDAR	65	X	X	WIP を読み出して一時停止プロセスの終了を判定するための代替方法です。
WREN	06	X		消去一時停止中のプログラム コマンドに必要です。
RDSR2	07	X	X	一時停止ステータスを読み出して、動作が一時停止中であるか完了したかを判定するために必要です。
RUID	4C	X	X	一時停止中に固有 ID 読み出しは実行できます。
PP	02	X		消去一時停止中のアレイ プログラムに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0] = 0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。
4PP	12	X		消去一時停止中のアレイ プログラムに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0] = 0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。
QPP	32	X		消去一時停止中のアレイ プログラムに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0] = 0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。
4QPP	34	X		消去一時停止中のアレイ プログラムに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0] = 0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。
4READ	13	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
CLSR	30	X		プログラム動作が消去一時停止中に失敗した場合、ステータス クリア コマンドを使用できます。命令がステータス クリアのために有効にされた (CR4NV[2] = 1) 場合にのみ利用できるように注意してください。
CLSR	82	X		プログラム動作が消去一時停止中に失敗した場合、ステータス クリア コマンドを使用できます。
EPR	30	X	X	一時停止中の消去／プログラムを再開するために必要です。再開コマンドとして使用するために CR3NV[2] = 1 にセットすることでコマンドを有効にする必要があることに注意してください。
EPR	7A	X	X	一時停止中の消去／プログラムを再開するために必要です。
EPR	8A	X	X	一時停止中の消去／プログラムを再開するために必要です。
RSTEN	66	X	X	リセットはいつでも実行可能です。
RST	99	X	X	リセットはいつでも実行可能です。
FAST_READ	0B	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4FAST_READ	0C	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
DOR	3B	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4DOR	3C	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
QOR	6B	X	X	クアッド出力読み出し (3 または 4 バイト アドレス)
4QOR	6C	X	X	クアッド出力読み出し (4 バイト アドレス)
EPR	7A	X		一時停止中の消去を再開するために必要です。
EPR	8A	X		一時停止中の消去を再開するために必要です。
DIOR	BB	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4DIOR	BC	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
DYBRD	FA	X		消去一時停止中に、消去一時停止中のプログラムを可能にするために、動的保護の解除と復元が必要となる場合があります。

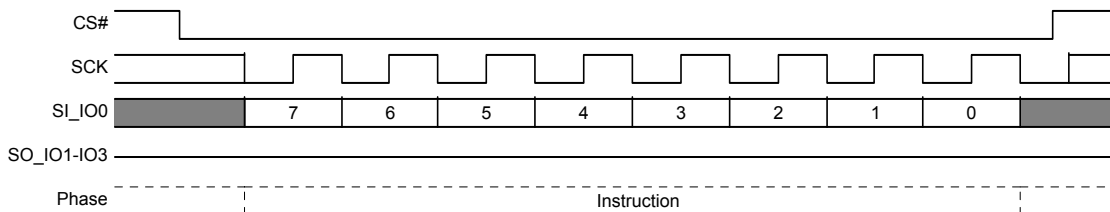
表 55. プログラム／消去一時停止中に実行可能なコマンド (続き)

命令名	命令コード (16 進)	消去一時停止 中に実行可能	プログラ ム一時停 止中に実 行可能	説明
DYBWR	FB	X		消去一時停止中に、消去一時停止中のプログラムを可能にするために、動的保護の解除と復元が必要となる場合があります。
PPBRD	FC	X		消去一時停止中、プログラム コマンドを実行する前に恒久的な保護の確認を許可します。
4DYBRD	E0	X		消去一時停止中に、消去一時停止中のプログラムを可能にするために、動的保護の解除と復元が必要となる場合があります。
4DYBWR	E1	X		消去一時停止中に、消去一時停止中のプログラムを可能にするために、動的保護の解除と復元が必要となる場合があります。
4PPBRD	E2	X		消去一時停止中、プログラム コマンドを実行する前に恒久的な保護の確認を許可します。
QIOR	EB	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4QIOR	EC	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
DDRQIOR	ED	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4DDRQIOR	EE	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
RESET	F0	X	X	リセットはいつでも実行可能です。
MBR	FF	X	X	一時停止中、読み出し動作のリセットが必要となる場合があります。

消去が一時停止されたセクタまたはプログラムが一時停止されたページ内の任意のアドレスを読み出すと、不確定なデータが返されます。

WRR、WRAR または PPB 消去コマンドは消去／プログラム一時停止中に実行できません。このため、消去一時停止中にブロック保護または PPB ビットは変更できません。消去一時停止中にプログラムを必要とするセクタがあれば、セクタは消去一時停止中にオフにできる DYB ビットでのみ保護する必要があります。

消去一時停止中のプログラム動作が完了した後、デバイスは消去一時停止モードに戻ります。通常のプログラム動作と同じように、システムはステータス レジスタの WIP ビットを読み出すことでプログラム動作の状態を確認できます。

図 99. 消去／プログラム一時停止コマンド シーケンス


コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

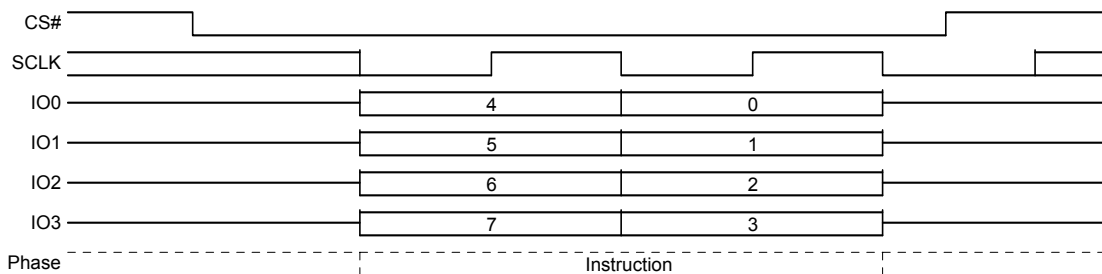
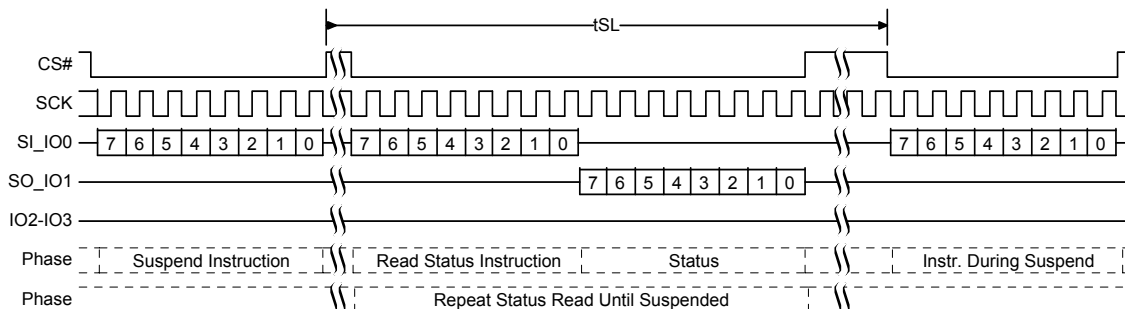
図 100. 消去／プログラム一時停止コマンド シーケンス - QPI モード


図 101. 消去／プログラム一時停止コマンドに続く命令コマンド シーケンス


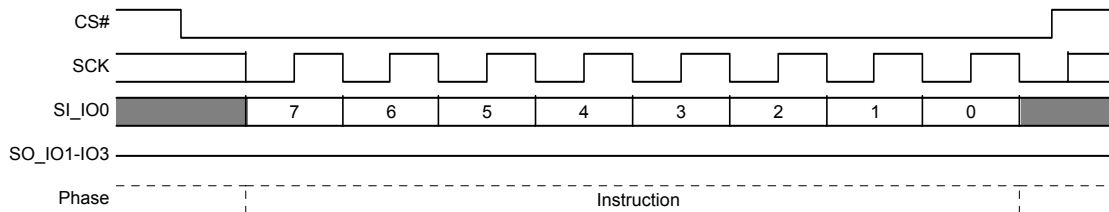
11.6.6 消去／プログラム再開 (EPR 7Ah、8Ah、30h)

一時停止された動作を再開するために消去／プログラム再開コマンドを書き込む必要があります。レガシーおよび代替のソース ソフトウェアの互換性を実現するために、消去／プログラム再開 (EPR) 用の 3 つの命令コードがあります。

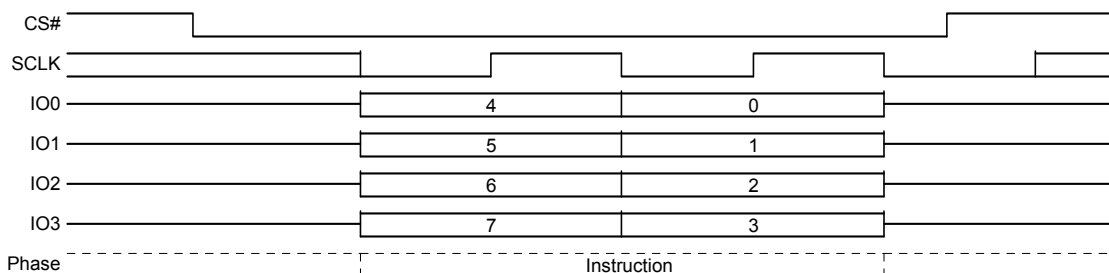
消去またはプログラム一時停止中にプログラムまたは読み出し動作が完了した後、一時停止された動作を継続するために消去／プログラム再開コマンドが送信されます。

消去／プログラム再開コマンドが発行された後、ステータス レジスタ 1 の WIP ビットが 1 にセットされ、一時停止されたプログラム動作が再開されます。一時停止されたプログラム動作がない場合、一時停止された消去動作は再開されます。一時停止されたプログラムまたは消去動作がない場合、再開コマンドは無視されます。

プログラムまたは消去動作は、必要に応じて何度も中断できます (例えば、プログラム一時停止コマンドがプログラム再開コマンドの直後に続くことが可能です)。ただし、プログラムまたは消去動作が完了するために、再開コマンドと次の一時停止コマンドの間には t_{RS} 以上の時間を要します。38 ページの表 17 を参照してください。

図 102. 消去／プログラム再開コマンド シーケンス


コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 103. 消去／プログラム再開コマンド シーケンス - QPI モード


11.7 ワンタイム プログラム アレイのコマンド

11.7.1 OTP プログラム (OTPP 42h)

OTP プログラム コマンドは、メイン アレイ データとは異なるアドレス空間にあるワンタイム プログラム領域のデータをプログラムします。OTP 領域は 1024 バイトであるため、コマンドでは A31 ~ A10 のアドレス ビットは 0 でなければなりません。OTP 領域の詳細については、[46 ページの OTP アドレス空間](#)を参照してください。

デバイスは OTP プログラム コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。SR1V の WIP ビットを確認することで、いつ動作が完了するかを判定できます。SR1V の P_ERR ビットを確認することで、動作中にエラーが発生したかを確認できます。

OTP アレイをビット単位でプログラムするために、データ バイト内の残りのビットを「1」にセットできます。

OTP メモリ空間の各領域は、ロックされていない限り、1 回以上プログラムできます。ロックされている領域に「0」をプログラムしようすると、プログラムは失敗し、SR1V の P_ERR ビットが「1」にセットされます。保護されている領域に「1」をプログラムしても、エラーが発生せず、P_ERR がセットされません。後続の OTP プログラムはプログラムされていないビット (「1」のデータ) のみに対して行えます。ECC ユニット内で複数回プログラムすると、そのユニットの ECC は無効になります。

OTP プログラム コマンドのプロトコルは、ページ プログラム コマンドと同じです。コマンド シーケンスについては、[101 ページのページ プログラム \(PP 02h または 4PP 12h\)](#)を参照してください。

11.7.2 OTP 読み出し (OTPR 4Bh)

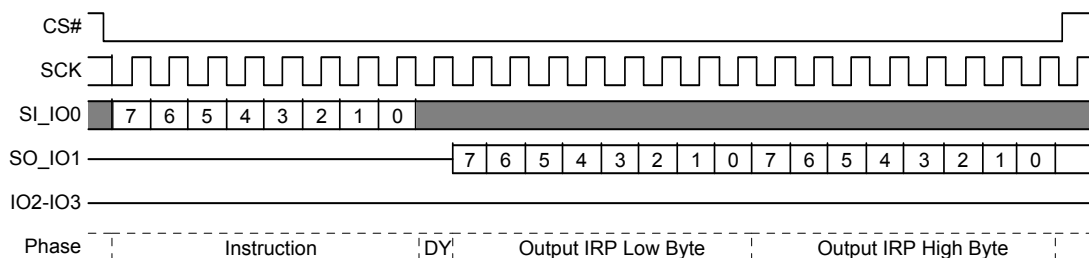
OTP 読み出し コマンドは、OTP 領域からデータを読み出します。OTP 領域は 1024 バイトであるため、コマンドでは A31 ~ A10 のアドレス ビットは 0 でなければなりません。OTP 領域の詳細については、[46 ページの OTP アドレス空間](#)を参照してください。OTP 読み出し コマンドのプロトコルは高速読み出し コマンドに似ていますが、OTP アドレスが最大値に達した後に開始アドレスにラップせず、最高位 OTP アドレスを超えたデータは未定義となります。OTP 読み出し コマンドの読み出しレイテンシは CR2V[3:0] のレイテンシ値でセットされます。コマンド シーケンスについては、[93 ページの高速読み出し \(FAST_READ 0Bh または 4FAST_READ 0Ch\)](#)を参照してください。

11.8 高度セクタ保護のコマンド

11.8.1 ASP 読み出し (ASPRD 2Bh)

ASP 読み出し 命令 2Bh は SCK 信号の立ち上がりエッジで SI にシフトインされます。その後、16 ビット ASP レジスタの内容はシリアル出力 SO 上で最下位バイトが先にシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で各ビットがシフトアウトされます。16 の倍数のクロック サイクルを提供することで ASP レジスタを連続的に読み出せます。ASP 読み出し (ASPRD) コマンドの最大動作クロック周波数は 133MHz です。

図 104. ASPRD コマンド シーケンス



11.8.2 ASP プログラム (ASPP 2Fh)

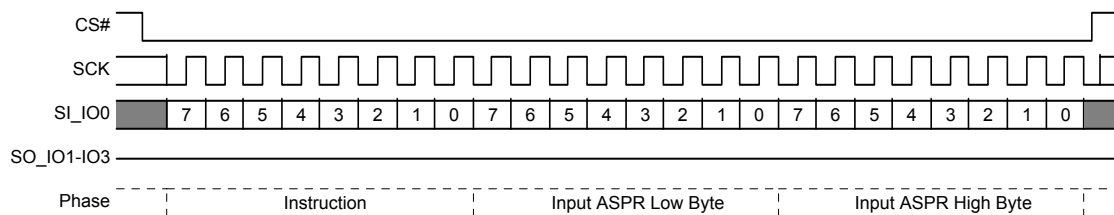
デバイスは ASP プログラム (ASPP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスはステータスレジスタの書き込みイネーブルラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

ASPP コマンドは、CS# を論理 LOW に駆動した後、命令と 2 データバイトを SI 上で最下位バイトを先に送信することで実行します。ASP レジスタの長さは 2 データバイトです。

ASPP コマンドは他のプログラム動作と同じようにステータスおよびコンフィギュレーションレジスタの P_ERR および WIP ビットに影響します。

CS# 入力は、データの 16 ビット目がラッチインされた後に論理 HIGH に駆動する必要があります。そうしないと、ASPP コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの ASPP 動作は直ちに開始されます。ASPP 動作の進行中に、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの ASPP 動作の間「1」であり、動作が完了すると「0」になります。ASPP 動作が完了すると、書き込みイネーブルラッチ (WEL) は「0」にセットされます。

図 105. ASPP コマンド



11.8.3 DYB 読み出し (DYBRD FAh または 4DYBRD E0h)

命令は SCK 信号の立ち上がりエッジで SI / IO0 にラッチインされます。命令の後に、アドレス長コンフィギュレーション CR2V[7] に応じて 24 または 32 ビット アドレスが続き、対象のセクタ内の 0 位置が選択されます。特定の容量のデバイスで使用されない上位アドレスビットは「0」でなければならないことに注意してください。その後、8 ビット DYB アクセスレジスタの内容はシリアル出力 SO / IO1 上でシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で各ビットがシフトアウトされます。8 の倍数のクロックサイクルを提供することで同じ DYB アクセスレジスタを連続的に読み出せます。DYB レジスタのアドレスはインクリメントしないため、DYB アレイ全体を読み出す手段となりません。各位置は別々の DYB 読み出しコマンドで読み出さなければなりません。READ コマンドの最大動作クロック周波数は 133MHz です。

図 106. DYBRD コマンド シーケンス



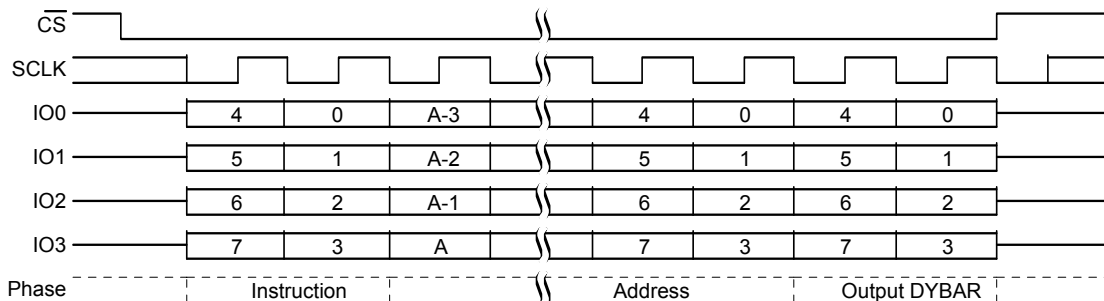
注:

84.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で FAh コマンドの場合)。

85.A = アドレスの MSB = 31 (E0h コマンド)。

QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 107. DYBRD コマンド シーケンス – QPI モード



注:

86.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で FAh コマンドの場合)。

87.A = アドレスの MSB = 31 (E0h コマンドの場合)。

11.8.4 DYB 書き込み (DYBWR FBh または 4DYBWR E1h)

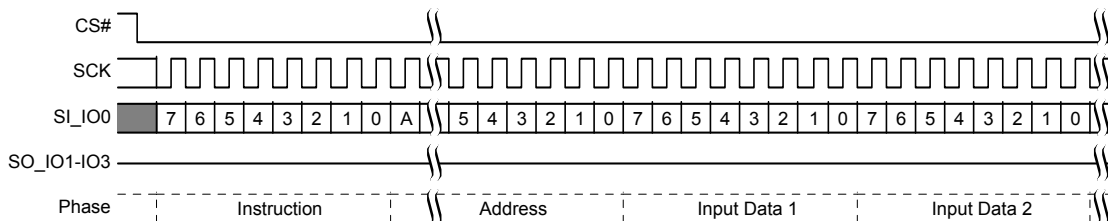
デバイスは DYB 書き込み (DYBWR) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスはステータスレジスタの書き込みイネーブルラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

DYBWR コマンドを入力するために、まず CS# を論理 LOW に駆動してから、命令、24 または 32 ビット アドレス (アドレス長コンフィギュレーション CR2V[7] に応じて) (対象のセクタ内のロケーション 0 が選択される) およびデータバイトを SI / IO0 上で送信します。特定の容量のデバイスで使用されない上位アドレスビットは「0」でなければならないことに注意してください。DYB アクセスレジスタの長さは 1 データ バイトです。データ値は、選択されたセクタを保護するためには 00h で、保護しないためには FFh である必要があります。

DYBWR コマンドは、他のプログラム動作と同じようにステータスおよびコンフィギュレーションレジスタの P_ERR および WIP ビットに影響します。

データの 8 ビット目がラッチインされた後、CS# を論理 HIGH に駆動する必要があります。CS# が論理 HIGH に駆動されると、セルフタイムの DYBWR 動作は直ちに開始されます。DYBWR 動作の進行中に、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの DYBWR 動作の間「1」であり、動作が完了すると「0」になります。DYBWR 動作が完了すると、書き込みイネーブルラッチ (WEL) は「0」にセットされます。

図 108. DYB 書き込みコマンド シーケンス

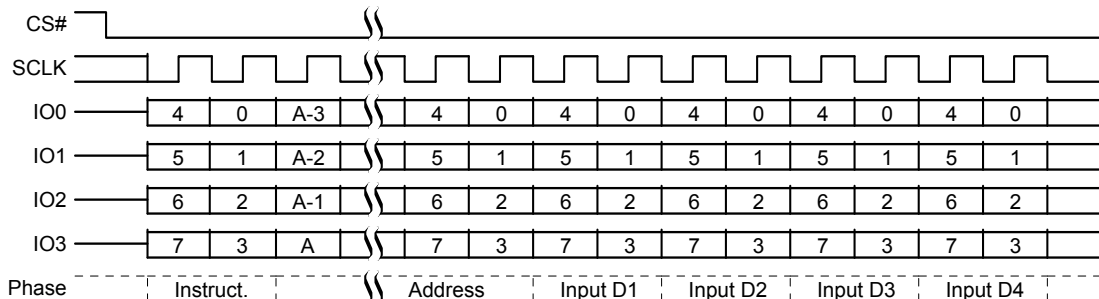


注:

88.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で FBh コマンドの場合)。

89.A = アドレスの MSB = 31 (E1h コマンド)。

コマンドは QPI モードでも対応されます。QPI モードでは、命令、アドレスおよびデータは IO0 ~ IO3 上でシフトインされます。

図 109. DYB 書き込みコマンド シーケンス – QPI モード


注:

90.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で FBh コマンドの場合)。

91.A = アドレスの MSB = 31 (E1h コマンド)。

11.8.5 PPB 読み出し (PPBRD FCh または 4PPBRD E2h)

E2h 命令が SCK 信号の立ち上がりエッジごとに SI / IO0 上でシフトインされてから、アドレス長コンフィギュレーション CR2V[7] に応じて 24 または 32 ビット アドレスが送信されます (対象のセクタ内のロケーション 0 が選択されます)。特定の容量のデバイスで使用されない上位アドレス ビットは「0」でなければならぬことに注意してください。その後、8 ビット PPB アクセス レジスタの内容は SO / IO1 上でシフトアウトされます。

8 の倍数のクロック サイクルを提供することで同じ PPB アクセス レジスタを連続的に読み出せます。PPB レジスタのアドレスはインクリメントしないため、PPB アレイ全体を読み出す手段となりません。各位置は別々の PPB 読み出しコマンドで読み出さなければなりません。PPB 読み出しコマンドの最大動作クロック周波数は 133MHz です。

図 110. PPB 読み出しコマンド シーケンス


注:

92.A = アドレスの MSB = 23 (アドレス長 CR2V[0] = 0 の場合) または 31 (CR2V[0] = 1 で FCh コマンドの場合)。

93.A = アドレスの MSB = 31 (E2h コマンド)。

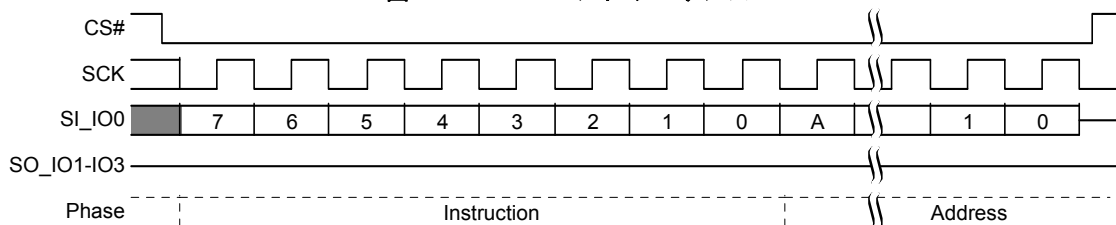
11.8.6 PPB プログラム (PPBP FDh または 4PPBP E3h)

デバイスは PPB プログラム (PPBP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスはステータス レジスタの書き込みイネーブル ラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

PPBP コマンドを入力するために、まず CS# を論理 LOW に駆動してから、命令および 24 または 32 ビット アドレス (アドレス長コンフィギュレーション CR2V[7] に応じて) を送信します (対象のセクタ内のロケーション 0 が選択されます)。特定の容量のデバイスで使用されない上位アドレス ビットは「0」でなければならぬことに注意してください。

PPBP コマンドは、他のプログラム動作と同じようにステータスおよびコンフィギュレーション レジスタの P_ERR および WIP ビットに影響します。

アドレスの最後のビットがラッチインされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PPBP コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PPBP 動作は直ちに開始されます。PPBP 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの PPBP 動作の間「1」であり、動作が完了すると「0」になります。PPBP 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。

図 111. PPB コマンド シーケンス


注:

94.A = アドレスの MSB = 23 (アドレス長 CR2V[0] = 0 の場合) または 31 (CR2V[0] = 1 で FDh コマンドの場合)。

95.A = アドレスの MSB = 31 (E3h コマンド)。

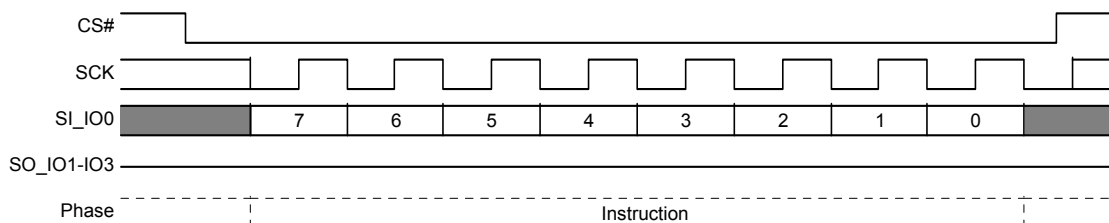
11.8.7 PPB 消去 (PPBE E4h)

PPB 消去 (PPBE) コマンドはすべての PPB ビットを 1 にセットします。デバイスは PPB 消去コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータスレジスタの書き込みイネーブルラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

E4h 命令は SCK 信号の立ち上がりエッジごとに SI / IO0 上でシフトインされます。

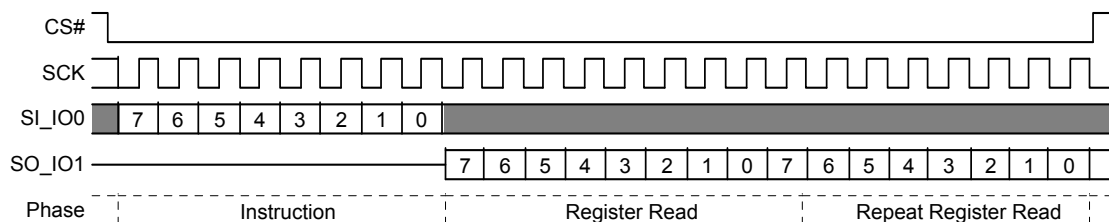
命令バイトの 8 ビット目が SI / IO0 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。これにより、PPB メモリアレイ全体のプリプログラム/消去を含む内部消去サイクルを開始します。命令の 8 ビット目がラッチインされた後に CS# が論理 HIGH に駆動されなければ、PPB 消去動作は実行されません。

進行中の内部消去サイクルにより、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかを確認できます。WIP ビットは、消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。PPB 消去中に消去一時停止は許可されません。

図 112. PPB 消去コマンド シーケンス


11.8.8 PPB ロック ビット読み出し (PLBRD A7h)

PPB ロック ビット読み出し (PLBRD) コマンドでは、PPB ロックレジスタの内容を SO / IO1 上で読み出せます。8 の倍数のクロックサイクルを提供することで PPB ロックレジスタを連続的に読み出せます。デバイスがスタンバイ状態であり、進行中の他の動作がない場合にのみ、PPB ロックレジスタの内容は読み出せます。デバイスに新しいコマンドを発行する前に、ステータスレジスタの書き込み中 (WIP) ビットを確認することが推奨されています。

図 113. PPB ロックレジスタ コマンド シーケンス


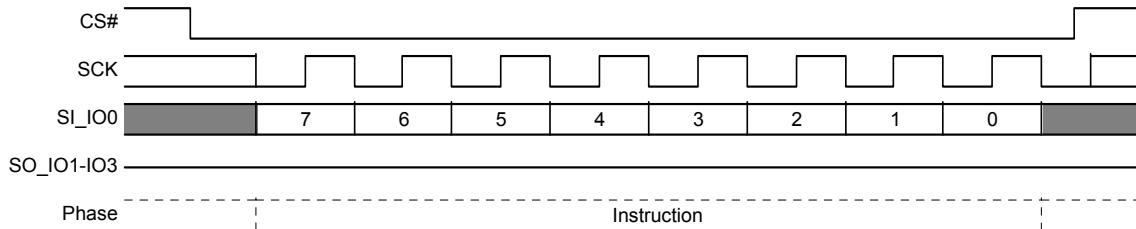
11.8.9 PPB ロック ビット 書き込み (PLBWR A6h)

PPB ロック ビット 書き込み (PLBWR) コマンドは PPB ロック レジスタを「0」にクリアします。デバイスは PLBWR コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

PLBWR コマンドは、CS# を論理 LOW に駆動してから命令を送信することで実行します。

命令の 8 ビット目がラッチインされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PLBWR コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PLBWR 動作は直ちに開始されます。PLBWR 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの PLBWR 動作の間「1」であり、動作が完了すると「0」になります。PLBWR 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。PLBWR コマンドの最大クロック周波数は 133MHz です。

図 114. PPB ロック ビット コマンド シーケンス

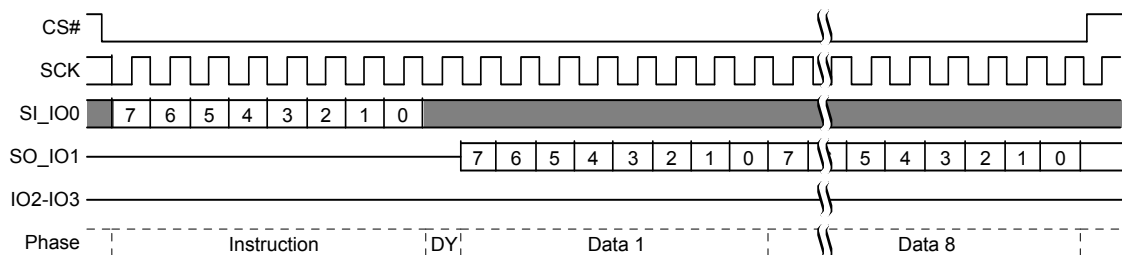


11.8.10 パスワード読み出し (PASSRD E7h)

パスワード値をプログラムした後、ASP レジスタのパスワード保護モード ビット (ASP[2]) を「0」にプログラムすることでパスワード モードを選択する前にのみ、正しいパスワード値を読み出せます。パスワード保護モードが選択されると、パスワードはもはや読み出し可能でなくなり、PASSRD コマンドは未定義のデータを出力します。

PASSRD コマンドは SI / IO0 上でシフトインされます。その後、64 ビット パスワードはシリアル出力 SO / IO1 上で最下位バイトが先に、各バイトの最上位ビットが先にシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で各ビットがシフトアウトされます。複数の 64 クロック サイクルを提供することでパスワードを連続的に読み出せます。PASSRD コマンドの最大動作クロック周波数は 133MHz です。

図 115. パスワード読み出し (PASSRD) コマンド シーケンス



11.8.11 パスワード プログラム (PASSP E8h)

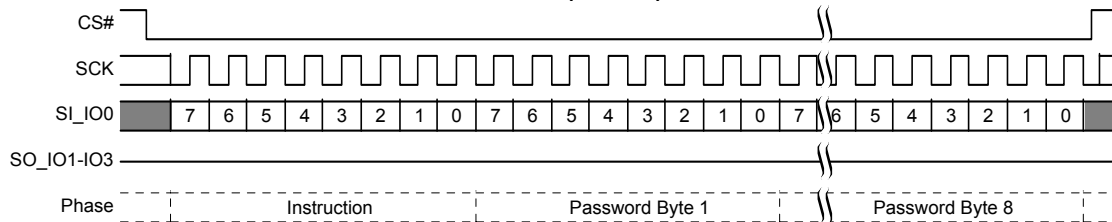
デバイスはパスワード プログラム (PASSP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスは書き込みイネーブル ラッチ (WEL) をセットして PASSP 動作を有効にします。

ASP レジスタのパスワード保護モード ビット (ASP[2]) を「0」にプログラムすることでパスワード モードを選択する前にのみ、パスワードをプログラムできます。パスワード保護モードを選択した後、PASSP コマンドは無視されます。

PASSP コマンドは、CS# を論理 LOW に駆動してから命令とパスワード データを SI / IO0 上で最下位バイトを先に、各バイトの最上位ビットを先に送信することで実行します。パスワードは 64 ビット長です。

データの 64 ビット目がラッチされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PASSP コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PASSP 動作は直ちに開始されます。PASSP 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイムの PASSP サイクルの間で「1」であり、サイクルが完了すると「0」になります。PASSP コマンドはステータス レジスタの P_ERR ビットでプログラム エラーをレポートできます。PASSP 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。PASSP コマンドの最大クロック周波数は 133MHz です。

図 116. パスワード プログラム (PASSP) コマンド シーケンス



11.8.12 パスワード ロック解除 (PASSU E9h)

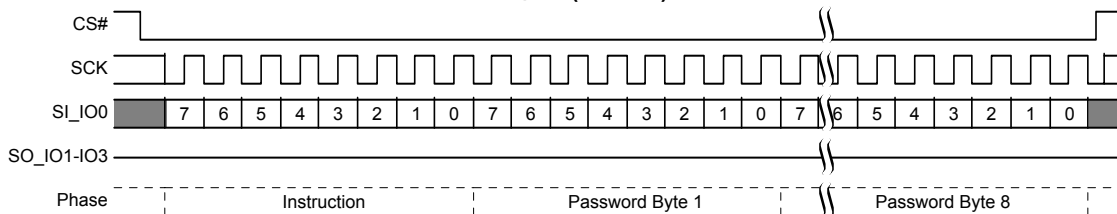
PASSU コマンドは、CS# を論理 LOW に駆動してから命令とパスワード データを SI / IO0 上で最下位バイトを先に、各バイトの最上位ビットを先に送信することで実行します。パスワードは 64 ビット長です。

データの 64 ビット目がラッチされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PASSU コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PASSU 動作は直ちに開始されます。PASSU 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの PASSU サイクルの間「1」であり、サイクルが完了すると「0」になります。

PASSU コマンドで提供されたパスワードがパスワード レジスタの隠しパスワードと一致しない場合、P_ERR ビットが「1」にセットされ、エラーがレポートされます。ステータス レジスタの WIP ビットも「1」にセットされたままです。P_ERR と WIP ビットを「0」に戻すために、CLSR コマンドを使用してステータス レジスタをクリアするか、RESET コマンドを使用してデバイスのソフトウェア リセットを行うか、または RESET# 入力を LOW に駆動してハードウェア リセットを開始する必要があります。これにより、デバイスはスタンバイ状態に戻り、PASSU コマンドの再試行など新しいコマンドを実行できるようになります。

パスワードが一致した場合、PPB ロック ビットは「1」にセットされます。PASSU コマンドの最大クロック周波数は 133MHz です。

図 117. パスワード ロック解除 (PASSU) コマンド シーケンス



11.9 リセットのコマンド

ソフトウェアで制御されるリセット コマンドは、不揮発性のデフォルト値を揮発性レジスタにリロードすることでデバイスを初期の電源投入状態に復帰させます。しかし、コンフィギュレーション レジスタの FREEZE ビット CR1V[0] および PPB ロック レジスタの揮発性 PPB ロック ビットはソフトウェア リセットで変更されません。ソフトウェア リセットは、他のセキュリティ コンフィギュレーション ビットに対する FREEZE または PPB ロック ビットを回避するためには使用できません。

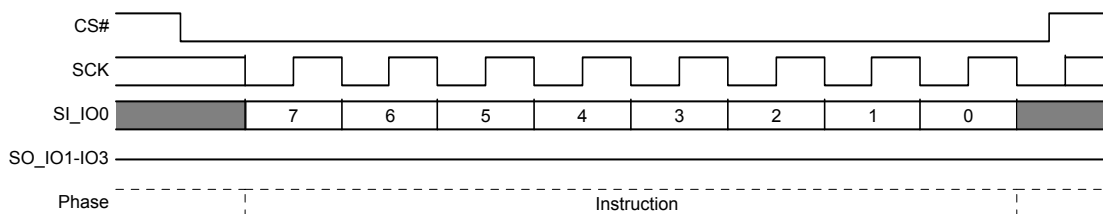
FREEZE ビットと PPB ロック ビットはソフトウェア リセット前の最後の値にセットされたままです。FREEZE ビットをクリアし、PPB ロック ビットを保護モードによって選択された電源投入時の状態にセットするために、完全なパワーオン リセット シーケンスまたはハードウェア リセットを実行する必要があります。

コンフィギュレーション レジスタ (CR1NV) の不揮発性ビット TBPROT_O、TBPARM および BPNV_O の状態はソフトウェア リセットの後にも変わりません。

ステータス レジスタ (SR1V) のブロック保護ビット BP2、BP1 および BP0 は FREEZE = 0 の場合にのみデフォルトの状態にリセットされます。

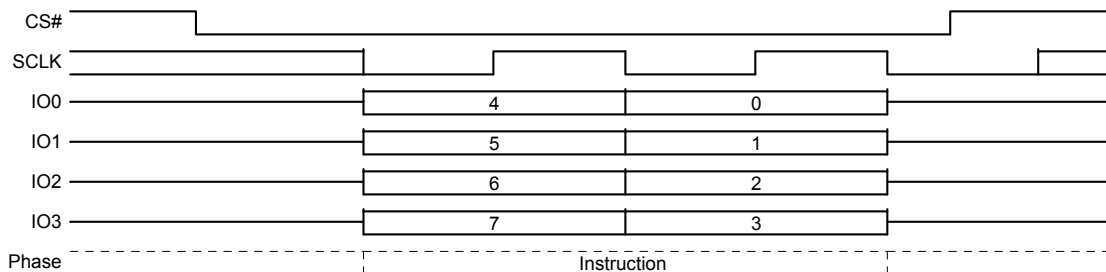
リセット コマンド (RST または RESET) は、CS# が命令の終了時に HIGH にされたとき実行され、完了するには t_{RPH} を要します。前のパワーオン リセット (POR) が正常に完了できなかった場合、リセット コマンドは完全な電源投入シーケンスをトリガーし、完了するには t_{PU} を要します。

図 118. ソフトウェア/モード ビット リセット コマンド シーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 119. ソフトウェア リセット/モード ビット コマンド シーケンス - QPI モード



11.9.1 ソフトウェア リセット イネーブル (RSTEN 66h)

リセット イネーブル (RSTEN) コマンドは、ソフトウェア リセットが 2 つのコマンドから成るシーケンスとなるために、リセット コマンド (RST) の直前に実行する必要があります。RST を除き、RSTEN コマンドに続くすべてのコマンドはリセット イネーブル状態をクリアし、後の RST コマンドが認識されないようにします。

11.9.2 ソフトウェア リセット (RST 99h)

RSTEN コマンドの直後にリセット (RST) コマンドを実行すると、ソフトウェア リセット プロセスが開始されます。

11.9.3 レガシー ソフトウェア リセット (RESET F0h)

レガシー ソフトウェア リセット (RESET) は、ソフトウェア リセット プロセスを開始する単一のコマンドです。コマンドはデフォルトで無効にされており、レガシーのサイプレス FL-S デバイスとの互換性を実現するために、CR3V[0] = 1 にプログラムすることで有効にできます。

11.9.4 モード ビット リセット (MBR FFh)

モード ビット リセット (MBR) コマンドでは、デバイスを連続高性能読み出しモードから新しいコマンドを受け入れられる通常スタンバイ モードに復帰させます。ハードウェア RESET# 入力を備えていないパッケージもあり、連続高性能読み出しモードにあるデバイスが通常の SPI コマンドを認識しない場合もあるため、デバイスはハードウェア/ソフトウェア リセット コマンドを認識しないことがあります。デバイスが連続高性能読み出しモードから確実に解放されるように、MBR コマンドを、RESET# 信号が使用できないときにシステム リセットの実行後、またはソフトウェア リセットの発行前に使用することが推奨されます。

MBR コマンドでは、8 SCK サイクルの間 SI / IO0 上で「1」を送信します。IO1 ~ IO3 はこれらのサイクルの間「ドント ケア」です。コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上で 2 クロック サイクルごとに 1 バイトがシフトインされます。

11.10 DPD のコマンド

11.10.1 ディープパワー ダウン開始 (DPD B9h)

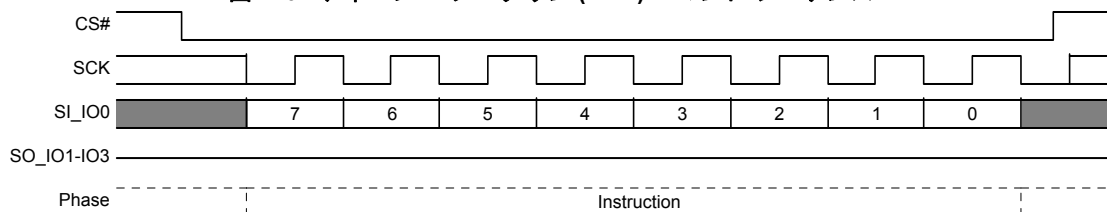
通常動作時のスタンバイ電流は比較的低いですが、ディープ スリープ コマンドを使うとさらに減少できます。低い消費電力により、ディープ パワー ダウン (DPD) コマンドは特にバッテリー駆動アプリケーションに役立ちます (25 ページの DC 特性の I_{DPD} を参照してください)。

DPD コマンドは、デバイスが組み込みみアルゴリズムを実行していない (要するに揮発性ステータス レジスタ 1 の書き込み中 (WIP) ビットが 0 にクリアされる ($SR1V[0] = 0$)) ときのみに受け入れられます。

コマンドは 118 ページの図 120 に示すように、CS# ピンを LOW に駆動し、命令コード「B9h」をシフトすることで開始します。CS# ピンは 8 ビット目がラッチされた後に HIGH に駆動する必要があります。そうしないと、ディープ パワー ダウン コマンドは実行できません。CS# を HIGH に駆動した後、 t_{DPD} の間デバイスはパワー ダウン状態に入ります (29 ページのタイミング仕様を参照してください)。

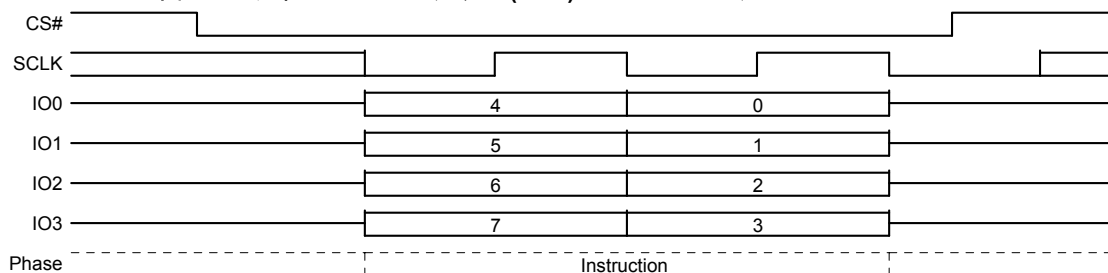
パワー ダウン状態の間、デバイスを通常動作に復帰させるディープ パワー ダウン終了コマンドのみが認識されます。その他のすべてのコマンドは無視されます。通常動作中に常に使用可能なステータス レジスタ読み出しコマンドも無視されます。1 つのみを除くすべてのコマンドを無視することにより、パワー ダウン状態は書き込み保護に役立ちます。電源投入後、デバイスは常にインターフェース スタンバイ状態になり、 I_{CC1} のスタンバイ電流を消費します。

図 120. ディープパワー ダウン (DPD) コマンド シーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 121. ディープパワー ダウン (DPD) コマンド シーケンス - QPI モード



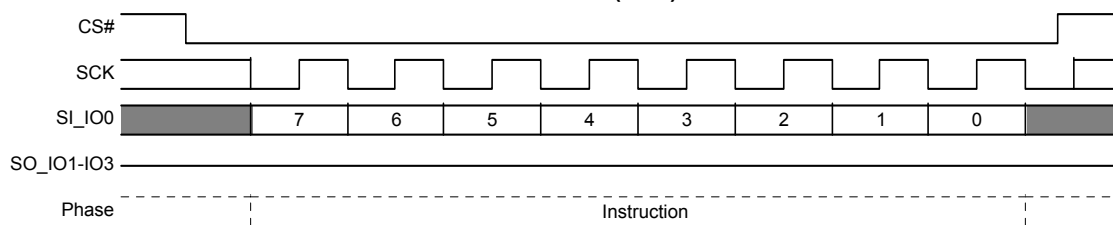
11.10.2 ディープ パワー ダウン終了 (RES ABh)

ディープ パワー ダウン終了コマンドは、デバイスをディープ パワー ダウン状態から解放するために使用されます。いくつかのレガシー SPI デバイスでは、RES コマンドはデバイスの電子識別子 (ID) 番号を取得するためにも使用されます。しかし、デバイス ID 機能は RES コマンドで対応されません。

デバイスをディープ パワー ダウン状態から解放するために、119 ページの図 122 に示すように、CS# ピンを LOW に駆動し、命令コード「ABh」をシフトしてから CS# ピンを HIGH に駆動することでコマンドを発行します。ディープ パワー ダウン状態からの解放は、デバイスが通常動作を再開し、他のコマンドを受け入れるまで t_{RES} (29 ページのタイミング仕様) を要します。CS# ピンは t_{RES} の間は HIGH のままでなければなりません。

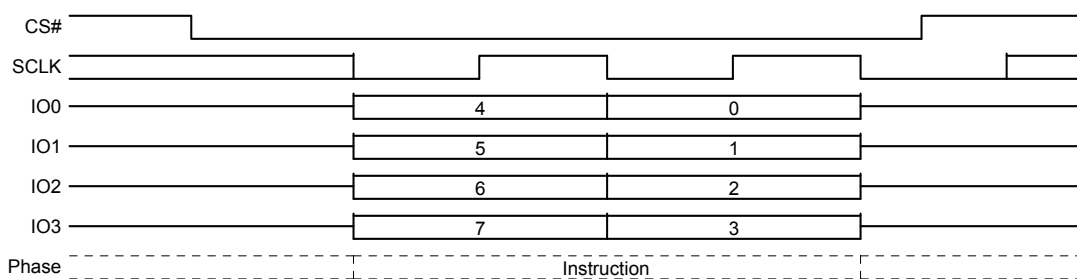
ハードウェア リセットも、ハードウェア リセット プロセスの一部としてデバイスを DPD 状態から解放します。

図 122. ディープ パワー ダウン終了 (RES) コマンド シーケンス



コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 123. ディープ パワー ダウン終了 (RES) コマンド シーケンス - QPI モード



12. データの完全性

12.1 消去可能回数

表 56. 消去可能回数

パラメーター	Min	単位
メイン フラッシュ アレイ セクタのプログラム／消去サイクル数	10 万回	P / E サイクル
PPB アレイまたは不揮発性レジスタ アレイのプログラム／消去サイクル数 (96)	10 万回	P / E サイクル

注：
 96. 不揮発性レジスタへの書き込みコマンドを実行するたびに、不揮発性レジスタ アレイ全体には P/E サイクルが発生します。OTP ビットおよびレジスタは P/E サイクルに影響されない独立したアレイの内部に存在しています。

12.2 データ保持

表 57. データ保持

パラメーター	テスト条件	最小時間	単位
データ保持期間	1 万回のプログラム／消去サイクル	20	年
	10 万回のプログラム／消去サイクル	2	年

データの完全性に関する詳細についてはサイプレス営業または FAE までお問い合わせください。詳細は、「[AN98549 - Endurance and Retention Management and Validation](#)」を参照してください。

13. ソフトウェア インターフェース リファレンス

13.1 OTP メモリ空間アドレス マップ

SFDP アドレス空間には、SFDP データ構造を識別し、各パラメーターへのポインターを提供するアドレス 0 から始まるヘッダが含まれています。1 つのパラメーターは JEDEC JESD216 Rev B 規格に準拠します。サイプレスは ID-CFI アドレス空間に指して追加のパラメーターを提供します。つまり、ID-CFI アドレス空間は SFDP アドレス空間のサブセットです。JEDEC パラメーターは ID-CFI アドレス空間に配置されているため、CFI パラメーターであり、SFDP パラメーターです。このように、SFDP と ID-CFI 両方の情報は RSFDP または RDID コマンドでアクセスできます。

表 58. SFDP 概要マップ

バイト アドレス	説明
0000h	JEDEC JESD216B SFDP 空間内のロケーション 0: SFDP ヘッダの開始
...	SFDP ヘッダの残りの部分に続いて未定義の空間
1000h	ID-CFI 空間内のロケーション 0: ID-CFI パラメーター テーブルの開始
...	ID-CFI パラメーター
1090h	CFI パラメーター テーブルの 1 つとしてグループ化された SFDP パラメーター テーブルの開始 (CFI パラメーター自体の開始は 108Eh、SFDP パラメーター テーブル データはダブル ワード境界調整され 1090h の開始)
...	SFDP パラメーター テーブルの残りの部分に続いてさらなる CFI パラメーターまたは未定義空間

13.2 デバイス ID と共通フラッシュ インターフェース (ID-CFI) アドレス マップ – 標準

13.2.1 フィールドの定義

表 59. メーカー/デバイス ID

バイトアドレス	データ	説明
00h	01h	サイプレスのメーカー ID
01h	02h	デバイス ID の最上位バイト - メモリ インターフェース タイプ
02h	17h (64Mb)	デバイス ID の最下位バイト - 容量
03h	4Dh	ID-CFI 長 - 続くバイト数。値を現在のロケーション 03h に加えると、ID-CFI レガシー アドレス マップの最後の有効なアドレスになります。レガシー CFI アドレス マップは、プライマリベンダー固有拡張クエリで終わります。オリジナルのレガシー長は下位ソフトウェア互換性のために維持されます。ただし、CFI クエリ識別文字列は、FS-S ファミリーに関連する追加情報を含む代替ベンダー固有拡張クエリへのポインターも含みます。
04h	00h (ユニフォーム 256KB 物理セクタ) 01h (ユニフォーム 64KB 物理セクタ)	物理セクタ アーキテクチャ FS-S ファミリーはユニフォーム セクタに加えてオプションとして 4KB パラメーター セクタに対応するよう構成できます。
05h	81h (FS-S ファミリー)	ファミリー ID
06h	xxh	モデル番号の ASCII 文字列
07h	xxh	モデル番号定義は、 140 ページの注文製品番号 を参照してください。
08h	xxh	予約済み
09h	xxh	予約済み
0Ah	xxh	予約済み
0Bh	xxh	予約済み
0Ch	xxh	予約済み
0Dh	xxh	予約済み
0Eh	xxh	予約済み
0Fh	xxh	予約済み

表 60. CFI クエリ識別用文字列

バイト アドレス	データ	説明
10h 11h 12h	51h 52h 59h	クエリ固有 ASCII 文字列「QRY」
13h 14h	02h 00h	プライマリ OEM コマンド セット FL-P 後方互換コマンド セット ID
15h 16h	40h 00h	プライマリ拡張テーブルのアドレス
17h 18h	53h 46h	代替 OEM コマンド セット SPI (F) インターフェース、S 技術のための ASCII 文字列「FS」
19h 1Ah	51h 00h	代替 OEM 拡張テーブルのアドレス

表 61. CFI システム インターフェース文字列

バイト アドレス	データ	説明
1Bh	17h	V _{CC} Min (消去／プログラム): 100mV BCD
1Ch	19h	V _{CC} Max (消去／プログラム): 100mV BCD)
1Dh	00h	V _{PP} Min 電圧 (00h = V _{PP} なし)
1Eh	00h	V _{PP} Max 電圧 (00h = V _{PP} なし)
1Fh	09h	1 バイト プログラムの Typ タイムアウト = 2 ^N μs
20h	09h	最小サイズ ページ プログラムの Typ タイムアウト = 2 ^N μs (00h = 未対応)
21h	08h (4KB または 64KB)	個別セクタ消去の Typ タイムアウト = 2 ^N ms
22h	05h (64Mb)	チップ全体消去の Typ タイムアウト = 2 ^N ms (00h = 未対応)
23h	02h	バイト プログラムの Max タイムアウト = 2 ^N Typ タイムアウト
24h	02h	ページ プログラムの Max タイムアウト = 2 ^N Typ タイムアウト
25h	03h	個別セクタ消去の Max タイムアウト = 2 ^N Typ タイムアウト
26h	02h	チップ全体消去の Max タイムアウト = 2 ^N Typ タイムアウト (00h = 未対応)

表 62. ボトム ブート工場出荷初期状態のデバイス ジオメトリ定義

バイト アドレス	データ	説明
27h	17h (64Mb)	デバイス サイズ = 2 ^N バイト
28h	02h	フラッシュ デバイス インターフェースの説明
29h	01h	0000h = x8 0001h = x16 0002h = x8 / x16 対応 0003h = x32 0004h = シングル I/O SPI、3 バイト アドレス 0005h = マルチ I/O SPI、3 バイト アドレス 0102h = マルチ I/O SPI、3 または 4 バイト アドレス
2Ah	08h	マルチ バイト書き込みの最大バイト数 = 2 ^N 0000h = 未対応
2Bh	00h	0008h = 256B ページ 0009h = 512B ページ
2Ch	03h	デバイス内の消去ブロック領域数 1 = ユニフォーム デバイス、>1 = ブート デバイス

表 62. ボトム ブート工場出荷初期状態のデバイス ジオメトリ定義 (続き)

バイト アドレス	データ	説明
2Dh	07h	消去ブロック領域 1 の情報 (JEDEC JEP137 を参照してください) 8 セクタ = 8-1 = 0007h 4KB セクタ = 256 バイト x 0010h
2Eh	00h	
2Fh	10h	
30h	00h	
31h	00h	消去ブロック領域 2 の情報 (JEDEC JEP137 を参照してください) 1 セクタ = 1-1 = 0000h 32KB セクタ = 256 バイト x 0080h
32h	00h	
33h	80h	
34h	00h	
35h	7Eh (64Mb)	消去ブロック領域 3 の情報 127 セクタ = 127-1 = 007Eh (64Mb)
36h	00h	
37h	00h	
38h	00h	
39h ~ 3Fh	FFh	RFU

注:

97.FS-S MD デバイスは、ハイブリッド セクタ アーキテクチャ (8 セクタは 4KB、残りのすべてのセクタはユニフォーム 64KB または 256KB) またはユニフォーム セクタ アーキテクチャ (全セクタは 64KB または 256KB) にユーザーによって設定できます。また FS-S デバイスは、4KB パラメーター セクタがメモリ アドレス空間の最上部にあるようにユーザーによって設定できます。上記の表の CFI ジオメトリ情報は出荷時の初期設定状態にのみ対応します。すべてのデバイスは初期設定状態として、4KB セクタがアレイ アドレス空間の最下部に配置されているハイブリッド セクタ アーキテクチャでサイプレスから出荷されています。ただし、セクタ マップを反転させて 4KB セクタをアレイ アドレス マップの最上部に配置するためにデバイス コンフィギュレーション TBPARM ビット CR1NV[2] をプログラムできます。アドレス マップから 4KB セクタを除去するために 20h_NV ビット (CR3NV[3]) をプログラムできます。フラッシュ デバイスドライバソフトウェアは後で TBPARM と 20h_NV ビットを確認し、セクタ マップが反転されたかハイブリッド セクタが除去されたかを判定する必要があります。

表 63. CFI プライマリ ペンダー固有拡張クエリ

バイト アドレス	データ	説明
40h	50h	クエリ固有 ASCII 文字列「PRI」
41h	52h	
42h	49h	
43h	31h	メジャー バージョン番号 = 1、ASCII
44h	33h	マイナー バージョン番号 = 3、ASCII
45h	21h	アドレス依存ロック解除 (ビット 1 ~ 0) 00b = 必要、01b = 不要 プロセス技術 (ビット 5 ~ 2) 0000b = 0.23μm フローティング ゲート 0001b = 0.17μm フローティング ゲート 0010b = 0.23μm MirrorBit 0011b = 0.11μm フローティング ゲート 0100b = 0.11μm MirrorBit 0101b = 0.09μm MirrorBit 1000b = 0.065μm MirrorBit
46h	02h	消去一時停止 0 = 未対応、1 = 読み出し専用、2 = 読み出しおよびプログラム
47h	01h	セクタ保護 00 = 未対応、X = グループ内のセクタ数
48h	00h	一時的セクタ保護解除 00 = 未対応、01 = 対応
49h	08h	セクタ保護/保護解除方式 04 = 高電圧方法 05 = ソフトウェア コマンド ロック方法 08 = 高度セクタ保護方法
4Ah	00h	同時動作 00 = 未対応、X = セクタ数
4Bh	01h	バースト モード (同期シーケンシャル読み出し) 対応 00 = 未対応、01 = 対応

表 63. CFI プライマリ ペンダー固有拡張クエリ (続き)

バイト アドレス	データ	説明
4Ch	03h	512B ページ、ページ モード タイプ、出荷時初期コンフィギュレーション、ユーザー設定可能 00 = 未対応、01 = 4 ワード読み出しページ、02 = 8 ワード読み出しページ、03 = 256 バイト プログラム ページ、04 = 512 バイト プログラム ページ
4Dh	00h	ACC (アクセラレーション) 最小電源電圧 00 = 未対応、100mV
4Eh	00h	ACC (アクセラレーション) 最大電源電圧 00 = 未対応、100mV
4Fh	07h	WP# 保護 01 = チップ全体 04 = 最下部書き込み保護のユニフォーム デバイス 05 = 最上部書き込み保護のユニフォーム デバイス 07 = 最上部/最下部書き込み保護のユニフォーム デバイス (ユーザー設定可能)
50h	01h	プログラム一時停止 00 = 未対応、01 = 対応

代替ペンダー固有の拡張クエリは、FS-S ファミリが提供する拡張コマンド セットに関連する情報を提供しています。代替クエリパラメーターのフォーマットは ID バイトおよびパラメーター長バイトで始まります。パラメーターが不要であるか、またはソフトウェアによって認識されない場合、ドライバー ソフトウェアは各パラメーター ID を確認し、長さの値を使用して次のパラメーターにスキップできます。

表 64. CFI 代替ペンダー固有拡張クエリ ヘッダ

バイト アドレス	データ	説明
51h	41h	クエリ固有 ASCII 文字列「ALT」
52h	4Ch	
53h	54h	
54h	32h	メジャー バージョン番号 = 2、ASCII
55h	30h	マイナー バージョン番号 = 0、ASCII

表 65. CFI 代替ペンダー固有拡張クエリ パラメーター 0

パラメーター関連のバイト アドレス オフセット	データ	説明
56h	00h	パラメーター ID (注文製品番号)
57h	10h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値 + 1] に加えると、次のパラメーターの最初のバイトになります。)
58h	53h	メーカー (サイプレス) 用の ASCII「S」
59h	32h	製品文字列 (シングル ダイ SPI) 用の ASCII「25」
5Ah	35h	
5Bh	46h	インターフェース文字列 (SPI 1.8V) 用の ASCII「FS」
5Ch	53h	
5Dh	30h (64Mb)	容量用の ASCII 文字列
5Eh	36h (64Mb)	
5Fh	34h (64Mb)	
60h	53h	技術 (65nm MirrorBit) 用の ASCII「S」
61h	FFh	将来使用するために予約済み
62h	FFh	
63h	FFh	将来使用するために予約済み
64h	FFh	
65h	FFh	将来使用するために予約済み

表 65. CFI 代替ベンダー固有拡張クエリ パラメーター 0(続き)

パラメーター関連のバイト アドレス オフセット	データ	説明
66h	xxh	モデル番号用の ASCII 文字列。モデル番号定義は、140 ページの注文製品番号を参照してください。
67h	xxh	

表 66. CFI 代替ベンダー固有拡張クエリ パラメーター 80h アドレス オプション

パラメーター関連のバイト アドレス オフセット	データ	説明
68h	80h	パラメーター ID (注文製品番号)
69h	01h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値 + 1] に加えると、次のパラメーターの最初のバイトになります。)
6Ah	EBh	ビット 7:5 - 予約済み = 111b ビット 4 - アドレス長ビット CR2V[7] - 有 = 0b ビット 3 - 自動ブート対応 - 無 = 1b ビット 2 - 4 バイト アドレス 命令対応 - 有 = 0b ビット 1 - バンク アドレス + 3 バイト アドレス 命令対応 - 無 = 1b ビット 0 - 3 バイト アドレス 命令対応 - 無 = 1b

表 67. CFI 代替ベンダー固有拡張クエリ パラメーター 84h 一時停止コマンド

パラメーター関連のバイト アドレス オフセット	データ	説明
6Bh	84h	パラメーター ID (一時停止コマンド)
6Ch	08h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値 + 1] に加えると、次のパラメーターの最初のバイトになります。)
6Dh	85h	プログラム一時停止命令コード
6Eh	2Dh	プログラム一時停止レイテンシ (Max) (uS)
6Fh	8Ah	プログラム再開命令コード
70h	64h	プログラム再開から次の一時停止までの時間 (Typ) (uS)
71h	75h	消去一時停止命令コード
72h	2Dh	消去一時停止レイテンシ (Max) (uS)
73h	7Ah	消去再開命令コード
74h	64h	消去再開から次の一時停止までの時間 (Typ) (uS)

表 68. CFI 代替ベンダー固有拡張クエリ パラメーター 88h データ保護

パラメーター関連のバイト アドレス オフセット	データ	説明
75h	88h	パラメーター ID (データ保護)
76h	04h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値 + 1] に加えると、次のパラメーターの最初のバイトになります。)
77h	0Ah	OTP サイズ 2^N バイト、FFh = 未対応
78h	01h	OTP アドレス マップ フォーマット、01h = FL-S および FS-S フォーマット、FFh = 未対応
79h	xxh	ブロック保護タイプ、モデル依存 00h = FL-P、FL-S、FS-S FFh = 未対応
7Ah	xxh	高度セクタ保護タイプ、モデル依存 01h = FL-S および FS-S ASP

表 69. CFI 代替ベンダー固有拡張クエリ パラメーター 94h ECC

パラメーター関連のバイト アドレス オフセット	データ	説明
83h	94h	パラメーター ID (ECC)
84h	01h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値 + 1] に加えると、次のパラメーターの最初のバイトになります。)
85h	10h	ECC ユニット サイズ バイト、FFh = ECC 無効

表 70. CFI 代替ベンダー固有拡張クエリ パラメーター 8Ch リセット タイミング

パラメーター関連のバイト アドレス オフセット	データ	説明
7Bh	8Ch	パラメーター ID (リセット タイミング)
7Ch	06h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値 + 1] に加えると、次のパラメーターの最初のバイトになります。)
7Dh	96h	POR 最大値
7Eh	01h	POR 最大指数 2^N uS
7Fh	23h	ハードウェア リセット 最大値、FFh = 未対応 (工場出荷初期状態ではハードウェア リセットが無効ですが、後でユーザーによって有効にできます)。
80h	00h	ハードウェア リセット 最大指数 2^N uS
81h	23h	ソフトウェア リセット 最大値、FFh = 未対応
82h	00h	ソフトウェア リセット 最大指数 2^N uS

表 71. CFI 代替ベンダー固有拡張クエリ パラメーター F0h RFU

パラメーター関連のバイト アドレス オフセット	データ	説明
83h	F0h	パラメーター ID (RFU)
84h	09h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値 + 1] に加えると、次のパラメーターの最初のバイトになります。)
85h	FFh	RFU
...	FFh	RFU
8Dh	FFh	RFU

パラメーター タイプ (パラメーター ID F0h) は何回も出てくることができ、毎回異なる長さを持つことがあります。パラメーターは、ID-CFI マップ内の空間を予約したり、次のパラメーターを必要な境界に整列するように空間 (パッド) を追加するために使用されます。

13.3 シリアルフラッシュ検出可能パラメーター (SFDP) アドレス マップ

13.3.1 JEDEC SFDP Rev B ヘッダ テーブル

表 72. SFDP ヘッダ

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
00h	SFDP ヘッダ 第 1 DWORD	53h	SFDP 読み出し (5Ah) コマンドのエントリ ポイントで、すなわち SFDP 空間内のロケーション 0 です。ASCII「S」
01h		46h	ASCII「F」
02h		44h	ASCII「D」
03h		50h	ASCII「P」
04h	SFDP ヘッダ 第 2 DWORD	06h	SFDP マイナー リビジョン (06h = JEDEC JESD216 Rev B) - このリビジョンはすべての以前のマイナー リビジョンと後方互換性があります。マイナー リビジョンは、以前の予約済みフィールドの定義、最後にフィールドの追加、または既存フィールドの定義の明確化などの変更です。マイナー リビジョン値の増分は、以前に予約されたパラメーター フィールドが新しい定義を割り当てられたか、または DWORD 全体がパラメーター テーブルに追加されたことを示します。しかし、以前の既存フィールド定義は変更されないで、それ以前の SFDP パラメーター テーブルのリビジョンとの下位互換性が維持されます。ソフトウェアのサポート対象であるパラメーターが使用される限り、ソフトウェアは安全にマイナー リビジョン番号の増分を無視できます。すなわち、以前の予約されたフィールドと追加 DWORD はマスクまたは無視されなければなりません。ソフトウェアが対応する必要があるリビジョン番号との一致のみを探すために単純にマイナー リビジョン番号を比較しないでください。より高いマイナー リビジョン番号を使用しても問題ありません。
05h		01h	SFDP メジャー リビジョン オリジナルのメジャー リビジョンです。あらゆる SFDP 読み出しおよび構文解析ソフトウェアと互換性があります。
06h		05h	パラメーター ヘッダの数 (0 オリジン、05h = 6 パラメーター)
07h		FFh	未使用
08h	パラメーター ヘッダ 0 第 1 DWORD	00h	パラメーター ID LSB (00h = JEDEC SFDP 基本 SPI フラッシュ パラメーター)
09h		00h	パラメーター マイナー リビジョン (00h = JESD216) - この古いリビジョン パラメーター ヘッダは、マイナー リビジョン 0 パラメーター ヘッダを見る必要があるあらゆるレガシー SFDP 読み取りと構文解析ソフトウェアに提供されます。SFDP ソフトウェアは後のマイナー リビジョンがそのソフトウェア リビジョンのために追加されたパラメーターを含む高いマイナー リビジョン番号を探すようにパラメーター ヘッダを読み続けるように設計されています。
0Ah		01h	パラメーター メジャー リビジョン (01h = オリジナルのメジャー リビジョン)。あらゆる SFDP ソフトウェアはメジャー リビジョンと互換性があります。
0Bh		09h	パラメーター テーブル長 (ダブル ワード = DWORD = 4 バイト単位) 09h = 9 DWORD
0Ch	パラメーター ヘッダ 0 第 2 DWORD	90h	パラメーター テーブル ポインター バイト 0 (DWORD = 4 バイト アライン) JEDEC 基本 SPI フラッシュ パラメーター バイト オフセット = 1090h
0Dh		10h	パラメーター テーブル ポインター バイト 1
0Eh		00h	パラメーター テーブル ポインター バイト 2
0Fh		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター ID)
10h	パラメーター ヘッダ 1 第 1 DWORD	00h	パラメーター ID LSB (00h = JEDEC SFDP 基本 SPI フラッシュ パラメーター)
11h		05h	パラメーター マイナー リビジョン (05h = JESD216 Rev A) - この古いリビジョン パラメーター ヘッダは、マイナー リビジョン 5 パラメーター ヘッダを見る必要があるあらゆるレガシー SFDP 読み取りと構文解析ソフトウェアに提供されます。SFDP ソフトウェアは後のマイナー リビジョンが追加されたパラメーターを含む後のマイナー リビジョン番号を探すパラメーター ヘッダを読み続けるように設計されています。
12h		01h	パラメーター メジャー リビジョン (01h = オリジナルのメジャー リビジョン)。あらゆる SFDP ソフトウェアはメジャー リビジョンと互換性があります。
13h		10h	パラメーター テーブル長 (ダブル ワード = DWORD = 4 バイト単位) 10h = 16 DWORD

表 72. SFDP ヘッダ (続き)

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
14h	パラメーター ヘッダ 1 第 2 DWORD	90h	パラメーター テーブル ポインター バイト 0 (DWORD = 4 バイト アライン) JEDEC 基本 SPI フラッシュ パラメーター バイト オフセット = 1090h アドレス
15h		10h	パラメーター テーブル ポインター バイト 1
16h		00h	パラメーター テーブル ポインター バイト 2
17h		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター)
18h	パラメーター ヘッダ 2 第 1 DWORD	00h	パラメーター ID LSB (00h = JEDEC SFDP 基本 SPI フラッシュ パラメーター)
19h		06h	パラメーター マイナー リビジョン (06h = JESD216 Rev B)
1Ah		01h	パラメーター メジャー リビジョン (01h = オリジナルのメジャー リビジョン)。あらゆる SFDP ソフトウェアはメジャー リビジョンと互換性があります。
1Bh		10h	パラメーター テーブル長 (ダブル ワード = DWORD = 4 バイト単位) 10h = 16 DWORD
1Ch	パラメーター ヘッダ 2 第 2 DWORD	90h	パラメーター テーブル ポインター バイト 0 (DWORD = 4 バイト アライン) JEDEC 基本 SPI フラッシュ パラメーター バイト オフセット = 1090h アドレス
1Dh		10h	パラメーター テーブル ポインター バイト 1
1Eh		00h	パラメーター テーブル ポインター バイト 2
1Fh		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター)
20h	パラメーター ヘッダ 3 第 1 DWORD	81h	パラメーター ID LSB (81h = SFDP セクタ マップ パラメーター)
21h		00h	パラメーター マイナー リビジョン (00h = JESD216 Rev B で定義された初期バージョン)
22h		01h	パラメーター メジャー リビジョン (01h = オリジナルのメジャー リビジョン)。パラメー ターID を認識するあらゆる SFDP ソフトウェアはメジャー リビジョンと互換性がありま す。
23h		1Ah	パラメーター テーブル長 (ダブル ワード = DWORD = 4 バイト単位) OPN 依存 26 = 1Ah
24h	パラメーター ヘッダ 3 第 2 DWORD	D8h	パラメーター テーブル ポインター バイト 0 (DWORD = 4 バイト アライン) JEDEC パラメーター バイト オフセット = 10D8h
25h		10h	パラメーター テーブル ポインター バイト 1
26h		00h	パラメーター テーブル ポインター バイト 2
27h		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター)
28h	パラメーター ヘッダ 4 第 1 DWORD	84h	パラメーター ID LSB (00h = SFDP 4 バイト アドレス命令パラメーター)
29h		00h	パラメーター マイナー リビジョン (00h = JESD216 Rev B で定義された初期バージョン)
2Ah		01h	パラメーター メジャー リビジョン (01h = オリジナルのメジャー リビジョン)。パラメー ターID を認識するあらゆる SFDP ソフトウェアはメジャー リビジョンと互換性がありま す。
2Bh		02h	パラメーター テーブル長 (ダブル ワード = DWORD = 4 バイト単位) (2h = 2 DWORD)
2Ch	パラメーター ヘッダ 4 第 2 DWORD	D0h	パラメーター テーブル ポインター バイト 0 (DWORD = 4 バイト アライン) JEDEC パラメーター バイト オフセット = 10D0h
2Dh		10h	パラメーター テーブル ポインター バイト 1
2Eh		00h	パラメーター テーブル ポインター バイト 2
2Fh		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター)
30h	パラメーター ヘッダ 5 第 1 DWORD	01h	パラメーター ID LSB (サイプレス ベンダー固有 ID-CFI パラメーター) レガシー メーカー ID 01h = AMD / Spansion
31h		01h	パラメーター マイナー リビジョン (01h = SFDP Rev B テーブルでの ID-CFI 更新)
32h		01h	パラメーター メジャー リビジョン (01h = オリジナルのメジャー リビジョン)。パラメー ターID を認識するあらゆる SFDP ソフトウェアはメジャー リビジョンと互換性がありま す。
33h		50h	パラメーター テーブル長 (ダブル ワード = DWORD = 4 バイト単位) パラメーター テー ブル長 (ダブル ワード = DWORD = 4 バイト単位)

表 72. SFDP ヘッダ (続き)

SFDP バイト アドレス	SFDP DWORD 名	データ	説明
34h	パラメーター ヘッダ 5 第 2 DWORD	00h	パラメーター テーブル ポインター バイト 0 (DWORD = 4 バイト アライン) ID-CFI パラメーターのエントリ ポイントはバイト オフセット = SFDP ロケーション 0 に 対する 1000h
35h		10h	パラメーター テーブル ポインター バイト 1
36h		00h	パラメーター テーブル ポインター バイト 2
37h		01h	パラメーター ID MSB (01h = JEDEC JEP106 バンク番号 1)

13.3.2 JEDEC SFDP Rev B パラメーター テーブル

CFI データ構造から見ると、すべての SFDP パラメーター テーブルは連続バイト シーケンスとして単一の CFI パラメーターに組み合わされます。

SFDP データ構造から見ると、3 つの独立したパラメーター テーブルがあります。その中の 2 つは固定長であり、残りの 1 つは注文製品番号 (OPN) のデバイス容量によって可変の構造と長さを持っています。基本フラッシュ パラメーター テーブルおよび 4 バイト アドレス命令パラメーター テーブルは固定長であり、以下のように単一のテーブルとして示されます。このテーブルは CFI パラメーター全体のセクション 1 です。

JEDEC セクタ マップ パラメーター テーブルの構造と長さは容量 OPN によって異なり、一連のテーブルとして示されており、各デバイス容量に対応する 1 つのテーブルがあります。OPN の適切なテーブルは CFI パラメーター全体のセクション 2 であり、セクション 1 に付属されています。

表 73. CFI および SFDP セクション 1、基本フラッシュおよび 4 バイト アドレス命令 パラメーター

108Eh からの CFI パラメーター関連 のバイト アドレス オフセット	1090h からの SFDP パラメーター 関連のバイト アド レス オフセット	SFDP DWORD 名	データ	説明
00h	--	該当なし	A5h	CFI パラメーター ID (JEDEC SFDP)
01h	--	該当なし	B0h	CFI パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値 + 1] に加えると、次のパラメーターの最初のバイトになります。) OPN 依存 : 18Dw + 26Dw = 44Dw *4B = 176B = B0h B
02h	00h	JEDEC 基本 フラッシュ パラメ ーター DWORD 1	E7h	全体的な SFDP アドレス空間内で 1090h に位置する SFDP JEDEC パラメーターの 開始 ビット 7:5 = 未使用 = 111b ビット 4:3 = 06h はステータス レジスタ書き込み命令、ステータス レジスタはデ フォルトで不揮発性 = 00b ビット 2 = プログラム バッファ > 64 バイト = 1 ビット 1:0 = ユニフォーム 4KB 消去は未対応 = 11b
03h	01h		FFh	ビット 15:8 = ユニフォーム 4KB 消去オペコード = 未対応 = FFh
04h	02h		FBh	ビット 23 = 未使用 = 1b ビット 22 = クアッド出力読み出し対応 = 有 = 1b ビット 21 = クアッド I/O 読み出し対応 = 有 = 1b ビット 20 = デュアル I/O 読み出し対応 = 有 = 1b ビット 19 = DDR 対応 = 有 = 1b ビット 18:17 = アドレス バイト数 (3 または 4) = 01b ビット 16 = デュアル出力読み出し対応 = 有 = 1b
05h	03h		FFh	ビット 31:24 = 未使用 = FFh
06h	04h	JEDEC 基本 フラッシュ パラメ ーター DWORD 2	FFh	ビット単位での容量、0 オリジン、16Mb = 00FFFFFFh
07h	05h		FFh	
08h	06h		FFh	
09h	07h		03h (64Mb)	
0Ah	08h	JEDEC 基本 フラッシュ パラメ ーター DWORD 3	48h	ビット 7:5 = クアッド I/O (1-4-4) モード サイクル数 = 010b ビット 4:0 = クアッド I/O ダミー サイクル数 = 01000b (工場出荷初期状態)
0Bh	09h		EBh	クアッド I/O 命令コード
0Ch	0Ah		08h	ビット 23:21 = クアッド出力 (1-1-4) モード サイクル数 = 000b ビット 20:16 = クアッド出力ダミー サイクル数 = 01000b
0Dh	0Bh		6Bh	クアッド出力命令コード

表 73. CFI および SFDP セクション 1、基本フラッシュおよび 4 バイト アドレス命令 パラメーター (続き)

108Eh からの CFI パラメーター関連 のバイト アドレス オフセット	1090h からの SFDP パラメーター 関連のバイト アドレス オフセット	SFDP DWORD 名	データ	説明
0Eh	0Ch	JEDEC 基本 フラッシュ パラメーター DWORD 4	08h	ビット 7:5 = デュアル出力 (1-1-2) モード サイクル数 = 000b ビット 4:0 = デュアル出力ダミー サイクル数 = 01000b
0Fh	0Dh		3Bh	デュアル出力命令コード
10h	0Eh		88h	ビット 23:21 = デュアル I/O (1-2-2) モード サイクル数 = 100b ビット 20:16 = デュアル I/O ダミー サイクル数 = 01000b (工場出荷初期状態)
11h	0Fh		BBh	デュアル I/O 命令コード
12h	10h	JEDEC 基本 フラッシュ パラメーター DWORD 5	FEh	ビット 7:5 RFU = 111b ビット 4 = QPI 対応 = 有 = 1b ビット 3:1 RFU = 111b ビット 0 = デュアル オール未対応 = 0b
13h	11h		FFh	ビット 15:8 = RFU = FFh
14h	12h		FFh	ビット 23:16 = RFU = FFh
15h	13h		FFh	ビット 31:24 = RFU = FFh
16h	14h	JEDEC 基本 フラッシュ パラメーター DWORD 6	FFh	ビット 7:0 = RFU = FFh
17h	15h		FFh	ビット 15:8 = RFU = FFh
18h	16h		FFh	ビット 23:21 = デュアル オール モード サイクル数 = 111b ビット 20:16 = デュアル オール ダミー サイクル数 = 11111b
19h	17h		FFh	デュアル オール命令コード
1Ah	18h	JEDEC 基本 フラッシュ パラメーター DWORD 7	FFh	ビット 7:0 = RFU = FFh
1Bh	19h		FFh	ビット 15:8 = RFU = FFh
1Ch	1Ah		48h	ビット 23:21 = QPI モード サイクル数 = 010b ビット 20:16 = QPI ダミー サイクル数 = 01000b
1Dh	1Bh		EBh	QPI モード クアッド I/O (4-4-4) 命令コード
1Eh	1Ch	JEDEC 基本 フラッシュ パラメーター DWORD 8	0Ch	消去タイプ 1、サイズ 2^N バイト = 4KB = ハイブリッド用 0Ch (工場出荷初期状態)
1Fh	1Dh		20h	消去タイプ 1 命令
20h	1Eh		10h	消去タイプ 2、サイズ 2^N バイト = 64KB = 10h
21h	1Fh		D8h	消去タイプ 2 命令
22h	20h	JEDEC 基本 フラッシュ パラメーター DWORD 9	12h	消去タイプ 3、サイズ 2^N バイト = 256KB = 12h
23h	21h		D8h	消去タイプ 3 命令
24h	22h		00h	消去タイプ 4、サイズ 2^N バイト = 未対応 = 00h
25h	23h		FFh	消去タイプ 4 命令 = 未対応 = FFh
26h	24h	JEDEC 基本 フラッシュ パラメーター DWORD 10	B1h	ビット 31:30 = 消去タイプ 4 消去、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s) = 1S = 11b (RFU)
27h	25h		72h	ビット 29:25 = 消去タイプ 4 消去、標準時間カウント = 11111b (RFU)
28h	26h		1Dh	ビット 24:23 = 消去タイプ 3 消去、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s) = 128mS = 10b
29h	27h		FFh	ビット 22:18 = 消去タイプ 3 消去、標準時間カウント = 00111b (標準消去時間 = カウント +1 * 単位 = 8*128mS = 1024mS)
		ビット 17:16 = 消去タイプ 2 消去、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s) = 16mS = 01b		
		ビット 15:11 = 消去タイプ 2 消去、標準時間カウント = 01110b (標準消去時間 = カウント +1 * 単位 = 15*16mS = 240mS)		
		ビット 10:9 = 消去タイプ 1 消去、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s) = 16mS = 01b		
				ビット 8:4 = 消去タイプ 1 消去、標準時間カウント = 01011b (標準消去時間 = カウント +1 * 単位 = 12*16mS = 192mS)
				ビット 3:0 = 最大消去時間に標準消去時間の乗数 = 2*(N+1)、N=2h = 4x
				2 進フィールド : 11-11111-10-00111-01-01110-01-01011-0001 ニブルフォーマット : 1111_1111_0001_1101_0111_0010_1011_0001 16 進フォーマット : FF_1D_72_B1

表 73. CFI および SFDP セクション 1、基本フラッシュおよび 4 バイト アドレス命令 パラメーター (続き)

108Eh からの CFI パラメーター関連 のバイト アドレス オフセット	1090h からの SFDP パラメーター 関連のバイト アドレス オフセット	SFDP DWORD 名	データ	説明
2Ah	28h	JEDEC 基本 フラッシュ パラメーター DWORD 11	82h	ビット 31 = 予約済み = 1b ビット 30:29 = チップ消去、標準時間単位 (00b: 16ms、01b: 256ms、10b: 4s、11b: 64s) = 64Mb = 4s = 10b
2Bh	29h		26h	ビット 28:24 = チップ消去、標準時間カウント、(カウント +1)* 単位、64Mb = 00111b = (7+1)*4 = 32s
2Ch	2Ah		07h	ビット 23 = バイト プログラム標準時間、追加バイト単位 (0b:1uS、1b:8uS) = 1uS = 0b ビット 22:19 = 標準バイト プログラム時間、追加のバイト カウント、(カウント +1)* 単位、カウント = 0000b、(標準プログラム時間 = カウント +1 * 単位 = 1*1uS = 1uS) ビット 18 = 標準バイト プログラム時間、最初のバイト単位 (0b: 1uS、1b: 8uS) = 8uS = 1b ビット 17:14 = 標準バイト プログラム時間、最初のバイト カウント、(カウント +1)* 単位、カウント = 1100b、(標準プログラム時間 = カウント +1 * 単位 = 13*8uS = 104uS) ビット 13 = 標準ページ プログラム時間単位 (0b: 8uS、1b: 64uS) = 64uS = 1b ビット 12:8 = 標準ページ プログラム時間カウント、(カウント +1)* 単位、カウント = 00110b、(標準プログラム時間 = カウント +1 * 単位 = 6*64uS = 384uS) ビット 7:4 = ページ サイズ 2 ^N 、N=8h = 256B ページ ビット 3:0 = 最大 ページまたはバイト プログラム時間に標準時間の乗数 = 2 ^N (N+1)、N=2h = 6x
2Dh	2Bh		C7h	64Mb 2 進フィールド : 1-10-00111-0-0000-1-1100-1-00110-1000-0010 ニブルフォーマット : 1100_0111_0000_0111_0010_0110_1001_0010 16 進フォーマット : C7_07_26_82
2Eh	2Ch	JEDEC 基本 フラッシュ パラメーター DWORD 12	ECh	ビット 31 = 一時停止および再開に対応 = 0b ビット 30:29 = 進行中の消去の最大一時停止レイテンシ単位 (00b: 128ns、01b: 1us、10b: 8us、11b: 64us) = 8us = 10b
2Fh	2Dh		93h	ビット 28:24 = 進行中の消去の最大一時停止レイテンシ カウント = 00101b、最大消去一時停止レイテンシ = カウント +1 * 単位 = 6*8uS = 48uS
30h	2Eh		18h	ビット 23:20 = 消去再開から一時停止までの間隔カウント = 0001b、間隔 = カウント +1 * 64us = 2*64us = 128us ビット 19:18 = 進行中のプログラムの最大一時停止レイテンシ単位 (00b: 128ns、01b: 1us、10b: 8us、11b: 64us) = 8us = 10b ビット 17:13 = 進行中のプログラムの最大一時停止レイテンシ カウント = 00101b、最大消去一時停止レイテンシ = カウント +1 * 単位 = 6*8uS = 48uS ビット 12:9 = プログラム再開から一時停止までの間隔カウント = 0001b、間隔 = カウント +1 * 64us = 2*64us = 128us ビット 8 = RFU = 1b ビット 7:4 = 消去一時停止中の禁止動作 = xxx0b: どこでも新しい消去を開始できません (消去ネスティングが許可されません)。 + xx1xb: 消去が一時停止中のセクタ サイズ内で新しいページ プログラムを開始できません。 + x1xxb: 消去が一時停止中のセクタ サイズ内で新しい読み出しを開始できません。 + 1xxx: ビット 5:4 での消去およびプログラム制限は十分です。 = 1100b ビット 3:0 = プログラム一時停止中の禁止動作 = xxx0b: どこでも新しい消去を開始できません (消去ネスティングが許可されません)。 + xx0xb: どこでも新しいページ プログラムを開始できません (プログラム ネスティングが許可されません)。 + x1xxb: プログラムが一時停止中のセクタ サイズ内で読み出しを開始できません。 + 1xxx: ビット 1:0 での消去およびプログラム制限は十分です。 = 1100b
31h	2Fh		45h	2 進フィールド : 0-10-00100-0001-10-00100-0001-1-1100-1100 ニブルフォーマット : 0100_0101_0001_1000_1001_0011_1110_1100 16 進フォーマット : 45_18_93_EC
32h	30h	JEDEC 基本 フラッシュ パラメーター DWORD 13	8Ah	ビット 31:24 = 消去一時停止命令 = 75h
33h	31h		85h	ビット 23:16 = 消去再開命令 = 7Ah
34h	32h		7Ah	ビット 15:8 = プログラム一時停止命令 = 85h
35h	33h		75h	ビット 7:0 = プログラム再開命令 = 8Ah

表 73. CFI および SFDP セクション 1、基本フラッシュおよび 4 バイト アドレス命令 パラメーター (続き)

108Eh からの CFI パラメーター関連 のバイト アドレス オフセット	1090h からの SFDP パラメーター 関連のバイト アドレス オフセット	SFDP DWORD 名	データ	説明
36h	34h	JEDEC 基本 フラッシュ パラメーター DWORD 14	F7h	ビット 31 = ディープ パワー ダウン対応 = 対応 = 0 ビット 30:23 = ディープ パワー ダウン開始命令 = B9h ビット 22:15 = ディープ パワー ダウン終了命令 = ABh ビット 14:13 = ディープ パワー ダウン終了から次の動作までの遅延単位 = (00b: 128ns、01b: 1us、10b: 8us、11b: 64us) = 1us = 01b ビット 12:8 = ディープ パワー ダウン終了から次の動作までの遅延カウント = 11101b、ディープ パワー ダウン終了から次の動作までの遅延 = (カウント +1)* 単位 = 29+1 *1us = 30us ビット 7:4 = RFU = Fh ビット 3:2 = デバイス ビジー確認用ステータス レジスタ ポーリング = 01b: 従来のステータス ポーリングに対応 = 05h 命令でステータス レジスタを 読み出し、WIP ビット [0] を確認する (0 = レディ 1 = ビジー) ことで従来のポー リングを使用 = 01b ビット 1:0 = RFU = 11b 2 進フィールド : 0-10111001-10101011-01-11101-1111-01-11 ニブルフォーマット : 0101_1100_1101_0101_1011_1101_1111_0111 16 進フォーマット : 5C_D5_BD_F7
37h	35h		BDh	
38h	36h		D5h	
39h	37h		5Ch	
3Ah	38h	JEDEC 基本 フラッシュ パラメーター DWORD 15	8Ch	ビット 31:24 = RFU = FFh ビット 23 = 保持および WP ディセーブル = 未対応 = 0b ビット 22:20 = クアッド イネーブル要件 = 101b: QE はステータス レジスタ 2 のビット 1 です。ステータス レジスタ 1 はステータス読み出し命令 05h で読み出されます。ステータス レジスタ 2 は命 令 35h で読み出されます。QE は、2 バイト目のビット 1 が「1」である 2 デー タ バイトのステータス書き込み命令 01h でセットされます。QE は、2 バイト 目のビット 1 が「0」である 2 データ バイトのステータス書き込み命令でクリ アされます。 ビット 19:16 = 0-4-4 モード開始方法 = xx1b: モード ビット [7:0] = モード ビット [7:0] = A5h 注: モードを使用する 前に QE をセットする必要があります。 + x1xxb: モード ビット [7:0] = Axh + 1xxb: RFU = 1101b ビット 15:10 = 0-4-4 モード終了方法 = xx_1xxb: モード ビット [7:0] = 00h は実行中の読み出し動作の終了時にモー ドを終了します。 + xx_1xxb: 8 クロックの間 DQ0 ~ DQ3 に Fh (モード ビット リセット) を入 力します。これにより、モードは次の読み出し動作の前に終了されます。 + x1_1xxb: モード ビット [7:0] != Axh + 1x_1xxb: RFU = 11_1101 ビット 9 = 0-4-4 モードに対応 = 1 ビット 8:4 = 4-4-4 モード イネーブル シーケンス = x_1xxb: デバイスは読み出し - 修正 - 書き込みのシーケンスを使用します: 命 令 65h およびその後続くアドレス 800003h を使用してコンフィギュレーショ ンを読み出し、ビット 6 をセットし、命令 71h およびその後続くアドレス 800003h を使用してコンフィギュレーションを書き込みます。コンフィギュ レーションは揮発性です。 = 01000b ビット 3:0 = 4-4-4 モード ディセーブル シーケンス = x1xxb: デバイスは読み出し - 修正 - 書き込みのシーケンスを使用します: 命 令 65h およびその後続くアドレス 800003h を使用してコンフィギュレーション を読み出し、ビット 6 をクリアし、命令 71h およびその後続くアドレス 800003h を使用してコンフィギュレーションを書き込みます。コンフィギュ レーションは揮発性です。 + 1xxb: ソフト リセット 66-99 シーケンスを発行 = 1100b 2 進フィールド : 11111111-0-101-1101-111101-1-01000-1100 ニブルフォーマット : 1111_1111_0101_1101_1111_0110_1000-1100 16 進フォーマット : FF_5D_F6_8C
3Bh	39h		F6h	
3Ch	3Ah		5Dh	
3Dh	3Bh		FFh	

表 73. CFI および SFDP セクション 1、基本フラッシュおよび 4 バイト アドレス命令 パラメーター (続き)

108Eh からの CFI パラメーター関連 のバイト アドレス オフセット	1090h からの SFDP パラメーター 関連のバイト アドレス オフセット	SFDP DWORD 名	データ	説明
3Eh	3CH	JEDEC 基本 フラッシュ パラメーター DWORD 16	F0h	ビット 31:24 = 4 バイト アドレッシング開始 = xxxx_xxx1b: 命令 B7h を発行します (その前の書き込みイネーブルは必要ありません)。
3Fh	3Dh		30h	+ xx1x_xxxxb: 専用の 4 バイト アドレス命令セットに対応します。命令セット定義についてはベンダーのデータシートを参照してください。
40h	3Eh		F8h	+ 1xxx_xxxxb: 予約済み = 10100001b ビット 23:14 = 4 バイト アドレッシング終了 = xx_xx1x_xxxxb: ハードウェア リセット + xx_x1xx_xxxxb: ソフトウェア リセット (この DWORD のビット 13:8 を参照してください) + xx_1xxx_xxxxb: パワー サイクル + x1_xxxx_xxxxb: 予約済み + 1x_xxxx_xxxxb: 予約済み = 11_1110_0000b ビット 13:8 = ソフト リセットおよび回復シーケンス対応 = x1_xxxxb: リセット イネーブル命令 66h に続いてリセット命令 99h を発行します。 リセット イネーブルおよびリセット シーケンスは、デバイスの動作モードに応じて 1、2 または 4 ワイヤ上で発行されます。
41h	3Fh		A1h	+ 1x_xxxxb: デバイスがこのモードで動作できる場合、上記の 0-4-4 モード終了は、他のリセット シーケンスの前に必要です。 = 1100000b ビット 7 = RFU = 1 ビット 6:0 = 揮発性または不揮発性レジスタおよびステータス レジスタ 1 用の書き込みイネーブル命令 = + xx1_xxxxb: ステータス レジスタ 1 は、揮発性および不揮発性ビットが混在します。 06h 命令はレジスタの書き込みを可能にするために使用されます。 + x1x_xxxxb: 予約済み + 1xx_xxxxb: 予約済み = 1110000b 2 進フィールド : 10100001-1111100000-110000-1-1110000 ニブル フォーマット : 1010_0001_1111_1000_0011_0000_1111_0000 16 進フォーマット : A1_F8_30_F0
42h	40h	JEDEC 4 バイト アドレス命令パラメーター DWORD 1	FFh	対応 = 1、未対応 = 0 ビット 31:20 = RFU = FFFh
43h	41h		CEh	ビット 19 = 不揮発性個別セクタ ロック書き込みコマンドの対応、命令 = E3h = 1 ビット 18 = 不揮発性個別セクタ ロック読み出しコマンドの対応、命令 = E2h = 1
44h	42h		FFh	ビット 17 = 揮発性個別セクタ ロック書き込みコマンドの対応、命令 = E1h = 1 ビット 16 = 揮発性個別セクタ ロック読み出しコマンドの対応、命令 = E0h = 1 ビット 15 = (1-4-4) DTR_Read コマンドの対応、命令 = EEh = 1 ビット 14 = (1-2-2) DTR_Read コマンドの対応、命令 = BEh = 0 ビット 13 = (1-1-1) DTR_Read コマンドの対応、命令 = 0Eh = 0 ビット 12 = 消去コマンド タイプ 4 の対応 = 0 ビット 11 = 消去コマンド タイプ 3 の対応 = 1 ビット 10 = 消去コマンド タイプ 2 の対応 = 1 ビット 9 = 消去コマンド タイプ 1 の対応 = 1
45h	43h		FFh	ビット 8 = (1-4-4) ページ プログラム コマンドの対応、命令 = 3Eh = 0 ビット 7 = (1-1-4) ページ プログラム コマンドの対応、命令 = 34h = 1 ビット 6 = (1-1-1) ページ プログラム コマンドの対応、命令 = 12h = 1 ビット 5 = (1-4-4) FAST_READ コマンドの対応、命令 = ECh = 1 ビット 4 = (1-1-4) FAST_READ コマンドの対応、命令 = 6Ch = 1 ビット 3 = (1-2-2) FAST_READ コマンドの対応、命令 = BCh = 1 ビット 2 = (1-1-2) FAST_READ コマンドの対応、命令 = 3Ch = 1 ビット 1 = (1-1-1) FAST_READ コマンドの対応、命令 = 0Ch = 1 ビット 0 = (1-1-1) READ コマンドの対応、命令 = 13h = 1
46h	44h	JEDEC 4 バイト アドレス命令パラメーター DWORD 2	21h	ビット 31:24 = FFh = 消去タイプ 4 用命令 : RFU
47h	45h		DCh	ビット 23:16 = DCh = 消去タイプ 3 用命令
48h	46h		DCh	ビット 15:8 = DCh = 消去タイプ 2 用命令
49h	47h		FFh	ビット 7:0 = 21h = 消去タイプ 1 用命令

セクタ マップ パラメーター テーブルの注意:

以下のセクタ マップ パラメーター テーブルは、デバイス アドレス マップの設定方法を識別する手段となり、対応されている各コンフィギュレーションのセクタ マップを提供します。アドレス マップの選択に影響を与える関連コンフィギュレーション レジスタ ビットを読み出す一連のコマンドを定義することで行います。1 つ以上のコンフィギュレーション ビットを読み出す必要がある場合、すべてのビットは現行のアドレス マップを選択するためのインデックス値に連結されます。

S25FS064S のセクタ マップ コンフィギュレーションを識別するために、以下のコンフィギュレーション ビットを MSB から LSB への順で読み出してコンフィギュレーション マップ インデックス値を形成します。

- CR3NV[3] - 0 = ハイブリッド アーキテクチャ、1 = ユニフォーム アーキテクチャ
- CR1NV[2] - 0 = 4KB パラメーター セクタが最下部、1 = 4KB セクタが最上部
- CR3NV[1] - 0 = 64KB ユニフォーム セクタ サイズ、1 = 256KB ユニフォーム セクタ サイズ

いくつかのコンフィギュレーション ビット値のためその他のコンフィギュレーション ビット値が該当無し (ドント ケア) となることがあるため、インデックス値のすべてのあり得る組合せが有効なアドレス マップを定義するわけではありません。SFDP セクタ マップ パラメーター テーブルは選択されたコンフィギュレーション ビット組合せのみに対応します。SFDP パラメーター テーブルを使用してセクタ マップを定義するとき、その他の組合せはセクタ アドレス マップの設定に使用しないでください。対応されているインデックス値の組合せは次のとおりです。

デバイス	CR3NV[3]	CR1NV[2]	CR3NV[1]	インデックス値	説明
FS64S	0	0	0	00h	4KB セクタは最下部、残りの部分は 64KB セクタ
	0	1	0	02h	4KB セクタは最上部、残りの部分は 64KB セクタ
	0	0	1	01h	4KB セクタは最下部、残りの部分は 256KB セクタ
	0	1	1	03h	4KB セクタは最上部、残りの部分は 256KB セクタ
	1	0	0	04h	ユニフォーム 64KB セクタ
	1	0	0	05h	ユニフォーム 256KB セクタ

表 74. CFI および SFDP セクション 2、セクタ マップ パラメーター テーブル

CFI パラメーター 関連のバイト アド レス オフセット	SFDP パラメーター 関連のバイト アド レス オフセット	SFDP DWORD 名	データ	説明
4Ah	48h	JEDEC セクタ マップ パラメー ター DWORD 1 コンフィギュ レーション検出 1	FCh	ビット 31:24 = データ マスク読み出し = 0000_1000b: 20h_NV 値のデータ バイト のビット 3 を選択します。 0 = 4KB パラメーター セクタのハイブリッド マップ 1 = ユニフォーム マップ ビット 23:22 = コンフィギュレーション検出コマンドのアドレス長 = 11b: 可変長 ビット 21:20 = RFU = 11b ビット 19:16 = コンフィギュレーション検出コマンド レイテンシ = 1111b: 可変レ イテンシ ビット 15:8 = コンフィギュレーション検出命令 = 65h: 任意レジスタ読み出し ビット 7:2 = RFU = 111111b ビット 1 = コマンド ディスクリプタ = 0 ビット 0 = 終了ディスクリプタではない = 0
4Bh	49h		65h	
4Ch	4Ah		FFh	
4Dh	4Bh		08h	
4Eh	4Ch	JEDEC セクタ マップ パラメー ター DWORD 2 コンフィギュ レーション検出 1	04h	ビット 31:0 = セクタ マップ コンフィギュレーション検出コマンド アドレス = 00_00_00_04h: CR3NV のアドレス
4Fh	4Dh		00h	
50h	4Eh		00h	
51h	4Fh		00h	
52h	50h	JEDEC セクタ マップ パラメー ター DWORD 3 コンフィギュ レーション検出 2	FCh	ビット 31:24 = データ マスク読み出し = 0000_0100b: TBPARAM_O 値のデータ バ イトのビット 2 を選択します。 0 = 下部 4KB パラメーター セクタ 1 = 上部 4KB パラメーター セクタ ビット 23:22 = コンフィギュレーション検出コマンド アドレス長 = 11b: 可変長 ビット 21:20 = RFU = 11b ビット 19:16 = コンフィギュレーション検出コマンド レイテンシ = 1111b: 可変長 ビット 15:8 = コンフィギュレーション検出命令 = 65h: 任意レジスタ読み出し ビット 7:2 = RFU = 111111b ビット 1 = コマンド ディスクリプタ = 0 ビット 0 = 終了ディスクリプタではない = 0
53h	51h		65h	
54h	52h		FFh	
55h	53h		04h	

表 74. CFI および SFDP セクション 2、セクタ マップ パラメーター テーブル (続き)

CFI パラメーター 関連のバイト アド レス オフセット	SFDP パラメーター 関連のバイト アド レス オフセット	SFDP DWORD 名	データ	説明
56h	54h	JEDEC セクタ マップ パラメー ター DWORD 4 コンフィギュ レーション検出 2	02h	ビット 31:0 = セクタ マップ コンフィギュレーション検出コマンド アドレス = 00_00_00_02h: CR1NV のアドレス
57h	55h		00h	
58h	56h		00h	
59h	57h		00h	
5Ah	58h	JEDEC セクタ マップ パラメー ター DWORD 5 コンフィギュ レーション検出 3	FDh	ビット 31:24 = データ マスク読み出し = 0000_0010b: D8h_NV 値のデータ バイト のビット 1 を選択します。 0 = 64KB ユニフォーム セクタ 1 = 256KB ユニフォーム セクタ ビット 23:22 = コンフィギュレーション検出コマンド アドレス長 = 11b: 可変長 ビット 21:20 = RFU = 11b ビット 19:16 = コンフィギュレーション検出コマンド レイテンシ = 1111b: 可変長 ビット 15:8 = コンフィギュレーション検出命令 = 65h: 任意レジスタ読み出し ビット 7:2 = RFU = 111111b ビット 1 = コマンド ディスクリプタ = 0 ビット 0 = 終了ディスクリプタ = 1
5Bh	59h		65h	
5Ch	5Ah		FFh	
5Dh	5Bh		02h	
5Eh	5Ch	JEDEC セクタ マップ パラメー ター DWORD 6 コンフィギュ レーション検出 3	04h	ビット 31:0 = セクタ マップ コンフィギュレーション検出コマンド アドレス = 00_00_00_04h: CR3NV のアドレス
5Fh	5Dh		00h	
60h	5Eh		00h	
61h	5Fh		00h	
62h	60h	JEDEC セクタ マップ パラメー ター DWORD 7 コンフィギュ レーション 0 ヘッダ	FEh	ビット 31:24 = RFU = FFh ビット 23:16 = 領域カウンタ (DWORD -1) = 02h: 3 つの領域 ビット 15:8 = コンフィギュレーション ID = 00h: 4KB セクタは最下部にあり、残り の部分は 64KB セクタです。 ビット 7:2 = RFU = 111111b ビット 1 = マップ ディスクリプタ = 1 ビット 0 = 終了ディスクリプタではない = 0
63h	61h		00h	
64h	62h		02h	
65h	63h		FFh	
66h	64h	JEDEC セクタ マップ パラメー ター DWORD 8 コンフィギュ レーション 0 領域 0	F1h	ビット 31:8 = 領域サイズ = 00007Fh: 256 バイト単位のカウンタ -1 の領域サイズ = 8 x 4KB セクタ = 32KB カウンタ = 32KB/256 = 128、値 = カウンタ -1 = 128 -1 = 127 = 7Fh ビット 7:4 = RFU = Fh 消去タイプに未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、4KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、4KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されます。
67h	65h		7Fh	
68h	66h		00h	
69h	67h		00h	
6Ah	68h	JEDEC セクタ マップ パラメー ター DWORD 9 コンフィギュ レーション 0 領域 1	F2h	ビット 31:8 = 領域サイズ = 00007Fh: 256 バイト単位のカウンタ -1 の領域サイズ = 1 x 32KB セクタ = 32KB カウンタ = 32KB/256 = 128、値 = カウンタ -1 = 128 -1 = 127 = 7Fh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、32KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b --- 消去タイプ 2 は 64KB 消去であり、32KB セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、32KB セクタ領域では対応されません。
6Bh	69h		7Fh	
6Ch	6Ah		00h	
6Dh	6Bh		00h	

表 74. CFI および SFDP セクション 2、セクタ マップ パラメーター テーブル (続き)

CFI パラメーター 関連のバイト アド レス オフセット	SFDP パラメーター 関連のバイト アド レス オフセット	SFDP DWORD 名	データ	説明
6Eh	6Ch	JEDEC セクタ マップ パラメー ター DWORD 10 コンフィギュ レーション 0 領域 2	F2h	ビット 31:8 = 64Mb デバイス領域サイズ = 007EFFh:
6Fh	6Dh		FFh	256 バイト単位のカウンタ -1 の領域サイズ = 127 x 65536B セクタ = 8323072B
70h	6Eh		7Eh (64Mb)	カウンタ = 8323072B/256 = 32512、値 = カウンタ -1 = 32512-1 = 32511 = 7EFFh
71h	6Fh		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、64KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b --- 消去タイプ 2 は 64KB 消去であり、64KB セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、64KB セクタ領域では対応されません。
72h	70h	JEDEC セクタ マップ パラメー ター DWORD 11 コンフィギュ レーション 2 ヘッダ	FEh	ビット 31:24 = RFU = FFh
73h	71h		02h	ビット 23:16 = 領域カウンタ (DWORD -1) = 02h: 3 つの領域
74h	72h		02h	ビット 15:8 = コンフィギュレーション ID = 02h: 4KB セクタは最上部にあり、残りの部分は 64KB セクタです。
75h	73h		FFh	ビット 7:2 = RFU = 111111b ビット 1 = マップ ディスクリプタ = 1 ビット 0 = 終了ディスクリプタではない = 0
76h	74h	JEDEC セクタ マップ パラメー ター DWORD 12 コンフィギュ レーション 2 領域 0	F2h	ビット 31:8 = 64Mb デバイス領域サイズ = 007EFFh:
77h	75h		FFh	256 バイト単位のカウンタ -1 の領域サイズ = 127 x 65536B セクタ = 8323072B
78h	76h		7Eh (64Mb)	カウンタ = 8323072B/256 = 32512、値 = カウンタ -1 = 32512-1 = 32511 = 7EFFh
79h	77h		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、64KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b --- 消去タイプ 2 は 64KB 消去であり、64KB セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、64KB セクタ領域では対応されません。
7Ah	78h	JEDEC セクタ マップ パラメー ター DWORD 13 コンフィギュ レーション 2 領域 1	F2h	ビット 31:8 = 領域サイズ = 00007Fh:
7Bh	79h		7Fh	256 バイト単位のカウンタ -1 の領域サイズ = 1 x 32KB セクタ = 32KB
7Ch	7Ah		00h	カウンタ = 32KB/256 = 128、値 = カウンタ -1 = 128 -1 = 127 = 7Fh
7Dh	7Bh		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、32KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b --- 消去タイプ 2 は 64KB 消去であり、32KB セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、32KB セクタ領域では対応されません。

表 74. CFI および SFDP セクション 2、セクタ マップ パラメーター テーブル (続き)

CFI パラメーター 関連のバイト アド レス オフセット	SFDP パラメーター 関連のバイト アド レス オフセット	SFDP DWORD 名	データ	説明
7Eh	7C	JEDEC セクタ マップ パラメー ター DWORD 14 コンフィギュ レーション 2 領域 2	F1h	ビット 31:8 = 領域サイズ = 00007Fh:
7Fh	7D		7Fh	256 バイト単位のカウンタ -1 の領域サイズ = 8 x 4KB セクタ = 32KB
80h	7E		00h	カウンタ = 32KB/256 = 128、値 = カウンタ -1 = 128 -1 = 127 = 7Fh
81h	7F		00h	ビット 7:4 = RFU = Fh 消去タイプに未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、4KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、4KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されます。
82h	80h	JEDEC セクタ マップ パラメー ター DWORD 15 コンフィギュ レーション 1 ヘッダ	FEh	ビット 31:24 = RFU = FFh
83h	81h		01h	ビット 23:16 = 領域カウンタ (DWORD -1) = 02h: 3 つの領域
84h	82h		02h	ビット 15:8 = コンフィギュレーション ID = 01h: 4KB セクタは最下部にあり、残りの部分は 256KB セクタです。
85h	83h		FFh	ビット 7:2 = RFU = 111111b ビット 1 = マップ ディスクリプタ = 1 ビット 0 = 終了ディスクリプタではない = 0
86h	84h	JEDEC セクタ マップ パラメー ター DWORD 16 コンフィギュ レーション 1 領域 0	F1h	ビット 31:8 = 領域サイズ = 00007Fh:
87h	85h		7Fh	256 バイト単位のカウンタ -1 の領域サイズ = 8 x 4KB セクタ = 32KB
88h	86h		00h	カウンタ = 32KB/256 = 128、値 = カウンタ -1 = 128 - 1 = 127 = 7Fh
89h	87h		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、4KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、4KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されます。
8Ah	88h	JEDEC セクタ マップ パラメー ター DWORD 17 コンフィギュ レーション 1 領域 1	F4h	ビット 31:8 = 領域サイズ = 00037Fh:
8Bh	89h		7Fh	256 バイト単位のカウンタ -1 の領域サイズ = 1 x 224KB セクタ = 224KB
8Ch	8Ah		03h	カウンタ = 224KB/256 = 896、値 = カウンタ - 1 = 896 - 1 = 895 = 37Fh
8Dh	8Bh		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256KB 消去であり、224KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、224KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、224KB セクタ領域では対応されません。
8Eh	8Ch	JEDEC セクタ マップ パラメー ター DWORD 18 コンフィギュ レーション 1 領域 2	F4h	ビット 31:8 = 64Mb デバイス領域サイズ = 007BFFh:
8Fh	8Dh		FFh	256 バイト単位のカウンタ -1 の領域サイズ = 31 x 262144B セクタ = 8126464B
90h	8Eh		7Bh (64Mb)	カウンタ = 8126464B/256 = 31744、値 = カウンタ -1 = 31744-1 = 31743 = 7BFFh
91h	8F		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256KB 消去であり、256KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、256KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、256KB セクタ領域では対応されません。

表 74. CFI および SFDP セクション 2、セクタ マップ パラメーター テーブル (続き)

CFI パラメーター 関連のバイト アド レス オフセット	SFDP パラメーター 関連のバイト アド レス オフセット	SFDP DWORD 名	データ	説明
92h	90h	JEDEC セクタ マップ パラメー ター DWORD 19 コンフィギュ レーション 3 ヘッダ	FEh	ビット 31:24 = RFU = FFh
93h	91h		03h	ビット 23:16 = 領域カウンタ (DWORD -1) = 02h: 3 つの領域
94h	92h		02h	ビット 15:8 = コンフィギュレーション ID = 03h: 4KB セクタは最上部にあり、残り の部分は 256KB セクタです。
95h	93h		FFh	ビット 7:2 = RFU = 111111b ビット 1 = マップ ディスクリプタ = 1 ビット 0 = 終了ディスクリプタではない = 0
96h	94h	JEDEC セクタ マップ パラメー ター DWORD 20 コンフィギュ レーション 3 領域 0	F4h	ビット 31:8 = 64Mb デバイス領域サイズ = 007BFFh:
97h	95h		FFh	256 バイト単位のカウンタ -1 の領域サイズ = 31 x 262144B セクタ = 8126464B
98h	96h		7Bh (64Mb)	カウンタ = 8126464B/256 = 31744、値 = カウンタ -1 = 31744-1 = 31743 = 7BFFh
99h	97h		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256KB 消去であり、256KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、256KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、256KB セクタ領域では対応されません。
9Ah	98h	JEDEC セクタ マップ パラメー ター DWORD 21 コンフィギュ レーション 3 領域 1	F4h	ビット 31:8 = 領域サイズ = 00037Fh:
9Bh	99h		7Fh	256 バイト単位のカウンタ -1 の領域サイズ = 1 x 224KB セクタ = 224KB
9Ch	9Ah		03h	カウンタ = 224KB/256 = 896、値 = カウンタ -1 = 896 -1 = 895 = 37Fh
9Dh	9Bh		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256KB 消去であり、224KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、224KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、224KB セクタ領域では対応されません。
9Eh	9Ch	JEDEC セクタ マップ パラメー ター DWORD 22 コンフィギュ レーション 3 領域 2	F1h	ビット 31:8 = 領域サイズ = 00007Fh:
9Fh	9Dh		7Fh	256 バイト単位のカウンタ -1 の領域サイズ = 8 x 4KB セクタ = 32KB
A0h	9Eh		00h	カウンタ = 32KB/256 = 128、値 = カウンタ -1 = 128 -1 = 127 = 7Fh
A1h	9Fh		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、4KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、4KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されます。
A2h	A0h	JEDEC セクタ マップ パラメー ター DWORD 23 コンフィギュ レーション 4 ヘッダ	FEh	ビット 31:24 = RFU = FFh
A3h	A1h		04h	ビット 23:16 = 領域カウンタ (DWORD -1) = 00h: 1 つの領域
A4h	A2h		00h	ビット 15:8 = コンフィギュレーション ID = 04h: ユニフォーム 64KB セクタ
A5h	A3h		FFh	ビット 7:2 = RFU = 111111b ビット 1 = マップ ディスクリプタ = 1 ビット 0 = 終了ディスクリプタではない = 0

表 74. CFI および SFDP セクション 2、セクタ マップ パラメーター テーブル (続き)

CFI パラメーター 関連のバイト アド レス オフセット	SFDP パラメーター 関連のバイト アド レス オフセット	SFDP DWORD 名	データ	説明
A6h	A4h	JEDEC セクタ マップ パラメー ター DWORD 24 コンフィギュ レーション 4 領域 0	F2h	ビット 31:8 = 64Mb デバイス領域サイズ = 007FFBh:
A7h	A5h		FFh	256 バイト単位のカウンタ -1 の領域サイズ = 128 x 65536B セクタ = 8388608B
A8h	A6h		7Fh (64Mb)	カウンタ = 8388608B/256 = 32768、値 = カウンタ -1 = 32768-1 = 32767= 7FFFh ビット 7:4 = RFU = Fh
A9h	A7h		00h	消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、64KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b --- 消去タイプ 2 は 64KB 消去であり、64K バイト セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、64KB セクタ領域では対応されません。
AAh	A8h	JEDEC セクタ マップ パラメー ター DWORD 25 コンフィギュ レーション 5 ヘッダ	FFh	ビット 31:24 = RFU = FFh
ABh	A9h		05h	ビット 23:16 = 領域カウンタ (DWORD -1) = 00h: 1 つの領域
ACh	AAh		00h	ビット 15:8 = コンフィギュレーション ID = 05h: ユニフォーム 256KB セクタ ビット 7:2 = RFU = 111111b
ADh	ABh		FFh	ビット 1 = マップ ディスクリプタ = 1 ビット 0 = 終了ディスクリプタ = 1
A Eh	A Ch	JEDEC セクタ マップ パラメー ター DWORD 26 コンフィギュ レーション 5 領域 0	F4h	ビット 31:8 = 64Mb デバイス領域サイズ = 01FFFFh:
A Fh	A Dh		FFh	256 バイト単位のカウンタ -1 の領域サイズ = 32 x 262144B セクタ = 8388608B
B0h	A Eh		7Fh (64Mb)	カウンタ = 8388608B/256 = 32768、値 = カウンタ -1 = 32768-1 = 32767= 7FFFh ビット 7:4 = RFU = Fh
B1h	A Fh		00h	消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256KB 消去であり、256KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、256KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、256KB セクタ領域では対応されません。

13.4 工場出荷時の初期状態

デバイスは不揮発性ビットが以下のように設定されている状態でサイプレスから出荷されます。

- メモリ アレイ全体が消去されている、すなわち、全ビットが「1」にセットされています (各バイトの値は FFh です)。
- OTP アドレス空間の最初の 16 バイトが乱数にプログラムされています。他のすべてのバイトは FFh に消去されています。
- SFDP アドレス空間は SFDP アドレス空間の記述で定義された値を含んでいます。
- ID-CFI アドレス空間は ID-CFI アドレス空間の記述で定義された値を含んでいます。
- RUID アドレス空間は 64 ビットの固有 ID 番号を含んでいます。
- 不揮発性ステータス レジスタ 1 の値は 00h です (全 SR1NV ビットは「0」にクリアされています)。
- 不揮発性コンフィギュレーション レジスタ 1 の値は 00h です。
- 不揮発性コンフィギュレーション レジスタ 2 の値は 00h です。
- 不揮発性コンフィギュレーション レジスタ 3 の値は 00h です。
- 不揮発性コンフィギュレーション レジスタ 4 の値は 10h です。
- パスワード レジスタの値は FFFFFFFF-FFFFFFFh です。
- 全 PPB ビット値は「1」です。
- ASP レジスタ ビット値は FFFFh です。

14. 注文製品番号

注文製品番号は下記の有効な組合せで構成されます。

S25FS	064	S	AG	M	F	I	00	1	
									包装形態
									0 = トレイ
									1 = チューブ
									3 = 13 インチ テープ & リール
									モデル番号 (追加の注文オプション)
									01 = SOIC8 フットプリント
									02 = 5x5 ボール BGA フットプリント FAB
									03 = LGA フットプリント
									温度範囲/グレード
									I = 産業用 (-40°C ~ +85°C)
									V = 産業用プラス (-40°C ~ +105°C)
									N = 拡張温度範囲 (-40°C ~ +125°C)
									A = 車載向け、AEC-Q100 グレード 3 (-40°C ~ +85°C)
									B = 車載向け、AEC-Q100 グレード 2 (-40°C ~ +105°C)
									M = 車載向け、AEC-Q100 グレード 1 (-40°C ~ +125°C)
									パッケージ材料
									F = ハロゲン フリー、鉛 (Pb) フリー
									H = ハロゲン フリー、鉛 (Pb) フリー
									パッケージ タイプ
									M = 8 リード SOIC
									N = 8 コンタクト LGA
									B = 24 ボール BGA 6 x 8mm パッケージ、1.00mm ピッチ
									速度
									AG = 133MHz
									DS = 80MHz DDR
									デバイス技術
									S = 65nm MirrorBit プロセス技術
									メモリ容量
									064 = 64M ビット
									デバイス ファミリ
									S25FS
									サイプレス 1.8V 単一電源、シリアル ペリフェラル インターフェース (SPI) フラッシュ メモリ

注:

98.ハロゲン フリーの定義は IE 61249-2-21 仕様に準拠しています。

有効な組合せ — 標準

有効な組合せ表は、デバイスの大量注文のみに対応するデバイス コンフィギュレーションです。ご使用になる組合せの有無、ならびに新たにリリースされる組合せについては担当営業までお問い合わせください。

表 75. S25FS064S の有効な組合せ — 標準

有効な組合せ					
ベース注文製品番号	速度オプション	パッケージおよび温度	モデル番号	包装形態	パッケージ マーキング
S25FS064S	AG	MFI、MFV、MFN	01	0、1、3	FS064S + A + (温度) + F + 1
		NFI、NFV、NFN	03	0、1、3	FS064S + A + (温度) + F + 3
		BHI、BHV、BHN	02	0、3	FS064S + A + (温度) + H + 2
	DS	MFI、MFV、MFN	01	0、1、3	FS064S + D + (温度) + F + 1
		NFI、NFV、NFN	03	0、1、3	FS064S + D + (温度) + F + 3
		BHI、BHV、BHN	02	0、3	FS064S + D + (温度) + H + 2

有効な組み合わせ — 車載向けグレード／AEC-Q100

以下の表は車載向けグレード／AEC-Q100 の認定がされた、量産対応が計画されているコンフィギュレーションを示します。新しい組合せがリリースされると、表は更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せについては、担当営業までお問い合わせください。

生産部品承認プロセス (PPAP) のサポートは AEC-Q100 グレード製品のものに提供されています。

ISO/TS-16949 準拠を必要とするエンドユース アプリケーションに使用される製品は PPAP に対応した AEC-Q100 グレード製品でなければなりません。非 AEC-Q100 グレード製品は ISO/TS-16949 要件に完全に準拠して製造または記載されていません。

また、AEC-Q100 グレード製品は ISO/TS-16949 準拠を必要としないエンドユース アプリケーションにも PPAP サポートなしで提供されています。

表 76. S25FS064S 有効な組合せ — 車載向けグレード／AEC-Q100

有効な組合せ — 車載向けグレード／AEC-Q100					
ベース注文製品番号	速度オプション	パッケージおよび温度	モデル番号	包装形態	パッケージ マーキング
S25FS064S	AG	MFA、MFB、MFM	01	0、1、3	FS064S + A + (温度) + F + 1
		NFA、NFB、NFM	03	0、1、3	FS064S + A + (温度) + F + 3
		BHA、BHB、BHM	02	0、3	FS064S + A + (温度) + H + 2
	DS	MFA、MFB、MFM	01	0、1、3	FS064S + D + (温度) + F + 1
		NFA、NFB、NFM	03	0、1、3	FS064S + D + (温度) + F + 3
		BHA、BHB、BHM	02	0、3	FS064S + D + (温度) + H + 2

15. サイプレスへのお問い合わせ

サイプレスの所在地と連絡先については、次のウェブサイトをご覧ください：www.cypress.com/cypresslocations。

16. 用語集

- **BCD** = Binary Coded Decimal (二進化十進表現) = 各 4 ビット ニブルが 10 進数を表現する値です。
- **コマンド** = CS# が LOW のとき、1 つの期間中でホスト システムとメモリ間で転送されるすべての情報です。命令 (オペレーション コード / オペコードとも呼ばれる) および必要なアドレスやモード ビット、レイテンシ サイクル、データを含みます。
- **DDP** = Dual Die Package (デュアル ダイ パッケージ) = 単一のパッケージのメモリ容量を増加させるために同じパッケージ内で積み重ねられた 2 枚のダイです。常にマルチチップ パッケージ (MCP) と呼ばれています。
- **DDR** = Double Data Rate (ダブル データ レート) = 入力と出力は SCK のエッジごとにラッチされます。
- **ECC ユニット** = メイン フラッシュ アレイおよび OTP アレイ内の 16 バイト整列長のデータ グループであり、それぞれ自体がエラー訂正を有効にするための隠し ECC を持っています。
- **フラッシュ** = 同時にメモリ ビットの大きなブロックを消去し、従来の電氣的消去プログラム可能な読み出し専用メモリ (EEPROM) よりもはるかに速く消去動作を行う EEPROM の一種です。
- **HIGH** = V_{IH} 以上の信号電圧レベル、または 2 進の「1」を表現する論理レベルです。
- **命令** = コマンドで実行される機能を示す 8 ビット コードです (オペレーション コード / オペコードとも呼ばれます)。命令は常にホスト システムからメモリへ転送されるあらゆるコマンドの最初の 8 ビットです。
- **LOW** = $\leq V_{IL}$ 以下の信号電圧レベル、または 2 進の「0」を表現する論理レベルです。
- **LSB** = Least Significant Bit (最下位ビット) = 一般的にはレジスタまたはデータ値のビット グループ内の一番右のビットであり、最低の強度値を持っています。
- **MSB** = Most Significant Bit (最上位ビット) = 一般的にはレジスタまたはデータ値のビット グループ内の一番左のビットであり、最高の強度値を持っています。
- **該当無し** = Not Applicable (N/A) = 値が説明されている状況に該当しません。
- **不揮発性** = 電力がなくてもメモリに格納されているデータを保持します。
- **OPN** = Ordering Part Number (注文製品番号) = 所望のデバイスを選択するためにメモリ デバイス タイプや容量、パッケージ、工場出荷時の不揮発性コンフィギュレーションなどを指定する英数字の文字列です。
- **ページ** = 長さが 512 バイトまたは 256 バイト整列のデータ グループです。
- **PCB** - Printed Circuit Board (プリント回路基板)。
- **レジスタ ビット リファレンス** = フォーマット : レジスタ名 [ビット番号] または レジスタ名 [ビット範囲 MSB: ビット範囲 LSB]
- **SDR** = Single Data Rate (シングル データ レート) = 入力は SCK の立ち上がりエッジでラッチされ、出力は SCK の立ち下がりエッジでラッチされます。
- **セクタ** = 消去単位サイズであり、デバイス モデルおよびセクタ位置によって 4K バイト、64K バイトまたは 256K バイトです。
- **書き込み** = 揮発性 / 不揮発性レジスタ ビットまたは不揮発性フラッシュ メモリ内のデータを変更する動作です。不揮発性データを変更するとき、変更されない不揮発性データの消去とリプログラムも変更動作の一部として行われます。このため、単一の書き込み動作で、不揮発性データは揮発性データが変更される方法と同じように変更されます。ホスト システムは、影響を受けない隣接したデータののための個別の消去とリプログラム コマンドを必要とせず、単一の書き込みコマンドで不揮発性データを更新します。

16. 改訂履歴

文書名 : S25FS064S、64M ビット (8M バイト)、1.8V FS-S フラッシュ 文書番号 : 002-04138				
版	ECN 番号	変更者	発行日	変更内容
**	5008511	HZEN	11/13/2015	これは英語版 002-03631 Rev. ** を翻訳した日本語版 002-04138 Rev. ** です。
*A	5132410	HZEN	03/18/2016	これは英語版 002-03631 Rev. *A を翻訳した日本語版 002-04138 Rev. *A です。 Updated チップセレクト (CS#). Updated 命令サイクル (QPI モード). Updated Note 1 in Table 7.1. Updated heading title in サイプレスでプログラムされた固有 ID. Updated Note 3 in 不揮発性コンフィギュレーションレジスタ 2 (CR2NV). Updated Table 7.3 and Table 13.13.
*B	6546619	SSAS	04/17/2019	これは英語版 002-03631 Rev. *F を翻訳した日本語版 002-04138 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

Arm®Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2015-2019. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含むは、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限定されない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に請じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分という。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ、Spansion, Spansion のロゴ及びこれらの組み合わせ、WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。