

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

64M ビット (8M バイト)、3.0V FL-L SPI フラッシュ メモリ

概要説明

サイプレスの FL-L ファミリ デバイスはフラッシュ不揮発性メモリ製品であり、以下の技術を使用しています。

■ フローティング ゲート テクノロジー

■ 65nm プロセス リソグラフィ

FL-L ファミリはシリアル ペリフェラル インターフェース (SPI) を介してホスト システムに接続します。従来の SPI シングル ビット シリアル入出力 (シングル I/O - SIO) だけでなく、オプションの 2 ビット (デュアル I/O - DIO) および 4 ビット幅クアド I/O (QIO) とクアド ペリフェラル インターフェース (QPI) コマンドにも対応しています。さらに、アドレスと読み出しデータをクロックの両方のエッジで転送する、QIO および QPI 用のダブル データ レート (DDR) 読み出しコマンドに対応しています。

アーキテクチャは 1 回の動作で最大 256 バイト のプログラミングを可能にするページ プログラミング バッファを備えており、個別の 4KB セクタ、32KB ハーフ ブロック セクタ、64KB ブロック セクタ、またはチップ全体の消去機能を提供します。

より高い対応クロック レートで デバイスを使用することで、クアドまたは DDR クアド コマンドにより、命令読み出し転送速度は従来のパラレル インターフェース、非同期、NOR フラッシュ メモリの転送速度以上となり、信号数を著しく減少させています。

FL-L ファミリ製品は大容量に加えて、多くのモバイルや組み込みアプリケーションに必要な柔軟性および高速処理性能を提供します。スペース、信号接続、消費電力が限られているシステムに理想的なストレージ ソリューションを提供します。これらのメモリは通常のシリアル フラッシュ デバイスと比べて、はるかに優れた柔軟性および処理性能を提供します。これらは RAM へのコード シャドーイング、コードの直接実行 (XIP) および再プログラム可能なデータ保存に理想的です。

特長

■ マルチ I/O を備えたシリアルペリフェラルインターフェース (SPI)

- クロック極性と位相モード 0 と 3
- ダブル データ レート (DDR) オプション
- クアド ペリフェラル インターフェース (QPI) オプション
- 拡張アドレス指定: 24 ビットまたは 32 ビットアドレス指定オプション
- S25FL-A、S25FL1-K、S25FL-P、S25FL-S、S25FS-S SPI ファミリと互換性のあるシリアル コマンド サブセットおよびフットプリント
- S25FL-P、S25FL-S、S25FS-S SPI ファミリと互換性のあるマルチ I/O コマンド サブセットおよびフットプリント

■ 読み出し

- コマンド: 通常、高速、デュアル I/O、クアド I/O、デュアル O、クアド O、DDR クアド I/O
- モード: バースト ラップ、連続 (XIP)、QPI
- コンフィギュレーション情報用のシリアル フラッシュ検出可能なパラメーター (SFDP)

■ プログラム アーキテクチャ

- 256 バイトのページ プログラム バッファ
- プログラムの一時停止と再開

■ 消去アーキテクチャ

- ユニフォーム 4KB セクタ消去
- ユニフォーム 32KB ハーフ ブロック消去
- ユニフォーム 64KB ブロック消去
- チップ消去
- 消去の一時停止と再開

■ 100,000 プログラム/消去サイクル (Min)

■ 20 年のデータ保持期間 (Min)

■ セキュリティ機能

- ステータスおよびコンフィギュレーション レジスタ保護
- メインフラッシュアレイから独立した各 256 バイトの 4 つのセキュリティ領域
- レガシー ブロック保護: ブロック範囲
- 個別および領域保護
 - 個別ブロック ロック: 揮発性個別セクタ/ブロック
 - ポインター領域: 不揮発性セクタ/ブロック範囲
 - セキュリティ領域 2 と 3 およびポインター領域の電源ロックダウン、パスワード、または恒久的保護

■ テクノロジー

- 65nm フローティング ゲート テクノロジー

■ 単一電源電圧、CMOS I/O

- 2.7V ~ 3.6V

■ 温度範囲/グレード

- 産業用 (-40°C ~ +85°C)
- 産業用 プラス (-40°C ~ +105°C)
- 車載向け、AEC-Q100 グレード 3 (-40°C ~ +85°C)
- 車載向け、AEC-Q100 グレード 2 (-40°C ~ +105°C)
- 車載向け、AEC-Q100 グレード 1 (-40°C ~ +125°C)

■ パッケージ (すべて鉛フリー)

- 8 リード SOIC 208mil (SOC008)
- 16 リード SOIC 300mil (SO3016)
- USON 4 × 4mm (UNF008)
- WSON 5 × 6mm (WND008)
- BGA24 6 × 8mm
 - 5 × 5 ボール (FAB024) フットプリント
 - 4 × 6 ボール (FAC024) フットプリント
- 良品保証ベアダイ (KGD) およびテスト済みベアダイ (KTD)

主な性能

最大 SDR 読み出し速度

| コマンド | クロック レート (MHz) | MBps |
|----------|-------------------|------|
| 読み出し | 50 | 6.25 |
| 高速読み出し | 108 | 13.5 |
| デュアル読み出し | 108 | 27 |
| クアッド読み出し | 108 | 54 |

最大 DDR 読み出し速度

| コマンド | クロック レート (MHz) | MBps |
|--------------|-------------------|------|
| DDR クアッド読み出し | 54 | 54 |

代表的なプログラム／消去速度

| 動作 | KBps |
|------------------|------|
| ページ プログラム | 569 |
| 4KB セクタ 消去 | 61 |
| 32KB ハーフ ブロック 消去 | 106 |
| 64KB ブロック 消去 | 142 |

標準消費電流

| 動作 | 標準電流 | 単位 |
|-------------------------------|------|----|
| 読み出し 50MHz | 10 | mA |
| 高速読み出し 5MHz | 10 | |
| 高速読み出し 10MHz | 10 | |
| 高速読み出し 20MHz | 10 | |
| 高速読み出し 50MHz | 15 | |
| 高速読み出し 108MHz | 20 | |
| クアッド I/O / QPI 読み出し 108MHz | 20 | |
| クアッド I/O / QPI DDR 読み出し 33MHz | 15 | |
| クアッド I/O / QPI DDR 読み出し 54MHz | 17 | |
| プログラム | 17 | |
| 消去 | 17 | μA |
| スタンバイ SPI | 20 | |
| スタンバイ QPI | 35 | |
| ディープ パワー ダウン | 2 | |

目次

| | | | |
|--------------------------------------|----|---|-----|
| 1. 製品概要 | 4 | 8.6 フラッシュ アレイ消去のコマンド | 86 |
| 1.1 デバイス ファミリー移行時の注意事項 | 4 | 8.7 セキュリティ領域アレイのコマンド | 93 |
| 2. ピン配置図 | 6 | 8.8 個別ブロック ロックのコマンド | 95 |
| 2.1 SOIC 16リード | 6 | 8.9 ポインター領域のコマンド | 99 |
| 2.2 8コネクタ パッケージ | 7 | 8.10 個別および領域保護 (IRP) のコマンド | 100 |
| 2.3 BGAボール フットプリント | 8 | 8.11 リセットのコマンド | 105 |
| 2.4 FBGAパッケージの取扱注意事項 | 8 | 8.12 ディープ パワー ダウンのコマンド | 106 |
| 3. 信号説明 | 9 | 9. データの完全性 | 108 |
| 3.1 入出力のまとめ | 9 | 9.1 消去可能回数 | 108 |
| 3.2 マルチ入力/出力 (MIO) | 10 | 9.2 データ保持 | 108 |
| 3.3 シリアル クロック (SCK) | 10 | 10. ソフトウェア インターフェース リファレンス | 109 |
| 3.4 チップ セレクト (CS#) | 10 | 10.1 JEDEC JESD216Bシリアル フラッシュ検出可能 | |
| 3.5 シリアル 入力 (SI)/IO0 | 10 | パラメーター | 109 |
| 3.6 シリアル出力 (SO)/IO1 | 10 | 10.2 デバイスIDアドレス マップ | 117 |
| 3.7 書き込み保護 (WP#)/IO2 | 10 | 10.3 工場出荷時の初期状態 | 117 |
| 3.8 IO3/RESET# | 11 | 11. 電氣的仕様 | 118 |
| 3.9 RESET# | 11 | 11.1 絶対最大定格 | 118 |
| 3.10 電源電圧 (VCC) | 11 | 11.2 ラッチアップ仕様 | 118 |
| 3.11 電源および信号グラウンド (V _{SS}) | 11 | 11.3 熱抵抗 | 118 |
| 3.12 未接続 (NC) | 11 | 11.4 動作範囲 | 118 |
| 3.13 将来に使用するために予約済み (RFU) | 11 | 11.5 電源投入および電源切断 | 119 |
| 3.14 使用禁止 (DNU) | 11 | 11.6 直流規格 | 121 |
| 4. ブロック図 | 12 | 12. タイミング仕様 | 124 |
| 4.1 システム ブロック図 | 12 | 12.1 スイッチング波形 | 124 |
| 5. 信号プロトコル | 14 | 12.2 交流テスト条件 | 124 |
| 5.1 SPIクロック モード | 14 | 12.3 リセット | 125 |
| 5.2 コマンド プロトコル | 15 | 12.4 SDR交流規格 | 128 |
| 5.3 インターフェース状態 | 19 | 12.5 DDR交流規格 | 131 |
| 5.4 データ保護 | 22 | 12.6 組み込みアルゴリズム性能表 | 133 |
| 6. アドレス空間マップ | 23 | 13. 注文情報 | 134 |
| 6.1 概要 | 23 | 14. 外形図 | 136 |
| 6.2 フラッシュ メモリ アレイ | 23 | 14.1 SOIC 8リード、208mil本体幅 (SOC008) | 136 |
| 6.3 IDアドレス空間 | 24 | 14.2 SOIC 16リード、300mil本体幅 (SO3016) | 137 |
| 6.4 JEDEC JESD216シリアル フラッシュ検出可能 | | 14.3 USON 4x4mm (UNF008) | 138 |
| パラメーター (SFDP) 空間 | 24 | 14.4 WSON 5x6mm (WND008) | 139 |
| 6.5 セキュリティ領域アドレス空間 | 24 | 14.5 ボール グリッド アレイ、24ボール6x8mm (FAB024) | 140 |
| 6.6 レジスタ | 25 | 14.6 ボール グリッド アレイ、24ボール6x8mm (FAC024) | 141 |
| 7. データ保護 | 41 | 15. 他のリソース | 142 |
| 7.1 セキュリティ領域 | 41 | 15.1 用語 | 142 |
| 7.2 ディープ パワー ダウン | 41 | 15.2 サイプレス フラッシュ ロードマップへのリンク | 143 |
| 7.3 書き込みイネーブルのコマンド | 42 | 15.3 ソフトウェアへのリンク | 143 |
| 7.4 書き込み保護信号 | 42 | 15.4 アプリケーション ノートへのリンク | 143 |
| 7.5 ステータス レジスタ保護 (SRP1、SRP0) | 42 | 16. 改訂履歴 | 144 |
| 7.6 アレイ保護 | 44 | セールス、ソリューションおよび法律情報 | 145 |
| 7.7 個別および領域保護 | 49 | ワールドワイドな販売と設計サポート | 145 |
| 8. コマンド | 54 | 製品 | 145 |
| 8.1 コマンド セットのまとめ | 54 | PSoC®ソリューション | 145 |
| 8.2 IDのコマンド | 59 | サイプレス開発者コミュニティ | 145 |
| 8.3 レジスタ アクセスのコマンド | 63 | テクニカル サポート | 145 |
| 8.4 メモリ アレイ読み出しのコマンド | 76 | | |
| 8.5 プログラム フラッシュ アレイのコマンド | 84 | | |

1. 製品概要

1.1 デバイス ファミリ移行時の注意事項

1.1.1 機能比較

FL064L ファミリは前世代の FL-S、FL1-K、FL-P ファミリとコマンド サブセットおよびフットプリントの互換性があります。

表 1. サイプレス SPI ファミリの比較

| パラメーター | FL-L | FL-L | FL-S | FL1-K | FL-P |
|---------------------|---|---|---|---|---------------------------------|
| テクノロジー ノード | 65nm | 65nm | 65nm | 90nm | 90nm |
| アーキテクチャ | フローティングゲート | フローティングゲート | MirrorBit® Eclipse™ | フローティングゲート | MirrorBit® |
| リリース予定 | 量産中 | 量産中 | 量産中 | 量産中 | 量産中 |
| メモリ容量 | 64Mb | 256Mb | 128Mb ~ 1Gb | 16Mb ~ 64Mb | 32Mb ~ 256Mb |
| バス幅 | x1、x2、x4 | x1、x2、x4 | x1、x2、x4 | x1、x2、x4 | x1、x2、x4 |
| 電源電圧 | 2.7V ~ 3.6V | 2.7V ~ 3.6V | 2.7V ~ 3.6V / 1.65V ~ 3.6V V _{IO} | 2.7V ~ 3.6V | 2.7V ~ 3.6V |
| 通常読み出し速度 | 6MB/s (50MHz) | 6MB/s (50MHz) | 6MB/s (50MHz) | 6MB/s (50MHz) | 5MB/s (40MHz) |
| 高速読み出し速度 | 13MB/s (108MHz) | 16.5M/s (133MHz) | 17MB/s (133MHz) | 13MB/s (108MHz) | 13MB/s (104MHz) |
| デュアル読み出し速度 | 26MB/s (108MHz) | 33MB/s (133MHz) | 26MB/s (104MHz) | 26MB/s (108MHz) | 20MB/s (80MHz) |
| クアッド読み出し速度 | 52MB/s (108MHz) | 66MB/s (133MHz) | 52MB/s (104MHz) | 52MB/s (108MHz) | 40MB/s (80MHz) |
| クアッド読み出し速度 (DDR) | 54MB/s (54MHz) | 66MB/s (66MHz) | 80MB/s (80MHz) | | |
| プログラムバッファサイズ | 256B | 256B | 256B / 512B | 256B | 256B |
| 消去セクタ/ブロックサイズ | 4KB / 32KB / 64KB | 4KB / 32KB / 64KB | 64KB / 256KB | 4KB / 64KB | 64KB / 256KB |
| パラメーターセクタサイズ | - | - | 4KB (オプション) | | 4KB |
| セクタ/ブロック消去速度 (Typ) | 61KB/s (4KB) 106KB/s (32KB) 142KB/s (64KB) | 80KB/s (4KB) 168KB/s (32KB) 237KB/s (64KB) | 500KB/s | 80KB/s (4KB) 128KB/s (64KB) | 130KB/s |
| ページ プログラム速度 (Typ) | 569KB/s (256B) | 854KB/s (256B) | 1.2MB/s (256B) 1.5MB/s (512B) | 365KB/s | 170KB/s |
| セキュリティ領域/OTP | 1024B | 1024B | 1024B | 768B (3 × 256B) | 506B |
| 個別および領域保護または高度セクタ保護 | 有 | 有 | 有 | 有 | 無 |
| 消去一時停止/再開 | 有 | 有 | 有 | 有 | 無 |
| プログラム一時停止/再開 | 有 | 有 | 有 | 有 | 無 |
| 動作温度 | -40°C ~ +85°C -40°C ~ +105°C -40°C ~ +125°C | -40°C ~ +85°C -40°C ~ +105°C -40°C ~ +125°C | -40°C ~ +85°C -40°C ~ +105°C | -40°C ~ +85°C -40°C ~ +105°C -40°C ~ +125°C | -40°C ~ +85°C -40°C ~ +105°C |

注：

1. 詳細情報は個別のデータシートを参照してください。

1.1.2 前世代との既知の相違

1.1.2.1 エラー報告

保護されたセクタをプログラムまたは消去しようとする場合、FL-K、FL1-K および FL-P メモリはエラー ステータス ビットがないか、またはそれらをセットしません。本製品ファミリは、プログラムと消去の動作にエラー レポート ステータス ビットを持っています。プログラムまたは消去に内部エラーが発生した場合、または保護されたセクタをプログラム／消去しようとした場合、これらのビットがセットされます。これらの場合、プログラムや消去動作がコマンドに従って完了していません。P_ERR または E_ERR ビットと WIP ビットは SR1V で 1 にセットされ、1 のままに維持されます。エラーをクリアしデバイスをスタンバイ状態に戻すために、ステータス レジスタ クリア コマンドを送信する必要があります。

1.1.2.2 ステータス レジスタ保護 1 ビット

コンフィギュレーション レジスタ 1 の SRP1 ビット CR1V[0] は、前世代での FREEZE ビットと同様にレガシー ブロック保護ビット (SR1NV[5:2] と SR1V[5:2])、CMP_NV (CR1NV[6]) および TBPROT_NV ビット (SR1NV[6]) の状態をロックします。FS-S および FL-S ファミリでは、FREEZE ビットはコンフィギュレーション レジスタ 1 の BPNV_O ビット (CR1NV[3]) およびセキュア シリコン領域 (OTP) の状態もロックします。

1.1.2.3 WRR シングル レジスタ書き込み

いくつかのレガシー SPI デバイスでは、1 つのみのデータ バイトを持つレジスタ書き込み (WRR) コマンドがステータス レジスタ 1 を更新し、クアッド モード ビットを含むコンフィギュレーション レジスタ 1 のいくつかのビットをクリアします。これは、クワッド モードの意図しない終了につながる可能性があります。本製品ファミリは単一のデータ バイトが与えられたとき、ステータス レジスタ 1 だけを更新します。この場合、コンフィギュレーション レジスタ 1 は変更されません。

1.1.2.4 他の未対応のレガシー コマンド

- 自動ブート関連のコマンド
- バンク アドレス関連のコマンド
- HOLD# は RESET# に置き換えられる

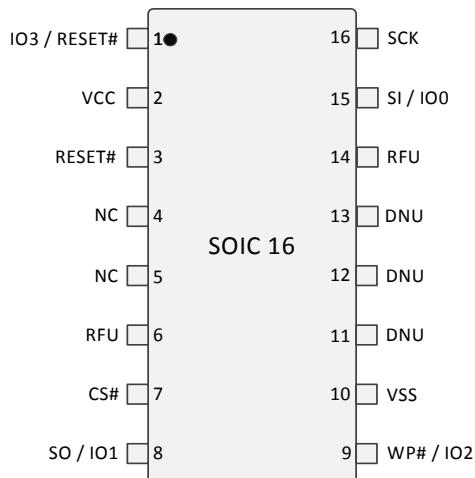
1.1.2.5 新機能

本製品ファミリはサイプレス SPI カテゴリのメモリに以下の新機能を導入します。

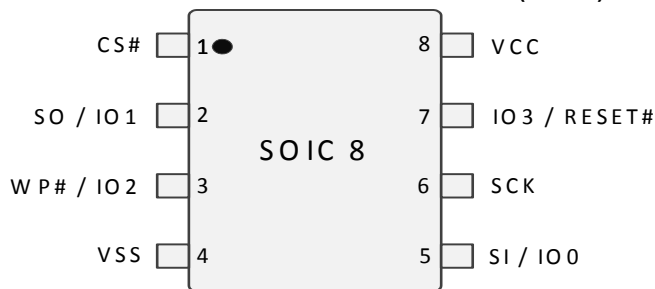
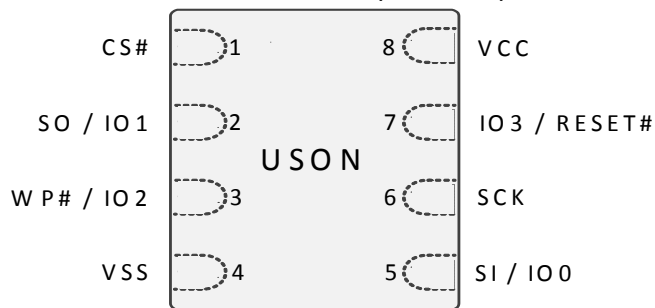
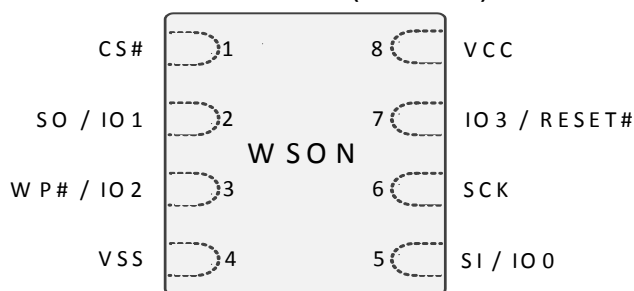
- セキュリティ領域パスワード保護
- IRP 個別領域保護

2. ピン配置図

2.1 SOIC 16 リード

図 1. 16 リード SOIC パッケージ (SO3016)、上面図


2.2 8 コネクタ パッケージ

図 2. 8 ピン プラスチック小型パッケージ (SOIC8)

図 3. 8 コネクタ パッケージ (USON 4x4)、上面図

図 4. 8 コネクタ パッケージ (WSON 5x6)、上面図^[3]


注:

2. 信号接続は FAC024 BGA と同じ相対位置にあるため、プリント基板の単一のフットプリントでいずれのパッケージにも使用できます。
3. RESET# 入力には内部プルアップ抵抗に接続しており、クアッド モードとハードウェア リセットが使用されない場合はシステムで開放のままにできます。

2.3 BGA ボール フットプリント

図 5. 24 ボール BGA、5x5 ボール フットプリント (FAB024)、上面図^[4, 5]

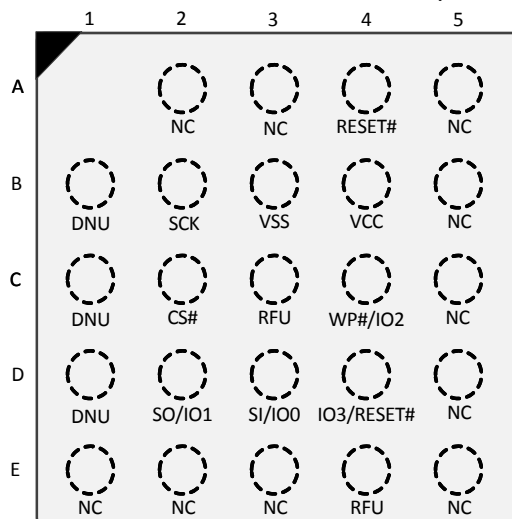
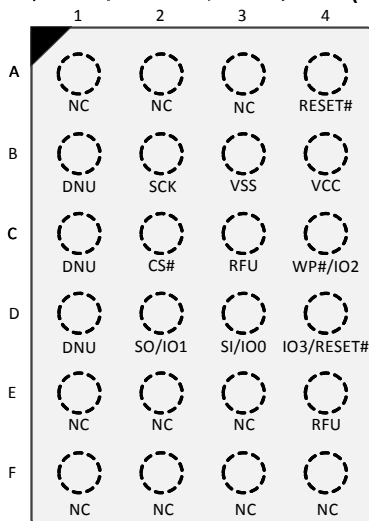


図 6. 24 ボール BGA、4x6 ボール フットプリント (FAC024)、上面図^[5]



2.4 FBGA パッケージの取扱注意事項

BGA パッケージのフラッシュ メモリ デバイスは超音波洗浄にさらされると損傷する場合があります。パッケージ本体を長時間にわたって温度 150°C 以上の環境に放置すると、パッケージならびにデータの完全性が損なわれることがあります。

注：

4. 信号接続は FAC024 BGA と同じ相対位置にあるため、プリント基板の単一のフットプリントでいずれのパッケージにも使用できます。
5. RESET# 入力は内部プルアップ抵抗に接続しており、クアッド モードとハードウェア リセットが使用されない場合はシステムで開放のままにできます。

3. 信号説明

複数の入力／出力を備えるシリアル ペリフェラル インターフェース (SPI-MIO)

多くのメモリ デバイスは、別々のパラレル制御、アドレスおよびデータ信号でホスト システムに接続し、多数の信号接続とより大きいパッケージ サイズを必要とします。接続が多いほど信号スイッチングが多くなるため、消費電力は増加します。パッケージ が大きいほどコストは高くなります。

S25FL-L ファミリはすべての制御、アドレス、データ情報を 6 信号を介して順次転送することで、ホスト システムへの接続に必要な信号数を減らします。これにより、メモリ パッケージのコストを削減し、信号スイッチングに必要な電力を削減するほか、ホスト接続数を削減し、その他の機能を使用できるようにホスト コネクタを解放します。

S25FL-L ファミリは業界標準のシングル ビット SPI を使用し、2 ビット (デュアル) と 4 ビット (クアッド) 幅のシリアル転送用のオプションの拡張コマンドにも対応しています。複数幅インターフェースは SPI マルチ I/O (SPI-MIO) と呼ばれます。

3.1 入出力のまとめ

表 2. 信号一覧

| 信号名 | タイプ | 説明 |
|-----------------|------|--|
| RESET# | 入力 | ハードウェアリセット : LOW にすると、デバイスはリセットし、スタンバイ状態に復帰し、コマンドを受け入れられます。信号は内部プルアップ抵抗に接続され、ホスト システムで使用されない場合は開放のままにできます。 |
| SCK | 入力 | シリアル クロック |
| CS# | 入力 | チップ セレクト |
| SI / IO0 | I/O | シングル ビット データ コマンド用の シリアル入力 、またはデュアル/クアッド コマンド用の IO0 です。 |
| SO / IO1 | I/O | シングル ビット データ コマンド用の シリアル出力 、またはデュアル/クアッド コマンド用の IO1 です。 |
| WP# / IO2 | I/O | クアッド モードではない (CR1V[1]=0、SR1NV[7]=1) 場合は 書き込み保護 です。 クアッド モードである (CR1V[1]=1) 場合は IO2 です。 信号は内部プルアップ抵抗に接続され、ホスト システムでクアッド コマンドまたは書き込み保護に使用されない場合は開放のままにできます。SR1NV[7]=1、CR1V[1]=0 にセットすることで書き込み保護を有効にする場合、ホスト システムは WRR または WRAR コマンドの実行中に WP# を HIGH または LOW に駆動する必要があります。 |
| IO3 / RESET# | I/O | クアッド I/O モードである (コンフィギュレーション レジスタ 1 の QUAD ビット CR1V[1]=1) 場合、または QPI モードで (コンフィギュレーション レジスタ 2 の QPI ビット CR2V[3]=1)、CS# が LOW である場合は IO3 です。 CR2V[7]=1 により有効にされ、クアッド I/O モードではない (CR1V[1]=0) 場合、またはクアッド モード (CR1V[1]=1) で、CS# が HIGH である場合は RESET# です。 信号は内部プルアップ抵抗に接続され、ホスト システムでクアッド コマンドまたは RESET# に使用されない場合は開放のままにできます。 |
| V _{CC} | 電源 | 電源 |
| V _{SS} | 電源 | グランド |
| NC | 未使用 | 未接続 : デバイスの内部信号はパッケージ コネクタに接続されず、信号にコネクタを使用する計画也没有。接続は、プリント基板 (PCB) 上で信号の配線スペース向けに安全に使用できます。ただし、NC に接続されたすべての信号は電圧レベルが V _{CC} 以下でなければなりません。 |
| RFU | 予約済み | 将来使用するために予約済み : 現時点ではパッケージ コネクタに接続しているデバイスの内部信号はありませんが、将来コネクタを信号に使用する可能性があります。RFU コネクタを PCB 配線チャネルに使用しないことを推奨します。それによって、PCB はフットプリントの互換性があるデバイスの将来の拡張機能を活用できます。 |
| DNU | 予約済み | 使用禁止 : デバイスの内部信号がパッケージ コネクタに接続される可能性があります。接続はサイプレスによってテスト用または他の目的で使用され、ホスト システムの信号に接続するためのものではありません。DNU 信号が V _{IL} のとき、DNU 信号に関連するすべての機能は無効になります。信号は内部プルダウン抵抗に接続され、ホスト システムで開放のままにされるか、または V _{SS} に接続できます。これらの接続を PCB 信号配線チャネルに使用しないでください。ホスト システム信号をこれらの信号に接続しないでください。 |

注 :

- 内部プルアップまたはプルダウン抵抗に接続された入力の消費電流は 2μA 未満です。電源投入時のみ、最大電流は 4μS の間、150μA になります。プルアップまたはプルダウン抵抗は、標準プロセスで V_{CC}=3.3V、-40°C の場合は約 4.5MΩ、90°C の場合は約 6.6MΩ です。

3.2 マルチ入力／出力 (MIO)

従来の SPI シングル ビット 幅 コマンド (シングル または SIO) は シリアル 入力 (SI) 信号 のみ で、情報 を ホスト から メモリ へ 送信 し ます。データ は シリアル 出力 (SO) 信号 で ホスト へ 順次 戻 され ます。

デュアル または クアッド 入出力 (I/O) コマンド は SI / IO0 信号 のみ で 命令 を メモリ に 送信 し ます。アドレス、または データ は IO0 と IO1 信号 上 で ビット ペア、または IO0、IO1、IO2、IO3 信号 上 で 4 ビット (ニブル) グループ で ホスト から メモリ へ 送信 され ます。データ は 同様 に IO0 と IO1 信号 上 で ビット ペア、または IO0、IO1、IO2、IO3 信号 上 で 4 ビット (ニブル) グループ で ホスト へ 戻 され ます。

QPI モード では、すべての 命令、アドレス および データ が IO0、IO1、IO2、IO3 信号 上 で 4 ビット (ニブル) グループ で ホスト から メモリ へ 送信 され ます。データ は 同様 に IO0、IO1、IO2、IO3 信号 上 で 4 ビット (ニブル) グループ で ホスト へ 戻 され ます。

3.3 シリアル クロック (SCK)

入力 信号 は SPI インターフェース に 同期 基準 を 提供 し ます。命令、アドレス または データ 入力 は SCK 信号 の 立ち 上がり エッジ で ラッチ され ます。SDR コマンド では、データ 出力 は SCK の 立ち 下がり エッジ の 後 に 変化 し ます。

3.4 チップ セレクト (CS#)

チップ セレクト 信号 は、コマンド が デバイス から または デバイス へ 情報 を 送信 し、その他の 信号 が メモリ デバイス に 関連 し て いる 時点 を 示 し ます。

CS# 信号 が 論理 HIGH の とき、デバイスは 選択 され ず、すべての 入力 信号 は 無視 され、すべての 出力 信号 は 高インピーダンス です。内部 の 組み込み 動作 が まだ 実行 中 である 場合 を 除き、デバイスは スタンバイ 電力 モード に 入り ます。組み込み 動作 は、完了 する ま で、ステータス レジスタ 1 の「書き込み 中」ビット (SR1V[0]) が 1 に セット される こと により 示 され ます。組み込み 動作 の 例 と し ては、プログラム、消去、レジスタ 書き込み (WRR) 動作 が あり ます。

CS# 入力 を 論理 LOW に すると、デバイスは 有効 になり、アクティブ 電力 モード に 入り ます。電源 投入 後、あらゆる コマンド が 開始 する 前 に CS# の 立ち 下がり エッジ が 必要 です。

3.5 シリアル 入力 (SI) / IO0

この 入力 信号 は データ を デバイス に 順次 転送 する ため に 使用 され ます。命令、アドレス および プログラム される データ を 受信 し ます。値 は シリアル SCK クロック 信号 の 立ち 上がり エッジ で ラッチ され ます。デュアル と クアッド コマンド の 実行 中、SI は I/O0 と なり ます。命令、アドレス、プログラム される データ (シリアル SCK クロック 信号 の 立ち 上がり エッジ で ラッチ される 値) の 受信、および データ の シフト アウト (SDR コマンド の 場合 は SCK の 立ち 下がり エッジ で、DDR コマンド の 場合 は SCK の すべて の エッジ で) の ため の 入出力 です。

3.6 シリアル 出力 (SO) / IO1

この 出力 信号 は データ を デバイス から シリアル 転送 する ため に 使用 され ます。データ は シリアル SCK クロック 信号 の 立ち 下がり エッジ で シフト アウト され ます。デュアル と クアッド コマンド の 実行 中、SO は IO1 と なり ます。アドレス と プログラム される データ (シリアル SCK クロック 信号 の 立ち 上がり エッジ で ラッチ される 値) の 受信、および データ の シフト アウト (SDR コマンド の 場合 は SCK の 立ち 下がり エッジ で、DDR コマンド の 場合 は SCK の すべて の エッジ で) の ため の 入出力 です。

3.7 書き込み 保護 (WP#) / IO2

WP# が LOW (V_{IL}) の 間、ステータス レジスタ 1 の ステータス レジスタ 保護 0 ビット SRP0_NV または SRP0 (SR1NV[7] または SR1V[7]) が 1 に セット され た 場合、ステータス レジスタ、コンフィギュレーション レジスタ または DLR レジスタ に 書き込め ません。この 場合、SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRN NV および DLRV を 選択 する コマンド は 無視 され、エラー が セット され ません。

これ により、レガシー ブロック 保護 設定 の 変更 を 防止 し ます。結果 として、SRP0_NV が 1 に セット され て おり、かつ ステータス レジスタ、コンフィギュレーション レジスタ または DLR レジスタ を 変更 する コマンド が 実行 され て いる 間、WP# が LOW である 場合、レガシー ブロック 保護 機能 により 保護 される メモリ 領域 の すべて の データ バイト は ハードウェア によっ て も データ の 変更 から 保護 され ます。同様に、セキュリティ 領域 ロック ビット (LB3 ~ LB0) は プログラム から 保護 され ます。

クアッド モード が 有効 (CR1V[1]=1) である か、または QPI モード が 有効 (CR2V[3]=1) である 場合、WP# 機能 は 使用 でき ません。クアッド モード または QPI モード が 有効 (CR2V[3]=1) の 間、WP# 機能 は IO2 に 置き 換え ら れ ます。アドレス と プログラム される データ (SCK 信号 の 立ち 上がり エッジ で ラッチ される 値) の 受信 および データ の シフト アウト (SDR コマンド の 場合 は SCK の 立ち 下がり エッジ で、DDR コマンド の 場合 は SCK の すべて の エッジ で) の ため の 入出力 です。

WP# は 内部 の プルアップ 抵抗 に 接続 され て います。外部 に 接続 され て いない とき、WP# は V_{IH} であり、クアッド モード、QPI モード または 保護 に 使用 され ない 場合、ホスト システム で 開放 に でき ます。

3.8 IO3 / RESET#

クアッド モード (CR1V[1]=1) または QPI モードが有効 (CR2V[3]=1) の間、IO3 はアドレスとプログラムされるデータ (SCK 信号の立ち上がりエッジでラッチされる値) の受信およびデータのシフトアウト (SDR コマンドの場合は SCK の立ち下がりエッジで、DDR コマンドの場合は SCK のすべてのエッジで) のための入出力に使用されます。

IO3 / RESET# 機能が揮発性または不揮発性コンフィギュレーション レジスタ 2 のビット 7 の書き込み (CR2V[7]=1 または CR2NV[7]=1) により有効にされた場合、IO3 / RESET# 入力はハードウェア リセット機能を開始するために使用できます。デバイスがクアッド モード (114、144、444) でないか (CR1V[1]=0)、または CS# が HIGH の場合、入力は RESET# としてのみ扱われます。クアッド モードのとき (CR1V[1]=1)、または QPI モードが有効 (CR2V[3]=1) であり、かつデバイスが CS# LOW で選択されている場合、IO3 / RESET# は情報転送のために IO3 としてのみ使用されます。CS# が HIGH の場合、IO3 / RESET# は情報転送のために使用されず、リセット入力として使用されます。クアッド モード (114、144、444) の間、CS# HIGH 時のリセット動作を調整することで、リセット機能を有効のままにできます。

システムがリセットの状態に入る場合、CS# 信号はリセット プロセスの一部として HIGH に駆動しなければならず、IO3 / RESET# 信号は LOW に駆動されます。CS# が HIGH になったとき、IO3 / RESET# 入力は IO3 である状態からリセット入力に遷移します。その後、CS# が HIGH のままであり、かつ IO3/RESET# 信号が t_{RP} の間 LOW のままである場合、リセット状態は検出されます。リセットが意図されていない場合、メモリへのデータの転送の終わりに、システムは IO3 / RESET# と CS# を HIGH に駆動する必要があります。データをホストシステムへ転送した後、メモリは t_{CS} の間 IO3 を HIGH に駆動します。これにより、IO3 / RESET# は開放の状態にならず、内部あるいは外部のパッシブプルアップ抵抗によって HIGH にゆっくりプルアップされません。したがって、 t_{RP} が経過する前に IO3 / RESET# が HIGH として認識されないことによる意図されないリセットはトリガーされません。

CR2V[7]=0 のとき、IO3 / RESET# 入力リセット機能は無効です。

IO3 / RESET# 入力は内部プルアップ抵抗に接続しており、クアッド モードまたはリセット機能に使用されない場合、ホストシステムで開放にできます。ホストシステムによる IO3 / RESET# 信号の HIGH 駆動から信号の駆動停止の後、内部プルアップ抵抗が IO3 / RESET# 信号を HIGH のままに維持します。

いずれかの SPI-MIO メモリがクアッド I/O モードで動作している場合、IO3 / RESET# は 2 つ以上の SPI-MIO メモリによって共有できないことに注意してください。理由は、1 つの選択されたメモリとの間で駆動されている IO3 が、同じ IO3 / RESET# 信号を共有している 2 番目の選択されないメモリによってリセット信号と認識される場合があるからです。

3.9 RESET#

RESET# 入力は、デバイスをハードウェア的にスタンバイ状態にリセットして、コマンドを受信できるようにします。RESET# が少なくとも t_{RP} の 1 周期の間論理 LOW (V_{IL}) に駆動されたとき、デバイスはハードウェア リセット プロセスを開始します。

RESET# は、電源投入時と同じ初期化プロセスを行い、 t_{PU} 時間を要します。

RESET# はいつでも LOW にアサートできます。データ完全性を保証するために、デバイスがコマンドシーケンスを受けられるようになると、ハードウェア リセットにより中断された動作を再実行する必要があります。

RESET# は内部プルアップ抵抗に接続しており、ホストシステムで使用されない場合は開放のままにすることがあります。ホストシステムによる RESET 信号の HIGH 駆動から信号の駆動停止の後、内部プルアップ抵抗が RESET 信号を HIGH のままに維持します。

パッケージ オプションによって、RESET# 入力は利用できない場合があります。使用されないとき、デバイスの RESET# 入力は無効な状態にされます。

3.10 電源電圧 (V_{CC})

V_{CC} はすべてのデバイスの内部ロジックの電圧ソースです。読み出し、プログラム、消去を含むデバイスのすべての内部機能に使用される単一の電圧です。

3.11 電源および信号グラウンド (V_{SS})

V_{SS} はデバイス コア、入力信号レシーバと出力ドライバー用の共通電圧ドレインとグラウンド リファレンス電圧です。

3.12 未接続 (NC)

デバイスの内部信号はパッケージ コネクタに接続されず、信号にコネクタを使用する計画ありません。接続はプリント基板 (PCB) 上で信号の配線スペース向けに安全に使用できます。

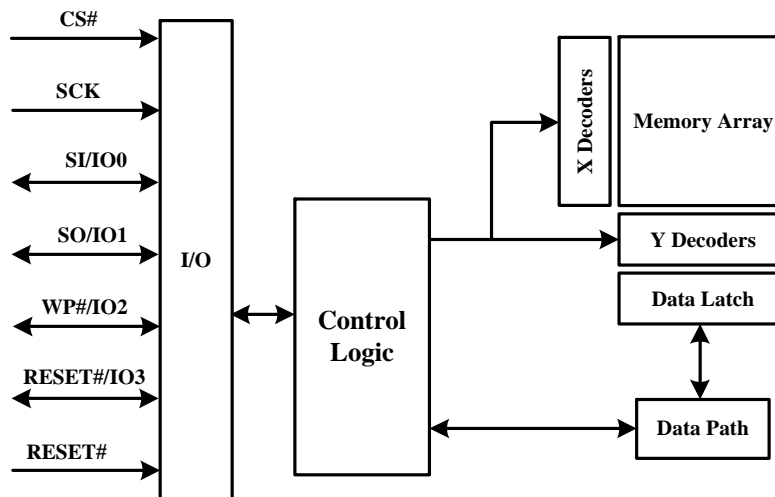
3.13 将来に使用するために予約済み (RFU)

現時点ではパッケージ コネクタに接続しているデバイスの内部信号はありませんが、将来コネクタを使用する可能性があります。RFU コネクタを PCB 配線チャンネルに使用しないことを推奨します。それによって、PCB はフットプリントの互換性があるデバイスの将来の拡張機能を活用できます。

3.14 使用禁止 (DNU)

デバイスの内部信号がパッケージ コネクタに接続される可能性があります。接続はサイプレスによってテスト用または他の目的で使用され、ホストシステムの信号に接続するためのものではありません。DNU 信号が V_{IL} のとき、DNU 信号に関連するすべての機能は無効になります。信号は内部プルダウン抵抗に接続され、ホストシステムで開放のままにされるか、または V_{SS} に接続できます。これらの接続を PCB 信号配線チャンネルに使用しないでください。ホストシステム信号をこれらの信号に接続しないでください。

4. ブロック図



4.1 システム ブロック図

図 7. SPI バス上のバス マスターおよびメモリ デバイス - シングル ビット データ パス

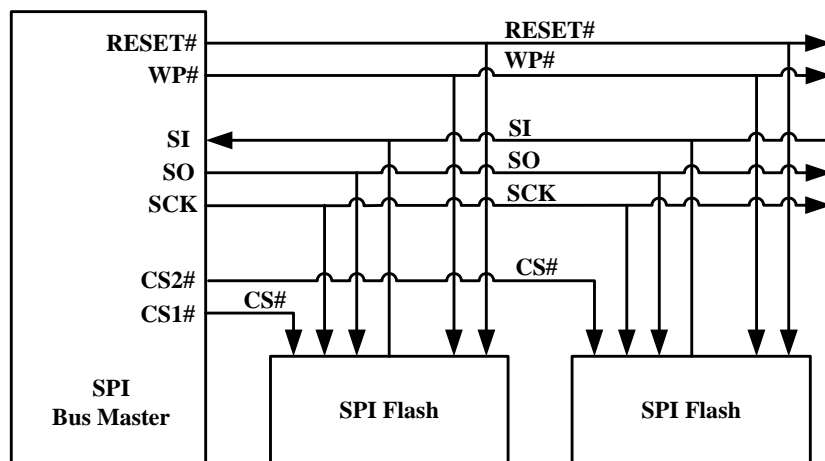


図 8. SPI バス上のバス マスターおよびメモリ デバイス - デュアル ビット データ パス

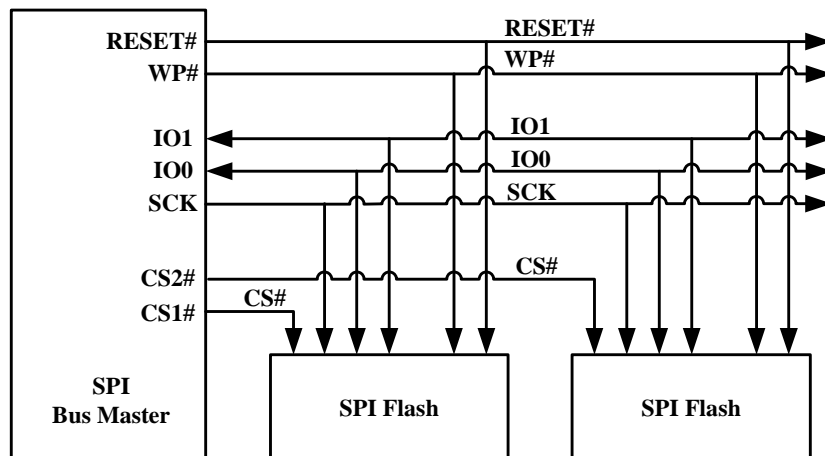


図 9. SPI バス上のバス マスターおよびメモリ デバイス - クアッド ビット データ パス - 個別 RESET#

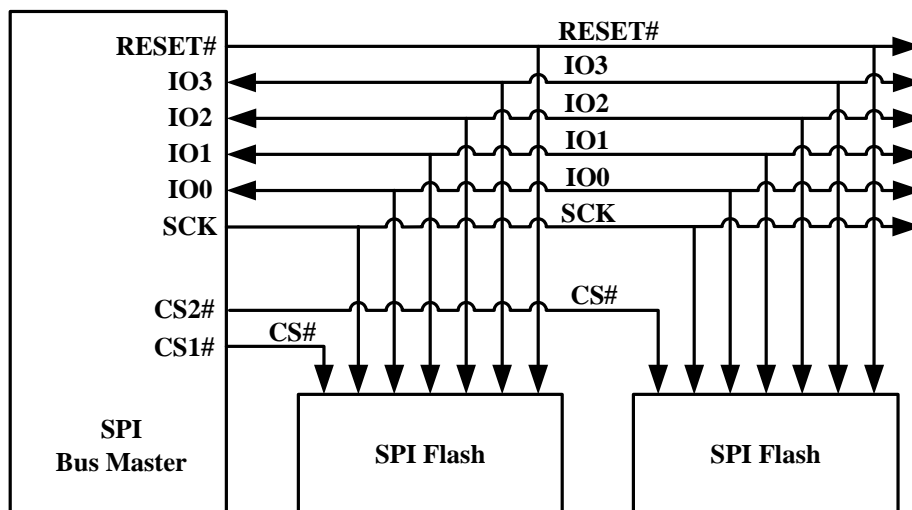
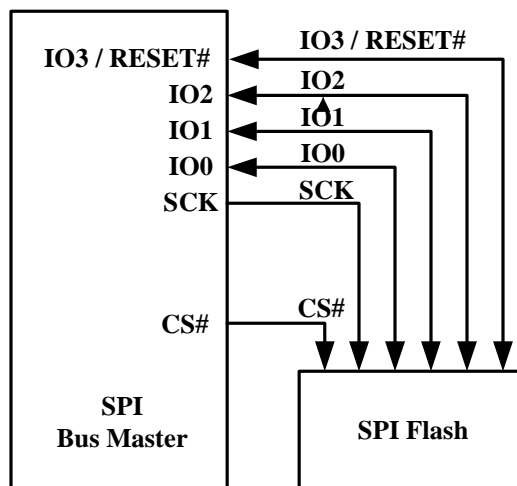


図 10. SPI バス上のバス マスターおよびメモリ デバイス - クアッド ビット データ パス - IO3 / RESET#



5. 信号プロトコル

5.1 SPI クロック モード

5.1.1 シングル データ レート (SDR)

FL-L ファミリーは以下の 2 つのクロック モードのどちらかで、組み込みマイクロコントローラー (バス マスター) によって駆動されます。

■ **モード 0:** クロック極性 (CPOL)=0、クロック位相 (CPHA)=0

■ **モード 3:** CPOL=1、CPHA=1

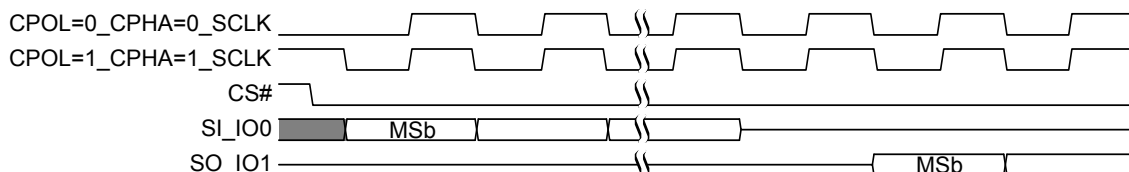
2 つのモードでは、デバイスへの入力データは常に SCK 信号の立ち上がりエッジでラッチされ、出力データは常に SCK クロック信号の立ち下がりエッジで得られます。

2 つのモードの異なる点は、バス マスターがスタンバイ モードであり、データを転送しないときのクロック極性です。

■ CPOL=0、CPHA=0 のとき、SCK は論理 LOW の状態にあります。

■ CPOL=1、CPHA=1 のとき、SCK は論理 HIGH の状態にあります。

図 11. 対応する SPI SDR モード



本文書の以降のタイミング図は、CS# の立ち下がりエッジのときに SCK が HIGH と LOW の両方として表示することにより、一般的にモード 0 とモード 3 の両方として示されます。場合によっては、タイミング図はモード 0 (CS# の立ち下がり時に SCK が LOW) のみを示します。その場合において、モード 3 のタイミングは単に CS# の立ち下がりエッジのときにクロックが HIGH であることを意味し、CS# の立ち下がりエッジまでの SCK の立ち上がりエッジのセットアップまたはホールド時間はモード 3 に必要がありません。

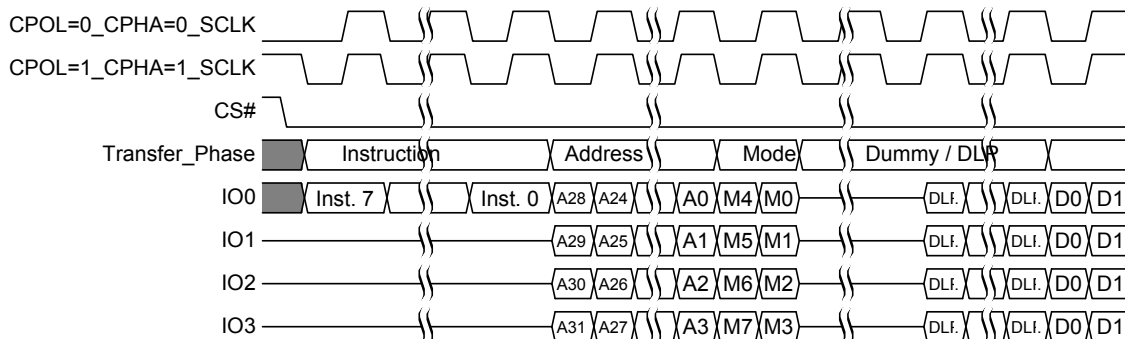
SCK サイクルは SCK の 1 つの立ち下がりエッジから次の立ち下がりエッジまで測定 (カウント) されます。モード 0 では、SCK がコマンドの開始時にすでに LOW であるため、コマンドの最初の SCK サイクルの始まりは CS# の立ち下がりエッジから SCK の最初の立ち下がりエッジまで測定されます。

5.1.2 ダブル データ レート (DDR)

モード 0 とモード 3 は DDR コマンドにも対応します。SDR コマンドと同様に DDR コマンドでは、命令ビットは常にクロックの立ち上がりエッジでラッチされます。ただし、命令の後に続くアドレスおよび入力データは SCK の立ち上がりエッジと立ち下がりエッジの両方でラッチされます。最初のアドレス ビットは、直前の命令ビットの終わりの立ち下がりエッジの後に続く SCK の最初の立ち上がりエッジでラッチされます。出力データの最初のビットは、直前のアクセス レイテンシ (ダミー) サイクルの最後の立ち下がりエッジで駆動されます。

SDR コマンドと同様に、SCK サイクルは SCK の 1 つの立ち下がりエッジから次の立ち下がりエッジまで測定 (カウント) されます。モード 0 では、SCK がコマンドの開始時にすでに LOW であるため、コマンドの最初の SCK サイクルの始まりは CS# の立ち下がりエッジから SCK の最初の立ち下がりエッジまで測定されます。

図 12. 対応する SPI DDR モード



5.2 コマンド プロトコル

ホスト システムと FL-L ファミリ メモリ デバイスの間のすべての通信はコマンドの形で行われます。すべてのコマンドの定義および詳細は [54 ページの 8. コマンド節](#) を参照してください。

すべてのコマンドは、情報転送のタイプ、または実行するデバイスの動作を選択する 8 ビットの命令で始まります。コマンドには、アドレス、命令修飾子、レイテンシ周期、メモリへのデータ転送、またはメモリからのデータ転送もあります。すべての命令、アドレスおよびデータ情報はホスト システムとメモリ デバイスの間で順次に転送されます。

コマンド プロトコルは、下記 3 つのコマンド フェーズの転送幅を示すために 3 つの番号を使用する数値命名により分類されます。

■ 命令

■ アドレスおよび命令修飾子 (連続読み出しモード ビット)

■ データ

シングル ビット幅コマンドは命令で開始し、SI 信号のみで送信されるアドレスまたはデータを提供します。データは SO 信号でホストへ順次戻されることがあります。シングル ビット幅命令、シングル ビット幅アドレスおよび修飾子、シングル ビット データ用の 1-1-1 コマンド プロトコルと呼ばれます。

デュアル出力またはクアッド出力のコマンドは SI (IO0) 上でシリアルとしてホストから送信されるアドレスを提供してからダミー サイクルを提供します。データは IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル出力用の 1-1-2 コマンド プロトコル、またはクアッド出力用の 1-1-4 コマンド プロトコルと呼ばれます。

デュアルまたはクアッド入出力 (I/O) コマンドは、IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループとしてホストから送信されるアドレスを提供してからダミー サイクルを提供します。データは同様に IO0 と IO1 信号上でビット ペア、または IO0、IO1、IO2、IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル I/O 用の 1-2-2 コマンド プロトコル、またはクアッド I/O 用の 1-4-4 コマンド プロトコルと呼ばれます。

FL-L ファミリは、命令、アドレス、修飾子およびデータを含み、すべての情報が 4 ビットの幅で転送される QPI モードにも対応します。4-4-4 コマンド プロトコルと呼ばれます。

コマンドは以下のとおり構成されます。

- 各コマンドは CS# が LOW になることで開始され、CS# が HIGH に戻ることで終了されます。メモリ デバイスはホストがコマンドを通してチップ セレクト (CS#) 信号を LOW に駆動することで選択されます。
- シリアル クロック (SCK) はホストとメモリの間の各ビットまたは各ビット グループの転送を示します。
- 各コマンドは 8 ビット (バイト) の命令で始まります。命令は、情報転送のタイプ、または実行するデバイスの動作を選択します。命令の転送は SCK の立ち上がりエッジで実行されます。ただし、いくつかの読み出しコマンドは、命令が前のコマンドから黙示的に示されるように、前の読み出しコマンドにより修正されます。連続読み出しモードと呼ばれます。デバイスが連続読み出しモードにあるとき、命令は連続読み出しモードを開始した読み出しコマンドと同じであるため、命令ビットはコマンドの始まりには送信されません。連続読み出しモードでは、コマンドは読み出しアドレスで開始されます。したがって、連続読み出しモードは一連の同じタイプの読み出しコマンドの各読み出しコマンドから 8 命令ビットを取り除きます。
- 命令は単独であるか、またはその後にデバイスの 1 つのアドレス空間内の位置を選択するアドレス ビットが続きます。命令は使用されるアドレス空間を決定します。アドレスは 24 ビットまたは 32 ビットのバイト境界アドレスです。アドレス転送は SDR コマンドでは SCK の立ち上がりエッジで、DDR コマンドでは SCK の両エッジで実行されます。
- レガシー SPI モードでは、命令の後に続くすべての転送の幅は送信される命令により決められます。その次の転送は SI あるいはシリアル出力 (SO) 信号のみでのシングル ビット シリアル転送であり続けるか、IO0 と IO1 信号上の 1 回の (デュアル) 転送当たりに 2 ビット グループで、または IO0 ~ IO3 信号上の 1 回の (クアッド) 転送当たりに 4 ビット グループで実行されます。デュアルまたはクアッドのグループでは、最下位ビットは IO0 信号上にあります。そのビットに比べて上位である各ビットはより高い番号付きの IO 信号に有意の順序で (上位から下位へ) 配置されます。シングル ビットまたはパラレル ビット グループは最上位ビットから最下位ビットまでの順で転送されます。
- QPI モードでは、すべての転送の幅は IO0 ~ IO3 信号上の 4 ビット幅 (クアッド) 転送です。
- デュアルとクアッド I/O 読み出し命令は、次のコマンドが黙示の命令 (明示的な命令でなく) と同じタイプであるかどうかを示すために、アドレスの後に、連続読み出しモード ビットと呼ばれる命令修飾子を送信します。モード ビットは連続読み出しモードを開始させるか、または終了させます。そのため、連続読み出しモードでは、次のコマンドは命令のバイトを提供せずに新しいアドレスおよびモード ビットのみを提供します。これにより、一連のコマンドで同じタイプのコマンドが繰り返された場合、各コマンドの送信に必要な時間を削減できます。モード ビットの転送は SDR コマンドの場合、SCK の立ち上がりエッジで行われ、DDR コマンドの場合、すべての SCK エッジで行われます。
- アドレスまたはモード ビットの後、メモリ デバイスに保存される書き込みデータが続くか、または読み出しデータがホストに戻る前に読み出しレイテンシ周期が続く場合があります。

- 書き込みデータ ビットの転送は SDR コマンドの場合、SCK の立ち上がりエッジで行われ、DDR コマンドの場合、すべての SCK エッジで行われます。
- SCK はすべての読み出しアクセスレイテンシ期間中は継続的にトグルします。レイテンシは 0 から数個の SCK サイクルです (ダミー サイクルとも呼ばれています)。最後の読み出しレイテンシ サイクルの終わりに、最初の読み出しデータ ビットが SCK 立ち上がりエッジで出力から駆動されます。最初の読み出しデータ ビットは次の SCK 立ち上がりエッジでホストへ転送されるものと見なされます。その次の転送は SDR コマンドの場合、次の SCK の立ち上がりエッジで行われ、DDR コマンドの場合、すべての SCK エッジで行われます。
- コマンドが読み出しデータをホストへ戻す場合、デバイスはホストが CS# 信号を HIGH にするまで、継続的にデータを送信します。CS# 信号は読み出しデータ シーケンスの任意の転送の後、HIGH に駆動できます。これにより、コマンドは終了します。
- データを戻さないコマンドの終わりに、ホストは CS# 入力を HIGH に駆動します。CS# 信号はスタンドアロン命令または転送される最後の書き込みデータ バイトの 8 ビット目の転送後に HIGH にしなければなりません。すなわち、CS# 信号を HIGH に駆動するのは LOW に駆動された後のビット数が 8 ビットの整数倍となる場合に限りです。CS# 信号が命令または書き込みデータの 8 ビット境界でしっかりと HIGH にならない場合、コマンドは拒否され、実行されません。
- すべての命令、アドレスおよびモード ビットは最上位ビット (MSb) からデバイスにシフトインされます。デバイスとの間のデータ ビットのシフトイン/シフトアウトは MSb から行われます。すべてのデータ転送はバイトの単位で、最下位アドレス バイトから行われます。その次のデータ バイトは最下位アドレス バイトから最上位アドレス バイトまで (すなわち、バイト アドレス インクリメント) の順序で送信されます。
- プログラム、消去、あるいは書き込みサイクル (組み込み動作) 中に、フラッシュ メモリ アレイを読み出そうとすると無視されます。組み込み動作は何の影響も受けず、実行が継続されます。組み込み動作中、ごく限られたコマンド セットは受け入れられます。各々のコマンド説明で記述します。
- コマンドによって実行時間が異なります。いつコマンドの実行が完了したか、およびコマンドが正常に完了したかどうかを判断するために、実行中のコマンドからステータス情報を読み出すコマンドが使用できます。

5.2.1 コマンド シーケンス例

図 13. スタンドアロン命令コマンド

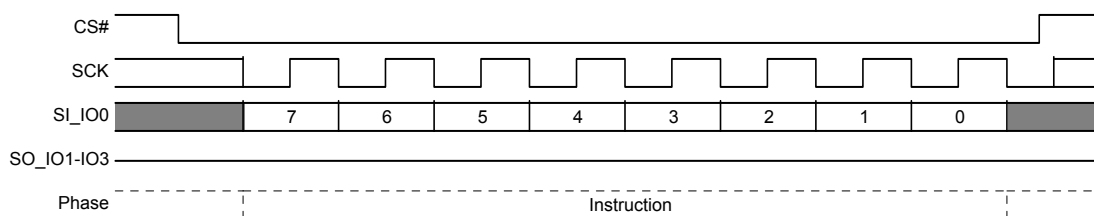


図 14. シングル ビット幅の入力コマンド

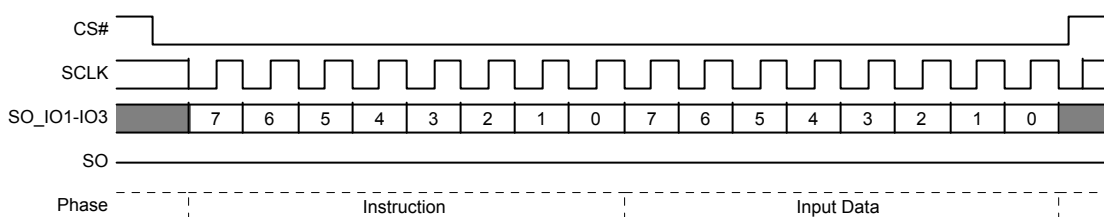


図 15. レイテンシなしのシングル ビット幅の出力コマンド

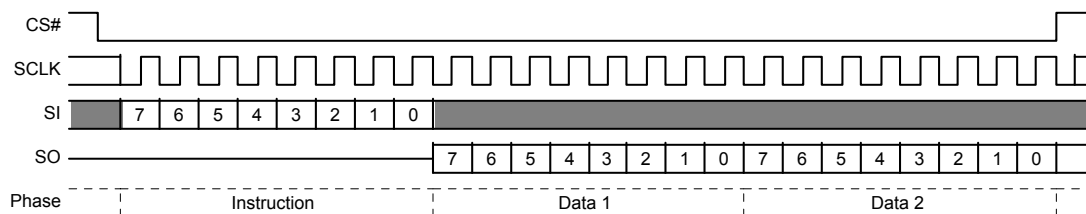


図 16. レイテンシ付きのシングルビット幅の I/O コマンド

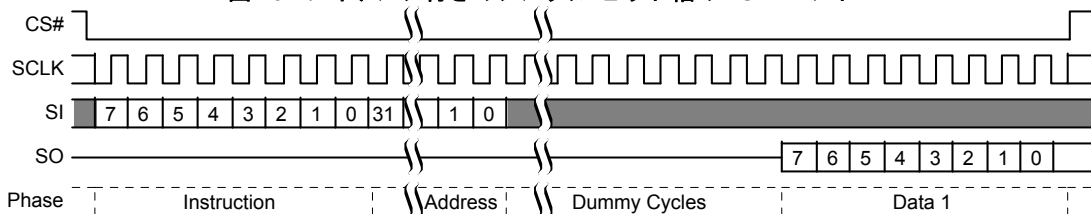


図 17. デュアル出力の読み出しコマンド

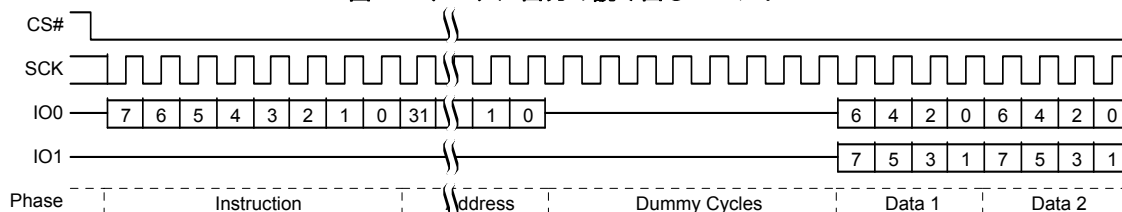


図 18. クアッド出力の読み出しコマンド

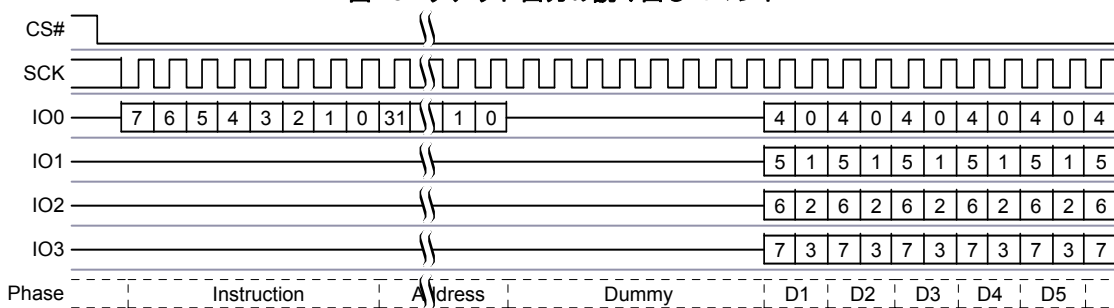
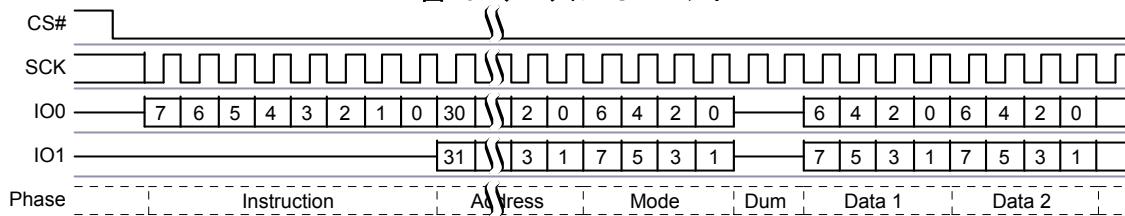
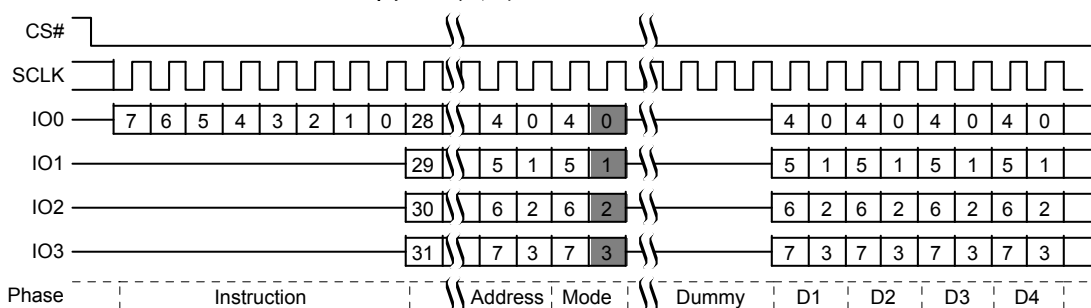
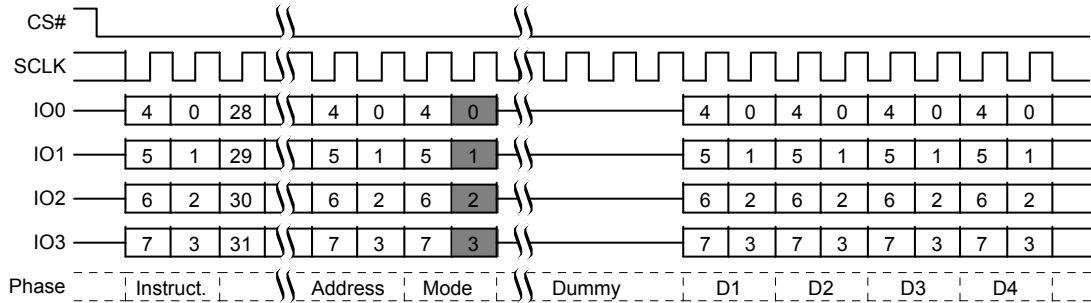
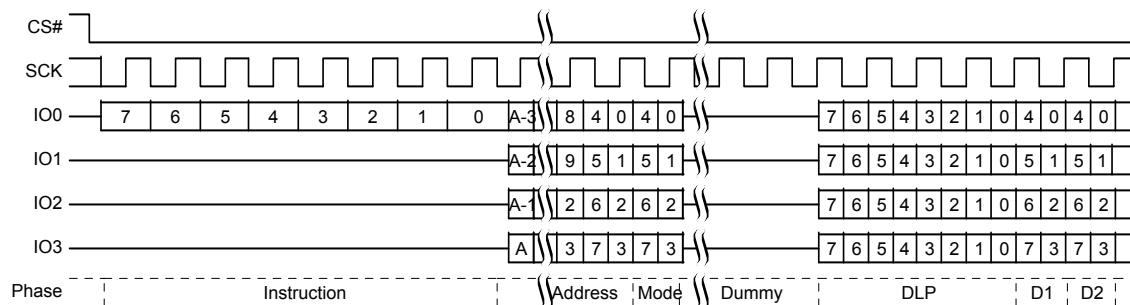
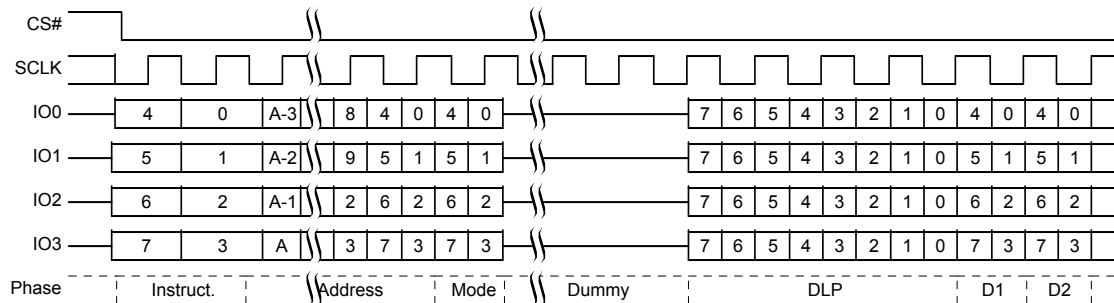


図 19. デュアル I/O コマンド


図 20. クアッド I/O コマンド⁷⁾

注：

7. 灰色のビットはオプションのビットであり、ホストはそのサイクル中にそれらのビットを駆動する必要がありません。

図 21. クアッド I/O 読み出しコマンド – QPI モード^[8]

図 22. DDR クアッド I/O 読み出しコマンド

図 23. DDR クアッド I/O 読み出しコマンド – QPI モード


各コマンド特定の更なるシーケンス図は [54 ページの 8. コマンド節](#) で記述されます。

注：

8. 灰色のビットはオプションのビットであり、ホストはそのサイクル中にそれらのビットを駆動する必要がありません。

5.3 インターフェース状態

本節では、SPI インターフェース動作に関連する入力と出力の信号レベルについて説明します。

表 3. インターフェース状態のまとめ

| インターフェース状態 | V _{CC} | SCK | CS# | RESET# | IO3 / RESET# | WP# / IO2 | SO / IO1 | SI / IO0 |
|---------------------------------|----------------------------|-----|-----|--------|-----------------|--------------|-------------|----------|
| 電源切断 | <V _{CC} (low) | X | X | X | X | X | Z | X |
| 低消費電力 ハードウェア データ保護 | <V _{CC} (cut-off) | X | X | X | X | X | Z | X |
| パワーオン (コールド) リセット | ≥V _{CC} (min) | X | HH | X | X | X | Z | X |
| ハードウェア (ウォーム) リセット、非クアッド モード | ≥V _{CC} (min) | X | X | HL | HL | X | Z | X |
| ハードウェア (ウォーム) リセット、クアッド モード | ≥V _{CC} (min) | X | HH | HL | HL | X | Z | X |
| インターフェース スタンバイ | ≥V _{CC} (min) | X | HH | HH | HH | X | Z | X |
| 命令サイクル (レガシー SPI) | ≥V _{CC} (min) | HT | HL | HH | HH | HV | Z | HV |
| シングル入カサイクル ホストからメモリへの転送 | ≥V _{CC} (min) | HT | HL | HH | HH | X | Z | HV |
| シングルレイテンシ (ダミー) サイクル | ≥V _{CC} (min) | HT | HL | HH | HH | X | Z | X |
| シングル出カサイクル メモリからホストへの転送 | ≥V _{CC} (min) | HT | HL | HH | HH | X | MV | X |
| デュアル入カサイクル ホストからメモリへの転送 | ≥V _{CC} (min) | HT | HL | HH | HH | X | HV | HV |
| デュアルレイテンシ (ダミー) サイクル | ≥V _{CC} (min) | HT | HL | HH | HH | X | X | X |
| デュアル出カサイクル メモリからホストへの転送 | ≥V _{CC} (min) | HT | HL | HH | HH | X | MV | MV |
| クアッド入カサイクル ホストからメモリへの転送 | ≥V _{CC} (min) | HT | HL | HH | HV | HV | HV | HV |
| クアッドレイテンシ (ダミー) サイクル | ≥V _{CC} (min) | HT | HL | HH | X | X | X | X |
| クアッド出カサイクル メモリからホストへの転送 | ≥V _{CC} (min) | HT | HL | HH | MV | MV | MV | MV |
| DDR クアッド入カサイクル ホストからメモリへの転送 | ≥V _{CC} (min) | HT | HL | HH | HV | HV | HV | HV |
| DDR レイテンシ (ダミー) サイクル | ≥V _{CC} (min) | HT | HL | HH | X | X | X | X |
| DDR クアッド出カサイクル メモリからホストへの転送 | ≥V _{CC} (min) | HT | HL | HH | MV | MV | MV | MV |

凡例

Z= ドライバーなし - 開放信号

HL= ホスト駆動 V_{IL}

HH= ホスト駆動 V_{IH}

HV=HL または HH

X=HL または HH または Z

HT=HL と HH の間トグル

ML= メモリ駆動 V_{IL}

MH= メモリ駆動 V_{IH}

MV=ML または MH

5.3.1 電源切断

コア電源電圧が V_{CC (Low)} 電圧以下の場合、デバイスは電源切断と見なされます。デバイスは外部信号に反応せず、あらゆるプログラムまたは消去動作を実行できません。

5.3.2 低消費電力のハードウェア データ保護

V_{CC} が $V_{CC}(\text{Cut-off})$ を下回った場合、コア電源電圧が動作範囲外にあるときにプログラムおよび消去動作が開始できないようにするために、メモリ デバイスはコマンドを無視します。コア電源電圧が t_{PD} 時間以上で $V_{CC}(\text{Low})$ 電圧以下に維持してから $V_{CC}(\text{Minimum})$ 以上に上がった場合、デバイスはパワー オン リセット (POR) プロセスを開始します。 t_{PU} の終わりまで POR は続きます。 t_{PU} 期間中に、デバイスは外部入力信号に反応せず、出力も駆動しません。 t_{PU} が経過した後、デバイスはインターフェース スタンバイ状態に移行して、コマンドを受け入れられるようになります。 POR の詳細は [125 ページの 12.3.1 パワーオン \(コールド\) リセット節](#) を参照してください。

5.3.3 ハードウェア (ウォーム) リセット

デバイスがクアッド モードまたは QPI モードにないとき、またはデバイスがクアッド モード または QPI モードにありかつ CS# が HIGH のとき、IO3 / RESET# をハードウェア リセット入力として使用できるようにするための設定オプションが提供されます。クアッド モードおよび QPI モードでは、いくつかのパッケージで別のリセット入力が提供されます (RESET#)。IO3 / RESET# または RESET# を t_{RP} 時間 LOW に駆動した後、デバイスはハードウェア リセットのプロセスを開始します。プロセスは t_{RPH} 時間続きます。 t_{RPH} と、RESET# の立ち上がりの後に続くリセット ホールド時間 (t_{RH}) が両方とも経過した後、デバイスはインターフェース スタンバイ状態に移行して、コマンドを受け入れられるようになります。ハードウェア リセットの詳細は [125 ページの 12.3 リセット節](#) を参照してください。

5.3.4 インターフェース スタンバイ

CS# が HIGH であるとき、SPI インターフェースはスタンバイ状態です。RESET# 以外の入力は無視されます。インターフェースは新しいコマンドの開始を待ちます。CS# が新しいコマンドを開始するために LOW になると、次のインターフェース状態は命令サイクルです。

インターフェース スタンバイ状態の間、進行中の組み込みアルゴリズムがない場合、メモリ デバイスはスタンバイ電流 (I_{SB}) を消費します。進行中の組み込みアルゴリズムがある場合、対応する電流はアルゴリズムが終了するまで消費されます。その後、デバイス全体の消費電流はスタンバイ電流に戻ります。

5.3.5 命令サイクル (レガシー SPI モード)

ホストが命令の MSb を駆動し、かつ CS# が LOW になると、SCK の次の立ち上がりエッジでデバイスは新しいコマンドを開始する命令の MSb を取り込みます。SCK の各々の次の立ち上がりエッジでデバイスは、8 ビット命令の次の下位ビットを取り込みます。ホストは CS# を LOW に維持し、書き込み保護 (WP#) と IO3 / RESET# 信号を命令の必要に応じて駆動します。しかし、WP# は、WRR、WRAR コマンド、またはステータス レジスタ、コンフィギュレーション レジスタおよび DLR レジスタに影響を与える他のコマンドの命令サイクル中にのみ有効です。それ以外では無視されます。デバイスがクアッド モードでもなく (CR1V[1]=0) QPI モードでもない (CR2V[3]=0)、かつハードウェアリセットが不要なとき、IO3 / RESET# は HIGH に駆動されます。

各命令は、操作するアドレス空間と、コマンドの残りで使用する転送フォーマットを選択します。転送フォーマットは、シングル、デュアル出力、クアッド出力、デュアル I/O、クアッド I/O または DDR クアッド I/O です。起こりうる次のインターフェース状態は、受け取った命令によって異なります。

いくつかの命令はスタンドアロンであり、メモリとの間でアドレスまたはデータ転送を必要としません。ホストはこのようなコマンドでの命令の 8 番目のビットのための SCK の立ち上がりエッジ後に CS# を HIGH に戻します。この場合、次のインターフェース状態はインターフェース スタンバイです。

5.3.6 命令サイクル (QPI モード)

QPI モードでは、CR2V[3]=1 のとき、命令は 1 サイクルごとに 4 ビット転送されます。このモードでは、命令サイクルはクアッド入力サイクルと同様です。 [21 ページの 5.3.13 QPP または QOR アドレス入力サイクル節](#) を参照してください。

5.3.7 シングル入力サイクル — ホストからメモリへの転送

いくつかのコマンドは、シングル シリアル入力 (SI) 信号上で命令の後に情報をホストからメモリ デバイスに転送します。ホストは RESET# を HIGH に、CS# を LOW に維持し、コマンドの必要に応じて SI を駆動します。メモリはシリアル出力 (SO) 信号を駆動しません。

予期される次のインターフェース状態は、命令によって異なります。いくつかの命令は、追加のシングル入力サイクルを使用して、メモリにアドレスまたはデータを送信し続けます。他の命令はシングル レイテンシ状態に遷移するか、またはシングル、デュアルおよびクアッドの出力サイクル状態に直接遷移します。

5.3.8 シングル レイテンシ (ダミー) サイクル

読み出しコマンドは、0 ~ 数レイテンシ サイクルがあります。それらのサイクルの間、読み出しデータはメイン フラッシュ メモリ アレイから読み出されてから、ホストに転送されます。レイテンシ サイクル数は、コンフィギュレーション レジスタ (CR3V[3:0]) 内のレイテンシ コードによって決まります。レイテンシ サイクル中に、ホストは RESET# と IO3 / RESET# を HIGH に、CS# を LOW に維持し、SCK はトグルします。書き込み保護 (WP#) 信号は無視されます。ホストは、これらのサイクル中に SI 信号を駆動

動かすか、または SI を開放のままにします。メモリは、レイテンシ サイクル中に SO またはその他の I/O 信号上で駆動されるデータを使用しません。レイテンシ サイクル中にメモリはシリアル出力 (SO) または I/O 信号を駆動しません。

次のインターフェース状態はコマンドの構造 (すなわち、レイテンシ サイクル数と、読み出しがシングル、デュアル、またはクアド幅であるか) によって異なります。

5.3.9 シングル出力サイクル — メモリからホストへの転送

いくつかのコマンドは、シングル シリアル出力 (SO) 信号上でホストに情報を送り返します。ホストは RESET# と IO3 / RESET# を HIGH に、CS# を LOW に維持します。書き込み保護 (WP#) 信号は無視されます。メモリはシリアル入力 (SI) 信号を無視します。メモリはデータを SO に駆動します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態はシングル出力サイクルのままです。

5.3.10 デュアル入力サイクル — ホストからメモリへの転送

デュアル I/O 読み出しコマンドは、各サイクルで 2 つのアドレスまたはモード ビットをメモリに転送します。ホストは RESET# と IO3 / RESET# を HIGH に、CS# を LOW に維持します。書き込み保護 (WP#) 信号は無視されます。ホストは SI / IO0 および SO / IO1 の上でアドレスを駆動します。

アドレスおよびモード ビットの送信後の次のインターフェース状態は、レイテンシ サイクルが必要であればデュアル レイテンシ サイクルであり、レイテンシが必要でなければデュアル出力サイクルです。

5.3.11 デュアル レイテンシ (ダミー) サイクル

読み出しコマンドは、0 ~ 数レイテンシ サイクルがあります。それらのサイクルの間、読み出しデータはメイン フラッシュ メモリ アレイから読み出されてから、ホストに転送されます。レイテンシ サイクル数は、コンフィギュレーション レジスタ (CR3V[3:0]) 内のレイテンシ コードによって決まります。レイテンシ サイクル中に、ホストは RESET# と IO3 / RESET# を HIGH に、CS# を LOW に維持し、SCK はトグルし続けます。書き込み保護 (WP#) 信号は無視されます。ホストは、これらのサイクル中に SI / IO0 および SO / IO1 信号を駆動するか、または SI / IO0 および SO / IO1 を開放のままにします。メモリは、レイテンシ サイクル中に SI / IO0 および SO / IO1 上で駆動されるいかなるデータも使用しません。ホストは、最後のレイテンシ サイクルの終了時に SCK の立ち下がリエッジで SI / IO0 および SO / IO1 の駆動を停止する必要があります。メモリがレイテンシ サイクルの終了後駆動を開始する前に、ホスト ドライバーがオフになるのに十分な時間を持つように、ホストがすべてのレイテンシ サイクルでそれらの信号の駆動を停止することが推奨されます。そうすることにより、信号方向が変わるときのホストとメモリとのドライバ衝突を防ぎます。メモリは、レイテンシ サイクル中に SI / IO0 および SO / IO1 信号を駆動しません。

最後のレイテンシ サイクルの後に続く次のインターフェース状態はデュアル出力サイクルです。

5.3.12 デュアル出力サイクル — メモリからホストへの転送

デュアル出力読み出しとデュアル I/O 読み出しは、各サイクルごとに 2 データ ビットをホストに戻します。ホストは RESET# と IO3 / RESET# を HIGH に、CS# を LOW に維持します。書き込み保護 (WP#) 信号は無視されます。デュアル出力サイクル中に、メモリは SCK の立ち下がリエッジで SI / IO0 および SO / IO1 信号上でデータを駆動します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態はデュアル出力サイクルのままです。

5.3.13 QPP または QOR アドレス入力サイクル

クアド ページ プログラムおよびクアド出力読み出しコマンドは IO0 上でのみ、メモリにアドレスを送信します。他の IO 信号は無視されます。ホストは RESET# と IO3 / RESET# を HIGH に、CS# を LOW に維持し、IO0 を駆動します。

QPP の場合、アドレス送信後の次のインターフェース状態はクアド入力サイクルです。QOR の場合、アドレス送信後の次のインターフェース状態は、レイテンシ サイクルが必要であればクアド レイテンシ サイクルであり、レイテンシが必要でなければクアド出力サイクルです。

5.3.14 クアド入力サイクル — ホストからメモリへの転送

クアド I/O 読み出しコマンドは、各サイクルで 4 つのアドレスまたはモード ビットをメモリに転送します。QPI モードでは、クアド I/O 読み出しとページ プログラム コマンドは、命令サイクルを含む各サイクルでメモリに 4 データ ビットを転送します。ホストは CS# を LOW に維持し、IO 信号を駆動します。

クアド I/O 読み出しの場合、アドレスおよびモード ビットの送信後の次のインターフェース状態は、レイテンシ サイクルが必要であればクアド レイテンシ サイクルであり、レイテンシが必要でなければクアド出力サイクルです。QPI モード ページ プログラムの場合、ホストはプログラムされるデータの送信後に CS# を HIGH に戻し、インターフェースはスタンバイ状態に戻ります。

5.3.15 クアド レイテンシ (ダミー) サイクル

読み出しコマンドは、0 ~ 数レイテンシ サイクルがあります。それらのサイクルの間、読み出しデータはメイン フラッシュ メモリ アレイから読み出されてから、ホストに転送されます。レイテンシ サイクル数は、コンフィギュレーション レジスタ (CR3V[3:0]) 内のレイテンシ コードによって決まります。レイテンシ サイクル中に、ホストは CS# を LOW に維持し、SCK をトグルし続けます。ホストはこれらのサイクル中に IO 信号を駆動するか、または IO を開放のままにします。メモリはレイテンシ サイクル中に IO 上で駆動されるいかなるデータも使用しません。ホストは最後のレイテンシ サイクルの終了時に立ち下がリエッジでの IO 信号の駆動を停止する必要があります。メモリがレイテンシ サイクルの終了後駆動を開始する前に、ホスト ドライバーがオフになる

のに十分な時間を持つように、ホストがすべてのレイテンシ サイクルでそれらの信号の駆動を停止することが推奨されます。そうすることにより、信号方向が変わるときのホストとメモリとのドライバー衝突を防ぎます。レイテンシ サイクル中にメモリは IO 信号を駆動しません。

最後のレイテンシ サイクルの次のインターフェース状態はクアッド出力サイクルです。

5.3.16 クアッド出力サイクルー メモリからホストへの転送

クアッド出力とクアッド I/O 読み出しは、各サイクルごとに 4 データ ビットをホストに戻します。ホストは CS# を LOW に維持します。メモリはクアッド出力サイクル中に IO0 ~ IO3 信号上でデータを駆動します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態はクアッド出力サイクルのままです。

5.3.17 DDR クアッド入力サイクルー ホストからメモリへの転送

DDR クアッド I/O 読み出しコマンドは、すべての IO 信号上でアドレスおよびモード ビットをメモリに送信します。各サイクルで 4 ビットは SCK の立ち上がりエッジで、4 ビットは立ち下がりエッジで転送されます。ホストは CS# を LOW に維持します。

アドレスとモード ビットの送信後の次のインターフェース状態は DDR レイテンシ サイクルです。

5.3.18 DDR レイテンシ サイクル

DDR 読み出しコマンドは 1 ~ 数レイテンシ サイクルがあります。それらのサイクルの間、読み出しデータはメイン フラッシュ メモリ アレイから読み出されてから、ホストに転送されます。レイテンシ サイクル数は、コンフィギュレーション レジスタ (CR3V[3:0]) 内のレイテンシ コードによって決まります。レイテンシ サイクル中に、ホストは CS# を LOW に維持します。これらのサイクル中にホストは IO 信号を駆動しません。よって、メモリが駆動を開始する前に、ホスト ドライバーはオフになるのに十分な時間があります。そうすることにより、信号方向が変わるときのホストとメモリとのドライバー衝突を防ぎます。メモリは最後の 4 レイテンシ サイクル中にデータ ラーニング パターン (DLP) を使ってすべての IO 信号を駆動するオプションがあります。5 レイテンシ サイクル未満の場合、DLP オプションを有効にはいけません。その理由は、メモリが DLP の駆動を開始する前に IO 信号のターン アラウンドのために高インピーダンスのサイクルが少なくとも 1 つあるようにするためです。4 サイクルより多くのレイテンシがある場合、メモリはレイテンシの最後の 4 サイクルまで IO 信号を駆動しません。

最後のレイテンシ サイクルの後に続く次のインターフェース状態は命令に応じて DDR クアッド出力サイクルです。

5.3.19 DDR クアッド出力サイクルー ホストからメモリへの転送

DDR クアッド I/O 読み出しコマンドはすべての IO 信号上でビットをホストに戻します。各サイクルで 4 ビットは SCK の立ち上がりエッジで、4 ビットは立ち下がりエッジで転送されます。ホストは CS# を LOW に維持します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態は DDR クアッド出力サイクルのままです。

5.4 データ保護

保存されたデータへの意図的でない変更に対するいくつかの基本的な保護は単にハードウェア デザインで提供かつ制御されます。それらは以下で説明されます。ソフトウェアで制御する他の保護方法は本書のソフトウェアの節で説明されます。

5.4.1 電源投入

コア電源電圧が $V_{CC(Low)}$ 電圧以下の場合、デバイスは電源切断と見なされます。デバイスは外部信号に反応せず、あらゆるプログラムまたは消去動作を実行できないようにされます。tPU 中にユーザーはあらゆる有効なコマンドを入力できません。

5.4.2 低消費電力

V_{CC} が $V_{CC(Cut-off)}$ を下回った場合、コア電源電圧が動作範囲外にあるときにプログラムおよび消去動作が開始できないようにするために、メモリ デバイスはコマンドを無視します。

5.4.3 クロック パルス数

デバイスはデータ変更のコマンドを実行する前に、どのコマンドも 8 ビット転送の倍数 (バイト境界) であるクロック パルス数から成ることを確認します。8 ビット (バイト) 境界で終わらないコマンドは無視され、そのコマンドに対してエラー状態がセットされません。

5.4.4 ディープ パワー ダウン (DPD)

DPD モードでは、デバイスは DPD 終了コマンド (RES ABh) のみに応答します。他のコマンドは DPD モードの間は無視されます。それによって、メモリはプログラムおよび消去動作から保護されます。IO3 / RESET# 機能が有効になったとき (CR2V[7]=1)、または RESET# がアクティブになったとき、IO3 / RESET# または RESET# が LOW になると、ハードウェア リセットが開始され、デバイスを DPD モードから解放します。

6. アドレス空間マップ

6.1 概要

6.1.1 拡張アドレス

FL-L ファミリーは 32 ビット (4 バイト) アドレスに対応しており、24 ビット (3 バイト) アドレスだけに対応した前世代 (レガシー) の SPI デバイスに比べると、より高容量のデバイスを可能にします。24 ビット、バイト分解能のアドレスは、16MB (128Mb) の最大容量までしかアクセスできません。一方、32 ビット、バイト分機能のアドレスは最大 4GB (32Gb) までのアドレス空間を直接アドレス指定できます。

レガシー コマンドはソフトウェア下位互換性のために 24 ビット アドレスの対応を継続しています。拡張 32 ビット アドレスは次の 2 つの方法によって有効にされます。

■ 拡張アドレス モード：すべてのレガシー コマンドを、ホスト システムから供給される 32 ビット アドレスを期待するものに変更する、揮発性コンフィギュレーションレジスタビットです。

■ 4 バイト アドレス コマンド：レガシー機能と常に 32 ビット アドレスを期待する新機能の両方を実行します。

電源投入またはリセット後の拡張アドレス モードのデフォルト状態は不揮発性コンフィギュレーションビットによって制御されます。デフォルト拡張アドレス モードは 24 または 32 ビットのアドレスに設定できます。これにより、デバイスの最初の 128Mb へのレガシー ソフトウェア互換アクセスが可能になるか、またはデバイスが 32 ビット アドレス モードで直接起動できます。

6.1.2 複数のアドレス空間

多くのコマンドはメイン フラッシュ メモリ アレイ上で動作します。メイン フラッシュ アレイから独立したアドレス空間で動作するコマンドもいくつかあります。それぞれ独立したアドレス空間は完全な 24 ビットか 32 ビット アドレスを使用しますが、利用可能なアドレス空間の小さな部分のみを定義することもできます。

6.2 フラッシュ メモリ アレイ

メイン フラッシュ アレイは物理ブロック (64KB)、ハーフ ブロック (32KB) およびセクタ (4KB) と呼ばれるユニフォーム消去ユニットに分割されています。

表 4. S25FL064L セクタ アドレス マップ

| ブロック サイズ (KB) | ブロック 数 | ブロック 範囲 | ハーフ ブロック サイズ (KB) | ハーフ ブ ロック数 | ハーフ ブロック 範囲 | セクタ サイズ (KB) | セクタ 数 | セクタ 範囲 | アドレス範囲 (バイト アドレス) | 備考 |
|---------------------|-----------|------------|----------------------------|---------------|-------------------|--------------------|----------|------------|----------------------|-------------------------------------|
| 64 | 1 | BA00 | 32 | 1 | HBA00 | 4 | 1 | SA00 | 0000000h ~ 0000FFFh | セクタ開始 アドレス - セクタ終了 アドレス |
| | | | | | | : | : | : | : | |
| | | | 32 | 2 | HBA01 | 4 | 16 | SA15 | 000F000h ~ 000FFFFh | |
| : | : | : | : | : | : | : | : | : | : | |
| 64 | 128 | BA127 | 32 | 255 | HBA254 | 4 | 2032 | SA203 1 | 07F0000h ~ 07F0FFFh | |
| | | | | | | : | : | : | : | |
| | | | 32 | 256 | HBA255 | 4 | 2048 | SA204 7 | 07FF000h ~ 07FFFFFFh | |

6.3 ID アドレス空間

RDID コマンド (9Fh) はデバイス識別子 (ID) のために個別のフラッシュ メモリ アドレス空間から情報を読み出します。ID アドレス空間の内容を定義する表は、[117 ページの 10.2 デバイス ID アドレス マップ](#)節を参照してください。ID アドレス空間はサイプレスによってプログラムされ、ホスト システムからは読み出し専用です。

6.3.1 固有デバイス ID

64 ビットの固有の番号が固有デバイス ID アドレス空間の 8 バイトに位置しています。[117 ページの表 44](#) を参照してください。固有 ID はデバイス固有のソフトウェア読み出し可能なシリアル番号として使用できます。

6.4 JEDEC JESD216 シリアル フラッシュ検出可能パラメーター (SFDP) 空間

RSFDP コマンド (5Ah) はシリアル フラッシュ検出可能パラメーター向けの JEDEC JESD216 規格に準拠して、デバイス ID、機能およびコンフィギュレーション情報のために個別のフラッシュ メモリ アドレス空間から情報を読み出します。ID アドレス空間は SFDP パラメーターの 1 つとして組み込まれています。SFDP アドレス空間の内容を定義する表は、[109 ページの 10.1 JEDEC JESD216B シリアル フラッシュ検出可能パラメーター](#)節を参照してください。SFDP アドレス空間はサイプレスによってプログラムされ、ホスト システムからは読み出し専用です。

6.5 セキュリティ領域アドレス空間

各 FL-L ファミリー メモリ デバイスにはメイン フラッシュ アレイから独立した 1024 バイトのセキュリティ領域アドレス空間があります。セキュリティ領域エリアは 4 つの単独にロック可能な 256 バイト の領域に分割されています。セキュリティ領域のメモリ空間は、プログラムまたは消去から一時的に保護される情報または永久的にロックされる情報を格納するためのものです。

サイプレスから出荷されるときに領域のデータ バイトは FFh に消去されています。保護またはロックされていないとき、領域は他のフラッシュ メモリ アドレス空間と同じようにプログラムと消去ができます。それぞれの領域を個別に消去できます。セキュリティ領域ロック ビット (CR1NV[5:2]) はコンフィギュレーション レジスタ 1 に位置しています。セキュリティ領域ロック ビットはワン タイム プログラマブル (OTP) のビットであり、プログラム (1 にセット) された後、ロック ビットは関連領域を消去またはプログラムから永久的に保護します。

また領域 2 と領域 3 は、保護レジスタ (PR) の NVLOCK ビットによってプログラムと消去からの一時的な保護機能があります。NVLOCK ビットは揮発性ビットであり、IRP ロジックとコマンドによってセットまたはクリアされます。[38 ページの 6.6.8 保護レジスタ \(PR\)](#) 節を参照してください。

IRP レジスタでのセキュリティ領域パスワード保護ビット (IRP[2]) はパスワードが提供されるまで領域 2 と領域 3 をプログラムおよび消去動作から保護できます。IRP レジスタでのセキュリティ領域読み出し保護ビット (IRP[6]) はパスワードが提供されるまで領域 3 を読み出し動作から保護できます。読み出し保護領域から読み出そうとすると、無効で未定義のデータが返されます。[36 ページの 6.6.6 個別および領域保護レジスタ \(IRP\)](#) 節を参照してください。

ロックまたは保護された領域で消去またはプログラムしようとすると、動作が失敗し、SR2V[6:5] での P_ERR ビットまたは E_ERR ビットが 1 にセットされます (詳細は [28 ページの 6.6.2 揮発性ステータス レジスタ 2 \(SR2V\)](#) 節を参照してください)。

表 5. セキュリティ領域アドレス マップ

| 領域 | バイト アドレス範囲 (16 進) | 工場出荷初期状態 (16 進) |
|------|-------------------|-----------------|
| 領域 0 | 000 ~ 0FF | 全バイト =FF |
| 領域 1 | 100 ~ 1FF | 全バイト =FF |
| 領域 2 | 200 ~ 2FF | 全バイト =FF |
| 領域 3 | 300 ~ 3FF | 全バイト =FF |

6.6 レジスタ

レジスタは、FL-L ファミリ メモリ デバイスの動作方法を設定する、またはデバイス動作のステータスを報告するために使用されるメモリ セルの小さなグループです。レジスタは特定のコマンドによりアクセスされます。レジスタに使用されるコマンド (と 16 進の命令コード) は各レジスタの説明に記載しています。

レガシー SPI メモリ デバイスでは、個別レジスタ ビットは同じレジスタ内で、揮発性、不揮発性、またはワンタイム プログラマブル (OTP) ビットが混在しています。コンフィギュレーション オプションによってはレジスタ ビットのタイプは変更可能です (例えば、不揮発性から揮発性に変更できます)。

FL-L ファミリは異なるレジスタ ビットのタイプを実装するために個別の不揮発性または揮発性メモリ セル グループ (領域) を使用します。ただし、レガシー ソフトウェアとの互換性のために、レガシー レジスタとコマンドは以前と変わらず対応され、動作し続けます。レガシー レジスタに揮発性ビットがある場合、またはレガシー レジスタを読み出すコマンドの読み出しレイテンシがゼロの場合、各レガシー レジスタには不揮発性と揮発性バージョンが存在します。そのようなレジスタが読み出されると、レジスタの揮発性バージョンが提供されます。パワー オン リセット (POR)、ハードウェア リセットまたはソフトウェア リセットの間、揮発性レジスタのデフォルト状態を提供するために、レジスタの不揮発性バージョンは揮発性バージョンにコピーされます。不揮発性レジスタ ビットが書き込まれたとき、レジスタの不揮発性バージョンは消去され、新しいビット値でプログラムされ、その後、揮発性バージョンは不揮発性バージョンの新しい内容で更新されます。OTP ビットがプログラムされると、レジスタの不揮発性バージョンがプログラムされ、レジスタの揮発性バージョン中の適切なビットが更新されます。揮発性レジスタ ビットが書き込まれたとき、レジスタの揮発性バージョンのみは適切なビットが更新されます。

各ビットのタイプはそれぞれのレジスタの説明に記載されています。ビットが揮発性である場合、各ビットのデフォルト状態はパワー オン リセット、ハードウェア リセット、またはソフトウェア リセットの後の状態です。ビットが不揮発性または OTP である場合、デフォルト状態はサイプレスから出荷されたときのビット値です。不揮発性レジスタに書き込む際には、途切れない安定した電源が必要となることに特に注意してください。これにより、正しいデータがレジスタに書き込まれることが保証されます。

表 6. レジスタの説明

| レジスタ | タイプ | ビット | 略語 |
|----------------------|------------|------|------------|
| ステータス レジスタ 1 | 不揮発性 | 7:0 | SR1NV[7:0] |
| | 揮発性 | 7:0 | SR1V[7:0] |
| ステータス レジスタ 1 | 揮発性 | 7:0 | SR2V[7:0] |
| コンフィギュレーション レジスタ 1 | 不揮発性 / OTP | 7:0 | CR1NV[7:0] |
| | 揮発性 | 7:0 | CR1V[7:0] |
| コンフィギュレーション レジスタ 2 | 不揮発性 | 7:0 | CR2NV[7:0] |
| | 揮発性 | 7:0 | CR2V[7:0] |
| コンフィギュレーション レジスタ 3 | 不揮発性 | 7:0 | CR3NV[7:0] |
| | 揮発性 | 7:0 | CR3V[7:0] |
| 個別および領域保護レジスタ | OTP | 15:0 | IRP[15:0] |
| パスワード レジスタ | OTP | 63:0 | PASS[63:0] |
| 個別ブロック ロック アクセス レジスタ | 揮発性 | 7:0 | IBLAR[7:0] |
| ポインター領域保護レジスタ | 不揮発性 | 31:0 | PRPR[31:0] |
| DDR データ ラーニング レジスタ | OTP | 7:0 | DLRNV[7:0] |
| | 揮発性 | 7:0 | DLRV[7:0] |

6.6.1 ステータス レジスタ 1

6.6.1.1 不揮発性ステータス レジスタ 1 (SR1NV)

関連コマンド：不揮発性書き込みイネーブル (WREN 06h)、書き込みディセーブル (WRDI 04h)、レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

表 7. 不揮発性ステータス レジスタ 1 (SR1NV)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-----|-----------|----------------------|------------|---------|--|
| 7 | SRP0_NV | ステータス レジスタ保護 0 デフォルト | 不揮発性 | 0 | SRP0 のデフォルト状態を示します。 |
| 6 | SEC_NV | セクタ／ブロック保護 | 不揮発性 | 0 | SEC のデフォルト状態を示します。 |
| 5 | TBPROT_NV | TBPROT デフォルト | 不揮発性 | 0 | TBPROT のデフォルト状態を示します。 |
| 4 | BP_NV2 | レガシー ブロック保護デフォルト | 不揮発性 | 000b | BP ビットのデフォルト状態を示します。 |
| 3 | BP_NV1 | | | | |
| 2 | BP_NV0 | | | | |
| 1 | WEL_D | WEL デフォルト | 不揮発性読み出し専用 | 0 | WEL ステータスのデフォルト状態を示します。ユーザーによってプログラムできません。 |
| 0 | WIP_D | WIP デフォルト | 不揮発性読み出し専用 | 0 | WIP ステータスのデフォルト状態を示します。ユーザーによってプログラムできません。 |

不揮発性ステータス レジスタ保護 (SRP0_NV) SR1NV[7]: SRP0 のデフォルト状態を示します。[42 ページの 7.5 ステータス レジスタ保護 \(SRP1、SRP0\) 節](#)を参照してください。

セクタ／ブロック保護 (SEC_NV) SR1NV[6]: SEC のデフォルト状態を示します。

最上部／最下部保護 (TBPROT_NV) SR1NV[5]: TBPROT のデフォルト状態を示します。

レガシー ブロック保護 (BP_NV3、BP_NV2、BP_NV1、BP_NV0) SR1NV[4:2]: BP_2 ～ BP_0 ビットのデフォルト状態を示します。

書き込みイネーブル ラッチ デフォルト (WEL_D) SR1NV[1]: SR1V[1] での WEL ステータスのデフォルト状態を示します。ビットはサイプレスによってプログラムされ、ユーザーはプログラムできません。

書き込み中デフォルト (WIP_D) SR1NV[0]: SR1V[0] での WIP ステータスのデフォルト状態を示します。ビットはサイプレスによってプログラムされ、ユーザーはプログラムできません。

6.6.1.2 揮発性ステータス レジスタ 1 (SR1V)

関連コマンド：ステータス レジスタ 1 読み出し (RDSR1 05h)、揮発性レジスタの書き込みイネーブル (WRENV 50h)、レジスタ書き込み (WRR 01h)、ステータス レジスタ クリア (CLSR 30h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。これは RDSR1 コマンドの実行で表示されるレジスタです。

表 8. 揮発性ステータス レジスタ 1 (SR1V)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-----|--------|---------------|-----------|---------|---|
| 7 | SRP0 | ステータスレジスタ保護 0 | 揮発性 | SR1NV | 1=WP# が LOW のとき、SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV、DLRV に影響するどのコマンドも実行しないことで、SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV、DLRV の状態をロックします。 0=WP# が LOW になってもレジスタを保護しません。 |
| 6 | SEC | セクタ／ブロック保護 | 揮発性 | | 0=BP2 ～ BP0 は 64kB ブロックを保護します。 1=BP2 ～ BP0 は 4kB セクタを保護します。 |
| 5 | TBPROT | 上部／下部関連保護 | 揮発性 | | 1=BP が下部 (低いアドレス) から開始します。 0=BP が上位 (高いアドレス) から開始します。 |
| 4 | BP2 | レガシーブロック保護揮発性 | 揮発性 | | セクタ (ブロック) の選択した範囲をプログラム／消去から保護します。 |
| 3 | BP1 | | | | |
| 2 | BP0 | | | | |
| 1 | WEL | 書き込みイネーブルラッチ | 揮発性読み出し専用 | | 0= 書き込みは無効で、組み込み動作は開始できません。 1= 書き込みは有効で、組み込み動作は開始できます。 このビットは WRR または WRAR コマンドに影響されず、WREN、WRENV、WRDI および CLSR コマンドにのみ影響されます。 |
| 0 | WIP | 書き込み中 | 揮発性読み出し専用 | | 1= デバイスはビジーであり、プログラムや消去などの組み込み動作が処理中です。 0= デバイスはスタンバイ モードでレディであり、コマンドを受け入れられます。 このビットは WRR または WRAR コマンドに影響されず、WIP 状態のみを示します。 |

ステータス レジスタ保護 0 (SRP0) SR1V[7]: ビットが「1」にセットされ、WP# 入力が LOW に駆動されると、デバイスはハードウェア保護モードに入ります。このモードでは、ステータス レジスタまたはコンフィギュレーション レジスタを変更するコマンドはすべて無視され、実行のためには受け入れられず、ステータス レジスタとコンフィギュレーション レジスタ SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV を読み出し専用レジスタにすることで、レジスタのビットの状態を効果的にロックします。WP# が HIGH の場合、ステータス レジスタおよびコンフィギュレーション レジスタ SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV は変更可能です。WP# は他のレジスタの書き込みに影響しません。SRP0 は不揮発性バージョン (SRP0_NV) に対する変更を追跡します。QPI または QIO モードが有効 (CR2V[3] または CR1V[1] が 1) になる場合、WP# の外部入力が IO2 として使用されるため、内部の WP# 信号レベルは 1 になります。これにより、ハードウェア保護機能が効果的にオフにされます。SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV レジスタはロックされずに書き込み可能になります。[42 ページの 7.5 ステータス レジスタ保護 \(SRP1、SRP0\) 節](#)を参照してください。

セクタ／ブロック保護 (SEC) SR1V[6]: このビットは、ブロック保護ビット (BP2、BP1、BP0) が 4kB セクタ (SEC=「1」) または 64kB ブロック (SEC=「0」) を保護するかどうかを制御します。SEC ビット値が保護対象のメモリ アレイ領域をどのように選択するかは、[44 ページの 7.6.1 レガシー ブロック保護節](#)を参照してください。

TBPROT SR1V[5]: このビットは、ステータス レジスタのレガシー ブロック保護ビット (BP2、BP1、BP0) の参照点を定義します。ステータス レジスタの節で説明したとおり、BP2 ～ 0 ビットを使用すると、ユーザーはアレイの一部 (1/64、1/4、1/2 など) から全部までオプションとして保護できます。TBPROT が「0」にセットされた場合、レガシー ブロック保護の開始アドレスは最上部 (最大アドレス) になります。TBPROT が「1」にセットされた場合、レガシー ブロック保護の開始アドレスは最下部 (ゼロ アドレス) になります。TBPROT は不揮発性バージョン (TBPROT_NV) に対する変更を追跡します。

レガシー ブロック保護 (BP2、BP1、BP0) SR1V[4:2]: これらのビットは、プログラムおよび消去コマンドから保護されるメインフラッシュ アレイ領域を定義します。BP ビット値が保護対象のメモリ アレイ領域を選択する方法については、[44 ページの 7.6.1 レガシー ブロック保護節](#)を参照してください。

書き込みイネーブル ラッチ (WEL) SR1V[1]: メモリやレジスタ値への不注意による意図しない変更に対する保護手段として、プログラム、書き込み、または消去動作を可能にするためには WEL ビットを「1」にセットする必要があります。書き込みイネーブル (WREN) コマンドを実行すると、書き込みイネーブル ラッチを「1」にセットし、その後のすべてのプログラム、消去、または書き込みコマンドの実行を可能にします。書き込みディセーブル (WRDI) コマンドは書き込みイネーブル ラッチを「0」にセットし、すべてのプログラム、消去および書き込みコマンドの実行を防止します。WEL ビットはプログラム、書き込み、または消去動作が正常に終了すると「0」にクリアされます。処理が正常に終了しない場合、WEL ビットはセットされたままとなり、CLSR コマンドでクリアする必要があります。電源切断／電源投入シーケンス、ハードウェア リセットまたはソフトウェア リセットの後、書き込みイネーブル ラッチは WEL_D にセットされます。WRR または WRAR コマンドはこのビットには影響しません。

書き込み中 (WIP) SR1V[0]: デバイスがプログラム、書き込み、消去動作、またはその他の動作を実行しているかどうかを示し、この間は新しい動作コマンドを無視します。このビットが「1」にセットされると、デバイスは処理の実行でビジーになっていることを示します。WIP が「1」のときに許可されるコマンドは、ステータス読み出し (RDSR1 または RDSR2)、任意レジスタ読み出し (RDAR)、消去／プログラム一時停止 (EPS)、ステータス レジスタ クリア (CLSR) およびソフトウェア リセット (RSTEN 66h に続いて RST 99h) コマンドだけです。EPS コマンドは、メモリ アレイが消去やプログラム中のみ許可されます。ステータス レジスタの E_ERR と P_ERR ビットは WIP が「1」のときに更新されます。P_ERR または E_ERR ビットが「1」にセットされたとき、WIP ビットは「1」にセットされたままで、デバイスがまだビジーの状態である新しい動作のコマンドを受信できないことを示します。デバイスをスタンバイ モードに戻らせるためにステータス レジスタ クリア (CLSR) コマンドを受信しなければなりません。WIP ビットが「0」にクリアされたとき、進行中の処理はありません。読み出し専用ビットです。

6.6.2 揮発性ステータス レジスタ 2 (SR2V)

関連コマンド：ステータス レジスタ 2 読み出し (RDSR2 07h)、任意レジスタ読み出し (RDAR 65h)。ステータス レジスタ 2 はユーザー プログラム可能な不揮発性ビットを持っていません。定義されたすべてのビットは揮発性読み出し専用の状態にあります。ビットのデフォルト状態はハードウェアにより設定されます。

表 9. 揮発性ステータス レジスタ 2 (SR2V)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-----|--------|------------|---------------|---------|--|
| 7 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 6 | E_ERR | 消去エラー発生 | 揮発性 読み出し専用 | 0 | 1= エラーが発生 0= エラー |
| 5 | P_ERR | プログラムエラー発生 | 揮発性 読み出し専用 | 0 | 1= エラーが発生 0= エラー |
| 4 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 3 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 2 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 1 | ES | 消去一時停止 | 揮発性 読み出し専用 | 0 | 1= 消去一時停止モード 0= 消去一時停止モードではない |
| 0 | PS | プログラム一時停止 | 揮発性 読み出し専用 | 0 | 1= プログラム一時停止モード 0= プログラム一時停止モードではない |

消去エラー (E_ERR) SR2V[6]: 消去エラー ビットは消去動作が成功したか失敗したかを示すために使用されます。消去エラー ビットが「1」にセットされたとき、直前の消去動作にエラーが発生したことを示します。また、ユーザーが個別の保護されたメインメモリ セクタまたはロックされたセキュリティ領域を消去しようとするときにもビットはセットされます。チップ消去コマンド実行中に保護されたセクタを検出すると、E_ERR ビットはセットされます。消去エラー ビットが「1」のとき、ステータス レジスタ クリア (CLSR) コマンドで「0」にクリアできます。読み出し専用ビットであり、WRR または WRAR コマンドに影響されません。

プログラムエラー (P_ERR) SR2V[5]: プログラムエラー ビットはプログラム動作が成功したか失敗したかを示すために使用されます。プログラムエラー ビットが「1」にセットされたとき、直前のプログラム動作にエラーが発生したことを示します。また、ユーザーが保護されたメインメモリ セクタまたはロックされたセキュリティ領域をプログラムしようとするときにもビットはセットされます。プログラムエラー ビットが「1」のとき、ステータス レジスタ クリア (CLSR) コマンドで「0」にクリアできます。読み出し専用ビットであり、WRR または WRAR コマンドに影響されません。

消去一時停止 (ES) SR2V[1]: 消去一時停止ビットは、いつデバイスが消去一時停止モードに入るかを定めるために使用されます。ステータス ビットであり、ユーザーは書き込めません。消去一時停止ビットが「1」にセットされたとき、デバイスは消去一時停止モードになります。消去一時停止ビットが「0」にクリアされたとき、デバイスは消去一時停止モードになりません。消去一時停止／再開コマンドの詳細は、90 ページの 8.6.5 プログラムまたは消去一時停止 (PES 75h) 節を参照してください。

プログラム一時停止 (PS) SR2V[0]: プログラム一時停止ビットは、いつデバイスがプログラム一時停止モードに入るかを定めるために使用されます。ステータス ビットであり、ユーザーは書き込めません。プログラム一時停止ビットが「1」にセットされたとき

き、デバイスはプログラム一時停止モードになります。プログラム一時停止ビットが「0」にクリアされたとき、デバイスはプログラム一時停止モードになりません。詳細は 90 ページの 8.6.5 プログラムまたは消去一時停止 (PES 75h) 節を参照してください。

6.6.3 コンフィギュレーションレジスタ 1

コンフィギュレーションレジスタ 1 は一定のインターフェースとデータ保護機能を制御します。レジスタビットは 16 入力サイクルの WRR コマンドや WRAR コマンドを使用して変更できます。

6.6.3.1 不揮発性コンフィギュレーションレジスタ 1 (CR1NV)

関連コマンド：不揮発性書き込みイネーブル (WREN 06h)、レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

表 10. 不揮発性コンフィギュレーションレジスタ 1 (CR1NV)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-----|---------|---------------------|------------|---------|--|
| 7 | SUS_D | 一時停止ステータスデフォルト | 不揮発性読み出し専用 | 0 | 一時停止ステータスのデフォルト状態を示します。ユーザーによってプログラムできません。 |
| 6 | CMP_NV | 補完的保護デフォルト | 不揮発性 | 0 | CMP のデフォルト状態を示します。 |
| 5 | LB3 | セキュリティ領域ロックビット | OTP | 0 | セキュリティ領域 3:0 の OTP ロックビット 3:0 0= セキュリティ領域がロックされません。 1= セキュリティ領域が永久的にロックされます。 |
| 4 | LB2 | | | 0 | |
| 3 | LB1 | | | 0 | |
| 2 | LB0 | | | 0 | |
| 1 | QUAD_NV | クアッド デフォルト | 不揮発性 | 0 | QUAD のデフォルト状態を示します。 |
| 0 | SRP1_D | ステータスレジスタ保護 1 デフォルト | OTP | 0 | IRP[2:0] = 「111」 のとき、SRP1_D ビットはプログラムできます。 SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV、DLRV の現時点の状態をロックします。 1= レジスタが永久的にロックされます。 0=POR 後、レジスタが SRP1 でロックされません。 |

消去／プログラム一時停止ステータス (SUS_D) CR1NV[7]: CR1V[7] での SUS ビットのデフォルト状態を示します。ユーザーによってプログラムできません。

補完的保護 (CMP_NV) CR1NV[6]: CR1V[6] での CMP ビットのデフォルト状態を示します。

セキュリティ領域ロックビット (LB3、LB2、LB1、LB0) CR1NV[5:2]: セキュリティ領域の OTP 書き込み保護制御を示します。LB ビットが「1」にセットされたとき、対応するセキュリティ領域に対するプログラムや消去動作はできなくなります。

クアッド データ幅不揮発性 (QUAD_NV) CR1NV[1]: CR1V[1] での QUAD ビットのデフォルト状態を示します。WRR または WRAR コマンドはこのビットに影響を与えます。CR1NV[1] を「1」にプログラムすると、電源投入時やリセット時にクアッド データ幅コマンドはデフォルトで許可されます。**ステータスレジスタ保護 1 デフォルト (SRP1_D) CR1NV[0]:** CR1V[0] での SRP1 ビットのデフォルト状態を示します。IRP[2:0] が「111」の場合、SRP1_D OTP ビットはユーザー プログラム可能です。SRP1_D が「1」の場合、SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV レジスタは永久的にロックされます。
42 ページの 7.5 ステータスレジスタ保護 (SRP1、SRP0) 節を参照してください。

6.6.3.2 揮発性コンフィギュレーションレジスタ 1 (CR1V)

関連コマンド：コンフィギュレーションレジスタ 1 読み出し (RDCR1 35h)、揮発性レジスタの書き込みイネーブル (WRENV 50h)、レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h) RDCR1 コマンドの実行で表示されるレジスタです。

表 11. 揮発性コンフィギュレーションレジスタ 1 (CR1V)

| ビット | フィールド名 | 機能 | タイプ | デフォルト 状態 | 説明 |
|-----|--------|--------------------------------|---------------|-------------|--|
| 7 | SUS | 一時停止ステータス | 揮発性 読み出し専用 | CR1NV | 1= 消去／プログラムが一時停止されます。 0= 消去／プログラムが一時停止されません。 |
| 6 | CMP | 補完的保護 | 揮発性 | | 0= 通常保護マップ 1= 反転保護マップ |
| 5 | LB3 | セキュリティ領域 ロック ビットの揮 発性コピー | 揮発性 読み出し専用 | | ユーザーによって書き込めません。 CR1NV[5:2] を参照してください。 セキュリティ領域 3:0 の OTP ロック ビット 3:0 0= セキュリティ領域がロックされません。 1= セキュリティ領域が永久的にロックされます。 |
| 4 | LB2 | | | | |
| 3 | LB1 | | | | |
| 2 | LB0 | | | | |
| 1 | クアッド | クアッド I/O モード | 揮発性 | | 1= クアッド 0= デュアルまたはシリアル |
| 0 | SRP1 | ステータス レジス タ保護 1 | 揮発性 | | SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、 CR3NV、DLRNV、DLRV の現時点の状態をロックし ます。 1= レジスタはロックされます。 0= レジスタはロック解除されます。 |

一時停止ステータス (SUS) CR1V[7]: 一時停止ステータス ビットは、いつデバイスが消去またはプログラム一時停止モードにあるかを決定するために使用されます。ステータス ビットであり、ユーザーは書き込めません。一時停止ステータス ビットが「1」にセットされたとき、デバイスは消去またはプログラム一時停止モードになります。一時停止ステータス ビットが「0」にクリアされたとき、デバイスは消去またはプログラム一時停止モードになりません。消去／プログラム一時停止／再開コマンドの詳細は、90 ページの 8.6.5 プログラムまたは消去一時停止 (PES 75h) 節を参照してください。**補完的保護 (CMP) CR1V[6]:** TBPROT、BP3、BP2、BP1、BP0 ビットとともに CMP を使用すると、アレイの半分から全部まで保護できる柔軟性をアレイ保護マップに提供します。

LB[3:0] CR1V[5:2]: ビットは CR1NV の該当する OTP ビットの揮発性バージョンです。ビットの該当する OTP バージョンに対する変更を追跡します。

クアッド データ幅 (QUAD) CR1V[1]: 1 にセットされると、ビットはデバイスのデータ幅を 4 ビット クアッド モードに切り替えます。つまり、WP# は IO2 になり、IO3 / RESET# は CS# が LOW のときアクティブな I/O 信号になり、CS# が HIGH のとき RESET# 入力になります。WP# 入力は通常機能が監視されず、内部で HIGH (非アクティブ) にセットされます。シリアルおよびデュアル I/O 読み出しのコマンドはまだ正常に動作しますが、異なるデータパス幅を使ってコマンドを切り替える際はコマンドのために WP# 入力を駆動する必要がありません。同様に、CS# が LOW のとき、それらのコマンドの実行中に IO3 / RESET# を駆動する必要があります。クアッド出力読み出し、クアッド I/O 読み出しおよび DDR クアッド I/O 読み出しコマンドを使用する際、QUAD ビットを「1」にセットする必要があります。QIO モードでの揮発性レジスタ書き込みは、短くて明確に定義された時間を要します。デバイス インターフェースを QIO モードに切り替えるためには t_{QEN} 、デバイスを SPI モードに戻らせるためには t_{QEX} を要します。その後、後続するコマンドは直ちに QIO プロトコルで送信できます。QPI モードは QPIEN および QPIEX コマンド、または CR2V[3] ビットを「1」にセットすることで開始／終了される一方、クアッド データ幅モードは QUAD ビットの設定にかかわらず使用されます。

ステータス レジスタ保護 1 (SRP1) CR1V[0]: SRP1 ビットは 1 にセットされたとき、SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV レジスタへの書き込み動作を防止することで、レジスタの現時点の状態を保護します。42 ページの 7.5 ステータス レジスタ保護 (SRP1、SRP0) 節を参照してください。

SRP1 ビットを論理 0 にする限り、SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV レジスタは SRP1 により保護されません。ただし、レジスタは SRP0 (SR1V[7]) および WP# 入力により保護が可能です。

SRP1 ビットが一度論理 1 にセットされると、パワー サイクルまたはハードウェア リセットでのみ論理 0 にクリアできます。ソフトウェア リセットは SRP1 ビットの状態に影響を与えません。

CR1V[0] SRP1 は揮発性ビットであり、電源投入後の SRP1 のデフォルト状態は CR1NV[0] での SRP1_D から得られます。SRP1 ビットは CR1V 内の他の値の更新と同時に WRR または WRAR コマンドの実行で設定できます。

6.6.4 コンフィギュレーションレジスタ2

コンフィギュレーションレジスタ2は一定のインターフェース機能を制御します。レジスタビットは任意レジスタ読み出しと任意レジスタ書き込みコマンドを実行することで読み出され、変更が可能です。レジスタの不揮発性バージョンにより、POR、ハードウェアリセット、またはソフトウェアリセットの制御状態を設定できます。レジスタの揮発性バージョンは通常動作での機能を制御します。

6.6.4.1 不揮発性コンフィギュレーションレジスタ2 (CR2NV)

関連コマンド：不揮発性書き込みイネーブル (WREN 06h)、レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

表 12. 不揮発性コンフィギュレーションレジスタ2 (CR2NV)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-----|---------|-------------|------|---------|---|
| 7 | IO3R_NV | IO3_Reset | 不揮発性 | 0 | 1= 有効 -- CS# が HIGH のとき、またはクアッド モードが無効 (CR1V[1]=0) のとき、または QPI が無効 (CR3V[3]=0) のとき、IO3_RESET は IO3 / RESET# の入力として使用されます。 0= 無効 -- IO3 は代替機能を持っておらず、ハードウェアリセットは無効です。IO3 / RESET# 機能イネーブルのデフォルト状態を示します。 |
| 6 | OI_NV | 出力インピーダンス | | 1 | 出力インピーダンスのデフォルト状態を示します。 31 ページの表 13 を参照してください。 |
| 5 | | | | 1 | |
| 4 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 3 | QPI_NV | QPI | | 0 | 1= 有効 -- QPI (4-4-4) プロトコルを使用します。 0= 無効 -- 従来の SPI プロトコルを使用します。命令は SI 上で常にシリアルです。 QPI モードのデフォルト状態を示します。 |
| 2 | WPS_NV | 書き込み保護選択 | | 0 | WPS のデフォルト状態を示します。 0= レガシー保護 1= 個別ブロック ロック |
| 1 | ADP_NV | 電源投入時のアドレス長 | | 0 | アドレス長のデフォルト状態を示します。 1=4 バイト アドレス 0=3 バイト アドレス |
| 0 | RFU | 予約済み | | 0 | 将来使用するために予約済み |

不揮発性 IO3_Reset CR2NV[7]: ビットは、POR、ハードウェアリセット、またはソフトウェアリセット時の IO3 信号動作を制御します。ほとんどのレガシー SPI デバイスは、従来の SPI デバイスパッケージにおける信号数および使用可能な接続数に制限があるため、ハードウェアリセットの入力信号を有しません。FL-L ファミリーでは、IO3 信号がホストシステムとメモリ間の情報通信に使用されていないとき、IO3 信号をハードウェアリセット入力として使用するオプションがあります。不揮発性 IO3_Reset コンフィギュレーションビットは、IO3 が RESET# 信号として使用可能な状態でデバイスを直ちに起動 (ブート) させます。

不揮発性出力インピーダンス CR2NV[6:5]: ビットは、POR、ハードウェアリセット、またはソフトウェアリセット時の IO 信号の出力インピーダンス (駆動能力) を制御します。出力インピーダンスをプリント基板のシステム環境に一致させ、オーバーシュートおよびリングングを最小限に抑えるために多くの駆動能力を利用できます。不揮発性出力インピーダンスのコンフィギュレーションビットにより、デバイスは適切な駆動能力で直ちに作動 (ブート) できます。

表 13. 出力インピーダンス制御

| CR2NV[6:5] インピーダンス選択 | V _{SS} に対する標準インピーダンス (Ω) | V _{CC} に対する標準インピーダンス (Ω) | 備考 |
|-------------------------|--------------------------------------|--------------------------------------|-------|
| 00 | 18 | 21 | |
| 01 | 26 | 28 | |
| 10 | 47 | 45 | |
| 11 | 71 | 64 | 工場出荷時 |

不揮発性 QPI CR2NV[3]: このビットは、POR、ハードウェア リセット、またはソフトウェア リセット時のすべてのコマンドに対する所望の命令幅を制御します。レガシーの SPI コマンドは 1 ビット幅 (シリアル I/O) の命令を SI (IO0) 信号上へ送信します。また、FL-L ファミリーはホスト システムとメモリ間のすべての転送 (すべての命令転送を含む) が 4 ビット幅で IO0 ~ IO3 を介して実行される QPI モードにも対応します。不揮発性 QPI コンフィギュレーション ビットを使用すると、デバイスは、レガシーのシリアル命令モードではなく QPI モードで直ちに起動 (ブート) できます。QPI モードに遷移する推奨手順としては、最初は QPIEN (38h) コマンドを使用することですが、WRR または WRAR コマンドで CR2V[3] を「1」(QPI モード) にセットすることもできます。QPI モードでの揮発性レジスタ書き込みは、短くて明確に定義された時間を要します。デバイス インターフェースを QPI モードに切り替えるためには t_{QEN} 、デバイスを SPI モードに戻らせるためには t_{QEX} を要します。その後、後続するコマンドは直ちに QPI プロトコルで送信できます。WRAR コマンドを使用して CR2NV[3] を「1」にプログラムし、その後、SR1V[0] をポーリングしていつプログラム動作が終了するかを判定します。同様に、QPI モードを終了するためには QPIEX (F5h) コマンドを使用します。また、WRR または WRAR コマンドは CR2V[3] を「0」にクリアするためにも使用されます。

不揮発性書き込み保護選択 CR2NV[2]: このビットは、POR、ハードウェア リセット、またはソフトウェア リセット時の書き込み保護方法を制御します。この不揮発性コンフィギュレーション ビットを使用すると、デバイスはレガシーのブロック保護ではなく個別ブロック ロック保護の方法で直ちに起動 (ブート) できます。

不揮発性電源投入時アドレス長 CR2NV[1]: アドレスを必要とし、かつ 3 バイトまたは 4 バイト (32 ビット) アドレスのみに固定しないすべてのコマンドに対して、このビットは POR、ハードウェア リセット、またはソフトウェア リセット時の所望するアドレス長を制御します。アドレスを必要とするほとんどのコマンドは、従来 3 バイト (24 ビット) のアドレスを使用するレガシーの SPI コマンドです。容量が 128Mb 以上のデバイスの場合、メモリ アレイ全体にアクセスするために 4 バイト (32 ビット) のアドレスが必要です。アドレス長コンフィギュレーション ビットはすべての 3 バイト アドレス コマンドを所望の 4 バイト アドレスに変更するために使用されます。コマンド アドレス長は [55 ページの表 33](#) を参照してください。不揮発性アドレス長コンフィギュレーション ビットを使用すると、デバイスは、レガシーの 3 バイト アドレス モードではなく 4 バイト アドレス モードで直ちに起動 (ブート) できます。

6.6.4.2 揮発性コンフィギュレーション レジスタ 2 (CR2V)

関連コマンド: コンフィギュレーション レジスタ 2 読み出し (RDRC2 15h)、任意レジスタ読み出し (RDAR 65h)、揮発性レジスタの書き込みイネーブル (WRENV 50h)、レジスタ書き込み (WRR 01h)、任意レジスタ書き込み (WRAR 71h)、4 バイト アドレス モード開始 (4BEN B7h)、4 バイト アドレス モード終了 (4BEX E9h)、QPI 開始 (38h)、QPI 終了 (F5h)。RDRC2 コマンドの実行で表示されるレジスタです。

表 14. 揮発性コンフィギュレーション レジスタ 2 (CR2V)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-----|--------|-------------|---------------|----------|--|
| 7 | IO3R | IO3_Reset | 揮発性 | CR2NV | 1= 有効 -- CS# が HIGH のとき、またはクアッド モードが無効 (CR1V[1]=0) のとき、または QPI が無効 (CR3V[3]=0) のとき、IO3 は RESET# の入力として使用されます。 0= 無効 -- IO3 は代替機能を持っておらず、IO3 / RESET# 入力によるハードウェア リセットは無効です。 |
| 6 | OI | 出力インピーダンス | | | 31 ページの表を参照してください。 |
| 5 | | | | | |
| 4 | RFU | 予約済み | | | 将来使用するために予約済み |
| 3 | QPI | QPI | | | 1= 有効 -- QPI (4-4-4) プロトコルを使用します。 0= 無効 -- 従来の SPI プロトコルを使用します。命令は SI 上で常にシリアルです。 |
| 2 | WPS | 書き込み保護選択 | 揮発性 読み出し専用 | CR2NV | 0= レガシー ブロック保護 1= 個別ブロック ロック |
| 1 | ADP | 電源投入時のアドレス長 | | | ステータス読み出し専用ビット 1=4 バイト アドレス 0=3 バイト アドレス |
| 0 | ADS | アドレス長ステータス | 揮発性 | CR2NV[1] | 現在のアドレス モード 1=4 バイト アドレス 0=3 バイト アドレス |

IO3_Reset CR2V[7]: このビットは IO3 / RESET# 信号の動作を制御します。揮発性 IO3_Reset コンフィギュレーション ビットを使用すると、CS# が HIGH のとき、またはクアッド モードが無効のとき (CR1V[1]=0)、または QPI が無効のとき (CR3V[3]=0)、通常動作で IO3 を RESET# 入力として使用できます。

出力ラインピーダンス CR2V[6:5]: これらのビットは IO 信号の出力ラインピーダンス (駆動能力) を制御します。揮発性出力ラインピーダンス コンフィギュレーション ビットを使用すると、ユーザーは通常動作での駆動能力を調整できます。

QPI CR2V[3]: このビットはすべてのコマンドに対して所望の命令幅を制御します。揮発性 QPI コンフィギュレーション ビットは、デバイスの通常動作中に QPI モードを開始/終了できます。ビットを QPI モードにセットされたとき、QIO モード (CR1V[1]) の設定にかかわらず QUAD モードは有効になります。ビットをレガシー SPI モードにクリアしても、QUAD ビットは影響されません。QPI CR2V[3] ビットはまた、QPIEN (38h) コマンドと QPIEX (F5h) コマンドの実行でそれぞれ「1」と「0」にセットできます。

表 15. QPI および QIO モード制御ビット

| QPI CR2V[3] | QUAD CR1V[1] | 説明 |
|-------------|--------------|--|
| 0 | 0 | SIO モード: シングルおよびデュアル読み出し、WP# / IO2 入力は WP# ピンとして使用され、IO3 / RESET# 入力は RESET# ピンとして使用されます。 |
| 0 | 1 | QIO モード: シングル、デュアルおよびクアッド読み出し、WP# / IO2 入力は IO2 として使用され、IO3 / RESET# 入力は IO3 または RESET# ピンとして使用されます。 |
| 1 | X | QPI モード: クアッド読み出し、WP# / IO2 入力は IO2 として使用され、IO3 / RESET# 入力は IO3 または RESET# ピンとして使用されます。 |

書き込み保護選択 CR2V[2]: このビットは、44 ページの 7.6.1 レガシーブロック保護節または 47 ページの 7.6.2 個別ブロックロック (IBL) 保護節のどちらのアレイ保護方法を使用するかを選択します。揮発性コンフィギュレーション ビットを使用すると、ユーザーは通常動作での保護方法を変更できます。

電源投入時アドレス長 (ADP) CR2V[1]: このビットは読み出し専用であり、アドレスを必要とし 3 バイトまたは 4 バイト (32 ビット) アドレスに固定しないすべてのコマンドに対して、POR、ハードウェア リセット、またはソフトウェア リセット後のアドレス長を示します。

アドレス長ステータス (ADS) CR2V[0]: このビットはアドレスを必要とし 3 バイトまたは 4 バイトに固定しないすべてのコマンドに対して、所望するアドレス長を制御します。コマンド アドレス長は 55 ページの表 33 を参照してください。揮発性アドレス長コンフィギュレーション ビットは、通常動作中にアドレス長を変更できます。4 バイト アドレス モードの 4BEN コマンドはこのビットを 4 バイト アドレス モードに直接設定し、4BEX コマンドはこのビットを 3 バイト アドレス モードに戻るよう設定します。不揮発性アドレス長 CR2NV[1] ビットが更新されるとともに、このビットも更新されます。

6.6.5 コンフィギュレーションレジスタ 3

コンフィギュレーションレジスタ 3 はメインフラッシュアレイの読み出しコマンドのバーストラップ動作およびレイテンシ読み出しを制御します。バーストラップコンフィギュレーションはレジスタまたはセキュリティ領域からの読み出しコマンドなどのメインフラッシュアレイでない領域から読み出すコマンドに影響しません。POR、ハードウェアリセット、またはソフトウェアリセット時にレジスタの内容がレジスタの揮発性バージョンにコピーされるため、レジスタの不揮発性バージョンは起動時 (ブート) の制御状態を設定できるようにします。レジスタの揮発性バージョンは通常動作での機能を制御します。

レジスタビットは、コンフィギュレーションレジスタ 3 読み出し (RDCR3 33h)、レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h) を実行することで読み出され、変更が可能です。また、レジスタの揮発性バージョンはバースト長設定 (77h) コマンドの実行でも書き込めます。

6.6.5.1 不揮発性コンフィギュレーションレジスタ 3 (CR3NV)

関連コマンド: 不揮発性書き込みイネーブル (WREN 06h)、レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

表 16. 不揮発性コンフィギュレーションレジスタ 3 (CR3NV)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-----|--------|--------------------|------|---------|---|
| 7 | RFU | 予約済み | 不揮発性 | 0 | 将来使用するために予約済み |
| 6 | WL_NV | ラップ長デフォルト | | 1 | 00=8 バイト ラップ |
| 5 | | | | 1 | 01=16 バイト ラップ |
| | | | | | 10=32 バイト ラップ |
| | | 11=64 バイト ラップ | | | |
| 4 | WE_NV | ラップ イネーブル デフォルト | | 1 | 0= ラップが有効 1= ラップが無効 |
| 3 | RL_NV | 読み出しレイテンシ デフォルト | | 1 | 読み出しアドレスまたは連続モード ビットの後に 続く 0 ~ 15 レイテンシ (ダミー) サイクル |
| 2 | | | | 0 | |
| 1 | | | | 0 | |
| 0 | | | 0 | | |

不揮発性ラップ長 CR3NV[6:5]: これらのビットは、POR、ハードウェア リセット、またはソフトウェア リセット時のラップ読み出しの長さとアラインメントを制御します。

不揮発性ラップ イネーブル CR3NV[4]: このビットは POR、ハードウェア リセット、またはソフトウェア リセット時のラップ イネーブルを制御します。ラップ イネーブルに影響されるコマンドはクアッド I/O 読み出し、QPI 読み出し、DDR クアッド I/O 読み出しおよび DDR QPI 読み出しです。コンフィギュレーション ビットを使用すると、デバイスはレガシーの順次読み出しモードではなくラップ バースト読み出しモードで直ちに起動 (ブート) できます。

不揮発性読み出しレイテンシ CR3NV[3:0]: これらのビットは POR、ハードウェア リセット、またはソフトウェア リセット時のすべての可変レイテンシ読み出しコマンドの読み出しレイテンシ (ダミー サイクル) 遅延を制御します。以下の読み出しコマンドは、アドレス/モードの終わりからホストに返される読み出しデータの始まりまでの、可変のレイテンシ期間があります。

■ 以下のコマンドに対するクロック周波数ごとのレイテンシ遅延は、全クロック周波数に対して 1 ダミー サイクルです。「0」のデフォルト レイテンシ コードは 1 ダミー サイクルです。

- データ ラーニング パターン読み出し DLPRD (1-1-1) または (4-4-4)
- IRP 読み出し IRPRD (1-1-1) または (4-4-4)
- 保護レジスタ読み出し PRRD (1-1-1) または (4-4-4)
- パスワード読み出し PASSRD (1-1-1) または (4-4-4)

■ 以下のコマンドに対するクロック周波数ごとのレイテンシ遅延は下記の表 17 および表 18 に示します。「0」のデフォルト レイテンシ コードは 8 ダミー サイクルです。

- 高速読み出し FAST_READ (1-1-1)
- クアッド出力読み出し QOR、4QOR (1-1-4)
- デュアル出力読み出し DOR、4DOR (1-1-2)
- デュアル I/O 読み出し DIOR、4DIOR (1-2-2)
- クアッド I/O 読み出し QIOR、4QIOR (1-4-4) または (4-4-4)
- DDR クアッド I/O 読み出し DDRQIOR、4DDRQIOR (1-4-4)
- セキュリティ領域読み出し SECRR (1-1-1) または (4-4-4)
- 任意レジスタ読み出し RDAR (1-1-1) または (4-4-4)
- シリアル フラッシュ検出可能パラメーター読み出し RSFDP (1-1-1) または (4-4-4)

不揮発性読み出しレイテンシ コンフィギュレーションビットは、使用される読み出しレイテンシ (ダミー サイクル) 数を設定します。これにより、デバイスはホスト システムの適切な読み出しレイテンシで直ちに起動 (ブート) できます。

表 17. レイテンシ コード (サイクル) と周波数 (その 1)

| レイテンシ コード 0 | 読み出しコマンドの最大周波数 (MHz) | | | | | | |
|----------------|----------------------|---------------------------|-----------------------------|---------------------------|-----------------------------|---------------------------------|---|
| | 高速読み出し (1-1-1) | デュアル 出力読み出し (1-1-2) | デュアル I/O 読み出し (1-2-2) | クアッド出力 読み出し (1-1-4) | クアッド I/O 読み出し (1-4-4) | クアッド I/O 読み出し QPI (4-4-4) | DDR クアッド I/O (1-4-4) QPI (4-4-4) |
| | モード サイクル =0 | モード サイクル =0 | モード サイクル =4 | モード サイクル =0 | モード サイクル =2 | モード サイクル =2 | モード サイクル =1 |
| | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 |
| 1 | 50 | 50 | 75 | 35 | 35 | 35 | 20 |
| 2 | 65 | 65 | 85 | 45 | 45 | 45 | 25 |
| 3 | 75 | 75 | 95 | 55 | 55 | 55 | 35 |
| 4 | 85 | 85 | 108 | 65 | 65 | 65 | 45 |
| 5 | 95 | 95 | 108 | 75 | 75 | 75 | 54 |
| 6 | 108 | 105 | 108 | 85 | 85 | 85 | 54 |
| 7 | 108 | 108 | 108 | 95 | 95 | 95 | 54 |
| 8 | 108 | 108 | 108 | 108 | 108 | 108 | 54 |
| 9 | 108 | 108 | 108 | 108 | 108 | 108 | 54 |
| 10 | 108 | 108 | 108 | 108 | 108 | 108 | 54 |
| 11 | 108 | 108 | 108 | 108 | 108 | 108 | 54 |
| 12 | 108 | 108 | 108 | 108 | 108 | 108 | 54 |
| 13 | 108 | 108 | 108 | 108 | 108 | 108 | 54 |

表 17. レイテンシ コード (サイクル) と周波数 (その 1)(続き)

| レイテンシ コード 0 | 読み出しコマンドの最大周波数 (MHz) | | | | | | |
|----------------|----------------------|---------------------------|-----------------------------|---------------------------|-----------------------------|---------------------------------|---|
| | 高速読み出し (1-1-1) | デュアル 出力読み出し (1-1-2) | デュアル I/O 読み出し (1-2-2) | クアッド出力 読み出し (1-1-4) | クアッド I/O 読み出し (1-4-4) | クアッド I/O 読み出し QPI (4-4-4) | DDR クアッド I/O (1-4-4) QPI (4-4-4) |
| | モード サイクル =0 | モード サイクル =0 | モード サイクル =4 | モード サイクル =0 | モード サイクル =2 | モード サイクル =2 | モード サイクル =1 |
| | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 |
| 14 | 108 | 108 | 108 | 108 | 108 | 108 | 54 |
| 15 | 108 | 108 | 108 | 108 | 108 | 108 | 54 |

表 18. レイテンシ コード (サイクル) と周波数 (その 2)

| レイテンシ コード 0 | 読み出しコマンドの最大周波数 (MHz) | | | | | |
|----------------|---------------------------|-------------------------------|-----------------------------|---------------------------------|----------------------------|-----------------------------------|
| | 任意レジスタ 読み出し (1-1-1) | 任意レジスタ 読み出し QPI (4-4-4) | セキュリティ 領域読み出し (1-1-1) | セキュリティ 領域読み出し QPI (4-4-4) | SFDP 読み出し RSFDP (1-1-1) | SFDP 読み出し RSFDP QPI (4-4-4) |
| | モード サイクル =0 | モード サイクル =0 | モード サイクル =0 | モード サイクル =0 | モード サイクル =0 | モード サイクル =0 |
| | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 | ダミー サイクル =8 |
| 1 | 50 | 15 | 50 | 15 | 50 | 15 |
| 2 | 65 | 25 | 65 | 25 | 65 | 25 |
| 3 | 75 | 35 | 75 | 35 | 75 | 35 |
| 4 | 85 | 45 | 85 | 45 | 85 | 45 |
| 5 | 95 | 55 | 95 | 55 | 95 | 55 |
| 6 | 108 | 65 | 108 | 65 | 108 | 65 |
| 7 | 108 | 75 | 108 | 75 | 108 | 75 |
| 8 | 108 | 85 | 108 | 85 | 108 | 85 |
| 9 | 108 | 95 | 108 | 95 | 108 | 95 |
| 10 | 108 | 108 | 108 | 108 | 108 | 108 |
| 11 | 108 | 108 | 108 | 108 | 108 | 108 |
| 12 | 108 | 108 | 108 | 108 | 108 | 108 |
| 13 | 108 | 108 | 108 | 108 | 108 | 108 |
| 14 | 108 | 108 | 108 | 108 | 108 | 108 |
| 15 | 108 | 108 | 108 | 108 | 108 | 108 |

注：

- このデバイス ファミリーでは 108MHz SDR を超えた、または 54MHz DDR を超えた SCK 周波数に対応しません。
- デュアル I/O、クアッド I/O、QPI、DDR クアッド I/O、および DDR QPI コマンド プロトコルには、アドレスの後に続く連続読み出しモードのビットが含まれます。ビットのクロック サイクルはこの表に示されるレイテンシ サイクルの一部として計算されません。例えば、レガシーのクアッド I/O コマンドでは、アドレスの後に 2 つの連続読み出しモード サイクルが続きます。したがって、追加の読み出しレイテンシがないレガシーのクアッド I/O コマンドは、0 サイクルの読み出しレイテンシのために、この表に示されている周波数までだけが対応されます。可変読み出しレイテンシを増加することで、クアッド I/O コマンドの周波数は最大周波数および QPI 最大対応周波数 (108MHz) の動作に対応できるように増加できます。
- 他のコマンドは固定したレイテンシを持っています。例えば、読み出しコマンドは常にゼロ読み出しレイテンシ、固有 ID 読み出しコマンドは 32 ダミー サイクル、ディープ パワーダウン終了コマンドは 24 ダミー サイクルを持っています。

6.6.5.2 揮発性コンフィギュレーションレジスタ 3 (CR3V)

関連コマンド：コンフィギュレーションレジスタ 3 読み出し (RDCR3 33h)、揮発性レジスタの書き込みイネーブル (WRENV 50h)、レジスタ書き込み (WRR 01h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)、バースト長設定 (SBL 77h)。RDCR3 コマンドの実行で表示されるレジスタです。

表 19. 揮発性コンフィギュレーションレジスタ 3 (CR3V)

| ビット | フィールド名 | 機能 | タイプ | デフォルト 状態 | 説明 |
|-----|--------|-----------|-----|-------------|---|
| 7 | RFU | 予約済み | 揮発性 | CR3NV | 将来使用するために予約済み |
| 6 | WL | ラップ長 | | | 00=8 バイト ラップ 01=16 バイト ラップ 10=32 バイト ラップ 11=64 バイト ラップ |
| 5 | | | | | |
| 4 | WE | ラップ イネーブル | | | 0= ラップが有効 1= ラップが無効 |
| 3 | RL | 読み出しレイテンシ | | | 読み出しアドレスまたは連続モード ビットの後に続く 0 ~ 15 レイテンシ (ダミー) サイクル |
| 2 | | | | | |
| 1 | | | | | |
| 0 | | | | | |

ラップ長 CR3V[6:5]: これらのビットは通常動作でのラップ読み出しの長さおよびアラインメントを制御します。揮発性コンフィギュレーションビットを使用すると、ユーザーは通常動作でのバースト ラップ読み出しの長さを調整できます。

ラップ イネーブル CR3V[4]: このビットはバースト ラップ機能を制御します。揮発性コンフィギュレーションビットを使用すると、デバイスは通常動作中にバースト ラップ読み出しモードを開始／終了できます。CR3V[4] が「1」の場合、ラップ モードは無効になり、長さが無制限の順次読み出しが実行されます。CR3V[4] が「0」の場合、ラップ モードは有効になり、固定長の 8 / 16 / 32 / 64 バイトにアラインされたグループは、読み出しコマンドで提供されたバイト アドレスから読み出され、グループのアラインメント境界でラップアラウンドします。

読み出しレイテンシ CR3V[3:0]: これらのビットは可変レイテンシ読み出しコマンドの読み出しレイテンシ (ダミー サイクル) 遅延を設定します。揮発性コンフィギュレーションビットを使用することにより、ユーザーは通常動作での読み出しレイテンシを調整でき、異なるコマンドまたは必要な場合に異なる動作周波数に応じてレイテンシを最適化できます。

6.6.6 個別および領域保護レジスタ (IRP)

関連コマンド：IRP 読み出し (IRPRD 2Bh)、IRP プログラム (IRPP 2Fh)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

IRP レジスタは個別および領域保護 (IRP) 機能の動作を永久的に設定するための、16 ビットの OTP メモリ位置にあります。IRP にはユーザー プログラム可能な揮発性ビットがなく、すべての定義されたビットは OTP です。

IRP ビットのデフォルト状態はサイプレスによってプログラムされています。

表 20. IRP レジスタ (IRP)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|--------|--------|------------------------------------|-----|---------|---|
| 15 ~ 7 | RFU | 予約済み | OTP | 全ビットは 1 | 将来使用するために予約済み |
| 6 | SECRRP | セキュリティ領域 3 読み出しパスワード モード イネーブル ビット | OTP | 1 | 0= セキュリティ領域 3 読み出しパスワード モードが選択される 1= セキュリティ領域 3 読み出しパスワード モードが選択されない IRP[2:0]=「111」の場合、IRP[6] はプログラム可能 |
| 5 | RFU | 予約済み | OTP | 1 | 将来使用するために予約済み |
| 4 | IBLLBB | IBL ロック ブート ビット | OTP | 1 | 0= 非保護状態での電源投入時に全 IBL ビットが「1」にセットされる 1= 保護状態での電源投入時に全 IBL ビットが「0」にセットされない IRP[2:0]=「111」の場合、IRP[4] はプログラム可能 |
| 3 | RFU | 予約済み | OTP | 1 | 将来使用するために予約済み |
| 2 | PWDMLB | パスワード保護 モード ロック ビット | OTP | 1 | 0= パスワード保護モードが永久的に有効にされる 1= パスワード保護モードが永久的に有効にされない IRP[2:0]=「111」の場合、IRP[2] はプログラム可能 |
| 1 | PSMLB | 電源ロックダウン保護モードロック ビット | OTP | 1 | 0= 電源ロックダウン保護モードが永久的に有効にされる 1= 電源ロックダウン保護モードが永久的に有効にされない IRP[2:0]=「111」の場合、IRP[1] はプログラム可能 |
| 0 | PERMLB | 永久的保護ロック | OTP | 1 | 0= 永久的保護モードが永久的に有効にされる 1= 永久的保護モードが永久的に有効にされない IRP[2:0]=「111」の場合、IRP[0] はプログラム可能 |

セキュリティ領域読み出しパスワード モード イネーブル (SECRRP) IRP[6]: SECRRP が「0」にプログラムされると、PWDMLB ビット IRP[2] が同時、またはその後でプログラムされると、セキュリティ領域 3 読み出しパスワード モードは有効になります。SECRRP ビットは、IRP[2:0]=「111」のときにのみプログラム可能です。そうでない場合、プログラムは失敗し、P_ERR が「1」にセットされます。[53 ページの 7.7.4 セキュリティ領域読み出しパスワード保護節](#)を参照してください。

IBL ロック ブート ビット (IBLLBB) IRP[4]: IBLLBB のデフォルト状態は「1」であり、電源投入、ハードウェア リセットまたはソフトウェア リセットの後、保護状態で個々の IBL ビットに「0」がセットされます。アレイをプログラムまたは消去するために、グローバル IBL ロック解除またはセクタ/ブロック IBL ロック解除コマンドをプログラムまたは消去コマンドの前に発行しなければなりません。IBLLBB ビットが「0」にプログラムされると、電源投入、ハードウェア リセットまたはソフトウェア リセットの後、個々の IBL ビットは非保護状態になります。IBLLBB ビットは、IRP[2:0]=「111」のときにのみプログラム可能です。そうでない場合、プログラムは失敗し、P_ERR が「1」にセットされます。[47 ページの 7.6.2 個別ブロック ロック \(IBL\) 保護節](#)を参照してください。

パスワード保護モード ロック ビット (PWDMLB) IRP[2]: PWDMLB が「0」にプログラムされると、パスワード保護モードはセキュリティ領域 2 と 3 およびポインター領域を保護するよう永久的に選択されます。PWDMLB ビットは IRP[2:0]=「111」のときにのみプログラム可能です。そうでない場合、プログラムは失敗し、P_ERR が「1」にセットされます。[52 ページの 7.7.3 パスワード保護モード節](#)を参照してください。

IRP[2] を「0」にプログラムしてパスワード保護モードを選択した後、すべての IRP ビットの状態はロックされ、永久的にプログラムから保護されます。任意の IRP ビットをプログラムしようとすると、プログラミング エラーが発生し、P_ERR が「1」にセットされます。

パスワード モードをセット (IRP[2]=0) する前に、パスワードのプログラムおよび検証をしなければなりません。

電源ロックダウン保護モード ロック ビット (PSMLB) IRP[1]: PSMLB が「0」にプログラムされると、電源ロックダウン保護モードは永久的に選択されます。IBLLBB ビットは IRP[2:0]=「111」のときにのみプログラム可能です。そうでない場合、プログラムは失敗し、P_ERR が「1」にセットされます。

IRP[1] を「0」にプログラムして電源ロックダウン保護モードを選択した後、すべての IRP ビットの状態はロックされ、将来のプログラムから永久的に保護されます。任意の IRP ビットをプログラムしようとすると、プログラミング エラーが発生し、P_ERR が「1」にセットされます。[51 ページの 7.7.1IRP レジスタ節](#)を参照してください。

永久的保護ロック ビット (PERMLB) IRP[0]: PERMLB が「0」にプログラムされると、ポインター領域およびセキュリティ領域 2 と 3 は永久的に保護されます。ビットをプログラムすることで、パスワードや PRL コマンドを使用せずにポインター領域およびセキュリティ領域 2 と 3 を簡単に永久的に保護できます。[51 ページの 7.7.1IRP レジスタ節](#)を参照してください。

PWDMLB (IRP[2]), PSLMLB (IRP[1]) と PERMLB (IRP[0]) は相互に排他的であり、どれか 1 つのみを「0」にプログラムできます。IRP ビットは IRP[2:0]=「111」のときにのみプログラム可能です。IRP[2:0] が「111」でない場合、IRP ビットをプログラムすると、プログラミング エラーが発生し、P_ERR が「1」にセットされます。IRP 保護モードは後で不正なプログラムが意図しない保護モードを選択しないようにするため、システム コンフィギュレーションのときに選択する必要があります。IRP モードの選択によりすべての保護コンフィギュレーションをロックすることで、後で不正なプログラムが保護方式を変更できないようにできます。

6.6.7 パスワード レジスタ (PASS)

関連コマンド：パスワード読み出し (PASSRD E7h)、パスワード プログラム (PASSP E8h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。PASS レジスタは個別および領域保護 (IRP) 機能のパスワードを永久的に設定するための 64 ビット OTP メモリ位置です。PASS にはユーザー プログラム可能な揮発性ビットがなく、すべての定義されたビットは OTP です。読み出しレイテンシ要件を満たすために PASS の揮発性コピーが使用されますが、揮発性レジスタはユーザー書き込み不可であり、さらに記述されません。IRP[2] が「0」にプログラムされた後、パスワードの読み出しもプログラムもできません。37 ページの表 20 を参照してください。

表 21. パスワード レジスタ (PASS)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|--------|--------|---------|-----|----------------------|---|
| 63 ~ 0 | PWD | 隠しパスワード | OTP | FFFFFFFF ~ FFFFFFFFh | 64 ビット パスワードの不揮発性 OTP ストレージです。IRP レジスタのビット 2 を「0」にプログラムすることでパスワード保護モードを選択した後、パスワードは読み出し不可になります。 |

6.6.8 保護レジスタ (PR)

関連コマンド：保護レジスタ読み出し (PRRD A7h)、保護レジスタ ロック (PRL A6h)、任意レジスタ読み出し (RDAR 65h)。

PR にはユーザー プログラム可能な揮発性ビットがなく、すべての定義されたビットは揮発性の読み出し専用状態です。RFU ビットのデフォルト状態はハードウェアで設定されます。PR レジスタの不揮発性バージョンはありません。

NVLOCK ビットはセキュリティ領域 2 と 3 およびポインター領域の保護に使用されます。NVLOCK[0]=0 のとき、セキュリティ領域 2 と 3 およびポインター領域の保護は変更できません。

表 22. 保護ステータス レジスタ (PR)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-----|------------------------|-------------------|-----------|-----------------|--|
| 7 | RFU | 予約済み | 揮発性読み出し専用 | 00h | 将来使用するために予約済み |
| 6 | SECRRP | セキュリティ領域パスワード読み出し | | IRP[6] | 0=NVLOCK が 0 のとき、セキュリティ領域 3 は読み出しからパスワードで保護されます。 1=セキュリティ領域 3 は読み出しからパスワードで保護されません。 |
| 5 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 4 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 3 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 2 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 1 | RFU | 予約済み | | 0 | 将来使用するために予約済み |
| 0 | NVLOCK ^[12] | 不揮発性コンフィギュレーション保護 | | IRP[2] と IRP[0] | 0=セキュリティ領域 2 と 3 およびポインター領域は書き込みから保護されます。 1=セキュリティ領域 2 と 3 およびポインター領域は書き込み可能です。 |

注：

12. 保護レジスタ ロック (PRL) コマンドで NVLOCK を「1」にセットします。

6.6.9 個別ブロック ロック アクセス レジスタ (IBLAR)

関連コマンド：IBL 読み出し (IBLRD 3Dh または 4IBLRD E0h)、IBL ロック (IBL 36h または 4IBL E1h)、IBL ロック解除 (IBLUL 39h または 4IBUL E2h)、グローバル IBL ロック (GBL 7Eh)、グローバル IBL ロック解除 (GBUL 98h)。

IBLAR にはユーザー プログラム可能な不揮発性ビットがなく、すべてのビットは IBL アレイの揮発性ビットのコピーです。IBL アレイビットのデフォルト状態はハードウェアで設定されます。IBLAR レジスタの不揮発性バージョンはありません。

表 23. IBL アクセス レジスタ (IBLAR)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-------|--------|----------------------|-----|--------------------------------|---|
| 7 ~ 0 | IBL | 個別セクタ／ブロック用 IBL 読み書き | 揮発性 | IRP[4]=1: 00h IRP[4]=0: FFh | 00h=アドレス指定されたセクタ／ブロック用の IBL が IBL、4IBL、GBL コマンドで「0」にセットされ、セクタはプログラム／消去動作から保護されます。 FFh= アドレス指定されたセクタ／ブロック用の IBL が IBUL、4IBUL、GBUL コマンドで「1」にクリアされ、セクタはプログラム／消去動作から保護されません。 |

注：

13. 47 ページの図 25 を参照してください。

14. IBL ビットは IBLRD および 4IBLRD コマンドで読み出されます。

6.6.10 ポインター領域保護レジスタ (PRPR)

関連コマンド：ポインター領域保護セット (SPRP FBh または 4SPRP E3h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

PRPR にはユーザー プログラム可能な不揮発性ビットが含まれます。PRPR ビットのデフォルト状態はハードウェアで設定されます。PRPR レジスタの揮発性バージョンはありません。詳細は 48 ページの 7.6.3 ポインター領域保護 (PRP) 節を参照してください。

表 24. PRP レジスタ (PRPR)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-----------|--------|------------|------|-----------|--|
| A31 ~ A23 | RFU | 予約済み | 不揮発性 | 11111111b | 将来使用するために予約済み |
| A22 ~ A16 | PRPAD | PRP アドレス | | FFh | ポインター アドレス A22 ~ A16 |
| A15 ~ A12 | | | | Fh | ポインター アドレス A15 ~ A12 |
| A11 | PRPALL | PRP 保護全セクタ | | 1 | 0= ポインター領域によって選択されたセクタを保護 1= すべてのセクタを保護 |
| A10 | PRPEN | PRP イネーブル | | 1 | 0= ポインター領域保護が有効 1= ポインター領域保護が無効 |
| A9 | PRPTB | PRP 上部／下部 | | 1 | 0= ポインター領域保護は最上部 (上位アドレス) から始まる 1= ポインター領域保護は最下部 (下位アドレス) から始まる |
| A8 | RFU | 予約済み | | 1 | 将来使用するために予約済み |
| A7 ~ A0 | RFU | 予約済み | | FFh | 将来使用するために予約済み |

6.6.11 DDR データ ラーニング レジスタ

関連コマンド : DLRNV プログラム (PDLRNV 43h)、DLRV 書き込み (WDLRV 4Ah)、データ ラーニング パターン読み出し (DLPRD 41h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

データ ラーニング パターン (DLP) は 8 ビット不揮発性データ ラーニング レジスタ (DLRNV) および 8 ビット揮発性データ ラーニング レジスタ (DLRV) にあります。サイプレス出荷時の DLRNV 値は 00h です。いったんプログラムされた DLRNV は再プログラムも消去もできません。DLRNV 内のデータ パターンのコピーは DLRV にも書き込まれます。DLRV はいつでも書き込めますが、ハードウェアおよびソフトウェアのリセットまたはパワー サイクルのとき、データ パターンは DLRNV 内のものに戻ります。説明された SPI DDR モードのラーニング フェーズでは、DLP は DLRV から得られます。それぞれの IO はクロック エッジごとに同じ DLP 値を出力します。例えば、DLP が 34h (2 進で 00110100) の場合、1 番目のクロック エッジですべての I/O は 0 を出力します。続いて、2 番目のクロック エッジで 0 を、3 番目のクロック エッジで 1 を、というように順番に出力します。

DLRV 値が 00h の場合、DDR コマンドのダミー フェーズ中にプリアンブル データ パターンはありません。

表 25. 不揮発性データ ラーニング レジスタ (DLRNV)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-------|--------|--------------------------|-----|---------|---|
| 7 ~ 0 | NVDLP | 不揮発性データ ラーニング パターン | OTP | 00h | ホストが受信データ ビットでデータ キャプチャ ポイントを正確に中央に位置付けるのに役立つトレーニング パターンを提供するために DDR 読み出しコマンドレイテンシ (ダミー) サイクル中にホストに転送される OTP 値です。 |

表 26. 揮発性データ ラーニング レジスタ (DLRV)

| ビット | フィールド名 | 機能 | タイプ | デフォルト状態 | 説明 |
|-------|--------|-------------------------|-----|-------------------------------------|--|
| 7 ~ 0 | VDLP | 揮発性データ ラーニング パターン | 揮発性 | POR または リセット中に DLRNV 値を 取得 | データ ラーニング パターン (DLP) を有効にして出力に供給するための NVDLP の揮発性コピーです。VDLP はシステム動作中にホストによって変更される場合があります。 |

7. データ保護

7.1 セキュリティ領域

デバイスにはメイン フラッシュ アレイから独立した 1024 バイト アドレス空間があります。空間は 4 つの領域に分割され、それぞれが単独にロックでき、256 バイト長です。24 ページの 6.5 セキュリティ領域アドレス空間節を参照してください。

セキュリティ領域メモリ空間はシステム セキュリティの強化に使用されます。データ値はフラッシュ コンポーネントをシステム CPU / ASIC と一体化してデバイス置き換えを回避できます。セキュリティ領域アドレス空間はセキュリティ領域ロックビットまたは保護レジスタの NVLOCK ビット PR[0] で保護されます。41 ページの 7.1.4 セキュリティ領域ロックビット (LB3、LB2、LB1、LB0) 節を参照してください。

7.1.1 セキュリティ領域メモリの読み出し

セキュリティ領域読み出しコマンド (SECRR) は高速読み出しと同じプロトコルを使用します。1024 バイトの有効なセキュリティ領域アドレス範囲外の読み出し動作は不定値を生じます。94 ページの 8.7.3 セキュリティ領域読み出し (SECRR 48h) 節を参照してください。

セキュリティ領域 3 は NVLOCK=0 のとき、PWDMLB ビット IRP[2]=0 かつ SECRRP ビット IRP[6]=0 にセットすることにより、読み出しからパスワードで保護されます。

7.1.2 セキュリティ領域のプログラミング

セキュリティ領域プログラム コマンド (SECRP) のプロトコルはページ プログラムと同じです。93 ページの 8.7.2 セキュリティ領域プログラム (SECRP 42h) 節を参照してください。

セキュリティ領域プログラムの有効なアドレス範囲は 24 ページの表 5 に示されます。セキュリティ領域アドレス範囲外のセキュリティ領域プログラム動作は無視され、P_ERR ビット SR2V[5] に「1」がセットされません。

セキュリティ領域 2 と 3 は、PWDMLB ビット IRP[2]=0 にセットすることによりプログラムからパスワードで保護できます。

7.1.3 セキュリティ領域の消去

セキュリティ領域消去コマンド (SECRE) のプロトコルはセクタ消去と同じです。93 ページの 8.7.1 セキュリティ領域消去 (SECRE 44h) 節を参照してください。

セキュリティ領域消去の有効なアドレス範囲は 24 ページの表 5 に示されます。セキュリティ領域アドレス範囲外のセキュリティ領域消去動作は無視され、SR2V の E_ERR ビットに「1」がセットされません。

セキュリティ領域 2 と 3 は PWDMLB ビット IRP[2]=0 にセットすることにより消去からパスワードで保護できます。

7.1.4 セキュリティ領域ロックビット (LB3、LB2、LB1、LB0)

セキュリティ領域ロックビット (LB3、LB2、LB1、LB0) はコンフィギュレーション レジスタ 1 の不揮発性ワンタイム プログラム (OTP) ビット (CR1NV[5:2]) であり、セキュリティ領域に書き込み保護の制御およびステータスを提供します。セキュリティ領域 0 ~ 3 のデフォルト状態はロック解除です。LB[3:0] はステータス レジスタ書き込みまたは任意レジスタ書き込みコマンドでそれぞれ「1」にセットできます。LB[3:0] はワンタイム プログラマブル (OTP) で、いったん「1」にセットされた後、対応する 256 バイトのセキュリティ領域は永久的に読み出し専用になります。

7.2 ディープパワーダウン

ディープパワーダウン (DPD) コマンドはデータ保護の代替手段です。DPD 状態の間、ディープパワーダウン終了 (RES ABh) コマンドおよびハードウェア リセットを除くすべてのコマンドが無視されます。これにより、DPD 状態ですべてのプログラムや消去動作を防ぎます。

7.3 書き込みイネーブルのコマンド

7.3.1 書き込みイネーブル (WREN)

書き込みイネーブル (WREN) コマンドは不揮発性データを変更するすべてのコマンドの前に書き込む必要があります。WREN コマンドで書き込みイネーブル ラッチ (WEL) ビットをセットします。WEL ビットは電源投入時、ハードウェア/ソフトウェア リセットのとき、またはデバイスが以下のコマンドを完了した後 0 にクリアされます (書き込み不可になります)。

- リセット
- ページ プログラム (PP または 4PP)
- クアッド ページ プログラム (QPP または 4QPP)
- セクタ消去 (SE または 4SE)
- ハーフ ブロック消去 (HBE または 4HBE)
- ブロック消去 (BE または 4BE)
- チップ消去 (CE)
- 書き込みディセーブル (WRDI)
- レジスタ書き込み (WRR)
- 任意レジスタ書き込み (WRAR)
- セキュリティ領域消去 (SECRE)
- セキュリティ領域バイト プログラム (SECRP)
- 個別および領域保護レジスタ プログラム (IRPP)
- パスワード プログラム (PASSP)
- ステータス レジスタ クリア (CLSR)
- ポインター領域保護セット (SPRP または 4SPRP)
- 不揮発性データ ラーニング レジスタ プログラム (PDLRNV)
- 揮発性データ ラーニング レジスタ書き込み (WDLRV)

7.3.2 揮発性レジスタの書き込みイネーブル (WRENV)

揮発性書き込みイネーブル (WRENV) コマンドは揮発性レジスタ データを変更するレジスタ書き込み (WRR) コマンドの前に実行する必要があります。

7.4 書き込み保護信号

クアッド モードでないとき (CR1V[1]=0) または QPI モードでないとき (CR2V[3]=0)、書き込み保護 (WP#) 入力ステータス レジスタ保護 0 (SRP0) ビット (SR1NV[7]) とともにハードウェア入力信号で制御された保護を提供します。WP# が LOW で、SRP0 が「1」にセットされたとき、ステータス レジスタ 1 (SR1NV、SR1V)、コンフィギュレーション レジスタ (CR1NV、CR1V、CR2NV、CR2V、CR3NV) および DDR データ ラーニング レジスタ (DLRNV、DLRV) は変更から保護されます。これにより、レガシー ブロック保護ビットまたはセキュリティ領域ロック ビットで定義された保護の無効化あるいは変更を防ぎます。[26 ページの 6.6.1 ステータス レジスタ 1 節](#)を参照してください。

7.5 ステータス レジスタ保護 (SRP1、SRP0)

ステータス レジスタ保護ビット (SRP1 と SRP0) はコンフィギュレーション レジスタとステータス レジスタの揮発性ビット (CR1V[0] と SR1V[7]) です。SRP ビットは SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV の書き込み保護の方法 (ソフトウェア保護、ハードウェア保護、または電源ロックダウン) を制御します。

表 27. ステータス レジスタ保護ビット (高セキュリティ)

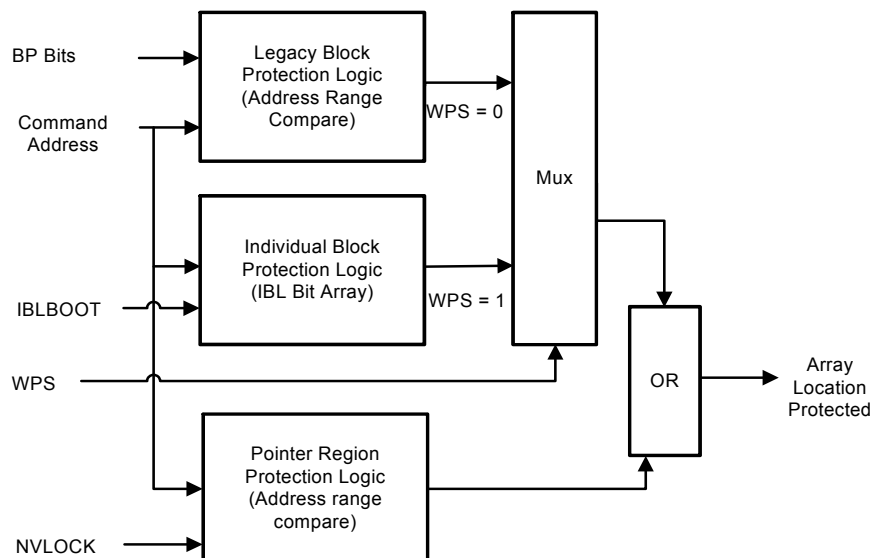
| SRP1_D CR1NV[0] | SRP1 CR1V[0] | SRP0 SR1V[7] | WP# | ステータス レジスタ | 説明 |
|--------------------|-----------------|-----------------|-----|-------------|---|
| 0 | 0 | 0 | X | ソフトウェア保護 | WP# ピンは何も制御しません。SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV、DLRV は書き込み可能です。[工場出荷時] |
| 0 | 0 | 1 | 0 | ハードウェア保護 | WP# ピンが LOW のとき、SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV、DLRV はロックされ、書き込みできません ^{[15]、[18]} 。 |
| 0 | 0 | 1 | 1 | ハードウェア非保護 | WP# ピンが HIGH のとき、SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV、DLRV はロックされず、書き込みます ^[15] 。 |
| 0 | 1 | X | X | 電源ロックダウン | 次のパワー サイクルまでは、SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV、DLRV は保護され、再度書き込みできません ^[16] 。 |
| 1 | 1 | X | X | ワンタイム プログラム | SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV、DLRV は永久的に保護され、書き込みできません ^[17] 。 |

- 注：**
- SRP0 はパワー サイクルまたはソフトウェア/ハードウェア リセットの後に SRP0_NV (SR1NV[7]) のデフォルト状態からリロードされます。電源投入時に WP# ピンによるハードウェア保護モードを有効にするために、SRP0_NV ビットを「1」にセットします。
 - SRP1=1 のとき、パワー サイクルまたはハードウェア リセットが発生すると、SRP1 は SRP1_D からリロードされ、「0」になります。
 - SRP1_D は IRP[2:0]=「111」のときにのみ書き込みます。SRP1_D CR1NV[0]=「1」のとき、パワー サイクルまたはハードウェア リセットが発生すると、SRP1 は SRP1_D=「1」からリロードされます。揮発性ビット SRP1 は書き込み不可であるため、OTP 保護を実現します。SRP1_D が「1」にプログラムされたとき、OTP 保護が使用中であることを示すために SRP0_NV も「1」にプログラムすることを推奨します。
 - QPI と QIO のいずれかのモードが有効になる (CR2V[3] または CR1V[1]=「1」) 場合、外部 WP# 入力が IO2 として使用されるため、内部 WP# 信号レベルは 1 になります。これにより、SRP1 と SRP0 が 01b になるとハードウェア保護が効果的にオフにされます。SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV レジスタはロックされずに書き込み可能になります。
 - WIP、WEL、SUS (SR1[1:0] と CR1[7]) はステータス レジスタ書き込みコマンドに影響されない揮発性の読み出し専用ステータス ビットです。
 - SR1NV、CR1NV、CR2NV、CR3NV の不揮発性バージョンは表に示されるように SRP ビットおよび WP# によって保護されているとき書き込み不可です。書き込みイネーブル (06h) コマンドに続いてステータス レジスタ書き込み (01h) コマンドまたは任意レジスタ書き込み (71h) コマンドを実行すると、これらのステータス レジスタ ビットの非揮発性バージョンは書き込み用に選択されます。
 - SR1V、CR1V、CR2V の揮発性バージョンは表に示されるように SRP ビットおよび WP# によって保護されるとき書き込み不可です。揮発性ステータス レジスタの書き込みイネーブル (50h) コマンドに続いてステータス レジスタ書き込み (01h) コマンドを実行するか、または書き込みイネーブル (06h) コマンドに続いて任意レジスタ書き込み (71h) コマンドを実行すると、これらのステータス レジスタ ビットの揮発性バージョンは書き込み用に選択されます。
 - 揮発性の CR3V ビットは SRP ビットによって保護されず、揮発性書き込みイネーブル (50h) コマンドに続いてステータス レジスタ書き込み (01h) コマンドを実行することでいつでも書き込みます。WRAR (71h) コマンドおよび SBL (77h) コマンドは CR3V レジスタ ビットに書き込む代替方法です。
 - システム電源投入およびブート コード実行時、信頼できるブート コードは SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV 値を変更する必要があるかどうか判定します。変更が必要ない場合、SRP1 ビット (CR1V[0]) を「1」にセットすることで、電源が投入されたままであれば通常システム動作の残りの部分中に SR1NV、SR1V、CR1NV、CR1V、CR2NV、CR2V、CR3NV、DLRNV および DLRV レジスタを変更から保護できます。

7.6 アレイ保護

メモリ アレイ保護には、レガシー ブロック (LBP)、個別ブロック ロック (IBL)、ポインター領域 (PRP) の 3 種類があります。ユーザーは書き込み保護選択 (WPS) ビットを使用して、レガシー ブロック (LBP) 保護 (WPS CR2V[2]=0) または個別ブロック ロック (IBL) 保護 (WPS CR2V[2]=1) の 2 つの保護方式の 1 つを有効にします。[揮発性コンフィギュレーションレジスタ 2 \(CR2V\) ページの 32](#) を参照してください。保護方式は一度に 1 つしか有効にできません。レガシー ブロック保護はデフォルトの保護方式で、IBL 保護方式と排他的です。ポインター領域保護方式は A10=0 によりポインター領域保護セット コマンドまたは WRAR コマンドを使用することで有効にします。[ポインター領域のコマンド ページの 99](#) を参照してください。ポインター領域保護が有効のとき、レガシー ブロック保護または個別ブロック ロック保護との論理和が取られます。

図 24. WPS による LBP または IBL の選択および PRP アレイ保護



7.6.1 レガシー ブロック保護

レガシー ブロック保護ビット (ステータス レジスタ ビット BP2、BP1、BP0 – SR1V[4:2]) はコンフィギュレーション レジスタの TBPROT ビット (SR1V[5])、CMP ビット (CR1V[6]) および SEC ビット (SR1V[6]) と併用してメイン フラッシュ アレイのアドレス範囲をプログラムおよび消去動作から保護できます。範囲のサイズは BP ビットの値で決まり、範囲の上限または下限のスタートポイントはコンフィギュレーション レジスタの TBPROT ビット (SR1V[5]) で選択されます。CMP ビット (CR1V[6]) が「1」にセットされると、保護は補完されます。

ポインター領域保護は有効となった場合、レガシー ブロック保護領域との論理和が得られます。

表 28. S25FL064L レガシー ブロック保護 (CMP=0)

| ステータス レジスタ | | | | | 64Mb ブロック保護 (CMP=0) | | | |
|------------|--------|-----|-----|-----|---------------------|--------------------|-------|-----------|
| SEC | TBPROT | BP2 | BP1 | BP0 | 保護ブロック | 保護アドレス範囲 | 保護容量 | 保護部分 |
| X | X | 0 | 0 | 0 | 無 | 無 | 無 | 無 |
| 0 | 0 | 0 | 0 | 1 | 126 および 127 | 7E0000h ~ 7FFFFFFh | 128kB | 上位 1/64 |
| 0 | 0 | 0 | 1 | 0 | 124 ~ 127 | 7C0000h ~ 7FFFFFFh | 256kB | 上位 1/32 |
| 0 | 0 | 0 | 1 | 1 | 120 ~ 127 | 780000h ~ 7FFFFFFh | 512kB | 上位 1/16 |
| 0 | 0 | 1 | 0 | 0 | 112 ~ 127 | 700000h ~ 7FFFFFFh | 1MB | 上位 1/8 |
| 0 | 0 | 1 | 0 | 1 | 96 ~ 127 | 600000h ~ 7FFFFFFh | 2MB | 上位 1/4 |
| 0 | 0 | 1 | 1 | 0 | 64 ~ 127 | 400000h ~ 7FFFFFFh | 4MB | 上位 1/2 |
| 0 | 1 | 0 | 0 | 1 | 0 および 1 | 000000h ~ 01FFFFh | 128kB | 下位 1/64 |
| 0 | 1 | 0 | 1 | 0 | 0 ~ 3 | 000000h ~ 03FFFFh | 256kB | 下位 1/32 |
| 0 | 1 | 0 | 1 | 1 | 0 ~ 7 | 000000h ~ 07FFFFh | 512kB | 下位 1/16 |
| 0 | 1 | 1 | 0 | 0 | 0 ~ 15 | 000000h ~ 0FFFFFFh | 1MB | 下位 1/8 |
| 0 | 1 | 1 | 0 | 1 | 0 ~ 31 | 000000h ~ 1FFFFFFh | 2MB | 下位 1/4 |
| 0 | 1 | 1 | 1 | 0 | 0 ~ 63 | 000000h ~ 3FFFFFFh | 4MB | 下位 1/2 |
| X | X | 1 | 1 | 1 | 0 ~ 127 | 000000h ~ 7FFFFFFh | 8MB | 全部 |
| 1 | 0 | 0 | 0 | 1 | 127 | 7FF000h ~ 7FFFFFFh | 4kB | 上位 1/2048 |
| 1 | 0 | 0 | 1 | 0 | 127 | 7FE000h ~ 7FFFFFFh | 8kB | 上位 1/1024 |
| 1 | 0 | 0 | 1 | 1 | 127 | 7FC000h ~ 7FFFFFFh | 16kB | 上位 1/512 |
| 1 | 0 | 1 | 0 | X | 127 | 7F8000h ~ 7FFFFFFh | 32kB | 上位 1/256 |
| 1 | 1 | 0 | 0 | 1 | 0 | 000000h ~ 000FFFh | 4kB | 下位 1/2048 |
| 1 | 1 | 0 | 1 | 0 | 0 | 000000h ~ 001FFFh | 8kB | 下位 1/1024 |
| 1 | 1 | 0 | 1 | 1 | 0 | 000000h ~ 003FFFh | 16kB | 下位 1/512 |
| 1 | 1 | 1 | 0 | X | 0 | 000000h ~ 007FFFh | 32kB | 下位 1/256 |

注：
 24. X= ドント ケア。

表 29. S25FL064L レガシー補完的ブロック保護 (CMP=1)

| ステータス レジスタ | | | | | 64Mb レガシー ブロック保護 (CMP=1) | | | |
|------------|--------|-----|-----|-----|--------------------------|--------------------|---------|--------------|
| SEC | TBPORT | BP2 | BP1 | BP0 | 保護ブロック | 保護アドレス範囲 | 保護容量 | 保護部分 |
| X | X | 0 | 0 | 0 | 0 ~ 127 | 000000h ~ 7FFFFFFh | 8MB | 全部 |
| 0 | 0 | 0 | 0 | 1 | 0 ~ 125 | 000000h ~ 7DFFFFh | 8,064kB | 下位 63/64 |
| 0 | 0 | 0 | 1 | 0 | 0 ~ 123 | 000000h ~ 7BFFFFh | 7,936kB | 下位 31/32 |
| 0 | 0 | 0 | 1 | 1 | 0 ~ 119 | 000000h ~ 77FFFFh | 7,680kB | 下位 15/16 |
| 0 | 0 | 1 | 0 | 0 | 0 ~ 111 | 000000h ~ 6FFFFFFh | 7MB | 下位 7/8 |
| 0 | 0 | 1 | 0 | 1 | 0 ~ 95 | 000000h ~ 5FFFFFFh | 5MB | 下位 3/4 |
| 0 | 0 | 1 | 1 | 0 | 0 ~ 63 | 000000h ~ 3FFFFFFh | 4MB | 下位 1/2 |
| 0 | 1 | 0 | 0 | 1 | 2 ~ 127 | 020000h ~ 7FFFFFFh | 8,064kB | 上位 63/64 |
| 0 | 1 | 0 | 1 | 0 | 4 ~ 127 | 040000h ~ 7FFFFFFh | 7,936kB | 上位 31/32 |
| 0 | 1 | 0 | 1 | 1 | 8 ~ 127 | 080000h ~ 7FFFFFFh | 7,680kB | 上位 15/16 |
| 0 | 1 | 1 | 0 | 0 | 16 ~ 127 | 100000h ~ 7FFFFFFh | 7MB | 上位 7/8 |
| 0 | 1 | 1 | 0 | 1 | 32 ~ 127 | 200000h ~ 7FFFFFFh | 5MB | 上位 3/4 |
| 0 | 1 | 1 | 1 | 0 | 64 ~ 127 | 400000h ~ 7FFFFFFh | 4MB | 上位 1/2 |
| X | X | 1 | 1 | 1 | 無 | 無 | 無 | 無 |
| 1 | 0 | 0 | 0 | 1 | 0 ~ 127 | 000000h ~ 7FEFFFFh | 8,188kB | 下位 2047/2048 |
| 1 | 0 | 0 | 1 | 0 | 0 ~ 127 | 000000h ~ 7FDFFFFh | 8,184kB | 下位 1023/1024 |
| 1 | 0 | 0 | 1 | 1 | 0 ~ 127 | 000000h ~ 7FBFFFFh | 8,176kB | 下位 511/512 |
| 1 | 0 | 1 | 0 | X | 0 ~ 127 | 000000h ~ 7F7FFFFh | 8,160kB | 下位 255/256 |
| 1 | 1 | 0 | 0 | 1 | 0 ~ 127 | 001000h ~ 7FFFFFFh | 8,188kB | 上位 2047/2048 |
| 1 | 1 | 0 | 1 | 0 | 0 ~ 127 | 002000h ~ 7FFFFFFh | 8,184kB | 上位 1023/1024 |
| 1 | 1 | 0 | 1 | 1 | 0 ~ 127 | 004000h ~ 7FFFFFFh | 8,176kB | 上位 511/512 |
| 1 | 1 | 1 | 0 | X | 0 ~ 127 | 008000h ~ 7FFFFFFh | 8,160kB | 上位 255/256 |

注：
 25. X= ドント ケア。

7.6.2 個別ブロック ロック (IBL) 保護

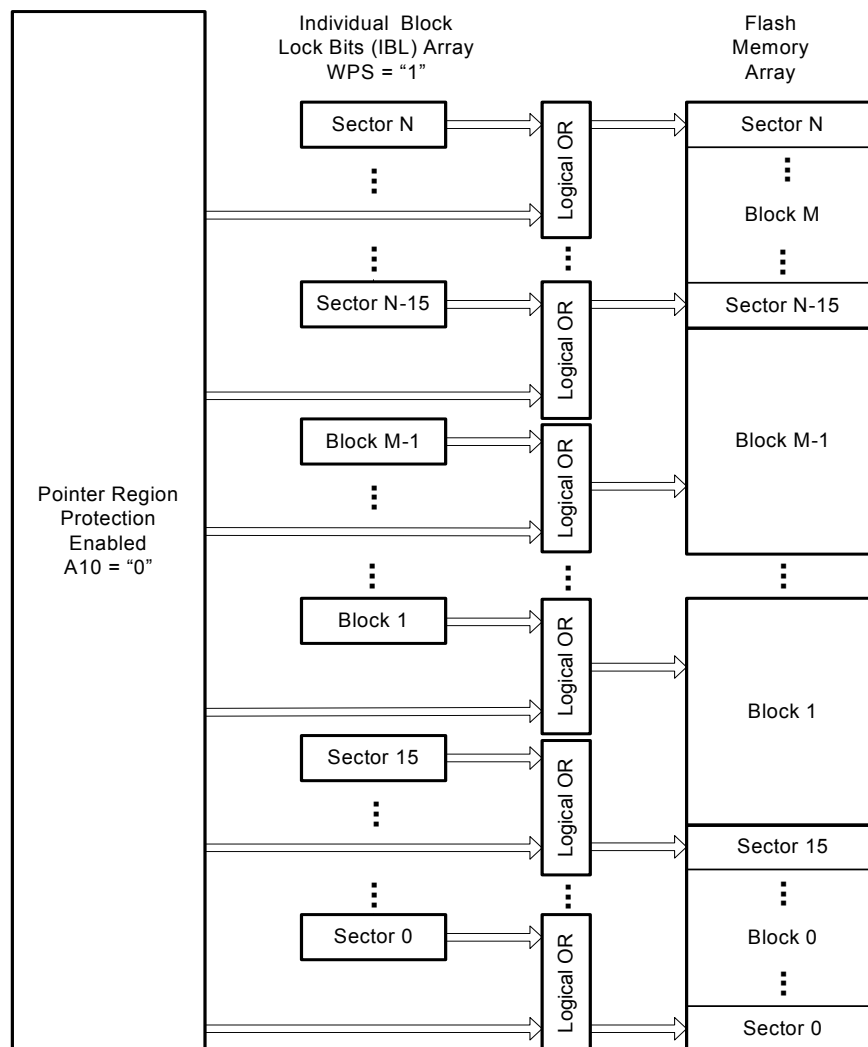
個別ブロック ロック (IBL) ビットは揮発性であり、個々のセクタ／ブロックに 1 つのビットが対応し、個別に変更できます。IBL または GBL コマンドを発行すると、IBL ビットが「0」にセットされ、対応するセクタ／ブロックは保護されます。IBUL または GUL コマンドを発行すると、IBL ビットが「1」にクリアされ、対応するセクタ／ブロックは保護されません。IBLRD コマンドを発行することで各 IBL ビットの状態を読み出せます。この機能により、意図しない変更からソフトウェアで個別セクタ／ブロックを簡単に保護できますが、変更が必要な場合は簡単に保護を解除できます。IBL ビットは揮発性ビットであるため、何回でもセット／クリアできます。

各メイン 64KB ブロックおよび最下部と最上部ブロックの 4KB セクタには対応する揮発性個別ブロック ロック (IBL) ビットがあります。セクタ／ブロックの IBL ビットが「0」のとき、セクタ／ブロックはプログラムや消去動作から保護されます。

ポインター領域保護方式が有効である場合、保護された領域は IBL ビットとの論理和が取られます。

電源投入またはハードウェア／ソフトウェア リセット後、IBLLBB は「1」のデフォルト状態となり (37 ページの表 20 を参照してください)、すべての IBL ビットは「0」にセットされ、保護状態になります。アレイをプログラムまたは消去するために、グローバル IBL ロック解除またはセクタ／ブロック IBL ロック解除コマンドをプログラムまたは消去コマンドの前に発行しなければなりません。IBLLBB ビット = 0 のとき、すべての IBL ビットは電源投入、ハードウェア／ソフトウェア リセットの後に「1」にセットされ、非保護状態になります。

図 25. 個別ブロック ロック／ポインター領域保護の制御



注：

26.「M」は最上部の 64KB ブロックです。

27.「N」は最上部の 4KB セクタです。

7.6.3 ポインター領域保護 (PRP)

ポインター領域保護はメモリ内の保護領域と非保護領域間の境界に任意の 4KB セクタを選択する不揮発性アドレス ポインターで定義されます。パワー サイクルまたはリセット動作の後にも引き続き有効である、個別セクタを単位とした保護方式です。PRP 設定は次のパワー サイクルまで、またはパスワードが供給されるまで変更から保護することもでき、また永久的にロックすることもできます。PRP はレガシー ブロック保護または個別ブロック ロック保護方式と併用できます。PRP 保護は有効になったとき、WPS ビット (CR2V[2]) で選択された保護方式との論理和が取られます。

ポインター領域保護セット (SPRP FBh または 4SPRP E3h) コマンド (99 ページの 8.9 節をご参照ください) または PRPR レジスタの書き込み用の任意レジスタ書き込み (WRAR 71h) コマンド (73 ページの 8.3.15 節をご参照ください) は PRP を有効/無効にし、ポインター値をセットするために使用されます。

ブロック/ポインター保護セット コマンドまたは PRPR レジスタの書き込み用の任意レジスタ書き込み (WRAR 71h) コマンドを発行した後、ポインター保護方式は A10 の値によって有効か無効になります。A10=1 の場合、ポインター保護領域は無効です。これはデフォルト状態で、残りのポインター値はドント ケアです。A10=0 の場合、ポインター保護領域は有効です。A10 の値は PRPR の不揮発性ポインター ビットに書き込まれます。RFU ビットのポインター アドレス値はドント ケアですが、ビット位置を読み出すと「1」が返されます。PRPR の詳細は 39 ページの 6.6.10 節を参照してください。

ポインター保護方式が有効な場合、メモリ内の保護領域と非保護領域間のブロック境界はポインター値で決まります。ポインター境界は PRPR の不揮発性のポインター値に書き込まれた 3 アドレス バイト (A23 ~ A12) または 4 アドレス バイト (A31 ~ A12) でセットされます。保護されないエリアはポインター値によって選択された 4KB セクタを含みます。

A9 の値により、保護されない領域はメモリ アレイの最上部 (最上位アドレス) からポインターの位置までか、または最下部 (最下位アドレス) からポインターの位置までであるかが決まります。A9=0 の場合、SPRP または 4SPRP コマンドに続いてアドレスを発行すると、アドレスを含む 4kB セクタおよび最下位から最上位までの (0 から大きいアドレスへの) すべてのセクタは保護されません。A9=1 の場合、SPRP または 4SPRP コマンドに続いてアドレスを発行すると、アドレスを含む 4kB セクタおよび最上位から最下位までの (最大アドレスから小さいアドレスへの) すべてのセクタは保護されません。A9 の値は PRPR の不揮発性のポインター値に書き込まれています。

すべてのセクタを保護するために A11 ビットを使用できます。A11=1 の場合、すべてのセクタは保護されます。A11=0 の場合、非保護の範囲は Amax ~ A12 で決まります。A11 の値は PRPR の不揮発性のポインター値に書き込まれています。

一時停止動作のときは、ポインター値を消去/再プログラムできないため、SPRP または 4SPRP コマンドは無視されます。

NVLOCK PR[0]=0 の場合、SPRP または 4SPRP コマンドは無視されます。

任意レジスタ読み出し (65h) コマンド (71 ページの 8.3.14 節を参照してください) は PRP アクセス レジスタの内容を読み出します。これにより、テストおよび検証のためにポインターの内容が読み出されます。

表 30. PRP 表

| A11 | A10 | A9 | 保護アドレス 範囲 | 非保護アドレス 範囲 | 説明 |
|-----|-----|----|----------------------------|------------------------|--|
| x | 1 | x | 無 | 全部 | A10=1 は PRP が無効であることを示します (これはデフォルト状態で、残りのポインター値はドント ケアです)。 |
| 0 | 0 | 0 | 1FFFFFF ~ (A[31:12]+1) | A[31:12] ~ 00000000 | アドレスを含む 4kB セクタおよび下位から上位への (0 から大きいアドレスへの) 全セクタは保護されません。 |
| 0 | 0 | 1 | (A[31:12]-1) ~ 00000000 | 1FFFFFF ~ A[31:12] | アドレスを含む 4kB セクタおよび上位から下位への (最大アドレスから小さいアドレスへの) 全セクタは保護されません。 |
| 1 | 0 | x | 1FFFFFF ~ 00000000 | 該当なし | A10=0 および A11=1 は全セクタが保護され、Amax ~ A12 がドント ケアであることを示します。 |

ポインター保護方式が有効 (A10 = 0) のとき、ポインターが保護している任意のアドレス空間に消去コマンドを適用すると、消去コマンドは失敗します。例えば、ポインター保護方式で保護しているアレイの 4KB にブロック消去コマンドを適用する場合、消去コマンドは失敗します。PRP が有効 (A10=0) の場合、チップ消去 (CEh) コマンドは無視され、E_ERR ステータス ビットがセットされます。

ポインター領域保護が有効であり、WPS CR2V[2]=0 の場合はレガシー ブロック保護領域との論理和、WPS CR2V[2]=1 の場合は個別ブロック ロック保護との論理和が取られます (44 ページの図 24 を参照してください)。

7.7 個別および領域保護

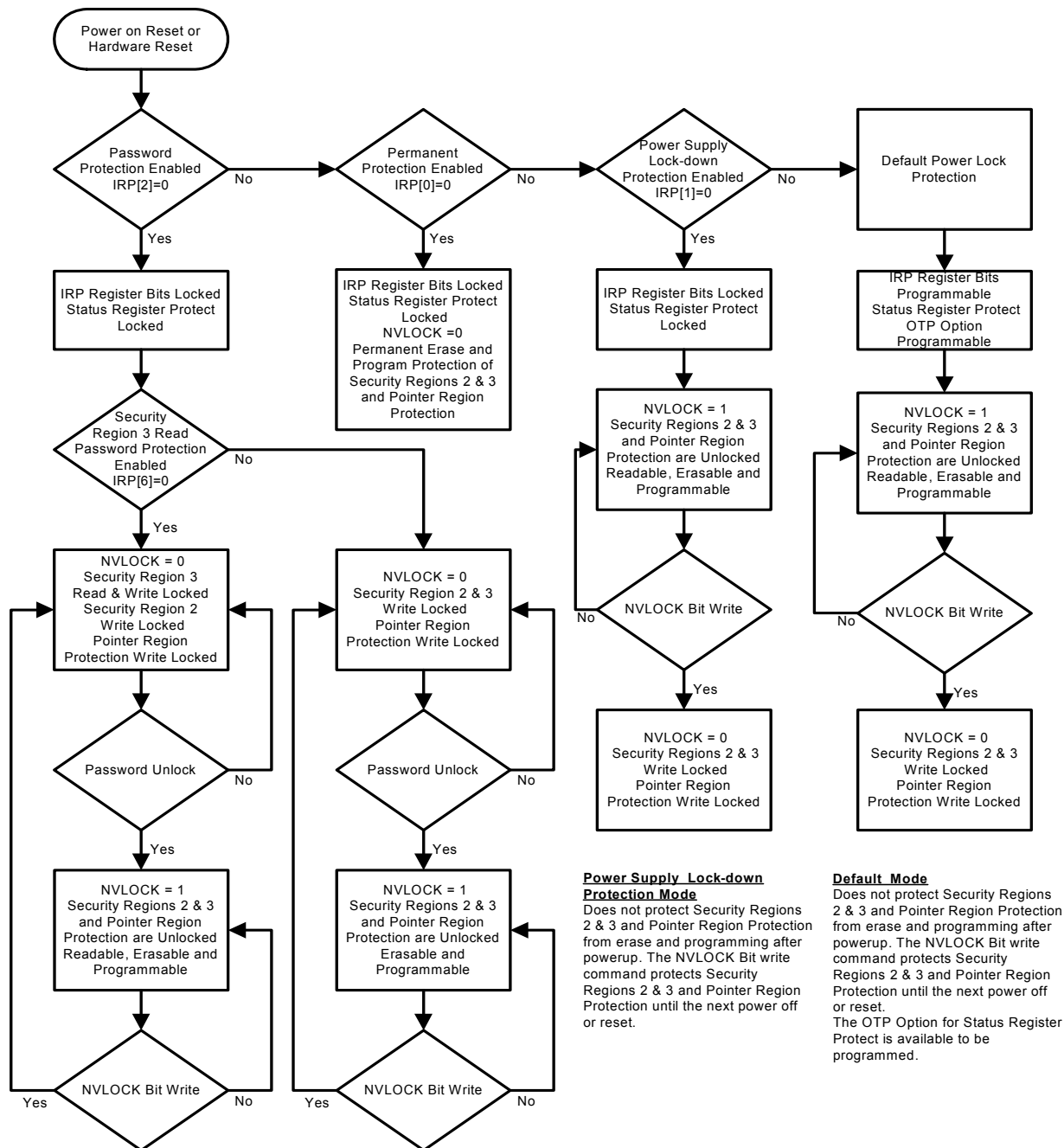
個別および領域保護 (IRP) はセキュリティ領域 2、3 およびポインター領域保護レジスタ上のプログラムまたは消去動作を有効化／無効化するための一連の独立したハードウェアとソフトウェア方式のことを言います。

各方法は NVLOCK ビット (PR[0]) の状態を管理します。NVLOCK=1 のとき、セキュリティ領域 2 と 3 およびポインター領域保護レジスタ (PRPR) はプログラム／消去ができます。NVLOCK=0 のとき、セキュリティ領域 2 と 3 およびポインター領域保護レジスタ (PRPR) はプログラムも消去もできません。セキュリティ領域 2 と 3 はそれぞれ LB2 と LB3=1 (CR1NV[4:5]) によっても保護ができることに注意してください。

電源ロックダウン保護がデフォルトの方式です。この方式では、POR またはハードウェア リセット時に NVLOCK ビットが「1」にセットされ、NVLOCK 関連の領域およびレジスタがデバイス リセットによって非保護となります。PRL (A6h) コマンドは NVLOCK ビットを「0」にクリアして NVLOCK 関連の領域およびレジスタを保護状態にします。電源ロックダウン方式では NVLOCK ビットを「1」にセットするコマンドがないため、次の電源切断またはハードウェア リセットまで NVLOCK ビットは「0」のままになります。電源ロックダウン方式では、ブートコードによりセキュリティ領域 2、3 または PRPR の値を変更することができます。つまり、これらの不揮発性領域をプログラムするか、または消去し、NVLOCK ビットを「0」にクリアすることでこれらの不揮発性領域を以降の通常のシステム動作から保護します。これはブート コード制御による保護とも呼ばれます。

パスワード方式では、NVLOCK 関連の領域およびレジスタを保護するために、POR またはハードウェア リセット中に保護レジスタの NVLOCK ビットを「0」にクリアし、SECRRP ビットを IRP[6] にセットします。SECRRP ビットはセキュリティ領域 3 が読み出し可能であるか否かを決定します。パスワード方式では、64 ビットのパスワードを永久的にプログラムし、隠すことができます。隠しパスワードと比較するためのパスワードを提供する PASSU (EAh) コマンドが使用されます。パスワードが一致した場合、NVLOCK 関連の領域およびレジスタの保護を解除するために、NVLOCK ビットが「1」にセットされます。PRL (A6h) コマンドは NVLOCK ビットを「0」にクリアし、保護を再度オンにするために使用されます。

永久的方式は永久的に SECRRP ビットを「1」にセットし、NVLOCK を「0」にクリアすることで、セキュリティ領域 2 と 3 および PRPR を永久的に保護します。NVLOCK ビット管理方式は、IRP レジスタの OTP ビット (IRP[2、1、0]) をプログラムすることによって永久的に選択されます。すべての方式の概要 50 ページの図 26 に示します。

図 26. 永久的保護、パスワード保護および電源ロックダウン保護の概要

Read Password Protection Mode

Protects Security Regions 3 from Read, Erase and Programming, Security Region 2 and Pointer Region Protection from erase and programming after powerup. A password unlock Command will enable changes to Security Region 2 & 3 and Pointer Region Protection. A NVLOCK bit write command turns the protection back on.

Password Protection Mode

Protects Security Regions 2 & 3 and Pointer Region Protection from erase and programming after powerup. A password unlock Command will enable changes to Security Region 2 & 3 and Pointer Region Protection. A NVLOCK bit write command turns the protection back on.

Permanent Protection Mode

Permanently protects Security Regions 2 & 3 and Pointer Region Protection from Erase and Programming

Power Supply Lock-down Protection Mode

Does not protect Security Regions 2 & 3 and Pointer Region Protection from erase and programming after powerup. The NVLOCK Bit write command protects Security Regions 2 & 3 and Pointer Region Protection until the next power off or reset.

Default Mode

Does not protect Security Regions 2 & 3 and Pointer Region Protection from erase and programming after powerup. The NVLOCK Bit write command protects Security Regions 2 & 3 and Pointer Region Protection until the next power off or reset. The OTP Option for Status Register Protect is available to be programmed.

Note

If Security Region Lock bits LB 2 & 3 are protected CR1NV[5:4]=1, this overrides the NVLOCK and the Security Regions protected by the LB bits will be permanently protected from erase and programming. If Read Password is enabled Security Region 3 can still be read password protected.

7.7.1 IRP レジスタ

IRP レジスタは個別および領域保護 (IRP) 機能の動作を永久的に設定するために使用されます。

[37 ページの表 20](#) を参照してください。

工場出荷時、すべてのデバイスはデフォルトで電源ロックダウン保護モードになっており、すべての領域が非保護になっています。その後、デバイス プログラムまたはホスト システムは、ワンタイム プログラマブル ビット、永久的、電源ロックダウンまたはパスワード保護モードのいずれか 1 つをプログラムすることで、保護方式を選択しなければなりません。ビットのいずれか 1 つをプログラムすると、選択したモードでの部分を永久にロックします。

工場出荷時の IRP レジスタのデフォルト状態は以下のとおりです。

- IRP[6]=「1」: 読み出しパスワード保護モードは無効です。
- IRP[4]=「1」: 電源投入時の IBL ビットは保護状態です。
- IRP[2]=「1」: パスワード保護モードは無効です。
- IRP[1]=「1」: 電源ロックダウン保護モードは無効ですが、デフォルト モードです。
- IRP[0]=「1」: 永久的保護モードは無効です。

IRP レジスタのプログラム ルールは以下のとおりです。

- 読み出しパスワード モードを選んだ場合、パスワード保護モード ロック ビット IRP[2] を設定する前または同時に、SECRP ビットをプログラムしなければなりません。
- 電源投入時の IBL ビット非保護モードを選んだ場合、保護モード ロック ビット IRP[2:0] のいずれかを設定する前または同時に、IBLLBB ビットをプログラムしなければなりません。
- パスワード モードを選んだ場合、パスワード保護モード ロック ビット IRP[2] を設定する前に、パスワードをプログラムしなければなりません。
- 保護モードは相互排他的であり、選択できるのは 1 つだけです。いったん保護モードの中の 1 つが選択されと、IRP レジスタの OTP ビットである IRP[2:0] は永久的にプログラムおよび変更から保護されます。保護モードを選んだ後、それらのレジスタ ビットを変更しようとしても失敗し、P_ERR (SR2V[5]) が 1 にセットされます。

IRP レジスタのプログラム時間は通常のページ プログラムに要する時間と同じです。システムはステータス レジスタの WIP ビットを読み出すことで、IRP レジスタのプログラム動作の状態を判定できます。WIP の詳細は [26 ページの 6.6.1 ステータス レジスタ 1 節](#) を参照してください。 [52 ページの 7.7.3 パスワード保護モード節](#) を参照してください。

7.7.1.1 IBL ロック ブート ビット

デフォルトで IBL ロック ビット IRP[4]=1 の場合、電源投入時またはリセット時 (ハードウェア リセットまたはソフトウェア リセットの後) にすべての IBL ビットは「保護状態」になります。IBL ロック ビット IRP[4]=0 (プログラム済み) の場合、電源投入時またはリセット後の IBL ビットは「非保護状態」になります。

7.7.2 保護レジスタ (PR)

7.7.2.1 NVLOCK ビット (PR[0])

NVLOCK ビットは以下を保護するための揮発性ビットです。

■ ポインター領域保護レジスタ

■ セキュリティ領域 2、3

「0」にクリアされると、NVLOCK は関連領域をロックします。「1」にセットされると、関連領域を変更可能にします。詳細は [38 ページの 6.6.8 保護レジスタ \(PR\) 節](#) を参照してください。

PRL コマンドは NVLOCK ビットを「0」にクリアするために使用されます。NVLOCK ビットは、すべての関連領域を所望の設定に構成した後でのみ、「0」にクリアする必要があります。

電源ロックダウン保護モードでは POR またはハードウェア リセット時、NVLOCK が「1」にセットされます。ソフトウェア リセット コマンドは NVLOCK ビットに影響しません。「0」にクリアされると、NVLOCK ビットを「1」にセットするソフトウェア コマンド シーケンスはありません。別のハードウェア リセットまたは電源投入でのみ NVLOCK ビットをセットできます。

パスワード保護モードでは、POR またはハードウェア リセット時、NVLOCK ビットが「0」にクリアされます。NVLOCK ビットは、パスワード ロック解除コマンドによってのみ「1」にセットできます。

永久的方式は永久的に NVLOCK を 0 にクリアすることで、セキュリティ領域 2 と 3 および PRPR を永久的に保護します。

7.7.2.2 セキュリティ領域読み出しのパスワード ロック ビット (SECRRP PR[6])

SECRRP ビットはセキュリティ領域 3 を読み出しから保護するための揮発性ビットです。SECRRP[6]=0 のとき、セキュリティ領域 3 は読み出せません。詳細は [38 ページの 6.6.8 保護レジスタ \(PR\) 節](#) を参照してください。

パスワード保護モードでは、SECRRP ビットは POR またはソフトウェア/ハードウェア リセット中に IRP[6] と同じようにセットされます。NVLOCK ビットはパスワード ロック解除コマンドによってのみ「1」にセットできます。ソフトウェア リセットは NVLOCK ビットに影響しません。

永久的方式は永久的に SECRRP ビットを 1 にセットすることで、永久的にセキュリティ領域 3 の読み出しを可能にします。

7.7.3 パスワード保護モード

パスワード保護モードを使用すると、NVLOCK ビットをロック解除するために 64 ビットのパスワードを必要とすることによって、電源ロックダウン保護モードよりも高いセキュリティレベルを実現できます。このパスワード要件に加えて、電源投入またはリセット後、保護を確実にするためには、NVLOCK ビットを「0」にクリアします。完全なパスワードを入力してパスワード ロック解除コマンドを正常に完了すると、NVLOCK ビットが 1 にセットされ、セクタの NVLOCK 関連領域とレジスタの変更が可能になります。

パスワード保護の注意事項は以下のとおりです。

- パスワードをプログラムおよび検証した後、パスワードの読み出しを防ぐためにはパスワード モード (IRP[2]=0) をセットしなければなりません。
- パスワード プログラム コマンドでプログラムできるのは、「0」だけです。「0」にプログラムされたセルを「1」にプログラムしようとしても、セルは「0」のままであり、プログラミング エラーがセットされません。
- サイプレス出荷時のパスワードはすべて「1」です。パスワードは自身のメモリ空間内にあり、パスワード プログラム、パスワード読み出し、RDAR および WRAR コマンドによりアクセス可能です。
- あらゆる 64 ビット パスワードの組合せがパスワードとして有効です。
- パスワード モードをプログラムすると、64 ビット パスワードの読み出しができなくなり、以降のパスワードのプログラムもできなくなります。これ以降、パスワード領域に対するプログラム コマンドや読み出しコマンドは無効になり、これらのコマンドは無視されるか、または未定義データが返されます。パスワード モード ロック ビットが選択された後に、パスワードが何であるかを確認する方法はありません。パスワードの検証ができるのはパスワード保護モードを選択する前のときのみです。
- 保護モード ロック ビットは消去不可能です。
- アンロック機能を有効にするためには、正確なパスワードを入力する必要があります。パスワード ロック解除コマンドが提供したパスワードが、内部の隠しパスワードと一致しない場合は、保護されているセクタにおけるプログラム動作と同様に、ロック解除動作は失敗します。P_ERR ビットが 1 にセットされ、WIP ビットがセットされたままで、NVLOCK ビットが 0 にクリアされたままです。
- パスワード ロック解除コマンドを一度に 100 μ s \pm 20 μ s より高速に実行できません。これによって、ハッカーがパスワードを正しく一致させるためにすべての 64 ビットの組合せを実行するには、非現実的な長さの時間 (5800 万年) かかります。ステータス レジスタ 1 読み出しコマンドを使用して WIP ビットを読み出すことで、デバイスがいつパスワード ロック解除コマンドを完了したか、またはいつ新しいパスワード コマンドを受け入れる準備ができたかを判断できます。有効なパスワードを提供すると、パスワード ロック解除コマンドは、WIP ビットをゼロに戻す前に 100 μ s の遅延を挿入しません。
- パスワード モード選択後にパスワードを失った場合、NVLOCK ビットを 1 にセットする方法はありません。

7.7.4 セキュリティ領域読み出しパスワード保護

セキュリティ領域読み出しパスワード保護は、セキュリティ領域 3 を読み出し、プログラムおよび消去から保護します。

セキュリティ領域読み出しパスワード保護は、上述したパスワード保護モードの追加オプションです。ユーザーが SECRRP ビット IRP[6] を 0 にプログラムすると、セキュリティ領域読み出しパスワード保護が有効になります。パスワード保護モードロック ビット IRP[2] を設定する前または同時に、SECRRP ビット IRP[6] をプログラムしなければなりません。

パスワードがプログラムされ、IRP[2] が 0 にプログラムされるまでは、セキュリティ領域読み出しパスワード保護はアクティブではありません。

SECRRP (PR[6]) ビットを 0 にセットすると、セキュリティ領域 3 からの読み出しは不可能です。これらの領域を読み出すと、無効で未定義なデータが返されます。

7.7.5 推奨の IRP 保護プロセス

システムの製作時には、フラッシュ デバイスのコンフィギュレーションは以下のように定義する必要があります。

1. 必要に応じてセキュリティ領域をプログラムします。
2. 必要に応じてポインター領域保護レジスタを設定します。
3. パスワード保護を使用する場合、パスワード レジスタ (PASS) をプログラムします。
4. 必要に応じて IRP レジスタをプログラムします (永久的、電源ロックダウン、または IRP[2:0] でのパスワード IRP 保護モードの選択を含みます)。IRP レジスタのその後の偶発的な、あるいは故意的なプログラミングを防止するために、保護モードを明白に選ぶ必要があります。これにより、意図した保護機能だけが有効になっていることを確保できます。IRP レジスタのプログラム前またはプログラム中は、
 - a. IBLLBB ビット (IRP[4]) を使用することで、電源投入時にすべての IBL ビットを非保護の状態にできます。
 - b. SECRRP ビット (IRP[6]) をプログラムしてセキュリティ領域読み出しパスワード保護を選択することにより、パスワードでセキュリティ領域 3 への読み出しアクセスを制御できます。

システム電源投入時とブート コードの実行中に、電源ロックダウン保護モードが使用中であれば、信頼できるブート コードは NVLOCK 関連領域またはレジスタを変更する必要があるかどうかを判定できます。変更する必要がなければ、PRL コマンドを使用して NVLOCK ビットを 0 にクリアします。これにより、電源がオンの状態で、NVLOCK 関連領域またはレジスタは通常システム動作の残りの部分中に変更から保護されます。

8. コマンド

ホスト システムと FL-L ファミリ メモリ デバイスの間のすべての通信はコマンドの形で行われます。コマンド プロトコルの詳細は [15 ページの 5.2 コマンド プロトコル節](#)を参照してください。

ホスト ソフトウェアが SPI インターフェース信号を直接制御するために使用される場合もありますが、一般的にはホスト システムとメモリ デバイスのハードウェア インターフェースは信号関係とタイミングを取り扱います。そのため、信号関係やタイミングは本資料のソフトウェア インターフェースについて記述する本節では詳細に記載されていません。その代わりに、信号タイミングとの関係よりも各コマンドでのビット転送の論理シーケンスに注目します。以下は覚えておく必要がある一般的な信号関係の説明です。コマンドのビット レベル フォーマットと信号タイミングの関係の詳細は、[15 ページの 5.2 コマンド プロトコル節](#)を参照してください。

■ ホストはシングル ビット幅の転送のために、常にチップ選択 (CS#)、シリアル クロック (SCK) およびシリアル入力 (SI) を制御します。メモリはシングル ビット読み出し転送のためにシリアル出力 (SO) を駆動します。ホストとメモリはデュアルおよびクアッド転送中に交互に IO0 ~ IO3 信号を駆動します。

■ すべてのコマンドはホストがSCKの最初の立ち上がりエッジの前にCS#をLOWに駆動してメモリを選択することで始まります。CS# がコマンドを通じて LOW に維持され、HIGH に戻されるとコマンドが終了します。一般的に、バイト単位の情報を転送するために、CS# は 8 ビットの倍数での転送において LOW のままです。8 ビット境界でないときに CS# を HIGH に戻す場合、あらゆるコマンドは受け入れられません。

8.1 コマンド セットのまとめ

8.1.1 拡張アドレス指定

- 常に 4 バイトのアドレスを必要とし、32Gb までのメモリにアクセスするために使用される命令は下表のとおりです。

表 31. 拡張アドレス 4 バイト アドレスのコマンド

| コマンド名 | 機能 | 命令 (16 進) |
|------------|-------------------|-----------|
| 4READ | 読み出し | 13 |
| 4FAST_READ | 高速読み出し | 0C |
| 4DOR | デュアル出力読み出し | 3C |
| 4QOR | クアッド出力読み出し | 6C |
| 4DIOR | デュアル I/O 読み出し | BC |
| 4QIOR | クアッド I/O 読み出し | EC |
| 4DDRQIOR | DDR クアッド I/O 読み出し | EE |
| 4PP | ページ プログラム | 12 |
| 4QPP | クアッド ページ プログラム | 34 |
| 4SE | セクタ消去 | 21 |
| 4HBE | ハーフ ブロック消去 | 53 |
| 4BE | ブロック消去 | DC |
| 4IBLRD | IBL 読み出し | E0 |
| 4IBL | IBL ロック | E1 |
| 4IBUL | IBL ロック解除 | E2 |
| 4SPRP | ポインター領域保護セット | E3 |

- 3 バイト アドレス命令との下位互換性のための 4 バイト アドレス モード。標準的な 3 バイト命令はアドレス長設定ビット (CR2V[0]) で制御される 4 バイト アドレス モードとともに使用できます。デフォルトの 3 バイト (24 ビット) または 4 バイト (32 ビット) アドレス指定を有効にするために、CR2V[0] のデフォルト値は電源投入、ハードウェア リセット、またはソフトウェア リセットの後に CR2NV[1] からロードされます。アドレス長 (CR2V[0]) を 1 にセットすると、レガシー コマンドはアドレス フィールドに 4 バイト (32 ビット) を必要とするように変更されます。アドレス フィールドを 3 バイトから 4 バイトに切り替えるために、以下の命令を 4 バイト アドレス モード設定とともに使用できます。

表 32. 3 バイト アドレス コマンドによる拡張アドレス 4 バイト アドレス モード

| コマンド名 | 機能 | 命令 (16 進) |
|-----------|-------------------|-----------|
| RSFDP | SFDP 読み出し | 5A |
| READ | 読み出し | 03 |
| FAST_READ | 高速読み出し | 0B |
| DOR | デュアル出力読み出し | 3B |
| QOR | クアッド出力読み出し | 6B |
| DIOR | デュアル I/O 読み出し | BB |
| QIOR | クアッド I/O 読み出し | EB |
| DDRQIOR | DDR クアッド I/O 読み出し | ED |
| PP | ページ プログラム | 02 |
| QPP | クアッド ページ プログラム | 32 |
| SE | セクタ消去 | 20 |
| HBE | ハーフ ブロック消去 | 52 |
| BE | ブロック消去 | D8 |
| RDAR | 任意レジスタ読み出し | 65 |
| WRAR | 任意レジスタ書き込み | 71 |
| SECRE | セキュリティ領域消去 | 44 |
| SECRP | セキュリティ領域プログラム | 42 |
| SECRR | セキュリティ領域読み出し | 48 |
| IBLRD | IBL 読み出し | 3D |
| IBL | IBL ロック | 36 |
| IBUL | IBL ロック解除 | 39 |
| SPRP | ポインター領域保護セット | FB |

8.1.2 機能別コマンドのまとめ

表 33. FL-L ファミリ コマンド セット (機能別)

| 機能 | コマンド名 | コマンド説明 | 命令値 (16 進) | 最大周波数 (MHz) | アドレス長 (バイト) | QPI |
|--------------|-------|--|------------|-------------|-------------|-----|
| デバイス ID 読み出し | RDID | ID (JEDEC 準拠のメーカー ID) 読み出し | 9F | 108 | 0 | 有 |
| | RSFDP | JEDECシリアル フラッシュ検出可能パラメーター読み出し | 5A | 108 | 3 / 4 | 有 |
| | RDQID | クアッド ID 読み出し | AF | 108 | 0 | 有 |
| | RUID | 固有 ID 読み出し | 4B | 108 | 0 | 有 |
| レジスタ アクセス | RDSR1 | ステータス レジスタ 1 読み出し | 05 | 108 | 0 | 有 |
| | RDSR2 | ステータス レジスタ 2 読み出し | 07 | 108 | 0 | 無 |
| | RDCR1 | コンフィギュレーション レジスタ 1 読み出し | 35 | 108 | 0 | 無 |
| | RDCR2 | コンフィギュレーション レジスタ 2 の読み出し | 15 | 108 | 0 | 無 |
| | RDCR3 | コンフィギュレーション レジスタ 3 読み出し | 33 | 108 | 0 | 無 |
| | RDAR | 任意レジスタ読み出し | 65 | 108 | 3 / 4 | 有 |
| | WRR | レジスタ (ステータス 1 およびコンフィギュレーション 1、2、3) 書き込み | 01 | 108 | 0 | 有 |
| | WRDI | 書き込みディセーブル | 04 | 108 | 0 | 有 |

注:

28. デバイスが QPI モードのときに送信されると、QPI モードで対応されていないコマンドの動作は未定義です。

表 33. FL-L ファミリ コマンド セット (機能別) (続き)

| 機能 | コマンド名 | コマンド説明 | 命令値 (16進) | 最大周波数 (MHz) | アドレス長 (バイト) | QPI |
|-----------------------|------------|---|--------------|----------------|----------------|-----|
| レジスタ アクセス | WREN | 不揮発性データ変更用書き込みイネーブル | 06 | 108 | 0 | 有 |
| | WRENV | 揮発性ステータスおよびコンフィギュレーション レジスタ 用書き込みイネーブル | 50 | 108 | 0 | 有 |
| | WRAR | 任意レジスタ書き込み | 71 | 108 | 3 / 4 | 有 |
| | CLSR | ステータス レジスタ クリア | 30 | 108 | 0 | 有 |
| | 4BEN | 4 バイト アドレス モード開始 | B7 | 108 | 0 | 有 |
| | 4BEX | 4 バイト アドレス モード終了 | E9 | 108 | 0 | 有 |
| | SBL | バースト長セット | 77 | 108 | 0 | 有 |
| | QPIEN | QPI 開始 | 38 | 108 | 0 | 無 |
| | QPIEX | QPI 終了 | F5 | 108 | 0 | 有 |
| | DLPRD | データ ラーニング パターン読み出し | 41 | 108 | 0 | 有 |
| | PDLRNV | 不揮発性データ ラーニング レジスタ プログラム | 43 | 108 | 0 | 有 |
| | WDLRV | 揮発性データ ラーニング レジスタ書き込み | 4A | 108 | 0 | 有 |
| フラッシュ アレイ 読み出し | READ | 読み出し | 03 | 50 | 3 / 4 | 無 |
| | 4READ | 読み出し | 13 | 50 | 4 | 無 |
| | FAST_READ | 高速読み出し | 0B | 108 | 3 / 4 | 無 |
| | 4FAST_READ | 高速読み出し | 0C | 108 | 4 | 無 |
| | DOR | デュアル出力読み出し | 3B | 108 | 3 / 4 | 無 |
| | 4DOR | デュアル出力読み出し | 3C | 108 | 4 | 無 |
| | QOR | クアッド出力読み出し | 6B | 108 | 3 / 4 | 無 |
| | 4QOR | クアッド出力読み出し | 6C | 108 | 4 | 無 |
| | DIOR | デュアル I/O 読み出し | BB | 108 | 3 / 4 | 無 |
| | 4DIOR | デュアル I/O 読み出し | BC | 108 | 4 | 無 |
| | QIOR | クアッド I/O 読み出し (CR1V[1]=1 または CR2V[3]=1) | EB | 108 | 3 / 4 | 有 |
| | 4QIOR | クアッド I/O 読み出し (CR1V[1]=1 または CR2V[3]=1) | EC | 108 | 4 | 有 |
| | DDRQIOR | DDR クアッド I/O 読み出し (CR1V[1]=1 または CR2V[3]=1) | ED | 54 | 3 / 4 | 有 |
| | 4DDRQIOR | DDR クアッド I/O 読み出し (CR1V[1]=1 または CR2V[3]=1) | EE | 54 | 4 | 有 |
| フラッシュ アレイ プログラム | PP | ページ プログラム | 02 | 108 | 3 / 4 | 有 |
| | 4PP | ページ プログラム | 12 | 108 | 4 | 有 |
| | QPP | クアッド ページ プログラム | 32 | 108 | 3 / 4 | 無 |
| | 4QPP | クアッド ページ プログラム | 34 | 108 | 4 | 無 |
| フラッシュ アレイ消去 | SE | セクタ消去 | 20 | 108 | 3 / 4 | 有 |
| | 4SE | セクタ消去 | 21 | 108 | 4 | 有 |
| | HBE | ハーフ ブロック消去 | 52 | 108 | 3 / 4 | 有 |
| | 4HBE | ハーフ ブロック消去 | 53 | 108 | 4 | 有 |
| | BE | ブロック消去 | D8 | 108 | 3 / 4 | 有 |
| | 4BE | ブロック消去 | DC | 108 | 4 | 有 |
| | CE | チップ消去 | 60 | 108 | 0 | 有 |
| | CE | チップ消去 (代替命令) | C7 | 108 | 0 | 有 |

注：

28. デバイスが QPI モードのときに送信されると、QPI モードで対応されていないコマンドの動作は未定義です。

表 33. FL-L ファミリ コマンド セット (機能別)(続き)

| 機能 | コマンド名 | コマンド説明 | 命令値 (16 進) | 最大周波数 (MHz) | アドレス長 (バイト) | QPI |
|-----------------------------|--------|-----------------------------|---------------|----------------|----------------|-----|
| 消去／ プログラム 一時停止／ 再開 | EPS | 消去／プログラム一時停止 | 75 | 108 | 0 | 有 |
| | EPR | 消去／プログラム再開 | 7A | 108 | 0 | 有 |
| セキュリ ティ領域 アレイ | SECRE | セキュリティ領域消去 | 44 | 108 | 3 / 4 | 有 |
| | SECRP | セキュリティ領域プログラム | 42 | 108 | 3 / 4 | 有 |
| | SECRR | セキュリティ領域読み出し | 48 | 108 | 3 / 4 | 有 |
| アレイ保護 | IBLRD | IBL 読み出し | 3D | 108 | 3 / 4 | 有 |
| | 4IBLRD | IBL 読み出し | E0 | 108 | 4 | 有 |
| | IBL | IBL ロック | 36 | 108 | 3 / 4 | 有 |
| | 4IBL | IBL ロック | E1 | 108 | 4 | 有 |
| | IBUL | IBL ロック解除 | 39 | 108 | 3 / 4 | 有 |
| | 4IBUL | IBL ロック解除 | E2 | 108 | 4 | 有 |
| | GBL | グローバル IBL ロック | 7E | 108 | 0 | 有 |
| | GBUL | グローバル IBL ロック解除 | 98 | 108 | 0 | 有 |
| | SPRP | ポインター領域保護セット | FB | 108 | 3 / 4 | 有 |
| | 4SPRP | ポインター領域保護セット | E3 | 108 | 4 | 有 |
| 個別および 領域保護 | IRPRD | IRP レジスタ読み出し | 2B | 108 | 0 | 有 |
| | IRPP | IRP レジスタ プログラム | 2F | 108 | 0 | 有 |
| | PRRD | 保護レジスタ読み出し | A7 | 108 | 0 | 有 |
| | PRL | 保護レジスタ ロック (NVLOCK ビット書き込み) | A6 | 108 | 0 | 有 |
| | PASSRD | パスワード読み出し | E7 | 108 | 0 | 有 |
| | PASSP | パスワード プログラム | E8 | 108 | 0 | 有 |
| | PASSU | パスワード ロック解除 | EA | 108 | 0 | 有 |
| リセット | RSTEN | ソフトウェア リセット イネーブル | 66 | 108 | 0 | 有 |
| | RST | ソフトウェア リセット | 99 | 108 | 0 | 有 |
| | MBR | モード ビット リセット | FF | 108 | 0 | 有 |
| ディープ パ ワー ダウン | DPD | ディープ パワー ダウン | B9 | 108 | 0 | 有 |
| | RES | ディープ パワー ダウン終了／デバイス ID | AB | 108 | 0 | 有 |

注：

28. デバイスが QPI モードのときに送信されると、QPI モードで対応されていないコマンドの動作は未定義です。

8.1.3 デバイス ID 読み出し

デバイスの製造元、デバイス タイプおよびデバイスの機能に関する情報を読み出すコマンドが複数あります。メモリについての情報を読み出すには、異なるベンダーからの SPI メモリは異なるコマンドとフォーマットを使用します。FL-L ファミリは 3 つのデバイス情報のコマンドに対応します。

8.1.4 レジスタ読み出し／書き込み

組み込み動作ステータスを報告するか、またはデバイス設定オプションを制御するためのレジスタが複数あります。これらのレジスタを読み出すか、または書き込むためのコマンドがあります。レジスタには揮発性ビットと不揮発性ビットがあります。レジスタの不揮発性ビットは自動的に消去され、シングル (書き込み) 動作としてプログラムされます。

8.1.4.1 動作ステータス監視

ホスト システムは、ステータス レジスタの書き込み中 (WIP) ビットを監視することで、書き込み、プログラム、消去、一時停止または他の組み込み動作が完了したかどうかを判定できます。ステータス レジスタ 1 読み出しコマンドまたは任意レジスタ読み出しコマンドは WIP ビットの状態を提供します。ステータス レジスタ 2 読み出しコマンドまたは任意レジスタ読み出しコマンドはステータス レジスタのプログラム エラー (P_ERR) および消去エラー (E_ERR) ビットの状態を提供し、直前のプログラムまたは消去コマンドが正常に完了したかどうかを示します。P_ERR または E_ERR ビットが「1」にセットされると、WIP ビットは「1」にセットされたままで、デバイスがまだビジーの状態であり新しい動作のコマンドを受信できないことを示します。P_ERR または E_ERR を 1 にセットしたとき、ステータス読み出し (RDSR1 05h、RDSR2 07h)、任意レジスタ読み出し (RDAR 65h)、コンフィギュレーション読み出し (RDCR1、RDCR2、RDCR3)、ステータス クリア (CLSR 30h) およびソフトウェア リセット (RSTEN 66h) に続いて RST 99h) のコマンドだけが有効です。デバイスをスタンバイ状態に戻すには、ステータス レジスタ クリア (CLSR) コマンドを送信する必要があります。また、ハードウェア リセットまたはソフトウェア リセット (RSTEN 66h の後に RST 99h が続く) によりデバイスをスタンバイ状態に戻すこともできます。

8.1.4.2 コンフィギュレーション

インターフェース パス幅、インターフェース タイミング、インターフェース アドレス長およびデータ保護のいくつかの点を制御するレジスタの読み出し、書き込みおよび保護のコマンドがあります。

8.1.5 フラッシュ アレイ読み出し

データは任意のバイト境界で開始するメモリから読み出せます。データ バイトはホストが CS# 入力を HIGH に駆動してデータ転送を完了させるまで、下位から上位のバイト アドレスから順次読み出されます。バイト アドレスがメモリ アレイの最大アドレスに達すると、読み出しはアレイのゼロ アドレスで続きます。

バースト長設定 (SBL 77h) コマンドにより、要求されるラップ読み出し長とアライメントでバースト ラップ読み出しを有効にできます。[74 ページの 8.3.16 バースト長セット \(SBL 77h\) 節](#)を参照してください。バースト ラップ読み出しはクアッド I/O と QPI モードに限られます。

異なるアクセス レイテンシとデータ パス幅を特定するためにいくつかの異なる読み出しコマンドがあります。ダブル データ レート (DDR) コマンドは SCK の両エッジに対するアドレスとデータ ビットの関係も定義します。

- 読み出しコマンドはSI/IO0信号上でSCKの立ち上がりエッジごとに1アドレスビットを提供し、SO/IO1上でSCKの立ち下がりエッジごとに1データビットを返します。このコマンドでは、アドレスと返しデータとの間のレイテンシがありませんが、最大 50MHz の SCK レートに制限されています。
- 他の読み出しコマンドはアドレスと返しデータとの間のレイテンシがありますが、より高い SCK の周波数で動作できます。レイテンシはコンフィギュレーション レジスタ読み出しレイテンシ値によって変わります。
- 高速読み出しコマンドはSI/IO0信号上でSCKの立ち上がりエッジごとに1アドレスビットを提供し、SO/IO1上でSCKの立ち下がりエッジごとに1データビットを返します。
- デュアルまたはクアッド出力読み出しコマンドはSCKの立ち上がりエッジにSI/IO0ピン上でアドレスを提供し、その読み出しデータはIO0～IO3信号上でSCKの立ち下がりエッジごとに2ビットまたは4ビットのデータを返します。
- デュアルまたはクアッドI/O読み出しコマンドはIO0～IO3信号上で、SCKの立ち上がりエッジごとに2または4アドレスビットを提供し、SCKの立ち下がりエッジごとに2または4データビットを返します。モード ビットの値がAxhであれば、連続読み出し機能が有効になります。
- クアッドダブルデータレート読み出しコマンドはIO0～IO3信号上で、SCKエッジごとに4アドレスビットを提供し、SCKエッジごとに4データビットを返します。モード ビットの値がAxhであれば、連続読み出し機能が有効になります。

8.1.6 フラッシュ アレイプログラム

データ プログラミングには、書き込みイネーブル (WREN) およびページ プログラム (PP、4PP、QPP、4QPP) の 2 つのコマンドが必要です。ページ プログラム コマンドでは、1 つの動作で 1 バイトから連続した 256 バイト (ページ) までのデータをプログラムできます。プログラムの意味は、ビットを 1 のままにするか、または 1 から 0 にすることです。ビットを 0 から 1 にするには消去動作を行う必要があります。

8.1.7 フラッシュ アレイ消去

セクタ消去、ハーフ ブロック消去、ブロック消去またはチップ消去コマンドは 1 つのセクタまたはメモリ アレイ全体のすべてのビットを 1 にセットします。プログラムしてビットを 0 に変える前に、まずビットを 1 に消去する必要があります。ビットを個別に 1 から 0 にプログラムできますが、0 から 1 への消去はセクタ幅、ハーフ ブロック幅、ブロック幅またはアレイ幅 (チップ) レベルで行わなければならないません。消去コマンドの前に、書き込みイネーブル (WREN) コマンドを実行する必要があります。

8.1.8 セキュリティ領域、レガシー ブロック保護、個別および領域保護

シリアル番号などの永久的に保護されたデータ用の別のワンタイム保護 (OTP) アレイを読み出すコマンドがあります。プログラムおよび消去動作から保護されるフラッシュ メモリ アレイ セクタの連続的なグループ (ブロック) を制御するコマンドがあります。

どの個別のフラッシュ メモリ アレイ セクタがプログラムと消去動作から保護されるかを制御するコマンドがあります。パスワードが供給されるまでセキュリティ領域 3 の読み出しアクセスを制限するためのモードがあります。

8.1.9 リセット

電源投入後、デフォルトの状態にデバイスをリセットするためのコマンドがあります。しかし、ソフトウェア リセット コマンドは SRP1 または NVLOCK ビットの現時点の状態に影響しません。他の全ての点において、ソフトウェア リセットはハードウェア リセットと同じです。

連続読み出しモードをリセット (終了) するためのコマンドがあります。

8.1.10 予約済み

いくつかの命令は今後使用するために予約されています。FL-L ファミリのこの世代では、コマンド命令の一部が未使用でデバイスの動作に影響を与えない、または未定義の結果を返します。

いくつかのコマンドは、レガシーまたは代替ソース デバイス コマンドが影響なく実行できるように予約されています。その結果、レガシー ソフトウェアは予期しない動作を発生させないことを保証する形で、この世代の FL-L ファミリとは関係ない幾つかのコマンドを発行することができます。

いくつかのコマンドは本資料で言及しない FL-L の特別バージョン、または次世代のために予約されています。これにより、新しいホスト メモリ コントローラー デザインではコマンド命令を柔軟に発行できます。コマンドの形式は本改訂版資料の公開時点で既知の場合、定義されています。

8.2 ID のコマンド

8.2.1 ID 読み出し (RDID 9Fh)

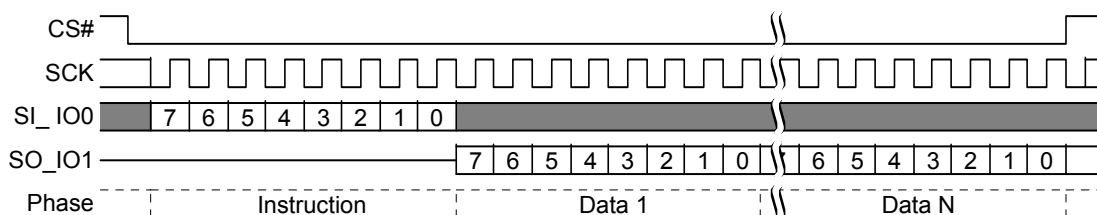
ID 読み出し (RDID) コマンドはメーカー ID、デバイス ID への読み出しアクセスを提供します。メーカー ID は JEDEC によって割り当てられます。デバイス ID 値はサイプレスによって割り当てられます。

プログラム、消去、書き込みサイクルの実行中に発行される RDID コマンドは無視され、それらの実行中のサイクルに影響を与えません。

RDID 命令は SI / IO0 でシフトされます。RDID 命令の最後のビットがデバイスへシフトインされた後、メーカー ID の 1 バイトとデバイス ID の 2 バイトは SO / IO1 上で順次にシフトアウトされます。この情報全体は ID と呼ばれます。ID コンテンツの詳細な説明は [117 ページの 10.2 デバイス ID アドレス マップ](#) 節を参照してください。

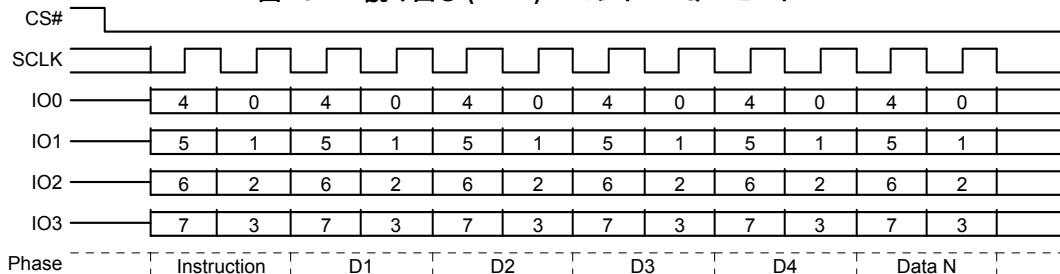
定義された ID アドレス空間の終わりを超えて出力を継続的にシフトすると、未定義のデータが発生します。データ出力中に CS# を論理 HIGH に駆動すると、RDID コマンド シーケンスは終了します。RDID コマンドは 108MHz まで対応できます。

図 27. ID 読み出し (RDID) コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令のシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 28. ID 読み出し (RDID) コマンド - QPI モード



8.2.2 クアッド ID 読み出し (RDQID AFh)

クアッド ID 読み出し (RDQID) コマンドはメーカー ID とデバイス ID への読み出しアクセスを提供します。コマンドは、RDID コマンドが提供する同じ情報を読み出す QPI モードでの別の方法です。他のあらゆる点において、コマンドは RDID コマンドと同様に動作します。

コマンドはデバイスが QPI モード (CR2V[3]=1) またはクアッド モード (CR1V[1]=1) である場合にのみ認識されます。命令は QPI モードでは IO0 ~ IO3 上で、クアッド モードでは IO0 上でシフトインされます。命令の最後のビットがデバイスへシフトインされた後、メーカー ID の 1 バイトとデバイス ID の 2 バイトは IO0 ~ IO3 上で順次にシフトアウトされます。この情報全体は ID と呼ばれます。ID コンテンツの詳細な説明は [117 ページの 10.2 デバイス ID アドレス マップ](#) 節を参照してください。

定義された ID アドレス空間の終わりを超えて出力を継続的にシフトすると、未定義のデータが発生します。データ出力中に CS# を論理 HIGH に駆動すると、コマンド シーケンスは終了します。

図 29. クアッド ID 読み出し (RDQID) コマンド シーケンス – QPI モード

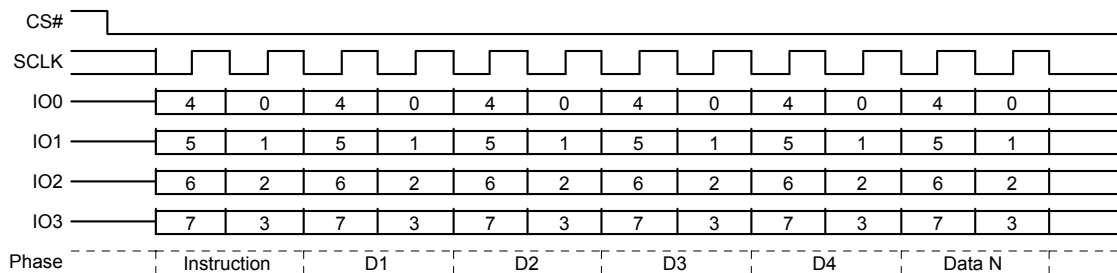
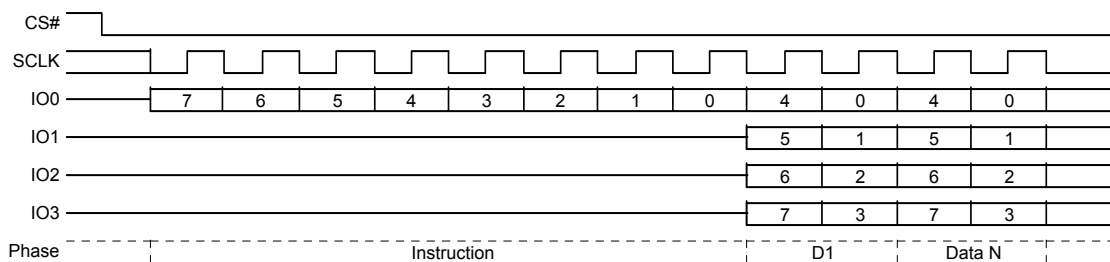


図 30. クアッド ID 読み出し (RDQID) コマンド シーケンス – クアッド モード



8.2.3 シリアル フラッシュ検出可能パラメーター読み出し (RSFDP 5Ah)

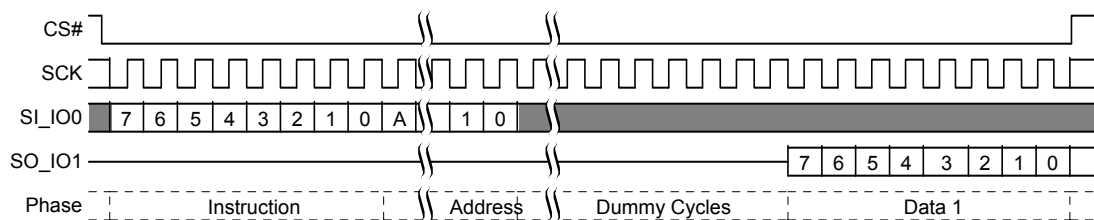
コマンドは、SI 上で「5Ah」の命令コードをシフトすることにより開始され、次に 24 ビット (3 バイト) アドレスまたは 32 ビット (4 バイト) アドレス (CR2V[0] でのアドレス長設定に応じて)、その後は CR3V[3:0] での可変読み出しレイテンシ設定でセットされた読み出しレイテンシ (ダミー サイクル) 数が続きます。

SFDP バイトは SO / IO1 上でダミー サイクル後の SCK の立ち下がりエッジからシフトアウトされます。SFDP バイトのシフトアウトは常に MSb から行われます。24 ビット (3 バイト) アドレスまたは 32 ビット (4 バイト) アドレスが 0 以外の値にセットされる場合、SFDP 空間の選択された位置がデータ読み出しのスタート ポイントです。これにより、SFDP 空間の任意のパラメーターヘランダムにアクセスできます。SPI モードでは、RSFDP コマンドは最大 108MHz まで対応できます。

JEDEC JESD216 SFDP 規格に準拠するために、可変読み出しレイテンシは 8 サイクルにセットする必要があります。デバイスがサイプレスから出荷される時、CR3NV の不揮発性のデフォルト可変読み出しレイテンシは 8 ダミー サイクルにセットされています。ただし、RSFDP コマンドはその他の可変アドレス長とレイテンシの読み出しコマンドと同じ実装方法を使用するため、ユーザーは必要な場合にコマンドのアドレス長およびレイテンシを自由に変更できます。

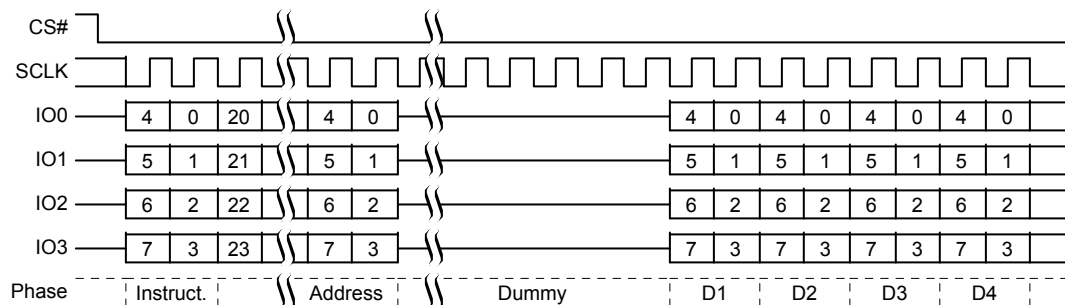
連続 (順次) 読み出しは SFDP 読み出しコマンドによって対応します。

図 31. RSFDP コマンド シーケンス ^[29]



このコマンドは QPI モードでも対応します。QPI モードでは、命令のシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 32. RSFDP コマンド シーケンス - QPI モード



注:

29. A = アドレスの MSb=23 (CR2V[0]=0 の場合) または 31 (CR2V[0]=1 または 13h コマンドの場合)。

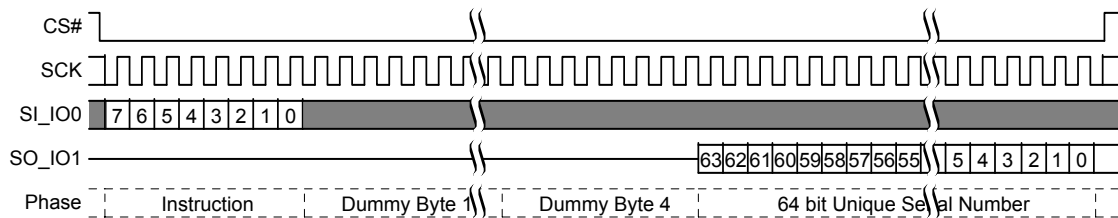
8.2.4 固有 ID 読み出し (RUID 4Bh)

ID 読み出し (RUID) コマンドは工場で設定した読み出し専用の、デバイスに一意的な 64 ビット番号への読み出しアクセスを提供します。

RUID 命令は SI 上でシフトされ、その後 4 ダミー バイトまたは 16 ダミー バイト QPI (32 クロック サイクル) が続きます。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。その後、固有 ID の 8 バイトは SO / IO1 上で順次にシフトアウトされます。

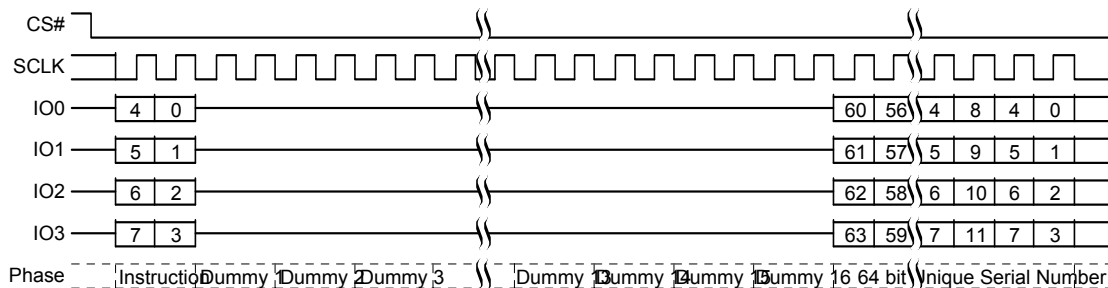
定義された固有 ID アドレス空間の終わりを超えて出力を継続にシフトすると、未定義のデータが発生します。データ出力中に CS# を論理 HIGH に駆動すると、RUID コマンド シーケンスは終了します。

図 33. 固有 ID 読み出し (RUID) コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令のシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 34. 固有 ID 読み出し (RUID) コマンド - QPI モード



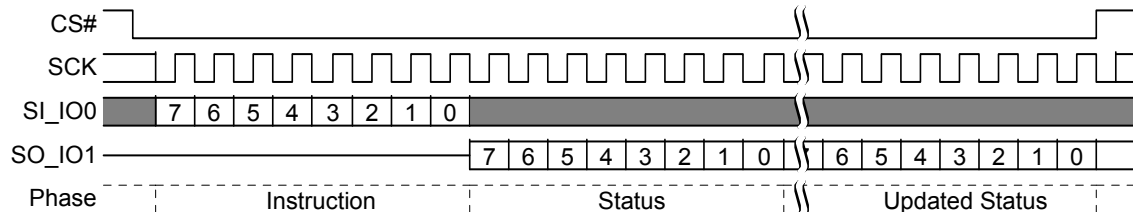
8.3 レジスタ アクセスのコマンド

8.3.1 ステータス レジスタ 1 読み出し (RDSR1 05h)

ステータス レジスタ 1 読み出し (RDSR1) コマンドにより、ステータス レジスタ 1 の内容は SO / IO1 から読み出されます。

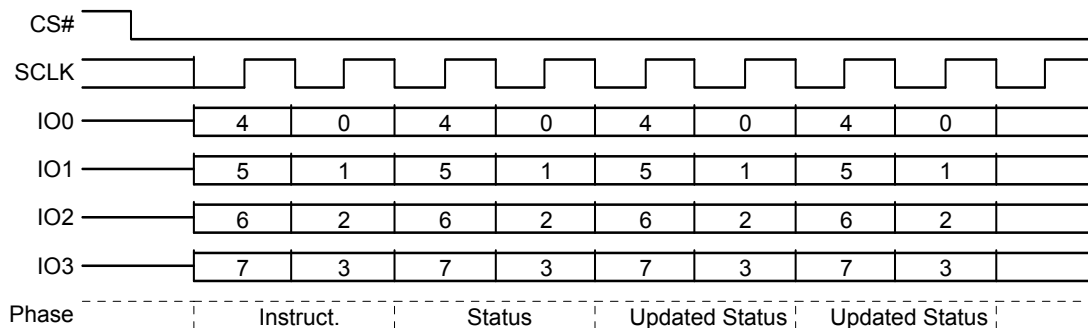
ステータス レジスタ 1 (SR1V) の揮発性バージョンの内容は、プログラム、消去、書き込み動作の実行中でも、いつでも読み出せます。8 の倍数のクロック サイクルを提供することでステータス レジスタ 1 を連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。

図 35. ステータス レジスタ 1 読み出し (RDSR1) コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされ、返されるデータは IO0 ~ IO3 上でシフトアウトされます。

図 36. ステータス レジスタ 1 読み出し (RDSR1) コマンド - QPI モード

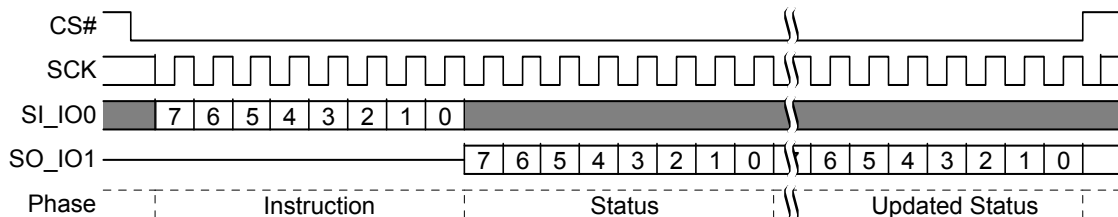


8.3.2 ステータス レジスタ 2 読み出し (RDSR2 07h)

ステータス レジスタ 2 読み出し (RDSR2) コマンドにより、ステータス レジスタ 2 の内容は SO / IO1 から読み出されます。

揮発性ステータス レジスタ 2 (SR2V) の内容は、プログラム、消去、書き込み動作の実行中でも、いつでも読み出せます。8 の倍数のクロック サイクルを提供することでステータス レジスタ 2 を連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。

図 37. ステータス レジスタ 2 読み出し (RDSR2) コマンド



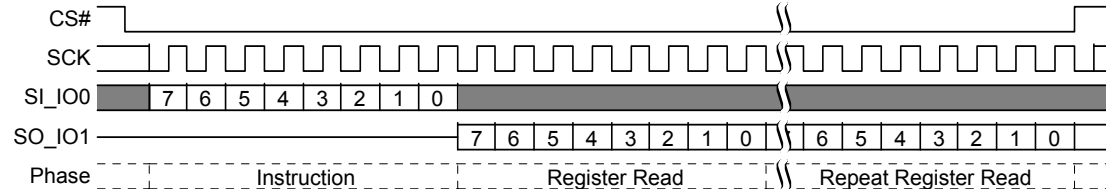
QPI モードでは、ステータス レジスタ 2 は任意レジスタ読み出しコマンドで読み出されます。71 ページの [8.3.14 任意レジスタ読み出し \(RDAR 65h\)](#) 節を参照してください。

8.3.3 コンフィギュレーションレジスタ読み出し (RDCR1 35h) (RDCR2 15h) (RDCR3 33h)

コンフィギュレーションレジスタ読み出し (RDCR1、RDCR2、RDCR3) コマンドにより、揮発性コンフィギュレーションレジスタ (CR1V、CR2V、CR3V) の内容が SO / IO1 から読み出されます。

8 の倍数のクロックサイクルを提供することで CR1V、CR2V および CR3V を連続的に読み出せます。コンフィギュレーションレジスタの内容はプログラム、消去または書き込み動作の実行中でも常に読み出せます。

図 38. コンフィギュレーションレジスタ読み出し (RDCR1) (RDCR2) (RDCR3) コマンドシーケンス



QPI モードでは、コンフィギュレーションレジスタ 1、2 および 3 は任意レジスタ読み出しコマンドで読み出されます。[71 ページの 8.3.14 任意レジスタ読み出し \(RDAR 65h\) 節](#)を参照してください。

8.3.4 レジスタ書き込み (WRR 01h)

レジスタ書き込み (WRR) コマンドにより、新しい値がステータスレジスタ 1、コンフィギュレーションレジスタ 1、コンフィギュレーションレジスタ 2 およびコンフィギュレーションレジスタ 3 に書き込まれます。デバイスはレジスタ書き込み (WRR) コマンドを受け入れる前に、書き込みイネーブル (WREN) または揮発性レジスタの書き込みイネーブル (WRENV) コマンドを受け入れなければなりません。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスはステータスレジスタの書き込みイネーブルラッチ (WEL) をセットし、不揮発性書き込み動作を有効化し、後続する WRR コマンドの値を不揮発性 SR1NV、CR1NV、CR2NV および CR3NV レジスタへ移動させます。揮発性レジスタの書き込みイネーブル (WRENV) コマンドを正常に復号した後、デバイスは次の WRR コマンドの値を揮発性 SR1V、CR1V、CR2V および CR3V レジスタへ移動させます。

レジスタ書き込み (WRR) コマンドは命令およびデータバイトを SI / IO0 上でシフトすることで入力されます。ステータスレジスタの長さは 1 データバイトです。

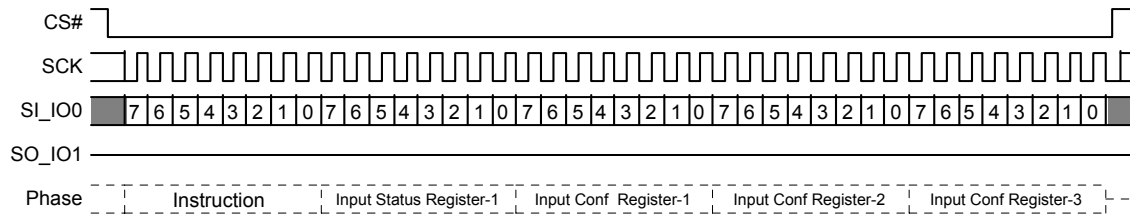
WREN コマンドの実行後に不揮発性レジスタを対象にする WRR 動作は、まず不揮発性レジスタを消去し、シングル動作として新しい値をプログラムしてから、新しい不揮発性の値をレジスタの揮発性バージョンにコピーします。WRENV コマンドの実行後に揮発性レジスタを対象にする WRR 動作は、関連する不揮発性レジスタ値に影響を与えずに揮発性レジスタを更新します。WRR 動作にエラーがある場合、レジスタ書き込み (WRR) コマンドは P_ERR または E_ERR のビットをセットします。エラービットの説明は [28 ページの 6.6.2 揮発性ステータスレジスタ 2 \(SR2V\) 節](#)を参照してください。ステータスレジスタクリア (CLSR) コマンドでエラーと WIP ビットがクリアされ、スタンバイ状態に戻されるまで、デバイスはビジーの状態のままです。将来のために予約されるステータスまたはコンフィギュレーションレジスタビットには「0」を書き込む必要があります。

CS# はデータの 8 ビット目、16 ビット目、24 ビット目または 32 ビット目がラッチされた後に論理 HIGH に駆動する必要があります。そうしない場合、レジスタ書き込み (WRR) コマンドは実行されません。CS# が、

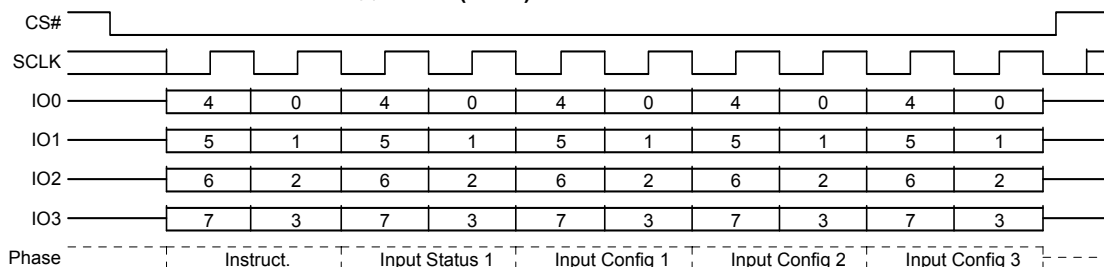
- 8 サイクル目の後に HIGH に駆動される場合、ステータスレジスタ 1 のみが書き込まれます。
- 16 サイクル目の後に HIGH に駆動される場合、ステータス 1 およびコンフィギュレーション 1 の両レジスタが書き込まれます。
- 24 サイクル目の後に HIGH に駆動される場合、ステータス 1、コンフィギュレーション 1 と 2 のレジスタが書き込まれます。
- 32 サイクル目の後に HIGH に駆動される場合、ステータス 1、コンフィギュレーション 1、2、3 のレジスタが書き込まれます。

CS# が論理 HIGH に駆動されると、セルフタイムのレジスタ書き込み (WRR) 動作は直ちに開始されます。レジスタ書き込み (WRR) 動作の進行中でも、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムのレジスタ書き込み (WRR) 動作中に「1」で、動作が完了すると「0」になります。レジスタ書き込み (WRR) 動作が終了すると、書き込みイネーブルラッチ (WEN) は「0」にセットされます。

WRR コマンドはハードウェアとソフトウェアリセットから保護されます。ハードウェアリセットおよびソフトウェアリセットコマンドは無視され、WRR コマンドの実行に影響を与えません。

図 39. レジスタ書き込み (WRR) コマンド シーケンス


このコマンドは QPI モードでも対応します。QPI モードでは、命令およびデータは IO0 ~ IO3 上でシフトインされます。

図 40. レジスタ書き込み (WRR) コマンド シーケンス - QPI モード


レジスタ書き込み (WRR) コマンドにより、ユーザーは読み出し専用領域のサイズを定義するために、不揮発性ステータス レジスタ 1 あるいは揮発性ステータス レジスタ 1 のレガシーブロック保護ビットの値を変更できます。

また、レジスタ書き込み (WRR) コマンドにより、ユーザーはステータス レジスタ保護 0 (SRP0) ビットを「1」または「0」にセットすることもできます。ステータス レジスタ保護 0 (SRP0) ビットおよび書き込み保護 (WP#) 信号により、BP ビットはハードウェアにより保護されます。

ステータス レジスタ保護 0 (SRP0 SR1V[7]) ビットが「0」である場合、書き込み保護 (WP#) 信号が論理 HIGH か論理 LOW にかかわらず、WREN または WRENV コマンドがすでに送信された後であれば、ステータス レジスタは書き込みできます。

ステータス レジスタ保護 0 (SRP0) ビットが「1」にセットされる場合、書き込み保護 (WP#) の状態によって、以下の 2 ケースを検討する必要があります。

- 書き込み保護 (WP#) 信号が論理 HIGH に駆動される場合、WREN または WRENV コマンドが WRR コマンドの前に送信されれば、ステータスおよびコンフィギュレーションレジスタは書き込みできます。
- 書き込み保護 (WP#) 信号が論理 LOW に駆動される場合、WREN または WRENV コマンドが WRR コマンドの前に送信されても、ステータスおよびコンフィギュレーションレジスタは書き込めません。ステータスおよびコンフィギュレーションレジスタに書き込もうとしても拒否され、実行不可になり、エラー表示はありません。結果として、ステータスレジスタのレガシーブロック保護ビットにより保護されるメモリ領域のすべてのデータバイトも WP# によってハードウェアで保護されます。

注: WP# のハードウェア保護は以下の方法で提供されます。

- 書き込み保護 (WP#) 信号を論理 LOW に駆動した後に、ステータス レジスタ保護 0 (SRP0) ビットをセットします。
 - ステータス レジスタ保護 0 (SRP0) ビットを「1」にセットした後に、書き込み保護 (WP#) 信号を論理 LOW に駆動します。
- ハードウェア保護を解除するためには、書き込み保護 (WP#) 信号を論理 HIGH にプルアップすることが唯一の方法です。WP# が永久的に HIGH である場合、BP ビットのハードウェア保護は有効化されません。
- クアッドモードが有効 (CR1V[1]=1)、または QPI モードが有効 (CR2V[3]=1) のときに WP# が IO2 になるため、ハードウェア保護は無効化され、利用できません。

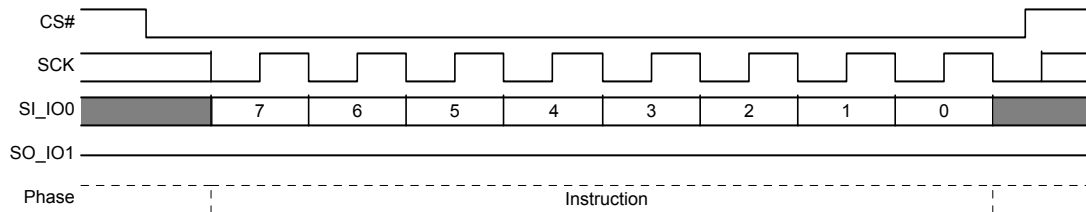
[42 ページの 7.5 ステータス レジスタ保護 \(SRP1、SRP0\) 節](#)はステータスおよびコンフィギュレーション保護の SRP と WP# の制御を示します。

8.3.5 書き込みイネーブル (WREN 06h)

書き込みイネーブル (WREN) コマンドは、ステータス レジスタ 1 の書き込みイネーブル ラッチ (WEL) ビット (SR1V[1]) を「1」にセットします。書き込み、プログラムおよび消去のコマンドを有効化するために、書き込みイネーブル (WREN) コマンドを発行して、書き込みイネーブル ラッチ (WEL) ビットを「1」にセットする必要があります。

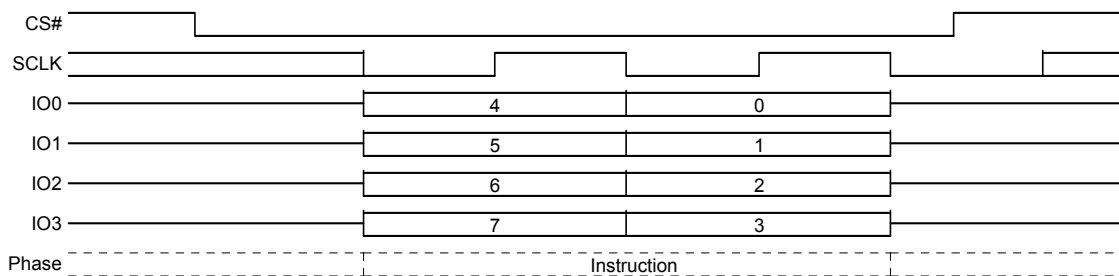
命令バイトの 8 ビット目が SI / IO0 上にラッチインされた後、CS# を論理 HIGH に駆動する必要があります。命令バイトの 8 ビット目が SI / IO0 上にラッチインされた後、CS# を論理 HIGH に駆動しない場合、書き込みイネーブル動作は実行されません。

図 41. 書き込みイネーブル (WREN) コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 42. 書き込みイネーブル (WREN) コマンド シーケンス - QPI モード



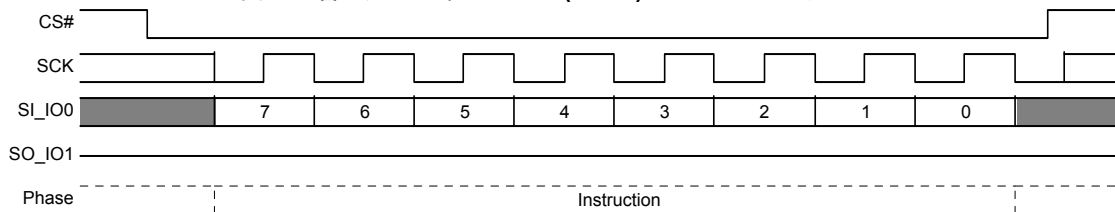
8.3.6 書き込みディセーブル (WRDI 04h)

書き込みディセーブル (WRDI) コマンドはステータス レジスタ 1 の書き込みイネーブル ラッチ (WEL) ビット (SR1V[1]) を「0」にクリアします。

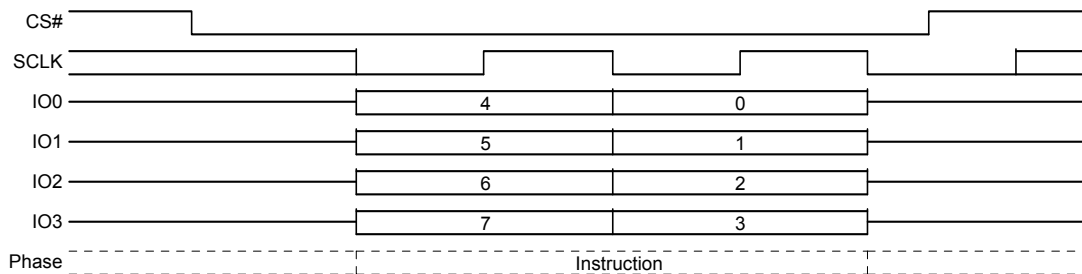
書き込みイネーブル ラッチ (WEL) ビットは、実行のために WEL を「1」にセットする必要があるページ プログラム (PP、4PP、QPP、4QPP)、セクタ消去 (SE)、ハーフ ブロック消去 (HBE)、ブロック消去 (BE)、チップ消去 (CE)、レジスタ書き込み (WRR または WRAR)、セキュリティ領域消去 (SECRE)、セキュリティ領域プログラム (SECRP) および他のコマンドを無効化するために、書き込みディセーブル (WRDI) コマンドを発行することで「0」にクリアされます。メモリの内容を破損する可能性がある不注意な書き込みからメモリ領域を保護するために、ユーザーは WRDI コマンドを使用できます。WIP ビット = 1 の場合、組み込み動作中に WRDI コマンドは無視されます。

命令バイトの 8 ビット目が SI / IO0 上にラッチインされた後、CS# を論理 HIGH に駆動する必要があります。命令バイトの 8 ビット目が SI / IO0 上にラッチインされた後、CS# を論理 HIGH に駆動しない場合、書き込みディセーブル動作は実行されません。

図 43. 書き込みディセーブル (WRDI) コマンド シーケンス



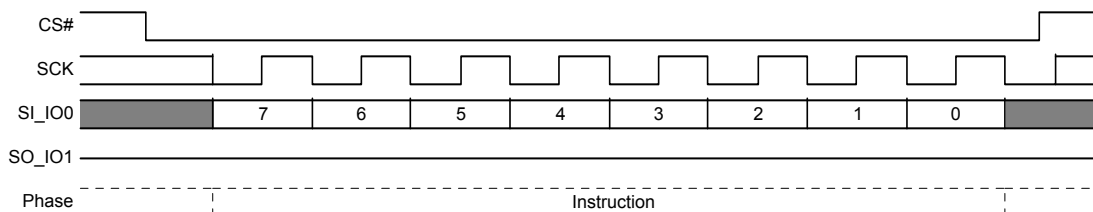
このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 44. 書き込みディセーブル (WRDI) コマンド シーケンス – QPI モード


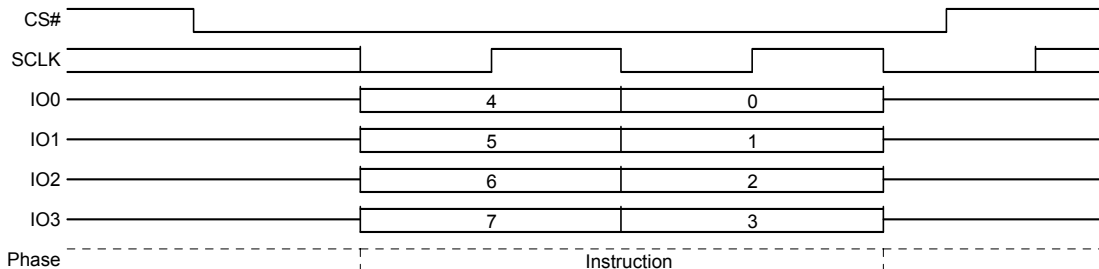
8.3.7 揮発性レジスタの書き込みイネーブル (WRENV 50h)

25 ページの 6.6 レジスタ節で説明される揮発性の SR1V、CR1V、CR2V および CR3V レジスタは WRR コマンドに続いて WRENV コマンドを送信することにより書き込まれます。これにより、典型的な不揮発性ビット書き込みサイクルを待機させたり、不揮発性ステータスまたはコンフィギュレーション レジスタ ビットの書き換え可能回数に影響を与えたりせず、システム コンフィギュレーションおよびメモリ保護方式は迅速かつ柔軟に変更できます。WRENV コマンドは書き込みイネーブル ラッチ (WEL) ビットをセットせず、後続する WRR コマンドに揮発性ステータスおよびコンフィギュレーション レジスタ ビット値を変更させるためだけに使用されます。

命令バイトの 8 ビット目が SI / IO0 上にラッチインされた後、CS# を論理 HIGH に駆動する必要があります。命令バイトの 8 ビット目が SI / IO0 上にラッチインされた後、CS# を論理 HIGH に駆動しない場合、書き込みイネーブル動作は実行されません。

図 45. 揮発性レジスタの書き込みイネーブル (WRENV) コマンド シーケンス


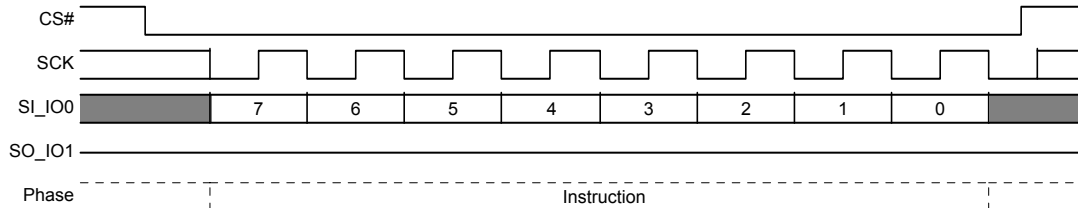
このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 46. 揮発性レジスタの書き込みイネーブル (WRENV) コマンド シーケンス – QPI モード


8.3.8 ステータスレジスタクリア (CLSR 30h)

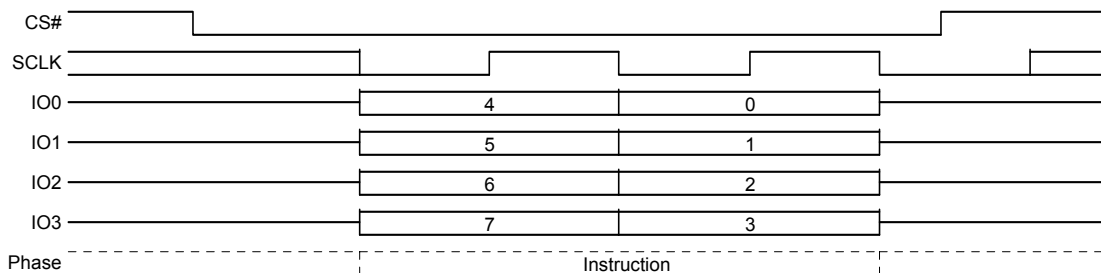
ステータスレジスタクリアコマンドは WIP (SR1V[0]), WEL (SR1V[1]), P_ERR (SR2V[5]) および E_ERR (SR2V[6]) ビットを「0」にクリアします。ステータスレジスタクリアコマンドを実行する前に、WEL ビットをセットする必要はありません。いずれかのエラービットがセットされてもデバイスはビジーの状態を維持するため、WIP が「1」にセットされデバイスがビジーの状態であっても、ステータスレジスタクリアコマンドは受け入れられます。

図 47. ステータスレジスタクリア (CLSR) コマンドシーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 48. ステータスレジスタクリア (CLSR) - QPI モード



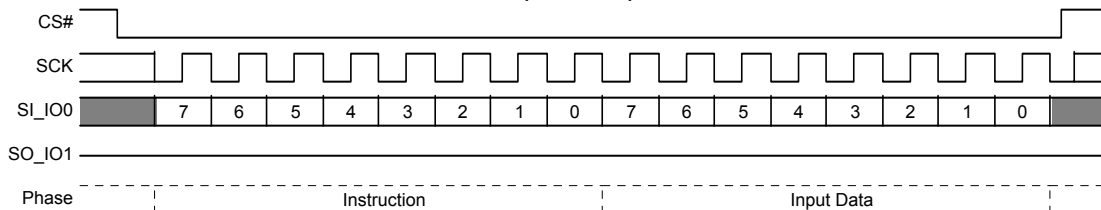
8.3.9 DLRNV プログラム (PDLRNV 43h)

デバイスは DLRNV プログラム (PDLRNV) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号しなければなりません。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスは書き込みイネーブルラッチ (WEL) をセットして PDLRNV 動作を有効にします。

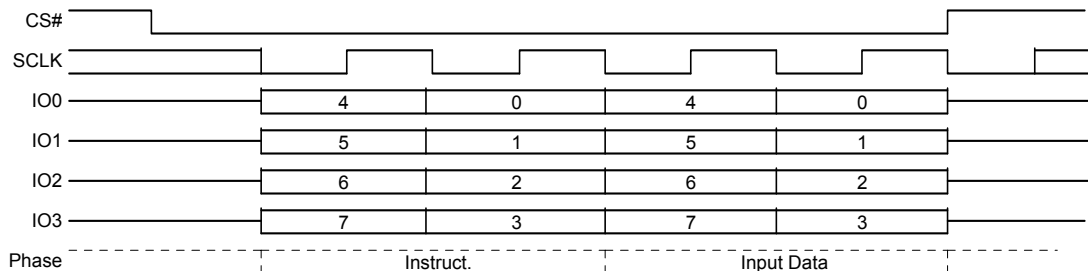
PDLRNV コマンドは命令およびデータバイトを SI / IO0 上でシフトすることで入力されます。

CS# はデータの 8 ビット目がラッチされた後に論理 HIGH に駆動する必要があります。そうしない場合、PDLRNV コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PDLRNV 動作は直ちに開始されます。PDLRNV 動作の進行中に、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイムの PDLRNV サイクルの間で「1」であり、サイクルが完了すると「0」になります。PDLRNV 動作はステータスレジスタの P_ERR ビットでプログラムエラーをレポートできます。PDLRNV 動作が完了すると、書き込みイネーブルラッチ (WEL) は「0」にセットされます。PDLRNV コマンドの最大クロック周波数は 108MHz です。

図 49. DLRNV プログラム (PDLRNV) コマンドシーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令およびデータは IO0 ~ IO3 上でシフトインされます。

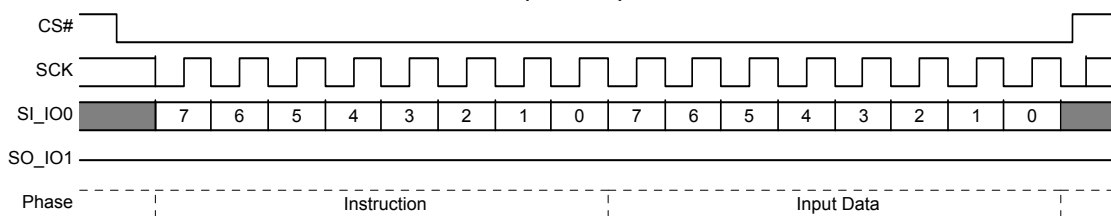
図 50. DLRNV プログラム (PDLRNV) コマンド シーケンス – QPI モード


8.3.10 DLRV 書き込み (WDLRV 4Ah)

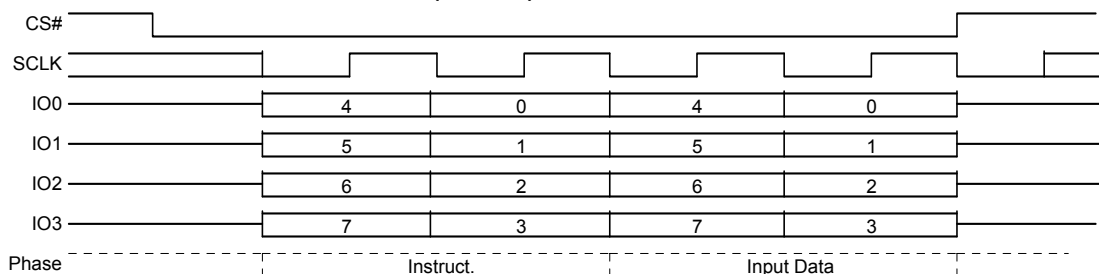
デバイスは DLRV 書き込み (WDLRV) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号しなければなりません。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスは書き込みイネーブル ラッチ (WEL) をセットして WDLRV 動作を有効にします。

WDLRV コマンドは命令およびデータ バイトを SI / IO0 上でシフトすることで入力されます。

CS# はデータの 8 ビット目がラッチされた後に論理 HIGH に駆動する必要があります。そうしない場合、WDLRV コマンドは実行されません。CS# が論理 HIGH に駆動されると、WDLRV 動作は直ちに開始されます。WDLRV コマンドの最大クロック周波数は 108MHz です。

図 51. DLRV 書き込み (WDLRV) コマンド シーケンス


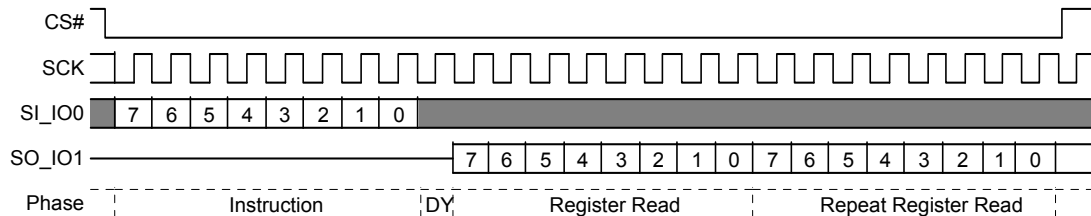
このコマンドは QPI モードでも対応します。QPI モードでは、命令およびデータは IO0 ~ IO3 上でシフトインされます。

図 52. DLRV 書き込み (WDLRV) コマンド シーケンス – QPI モード


8.3.11 データ ラーニング パターン読み出し (DLPRD 41h)

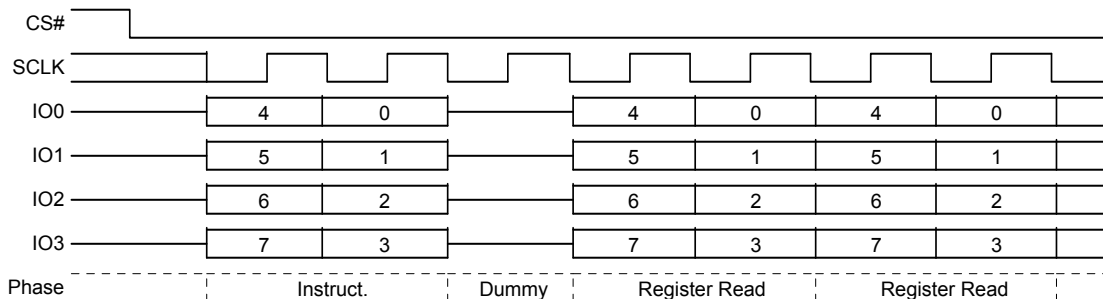
命令 41h は SCK 信号の立ち上がりエッジで SI / IO0 上でシフトインされ、その後 1 ダミー サイクルが続きます。レイテンシ期間により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、高インピーダンスであることがあります。その後、8 ビットの DLP は SO / IO1 でシフトアウトされます。8 の倍数のクロック サイクルを提供することで DLP を連続的に読み出せます。DLPRD コマンドの最大動作クロック周波数は 108MHz です。

図 53. DLP 読み出し (DLPRD) コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令のシフトインと返されるデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 54. DLP 読み出し (DLPRD) コマンド シーケンス - QPI モード

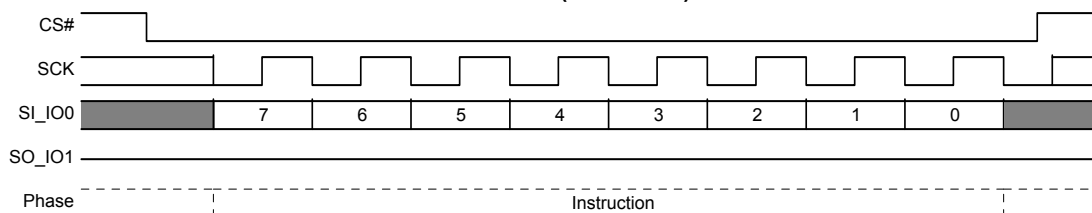


8.3.12 4 バイト アドレス モード開始 (4BEN B7h)

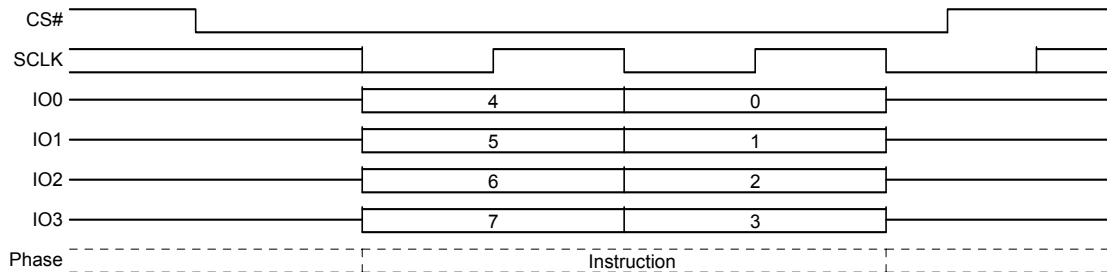
4 バイト アドレス モード開始 (4BEN) コマンドは揮発性アドレス長ステータス (ADS) ビット (CR2V[0]) を「1」にセットし、すべての 3 バイト アドレス コマンドを 4 バイト アドレスを要求するように変更します。このコマンドは、4 アドレス バイトを継続的に予期する 4 バイトのみのコマンドには影響を与えません。

3 バイト アドレス モードに戻るために、4BEX コマンドは揮発性アドレス長ビット CR2V[0] を 0 にクリアします。WRAR コマンドも揮発性アドレス長ビット CR2V[0] を 0 にクリアできます。さらに、不揮発性アドレス長ビット CR2NV[1]=0 である場合、3 バイト アドレス モードに戻るために、ハードウェアまたはソフトウェア リセットも使用できます。

図 55. 4 バイト アドレス モード開始 (4BEN B7h) コマンド シーケンス

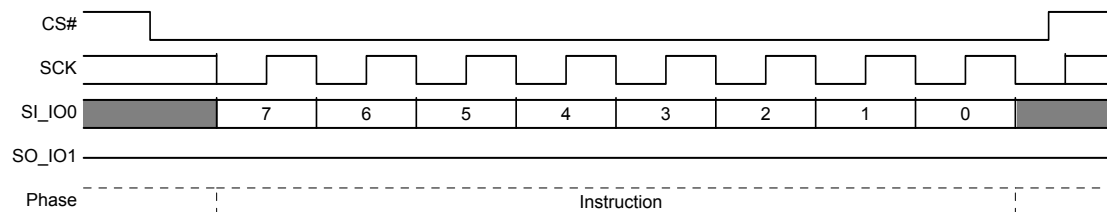


このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

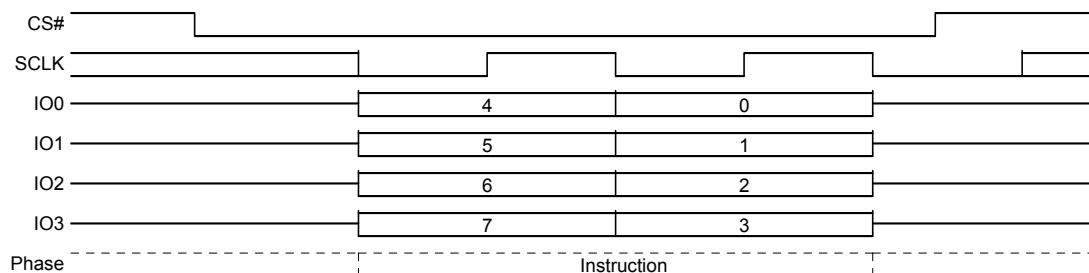
図 56. 4 バイト アドレス モード開始 – QPI モード


8.3.13 4 バイト アドレス モード終了 (4BEX E9h)

4 バイト アドレス モード終了 (4BEX) コマンドは揮発性アドレス長ステータス (ADS) ビット (CR2V[0]) を「0」にセットし、大部分の 4 バイト アドレス コマンドを 3 バイト アドレスを要求するように変更します。このコマンドは、4 アドレス バイトを継続的に予期する 4 バイトのみのコマンドには影響を与えません。

図 57. 4 バイト アドレス モード終了 (4BEX E9h) コマンド シーケンス


このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 58. 4 バイト アドレス モード終了 – QPI モード


8.3.14 任意レジスタ読み出し (RDAR 65h)

任意レジスタ読み出し (RDAR) コマンドはデバイス レジスタを読み出す方法を提供します。命令の後に、3 または 4 バイト アドレス (アドレス長コンフィギュレーション CR2V[0] に応じて) が続き、その次に CR3V[3:0] でセットされたレイテンシ (ダミー) サイクル数が続きます。そして、選択されたレジスタ内容が返されます。読み出しアクセスが継続する場合、選択された同じレジスタの内容がコマンドが終了するまで返されます。それぞれの RDAR コマンドは 1 つのレジスタのみを読み出します。

未定義位置の読み出しは未定義のデータが出力されます。

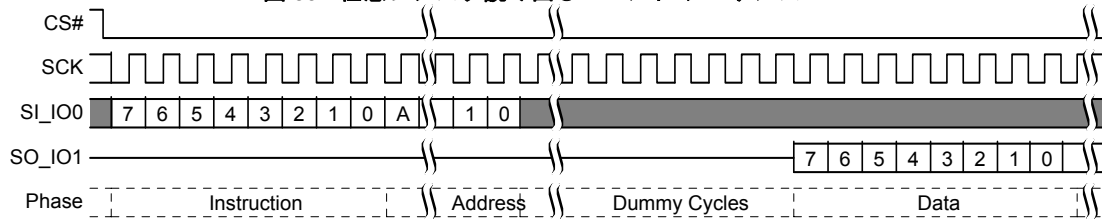
ステータス レジスタ 1 (SR1V) を読み出すために RDAR コマンドは組み込み動作中に使用できます。

RDAR コマンドはより大きいアレイへのウィンドウとなるレジスタ (IBLAR) の読み出しには使用されません。アクセスしたアレイの位置を選択し、読み出すために個別のコマンドが必要です。

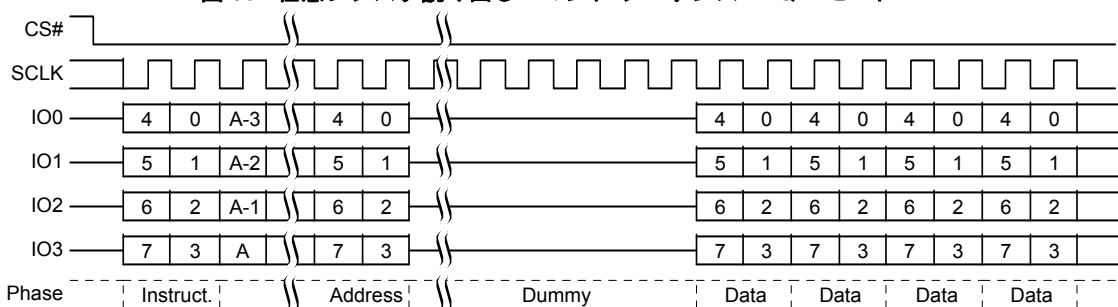
IRP[2] を 0 にプログラムすることで IRP パスワード保護モードを選択した場合、RDAR コマンドは PASS レジスタ位置からの無効データを読み出します。

表 34. レジスタ アドレス マップ

| バイト アドレス (16 進) | レジスタ名 | 説明 |
|--------------------|---------------|---|
| 000000 | SR1NV | 不揮発性ステータスおよびコンフィギュレーション レジスタ 不揮発性ステータスおよびコンフィギュレーション レジスタの読み出しは、実際に揮発性レジスタを読み出します。 |
| 000001 | 該当なし | |
| 000002 | CR1NV | |
| 000003 | CR2NV | |
| 000004 | CR3NV | |
| 000005 | NVDLP | |
| ... | 該当なし | |
| 000020 | PASS[7:0] | 不揮発性パスワード レジスタ |
| 000021 | PASS[15:8] | |
| 000022 | PASS[23:16] | |
| 000023 | PASS[31:24] | |
| 000024 | PASS[39:32] | |
| 000025 | PASS[47:40] | |
| 000026 | PASS[55:48] | |
| 000027 | PASS[63:56] | |
| ... | 該当なし | |
| 000030 | IRP[7:0] | 不揮発性 |
| 000031 | IRP[15:8] | |
| ... | 該当なし | |
| 000039 | PRPR[A15:A8] | ポインター領域保護レジスタ A15:A8 |
| 00003A | PRPR[A23:A16] | ポインター領域保護レジスタ A23:A16 |
| 00003B | 該当なし | |
| ... | 該当なし | |
| 800000 | SR1V | 揮発性ステータスおよびコンフィギュレーション レジスタ |
| 800001 | SR2V | |
| 800002 | CR1V | |
| 800003 | CR2V | |
| 800004 | CR3V | |
| 800005 | VDLP | |
| ... | 該当なし | |
| 800040 | PR | 揮発性保護レジスタ |
| ... | 該当なし | |

図 59. 任意レジスタ読み出しコマンド シーケンス^[30]


このコマンドは QPI モードでも対応します。QPI モードでは、命令とアドレスのシフトインおよび返されるデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 60. 任意レジスタ読み出しコマンド シーケンス - QPI モード^[30]


8.3.15 任意レジスタ書き込み (WRAR 71h)

任意レジスタ書き込み (WRAR) コマンドはすべての不揮発性と揮発性デバイス レジスタを書き込む方法を提供します。命令の後に、3 または 4 バイト アドレス (アドレス長コンフィギュレーション CR2V[0] に応じて) およびアドレスで指定されたレジスタに書き込む 1 データ バイトが続きます。

デバイスは WRAR コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。動作完了を判定するために、SR1V の WIP ビットをチェックできます。動作中にエラーが発生したかを確認するために、SR2V の P_ERR および E_ERR ビットを確認できます。

混合したビット タイプおよびどのビットを修正するかを制御する個別のルールを持つレジスタがあります。読み出し専用ビットもあり、OTP ビットもあります。

読み出し専用ビットは変更できず、WRAR コマンド データ バイト内の対応するビットは無視され、プログラム/消去エラーの表示 (SR2V の P_ERR または E_ERR) がセットされません。したがって、WRAR データ バイト内のこれらのビット値は重要ではありません。

OTP ビットはデフォルト状態の逆のレベルにのみプログラムできます。OTP ビットをデフォルト状態に復帰させるための書き込みは無視され、エラーはセットされません。

WRAR データで変更された不揮発性ビットを更新するには不揮発性レジスタ書き込み時間 (t_W) を要します。更新プロセスは不揮発性レジスタ ビットに対する消去およびプログラム動作を含みます。更新プロセスの消去またはプログラム部分が失敗した場合、SR2V 内の対応するエラー ビットおよび SR1V の WIP は 1 にセットされます。

WRAR データで変更された揮発性ビットを更新するには揮発性レジスタ書き込み時間 (t_{CS}) を要します。

レジスタ書き込みがいつ完了するかを判定するためにステータス レジスタ 1 を繰り返し読み出して (ポーリングして) 書き込み中 (WIP) ビット (SR1V[0]) を監視し、書き込みエラーがあるかどうかを判定するためにステータス レジスタ 2 を繰り返し読み出して (ポーリングして) エラー ビット (SR2V[6, 5]) を監視します。書き込みが失敗した場合、ステータス クリア コマンドを使用してエラー ステータスをクリアし、デバイスをスタンバイ状態に復帰させます。WRAR 動作が完了すると、書き込みイネーブル ラッチ (WEN) は「0」にセットされます。

しかし、WRAR コマンドで PR レジスタに書き込むことはできません。PR レジスタ内容は読み出し専用ビットとして扱われます。NVLOCK ビット書き込み (PRL) コマンドのみで PR レジスタに書き込みます。

SR1NV、CR1NV、CR2NV および CR3NV に書き込む WRAR コマンドはハードウェア/ソフトウェア リセットから保護される一方、他のすべてのレジスタに書き込む WRAR コマンドはハードウェア/ソフトウェア リセットでリセットされます。

WRAR コマンドのシーケンスおよび動作は PP または 4PP コマンドと同じですが、1 データ バイトのみが提供されます。[84 ページの 8.5.2 ページ プログラム \(PP 02h または 4PP 12H\) 節](#)を参照してください。

レジスタのアドレス マップは [72 ページの表 34](#) に示されます。

注:

30. A = アドレスの MSb=23 (アドレス長 CR2V[0]=0 の場合) または 31 (CR2V[0]=1 の場合)。

8.3.16 バースト長セット (SBL 77h)

バースト長セット (SBL) コマンドはバースト ラップ機能を設定するために使用します。QIO または QPI モードで、バースト ラップはクアッド I/O 読み出しおよび DDR クアッド I/O 読み出しと併用して固定長で整列されたデータにアクセスします。特定のアプリケーションはこの機能の利点を活用して全体のシステム コード実行性能を改善できます。バースト ラップ機能により、キャッシュを用いたアプリケーションは複数の読み出しコマンドを発行せず、まずクリティカルなアドレスからの命令またはデータをキャッシュラインに書き込んでから、固定長 (8 / 16 / 32 / 64 バイト) のデータをキャッシュラインの残りに書き込みます。

バースト長セット コマンドは CS# ピンを LOW に駆動してから命令コード「77h」に続いて 24 ダミー ビットおよび 8 ラップ長ビット (WL[7] ~ WL[0]) をシフトすることで開始します。コマンド シーケンスは 75 ページの図 61 および 75 ページの図 62 に示しています。ラップ長ビット WL[7] および下位ニブル WL[3:0] を使用しません。コンフィギュレーション レジスタ 3 (CR3V[6:4]) での WL[6] ~ WL[4] のエンコーディングは 33 ページの 6.6.5 コンフィギュレーション レジスタ 3 節を参照してください。

バースト長セット コマンドで WL[6:4] がセットされると、それ以降のすべてのクアッド I/O 読み出しコマンドは WL[6:4] 設定を使用して 8 / 16 / 32 / 64 バイトのデータ セクションにアクセスします。クアッド I/O 読み出しおよびバースト長セット コマンドを使用するために、コンフィギュレーション レジスタ 1 のクアッド ビット CR1V[1] またはコンフィギュレーション レジスタ 2 の QPI ビット CR2V[3] を 1 にセットする必要があることに注意してください。「ラップ アラウンド」機能を終了して通常の読み出し動作に戻るために、別のバースト ラップ セット コマンドを発行して WL4 を 1 にセットする必要があります。電源投入、ハードウェア リセットまたはソフトウェア リセットのときに WL[6:4] のデフォルト値は CR2NV[6:4] でセットされます。WRR または WRAR コマンドを使用して CR2NV[6:4] でデフォルトのラップ長をセットします。

バースト長セット (SBL) コマンドはラップ読み出し機能を有効／無効にし、ラップ境界をセットするために CR3V[6:4] ビットのみに書き込みます。CR3V[3:0] での読み出しレイテンシをセットするには SBL コマンドは使用できません。CR3V または CR3NV での読み出しレイテンシをセットするために、WRAR コマンドを使用しなければなりません。

ラップ境界および開始アドレスは 74 ページの表 35 での CR3V[6:5] の値を参照してください。ラップ読み出し機能が有効にされると、関連する読み出しコマンドはコマンドが終了するまでの順次読み出しから、バイト グループ内でラップされる順次読み出しに変更されます。

ラップ モードが有効でない場合 (33 ページの表 16 と 36 ページの表 19)、無限長の順次読み出しが実行されます。

ラップ モードが有効になった場合 (表 16 と表 19)、固定長の 8 / 16 / 32 / 64 バイトに整列されるグループは、読み出しコマンドで提供されたバイト アドレスから読み出され、グループのアライメント境界でラップアラウンドします。

バイト グループは 8、16、32 または 64 バイトの長さで、それぞれの境界に整列されます。CR3V[6:5] は境界を選択します。36 ページの 6.6.5.2 揮発性コンフィギュレーション レジスタ 3 (CR3V) 節を参照してください。

読み出しコマンドの開始アドレスはバイト グループを選択し、最初に返されるデータはアドレス指定されたバイトです。次に、グループ境界の終わりに至るまでバイトは順次読み出されます。読み出しが継続すると、アドレスはグループの始まりにラップし、順次読み出しを続けます。ラップ読み出しシーケンスは CS# が HIGH に戻り、コマンドが終了するまで続きます。

表 35. バースト ラップ シーケンス例

| CR3V 値 (16 進) | ラップ境界 (バイト) | 開始アドレス (16 進) | アドレス シーケンス (16 進) |
|------------------|----------------|------------------|--|
| 1X | シーケンシャル | XXXXXXX03 | 03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、など |
| 00 | 8 | XXXXXXX00 | 00、01、02、03、04、05、06、07、00、01、02、など |
| 00 | 8 | XXXXXXX07 | 07、00、01、02、03、04、05、06、07、00、01、など |
| 01 | 16 | XXXXXXX02 | 02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、00、01、02、03、など |
| 01 | 16 | XXXXXXX0C | 0C、0D、0E、0F、00、01、02、03、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、など |
| 02 | 32 | XXXXXXX0A | 0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、など |
| 02 | 32 | XXXXXXX1E | 1E、1F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、00、など |
| 03 | 64 | XXXXXXX03 | 03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、20、21、22、23、24、25、26、27、28、29、2A、2B、2C、2D、2E、2F、30、31、32、33、34、35、36、37、38、39、3A、3B、3C、3D、3E、3F、00、01、02、など |
| 03 | 64 | XXXXXXX2E | 2E、2F、30、31、32、33、34、35、36、37、38、39、3A、3B、3C、3D、3E、3F、00、01、02、03、04、05、06、07、08、09、0A、0B、0C、0D、0E、0F、10、11、12、13、14、15、16、17、18、19、1A、1B、1C、1D、1E、1F、20、21、22、23、24、25、26、27、28、29、2A、2B、2C、2D、など |

WRAR コマンドを使用して CR3NV を所望の値にプログラムすることにより、パワーオン リセット、ハードウェア リセットまたはソフトウェア リセットのデフォルト パースト長を変更できます。

図 61. パースト長セット コマンド シーケンス – クアッド I/O モード

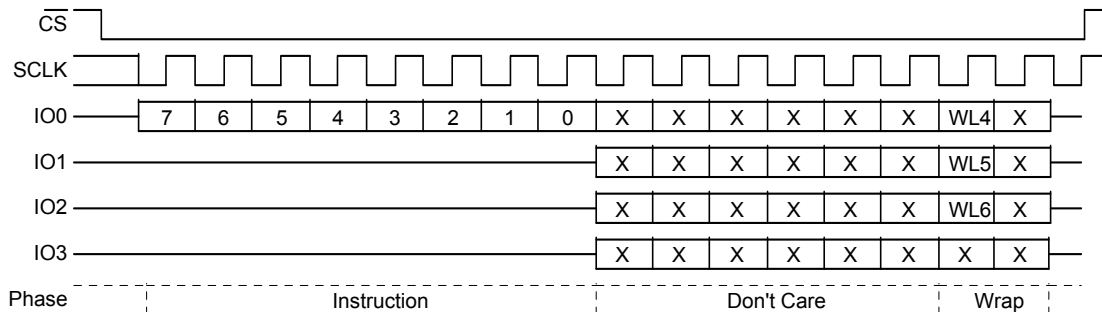
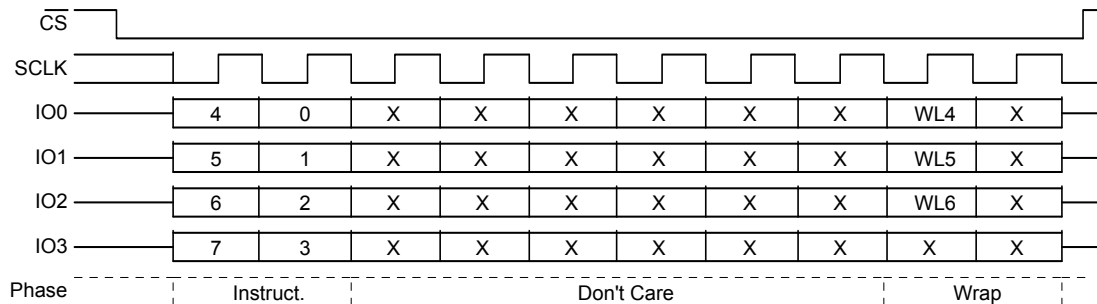


図 62. パースト長セット コマンド シーケンス – QPI モード

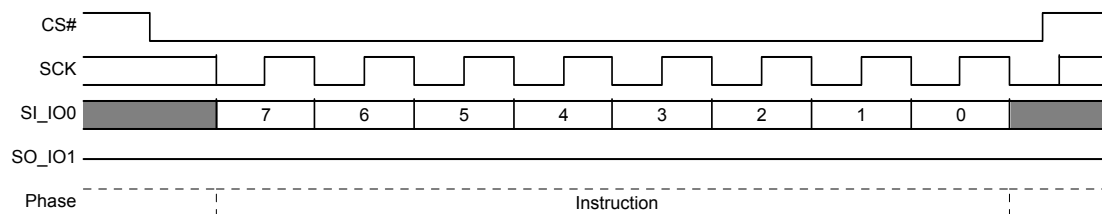


8.3.17 QPI モード開始 (QPIEN 38h)

QPI モード開始 (QPIEN) コマンドは揮発性 QPI ビット CR2V[3] を 1 にセットして QPI モードを有効にします。32 ページの表 14 を参照してください。QPI モードを開始するために要する時間は t_{QEN} です (128 ページの表 54 を参照してください)。遷移時間 t_{QEN} の間、他のコマンドは許可されません。

SPI モードに戻るために、QPIEX コマンドまたはレジスタへの書き込み (CR2V[3]=0) が必要です。不揮発性 QPI ビット CR2NV[3]=0 の場合、パワーオン リセット、ハードウェア/ソフトウェア リセットもデバイスを SPI モードに復帰させます。31 ページの表 12 を参照してください。

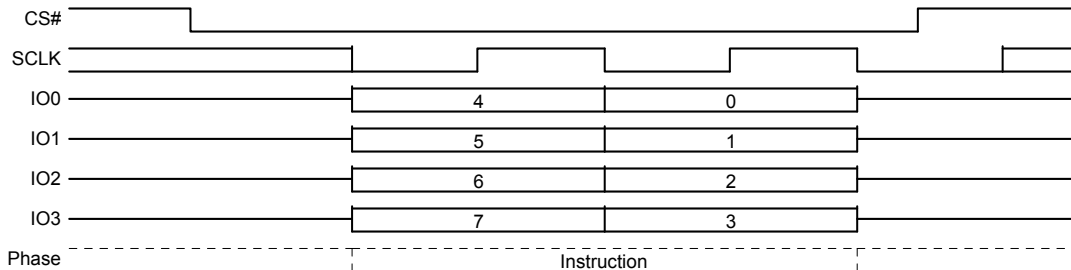
図 63. QPI モード開始 (QPIEN 38h) コマンド シーケンス



8.3.18 QPI モード終了 (QPIEX F5h)

QPI モード終了 (QPIEX) コマンドは揮発性 QPI ビット CR2V[3] を 0 にセットして QPI モードを無効にし、デバイスを SPI モードに復帰させます。表 14 を参照してください。QPI モードを終了するのに要する時間は t_{QEX} です (128 ページの表 54 を参照してください)。遷移時間 t_{QEX} の間、他のコマンドは許可されません。

図 64. QPI モード終了 (QPIEX F5h) コマンド シーケンス



8.4 メモリ アレイ読み出しのコマンド

メイン フラッシュ アレイの読み出しコマンドは前世代の SPI 互換性または性能強化 SPI に多くのオプションを提供しています。

- SCK の立ち上がりエッジごとにアドレス/データを転送するコマンドがあります。シングル データ レート (SDR) コマンドと呼ばれます。
- SDR コマンドには、SCK の立ち下がりエッジごとに 1 アドレス ビットを転送し、SCK の立ち上がりエッジごとに 1 データ ビットを返すものがあります。シングル幅コマンドと呼ばれます。
- SDR コマンドには、SCK の立ち上がりエッジごとにアドレスとデータの 2 または 4 ビットを転送するものがあります。2 ビットの場合はデュアル I/O、4 ビットの場合はクアッド I/O、QPI と呼ばれます。また、QPI は立ち上がりエッジごとに命令の 4 ビットを転送します。
- SCK の立ち上がりと立ち下がりの両エッジでアドレスとデータを転送するものがあります。ダブル データ レート (DDR) コマンドと呼ばれます。
- DDR コマンドには、SCK エッジごとにアドレス/データの 4 ビットを転送するものがあります。エッジごとの 4 ビット転送のクアッド I/O DDR および QPI DDR と呼ばれます。

QPI 読み出しを除くすべてのコマンドは、SCK の立ち上がりエッジごとに 1 ビットが転送される命令コードで始まります。QPI 読み出しコマンドは SCK の立ち上がりエッジごとに命令の 4 ビットを転送します。命令の後に続いて 3 または 4 バイト アドレスが SDR または DDR で転送されます。クロック エッジごとにアドレスまたはデータの 2 または 4 ビットを転送するコマンドはマルチ I/O (MIO) コマンドと呼ばれます。256Mb またはそれより高容量の FL-L ファミリー デバイスでは、従来の SPI 3 バイト アドレスはメモリ アレイですべての位置を直接アドレス指定できません。アドレス空間全体にアクセスするために、別の 4 バイト アドレス読み出しコマンドが提供されています。デバイスは従来の 3 バイト アドレス コマンドを使用してホスト システムからの 4 バイト アドレスを受信するように設定できます。従来のコマンドの 4 バイト アドレス モードを有効にするために、コンフィギュレーション レジスタ 2 のアドレス長ビットを「1」にセットします。S25FL128L では、フラッシュ アレイのサイズが 64Mb しかないため、4 バイト アドレス コマンド、すなわち 4 バイト アドレス モードを使用したコマンドでの A22 より上位アドレス ビットは該当せずに無視されます。

デュアル I/O、クアッド I/O および QPI コマンドは性能を改善するオプションを提供します。このオプションはアドレス ビットに続いて送信されるモード ビットにより制御されます。モード ビットは、読み出しの前に命令なしで、進行中の読み出しの終了後に続くコマンドが同じタイプの読み出しであるかを示します。モード ビットは一連のデュアル/クアッド読み出しアクセスを実行しているとき命令サイクルを除去するオプションを提供します。

メモリ アレイにアクセスする時間を取るようアドレスまたはモード ビットの後に続く読み出しレイテンシという遅延サイクルを必要とします。遅延 (読み出しレイテンシ) サイクルは従来からダミー サイクルと呼ばれます。ダミー サイクルがメモリに無視されるため、これらのサイクル中にホストが提供するデータはすべて「ドント ケア」になります。ダミー サイクル中に、ホストは SI 信号を高インピーダンスのままにすることがあります。MIO コマンドを使用する場合、ホストは最後のダミー サイクルが終了する前に IO 信号 (出力が高インピーダンス) の駆動を停止する必要があります。DDR コマンドを使用する場合、ホストはダミー サイクル中に I/O 信号を駆動してはいけません。ダミー サイクルの数は SCK 周波数またはコンフィギュレーション レジスタ 2 のレイテンシ コード (CR3V[3:0]) で選択された性能オプションによって異なります。ダミー サイクルは SCK の立ち下がりエッジから次の立ち下がりエッジまで測定されます。通常、SPI 出力は各 SCK の立ち下がりエッジで新しい値に駆動されます。ゼロ ダミー サイクルは、ホストがアドレスまたはモード ビットの駆動を停止する同じ SCK の立ち下がりエッジで、返りデータがメモリによって駆動されることを意味します。

DDR コマンドにはデータの始まる直前のダミー サイクル中に、すべてのデータ出力上でメモリによって駆動された 8 エッジのデータ ラーニング パターン (DLP) を持つオプションがあります。ホスト メモリ コントローラーは DLP を使って SCK からデータ エッジへの位相シフトを判定し、データ アイの中心でデータの取り込みを実現できます。

より高い SCK 周波数 (> 50MHz) で SDR I/O コマンドを使用する場合、1 ダミー サイクル以上を提供する LC を選択する必要があります。これにより、メモリがデータの駆動を開始する前にホストが駆動を停止するための追加時間が取れ、I/O ドライバー衝突を最小限にできます。DLP が有効になった DDR I/O コマンドを使用する場合、5 ダミー サイクル以上を提供する LC を選択し、メモリが 4 サイクル DLP の駆動を開始する前にホストが駆動を停止するための 1 サイクルの追加時間が取れるようにします。

データを返す間に CS# が HIGH に戻ると、各読み出しコマンドが終了します。モード ビットが正しく取り込まれず、デバイスが連続読み出しモードのままであることを確認できないことを回避するために、データが返される前にモードまたはダミー サイクル中に CS# は HIGH に戻ってはいけません。

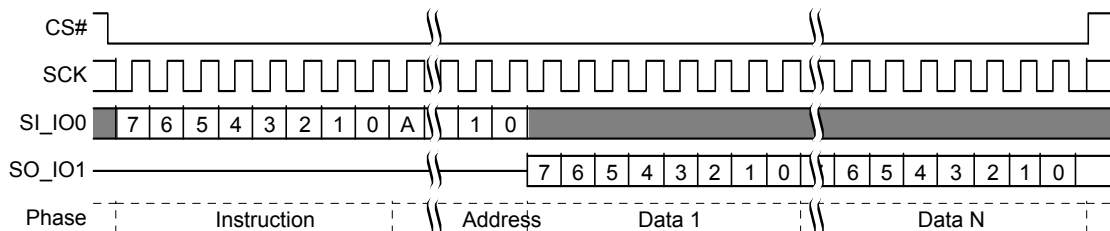
8.4.1 読み出し (READ 03h または 4READ 13h)

- 03h 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 03h 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 13h 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

その後、与えられたアドレスでのメモリ内容は SO / IO1 上でシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

図 65. 読み出しコマンド シーケンス^[31]



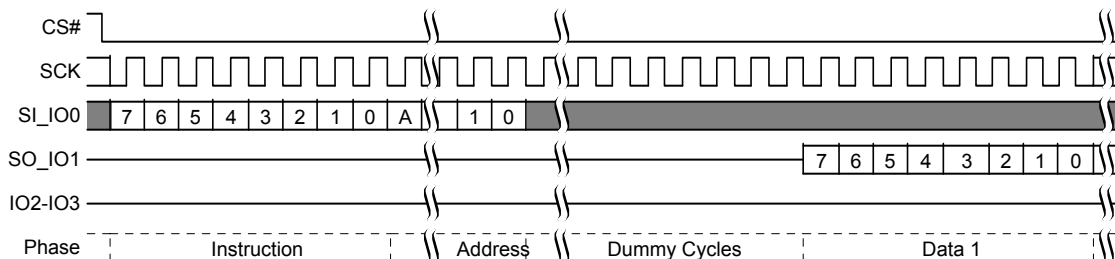
8.4.2 高速読み出し (FAST_READ 0Bh または 4FAST_READ 0Ch)

- 0Bh 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 0Bh 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 0Ch 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後には、コンフィギュレーション レジスタ CR3V[3:0] で設定されたレイテンシ コードに応じたダミー サイクルが続きます。デバイスの内部回路が初期アドレス位置にアクセスするために、ダミー サイクルによって追加時間を取れます。ダミー サイクル中に、SO / IO1 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。その後、与えられたアドレスでのメモリ内容は SO / IO1 上でシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

図 66. 高速読み出し (FAST_READ) コマンド シーケンス



注:

31. A = アドレスの MSb=23 (CR2V[0]=0 の場合) または 31 (CR2V[0]=1 または 13h コマンドの場合)。

8.4.3 デュアル出力読み出し (DOR 3Bh または 4DOR 3Ch)

- 3Bh 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 3Bh 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 3Ch 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

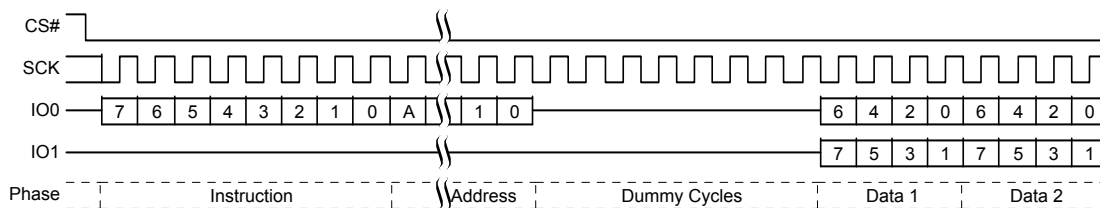
アドレスの後には、コンフィギュレーション レジスタ CR3V[3:0] で設定されたレイテンシ コードに応じたダミー サイクルが続きます。デバイスの内部回路が初期アドレス位置にアクセスするために、ダミー サイクルによって追加時間を取れます。ダミー サイクル中に、IO0 (SI) と IO1 (SO) 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。

その後、与えられたアドレスでのメモリ内容は IO0 (SI) と IO1 (SO) 上で一度に 2 ビットずつシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で 2 ビットがシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

デュアル出力読み出しコマンドでは、最後のアドレス ビットを IO0 (SI) にシフトインした後、データを IO0 と IO1 上でシフトアウトし始める前にダミー サイクルが必要です。

図 67. デュアル出力読み出しコマンド シーケンス^[32]



8.4.4 クアッド出力読み出し (QOR 6Bh または 4QOR 6Ch)

- 6Bh 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 6Bh 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 6Ch 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後には、コンフィギュレーション レジスタ CR3V[3:0] で設定されたレイテンシ コードに応じたダミー サイクルが続きます。デバイスの内部回路が初期アドレス位置にアクセスするために、ダミー サイクルによって追加時間を取れます。ダミー サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。

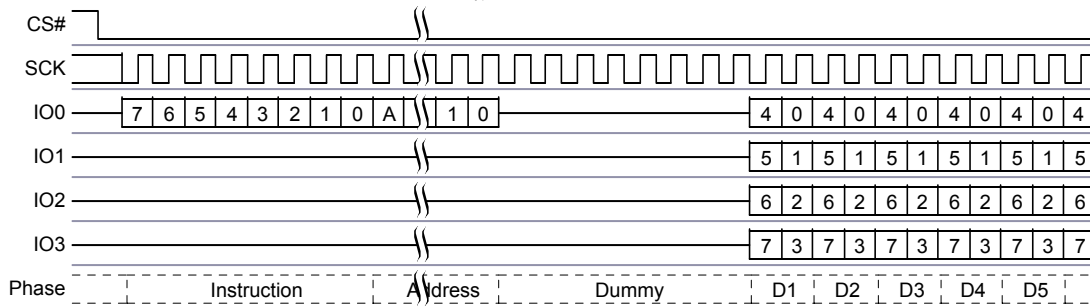
その後、与えられたアドレスでのメモリ内容は IO0 ~ IO3 上で一度に 4 ビットずつシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で各ニブル (4 ビット) がシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

クアッド出力読み出しコマンドでは、最後のアドレス ビットを IO0 にシフトインした後、データを IO0 ~ IO3 上でシフトアウトし始める前にダミー サイクルが必要です。

注:

32. A = アドレスの MSb=23 (CR2V[0]=0 の場合) または 31 (CR2V[0]=1 または 3Ch コマンドの場合)。

図 68. クアッド出力読み出しコマンド シーケンス^[33]


8.4.5 デュアル I/O 読み出し (DIOR BBh または 4DIOR BCh)

- BBh 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- BBh 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- BCh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

デュアル I/O 読み出しコマンドは IO0 (SI) と IO1 (SO) の 2 本の I/O 信号によりスループットを向上させます。コマンドはアドレスの入力を受け入れ、SCK の立ち上がりエッジごとに読み出しデータの 2 ビットを返します。アプリケーションによっては、短縮されたアドレス入力およびデータ出力時間により、コードの XIP (Execution In Place; すなわち、メモリ デバイスからの直接実行) が可能になる場合があります。

デュアル I/O 読み出しコマンドは、アドレスの後に続く連続読み出しモード ビットを持っています。これにより、一連のデュアル I/O 読み出しコマンドでは、最初のデュアル I/O 読み出しコマンドが、次のコマンドもデュアル I/O 読み出しコマンドであることを示すモード ビット パターン Axh を送信した後、8 ビット命令を除去できます。一連のデュアル I/O 読み出しコマンドの最初のコマンドは、8 ビット命令で始まり、その後にアドレス、モード ビットの 4 サイクルおよびオプションのレイテンシ期間が続きます。モード ビット パターンが Axh であれば、次のコマンドは命令ビットを持たないもう 1 つのデュアル I/O 読み出しコマンドであると期待されます。コマンドはアドレスで始まり、その後にモード ビットおよびオプションのレイテンシが続きます。

モード ビットを SI と SO 上でシフトインした後、データを IO0 と IO1 上でシフトアウトし始める前に、可変レイテンシを加えることがあります。このレイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。ダミー サイクル中に、SI と SO 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。ダミー サイクル数は SCK の周波数によって異なります。レイテンシは CR3V[3:0] で設定されます。

連続読み出し機能により、一連の読み出しアクセスの命令ビットが不要になり、コード実行 (XIP) 性能を大幅に向上させます。モード ビットの上位ニブル (ビット 7 ~ 4) には最初のバイトの命令コードが含まれるか否かに応じて、次のデュアル I/O 読み出し命令の長さを制御します。モード ビットの低位ニブル (ビット 3 ~ 0) は「ドント ケア」(「x」) であり、高インピーダンスであることがあります。モード ビットが Axh であれば、図 70 に示すように、デバイスはデュアル I/O 連続読み出しモードのままにあり、BBh または BCh 命令なしで、(CS# が HIGH にされてから LOW にアサートされた後) 次のアドレスを入力できます。このように、コマンド シーケンスから 8 サイクルが除去されます。以下のシーケンスで、デバイスはデュアル I/O 連続読み出しモードから解放されます。その後、デバイスは標準の SPI コマンドを受け入れられます。

1. デュアル I/O 連続読み出しコマンド シーケンス中に、モード ビットが Axh でなければ、次回 CS# が HIGH にされるときにデバイスはデュアル I/O 連続読み出しモードから解放されます。
2. モード リセット コマンドを送信します。

4 モード ビット サイクルは最後のアドレス サイクルが IO0 (SI) と IO1 (SO) にクロックインされた後にデバイスの内部回路が初期アドレスにアクセスするためのレイテンシ時間に含まれることに注意してください。

最初のデータ出力クロックの立ち下がりエッジ、またはその前に I/O 信号を高インピーダンスに設定することが重要です。より高いクロック速度では、メモリ デバイスが駆動 (バス ターンアラウンド) を開始する前にホスト出力をオフにするのに要する時間は短縮されます。これにより、I/O 信号の競合を防止できるため、ホスト システムは最後の 2 つの「ドント ケア」モード サイクルまたは任意のダミー サイクル中に I/O 信号の出力をオフ (高インピーダンス) にできます。

レイテンシ期間が経過した後、与えられたアドレスでのメモリ内容は IO0 (SI) と IO1 (SO) 上で一度に 2 ビットずつシフトアウトされます。SCK 信号の立ち下がりエッジで SCK 周波数で 2 ビットがシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

注:

33. A = アドレスの MSb=23 (CR2V[0]=0 の場合) または 31 (CR2V[0]=1 または 6Ch コマンドの場合)。

モードビットが不定にならないように、モードビットまたはダミービットの間にCS#をHIGHに駆動しないでください。

図 69. デュアル I/O 読み出しコマンド シーケンス ^[34, 35]

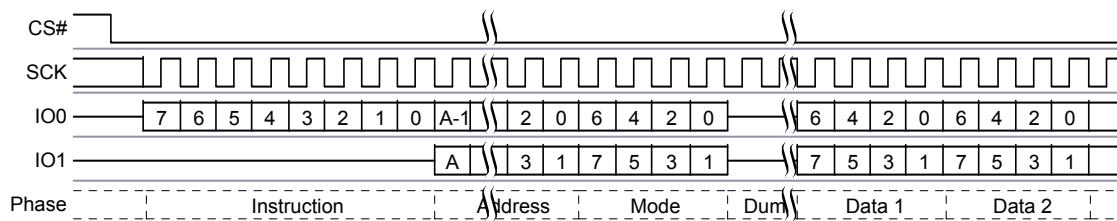
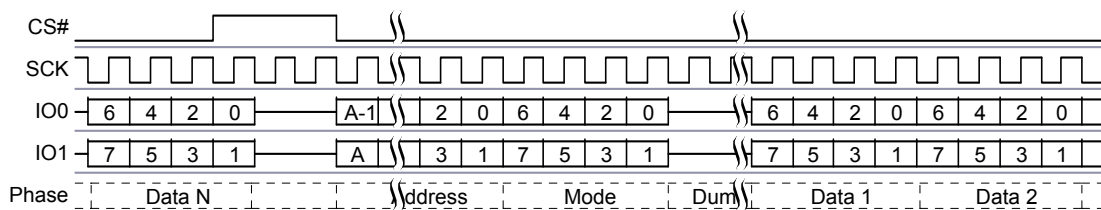


図 70. デュアル I/O 連続読み出しコマンド シーケンス ^[34]



8.4.6 クアッド I/O 読み出し (QIOR EBh または 4QIOR ECh)

- EBh 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- EBh 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- ECh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

クアッド I/O 読み出しコマンドは IO0 ~ IO3 の 4 本の I/O 信号を使用してスループットを向上させます。これにより、SCK シリアル クロックごとに 4 アドレス ビットを入力できます。アプリケーションによっては、縮小された命令オーバーヘッドにより FL-L ファミリー デバイスからの直接コード実行 (XIP) が可能になる場合があります。FL-L ファミリー デバイスのクアッド機能を有効にするためには、コンフィギュレーション レジスタ 1 の QUAD ビットをセットする (CR1V[1]=1) か、またはコンフィギュレーション レジスタ 2 の QPI ビットをセット (CR2V[1]=1) しなければなりません。

クアッド I/O 読み出しコマンドでは、データを IO0 ~ IO3 上でシフトアウトし始める前に、モード ビット (以下で説明) の後にはレイテンシが必要です。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。ダミー サイクル数は SCK の周波数によって異なります。レイテンシは CR3V[3:0] で設定されます。レイテンシ期間が経過した後、与えられたアドレスでのメモリ内容は IO0 ~ IO3 上で一度に 4 ビットずつシフトアウトされます。SCK 信号の立ち下がりがエッジごとに SCK 周波数で各ニブル (4 ビット) がシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

アドレスのジャンプは追加のクアッド I/O 読み出し命令なしで実現できます。81 ページの図 71 に示すように、アドレス シーケンス実行後のモード ビットの設定で制御されます。追加機能は命令シーケンスを不要にし、コード実行 (XIP) 性能を大幅に向上させます。モード ビットの上位ニブル (ビット 7 ~ 4) に最初のバイトの命令コードが含まれるか否かに応じて、次のクアッド I/O 命令の長さを制御します。モード ビットの下位ニブル (ビット 3 ~ 0) は「ドント ケア」(「x」) です。モード ビットが Axh であれば、81 ページの図 73 に示すように、デバイスはクアッド I/O 高性能読み出しモードのままにあり、EBh または ECh 命令なしで、(CS# が HIGH にされてから LOW にアサートされた後) 次のアドレスを入力できます。このように、コマンド シーケンスから 8 サイクルが除去されます。以下のシーケンスで、デバイスはクアッド I/O 高性能読み出しモードから解放されます。その後、デバイスは標準の SPI コマンドを受け入れられます。

1. クアッド I/O 読み出しコマンド シーケンス中に、モード ビットが Axh でなければ、CS# が次に HIGH になるときにデバイスはクアッド I/O 高性能読み出しモードから解放されます。
2. モード リセット コマンドを送信します。

注:

34. A= アドレスの MSb=23 (CR2V[0]=0 の場合) または 31 (CR2V[0]=1 または BCh コマンドの場合)。

35. 最下位 4 モード ビットは「ドント ケア」で、ホストがこれらのビットを駆動することは任意です。これらのサイクル中に、ホストからのモード ビットとメモリからの返りデータ間のバス ターンアラウンドを増やすためにホストは駆動をオフにできます。

2つのモード ビット サイクルおよび追加のウェイトステート（すなわち、ダミー サイクル）により、最後のアドレスが IO0 ~ IO3 にクロックされた後にデバイスの内部回路が初期アドレスにアクセスするためのレイテンシ時間を取れることに注意してください。

IO0 ~ IO3 信号は最初のデータ出力クロックの立ち上がりエッジで、またはその前に高インピーダンスに設定することが重要です。より高いクロック速度では、メモリ デバイスが駆動（バス ターンアラウンド）を開始する前にホスト出力をオフにするのに要する時間は短縮されます。これにより、IO0 ~ IO3 信号の競合を防止できるため、ホスト システムは最後の「ドント ケア」モード サイクルまたは任意のダミー サイクル中に IO0 ~ IO3 信号の出力をオフ（高インピーダンス）にできます。

モード ビットが不定にならないように、モード ビットまたはダミー ビットの間に CS# を HIGH に駆動しないでください。

QPI モード (CR2V[3]=1) では、クアッド I/O 命令は SCK の立ち上がりエッジごとに 4 ビットずつ送信されます。コマンド プロトコルの残りはクアッド I/O コマンドと同じです。

図 71. クアッド I/O 読み出しの初期アクセス コマンド シーケンス [36]

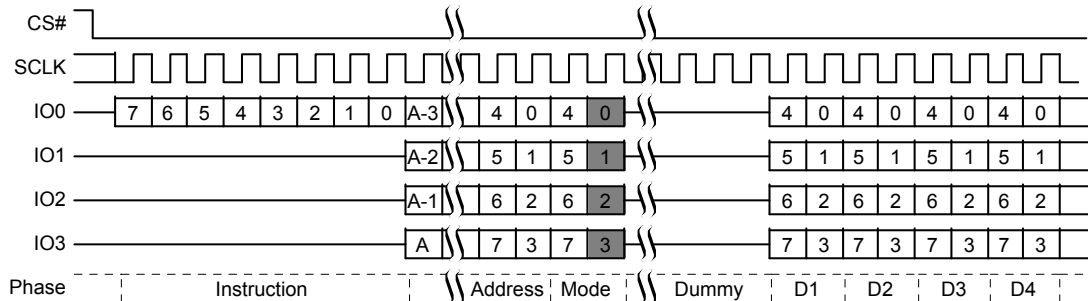


図 72. クアッド I/O 読み出しの初期アクセス コマンド シーケンス – QPI モード [36]

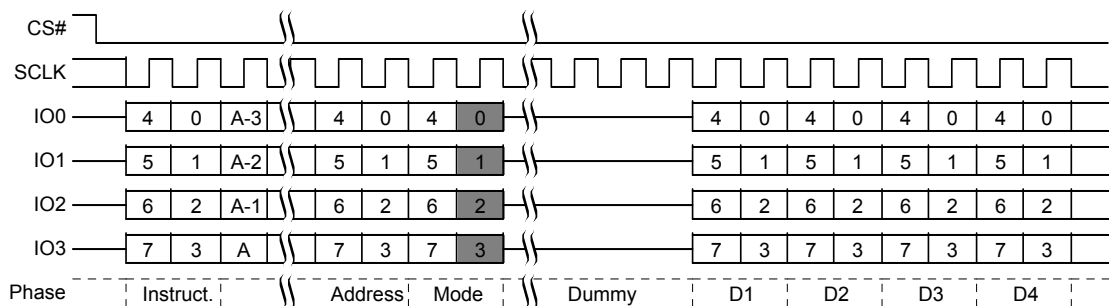
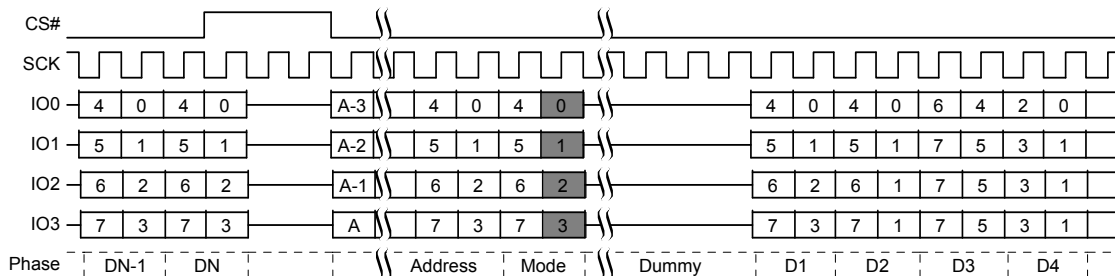


図 73. クアッド I/O 連続読み出しコマンド シーケンス [36, 38]



注：

36. A= アドレスの MSb=23 (CR2V[0]=0 の場合) または 31 (CR2V[0]=1 または ECh コマンドの場合)。

37. A= アドレスの MSb=23 (CR2V[0]=0 の場合) または 31 (CR2V[0]=1 または ECh コマンドの場合)。

38. QPI モードで同じシーケンスを使用します。

8.4.7 DDR クアッド I/O 読み出し (EDh、EEh)

DDR クアッド I/O 読み出しコマンドは IO0 ~ IO3 の 4 本の I/O 信号を使用してスループットを向上させます。コマンドはクアッド I/O 読み出しコマンドに似ていますが、クロックのエッジごとに 4 アドレス ビットを入力できます。アプリケーションによっては、縮小された命令オーバーヘッドにより FL-L ファミリー デバイスからの直接コード実行 (XIP) が可能になる場合があります。FL-L ファミリー デバイスのクアッド機能を有効にするためには、コンフィギュレーション レジスタ 1 の QUAD ビットをセットする (CR1V[1]=1) か、またはコンフィギュレーション レジスタ 2 の QPI ビットをセット (CR2V[1]=1) しなければなりません。

■ EDh 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または

■ EDh 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または

■ EEh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後にはモード ビットが続きます。その後、与えられたアドレスでのメモリ内容は IO0 ~ IO3 上で DDR 方式でクロック エッジごとに一度に 4 ビット シフトアウトされます。

DDR クアッド I/O 読み出しコマンドの最大動作クロック周波数は 54MHz です。

DDR クアッド I/O 読み出しでは、データを IO0 ~ IO3 上でシフトアウトし始める前に、最後のアドレスとモード ビットが IO0 ~ IO3 信号にシフトインされた後にレイテンシが必要です。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、高インピーダンスであることがあります。データ ラーニング パターン (DLP) が有効になっている場合、ホスト システムはダミー サイクル中に IO 信号を駆動してはいけません。メモリ デバイスがダミー サイクル中に DLP を駆動できるように、ホストは IO 信号を高インピーダンスのままにする必要があります。

ダミー サイクル数は SCK の周波数によって異なります。レイテンシは CR3V[3:0] で設定されます。

モード ビットにより、最初のコマンドが補完的モード ビット パターンを送信した後、一連のクアッド I/O DDR コマンドから 8 ビット 命令を除去できます。この機能により、8 ビット SDR 命令シーケンスを不要にし、初期アクセス時間を著しく短縮させます (XIP 性能を向上させます)。モード ビットに最初のバイトの命令コードが含まれるか否かに応じて、次の DDR クアッド I/O 読み出しの長さを制御します。モード ビットの上位ニブル (IO[7:4]) と下位ニブル (IO[3:0]) は相補的であれば (すなわち 5h と Ah)、EDh または EEh 命令を必要とせずにデバイスは DDR クアッド I/O 連続読み出しモードに移行し、(CS# が HIGH にされてから LOW にアサートされた後) 次のアドレスを入力できます。このように、コマンド シーケンスから 8 サイクルが除去されます。以下のシーケンスで、デバイスは DDR クアッド I/O 連続読み出しモードから解放されます。その後、デバイスは標準の SPI コマンドを受け入れられます。

1. DDR クアッド I/O 読み出しコマンド シーケンス中に、モード ビットが相補的ではない場合、次回 CS# が HIGH にされてから LOW にアサートされるときにデバイスは DDR クアッド I/O 読み出しモードから解放されます。
2. モード リセット コマンドを送信します。

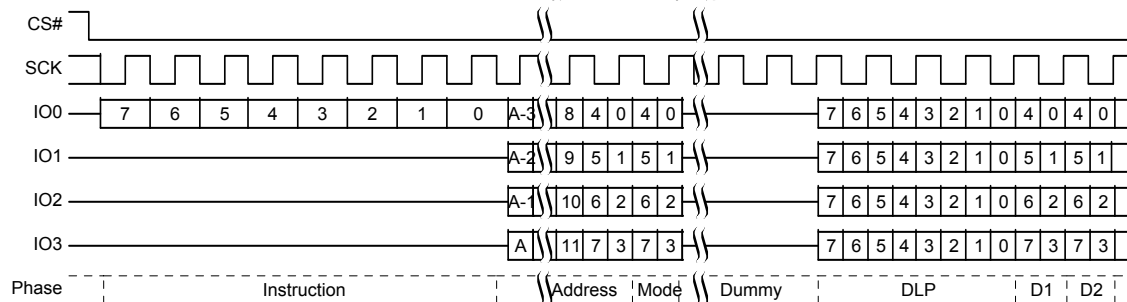
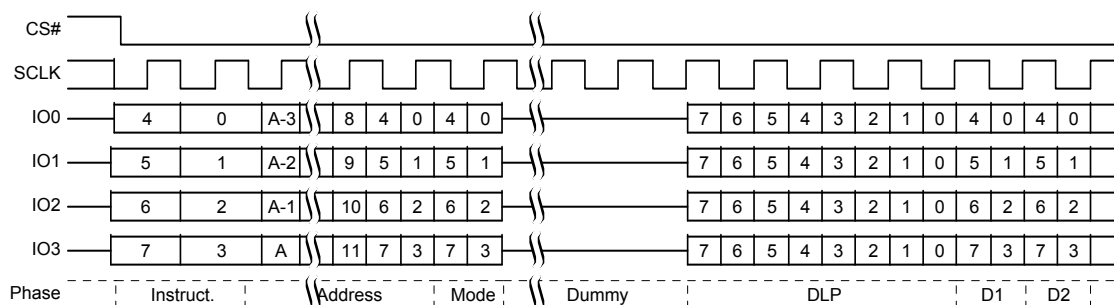
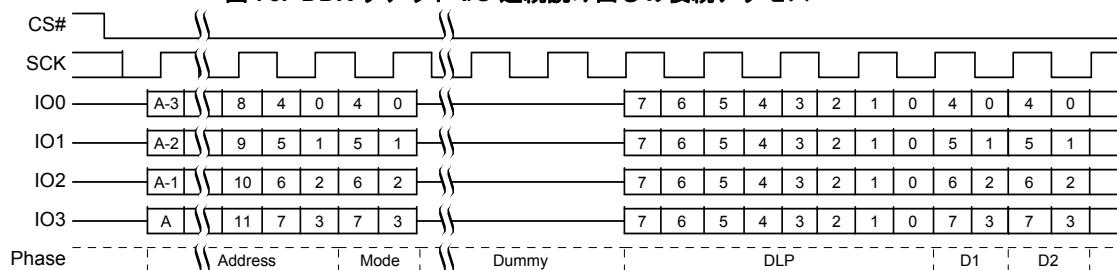
アドレスはメモリ アレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最高位アドレスに到達すると、アドレス カウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

モード ビットが不定にならないように、モード ビットまたはダミー ビットの間に CS# を HIGH に駆動しないでください。メモリ デバイスは最初のデータ値の前にプリアンブルを IO に駆動することがあることに注意してください。プリアンブルは、より高い周波数でデータ キャプチャを最適化するためにホスト コントローラーによって使用されるデータ ラーニング パターン (DLP) です。プリアンブルはデータが出力される直前に 4 クロック サイクルの間 IO バスを駆動します。ホストはメモリがプリアンブルを出力し始める前に IO バスの駆動を停止することを確認する必要があります。

プリアンブルの目的は、ホストがクロック エッジを駆動してからメモリ デバイスが対応するデータ値を返すまでのラウンド トリップ時間についての指示をホスト コントローラーに与えることです。ホスト コントローラーはタイミング マージンを最適化するためにプリアンブル期間中にデータ キャプチャ ポイントをスキューしてから、読み出し動作の残りの期間中に同一のスキュー時間を使用してデータを取り込みます。最適化されたキャプチャ ポイントは各読み出し動作のプリアンブル期間中に判定されます。この最適化の目的は、メモリ デバイスとホスト コントローラー両方の PVT (プロセス、電圧、温度) および PCB 上の伝播時間に起因したすべてのシステム レベル遅延を補正することです。

データ ラーニング パターン (DLP) はプログラム可能ですが、以下の例には DLP 34h を示します。DLP 34h (00110100) はアクティブな出力 (すなわち、すべての 4 本の IO) のそれぞれの上で駆動されます。パターンは「DC」と「AC」両方のデータ移行シナリオに対応できるように選択されます。2 つの DC 移行シナリオは、データが長期間 (2 ハーフ クロック) LOW になってから HIGH に移行 (001) することと、補数が LOW に移行 (110) することです。2 つの AC 移行シナリオは、データが短期間 (1 ハーフ クロック) LOW になってから HIGH に移行 (101) することと、補数が LOW に移行 (010) することです。通常、DC 移行は安定状態 (DC) レベルに完全に整合しない可能性がある AC 移行よりも、電源ラインに近いスタート ポイントに発生します。多くの場合、DC 移行はデータ有効期間の始まりに関連し、AC 移行はデータ有効期間の終わりに関連します。移行により、ホスト コントローラーは有効なデータ アイの始まりと終わりを識別できます。データ アイが特長付けされると、最適なデータ キャプチャ ポイントを選択できます。詳細は [40 ページの 6.6.11DDR データ ラーニング レジスタ節](#) を参照してください。

QPI モード (CR2V[3]=1) では、DDR クアッド I/O 命令は SCK の立ち上がりエッジで 4 ビット送信されます。コマンド プロトコルの残りは DDR クアッド I/O コマンドと同じです。

図 74. DDR クアッド I/O 読み出しの初期アクセス [39、40]

図 75. DDR クアッド I/O 読み出しの初期アクセス – QPI モード [39、40]

図 76. DDR クアッド I/O 連続読み出しの後続アクセス [39、40、41]

注：

39. A= アドレスの MSb=23 (CR2V[0]=0 の場合) または 31 (CR2V[0]=1 または EEh コマンドの場合)。

40. 34h (00110100) の DLP 例。

41. QPI モードで同じシーケンスを使用します。

8.5 プログラム フラッシュ アレイのコマンド

8.5.1 プログラムの粒度

8.5.1.1 ページ プログラム

ページ プログラムはプログラムされるデータをページ バッファにロードし、データをバッファからメモリ アレイへ転送するプログラム コマンドを発行することで行われます。単一のプログラム コマンドでプログラムできるデータ量に上限を設定します。ページ プログラムでは、1 つの動作で 256 バイトまでのページ サイズをプログラムできます。ページはページ サイズのアドレス境界に整列されます。各ページ プログラム動作で 1 ビットからページ サイズまでプログラムできます。最高の性能を得るために、プログラムは 256 バイト境界に整列された 256 バイトのフル ページに対して行い、各ページを一度だけプログラムする必要があります。

8.5.1.2 シングル バイト プログラム

シングル バイト プログラムは 1 バイトをメモリ アレイ内の任意の位置にプログラムできるようにし、レガシーの標準 SPI ページ プログラム (PP) コマンドへ完全に下位互換性があります。

8.5.2 ページ プログラム (PP 02h または 4PP 12H)

ページ プログラム (PP) コマンドでは、バイトをメモリにプログラム (ビットを 1 から 0 に変更) できます。デバイスはページ プログラム (PP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスはステータス レジスタの書き込みイネーブル ラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

■ 02h 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または

■ 02h 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または

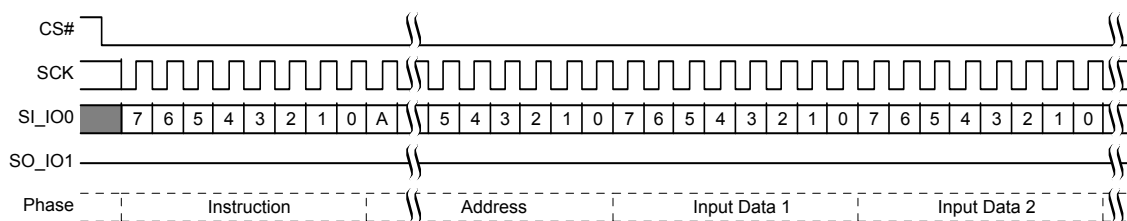
■ 12h 命令に続いて 4 バイト アドレス (A31 ~ A0) および

少なくとも 1 データ バイトが SI / IO0 上で転送されます。02h 命令と 3 バイト アドレスまたは 12h 命令と 4 バイト アドレスが転送された後、SI / IO0 上でページまで転送できます。書き込みおよび消去コマンドと同じように、最後のバイトの 8 ビット目がラッチされた後、CS# ピンを HIGH に駆動する必要があります。そうしないと、ページ プログラム コマンドは実行されません。CS# が HIGH に駆動された後、セルフタイムのページ プログラム コマンドは t_{pp} の時間実行されます。

ページ プログラム (PP) コマンドを使用してページ境界内にページ全体をロードすることは、プログラム バッファに 1 ページ未満をロードすることに比べて総プログラム時間を節約できます。

プログラム プロセスはフラッシュ メモリ デバイスの内部制御ロジックで制御されます。プログラム コマンドが発行された後、ステータス レジスタ 1 読み出しコマンドを使用してプログラム動作のステータスを確認できます。WIP ビット (SR1V[0]) はプログラム動作が完了したかどうかを示します。P_ERR ビット (SR2V[5]) はプログラムを正常に完了させないエラーがプログラム動作に発生したかどうかを示します。これには、保護された領域をプログラムすることが含まれます。

図 77. ページ プログラム (PP 02h または 4PP 12h) コマンド シーケンス ^[42]



このコマンドは QPI モードでも対応します。QPI モードでは、命令、アドレスおよびデータは IO0 ~ IO3 上でシフトインされます。

注:

42. A = アドレスの MSb=A23 (CR2V[0]=0 で PP 02h の場合) または A31 (CR2V[0]=1 で PP 02h、または 4PP 12h の場合)。

Timing diagram for the 74VHC163 4-bit counter. The diagram shows the relationship between CS#, SCLK, and data outputs IO0 through IO3 over two clock cycles. CS# is active-low. SCLK is the clock signal. IO0, IO1, IO2, and IO3 are the data outputs. The diagram is divided into two sections by a double break symbol. In the first section, CS# is high, and the counter is in the 'Instruct.' phase. In the second section, CS# is low, and the counter is in the 'Address' phase. The data outputs are shown as 4-bit values: IO0 (4, 0, A-3), IO1 (5, 1, A-2), IO2 (6, 2, A-1), and IO3 (7, 3, A). The clock signal SCLK is shown as a square wave. The phase labels 'Instruct.' and 'Address' are shown at the bottom.

Timing diagram for SPI communication. The diagram shows the relationship between CS#, SCK, and the data lines IO0, IO1, IO2, and IO3 over time. The phases are labeled as Instruction, Address, Data 1, Data 2, Data 3, Data 4, and Data 5.

| Phase | IO0 | IO1 | IO2 | IO3 |
|-------------|---------------------------|---------------------------|---------------------------|---------------------------|
| Instruction | 7 6 5 4 3 2 1 0 A | | | |
| Address | 1 0 4 0 4 0 4 0 4 0 4 0 4 | 5 1 5 1 5 1 5 1 5 1 5 1 5 | 6 2 6 2 6 2 6 2 6 2 6 2 6 | 7 3 7 3 7 3 7 3 7 3 7 3 7 |
| Data 1 | | | | |
| Data 2 | | | | |
| Data 3 | | | | |
| Data 4 | | | | |
| Data 5 | | | | |

ページ 85 / 145

8.6 フラッシュ アレイ消去のコマンド

8.6.1 セクタ消去 (SE 20h または 4SE 21h)

セクタ消去 (SE) コマンドはアドレス指定されたセクタの全ビットを 1 にセットします (全バイト値は FFh です)。デバイスはセクタ消去 (SE) コマンドを受け入れられる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータスレジスタの書き込みイネーブルラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

■ 20h 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または

■ 20h 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または

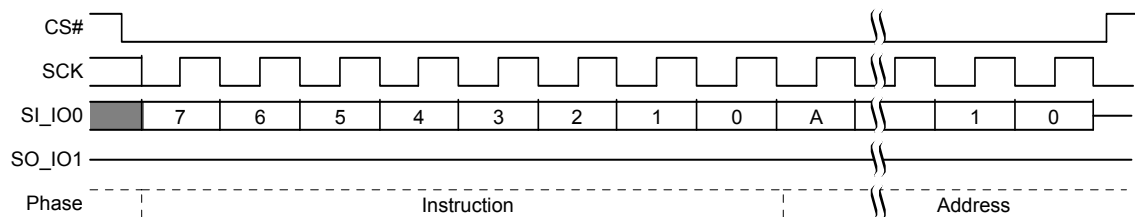
■ 21h 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの 24 または 32 ビット目が SI / IO0 上でラッチインされた後、CS# を論理 HIGH 状態に駆動する必要があります。これにより、フラッシュ メモリ アレイの選択されたセクタのプリプログラムと消去を含む内部消去サイクルが開始されます。最後のアドレスビットの後に CS# が HIGH に駆動されない場合、セクタ消去動作は実行されません。

CS# が HIGH に駆動されると、内部消去サイクルは直ちに開始されます。進行中の内部消去サイクルで、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかを確認できます。WIP ビットは、消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

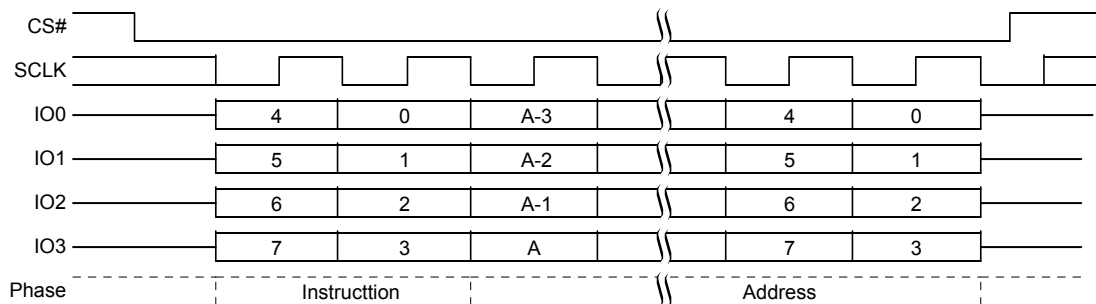
レガシー ブロック保護、個別ブロック ロック保護またはポインター領域保護により書き込みから保護されたセクタに SE または 4SE コマンドを適用すると、コマンドは実行されず、E_ERR ステータスがセットされます。

図 80. セクタ消去 (SE 20h または 4SE 21h) コマンド シーケンス ^[45]



このコマンドは QPI モードでも対応します。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

図 81. セクタ消去 (SE 20h または 4SE 21h) コマンド シーケンス - QPI モード ^[45]



注:

45. A = アドレスの MSb=A23 (CR2V[0]=0 で SE 20h の場合) または A31 (CR2V[0]=1 で SE 20h、または 4SE 21h の場合)。

8.6.2 ハーフ ブロック消去 (HBE 52h または 4HBE 53h)

ハーフ ブロック消去 (HBE) コマンドでは、アドレス指定されたハーフ ブロックの全ビットを 1 にセットします (全バイト値は FFh です)。デバイスはハーフ ブロック消去 (HBE) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号しなければなりません。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

■ 52h 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または

■ 52h 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または

■ 53h 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

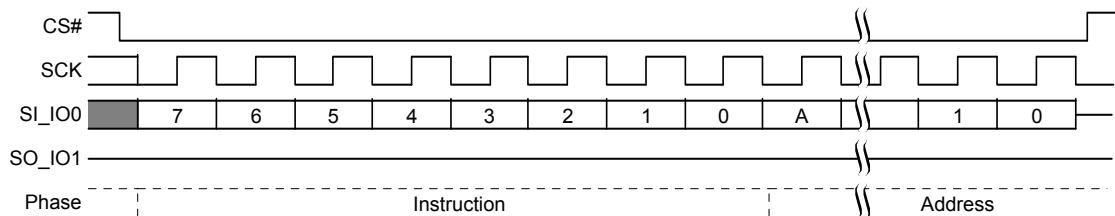
アドレスの 24 または 32 ビット目が SI / IO0 上でラッチインされた後、CS# を論理 HIGH 状態に駆動する必要があります。これにより、選択されたブロックの各セクタのプリプログラムと消去を含む消去サイクルが開始されます。最後のアドレス ビットの後には CS# が HIGH に駆動されない場合、ハーフ ブロック消去動作は実行されません。

CS# が論理 HIGH 状態に駆動されると、内部消去サイクルは直ちに開始されます。進行中の内部消去サイクルにより、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかを確認できます。WIP ビットは消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

レガシー ブロック保護、個別ブロック ロック保護またはポインター領域保護により書き込みから保護されたブロックにハーフ ブロック消去 (HBE) コマンドを適用すると、コマンドは実行されず、E_ERR ステータスがセットされます。

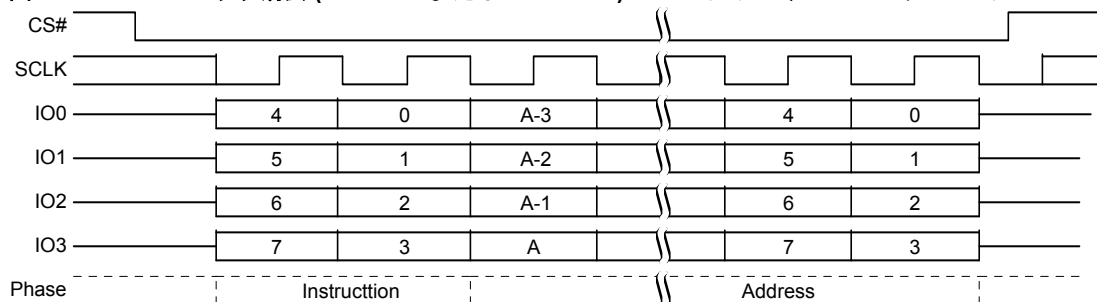
ハーフ ブロック消去コマンドを適用し、ハーフ ブロック消去エリア内の領域、セクタまたはブロックが保護されている場合、消去は 32KB 範囲で実行されず、E_ERR ステータスがセットされます。

図 82. ハーフ ブロック消去 (HBE 52h または 4HBE 53h) コマンド シーケンス ^[46, 47]



このコマンドは QPI モードでも対応します。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

図 83. ハーフ ブロック消去 (HBE 52h または 4HBE 53h) コマンド シーケンス – QPI モード ^[46, 47]



注：

46. A= アドレスの MSb=A23 (CR2V[0]=0 で HBE 52h の場合) または A31 (CR2V[0]=1 で HBE 52h、または 4HBE 53h の場合)。

47. A[15]=0 の場合はブロックのセクタ 0 ~ 7 が消去され、A[15]=1 の場合にはブロックのセクタ 8 ~ 15 が消去されます。

8.6.3 ブロック消去 (BE D8h または 4BE DCh)

ブロック消去 (BE) コマンドでは、アドレス指定されたブロックの全ビットを 1 にセットします (すべてのバイト値は FFh です)。デバイスはブロック消去 (BE) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号しなければなりません。これにより、ステータスレジスタの書き込みイネーブルラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

■ D8h 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または

■ D8h 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または

■ DCh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

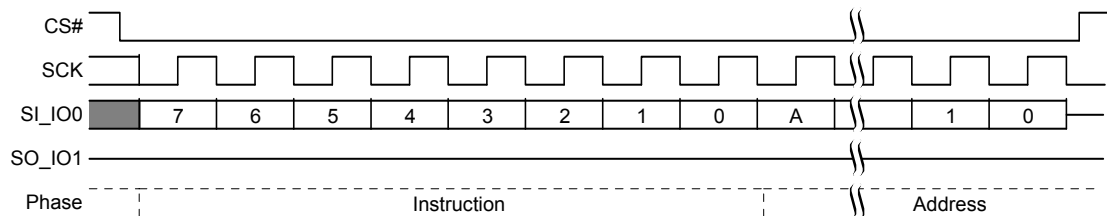
アドレスの 24 または 32 ビット目が SI / IO0 上でラッチインされた後、CS# を論理 HIGH 状態に駆動する必要があります。これにより、選択されたブロックの各セクタのプリプログラムと消去を含む消去サイクルが開始されます。最後のアドレスビットの後に CS# が HIGH に駆動されない場合、ブロック消去動作は実行されません。

CS# が論理 HIGH 状態に駆動されると、内部消去サイクルは直ちに開始されます。進行中の内部消去サイクルにより、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかを確認できます。WIP ビットは消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

レガシーブロック保護、個別ブロックロック保護またはポインター領域保護により書き込みから保護されたブロックにブロック消去 (BE) コマンドを適用すると、コマンドは実行されず、E_ERR ステータスがセットされます。

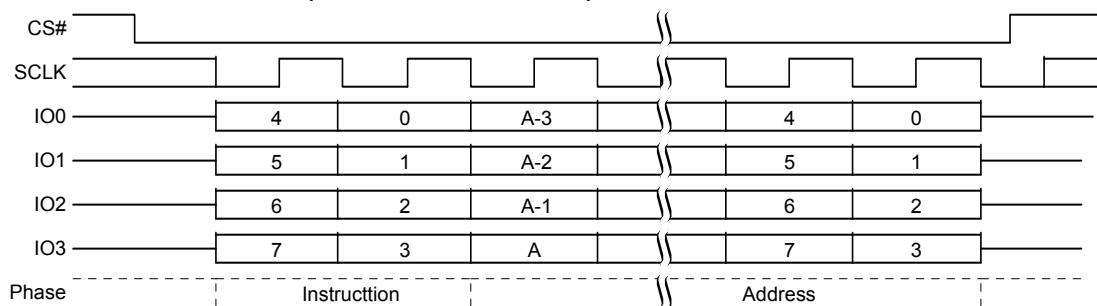
ブロック消去コマンドを適用し、領域やセクタエリアが保護されている場合、消去は 64KB 範囲で実行されず、E_ERR ステータスがセットされます。

図 84. ブロック消去 (BE D8h または 4BE DCh) コマンド シーケンス ^[48]



このコマンドは QPI モードでも対応します。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

図 85. ブロック消去 (BE D8h または 4BE DCh) コマンド シーケンス - QPI モード ^[48]



注:

48. A= アドレスの MSb = A23 (CR2V[0]=0 で BE D8h の場合) または A31 (CR2V[0]=1 で BE D8h、または 4BE DCh の場合)。

8.6.4 チップ消去 (CE 60h または C7h)

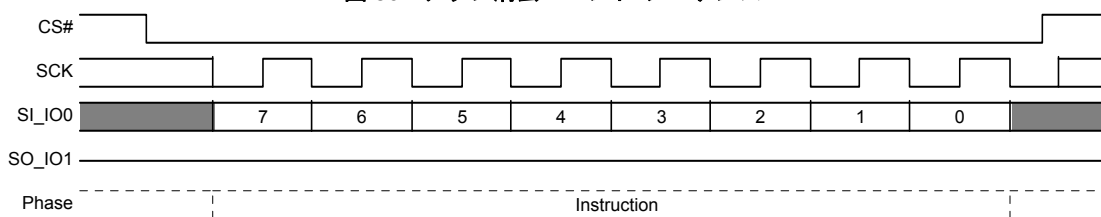
チップ消去 (CE) コマンドはフラッシュ メモリ アレイの全ビットを 1 にセットします (全バイト値は FFh です)。デバイスは CE コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号しなければなりません。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

命令バイトの 8 ビット目が SI / IO0 上にラッチインされた後、CS# を論理 HIGH に駆動する必要があります。これにより、フラッシュ メモリ アレイ全体のプリプログラムと消去を含む消去サイクルが開始されます。命令の最後ビットの後に、CS# が HIGH に駆動されない場合、CE 動作は実行されません。

CS# が論理 HIGH に駆動されると、消去サイクルは直ちに開始されます。進行中の消去サイクルで、ユーザーは書き込み中 (WIP) ビットの値を読み出して、動作が完了したかどうかを確認できます。WIP ビットは消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

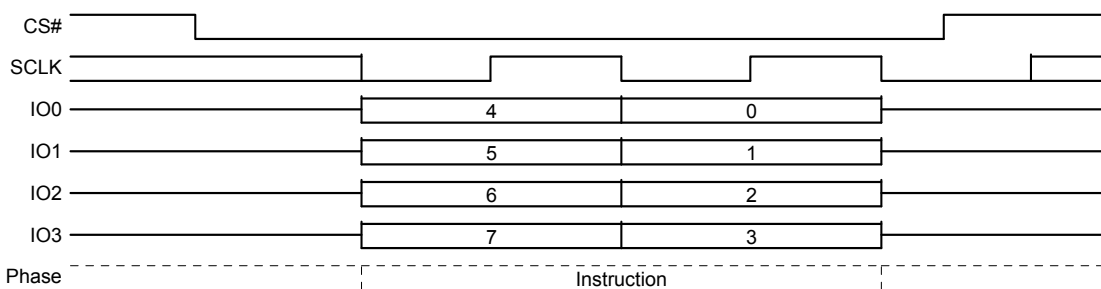
レガシー ブロック保護、個別ブロック ロックまたはポインター領域保護がすべてのセクタまたはブロックを保護するためにセットされているとき、CE コマンドは実行されず、E_ERR ステータス ビットがセットされます。

図 86. チップ消去コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 87. チップ消去コマンド シーケンス - QPI モード



8.6.5 プログラムまたは消去一時停止 (PES 75h)

PES コマンドでは、システムはプログラムまたは消去動作を割り込んでから、消去が一時停止されないセクタまたはプログラムが一時停止されないページから読み出せます。プログラムまたは消去一時停止は、プログラム、セクタ消去、ハーフ ブロック消去またはブロック消去が進行中のときにのみ有効です。チップ消去動作を一時停止できません。

いつプログラムまたは消去動作が停止されるかを判定するために、ステータス レジスタ 1 の書き込み中 (WIP) ビット (SR1V[0]) を確認する必要があります。ステータス レジスタ 2 のプログラム一時停止ステータス ビット (SR2[0]) を使用して、WIP が 0 となるときにプログラム動作が一時停止されたか完了したかを確定できます。ステータス レジスタ 2 の消去一時停止ステータス ビット (SR2[1]) を使用して、WIP が 0 となるときに消去動作が一時停止されたか完了したかを確定できます。一時停止動作が完了するのに要する時間は t_{SL} です。133 ページの表 57 を参照してください。

プログラム動作または読み出し動作を実行するために消去を一時停止できます。消去一時停止中に、IBL アレイはセクタ保護を確認するために読み出され、プログラムするセクタの保護を削除または復元するために書き込まれることがあります。動作が再開されたときに保護ビットが再確認されないため、行ったすべての変更は進行中の動作に影響を与えません。

読み出し動作を実行するためにプログラム動作を一時停止できます。

既に一時停止した消去またはプログラム動作では新しいサスペンド動作を行えません。この状況では一時停止コマンドは無視されます。

表 36. プログラム／消去一時停止中に実行可能なコマンド

| 命令名 | 命令コード (16 進) | 消去一時停止中に実行可能 | プログラム一時停止中に実行可能 | 説明 |
|-----------|-----------------|--------------|-----------------|--|
| READ | 03 | X | X | 一時停止中にすべてのアレイ読み出しは実行できます。 |
| RDSR1 | 05 | X | X | WIP を読み出して一時停止プロセスの終了を判定するために必要です。 |
| RDAR | 65 | X | X | WIP を読み出して一時停止プロセスの終了を判定するための代替方法です。 |
| RDSR2 | 07 | X | X | 一時停止ステータスを読み出して動作が一時停止中であるか完了したかを判定するために必要です。 |
| RDCR1 | 35 | X | X | コンフィギュレーション レジスタ 1 を読み出すために必要です。 |
| RDCR2 | 15 | X | X | コンフィギュレーション レジスタ 2 を読み出すために必要です。 |
| RDCR3 | 33 | X | X | コンフィギュレーション レジスタ 3 を読み出すために必要です。 |
| RUID | 4B | X | X | 固有 ID を読み出すために必要です。 |
| RDID | 9F | X | X | デバイス ID を読み出すために必要です。 |
| RDQID | AF | X | X | クアッド デバイス ID を読み出すために必要です。 |
| RSFDP | 5A | X | X | SFDP を読み出すために必要です。 |
| SBL | 77 | X | X | バースト長をセットするために必要です。 |
| WREN | 06 | X | X | 消去一時停止中のプログラム コマンドに必要です。 |
| WRDI | 04 | X | X | 消去一時停止中のプログラム コマンドに必要です。 |
| PP | 02 | X | | 消去一時停止中のアレイ プログラム コマンドに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0]=0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。 |
| QPP | 32 | X | | 消去一時停止中のアレイ プログラム コマンドに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0]=0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。 |
| CLSR | 30 | X | X | プログラム動作が消去一時停止中に失敗した場合、ステータス クリア コマンドを使用できます。 |
| EPR | 7A | X | X | 一時停止中の消去／プログラムを再開するために必要です。 |
| RSTEN | 66 | X | X | リセットはいつでも実行できます。 |
| RST | 99 | X | X | リセットはいつでも実行できます。 |
| FAST_READ | 0B | X | X | 一時停止中にすべてのアレイ読み出しは実行できます。 |

注：

49. 一時停止状態では WRR / WRAR コマンドが許可されないため、初期のプログラムおよび消去の前に、すべてのクアッド コマンドに対してクアッド イネーブル CR1V[1] ビット (30 ページの表 11 を参照してください) を 1 にセットする必要があります。

表 36. プログラム／消去一時停止中に実行可能なコマンド（続き）

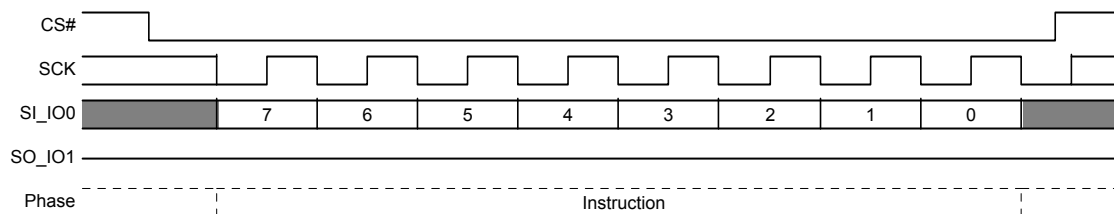
| 命令名 | 命令コード (16 進) | 消去一時停止中に実行可能 | プログラム一時停止中に実行可能 | 説明 |
|-------|-----------------|--------------|-----------------|--|
| DOR | 3B | X | X | 一時停止中にすべてのアレイ読み出しは実行できます。 |
| DIOR | BB | X | X | 一時停止中にすべてのアレイ読み出しは実行できます。 |
| IBLRD | 3D | X | X | 消去一時停止中にプログラムを許可するために、個別ブロック ロックの解除と復元が必要となる場合があります。 |
| IBL | 36 | X | X | 消去一時停止中にプログラムを許可するために、個別ブロック ロックの復元が必要となる場合があります。 |
| IBUL | 39 | X | X | 消去一時停止中にプログラムを許可するために、個別ブロック ロックの解除が必要となる場合があります。 |
| QOR | 6B | X | X | クアッド出力読み出し (3 バイト アドレス) ^[49] |
| QIOR | EB | X | X | 一時停止中にすべてのアレイ読み出しは実行できます ^[49] 。 |
| MBR | FF | X | X | 一時停止中に読み出し動作をリセットすることが必要となる場合があります。 |
| SECRP | 42 | X | | 消去一時停止中にすべてのセキュリティ領域プログラムは実行できます。 |
| SECRR | 48 | X | X | 一時停止中にすべてのセキュリティ領域読み出しは実行できます。 |

注：
49. 一時停止状態では WRR / WRAR コマンドが許可されないため、初期のプログラムおよび消去の前に、すべてのクアッド コマンドに対してクアッド イネーブル CR1V[1] ビット (30 ページの表 11 を参照してください) を 1 にセットする必要があります。

90 ページの表に含まれないすべてのコマンドは消去またはプログラム一時停止中に許可されません。WRR、WRAR または SPRP コマンドが消去またはプログラム一時停止中に許可されないため、消去一時停止中にレガシー ブロック保護ビットおよびポインター領域保護は変更できません。

消去が一時停止されたセクタまたはプログラムが一時停止されたページ内の任意のアドレスを読み出すと、不確定なデータが返されます。

消去一時停止中のプログラム動作が完了した後、デバイスは消去一時停止モードに戻ります。通常のプログラム動作と同じように、システムはステータス レジスタの WIP ビットを読み出すことでプログラム動作の状態を確認できます。

図 88. 消去／プログラム一時停止コマンド シーケンス


このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

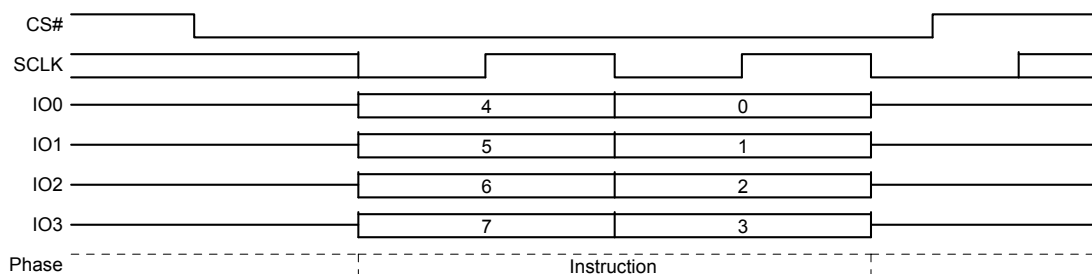
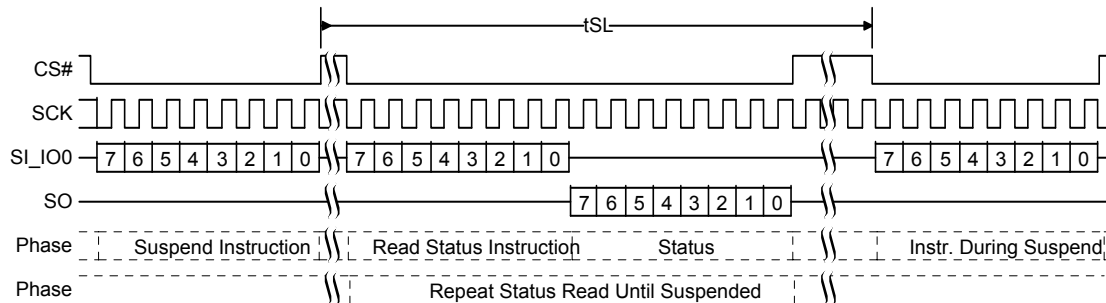
図 89. 消去／プログラム一時停止コマンド シーケンス - QPI モード


図 90. 消去／プログラム一時停止コマンドに続く命令コマンド シーケンス



8.6.6 消去／プログラム再開 (EPR 7Ah)

消去またはプログラム一時停止中にプログラムまたは読み出し動作が完了した後、一時停止された動作を継続するために消去／プログラム再開コマンドが送信されます。

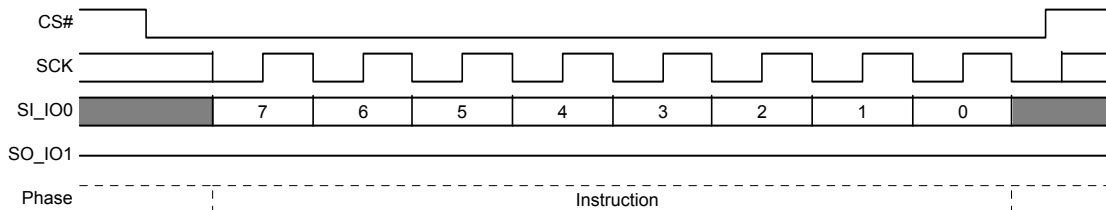
消去／プログラム再開コマンドが発行された後、ステータス レジスタ 1 の WIP ビットが 1 にセットされ、一時停止されたプログラム動作が再開されます。一時停止されたプログラムまたは消去動作がない場合、再開コマンドは無視されます。

プログラムまたは消去動作は、必要に応じて何度も中断できます (例えば、プログラム一時停止コマンドがプログラム再開コマンドの直後に続くことができます)。ただし、プログラムまたは消去動作が完了するために、再開コマンドと次の一時停止コマンドの間には t_{RNS} 以上の時間を要します。133 ページの表 57 を参照してください。

ステータス レジスタ 2 のプログラム一時停止ステータス ビット (SR2[0]) を使用して、WIP が 0 となるとときにプログラム動作が一時停止されたか完了したかを確定できます。ステータス レジスタ 2 の消去一時停止ステータス ビット (SR2[1]) を使用して、WIP が 0 となるとときに消去動作が一時停止されたか完了したかを確定できます。28 ページの 6.6.2 揮発性ステータス レジスタ 2 (SR2V) 節を参照してください。

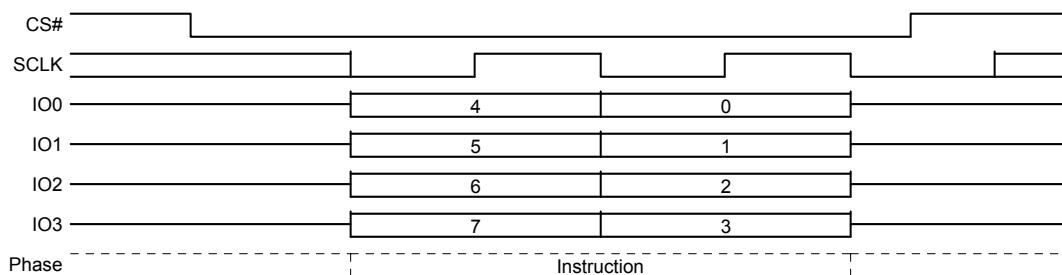
一時停止された動作を再開するために消去／プログラム再開コマンドを書き込む必要があります。

図 91. 消去／プログラム再開コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 92. 消去／プログラム再開コマンド シーケンス - QPI モード



8.7 セキュリティ領域アレイのコマンド

セキュリティ領域は以下に示すように、A15 ~ A8 のアドレスにより、使用する領域を選択します。

- セキュリティ領域 0: A23 ~ 16=00h, A15 ~ 8=00h, A7 ~ 0= バイト アドレス
- セキュリティ領域 1: A23 ~ 16=00h, A15 ~ 8=01h, A7 ~ 0= バイト アドレス
- セキュリティ領域 2: A23 ~ 16=00h, A15 ~ 8=02h, A7 ~ 0= バイト アドレス
- セキュリティ領域 3: A23 ~ 16=00h, A15 ~ 8=03h, A7 ~ 0= バイト アドレス

8.7.1 セキュリティ領域消去 (SECRE 44h)

セキュリティ領域消去コマンドはメイン アレイ データとは異なるアドレス空間にあるセキュリティ領域のデータを消去します。セキュリティ領域は 1024 バイトであり、このコマンドで S25FL064L のアドレス ビット (A22 ~ A10) はゼロでなければなりません。それぞれの領域は個別に消去できます。セキュリティ領域の詳細は [24 ページの 6.5 セキュリティ領域アドレス空間節](#)を参照してください。

デバイスはセキュリティ領域消去コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号しなければなりません。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。動作完了を判定するために、SR1V の WIP ビットをチェックできます。動作中にエラーが発生したかを確認するために、SR2V の E_ERR ビットを確認できます。

コンフィギュレーション レジスタ 1 のセキュリティ領域ロック ビット (CR1NV[2 ~ 5]) を使用して、セキュリティ領域を消去から保護できます。ロック ビットを「1」にセットすると、対応するセキュリティ領域は永久的にロックされます。ロックされている領域を消去しようとする、動作は失敗し、SR2V[6] での E_ERR ビットが「1」にセットされます。

保護レジスタの NVLOCK ビットが「0」の場合、セキュリティ領域 2 と 3 はプログラムまたは消去から保護されます。ロックされている領域を消去しようとする、動作は失敗し、SR2V[6] での E_ERR ビットが「1」にセットされます。[52 ページの 7.7.2.1 NVLOCK ビット \(PR\[0\]\) 節](#)を参照してください。

パスワード保護モード ロック ビット (IRP[2]) は、正しいパスワードが提供されて領域 2 と 3 の消去を可能にするまで、これらのセキュリティ領域を消去から保護できます。パスワードでロックされている領域を消去しようとする、動作は失敗し、SR2V[6] での E_ERR ビットが「1」にセットされます。

セキュリティ領域消去コマンドのプロトコルはセクタ消去コマンドと同じです。コマンド シーケンスは [86 ページの 8.6.1 セクタ消去 \(SE 20h または 4SE 21h\) 節](#)を参照してください。QPI モードは対応します。

8.7.2 セキュリティ領域プログラム (SECRP 42h)

セキュリティ領域プログラム コマンドはメインアレイ のデータとは異なるアドレス空間にあるセキュリティ領域のデータをプログラムします。セキュリティ領域は 1024 バイトであり、このコマンドで S25FL064L のアドレス ビット (A22 ~ A10) はゼロでなければなりません。セキュリティ領域の詳細は [24 ページの 6.5 セキュリティ領域アドレス空間節](#)を参照してください。

デバイスはセキュリティ領域プログラム コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号しなければなりません。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。動作完了を判定するために、SR1V の WIP ビットをチェックできます。動作中にエラーが発生したかを確認するために、SR2V の P_ERR ビットをチェックできます。

ビット単位でセキュリティ領域アレイをプログラムするために、データ バイト内の残りのビットを「1」にセットできます。

セキュリティ領域メモリ空間の各領域はロックされていない限り、1 回または複数回プログラムできます。ただし、最高のデータ完全性のために、1 つ以上の 16 バイト長の整列したバイト グループを一緒にプログラムし、各領域内の消去動作の間に一度だけプログラムすることをお勧めします。

コンフィギュレーション レジスタ 1 のセキュリティ領域ロック ビット (CR1NV[2 ~ 5]) を使用して、セキュリティ領域をプログラムから保護できます。ロック ビットを 1 にセットすると、対応するセキュリティ領域は永久的にロックされます。ロック (保護) されている領域で 0 または 1 をプログラムしようとする、動作は失敗し、SR2V[5] での P_ERR ビットが 1 にセットされます。非保護の領域で 1 をプログラムしてもエラーが発生せず、P_ERR もセットされません (詳細は [29 ページの 6.6.3 コンフィギュレーション レジスタ 1 節](#)を参照してください)。

保護レジスタの NVLOCK ビットが「0」の場合、セキュリティ領域 2 と 3 はプログラムまたは消去から保護されます。ロックされている領域でプログラムしようとする、動作は失敗し、SR2V[5] での P_ERR ビットが 1 にセットされます。[52 ページの 7.7.2.1 NVLOCK ビット \(PR\[0\]\) 節](#)を参照してください。

パスワード保護モード ロック ビット (IRP[2]) は、正しいパスワードが提供されセキュリティ領域 2 と 3 のプログラム動作が可能になるまで、それらの領域をプログラム動作から保護できます。パスワードでロックされている領域でプログラムしようとする、動作は失敗し、SR2V[5] での P_ERR ビットが 1 にセットされます。[52 ページの 7.7.3 パスワード保護モード 節](#)を参照してください。

セキュリティ領域プログラム コマンドのプロトコルはページ プログラム コマンドと同じです。コマンド シーケンスは [84 ページの 8.5.1.1 ページ プログラム 節](#)を参照してください。QPI モードに対応します。

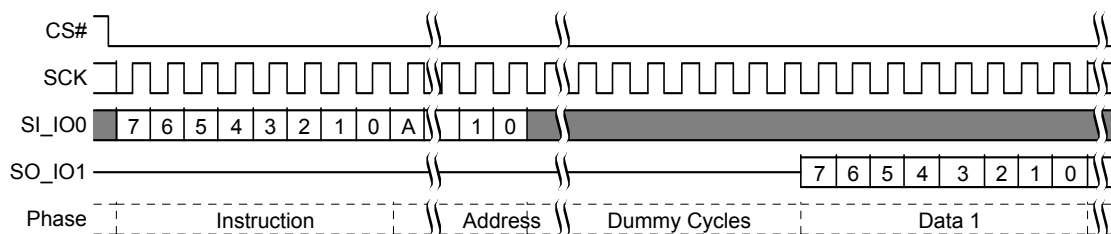
8.7.3 セキュリティ領域読み出し (SECRR 48h)

セキュリティ領域読み出し (SECRR) コマンドはセキュリティ領域からデータを読み出す手段を提供します。セキュリティ領域は 1024 バイトであり、このコマンドで S25FL064L のアドレス ビット (A22 ~ A10) はゼロでなければなりません。セキュリティ領域の詳細は 24 ページの 6.5 セキュリティ領域アドレス空間節を参照してください。

命令の後に、3 または 4 バイト アドレス (アドレス長コンフィギュレーション CR2V[0] に応じて) が続き、その次に CR3V[3:0] でセットされたレイテンシ (ダミー) サイクル数が続きます。そして、選択されたレジスタ データが返されます。セキュリティ領域読み出しコマンドのプロトコルはセキュリティ領域アドレスが最大値になった後、開始アドレスにラップしません。その代わりに、最高位のアドレス値を超えたデータは未定義となります。セキュリティ領域読み出しコマンドの読み出しレイテンシは CR3V[3:0] でのレイテンシ値によりセットされます。

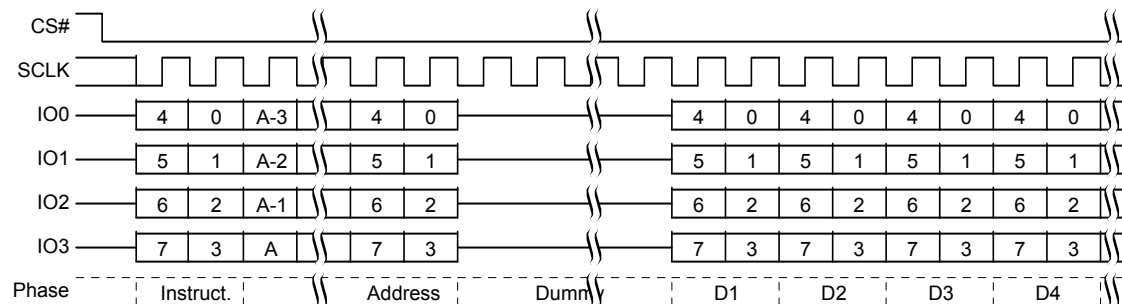
セキュリティ領域読み出しパスワード モード イネーブル ビット (IRP[6]) により、正しいパスワードが提供されて領域 3 の読み出しが可能になるまで、このセキュリティ領域は読み出し動作から保護されます。パスワードでロックされている領域 3 を読み出すと、無効かつ未定義のデータが返されます。53 ページの 7.7.4 セキュリティ領域読み出しパスワード保護節を参照してください。

図 93. セキュリティ領域読み出しコマンド シーケンス ^[50]



このコマンドは QPI モードでも対応します。QPI モードでは、命令とアドレスのシフトインおよび返されるデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 94. セキュリティ領域読み出しコマンド シーケンス - QPI モード ^[51]



注:

50. A= アドレスの MSb=23 (アドレス長 CR2V[0]=0 の場合) または 31 (CR2V[0]=1 の場合)。

51. A= アドレスの MSb=23 (CR2V[0]=0 の場合) または 31 (CR2V[0]=1 の場合)。

8.8 個別ブロック ロックのコマンド

個別ブロック ロックを使用するために、コンフィギュレーション レジスタ 2 の WPS ビットで IBL 保護方式を選択する必要があります (CR2V[2]=1)。IBL 保護方式を選択しない場合 (CR2V[2]=0)、IBL コマンドは無視されます。

個別ブロック ロック (IBL) ビットは揮発性であり、個々のセクタ／ブロックに 1 つのビットが対応し、個別に変更できます。IBL または GBL コマンドを発行すると、IBL ビットが「0」にセットされ、対応するセクタ／ブロックは保護されます。IBUL または GUL コマンドを発行すると、IBL ビットが「1」にクリアされ、対応するセクタ／ブロックは保護されません。IBLRD コマンドの発行で各 IBL ビット保護の状態を読み出せます。

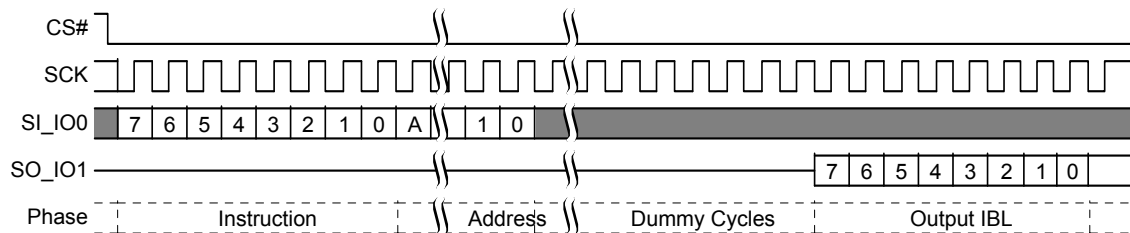
8.8.1 IBL 読み出し (IBLRD 3Dh または 4IBLRD E0h)

IBLRD / 4IBLRD コマンドにより、各 IBL ビット保護の状態を読み出せます。

命令は SCK 信号の立ち上がりエッジで SI にラッチされます。命令の後に、24 または 32 ビット アドレス (アドレス長コンフィギュレーション CR2V[0] に応じて) が続き、対象のセクタ内のロケーション 0 が選択されます。

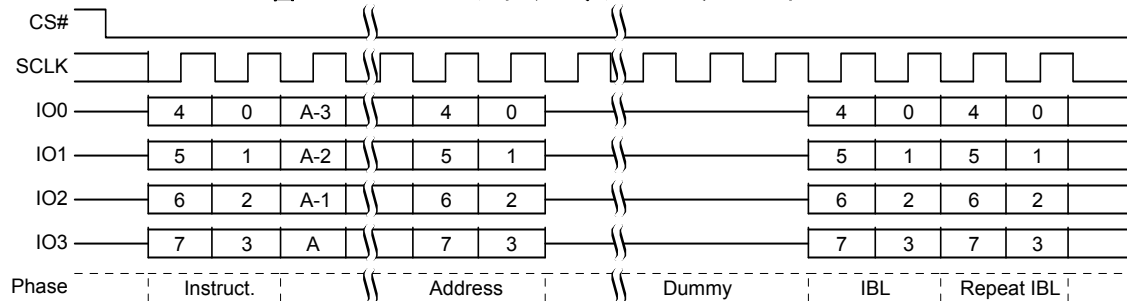
その次に、8 ビット IBL アクセス レジスタ内容はシリアル出力 SO / IO1 上でシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で各ビットがシフトアウトされます。8 の倍数のクロック サイクルを提供することで同じ IBL アクセス レジスタを連続的に読み出せます。IBL レジスタのアドレスはインクリメントしないため、IBL アレイ全体を読み出す手段となります。各ロケーションは別々の IBL 読み出しコマンドで読み出さなければなりません。

図 95. IBLRD コマンド シーケンス [52、53]



このコマンドは QPI モードでも対応します。QPI モードでは、命令とアドレスのシフトインおよび返されるデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 96. IBLRD コマンド シーケンス - QPI モード [52、53]



注：

52. A= アドレスの MSb=23 (アドレス長 CR2V[0]=0 の場合) または 31 (CR2V[0]=1 で 3Dh コマンドの場合)。

53. A= アドレスの MSb=31 (E0h コマンド)。

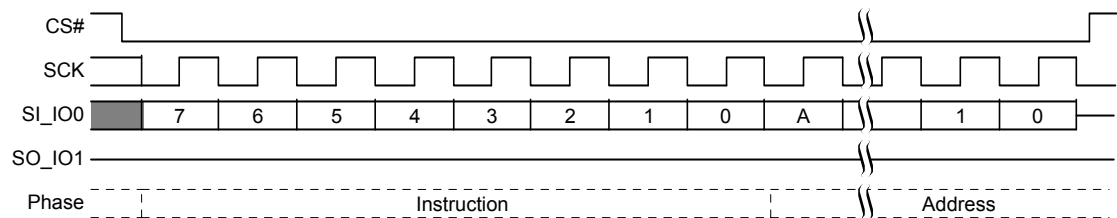
8.8.2 IBL ロック (IBL 36h または 4IBL E1h)

IBL / 4IBL コマンドは選択された IBL ビットを「0」にセットし、対応するセクタ／ブロックを保護します。

CS# を論理 LOW に駆動してから、命令、そして 24 または 32 ビット アドレス (アドレス長コンフィギュレーション CR2V[0] に応じて) を送信することで IBL コマンドが実行されます。IBL コマンドは他のプログラム動作と同じようにステータスおよびコンフィギュレーションレジスタの WIP ビットに影響します。

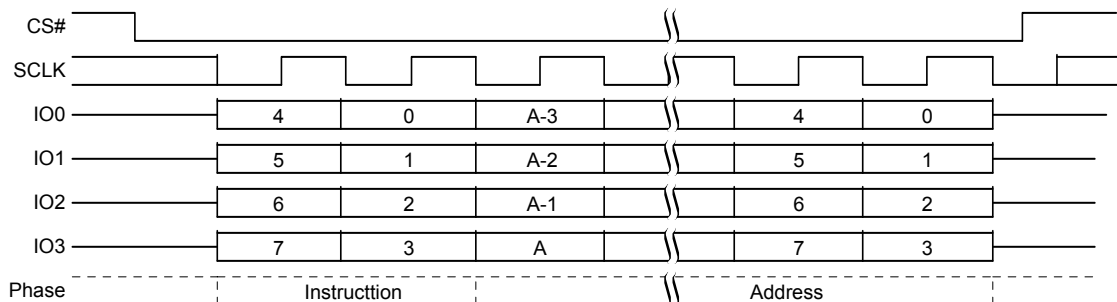
アドレス長コンフィギュレーション CR2V[0] に応じて、24 または 32 ビット アドレスがラッチインされた後、CS# を論理 HIGH に駆動する必要があります。CS# が論理 HIGH に駆動されると、セルフタイムの IBL 動作は直ちに開始されます。IBL 動作の進行中に、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイムの IBL 動作の間で「1」で、動作が完了すると「0」になります。

図 97. IBL コマンド シーケンス [54、55]



このコマンドは QPI モードでも対応します。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

図 98. IBL コマンド シーケンス - QPI モード [54、55]



注:

54. A= アドレスの MSb=23 (アドレス長 CR2V[0]=0 の場合) または 31 (CR2V[0]=1 で 36h コマンドの場合)。

55. A= アドレスの MSb=31 (E1h コマンド)。

56. A= アドレスの MSb=23 (アドレス長 CR2V[0]=0 の場合) または 31 (CR2V[0]=1 で 39h コマンドの場合)。

57. A= アドレスの MSb=31 (E2h コマンド)。

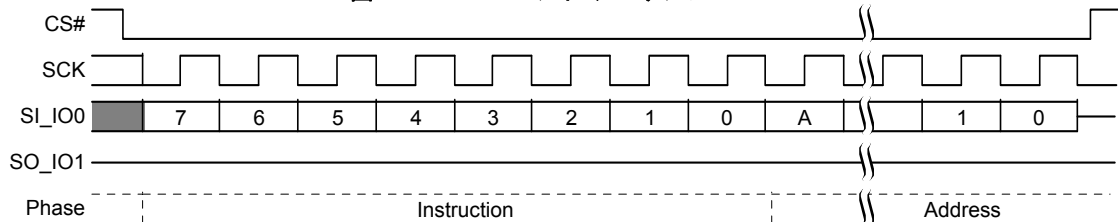
8.8.3 IBL ロック解除 (IBUL 39h または 4IBUL E2h)

IBL / 4IBL コマンドは選択された IBL ビットを「1」にクリアし、対応するセクタ／ブロックが保護されなくなります。

CS# を論理 LOW に駆動してから、命令、そして 24 または 32 ビット アドレス (アドレス長コンフィギュレーション CR2V[0] に応じて) を送信することで IBUL コマンドが実行されます。IBUL コマンドは他のプログラム動作と同じようにステータスおよびコンフィギュレーションレジスタの WIP ビットに影響します。

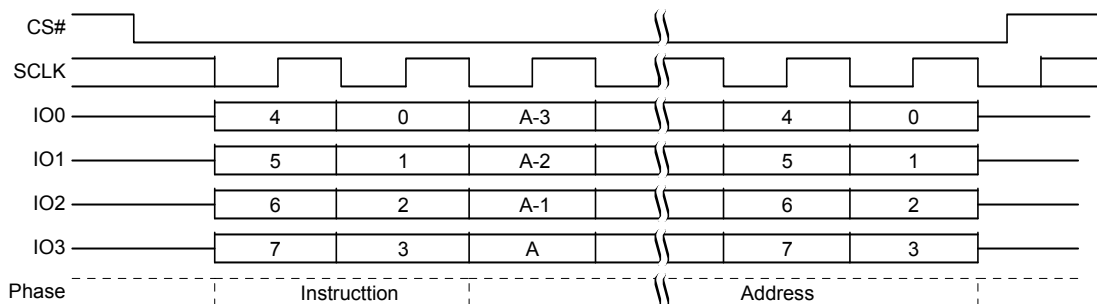
アドレス長コンフィギュレーション CR2V[0] に応じて、24 または 32 ビット アドレスがラッチインされた後、CS# を論理 HIGH に駆動する必要があります。CS# が論理 HIGH に駆動されると、セルフタイムの IBL 動作は直ちに開始されます。IBUL 動作の進行中に、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイムの IBUL 動作の間「1」で、動作が完了すると「0」になります。

図 99. IBUL コマンド シーケンス [56、57]



このコマンドは QPI モードでも対応します。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

図 100. IBUL コマンド シーケンス - QPI モード [58、59]



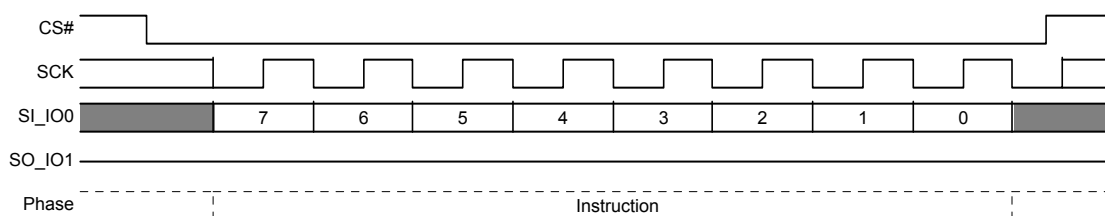
8.8.4 グローバル IBL ロック (GBL 7Eh)

GBL コマンドはすべての IBL ビットを「0」にセットし、すべてのセクタ／ブロックを保護します。

命令バイトの 8 番目のビットが SI 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。これにより、GBL が開始されます。命令の最後ビットの後に CS# が HIGH に駆動されない場合、GBL 動作は実行されません。

CS# が論理 HIGH に駆動されると、GBL は直ちに開始されます。GBL の進行中に、ユーザーは書き込み中 (WIP) ビットの値を読み出して、動作が完了したかどうかを確認できます。WIP ビットは、GBL が進行中の場合「1」で、GBL が完了した場合「0」です。

図 101. グローバル IBL ロック (GBL) コマンド シーケンス

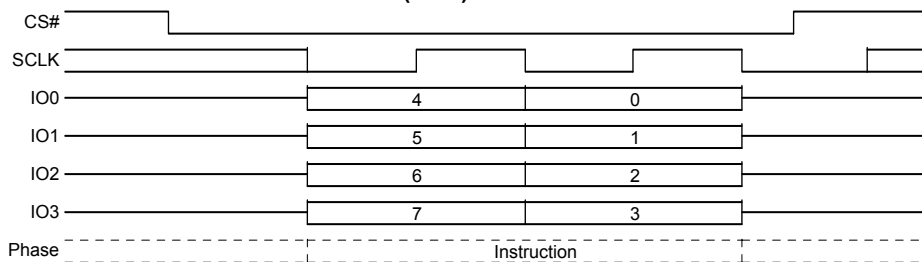


このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

注:

58. A= アドレスの MSb=23 (アドレス長 CR2V[0]=0 の場合) または 31 (CR2V[0]=1 で 39h コマンドの場合)。

59. A= アドレスの MSb=31 (E2h コマンド)。

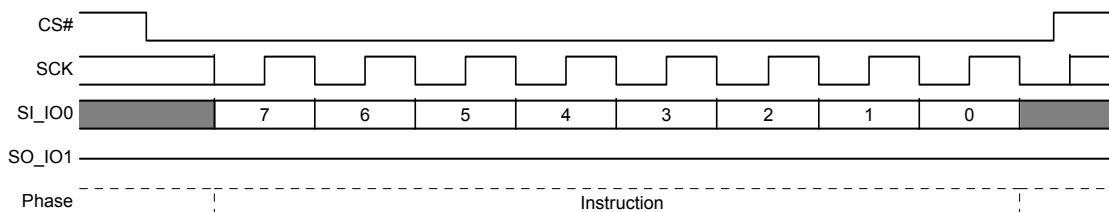
図 102. グローバル IBL ロック (GBL) コマンド シーケンス – QPI モード


8.8.5 グローバル IBL ロック解除 (GBUL 98h)

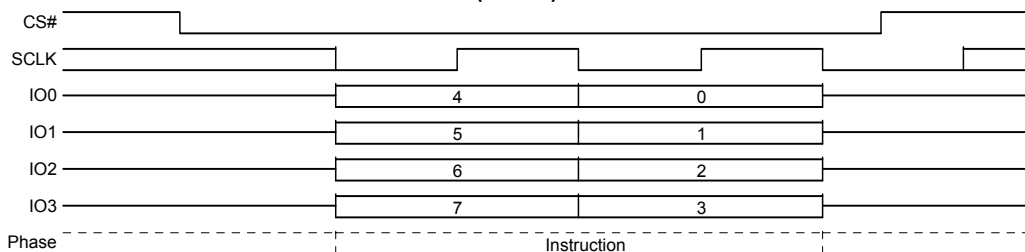
GBUL コマンドはすべての IBL ビットを「1」にクリアし、すべてのセクタ／ブロックが保護されなくなります。

命令バイトの 8 番目のビットが SI 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。これにより、GBUL が開始されます。命令の最後ビットの後に CS# が HIGH に駆動されない場合、GBUL 動作は実行されません。

CS# が論理 HIGH に駆動されると、GBL は直ちに開始されます。GBL の進行中に、ユーザーは書き込み中 (WIP) ビットの値を読み出して、動作が完了したかどうかを確認できます。WIP ビットは、GBUL が進行中の場合「1」で、GBUL が完了した場合「0」です。

図 103. グローバル IBL ロック解除 (GBL) コマンド シーケンス


このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 104. グローバル IBL ロック解除 (GBUL) コマンド シーケンス – QPI モード


8.9 ポインター領域のコマンド

8.9.1 ポインター領域保護セット (SPRP FBh または 4SPRP E3h)

一時停止動作のときは、ポインター値を消去／再プログラムできないため、SPRP または 4SPRP コマンドは無視されます。

デフォルト電源ロックダウン保護 NVLOCK PR[0]=0 であるか、電源ロックダウン保護が有効になる (IRP[1]=0) か、またはパスワード保護が有効になり (IRP[2]=0) かつ NVLOCK PR[0]=0 の場合、SPRP または 4SPRP コマンドは無視されます。

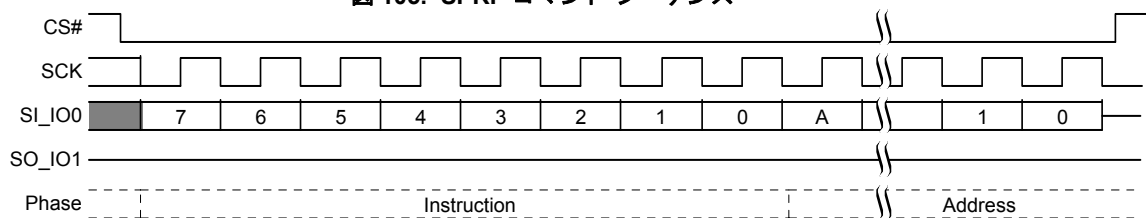
デバイスは SPRP または 4SPRP コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスはステータスレジスタの書き込みイネーブルラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

CS# を論理 LOW に駆動してから、命令、そして 24 または 32 ビット アドレス (アドレス長コンフィギュレーション CR2V[0] に応じて) を送信することで SPRP または 4SPRP コマンドが実行されます。保護オプションを選択するためのアドレス値の詳細は [48 ページの 7.6.3 ポインター領域保護 \(PRP\) 節](#) を参照してください。

アドレスの最後のビットがラッチインされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、SPRP コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの SPRP 動作は直ちに開始されます。SPRP 動作の進行中に、ステータスレジスタを読み出すことで書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイムの SPRP 動作の間「1」で、動作が完了すると「0」になります。SPRP 動作が完了すると、書き込みイネーブルラッチ (WEL) は「0」にセットされます。ポインター領域保護セット動作にエラーがある場合、SPRP または 4SPRP コマンドは P_ERR または E_ERR のビットをセットします。

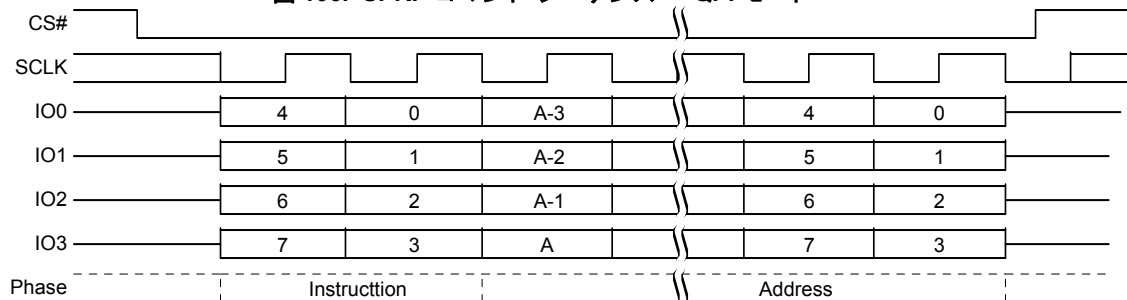
メモリの保護領域と非保護領域間のセクタ境界を定義するアドレスポインターの詳細は [48 ページの 7.6.3 ポインター領域保護 \(PRP\) 節](#) を参照してください。

図 105. SPRP コマンド シーケンス ^[60、61]



このコマンドは QPI モードでも対応します。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

図 106. SPRP コマンド シーケンス - QPI モード ^[60、61]



注：

60. A= アドレスの MSb=23 (アドレス長 CR2V[0]=0 の場合) または 31 (CR2V[0]=1 で FDh コマンドの場合)。

61. A= アドレスの MSb=31 (E3h コマンド)。

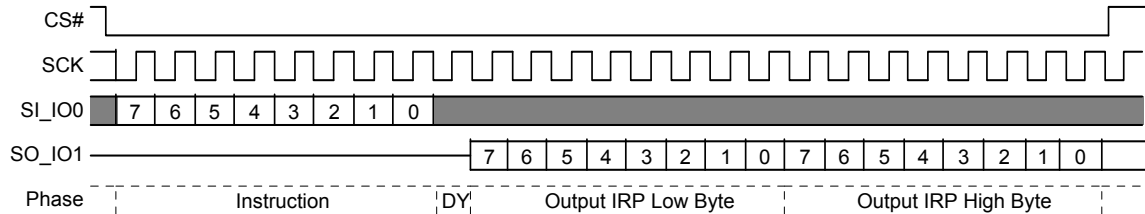
8.10 個別および領域保護 (IRP) のコマンド

8.10.1 IRP レジスタ読み出し (IRPRD 2Bh)

IRP レジスタ読み出し命令 2Bh は SCK 信号の立ち上がりエッジで SI / IO0 にシフトされ、その後 1 ダミー サイクルが続きます。レイテンシ期間により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドント ケア」で、高インピーダンスであることがあります。

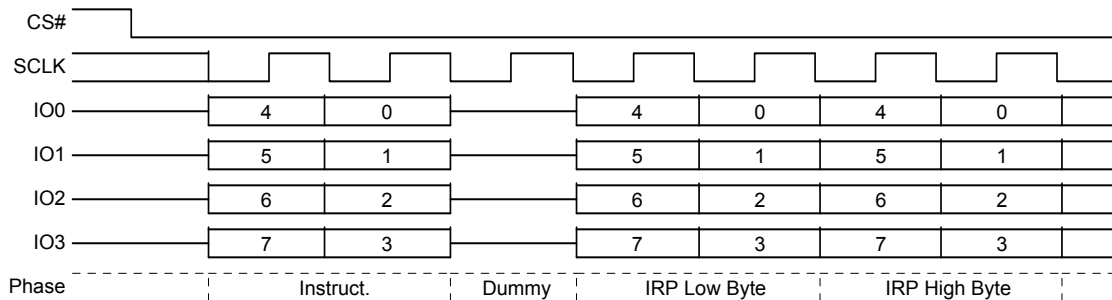
次に、16 ビット IRP レジスタ内容はシリアル出力 SO / IO1 上で最下位バイトから先にシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で各ビットがシフトアウトされます。16 の倍数のクロック サイクルを提供することで IRP レジスタを連続的に読み出せます。

図 107. IRPRD コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令のシフトインと返されるデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 108. IRPRD コマンド シーケンス – QPI モード



8.10.2 IRP プログラム (IRPP 2Fh)

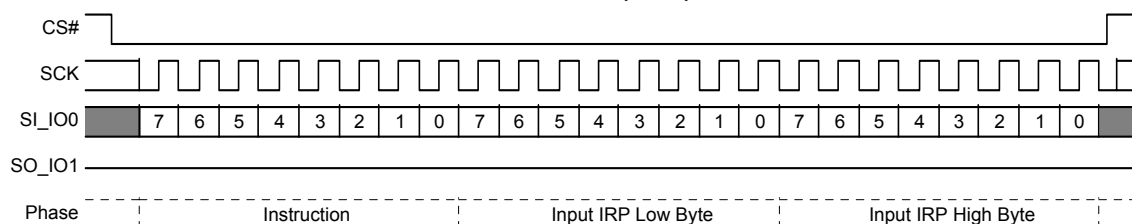
デバイスは IRP プログラム (IRPP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスはステータス レジスタの書き込みイネーブル ラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

IRPP コマンドは、CS# を論理 LOW に駆動してから命令と 2 データ バイトを SI 上で最下位バイトから先に送信することで実行されます。IRP レジスタの長さは 2 データ バイトです。

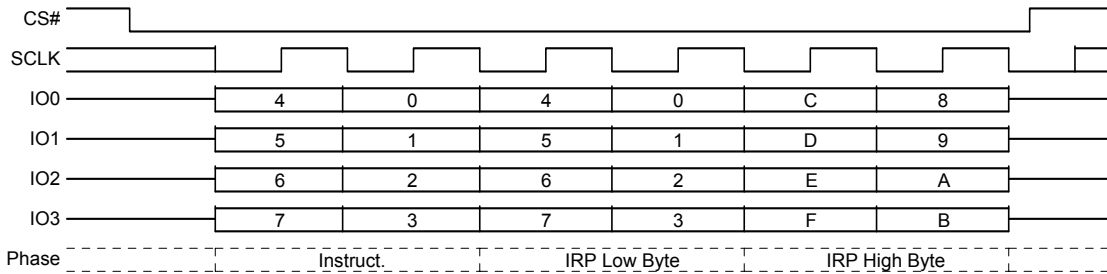
IRPP コマンドは他のプログラム動作と同じようにステータスおよびコンフィギュレーション レジスタの P_ERR および WIP ビットに影響します。

データの 16 ビット目がラッチインされた後、CS# 入力を論理 HIGH に駆動する必要があります。そうしないと、IRPP コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの IRPP 動作は直ちに開始されます。IRPP 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイム IRPP 動作の間「1」で、動作が完了すると「0」になります。IRPP 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。

図 109. IRP プログラム (IRPP) コマンド



このコマンドは QPI モードでも対応します。QPI モードでは、命令およびデータは IO0 ~ IO3 上でシフトインされます。

図 110. IRP プログラム (IRPP) コマンド – QPI モード


8.10.3 保護レジスタ読み出し (PRRD A7h)

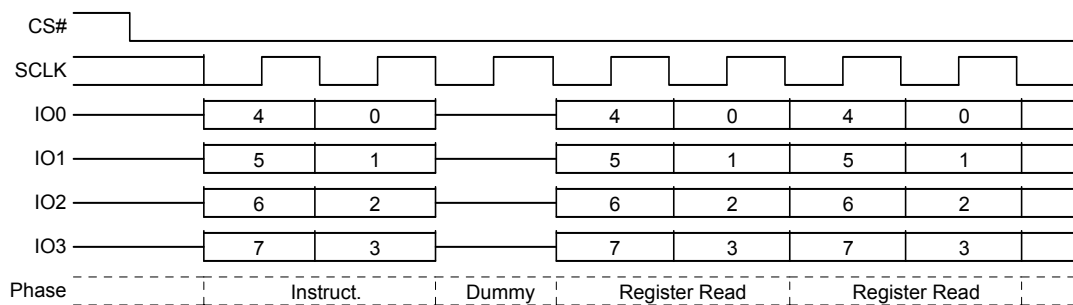
保護レジスタ読み出し (PRRD) コマンドにより、保護レジスタの内容を SO / IO1 から読み出せます。読み出し命令 A7h は SCK 信号の立ち上がりエッジで SI にシフトされ、その後 1 ダミー サイクルが続きます。レイテンシ期間により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドントケア」で、高インピーダンスであることがあります。

次に、8 ビット保護レジスタの内容はシリアル出力 SO / IO1 上でシフトアウトされます。SCK 信号の立ち下がりエッジごとに SCK 周波数で各ビットがシフトアウトされます。8 の倍数のクロック サイクルを提供することで保護レジスタを連続的に読み出せます。

デバイスがスタンバイ状態であり、進行中の他の動作がない場合にのみ、保護レジスタの内容は読み出せます。

図 111. 保護レジスタ読み出し (PRRD) コマンド シーケンス


このコマンドは QPI モードでも対応します。QPI モードでは、命令のシフトインと返されるデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 112. 保護レジスタ読み出し (PRRD) コマンド シーケンス – QPI モード


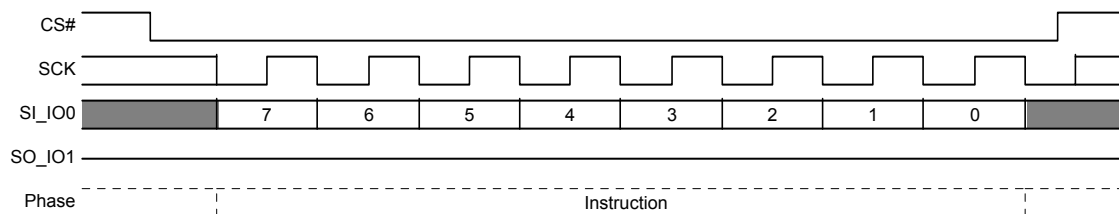
8.10.4 保護レジスタ ロック (PRL A6h)

保護レジスタ ロック (PRL) コマンドは NVLOCK ビット (PR[0]) を「0」にクリアし、IRP[6] 値を SECRRP (PR[6]) にロードします。38 ページの 6.6.8 保護レジスタ (PR) 節を参照してください。デバイスは PRL コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は有効になります。

PRL コマンドは、CS# を論理 LOW に駆動してから命令を送信することで実行されます。

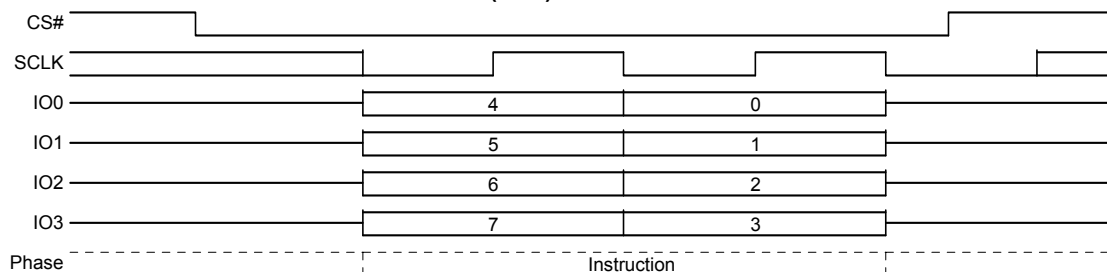
命令の 8 番目のビットがラッチインされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PRL コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PRL 動作は直ちに開始されます。PRL 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認することがまだ可能です。書き込み中 (WIP) ビットはセルフタイムの PRL 動作の間「1」で、動作が完了すると「0」になります。PRL 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。

図 113. 保護レジスタ ロック (PRL) コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 114. 保護レジスタ ロック (PRL) コマンド シーケンス - QPI モード



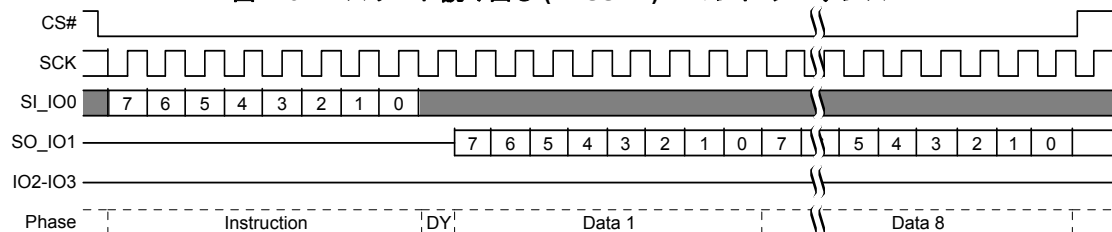
8.10.5 パスワード読み出し (PASSRD E7h)

パスワード値をプログラムした後、IRP レジスタのパスワード保護モード ビット (IRP[2]) を「0」にプログラムすることでパスワード モードを選択する前にのみ、正しいパスワード値を読み出せます。パスワード保護モードが選択されると、パスワードはもはや読み出し可能でなくなり、PASSRD コマンドは未定義のデータを出力します。

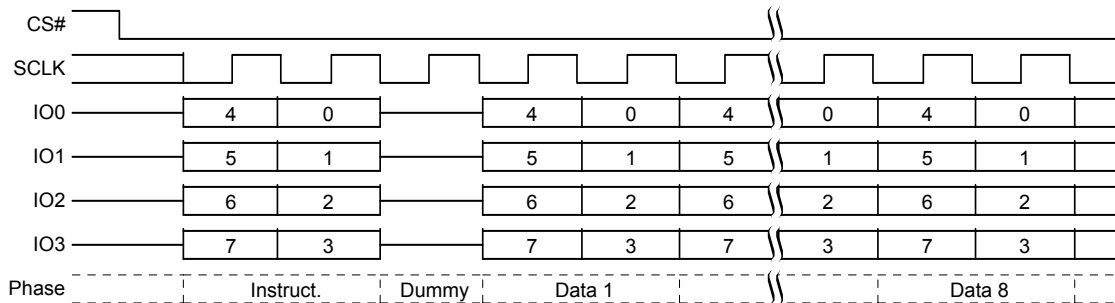
PASSRD コマンドが SI にシフトインされてから、1 ダミー サイクルが続きます。レイテンシ期間により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。

その後、64 ビット パスワードはシリアル出力で最下位バイトから先に、各バイトの最上位ビットから先にシフトアウトされます。SCK 信号の立ち下がりがエッジごとに SCK 周波数で各ビットがシフトアウトされます。64 の倍数のクロック サイクルを提供することでパスワードを連続的に読み出せます。

図 115. パスワード読み出し (PASSRD) コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令のシフトインと返されるデータのシフトアウトは IO0 ~ IO3 上で行われます。

図 116. パスワード読み出し (PASSRD) コマンド シーケンス – QPI モード


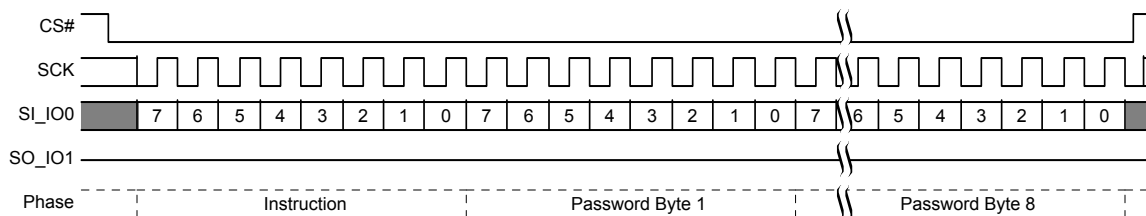
8.10.6 パスワード プログラム (PASSP E8h)

デバイスはパスワード プログラム (PASSP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスは書き込みイネーブル ラッチ (WEL) をセットして PASSP 動作を有効にします。

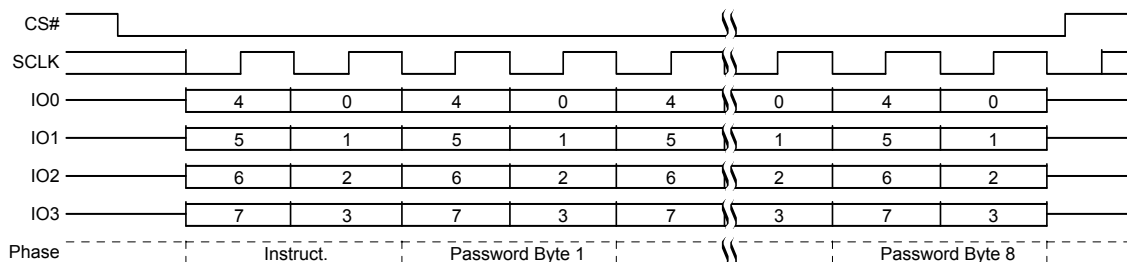
IRP レジスタのパスワード保護モード ビット (IRP[2]) を「0」にプログラムすることでパスワード モードを選択する前にのみ、パスワードをプログラムできます。パスワード保護モードが選択された後、PASSP コマンドは無視されます。

PASSP コマンドは、CS# を論理 LOW に駆動してから命令とパスワード データを SI / IO0 上で最下位バイトから先に、各バイトの最上位ビットから先に送信することで実行されます。パスワードは 64 ビット長です。

データの 64 ビット目がラッチされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PASSP コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PASSP 動作は直ちに開始されます。PASSP 動作の進行中、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認することができます。書き込み中 (WIP) ビットはセルフタイムの PASSP サイクルの間「1」で、サイクルが完了すると「0」になります。PASSP コマンドはステータス レジスタの P_ERR ビットでプログラム エラーをレポートできます。PASSP 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。

図 117. パスワード プログラム (PASSP) コマンド シーケンス


このコマンドは QPI モードでも対応します。QPI モードでは、命令およびデータは IO0 ~ IO3 上でシフトインされます。

図 118. パスワード プログラム (PASSP) コマンド シーケンス – QPI モード


8.10.7 パスワード ロック解除 (PASSU EAh)

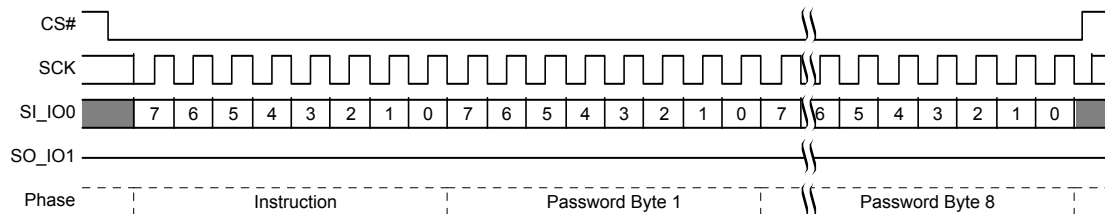
PASSU コマンドは、CS# を論理 LOW に駆動してから命令とパスワード データを SI 上で、最下位バイトから先に、各バイトの最上位ビットから先に送信することで実行されます。パスワードは 64 ビット長です。

データの 64 ビット目がラッチされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PASSU コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PASSU 動作は直ちに開始されます。PASSU 動作の進行中、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイムの PASSU サイクルの間「1」で、サイクルが完了すると「0」になります。

PASSU コマンドで提供されたパスワードがパスワードレジスタの隠しパスワードと一致しない場合、P_ERR ビットが「1」にセットされ、エラーがレポートされます。ステータスレジスタの WIP ビットも「1」にセットされたままです。P_ERR と WIP ビットを「0」に戻すために、CLSR コマンドを使用しステータスレジスタをクリアするか、ソフトウェアリセットコマンド (RSTEN 66h に続いて RST 99h) を使用してデバイスをリセットするか、または RESET# か IO3 / RESET# 入力を駆動してハードウェアリセットを開始する必要があります。これにより、デバイスはスタンバイ状態に戻り、PASSU コマンドの再試行など新しいコマンドを実行できるようになります。

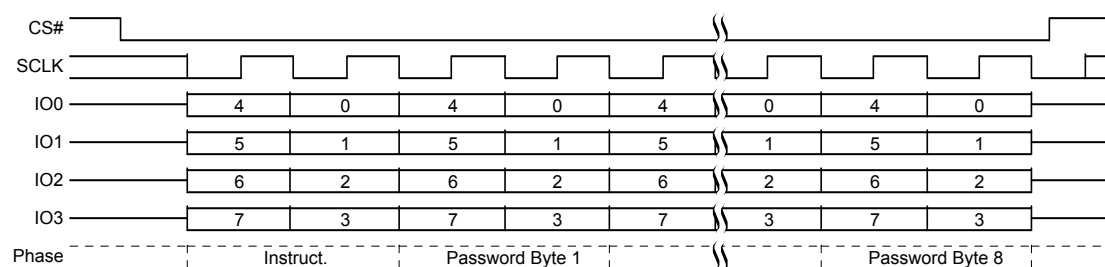
パスワードが一致した場合、NVLOCK ビットは「1」にセットされます。

図 119. パスワード ロック解除 (PASSU) コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令およびデータは IO0 ~ IO3 上でシフトインされます。

図 120. パスワード ロック解除 (PASSU) コマンド シーケンス - QPI モード



8.11 リセットのコマンド

ソフトウェアで制御されるリセット コマンドは不揮発性のデフォルト値を揮発性レジスタにリロードすることでデバイスを初期の電源投入状態に復帰させます。消去、プログラムまたはレジスタの書き込み動作中にソフトウェア リセットが開始される場合、セクタ、ページまたはレジスタのデータは安定せず、中断された動作は再び開始する必要があります。

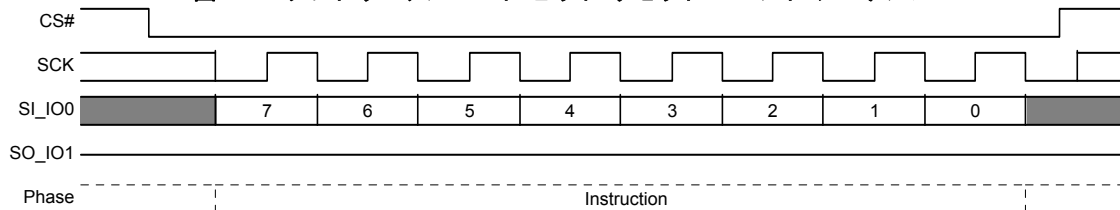
しかし、コンフィギュレーション レジスタの揮発性 SRP1 ビット CR1V[0] および保護レジスタの揮発性 NVLOCK ビットはソフトウェア リセットで変更されません。ソフトウェア リセットは、他のセキュリティ コンフィギュレーション ビットに対する SRP1 または NVLOCK ビットを回避するためには使用できません。

SRP1 ビットと NVLOCK ビットはソフトウェア リセット前の最後の値にセットされたままです。SRP1 ビットをクリアし、NVLOCK ビットを保護モードによって選択された電源投入時の状態にセットするために、完全なパワーオン リセット シーケンスまたはハードウェア リセットを実行する必要があります。

ソフトウェア リセット コマンド (RSTEN 66h に続いて RST 99h) は、CS# が命令の終了時に HIGH にされたときに実行され、完了には t_{RPH} を要します。

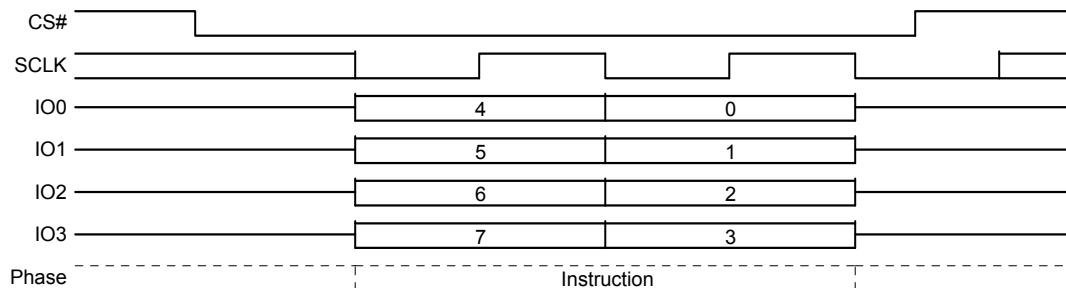
前のパワーオン リセット (POR) が正常に完了できなかった場合、リセット コマンドは完全な電源投入シーケンスをトリガーし、完了するには t_{PU} を要します。

図 121. ソフトウェア/モード ビット リセット コマンド シーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 122. ソフトウェア リセット/モード ビット コマンド シーケンス – QPI モード



8.11.1 ソフトウェア リセット イネーブル (RSTEN 66h)

リセット イネーブル (RSTEN) コマンドは、ソフトウェア リセットが 2 つのコマンドから成るシーケンスとなるために、ソフトウェア リセット コマンド (RST 99h) の直前に実行する必要があります。RST を除き、RSTEN コマンドに続くすべてのコマンドはリセット イネーブル状態をクリアし、後の RST コマンドが認識されないようにします。

8.11.2 ソフトウェア リセット (RST 99h)

RSTEN コマンドの直後にリセット (RST) コマンドを実行すると、ソフトウェア リセット プロセスが開始されます。RST を除き、RSTEN コマンドに続くすべてのコマンドはリセット イネーブル状態をクリアし、後の RST コマンドが認識されないようにします。

8.11.3 モード ビット リセット (MBR FFh)

モード ビット リセット (MBR) コマンドでは、デバイスを連続高性能読み出しモードから新しいコマンドを受け入れられる通常スタンバイ モードに復帰させます。ハードウェア RESET# 入力が無効で、連続高性能読み出しモードにあるデバイスが通常の SPI コマンドを認識しない場合もあるため、デバイスはハードウェア/ソフトウェア リセット コマンドを認識しないことがあります。デバイスが連続高性能読み出しモードから確実に解放されるように、MBR コマンドを、RESET# 信号が使用できないときにシステム リセットの実行後、またはソフトウェア リセットの発行前に使用することが推奨されます。

MBR コマンドでは、8 SCK サイクルの間 SI / IO0 上で「1」を送信します。IO1 ~ IO3 はこれらのサイクルの間「ドント ケア」です。

8.12 ディープパワーダウンのコマンド

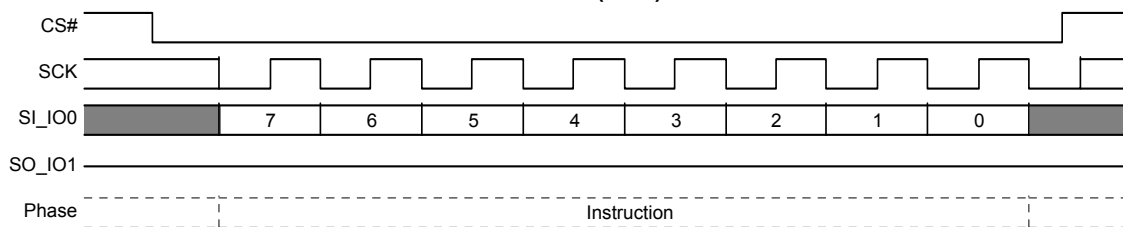
8.12.1 ディープパワーダウン (DPD B9h)

通常動作時のスタンバイ電流は比較的低いですが、ディープパワーダウンコマンドを使うとさらに減少できます。低消費電力により、ディープパワーダウン (DPD) コマンドは特にバッテリー駆動アプリケーションに役立ちます (121 ページの 11.6 直流規格節の I_{CC1} と I_{CC2} を参照してください)。コマンドは CS# ピンを LOW に駆動してから、命令コード「B9h」をシフトすることで開始します。

CS# ピンは 8 ビット目がラッチされた後に HIGH に駆動する必要があります。そうしないと、ディープパワーダウンコマンドは実行できません。CS# を HIGH に駆動した後、 t_{DP} の時間内にデバイスはパワーダウン状態に入ります (128 ページの表 54 を参照してください)。パワーダウン状態の間、デバイスを通常動作に復帰させるディープパワーダウン終了/デバイス ID コマンドのみが認識されます。その他のすべてのコマンドは無視されます。通常動作中に常に使用可能なステータスレジスタ読み出しコマンドも無視されます。1 つのみを除くすべてのコマンドは無視することにより、パワーダウン状態は最大限の書き込み保護を保証する状態となります。

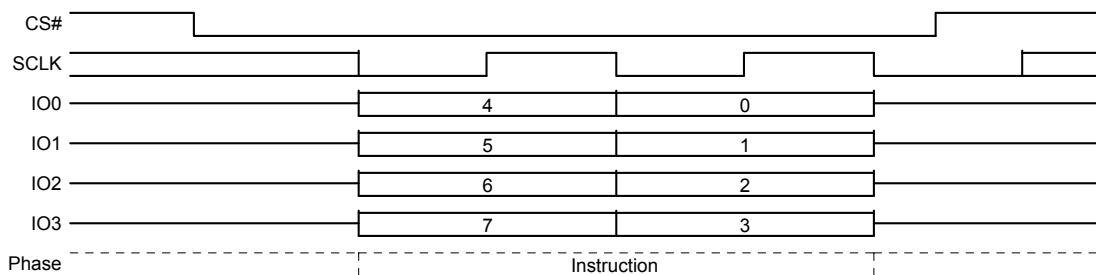
ディープパワーダウンモードで、デバイスは通常動作に復帰させるパワーオンリセットを開始するハードウェアリセットのみを受け入れます。電源投入後、デバイスは常に通常動作状態になり、 I_{CC1} のスタンバイ電流を消費します。

図 123. ディープパワーダウン (DPD) コマンドシーケンス



このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

図 124. ディープパワーダウン (DPD) コマンドシーケンス - QPI モード



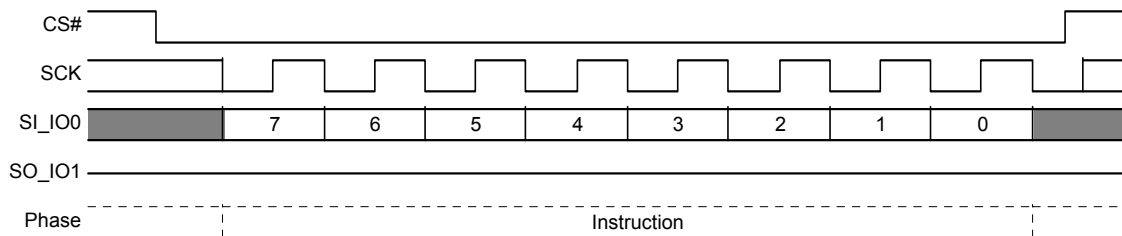
8.12.2 ディープパワーダウン終了/デバイス ID (RES ABh)

ディープパワーダウン終了/デバイス ID コマンドは多目的のコマンドです。これを使うことで、デバイスをディープパワーダウン状態から復帰させたり、デバイスの電子識別子 (ID) 番号を取得したりします。

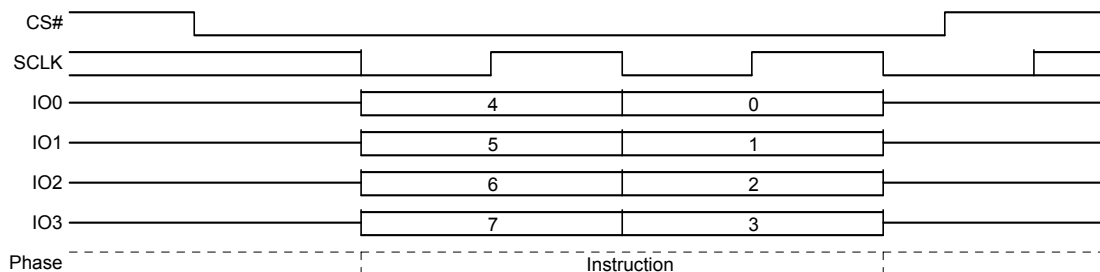
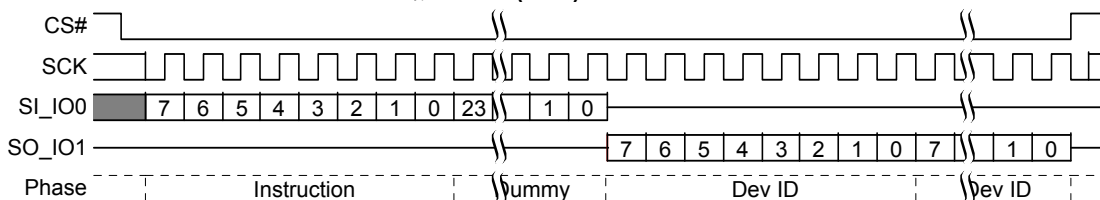
デバイスをディープパワーダウン状態から解放するために、CS# ピンを LOW に駆動し、命令コード「ABh」をシフトしてから CS# ピンを HIGH に駆動することでコマンドを発行します。ディープパワーダウン状態終了コマンドは、デバイスが通常動作を再開して他のコマンドを受け入れるまで t_{RES} (128 ページの表 54) を要します。CS# ピンは t_{RES} の間は HIGH のままでなければなりません。

ディープパワーダウン状態でないときにデバイス ID を取得するためのみに用いる場合、CS# ピンを LOW に駆動し、命令コード「ABh」に続いて 3 ダミーバイトをシフトすることでコマンドを開始します。その後、デバイス ID ビットは CLK の立ち下がりエッジで最上位ビット (MSb) から先にシフトアウトされます。S25FL-L ファミリのデバイス ID 値を 117 ページの 43 「メーカーデバイスタイプ」表に示します。定義された ID アドレス空間の終わりを越えて出力を継続的にシフトすると、未定義のデータが発生します。CS# を HIGH に駆動してコマンドを完了します。

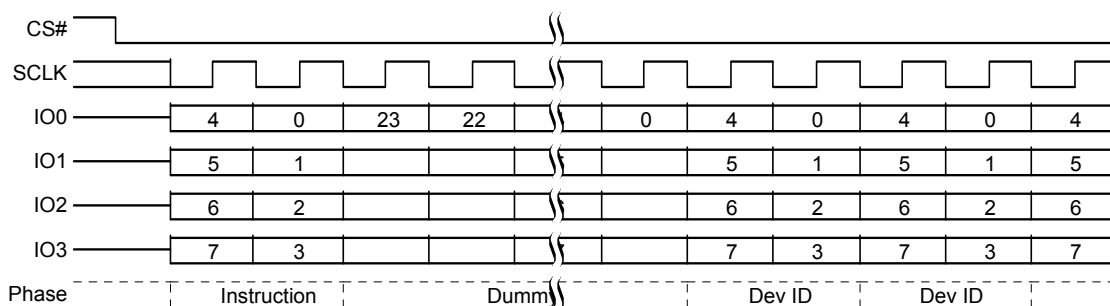
デバイスをディープパワーダウンから復帰させてデバイス ID を取得するために使用する場合、コマンドは前述および図 127 と図 128 に示すようになりますが、CS# は t_{RES} の間 HIGH に駆動されたままである必要があります。この時間が経過した後、デバイスは通常動作を再開し、他のコマンドを受け入れることができます。消去やプログラム、書き込みサイクルの間 (BUSY=1) ディープパワーダウン終了/デバイス ID コマンドを発行しても、コマンドは無視され、実行中のサイクルに何の影響も与えません。

図 125. ディープ パワー ダウン終了 (RES) コマンド シーケンス


このコマンドは QPI モードでも対応します。QPI モードでは、命令は IO0 ～ IO3 上でシフトインされます。

図 126. ディープ パワー ダウン終了 (RES) コマンド シーケンス – QPI モード

図 127. ID 読み出し (RES) コマンド シーケンス


このコマンドは QPI モードでも対応します。QPI モードでは、命令のシフトインおよび返しデータのシフトアウトは IO0 ～ IO3 上で行われます。

図 128. ID 読み出し (RES) コマンド – QPI モード


9. データの完全性

9.1 消去可能回数

表 37. 消去可能回数

| パラメーター | Min | 単位 |
|--|------|---------|
| メインフラッシュアレイセクタのプログラム／消去サイクル数 | 10 万 | PE サイクル |
| セキュリティ領域または不揮発性レジスタアレイのプログラム／消去サイクル数 ^[62] | 1 千 | PE サイクル |

注：

62. 不揮発性レジスタへの書き込みコマンドを実行するたびに、不揮発性レジスタアレイ全体には PE サイクルが発生します。

9.2 データ保持

表 38. データ保持

| パラメーター | テスト条件 | 最小時間 | 単位 |
|---------|--------------------|------|----|
| データ保持期間 | 1 万回のプログラム／消去サイクル | 20 | 年 |
| | 10 万回のプログラム／消去サイクル | 2 | 年 |

データの完全性に関する詳細についてはサイプレス営業または FAE までお問い合わせください。アプリケーション ノートは下記の URL から入手していただけます。

www.cypress.com/apnotes

10. ソフトウェア インターフェース リファレンス

10.1 JEDEC JESD216B シリアル フラッシュ 検出可能パラメーター

本資料は、以下のサイプレス シリアル フラッシュ デバイスで使用するシリアル フラッシュ 検出可能パラメーター (SFDP) Rev. B のデータ構造を定義します。

■ S25FL-L ファミリ

これらのデータ構造は上記のデバイスに存在している古いリビジョンの SFDP データ構造の更新版です。

SFDP 読み出し (RSFDP) コマンド (5Ah) はシリアル フラッシュ 検出可能パラメーター向けの JEDEC JESD216B 規格に準拠し、デバイス ID、機能およびコンフィギュレーション情報を取得するために独立したフラッシュ メモリ アドレス空間から情報を読み出します。

SFDP データ構造には、対応された JESD216 ヘッダ フォーマットのリビジョンを識別し、提供された SFDP パラメーター テーブルのリビジョン番号およびポインターを提供するヘッダ テーブルを含んでいます。パラメーター テーブルは SFDP ヘッダの後に続きます。ただし、パラメーター テーブルは SFDP アドレス空間内にどの物理的位置および順序でも配置できます。テーブルは隣接する必要もなく、ヘッダ テーブル エントリと同じ順序である必要ありません。

SFDP ヘッダは以下のパラメーター テーブルを指します。

■ 基本フラッシュ

□ オリジナルの SFDP テーブルです。いくつかの変更されたフィールドおよび最後に追加された新しいフィールドがあります。

■ 4 バイト アドレス命令

□ オリジナルの SFDP テーブルです。いくつかの変更されたフィールドおよび最後に追加された新しいフィールドがあります。

SFDP アドレス空間内の物理的な順序は次のとおりです。SFDP ヘッダ、基本フラッシュ セクタ マップ、4 バイト命令

SFDP アドレス空間はサイプレスによってプログラムされ、ホスト システムからは読み出し専用です。

10.1.1 シリアル フラッシュ 検出可能パラメーター (SFDP) アドレス マップ

SFDP アドレス空間には、SFDP データ構造を識別し、各パラメーターへのポインターを提供するアドレス 0 から始まるヘッダが含まれています。1 つの基本フラッシュ パラメーターは JEDEC JESD216B 規格に準拠します。4 バイト アドレス命令用のオプションのパラメーター テーブルが基本フラッシュ テーブルの後に続きます。

表 39. SFDP 概要マップ

| バイト アドレス | 説明 |
|----------|--|
| 0000h | JEDEC JESD216B SFDP 空間のロケーション 0: SFDP ヘッダの開始 |
| ... | SFDP ヘッダの残りの部分に続いて未定義の空間 |
| 0300h | SFDP パラメーターの開始 |
| ... | SFDP JEDEC パラメーターの残りの部分に続いて未定義の空間 |

10.1.2 SFDP ヘッダ フィールドの定義

表 40. SFDP ヘッダ

| SFDP バイト アドレス | SFDP DWORD 名 | データ | 説明 |
|------------------|------------------------------|-----|---|
| 00h | SFDP ヘッダ 第 1 DWORD | 53h | SFDP 読み出し (5Ah) コマンドのエントリ ポイントで、すなわち SFDP 空間内の ロケーション 0 です。 ASCII「S」 |
| 01h | | 46h | ASCII「F」 |
| 02h | | 44h | ASCII「D」 |
| 03h | | 50h | ASCII「P」 |
| 04h | SFDP ヘッダ 第 2 DWORD | 06h | SFDP マイナー リビジョン (06h=JEDEC JESD216 Rev. B) - このリビジョンはすべての以前のマイナー リビジョンと後方互換性がありま す。SFDP 読み出しおよび構文解析ソフトウェアは、設計されたマイナー リビ ジョンよりも高いリビジョンに対応できます。より高いリビジョンに対応するよ う設計されたソフトウェアはより低いリビジョンに対応する必要があります。例 : マイナー リビジョン 0 向けの SFDP 読み出しおよび構文解析ソフトウェアはリ ビジョン 6 にも対応しています。マイナー リビジョン 6 向けの SFDP 読み出しお よび構文解析ソフトウェアはマイナー リビジョン 0 または 5 を読み出せるよう に設計する必要があります。マイナー リビジョン番号を単純に比較せず、ソフト ウェアが対応する必要があるリビジョン番号との一致のみをお探してください。よ り高い番号のマイナー リビジョンを使用しても問題はありません。 |
| 05h | | 01h | SFDP メジャー リビジョン オリジナルのメジャー リビジョンです。あらゆる SFDP 読み出しおよび構文解析 ソフトウェアと互換性があります。 |
| 06h | | 01h | パラメーター ヘッダの数 (0 オリジン、01h=2 パラメーター) |
| 07h | | FFh | 未使用 |
| 08h | パラメーター ヘッダ 0 第 1 DWORD | 00h | パラメーター ID LSB (00h=JEDEC SFDP 基本 SPI フラッシュ パラメーター) |
| 09h | | 06h | パラメーター マイナー リビジョン (06h=JESD216 Rev. B) |
| 0Ah | | 01h | パラメーター メジャー リビジョン (01h= オリジナル メジャー リビジョン)。 あらゆる SFDP ソフトウェアはこのメジャー リビジョンと互換性があります。 |
| 0Bh | | 10h | パラメーター テーブル長 (ダブル ワード =DWORD=4 バイト単位) 10h=16 DWORD |
| 0Ch | パラメーター ヘッダ 0 第 2 DWORD | 00h | パラメーター テーブル ポインター バイト 0 (DWORD=4 バイト 整列) JEDEC 基本 SPI フラッシュ パラメーター バイト オフセット =0300h アドレス |
| 0Dh | | 03h | パラメーター テーブル ポインター バイト 1 |
| 0Eh | | 00h | パラメーター テーブル ポインター バイト 2 |
| 0Fh | | FFh | パラメーター ID MSB (FFh=JEDEC で定義されたパラメーター) |
| 10h | パラメーター ヘッダ 1 第 1 DWORD | 84h | パラメーター ID LSB (84h=SFDP 4 バイト アドレス命令パラメーター) |
| 11h | | 00h | パラメーター マイナー リビジョン (00h=JESD216 Rev. B で定義された初期バー ジョン) |
| 12h | | 01h | パラメーター メジャー リビジョン (01h=オリジナルのメジャー リビジョンです。 このパラメーター ID を認識するあらゆる SFDP ソフトウェアはこのメジャー リ ビジョンと互換性があります。) |
| 13h | | 02h | パラメーター テーブル長 (ダブル ワード =DWORD=4 バイト単位) (2h=2 DWORD) |

表 40. SFDP ヘッダ (続き)

| SFDP バイト アドレス | SFDP DWORD 名 | データ | 説明 |
|------------------|-----------------|-----|--|
| 14h | パラメーター ヘッダ 1 | 40h | パラメーター テーブル ポインター バイト 0 (DWORD=4 バイト 整列) JEDEC パラメーター バイト オフセット =0340h |
| 15h | | 03h | パラメーター テーブル ポインター バイト 1 |
| 16h | 第 2 DWORD | 00h | パラメーター テーブル ポインター バイト 2 |
| 17h | | FFh | パラメーター ID MSB (FFh=JEDEC で定義されたパラメーター) |

10.1.3 JEDEC SFDP 基本 SPI フラッシュ パラメーター

表 41. 基本 SPI フラッシュ パラメーター、JEDEC SFDP Rev. B

| SFDP パラメーター 関連のバイトアドレス | SFDP DWORD 名 | データ | 説明 |
|---------------------------|--|----------|--|
| 00h | JEDEC 基本 フラッシュ パラメーター DWORD 1 | E5h | SFDP JEDEC パラメーターの開始 ビット 7:5= 未使用 =111b ビット 4:3=05h は揮発性ステータス レジスタ書き込み命令、ステータス レジスタはデフォルトで 不揮発性 =00b ビット 2= プログラム バッファ >64 バイト =1 ビット 1:0= ユニフォーム 4KB 消去がデバイス全体で対応 =01b |
| 01h | | 20h | ビット 15:8= ユニフォーム 4KB 消去命令 =20h |
| 02h | | FBh | ビット 23= 未使用 =1b ビット 22=QOR (1-1-4) 読み出し対応 = 有 =1b ビット 21=QIO (1-4-4) 読み出し対応 = 有 =1b ビット 20=DIO (1-2-2) 読み出し対応 = 有 =1b ビット 19=DDR 対応 = 有 =1b ビット 18:17= アドレス バイト数 (3 または 4) =01b ビット 16 = 高速読み出し SIO と DIO に対応 = 1b |
| 03h | | FFh | ビット 31:24= 未使用 =FFh |
| 04h | JEDEC 基本 フラッシュ パラメーター DWORD 2 | FFh | ビット単位での容量 (0 オリジン) 64Mb=03FFFFFFh |
| 05h | | FFh | |
| 06h | | FFh | |
| 07h | | 03h 64Mb | |
| 08h | JEDEC 基本 フラッシュ パラメーター DWORD 3 | 48h | ビット 7:5=QIO モード サイクル数 =010b ビット 4:0= 高速読み出し QIO ダミー サイクル数 =01000b (デフォルトのレイテンシ コード) |
| 09h | | EBh | 高速読み出し QIO 命令コード |
| 0Ah | | 08h | ビット 23:21= クアッド出力モード サイクル数 =000b ビット 20:16= クアッド出力ダミー サイクル数 =01000b (デフォルトのレイテンシ コード) |
| 0Bh | | 6Bh | クアッド出力命令コード |
| 0Ch | JEDEC 基本 フラッシュ パラメーター DWORD 4 | 08h | ビット 7:5= デュアル出力モード サイクル数 =000b ビット 4:0= デュアル出力ダミー サイクル数 =01000b (デフォルトのレイテンシ コード) |
| 0Dh | | 3Bh | デュアル出力命令コード |
| 0Eh | | 88 h | ビット 23:21= デュアル I/O モード サイクル数 =100b ビット 20:16= デュアル I/O ダミー サイクル数 =01000b (デフォルトのレイテンシ コード) |
| 0Fh | | BBh | デュアル I/O 命令コード |
| 10h | JEDEC 基本 フラッシュ パラメーター DWORD 5 | FEh | ビット 7:5=RFU=111b ビット 4=QPI に対応 =1b ビット 3:1=RFU=111b ビット 0= デュアル オールに非対応 =0b |
| 11h | | FFh | ビット 15:8=RFU=FFh |
| 12h | | FFh | ビット 23:16=RFU=FFh |
| 13h | | FFh | ビット 31:24=RFU=FFh |

表 41. 基本 SPI フラッシュ パラメーター、JEDEC SFDP Rev. B(続き)

| SFDP パラメーター 関連のバイトアドレス | SFDP DWORD 名 | データ | 説明 |
|---------------------------|---|-----|--|
| 14h | JEDEC 基本 フラッシュ パラメーター DWORD 6 | FFh | ビット 7:0=RFU=FFh |
| 15h | | FFh | ビット 15:8=RFU=FFh |
| 16h | | FFh | ビット 23:21= デュアル オール モード サイクル数 =111b ビット 20:16= デュアル オール ダミー サイクル数 =11111b |
| 17h | | FFh | デュアル オール命令コード |
| 18h | JEDEC 基本 フラッシュ パラメーター DWORD 7 | FFh | ビット 7:0=RFU=FFh |
| 19H | | FFh | ビット 15:8=RFU=FFh |
| 1Ah | | 48h | ビット 23:21=QPI モード サイクル数 =010b ビット 20:16=QPI ダミー サイクル数 =01000b (デフォルトのレイテンシ コード) |
| 1Bh | | EBh | QPI 高速読み出し命令コード (QPI が有効の場合、QIO と同じ) |
| 1Ch | JEDEC 基本 フラッシュ パラメーター DWORD 8 | 0Ch | セクタ タイプ 1、サイズ 2^N バイト =4KB=0Ch (ユニフォーム 4KB) |
| 1Dh | | 20h | セクタ タイプ 1 命令 |
| 1Eh | | 0Fh | セクタ タイプ 2、サイズ 2^N バイト =32KB=0Fh (ユニフォーム 32KB) |
| 1Fh | | 52h | セクタ タイプ 2 命令 |
| 20h | JEDEC 基本 フラッシュ パラメーター DWORD 9 | 10h | セクタ タイプ 3、サイズ 2^N バイト =64KB=10h (ユニフォーム 64KB) |
| 21h | | D8h | セクタ タイプ 3 命令 |
| 22h | | 00h | セクタ タイプ 4、サイズ 2^N バイト = 非対応 =00h |
| 23h | | FFh | セクタ タイプ 4 命令 = 非対応 =FFh |
| 24h | JEDEC 基本 フラッシュ パラメーター DWORD 10 | 31h | ビット 31:30= セクタ タイプ 4 消去、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s) =RFU=11b |
| 25h | | 92h | ビット 29:25= セクタ タイプ 4 消去、標準時間カウント =RFU=1_1111b (標準消去時間 = カウント +1* 単位 =RFU=11111) |
| 26h | | 0Dh | ビット 24:23= セクタ タイプ 3 消去、標準時間単位 (00b: 1ms、01b: 16ms、10b: 128ms、11b: 1s) =16mS=10b |
| 27h | | FFh | |

表 41. 基本 SPI フラッシュ パラメーター、JEDEC SFDP Rev. B(続き)

| SFDP パラメーター 関連のバイトアドレス | SFDP DWORD 名 | データ | 説明 |
|---------------------------|---|---|---|
| 28h | JEDEC 基本 フラッシュ パラメーター DWORD 11 | 81h | ビット 23= バイト プログラム標準時間、追加のバイト単位 (0b: 1us、1b: 8us) =1us=0b |
| 29h | | 66h | ビット 22:19= バイト プログラム標準時間、追加のバイト カウント、(カウント +1)* 単位、カウン ト =1001b (標準プログラム時間 = カウント +1* 単位 =10*1us=10us) |
| 2Ah | | 4Eh | ビット 18= バイト プログラム標準時間、最初のバイト単位 (0b: 1us、1b: 8us) =1us=1b ビット 17:14= バイト プログラム標準時間、最初のバイト カウント、(カウント +1)* 単位、カウン ト =1001b (標準プログラム時間 = カウント +1* 単位 =10*8us=80us) ビット 13= ページ プログラム標準時間単位 (0b: 8us、1b: 64us) =64us=1b ビット 12:8= ページ プログラム標準時間カウント、(カウント +1)* 単位、カウント =00110b (標 準プログラム時間 = カウント +1* 単位 =7*64us=450us) ビット 7:4=N=1000b、ページ サイズ =2*N=256B ページ ビット 3:0= カウント =0001b= (最大ページ プログラム時間 /(2* 標準ページ プログラム時間))-1 最大ページ プログラム時間 =4x 標準ページ プログラム時間 最大ページ プログラム時間 =2*(カウント +1)* 標準ページ プログラム時間 2 進フィールド : 0-1001-1-1001-1-00110-1000-0001 ニブル フォーマット : 0100_1110_0110_0110_1000_0001 16 進フォーマット : 4E_66_81 |
| | | | |
| | | | |
| 2Bh | CDh 64Mb | 64Mb=1100_1101=CD ビット 31= 予約済み =1b ビット 30:29= チップ消去、標準時間単位 (00b: 16ms、01b: 256ms、10b: 4s、11b: 64s) =4s=10b ビット 28:24= チップ消去、標準時間カウント、(count+1)*units、カウント =01100b、(標準プロ ラム時間 = カウント +1* 単位 =14*4s=56s) | |
| 2Ch | JEDEC 基本 フラッシュ パラメーター DWORD 12 | CCh | ビット 31= 一時停止および再開に対応 =0b |
| 2Dh | | 83h | ビット 30:29= 進行中の消去の最大一時停止レイテンシ単位 (00b: 128ns、01b: 1us、10b: 8us、11b: 64us) =8us=10b |
| 2Eh | | 18h | ビット 28:24= 進行中の消去の最大一時停止レイテンシカウント =00100b、最大消去一時停止レイ テンシ = カウント +1* 単位 =5*8us=40us ビット 23:20= 消去再開から一時停止までの間隔カウント =0001b、間隔 = カウント +1*64us=2*64us=128us |
| 2Fh | | 44h | ビット 19:18= 進行中のプログラムの最大一時停止レイテンシ単位 (00b: 128ns、01b: 1us、10b: 8us、11b: 64us) =8us=10b ビット 17:13= 進行中のプログラムの最大一時停止レイテンシ カウント =00100b、最大消去一時停 止レイテンシ = カウント +1* 単位 =5*8us=40us ビット 12:9= プログラム再開から一時停止までの間隔カウント =0001b、間隔 = カウント +1*64us=2*64us=128us ビット 8=RFU=1b ビット 7:4= 消去一時停止中の禁止動作 =xxx0b: どこでも新しい消去を開始できません (消去ネスティングが許可されません)。 + xx0xb: どこでもページ プログラムを開始できません。 + x1xxb: 消去一時停止中のセクタ サイズ内で読み出しを開始できません。 + 1xxb: ビット 5:4 の消去およびプログラム制限は十分です。 =1100b ビット 3:0= プログラムが一時停止中に禁止される動作 =xxx0b: どこでも新しい消去を開始できない (消去ネスティングが非許可) + xx0xb: どこでも新しいページ プログラムを開始できません (プログラム ネスティングが許可さ れません)。 + x1xxb: プログラム一時停止中のページ サイズ内で読み出しを開始できません。 + 1xxb: ビット 1:0 の消去およびプログラム制限は十分です。 =1100b 2 進フィールド : 0-10-00100-0001-10-00100-0001-1-1100-1100 ニブル フォーマット : 0100_0100_0001_1000_1000_0011_1100_1100 16 進フォーマット : 44_18_83_CC |
| | | | |
| 30h | JEDEC 基本 フラッシュ パラメーター DWORD 13 | 7Ah | ビット 31:24= 消去一時停止命令 =75h |
| 31h | | 75h | ビット 23:16= 消去再開命令 =7Ah |
| 32h | | 7Ah | ビット 15:8= プログラム一時停止命令 =75h |
| 33h | | 75h | ビット 7:0= プログラム再開命令 =7Ah |

表 41. 基本 SPI フラッシュ パラメーター、JEDEC SFDP Rev. B(続き)

| SFDP パラメーター 関連のバイトアドレス | SFDP DWORD 名 | データ | 説明 |
|---------------------------|---|-----|--|
| 34h | JEDEC 基本 フラッシュ パラメーター DWORD 14 | F7h | ビット 31= ディープ パワー ダウン 対応 = 対応 =0 |
| 35h | | A2h | ビット 30:23= ディープ パワー ダウン 開始 命令 =B9h=1011_1001b |
| 36h | | D5h | ビット 22:15= ディープ パワー ダウン 終了 命令 =ABh=1010_1011b ビット 14:13= ディープ パワー ダウン 終了 から 次の動作 までの遅延単位 = (00b: 128ns、01b: 1us、10b: 8us、11b: 64us) =1us=01b |
| 37h | | 5Ch | ビット 12:8= ディープ パワー ダウン 終了 から 次の動作 までの遅延カウント =00010b (ディープ パワー ダウン 終了 から 次の動作 までの遅延 = (カウント +1)* 単位 =3*1us=3us) ビット 7:4=RFU=Fh ビット 3:2= デバイス ビジー 確認 用ステータス レジスタ ポーリング =01b: 従来のステータス ポーリング に対応 =05h 命令 でステータス レジスタ を読み出し、WIP ビット [0] を確認する (0= レディ ; 1= ビジー) ことで従来のポーリング を使用します。 ビット 1:0=RFU=11b 2 進フィールド : 0-10111001-10101011-01-00010-1111-01-11 ニブル フォーマット : 0101_1100_1101_0101_1010_0010_1111_0111 16 進フォーマット : 5C_D5_A2_F7 |
| 38h | JEDEC 基本 フラッシュ パラメーター DWORD 15 | 22h | ビット 31:24=RFU=FFh |
| 39h | | F6h | ビット 23= 保持 および WP ディセーブル = 非対応 =0b |
| 3Ah | | 5Dh | ビット 22:20= クアッド イネーブル 要件 =101b: QE はステータス レジスタ 2 のビット 1 です。ステータス レジスタ 1 はステータス読み出し 命令 05h で読み出されます。ステータス レジスタ 2 は命令 35h で読み出されます。QE は 2 バイト目のビット 1 が「1」である 2 データ バイトのステータス書き込み命令 01h でセットされます。QE は、2 バイト目のビット 1 が「0」である 2 データ バイトのステータス書き込み命令でクリアされます。 ビット 19:16=0-4-4 モード 開始方法 =xxx1b: モード ビット [7:0]=A5h 注: モード を使用する前に QE をセットする必要があります。 + x1xxb: モード ビット [7:0]=Axh + 1xxxb: RFU =1101b ビット 15:10=0-4-4 モード 終了方法 =xx_xxx1b: モード ビット [7:0]=00h は実行中の読み出し動作の終了時にモードを終了します。 + xx_1xxxb: 8 クロックの間 DQ0 ~ DQ3 に Fh (モード ビット リセット) を入力します。これにより、モードは次の読み出し動作の前に終了されます。 + 11_x1xx: RFU =111101 ビット 9=0-4-4 モード に対応 =1 ビット 8:4=4-4-4 モード イネーブル シーケンス =0_0010b: 38h 命令 を発行します。 ビット 3:0=4-4-4 モード ディセーブル シーケンス =0010b: 4-4-4 F5h 命令 を発行します。 2 進フィールド : 11111111-0-101-1101-111101-1-00010-0010 ニブル フォーマット : 1111_1111_0101_1101_1111_0110_0010_0010 16 進フォーマット : FF_5D_F6_22 |
| 3Bh | | FFh | |
| | | | |

表 41. 基本 SPI フラッシュ パラメーター、JEDEC SFDP Rev. B(続き)

| SFDP パラメーター 関連のバイトアドレス | SFDP DWORD 名 | データ | 説明 |
|---------------------------|---|-----|---|
| 3Ch | JEDEC 基本 フラッシュ パラメーター DWORD 16 | E8h | ビット 31:24=4 バイト アドレッシング開始 |
| 3Dh | | 50h | =xxxx_xxx1b: B7 命令を発行します (その前の書き込みイネーブルは必要ありません)。 |
| 3Eh | | F8h | =xxxx_1xxxb: A[30:24] ビットを定義するための 8 ビットの揮発性バンク レジスタです。MSb (ビット [7]) は 4 バイト アドレス モードを有効／無効にするために使用されます。MSb を「1」にセットすると、4 バイト アドレス モードがアクティブになり、A[30:24] ビットはドント ケアです。16h 命令で読み出されます。書き込み命令は 1 データ バイトの 17h 命令です。MSb を「0」にクリアすると、適切な A[30:24] ビットをセットすることでアクティブな 128Mb セグメントを選択し、3 バイト アドレッシングを使用します。 |
| 3Fh | | A1h | + xx1x_xxxxb: 専用の 4 バイト アドレス命令セットに対応します。命令セット定義は、ベンダーのデータシートを参照してください。あるいは、4 バイト アドレス パラメーター表をお探してください。 + 1xxx_xxxxb: 予約済み =10100001b ビット 23:14=4 バイト アドレッシング終了 =xx_xxxx_xxx1b: 命令 E9h を発行して 4 バイト アドレス モードを終了します (書き込みイネーブル命令 06h は必要ありません)。 =xx_xxxx_1xxxb: A[30:24] ビットを定義するための 8 ビット揮発性バンク レジスタです。MSb (ビット [7]) は 4 バイト アドレス モードを有効／無効にするために使用されます。MSb を「0」にクリアすると、3 バイト アドレス モードがアクティブになり、A30:A24 がアクティブな 128Mb メモリ セグメントを選択するために使用されます。16h 命令で読み出されます。書き込み命令は 1 データ バイト長の命令 17h です。 + xx_xx1x_xxxxb: ハードウェア リセット + xx_x1xx_xxxxb: ソフトウェア リセット (この DWORD のビット 13:8 を参照してください) + xx_1xxx_xxxxb: パワー サイクル + x1_xxxx_xxxxb: 予約済み + 1x_xxxx_xxxxb: 予約済み =1111100001b ビット 13:8= ソフト リセットおよび回復シーケンス対応 =x1_xxxxb: リセット イネーブル命令 66h に続いてリセット命令 99h を発行します。リセット イネーブルおよびリセット シーケンスは、デバイスの動作モードに応じて 1、2 または 4 ワイヤ上で発行します。 =010000b ビット 7=RFU=1 ビット 6:0= 揮発性または不揮発性レジスタおよびステータス レジスタ 1 の書き込みイネーブル命令 =xxx_1xxxb: 不揮発性／揮発性ステータス レジスタ 1 の電源投入後の値は不揮発性ステータス レジスタに書き込まれた直前の値です。命令 06h を使用して不揮発性ステータス レジスタへの書き込みを有効にします。電源投入後、揮発性ステータス レジスタは不揮発性ステータス レジスタをオーバーライドするためにアクティブにされる可能性があります。50h 命令を使用して書き込みを有効にし、揮発性ステータス レジスタをアクティブにします。 +x1x_xxxxb: 予約済み +1xx_xxxxb: 予約済み =1101000b 2 進フィールド : 10100001-1111100001-010000-1-1101000 ニブル フォーマット : 1010_0001_1111_1000_0101_0000_1110_1000 16 進フォーマット : A1_F8_60_E8 |

10.1.4 JEDEC SFDP 4 バイト アドレス命令テーブル

表 42. 4 バイト アドレス命令、JEDEC SFDP Rev. B

| SFDP パラメーター関連の バイト アドレス | SFDP DWORD 名 | データ | 説明 |
|----------------------------|--|-----|--|
| 40h | JEDEC 4 バイト アドレス 命令パラメーター DWORD-1h | FBh | 対応 =1、非対応 =0 ビット 31:20=RFU=FFFh ビット 19= 不揮発性個別セクタ ロック書き込みコマンドの対応、命令 =E3h=0 ビット 18= 不揮発性個別セクタ ロック読み出しコマンドの対応、命令 =E2h=0 ビット 17= 揮発性個別セクタ ロック書き込みコマンドの対応、命令 =E1h=1 ビット 16= 揮発性個別セクタ ロック読み出しコマンドの対応、命令 =E0h=1 ビット 15= (1-4-4) DTR_Read コマンドの対応、命令 =EEh=1 ビット 14= (1-2-2) DTR_Read コマンドの対応、命令 =BEh=0 ビット 13= (1-1-1) DTR_Read コマンドの対応、命令 =0Eh=0 ビット 12= 消去コマンド タイプ 4 の対応 =0 ビット 11= 消去コマンド タイプ 3 の対応 =1 ビット 10= 消去コマンド タイプ 2 の対応 =1 ビット 9= 消去コマンド タイプ 1 の対応 =1 ビット 8= (1-4-4) ページ プログラム コマンドの対応、命令 =3Eh=0 ビット 7= (1-1-4) ページ プログラム コマンドの対応、命令 =34h=1 ビット 6= (1-1-1) ページ プログラム コマンドの対応、命令 =12h=1 ビット 5= (1-4-4) FAST_READ コマンドの対応、命令 =ECh=1 ビット 4= (1-1-4) FAST_READ コマンドの対応、命令 =6Ch=1 ビット 3= (1-2-2) FAST_READ コマンドの対応、命令 =BCh=1 ビット 2= (1-1-2) FAST_READ コマンドの対応、命令 =3Ch=0 ビット 1= (1-1-1) FAST_READ コマンドの対応、命令 =0Ch=1 ビット 0= (1-1-1) READ コマンドの対応、命令 =13h=1 ニブル フォーマット : 1111_1111_1111_0011_1000_1110_1111_1011 16 進フォーマット : FF_F3_8E_FB |
| 41h | | 8Eh | |
| 42h | | F3h | |
| 43h | | FFh | |
| 44h | JEDEC 4 バイト アドレス 命令パラメーター DWORD-2h | 21h | ビット 31:24=FFh= 消去タイプ 4 用命令 : RFU ビット 23:16=DCh= 消去タイプ 3 用命令 : ブロック ビット 15:8=52h= 消去タイプ 2 用命令 : ハーフ ブロック ビット 7:0=21h= 消去タイプ 1 用命令 : セクタ |
| 45h | | 52h | |
| 46h | | DCh | |
| 47h | | FFh | |

10.2 デバイス ID アドレス マップ

10.2.1 フィールドの定義

表 43. メーカー デバイス タイプ

| バイト アドレス | データ | 説明 |
|----------|------------|------------------------------------|
| 00h | 01h | サイプレスのメーカー ID |
| 01h | 60h | デバイス ID の最上位バイト - メモリ インターフェース タイプ |
| 02h | 17h (64Mb) | デバイス ID の最下位バイト - 容量および機能 |
| 03h | 未定義 | 将来使用するために予約済み |

表 44. 固有デバイス ID

| バイト アドレス | データ | 説明 |
|----------|----------------|--|
| 00h ~ 07 | 8 バイト固有デバイス ID | 64 ビット固有 ID 番号です。 24 ページの 6.3.1 固有デバイス ID 節を参照してください。 |

10.3 工場出荷時の初期状態

デバイスは不揮発性ビットが以下のように設定されている状態でサイプレスから出荷されます。

- メモリ アレイ全体が消去されている、すなわち、全ビットが「1」にセットされています (各バイトの値は FFh です)。
- セキュリティ領域アドレス空間は全バイトが FFh に消去されています。
- SFDP アドレス空間は SFDP アドレス空間の記述で定義された値を含んでいます。
- ID アドレス空間は ID アドレス空間の記述で定義された値を含んでいます。
- 不揮発性ステータス レジスタ 1 の値は 00h です (全 SR1NV ビットは「0」にクリアされています)。
- 不揮発性コンフィギュレーション レジスタ 1 の値は 00h です。
- 不揮発性コンフィギュレーション レジスタ 2 の値は 60h です。
- 不揮発性コンフィギュレーション レジスタ 3 の値は 78h です。
- パスワード レジスタの値は FFFFFFFF-FFFFFFFh です。
- IRP レジスタ ビットは、標準デバイスは FFFDh、高セキュリティのデバイスは FFFFh です。
- PRPR レジスタ ビットは FFFFFh です。

11. 電氣的仕様

11.1 絶対最大定格

(注 65)

| | |
|---|-------------------------------|
| プラスチック パッケージの保管温度 | -65°C ~ +150°C |
| 通電時の周囲温度 | -65°C ~ +125°C |
| V _{CC} | -0.5V ~ +4.0V |
| グラウンド (V _{SS}) を基準にした入力電圧 ^[64] | -0.5V ~ V _{CC} +0.5V |
| 出力短絡電流 ^[63] | 100mA |

11.2 ラッチアップ特性

表 45. ラッチアップ仕様 ^[66]

| 説明 | Min | Max | 単位 |
|--|------|----------------------|----|
| すべての入力接続での、V _{SS} を基準とした入力電圧 | -1.0 | V _{CC} +1.0 | V |
| すべての入出力接続での、V _{SS} を基準とした入力電圧 | -1.0 | V _{CC} +1.0 | |
| V _{CC} 電流 | -100 | +100 | mA |

11.3 熱抵抗

表 46. 熱抵抗

| パラメーター | 説明 | SOC008 | FAB024 | FAC024 | SO316 | UNF008 | 単位 |
|----------|------------------|--------|--------|--------|-------|--------|------|
| Theta JA | 熱抵抗 (接合部から周囲) | 65.8 | 46.9 | 39 | 45.7 | 34 | °C/W |

11.4 動作範囲

動作範囲は、デバイスの正常な機能が保証される範囲を定めたものです。

11.4.1 電源電圧

V_{CC} 2.7V ~ 3.6V

11.4.2 温度範囲

| パラメーター | 記号 | デバイス | 仕様 | | 単位 |
|--------|----------------|--------------------------|-----|------|----|
| | | | Min | Max | |
| 周囲温度 | T _A | 産業用 (I) | -40 | +85 | °C |
| | | 産業用プラス (V) | -40 | +105 | |
| | | 車載向け、AEC-Q100 グレード 3 (A) | -40 | +85 | |
| | | 車載向け、AEC-Q100 グレード 2 (B) | -40 | +105 | |
| | | 車載向け、AEC-Q100 グレード 1 (M) | -40 | +125 | |

注：

63. 信号遷移時に許可された最大値は 119 ページの 11.4.3 入力信号オーバーシュート節を参照してください。

64. 複数の出力を同時にグラウンドに短絡することはできません。短絡時間は 1 秒を超えてはなりません。

65. デバイスは、「118 ページの 11.1 絶対最大定格節」に記載されている動作範囲を超えて動作させると、回復不能な損傷を受ける場合があります。ただし、これはストレスのみに対する定格です。上記の条件あるいは本データシートの動作説明の各節に記載されている条件を超える条件におけるデバイスの機能動作は保証されません。長時間にわたってデバイスを絶対最大定格条件に放置すると、デバイスの信頼性に影響を与えます。

66. 電源電圧 V_{CC} を除外します。テスト条件：V_{CC}=3.0V、一度に 1 つの接続をテストし、テストされていないピンは V_{SS} です。

11.4.3 入力信号オーバーシュート

DC 条件において、入力または I/O 信号は V_{SS} と V_{CC} の電圧範囲内にいることが必要です。電圧変動中、入力または I/O は最大 20ns の間 $V_{SS}-1.0V$ または $V_{CC}+1.0V$ にオーバーシュートする可能性があります。

図 129. 最大負オーバーシュート波形

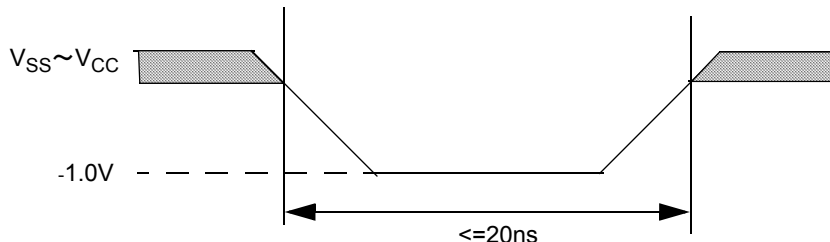
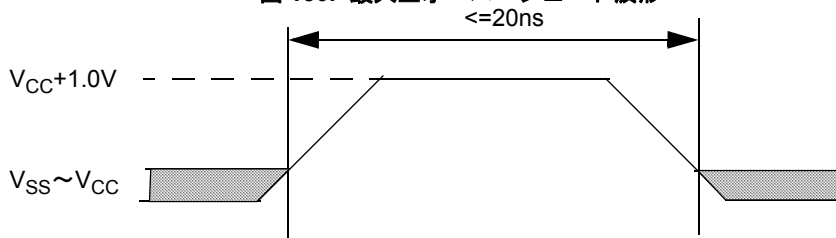


図 130. 最大正オーバーシュート波形



11.5 電源投入および電源切断

電源投入および電源切断時に、以下のように V_{CC} が正しい値に達するまでデバイスを選択してはいけません (すなわち、CS# は V_{CC} に印加する電圧に応じる必要があります)。

■ 電源投入後、 t_{PU} の遅延時間が経過した後に V_{CC} (Min)

■ 電源切断時に V_{SS}

ユーザーは、 V_{CC} が最小 V_{CC} 閾値を超えてから t_{PU} の有効遅延が経過するまで、あらゆるコマンドを入力してはいけません。120 ページの図 131 を参照してください。ただし、 t_{PU} 中に V_{CC} が V_{CC} (Min) を下回った場合、デバイスの正常な動作は保証されません。 t_{PU} の終了まで、コマンドをデバイスに送信しないようにしてください。

デバイスは t_{PU} 中に I_{POR} を消費します。電源投入 (t_{PU}) の後、デバイスはスタンバイ モードにあり、CMOS スタンバイ電流 (I_{SB}) を消費し、WEL ビットがリセットされます。

電源切断中または電圧が V_{CC} (Cut-off) を下回っている間、電圧は t_{PD} 時間の間 V_{CC} (Low) を下回る必要があります。これにより、デバイスは電源投入時に正常に初期化できます。120 ページの図 132 を参照してください。電圧低下中に、 V_{CC} が V_{CC} (Cut-off) を上回ったままの場合は、デバイスは初期化状態のままとなり、 V_{CC} が再度 V_{CC} (Min) を上回ったとき、正常に動作します。電源投入後にパワーオン リセット (POR) が正常に完了しない場合、RESET# のアサートまたはソフトウェア リセット コマンド (RSTEN 66h の後に RST 99h が続く) を受信することにより、POR プロセスが再起動されます。

組み込みプログラムまたは消去の実行中に V_{CC} が V_{CC} (Cut-off) を下回った場合、組み込み動作は中止され、メモリ領域にあるデータは正しくないことがあります。

デバイスで V_{CC} の電源を安定させるための電源レールのデカップリングは、注意して行ってください。システム内の各のデバイスには、パッケージ電源接続に近接する適切なコンデンサ (通常、約 0.1 μ f) によりデカップリングされた V_{CC} レールが必要です。

表 47. 電源投入／電源切断の電圧とタイミング

| 記号 | パラメーター | Min | Max | 単位 |
|--------------------------|------------------------------------|---------------------|-----|---------------|
| $V_{CC}(\text{min})$ | V_{CC} (最小動作電圧) | 2.7 | | V |
| $V_{CC}(\text{cut-off})$ | V_{CC} (再初期化が必要となるカットオフ電圧) | 2.4 ^[67] | | |
| $V_{CC}(\text{low})$ | V_{CC} (初期化が起こる低電圧) | 1.0 ^[68] | | |
| t_{PU} | $V_{CC}(\text{min})$ から読み出し動作までの時間 | | 300 | μs |
| t_{PD} | $V_{CC}(\text{low})$ 時間 | 10.0 | | |

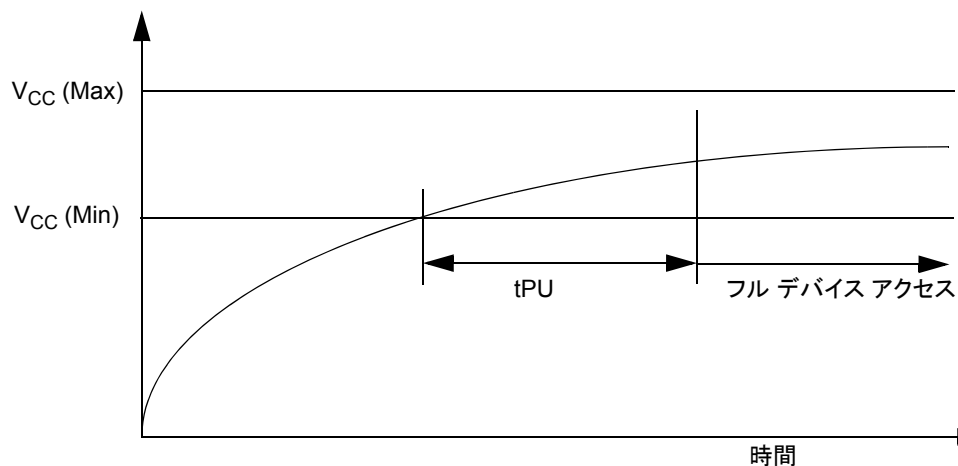
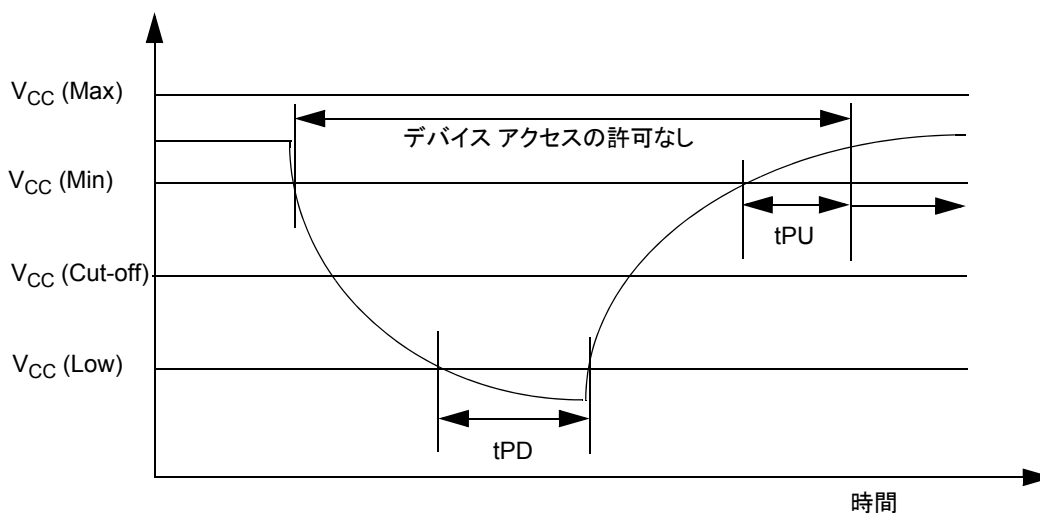
図 131. 電源投入^[67, 68]


図 132. 電源切断と電圧低下


注：

67. V_{CC} が 2.4V 以下に低下した場合再初期化が必要です。

68. 初期化を行うためには V_{CC} を 1.0V 以下に下げする必要があります。

11.6 直流規格

表 48. DC 特性 — 動作温度範囲 -40°C ~ +85°C

| 記号 | パラメーター | テスト条件 | Min | Typ ^[69] | Max | 単位 |
|---------------------------|----------------------------------|---|---------------------|--|--|---------------|
| V_{IL} | 入力 LOW 電圧 | | -0.5 | | $0.3 \times V_{CC}$ | V |
| V_{IH} | 入力 HIGH 電圧 | | $0.7 \times V_{CC}$ | | $V_{CC} + 0.4$ | |
| V_{OL} | 出力 LOW 電圧 | $I_{OL} = 0.1\text{mA}$, $V_{CC} = V_{CC \text{ min}}$ | | | 0.2 | |
| V_{OH} | 出力 HIGH 電圧 | $I_{OH} = -0.1\text{mA}$ | $V_{CC} - 0.2$ | | | |
| I_{LI} | 入力リーク電流 | $V_{CC} = V_{CC \text{ Max}}$, $V_{IN} = V_{IH}$ または V_{SS} , $CS\# = V_{IH}$ | | | ± 2 | μA |
| I_{LO} | 出力リーク電流 | $V_{CC} = V_{CC \text{ Max}}$, $V_{IN} = V_{IH}$ または V_{SS} , $CS\# = V_{IH}$ | | | ± 2 | |
| I_{CC1} | アクティブ供給電流 (READ) ^[70] | 5MHz でのシリアル SDR 10MHz でのシリアル SDR 20MHz でのシリアル SDR 50MHz でのシリアル SDR 108MHz でのシリアル SDR 108MHz での QIO / QPI SDR 30MHz での QIO / QPI DDR 54MHz での QIO / QPI DDR | | 10 10 10 15 20 20 15 17 | 15 15 15 20 25 30 20 25 | mA |
| I_{CC2} | アクティブ供給電流 (ページプログラム) | $CS\# = V_{CC}$ | | 17 | 25 | |
| I_{CC3} | アクティブ供給電流 (WRR または WRAR) | $CS\# = V_{CC}$ | | 11 | 20 | |
| I_{CC4} | アクティブ供給電流 (SE) | $CS\# = V_{CC}$ | | 17 | 25 | |
| I_{CC5} | アクティブ供給電流 (HBE、BE) | $CS\# = V_{CC}$ | | 15 | 25 | |
| I_{SB} | スタンバイ電流 | RESET#, $CS\# = V_{CC}$; SI, $SCK = V_{CC}$ または V_{SS} ; SPI、デュアル I/O、クアッド I/O モード | | 20 | 30 | μA |
| | | RESET#, $CS\# = V_{CC}$; SI, $SCK = V_{CC}$ または V_{SS} ; QPI モード | | 35 | 55 | |
| I_{DPD} | ディープ パワー ダウン電流 | RESET#, $CS\# = V_{CC}$, $V_{IN} = \text{GND}$ または V_{CC} | | 2 | 20 | |
| I_{POR} ^[71] | パワー オン リセット電流 | RESET#, $CS\# = V_{CC}$; SI, $SCK = V_{CC}$ または V_{SS} | | 3 | 5 | mA |

注：

69. Typ 値は $T_{AI} = 25^\circ\text{C}$ および $V_{CC} = 3.0\text{V}$ のときです。

70. 読み出しデータの返しの間、出力は未接続です。出力スイッチング電流は含まれていません。

71. POR のときには、指定された平均時間 t_{PU} の間、突入／ピーク電流は最大 25mA です。

表 49. DC 特性 — 動作温度範囲 -40°C ~ +105°C

| 記号 | パラメーター | テスト条件 | Min | Typ ^[72] | Max | 単位 |
|---------------------------|----------------------------------|---|---------------------|---------------------|---------------------|---------------|
| V_{IL} | 入力 LOW 電圧 | | -0.5 | | $0.3 \times V_{CC}$ | V |
| V_{IH} | 入力 HIGH 電圧 | | $0.7 \times V_{CC}$ | | $V_{CC} + 0.4$ | |
| V_{OL} | 出力 LOW 電圧 | $I_{OL} = 0.1\text{mA}$, $V_{CC} = V_{CC \text{ min}}$ | | | 0.2 | |
| V_{OH} | 出力 HIGH 電圧 | $I_{OH} = -0.1\text{mA}$ | $V_{CC} - 0.2$ | | | |
| I_{LI} | 入力リーク電流 | $V_{CC} = V_{CC \text{ Max}}$, $V_{IN} = V_{IH}$ または V_{SS} , $CS\# = V_{IH}$ | | | ± 4 | μA |
| I_{LO} | 出力リーク電流 | $V_{CC} = V_{CC \text{ Max}}$, $V_{IN} = V_{IH}$ または V_{SS} , $CS\# = V_{IH}$ | | | ± 4 | |
| I_{CC1} | アクティブ供給電流 (READ) ^[73] | 5MHz でのシリアル SDR | | 10 | 15 | mA |
| | | 10MHz でのシリアル SDR | | 10 | 15 | |
| | | 20MHz でのシリアル SDR | | 10 | 20 | |
| | | 50MHz でのシリアル SDR | | 15 | 25 | |
| | | 108MHz でのシリアル SDR | | 20 | 30 | |
| | | 108MHz での QIO / QPI SDR | | 20 | 30 | |
| | | 30MHz での QIO / QPI DDR | | 15 | 15 | |
| | | 54MHz での QIO / QPI DDR | | 17 | 25 | |
| I_{CC2} | アクティブ供給電流 (ページプログラム) | $CS\# = V_{CC}$ | | 17 | 25 | mA |
| I_{CC3} | アクティブ供給電流 (WRR または WRAR) | $CS\# = V_{CC}$ | | 11 | 20 | |
| I_{CC4} | アクティブ供給電流 (SE) | $CS\# = V_{CC}$ | | 17 | 25 | |
| I_{CC5} | アクティブ供給電流 (HBE、BE) | $CS\# = V_{CC}$ | | 15 | 25 | |
| I_{SB} | スタンバイ電流 | RESET#, $CS\# = V_{CC}$; SI, $SCK = V_{CC}$ または V_{SS} ; SPI、デュアル I/O、クアッド I/O モード | | 20 | 40 | μA |
| | | RESET#, $CS\# = V_{CC}$; SI, $SCK = V_{CC}$ または V_{SS} ; QPI モード | | 35 | 70 | |
| I_{DPD} | ディープ パワー ダウン電流 | RESET#, $CS\# = V_{CC}$, $V_{IN} = \text{GND}$ または V_{CC} | | 2 | 30 | |
| I_{POR} ^[74] | パワー オン リセット電流 | RESET#, $CS\# = V_{CC}$; SI, $SCK = V_{CC}$ または V_{SS} | | 3 | 7 | mA |

注：

 72. Typ 値は $T_A = 25^\circ\text{C}$ および $V_{CC} = 3.0\text{V}$ のときです。

73. 読み出しデータの返しの間、出力は未接続です。出力スイッチング電流が含まれていません。

 74. POR のときには、指定された平均時間 t_{PU} の間、突入／ピーク電流は最大 25mA です。

表 50. DC 特性 — 動作温度範囲 -40°C ~ +125°C

| 記号 | パラメーター | テスト条件 | Min | Typ ^[75] | Max | 単位 |
|------------------|----------------------------------|---|---------------------|---------------------|---------------------|---------------|
| V_{IL} | 入力 LOW 電圧 | | -0.5 | | $0.3 \times V_{CC}$ | V |
| V_{IH} | 入力 HIGH 電圧 | | $0.7 \times V_{CC}$ | | $V_{CC} + 0.4$ | |
| V_{OL} | 出力 LOW 電圧 | $I_{OL} = 0.1\text{mA}$, $V_{CC} = V_{CC \text{ min}}$ | | | 0.2 | |
| V_{OH} | 出力 HIGH 電圧 | $I_{OH} = -0.1\text{mA}$ | $V_{CC} - 0.2$ | | | |
| I_{LI} | 入力リーク電流 | $V_{CC} = V_{CC \text{ Max}}$, $V_{IN} = V_{IH}$ または V_{SS} , $CS\# = V_{IH}$ | | | ± 4 | μA |
| I_{LO} | 出力リーク電流 | $V_{CC} = V_{CC \text{ Max}}$, $V_{IN} = V_{IH}$ または V_{SS} , $CS\# = V_{IH}$ | | | ± 4 | |
| I_{CC1} | アクティブ供給電流 (READ) ^[76] | 5MHz でのシリアル SDR | | 10 | 15 | mA |
| | | 10MHz でのシリアル SDR | | 10 | 15 | |
| | | 20MHz でのシリアル SDR | | 10 | 20 | |
| | | 50MHz でのシリアル SDR | | 15 | 25 | |
| | | 108MHz でのシリアル SDR | | 20 | 30 | |
| | | 108MHz での QIO / QPI SDR | | 20 | 30 | |
| | | 30MHz での QIO / QPI DDR | | 15 | 15 | |
| | | 54MHz での QIO / QPI DDR | | 17 | 25 | |
| I_{CC2} | アクティブ供給電流 (ページプログラム) | $CS\# = V_{CC}$ | | 17 | 25 | mA |
| I_{CC3} | アクティブ供給電流 (WRR または WRAR) | $CS\# = V_{CC}$ | | 11 | 20 | |
| I_{CC4} | アクティブ供給電流 (SE) | $CS\# = V_{CC}$ | | 17 | 25 | |
| I_{CC5} | アクティブ供給電流 (HBE、BE) | $CS\# = V_{CC}$ | | 15 | 25 | |
| I_{SB} | スタンバイ電流 | RESET#, $CS\# = V_{CC}$; SI, $SCK = V_{CC}$ または V_{SS} ; SPI、デュアル I/O、クアッド I/O モード | | 20 | 60 | μA |
| | | RESET#, $CS\# = V_{CC}$; SI, $SCK = V_{CC}$ または V_{SS} ; QPI モード | | 35 | 70 | |
| I_{DPD} | ディープ パワー ダウン電流 | RESET#, $CS\# = V_{CC}$, $V_{IN} = \text{GND}$ または V_{CC} | | 2 | 40 | mA |
| $I_{POR}^{[77]}$ | パワー オン リセット電流 | RESET#, $CS\# = V_{CC}$; SI, $SCK = V_{CC}$ または V_{SS} | | 3 | 9 | |

注：

75. Typ 値は $T_{AI} = 25^\circ\text{C}$ および $V_{CC} = 3.0\text{V}$ のときです。

76. 読み出しデータの返しの間、出力は未接続です。出力スイッチング電流が含まれていません。

77. POR のときには、指定された平均時間 t_{PU} の間、突入／ピーク電流は最大 25mA です。

11.6.1 アクティブ電力モードおよびスタンバイ電力モード

チップ セレクト ($CS\#$) が LOW のとき、デバイスは有効になっており、アクティブ消費電力モードになります。 $CS\#$ が HIGH のとき、デバイスは無効になっていますが、すべてのプログラム、消去および書き込み動作が完了するまではアクティブ消費電力モードのままです。その後、デバイスはスタンバイ電力モードに移行し、消費電力は I_{SB} に低下します。

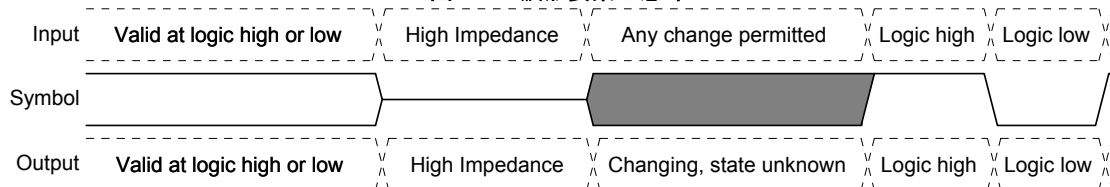
11.6.2 ディープ パワー ダウン電力モード (DPD)

コマンド命令コード「B9h」を入力することでディープ パワー ダウン電力モードは有効になり、電力消費量は I_{DPD} に低下します。DPD モードでは、デバイスは DPD 終了コマンド (RES ABh) とハードウェア リセット (RESET# および IO3 / RESET#) のみに応答します。他のコマンドは DPD モードの間無視されます。

12. タイミング仕様

12.1 スイッチング波形

図 133. 波形要素の意味



12.2 交流テスト条件

図 134. テスト セットアップ

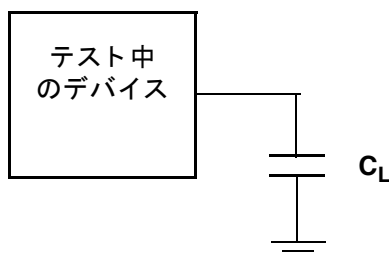


表 51. AC 測定条件

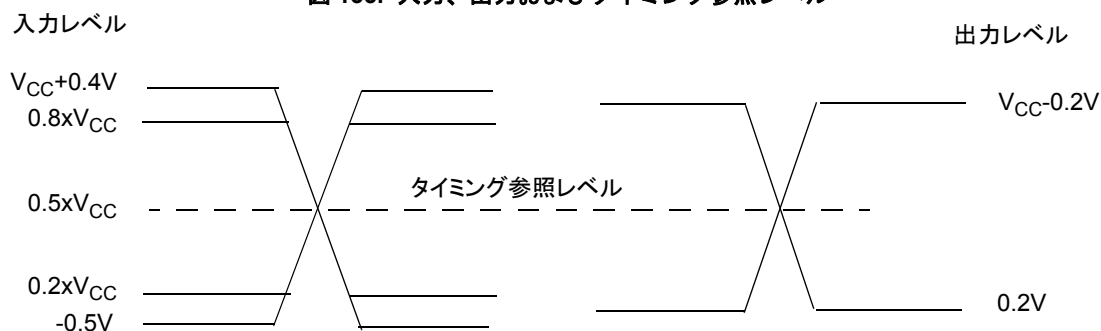
| 記号 | パラメーター | Min | Max | 単位 |
|----------------|-------------|----------------------|-------------------------|----|
| C _L | 負荷容量 | | 15 / 30 ^[78] | pF |
| | 入力パルス電圧 | 0.2× V _{CC} | 0.8 V _{CC} | V |
| | 入力タイミング参照電圧 | 0.5 V _{CC} | | |
| | 出力タイミング参照電圧 | 0.5 V _{CC} | | |

注：

78. 負荷容量は動作周波数または動作モードによって異なります。

79. AC 特性表ではクロックおよびデータ信号が同じスロー レート（スロープ）を持っていることを想定しています。動作周波数でのスロー レートは [128 ページの 54SDR AC 特性^{\[42\]}](#) 節の注 88 を参照してください。

図 135. 入力、出力およびタイミング参照レベル



12.2.1 静電容量特性

表 52. 静電容量

| 記号 | パラメーター | テスト条件 | Min | Max | 単位 |
|-----------|--|-------|-----|-----|----|
| C_{IN} | 入力静電容量 (SCK、CS#、RESET#、IO3 / RESET# に適用) | 1MHz | | 8 | pF |
| C_{OUT} | 出力静電容量 (全 I/O に適用) | 1MHz | | 8 | |

12.3 リセット

消去、プログラムまたはレジスタの書き込み動作中にハードウェア リセットが開始される場合、セクタ、ページまたはレジスタのデータは安定せず、中断された動作は再び始めから開始する必要があります。ソフトウェア リセット実行中にハードウェア リセットが開始されると、無視されることがあります。

12.3.1 パワーオン (コールド) リセット

デバイスは、 V_{CC} が最小 V_{CC} 閾値を超えてから t_{PU} の遅延時間が経過するまで、パワーオン リセット (POR) プロセスを実行します。120 ページの図 131 と 120 ページの表 47 を参照してください。電源投入 (t_{PU}) 中にデバイスは選択してはいけません (CS# が V_{CC} の上がりとともに HIGH になります)。すなわち、 t_{PU} の終わりまでデバイスに送られるコマンドはありません。

POR 中には RESET# および IO3 / RESET# リセット機能は無視されます。RESET# または IO3 / RESET# が POR 中に LOW であり、 t_{PU} 時間中およびこの時間が経過した後でも LOW のままであれば、CS# は、RESET# と IO3 / RESET# が HIGH に戻った後の t_{RH} まで HIGH に維持する必要があります。LOW に戻ってハードウェア リセットを開始する前に、RESET# と IO3 / RESET# は、 t_{RS} より長い時間 HIGH である必要があります。

IO3 / RESET# 入力は、CS# が t_{CS} 値より長い時間で HIGH である場合、またはクアッド / QPI モードが有効でない (CR1V[1]=0 または CR2V[3]=0) 場合、RESET# 信号として機能します。

図 136. POR 終了時に RESET# LOW

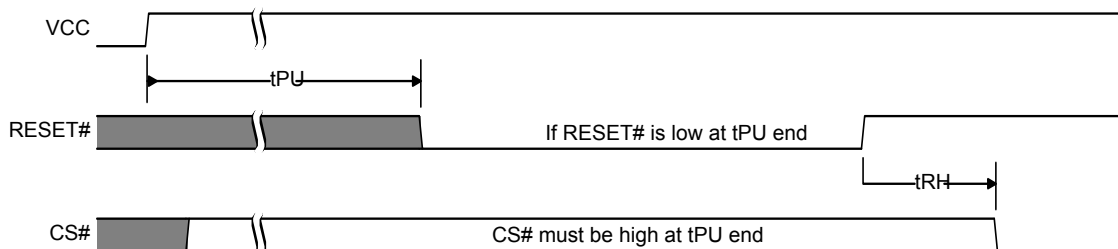


図 137. POR 終了時に RESET# HIGH

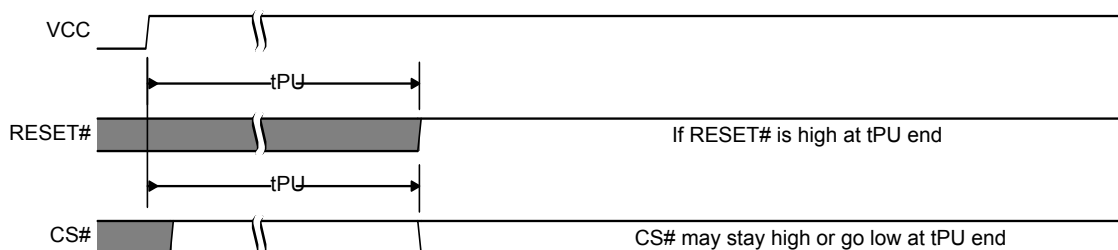


図 138. POR 後にハードウェア リセットが続く



12.3.2 RESET# および IO3 / RESET# 入力により開始されるハードウェア (ウォーム) リセット

RESET# および IO3 / RESET# 入力は RESET# 信号として機能できます。双方の入力は一定の条件下でリセット動作を開始できます。

V_{IH} から V_{IL} へ遷移する時間が t_{RP} より長い場合、RESET# 入力はリセット動作を開始し、デバイスはパワーオン リセット (POR) と同じ方法でレジスタの状態をリセットしますが、POR 中に行われる完全なリセット プロセスは実行しません。ハードウェア リセット プロセスは完了するのに t_{RPH} の時間を要します。RESET# 入力は 16 リード SOIC パッケージと BGA ボール パッケージのみで使用可能です。

IO3 / RESET# 入力は CS# が t_{CS} より長い時間 HIGH である場合、またはクアッドまたは QPI モードが有効でない (CR1V[1]=0 または CR2V[3]=0) 場合、リセット動作を開始します。IO3 / RESET# 入力は V_{CC} に接続する内部プルアップ抵抗を備えており、クアッドまたは QPI モードが使用されない場合は開放のままにできます。CS# が HIGH になった後の t_{CS} 遅延により、メモリまたはホスト システムは、CS# が LOW の間 IO3 をクアッドまたは QPI モードの I/O 信号として使用した後、HIGH に駆動する時間を取れます。その後、 V_{CC} に接続する内部プルアップはホスト システムが IO3 / RESET# を駆動し始めるまで IO3 / RESET# を HIGH に保持します。意図しないリセット動作を回避するために、CS# が HIGH である t_{CS} 時間の間、IO3 / RESET# 入力は無視されます。新しいコマンドを開始するために CS# が LOW に駆動された場合、IO3 / RESET# は IO3 として使用されます。

デバイスがクアッド / QPI モードでない場合、または CS# が HIGH になり、かつ t_{CS} の後に IO3 / RESET# が V_{IH} から V_{IL} へ遷移する時間が t_{RP} より長い場合、デバイスはパワーオン リセットと同じ方法でレジスタの状態をリセットしますが、POR 中に行われる完全なリセット プロセスは実行しません。

ハードウェア リセット プロセスは完了するのに t_{RPH} の時間を要します。電源投入 (t_{PU}) 中にパワーオン リセット (POR) プロセスが何らかの理由で正常に完了しない場合、RESET# が LOW になると、ハードウェア リセット プロセスの代わりに完全な POR プロセスが開始され、POR プロセスを完了するのに t_{PU} 時間を要します。

ソフトウェア リセット コマンド (RSTEN 66h の後に RST 99h が続く) は RESET# および IO3 / RESET# の状態と無関係です。RESET# および IO3 / RESET# が HIGH または未接続になり、ソフトウェア リセットの命令が発行された場合、デバイスはソフトウェア リセットを行います。

追加の注意事項は以下のとおりです。

- RESET# と IO3 / RESET# 入力の両方が選択可能な場合、お使いのシステムに1つのみのリセット オプションを使用してください。CR2NV[7] を 0 にセットし (31 ページの表 12 を参照してください)、IO3 のみとして動作するよう IO3_RESET を設定することで、IO3 / RESET# 入力によるリセット動作を無効にできます。RESET# 入力を V_{IH} に接続しないことにより、RESET# 入力を無効にできます。RESET# および IO3 / RESET# は LOW に戻してハードウェア リセットを開始する前に、 t_{PU} / t_{RPH} の後の t_{RS} の間、HIGH にしなければなりません。
- IO3 / RESET# が t_{CS} の後、少なくとも t_{RP} の間 LOW に駆動された場合、デバイスは実行中の動作をすべて終了させ、すべての出力を高インピーダンスにし、 t_{RPH} の間読み出し / 書き込みコマンドをすべて無視します。デバイスはインターフェースをスタンバイ状態にリセットします。
- クアッドまたは QPI モードおよび IO3 / RESET# 機能が有効な場合、IO3 でのドライバーの競合を避けるために、ホスト システムは t_{CS} の間 IO3 を LOW に駆動してはいけません。クアッドまたは QPI モードでデータをホストに転送するコマンド (クアッド I/O 読み出しなど) の直後に、意図的でないリセット動作を回避するために、メモリは t_{CS} の間 IO3 / RESET# を HIGH に駆動します。クアッド モードでデータをメモリに転送するコマンド (ページ プログラムなど) の直後、意図的でないリセット動作を回避するために、ホスト システムは t_{CS} の間 IO3 / RESET# を HIGH に駆動する必要があります。
- クアッドまたは QPI モードが有効でなく、かつ IO3 / RESET# が LOW にアサートされているときに CS# が LOW の場合、CS# は t_{RH} 後に再度 LOW にアサートされる前に、 t_{RPH} の間 HIGH に戻さなければなりません。

表 53. ハードウェア リセット パラメーター [80, 81, 82]

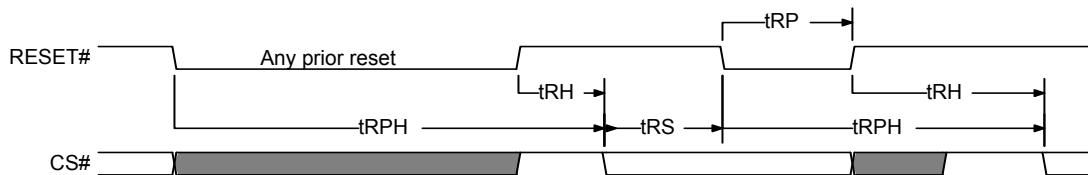
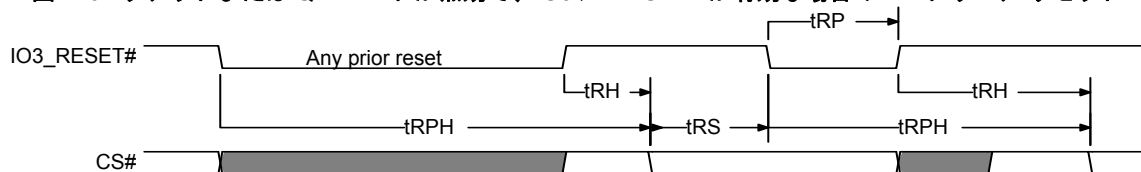
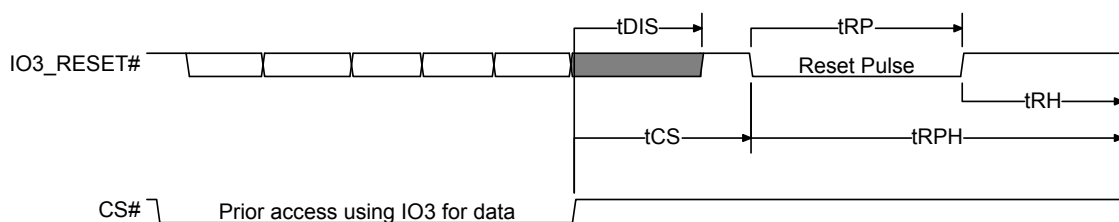
| パラメーター | 説明 | 限界 | 時間 | 単位 |
|-----------|---|-----|-----|---------|
| t_{RS} | リセット セットアップ時間: 先行のリセット 終了かつ RESET# HIGH から RESET# LOW までの時間 | Min | 50 | ns |
| t_{RPH} | リセット パルス ホールド時間: RESET# LOW から CS# LOW までの時間 | | 100 | μ s |
| t_{RP} | RESET# パルス幅 | | 200 | ns |
| t_{RH} | リセット ホールド時間: CS# LOW までの RESET# HIGH 時間 | | 150 | |

注:

80. 電源投入 (t_{PU}) 中は、RESET# および IO3 / RESET# LOW が無視されます。 t_{PU} の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、CS# が LOW になる時点は t_{RH} によって決まります。

81. クアッドまたは QPI モードが有効な場合、 t_{CS} の間 IO3 / RESET# の LOW は無視されます。

82. t_{RP} と t_{RH} の和は t_{RPH} 以上でなければなりません。

図 139. RESET# 入力によるハードウェア リセット

図 140. クアッドまたは QPI モードが無効で、IO3 / RESET# が有効な場合のハードウェア リセット

図 141. クアッドまたは QPI モードおよび IO3 / RESET# が有効な場合のハードウェア リセット


12.4 SDR 交流規格

表 54. SDR AC 特性^[42]

| 記号 | パラメーター | Min | Max | 単位 |
|------------------------|---|----------------------|--------------------------|---------|
| $F_{SCK, R}$ | READ および 4READ 命令用 SCK クロック周波数 | DC | 50 | MHz |
| $F_{SCK, C}$ | QOR、4QOR、DIOR、4DIOR、QIOR、4QIOR のデュアルおよびクアッド コマンド用 SCK クロック周波数 | DC | 108 | |
| P_{SCK} | SCK クロック周期 | $1/F_{SCK}$ | | |
| t_{WH} 、 t_{CH} | クロック HIGH 時間 | $50\% P_{SCK} - 5\%$ | | ns |
| t_{WL} 、 t_{CL} | クロック LOW 時間 | $50\% P_{SCK} - 5\%$ | | |
| t_{CRT} 、 t_{CLCH} | クロック立ち上がり時間 (スルー レート) ^[84] | 0.1 | | V/ns |
| t_{CFT} 、 t_{CHCL} | クロック立ち下がり時間 (スルー レート) ^[84] | 0.1 | | |
| t_{CS} | CS# HIGH 時間 (任意の読み出し命令) | 20 | | ns |
| | CS# HIGH 時間 (読み出し以外のすべての命令) | 50 | | |
| t_{CSS} | CS# アクティブ セットアップ時間 (SCK を基準とする) | 3 | | |
| t_{CSH} | CS# アクティブ ホールド時間 (SCK を基準とする) | 5 | | |
| t_{SU} | データ入力セットアップ時間 | 3 | | |
| t_{HD} | データ入力ホールド時間 | 2 | | |
| t_V | クロック LOW から出力有効までの時間 | | $8^{[84]}$ $6^{[85]}$ | |
| t_{HO} | 出力ホールド時間 | 1 | | |
| t_{DIS} | 出力無効時間 ^[86] | | 8 | |
| | 出力無効時間 (リセット機能とクアッド モードの両方が有効) | | $20^{[87]}$ | |
| t_{WPS} | WP# セットアップ時間 ^[88] | 20 | | μs |
| t_{WPH} | WP# ホールド時間 ^[88] | 100 | | |
| T_{DP} | CS# HIGH からディープ パワー ダウン モードまでの時間 | | 3 | |
| T_{RES} | CS# HIGH からディープ パワー ダウン モード終了までの時間 | | 5 | |
| t_{QEN} | QIO または QPI モード開始時間 (次のコマンドを発行するのに要する時間) | | 1.5 | |
| t_{QEXN} | QIO または QPI モード終了時間 (次のコマンドを発行するのに要する時間) | | 1 | |

注:

83. クロック立ち上がりとしち下がりの最小スルー レート (t_{CRT} 、 t_{CLCH}) は、高速クロック (108MHz) の場合、1.5V/ns で、低速クロック (50MHz) の場合、1.0V/ns です。

84. V_{CC} 範囲全体、 $CL=30pF$ 。

85. V_{CC} 範囲全体、 $CL=15pF$ 。

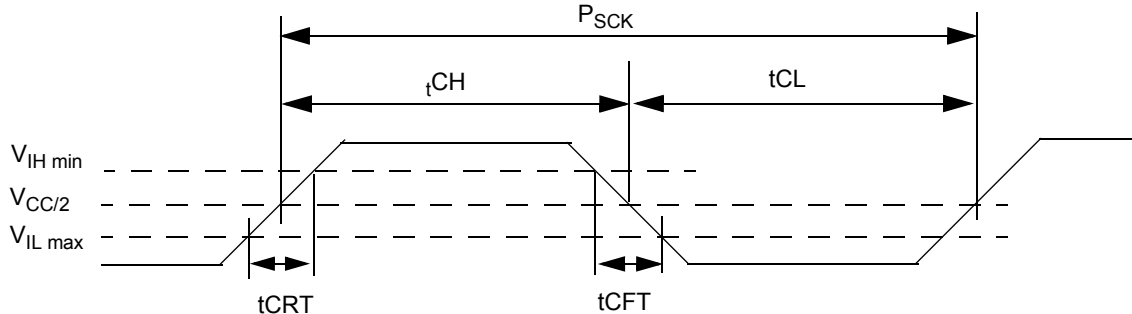
86. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。

87. リセット機能およびクアッド モードを有効にする場合 ($CR2V[7]=1$ 、 $CR1V[1]=1$)、 t_{DIS} は追加の時間を必要とします。

88. SRP0 に 1 をセットした場合、WRR または WRAR 命令の制約としてのみ適用可能です。

12.4.1 クロック タイミング

図 142. クロック タイミング



12.4.2 入力/出力タイミング

図 143. SPI シングル ビットの入力タイミング

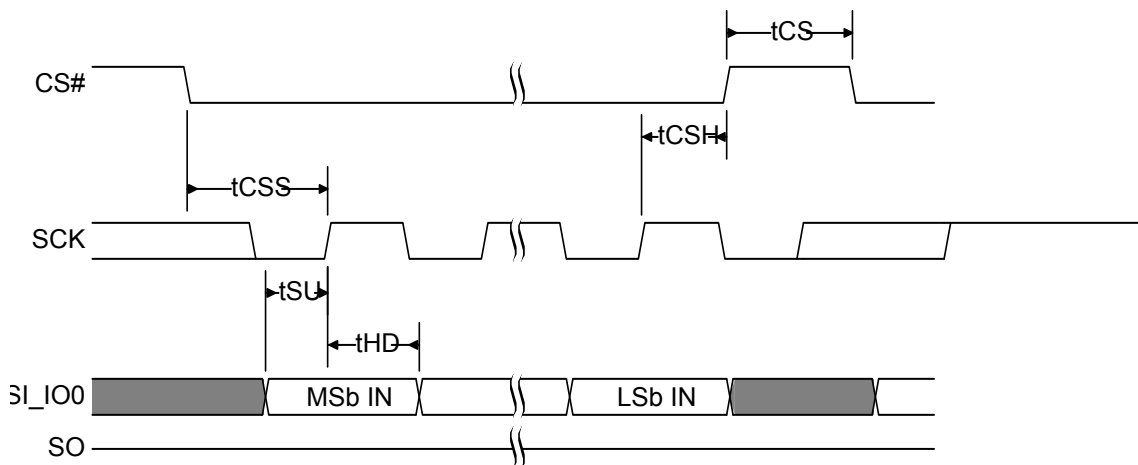


図 144. SPI シングル ビットの出カタイミング

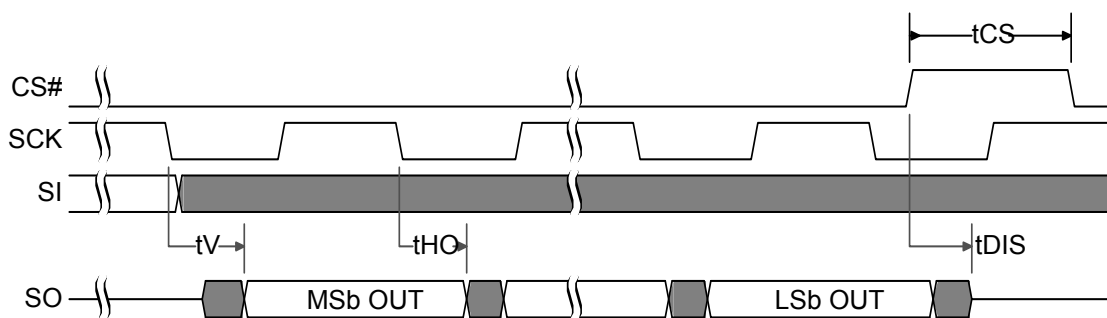


図 145. SDR MIO タイミング

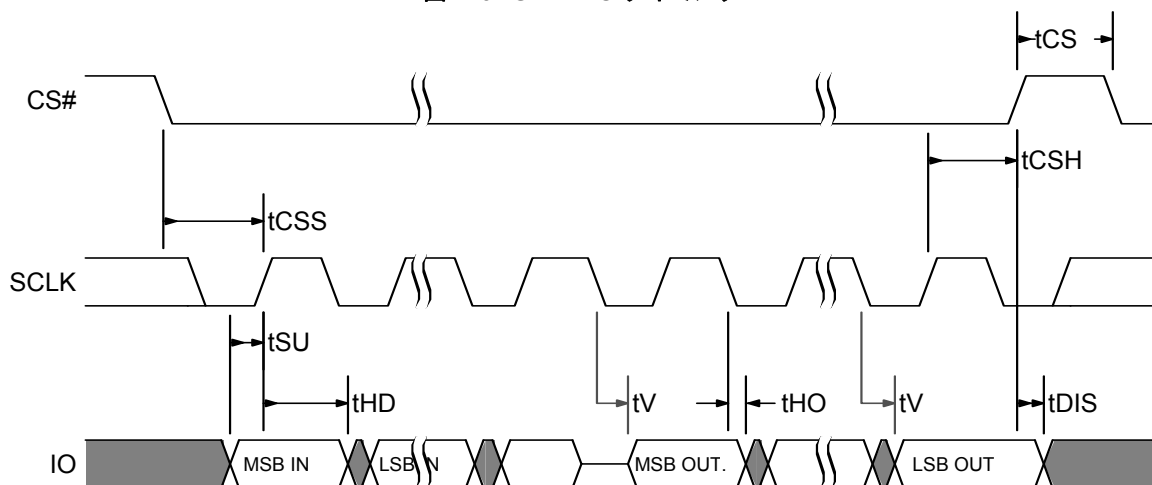
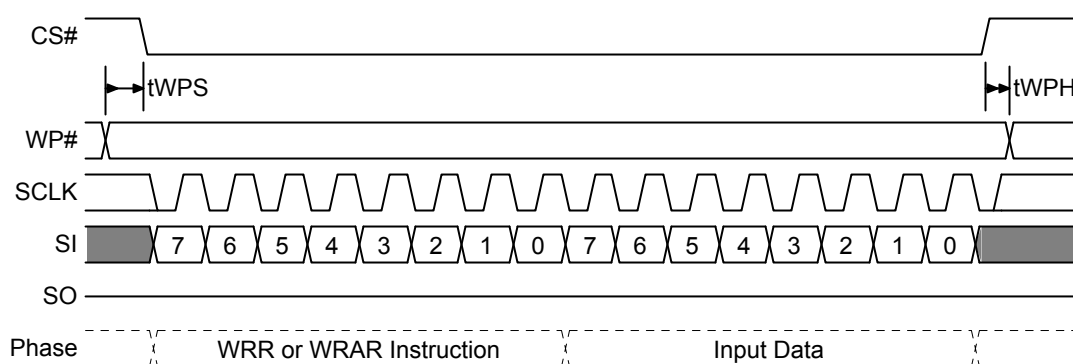


図 146. WP# 入力タイミング



12.5 DDR 交流規格

表 55. DDR AC 特性 — 54MHz 動作

| 記号 | パラメーター | Min | Max | 単位 |
|------------------|---|----------------------|--------------------------|------|
| $F_{SCK, R}$ | DDR READ 命令用 SCK クロック周波数 | DC | 54 | MHz |
| $P_{SCK, R}$ | DDR READ 命令用 SCK クロック周期 | $1/F_{SCK}$ | | ns |
| t_{crt} | クロック立ち上がり時間 (スルー レート) | 1.5 | | V/ns |
| t_{cft} | クロック立ち下がり時間 (スルー レート) | 1.5 | | |
| t_{WH}, t_{CH} | クロック HIGH 時間 | $50\% P_{SCK} - 5\%$ | | ns |
| t_{WL}, t_{CL} | クロック LOW 時間 | $50\% P_{SCK} - 5\%$ | | |
| t_{CS} | CS# HIGH 時間 (読み出し命令) CS# HIGH 時間 (リセット機能が有効なときの読み出し命令) | 20 50 | | |
| t_{CSS} | CS#アクティブ セットアップ時間 (SCKを基準とする) | 3 | | |
| t_{SU} | IO 入力セットアップ時間 | 3 | | |
| t_{HD} | IO 入力ホールド時間 | 2 | | |
| t_V | クロック LOW から出力有効までの時間 | | $8^{[89]}$ $6^{[90]}$ | |
| t_{HO} | 出力ホールド時間 | 1 | | |
| t_{DIS} | 出力無効時間 出力無効時間 (リセット機能が有効) | | 8 20 | |
| t_{O_skew} | 最初の IO から最後の IO までのデータ有効時間 | | $600^{[91]}$ | ps |

注：

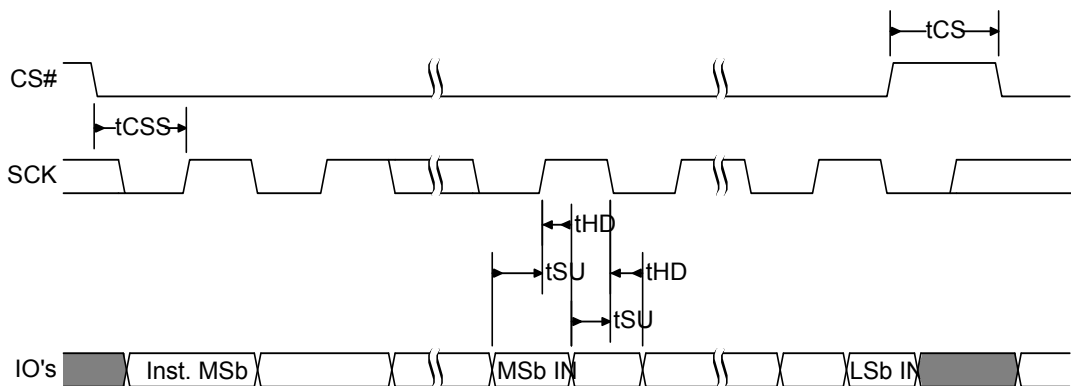
89. V_{CC} 範囲全体、 $CL=30pF$ 。

90. V_{CC} 範囲全体、 $CL=15pF$ 。

91. テストは行われていません。

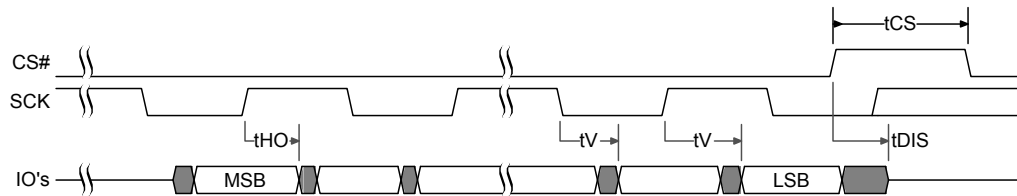
12.5.1 DDR 入力タイミング

図 147. SPI DDR 入力タイミング



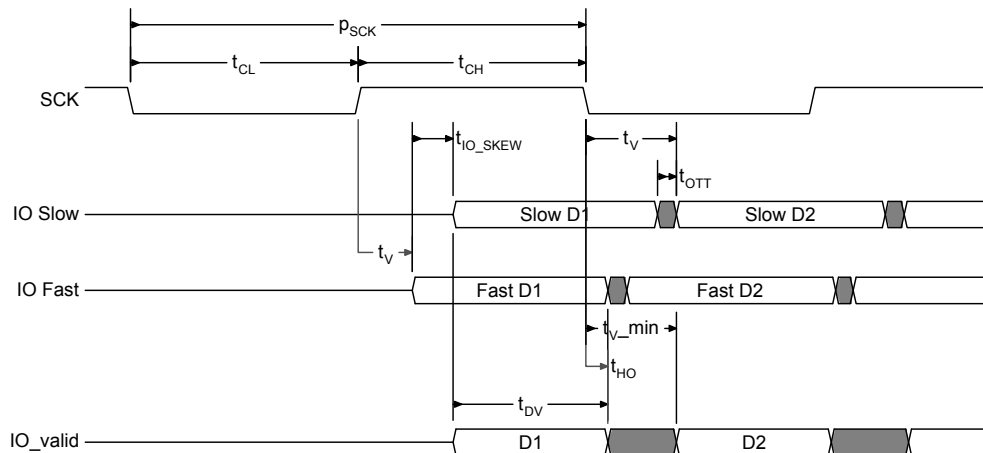
12.5.2 DDR 出力タイミング

図 148. SPI DDR 出力タイミング



12.5.3 DLP 使用時の DDR データ有効時間

図 149. SPI DDR データ有効ウィンドウ



データ有効ウィンドウの最小値 (t_{DV}) および最小 t_V は以下のように計算します。

$$t_{DV} = \text{最小ハーフ クロック サイクル時間 (} t_{CLH}^{[92]} \text{)} - t_{OTT}^{[94]} - t_{IO_SKEW}^{[93]}$$

$$t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT}$$

例：

■ 66MHz のクロック周波数 = 15ns のクロック周期、DDR 動作、および 45% 以上のデューティ比を前提にします。

$$\square t_{CLH} = 0.45 \times P_{SCK} = 0.45 \times 15\text{ns} = 6.75\text{ns}$$

■ t_{OTT} 計算^[95] は、バス インピーダンス 45Ω、静電容量 37pf、タイミング リファレンス 0.75 V_{CC} を前提として、0 から 1 までの立ち上がり時間または 1 から 0 までの立ち下がり時間は、 $1.4^{[96]} \times R \times C$ 時定数 (Tau)^[97] = $1.4 \times 1.67\text{ns} = 2.34\text{ns}$ 。

$$\square t_{OTT} = \text{立ち上がり時間または立ち下がり時間} = 2.34\text{ns}$$

■ データ有効ウィンドウ

$$\square t_{DV} = t_{CLH} - t_{IO_SKEW} - t_{OTT} = 6.75\text{ns} - 600\text{ps} - 2.34\text{ns} = 3.81\text{ns}$$

■ t_V の最小値

$$\square t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT} = 1.0\text{ns} + 600\text{ps} + 2.34\text{ns} = 3.94\text{ns}$$

注：

92. t_{CLH} は t_{CL} または t_{CH} より短い期間です。

93. t_{IO_SKEW} 、すべての IO 信号にわたる、 t_V (出力有効時間) の Min と Max の間の最大差 (デルタ) です。

94. t_{OTT} は、各 IO 上の 1 つの有効なデータ値から次の有効なデータ値への最大出力遷移時間です。

95. t_{OTT} は以下のシステム レベルの項目に依存しています。

- メモリ デバイスの出力インピーダンス (駆動能力)。
- IO 上のシステム レベル寄生容量 (主にバス容量)。
- 0 から 1 への遷移および 1 から 0 への遷移が認識される V_{IH} および V_{IL} レベルでのホスト メモリ コントローラー入力。
- t_{OTT} はサイプレスがテストした仕様ではありません。システムに依存し、システム設計者が上記の項目に基づいて計算する必要があります。

96. t_{DV} はデータ有効ウィンドウです。

97. $\text{Tau} = R$ (出力インピーダンス) $\times C$ (負荷容量)。

98. 電圧が V_{CC} の 75% に達するまでの Tau 時間の乗数です。

12.6 組み込みアルゴリズム性能表

表 56. プログラムと消去の性能

| 記号 | パラメーター | Min | Typ ^[99] | Max | 単位 |
|-----------|---------------------------|-----|---------------------|------|---------|
| t_W | 不揮発性レジスタ書き込み時間 | | 220 | 1200 | ms |
| t_{PP} | ページ プログラム時間 (256 バイト) | | 450 | 1350 | μs |
| t_{BP1} | バイト プログラム時間 (最初のバイト) | | 75 | 90 | |
| t_{BP2} | 追加バイト プログラム時間 (最初のバイトの後) | | 10 | 30 | |
| t_{SE} | セクタ消去時間 (4KB 物理セクタ) | | 65 | 320 | ms |
| t_{HBE} | ハーフ ブロック消去時間 (32KB 物理セクタ) | | 300 | 600 | |
| t_{BE} | ブロック消去時間 (64KB 物理セクタ) | | 450 | 1150 | |
| t_{CE} | チップ消去時間 (S25FL064L) | | 55 | 150 | s |

注 :

99. プログラム時間と消去時間の Typ 値は次の条件を想定したものです : 25°C、 $V_{CC}=3.0V$ およびチェッカーボード データ パターン。

100. 任意の OTP プログラム コマンドのプログラム時間は t_{pp} と同じです。IRPP 2Fh、PASSP E8h および PDLRNV 43h が含まれます。

表 57. プログラムまたは消去一時停止の AC パラメーター

| パラメーター | Typ | Max | 単位 | 説明 |
|-------------------------------|-----|-----|---------|--------------------------------|
| 一時停止レイテンシ (t_{SL}) | | 40 | μs | 一時停止コマンドから WIP ビットが 0 になるまでの時間 |
| 再開から次の一時停止までの時間 (t_{RNS}) | 100 | | | 次の一時停止コマンドを発行するために要する時間 |

13. 注文情報

注文製品番号は下記の有効な組合せで構成されます。

| S25FL | 064 | L | AB | M | F | I | 00 | 1 | |
|-------|-----|---|----|---|---|---|----|---|--|
| | | | | | | | | | 包装形態 |
| | | | | | | | | | 0 = トレイ |
| | | | | | | | | | 1 = チューブ |
| | | | | | | | | | 3 = 13 インチ テープ & リール |
| | | | | | | | | | モデル番号 (追加の注文オプション) |
| | | | | | | | | | 00 = SOIC16 (300mil) |
| | | | | | | | | | 01 = SOIC8 (208mil) / 8 コンタクト WSON フットプリント |
| | | | | | | | | | 02 = 5x5 ボール BGA フットプリント |
| | | | | | | | | | 03 = 4x6 ボール BGA フットプリント |
| | | | | | | | | | 04 = USON (4x4mm) |
| | | | | | | | | | 温度範囲 |
| | | | | | | | | | I = 産業用 (-40°C ~ +85°C) |
| | | | | | | | | | V = 産業用プラス (-40°C ~ +105°C) |
| | | | | | | | | | A = 車載向け、AEC-Q100 グレード 3 (-40°C ~ +85°C) |
| | | | | | | | | | B = 車載向け、AEC-Q100 グレード 2 (-40°C ~ +105°C) |
| | | | | | | | | | M = 車載向け、AEC-Q100 グレード 1 (-40°C ~ +125°C) |
| | | | | | | | | | パッケージ材料 ^[101] |
| | | | | | | | | | F = ハロゲンフリー、鉛 (Pb) フリー |
| | | | | | | | | | H = ハロゲンフリー、鉛 (Pb) フリー |
| | | | | | | | | | パッケージ タイプ |
| | | | | | | | | | M = 8 リード SOIC / 16 リード SOIC |
| | | | | | | | | | N = USON 4x4mm / WSON 5x6mm |
| | | | | | | | | | B = 24 ボール BGA 6x8mm パッケージ、1.00mm ピッチ |
| | | | | | | | | | 速度 |
| | | | | | | | | | AB = 108 MHz SDR および 54 MHz DDR |
| | | | | | | | | | デバイス テクノロジー |
| | | | | | | | | | L = フローティング ゲート プロセス技術 |
| | | | | | | | | | メモリ容量 |
| | | | | | | | | | 064 = 64Mb |
| | | | | | | | | | デバイス ファミリ |
| | | | | | | | | | S25FL サイプレス 3.0V 単一電源、SPI フラッシュ メモリ |

注：

101. ハロゲン フリーの定義は IEC 61249-2-21 仕様に準拠しています。

有効な組合せ — 標準

有効な組合せ表は、デバイスの大量注文に対応するコンフィギュレーションです。ご使用になる組合せの有無、ならびに新たにリリースされる組合せは担当営業までお問い合わせください。

表 58. 有効な組合せ — 標準

| 有効な組合せ — 標準 | | | | | |
|-------------|---------|------------|-------|-------|---------------------------------|
| ベース注文製品番号 | 速度オプション | パッケージおよび温度 | モデル番号 | 包装形態 | パッケージ マーキング |
| S25FL064L | AB | MFI、MFV | 00、01 | 0、1、3 | FL064L + (温度) + F + (モデル番号) |
| | AB | NFI、NFV | 01、04 | 0、1、3 | FL064L + (温度) + F + (モデル番号) |
| | AB | BHI、BHV | 02、03 | 0、3 | FL064L + (温度) + H + (モデル番号) |

有効な組合せ — 車載向けグレード / AEC-Q100

以下の表は車載向けグレード / AEC-Q100 の認定がされた、量産対応が計画されているコンフィギュレーションを示します。新しい組合せがリリースされると、表は更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せは担当営業までお問い合わせください。

生産部品承認プロセス (PPAP) のサポートは AEC-Q100 グレード製品のものに提供されています。

ISO/TS-16949 準拠を必要とするエンドユース アプリケーションに使用される製品は PPAP に対応した AEC-Q100 グレード製品でなければなりません。非 AEC-Q100 グレード製品は ISO/TS-16949 要件に完全に準拠して製造または記載されていません。

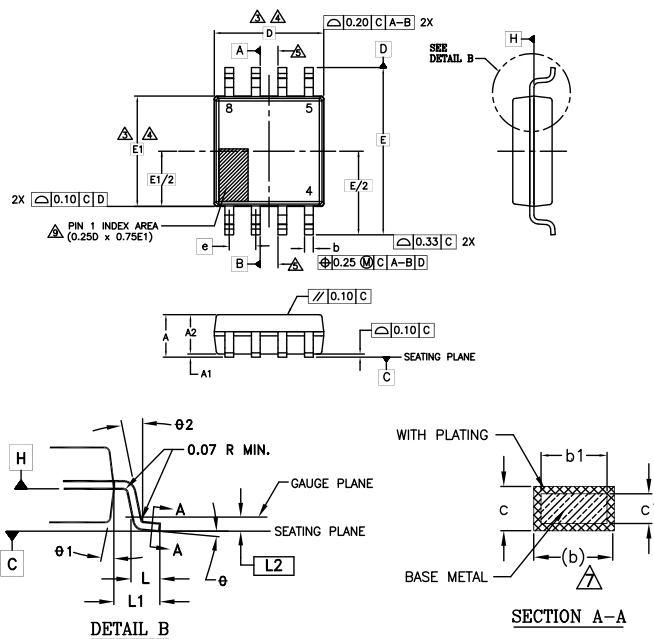
また、AEC-Q100 グレード製品は ISO/TS-16949 準拠を必要としないエンドユース アプリケーションにも PPAP サポートなしで提供されています。

表 59. 有効な組合せ — 車載向けグレード / AEC-Q100

| 有効な組合せ — 車載向けグレード / AEC-Q100 | | | | | |
|------------------------------|---------|-------------|-------|-------|---------------------------------|
| ベース注文製品番号 | 速度オプション | パッケージおよび温度 | モデル番号 | 包装形態 | パッケージ マーキング |
| S25FL064L | AB | MFA、MFB、MFM | 00、01 | 0、1、3 | FL064L + (温度) + F + (モデル番号) |
| | AB | NFA、NFB、NFM | 01、04 | 0、1、3 | FL064L + (温度) + F + (モデル番号) |
| | AB | BHA、BHB、BHM | 02、03 | 0、3 | FL064L + (温度) + H + (モデル番号) |

14. 外形図


14.1 SOIC 8 リード、208mil 本体幅 (SOC008)



| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | 1.75 | - | 2.16 |
| A1 | 0.05 | - | 0.25 |
| A2 | 1.70 | - | 1.90 |
| b | 0.36 | - | 0.48 |
| b1 | 0.33 | - | 0.46 |
| c | 0.19 | - | 0.24 |
| c1 | 0.15 | - | 0.20 |
| D | 5.28 BSC | | |
| E | 8.00 BSC | | |
| E1 | 5.28 BSC | | |
| e | 1.27 BSC | | |
| L | 0.51 | - | 0.76 |
| L1 | 1.36 REF | | |
| L2 | 0.25 BSC | | |
| N | 8 | | |
| θ | 0° | - | 8° |
| θ 1 | 5° | - | 15° |
| θ 2 | 0-8° REF | | |

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M - 1994.
- DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER END. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 mm PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUSIVE OF ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A AND B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 TO 0.25 mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE LEAD FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
- LEAD COPLANARITY SHALL BE WITHIN 0.10 mm AS MEASURED FROM THE SEATING PLANE.

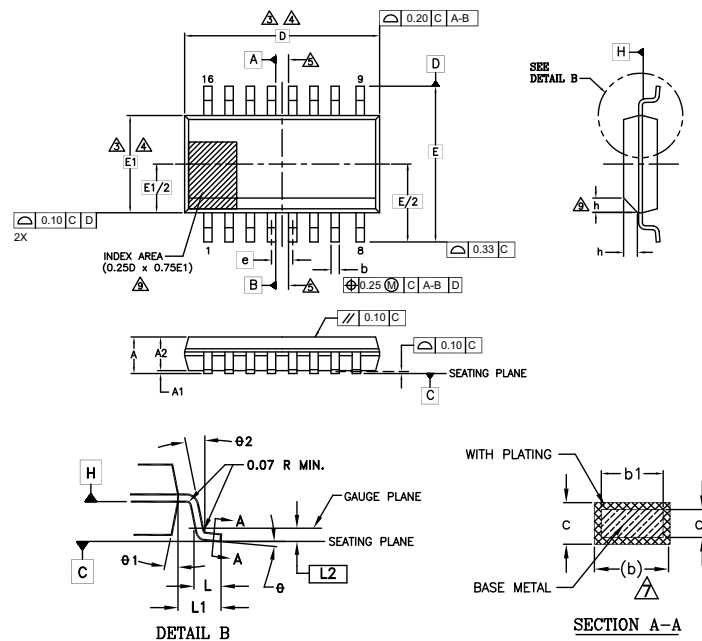
| | |
|--|--------------|
|  CYPRESS Company Confidential | |
| TITLE PACKAGE OUTLINE, 8 LEAD SOIC 5.28X5.28X2.16 MM SOC008 | |
| SPEC NO. 002-15548 | REV ** |
| SCALE: TO FIT | SHEET 1 OF 2 |

THIS DRAWING CONTAINS INFORMATION WHICH IS THE PROPRIETARY PROPERTY OF CYPRESS SEMICONDUCTOR CORPORATION. THIS DRAWING IS RECEIVED IN CONFIDENCE AND ITS CONTENTS MAY NOT BE DISCLOSED WITHOUT WRITTEN CONSENT OF CYPRESS SEMICONDUCTOR CORPORATION.

PACKAGE CODE(S)
 SOC008

DRAWN BY
 KOTA
 DATE
 18-JUL-16
 APPROVED BY
 BESY
 DATE
 18-JUL-16


14.2 SOIC 16 リード、300mil 本体幅 (SO3016)



| SYMBOL | DIMENSIONS | | |
|--------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | 2.35 | - | 2.65 |
| A1 | 0.10 | - | 0.30 |
| A2 | 2.05 | - | 2.55 |
| b | 0.31 | - | 0.51 |
| b1 | 0.27 | - | 0.48 |
| c | 0.20 | - | 0.33 |
| c1 | 0.20 | - | 0.30 |
| D | 10.30 BSC | | |
| E | 10.30 BSC | | |
| E1 | 7.50 BSC | | |
| e | 1.27 BSC | | |
| L | 0.40 | - | 1.27 |
| L1 | 1.40 REF | | |
| L2 | 0.25 BSC | | |
| N | 16 | | |
| h | 0.25 | - | 0.75 |
| theta | 0° | - | 8° |
| theta1 | 5° | - | 15° |
| theta2 | 0° | - | - |

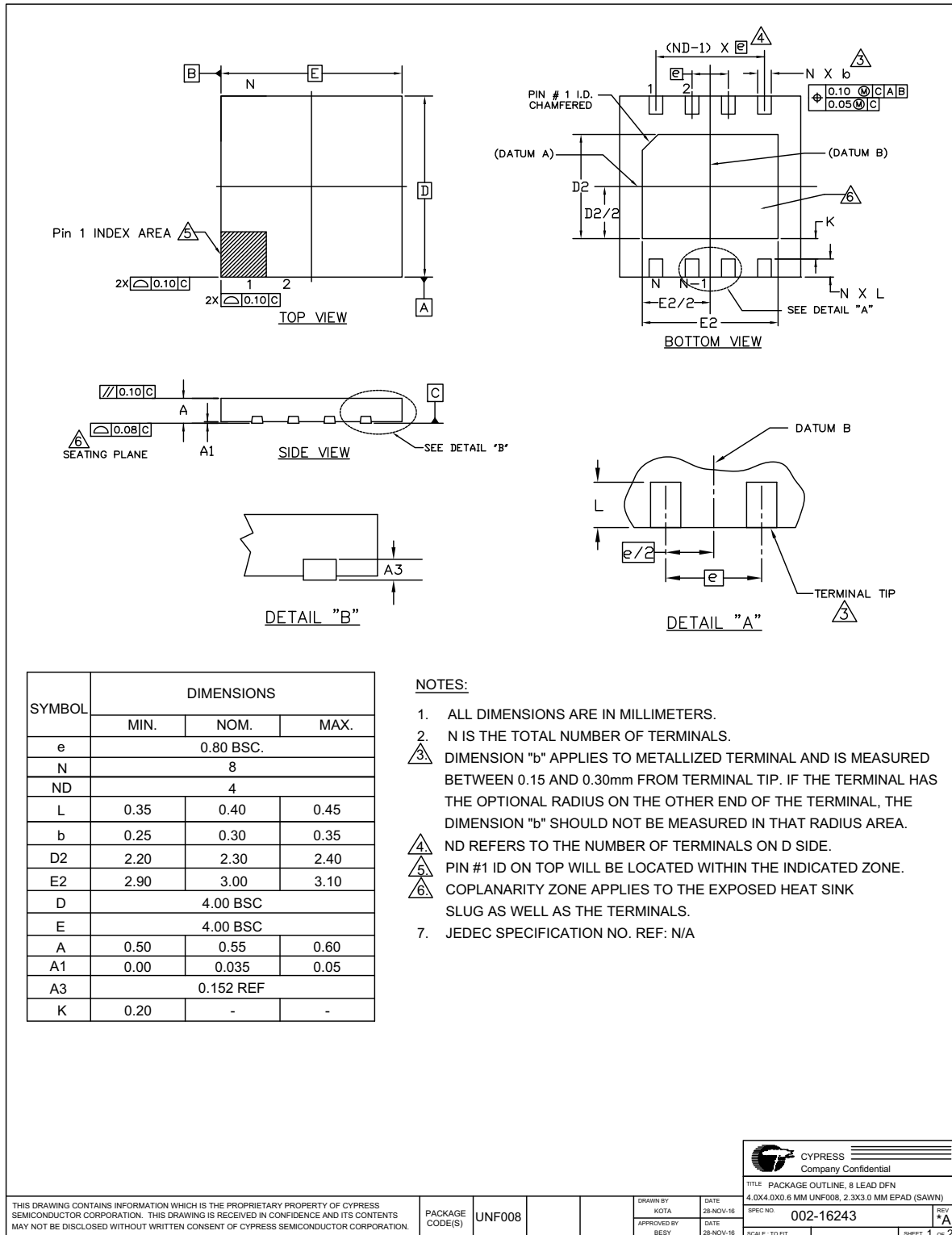
NOTES:

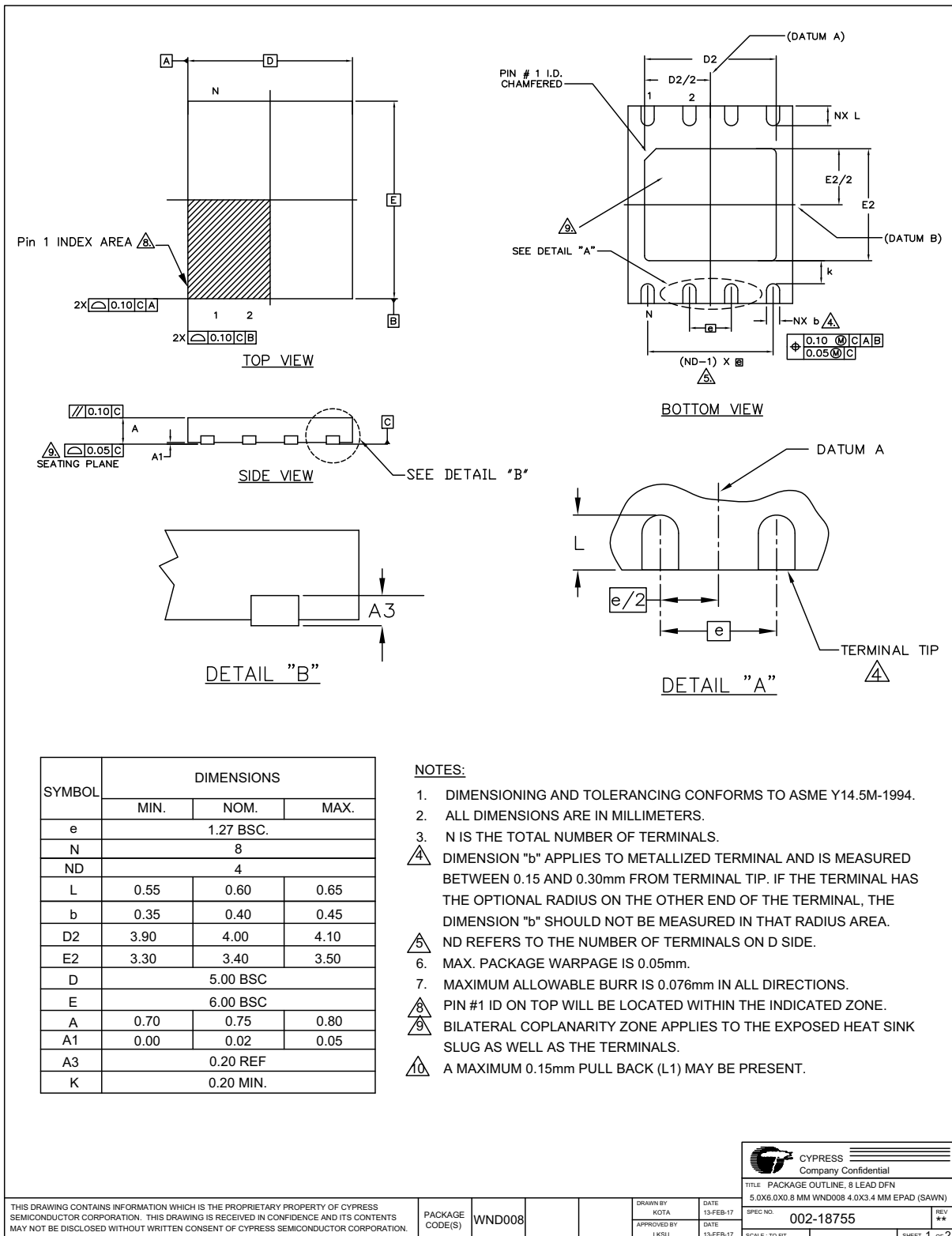
- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M - 1994.
- DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER END. DIMENSION E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 mm PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUSIVE OF ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A AND B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 TO 0.25 mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE LEAD FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
- LEAD COPLANARITY SHALL BE WITHIN 0.10 mm AS MEASURED FROM THE SEATING PLANE.

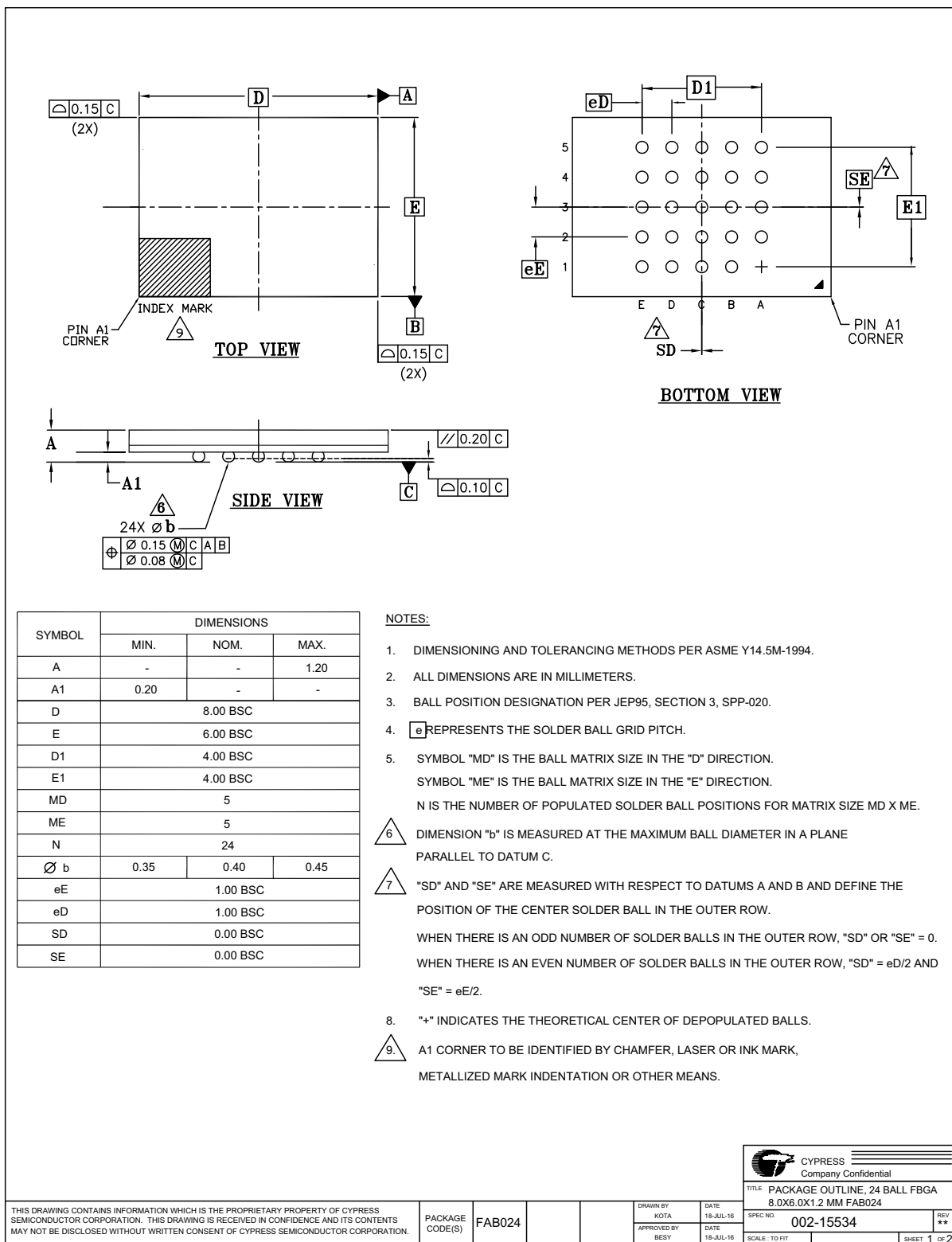
| | | | |
|---|--|---------------------------------|--|
|  | | CYPRESS Company Confidential | |
| TITLE PACKAGE OUTLINE, 16 LEAD SOIC | | | |
| DRAWN BY KOTA | | DATE 24-OCT-16 | |
| APPROVED BY BESY | | DATE 24-OCT-16 | |
| SPEC NO. 10-30X7.50X2.65 MM SO3016/SL3016/SS3016 | | REV *A | |
| 002-15547 | | SHEET 1 OF 2 | |

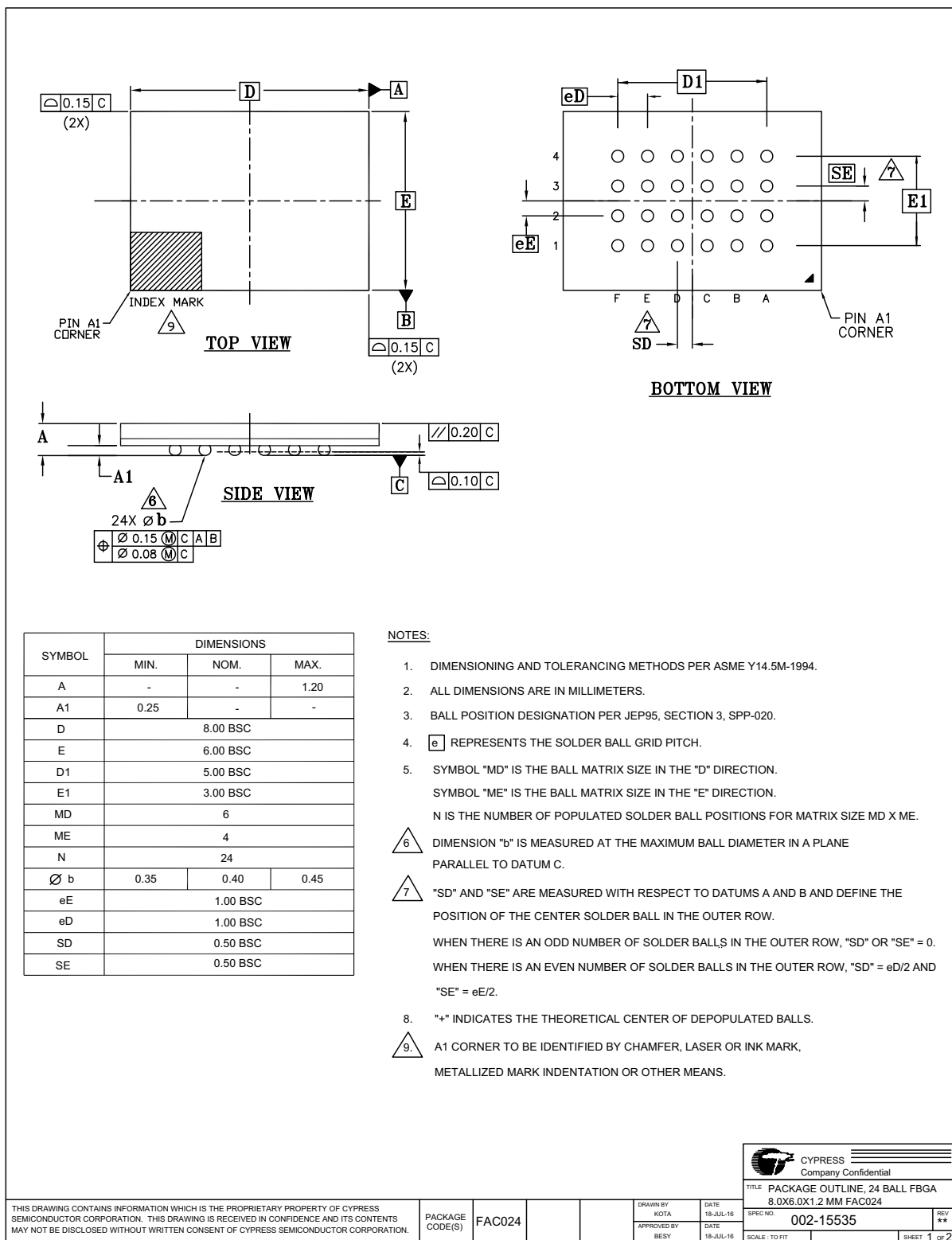
THIS DRAWING CONTAINS INFORMATION WHICH IS THE PROPRIETARY PROPERTY OF CYPRESS SEMICONDUCTOR CORPORATION. THIS DRAWING IS RECEIVED IN CONFIDENCE AND ITS CONTENTS MAY NOT BE DISCLOSED WITHOUT WRITTEN CONSENT OF CYPRESS SEMICONDUCTOR CORPORATION.

PACKAGE CODE(S) SO3016 SL3016 SS3016

14.3 USON 4x4mm (UNF008)


14.4 WSON 5x6mm (WND008)


14.5 ボール グリッド アレイ、24 ボール 6x8mm (FAB024)


14.6 ボール グリッド アレイ、24 ボール 6x8mm (FAC024)


15. 他のリソース

15.1 用語

| | |
|----------------------------|---|
| BCD | Binary Coded Decimal (二進化十進表現) = 各 4 ビット ニブルが 10 進数を表現する値です。 |
| コマンド | CS# が LOW のとき、1 つの期間中でホスト システムとメモリ間で転送されるすべての情報です。命令 (オペレーション コード / オペコードとも呼ばれる) および必要なアドレスやモード ビット、レイテンシ サイクル、データを含みます。 |
| DDP | Dual Die Package (デュアル ダイ パッケージ) = 単一のパッケージのメモリ容量を増加させるために同じパッケージ内で積み重ねられた 2 枚のダイです。常にマルチチップ パッケージ (MCP) と呼ばれています。 |
| DDR | Double Data Rate (ダブル データ レート) = 入力と出力は SCK のエッジごとにラッチされます。 |
| DIO | Dual Input Output (デュアル入出力) |
| フラッシュ | 同時にメモリ ビットの大きなブロックを消去し、従来の電氣的消去プログラム可能な読み出し専用メモリ (EEPROM) よりもはるかに速く消去動作を行う EEPROM の一種です。 |
| HIGH | V_{IH} 以上の信号電圧レベル、または 2 進の「1」を表現する論理レベルです。 |
| 命令 | コマンドで実行される機能を示す 8 ビット コードです (オペレーション コード / オペコードとも呼ばれます)。命令は常にホスト システムからメモリへ転送されるあらゆるコマンドの最初の 8 ビットです。 |
| LOW | $\leq V_{IL}$ 以下の信号電圧レベル、または 2 進の「0」を表現する論理レベルです。 |
| LSb | Least Significant Bit (最下位ビット) = 一般的にはレジスタまたはデータ値のビット グループ内の一番右のビットであり、最低の強度値を持っています。 |
| MSb | Most Significant Bit (最上位ビット) = 一般的にはレジスタまたはデータ値のビット グループ内の一番左のビットであり、最高の強度値を持っています。 |
| LSB | Least Significant Byte (最下位バイト)。 |
| MSB | Most Significant Byte (最上位バイト)。 |
| 該当なし | Not Applicable (N/A)。値は説明されている状況に該当しません。 |
| 不揮発性 | 電力がなくてもメモリに格納されているデータを保持します。 |
| OPN | Ordering Part Number (注文製品番号) = 所望のデバイスを選択するためにメモリ デバイス タイプや容量、パッケージ、工場出荷時の不揮発性コンフィギュレーションなどを指定する英数字の文字列です。 |
| QIO | Quad Input Output Mode (クアッド入出力モード)。 |
| QPI | Quad Peripheral Interface (クアッド ペリフェラル インターフェース)。 |
| ページ | 長さが 256 バイト 整列のデータ グループです。 |
| PCB | Printed Circuit Board (プリント回路基板)。 |
| レジスタ ビット リファレンス | フォーマット: レジスタ名 [ビット番号] または レジスタ名 [ビット範囲 MSb: ビット範囲 LSb] |
| セクタ | 消去単位サイズであり、デバイス モデルおよびセクタ位置によって 4KB、32KB または 64KB です。 |
| SDR | Single Data Rate (シングル データ レート) = 入力は SCK の立ち上がりエッジでラッチされ、出力は SCK の立ち下がりエッジでラッチされます。 |
| 書き込み | 揮発性 / 不揮発性レジスタ ビットまたは不揮発性フラッシュ メモリ内のデータを変更する動作です。不揮発性データを変更するとき、変更されない不揮発性データの消去とリプログラムも変更動作の一部として行われます。このため、単一の書き込み動作で、不揮発性データは揮発性データが変更される方法と同じように変更されます。ホスト システムは、影響を受けない隣接したデータのための個別の消去とリプログラム コマンドを必要とせず、単一の書き込みコマンドで不揮発性データを更新します。 |

15.2 サイプレス フラッシュ ロードマップへのリンク

www.cypress.com/Flash-Roadmap

15.3 ソフトウェアへのリンク

www.cypress.com/software-and-drivers-cypress-flash-memory

15.4 アプリケーション ノートへのリンク

www.cypress.com/cypressappnotes

16. 改訂履歴

| 文書名 : S25FL064L、64M ビット (8M バイト) 3.0V FL-L SPI フラッシュ メモリ 文書番号 : 002-16933 | | | | |
|--|---------|------|------------|--|
| 版 | ECN 番号 | 変更者 | 発行日 | 変更内容 |
| ** | 5515819 | HZEN | 11/10/2016 | これは英語版 002-12878 Rev. *A を翻訳した日本語版 002-16933 Rev. ** です。 |
| *A | 5651746 | HZEN | 03/07/2017 | これは英語版 002-12878 Rev. *B を翻訳した日本語版 002-16933 Rev. *A です。 |
| *B | 6583227 | YSAT | 05/29/2019 | これは英語版 002-12878 Rev. *F を翻訳した日本語版 002-16933 Rev. *B です。 |

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

| | |
|-------------------------|--|
| Arm® Cortex® マイクロコントローラ | cypress.com/arm |
| 車載用 | cypress.com/automotive |
| クロック & バッファ | cypress.com/clocks |
| インターフェース | cypress.com/interface |
| IoT (モノのインターネット) | cypress.com/iot |
| メモリ | cypress.com/memory |
| マイクロコントローラ | cypress.com/mcu |
| PSoC | cypress.com/psoc |
| 電源用 IC | cypress.com/pmic |
| タッチ センシング | cypress.com/touch |
| USB コントローラ | cypress.com/usb |
| ワイヤレス | cypress.com/wireless |

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2016-2019. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ、WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。