

赛普拉斯

# QDR®-IV SRAM XILINX® VIRTEX® 7 FPGA存储器 接口设计



## 产品概述

### 简介

赛普拉斯QDR®-IV SRAM接口设计包含Xilinx® Virtex®-7 FPGA中的完全可集成的控制器和物理层 (PHY)。QDR-IV (高性能QDR SRAM系列的最新一代) 在两个独立的双向数据端口上提供随机数据传输速率 (RTR) 为2132 MT/s。

### 功能概述

QDR-IV存储器接口设计提供四分频时钟速率的用户指令, 将它们转换为全速时钟速率的QDR-IV协议, 然后向QDR-IV存储器提供转换好的指令。在一个周期内, 通过存储器接口用户能够在两个端口上同时执行读/写指令操作, 以便获取特殊的RTR性能。图1显示了Xilinx Virtex-7 FPGA中的顶层QDR-IV存储器接口设计架构。

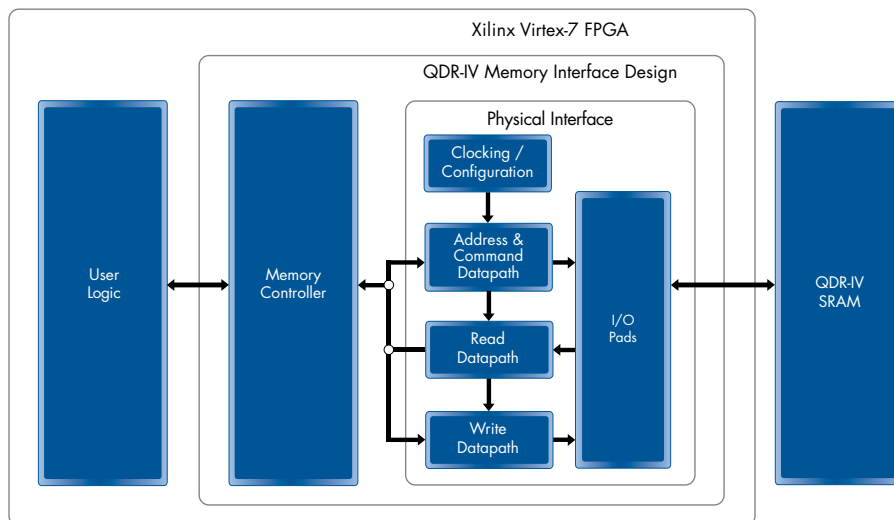


图1: 框图

RTR = 随机数据传输速率。随机存储器访问存储器以每秒兆交换的传输率 (MT/s) 或每秒千兆传输 (GT /秒)

### 特性

- Xilinx Virtex-7和Kintex-7 FPGA的参考设计
- QDR-IV HP和QDR-IV XP SRAM的I/O接口频率均为600 MHz (1200 MT/s RTR)
- x18和x36 I/O总线宽度
- 72 Mb和144 Mb的容量
- 双字突发操作
- FPGA内核和I/O时钟速率之间的比例为4:1
- 地址总线奇偶校验保护
- 数据和地址总线反转, 为降低功耗, 并同时转移噪声
- 单地址端口, 用于控制两个数据端口
  - 双倍数据速率 (DDR) 地址信号
- 两个独立的双向数据端口
  - 双倍数据速率 (DDR) 数据
  - 在两个端口上同时执行读/写数据操作
- 上电复位后初始化QDR-IV存储器
- FPGA校准I/O接口, 使数据捕获窗口最大化

## 存储器控制器

通过使用简单的读/写指令协议，将用户逻辑连接至存储器控制器。存储器控制器将读/写指令从用户逻辑转换为物理接口协议。所有信号均是单倍数据速率（SDR），并在存储器控制器中的四分频时钟的上升沿上被触发。

## 物理接口

物理接口（PHY）是存储器接口的内核，并形成了读和写数据路径。它以全速时钟速率传输DDR数据。

写数据路径包括执行写操作时所需的地址、数据和控制信号。该模块使用7系列FPGA中提供的OUT\_FIFO、PHASER\_OUT、PHY\_CONTROL和OSERDES基元来执行DDR写入通信。

读数据路径包括执行读操作时所需的地址、数据和控制信号。读取路径的PHY与QDR-IV SRAM关于数据有效窗口的数据输出时钟中心对齐的，以获取最佳读数据。该模块使用7系列FPGA中提供的IN\_FIFO、PHASER\_IN、BUFMR和ISERDES基元，以正确保护DDR读信号。

图2显示的是QDR-IV SRAM Xilinx存储器控制器验证平台。

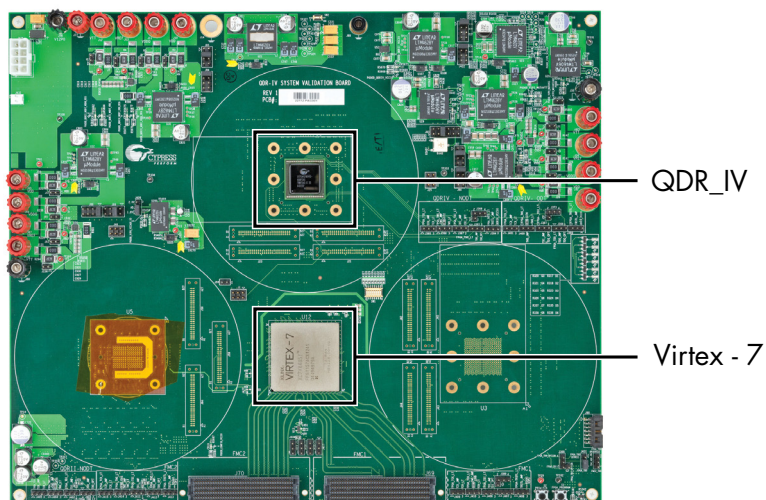


图2: QDR-IV SRAM Xilinx验证平台

## 立即入门

欲了解有关QDR-IV控制器和所有赛普拉斯同步SRAM产品的信息，请访问[sync.cypress.com](http://sync.cypress.com)

如要购买QDR-IV器件，请访问<http://www.cypress.com/buyonline>

## 赛普拉斯半导体公司

198 Champion Court, San Jose CA 95134

电话: +1 408.943.2600 传真: +1 408.943.6848

免费电话: +1 800.858.1810 (仅限美国) 请按“1”可与您本地销售代表通话

© 2014赛普拉斯半导体公司。保留所有权利。所有其他商标归其各自所有者所有。

文档编号: 001-91683修订版\*\* 032014/SZZX/ANSK/BENY