

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

概要

PSoC™ 6 MCU は、IoT アプリケーション向けに設計された高性能、超低消費電力、安全な MCU プラットフォームです。PSoC 6 MCU プラットフォームに基づく CY8C62x6/7 製品ラインは、高性能マイクロコントローラーおよび低消費電力フラッシュ技術、デジタルプログラマブル ロジック、高性能アナログ - デジタル変換および標準通信とタイミング ペリフェラルの組合せです。

特長

32 ビット デュアル コア CPU サブシステム

- シングル サイクルの乗算、浮動小数点、およびメモリ保護ユニット (MPU) に対応した 150MHz Arm® Cortex®-M4F (CM4) CPU
- シングル サイクルの乗算と MPU に対応した 100MHz Cortex®-M0+ (CM0+) CPU
- ユーザー選択可能なコア ロジック動作 (1.1V または 0.9V)
- 1.1V コア動作のアクティブ CPU 電流スロープ
 - Cortex®-M4: 40μA/MHz
 - Cortex®-M0+: 20μA/MHz
- 0.9V コア動作のアクティブ CPU 電流スロープ
 - Cortex®-M4: 22μA/MHz
 - Cortex®-M0+: 15μA/MHz
- それぞれ 16 チャンネルずつの 2 つの DMA コントローラー

メモリ サブシステム

- 1MB のアプリケーションフラッシュ、32KB の補助フラッシュ (AUXflash)、および 32KB の監視フラッシュ (SFlash)。読み出し時書き込み (RWW) のサポート。各 CPU に 1 つずつ、2 つの 8KB フラッシュキャッシュ。
- 電力およびデータ保持制御を備えた 288KB SRAM
- ワンタイムプログラマブル (OTP) 1Kb eFuse アレイ

1.7V ~ 3.6V の低消費電力動作

- 細かい電源管理用の 6 つの電力モード
- 64K SRAM 保持のディープスリープ モード電流は 7μA
- オンチップ Single In Multiple Out (SIMO) DC-DC 降圧コンバータ、1μA 未満の静止電流
- 64 バイトメモリリアルタイムクロックを備えるバックアップドメイン

柔軟なクロッキングオプション

- 精度が ±2% の 8MHz 内部主発振器 (IMO)
- 超低消費電力の 32kHz 内部低速発振器 (ILO)
- オンチップ水晶発振器 (16 ~ 35MHz および 32kHz)
- クロック周波数逡倍用の位相ロック ループ (PLL)
- IMO 周波数逡倍用の周波数ロック ループ (FLL)
- 整数および小数のペリフェラルクロック分周器

Quad SPI (QSPI) シリアルメモリアンターフェース (SMIF)

- 外部クアッド SPI フラッシュから直接実行 (Execute-In-Place、XIP)
- オンザフライの暗号化と復号化
- 低消費電力で XIP 性能を向上させる 4KB のキャッシュ
- 最大 640Mbps のスループットでシングル、デュアル、クアッド、デュアルクアッド、およびオクタル インターフェースに対応

セグメント LCD ドライブ

- 最大 99 のセグメントと最大 8 のコモンをサポート

シリアル通信

- 9 個の実行時設定可能なシリアル通信ブロック (SCB)。
 - 8 つの SCB: SPI、I²C、または UART として設定可能
 - 1 つのディープスリープ SCB: SPI または I²C として設定可能
- USB フルスピード デバイス インターフェース

オーディオ サブシステム

- 2 つのパルス密度変調 (PDM) チャンネルおよび 1 つの I²S チャンネル (時分割多重 (TDM) モード付)

タイミングおよびパルス幅変調

- 32 個のタイマー/カウンタ パルス幅変調器 (TCPWM)
- 中央揃え、エッジ、および疑似ランダム モード
- キル信号のコンパレータ ベースのトリガ

プログラマブルアナログ

- 差動とシングルエンド モードおよび結果平均化に対応した 16 チャンネル シーケンサを備えた 12 ビットの 1Msps SAR ADC
- ディープ スリープ モードおよびハイバネート モードで使用可能な 2 個の低消費電力コンパレータ
- ADC に接続される内蔵の温度センサー
- セトリング時間が 2μs 未満の 1 個の 12 ビット 電圧モード デジタルアナログ変換器 (DAC)
- 低消費電力動作モードの 2 個のオペアンプ

最大 100 のプログラマブル GPIO

- 2 つの Smart I/O™ ポート (16 I/O) が、GPIO ピンでのブール演算可能 (システムのディープスリープ中に利用可能)
- プログラム可能な駆動モード、強度、およびスルーレート
- 6 本の過電圧耐性 (OVT) ピン

静電容量センシング

- クラス最高の信号対ノイズ比 (SNR)、耐水性、および近接センシングを提供する CAPSENSE™
- 自己容量と相互容量の両方に動的な使用可能
- 自動のハードウェア チューニング (SmartSense)

プラットフォーム アーキテクチャに組み込まれたセキュリティ

- 割込み不可の 'セキュアブート' による ROM ベースの信頼のルート
- 実行イメージの段階的な認証
- 保護されたルーチンのために実行専用モードでのコードの安全な実行
- すべてのデバッグとテスト イングレス パスは無効にできる
- 最大 8 つの保護コンテキスト

暗号化アクセラレータ

- 対称および非対称暗号 メソッドおよびハッシュ関数のハードウェア アクセラレーション
- 真の乱数生成 (TRNG) 機能

プログラマブル デジタル

- 12 個のプログラマブル ロジック ブロック、それぞれに 8 つのマクロセルと 1 つの 8 ビット データ パス (ユニバーサル デジタル ブロック (UDB) と呼ばれる)
- ドラッグ アンド ドロップ ブール プリミティブ (ゲート、レジスタ)、または Verilog プログラマブル ブロックとして使用可能
- UDB を使用した通信ペリフェラル (例えば、LIN, UART, SPI, I²C, S/PDIF およびその他のプロトコル)、波形ジェネレータ、疑似ランダム シーケンス (PRS) 生成、およびその他の多くの機能を備えたサイプレス提供のペリフェラル コンポーネント ライブラリ

プロファイラー

- 8 つのカウンターが、イベントまたはオンチップリソースの期間の監視を提供

パッケージ

- 124-BGA
- 80-WLCSP (高さ 0.33mm および 0.43mm)
- 薄型 80-WLCSP (高さ 0.33 mm) (認定中)

目次

Development Ecosystem	4	アナログ ペリフェラル	47
ModusToolbox Software	5	デジタル ペリフェラル	56
PSoC Creator	6	メモリ	58
ブロックおよび機能	7	システムリソース	59
機能の説明	9	注文情報	67
CPUおよびメモリサブシステム	9	パッケージ	69
システム リソース	12	略語	73
プログラマブルアナログサブシステム	15	本書の表記法	76
プログラマブル デジタル	17	測定単位	76
固定機能デジタル	17	改訂履歴	77
GPIO	18	セールス、ソリューションおよび法律情報	78
特殊機能ペリフェラル	19	ワールドワイドな販売と設計サポート	78
ピン配置	22	製品	78
電源に関する考慮事項	34	PSoC®ソリューション	78
電氣的仕様	38	サイプレス開発者コミュニティ	78
絶対最大定格	38	テクニカル サポート	78
デバイス レベルの仕様	38		

Development Ecosystem

PSoC 6 MCU Resources

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、迅速かつ効率的にデザインに統合する手助けをします。以下は PSoC 6 MCU のリソースの要約です。

- **概要** : PSoC ポートフォリオ、PSoC ロードマップ
- **製品セレクト** : PSoC 6 MCU
- **アプリケーション ノート** : 基本レベルから上級レベルまでの幅広いトピックを提供します。
 - [AN221774](#): Getting Started with PSoC 6 MCU
 - [AN210781](#): Getting Started with PSoC 6 MCU with Bluetooth® Low Energy Connectivity
 - [AN218241](#): PSoC 6 MCU Hardware Design Considerations
 - [AN213924](#): PSoC 6 MCU Bootloader Guide
 - [AN215656](#): PSoC 6 MCU Dual-Core CPU System Design
 - [AN219528](#): PSoC 6 MCU Power Reduction Techniques
 - [AN221111](#): PSoC 6 MCU: Creating a Secured System
 - [AN85951](#): PSoC 4, PSoC 6 MCU CAPSENSE™ Design Guide
- **サンプル コード** : 製品の機能と使用法を示します。Cypress [GitHub repositories](#) から利用可能です。
- **テクニカル リファレンス マニュアル (TRM)**: PSoC 6 MCU アーキテクチャとレジスタの詳細な説明をします。
- **PSoC6 MCU プログラミング仕様**: PSoC6 MCU 不揮発性メモリのプログラムに必要な情報を提供します。
- **開発ツール**
 - [ModusToolbox™](#) ソフトウェアは、ツールとソフトウェアライブラリの堅牢なスイートを使用してクロスプラットフォームのコード開発を可能にします。
 - [CY8CKIT-062-Wi-Fi-BT](#) PSoC 6 WiFi-BT Pioneer Kit: PSoC 62 CY8C62x6/7 製品ラインの設計とデバッグを可能にする低コストのハードウェアプラットフォーム、および [CY-W4343W Wi-Fi + Bluetooth® コンボ Chip](#)
 - [PSoC 6 CAD ライブラリ](#) が提供する一般的なツールのフットプリントと回路図のサポート。 [BSDL ファイル](#) および [IBIS モデル](#) も使用できます。
- **トレーニング ビデオ** : PSoC 6 MCU 101 シリーズを含む、幅広いトピックを提供します。
- **Cypress Developer Community**: 世界中の PSoC 開発者と常時連絡 / 情報交換が可能です。 [PSoC 6 MCU の専用コミュニティ](#) もあります。

ModusToolbox Software

ModusToolbox Software は、サイプレスのマルチプラットフォームツールとソフトウェアライブラリの包括的なコレクションであり、統合された MCU とワイヤレスシステムを作成するための没入型開発エクスペリエンスを可能にします。以下のとおりです。

- 包括的 - 必要なリソースがあります
- 柔軟性 - 独自のワークフローでリソースを使用できます
- アトミック - 必要なリソースだけを取得できます

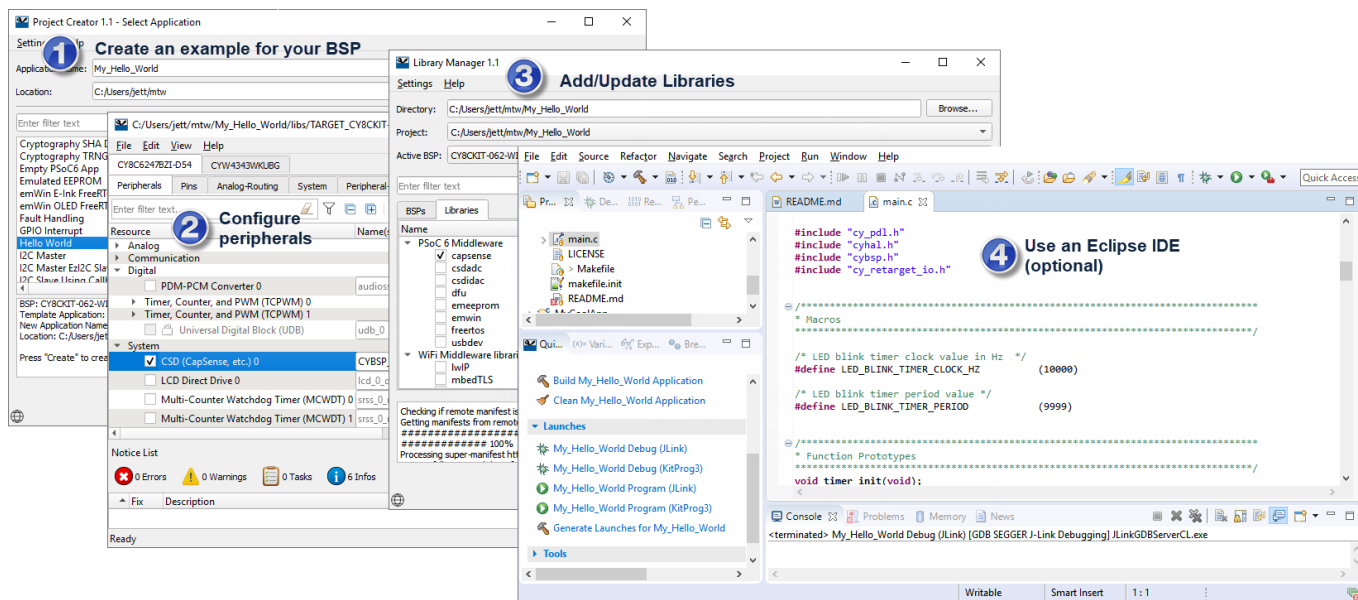
サイプレスは、[GitHub](#) でのコードリポジトリの大規模なコレクションを提供します。これは以下を含みます。

- サイプレスキットと連携したボードサポートパッケージ (BSP)
- ハードウェア抽象化レイヤー (HAL) やペリフェラルドライバライブラリ (PDL) などの低レベルのリソース
- CAPSENSE™, Bluetooth® Low Energy, メッシュネットワークなどの業界をリードする機能を可能にするミドルウェア
- 徹底的にテストされた [code sample application](#) の広範なセット

注: HAL は、サイプレス MCU のハードウェアブロックを構成および使用するための高レベルで簡素化されたインターフェースを提供します。これは、複数の製品ファミリで使用できる汎用インターフェースです。たとえば、PSoC 6 PDL を簡略化された API でラップしますが、PDL はすべての低レベルの周辺機能を公開します。一部の部分でより細かい制御が必要な場合でも、ほとんどのアプリケーションで HAL のよりシンプルで汎用的なインターフェースを活用できます。

ModusToolbox ソフトウェアは IDE に依存せず、ワークフローや推奨される開発環境に簡単に適応できます。図 1 に示すように、プロジェクトクリエイター、ペリフェラルおよびライブラリコンフィギュレーター、ライブラリマネージャー、および ModusToolbox 用のオプションの Eclipse IDE が含まれます。サイプレスツールの使用については、ModusToolbox ソフトウェアに付属のドキュメントおよび [AN228571: ModusToolbox を使用する PSoC 6 MCU 入門](#) を参照してください。

図 1. ModusToolbox Software ツール

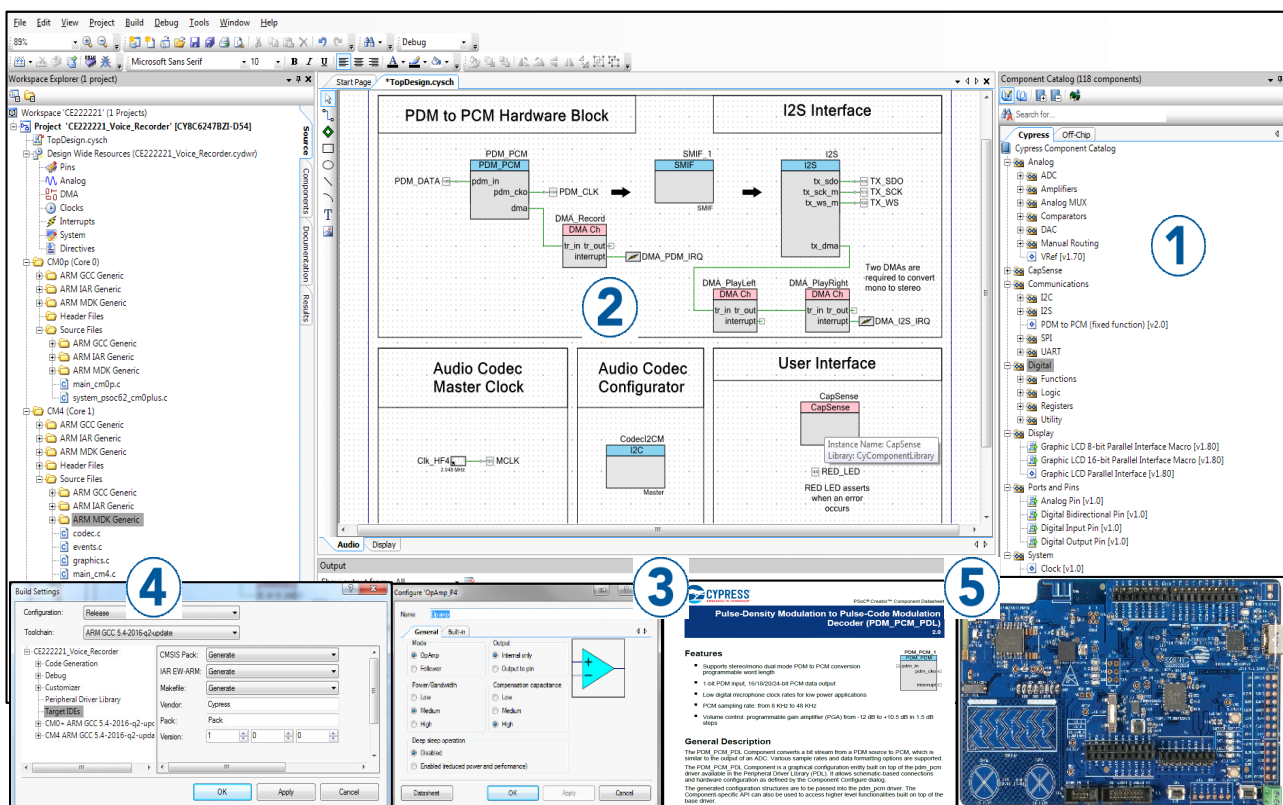


PSoC Creator

PSoC Creator は無料で利用できる Windows ベースの統合設計環境 (IDE) です。このツールにより、お客様は PSoC 6 MCU のハードウェアとファームウェアシステムを同時に設計できます。図 2 に、PSoC Creator ができることを示します。

- 200 以上のコンポーネントを含むライブラリを利用
- コンポーネントをドラッグアンドドロップして、メインデザインワークスペースでハードウェアシステムデザインを構築
- コンポーネント コンフィギュレーション ツールおよびコンポーネント データシートを使ってコンポーネントを設定
- PSoC Creator IDE においてアプリケーション ファームウェアとハードウェアを相互に設計し、またはサードパーティ製 IDE のためにプロジェクトをビルド
- PSoC 6 Pioneer Kit を使用しご自身のソリューションをプロトタイプ設計。設計変更が必要な場合、PSoC Creator およびそのコンポーネントにより、ハードウェアを改訂することなく、その場で変更を行える

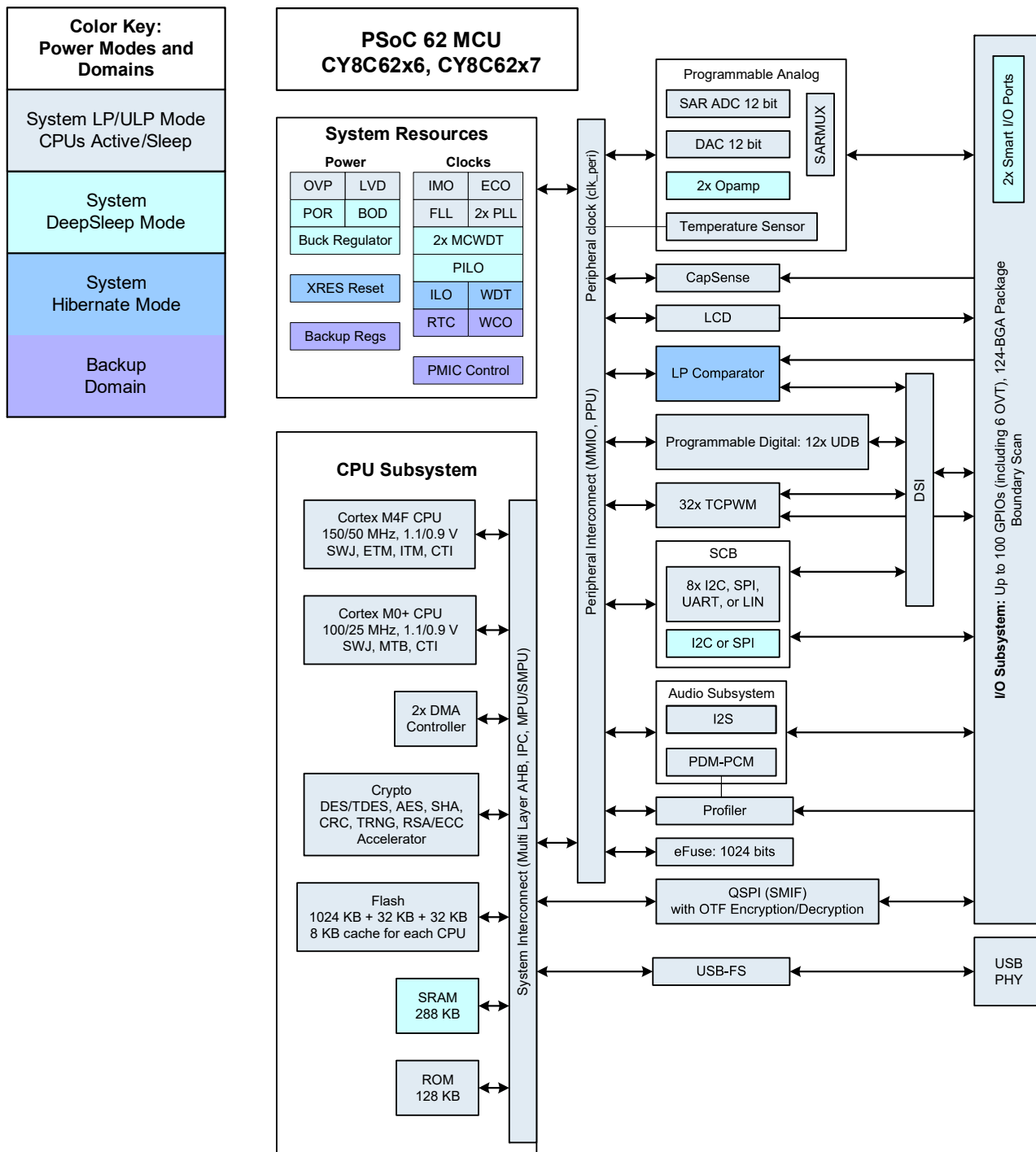
図 2. PSoC Creator の回路図入力およびコンポーネント



ブロックおよび機能

主なサブシステムとそれらの相互接続の完略図を図 3 に示します。色分けはブロックがまだ機能している最低限の消費電力モードを示します。例えば、SRAM はディープスリープモードまで機能します。

図 3. ブロックダイアグラム



3つのデバッグアクセスポートがあり、それぞれがCM4とCM0+、およびシステムポート用です。PSoC 6 MCU デバイスは、ハードウェアとファームウェアの両方のプログラミング、テスト、デバッグ、およびトレースに対する広範なサポートを含みます。再プログラムされたデバイス、またはフラッシュプログラミングシーケンスの開始と中断が懸念されるアプリケーションでは、すべてのデバイスインターフェースを永続的に無効にできます。すべてのプログラミング、デバッグ、テストインターフェースは無効にできます。

デバッグオンチップ機能により、標準の量産デバイスを使用した最終システムでデバイスの完全なデバッグ処理が可能です。専用のインターフェースやデバッグングポッド、シミュレータ、エミュレータは不要です。デバッグをサポートするために必要なものは、通常のプログラミングに使う接続だけです。

ModusToolbox 用の Eclipse IDE および PSoC Creator 統合開発環境 (IDE) は、これらのデバイスに完全に統合されたプログラミングおよびデバッグサポートを提供します。SWJ (SWD および JTAG) インターフェースは、業界標準のサードパーティ製プローブと完全に互換性があります。PSoC 6 は、デバッグ機能を無効にする機能、非常に堅牢なフラッシュ保護、および顧客独自の機能をオンチップのプログラマブルブロックに実装できるようにすることで、複数のレベルのデバイスセキュリティを提供します。

機能の説明

図 3 のブロックダイアグラムに示される各機能ブロックの機能、機能、および動作の概要を説明します。詳細については、次の文書を参照してください。

■ Board Support Package (BSP) Documentation

BSP は GitHub で入手できます。これらはサイプレスキットと連携しており、ハードウェア構成ファイル、スタートアップコード、リンカーファイルなどの基本的なデバイス機能用のファイルを提供します。BSP には、キットをサポートするために必要な他のライブラリも含まれます。各 BSP には独自のドキュメントがありますが、通常、この例のような API リファレンスが含まれます。この[検索リンク](#)では、サイプレス GitHub サイトで現在利用可能なすべての BSP を検索できます。

■ Hardware Abstraction Layer API Reference Manual

サイプレス Hardware Abstraction Layer (HAL) は、サイプレス MCU でハードウェアブロックを構成および使用するための高レベルのインターフェースを提供します。これは、複数の製品ファミリで使用できる汎用インターフェースです。一部の部分でよりきめ細かい制御が必要な場合でも、ほとんどのアプリケーションで HAL のよりシンプルで汎用的なインターフェースを活用できます。[HAL API Reference](#) には、完全な詳細が記載されています。HAL を使用するサンプルアプリケーションは、GitHub リポジトリから HAL を自動的にダウンロードします。

■ Peripheral Driver Library (PDL) Application Programming Interface (API) Reference Manual

Peripheral Driver Library (PDL) は、デバイスヘッダーファイルと周辺機器ドライバを 1 つのパッケージに統合し、すべての PSoC 6 MCU 製品ラインをサポートします。ドライバは、ハードウェア関数を一連の使いやす API に抽象化します。これらは、[PDL API Reference](#) に完全に文書化されています。PSoC 6 PDL を使用するサンプルアプリケーションは、GitHub リポジトリから PSoC 6 PDL を自動的にダウンロードします。

■ Architecture Technical Reference Manual (TRM)

Architecture TRM は、デバイス内の各リソースを詳細に説明します。PDL が提供するソフトウェアで制御されたハードウェアの動作を理解する必要がある場合、2 つ目のリファレンスとして使用してください。各リソースのアーキテクチャと機能を説明し、すべてのモードでの各リソースの動作を説明します。関連するレジスタの使用に関する具体的なガイダンスを提供します。

■ Register Technical Reference Manual

Register TRM は、デバイス内にあるすべてのレジスタの詳細なリストを提供します。すべてのレジスタフィールドの内訳、可能な設定、読み出し/書き込みのアクセス可能性、およびデフォルトの状態が含まれます。一般的なアプリケーションで適切に使用されるすべてのレジスタには、PDL 内からそれらにアクセスする機能があります。ModusToolbox と PDL は一部のレジスタに対して、ハードウェアのデフォルトとは異なるソフトウェアのデフォルト条件を上書きする場合があることに注意してください。

CPU およびメモリサブシステム

図 3 に示すように、PSoC 6 には複数のバスマスターがあります。それらは、CPU、DMA コントローラ、QSPI、USB、および暗号ブロックです。一般に、すべてのメモリと周辺機器は、多層 Arm® AMBA 高性能バス (AHB) アービトレーションを介して、すべてのバスマスターによってアクセスおよび共有できま

す。CPU 間のアクセスは、プロセッサ間通信 (IPC) ブロックを使用して同期できます。

CPU

2 つの Arm® Cortex® CPU があります。

Cortex®-M4 (CM4) には、シングルサイクル乗算、浮動小数点ユニット (FPU)、およびメモリ保護ユニット (MPU) があります。最大 150MHz で実行できます。これは、短い割込み応答時間、高いコード密度、および高いスループットのために設計されたメイン CPU です。

CM4 は、Thumb-2 テクノロジ (Arm®v7-M Architecture Reference Manual で定義) に基づいた Thumb 命令セットのバージョンを実装します。

Cortex®-M0+ (CM0+) には、シングルサイクル乗算と MPU があります。最大 100MHz で実行できます。ただし、100MHz を超える CM4 速度の場合、CM0+ およびバス周辺機器は CM4 の半分の速度に制限されます。したがって、150MHz で動作する CM4 の場合、CM0+ および周辺機器はシステム低電力 (LP) モードで 75MHz に制限されます。システム超低電力 (ULP) モードでは、CPU 速度はそれぞれ 50MHz と 25MHz に制限されます。

CM0+ はセカンダリ CPU です。システムコールとデバイスレベルの安全性、保護機能を実装するために使用されます。CM0+ は、安全で中断のないブート機能を提供します。これにより、起動後、システムの整合性がチェックされ、メモリおよび周辺機器のアクセス権限が適用されます。

CM0+はArm®v6-M Thumb 命令セットを実装します (Arm®v6-M Architecture Reference Manual で定義されます)。

この CPU には、 $V_{DDP} = 3.3\text{ V}$ で、内部降圧レギュレータを使用した以下の電力消費があります。

表 1. 内部降圧レギュレータを使用した $V_{DDP} = 3.3\text{ V}$ でのアクティブ電流勾配

		システム電源モード	
		ULP	LP
CPU	Cortex®-M0+	15 $\mu\text{A}/\text{MHz}$	20 $\mu\text{A}/\text{MHz}$
	Cortex®-M4	22 $\mu\text{A}/\text{MHz}$	40 $\mu\text{A}/\text{MHz}$

この CPU は、Arm® で定義されているスリープモードとディープスリープモードに選択的に配置できます。

各 CPU には、4 ウェイセットアソシエティビティを備えた 8KB の命令キャッシュがあります。両方の CPU には、高速で確定的な割込み応答のためのネストされたベクトル割込みコントローラ (NVIC) と、ディープスリープ電源モードからの CPU ウェイクアップのためのウェイクアップ割込みコントローラ (WIC) があります。

この CPU は広範なデバッグをサポートします。PSoC 6 には、デバイスのプログラミングとデバッグのインターフェースとして機能するデバッグアクセスポート (DAP) があります。外部プログラマーまたはデバッガ (“ホスト”) は、デバイスのシリアルワイヤデバッグ (SWD) またはジョイントテストアクショングループ (JTAG) インターフェースピンを介して DAP と通信します。DAP (および制限の対象) を介して、ホストはデバイスのメモリと周辺機器、および両方の CPU のレジスタにアクセスできます。

各 CPU は、次のようなデバッグおよびトレース機能を提供します。

- CM4は、6つのハードウェアブレイクポイントと4つのウォッチポイント、4ビット埋め込みトレースマクロセル (ETM)、シリアルワイヤビューアー (SWV)、およびシングルワイヤ出力 (SWO) ピンを介した printf() スタイルのデバッグをサポートします。
- CM0+ は、4 つのハードウェアブレイクポイントと 2 つのウォッチポイント、および 4KB の専用 RAM を備えたマイクロトレースバッファ (MTB) をサポートします。

PSoC 6 には、両方の CPU のデバッグとトレースを同期するための組み込みクロストリガーもあります。

割込み

製品ラインには 147 のシステムおよび周辺割込みソースがあり、両方の CPU で割込みとシステム例外をサポートします。CM4 には 147 の割込み要求ライン (IRQ) があり、割込みソース「n」は IRQn に直接接続されます。CM0+ には 32 個の割込み IRQ [31:0] があり、1つのシステム割込みソースを IRQ [31:0] のいずれかに構成可能なマッピングがあります。

各割込みは、構成可能な優先度レベルをサポートします (CM4 では 8 レベル、CM0+ では 4 レベル)。1つのシステム割込みは、CPU のマスク不能割込み (NMI) のそれぞれにマッピングできます。最大 41 個の割込みソースが、WIC を使用してデバイスをディープスリープパワーモードからウェイクアップできます。詳細については、テクニカルリファレンスマニュアルを参照してください。

プロセッサ間通信 (IPC)

Arm® SEV および WFE 命令に加えて、ハードウェアプロセス間通信 (IPC) ブロックが含まれます。これには、16 個の IPC チャンネルと 16 個の IPC 割込み構造が含まれます。IPC チャンネルは、プロセッサ間のデータ通信を実装するために使用できます。各 IPC チャンネルは、共有リソースの管理に使用できるロックスキームも実装します。IPC 割込みにより、一方のプロセッサが他方のプロセッサに割り込み、イベントを通知します。これは、対応する IPC チャンネルの通知や解放などのイベントをトリガーするために使用されます。表 2 に示すように、一部の IPC チャンネルおよびその他のリソースは予約されています。

表2. IPCチャンネルおよびその他のリソースの分配

利用可能なリソース	消費されたリソース
IPCチャンネル、16個利用可能	8個予約済み
IPC割込み、16個利用可能	8個予約済み
他の割込み	1個予約済み
CM0+ NMI	予約済み
他のリソース: クロック分周器、DMAチャンネル等	1個のCM0+割込みマルチプレクサ

DMA コントローラー

それぞれ 16 チャンネルの DMA コントローラーが 2 つあります。これらは、AHB マルチレイヤバスを使用して、ペリフェラルへの CPU に依存しないアクセスをサポートします。DMA チャンネルのディスクリプタは、SRAM またはフラッシュにできます。したがって、ディスクリプタの数はメモリのサイズによってのみ制限されます。各ディスクリプタは、構成可能なアドレス増分を使用して、ソースおよび宛先に 2 つのネストされたループでデータを転送できます。ディスクリプタごとのデータ転送のサイズは、DMA チャンネルのタイプによって異なります。詳細については、テクニカルリファレンスマニュアルを参照してください。

暗号化アクセラレータ (暗号化)

このサブシステムは、ハードウェアの実装と、暗号化機能と乱数生成器の高速化で構成されます。

暗号化サブシステムは次をサポートします。

- 暗号化／復号化機能
 - データ暗号化標準 (DES)
 - トリプル DES (3DES)
 - Advanced Encryption Standard (AES) (128 ビット、192 ビット、256 ビット)
 - 楕円曲線暗号 (ECC)
 - RSA 暗号化機能
- ハッシュ機能
 - セキュアハッシュアルゴリズム (SHA)
 - SHA-1
 - SHA-224/-256/-384/-512
- メッセージ認証機能 (MAC)
 - ハッシュメッセージ認証コード (HMAC)
 - 暗号ベースのメッセージ認証コード (CMAC)
- 32 ビットの巡回冗長コード (CRC) 生成器
- 乱数生成器
 - 擬似乱数生成器 (PRNG)
 - 真の乱数生成器 (TRNG)

保護ユニット

この製品ラインには、メモリおよび周辺レジスタへの誤ったまたは不正なアクセスを制御するための複数のタイプの保護ユニットがあります。CM4 および CM0+ には、バスマスターレベルでの保護のための Arm® MPU があります。他のバスマスターは追加の MPU を使用します。共有メモリ保護ユニット (SMPU) は、複数のバスマスター間で共有されるメモリリソースのメモリ保護の実装に役立ちます。周辺保護ユニット (PPU) は SMPU に似ていますが、周辺レジスタ空間を保護するために設計されます。

保護ユニットは、アドレス範囲、読み出し／書き込み、コード／データ、特権レベル、保護／非保護、保護コンテキストなどのメモリおよび周辺機器アクセス属性をサポートします。

保護ユニットはブートで構成され、バスマスターと周辺機器のアクセス特権と権限を制御します。最大 8 つの保護コンテキスト (ブートは保護コンテキスト 0 内) により、メモリおよびシステムリソースへのアクセス特権が許可されます。これは、バスマスターおよびコードの特権レベルに応じて、保護コンテキストごとのブートプロセスによって設定されます。複数の保護コンテキストが利用可能です。

メモリ

PSoC 6 には、フラッシュ、SRAM、ROM、および eFuse メモリブロックが含まれます。

■ フラッシュ

最大 1MB のアプリケーションフラッシュがあり、256KB のセクターで構成されます。2 つの 32KB フラッシュセクターもあります。

- 通常、EEPROM エミュレーションに使用される補助フラッシュ (AUXflash)
- 監視フラッシュ (SFlash)。SFlash に保存されるデータには、デバイストリム値、**フラッシュブートコード**、および暗号化キーが含まれます。デバイスが "セキュア" ライフサイクルステージに移行すると、SFlash を変更できなくなります。

フラッシュには、電力を削減するために 128 ビット幅のアクセスがあります。書き込み操作は行レベルで実行できます。行 (ページとも呼ばれる) は 512 バイトです。読み出し操作は低電力モードと超低電力モードの両方でサポートされますが、書き込み操作は超低電力モードでは実行できない場合があります。

フラッシュコントローラーには、各 CPU に 1 つずつ、2 つのキャッシュがあります。各キャッシュは 8 KB で、4 ウェイのセットの関連性があります。

■ SRAM

最大 288KB の SRAM があります。電力制御と保持の粒度は 32KB ブロックで実装されるため、ユーザーはディープスリープで保持されるメモリの量を制御できます。メモリはハイバネートモードでは保持されません。

■ ROM

監視 ROM (SRAM) とも呼ばれる 128KB ROM は、いくつかのシステム機能にコード (**ROM ブート**) を提供します。ROM には、デバイスの初期化、フラッシュ書き込み、セキュリティ、eFuse プログラミング、およびその他のシステムレベルのルーチンが含まれます。ROM コードは、保護コンテキスト 0 の CM0+ CPU によってのみ実行されます。システム機能は、CPU または DAP によって開始できます。これにより、CM0+ で NMI が発生し、CM0+ がシステム機能を実行します。

■ eFuse

ワンタイムプログラマブル (OTP) eFuse アレイは 1024 ビットで構成され、そのうち 512 はシステム ID (ダイ ID、デバイス ID、初期トリム設定、デバイスライフサイクル、およびセキュリティ設定など) に予約されています。残りのビットは、キー情報、ハッシュ値、一意の ID、または同様のカスタムコンテンツを保存するために使用できます。

各ヒューズは個別にプログラムされます。プログラムされる (または「切れる」) と、その状態は変更できません。ヒューズが切れると、デフォルト状態の 0 から 1 に移行します。eFuse をプログラムするには、 V_{DDIO0} が 14mA で 2.5 V $\pm 5\%$ でなければなりません。

eFuse のブローは不可逆的なプロセスであるため、プログラミングは、制御された工場条件下での量産でのみ推奨されます。詳細については、[PSoC 6 MCU Programming Specifications](#) を参照してください。

ブートコード

ROM ブートと**フラッシュブート**の 2 つのコードブロックがデバイスに事前にプログラムされており、連携してデバイスの起動と構成、基本的なセキュリティ機能、ライフサイクルステージ管理およびその他のシステム機能を提供します。

■ ROM ブート

デバイスをリセットすると、ROM 内のブートコードが最初に実行されます。このコードは次を実行します。

- フラッシュブートコードの整合性チェック
- デバイスのトリミング設定 (キャリブレーション)
- デバイス保護ユニットの設定
- ライフサイクル状態のデバイスアクセス制限の設定

ROM は変更できず、安全なシステムで信頼のルートとして機能します。

■ フラッシュブート

フラッシュブートは、SFlash およびアプリケーションフラッシュに格納されたファームウェアモジュールです。検証されたアプリケーションのみがデバイスで実行されることを保証します。また、悪意のある第三者などによってファームウェアイメージが変更されていないことも確認します。

フラッシュブート

- ROM ブートによって検証されます
- ROM ブート後、ユーザーアプリケーションの前に実行
- システムコールを有効にします
- デバッグアクセスポートを設定します
- ユーザーアプリケーションを起動します

ユーザーアプリケーションを検証できない場合、フラッシュブートにより、デバイスが安全な状態に移行することが保証されます。

メモリマップ

両方の CPU には、メモリと周辺機器への共有アクセスを備えた固定アドレスマップがあります。32 ビット (4GB) のアドレス空間は、表 3 に示す領域に分割されます。コードは、コードと外部 RAM から実行できることに注意してください。

表 3. CM4 および CM0+ のアドレスマップ

アドレス範囲	名称	利用
0x0000 0000 – 0x1FFF FFFF	Code	プログラムコード領域。ここにデータを配置することもできます。アドレス 0 から始まる例外ベクトルテーブルが含まれます。
0x2000 0000 – 0x3FFF FFFF	SRAM	データ領域。この領域は PSoC 6 ではサポートされません。
0x4000 0000 – 0x5FFF FFFF	Peripheral	すべての周辺レジスタ。コードはこの領域から実行できません。この領域の CM4 ビットバンドは PSoC 6 ではサポートされません。
0x6000 0000 – 0x9FFF FFFF	External RAM	SMIF または Quad SPI (QSPI インターフェース シリアルメモリーインターフェース (SMIF) セクションを参照)。この領域からコードを実行できます。
0xA000 0000 – 0xDFFF FFFF	External device	使用されません。
0xE000 0000 – 0xE00F FFFF	Private peripheral Bus	CPU コア内の周辺レジスタへのアクセスを提供します。
0xE010 0A000 – 0xFFFF FFFF	Device	デバイス固有のシステムレジスタ。

表 4 に示すデバイスメモリマップは、両方の CPU に適用されます。つまり、CPU はすべての PSoC 6 MCU メモリおよび周辺機器レジスタへのアクセスを共有します。

表 4. CM4 および CM0+ の内部メモリアドレスマップ

アドレス範囲	メモリアイプ	容量
0x0000 0000 – 0x0001 FFFF	ROM	128 KB
0x0800 0000 – 0x0804 7FFF	SRAM	最大 288 KB
0x1000 0000 – 0x100F FFFF	アプリケーションフラッシュ	最大 1 MB
0x1400 0000 – 0x1400 7FFF	補助フラッシュ。EEPROM エミュレーションに使用可能	32 KB
0x1600 0000 – 0x1600 7FFF	監視フラッシュ	32 KB

SRAM は両方の CPU の Arm® コード領域にあることに注意してください (表 3 を参照)。CPU の Arm® SRAM 領域に物理メモリはありません。

システム リソース

電源システム

電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルを達成するまでモードへの移行を遅延させる (例えば、パワーオンリセット (POR) の時)、または電源が指定されたレベルを下回った場合にリセットを発生させます (電圧低下検出 (BOD))。このデザインは、電源電圧が規定されたレベル (例えば、1.7V) を下回ってからリセットが発生するまで安全なチップ動作を保証します。電圧シーケンスの要件はありません。

V_{DD} 電源 (1.7 ~ 3.6V) は、ユーザーが選択可能なオンチップ降圧レギュレータまたは低ドロップアウトレギュレータ (LDO) に電力を供給します。供給先はユーザーが選択できます。さらに、降圧レギュレータおよび LDO の両方へ供給するコア動作電圧 (V_{CCD}) も、0.9V または 1.1V から選択できます。この選択について、ユーザーは 2 つのシステム電源モードから選択できます。

- System Low Power (LP) は、1.1V で V_{CCD} を動作させ、デバイス構成の制限なしで高性能を提供します。
- System Ultra Low Power (ULP) は、例外的な低電力を得るために 0.9V で V_{CCD} を動作させますが、クロック速度に制限を課します。

さらにバックアップドメインは、バッテリーやスーパーキャパシタなどのバックアップ電源 (V_{BACKUP}) によって供給される個別の電源ドメインを使用して、「常時オン」機能を追加します。32.768kHz の時計水晶発振器 (WCO) でサポートされるアラーム機能を備えたリアルタイムクロック (RTC)、および電源管理 IC (PMIC) 制御が含まれます。詳細については、[電源に関する考慮事項](#)を参照してください。

電力モード

PSoC 6 MCU は、4 つのシステムと 3 つの CPU 電力モードで動作できます。これらのモードは、アプリケーションの平均消費電力を最小限に抑えることを目的とします。電力モードおよびその他の省電力設定オプションの詳細については、アプリケーションノート [AN219528: PSoC 6 MCU Low-Power Modes and Power Reduction Techniques](#) と [Architecture TRM の Power Modes](#) 章を参照してください。

PSoC 6 MCU でサポートされている電力モードは、電力消費の少ない順に次のとおりです。

- システム低電力 (LP) – すべての周辺機器と CPU 電源モードは最大速度で利用可能
- システム超低電力 (ULP) – すべての周辺機器と CPU 電源モードが利用可能ですが、速度は制限されている
- CPU アクティブ – CPU はシステム LP または ULP モードでコードを実行
- CPU スリープ – CPU コードの実行は、システム LP または ULP モードで停止
- CPU ディープスリープ – システム LP または ULP モードで CPU コードの実行が停止し、システムディープスリープが要求される
- システムディープスリープ – 両方の CPU が CPU ディープスリープモードに入った後は、低周波数の周辺機器のみが利用可能
- システムハイバネート – デバイスと I/O の状態がフリーズし、デバイスがウェイクアップ時にリセット

CPU アクティブ、スリープ、およびディープスリープは、アーム CPU 命令セットアーキテクチャ (ISA) でサポートされる標準のアーム定義電力モードです。システム LP、ULP、ディープスリープ、およびハイバネート モードは、PSoC 6 MCU でサポートされる追加の低電力モードです。ハイバネート モードは、PSoC 6 MCU の最低電力モードであり、ウェイクアップ時に、CPU およびすべての周辺機器がリセットされます。

クロック システム

図 4 に、クロックシステムが以下のもので構成されることを示します。

- 内部主発振器 (IMO)
- 内部低速発振器 (ILO)
- 精密 ILO (PILO)
- 時計用水晶発振器 (WCO)
- 外部 MHz 水晶発振器 (ECO)
- 外部クロック入力
- フェーズロックループ (PLL)
- 周波数ロックループ (FLL)

クロックはバッファリングされ、Smart I/O ポートのピンに引き出されます。

内部主発振器 (IMO)

IMO は、内部クロックの主要供給源です。仕様の精度を達成するために出荷試験中に調整されます。IMO のデフォルト周波数は 8MHz で、許容誤差は $\pm 2\%$ です。

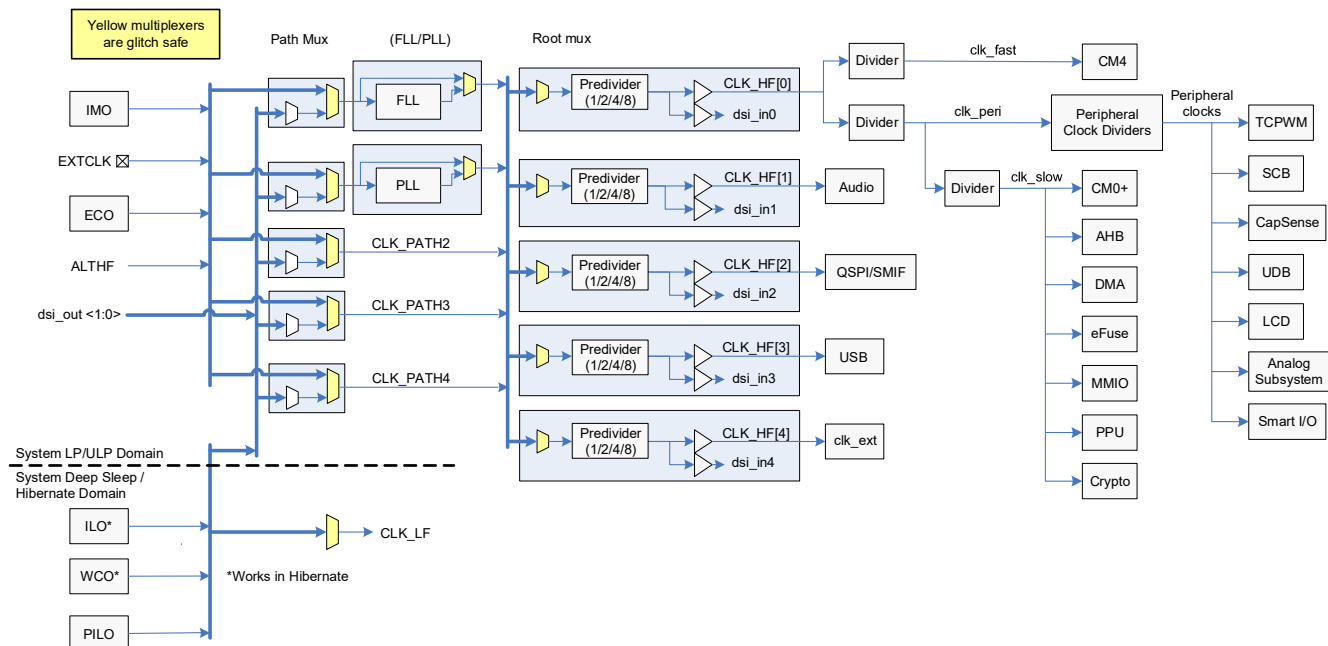
内部低速発振器 (ILO)

ILO は、公称 32 kHz の非常に低電力の発振器で、すべての電力モードで動作します。ILO は、精度を高めるために、より高い精度のクロックに対して較正できます。

高精度 ILO (PILO)

PILO は 32.768 kHz のクロックであり、ECO などの高精度クロックを使用して定期的に調整すると、ILO よりも正確なクロックを提供できます。

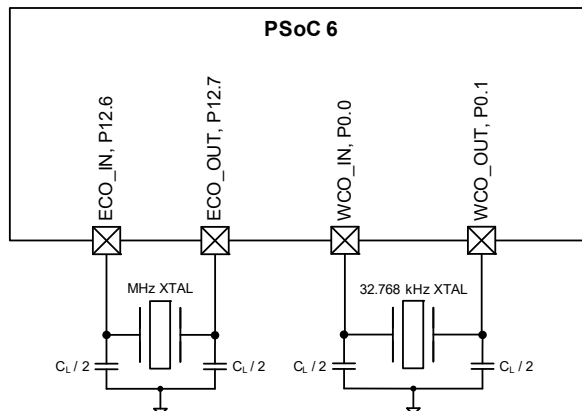
図 4. クロック図



外部水晶発振器

図 5 に、この製品ラインのすべての外部水晶発振器回路を示します。示されているコンポーネント値は標準値です。水晶の値については [ECO の仕様](#) を、負荷コンデンサの値については水晶のデータシートを確認してください。ECO と WCO には、平衡外部負荷コンデンサが必要です。詳細については、[TRM](#) および [AN218241, PSoC 6 MCU ハードウェア設計上の注意事項](#) を参照してください。

図 5. 発振器回路



ECO を使用する場合、そのパフォーマンスは GPIO スイッチングノイズの影響を受けることに注意してください。表 5 に示すように、GPIO ポートを使用する必要があります。一般的なアナログサブシステムの使用に関する追加の制限については、表 6 も参照してください。

表 5. ECO 使用ガイドライン

ポート	最大周波数	$V_{DD0} \leq 2.7$ V での駆動強度	$V_{DD0} > 2.7$ V での駆動強度
ポート11	SMIFの場合 60 MHz (QSPI)	DRIVE_SEL 2	DRIVE_SEL 3
ポート12 および13	低速スルーレート 設定	制限なし	制限なし

ウォッチドッグタイマー (WDT, MCWDT)

PSoC 6 MCU には 1 つの WDT と 2 つのマルチカウンタ WDT (MCWDT) があります。WDT には 16 ビットのフリーランニングカウンタがあります。各 MCWDT には、2 つの 16 ビットカウンタと 1 つの 32 ビットカウンタがあり、複数の動作モードがあります。すべての 16 ビットカウンタは、ウォッチドッグデバイスリセットを生成できます。すべてのカウンタは、一致イベントで割り込みを生成できます。

WDT は、ILO によってクロックされます。システム LP/ULP、ディープスリープ、およびハイバネート モードで割り込み/ウェイクアップの生成が行えます。MCWDT は、LFCLK (ILO または WCO) によってクロックされます。システム LP/ULP およびディープスリープモードで定期的な割り込み/ウェイクアップ生成を実行できます。

クロック分周器

ペリフェラルの使用とタイミングの目的で、以下の整数と分数のクロック分周器が用意されます。

- 8 つの 8 ビットクロック分周器

- 16 個の 16 ビット整数クロック分周器
- 4 つの 16.5 ビット分数クロック分周器
- 1 つの 24.5 ビット分数クロック分周器

トリガルーティング

PSoC 6 MCU には、トリガーマルチプレクサブロックが含まれます。これは、周辺機器ブロック間および GPIO と周辺機器ブロック間でトリガー信号をルーティングするために使用されるデジタルマルチプレクサとスイッチを集めたものです。

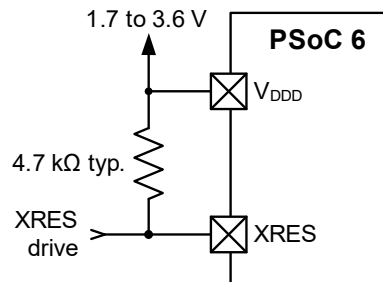
トリガルーティングには 2 つのタイプがあります。トリガーマルチプレクサは、送信元と宛先で再構成可能です。特定の送信元を宛先に接続する「1 対 1 トリガー」と呼ばれる有線スイッチもあります。ユーザーはルートを有効または無効にできます。

リセット

PSoC 6 MCU は、さまざまなソースからリセットできます。

- 電源がデバイスが正常に機能するために必要なレベルまで上昇する間、デバイスをリセット状態に保持するパワーオンリセット (POR)。POR は電源投入時に自動的にアクティブになります。
- ブラウンアウト検出 (BOD) リセットは、デジタル電圧供給 V_{DD0} を監視し、 V_{DD0} が必要な最小ロジック動作電圧を下回った場合にリセットを生成します。
- 外部ソースを使用してデバイスをリセットする外部リセット専用ピン (XRES)。XRES ピンはアクティブ LOW です。図 6 に示すように、 V_{DD0} へのプルアップ抵抗またはアクティブドライバ回路のいずれかに接続できます。プルアップ抵抗を使用する場合は、その値を選択して、ピンが Low に引き下げられたときの電流引き込みを最小限に抑えます。4.7 kΩ ~ 100kΩ が標準です。

図 6. XRES 接続ダイアグラム



- ウォッチドッグタイマー (WDT または MCWDT) は、ファームウェアが指定されたタイムアウト期間内にデバイスのサービスに失敗した場合にデバイスをリセットします。
- ファームウェアを使用してオンデマンドでデバイスをリセットするためのソフトウェア起動リセット。
- ロジック保護障害は、不正な操作条件が発生した場合に割り込みをトリガしたり、デバイスをリセットしたりできます。たとえば、特権コードの実行中にデバッグブレークポイントに到達します。
- ハイバネート低電力モードからデバイスを復帰させるためのハイバネートウェイクアップリセット。

リセット イベントは非同期であり、デバイスを既知の状態に復帰させることが保証されます。リセットソースの一部はレジスタに記録されます。これはリセットを通じて保持され、ソフトウェアがリセットの原因を特定できるようにします。

プログラマブルアナログサブシステム

12 ビット SAR ADC

12 ビットの 1Msps SAR ADC は、18MHz の最大クロックレートで動作でき、12 ビット変換を行うにはその周波数で最低 18 クロックが必要です。ADC リファレンス電圧には、 V_{DDA} 、 $V_{DDA/2}$ 、およびアナログリファレンス (AREF) の 3 つの内部リファレンスのいずれかを使用できます。AREF は公称 1.2V で、 $\pm 1\%$ に調整されます。表 23 を参照してください。 V_{REF} ピンを駆動することにより、外部リファレンスを使用することもできます。 $V_{DDA/2}$ または AREF をリファレンスとして使用する場合は、ノイズの多い状態でのパフォーマンスを向上させるために、外部バイパスコンデンサを V_{REF} ピンに接続できます。これらの参照オプションにより、使用される参照の精度でレシオメトリック読み出しまたは絶対読み出しが可能です。ADC の入力範囲は、 V_{SS} と V_{DDA}/V_{DDIOA} の間の全電源電圧です。SAR ADC は、同じ構成でシングルエンド信号と差動信号を組み合わせ構成できます。

SAR ADC のサンプル/ホールド (S/H) アパーチャはプログラム可能で、必要に応じて、高インピーダンスの信号が十分に安定するために十分な時間を確保できます。適切なリファレンス電圧が使用され、システム ノイズ レベルが許す限り、システム性能は真の 12 ビット精度で 65dB です。ノイズの多い状態で性能を改善するために、内部リファレンスアンプ用の外部バイパスコンデンサを (固定「VREF」ピンを介して) 追加できます。

SAR は入力マルチプレクサーを介して、決められたピンに接続されます。マルチプレクサーは、スイッチング オーバヘッドの必要はなく、選択されたチャネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャネルか複数のチャネルであるにかかわらず 1Msps です)。各チャネルの結果はバッファリングされるため、すべてのチャネルのフルスキャンが完了した場合にのみ割込みがトリガーされます。また、入力が最小値または最大値、あるいはその両方を超えた場合に検出し、割込みを発生させるように、レンジレジスタのペアを設定できます。これにより、シーケンサのスキャンが完了するのを待たずに、範囲外の値を迅速に検出し、CPU が値を読み出し、ソフトウェアで範囲外の値をチェックできます。SAR は、ファームウェア制御下で、アナログマルチプレクサバス (AMUXBUS) を介して他のほとんどの GPIO ピンにも接続できます。SAR は、高速クロック (最大 18MHz) を必要とするため、ディープスリープモードおよびハイバネート状態モードでは使用できません。SAR の動作範囲は 1.71~3.6V です。

ADC の精度は GPIO スwitchングノイズの影響を受けます。精度を向上させるには、表 6 にリストされている GPIO ポート制限を実装します。さらに、ポート 9 と 10 にスイッチング出力があってはなりません。

温度センサー

オンチップ温度センサーは SAR の一部であり、SAR ADC によってスキャンされる場合があります。これは、電力を節約するために無効にできる電流源によってバイアスされるダイオードで構成されます。温度センサーは、測定チャネルの 1 つとして SAR ADC に直接接続できます。ADC は温度センサーの出力をデジタル化し、サイプレスが提供するソフトウェア機能を使用して、校正と直線化を含む読み出し値を温度に変換できます。

12 ビットのデジタル アナログ変換器 (DAC)

チップには、2 μ s 以内で安定する 12 ビット電圧モードの DAC が内蔵されます。DAC はユーザー定義の波形を生成するために DMA コントローラーによって駆動されます。チップからの DAC 出力は、抵抗ラダー出力 (グラウンド近傍で高度にリニア) または CTBm ブロックのオペアンプを使用したバッファ付き出力のいずれかです。

2 個のオペアンプのある連続時間ブロック mini (CTBm)

図 7 に示すように、このブロックは 2 つのオペアンプで構成され、それらは入力と出力はピンと他のアナログブロックに接続されます。3 つの電力モード (高、中、および低) とコンパレータモードがあります。オペアンプは、SAR 入力と DAC 出力をバッファするために使用できます。これらのオペアンプの非反転入力力は 2 つのピンのいずれかに接続でき、したがって、独立したセンサーを異なる時間に使用できます。ピンの選択はファームウェアを使って行われます。

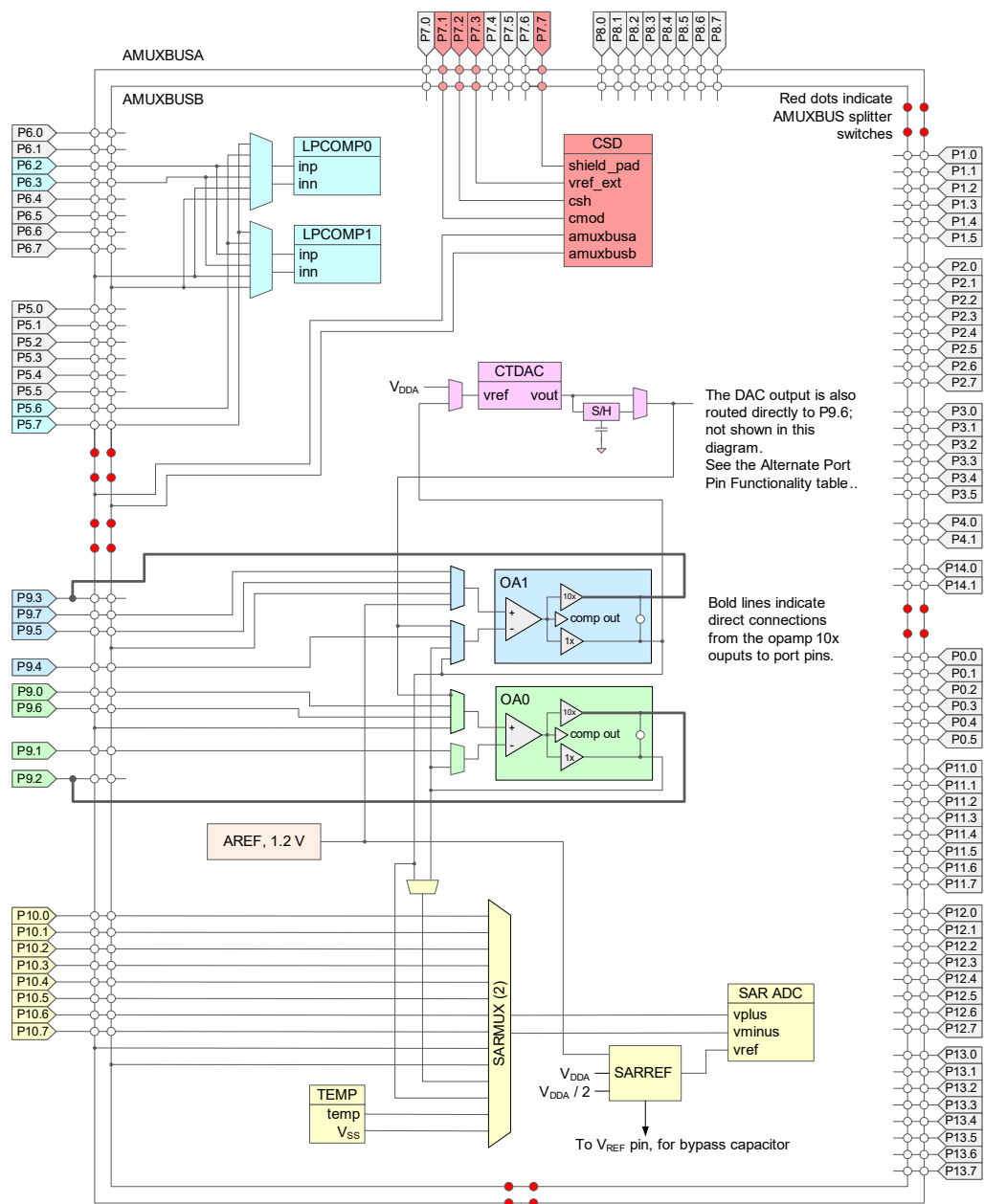
オペアンプは、システムディープスリープモードでの動作にも対応し、パフォーマンスが低下し、消費電力が削減されます。

低消費電力コンパレータ

2 つの低電力コンパレータが提供され、すべての電力モードで動作できます。これにより、システムディープスリープおよびハイバネートモード中に外部電圧レベルを監視する能力を維持しながら他のアナログシステムリソースを無効にできます。コンパレータ出力は、システムウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになる非同期電力モード (ハイバネート) で動作する場合を除き、準安定状態を避けるため、通常同期化されます。

図 7 に、アナログサブシステムの概要を示します。この図は、高レベルの抽象化です。接続の詳細については、アーキテクチャ TRM を参照してください。

図 7. アナログサブシステム



プログラマブル デジタル

Smart I/O

Smart I/O デバイスの内部リソースから GPIO ピンに移動する信号、または外部ソースからデバイスに移動する信号のブール演算を可能にするプログラマブルロジックファブリックです。Smart I/O ブロックは、GPIO ピンと高速 I/O マトリックス (HSIOM) の間にあり、単一のポート専用です。

2 つの Smart I/O ブロックがあります。1 つはポート 8 に、もう 1 つはポート 9 にあります。Smart I/O が有効になっていない場合、ポート 8 およびポート 9 のすべての信号は Smart I/O ハードウェアをバイパスします。

Smart I/O は下記をサポートします。

- システムのディープスリープ動作
- CPU の介入なしのブール演算
- 非同期または同期 (クロック) 操作

各 Smart I/O ブロックには、データユニット (DU) と 8 つのルックアップテーブル (LUT) が含まれます。

DU は下記のとおりです。

- 選択可能なオペコードに基づいて独自の機能を実行します。
- 内部リソース、GPIO ポート、または DU レジスタの値から入力信号を発信できます。

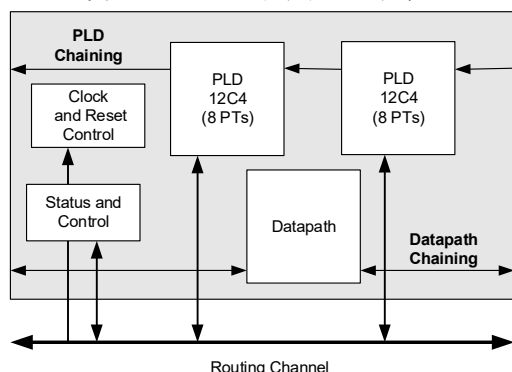
各 LUT は下記のとおりです。

- 3 つの選択可能な入力ソースがあります。入力信号は、別の LUT、内部リソース、GPIO ピン、または DU からの外部信号から供給されます。
- プログラム可能なブール論理テーブルとして機能します。
- 同期または非同期にできます。

ユニバーサル デジタル ブロック (UDB) およびポート インターフェース

この製品ラインは 12 個の UDB を内蔵します。UDB は、図 8 に示すように、一般的な組込み周辺機器とカスタム機能を作成するために最適化された、コミットされていないロジック (PLD) とナノ CPU (データパス) の集まりです。UDB データパスは 8 ビット幅であり、連鎖して 16、24、および 32 ビット関数を形成できます。UDB には、デジタルシステムインターコネク (DSI) が含まれます。これは、UDB、固定機能周辺機器、I/O ピン、およびその他のシステムブロック間で信号をルーティングして、フル機能のデバイス接続を実装します。DSI は、任意のデジタル機能と任意のピン間のルーティングを可能にします。ポートアダプタブロックは UDB を拡張して、HSIOM を介して GPIO へのインターフェースを提供します。

図 8. UDB ブロックダイアグラム



固定機能デジタル

タイマー/ カウンター/ パルス幅変調器 (TCPWM) ブロック

- TCPWM は、次の動作モードをサポートします。
 - 比較付きタイマーカウンタ
 - キャプチャ付きタイマーカウンタ
 - 直交デコード
 - パルス幅変調 (PWM)
 - 擬似ランダム PWM
 - デッドタイム付き PWM
- アップ、ダウン、およびアップ / ダウンカウントモード。
- クロックプリスケールリング (1, 2, 4, ... 64, 128 による除算)
- 比較 / キャプチャおよび期間値のダブルバッファリング
- アンダーフロー、オーバーフロー、および出力信号のキャプチャ / 比較
- 割込みのサポート
 - ターミナルカウント - モードに依存します。通常、オーバーフローまたはアンダーフローで発生します
 - キャプチャ / 比較 - カウントがキャプチャレジスタにキャプチャされるか、カウンタ値が比較レジスタの値と等しい
- PWM の相補出力
- 立ち上りエッジ、立ち下りエッジ、両方のエッジ、およびレベルトリガーオプションを使用して、各 TCPWM の選択可能な開始、リロード、停止、カウント、およびイベント信号をキャプチャします。TCPWM には、強制的に出力を所定の状態にするための Kill 入力があります。

このデバイスには次のものがあります。

- 8 つの 32 ビット TCPWM
- 24 個の 16 ビット TCPWM

シリアル通信ブロック (SCB)

この製品ラインには 9 つの SCB があります。

- 8 つは I²C、UART、または SPI のいずれかを実装できます。
- 1 つの SCB (SCB #8) は外部クロックを使用してシステムディープスリープモードで動作でき、この SCB は SPI スレーブまたは I²C スレーブのいずれかです。

I²C モード: SCB は完全なマルチマスターおよびスレーブインターフェースを実装できます (マルチマスターのアービトレーションが可能です)。このブロックは、最大 1 Mbps (Fast Mode Plus) の速度で動作できます。また、PSoC 62 のメモリ内にメールボックスアドレス範囲を作成する EZI²C をサポートし、メモリ内のアレイの読み出しと書き込みに対する I²C 通信を効果的に削減します。SCB は、送受信用に 256 バイトの FIFO をサポートします。

I²C ペリフェラルは、NXP I²C バス仕様およびユーザーマニュアル (UM10204) で定義される I²C 標準モード、Fast Mode、および Fast Mode Plus デバイスと互換性があります。I²C バス I/O は、オープンドレインモードにある GPIO を使って実装されます。

UART モード: 最大 8 Mbps で動作するフル機能の UART です。基本の UART プロトコルから少し発展した車載向けシングルワイヤインターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応します。また、共通の Rx と Tx ラインで接続したペリフェラルのアドレス指定を可能にする 9 ビットマルチプロセッサモードに対応します。パリティエラー、ブレイク検出、フレームエラーなどの一般的な

UART 機能をサポートします。256 バイトの FIFO を使用すると、はるかに長い CPU サービスレイテンシを許容できます。

SPI モード : SPI モードは Motorola SPI、TI セキュア シンプル ペアリング (SSP) (SPI コーデックの同期化用の開始パルスを実質的に追加)、National Microwire (半二重の SPI) に完全に対応します。SPI ブロックは、EZSPI モードをサポートします。このモードでは、データ交換はメモリ内の配列の読み出しと書き込み限定されます。SPI インターフェースは 25 MHz クロックで動作します。

USB フルスピードデバイスインターフェース

PSoC 6 には、フルスピード USB デバイスインターフェースが組み込まれます。デバイスは、最大 8 つのエンドポイントを持てます。512 バイトの SRAM バッファが用意され、DMA がサポートされます。

注 : USB ピンを使用しない場合は、 V_{DDUSB} をアースに接続し、P14.0/USB DP ピンと P14.1/USB DM ピンは未接続のままにしてください。

QSPI インターフェース シリアルメモリインターフェース (SMIF)

シリアルメモリインターフェースが提供され、最大 80 MHz で実行されます。シングル、デュアル、クアッド、デュアルクアッド、およびオクタルの SPI 構成をサポートし、最大 4 つの外部メモリデバイスをサポートします。次の 2 つの操作モードをサポートします。

- メモリマップ I/O (MMIO): SMIF レジスタおよび FIFO を介したデータアクセスを提供するコマンドモードインターフェース
- 所定の場所での実行 (XIP): AHB 読み出しおよび書き込みは、SPI 読み出しおよび書き込み転送に直接変換される。

XIP モードでは、外部メモリは PSoC 6 MCU 内部アドレス空間にマッピングされ、外部メモリから直接コードを実行できます。パフォーマンスを改善するために、4 KB のキャッシュが含まれます。XIP モードは、AES-128 のオンザフライ暗号化および復号化もサポートしているため、外部メモリのコードおよびデータの安全な保管とアクセスが可能です。

LCD

このブロックは、LCD コモンとセグメントを駆動します。ルーティングは、ほとんどの GPIO で使用できます。GPIO の 1 つから 8 つをコモンに使用する必要があり、残りはセグメントに使用できます。

LCD ブロックには、高速 (8 MHz) と低速 (32 kHz) の 2 つの動作モードがあります。どちらのモードもシステム LP および ULP モードで動作します。低速モードは、システムディープスリープモードでコントラストを下げて動作します。このモードを使用する前に、コモンラインとセグメントラインの数、視野角の要件、プロトタイプのパフォーマンスを確認してください。

表 6. DRIVE_SEL 値

ポート	最大周波数	$V_{DD} \leq 2.7 \text{ V}$ での駆動強度	$V_{DD} > 2.7 \text{ V}$ での駆動強度
ポート 0	8 MHz	DRIVE_SEL 2	DRIVE_SEL 3
ポート 1	1 MHz; 低速スルーレート, 2出力最大		
ポート 2	50 MHz		
ポート 3~10	16 MHz; SPI の場合 25 MHz	DRIVE_SEL 1	DRIVE_SEL 2
ポート 11~13	SMIF の場合 80 MHz (QSPI)		
ポート 9 および 10	8 MHz; ADC 性能のための TQFP パッケージの低速スルーレート設定	制限なし	制限なし

GPIO

この製品ラインには、最大 100 個の GPIO があり、以下を実装します。

- 8 つの駆動強度モード
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS または LVTTTL)
- 前のステートをラッチするためのホールド モード (システムのハイバネート モードで I/O ステートを維持するため)
- EMI を改善するために、 dV/dt に起因するノイズを制御するために選択可能なスルー レート

ピンは、最大 8 ピン幅のポートと呼ばれる論理エンティティに構成されます。データ出力とピン ステート レジスタは、ピン上で駆動される値とピンの入力状態をそれぞれ格納します。

各ピンは有効になった場合に割込みを生成できます。なお各ポートにはそれに対応する割込み要求 (IRQ) があります。

ポート 1 ピンは、過電圧耐性 (OVT) 動作が可能であり、入力電圧は V_{DD} よりも高い場合があります。OVT ピンは一般に I^2C と共に使用され、機能に影響を与えずに動作中の I^2C バスへの物理的な接続を維持しながら、チップの電源をオフにできます。

GPIO ピンは、より高い値の電流をソースまたはシンクするために連動されます。OVT ピンを含む GPIO ピンは、絶対最大値より高くプルアップされない場合があります。電気的仕様を参照してください。

電源投入およびリセット中、ピンは強制的にアナログ入力駆動モードになり、入力および出力バッファが無効になり、入力をクローバーにしたり、過剰なターンオン電流が発生したりしないようにします。

高速 I/O マトリクス (HSIOM) と呼ばれる多重化ネットワークは、I/O ピンに接続される可能性のあるさまざまな周辺信号とアナログ信号の間で多重化するために使用されます。

アナログ性能は GPIO スイッチングノイズの影響を受けます。最高のアナログ性能を得るためには、次の周波数とドライブモードの制約を適用する必要があります。DRIVE_SEL 値 (表 6 を参照) は、ドライブの強度を表します (詳細については、Architecture および Register TRM を参照してください)。

ECO の使用に関する追加の制限については、表 5 も参照してください。

特殊機能ペリフェラル

オーディオ サブシステム

このサブシステムは、次のハードウェアブロックで構成されます。

- 1 つの Inter-IC Sound (I²S) インターフェース
- 2 つのパルス密度変調 (PDM) からパルス符号変調 (PCM) デコーダーチャネル

I²S インターフェースは2つの独立したハードウェア FIFO バッファ (TX および RX) を実装し、マスターモードまたはスレーブモードで動作できます。次の機能をサポートします。

- 複数のデータ形式 – I²S、左寄せ、時分割多重化 (TDM) モード A、および TDM モード B
- プログラム可能なチャネル / ワード長 – 8/16/18/20/24/32 ビット
- 内部 / 外部クロック動作。最大 192 ksp/s
- 割込みマスクイベント – トリガー、非エンプティ、フル、オーバーフロー、アンダーフロー、ウォッチドッグ

- DMA をサポートする構成可能な FIFO トリガーレベル

I²S インターフェースは、一般的にオーディオコーデック、シンプルな DAC、デジタルマイクとの接続に使用されます。

PDM-PCM デコーダーは、ステレオまたはモノの 1 ビット PDM 入力ストリームを PCM データ出力にデコードする単一のハードウェア Rx FIFO を実装します。次の機能がサポートされます。

- プログラマブルデータ出力のワード長 – 16/18/20/24 ビット
- ボリュームコントロール用のプログラマブルゲインアンプ (PGA) – 1.5 dB ステップで –12 dB から +10.5 dB まで
- 構成可能な PDM クロック生成。384 kHz ~ 3.072 MHz の範囲
- サンプリングのドループ補正と構成可能なデシメーションレート。最大 48 ksp/s
- プログラム可能なハイパスフィルターゲイン
- 割込みマスクイベント – 非エンプティ、オーバーフロー、トリガー、アンダーフロー

- DMA をサポートする構成可能な FIFO トリガーレベル

PDM-PCM デコーダーは、一般にデジタル PDM マイクへの接続に使用されます。最大 2 つのマイクを同じ PDM データ回線に接続できます。

CAPSENSE™ サブシステム

CAPSENSE™ は、CAPSENSE™ シグマデルタ (CSD) ハードウェアブロックを介して PSoC 6 MCU でサポートされます。高感度の自己容量および相互容量測定用に設計されており、特にユーザーインターフェースソリューション用に構築されています。

CAPSENSE™ に加えて、CSD ハードウェアブロックは 3 つの汎用機能をサポートします。これらは CAPSENSE™ が使用されていないときに利用可能です。あるいは、ファームウェア制御下のアプリケーションで 2 つ以上の機能を時間多重化することもできます。CSD ハードウェアブロックでサポートされる 4 つの機能は次のとおりです。

- CAPSENSE™
- 10 ビット ADC
- プログラマブル電流源 (IDAC)
- コンパレータ

CAPSENSE™

静電容量式タッチセンサーは、人体の静電容量に依存してセンサーの上または近くに指の存在を検出するユーザーインターフェース用に設計されます。サイプレス CAPSENSE™ ソリューションは、IoT、産業、自動車、家電などのアプリケーションに、エレガントで信頼性の高いシンプルな静電容量式タッチセンシング機能をもたらします。

サイプレス独自の CAPSENSE™ テクノロジーは、次の機能を提供します。

- クラス最高の信号対雑音比 (SNR) と過酷でノイズの多い条件下での堅牢なセンシング
- 自己容量 (CSD) および相互容量 (CSX) の検知方法
- ボタン、マトリックスボタン、スライダー、タッチパッド、近接センサーなど、さまざまな Widget のサポート
- さまざまな材料にわたる高性能センシング
- クラス最高の耐液性
- 複雑な手動調整プロセスを回避するために役立つ SmartSense 自動調整テクノロジー
- 外部ノイズに対する優れた耐性
- 低放射エミッション用のスペクトラム拡散クロック
- ジェスチャと内蔵のセルフテストライブラリ
- 超低消費電力
- リアルタイムのチューニング、テスト、およびデバッグ用の統合グラフィカル CAPSENSE™ チューナー

CAPSENSE™ の感度と精度は、GPIO スイッチングノイズの影響を受けます。感度と精度を向上させるためには、表 6 にリストされている GPIO ポート制限を実装し、次の手順を実行します。

- CAPSENSE™ ピンをポート 6 および 7 に制限します
- ポート 6 および 7 で他の GPIO 出力アクティビティがないようにします
- ポート 5 および 8 には 2 つ以上の GPIO 出力がないようにします
- 低速スルーレート設定で、ポート 5 および 8 の GPIO 出力スイッチングを 1 MHz に制限します

ADC

CAPSENSE™ サブシステムスロープ ADC は次の機能を提供します。

- 選択可能な 8 または 10 ビットの解像度
- 選択可能な入力範囲: 任意の GPIO 入力から GND から V_{REF} および GND から V_{DDA}
- GPIO または外部コンポーネントを使用しない内部リファレンスに対する V_{DDA} の測定

IDAC

CSD ブロックには、次の機能を提供する 2 つのプログラム可能な電流源があります。

- 7 ビット解像度
- シンクおよびソース電流モード
- 37.5 nA から 609 μ A までプログラム可能な電流源
- 1 つの 8 ビット IDAC を形成するために並行して使用できる 2 つの IDAC

コンパレータ

CAPSENSE™ サブシステムコンパレータは、システム低電力および超低電力モードで動作します。反転入力には内部のプログラム可能な基準電圧に接続され、非反転入力には AMUXBUS を介して任意の GPIO に接続できます。

CAPSENSE™ ハードウェアサブシステム

図 9 は、デルタシグマコンバータ、内部クロック分周器、シールドドライバ、および 2 つのプログラム可能な電流源を含む CAPSENSE™ サブシステムの高レベルハードウェアの概要を示します。

入力は、アナログ多重化バス (AMUXBUS A / B) を介して管理されます。CSD ブロックが提供するすべての機能の入力と出力は、専用 GPIO を使用するコンパレータ出力と外部コンデンサを除き、ソフトウェア制御下の任意の GPIO または GPIO のグループに提供できます。

自己容量は、AMUXBUS A、外部変調器コンデンサ、および各センサーの GPIO を使用する CSD ブロックによってサポートされます。自己容量センシング用のシールド電極 (オプション) があります。これは、AMUXBUS B とオプションの外部シールドタンクコンデンサを使用してサポートされます (シールドドライバの駆動能力を高めるため)。相互容量は、AMUXBUS

A、2 つの外部統合コンデンサ、および送信および受信電極用の GPIO を使用する CSD ブロックによってサポートされます。

ADC は外部コンポーネントを必要としません。AMUXBUS A に接続できる GPIO は、ソフトウェア制御下で ADC への入力にできます。ADC は、GPIO を必要とせずに V_{DDA} を入力として受け入れられます (バッテリー電圧測定などのアプリケーション用)。

汎用モードの 2 つのプログラム可能な電流源 (IDAC) は、AMUXBUS A または B に接続できます。したがって、それらは任意の GPIO ピンに接続できます。コンパレータは、デルタシグマコンバータにあります。コンパレータ反転入力にはリファレンスに接続できます。AMUXBUS B を使用して、両方のコンパレータ入力を任意の GPIO に接続できます。図 9 を参照してください。リファレンスは専用 GPIO に直接接続します。表 9 を参照してください。

CSD ブロックは、アクティブおよびスリープ CPU 電力モードで動作し、システム LP モードと ULP モードをシームレスに移行できます。システムディープスリープおよびハイバネートモードで電源を切れます。ハイバネートモードからウェイクアップすると、CSD ブロックの再初期化が必要です。ただし、ファームウェアの制御下でディープスリープモードを終了すると、再初期化せずに操作を再開できます。

図 9. CAPSENSE™ ハードウェアサブシステム

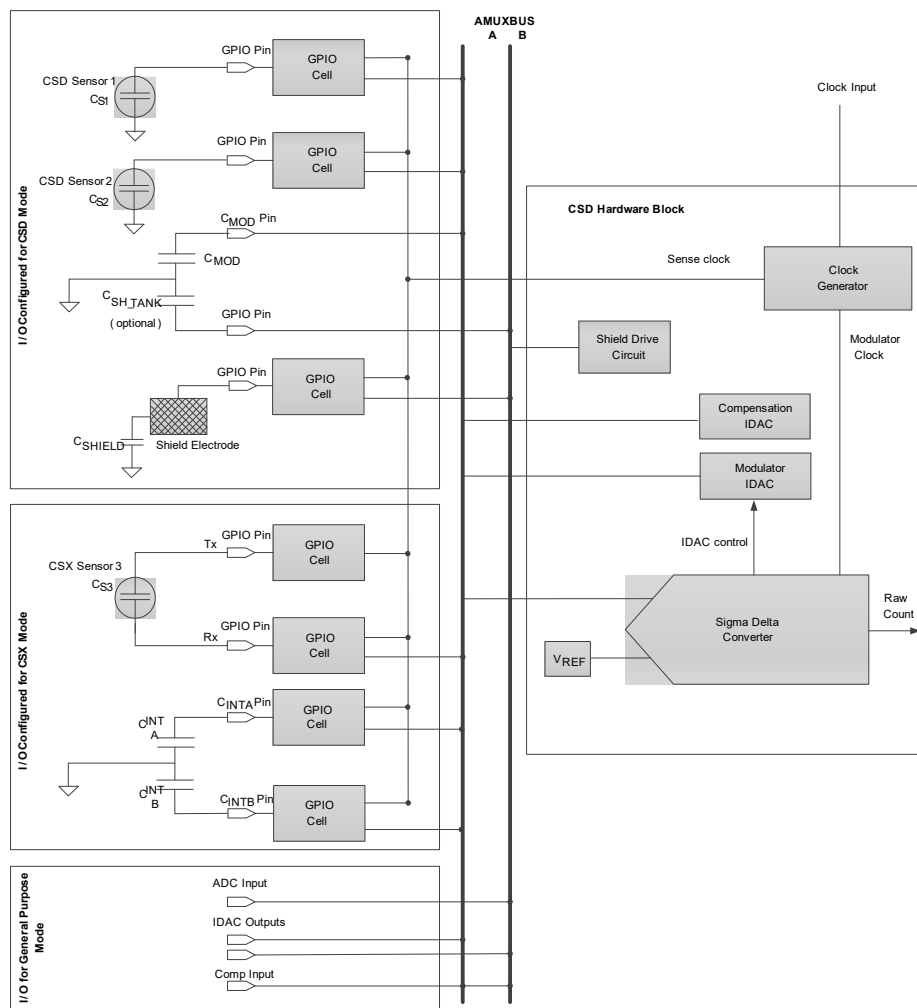


図 10 は、高レベルのソフトウェアの概要を示します。サイプレスは、CAPSENSE™、ADC、および IDAC のミドルウェアライブラリを GitHub で提供して迅速な統合を可能にします。CAPSENSE™ 機能を備えたキットのボードサポートパッケージには、BSP を使用するすべてのアプリケーションに CAPSENSE™ ライブラリが自動的に含まれます。

ユーザーアプリケーションはミドルウェアとのみ対話して、CSD ブロックの機能を実装します。ミドルウェアは、基盤となるドライバーと対話して、必要に応じてハードウェアにアクセスします。プロジェクトに複数の CSD 関連ミドルウェアが存在する場合、CSD ドライバーは CSD ハードウェアの時分割多重化を容易にします。この場合、アクセスの競合を防ぎます。

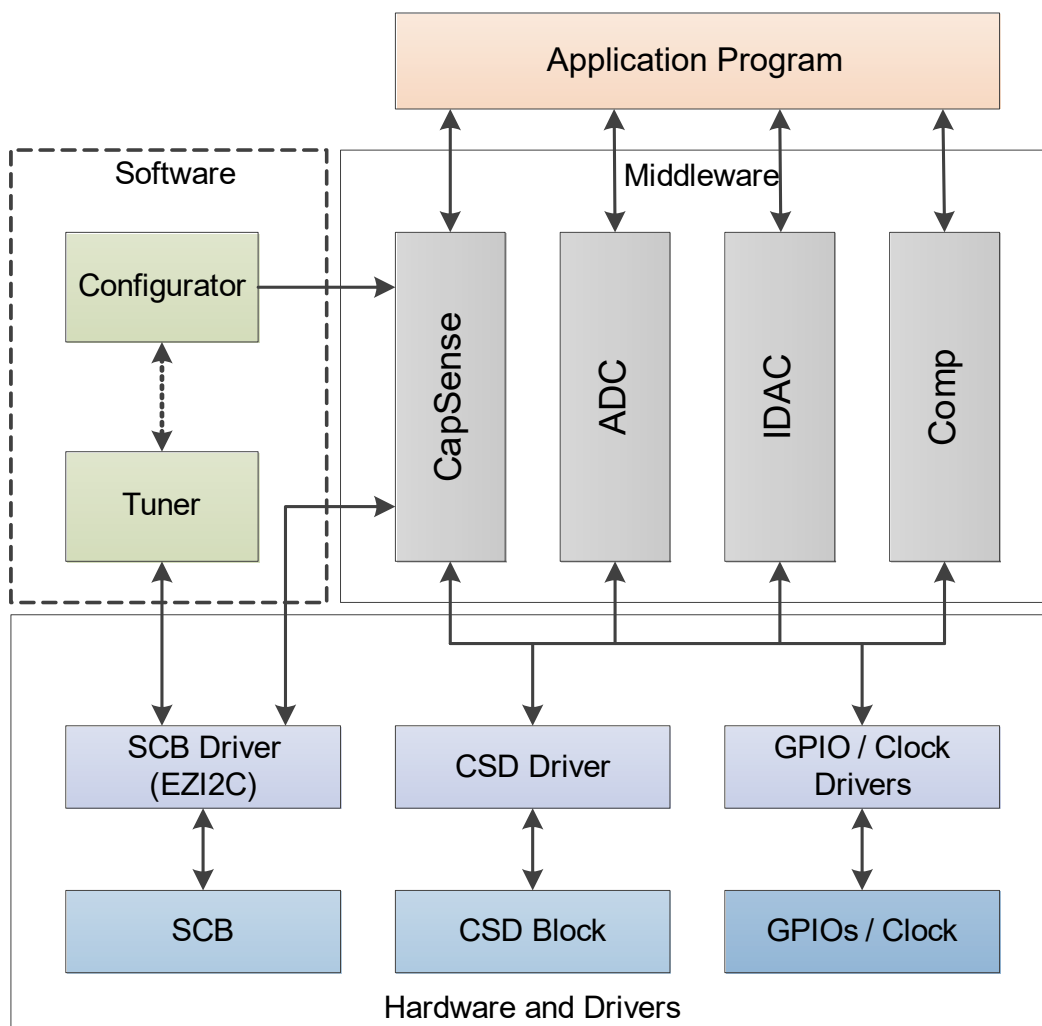
ModusToolbox ソフトウェアは、高速ライブラリ構成を可能にする CAPSENSE™ コンフィギュレーターを提供します。また、システムのパフォーマンス評価とリアルタイムチューニングのためのチューナーも提供します。チューナーは、リアルタイムのチューニング機能を有効にするために、アプリケーションに EZI2C 通信インターフェースを必要とします。チューナーは、デバイス内およびコンフィギュレーター内で構成パラメーターを直接更新できます。

CAPSENSE™ および ADC ミドルウェアは、CSD 割込みを使用して、ノンブロッキングセンシングと A-D 変換を実装します。したがって、割込みサービスルーチンはミドルウェアの定義済み部分であり、アプリケーションによって初期化する必要があります。ミドルウェアとドライバーはどちらの CPU でも動作できます。サイプレスは、1つの CPU でのみミドルウェアを使用することを推奨します。両方の CPU が CSD ドライバーにアクセスする必要がある場合、メモリアクセスはアプリケーションで管理する必要があります。

CSX センシング、CSD センシング、シールド電極の使用とその利点、および容量性システム設計ガイドラインの詳細については、AN85951: PSoC 4 および PSoC 6 MCU CAPSENSE™ デザインガイドを参照してください。

GitHub で入手可能な CAPSENSE™、ADC、および IDAC の API リファレンスガイドを参照してください。

図 10. CAPSENSE™ ソフトウェア / ファームウェア サブシステム



ピン配置

注：CY8C62x6/CY8C62x7 データシートの Web ページには、ピン配置と HSIOM マッピングを備えたピン代替機能の統合リストを含むスプレッドシートが含まれます。

GPIO ポートは次のように V_{DDX} ピンから電力を供給されます。

- P0: V_{BACKUP}
- P1: V_{DD0} 。ポート 1 の GPIO ピンは過電圧耐性 (OVT) です。
- P2、P3、P4: V_{DDIO2}
- P5、P6、P7、P8: V_{DDIO1}
- P9、P10: V_{DDIOA} 、 V_{DDA} (V_{DDIOA} (存在する場合)、および V_{DDA} は PCB 上で一緒に接続する必要があります。)
- P11、P12、P13: V_{DDIO0}
- P14: V_{DDUSB}

表 7. パッケージとピン情報

ピン	パッケージ	
	124-BGA	80-WLCSP
V_{DD0}	A1	B11
V_{CC0}	A2	A10
V_{DDA}	A12	F1
V_{DDIOA}	A13	-
V_{DDIO0}	C4	A6
V_{DDIO1}	K12	M1
V_{DDIO2}	L4	-
V_{BACKUP}	D1	D11
V_{DDUSB}	M1	P11
V_{SS}	B12, C3, D4, D10, K4, K10	A8, D1, P5, R8
V_{DD_NS}	J1	K11
V_{IND1}	J2	L10
V_{IND2}	K2	M11
V_{BUCK1}	K3	N10
V_{RF}	K1	-
XRES	F1	G10
V_{REF}	B13	-
P0.0	E3	C10
P0.1	E2	D9
P0.2	E1	E10
P0.3	F3	F9
P0.4	F2	G8
P0.5	G3	F11
P1.0	G2	H11
P1.1	G1	H9
P1.2	H3	-
P1.3	H2	-
P1.4	H1	K9
P1.5	J3	J10
P2.0	M2	-
P6.7	M13	J6

ピン	パッケージ	
	124-BGA	80-WLCSP
P2.1	N2	-
P2.2	L3	-
P2.3	M3	-
P2.4	N3	-
P2.5	N1	-
P2.6	M4	-
P2.7	N4	-
P3.0	L5	-
P3.1	M5	-
P3.2	N5	-
P3.3	L6	-
P3.4	M6	-
P3.5	N6	-
P4.0	L7	-
P4.1	M7	-
P5.0	N7	M9
P5.1	L8	N8
P5.2	M8	R6
P5.3	N8	P7
P5.4	L9	L8
P5.5	M9	M7
P5.6	N9	R4
P5.7	N10	N6
P6.0	M10	J8
P6.1	L10	K7
P6.2	L11	L6
P6.3	M11	R2
P6.4	N11	P3
P6.5	M12	N4
P6.6	N12	M5
P10.5	B10	D3

ピン	パッケージ	
	124-BGA	80-WLCSP
P7.0	L13	N2
P7.1	L12	M3
P7.2	K13	L4
P7.3	N13	K5
P7.4	K11	-
P7.5	J13	-
P7.6	J12	-
P7.7	J11	L2
P8.0	H13	H3
P8.1	H12	K1
P8.2	H11	K3
P8.3	G13	J4
P8.4	G12	J2
P8.5	G11	-
P8.6	F13	-
P8.7	F12	-
P9.0	E11	H1
P9.1	E12	G2
P9.2	E13	E2
P9.3	F11	C2
P9.4	D13	F3
P9.5	D12	-
P9.6	D11	-
P9.7	C13	A2
P10.0	C12	G4
P10.1	A11	H5
P10.2	B11	-
P10.3	C11	-
P10.4	A10	B3

ピン	パッケージ	
	124-BGA	80-WLCSP
P10.6	C10	-
P10.7	A9	-
P11.0	B9	E4
P11.1	C9	F5
P11.2	A8	G6
P11.3	B8	A4
P11.4	C8	C4
P11.5	A7	B5
P11.6	B7	D5
P11.7	C7	C6
P12.0	A6	B7
P12.1	B6	D7
P12.2	C6	C8
P12.3	A5	B9
P12.4	B5	E6
P12.5	C5	E8
P12.6	A4	F7
P12.7	B4	H7
P13.0	B1	-
P13.1	A3	-
P13.2	B3	-
P13.3	B2	-
P13.4	C2	-
P13.5	C1	-
P13.6	D3	-
P13.7	D2	-
P14.0 / USBDP	L2	R10
P14.1 / USBDM	L1	P9

注：USB ピンを使用しない場合は、 V_{DDUSB} をアースに接続し、P14.0/USBDP ピンと P14.1/USBDM ピンは未接続のままにしてください。

各ポートピンには複数の代替機能があります。表 8 に示します。

表 8. 複数の代替機能^[1]

Port/ Pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P0.0	tcpwm[0].line[0]:0	tcpwm[1].line[0]:0		srss.ext_clk:0				scb[0].spi_select1:0			peri.tr_io_in put[0]:0						
P0.1	tcpwm[0].line_compl[0]:0	tcpwm[1].line_compl[0]:0						scb[0].spi_select2:0			peri.tr_io_in put[1]:0					cpuss.swj_trstn	
P0.2	tcpwm[0].line[1]:0	tcpwm[1].line[1]:0				scb[0].uart_rx:0	scb[0].i2c_scl:0	scb[0].spi_mosi:0									
P0.3	tcpwm[0].line_compl[1]:0	tcpwm[1].line_compl[1]:0				scb[0].uart_tx:0	scb[0].i2c_sda:0	scb[0].spi_miso:0									
P0.4	tcpwm[0].line[2]:0	tcpwm[1].line[2]:0				scb[0].uart_rts:0		scb[0].spi_clk:0				peri.tr_io_output[0]:2					
P0.5	tcpwm[0].line_compl[2]:0	tcpwm[1].line_compl[2]:0		srss.ext_clk:1		scb[0].uart_cts:0		scb[0].spi_select0:0				peri.tr_io_output[1]:2					
P1.0	tcpwm[0].line[3]:0	tcpwm[1].line[3]:0				scb[7].uart_rx:0	scb[7].i2c_scl:0	scb[7].spi_mosi:0			peri.tr_io_in put[2]:0						
P1.1	tcpwm[0].line_compl[3]:0	tcpwm[1].line_compl[3]:0				scb[7].uart_tx:0	scb[7].i2c_sda:0	scb[7].spi_miso:0			peri.tr_io_in put[3]:0						
P1.2	tcpwm[0].line[4]:4	tcpwm[1].line[12]:1				scb[7].uart_rts:0		scb[7].spi_clk:0									
P1.3	tcpwm[0].line_compl[4]:4	tcpwm[1].line_compl[12]:1				scb[7].uart_cts:0		scb[7].spi_select0:0									
P1.4	tcpwm[0].line[5]:4	tcpwm[1].line[13]:1						scb[7].spi_select1:0									
P1.5	tcpwm[0].line_compl[5]:4	tcpwm[1].line_compl[14]:1						scb[7].spi_select2:0									
P14.0																	
P14.1																	
P2.0	tcpwm[0].line[6]:4	tcpwm[1].line[15]:1				scb[1].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:0			peri.tr_io_in put[4]:0				bless.mxd_dpslp_ret_switch_hv		
P2.1	tcpwm[0].line_compl[6]:4	tcpwm[1].line_compl[15]:1				scb[1].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:0			peri.tr_io_in put[5]:0				bless.mxd_dpslp_ret_do_ol_hv		

注 :

1. シグナルの表記法は、IPName [x].signal_name [u] : y の形式です。
IPName = ブロックの名前 (tcpwm など)、x = IP の一意のインスタンス、Signal_name = 信号の名前、u = 特定の信号名に対して複数の信号がある場合の信号番号、y = 信号名のコピーを指定
例えば、tcpwm [0].line_compl [3] : 4 という名前は、これが tcpwm ブロックのインスタンス 0 であり、信号が line_compl # 3 (行出力の補数) であり、これが次の 4 回目の出現 (コピー) であることを示します。
信号コピーは、ルーティングの柔軟性を可能にし、オンチップリソースの利用を最大化するために提供されます。

表 8. 複数の代替機能^[1] (続き)

Port/ Pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P2.2	tcpwm[0].line[7]:4	tcpwm[1].line[16]:1				scb[1].uart_rts:0		scb[1].spi_clk:0							bless.mxd_dpslp_buck_en		
P2.3	tcpwm[0].line_compl[7]:4	tcpwm[1].line_compl[16]:1				scb[1].uart_cts:0		scb[1].spi_select0:0							bless.mxd_dpslp_reset_n		
P2.4	tcpwm[0].line[0]:5	tcpwm[1].line[17]:1						scb[1].spi_select1:0							bless.mxd_dpslp_clk_en		
P2.5	tcpwm[0].line_compl[0]:5	tcpwm[1].line_compl[17]:1						scb[1].spi_select2:0							bless.mxd_dpslp_isolate_n		
P2.6	tcpwm[0].line[1]:5	tcpwm[1].line[18]:1						scb[1].spi_select3:0							bless.mxd_dpslp_act1do_en		
P2.7	tcpwm[0].line_compl[1]:5	tcpwm[1].line_compl[18]:1													bless.mxd_dpslp_xtal_en		
P3.0	tcpwm[0].line[2]:5	tcpwm[1].line[19]:1				scb[2].uart_rx:1	scb[2].i2c_scl:1	scb[2].spi_mosi:1			peri.tr_io_in_put[6]:0				bless.mxd_dpslp_dig1do_en		
P3.1	tcpwm[0].line_compl[2]:5	tcpwm[1].line_compl[19]:1				scb[2].uart_tx:1	scb[2].i2c_sda:1	scb[2].spi_miso:1			peri.tr_io_in_put[7]:0		bless.mxd_act_d-bus_rx_en				
P3.2	tcpwm[0].line[3]:5	tcpwm[1].line[20]:1				scb[2].uart_rts:1		scb[2].spi_clk:1					bless.mxd_act_d-bus_tx_en				
P3.3	tcpwm[0].line_compl[3]:5	tcpwm[1].line_compl[20]:1				scb[2].uart_cts:1		scb[2].spi_select0:1					bless.mxd_act_bpktctl				
P3.4	tcpwm[0].line[4]:5	tcpwm[1].line[21]:1						scb[2].spi_select1:1					bless.mxd_act_tx-d_rxd				
P3.5	tcpwm[0].line_compl[4]:5	tcpwm[1].line_compl[21]:1						scb[2].spi_select2:1					bless.mxd_dpslp_rcb_data				
P4.0	tcpwm[0].line[5]:5	tcpwm[1].line[22]:1				scb[7].uart_rx:1	scb[7].i2c_scl:1	scb[7].spi_mosi:1			peri.tr_io_in_put[8]:0		bless.mxd_dpslp_rcb_clk				
P4.1	tcpwm[0].line_compl[5]:5	tcpwm[1].line_compl[22]:1				scb[7].uart_tx:1	scb[7].i2c_sda:1	scb[7].spi_miso:1			peri.tr_io_in_put[9]:0		bless.mxd_dpslp_rcble				

注 :

1. シグナルの表記法は、IPName [x].signal_name [u] : y の形式です。
 IPName = ブロックの名前 (tcpwm など)、x = IP の一意のインスタンス、Signal_name = 信号の名前、u = 特定の信号名に対して複数の信号がある場合の信号番号、y = 信号名のコピーを指定
 例えば、tcpwm[0].line_compl[3] : 4 という名前は、これが tcpwm ブロックのインスタンス 0 であり、信号が line_compl # 3 (行出力の補数) であり、これが次の 4 回目の出現 (コピー) であることを示します。
 信号コピーは、ルーティングの柔軟性を可能にし、オンチップリソースの利用を最大化するために提供されます。

表 8. 複数の代替機能^[1] (続き)

Port/ Pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6	
P5.0	tcpwm[0].line[4]:0	tcpwm[1].line[4]:0				scb[5].uart_rx:0	scb[5].i2c_scl:0	scb[5].spi_mosi:0		audioss.clk_i2s_if	peri.tr_io_input[10]:0							
P5.1	tcpwm[0].line_compl[4]:0	tcpwm[1].line_compl[4]:0				scb[5].uart_tx:0	scb[5].i2c_sda:0	scb[5].spi_miso:0		audioss.tx_sck	peri.tr_io_input[11]:0							
P5.2	tcpwm[0].line[5]:0	tcpwm[1].line[5]:0				scb[5].uart_rts:0		scb[5].spi_clk:0		audioss.tx_ws								
P5.3	tcpwm[0].line_compl[5]:0	tcpwm[1].line_compl[5]:0				scb[5].uart_cts:0		scb[5].spi_select0:0		audioss.tx_sdo								
P5.4	tcpwm[0].line[6]:0	tcpwm[1].line[6]:0						scb[5].spi_select1:0		audioss.rx_sck								
P5.5	tcpwm[0].line_compl[6]:0	tcpwm[1].line_compl[6]:0						scb[5].spi_select2:0		audioss.rx_ws								
P5.6	tcpwm[0].line[7]:0	tcpwm[1].line[7]:0						scb[5].spi_select3:0		audioss.rx_sdi								
P5.7	tcpwm[0].line_compl[7]:0	tcpwm[1].line_compl[7]:0						scb[3].spi_select3:0										
P6.0	tcpwm[0].line[0]:1	tcpwm[1].line[8]:0	scb[8].i2c_scl:0			scb[3].uart_rx:0	scb[3].i2c_scl:0	scb[3].spi_mosi:0				cpuss.fault_out[0]					scb[8].spi_mosi:0	
P6.1	tcpwm[0].line_compl[0]:1	tcpwm[1].line_compl[8]:0	scb[8].i2c_sda:0			scb[3].uart_tx:0	scb[3].i2c_sda:0	scb[3].spi_miso:0				cpuss.fault_out[1]					scb[8].spi_miso:0	
P6.2	tcpwm[0].line[1]:1	tcpwm[1].line[9]:0				scb[3].uart_rts:0		scb[3].spi_clk:0									scb[8].spi_clk:0	
P6.3	tcpwm[0].line_compl[1]:1	tcpwm[1].line_compl[9]:0				scb[3].uart_cts:0		scb[3].spi_select0:0									scb[8].spi_select0:0	
P6.4	tcpwm[0].line[2]:1	tcpwm[1].line[10]:0	scb[8].i2c_scl:1			scb[6].uart_rx:2	scb[6].i2c_scl:2	scb[6].spi_mosi:2			peri.tr_io_input[12]:0	peri.tr_io_output[0]:1				cpuss.swj_swo_tdo	scb[8].spi_mosi:1	
P6.5	tcpwm[0].line_compl[2]:1	tcpwm[1].line_compl[10]:0	scb[8].i2c_sda:1			scb[6].uart_tx:2	scb[6].i2c_sda:2	scb[6].spi_miso:2			peri.tr_io_input[13]:0	peri.tr_io_output[1]:1				cpuss.swj_swdoe_tdi	scb[8].spi_miso:1	
P6.6	tcpwm[0].line[3]:1	tcpwm[1].line[11]:0				scb[6].uart_rts:2		scb[6].spi_clk:2									cpuss.swj_swdio_tms	scb[8].spi_clk:1
P6.7	tcpwm[0].line_compl[3]:1	tcpwm[1].line_compl[11]:0				scb[6].uart_cts:2		scb[6].spi_select0:2									cpuss.swj_swclk_tclk	scb[8].spi_select0:1

注 :

1. シグナルの表記法は、IPName [x].signal_name [u] : y の形式です。
 IPName = ブロックの名前 (tcpwm など)、x = IP の一意のインスタンス、Signal_name = 信号の名前、u = 特定の信号名に対して複数の信号がある場合の信号番号、y = 信号名のコピーを指定
 例えば、tcpwm [0].line_compl [3] : 4 という名前は、これが tcpwm ブロックのインスタンス 0 であり、信号が line_compl # 3 (行出力の補数) であり、これが次の 4 回目の出現 (コピー) であることを示します。
 信号コピーは、ルーティングの柔軟性を可能にし、オンチップリソースの利用を最大化するために提供されます。

表 8. 複数の代替機能^[1] (続き)

Port/ Pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P7.0	tcpwm[0].line[4]:1	tcpwm[1].line[12]:0				scb[4].uart_rx:1	scb[4].i2c_scl:1	scb[4].spi_mosi:1			peri.tr_io_in_put[14]:0		cpuss.trace_clock				
P7.1	tcpwm[0].line_compl[4]:1	tcpwm[1].line_compl[12]:0				scb[4].uart_tx:1	scb[4].i2c_sda:1	scb[4].spi_miso:1			peri.tr_io_in_put[15]:0						
P7.2	tcpwm[0].line[5]:1	tcpwm[1].line[13]:0				scb[4].uart_rts:1		scb[4].spi_clk:1									
P7.3	tcpwm[0].line_compl[5]:1	tcpwm[1].line_compl[13]:0				scb[4].uart_cts:1		scb[4].spi_select0:1									
P7.4	tcpwm[0].line[6]:1	tcpwm[1].line[14]:0						scb[4].spi_select1:1					bless.ext_lina_rx_ct_l_out	cpuss.trace_data[3]:2			
P7.5	tcpwm[0].line_compl[6]:1	tcpwm[1].line_compl[14]:0						scb[4].spi_select2:1					bless.ext_pa_tx_ct_l_out	cpuss.trace_data[2]:2			
P7.6	tcpwm[0].line[7]:1	tcpwm[1].line[15]:0						scb[4].spi_select3:1					bless.ext_pa_lina_chip_en_out	cpuss.trace_data[1]:2			
P7.7	tcpwm[0].line_compl[7]:1	tcpwm[1].line_compl[15]:0						scb[3].spi_select1:0	cpuss.clk_fm_pump					cpuss.trace_data[0]:2			
P8.0	tcpwm[0].line[0]:2	tcpwm[1].line[16]:0				scb[4].uart_rx:0	scb[4].i2c_scl:0	scb[4].spi_mosi:0			peri.tr_io_in_put[16]:0						
P8.1	tcpwm[0].line_compl[0]:2	tcpwm[1].line_compl[16]:0				scb[4].uart_tx:0	scb[4].i2c_sda:0	scb[4].spi_miso:0			peri.tr_io_in_put[17]:0						
P8.2	tcpwm[0].line[1]:2	tcpwm[1].line[17]:0				scb[4].uart_rts:0		scb[4].spi_clk:0									
P8.3	tcpwm[0].line_compl[1]:2	tcpwm[1].line_compl[17]:0				scb[4].uart_cts:0		scb[4].spi_select0:0									
P8.4	tcpwm[0].line[2]:2	tcpwm[1].line[18]:0						scb[4].spi_select1:0									
P8.5	tcpwm[0].line_compl[2]:2	tcpwm[1].line_compl[18]:0						scb[4].spi_select2:0									
P8.6	tcpwm[0].line[3]:2	tcpwm[1].line[19]:0						scb[4].spi_select3:0									

注 :

1. シグナルの表記法は、IPName [x]. signal_name [u] : y の形式です。
 IPName = ブロックの名前 (tcpwm など)、x = IP の一意のインスタンス、Signal_name = 信号の名前、u = 特定の信号名に対して複数の信号がある場合の信号番号、y = 信号名のコピーを指定
 例えば、tcpwm [0].line_compl [3] : 4 という名前は、これが tcpwm ブロックのインスタンス 0 であり、信号が line_compl # 3 (行出力の補数) であり、これが次の 4 回目の出現 (コピー) であることを示します。
 信号コピーは、ルーティングの柔軟性を可能にし、オンチップリソースの利用を最大化するために提供されます。

表 8. 複数の代替機能^[1] (続き)

Port/ Pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P8.7	tcpwm[0].line_compl[3]:2	tcpwm[1].line_compl[19]:0						scb[3].spi_select2:0									
P9.0	tcpwm[0].line[4]:2	tcpwm[1].line[20]:0				scb[2].uart_rx:0	scb[2].i2c_scl:0	scb[2].spi_mosi:0			peri.tr_io_in_put[18]:0			cpuss.trace_data[3]:0			
P9.1	tcpwm[0].line_compl[4]:2	tcpwm[1].line_compl[20]:0				scb[2].uart_tx:0	scb[2].i2c_sda:0	scb[2].spi_miso:0			peri.tr_io_in_put[19]:0			cpuss.trace_data[2]:0			
P9.2	tcpwm[0].line[5]:2	tcpwm[1].line[21]:0				scb[2].uart_rts:0		scb[2].spi_clk:0		pass.dsi_ctb_cmp0:1				cpuss.trace_data[1]:0			
P9.3	tcpwm[0].line_compl[5]:2	tcpwm[1].line_compl[21]:0				scb[2].uart_cts:0		scb[2].spi_select0:0		pass.dsi_ctb_cmp1:1				cpuss.trace_data[0]:0			
P9.4	tcpwm[0].line[7]:5	tcpwm[1].line[0]:2						scb[2].spi_select1:0									
P9.5	tcpwm[0].line_compl[7]:5	tcpwm[1].line_compl[0]:2						scb[2].spi_select2:0									
P9.6	tcpwm[0].line[0]:6	tcpwm[1].line[1]:2						scb[2].spi_select3:0									
P9.7	tcpwm[0].line_compl[0]:6	tcpwm[1].line_compl[1]:2															
P10.0	tcpwm[0].line[6]:2	tcpwm[1].line[22]:0				scb[1].uart_rx:1	scb[1].i2c_scl:1	scb[1].spi_mosi:1			peri.tr_io_in_put[20]:0			cpuss.trace_data[3]:1			
P10.1	tcpwm[0].line_compl[6]:2	tcpwm[1].line_compl[22]:0				scb[1].uart_tx:1	scb[1].i2c_sda:1	scb[1].spi_miso:1			peri.tr_io_in_put[21]:0			cpuss.trace_data[2]:1			
P10.2	tcpwm[0].line[7]:2	tcpwm[1].line[23]:0				scb[1].uart_rts:1		scb[1].spi_clk:1						cpuss.trace_data[1]:1			
P10.3	tcpwm[0].line_compl[7]:2	tcpwm[1].line_compl[23]:0				scb[1].uart_cts:1		scb[1].spi_select0:1						cpuss.trace_data[0]:1			
P10.4	tcpwm[0].line[0]:3	tcpwm[1].line[0]:1						scb[1].spi_select1:1	audioss.pdm_clk								
P10.5	tcpwm[0].line_compl[0]:3	tcpwm[1].line_compl[0]:1						scb[1].spi_select2:1	audioss.pdm_data								
P10.6	tcpwm[0].line[1]:6	tcpwm[1].line[2]:2						scb[1].spi_select3:1									

注 :

1. シグナルの表記法は、IPName [x]. signal_name [u] : y の形式です。
IPName = ブロックの名前 (tcpwm など)、x = IP の一意のインスタンス、Signal_name = 信号の名前、u = 特定の信号名に対して複数の信号がある場合の信号番号、y = 信号名のコピーを指定
例えば、tcpwm [0]. line_compl [3] : 4 という名前は、これが tcpwm ブロックのインスタンス 0 であり、信号が line_compl # 3 (行出力の補数) であり、これが次の 4 回目の出現 (コピー) であることを示します。
信号コピーは、ルーティングの柔軟性を可能にし、オンチップリソースの利用を最大化するために提供されます。

表 8. 複数の代替機能^[1] (続き)

Port/ Pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P10.7	tcpwm[0].line_compl[1]:6	tcpwm[1].line_compl[2]:2															
P11.0	tcpwm[0].line[1]:3	tcpwm[1].line[1]:1			smif.spi_select2	scb[5].uart_rx:1	scb[5].i2c_scl:1	scb[5].spi_mosi:1			peri.tr_io_input[22]:0						
P11.1	tcpwm[0].line_compl[1]:3	tcpwm[1].line_compl[1]:1			smif.spi_select1	scb[5].uart_tx:1	scb[5].i2c_sda:1	scb[5].spi_miso:1			peri.tr_io_input[23]:0						
P11.2	tcpwm[0].line[2]:3	tcpwm[1].line[2]:1			smif.spi_select0	scb[5].uart_rts:1		scb[5].spi_clk:1									
P11.3	tcpwm[0].line_compl[2]:3	tcpwm[1].line_compl[2]:1			smif.spi_data3	scb[5].uart_cts:1		scb[5].spi_select0:1				peri.tr_io_output[0]:0					
P11.4	tcpwm[0].line[3]:3	tcpwm[1].line[3]:1			smif.spi_data2			scb[5].spi_select1:1				peri.tr_io_output[1]:0					
P11.5	tcpwm[0].line_compl[3]:3	tcpwm[1].line_compl[3]:1			smif.spi_data1			scb[5].spi_select2:1									
P11.6					smif.spi_data0			scb[5].spi_select3:1									
P11.7					smif.spi_clk												
P12.0	tcpwm[0].line[4]:3	tcpwm[1].line[4]:1			smif.spi_data4	scb[6].uart_rx:0	scb[6].i2c_scl:0	scb[6].spi_mosi:0			peri.tr_io_input[24]:0						
P12.1	tcpwm[0].line_compl[4]:3	tcpwm[1].line_compl[4]:1			smif.spi_data5	scb[6].uart_tx:0	scb[6].i2c_sda:0	scb[6].spi_miso:0			peri.tr_io_input[25]:0						
P12.2	tcpwm[0].line[5]:3	tcpwm[1].line[5]:1			smif.spi_data6	scb[6].uart_rts:0		scb[6].spi_clk:0									
P12.3	tcpwm[0].line_compl[5]:3	tcpwm[1].line_compl[5]:1			smif.spi_data7	scb[6].uart_cts:0		scb[6].spi_select0:0									
P12.4	tcpwm[0].line[6]:3	tcpwm[1].line[6]:1			smif.spi_select3			scb[6].spi_select1:0	audioss.pdm_clk								
P12.5	tcpwm[0].line_compl[6]:3	tcpwm[1].line_compl[6]:1						scb[6].spi_select2:0	audioss.pdm_data								
P12.6	tcpwm[0].line[7]:3	tcpwm[1].line[7]:1						scb[6].spi_select3:0									

注 :

1. シグナルの表記法は、IPName [x].signal_name [u] : y の形式です。
 IPName = ブロックの名前 (tcpwm など)、x = IP の一意のインスタンス、Signal_name = 信号の名前、u = 特定の信号名に対して複数の信号がある場合の信号番号、y = 信号名のコピーを指定
 例えば、tcpwm [0].line_compl [3] : 4 という名前は、これが tcpwm ブロックのインスタンス 0 であり、信号が line_compl # 3 (行出力の補数) であり、これが次の 4 回目の出現 (コピー) であることを示します。
 信号コピーは、ルーティングの柔軟性を可能にし、オンチップリソースの利用を最大化するために提供されます。

表 8. 複数の代替機能^[1] (続き)

Port/ Pin	ACT #0	ACT #1	DS #2	ACT #4	ACT #5	ACT #6	ACT #7	ACT #8	ACT #9	ACT #10	ACT #12	ACT #13	ACT #14	ACT #15	DS #4	DS #5	DS #6
P12.7	tcpwm[0].line_compl[7]:3	tcpwm[1].line_compl[7]:1															
P13.0	tcpwm[0].line[0]:4	tcpwm[1].line[8]:1				scb[6].uart_rx:1	scb[6].i2c_scl:1	scb[6].spi_mosi:1			peri.tr_io_in_put[26]:0						
P13.1	tcpwm[0].line_compl[0]:4	tcpwm[1].line_compl[8]:1				scb[6].uart_tx:1	scb[6].i2c_sda:1	scb[6].spi_miso:1			peri.tr_io_in_put[27]:0						
P13.2	tcpwm[0].line[1]:4	tcpwm[1].line[9]:1				scb[6].uart_rts:1		scb[6].spi_clk:1									
P13.3	tcpwm[0].line_compl[1]:4	tcpwm[1].line_compl[9]:1				scb[6].uart_cts:1		scb[6].spi_select0:1									
P13.4	tcpwm[0].line[2]:4	tcpwm[1].line[10]:1						scb[6].spi_select1:1									
P13.5	tcpwm[0].line_compl[2]:4	tcpwm[1].line_compl[10]:1						scb[6].spi_select2:1									
P13.6	tcpwm[0].line[3]:4	tcpwm[1].line[11]:1						scb[6].spi_select3:1									
P13.7	tcpwm[0].line_compl[3]:4	tcpwm[1].line_compl[11]:1															

注 :

1. シグナルの表記法は、IPName [x].signal_name [u] : y の形式です。
 IPName = ブロックの名前 (tcpwm など)、x = IP の一意のインスタンス、Signal_name = 信号の名前、u = 特定の信号名に対して複数の信号がある場合の信号番号、y = 信号名のコピーを指定
 例えば、tcpwm [0].line_compl [3] : 4 という名前は、これが tcpwm ブロックのインスタンス 0 であり、信号が line_compl # 3 (行出力の補数) であり、これが次の 4 回目の出現 (コピー) であることを示します。
 信号コピーは、ルーティングの柔軟性を可能にし、オンチップリソースの利用を最大化するために提供されます。

アナログ、Smart I/O および DSI 代替ポートピン機能を表 9 に示します。

表 9. ポート ピン アナログ、Smart I/O および DSI 機能

ポート/ ピン	名称	アナログ	デジタル HV	DSI	SMARTIO	USB
P0.0	P0.0	wco_in		dsi[0].port_if[0]		
P0.1	P0.1	wco_out		dsi[0].port_if[1]		
P0.2	P0.2			dsi[0].port_if[2]		
P0.3	P0.3			dsi[0].port_if[3]		
P0.4	P0.4		pmic_wakeup_in hibernate_wakeup[1]	dsi[0].port_if[4]		
P0.5	P0.5		pmic_wakeup_out	dsi[0].port_if[5]		
P1.0	P1.0			dsi[1].port_if[0]		
P1.1	P1.1			dsi[1].port_if[1]		
P1.2	P1.2			dsi[1].port_if[2]		
P1.3	P1.3			dsi[1].port_if[3]		
P1.4	P1.4		hibernate_wakeup[0]	dsi[1].port_if[4]		
P1.5	P1.5			dsi[1].port_if[5]		
P14.0	USBDP					usb.usb_dp_pad
P14.1	USBDM					usb.usb_dm_pad
P2.0	P2.0			dsi[2].port_if[0]		
P2.1	P2.1			dsi[2].port_if[1]		
P2.2	P2.2			dsi[2].port_if[2]		
P2.3	P2.3			dsi[2].port_if[3]		
P2.4	P2.4			dsi[2].port_if[4]		
P2.5	P2.5			dsi[2].port_if[5]		
P2.6	P2.6			dsi[2].port_if[6]		
P2.7	P2.7			dsi[2].port_if[7]		
P3.0	P3.0					
P3.1	P3.1					
P3.2	P3.2					
P3.3	P3.3					
P3.4	P3.4					
P3.5	P3.5					
P4.0	P4.0			dsi[0].port_if[6]		
P4.1	P4.1			dsi[0].port_if[7]		
P4.2	P4.2			dsi[1].port_if[6]		
P4.3	P4.3			dsi[1].port_if[7]		
P5.0	P5.0			dsi[3].port_if[0]		
P5.1	P5.1			dsi[3].port_if[1]		
P5.2	P5.2			dsi[3].port_if[2]		
P5.3	P5.3			dsi[3].port_if[3]		
P5.4	P5.4			dsi[3].port_if[4]		
P5.5	P5.5			dsi[3].port_if[5]		
P5.6	P5.6	lpcomp.inp_comp0		dsi[3].port_if[6]		
P5.7	P5.7	lpcomp.inn_comp0		dsi[3].port_if[7]		

表 9. ポート ピン アナログ、Smart I/O および DSI 機能 (続き)

ポート/ ピン	名称	アナログ	デジタル HV	DSI	SMARTIO	USB
P6.0	P6.0			dsi[4].port_if[0]		
P6.1	P6.1			dsi[4].port_if[1]		
P6.2	P6.2	lpcomp.inp_comp1		dsi[4].port_if[2]		
P6.3	P6.3	lpcomp.inn_comp1		dsi[4].port_if[3]		
P6.4	P6.4			dsi[4].port_if[4]		
P6.5	P6.5			dsi[4].port_if[5]		
P6.6	P6.6		swd_data	dsi[4].port_if[6]		
P6.7	P6.7		swd_clk	dsi[4].port_if[7]		
P7.0	P7.0			dsi[5].port_if[0]		
P7.1	P7.1	csd.cmodpadd csd.cmodpads		dsi[5].port_if[1]		
P7.2	P7.2	csd.csh_tankpadd csd.csh_tankpads		dsi[5].port_if[2]		
P7.3	P7.3	csd.vref_ext		dsi[5].port_if[3]		
P7.4	P7.4			dsi[5].port_if[4]		
P7.5	P7.5			dsi[5].port_if[5]		
P7.6	P7.6			dsi[5].port_if[6]		
P7.7	P7.7	csd.cshieldpads		dsi[5].port_if[7]		
P8.0	P8.0			dsi[11].port_if[0]	smartio[8].io[0]	
P8.1	P8.1			dsi[11].port_if[1]	smartio[8].io[1]	
P8.2	P8.2			dsi[11].port_if[2]	smartio[8].io[2]	
P8.3	P8.3			dsi[11].port_if[3]	smartio[8].io[3]	
P8.4	P8.4			dsi[11].port_if[4]	smartio[8].io[4]	
P8.5	P8.5			dsi[11].port_if[5]	smartio[8].io[5]	
P8.6	P8.6			dsi[11].port_if[6]	smartio[8].io[6]	
P8.7	P8.7			dsi[11].port_if[7]	smartio[8].io[7]	
P9.0	P9.0	ctb_oa0+		dsi[10].port_if[0]	smartio[9].io[0]	
P9.1	P9.1	ctb_oa0-		dsi[10].port_if[1]	smartio[9].io[1]	
P9.2	P9.2	ctb_oa0_out		dsi[10].port_if[2]	smartio[9].io[2]	
P9.3	P9.3	ctb_oa1_out		dsi[10].port_if[3]	smartio[9].io[3]	
P9.4	P9.4	ctb_oa1-		dsi[10].port_if[4]	smartio[9].io[4]	
P9.5	P9.5	ctb_oa1+		dsi[10].port_if[5]	smartio[9].io[5]	
P9.6	P9.6	ctb_oa0+ または ctdac_out		dsi[10].port_if[6]	smartio[9].io[6]	
P9.7	P9.7	ctb_oa1+ または ext_vref		dsi[10].port_if[7]	smartio[9].io[7]	
P10.0	P10.0	sarmux[0]		dsi[9].port_if[0]		
P10.1	P10.1	sarmux[1]		dsi[9].port_if[1]		
P10.2	P10.2	sarmux[2]		dsi[9].port_if[2]		
P10.3	P10.3	sarmux[3]		dsi[9].port_if[3]		
P10.4	P10.4	sarmux[4]		dsi[9].port_if[4]		

表 9. ポート ピン アナログ、Smart I/O および DSI 機能 (続き)

ポート/ ピン	名称	アナログ	デジタル HV	DSI	SMARTIO	USB
P10.5	P10.5	sarmux[5]		dsi[9].port_if[5]		
P10.6	P10.6	sarmux[6]		dsi[9].port_if[6]		
P10.7	P10.7	sarmux[7]		dsi[9].port_if[7]		
P11.0	P11.0			dsi[8].port_if[0]		
P11.1	P11.1			dsi[8].port_if[1]		
P11.2	P11.2			dsi[8].port_if[2]		
P11.3	P11.3			dsi[8].port_if[3]		
P11.4	P11.4			dsi[8].port_if[4]		
P11.5	P11.5			dsi[8].port_if[5]		
P11.6	P11.6			dsi[8].port_if[6]		
P11.7	P11.7			dsi[8].port_if[7]		
P12.0	P12.0			dsi[7].port_if[0]		
P12.1	P12.1			dsi[7].port_if[1]		
P12.2	P12.2			dsi[7].port_if[2]		
P12.3	P12.3			dsi[7].port_if[3]		
P12.4	P12.4			dsi[7].port_if[4]		
P12.5	P12.5			dsi[7].port_if[5]		
P12.6	P12.6	eco_in		dsi[7].port_if[6]		
P12.7	P12.7	eco_out		dsi[7].port_if[7]		
P13.0	P13.0			dsi[6].port_if[0]		
P13.1	P13.1			dsi[6].port_if[1]		
P13.2	P13.2			dsi[6].port_if[2]		
P13.3	P13.3			dsi[6].port_if[3]		
P13.4	P13.4			dsi[6].port_if[4]		
P13.5	P13.5			dsi[6].port_if[5]		
P13.6	P13.6			dsi[6].port_if[6]		
P13.7	P13.7			dsi[6].port_if[7]		

電源に関する考慮事項

次の電源システムの図は、サポートされているすべてのパッケージの電源ピンの一般的な接続を示しており、降圧レギュレータを使用する場合と使用しない場合があります。

これらの図では、パッケージピンはピン名で示されます（例：“V_{DDA}, A12”）。V_{DDx} ピンの場合、そのピンから給電される I/O ポートも表示されます（例：“V_{DDD}, A1; I/O port P1”）。

図 11. 124-BGA 電源接続図

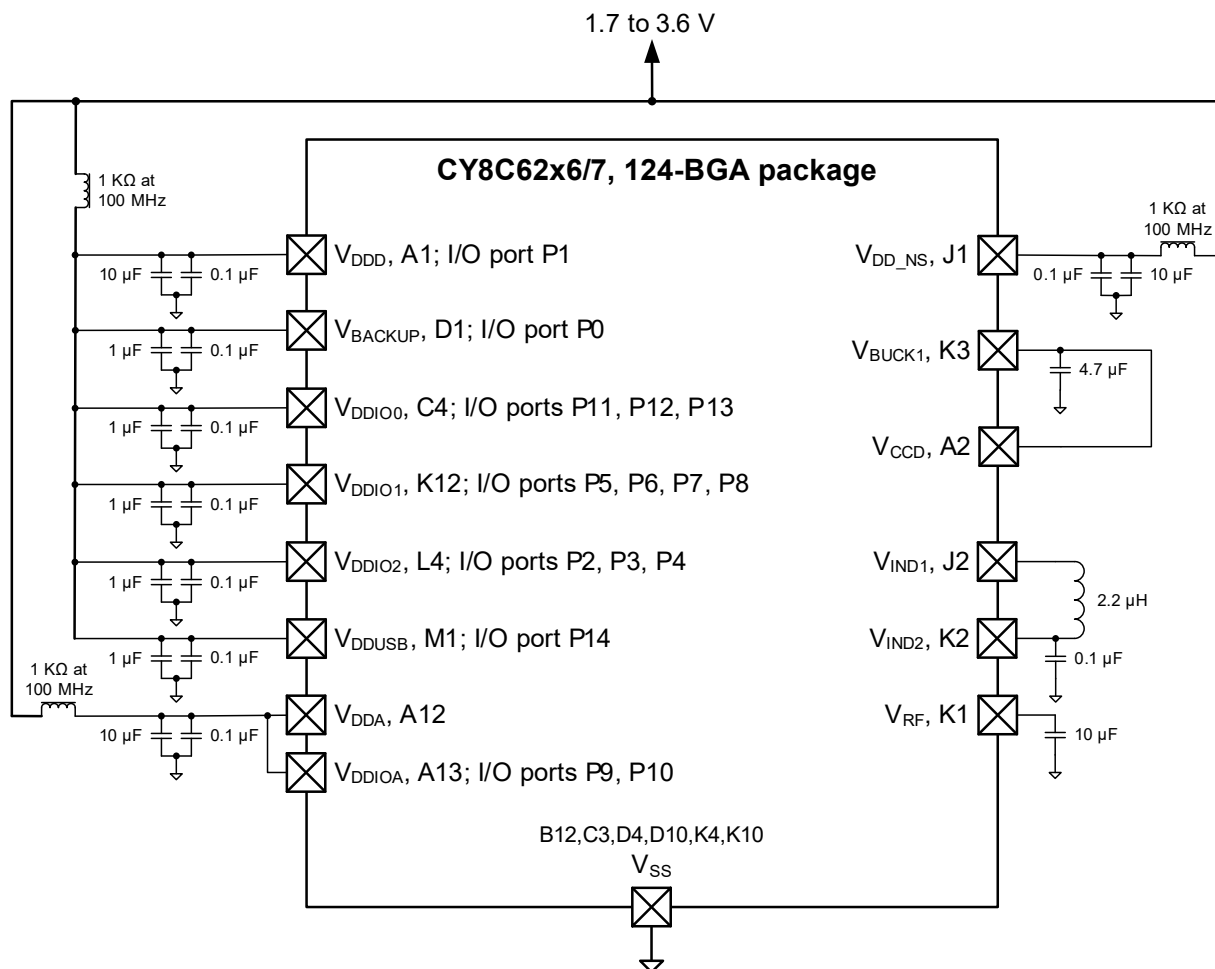


図 12. 124-BGA (降圧なし) 電源接続図

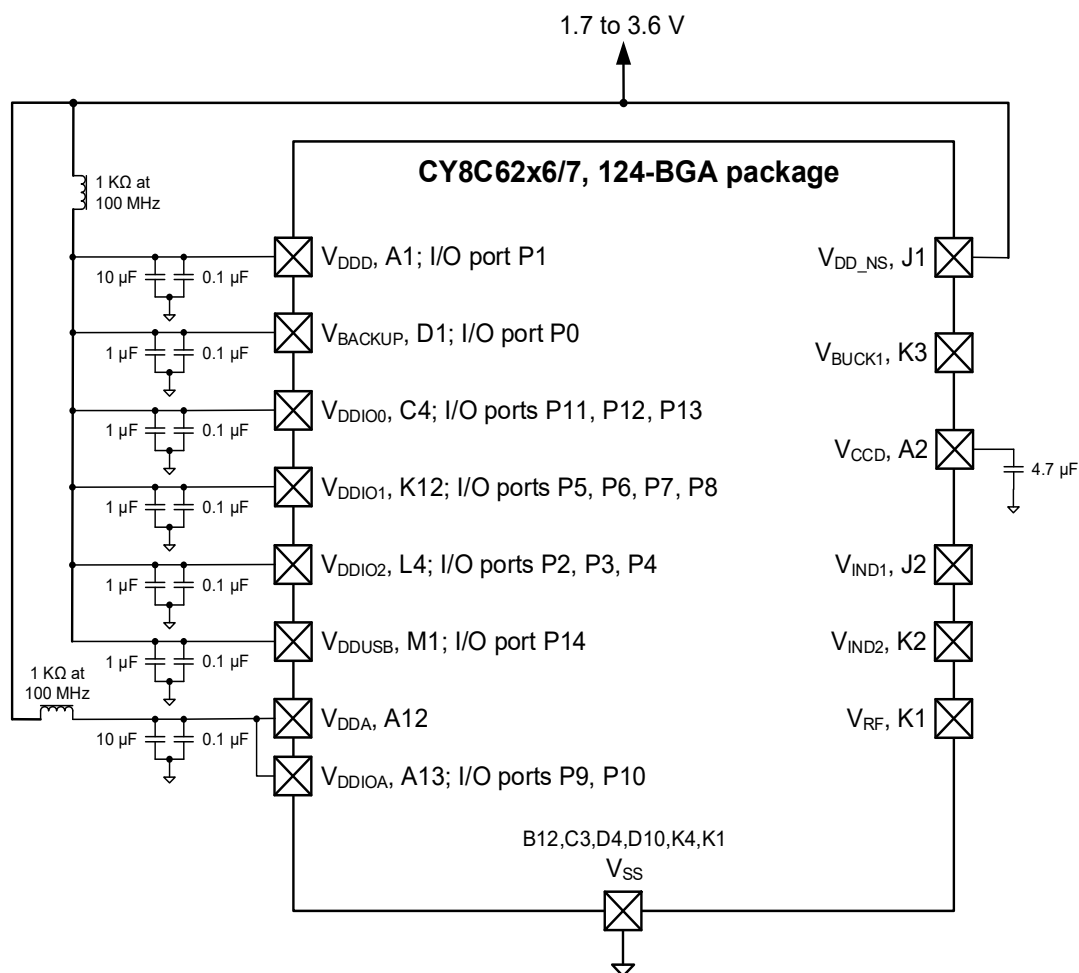
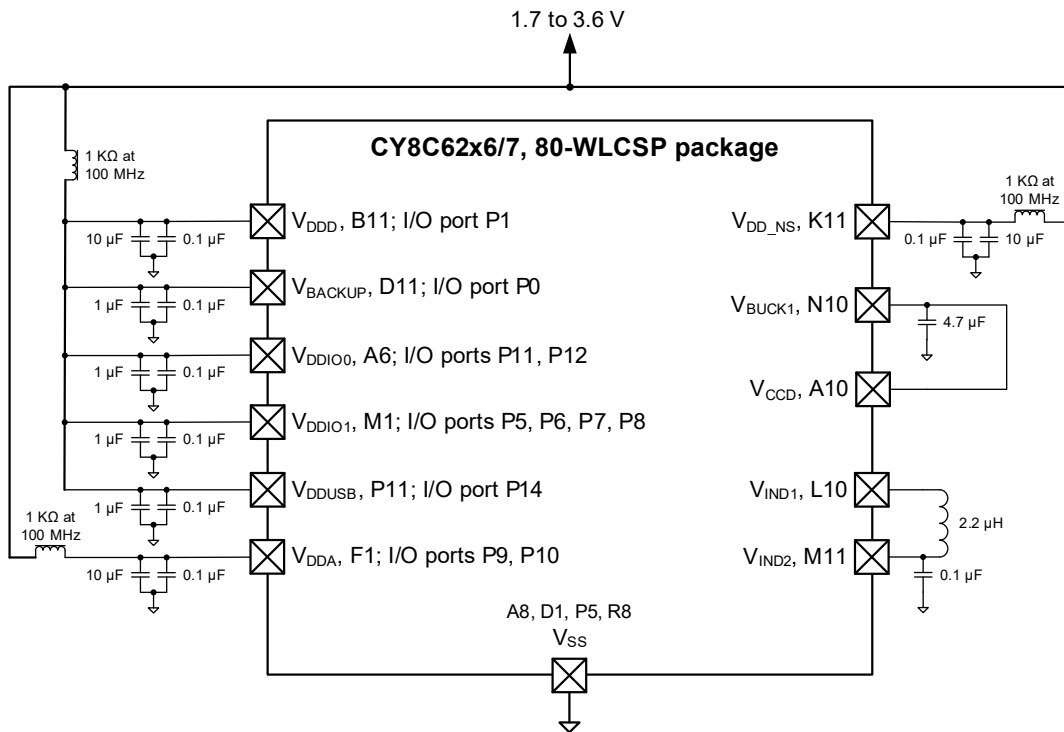
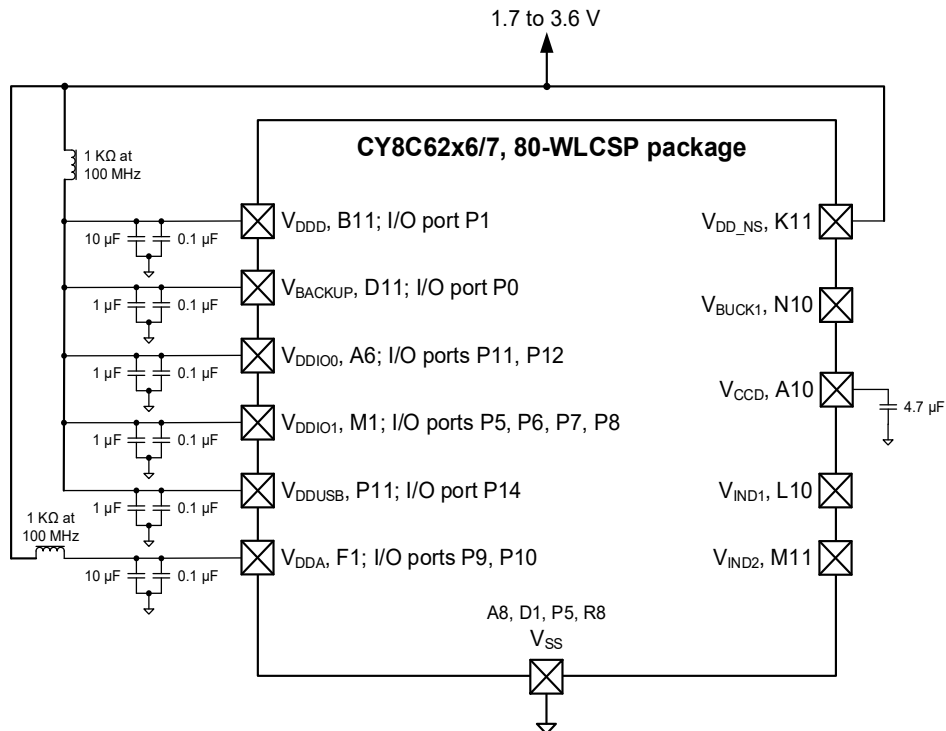
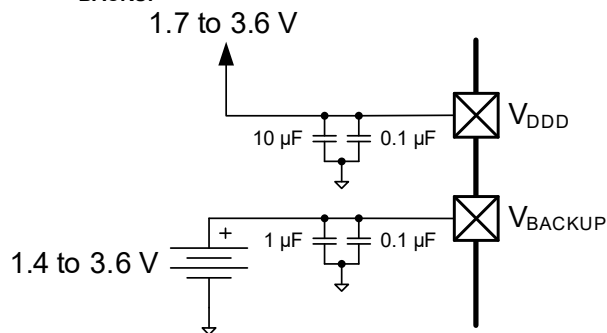


図 13. 80-WLCSP 電源接続図

図 14. 80-WLCSP (降圧なし) 電源接続図


パッケージに応じて、8つの V_{DDx} 電源ピンと複数の V_{SS} グランドピンがあります。電源ピンは次のとおりです。

- V_{DDD} : メインのデジタル電源。低ドロップアウト (LDO) レギュレータと I/O ポート 1 に電力を供給。
- V_{CCD} : メイン LDO 出力。レギュレーションには $4.7\mu\text{F}$ のコンデンサが必要です。 V_{CCD} がスイッチングレギュレータから駆動されると、LDO をオフにできます (下記の V_{BUCK1} を参照)。詳細については、デバイスのテクニカルリファレンスマニュアル (TRM) の電源システムのブロックダイアグラムを参照してください。
- V_{DDA} : アナログペリフェラルの電源。デバイスを正しく初期化して起動するためには、このピンに電圧を印加する必要があります。
- V_{DDIOA} : I/O ポート 9 および 10 の電源。デバイスパッケージに存在する場合は、 V_{DDA} に接続する必要があります。
- V_{DDIO0} : I/O ポート 11, 12, および 13 の電源。
- V_{DDIO1} : I/O ポート 5, 6, 7, および 8 の電源。
- V_{DDIO2} : I/O ポート 2, 3, および 4 の電源。
- V_{BACKUP} : 32kHz WCO と RTC を含むバックアップドメインの電源。図 15 に示すように、バッテリーまたはスーパーキャパシタのバックアップ用に、1.4V の低電圧の別電源にもできます。それ以外の場合は、 V_{DDD} に接続されます。I/O ポート 0 に電力を供給します。

図 15. V_{BACKUP} への個別のバッテリー接続



- V_{DDUSB} : USB 周辺機器、USB DP および USB DM ピンの電源。USB 動作では、2.85V ~ 3.6V である必要があります。USB を使用しない場合は、1.7V ~ 3.6V にでき、USB ピンは I/O ポート 14 で機能が制限された GPIO として使用できます。

表 10 に I/O ポートの電源の概要を示します。

表 10. I/O ポート電源

ポート	電源	代替電源
0	V_{BACKUP}	V_{DDD}
1	V_{DDD}	-
2, 3, 4	V_{DDIO2}	-
5, 6, 7, 8	V_{DDIO1}	-
9, 10	V_{DDIOA}	V_{DDA}
11, 12, 13	V_{DDIO0}	-
14	V_{DDUSB}	-

注: USB ピンを使用しない場合は、 V_{DDUSB} をアースに接続し、P14.0/USB DP ピンと P14.1/USB DM ピンは未接続のままにしてください。

デバイスの初期化と動作を正しく行うためには、上記のように、 V_{DDD} ピンと V_{DDA} ピンに電圧を印加する必要があります。I/O ポートが使用されない場合、対応する V_{DDx} ピンへの電圧の印加はオプションです。

- V_{SS} : 上記の電源のグランドピン。すべての接地ピンは共通の接地と一緒に接続する必要があります。

LDO レギュレータに加えて、単一入力複数出力 (SIMO) スwitchングレギュレータが含まれます。1つのインダクタを使用して2つの安定化出力を提供します。レギュレータピンは次のとおりです。

- V_{DD_NS} : レギュレータ電源。
- V_{IND1} および V_{IND2} : インダクタとコンデンサの接続。
- V_{BUCK1} : 最初のレギュレータ出力。これは通常、 V_{CCD} を駆動するために使用されます。上記を参照してください。
- V_{RF} : 2番目のレギュレータ出力。通常は使用されません。一部のパッケージではピンが使用できない場合があります。

さまざまな V_{DD} 電源ピンがチップ上で一緒に接続されています。それらは、1つ以上の個別のネットではチップ外に接続できます。個別の電源ネットを使用する場合、図に示すように、オプションのフェライトビーズを使用して、他のネットからのノイズから分離できます。

スイッチングレギュレータを使用するかどうかにかかわらず、 V_{CCD} 、 V_{RF} 、またはいずれのスイッチングレギュレータの電源ピンにも外部負荷をかけないでください。

電源ピンのシーケンス要件はありません。電源は任意の順序で起動できます。電源管理システムは、すべての電源ピンが適切な動作に必要な電圧レベルになるまで、デバイスをリセット状態に保ちます。

注: バッテリーが最初に PCB に取り付けられている場合、 V_{DDD} は少なくとも $50\mu\text{s}$ のサイクルにする必要があります。これにより、製品の製造および保管中にバッテリーが早く消耗するのを防ぎます。

バイパスコンデンサは、図に示すように、 V_{DDx} と他のピンから共通のグランドに接続する必要があります。この周波数範囲のシステムの一般的な方法は、 $10\mu\text{F}$ または $1\mu\text{F}$ のコンデンサを、より小さなコンデンサ (たとえば $0.1\mu\text{F}$) と並列に使用することです。これらは単なる経験則であり、重要なアプリケーションでは、最適なバイパスを実現するために PCB レイアウト、リードインダクタンス、およびバイパスコンデンサの寄生をシミュレーションする必要があることに注意してください。

すべてのコンデンサとインダクタは $\pm 20\%$ 以上でなければなりません。 V_{IND2} に接続するコンデンサは 100nF にする必要があります。推奨インダクタ値は $2.2\mu\text{H} \pm 20\%$ です (たとえば、TDK MLP2012H2R2MT0S1)。

バイパスコンデンサのデータシート、特に動作電圧と DC バイアス仕様を確認することを推奨します。一部のコンデンサでは、印加電圧が定格動作電圧のかなりの割合になると、実際の静電容量が大幅に減少することがあります。

パッドレイアウトの詳細については、[PSoC 6 CAD libraries](#) を参照してください。

電氣的仕様

特に記載がない限り、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および 1.71 V ~ 3.6V で有効です。

絶対最大定格

表 11. 絶対最大定格 [2]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V_{DD_ABS}	V_{SS} を基準としたアナログまたはデジタルの電源 ($V_{SSD}=V_{SSA}$)	-0.5	—	4	V	
SID2	V_{CCD_ABS}	V_{SSD} を基準とした直接デジタル コア 電圧 入力	-0.5	—	1.2	V	
SID3	V_{GPIO_ABS}	GPIO 電圧。 V_{DDD} または V_{DDA}	-0.5	—	$V_{DD}+0.5$	V	
SID4	I_{GPIO_ABS}	GPIO ごとの電流	-25	—	25	mA	
SID5	$I_{GPIO_injection}$	ピンごとの GPIO 注入電流	-0.5	—	0.5	mA	
SID3A	ESD_HBM	静電気放電 (人体モデル)	2200	—	—	V	
SID4A	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	—	—	V	
SID5A	LU	ラッチアップフリー動作のピン電流	-100	—	100	mA	

デバイスレベルの仕様

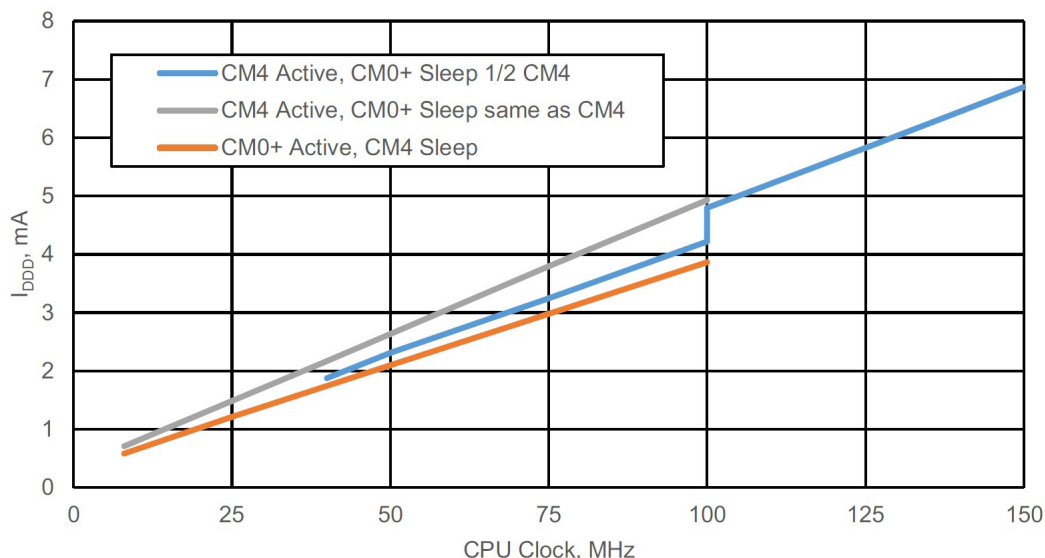
表 14 に、CPU 電流の詳細な仕様を示します。表 12 は、一般的な条件下での CPU 電流を迅速に確認するために、これらの仕様をまとめたものです。CM4 の最大周波数は 150MHz であり、CM0 + の最大周波数は 100MHz であることに注意してください。IMO と FLL は、CPU クロックを生成するために使用されます。CPU クロック周波数が 8MHz の場合、FLL は使用されません。

表 12. CPU 電流仕様の概要

条件	範囲	Typ 範囲	Max 範囲
LP モード、 $V_{DDD} = 3.3\text{V}$ 、 $V_{CCD} = 1.1\text{V}$ 、降圧レギュレータあり			
CM4 アクティブ、CM0+ スリープ	CPU 全体のクロック範囲 : 8-150/100 MHz; フラッシュキャッシュが有効な Dhrystone	0.9-6.9 mA	1.5-8.6 mA
CM0+ アクティブ、CM4 スリープ		0.8-3.8 mA	1.3-4.5 mA
CM4 スリープ、CM0+ スリープ		0.7-1.5 mA	1.3-2.2 mA
CM0+ スリープ、CM4 オフ		0.7-1.3 mA	1.3-2 mA
最小レギュレータ電流モード	CM4/CM0+ CPU アクティブ / スリープモード全体	0.6-0.7 mA	1.1-1.1 mA
ULP モード、 $V_{DDD} = 3.3\text{V}$ 、 $V_{CCD} = 0.9\text{V}$ 、降圧レギュレータあり			
CM4 アクティブ、CM0+ スリープ	CPU 全体のクロック範囲 : 8-50/25 MHz; フラッシュキャッシュが有効な Dhrystone	0.65-1.6 mA	0.8-2.2 mA
CM0+ アクティブ、CM4 スリープ		0.51-0.91 mA	0.72-1.25 mA
CM4 スリープ、CM0+ スリープ		0.42-0.76 mA	0.65-1.1 mA
CM0+ スリープ、CM4 オフ		0.41-0.62 mA	0.6-0.9 mA
最小レギュレータ電流モード	CM4/CM0+ CPU アクティブ / スリープモード全体	0.39-0.54 mA	0.6-0.76 mA
ディープスリープ	SRAM 保持全体	7-9 μA	-
ハイバネート	V_{DDD} 全体	300-800 μA	-

注:

- 表 11 に記載されている絶対最大条件を超えて使用すると、デバイスに永久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103, High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しないことがあります。

図 16. 標準的なデバイス電流と CPU 周波数 ; システム低電力 (LP) モード [3]


電源

表 13. 電源の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID6	V _{DDD}	内部レギュレータとポート 1 GPIO 電源	1.7	–	3.6	V	–
SID7	V _{DDA}	アナログ電源電圧。PCB 上で V _{DDIOA} に短絡	1.7	–	3.6	V	内部で安定化されない電源
SID7A	V _{DDIO1}	提供される場合、ポート 5～8 用の GPIO 電源	1.7	–	3.6	V	アプリケーションで CAPSENSE (CSD) ブロックを使用する場合、≥ V _{DDA} であることが必要
SID7B	V _{DDIO0}	提供される場合、ポート 11～13 用の GPIO 電源	1.7	–	3.6	V	–
SID7E	V _{DDIO0}	eFuse プログラミング用の電源	2.38	2.5	2.62	V	–
SID7C	V _{DDIO2}	提供される場合、ポート 2～4 用の GPIO 電源	1.7	–	3.6	V	–
SID7D	V _{DDIOA}	提供される場合、ポート 9 と 10 用の GPIO 電源。PCB 上で V _{DDA} に短絡	1.7	–	3.6	V	–
SID7F	V _{DDUSB}	提供される場合、ポート 14 (USB または GPIO) 用の電源	1.7	–	3.6	V	Min は 2.85V (USB 用)
SID6B	V _{BACKUP}	提供される場合、バックアップ電源および GPIO ポート 0 電源	1.7	–	3.6	V	Min は 1.4V (V _{DDD} が削除されたとき)
SID8	V _{CCD1}	出力電圧 (コア ロジック バイパス)	–	1.1	–	V	システム LP モード
SID9	V _{CCD2}	出力電圧 (コア ロジック バイパス)	–	0.9	–	V	ULP モード。-20～85°C で有効
SID10	C _{EFC}	外部レギュレータ電圧 (V _{CCD}) バイパス	3.8	4.7	5.6	μF	X5R セラミックまたはこれより良質のもの 0.8～1.2V の値
SID11	C _{EXC}	電源デカップリング コンデンサ	–	10	–	μF	X5R セラミックまたはこれより良質のもの

注:

3. CM4 アクティブ、CM0+ スリープ 1/2CM4 トレース値は、100 MHz を超えると、FLL の代わりに PLL を使用する必要があるため高くなります。

CPU 電流および遷移時間

表 14. CPU 電流および遷移時間

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
LP 範囲電源の仕様 (V _{CCD} =1.1V；降圧レギュレータと LDO を使用)							
Cortex [®] M4 アクティブ モード							
キャッシュ無効時に実行 (フラッシュを使用)							
SIDF1	I _{DD1}	フラッシュから実行。CM4 アクティブ 50MHz、CM0+ スリープ 25MHz。IMO、FLL を使用。While(1)	－	2.3	3.2	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	3.1	3.6	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	5.7	6.5	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDF2	I _{DD2}	フラッシュから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。IMO を使用。While(1)	－	0.9	1.5	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	1.2	1.6	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	2.8	3.5	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
キャッシュ有効時に実行							
SIDC1	I _{DD3}	キャッシュから実行。CM4 アクティブ 150MHz、CM0+ スリープ 75MHz。IMO、PLL を使用。ドライストーン	－	6.9	8.6	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	10.9	13.7	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	13.7	15.5	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDC2	I _{DD4}	キャッシュから実行。CM4 アクティブ 100MHz、CM0+スリープ 100MHz。IMO、FLL を使用。ドライストーン	－	4.8	5.8	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	7.4	8.4	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	11.3	12	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDC3	I _{DD5}	キャッシュから実行。CM4 アクティブ 50MHz、CM0+ スリープ 25MHz。IMO、FLL を使用。ドライストーン	－	2.4	3.4	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	3.7	4.1	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	6.3	7.2	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDC4	I _{DD6}	キャッシュから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。IMO を使用。ドライストーン	－	0.90	1.5	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	1.3	1.8	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	3	3.8	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
Cortex® M0+ アクティブ モード							
キャッシュ無効時に実行 (フラッシュを使用)							
SIDF3	I _{DD7}	フラッシュから実行。CM4 オフ、CM0+ アクティブ 50MHz。IMO、FLL を使用。While(1)	－	2.4	3.3	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	3.2	3.7	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	5.6	6.3	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDF4	I _{DD8}	フラッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。While(1)	－	0.8	1.5	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	1.1	1.6	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	2.60	3.4	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
キャッシュ有効時に実行							
SIDC5	I _{DD9}	キャッシュから実行。CM4 オフ、CM0+ アクティブ 100MHz。IMO、FLL を使用。ドライストーン	－	3.8	4.5	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	5.9	6.5	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	9	9.7	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDC6	I _{DD10}	キャッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。ドライストーン	－	0.8	1.3	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	1.20	1.7	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	2.60	3.4	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
Cortex® M4 スリープ モード							
SIDS1	I _{DD11}	CM4 スリープ 100MHz、CM0+ スリープ 25 MHz。IMO、FLL を使用	－	1.5	2.2	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	2.2	2.7	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	4	4.6	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDS2	I _{DD12}	CM4 スリープ 50MHz、CM0+ スリープ 25MHz。IMO、FLL を使用	－	1.2	1.9	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	1.7	2.2	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	3.4	4.3	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDS3	I _{DD13}	CM4 スリープ 8MHz、CM0+ スリープ 8MHz。IMO を使用	－	0.7	1.3	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	1	1.5		V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			－	2.4	3.3		V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
Cortex® M0+ スリープ モード							
SIDS4	I _{DD14}	CM4 オフ、CM0+ スリープ 50MHz。 IMO、FLL を使用	—	1.3	2	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			—	1.9	2.4	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			—	3.80	4.6	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDS5	I _{DD15}	CM4 オフ、CM0+ スリープ 8MHz。 IMO を使用	—	0.7	1.3	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			—	1	1.5	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			—	2.4	3.3	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
Cortex® M4 最小レギュレータ電流モード							
SIDLPA1	I _{DD16}	フラッシュから実行。CM4 LPA 8MHz、 CM0+ スリープ 8MHz。IMO を使用。 While(1)	—	0.9	1.5	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			—	1.2	1.7	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			—	2.8	3.5	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDLPA2	I _{DD17}	キャッシュから実行。CM4 LPA 8MHz、 CM0+ スリープ 8MHz。IMO を使用。 ドライストーン	—	0.9	1.5	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			—	1.3	1.8	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			—	2.9	3.7	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
Cortex® M0+ 最小レギュレータ電流モード							
SIDLPA3	I _{DD18}	フラッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。While(1)	—	0.8	1.4	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			—	1.1	1.6	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			—	2.7	3.6	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
SIDLPA4	I _{DD19}	キャッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。ドライ ストーン	—	0.8	1.4	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			—	1.2	1.7	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			—	2.7	3.6	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値
Cortex® M4 最小レギュレータ電流モード							
SIDLPS1	I _{DD20}	CM4 スリープ 8MHz、CM0+ スリープ 8MHz。 IMO を使用	—	0.7	1.1	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			—	1	1.5	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			—	2.4	3.3	mA	V _{DDD} =1.8 ～ 3.3V、LDO、85℃ で最大値

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
Cortex® M0+ 最小レギュレータ電流モード							
SIDLPS3	I _{DD22}	CM4 オフ、CM0+ スリープ 8 MHz。 IMO を使用	–	0.6	1.1	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			–	0.9	1.5	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
			–	2.4	3.3	mA	V _{DDD} =1.8 ~ 3.3V、LDO、85℃ で最大値
ULP 範囲電源仕様 (V _{CCD} =0.9V、降圧レギュレータを使用)。ULP モードは -20 ~ +85℃ で有効							
Cortex® M4 アクティブ モード							
キャッシュ無効時に実行 (フラッシュを使用)							
SIDF5	I _{DD3}	フラッシュから実行。CM4 アクティブ 50MHz、CM0+ スリープ 25MHz。 IMO、FLL を使用。While(1)	–	1.7	2.2	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			–	2.1	2.4	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
SIDF6	I _{DD4}	フラッシュから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。 IMO を使用。While(1)	–	0.56	0.8	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			–	0.75	1	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
キャッシュ有効時に実行							
SIDC8	I _{DD10}	キャッシュから実行。CM4 アクティブ 50MHz、CM0+ スリープ 25MHz。 IMO、FLL を使用。ドライストーン	–	1.6	2.2	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			–	2.4	2.7	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
SIDC9	I _{DD11}	キャッシュから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。 IMO を使用。ドライストーン	–	0.65	0.8	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			–	0.8	1.1	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
Cortex® M0+ アクティブ モード							
キャッシュ無効時に実行 (フラッシュを使用)							
SIDF7	I _{DD16}	フラッシュから実行。CM4 オフ、CM0+ アクティブ 25MHz。IMO、FLL を使用。Write(1)	–	1	1.4	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			–	1.34	1.6	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
SIDF8	I _{DD17}	フラッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。While(1)	–	0.54	0.75	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			–	0.73	1	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
キャッシュ有効時に実行							
SIDC10	I _{DD18}	キャッシュから実行。CM4 オフ、CM0+ アクティブ 25MHz。IMO、FLL を使用。ドライストーン	–	0.91	1.25	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			–	1.34	1.6	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
SIDC11	I _{DD19}	キャッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。ドライストーン	–	0.51	0.72	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			–	0.73	0.95	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
Cortex® M4 スリープ モード							
SIDS7	I _{DD21}	CM4 スリープ 50MHz、CM0+ スリープ 25MHz。IMO、FLL を使用	－	0.76	1.1	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	1.1	1.4	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
SIDS8	I _{DD22}	CM4 スリープ 8MHz、CM0+ スリープ 8MHz。IMO を使用	－	0.42	0.65	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	0.59	0.8	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
Cortex® M0+ スリープ モード							
SIDS9	I _{DD23}	CM4 オフ、CM0+ スリープ 25MHz。IMO、FLL を使用	－	0.62	0.9	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	0.88	1.1	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
SIDS10	I _{DD24}	CM4 オフ、CM0+ スリープ 8MHz。IMO を使用	－	0.41	0.6	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	0.58	0.8	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
Cortex® M4 最小レギュレータ電流モード							
SIDLPA5	I _{DD25}	フラッシュから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。IMO を使用 While(1)	－	0.52	0.75	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	0.76	1	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
SIDLPA6	I _{DD26}	キャッシュから実行。CM4 アクティブ 8MHz、CM0+ スリープ 8MHz。IMO を使用。 ドライストーン	－	0.54	0.76	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	0.78	1	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
Cortex® M0+ 最小レギュレータ電流モード							
SIDLPA7	I _{DD27}	フラッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用 While(1)	－	0.51	0.75	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	0.75	1	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
SIDLPA8	I _{DD28}	キャッシュから実行。CM4 オフ、CM0+ アクティブ 8MHz。IMO を使用。 ドライストーン	－	0.48	0.7	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	0.7	0.95	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
Cortex® M4 最小レギュレータ電流モード							
SIDLPS5	I _{DD29}	CM4 スリープ 8MHz、CM0 スリープ 8MHz。IMO を使用	－	0.4	0.6	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	0.57	0.8	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値
Cortex® M0+ 最小レギュレータ電流モード							
SIDLPS7	I _{DD31}	CM4 オフ、CM0+ スリープ 8MHz。IMO を使用	－	0.39	0.6	mA	V _{DDD} =3.3V、降圧レギュレータ ON、60℃ で最大値
			－	0.56	0.8	mA	V _{DDD} =1.8V、降圧レギュレータ ON、60℃ で最大値

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
ディープスリープモード							
SIDDS1	I _{DD33A}	内部降圧レギュレータ有効、64K SRAM 保持	–	7	–	μA	最大値は 85°C
SIDDS1_B	I _{DD33A_B}	内部降圧レギュレータ有効、64K SRAM 保持	–	7	–	μA	最大値は 60°C
SIDDS2	I _{DD33B}	内部降圧レギュレータ有効、256K SRAM 保持	–	9	–	μA	最大値は 85°C
SIDDS2_B	I _{DD33B_B}	内部降圧レギュレータ有効、256K SRAM 保持	–	9	–	μA	最大値は 60°C
ハイパネートモード							
SIDHIB1	I _{DD34}	V _{DDD} =1.8V	–	300	–	nA	クロック実行なし
SIDHIB2	I _{DD34A}	V _{DDD} =3.3V	–	800	–	nA	クロック実行なし
電力モード移行時間							
SID12	T _{LPACT_ACT}	最小レギュレータ電流から LP までの移行時間	–	–	35	μs	PLL ロック時間を含む
SID13	T _{DS_LPACT}	ディープスリープから LP までの移行時間	–	–	25	μs	設計により保証
SID14	T _{HIB_ACT}	ハイパネートから LP までの移行時間	–	500	–	μs	PLL ロック時間を含む

XRES

表 15. XRES DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID17	T _{XRES_IDD}	XRES アサート時の IDD	–	300	–	nA	V _{DDD} =1.8V
SID17A	T _{XRES_IDD_1}	XRES アサート時の IDD	–	800	–	nA	V _{DDD} =3.3V
SID77	V _{IH}	入力電圧 HIGH 閾値	0.7×V _{DD}	–	–	V	CMOS 入力
SID78	V _{IL}	入力電圧 LOW 閾値	–	–	0.3×V _{DD}	V	CMOS 入力
SID80	C _{IN}	入力容量	–	3	–	pF	–
SID81	V _{HYSXRES}	入力電圧ヒステリシス	–	100	–	mV	–
SID82	I _{DIODE}	保護ダイオードを通して V _{DD} / V _{SS} に流れる電流	–	–	100	μA	–

表 16. XRES AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID15	T _{XRES_ACT}	XRES 解放から Cortex® M0+ アプリケーションコードの実行までの時間	–	750	–	μs	最小レギュレータ電流モードではありません。50MHz で Cortex®-M0+ 実行。
SID16	T _{XRES_PW}	XRES パルス幅	5	–	–	μs	–

GPIO

表 17. GPIO DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID57	V _{IH}	入力電圧 HIGH 閾値	0.7 × V _{DD}	–	–	V	CMOS 入力
SID57A	I _{IHS}	パッド電圧が OVT 入力の V _{DDIO} より高い場合の入力電流	–	–	10	μA	I ² C の仕様による
SID58	V _{IL}	入力電圧 LOW 閾値	–	–	0.3 × V _{DD}	V	CMOS 入力

表 17. GPIO DC 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID241	V_{IH}	LVTTL 入力、 $V_{DD} < 2.7V$	$0.7 \times V_{DD}$	—	—	V	—
SID242	V_{IL}	LVTTL 入力、 $V_{DD} < 2.7V$	—	—	$0.3 \times V_{DD}$	V	—
SID243	V_{IH}	LVTTL 入力、 $V_{DD} \geq 2.7V$	2.0	—	—	V	—
SID244	V_{IL}	LVTTL 入力、 $V_{DD} \geq 2.7V$	—	—	0.8	V	—
SID59	V_{OH}	出力 HIGH 電圧	$V_{DD} - 0.5$	—	—	V	$I_{OH} = 8mA$
SID62A	V_{OL}	出力 LOW 電圧	—	—	0.4	V	$I_{OL} = 8mA$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	k Ω	—
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	k Ω	—
SID65	I_{IL}	入力リーク電流 (絶対値)	—	—	2	nA	25°C、 $V_{DD} = 3.0V$
SID65A	I_{IL_CTBM}	CTBm 入力ピン上の入力リーク電流	—	—	4	nA	—
SID66	C_{IN}	入力容量	—	—	5	pF	—
SID67	V_{HYSTTL}	入力ヒステリシス LVTTL $V_{DD} > 2.7V$	100	0	—	mV	—
SID68	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DD}$	—	—	mV	—
SID69	I_{DIODE}	保護ダイオードを通して V_{DD}/V_{SS} に流れる電流	—	—	100	μA	—
SID69A	I_{TOT_GPIO}	最大合計ソースまたはシンクチップ電流	—	—	200	mA	—

表 18. GPIO AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T_{RISEF}	高速ストロング モードでの立ち上り時間。 V_{DD} の 10% ~ 90%	—	—	2.5	ns	Load=15pF、8mA 駆動強度
SID71	T_{FALLF}	高速ストロング モードでの立ち下り時間。 V_{DD} の 10% ~ 90%	—	—	2.5	ns	Load=15pF、8mA 駆動強度
SID72	T_{RISES_1}	低速ストロング モードでの立ち上り時間。 V_{DD} の 10% ~ 90%	52	—	142	ns	Load=15pF、8mA 駆動強度、 $V_{DD} \leq 2.7V$
SID72A	T_{RISES_2}	低速ストロング モードでの立ち上り時間。 V_{DD} の 10% ~ 90%	48	—	102	ns	Load=15pF、8mA 駆動強度、 $2.7V < V_{DD} \leq 3.6V$
SID73	T_{FALLS_1}	低速ストロング モードでの立ち下り時間。 V_{DD} の 10% ~ 90%	44	—	211	ns	Load=15pF、8mA 駆動強度、 $V_{DD} \leq 2.7V$
SID73A	T_{FALLS_2}	低速ストロング モードでの立ち下り時間。 V_{DD} の 10% ~ 90%	42	—	93	ns	Load=15pF、8mA 駆動強度、 $2.7V < V_{DD} \leq 3.6V$
SID73G	T_{FALL_I2C}	低速ストロング モードでの立ち下り時間 (V_{DD} の 30% ~ 70%)	$20 \times V_{DDIO} / 5.5$	—	250	ns	Load=10pF ~ 400pF、8mA 駆動強度
SID74	$F_{GPIOUT1}$	GPIO Fout。高速ストロング モード	—	—	100	MHz	90/10%、15pF 負荷、60/40 デューティ比
SID75	$F_{GPIOUT2}$	GPIO Fout。低速ストロング モード。	—	—	16.7	MHz	90/10%、15pF 負荷、60/40 デューティ比
SID76	$F_{GPIOUT3}$	GPIO Fout；高速ストロング モード	—	—	7	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID245	$F_{GPIOUT4}$	GPIO Fout。低速ストロング モード。	—	—	3.5	MHz	90/10%、25pF 負荷、60/40 デューティ比
SID246	F_{GPIOIN}	GPIO 入力動作周波数。 $1.71V \leq V_{DD} \leq 3.6V$	—	—	100	MHz	90/10% V_{IO}

アナログ ペリフェラル
オペアンプ
表 19. オペアンプの仕様

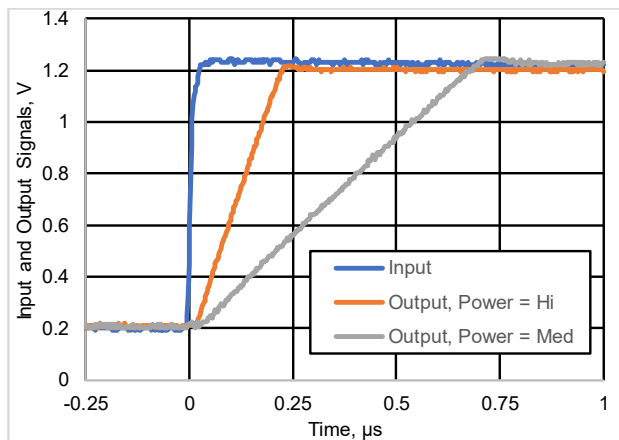
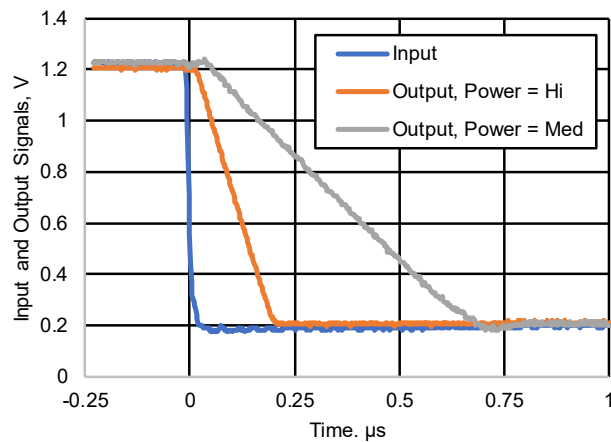
仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
	I_{DD}	オペアンプ ブロック 電流。 負荷なし	–	–	–		–
SID269	I_{DD_HI}	電力 = 高	–	1300	1500	μA	–
SID270	I_{DD_MED}	電力 = 中	–	450	600	μA	–
SID271	I_{DD_LOW}	電力 = 低	–	250	350	μA	–
	GBW	負荷 = 50pF、0.1mA。 $V_{DDA} \geq 2.7V$	–	–	–		–
SID272	GBW_HI	電力 = 高	6	–	–	MHz	–
SID273	GBW_MED	電力 = 中	3	–	–	MHz	–
SID274	GBW_LO	電力 = 低	–	1	–	MHz	–
	I_{OUT_MAX}	$V_{DDA} \geq 2.7V$ 、電源電圧より 500mV 内側	–	–	–		–
SID275	$I_{OUT_MAX_HI}$	電力 = 高	10	–	–	mA	–
SID276	$I_{OUT_MAX_MID}$	電力 = 中	10	–	–	mA	–
SID277	$I_{OUT_MAX_LO}$	電力 = 低	–	5	–	mA	–
	I_{OUT}	$V_{DDA} = 1.71V$ 、電源電圧より 500mV 内側	–	–	–		–
SID278	$I_{OUT_MAX_HI}$	電力 = 高	4	–	–	mA	–
SID279	$I_{OUT_MAX_MID}$	電力 = 中	4	–	–	mA	–
SID280	$I_{OUT_MAX_LO}$	電力 = 低	–	2	–	mA	–
SID281	V_{IN}	入力電圧範囲	0	–	$V_{DDA} - 0.2$	V	チャージポンプ ON
SID282	V_{CM}	入力同相電圧	0	–	$V_{DDA} - 1.5$	V	チャージポンプ OFF, $V_{DDA} \geq 2.7V$
	V_{OUT}	$V_{DDA} \geq 2.7V$	–	–	–		–
SID283	V_{OUT_1}	電力 = 高、 $I_{load} = 10mA$	0.5	–	$V_{DDA} - 0.5$	V	–
SID284	V_{OUT_2}	電力 = 高、 $I_{load} = 1mA$	0.2	–	$V_{DDA} - 0.2$	V	–
SID285	V_{OUT_3}	電力 = 中、 $I_{load} = 1mA$	0.2	–	$V_{DDA} - 0.2$	V	–
SID286	V_{OUT_4}	電力 = 低、 $I_{load} = 0.1mA$	0.2	–	$V_{DDA} - 0.2$	V	–
SID288	V_{OS_TR}	オフセット電圧	–1	± 0.5	–	mV	高電力モード、 $0.2V < V_{OUT} < (V_{DDA} - 0.2V)$
SID288A	V_{OS_TR}	オフセット電圧	–	± 1	–	mV	中電力モード
SID288B	V_{OS_TR}	オフセット電圧	–	± 2	–	mV	低電力モード
SID290	$V_{OS_DR_TR}$	オフセット電圧ドリフト	–10	± 3	10	$\mu V/^{\circ}C$	高電力モード、 $0.2V < V_{OUT} < (V_{DDA} - 0.2V)$
SID290A	$V_{OS_DR_TR}$	オフセット電圧ドリフト	–	± 10	–	$\mu V/^{\circ}C$	中電力モード
SID290B	$V_{OS_DR_TR}$	オフセット電圧ドリフト	–	± 10	–	$\mu V/^{\circ}C$	低電力モード
SID291	CMRR	DC 同相信号除去比	67	80	–	dB	$V_{DDA} = 2.7V$
SID292	PSRR	1kHz、10mV リップル時の電源 電圧変動除去比	70	85	–	dB	$V_{DDA} = 2.7V$
SID65A	I_{IL_CTBM}	CTBm 入力ピンの入力リーク	–	–	4	nA	–

表 19. オペアンプの仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
ノイズ							
SID293	VN1	入力換算、1Hz ~ 1GHz、電力 = 高	–	100	–	μVrms	–
SID294	VN2	入力基準、1kHz、電力 = 高	–	180	–	nV/rtHz	–
SID295	VN3	入力基準、10kHz、電力 = 高	–	70	–	nV/rtHz	–
SID296	VN4	入力基準、100kHz、電力 = 高	–	38	–	nV/rtHz	–
SID297	C _{LOAD}	最大負荷まで安定。 50pF で性能仕様を満たす	–	–	125	pF	–
SID298	SLEW_RATE	出力スルー レート	4	–	–	V/μs	C _{load} =50pF、 電力 = 高 V _{D_{DA}} ≥ 2.7V 図 17 および図 18 を参照
SID299	T _{OP_WAKE}	無効から有効までの時間。 外付け RC 無し	–	25	–	μs	–
	COMP_MODE	コンパレータ モード。 50mV オーバードライブ、 Trise=Tfall (おおよそ)	–		–		–
SID300	T _{PD1}	応答時間。電力 = 高	–	150	–	ns	–
SID301	T _{PD2}	応答時間。電力 = 中	–	400	–	ns	–
SID302	T _{PD3}	応答時間。電力 = 低	–	2000	–	ns	–
SID303	V _{HYST_OP}	ヒステリシス	–	10	–	mV	–
ディープスリープモード		モード 2 は最低電流範囲です。 モード 1 は高い GBW を持ちま す。					ディープスリープモード 動作 : V _{D_{DA}} ≥ 2.7V。 V _{IN} は 0.2 ~ V _{D_{DA}} -1.5V
SID_DS_1	I _{DD_HI_M1}	モード 1、高電流	–	1300	1500	μA	25°C Typ
SID_DS_2	I _{DD_MED_M1}	モード 1、中電流	–	460	600	μA	25°C Typ
SID_DS_3	I _{DD_LOW_M1}	モード 1、低電流	–	230	350	μA	25°C Typ
SID_DS_4	I _{DD_HI_M2}	モード 2、高電流	–	120	–	μA	25°C
SID_DS_5	I _{DD_MED_M2}	モード 2、中電流	–	60	–	μA	25°C
SID_DS_6	I _{DD_LOW_M2}	モード 2、低電流	–	15	–	μA	25°C
SID_DS_7	GBW_HI_M1	モード 1、高電流	–	4	–	MHz	25°C
SID_DS_8	GBW_MED_M1	モード 1、中電流	–	2	–	MHz	25°C
SID_DS_9	GBW_LOW_M1	モード 1、低電流	–	0.5	–	MHz	25°C
SID_DS_10	GBW_HI_M2	モード 2、高電流	–	0.5	–	MHz	20pF 負荷、DC 負荷なし、 0.2V ~ V _{D_{DA}} -1.5V
SID_DS_11	GBW_MED_M2	モード 2、中電流	–	0.2	–	MHz	20pF 負荷、DC 負荷なし、 0.2V ~ V _{D_{DA}} -1.5V
SID_DS_12	GBW_LOW_M2	モード 2、低電流	–	0.1	–	MHz	20pF 負荷、DC 負荷なし、 0.2V ~ V _{D_{DA}} -1.5V
SID_DS_13	V _{OS_HI_M1}	モード 1、高電流	–	5	–	mV	25°C、0.2V ~ V _{D_{DA}} -1.5V
SID_DS_14	V _{OS_MED_M1}	モード 1、中電流	–	5	–	mV	25°C、0.2V ~ V _{D_{DA}} -1.5V
SID_DS_15	V _{OS_LOW_M1}	モード 1、低電流	–	5	–	mV	25°C、0.2V ~ V _{D_{DA}} -1.5V
SID_DS_16	V _{OS_HI_M2}	モード 2、高電流	–	5	–	mV	25°C、0.2V ~ V _{D_{DA}} -1.5V

表 19. オペアンプの仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID_DS_17	V _{OS_MED_M2}	モード 2、中電流	–	5	–	mV	25°C、0.2V ~ V _{DDA} - 1.5V
SID_DS_18	V _{OS_LOW_M2}	モード 2、低電流	–	5	–	mV	25°C、0.2V ~ V _{DDA} - 1.5V
SID_DS_19	I _{OUT_HI_M1}	モード 1、高電流	–	10	–	mA	出力は 0.5V ~ V _{DDA} - 0.5V
SID_DS_20	I _{OUT_MED_M1}	モード 1、中電流	–	10	–	mA	出力は 0.5V ~ V _{DDA} - 0.5V
SID_DS_21	I _{OUT_LOW_M1}	モード 1、低電流	–	4	–	mA	出力は 0.5V ~ V _{DDA} - 0.5V
SID_DS_22	I _{OUT_HI_M2}	モード 2、高電流	–	1	–	mA	出力は 0.5V ~ V _{DDA} - 0.5V
SID_DS_23	I _{OUT_MED_M2}	モード 2、中電流	–	1	–	mA	出力は 0.5V ~ V _{DDA} - 0.5V
SID_DS_24	I _{OUT_LOW_M2}	モード 2、低電流	–	0.5	–	mA	出力は 0.5V ~ V _{DDA} - 0.5V

図 17. オペアンプのステップ応答、立ち上り

図 18. オペアンプのステップ応答、立ち下り


低消費電力 (LP) コンパレータ

表 20. 低消費電力 (LP) コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID84	V _{OFFSET1}	COMP1 の入力オフセット電圧。 通常の消費電力モード	-10	–	10	mV	COMP0 オフセットは ±25mV
SID85A	V _{OFFSET2}	入力オフセット電圧。低電力モード	-25	±12	25	mV	–
SID85B	V _{OFFSET3}	入力オフセット電圧。超低電力モード	-25	±12	25	mV	–
SID86	V _{HYST1}	通常モードで有効時のヒステリシス	–	–	60	mV	–
SID86A	V _{HYST2}	低電力モードで有効時のヒステリシス	–	–	80	mV	–
SID87	V _{ICM1}	低電力モードでの入力同相電圧	0	–	V _{DDIO1} -0.1	V	–
SID247	V _{ICM2}	低電力モードでの入力同相電圧	0	–	V _{DDIO1} -0.1	V	–
SID247A	V _{ICM3}	超低電力モード入力同相電圧	0	–	V _{DDIO1} -0.1	V	–
SID88	CMRR	通常モードでの同相信号除去比	50	–	–	dB	–
SID89	I _{CMP1}	通常モードでのブロック電流	–	–	150	μA	–
SID248	I _{CMP2}	低電力モードでのブロック電流	–	–	10	μA	–
SID259	I _{CMP3}	ブロック電流、超低電力モード	–	0.3	0.85	μA	–
SID90	ZCMP	コンパレータの DC 入力 インピーダンス	35	–	–	MΩ	–

表 21. 低消費電力 (LP) コンパレータの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID91	T _{RESP1}	通常モードでの応答時間、 100mV オーバードライブ	–	–	100	ns	–
SID258	T _{RESP2}	低消費電力モードでの応答時間、 100mV オーバードライブ	–	–	1000	ns	–
SID92	T _{RESP3}	超低消費電力モードでの応答時間、 100mV オーバードライブ	–	–	20	μs	–
SID92E	T _{CMP_EN1}	有効化から動作までの時間	–	–	10	μs	通常と低消費電力モード
SID92F	T _{CMP_EN2}	有効化から動作までの時間	–	–	50	μs	超低消費電力モード

表 22. 温度センサー仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID93	T _{SENSACC}	温度センサー精度	-5	±1	5	°C	-40°C ~ +85°C

表 23. 内部リファレンスの仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID93R	V _{REFBG}	–	1.188	1.2	1.212	V	–

SAR ADC
表 24. 12 ビット SAR ADC の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID94	A_RES	SAR ADC 分解能	–	–	12	ビット	–
SID95	A_CHNLS_S	チャンネル数—シングル エンド	–	–	16	–	8 個のフルスピード チャンネル
SID96	A-CHNKS_D	チャンネル数—差動	–	–	8	–	差動チャンネルの入力は隣接する I/O を使用
SID97	A-MONO	単調増加性	–	–	–	–	有
SID98	A_GAINERR	ゲイン誤差	–	–	±0.2	%	外部基準電圧有り
SID99	A_OFFSET	入力オフセット電圧	–	–	2	mV	1V 基準電圧で測定
SID100	A_ISAR_1	1Msps での消費電流	–	–	1	mA	1Msps 時。外部バイパスコンデンサあり
SID100A	A_ISAR_2	1Msps での消費電流。リファレンス電圧 = V_{DD}	–	–	1.25	mA	1Msps 時。外部バイパスコンデンサあり
SID101	A_VINS	入力電圧範囲 - シングル エンド	V_{SS}	–	V_{DDA}	V	–
SID102	A_VIND	入力電圧範囲 - 差動	V_{SS}	–	V_{DDA}	V	–
SID103	A_INRES	入力抵抗	–	–	2.2	k Ω	–
SID104	A_INCAP	入力容量	–	–	10	pF	–

表 25. 12 ビット SAR ADC の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
12 ビット SAR ADC の AC 仕様							
SID106	A_PSR	電源電圧変動除去比	70	–	–	dB	–
SID107	A_CMRR	同相信号除去比	66	–	–	dB	1V で測定
1 メガサンプル毎秒のモード :							
SID108	A_SAMP_1	外付けリファレンスバイパスコンデンサがある場合のサンプリング速度	–	–	1	Msps	–
SID108A	A_SAMP_2	バイパスコンデンサがない場合のサンプリング速度。基準電圧 = V_{DD}	–	–	250	ksps	–
SID108B	A_SAMP_3	バイパスコンデンサがない場合のサンプリング速度。内部基準電圧	–	–	100	ksps	–
SID109	A_SINAD	信号対雑音および歪み比 (SINAD)。 $V_{DDA}=2.7 \sim 3.6V$ 、1Msps	64	–	–	dB	$F_{in} = 10kHz$
SID111A	A_INL	積分非直線性。 $V_{DDA}=2.7 \sim 3.6V$ 、1Msps	-2	–	2	LSB	内部 $V_{REF}=1.2V$ およびバイパスコンデンサありで測定
SID111B	A_INL	積分非直線性。 $V_{DDA}=2.7 \sim 3.6V$ 、1Msps	-4	–	4	LSB	外部 $V_{REF} \geq 1V$ および V_{IN} コモンモード $< 2 * V_{ref}$ で測定
SID112A	A_DNL	微分非直線性。 $V_{DDA}=2.7 \sim 3.6V$ 、1Msps	-1	–	1.4	LSB	内部 $V_{REF}=1.2V$ およびバイパスコンデンサありで測定
SID112B	A_DNL	微分非直線性。 $V_{DDA}=2.7 \sim 3.6V$ 、1Msps	-1	–	1.7	LSB	外部 $V_{REF} \geq 1V$ および V_{IN} コモンモード $< 2 * V_{ref}$ で測定
SID113	A_THD	全高調波歪み。 $V_{DDA}=2.7 \sim 3.6V$ 、1Msps	–	–	-65	dB	$F_{in} = 10kHz$

DAC

表 26. 12 ビット DAC の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID108D	DAC_RES	DAC 分解能	–	–	12	ビット	–
SID111D	DAC_INL	積分非直線性	-4	–	4	LSB	–
SID112D	DAC_DNL	微分非直線性	-2	–	2	LSB	11 ビットの単調増加
SID99D	DAC_OFFSET	出力電圧ゼロ オフセット誤差	-2	–	1	mV	000 (16 進数)
SID103D	DAC_OUT_RES	DAC 出力抵抗	–	15	–	kΩ	–
SID100D	DAC_IDD	DAC 電流	–	–	125	μA	–
SID101D	DAC_QIDD	DAC 停止時の DAC 電流	–	–	1	μA	–

表 27. 12 ビット DAC の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID109D	DAC_CONV	DAC セトリング時間	–	–	2	μs	CTBm バッファから駆動。負荷 25pF
SID110D	DAC_Wakeup	有効化から変換できるまでの時間	–	–	10	μs	–

CSD

表 28. CAPSENSE™ シグマデルタ (CSD) 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
CSD V2 仕様							
SYS.PER#3	V _{DD_RIPPLE}	電源の最大許容リップル (DC ~ 10MHz 帯域)	–	–	±50	mV	V _{DDA} >2V (リップルあり)、25°C T _A 、感度 =0.1pF
SYS.PER#16	V _{DD_RIPPLE_1.8}	電源の最大許容リップル (DC ~ 10MHz 帯域)	–	–	±25	mV	V _{DDA} >1.75V (リップルあり)、25°C T _A 、寄生容量 (C _p) <20pF、感度 ≥0.4pF
SID.CSD.BLK	I _{CSD}	最大ブロック電流	–	–	4500	μA	–
SID.CSD#15	V _{REF}	CSD およびコンパレータ用の基準電圧	0.6	1.2	V _{DDA} -0.6	V	V _{DDA} - V _{REF} ≥ 0.6V
SID.CSD#15A	V _{REF_EXT}	CSD およびコンパレータ用の外部基準電圧	0.6	–	V _{DDA} -0.6	V	V _{DDA} - V _{REF} ≥ 0.6V
SID.CSD#16	I _{DAC1IDD}	IDAC1 (7 ビット) ブロック電流	–	–	1900	μA	–
SID.CSD#17	I _{DAC2IDD}	IDAC2 (7 ビット) ブロック電流	–	–	1900	μA	–
SID308	V _{CSD}	動作電圧範囲	1.7	–	3.6	V	1.71 ~ 3.6V
SID308A	V _{COMPIDAC}	IDAC の最大電圧範囲	0.6	–	V _{DDA} -0.6	V	V _{DDA} - V _{REF} ≥ 0.6V
SID309	I _{DAC1DNL}	DNL	-1	–	1	LSB	–
SID310	I _{DAC1INL}	INL	-3	–	3	LSB	V _{DDA} <2V の場合、LSB は 2.4μA 以下
SID311	I _{DAC2DNL}	DNL	-1	–	1	LSB	–
SID312	I _{DAC2INL}	INL	-3	–	3	LSB	V _{DDA} <2V の場合、LSB は 2.4μA 以下
以下の SNRC は指の信号とノイズのカウント比。特性評価で保証							
SID313_1A	SNRC_1	SRSS 基準。IMO+FLL クロックソース。感度 0.1pF	5	–	–	比率	最大 9.5pF の静電容量
SID313_1B	SNRC_2	SRSS 基準。IMO+FLL クロックソース。感度 0.3pF	5	–	–	比率	最大 31pF の静電容量
SID313_1C	SNRC_3	SRSS 基準。IMO+FLL クロックソース。感度 0.6pF	5	–	–	比率	最大 61pF の静電容量

表 28. CAPSENSE™ シグマデルタ (CSD) 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID313_2A	SNRC_4	PASS 基準。IMO+FLL クロックソース。感度 0.1pF	5	—	—	比率	最大 12pF の静電容量
SID313_2B	SNRC_5	PASS 基準。IMO+FLL クロックソース。感度 0.3pF	5	—	—	比率	最大 47pF の静電容量
SID313_2C	SNRC_6	PASS 基準。IMO+FLL クロックソース。感度 0.6pF	5	—	—	比率	最大 86pF の静電容量
SID313_3A	SNRC_7	PASS 基準。IMO+PLL クロックソース。感度 0.1pF	5	—	—	比率	最大 27pF の静電容量
SID313_3B	SNRC_8	PASS 基準。IMO+PLL クロックソース。感度 0.3pF	5	—	—	比率	最大 86pF の静電容量
SID313_3C	SNRC_9	PASS 基準。IMO+PLL クロックソース。感度 0.6pF	5	—	—	比率	最大 168pF の静電容量
SID314	I _{DAC1CRT1}	低域での IDAC1 (7 ビット) の出力電流	4.2		5.7	μA	LSB=37.5nA (Typ)
SID314A	I _{DAC1CRT2}	中域での IDAC1 (7 ビット) の出力電流	33.7		45.6	μA	LSB = 300nA (Typ)
SID314B	I _{DAC1CRT3}	高域での IDAC1 (7 ビット) の出力電流	270		365	μA	LSB=2.4μA (Typ)
SID314C	I _{DAC1CRT12}	低域での IDAC1 (7 ビット) の出力電流、2X モード	8		11.4	μA	LSB=37.5nA (Typ)。2X モード時の出力
SID314D	I _{DAC1CRT22}	中域での IDAC1 (7 ビット) の出力電流、2X モード	67		91	μA	LSB = 300nA (Typ)。2X モード時の出力
SID314E	I _{DAC1CRT32}	高域での IDAC1 (7 ビット) の出力電流、2X モード。V _{DDA} >2V	540		730	μA	LSB=2.4μA (Typ)。2X モード時の出力
SID315	I _{DAC2CRT1}	低域での IDAC2 (7 ビット) の出力電流	4.2		5.7	μA	LSB=37.5nA (Typ)
SID315A	I _{DAC2CRT2}	中域での IDAC2 (7 ビット) の出力電流	33.7		45.6	μA	LSB = 300nA (Typ)
SID315B	I _{DAC2CRT3}	高域での IDAC2 (7 ビット) の出力電流	270		365	μA	LSB=2.4μA (Typ)
SID315C	I _{DAC2CRT12}	低域での IDAC2 (7 ビット) の出力電流、2X モード	8		11.4	μA	LSB=37.5nA (Typ)。2X モード時の出力
SID315D	I _{DAC2CRT22}	中域での IDAC2 (7 ビット) の出力電流、2X モード	67		91	μA	LSB = 300nA (Typ)。2X モード時の出力
SID315E	I _{DAC2CRT32}	高域での IDAC2 (7 ビット) の出力電流、2X モード。V _{DDA} >2V	540		730	μA	LSB=2.4μA (Typ)。2X モード時の出力
SID315F	I _{DAC3CRT13}	低域での 8 ビット モード IDAC 出力電流	8		11.4	μA	LSB=37.5nA (Typ)
SID315G	I _{DAC3CRT23}	中域での 8 ビット モード IDAC 出力電流	67		91	μA	LSB=300nA (Typ)
SID315H	I _{DAC3CRT33}	高域での 8 ビット モード IDAC 出力電流。V _{DDA} >2V	540		730	μA	LSB=2.4μA (Typ)
SID320	I _{DACOFFSET}	すべてゼロ入力	—	—	1	LSB	極性はソースまたはシンク電流により設定
SID321	I _{DACGAIN}	オフセットを除くフルスケール誤差	—	—	±15	%	LSB=2.4μA (Typ)
SID322	I _{DACMISMATCH1}	低電力モードでの IDAC1 と IDAC2 の不整合	—	—	9.2	LSB	LSB=37.5nA (Typ)
SID322A	I _{DACMISMATCH2}	中電力モードでの IDAC1 と IDAC2 の不整合	—	—	6	LSB	LSB=300nA (Typ)

表 28. CAPSENSE™ シグマデルタ (CSD) 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID322B	I _{DACMISMATCH3}	高電力モードでのIDAC1とIDAC2の不整合	–	–	5.8	LSB	LSB=2.4μA (Typ)
SID323	I _{DACSET8}	8ビットIDACの0.5LSBに達するまでのセトリング時間	–	–	10	μs	フルスケール遷移。 外部負荷なし
SID324	I _{DACSET7}	7ビットIDACの0.5LSBに達するまでのセトリング時間	–	–	10	μs	フルスケール遷移。 外部負荷なし
SID325	CMOD	外部モジュレータ コンデンサ	–	2.2	–	nF	5V 定格、X7R または NP0 コンデンサ

表 29. CSD ADC の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
CSDv2 ADC の仕様							
SIDA94	A_RES	分解能	–	–	10	ビット	ミリ秒ごとにオートゼロが必要
SID95	A_CHNLS_S	チャンネル数–シングル エンド	–	–	–	16	–
SIDA97	A-MONO	単調増加性	–	–	有	–	V _{REF} モード
SIDA98	A_GAINERR_VREF	ゲイン誤差	–	0.6	–	%	リファレンスソース : SRSS。 (V _{REF} =1.20V、V _{DDA} <2.2V)、 (V _{REF} =1.6V、2.2V<V _{DDA} <2.7V)、 (V _{REF} =2.13V、V _{DDA} >2.7V)
SIDA98A	A_GAINERR_VDDA	ゲイン誤差	–	0.2	–	%	リファレンスソース : SRSS。 (V _{REF} =1.20V、V _{DDA} <2.2V)、 (V _{REF} =1.6V、2.2V<V _{DDA} <2.7V)、 (V _{REF} =2.13V、V _{DDA} >2.7V)
SIDA99	A_OFFSET_VREF	入力オフセット 電圧	–	0.5	–	LSB	ADC 校正後、リファレンスソース =SRSS (V _{REF} =1.20V、V _{DDA} <2.2V)、 (V _{REF} =1.6V、2.2V<V _{DDA} <2.7V)、 (V _{REF} =2.13V、V _{DDA} >2.7V)
SIDA99A	A_OFFSET_VDDA	入力オフセット 電圧	–	0.5	–	LSB	ADC 校正後、リファレンスソース =SRSS (V _{REF} =1.20V、V _{DDA} <2.2V)、 (V _{REF} =1.6V、2.2V<V _{DDA} <2.7V)、 (V _{REF} =2.13V、V _{DDA} >2.7V)
SIDA100	A_ISAR_VREF	消費電流	–	0.3	–	mA	CSD ADC ブロック電流
SIDA100A	A_ISAR_VDDA	消費電流	–	0.3	–	mA	CSD ADC ブロック電流
SIDA101	A_VINS_VREF	入力電圧範囲–シングル エンド	V _{SSA}	–	V _{REF}	V	(V _{REF} =1.20V、V _{DDA} <2.2V)、 (V _{REF} =1.6V、2.2V<V _{DDA} <2.7V)、 (V _{REF} =2.13V、V _{DDA} >2.7V)
SIDA101A	A_VINS_VDDA	入力電圧範囲–シングル エンド	V _{SSA}	–	V _{DDA}	V	(V _{REF} =1.20V、V _{DDA} <2.2V)、 (V _{REF} =1.6V、2.2V<V _{DDA} <2.7V)、 (V _{REF} =2.13V、V _{DDA} >2.7V)
SIDA103	A_INRES	入力充電抵抗	–	15	–	kΩ	–
SIDA104	A_INCAP	入力容量	–	41	–	pF	–
SIDA106	A_PSR	電源電圧変動除去比 (DC)	–	60	–	dB	–
SIDA107	A_TACQ	サンプル取得時間	–	10	–	μs	入力インピーダンス 50Ω で測定。 10μsはデフォルトのソフトウェアドライバ の取得時間。0.05% 以下で安定

表 29. CSD ADC の仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA108	A_CONV8	変換速度 = $F_{clk}/(2^N(N+2))$ での 8 ビット分解能の変換時間。 クロック周波数 = 50MHz	–	25	–	μs	取得時間を含まない
SIDA108A	A_CONV10	変換速度 = $F_{clk}/(2^N(N+2))$ での 10 ビット分解能の変換時間。 クロック周波数 = 50MHz	–	60	–	μs	取得時間を含まない
SIDA109	A_SND_VRE	信号対ノイズおよび歪み比 (SINAD)	–	57	–	dB	50Ω のソースインピーダンスで測定
SIDA109A	A_SND_VDDA	信号対ノイズおよび歪み比 (SINAD)	–	52	–	dB	50Ω のソースインピーダンスで測定
SIDA111	A_INL_VREF	積分非直線性。11.6ksps	–	–	2	LSB	50Ω のソースインピーダンスで測定
SIDA111A	A_INL_VDDA	積分非直線性。11.6ksps	–	–	2	LSB	50Ω のソースインピーダンスで測定
SIDA112	A_DNL_VREF	微分非直線性。11.6ksps	–	–	1	LSB	50Ω のソースインピーダンスで測定
SIDA112A	A_DNL_VDDA	微分非直線性。11.6ksps	–	–	1	LSB	50Ω のソースインピーダンスで測定

デジタル ペリフェラル
表 30. タイマー / カウンター / PWM (TCPWM) の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.1	I_{TCPWM1}	8MHz でのブロック消費電流	–	–	70	μA	すべてのモード (TCPWM)
SID.TCPWM.2	I_{TCPWM2}	24MHz でのブロック消費電流	–	–	180	μA	すべてのモード (TCPWM)
SID.TCPWM.2A	I_{TCPWM3}	50MHz でのブロック消費電流	–	–	270	μA	すべてのモード (TCPWM)
SID.TCPWM.2B	I_{TCPWM4}	100MHz でのブロック消費電流	–	–	540	μA	すべてのモード (TCPWM)
SID.TCPWM.3	$TCPWM_{FREQ}$	動作周波数	–	–	100	MHz	$F_c \max = F_{cpu}$ 最大 = 100MHz
SID.TCPWM.4	$TPWM_{ENEXT}$	すべてのトリガ イベントによる入力トリガ パルス幅	$2/F_c$	–	–	ns	選択した動作モードにより、トリガイベントは停止、開始、リロード、カウント、キャプチャ、またはキルのいずれかです。 F_c はカウンタ動作周波数です。
SID.TCPWM.5	$TPWM_{EXT}$	出力トリガ パルス幅	$1.5/F_c$	–	–	ns	オーバフロー、アンダーフローおよび CC (カウンタ = 比較値) トリガ出力の最小幅
SID.TCPWM.5A	TC_{RES}	カウンタ分解能	$1/F_c$	–	–	ns	逐次カウント同士の最小時間
SID.TCPWM.5B	PWM_{RES}	PWM 分解能	$1/F_c$	–	–	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	Q_{RES}	直交位相入力分解能	$2/F_c$	–	–	ns	直交位相入力同士の最小パルス幅。ピンからの遅延は同様でなければならない

表 31. シリアル通信ブロック (SCB) の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
固定 I ² C の DC 仕様							
SID149	I _{I2C1}	100kHz でのブロック消費電流	－	－	30	μA	－
SID150	I _{I2C2}	400kHz でのブロック消費電流	－	－	80	μA	－
SID151	I _{I2C3}	1Mbps でのブロック消費電流	－	－	180	μA	－
SID152	I _{I2C4}	I ² C がディープ スリープ モードで有効の場合	－	－	1.7	μA	60°C 時
固定 I ² C の AC 仕様							
SID153	F _{I2C1}	ビット レート	－	－	1	Mbps	－
固定 UART の DC 仕様							
SID160	I _{UART1}	100kbps でのブロック消費電流	－	－	30	μA	－
SID161	I _{UART2}	1000kbps でのブロック消費電流	－	－	180	μA	－
固定 UART の AC 仕様							
SID162A	F _{UART1}	ビット レート	－	－	3	Mbps	ULP モード
SID162B	F _{UART2}		－	－	8	Mbps	LP モード
固定 SPI の DC 仕様							
SID163	I _{SPI1}	1Mbps でのブロック消費電流	－	－	220	μA	－
SID164	I _{SPI2}	4Mbps でのブロック消費電流	－	－	340	μA	－

表 31. シリアル通信ブロック (SCB) の仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID165	I _{SPI3}	8Mbps でのブロック消費電流	–	–	360	μA	–
SID165A	I _{SP14}	25Mbps でのブロック消費電流	–	–	800	μA	–
LP モード (1.1V) の固定 SPI の AC 仕様 (特に注記がない限り)							
SID166	F _{SPI}	SPI 動作周波数 (マスターと外部クロック供給されるスレーブ)	–	–	25	MHz	ULP (0.9V) モードでは最大 14MHz
SID166A	F _{SPI_IC}	SPI スレーブ、内部クロック供給	–	–	15	MHz	ULP (0.9V) モードでは最大 5MHz
SID166B	F _{SPI_EXT}	SPI 動作周波数マスター (F _{SCB} は SPI クロック)	–	–	F _{SCB} /4	MHz	F _{SCB} は、LP モードで最大 100MHz、ULP モードで最大 25MHz
LP モード (1.1V) の固定 SPI マスター モードの AC 仕様 (特に注記がない限り)							
SID167	T _{DMO}	SClock 駆動エッジ後の MOSI 有効時間	–	–	12	ns	ULP (0.9V) モードでは最大 20ns
SID168	T _{DSI}	SClock キャプチャ エッジまでの MISO 有効期間	5	–	–	ns	フルクロック、MISO の遅いサンプリング
SID169	T _{HMO}	MOSI データ ホールド時間	0	–	–	ns	スレーブ キャプチャ エッジを基準とする
SID169A	T _{SSELMSC1}	SSEL 有効から最初の SCK 有効エッジまでの時間	18	–	–	ns	マスタークロックエッジを基準とする
SID169B	T _{SSELMSC2}	最後の SCK 有効エッジからの SSEL ホールド時間	18	–	–	ns	マスタークロックエッジを基準とする
LP モード (1.1V) の固定 SPI スレーブ モードの AC 仕様 (特に注記がない限り)							
SID170	T _{DMI}	Sclock キャプチャ エッジまでの MOSI 有効期間	5	–	–	ns	–
SID171A	T _{DSO_EXT}	Sclock 駆動エッジからの MISO 有効期間、外部クロック モード	–	–	20	ns	ULP (0.9V) モードでは最大 35ns
SID171	T _{DSO}	Sclock 駆動エッジからの MISO 有効期間、内部クロック モード	–	–	T _{DSO_EXT} + 3×Tscb	ns	Tscb はシリアル通信ブロックのクロック周期
SID171B	T _{DSO}	Sclock 駆動エッジからの MISO 有効期間、メジアン フィルターが有効の内部クロック モード	–	–	T _{DSO_EXT} + 4×Tscb	ns	Tscb はシリアル通信ブロックのクロック周期
SID172	T _{HMO}	前の MISO データ ホールド時間	5	–	–	ns	–
SID172A	T _{SSEL_SCK1}	SSEL 有効から最初の SCK 有効エッジまでの時間	65	–	–	ns	–
SID172B	T _{SSEL_SCK2}	最後の SCK 有効エッジからの SSEL ホールド時間	65	–	–	ns	–

LCD の仕様

表 32. LCD ダイレクトドライブの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID154	I_{LCDLOW}	低電力モードでの動作電流	–	5	–	μA	50Hz での 16×4 小型セグメント ディスプレイ
SID155	C_{LDCAP}	セグメント/コモン ドライバーあたりの LCD 静電容量	–	500	5000	pF	–
SID156	LCD_{OFFSET}	長時間セグメント オフセット	–	20	–	mV	–
SID157	I_{LCDOP1}	PWM モード電流。 3.3V バイアス、8MHz IMO、25°C	–	0.6	–	mA	32×4 セグメント 50Hz
SID158	I_{LCDOP2}	PWM モード電流。 3.3V バイアス、8MHz IMO、25°C	–	0.5	–	mA	32×4 セグメント 50Hz

表 33. LCD ダイレクトドライブの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID159	F_{LCD}	LCD フレーム レート	10	50	150	Hz	–

メモリ

フラッシュ

表 34. フラッシュの DC 仕様^[4]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID173A	I_{PE}	消去およびプログラム電流	–	–	6	mA	–

表 35. フラッシュの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID174	$T_{ROWWRITE}$	行 (ブロック) 書き込み時間 (消去 + プログラム)	–	–	16	ms	行 =512 バイト
SID175	$T_{ROWERASE}$	行消去時間	–	–	11	ms	–
SID176	$T_{ROWPROGRAM}$	消去後の行のプログラム時間	–	–	5	ms	–
SID178	$T_{BULKERASE}$	バルク消去時間 (1024K バイト)	–	–	11	ms	–
SID179	$T_{SECTORERASE}$	セクタ消去時間 (256K バイト)	–	–	11	ms	セクタごとに 512 行
SID178S	$T_{SSERIAE}$	サブセクタ消去時間	–	–	11	ms	サブセクタごとに 8 行
SID179S	$T_{SSWRITE}$	サブセクタ書き込み時間 (1 消去 + 8 プログラム)	–	–	51	ms	–
SID180S	T_{SWRITE}	セクタ書き込み時間 (1 消去 + 512 プログラム)	–	–	2.6	秒	–
SID180	$T_{DEVPROG}$	総デバイス プログラム時間	–	–	15	秒	–
SID181	F_{END}	フラッシュ アクセス可能回数	100k	–	–	サイクル	–
SID182	F_{RET1}	フラッシュのデータ保持期間。 $T_A \leq 25^\circ C$ 、100k P/E サイクル	10	–	–	年	–
SID182A	F_{RET2}	フラッシュのデータ保持期間。 $T_A \leq 85^\circ C$ 、10k P/E サイクル	10	–	–	年	–
SID182B	F_{RET3}	フラッシュのデータ保持期間。 $T_A \leq 55^\circ C$ 、20k P/E サイクル	20	–	–	年	–
SID256	T_{WS100}	100MHz でのウェイト ステートの数	3	–	–	–	–
SID257	T_{WS50}	50MHz でのウェイト ステートの数	2	–	–	–	–

注：
 4. フラッシュ メモリに書き込むためには最大 16 ミリ秒かかります。この間デバイスをリセットしないでください。リセットするとフラッシュ メモリの動作が中断され、正常に完了したことが保証されません。リセット ソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤ってアクティブにされないことを確認してください。

システムリソース

パワーオンリセット

表 36. ブラウンアウト検出 (BOD) でのパワーオンリセットの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190	V _{FALLPPOR}	システムLPおよびULPモードでのBODトリップ電圧。	1.54	–	–	V	1.54V 未満の V _{DD} レベルでリセットが保証
SID192	V _{FALLDPSLP}	システムディープスリープモードでのBODトリップ電圧。	1.54	–	–	V	

表 37. BOD でのパワーオンリセットの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID192A	V _{DDRAMP}	最大電源ランブ速度 (任意の電源)	–	–	100	mV/μs	システム LP モード
SID194A	V _{DDRAMP_DS}	システムディープスリープモードでの最大電源ランブ速度 (任意の電源)	–	–	10	mV/μs	BOD 動作が保証

電圧モニター

表 38. 電圧モニターの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID195R	V _{HVD0}		1.18	1.23	1.27	V	–
SID195	V _{HVDI1}		1.38	1.43	1.47	V	–
SID196	V _{HVDI2}		1.57	1.63	1.68	V	–
SID197	V _{HVDI3}		1.76	1.83	1.89	V	–
SID198	V _{HVDI4}		1.95	2.03	2.1	V	–
SID199	V _{HVDI5}		2.05	2.13	2.2	V	–
SID200	V _{HVDI6}		2.15	2.23	2.3	V	–
SID201	V _{HVDI7}		2.24	2.33	2.41	V	–
SID202	V _{HVDI8}		2.34	2.43	2.51	V	–
SID203	V _{HVDI9}		2.44	2.53	2.61	V	–
SID204	V _{HVDI10}		2.53	2.63	2.72	V	–
SID205	V _{HVDI11}		2.63	2.73	2.82	V	–
SID206	V _{HVDI12}		2.73	2.83	2.92	V	–
SID207	V _{HVDI13}		2.82	2.93	3.03	V	–
SID208	V _{HVDI14}		2.92	3.03	3.13	V	–
SID209	V _{HVDI15}		3.02	3.13	3.23	V	–
SID211	LVI_IDD	ブロック電流	–	5	15	μA	–

表 39. 電圧モニターの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID212	T _{MONTRIP}	電圧モニター トリップ時間	–	–	170	ns	–

SWD および配線インターフェース
表 40. SWD および配線の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID214	F_SWCLK2	$1.7V \leq V_{DD} \leq 3.6V$	—	—	25	MHz	LP モード。 $V_{CCD}=1.1V$
SID214L	F_SWCLK2L	$1.7V \leq V_{DD} \leq 3.6V$	—	—	12	MHz	ULP モード。 $V_{CCD}=0.9V$
SID215	T_SWDI_SETUP	$T=1/f_{SWCLK}$	$0.25 * T$	—	—	ns	—
SID216	T_SWDI_HOLD	$T=1/f_{SWCLK}$	$0.25 * T$	—	—	ns	—
SID217	T_SWDO_VALID	$T=1/f_{SWCLK}$	—	—	$0.5 * T$	ns	—
SID217A	T_SWDO_HOLD	$T=1/f_{SWCLK}$	1	—	—	ns	—
SID214T	F_TRCLK_LP1	トレース データのセットアップと ホールド時間はそれぞれ2nsと1ns	—	—	75	MHz	LP モード。 $V_{DD}=1.1V$
SID215T	F_TRCLK_LP2	トレース データのセットアップと ホールド時間はそれぞれ3nsと2ns	—	—	70	MHz	LP モード。 $V_{DD}=1.1V$
SID216T	F_TRCLK_ULP	トレース データのセットアップと ホールド時間はそれぞれ3nsと2ns	—	—	25	MHz	ULP モード。 $V_{DD}=0.9V$

内部主発振器
表 41. IMO の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID218	I_{IMO1}	8MHz での IMO 動作電流	—	9	15	μA	—

表 42. IMO の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID223	$F_{IMOTOL1}$	8MHz を中心とする周波数変動	—	—	± 2	%	—
SID227	T_{JITR}	サイクル ツー サイクルと周期の ジッタ	—	± 250	—	ps	—

内部低速発振器
表 43. ILO の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID231	I_{ILO2}	32kHz での ILO 動作電流	—	0.3	0.7	μA	—

表 44. ILO の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID234	$T_{STARTILO1}$	ILO 起動時間	—	—	7	μs	最終周波数の 95% に 達するまでの起動時間
SID236	$T_{LIODUTY}$	ILO のデューティ比	45	50	55	%	—
SID237	$F_{ILOTRIM1}$	ILO の周波数	28.8	32	36.1	kHz	工場調整

水晶発振器

表 45. ECO の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
MHz ECO の DC 仕様							
SID316	I _{DD_MHz}	Cload が 18pF 以下の場合のブロック動作電流	–	800	1600	μA	Max = 35MHz、Typ = 16MHz
MHz ECO の AC 仕様							
SID317	F_MHz	水晶の周波数範囲	16	–	35	MHz	–
kHz ECO の DC 仕様							
SID318	I _{DD_kHz}	32kHz 水晶でのブロック動作電流	–	0.38	1	μA	–
SID321E	ESR32K	等価直列抵抗	–	80	–	kΩ	–
SID322E	PD32K	駆動レベル	–	–	1	μW	–
kHz ECO の AC 仕様							
SID319	F_kHz	32kHz の周波数	–	32.768	–	kHz	–
SID320	Ton_kHz	起動時間	–	–	500	ms	–
SID320E	F _{TOL32K}	周波数許容誤差	–	50	250	ppm	–

外部クロック

表 46. 外部クロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID305	EXTCLK _{FREQ}	外部クロック入力周波数	0	–	100	MHz	–
SID306	EXTCLK _{DUTY}	デューティ比；V _{DD} /2 で測定	45	–	55	%	–

PLL

表 47. PLL の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID305P	PLL_LOCK	PLL がロックされるまでの時間	–	16	35	μs	–
SID306P	PLL_OUT	PLL ブロック出力の周波数	–	–	150	MHz	–
SID307P	PLL_IDD	PLL 電流	–	0.55	1.1	mA	Typ は 100MHz 出力の場合
SID308P	PLL_JTR	周期ジッタ	–	–	150	μs	100MHz 出力周波数

クロックソースの切り替え時間

表 48. クロックソースの切り替え時間の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID262	TCLK _{SWITCH}	クロック周期での clk1 から clk2 へのクロック切り替え ^[5]	–	–	4 clk1 + 3 clk2	周期	–

注：

5 例として、clk_path[1] ソースが IMO から FLL に変更された場合 (図 4 を参照)、clk1 は IMO であり、clk2 は FLL です。

FLL
表 49. 周波数ロックループ (FLL) の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID450	FLL_RANGE	入力周波数範囲	0.001	—	100	MHz	Min の時、USB SOF 信号がロック可能 (1kHz)。Max は外部入力用
SID451	FLL_OUT_DIV2	出力周波数範囲。 $V_{CCD}=1.1V$	24.00	—	100.00	MHz	FLL 2 分周出力時の出力範囲
SID451A	FLL_OUT_DIV2	出力周波数範囲。 $V_{CCD}=0.9V$	24.00	—	50.00	MHz	FLL 2 分周出力時の出力範囲
SID452	FLL_DUTY_DIV2	2 分周出力。HIGH または LOW	47.00	—	53.00	%	—
SID454	FLL_WAKEUP	ディープスリープ ウェイクアップで安定入力クロックから最終値の誤差が 1% に達するまでの時間	—	—	7.50	μs	IMO 入力で、ディープスリープおよび Fout が 50 MHz 以上の間の温度変化が 10°C 未満の場合
SID455	FLL_JITTER	周期ジッタ (100MHz での 1 シグマ)	—	—	35.00	ps	48MHz で 50ps、100MHz で 35ps
SID456	FLL_CURRENT	CCO+ ロジック電流	—	—	5.50	$\mu A/MHz$	—

UDB
表 50. UDB の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
データパス性能							
SID249	$F_{MAX-TIMER}$	UDB ペアの 16 ビット タイマーの最大周波数	—	—	100	MHz	—
SID250	$F_{MAX-ADDER}$	UDB ペアの 16 ビット 加算器の最大周波数	—	—	100	MHz	—
SID251	F_{MAX_CRC}	UDB ペアの 16 ビット CRC/PRS の最大周波数	—	—	100	MHz	—
UDB での PLD 性能							
SID252	F_{MAX_PLD}	UDB ペアの 2 パス PLD 機能の最大周波数	—	—	100	MHz	—
クロック入力からデータ出力までの性能							
SID253	$T_{CLK_OUT_UDB1}$	クロック入力からデータ出力までの伝播遅延時間	—	5	—	ns	—
UDB ポートアダプタの仕様							
条件: 負荷 10pF、3V の V_{DDIO} および V_{DD}							
SID263	T_{LCLKDO}	LCLK から出力までの遅延時間	—	—	11	ns	LCLK は選択されたクロックです。詳細については、TRM を参照してください。
SID264	$T_{DINLCLK}$	入力セットアップから LCLK 立ち上りエッジまでの時間	—	—	7	ns	—
SID265	$T_{DINLCLKHLD}$	LCLK クロック立ち上りエッジからの入力ホールド時間	5	—	—	ns	—
SID266	$T_{LCLKHIZ}$	LCLK から出力トライステートまでの時間	—	—	28	ns	—
SID267	T_{FLCLK}	LCLK 周波数	—	—	33	MHz	—
SID268	$T_{LCLKDUTY}$	LCLK デューティ比 (High 時の割合)	40%	—	60%	%	—

USB

表 51. USB の仕様 (USB は LP モード 1.1V 内部電源が必要)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
USB ブロックの仕様							
SID322U	Vusb_3.3	USB 動作のデバイス電源電圧	3.15	–	3.6	V	USB 設定済み
SID323U	Vusb_3	USB 動作のデバイス電源電圧 (機能動作のみ)	2.85	–	3.6	V	USB 設定済み
SID325U	Iusb_config	アクティブ モードでのブロック供給電流	–	8	–	mA	V _{DDD} = 3.3V
SID328	Iusb_suspend	サスペンド モードでのブロック供給電流	–	0.5	–	mA	V _{DDD} = 3.3V、 デバイス接続
SID329	Iusb_suspend	サスペンド モードでのブロック供給電流	–	0.3	–	mA	V _{DDD} = 3.3V、 デバイス未接続
SID330U	USB_Drive_Res	USB ドライバー インピーダンス	28	–	44	Ω	直列抵抗はチップに 搭載
SID331U	USB_Pulldown	ホスト モードでの USB プルダウン抵抗	14.25	–	24.8	kΩ	–
SID332U	USB_Pullup_Idle	アイドル モード範囲	900	–	1575	Ω	バス アイドル
SID333U	USB_Pullup	アクティブ モード	1425	–	3090	Ω	アップストリーム デバイス送信

QSPI

表 52. QSPI の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SMIF QSPI 仕様。すべての仕様には 15-pF の負荷							
SID390Q	Fsmifclock	SMIF QSPI 出力クロック周波数	–	–	80	MHz	LP モード (1.1V)
SID390QU	Fsmifclocku	SMIF QSPI 出力クロック周波数	–	–	50	MHz	ULP モード (0.9V)。 特性上保証
SID397Q	Idd_qspi	LP モードでのブロック電流 (1.1V)	–	–	1900	μA	LP モード (1.1V)
SID398Q	Idd_qspi_u	ULP モードでのブロック電流 (0.9V)	–	–	590	μA	ULP モード (0.9V)
SID391Q	Tsetup	クロック キャプチャ エッジに対する 入力データ セットアップ時間	4.5	–	–	ns	–
SID392Q	Tdatahold	クロック キャプチャ エッジに対する 入力データ ホールド時間	0	–	–	ns	–
SID393Q	Tdataoutvalid	クロック立ち下りエッジに対する出 力データ有効時間	–	–	3.7	ns	ULP モード (0.9V) で 最大 7.5ns
SID394Q	Tholdtime	クロック立ち上りエッジに対する出 力データ ホールド時間	3	–	–	ns	–
SID395Q	Tseloutvalid	クロック立ち上りエッジに対する出 力選択有効時間	–	–	7.5	ns	ULP モード (0.9V) で 最大 15ns
SID396Q	Tselouthold	クロック立ち上りエッジに対する出 力選択ホールド時間	0.5* Tscclk	–	–	ns	Tscclk=Fsmifclk サイクル時間

オーディオサブシステム

表 53. オーディオ サブシステムの仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
PDM の仕様							
SID400P	PDM_IDD1	PDM アクティブ電流、ステレオ動作、1MHz クロック	–	175	–	μA	16ksps での 16 ビット オーディオ
SID401	PDM_IDD2	PDM アクティブ電流、ステレオ動作、3MHz クロック	–	600	–	μA	48ksps での 24 ビット オーディオ
SID402	PDM_JITTER	PDM クロックでの RMS ジッタ	-200	–	200	ps	–
SID403	PDM_CLK	PDM クロック速度	0.384	–	3.072	MHz	–
SID403A	PDM_BLK_CLK	PDM ブロック入力クロック	1.024	–	49.152	MHz	–
SID403B	PDM_SETUP	データ入力セットアップから PDM_CLK エッジまでの時間	10	–	–	ns	–
SID403C	PDM_HOLD	データ入力ホールドから PDM_CLK エッジまでの時間	10	–	–	ns	–
SID404	PDM_OUT	オーディオ サンプリング速度	8	–	48	ksps	–
SID405	PDM_WL	ワード長	16	–	24	ビット	–
SID406	PDM_SNR	信号対雑音比 (A 加重)	–	100	–	dB	PDM 入力、20Hz ~ 20kHz 帯域幅
SID407	PDM_DR	動的範囲 (A 加重)	–	100	–	dB	20Hz ~ 20kHz 帯域幅、-60dB フルスケール
SID408	PDM_FR	周波数応答	-0.2	–	0.2	dB	DC 精度が 0.45f DC ブロッキングフィルタオフ
SID409	PDM_SB	停止帯域	–	0.566	–	f	–
SID410	PDM_SBA	停止帯域減衰	–	60	–	dB	–
SID411	PDM_GAIN	調整可能ゲイン	-12	–	10.5	dB	PDM-PCM、1.5dB/ ステップ
SID412	PDM_ST	起動時間	–	48	–		WS (ワード選択) サイクル
I2S 仕様。特に指定のない限り、LP モードおよび ULP モードでも同じ							
SID413	I2S_WORD	I2S ワード長	8	–	32	ビット	–
SID414	I2S_WS	LP モードでのワード クロック 周波数	–	–	192	kHz	32 ビット ワードの 12.288MHz ビット クロック
SID414M	I2S_WS_U	ULP モードでのワード クロック 周波数	–	–	48	kHz	32 ビット ワードの 3.072MHz ビット クロック
SID414A	I2S_WS_TDM	LP の TDM モードのワード クロック周波数	–	–	48	kHz	8 本の 32 ビット チャネル
SID414X	I2S_WS_TDM_U	ULP の TDM モードでのワード クロック周波数	–	–	12	kHz	8 本の 32 ビット チャネル
I2S スレーブ モード							
SID430	TS_WS	LP モードでの WS セットアップから次の SCK 立ち上りエッジまでの時間	5	–	–	ns	–
SID430U	TS_WS	ULP モードでの WS セットアップから次の SCK 立ち上りエッジまでの時間	11	–	–	ns	–

表 53. オーディオ サブシステムの仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID430A	TH_WS	WS ホールドから次の SCK エッジまでの時間	TMCLK_SOC ^[6] + 5	–	–	ns	–
SID432	TD_SDO	LP モードでの TX_SCK エッジからの TX_SDO 遷移の遅延時間	-(TMCLK_SOC +25)	–	TMCLK_SOC+25	ns	関連するクロックエッジは選択された極性に依存する
SID432U	TD_SDO	ULP モードでの TX_SCK エッジからの TX_SDO 遷移の遅延時間	-(TMCLK_SOC +70)	–	TMCLK_SOC+70	ns	関連するクロックエッジは選択された極性に依存する
SID433	TS_SDI	LP モードでの RX_SDI セットアップから次の RX_SCK エッジまでの時間	5	–	–	ns	–
SID433U	TS_SDI	ULP モードでの RX_SDI セットアップから次の RX_SCK エッジまでの時間	11	–	–	ns	–
SID434	TH_SDI	RX_SDI ホールドから RX_SCK 立ち上がりエッジまでの時間	TMCLK_SOC+ 5	–	–	ns	–
SID435	TSCKCY	TX/RX_SCK ビットクロックデューティ比	45	–	55	%	–
I2S マスター モード							
SID437	TD_WS	LP モードでの SCK 立ち下がりエッジからの WS 遷移の遅延時間	-10	–	20	ns	–
SID437U	TD_WS_U	ULP モードでの SCK 立ち下がりエッジからの WS 遷移の遅延時間	-10	–	40	ns	–
SID438	TD_SDO	LP モードでの SCK 立ち下がりエッジからの SDO 遷移の遅延時間	-10	–	20	ns	–
SID438U	TD_SDO	ULP モードでの SCK 立ち下がりエッジからの SDO 遷移の遅延時間	-10	–	40	ns	–
SID439	TS_SDI	SDI セットアップから関連する SCK エッジまでの時間	5	–	–	ns	関連するクロックエッジは選択された極性に依存する
SID440	TH_SDI	SDI ホールドから関連する SCK エッジまでの時間	TMCLK_SOC+ 5	–	–	ns	T は TX/RX_SCK ビットクロック周期。関連するクロックエッジは選択された極性に依存する
SID443	TSCKCY	SCK ビット クロック デューティ比	45	–	55	%	–
SID445	FMCLK_SOC	LP モードでの MCLK_SOC 周波数	1.024	–	98.304	MHz	FMCLK_SOC=8× ビットクロック
SID445U	FMCLK_SOC_U	ULP モードでの MCLK_SOC 周波数	1.024	–	24.576	MHz	FMCLK_SOC_U=8× ビットクロック
SID446	TMCLKCY	MCLK_SOC デューティ比	45	–	55	%	–
SID447	TJITTER	MCLK_SOC 入力ジッタ	-100	–	100	ps	–

注 :

6 TMCLK_SOC は、内部 I2S マスタークロック周期です。

Smart I/O

表 54. Smart I/O の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID420	SMIO_BYP	Smart I/O バイパス遅延時間	–	–	2	ns	–
SID421	SMIO_LUT	Smart I/O LUT 伝播遅延時間	–	8	–	ns	–

高精度ILO (PILO)

表 55. PILO 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID 430R	I _{PILO}	動作電流	–	1.2	4	μA	–
SID431	F_PILO	PILO 公称周波数	–	32768	–	Hz	T=25°C
SID432R	ACC_PILO	定期校正による PILO 精度	-500	–	500	ppm	–

JTAG バウンダリスキャン

表 56. JTAG バウンダリスキャン

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
JTAG バウンダリスキャンパラメーター							
1.1V (LP) モード動作の JTAG バウンダリスキャンパラメーター							
SID468	TCKLOW	TCK LOW	52	–	–	ns	–
SID469	TCKHIGH	TCK HIGH	10	–	–	ns	–
SID470	TCK_TDO	TCK立ち下りエッジから出力有効までの時間		–	40	ns	–
SID471	TSU_TCK	入力有効からTCK立ち上りエッジまでの時間	12	–	–	ns	–
SID472	TCK_THD	TCK立ち上りエッジまでの入力ホールド時間	10	–	–	ns	–
SID473	TCK_TDOV	TCK立ち下りエッジから出力有効までの時間 (High-Zからアクティブ)	40	–	–	ns	–
SID474	TCK_TDOZ	TCK立ち下りエッジから出力有効までの時間 (アクティブからHigh-Z)	40	–	–	ns	–
0.9V (ULP) モード動作の JTAG バウンダリスキャンパラメーター							
SID468A	TCKLOW	TCK low	102	–	–	ns	–
SID469A	TCKHIGH	TCK high	20	–	–	ns	–
SID470A	TCK_TDO	TCK立ち下りエッジから出力有効までの時間		–	80	ns	–
SID471A	TSU_TCK	入力有効からTCK立ち上りエッジまでの時間	22	–	–	ns	–
SID472A	Tck_THD	TCK立ち上りエッジまでの入力ホールド時間	20	–	–	ns	–
SID473A	TCK_TDOV	TCK立ち下りエッジから出力有効までの時間 (High-Zからアクティブ)	80	–	–	ns	–
SID474A	TCK_TDOZ	TCK立ち下りエッジから出力有効までの時間 (アクティブからHigh-Z)	80	–	–	ns	–

注文情報

表 57 に PSoC 62x6 および PSoC 62x7 の製品番号と機能を示します。すべてのデバイスには、DC-DC コンバータ、QSPI SMIF、ADC、DAC、9個のSCB、USB-FS、32個のTCPWM、2個のPDM、およびI2Sが含まれます。[product selection guide](#)も参照してください。

表 57. マーケティング製品番号

ファミリ	製品番号	CPU 速度 (CM4)	CPU 速度 (CM0+)	シングル CPU/ デュアル CPU	ULP/LP	フラッシュ (KB)	SRAM (KB)	CTBM の数	UDB の数	CAPSENSE™	GPIO	CRYPTO	“セキュアブート”	パッケージ
62	CY8C6246BZI-D04	150/50	100/25	デュアル	両方	512	128	0	0	無	100	無	無	124-BGA
	CY8C6247BZI-D44	150/50	100/25	デュアル	両方	1024	288	0	0	有	100	有	有	124-BGA
	CY8C6247BZI-D34	150/50	100/25	デュアル	両方	1024	288	1	12	有	100	無	無	124-BGA
	CY8C6247BZI-D54	150/50	100/25	デュアル	両方	1024	288	1	12	有	100	有	有	124-BGA
	CY8C6247FDI-D02	150/50	100/25	デュアル	両方	1024	288	0	0	無	62	無	無	80-WLCSP
	CY8C6247FDI-D32	150/50	100/25	デュアル	両方	1024	288	1	12	有	62	無	無	80-WLCSP
	CY8C6247FTI-D52	150/50	100/25	デュアル	両方	1024	288	1	12	有	62	有	有	Thin 80-WLCSP
	CY8C6247FDI-D52	150/50	100/25	デュアル	両方	1024	288	1	12	有	62	有	有	80-WLCSP

PSoC 6 MPN コード説明
CY XX 6 A B C DD E - FF G H I JJ K L

フィールド	説明	値	意味
CY	サイプレス	CY	サイプレス
XX	ファームウェア	8C	標準
		B0	“セキュアブート” v1
		S0	“標準セキュア” - AWS
6	アーキテクチャ	6	PSoC 6
A	ライン	0	値
		1	プログラム可能
		2	性能
		3	接続性
		4	安全
B	速度	2	100MHz
		3	150MHz
		4	150/50MHz
C	メモリサイズ (フラッシュ/ SRAM)	0-3	予約済み
		4	256K/128K
		5	512K/256K
		6	512K/128K
		7	1024K/288K
		8	1024K/512K
		9	予約済み
		A	2048K/1024K
DD	パッケージ	AZ, AX	TQFP
		LQ	QFN
		BZ	BGA
		FM	M-CSP
		FN, FD, FT	WLCSP

フィールド	説明	値	意味
E	温度範囲	C	民生用
		I	産業用
		Q	産業用拡張温度範囲
FF	機能コード	S2-S6	サイプレス内部用
		BL	統合Bluetooth® LE
G	CPUコア	F	シングルコア
		D	デュアルコア
H	属性コード	0-9	将来に設定
I	GPIO数	1	31-50
		2	51-70
		3	71-90
		4	91-110
JJ	エンジニアリングサンプル (オプション)	ES	エンジニアリングサンプルかどうか
K	チップ版数 (オプション)		ベース
		A1-A9	チップ版数
L	テープ/リール出荷 (オプション)	T	テープ & リール出荷

パッケージ

この製品群は、高さ 0.43mm と 0.33mm^[7] の 124-BGA^[7] および 80-WLCSP パッケージで提供されます。124-BGA パッケージは認定中です。

表 58. パッケージの寸法

仕様 ID#	パッケージ	説明	パッケージ図番号
PKG_1	124-BGA	124-BGA、9mm×9mm× 高さ 1mm、0.65mm ピッチ	001-97718
PKG_2	80-WLCSP	80-WLCSP、3.7mm×3.2mm× 高さ 0.43mm、0.35mm ピッチ	002-20310
PKG_3	Thin 80-WLCSP	Thin 80-WLCSP、3.7mm×3.3mm× 高さ 0.33mm、0.35mm ピッチ	002-23411

表 59. パッケージ特性

パラメーター	説明	条件	Min	Typ	Max	単位
T _A	動作周囲温度	—	-40	25	85	°C
T _J	動作接合部温度	—	-40	—	100	°C
T _{JA}	パッケージ θ _{JA} (124-BGA)	—	—	36.2	—	°C/W
T _{JC}	パッケージ θ _{JC} (124-BGA)	—	—	15	—	°C/W
T _{JA}	パッケージ θ _{JA} (80-WLCSP)	—	—	20.4	—	°C/W
T _{JC}	パッケージ θ _{JC} (80-WLCSP)	—	—	0.2	—	°C/W
T _{JA}	パッケージ θ _{JA} (Thin 80-WLCSP)	—	—	20.4	—	°C/W
T _{JC}	パッケージ θ _{JC} (Thin 80-WLCSP)	—	—	0.2	—	°C/W

表 60. はんだリフロー ピーク温度

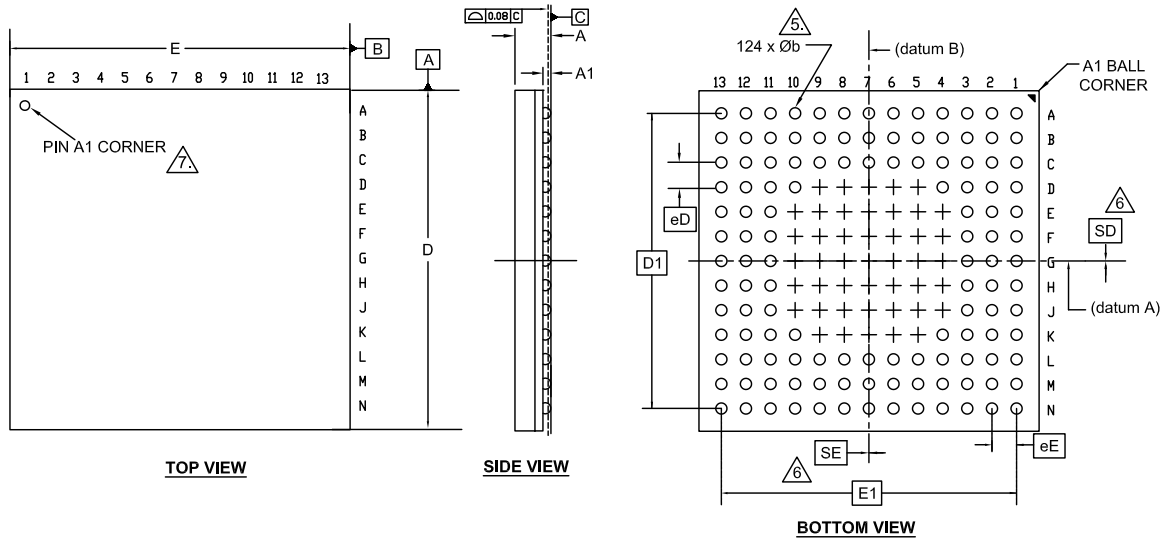
パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

表 61. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
124-BGA	MSL 3
80-WLCSP パッケージ	MSL 1

注：

7. 124-BGA および Thin 80-WLCSP パッケージは認定中です。

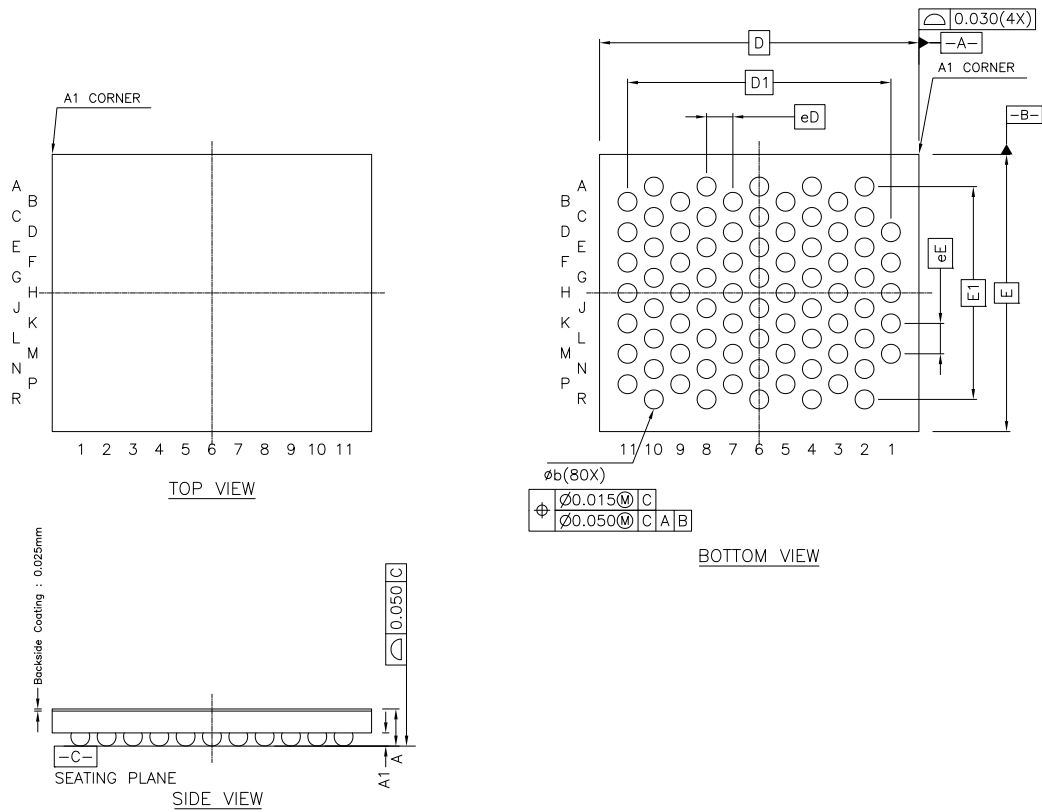
図 19. 124-BGA 9.0 × 9.0 × 1.0mm


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.16	0.21	0.26
D	8.90	9.00	9.10
E	8.90	9.00	9.10
D1	7.80 BSC		
E1	7.80 BSC		
MD	13		
ME	13		
N	124		
Ø b	0.25	0.30	0.35
eD	0.65 BSC		
eE	0.65 BSC		
SD	0		
SE	0		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : MO-280.

001-97718 *B

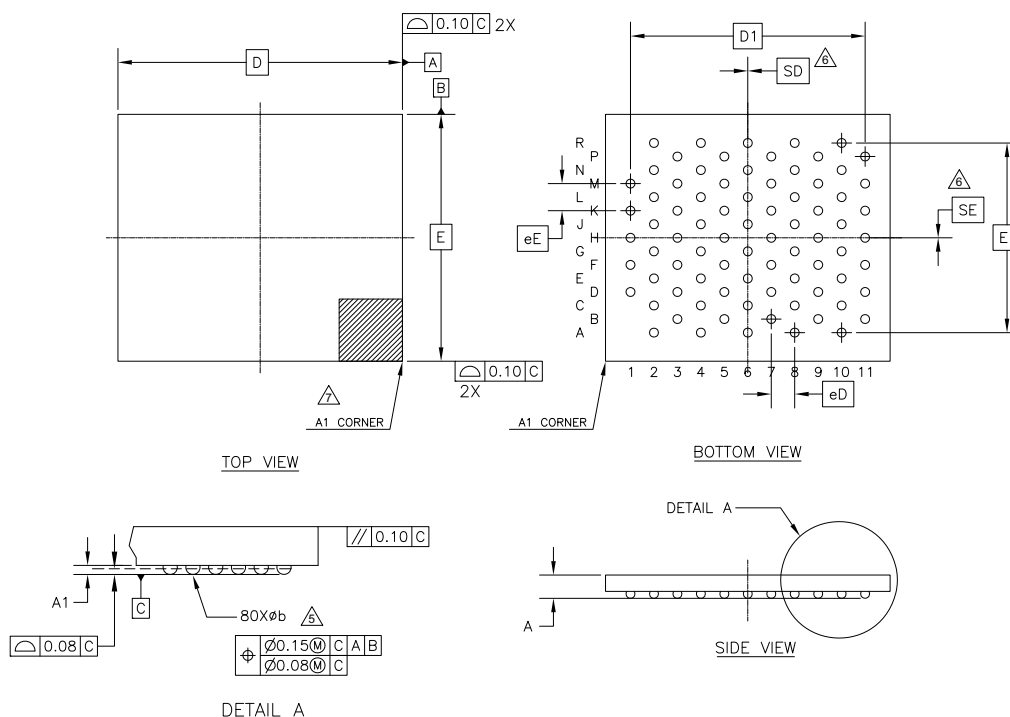
図 20. 80 ボール WLCSP 3.676×3.190×0.467mm


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	0.387	0.427	0.467
A1	0.122	—	0.182
D	3.676 BSC		
E	3.190 BSC		
D1	3.031 BSC		
E1	2.450 BSC		
n	80		
Øb	0.188	0.218	0.248
eD	0.303 BSC		
eE	0.350 BSC		

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.

002-20310 *A

図 21. Thin 80 ボール WLCSP 3.676×3.190×0.33mm


SYMBOL	DIMENSIONS		
	MIN	NOM	MAX
A	-	-	0.33
A1	0.081	-	-
D	3.676 BSC		
E	3.190 BSC		
D1	3.031 BSC		
E1	2.450 BSC		
MD	11		
ME	15		
N	80		
Øb	0.1035	0.1150	0.1265
eD	0.303 BSC		
eE	0.350 BSC		
SD	0.00 BSC		
SE	0.00 BSC		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALIZED MARK, INDENTATION OR OTHER MEANS.
- JEDEC SPECIFICATION NO. REF. : N/A

002-23411 **

略語

略語	説明
3DES	triple DES (データ暗号化規格)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AES	advanced encryption standard (先進暗号化規格)
AHB	AMBA high-performance bus (AMBA (アドバンス マイクロコントローラ バス アーキテク チャ) 高性能バス)。Arm [®] データ転送バス的一种
AMUX	analog multiplexer (アナログ マルチプレクサ)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケー ション プログラミング インターフェース)
Arm [®]	advanced RISC machine (高度な RISC マシン)、 CPU アーキテクチャの一種
BGA	ball grid array (ボール グリッド アレイ)
BOD	brown-out detect (ブラウンアウト検出)
CAD	computer aided design (コンピュータ支援設計)
CCO	current controlled oscillator (電流制御発振器)
CM0+	Cortex [®] -M0+, Arm [®] の CPU
CM4	Cortex [®] -M4, Arm [®] の CPU
CMOS	complementary metal-oxide-semiconductor、IC 製造のプロセス技術
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、 エラー チェック プロトコルの一種。
CSD	CAPSENSE [™] シグマデルタ
CSX	Cypress mutual capacitance sensing method CSD を参照してください。
DAC	digital-to-analog converter (デジタル - アナログ 変換器)。IDAC、VDAC を参照してください。
DAP	debug access port (デバッグ アクセス ポート)
DES	data encryption standard (データ暗号化規格)
DMA	direct memory access (ダイレクト メモリ アク セス)。TD を参照してください。
DNL	differential nonlinearity (微分非直線性)。 INL を参照してください。
DSI	digital system interconnect (デジタル システム インターコネクト)
DU	data unit (データ ユニット)
ECC	elliptic curve cryptography (楕円曲線暗号)
ECO	external crystal oscillator (外部水晶発振器)

略語	説明
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し 専用メモリ)
EMI	electromagnetic interference (電磁干渉)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIFO	first-in, first-out (先入れ先出し)
FLL	frequency locked loop (周波数同期ループ)
FPU	floating-point unit (浮動小数点ユニット)
FS	full-speed (フルスピード)
GND	Ground (接地)
GPIO	general-purpose input/output (汎用入出力)。 PSoC ピンに適用
HMAC	Hash-based message authentication code (ハッシュベースのメッセージ認証コード)
HSIOM	high-speed I/O matrix (高速入出力マトリクス)
I/O	input/output (入出力)。GPIO、DIO、USBIO も 参照してください。
I ² C または IIC	Inter-Integrated Circuit (インター インテグレー テッド サーキット)。通信プロトコルの一種。
I ² S	inter-IC sound (IC 間サウンド)
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC を参照
IDE	integrated development environment (統合開発環境)
ILO	internal low-speed oscillator (内部低速発振器)。 IMO を参照
IMO	internal main oscillator (内部主発振器)。 ILO を参照
INL	integral nonlinearity (積分非直線性)。 DNL を参照
IoT	internet of things (モノのインターネット)
IPC	inter processor communication (プロセッサ間通 信)
ISR	interrupt service routine (割り込みサービス ルーチン)
JTAG	Joint Test Action Group
LCD	liquid crystal display (液晶ディスプレイ)
LIN	Local Interconnect Network (ローカル インター コネクト ネットワーク)。通信プロトコルの一種
LP	low power
LS	low speed

略語	説明
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。 LVI を参照
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
M-CSP	molded chip scale package (成形チップスケールパッケージ)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MCWDT	multi-counter watchdog timer (多カウンタ ウォッチドッグ タイマー)
MISO	master-in slave-out (マスター入力スレーブ出力)
MMIO	memory-mapped input output
MOSI	master-out slave-in
MPU	memory protection unit
MSL	moisture sensitivity level
Msps	million samples per second
MTB	micro trace buffer
MUL	multiplier
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割り込み)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割り込みコントローラー)
OTP	one-time programmable
OVT	overvoltage tolerant
PASS	programmable analog subsystem
PCB	printed circuit board (プリント回路基板)
PCM	pulse code modulation
PDM	pulse density modulation
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割り込み制御ユニット)
PLL	Phase-Locked Loop (位相同期回路)
PMIC	power management integrated circuit
POR	power-on reset (パワーオン リセット)
PPU	peripheral protection unit
PRNG	pseudo random number generator
PSoC®	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)

略語	説明
QD	quadrature decoder
QSPI	quad serial peripheral interface
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
ROM	read-only memory
RSA	Rivest-Shamir-Adleman、公開鍵暗号アルゴリズム
RTC	real-time clock (リアル タイム クロック)
RX	receive (受信)
S/H	sample and hold (サンプル/ホールド)
SAR	successive approximation register (逐次比較レジスタ)
SARMUX	SAR ADC multiplexer bus
SCB	serial communication block
SFlash	supervisory flash
SHA	secure hash algorithm
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SNR	signal-to-noise ration
SOF	start of frame (フレームの開始)
SPI	Serial Peripheral Interface (シリアルペリフェラル インターフェース)。通信プロトコルの一種
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SROM	supervisory read-only memory
SRSS	system resources subsystem
SWD	serial wire debug (シリアル ワイヤ デバッグ)、 テスト プロトコルの一種
SWJ	serial wire JTAG
SWO	single wire output
SWV	single-wire viewer (シングル ワイヤ ビューアー)
TCPWM	timer, counter, pulse-width modulator
TDM	time division multiplexed
TQFP	thin quad flat package
TRM	technical reference manual (技術リファレンス マニュアル)
TRNG	true random number generator
TX	transmit (送信)

略語	説明
UART	Universal Asynchronous Receiver Transmitter (汎用非同期トランスミッタ レシーバ)。 通信プロトコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
ULP	ultra-low power
USB	universal serial bus (ユニバーサル シリアル バス)
WCO	watch crystal oscillator
WDT	watchdog timer (ウォッチドッグ タイマー)
WIC	wakeup interrupt controller
WLCSP	wafer level chip scale package
XIP	execute-in-place
XRES	external reset input pin (外部リセット入力ピン)

本書の表記法

測定単位

表 62. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
KHR	キロ時間
KHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド

表 62. 測定単位 (続き)

記号	測定単位
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

文書名 : PSoC 6 MCU: CY8C62x6, CY8C62x7 データシート 文書番号 : 002-20405			
版	ECN	発行日	変更内容
**	5846783	08/08/2017	これは英語版 002-18449 Rev. ** を翻訳した日本語版 002-20405 Rev. ** です。
*A	6082449	03/09/2018	これは英語版 002-18449 Rev. *D を翻訳した日本語版 002-20405 Rev. *A です。
*B	6214775	07/13/2018	これは英語版 002-18449 Rev. *E を翻訳した日本語版 002-20405 Rev. *B です。
*C	6582943	06/04/2019	これは英語版 002-18449 Rev. *F を翻訳した日本語版 002-20405 Rev. *C です。
*D	6883923	05/28/2020	これは英語版 002-18449 Rev. *I を翻訳した日本語版 002-20405 Rev. *D です。
*E	7122772	04/23/2021	これは英語版 002-18449 Rev. *L を翻訳した日本語版 002-20405 Rev. *E です。
*F	7302679	09/16/2021	これは英語版 002-18449 Rev. *M を翻訳した日本語版 002-20405 Rev. *F です。
*G	7775024	06/22/2022	これは英語版 002-18449 Rev. *N を翻訳した日本語版 002-20405 Rev. *G です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® マイクロコントローラー	cypress.com/arm
車載向け	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
モノのインターネット (IoT)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
パワー マネージメント IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス接続	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2017-2022. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。**Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害（総称して、以下「セキュリティ違反」という。）がないことを表明又は保証しない。**Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む）、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。