

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

概要説明

PSoC® 5LP は、単一チップ上に設定可能なアナログとデジタル ペリフェラル、メモリ、およびマイクロコントローラーを集積した、真のプログラマブル組込みシステムオンチップです。PSoC 5LP アーキテクチャは下記によって性能を向上します。

- DMA コントローラーおよびデジタル フィルタ プロセッサを含む、80 MHz までの 32 ビット Arm® Cortex®-M3 コア
- 超低消費電力、業界最大の電圧範囲に対応
- プログラマブルなデジタルおよびアナログ ペリフェラルがカスタム機能を可能にします
- 任意のアナログまたはデジタル ペリフェラル機能から、任意のピンまでの柔軟性の高いルーティング

PSoC デバイスは、組込み制御設計用に、高度にコンフィギュレーション可能なシステムオンチップ アーキテクチャを採用しています。これらは、オンチップ マイクロコントローラーによって制御されるコンフィギュレーション可能なアナログおよびデジタル回路を統合しています。単一の PSoC デバイスに 100 個までのデジタルおよびアナログ ペリフェラル機能を統合でき、設計時間、基板面積、消費電力およびシステム コストを削減しながら、システムの品質を向上させます。

特長

- 動作特性
 - 電圧範囲 : 1.71 ~ 5.5 V、最大 6 つのパワー ドメイン
 - 温度範囲 (周囲): -40 ~ 85°C^[1]
拡張温度範囲 : -40 ~ 105°C
 - DC ~ 80 MHz で動作
 - 消費電力モード
 - アクティブモードは 6 MHz で 3.1 mA, 48 MHz で 15.4 mA
 - スリープモードは 2 µA
 - ハイバネートモードは RAM データ保持が有効で、300 nA
 - 0.5 V 入力から 5 V 出力までのブースト レギュレータ
- 性能
 - 32 ビット Arm Cortex-M3 CPU、32 の割込み入力
 - 24 チャンネルのダイレクト メモリ アクセス (DMA) コントローラー
 - 24 ビット、64 タップの固定小数点デジタル フィルタ プロセッサ (DFB)
- メモリ
 - キャッシュおよび保護機能を備えた最大 256 KB のプログラム フラッシュ
 - エラー訂正コード (ECC) 用の最大 32 KB の追加フラッシュ
 - 最大 64 KB の RAM
 - 2 KB の EEPROM
- デジタル ペリフェラル
 - 4 個の 16 ビット タイマー、カウンタ、PWM (TCPWM) ブロック
 - I²C、1 Mbps のバス速度
 - 内部発振器を利用する USB 2.0 認証の全速 (FS) 12 Mbp のペリフェラル インターフェース (TID#10840032)^[2]
 - フル CAN 2.0b、16 Rx および 8 Tx バッファ
 - 様々な機能を作成できるプログラマブルな 20~24 個のユニバーサル デジタル ブロック (UDB)
 - 8 ビット、16 ビット、24 ビットおよび 32 ビットのタイマー、カウンタおよび PWM
- I²C、UART、SPI、I2S、LIN 2.0 インターフェース
- 巡回冗長検査回路 (CRC)
- 擬似乱数シーケンス (PRS) ジェネレータ
- 直交デコーダー
- ゲート レベルの論理関数
- プログラム可能なクロック供給
 - 3 ~ 74 MHz の内部発振器、3 MHz で精度が 1%
 - 4 ~ 25 MHz の外部水晶発振器
 - 最大 80 MHz までの内部 PLL クロック生成
 - 1 kHz、33 kHz および 100 kHz の低消費電力内部発振器
 - 32.768 kHz の外部時計用水晶発振器
 - 12 個のクロック分周器 - 任意のペリフェラルまたは I/O にルーティング可能
- アナログ ペリフェラル
 - コンフィギュレーション可能な 8~12 ビット デルタシグマ ADC
 - 最大 2 個の 12 ビット SAR ADC
 - 4 個の 8 ビット DAC
 - 4 個のコンパレータ
 - 4 個のオペアンプ
 - 下記を作成するための 4 個のプログラマブルなアナログ ブロック :
 - プログラマブル ゲイン アンプ (PGA)
 - トランスインピーダンス アンプ (TIA)
 - ミキサー
 - サンプル/ホールド回路
 - CapSense® サポート、最大 62 個のセンサー
 - 1.024 V ±0.1% の内部電圧リファレンス
- 汎用性の高い I/O システム
 - 48 ~ 72 個の I/O ピン - 最大 62 本の汎用 I/O (GPIO)
 - 最大 8 本のパフォーマンス I/O (SIO) ピン
 - 25 mA の電流シンク
 - プログラム可能な入力閾値および出力 HIGH 電圧
 - 汎用コンパレータとして動作可能
 - ホット スワップ機能および過電圧耐性

- GPIO として使用可能な 2 個の USBIO ピン
- 任意のデジタルまたはアナログ ペリフェラルから任意の GPIO へ接続
- 任意の GPIO から LCD 直接駆動-最大 46 × 16 セグメントまで
- 任意の GPIO から CapSense をサポート
- 1.2V ~ 5.5V のインターフェース電圧-最大 4 個のパワードメインまで
- プログラミング、デバッグ、トレース
 - JTAG (4 線)、シリアルワイヤ デバッグ (SWD、2 線)、シングルワイヤ ビューワ (SWV)、Traceport (5 線) インターフェース
 - CPU コアに組み込まれた Arm デバッグおよびトレース モジュール
- I²C、SPI、UART、USB および他のインターフェースによるブートローダ プログラミング
- パッケージオプション : 68 ピン QFN、100 ピン TQFP および 99 ピン CSP
- 無料の PSoC Creator[™] ツールによる開発のサポート
 - 回路図およびファームウェア設計のサポート
 - 100 個以上の PSoC Components[™] は複数の IC とシステムインターフェースを単一の PSoC に統合するために使用。コンポーネントは自由に埋め込まれた IC であり、アイコンで表示。PSoC Creator 上でコンポーネント アイコンをドラッグ アンド ドロップしてシステム設計
 - 無料の GCC コンパイラを含み、Keil/Arm MDK コンパイラに対応
 - デバイス プログラミングおよびデバッグをサポート

注:

1. 最大保管温度は JEDEC 標準 JESD22-A103、High Temperature Storage Life に準拠した 150°C です。
2. この機能は選択したデバイスのみ有効です。詳細は [120 ページ](#)の「[注文情報](#)」を参照してください。

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。リソースの包括的なリストについては、知識ベース記事「[KBA86521, How to Design with PSoC 3, PSoC 4, and PSoC 5LP](#)」を参照してください。以下は PSoC 5LP のリソースの要約です。

■ 概要 : PSoC ポートフォリオ、PSoC ロードマップ

■ 製品セレクト : PSoC 1、PSoC 3、PSoC 4、PSoC 5LP

また、PSoC Creator はデバイス選択ツールを含んでいます。

■ アプリケーション ノート : サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の PSoC アプリケーション ノートおよび推奨コード例を提供しています。以下は PSoC 5LP 入門用の推奨アプリケーション ノートです。

- [AN77759](#): Getting Started With PSoC 5LP
- [AN77835](#): PSoC 3 to PSoC 5LP Migration Guide
- [AN61290](#): Hardware Design Considerations
- [AN57821](#): Mixed Signal Circuit Board Layout
- [AN58304](#): Pin Selection for Analog Designs
- [AN81623](#): Digital Design Best Practices
- [AN73854](#): Introduction To Bootloaders

■ 開発キット

- [CY8CKIT-059](#)はUSBコネクタにユニークなスナップアウェイプログラマとデバッグをもち、低コストなプラットフォームを試作できます。
- [CY8CKIT-050](#) はアナログ性能用に設計されています。これにより、PSoC 5LP によってサポートされる高精度アナログ、低消費電力かつ低電圧のアプリケーションを評価、開発、試作できます。
- [CY8CKIT-001](#)はPSoC 1、PSoC 3、PSoC 4またはPSoC 5LP デバイス ファミリーのいずれかに共通開発プラットフォームを提供します。
- [MiniProg3](#)デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供しています。

■ テクニカルリファレンスマニュアル

- [アーキテクチャTRM](#)
- [レジスタTRM](#)

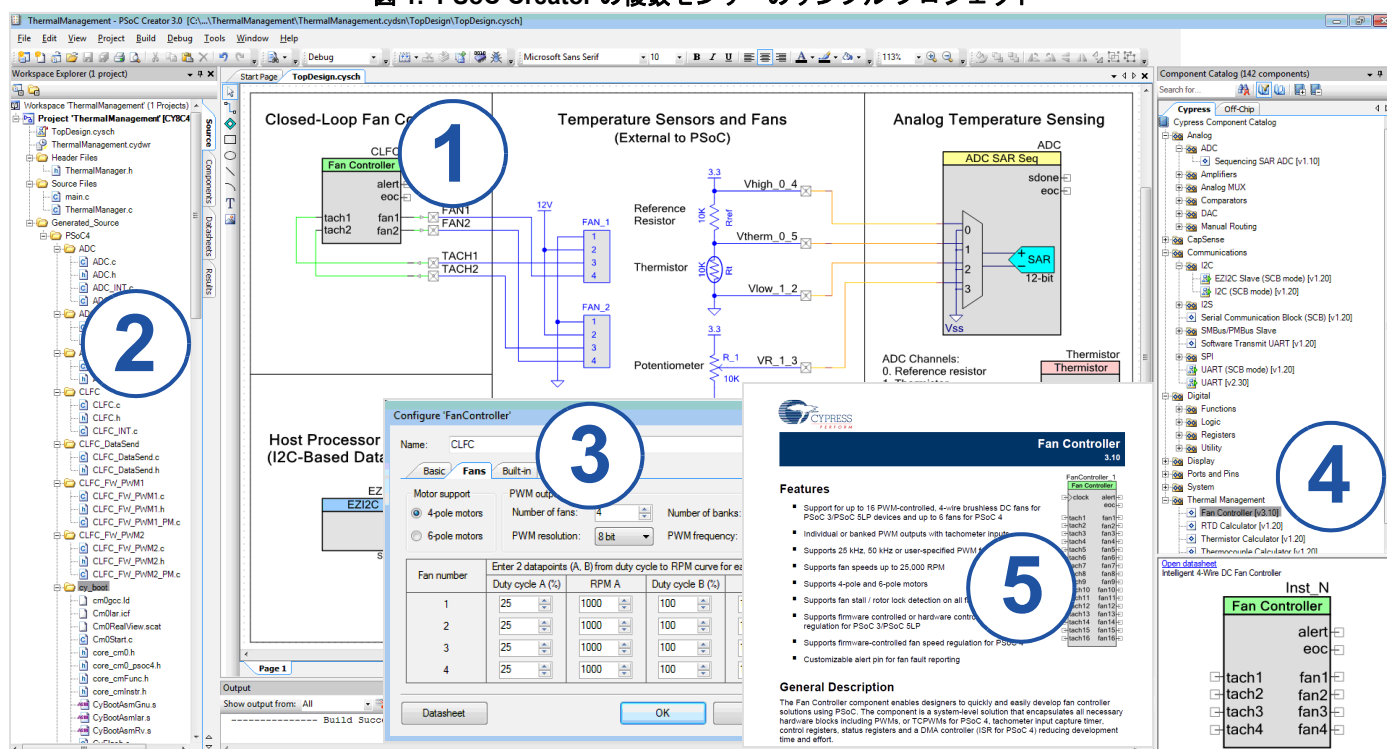
■ Programming Specification

PSoC Creator

[PSoC Creator](#) は Windows ベースの統合開発環境 (IDE) です。無料で利用できます。これは、同時に PSoC 3、PSoC 4 および PSoC 5LP ベースのシステムのハードウェアとファームウェア設計を可能にします。100 個以上の事前検証済みで量産使用が可能な PSoC コンポーネントをサポートしているクラシックで使い慣れた回路図キャプチャを使って設計します。[コンポーネント データシート](#)を参照してください。PSoC Creator により、以下のことが可能です。

1. メイン デザイン ワークスペースで、コンポーネント アイコンをドラッグ アンド ドロップしてハードウェア システム デザインをビルド
2. PSoC Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを相互設計
3. コンフィギュレーション ツールを使ってコンポーネントを設定
4. 100 以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを参照

図 1. PSoC Creator の複数センサーのサンプル プロジェクト



目次

1. アーキテクチャ概要	5	8.8 CapSense	60
2. ピン配置	7	8.9 温度センサー	60
3. ピンの説明	12	8.10 DAC	60
4. CPU	13	8.11 アップ/ダウン ミキサー	61
4.1 Arm Cortex-M3 CPU	13	8.12 サンプル/ホールド	62
4.2 キャッシュ コントローラー	15	9. プログラミング、デバッグ インターフェース、リソース	62
4.3 DMAおよびPHUB	16	9.1 JTAGインターフェース	63
4.4 割込みコントローラー	18	9.2 SWDインターフェース	64
5. メモリ	20	9.3 デバッグ機能	65
5.1 スタティックRAM	20	9.4 トレースの特長	65
5.2 フラッシュ プログラム メモリ	20	9.5 SWVインターフェースおよびTRACEPORTインター フェース	65
5.3 フラッシュのセキュリティ	20	9.6 プログラミング機能	65
5.4 EEPROM	20	9.7 デバイス セキュリティ	65
5.5 不揮発性ラッチ (NVL)	21	9.8 CSPパッケージ ブートローダ	66
5.6 外部メモリ インターフェース (EMIF)	22	10. 開発サポート	66
5.7 メモリ マップ	23	10.1 ドキュメント	66
6. システム全般	24	10.2 オンライン	66
6.1 クロック システム	24	10.3 ツール	66
6.2 電源システム	27	11. 電氣的仕様	67
6.3 リセット	31	11.1 絶対最大定格	67
6.4 I/Oシステムおよび配線	33	11.2 デバイス レベルの仕様	68
7. デジタル サブシステム	39	11.3 電源レギュレータ	72
7.1 ペリフェラルの例	40	11.4 入力と出力	76
7.2 ユニバーサル デジタル ブロック	41	11.5 アナログ ペリフェラル	84
7.3 UDBアレイの説明	45	11.6 デジタル ペリフェラル	105
7.4 DSI配線インターフェースの説明	45	11.7 メモリ	109
7.5 CAN	47	11.8 PSoCのシステム リソース	113
7.6 USB	48	11.9 クロック	116
7.7 タイマー、カウンタおよびPWM	49	12. 注文情報	120
7.8 I ² C	49	12.1 型番の命名規則	121
7.9 デジタル フィルタ ブロック	51	13. パッケージ	122
8. アナログ サブシステム	51	14. 略語	125
8.1 アナログ配線	53	15. 本書の表記法	127
8.2 デルタシグマADC	55	15.1 測定単位	127
8.3 逐次比較ADC	56	改訂履歴	128
8.4 コンパレータ	56	セールス、ソリューションおよび法律情報	129
8.5 オペアンプ	58		
8.6 プログラム可能なSC/CTブロック	58		
8.7 LCD直接駆動	59		

1. アーキテクチャ概要

ここでは、超低消費電力、フラッシュによるプログラム可能なシステムオンチップ (PSoC) デバイス、スケーラブルな 8 ビット PSoC 3 および 32 ビット PSoC 5LP プラットフォームを備えた CY8C56LP ファミリを紹介いたします。CY8C56LP ファミリは、CPU サブシステムに関連するアナログ回路、デジタル回路および相互接続回路のブロックを提供します。柔軟性の高いアナログ サブシステム、デジタル サブシステム、ルーティング、I/O を CPU と組み合わせることで、民生用、産業用、医療用の様々なアプリケーションで高度な統合を実現できます。

図 1-1. 簡略化されたブロック ダイアグラム

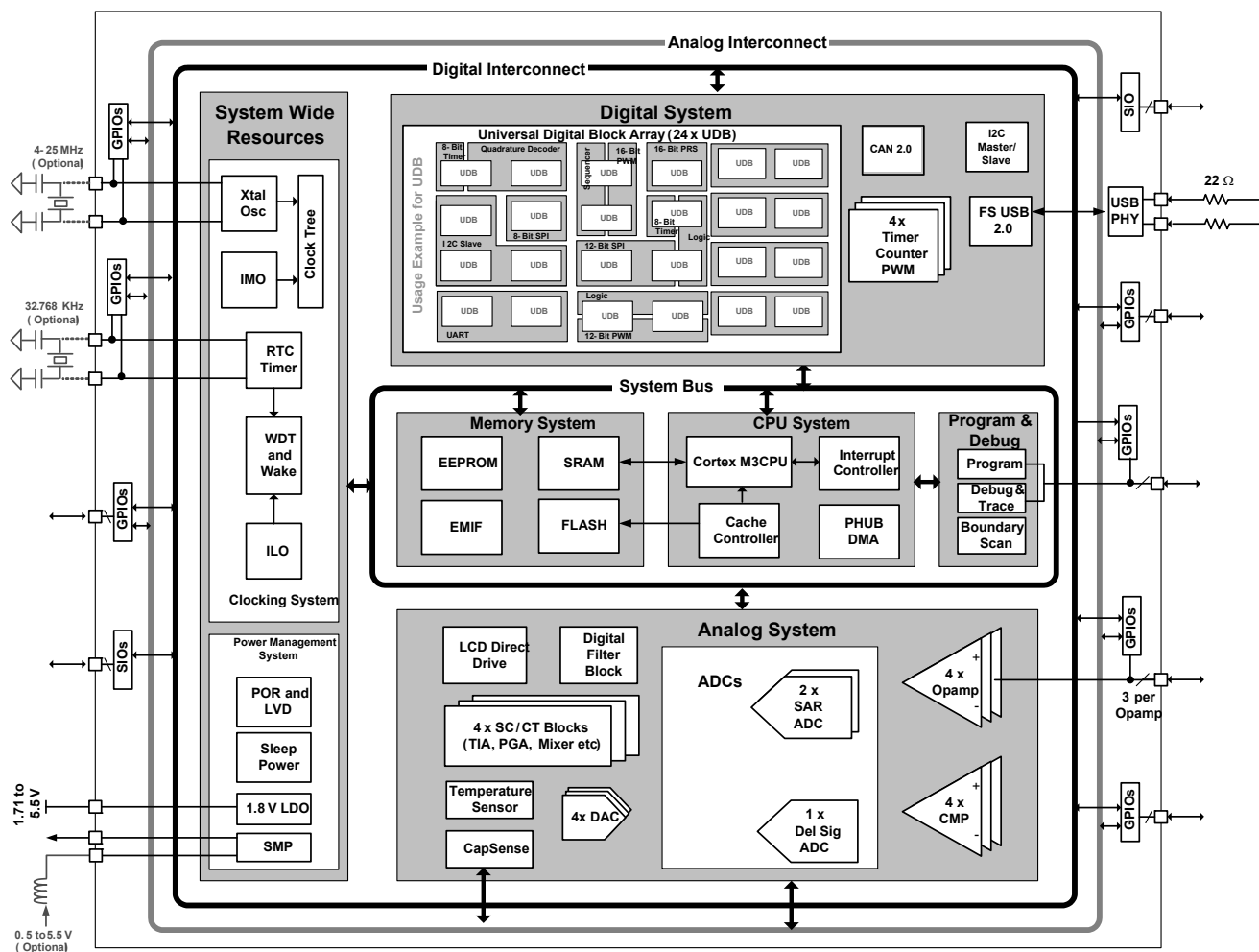


図 1-1 は、CY8C56LPファミリの主要なコンポーネントを示します。それらは以下のとおりです。

- Arm Cortex-M3 CPU サブシステム
- 不揮発性サブシステム
- プログラミング、デバッグおよびテストのサブシステム
- 入力と出力
- クロッキング
- 電源
- デジタル サブシステム
- アナログ サブシステム

PSoCの柔軟性の半分はデジタルサブシステムによって実現されています。デジタル システム インタコネクト (DSI) により、任意のペリフェラルからのデジタル信号を任意のピンに接続します。また、小型、高速、低消費電力なユニバーサル デジタル ブロック (UDB) によってデジタル機能の柔軟性を提供しています。PSoC Creator は、UDB アレイにマッピングされた標準 デジタル周辺機能 (UART、SPI、LIN、PRS、CRC、タイマ、カウンタ、PWM、AND、OR など) の、構築とテストを完了したライブラリを提供します。グラフィカルな設計入力手段を通じ、基本論理要素を使用してデジタル回路を容易に作成することもできます。各 UDB には、プログラマブル アレイ ロジック (PAL) とプログラマブル ロジック デバイス (PLD) の機能が小型のステートマシン エンジンとともに含まれているので、幅広いペリフェラルをサポートできます。PSoC には、UDB アレイの柔軟性のほか、特定の機能を対象とした設定可能なデジタル ブロックも用意されています。CY8C56LP ファミリの場合は、4 個の

16 ビット タイマー、カウンタ、PWM ブロック、I²C によるスレーブ、マスター、およびマルチマスター、フルスピード USB、フル CAN 2.0 をこれらのブロックで扱えます。

ペリフェラルの詳細については、このデータシートの **40 ページの「ペリフェラルの例」**をご覧ください。UDB、DSI およびその他のデジタル ブロックの詳細については、本データシートの **39 ページの「デジタル サブシステム」**を参照してください。

PSoC のアナログ サブシステムは、PSoC 独自のコンフィギュレーション機能の残り半分を受け持ちます。すべてのアナログ性能は、広い範囲の温度と電圧にわたって誤差が 0.1% 未満の高精度な絶対リファレンス電圧に基づいています。コンフィギュレーション可能なアナログ サブシステムとして、次の機能があります。

■ アナログ マルチプレクサ

■ コンパレータ

■ アナログ ミキサー

■ リファレンス電圧

■ ADC

■ DAC

■ DFB

内部アナログ バスを使用すると、すべての GPIO ピンでアナログ信号の入出力が可能です。これにより、最大 62 個の独立したアナログ信号とのインターフェースが実現します。

一部の CY8C56LP デバイスは、以下の特長のある高速で高精度のコンフィギュレーション可能なデルタシグマ ADC を提供しています。

■ 100 μ V 未満のオフセット

■ 0.2% のゲイン誤差

■ 1LSB 未満の積分非直線性 (INL)

■ 1LSB 未満の微分非直線性 (DNL)

■ 66dB 以上の信号対雑音、歪み比 (SINAD)

CY8C56LP ファミリーは、選択したデバイスに応じて 1 個または 2 個の逐次比較レジスタ (SAR) ADC も備えています。また、毎秒 100 万のサンプルの速度で 12 ビット変換を行い、低い非直線性、オフセット誤差、70dB 以上の S/N 比を実現します。これは、さまざまな高速のアナログ用途に最適です。

必要に応じ、CPU の介入を必要とせずに DMA により、どちらの ADC の出力もプログラマブルな DFB に供給できます。IIR デジタル フィルタ、FIR デジタル フィルタおよびユーザー定義の各種カスタム機能を実行するように、DFB をコンフィギュレーションできます。DFB によって最大 64 タップを備えたフィルタを実装でき、1 クロック サイクルで 48 ビット積和 (MAC) 演算の実行が可能です。

4 個の高速な電圧 DAC または電流 DAC は、最大 8 Msps の更新速度で 8 ビットの出力信号をサポートします。これらの DAC から任意の GPIO ピンに出力できます。UDB アレイを使用して、より分解能の高い電圧 PWM DAC 出力を生成できます。この方法で、最高 48 kHz で最大 10 ビットのパルス幅変調 (PWM) DAC を実現できます。各 UDB 内のデジタル DAC は、PWM、PRS、またはデルタシグマ アルゴリズムをサポートし、パルス幅はプログラム可能です。

アナログ サブシステムは、ADC、DAC、DFB の他、以下のコンポーネントを提供します。

■ コンパレータ

■ オペアンプ

■ コンフィギュレーション可能なスイッチト キャパシタ/連続時間 (SC/CT) ブロック。これは以下をサポートしています。

□ トランスインピーダンス増幅器

□ プログラマブル ゲイン アンプ

□ ミキサー

□ その他のアナログ コンポーネント

詳細は、このデータシートの **51 ページの「アナログ サブシステム」**を参照してください。

PSoC の CPU サブシステムは、最大 80 MHz で動作する 3 段パイプライン方式の 32 ビット Arm Cortex-M3 プロセッサを中心に構成されています。Cortex-M3 は、密接に統合されたネスト型ベクタ割り込みコントローラ (NVIC) および各種のデバッグ モジュールやトレース モジュールを備えています。大まかな構成で見た CPU サブシステムには、DMA コントローラ、フラッシュ キャッシュ、および RAM があります。NVIC では、低レイテンシ、ネスト可能な割り込み、割り込みのテールチェーンなどの機能を提供することで、割り込み処理の効率化を図っています。DMA コントローラにより、ペリフェラルは CPU の介入なしにデータを交換できます。これにより、CPU の動作を低速にすることによる消費電力削減や、この CPU サイクルを活用したファームウェア アルゴリズムの性能向上を図れます。また、フラッシュ キャッシュによってフラッシュへのアクセス頻度が抑えられ、システムの消費電力を低減できます。

PSoC の不揮発性サブシステムは、フラッシュ、バイト書き込み可能な EEPROM および不揮発性のコンフィギュレーション オプションから成ります。最大 256 KB のオンチップ フラッシュが用意されています。CPU は、ブート ローダ機能を有効にしていると CPU がフラッシュの各ブロックを再書き込みできます。ECC の有効で、アプリケーションの高信頼性を図れます。ユーザーの重要な情報は、メモリブロックを選択的にロックして読み出し保護および書き込み保護できる強力な柔軟な保護モデルによって保護されます。アプリケーション データを保存するために、チップ上に 2 KB のバイト書き込み可能な EEPROM が用意されています。さらに、起動速度やピン駆動モードなどの選択したコンフィギュレーション オプションが不揮発性メモリに保存されるので、パワーオン リセット (POR) の直後にその設定が有効になります。

3 種類の PSoC I/O は極めて高い柔軟性があります。すべての I/O が多数の駆動モードを備えており、これらのモードが POR 時に設定されます。PSoC では、VDDIO ピンを使用して最大 4 種類の I/O 電圧ドメインに分割して利用できます。すべての GPIO にはアナログ I/O、LCD 駆動、CapSense、柔軟な割り込み生成、スルーレート制御およびデジタル I/O 機能を備えています。PSoC 上の SIO では、出力として使用する V_{OH} を VDDIO とは別に設定できます。入力モード時の SIO は高インピーダンスになりますが、これはデバイスに電源が供給されていない場合やピン電圧が電源電圧を超えている場合でも同様です。これにより、SIO は PSoC が電源供給されなくバス上の他のデバイスがまだ電源供給されている I²C バスに最適になります。また、SIO ピンはアプリケーションの高電流シンク機能 (LED 駆動など) も備えています。SIO のプログラム可能な入力しきい値機能を使用すると、汎用アナログ コンパレータとして SIO 機能を使用できます。FS USB を備えたデバイスでは、USB の物理インターフェースも用意されています (USBIO)。USB を使用しない場合、限定されたデジタル機能およびデバイス プログラミングにこれらのピンを使用することもできます。PSoC I/O のすべての機能の詳細については、このデータシートの **33 ページの「I/O システムおよび配線」**をご覧ください。

PSoC デバイスには、柔軟性のある内部クロック発生器が組み込まれています。この発生器は、高い安定性を目指して設計され、高精度が得られるように出荷時に調整済みです。内部メイン発振器 (IMO) はシステムのマスタ クロック基準であり、3 MHz で 1% の精度を備えています。IMO は、3 MHz ~ 74 MHz の範囲で動作するようにコンフィギュレーション可能です。各用途での要求に応じて、メイン クロック周波数から複数の派生クロックを得られます。このデバイスは、IMO、外部水晶、または外部リファレンス クロックから最大 80 MHz のシステム クロック周波数を生成できる PLL を備えています。また、スリープモードとウォッチドッグ タイマー用の独立した超低消費電力の低速発振器 (ILO) も内蔵しています。リアルタイム クロック (RTC) の用途で、32.768 kHz の外部時計用水晶発振器も使用できます。プログラム可能なクロック分周器とこれらのクロックを組み合わせることで、ほとんどのタイミング要件に総合的に応えられる柔軟性が得られます。

CY8C56LP ファミリーでは、1.71 V ~ 5.5 V という広い動作電源電圧範囲がサポートされています。このため、1.8 V \pm 5%、2.5 V \pm 10%、3.3 V \pm 10%、5.0 V \pm 10% などの安定化電源のほか、さまざまな電池から直接電源を供給することもできます。さらに、0.5 V という低い電源電圧でデバイスを動作させられる高効率の同期ブースト コンバータが組み込まれています。これにより、1 個の電池からデバイスに電源を直接供給できます。さらに、ブースト コンバータを使用して、LCD 駆動用の 3.3 V など、他のデバイスに必要な電源電圧を生成できます。ブーストの出力電圧は VBOOST ピンに出力され、同じ用途で使っている他のデバイスに PSoC から電源を供給できます。

PSoC は、各種の低消費電力モードをサポートしています。このモードには、RAM のデータを維持する 300 nA のハイバネートモード、リアルタイム クロック (RTC) が使用可能な 2 μ A のスリープモードがあります。スリープモードでは、オプションの 32.768 kHz 時計用水晶発振器が継続して動作し、正確な RTC を維持します。

プログラム可能なデジタルペリフェラルとアナログペリフェラルなどのすべての主要な機能ブロックへの電源は、ファームウェアで個別に制御できます。このため、使用していない周辺回路がある場合に低消費電力のバックグラウンド処理が可能になります。その結果、デバイスの合計電流は、CPU を 6 MHz で実行しているときは 3.1 mA という小さい値になります。

PSoC の電源モードの詳細、このデータシートの 27 ページの「電源システム」を参照してください。

PSoC のプログラミング、デバッグおよびテストには、JTAG (4 線) または SWD (2 線) のインターフェースを使用します。これらの標準的なインターフェースを使用することで、サイプレス製またはサードパーティ製の各種ハードウェア ソリューションによる PSoC のデバッグやプログラミングが可能になります。Cortex-M3 のデバッグとトレースのモジュールとして、FPB (フラッシュパッチおよびブレイクポイント)、DWT (データウォッチポイントおよびトレース)、ETM (エンベデッドトレース マクロセル) および ITM (計装トレース マクロセル) があります。これらのモジュールには、さまざまなデバッグとトレースの問題の解決に役立つ機能が数多く用意されています。プログラミング、テストおよびデバッグのインターフェースの

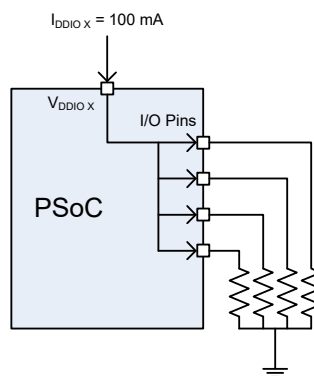
詳細については、本データシートの 62 ページの「プログラミング、デバッグインターフェース、リソース」を参照してください。

2. ピン配置

各 VDDIO ピンは、特定セットの I/O ピンに電源を供給します (USBIO は、VDDD から電源供給されます)。VDDIO ピンを使用することにより、1 個の PSoC で複数の電圧レベル対応でき、外付けのレベルシフタは不要になります。図 2-3、図 2-4 や表 2-1 などのピン配置図での黒い線は、各 VDDIO が電源供給しているピンを示します。

図 2-1 に示すように、各 VDDIO からは、それに接続した I/O ピンに合計で最大 100mA の電源供給が可能です。

図 2-1. VDDIO 電流制限



逆に、図 2-2 に示すように、100 ピンおよび 68 ピンのデバイスでは、VDDIO と関連する I/O ピンのセットでは、合計で最大 100 mA の電源吸い込みが可能です。

図 2-2. I/O ピン電流制限

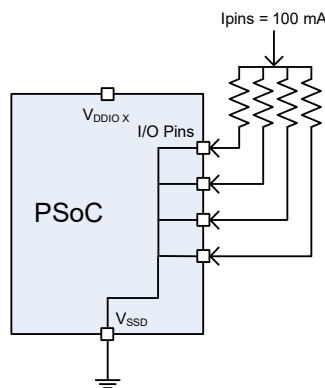
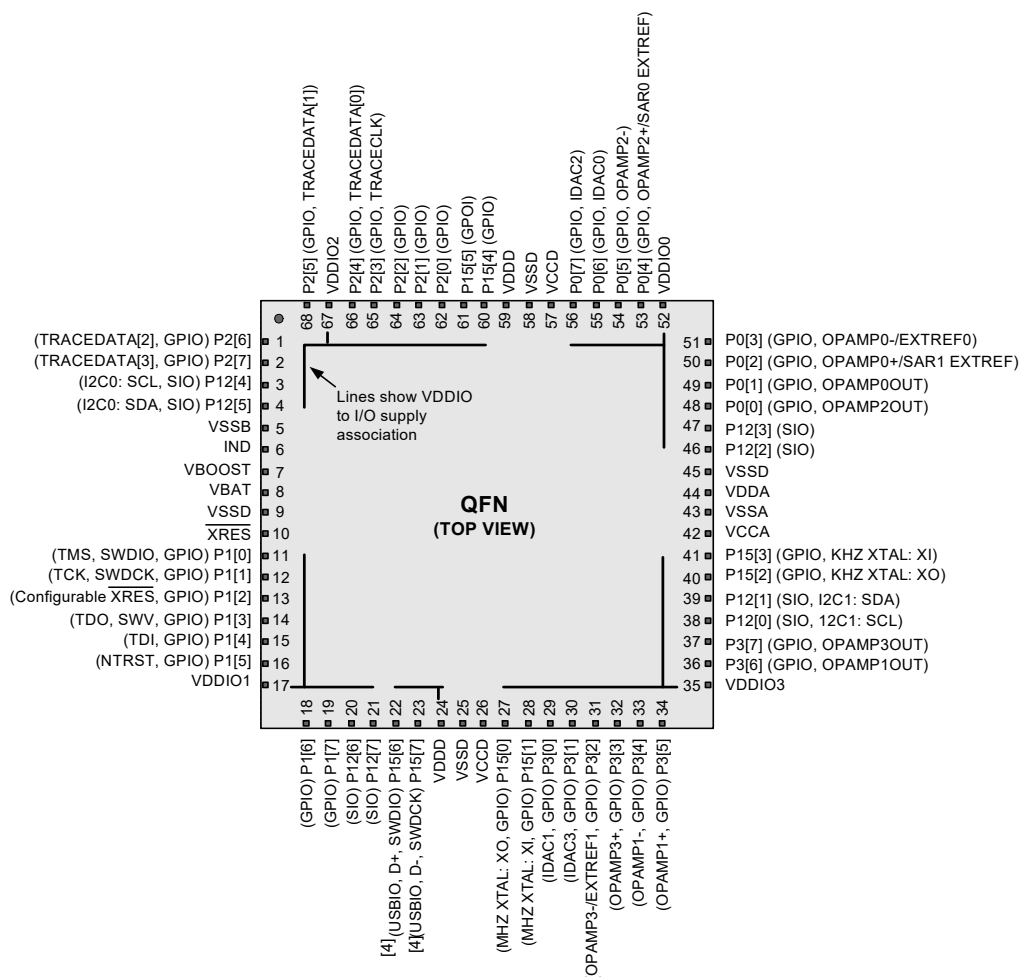
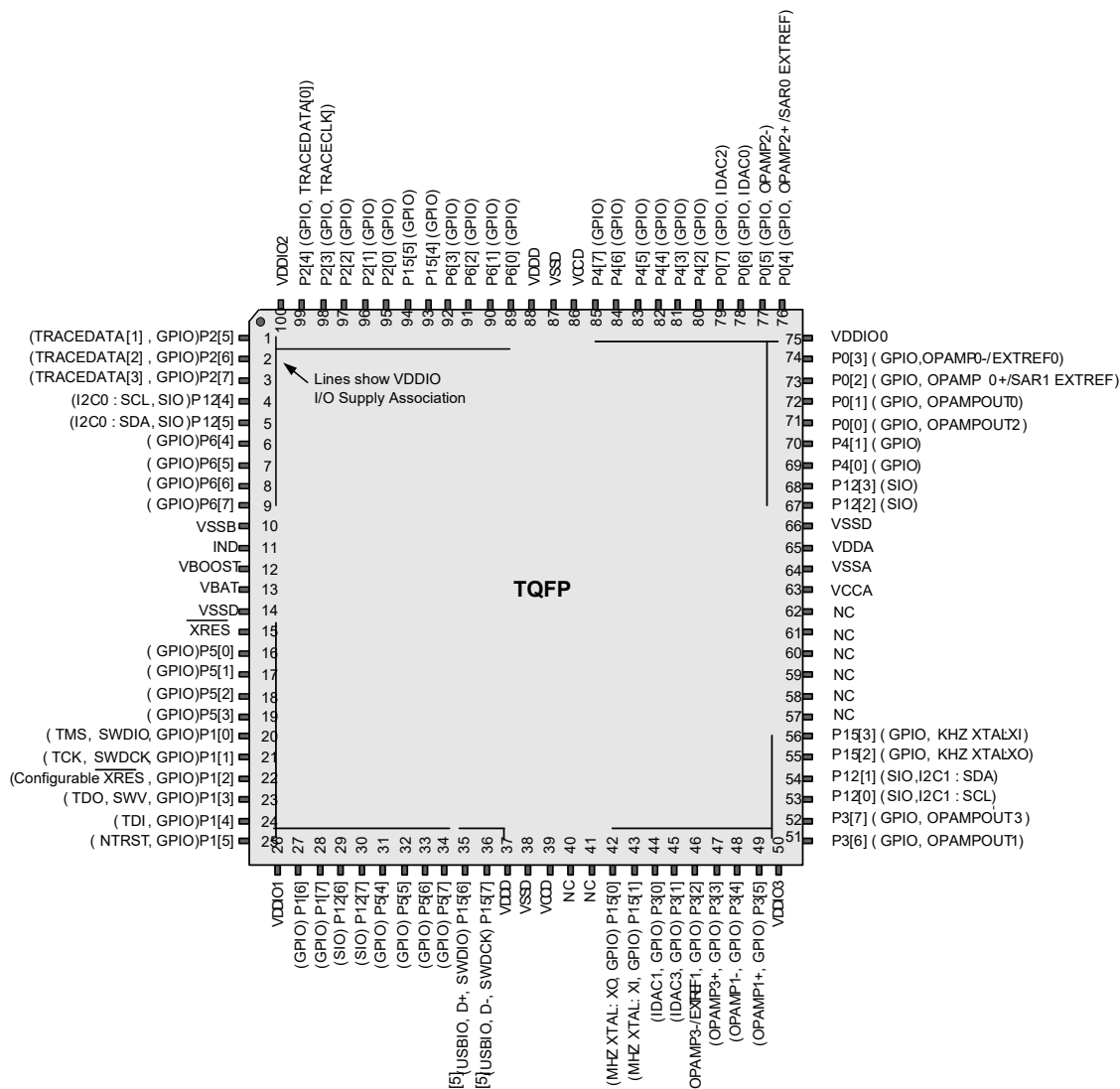


図 2-3. 68 ピン QFN 製品のピン配置 [3]


注:

3. 機械的、熱的および電氣的に最適性能を得るために、QFN パッケージ中央のパッドをデジタル グランド (VSSD) に接続する必要があります。グラウンドに接続しない場合、パッドを電氣的に開放にし、どの信号にも接続しないでください。詳細については [AN72845](#), Design Guidelines for QFN Devices を参照してください。
4. ピンは USB のないデバイスでは、未使用 (DNU) です。ピンはフローティング状態のままにしてください。

図 2-4. 100 ピン TQFP 製品のピン機能

表 2-1. V_{DDIO} と関連付けられたポートピン

VDDIO	ポートピン
VDDIO0	P0[7:0]、P4[7:0]、P12[3:2]
VDDIO1	P1[7:0]、P5[7:0]、P12[7:6]
VDDIO2	P2[7:0]、P6[7:0]、P12[5:4]、P15[5:4]
VDDIO3	P3[7:0]、P12[1:0]、P15[3:0]
VDDD	P15[7:6] (USB D+, D-)

注：

5. ピンは USB のないデバイスでは、未使用 (DNU) です。ピンはフローティング状態のままにしてください。

表 2-2 に 99 ピン CSP パッケージのピン配置を示します。V_{DDIO} ピンが 4 本あるため、100 ピンおよび 68 ピンのデバイスの場合と同じように、V_{DDIO} に接続する I/O ピンのセットは、合計で最大 100 mA の電流吸い込みが可能です。

表 2-2. CSP ピン配置

ボール	ピン名	ボール	ピン名	ボール	ピン名	ボール	ピン名
E5	P2[5]	L2	VIO1	B2	P3[6]	C8	VIO0
G6	P2[6]	K2	P1[6]	B3	P3[7]	D7	P0[4]
G5	P2[7]	C9	P4[2]	C3	P12[0]	E7	P0[5]
H6	P12[4]	E8	P4[3]	C4	P12[1]	B9	P0[6]
K7	P12[5]	K1	P1[7]	E3	P15[2]	D8	P0[7]
L8	P6[4]	H2	P12[6]	E4	P15[3]	D9	P4[4]
J6	P6[5]	F4	P12[7]	A1	NC	F8	P4[5]
H5	P6[6]	J1	P5[4]	A9	NC	F7	P4[6]
J5	P6[7]	H1	P5[5]	L1	NC	E6	P4[7]
L7	VSSB	F3	P5[6]	L9	NC	E9	VCCD
K6	Ind	G1	P5[7]	A3	VCCA	F9	VSSD
L6	VBOOST	G2	P15[6] ^[6]	A4	VSSA	G9	VDDD
K5	VBAT	F2	P15[7] ^[6]	B7	VSSA	H9	P6[0]
L5	VSSD	E2	VDDD	B8	VSSA	G8	P6[1]
L4	XRES	F1	VSSD	C7	VSSA	H8	P6[2]
J4	P5[0]	E1	VCCD	A5	VDDA	J9	P6[3]
K4	P5[1]	D1	P15[0]	A6	VSSD	G7	P15[4]
K3	P5[2]	D2	P15[1]	B5	P12[2]	F6	P15[5]
L3	P5[3]	C1	P3[0]	A7	P12[3]	F5	P2[0]
H4	P1[0]	C2	P3[1]	C5	P4[0]	J7	P2[1]
J3	P1[1]	D3	P3[2]	D5	P4[1]	J8	P2[2]
H3	P1[2]	D4	P3[3]	B6	P0[0]	K9	P2[3]
J2	P1[3]	B4	P3[4]	C6	P0[1]	H7	P2[4]
G4	P1[4]	A2	P3[5]	A8	P0[2]	K8	VIO2
G3	P1[5]	B1	VIO3	D6	P0[3]		

図 2-5 および 12 ページの図 2-6 は、100 ピン TQFP 製品で最適なアナログ性能を得る回路例と 2 層基板上でのレイアウト例を示しています。

■ VDDD という 2 つのピンは互いに接続する必要があります。

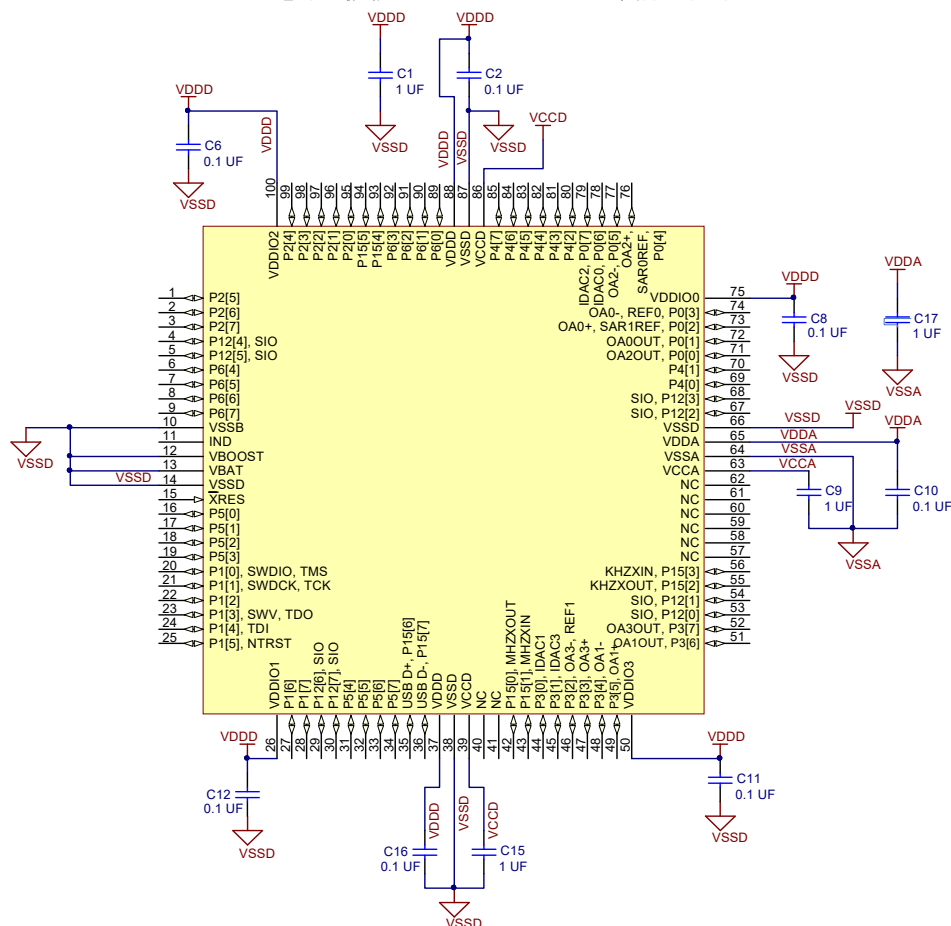
■ 11 ページの図 2-5 と 27 ページの「電源システム」に示すように、VCCD とラベル付けられた 2 個のピンは、一緒に接続したうえでコンデンサを介して (VSSD に) 接続する必要があります。2 本の VCCD ピンを接続するパターンはできるだけ短くします。

■ VSSD という 2 つのピンは互いに接続する必要があります。

混合シグナルでの回路板レイアウトの問題については、アプリケーション ノート [AN57821 - Mixed Signal Circuit Board Layout Considerations for PSoC® 3 and PSoC 5](#) を参照してください。

注：

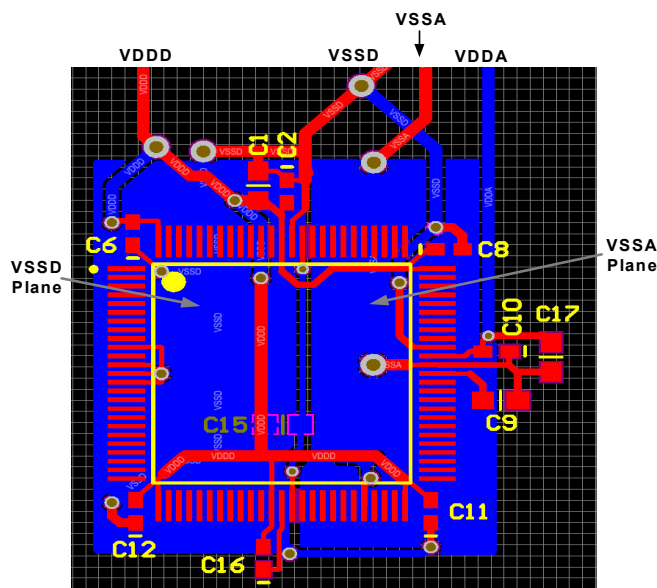
6. ピンは USB のないデバイスでは、未使用 (DNU) です。ピンはフローティング状態のままにしてください。

図 2-5. 電源に接続した 100 ピン TQFP 製品の回路例


注：2 本の VCCD ピンは、できる限り短い配線で互いに接続する必要があります。図 2-6 に示すように、デバイスの裏面で接続することが推奨されています。

Pad layout の詳細については、<http://www.cypress.com/cad-resources/psoc-5lp-cad-libraries> を参照してください。

図 2-6. 最適なアナログ性能を得るための 100 ピン TQFP 製品のプリント基盤レイアウト例



3. ピンの説明

IDAC0、IDAC1、IDAC2、IDAC3

大電流 DAC (IDAC) 用低抵抗出力ピン

Opamp0out、Opamp1out、Opamp2out、Opamp3out

オペアンプの高電流出力^[7]

Extref0、Extref1

アナログ システムへの外部リファレンス入力

SAR0 EXTREF、SAR1 EXTREF

SAR ADC 用の外部リファレンス

Opamp0–、Opamp1–、Opamp2–、Opamp3–

オペアンプへの反転入力

Opamp0+、Opamp1+、Opamp2+、Opamp3+

オペアンプへの非反転入力

GPIO

CPU、デジタル ペリフェラル、アナログ ペリフェラル、割込み、LCD セグメント駆動、および CapSense へのインターフェースを提供する汎用 I/O ピン^[7]

I2C0: SCL、I2C1: SCL

アドレスが一致した時にスリープからのウェイクアップが可能な I²C SCL ライン。スリープからのウェイクアップが不要な場合は、あらゆる I/O ピンを I²C SCL に使用可能

I2C0: SDA、I2C1: SDA

アドレスが一致した時にスリープからのウェイクアップが可能な I²C SDA ライン。スリープからのウェイクアップが不要な場合は、あらゆる I/O ピンを I²C SDA に使用可能

Ind

ブースト ポンプ用のインダクタ接続

kHz XTAL: Xo、kHz XTAL: Xi

32.768kHz 水晶発振器ピン

MHz XTAL: Xo、MHz XTAL: Xi

4 ~ 25MHz 水晶発振器ピン

注:

7. オペアンプ出力を持つ GPIO を CapSense に使用することは推奨されません。

文書番号: 001-97329 Rev. *D

nTRST

JTAG 接続のリセットに使用する、オプションの JTAG テスト リセットのプログラミングとデバッグのポート接続

SIO CPU、デジタル ペリフェラルと割込みへのインターフェースに、プログラム可能な高閾値電圧、アナログ コンパレータ、高シンク電流、およびデバイスへの電源供給なしの高インピーダンス状態という機能を提供する特別な I/O

SWDCK

シリアルワイヤ デバッグ クロック プログラミングおよびデバッグ ポート接続

SWDIO

シリアル ワイヤ デバッグ入出力プログラミングおよびデバッグ ポート接続

TCK

JTAG テスト クロック プログラミングおよびデバッグ ポート接続

TDI

JTAG テスト データ入力プログラミングおよびデバッグ ポート接続

TDO

JTAG テスト データ出力プログラミングおよびデバッグ ポート接続

TMS

JTAG テスト モード選択プログラミングおよびデバッグ ポート接続

TRACECLK

Cortex-M3 TRACEPORT 接続。TRACEDATA ピンにクロックを供給

TRACEDATA[3:0]

Cortex-M3 TRACEPORT 接続。出力データ

SWV

シングル ワイヤ ビューワ出力

USBIO、D+

USB 2.0 D+ バスに直接接続できる。デジタル I/O ピンとして使用可能。電源は VDDIO ではなく、VDDD から供給されます。ピンは USB のないデバイスでは、未使用 (DNU) です

USBIO、D-

USB 2.0 D- バスに直接接続できる。デジタル I/O ピンとして使用可能。電源は VDDIO ではなく、VDDD から供給されます。ピンは USB のないデバイスでは、未使用 (DNU) です

VBOOST

ブースト ポンプ用の電源検出接続

VBAT

ブースト ポンプ用の電池電源供給

VCCA

アナログ コア レギュレータの出力、またはアナログ コアへの入力。VSSA に接続する 1uF のコンデンサが必要です。レギュレータ出力は、外部回路を駆動するために設計されていません。デバイスを外部コア レギュレータと共に使用する (外部安定化モード) 場合は、このピンに適用する電圧は、1.71 V ~ 1.89 V の許容範囲を超えてはならないことに注意してください。内部コア レギュレータを使用する (内部安定化モード) 時には、このピンに電源を供給しないでください。詳細については、27 ページの「電源システム」を参照してください

VCCD

デジタル コア レギュレータの出力、またはデジタル コアへの入力。2 本の VCCD ピンを一緒に短絡し、その配線をできるだけ短くして、1 μF のコンデンサを VSSD に接続する必要があります。レギュレータ出力は、外部回路を駆動するために設計され

4. CPU**4.1 Arm Cortex-M3 CPU**

CY8C56LP デバイス ファミリは Arm Cortex-M3 CPU コアを備えています。Cortex-M3 は、低消費電力の 32 ビット 3 段パイプライン方式のハーバード アーキテクチャ CPU であり、1.25DMIPS/MHz の性能を実現します。これは、高速な割り込み処理機能を必要とする、デバイスと緊密に統合した組込みアプリケーションを対象としています。

ていません。デバイスを外部コアレギュレータと共に使用する (外部安定化モード) 場合は、このピンに適用する電圧は、1.71 V ~ 1.89 V の許容範囲を超えてはならないことに注意してください。内部コア レギュレータを使用する (内部安定化モード) 場合は、このピンに電源を供給しないでください。詳細については、27 ページの「電源システム」を参照してください

VDDA

すべてのアナログペリフェラルおよびアナログ コア レギュレータへの電源。VDDA は、デバイス上に存在する最大の電圧でなければなりません。他の電源ピンはすべて VDDA 以下でなければなりません

VDDD

すべてのデジタルペリフェラルおよびデジタル コア レギュレータへの電源。VDDD は、VDDA 以下でなければなりません

VSSA

すべてのアナログペリフェラルのグラウンド接続

VSSB

ブースト ポンプのグラウンド接続

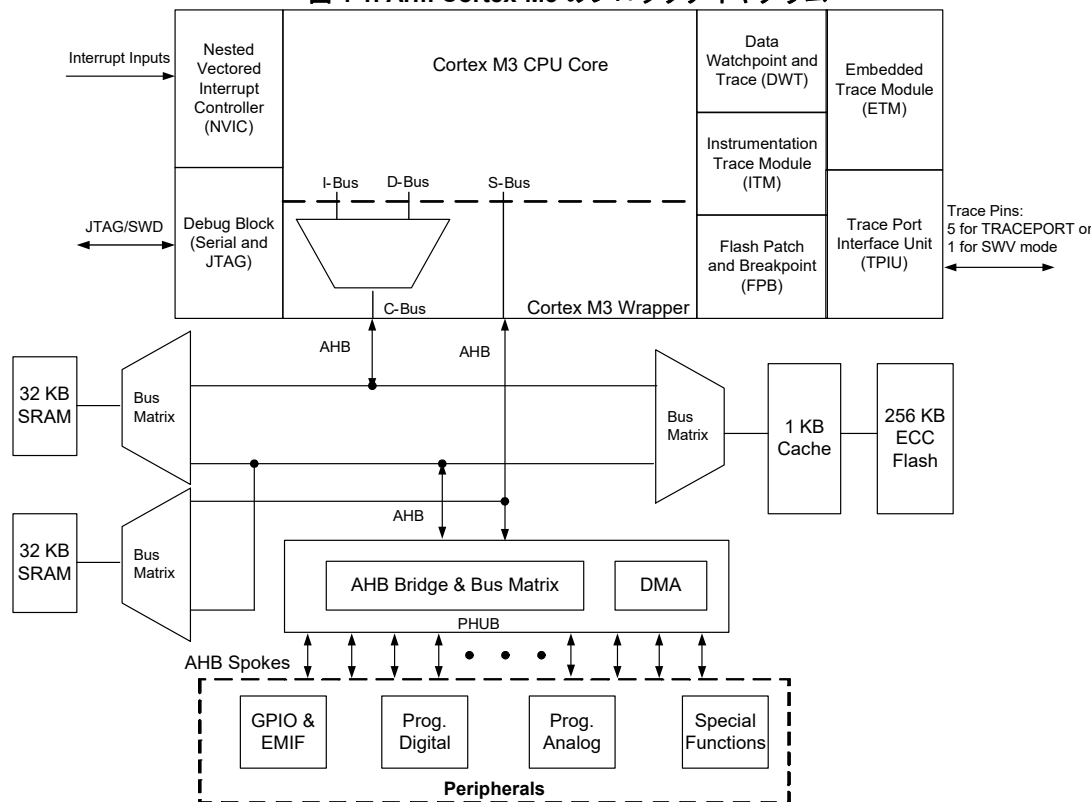
VSSD

すべてのデジタル論理および I/O ピンのグラウンド接続

VDDIO0、VDDIO1、VDDIO2、VDDIO3

I/O ピンへの電源。各 VDDIO は、有効な動作電圧 (1.71 V ~ 5.5 V) に接続し、その電圧は VDDA 以下でなければなりません。

XRES. 外部リセットピン。内部プルアップを持つアクティブ LOW

図 4-1. Arm Cortex-M3 のブロックダイヤグラム


Cortex-M3 CPU サブシステムには以下の特長があります。

- Arm Cortex-M3 CPU
- CPU コアと密接に統合された、プログラムマブル ネスト可能なベクタ割り込みコントローラ (NVIC)
- CPU コアと密接に統合された、フル機能のデバッグ モジュールおよびトレース モジュール
- 最大 256 KB のフラッシュ メモリ、最大 2 KB の EEPROM および最大 64 KB の SRAM
- キャッシュ コントローラ
- ペリフェラル HUB (PHUB)
- DMA コントローラ
- 外部メモリインターフェース (EMIF)

4.1.1 Cortex-M3 の特長

Cortex-M3 CPU の特長は以下のとおりです。

- 4GB のアドレス空間。コード、データおよび周辺デバイス向けに事前定義されたアドレス領域。命令、データおよび周辺デバイスの効率的な同時アクセスを実現する複数のバス。
 - Thumb レベルのコード密度で Arm レベルの性能を提供する Thumb®-2 命令セット。これには 16 ビット命令と 32 ビット命令があります。高度な命令には次のものがあります。
 - ビットフィールドの制御
 - ハードウェアの乗算と除算
 - サチュレーション
 - If-Then
 - イベントおよび割り込みの待機
 - 排他的アクセスとバリア
 - 特殊レジスタ アクセス
- Cortex-M3 は Arm 命令をサポートしません。
- SRAM 領域へのビットバンド サポート。SRAM アドレスのためのビットレベルのアトミックな書き込みと読み出しの操作
 - アラインされていないデータストレージとアクセス。さまざまなバイト長のデータに対応した連続ストレージ。
 - 2 つの権限レベル (特権とユーザー) および 2 つのモード (スレッドとハンドラ) での操作。一部の命令は特権レベルでのみ実行可能です。メイン (MSP) とプロセス (PSP) という 2 つのスタック ポインタも用意されています。これらの機能は、1 つ以上のユーザーレベル プロセスを実行しているマルチタスク対応のオペレーティング システムをサポートします。
 - 多彩な割り込みとシステム例外をサポート。

4.1.2 Cortex-M3 の動作モード

Cortex-M3 は、特権レベルまたはユーザー レベルのいずれかのレベルと、スレッドモードとハンドラ モードのいずれかのモードで動作します。ハンドラ モードが特権レベルでのみ有効なので、実際には表 4-1 に示すように、3 つの組み合わせのみあります。

表 4-1. 動作レベル

条件	特権	ユーザー
例外の実行	ハンドラ モード	未使用
メイン プログラムの実行	スレッド モード	スレッド モード

ユーザー レベルでは、特定の命令、特殊レジスタ、コンフィギュレーション レジスタおよびデバッグ コンポーネントへのアクセスはブロックされます。これらにアクセスしようとするフォールト例外が発生します。特権レベルでは、すべての命令とレジスタにアクセスできます。

プロセッサは、例外を処理する場合（特権レベルでのみ可能）ハンドラ モードで実行され、例外を処理しない場合スレッドモードで実行されます。

4.1.3 CPU レジスタ

Cortex-M3 CPU レジスタを表 4-2 に示します。レジスタの R0 ~ R15 はすべて 32 ビット幅です。

表 4-2. Cortex M3 CPU レジスタ

レジスタ	説明
R0 ~ R12	汎用レジスタ R0 ~ R12 には、アーキテクチャ上定義された用途は特にありません。汎用レジスタを指定するほとんどの命令は、R0 ~ R12 を指定 <ul style="list-style-type: none"> ■ 下位レジスタ: レジスタ R0 ~ R7 は、汎用レジスタを指定するすべての命令でアクセス可能 ■ 上位レジスタ: レジスタ R8 ~ R12 は、汎用レジスタを指定するすべての 32 ビット命令でアクセス可能。16 ビット命令ではアクセス不可
R13	R13 はスタック ポインタ レジスタ。これはバンク レジスタで、メイン スタック ポインタ (MSP) とプロセス スタック ポインタ (PSP) の 2 つの 32 ビット スタック ポインタ間で切り替わる。PSP は、CPU がユーザーレベルとスレッドモードで動作している場合にのみ使用可能。MSP は、すべての特権レベルとモードで使用可能。SP のビット [0:1] は無視され、0 とみなされるので、SP は必ずワード (4 バイト) 境界にアライン
R14	R14 は、リンク レジスタ (LR)。サブルーチンを呼び出すと、LR に戻りアドレスが格納
R15	R15 は、プログラム カウンター (PC)。PC のビット 0 は無視され、0 とみなされるので、命令は必ずハーフワード (2 バイト) 境界にアライン

表 4-2. Cortex M3 CPU レジスタ (続き)

レジスタ	説明
xPSR	プログラム ステータス レジスタは、一緒にまたは個別にアクセス可能な 3 つのレジスタに分けられています。 <ul style="list-style-type: none"> ■ アプリケーションプログラムステータスレジスタ (APSR): ゼロ、キャリー、ネガティブなどのプログラム実行ステータス ビットをビット [27:31] に保持 ■ 割り込みプログラム ステータス レジスタ (IPSR): 現行の例外番号をビット [0:8] に保持 ■ 実行プログラム ステータス レジスタ (EPSR): 割り込みの継続を制御するビットと IF-THEN 命令を、それぞれビット [10:15] およびビット [25:26] に保持。ビット 24 は、Thumb モードを示すために必ず 1 に設定。これをクリアしようとするフォールト例外が発生。
PRIMASK	1 ビットの割り込みマスク レジスタ。このビットが設定されている場合は、マスク不可能な割り込み (NMI) およびハード フォールト例外のみが許可。その他のすべての例外および割り込みはマスクされます。
FAULTMASK	1 ビットの割り込みマスク レジスタ。このビットが設定されている場合は、NMI のみが許可。その他のすべての例外および割り込みはマスクされます。
BASEPRI	最大 9 ビットのレジスタで、マスキング優先レベルを定義。セットされると、優先順位が同じまたはより高い割り込みをすべて無効化。0 に設定されている場合、マスキング機能は無効になります。
CONTROL	動作モードを制御する 2 ビット レジスタ。 ビット 0: 0 = 特権レベル、スレッド モード、1 = ユーザー レベル、スレッド モード。 ビット 1: 0 = デフォルトのスタック (MSP) を使用、1 = 代替のスタックを使用。スレッド モードまたはユーザー レベルでは代替のスタックは PSP となります。ハンドラ モードには代替のスタックはありません。ハンドラ モードでは、このビットに 0 を指定する必要があります。

4.2 キャッシュ コントローラー

CY8C56LP ファミリでは、CPU とフラッシュ メモリの間に 1KB、4 ウェイ セット アソシアティブ命令キャッシュを備えています。これにより、命令実行速度を促進し、フラッシュ キャッシュによってフラッシュへのアクセス頻度を抑えることによりシステムの消費電力を低減できます。

4.3 DMA および PHUB

PHUB と DMA コントローラーは、CPU とペリフェラル間、およびペリフェラル間のデータ転送を行う役割を持っています。PHUB と DMA は、起動時のデバイス コンフィギュレーションも制御します。PHUB の構成要素は以下のとおりです。

- DMA コントローラー、アービタ、およびルータを含むセントラル ハブ
- ハブからほとんどのペリフェラルに向けて放射状に広がる複数のスポーク

PHUB のマスターは 2 つあります (CPU と DMA コントローラー)。どちらのマスターも、バス上でトランザクションを開始できます。DMA チャンネルでは、CPU の介入を必要とせずにペリフェラルとの通信を処理できます。セントラル ハブ内のアービタによって、複数のリクエストがある場合にどの DMA チャンネルの優先順位が最も高いかが決定されます。

4.3.1 PHUB の特長

- CPU と DMA コントローラーはどちらも、PHUB に対するバス マスターとして機能
- ペリフェラルアクセスのための 8 つの多層 AHB バス パラレル アクセス パス (スポーク)
- さまざまなスポークに存在するペリフェラルに CPU と DMA から同時にアクセス可能
- 別々のスポークで DMA ソースと DMA 送信先のバースト トランザクションを同時に実行
- 8 ビット、16 ビット、24 ビット、および 32 ビットのアドレス 指定およびデータをサポート

表 4-3. PHUB スポークおよびペリフェラル

PHUB スポーク	ペリフェラル
0	SRAM
1	IO、PICU、EMIF
2	PHUB ローカル コンフィギュレーション、電源管理、クロック、IC、SWV、EEPROM、フラッシュ プログラミング インターフェース
3	アナログ インターフェースおよびトリム、デシメータ
4	USB、I ² C、CAN、タイマー、カウンタおよび PWM
5	DFB
6	UDB グループ 1
7	UDB グループ 2

4.3.2 DMA の特長

- 24 の DMA チャンネル
- チャンネルの挙動をコンフィギュレーションする 1 個以上のトランザクション記述子 (TD) がチャンネルごとに存在。合計で最大 128 の TD を定義可能
- TD は動的に更新可能
- チャンネルごとに 8 レベルの優先順位

- デジタル的に接続可能な任意の信号、CPU またはもう 1 つの DMA チャンネルによってトランザクションをトリガ可能
- 各チャンネルは、転送ごとに最大 2 つの割込みを生成可能
- トランザクションは、ストールまたはキャンセル可能
- 無限大または 1 ~ 64k バイトのトランザクション サイズをサポート
- 大きいトランザクションは、1 ~ 127 バイトの小さいバーストに分割可能
- 複雑なトランザクションでは TD のネストやチェーンが可能

4.3.3 優先順位レベル

CPU と DMA コントローラーがアクセスに同じバス リソースを必要とする場合、CPU は常に DMA コントローラーよりも高い優先順位になります。システム アーキテクチャ上、CPU でのリソースの利用によって DMA がリソース不足になることはありません。優先順位が高い (優先順位番号が小さい) DMA チャンネルは、現行の DMA 転送に割り込む可能性があります。割込みが発生しても、現在の転送は、現在のトランザクションを中断せずに完了できます。複数の DMA アクセス要求が同時に発生した場合のレイテンシを一定の範囲に制限するために、2 ~ 7 の優先順位レベルに応じた比率の最小限のバス帯域幅がアルゴリズムで公平にインターリーブして割り当てられます。優先順位レベル 0 と 1 は、公平性のアルゴリズムでは扱われないので、バス帯域幅を 100% 利用できます。同じ優先順位レベルを持つ 2 つの DMA 要求で競合が発生した場合、割り当てられた帯域幅を均等に分け合うために単純なラウンド ロビン (一定時間ずつ順番に実行する) の方法が使用されます。DMA チャンネル別にラウンド ロビンの割り当てを無効にして、特定の DMA チャンネルが必ず待ち行列の先頭に置かれるようにできます。優先順位レベル 2 ~ 7 は、CPU および優先順位レベル 0 と 1 の DMA で要求が満たされた後、表 4-4 に示す最小バス帯域幅を保証されます。

表 4-4. 優先順位レベル

優先順位レベル	割り当てられるバス帯域幅の比率
0	100.0
1	100.0
2	50.0
3	25.0
4	12.5
5	6.2
6	3.1
7	1.5

公平性のアルゴリズムが無効になっている場合、DMA アクセスは、それぞれの優先順位レベルのみに基づいて許容され、バス帯域幅の保証は行われません。

4.3.4 サポートされるトランザクション モード

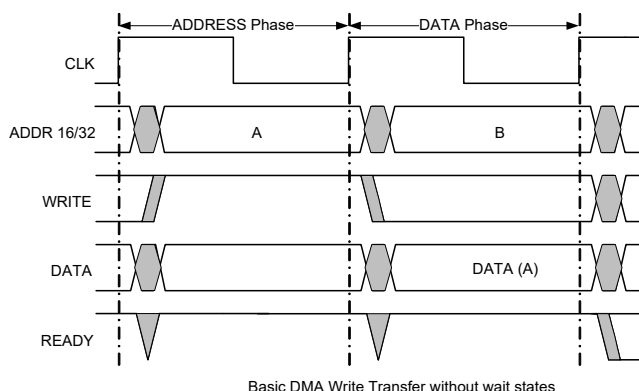
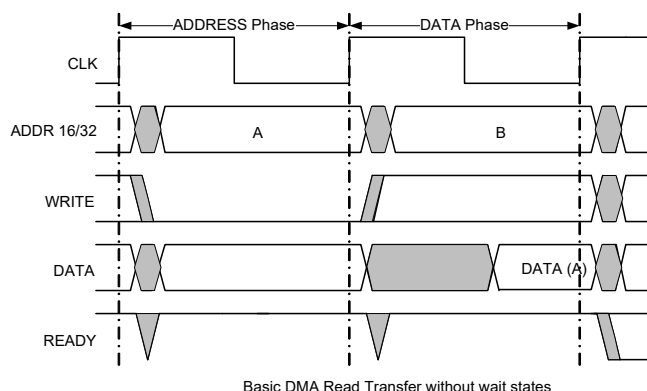
各 DMA チャンネルの柔軟なコンフィギュレーションに加え、複数チャンネルをチェーンさせる機能によって、単純なユースケースと複雑なユースケースの両方を作成できます。一般的なユースケースとして以下のものがありますが、これらに限られません。

4.3.4.1 単純 DMA

簡単な DMA の場合、単一の TD を使用してソースとシンク (ペリフェラルまたはメモリ位置) の間でデータを転送します。基

本的な DMA の読み込みおよび書き込みサイクルのタイミング図を、図 4-2 に示します。他の転送モードについては、テクニカルリファレンス マニュアルを参照してください。

図 4-2. DMA タイミング図



4.3.4.2 自動繰り返し DMA

自動繰り返し DMA は、スタティックなパターンをシステム メモリから読み取ってペリフェラルに書き込む処理を繰り返す場合に使用することが普通です。これは、単一の TD をそれ自体にチェーンさせて行います。

4.3.4.3 ピンポン DMA

ピンポン DMA では、2 つのバッファによるダブル バッファリングを使用します。この方法では、いずれかのバッファに 1 つのクライアントが書き込み、同時に他方のバッファで先に受信したデータを別のクライアントで利用できます。この最も単純な形態は、2 つの TD を相互にチェーンさせ、それぞれの TD が完了時にもう一方の TD を呼び出すことによって行います。

4.3.4.4 循環 DMA

循環 DMA は、ピンポン DMA と似ていますが、3 つ以上のバッファが含まれる点で異なります。この場合、複数の TD があり、最後の TD が完了したとき最初の TD にチェーンします。

4.3.4.5 指標付き DMA

指標付き DMA では、外部マスターが、システム バス上の位置に対し、その場所が共有メモリであるかのようにアクセスを要求します。たとえば、ペリフェラルを SPI スレーブまたは I²C スレーブとして設定し、外部マスタでアドレスを受信します。そのアドレスが、内部システム バスのメモリ空間への指標またはオフセットとなります。これは、最初の「アドレス取得」TD により、ペリフェラルからターゲットのアドレス位置を読み取り、その値をチェーン内の次の TD に書き込むことで行われます。これにより TD チェーンが動的に変更されます。「アドレス取得」TD が完了すると、続いて新しいアドレス情報が埋め込まれている次の TD に移動します。次に、この TD は、外部マスターにより要求されたアドレス位置を使用してデータ転送を実行します。

4.3.4.6 スキャッター ギャザー DMA

スキャッター ギャザー DMA は、複数の不連続なソースまたは送信先があり、それらによる DMA トランザクションを実質的に 1 つのものとして実行する必要がある場合に使用します。たとえば、デバイスからのパケット送り出しが要求され、ヘッダ、ペイロード、トレーラなどのパケット要素がメモリ内で不連続な場所に存在している場合があります。スキャッター ギャザー DMA では、複数の TD を 1 つのチェーンとして使用すること

で、セグメントを互いに連結できます。チェーンは複数の場所からデータを収集します。同じ考え方は、デバイスへのデータ受信にも適用されます。受信データのある部分は、ソフトウェアでの処理の便宜上、メモリ内でさまざまな場所に分散させる必要がある場合があります。チェーン内のそれぞれの TD で、チェーン内のそれぞれの個別要素の場所を指定します。

4.3.4.7 パケット キュー DMA

パケット キュー DMA は、スキャッター ギャザー DMA と似ていますが、特にパケット プロトコルを参照します。パケット プロトコルでは、パケットの送信または受信と関連付けられた別々のコンフィギュレーション、データおよびステータスフェーズが存在する可能性があります。

たとえば、パケットを送信するときには、メモリ マップしたコンフィギュレーション レジスタにペリフェラルの内部で書き込み、後に続くデータ フェーズの全体の長さを指定できます。CPU は、このコンフィギュレーション情報をシステム メモリ内の任意の場所にセットアップし、単純な TD を使ってペリフェラルにコピーできます。コンフィギュレーション フェーズの後、1 つのデータ フェーズ TD (または一連のデータ フェーズ TD) を開始できます (おそらくはスキャッター ギャザーを使用)。データ フェーズ TD が完了すると、ステータス フェーズ TD は呼び出され、ペリフェラルからメモリ マップされた状態情報を読み出して、後の検査のためにそれをシステム メモリ内の CPU で指定された場所にコピーします。複数のコンフィギュレーション/データ/ステータス フェーズ「サブチェーン」の組をつなぎ合わせて大きなチェーンを作り、複数のパケットをこの方法で送信できます。同様の考え方が、逆方向のパケット受信についても適用できます。

4.3.4.8 ネストされた DMA

TD のコンフィギュレーション領域は、他のペリフェラルと同様にメモリ マップされるため、1 つの TD がもう 1 つの TD を変更できます。たとえば、最初の TD が 2 番目の TD のコンフィギュレーションをロードし、続いてその 2 番目の TD を呼び出します。2 番目の TD は、アプリケーションの要求に応じてデータを移動させます。完了すると、2 番目の TD は 1 番目の TD を呼び出し、1 番目の TD が再び 2 番目の TD のコンフィギュレーションを更新します。この処理が、必要な回数だけ繰り返されます。

4.4 割り込みコントローラー

Cortex-M3 NVIC は、表 4-5 に示すように、16 種類のシステム例外とペリフェラルからの 32 種類の割り込みをサポートしています。

表 4-5. Cortex-M3 の例外と割り込み

例外番号	例外種類	優先順位	例外テーブルのアドレス オフセット	機能
			0x00	R13/MSP の開始値
1	リセット	-3 (最高)	0x04	リセット
2	NMI	-2	0x08	マスク不可能割り込み
3	ハード フォールト	-1	0x0C	すべてのクラスの故障。該当のフォールト ハンドラは無効かまたはマスクされているため、アクティブにできない場合
4	メモリ管理	プログラム可能	0x10	実行不可能な領域からの命令フェッチなどのメモリ管理の障害
5	バスの障害	プログラム可能	0x14	バス システムから受け取ったエラー応答 (命令のプリフェッチ中止やデータ アクセス エラーに起因)
6	使用目的上の障害	プログラム可能	0x18	多くの場合、無効な命令や Arm モードへの切り替えを試みたことが原因
7 ~ 10	–	–	0x1C ~ 0x28	予約
11	SVC	プログラム可能	0x2C	SVC 命令によるシステム サービス コール
12	デバッグ モニター	プログラム可能	0x30	デバッグ モニター
13	–	–	0x34	予約
14	PendSV	プログラム可能	0x38	システム サービスの遅延した要求
15	SYSTICK	プログラム可能	0x3C	システム ティック タイマー
16 ~ 47	IRQ	プログラム可能	0x40 ~ 0x3FC	ペリフェラル割り込み要求 #0 ~ #31

各例外ベクタのビット 0 は、例外が Arm 命令または Thumb 命令のどちらを使用して実行されたものかを示します。Cortex-M3 は Thumb 命令のみをサポートしているので、このビットは必ず 1 であることが必要です。Cortex-M3 のマスク不可能な割り込み (NMI) 入力、DSI 経由で任意のピンに接続できるほか、どのピンにも接続しないままにすることもできます。45 ページの「DSI 配線インターフェースの説明」を参照してください。

ネスト型ベクタ割り込みコントローラー (NVIC) は、ペリフェラルからの割り込みを処理し、割り込みベクタを CPU に渡します。低レイテンシの割り込み処理を実現するために、NVIC は CPU の近傍に組み込まれています。特長は以下のとおりです。

- 32 件の割り込み。割り込みごとに複数のソース。
- 8 レベルの優先順位 (ダイナミックな優先順位制御)
- 優先順位のグループ。これにより、プリエンプトした割り込みレベルとそれ以外の割り込みレベルを選択できます。

■ 割り込みのテールチェーンと後着のサポート。これにより、割り込みと割り込みの間で状態保存や復元によるオーバーヘッドが発生せず、バックツーバックの割り込み処理が可能になります。

■ プロセッサの状態は、割り込みエントリに自動的に保存され、割り込み終了時に復元されるので、命令処理のオーバーヘッドが発生しません。

2 つ以上の割り込みに対し同じ優先順位レベルが割り当てられている場合は、ベクタ番号の低い割り込みが先に実行されます。割り込みベクタは、固定関数、DMA および UDB の 3 種類の割り込みソースから選択できます。機能固定割り込みは、最も一般的な割り込みソースへの直接接続で、リソース コストの最も低い接続を提供します。DMA 割り込みソースは、DMA チャンネルごとに用意されている 2 個の DMA 割り込みソースへの直接接続を提供します。ベクタの 3 番目の割り込みソースは、UDB デジタル配線アレイにあるソースです。これにより、UDB アレイで利用できる任意のデジタル信号を割り込みソースとして使用できます。UDB 割り込みソース接続を使用すると、すべての割り込みソースを任意の割り込みベクタに割り当てられます。

表 4-6. 割り込みベクタ テーブル

割り込み番号	Cortex-M3 の例外番号	固定ファンクション	DMA	UDB
0	16	低電圧検出 (LVD)	phub_termout0[0]	udb_intr[0]
1	17	キャッシュ / ECC	phub_termout0[1]	udb_intr[1]
2	18	予約	phub_termout0[2]	udb_intr[2]
3	19	スリープ (Pwr Mgr)	phub_termout0[3]	udb_intr[3]
4	20	PICU[0]	phub_termout0[4]	udb_intr[4]
5	21	PICU[1]	phub_termout0[5]	udb_intr[5]
6	22	PICU[2]	phub_termout0[6]	udb_intr[6]
7	23	PICU[3]	phub_termout0[7]	udb_intr[7]
8	24	PICU[4]	phub_termout0[8]	udb_intr[8]
9	25	PICU[5]	phub_termout0[9]	udb_intr[9]
10	26	PICU[6]	phub_termout0[10]	udb_intr[10]
11	27	PICU[12]	phub_termout0[11]	udb_intr[11]
12	28	PICU[15]	phub_termout0[12]	udb_intr[12]
13	29	組み合わせたコンパレータ	phub_termout0[13]	udb_intr[13]
14	30	組み合わせたスイッチト キャパシタ	phub_termout0[14]	udb_intr[14]
15	31	I ² C	phub_termout0[15]	udb_intr[15]
16	32	CAN	phub_termout1[0]	udb_intr[16]
17	33	タイマー / カウンター 0	phub_termout1[1]	udb_intr[17]
18	34	タイマー / カウンター 1	phub_termout1[2]	udb_intr[18]
19	35	タイマー / カウンター 2	phub_termout1[3]	udb_intr[19]
20	36	タイマー / カウンター 3	phub_termout1[4]	udb_intr[20]
21	37	USB SOF 割り込み	phub_termout1[5]	udb_intr[21]
22	38	USB 調停割り込み	phub_termout1[6]	udb_intr[22]
23	39	USB バス割り込み	phub_termout1[7]	udb_intr[23]
24	40	USB エンドポイント [0]	phub_termout1[8]	udb_intr[24]
25	41	USB エンドポイント データ	phub_termout1[9]	udb_intr[25]
26	42	予約	phub_termout1[10]	udb_intr[26]
27	43	LCD	phub_termout1[11]	udb_intr[27]
28	44	DFB Int	phub_termout1[12]	udb_intr[28]
29	45	デシメータ割り込み	phub_termout1[13]	udb_intr[29]
30	46	phub_err_int	phub_termout1[14]	udb_intr[30]
31	47	eeprom_fault_int	phub_termout1[15]	udb_intr[31]

5. メモリ

5.1 スタティック RAM

CY8C56LP のスタティック RAM (SRAM) は、データを一時的に格納するために使用されます。コードは、SRAM の中でコード空間に存在する部分からフルスピードで実行できます。SRAM の 0x20000000 を超える位置からの実行ではプロセスの速度が低下します。デバイスは、最大 64 KB の SRAM を提供します。CPU または DMA コントローラーは、すべての SRAM にアクセスできます。Cortex-M3 CPU と DMA コントローラーからは、互いに別々の 32 KB ブロックにアクセスするのであれば、SRAM に同時にアクセスできます。

5.2 フラッシュ プログラム メモリ

PSoC デバイスで使用するフラッシュ メモリは、ユーザーファームウェア、ユーザー コンフィギュレーション データ、大容量データ、およびオプションの ECC データを保存する不揮発性ストレージとして使用できます。メインのフラッシュ メモリ領域には、最大で 256 KB のユーザー プログラム空間が含まれています。

最大 32 KB の追加フラッシュ空間は、エラー訂正コード (ECC) のために使用できます。ECC を使用しない場合、この空間はデバイス コンフィギュレーション データおよび大容量ユーザーデータの保存に使用できます。ユーザー コードは、ECC フラッシュ メモリ セクションから実行することはできません。ECC では、ファームウェア メモリ 8 バイトあたり、1 ビットのエラー訂正と 2 ビットのエラー検出が可能で、エラーが検出された場合は割込みを生成できます。フラッシュ出力は 9 バイト幅で、8 バイトのデータと 1 バイトの ECC データからなります。

CPU または DMA コントローラーは、フラッシュ中に置かれたユーザー コードと大容量データのどちらも、キャッシュ コントローラーを通して読み出します。これにより、高い CPU 性能が得られます。ECC が有効になっている場合、キャッシュ コントローラーは、エラー チェックと訂正も実行します。

フラッシュ プログラミングは、特殊なインターフェースを通じて行い、フラッシュからコード実行に代わって実行します。SRAM からのコード実行はフラッシュ プログラミング中で実行されます。

フラッシュ プログラミング インターフェースによって、フラッシュの消去、プログラミング、およびコード保護レベルの設定を行います。フラッシュのシステム内シリアルプログラミング (ISSP) は、ほとんどの量産用プログラムに使用され、SWD と JTAG の両方のインターフェースで実行できます。多くの場合はブートローダに使用するシステム内プログラミングは、I²C、USB、UART、SPI などのシリアル インターフェースや任意の通信プロトコルを通じて使用できます。

5.3 フラッシュのセキュリティ

どの PSoC デバイスも、オンチップ フラッシュ メモリへのアクセスと可視化を防止する柔軟なフラッシュ保護モデルを備えています。これにより、プロプライエタリなコードの複製やリバース エンジニアリングを防止します。フラッシュ メモリは、ブロックに整理され、各ブロックに 256 バイトのプログラムまたはデータと 32 バイトの ECC またはコンフィギュレーション データが入ります。

デバイスには、フラッシュの行ごとに 4 段階の保護レベルのいずれかを割り当てる機能が用意されています。表 5-1 に使用可能な保護モードを示します。フラッシュの保護レベルは、フラッシュの完全消去を実行することによってのみ変更できます。「完全保護」および「現場アップグレード」の設定では、PSoC Creator などのデバッグ ツールからのアクセスなどの外部アクセスは無効になります。ブート ロードによるコード更新が必要なアプリケーションでは、「フィールド アップグレード」設定を使用します。「未保護」設定の使用は、セキュリティが不要なアプリケーションに限定してください。PSoC デバイスは、デバイス セキュリティと呼ばれる高度なセキュリティ機能も

備えています。これは、すべてのテスト、プログラミングおよびデバッグ ポートを恒久的に無効にすることにより、アプリケーションを外部アクセスから保護します (65 ページの「[デバイス セキュリティ](#)」を参照してください)。PSoC のセキュリティ機能の詳しい活用方法については、「PSoC 5 TRM」をご覧ください。

表 5-1. フラッシュ メモリの保護

保護設定	許可	不可
非保護	外部読み出しおよび書き込み+内部読み出しおよび書き込み	—
工場アップグレード	外部書き込み+内部読み出しおよび書き込み	外部読み出し
現場アップグレード	内部読み出しおよび書き込み	外部読み出しおよび書き込み
完全保護	内部読み出し	外部読み出しおよび書き込み+内部書き込み

免責条項

サイプレスのデバイスのフラッシュ コード保護機能について、以下の点にご注意ください。

サイプレス製品は、該当する特定のサイプレス データシートに記載されている仕様を満たします。サイプレスは、市販されている同様の製品ファミリにおいて、製品ファミリが、使用方法にかかわらず最高水準の安全性を有すると考えてしています。サイプレスの知り得ない方法がコード保護機能を侵害する可能性があるかも知れません。サイプレスの知る限り、そのような方法はすべて不正で、かつ違法と考えられます。サイプレスまたはその他の半導体メーカーのいずれも、自社のコードのセキュリティを保証することはできません。コードの保護は、サイプレスが製品の「解説不能」を保証していることを意味するものではありません。

サイプレスには、自社コードの完全性に関心があるユーザーと協力する意思があります。コードの保護は絶えず進化しており、サイプレスは当社製品のコード保護機能の継続的改善に努めています。

5.4 EEPROM

PSoC の EEPROM メモリは、バイト アドレス指定可能な不揮発性メモリです。CY8C52LP は、ユーザー データ格納用として 2KB の EEPROM メモリを内蔵しています。EEPROM からの読み出しは、バイト レベルでのランダム アクセスになっています。読み出しは直接行われ、書き込みは EEPROM プログラミング インターフェースへの書き込みコマンドの送信によって行われます。EEPROM 書き込み中に、CPU のコード実行をフラッシュから継続できます。EEPROM は、行レベルで消去および書き込み可能です。EEPROM は、それぞれ 16 バイトの 128 行に分かれています。すべての EEPROM バイトの工場出荷時のデフォルト値は 0 です。

EEPROM は Cortex-M3 ペリフェラル領域にマッピングされるので、CPU は EEPROM の外部で実行できません。EEPROM に関連付けられた ECC ハードウェアはありません。ECC が必要な場合は、ファームウェアの中で処理しなければなりません。EEPROM またはフラッシュへの書き込みは最大 20 ミリ秒要します。この期間中には、デバイスをリセットしてはいけません。そうしないと、予期しない変更が EEPROM あるいはフラッシュに発生する可能性があります。リセット ソース (節 6.3.1 を参照) は、XRES ピン、ソフトウェア リセット、およびウォッチドッグを含みます。これらは不注意に活性化されないように注意してください。また、低電圧検出回路はリセットではなく、割込みが発生するように設定される必要があります。

5.5 不揮発性ラッチ (NVL)

PSoC は、リセット時にデバイスを設定するために使用される不揮発性ラッチ (NVL) の 4 バイト アレイを備えています。NVL レジスタ マップを表 5-2 に示します。

表 5-2. デバイス コンフィギュレーション NVL レジスタ マップ

レジスタアドレス	7	6	5	4	3	2	1	0
0x00	PRT3RDM[1:0]		PRT2RDM[1:0]		PRT1RDM[1:0]		PRT0RDM[1:0]	
0x01	PRT12RDM[1:0]		PRT6RDM[1:0]		PRT5RDM[1:0]		PRT4RDM[1:0]	
0x02	XRESMEN	DBGEN					PRT15RDM[1:0]	
0x03	DIG_PHS_DLY[3:0]				ECCEN	DPS[1:0]		CFGSPD

個々の現場と工場出荷時のデフォルト設定の詳細を、表 5-3 に示します。

表 5-3. フィールドおよび工場出荷時のデフォルト設定

フィールド	説明	設定
PRTxRDM[1:0]	対応する I/O ポートのリセット駆動モードを制御。 39 ページの「リセットのコンフィギュレーション」 をご覧ください。ポートのすべてのピンは同じモードに設定	00b (デフォルト) - 高インピーダンス アナログ 01b - 高インピーダンス デジタル 10b - 抵抗プルアップ 11b - 抵抗プルダウン
XRESMEN	ピン P1[2] が GPIO または外部リセットとして使用されるかを制御。一般的に、P1[2] は GPIO として使用され、外部リセットに使用されない。	0 (デフォルト) - GPIO 1 - 外部リセット
DBGEN	デバッグ有効は、第三者のプログラマによるデバッグ システムへのアクセスを可能にする	0 - アクセスは無効 1 (デフォルト) - アクセスは有効
CFGSPD	より高速な起動や低消費電力動作を実現するため、デバイスのブート プロセス中に IMO ベースクロックの速度を制御	0 (デフォルト) - 12MHz IMO 1 - 48MHz IMO
DPS[1:0]	デバッグ ポートとして様々な P1 ピンを使用することを制御。 62 ページの「プログラミング、デバッグ インターフェース、リソース」 をご覧ください。	00b - 5 線 JTAG 01b (デフォルト) - 4 線 JTAG 10b - SWD 11b - デバッグポートは無効
ECCEN	ECC フラッシュを ECC または一般的なコンフィギュレーションおよびデータ ストレージに使用するかを制御。 20 ページの「フラッシュ プログラム メモリ」 をご覧ください。	0 - ECC は無効 1 (デフォルト) - ECC は有効
DIG_PHS_DLY[3:0]	デジタル クロックの位相遅延を選択	詳細は、TRM を参照してください

PSoC Creator は、デバイスのコンフィギュレーション NVL を変更するためのサポートを提供していますが、NVL 消去／書き込みサイクル数は限られています。[110 ページの「不揮発性ラッチ \(NVL\)」](#)を参照してください。

5.6 外部メモリ インターフェース (EMIF)

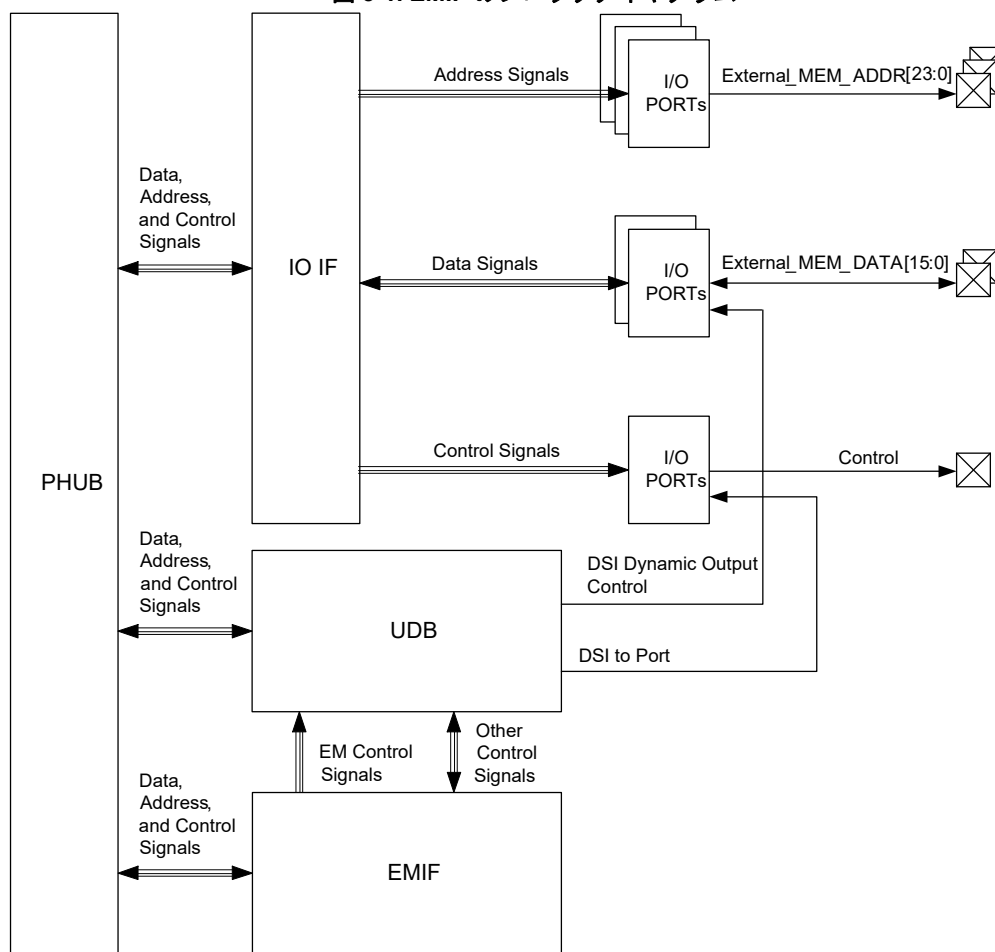
CY8C56LP には、外部メモリ デバイスへの接続用に外部メモリ インターフェース (EMIF) が用意されています。この接続により、外部メモリに対する読み出しアクセスと書き込みアクセスが可能になります。EMIF は、UDB、I/O ポートおよびその他のハードウェアと組み合わせて動作し、外部メモリ アドレスおよび制御信号を生成します。33 MHz で、各メモリ アクセス サイクルは、4 つのバス クロック サイクルを要します。図 5-1 は EMIF のブロック図です。EMIF は同期メモリおよび非同期メモリをサポートします。CY8C56LP は、一度に 1 種類のみの外部メモリ デバイスをサポートします。

外部メモリは、Cortex-M3 の外部 RAM 空間に配置されており、最大 24 のアドレス ビットを使用できます。23 ページの表 5-4

と 23 ページの「メモリ マップ」を参照してください。メモリの幅は、8 ビットまたは 16 ビットにできます。

16 ビットの Cortex-M3 命令は、外部メモリから取得できます。また、他の制限が適用されます。詳細については、アプリケーション ノート「AN89610, PSoC® 4 and PSoC 5LP Arm Cortex Code Optimization」を参照してください。外部メモリでは、コード セキュリティが供給されません。コードの保護が必要な場合、コードを内部フラッシュに配置する必要があります。20 ページの「フラッシュのセキュリティ」と 65 ページの「デバイス セキュリティ」を参照してください。

図 5-1. EMIF のブロックダイアグラム



5.7 メモリ マップ

Cortex-M3 には固定アドレス マップがあります。これを使用すると、簡単なメモリ アクセス命令で周辺デバイスにアクセスできます。

5.7.1 アドレス マップ

4 GB のアドレス空間は、表 5-4 に示すような範囲で構成されています。

表 5-4. アドレス マップ

アドレス範囲	サイズ	用途
0x00000000 ~ 0x1FFFFFFF	0.5GB	プログラム コード。アドレス 0 から始まる、起動時の例外ベクタ表を含む
0x20000000 ~ 0x3FFFFFFF	0.5GB	スタティック RAM。0x20000000 から始まる 1M バイトのビットバンド領域と、0x22000000 から始まる 32M バイトのビットバンド エイリアス領域を含む
0x40000000 ~ 0x5FFFFFFF	0.5GB	周辺デバイス
0x60000000 ~ 0x9FFFFFFF	1GB	外部 RAM。
0xA0000000 ~ 0xDFFFFFFF	1GB	外部周辺デバイス。
0xE0000000 ~ 0xFFFFFFFF	0.5GB	NVIC およびデバッグ モジュールとトレース モジュールを含む内部ペリフェラル

表 5-5. ペリフェラルのデータ アドレス マップ

アドレス範囲	用途
0x00000000–0x0003FFFF	256K フラッシュ
0x1FFF8000–0x1FFFFFFF	コード領域の 32 K SRAM
0x20000000–0x20007FFF	SRAM 領域の 32 K SRAM
0x40004000–0x400042FF	クロッキング、PLL および発振器
0x40004300–0x400043FF	電源管理
0x40004500–0x400045FF	ポート割り込み制御
0x40004700–0x400047FF	フラッシュ プログラミング インターフェース
0x40004800–0x400048FF	キャッシュ コントローラー
0x40004900–0x400049FF	I ² C コントローラー
0x40004E00–0x40004EFF	デシメータ
0x40004F00–0x40004FFF	固定タイマー／カウンタ／PWM
0x40005000–0x400051FF	I/O ポートの制御

表 5-5. ペリフェラルのデータ アドレス マップ (続き)

アドレス範囲	用途
0x40005400–0x400054FF	外部メモリ インターフェース (EMIF) 制御レジスタ
0x40005800–0x40005FFF	アナログ サブシステム インターフェース
0x40006000–0x400060FF	USB コントローラー
0x40006400–0x40006FFF	UDB ワーキング レジスタ
0x40007000–0x40007FFF	PHUB コンフィギュレーション
0x40008000–0x400087FF	EEPROM
0x4000A000–0x4000A400	CAN
0x4000C000–0x4000C800	デジタル フィルタ ブロック
0x40010000–0x4001FFFF	デジタル相互接続のコンフィギュレーション
0x48000000–0x48007FFF	フラッシュ ECC バイト
0x60000000–0x60FFFFFF	外部メモリインターフェース (EMIF)
0xE0000000–0xE0FFFFFF	NVIC、デバッグ、トレースなどを扱う Cortex-M3 PPB レジスタ

ビットバンド機能により、SRAM の各ビットの読み出しや書き込みをアトミックな操作として実行できます。この操作は、ビットバンド エイリアス領域の対応するワードに対してビット 0 の読み出しまたは書き込みを実行することで実現します。たとえば、アドレス 0x20000000 でワードのビット 3 を設定するには、アドレス 0x2200000C に 1 を書き込みます。そのビットの値をテストするには、アドレス 0x2200000C を読み出します。テスト対象のビットの値に応じて、結果は 0 または 1 となります。

Cortex-M3 で実行するほとんどのメモリ アクセスはアラインされています。つまり、ワード (4 バイト) 境界アドレスで行われます。ワード境界ではないアドレスでのワードや 16 ビット ハーフワードに対するアラインされていないアクセスも可能ですが、効率の面では不利になります。

5.7.2 アドレス マップおよび Cortex-M3 バス

ICode バスおよび DCode バスは、0 ~ 0xFFFFFFFF のコードアドレス範囲内のアクセスでのみ使用します。

0x20000000 ~ 0xDFFFFFFF および 0xE0100000 ~ 0xFFFFFFFF の範囲にあるデータへのアクセスおよびデバッグでのアクセスでは、システム バスが使用されます。命令の取得は 0x20000000 ~ 0x3FFFFFFF 範囲内でも可能ですが、ICode バス経由での命令取得に比べると速度が遅くなります。

システム制御レジスタ、デバッグ モジュール レジスタおよびトレース モジュール レジスタへのアクセスには、Cortex-M3 内で外部専用ペリフェラル バス (PPB) が使用されます。

6. システム全般

6.1 クロック システム

クロッキング システムは、PSoC システム全体にわたるクロックの生成、分周および分配を行います。ほとんどのシステムで、外部水晶発振器は不要です。IMO に PLL を使用することで、電圧と温度の全範囲にわたり精度 $\pm 1\%$ で最高 80 MHz のクロックを生成できます。それぞれのデザインで、内部および外部クロックソースを追加することにより、精度、消費電力およびコストを最適化することが可能です。16 ビット クロック分周器および UDB では、UART ボーレート ジェネレータなど、ユーザーが必要とするあらゆるデバイスで使用するクロック周波数を、どのシステム クロック ソースからでも生成できます。

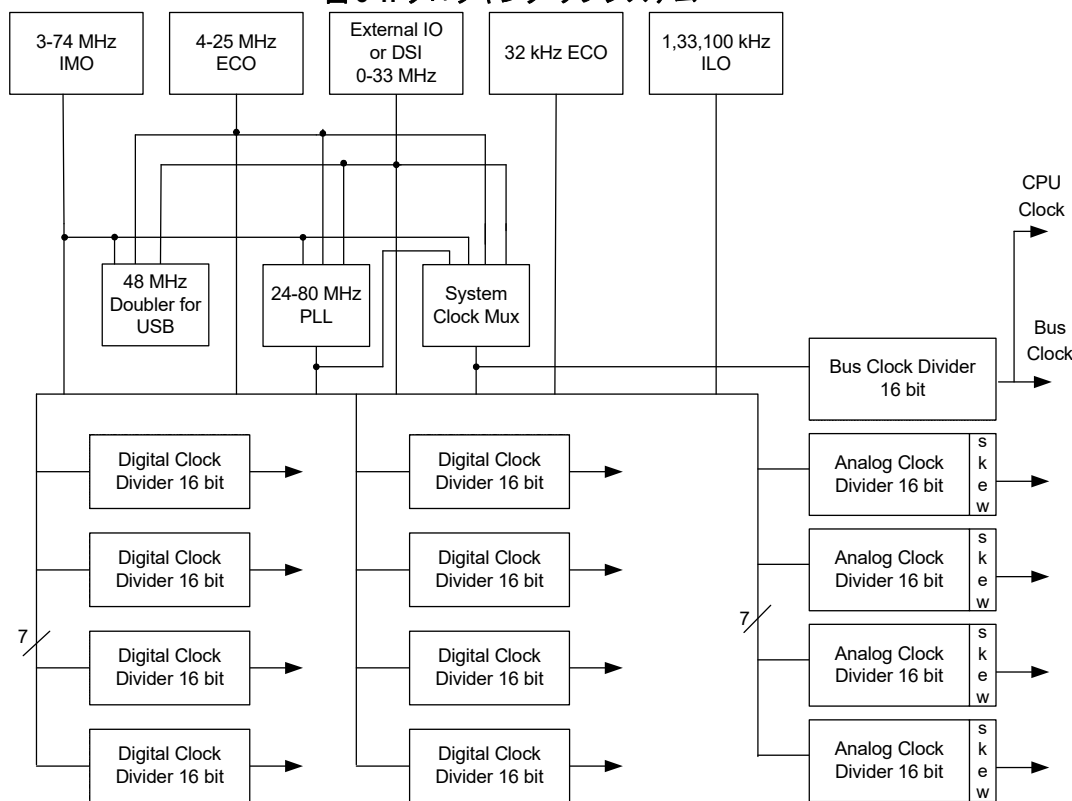
クロックの生成と供給は、PSoC Creator IDE のグラフィカルインターフェースを通じて自動的に設定されます。これは、完全なシステム要件に基づいています。これによりデザイン プロセスは大幅にスピードアップされます。PSoC Creator を使用することで、最小限の入力でクロッキング システムを構築できます。目的のクロック周波数とその精度を指定すると、必要な仕様を満たすクロックがソフトウェアによって配置または作成されます。これができるのは、PSoC 固有のプログラマビリティのためです。

クロッキング システムの主な特長は、次のとおりです。

- 7 個の汎用クロック ソース
 - 3 ~ 74 MHz の IMO、3 MHz で $\pm 1\%$ の精度
 - 4 ~ 25 MHz 外部発振器 (MHzECO)
 - クロック逡倍回路は、USB ブロックに 2 倍の周波数のクロックを出力します。を参照してください。27 ページの「USB クロック ドメイン」
 - 外部 I/O ピンまたはその他の論理からの DSI 信号
 - 24 ~ 80 MHz の分数分周方式の位相同期回路 (PLL) (IMO、MHzECO、DSI から電源供給される)
 - クロック逡倍回路
 - 1 kHz、33 kHz、100 kHz ILO (ウォッチ ドッグ タイマー (WDT) およびスリープ タイマー用)
 - 32.768 kHz 外部水晶発振器 (kHzECO) (リアル タイム クロック (RTC))
- IMO には、USB 用の外部水晶発振器を必要とせずに USB バス クロックに自動的にロックする USB モードが用意されています (USB を内蔵したデバイスのみ)
- すべてのクロック分周器で独立して供給されるクロック
- 8 個の 16 ビット クロック分周器 (デジタル システム用)
- 4 個の 16 ビット クロック分周器 (アナログ システム用)
- CPU バスおよび CPU クロック専用の 16 ビット分周器
- PSoC Creator でのクロックの自動コンフィギュレーション

表 6-1. 発振器の概要

ソース	Fmin	Fmin での許容誤差	Fmax	Fmax での許容誤差	起動時間
IMO	3 MHz	電圧および温度の全範囲で $\pm 1\%$	74 MHz	$\pm 7\%$	最大 13 μ s
MHzECO	4 MHz	水晶発振器に依存	25 MHz	水晶発振器に依存	標準 5ms、最大は水晶発振器に依存
DSI	0 MHz	入力に依存	33 MHz	入力に依存	入力に依存
PLL	24 MHz	入力に依存	80 MHz	入力に依存	Max は 250 μ s
2 逡倍回路	12 MHz	入力に依存	48 MHz	入力に依存	Max は 1 μ s
ILO	1 kHz	-50%、+100%	100 kHz	-55%、+100%	最低消費電力モードで最大 15ms
kHzECO	32 kHz	水晶発振器に依存	32 kHz	水晶発振器に依存	標準 500ms、最大は水晶発振器に依存

図 6-1. クロッキング サブシステム


6.1.1 内部発振器

図 6-1 に示されるように、2 個の内部発振器があります。これらは直接接続するか、分割して接続できます。直接接続されるクロックは 50% デューティ比がない可能性があります。分割されるクロックは 50% デューティ比を持ちます。

6.1.1.1 内部主発振器 (IMO)

IMO は $\pm 1\%$ の精度を持っているので、ほとんどのデザインではクロック ソースとして IMO を使用すれば十分です。IMO は、外部部品なしで動作し、安定したクロックを出力します。各周波数範囲での工場トリム値がデバイスに保存されます。工場トリムでは、周波数の許容誤差は 3 MHz での $\pm 1\%$ から最大値である 74 MHz での $\pm 7\%$ の範囲に収まっています。IMO と PLL を組み合わせることにより、デバイスの最大周波数までの CPU クロックとシステム クロックを生成できます (Phase-Locked Loop (位相同期回路) を参照)。

IMO は、3 MHz、6 MHz、12 MHz、24 MHz、48 MHz、および 74 MHz のクロックを出力します。

6.1.1.2 クロック通倍回路

クロック通倍回路は、入力クロックの 2 倍の周波数のクロックを出力します。通倍回路は、6 ~ 24 MHz の入力周波数範囲で動作し (得られる出力周波数は 12 ~ 48 MHz)、IMO、MHzECO、または DSI (外部ピン) のクロックを使用するように設定できます。多くの場合、USB のクロックに通倍回路を使用します。

6.1.1.3 Phase-Locked Loop (位相同期回路)

PLL によって、低周波数で高精度のクロックを通倍し、より高い周波数を得られます。PLL には、得られるクロック周波数を高くすると精度が低下し、起動時間を短くすると消費電力が増加するというトレードオフの関係があります。

PLL ブロックは、各種の入力ソースに基づきクロック周波数を生成するメカニズムを提供します。PLL は、24 ~ 80 MHz の範

囲のクロック周波数を出力します。その入力およびフィードバック分周器によって 4032 種類の比率が得られ、希望するほとんすべてのシステム クロック周波数を生成できます。PLL 出力の精度は、PLL 入力ソースの精度に依存します。PLL を使用して 3MHz の IMO クロックを通倍する方法が最も一般的です。この方法であれば、デバイスの最大周波数まで最も正確に CPU クロックとシステム クロックを生成できます。

PLL は、250 μ s 以内に位相同期に達します (ビット設定により検証)。IMO、MHzECO、または DSI (外部ピン) のクロックを使用するようにコンフィギュレーションできます。位相が完全なロック状態になっていて、ロック ビットによる通知がある限り、PLL によるクロック ソースを利用できます。ロック信号を DSI 経由で送ることで、割込みを生成できます。PLL は、低消費電力モードに入る前に無効にしてください。

6.1.1.4 内部低速発振器

ILO は、ウォッチドッグ タイマーおよびスリープ タイマーを含む、低消費電力のためのクロック周波数を供給します。ILO は最大 3 つのクロックを生成します (1 kHz、33 kHz、100 kHz)。

1 kHz クロック (CLK1K) は、一般的に、バックグラウンドの「ハートビート」タイマーとして使用します。このクロックは、本来、ウォッチドッグ タイマー、センタラ タイムホイール (CTW) を使用した長スリープ時などの低消費電力動作時に適しています。

センタラ タイムホイールは、ILO からのクロックで動作するフリー ランニングの 1 kHz、13 ビットのカウンターです。センタラ タイムホイールは、ハイバネート モード時および CPU がデバッグ オン チップ モードで停止中の場合を除いて、常に有効になっています。これを使用して、タイミングの目的で周期的な割込みを生成したり、システムを低消費電力モードからウェイクアップさせたりできます。ファームウェアによって、センタラ タイムホイールをリセットできます。

セントラル タイムホイールは、システムを周期的に起動し、オプションで割り込みを発行するようプログラムできます。これにより、低消費電力モードからの柔軟かつ周期的なウェイクアップ、あるいは精度を必要としないタイミング アプリケーションが可能です。高精度なタイミングを必要とするシステムでは、セントラル タイムホイールではなく、RTC 機能を使用する必要があります。

100 kHz クロック (CLK100K) は、CPU を動作させる低電力システム クロックとして使用されます。また、高速タイムホイールを使用して間隔を生成することもできます。

高速タイムホイールは、5 ビット カウンター、100kHz クロックによりクロック供給されます。これにより、設定はプログラム可能になっており、ターミナル カウントに達すると自動的にリセットします。ターミナル カウントに達するたびに、オプションで割り込みを生成できます。これにより、セントラル タイムホイールを使用した場合よりも、より短い周期で柔軟に CPU に割り込めます。

33 kHz クロック (CLK33K) は、CLK100K に対する 3 分周操作によって得られます。この出力を使用すると、精度は劣りますが水晶発振器を必要とせずに 32.768 kHz ECO クロックが得られます。

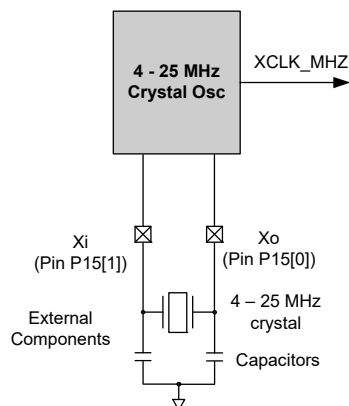
6.1.2 外部発振器

図 6-1 に示されるように、2 個の内部発振器があります。これらは直接接続するか、分割して接続できます。直接接続されるクロックは 50% デューティ比を持たない可能性があります。分割されるクロックは 50% デューティ比を持ちます。

6.1.2.1 MHz 外部水晶発振器 (MHzECO)

MHzECO は、外部水晶発振器を使用して高周波、高精度クロッキングを提供します (図 6-2 を参照してください)。外部水晶発振器には 4 ~ 25MHz の範囲のものを使用できます。PLL を組み合わせることにより、デバイスの最大周波数までの CPU クロックとシステム クロックを生成できます (25 ページの「Phase-Locked Loop (位相同期回路)」を参照してください)。外部水晶発振器とコンデンサを接続する GPIO ピンは決まっています。MHzECO の精度は、選択した水晶発振器で決まります。

図 6-2. MHzECO ブロック図

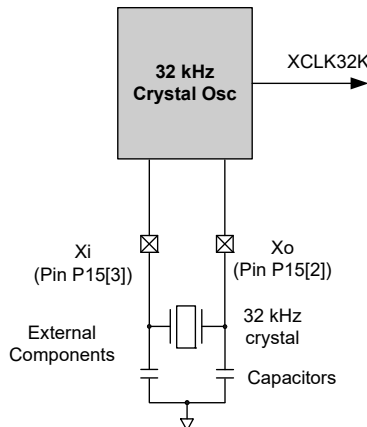


6.1.2.2 32.768 kHz ECO

32.768 kHz 外部水晶発振器 (32 kHzECO) は、外部の 32.768kHz ウォッチ水晶発振器を使用して最小限の消費電力で高精度のタイミングを提供します (図 6-3 を参照してください)。また、スリープ タイマーに直接接続し、リアル タイム クロック (RTC) のソースにもなります。RTC は、1 秒の割り込みを使用してファームウェア内で RTC の機能を実現しています。

発振器は、2 種類の消費電力モードで動作します。これにより、ユーザーは、消費電力と隣接回路からのノイズ耐性とのトレードオフを行えます。外部水晶発振器とコンデンサを接続する GPIO ピンは固定しています。

図 6-3. 32kHzECO ブロックダイアグラム



外部 32.768 kHz 時計用水晶では、6 pF または 12.5 pF の負荷静電容量 (CL) を持たせることをお勧めします。水晶の製造元のデータシートを参照してください。2 つの外部コンデンサ (CL1 および CL2) は、通常同じ値で、ピンとトレース静電容量を含む合計の静電容量 (CL1CL2 / (CL1 + CL2)) は、水晶 CL の値に等しくなければなりません。詳細については、「AN54439: PSoC 3 and PSoC 5 External Oscillators」アプリケーション ノートを参照してください。また、76 ページの「GPIO」に記載されているピン静電容量の仕様も参照してください。

6.1.2.3 デジタル システム インターコネクト

デジタル システム インターコネクト (DSI) は、I/O に接続した外部クロック発振器で得られたクロックを各部に供給する機能を提供します。この発振器は、デバイス内部のデジタル システムおよび UDB でも作成できます。

メインの DSI クロック入力には、どのようなクロッキング リソースでも接続できます。また、メイン以外の最大 8 個の DSI クロック (内部または外部で生成) を 8 個のデジタル クロック分周器に直接接続できます。これは、複数の高精度クロックソースが存在する場合のみ可能です。

6.1.3 クロック分配

全 7 種類のクロック ソースはすべて、セントラル クロック供給システムに入力されます。この供給システムは、複数の高精度クロックを生成するよう設計されています。これらのクロックは、デザインの要件に合わせてカスタマイズできるので、分解能に限界のあるブリスケーラをペリフェラルに接続することで発生する共通の問題を解消できます。このクロック供給システムによって、複数の種類のクロック ツリーが生成されます。

■ システム クロックは、汎用システム クロックの要件に合わせたシステム内で最速のクロックの選択と供給のほか、PSoC デバイスのクロック同期にも使用されます。

■ バス クロックの 16 ビット分周器は、システム クロックを使用して、データ転送と CPU で使用するシステム バス クロックを生成します。CPU クロックは、バス クロックから直接取られています。

■ プログラム可能な 8 個の 16 ビット クロック分周器は、デザイン要件によるコンフィギュレーションに従い、デジタル システム全般で使用するデジタル システム クロックを生成します。デジタル システム クロックは、任意の目的のために、7 つのクロック ソースのうちのいずれかからカスタム クロ

クを生成できます。例として、ポーレートジェネレータ、精密なPWM周期、タイマークロック、その他多数があります。8個を超えるデジタルクロック分周器が要求される場合、UDBおよび機能固定のタイマ／カウンタ／PWMもクロックを生成できます。

- 4個の16ビットクロック分周器は、ADCやミキサーなど、クロッキングを必要とするアナログシステムコンポーネントのためのクロックを生成します。アナログクロック分周器には、重要なアナログイベントがデジタルスイッチングイベントと同時に発生しないようにするために、スキュー制御が組み込まれています。これは、アナログシステムのノイズを低減するためです。

各クロック分周器は、8入力マルチプレクサ、デューティ比が50%までのクロックを生成する16ビットクロック分周器(2以上分周)、システムクロック再同期ロジックおよびデグリッチロジックで構成されています。各デジタルクロックツリーからの出力は、デジタルシステムインターコネクタに接続し、次に、クロックシステムに入力として戻して、32ビットまでのクロックのチェーン接続が可能です。

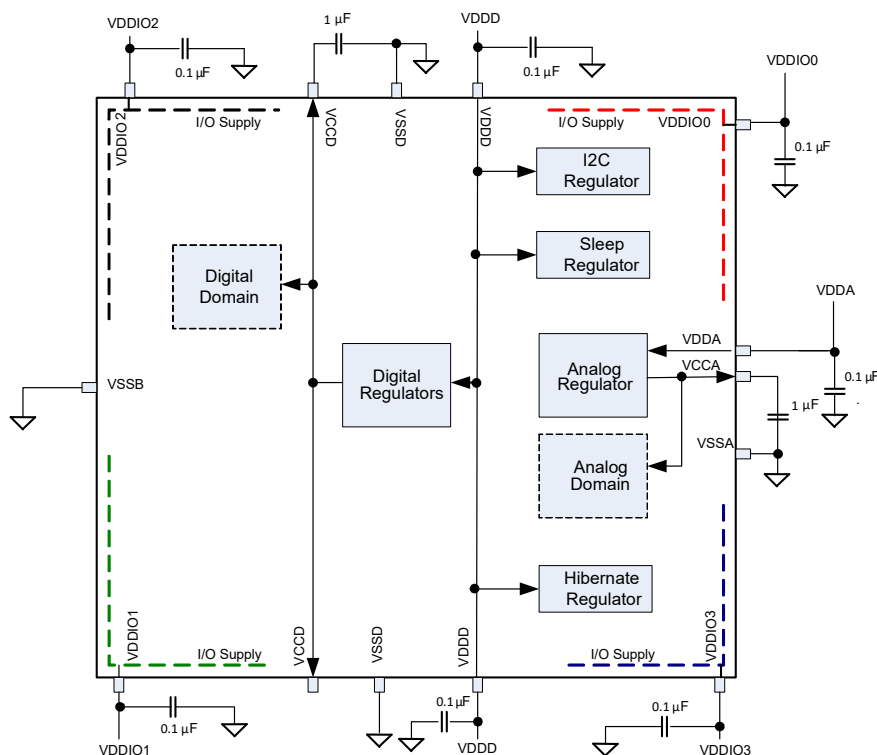
6.1.4 USBクロックドメイン

USBクロックドメインは、ほとんどの場合、メインクロックネットワークとは非同期で動作するという点で独特です。USBロジックは、チップに対する同期バスインターフェースを含み、一方、USBデータの処理のために非同期クロックで動作します。USBロジックには48MHzの周波数が必要です。この周波数として48MHzのDSIクロックを使用できるほか、内部発振器、DSI信号、水晶発振器などの別のソースの24MHzを通倍しても生成できます。

6.2 電源システム

電源システムは、別々のアナログ、デジタルおよびVDDA、VDDD、VDDIOXと名付けられているI/O電源ピンで構成されています。このシステムは2個の内部1.8Vレギュレータも含み、このレギュレータは内部コアロジックにデジタル電源(VCCD)とアナログ電源(VCCA)を供給します。レギュレータの出力ピン(VCCDおよびVCCA)とVDDIOピンには、図6-4に示すようにコンデンサを接続する必要があります。2本のVCCDピンは、できる限り短いパターンで互いに短絡し、1μF ± 10% X5Rコンデンサに接続する必要があります。電源システムは、スリープレギュレータ、I²Cレギュレータおよびハイパネーションレギュレータも備えています。

図 6-4. PSoC の電源システム



注:

- 2本のV_{CCD}ピンは、できる限り短い配線で互いに接続する必要があります。図2-6に示すように、デバイスの裏面で接続することが推奨されています。
- V_{DDx}ピンに適用する電圧が5.5Vで、内部レギュレータがコア電圧を供給する内部安定化モードでデバイスに電源を供給できます。このモードでは、V_{CCx}ピンに電源を供給せず、V_{DDx}ピンをV_{CCx}ピンに接続させないでください。
- V_{CCD}およびV_{CCA}ピンに直接電源を供給することにより、外部安定化モードでデバイスに電源を供給することもできます。この設定では、V_{DDDD}ピンをV_{CCD}ピンに、V_{DDA}ピンをV_{CCA}ピンに接続させてください。この設定での許可される電源電圧範囲は1.71V ~ 1.89Vです。この設定では、電源投入の後、内部レギュレータはデフォルトでオンにされ、消費電力を低減するために無効にされます。
- 自身のバイパスコンデンサのために(特に動作電圧およびDCバイアス仕様)データシートを調べるのは良いやり方です。いくつかのコンデンサを使用すれば、DCバイアス(図6-4でのV_{DDx}またはV_{CCx})が定格動作電圧のかなりの割合になる時、実際の容量は大幅に減少します。

6.2.1 電力モード

PSoC 5LP デバイスには、表 6-2 と表 6-3 に示すように 4 種類の電力モードがあります。これらの電力モードによって、必要な機能と処理能力を提供し、同時に、低電力および携帯型デバイスにおいて消費電力の最小化とバッテリー寿命の最大化を行うデザインが、容易に可能になります。

PSoC 5LP の電力モード（消費電力の高いものからの順で並びます）

- アクティブ
- 代替アクティブ
- スリープ
- ハイバネート

アクティブは主要な処理モードです。この機能はコンフィギュレーション可能です。電源制御可能な各サブシステムは、個々の電源コンフィギュレーション テンプレート レジスタを使用して有効または無効にできます。代替アクティブ モードでは、有効にされるサブシステムが少ないため、消費電力を削減できます。スリープ モードでは、テンプレートの設定とは無関係にほとんどのリソースが無効になります。スリープ モードは、指定したスリープ時間とリアル タイム クロック機能を実現できるように最適化されています。消費電力が最も少ないモードはハイバネート モードで、このモードではレジスタと SRAM の状態は保持されますがクロックは作動せず、I/O ピンからのみウェイクアップが可能です。図 6-5 に、電力モード間で許容される遷移を示します。スリープおよびハイバネート モードは、すべての VDDIO 電源が有効な電圧レベルになるまで、使用しないでください。

表 6-2. 電力モード

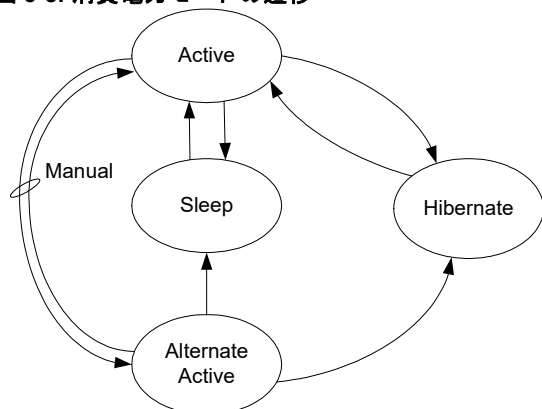
電力モード	説明	遷移条件	ウェイクアップソース	アクティブクロック	レギュレータ
アクティブ	主要な動作モード。すべてのペリフェラルを利用可能（プログラマブル）	ウェイクアップ、リセット、レジスタへの手動アクセス	任意の割込み	任意（プログラマブル）	すべてのレギュレータを使用可能。外部レギュレータ機能を使用している場合は、デジタルとアナログレギュレータを無効にすることが可能
代替アクティブ	アクティブ モードと同様。通常、消費電力を削減するためにアクティブなペリフェラルの数を削減するように設定。適用可能なコンフィギュレーションの 1 つは、CPU をオフにして、UDB を処理に使用すること	レジスタへの手動アクセス	任意の割込み	任意（プログラマブル）	すべてのレギュレータを使用可能。外部レギュレータ機能を使用している場合は、デジタルとアナログレギュレータを無効にすることが可能
スリープ	すべてのサブシステムは自動的に無効になる	レジスタへの手動アクセス	コンパレータ、PICU、I ² C、RTC、CTW、LVD	ILO/kHzECO	デジタルとアナログ両方のレギュレータが動作中。外部レギュレータ機能を使用している場合は、デジタルとアナログレギュレータを無効にすることが可能
ハイバネート	すべてのサブシステムが自動的に無効になる。ハイバネート レギュレータのみが有効で、その他すべてのペリフェラルおよび内部レギュレータが無効になる最低消費電力モード。コンフィギュレーションおよびメモリの内容は保持される	レジスタへの手動アクセス	PICU		ハイバネート レギュレータのみがアクティブ

表 6-3. 電源モードのウェイクアップ時間と消費電力

スリープモード	ウェイクアップ時間	電流 (Typ)	コード実行	デジタルリソース	アナログリソース	利用可能なクロックソース	ウェイクアップソース	リセットソース
アクティブ	—	3.1 mA ^[8]	有	すべて	すべて	すべて	—	すべて
代替アクティブ	—	—	ユーザー定義	すべて	すべて	すべて	—	すべて
スリープ	< 25 μs	2 μA	無	I ² C	コンパレータ	ILO/kHzECO	コンパレータ、PICU、I ² C、RTC、CTW、LVD	XRES、LVD、WDR
ハイバネート	<200 μs	300 nA	無	なし	なし	なし	PICU	XRES

注：

8. バス クロック オフ。6 MHz で、CPU 命令バッファから実行。68 ページの表 11-2 を参照してください。

図 6-5. 消費電力モードの遷移


6.2.1.1 アクティブ モード

アクティブ モードは、デバイスの主要な動作モードです。アクティブ モードでは、アクティブ コンフィギュレーション テンプレート ビットによって、利用可能なリソースのうちどれを有効または無効にするかを制御します。リソースを無効にすると、デジタル クロックはゲート制御され、アナログ バイアス電流は無効になり、それに伴って漏れ電流が減少します。ユーザーファームウェアはアクティブ コンフィギュレーション テンプレートのビットをセットおよびクリアすることで、サブシステムの電源を動的に制御できます。CPU は、自分自身を無効にでき、この場合、CPU は、次のウェイクアップ イベントで自動的に再びイネーブルになります。

ウェイクアップ イベントが発生するとグローバル モードは常にアクティブに復帰し、CPU はそのテンプレートの設定とは無関係に自動的に有効になります。アクティブ モードは、ブート時にデフォルトのグローバル電力モードです。

6.2.1.2 代替アクティブ モード

代替アクティブ モードは、アクティブ モードと非常によく似ています。代替アクティブ モードでは、有効にされるサブシステム数がより少ないため、消費電力を削減できます。CPU とフラッシュをオフにし、ペリフェラルをフル スピードで実行するコンフィギュレーションが考えられます。

6.2.1.3 スリープ モード

復帰に掛かる時間が 15 μ s であっても許容される場合、スリープ モードは消費電力を削減します。このウェイクアップ時間の間に、直接アクティブ モードになっても問題ない程度にまで安定したレギュレータ出力が得られます。

6.2.1.4 ハイバネート モード

ハイバネート モードでは、ほぼすべての内部機能が無効になります。内部電圧は、システムを動作状態に保つのに不可欠な最低限のレベルまで低下します。ハイバネート モードではコンフィギュレーション状態は保護され、SRAM メモリは保持されます。デジタル出力として設定された GPIO は、以前の値に保たれ、外部 GPIO ピン割込みの設定は保護されます。デバイスは、外部 I/O 割込みに応答する場合のみ、ハイバネート モードから復帰できます。ハイバネート モードからのレジューム時間は、100 μ s 未満です。

電流を極めて低くするために、ハイバネート レギュレータは限定された容量を持っています。これは、入力ピンにある信号の周波数を制限します。ハイバネート モードでは、GPIO は、10 kHz より速い速度でトグルする必要がありません。ピンを低電

力モード中に高速でトグルすることが必要な場合は、低電力モードの代わりにスリープモードを使ってください。

6.2.1.5 ウェイクアップ イベント

ウェイクアップ イベントは設定可能で、割込みまたはデバイスリセットから発生させることが可能です。ウェイクアップ イベントによって、システムはアクティブ モードに復帰します。ファームウェア有効化の割込みソースには、内部生成割込み、電源監視、セントラル タイムホイールおよび I/O 割込みがあります。内部割込みは、アナログ コンパレータや UDB など各種のペリフェラルから発生させられます。セントラル タイムホイールでは、周期的な割込みを行うことで、システムのウェイクアップ、ペリフェラルのポーリング、またはリアル タイム機能の実行が可能です。リセット イベント ソースでは、外部リセットピン (XRES)、WDT、および高精度リセット (PRES) があります。

6.2.2 ブースト コンバーター

太陽電池パネルや単独の電池などの 1.71 V 未満の供給電圧を使用する用途では、内蔵ブースト コンバーターを使用して、最低 1.8 V の電源電圧を生成します。ブースト コンバータは、供給電圧よりも高い動作電圧を必要とするシステム (例えば、3.3 V のシステムで 5.0 V の LCD ガラスを駆動) で使用することもできます。1 個のインダクタとショットキー ダイオード、およびコンデンサを添加して、選択可能な出力電圧を生成し、PSoC および基板上のその他のコンポーネントの動作に十分な電圧を供給します。

ブースト コンバーターは、0.5 V ~ 3.6 V の入力電圧 V_{BAT} を許容し、最低 5.0 V の V_{BAT} でスタートアップできます。コンバーターは、100 mV インクリメントで 1.8 ~ 5.0 V (V_{OUT}) のユーザー設定可能な出力電圧を提供します。一般的に、 V_{BAT} が V_{OUT} 未満ですが、 V_{BAT} が V_{OUT} 以上になる場合、ブースト コンバータでの抵抗損失の原因で、 V_{OUT} は V_{BAT} 未満になります。PSoC デバイスおよび外部コンポーネントの両方のコンフィギュレーションに応じて、ブロックは 50 mA (I_{BOOST}) まで提供できます。PSoC デバイス、PSoC I/O ピン負荷および外部コンポーネント負荷を含む設計の電流シンクの合計は I_{BOOST} の指定した最大の電流未満にする必要があります。

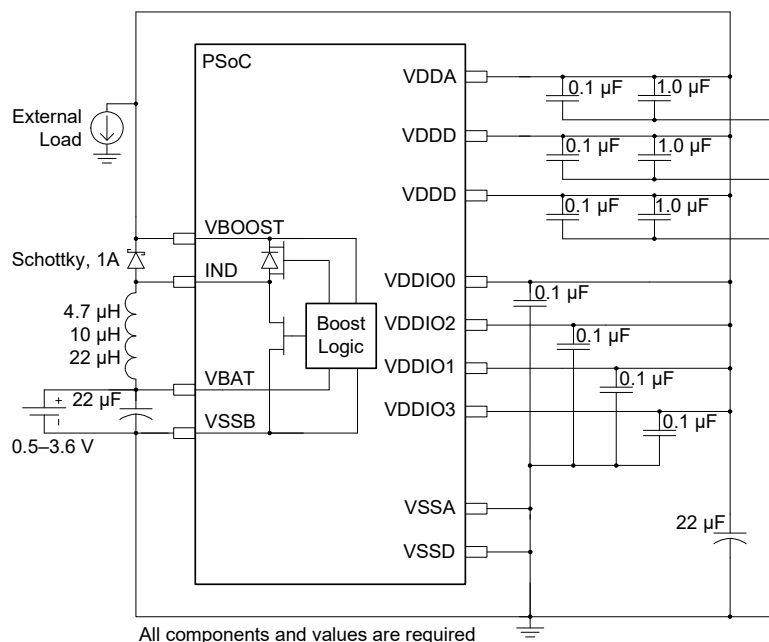
ブースト コンバータに関連しているピンは、VBAT、VSSB、VBOOST および IND です。ブーストされた出力電圧は VBOOST ピンで感知され、PSoC デバイスに電力供給する用に使用される場合、チップの供給入力 (VDDA、VDDD、VDDIO) に直接接続する必要があります。

30 ページの図 6-6 に示すように、非ブーストの設計で必要とするコンポーネント意外に、ブースト コンバーターは 4 個のコンポーネントを必要とします。22 μ F のコンデンサ (C_{BAT}) は VBAT の近くに配置することは必要として、電池電圧のローカル ブルクストレージおよびレギュレータ安全性を提供します。電池と VBAT ピン間のダイオードは極性反転保護のために使用しないでください。ダイオード順電圧降下は V_{BAT} 電圧を減少します。4.7 μ H、10 μ H または 22 μ H のインダクタは VBAT および IND ピンの間に配置する必要があります。インダクタ値は、入力電圧、出力電圧、温度および電流に基づいて、ブースト コンバータの効率を向上するために最適化できます。インダクタのサイズは本章の設計ガイドおよび電気的仕様によって決定されます。インダクタは VBAT と IND ピンの間に 1cm 以内に配置し、最低 750mA の飽和電流を持つ必要があります。ショットキーダイオードは IND と VBOOST ピンの間で 1cm 以内に配置する必要があります。ショットキー ダイオードは定格フォワード電流が最低 1.0 A であり、逆電圧が最低 20 V です。22 μ F バルクコンデンサ (C_{BOOST}) はレギュレータ出力安定性のために、

VBOOST の近くに配置することが必要です。VBOOST ピンに接続される総容量を計算し、最大の C_{BOOST} 仕様が超えられないように保障することは重要です。電圧軽減による容量損失を

最小限にするために、すべてのコンデンサの定格値が最低 10 V であるように設定する必要があります。

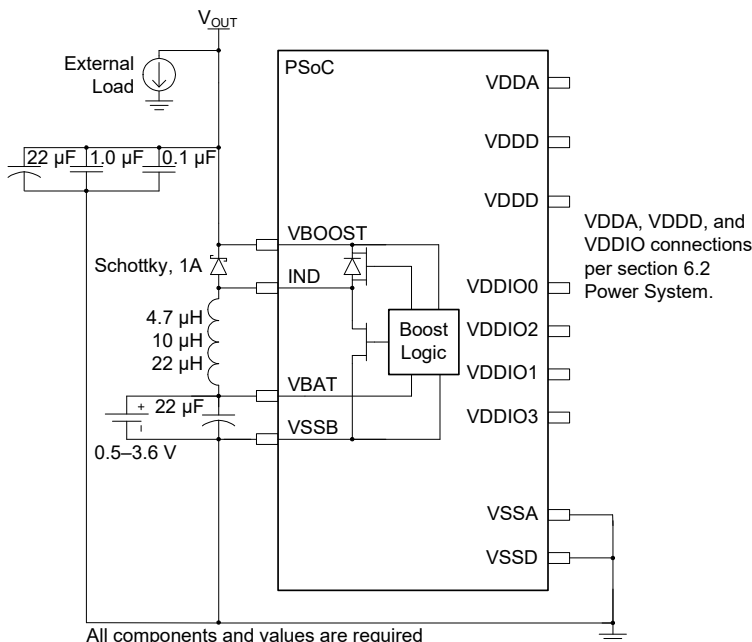
図 6-6. ブースト コンバータが PSoC デバイスに電力供給するアプリケーション



ブースト コンバータは、PSoC デバイスによって直接使用されない電源も生成できます。白色 LED を駆動するために 1.8 V の電源を 4.0 V に昇圧することはこのユース ケースの例です。ブースト コンバータは PSoC デバイスの V_{DDA} 、 V_{DDD} および V_{DDIO} に電力供給しない場合、PSoC デバイスに供給する時と同じよ

うな設計規則に準拠する必要がありますが、バルク コンデンサの要件に関して、変更があります。22 µF、1.0 µF および 0.1 µF のコンデンサの並列配置は Vout 電源上で必要とし、レギュレータ安定性を保証するために、VBOOST ピンから 1 cm 以内に配置する必要があります。

図 6-7. ブースト コンバータが PSoC デバイスに電力供給しないアプリケーション



スイッチング周波数は、ブースト コンバータ ブロック内の発振器を使用して 400 kHz に設定されます。ブースト コンバータは、アクティブ モードとスタンバイ モードの 2 種類のモードで動作します。アクティブ モードは通常の動作モードで、ブースト レギュレータから安定した出力電圧が常時得られます。スタンバイ モードでは、ほとんどのブースト機能が無効になるため、ブースト回路の消費電力を削減します。最小の電力 (一般的に $< 5 \mu\text{A}$) のみは、スリープ モードで PSoC デバイスに供給されます。ブーストは通常、アクティブ モードで $250 \mu\text{A}$ の電流、スタンバイ モードで $25 \mu\text{A}$ の電流を引き込みます。ブースト動作モードは合計消費電力を最小化するために、チップの電力モードと併せて使用する必要があります。表 6-4 にチップの各種電力モードで利用可能なブースト パワー モードを示します。

表 6-4. チップ電力モードとブースト電力モードの互換性

チップ電力モード	ブースト電力モード
チップ アクティブ または代替アクティブ モード	ブーストはアクティブ モードで動作 する必要がある
チップスリープ モード	ブーストはアクティブ、スタンバイの どちらのモードでも動作可能。ブース ト スタンバイ モードでは、チップは ブースト アクティブ モードのリフ レッシュのために定期的にウェイク アップする必要がある
チップ ハイバネート モード	ブーストはアクティブ モードで動作 可能。ただし、ブースト アクティブ モードでは消費電流が多くなるので、 チップ ハイバネート モードではブ ーストを使用しないことが推奨

6.2.2.1 ブースト ファームウェア要件

ブースト突入電流が起動時に仕様内であることを確認するために、PSoC Creator IDE で **Enable Fast IMO During Startup** オプションをチェック解除してください。PSoC Creator 内で、**Enable Fast IMO During Startup** オプションはデザイン ワイド リソース (cydwr) ファイルの **System** タブにおいて用意されます。このオプションをチェック解除すると、デバイスを設定するスタートアップの時にデバイスは 12 MHz または 48 MHz で動作します。遅いクロック速度は、ブースト回路を介しての低減した電流引き込みという結果になります。

6.2.2.2 ブースト設計手順

ブースト コンバータの正常動作は、各の設計の異なる動作条件に決定される特定のコンポーネント値を必要とします。 C_{BAT} コンデンサ、インダクタ、ショットキー ダイオードおよび C_{BOOST} コンデンサ コンポーネント (74 ページの表 11-7) は電氣的仕様に指定された値で必要とされます。可変なコンポーネントは、インダクタ L_{BOOST} のみです (このインダクタは主に動作要件でのブーストの正常動作のために、二次的に効率のためにサイズ指定)。追加の動作領域の制限は V_{OUT} 、 V_{BAT} 、 I_{OUT} および T_A に存在します。

ブースト コンバータ動作パラメーターおよび L_{BOOST} の値を決定するには、以下の手順に従ってください。

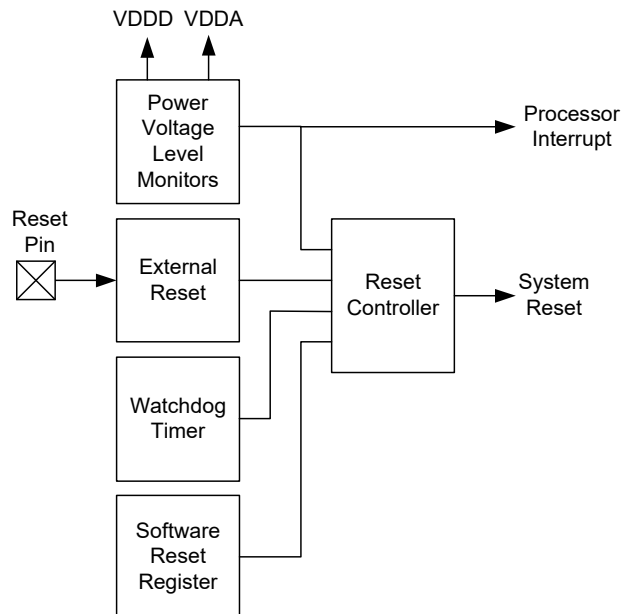
1. アプリケーション用に V_{BAT} 、 V_{OUT} 、 T_A および I_{OUT} の希望の動作条件の範囲を選択します。
2. V_{BAT} および V_{OUT} の範囲がブースト動作範囲に適合するかを、 V_{BAT} および V_{OUT} チャート (74 ページの図 11-8) による T_A の範囲に基づいて検討します。適合しない場合、動作要件を変更し、または外部のブースト レギュレータを使用します。
3. 希望の周囲温度 (T_A) の範囲が周囲温度動作範囲に適合するかを、 V_{BAT} および V_{OUT} チャート (74 ページの図 11-8) による T_A の範囲に基づいて検討します。適合しない場合、動作要件を変更してステップ 2 に戻り、または外部のブースト レギュレータを使用します。
4. 希望の出力電流 (I_{OUT}) の範囲が出力電流動作範囲に適合するかを、 V_{BAT} および V_{OUT} チャート (74 ページの図 11-9) による I_{OUT} の範囲に基づいて検討します。適合しない場合、動作要件を変更してステップ 2 に戻り、または外部のブースト レギュレータを使用します。
5. V_{BAT} および V_{OUT} チャート (74 ページの図 11-10) による L_{BOOST} の値に基づいてインダクタの許容値を見出します。
6. 許容のインダクタ値、インダクタ寸法、インダクタ コスト、ブースト効率および V_{RIPPLE} に基づいて、システム用の最適なインダクタ値を選択します。ブースト効率および V_{RIPPLE} の標準値は、**効率対 V_{BAT} および V_{RIPPLE} 対 V_{BAT} チャート** (75 ページの図 11-11 から 75 ページの図 11-14 まで) において記述されます。一般的に、高効率および低 V_{RIPPLE} が最も重要なものである場合、インダクタの最大の許容値を使用してください。低インダクタ コストまたは小さなインダクタのサイズが最も重要なものである場合、小さなインダクタの許容値を使用してください。許容のインダクタ効率、 V_{RIPPLE} 、コストまたは寸法がアプリケーションに適合しない場合、外部のブースト レギュレータを使用してください。

6.3 リセット

CY8C56LP では、内部と外部にある複数のリセット ソースを利用できます。リセット ソースは次のとおりです。

- 電源監視: アナログおよびデジタルの電源電圧 V_{DDA} 、 V_{DDD} 、 V_{CCA} および V_{CCD} が、起動、アクティブ モード、およびスリープ モードの際に、数種類のモードで監視されます。いずれかの電圧が、あらかじめ規定された範囲を超えた場合、リセットが生成されます。リセットの閾値に達する前に、ある特定の条件下でプロセッサに対し割り込みを生成するように、モニタをプログラムすることが可能です。
- 外部: リセットピン (XRES) を LOW にすることにより外部ソースからデバイスをリセットできます。XRES ピンには、 V_{DDIO1} に接続する内部プルアップが内蔵されています。リセットから復帰する前に、 V_{DDD} 、 V_{DDA} 、および V_{DDIO1} に適切な電圧が印加されている必要があります。
- ウォッチドッグ タイマー: ウォッチドッグ タイマーが、プロセッサによる命令の実行を監視します。ウォッチドッグ タイマーがある一定時間内にファームウェアによってリセットされない場合、ウォッチドッグ タイマーがリセットを生成します。
- ソフトウェア: デバイスは、プログラム制御下でリセットできます。

図 6-8. リセット



システム リセットという言葉は、プロセッサだけでなくアナログおよびデジタルの周辺デバイスとレジスタもリセットされることを意味しています。

リセット ステータス レジスタは、いくつかのリセットまたは電源電圧監視割込みを示します。プログラムによって、このレジスタを確認し、特定の例外状態を検出およびレポートできます。このレジスタは、パワーオン リセット後にクリアされます。詳細については、テクニカル リファレンス マニュアルを参照してください。

6.3.1 リセット ソース

6.3.1.1 電源電圧レベル監視

■ IPOR – 初期パワーオン リセット

初期パワーオンの時、IPOR は電源電圧 V_{DDP} 、 V_{DDA} 、 V_{CCD} および V_{CCA} を監視します。トリップレベルは精密ではありませんが、約 1V (0.75 V ~ 1.45 V) に設定されます。これは、仕様で定められた最低動作電圧未満ですが、内部回路をリセットしてそのリセット状態を保持する十分な電圧です。モニターは、幅が少なくとも 150 ns のリセット パルスを生成します。緩やかな傾斜で電圧が上昇した場合、このパルス幅はさらに広がります。

ブート後、IPOR 回路は無効にされ、電圧監視は精密低電圧リセット (PRES) 回路に渡されます。

■ PRES - 精密低電圧リセット

この回路は、電源投入後にアナログおよびデジタルの内部レギュレータの出力を監視します。レギュレータの出力は、精密基準電圧と比較されます。PRES のトリップに対する応答は、IPOR のリセットと同じです。

通常動作モードでは、プログラムによってデジタル PRES 回路を無効にすることはできません。アナログレギュレータは無効にできません。これは、PRES のアナログ部分も無効にします。スリープ モード中にレギュレータが定期的にアクティブ化され (バズされ)、監視サービスを行い、ウェイクアップ時間を短縮するという一つの例外を除き、PRES 回路はスリープおよびハイバネート モード中には自動的に無効にされます。このとき、電圧の定期的な監視を可能にするために PRES 回路も動作します。

■ ALVI、DLVI、AHVI – アナログ/デジタル低電圧割込み、アナログ高電圧割込み

割込み回路は、VDDA および VDDD が所定の電圧範囲外の場合を検出するために用意されています。AHVI の場合、VDDA を固定トリップレベルと比較します。ALVI および DLVI の場合、VDDA と VDDD を、表 6-5 に示すとおりプログラム可能なトリップレベルと比較します。ALVI および DLVI は、割込みではなくデバイスのリセットを生成するようにコンフィギュレーションすることもできます。

表 6-5. アナログ/デジタル低電圧割込み、アナログ高電圧割込み

割込み	電源	通常電圧範囲	利用可能なトリップ設定
DLVI	VDDD	1.71 V ~ 5.5 V	1.70 V ~ 5.45 V、 250 mV ステップで インクリメント
ALVI	VDDA	1.71 V ~ 5.5 V	1.70 V ~ 5.45 V、 250 mV ステップで インクリメント
AHVI	VDDA	1.71 V ~ 5.5 V	5.75 V

この監視は、IPOR が終了するまでは無効になります。スリープ モード中、これらの回路は周期的にアクティブ化されます (バズします)。バズ中に割込みが発生すると、システムはまずウェイクアップシーケンスに入ります。その後、割込みが認識され、処理できるようになります。

バズ周波数は調整可能であり、任意の電圧が範囲外にあると予期される最小時間より低く設定する必要があります。バズ周波数を調整する方法の詳細については、TRM を参照してください。

6.3.1.2 その他のリセット ソース

■ XRES - 外部リセット

PSoC 5LP には、専用の XRES ピンがあります。そのピンをアクティブ LOW にしている間、デバイスはリセット状態に保持されます。XRES に対する応答は、IPOR のリセットと同じです。

外部リセットは、アクティブ LOW です。内部プルアップ抵抗が含まれています。XRES は、スリープおよびハイバネート モード中、アクティブな状態です。

XRES がデアサートされた後、リアサートするまでに、少なくとも 10 μ s 経過する必要があります。

■ SRES - ソフトウェアリセット

リセットはソフトウェア リセット レジスタにビットをセットすることにより、プログラム制御下で命令できます。これは、プログラムにより直接に、または DMA アクセスにより間接的に行われます。SRES に対する応答は、IPOR のリセット後と同じです。

この機能を無効にするために、別のレジスタビットがあります。

■ WRES - ウォッチドッグ タイマー リセット

ウォッチドッグ リセットは、ソフトウェア プログラムが正常に実行されていない状態を検出します。正常にプログラムを実行中であることをウォッチドッグ タイマーに通知するために、プログラムは周期的にタイマーをリセットする必要があります。ユーザーが指定した時間までにタイマーがリセットされないと、リセットが生成されます。

注: IPOR は、ウォッチドッグ機能を無効にします。プログラムは、コードの適切な位置でレジスタビットをセットすることでウォッチドッグ機能を有効にする必要があります。ここでセットしたビットは、IPOR パワーオン リセット イベント以外ではクリアできません。

6.4 I/O システムおよび配線

PSoC の I/O は非常に柔軟です。すべての GPIO が、アナログ I/O およびデジタル I/O の機能を備えています。すべての I/O に多数の駆動モードがあり、これらは POR で設定されます。PSoC では、VDDIO ピンを通して最大 4 種類の独立した I/O 電圧ドメインも利用できます。

すべてのデバイスに 2 種類の I/O ピンがあり、USB 付きのものは 3 種類の I/O ピンを備えています。汎用 I/O (GPIO) と特殊 I/O (SIO) は、どちらも類似したデジタル機能を提供します。それらの主な違いは、アナログ機能と駆動能力です。USB が組み込まれたデバイスの USBIO ピンは USB 機能のほかに限定的な GPIO としての機能を提供できます。

すべての I/O ピンは、CPU とデジタル ペリフェラルの両方について、デジタル入力および出力として使用できます。さらに、すべての I/O ピンが割込みを生成できます。ピンに対する信号の割り当てを自由に指定できることから、PSoC I/O の柔軟で高度な機能により、回路デザインと基板レイアウトが大幅に容易になります。すべての GPIO ピンは、アナログ入力、CapSense^[9] および LCD セグメントの駆動に使用でき、一方、SIO ピンは、VDDA を超える電圧およびプログラム可能な出力電圧用に使用します。

■ GPIO と SIO の両方でサポートされる機能

- ユーザー プログラム可能なポート リセット状態
- 最大 4 グループの I/O に対し、独立した I/O 電源電圧供給
- デジタル ペリフェラルは DSI を使用してピンを接続
- CPU および DMA に対し入力、出力、またはその両方
- 8 種類の駆動モード
- すべてのピンを立ち上りエッジ、立ち下りエッジまたは両方のエッジとして設定された割込みソースとすることが可能

能。必要な場合、DSI を介して、レベル センシティブな割込みをサポート

- 各ポートごとの専用ポート割込みベクタ
- スループートを制御したデジタル出力駆動モード
- ポート ベースまたはピンベースのどちらかで、アクセスポート制御およびコンフィギュレーションレジスタポートベースまたはピンベースのどちらかで、アクセスポート制御およびコンフィギュレーションレジスタ
- 独立したポート読み出し (PS) とポート書き込み (DR) データレジスタによる、読み出し、修正、書き込みによるエラー回避
- ピンごとの特殊機能
- GPIO ピンにのみ用意されたその他の機能
 - LCD を備えたデバイスでの LCD セグメント駆動
 - CapSense^[9]
 - アナログ入力および出力機能
 - 連続 100μA のクランプ電流容量
 - 1.71V の低電圧まで機能する標準駆動能力
- SIO ピンにのみ用意されたその他の機能
 - GPIO よりも高いドライブ能力
 - ホット スワップ機能 (どの動作 VDD でも 5 V 耐性)
 - 1.2V までのプログラム可能な安定化された入力および出力駆動レベル
 - アナログ入力、CapSense、LCD 機能なし
 - 5.5 V までの過電圧許容範囲
 - SIO は、汎用アナログ コンパレータとして動作可能
- USBIO の特長
 - フルスピード USB 2.0 準拠の I/O
 - 汎用用途向けとして最も高い駆動能力
 - CPU および DMA に対する入力、出力、またはその両方
 - デジタルペリフェラルに対する入力、出力、またはその両方
 - デジタル出力 (CMOS) 駆動モード
 - 各ピンを、立ち上りエッジ、立ち下りエッジまたは両方のエッジとして設定した割込みソースとすることが可能

注:

9. オペアンプ出力を持つ GPIO は CapSense との使用は推奨されていません。

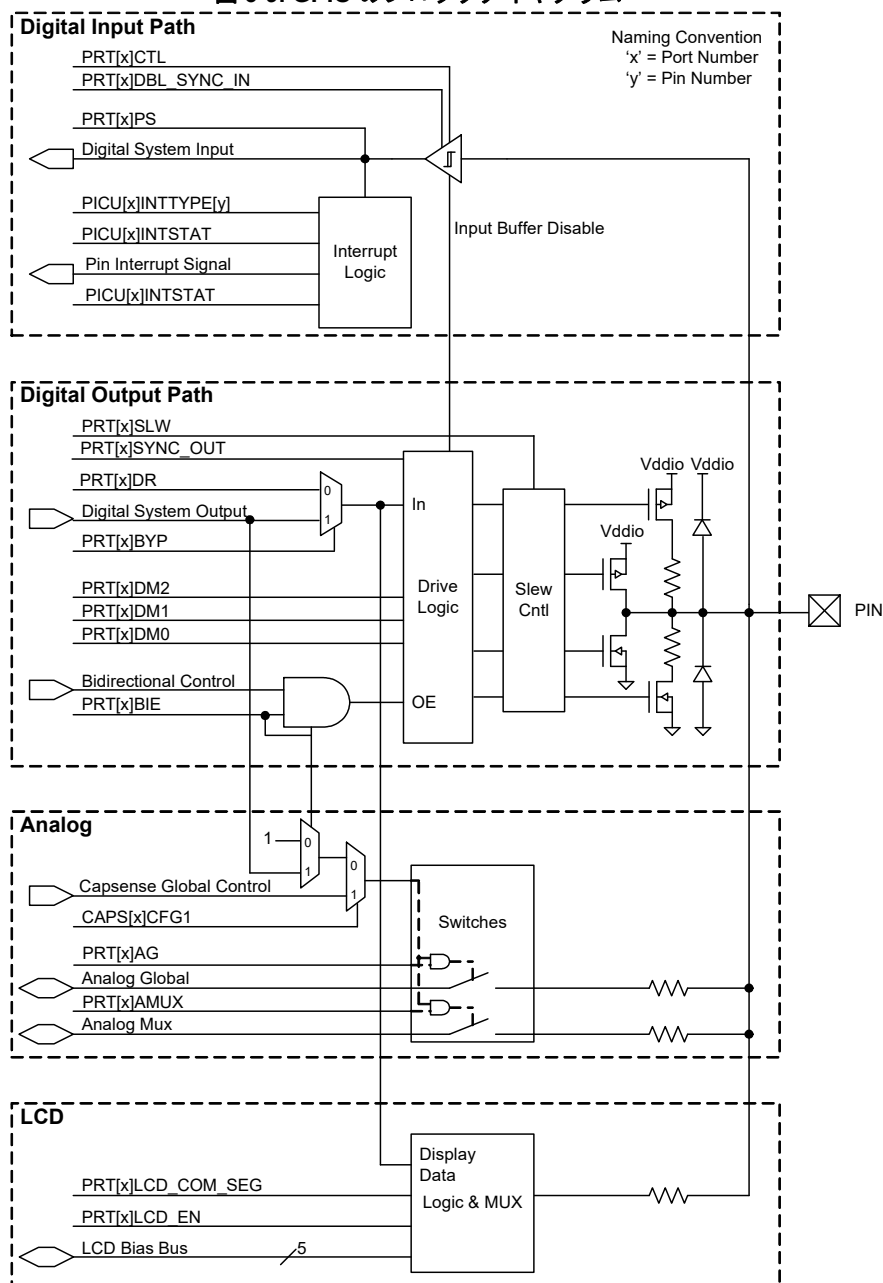
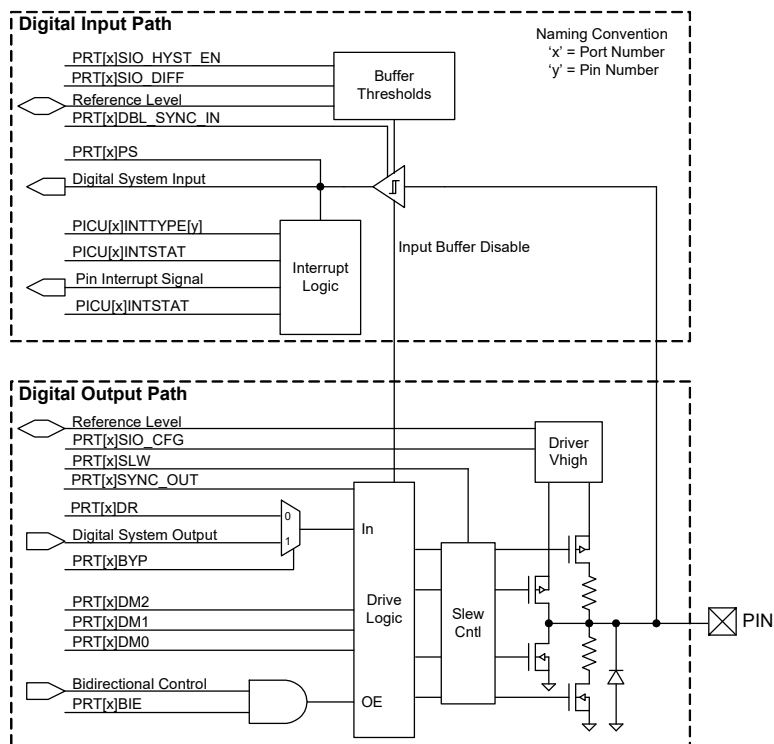
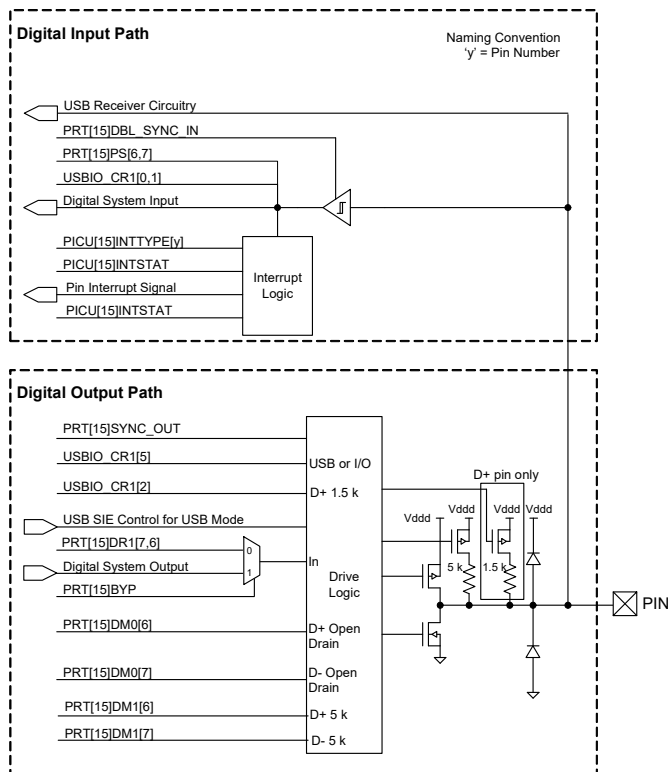
図 6-9. GPIO のブロックダイアグラム


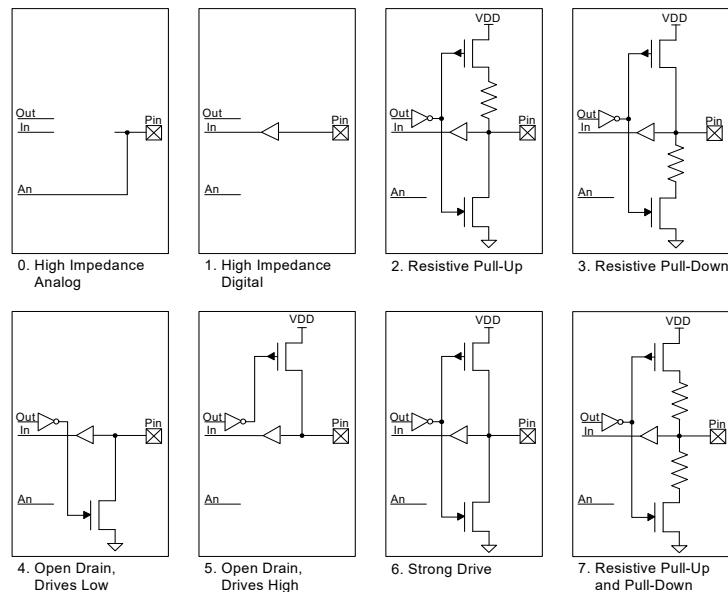
図 6-10. SIO 入力／出力のブロックダイヤグラム

図 6-11. USBIO のブロックダイヤグラム


6.4.1 駆動モード

GPIO ピンおよび SIO ピンは、表 6-6 に示す 8 種類の駆動モードのいずれかにピンごとに設定できます。ピンごとに 3 つのコンフィギュレーション ビット (DM[2:0]) を使用し、PRTxDM[2:0] レジスタで設定します。図 6-12 に、8 種類の駆動モードのそれぞれのピン配置図を示します。表 6-6 に、ポートデータ レジスタの値で決まる I/O ピンの駆動状態を示します。また、バイパス モードを選択した場合にデジタル アレイ信号

で決まる I/O ピンの駆動状態も示します。実際の I/O ピン電圧は、選択した駆動モードとピンに対する負荷の組み合わせによって決まります。たとえば、GPIO ピンを抵抗プルアップ モードに設定し、フローティング状態で HIGH に駆動した場合、ピンで測定される電圧は HIGH 論理状態となります。同じ GPIO ピンを外部でグラウンドに接続すると、電圧がピンに現れないので LOW 論理状態となります。

図 6-12. 駆動モード



The 'Out' connection is driven from either the Digital System (when the Digital Output terminal is connected) or the Data Register (when HW connection is disabled).
 The 'In' connection drives the Pin State register, and the Digital System if the Digital Input terminal is enabled and connected.
 The 'An' connection connects to the Analog System.

表 6-6. 駆動モード

ダイアグラム	駆動モード	PRTxDM2	PRTxDM1	PRTxDM0	PRTxDR = 1	PRTxDR = 0
0	高インピーダンス アナログ	0	0	0	High Z	High Z
1	高インピーダンス デジタル	0	0	1	High Z	High Z
2	抵抗プルアップ ^[10]	0	1	0	抵抗 HIGH (5K)	ストロング LOW
3	抵抗プルダウン ^[10]	0	1	1	ストロング HIGH	抵抗 LOW (5K)
4	オープンドレイン、LOW 駆動	1	0	0	High Z	ストロング LOW
5	オープンドレイン、HIGH 駆動	1	0	1	ストロング HIGH	High Z
6	ストロング駆動	1	1	0	ストロング HIGH	ストロング LOW
7	抵抗プルアップとプルダウン ^[10]	1	1	1	抵抗 HIGH (5K)	抵抗 LOW (5K)

注：

10. 抵抗プルアップおよびプルダウンは、安定化出力モードでは SIO に使用できません。

USBIO ピン (P15[7] と P15[6]) は I/O モードで有効にされた場合、駆動モードを限定的に制御します。駆動モードは、PRT15.DM0[7, 6] レジスタを使って設定されます。USBIO ピンでは、抵抗プル オプションも利用できます。これは、PRT15.DM1[7, 6] レジスタを使って有効にできます。USB モードで有効になっている場合は、駆動モード制御は、USB ピンのコンフィギュレーションに影響を与えることはありません。GPIO および SIO の設定とは異なり、ポート全体のコンフィギュレーション レジスタは、USB ドライブ モード ビットを構成しません。表 6-7 に、USBIO ピンのドライブ モード コンフィギュレーションを示します。

表 6-7. USBIO ドライブ モード (P15[7] および P15[6])

PRT15.DM1[7, 6] プルアップ有効	PRT15.DM0[7, 6] 駆動モード有効	PRT15.DR[7, 6] = 1	PRT15.DR[7, 6] = 0	説明
0	0	High Z	ストロング LOW	オープンドレイン - ストロング LOW
0	1	ストロング HIGH	ストロング LOW	ストロング出力
1	0	抵抗 HIGH (5k)	ストロング LOW	抵抗プルアップ、ストロング LOW
1	1	ストロング HIGH	ストロング LOW	ストロング出力

■ 高インピーダンス アナログ

出力ドライバとデジタル入力バッファの両方がオフになった状態のデフォルト リセット状態。これによって、フローティング電圧によって発生した電流が I/O デジタル入力バッファに流れることを防止できます。この状態は、フローティング状態のピンまたはアナログ電圧をサポートしているピンに対して推奨されます。高インピーダンスのアナログ ピンは、デジタル入力機能を備えていません。

スリープ モードでチップ電流を最も低くするには、すべての I/O を高インピーダンス アナログ モードに設定するか、または PSoC デバイスまたは外部回路によって供給される電源供給レールの電圧でそのピンを駆動します。

■ 高インピーダンス デジタル

入力バッファは、デジタル信号入力に対し有効になります。これは、デジタル入力に対し推奨される標準の高インピーダンス (HiZ) 状態です。

■ 抵抗プルアップまたは抵抗プルダウン

抵抗プルアップまたは抵抗プルダウンはそれぞれ、データ状態の一方に直列抵抗、他方にストロング駆動をします。ピンはこれらのモードにおいてデジタル入力および出力に使用できます。メカニカルスイッチへのインターフェースが、これらのモードの一般的な用途です。抵抗プルアップおよびプルダウンは安定化出力モードで SIO と共に使用できません。

■ オープン ドレイン、HIGH に駆動、およびオープン ドレイン、LOW に駆動

オープン ドレイン モードでは、データ状態の一方が高インピーダンスになり、他方がストロング駆動になります。ピンはこれらのモードにおいてデジタル入力および出力に使用できます。これらのモードの一般的な用途は、I²C バス信号ラインの駆動です。

■ ストロング駆動

HIGH または LOW の状態でストロング CMOS 出力駆動を提供します。これはピンの標準出力モードです。ストロング駆動モードのピンは、通常の状況下で入力として使用しないでください。このモードは、多くの場合、デジタル信号出力または外部 FET を駆動するために使用します。

■ 抵抗プルアップとプルダウン

抵抗プルアップと抵抗プルダウン モードと似ていますが、ピンが常に抵抗と直列になっている点が異なります。HIGH データ状態はプルアップになり、一方 LOW データ状態はプルダウンになります。このモードは、短絡を生じる可能性のある他の信号でバスが駆動される場合に最も多く使用します。抵

抗プルアップおよびプルダウンは安定化出力モードで SIO と共に使用できません。

6.4.2 ピン レジスタ

ピンのコンフィギュレーションとピンとの通信を行うレジスタは 2 つの形態で提供され、同じレジスタをどちらの形態でも使用できます。

すべての I/O レジスタは、標準ポートの形態で利用でき、この場合、レジスタの各ビットがポート ピンの 1 つに対応します。このレジスタの形態は、複数のポート ピンを同時に素早く設定し直す場合に効率的です。

I/O レジスタはピンの形態でも利用できます。この場合、最も一般的に使用する 8 つのポート レジスタ ビットを組み合わせ、ピンごとの 1 つのレジスタにします。これにより、1 回のレジスタ書き込みで、個別のピンのコンフィギュレーション変更を非常に素早く行えます。

6.4.3 双方向モード

高速の双方向機能により、補助制御バス信号の状態に基づいて、入力信号に対する高インピーダンス デジタル駆動モードと、PRTxDM[2:0] レジスタを使用して設定されたストロング駆動モードなどの、出力信号に対するユーザー選択による別の駆動モードの両方を 1 本のピンに設定できます。双方向機能は、プロセッサ バスおよび出力バッファの動的ハードウェア制御を必要とする SPI スレーブ MISO ピンなどの通信インターフェースに役立ちます。

補助制御バスは、最大 16 個の UDB またはデジタル ペリフェラルで生成されたイネーブル出力信号を 1 本以上のピンに接続します。

6.4.4 スルー レート制限モード

GPIO ピンと SIO ピンは、抵抗駆動モードではないストロング駆動モードとオープン ドレイン駆動モードで、高速と低速の 2 つの出力スルー レートのオプションを備えています。低速エッジ レート オプションは、EMI が低減されるため、速度が重要ではない (一般に 1MHz 未満の) 信号で推奨されます。高速スルー レートは、1MHz から 33MHz までの範囲の信号に使用します。スルー レートは、各ピンに対し独立に設定でき、PRTxSLW レジスタで設定します。

6.4.5 ピン 割込み

すべての GPIO ピンおよび SIO ピンは、システムに対する割込みを生成できます。各ポートの 8 本のピンはすべて、それぞれ固有のポート割込み制御ユニット (PICU) および関連する割込みベクタにインターフェースしています。ポートの各ピンは、立ち上りエッジ、立ち下りエッジの検出、両方のエッジでの割

込みを行うように、あるいは割込みを生成しないようにコンフィギュレーションできます。

ピンごとに設定したモードに基づき、ピンに割込みイベントが発生するたびに、割込みステータスレジスタの対応するステータスビットが「1」にセットされ、割込み要求が割込みコントローラに送信されます。各 PICU は、割込みコントローラ内の固有の割込みベクタのほか、ピンステータスレジスタも備えており、ピンのレベルで割込みソースを容易に判断できます。

ポートピン割込みは、すべてのスリープモードにおいてアクティブのままであるため、PSoC デバイスは、外部で生成された割込みによってウェイクアップできます。レベルセンシティブな割込みは直接サポートされていません。必要な時は汎用デジタルブロック (UDB) がこの機能をシステムに提供します。

6.4.6 入力バッファモード

GPIO および SIO の入力バッファは、デフォルトの CMOS 入力閾値用またはオプションの LVTTTL 入力閾値用として、ポートレベルでコンフィギュレーションできます。すべての入力バッファにシュミットトリガが組み込まれ、入力ヒステリシスが設けられています。さらに、どの駆動モードにおいても、個別のピン入力バッファを無効にできます。

6.4.7 I/O 電源

デバイスおよびパッケージに応じて、最大で 4 つの I/O ピン電源が用意されています。それぞれの I/O 電源電圧は、チップのアナログピンの電圧 (VDDA) 以下でなければなりません。この機能によって、ユーザーはデバイス上のピンごとに異なる I/O 電圧レベルを設定できます。ある特定のポートおよびピンについて VDDIO の能力を知るには、具体的なデバイスパッケージのピン配置を参照してください。SIO ポートピンは、**調整可能な出力レベル**に記載されているとおり、その他の安定化した高い出力能力をサポートしています。

6.4.8 アナログ接続

アナログ接続は GPIO ピンのみに適用されます。すべての GPIO ピンは、アナログ入力または出力として使用できます。ピン上に与えられるアナログ電圧は、GPIO を含む VDDIO の電源電圧より低くなければなりません。アナロググローバルバスの 1 つまたはアナログマルチプレクサバスの 1 つに GPIO ピンを接続することで、ADC やコンパレータなどの任意の内部アナログリソースに任意のピンを接続できます。さらに、選択されたピンで、高電流 DAC やオペアンプのような特定のアナログ機能に直接接続できます。

6.4.9 CapSense

この節は GPIO ピンのみに適用されます。すべての GPIO ピンを、CapSense のボタンとスライダーの作成に使用できます [11]。詳細は、60 ページの「CapSense」を参照してください。

6.4.10 LCD セグメント駆動

この節は GPIO ピンのみに適用されます。任意の GPIO ピンを使用してセグメント駆動信号と一般的な駆動信号を生成することで、LCD を直接駆動できます。詳細は 59 ページの「LCD 直接駆動」を参照してください。

6.4.11 調整可能な出力レベル

この節は SIO ピンのみに適用されます。SIO ポートピンは、その SIO の VDDIO よりも電圧が低い外部信号へのインターフェースに対し、安定化した HIGH 出力レベルを供給する機能をサポートしています。SIO ピンは、標準 V_{DDIO} レベル、ま

たは内部で生成されたリファレンスに基づく安定化出力のどちらかを出力するよう、個別にコンフィギュレーション可能です。一般的に、電圧 DAC (VDAC) は、リファレンスを生成するために使用されます (図 6-13 を参照してください)。60 ページの「DAC」には、VDAC の使用のほか、SIO ピンへのリファレンス接続に関するさらに詳しい情報が記載されています。抵抗プルアップおよびプルダウンモードは、安定化出力モード下の SIO と共に使用できません。

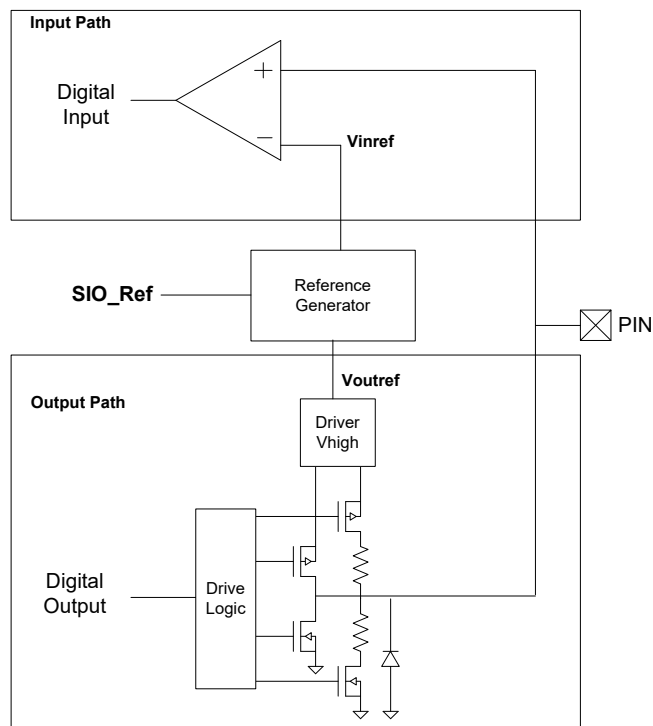
6.4.12 調整可能な入力レベル

この節は SIO ピンのみに適用されます。SIO ピンは、デフォルトで標準 CMOS および LVTTTL 入力レベルをサポートしていますが、プログラム可能なレベルを持つ差動モードもサポートしています。SIO ピンは、ペアにグループ分けされています。各ペアはリファレンス生成器ブロックを共用し、そのブロックを使用し、VDDIO とは異なる電圧の外部信号へのインターフェースに対してデジタル入力バッファリファレンスレベルを設定します。このリファレンスによって、論理 HIGH レベルに対するピン電圧閾値が設定されます (図 6-13 を参照してください)。利用可能な入力閾値は次のとおりです。

- $0.5 \times VDDIO$
- $0.4 \times VDDIO$
- $0.5 \times VREF$
- VREF

一般的に、電圧 DAC (VDAC) によってリファレンス電圧 VREF が生成されます。60 ページの「DAC」には、VDAC の使用のほか、SIO ピンへのリファレンス接続に関するさらに詳しい情報が記載されています。

図 6-13. 入力と出力の SIO 基準電圧



注:

11. オペアンプ出力を持つ GPIO は CapSense との使用は推奨されていません。

6.4.13 コンパレータとしての SIO

この節は SIO ピンのみに適用されます。**調整可能な入力レベル**節で説明した、SIO の調整可能な入力レベル機能を使用して、コンパレータを構成できます。コンパレータの閾値は、SIO のリファレンス生成器から得られます。リファレンス生成器では、アナログ グローバル ラインから送られるアナログ信号をコンパレータの閾値として設定できます。対となる SIO ピンが同じ閾値を共有することにご注意ください。

35 ページの図 6-10 のデジタル入力パスで、この機能を示します。この図で、「リファレンス レベル」は、アナログ グローバル経由で送られるアナログ信号です。SIO の入力バッファ向けヒステリシス機能を有効にすることで、コンパレータのノイズ耐性を高くできます。

6.4.14 ホット スワップ

この節は SIO ピンのみに適用されます。SIO ピンは、PSoC デバイ스에電源が供給されていない場合でも、SIO ピンに接続された信号を読み出せずにアプリケーションにプラグインできる「ホット スワップ」という機能をサポートしています。これにより、電源がオフになっている PSoC でも外部デバイスに対して高インピーダンス負荷を維持できると同時に、SIO ピンの保護ダイオードを介した PSoC への電力供給も防止できます。動作中の I2C バスに接続している間にデバイスをオン/オフにすると、SIO ピンに過渡状態が発生することがあります。全体の I2C バス設計では、これについて注意する必要があります。

6.4.15 過電圧許容範囲

すべての I/O ピンは、どの動作 VDD でも過電圧の許容範囲を持っています。

- SIO ピンは、外部回路に対し高インピーダンス負荷となるため、電流の制限はありません。
- GPIO ピンは、電流制限抵抗を使用して 100 µA に制限しなければなりません。GPIO ピンは、ピン電圧を VDDIO 電源電圧よりも、およそダイオード 1 個分高い値に固定します。
- GPIO ピンをアナログ入出力用に設定している場合は、ピン上のアナログ電圧がその GPIO の VDDIO 電圧を超えないようにする必要があります。

この機能の一般的な用途は、さまざまなデバイスが異なる供給電圧で動作している I2C などのバスへの接続です。I2C の場合、SIO ピンがオープンドレイン、LOW 駆動のモードに PSoC チップを設定します。これにより、I2C バス電圧を PSoC のピン電源電圧よりも高い値に外部でプルアップできます。たとえば、PSoC チップは 1.8 V で、外部デバイスは 5 V から動作させられます。SIO ピンの VIH 電圧レベルと VIL 電圧レベルは、対応する VDDIO 電源ピンでの電圧によって決められることに注意してください。

SIO ピンは、0 (高インピーダンス アナログ)、1 (高インピーダンス デジタル)、または 4 (オープン ドレイン駆動 LOW) のモードの内の 1 つのモードに移行する必要があります。詳細は図 6-12 を参照してください。すべての I/O ピンについて、デバイスの絶対最大定格を順守する必要があります。

6.4.16 リセットのコンフィギュレーション

リセットがアクティブである間、すべての I/O はリセットされ、高インピーダンスのアナログ状態のまま維持されます。リセットが解除された後、状態はポートごとにプルダウンまたはプルアップに再設定できます。正しいリセット動作を保証するために、ポートのリセット コンフィギュレーション データは専用の不揮発性レジスタに保存されます。保存されたリセット データは、リセット解除時にポート リセット コンフィギュレーション レジスタに自動的に転送されます。

6.4.17 低消費電力機能

どの低消費電力モードでも、I/O ピンの状態は、デバイスがウェイクアップしてその状態が変更またはリセットされるまで保持されます。デバイスをウェイクアップするには、ピン割込みを使用します。その理由は、どの低消費電力モードでもポート割込みロジックが機能を持続できるからです。

6.4.18 特別なピンの機能

デバイスのいくつかのピンは、GPIO または SIO の機能に加えて特別な機能が追加されています。特別な機能のピンを 7 ページの「ピン配置」に示します。特別な機能は次のとおりです。

■ デジタル

- 4 ~ 25 MHz 水晶発振器
- 32.768 kHz 水晶発振器
- I2C アドレス一致時にスリープからウェイクアップ。スリープからのウェイクアップが不要な場合は、任意の I/O ピンを I2C に使用可能
- JTAG インターフェース ピン
- SWD インターフェース ピン
- SWV インターフェース ピン
- TRACEPORT インターフェース ピン
- 外部リセット

■ アナログ

- オペアンプ入力および出力
- 高電流 IDAC 出力
- 外部リファレンス入力

6.4.19 JTAG バウンダリ スキャン

デバイスは、基板レベルのテスト用として、すべてのピンで標準の JTAG バウンダリ スキャン チェーンをサポートしています。

7. デジタル サブシステム

プログラム可能なデジタル システムにより、アプリケーションに応じて標準的、もしくは高度なデジタル ペリフェラルおよびカスタム ロジック機能を組み合わせられます。これらのペリフェラルおよびロジックは相互接続に加え、デバイス上の任意のピンとの接続も可能で、高度なデザインの柔軟性と IP セキュリティを実現します。

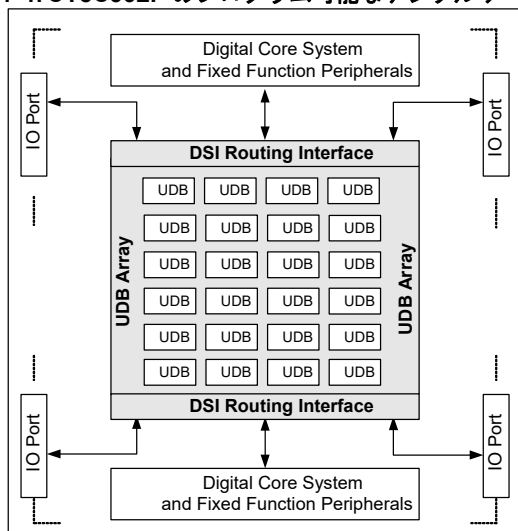
プログラム可能なデジタル システムの特長について概要をここに示し、その機能とアーキテクチャの概観を示します。設計者は、プログラム可能なデジタル システムとハードウェア、レジスタのレベルで直接細かな設定をする必要はありません。PSoC Creator によって高レベルの回路図キャプチャ グラフィカル インターフェースが提供され、PLD と同様にリソースが自動的に配置および配線されます。

プログラム可能なデジタル システムの主なコンポーネントは次のとおりです。

- ユニバーサル デジタル ブロック (UDB) - これは、プログラム可能なデジタル システムの中核機能を形成します。UDB は、一般的な組込みペリフェラルや、アプリケーションやデザインそれぞれにカスタマイズされた機器を作成するために最適化されたロジック (PLD) および構造ロジック (データパス) を集めたものです。
- ユニバーサル デジタル ブロック アレイ - UDB がプログラム可能な相互接続によりマトリックス状に配置されています。この UDB アレイはどこでも同じ構造になっているため、アレイ上にデジタル機能を柔軟にマッピングできます。このアレイは、UDB とデジタル システム インターコネクトの間の幅広い柔軟な配線相互接続をサポートします。

- デジタル システム相互接続 (DSI) - ユニバーサル デジタル ブロック (UDB)、機能固定ペリフェラル、I/O ピン、割込み、DMA およびその他のシステムのコア信号からのデジタル信号は、デジタル システム相互接続に接続され、最大限のデバイス相互接続を可能にします。DSI はユニバーサル デジタル アレイと併用することで、任意のデジタル機能を任意のピンに割り当てられるほか、さまざまな機能のルーティングをすることが可能です。

図 7-1. CY8C56LP のプログラム可能なデジタルアーキテクチャ



7.1 ペリフェラルの例

CY8C56LP ファミリーのユニバーサル デジタル ブロック (UDB) およびアナログ ブロックの柔軟性によって、ユーザーはさまざまなコンポーネント (ペリフェラル) を作成できます。最も一般的なペリフェラルは、サイプレスによって作成および性能評価が行われ、PSoC Creator のコンポーネント カタログに表示されていますが、ユーザーも、PSoC Creator を使用して独自のカスタム コンポーネントを作成できます。ユーザーは PSoC Creator を使用して、たとえばセンサー インターフェースや独自のアルゴリズム、ディスプレイ インターフェースなどの独自コンポーネントを作成し、自分の組織内で再使用もできます。

PSoC Creator から利用できるコンポーネントは、データ シートに記載するには難しいほど、数多くあります。また、これらのコンポーネントは常に増加を続けています。CY8C56LP ファミリーの中で使用可能なコンポーネントであって、このデータシートに明示的に記載されていないものの例は、UART コンポーネントです。

CY8C56LP ファミリーについて、PSoC Creator の中で利用できるデジタル コンポーネントの例を以下に示します。コンポーネントによって使用される正確なハードウェア リソース (UDB、配線、RAM、フラッシュ) は、そのコンポーネントについて PSoC Creator の中で選択した機能によって変わります。

- 通信
 - I²C
 - UART
 - SPI
- 関数
 - EMIF
 - PWM

- タイマー
- カウンター
- ロジック
 - NOT (論理否定)
 - OR
 - XOR (排他的論理和)
 - AND

7.1.1 アナログ コンポーネントの例

CY8C56LP ファミリーについて、PSoC Creator の中で利用できるアナログ コンポーネントの例を以下に示します。コンポーネントによって使用される正確なハードウェア リソース (SC/CT ブロック、配線、RAM、フラッシュ) は、そのコンポーネントについて PSoC Creator の中で選択した機能によって変わります。

- アンプ
 - TIA
 - PGA
 - オペアンプ
- ADC
 - デルタシングマ
 - 逐次比較 (SAR)
- DAC
 - 電流
 - 電圧
 - PWM
- コンパレータ
- ミキサ

7.1.2 システム ファンクション コンポーネントの例

CY8C56LP ファミリーについて、PSoC Creator の中で利用できるシステム ファンクション コンポーネントの例を以下に示します。コンポーネントによって使用される正確なハードウェア リソース (UDB、DFB タップ、SC/CT ブロック、配線、RAM、フラッシュ) は、そのコンポーネントについて PSoC Creator の中で選択した機能によって変わります。

- CapSense
- LCD 駆動
- LCD 制御
- フィルタ

7.1.3 PSoC Creator を使用したデザイン

7.1.3.1 一般的な IDE を超えた IDE

優れたデザイン ツールは、デザインの複雑度にかかわらず迅速な開発と配備を可能にします。また、学習の必要性を最小限に抑え、新しいデザインを実稼働環境に統合するのに必要な作業を簡素化します。

PSoC Creator はそうしたデザイン ツールです。

PSoC Creator は、フル機能のハードウェアおよびソフトウェア デザイン用統合開発環境 (IDE) です。特に PSoC デバイスに最適化されており、最新の強力なソフトウェア開発プラットフォームに洗練されたグラフィカルなデザイン入力ツールが組み合わされています。この独自の組み合わせにより、現在最も柔軟な組込みデザイン プラットフォームとなっています。

グラフィカルなデザイン入力により、特定部分のコンフィギュレーション作業が簡素化されます。設計者は、コンポーネントの多彩なカタログから必要な機能を選択し、デザインに組み込みます。コンポーネントはすべてパラメータ化されており、必要に応じて機能をカスタマイズできるエディタ ダイアログが用意されています。

PSoC Creator は、自動的にクロックを設定し、ユーザーが選択したピンに I/O を接続し、次に API を生成して、アプリケーションがハードウェア全体を制御できるようにします。PSoC デバイスのコンフィギュレーション変更は、新しいコンポーネントを追加し、そのパラメータを設定し、プロジェクトを再ビルドするだけの簡単な作業です。

ユーザーは、開発のどの段階でも自由にハードウェアのコンフィギュレーションを変更でき、ターゲット プロセッサさえも変更が可能です。ユーザーのアプリケーション（ハードウェアおよびソフトウェア）のターゲットを新しいデバイスに変更するには、たとえば 8 ビット ファミリーから 32 ビット ファミリーへの変更の場合でも、新しいデバイスを選択し、再ビルドするだけです。

さらに、別の C コンパイラに変更し、その性能を評価することもできます。コンポーネントは携帯できるよう設計されており、すべてのファミリのデバイス、すべてのサポートされているツール チェーンに対応できます。コンパイラの切り替えは、プロジェクト オプションを編集して生成される API やブート モードでエラーのないアプリケーションを再ビルドして容易に行います。

7.1.3.2 コンポーネント カタログ

コンポーネント カタログとは、デバイス機能を選択して PSoC デバイスをカスタマイズするための再利用可能なデザイン要素を集めたものです。ロジック ゲートやデバイス レジスタなどの単純な基本要素から、デジタル タイマー、カウンタ、PWM、さらには ADC、DAC、フィルタなどのアナログ コンポーネントや、I²C、USB、CAN などの高度な通信プロトコルまで、精選された内容が含まれています。利用可能なペリフェラルの詳細は、40 ページの「ペリフェラルの例」を参照してください。内容はすべて十分に特性評価され、推奨コード例、AC/DC 仕様およびユーザー コードが用意されている API とともに、データシートに記載されています。

7.1.3.3 デザインの再利用

シンボル エディタを使用すれば、再利用可能なコンポーネントを開発でき、それによって将来のデザイン時間を大幅に短縮することが可能です。ユーザーはシンボルを描き、そのシンボルを実証済みのデザインに関連付けるだけです。PSoC Creator では、新しいシンボルをコンポーネント カタログ内の任意の場所に、サイプレスが提供するコンポーネントとともに置けます。その後、実装の詳細に立ち返る必要はなく、何度でも任意のプロジェクトでコンテンツを再利用できます。

7.1.3.4 ソフトウェア開発

ツールには、高度にカスタマイズ可能なユーザー インターフェースが付いています。これには、プロジェクト管理、C およびアセンブラ ソース コード用の統合エディタのほか、デザイン入力ツールも含まれます。

プロジェクト ビルド管理は、Arm 社、Keil™、などトップレベルの市販製品メーカーのコンパイラ技術を利用しています。コード サイズまたは最終製品の配布に制限がない無償版の Keil C51 および Arm 用 GNU C コンパイラ (GCC) が、このツールのディストリビューションに含まれています。プロフェッショ

ナル版の Keil C51 製品および Arm RealView™ コンパイラがサポートされているため、その他の最適化コンパイラへのアップグレードは容易です。

7.1.3.5 使いやすいデバッグング

PSoC Creator のデバッガでは、すべてのデバイスで JTAG (4 線) および SWD (2 線) のデバッグ接続が用意されているため、最小限の命令でターゲット デバイスの完全な制御が可能です。ブレークポイントおよびコード実行コマンドは、すべて、ツールバーのボタンから直ちに使い、充実したウィンドウ群 (レジスタ、ローカル、ウォッチ、呼び出しスタック、メモリ、ペリフェラル) によって、他に類のないレベルでシステム内を見通せます。

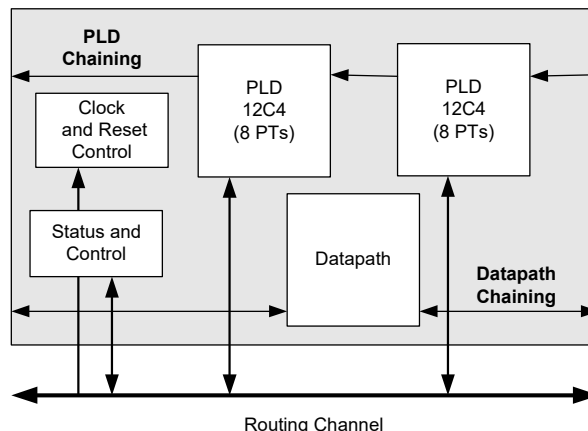
PSoC Creator は、ユーザーがデザインを完成させ、その後、将来にわたってメンテナンスと拡張を行うために必要なすべてのツールを備えています。デザイン フローのすべてのステップが慎重に統合化および最適化されているため、使いやすく、またユーザーの生産性が最大化されます。

7.2 ユニバーサル デジタル ブロック

ユニバーサル デジタル ブロック (UDB) は、次世代の PSoC 組み込みデジタルペリフェラル機能への斬新な一歩を表しています。第 1 世代の PSoC デジタル ブロックのアーキテクチャでは、少数の固定機能と少数のオプションのみが利用可能な大まかなプログラマビリティが提供されています。新しい UDB アーキテクチャでは、コンフィギュレーションのきめ細かさの実装の効率との間に最適なバランスが成り立っています。この手法の土台は、アプリケーションの要件に合わせてデバイスのデジタル動作をカスタマイズできる機能を提供することです。

これを実現するために、UDB は、ロジック (PLD)、構造ロジック (データパス) およびこれらの要素、I/O 接続、その他のペリフェラルの間の相互接続を提供する柔軟なルーティング方式の組み合わせで構成されています。UDB の機能は、1 つの UDB の中あるいは 1 つの UDB の一部分の中 (未使用のリソースは他の機能に利用可能) にさえ実現される単純な自己完結型機能から、複数の UDB を必要とするより複雑な機能にまでわたります。基本機能の例はタイマー、カウンタ、CRC ジェネレータ、PWM、デッド バンド ジェネレータおよび UART、SPI および I²C などの通信機能です。また、PLD ブロックおよび接続性は、フル機能の汎用プログラマブルなロジックを使用可能なリソースの範囲内で供給します。

図 7-2. UDB のブロックダイアグラム



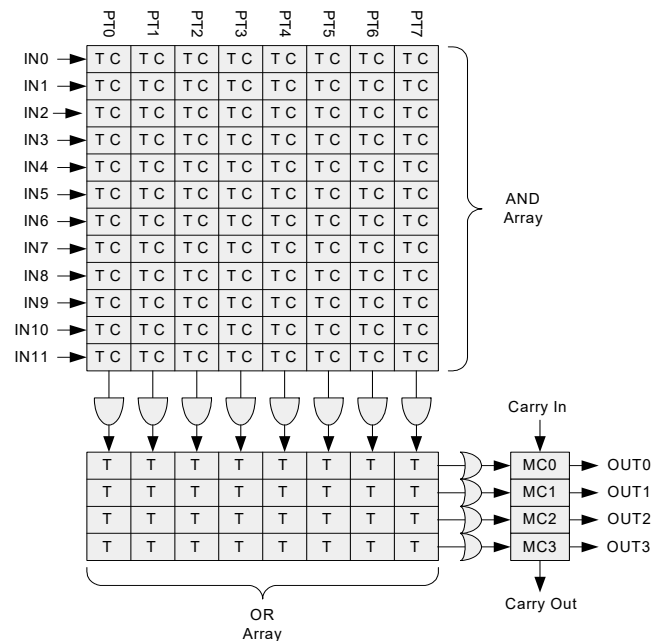
UDB の主なコンポーネント ブロックは次のとおりです。

- **PLD ブロック** — UDB あたり 2 個の小さい PLD があります。これらのブロックは、配線アレイから入力を取り、レジスタードまたは組み合わせ積和ロジックを形成します。PLD は、ステート マシン、状態ビットおよび組み合わせ論理式を実現するために使用します。PLD コンフィギュレーションは、グラフィカルな基本要素から自動的に生成されます。
- **データパス モジュール** — この 8 ビット幅のデータパスには、動的に構成可能な ALU を実現する構造化ロジック、各種の比較コンフィギュレーションおよび条件生成が含まれています。このブロックには、入力/出力 FIFO も含まれていますが、これは、CPU/DMA システムと UDB の間の主要な並列データ インターフェースです。
- **ステータスおよび制御モジュール** — このブロックの主な役割は、CPU ファームウェアが UDB 動作とやりとりおよび同期するための手段を提供することです。
- **クロックおよびリセット モジュール** — このブロックは、UDB のクロックおよびリセットの選択と制御を提供します。

7.2.1 PLD モジュール

PLD ブロックの主な目的は、ロジック表現、ステート マシン、シーケンサ、ルックアップ テーブル、およびデコーダを実現することです。最も簡単な使用モデルでは、PLD ブロックをその上に汎用 RTL が合成およびマッピングされるスタンドアローンのリソースとみなします。より一般的で効率的な使用モデルは、PLD とデータパス ブロックの組み合わせによるデジタル機能の作成で、この場合、PLD によってランダム論理と機能の状態部分のみを実現し、一方、データパス (ALU) によって、より構造化された要素を実現します。

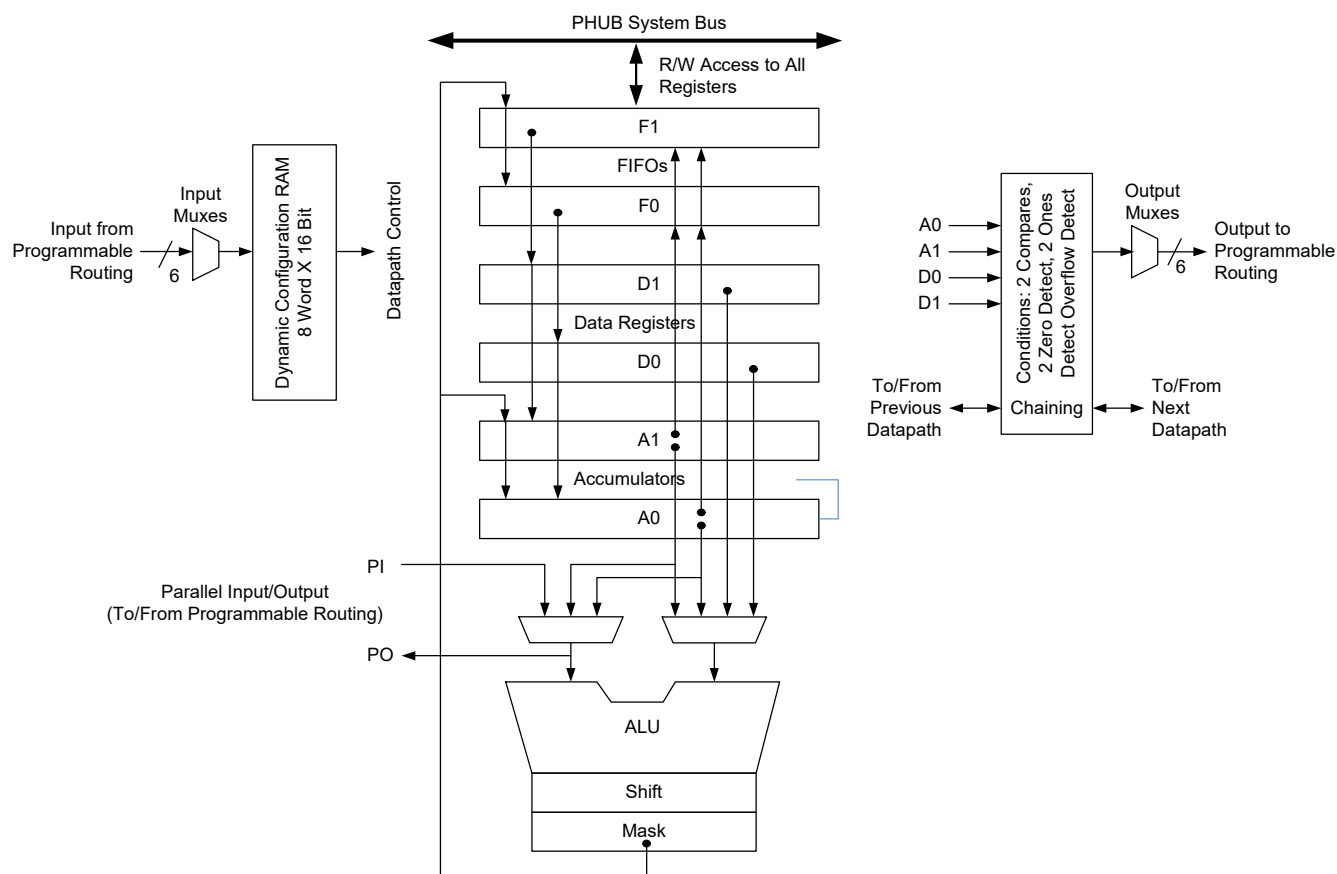
図 7-3. PLD 12C4 の構造



1 個の 12C4 PLD ブロックを図 7-3 に示します。PLD には 12 の入力があり、これらが 8 つのプロダクト タームにわたって供給されます。各プロダクト ターム (AND 機能) は、入力幅を 1 ~ 12 にでき、ある与えられたプロダクト タームにおいて各入力の真 (T) または補数 (C) を選択できます。プロダクト タームを合計して (OR 機能)、PLD 出力が生成されます。合計は、1 ~ 8 プロダクト タームの幅にできます。12C4 内の「C」は、OR ゲートの幅 (この場合の 8) が、すべての出力にわたり一定である (22V10 デバイスの場合のように変数ではない) ことを示しています。この PLA のような構造によって最大限の柔軟性が得られ、また、すべての入力と出力が入れ替え可能であることが保証されるため、ソフトウェア ツールによる割り付けを容易に行えます。各 UDB に 2 個の 12C4 PLD があります。

7.2.2 データパス モジュール

データパスには、8 ビット シングル サイクル ALU と、関連する比較および条件生成ロジックが含まれています。このデータパス ブロックは、タイマー、カウンタ、積分器、PWM、PRS、CRC、シフタ、デッドバンド ジェネレータ、その他多数の組込み機能を実現するために最適化されています。

図 7-4. データパスの最上位


7.2.2.1 ワーキング レジスタ

データパスには主なワーキング レジスタが 6 個あり、通常の操作で CPU ファームウェアまたは DMA からアクセスされます。

表 7-1. データパス ワーキング レジスタ

ピン名	機能	説明
A0、A1	アキュムレータ	ALU のソースとシンクであり、比較のソース
D0、D1	データ レジスタ	ALU のソースであり、比較のソース
F0、F1	FIFO	システム バスへの主要なインターフェース。データ レジスタおよびアキュムレータのデータソースとすることが可能であり、アキュムレータまたは ALU からデータを取り込むことも可能。各 FIFO の深さは 4 バイト

7.2.2.2 ダイナミック コンフィギュレーション RAM

動的コンフィギュレーションとは、シーケンサの制御下で、サイクルごとにデータパスの機能および内部コンフィギュレーションを変更する機能のことです。これは、8 ワード × 16 ビットのコンフィギュレーション RAM を使用して実現され、この RAM に他と重複しない 8 ワード × 16 ビット幅のコンフィギュレーションが保存されます。この RAM へのアドレス入力によ

てシーケンスが制御されます。このアドレス入力は、UDB 配線マトリックスに接続した任意のブロック (最も一般的なものは、PLD ロジック、I/O ピン) から得られるほか、このブロックまたは他のデータパス ブロックの出力からも得られます。

ALU

ALU は、8 つの汎用機能を実行します。それらは以下のとおりです。

- インクリメント
- デクリメント
- 加算
- 減算
- 論理 AND
- 論理 OR
- 論理 XOR
- シフトレジスタ、マスク、または別の UDB レジスタに ALU を介して値を渡すために使用されるパス。

ALU の動作とは独立に、以下の機能を利用できます。

- 左シフト
- 右シフト
- ニブルのスワップ
- ビット単位の OR マスク

7.2.2.3 条件付き

各データパスには、ビット マスキングのオプションを備えた 2 つの比較があります。比較オペランドには、さまざまなコンフィギュレーションの、2 つのアクümüレータと 2 つのデータレジスタが含まれます。その他の条件として、ゼロ検出、すべて 1 の検出およびオーバーフローがあります。これらの条件が主要なデータパス出力で、これらの中から選択したものを、UDB 配線マトリックスに出力できます。条件付き計算では、内蔵されている近接 UDB へのチェーン接続を使用し、配線リソースは不要で、より広いデータ幅で動作できます。

7.2.2.4 可変 MSB

算術関数およびシフト関数の最上位ビットは、プログラムによる指定が可能です。これは、可変幅 CRC および PRS 機能をサポートし、ALU の出力マスキングと組み合わせて、任意の幅のタイマー、カウンタ、およびシフト ブロックを実現できます。

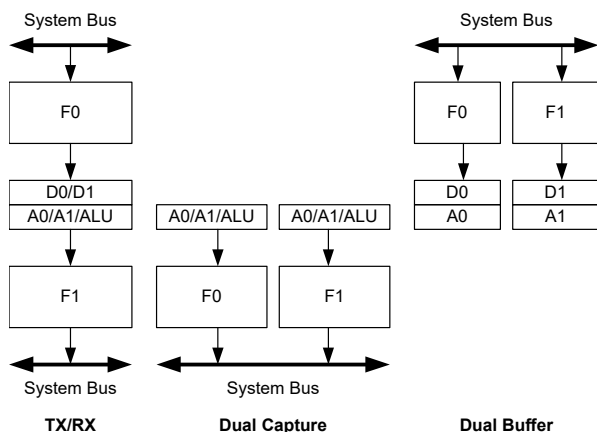
7.2.2.5 内蔵 CRC/PRS

データパスは、シングル サイクル巡回冗長検査 (CRC) の計算および任意幅、任意多項式の疑似ランダム シーケンス (PRS) 生成に対するサポートを内蔵しています。8 ビットよりも長い CRC/PRS 機能は、PLD ロジックと組み合わせて実現でき、あるいは、内蔵のチェーン接続を使用してこの機能を隣接 UDB に拡張できます。

7.2.2.6 入力/出力 FIFO

各データパスには、深さ 4 バイトの FIFO が 2 つ含まれ、これらは独立に、入力バッファ (システム バスが FIFO に書き込み、データパスが内部的にこの FIFO を読み取る) として、または出力バッファ (データパスが内部的に FIFO に書き込み、システム バスがこの FIFO から読み取る) としてコンフィギュレーションできます。FIFO は、データパスの出力として選択可能なステータスを生成できるため、配線に出力して、シーケンサ、割込み、または DMA とやりとりできます。

図 7-5. FIFO のコンフィギュレーションの例



7.2.2.7 チェーン接続

データパスは、桁上げやシフト データなどの条件および信号を、近接するデータパスにチェーン接続し、より高精度の算術、シフト、CRC/PRS 機能を作るようにコンフィギュレーションできます。

7.2.2.8 時分割多重化

オーバーサンプリングされたアプリケーションまたは高いクロック速度を必要としないアプリケーションでは、データパス内の単一 ALU ブロックを、2 組のレジスタと条件生成器で効率的に共用できます。ALU からのデータの桁上げおよびシフトアウトはレジスタに記憶されるため、後に続くサイクルで入力として選択できます。これにより、1 つの (8 ビット) データパスで 16 ビットの機能に対応します。

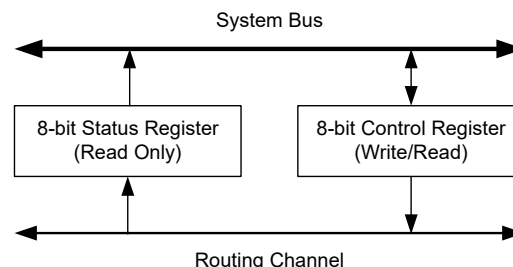
7.2.2.9 データパス I/O

データパスを配線マトリックスに接続する入力と出力は、それぞれ 6 本あります。配線からの入力によって、各サイクルで実行するデータパス動作についてのコンフィギュレーションおよびシリアル データ入力が与えられます。入力は、他の UDB ブロック、他のデバイス ペリフェラル、デバイス I/O ピン、その他から接続できます。配線への出力は、生成された条件およびシリアル データ出力から選択できます。出力は、他の UDB ブロック、デバイス ペリフェラル、割込みコントローラおよび DMA コントローラ、I/O ピン、その他に接続できます。

7.2.3 ステータスおよび制御モジュール

この回路の主な目的は、CPU ファームウェアと内部 UDB 動作とのやりとりを調整することです。

図 7-6. ステータスおよび制御レジスタ



制御レジスタのビットは、システム バスによって書き込みが可能で、これを使用して配線マトリックス内にドライブし、ファームウェアで UDB 処理の状態を制御することを可能にします。ステータス レジスタは読み出し専用になっており、これを使って、内部配線から直接 UDB 内部の状態をシステム バスに読み出せます。これにより、ファームウェアは UDB 処理の状態を監視できます。これらのレジスタの各ビットは、配線マトリックスへの接続がプログラム可能になっており、アプリケーションの要件に応じて配線接続を行います。

7.2.3.1 使用例

制御入力の例として、制御レジスタ内の 1 つのビットを機能イネーブルビットとして割り付けられます。機能を有効にする方法はいくつかあります。1 つの方法として、制御ビット出力を 1 つまたは 2 つ以上の UDB 内のクロック制御ブロックに接続し、選択した UDB ブロックに対するクロック イネーブルの役割を持たせることが考えられます。ステータスの例は、PLD またはデータパス ブロックが、「比較が真」などの条件を生成しており、これがステータス レジスタによってキャプチャおよびラッチされ、次に CPU ファームウェアによって読み取られる (およびクリアされる) 場合です。

7.2.3.2 クロック生成

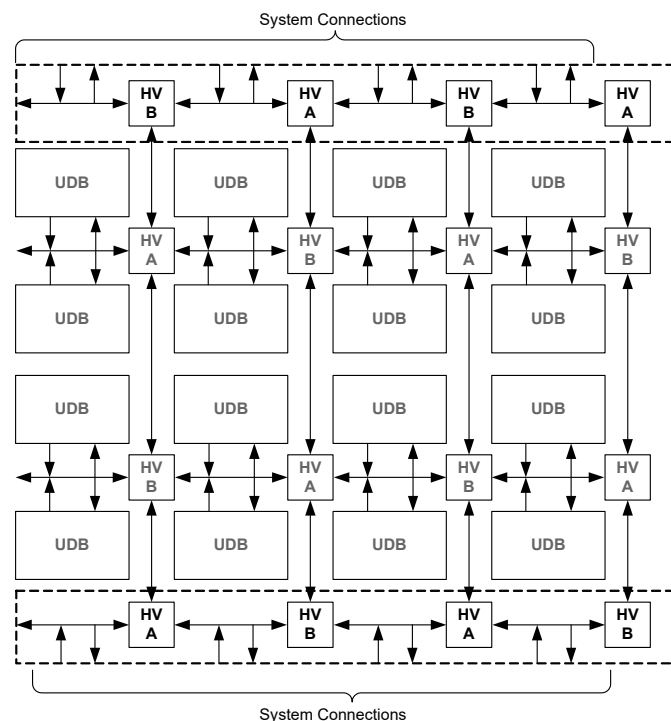
2 つの PLD、データパスおよびステータスと制御を含む UDB の各サブコンポーネント ブロックは、クロック選択および制御ブ

ロックを備えています。これにより、UDB コンポーネント ブロックへ細かくクロック リソースが割り当てられ、未使用の UDB リソースを他の機能に使用することでシステムの効率を最大化できます。

7.3 UDB アレイの説明

図 7-7 に、16 個の UDB からなるアレイの例を示します。アレイのコアに加えて、アレイの最上部と最下部に DSI 配線インターフェースがあります。図に明示されていない他のインターフェースとして、バスおよびクロック分配のためのシステム インターフェースがあります。UDB アレイには、それぞれが 96 本の線からなる複数の水平および垂直配線チャンネルが含まれています。UDB への線の接続は、水平／垂直方向のインターセクションおよび DSI インターフェースにおいて、高度に入れ替え可能になっており、PSoC Creator で効率的に自動配線を行えます。さらに、この配線は、垂直および水平の配線に沿って線ごとにセグメント化できるため、配線の柔軟性と可用性がさらに高くなります。

図 7-7. デジタル システム インターフェースの構造



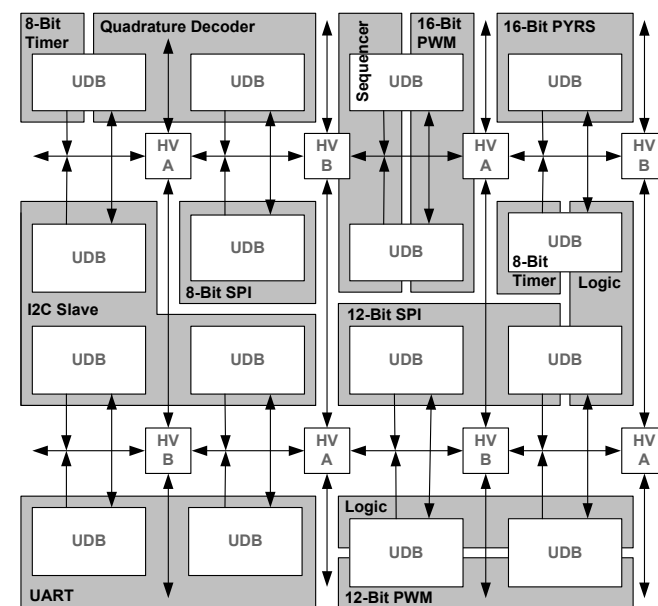
7.3.1 UDB アレイのプログラム可能なリソース

図 7-8 に、16 個の UDB のバンクに機能をマッピングする方法の例を示します。UDB の主なプログラム可能なリソースは、2 つの PLD、1 本のデータパスおよび 1 つのステータス／制御レジスタです。これらのリソースは、独立に選択可能なクロックを備えているため、独立して割り付けられ、したがって、未使用のブロックは無関係な他の機能に割り付けられます。

この例は、アレイの左上隅にある 8 ビット タイマーです。この機能に必要なものは、UDB 内の 1 個のデータパスだけであるた

め、PLD リソースは別の機能に割り付けられます。直交デコーダなどの機能は、1 個の UDB で提供可能な数よりも多くの PLD ロジックを必要とする場合があります。この例では 8 ビット タイマー UDB の未使用の PLD ブロックを利用できます。UDB アレイ内のプログラム可能なリソースは、一般的に均質になっているため、アレイ内で任意の境界にマッピングできます。

図 7-8. UDB バンク内の機能マッピングの例



7.4 DSI 配線インターフェースの説明

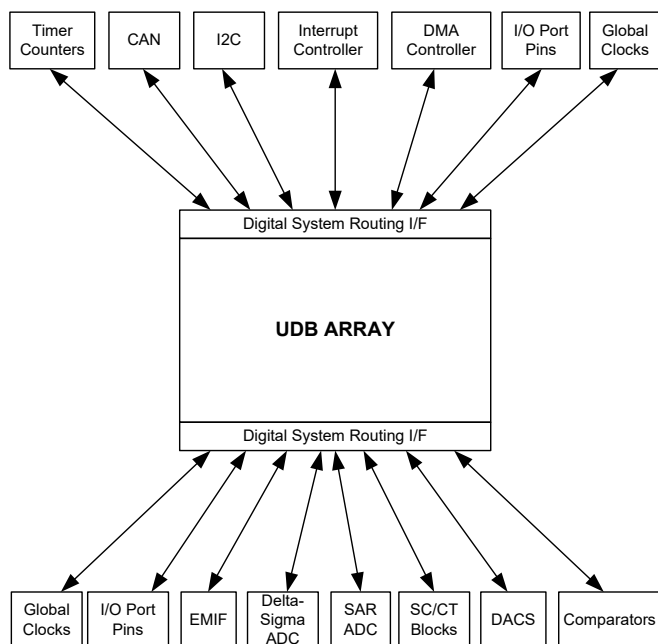
DSI 配線インターフェースは、UDB アレイ コアの最上部と最下部での水平および垂直配線チャンネルの接続部で、UDB、IO、アナログペリフェラル、割込み、DMA、および機能固定ペリフェラルを含むデバイスペリフェラル間で汎用のプログラム可能な配線を行えます。

図 7-9 に、UDB アレイ配線マトリックスと他のデバイスペリフェラルとを接続するデジタル システム インターコネクトの概念を示します。プログラム可能な配線を必要とする任意のデジタル コアまたは固定機能ペリフェラルが、このインターフェースに接続されます。

このカテゴリの信号には、以下のものが含まれます。

- システム内のすべてのデジタルペリフェラルからの割込み要求
- システム内のすべてのデジタルペリフェラルからの DMA 要求
- I/O への柔軟な配線を必要とするデジタルペリフェラルのデータ信号
- UDB への接続を必要とするデジタル ペリフェラルのデータ信号
- 割込みおよび DMA コントローラーへの接続
- I/O ピンへの接続
- アナログ システムのデジタル信号への接続

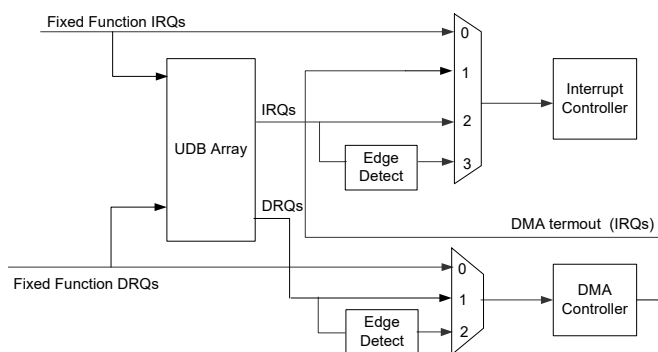
図 7-9. デジタル システム インターコネクト



CY8C56LP のプログラム可能なアーキテクチャにおいて、割り込みおよび DMA の配線は非常に柔軟です。割り込み要求を生成できる多数の固定機能ペリフェラルに加えて、UDB アレイ配線内のどのデータ信号も要求の生成に使用できます。独立した複数の割り込み要求を 1 個のペリフェラルで生成することで、システムおよびファームウェアのデザインを簡素化できます。図 7-10 に、IDMUX (割り込み/DMA マルチプレクサ) の構造を示します。

図 7-10. IDMUX 内の割り込みおよび DMA 処理

Interrupt and DMA Processing in IDMUX



7.4.1 I/O ポートの配線

一般的な 8 ビット I/O ポートへの DSI 経路は合計 20 個あり、16 個がデータ用、4 個がドライブ能力制御用になっています。

I/O ピンが配線に接続されている場合、主な接続として入力と出力の 2 つが利用可能です。これを駆動能力制御と組み合わせ、双方向 I/O ピンを実現できます。データ出力信号にはシングル同期化 (パイプライン化) のオプションがあり、データ入力信号には二重同期化のオプションがあります。同期クロックはシステム クロックです (図 6-1 を参照してください)。通常、ピンからのすべての入力は同期化されます。これは、CPU が信号またはその信号から派生した任意の信号とやりとりする場合に要求されるからです。非同期の入力は、ほとんど使用されません。この例は、組み合わせ PLD ロジックを介して入力ピンから出力ピンへ転送することです。

図 7-11. I/O ピンの同期化配線

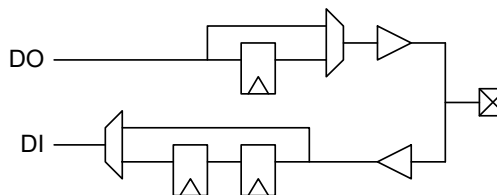
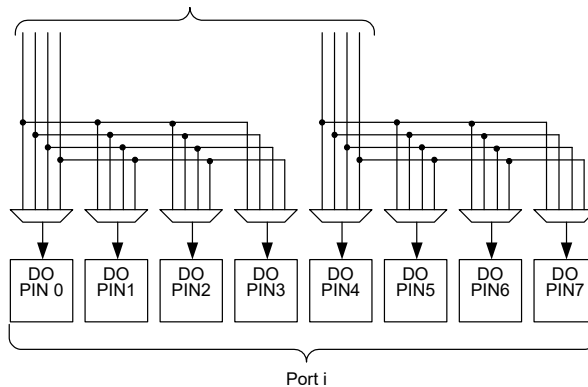


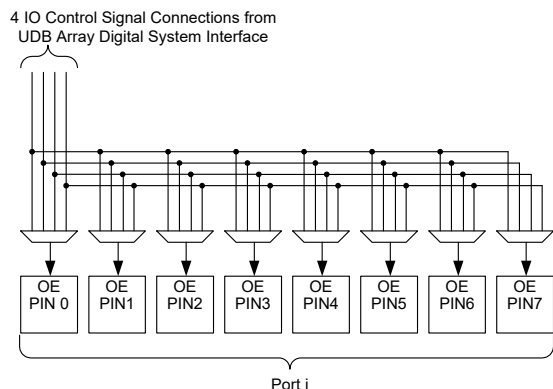
図 7-12. I/O ピンの出力接続

8 IO Data Output Connections from the UDB Array Digital System Interface



ある 1 つの I/O ポートについて、ピンの動的出力イネーブル制御を実現する DSI 接続は他に 4 つあります。この接続では、1 つの信号で制御される完全連動の 8 ビットから、個別に制御される最大 4 本のピンまで、幅広いオプションがあります。イネーブル出力信号は、トライステートの双方向ピンおよびバスの作成に役立ちます。

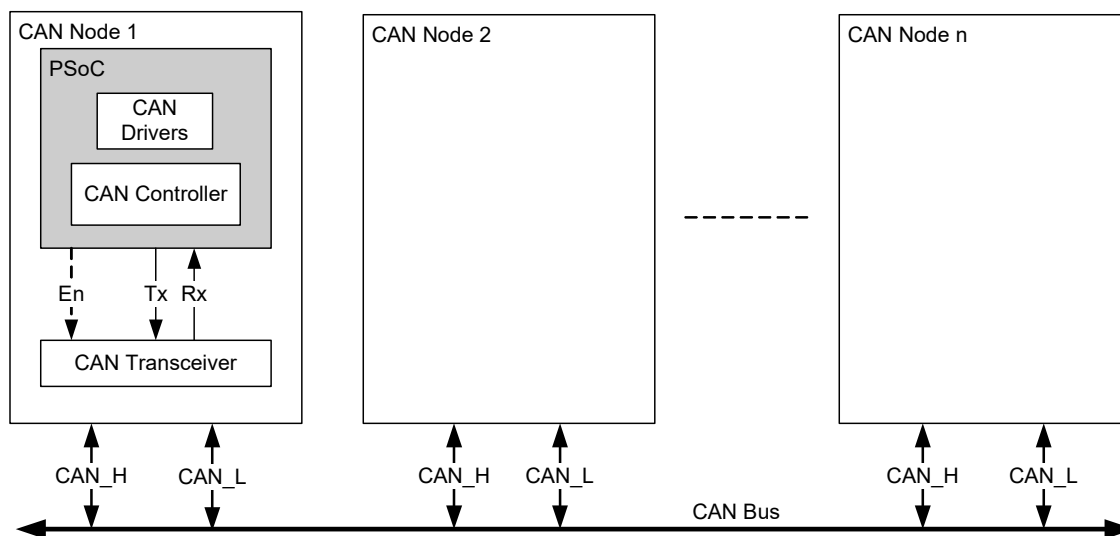
図 7-13. I/O ピンの出カイナーブル接続



7.5 CAN

CAN ペリフェラルは、最大 1Mbps の通信ボーレートに対応できるフル機能のコントローラ エリア ネットワーク (CAN) です。CAN コントローラは、Bosch 社の仕様書に規定された CAN2.0A および CAN2.0B 仕様を実現し、ISO-11898-1 規格に準拠しています。CAN プロトコルは、もともと、高レベルのエラー検出に重点を置いた車載アプリケーションのために設計されたものです。これによって、信頼性の高い通信が低コストで実現されます。CAN は車載アプリケーションで成功したため、動き重視の機械制御ネットワーク (CANOpen) およびファクトリオートメーション用途 (DeviceNet) 向けの標準通信プロトコルとして使用されています。CAN コントローラの機能によって、マイクロコントローラの CPU の性能に影響を与えずに高レベルのプロトコルを効率的に実現できます。PSoC Creator には、すべてのコンフィギュレーションがサポートされています。

図 7-14. CAN バス システムの実装



7.5.1 CAN の特長

- CAN2.0A/B プロトコルの実装 - ISO 11898 準拠
 - フレームあたり最大 8 バイトのデータの標準および拡張フレーム
 - メッセージフィルタ機能
 - リモート送信要求 (RTR) のサポート
 - 最大 1Mbps のプログラム可能なビットレート
- リスン オンリー モード
- ソフトウェアで読み出し可能なエラー カウンターおよびインジケータ
- スリープモード: Rx ピン上のアクティビティによりデバイスをスリープから起動
- 外部トランシーバに対し2線または3線のインターフェースをサポート (Tx、Rx およびイネーブル)。3 線のインターフェースは、Philips PHY と互換性があります。PHY はオンチップでは搭載されていません。3 線は任意の I/O に接続できます。
- 強化された割込みコントローラ
 - CAN 受信および送信バッファのステータス
 - CAN コントローラのエラー ステータス (BusOff を含む)

■ 受信経路

- 16 個の受信バッファ、それぞれに専用のメッセージフィルタ付き
- ID、IDE および RTR を含む強化されたハードウェア メッセージフィルタの実装
- DeviceNet のアドレス指定をサポート
- 複数の受信バッファをリンクして、より大きな受信メッセージアレイを作成可能
- 自動送信要求 (RTR) 応答ハンドラ
- 受信メッセージロストの通知

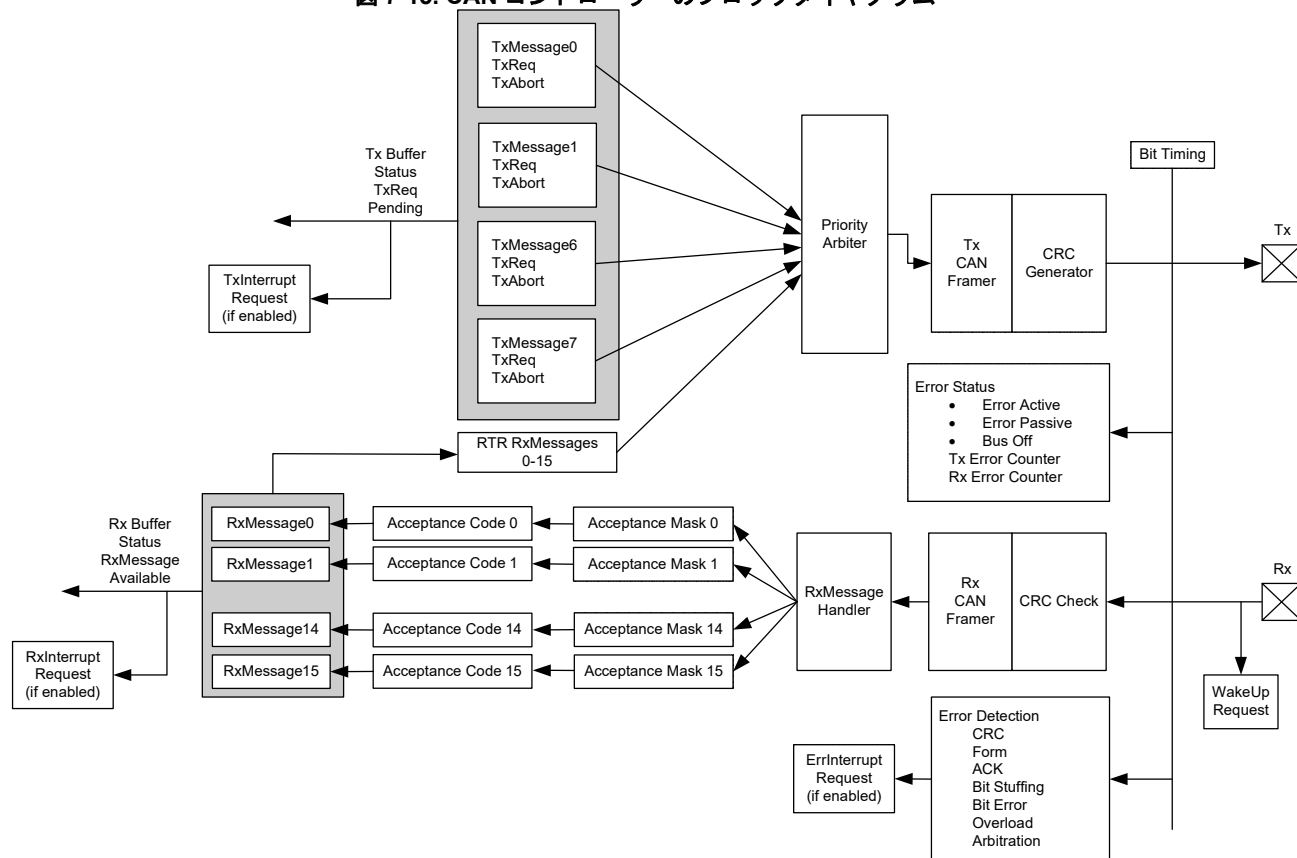
■ 送信経路

- 8 個の送信バッファ
- プログラム可能な送信プライオリティ
- ラウンドロビン
- 固定優先順位
- メッセージ送信中止機能

7.5.2 ソフトウェア ツールのサポート

PSoC Creator に一体化された CAN コントローラのコンフィギュレーション。

- ビット タイミング アナライザを使用した CAN コンフィギュレーションのウォークスルー
- 受信フィルタのセットアップ

図 7-15. CAN コントローラーのブロックダイアグラム


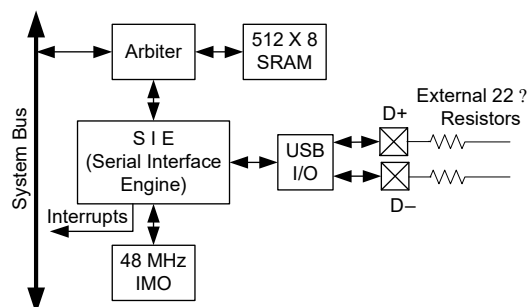
7.6 USB

PSoC には、専用の FS (12 Mbps) USB 2.0 トランシーバが内蔵されています。これにより、コントロール、割込み、バルク、およびアイソクロナスという USB の 4 種類の転送タイプをすべてサポートします。PSoC Creator は、すべてのコンフィギュレーションをサポートしています。USB は、2 本の専用 USBIO ピンを通してホストにインターフェースします。詳細は [33 ページ](#) の「I/O システムおよび配線」をご覧ください。

USB には以下の特長があります。

- 8 つの単方向データ エンドポイント
- 1 つの双方向制御エンドポイント 0 (EP0)
- 8 つのデータ エンドポイントについて共用の 512 バイトバッファ
- EP0 専用の 8 バイト バッファ
- 3 種類のメモリ モード
 - マニュアル メモリ管理 (DMA アクセスなし)
 - マニュアル メモリ管理 (手動 DMA アクセス)
 - 自動メモリ管理 (自動 DMA アクセス)
- トランシーバ用の内蔵 3.3 V レギュレータ

- USBバス クロックに自動ロックする内部48MHz発振器、USB 用外部水晶発振器は不要 (USB を内蔵したデバイスのみ)
- バスおよび各エンドポイントのイベント時に割込み (デバイス ウェイクアップ可)
- USB リセット、一時停止およびレジューム動作
- バス パワーおよびセルフ パワー モード

図 7-16. USB


7.7 タイマー、カウンタおよび PWM

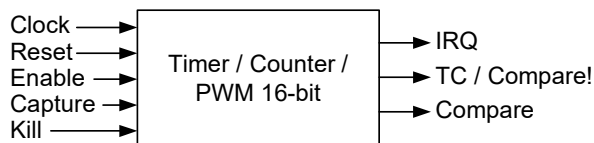
タイマー／カウンタ／PWM ペリフェラルは、最も一般的な組み込み周辺機能の内、3つを提供する専用の 16 ビット ペリフェラルです。ほとんどすべての組み込みシステムで、タイマー、カウンタ、および PWM のなんらかの組み合わせが使用されるため、この PSoC デバイス ファミリーには、これらが 4 つ組み込まれています。追加およびより高機能のタイマー、カウンタ、PWM は、必要に応じてユニバーサル デジタル ブロック (UDB) の中でインスタンス化できます。PSoC Creator を使用して、必要なタイマー、カウンタ、および PWM の機能を選択できます。ツール セットが、利用可能な最適のリソースを使用します。

タイマー／カウンタ／PWM ペリフェラルは、複数のクロックソースから選択でき、入力および出力信号は、DSI の配線を通じて接続します。DSI 配線によって入力と出力を任意のデバイスピンに接続できることに加え、DSI を通じて任意の内部デジタル信号にアクセスできます。4 つのインスタンスはそれぞれ、比較出力、ターミナル カウント出力 (オプションのコンプリメンタリー比較出力)、およびプログラム可能な割り込み要求ラインを備えています。タイマー／カウンタ／PWM は、フリーランニング、ワンショット、またはイネーブル入力制御としてコンフィギュレーション可能です。ペリフェラルは、タイマー リセットとキャプチャ入力およびコンパレータ出力を制御するためのキル入力を備えています。ペリフェラルは、フル 16 ビットのキャプチャに対応します。

タイマー／カウンタ／PWM の特長は次のとおりです。

- 16 ビット タイマー／カウンタ／PWM (ダウン カウントのみ)
- 選択可能なクロック ソース
- PWM コンパレータ (LT、LTE、EQ、GTE、GT に設定可能)
- 開始時、リセット時およびターミナル カウント時に周期再ロード
- ターミナル カウント時、比較真、またはキャプチャ時に割り込み
- 動的カウンタ読み出し
- タイマー キャプチャ モード
- イネーブル信号がアサートされている間カウントするモード
- フリーラン モード
- ワンショット モード (周期の終わりで停止)
- デッドバンド付きコンプリメンタリー PWM 出力
- PWM アウトプット キル

図 7-17. タイマー／カウンタ／PWM



7.8 I²C

PSoC は単一の固定機能 I²C ペリフェラルを含みます。追加の I²C インターフェースは、必要に応じて、PSoC Creator の中でユニバーサル デジタル ブロック (UDB) を使用してインスタンス化できます。

I²C ペリフェラルは、PSoC デバイスを 2 線式 I²C シリアル通信バスとインターフェースするために設計された同期 2 線式インターフェースを提供します。NXP I²C バスの仕様とユーザーマニュアル (UM10204) で定義されているとおり、これは、I²C の標準モード、高速モードおよび高速モード プラスのデバイスと互換性^[13]があります。I²C バス I/O はオープンドレイン モードで GPIO または SIO で実行することがあります。

CPU の過大な介入およびオーバヘッドの必要をなくすために、ステータス検出およびフレーミングビット生成のための I²C 固有のサポートが提供されます。I²C は、スレーブ、マスター、またはマルチマスター (スレーブおよびマスター) として動作します^[13]。スレーブ モードの場合、ユニットは常に、データの送信または受信を開始するために START 条件を監視します。マスター モードでは、START および STOP 条件の生成およびトランザクション開始の機能が提供されます。マルチマスターモードは、クロックの同期化とアービタレーションを提供し、同じバスで複数のバスを可能にします。マスター モードが有効になっていて、スレーブ モードが無効の場合、外部で生成された開始条件に対して、このブロックからは割り込みが生成されません。I²C は、DSI 配線を通じてインターフェースし、どの GPIO ピンまたは SIO ピンにも直接接続できます。

I²C では、CPU の介入なしに 7 ビット アドレスのハードウェア アドレス検出が提供されます。さらに、デバイスは、7 ビット ハードウェア アドレス一致時に低消費電力モードから起動できます。ウェイクアップ機能が要求される場合、I²C ピンの接続は、SIO ピンの特定の 2 つのペアから 1 つに限られます。SCL および SDA ピンの説明については、12 ページの「ピンの説明」を参照してください。

I²C の特長は以下のとおりです。

- スレーブとマスター、トランスミッタおよびレシーバ動作
- CPU オーバヘッド低減のためのバイト処理
- 割り込みまたはポーリングによる CPU インターフェース
- 最大 1 Mbps のバス速度をサポート
- 7 または 10 ビットのアドレス指定 (10 ビットのアドレス指定はファームウェア サポートが必要)

注:

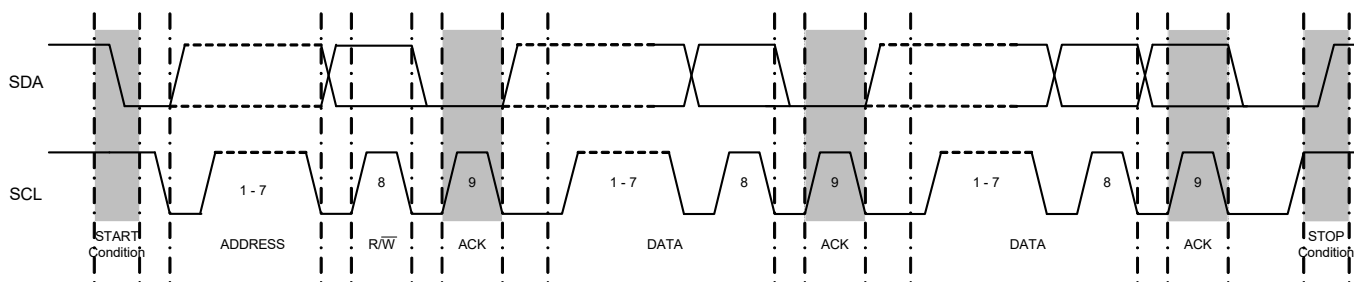
12. I²C ペリフェラルは次の領域では、NXP I²C の仕様に準拠していません。アナログ グリッチ フィルタ、I/O V_{OL}/I_{OL}、I/O ヒステリシス。I²C ブロックには、デジタルグリッチ フィルタがあります (スレーブ モードでは使用できません)。ファースト モードの最短立ち下り時間の特性は、I/O を低速モードに設定することで得られます。詳細については 76 ページの「入力と出力」にある I/O 電氣的仕様を参照してください。

13. 固定ブロック I²C は、未定義バス条件もスレーブ モードでリピーティッド スタートもサポートしません。これらの条件は避けるか、そのかわりに UDB ベースの I²C コンポーネントを使用する必要があります。

- SMBus 動作 (ファームウェア サポートを通じて - UDB では SMBus はハードウェア内でサポート)
- 7 ビット ハードウェア アドレス比較
- アドレス一致時に低消費電力モードから起動
- グリッチ フィルタリングあり (アクティブおよび交互アクティブモードのみ)

データ転送は、図 7-18 に示されている形式に従います。START 状態 (S) の後、スレーブ アドレスが送信されます。このアドレスは、7 ビット長で、その後にデータ方向ビット (R/W) である 8 番目のビットが続きます。「ゼロ」は、送信 (WRITE)、「1」はデータの要求 (READ) を示します。データ転送は、常に、マスターによって生成される STOP 状態 (P) で終端されます。

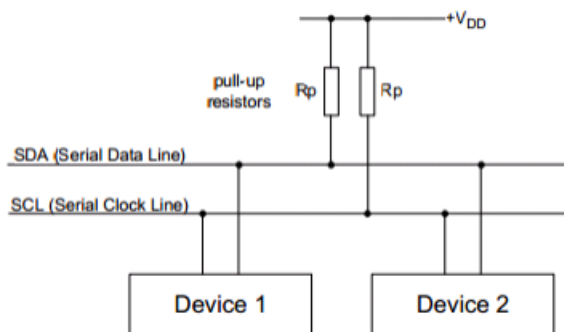
図 7-18. I²C 完了転送のタイミング



7.8.1 外部電気接続

図 7-19 に示すように、I²C バスは外部プルアップ抵抗 (R_P) を必要とします。これらの抵抗は主に電源電圧、バス速度、およびバス容量により決定されます。自身の設計にプルアップ抵抗の最適な値を計算するには、NXP ウェブサイト (www.nxp.com) から入手できる UM10204 I2C バス仕様および Rev6 以降のユーザー マニュアルの利用を推奨します。

図 7-19. I²C バスへのデバイスの接続



すべてのデザインには、計算をせず、優れた性能のために表 7-2 に示すデフォルト値を利用してください。選択されたデフォルト値は最小限と最大限の間の標準的な抵抗値です。表 7-2 に示される値は、V_{DD} が 1.8 V ~ 5.0 V、バス容量 (C_B) が 200 pF 未満、総入力リーク (I_{IL}) が最大 25 μA、出力電圧レベル (V_{OL}) が最大 0.4 V、最大の V_{IH} が 0.7 * V_{DD} である設計に適します。標準モードおよび高速モードは GPIO または SIO PSoC ピンのいずれかを使用します。高速モード プラスは SIO ピンを必要として、20 mA で V_{OL} 仕様を満たします。プルアップ抵抗のカスタム値を計算することは必要です。自身の設計がデフォルトの要件を満たさない場合、直列抵抗 (RS) を使用して注入ノイズを制限します。または、低消費電力のために抵抗の値を最大化します。

表 7-2. 推奨されるデフォルトのプルアップ抵抗値

	R _P	単位
標準モード - 100 kbps	4.7k、5%	Ω
高速モード - 400 kbps	1.74k、1%	Ω
高速モード プラス - 1 Mbps	620、5%	Ω

プルアップ抵抗の最適な値の計算は、NXP I²C 仕様に記載される 3 つの式による制限範囲内の値を見つけることも伴います。これらの式は下記のとおりです。

式 1:

$$R_{P\min} = (V_{DD}(\max) - V_{OL}(\max)) / (I_{OL}(\min))$$

式 2:

$$R_{P\max} = T_R(\max) / 0.8473 \times C_B(\max)$$

式 3:

$$R_{P\max} = V_{DD}(\min) - V_{IH}(\min) + V_{NH}(\min) / I_{IH}(\max)$$

式のパラメーター

V_{DD} = I²C バス用の定格電源電圧

V_{OL} = バス デバイスの最大の出力 LOW 電圧

I_{OL} = I²C 仕様に基づく出力 LOW 電流

T_R = I²C 仕様に基づくバスの立ち上り時間

C_B = 各バス ライン (ピンおよび PCB 配線を含む) の容量

V_{IH} = すべてのバス デバイスの最小の入力 HIGH 電圧

V_{NH} = I²C 仕様に基づく最小の入力 HIGH ノイズ マージン

I_{IH} = すべてのデバイスのバス上の総入力リーク電流

バス デバイスの最大出力 LOW 電圧 (V_{OL}) 仕様の原因で、電源電圧 (V_{DD}) はプルアップ抵抗の最小値を制限します。低プルアップ抵抗の場合、ピンを介する電流が上がり、従って、V_{OH} の仕様要件は超えられます。オームの法則から派生した式 1 は、

指定した V_{DD} で、標準および高速モードに対し 3 mA で、高速モード プラスに対し 20 mA で、 V_{OL} 仕様を満たす最小の容量を計算します。

式 2 は、バス容量によりプルアップ抵抗の最大値を計算します。総バス容量は、バス上のすべてのピン、ワイヤ、および配線容量を含みます。バス容量が高くなるほど、RC 遅延の原因で、もっと低いプルアップ容量は必要として、指定したバス速度の立ち上がり時間を満たします。許可されているプルアップ抵抗値より大きいものを選択すると、タイミング要件には失敗し、通信エラーが発生させます。5 個以下の I^2C デバイスおよび 20 cm までのバス配線長を含むすべての設計は 100 pF 未満のバス容量を持ちます。

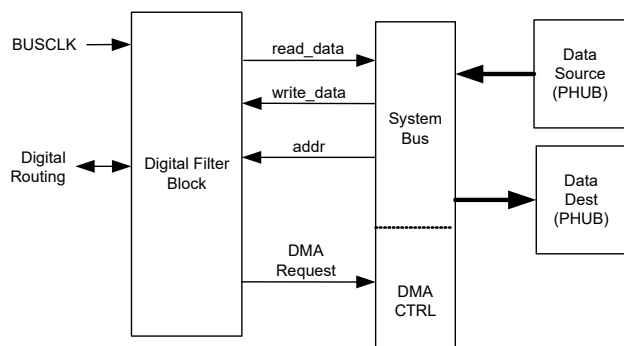
プルアップ抵抗の最大値を制限する第二の要素は、式 3 で計算される総バス リークです。リークの主なソースは、バスに接続される I/O ピンです。リークが高くなりすぎる場合、プルアップ抵抗は V_{IH} の許容レベルを維持することが困難になり、通信エラーが発生します。バス上で I^2C デバイスが 5 個以下であるすべての設計は、10 μA 未満の総リーク電流を持ちます。

7.9 デジタル フィルタ ブロック

CY8C56LP ファミリーのいくつかのデバイスは、デジタル フィルタリングに使用する専用のハードウェア アクセラレータ ブロックを備えています。DFB には、1 システム クロック サイクルで 24 ビット \times 24 ビットの積和演算を行う専用の乗算器とアキュムレータが含まれています。これにより、各クロック サイクルについて 1 FIR タップの計算速度に達する直接形 FIR フィルタのマッピングが可能になります。このブロックによって実行されるどの機能も MCU によって実現できますが、速度は遅く、MCU のかなりの帯域幅を消費します。

PSoC Creator のインターフェースには、LPF、BPF、HPF、ノッチおよび任意の特性を持つフィルタの係数を備えた FIR デジタル フィルタおよび IIR デジタル フィルタを実装するウィザードが用意されています。64 組のデータおよび係数が格納されています。これを使用して、64 タップの FIR フィルタ、または最大で 4 つの定式化された FIR または IIR 16 タップ フィルタを作れます。

**図 7-20. DFB アプリケーション図
(電源/接地は図に示していない)**



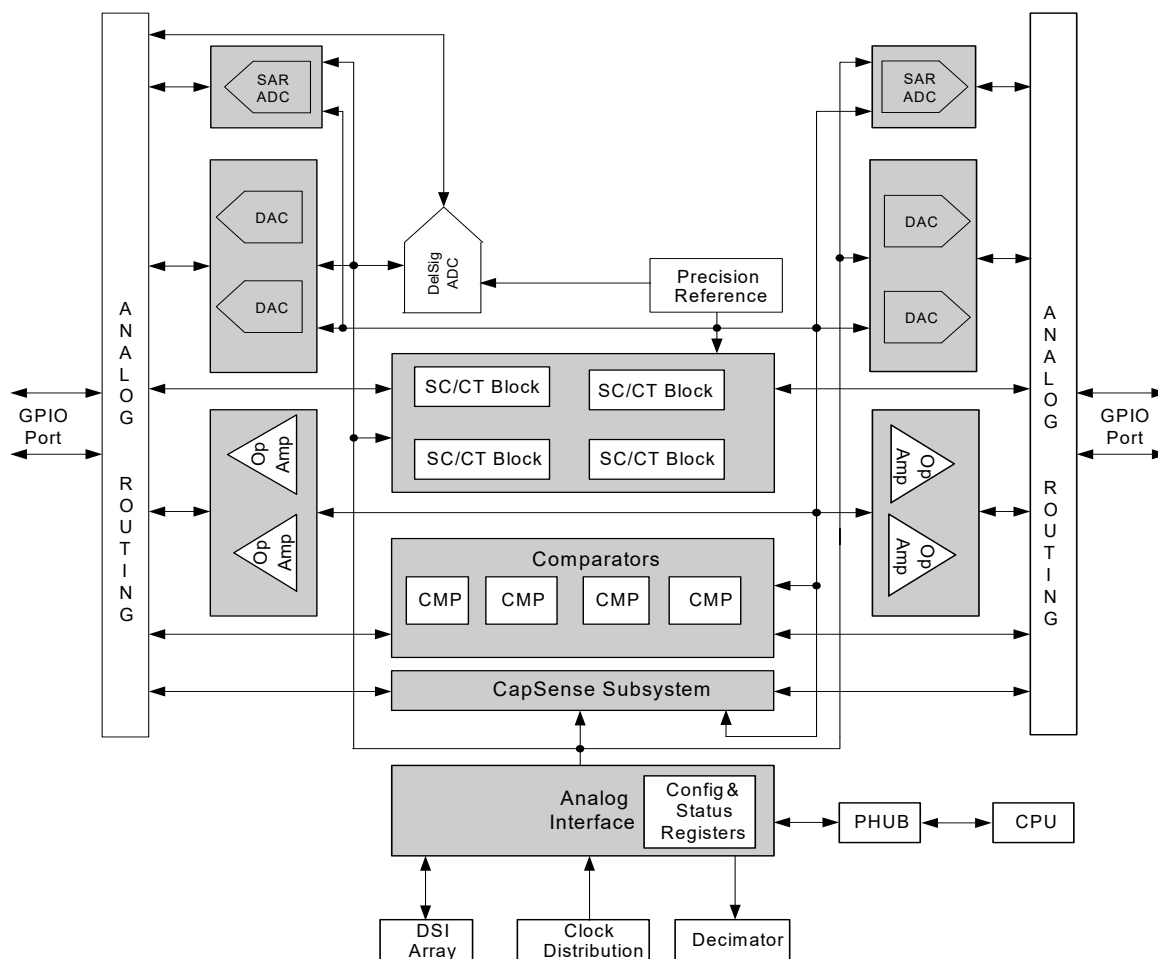
代表的な使用モデルは、ADC などチップ上の別のシステム データ ソースからシステム バス経由で DFB に供給しなければならないデータ用です。データは、一般的に、メイン メモリをパススルーするか、または DMA を通して別のチップ リソースから直接転送されます。DFB はこのデータを処理し、その結果を、システム バス上で DMA を通して DAC やメイン メモリなどのチップ上の別のリソースに渡します。

DFBからのデータの出入りは、一般にシステムDMAコントローラによって制御されますが、MCU によりデータを直接移動もできます。

8. アナログ サブシステム

プログラム可能なアナログ システムにより、アプリケーションに応じて、標準的なもしくはより高度なアナログ処理を構築できます。これらのブロックは相互接続に加え、デバイス上の任意のピンとの接続が可能で、高度なデザインの柔軟性と IP セキュリティを実現します。アナログ サブシステムの特長について概要をここに示し、その機能とアーキテクチャの概観を示します。

- アナログ グローバル、アナログ マルチプレクサ バスおよびアナログ ローカル バスによって提供される、柔軟で、コンフィギュレーション可能なアナログ配線アーキテクチャ
- 高分解能デルタシグマ ADC
- 2 個の逐次比較 (SAR) ADC
- 電圧出力型または電流出力型の 4 個の 8 ビット DAC
- コンフィギュレーション可能な LUT 出力へのオプション接続を備えた 4 個のコンパレータ
- オペアンプ、ユニティ ゲイン バッファ、プログラマブル ゲイン アンプ、トランスインピーダンス アンプ、ミキサーなどの機能を実現する 4 個のコンフィギュレーション可能なスイッチド キャパシタ/連続時間 (SC/CT) ブロック
- 高電流出力バッファとして使用できる内部使用および GPIO 接続用の 4 個のオペアンプ
- 静電容量式タッチ センサーを可能にする CapSense サブシステム
- 内部アナログ ブロック用の正確なアナログ電圧を生成するための高精度リファレンス

図 8-1. アナログ サブシステムのブロックダイアグラム


PSoC Creator ソフトウェア プログラムは、GPIO と各種アナログ リソースの間のアナログ接続のほか、1つのアナログ リソースからもう1つのアナログ リソースへの接続もコンフィギュレーションするための使いやすいインターフェースを備えています。また、さまざまなアナログ ブロックを設定してアプリケーション固有の機能 (PGA、トランスインピーダンス アンプ、電圧 DAC、電流 DAC、その他) を実行できるようにするコンポーネント ライブラリも備えています。このツールは、ユーザーがアナログ ペリフェラルと CPU / メモリ間の通信を可能にするファームウェアを書くための API インターフェース ライブラリも生成します。

8.1 アナログ配線

PSoC 5LP のデバイス ファミリは、GPIO と別のアナログ ブロックとの接続および異なるアナログ ブロック間の信号の接続の機能を提供する柔軟なアナログ配線アーキテクチャを備えています。この柔軟な配線アーキテクチャの強みの 1 つは、さまざまなアナログ ブロックに入力および出力を動的に配線できることです。

最適なアナログ ルーティングで、ピン選択を行う方法については、アプリケーション ノート「AN58304 - PSoC® 3 and PSoC® 5 - Pin Selection for Analog Designs」を参照してください。

8.1.1 特長

- 柔軟で、コンフィギュレーション可能なアナログ配線アーキテクチャ
- GPIO およびアナログ ブロックに接続する 16 個のアナログ グローバル (AG) および 2 個のアナログ マルチプレクサ バス (AMUXBUS)
- 1 つのアナログ グローバルと 1 つのアナログ マルチプレクサ バスに各 GPIO を接続
- 8 個のアナログ ローカル バス (abus) により、さまざまなアナログ ブロック間の信号を接続
- アナログ ブロックの入力および出力の選択のためのマルチプレクサおよびスイッチ

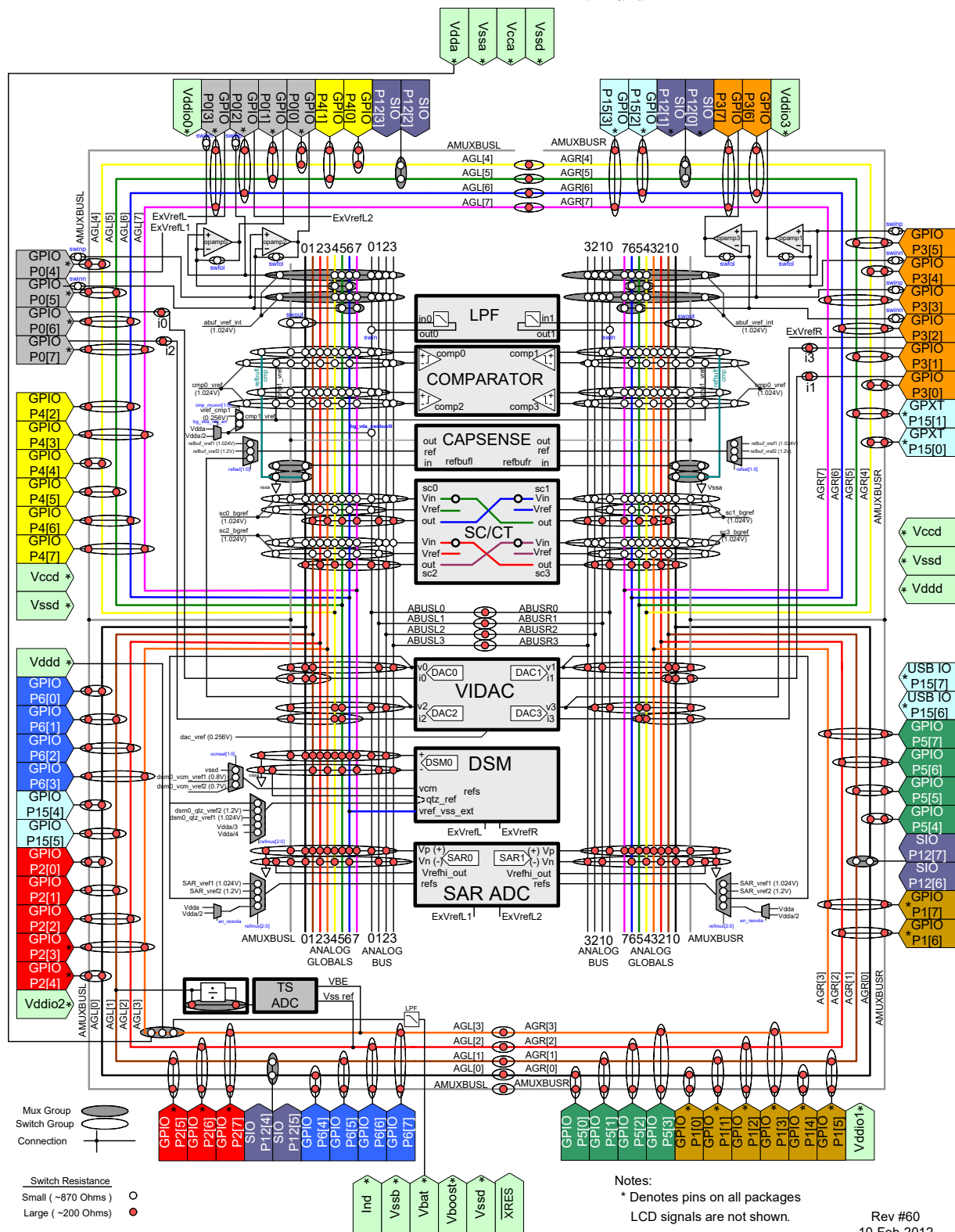
8.1.2 機能説明

アナログ グローバル (AG) およびアナログ マルチプレクサ バス (AMUXBUS) は、GPIO と各種アナログ ブロック間のアナログ接続を提供します。PSoC 5LP ファミリには、16 の AG があります。アナログ配線アーキテクチャは、図 8-2 に示すように四象限に分かれています。各象限には、4 つのアナログ グローバル (AGL[0..3], AGL[4..7], AGR[0..3], AGR[4..7]) があります。各 GPIO はアナログ スイッチ経由で対応する AG に接続されます。アナログ マルチプレクサ バスは、アナログ スイッチを通してすべての GPIO に接続する共用の配線リソースです。PSoC 5LP には 2 つの AMUXBUS があります。図 8-2 に示すように、1 つは左半分 (AMUXBUSL) で、もう 1 つは右半分 (AMUXBUSR) です。

アナログ ローカル バス (abus) は、アナログ サブシステム内に配置されている配線リソースで、各種アナログ ブロック間の信号を接続するために使用されます。PSoC 5LP には 8 本の abus があります。図 8-2 に示すように、左半分 (abusl [0:3]) に 4 本と、右半分 (abusr [0:3]) に 4 本です。abus を使用することで、アナログ ブロックの相互接続にアナログ グローバルおよびアナログ マルチプレクサ バスが使用されないようになります。

マルチプレクサとスイッチは、アナログ ブロックの入出力信号を接続するために、各種バス上に配置されています。マルチプレクサで同時に配線できる接続は 1 個のみですが、スイッチでは複数の接続を同時に配線できます。図 8-2 では、マルチプレクサは灰色の楕円で示され、スイッチは背景が透明の楕円で示されています。

図 8-2. CY8C56LP のアナログ相互接続



このイメージの詳細を保存したい場合、PDF 形式または 11"×17" の紙サイズで保存することをお薦めします。

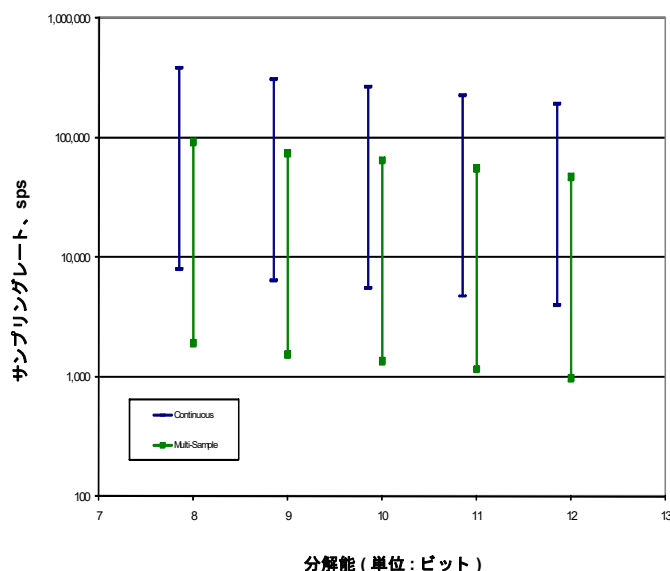
8.2 デルタシグマ ADC

CY8C36 デバイスはデルタシグマ ADC を提供します。この ADC は、差動入力、優れたリニアリティ、高分解能が得られるため、測定アプリケーションで使用可能な ADC となっています。ADC は、192 ksps 以下のデータ転送速度であれば 12 ビットの分解能で出力するコンフィギュレーションができます。クロック速度を固定した時、表 8-1 と図 8-3 に示すとおり分解能と、より高速なデータ転送速度はトレードオフとなります。

表 8-1. デルタシグマ ADC の性能

ビット	最大サンプリングレート (sps)	SINAD (dB)
12	192k	66
8	384k	43

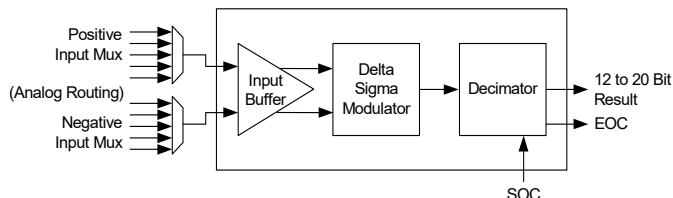
図 8-3. デルタシグマ ADC サンプリング速度、範囲 = ±1.024V



8.2.1 機能説明

ADC は、入力バッファ、デルタシグマ変調器およびデシメータの 3 つの基本コンポーネントの接続および設定を行います。基本ブロック図を図 8-4 に示します。入力マルチプレクサからの信号は、直接または入力バッファを使用してデルタシグマ変調器に送られます。デルタシグマ変調器によって実際のアナログ - デジタル変換が実行されます。変調器は、入力をオーバーサンプリングし、シリアル データ ストリーム出力を生成します。ほとんどのアプリケーションで、この高速データストリームを使用するにはなんらかの後処理が必要なので、このストリームはアナログ インターフェース ブロックを通してデシメータに渡されます。デシメータは、高速シリアル データ ストリームを並列 ADC 出力に変換します。変調器/デシメータの周波数応答は、 $[(\sin x)/x]^4$ です。

図 8-4. デルタシグマ ADC のブロックダイアグラム



分解能とサンプリング速度は、デシメータによって制御されます。データはデシメータ内でパイプライン処理され、出力は先の 4 サンプルの関数になります。入力マルチプレクサが切り替わると、出力データは、切り替え後 4 番目のサンプルの後まで無効になります。

8.2.2 動作モード

ADC は、シングル サンプル モード、マルチサンプル モード、連続モードまたはマルチサンプル モード (Turbo) の 4 モードの、どのモードで動作するかを設定できます。4 つのモードはすべて、制御レジスタ内のスタート ビットへの書き込み、または変換の開始 (SoC) 信号のアサートによって開始します。変換が完了すると、ステータス ビットがセットされ、出力信号である変換の終了 (EoC) が HIGH アサートし、この値が DMA コントローラまたは CPU によって読み取られるまで HIGH に保たれます。

8.2.2.1 シングル サンプル

シングル サンプル モードでは、ADC は 1 回のトリガで 1 サンプルの変換を実行します。このモードの場合、ADC は待機状態になり SoC 信号がアサートされるのを待ちます。SoC が通知されると、ADC は 4 つの連続した変換を実行します。最初の 3 つの変換は、デシメータの準備をします。4 番目の変換後、つまり、EoC 信号が生成されると、ADC の結果は有効になり、利用できるようになります。システムは、変換の終了を検出するために、制御レジスタをポーリングしてステータスを見るか、あるいは外部 EoC 信号によって割込みを生成するかまたは DMA 要求を呼び出すようにコンフィギュレーションできます。転送が行われると、ADC は再び待機状態に入り、次の SoC イベントまで待機を続けます。

8.2.2.2 連続

連続サンプル モードは、シングル入力信号の複数の連続サンプルを採るために使用されます。マルチプレクサ複数入力、このモードでは行わないでください。最初の変換結果が利用できるようになるまでに、3 回の変換時間のレイテンシがあります。これは、デシメータの準備に必要な時間です。最初の結果が出た後で、それに続く変換が、選択したサンプル レートで利用できるようになります。

8.2.2.3 マルチ サンプル

マルチ サンプル モードは、ADC がサンプル間でリセットされる以外は、連続モードに似ています。このモードは、複数信号間で入力が切り替わる場合に便利です。デシメータは、前のサンプルが現在の変換に影響を与えないように、各サンプル間で再準備されます。サンプルの変換が完了したとき、次のサンプルが自動的に開始されます。結果は、ポーリング、割込み、DMA のどれかを使用して転送できます。

出力のフォーマットについての詳細は、Technical Reference Manual に記載されています。

8.2.3 変換の開始 (SOC) 入力

SoC 信号を使用して ADC 変換を開始します。デジタル クロックまたは UDB 出力を、この入力の駆動に使用できます。サンプリングレートが ADC 変換時間より長くなければならない、または ADC が、他のハードウェアに対して同期される必要がある場合、この信号を使用できます。この信号はオプションになっており、ADC が連続モードで動作している場合、接続する必要はありません。

8.2.4 変換の終了 (EOC) 出力

EOC 信号は、各 ADC 変換の終了時に HIGH になります。この信号を使用して、割込みまたは DMA 要求のどちらかをトリガできます。

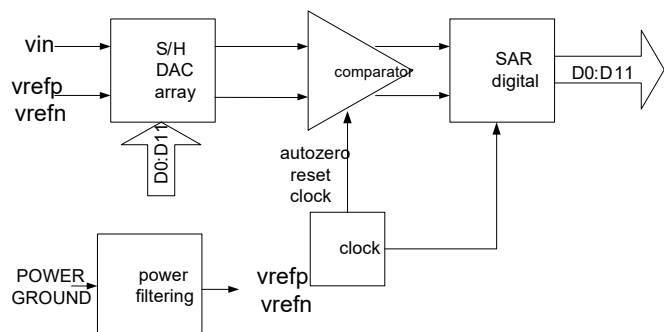
8.3 逐次比較 ADC

CY8C56LP ファミリのデバイスは、選択されたデバイスに応じて 1 個または 2 個の逐次比較レジスタ (SAR) ADC も備えています。これらの ADC は、シングルエンド入力または差動入力を持ち、最大 1 Msps で動作する 12 ビット ADC であり、各種のサンプリングや制御の用途で使用できます。

8.3.1 機能説明

SAR ADC では、アナログ入力信号がサンプリングされ、DAC の出力と比較されます。DAC にはバイナリ検索アルゴリズムが適用され、MSB から LSB の方向へ順番に出力ビットが決まります。SAR ADC のブロックダイアグラムを [図 8-5](#) に示します。

図 8-5. SAR ADC のブロックダイアグラム



入力はアナログ グローバルおよびマルチプレクサに接続されます。クロック周波数はサンプリング速度の 18 倍で、クロック速度は 1 ~ 18 MHz の範囲に制限します。

8.3.2 変換信号

スタート ビットの書き込みまたはフレームの開始 (SOF) 信号のアサートで変換が始まります。SOF は、サンプリング時間が変換時間よりも長いアプリケーションや、ADC を他のハードウェアと同期する必要がある場合に使用します。この信号はオプションになっており、SAR ADC が連続モードで動作している場合、接続する必要はありません。デジタル クロックまたは UDB 出力を、この入力の駆動に使用できます。SAR を初めて起動したときや、いずれかのスリープ モードからウェイクアップしたときは、最初の変換を開始できるようになるまでに 10μs の起動待機時間が発生します。

変換が完了すると、ステータス ビットがセットされ、出力信号であるフレームの終了 (EOF) がアサートします。このアサート状態は、DMA コントローラーまたは CPU で読み取るまで保持されます。この EOF 信号を使用して、割込みまたは DMA 要求をトリガーできます。

8.3.3 動作モード

ONE SHOT 制御ビットを使用して、SAR ADC 変換モードを連続変換モードまたは SOF 信号があるたびに 1 回変換するモードに設定します。連続サンプリングは、CPU からの操作を必要とせずに DMA 転送できます。

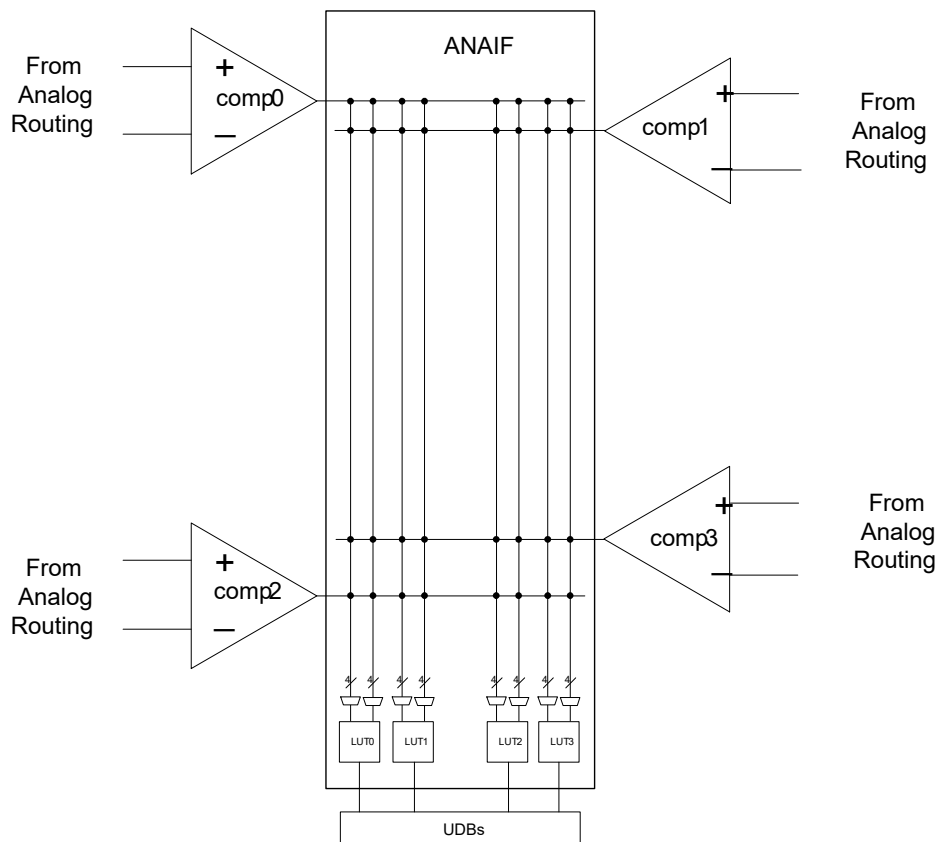
8.4 コンパレータ

CY8C56LP ファミリのデバイスは、4 個のコンパレータを備えています。コンパレータの特長は次のとおりです。

- 入力オフセットは、工場出荷時 5mV 未満に調整済み
- Rail-to-rail の同相入力範囲 ($V_{SSA} \sim V_{DDA}$)
- 速度とパワーは、高速、低速、超低パワーの 3 つのモードのいずれかを使用してトレードオフ可能
- コンパレータ出力をルックアップ テーブルに接続することで、単純な論理関数を実行でき、続いてデジタル ブロックに接続することも可能
- コンパレータの正入力は、必要に応じてローパス フィルタ経由で接続可能。用意されているフィルタは 2 個
- コンパレータ入力は、GPIO、DAC 出力および SC ブロック出力に接続可能

8.4.1 入力および出力インターフェース

コンパレータへの正と負の入力は、マルチプレクサを通して、アナログ グローバルバス、アナログ マルチプレクサライン、アナログ ローカルバスおよび高精度リファレンスから取り込まれます。各コンパレータからの出力は、2 つの入力 LUT のどちらにも接続できます。この LUT の出力は、UDB デジタルシステム インターフェースに接続されます。

図 8-6. アナログ コンパレータ


8.4.2 LUT

CY8C56LP ファミリのデバイスは、4 個の LUT を備えています。この LUT は、2 入力、1 出力のルックアップ テーブルで、チップ内の任意の 1 つまたは 2 つのコンパレータによって駆動されます。どの LUT の出力も、UDB アレイのデジタル システム インターフェースに接続されます。これらの信号は、UDB アレイのデジタル システム インターフェースから UDB、DMA コントローラー、I/O、または割込みコントローラーに接続できます。

レジスタに書き込まれた LUT 制御ワードによって、出力の論理関数がセットされます。利用可能な LUT 関数および関連する制御ワードを表 8-2 に示します。

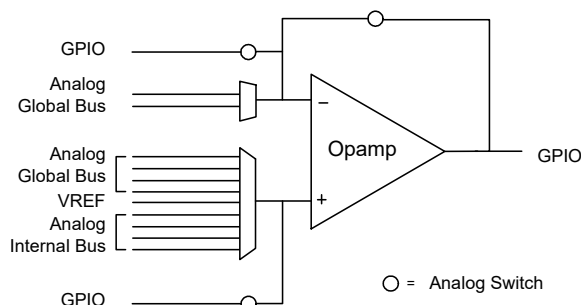
表 8-2. LUT 関数対プログラム ワードと入力

制御ワード	出力 (A および B は LUT の入力)
0000b	FALSE ('0')
0001b	A AND B
0010b	A AND (NOT B)
0011b	A
0100b	(NOT A) AND B
0101b	B
0110b	A XOR B
0111b	A OR B
1000b	A NOR B
1001b	A XNOR B
1010b	NOT B
1011b	A OR (NOT B)
1100b	NOT A
1101b	(NOT A) OR B
1110b	A NAND B
1111b	TRUE ('1')

8.5 オペアンプ

CY8C56LP ファミリのデバイスは、4 個の汎用オペアンプを備えています。

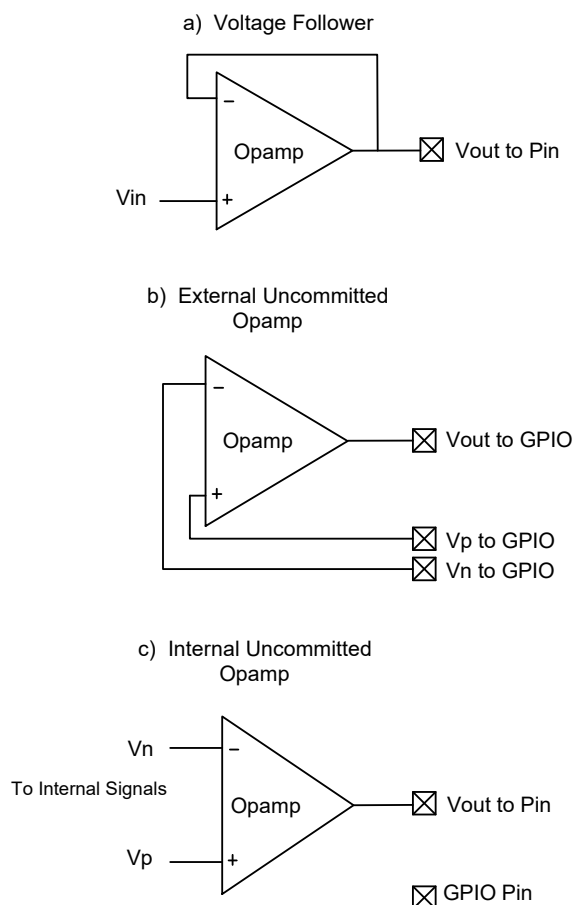
図 8-7. オペアンプ



オペアンプは機能固定されておらず、外部信号または内部信号に対して増幅段または電圧フォロアとしてコンフィギュレーション可能です。

図 8-8 を参照してください。どのコンフィギュレーションでも、入力と出力の信号はすべて、内部グローバル信号に接続し ADC あるいはコンパレータにより監視できます。これらのコンフィギュレーションは、信号と GPIO ピンの間にスイッチを設けることによって実現されます。

図 8-8. オペアンプのコンフィギュレーション



オペアンプには、低速、中速、高速の 3 とおりの速度モードがあります。低速モードでは静止状態の消費電力が最小になり、高速モードの場合、消費電力は最大になります。入力は、rail-to-rail の振幅にできます。出力幅は、低電流出力時に rail-to-rail 動作 (レール間振幅に対し 50 mV 以内) にできます。高電流負荷 (約 25 mA) を駆動する場合、出力電圧はレール間振幅に対し 500 mV 以内になります。

8.6 プログラム可能な SC/CT ブロック

CY8C56LP ファミリのデバイスは、4 個のスイッチド キャパシタ/連続時間 (SC/CT) ブロックを備えています。各スイッチト キャパシタ/連続時間ブロックは、1 個の rail-to-rail 広帯域オペアンプを中心に構築されています。

スイッチト キャパシタとは、抵抗の代わりとなるキャパシタとスイッチを使用してアナログ機能を構築する回路デザイン技術です。この回路は、複数のスイッチを開閉してキャパシタの間で電荷を移動させることによって動作します。位相が重ならないクロック信号によりスイッチが制御されるため、すべてのスイッチが同時にオンになることはありません。

PSoC Creator ツールは使いやすいインターフェースを備えており、これを使用して、ユーザーは SC/CT ブロックを容易にプログラムできます。スイッチ制御とクロックの位相制御の設定は PSoC Creator によって行われるため、ユーザーはゲイン、アンプの極性、V_{REF} 接続などのアプリケーション パラメータを決めるだけで済みます。

同じオペアンプとブロック インターフェースを抵抗のアレイに接続することもでき、各種の連続時間機能を構築できます。

オペアンプと抵抗のアレイは、以下のような各種のアナログ機能を実行するようプログラムできます。

- ネイキッド オペアンプ – 連続モード
- ユニティ ゲイン バッファ – 連続モード
- プログラマブル ゲイン アンプ (PGA) – 連続モード
- トランスインピーダンス アンプ (TIA) – 連続モード
- アップ/ダウン ミキサー – 連続モード
- サンプル ホールド ミキサー (NRZ S/H) – スwitchト キャパシタ モード
- 一次アナログ-デジタル変調器 – スwitchト キャパシタ モード

8.6.1 ネイキッド オペアンプ

ネイキッド オペアンプは、外部および内部信号への接続のために入力と出力の両方を提供します。このオペアンプは、単位利得帯域幅が 6.0 MHz よりも大きく、出力駆動電流は最大で 650 μ A です。これは、内部信号 (DAC の出力など) のバッファ用および 7.5 k Ω よりも大きい外部負荷の駆動用として十分なものです。

8.6.2 ユニティ ゲイン

ユニティ ゲイン バッファとは、出力を反転入力に直接接続することでゲインを 1.00 としたネイキッド オペアンプです。6 MHz 以上で -3dB の帯域幅となります。

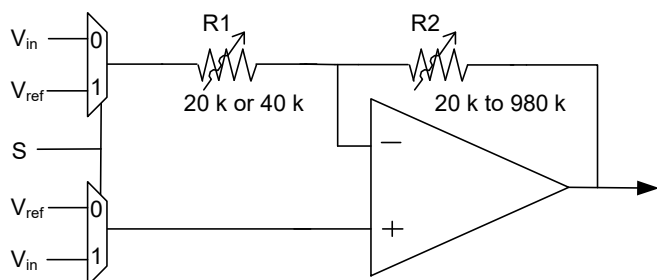
8.6.3 PGA

PGA は、外部または内部信号を増幅します。PGA は、反転モードまたは非反転モードで動作するように設定できます。PGA 機能は、それぞれ 50 種類の正および 49 種類の負のゲインが得られるよう設定でき、ゲインは、図 8-9 に示すとおり R1 と R2 の値を変えることにより調整できます。図 8-9 の回路図は、PGA の設定と可能な抵抗の設定を示しています。両方の入力マルチプレクサで共用する選択値を変更することにより、反転増幅と非反転増幅を切り替えられます。各種のゲインについての帯域幅を表 8-3 に示します。

表 8-3. 帯域幅

ゲイン	帯域幅
1	6.0 MHz
24	340 kHz
48	220 kHz
50	215 kHz

図 8-9. PGA の抵抗設定



PGA は、入力信号が十分大きくないために、希望する ADC の分解能が得られないか、あるいはミキサーなど別の SC/CT ブロックで十分なダイナミックレンジが得られないアプリケーションで使用されます。ゲインは実行時に調整でき、各 ADC サンプルングの前に PGA のゲインも変えられます。

8.6.4 TIA

トランスインピーダンス アンプ (TIA) は、内部または外部の電流を電圧に変換します。TIA は、連続時間コンフィギュレーションで内部フィードバック抵抗を使用して、入力電流を出力電圧に変換します。入力電流 I_{in} に対して出力電圧は $V_{REF} - I_{in} \times R_{fb}$ になります。 V_{REF} は非反転入力の電圧値です。フィードバック抵抗 R_{fb} は、コンフィギュレーションレジスタを通じて 20 KΩ から 1 MΩ の範囲でプログラム可能です。表 8-4 に、可能な R_{fb} の値および関連するコンフィギュレーション設定を示します。

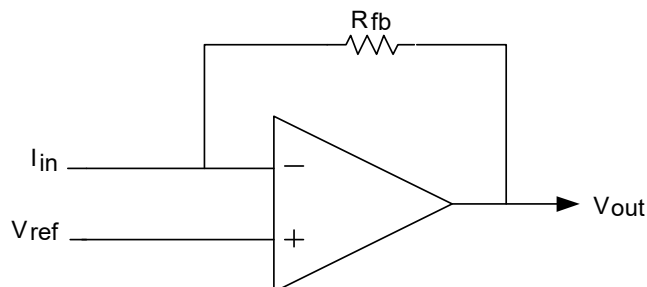
表 8-4. フィードバック抵抗の設定

コンフィギュレーションワード	定格 R_{fb} (KΩ)
000b	20
001b	30
010b	40
011b	60
100b	120
101b	250

表 8-4. フィードバック抵抗の設定 (続き)

110b	500
111b	1000

図 8-10. 連続時間 TIA の回路図



TIA コンフィギュレーションは、外部センサーの電流出力が温度、光、磁束センサーなど、ある種の刺激としての電流となるような用途で使用します。一般的なアプリケーションでは、電圧 DAC の出力を V_{REF} TIA 入力に接続して、電圧 DAC の出力電圧を調整することで外部センサーのバイアス電流を校正できます。

8.7 LCD 直接駆動

PSoC の液晶ディスプレイ (LCD) ドライバシステムは、PSoC によってさまざまな LCD を直接駆動できるように設計された、高度にコンフィギュレーション可能なペリフェラルになっています。すべての電圧がチップ上で生成されるため、外付けコンポーネントの必要はありません。CY8C56LP ファミリの LCD ドライバシステムは、最大 1/16 の高いマルチプレックス比を備えており、最大で 736 セグメントを駆動できます。また、PSoC の LCD ドライバモジュールは、供給電力が限られている携帯型デバイスを考慮して設計され、電力節約のための各種の LCD 駆動モードおよび電源遮断モードが可能になっています。

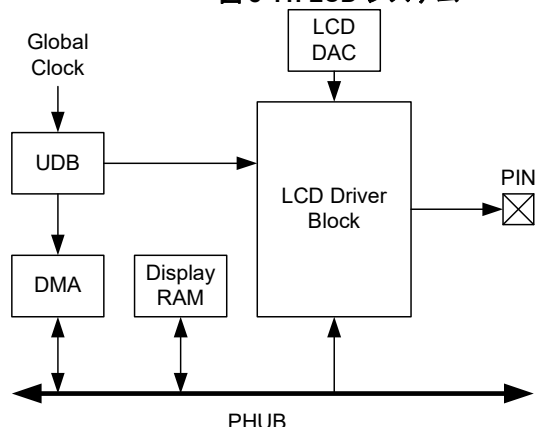
PSoC Creator は、LCD セグメントを駆動するコンポーネントを備えています。このコンポーネントのウィザードにより、LCD リソースを容易かつ柔軟にコンフィギュレーションできます。ユーザーは、セグメントおよびコモンに対応するピンを、他のオプションとともに指定できます。要求された仕様を満たすよう、ソフトウェアがデバイスのコンフィギュレーションを行います。これができるのは、PSoC デバイス固有のプログラマビリティのためです。

PSoC LCD セグメントシステムの主な特長は次のとおりです。

- LCD パネル直接駆動
- タイプ A (標準) およびタイプ B (低電力) の波形をサポート
- LCD の幅広い動作電圧範囲 (2 V ~ 5 V) をサポート
- スタティック、1/2、1/3、1/4、1/5 のバイアス電圧レベル
- 内蔵のラダー抵抗による内部バイアス電圧生成
- 最大で合計 62 のコモンおよびセグメント出力
- 最大 1/16 のマルチプレックスにより、最大 16 のバックプレーン/コモン出力
- 最大 62 の直接駆動用フロントプレーン/セグメント出力

- 最大で合計736セグメント (16バックプレーン×46フロントプレーン) を駆動
- ソフトウェア制御による最大 64 レベルのコントラスト
- ディスプレイ データをメモリ バッファから DMA を介し (CPU の介入なしに) LCD ドライバーに移動させる機能
- 10Hz ~ 150Hz の範囲で調整可能な LCD リフレッシュレート
- LCD ディスプレイをネガ画像に反転する機能
- 3 種類の LCD ドライバの駆動モードにより消費電力の最適化が可能

図 8-11. LCD システム



8.7.1 LCD セグメントピンドライバ

各 GPIO ピンには、1 つの LCD ドライバ回路が含まれています。LCD ドライバは、LCD DAC の該当する出力をバッファし、LCD を直接駆動します。レジスタの設定により、そのピンがコモンかセグメントかを決定します。次に、そのピンの LCD ドライバは、ディスプレイ データに対応して 6 種類のバイアス電圧から 1 つを選択して I/O ピンを駆動します。

8.7.2 ディスプレイ データのフロー

LCD セグメントドライバシステムは、ディスプレイ データを読み出し、適切な出力電圧を生成して LCD パネルに供給し、希望する画像を表示させます。ディスプレイ データは、システム SRAM 内のメモリ バッファに入っています。コモンおよびセグメントドライバの電圧を変える必要があるたびに、次の一組のピクセル データが、メモリ バッファから DMA を経由してポート データ レジスタに移動します。

8.7.3 UDB と LCD セグメント制御

UDB は、グローバル LCD 制御信号およびクロッキングを生成するように設定されます。この一組の信号は、一組の専用の LCD グローバル配線チャネルを通じて各 LCD ピンドライバに接続されます。UDB は、グローバル LCD 制御信号の生成に加えて、LCD データの次のフレームの転送を開始するための DMA 要求も生成します。

8.7.4 LCD DAC

LCD DAC は、LCD システムのコントラスト制御およびバイアス電圧を生成します。LCD DAC は、選択したバイアス比を基にして、5 つまでの LCD ドライブ電圧とグラウンドを生成します。バイアス電圧は、必要に応じて、専用 LCD バイアス バスの GPIO ピンに駆動出力されます。

8.8 CapSense

CapSense システムは、タッチ センスによるボタン、スライダ、近接検知などの用途で静電容量を測定するための汎用性のある効率的な手段を提供します。CapSense システムは、主として CapSense を対象としたいいくつかのハードウェア機能を含むシステム リソースのコンフィギュレーションを使用しています。特定のリソースの使用法は、PSoC Creator の中にある CapSense コンポーネントに詳述されています。

デルタシグマ変調器 (CSD) を使用した容量センシングが使用されています。センシング電流をデジタル コードに変換するデルタシグマ変調器にスイッチト キャパシタ技術を使用した容量センシングを備えています。

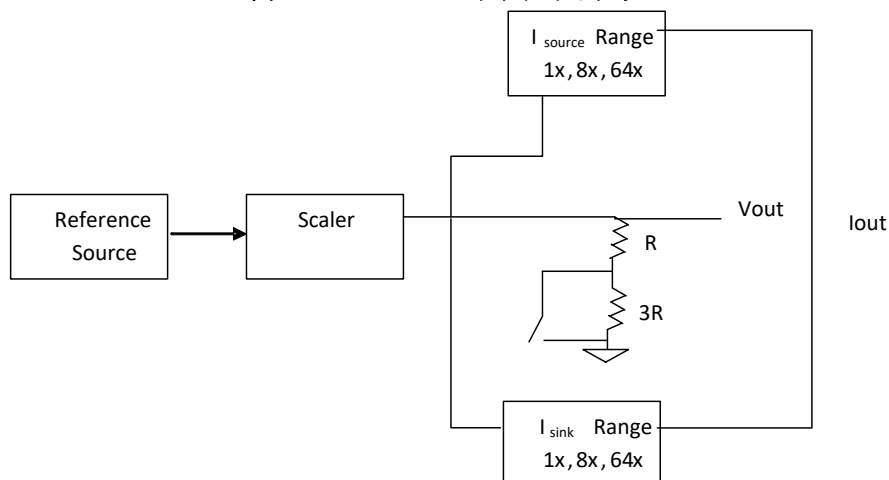
8.9 温度センサー

ダイ温度を使用して、フラッシュ書き込みのためのプログラミング パラメータを確定します。ダイ温度は、順方向バイアスをかけたトランジスタを用いた専用のセンサーを使用して測定します。温度センサーは独自の補助 ADC を備えています。

8.10 DAC

CY8C56LP デバイスは、4 個のデジタル アナログ変換器 (DAC) を備えています。各 DAC は 8 ビットで、電圧出力または電流出力としてコンフィギュレーションできます。DAC は、CapSense、電源制御および波形生成をサポートします。各 DAC の特長は以下のとおりです。

- 255 ステップで調整可能な電圧または電流出力
- プログラム可能なステップ サイズ (範囲選択)
- $\pm 25\%$ のゲイン誤差を補正可能な 8 ビットの校正
- ソースおよびシンク オプション (電流出力時)
- 8 Msps の変換速度 (電流出力時)
- 1 Msps の変換速度 (電圧出力時)
- 単調性
- データとストローブ入力は、CPU または DMA によって提供できます。または、DSI から直接ルーティングすることも可能です。
- 高電流用低抵抗出力ピン。

図 8-12. DAC のブロックダイアグラム


8.10.1 電流 DAC

電流 DAC (IDAC) は、0 ~ 31.875 μ A、0 ~ 255 μ A および 0 ~ 2.04 mA の範囲で設定できます。また、ソース電流またはシンク電流のコンフィギュレーションも可能です。

8.10.2 電圧 DAC

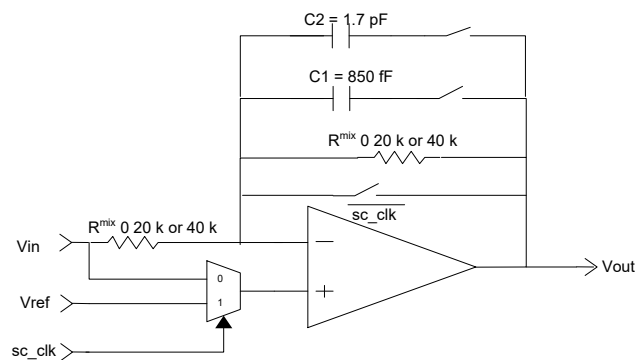
電圧 DAC (VDAC) では、電流 DAC 出力が抵抗を通して出力されます。VDAC には、0 ~ 1.02V および 0 ~ 4.08V の 2 つの範囲が用意されています。電圧モードの場合、DAC の出力に接続する負荷は純容量性のものでなければなりません (VDAC の出力はバッファされません)。

8.11 アップ/ダウン ミキサー

連続時間モードでは、SC/CT ブロック コンポーネントを使用してアップまたはダウン ミキサーを作成します。どのミキサーアプリケーションにも、入力信号周波数とローカル発振器周波数が含まれます。クロック Fclk の極性により、アンプは反転増幅と非反転増幅の間で切り替わります。出力は、入力とローカル発振器からのスイッチング関数との積になり、ローカル発振器プラスおよびマイナス信号周波数 (Fclk + Fin および Fclk - Fin) の周波数成分と、ローカル発振器周波数の奇数倍のレベル低下した周波数成分とを含んでいます。ローカル発振器の周波数は、

そのミキサーに対し選択したクロック ソースから供給されます。

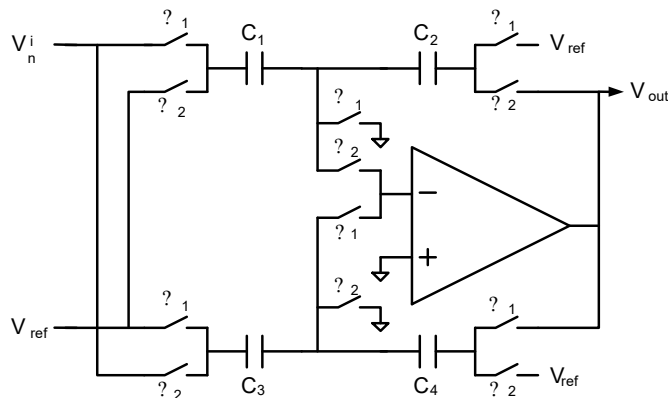
連続時間アップおよびダウン ミキシングは、入力信号およびローカル発振器周波数が最大で 1 MHz のアプリケーションについて有効です。

図 8-13. ミキサーのコンフィギュレーション


8.12 サンプル／ホールド

サンプル／ホールドの主な用途は、ADC が変換を実行している間、値を安定に保つことです。電力の計算 (V および I) など、いくつかのアプリケーションでは、複数の信号を同時にサンプリングする必要があります。この機能をサポートするために、PSoC Creator はサンプルおよびホールド コンポーネントを提供しています。

図 8-14. サンプル／ホールドのトポロジ
(F1 と F2 は互いに逆位相のクロック)



8.12.1 ダウン ミキサー

S+H は、入力信号をダウン コンバートするミキサーとして使用できます。この回路は、最大 14 MHz までの入力信号をサンプリングできる広帯域の受動サンプリング回路網です。このサンプリング値は、最大クロック速度が 4 MHz のオペアンプを使用して保持されます。出力周波数は、ローカル発振器周波数の最大整数倍の値との差になり、これは入力周波数未満の値になります。

8.12.2 一次変調器 — SC モード

一次変調器は、スイッチド キャパシタ ブロックを積分器モードにし、1 ビットを入力にフィードバックするコンパレータを使用することで作成します。基準電圧は、このビットに応じて、入力信号に対し減算または加算されます。変調器の場合、ブロックの出力はコンパレータの出力であり、積分器の出力ではありません。信号はダウンシフトしてバッファされ、続いて、デシメータにより処理されてデルタシグマ変換が行われるか、またはカウンタにより処理されてインクリメンタル変換が行われます。一次変調器によってサンプリングされたデータの精度は、いくつかの要素によって決まります。

この変調器の主な用途は、高精度の低周波数 ADC 用です。アプリケーションとして、ひずみゲージ、熱電対、精密電圧、電流測定などがあります。

9. プログラミング、デバッグ インターフェース、リソース

Cortex-M3 には、CPU と緊密に統合された内部デバッグ コンポーネントがあり、次のような機能を提供します。

- JTAG または SWD へのアクセス
- ブレークポイントおよびコード パッチ実装のための FPB (Flash Patch and Breakpoint) ブロック
- ウォッチポイント、トリガ リソースおよびシステム プロファイリングを実装するための DWT (Data Watchpoint and Trigger) ブロック
- 命令トレースのための ETM (Embedded Trace Macrocell)
- printf 形式のデバッグをサポートする ITM (Instrumentation Trace Macrocell)

PSoC デバイスは、ハードウェアとファームウェアの両方についてプログラミング、テスト、デバッグおよびトレースの幅広いサポートを備えています。利用できるインターフェースは JTAG、SWD、SWV および TRACEPORT です。JTAG および SWD は、デバイスのすべてのプログラミングおよびデバッグ機能をサポートします。JTAG は、ボード レベルのテストのための標準 JTAG スキャン チェーンおよび複数の JTAG デバイスと 1 つの JTAG 接続のチェーンもサポートします。SWV および TRACEPORT では、DWT、ETM および ITM からのトレース出力が得られます。TRACEPORT の方が高速ですが、必要なピン数は多くなります。SWV の方が低速ですが、使用するピンは 1 個で済みます。

PSoC 5 プログラミングの詳細については、アプリケーションノート「[PSoC 5 Device Programming Specifications](#)」を参照してください。

Cortex-M3 のデバッグとトレースの機能によって、標準の量産デバイスを使用した最終システムであらゆる面からデバイスをデバッグできます。専用のインターフェースやデバッグ ボード、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE ソフトウェアは、PSoC デバイスに対する完全に統合されたプログラミングおよびデバッグのサポートを提供します。低コストの MiniProg3 プログラマ兼デバッガは、PSoC Creator IDE と共に、PSoC デバイスに対するプログラミングおよびデバッグのサポートを提供するように設計されています。PSoC の JTAG、SWD および SWV インターフェースは、業界標準のサードパーティ製ツールと完全互換になっています。

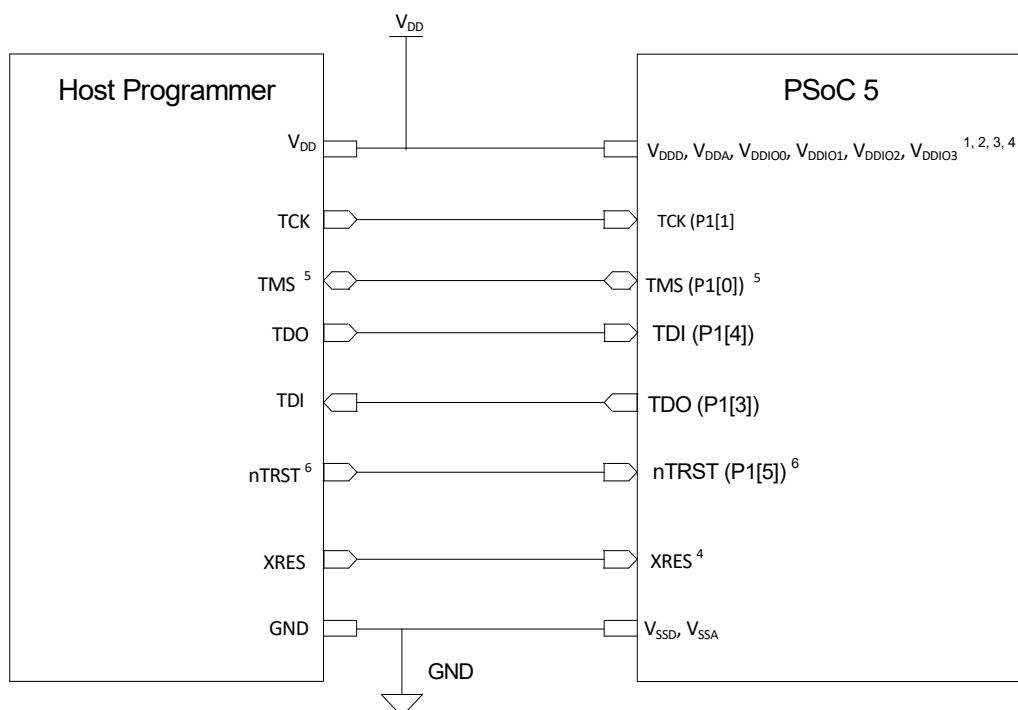
Cortex-M3 のすべてのデバッグとトレースのモジュールは、デフォルトで無効になっており、ファームウェアでのみ有効にできます。これらのモジュールが有効になっていない場合に再度有効にする唯一の方法は、デバイス全体の消去とフラッシュ保護のクリアを実行し、モジュールを有効にする新しいファームウェアでデバイスをプログラムし直すことです。デバッグとトレースの機能の無効化、堅牢なフラッシュ保護およびアナログとデジタルのカスタム機能を PSoC デバイス内部に隠すことによって、複数チップ アプリケーションのソリューションでは不可能なレベルのセキュリティを実現できます。さらに、悪意を持ってデバイスを再プログラムすることによるフィッシング攻撃が懸念されるアプリケーションについて、すべてのデバイス インターフェースを恒久的に無効にすること (デバイスセキュリティ) が可能です。インターフェースの恒久的な無効化は、後で設計者がデバイスにアクセスできなくなるため、ほとんどのアプリケーションにお勧めしません。デバイスセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテストのインターフェースが無効になるため、デバイスセキュリティが有効になった状態の PSoC は、不具合解析のために返送できません。

9.1 JTAG インターフェース

IEEE 1149.1 準拠の JTAG インターフェースが、4 本または 5 本のピン (nTRST ピンはオプション) に出ています。JTAG 高クロック周波数は最大で 12 MHz または 8 ビットと 16 ビット転送時は CPU クロック周波数の 1/3、32 ビット転送時は CPU クロック周波数の 1/5 のうち、最も低い周波数です。新しいデバ

イスの JTAG ピンはデフォルトで有効になっていますが、JTAG インターフェースを無効にし、その代わりにこれらのピンを汎用 I/O (GPIO) として使用できます。JTAG インターフェースは、フラッシュ メモリのプログラミング、デバッグ、I/O スキャンチェーンおよび JTAG デバイス チェーンに使用します。

図 9-1. PSoC 5LP とプログラマ間の JTAG インターフェース接続



¹ The voltage levels of Host Programmer and the PSoC 5 voltage domains involved in Programming should be same. The Port 1 JTAG pins and XRES pin are powered by V_{DDIO1} . So, V_{DDIO1} of PSoC 5 should be at same voltage level as host V_{DD} . Rest of PSoC 5 voltage domains (V_{DD} , V_{DDA} , V_{DDIO0} , V_{DDIO2} , V_{DDIO3}) need not be at the same voltage level as host Programmer.

² V_{DDA} must be greater than or equal to all other power supplies (V_{DD} , V_{DDIO} 's) in PSoC 5.

³ For Power cycle mode Programming, XRES pin is not required. But the Host programmer must have the capability to toggle power (V_{DD} , V_{DDA} , All V_{DDIO} 's) to PSoC 5. This may typically require external interface circuitry to toggle power which will depend on the programming setup. The power supplies can be brought up in any sequence, however, once stable, V_{DDA} must be greater than or equal to all other supplies.

⁴ For JTAG Programming, Device reset can also be done without connecting to the XRES pin or Power cycle mode by using the TMS, TCK, TDI, TDO pins of PSoC 5, and writing to a specific register. But this requires that the DPS setting in NVL is not equal to "Debug Ports Disabled".

⁵ By default, PSoC 5 is configured for 4-wire JTAG mode unless user changes the DPS setting. So the TMS pin is unidirectional. But if the DPS setting is changed to non-JTAG mode, the TMS pin in JTAG is bi-directional as the SWD Protocol has to be used for acquiring the PSoC 5 device initially. After switching from SWD to JTAG mode, the TMS pin will be uni-directional. In such a case, unidirectional buffer should not be used on TMS line.

⁶ nTRST JTAG pin (P1[5]) cannot be used to reset the JTAG TAP controller during first time programming of PSoC 5 as the default setting is 4-wire JTAG (nTRST disabled). Use the TMS, TCK pins to do a reset of JTAG TAP controller.

9.2 SWD インターフェース

SWD インターフェースは、JTAG インターフェースの代替として好まれます。JTAG では 4 本または 5 本のピンが必要であるのに対し、SWD では 2 本のピンのみを必要とします。SWD は、JTAG のすべてのプログラミングおよびデバッグ機能を JTAG と同じ速度で提供します。SWD では、スキャン チェーンまたはデバイス チェーンへのアクセスは用意されていません。SWD クロック周波数は、最大で CPU クロック周波数の 1/3 まで可能です。

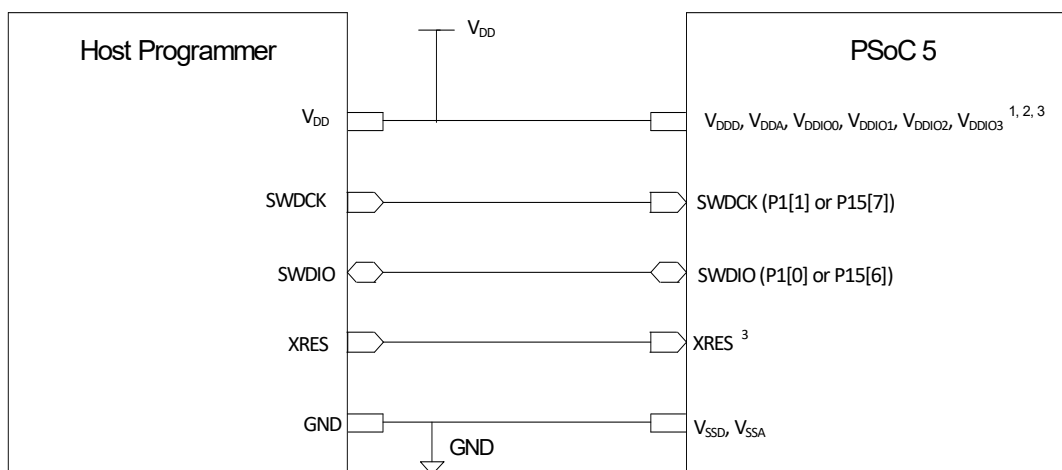
SWD では、JTAG ピン (TMS と TCK) または USBIO の D+ と D- ピンのどちらか、2 本のピンを使用します。USBIO ピンは USB ソリューションのインシステム プログラミングに役立ちます。USBIO ピンを使用しない場合は、独立したプログラミング コネクタが必要になります。1 本のピンをデータ クロックに使用し、もう 1 本をデータの入出力に使用します。

SWD は、一度に 1 組のみ有効にできます。これは、リセット後 8 μ s (キー ウィンドウ) 以内に、そのピンの組 (JTAG または USB) があらかじめ定められた 1s と 0s の開通シーケンスを受信した場合にのみ発生します。NVL ラッチが SWD に設定されている場合 (節 5.5 を参照してください)、このシーケンスは JTAG ピンのペアに適用される必要はありません。開通シーケンスは、常に USB ピンのペアに適用されます。

SWD は、フラッシュ メモリのデバッグまたはプログラミングに使用します。

SWD インターフェースは、JTAG インターフェースから有効にでき、あるいは無効にして、そのピンを GPIO として使用できます。SWD インターフェースは、JTAG とは異なり、常にキー ウィンドウ中に任意のデバイス上で再取得できます。その後、必要に応じて JTAG インターフェースを再度有効にするために使用できます。SWD または JTAG のピンを標準 GPIO として使用する場合、GPIO の機能および PCB 回路が SWD または JTAG の使用と干渉しないことを確認してください。

図 9-2. PSoC 5LP とプログラマ間の SWD インターフェース接続



¹ The voltage levels of the Host Programmer and the PSoC 5 voltage domains involved in programming should be the same. The XRES pin is powered by V_{DDIO1}. The USB SWD pins are powered by V_{DD}. So for Programming using the USB SWD pins with XRES pin, the V_{DD}, V_{DDIO1} of PSoC 5 should be at the same voltage level as host V_{DD}. Rest of PSoC 5 voltage domains (V_{DDA}, V_{DDIO0}, V_{DDIO2}, V_{DDIO3}) need not be at the same voltage level as host Programmer. The Port 1 SWD pins are powered by V_{DDIO1}. So V_{DDIO1} of PSoC 5 should be at same voltage level as host V_{DD} for Port 1 SWD programming. Rest of PSoC 5 voltage domains (V_{DD}, V_{DDA}, V_{DDIO0}, V_{DDIO2}, V_{DDIO3}) need not be at the same voltage level as host Programmer.

² V_{DDA} must be greater than or equal to all other power supplies (V_{DD}, V_{DDIO}'s) in PSoC 5.

³ For Power cycle mode Programming, XRES pin is not required. But the Host programmer must have the capability to toggle power (V_{DD}, V_{DDA}, All V_{DDIO}'s) to PSoC 5. This may typically require external interface circuitry to toggle power which will depend on the programming setup. The power supplies can be brought up in any sequence, however, once stable, V_{DDA} must be greater than or equal to all other supplies.

9.3 デバッグ機能

CY8C56LP は、以下のデバッグ機能をサポートします。

- CPU の停止およびシングルステップ実行
- CPU およびペリフェラルのレジスタおよび RAM アドレスの表示と変更
- 6 個のプログラムアドレスブレークポイントおよび 2 個のリアルタイムアクセス ブレークポイント
- CPU に対するデータ ウォッチポイント イベント
- フラッシュから SRAM へのパッチと再マップの命令
- CPU の全速度でのデバッグ
- PSoC Creator および MiniProg3 プログラマおよびデバッグに対応
- CY8C56LP は、標準 JTAG プログラミングおよびデバッグインターフェースを備えているため、他の広く使用されているサードパーティ製ツール (たとえば、Arm/Keil) に対応します。

9.4 トレースの特長

次のトレース機能がサポートされています。

- 命令トレース
- データ アドレス、アドレス範囲、またはデータ値へのアクセス時のデータ ウォッチポイント
- データ ウォッチポイントでのトレース トリガー
- デバッグ例外トリガー
- コード プロファイリング
- クロック サイクル数、フォールドされた命令数、ロード/書き込み操作の数、スリープ サイクル数、命令あたりのサイクル数、割込みによるオーバーヘッドを測定するカウンター
- 割込みイベントのトレース
- ソフトウェア イベント監視、「printf 形式」のデバッグ

9.5 SWV インターフェースおよび TRACEPORT インターフェース

SWV インターフェースおよび TRACEPORT インターフェースは、サイプレスの MiniProg3 または外部のトレースポートアナライザを介してトレースデータをデバッグホストに提供します。大量のトレースストリームを高速転送するために、5 ピンの TRACEPORT が使用されています。ピンが 1 本のみの SWV モードは、配線ピンの数を最小にするために使用します。SWV は、JTAG ピンと共有されます。デバッグとトレースを同時に進める場合は、表 9-1 に示すように、SWV または TRACEPORT で SWD を使用するか、TRACEPORT で JTAG を使用します。

表 9-1. デバッグのコンフィギュレーション

デバッグおよびトレースの コンフィギュレーション	使用する GPIO ピン
すべてのデバッグおよびトレースが無効	0
JTAG	4 または 5
SWD	2
SWV	1
TRACEPORT	5
JTAG + TRACEPORT	9 または 10
SWD + SWV	3
SWD + TRACEPORT	7

9.6 プログラミング機能

JTAG および SWD インターフェースでは、完全なプログラミングサポートが提供されます。デバイス全体を消去、プログラムおよび検証できます。設計者は、フラッシュ保護レベルを上げることでファームウェア IP を保護できます。フラッシュ保護は、デバイスを完全消去した後にのみリセットできます。ブロックセキュリティの設定で許可される場合、個別のフラッシュブロックを消去、プログラムおよび検証できます。

9.7 デバイス セキュリティ

PSoC 5LP は、デバイスセキュリティと呼ばれる高度なセキュリティ機能も備えています。これは、すべてのテスト、プログラミングおよびデバッグポートを恒久的に無効にすることにより、アプリケーションを外部アクセスから保護します。デバイスセキュリティは、ライトワンスラッチ (WOL) に 32 ビットキー (0x50536F43) をプログラミングすることによってアクティブ化されます。

ライトワンスラッチは、不揮発性ラッチ (NVL) の一種です。セル自体が NVL で、その周りに追加のロジックがラップされています。各 WOL 素子は 4 バイト (32 ビット) のデータを格納します。ラッチは、ビットの大部分 (32 分の 28) が所定のパターン (0x50536F43) と一致する場合は「1」、そうでない場合は「0」を出力します。出力が 1 の場合、ライトワンス NVL は、デバイスのデバッグおよびテストモードをロックアウトすると同時に、ラッチの内容の消去または変更を恒久的に遮断します。必ずしもすべてのビットが一致する必要があるため、1 個 (または数個) のビット誤りによって WOL 出力がデアサートされることはありません。ウェハ加工後の NVL ビットの状態はまったく不規則で、1 または 0 への偏りはありません。

WOL は、正しい 32 ビットキー (0x50536F43) を NVL の揮発性メモリに読み込み、NVL の不揮発性セルにプログラムし、デバイスをリセットした後にのみデバイスをロックします。WOL の出力は、リセット時にのみサンプリングされ、アクセスを無効にするために使用されます。これにより、内部メモリの内容の読み出し、消去、または変更を防止します。

ユーザーが WOL にキーを書き込んで外部アクセスをロックアウトできるのは、フラッシュ保護がセットされていない場合のみです (20 ページの「フラッシュのセキュリティ」を参照してください)。ただし、WOL に値をセットした後も、デバイスをリセットするまでは引き続きデバイスへのアクセスが可能です。したがって、ユーザーは WOL にキーを書き込み、フラッシュ保護データをプログラムし、デバイスをリセットすることにより、デバイスをロックできます。

WOL の設定によって保護されたデバイスは、サイプレスは不具合解析が行えないため、お客様からの RMA に対応できません。保護されたデバイスは、シリアル ワイヤ デバッグ (SWD) ポートから WOL を読み出すことによって電氣的に特定できます。ユーザーが WOL にキーを書き込んで外部アクセスをロックアウトできるのは、フラッシュ保護がセットされていない場合のみです。PSoC のセキュリティ機能の詳しい活用方法については、「PSoC 5 TRM」を参照してください。

免責条項

サイプレスのデバイスのフラッシュ コード保護機能について、以下の点にご注意ください。

サイプレス製品は、該当する特定のサイプレス データシートに記載されている仕様を満たします。サイプレスは、市販されている同様の製品ファミリにおいて、製品ファミリが、使用方法にかかわらず最高水準の安全性を持つと考えています。サイプレスの知り得ない方法がコード保護機能を侵害する可能性があるかも知れません。サイプレスの知る限り、そのような方法はすべて不正で、かつ違法と考えられます。サイプレスまたはその他の半導体メーカーのいずれも、自社のコードのセキュリティを保証することはできません。コードの保護は、サイプレスが製品の「解読不能」を保証していることを意味するものではありません。

サイプレスには、自社コードの完全性に関心があるユーザーと協力する意思があります。コードの保護は絶えず進化しており、サイプレスは当社製品のコード保護機能の継続的改善に努めています。

9.8 CSP パッケージ ブートローダ

工場出荷時にインストールされたブートローダ プログラムは、CSP パッケージとすべてのデバイスに搭載されます。このブートローダは PSoC Creator 3.0 のブートロード可能なプロジェクト ファイルと互換性があり、次の特長があります。

- I2C ベース
- SCLK と SDAT は、それぞれ P1[6] と P1[7] で使用可能
- 外部プルアップ抵抗が必要
- I2C スレーブ、アドレス 4、データ転送速度 = 100 kbps
- シングル アプリケーション
- ブートロード コマンドのために 2 秒待ち
- 他のブートローダーのオプションは PSoC Creator 3.0 のブートローダ コンポーネントのデフォルトで設定される
- フラッシュの下位 9 KB を占有
このブートローダーの詳細については、次のサイプレス アプリケーション ノート参照してください。
- AN73854, PSoC 3 and PSoC 5 LP Introduction to Bootloaders
- AN60317, PSoC 3 and PSoC 5 LP I2C Bootloader

PSoC Creator のブートロード可能なプロジェクトは、ターゲット デバイスとして構成されるブートローダ プロジェクトの .hex と .elf ファイルと関係しなければならぬため、ご注意ください。ブートローダの .hex と .elf ファイルについては www.cypress.com/go/PSoC5LPdatasheet をご覧ください。

工場出荷時にインストールされたブートローダは JTAG または SWD プログラミングで上書きできます。

10. 開発サポート

CY8C56LP ファミリーには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。詳細については、psoc.cypress.com/getting-started をご覧ください。

10.1 ドキュメント

ドキュメント一式が CY8C56LP ファミリーをサポートし、ユーザーは、疑問点に対する答えを素早く見つけられます。重要な資料のいくつかは、本節にリストアップされています。

ソフトウェア ユーザー ガイド：PSoC Creator の操作方法の手引書。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルド プロセスの詳細、PSoC Creator を用いたソース制御の使い方、その他が記載されています。

コンポーネント データシート：PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、特定のコンポーネントの選択および使用に必要な情報が、機能説明、API ドキュメント、サンプル コード、AC/DC 仕様を含んですべて記載されています。

アプリケーション ノート：PSoC アプリケーション ノートには、PSoC の特定のアプリケーションについて詳細な説明が記載されています。例として、ブラシレス DC モーターの制御やオンチップ フィルタリングがあります。アプリケーション ノートには、多くの場合、アプリケーション ノートのドキュメントに加えてサンプル プロジェクトが含まれています。

テクニカル リファレンス マニュアル：PSoC Creator では、周辺デバイスを回路図上にドラッグするだけで簡単に PSoC を使用したデザインが可能です。PSoC デバイスについて詳細な内容が必要な場合は、ユーザーの手引き書として「Technical Reference Manual (TRM)」をご使用ください。

注：Cortex-M3 CPU に関する詳細なドキュメントについては、www.arm.com にアクセスしてください。

10.2 オンライン

印刷された資料のほかに、サイプレス PSoC フォーラムによって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

10.3 ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた CY8C56LP ファミリーは、開発ツール エコシステムの一部です。革新的で使いやすい PSoC Creator IDE、サポートされるサードパーティのコンパイラ、プログラマ、デバッグおよび開発キットの最新情報については、サイプレスのウェブサイト www.cypress.com/go/psoccreator をご覧ください。

11. 電氣的仕様

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて、1.71 V ~ 5.5 V において有効です。PSoC の UDB およびアナログ ブロックは他に類のない柔軟性を備えているため、多くの機能を PSoC Creator のコンポーネントの中で実現できます。それぞれの機能の完全な AC/DC 仕様についてはコンポーネント データ シートをご覧ください。PSoC Creator コンポーネントの詳細については、40 ページの「ペリフェラルの例」を参照してください。

11.1 絶対最大定格

表 11-1. 絶対最大定格の DC 仕様^[14]

パラメーター	説明	条件	Min	Typ	Max	単位
V_{DDA}	V_{SSA} を基準としたアナログ電源電圧		-0.5	–	6	V
V_{DDD}	V_{SSD} を基準としたデジタル電源電圧		-0.5	–	6	V
V_{DDIO}	V_{SSD} を基準とした I/O 電源電圧		-0.5	–	6	V
V_{CCA}	直接アナログ コア電圧入力		-0.5	–	1.95	V
V_{CCD}	直接デジタル コア電圧入力		-0.5	–	1.95	V
V_{SSA}	アナログ グラウンド電圧		$V_{SSD} - 0.5$	–	$V_{SSD} + 0.5$	V
V_{GPIO} ^[15]	GPIO への DC 入力電圧	V_{DDA} によって供給され、内部でピンへ配線された信号を含む	$V_{SSD} - 0.5$	–	$V_{DDIO} + 0.5$	V
V_{SIO}	SIO への DC 入力電圧	出力が無効	$V_{SSD} - 0.5$	–	7	V
		出力が有効	$V_{SSD} - 0.5$	–	6	V
V_{IND}	ブースト コンバータ入力電圧		0.5	–	5.5	V
V_{BAT}	ブースト コンバータ電源		$V_{SSD} - 0.5$	–	5.5	V
I_{VDDIO}	V_{DDIO} 電源ピンごとの電流		–	–	100	mA
I_{GPIO}	GPIO 電流		-30	–	41	mA
I_{SIO}	SIO 電流		-49	–	28	mA
I_{USBIO}	USBIO 電流		-56	–	59	mA
LU	ラッチアップ電流 ^[16]		-140	–	140	mA
ESD_{HBM}	静電気放電電圧	人体モデル	2000	–	–	V
ESD_{CDM}	静電気放電電圧	荷電デバイス モデル	500	–	–	V

注：

14. 表 11-1 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様どおりに動作しない可能性があります。

15. V_{DDIO} 電源電圧は、その供給先である GPIO ピンの最大電圧より高い必要があります。GPIO ピンでの最大電圧 $\leq V_{DDIO} \leq V_{DDA}$ になります。

16. JEDEC 仕様 EIA/JESD78 IC ラッチアップ試験を満たしている、または超えています。

11.2 デバイス レベルの仕様

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて、1.71 V ~ 5.5 V において有効です。特記されていない限り、すべての図とグラフは標準値を示します。

11.2.1 デバイス レベルの仕様

表 11-2. DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V _{DDA}	アナログ電源電圧およびアナログ コア レギュレータへの入力	アナログ コア レギュレータが有効	1.8	—	5.5	V
V _{DDA}	アナログ電源電圧、アナログ レギュレータをバイパス	アナログ コア レギュレータが無効	1.71	1.8	1.89	V
V _{DDD}	V _{SSD} を 基準としたデジタル電源電圧	デジタル コア レギュレータが有効	1.8	—	V _{DDA} ^[17]	V
V _{DDD}	デジタル電源電圧、デジタル レギュレータをバイパス	デジタル コア レギュレータが無効	1.71	1.8	1.89	V
V _{DDIO} ^[18]	V _{SSIO} を 基準とした I/O電 源電圧		1.71	—	V _{DDA} ^[17]	V
V _{CCA}	直接アナログ コア電圧入力 (アナログ レギュレータをバイパス)	アナログ コア レギュレータが無効	1.71	1.8	1.89	V
V _{CCD}	直接デジタル コア電圧入力 (デジタルレギュレータをバイパス)	デジタル コア レギュレータが無効	1.71	1.8	1.89	V
I _{DD} ^[20]	アクティブ モード デジタル電流とアナログ電流の合計 (I _{DDD} + I _{DDA})。I/O 用の I _{DDIOX} が含まれていない。 IMO が有効で、バス クロックと CPU クロックが有効。 CPU がフラッシュから複雑なプログラムを実行	V _{DDX} = 2.7 V ~ 5.5 V; F _{CPU} = 3 MHz ^[21] T = -40°C T = 25°C T = 85°C T = 105°C V _{DDX} = 2.7 V ~ 5.5 V; F _{CPU} = 6 MHz T = -40°C T = 25°C T = 85°C T = 105°C V _{DDX} = 2.7 V ~ 5.5 V; F _{CPU} = 12 MHz ^[21] T = -40°C T = 25°C T = 85°C T = 105°C V _{DDX} = 2.7 V ~ 5.5 V; F _{CPU} = 24 MHz ^[21] T = -40°C T = 25°C T = 85°C T = 105°C V _{DDX} = 2.7 V ~ 5.5 V; F _{CPU} = 48 MHz ^[21] T = -40°C T = 25°C T = 85°C T = 105°C V _{DDX} = 2.7 V ~ 5.5 V; F _{CPU} = 62 MHz T = -40°C T = 25°C T = 85°C T = 105°C V _{DDX} = 2.7 V ~ 5.5 V; F _{CPU} = 74 MHz T = -40°C T = 25°C T = 85°C T = 105°C V _{DDX} = 2.7 V ~ 5.5 V; F _{CPU} = 80 MHz、IMO = 3 MHz (PLL と併用) T = -40°C T = 25°C T = 85°C T = 105°C	— 			

注:

17. 電源は、任意の順番で供給できますが、 V_{DDA} は一旦安定すると、他のすべての電源電圧以上でなければなりません。
18. V_{DDIO} 電源電圧は、その供給先である GPIO ピンの最大電圧より高い必要があります。GPIO ピンでの最大電圧 $\leq V_{DDIO} \leq V_{DDA}$ 。
19. 設計で保証され、出荷試験はされていません。
20. プログラムされた論理ブロックだけに実装される追加ペリフェラルの消費電流は、統合開発環境である PSoC Creator での各データシートに記載されています。総電流を予測するには、デバイス データシートおよびコンポーネント データシートで特定のシステムにおけるペリフェラルの消費電流を調べ、特定の周波数での CPU 電流に加算してください。
21. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-2. DC 仕様 (続き)

パラメーター	説明	条件		Min	Typ	Max	単位
I _{DD} ^[22]	スリープモード ^[23] CPU = オフ RTC = オン (= ECO32K がオン、低消費電力モードにある) スリープタイマー = オン (= ILO がオン 1kHz で動作) ^[24] WDT = オフ I ² C ウェイク = オフ コンパレータ = オフ POR = オン ブースト = オフ SIO ピンがシングルエンド入力、非安定化出力モードにある	V _{DD} = V _{DDIO} = 4.5 ~ 5.5 V	T = -40°C	-	1.9	3.1	μA
			T = 25°C	-	2.4	3.6	
			T = 85°C	-	5	16	
			T = 105°C	-	5	16	
		V _{DD} = V _{DDIO} = 2.7 ~ 3.6 V	T = -40°C	-	1.7	3.1	
			T = 25°C	-	2	3.6	
			T = 85°C	-	4.2	16	
			T = 105°C	-	4.2	16	
		V _{DD} = V _{DDIO} = 1.71 ~ 1.95 V	T = -40°C	-	1.6	3.1	
			T = 25°C	-	1.9	3.6	
			T = 85°C	-	4.2	16	
			T = 105°C	-	4.2	16	
コンパレータ = オン CPU = オフ RTC = オフ スリープタイマー = オフ WDT = オフ I ² C ウェイクアップ = オフ POR = オン ブースト = オフ SIO ピンがシングルエンド入力、非安定化出力モードにある	V _{DD} = V _{DDIO} = 2.7V ~ 3.6 V ^[25]	T = 25°C	-	3	4.2	μA	
	I ² C ウェイクアップ = オン CPU = オフ RTC = オフ スリープタイマー = オフ WDT = オフ コンパレータ = オフ POR = オン ブースト = オフ SIO ピンがシングルエンド入力、非安定化出力モードにある	V _{DD} = V _{DDIO} = 2.7V ~ 3.6V ^[25]	T = 25°C	-	1.7	3.6	μA

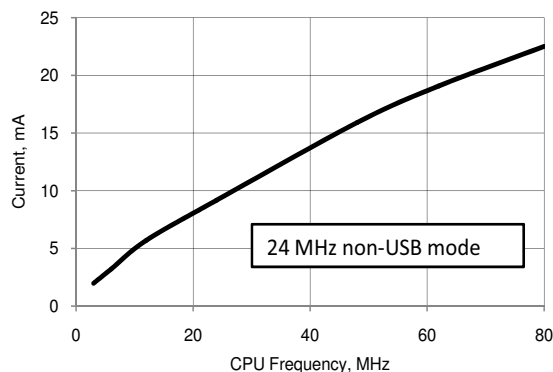
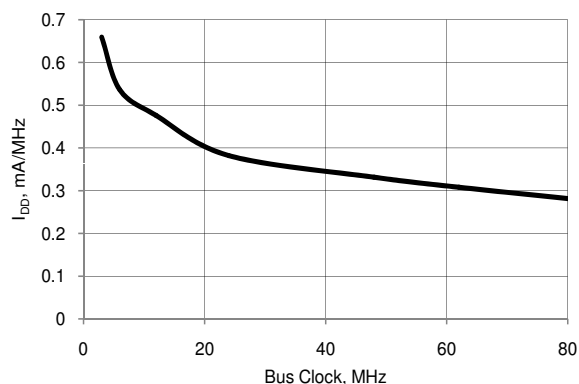
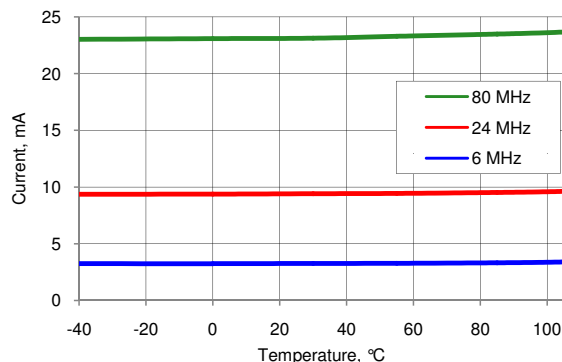
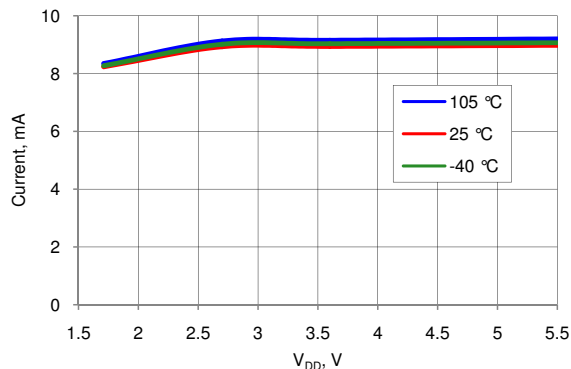
注:

22. プログラムされた論理ブロックだけで実装されている追加プリフェラルの消費電流は、統合開発環境である PSoC Creator で使用できるそれぞれのデータシートに記載されています。総電流を予測するには、デバイスデータシートおよびコンポーネントデータシートで特定のシステムにおけるペリフェラルの消費電流を調べ、特定の周波数での CPU 電流に加算してください。
23. V_{CCD} および V_{CCA} を外部で安定化している場合、 V_{CCD} と V_{CCA} 間の電圧差が 50mV 未満でなければなりません。
24. スリープタイマーは、CPU のウェイクアップのため定期的に割込みを生成します。この仕様は、CPU がオフである場合にのみ適用します。
25. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-2. DC 仕様 (続き)

パラメーター	説明	条件	Min	Typ	Max	単位	
I _{DD} ^[26]	ハイバネート モード ハイバネート モード電流 レギュレータおよび発振器はすべてオフ SRAM は保持 GPIO 割込みアクティブ ブースト = オフ SIO ピンはシングル エンド入力、非安定化出力モード	V _{DD} = V _{DDIO} = 4.5 ~ 5.5 V	T = -40°C	–	0.2	2	μA
			T = 25°C	–	0.24	2	
			T = 85°C	–	2.6	15	
			T = 105°C	–	2.6	15	
		V _{DD} = V _{DDIO} = 2.7 ~ 3.6 V	T = -40°C	–	0.11	2	
			T = 25°C	–	0.3	2	
			T = 85°C	–	2	15	
			T = 105°C	–	2	15	
		V _{DD} = V _{DDIO} = 1.71 ~ 1.95 V	T = -40°C	–	0.9	2	
			T = 25°C	–	0.11	2	
			T = 85°C	–	1.8	15	
			T = 105°C	–	1.8	15	
I _{DDAR} ^[27]	デバイスのリセット中のアナログ消費電流	V _{D_{DA}} ≤ 3.6 V	–	0.3	0.6	mA	
		V _{D_{DA}} > 3.6 V	–	1.4	3.3	mA	
I _{DDDR} ^[27]	デバイスのリセット中のデジタル消費電流	V _{D_{DD}} ≤ 3.6 V	–	1.1	3.1	mA	
		V _{D_{DD}} > 3.6 V	–	0.7	3.1	mA	
I _{DD_PROG} ^[25]	デバイスがプログラムされている間の消費電流。デジタル電流、アナログ電流および IO 電流の合計：I _{DDD} + I _{DDA} + I _{DDIOX}		–	15	21	mA	

- 注:**
26. プログラムされた論理ブロックだけに実装される追加ペリフェラルの消費電流は、統合開発環境である PSoC Creator での各データシートに記載されています。総電流を予測するには、デバイス データシートおよびコンポーネント データシートで特定のシステムにおけるペリフェラルの消費電流を調べ、特定の周波数での CPU 電流に加算してください。
27. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-1. アクティブ モード電流対 F_{CPU} 、 $V_{DD} = 3.3V$ 、温度 = 25°C

図 11-2. 25°C で I_{DD} 対周波数

図 11-3. アクティブ モード電流対温度と F_{CPU} 、 $V_{DD} = 3.3V$

図 11-4. アクティブ モード電流対 V_{DD} と温度、 $F_{CPU} = 24MHz$

表 11-3. AC仕様

パラメーター	説明	条件	Min	Typ	Max	単位
F_{CPU}	CPU 周波数	$1.71 V \leq V_{DD} \leq 5.5 V$	DC	—	80.01	MHz
F_{BUSCLK}	バス周波数	$1.71 V \leq V_{DD} \leq 5.5 V$	DC	—	80.01	MHz
$S_{VDD}^{[28]}$	V_{DD} ランプ レート		—	—	0.066	V/ μ s
$T_{IO_INIT}^{[28]}$	$V_{DD}/V_{DDA}/V_{CCD}/V_{CCA} \geq IPOR$ から、I/O ポート がリセット 状態に設定されるまでの 時間		—	—	10	μ s
$T_{STARTUP}^{[28]}$	$V_{DD}/V_{DDA}/V_{CCD}/V_{CCA} \geq PRES$ から、CPU がリセット ベクタでコードを実行するまで の時間	$V_{CCA}/V_{DDA} = V_{DDA}/V_{DD}$ から調整、PLL 使用 なし、高速 IMO ブート モード (Typ 値 :48 MHz)	—	—	33	μ s
		$V_{CCA}/V_{CCD} = V_{DDA}/V_{DD}$ から調整、PLL 使用 なし、低速 IMO ブート モード (Typ 値 :12 MHz)	—	—	66	μ s
$T_{SLEEP}^{[28]}$	スリープ モードからのウェイクアップ - 非 LVD 割込みの適用から次の CPU 命令の 実行開始までの時間		—	—	25	μ s
$T_{HIBERNATE}^{[28]}$	ハイバネート モードからのウェイクアップ - 外部割込みの適用から次の CPU 命令の実行 開始までの時間		—	—	150	μ s

注：
28. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.3 電源レギュレータ

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて、1.71 V ~ 5.5 V において有効です。

11.3.1 デジタル コア レギュレータ

表 11-4. デジタル コア レギュレータの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{DDD}	入力電圧		1.8	–	5.5	V
V_{CCD}	出力電圧		–	1.80	–	V
	レギュレータ出力コンデンサ	$\pm 10\%$ 、X5R セラミックまたはこれより良質のもの 2 本の V_{CCD} ピンは可能な限り短い配線で短絡する必要がある。 27 ページの「電源システム」 を参照してください	0.9	1	1.1	μF

図 11-5. アナログとデジタル レギュレータ、 V_{CC} 対 V_{DD} 、10mA 負荷

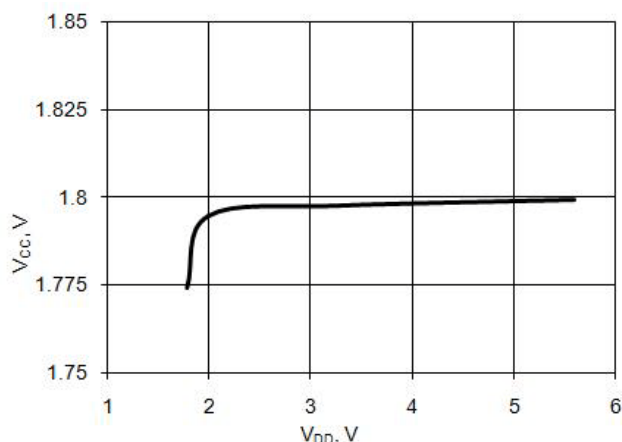
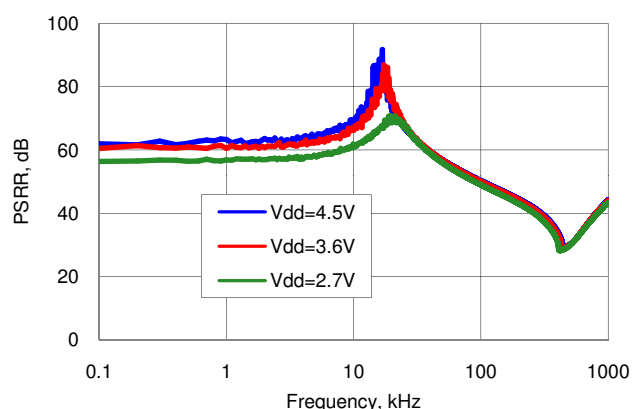


図 11-6. デジタル レギュレータの PSRR 対周波数と V_{DD}

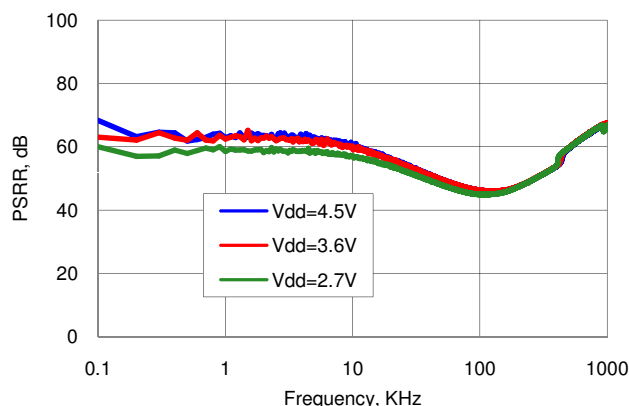


11.3.2 アナログ コア レギュレータ

表 11-5. アナログ コア レギュレータの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{DDA}	入力電圧		1.8	–	5.5	V
V_{CCA}	出力電圧		–	1.80	–	V
	レギュレータ出力コンデンサ	$\pm 10\%$ 、X5R セラミックまたはこれより良質のもの	0.9	1	1.1	μF

図 11-7. アナログ レギュレータの PSRR 対周波数と V_{DD}



11.3.3 インダクティブ ブースト レギュレータ

特に定めのないかぎり、動作条件は次のとおりです。V_{BAT} = 0.5 V ~ 3.6 V、V_{OUT} = 1.8 V ~ 5.0 V、I_{OUT} = 0 mA ~ 50 mA、L_{BOOST} = 4.7 μH ~ 22 μH、C_{BOOST} = 22 μF || 3 × 1.0 μF || 3 × 0.1 μF、C_{BAT} = 22 μF、I_F = 1.0 A。特記されていないかぎり、すべての図とグラフは標準値を示します。

表 11-6. インダクティブ ブースト レギュレータの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V _{OUT}	ブースト出力電圧 [29]	BOOST_CR0 レジスタで v _{sel} = 1.8 V	1.71	1.8	1.89	V
		BOOST_CR0 レジスタで v _{sel} = 1.9 V	1.81	1.90	2.00	V
		BOOST_CR0 レジスタで v _{sel} = 2.0 V	1.90	2.00	2.10	V
		BOOST_CR0 レジスタで v _{sel} = 2.4 V	2.16	2.40	2.64	V
		BOOST_CR0 レジスタで v _{sel} = 2.7 V	2.43	2.70	2.97	V
		BOOST_CR0 レジスタで v _{sel} = 3.0 V	2.70	3.00	3.30	V
		BOOST_CR0 レジスタで v _{sel} = 3.3 V	2.97	3.30	3.63	V
		BOOST_CR0 レジスタで v _{sel} = 3.6 V	3.24	3.60	3.96	V
		BOOST_CR0 レジスタで v _{sel} = 5.0 V	4.50	5.00	5.50	V
V _{BAT}	ブーストへの入力電圧 [30]	I _{OUT} = 0 mA ~ 5 mA v _{sel} = 1.8 V ~ 2.0 V、 T _A = 0°C ~ 70°C	0.5	–	0.8	V
		I _{OUT} = 0 mA ~ 15 mA v _{sel} = 1.8 V ~ 5.0 V ^[31] 、 T _A = –10°C ~ 85°C	1.6	–	3.6	V
		I _{OUT} = 0 mA ~ 25 mA v _{sel} = 1.8 V ~ 2.7 V、 T _A = –10°C ~ 85°C	0.8	–	1.6	V
		I _{OUT} = 0 mA ~ 50 mA v _{sel} = 1.8 V ~ 3.3 V ^[31] 、 T _A = –40°C ~ 85°C	1.8	–	2.5	V
			1.3	–	2.5	V
			2.5	–	3.6	V
		v _{sel} = 2.5 V ~ 5.0 V ^[31] 、 T _A = –10°C ~ 85°C	2.5	–	3.6	V
I _{OUT}	出力電流	T _A = 0°C ~ 70°C V _{BAT} = 0.5 V ~ 0.8 V	0	–	5	mA
		T _A = –10°C ~ 85°C V _{BAT} = 1.6 V ~ 3.6 V	0	–	15	mA
			0	–	25	mA
			0	–	50	mA
			0	–	50	mA
		T _A = –40°C ~ 85°C V _{BAT} = 1.8 V ~ 2.5 V	0	–	50	mA
			0	–	50	mA
I _{LPK}	インダクタのピーク電流		–	–	700	mA
I _Q	無信号時電流	ブースト アクティブ モード	–	250	–	μA
		ブースト スリープ モード、I _{OUT} < 1 μA	–	25	–	μA
Reg _{LOAD}	負荷安定化		–	–	10	%
Reg _{LINE}	電源変動		–	–	10	%

注:

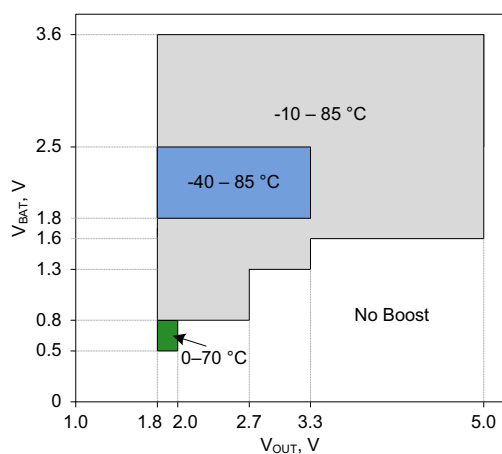
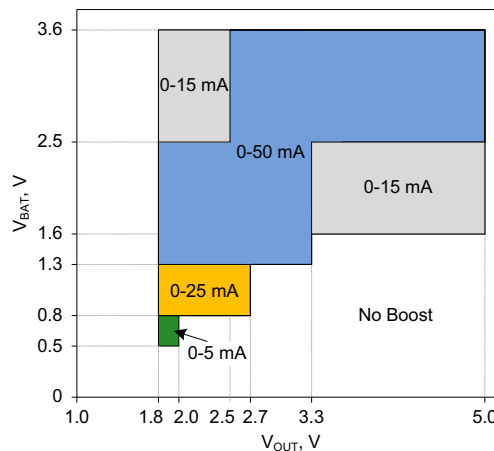
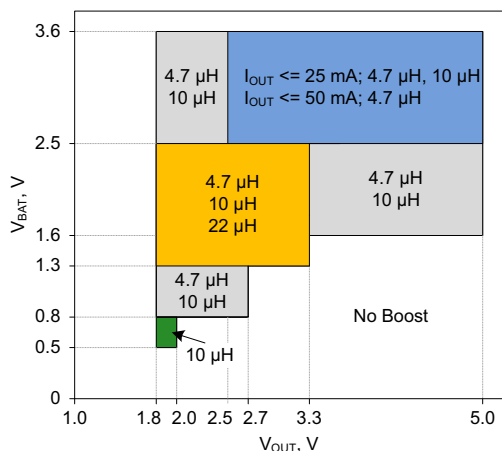
29. 一覧表示されている v_{sel} オプションは特性評価されました。追加の v_{sel} オプションは有効であり、設計保証です。

30. ブーストは、V_{BAT} = 0.5 V まで下げる条件を含むすべての有効な V_{BAT} 条件で開始します。

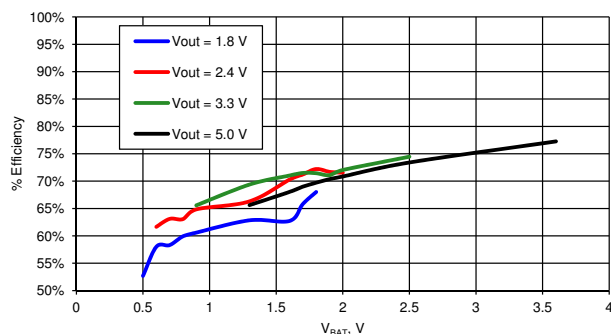
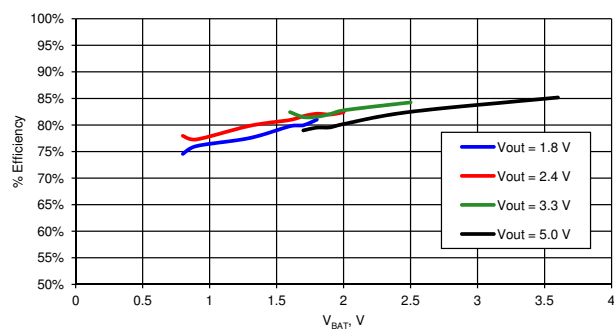
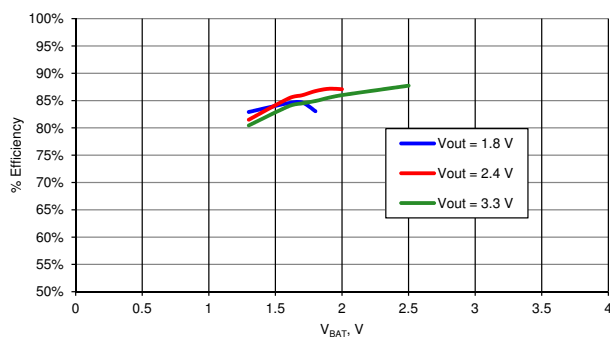
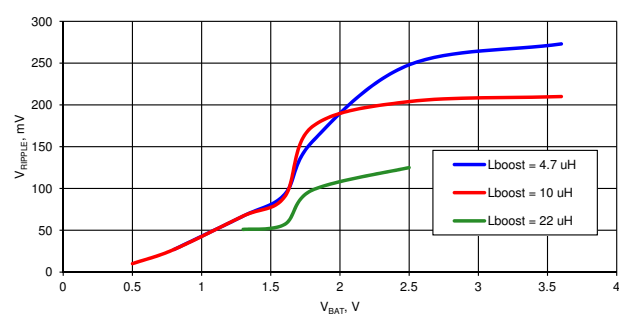
31. V_{BAT} が V_{OUT} ブースト設定以上になる場合、ブースト回路での抵抗損失の原因で、V_{OUT} は V_{BAT} 未満になります。

表 11-7. ブースト回路の推奨外付け部品

パラメーター	説明	条件	Min	Typ	Max	単位
L_{BOOST}	ブースト インダクタ	4.7 μH 定格	3.7	4.7	5.7	μH
		10 μH 定格	8.0	10.0	12.0	μH
		22 μH 定格	17.0	22.0	27.0	μH
C_{BOOST}	V_{DDD} 、 V_{DDA} 、 V_{DDIO} の総静電容量 [32]		17.0	26.0	31.0	μF
C_{BAT}	バッテリー フィルタ コンデンサ		17.0	22.0	27.0	μF
I_{F}	ショットキー ダイオードの平均順方向電流		1.0	–	–	A
V_{R}	ショットキー逆電圧		20.0	–	–	V

図 11-8. V_{BAT} および V_{OUT} による T_{A} の範囲

図 11-9. V_{BAT} および V_{OUT} による I_{OUT} の範囲

図 11-10. V_{BAT} および V_{OUT} による L_{BOOST} の値


注：
32. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-11. 効率対 V_{BAT} 、 $L_{BOOST} = 4.7\mu H$ [33]

図 11-12. 効率対 V_{BAT} 、 $L_{BOOST} = 10\mu H$ [33]

図 11-13. 効率対 V_{BAT} 、 $L_{BOOST} = 22\mu H$ [33]

図 11-14. V_{RIPPLE} 対 V_{BAT} [33]


注：

33. 典型例。実際の値は外部コンポーネント選択、PCB レイアウトと他のパラメータによって異なります。

11.4 入力と出力

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて、1.71 V ~ 5.5 V において有効です。特記されていない限り、すべての図とグラフは標準値を示します。

電源が立ち上ると、 V_{DDIO} と V_{DDA} の両方が IPOR 電圧 (1.45 V に達する可能性がある) に達するまで、ピンの電圧は不定になります。その時点で、ピンは通常の NVL 設定に変更されます。

11.4.1 GPIO

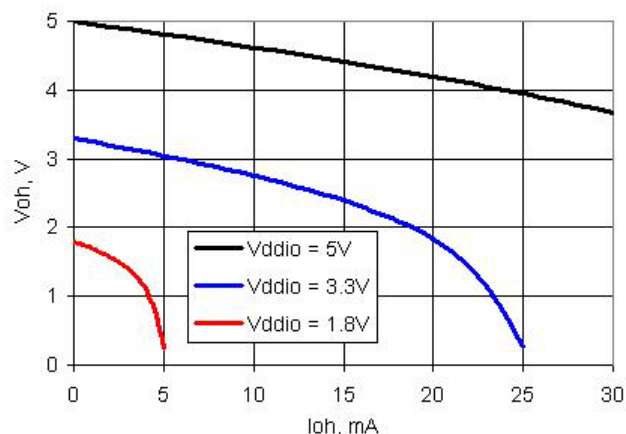
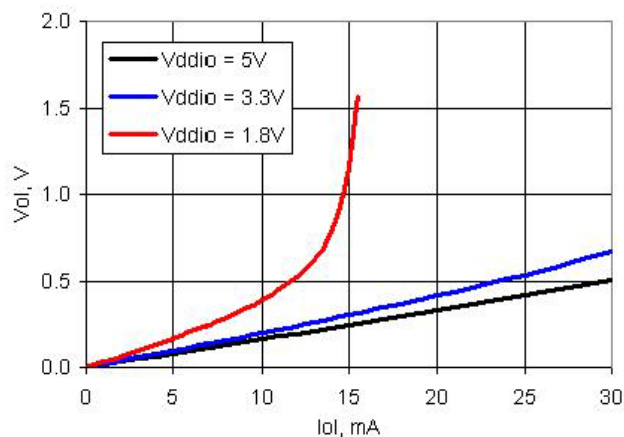
表 11-8. GPIO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{IH}	入力電圧の HIGH 閾値	CMOS 入力、PRT[x]CTL = 0	$0.7 \times V_{DDIO}$	–	–	V
V_{IL}	入力電圧の LOW 閾値	CMOS 入力、PRT[x]CTL = 0	–	–	$0.3 \times V_{DDIO}$	V
V_{IH}	入力電圧の HIGH 閾値	LVTTL 入力、PRT[x]CTL = 1、 $V_{DDIO} < 2.7\text{ V}$	$0.7 \times V_{DDIO}$	–	–	V
V_{IH}	入力電圧の HIGH 閾値	LVTTL 入力、PRT[x]CTL = 1、 $V_{DDIO} \geq 2.7\text{ V}$	2.0	–	–	V
V_{IL}	入力電圧の LOW 閾値	LVTTL 入力、PRT[x]CTL = 1、 $V_{DDIO} < 2.7\text{ V}$	–	–	$0.3 \times V_{DDIO}$	V
V_{IL}	入力電圧の LOW 閾値	LVTTL 入力、PRT[x]CTL = 1、 $V_{DDIO} \geq 2.7\text{ V}$	–	–	0.8	V
V_{OH}	出力 HIGH 電圧	$3.3 V_{DDIO}$ で $I_{OH} = 4\text{ mA}$	$V_{DDIO} - 0.6$	–	–	V
		$1.8 V_{DDIO}$ で $I_{OH} = 1\text{ mA}$	$V_{DDIO} - 0.5$	–	–	V
V_{OL}	出力 LOW 電圧	$3.3 V_{DDIO}$ で $I_{OL} = 8\text{ mA}$	–	–	0.6	V
		$3.3 V_{DDIO}$ で $I_{OL} = 3\text{ mA}$	–	–	0.4	V
		$1.8 V_{DDIO}$ で $I_{OL} = 4\text{ mA}$	–	–	0.6	V
Rpullup	プルアップ抵抗		3.5	5.6	8.5	k Ω
Rpulldown	プルダウン抵抗		3.5	5.6	8.5	k Ω
I_{IL}	入力リーク電流 (絶対値) ^[34]	25°C、 $V_{DDIO} = 3.0\text{ V}$	–	–	2	nA
C_{IN}	入力容量 ^[34]	P0.0、P0.1、P0.2、P3.6、P3.7	–	17	20	pF
		P0.3、P0.4、P3.0、P3.1、P3.2	–	10	15	pF
		P0.6、P0.7、P15.0、P15.6、P15.7 ^[35]	–	7	12	pF
		他のすべての GPIO	–	5	9	pF
V_H	入力電圧ヒステリシス (シュミットトリガー) ^[34]		–	40	–	mV
I _{diode}	保護ダイオードを通して V_{DDIO} および V_{SSIO} に流れる電流		–	–	100	μA
R _{global}	アナログ グローバル バスに接続する抵抗ピン	25°C、 $V_{DDIO} = 3.0\text{ V}$	–	320	–	Ω
R _{mux}	アナログ マルチプレクサ バスに接続する抵抗ピン	25°C、 $V_{DDIO} = 3.0\text{ V}$	–	220	–	Ω

注:

34. デバイスの特性評価に基づく値 (出荷試験されていません)。

35. PSoC 発振器の設計については、アプリケーション ノート [AN54439 - PSoC® 3 and PSoC 5 External Oscillator](#) を参照してください。

図 11-15. GPIO 出力 HIGH 電圧および電流

図 11-16. GPIO 出力 LOW 電圧および電流

表 11-9. GPIO の AC 仕様^[36]

パラメーター	説明	条件	Min	Typ	Max	単位
TriseF	高速ストロング モードでの立ち上がり時間	3.3V V_{DDIO} 、Cload = 25 pF	–	–	6	ns
TfallF	高速ストロング モードでの立ち下り時間	3.3V V_{DDIO} 、Cload = 25 pF	–	–	6	ns
TriseS	低速ストロング モードでの立ち上がり時間	3.3V V_{DDIO} 、Cload = 25 pF	–	–	60	ns
TfallS	低速ストロング モードでの立ち下り時間	3.3V V_{DDIO} 、Cload = 25 pF	–	–	60	ns
Fgpioout	GPIO 出力動作周波数					
	2.7 V ≤ V_{DDIO} ≤ 5.5 V、高速ストロング駆動モード	90/10% V_{DDIO} 、25 pF 負荷	–	–	33	MHz
	1.71 V ≤ V_{DDIO} < 2.7 V、高速ストロング駆動モード	90/10% V_{DDIO} 、25 pF 負荷	–	–	20	MHz
	3.3 V ≤ V_{DDIO} ≤ 5.5 V、低速ストロング駆動モード	90/10% V_{DDIO} 、25 pF 負荷	–	–	7	MHz
	1.71 V ≤ V_{DDIO} < 3.3 V、低速ストロング駆動モード	90/10% V_{DDIO} 、25 pF 負荷	–	–	3.5	MHz
Fgpioin	GPIO 入力動作周波数	90/10% V_{DDIO}	–	–	33	MHz

注：

36. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.4.2 SIO

表 11-10. SIO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
Vinmax	最大入力電圧	V_{DDIO} と V_{DDD} のすべての有効値、 節 11.1 を参照してください	–	–	5.5	V
Vinref	入力ファレンス電圧 (差動入力 モード)		0.5	–	$0.52 \cdot V_{DDIO}$	V
Voutref	出力ファレンス電圧 (安定化出力モード)					
		$V_{DDIO} > 3.7$	1	–	$V_{DDIO} - 1$	V
		$V_{DDIO} < 3.7$	1	–	$V_{DDIO} - 0.5$	V
V _{IH}	入力電圧の HIGH 閾値					
	GPIO モード	CMOS 入力	$0.7 \cdot V_{DDIO}$	–	–	V
	差動入力モード [37]	ヒステリシスは無効	SIO_ref + 0.2	–	–	V
V _{IL}	入力電圧の LOW 閾値					
	GPIO モード	CMOS 入力	–	–	$0.3 \cdot V_{DDIO}$	V
	差動入力モード [37]	ヒステリシスは無効	–	–	SIO_ref – 0.2	V
V _{OH}	出力 HIGH 電圧					
	非安定化モード	$I_{OH} = 4 \text{ mA}$, $V_{DDIO} = 3.3 \text{ V}$	$V_{DDIO} - 0.4$	–	–	V
	安定化モード [37]	$I_{OH} = 1 \text{ mA}$	SIO_ref – 0.65	–	SIO_ref + 0.2	V
		$I_{OH} = 0.1 \text{ mA}$	SIO_ref – 0.3	–	SIO_ref + 0.2	V
		負荷なし、 $I_{OH} = 0$	SIO_ref – 0.1	–	SIO_ref + 0.1	V
V _{OL}	出力 LOW 電圧					
		$V_{DDIO} = 3.30 \text{ V}$, $I_{OL} = 25 \text{ mA}$	–	–	0.8	V
		$V_{DDIO} = 3.30 \text{ V}$, $I_{OL} = 20 \text{ mA}$	–	–	0.4	V
		$V_{DDIO} = 1.80 \text{ V}$, $I_{OL} = 4 \text{ mA}$	–	–	0.4	V
Rpullup	プルアップ抵抗		3.5	5.6	8.5	k?
Rpulldown	プルダウン抵抗		3.5	5.6	8.5	k?
I _{IL}	入力リーク電流 (絶対値) [38]					
	$V_{IH} \leq V_{DDIO}$	25°C, $V_{DDIO} = 3.0 \text{ V}$, $V_{IH} = 3.0 \text{ V}$	–	–	14	nA
	$V_{IH} > V_{DDIO}$	25°C, $V_{DDIO} = 0 \text{ V}$, $V_{IH} = 3.0 \text{ V}$	–	–	10	μA
C _{IN}	入力容量 [38]		–	–	9	pF
V _H	入力電圧ヒステリシス (シュミットトリガー) [38]					
		シングル エンド モード (GPIO モード)	–	115	–	mV
		差動モード	–	50	–	mV
I _{diode}	保護ダイオードを通して V_{SSIO} に 流れる電流		–	–	100	μA

注:

37. SIO リファレンスの詳細については、35 ページの図 6-10 と 38 ページの図 6-13 を参照してください。

38. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-17. SIO 出力高電圧および電流、
非安定化モード

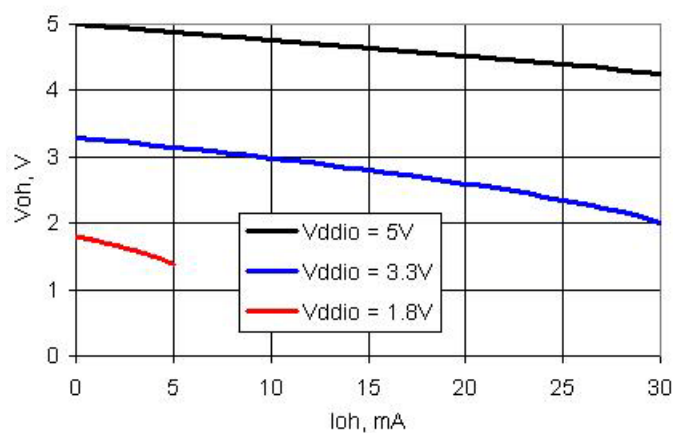


図 11-18. SIO 出力低電圧および電流、
非安定化モード

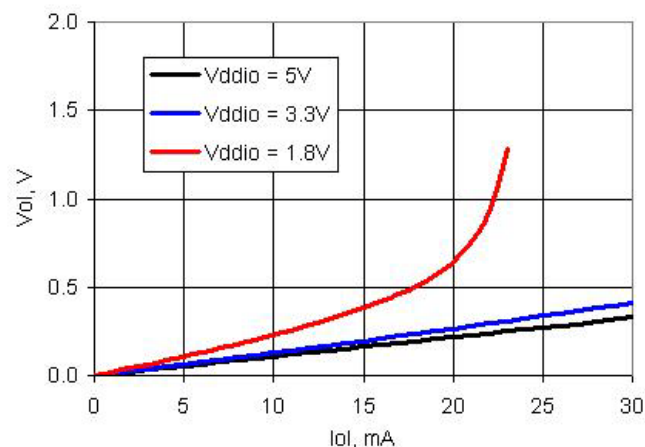


図 11-19. SIO 出力 HIGH 電圧および電流、安定化モード

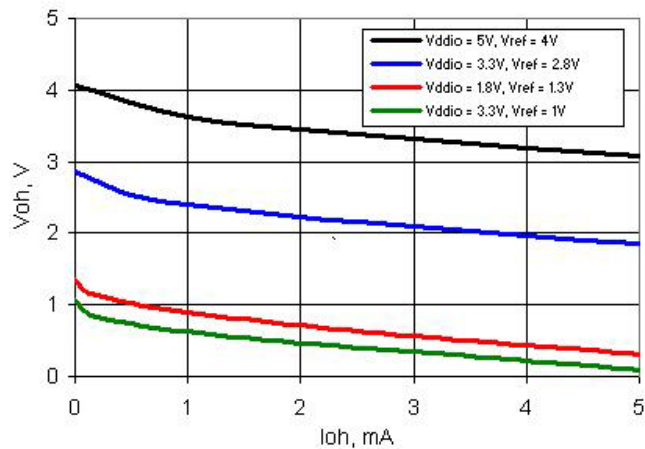
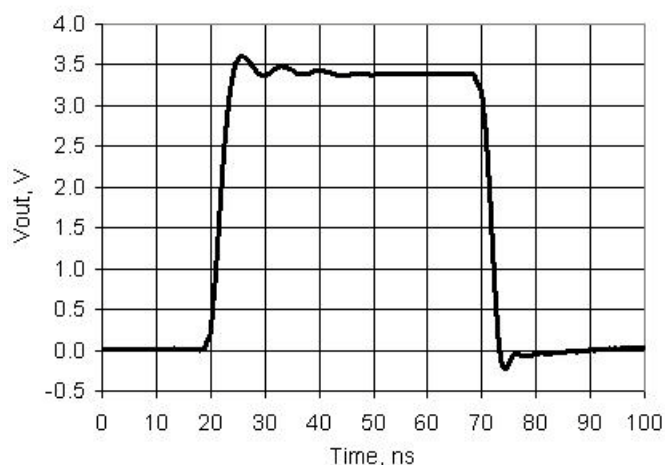
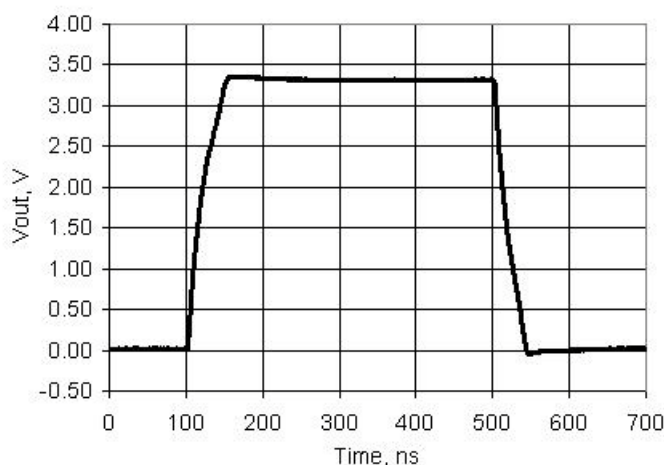


表 11-11. SIO の AC 仕様 ^[39]

パラメーター	説明	条件	Min	Typ	Max	単位
TriseF	高速ストロング モードでの立ち上がり時間 (90/10%)	Cload = 25 pF、V _{DDIO} = 3.3 V	–	–	12	ns
TfallF	高速ストロング モードでの立ち下り時間 (90/10%)	Cload = 25 pF、V _{DDIO} = 3.3 V	–	–	12	ns
TriseS	低速ストロング モードでの立ち上がり時間 (90/10%)	Cload = 25 pF、V _{DDIO} = 3.0 V	–	–	75	ns
TfallS	低速ストロング モードでの立ち下り時間 (90/10%)	Cload = 25 pF、V _{DDIO} = 3.0 V	–	–	60	ns
F _{sioout}	SIO 出力動作周波数					
	2.7 V < V _{DDIO} < 5.5 V、非安定化出力 (GPIO) モード、高速ストロング駆動モード	90/10% V _{DDIO} 、25 pF 負荷	–	–	33	MHz
	1.71 V < V _{DDIO} < 2.7 V、非安定化出力 (GPIO) モード、高速ストロング駆動モード	90/10% V _{DDIO} 、25 pF 負荷	–	–	16	MHz
	3.3 V < V _{DDIO} < 5.5 V、非安定化出力 (GPIO) モード、低速ストロング駆動モード	90/10% V _{DDIO} 、25 pF 負荷	–	–	5	MHz
	1.71 V < V _{DDIO} < 3.3 V、非安定化出力 (GPIO) モード、低速ストロング駆動モード	90/10% V _{DDIO} 、25 pF 負荷	–	–	4	MHz
	2.7 V < V _{DDIO} < 5.5 V、安定化出力モード、高速ストロング駆動モード	25 pF へ連続的にスイッチング出力	–	–	20	MHz
	1.71 V < V _{DDIO} < 2.7 V、安定化出力モード、高速ストロング駆動モード	25 pF へ連続的にスイッチング出力	–	–	10	MHz
	1.71 V < V _{DDIO} < 5.5 V、安定化出力モード、低速ストロング駆動モード	25 pF へ連続的にスイッチング出力	–	–	2.5	MHz
F _{sioin}	SIO 入力動作周波数					
	1.71 V ≤ V _{DDIO} ≤ 5.5 V	90/10% V _{DDIO}	–	–	33	MHz

図 11-20. SIO 出力立ち上がりおよび立ち下り時間、高速ストロング モード、V_{DDIO} = 3.3V、25pF 負荷

図 11-21. SIO 出力立ち上がりおよび立ち下り時間、低速ストロング モード、V_{DDIO} = 3.3V、25pF 負荷


注：
39. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-12. SIO コンパレータ仕様^[40]

パラメーター	説明	条件	Min	Typ	Max	単位
Vos	オフセット電圧	$V_{DDIO} = 2\text{ V}$	–	–	68	mV
		$V_{DDIO} = 2.7\text{ V}$	–	–	72	
		$V_{DDIO} = 5.5\text{ V}$	–	–	82	
TCVos	温度に伴うオフセット電圧のドリフト		–	–	250	$\mu\text{V}/^\circ\text{C}$
CMRR	同相信号除去比	$V_{DDIO} = 2\text{ V}$	30	–	–	dB
		$V_{DDIO} = 2.7\text{ V}$	35	–	–	
		$V_{DDIO} = 5.5\text{ V}$	40	–	–	
Tresp	応答時間		–	–	30	ns

11.4.3 USBIO

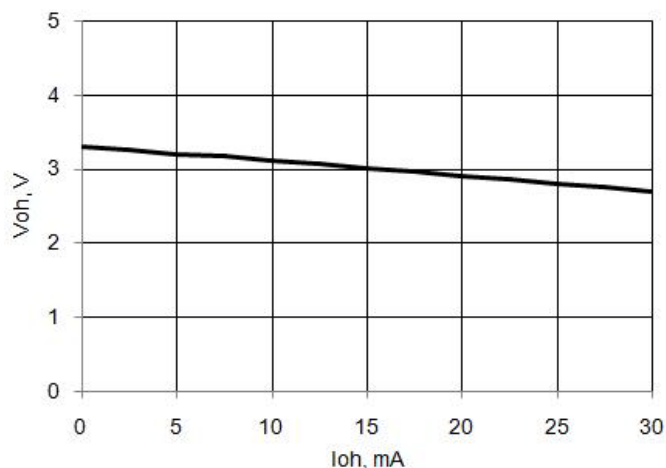
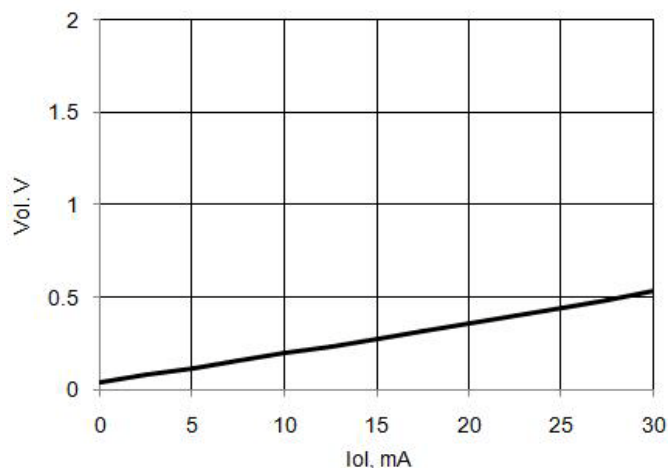
GPIO モードでは、 V_{DDD} の標準範囲が適用されます。68 ページの「デバイス レベルの仕様」を参照してください。

表 11-13. USBIO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
Rusbi	USB D+ プルアップ抵抗 ^[40]	アイドル バスあり	0.900	–	1.575	k Ω
Rusba	USB D+ プルアップ抵抗 ^[40]	トラフィック受信時	1.425	–	3.090	k Ω
Vohusb	スタティック出力 HIGH ^[40]	V_{SS} に対し $15\text{k}\Omega \pm 5\%$ 、内部プルアップが有効	2.8	–	3.6	V
Volusb	スタティック出力 LOW ^[40]	V_{SS} に対し $15\text{k}\Omega \pm 5\%$ 、内部プルアップが有効	–	–	0.3	V
Vihgpio	入力 HIGH 電圧、GPIO モード ^[40]	$V_{DDD} = 1.8\text{ V}$	1.5	–	–	V
		$V_{DDD} = 3.3\text{ V}$	2	–	–	V
		$V_{DDD} = 5.0\text{ V}$	2	–	–	V
Vilgpio	入力 LOW 電圧、GPIO モード ^[40]	$V_{DDD} = 1.8\text{ V}$	–	–	0.8	V
		$V_{DDD} = 3.3\text{ V}$	–	–	0.8	V
		$V_{DDD} = 5.0\text{ V}$	–	–	0.8	V
Vohgpio	出力 HIGH 電圧、GPIO モード ^[40]	$I_{OH} = 4\text{ mA}$ 、 $V_{DDD} = 1.8\text{ V}$	1.6	–	–	V
		$I_{OH} = 4\text{ mA}$ 、 $V_{DDD} = 3.3\text{ V}$	3.1	–	–	V
		$I_{OH} = 4\text{ mA}$ 、 $V_{DDD} = 5.0\text{ V}$	4.2	–	–	V
Volgpio	出力 LOW 電圧、GPIO モード ^[40]	$I_{OL} = 4\text{ mA}$ 、 $V_{DDD} = 1.8\text{ V}$	–	–	0.3	V
		$I_{OL} = 4\text{ mA}$ 、 $V_{DDD} = 3.3\text{ V}$	–	–	0.3	V
		$I_{OL} = 4\text{ mA}$ 、 $V_{DDD} = 5.0\text{ V}$	–	–	0.3	V
V_{DI}	差動入力感度	$ (D+) - (D-) $	–	–	0.2	V
Vcm	差動入力同相モード範囲		0.8	–	2.5	V
Vse	シングル エンド レシーバー閾値		0.8	–	2	V
Rps2	PS/2 プルアップ抵抗 ^[40]	PS/2 モードにおいて、PS/2 プルアップが有効	3	–	7	k Ω
Rext	外部 USB 直列抵抗 ^[40]	各 USB ピンと直列	21.78 (–1%)	22	22.22 (+1%)	Ω
Zo	USB ドライバー出力インピーダンス ^[40]	Rext を含む	28	–	44	Ω
C_{IN}	USB トランシーバ入力容量		–	–	20	pF
I_{IL}	入力リーク電流 (絶対値) ^[40]	25°C 、 $V_{DDD} = 3.0\text{ V}$	–	–	2	nA

注：

40. デバイスの特性評価に基づく値 (出荷試験されていません)。

**図 11-22. USBIO 出力 HIGH 電圧および電流、
GPIO モード**

**図 11-23. USBIO 出力 LOW 電圧および電流、
GPIO モード**

表 11-14. USBIO の AC 仕様^[41]

パラメーター	説明	条件	Min	Typ	Max	単位
Tdrate	フルスピード データ転送レートの平均ビットレート		12 – 0.25%	12	12 + 0.25%	MHz
Tjrl	次の遷移に比するレシーバー データ ジッタ許容範囲		–8	–	8	ns
Tjrl2	ペアの遷移に比するレシーバー データ ジッタ許容範囲		–5	–	5	ns
Tdj1	次の遷移に比するドライバー差動遷移ジッタ		–3.5	–	3.5	ns
Tdj2	ペアの遷移に比するドライバー差動遷移ジッタ		–4	–	4	ns
Tfdeop	SE0 遷移に比する差動遷移のソース ジッタ		–2	–	5	ns
Tfeopt	EOP のソース SE0 間隔		160	–	175	ns
Tfeopr	EOP のレシーバー SE0 間隔		82	–	–	ns
Tfst	差動遷移中の SE0 間隔の幅		–	–	14	ns
Fgpio_out	GPIO モード出力動作周波数	3 V ≤ V _{DDD} ≤ 5.5 V	–	–	20	MHz
		V _{DDD} = 1.71 V	–	–	6	MHz
Tr_gpio	立ち上り時間、GPIO モード、10%/90% V _{DDD}	V _{DDD} > 3 V、25 pF 負荷	–	–	12	ns
		V _{DDD} = 1.71 V、25 pF 負荷	–	–	40	ns
Tf_gpio	立ち下り時間、GPIO モード、90%/10% V _{DDD}	V _{DDD} > 3 V、25 pF 負荷	–	–	12	ns
		V _{DDD} = 1.71 V、25 pF 負荷	–	–	40	ns

注：

41. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-24. USBIO 出力立ち上りおよび立ち下り時間、GPIO
モード、 $V_{DD} = 3.3V$ 、25pF 負荷

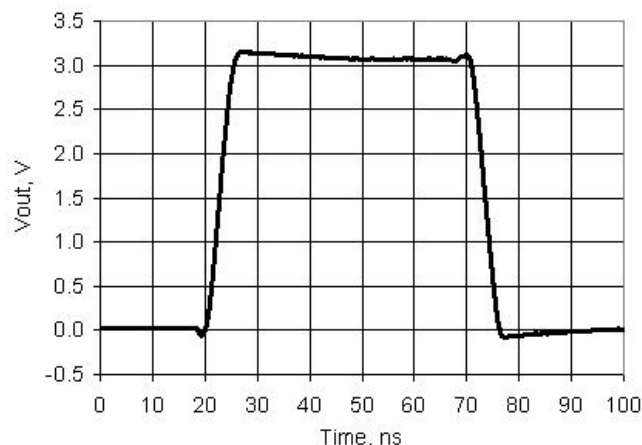


表 11-15. USB ドライバーの AC 仕様^[42]

パラメーター	説明	条件	Min	Typ	Max	単位
Tr	遷移の立ち上り時間		–	–	20	ns
Tf	遷移の立ち下り時間		–	–	20	ns
TR	立ち上り／立ち下り時間の一致	V_{USB_5} 、 $V_{USB_3.3}$ 、107 ページの「USB の DC 仕様」を参照してください	90%	–	111%	
Vcrs	出力信号クロスオーバー電圧		1.3	–	2	V

11.4.4 XRES

表 11-16. XRES の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{IH}	入力電圧の HIGH 閾値		$0.7 \cdot V_{DDIO}$	–	–	V
V_{IL}	入力電圧の LOW 閾値		–	–	$0.3 \cdot V_{DDIO}$	V
Rpullup	プルアップ抵抗		3.5	5.6	8.5	k Ω
C_{IN}	入力静電容量		–	3		pF
V_H	入力電圧ヒステリシス (シュミットトリガー)		–	100	–	mV
I _{diode}	保護ダイオードを通して V_{DDIO} および V_{SSIO} に流れる電流		–	–	100	μA

表 11-17. XRES の AC 仕様^[42]

パラメーター	説明	条件	Min	Typ	Max	単位
T _{RESET}	リセットパルス幅		1	–	–	μs

注：

42. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.5 アナログ ペリフェラル

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて、1.71 V ~ 5.5 V において有効です。

11.5.1 オペアンプ

表 11-18. オペアンプの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_I	入力電圧範囲		V_{SSA}	–	V_{DDA}	V
V_{os}	入力オフセット電圧		–	–	2.5	mV
		動作温度 $-40^{\circ}\text{C} \sim 70^{\circ}\text{C}$	–	–	2	mV
TCV_{os}	入力オフセット電圧の温度ドリフト	電力モード = HIGH	–	–	± 30	$\mu\text{V}/^{\circ}\text{C}$
Ge_1	利得誤差、電圧フォロウモード	$R_{load} = 1\text{k}\Omega$	–	–	± 0.1	%
C_{in}	入力静電容量	ピンからの配線	–	–	18	pF
V_o	出力電圧範囲	1mA、吐き出しまたは吸い込み、 電力モード = HIGH	$V_{SSA} + 0.05$	–	$V_{DDA} - 0.05$	V
I_{out}	出力電流能力、 吐き出しまたは吸い込み	$V_{SSA} + 500\text{mV} \leq V_{out} \leq V_{DDA} - 500\text{mV}$ 、 $V_{DDA} > 2.7\text{V}$	25	–	–	mA
		$V_{SSA} + 500\text{mV} \leq V_{out} \leq V_{DDA} - 500\text{mV}$ 、 $1.7\text{V} = V_{DDA} \leq 2.7\text{V}$	16	–	–	mA
I_{dd}	静止電流 ^[39]	電力モード = MIN	–	250	400	μA
		電力モード = LOW	–	250	400	μA
		電力モード = MED	–	330	950	μA
		電力モード = HIGH	–	1000	2500	μA
CMRR	同相信号除去比 ^[39]		80	–	–	dB
PSRR	電源電圧変動除去比 ^[39]	$V_{DDA} \geq 2.7\text{V}$	85	–	–	dB
		$V_{DDA} < 2.7\text{V}$	70	–	–	dB
I_{IB}	入力バイアス電流 ^[39]	25°C	–	10	–	pA

図 11-25. オペアンプ V_{os} ヒストグラム、7020 サンプル / 1755
パーツ、 30°C 、 $V_{DDA} = 3.3\text{V}$

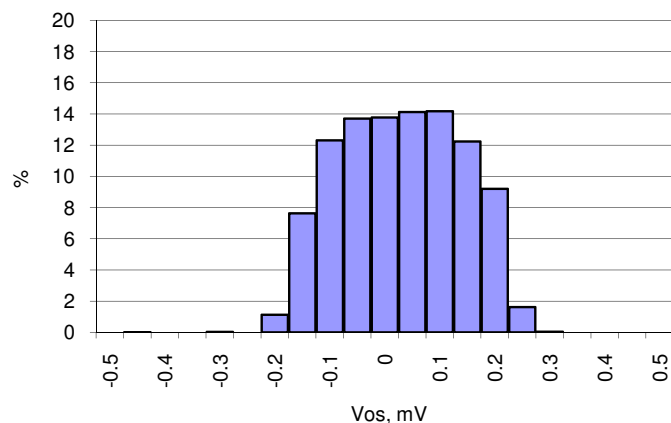
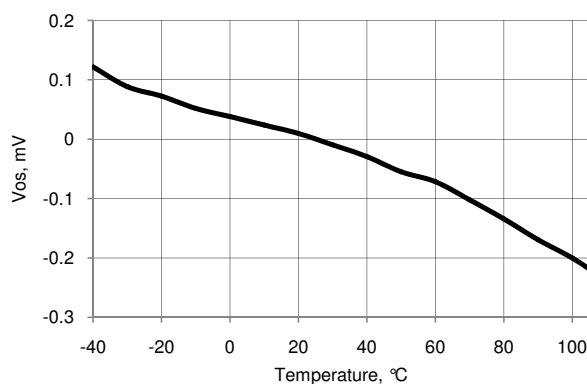
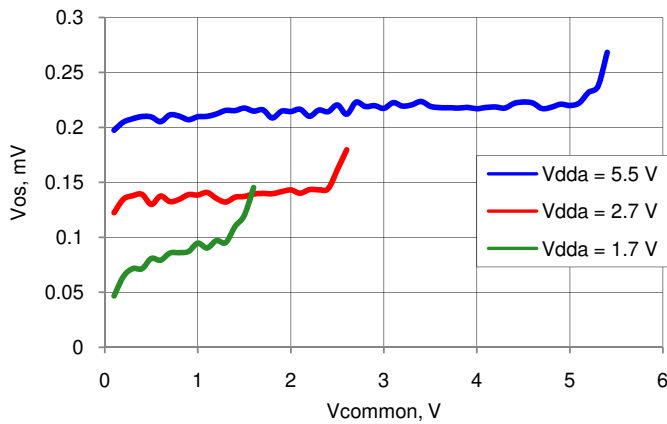
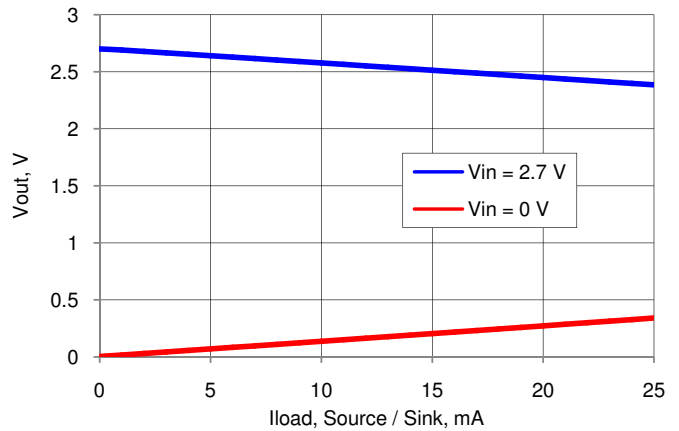
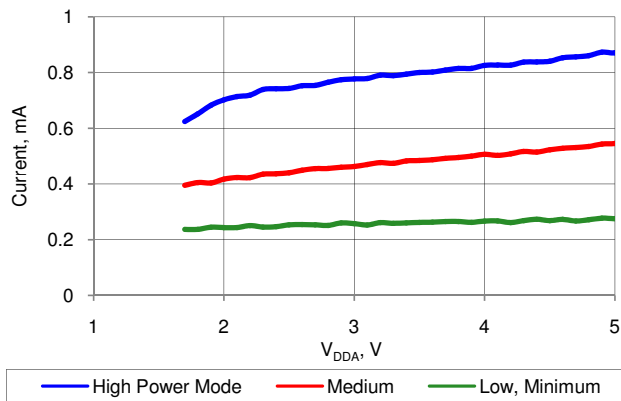


図 11-26. オペアンプ V_{os} 対温度、 $V_{DDA} = 5\text{V}$



注：

39. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-27. オペアンプ Vos 対 Vcommon、V_{DDA}、25°C

図 11-28. オペアンプ出力電圧対負荷電流と温度、高消費電力モード、25°C、V_{DDA} = 2.7V

図 11-29. オペアンプ動作電流 対 V_{DDA} と消費電力モード

表 11-19. オペアンプの AC 仕様^[40]

パラメーター	説明	条件	Min	Typ	Max	単位
GBW	利得帯域幅積	電力モード = MINIMUM、15 pF 負荷	1	–	–	MHz
		電力モード = LOW、15 pF 負荷	2	–	–	MHz
		電力モード = MEDIUM、200 pF 負荷	1	–	–	MHz
		電力モード = HIGH、200 pF 負荷	3	–	–	MHz
SR	スルー レート、20% ~ 80%	電力モード = MINIMUM、15 pF 負荷	1.1	–	–	V/μs
		電力モード = LOW、15 pF 負荷	1.1	–	–	V/μs
		電力モード = MEDIUM、200 pF 負荷	0.9	–	–	V/μs
		電力モード = HIGH、200 pF 負荷	3	–	–	V/μs
e _n	入力雑音密度	電力モード = 高、V _{DDA} = 5 V、 100 kHz において	–	45	–	nV/sqrtHz

注：
40. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-30. オペアンプ ノイズ対周波数、
電力モード = 高、 $V_{DDA} = 5V$

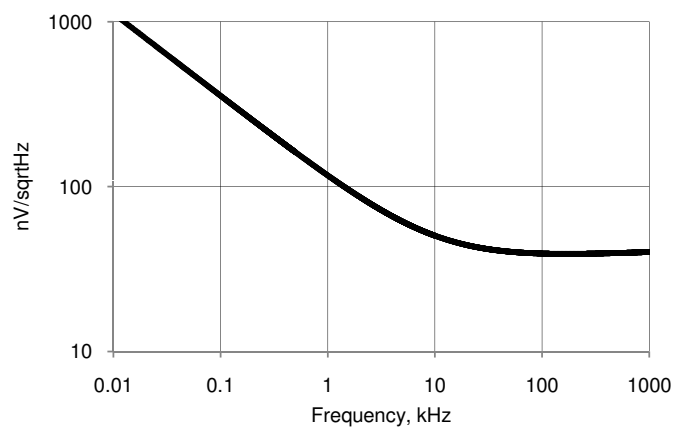


図 11-31. オペアンプ ステップ応答、立ち上り

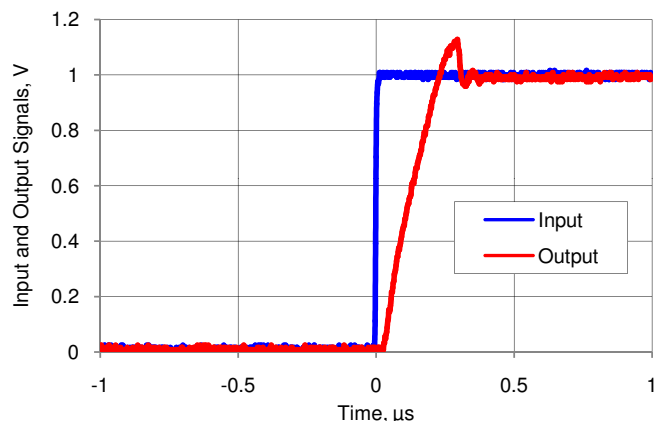
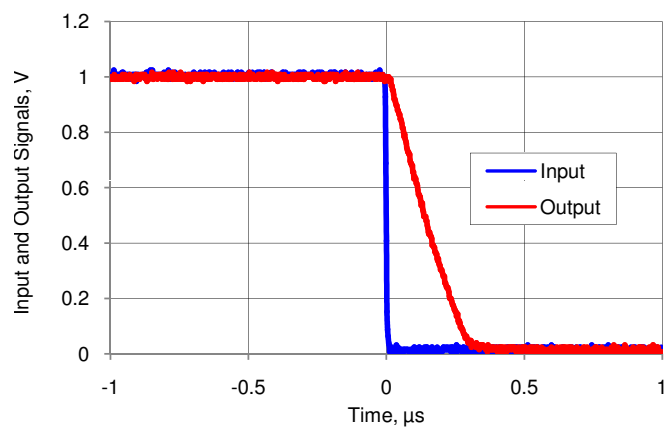


図 11-32. オペアンプ ステップ応答、立ち下り



11.5.2 デルタシグマ ADC

特記されていない場合の動作条件：

- 連続サンプル モードでの動作
- fclk = 6.144 MHz
- 基準 = 1.024 V P3.2 または P0.3 でバイパスされる内部基準
- 特記されていない限り、すべての図とグラフは標準値を示します。

表 11-20. 12 ビット デルタシグマ ADC の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	分解能		8	–	12	ビット
	チャンネルの数、シングル エンド		–	–	GPIO の数	–
	チャンネルの数、差動	差動ペアは、一組の GPIO を使用して形成	–	–	GPIO の数 / 2	–
	繰り返し	有	–	–	–	–
Ge	ゲイン誤差	バッファ付き、バッファ ゲイン = 1、 範囲 = ± 1.024 V、25°C	–	–	± 0.4	%
Gd	ゲインドリフト	バッファ付き、バッファ ゲイン = 1、 範囲 = ± 1.024 V	–	–	50	ppm/ °C
Vos	入力オフセット電圧	バッファ付き、16 ビット モード、 フル電圧範囲	–	–	± 0.2	mV
		バッファ付き、16 ビット モード、 V _{DDA} = 1.8 V $\pm 5\%$ 、25°C	–	–	± 0.1	mV
TCVos	温度係数、入力オフセット電圧	バッファ ゲイン = 1、12 ビット、 範囲 = ± 1.024 V	–	–	1	$\mu\text{V}/^\circ\text{C}$
	入力電圧範囲、シングル エンド [41]		V _{SSA}	–	V _{DDA}	V
	入力電圧範囲、差動、バッファなし [41]		V _{SSA}	–	V _{DDA}	V
	入力電圧範囲、差動、バッファ [41]		V _{SSA}	–	V _{DDA} – 1	V
INL12	積分非直線性 [41]	範囲 = ± 1.024 V、バッファなし	–	–	± 1	LSB
DNL12	微分非直線性 [41]	範囲 = ± 1.024 V、バッファなし	–	–	± 1	LSB
INL8	積分非直線性 [41]	範囲 = ± 1.024 V、バッファなし	–	–	± 1	LSB
DNL8	微分非直線性 [41]	範囲 = ± 1.024 V、バッファなし	–	–	± 1	LSB
Rin_Buff	ADC 入力抵抗	入力バッファ使用	10	–	–	MΩ
Rin_ADC12	ADC 入力抵抗	入力バッファはバイパス、16 ビット、 範囲 = ± 1.024 V	–	148 ^[42]	–	kΩ
Rin_ExtRef	ADC 外部リファレンス入力抵抗		–	70 ^[42, 43]	–	kΩ
Vextref	ADC 外部リファレンス入力電圧、も参照してください 89 ページの「電圧リファレンス」	ピン P0[3]、P3[2]	0.9	–	1.3	V
消費電流						
I _{DD_12}	消費電流、12 ビット [41]	192 ksps、バッファなし	–	–	1.4	mA
I _{BUFF}	バッファの電流消費 [41]		–	–	2.5	mA

注：

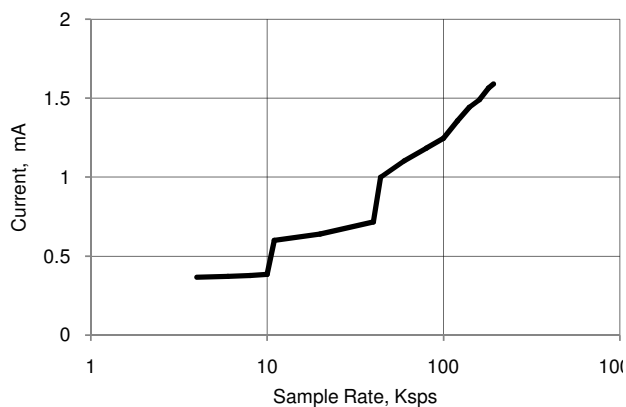
41. デバイスの特性評価に基づく値 (出荷試験されていません)。
 42. ADC 入力時のスイッチ キャパシタを使用して、効果的な入力抵抗が作成されます。ゲインおよびビット定数の数を保持、抵抗はクロック周波数の逆数に比例。この値は計算されますが、測定されていません。詳細については、「テクニカルリファレンス マニュアル」を参照してください。
 43. LM185/285/385 ファミリなどの 100 Ω 以下の出力インピーダンスがある外部基準デバイスが推奨されます。1 μF コンデンサは推奨されます。詳細は [AN61290 - PSoC® 3 and PSoC 5LP Hardware Design Considerations](#) を参照してください。

表 11-21. デルタシグマ ADC の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	起動時間		–	–	4	サンプル
THD	全高調波歪み ^[44]	バッファ ゲイン = 1、12 ビット、 範囲 = ±1.024 V	–	–	0.0032	%
12 ビット分解能モード						
SR12	サンプリング速度、連続、高電力 ^[44]	範囲 = ±1.024 V、バッファなし	4	–	192	ksps
BW12	最大サンプリング速度での入力帯域幅 ^[44]	範囲 = ±1.024 V、バッファなし	–	44	–	kHz
SINAD12int	信号対雑音比、12 ビット、内部リファレンス ^[44]	範囲 = ±1.024 V、バッファなし	66	–	–	dB
8 ビット分解能モード						
SR8	サンプリング速度、連続、高電力 ^[44]	範囲 = ±1.024 V、バッファなし	8	–	384	ksps
BW8	最大サンプリング速度での入力帯域幅 ^[44]	範囲 = ±1.024 V、バッファなし	–	88	–	kHz
SINAD8int	信号対雑音比、8 ビット、内部リファレンス ^[44]	範囲 = ±1.024 V、バッファなし	43	–	–	dB

表 11-22. デルタシグマ ADC サンプリング速度、範囲 = ±1.024V

分解能(単位: ビット)	連続		マルチ サンプル	
	Min	Max	Min	Max
8	8000	384000	1911	91701
9	6400	307200	1543	74024
10	5566	267130	1348	64673
11	4741	227555	1154	55351
12	4000	192000	978	46900

**図 11-33. デルタシグマ ADC IDD 対 sps、範囲 = ±1.024 V、連続
サンプル モード、入力バッファはバイパス**

注：

44. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.5.3 電圧リファレンス

表 11-23. リファレンス電圧の仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V _{REF} ^[45]	高精度基準電圧	初期トリム、25°C	1.023 (-0.1%)	1.024	1.025 (+0.1%)	V
	標準的な PCB 組み立て後に、リフローではんだ付け	標準的な (最適化されない) 基板レイアウトおよび 250°C はんだリフロー。組み立て後にデバイスを校正して性能を改善する場合があります	-40°C	±0.5	—	%
		25°C	—	±0.2	—	%
		85°C	—	±0.2	—	%
		105°C	—	±0.3	—	%
	温度ドリフト ^[46]		—	—	30	ppm/°C
	長時間ドリフト ^[46]		—	100	—	ppm/Khr
	熱サイクルドリフト (安定性) ^[46]		—	100	—	ppm

図 11-34. Vref 対温度

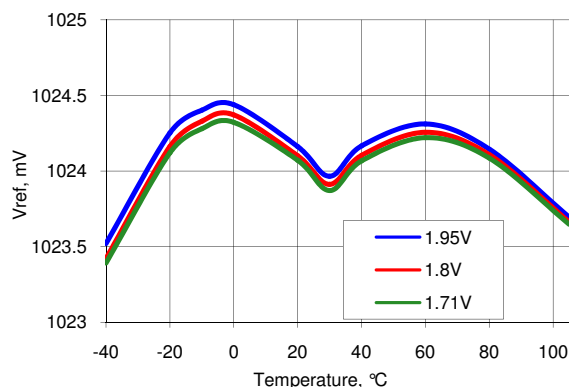
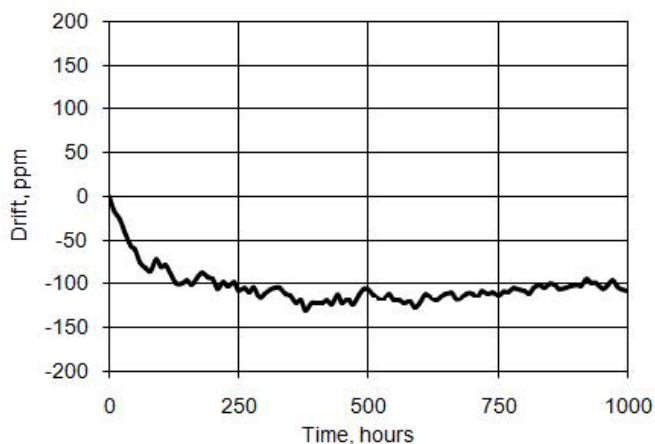


図 11-35. Vref 長時間ドリフト



注:

45. V_{REF} は、パッケージに組み立てられた後に測定し、ここでは基材とダイが装着されたもので説明しています。

46. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.5.4 SAR ADC

表 11-24. SAR ADC の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	分解能		–	–	12	ビット
	チャンネル数—シングル エンド		–	–	GPIO 数	
	チャンネル数—差動	差動ペアは、隣接する一組の GPIO によって形成	–	–	GPIO 数 /2	
	単調増加性 ^[47]		有	–	–	
Ge	ゲイン誤差 ^[48]	外部リファレンス	–	–	±0.1	%
V _{OS}	入力オフセット電圧		–	–	±2	mV
I _{DD}	消費電流 ^[47]		–	–	1	mA
	入力電圧範囲—シングルエンド ^[47]		V _{SSA}	–	V _{DDA}	V
	入力電圧範囲—差動 ^[47]		V _{SSA}	–	V _{DDA}	V
PSRR	電源電圧変動除去比 ^[47]		70	–	–	dB
CMRR	同相信号除去比		70	–	–	dB
INL	積分非直線性 ^[47]	V _{DDA} 1.71 ~ 5.5 V、1 Msps、V _{REF} 1 ~ 5.5 V、ExtRef ピンでバイパス	–	–	+2/–1.5	LSB
		V _{DDA} 2.0 V ~ 3.6 V、1 Msps、V _{REF} 2 V ~ V _{DDA} 、ExtRef ピンでバイパス	–	–	±1.2	LSB
		V _{DDA} 1.71 ~ 5.5 V、500 ksps、V _{REF} 1 ~ 5.5 V、ExtRef ピンでバイパス	–	–	±1.3	LSB
DNL	微分非直線性 ^[47]	V _{DDA} 1.71 ~ 5.5 V、1 Msps、V _{REF} 1 ~ 5.5 V、ExtRef ピンでバイパス	–	–	+2/–1	LSB
		V _{DDA} 2.0 V ~ 3.6 V、1 Msps、V _{REF} 2 V ~ V _{DDA} 、ExtRef ピンでバイパス ミッシング コードなし	–	–	1.7/–0.99	LSB
		V _{DDA} 1.71 ~ 5.5 V、500 ksps、V _{REF} 1 ~ 5.5 V、ExtRef ピンでバイパス ミッシング コードなし	–	–	+2/–0.99	LSB
R _{IN}	入力抵抗 ^[47]		–	180	–	kΩ

注：

47. デバイスの特性評価に基づく値 (出荷試験されていません)。

48. 合計のアナログシステム I_{dd} < 5 mA には、使用したパッケージによります。アナログシステムのもっと高い合計電流には、SAR ADC を差動モードで使用することを推奨されます。

図 11-36. SAR ADC DNL 対出力コード、
バイパス内部リファレンス モード

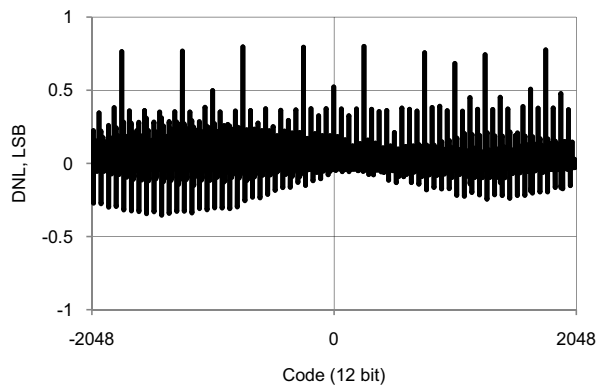


図 11-37. SAR ADC DNL 対出力コード、
バイパス内部リファレンス モード

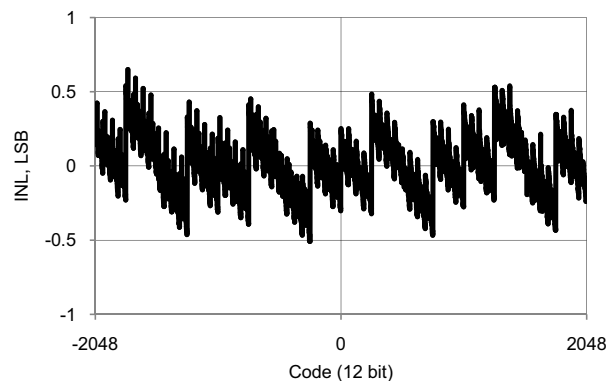


図 11-38. SAR ADC I_{DD} 対 sps 、 $V_{DDA} = 5V$ 、連続サンプル
モード、外部リファレンス モード

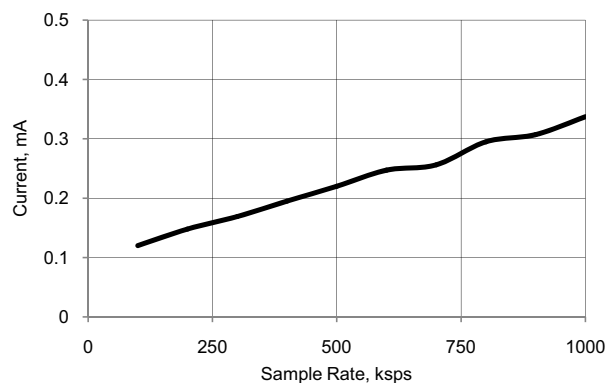
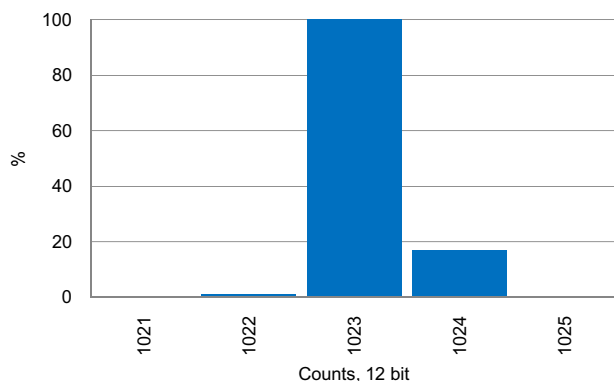
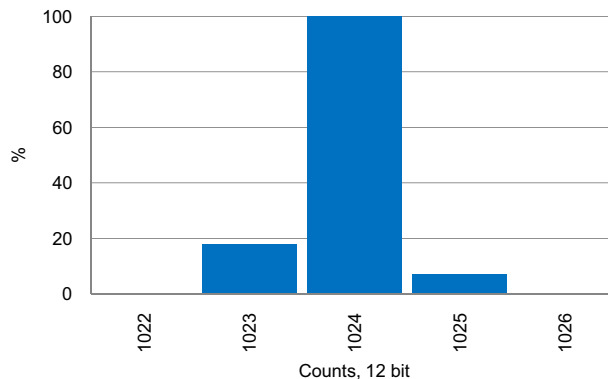
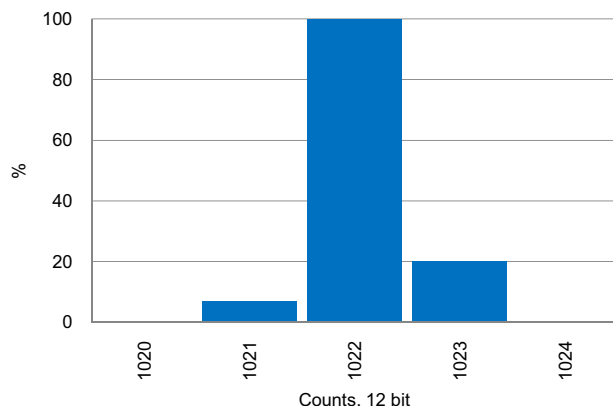


表 11-25. SAR ADC の AC 仕様^[49]

パラメーター	説明	条件	Min	Typ	Max	単位
A_SAMP_1	外部リファレンス バイパス コンデンサがある場合のサンプル レート		–	–	1	Msp
A_SAMP_2	バイパス コンデンサがない場合のサンプル レート。リファレンス電圧 = V_{DD}		–	–	500	Ksp
A_SAMP_3	バイパス コンデンサがない場合のサンプル レート。内部リファレンス電圧		–	–	100	Ksp
	起動時間		–	–	10	μs
SINAD	信号対雑音比		68	–	–	dB
THD	全高調波歪み		–	–	0.02	%

図 11-39. SAR ADC ノイズ ヒストグラム、100ksps、バイパスされない内部リファレンス

図 11-40. SAR ADC ノイズ ヒストグラム、1msps、バイパスされる内部リファレンス

図 11-41. SAR ADC ノイズ ヒストグラム、1msps、外部リファレンス


注：
49. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.5.5 アナログ グローバル

表 11-26. アナログ グローバルの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
Rppag	P2[4]、AGL0、DSM INP、AGL1、P2[5][50] を介してのピン間抵抗	$V_{DDA} = 3.0\text{ V}$	–	1500	2200	Ω
		$V_{DDA} = 1.71\text{ V}$	–	1200	1700	Ω
Rppmuxbus	P2[3]、amuxbusL、P2[4][50] を介したピンツーピン抵抗	$V_{DDA} = 3.0\text{ V}$	–	700	1100	Ω
		$V_{DDA} = 1.71\text{ V}$	–	600	900	Ω

表 11-27. アナログ グローバルの AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	アナログ配線用のインターペア クロス トーク [51、52]		106	–	–	dB
BWag	アナログ グローバルの 3dB 帯域幅 [52]	$V_{DDA} = 3.0\text{ V}$ 、 25°C	–	26	–	MHz

11.5.6 コンパレータ

表 11-28. コンパレータの DC 仕様 [53]

パラメーター	説明	条件	Min	Typ	Max	単位
V_{OS}	高速モードでの入力オフセット電圧	工場トリム、 $V_{DDA} > 2.7\text{ V}$ 、 $V_{IN} \geq 0.5\text{ V}$	–		10	mV
	Slow モードでの入力オフセット電圧	工場トリム、 $V_{IN} \geq 0.5\text{ V}$	–		9	mV
V_{OS}	高速モードでの入力オフセット電圧	カスタム トリム	–	–	4	mV
	低速モードでの入力オフセット電圧 [53]	カスタム トリム	–	–	4	mV
V_{OS}	超低消費電力モードでの入力オフセット電圧		–	± 12	–	mV
TCVos	温度係数、入力オフセット電圧	$V_{CM} = V_{DDA}/2$ 、高速モード	–	63	85	$\mu\text{V}/^{\circ}\text{C}$
		$V_{CM} = V_{DDA}/2$ 、低速モード	–	15	20	
V_{HYST}	ヒステリシス	ヒステリシス有効モード	–	10	32	mV
V_{ICM}	入力同相電圧	高電流／高速モード	V_{SSA}	–	V_{DDA}	V
		低電流／低速モード	V_{SSA}	–	V_{DDA}	V
		超低消費電力モード	V_{SSA}	–	$V_{DDA} - 1.15$	V
CMRR	同相信号除去比		–	50	–	dB
I_{CMP}	高電流モード／高速モード		–	–	400	μA
	低電流モード／低速モード		–	–	100	μA
	超低消費電力モード		–	6	–	μA

表 11-29. コンパレータの AC 仕様 [53]

パラメーター	説明	条件	Min	Typ	Max	単位
T_{RESP}	応答時間、高電流モード	50 mV オーバードライブ、ピン間測定	–	75	110	ns
	応答時間、低電流モード	50 mV オーバードライブ、ピン間測定	–	155	200	ns
	応答時間、超低消費電力モード	50 mV オーバードライブ、ピン間測定	–	55	–	μs

注：

50. デバイスの特性評価に基づく値（出荷試験されていません）。

51. この値は計算されますが、測定されていません。

52. デルタシグマ ADC 入力へのピン P6[4]：計算されますが、測定されません。

53. オンチップ コンパレータのカスタム調整値の推奨使用手順は、テクニカル リファレンス マニュアル (TRM) に記載されています。

11.5.7 電流 DA 変換器 (IDAC)

すべての仕様は、低抵抗 IDAC 出力ピンの使用を基にしています (詳細は 12 ページの「ピンの説明」を参照してください)。完全な電氣的仕様および API については、PSoS Creator の IDAC コンポーネント データシートを参照してください。

特記されていない限り、すべての図とグラフは標準値を示します。

表 11-30. IDAC の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	分解能		–	–	8	ビット
I _{OUT}	コード = 255 の出力電流	レンジ = 2.04 mA、コード = 255、V _{DDA} ≥ 2.7 V、R _{load} = 600 Ω	–	2.04	–	mA
		レンジ = 2.04 mA、高消費電力モード、コード = 255、V _{DDA} ≤ 2.7 V、R _{load} = 300 Ω	–	2.04	–	mA
		レンジ = 255 μA、コード = 255、R _{load} = 600 Ω	–	255	–	μA
		レンジ = 31.875 μA、コード = 255、R _{load} = 600 Ω	–	31.875	–	μA
	単調増加性		–	–	有	
E _{zs}	ゼロスケール誤差		–	0	±1	LSB
E _g	ゲイン誤差	レンジ = 2.04 mA	–	–	±2.5	%
		レンジ = 255 μA	–	–	±2.5	%
		レンジ = 31.875 μA	–	–	±3.5	%
TC _{Eg}	ゲイン誤差の温度係数	レンジ = 2.04 mA	–	–	0.045	%/°C
		レンジ = 255 μA	–	–	0.045	%/°C
		レンジ = 31.875 μA	–	–	0.05	%/°C
INL	積分非直線性	シンク モード、レンジ = 255 μA、コード = 8 ~ 255、R _{load} = 2.4 kΩ、C _{load} = 15 pF	–	±0.9	±1	LSB
		ソース モード、レンジ = 255 μA、コード = 8 ~ 255、R _{load} = 2.4 kΩ、C _{load} = 15 pF	–	±1.2	±1.6	LSB
		ソース モード、レンジ = 31.875 μA、コード = 8 ~ 255、R _{load} = 20 kΩ、C _{load} = 15 pF ^[54]	–	±0.9	±2	LSB
		シンク モード、レンジ = 31.875 μA、コード = 8 ~ 255、R _{load} = 20 kΩ、C _{load} = 15 pF ^[54]	–	±0.9	±2	LSB
		ソース モード、レンジ = 2.04 mA、コード = 8 ~ 255、R _{load} = 600 Ω、C _{load} = 15 pF ^[54]	–	±0.9	±2	LSB
		シンク モード、レンジ = 2.04 mA、コード = 8 ~ 255、R _{load} = 600 Ω、C _{load} = 15 pF ^[54]	–	±0.6	±1	LSB

注：

54. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-30. IDAC の DC 仕様 (続き)

パラメーター	説明	条件	Min	Typ	Max	単位
DNL	微分非直線性	シンク モード、レンジ = 255 μ A、 Rload = 2.4 k Ω 、Cload = 15 pF	–	± 0.3	± 1	LSB
		ソース モード、レンジ = 255 μ A、 Rload = 2.4 k Ω 、Cload = 15 pF	–	± 0.3	± 1	LSB
		ソース モード、レンジ = 31.875 μ A、 Rload = 20 k Ω 、Cload = 15 pF ^[55]	–	± 0.2	± 1	LSB
		シンク モード、レンジ = 31.875 μ A、 Rload = 20 k Ω 、Cload = 15 pF ^[55]	–	± 0.2	± 1	LSB
		ソース モード、レンジ = 2.04 mA、 Rload = 600 Ω 、Cload = 15 pF ^[55]	–	± 0.2	± 1	LSB
		シンク モード、レンジ = 2.04 mA、 Rload = 600 Ω 、Cload = 15 pF ^[55]	–	± 0.2	± 1	LSB
Vcompliance	電圧降下、ソースまたは シンクモード	最大電流での電圧ヘッドルーム、V _{DDA} への Rload または V _{SSA} Rload、V _{DDA} からの V _{diff}	1	–	–	V
I _{DD}	動作電流、コード = 0	低速モード、ソース モード、レンジ = 31.875 μ A	–	44	100	μ A
		低速モード、ソース モード、レンジ = 255 μ A、	–	33	100	μ A
		低速モード、ソース モード、レンジ = 2.04 mA	–	33	100	μ A
		低速モード、シンク モード、レンジ = 31.875 μ A	–	36	100	μ A
		低速モード、シンク モード、レンジ = 255 μ A	–	33	100	μ A
		低速モード、シンク モード、レンジ = 2.04 mA	–	33	100	μ A
		高速モード、ソース モード、レンジ = 31.875 μ A	–	310	500	μ A
		高速モード、ソース モード、レンジ = 255 μ A	–	305	500	μ A
		高速モード、ソース モード、レンジ = 2.04 mA	–	305	500	μ A
		高速モード、シンク モード、レンジ = 31.875 μ A	–	310	500	μ A
		高速モード、シンク モード、レンジ = 255 μ A	–	300	500	μ A
		高速モード、シンク モード、レンジ = 2.04 mA	–	300	500	μ A

注：

55. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-42. IDAC INL 対入力コード、
レンジ = 255 μ A、ソース モード

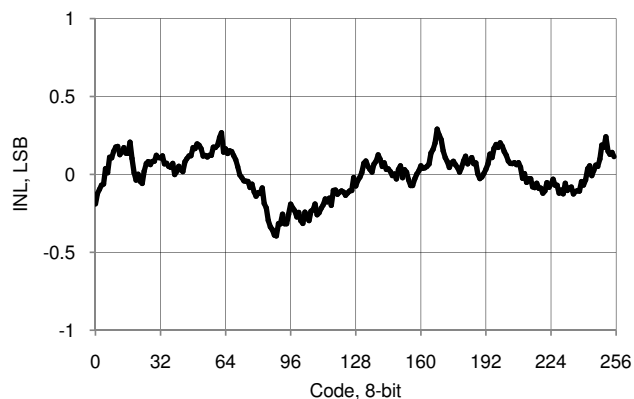


図 11-43. IDAC INL 対入力コード、
レンジ = 255 μ A、シンク モード

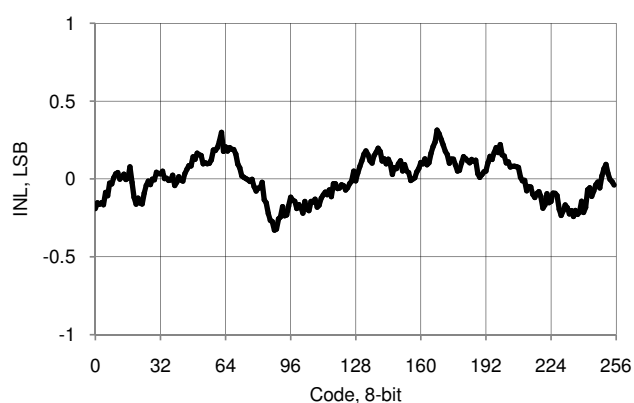


図 11-44. IDAC DNL 対入力コード、
レンジ = 255 μ A、ソース モード

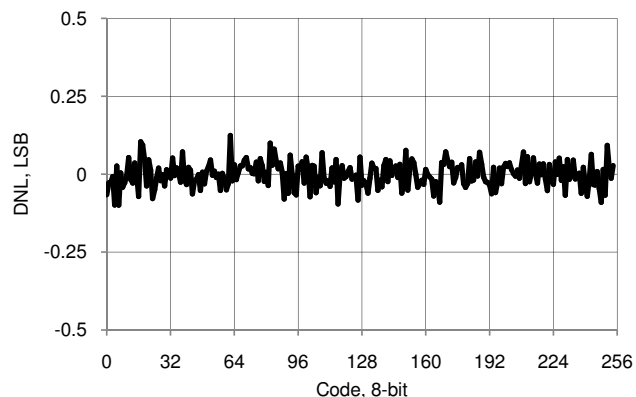


図 11-45. IDAC DNL 対入力コード、
レンジ = 255 μ A、シンク モード

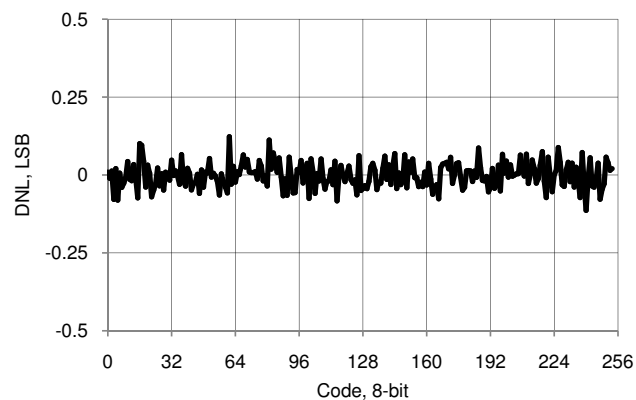


図 11-46. IDAC INL 対温度、レンジ = 255 μ A、高速モード

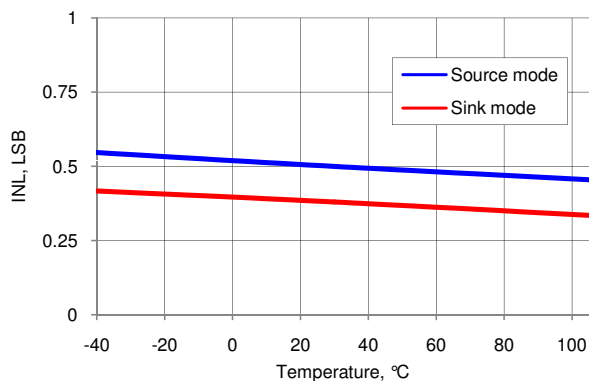
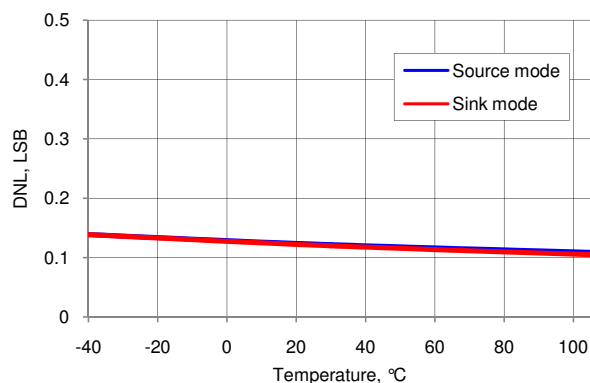
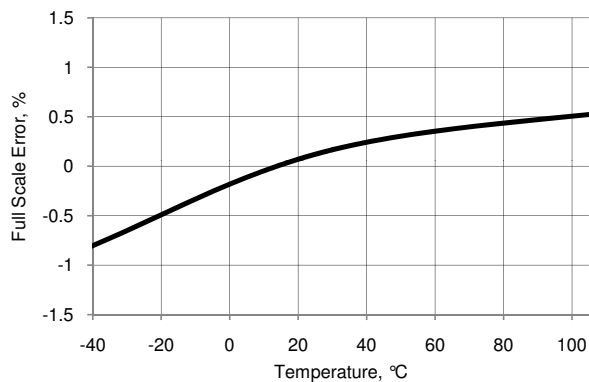
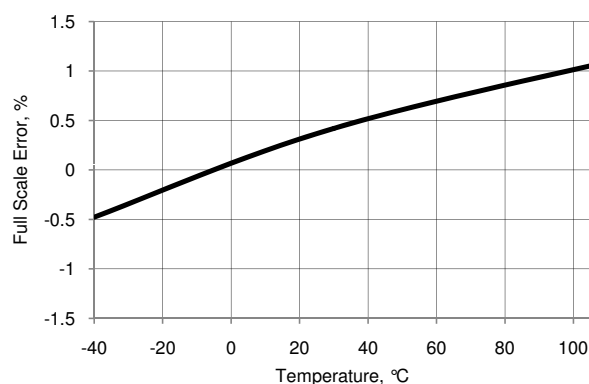
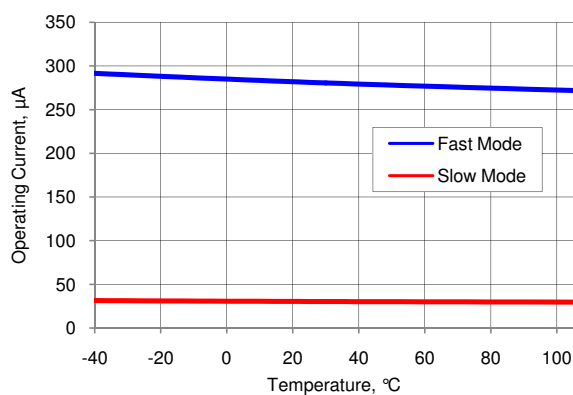
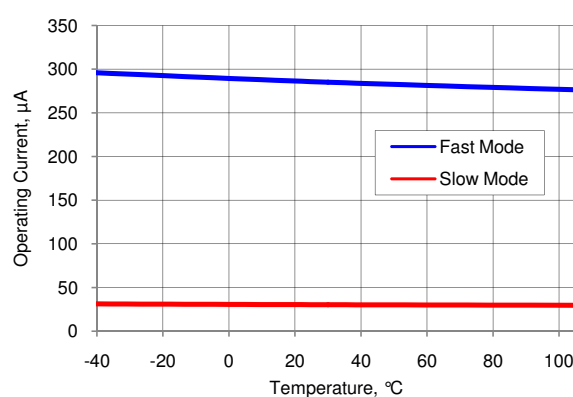


図 11-47. IDAC DNL 対温度、レンジ = 255 μ A、高速モード



**図 11-48. IDAC フル スケール誤差対温度、
範囲 = 255 μ A、ソース モード**

**図 11-49. IDAC フル スケール誤差対温度、
レンジ = 255 μ A、シンク モード**

**図 11-50. IDAC 動作電流対温度、
レンジ = 255 μ A、コード = 0、ソース コード**

**図 11-51. IDAC 動作電流対温度、
範囲 = 255 μ A、コード = 0、シンク モード**

表 11-31. IDAC の AC 仕様^[57]

パラメーター	説明	条件	Min	Typ	Max	単位
F _{DAC}	更新速度		—	—	8	Msp/s
T _{SETTLE}	0.5LSB までの整定時間	レンジ = 31.875 μ A、フルスケール遷移、高速モード、600 Ω 15 pF 負荷	—	—	125	ns
		レンジ = 255 μ A、フルスケール遷移、高速モード、600 Ω 15 pF 負荷	—	—	125	ns
	電流ノイズ	範囲 = 255 μ A、ソース モード、高速モード、V _{dda} = 5 V、10 kHz	—	340	—	pA/sqrtHz

注：
56. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-52. IDAC ステップ応答、コード 0x40 - 0xC0、
255 μ A モード、ソース モード、高速モード、 $V_{DDA} = 5V$

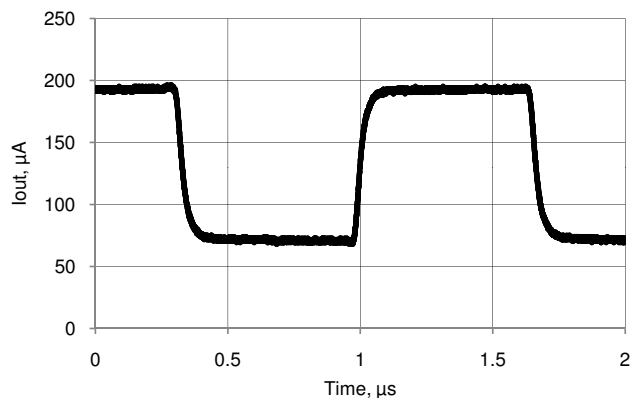


図 11-53. IDAC グリッチ応答、コード 0x7F - 0x80、
255 μ A モード、ソース モード、高速モード、 $V_{DDA} = 5V$

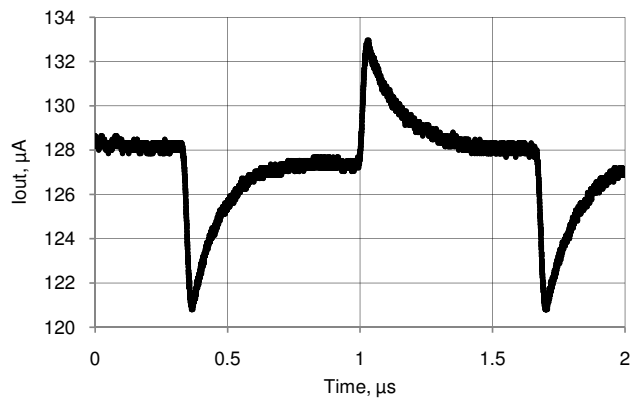


図 11-54. IDAC PSRR 対周波数

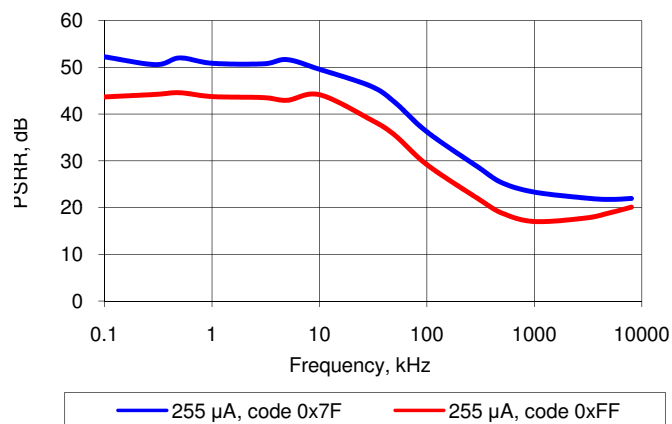
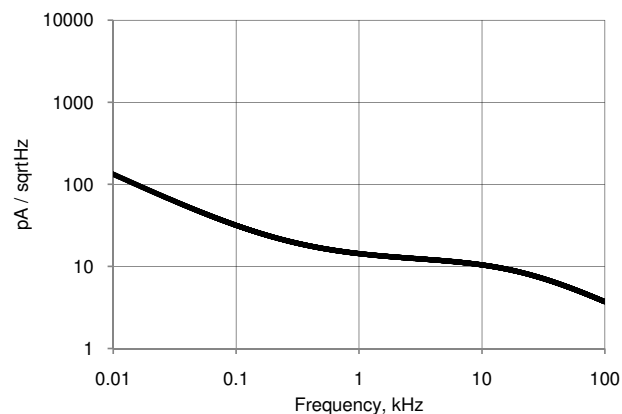


図 11-55. IDAC 電流ノイズ、255 μ A モード、
ソース モード、高速モード、 $V_{DDA} = 5V$



11.5.8 電圧デジタル アナログ変換器 (VDAC)

完全な電氣的仕様および API については、PSoS Creator の VDAC コンポーネント データシートを参照してください。

特記されていない限り、すべての図とグラフは標準値を示します。

表 11-32. VDAC の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	分解能		–	8	–	ビット
INL1	積分非直線性	1V スケール	–	±2.1	±2.5	LSB
INL4	積分非直線性 ^[57]	4V スケール	–	±2.1	±2.5	LSB
DNL1	微分非直線性	1V スケール	–	±0.3	±1	LSB
DNL4	微分非直線性 ^[57]	4V スケール	–	±0.3	±1	LSB
Rout	出力抵抗値	1V スケール	–	4	–	kΩ
		4V スケール	–	16	–	kΩ
V _{OUT}	出力電圧範囲、コード = 255	1V スケール	–	1.02	–	V
		4V スケール、V _{DDA} = 5 V	–	4.08	–	V
	単調増加性		–	–	有	–
V _{OS}	ゼロスケール誤差		–	0	±0.9	LSB
Eg	ゲイン誤差	1V スケール	–	–	±2.5	%
		4V スケール	–	–	±2.5	%
TC_Eg	温度係数、ゲイン誤差	1V スケール	–	–	0.03	%FSR/°C
		4V スケール	–	–	0.03	%FSR/°C
I _{DD}	動作電流 ^[57]	低速モード	–	–	100	μA
		Fast モード	–	–	500	μA

図 11-56. VDAC INL 対入力コード、1V モード

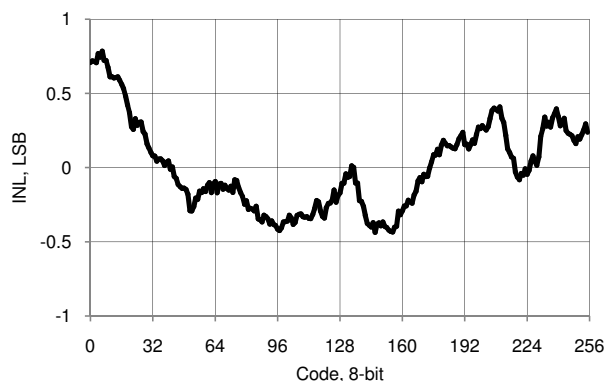
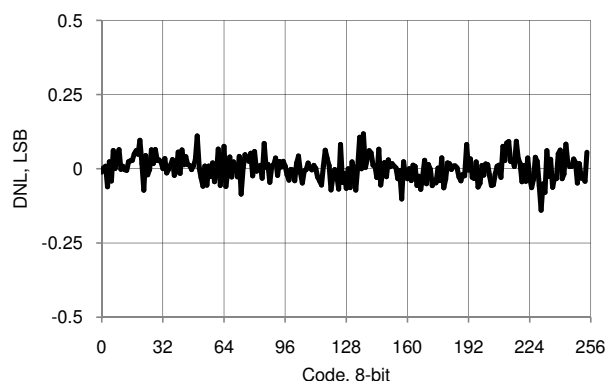


図 11-57. VDAC DNL 対入力コード、1V モード



注：
57. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-58. VDAC INL 対温度、1V モード

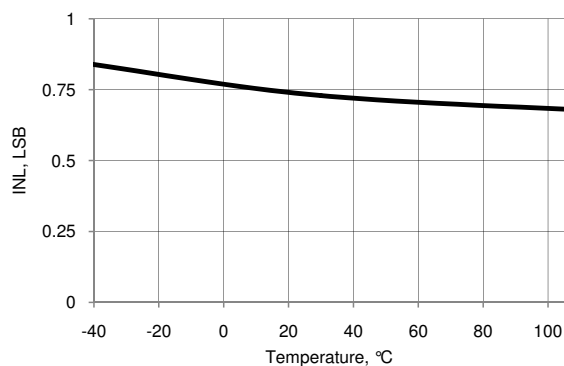


図 11-59. VDAC DNL 対温度、1V モード

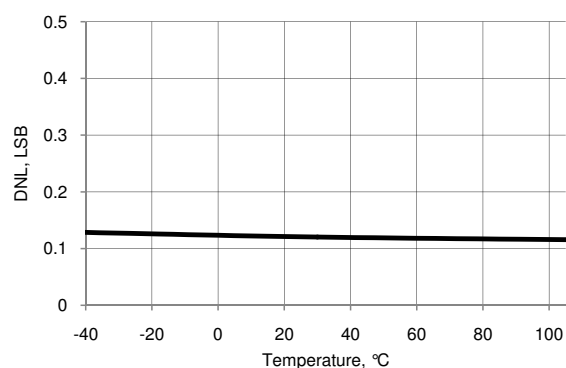


図 11-60. IDAC フル スケール 誤差対温度、1V モード

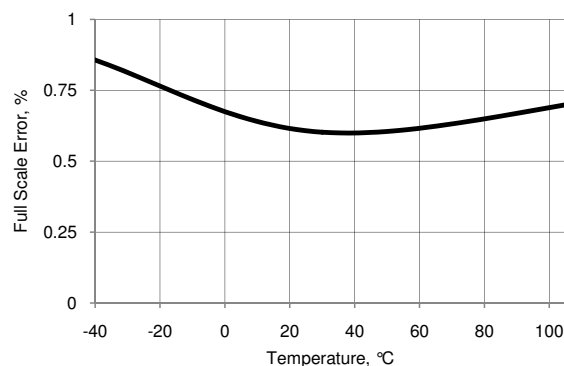


図 11-61. IDAC フル スケール エラー対温度、4V モード

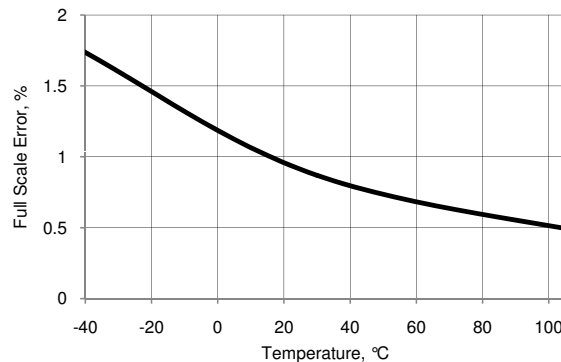


図 11-62. VDAC 動作電流対温度、1V モード、低速モード

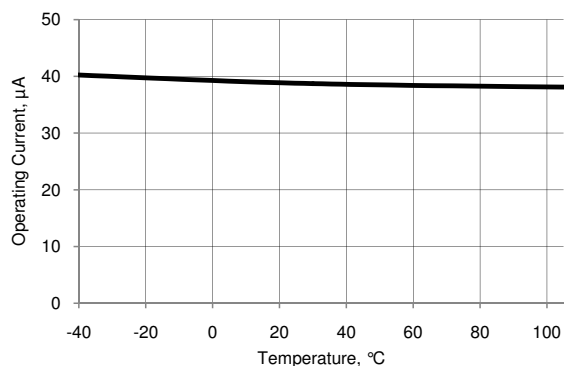


図 11-63. VDAC 動作電流対温度、1V モード、高速モード

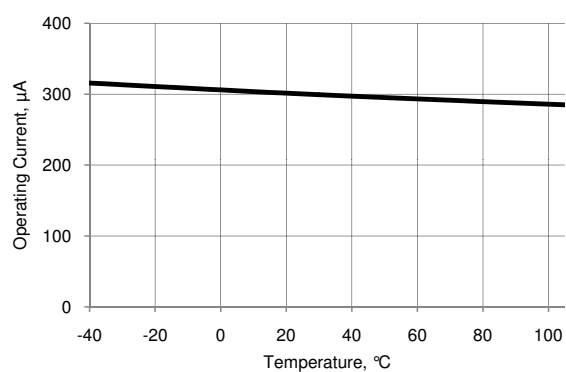
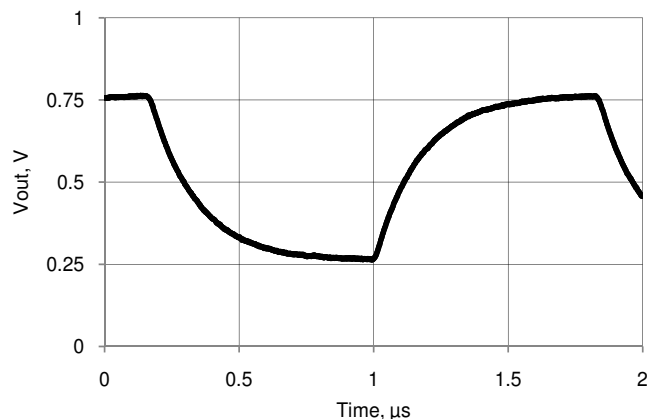
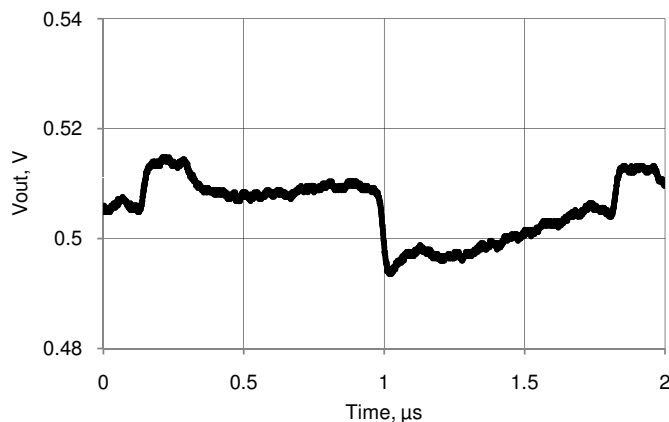
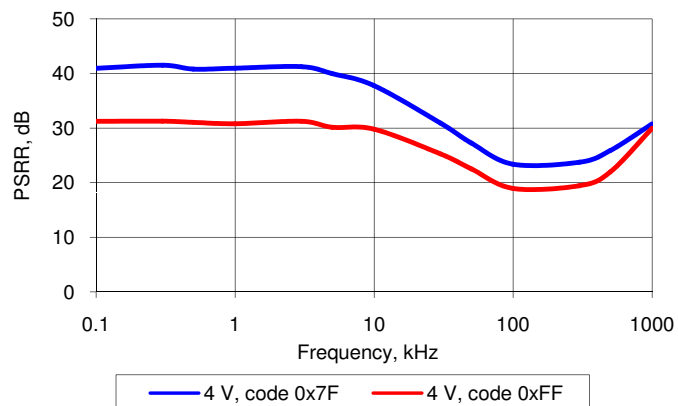
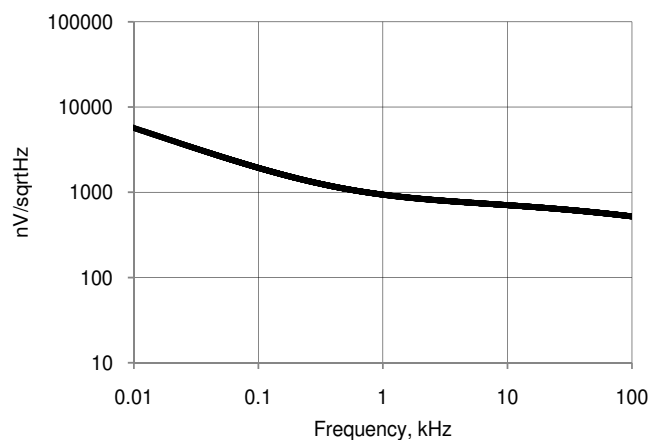


表 11-33. VDAC の AC 仕様^[58]

パラメーター	説明	条件	Min	Typ	Max	単位
F _{DAC}	更新速度	1V スケール	–	–	1000	ksps
		4V スケール	–	–	250	ksps
T _{settleP}	0.1% に達するまでの整定時間、 ステップ 25% ~ 75%	1V スケール、C _{load} = 15 pF	–	0.45	1	μs
		4V スケール、C _{load} = 15 pF	–	0.8	3.2	μs
T _{settleN}	0.1% に達するまでの整定時間、 ステップ 75% ~ 25%	1V スケール、C _{load} = 15 pF	–	0.45	1	μs
		4V スケール、C _{load} = 15 pF	–	0.7	3	μs
	電圧ノイズ	レンジ = 1V、高速モード、 V _{DDA} = 5 V、10 kHz	–	750	–	nV/sqrtHz

**図 11-64. VDAC ステップ応答、コード 0x40 - 0xC0、
1V モード、高速モード、V_{DDA} = 5V**

**図 11-65. VDAC グリッチ応答、コード 0x7F - 0x80、
1V モード、高速モード、V_{DDA} = 5V**

図 11-66. VDAC PSRR 対周波数

**図 11-67. VDAC 電圧ノイズ、1V モード、高速モード、
V_{DDA} = 5V**


注：
58. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.5.9 ミキサー

ミキサーは、SC/CT アナログ ブロックを使用して作成されます。完全な電氣的仕様および API については、PSoC Creator の中にあるミキサー コンポーネントのデータシートをご覧ください。

表 11-34. ミキサーの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{OS}	入力オフセット電圧	HIGH 電力モード、 $V_{IN} = 1.024\text{ V}$ 、 $V_{REF} = 1.024\text{ V}$	–	–	15	mV
	無信号時電流		–	0.9	2	mA
G	ゲイン		–	0	–	dB

表 11-35. ミキサー AC 仕様 ^[59]

パラメーター	説明	条件	Min	Typ	Max	単位
f_{LO}	ローカル発振器周波数	ダウン ミキサー モード	–	–	4	MHz
f_{in}	入力信号周波数	ダウン ミキサー モード	–	–	14	MHz
f_{LO}	ローカル発振器周波数	アップ ミキサー モード	–	–	1	MHz
f_{in}	入力信号周波数	アップ ミキサー モード	–	–	1	MHz
SR	スループレート		3	–	–	V/μs

11.5.10 トランスインピーダンス アンプ

TIA は、SC/CT アナログ ブロックを使用して作成されます。完全な電氣的仕様および API については、PSoC Creator の中にある TIA コンポーネントのデータシートをご覧ください。

表 11-36. トランスインピーダンス アンプ (TIA) の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{IOFF}	入力オフセット電圧		–	–	10	mV
Rconv	変換抵抗 ^[60]	R = 20K、40 pF 負荷	–25	–	+35	%
		R = 30K、40 pF 負荷	–25	–	+35	%
		R = 40K、40 pF 負荷	–25	–	+35	%
		R = 80K、40 pF 負荷	–25	–	+35	%
		R = 120K、40 pF 負荷	–25	–	+35	%
		R = 250K、40 pF 負荷	–25	–	+35	%
		R = 500K、40 pF 負荷	–25	–	+35	%
		R = 1M、40 pF 負荷	–25	–	+35	%
	静止電流 ^[59]		–	1.1	2	mA

表 11-37. トランスインピーダンス アンプ (TIA) の AC 仕様 ^[59]

パラメーター	説明	条件	Min	Typ	Max	単位
BW	入力帯域幅 (–3dB)	R = 20K、–40 pF 負荷	1200	–	–	kHz
		R = 120K、–40 pF 負荷	240	–	–	kHz
		R = 1M、–40 pF 負荷	25	–	–	kHz

注:

59. デバイスの特性評価に基づく値 (出荷試験されていません)。

60. 変換抵抗値は未校正です。校正値および校正の詳細は、PSoC Creator コンポーネントのデータシートに記載されています。外付けの高精度抵抗を使用することもできます。

11.5.11 プログラマブル ゲイン アンプ

PGA は、SC/CT アナログ ブロック を使用して作成されます。完全な電氣的仕様および API については、PSoC Creator の中にある PGA コンポーネントのデータシートをご覧ください。

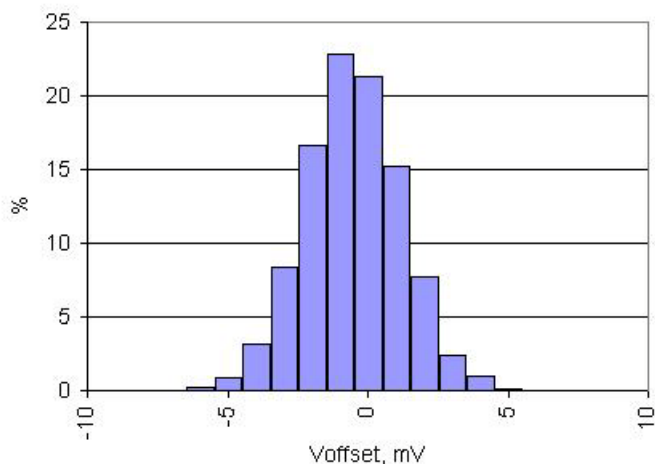
特記されていない場合の動作条件：

- 動作温度 = 標準値で 25°C
- 特記されていない限り、すべての図とグラフは標準値を示します。

表 11-38. PGA の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V _{in}	入力電圧範囲	電力モード = MINIMUM	V _{ssa}	–	V _{DDA}	V
V _{os}	入力オフセット電圧	電力モード = HIGH、 ゲイン = 1	–	–	10	mV
TCV _{os}	入力オフセット電圧の温度ドリフト	電力モード = HIGH、 ゲイン = 1	–	–	±30	μV/°C
Ge ₁	ゲイン誤差、ゲイン = 1		–	–	±0.15	%
Ge ₁₆	ゲイン誤差、ゲイン = 16		–	–	±2.5	%
Ge ₅₀	ゲイン誤差、ゲイン = 50		–	–	±5	%
V _{onl}	DC 出力の非直線性	ゲイン = 1	–	–	±0.01	FSR の %
C _{in}	入力静電容量		–	–	7	pF
V _{oh}	出力電圧スイング	電力モード = HIGH、 ゲイン = 1、V _{DDA} /2 に接続した R _{load} = 100 kΩ	V _{DDA} – 0.15	–	–	V
V _{ol}	出力電圧スイング	電力モード = HIGH、 ゲイン = 1、V _{DDA} /2 に接続した R _{load} = 100 kΩ	–	–	V _{SSA} + 0.15	V
V _{src}	負荷での出力電圧	I _{load} = 250 μA、V _{DDA} ≥ 2.7 V、 電力モード = 高	–	–	300	mV
I _{dd}	動作電流 ^[61]	電力モード = HIGH	–	1.5	1.65	mA
PSRR	電源電圧変動除去比		48	–	–	dB

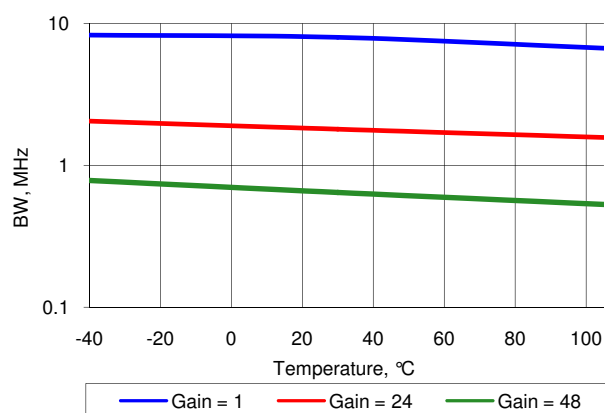
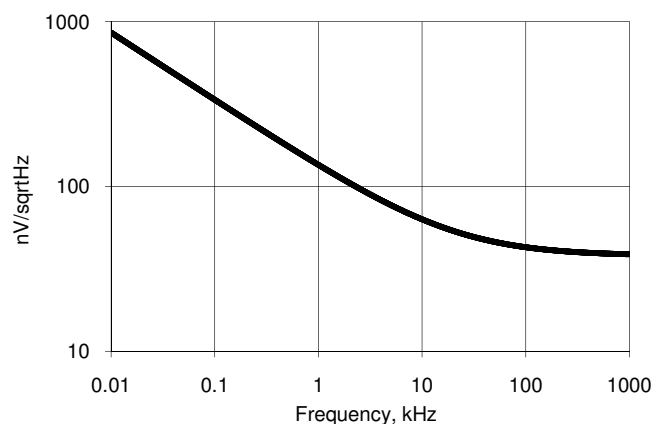
**図 11-68. PGA Voffset ヒストグラム、
4096 サンプル / 1024 パーツ**



注：
61. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-39. PGA の AC 仕様 ^[62]

パラメーター	説明	条件	Min	Typ	Max	単位
BW1	-3dB 帯域幅	電力モード = HIGH、 ゲイン = 1、入力 = 100 mV (ピーク ツー ピーク)	6.7	8	—	MHz
		$T_A \leq 105^\circ\text{C}$	6	8	—	
SR1	スルーレート	電力モード = HIGH、 ゲイン = 1、20% ~ 80%	3	—	—	V/ μs
e_n	入力雑音密度	電力モード = HIGH、 $V_{DDA} = 5\text{V}$ 、周波数 = 100 kHz	—	43	—	nV/sqrtHz

図 11-69. 帯域幅 対 温度、差動ゲイン設定で、消費電力モード = 高

図 11-70. ノイズ 対 周波数、 $V_{DDA} = 5\text{V}$ 、電力モード = 高


11.5.12 温度センサー

表 11-40. 温度センサーの仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	温度センサー精度	範囲: $-40^\circ\text{C} \sim +105^\circ\text{C}$	—	± 5	—	$^\circ\text{C}$

11.5.13 LCD ダイレクト ドライブ

表 11-41. LCD 直接駆動の DC 仕様 ^[62]

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	LCD ブロック (LCD なし)	デバイス スリープ モード、LCD をリフレッシュするウェイクアップ速度 400 Hz、バス、クロック = 3 MHz、 $V_{DDIO} = V_{DDA} = 3\text{V}$ 、8 コモン、16 セグメント、1/5 デューティ比、40 Hz フレーム レート、LCD 接続なし	—	81	—	μA
$I_{CC\text{ SEG}}$	セグメントドライバあたりの電流	ストロングドライブ モード	—	260	—	μA
V_{BIAS}	LCD バイアス範囲 (V_{BIAS} は LCD DAC のメイン出力電圧 (V_0))	$V_{DDA} \geq 3\text{V}$ および $V_{DDA} \geq V_{BIAS}$	2	—	5	V
	LCD バイアス ステップ サイズ	$V_{DDA} \geq 3\text{V}$ および $V_{DDA} \geq V_{BIAS}$	—	$9.1 \times V_{DDA}$	—	mV
	セグメント / コモンドライバあたりの LCD 静電容量	ドライバは連結可能	—	500	5000	pF
	セグメントの最大 DC オフセット	$V_{DDA} \geq 3\text{V}$ および $V_{DDA} \geq V_{BIAS}$	—	—	20	mV
I_{OUT}	セグメントドライバあたりの出力駆動電流	$V_{DDIO} = 5.5\text{V}$ 、ストロング駆動モード	355	—	710	μA

注：
62. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-42. LCD 直接駆動の AC 仕様 ^[63]

パラメーター	説明	条件	Min	Typ	Max	単位
f _{LCD}	LCD フレーム レート		10	50	150	Hz

11.6 デジタル ペリフェラル

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。

11.6.1 タイマー

次の仕様は、タイマー モードでのタイマー／カウンタ／PWM ペリフェラルに適用されます。タイマーは UDB に実装することもできます。詳細は、PSoC Creator のタイマー コンポーネント データシートを参照してください。

表 11-43. タイマーの DC 仕様 ^[63]

パラメーター	説明	条件	Min	Typ	Max	単位
	ブロック消費電流	16 ビット タイマー。所与の入力クロック周波数の範囲内において	–	–	–	μA
	3 MHz		–	15	–	μA
	12 MHz		–	60	–	μA
	48 MHz		–	260	–	μA
	80 MHz		–	360	–	μA

表 11-44. タイマーの AC 仕様 ^[63]

パラメーター	説明	条件	Min	Typ	Max	単位
	動作周波数		DC	–	80.01	MHz
	キャプチャ パルス幅 (内部) ^[64]		15	–	–	ns
	キャプチャ パルス幅 (外部)		30	–	–	ns
	タイマー分解能 ^[64]		15	–	–	ns
	イネーブル パルス幅 ^[64]		15	–	–	ns
	イネーブル パルス幅 (外部)		30	–	–	ns
	リセット パルス幅 ^[64]		15	–	–	ns
	リセット パルス幅 (外部)		30	–	–	ns

11.6.2 カウンタ

次の仕様は、カウンタ モードでのタイマー／カウンタ／PWM ペリフェラルに適用されます。カウンタは UDB に実装することもできます。詳細は、PSoC Creator のカウンタ コンポーネント データシートを参照してください。

表 11-45. カウンタの DC 仕様 ^[63]

パラメーター	説明	条件	Min	Typ	Max	単位
	ブロック消費電流	16 ビット カウンタ、各入力クロック周波数時	–	–	–	μA
	3 MHz		–	15	–	μA
	12 MHz		–	60	–	μA
	48 MHz		–	260	–	μA
	80 MHz		–	360	–	μA

注:

63. デバイスの特性評価に基づく値 (出荷試験されていません)。

64. 正しく動作するために、タイマー／カウンタ／PWM の最低入力パルス幅はバス クロックの周期でなければなりません。

表 11-46. カウンターの AC 仕様 ^[65]

パラメーター	説明	条件	Min	Typ	Max	単位
	動作周波数		DC	–	80.01	MHz
	キャプチャ パルス ^[66]		15	–	–	ns
	分解能 ^[66]		15	–	–	ns
	パルス幅 ^[66]		15	–	–	ns
	パルス幅 (外部)		30	–	–	ns
	イネーブル パルス幅 ^[66]		15	–	–	ns
	イネーブル パルス幅 (外部)		30	–	–	ns
	リセット パルス幅 ^[66]		15	–	–	ns
	リセット パルス幅 (外部)		30	–	–	ns

11.6.3 パルス幅変調 (PWM)

次の仕様は、PWM モードでのタイマー／カウンタ／PWM ペリフェラルに適用されます。PWM は UDB に実装することもできます。詳細は、PSoC Creator の PWM コンポーネント データシートを参照してください。

表 11-47. PWM の DC 仕様 ^[65]

パラメーター	説明	条件	Min	Typ	Max	単位
	ブロック消費電流	16 ビット PWM、各入力クロック周波数時	–	–	–	μA
	3 MHz		–	15	–	μA
	12 MHz		–	60	–	μA
	48 MHz		–	260	–	μA
	80 MHz		–	360	–	μA

表 11-48. PWM の AC 仕様 ^[65]

パラメーター	説明	条件	Min	Typ	Max	単位
	動作周波数		DC	–	80.01	MHz
	パルス幅 ^[66]		15	–	–	ns
	パルス幅 (外部)		30	–	–	ns
	キル パルス幅 ^[66]		15	–	–	ns
	キル パルス幅 (外部)		30	–	–	ns
	イネーブル パルス幅 ^[66]		15	–	–	ns
	イネーブル パルス幅 (外部)		30	–	–	ns
	リセット パルス幅 ^[66]		15	–	–	ns
	リセット パルス幅 (外部)		30	–	–	ns

11.6.4 I²C

表 11-49. 固定 I²C の DC 仕様 ^[65]

パラメーター	説明	条件	Min	Typ	Max	単位
	ブロック消費電流	有効、100 kbps に設定	–	–	250	μA
		有効、400 kbps に設定	–	–	260	μA

注:

65. デバイスの特性評価に基づく値 (出荷試験されていません)。

66. 正常に作動するには、タイマー／カウンタ／PWM の最短入力パルス幅はバス クロックの周期に等しくなければなりません。

表 11-50. 固定 I²C の AC 仕様 ^[67]

パラメーター	説明	条件	Min	Typ	Max	単位
	ビット レート		–	–	1	Mbps

11.6.5 コントローラー エリア ネットワーク

表 11-51. CAN の DC 仕様 ^[67, 68]

パラメーター	説明	条件	Min	Typ	Max	単位
I _{DD}	ブロック消費電流		–	–	200	μA

表 11-52. CAN の AC 仕様 ^[67, 68]

パラメーター	説明	条件	Min	Typ	Max	単位
	ビット レート	最低 8MHz クロック	–	–	1	Mbit

11.6.6 デジタル フィルタ ブロック

表 11-53. DFB の DC 仕様 ^[68]

パラメーター	説明	条件	Min	Typ	Max	単位
	DFB の動作電流	F _{DFB} での 64 タップ FIR				
		500 kHz (6.7 ksps)	–	0.16	0.27	mA
		1 MHz (13.4 ksps)	–	0.33	0.53	mA
		10 MHz (134 ksps)	–	3.3	5.3	mA
		48 MHz (644 ksps)	–	15.7	25.5	mA
		80 MHz (1.07 Msps)	–	26.0	42.5	mA

表 11-54. DFB の AC 仕様 ^[68]

パラメーター	説明	条件	Min	Typ	Max	単位
F _{DFB}	DFB の動作周波数		DC	–	80.01	MHz

11.6.7 USB

表 11-55. USB の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V _{USB_5}	USB 動作時のデバイス電源電圧 (V _{DDD})	USB が設定済み、USB レギュレータが有効	4.35	–	5.25	V
V _{USB_3.3}		USB が設定済み、USB レギュレータがバイパスされる	3.15	–	3.6	V
V _{USB_3}		USB が設定済み、USB レギュレータがバイパスされる ^[69]	2.85	–	3.6	V
I _{USB_Configured}	デバイス アクティブ モード、バス クロックおよび IMO = 24MHz での デバイス供給電流	V _{DDD} = 5 V、F _{CPU} = 1.5 MHz	–	10	–	mA
		V _{DDD} = 3.3 V、F _{CPU} = 1.5 MHz	–	8	–	mA
I _{USB_Suspended}		V _{DDD} = 5 V、USB ホストに接続、USB 復元信号でウェイクアップするように設定された PICU	–	0.5	–	mA
		V _{DDD} = 5 V、USB ホストから切断	–	0.3	–	mA
	デバイス スリープ モードでのデバイス供給電流	V _{DDD} = 3.3 V、USB ホストに接続、USB 復元信号でウェイクアップするように設定された PICU	–	0.5	–	mA
		V _{DDD} = 3.3 V、USB ホストから切断	–	0.3	–	mA

注:

67. デバイスの特性評価に基づく値 (出荷試験されていません)。

68. 詳細は ISO 11898 仕様書を参照してください。

69. 立ち上り/立ち下り時間マッチング (TR) は保証されません。83 ページの 表 11-15 を参照してください。

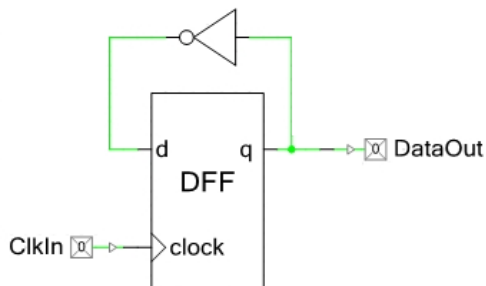
11.6.8 汎用デジタルブロック (UDB)

PSoC Creator は、UDB アレイにマッピングされた標準デジタル ペリフェラル (UART、SPI、LIN、PRS、CRC、タイマー、カウンタ、PWM、AND、OR など) の、構築とテストを完了したライブラリを提供します。完全な AC/DC 仕様、API および推奨コード例については、PSoC Creator 中にあるコンポーネントのデータ シートをご覧ください。

表 11-56. UDB の AC 仕様 ^[70]

パラメーター	説明	条件	Min	Typ	Max	単位
データパスの性能						
F _{MAX_TIMER}	UDB ペアの 16 ビット タイマーの最大周波数		–	–	67.01	MHz
F _{MAX_ADDER}	UDB ペアの 16 ビット 加算器の最大周波数		–	–	67.01	MHz
F _{MAX_CRC}	UDB ペアの 16 ビット CRC/PRS の最大周波数		–	–	67.01	MHz
PLD の性能						
F _{MAX_PLD}	UDB ペアの 2 パス PLD 機能の最大周波数		–	–	67.01	MHz
クロックから出力までの時間						
t _{CLK_OUT}	クロック入力からデータ出力までの伝播遅延。図 11-71 を参照してください	25°C、V _{DDD} ≥ 2.7 V	–	20	25	ns
t _{CLK_OUT}	クロック入力からデータ出力までの伝播遅延。図 11-71 を参照してください	最悪の配置、配線およびピン選択	–	–	55	ns

図 11-71. クロックから出力までの時間



注：
70. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.7 メモリ

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて、1.71 V ~ 5.5 V において有効です。

11.7.1 フラッシュ

表 11-57. フラッシュの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	消去およびプログラム電圧	V_{DDD} ピン	1.71	–	5.5	V

表 11-58. フラッシュの AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
T_{WRITE}	行書き込み時間 (消去 + プログラム)		–	15	20	ms
T_{ERASE}	行消去時間		–	10	13	ms
	行プログラム時間		–	5	7	ms
T_{BULK}	バルク消去時間 (256 KB)		–	–	140	ms
	セクター消去時間 (16 KB)		–	–	15	ms
T_{PROG}	合計デバイス プログラム時間	オーバーヘッドなし [71]	–	5	7.5	秒
	フラッシュ データ保持期間。前回の消去サイクルから測定された保持期間	平均周囲温度。 $T_A \leq 55^{\circ}\text{C}$ 、10 万消去 / プログラム サイクル	20	–	–	年
		平均周囲温度。 $T_A \leq 85^{\circ}\text{C}$ 、1 万の消去 / プログラム サイクル	10	–	–	
		平均周囲温度。 $T_A \leq 105^{\circ}\text{C}$ 、10K 消去 / プログラム サイクル、 $T_A \geq 75^{\circ}\text{C}$ の場合 ≤ 1 年間 [71]	10	–	–	

11.7.2 EEPROM

表 11-59. EEPROM の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	消去およびプログラム電圧		1.71	–	5.5	V

表 11-60. EEPROM の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
T_{WRITE}	1 行の消去 / 書き込みサイクル時間		–	10	20	ms
	EEPROM データ保持期間。前回の消去サイクルから測定された保持期間	平均周囲温度、 $T_A \leq 25^{\circ}\text{C}$ 、100 万の消去 / プログラム サイクル	20	–	–	年
		平均周囲温度、 $T_A \leq 55^{\circ}\text{C}$ 、10 万の消去 / プログラム サイクル	20	–	–	
		平均周囲温度、 $T_A \leq 85^{\circ}\text{C}$ 、1 万の消去 / プログラム サイクル	10	–	–	
		平均周囲温度、 $T_A \leq 105^{\circ}\text{C}$ 、10K 消去 / プログラム サイクル、 $T_A \geq 75^{\circ}\text{C}$ の場合 ≤ 1 年間	10	–	–	

注:

71. PSoC 5 フラッシュをプログラミングする低オーバーヘッド方法の説明については [PSoC 5 Device Programming Specifications](#) を参照してください。

11.7.3 不揮発性ラッチ (NVL)

表 11-61. NVL の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	消去およびプログラム電圧	V _{DDD} ピン	1.71	–	5.5	V

表 11-62. NVL の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	NVL の耐久性	25 °C でプログラム	1K	–	–	プログラム／消去サイクル
		0 °C ~ 70 °C でプログラム	100	–	–	プログラム／消去サイクル
	NVL データ保持期間	平均周囲温度。T _A ≤ 55 °C	20	–	–	年
		平均周囲温度。T _A ≤ 85 °C	10	–	–	
		平均周囲温度。T _A ≤ 105 °C、 T _A ≥ 75 °C の場合 ≤ 1 年間 [72]	10	–	–	

11.7.4 SRAM

表 11-63. SRAM の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V _{SRAM}	SRAM 保持電圧 [73]		1.2	–	–	V

表 11-64. SRAM の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
F _{SRAM}	SRAM の動作周波数		DC	–	80.01	MHz

注:

72. サイプレスは、–40 °C ~ +105 °C の周囲温度範囲にわたって個々の顧客の温度プロファイルに応じて保持ライフタイムを計算するための保持期間計算器を提供しています。customer@ Cypress.com までお問い合わせください。

73. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.7.5 外部メモリ インターフェース (EMIF)

図 11-72. 非同期書き込みと読み出しサイクルのタイミング、待機状態なし

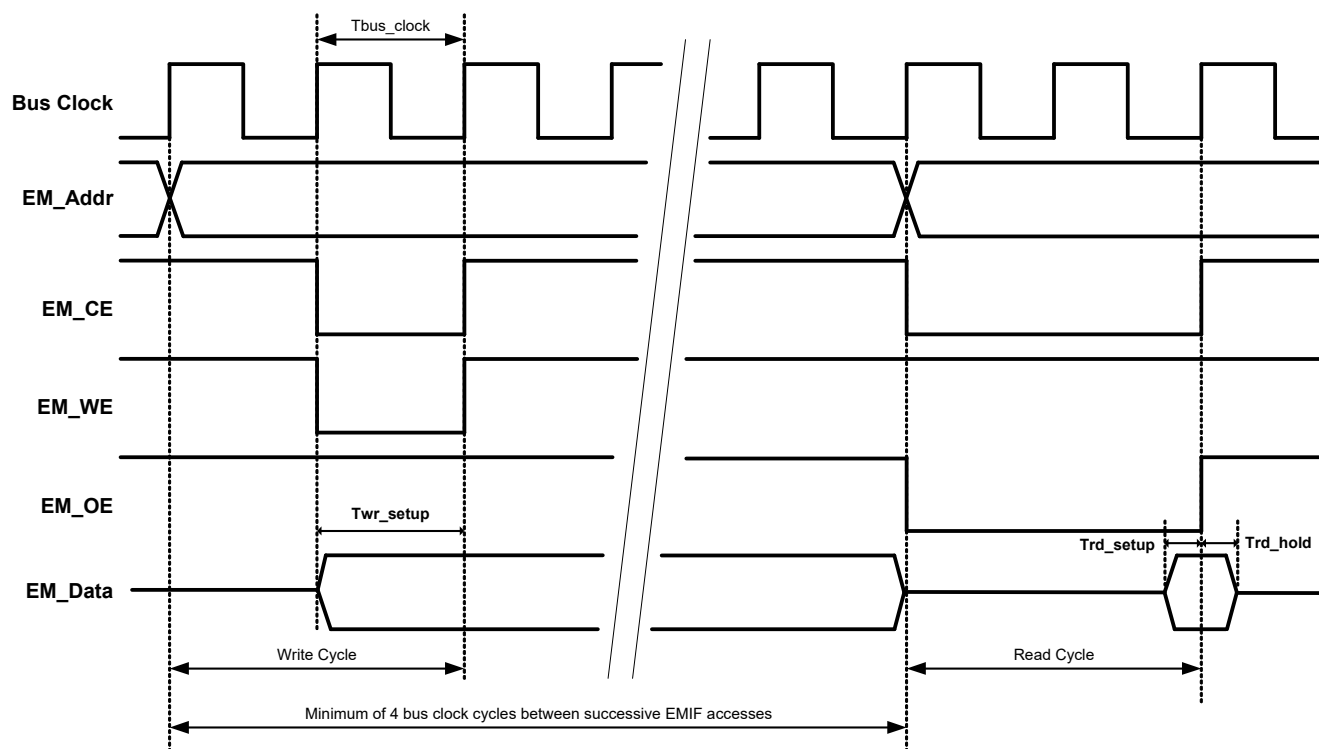


表 11-65. 非同期書き込みおよび読み出しタイミング仕様 [72]

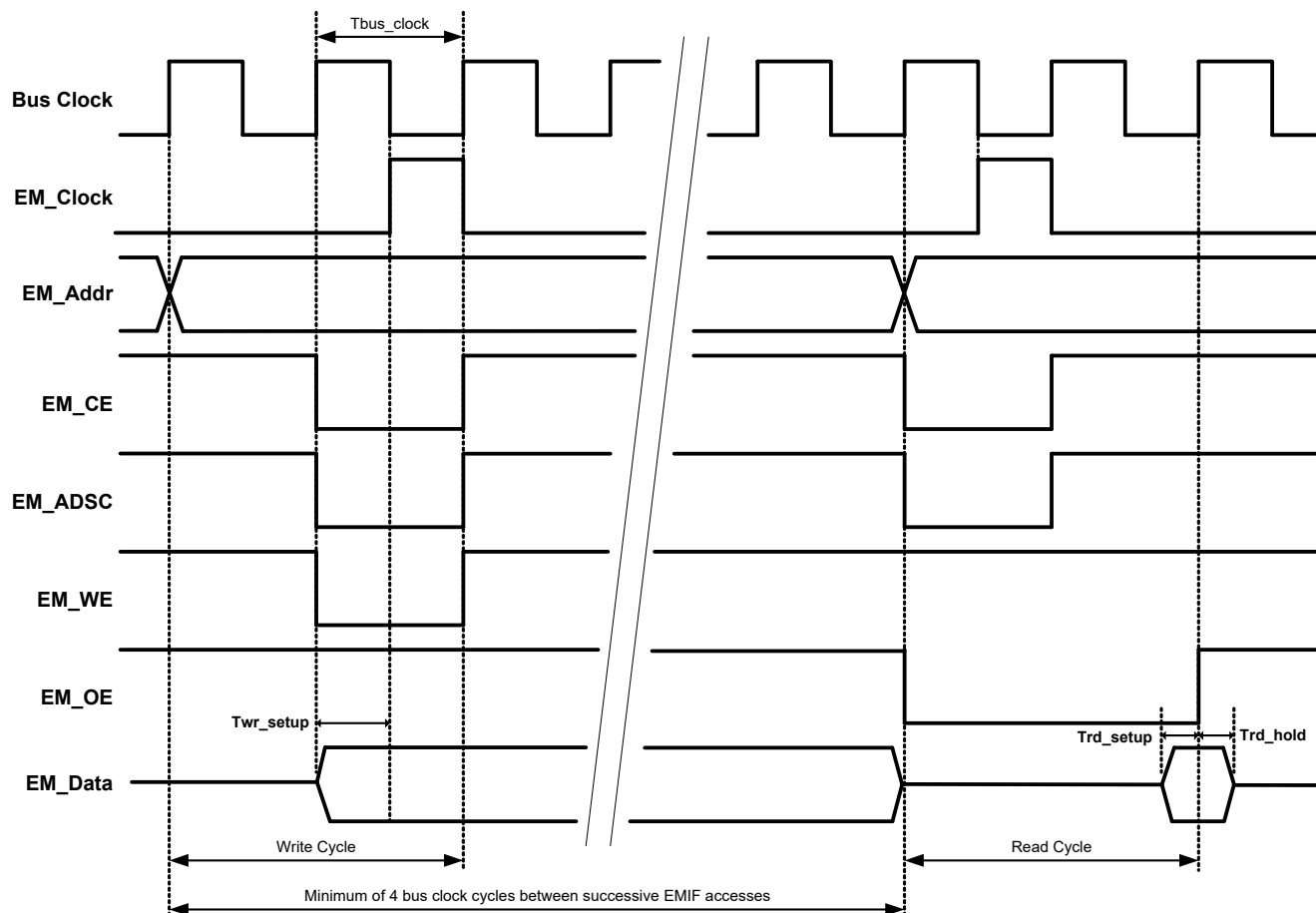
パラメーター	説明	条件	Min	Typ	Max	単位
Fbus_clock	バス クロック周波数 [73]		–	–	33	MHz
Tbus_clock	バス クロック周期 [74]		30.3	–	–	ns
Twr_Setup	EM_data 有効から EM_WE および EM_CE の立ち上りエッジまでの時間		$T_{bus_clock} - 10$	–	–	ns
Trd_setup	EM_OE の立ち上りエッジの前に EM_data が有効でなければならない時間		5	–	–	ns
Trd_hold	EM_OE の立ち上りエッジの後に EM_data が有効でなければならない時間		5	–	–	ns

注:

72. デバイスの特性評価に基づく値 (出荷試験されていません)。

73. EMIF 信号タイミングは GPIO 周波数制限によって制限されます。76 ページの「GPIO」を参照してください。

74. EMIF 出力信号は一般にバス クロックと同期され、それで EMIF 信号タイミングはバス クロック周波数に依存します。

図 11-73. 同期書き込みと読み出しサイクルのタイミング、待機状態なし

表 11-66. 同期書き込みおよび読み出しタイミング仕様 [75]

パラメーター	説明	条件	Min	Typ	Max	単位
Fbus_clock	バス クロック周波数 [76]		–	–	33	MHz
Tbus_clock	バス クロック周期 [77]		30.3	–	–	ns
Twr_Setup	EM_data 有効から EM_Clock の立ち上りエッジまでの時間		$T_{bus_clock} - 10$	–	–	ns
Trd_setup	EM_OE の立ち上りエッジの前に EM_data が有効でなければならない時間		5	–	–	ns
Trd_hold	EM_OE の立ち上りエッジの後に EM_data が有効でなければならない時間		5	–	–	ns

注:

75. デバイスの特性評価に基づく値 (出荷試験されていません)。

76. EMIF 信号タイミングは GPIO 周波数制限によって制限されます。76 ページの「GPIO」を参照してください。

77. EMIF 出力信号は一般にバス クロックに同期されるので、EMIF 信号タイミングはバス クロック周波数に依存します。

11.8 PSoC のシステム リソース

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて、1.71 V ~ 5.5 V において有効です。

11.8.1 電圧降下に伴うパワーオン リセット (POR)

安定化モードの電圧低下検出では、 V_{DD} および V_{DDA} は、 $\geq 2.0\text{ V}$ でなければなりません。電圧低下検出は、外部安定化モードで利用できません。

表 11-67. ブラウンアウト機能を備えた精密低電圧リセット (PRES) 回路の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
PRESR	立ち上りトリップ電圧	工場トリム	1.64	–	1.68	V
PRESF	立ち下りトリップ電圧		1.62	–	1.66	V

表 11-68. ブラウンアウト機能を備えたパワー オン リセット (POR) 回路の AC 仕様^[78]

パラメーター	説明	条件	Min	Typ	Max	単位
PRES_TR ^[79]	応答時間		–	–	0.5	μs
	V_{DD}/V_{DDA} ドロップ レート	スリープ モード	–	5	–	V/sec

11.8.2 電圧モニター

表 11-69. 電圧モニターの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
LVI	トリップ電圧					
	LVI_A/D_SEL[3:0] = 0000b		1.68	1.73	1.77	V
	LVI_A/D_SEL[3:0] = 0001b		1.89	1.95	2.01	V
	LVI_A/D_SEL[3:0] = 0010b		2.14	2.20	2.27	V
	LVI_A/D_SEL[3:0] = 0011b		2.38	2.45	2.53	V
	LVI_A/D_SEL[3:0] = 0100b		2.62	2.71	2.79	V
	LVI_A/D_SEL[3:0] = 0101b		2.87	2.95	3.04	V
	LVI_A/D_SEL[3:0] = 0110b		3.11	3.21	3.31	V
	LVI_A/D_SEL[3:0] = 0111b		3.35	3.46	3.56	V
	LVI_A/D_SEL[3:0] = 1000b		3.59	3.70	3.81	V
	LVI_A/D_SEL[3:0] = 1001b		3.84	3.95	4.07	V
	LVI_A/D_SEL[3:0] = 1010b		4.08	4.20	4.33	V
	LVI_A/D_SEL[3:0] = 1011b		4.32	4.45	4.59	V
	LVI_A/D_SEL[3:0] = 1100b		4.56	4.70	4.84	V
	LVI_A/D_SEL[3:0] = 1101b		4.83	4.98	5.13	V
	LVI_A/D_SEL[3:0] = 1110b		5.05	5.21	5.37	V
	LVI_A/D_SEL[3:0] = 1111b		5.30	5.47	5.63	V
HVI	トリップ電圧		5.57	5.75	5.92	V

表 11-70. 電圧モニターの AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
LVI_tr ^[79]	応答時間		–	–	1	μs

注:

78. デバイスの特性評価に基づく値 (出荷試験されていません)。

79. この値は計算されますが、測定されていません。

11.8.3 割り込みコントローラー

表 11-71. 割り込みコントローラーの AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	割り込み信号入力から、main コード行からの ISR コード実行までの遅延 ^[80]		–	–	12	Tcy CPU
	割り込み信号入力から、他の ISR コードからの ISR コード実行 (テールチェーン) までの遅延 ^[80]		–	–	6	Tcy CPU

11.8.4 JTAG インターフェース

図 11-74. JTAG インターフェース タイミング

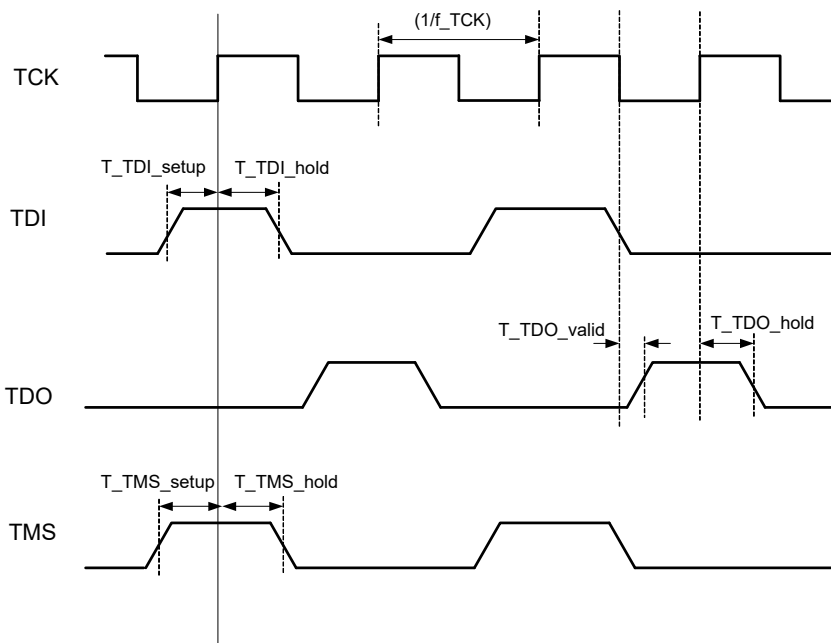


表 11-72. JTAG インターフェースの AC 仕様^[81]

パラメーター	説明	条件	Min	Typ	Max	単位
f_TCK	TCK 周波数	$3.3\text{ V} \leq V_{DD} \leq 5\text{ V}$	–	–	12 ^[82]	MHz
		$1.71\text{ V} \leq V_{DD} < 3.3\text{ V}$	–	–	7 ^[82]	MHz
T_TDI_setup	TCK HIGH までの TDI セットアップ時間		$(T/10) - 5$	–	–	ns
T_TMS_setup	TCK HIGH までの TMS セットアップ時間		$T/4$	–	–	
T_TDI_hold	TCK HIGH からの TDI、TMS ホールド時間	$T = 1/f_TCK\text{ max}$	$T/4$	–	–	
T_TDO_valid	TCK LOW から TDO 有効までの時間	$T = 1/f_TCK\text{ max}$	–	–	$2T/5$	
T_TDO_hold	TCK HIGH からの TDO ホールド時間	$T = 1/f_TCK\text{ max}$	$T/4$	–	–	
T_nTRST	最小の nTRST パルス幅	f_TCK = 2 MHz	8	–	–	ns

注:

80. Arm Cortex-M3 NVIC 仕様。Cortex-M3 CPU に関する詳細なドキュメントについては、www.arm.com にアクセスしてください。

81. デバイスの特性評価に基づく値 (出荷試験されていません)。

82. f_TCK は CPU クロック周波数の 1/3 以下であることも必要です。

11.8.5 SWD インターフェース

図 11-75. SWD インターフェース タイミング

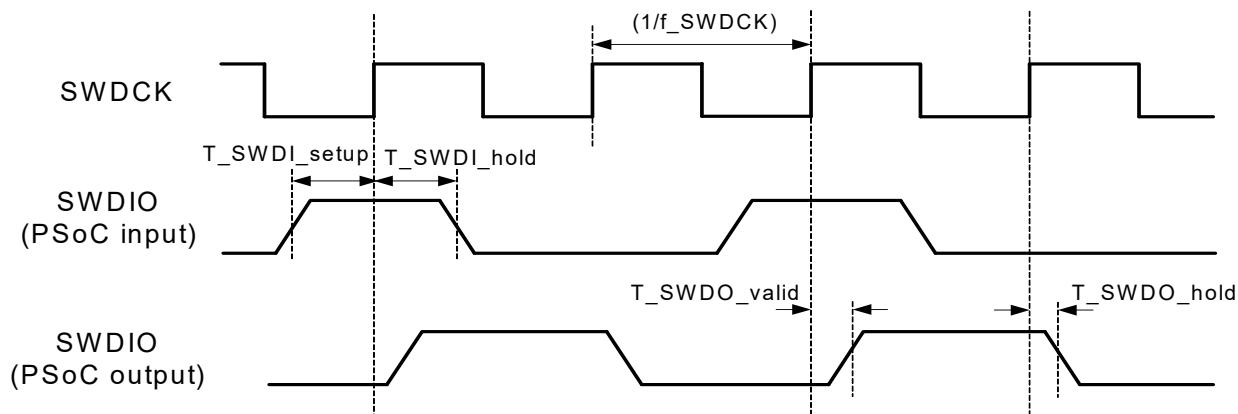


表 11-73. SWD インターフェースの AC 仕様^[83]

パラメーター	説明	条件	Min	Typ	Max	単位
f_SWDCCK	SWDCLK 周波数	$3.3\text{ V} \leq V_{DD} \leq 5\text{ V}$	–	–	12 ^[84]	MHz
		$1.71\text{ V} \leq V_{DD} < 3.3\text{ V}$	–	–	7 ^[84]	MHz
		$1.71\text{ V} \leq V_{DD} < 3.3\text{ V}$ 、 USBIO ピンを介した SWD	–	–	5.5 ^[84]	MHz
T_SWDI_setup	SWDCK HIGH までの SWDIO 入力 セットアップ時間	$T = 1/f_SWDCCK\text{ max}$	T/4	–	–	
T_SWDI_hold	SWDCK HIGH からの SWDIO 入力 ホールド時間	$T = 1/f_SWDCCK\text{ max}$	T/4	–	–	
T_SWDO_valid	SWDCK HIGH から SWDIO 出力まで の時間	$T = 1/f_SWDCCK\text{ max}$	–	–	T/2	
T_SWDO_hold	SWDCK HIGH の後の SWDIO 出力 ホールド時間	$T = 1/f_SWDCCK\text{ max}$	1	–	–	ns

11.8.6 TPIU インターフェース

表 11-74. TPIU インターフェースの AC 仕様^[83]

パラメーター	説明	条件	Min	Typ	Max	単位
	TRACEPORT (TRACECLK) 周波数		–	–	33 ^[85]	MHz
	SWV ビット レート		–	–	33 ^[85]	Mbit

注:

83. デバイスの特性評価に基づく値 (出荷試験されていません)。

84. f_SWDCCK は CPU クロック周波数の 1/3 以下であることも必要です。

85. TRACEPORT 信号周波数およびビット レートは GPIO 出力周波数によって制限されます。77 ページの表 11-9 を参照してください。

11.9 クロック

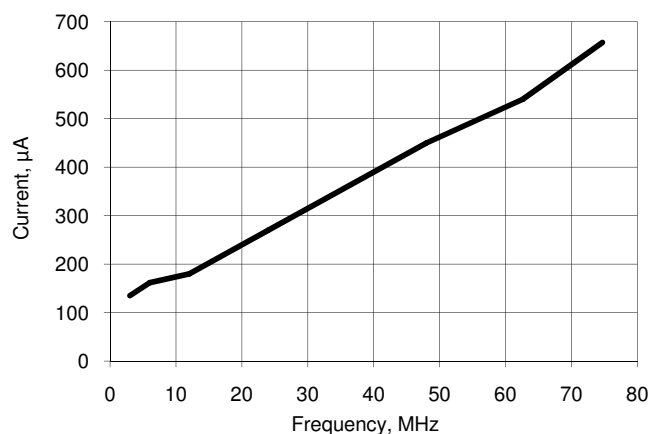
特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて、1.71 V ~ 5.5 V において有効です。特記されていない限り、すべての図とグラフは標準値を示します。

11.9.1 内部主発振器 (IMO)

表 11-75. IMO の DC 仕様^[86]

パラメーター	説明	条件	Min	Typ	Max	単位
I _{cc_imo}	電源電流					
	74.7 MHz		—	—	730	μA
	62.6 MHz		—	—	600	μA
	48 MHz		—	—	500	μA
	24 MHz – USB モード	発振器を USB バスにロック	—	—	500	μA
	24 MHz – 非 USB モード		—	—	300	μA
	12 MHz		—	—	200	μA
	6 MHz		—	—	180	μA
	3 MHz		—	—	150	μA

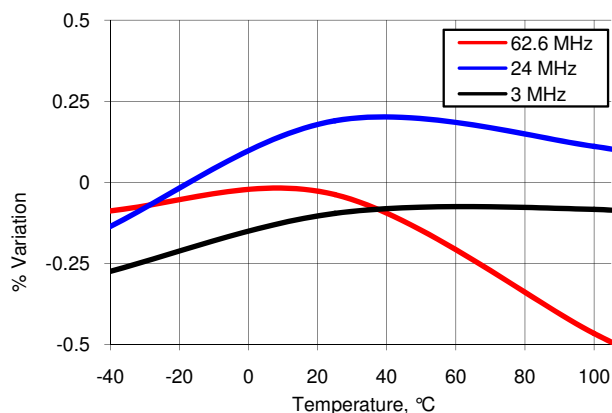
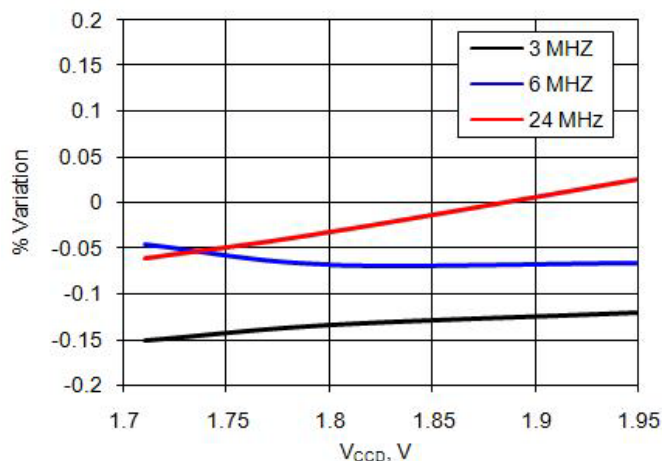
図 11-76. IMO 電流対 周波数



注：
86. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-76. IMO の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
F _{IMO} ^[87]	IMO の周波数安定性 (工場トリムあり)					
	74.7 MHz		-7	-	7	%
	62.6 MHz		-7	-	7	%
	48 MHz		-5	-	5	%
	24 MHz – 非 USB モード		-4	-	4	%
	24 MHz – USB モード	発振器を USB バスにロック	-0.25	-	0.25	%
	12 MHz		-3	-	3	%
	6 MHz		-2	-	2	%
	3 MHz	0°C ~ 70°C	-1	-	1	%
		-40°C ~ 105°C	-1.5	-	1.5	%
	標準的な PCB アセンブリはんだリフロー後、3 MHz 周波数の安定化	標準的な (最適化されない) 基板レイアウトおよび 250°C はんだリフロー。組み立て後にデバイスを校正して性能を改善する場合があります。	-	±2%	-	%
Tstart_imo	起動時間 ^[88]	有効になってから (通常のシステム動作中)	-	-	13	μs
Jp-p	ジッタ (ピーク ツー ピーク) ^[88]					
	F = 24 MHz		-	0.9	-	ns
	F = 3 MHz		-	1.6	-	ns
Jperiod	ジッタ (長時間) ^[88]					
	F = 24 MHz		-	0.9	-	ns
	F = 3 MHz		-	12	-	ns

図 11-77. IMO 周波数変化対 温度

図 11-78. IMO 周波数変化対 V_{CC}


注:

87. F_{IMO} は、パッケージに組み立てられた後に測定し、ここでは基材とダイが装着されたもので説明しています。

88. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.9.2 内部低速発振器

表 11-77. ILO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	動作電流 ^[89]	$F_{OUT} = 1 \text{ kHz}$	—	—	1.7	μA
		$F_{OUT} = 33 \text{ kHz}$	—	—	2.6	μA
		$F_{OUT} = 100 \text{ kHz}$	—	—	2.6	μA
	リーク電流 ^[89]	電源遮断モード	—	—	15	nA

表 11-78. ILO の AC 仕様^[90]

パラメーター	説明	条件	Min	Typ	Max	単位
T_{start_ilo}	起動時間、全周波数	ターボ モード	—	—	2	ms
F_{ILO}	ILO 周波数					
	100 kHz		45	100	200	kHz
	1 kHz		0.5	1	2	kHz

図 11-79. ILO 周波数変化対 温度

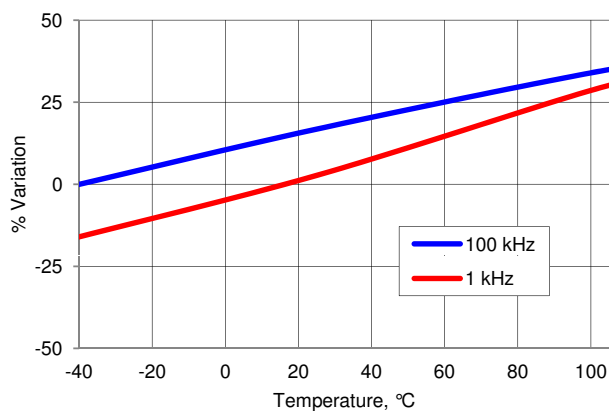
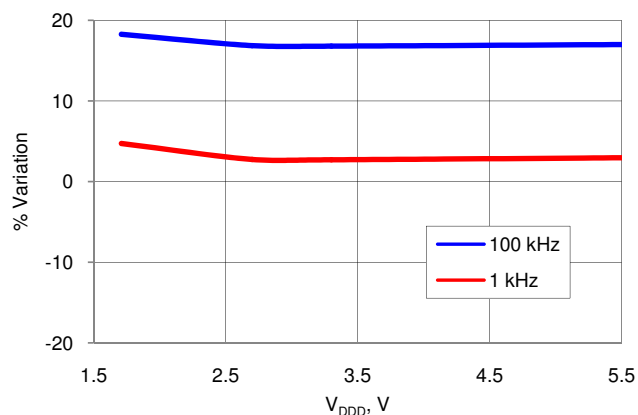


図 11-80. ILO 周波数変化対 V_{DD}



注:

89. この値は計算されますが、測定されていません。

90. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.9.3 MHz 外部水晶発振器 (MHzECO)

MHzECO 用水晶発振器またはセラミック発振子の選択の詳細については、アプリケーション ノート [AN54439: PSoC 3 and PSoC 5 External Oscillators](#) を参照してください。

表 11-79. MHzECO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	動作電流 ^[91]	13.56 MHz 水晶	–	3.8	–	mA

表 11-80. MHzECO の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
F	水晶発振器の周波数範囲		4	–	25	MHz

11.9.4 kHz 外部水晶発振器

表 11-81. kHzECO の DC 仕様^[91]

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	動作電流	低消費電力モード ; CL = 6pF	–	0.25	1.0	μA
DL	駆動レベル		–	–	1	μW

表 11-82. kHzECO の AC 仕様^[91]

パラメーター	説明	条件	Min	Typ	Max	単位
F	周波数		–	32.768	–	kHz
T_{ON}	起動時間	高消費電力モード	–	1	–	s

11.9.5 外部クロック リファレンス

表 11-83. 外部クロック リファレンスの AC 仕様^[91]

パラメーター	説明	条件	Min	Typ	Max	単位
	外部周波数の範囲		0	–	33	MHz
	入力デューティ比の範囲	$V_{DDIO}/2$ で測定	30	50	70	%
	入力エッジ レート	$V_{IL} \sim V_{IH}$	0.5	–	–	V/ns

11.9.6 位相同期回路

表 11-84. PLL の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
I_{DD}	PLL の動作電流	入力 = 3 MHz、出力 = 80 MHz	–	650	–	μA
		入力 = 3 MHz、出力 = 67 MHz	–	400	–	μA
		入力 = 3 MHz、出力 = 24 MHz	–	200	–	μA

表 11-85. PLL の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
Fp1in	PLL 入力周波数 ^[92]		1	–	48	MHz
	PLL 中間周波数 ^[93]	プリスケアラの出力	1	–	3	MHz
Fp1out	PLL 出力周波数 ^[92]		24	–	80	MHz
	起動時のロック時間		–	–	250	μs
Jperiod-rms	ジッタ (rms) ^[91]		–	–	250	ps

注:

91. デバイスの特性評価に基づく値 (出荷試験されていません)。

92. この仕様は、IMO を PLL のソースとして使用し、指定範囲で PLL をテストすることで保証されます。

93. PLL 入力分周器 Q は、入力周波数が中間周波数範囲に分周されるように設定する必要があります。Q の範囲は 1 ~ 16 です。

12. 注文情報

表 12-1 に記載されている機能に加え、すべての CY8C56LP デバイスには、最大 256 KB のフラッシュ、64K SRAM、2K EEPROM、高精度オンチップ リファレンス電圧、高精度発振器、フラッシュ、ECC、DMA、固定機能 I²C、JTAG/SWD プログラミングおよびデバッグ、外部メモリ インターフェースなどが含まれています。これらの機能のほか、柔軟な UDB とアナログ サブセクションによって幅広いペリフェラルがサポートされます。ユーザーが最適なデバイスを選択できるよう、PSoC Creator は、ユーザーが各自のアプリケーションに必要なコンポーネントを選択した後、デバイスの推奨を行います。CY8C56LP ファミリのデバイスはすべて、ユーザーが選択できるセキュリティ レベルのデバイス セキュリティとフラッシュ セキュリティを備えています。詳細は、TRM をご覧ください。

表 12-1. Arm Cortex-M3 CPU を備えた CY8C56LP

型番	MCU コア				アナログ								デジタル				I/O ^[96]				パッケージ	JTAG ID ^[97]
	CPU の速度 (MHz)	フラッシュ (KB)	SRAM (KB)	EEPROM (KB)	LCD セグメント駆動	ADC	DAC	コンパレータ	SC/CT アナログブロック ^[94]	オペアンプ	DFB	CapSense	UDB ^[95]	16 ビット タイマー / PWM	FS USB	CAN 2.0b	合計 I/O 数	GPIO	SIO	USBIO		
CY8C5668AXI-LP010	67	256	64	2	✓	2x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	–	72	62	8	2	100-TQFP	0x2E10A069
CY8C5668AXI-LP013	67	256	64	2	✓	2x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	✓	72	62	8	2	100-TQFP	0x2E10D069
CY8C5668LTI-LP014	67	256	64	2	✓	2x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	–	48	38	8	2	68-QFN	0x2E10E069
CY8C5667AXI-LP006	67	128	32	2	✓	2x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	–	72	62	8	2	100-TQFP	0x2E106069
CY8C5667LTI-LP008	67	128	32	2	✓	2x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	–	48	38	8	2	68-QFN	0x2E108069
CY8C5667LTI-LP009	67	128	32	2	✓	2x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	✓	48	38	8	2	68-QFN	0x2E109069
CY8C5666AXI-LP001	67	64	16	2	✓	12 ビット デルタシグマ、 1x12 ビット SAR	4	4	4	4	✓	✓	20	4	–	–	70	62	8	0	100-TQFP	0x2E101069
CY8C5666AXI-LP004	67	64	16	2	✓	12 ビット デルタシグマ、 1x12 ビット SAR	4	4	4	4	✓	✓	20	4	✓	–	72	62	8	2	100-TQFP	0x2E104069
CY8C5666LTI-LP005	67	64	16	2	✓	12 ビット デルタシグマ、 1x12 ビット SAR	4	4	4	4	✓	✓	20	4	✓	–	48	38	8	2	68-QFN	0x2E105069
CY8C5667AXI-LP040	67	128	32	2	✓	12 ビット デルタシグマ、 1x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	–	72	62	8	2	100-TQFP	0x2E128069
CY8C5667AXQ-LP040	67	128	32	2	✓	12 ビット デルタシグマ、 1x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	–	72	62	8	2	100-TQFP	0x2E128069
CY8C5668AXI-LP034	67	256	64	2	✓	12 ビット デルタシグマ、 1x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	–	72	62	8	2	100-TQFP	0x2E122069
CY8C5667LTI-LP041	67	128	32	2	✓	12 ビット デルタシグマ、 1x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	–	48	38	8	2	68-QFN	0x2E129069
CY8C5688AXI-LP099	80	256	64	2	4	2x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	✓	72	62	8	2	100-TQFP	0x2E163069
CY8C5688LTI-LP086	80	256	64	2	4	2x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	–	48	38	8	2	68-QFN	0x2E156069
CY8C5688FNI-LP211	80	256	64	2	✓	2x12 ビット SAR	4	4	4	4	✓	✓	24	4	✓	✓	72	62	8	2	99-WLCSP	0x2E1D3069

注：
 94. アナログ ブロックは、TIA、PGA、ミキサーを含む幅広い機能をサポートします。アナログ ブロックの使い方の詳細は 40 ページの「ペリフェラルの例」を参照してください。

95. UDB は、SPI、LIN、UART、タイマー、カウンタ、PWM、PRS、その他を含む幅広い機能をサポートします。それぞれの機能について、UDB の一部または複数の UDB を使用できます。複数の機能で 1 個の UDB を共用できます。UDB の使い方の詳細については、40 ページの「ペリフェラルの例」を参照してください。

96. I/O カウントは、GPIO、SIO および 2 つの USB I/O のすべてのデジタル I/O タイプを対象とします。それぞれの I/O の機能の詳細については、33 ページの「I/O システムおよび配線」を参照してください。

97. JTAG ID には、大きく分けて 3 つのフィールドが含まれています。最上位ニブル (左の桁) から順にバージョン、2 バイトの部品番号、3 ニブルのメーカー ID です。

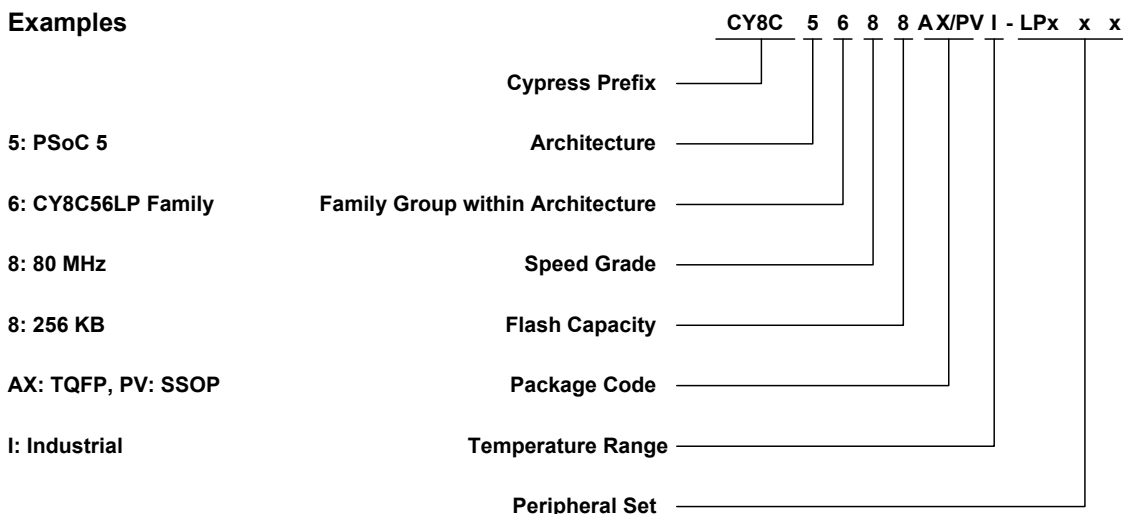
12.1 型番の命名規則

PSoC 5LP デバイスは、ここに示す部品番号の命名規則に従っています。フィールドは、特に記述がない限り、すべて 1 文字の英数字 (0 ~ 9、A ~ Z) です。

CY8Cabcdeffg-LPxxx

- | | |
|--|---|
| <ul style="list-style-type: none"> ■ a: アーキテクチャ <ul style="list-style-type: none"> □ 3: PSoC 3 □ 5: PSoC 5 ■ b: アーキテクチャ内のファミリ グループ <ul style="list-style-type: none"> □ 2: CY8C52LP ファミリ □ 4: CY8C54LP ファミリ □ 6: CY8C56LP ファミリ □ 8: CY8C58LP ファミリ ■ c: 速度グレード <ul style="list-style-type: none"> □ 6: 67MHz □ 8: 80MHz ■ d: フラッシュ容量 <ul style="list-style-type: none"> □ 5: 32KB □ 6: 64KB □ 7: 128KB □ 8: 256KB | <ul style="list-style-type: none"> ■ ef: パッケージ コード <ul style="list-style-type: none"> □ 2 文字の英数字 □ AX: TQFP □ LT: QFN □ PV: SSOP □ FN: CSP ■ g: 温度範囲 <ul style="list-style-type: none"> □ C: 商業用 □ I: 産業用 □ Q: 拡張 □ A: 車載用 ■ xxx: ペリフェラル セット <ul style="list-style-type: none"> □ 3 文字の数字 □ これらの 3 文字に関連付けられた意味はありません。 |
|--|---|

Examples



これらのデバイスのテープおよびリールのバージョンは入手可能であり、型番の終わりに「T」でマーク付けられます。

サイプレスは鉛フリー製品に取り組んでおり、PSoC 5LP CY8C56LP ファミリのデバイスはすべて RoHS-6 規格に準拠しています。鉛 (Pb) は、はんだの合金を作る元素で、その潜在毒性のため環境問題の原因物質とされています。サイプレスでは、リードフレームベースのパッケージのほとんどにニッケル・パラジウム NiPdAu (ニッケル・パラジウム・金) めっき技術を採用しています。

サイプレスの鉛フリーに対する取り組みの概要は、弊社 Web サイトをご覧ください。Web サイトには、パッケージに関する詳細情報も掲載されています。サイプレスのパッケージに含まれる全物質は、パッケージ素材宣言データシート (PMDD) に記載されています。PMDD をご覧になれば、多くの使用禁止物質が使用されていないこともご確認いただけます。PMDD に記載の情報は、リサイクルその他の「廃棄」要件のための計画にも役立ちます。

13. パッケージ

表 13-1. パッケージの特性

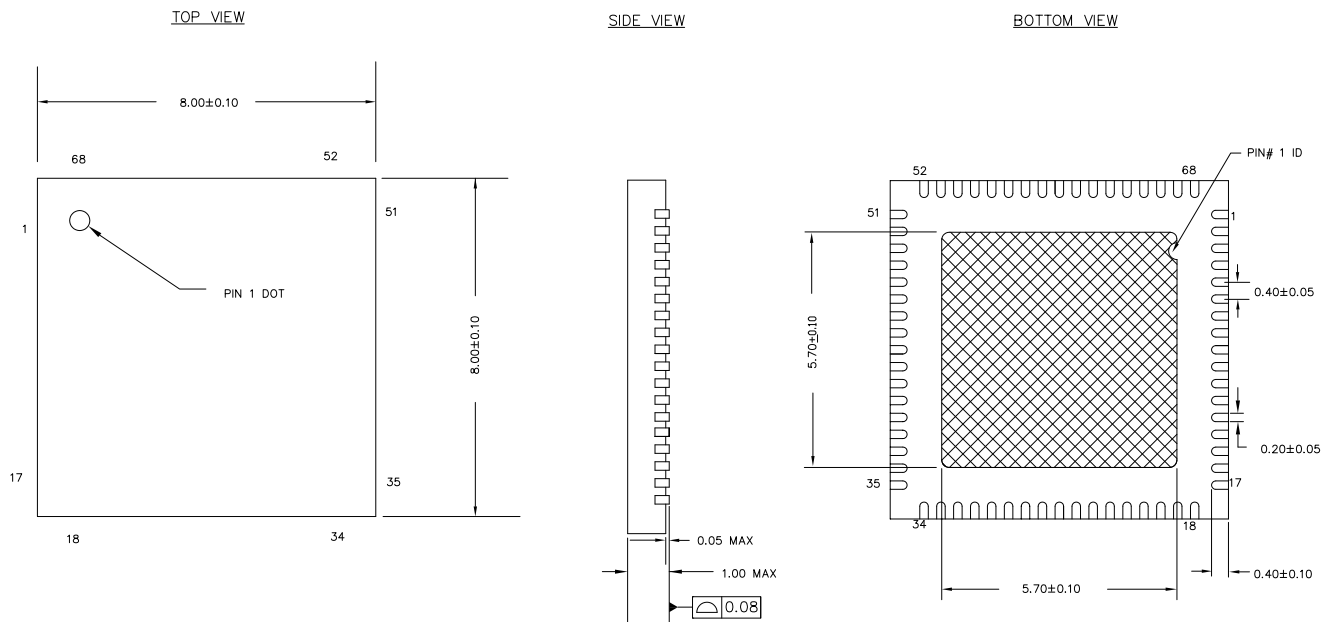
パラメーター	説明	条件	Min	Typ	Max	単位
T_A	動作周囲温度		-40	25	105	°C
T_J	動作接合部温度		-40	—	120	°C
T_{JA}	パッケージ θ_{JA} (68 ピン QFN)		—	15	—	°C/W
T_{JA}	パッケージ θ_{JA} (100 ピン TQFP)		—	34	—	°C/W
T_{JC}	パッケージ θ_{JC} (68 ピン QFN)		—	13	—	°C/W
T_{JC}	パッケージ θ_{JC} (100 ピン TQFP)		—	10	—	°C/W
T_A	動作周囲温度	CSP デバイス用	-40	25	85	°C
T_J	動作接合部温度	CSP デバイス用	-40	—	100	°C
T_{JA}	パッケージの θ_{JA} (99 ボール CSP)			16.5		°C/W
T_{JC}	パッケージの θ_{JC} (99 ボール CSP)		—	0.1	—	°C/W


表 13-2. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
68 ピン QFN	260°C	30 秒
100 ピン TQFP	260°C	30 秒
99 ピン CSP	255°C	30 秒

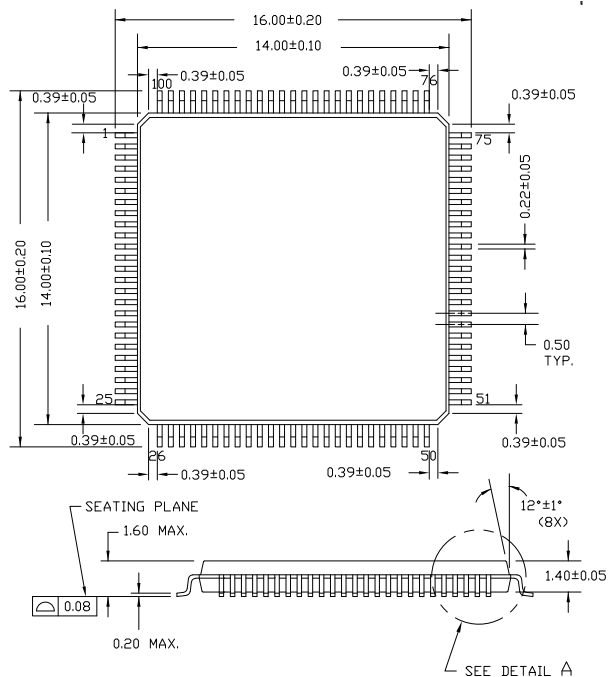
表 13-3. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
68 ピン QFN	MSL 3
100 ピン TQFP	MSL 3
99 ピン CSP	MSL 1

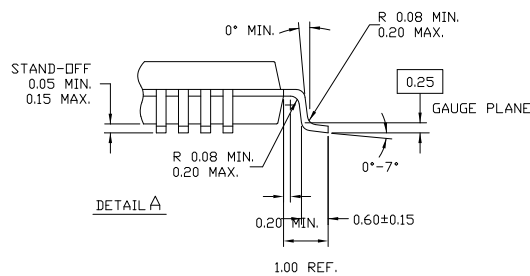
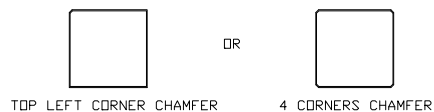
図 13-1. 0.4mm ピッチ 68 ピン QFN 8×8 パッケージ図 (Sawn パージョン)

NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 17 ± 2mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

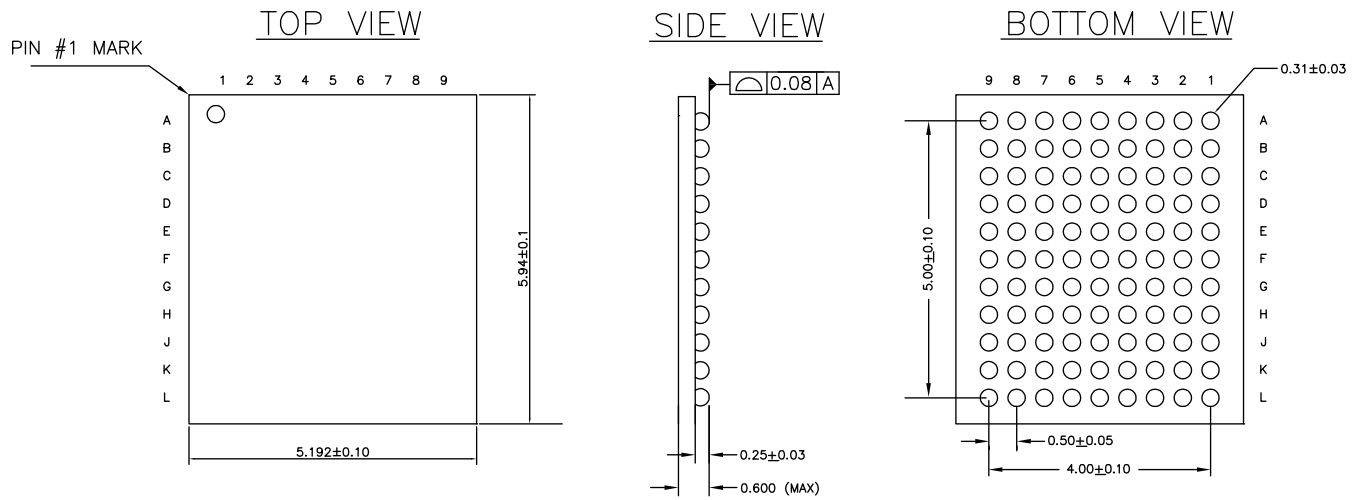
001-09618 *E

図 13-2. 100 ピン TQFP (14×14×1.4 mm) パッケージの外形

NOTE:

1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS


NOTE: PKG. CAN HAVE


51-85048 *K

図 2. WLCSP パッケージ (5.192×5.940×0.6mm)

NOTES:

1. REFERENCE JEDEC Publication 95: Design Guide 4.18
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-88034 *B

14. 略語

表 14-1. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスド マイクロコントローラー バス アーキテクチャ) 高性能バス)、Arm データ転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
Arm	advanced RISC machine (高度な RISC マシン)、CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラー エリア ネットワーク)、通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラー チェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ変換器)。IDAC、VDAC を参照してください
DFB	digital filter block (デジタル フィルタ ブロック)
DIO	digital input/output (デジタル入出力)、アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください
DMA	direct memory access (ダイレクト メモリ アクセス)。TD を参照してください
DNL	differential nonlinearity (微分非直線性)。INL を参照してください
DNU	do not use (使用しないでください)
DR	port write data registers (ポート 書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)

表 14-1. 本書で使用する略語 (続き)

略語	説明
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。IIR を参照してください
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)、PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割込み)。LVI、LVD を参照してください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC を参照してください
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートッド サーキット)、通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。FIR を参照してください
ILO	internal low-speed oscillator (内部低速発振器)。IMO を参照してください
IMO	internal main oscillator (内部主発振器)。ILO を参照してください
INL	integral nonlinearity (積分非直線性)。DNL を参照してください
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO を参照してください
IPOR	initial power-on reset (初期パワーオン リセット)
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)
IRQ	interrupt request (割込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)

表 14-1. 本書で使用する略語 (続き)

略語	説明
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インターコネクト ネットワーク)、通信プロトコルの一種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。LVI を参照してください
LVI	low-voltage interrupt (低電圧割込み)。HVI を参照してください
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ-トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラ ユニット)
MISO	master-in slave-out (マスター入カスレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラ)
NVL	nonvolatile latch (不揮発性ラッチ)。WOL を参照してください
opamp	operational amplifier (オペアンプ)
PAL	programmable array logic (プログラマブル アレイ ロジック)。PLD を参照してください
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート 割込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロジック デバイス)。PAL を参照してください
PLL	phase-locked loop (位相同期回路)
PMDD	package material declaration datasheet (パッケージ材料宣言データシート)
POR	power-on reset (パワーオン リセット)
PRES	precise low-voltage reset (精密低電圧リセット)
PRS	pseudo random sequence (疑似乱数列)

表 14-1. 本書で使用する略語 (続き)

略語	説明
PS	port read data register (ポート 読み出しデータ レジスタ)
PSoC®	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチド キャパシタ/連続時間)
SCL	I²C serial clock (I²C シリアル クロック)
SDA	I²C serial data (I²C シリアル データ)
S/H	sample and hold (サンプル/ホールド)
SIO	special input/output (特殊入出力)、高度機能 GPIO。GPIO を参照してください
信号対雑音比 (SNR)	signal-to-noise ratio (信号対雑音比)
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)、通信プロトコルの一種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ)、テスト プロトコルの一種
SWV	single-wire viewer (シングル ワイヤ ビューワ)
TD	transaction descriptor (トランザクション ディスクリプタ)。DMA を参照してください
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)

表 14-1. 本書で使用する略語 (続き)

略語	説明
TRM	technical reference manual (技術リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎 用非同期トランスミッタ レシーバ)、通信プロ トコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)、USB ポートへ の接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC)。DAC、IDAC を参照 してください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めないラッチ)。NVL を参照してください
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset pin (外部リセットピン)
XTAL	crystal (水晶)

15. 本書の表記法

15.1 測定単位

表 15-1. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムトファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
k?	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
M?	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μH	マイクロヘンリ
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

文書名 : PSoC® 5LP: CY8C56LP ファミリ データシート プログラマブル システムオンチップ (PSoC®) 文書番号 : 001-97329			
版	ECN	発行日	変更内容
**	4769261	06/26/2015	これは英語版 001-84935 Rev. *H を翻訳した日本語版 001-97329 Rev. ** です。
*A	5480907	10/25/2016	これは英語版 001-84935 Rev. *J を翻訳した日本語版 001-97329 Rev. *A です。
*B	6308831	09/14/2018	これは英語版 001-84935 Rev. *L を翻訳した日本語版 001-97329 Rev. *B です。
*C	6640296	08/07/2019	これは英語版 001-84935 Rev. *M を翻訳した日本語版 001-97329 Rev. *C です。
*D	6776634	01/17/2020	これは英語版 001-84935 Rev. *N を翻訳した日本語版 001-97329 Rev. *D です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USBコントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#)
| [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2012-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WiCED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。