

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

概要説明

PSoC® 5LP は、単一チップ上に設定可能なアナログとデジタル ペリフェラル、メモリおよびマイクロコントローラーを集積した、真のプログラマブル組込みシステムオンチップです。PSoC 5LP アーキテクチャは以下のものによって性能を向上させます：

- DMA コントローラー内蔵の最大 80MHz で動作する 32 ビット Arm® Cortex®-M3 コア
- 超低消費電力、業界最大の電圧範囲に対応
- カスタムな機能を可能にするプログラマブルなデジタルおよびアナログ ペリフェラル
- 任意のアナログまたはデジタル ペリフェラル機能から、任意のピンまでの柔軟性の高いルーティング

PSoC デバイスは、組込み制御設計用に、高度にコンフィギュレーション可能なシステムオンチップ アーキテクチャを採用しています。これらは、オンチップ マイクロコントローラーによって制御されるコンフィギュレーション可能なアナログおよびデジタル回路を統合しています。PSoC は 1 個のデバイスに最大 100 のデジタルおよびアナログ ペリフェラル機能まで統合することができ、開発期間、基板面積、消費電力を低減し、システム コストを削減しながら、システムの品質を向上させます。

特長

- 動作特性
 - 電圧範囲：1.71 ~ 5.5V、最大 6 つのパワー ドメイン
 - 温度範囲 (周囲)：-40°C ~ 85°C^[1]
 - DC ~ 80MHz で動作
 - 電力モード
 - ・ アクティブ モードは 6MHz で 3.1mA、48MHz で 15.4mA
 - ・ スリープ モードは 2µA
 - ・ ハイバネート モードは RAM データ保持が有効で、300nA
 - 0.5V 入力から 5V 出力までのブースト レギュレータ
- 性能
 - 32 ビット Arm Cortex-M3 CPU、32 の割り込み入力
 - 24 チャンネルのダイレクト メモリ アクセス (DMA) コントローラー
- メモリ
 - キャッシュおよび保護機能を備えた最大 256KB のプログラム フラッシュ
 - エラー訂正コード (ECC) 用の最大 32KB の追加フラッシュ
 - 最大 64KB の RAM
 - 2KB の EEPROM
- デジタル周辺機器
 - 4 個の 16 ビット タイマー、カウンタ、PWM (TCPWM) ブロック
 - I²C、1Mbps のバス速度
 - 内部発振器を利用する USB 2.0 準拠のフルスピード (FS)、12Mbps ペリフェラル インターフェース (TID#10840032)^[2]
 - 以下の機能をいくらかでも作成するようプログラム可能な 20 ~ 24 のユニバーサル デジタル ブロック (UDB):
 - ・ 8 ビット、16 ビット、24 ビット、32 ビットのタイマー、カウンタ、PWM
 - ・ I²C、UART、SPI、I2S、LIN 2.0 インターフェース
 - ・ 巡回冗長検査回路 (CRC)
 - ・ 疑似乱数列 (PRS) ジェネレータ
 - ・ 直交デコーダー
 - ・ ゲート レベルの論理関数
- プログラム可能なクロック供給
 - 3MHz ~ 74MHz の内部発振器、3MHz で精度が 2%
 - 4 ~ 25MHz の外部水晶発振器
 - 最大 80MHz までの内部 PLL クロック生成
 - 1 kHz、33 kHz および 100 kHz の低消費電力内部発振器
 - 32.768kHz の外部時計用水晶発振器
 - 任意のペリフェラルまたは I/O に接続可能な 12 個のクロック 分周器
- アナログ ペリフェラル
 - 12 ビット SAR ADC
 - 8 ビット DAC
 - 2 個のコンパレータ
 - CapSense® サポート、最大 62 個のセンサー
 - 1.024V ±1% の内部電圧リファレンス
- 汎用性の高い I/O システム
 - 46 ~ 72 本の I/O ピン – 最大 62 本の汎用 I/O (GPIO)
 - 最大 8 本の性能 I/O (SIO) ピン
 - ・ 25mA の電流シンク
 - ・ プログラム可能な入力閾値および出力 HIGH 電圧
 - ・ 汎用コンパレータとして動作可能
 - ・ ホット スワップ機能および過電圧耐性
 - GPIO として使用可能な 2 個の USBIO ピン
 - 任意のデジタルまたはアナログ ペリフェラルから任意の GPIO へ接続
 - 任意の GPIO から最大 46×16 セグメントまでの LCD を直接 駆動
 - 任意の GPIO で CapSense に対応
 - 1.2V ~ 5.5V のインターフェース電圧、最大 4 つのドメイン に分けられる
- プログラミング、デバッグ、トレース
 - JTAG (4 線)、シリアルワイヤ デバッグ (SWD、2 線)、シングルワイヤビューア (SWV)、Traceport (5 線) インターフェース
 - CPU コアに組み込まれた Arm デバッグおよびトレース モジュール
 - I²C、SPI、UART、USB および他のインターフェースによる ブートローダ プログラミング
- パッケージオプション：68 ピン QFN、100 ピン TQFP および 99 ピン CSP
- 無料の PSoC Creator™ ツールによる開発のサポート
 - 回路図およびファームウェア設計のサポート
 - 100 個以上の PSoC Components™ は複数の IC とシステム インターフェースを単一の PSoC に統合するために使用。コンポーネントは自由に埋め込まれた IC であり、アイコンで表示。PSoC Creator 上でコンポーネント アイコンをドラッグ アンド ドロップしてシステム設計
 - 無料の GCC コンパイラを含み、Keil/Arm MDK コンパイラに対応
 - デバイス プログラミングおよびデバッグをサポート

注：

1. 最大保管温度は JEDEC 標準「JESD22-A103、高温保存試験」に準拠した 150°C です。
2. この機能は選択したデバイスのみ有効です。詳細は、104 ページの「注文情報」をご参照ください。

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。リソースの包括的なリストについては、知識ベース記事「[KBA86521, How to Design with PSoC 3, PSoC 4, and PSoC 5LP](#)」をご参照ください。以下は PSoC 5LP のリソースの要約です：

■ 概要：PSoC ポートフォリオ、PSoC ロードマップ

■ 製品セレクト：PSoC 1、PSoC 3、PSoC 4、PSoC 5LP

また、PSoC Creator はデバイス選択ツールを含んでいます。

■ アプリケーション ノート：サイプレスは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の PSoC アプリケーション ノートおよびサンプルコードを提供しています。以下は PSoC 5LP 入門用の推奨アプリケーション ノートです：

- [AN77759](#): Getting Started With PSoC 5LP
- [AN77835](#): PSoC 3 to PSoC 5LP Migration Guide
- [AN61290](#): Hardware Design Considerations
- [AN57821](#): Mixed Signal Circuit Board Layout
- [AN58304](#): Pin Selection for Analog Designs
- [AN81623](#): Digital Design Best Practices
- [AN73854](#): Introduction To Bootloaders

■ 開発キット：

- [CY8CKIT-059](#)はUSBコネクタにユニークなスナップアウエイプログラマとデバッグをもち、低コストなプラットフォームを試作することができます。
- [CY8CKIT-050](#) はアナログ性能用に設計されています。これにより、PSoC 5LP によってサポートされる高精度アナログ、低消費電力かつ低電圧のアプリケーションを評価、開発、試作することができます。
- [CY8CKIT-001](#)は PSoC 1、PSoC 3、PSoC 4 または PSoC 5LP デバイス ファミリーのいずれかに共通開発プラットフォームを提供します。
- [MiniProg3](#) デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供しています。

■ テクニカルリファレンスマニュアル

- [アーキテクチャTRM](#)
- [レジスタTRM](#)

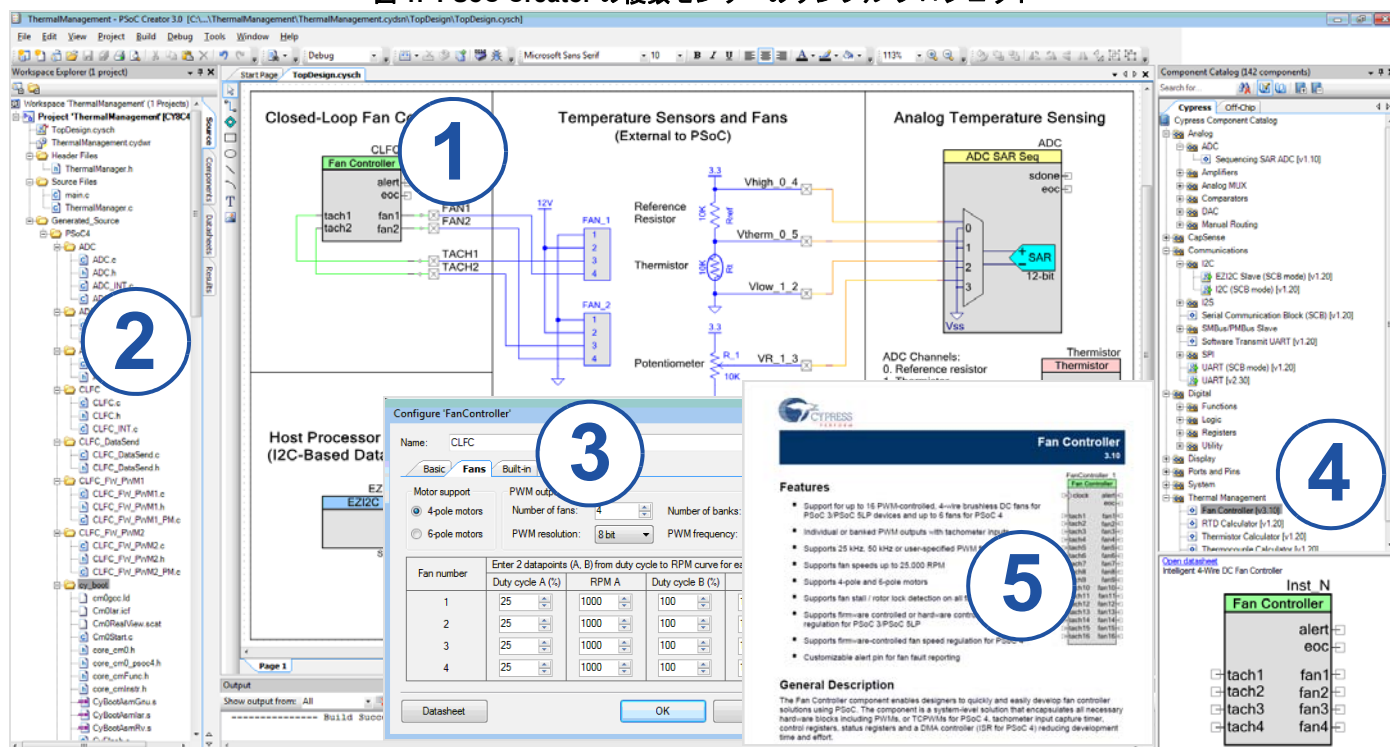
■ Programming Specification

PSoC Creator

PSoC Creator は無償の Windows ベースの統合設計環境 (IDE) です。このキットにより、PSoC 3、PSoC 4 および PSoC 5LP ベースのシステムのハードウェアとファームウェアの同時設計が可能です。100 以上の事前検証済みで量産使用が可能な PSoC Component をサポートしているクラシックで使い慣れた回路図キャプチャを使ってデザインを作成します。[コンポーネント データシート](#)をご参照ください。PSoC Creator により、以下のことが可能です：

1. コンポーネント アイコンをドラッグ&ドロップして、メイン デザイン ワークスペースでハードウェア システム デザインをビルド
2. PSoC Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを相互設計
3. コンフィギュレーション ツールを使ってコンポーネントを設定
4. 100 以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを参照

図 1. PSoC Creator の複数センサーのサンプル プロジェクト



目次

1. アーキテクチャ概要	4	9. プログラミング、デバッグ インターフェース、リソース	55
2. ピン配置	6	9.1 JTAGインターフェース	56
3. ピンの説明	11	9.2 SWDインターフェース	57
4. CPU	13	9.3 デバッグ機能	58
4.1 Arm Cortex-M3 CPU	13	9.4 トレースの特長	58
4.2 キャッシュ コントローラー	14	9.5 SWVインターフェースおよびTRACEPORTインター フェース	58
4.3 DMAおよびPHUB	14	9.6 プログラミング機能	58
4.4 割込みコントローラー	17	9.7 デバイス セキュリティ	58
5. メモリ	19	9.8 CSPパッケージ ブートローダ	59
5.1 スタティックRAM	19	10. 開発サポート	59
5.2 フラッシュ プログラム メモリ	19	10.1 ドキュメント	59
5.3 フラッシュのセキュリティ	19	10.2 オンライン	59
5.4 EEPROM	19	10.3 ツール	59
5.5 不揮発性ラッチ (NVL)	20	11. 電氣的仕様	60
5.6 外部メモリ インターフェース	21	11.1 絶対最大定格	60
5.7 メモリ マップ	22	11.2 デバイス レベルの仕様	61
6. システム統合	23	11.3 電源レギュレータ	64
6.1 クロッキング システム	23	11.4 入力と出力	68
6.2 電源システム	26	11.5 アナログ ペリフェラル	75
6.3 リセット	30	11.6 デジタル ペリフェラル	89
6.4 I/Oシステムおよび配線	32	11.7 メモリ	93
7. デジタルサブシステム	39	11.8 PSoCのシステム リソース	97
7.1 ペリフェラルの例	39	11.9 クロッキング	100
7.2 ユニバーサル デジタル ブロック	41	12. 注文情報	104
7.3 UDBアレイの説明	44	12.1 部品番号の命名規則	105
7.4 DSI配線インターフェースの説明	44	13. パッケージ	106
7.5 USB	46	14. 略号	109
7.6 タイマー、カウンタおよびPWM	46	15. 本書の表記法	111
7.7 I ² C	47	15.1 測定単位	111
8. アナログ サブシステム	49	改訂履歴	112
8.1 アナログ配線	50	セールス、ソリューションおよび法律情報	113
8.2 逐次比較ADC	52		
8.3 コンパレータ	52		
8.4 LCD直接駆動	53		
8.5 CapSense	54		
8.6 温度センサー	54		
8.7 DAC	54		

1. アーキテクチャ概要

本書では、超低消費電力、フラッシュによるプログラム可能なシステムオンチップ (PSoC) デバイス、スケーラブルな 8 ビット PSoC3 および 32 ビット PSoC 5LP プラットフォームを備えた CY8C52LP ファミリをご紹介します。CY8C52LP ファミリは、CPU サブシステムの周りに配置するアナログ回路、デジタル回路、および相互接続回路の設定可能なブロックを提供します。柔軟性の高いアナログ サブシステム、デジタル サブシステム、ルーティング、I/O を CPU と組み合わせることで、民生用、産業用、医療用の様々なアプリケーションで高度な統合を実現できます。

図 1-1. 簡略化したブロック図

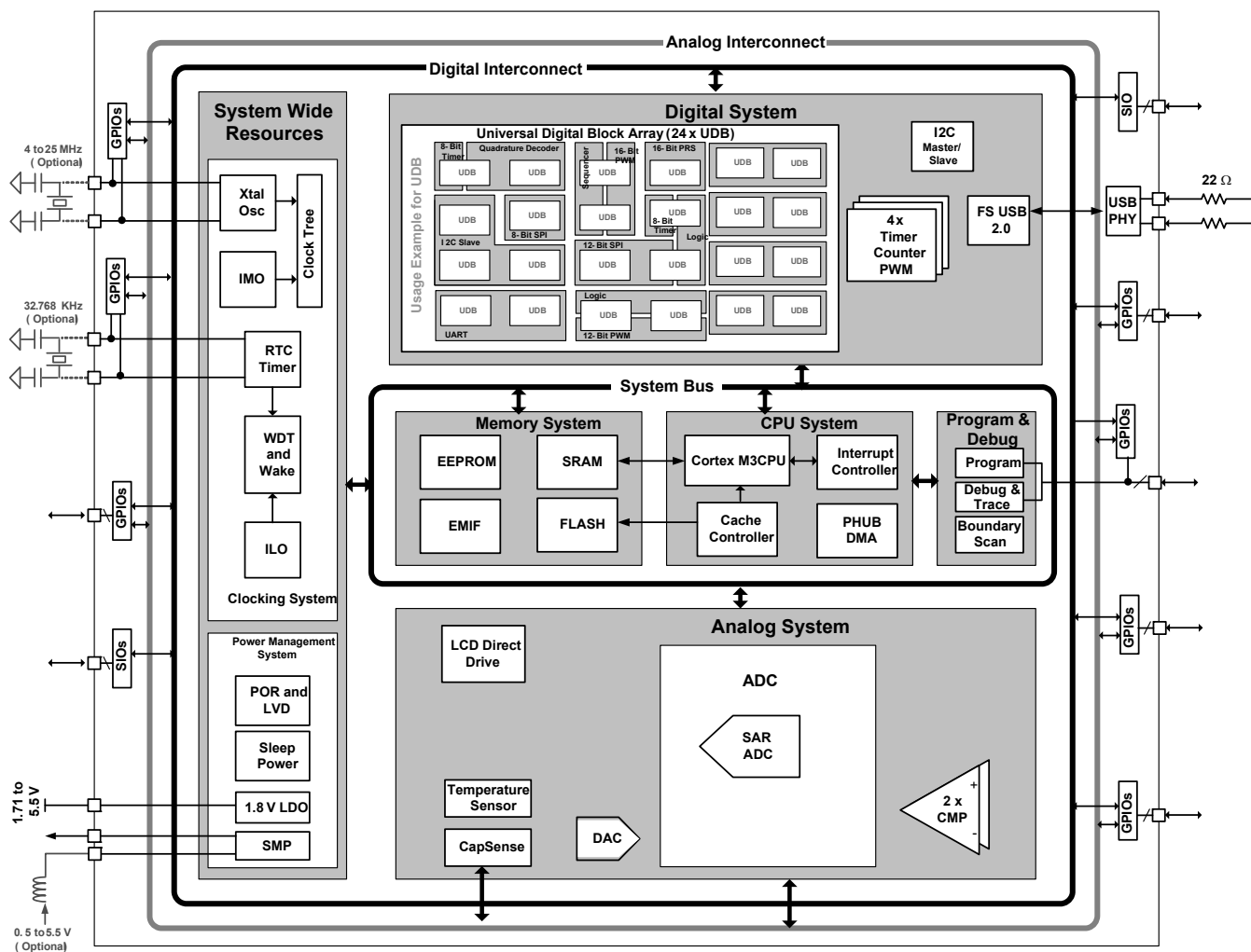


図 1-1 は、CY8C52LP ファミリの主要なコンポーネントを示します。それらは以下の通りです：

- Arm Cortex-M3 CPU サブシステム
- 不揮発性サブシステム
- プログラミング、デバッグおよびテストのサブシステム
- 入力と出力
- クロッキング
- 電源
- デジタル サブシステム
- アナログ サブシステム

PSoC の柔軟性の半分はデジタル サブシステムによって実現されています。デジタル システム相互接続 (DSI) により、任意のペリフェラルからのデジタル信号を任意のピンに接続します。また、小型、高速、低消費電力なユニバーサル デジタル ブロック (UDB) によってデジタル機能の柔軟性を提供しています。PSoC Creator は、UDB アレイにマッピングされた標準デジタルペリフェラル (UART、SPI、LIN、PRS、CRC、タイマー、カウンタ、PWM、AND、OR など) の構築とテストの完了したライブラリを提供します。グラフィカルな設計入力手段を通して、基本論理要素を使用してデジタル回路を容易に作成することもできます。各 UDB には、プログラマブル アレイ ロジック (PAL) とプログラマブル ロジック デバイス (PLD) の機能が小型のステートマシン エンジンとともに含まれているので、幅広いペリフェラルをサポートできます。

PSoC には、UDB アレイの柔軟性のほか、特定の機能を対象としたコンフィギュレーション可能なデジタル ブロックも用意されています。CY8C52LP ファミリーでは、4 個の 16 ビット タイマー、カウンター、PWM ブロック、I²C によるスレーブ、マスター、マルチマスターおよびフルスピード USB をこれらのブロックで扱うことができます。

ペリフェラルの詳細については、このデータシートの [39 ページの「ペリフェラルの例」](#) をご参照ください。UDB、DSI およびその他のデジタル ブロックの詳細については、本データシートの [39 ページの「デジタルサブシステム」](#) をご参照ください。

PSoC のアナログ サブシステムは、PSoC 独自の設定可能性の残り半分を受け持ちます。すべてのアナログ性能は、広い範囲の温度と電圧にわたって誤差が 1% 未満の高精度な絶対リファレンス電圧に基づいています。設定可能なアナログ サブシステムは以下のものを含んでいます：

- アナログ マルチプレクサ
- コンパレータ
- リファレンス電圧
- ADC
- DAC

内部アナログ バスを使用すると、すべての GPIO ピンでアナログ信号の入出力が可能です。これにより、最大 62 個の独立したアナログ信号とのインターフェースを実現できます。

CY8C52LP ファミリーは SAR ADC を備えています。また、1 秒あたり最高 1M のサンプリングで 12 ビット変換を行い、低い非線形性とオフセット誤差、70dB 以上の SNR を実現します。これは、さまざまな高速のアナログ用途に最適です。

高速な電圧または電流 DAC では 8 ビットの出力信号をサポートします。更新速度は、IDAC で 8MSPS、VDAC で 1MSPS です。これから任意の GPIO ピンに出力できます。UDB アレイを使用して、より分解能の高い電圧 PWM DAC 出力を生成できます。この方法では、最高 48kHz で最大 10 ビットのパルス幅変調 (PWM) DAC を実現します。各 UDB 内のデジタル DAC は、PWM、PRS またはデルタ シグマ アルゴリズムをサポートし、パルス幅はプログラム可能です。

アナログ サブシステムは、ADC と DAC のほか、コンパレータを提供します。詳細は、本データシートの [49 ページの「アナログサブシステム」](#) をご参照ください。

PSoC の CPU サブシステムは、最大 80MHz で動作する 3 段階パイプライン方式の 32 ビット Arm Cortex-M3 プロセッサを中心に構成されています。Cortex-M3 は、密接に統合されたネスト型ベクタ割り込みコントローラー (NVIC) と各種のデバッグおよびトレース モジュールを備えています。大まかな構成で見た CPU サブシステムには、DMA コントローラー、フラッシュ キャッシュおよび RAM があります。NVIC では、低レイテンシ、ネスト型割り込み、割り込みのテールチェーンなどの機能を提供することで、割り込み処理の効率化を図っています。DMA コントローラーにより、ペリフェラルは CPU の介入なしにデータを交換できます。これにより、CPU の動作を低速にすることによる消費電力削減や、この CPU サイクルを活用したファームウェア アルゴリズムの性能向上を図ることができます。また、フラッシュ キャッシュによってフラッシュへのアクセス頻度を抑えることでシステムの消費電力を低減できます。

PSoC の不揮発性サブシステムは、フラッシュ、バイト書き込み可能な EEPROM および不揮発性のコンフィギュレーション オプションから成ります。最大 256KB のオンチップ フラッシュが用意されています。CPU は、ブート ロード機能を有効にしていると CPU がフラッシュの各ブロックを再書き込みすることができます。ECC を有効にして、高信頼化を図ることができます。

まず、ユーザーの重要な情報は、メモリのブロックを選択的にロックして読み出し保護および書き込み保護できる強力な柔軟な保護モデルによって保護されます。アプリケーション データの保存用として、チップ上に 2KB のバイト書き込み可能な EEPROM が用意されています。さらに、ブート速度やピン駆動モードなどの選択した構成オプションが不揮発性メモリに保存されるので、パワーオン リセット (POR) 後、直ちにその設定が有効になります。

3 種類の PSoC I/O には、きわめて高い柔軟性があります。すべての I/O が多数の駆動モードを備えており、これらのモードが POR 時に設定されます。PSoC では、VDDIO ピンを使用して最大 4 種類の I/O 電圧ドメインに分割して利用できます。すべての GPIO にはアナログ I/O、LCD 駆動、CapSense、柔軟な割り込み生成、スルー レート制御およびデジタル I/O 機能を備えています。PSoC 上の SIO では、出力として使用する V_{OH} を VDDIO とは別に設定できます。入力モード時の SIO は高インピーダンスになりますが、これはデバイスに電源が供給されていない場合やピン電圧が電源電圧を超えている場合でも同様です。これにより、SIO は、PSoC が電源供給されなくバス上の他のデバイスがまだ電源供給されている I²C バスに最適になります。また、SIO ピンはアプリケーションの大電流シンク機能 (LED 駆動など) も備えています。SIO のプログラム可能な入力閾値機能を使用すると、汎用アナログ コンパレータとして SIO 機能を使用できます。フルスピード USB を備えたデバイス向けに、USB の物理的インターフェースも用意されています (USBIO)。USB を使用しない場合、限定されたデジタル機能およびデバイス プログラミングにこれらのピンを使用することもできます。PSoC I/O のすべての機能の詳細については、このデータシートの [32 ページの「I/O システムおよび配線」](#) をご覧ください。

PSoC デバイスには、柔軟性のある内部クロック発生器が組み込まれています。この発生器は、高い安定性を目指して設計され、高精度が得られるように出荷時に調整済みです。内部メイン発振器 (IMO) はシステムのマスター クロック基準であり、3MHz で 2% の精度を備えています。IMO は、3MHz ~ 74MHz の範囲で動作するように設定できます。アプリケーションの要件を満たすために、メイン クロック周波数から複数のクロック周波数を派生することができます。このデバイスは、IMO、外部水晶または外部リファレンス クロックから最大 80MHz のシステム クロック周波数を生成できる PLL を備えています。また、スリープ タイマーおよびウォッチドッグ タイマー用として、独立した超低消費電力の内部低速発振器 (ILO) も内蔵しています。リアル タイム クロック (RTC) の用途で、32.768kHz の外部時計用水晶振動子も使用できます。プログラム可能なクロック分周器とこれらのクロックを併用して、ほとんどのタイミング要件に総合的に応えることができる柔軟性が得られます。

CY8C52LP ファミリーでは、1.71V ~ 5.5V という広い動作電源電圧範囲がサポートされています。このため、1.8V ± 5%、2.5V ± 10%、3.3V ± 10%、5.0V ± 10% などの安定化電源のほか、さまざまな電池から直接電源を供給することもできます。さらに、0.5V という低い電源電圧でデバイスを動作させることができる高効率の同期ブースト コンバータが組み込まれています。これにより、1 個のバッテリーからデバイスに電源を直接供給できます。さらに、ブースト コンバータを使用して、LCD ガラス駆動用の 3.3V など、他のデバイスに必要な電源電圧を生成できます。ブーストの出力電圧は V_{BOOST} ピンに出力され、同じ用途で使用している他のデバイスに PSoC から電源を供給できます。

PSoC は、各種の低消費電力モードをサポートしています。このモードには、RAM のデータを維持する 300nA ハイバネートモード、リアル タイム クロック (RTC) が使用可能な 2μA のスリープ モードがあります。スリープ モードでは、オプションの 32.768kHz ウォッチ水晶発振器が継続して動作し、正確な RTC を維持します。

プログラム可能なデジタル ペリフェラルとアナログ ペリフェラルなどのすべての主要な機能ブロックへの電源は、ファームウェアで個別に制御できます。このため、使用していないペリフェラルがある場合に低消費電力のバックグラウンド処理が可能になります。その結果、デバイスの合計電流は、CPU を 6MHz で実行している時は 3.1mA という小さい値になります。

PSoC の電源モードの詳細は、本データシートの [26 ページの「電源システム」](#) をご参照ください。

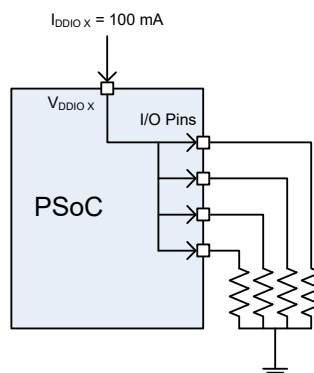
PSoC のプログラミング、デバッグおよびテストには、JTAG (4 線) または SWD (2 線) のインターフェースを使用します。これらの標準的なインターフェースを使用することで、サイプレス製またはサードパーティ製の各種ハードウェア ソリューションによる PSoC のデバッグやプログラミングが可能になります。Cortex-M3 のデバッグとトレースのモジュールとして、FPB (フラッシュパッチおよびブレイクポイント)、DWT (データウォッチポイントおよびトレース)、ETM (エンベデッドトレース マクロセル) と ITM (計装トレース マクロセル) があります。これらのモジュールには、デバッグとトレースにかかわる困難な問題の解決に役立つ機能が数多く用意されています。プログラミング、テストおよびデバッグのインターフェースの詳細については、本データシートの [55 ページの「プログラミング、デバッグ インターフェース、リソース」](#) をご参照ください。

2. ピン配置

各 VDDIO ピンは、特定セットの I/O ピンに電源を供給します。(USBIO は、VDDD から電源供給されます)。VDDIO ピンを使用することにより、1 個の PSoC で複数の電圧レベルをサポートすることができ、外付けのレベルシフタは不要になります。[図 2-3](#)、[図 2-4](#) や [表 2-1](#) などのピン配置図での黒い線は、各 VDDIO が電源供給しているピンを示します。

[図 2-1](#) に示すように、各 VDDIO から、それに接続した I/O ピンに合計で最大 100mA の電源供給が可能です。

図 2-1. VDDIO 電流制限



逆に、[図 2-2](#) に示すように、100 ピンおよび 68 ピンのデバイスでは、VDDIO と関連する I/O ピンのセットでは、合計で最大 100mA の電源吸い込みが可能です。

図 2-2. I/O ピン電流制限

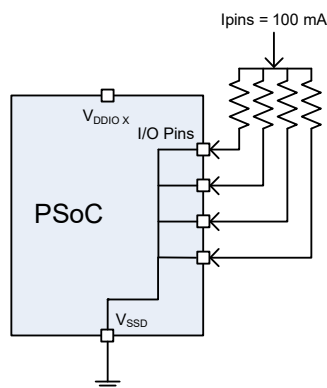
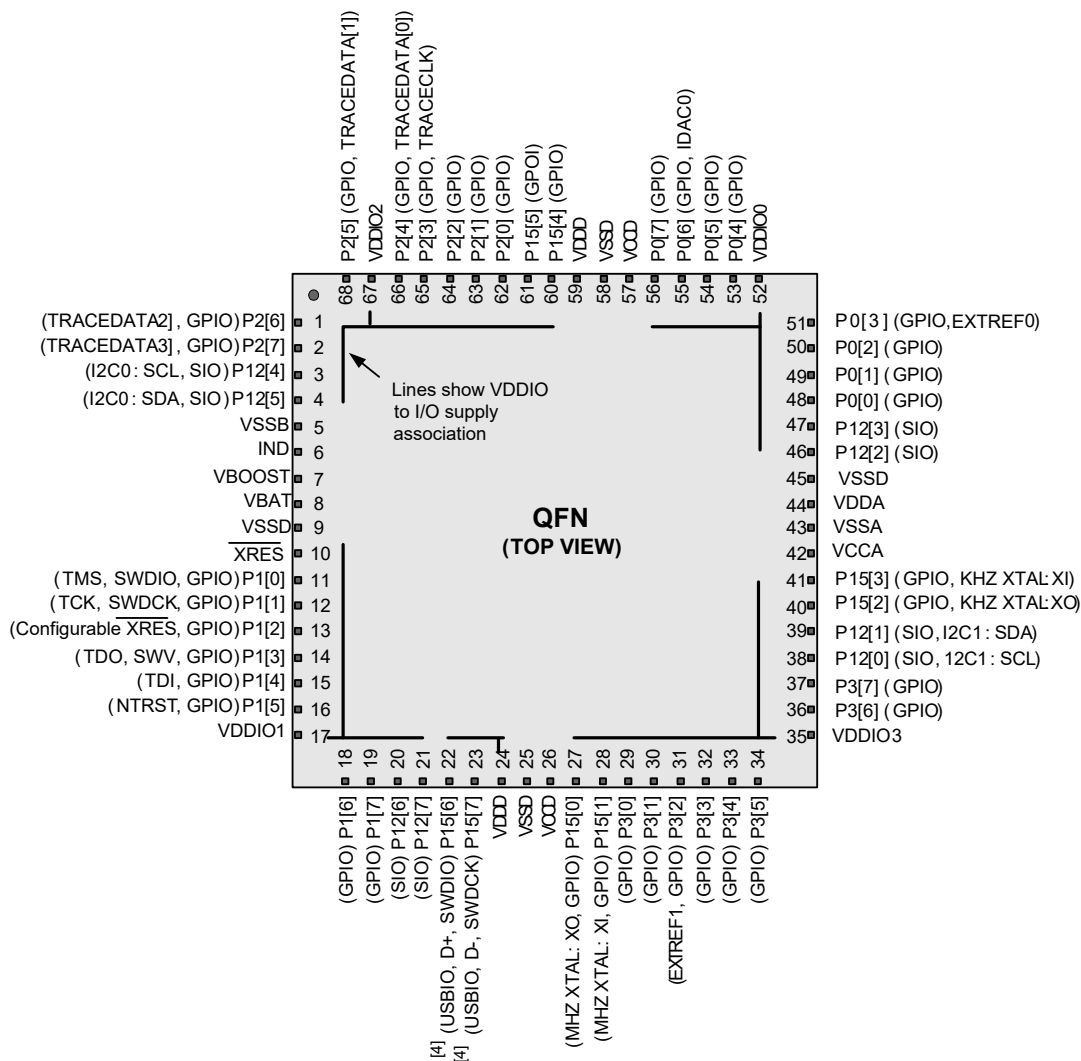


図 2-3. 68 ピン QFN 製品のピン配置^[3]



- 注:
3. 機械的、熱的および電気的に最適な性能を得るために、QFNパッケージ中央のパッドを必ずデジタル グランド (VSSD) に接続してください。グラウンドに接続しない場合、パッドを電氣的に開放にし、どの信号にも接続しないでください。詳細については「AN72845, Design Guidelines for QFN Devices」をご参照ください。
 4. USB を備えないデバイスでは、ピンは使用禁止 (DNU) です。ピンは開放状態のままにしてください。

図 2-4. 100 ピン TQFP 製品のピン配置

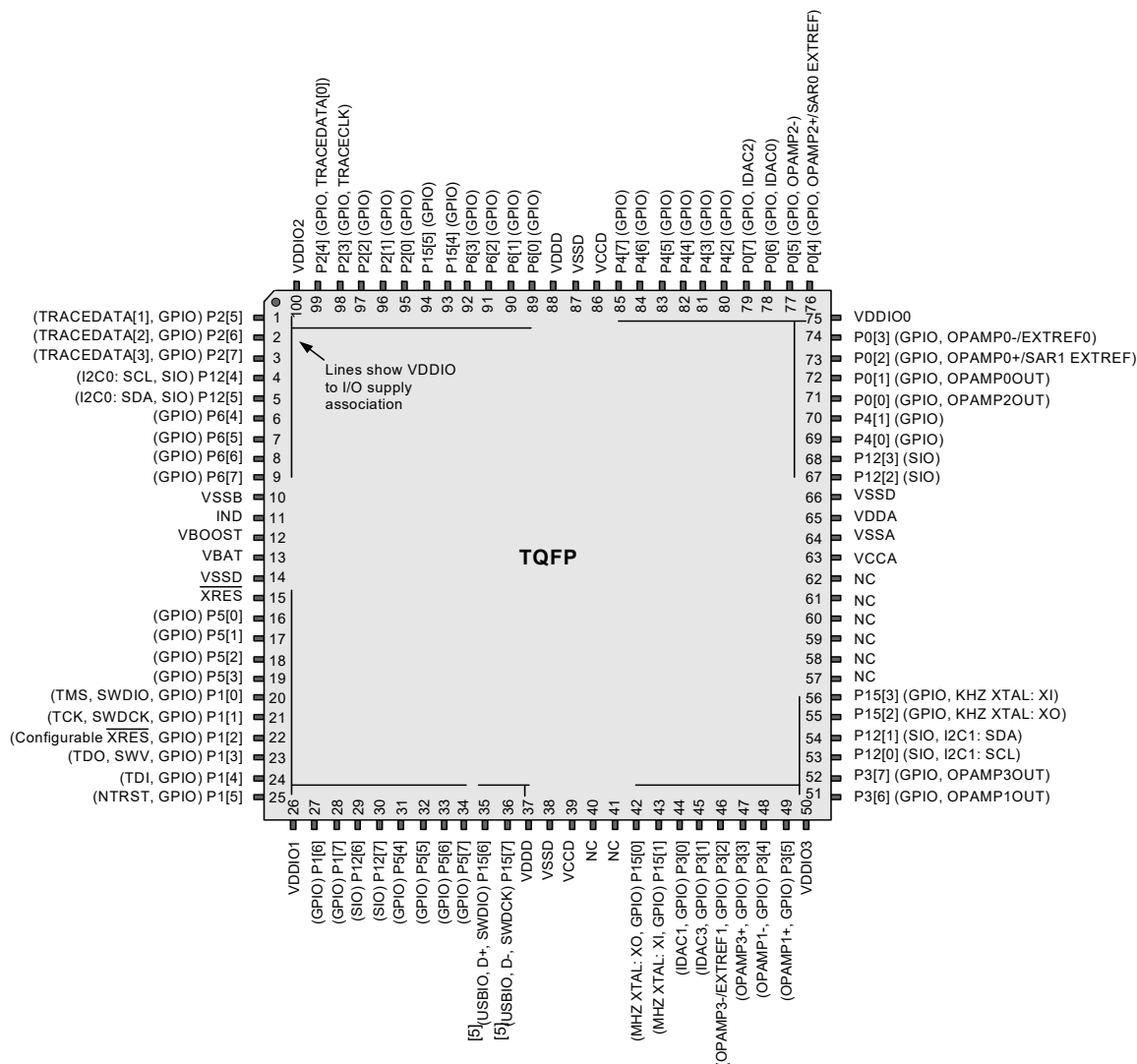


表 2-1. V_{DDIO} と関連付けられたポートピン

VDDIO	ポート ピン
VDDIO0	P0[7:0]、P4[7:0]、P12[3:2]
VDDIO1	P1[7:0]、P5[7:0]、P12[7:6]
VDDIO2	P2[7:0]、P6[7:0]、P12[5:4]、P15[5:4]
VDDIO3	P3[7:0]、P12[1:0]、P15[3:0]
VDDD	P15[7:6] (USB D+、D-)

注:

5. USB なしのデバイスでは、ピンは未使用 (DNU) です。ピンはフローティング状態のままにしてください。

表 2-2 に 99 ピン CSP パッケージのピン配置を示します。V_{DDIO} ピンが 4 本あるため、100 ピンおよび 68 ピンのデバイスの場合と同じように、V_{DDIO} と関連する I/O ピンセットは、合計で最大 100mA の電流吸い込みが可能です。

表 2-2. CSP ピン配置

ボール	ピン名	ボール	ピン名	ボール	ピン名	ボール	ピン名
E5	P2[5]	L2	VIO1	B2	P3[6]	C8	VIO0
G6	P2[6]	K2	P1[6]	B3	P3[7]	D7	P0[4]
G5	P2[7]	C9	P4[2]	C3	P12[0]	E7	P0[5]
H6	P12[4]	E8	P4[3]	C4	P12[1]	B9	P0[6]
K7	P12[5]	K1	P1[7]	E3	P15[2]	D8	P0[7]
L8	P6[4]	H2	P12[6]	E4	P15[3]	D9	P4[4]
J6	P6[5]	F4	P12[7]	A1	NC	F8	P4[5]
H5	P6[6]	J1	P5[4]	A9	NC	F7	P4[6]
J5	P6[7]	H1	P5[5]	L1	NC	E6	P4[7]
L7	VSSB	F3	P5[6]	L9	NC	E9	VCCD
K6	Ind	G1	P5[7]	A3	VCCA	F9	VSSD
L6	VBOOST	G2	P15[6] ^[6]	A4	VSSA	G9	VDDD
K5	VBAT	F2	P15[7] ^[6]	B7	VSSA	H9	P6[0]
L5	VSSD	E2	VDDD	B8	VSSA	G8	P6[1]
L4	XRES	F1	VSSD	C7	VSSA	H8	P6[2]
J4	P5[0]	E1	VCCD	A5	VDDA	J9	P6[3]
K4	P5[1]	D1	P15[0]	A6	VSSD	G7	P15[4]
K3	P5[2]	D2	P15[1]	B5	P12[2]	F6	P15[5]
L3	P5[3]	C1	P3[0]	A7	P12[3]	F5	P2[0]
H4	P1[0]	C2	P3[1]	C5	P4[0]	J7	P2[1]
J3	P1[1]	D3	P3[2]	D5	P4[1]	J8	P2[2]
H3	P1[2]	D4	P3[3]	B6	P0[0]	K9	P2[3]
J2	P1[3]	B4	P3[4]	C6	P0[1]	H7	P2[4]
G4	P1[4]	A2	P3[5]	A8	P0[2]	K8	VIO2
G3	P1[5]	B1	VIO3	D6	P0[3]		

図 2-5 および図 2-6 は、100 ピン TQFP 製品で最適なアナログ性能を得る回路例と 2 層基板上でのレイアウト例を示しています。

■ VDDD という 2 つのピンは互いに接続する必要があります。

■ 図 2-5 および 26 ページの「電源システム」に示すように、VCCD とラベル付けられた 2 個のピンは、一緒に接続したうえでコンデンサを介して (VSSD に) 接続する必要があります。2 本の VCCD ピンを接続するパターンはできるだけ短くします。

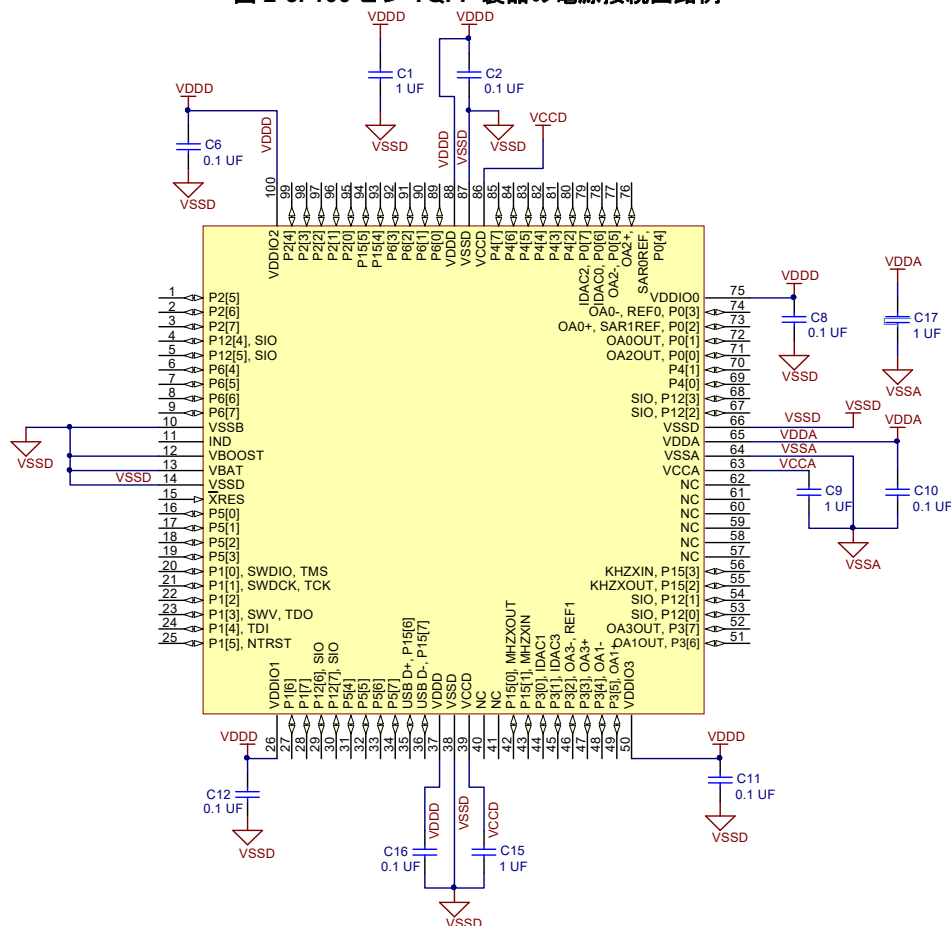
■ VSSD とラベル付けられた 2 本のピンは互いに接続する必要があります。

混合シグナルでの回路板レイアウトの問題については、アプリケーション ノート「AN57821 - Mixed Signal Circuit Board Layout Considerations for PSoC® 3 and PSoC 5」をご参照ください。

注:

6. USB なしのデバイスでは、ピンは未使用 (DNU) です。ピンはフローティング状態のままにしてください。

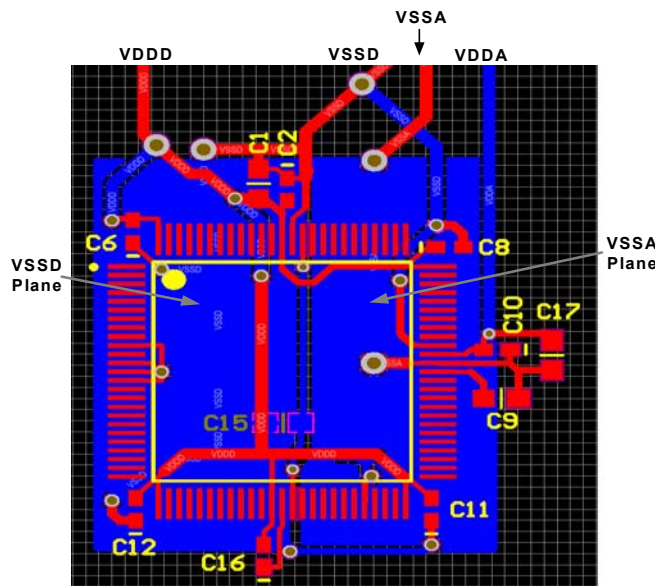
図 2-5. 100 ピン TQFP 製品の電源接続回路例



注：2本のVCCDピンは、可能な限り短い配線で互いに接続する必要があります。図2-6に示すように、デバイスの裏面で接続することが推奨されています。

Pad layoutの詳細については、<http://www.cypress.com/cad-resources/psoc-5lp-cad-libraries>を参照してください。

図 2-6. 最適なアナログ性能を得るための 100 ピン TQFP 製品のプリント回路基板レイアウト例



3. ピンの説明

IDAC0: 大電流 DAC (IDAC) 用の低抵抗出力ピン。

Extref0、Extref1: アナログ システムへの外部リファレンス入力。

SAR0 EXTREF、SAR1 EXTREF: SAR ADC 用の外部リファレンス。

GPIO: CPU、デジタル ペリフェラル、アナログ ペリフェラル、割込み、LCD セグメント駆動、および CapSense へのインターフェースを提供する汎用 I/O ピン。^[7]

I2C0: SCL、I2C1: SCL: アドレスが一致した時にスリープからのウェイクアップが可能な I²C SCL ライン。スリープからのウェイクアップが不要な場合は、任意の I/O ピンを I²C SCL に使用できます。

I2C0: SDA、I2C1: SDA: アドレスが一致した時にスリープからのウェイクアップが可能な I²C SDA ライン。スリープからのウェイクアップが不要な場合は、任意の I/O ピンを I²C SDA に使用できます。

Ind: ブースト ポンプへのインダクタ接続。

kHz XTAL: Xo、kHz XTAL: Xi: 32.768kHz 水晶発振器ピン。

MHz XTAL: Xo、MHz XTAL: Xi: 4 ~ 25MHz 水晶発振器ピン。

nTRST: JTAG 接続のリセットに使用する、オプションの JTAG テスト リセットのプログラミングとデバッグのポート接続。

SIO: CPU、デジタル ペリフェラルと割込みへのインターフェースに、プログラム可能な高閾値電圧、アナログ コンパレータ、高シンク電流、およびデバイスへの電源供給なしの高インピーダンス状態という機能を提供する特別な I/O。

SWDCK: シリアル ワイヤ デバッグ クロック プログラミングおよびデバッグ ポート接続。

SWDIO: シリアル ワイヤ デバッグ入出力プログラミングおよびデバッグ ポート接続。

TCK: JTAG テスト クロック プログラミングおよびデバッグポート接続。

TDI: JTAG テスト データ入力プログラミングおよびデバッグポート接続。

TDO: JTAG テスト データ出力プログラミングおよびデバッグポート接続。

TMS: JTAG テスト モード選択プログラミングおよびデバッグポート接続。

TRACECLK: Cortex-M3 TRACEPORT 接続。TRACEDATA ピンにクロックを供給します。

TRACEDATA[3:0]: Cortex-M3 TRACEPORT 接続。データを送出力します。

SWV: シングル ワイヤ ビューワ出力。

USBIO、D+: USB 2.0 バスの D+ 信号に直接接続できます。デジタル I/O ピンとして使用可能です。電源は V_{DDIO} ではなく、V_{DDD} から供給されます。USB を備えないデバイスでは、ピンは使用禁止 (DNU) です。

USBIO、D-: USB 2.0 バスの D- 信号に直接接続できます。デジタル I/O ピンとして使用可能です。電源は V_{DDIO} ではなく、V_{DDD} から供給されます。USB を備えないデバイスでは、ピンは使用禁止 (DNU) です。

VBOOST: ブースト ポンプへの電源検出接続。

VBAT: ブースト ポンプへの電池電源供給。

注:

7. オペアンプ出力を持つ GPIO を CapSense に使用することは推奨されません。

VCCA: アナログ コア レギュレータの出力またはアナログ コアへの入力。VSSA に接続する 1 μ F のコンデンサが必要です。レギュレータ出力は、外部回路を駆動するために設計されていません。デバイスを外部コアレギュレータと共に使用する (外部安定化モード) 場合は、このピンに適用する電圧は、1.71V ~ 1.89V の許容範囲を超えてはならないことにご注意ください。内部コアレギュレータを使用する (内部安定化モード) 時には、このピンに電源を供給しないでください。詳細については、26 ページの「電源システム」をご覧ください。

VCCD: デジタル コア レギュレータの出力またはデジタル コアへの入力。2 本の VCCD ピンを一緒に短絡し、その配線をできるだけ短くして、1 μ F のコンデンサを VSSD に接続する必要があります。レギュレータ出力は、外部回路を駆動するために設計されていません。デバイスを外部コアレギュレータと共に使用する (外部安定化モード) 場合は、このピンに適用する電圧は、1.71V ~ 1.89V の許容範囲を超えてはならないことにご注意ください。内部コアレギュレータを使用する (内部安定化モード) 場合は、このピンに電源を供給しないでください。詳細については、26 ページの「電源システム」を参照してください。

VDDA: すべてのアナログ ペリフェラルおよびアナログ コアレギュレータへの電源。VDDA は、デバイス上に存在する一番高い電圧でなければなりません。他の電源供給ピンはすべて VDDA 以下でなければなりません。

VDDD: すべてのデジタル ペリフェラルおよびデジタル コアレギュレータへの電源。VDDD は、VDDA 以下でなければなりません。

VSSA: すべてのアナログ ペリフェラルのグラウンド接続。

VSSB: ブースト ポンプのグラウンド接続。

VSSD: すべてのデジタル ロジックおよび I/O ピンのグラウンド接続。

VDDIO0, VDDIO1, VDDIO2, VDDIO3: I/O ピンへの電源。各 VDDIO は、有効な動作電圧 (1.71V ~ 5.5V) に接続し、その電圧は VDDA 以下でなければなりません。

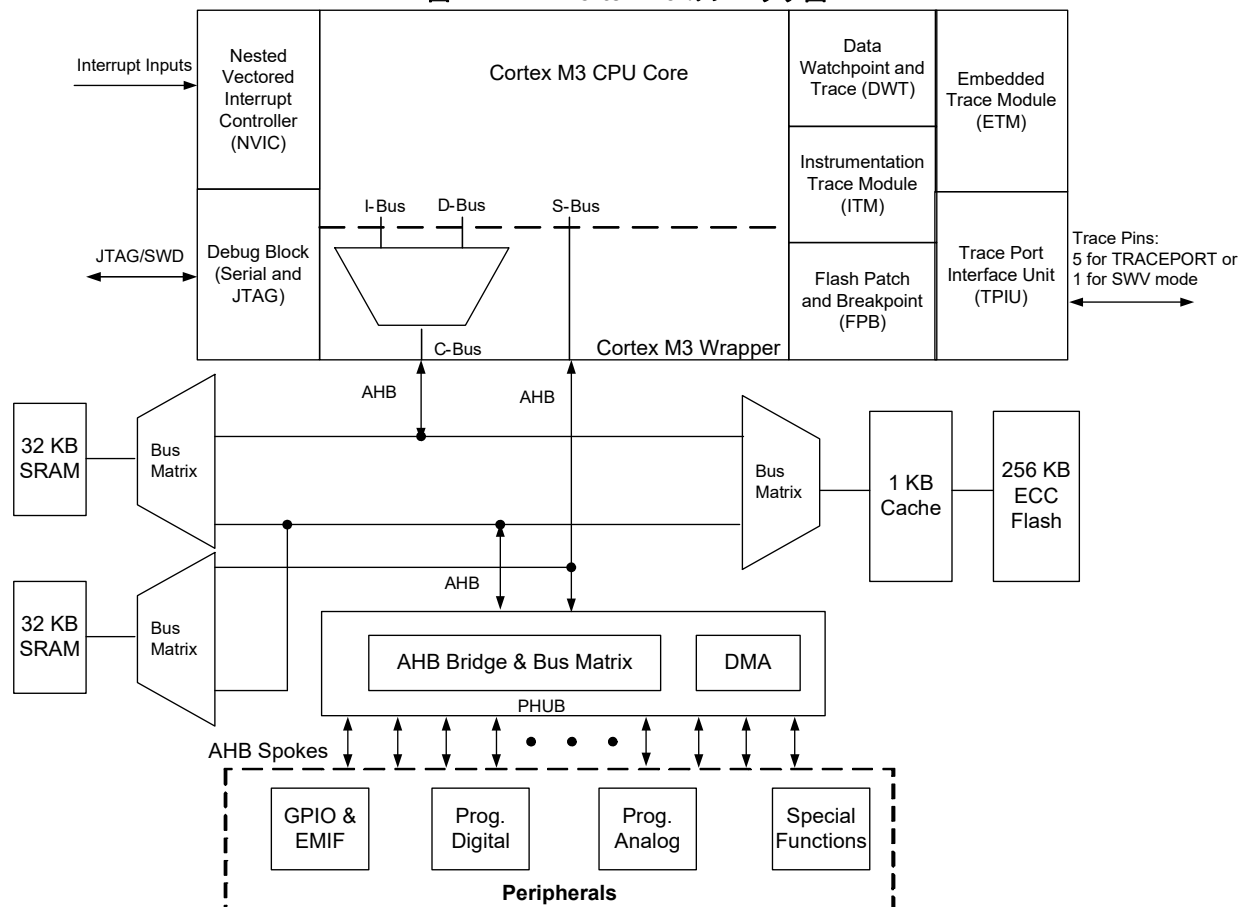
XRES: 外部リセット ピン。アクティブ LOW であり、内部プルアップに接続します。

4. CPU

4.1 Arm Cortex-M3 CPU

CY8C52LP デバイス ファミリーは Arm Cortex-M3 CPU コアを備えています。Cortex-M3 は、低消費電力の 32 ビット 3 段パイプライン方式のハーバード アーキテクチャ CPU であり、1.25 DMIPS/MHz の性能を実現します。これは、高速な割り込み処理機能を必要とする、デバイスと緊密に統合した組み込みアプリケーションを対象としています。

図 4-1. Arm Cortex-M3 のブロック図



Cortex-M3 CPU サブシステムには以下の特長があります：

- Arm Cortex-M3 CPU
- CPU コアと密に統合された、プログラム可能なネスト型ベクタ割り込みコントローラー (NVIC)
- CPU コアと密接に統合された、フル機能のデバッグ モジュールおよびトレース モジュール
- 最大 256KB のフラッシュ メモリ、最大 2KB の EEPROM および最大 64KB の SRAM
- キャッシュ コントローラー
- ペリフェラル HUB (PHUB)
- DMA コントローラー
- 外部メモリ インターフェース (EMIF)

4.1.1 Cortex-M3 の特長

Cortex-M3 CPU の特長は以下の通りです：

- 4GB のアドレス空間。コード、データおよびペリフェラル向けに事前定義されたアドレス領域。命令、データおよびペリフェラルの効率的な同時アクセスを実現する複数のバス
- Thumb レベルのコード密度で Arm レベルの性能を提供する Thumb[®]-2 命令セット。これには 16 ビット命令と 32 ビット命令があります。高度な命令には次のものがあります：
 - ビット フィールドの制御
 - ハードウェアの乗算と除算
 - サチュレーション
 - If-Then
 - イベントおよび割り込みの待機
 - 排他的アクセスとバリア
 - 特殊レジスタ アクセス

Cortex-M3 は Arm 命令をサポートしません。

- SRAM 領域へのビットバンド サポート。SRAM アドレスのためのビットレベルのアトミックな書き込みと読み出しの操作。
- 非整列データ ストレージおよびアクセス。さまざまなバイト長のデータに対応した連続ストレージ。
- 2つの権限レベル (特権とユーザー) および2つのモード (スレッドとハンドラ) での操作。一部の命令は特権レベルでのみ実行可能です。また、メイン (MSP) とプロセス (PSP) という2つのスタック ポインタも用意されています。これらの機能は、複数のユーザーレベル処理を実行しているマルチタスクのオペレーティング システムをサポートします。
- 多彩な割り込みとシステム例外をサポートします。

4.1.2 Cortex-M3 の動作モード

Cortex-M3 は、特権レベルまたはユーザー レベルのいずれかで、スレッド モードとハンドラ モードのいずれかで動作します。ハンドラ モードが特権レベルでのみ有効なので、実際には表 4-1 に示すように、3 種類の組み合わせのみあります。

表 4-1. 動作レベル

条件	特権	ユーザー
例外の実行	ハンドラ モード	未使用
メイン プログラムの実行	スレッド モード	スレッド モード

ユーザー レベルでは、特定の命令、特殊レジスタ、コンフィギュレーション レジスタおよびデバッグ コンポーネントへのアクセスはブロックされます。これらにアクセスしようとする場合、フォールト例外が発生します。特権レベルでは、すべての命令とレジスタにアクセスできます。プロセッサは、例外を処理する場合 (特権レベルでのみ可能) ハンドラ モードで実行され、例外を処理しない場合スレッド モードで実行されます。

4.1.3 CPU レジスタ

Cortex-M3 CPU レジスタを表 4-2 に示します。レジスタの R0 ~ R15 はすべて 32 ビット幅です。

表 4-2. Cortex M3 CPU レジスタ

レジスタ	説明
R0 ~ R12	汎用レジスタ R0 ~ R12 には、アーキテクチャ上定義された用途は特になし。汎用レジスタを指定するほとんどの命令は、R0 ~ R12 を指定 ■ 下位レジスタ: レジスタ R0 ~ R7 は、汎用レジスタを指定するすべての命令でアクセス可能 ■ 上位レジスタ: レジスタ R8 ~ R12 は、汎用レジスタを指定するすべての 32 ビット命令でアクセス可能。16 ビット命令ではアクセス不可
R13	R13 は、スタック ポインタ レジスタ。これは、メインスタック ポインタ (MSP) とプロセススタック ポインタ (PSP) という 2 種類の 32 ビットスタック ポインタを切り替えるバンク レジスタ。PSP は、CPU がユーザー レベルとスレッド モードで動作している場合にのみ使用可能。MSP は、すべての特権レベルとモードで使用可能。SP のビット [0:1] は無視され、0 とみなされるので、SP は必ずワード (4 バイト) 境界に整列
R14	R14 はリンク レジスタ (LR)。サブルーチンを呼び出すと、LR に戻りアドレスが格納される

表 4-2. Cortex M3 CPU レジスタ (続き)

レジスタ	説明
R15	R15 はプログラム カウンタ (PC)。PC のビット 0 は無視され、0 とみなされるので、命令は常にハーフワード (2 バイト) 境界に整列
xPSR	プログラム ステータス レジスタは、一緒にまたは個別にアクセス可能な 3 つのレジスタに分かれている: ■ アプリケーション プログラム ステータス レジスタ (APSR): ゼロ、キャリー、ネガティブなどのプログラム実行ステータス ビットをビット [27:31] に保持。 ■ 割り込みプログラム ステータス レジスタ (IPSR): 現行の例外番号をビット [0:8] に保持。 ■ 実行プログラム ステータス レジスタ (EPSR): 割り込みの継続を制御するビットと IF-THEN 命令を、ビット [10:15] とビット [25:26] に保持。ビット 24 は、Thumb モードを示すために常に 1 にセット。これをクリアしようとするとフォールト例外が発生
PRIMASK	1 ビットの割り込みマスク レジスタ。セットされると、マスク不可能割り込み (NMI) およびハードフォールト例外のみが許可される。その他のすべての例外および割り込みはマスクされる
FAULTMASK	1 ビットの割り込みマスク レジスタ。セットされると、NMI のみが許可される。その他のすべての例外および割り込みはマスクされる
BASEPRI	最大 9 ビットのレジスタであり、マスキング優先レベルを定義。セットされた場合、BASEPRI と比べて優先順位値が同じまたはより高い割り込みをすべて無効にする。0 にクリアされた場合、マスキング機能が無効になる
CONTROL	動作モードを制御する 2 ビット レジスタ。 ビット 0: 0 = 特権レベル、スレッド モード、1 = ユーザー レベル、スレッド モード。 ビット 1: 0 = デフォルトのスタック (MSP) を使用、1 = 代替のスタックを使用。スレッド モードまたはユーザー レベルでは代替のスタックは PSP となる。ハンドラ モードでは、代替のスタックはなく、このビットを 0 にクリアする必要がある

4.2 キャッシュ コントローラー

CY8C52LP ファミリでは、CPU とフラッシュ メモリのために 1KB、4 ウェイ セット アソシアティブ命令キャッシュを備えています。これにより、命令実行速度を促進し、フラッシュへのアクセス頻度を抑えることによりシステムの消費電力を低減できます。

4.3 DMA および PHUB

PHUB と DMA コントローラーは、CPU とペリフェラル間およびペリフェラル間のデータ転送を行う役割を持っています。PHUB と DMA は、起動時のデバイス コンフィギュレーションも制御します。PHUB の構成要素は以下の通りです:

- DMA コントローラー、アービタおよびルーターを含むセントラル ハブ

- ハブからほとんどのペリフェラルに向けて放射状に広がる複数のスポーク

PHUB のマスターは 2 つあります：CPU と DMA コントローラー。どちらのマスターでも、バス上でトランザクションを開始できます。DMA チャンネルでは、CPU の介入を必要とせずにペリフェラルとの通信を処理できます。セントラル ハブ内のアービタによって、複数の要求がある場合に、どの DMA チャンネルの優先順位が最も高いかが決定されます。

4.3.1 PHUB の特長

- CPU と DMA コントローラーはどちらも、PHUB に対してバスマスターとして機能
- ペリフェラルアクセスのための 8 つのマルチレイヤ AHB バスパラレル アクセス バス (スポーク)
- さまざまなスポークに存在するペリフェラルに CPU と DMA から同時にアクセス可能
- 別々のスポークで DMA ソースと DMA 送信先のパースト トランザクションを同時に実行
- 8 ビット、16 ビット、24 ビットおよび 32 ビットのアドレス指定およびデータをサポート

表 4-3. PHUB スポークおよびペリフェラル

PHUB スポーク	ペリフェラル
0	SRAM
1	IO、PICU、EMIF
2	PHUB ローカル コンフィギュレーション、電源管理、クロック、IC、SWV、EEPROM、フラッシュ プログラミングインターフェース
3	アナログ インターフェースおよびトリム、デシメータ
4	USB、I ² C、タイマー、カウンタおよび PWM
5	予約済み
6	UDB グループ 1
7	UDB グループ 2

4.3.2 DMA の特長

- 24 個の DMA チャンネル
- チャンネルの挙動を設定する 1 個以上のトランザクション記述子 (TD) がチャンネルごとに存在。合計で最大 128 の TD を定義可能
- TD は動的に更新可能
- チャンネルごとに 8 レベルの優先順位
- デジタル的に接続可能な任意の信号、CPU またはもう 1 本の DMA チャンネルによってトランザクションをトリガー可能
- 各チャンネルは、転送ごとに最大 2 本の割り込みを生成可能
- トランザクションは、ストールまたはキャンセル可能
- 無限大または 1 ~ 64k バイトのトランザクションサイズをサポート
- 大きいトランザクションは、1 ~ 127 バイトの小さいパーストに分割可能

- 複雑なトランザクションでは TD のネストやチェーンが可能

4.3.3 優先順位レベル

CPU と DMA コントローラーがアクセスに同じバス リソースを必要とする場合、CPU が常に DMA コントローラーよりも高い優先順位になります。システム アーキテクチャ上、CPU でのリソースの利用によって DMA がリソース不足になることはありません。優先順位が高い (優先順位番号が小さい) DMA チャンネルであるほど、優先的に現在の DMA 転送に割り込むことができます。割り込みが発生しても、現在の転送は、現在のトランザクションを中断せずに完了できます。複数の DMA アクセス要求が同時に発生した場合のレイテンシを一定の範囲に制限するために、2 ~ 7 の優先順位レベルに応じた比率の最小限のバス帯域幅がアルゴリズムで公平にインターリーブして割り当てられます。優先順位レベル 0 と 1 は、公平性のアルゴリズムでは扱われないので、バス帯域幅を 100% 利用できます。同じ優先順位レベルを持つ 2 つの DMA 要求で競合が発生した場合、単純なラウンド ロビン (一定時間ずつ順番に実行する) の方法によって割り当てられた帯域幅を均等に分け合います。DMA チャンネル別にラウンド ロビンの割り当てを無効にして、特定の DMA チャンネルが必ず待ち行列の先頭に置かれるようにすることができます。優先順位レベル 2 ~ 7 は、CPU および優先順位レベル 0 と 1 の DMA で要求が満たされた後、表 4-4 に示す最小バス帯域幅を保証されます。

表 4-4. 優先順位レベル

優先順位レベル	バス帯域幅のパーセント
0	100.0
1	100.0
2	50.0
3	25.0
4	12.5
5	6.2
6	3.1
7	1.5

公平性のアルゴリズムが無効になっている場合、DMA アクセスは、それぞれの優先順位レベルのみに基づいて許容され、バス帯域幅の保証は行われません。

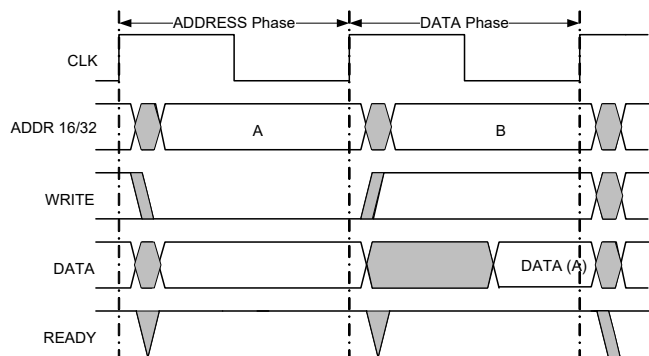
4.3.4 サポートされるトランザクション モード

各 DMA チャンネルの柔軟なコンフィギュレーションに加え、複数チャンネルをチェーンさせる機能によって、簡単なユースケースと複雑なユースケースの両方を作成できます。一般的なユースケースとして以下のものがありますが、これらに限られません：

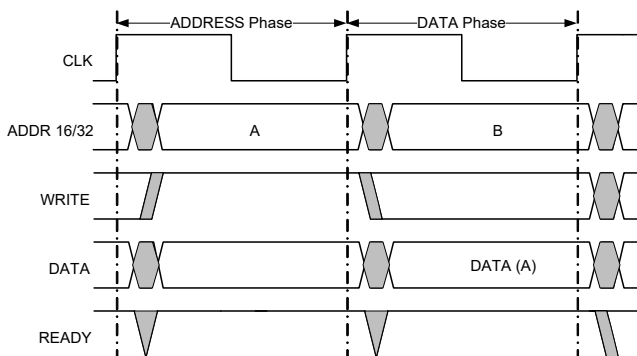
4.3.4.1 シンプル DMA

簡単な DMA の場合、単一の TD を使用してソースとシンク (ペリフェラルまたはメモリ位置) の間でデータを転送します。基本的な DMA の読み込みおよび書き込みサイクルのタイミング図を、図 4-2 に示します。他の転送モードについては、テクニカル リファレンス マニュアルをご参照ください。

図 4-2. DMA タイミング図



Basic DMA Read Transfer without wait states



Basic DMA Write Transfer without wait states

4.3.4.2 自動繰り返し DMA

自動繰り返し DMA は、スタティックなパターンをシステム メモリから読み出してペリフェラルに書き込む処理を繰り返す場合に通常使用されます。これは、単一の TD をそれ自体にチェーンさせて行います。

4.3.4.3 ピンポン DMA

ピンポン DMA では、2 つのバッファによるダブル バッファリングを使用します。この方法では、いずれかのバッファに 1 つのクライアントが書き込み、同時に他方のバッファで先に受信したデータを別のクライアントで利用できます。この最も単純な形態は、2 つの TD を相互にチェーンさせ、それぞれの TD が完了時にもう一方の TD を呼び出すことによって行います。

4.3.4.4 循環 DMA

循環 DMA は、ピンポン DMA と似ていますが、3 つ以上のバッファが含まれる点で異なります。この場合、複数の TD があり、最後の TD が完了した後、最初の TD にチェーンします。

4.3.4.5 指標付き DMA

指標付き DMA では、外部マスタが、システム バス上の位置に対し、その場所が共有メモリであるかのようにアクセスを要求します。たとえば、ペリフェラルを SPI スレーブまたは I²C スレーブとして設定し、外部マスタでアドレスを受信します。そのアドレスが、内部システム バスのメモリ空間への指標またはオフセットとなります。これは、最初の「アドレス取得」TD により、ペリフェラルからターゲットのアドレス位置を読み出し、その値をチェーン内の次の TD に書き込むことで行われます。これにより TD チェーンが動的に変更されます。「アドレス取得」TD が完了すると、続いて新しいアドレス情報が埋め込まれている次の TD に移動します。次に、この TD は、外部マスタにより要求されたアドレス位置を使用してデータ転送を実行します。

4.3.4.6 スキャッター ギャザー DMA

スキャッター ギャザー DMA は、複数の不連続なソースまたは送信先があり、それらによる DMA トランザクションを実質的に 1 つのものとして実行する必要がある場合に使用します。たとえば、デバイスからのパケット送り出しが要求され、ヘッダ、ペイロード、トレーラなどのパケット要素がメモリ内で不連続な場所に存在している場合があります。スキャッター ギャザー DMA では、複数の TD を 1 つのチェーンとして使用することで、セグメントを互いに連結できます。チェーンは複数の場所

からデータを収集します。同じ考え方は、デバイスへのデータ受信にも適用されます。受信データのある部分は、ソフトウェアでの処理の便宜上、メモリ内でさまざまな場所に分散させる必要がある場合があります。チェーン内のそれぞれの TD で、チェーン内のそれぞれの個別要素の場所を指定します。

4.3.4.7 パケット キュー DMA

パケット キュー DMA は、スキャッター ギャザー DMA と似ていますが、特にパケット プロトコルを参照します。パケット プロトコルでは、パケットの送信または受信と関連付けられた別々のコンフィギュレーション、データおよびステータスフェーズが存在する可能性があります。

たとえば、パケットを送信するときには、メモリ マップしたコンフィギュレーション レジスタにペリフェラルの内部で書き込み、後に続くデータ フェーズの全体の長さを指定できます。CPU は、このコンフィギュレーション情報をシステム メモリ内の任意の場所にセットアップし、単純な TD を使ってペリフェラルにコピーすることができます。コンフィギュレーションフェーズの後、1 つのデータ フェーズ TD (または一連のデータフェーズ TD) を (おそらくはスキャッター ギャザーを使用して) 開始することができます。データ フェーズ TD が完了すると、ステータス フェーズ TD を呼び出すことができ、ステータスフェーズ TD は、ペリフェラルからメモリ マップされたステータス情報を読み出して、後の検査のためにそれをシステム メモリ内の CPU で指定された場所にコピーします。複数のコンフィギュレーション/データ/ステータス フェーズ「サブチェーン」の組をつなぎ合わせて大きなチェーンを作り、複数のパケットをこの方法で送信することができます。同様の考え方が、逆方向のパケット受信についても適用できます。

4.3.4.8 ネスト型 DMA

TD のコンフィギュレーション領域は、他のペリフェラルと同様にメモリ マップされるため、1 つの TD がもう 1 つの TD を変更することができます。たとえば、最初の TD が 2 番目の TD のコンフィギュレーションをロードし、続いてその 2 番目の TD を呼び出します。2 番目の TD は、アプリケーションの要求に応じてデータを移動させます。完了すると、2 番目の TD は 1 番目の TD を呼び出し、1 番目の TD が再び 2 番目の TD のコンフィギュレーションを更新します。この処理が、必要な回数だけ繰り返されます。

4.4 割り込みコントローラー

Cortex-M3 NVIC は、表 4-5 に示すように、16 種類のシステム例外とペリフェラルからの 32 種類の割り込みをサポートしています。

表 4-5. Cortex-M3 の例外と割り込み

例外番号	例外の種類	優先順位	例外テーブルの アドレス オフセット	機能
			0x00	R13/MSP の開始値
1	リセット	-3 (最高)	0x04	リセット
2	NMI	-2	0x08	マスク不可能割り込み
3	ハード フォールト	-1	0x0C	すべてのクラスの障害 (該当のフォールト ハンドラー が無効か、またはマスクされているため、そのハンドラーをアクティブにできない場合)
4	メモリ管理	プログラム可能	0x10	実行不可能な領域からの命令のフェッチなどのメモリ管理の障害
5	バスの障害	プログラム可能	0x14	バス システムから受け取ったエラー応答 (命令のプリフェッチ中止やデータ アクセス エラーに起因)
6	用法不正	プログラム可能	0x18	多くの場合、無効な命令や Arm モードへの切り替えを試みたことが原因
7 ~ 10	–	–	0x1C ~ 0x28	予約済み
11	SVC	プログラム可能	0x2C	SVC 命令を介したシステム サービス呼び出し
12	デバッグ モニター	プログラム可能	0x30	デバッグ モニター
13	–	–	0x34	予約済み
14	PendSV	プログラム可能	0x38	システム サービスの遅延した要求
15	SYSTICK	プログラム可能	0x3C	システム ティック タイマー
16 ~ 47	IRQ	プログラム可能	0x40 ~ 0x3FC	ペリフェラルの割り込み要求 #0 ~ #31

各例外ベクタのビット 0 は、例外が Arm 命令または Thumb 命令のどちらを使用して実行されたものかを示します。Cortex-M3 は Thumb 命令のみをサポートしているので、このビットは必ず 1 であることが必要です。Cortex-M3 のマスク不可能な割り込み (NMI) 入力、DSI 経由で任意のピンに接続できるほか、どのピンにも接続しないままにすることもできます。[44 ページの「DSI 配線インターフェースの説明」](#)をご参照ください。

ネスト型ベクタ割り込みコントローラー (NVIC) は、ペリフェラルからの割り込みを処理し、割り込みベクタを CPU に渡します。低レイテンシの割り込み処理を実現するために、NVIC は CPU の近傍に組み込まれています。特長は以下の通りです：

- 32 本の割り込み。割り込みごとに複数のソース
- 8 レベルの優先順位 (ダイナミックな優先順位制御)
- 優先順位のグループ。これにより、プリエンプトした割り込みレベルとそれ以外の割り込みレベルを選択できます。

- 割り込みのテールチェーンと後着のサポート。これにより、割り込みと割り込みの間で状態保存や復元によるオーバーヘッドが発生せず、バックツーバックの割り込み処理が可能になります。

- プロセッサの状態は、割り込みエントリに自動的に保存され、割り込み終了時に復元されるので、命令処理のオーバーヘッドが発生しません。

2 つ以上の割り込みに対し同じ優先順位レベルが割り当てられている場合は、ベクタ番号の低い割り込みが先に実行されます。割り込みベクタは、固定関数、DMA および UDB の 3 種類の割り込みソースから選択できます。機能固定割り込みは、最も一般的な割り込みソースへの直接接続で、リソース コストの最も低い接続を提供します。DMA 割り込みソースは、DMA チャンネルごとに用意されている 2 個の DMA 割り込みソースへの直接接続を提供します。ベクタの 3 番目の割り込みソースは、UDB デジタル配線アレイにあるソースです。これにより、UDB アレイで利用できる任意のデジタル信号を割り込みソースとして使用することができます。UDB 割り込みソース接続を使用すると、すべての割り込みソースを任意の割り込みベクタに割り当てることができます。

表 4-6. 割り込みベクタ テーブル

割り込み番号	Cortex-M3 の例外番号	固定機能	DMA	UDB
0	16	低電圧検出 (LVD)	phub_termout0[0]	udb_intr[0]
1	17	キャッシュ / ECC	phub_termout0[1]	udb_intr[1]
2	18	予約済み	phub_termout0[2]	udb_intr[2]
3	19	スリープ (電源マネージャ)	phub_termout0[3]	udb_intr[3]
4	20	PICU[0]	phub_termout0[4]	udb_intr[4]
5	21	PICU[1]	phub_termout0[5]	udb_intr[5]
6	22	PICU[2]	phub_termout0[6]	udb_intr[6]
7	23	PICU[3]	phub_termout0[7]	udb_intr[7]
8	24	PICU[4]	phub_termout0[8]	udb_intr[8]
9	25	PICU[5]	phub_termout0[9]	udb_intr[9]
10	26	PICU[6]	phub_termout0[10]	udb_intr[10]
11	27	PICU[12]	phub_termout0[11]	udb_intr[11]
12	28	PICU[15]	phub_termout0[12]	udb_intr[12]
13	29	組み合わせたコンパレータ	phub_termout0[13]	udb_intr[13]
14	30	予約済み	phub_termout0[14]	udb_intr[14]
15	31	I ² C	phub_termout0[15]	udb_intr[15]
16	32	予約済み	phub_termout1[0]	udb_intr[16]
17	33	タイマー / カウンター 0	phub_termout1[1]	udb_intr[17]
18	34	タイマー / カウンター 1	phub_termout1[2]	udb_intr[18]
19	35	タイマー / カウンター 2	phub_termout1[3]	udb_intr[19]
20	36	タイマー / カウンター 3	phub_termout1[4]	udb_intr[20]
21	37	USB SOF 割り込み	phub_termout1[5]	udb_intr[21]
22	38	USB 調停割り込み	phub_termout1[6]	udb_intr[22]
23	39	USB バス割り込み	phub_termout1[7]	udb_intr[23]
24	40	USB エンドポイント [0]	phub_termout1[8]	udb_intr[24]
25	41	USB エンドポイント データ	phub_termout1[9]	udb_intr[25]
26	42	予約済み	phub_termout1[10]	udb_intr[26]
27	43	LCD	phub_termout1[11]	udb_intr[27]
28	44	予約済み	phub_termout1[12]	udb_intr[28]
29	45	デシメータ割り込み	phub_termout1[13]	udb_intr[29]
30	46	phub_err_int	phub_termout1[14]	udb_intr[30]
31	47	eprom_fault_int	phub_termout1[15]	udb_intr[31]

5. メモリ

5.1 スタティック RAM

CY8C52LP のスタティック RAM (SRAM) は、データを一時的に格納するために使用されます。コードは、SRAM の中でコード空間に存在する部分からフルスピードで実行できます。SRAM の 0x20000000 を超える位置からの実行ではプロセスの速度が低下します。デバイスは、最大 64KB の SRAM を提供します。CPU または DMA コントローラーは、すべての SRAM にアクセスできます。Cortex-M3 CPU と DMA コントローラーからは、互いに別々の 32KB ブロックにアクセスするのであれば、SRAM に同時にアクセスできます。

5.2 フラッシュ プログラム メモリ

PSoC デバイスで使用するフラッシュ メモリは、ユーザーファームウェア、ユーザー コンフィギュレーション データ、大容量データおよびオプションの ECC データを保存する不揮発性ストレージとして使用できます。メインのフラッシュ メモリ領域には、最大で 256KB のユーザー プログラム空間が含まれています。

最大 32KB の追加フラッシュ空間は、エラー訂正コード (ECC) のために使用できます。ECC を使用しない場合、この空間はデバイス コンフィギュレーション データおよび大容量ユーザーデータの保存に使用することができます。ユーザー コードは、ECC フラッシュ メモリ セクションから実行することはできません。ECC では、ファームウェア メモリ 8 バイトあたり、1 ビットのエラー訂正と 2 ビットのエラー検出が可能で、エラーが検出された場合は割込みを生成できます。フラッシュ出力は 9 バイト幅で、8 バイトのデータと 1 バイトの ECC データからなります。

CPU または DMA コントローラーは、フラッシュ中に置かれたユーザー コードと大容量データのどちらも、キャッシュ コントローラーを通して読み出します。これにより、高い CPU 性能が得られます。ECC がイネーブルになっている場合、キャッシュ コントローラーは、エラー チェックと訂正も実行します。フラッシュ プログラミングは、特殊なインターフェースを通じて行い、フラッシュからコード実行に代わって実行します。SRAM からのコード実行はフラッシュ プログラミング中で実行されます。

フラッシュ プログラミング インターフェースによって、フラッシュの消去、プログラミングおよびコード保護レベルの設定を行います。フラッシュのシステム内シリアル プログラミング (ISSP) は、ほとんどの量産用プログラムに使用され、SWD と JTAG の両方のインターフェースで実行できます。多くの場合はブートローダに使用するシステム内プログラミングは、I²C、USB、UART、SPI などのシリアル インターフェースや任意の通信プロトコルを通じて使用できます。

5.3 フラッシュのセキュリティ

どの PSoC デバイスも、オンチップ フラッシュ メモリへのアクセスと可視化を防止する柔軟なフラッシュ保護モデルを備えています。これにより、プロプライエタリなコードの複製やリパース エンジニアリングを防止します。フラッシュ メモリは、ブロックに整理され、各ブロックに 256 バイトのプログラムまたはデータと 32 バイトの ECC またはコンフィギュレーション データが入ります。

デバイスには、フラッシュの行ごとに 4 段階の保護レベルのいずれかを割り当てる機能が用意されています。表 5-1 に使用可能な保護モードを示します。フラッシュの保護レベルは、フラッシュの完全消去を実行することによってのみ変更できます。「完全保護」および「工場アップグレード」の設定では、PSoC Creator などのデバッグ ツールからのアクセスなどの外部アクセスは無効になります。ブート ロードによるコード更新が必要なアプリケーションでは、「現場アップグレード」設定を使用します。「未保護」設定の使用は、セキュリティが不要なアプリケーションに限定してください。PSoC デバイスは、デバイス セキュリティと呼ばれる高度なセキュリティ機能も備えて

います。これは、すべてのテスト、プログラミングおよびデバッグ ポートが恒久的に無効にすることにより、アプリケーションを外部アクセスから保護します (58 ページの「デバイス セキュリティ」を参照ください)。PSoC のセキュリティ機能の詳しい活用方法については、PSoC 5 TRM をご覧ください。

表 5-1. フラッシュの保護

保護設定	可能	不可
非保護	外部読み出しおよび書き込み + 内部読み出しおよび書き込み	—
工場アップグレード	外部書き込み + 内部読み出しおよび書き込み	外部読み出し
フィールドアップグレード	内部読み出しおよび書き込み	外部読み出しおよび書き込み
完全保護	内部読み出し	外部読み出しおよび書き込み + 内部書き込み

免責条項

サイプレスのデバイスのフラッシュ コード保護機能について、以下の点にご注意ください。

サイプレス製品は、該当する特定のサイプレス データシートに記載されている仕様を満たします。サイプレスは、市販されている同様の製品ファミリにおいて、製品ファミリが、使用方法にかかわらず最高水準の安全性を有すると考えています。サイプレスの知り得ない方法がコード保護機能を侵害する可能性があるかも知れません。サイプレスの知る限り、そのような方法はすべて不正で、かつ違法と考えられます。サイプレスまたはその他の半導体メーカーのいずれも、自社のコードのセキュリティを保証することはできません。コードの保護は、サイプレスが製品の「読解不能」を保証していることを意味するものではありません。

サイプレスには、自社コードの完全性に関心があるユーザーと協力する意思があります。コードの保護は絶えず進化しております。サイプレスは当社製品のコード保護機能の継続的改善に努めています。

5.4 EEPROM

PSoC の EEPROM メモリは、バイト アドレス指定可能な不揮発性メモリです。CY8C52LP は、ユーザー データ格納用として 2KB の EEPROM メモリを内蔵しています。EEPROM からの読み出しは、バイト レベルでのランダム アクセスになっています。読み出しは直接行われ、書き込みは EEPROM プログラミング インターフェースへの書き込みコマンドの送信によって行われます。EEPROM 書き込み中に、CPU のコード実行をフラッシュから継続することができます。EEPROM は、行レベルで消去および書き込み可能です。EEPROM は 128 行に分けられており、それぞれの行は 16 バイトです。すべての EEPROM バイトの工場出荷時のデフォルト値は 0 です。

EEPROM は Cortex-M3 ペリフェラル領域にマッピングされるので、CPU は EEPROM の外部で実行することができません。EEPROM に関連付けられた ECC ハードウェアはありません。ECC が必要な場合は、ファームウェアの中で処理しなければなりません。

EEPROM またはフラッシュへの書き込みは最大 20 ミリ秒要します。この期間中には、デバイスがリセットされる必要がないか、または期待しない変更が EEPROM あるいはフラッシュに発生する可能性があります。リセット ソース (節 6.3.1 を参照ください) は、XRES ピン、ソフトウェア リセットおよびウォッチドッグを含みます。これらは不注意に活性化されないように注意してください。また、低電圧検出回路はリセットの代わりに割込みを生成するように設定される必要があります。

5.5 不揮発性ラッチ (NVL)

PSoC は、リセット時にデバイスを設定するために使用される不揮発性ラッチ (NVL) の 4 バイト アレイを備えています。NVL レジスタ マップを表 5-3 に示します。

表 5-2. デバイス コンフィギュレーション NVL のレジスタ マップ

レジスタアドレス	7	6	5	4	3	2	1	0
0x00	PRT3RDM[1:0]		PRT2RDM[1:0]		PRT1RDM[1:0]		PRT0RDM[1:0]	
0x01	PRT12RDM[1:0]		PRT6RDM[1:0]		PRT5RDM[1:0]		PRT4RDM[1:0]	
0x02	XRESMEN	DBGEN					PRT15RDM[1:0]	
0x03	DIG_PHS_DLY[3:0]				ECCEN	DPS[1:0]		CFGSPPEED

個々のフィールドと工場出荷時のデフォルト設定の詳細を、表 5-3: に示します。

表 5-3. 現場および工場出荷時のデフォルト設定

現場	説明	設定
PRTxRDM[1:0]	対応する IO ポートのリセット駆動モードを制御。38 ページの「リセットのコンフィギュレーション」をご参照ください。ポートのすべてのピンは同じモードに設定される	00b (デフォルト) - 高インピーダンス アナログ 01b - 高インピーダンス デジタル 10b - 抵抗プルアップ 11b - 抵抗プルダウン
XRESMEN	ピン P1[2] が GPIO または外部リセットとして使用されるかを制御。P1[2] は通常、外部リセットではなく GPIO として使用される	0 (デフォルト) - GPIO 1 - 外部リセット
DBGEN	デバッグ イネーブルは、第三者のプログラマによるデバッグ システムへのアクセスを可能にする	0 - アクセスは無効 1 (デフォルト) - アクセスは有効
CFGSPPEED	より高速な起動や低消費電力動作を実現するために、デバイスの起動処理中に IMO ベースのクロックの速度を制御	0 (デフォルト) - 12MHz IMO 1 - 48MHz IMO
DPS[1:0]	デバッグ ポートなど、さまざまな P1 ピンの使用を制御。55 ページの「プログラミング、デバッグ インターフェース、リソース」をご参照ください	00b - 5 線 JTAG 01b (デフォルト) - 4 線 JTAG 10b - SWD 11b - デバッグ ポートは無効
ECCEN	ECC フラッシュを ECC または一般的なコンフィギュレーションおよびデータ ストレージに使用するかを制御。19 ページの「フラッシュ プログラム メモリ」をご参照ください	0 - ECC は無効 1 (デフォルト) - ECC は有効
DIG_PHS_DLY[3:0]	デジタル クロックの位相遅延を選択。	詳細は、TRM をご参照ください

PSoC Creator は、デバイスのコンフィギュレーション NVL を変更するためのサポートを提供していますが、NVL 消去／書き込みサイクル数は限られています (94 ページの「不揮発性ラッチ (NVL)」をご参照ください)。

5.6 外部メモリ インターフェース

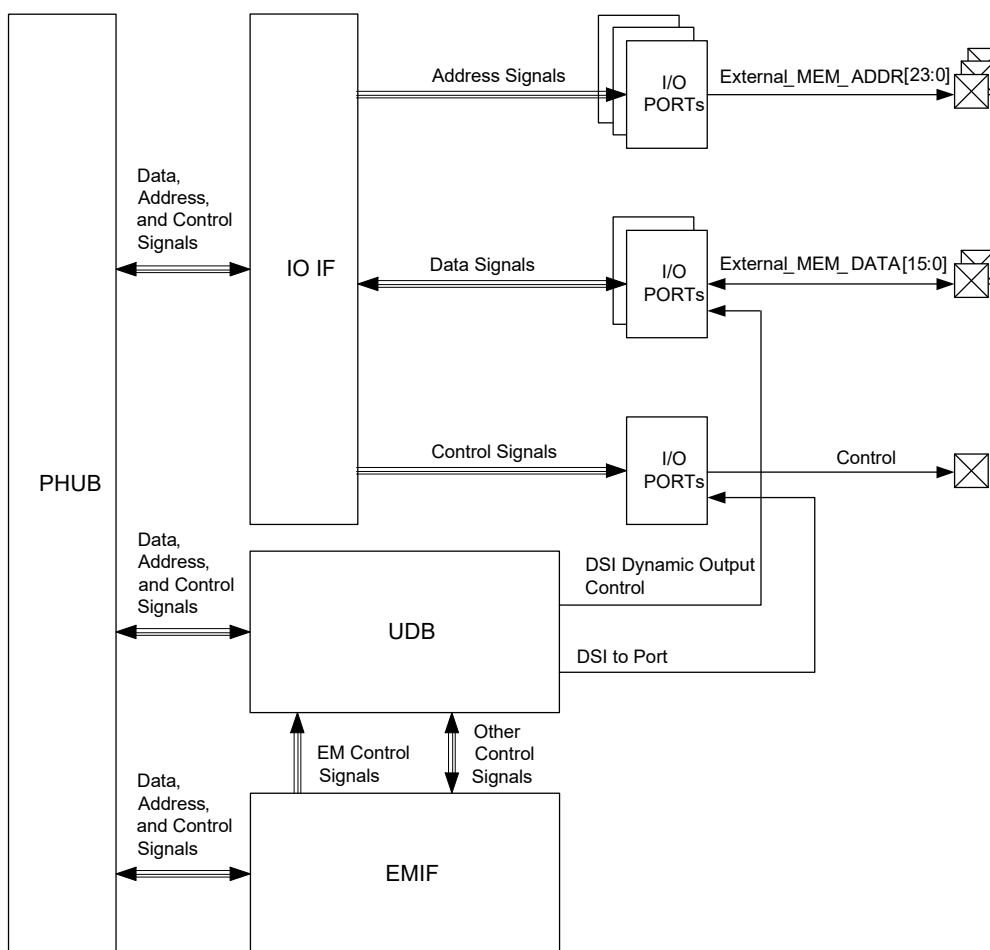
CY8C52LP には、外部メモリ デバイスへの接続用に外部メモリ インターフェース (EMIF) が用意されています。この接続により、外部メモリに対する読み出しアクセスと書き込みアクセスが可能になります。EMIF は、UDB、I/O ポートおよびその他のハードウェアと組み合わせられて動作し、外部メモリ アドレスおよび制御信号を生成します。33MHz で、各メモリ アクセスサイクルは、4つのバス クロック サイクルを要します。

図 5-1 に EMIF のブロック図を示します。EMIF は同期メモリおよび非同期メモリをサポートします。CY8C52LP は、一度に 1 種類のための外部メモリ デバイスをサポートします。

外部メモリは、Cortex-M3 の外部 RAM 空間に配置されており、最大 24 のアドレス ビットを使用できます。22 ページの表 5-4 と 22 ページの「メモリ マップ」をご参照ください。メモリの幅は、8 ビットまたは 16 ビットとすることができます。

Cortex-M3 命令は、16 ビットの外部メモリから取得できます。その他の制限が適用される場合については、アプリケーションノート「AN89610, PSoC® 4 and PSoC 5LP Arm Cortex Code Optimization」をご参照ください。外部メモリでは、コードセキュリティが供給されません。コードの保護が必要な場合、コードを内部フラッシュに配置する必要があります。19 ページの「フラッシュのセキュリティ」と 58 ページの「デバイスセキュリティ」をご参照ください。

図 5-1. EMIF のブロック図



5.7 メモリ マップ

Cortex-M3 には固定アドレス マップがあります。これを使用すると、簡単なメモリ アクセス命令でペリフェラルにアクセスできます。

5.7.1 アドレス マップ

4GB のアドレス空間は、表 5-4 に表すような範囲で構成されています。

表 5-4. アドレス マップ

アドレス範囲	サイズ	用途
0x00000000 ~ 0x1FFFFFFF	0.5GB	プログラム コード。アドレス 0 から始まる、起動時の例外ベクタ表を含む
0x20000000 ~ 0x3FFFFFFF	0.5GB	スタティック RAM。0x20000000 から始まる 1M バイトのビットバンド領域と、0x22000000 から始まる 32M バイトのビットバンド エイリアス領域を含む
0x40000000 ~ 0x5FFFFFFF	0.5GB	ペリフェラル
0x60000000 ~ 0x9FFFFFFF	1GB	外部 RAM
0xA0000000 ~ 0xDFFFFFFF	1GB	外部ペリフェラル
0xE0000000 ~ 0xFFFFFFFF	0.5GB	NVIC およびデバッグ モジュールとトレース モジュールを含む内部ペリフェラル

表 5-5. ペリフェラルのデータ アドレス マップ

アドレス範囲	用途
0x00000000 ~ 0x0003FFFF	256K フラッシュ
0x1FFF8000 ~ 0x1FFFFFFF	コード領域の 32K SRAM
0x20000000 ~ 0x20007FFF	SRAM 領域の 32K SRAM
0x40004000 ~ 0x400042FF	クロッキング、PLL および発振器
0x40004300 ~ 0x400043FF	電源管理
0x40004500 ~ 0x400045FF	ポート 割込み制御
0x40004700 ~ 0x400047FF	フラッシュ プログラミング インターフェース
0x40004800 ~ 0x400048FF	キャッシュ コントローラー
0x40004900 ~ 0x400049FF	I ² C コントローラー
0x40004E00 ~ 0x40004EFF	デシメータ
0x40004F00 ~ 0x40004FFF	固定タイマー/カウンタ/PWM

表 5-5. ペリフェラルのデータ アドレス マップ (続き)

アドレス範囲	用途
0x40005000 ~ 0x400051FF	I/O ポートの制御
0x40005400 ~ 0x400054FF	外部メモリ インターフェース (EMIF) 制御レジスタ
0x40005800 ~ 0x40005FFF	アナログ サブシステム インターフェース
0x40006000 ~ 0x400060FF	USB コントローラー
0x40006400 ~ 0x40006FFF	UDB ワーキング レジスタ
0x40007000 ~ 0x40007FFF	PHUB コンフィギュレーション
0x40008000 ~ 0x400087FF	EEPROM
0x4000A000 ~ 0x4000A400	予約済み
0x40010000 ~ 0x4001FFFF	デジタル相互接続のコンフィギュレーション
0x48000000 ~ 0x48007FFF	フラッシュ ECC バイト
0x60000000 ~ 0x60FFFFFF	外部メモリ インターフェース (EMIF)
0xE0000000 ~ 0xE0FFFFFF	NVIC、デバッグ、トレースなどを含む Cortex-M3 PPB レジスタ

ビットバンド機能により、SRAM の各ビットの読み出しや書き込みをアトミックな操作として実行できます。この操作は、ビットバンド エイリアス領域の対応するワードに対してビット 0 の読み出しまたは書き込みを実行することで実現します。たとえば、アドレス 0x20000000 でワードのビット 3 を設定するには、アドレス 0x2200000C に 1 を書き込みます。そのビットの値をテストするには、アドレス 0x2200000C を読み出します。テスト対象のビットの値に応じて、結果は 0 または 1 となります。

Cortex-M3 で実行するほとんどのメモリ アクセスはアラインされています。つまり、ワード (4 バイト) 境界アドレスで行われます。ワード境界ではないアドレスでのワードや 16 ビット ハーフワードに対するアラインされていないアクセスも可能ですが、効率の面では不利になります。

5.7.2 アドレス マップおよび Cortex-M3 バス

ICode バスおよび DCode バスは、0 ~ 0xFFFFFFFF のコードアドレス範囲内のアクセスでのみ使用します。

0x20000000 ~ 0xDFFFFFFF および 0xE0100000 ~ 0xFFFFFFFF の範囲にあるデータへのアクセスおよびデバッグでのアクセスでは、システム バスが使用されます。命令の取得は 0x20000000 ~ 0x3FFFFFFF 範囲内でも可能ですが、ICode バス経由での命令取得に比べると速度が遅くなります。

システム コントロール レジスタ、デバッグ モジュール レジスタおよびトレース モジュール レジスタへのアクセスには、Cortex-M3 内で専用ペリフェラル バス (PPB) が使用されます。

6. システム統合

6.1 クロッキング システム

クロッキング システムは、PSoC システム全体にわたるクロックの生成、分周および分配を行います。ほとんどのシステムで、外部水晶発振器は不要です。IMO に PLL を使用することで、電圧と温度の全範囲にわたり精度 $\pm 2\%$ で最高 80MHz のクロックを生成できます。それぞれのデザインで、内部および外部クロックソースを追加することにより、精度、消費電力およびコストを最適化することが可能です。16 ビット クロック分周器および UDB では、UART ポー レート ジェネレータなど、ユーザーが必要とするあらゆるデバイスで使用するクロック周波数を、どのシステム クロック ソースからでも生成できます。

クロックの生成と供給は、PSoC Creator IDE のグラフィカルインターフェースを通じて自動的にコンフィギュレーションされます。これは、完全なシステム要件に基づいています。これによりデザイン プロセスは大幅にスピードアップされます。PSoC Creator を使用することで、最小限の入力でクロッキングシステムを構築できます。目的のクロック周波数とその精度を指定すると、必要な仕様を満たすクロックがソフトウェアによって配置または作成されます。これができるのは、PSoC 固有のプログラマビリティのためです。

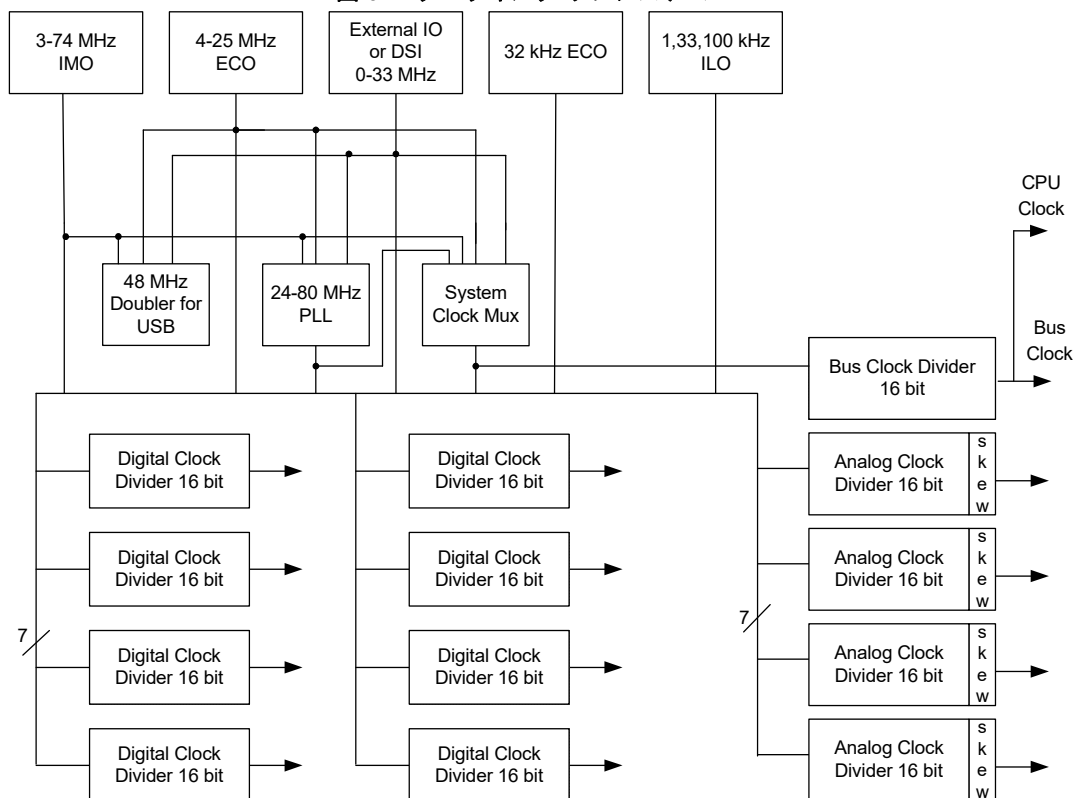
クロッキング システムの主な特長は、次のとおりです：

- 7 個の汎用クロック ソース
 - 3 ~ 74MHz の IMO、3MHz で $\pm 2\%$ の精度

- 4 ~ 25MHz の外部水晶発振器 (MHzECO) を使用可能
- クロック逡倍回路は、USB ブロックに 2 倍の周波数のクロックを出力。26 ページの「USB クロック ドメイン」をご参照ください。
- 外部 I/O ピンまたはその他の論理からの DSI 信号
- 24 ~ 80MHz の分数分周方式の位相同期回路 (PLL) (IMO、MHzECO、DSI から供給される)
- 1kHz、33kHz、100kHz ILO (ウォッチ ドッグ タイマー (WDT) およびスリープ タイマー用)
- RTC で 32.768kHz 外部水晶発振器 (ECO)
- IMO には、USB 用の外部水晶発振器を必要とせずに USB バスクロックに自動的にロックする USB モードが用意されています (USB を備えたデバイスのみ)
- すべてのクロック分周器で独立して供給されるクロック
- 8 個の 16 ビット クロック分周器 (デジタル システム用)
- 4 個の 16 ビット クロック分周器 (アナログ システム用)
- CPU バスおよび CPU クロック専用の 16 ビット分周器
- PSoC Creator でのクロックの自動コンフィギュレーション

表 6-1. 発振器の概要

ソース	Fmin	Fmin での許容誤差	Fmax	Fmax での許容誤差	起動時間
IMO	3MHz	電圧および温度範囲において $\pm 2\%$	74MHz	$\pm 7\%$	Max は 13 μ s
MHzECO	4MHz	水晶発振器に依存	25MHz	水晶発振器に依存	Typ は 5ms、Max は水晶発振器に依存
DSI	0MHz	入力に依存	33MHz	入力に依存	入力に依存
PLL	24MHz	入力に依存	80MHz	入力に依存	Max は 250 μ s
ダブラー	48MHz	入力に依存	48MHz	入力に依存	Max は 1 μ s
ILO	1kHz	-50%、+100%	100kHz	-55%、+100%	最低消費電力モードで Max は 15ms
kHzECO	32kHz	水晶発振器に依存	32kHz	水晶発振器に依存	Typ は 500ms、Max は水晶発振器に依存

図 6-1. クロッキング サブシステム


6.1.1 内部発振器

図 6-1 に示されるように、2 個の内部発振器があります。これらは直接接続するか、分割して接続することができます。直接接続されるクロックは 50% デューティ比がない可能性があります。分割されるクロックは 50% デューティ比を持ちます。

6.1.1.1 内部主発振器

IMO は $\pm 2\%$ の精度を持っているので、ほとんどのデザインではクロック ソースとして IMO を使用すれば十分です。IMO は、外部部品なしで動作し、安定したクロックを出力します。各周波数範囲での工場出荷時のトリム値がデバイスに保存されます。工場出荷時のトリムでは、周波数の許容誤差が 3MHz での $\pm 2\%$ から最大値である 74MHz での $\pm 7\%$ の範囲に収まっています。IMO と PLL を組み合わせることにより、デバイスの最大周波数までの CPU クロックとシステム クロックを生成できます ([USB クロックドメイン](#)をご参照ください)。IMO は、3MHz、6MHz、12MHz、24MHz、48MHz および 74MHz のクロックを出力します。

6.1.1.2 クロック通倍回路

クロック通倍回路は、入力クロックの 2 倍の周波数のクロックを出力します。通倍回路は、24MHz の入力周波数で動作し、USB 用に 48MHz を提供します。IMO、MHzECO または DSI (外部ピン) のクロックを使用するように設定できます。

6.1.1.3 位相同期回路

PLL によって、低周波数で高精度のクロックを通倍し、より高い周波数を得ることができます。PLL には、得られるクロック周波数を高くすると精度が低下し、起動時間を短くすると消費電力が増加するというトレードオフの関係があります。PLL ブロックは、各種の入力ソースに基づきクロック周波数を生成するメカニズムを提供します。PLL は、24 ~ 80MHz の範囲のクロック周波数を出力します。その入力およびフィードバック分周器によって 4032 種類の比率が得られ、希望するほとんどの

システム クロック周波数を生成することができます。PLL 出力の精度は、PLL 入力ソースの精度に依存します。PLL を使用して 3MHz の IMO クロックを通倍する方法が最も一般的です。この方法であれば、デバイスの最大周波数まで最も正確に CPU クロックとシステム クロックを生成できます。

PLL は、250 μ s 以内に位相同期に達します (ビット設定により検証)。IMO、MHzECO または DSI (外部ピン) のクロックを使用するように設定できます。位相が完全なロック状態になっていて、ロック ビットによる通知がある時まで、PLL によるクロック ソースを利用できます。ロック信号を DSI 経由で送ること、割込みを生成できます。PLL は、低消費電力モードに入る前に無効にしてください。

6.1.1.4 内部低速発振器

ILO は、ウォッチドッグ タイマーおよびスリープ タイマーを含む、低消費電力のためのクロック周波数を供給します。ILO は最大 3 つのクロックを生成します: 1kHz、33kHz、100kHz。

1kHz クロック (CLK1K) は、一般的に、バックグラウンドの「ハートビート」タイマーとして使用します。このクロックは、本来、ウォッチドッグ タイマー、セントラル タイムホイール (CTW) を使用した長スリープ時などの低消費電力動作時に適しています。

セントラル タイムホイールとは、ILO からのクロックで動作するフリーランニングの 1kHz、13 ビットのカウンタです。セントラル タイムホイールは、ハイバネート モード時および CPU がデバッグ オンチップ モードで停止中の場合を除いて、常にイネーブルになっています。これを使用して、タイミングの目的で定期的な割込みを生成したり、システムを低消費電力モードからウェイクアップさせたりできます。ファームウェアによって、セントラル タイムホイールをリセットすることができます。

セントラル タイムホイールは、システムを周期的に起動し、オプションで割り込みを発行するようにプログラムすることができます。これにより、低消費電力モードからの柔軟な周期的起動、あるいは精度を必要としないタイミング アプリケーションが可能です。高精度なタイミングを必要とするシステムでは、セントラル タイムホイールではなく、RTC 機能を使用する必要があります。

100kHz クロック (CLK100K) は、CPU を動作させる低消費電力システム クロックとして使用されます。また、高速タイムホイールを使用して間隔を生成することもできます。

高速タイムホイールは、5ビットカウンタ、100kHz クロックによりクロック供給されます。これにより、設定はプログラム可能になっており、ターミナル カウントに達すると自動的にリセットします。ターミナル カウントに達するたびに、オプションで割り込みを生成することができます。これにより、セントラル タイムホイールを使用した場合よりも、より短い周期で柔軟に CPU を割り込むことができます。

33kHz クロック (CLK33K) は、CLK100K に対する 3 分周操作によって得られます。この出力を使用すると、精度は劣りますが水晶発振器を必要とせずに 32.768kHz ECO クロックが得られます。

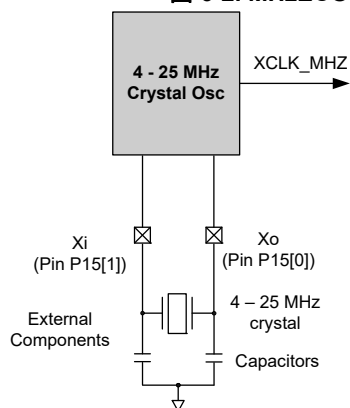
6.1.2 外部発振器

図 6-1 に示されるように、2 個の内部発振器があります。これらは直接接続するか、分割して接続することができます。直接接続されるクロックは 50% デューティ比がない可能性があります。分割されるクロックは 50% デューティ比を持ちます。

6.1.2.1 MHz 外部水晶発振器 (MHzECO)

MHzECO は、外部水晶発振器を使用して高周波、高精度クロッキングを提供します (図 6-2 をご参照ください)。外部水晶発振器には 4 ~ 25MHz の範囲のものを使用できます。PLL を組み合わせることにより、デバイスの最大周波数までの CPU クロックとシステム クロックを生成できます (内部低速発振器をご参照ください)。外部水晶発振器とコンデンサを接続する GPIO ピンは決まっています変更できません。MHzECO の精度は、選択した水晶発振器で決まります。

図 6-2. MHzECO ブロック図

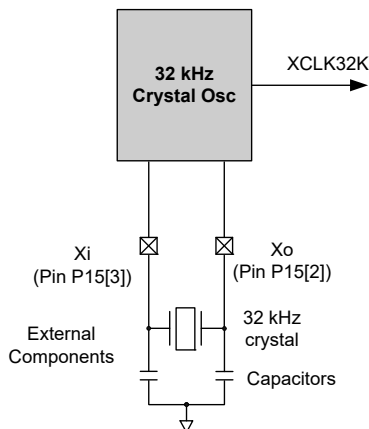


6.1.2.2 32.768kHz ECO

32.768kHz 外部水晶発振器 (32kHzECO) は、外部の 32.768kHz 時計用水晶発振器を使用して最小限の消費電力で高精度のタイミングを提供します (図 6-3 をご参照ください)。32kHzECO は、スリープ タイマーに直接接続し、RTC のソースを提供することもできます。RTC は、1 秒の割り込みを使用してファームウェア内で RTC の機能を実現しています。

発振器は、2 種類の電力モードで動作します。これにより、ユーザーは、消費電力と隣接回路からのノイズ耐性とのトレードオフを行うことができます。外部水晶振動子とコンデンサを接続する GPIO ピンは決まっています変更できません。

図 6-3. 32kHzECO ブロック図



外部 32.768kHz 時計用水晶では、6pF または 12.5pF の負荷静電容量 (CL) を持たせることをお勧めします。水晶の製造元のデータシートをご参照ください。2 つの外部コンデンサ、CL1 および CL2 は、通常同じ値で、ピンと配線静電容量を含む合計の静電容量、 $CL1CL2/(CL1 + CL2)$ は、水晶 CL の値に等しくなります。詳細については、アプリケーション ノート「AN54439: PSoC 3 and PSoC 5 External Oscillators」をご参照ください。また、68 ページの「GPIO」に記載されているピン静電容量の仕様もご参照ください。

6.1.2.3 デジタル システム相互接続

デジタル システム インターコネクト (DSI) は、I/O に接続した外部クロック発振器で得られたクロックを各部に供給する機能を提供します。この発振器は、デバイス内部のデジタル システムおよび UDB で作成することもできます。

メインの DSI クロック入力には、どのようなクロッキング リソースでも接続できます。また、メイン以外の最大 8 個の DSI クロック (内部または外部で生成) を 8 個のデジタル クロック分周器に直接接続できます。これは、複数の高精度クロックソースが存在する場合のみ可能です。

6.1.3 クロック分配

すべての 7 つのクロック ソースはセントラル クロック供給システムに入力されます。この供給システムは、複数の高精度クロックを生成するよう設計されています。これらのクロックは、デザインの要件に合わせてカスタマイズできるので、分解能に境界のあるブリスクエラをペリフェラルに接続することで発生する共通の問題を解消できます。このクロック供給システムによって、複数の種類のクロック ツリーが生成されます。

- システム クロックは、汎用システム クロックの要件に合わせたシステム内で最速のクロックの選択と供給のほか、PSoC デバイスのクロック同期にも使用されます
- バス クロックの 16 ビット分周器は、システム クロックを使用して、データ転送と CPU で使用するシステム バス クロックを生成します。CPU クロックは、バス クロックから直接取られています
- 完全にプログラム可能な 8 個の 16 ビット クロック分周器は、デザイン要件によるコンフィギュレーションに従い、デジタル システム全般で使用するデジタル システム クロックを生成します。デジタル システム クロックは、任意の目的のために、7 つのクロック ソースのうちのいずれかからカスタム クロックを生成することができます。例として、ボーレートジェネレータ、精密な PWM 周期、タイマー クロック、その他多数があります。8 個を超えるデジタル クロック分周器が要求される場合、ユニバーサル デジタル ブロック (UDB) および固定機能のタイマー/カウンタ/ PWM もクロックを生成することができます

■ 4 個の 16 ビット クロック分周器は、ADC など、クロッキングを必要とするアナログ システム コンポーネントのためのクロックを生成します。アナログ クロック分周器には、重要なアナログ イベントがデジタル スイッチング イベントと同時に発生しないようにするために、スキュー制御が組み込まれています。これは、アナログ システムのノイズを低減するためです。

各クロック分周器は、8 入力マルチプレクサ、デューティ比が 50% までのクロックを生成する 16 ビット クロック分周器 (2 以上分周)、システム クロック再同期ロジックおよびデグリッチロジックで構成されています。各デジタル クロック ツリーからの出力は、デジタル システム インターコネクに配線され、その後、クロック システムに入力として戻すことができ、32 ビットまでのクロックのチェーン接続が可能になっています。

6.1.4 USB クロックドメイン

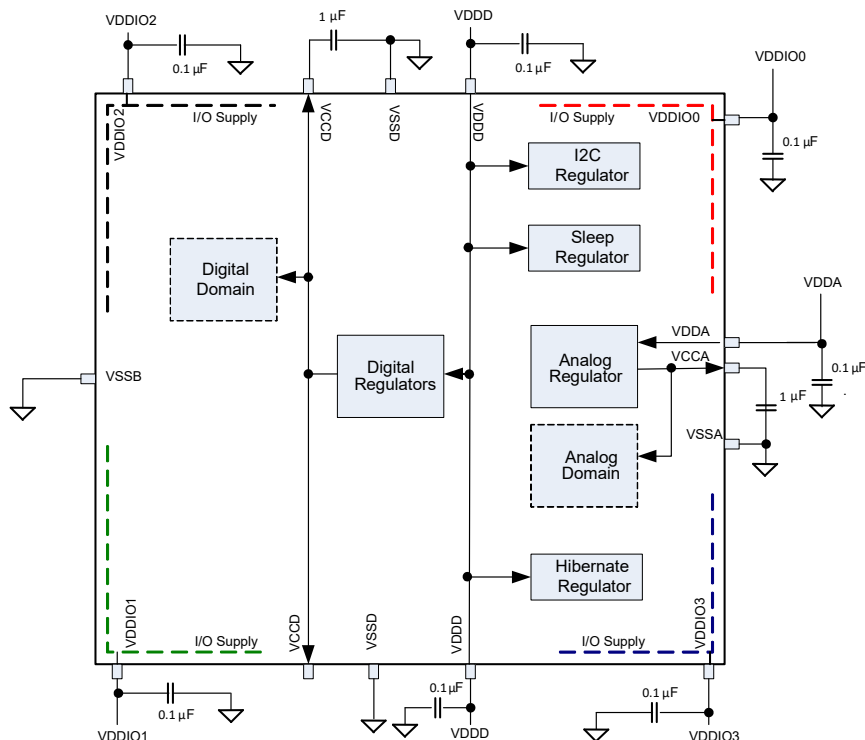
USB クロックドメインは、ほとんどの場合、メイン クロックネットワークとは非同期で動作するという点で独特です。USB ロジックは、チップに対する同期バス インターフェースを含

み、一方、USB データの処理のために非同期クロックで動作します。USB ロジックには 48MHz の周波数が必要です。この周波数として、内部発振器、DSI 信号、水晶発振器の 24MHz を逡倍して生成することもできます。

6.2 電源システム

電源システムは、別々のアナログ、デジタルおよび VDDA、VDDD、VDDIOX と名付けられている I/O 電源ピンで構成されています。このシステムは 2 個の内部 1.8V レギュレータも含み、このレギュレータは内部コア ロジックにデジタル電源 (VCCD) とアナログ電源 (VCCA) を供給します。レギュレータの出力ピン (VCCD および VCCA) と VDDIO ピンには、図 6-4 に示すようにコンデンサを接続する必要があります。2 本の VCCD ピンは、できる限り短い配線で互いに短絡し、 $1\mu\text{F} \pm 10\%$ X5R コンデンサに接続する必要があります。電源システムは、スリープ レギュレータ、I²C レギュレータおよびハイバネーションレギュレータも備えています。

図 6-4. PSoC の電源システム



注：

- 2 本の V_{CCD} ピンは、できる限り短い配線で互いに接続する必要があります。図 2-6 に示すように、デバイスの裏面で接続することが推奨されています。
- V_{DDX} ピンに適用する電圧が 5.5V で、内部レギュレータがコア電圧を供給する内部安定化モードでデバイスに電源を供給することができます。このモードでは、 V_{CCx} ピンに電源を供給せず、 V_{DDx} ピンを V_{CCx} ピンに接続させないでください。
- V_{CCD} および V_{CCA} ピンに直接に電源を供給することにより、内部安定化モードでデバイスに電源を供給することができます。この設定では、 V_{DDP} ピンを V_{CCD} ピンに、 V_{DDA} ピンを V_{CCA} ピンに接続させてください。この設定での許可される電源電圧範囲は 1.71V ~ 1.89V です。この設定では、電源投入の後、内部レギュレータはデフォルトでオンにされ、消費電力を低減するために無効にされます。
- 自身のバイパスコンデンサのために (特に動作電圧および DC バイアス仕様) データシートを調べるのは良いやり方です。いくつかのコンデンサを使用すれば、DC バイアス (図 6-4 での V_{DDX} または V_{CCx}) が定格動作電圧のかなりの割合になる時、実際の容量は大幅に減少します。

6.2.1 電力モード

PSoC 5LP デバイスには、表 6-2 と表 6-3 に示すように 4 種類の電力モードがあります。これらの電力モードによって、必要な機能と処理能力を提供し、同時に、低消費電力および携帯型デバイスにおいて消費電力の最小化とバッテリー寿命の最大化を行うデザインが、容易に可能になります。

PSoC 5LP の電力モード（消費電力の高いものからの順で並びます）:

- アクティブ
- 代替アクティブ
- スリープ
- ハイバネート

アクティブは主要な処理モードです。この機能は設定可能です。電源制御可能な各サブシステムは、個々の電源コンフィギュレーション テンプレート レジスタを使用して有効または無効にすることができます。代替アクティブ モードでは、有効にするサブシステムが少ないため、消費電力を削減できます。スリープ モードでは、テンプレートの設定とは無関係にほとんどのリソースが無効になります。スリープ モードは、指定したスリープ時間とリアル タイム クロック機能を実現できるように最適化されています。消費電力が最も少ないモードはハイバネートモードで、このモードではレジスタと SRAM の状態は保持されますがクロックは作動せず、I/O ピンからのみウェイクアップが可能です。図 6-5 に、電力モード間で許容される遷移を示します。スリープおよびハイバネート モードは、すべての VDDIO 電源が有効な電圧レベルになるまで、使用しないでください。

表 6-2. 電力モード

電力モード	説明	遷移条件	ウェイクアップソース	アクティブなクロック	レギュレータ
アクティブ	主要な動作モード。すべてのペリフェラルは使用可能（プログラム可能）	ウェイクアップ、リセット、手動によるレジスタへの書き込み	任意の割込み	任意（プログラム可能）	すべてのレギュレータは使用可能。外部のレギュレータ機能を使用している場合は、デジタルとアナログレギュレータを無効にすることが可能
代替アクティブ	アクティブ モードと同様。消費電力を削減するために、通常はアクティブなペリフェラルの数を制限してコンフィギュレーション。適用可能なコンフィギュレーションの 1 つは、CPU をオフにして、UDB を処理に使用すること	レジスタへの手動アクセス	任意の割込み	任意（プログラム可能）	すべてのレギュレータは使用可能。外部のレギュレータ機能を使用している場合は、デジタルとアナログレギュレータを無効にすることが可能
スリープ	すべてのサブシステムは自動的に無効になる	レジスタへの手動アクセス	コンパレータ、PICU、I ² C、RTC、CTW、LVD	ILO/kHzECO	デジタルとアナログ両方のレギュレータが動作中。外部のレギュレータ機能を使用している場合は、デジタルとアナログレギュレータを無効にすることが可能
ハイバネート	すべてのサブシステムが自動的に無効になる。ハイバネート レギュレータのみが有効で、その他すべてのペリフェラルおよび内部レギュレータが無効になる最低消費電力モード。コンフィギュレーションおよびメモリの内容は保持される	レジスタへの手動アクセス	PICU		ハイバネート レギュレータのみがアクティブ

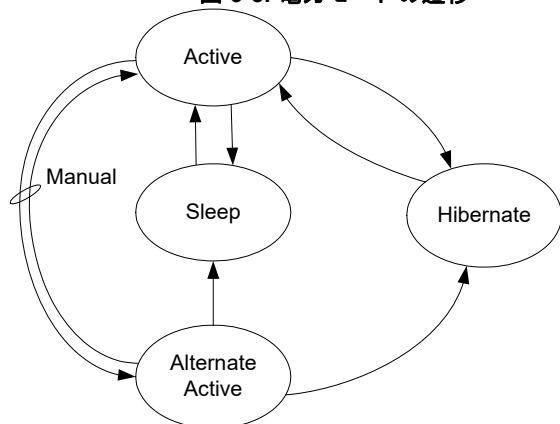
表 6-3. 電力モードのウェイクアップ時間と消費電力

スリープモード	ウェイクアップ時間	電流 (Typ)	コード実行	デジタルリソース	アナログリソース	利用可能なクロックソース	ウェイクアップソース	リセットソース
アクティブ	—	3.1mA ^[8]	有	すべて	すべて	すべて	—	すべて
代替アクティブ	—	—	ユーザー定義	すべて	すべて	すべて	—	すべて
スリープ	< 25μs	2μA	無	I ² C	コンパレータ	ILO/kHzECO	コンパレータ、PICU、I ² C、RTC、CTW、LVD	XRES、LVD、WDR
ハイバネート	< 200μs	300nA	無	無し	無し	無し	PICU	XRES

注:

8. バス クロック オフ。ウェイクアップは 6MHz で CPU 命令バッファから実行されます。をご参照ください。61 ページの表 11-2

図 6-5. 電力モードの遷移



6.2.1.1 アクティブ モード

アクティブ モードは、デバイスの主要な動作モードです。アクティブ モードでは、アクティブ コンフィギュレーション テンプレート ビットによって、利用可能なリソースのうちどれを有効または無効にするかを制御します。リソースを無効にすると、デジタル クロックはゲート制御され、アナログ バイアス電流は無効になり、それに応じて漏れ電流が減少します。ユーザーファームウェアはアクティブ コンフィギュレーション テンプレート ビットをセットおよびクリアすることにより、サブシステムの電源を動的に制御できます。CPU は、自分自身を無効にすることができ、この場合、CPU は、次のウェイクアップ イベントで自動的に再びイネーブルになります。

ウェイクアップ イベントが発生するとグローバル モードは常にアクティブに復帰し、CPU は、そのテンプレートの設定とは無関係に自動的に有効になります。アクティブ モードは、ブート時にデフォルトのグローバル電力モードです。

6.2.1.2 代替アクティブ モード

代替アクティブ モードは、アクティブ モードと非常によく似ています。代替アクティブ モードでは、有効にされるサブシステム数がより少ないため、消費電力を削減できます。CPU とフラッシュをオフにし、ペリフェラルをフルスピードで実行するコンフィギュレーションが考えられます。

6.2.1.3 スリープ モード

復帰に要する時間が 15μs であっても問題がなければ、スリープ モードを使用することで消費電力を削減できます。このウェイクアップ時間の間に、直接アクティブ モードになっても問題ない程度にまで安定したレギュレータ出力が得られます。

6.2.1.4 ハイバネート モード

ハイバネート モードでは、ほぼすべての内部機能が無効になります。内部電圧は、システムを動作状態に保つのに不可欠な最低限のレベルまで低下します。ハイバネート モードではコンフィギュレーション状態は保護され、SRAM メモリは保持されます。デジタル出力として設定された GPIO は、以前の値に保たれ、外部 GPIO ピン割込みの設定は保護されます。デバイスは、外部 I/O 割込みに応答する場合のみハイバネート モードから復帰できます。ハイバネート モードからのレジューム時間は、100μs 未満です。

電流を極めて低くするために、ハイバネート レギュレータは限定された容量を持っています。これは、入力ピンにある信号の周波数を制限します。ハイバネート モードでは、GPIO は、10kHz より速い速度でトグルする必要がありません。ピンを低消費電力モード中に高速でトグルすることが必要な場合は、低消費電力モードの代わりにスリープモードを使ってください。

6.2.1.5 ウェイクアップ イベント

ウェイクアップ イベントは設定可能で、割込みまたはデバイスリセットから発生させることが可能です。ウェイクアップ イベントによって、システムはアクティブ モードに復帰します。ファームウェア対応の割込みソースとしては、内部生成割込み、電源監視、セントラル タイムホイールおよび I/O 割込みがあります。内部割込みは、アナログ コンパレータや UDB など各種ペリフェラルから発生させることができます。セントラル タイムホイールでは、周期的な割込みを行うことにより、システムの実行が可能です。リセット イベント ソースとしては、外部リセット ピン (XRES)、WDT および高精度リセット (PRES) があります。

6.2.2 ブースト コンバータ

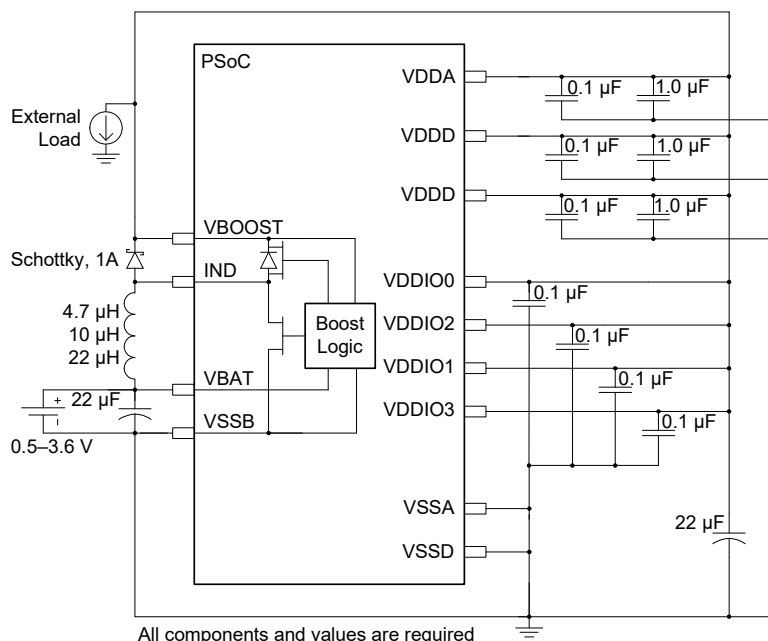
太陽電池パネルや単独の電池などの 1.71V 未満の供給電圧を使用する用途では、内蔵ブースト コンバータを使用して、最低 1.8V の電源電圧を生成します。ブースト コンバータは、供給電圧よりも高い動作電圧を必要とするシステム (例えば、3.3V のシステムで 5.0V の LCD ガラスを駆動) で使用することもできます。1 個のインダクタとショットキー ダイオードおよびコンデンサを追加して、選択可能な出力電圧を生成し、PSoC および基板上のその他のコンポーネントの動作に十分な電流を供給します。

ブースト コンバータは、0.5V ~ 3.6V の入力電圧 V_{BAT} を許容し、最低 5.0V の V_{BAT} でスタートアップできます。コンバータは、100mV インクリメントで 1.8 ~ 5.0V (V_{OUT}) のユーザー設定可能な出力電圧を提供します。一般的に、 V_{BAT} が V_{OUT} 未満ですが、 V_{BAT} が V_{OUT} 以上になる場合、ブースト コンバータでの抵抗損失の原因で、 V_{OUT} は V_{BAT} 未満になります。PSoC デバイスおよびコンポーネントの両方のコンフィギュレーションに応じて、ブロックは 50mA (I_{BOOST}) まで提供できます。PSoC デバイス、PSoC I/O ピン ロードおよび外部コンポーネント ロードを含む設計の電流シンクの合計は I_{BOOST} の指定した最大の電流未満になる必要があります。

ブースト コンバータに関連しているピンは、VBAT、VSSB、VBOOST および IND です。ブーストされた出力電圧は VBOOST ピンで感知され、PSoC デバイスに電力供給する用に使用される場合、チップの供給入力 (VDDA、VDDD、VDDIO) に直接接続する必要があります。

29 ページの図 6-6 に示すように、非ブースト設計で必要とされるコンポーネントに加えて、ブースト コンバータは追加の 4 個のコンポーネントを必要とします。22μF のコンデンサ (C_{BAT}) は VBAT の近くに配置することは必要であり、電池電圧のローカル ブルク ストレージおよびレギュレータ安全性を提供します。電池と VBAT ピン間のダイオードは極性反転保護のために使用しないでください。ダイオード順電圧降下は V_{BAT} 電圧を減少します。4.7μH、10μH または 22μH のインダクタは VBAT および IND ピンの間に配置する必要があります。入力電圧、出力電圧、温度および電流に基づいて、インダクタの値を最適化して、ブースト コンバータの効率を向上します。インダクタのサイズは本章の設計ガイドおよび電気的仕様によって決定されます。インダクタは VBAT と IND ピンの間に 1cm 以内に配置し、最低 750mA の飽和電流を持つ必要があります。ショットキー ダイオードは IND と VBOOST ピンの間に 1cm 以内に配置する必要があります。ショットキー ダイオードは定格フォワード電流が最低 1.0A であり、逆電圧が最低 20V です。22μF のバルク コンデンサ (C_{BOOST}) はレギュレータ出力の安定性のために、VBOOST の近くに配置する必要があります。VBOOST ピンに接続される総容量を計算し、最大の C_{BOOST} 仕様が超えられないように保障することは重要です。電圧軽減による容量損失を最小限にするために、すべてのコンデンサの定格値が最低 10V であるように設定する必要があります。

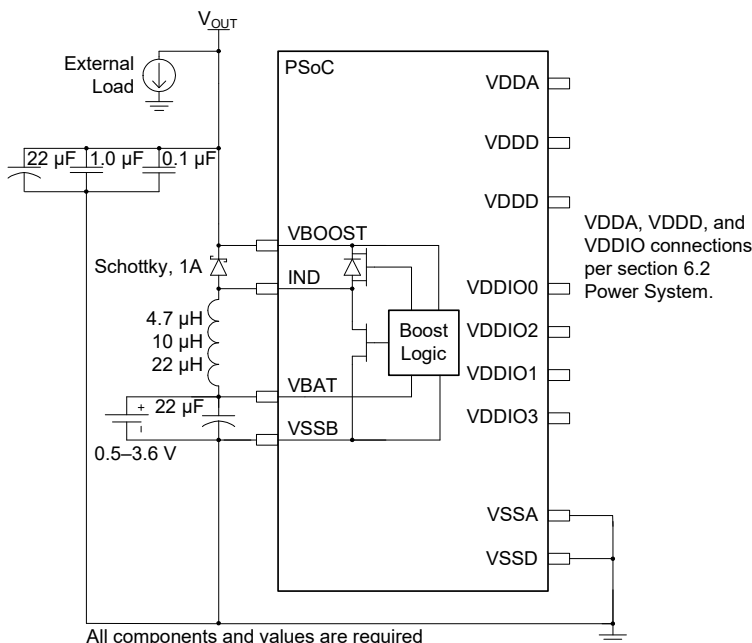
図 6-6. ブースト コンバータが PSoC デバイスに電力供給するアプリケーション



ブースト コンバータは、PSoC デバイスによって直接使用されない電源を生成する可能性があります。白 LED を駆動するように 1.8V の電源を 4.0V までブーストするのはこのユース ケースの例です。ブースト コンバータは PSoC デバイスの V_{DDA} 、 V_{DDD} および V_{DDIO} に電力供給しない場合、PSoC デバイスを供給す

る時と同じような設計規則に準拠する必要がありますが、バルク コンデンサの要件に関して、変更があります。22µF、1.0µF および 0.1µF のコンデンサの並列配置は V_{out} 電源上で必要とし、レギュレータ安全性を保証するように、VBOOST ピンから 1cm 以内に配置することがあります。

図 6-7. ブースト コンバータが PSoC デバイスに電力供給しないアプリケーション



スイッチング周波数は、ブースト コンバータ ブロック内の発振器を使用して 400kHz に設定されます。ブースト コンバータは、アクティブ モードおよびスタンバイ モードの 2 種類

のモードで動作します。アクティブ モードは通常の動作モードで、ブースト レギュレータから安定した出力電圧が常時得られます。スタンバイ モードでは、ほとんどのブースト機能が無効

になるため、ブースト回路の消費電力を削減します。最小の電力（一般的に $< 5\mu\text{A}$ ）のみは、スリープモードで PSoC デバイスに供給されます。ブーストは通常、アクティブ モードで $250\mu\text{A}$ の電流、スタンバイ モードで $25\mu\text{A}$ の電流を引き込みます。ブースト動作モードは合計消費電力を最小化するために、チップの電力モードと併せて使用する必要があります。表 6-4 にチップの各種電力モードで利用可能なブースト パワー モードを示します。

表 6-4. チップ電力モードとブースト電力モードの互換性

チップ電力モード	ブースト電力モード
チップ アクティブ または代替アク ティブ モード	ブーストはアクティブ モードで動作する 必要がある
チップスリープ モード	ブーストはアクティブまたはスタンバイの どちらのモードでも動作可能。ブースト ス タンバイ モードでは、チップはブースト ア クティブ モードのリフレッシュのために 定期的にウェイクアップする必要がある
チップハイバネ ート モード	ブーストはアクティブ モードで動作可能。 ただし、アクティブ モードのブーストでは 消費電流が多くなるので、チップ ハイバ ネート モードではブーストを使用しない ことが推奨

6.2.2.1 ブースト ファームウェア要件

ブースト突入電流が起動時に仕様内であることを確認するために、PSoC Creator IDE で **Enable Fast IMO During Startup** オプションをチェック解除してください。PSoC Creator 内で、**Enable Fast IMO During Startup** オプションはデザイン ワイド リソース (cydwr) ファイルの **System** タブにおいて用意されます。このオプションをチェック解除すると、デバイスを設定するスタートアップ時にデバイスは 12MHz または 48MHz で動作します。遅いクロック速度は、ブースト回路を介しての低減した電流引き込みという結果になります。

6.2.2.2 ブースト設計手順

ブースト コンバーターの正常動作は、各の設計の異なる動作条件に決定される特定のコンポーネント値を必要とします。 C_{BAT} コンデンサ、インダクタ、ショットキー ダイオードおよび C_{BOOST} コンデンサ コンポーネント (66 ページの表 11-7) は電氣的仕様に指定された値で必要とされます。可変のコンポーネントは、インダクタ L_{BOOST} のみです (このインダクタは主に動作条件でのブーストの正常動作のために、二次的に効率のためにサイズ指定)。追加の動作領域の制限は V_{OUT} 、 V_{BAT} 、 I_{OUT} および T_A に存在します。

ブースト コンバーター動作パラメーターおよび L_{BOOST} 値の決定には、以下の手順に従ってください。

1. アプリケーション用に V_{BAT} 、 V_{OUT} 、 T_A および I_{OUT} の希望の動作条件の範囲を選択します。
2. V_{BAT} および V_{OUT} の範囲がブースト動作範囲に適合するかを、 V_{BAT} および V_{OUT} チャート (66 ページの図 11-8) による

T_A の範囲に基づいて検討します。適合しない場合、動作要件を変更、または外部のブースト レギュレータを使用します。

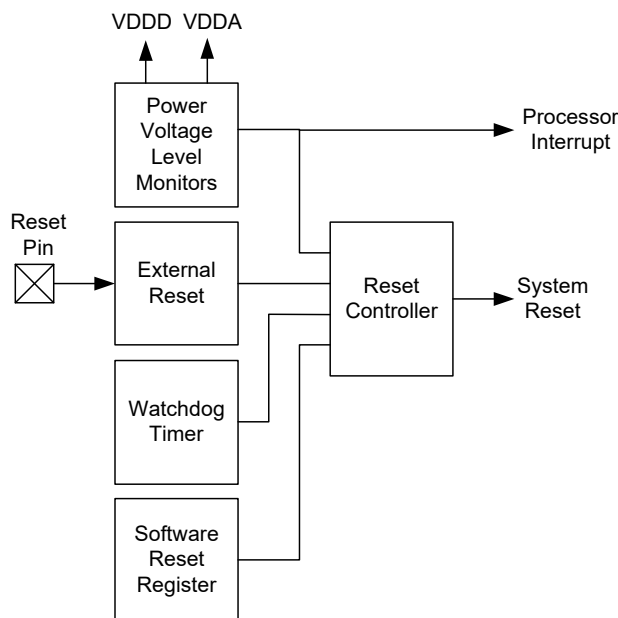
3. 希望の周囲温度 (T_A) の範囲が周囲温度動作範囲に適合するかを、 V_{BAT} および V_{OUT} チャート (66 ページの図 11-8) による T_A の範囲に基づいて検討します。適合しない場合、動作要件を変更して手順 2 に戻り、または外部のブースト レギュレータを使用します。
4. 希望の出力電流 (I_{OUT}) の範囲が出力電流動作範囲に適合するかを、 V_{BAT} および V_{OUT} チャート (66 ページの図 11-9) による I_{OUT} の範囲に基づいて検討します。適合しない場合、動作要件を変更してステップ 2 に戻り、または外部のブースト レギュレータを使用します。
5. V_{BAT} および V_{OUT} チャート (66 ページの図 11-10) による L_{BOOST} の値に基づいてインダクタの許容値を見つけます。
6. インダクタの許容値、インダクタ寸法、インダクタ コスト、ブースト効率および V_{RIPPLE} に基づいて、そのシステムの最適なインダクタ値を選択します。ブースト効率および V_{RIPPLE} の標準値は、**効率対 V_{BAT} および V_{RIPPLE} 対 V_{BAT} チャート** (67 ページの図 11-11 から 67 ページの図 11-14 まで) において記述されます。一般的に、高効率および低 V_{RIPPLE} が最も重要なものである場合、インダクタの最大の許容値を使用してください。低インダクタ コストまたは小さなインダクタのサイズが最も重要なものである場合、小さなインダクタの許容値を使用してください。許容のインダクタ効率、 V_{RIPPLE} 、コストまたは寸法がアプリケーションに合わない場合、外部のブースト レギュレータを使用してください。

6.3 リセット

CY8C52LP では、内部と外部にある複数のリセット ソースを利用できます。リセット ソースは次のとおりです：

- 電源監視: アナログおよびデジタルの電源電圧 V_{DDA} 、 V_{DDD} 、 V_{CCA} および V_{CCD} は、起動、アクティブ モードおよびスリープ モードの際に、数種類のモードで監視されます。いずれかの電圧があらかじめ規定された範囲を超えた場合、リセットが生成されます。リセットの閾値に達する前に、特定の条件下でプロセッサに対し割り込みを生成するために、モニターをプログラムすることが可能です。
- 外部: リセット ピン (XRES) を LOW にすることにより外部ソースからデバイスをリセットできます。XRES ピンには、 V_{DDIO1} に接続する内部プルアップが内蔵されています。リセットから復帰する前に、 V_{DDD} 、 V_{DDA} および V_{DDIO1} に適切な電圧が印加されている必要があります。
- ウォッチドッグ タイマー: ウォッチドッグ タイマーが、プロセッサによる命令の実行を監視します。ウォッチドッグ タイマーがある一定時間内にファームウェアによってリセットされない場合、ウォッチドッグ タイマーがリセットを生成します。
- ソフトウェア: デバイスは、プログラム制御下でリセットできます。

図 6-8. リセット



システム リセットという言葉は、プロセッサだけでなくアナログおよびデジタル ペリフェラルとレジスタもリセットされることを意味しています。

リセット ステータス レジスタは、いくつかのリセットまたは電源電圧監視割込みを示します。プログラムはこのレジスタを確認し、特定の例外状態を検出およびレポートすることができます。このレジスタは、パワーオン リセット後にクリアされます。詳細については、テクニカル リファレンス マニュアルをご参照ください。

6.3.1 リセット ソース

6.3.1.1 電源電圧レベル監視

■ IPOR – 初期パワーオン リセット

初期パワーオンの時、IPOR は V_{DDD} 、 V_{DDA} 、 V_{CCD} および V_{CCA} 電源電圧を監視します。トリップ レベルは精密ではありません。約 1V (0.75V ~ 1.45V) に設定されます。これは、仕様で定められた最低動作電圧未満ですが、内部回路をリセットしてそのリセット状態を保持する十分な電圧です。モニターは、幅が少なくとも 150ns のリセット パルスを生成します。1 つ以上の電圧がゆっくり上昇した場合、このパルス幅はさらに広がります。

ブートの後、IPOR 回路は無効にされ、電圧監視は精密低電圧リセット (PRES) 回路に渡されます。

■ PRES - 精密低電圧リセット

この回路は、起動後にアナログおよびデジタルの内部レギュレータの出力を監視します。レギュレータの出力は、精密リファレンス電圧と比較されます。PRES のトリップに対する応答は IPOR のリセットと同じです。

通常動作モードでは、プログラムによってデジタル PRES 回路を無効にすることはできません。アナログレギュレータは無効にできません。これは、PRES のアナログ部分も無効にします。スリープ モード中にレギュレータが定期的にアクティブ化され (バズされ)、監視サービスを行い、ウェイクアップ時間を短縮するという一つの例外を除き、PRES 回路はスリープおよびハイバネート モード中には自動的に無効にされます。この時、電圧の定期的な監視を可能にするために PRES 回路もバズされます。

■ ALVI、DLVI、AHVI – アナログ/デジタル低電圧割込み、アナログ高電圧割込み

割込み回路は、 V_{DDA} および V_{DDD} が所定の電圧範囲外の場合を検出するために用意されています。AHVI の場合、 V_{DDA} を固定トリップ レベルと比較します。ALVI および DLVI の場合、 V_{DDA} と V_{DDD} はプログラム可能なトリップ レベルと表 6-5 に示すように比較します。ALVI および DLVI は、割込みではなくデバイスのリセットを生成するように設定することもできます。

表 6-5. アナログ/デジタル低電圧割込み、アナログ高電圧割込み

割込み	電源	通常電圧範囲	使用可能なトリップ設定
DLVI	V_{DDD}	1.71V ~ 5.5V	1.70V ~ 5.45V、250mV ステップでインクリメント
ALVI	V_{DDA}	1.71V ~ 5.5V	1.70V ~ 5.45V、250mV ステップでインクリメント
AHVI	V_{DDA}	1.71V ~ 5.5V	5.75V

この監視は、IPOR が終了するまでは無効になります。スリープ モード中、これらの回路は周期的にアクティブ化されます (バズします)。バズ中に割込みが発生すると、システムはまずウェイクアップ シーケンスに入ります。その後、割込みが認識され、処理できるようになります。

バズ周波数は調整可能であり、任意の電圧が範囲外にあると予期される最小時間より低く設定する必要があります。バズ周波数を調整する方法の詳細については、TRM をご参照ください。

6.3.1.2 その他のリセット ソース

■ XRES - 外部リセット

PSoC 5LP には、専用の XRES ピンがあります。そのピンをアクティブ LOW にしている間、デバイスはリセット状態に保持されます。XRES に対する応答は、IPOR のリセットと同じです。

外部リセットは、アクティブ LOW です。内部プルアップ抵抗が含まれています。XRES は、スリープおよびハイバネート モード中、アクティブな状態です。

XRES がデアサートされた後、リアサートするまでに、少なくとも 10μs 経過する必要があります。

■ SRES - ソフトウェア リセット

リセットはソフトウェア リセット レジスタにビットをセットすることにより、プログラム制御下で命令できます。これは、プログラムにより直接に、または DMA アクセスにより間接的に行われます。SRES に対する応答は、IPOR のリセット後と同じです。

この機能を無効にするために、別のレジスタ ビットがあります。

■ WRES - ウォッチドッグ タイマー リセット

ウォッチドッグ リセットは、ソフトウェア プログラムが正常に実行されていない状態を検出します。正常にプログラムを実行中であることをウォッチドッグ タイマーに通知するために、プログラムは周期的にタイマーをリセットする必要があります。ユーザーが指定した時間までにタイマーがリセットされないと、リセットが生成されます。

注: IPOR は、ウォッチドッグ機能を無効にします。プログラムは、コードの適切な位置でレジスタ ビットをセットすることでウォッチドッグ機能を有効にする必要があります。このセットしたビットは、IPOR パワーオン リセット イベント以外、再びクリアできません。

6.4 I/O システムおよび配線

PSoC の I/O は非常に柔軟です。すべての GPIO が、アナログ I/O およびデジタル I/O の機能を備えています。すべての I/O に多数の駆動モードがあり、これらは POR で設定されます。PSoC では、VDDIO ピンを通して最大 4 種類の独立した I/O 電圧ドメインも利用できます。

すべてのデバイスに 2 種類の I/O ピンがあり、USB 付きのものは 3 種類の I/O ピンを備えています。汎用 I/O (GPIO) と特殊 I/O (SIO) は、どちらも類似したデジタル機能を提供します。それらの主な違いは、アナログ機能と駆動能力です。USB が組み込まれたデバイスも 2 本の USBIO ピンを備えており、これらのピンは特定の USB 機能のほかに、限定的な GPIO の機能もサポートします。

すべての I/O ピンは、CPU とデジタル ペリフェラルの両方について、デジタル入力および出力として使用できます。さらに、すべての I/O ピンが割込みを生成できます。PSoC I/O の柔軟で高度な機能は、任意の信号を任意のピンに割り当てる機能に組み合わせて、回路デザインと基板レイアウトを大幅に容易にします。すべての GPIO ピンは、アナログ入力、CapSense^[9] および LCD セグメントの駆動に使用でき、一方、SIO ピンは、VDDA を超える電圧およびプログラム可能な出力電圧用に使用します。

■ GPIO と SIO の両方でサポートされる機能：

- ユーザー プログラム可能なポート リセット状態
- 最大 4 グループの I/O に対し、独立した I/O 電源電圧供給
- デジタル ペリフェラルは DSI を使用してピンを接続
- CPU および DMA に対し入力、出力、またはその両方
- 8 種類の駆動モード
- すべてのピンを、立ち上がりエッジ、立ち下がりエッジまたは両方のエッジとして設定された割込みソースとすることが可能

とが可能。必要な場合、DSI を通じて、レベル センシティブな割込みをサポート

- 各ポートごとの専用ポート割込みベクタ
- スルー レートを制御したデジタル出力駆動モード
- ポート ベースまたはピン ベースのどちらかで、アクセスポート制御およびコンフィギュレーションレジスタ
- 独立したポート読みだし (PS) とポート書き込み (DR) データレジスタによる、読み出し、修正、書き込みによるエラー回避
- ピンごとの特殊機能
- GPIO ピンにのみ用意されたその他の機能：
 - LCD を備えたデバイスでの LCD セグメント駆動
 - CapSense^[9]
 - アナログ入力および出力機能
 - 連続 100μA のクランプ電流容量
 - 1.71V の低電圧まで機能する標準駆動能力
- SIO ピンにのみ用意されたその他の機能：
 - GPIO よりも高い駆動能力
 - ホット スワップ機能 (どの動作 VDD でも 5V 耐性がある)
 - 1.2V までのプログラム可能な安定化された入力および出力駆動レベル
 - アナログ入力、CapSense、LCD 機能なし
 - 過電圧許容範囲最大 5.5V
 - SIO は汎用アナログ コンパレータとして動作可能
- USBIO の特長：
 - フルスPEED USB 2.0 準拠の I/O
 - 汎用用途向けとして最も高い駆動能力
 - CPU および DMA に対する入力、出力、またはその両方
 - デジタル ペリフェラルに対する入力、出力、またはその両方
 - デジタル出力 (CMOS) 駆動モード
 - 各ピンを、立ち上がりエッジ、立ち下がりエッジまたは両方のエッジとして設定した割込みソースとすることが可能

注：

9. オペアンプ出力を持つ GPIO を CapSense に使用することは推奨されません。

図 6-9. GPIO のブロック図

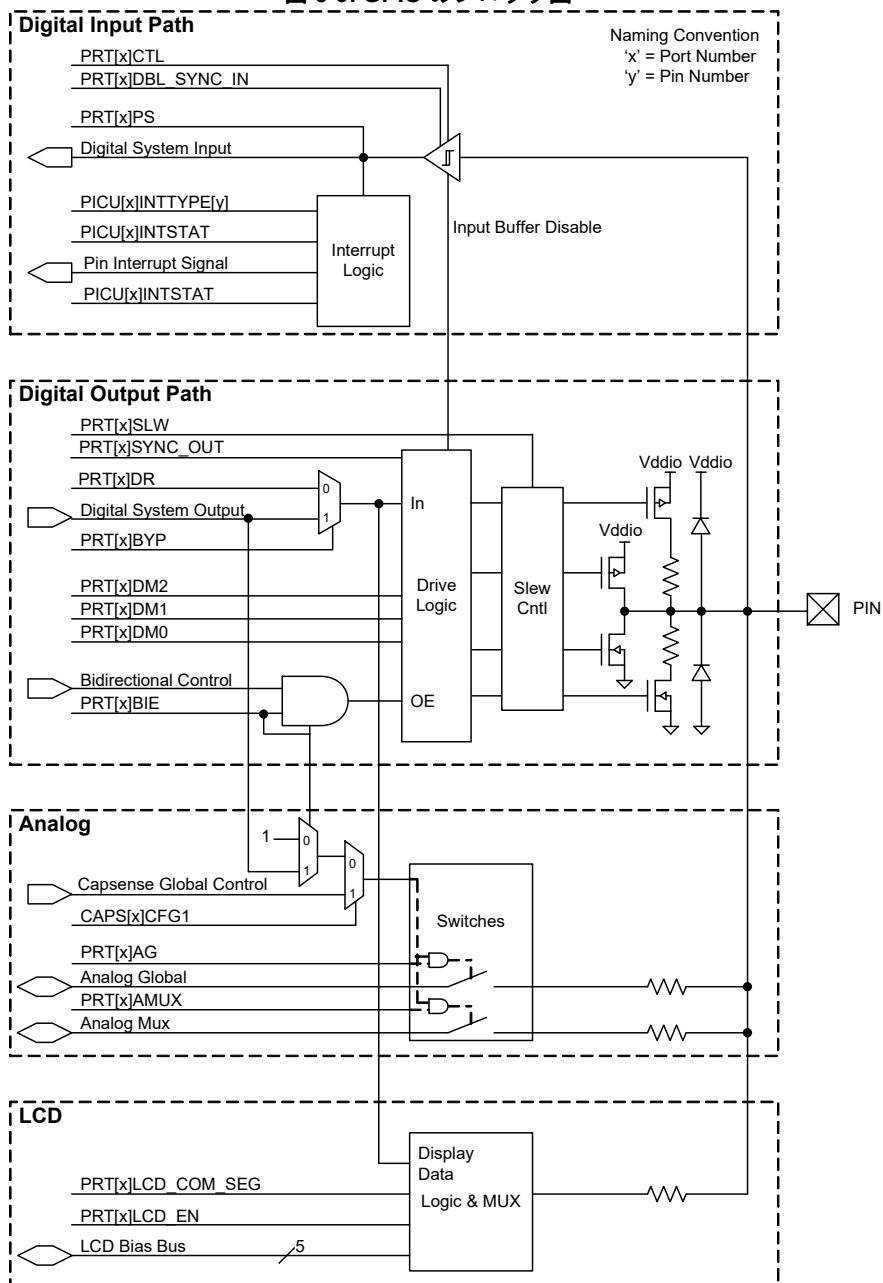


図 6-10. SIO 入力／出力のブロック図

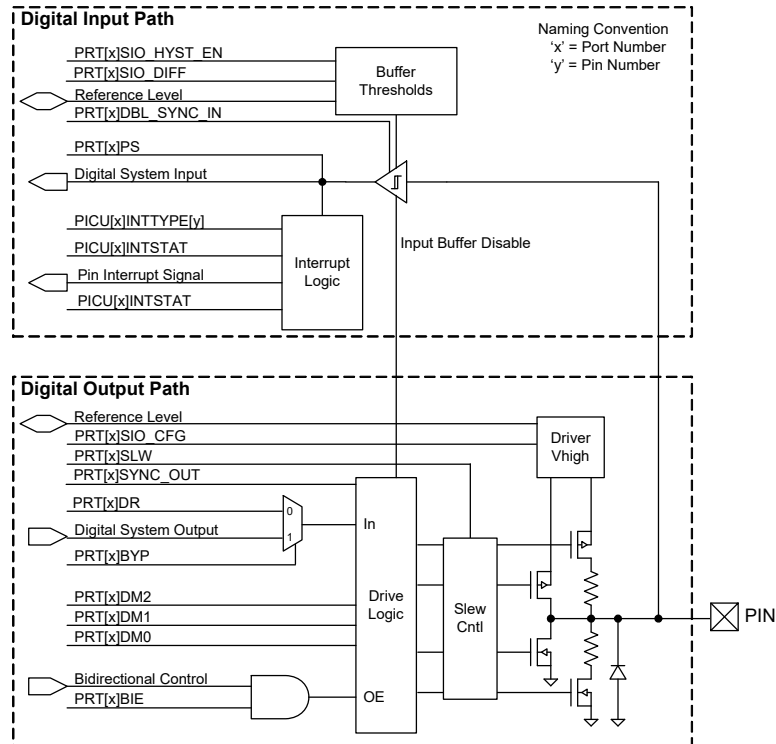
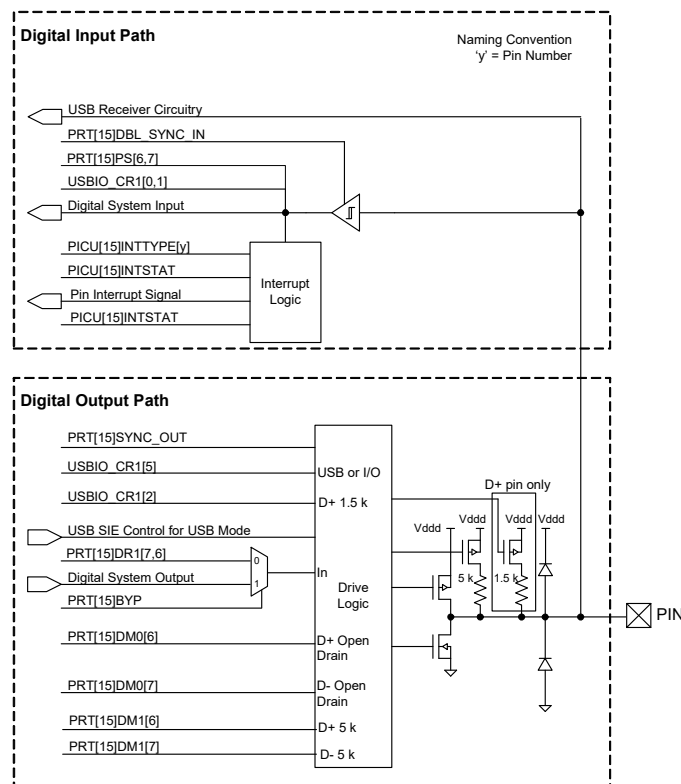


図 6-11. USBIO のブロック図

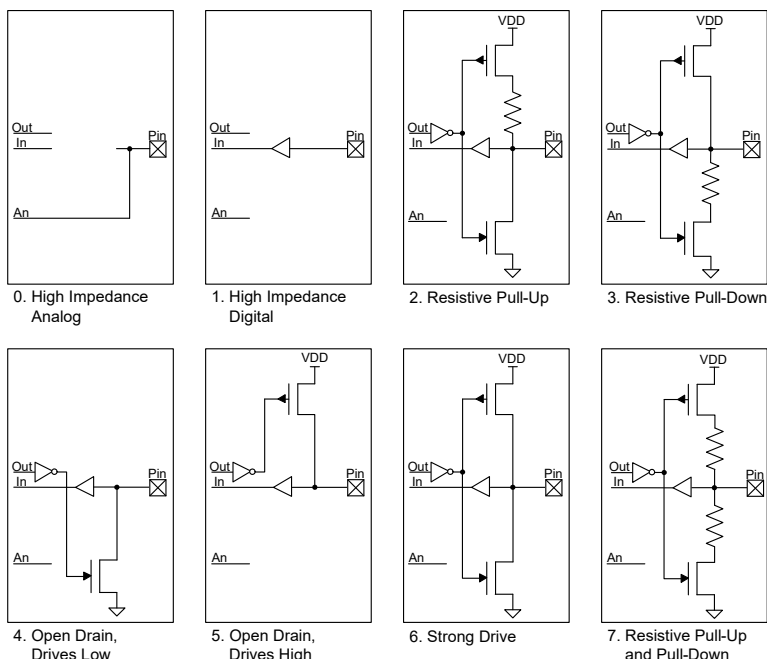


6.4.1 駆動モード

GPIO ピンおよび SIO ピンは、表 6-6 に示す 8 種類の駆動モードのいずれかにピンごとに設定できます。ピンごとに 3 つのコンフィギュレーション ビット (DM[2:0]) を使用し、PRTxDM[2:0] レジスタで設定します。図 6-12 に、8 種類の駆動モードのそれぞれのピン配置図を示します。表 6-6 に、ポート データ レジスタの値で決まる I/O ピンの駆動状態を示します。また、バイパスモードを選択した場合にデジタル アレイ信号で決まる I/O ピ

ンの駆動状態も示します。実際の I/O ピン電圧は、選択した駆動モードとピンに対する負荷の組み合わせによって決まります。たとえば、GPIO ピンを抵抗プルアップ モードに設定し、フローティング状態で HIGH に駆動した場合、ピンで測定される電圧は HIGH 論理状態となります。同じ GPIO ピンを外部でグランドに接続すると、電圧がピンに現れないので LOW 論理状態となります。

図 6-12. 駆動モード



The 'Out' connection is driven from either the Digital System (when the Digital Output terminal is connected) or the Data Register (when HW connection is disabled).
 The 'In' connection drives the Pin State register, and the Digital System if the Digital Input terminal is enabled and connected.
 The 'An' connection connects to the Analog System.

表 6-6. 駆動モード

図	駆動モード	PRTxDM2	PRTxDM1	PRTxDM0	PRTxDR = 1	PRTxDR = 0
0	高インピーダンス アナログ	0	0	0	High-Z	High-Z
1	高インピーダンス デジタル	0	0	1	High-Z	High-Z
2	抵抗プルアップ ^[10]	0	1	0	抵抗 HIGH (5K)	ストロング LOW
3	抵抗プルダウン ^[10]	0	1	1	ストロング HIGH	抵抗 LOW (5K)
4	オープン ドレイン、LOW 駆動	1	0	0	High-Z	ストロング LOW
5	オープン ドレイン、HIGH 駆動	1	0	1	ストロング HIGH	High-Z
6	ストロング 駆動	1	1	0	ストロング HIGH	ストロング LOW
7	抵抗プルアップとプルダウン ^[10]	1	1	1	抵抗 HIGH (5K)	抵抗 LOW (5K)

注:

10. 抵抗プルアップおよびプルダウンは、安定化出力モードでは SIO に使用できません。

USBIO ピン (P15[7] と P15[6]) は I/O モードで有効にされた場合、駆動モードを限定的に制御します。ドライブ モードは、PRT15.DM0[7, 6] レジスタを使って設定されます。USBIO ピンでは、抵抗プル オプションも利用できます。これは、PRT15.DM1[7, 6] レジスタを使って有効にできます。USB モードで有効になっている場合は、駆動モード制御は、USB ピンのコンフィギュレーションに影響を与えることはありません。GPIO および SIO の設定とは異なり、ポート全体のコンフィギュレーション レジスタは、USB ドライブ モード ビットを構成しません。表 6-7 に、USBIO ピンのドライブ モード コンフィギュレーションを示します。

表 6-7. USBIO ドライブ モード (P15[7] および P15[6])

PRT15.DM1[7, 6] プルアップ イネーブル	PRT15.DM0[7, 6] 駆動モード イネーブル	PRT15.DR[7, 6] = 1	PRT15.DR[7, 6] = 0	説明
0	0	High Z	ストロング LOW	オープン ドレイン、ストロング LOW
0	1	ストロング HIGH	ストロング LOW	ストロング出力
1	0	抵抗 HIGH (5k)	ストロング LOW	抵抗プルアップ、ストロング LOW
1	1	ストロング HIGH	ストロング LOW	ストロング出力

■ 高インピーダンスのアナログ

出力ドライバとデジタル入力バッファの両方がオフになった状態のデフォルト リセット状態。これによって、フローティング電圧によって発生した電流が I/O デジタル入力バッファに流れることを防止できます。この状態は、フローティング状態のピンまたはアナログ電圧をサポートしているピンに対して推奨されます。高インピーダンスのアナログ ピンは、デジタル入力機能を備えていません。

スリープ モードでチップ電流を最も低くするには、すべての I/O を高インピーダンス アナログ モードに設定するか、または PSoC デバイスまたは外部回路によって供給される電源供給レールの電圧でそのピンを駆動します。

■ 高インピーダンスのデジタル

入力バッファは、デジタル信号入力に対し有効になります。これは、デジタル入力に対し推奨される標準の高インピーダンス (HiZ) 状態です。

■ 抵抗プルアップまたは抵抗プルダウン

抵抗プルアップまたは抵抗プルダウンはそれぞれ、データ状態の一方に直列抵抗、他方にストロング駆動をします。ピンはこれらのモードにおいてデジタル入力および出力に使用できます。メカニカル スイッチへのインターフェースが、これらのモードの一般的な用途です。抵抗プルアップおよびプルダウンは安定化出力モードで SIO と共に使用できません。

■ オープン ドレイン、HIGH に駆動およびオープン ドレイン、LOW に駆動

オープン ドレイン モードでは、データ状態の一方が高インピーダンスになり、他方がストロング駆動になります。ピンはこれらのモードにおいてデジタル入力および出力に使用できます。これらのモードの一般的な用途は、I²C バス信号ラインの駆動です。

■ ストロング駆動

HIGH または LOW の状態でストロング CMOS 出力駆動を提供します。これは、ピンの標準出力モードです。ストロング駆動モードのピンは、通常の場合で入力として使用しないでください。このモードは、多くの場合、デジタル信号出力または外部 FET を駆動するために使用します。

■ 抵抗プルアップとプルダウン

抵抗プルアップと抵抗プルダウン モードと似ていますが、ピンが常に抵抗と直列になっている点が異なります。HIGH データ状態はプルアップになり、一方 LOW データ状態はプルダウンになります。このモードは、短絡を生じる可能性のある他の信号でバスが駆動される場合に最も多く使用します。抵抗プルアップおよびプルダウンは安定化出力モードで SIO と共に使用できません。

6.4.2 ピン レジスタ

ピンのコンフィギュレーションとピンとの通信を行うレジスタは 2 つの形態で提供され、同じレジスタをどちらの形態でも使用できます。

すべての I/O レジスタは、標準ポートの形態で利用でき、この場合、レジスタの各ビットがポートピンの 1 つに対応します。このレジスタの形態は、複数のポートピンを同時に素早く設定し直す場合に効率的です。

I/O レジスタはピンの形態でも利用できます。この場合、最も一般的に使用する 8 つのポート レジスタ ビットを組み合わせ、ピンごとの 1 つのレジスタにします。これにより、1 回のレジスタ書き込みで、個別のピンのコンフィギュレーション変更を非常に素早く行うことができます。

6.4.3 双方向モード

高速の双方向機能により、補助制御バス信号の状態に基づいて、入力信号に対する高インピーダンス デジタル駆動モードと、PRTxDM[2:0] レジスタを使用して設定されたストロング駆動モードなどの、出力信号に対するユーザー選択による別の駆動モードの両方を 1 本のピンに設定できます。双方向機能は、プロセッサ バスおよび出力バッファの動的ハードウェア制御を必要とする SPI スレーブ MISO ピンなどの通信インターフェースに役立ちます。

補助制御バスは、最大 16 個の UDB またはデジタル ペリフェラルで生成されたイネーブル出力信号を 1 本以上のピンに接続します。

6.4.4 スルー レート制限モード

GPIO ピンと SIO ピンは、抵抗駆動モードではないストロング駆動モードとオープン ドレイン駆動モードで、高速と低速の 2 つの出力スルー レートのオプションを備えています。低速エッジ レート オプションは、EMI が低減されるため、速度が重要ではない (一般に 1MHz 未満の) 信号で推奨されます。高速スルー レートは、1MHz から 33MHz までの範囲の信号に使用します。スルー レートは、各ピンに対し独立に設定でき、PRTxSLW レジスタで設定します。

6.4.5 ピン割込み

すべての GPIO ピンおよび SIO ピンは、システムに対する割込みを生成できます。各ポートの 8 本のピンはすべて、それぞれ固有のポート割込み制御ユニット (PICU) および関連する割込みベクタにインターフェースしています。ポートの各ピンは、立ち上がりエッジ、立ち下がりエッジ、両エッジの検出時に割込みを生成するように、あるいは割込みを生成しないように設定することができます。

ピンごとに設定したモードに基づき、ピンに割込みイベントが発生するたびに、割込みステータスレジスタの対応するステータスビットが「1」にセットされ、割込み要求が割込みコントローラーに送信されます。各 PICU は、割込みコントローラー内の固有の割込みベクタのほか、ピンステータスレジスタも備えており、ピンのレベルで割込みソースを容易に判断できます。

ポートピン割込みは、すべてのスリープモードにおいてアクティブのままであるため、PSoC デバイスは、外部で生成された割込みによってウェイクアップできます。

レベルセンシティブな割込みは直接サポートされていません。必要な時は UDB がこの機能をシステムに提供します。

6.4.6 入力バッファモード

GPIO および SIO の入力バッファは、デフォルトの CMOS 入力閾値用またはオプションの LVTTTL 入力閾値用として、ポートレベルで設定できます。すべての入力バッファにシュミットトリガーが組み込まれ、入力ヒステリシスが設けられています。さらに、どの駆動モードにおいても、個別のピン入力バッファを無効にすることができます。

6.4.7 I/O 電源

デバイスおよびパッケージに応じて、最大で 4 つの I/O ピン電源が用意されています。それぞれの I/O 電源電圧は、チップのアナログピンの電圧 (VDDA) 以下でなければなりません。この機能によって、ユーザーはデバイス上のピンごとに異なる I/O 電圧レベルを設定できます。ある特定のポートおよびピンについて VDDIO の能力を知るには、具体的なデバイスパッケージのピン配置をご参照ください。

SIO ポートピンは、**調整可能な出力レベル**に記載されている通り、その他の安定化した高い出力能力をサポートしています。

6.4.8 アナログ接続

アナログ接続は GPIO ピンのみに適用されています。すべての GPIO ピンは、アナログ入力または出力として使用することができます。ピン上に与えられるアナログ電圧は、GPIO を含む VDDIO の電源電圧より低くなければなりません。アナロググローバルバスの 1 つまたはアナログマルチプレクサバスの 1 つに GPIO ピンを接続することで、ADC やコンパレータなどの任意の内部アナログリソースに任意のピンを接続できます。さらに、選択されたピンで、高電流 DAC に直接接続できます。

6.4.9 CapSense

この節は GPIO ピンのみに適用されます。すべての GPIO ピンを、CapSense のボタンとスライダの作成に使用することができます^[1]。詳細は、54 ページの「CapSense」をご参照ください。

6.4.10 LCD セグメント駆動

この節は GPIO ピンのみに適用されます。任意の GPIO ピンは LCD 直接駆動のために、セグメントとコモン駆動信号生成に使用することができます。詳細は、53 ページの「LCD 直接駆動」をご参照ください。

6.4.11 調整可能な出力レベル

この節は SIO ピンのみに適用されます。SIO ポートピンは、その SIO の VDDIO よりも電圧が低い外部信号へのインターフェースに対し、安定化した HIGH 出力レベルを供給する機能をサポートしています。SIO ピンは、内部で生成されたリファレンスによって、標準 VDDIO レベルまたは安定化出力を出力するように個別に設定できます。一般的に、電圧 DAC (VDAC) を使用してリファレンスを生成します (図 6-13 をご参照ください)。54 ページの「DAC」には、VDAC の使用のほか、SIO ピンへのリファレンス接続に関するさらに詳しい情報が記載されています。抵抗プルアップおよびプルダウンモードは、安定化出力モード下の SIO と共に使用できません。

6.4.12 調整可能な入力レベル

この節は SIO ピンのみに適用されます。SIO ピンは、デフォルトで標準 CMOS および LVTTTL 入力レベルをサポートしていますが、プログラム可能なレベルを持つ差動モードもサポートしています。SIO ピンは、ペアにグループ分けされています。各ペアはリファレンスジェネレータブロックを共用し、そのブロックを使用し、VDDIO とは異なる電圧の外部信号へのインターフェースに対してデジタル入力バッファリファレンスレベルを設定します。このリファレンスによって、論理 HIGH レベルに対するピン電圧閾値が設定されます (図 6-13 をご参照ください)。利用可能な入力閾値は次の通りです：

■ $0.5 \times VDDIO$

■ $0.4 \times VDDIO$

■ $0.5 \times VREF$

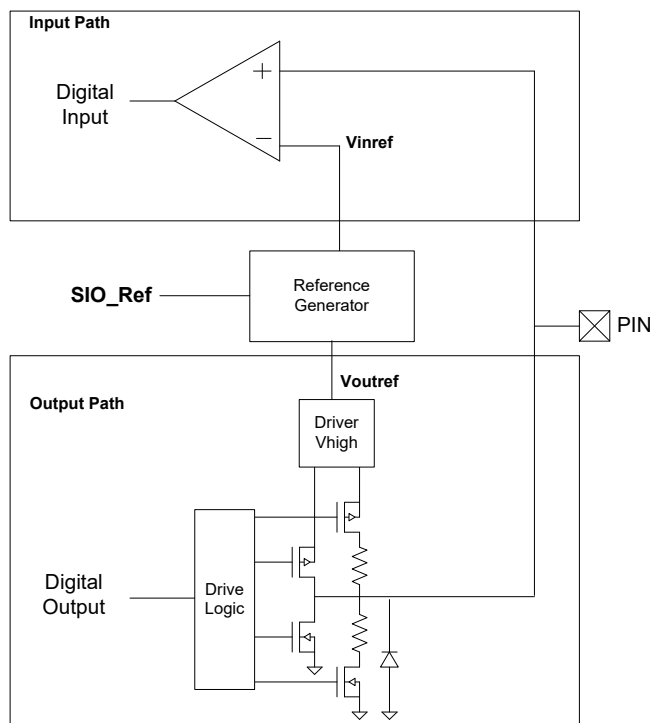
■ VREF

一般的に、電圧 DAC (VDAC) を使用して VREF リファレンスを生成します。54 ページの「DAC」には、VDAC の使用のほか、SIO ピンへのリファレンス接続に関するさらに詳しい情報が記載されています。

注：

11. オペアンプ出力を持つ GPIO を CapSense に使用することは推奨されません。

図 6-13. 入力と出力の SIO 参照



■ GPIO ピンは、電流制限抵抗を使用して 100 μ A に制限しなければなりません。GPIO ピンは、ピン電圧を、VDDIO 電源電圧よりもほぼダイオード 1 個分高い値に固定します

■ GPIO ピンをアナログ入出力用に設定している場合は、ピン上のアナログ電圧がその GPIO の VDDIO 電圧を超えないようにする必要があります

この機能の一般的な用途は、さまざまなデバイスが異なる供給電圧で動作している I²C などのバスへの接続です。I²C の場合、SIO ピンがオープンドレイン、LOW 駆動のモードに PSoC チップを設定します。これにより、I²C バス電圧を PSoC のピン電源電圧よりも高い値に外部でプルアップできます。たとえば、PSoC チップは 1.8V で、外部デバイスは 5V から動作させることができます。SIO ピンの VIH 電圧レベルと VIL 電圧レベルは、対応する VDDIO 電源ピンでの電圧によって決められることにご注意ください。

SIO ピンは、0 (高インピーダンス アナログ)、1 (高インピーダンス デジタル)、または 4 (オープンドレイン駆動 LOW) のモードの内の 1 つのモードに移行する必要があります。詳細は、図 6-12 をご参照ください。すべての I/O ピンについて、デバイスの絶対最大定格を順守する必要があります。

6.4.16 リセットのコンフィギュレーション

リセットがアクティブである間、すべての I/O はリセットされ、高インピーダンスのアナログ状態のままで維持されます。リセットが解除された後、状態はポートごとにプルダウンまたはプルアップに再設定できます。正しいリセット動作を保証するために、ポートのリセット コンフィギュレーション データは専用の不揮発性レジスタに保存されます。保存されたリセットデータは、リセット解除時にポート リセット コンフィギュレーション レジスタに自動的に転送されます。

6.4.17 低消費電力機能

どの低消費電力モードでも、I/O ピンの状態は、デバイスがウェイクアップしてその状態が変更またはリセットされるまで保持されます。デバイスをウェイクアップするには、ピン割込みを使用します。その理由は、どの低消費電力モードでもポート割込みロジックが機能を持続できるからです。

6.4.18 特別なピンの機能

デバイスのいくつかのピンは、GPIO または SIO の機能に加えて特別な機能が追加されています。特別な機能のピンを 6 ページの「ピン配置」に示します。特別な機能は次の通りです：

■ デジタル

- 4 ~ 25MHz 水晶発振器
- 32.768kHz 水晶発振器
- I²C アドレス一致時にスリープからウェイクアップ。スリープからのウェイクアップが不要な場合は、任意の I/O ピンを I²C に使用可能
- JTAG インターフェース ピン
- SWD インターフェース ピン
- SWV インターフェース ピン
- TRACEPORT インターフェース ピン
- 外部リセット

■ アナログ

- 高電流 IDAC 出力
- 外部リファレンス入力

6.4.19 JTAG バウンダリ スキャン

デバイスは、基板レベルのテスト用として、すべてのピンで標準の JTAG バウンダリ スキャン チェーンをサポートしています。

6.4.13 コンパレータとしての SIO

この節は SIO ピンのみに適用されます。調整可能な入力レベル節で説明した、SIO の調整可能な入力レベル機能を使用して、コンパレータを構成できます。コンパレータの閾値は、SIO のリファレンス ジェネレータから得られます。リファレンス ジェネレータでは、アナログ グローバル ラインを介して配線されたアナログ信号をコンパレータの閾値として設定するためのオプションがあります。対となる SIO ピンが同じ閾値を共有することにご注意ください。

34 ページの図 6-10 のデジタル入力パスでこの機能を説明します。この図で、「リファレンス レベル」は、アナログ グローバル経由で送られるアナログ信号です。SIO の入力バッファ向けヒステリシス機能を有効にすることで、コンパレータのノイズ耐性を高くすることもできます。

6.4.14 ホット スワップ

この節は SIO ピンのみに適用されます。SIO ピンは、PSoC デバイ스에電源が供給されていない場合でも、SIO ピンに接続された信号を読み出さずにアプリケーションにプラグインできる「ホット スワップ」という機能をサポートしています。これにより、電源がオフになっている PSoC でも外部デバイスに対して高インピーダンス負荷を維持できると同時に、SIO ピンの保護ダイオードを介した PSoC への電力供給も防止できます。

動作中の I²C バスに接続している間にデバイスをオン/オフにすると、SIO ピンに過渡状態が発生することがあります。全体の I²C バス設計では、これについて注意する必要があります。

6.4.15 過電圧許容範囲

すべての I/O ピンは、どの動作 VDD でも過電圧の許容範囲を持っています。

■ SIO ピンは、外部回路に対し高インピーダンス負荷となるため、電流の制限はありません

7. デジタルサブシステム

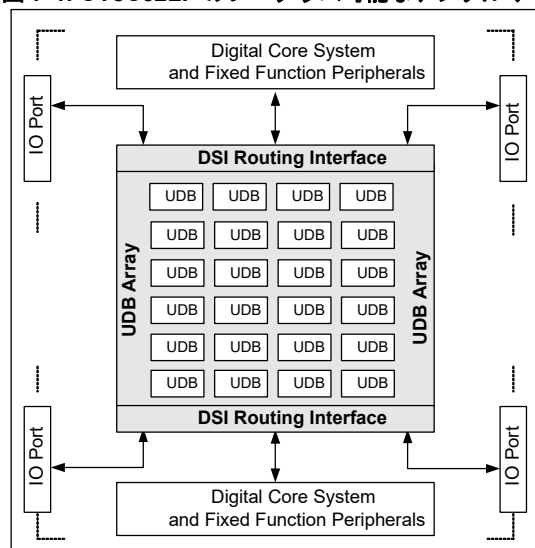
プログラム可能なデジタルシステムにより、アプリケーションに応じて標準的、もしくは高度なデジタルペリフェラルおよびカスタムロジック機能を組み合わせることができます。これらのペリフェラルおよびロジックは相互接続に加え、デバイス上の任意のピンとの接続も可能で、高度なデザインの柔軟性とIPセキュリティを実現します。

プログラム可能なデジタルシステムの特長について概要をここに示し、その機能とアーキテクチャの概観を示します。設計者は、ハードウェアレベルとレジスタレベルで、プログラム可能なデジタルシステムに直接作業する必要はありません。PSoC Creator によって高レベルの回路図キャプチャグラフィカルインターフェースが提供され、PLD と同様にリソースが自動的に配置および配線されます。

プログラム可能なデジタルシステムの主なコンポーネントは次の通りです：

- **ユニバーサル デジタル ブロック (UDB)** – これは、プログラム可能なデジタルシステムの主要機能を形成します。UDB は、一般的な組み込みペリフェラルや、アプリケーションやデザイン特有のカスタマイズされた機能を作成するために最適化されたロジック (PLD) および構造ロジック (データパス) を集めたものです。
- **ユニバーサル デジタル ブロック アレイ** – プログラム可能な相互接続のマトリックス内に UDB ブロックが配列されています。この UDB アレイはどこでも同じ構造になっているので、アレイ上にデジタル機能を柔軟にマッピングできます。このアレイは、UDB とデジタルシステム インターコネクトの間の幅広い柔軟な配線相互接続をサポートします。
- **デジタルシステム インターコネクト (DSI) - UDB、機能固定ペリフェラル、I/O ピン、割込み、DMA からのデジタル信号およびその他のシステム コア信号は、DSI に接続され、最大限のデバイス相互接続を可能にします。DSI は UDB と併用することで、任意のデジタル機能を任意のピンに割り当てることができるほか、さまざまな機能のルーティングをすることが可能です。**

図 7-1. CY8C52LP のプログラム可能なデジタルアーキテクチャ



7.1 ペリフェラルの例

CY8C52LP ファミリのユニバーサル デジタル ブロック (UDB) およびアナログ ブロックの柔軟性によって、ユーザーはさまざまなコンポーネント (ペリフェラル) を作成することができます。最も一般的なペリフェラルは、サイプレスによって作成および性能評価が行われ、PSoC Creator のコンポーネント カタログに表示されています。ただし、ユーザーも、PSoC Creator を使用して独自のカスタム コンポーネントを作成することができます。ユーザーは PSoC Creator を使用して、たとえばセンサーインターフェースや独自のアルゴリズム、ディスプレイ インターフェースなどの独自コンポーネントを作成し、自分の組織内で再使用することもできます。

PSoC Creator から利用できるコンポーネントは、データシートに記載するには難しいほど、数多くあります。また、これらのコンポーネントは常に増え続けています。CY8C52LP ファミリの使用可能なコンポーネントの 1 つで、このデータシートに明示的な記載がないものは UART コンポーネントです。

7.1.1 デジタル コンポーネントの例

CY8C52LP ファミリによって PSoC Creator の中で利用できるデジタル コンポーネントの例を以下に示します。コンポーネントで使用される正確なハードウェア リソース (UDB、配線、RAM、フラッシュ) は、そのコンポーネントについて PSoC Creator の中で選択した機能によって変わります。

- **通信**
 - I²C
 - UART
 - SPI
- **機能**
 - EMIF
 - PWM
 - タイマー
 - カウンター
 -
- **ロジック**
 - NOT
 - OR
 - XOR
 - AND

7.1.2 アナログ コンポーネントの例

CY8C52LP ファミリの PSoC Creator の中で利用できるアナログ コンポーネントの例を以下に示します。コンポーネントで使用される正確なハードウェア リソース (SC/CT ブロック、配線、RAM、フラッシュ) は、そのコンポーネントについて PSoC Creator の中で選択した機能によって変わります。

- **ADC**
 - 逐次比較 ADC (SAR)
- **DAC**
 - 電流
 - 電圧
 - PWM
- **コンパレータ**

7.1.3 システム ファンクション コンポーネントの例

CY8C52LP ファミリで PSoC Creator の中で利用できるシステム ファンクション コンポーネントの例を以下に示します。コンポーネントで使用される正確なハードウェア リソース (UDB、配線、RAM、フラッシュ) は、そのコンポーネントについて PSoC Creator の中で選択した機能によって変わります。

- CapSense
- LCD 駆動
- LCD 制御
- フィルター

7.1.4 PSoC Creator を使用したデザイン

7.1.4.1 一般的な IDE を超えた IDE

優れたデザイン ツールは、デザインの複雑度にかかわらず迅速な開発と配備を可能にします。また、学習時間を最小限に抑えます。新しいデザインを実稼働環境に統合するのに必要な作業を簡素化します。

PSoC Creator はそうしたデザイン ツールです。

PSoC Creator は、フル機能のハードウェアおよびソフトウェア デザイン用統合開発環境 (IDE) です。特に PSoC デバイスに最適化されており、最新の強力なソフトウェア開発プラットフォームに洗練されたグラフィカルなデザイン入力ツールが組み合わされています。この独自の組み合わせにより、現在最も柔軟な組み込みデザイン プラットフォームとなっています。

グラフィカルなデザイン入力により、特定部分のコンフィギュレーション作業が簡素化されます。設計者は、コンポーネントの多彩なカタログから必要な機能を選択し、デザインに組み込むことができます。コンポーネントはすべてパラメーター化されており、必要に応じて機能をカスタマイズできるエディタ ダイアログが用意されています。

PSoC Creator は、自動的にクロックを設定し、ユーザーが選択したピンに I/O を接続し、次に API を生成して、アプリケーションがハードウェア全体を制御できるようにします。PSoC デバイスのコンフィギュレーション変更は、新しいコンポーネントを追加し、そのパラメータを設定し、プロジェクトを再ビルドするだけの簡単な作業です。

ユーザーは、開発のどの段階でも自由にハードウェアのコンフィギュレーションを変更でき、ターゲット プロセッサさえも変更が可能です。ユーザーのアプリケーション (ハードウェアおよびソフトウェア) のターゲットを新しいデバイスに変更するには、たとえば 8 ビット ファミリから 32 ビット ファミリへの変更の場合でも、新しいデバイスを選択し、再ビルドするだけです。

さらに、別の C コンパイラに変更し、この切り替えを評価することもできます。コンポーネントは移植性を持たせたデザインになっており、あらゆるファミリのすべてのデバイスについておよびサポートされるすべてのツール チェーンについて確認済みです。コンパイラの切り替えは容易で、プロジェクト オブジェクトを編集し、生成された API またはブート コードからのエラーがなくアプリケーションを再ビルドするだけです。

7.1.4.2 コンポーネント カタログ

コンポーネント カタログとは、デバイス機能を選択して PSoC デバイスをカスタマイズするための再利用可能なデザインを集めたものです。ロジック ゲートやデバイス レジスタなどの単純な基本要素から、デジタル タイマー、カウンタ、PWM、さらには ADC、DAC などのアナログ コンポーネントや、I²C、USB などの通信プロトコルまで、精選された内容が含まれています。利用可能なペリフェラルの詳細は、[39 ページの「ペリフェラルの例」](#)をご参照ください。内容はすべて十分に特性評価され、推奨コード例、AC/DC 仕様およびユーザー コードが用意されている API とともに、データシートに記載されています。

7.1.4.3 デザインの再利用

シンボル エディタを使用すれば、再利用可能なコンポーネントを開発することができ、それによって将来のデザイン時間を大幅に短縮することが可能です。ユーザーはシンボルを描き、そのシンボルを実証済みのデザインに関連付けるだけです。PSoC Creator では、新しいシンボルをコンポーネント カタログ内の任意の場所に、サイプレスが提供するコンポーネントとともに置くことができます。その後は実装の詳細に立ち返る必要なしに、何度でもプロジェクトでコンポーネントを再利用することができます。

7.1.4.4 ソフトウェア開発

ツールには、高度にカスタマイズ可能な最新のユーザー インターフェイスが付いています。これには、プロジェクト管理と、C およびアセンブラ ソース コード用の統合エディタのほか、デザイン入力ツールも含まれます。

プロジェクト ビルド管理は、Arm 社、Keil™、CodeSourcery (GNU) などトップレベルの市販製品 メーカーのコンパイラ技術を利用しています。コード サイズまたは最終製品の配布に制限がない無償版の Keil C51 および Arm 用 GNU C コンパイラ (GCC) が、このツールの配布に含まれています。プロフェッショナル版の Keil C51 製品および Arm RealView™ コンパイラがサポートされているため、その他の最適化コンパイラへのアップグレードは容易です。

7.1.4.5 非侵入型のデバッグング

PSoC Creator のデバッグでは、すべてのデバイスで JTAG (4 線) および SWD (2 線) のデバッグ接続が用意されているため、最小限の命令でターゲット デバイスの完全な制御が可能です。ブレークポイントおよびコード実行コマンドは、すべて、ツールバーのボタンから直ちに使うことができ、充実したウィンドウ群 (レジスタ、ローカル、ウォッチ、呼び出しスタック、メモリ、ペリフェラル) によって、他に類のないレベルでシステム内を見通すことができます。

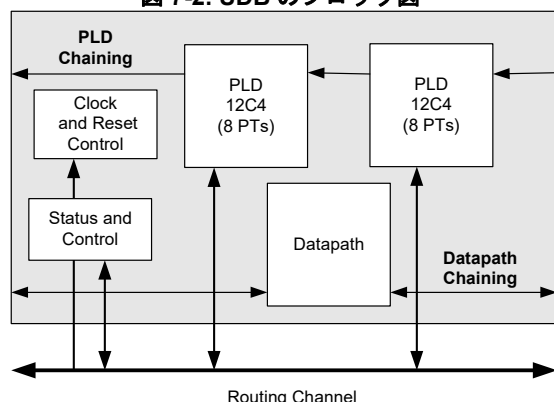
PSoC Creator は、ユーザーがデザインを完成させ、その後、将来にわたってメンテナンスと拡張を行うために必要なすべてのツールを備えています。デザイン フローのすべてのステップが慎重に統合化および最適化されているため、使いやすく、またユーザーの生産性が最大化されます。

7.2 ユニバーサル デジタル ブロック

ユニバーサル デジタル ブロック (UDB) は、次世代の PSoC 組込みデジタル ペリフェラル機能への発展の一段階を表しています。第 1 世代の PSoC デジタル ブロックのアーキテクチャでは、少数の固定機能と少数のオプションのみが利用可能な大まかなプログラマビリティが提供されています。新しい UDB アーキテクチャでは、コンフィギュレーションのきめ細かさや実装の効率との間に最適なバランスが成り立っています。この手法の土台は、アプリケーションの要件に合わせてデバイスのデジタル動作をカスタマイズできる機能を提供することです。

これを実現するために、UDB は、ロジック (PLD)、構造ロジック (データパス) およびこれらの要素、I/O 接続、その他のペリフェラルの間の相互接続を提供する柔軟なルーティング方式の組み合わせで構成されています。UDB の機能は、1 つの UDB、若しくは 1 つの UDB の一部分 (未使用のリソースは他の機能に利用可能) で実現される単純な自己完結型機能から、複数の UDB を必要とするより複雑な機能があります。基本機能の例はタイマー、カウンタ、CRC ジェネレータ、PWM、デッドバンド ジェネレータおよび UART、SPI および I²C などの通信機能です。また、PLD ブロックおよび接続性は、フル機能の汎用プログラマブルなロジックを使用可能なリソースの範囲内で供給します。

図 7-2. UDB のブロック図



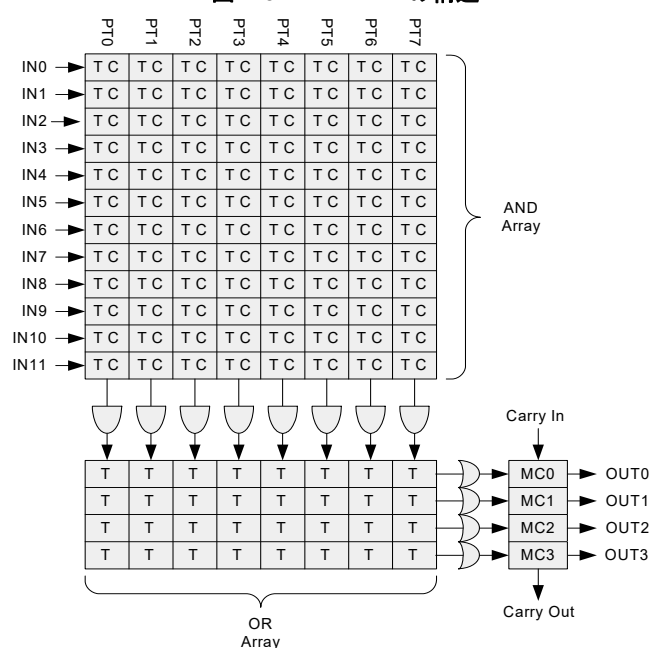
UDB の主なコンポーネント ブロックは次の通りです：

- **PLD ブロック**：UDB あたり 2 個の小さい PLD があります。これらのブロックは、配線アレイから入力を取り、レジスタードまたは組み合わせ積和型ロジックを形成します。PLD は、ステート マシン、状態ビットおよび組み合わせ論理式を実現するために使用します。PLD コンフィギュレーションは、グラフィカルな基本要素から自動的に生成されます。
- **データパス モジュール**：この 8 ビット幅のデータパスには、動的に構成可能な ALU を実現する構造化ロジック、各種の比較コンフィギュレーションおよび条件生成が含まれています。このブロックには、入力／出力 FIFO も含まれていますが、これは、CPU/DMA システムと UDB の間の主要な並列データインターフェースです。
- **ステータスおよび制御モジュール**：このブロックの主な役割は、CPU ファームウェアが UDB 動作とやり取りおよび同期するための手段を提供することです。
- **クロックおよびリセット モジュール**：このブロックは、UDB のクロックおよびリセットの選択と制御を提供します。

7.2.1 PLD モジュール

PLD ブロックの主な目的は、ロジック表現、ステート マシン、シーケンサ、ルックアップ テーブルおよびデコーダを実現することです。最も簡単な使用モデルでは、PLD ブロックをその上に汎用 RTL が合成およびマッピングされるスタンドアローンのリソースとみなします。より一般的で効率的な使用モデルは、PLD とデータパス ブロックの組み合わせによるデジタル機能の作成で、この場合、PLD によってランダム論理と機能の状態部分のみを実現し、一方、データパス (ALU) によって、より構造化された要素を実現します。

図 7-3. PLD 12C4 の構造

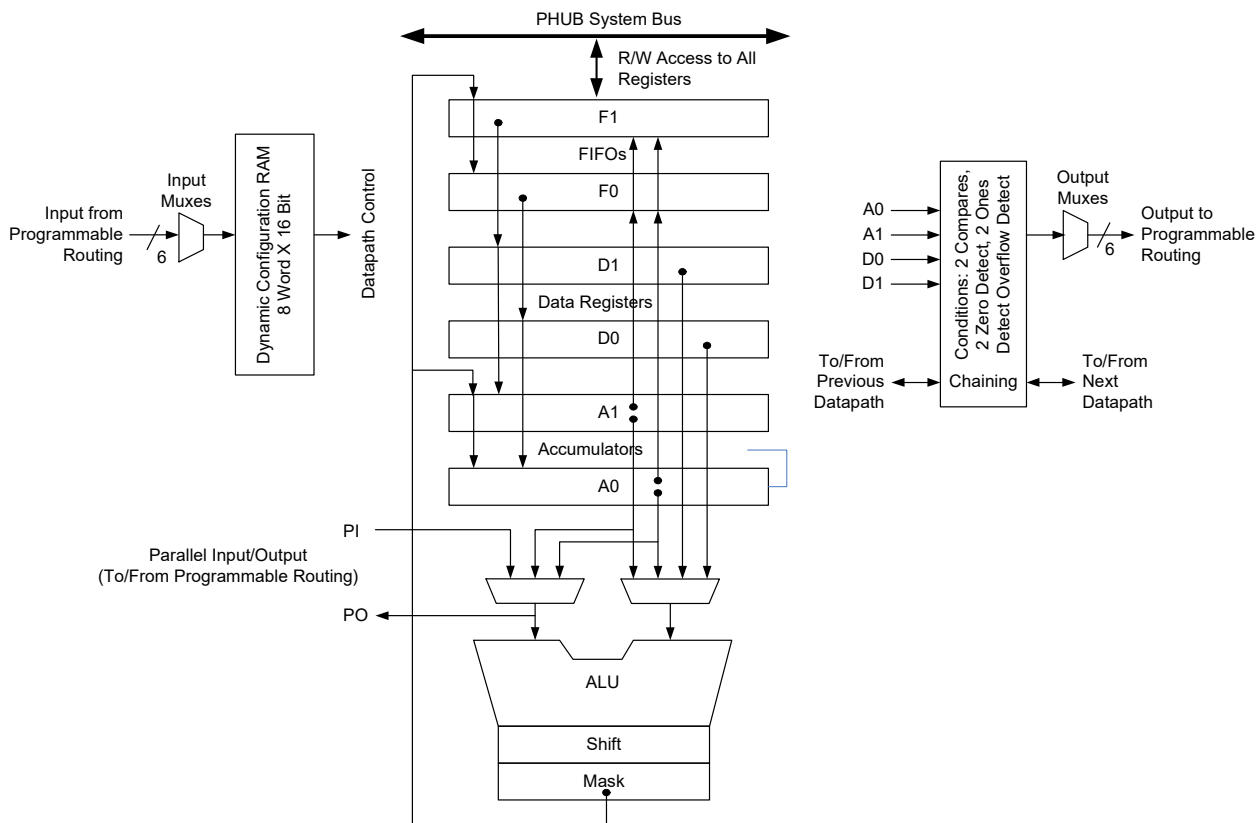


1 個の 12C4 PLD ブロックを図 7-3 に示します。PLD には 12 の入力があり、これらが 8 つのプロダクト タームにわたって供給されます。各プロダクト ターム (AND 関数) は、入力幅を 1 ～ 12 とすることができ、ある与えられたプロダクト タームにおいて各入力の真 (T) または補数 (C) を選択できます。プロダクト タームを合計して (OR 関数)、PLD 出力が生成されます。合計は、1 ～ 8 プロダクト タームの幅とすることができます。12C4 内の「C」は、OR ゲートの幅 (この場合の 8) が、すべての出力にわたり一定である (22V10 デバイスの場合のように変数ではない) ことを示しています。この PLA 様の構造によって最大限の柔軟性が得られ、また、すべての入力と出力が入れ替え可能であることが保証されるため、ソフトウェア ツールによる割り付けを容易に行うことができます。各 UDB に 2 個の 12C4 PLD が含まれています。

7.2.2 データパス モジュール

データパスには、8 ビット シングル サイクル ALU と、関連する比較および条件生成ロジックが含まれています。このデータパス ブロックは、タイマー、カウンタ、積分器、PWM、PRS、CRC、シフタ、デッドバンド ジェネレータ、その他多数の組込み機能を実現するために最適化されています。

図 7-4. データパスの最上位



7.2.2.1 ワーキング レジスタ

データパスは主に 6 個のワーキング レジスタを備えます。これらのレジスタは通常の操作で CPU ファームウェアまたは DMA によってアクセスされます。

表 7-1. ワーキング データパス レジスタ

レジスタ名	機能	説明
A0、A1	アキュムレータ	ALU のソースとシンクであり、比較のソース
D0、D1	データ レジスタ	ALU のソースであり、比較のソース
F0、F1	FIFO	システム バスへの主要なインターフェース。データ レジスタおよびアキュムレータのデータソースとすることが可能であり、アキュムレータまたは ALU からデータを取り込むことも可能。各 FIFO の深さは 4 バイト

7.2.2.2 ダイナミック コンフィギュレーション RAM

動的コンフィギュレーションとは、シーケンサの制御下で、サイクルごとにデータパスの機能および内部コンフィギュレーションを変更する機能のことです。これは、8 ワード x 16 ビットのコンフィギュレーション RAM を使用して実現され、この RAM に他と重複しない 8 ワード x 16 ビット幅のコンフィギュレーションが保存されます。この RAM へのアドレス入力によ

てシーケンスが制御されます。このアドレス入力、UDB 配線マトリックスに接続した任意のブロック (最も一般的なものは、PLD ロジック、I/O ピン) から得ることができるほか、このブロックまたは他のデータパス ブロックの出力から得ることもできます。

ALU

ALUは、8つの汎用機能を実行します。それらは以下の通りです:

- インクリメント
- デクリメント
- 加算
- 減算
- 論理 AND
- 論理 OR
- 論理 XOR
- シフト レジスタ、マスク、または別の UDB レジスタに ALU を介して値を渡すために使用されるパス。

ALU の動作とは独立に、以下の機能を利用できます:

- 左にシフト
- 右にシフト
- ニブルのスワップ
- ビット単位の OR マスク

7.2.2.3 条件付き

各データパスには、ビットマスキングのオプションを備えた2つの比較があります。比較オペランドには、さまざまなコンフィギュレーションの、2つのアキュムレータと2つのデータレジスタが含まれます。その他の条件として、ゼロ検出、すべて1の検出およびオーバーフローがあります。これらの条件が主要なデータパス出力で、これらの中から選択したものを、UDB 配線マトリックスに駆動出力することができます。条件付き計算では、近接 UDB への内蔵チェーン接続を使用して、配線リソースを使う必要なしにより広いデータ幅で動作できます。

7.2.2.4 可変 MSB

算術関数およびシフト関数の最上位ビットは、プログラムによる指定が可能です。これは、可変幅 CRC および PRS 機能をサポートし、ALU の出力マスキングと組み合わせて、任意の幅のタイマー、カウンタおよびシフトブロックを実現することができます。

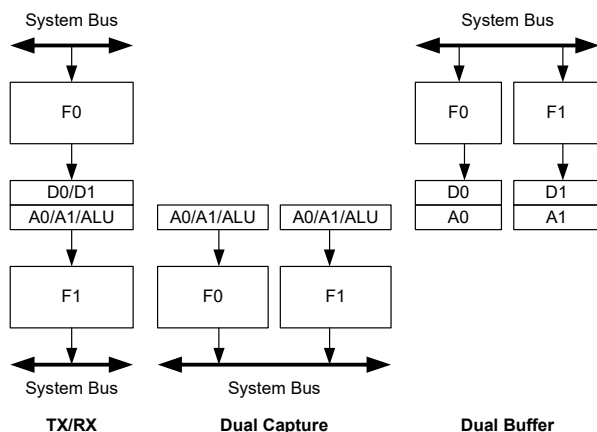
7.2.2.5 内蔵 CRC/PRS

データパスは、シングル サイクル巡回冗長検査 (CRC) の計算および任意幅、任意多項式の疑似ランダム シーケンス (PRS) 生成に対するサポートを内蔵しています。8 ビットよりも長い CRC/PRS 機能は、PLD ロジックと組み合わせて実現することができます。あるいは、内蔵のチェーン接続を使用してこの機能を隣接 UDB に拡張することができます。

7.2.2.6 入力/出力 FIFO

各データパスには、深さ 4 バイトの FIFO が 2 つ含まれ、これらは独立に、入力バッファ (システムバスが FIFO に書き込み、データパスが内部的にこの FIFO を読み取る) として、または出力バッファ (データパスが内部的に FIFO に書き込み、システムバスがこの FIFO から読み取る) として設定できます。FIFO は、データパスの出力として選択可能なステータスを生成し、したがって、配線に出力して、シーケンサ、割込み、または DMA とやり取りすることができます。

図 7-5. FIFO のコンフィギュレーションの例



7.2.2.7 チェーン接続

データパスは、桁上げやシフトデータなどの条件および信号を、近接するデータパスにチェーン接続し、より高精度の算術、シフト、CRC/PRS 機能を作るように設定できます。

7.2.2.8 時分割多重化

オーバー サンプリングされたアプリケーションまたは高いクロック速度を必要としないアプリケーションでは、データパス内の単一 ALU ブロックを、2 組のレジスタと条件ジェネレータで効率的に共用することができます。ALU からのデータの桁上げおよびシフトアウトはレジスタに記憶され、したがって、後に続くサイクルで入力として選択することができます。これにより、1 つの (8 ビット) データパスで 16 ビットの機能がサポートされます。

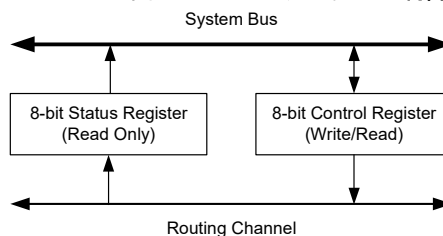
7.2.2.9 データパス I/O

データパスを配線マトリックスに接続する入力と出力は、それぞれ 6 本あります。配線からの入力によって、各サイクルで実行するデータパス動作についてのコンフィギュレーションおよびシリアルデータ入力が与えられます。入力、他の UDB ブロック、他のデバイスペリフェラル、デバイス I/O ピン、その他から接続することができます。配線への出力は、生成された条件およびシリアルデータ出力から選択できます。出力は、他の UDB ブロック、デバイスペリフェラル、割込みコントローラおよび DMA コントローラ、I/O ピン、その他に接続することができます。

7.2.3 ステータスおよび制御モジュール

この回路の主な目的は、CPU ファームウェアと内部 UDB 動作とのやり取りを調整することです。

図 7-6. ステータスおよび制御レジスタ



制御レジスタのビットは、システムバスによって書き込みが可能で、これを使用して配線マトリックス内に駆動し、ファームウェアで UDB 処理の状態を制御することを可能にします。ステータスレジスタは読み出し専用になっており、これを使用して、内部配線から直接 UDB 内部の状態をシステムバスに読み出すことができます。これにより、ファームウェアは UDB 処理の状態を監視できます。これらのレジスタの各ビットは、配線マトリックスへの接続がプログラム可能になっており、アプリケーションの要件に応じて配線接続を行います。

7.2.3.10 使用例

制御入力の例として、制御レジスタ内の 1 つのビットを機能イネーブルビットとして割り付けることができます。機能を有効にする方法はいくつかあります。1 つの方法として、制御ビット出力を 1 つ以上の UDB 内のクロック制御ブロックに接続し、選択した UDB ブロックに対するクロックイネーブルの役割を持たせることが考えられます。ステータスの例は、PLD またはデータパスブロックが、「比較が真」などの条件を生成しており、これがステータスレジスタによってキャプチャおよびラッチされ、次に CPU ファームウェアによって読み出される (およびクリアされる) 場合です。

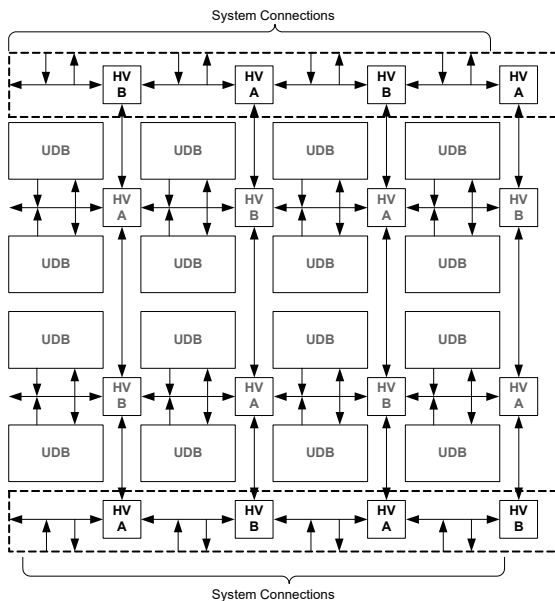
7.2.3.11 クロック生成

2 つの PLD、データパスおよびステータスと制御を含む UDB の各サブコンポーネントブロックは、クロック選択および制御ブロックを備えています。これにより、UDB コンポーネントブロックへ細かくクロックリソースが割り当てられ、未使用の UDB リソースを他の機能に使用することでシステムの効率を最大化することが可能になります。

7.3 UDB アレイの説明

図 7-7 に、16 個の UDB からなるアレイの例を示します。アレイのコアに加えて、アレイの最上部と最下部に DSI 配線インターフェースがあります。図に明示されていない他のインターフェースとして、バスおよびクロック分配のためのシステムインターフェースがあります。UDB アレイには、それぞれが 96 本の線からなる複数の水平および垂直配線チャンネルが含まれています。UDB への線の接続は、水平／垂直方向のインターセクションおよび DSI インターフェースにおいて、高度に入れ替え可能になっており、PSoC Creator で効率的に自動配線を行うことができます。さらに、この配線は垂直および水平の配線に沿って線ごとにセグメント化できるため、配線の柔軟性と可用性がさらに高くなります。

図 7-7. デジタル システム インターフェースの構造



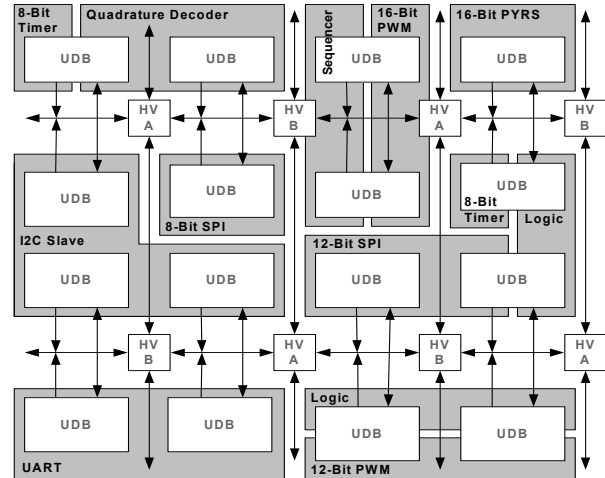
7.3.1 UDB アレイのプログラム可能なリソース

図 7-8 に、16 個の UDB のバンクに機能をマッピングする方法の例を示します。UDB の主なプログラム可能なリソースは、2 つの PLD、1 本のデータバスおよび 1 つのステータス／制御レジスタです。これらのリソースは、独立に選択可能なクロックを備えているため、独立して割り付けられ、したがって、未使用のブロックは無関係な他の機能に割り付けられます。

この例は、アレイの左上隅にある 8 ビット タイマーです。この機能に必要なものは、UDB 内の 1 個のデータバスだけであるため、PLD リソースは別の機能に割り付けることができます。直交デコーダなどの機能は、1 個の UDB で提供可能な数よりも多くの PLD ロジックを必要とする場合があります、この例では 8 ビット タイマー UDB の未使用の PLD ブロックを利用することができます。

す。UDB アレイ内のプログラム可能なリソースは、一般的に均質になっているため、機能をアレイ内で任意の境界にマッピングできます。

図 7-8. UDB バンク内の機能マッピングの例



7.4 DSI 配線インターフェースの説明

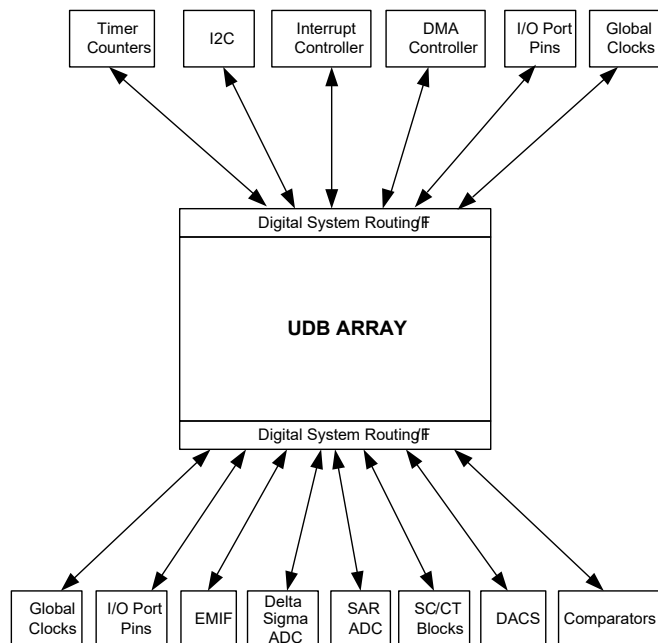
DSI 配線インターフェースは、UDB アレイ コアの最上部と最下部での水平および垂直配線チャンネルの接続部で、UDB、IO、アナログ ペリフェラル、割り込み、DMA および固定機能ペリフェラルを含むデバイス ペリフェラル間で汎用のプログラム可能な配線を行うことができます。

図 7-9 に、UDB アレイ配線マトリックスと他のデバイス ペリフェラルとを接続するデジタル システム インターコネクトの概念を示します。プログラム可能な配線を必要とする任意のデジタル コアまたは固定機能ペリフェラルが、このインターフェースに接続されます。

このカテゴリの信号には、以下のものが含まれます：

- システム内のすべてのデジタル ペリフェラルからの割り込み要求
- システム内のすべてのデジタル ペリフェラルからの DMA 要求
- I/O への柔軟な配線を必要とするデジタル ペリフェラルのデータ信号
- UDB への接続を必要とするデジタル ペリフェラルのデータ信号
- 割り込みおよび DMA コントローラーへの接続
- I/O ピンへの接続
- アナログ システムのデジタル信号への接続

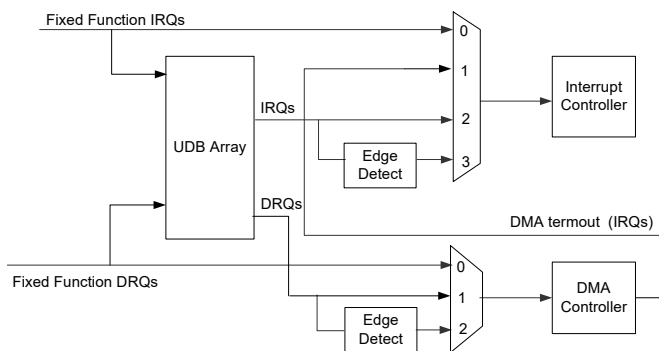
図 7-9. デジタル システム インターコネクト



CY8C52LP のプログラム可能なアーキテクチャにおいて、割り込みおよび DMA の配線は非常に柔軟です。割り込み要求を生成できる多数の固定機能ペリフェラルに加えて、UDB アレイ配線内のどのデータ信号も要求の生成に使用することができます。独立した複数の割り込み要求を 1 個のペリフェラルで生成することにより、システムおよびファームウェアのデザインを簡素化できます。図 7-10 に、IDMUX (割り込み / DMA マルチプレクサ) の構造を示します。

図 7-10. IDMUX 内の割り込みおよび DMA 処理

Interrupt and DMA Processing in IDMUX



7.4.1 I/O ポートの配線

一般的な 8 ビット I/O ポートへの DSI 経路は合計 20 個あり、16 個がデータ用、4 個がドライブ能力制御用になっています。

I/O ピンが配線に接続されている場合、主な接続として入力と出力の 2 つが利用可能です。これを駆動能力制御と組み合わせ

て、双方向 I/O ピンを実現できます。データ出力信号にはシングル同期化 (パイプライン化) のオプションがあり、データ入力信号には二重同期化のオプションがあります。同期クロックはシステム クロックです (図 6-1 をご参照ください)。通常、ピンからのすべての入力は同期化されます。これは、CPU が信号またはその信号から派生した任意の信号とやり取りする場合に要求されるからです。非同期の入力は、ほとんど使用されません。この例は、組み合わせ PLD ロジックを介して入力ピンから出力ピンへ転送することです。

図 7-11. I/O ピンの同期化配線

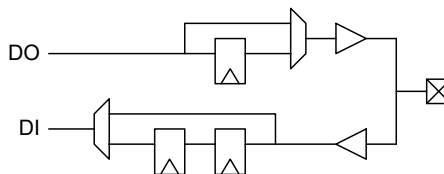
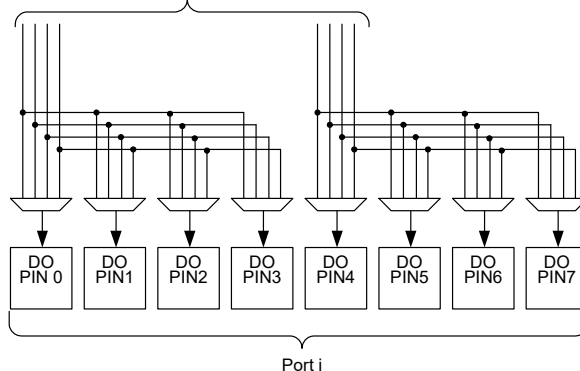


図 7-12. I/O ピンの出力接続

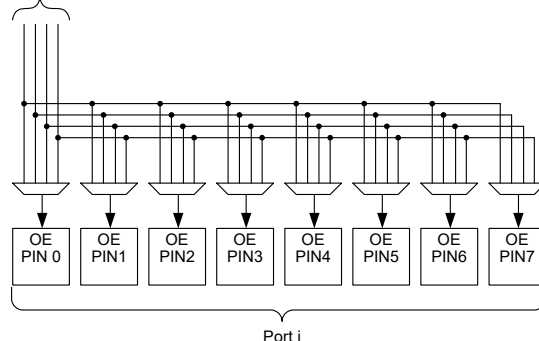
8 IO Data Output Connections from the UDB Array Digital System Interface



ある 1 つの I/O ポートについて、ピンの動的出力イネーブル制御を実現する DSI 接続は、他に 4 つあります。この接続では、1 つの信号で制御される完全連動の 8 ビットから、個別に制御される最大 4 本のピンまで、幅広いオプションがあります。イネーブル出力信号は、トライステートの双方向ピンおよびバスの作成に役立ちます。

図 7-13. I/O ピンの出力イネーブル接続

4 IO Control Signal Connections from UDB Array Digital System Interface



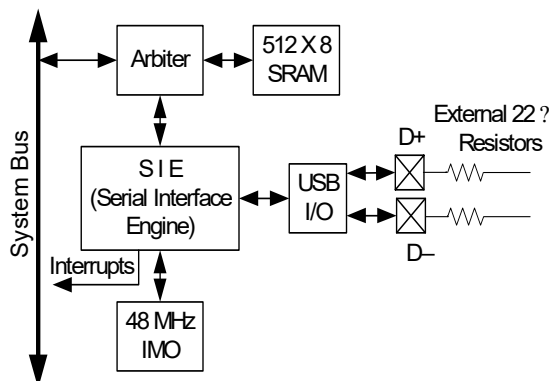
7.5 USB

PSoC には、専用のフルスピード (12Mbps) USB 2.0 トランシーバが内蔵されています。これにより、コントロール、割込み、バルクおよびイソクロナスという USB の 4 種類の転送タイプをすべてサポートします。PSoC Creator はすべてのコンフィギュレーションをサポートしています。USB は 2 本の専用 USBIO ピンを通してホストにインターフェースします。詳細は、[32 ページの「I/O システムおよび配線」](#)をご覧ください。

USB には以下の特長があります：

- 8 つの単方向データ エンドポイント
- 1 つの双方向制御エンドポイント 0 (EP0)
- 8 つのデータ エンドポイントについて共用の 512 バイト バッファ
- EP0 専用の 8 バイト バッファ
- 3 種類のメモリ モード
 - マニュアル メモリ管理 (DMA アクセスなし)
 - マニュアル メモリ管理 (手動 DMA アクセス)
 - 自動メモリ管理 (自動 DMA アクセス)
- トランシーバ用の内蔵 3.3V レギュレータ
- USB バス クロックに自動ロックする内部 48MHz 発振器、USB 用外部水晶発振器は不要 (USB を内蔵したデバイスのみ)
- バスおよび各エンドポイントのイベント時に割込み (デバイス ウェイクアップ可)
- USB リセット、一時停止およびレジューム動作
- バス パワーおよびセルフ パワー モード

図 7-14. USB



7.6 タイマー、カウンタおよび PWM

タイマー／カウンタ／PWM ペリフェラルは、最も一般的な組込み周辺機能の内、3 つを提供する専用の 16 ビットペリフェラルです。ほとんどすべての組込みシステムで、タイマー、カ

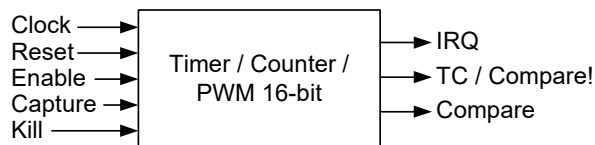
ウンターおよび PWM がなんらかの組み合わせで使用されるため、この PSoC デバイス ファミリーには、これらが 4 つ組み込まれています。追加およびより高機能のタイマー、カウンタ、PWM は、必要に応じてユニバーサル デジタル ブロック (UDB) の中でインスタンス化することもできます。PSoC Creator を使用して、必要なタイマー、カウンタおよび PWM の機能を選択できます。ツール セットが、利用可能な最適のリソースを使用します。

タイマー／カウンタ／PWM ペリフェラルは、複数のクロック ソースから選択でき、入力および出力信号は DSI の配線を通じて接続します。DSI 配線によって入力と出力を任意のデバイス ピンに接続できることに加え、DSI を通じて任意の内部デジタル信号にアクセスすることもできます。4 つのインスタンスはそれぞれ、比較出力、ターミナル カウント出力 (オプションのコンプリメンタリ比較出力) およびプログラム可能な割込み要求ラインを備えています。タイマー／カウンタ／PWM は、フリー ランニング、ワン ショット、またはイネーブル入力制御として設定可能です。ペリフェラルは、タイマー リセットとキャプチャ入力およびコンパレータ出力を制御するためのキル入力を備えています。ペリフェラルは、フル 16 ビットのキャプチャをサポートしています。

タイマー／カウンタ／PWM の特長は次の通りです：

- 16 ビット タイマー／カウンタ／PWM (ダウン カウントのみ)
- 選択可能なクロック ソース
- PWM コンパレータ (LT、LTE、EQ、GTE、GT に接続可能)
- 開始時、リセット時およびターミナル カウント時に周期再ロード
- ターミナル カウント時、比較真、またはキャプチャ時に割り込み
- 動的カウンタ読み出し
- タイマー キャプチャ モード
- イネーブル信号がアサートされている間カウントするモード
- フリー ラン モード
- ワン ショット モード (周期の終わりで停止)
- デッドバンド付きコンプリメンタリー PWM 出力
- PWM アウトプット キル

図 7-15. タイマー／カウンタ／PWM



7.7 I²C

PSoC は単一の固定機能 I²C ペリフェラルを含みます。追加の I²C インターフェースは、必要に応じて、PSoC Creator の中でユニバーサル デジタル ブロック (UDB) を使用してインスタンス化することができます。

I²C ペリフェラルは、PSoC デバイスを 2 線式 I²C シリアル通信バスとインターフェースするために設計された同期 2 線式インターフェースを提供します。NXP I²C バスの仕様とユーザー マニュアル (UM10204) で定義されている通り、これは、I²C の標準モード、高速モードおよび高速モード プラスのデバイスと互換性^[13]があります。I²C バス I/O はオープン ドレイン モードで GPIO または SIO で実行することがあります。

CPU の過大な介入およびオーバーヘッドの必要をなくすために、ステータス検出およびフレーミングビット生成のための I²C 固有のサポートが提供されます。I²C は、スレーブ、マスター、またはマルチマスター (スレーブおよびマスター) として動作します^[13]。スレーブ モードの場合、ユニットは常にデータの送信または受信を開始するために START 条件を監視します。マスター モードでは、START および STOP 条件の生成およびトランザクション開始の機能が提供されます。マルチマスターモードは、クロックの同期化とアービタレーションを提供し、同じバスで複数のバスを可能にします。マスター モードがイネーブルになっていて、スレーブ モードがイネーブルになっていない場合、外部で生成された START 条件に対して、このブロックからは割込みが生成されません。I²C は、DSI 配線を通じてインターフェースし、どの GPIO ピンまたは SIO ピンにも直接接続することができます。

I²C では、CPU の介入なしに 7 ビット アドレスのハードウェアアドレス検出が提供されます。さらに、デバイスは 7 ビット

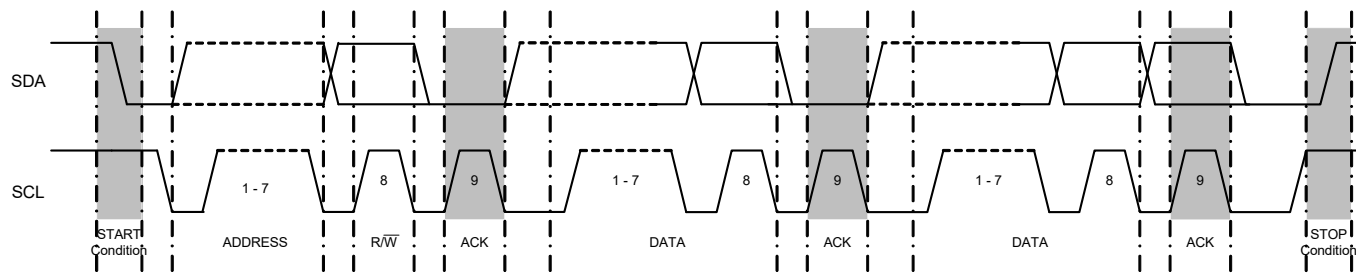
ハードウェア アドレス一致時に低消費電力モードから起動できます。ウェイクアップ機能が要求される場合、I²C ピンの接続は、SIO ピンの特定の 2 つのペアから 1 つに限られます。SCL および SDA ピンの説明については、11 ページの「ピンの説明」をご覧ください。

I²C の特長は以下の通りです：

- スレーブとマスター、トランスミッターおよびレシーバ動作
- CPU オーバヘッド低減のためのバイト処理
- 割込みまたはポーリングによる CPU インターフェース
- 最大 1 Mbps のバス速度をサポート
- 7 または 10 ビットのアドレス指定 (10 ビットのアドレス指定はファームウェア サポートが必要)
- SMBus 動作 (ファームウェア サポートを通じて - UDB では SMBus はハードウェア内でサポート)
- 7 ビット ハードウェア アドレス比較
- アドレス一致時に低消費電力モードから起動
- グリッチ フィルタリングあり (アクティブおよび交互アクティブモードのみ)

データ転送は、図 7-16 に示されている形式に従います。START 状態 (S) の後、スレーブ アドレスが送信されます。このアドレスは 7 ビット長で、その後にデータ方向ビット (R/W) である 8 番目のビットが続きます。「ゼロ」は、送信 (WRITE)、「1」はデータの要求 (READ) を示します。データ転送は、常にマスターによって生成される STOP 状態 (P) で終端されます。

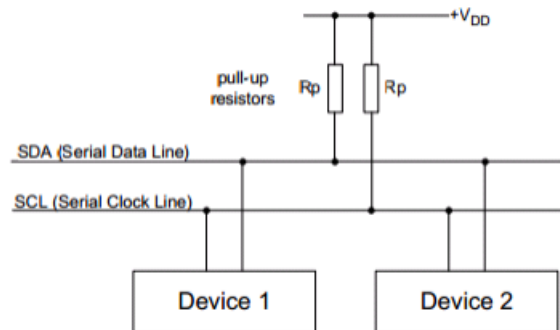
図 7-16. I²C 完了転送のタイミング



7.7.1 外部電気接続

図 7-17 に示すように、I²C バスは外部プルアップ抵抗 (R_p) を必要とします。これらの抵抗は主に電源電圧、バス速度およびバス容量により決定されます。自身の設計にプルアップ抵抗の最適な値を計算するには、NXP ウェブサイト (www.nxp.com) から入手できる UM10204 I²C バス仕様および Rev6 以降のユーザー マニュアルを利用するのは推奨事項です。

図 7-17. I²C バスへのデバイスの接続



- 注：
12. I²C ペリフェラルは次の領域では、NXP I²C の仕様に準拠していません：アナログ グリッチ フィルター、I/O V_{OL}/I_{OL} 、I/O ヒステリシス。I²C ブロックには、デジタル グリッチ フィルタがあります (スリープ モードでは使用できません)。ファースト モードの最短立ち上がり時間の特性は、I/O を低速モードに設定することで得られます。詳細については 68 ページの「入力と出力」にある I/O 電気的仕様を参照してください。
 13. 固定ブロック I²C は、未定義バス条件もスレーブ モードでリピーティッド スタートもサポートしません。これらの条件は避けるか、UDB ベースの I²C コンポーネントをその代わりに使用する必要があります。

すべてのデザインには計算をせず、優れた性能のために表 7-2 に示すデフォルト値をご利用ください。選択されたデフォルト値は最小限と最大限の間の標準的な抵抗値です。表 7-2 に示される値は、 V_{DD} が 1.8V ~ 5.0V、バス容量 (C_B) が 200pF 未満、総入力リーク (I_{IL}) が最大 25μA、出力電圧レベル (V_{OL}) が最大 0.4V、最大の V_{IH} が $0.7 \times V_{DD}$ である設計に適します。標準モードおよび高速モードは GPIO または SIO PSoC ピンのいずれかを使用します。高速モード プラスは SIO ピンを必要として、20mA で V_{OL} 仕様を満たします。プルアップ抵抗のカスタム値を計算することは必要です。自身の設計がデフォルトの要件を満たさない場合、直列抵抗 (RS) を使用して注入ノイズを制限します。または、低消費電力のために抵抗の値を最大化します。

表 7-2. プルアップ抵抗の推奨されるデフォルト値

	R_p	単位
標準モード – 100kbps	4.7k, 5%	Ω
高速モード – 400kbps	1.74k, 1%	Ω
高速モード プラス – 1Mbps	620, 5%	Ω

プルアップ抵抗の最適な値の計算は、NXP I²C 仕様に記載される 3 つの式による制限範囲内の値を見つけることを伴っています。これらの式は下記の通りです：

式 1:

$$R_{PMTN} = (V_{DD(max)} - V_{OL(max)}) / (I_{OL(min)})$$

式 2:

$$R_{PMAX} = T_R(max) / 0.8473 \times C_B(max)$$

式 3:

$$R_{PMAX} = V_{DD(min)} - V_{IH(min)} + V_{NH(min)} / I_{IH(max)}$$

式のパラメーター：

V_{DD} = I²C バス用の定格電源電圧

V_{OL} = バス デバイスの最大の出力 LOW 電圧

I_{OL} = I²C 仕様に基づく出力 LOW 電流

T_R = I²C 仕様に基づくバスの立ち上がり時間

C_B = 各バス ライン (ピンおよび PCB 配線を含む) の容量

V_{IH} = すべてのバス デバイスの最小の入力 HIGH 電圧

V_{NH} = I²C 仕様に基づく最小の入力 HIGH ノイズ マージン

I_{IH} = すべてのデバイスのバス上の総入力リーク電流

バス デバイスの最大 LOW 出力電圧 (V_{OL}) 仕様の原因で、電源電圧は (V_{DD}) プルアップ抵抗の最小値を制限します。低プルアップ抵抗の場合、ピンを介する電流が増えるため、 V_{OH} の仕様要件は超えます。オームの法則から派生した式 1 は、指定した V_{DD} で、標準および高速モードに対し 3mA で、高速モード プラスに対し 20mA で、 V_{OL} 仕様を満たす最小の容量を計算します。

式 2 は、バス容量によりプルアップ抵抗の最大値を計算します。総バス容量は、バス上のすべてのピン、ワイヤおよび配線容量を含みます。バス容量が高くなるほど RC 遅延が起き、指定されたバス速度の立ち上がり時間を満たすために、より小さなプルアップ抵抗を必要とします。許可されているプルアップ抵抗を選択すると、タイミング要件には失敗し、通信エラーを発生させます。5 個以下の I²C デバイスおよび 20cm までのバス配線長を含むすべての設計は 100pF 未満のバス容量を持ちます。

プルアップ抵抗の最大値を制限する第二の要素は、式 3 で計算される総バス リークです。リークの主なソースは、バスに接続される I/O ピンです。リークが高くなりすぎる場合、プルアップ抵抗は V_{IH} の許容レベルを維持することが困難になり、通信エラーを発生させます。バス上で I²C デバイスが 5 個以下であるすべての設計は、10μA 未満の総リーク電流を持ちます。

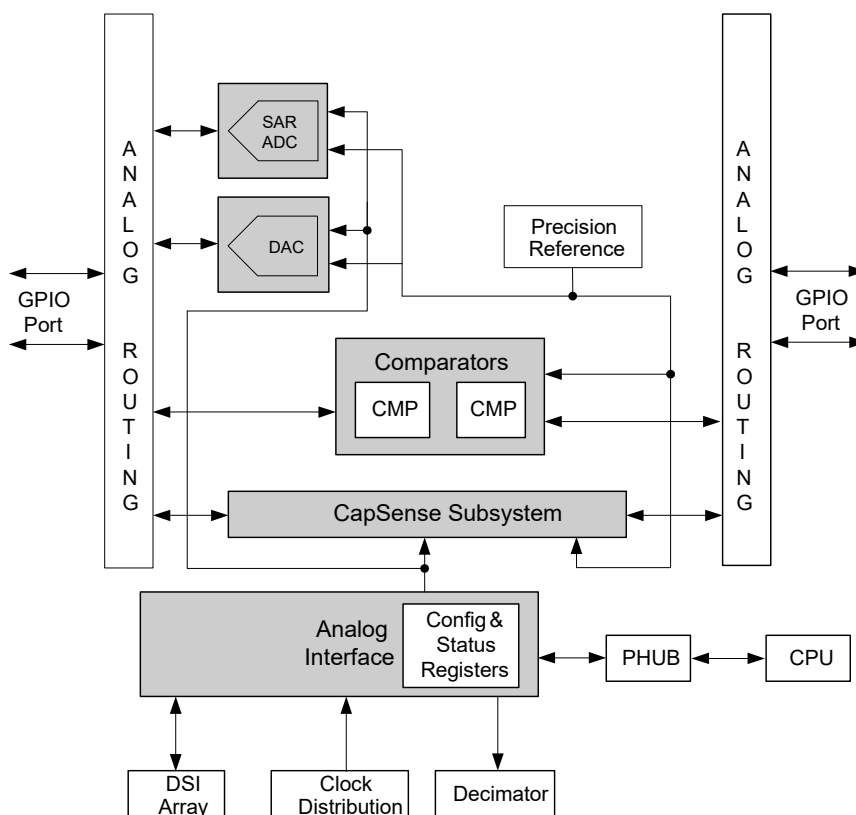
8. アナログ サブシステム

プログラム可能なアナログ システムにより、アプリケーション固有の、標準的なアナログ信号処理ブロックと高度なアナログ信号処理ブロックの組み合わせを作成することができます。これらのブロックは相互接続に加え、デバイス上の任意のピンとの接続が可能で、高度なデザインの柔軟性と IP セキュリティを実現します。アナログ サブシステムの特長について概要をここに示し、その機能とアーキテクチャの概観を示します。

- アナログ グローバル、アナログ マルチプレクサ バスおよびアナログ ローカル バスによって提供される、柔軟で、コンフィギュレーション可能なアナログ配線アーキテクチャ

- 逐次比較 (SAR) ADC
- 電圧出力または電流出力を提供する 1 個の 8 ビット DAC
- オプションで設定可能な LUT 出力への接続を備えた 2 個のコンパレータ
- 静電容量式タッチセンシングを可能にする CapSense サブシステム
- 内部アナログ ブロック用の正確なアナログ電圧を生成するための高精度リファレンス

図 8-1. アナログ サブシステムのブロック図



PSoC Creator ソフトウェア プログラムは、GPIO と各種アナログ リソースの間のアナログ接続のほか、1つのアナログ リソースからもう1つのアナログ リソースへの接続も設定するための使いやすいインターフェースを備えています。また、さまざまなアナログ ブロックを設定してアプリケーション固有の機能を実行できるようにするコンポーネント ライブラリも備えています。このツールは、ユーザーが、アナログ ペリフェラルと CPU / メモリの間の通信を可能にするファームウェアを書くための API インターフェース ライブラリも生成します。

8.1 アナログ配線

PSoC 5LP のデバイス ファミリは、GPIO と別のアナログ ブロックとの接続および異なるアナログ ブロック間の信号の接続の機能を提供する柔軟なアナログ配線アーキテクチャを備えています。この柔軟な配線アーキテクチャの強みの1つは、さまざまなアナログ ブロックに入力および出力を動的に配線できることです。

最適なアナログ ルーティングで、ピン選択を行う方法については、アプリケーション ノート「[AN58304 - PSoC® 3 and PSoC® 5 - Pin Selection for Analog Designs](#)」をご参照ください。

8.1.1 特長

- 柔軟で、コンフィグレーション可能なアナログ配線アーキテクチャ
- GPIO およびアナログ ブロックに接続するための16個のアナログ グローバル (AG) および2個のアナログ マルチプレクサ バス (AMUXBUS)
- 1つのアナログ グローバルと1つのアナログ マルチプレクサ バスに各 GPIO を接続
- 8個のアナログ ローカル バス (abus) により、さまざまなアナログ ブロック間の信号を接続
- アナログ ブロックの入力および出力の選択のためのマルチプレクサおよびスイッチ

8.1.2 機能の説明

アナログ グローバル (AG) およびアナログ マルチプレクサ バス (AMUXBUS) は、GPIO と各種アナログ ブロック間のアナログ接続を提供します。PSoC 5LP ファミリには、16個のAGがあります。アナログ配線アーキテクチャは、[図 8-2](#)に示すように四象限に分かれています。各象限には、4つのアナログ グローバル (AGL[0..3], AGL[4..7], AGR[0..3], AGR[4..7]) があります。各 GPIO はアナログ スイッチ経由で対応するAGに接続されます。アナログ マルチプレクサ バスは、アナログ スイッチを通してすべてのGPIOに接続する共用の配線リソースです。PSoC 5LPには2つのAMUXBUSがあります。[図 8-2](#)に示すように、1つは左半分 (AMUXBUSL) で、もう1つは右半分 (AMUXBUSR) です。

アナログ ローカル バス (abus) は、アナログ サブシステム内に配置されている配線リソースで、各種アナログ ブロック間の信号を接続するために使用されます。PSoC 5LPには8本のabusがあります。[図 8-2](#)に示すように、左半分 (abusl [0:3]) に4本と、右半分 (abusr [0:3]) に4本です。abusを使用することで、アナログ ブロックの相互接続にアナログ グローバルおよびアナログ マルチプレクサ バスが使用されないようになります。

マルチプレクサとスイッチは、アナログ ブロックの入出力信号を接続するために、各種バス上に配置されています。マルチプレクサで同時に配線できる接続は1個のみですが、スイッチでは複数の接続を同時に配線できます。[図 8-2](#)では、マルチプレクサは灰色の楕円で示され、スイッチは背景が透明の楕円で示されています。

Switch Resistance

Small (~870 Ohms) ○

Large (~200 Ohms) ●

Notes:

* Denotes pins on all packages

LCD signals are not shown.

Rev #60

10 Feb 2012

ページ 51 / 113

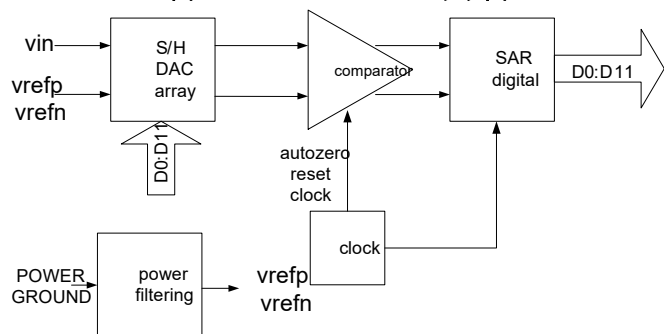
8.2 逐次比較 ADC

PSoC 5LP のデバイス ファミリーは 1 個の SAR ADC を備えています。この ADC は、シングルエンド入力または差動入力を持ち、最大 1Msps で動作する 12 ビット ADC であり、各種のサンプリングや制御の用途で使用できます。

8.2.1 機能の説明

SAR ADC では、アナログ入力信号がサンプリングされ、DAC の出力と比較されます。バイナリ検索アルゴリズムは DAC に適用され、MSB から LSB の方向へ順番に出力ビットを決めるのに使用されます。SAR ADC のブロック図を図 8-3 に示します。

図 8-3. SAR ADC のブロック図



入力はアナログ グローバルおよびマルチプレクサに接続されます。クロック周波数はサンプリング速度の 18 倍で、クロック速度は 1 ~ 18MHz の範囲に制限します。

8.2.2 変換信号

スタート ビットの書き込みまたはフレームの開始 (SOF) 信号のアサートで、変換が始まります。SOF は、サンプリング時間が変換時間よりも長いアプリケーションや、ADC を他のハードウェアと同期する必要がある場合に使用します。この信号はオプションになっており、SAR ADC が連続モードで動作している場合、接続する必要はありません。デジタル クロックまたは UDB 出力を、この入力の駆動に使用することができます。SAR を初めて起動したときやいずれかのスリープ モードからウェイクアップしたときは、最初の変換を開始できるようになるまでに 10μs の起動待機時間が発生します。

変換が完了すると、ステータス ビットがセットされ、出力信号であるフレームの終了 (EOF) がアサートします。このアサート状態は、DMA コントローラーまたは CPU で読み取るまで保持されます。この EOF 信号を使用して、割込みまたは DMA 要求をトリガーすることができます。

8.2.3 動作モード

ONE_SHOT 制御ビットを使用して、SAR ADC 変換モードを連続変換モードまたは SOF 信号があるたびに 1 回変換するモードに設定します。連続サンプリングは、CPU からの操作を必要とせずに DMA 転送できます。

8.3 コンパレータ

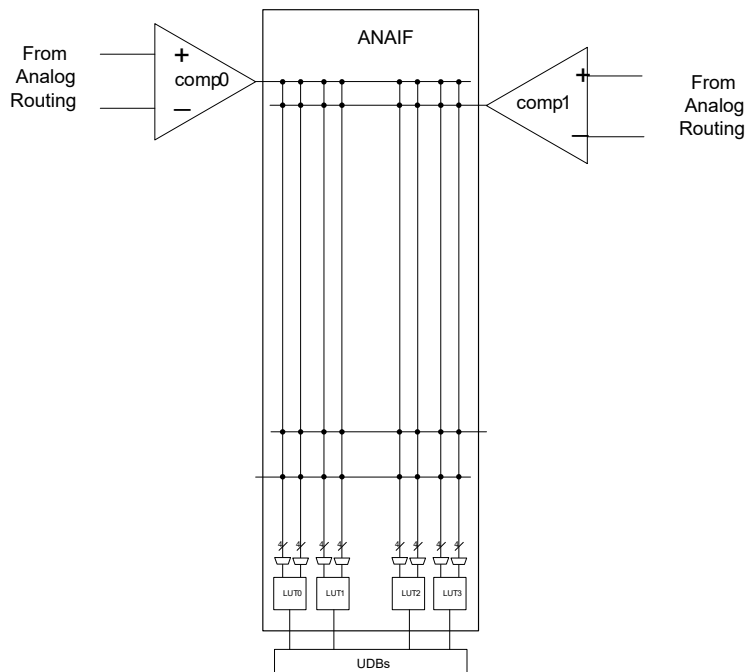
CY8C52LP のデバイス ファミリーでは、1 つのデバイスに 2 個のコンパレータが組み込まれています。コンパレータの特長は次の通りです：

- 入力オフセットは、工場出荷時 5mV 未満に調整済み
- Rail-to-rail の同相入力範囲 ($V_{SSA} \sim V_{DDA}$)
- 速度とパワーは、高速、低速、超低パワーの 3 つのモードのいずれかを使用してトレードオフ可能
- コンパレータ出力をルックアップ テーブルに接続することで、単純な論理関数を実行でき、続いてデジタル ブロックに接続することも可能
- コンパレータの正入力は、必要に応じてローパス フィルター経由で接続可能。用意されているフィルターは 2 個
- コンパレータ入力は、GPIO および DAC 出力に接続可能

8.3.1 入力および出力インターフェース

コンパレータへの正と負の入力は、マルチプレクサを通して、アナログ グローバル バス、アナログ マルチプレクサ ライン、アナログ ローカル バスおよび高精度リファレンスから取り込まれます。各コンパレータからの出力は、2 つの入力 LUT のどちらにも接続できます。この LUT の出力は、UDB デジタル システム インターフェースに接続されます。

図 8-4. アナログ コンパレータ



8.3.2 LUT

CY8C52LP ファミリのデバイスは、2 個の LUT を備えています。この LUT は、2 入力、1 出力のルックアップ テーブルで、チップ内の 1 つまたは 2 つのコンパレータによって駆動されます。どの LUT の出力も、UDB アレイのデジタル システム インターフェースに接続されます。これらの信号は、UDB アレイのデジタル システム インターフェースから UDB、DMA コントローラ、I/O、または割込みコントローラに接続することができます。レジスタに書き込まれた LUT 制御ワードによって、出力の論理関数がセットされます。利用可能な LUT 関数および関連する制御ワードを表 8-1 に示します。

表 8-1. LUT 関数対プログラム ワードおよび入力

制御ワード	出力 (A および B は LUT の入力)
0000b	FALSE ('0')
0001b	A AND B
0010b	A AND (NOT B)
0011b	A
0100b	(NOT A) AND B
0101b	B
0110b	A XOR B
0111b	A OR B
1000b	A NOR B
1001b	A XNOR B
1010b	NOT B
1011b	A OR (NOT B)
1100b	NOT A
1101b	(NOT A) OR B
1110b	A NAND B

表 8-1. LUT 関数対プログラム ワードおよび入力 (続き)

制御ワード	出力 (A および B は LUT の入力)
1111b	TRUE ('1')

8.4 LCD 直接駆動

PSoC の LCD ドライバシステムは、PSoC によってさまざまな LCD を直接駆動できるように設計された、高度に設定可能なペリフェラルになっています。すべての電圧がチップ上で生成されるため、外付けコンポーネントの必要はありません。CY8C52LP ファミリの LCD ドライバシステムは、最大 1/16 の高いマルチプレックス比を備えており、最大で 736 セグメントを駆動できます。また、PSoC の LCD ドライバ モジュールは、供給電力が限られている携帯型デバイスを考慮して設計され、電力節約のための各種の LCD 駆動モードおよび電源遮断モードが可能になっています。

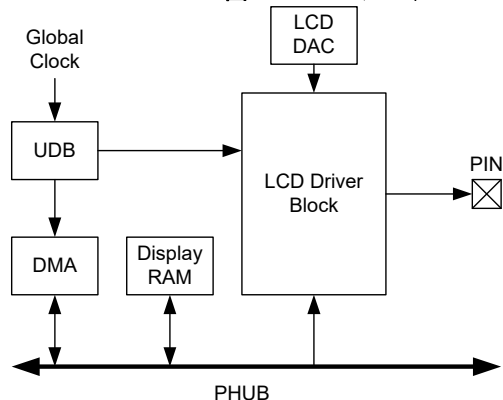
PSoC Creator は、LCD セグメントを駆動するコンポーネントを備えています。このコンポーネントのウィザードにより、LCD リソースを容易かつ柔軟に設定できます。ユーザーは、セグメントおよびコモンに対応するピンを、他のオプションとともに指定できます。要求された仕様を満たすよう、ソフトウェアがデバイスのコンフィギュレーションを行います。これができるのは、PSoC デバイス固有のプログラマビリティのためです。

PSoC LCD セグメント システムの主な特長は次の通りです：

- LCD 直接駆動
- タイプ A (標準) およびタイプ B (低消費電力) の波形をサポート
- LCD の幅広い動作電圧範囲 (2V ~ 5V) をサポート
- スタティック、1/2、1/3、1/4、1/5 のバイアス電圧レベル
- 内蔵のラダー抵抗による内部バイアス電圧生成
- 最大で合計 62 のコモンおよびセグメント出力
- 最大 1/16 のマルチプレックスにより、最大 16 のバックプレーン/コモン出力
- 最大 62 の直接駆動用フロントプレーン/セグメント出力

- 最大で合計736セグメント (16バックプレーン×46フロントプレーン) を駆動
- ソフトウェア制御による最大 64 レベルのコントラスト
- ディスプレイ データをメモリ バッファから DMA を通じて (CPU の介入なしに) LCD ドライバーに移動させる機能
- 10Hz ~ 150Hz の範囲で調整可能な LCD リフレッシュレート
- LCD ディスプレイ をネガ画像に反転する機能
- 3 種類の LCD ドライバーの駆動モードにより消費電力の最適化が可能

図 8-5. LCD システム



8.4.1 LCD セグメント ピン ドライバー

各 GPIO ピンには、1 つの LCD ドライバー回路が含まれています。LCD ドライバーは、LCD DAC の該当する出力をバッファし、LCD を直接駆動します。レジスタの設定により、そのピンがコモンまたはセグメントかを決定します。次に、そのピンの LCD ドライバーは、ディスプレイ データに対応して 6 種類のバイアス電圧から 1 つを選択して I/O ピンを駆動します。

8.4.2 ディスプレイ データのフロー

LCD セグメント ドライバー システムは、ディスプレイ データを読みだし、適切な出力電圧を生成して LCD に供給し、希望する画像を表示させます。ディスプレイ データは、システム SRAM 内のメモリ バッファに入っています。コモンおよびセグメント ドライバーの電圧を変える必要があるたびに、次の一組のピクセル データが、メモリ バッファから DMA を経由してポート データ レジスタに移動します。

8.4.3 UDB と LCD セグメント制御

UDB は、グローバル LCD 制御信号およびクロッキングを生成するよう設定されます。この一組の信号は、一組の専用の LCD グローバル配線チャネルを通じて各 LCD ピン ドライバーに接続されます。UDB は、グローバル LCD 制御信号の生成に加え

て、LCD データの次のフレームの転送を開始するための DMA 要求も生成します。

8.4.4 LCD DAC

LCD DAC は、LCD システムのコントラスト制御およびバイアス電圧を生成します。LCD DAC は、選択したバイアス比に応じて、最大 5 つの LCD 駆動電圧とグラウンドを生成します。バイアス電圧は、必要に応じて、専用 LCD バイアス バス上の GPIO ピンに駆動出力されます。

8.5 CapSense

CapSense システムは、タッチ センスによるボタン、スライダー、近接検知などの用途での静電容量を測定するための汎用性のある効率的な手段を提供します。CapSense システムは、主として CapSense を対象としたいくつかのハードウェア機能を含むシステム リソースのコンフィギュレーションを使用しています。特定のリソースの使用法は、PSoC Creator の中にある CapSense コンポーネントに詳述されています。

デルタシグマ変調器 (CSD) を使用した容量センシングが使用されています。センシング電流をデジタル コードに変換するデルタシグマ変調器にスイッチド キャパシタ テクニックを使用した容量センシングを備えています。

8.6 温度センサー

ダイ温度を使用して、フラッシュ書き込みのためのプログラミング パラメータを確定します。ダイ温度は、順方向にバイアスされたトランジスタを用いた専用のセンサーを使用して測定します。温度センサーは独自の補助 ADC を備えています。

8.7 DAC

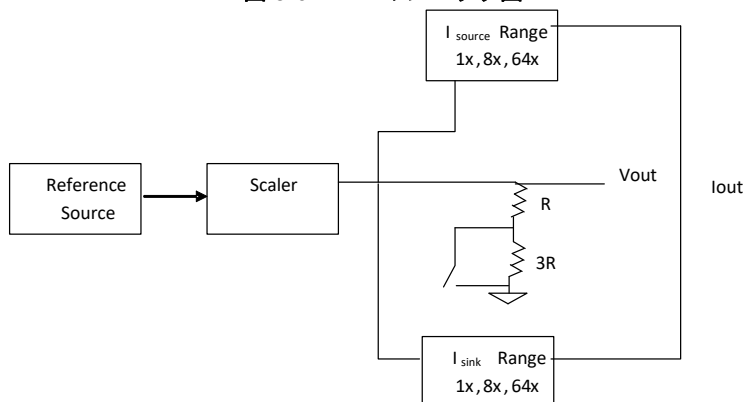
CY8C32 デバイスは 1 個の DAC を備えています。DAC は 8 ビットで、電圧出力または電流出力用に設定できます。DAC は、CapSense、電源制御および波形生成をサポートします。DAC の特長は以下の通りです：

- 255 ステップで調整可能な電圧または電流出力
- プログラム可能なステップ サイズ (範囲選択)
- $\pm 25\%$ のゲイン誤差を補正可能な 8 ビットの校正
- ソースおよびシンク オプション (電流出力時)
- 8 Msps の変換速度 (電流出力時)
- 1 Msps の変換速度 (電圧出力時)
- 単調性

- データとストロープ入力は、CPU または DMA によって提供できます。または、DSI から直接ルーティングすることも可能です。

- 高電流用の低抵抗出力ピン

図 8-6. DAC のブロック図



8.7.1 電流 DAC

IDAC は、0 ~ 31.875μA、0 ~ 255μA および 0 ~ 2.04mA の範囲で設定できます。また、ソース電流またはシンク電流の設定も可能です。

8.7.2 電圧 DAC

VDAC では、電流 DAC 出力が抵抗を通して出力されます。VDAC には、0 ~ 1.02V および 0 ~ 4.08 V の 2 つの範囲が用意されています。電圧モードの場合、DAC の出力に接続する負荷は純容量性のものでなければなりません (VDAC の出力はバッファされません)。

9. プログラミング、デバッグ インターフェース、リソース

Cortex-M3 には、CPU と緊密に統合された内部デバッグ コンポーネントがあり、次のような機能を提供します：

- JTAG または SWD へのアクセス
- ブレークポイントおよびコード パッチ実装のための FPB ブロック
- ウォッチポイント、トリガー リソースおよびシステム プロファイリングを実装するための DWT ブロック
- 命令トレース用の ETM
- printf スタイルのデバッグをサポートする ITM

PSoC デバイスは、ハードウェアとファームウェアの両方についてプログラミング、テスト、デバッグおよびトレースの幅広いサポートを備えています。利用できるインターフェースは JTAG、SWD、SWV および TRACEPORT です。JTAG および SWD は、デバイスのすべてのプログラミングおよびデバッグ機能をサポートします。JTAG は、基板レベルのテストのための標準 JTAG スキャン チェーンおよび複数の JTAG デバイスと 1 つの JTAG 接続のチェーンもサポートします。SWV および TRACEPORT では DWT、ETM および ITM からのトレース出力が得られます。TRACEPORT の方が高速ですが、必要なピン数は多くなります。SWV の方が低速ですが、使用するピンは 1 本のみです。

PSoC 5 プログラミングの詳細については、[PSoC 5 Device Programming Specifications](#) をご参照ください。

Cortex-M3 のデバッグとトレースの機能によって、標準の量産デバイスを使用した最終システムであらゆる面からデバイスをデバッグできます。専用のインターフェース、デバッグポッド、シミュレータ、あるいはエミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE ソフトウェアは、PSoC デバイスに対する完全に統合されたプログラミングおよびデバッグのサポートを提供します。低コストの MiniProg3 プログラマ兼デバッガは、PSoC Creator IDE とともに、PSoC デバイスに対する完全なプログラミングおよびデバッグのサポートを提供するよう設計されています。PSoC の JTAG、SWD および SWV インターフェースは、業界標準のサードパーティ製ツールと完全互換になっています。

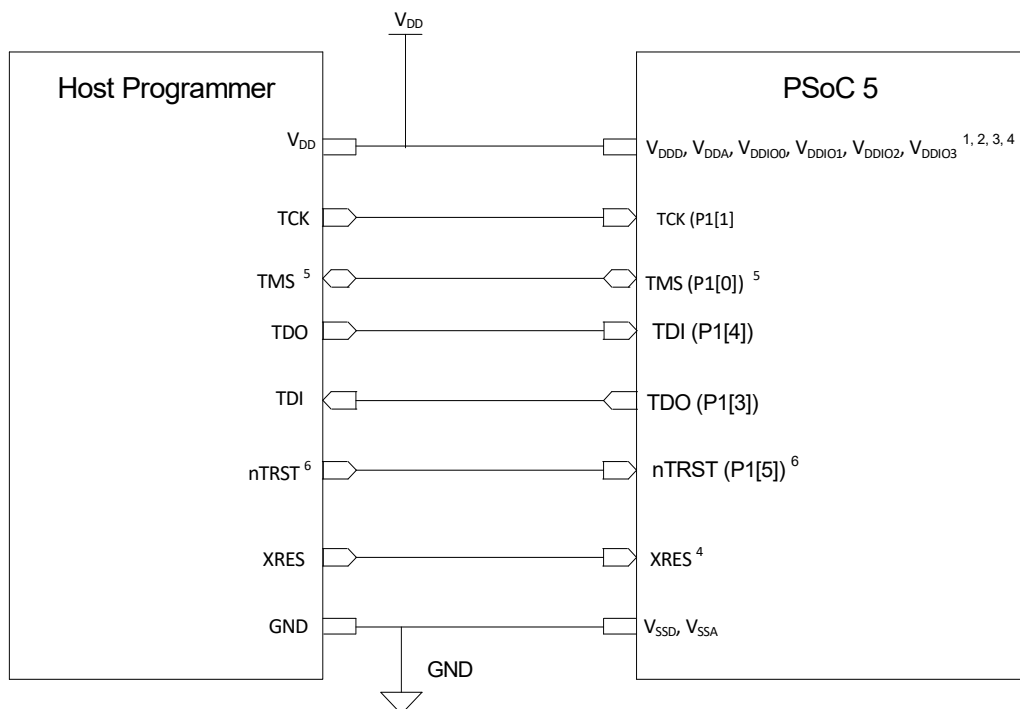
Cortex-M3 のすべてのデバッグとトレースのモジュールは、デフォルトで無効になっており、ファームウェアでのみイネーブルにすることができます。これらのモジュールが有効になっていない場合に再度有効にする唯一の方法は、デバイス全体の消去とフラッシュ保護のクリアを実行し、モジュールを有効にする新しいファームウェアでデバイスをプログラムし直すことです。デバッグとトレースの機能の無効化、堅牢なフラッシュ保護およびアナログとデジタルのカスタム機能を PSoC デバイス内部に隠すことによって、複数チップ アプリケーションのソリューションでは不可能なレベルのセキュリティを実現できます。さらに、悪意を持ってデバイスを再プログラムすることによるフィッシング攻撃が懸念されるアプリケーションについて、すべてのデバイス インターフェースを恒久的に無効にすること (デバイス セキュリティ) が可能です。インターフェースの恒久的な無効化は、後で設計者がデバイスにアクセスできなくなるため、ほとんどのアプリケーションにお勧めしません。デバイス セキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテストのインターフェースが無効になるため、デバイス セキュリティが有効になった状態の PSoC は、不具合解析のために返送することができません。

9.1 JTAG インターフェース

IEEE 1149.1 準拠の JTAG インターフェースが、4 本または 5 本のピン (nTRST ピンはオプション) に出ています。JTAG で可能な最高クロック周波数は最大で 12MHz または 8 ビットと 16 ビット転送時は CPU クロック周波数の 1/3、32 ビット転送時は CPU クロック周波数の 1/5 のうち、最も低い周波数です。新

しいデバイスの JTAG ピンはデフォルトで有効になっていますが、JTAG インターフェースを無効にし、その代わりにこれらのピンを汎用 I/O (GPIO) として使用することができます。JTAG インターフェースは、フラッシュメモリのプログラミング、デバッグ、I/O スキャンチェーンおよび JTAG デバイスチェーンに使用します。

図 9-1. PSoC 5LP とプログラマ間の JTAG インターフェース接続



¹ The voltage levels of Host Programmer and the PSoC 5 voltage domains involved in Programming should be same. The Port 1 JTAG pins and XRES pin are powered by VDDIO1. So, VDDIO1 of PSoC 5 should be at same voltage level as host VDD. Rest of PSoC 5 voltage domains (VDD, VDDA, VDDIO0, VDDIO2, VDDIO3) need not be at the same voltage level as host Programmer.

² Vdda must be greater than or equal to all other power supplies (Vddd, Vddio's) in PSoC 5.

³ For Power cycle mode Programming, XRES pin is not required. But the Host programmer must have the capability to toggle power (Vddd, Vdda, All Vddio's) to PSoC 5. This may typically require external interface circuitry to toggle power which will depend on the programming setup. The power supplies can be brought up in any sequence, however, once stable, VDDA must be greater than or equal to all other supplies.

⁴ For JTAG Programming, Device reset can also be done without connecting to the XRES pin or Power cycle mode by using the TMS, TCK, TDI, TDO pins of PSoC 5, and writing to a specific register. But this requires that the DPS setting in NVL is not equal to "Debug Ports Disabled".

⁵ By default, PSoC 5 is configured for 4-wire JTAG mode unless user changes the DPS setting. So the TMS pin is unidirectional. But if the DPS setting is changed to non-JTAG mode, the TMS pin in JTAG is bi-directional as the SWD Protocol has to be used for acquiring the PSoC 5 device initially. After switching from SWD to JTAG mode, the TMS pin will be uni-directional. In such a case, unidirectional buffer should not be used on TMS line.

⁶ nTRST JTAG pin (P1[5]) cannot be used to reset the JTAG TAP controller during first time programming of PSoC 5 as the default setting is 4-wire JTAG (nTRST disabled). Use the TMS, TCK pins to do a reset of JTAG TAP controller.

9.2 SWD インターフェース

SWD インターフェースは、JTAG インターフェースの代替として好まれます。JTAG では 4 本または 5 本のピンが必要であるのに対し、SWD では 2 本のピンのみを必要とします。SWD は、JTAG のすべての同じ速度のプログラミングおよびデバッグ機能を提供します。SWD では、スキャン チェーンまたはデバイス チェーンへのアクセスは用意されていません。SWD クロック周波数は、最大で CPU クロック周波数の 1/3 まで可能です。

SWD では、JTAG ピン (TMS と TCK) または USBIO の D+ と D- ピンのどちらか、2 本のピンを使用します。USBIO ピンは USB ソリューションのインシステム プログラミングに役立ちます。USBIO ピンを使用しない場合は、独立したプログラミング コネクタが必要になります。1 本のピンをデータ クロックに使用し、もう 1 本をデータの入出力に使用します。

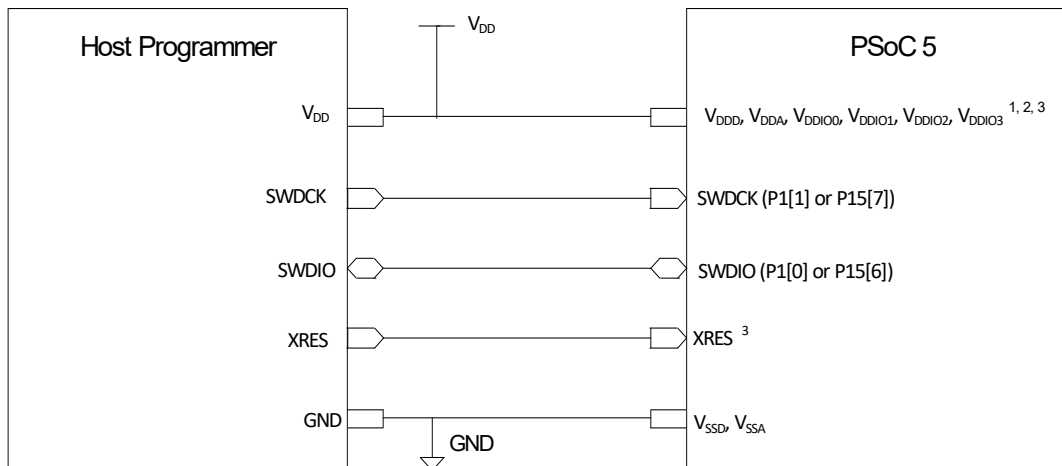
SWD は、一度に 1 組のみのピンにおいて有効にできます。これは、リセット後 8 μ s (キー ウィンドウ) 以内に、そのピンの

組 (JTAG または USB) があらかじめ定められた 1s と 0s の開通シーケンスを受信した場合にのみ発生します。NVL ラッチが SWD に設定されている場合 (節 5.5 をご参照ください)、このシーケンスは JTAG ピンのペアに適用される必要はありません。開通シーケンスは、常に USB ピンのペアに適用される必要があります。

SWD は、フラッシュ メモリのデバッグまたはプログラミングに使用します。

SWD インターフェースは、JTAG インターフェースから有効にすることができ、あるいは無効にして、そのピンを GPIO として使用できます。SWD インターフェースは、JTAG とは異なり、常にキー ウィンドウ中に任意のデバイス上で再取得できます。その後、必要に応じて JTAG インターフェースを再度有効にするために使用できます。SWD または JTAG のピンを標準 GPIO として使用する場合、GPIO の機能および PCB 回路が SWD または JTAG の使用と干渉しないことを確認してください。

図 9-2. PSoC 5LP とプログラマ間の SWD インターフェース接続



¹ The voltage levels of the Host Programmer and the PSoC 5 voltage domains involved in programming should be the same. The XRES pin is powered by V_{DDIO1} . The USB SWD pins are powered by V_{DD} . So for Programming using the USB SWD pins with XRES pin, the V_{DD} , V_{DDIO1} of PSoC 5 should be at the same voltage level as Host V_{DD} . Rest of PSoC 5 voltage domains (V_{DDA} , V_{DDIO0} , V_{DDIO2} , V_{DDIO3}) need not be at the same voltage level as host Programmer. The Port 1 SWD pins are powered by V_{DDIO1} . So V_{DDIO1} of PSoC 5 should be at same voltage level as host V_{DD} for Port 1 SWD programming. Rest of PSoC 5 voltage domains (V_{DD} , V_{DDA} , V_{DDIO0} , V_{DDIO2} , V_{DDIO3}) need not be at the same voltage level as host Programmer.

² V_{DDA} must be greater than or equal to all other power supplies (V_{DD} , V_{DDIO} 's) in PSoC 5.

³ For Power cycle mode Programming, XRES pin is not required. But the Host programmer must have the capability to toggle power (V_{DD} , V_{DDA} , All V_{DDIO} 's) to PSoC 5. This may typically require external interface circuitry to toggle power which will depend on the programming setup. The power supplies can be brought up in any sequence, however, once stable, V_{DDA} must be greater than or equal to all other supplies.

9.3 デバッグ機能

CY8C52LP は、以下のデバッグ機能をサポートします：

- CPU の停止およびシングルステップ
- CPU およびペリフェラルのレジスタおよび RAM アドレスの表示と変更
- 6 個のプログラムアドレスブレークポイントおよび 2 個のリテラル アクセス ブレークポイント
- CPU に対するデータ ウォッチポイント イベント
- フラッシュから SRAM へのパッチと再マップの命令
- CPU の全速度でのデバッグ
- PSoC Creator と MiniProg3 プログラマおよびデバッグに対応
- CY8C52LP は、標準 JTAG プログラミングおよびデバッグインターフェースを備えているため、他の広く使用されているサードパーティ製ツール（たとえば、Arm / Keil）に対応します。

9.4 トレースの特長

次のトレース機能がサポートされています：

- 命令トレース
- データ アドレス、アドレス範囲、またはデータ値へのアクセス時のデータ ウォッチポイント
- データ ウォッチポイントでのトレース トリガー
- デバッグ例外トリガー
- コード プロファイリング
- クロック サイクル数、フォールドされた命令数、ロード／書き込み操作の数、スリープ サイクル数、命令あたりのサイクル数、割込みによるオーバーヘッドを測定するカウンタ
- 割込みイベントのトレース
- ソフトウェア イベント監視、「printf」形式のデバッグ

9.5 SWV インターフェースおよび TRACEPORT インターフェース

SWV インターフェースおよび TRACEPORT インターフェースは、サイプレスの MiniProg3 または外部のトレース ポート アナライザを介してトレース データをデバッグ ホストに提供します。大量のトレース ストリームを高速転送するために、5 ピンの TRACEPORT が使用されています。ピンが 1 本のみの SWV モードは、トレース ピンの数を最小にするために使用します。SWV は、JTAG ピンと共有されます。デバッグとトレースを同時に進める場合は、表 9-1 に示すように、SWV または TRACEPORT で SWD を使用するか、TRACEPORT で JTAG を使用します。

表 9-1. デバッグのコンフィギュレーション

デバッグおよびトレースの コンフィギュレーション	使用する GPIO ピン
すべてのデバッグおよび配線が無効	0
JTAG	4 または 5
SWD	2
SWV	1
TRACEPORT	5
JTAG + TRACEPORT	9 または 10
SWD + SWV	3
SWD + TRACEPORT	7

9.6 プログラミング機能

JTAG および SWD インターフェースでは、完全なプログラミング サポートが提供されます。デバイス全体を消去、プログラムおよび検証することができます。設計者は、フラッシュ保護レベルを上げることでファームウェア IP を保護することができます。フラッシュ保護は、デバイスを完全消去した後にのみリセットできます。ブロック セキュリティの設定で許容される場合、個別のフラッシュ ブロックを消去、プログラムおよび検証することができます。

9.7 デバイス セキュリティ

PSoC 5LP は、デバイス セキュリティと呼ばれる高度なセキュリティ機能も備えています。これは、すべてのテスト、プログラミングおよびデバッグ ポートを恒久的に無効にすることにより、アプリケーションを外部アクセスから保護します。デバイス セキュリティは、ライト ワンス ラッチ (WOL) に 32 ビット キー (0x50536F43) をプログラミングすることによってアクティブ化されます。

ライト ワンス ラッチは、不揮発性ラッチ (NVL) の一種です。セル自体が NVL で、その周りに追加のロジックがラップされています。各 WOL 素子は 4 バイト (32 ビット) のデータを格納します。ラッパーは、ビットの大部分 (32 分の 28) が所定のパターン (0x50536F43) と一致する場合は「1」、そうでない場合は「0」を出力します。出力が 1 の場合、ライト ワンス NVL ラッチは、デバイスのデバッグおよびテスト モードをロックアウトすると同時に、ラッチの内容の消去または変更を恒久的に遮断します。必ずしもすべてのビットが一致する必要がないため、1 個 (または数個) のビット誤りによって WOL 出力がデアサートされることはありません。ウェハ加工後の NVL ビットの状態はまったく不規則で、1 または 0 への偏りはありません。

WOL は、正しい 32 ビット キー (0x50536F43) を NVL の揮発性メモリに読み込み、NVL の不揮発性セルにプログラムし、デバイスをリセットした後にのみデバイスをロックします。WOL の出力は、リセット時にのみサンプリングされ、アクセスを無効にするために使用されます。これにより、内部メモリの内容の読み出し、消去、または変更を防止します。

ユーザーが WOL にキーを書き込んで外部アクセスをロックアウトできるのは、フラッシュ保護がセットされていない場合のみです (19 ページの「フラッシュのセキュリティ」をご参照ください)。ただし、WOL に値をセットした後も、デバイスをリセットするまでは引き続きデバイスへのアクセスが可能です。したがって、ユーザーは WOL にキーを書き込み、フラッシュ保護データをプログラムし、デバイスをリセットすることにより、デバイスをロックすることができます。

WOL の設定によって保護されたデバイスは、サイプレスは不具合解析が行えないため、お客様からの RMA に対応できません。保護されたデバイスは、シリアルワイヤ デバッグ (SWD) ポートから WOL を読み出すことによって電氣的に特定することができます。ユーザーが WOL にキーを書き込んで外部アクセスをロックアウトできるのは、フラッシュ保護がセットされていない場合のみです。PSoC のセキュリティ機能の詳しい活用方法については、PSoC 5 TRM をご覧ください。

免責条項

サイプレスのデバイスのフラッシュ コード保護機能について、以下の点にご注意ください。

サイプレス製品は、該当する特定のサイプレス データシートに記載されている仕様を満たします。サイプレスは、市販されている同様の製品ファミリにおいて、製品ファミリが、使用方法にかかわらず最高水準の安全性を有すると考えています。サイプレスの知り得ない方法がコード保護機能を侵害する可能性があるかも知れません。サイプレスの知る限り、そのような方法はすべて不正で、かつ違法と考えられます。サイプレスまたはその他の半導体メーカーのいずれも、自社のコードのセキュリティ

ティを保証することはできません。コードの保護は、サイプレスが製品の「解読不能」を保証していることを意味するものではありません。

サイプレスには、自社コードの完全性に関心があるユーザーと協力する意思があります。コードの保護は絶えず進化しております。サイプレスは当社製品のコード保護機能の継続的改善に努めています。

9.8 CSP パッケージ ブートローダー

工場出荷時にインストールされたブートローダー プログラムは、CSP パッケージを備えたすべてのデバイスに搭載されます。このブートローダーは PSoC Creator 3.0 のブートロード可能なプロジェクト ファイルと互換性があり、次の特長があります：

- I2C ベース
 - SCLK と SDAT は、それぞれ P1[6] と P1[7] で使用可能
 - 外部プルアップ抵抗が必要
 - I2C スレーブ、アドレス 4、データ転送速度 = 100kbps
 - シングル アプリケーション
 - ブートロード コマンドのために 2 秒待ち
 - 他のブートローダーのオプションは PSoC Creator 3.0 のブートローダー コンポーネントのデフォルトで設定される
 - フラッシュの下位 9KB を占有
- このブートローダーの詳細については、次のサイプレス アプリケーション ノートをご参照ください：
- AN73854、PSoC 3 and PSoC 5 LP Introduction to Bootloaders
 - AN60317、PSoC 3 and PSoC 5 LP I2C Bootloader
- PSoC Creator のブートロード可能なプロジェクトは、ターゲット デバイスとして構成されるブートローダー プロジェクトの .hex と .elf ファイルと関係しななければならないため、ご注意ください。ブートローダーの .hex と .elf ファイルについては「www.cypress.com/go/PSOC5LPdatasheet」をご覧ください。工場出荷時にインストールされたブートローダーは JTAG または SWD プログラミングで上書きできます。

10. 開発サポート

CY8C52LP ファミリーには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。詳細については、「psoc.cypress.com/getting-started」をご覧ください。

10.1 ドキュメント

ドキュメント一式が CY8C52LP ファミリーをサポートし、ユーザーは、疑問点に対する答えを素早く見つけることができます。重要な資料の幾つかは、本節にリストアップされています。

ソフトウェア ユーザー ガイド：PSoC Creator の操作方法の手引書。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルド プロセスの詳細、PSoC Creator を用いたソース制御の使い方、その他が記載されています。

コンポーネント データシート：PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成することができます。コンポーネント データシートには、特定のコンポーネントの選択および使用に必要な情報が、機能説明、API ドキュメント、サンプル コード、AC/DC 仕様を含んですべて記載されています。

アプリケーション ノート：PSoC アプリケーション ノートには、PSoC の特定のアプリケーションについて詳細な説明が記載されています。例として、ブラシレス DC モータの制御やオンチップ フィルタリングがあります。アプリケーション ノートには、多くの場合、アプリケーション ノートのドキュメントに加えてサンプル プロジェクトが含まれています。

テクニカル リファレンス マニュアル：PSoC Creator では、周辺デバイスを回路図上にドラッグするだけで簡単に PSoC を使用したデザインが可能です。PSoC デバイスについて詳細な内容が必要な場合は、ユーザーの手引き書として「Technical Reference Manual (TRM)」をご使用ください。

注：Cortex-M3 CPU に関する詳細なドキュメントについては、「www.arm.com」にアクセスしてください。

10.2 オンライン

印刷された資料のほかに、サイプレス PSoC フォーラムによって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

10.3 ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた CY8C52LP ファミリーは、開発ツール エコシステムの一部です。革新的で使いやすい PSoC Creator IDE、サポートされるサード パーティのコンパイラ、プログラマ、デバッグおよび開発キットの最新情報については、サイプレスのウェブサイト「www.cypress.com/go/psoccreator」をご覧ください。

11. 電氣的仕様

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。PSoC の UDB およびアナログ ブロックは他に類のない柔軟性を備えているため、多くの機能を PSoC Creator のコンポーネントの中で実現できます。それぞれの機能の完全な AC/DC 仕様についてはコンポーネント データシートをご覧ください。PSoC Creator コンポーネントの詳細については、39 ページの「ペリフェラルの例」をご参照ください。

11.1 絶対最大定格

表 11-1. 絶対最大定格の DC 仕様^[14]

パラメーター	説明	条件	Min	Typ	Max	単位
V_{DDA}	V_{SSA} を基準としたアナログ電源電圧		-0.5	—	6	V
V_{DDD}	V_{SSD} を基準としたデジタル電源電圧		-0.5	—	6	V
V_{DDIO}	V_{SSD} を基準とした I/O 電源電圧		-0.5	—	6	V
V_{CCA}	アナログ コア電圧の直接入力		-0.5	—	1.95	V
V_{CCD}	直接デジタル コア電圧入力		-0.5	—	1.95	V
V_{SSA}	アナログ グランド電圧		$V_{SSD} - 0.5$	—	$V_{SSD} + 0.5$	V
$V_{GPIO}^{[15]}$	GPIO への DC 入力電圧	V_{DDA} によって供給され、内部でピンへ配線された信号を含む	$V_{SSD} - 0.5$	—	$V_{DDIO} + 0.5$	V
V_{SIO}	SIO への DC 入力電圧	出力が無効	$V_{SSD} - 0.5$	—	7	V
		出力が有効	$V_{SSD} - 0.5$	—	6	V
V_{IND}	ブースト コンバーター入力の電圧		0.5	—	5.5	V
V_{BAT}	ブースト コンバーター電源		$V_{SSD} - 0.5$	—	5.5	V
I_{VDDIO}	V_{DDIO} 電源ピン毎の電流		—	—	100	mA
I_{GPIO}	GPIO 電流		-30	—	41	mA
I_{SIO}	SIO 電流		-49	—	28	mA
I_{USBIO}	USBIO 電流		-56	—	59	mA
LU	ラッチアップ電流 ^[16]		-140	—	140	mA
ESD_{HBM}	静電気放電電圧	人体モデル	2000	—	—	V
ESD_{CDM}	静電気放電電圧	荷電デバイス モデル	500	—	—	V

注：

14. 表 11-1 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しない可能性があります。

15. V_{DDIO} 電源電圧は、その供給先である GPIO ピンの最大電圧より高い必要があります。GPIO ピンでの最大電圧 $\leq V_{DDIO} \leq V_{DDA}$ 。

16. JEDEC 仕様 EIA/JESD78 IC ラッチアップ試験を満たしている、または超えています。

11.2 デバイス レベルの仕様

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。特記されていない限り、すべての図とグラフは標準値を示します。

11.2.1 デバイスレベルの仕様

表 11-2. DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V _{DDA}	アナログ電源電圧であり、 アナログ コアレギュレータへの入力	アナログ コアレギュレータが有効	1.8	–	5.5	V
V _{DDA}	アナログ電源電圧 (アナログレギュレータがバイパスされる)	アナログ コアレギュレータが無効	1.71	1.8	1.89	V
V _{DDD}	V _{SSD} を基準としたデジタル電源電圧	デジタル コアレギュレータが有効	1.8 –	– –	V _{DDA} ^[17] V _{DDA} + 0.1 ^[19]	V
V _{DDD}	デジタル電源電圧 (デジタルレギュレータがバイパスされる)	デジタル コアレギュレータが無効	1.71	1.8	1.89	V
V _{DDIO} ^[18]	V _{SSIO} を基準とした I/O電源電圧		1.71 –	– –	V _{DDA} ^[17] V _{DDA} + 0.1 ^[19]	V
V _{CCA}	アナログ コア電圧の直接入力 (アナログレギュレータがバイパスされる)	アナログ コアレギュレータが無効	1.71	1.8	1.89	V
V _{CCD}	直接デジタル コア電圧入力 (デジタルレギュレータをバイパス)	デジタル コアレギュレータが無効	1.71	1.8	1.89	V

アクティブ モード

I _{DD} ^[20]	デジタル電流とアナログ電流の合計 (I _{DDD} + I _{DDA})。I/O 用の I _{DDIOX} が含まれていない。IMO が有効で、バス クロックと CPU クロックが有効。CPU がフラッシュから複雑なプログラムを実行	V _{DDX} = 2.7V ~ 5.5V ; F _{CPU} = 3MHz ^[21]	T = -40°C	-	1.9	3.8	mA
			T = 25°C	-	1.9	3.8	
			T = 85°C	-	2	3.8	
		V _{DDX} = 2.7V ~ 5.5V ; F _{CPU} = 6MHz	T = -40°C	-	3.1	5	
			T = 25°C	-	3.1	5	
			T = 85°C	-	3.2	5	
		V _{DDX} = 2.7V ~ 5.5V ; F _{CPU} = 12MHz ^[21]	T = -40°C	-	5.4	7	
			T = 25°C	-	5.4	7	
			T = 85°C	-	5.6	7	
		V _{DDX} = 2.7V ~ 5.5V ; F _{CPU} = 24MHz ^[21]	T = -40°C	-	8.9	10.5	
			T = 25°C	-	8.9	10.5	
			T = 85°C	-	9.1	10.5	
		V _{DDX} = 2.7V ~ 5.5V ; F _{CPU} = 48MHz ^[21]	T = -40°C	-	15.5	17	
			T = 25°C	-	15.4	17	
			T = 85°C	-	15.7	17	
		V _{DDX} = 2.7V ~ 5.5V ; F _{CPU} = 62MHz	T = -40°C	-	18	19.5	
			T = 25°C	-	18	19.5	
			T = 85°C	-	18.5	19.5	
V _{DDX} = 2.7V ~ 5.5V ; F _{CPU} = 74MHz	T = -40°C	-	26.5	30			
	T = 25°C	-	26.5	30			
	T = 85°C	-	27	30			
V _{DDX} = 2.7V ~ 5.5V ; F _{CPU} = 80MHz、IMO = 3MHz (PLL と併用)	T = -40°C	-	22	25.5			
	T = 25°C	-	22	25.5			
	T = 85°C	-	22.5	25.5			

注：

17. 電源は、任意の順番で供給できますが、一旦すべてが安定すると、 V_{DDA} が他のすべての電源電圧以上でなければなりません。
18. V_{DDIO} 電源電圧は、その供給先である GPIO ピンの最大電圧より高い必要があります。GPIO ピンでの最大電圧 $\leq V_{DDIO} \leq V_{DDA}$ 。
19. 設計で保証され、出荷試験はされていません。
20. プログラムされた論理ブロック上で実装される追加ペリフェラルの消費電流は、統合開発環境である PSoC Creator での各データシートに記載されています。[※]電流を予測するには、デバイス データシートおよびコンポーネント データシートで特定のシステムにおけるペリフェラルの消費電流を調べ、特定の周波数での CPU 電流に計算してください。
21. デバイスの特性評価に基づく値（出荷試験されていません）。

表 11-2. DC 仕様 (続き)

パラメーター	説明	条件	Min	Typ	Max	単位	
I _{DD} ^[22]	スリープ モード ^[23]						
	CPU = オフ RTC = オン (ECO32K がオンで、低消費電力モードにある) スリープ タイマー = オン (ILO がオンで、1kHz で動作) ^[24] WDT = オフ I ² C ウェイクアップ = オフ コンパレータ = オフ POR = オン ブースト = オフ SIO ピンがシングルエンド入力、非安定化出力モードにある	V _{DD} = V _{DDIO} = 4.5 ~ 5.5V	T = -40°C	-	1.9	3.1	μA
			T = 25°C	-	2.4	3.6	
			T = 85°C	-	5	16	
		V _{DD} = V _{DDIO} = 2.7 ~ 3.6V	T = -40°C	-	1.7	3.1	
			T = 25°C	-	2	3.6	
			T = 85°C	-	4.2	16	
		V _{DD} = V _{DDIO} = 1.71 ~ 1.95V	T = -40°C	-	1.6	3.1	
			T = 25°C	-	1.9	3.6	
			T = 85°C	-	4.2	16	
	コンパレータ = オン CPU = オフ RTC = オフ スリープ タイマー = オフ WDT = オフ I2C ウェイクアップ = オフ POR = オン ブースト = オフ SIO ピンがシングルエンド入力、非安定化出力モードにある	V _{DD} = V _{DDIO} = 2.7V ~ 3.6V ^[25]	T = 25°C	-	3	4.2	μA
	I2C ウェイクアップ = オン CPU = オフ RTC = オフ スリープ タイマー = オフ WDT = オフ コンパレータ = オフ POR = オン ブースト = オフ SIO ピンがシングルエンド入力、非安定化出力モードにある	V _{DD} = V _{DDIO} = 2.7 ~ 3.6V ^[25]	T = 25°C	-	1.7	3.6	μA
ハイバネート モード							
	ハイバネート モード電流 レギュレータおよび発振器はすべてオフ データが SRAM に保持されたまま GPIO 割込みがアクティブ ブースト = オフ SIO ピンがシングルエンド入力、非安定化出力モードにある	V _{DD} = V _{DDIO} = 4.5 ~ 5.5V	T = -40°C	-	0.2	2	μA
			T = 25°C	-	0.24	2	
			T = 85°C	-	2.6	15	
		V _{DD} = V _{DDIO} = 2.7 ~ 3.6V	T = -40°C	-	0.11	2	
			T = 25°C	-	0.3	2	
			T = 85°C	-	2	15	
		V _{DD} = V _{DDIO} = 1.71 ~ 1.95V	T = -40°C	-	0.9	2	
			T = 25°C	-	0.11	2	
			T = 85°C	-	1.8	15	
I _{DDAR} ^[25]	デバイスのリセット中のアナログ消費電流	V _{DDA} ≤ 3.6V	-	0.3	0.6	mA	
		V _{DDA} > 3.6V	-	1.4	3.3	mA	
I _{DDDR} ^[25]	デバイスのリセット中のデジタル消費電流	V _{DDD} ≤ 3.6V	-	1.1	3.1	mA	
		V _{DDD} > 3.6V	-	0.7	3.1	mA	
I _{DD_PROG} ^[25]	デバイスのプログラミング中の消費電流。デジタル電流、アナログ電流と I/O 電流の合計：I _{DDD} + I _{DDA} + I _{DDIOX}		-	15	21	mA	

注:

22. プログラムされた論理ブロックだけで実装される追加ペリフェラルの消費電流は、統合開発環境である PSoC Creator での各データシートに記載されています。総電流を予測するには、デバイス データシートおよびコンポーネント データシートで特定のシステムにおけるペリフェラルの消費電流を調べ、特定の周波数での CPU 電流に加算してください。
23. V_{CCD} および V_{CCA} を外部で安定化している場合、 V_{CCD} と V_{CCA} 間の電圧差が 50mV 未満でなければなりません。
24. スリープ タイマーは、CPU のウェイクアップのために定期的に割込みを生成します。この仕様は、CPU がオフである場合にのみ適用します。
25. デバイスの特性評価に基づく値 (出荷試験されていません)。USBIO ピンはグラウンド (VSSD) に接続されています。

図 11-1. アクティブモード電流対 F_{CPU} 、 $V_{DD} = 3.3V$ 、
温度 = 25°C

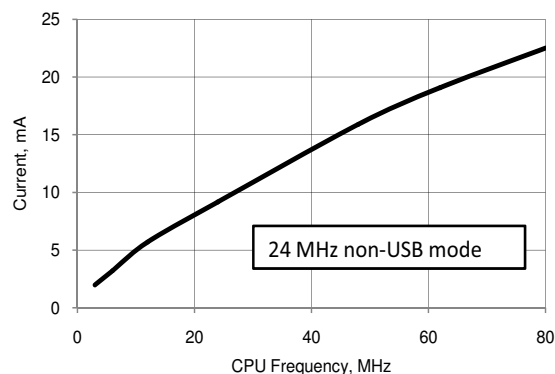


Figure 11-2. 25 °C で I_{DD} 対周波数

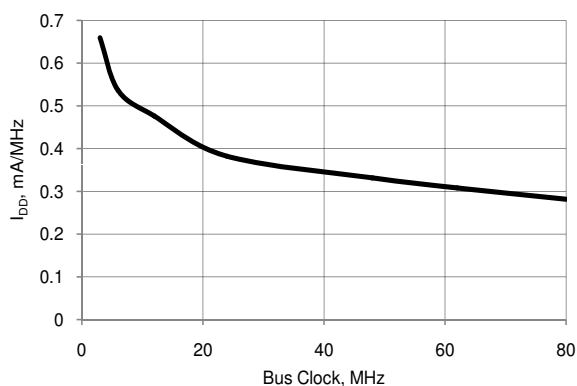


Figure 11-3. アクティブ モード電流対温度と
 F_{CPU} 、 $V_{DD} = 3.3V$

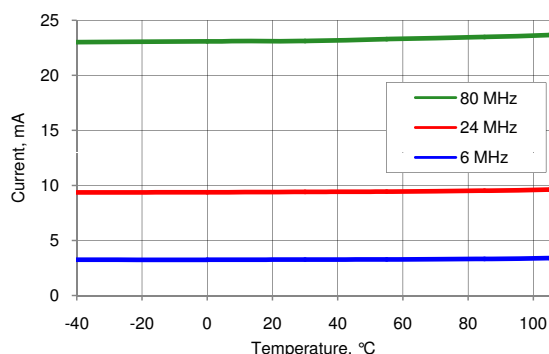


Figure 11-4. アクティブ モード電流対 V_{DD} と
温度、 $F_{CPU} = 24MHz$

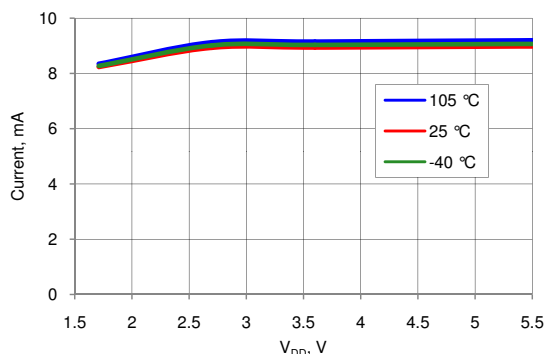


表 11-3. AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
F_{CPU}	CPU 周波数	$1.71V \leq V_{DD} \leq 5.5V$	DC	—	80.01	MHz
F_{BUSCLK}	バス周波数	$1.71V \leq V_{DD} \leq 5.5V$	DC	—	80.01	MHz
S_{VDD}	V_{DD} ランプ レート		—	—	0.066	V/ μ s
$T_{IO_INIT}^{[26]}$	$V_{DD}/V_{DDA}/V_{CCD}/V_{CCA} \geq IPOR$ から、I/O ポート がリセット状態に設定されるまでの時間		—	—	10	μ s
$T_{STARTUP}^{[26]}$	$V_{DD}/V_{DDA}/V_{CCD}/V_{CCA} \geq PRES$ から、CPU が リセット ベクタでコードを実行するまでの時間	$V_{CCA}/V_{DDA} = V_{DDA}/V_{DD}$ から安 定化、PLL 未使用、高速 IMO ブ ート モード (Typ は 48MHz)	—	—	33	μ s
		$V_{CCA}/V_{CCD} = V_{DDA}/V_{DD}$ から安 定化、PLL 未使用、IMO ブート モード (Typ は 12MHz)	—	—	66	μ s
$T_{SLEEP}^{[26]}$	スリープ モードからのウェイクアップ - 非 LVD 割込みの適用から次の CPU 命令の実行 開始までの時間		—	—	25	μ s
$T_{HIBERNATE}^{[26]}$	ハイバネート モードからのウェイクアップ - 外 部割込みの適用から次の CPU 命令の実行開始 までの時間		—	—	150	μ s

注:

26. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.3 電源レギュレータ

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。

11.3.1 デジタル コア レギュレータ

表 11-4. デジタル コア レギュレータの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{DDD}	入力電圧		1.8	–	5.5	V
V_{CCD}	出力電圧		–	1.80	–	V
	レギュレータ出力コンデンサ	$\pm 10\%$ 、X5R セラミックまたはこれより良質のもの。2 本の V_{CCD} ピンは可能な限り短い配線で短絡する必要がある。26 ページの「電源システム」をご参照ください	0.9	1	1.1	μF

図 11-5. アナログとデジタル レギュレータ、 V_{CC} 対 V_{DD} 、10mA 負荷

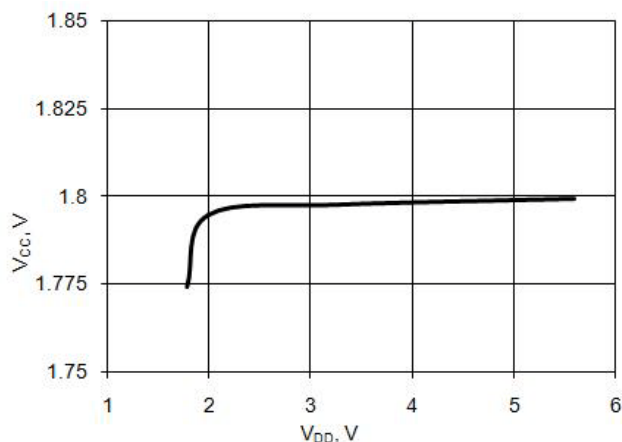
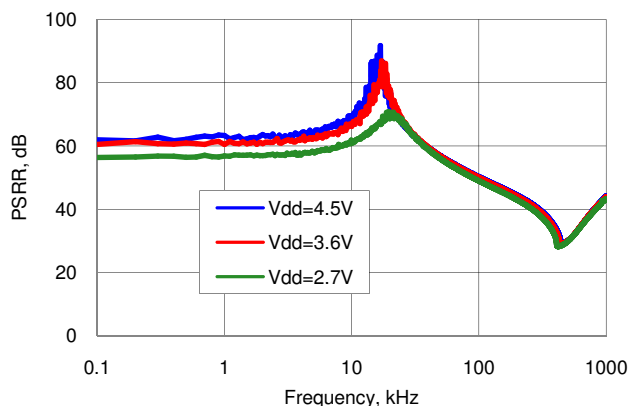


図 11-6. デジタル レギュレータの PSRR 対周波数と V_{DD}

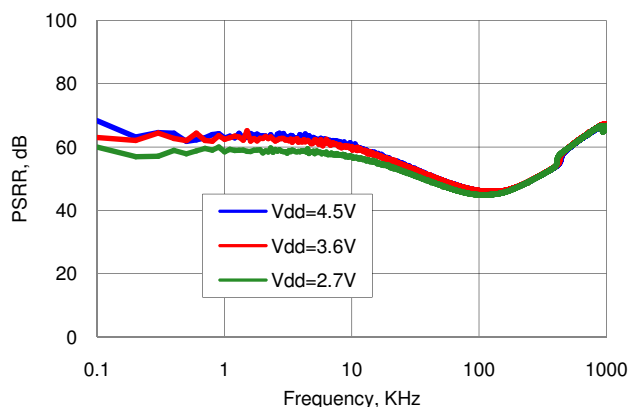


11.3.2 アナログ コア レギュレータ

表 11-5. アナログ コア レギュレータの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{DDA}	入力電圧		1.8	–	5.5	V
V_{CCA}	出力電圧		–	1.80	–	V
	レギュレータ出力コンデンサ	$\pm 10\%$ 、X5R セラミックまたはこれより良質のもの	–	1	–	μF

図 11-7. アナログ レギュレータの PSRR 対周波数と V_{DD}



11.3.3 インダクティブ ブースト レギュレータ

特に定めのない限り、動作条件は： $V_{BAT} = 0.5V \sim 3.6V$ 、 $V_{OUT} = 1.8V \sim 5.0V$ 、 $I_{OUT} = 0mA \sim 50mA$ 、 $L_{BOOST} = 4.7\mu H \sim 22\mu H$ 、 $C_{BOOST} = 22\mu F \parallel 3 \times 1.0\mu F \parallel 3 \times 0.1\mu F$ 、 $C_{BAT} = 22\mu F$ 、 $I_F = 1.0A$ 。特記されていない限り、すべての図とグラフは標準値を示します。

表 11-6. インダクティブ ブースト レギュレータの DC 仕様

パラメーター	説明	条件		Min	Typ	Max	単位
V _{OUT}	ブースト出力電圧 ^[27]	BOOST_CR0 レジスタで v _{sel} = 1.8V		1.71	1.8	1.89	V
		BOOST_CR0 レジスタで v _{sel} = 1.9V		1.81	1.90	2.00	V
		BOOST_CR0 レジスタで v _{sel} = 2.0V		1.90	2.00	2.10	V
		BOOST_CR0 レジスタで v _{sel} = 2.4V		2.16	2.40	2.64	V
		BOOST_CR0 レジスタで v _{sel} = 2.7V		2.43	2.70	2.97	V
		BOOST_CR0 レジスタで v _{sel} = 3.0V		2.70	3.00	3.30	V
		BOOST_CR0 レジスタで v _{sel} = 3.3V		2.97	3.30	3.63	V
		BOOST_CR0 レジスタで v _{sel} = 3.6V		3.24	3.60	3.96	V
		BOOST_CR0 レジスタで v _{sel} = 5.0V		4.50	5.00	5.50	V
V _{BAT}	ブーストレギュレータの入力電圧 ^[28]	I _{OUT} = 0mA ~ 5mA	v _{sel} = 1.8V ~ 2.0V、 T _A = 0°C ~ 70°C	0.5	–	0.8	V
		I _{OUT} = 0mA ~ 15mA	v _{sel} = 1.8V ~ 5.0V ^[29] 、 T _A = –10°C ~ 85°C	1.6	–	3.6	V
		I _{OUT} = 0mA ~ 25mA	v _{sel} = 1.8V ~ 2.7V、 T _A = –10°C ~ 85°C	0.8	–	1.6	V
		I _{OUT} = 0mA ~ 50mA	v _{sel} = 1.8V ~ 3.3V ^[29] 、 T _A = –40°C ~ 85°C	1.8	–	2.5	V
			v _{sel} = 1.8V ~ 3.3V ^[29] 、 T _A = –10°C ~ 85°C	1.3	–	2.5	V
			v _{sel} = 2.5V ~ 5.0V ^[29] 、 T _A = –10°C ~ 85°C	2.5	–	3.6	V
		I _{OUT}	出力電流	T _A = 0°C ~ 70°C	V _{BAT} = 0.5V ~ 0.8V	0	–
T _A = –10°C ~ 85°C	V _{BAT} = 1.6V ~ 3.6V			0	–	15	mA
	V _{BAT} = 0.8V ~ 1.6V			0	–	25	mA
	V _{BAT} = 1.3V ~ 2.5V			0	–	50	mA
	V _{BAT} = 2.5V ~ 3.6V			0	–	50	mA
T _A = –40°C ~ 85°C	V _{BAT} = 1.8V ~ 2.5V			0	–	50	mA
I _{LPK}	インダクタのピーク電流					–	–
I _Q	静止電流	ブースト アクティブ モード		–	250	–	μA
		ブースト スリープ モード、I _{OUT} < 1μA		–	25	–	μA
Reg _{LOAD}	負荷安定化			–	–	10	%
Reg _{LINE}	電圧安定化			–	–	10	%

注：

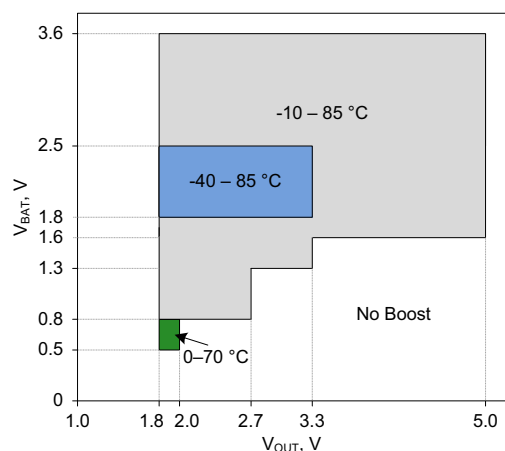
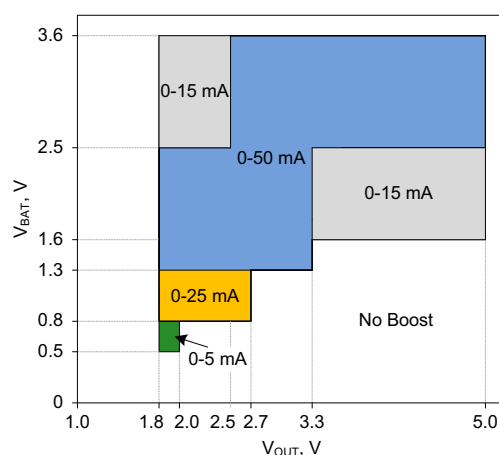
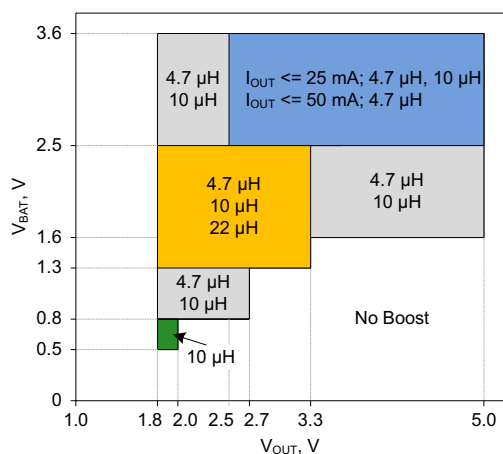
27. 一覧表示されている v_{sel} オプションは特性評価されました。追加の v_{sel} オプションは有効であり、設計保証です。

28. ブーストは、 $V_{BAT} = 0.5V$ まで下げる条件を含む全ての有効な V_{BAT} 条件で開始します。

29. V_{BAT} が V_{OUT} ブースト設定以上になる場合、ブースト回路での抵抗損失の原因で、 V_{OUT} は V_{BAT} 未満になります。

表 11-7. ブースト回路の推奨外付け部品

パラメーター	説明	条件	Min	Typ	Max	単位
L_{BOOST}	ブースト インダクタ	4.7 μH 定格	3.7	4.7	5.7	μH
		10 μH 定格	8.0	10.0	12.0	μH
		22 μH 定格	17.0	22.0	27.0	μH
C_{BOOST}	V_{DDD} 、 V_{DDA} 、 V_{DDIO} の総静電容量 [30]		17.0	26.0	31.0	μF
C_{BAT}	電池フィルター コンデンサ		17.0	22.0	27.0	μF
I_{F}	ショットキー ダイオードの 平均順方向電流		1.0	–	–	A
V_{R}	ショットキー逆電圧		20.0	–	–	V

図 11-8. V_{BAT} および V_{OUT} による T_{A} の範囲

図 11-9. V_{BAT} および V_{OUT} による I_{OUT} の範囲

図 11-10. V_{BAT} および V_{OUT} による L_{BOOST} の値


注：
30. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-11. V_{BAT} 、 $L_{BOOST} = 4.7\mu H$ ^[31] の時の効率

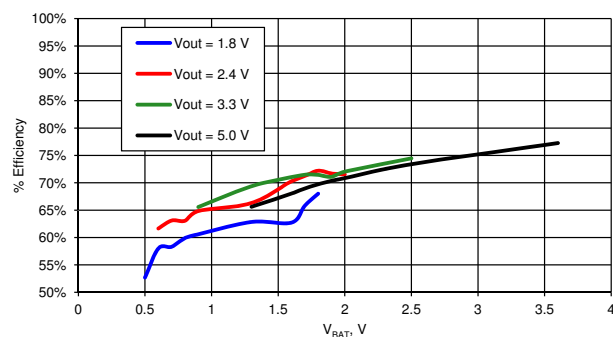


図 11-12. V_{BAT} 、 $L_{BOOST} = 10\mu H$ ^[31] の時の効率

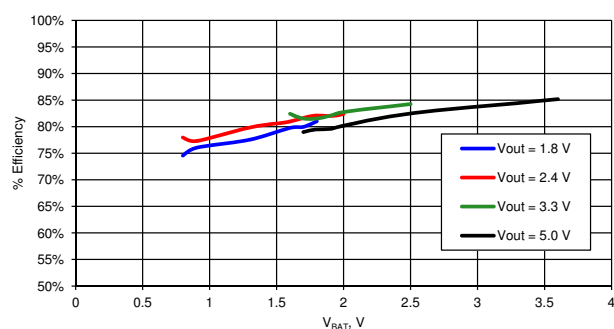


図 11-13. V_{BAT} 、 $L_{BOOST} = 22\mu H$ ^[31] の時の効率

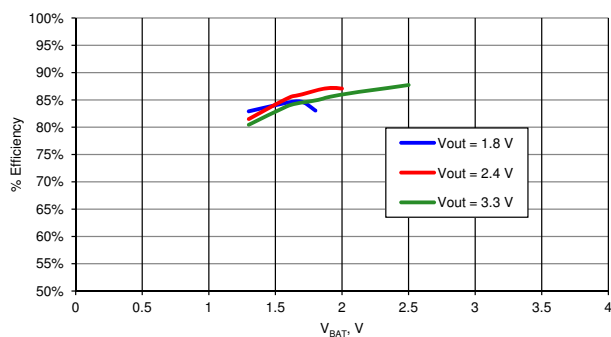
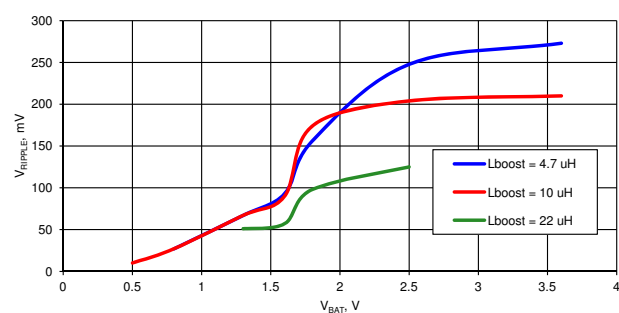


図 11-14. V_{RIPPLE} 対 V_{BAT} ^[31]



注:

31. 一般的な例。実際の値は外部コンポーネント選択、PCB レイアウトと他のパラメータによって異なります。

11.4 入力と出力

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。特記されていない限り、すべての図とグラフは標準値を示します。

電源が立ち上ると、 V_{DDIO} と V_{DDA} の両方が IPOR 電圧 (1.45 V に達する可能性がある) に達するまで、ピンの電圧は不定になります。その時点で、ピンは通常の NVL 設定に変更されます。

11.4.1 GPIO

表 11-8. GPIO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{IH}	入力電圧の HIGH 閾値	CMOS 入力、 $PRT[x]CTL = 0$	$0.7 \times V_{DDIO}$	—	—	V
V_{IL}	入力電圧の LOW 閾値	CMOS 入力、 $PRT[x]CTL = 0$	—	—	$0.3 \times V_{DDIO}$	V
V_{IH}	入力電圧の HIGH 閾値	LVTTL 入力、 $PRT[x]CTL = 1$ 、 $V_{DDIO} < 2.7\text{V}$	$0.7 \times V_{DDIO}$	—	—	V
V_{IH}	入力電圧の HIGH 閾値	LVTTL 入力、 $PRT[x]CTL = 1$ 、 $V_{DDIO} \geq 2.7\text{V}$	2.0	—	—	V
V_{IL}	入力電圧の LOW 閾値	LVTTL 入力、 $PRT[x]CTL = 1$ 、 $V_{DDIO} < 2.7\text{V}$	—	—	$0.3 \times V_{DDIO}$	V
V_{IL}	入力電圧の LOW 閾値	LVTTL 入力、 $PRT[x]CTL = 1$ 、 $V_{DDIO} \geq 2.7\text{V}$	—	—	0.8	V
V_{OH}	出力 HIGH 電圧	$3.3 V_{DDIO}$ で $IOH = 4\text{mA}$	$V_{DDIO} - 0.6$	—	—	V
		$1.8 V_{DDIO}$ で $IOH = 1\text{mA}$	$V_{DDIO} - 0.5$	—	—	V
V_{OL}	出力 LOW 電圧	$3.3 V_{DDIO}$ で $IOL = 8\text{mA}$	—	—	0.6	V
		$3.3 V_{DDIO}$ で $IOL = 3\text{mA}$	—	—	0.4	V
		$1.8 V_{DDIO}$ で $IOL = 4\text{mA}$	—	—	0.6	V
			—	—	—	V
Rpullup	プルアップ抵抗		3.5	5.6	8.5	$k\Omega$
Rpulldown	プルダウン抵抗		3.5	5.6	8.5	$k\Omega$
I_{IL}	入力リーク電流 (絶対値) ^[32]	25°C 、 $V_{DDIO} = 3.0\text{V}$	—	—	2	nA
C_{IN}	入力容量 ^[32]	P0.0、P0.1、P0.2、P3.6、P3.7	—	17	20	pF
		P0.3、P0.4、P3.0、P3.1、P3.2	—	10	15	pF
		P0.6、P0.7、P15.0、P15.6、P15.7 ^[33]	—	7	12	pF
		他のすべての GPIO	—	5	9	pF
V_H	入力電圧ヒステリシス (シュミットトリガー) ^[32]		—	40	—	mV
Idiode	保護ダイオードを通して V_{DDIO} および V_{SSIO} に流れる電流		—	—	100	μA
Rglobal	アナログ グローバル バスに接続する抵抗ピン	25°C 、 $V_{DDIO} = 3.0\text{V}$	—	320	—	W
Rmux	アナログ マルチプレクサ バスに接続する抵抗ピン	25°C 、 $V_{DDIO} = 3.0\text{V}$	—	220	—	W

注:

32. デバイスの特性評価に基づく値 (出荷試験されていません)。

33. PSoC 発振器の設計については、アプリケーション ノート「AN54439 - PSoC® 3 and PSoC 5 External Oscillator」をご参照ください。

図 11-15. GPIO 出力 HIGH 電圧および電流

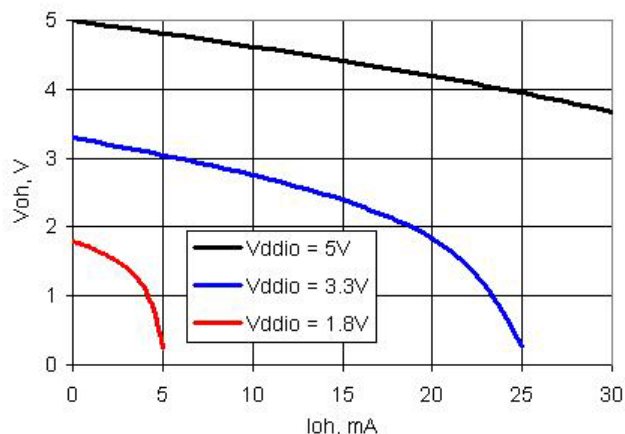
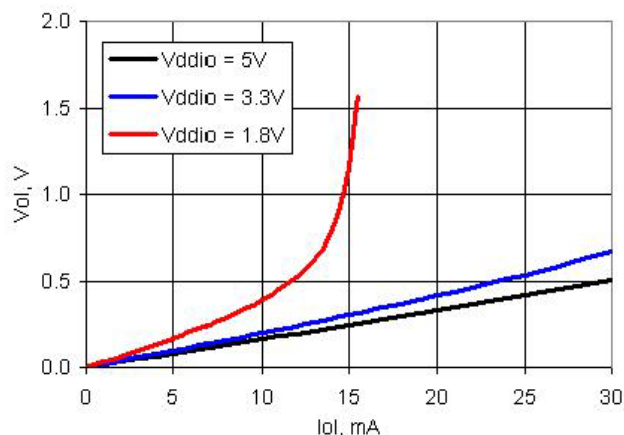


図 11-16. GPIO 出力 LOW 電圧および電流


 表 11-9. GPIO の AC 仕様^[34]

パラメーター	説明	条件	Min	Typ	Max	単位
TriseF	高速ストロング モードでの立ち上がり時間	3.3V V_{DDIO} 、 $C_{load} = 25pF$	—	—	6	ns
TfallF	高速ストロング モードでの立ち下がり時間	3.3V V_{DDIO} 、 $C_{load} = 25pF$	—	—	6	ns
TriseS	低速ストロング モードでの立ち上がり時間	3.3V V_{DDIO} 、 $C_{load} = 25pF$	—	—	60	ns
TfallS	低速ストロング モードでの立ち下がり時間	3.3V V_{DDIO} 、 $C_{load} = 25pF$	—	—	60	ns
Fgpioout	GPIO 出力動作周波数					
	$2.7V \leq V_{DDIO} \leq 5.5V$ 、高速ストロング駆動モード	90/10% V_{DDIO} 、25pF 負荷	—	—	33	MHz
	$1.71V \leq V_{DDIO} < 2.7V$ 、高速ストロング駆動モード	90/10% V_{DDIO} 、25pF 負荷	—	—	20	MHz
	$3.3V \leq V_{DDIO} \leq 5.5V$ 、低速ストロング駆動モード	90/10% V_{DDIO} 、25pF 負荷	—	—	7	MHz
Fgpioin	$1.71V \leq V_{DDIO} < 3.3V$ 、低速ストロング駆動モード	90/10% V_{DDIO} 、25pF 負荷	—	—	3.5	MHz
	GPIO 入力動作周波数	90/10% V_{DDIO}	—	—	33	MHz

注:

34. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.4.2 SIO

表 11-10. SIO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位	
Vinmax	最大入力電圧	V _{DDIO} および V _{ddd} のあり得るすべての値。節 11.1 をご参照ください	–	–	5.5	V	
Vinref	入力リファレンス電圧 (差動入力モード)		0.5	–	0.52 × V _{DDIO}	V	
Voutref	出力リファレンス電圧 (安定化出力モード)						
		V _{DDIO} > 3.7	1	–	V _{DDIO} – 1	V	
		V _{DDIO} < 3.7	1	–	V _{DDIO} – 0.5	V	
V _{IH}	入力電圧の HIGH 閾値						
	GPIO モード	CMOS 入力	0.7 × V _{DDIO}	–	–	V	
	差動入力モード [35]	ヒステリシスは無効	SIO_ref + 0.2	–	–	V	
V _{IL}	入力電圧の LOW 閾値						
	GPIO モード	CMOS 入力	–	–	0.3 × V _{DDIO}	V	
	差動入力モード [35]	ヒステリシスは無効	–	–	SIO_ref – 0.2	V	
V _{OH}	出力 HIGH 電圧						
	非安定化モード	I _{OH} = 4mA、V _{DDIO} = 3.3V	V _{DDIO} – 0.4	–	–	V	
	安定化モード [35]	I _{OH} = 1mA	SIO_ref – 0.65	–	SIO_ref + 0.2	V	
		I _{OH} = 0.1mA	SIO_ref – 0.3	–	SIO_ref + 0.2	V	
		負荷なし、I _{OH} = 0	SIO_ref – 0.1	–	SIO_ref + 0.1	V	
V _{OL}	出力 LOW 電圧		V _{DDIO} = 3.30V、I _{OL} = 25mA	–	–	0.8	V
			V _{DDIO} = 3.30V、I _{OL} = 20mA	–	–	0.4	V
			V _{DDIO} = 1.80V、I _{OL} = 4mA	–	–	0.4	V
Rpullup	プルアップ抵抗		3.5	5.6	8.5	kΩ	
Rpulldown	プルダウン抵抗		3.5	5.6	8.5	kΩ	
I _{IL}	入力リーク電流 (絶対値) [36]						
	V _{IH} ≤ V _{DDSI} O	25°C、V _{DDSI} O = 3.0V、V _{IH} = 3.0V	–	–	14	nA	
	V _{IH} > V _{DDSI} O	25°C、V _{DDSI} O = 0V、V _{IH} = 3.0V	–	–	10	μA	
C _{IN}	入力容量 [36]		–	–	9	pF	
V _H	入力電圧ヒステリシス (シュミット トリガー) [36]	シングルエンド モード (GPIO モード)	–	115	–	mV	
		差動モード	–	50	–	mV	
Idiode	保護ダイオードを通して V _{SSI} O に流れる電流		–	–	100	μA	

注:

35. SIO リファレンスの詳細については、34 ページの図 6-10 と 38 ページの図 6-13 をご参照ください。
 36. デバイスの特性評価に基づく値 (出荷試験されていません)。

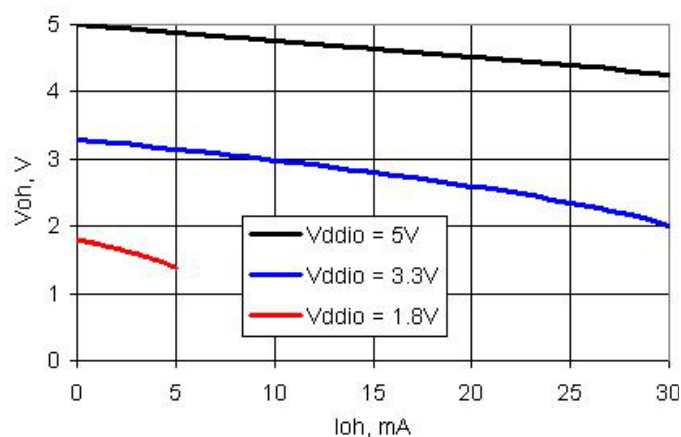
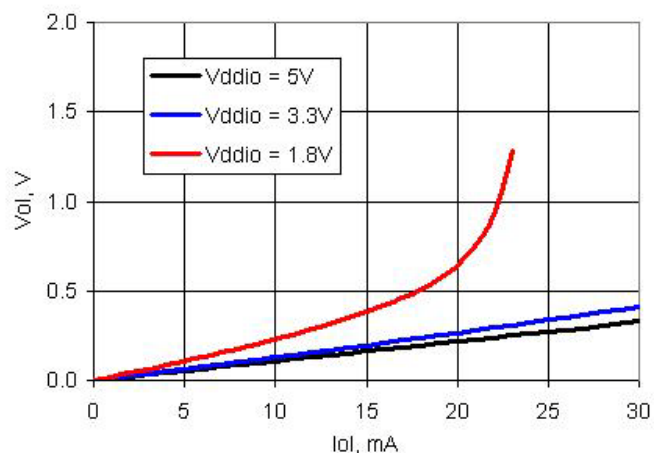
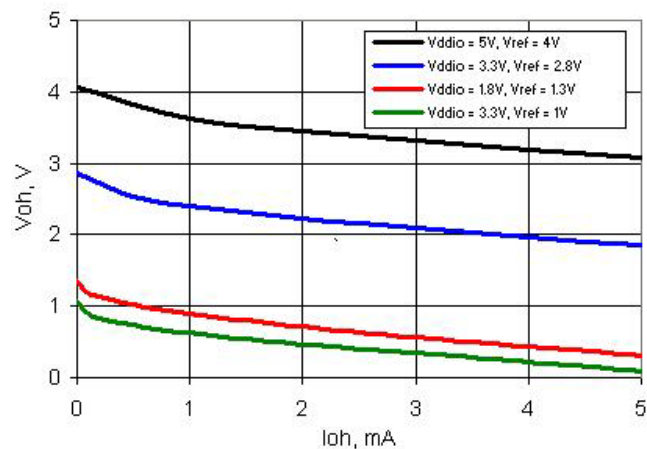
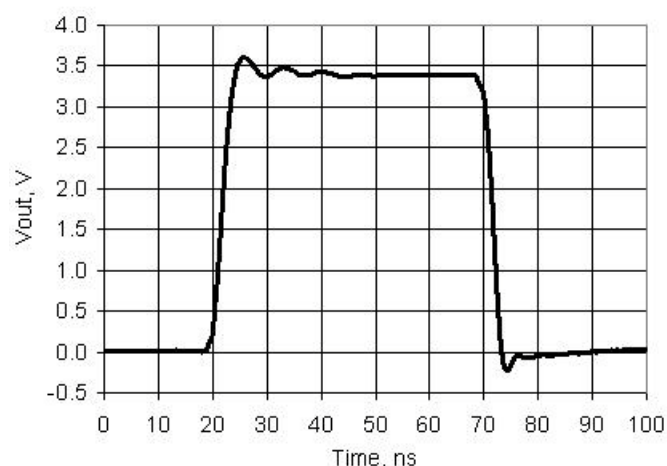
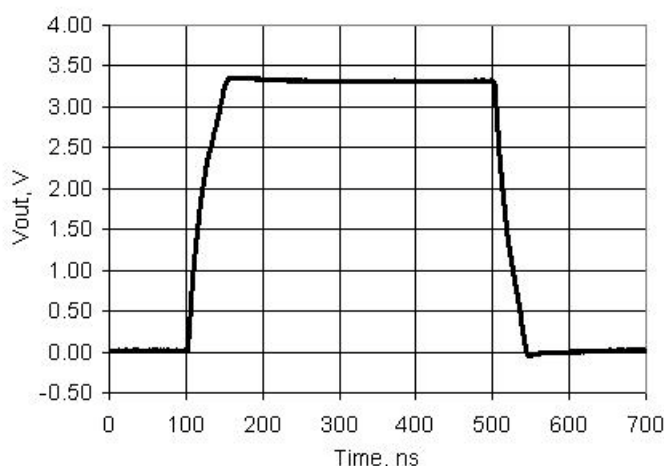
**図 11-17. SIO 出力高電圧および電流、
非安定化モード**

**図 11-18. SIO 出力低電圧および電流、
非安定化モード**

図 11-19. SIO 出力 HIGH 電圧および電流、安定化モード


表 11-11. SIO の AC 仕様^[37]

パラメーター	説明	条件	Min	Typ	Max	単位
TriseF	高速ストロング モードでの立ち上がり時間 (90/10%)	Cload = 25pF、V _{DDIO} = 3.3V	–	–	12	ns
TfallF	高速ストロング モードでの立ち下がり時間 (90/10%)	Cload = 25pF、V _{DDIO} = 3.3V	–	–	12	ns
TriseS	低速ストロング モードでの立ち上がり時間 (90/10%)	Cload = 25pF、V _{DDIO} = 3.0V	–	–	75	ns
TfallS	低速ストロング モードでの立ち下がり時間 (90/10%)	Cload = 25pF、V _{DDIO} = 3.0V	–	–	60	ns
Fsioout	SIO 出力動作周波数					
	2.7V < V _{DDIO} < 5.5V、非安定化出力 (GPIO) モード、高速ストロング駆動モード	90/10% V _{DDIO} 、25pF 負荷	–	–	33	MHz
	1.71V < V _{DDIO} < 2.7V、非安定化出力 (GPIO) モード、高速ストロング駆動モード	90/10% V _{DDIO} 、25pF 負荷	–	–	16	MHz
	3.3V < V _{DDIO} < 5.5V、非安定化出力 (GPIO) モード、低速ストロング駆動モード	90/10% V _{DDIO} 、25pF 負荷	–	–	5	MHz
	1.71V < V _{DDIO} < 3.3V、非安定化出力 (GPIO) モード、低速ストロング駆動モード	90/10% V _{DDIO} 、25pF 負荷	–	–	4	MHz
	2.7V < V _{DDIO} < 5.5V、安定化出力モード、高速ストロング駆動モード	出力が連続的に切り替わり、25pF 負荷	–	–	20	MHz
	1.71V < V _{DDIO} < 2.7V、安定化出力モード、高速ストロング駆動モード	出力が連続的に切り替わり、25pF 負荷	–	–	10	MHz
Fsioin	SIO 入力動作周波数					
	1.71V ≤ V _{DDIO} ≤ 5.5V	90/10% V _{DDIO}	–	–	33	MHz

図 11-20. SIO 出力立ち上がりおよび立ち下がり時間、高速ストロング モード、V_{DDIO} = 3.3V、25pF 負荷

図 11-21. SIO 出力立ち上がりおよび立ち下がり時間、低速 Strong (ストロング) モード、V_{DDIO} = 3.3V、25pF 負荷

注:

37. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-12. SIO コンパレータ仕様^[38]

パラメーター	説明	条件	Min	Typ	Max	単位
Vos	オフセット電圧	$V_{DDIO} = 2V$	–	–	68	mV
		$V_{DDIO} = 2.7V$	–	–	72	
		$V_{DDIO} = 5.5V$	–	–	82	
TCVos	温度に伴うオフセット電圧のドリフト		–	–	250	$\mu V/^{\circ}C$
CMRR	同相信号除去比	$V_{DDIO} = 2V$	30	–	–	dB
		$V_{DDIO} = 2.7V$	35	–	–	
		$V_{DDIO} = 5.5V$	40	–	–	
Tresp	応答時間		–	–	30	ns

11.4.3 USBIO

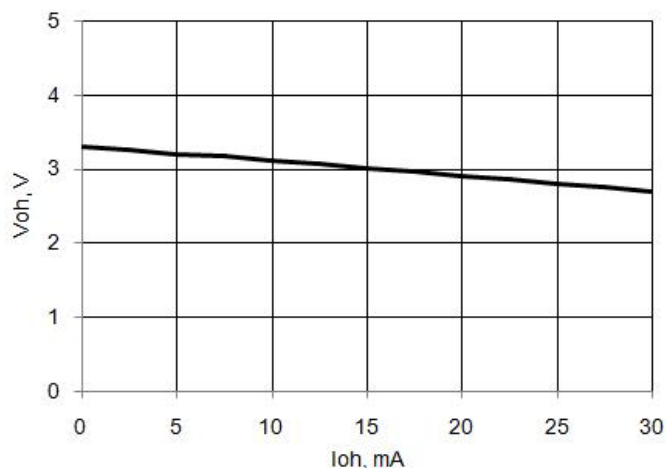
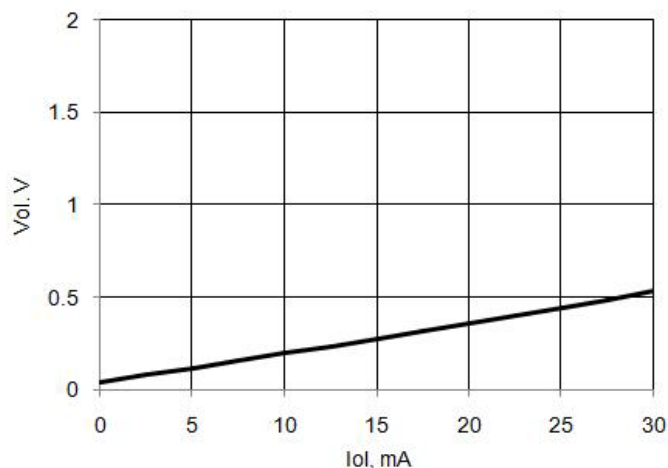
GPIO モードでは、 V_{DDD} の標準範囲が適用されます。[61 ページの「デバイス レベルの仕様」](#)をご参照ください。

表 11-13. USBIO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
Rusbi	USB D+ プルアップ抵抗 ^[38]	アイドル バスあり	0.900	–	1.575	k Ω
Rusba	USB D+ プルアップ抵抗 ^[38]	トラフィック受信中	1.425	–	3.090	k Ω
Vohusb	スタティック出力 HIGH ^[38]	V_{SS} に接続する 15k Ω \pm 5% 抵抗、内部プルアップが有効	2.8	–	3.6	V
Volusb	スタティック出力 LOW ^[38]	V_{SS} に接続する 15k Ω \pm 5% 抵抗、内部プルアップが有効	–	–	0.3	V
Vihgpio	入力 HIGH 電圧、GPIO モード ^[38]	$V_{DDD} = 1.8V$	1.5	–	–	V
		$V_{DDD} = 3.3V$	2	–	–	V
		$V_{DDD} = 5.0V$	2	–	–	V
Vilgpio	入力 LOW 電圧、GPIO モード ^[38]	$V_{DDD} = 1.8V$	–	–	0.8	V
		$V_{DDD} = 3.3V$	–	–	0.8	V
		$V_{DDD} = 5.0V$	–	–	0.8	V
Vohgpio	出力 HIGH 電圧、GPIO モード ^[38]	$I_{OH} = 4mA$, $V_{DDD} = 1.8V$	1.6	–	–	V
		$I_{OH} = 4mA$, $V_{DDD} = 3.3V$	3.1	–	–	V
		$I_{OH} = 4mA$, $V_{DDD} = 5.0V$	4.2	–	–	V
Volgpio	出力 LOW 電圧、GPIO モード ^[38]	$I_{OL} = 4mA$, $V_{DDD} = 1.8V$	–	–	0.3	V
		$I_{OL} = 4mA$, $V_{DDD} = 3.3V$	–	–	0.3	V
		$I_{OL} = 4mA$, $V_{DDD} = 5.0V$	–	–	0.3	V
Vdi	差動入力感度	$ (D+) - (D-) $	–	–	0.2	V
Vcm	差動入力同相モード範囲		0.8	–	2.5	V
VSE	シングルエンド レシーバー閾値		0.8	–	2	V
Rps2	PS/2 プルアップ抵抗 ^[38]	PS/2 モードにおいて、PS/2 プルアップが有効	3	–	7	k Ω
Rext	外付け USB 直列抵抗 ^[38]	各 USB ピンと直列	21.78 (–1%)	22	22.22 (+1%)	Ω
Zo	USB ドライバー出力インピーダンス ^[38]	Rext を含む	28	–	44	Ω
C _{IN}	USB トランシーバー入力容量		–	–	20	pF
I _{IL}	入力リーク電流 (絶対値) ^[38]	25 $^{\circ}C$, $V_{DDD} = 3.0V$	–	–	2	nA

注:

38. デバイスの特性評価に基づく値 (出荷試験されていません)。

**図 11-22. USBIO 出力 HIGH 電圧および電流、
GPIO モード**

**図 11-23. USBIO 出力 LOW 電圧および電流、
GPIO モード**

表 11-14. USBIO の AC 仕様^[39]

パラメーター	説明	条件	Min	Typ	Max	単位
Tdrate	フルスピード データ転送速度の 平均ビット レート		12 - 0.25%	12	12 + 0.25%	MHz
Tjr1	次の遷移に比するレシーバー データ ジッタ 許容範囲		-8	-	8	ns
Tjr2	ペアの遷移に比するレシーバー データ ジッタ 許容範囲		-5	-	5	ns
Tdj1	次の遷移に比するドライバー差動遷移ジッタ		-3.5	-	3.5	ns
Tdj2	ペアの遷移に比するドライバー差動遷移ジッタ		-4	-	4	ns
Tfdeop	SE0 遷移に比する差動遷移のソース ジッタ		-2	-	5	ns
Tfeopt	ソースの EOP の SE0 間隔		160	-	175	ns
Tfeopr	レシーバーの EOP の SE0 間隔		82	-	-	ns
Tfst	差動遷移中の SE0 間隔の幅		-	-	14	ns
Fgpio_out	GPIO モード出力動作周波数	3V ≤ V _{DDD} ≤ 5.5V	-	-	20	MHz
		V _{DDD} = 1.71V	-	-	6	MHz
Tr_gpio	立ち上がり時間、GPIO モード、10%/90% V _{DDD}	V _{DDD} > 3V、25pF 負荷	-	-	12	ns
		V _{DDD} = 1.71V、25pF 負荷	-	-	40	ns
Tf_gpio	立ち下がり時間、GPIO モード、90%/10% V _{DDD}	V _{DDD} > 3V、25pF 負荷	-	-	12	ns
		V _{DDD} = 1.71V、25pF 負荷	-	-	40	ns

注：

39. デバイスの特性評価に基づく値 (出荷試験されていません)。

**図 11-24. USBIO 出力立ち上がりおよび立ち下がり時間、GPIO
モード、 $V_{DD0} = 3.3\text{ V}$ 、 25 pF 負荷**

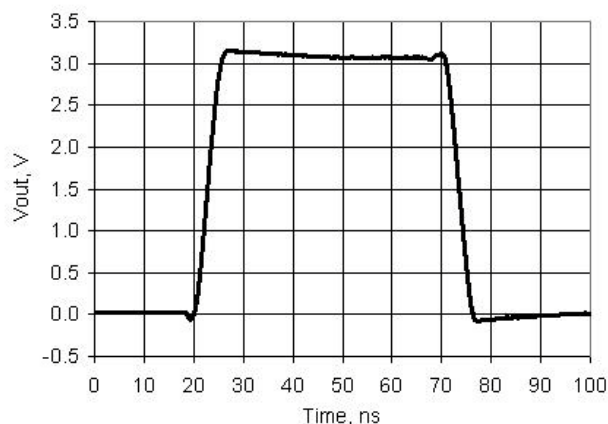


表 11-15. USB ドライバーの AC 仕様^[40]

パラメーター	説明	条件	Min	Typ	Max	単位
Tr	立ち上がり遷移時間		–	–	20	ns
Tf	立ち下がり遷移時間		–	–	20	ns
TR	立ち上がり／立ち下がり時間の一致	V_{USB_5} 、 $V_{\text{USB}_3.3}$ 、91 ページの「USB の DC 仕様」をご参照ください	90%	–	111%	
Vcrs	出力信号交差電圧		1.3	–	2	V

11.4.4 XRES

表 11-16. XRES の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{IH}	入力電圧の HIGH 閾値		$0.7 \times V_{\text{DDIO}}$	–	–	V
V_{IL}	入力電圧の LOW 閾値		–	–	$0.3 \times V_{\text{DDIO}}$	V
Rpullup	プルアップ抵抗		3.5	5.6	8.5	k Ω
C_{IN}	入力容量 ^[40]		–	3		pF
V_{H}	入力電圧ヒステリシス (シュミットトリガー) ^[40]		–	100	–	mV
Idiode	保護ダイオードを通して V_{DDIO} および V_{SSIO} に流れる電流		–	–	100	μA

表 11-17. XRES の AC 仕様^[40]

パラメーター	説明	条件	Min	Typ	Max	単位
T_{RESET}	リセット パルス幅		1	–	–	μs

11.5 アナログ ペリフェラル

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_{\text{A}} \leq 85^{\circ}\text{C}$ および $T_{\text{J}} \leq 100^{\circ}\text{C}$ で有効です。仕様は注記した場合を除いて、 $1.71\text{V} \sim 5.5\text{V}$ において有効です。

11.5.1 電圧リファレンス

表 11-18. リファレンス電圧の仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{REF}	高精度リファレンス電圧	初期トリム、 25°C	1.013 (–1%)	1.024	1.035 (+1%)	V

注：

40. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.5.2 SAR ADC

表 11-19. SAR ADC の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	分解能		–	–	12	ビット
	チャンネル数—シングル エンド		–	–	GPIO 数	
	チャンネル数—差動	差動ペアは、隣接する一組の GPIO に よって形成	–	–	GPIO 数 /2	
	単調増加性 ^[41]		有	–	–	
Ge	ゲイン誤差 ^[42]	外部リファレンス	–	–	±0.1	%
V _{OS}	入力オフセット電圧		–	–	±2	mV
I _{DD}	消費電流 ^[41]		–	–	1	mA
	入力電圧範囲—シングルエンド ^[41]		V _{SSA}	–	V _{DDA}	V
	入力電圧範囲—差動 ^[41]		V _{SSA}	–	V _{DDA}	V
PSRR	電源電圧変動除去比 ^[41]		70	–	–	dB
CMRR	同相信号除去比		70	–	–	dB
INL	積分非直線性 ^[41]	V _{DDA} 1.71 ~ 5.5V、1Msps、V _{REF} 1 ~ 5.5V、ExtRef ピンでバイパス	–	–	+2/–1.5	LSB
		V _{DDA} 2.0 ~ 3.6V、1Msps、V _{REF} 2 ~ V _{DDA} 、ExtRef ピンでバイパス	–	–	±1.2	LSB
		V _{DDA} 1.71 ~ 5.5V、500ksps、V _{REF} 1 ~ 5.5V、ExtRef ピンでバイパス	–	–	±1.3	LSB
DNL	微分非直線性 ^[41]	V _{DDA} 1.71 ~ 5.5V、1Msps、V _{REF} 1 ~ 5.5V、ExtRef ピンでバイパス	–	–	+2/–1	LSB
		V _{DDA} 2.0 ~ 3.6V、1Msps、V _{REF} 2 ~ V _{DDA} 、ExtRef ピンでバイパス ミッシング コードなし	–	–	1.7/–0.99	LSB
		V _{DDA} 1.71 ~ 5.5V、500ksps、V _{REF} 1 ~ 5.5V、ExtRef ピンでバイパス ミッシング コードなし	–	–	+2/–0.99	LSB
R _{IN}	入力抵抗 ^[41]		–	180	–	kΩ

図 11-25. SAR ADC DNL 対出力コード、
バイパス内部リファレンスモード

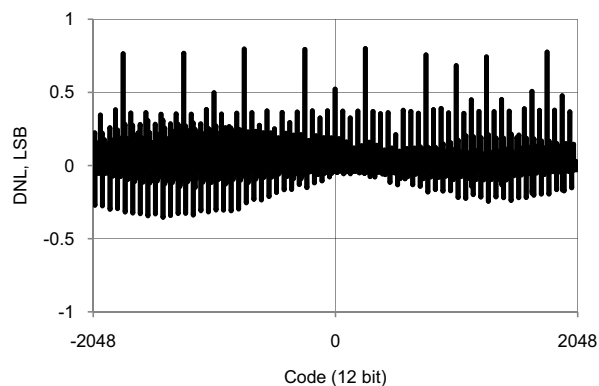
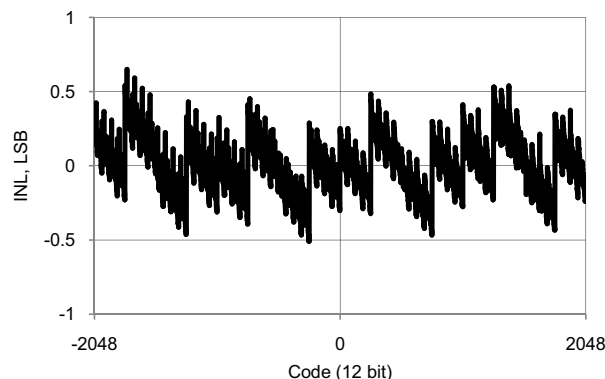


図 11-26. SAR ADC DNL 対出力コード、
バイパス内部リファレンスモード



注：

41. デバイスの特性評価に基づく値 (出荷試験されていません)。

42. アナログ システムの合計 I_{DD} が 5mA 未満の場合、この値は使用されたパッケージに依存します。アナログ システムのもっと高い合計電流には、SAR ADC を差
動モードで使用することを推奨されます。

図 11-27. SAR ADC I_{DD} 対 sps、 $V_{DDA} = 5V$ 、連続サンプルモード、外部リファレンスモード

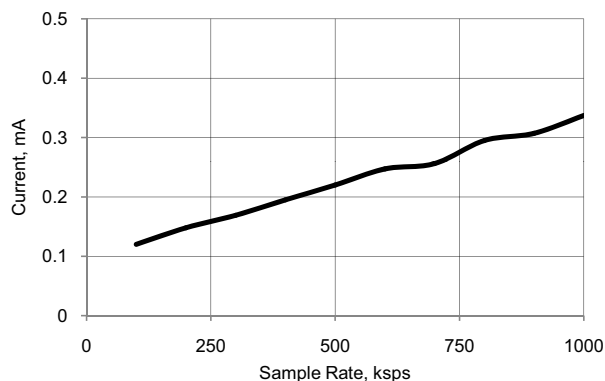


表 11-20. SAR ADC の AC 仕様^[43]

パラメーター	説明	条件	Min	Typ	Max	単位
A_SAMP_1	外付けリファレンス バイパス コンデンサがある場合のサンプルレート		–	–	1	Msp
A_SAMP_2	バイパス コンデンサがない場合のサンプルレート。リファレンス電圧 = V_{DD}		–	–	500	Ksp
A_SAMP_3	バイパス コンデンサがない場合のサンプルレート。内部リファレンス電圧		–	–	100	Ksp
	起動時間		–	–	10	μ s
SINAD	信号対ノイズ比		68	–	–	dB
THD	全高調波歪み		–	–	0.02	%

図 11-28. SAR ADC ノイズ ヒストグラム、100ksps、バイパスされない内部リファレンス

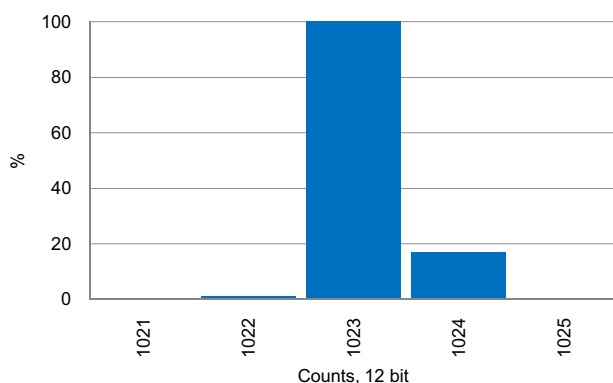
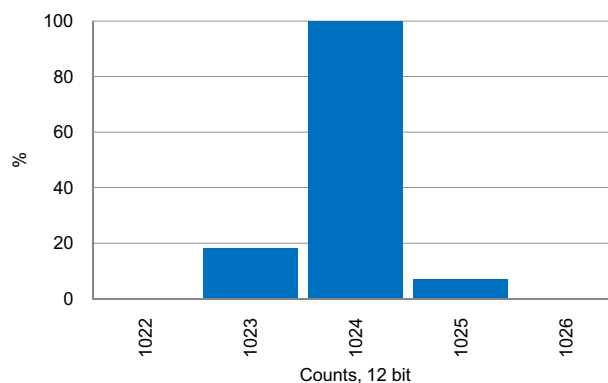
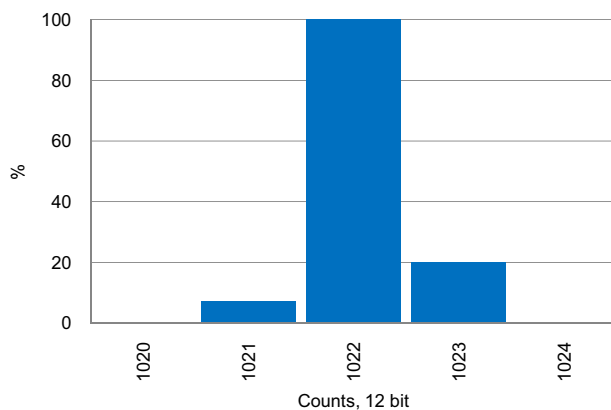


図 11-29. SAR ADC ノイズ ヒストグラム、1msps、バイパスされる内部リファレンス



注：

43. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-30. SAR ADC イズ ヒストグラム、1msps、外部リファレンス


11.5.3 アナログ グローバル

表 11-21. アナログ グローバルの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
Rppag	P2[4]、AGL0、DSM INP、AGL1、P2[5] ^[44、46] を介したピン間の抵抗	$V_{DDA} = 3.0V$	–	1500	2200	Ω
		$V_{DDA} = 1.71V$	–	1200	1700	Ω
Rppmuxbus	P2[3]、amuxbusL、P2[4] ^[45、46] を介したピン間の抵抗	$V_{DDA} = 3.0V$	–	700	1100	Ω
		$V_{DDA} = 1.71V$	–	600	900	Ω

表 11-22. アナログ グローバルの AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	アナログ配線用のインタペア クロストーク ^[46]		106	–	–	dB
BWag	アナログ グローバルの 3dB 帯域幅 ^[46]	$V_{DDA} = 3.0V$ 、 $25^{\circ}C$	–	26	–	MHz

注：

44. デバイスの特性評価に基づく値 (出荷試験されていません)。

45. $V_{DDA} \leq 2.7V$ で、チップがスリープ モードまたはハイバネート モードである場合、アナログ グローバルおよびアナログ マルチプレクサ バスの抵抗は高くなります。このような条件下でアナログ グローバルおよびアナログ マルチプレクサ バスを使用することはお勧めできません。

46. P6[4] ピンからデルタ シグマ ADC 入力へ；計算されますが、測定されていません。

11.5.4 コンパレータ

表 11-23. コンパレータの DC 仕様^[47, 48]

パラメーター	説明	条件	Min	Typ	Max	単位
V_{OS}	高速モードでの入力オフセット電圧	工場トリム、 $V_{DDA} > 2.7V$ 、 $V_{IN} \geq 0.5V$	–		10	mV
	低速モードでの入力オフセット電圧	工場トリム、 $V_{IN} \geq 0.5V$	–		9	mV
V_{OS}	高速モードでの入力オフセット電圧	カスタム トリム	–	–	4	mV
	低速モードでの入力オフセット電圧	カスタム トリム	–	–	4	mV
V_{OS}	超低消費電力モードでの入力オフセット電圧		–	± 12	–	mV
TCV_{OS}	温度係数、入力オフセット電圧	$V_{CM} = V_{DDA}/2$ 、高速モード	–	63	85	$\mu V/^{\circ}C$
		$V_{CM} = V_{DDA}/2$ 、低速モード	–	15	20	
V_{HYST}	ヒステリシス	ヒステリシス イネーブル モード	–	10	32	mV
V_{ICM}	入力同相電圧	高電流／高速モード	V_{SSA}	–	V_{DDA}	V
		低電流／低速モード	V_{SSA}	–	V_{DDA}	V
		超低消費電力モード	V_{SSA}	–	$V_{DDA} - 1.15$	V
$CMRR$	同相信号除去比		–	50	–	dB
I_{CMP}	高電流モード／高速モード		–	–	400	μA
	低電流モード／低速モード		–	–	100	μA
	超低消費電力モード		–	6	–	μA

表 11-24. コンパレータの AC 仕様^[47, 48]

パラメーター	説明	条件	Min	Typ	Max	単位
T_{RESP}	応答時間、高電流モード	50mV オーバードライブ、ピン ツー ピン測定	–	75	110	ns
	応答時間、低電流モード	50mV オーバードライブ、ピン ツー ピン測定	–	155	200	ns
	応答時間、超低消費電力モード	50mV オーバードライブ、ピン ツー ピン測定	–	55	–	μs

注:

47. オンチップ コンパレータのカスタム調整値の推奨使用手順は、テクニカル リファレンス マニュアル (TRM) に記載されています。

48. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.5.5 電流 DA 変換器 (IDAC)

すべての仕様は、低抵抗 IDAC 出力ピンの使用を基にしています (詳細は 11 ページの「ピンの説明」をご参照ください)。完全な電氣的仕様および API については、PSoS Creator の IDAC コンポーネント データシートをご参照ください。

特記されていない限り、すべての図とグラフは標準値を示します。

表 11-25. IDAC の DC 仕様

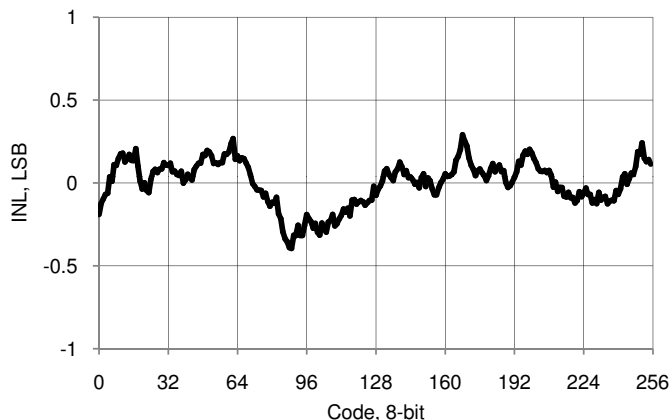
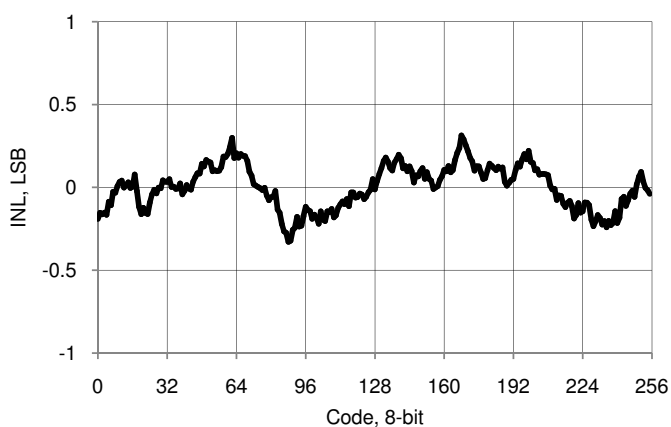
パラメーター	説明	条件	Min	Typ	Max	単位
	分解能		–	–	8	ビット
I _{OUT}	コード = 255 の出力電流	レンジ = 2.04mA、コード = 255、 V _{DDA} ≥ 2.7V、Rload = 600 Ω	–	2.04	–	mA
		レンジ = 2.04mA、高電流モード、 コード = 255、V _{DDA} ≤ 2.7V、Rload = 300Ω	–	2.04	–	mA
		レンジ = 255μA、コード = 255、 Rload = 600Ω	–	255	–	μA
		レンジ = 31.875μA、コード = 255、 Rload = 600Ω	–	31.87 5	–	μA
	単調増加性		–	–	有	
E _{zs}	ゼロスケール誤差		–	0	±1	LSB
E _g	ゲイン誤差	レンジ = 2.04mA	–	–	±2.5	%
		レンジ = 255μA	–	–	±2.5	%
		レンジ = 31.875μA	–	–	±3.5	%
TC_Eg	ゲイン誤差の温度係数	レンジ = 2.04mA	–	–	0.045	%/°C
		レンジ = 255μA	–	–	0.045	%/°C
		レンジ = 31.875μA	–	–	0.05	%/°C
INL	積分非直線性	シンク モード、レンジ = 255μA、コード 8 ~ 255、Rload = 2.4kΩ、Cload = 15pF	–	±0.9	±1	LSB
		ソース モード、レンジ = 255μA、コード 8 ~ 255、Rload = 2.4kΩ、Cload = 15pF	–	±1.2	±1.6	LSB
		ソース モード、レンジ = 31.875μA、コード 8 ~ 255、Rload = 20kΩ、Cload = 15pF ^[49]	–	±0.9	±2	LSB
		シンク モード、レンジ = 31.875μA、コード 8 ~ 255、Rload = 20kΩ、Cload = 15pF ^[49]	–	±0.9	±2	LSB
		ソース モード、レンジ = 2.04mA、コード 8 ~ 255、Rload = 600Ω、Cload = 15pF ^[49]	–	±0.9	±2	LSB
		シンク モード、レンジ = 2.04mA、コード 8 ~ 255、Rload = 600Ω、Cload = 15pF ^[49]	–	±0.6	±1	LSB
DNL	微分非直線性	シンク モード、レンジ = 255μA、Rload = 2.4kΩ、Cload = 15pF	–	±0.3	±1	LSB
		ソース モード、レンジ = 255μA、Rload = 2.4kΩ、Cload = 15pF	–	±0.3	±1	LSB
		ソース モード、レンジ = 31.875μA、Rload = 20kΩ、Cload = 15pF ^[50]	–	±0.2	±1	LSB
		シンク モード、レンジ = 31.875μA、Rload = 20kΩ、Cload = 15pF ^[50]	–	±0.2	±1	LSB
		ソース モード、レンジ = 2.04mA、Rload = 600Ω、Cload = 15pF ^[50]	–	±0.2	±1	LSB
		シンク モード、レンジ = 2.04mA、Rload = 600Ω、Cload = 15pF ^[50]	–	±0.2	±1	LSB

注:

49. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-25. IDAC の DC 仕様 (続き)

パラメーター	説明	条件	Min	Typ	Max	単位
Vcompliance	ドロップアウト電圧、ソースまたはシンク モード	最大電流での電圧ヘッドルーム、 V_{DDA} または V_{SSA} に接続する Rload、 V_{DDA} を基準とする VDIFF	1	–	–	V
I _{DD}	動作電流、コード = 0	低速モード、ソース モード、レンジ = 31.875μA	–	44	100	μA
		低速モード、ソース モード、レンジ = 255μA	–	33	100	μA
		低速モード、ソース モード、レンジ = 2.04mA	–	33	100	μA
		低速モード、シンク モード、レンジ = 31.875μA	–	36	100	μA
		低速モード、シンク モード、レンジ = 255μA	–	33	100	μA
		低速モード、シンク モード、レンジ = 2.04mA	–	33	100	μA
		高速モード、ソース モード、レンジ = 31.875μA	–	310	500	μA
		高速モード、ソース モード、レンジ = 255μA	–	305	500	μA
		高速モード、ソース モード、レンジ = 2.04mA	–	305	500	μA
		高速モード、シンク モード、レンジ = 31.875μA	–	310	500	μA
		高速モード、シンク モード、レンジ = 255μA	–	300	500	μA
		高速モード、シンク モード、レンジ = 2.04mA	–	300	500	μA

**図 11-31. IDAC INL 対入力コード、
範囲 = 255μA、ソース モード**

**図 11-32. IDAC INL 対入力コード、
範囲 = 255 μA、シンク モード**


注：
50. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-33. IDAC DNL 対入力コード、
範囲 = 255 μ A、ソース モード

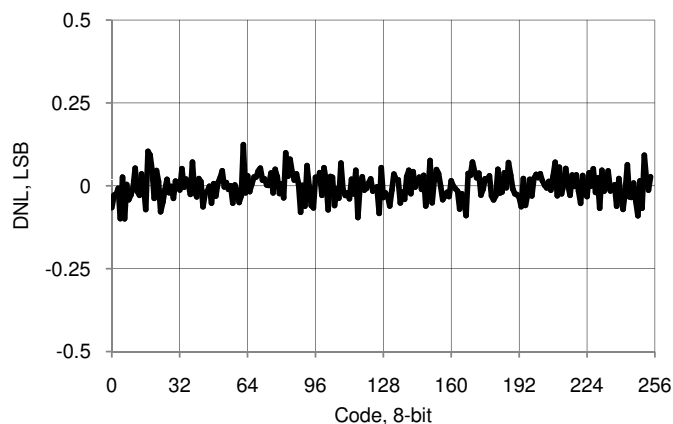


図 11-34. IDAC DNL 対入力コード、
範囲 = 255 μ A、シンク モード

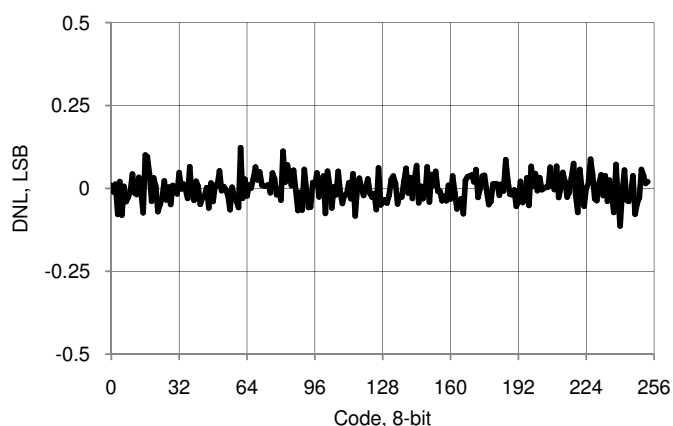


図 11-35. IDAC INL 対温度、範囲 = 255 μ A、
高速モード

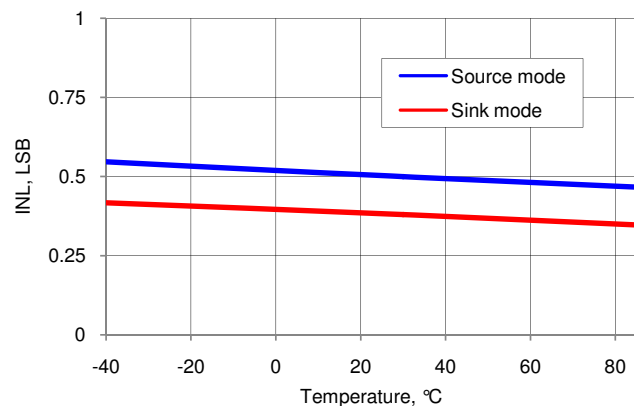


図 11-36. IDAC DNL 対温度、
範囲 = 255 μ A、高速モード

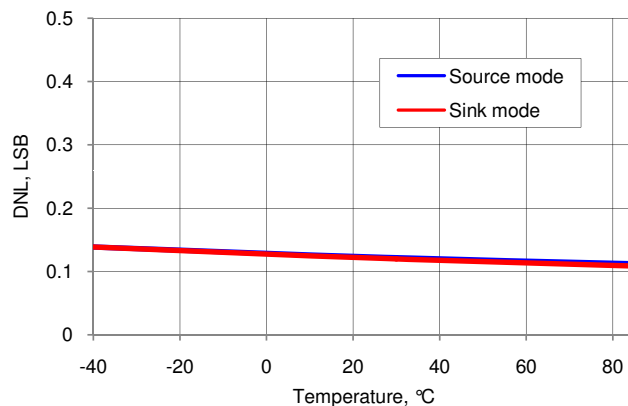


図 11-37. IDAC フル スケール エラー対温度、
範囲 = 255 μ A、ソース モード

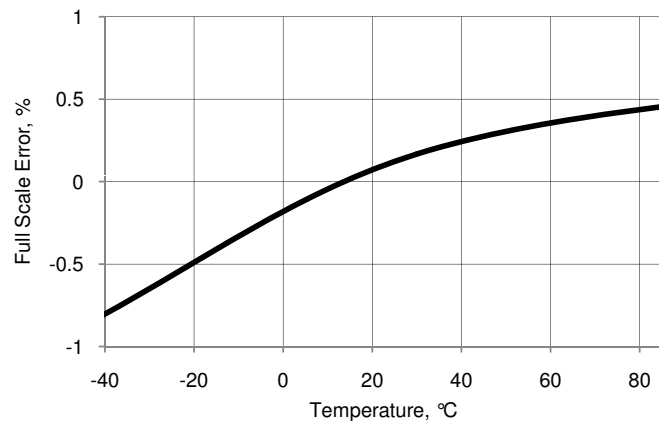


図 11-38. IDAC フル スケール エラー対温度、
範囲 = 255 μ A、シンク モード

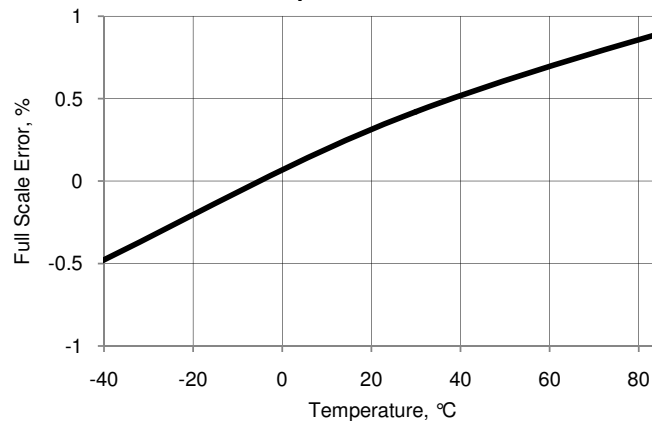


図 11-39. IDAC 動作電流対温度、範囲 = 255 μ A、
コード = 0、ソース コード

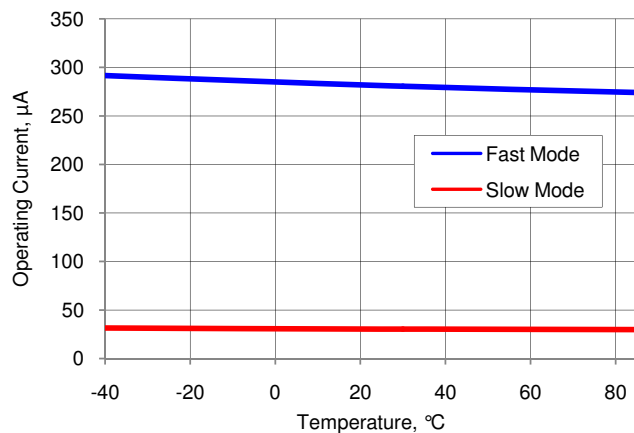


図 11-40. IDAC 動作電流対温度、範囲 = 255 μ A、
コード = 0、シンク モード

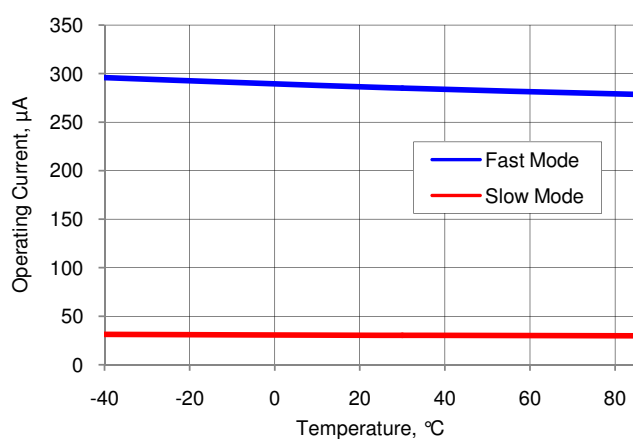


表 11-26. IDAC の AC 仕様^[51]

パラメーター	説明	条件	Min	Typ	Max	単位
F _{DAC}	更新速度		—	—	8	Msps
T _{SETTLE}	0.5 LSB に達するまでの整定時間	レンジ = 31.875 μ A、フルスケール遷移、高速モード、600 Ω 15pF 負荷	—	—	125	ns
		レンジ = 255 μ A、フルスケール遷移、高速モード、600 Ω 15pF 負荷	—	—	125	ns
	電流ノイズ	レンジ = 255 μ A、ソース モード、高速モード、V _{DDA} = 5V、10kHz	—	340	—	pA/sqrtHz

注:

51. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-41. IDAC ステップ応答、コード 0x40 - 0xC0、
255 μ A モード、ソース モード、高速モード、 $V_{DDA} = 5V$

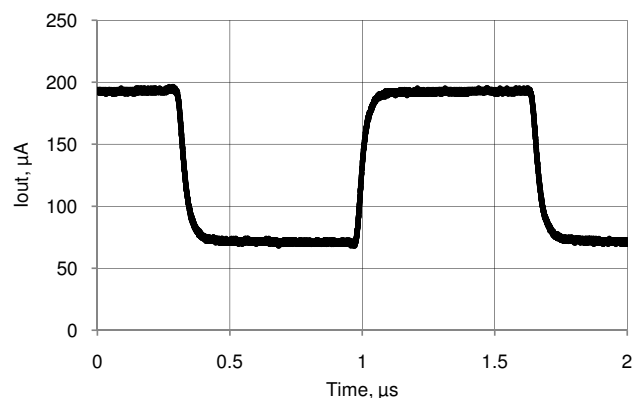


図 11-42. IDAC グリッチ応答、コード 0x7F - 0x80、
255 μ A モード、ソース モード、高速モード、 $V_{DDA} = 5V$

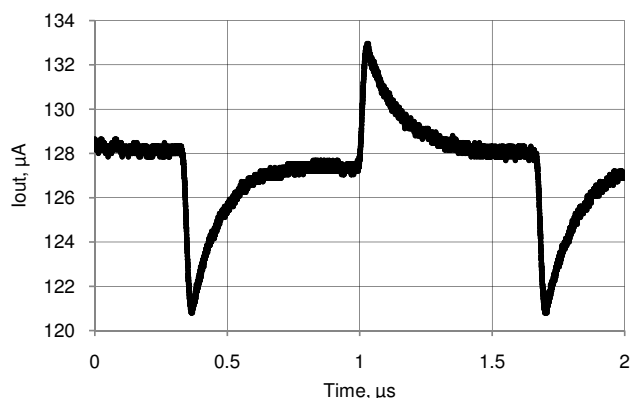


図 11-43. IDAC PSRR 対周波数

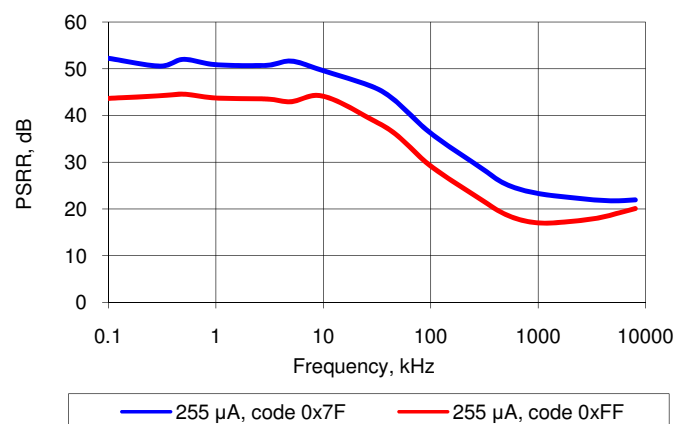
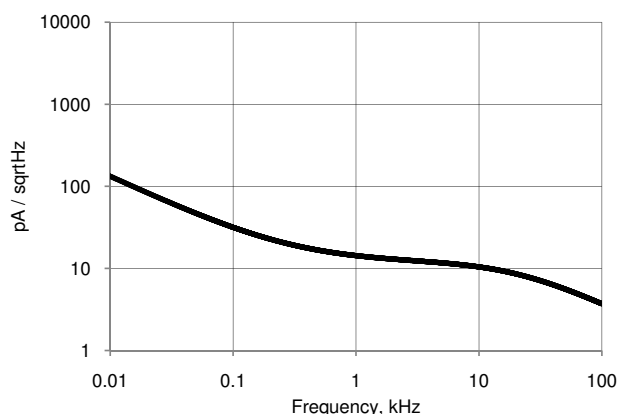


図 11-44. IDAC 電流ノイズ、255 μ A モード、
ソース モード、高速モード、 $V_{DDA} = 5V$



11.5.6 電圧デジタル アナログ変換器 (VDAC)

完全な電氣的仕様および API については、PSoC Creator の VDAC コンポーネント データシートをご参照ください。

特記されていない限り、すべての図とグラフは標準値を示します。

表 11-27. VDAC の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	分解能		–	8	–	ビット
INL1	積分非直線性	1V スケール	–	± 2.1	± 2.5	LSB
INL4	積分非直線性 ^[52]	4V スケール	–	± 2.1	± 2.5	LSB
DNL1	微分非直線性	1V スケール	–	± 0.3	± 1	LSB
DNL4	微分非直線性 ^[52]	4V スケール	–	± 0.3	± 1	LSB
Rout	出力抵抗	1V スケール	–	4	–	k Ω
		4V スケール	–	16	–	k Ω
V_{OUT}	出力電圧範囲、コード = 255	1V スケール	–	1.02	–	V
		4V スケール、 $V_{DDA} = 5V$	–	4.08	–	V

注:

52. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-27. VDAC の DC 仕様 (続き)

パラメーター	説明	条件	Min	Typ	Max	単位
	単調増加性		—	—	有	—
V_{OS}	ゼロスケール誤差		—	0	± 0.9	LSB
E_g	ゲイン誤差	1V スケール	—	—	± 2.5	%
		4V スケール	—	—	± 2.5	%
TC_{Eg}	温度係数、ゲイン誤差	1V スケール	—	—	0.03	%FSR/°C
		4V スケール	—	—	0.03	%FSR/°C
I_{DD}	動作電流 ^[53]	低速モード	—	—	100	μA
		高速モード	—	—	500	μA

図 11-45. VDAC INL 対入力コード、1V モード

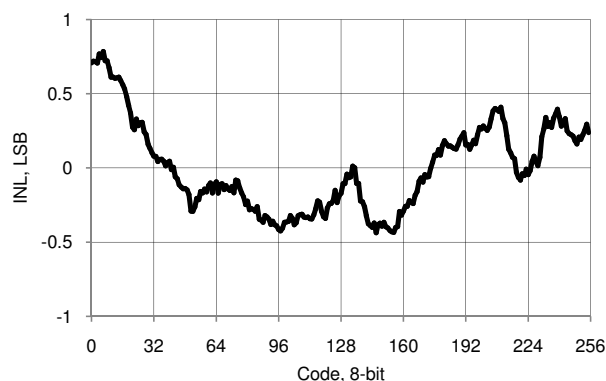


図 11-47. VDAC INL 対温度、1V モード

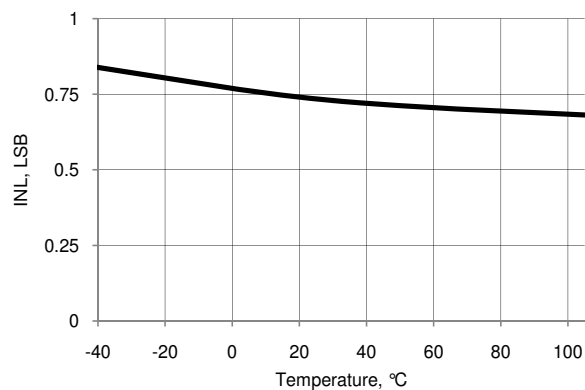


図 11-46. VDAC DNL 対入力コード、1V モード

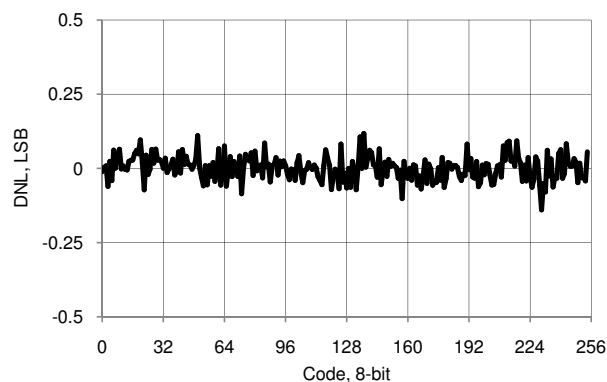
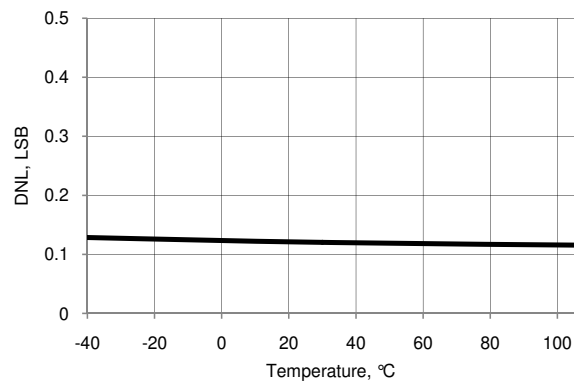


図 11-48. VDAC DNL 対温度、1V モード



注:

53. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-49. IDAC フルスケール エラー対温度、1V モード

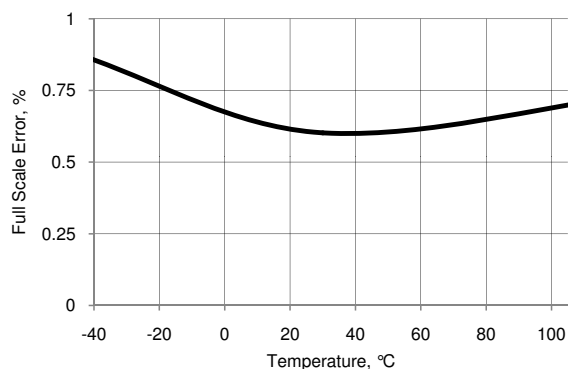


図 11-50. IDAC フルスケール エラー対温度、4V モード

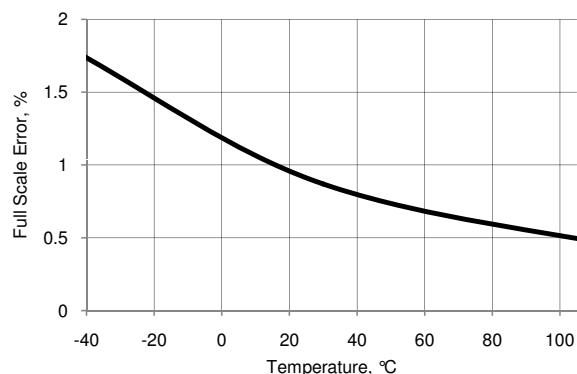


図 11-51. VDAC 動作電流対温度、1V モード、低速モード

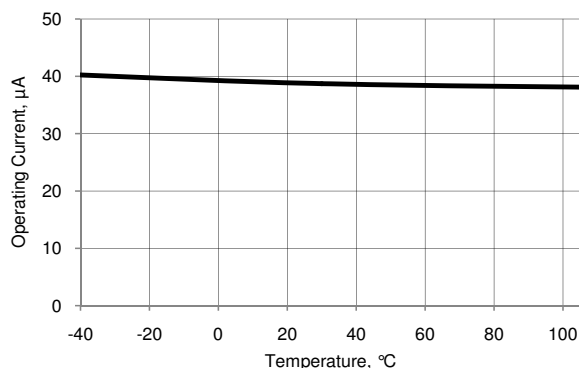


図 11-52. VDAC 動作電流対温度、1V モード、高速モード

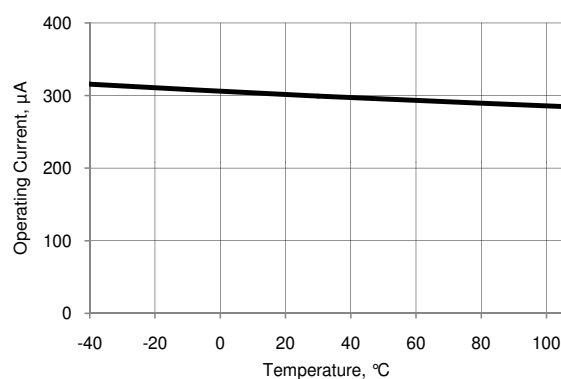


表 11-28. VDAC の AC 仕様^[54]

パラメーター	説明	条件	Min	Typ	Max	単位
F _{DAC}	更新速度	1V スケール	–	–	1000	ksps
		4V スケール	–	–	250	ksps
T _{settleP}	0.1% に達するまでの整定時間、 ステップ 25% ~ 75%	1V スケール、Cload = 15pF	–	0.45	1	µs
		4V スケール、Cload = 15pF	–	0.8	3.2	µs
T _{settleN}	0.1% に達するまでの整定時間、 ステップ 75% ~ 25%	1V スケール、Cload = 15pF	–	0.45	1	µs
		4V スケール、Cload = 15pF	–	0.7	3	µs
	電圧ノイズ	レンジ = 1V、高速モード、 V _{DDA} = 5V、10kHz	–	750	–	nV/sqrtHz

注:

54. デバイスの特性評価に基づく値 (出荷試験されていません)。

図 11-53. VDAC ステップ応答、コード 0x40 - 0xC0、
1V モード、高速モード $V_{DDA} = 5V$

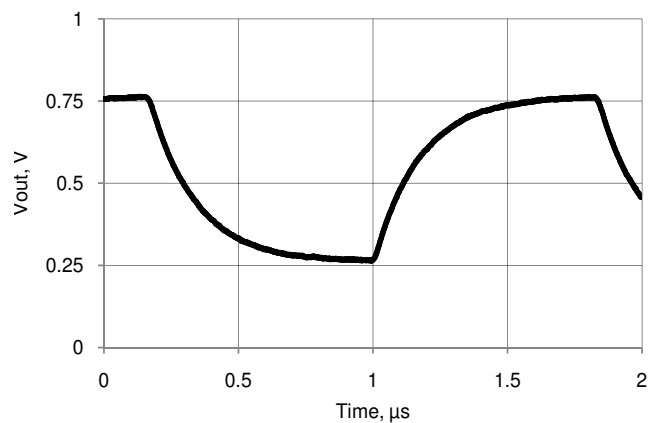


図 11-54. VDAC グリッチ応答、コード 0x7F - 0x80、
1V モード、高速モード、 $V_{DDA} = 5V$

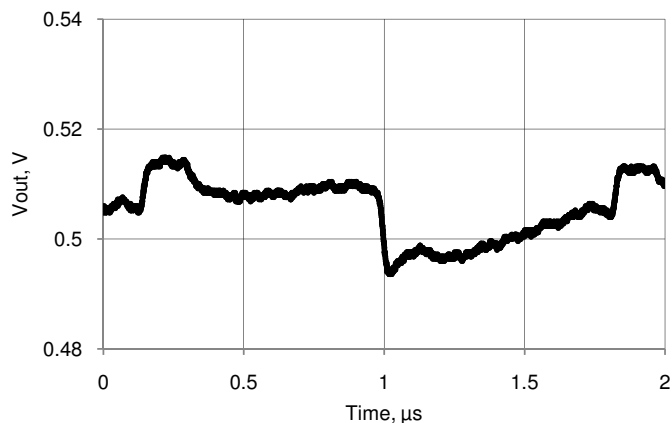


図 11-55. VDAC PSRR 対周波数

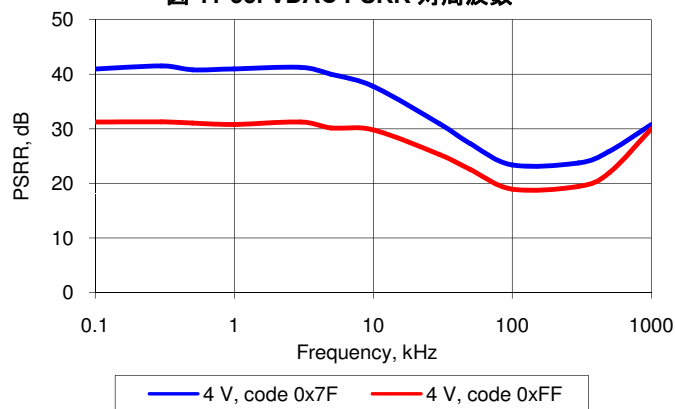
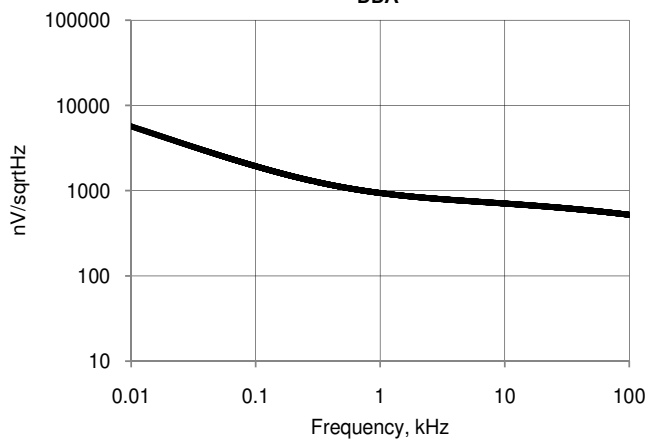


図 11-56. VDAC 電圧ノイズ、1V モード、
高速モード $V_{DDA} = 5V$



11.5.7 温度センサー

表 11-29. 温度センサーの仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	温度センサー精度	温度範囲: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	–	± 5	–	$^{\circ}\text{C}$

11.5.8 LCD 直接駆動

表 11-30. LCD 直接駆動の DC 仕様^[55]

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	LCD ブロック (ガラスなし)	デバイス スリープ モード、400Hz でウェイクアップして LCD をリフレッシュ、バス クロック = 3MHz、 $V_{\text{ddio}} = V_{\text{dda}} = 3\text{V}$ 、8 コモン ライン、16 セグメント ライン、1/5 デューティ サイクル、40Hz フレーム レート、ガラス接続なし	–	81	–	mA
$I_{\text{CC_SEG}}$	セグメント ドライバー当たりの電流	ストロング駆動モード	–	260	–	μA
V_{BIAS}	LCD バイアス範囲 (V_{BIAS} は LCD DAC のメイン出力電圧 (V_0) を基準とする)	$V_{\text{DDA}} \geq 3\text{V}$ および $V_{\text{DDA}} \geq V_{\text{BIAS}}$	2	–	5	V
	LCD バイアス ステップ サイズ	$V_{\text{DDA}} \geq 3\text{V}$ および $V_{\text{DDA}} \geq V_{\text{BIAS}}$	–	$9.1 \times V_{\text{DDA}}$	–	mV
	セグメント/コモン ドライバー当たりの LCD 静電容量	ドライバは連結可能	–	500	5000	pF
	セグメントの最大 DC オフセット	$V_{\text{dda}} \geq 3\text{V}$ および $V_{\text{dda}} \geq V_{\text{bias}}$	–	–	20	mV
I_{OUT}	セグメント ドライバー当たりの出力駆動電流	$V_{\text{DDIO}} = 5.5\text{V}$ 、ストロング駆動モード	355	–	710	μA

表 11-31. LCD 直接駆動の AC 仕様^[55]

パラメーター	説明	条件	Min	Typ	Max	単位
f_{LCD}	LCD フレーム レート		10	50	150	Hz

注:

55. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.6 デジタル ペリフェラル

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。

11.6.1 タイマー

次の仕様は、タイマー モードでのタイマー／カウンタ／PWM 周辺機器に適用されます。タイマーは UDB に実装することもできます。詳細は、PSoC Creator のタイマー コンポーネント データシートをご参照ください。

表 11-32. タイマーの DC 仕様^[56]

パラメーター	説明	条件	Min	Typ	Max	単位
	ブロックの消費電流	16 ビット タイマー。所与の入力クロック周波数の範囲内において	–	–	–	μA
	3MHz		–	15	–	μA
	12MHz		–	60	–	μA
	48MHz		–	260	–	μA
	80MHz		–	360	–	μA

表 11-33. タイマーの AC 仕様^[56]

パラメーター	説明	条件	Min	Typ	Max	単位
	動作周波数		DC	–	80.01	MHz
	キャプチャ パルス幅 (内部) ^[57]		15	–	–	ns
	キャプチャ パルス幅 (外部)		30	–	–	ns
	タイマ分解能 ^[57]		15	–	–	ns
	イネーブル パルス幅 ^[57]		15	–	–	ns
	イネーブル パルス幅 (外部)		30	–	–	ns
	リセット パルス幅 ^[57]		15	–	–	ns
	リセット パルス幅 (外部)		30	–	–	ns

11.6.2 カウンタ

次の仕様は、カウンタ モードでのタイマー／カウンタ／PWM 周辺機器に適用されます。カウンタは UDB に実装することもできます。詳細は、PSoC Creator のカウンタ コンポーネント データシートをご参照ください。

表 11-34. カウンタの DC 仕様^[56]

パラメーター	説明	条件	Min	Typ	Max	単位
	ブロックの消費電流	16 ビット カウンタ、各入力クロック周波数時	–	–	–	μA
	3MHz		–	15	–	μA
	12MHz		–	60	–	μA
	48MHz		–	260	–	μA
	80MHz		–	360	–	μA

表 11-35. カウンタの AC 仕様^[56]

パラメーター	説明	条件	Min	Typ	Max	単位
	動作周波数		DC	–	80.01	MHz
	キャプチャ パルス ^[57]		15	–	–	ns
	分解能 ^[57]		15	–	–	ns
	パルス幅 ^[57]		15	–	–	ns
	パルス幅 (外部)		30			ns

注:

56. デバイスの特性評価に基づく値 (出荷試験されていません)。

57. 正常に作動するには、タイマー／カウンタ／PWM の最短入力パルス幅はバス クロックの周期に等しくなければなりません。

表 11-35. カウンターの AC 仕様^[56] (続き)

パラメーター	説明	条件	Min	Typ	Max	単位
	イネーブル パルス幅 ^[58]		15	–	–	ns
	イネーブル パルス幅 (外部)		30	–	–	ns
	リセット パルス幅 ^[58]		15	–	–	ns
	リセット パルス幅 (外部)		30	–	–	ns

11.6.3 パルス幅変調 (PWM)

次の仕様は、PWM モードでのタイマー／カウンタ／PWM 周辺機器に適用されます。PWM は UDB に実装することもできます。詳細は、PSoC Creator の PWM コンポーネント データシートをご参照ください。

表 11-36. PWM の DC 仕様^[59]

パラメーター	説明	条件	Min	Typ	Max	単位
	ブロックの消費電流	16 ビット PWM、各入力クロック 周波数時	–	–	–	μA
	3MHz		–	15	–	μA
	12MHz		–	60	–	μA
	48MHz		–	260	–	μA
	80MHz		–	360	–	μA

表 11-37. PWM の AC 仕様^[59]

パラメーター	説明	条件	Min	Typ	Max	単位
	動作周波数		DC	–	80.01	MHz
	パルス幅 ^[58]		15	–	–	ns
	パルス幅 (外部)		30	–	–	ns
	キル パルス幅 ^[58]		15	–	–	ns
	キル パルス幅 (外部)		30	–	–	ns
	イネーブル パルス幅 ^[58]		15	–	–	ns
	イネーブル パルス幅 (外部)		30	–	–	ns
	リセット パルス幅 ^[58]		15	–	–	ns
	リセット パルス幅 (外部)		30	–	–	ns

11.6.4 I²C

表 11-38. 固定 I²C の DC 仕様^[59]

パラメーター	説明	条件	Min	Typ	Max	単位
	ブロックの消費電流	有効、100kbps に設定	–	–	250	μA
		有効、400kbps に設定	–	–	260	μA

表 11-39. 固定 I²C の AC 仕様^[59]

パラメーター	説明	条件	Min	Typ	Max	単位
	ビット レート		–	–	1	Mbps

注:

58. 正しく作動するために、タイマー／カウンタ／PWM の最低入力パルス幅はバス クロックの周期でなければなりません。

59. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.6.5 USB

表 11-40. USB の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V_{USB_5}	USB 動作のデバイス電源電圧 (V_{DDD})	USB が設定済み、 USB レギュレータが有効	4.35	–	5.25	V
$V_{USB_3.3}$		USB が設定済み、 USB レギュレータがバイパスされる	3.15	–	3.6	V
V_{USB_3}		USB が設定済み、 USB レギュレータがバイパス [60]	2.85	–	3.6	V
$I_{USB_Configured}$	デバイス アクティブ モード、バス クロックおよび IMO = 24MHz でのデバイス供給電流	$V_{DDD} = 5V$ 、 $F_{CPU} = 1.5MHz$	–	10	–	mA
		$V_{DDD} = 3.3V$ 、 $F_{CPU} = 1.5MHz$	–	8	–	mA
$I_{USB_Suspended}$	デバイス スリープ モードでのデバイス供給電流	$V_{DDD} = 5V$ 、USB ホストに接続、 USB 復元信号でウェイクアップする よう設定された PICU	–	0.5	–	mA
		$V_{DDD} = 5V$ 、USB ホストから切断	–	0.3	–	mA
		$V_{DDD} = 3.3V$ 、USB ホストに接続、 USB 復元信号でウェイクアップする よう設定された PICU	–	0.5	–	mA
		$V_{DDD} = 3.3V$ 、USB ホストから切断	–	0.3	–	mA

注:

60. 立ち上がり／立ち下がり時間マッチング (TR) は保証されません。75 ページの表 11-16 をご参照ください。

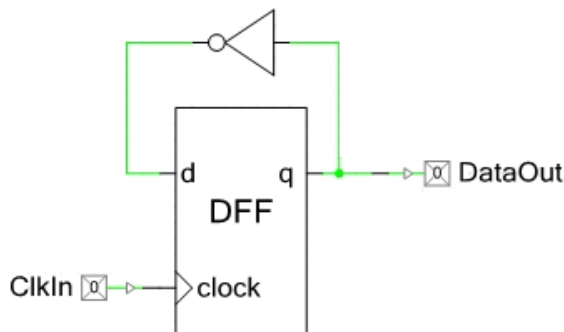
11.6.6 ユニバーサル デジタル ブロック (UDB)

PSoC Creator は、UDB アレイにマッピングされた標準デジタル周辺機能 (UART、SPI、LIN、PRS、CRC、タイマー、カウンタ、PWM、AND、OR など) の、構築とテストを完了したライブラリを提供します。完全な AC/DC 仕様、API および推奨コード例については、PSoC Creator の中にあるコンポーネントのデータシートをご覧ください。

表 11-41. UDB の AC 仕様^[61]

パラメーター	説明	条件	Min	Typ	Max	単位
データパスの性能						
F _{MAX_TIMER}	UDB ペアの 16 ビット タイマーの最大周波数		–	–	67.01	MHz
F _{MAX_ADDER}	UDB ペアの 16 ビット 加算器の最大周波数		–	–	67.01	MHz
F _{MAX_CRC}	UDB ペアの 16 ビット CRC/PRS の最大周波数		–	–	67.01	MHz
PLD の性能						
F _{MAX_PLD}	UDB ペアの 2 パス PLD 機能の最大周波数		–	–	67.01	MHz
クロックから出力までの性能						
t _{CLK_OUT}	クロック入力からデータ出力までの伝播遅延。図 11-57 をご参照ください	25°C、V _{DDD} ≥ 2.7V	–	20	25	ns
t _{CLK_OUT}	クロック入力からデータ出力までの伝播遅延。図 11-57 をご参照ください	最悪の配置、配線、およびピン選択	–	–	55	ns

図 11-57. クロックから出力までの時間



注:

61. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.7 メモリ

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。

11.7.1 フラッシュ

表 11-42. フラッシュの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	消去およびプログラム電圧	V_{DDD} ピン	1.71	–	5.5	V

表 11-43. フラッシュの AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
T_{WRITE}	行書き込み時間 (消去 + プログラム)		–	15	20	ms
T_{ERASE}	行消去時間		–	10	13	ms
	行プログラム時間		–	5	7	ms
T_{BULK}	バルク消去時間 (256KB)		–	–	140	ms
	セクター消去時間 (16KB)		–	–	15	ms
T_{PROG}	合計デバイス プログラム時間	オーバーヘッドなし [62]	–	5	7.5	秒
	フラッシュ データ保持期間 (前回の消去サイクルから測定された保持期間)	平均周囲温度。 $T_A \leq 55^{\circ}\text{C}$ 、100K 消去/プログラム サイクル	20	–	–	年
		平均周囲温度。 $T_A \leq 85^{\circ}\text{C}$ 、10K 消去/プログラム サイクル	10	–	–	

11.7.2 EEPROM

表 11-44. EEPROM の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	消去およびプログラム電圧		1.71	–	5.5	V

表 11-45. EEPROM の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
T_{WRITE}	1 行の消去/書き込みサイクル時間		–	10	20	ms
	EEPROM データ保持期間 (前回の消去サイクルから測定された保持期間)	平均周囲温度、 $T_A \leq 25^{\circ}\text{C}$ 、1M 消去/プログラム サイクル	20	–	–	年
		平均周囲温度、 $T_A \leq 55^{\circ}\text{C}$ 、100K 消去/プログラム サイクル	20	–	–	
		平均周囲温度、 $T_A \leq 85^{\circ}\text{C}$ 、10K 消去/プログラム サイクル	10	–	–	

注:

62. PSoC 5 フラッシュをプログラミングする低オーバーヘッド方法の説明については、「PSoC 5 Device Programming Specifications」をご参照ください。

11.7.3 不揮発性ラッチ (NVL)

表 11-46. NVL の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	消去およびプログラム電圧	V _{DDD} ピン	1.71	–	5.5	V

表 11-47. NVL の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	NVL の耐久性	25 °C でプログラム	1K	–	–	プログラム／ 消去サイクル
		0 °C ~ 70 °C でプログラム	100	–	–	プログラム／ 消去サイクル
	NVL データ保持期間	平均周囲温度。T _A ≤ 55 °C	20	–	–	年
		平均周囲温度。T _A ≤ 85 °C	10	–	–	年

11.7.4 SRAM

表 11-48. SRAM の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V _{SRAM}	SRAM 保持電圧 ^[63]		1.2	–	–	V

表 11-49. SRAM の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
F _{SRAM}	SRAM の動作周波数		DC	–	80.01	MHz

注:

63. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.7.5 外部メモリ インターフェース (EMIF)

図 11-58. 非同期書き込みと読み出しサイクルのタイミング、待機状態なし

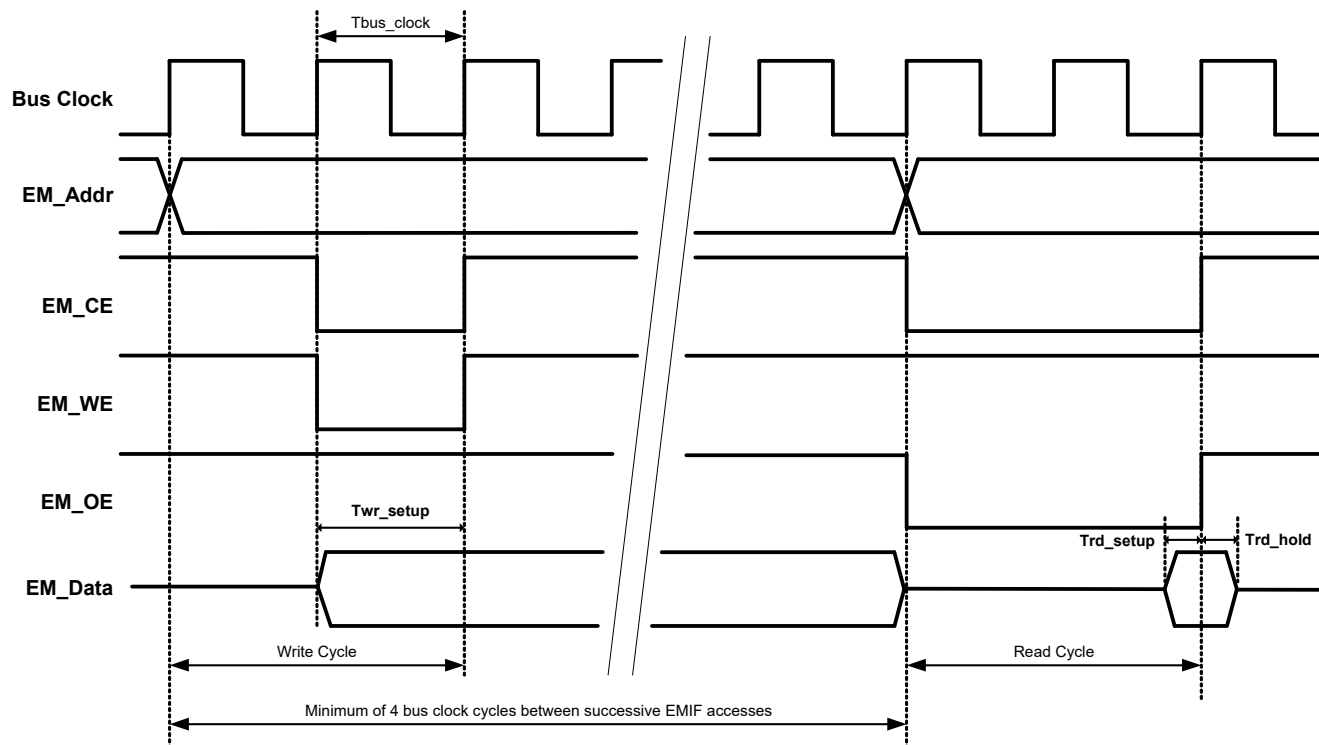


表 11-50. 非同期書き込みおよび読み出しタイミング仕様^[64]

パラメーター	説明	条件	Min	Typ	Max	単位
Fbus_clock	バス クロック周波数 ^[65]		–	–	33	MHz
Tbus_clock	バス クロック周期 ^[66]		30.3	–	–	ns
Twr_Setup	EM_data 有効から EM_WE および EM_CE の立ち上りエッジまでの時間		$T_{bus_clock} - 10$	–	–	ns
Trd_setup	EM_OE の立ち上がりエッジの前に EM_data が有効でなければならない時間		5	–	–	ns
Trd_hold	EM_OE の立ち上がりエッジの後に EM_data が有効でなければならない時間		5	–	–	ns

注:

64. デバイスの特性評価に基づく値 (出荷試験されていません)。

65. EMIF 信号タイミングは GPIO 周波数制限によって制限されます。68 ページの「GPIO」をご参照ください。

66. EMIF 出力信号は一般にバス クロックに同期されるので、EMIF 信号タイミングはバス クロック周波数に依存します。

図 11-59. 同期書き込みと読み出しサイクルのタイミング、待機状態なし

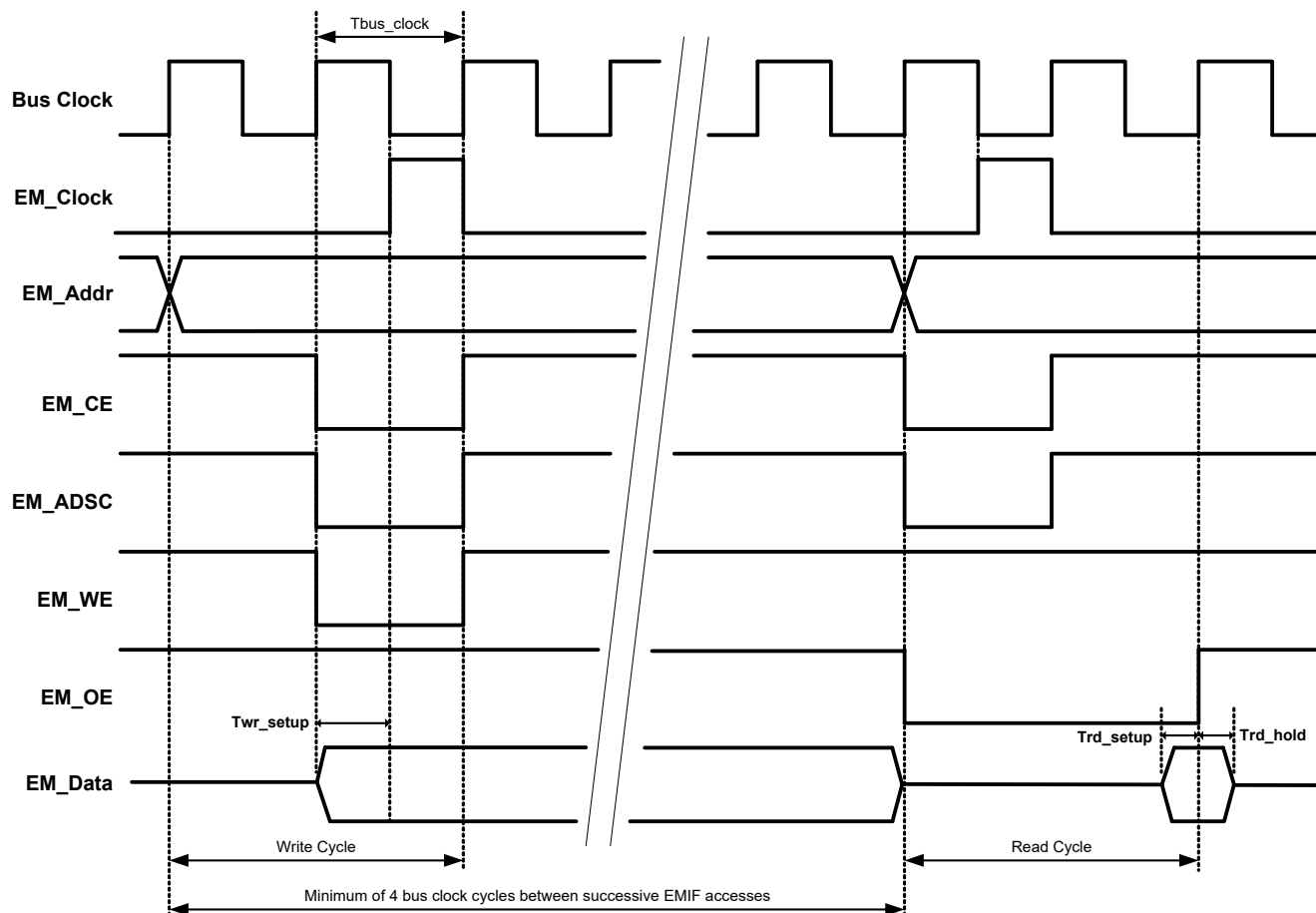


表 11-51. 同期書き込みおよび読み出しタイミング仕様^[67]

パラメーター	説明	条件	Min	Typ	Max	単位
Fbus_clock	バス クロック周波数 ^[68]		—	—	33	MHz
Tbus_clock	バス クロック周期 ^[69]		30.3	—	—	ns
Twr_Setup	EM_data 有効から EM_Clock の立ち上りエッジまでの時間		$T_{bus_clock} - 10$	—	—	ns
Trd_setup	EM_OE の立ち上がりエッジの前に EM_data が有効でなければならない時間		5	—	—	ns
Trd_hold	EM_OE の立ち上がりエッジの後に EM_data が有効でなければならない時間		5	—	—	ns

注:

67. デバイスの特性評価に基づく値 (出荷試験されていません)。

68. EMIF 信号タイミングは GPIO 周波数制限によって制限されます。8 ページの「GPIO」をご参照ください。

69. EMIF 出力信号は一般にバス クロックに同期されるので、EMIF 信号タイミングはバス クロック周波数に依存します。

11.8 PSoC のシステム リソース

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。

11.8.1 電圧降下に伴うパワーオン リセット (POR)

安定化モードの電圧低下検出では、 V_{DD} および V_{DDA} は、 $\geq 2.0\text{V}$ でなければなりません。電圧低下検出は、外部安定化モードで利用できません。

表 11-52. ブラウンアウト機能を備えた精密低電圧リセット (PRES) 回路の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
PRESR	立ち上がりトリップ電圧	工場出荷時トリム	1.64	–	1.68	V
PRESF	立ち下がりトリップ電圧		1.62	–	1.66	V

表 11-53. ブラウンアウト機能を備えたパワー オン リセット (POR) 回路の AC 仕様^[70]

パラメーター	説明	条件	Min	Typ	Max	単位
PRES_TR ^[71]	応答時間		–	–	0.5	μs
	V_{DD}/V_{DDA} ドロップ レート	スリープ モード	–	5	–	V/sec

11.8.2 電圧モニター

表 11-54. 電圧モニターの DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
LVI	トリップ電圧					
	LVI_A/D_SEL[3:0] = 0000b		1.68	1.73	1.77	V
	LVI_A/D_SEL[3:0] = 0001b		1.89	1.95	2.01	V
	LVI_A/D_SEL[3:0] = 0010b		2.14	2.20	2.27	V
	LVI_A/D_SEL[3:0] = 0011b		2.38	2.45	2.53	V
	LVI_A/D_SEL[3:0] = 0100b		2.62	2.71	2.79	V
	LVI_A/D_SEL[3:0] = 0101b		2.87	2.95	3.04	V
	LVI_A/D_SEL[3:0] = 0110b		3.11	3.21	3.31	V
	LVI_A/D_SEL[3:0] = 0111b		3.35	3.46	3.56	V
	LVI_A/D_SEL[3:0] = 1000b		3.59	3.70	3.81	V
	LVI_A/D_SEL[3:0] = 1001b		3.84	3.95	4.07	V
	LVI_A/D_SEL[3:0] = 1010b		4.08	4.20	4.33	V
	LVI_A/D_SEL[3:0] = 1011b		4.32	4.45	4.59	V
	LVI_A/D_SEL[3:0] = 1100b		4.56	4.70	4.84	V
	LVI_A/D_SEL[3:0] = 1101b		4.83	4.98	5.13	V
	LVI_A/D_SEL[3:0] = 1110b		5.05	5.21	5.37	V
	LVI_A/D_SEL[3:0] = 1111b		5.30	5.47	5.63	V
HVI	トリップ電圧		5.57	5.75	5.92	V

表 11-55. 電圧モニターの AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
LVI_tr ^[71]	応答時間		–	–	1	μs

注:

70. デバイスの特性評価に基づく値 (出荷試験されていません)。

71. この値は計算されますが、測定されていません。

11.8.3 割り込みコントローラー

表 11-56. 割り込みコントローラーの AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
	割り込み信号入力から、main コード行からの ISR コード実行までの遅延 ^[72]		–	–	12	Tcy CPU
	割り込み信号入力から、他の ISR コードからの ISR コード実行 (テールチェーン) までの遅延 ^[72]		–	–	6	Tcy CPU

11.8.4 JTAG インターフェース

図 11-60. JTAG インターフェース タイミング

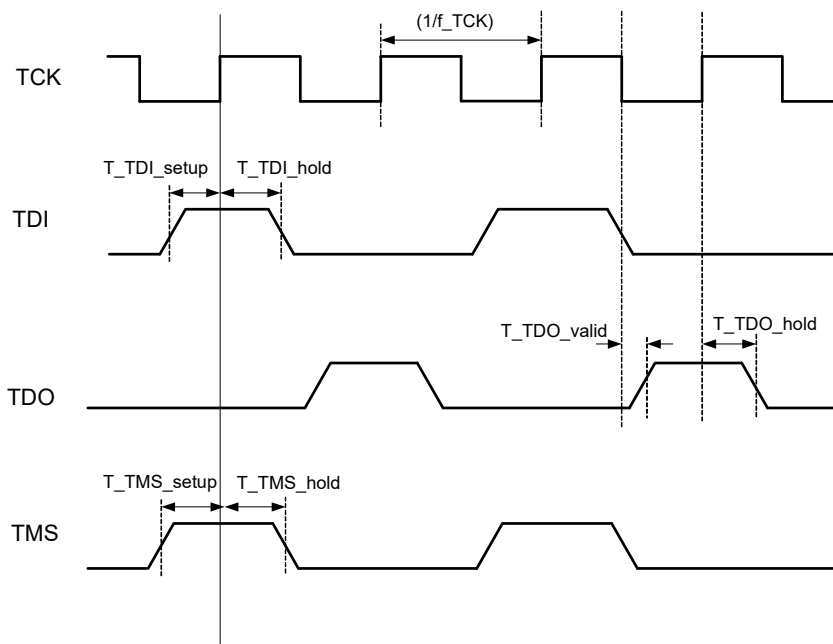


表 11-57. JTAG インターフェースの AC 仕様^[73]

パラメーター	説明	条件	Min	Typ	Max	単位
f_TCK	TCK 周波数	$3.3V \leq V_{DD} \leq 5V$	–	–	12 ^[74]	MHz
		$1.71V \leq V_{DD} < 3.3V$	–	–	7 ^[74]	MHz
T_TDI_setup	TCK HIGH までの TDI セットアップ時間		$(T/10) - 5$	–	–	ns
T_TMS_setup	TCK HIGH までの TMS セットアップ時間		$T/4$	–	–	
T_TDI_hold	TCK HIGH からの TDI、TMS ホールド時間	$T = 1/f_TCK \text{ max}$	$T/4$	–	–	
T_TDO_valid	TCK LOW から TDO 有効までの時間	$T = 1/f_TCK \text{ max}$	–	–	$2T/5$	
T_TDO_hold	TCK HIGH からの TDO ホールド時間	$T = 1/f_TCK \text{ max}$	$T/4$	–	–	
T_nTRST	nTRST 最小パルス幅	$f_TCK = 2\text{MHz}$	8	–	–	ns

注:

72. Arm Cortex-M3 NVIC 仕様 Cortex-M3 CPU に関する詳細なドキュメントについては、www.arm.com にアクセスしてください。

73. デバイスの特性評価に基づく値 (出荷試験されていません)。

74. f_TCK は CPU クロック周波数の 1/3 以下であることも必要です。

11.8.5 SWD インターフェース

図 11-61. SWD インターフェース タイミング

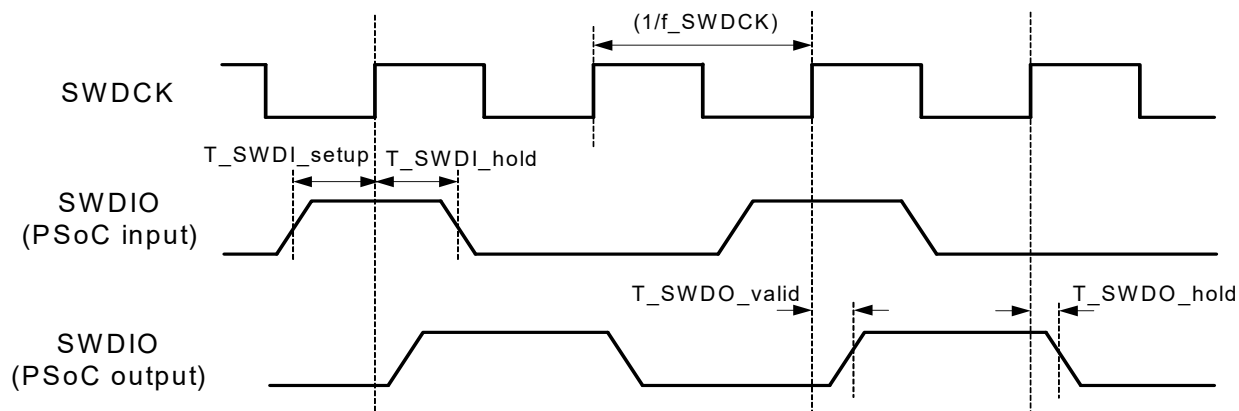


表 11-58. SWD インターフェースの AC 仕様^[75]

パラメーター	説明	条件	Min	Typ	Max	単位
f_SWDCCK	SWDCLK 周波数	$3.3V \leq V_{DD} \leq 5V$	—	—	12 ^[76]	MHz
		$1.71V \leq V_{DD} < 3.3V$	—	—	7 ^[76]	MHz
		$1.71V \leq V_{DD} < 3.3V$, USBIO ピンを介した SWD	—	—	5.5 ^[76]	MHz
T_SWDI_setup	SWDCK HIGH までの SWDIO 入力セットアップ時間	$T = 1/f_SWDCCK \text{ max}$	T/4	—	—	
T_SWDI_hold	SWDCK HIGH からの SWDIO 入力ホールド時間	$T = 1/f_SWDCCK \text{ max}$	T/4	—	—	
T_SWDO_valid	SWDCK HIGH から SWDIO 出力までの時間	$T = 1/f_SWDCCK \text{ max}$	—	—	T/2	
T_SWDO_hold	SWDCK HIGH からの SWDIO 出力ホールド時間	$T = 1/f_SWDCCK \text{ max}$	1	—	—	ns

11.8.6 TPIU インターフェース

表 11-59. TPIU インターフェースの AC 仕様^[75]

パラメーター	説明	条件	Min	Typ	Max	単位
	TRACEPORT (TRACECLK) 周波数		—	—	33 ^[77]	MHz
	SWV ビット レート		—	—	33 ^[77]	Mbit

注:

75. デバイスの特性評価に基づく値 (出荷試験されていません)。

76. f_SWDCCK は CPU クロック周波数の 1/3 以下であることも必要です。

77. TRACEPORT 信号周波数およびビット レートは GPIO 出力周波数によって制限されます。69 ページの表 11-9 をご参照ください。

11.9 クロッキング

特記されていない限り、仕様は $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ および $T_J \leq 100^{\circ}\text{C}$ で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。特記されていない限り、すべての図とグラフは標準値を示します。

11.9.1 内部主発振器

表 11-60. IMO の DC 仕様^[78]

パラメーター	説明	条件	Min	Typ	Max	単位
I _{cc_imo}	電源電流					
	74.7MHz		–	–	730	μA
	62.6MHz		–	–	600	μA
	48MHz		–	–	500	μA
	24MHz – USB モード	発振器を USB バスにロック	–	–	500	μA
	24MHz – 非 USB モード		–	–	300	μA
	12MHz		–	–	200	μA
	6MHz		–	–	180	μA
	3MHz		–	–	150	μA

図 11-62. IMO 電流対周波数

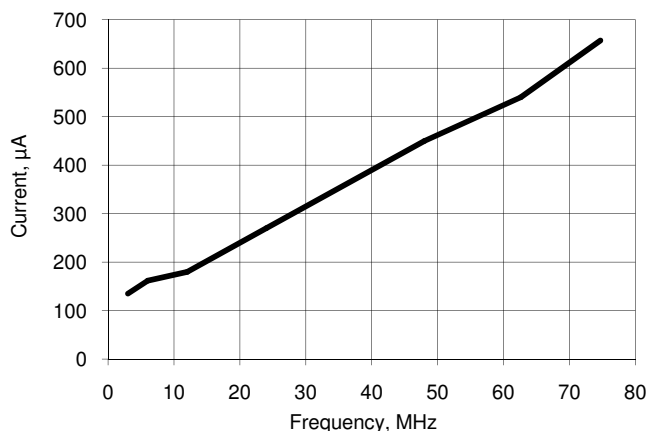


表 11-61. IMO の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
F _{IMO}	IMO の周波数安定性 (工場トリム)					
	74.7MHz		–7	–	7	%
	62.6MHz		–7	–	7	%
	48MHz		–5	–	5	%
	24MHz – 非 USB モード		–4	–	4	%
	24MHz – USB モード	発振器を USB バスにロック	–0.25	–	0.25	%
	12MHz		–3	–	3	%
	6MHz		–2	–	2	%
	3MHz		–2	–	2	%
T _{start_imo}	起動時間 ^[78]	イネーブルから (通常のシステム動作中)	–	–	13	μs

注:

78. デバイスの特性評価に基づく値 (出荷試験されていません)。

表 11-61. IMO の AC 仕様 (続き)

パラメーター	説明	条件	Min	Typ	Max	単位
Jp-p	ジッタ (ピーク ツー ピーク) ^[79]					
	F = 24MHz		–	0.9	–	ns
	F = 3MHz		–	1.6	–	ns
Jperiod	ジッタ (長時間) ^[79]					
	F = 24MHz		–	0.9	–	ns
	F = 3MHz		–	12	–	ns

図 11-63. IMO 周波数変化対温度

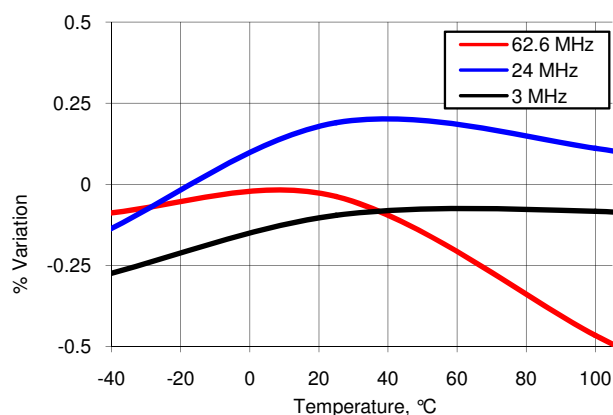
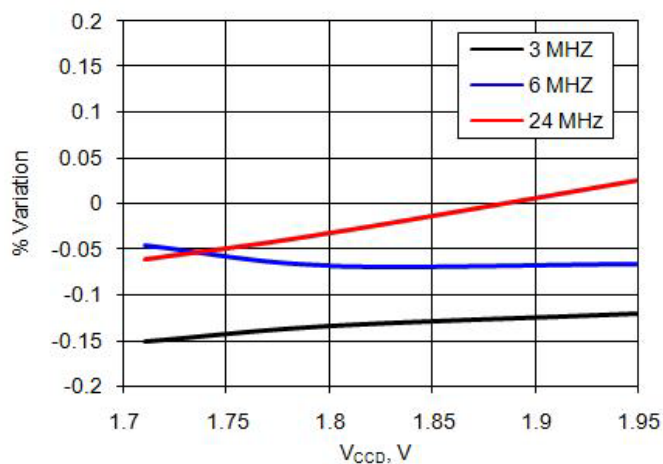


図 11-64. IMO 周波数変化対 V_{CC}



注:

79. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.9.2 内部低速発振器

表 11-62. ILO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	動作電流 ^[80]	$F_{OUT} = 1\text{kHz}$	–	–	1.7	μA
		$F_{OUT} = 33\text{kHz}$	–	–	2.6	μA
		$F_{OUT} = 100\text{kHz}$	–	–	2.6	μA
	リーク電流 ^[80]	電源切断モード	–	–	15	nA

表 11-63. ILO の AC 仕様^[81]

パラメーター	説明	条件	Min	Typ	Max	単位
T_{start_ilo}	起動時間、全周波数	ターボ モード	–	–	2	ms
F_{ILO}	ILO 周波数					
	100kHz		45	100	200	kHz
	1kHz		0.5	1	2	kHz

図 11-65. ILO 周波数変化対温度

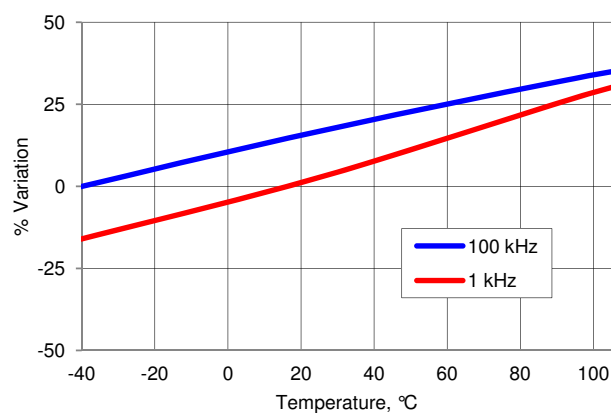
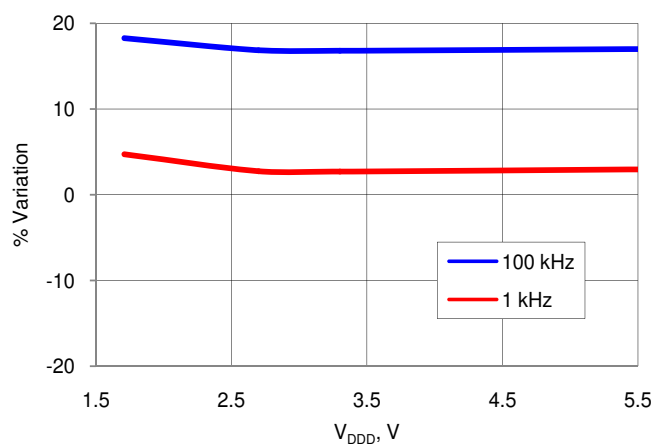


図 11-66. ILO 周波数変化対 V_{DD}



注:

80. この値は計算されますが、測定されていません。

81. デバイスの特性評価に基づく値 (出荷試験されていません)。

11.9.3 MHz 外部水晶発振器 (MHzECO)

MHzECO 用水晶またはセラミック発振子の選択の詳細については、アプリケーション ノート「AN54439: PSoC 3 and PSoC 5 External Oscillators」をご参照ください。

表 11-64. MHzECO の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	動作電流 [82]	13.56MHz 水晶	–	3.8	–	mA

表 11-65. MHzECO の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
F	水晶発振器の周波数範囲		4	–	25	MHz

11.9.4 kHz 外部水晶振動子発振器

表 11-66. kHzECO の DC 仕様 [82]

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	動作電流	低消費電力モード ; CL = 6pF	–	0.25	1.0	μ A
DL	駆動レベル		–	–	1	μ W

表 11-67. kHzECO の AC 仕様 [82]

パラメーター	説明	条件	Min	Typ	Max	単位
F	周波数		–	32.768	–	kHz
T_{ON}	起動時間	高消費電力モード	–	1	–	s

11.9.5 外部クロック リファレンス

表 11-68. 外部クロック リファレンスの AC 仕様 [82]

パラメーター	説明	条件	Min	Typ	Max	単位
	外部周波数の範囲		0	–	33	MHz
	入力デューティ比の範囲	$V_{DDIO}/2$ で測定	30	50	70	%
	入力エッジ レート	$V_{IL} \sim V_{IH}$	0.5	–	–	V/ns

11.9.6 位相同期回路

表 11-69. PLL の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
I_{DD}	PLL の動作電流	入力 = 3MHz、出力 = 80MHz	–	650	–	μ A
		入力 = 3MHz、出力 = 24MHz	–	200	–	μ A
		入力 = 3MHz、出力 = 67MHz	–	400	–	μ A

表 11-70. PLL の AC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
Fp1in	PLL 入力周波数 [83]		1	–	48	MHz
	PLL 中間周波数 [84]	プリスケアラの出力	1	–	3	MHz
Fp1out	PLL 出力周波数 [83]		24	–	80	MHz
	起動時のロック時間		–	–	250	μ s
Jperiod-rms	ジッタ (rms) [82]		–	–	250	ps

注:

82. デバイスの特性評価に基づく値 (出荷試験されていません)。

83. この仕様は、IMO を PLL のソースとして使用し、指定範囲で PLL をテストすることで保証されます。

84. PLL 入力分周器 (Q) は、入力周波数が中間周波数範囲に分周されるように設定する必要があります。Q の範囲は 1 ~ 16 です。

12. 注文情報

表 12-1 に記載されている機能に加え、すべての CY8C52LP デバイスには、最大 256KB のフラッシュ、64KB SRAM、2KB EEPROM、高精度オンチップ リファレンス電圧、高精度発振器、フラッシュ、ECC、DMA、固定機能 I²C、JTAG/SWD プログラミングおよびデバッグ、外部メモリ インターフェースなどが含まれています。これらの機能のほか、柔軟な UDB とアナログ サブセクションによって幅広いペリフェラルがサポートされます。ユーザーが最適なデバイスを選択できるよう、PSoC Creator は、ユーザーが各自のアプリケーションに必要なコンポーネントを選択した後、デバイスの推奨を行います。CY8C52LP ファミリのデバイスはすべて、ユーザーが選択できるセキュリティ レベルのデバイス セキュリティとフラッシュ セキュリティを備えています。詳細は、TRM をご覧ください。

表 12-1. Arm Cortex-M3 CPU を備えた CY8C52LP ファミリ

型番	MCU コア				アナログ								デジタル			I/O ^[86]					パッケージ	JTAG ID ^[87]
	CPU の速度 (MHz)	フラッシュ (KB)	SRAM (KB)	EEPROM (KB)	LCD セグメント駆動	ADC	DAC	コンパレータ	SC/CT アナログブロック	オペアンプ	DFB	CapSense	UDB ^[85]	16 ビット タイマー / PWM	FS USB	合計 I/O 数	GPIO	SIO	USBIO			
CY8C5268LTI-LP030	67	256	64	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	24	4	✓	48	38	8	2	68-QFN	0x2E11E069	
CY8C5268AXI-LP047	67	256	64	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	24	4	✓	72	62	8	2	100-TQFP	0x2E12F069	
CY8C5267AXI-LP051	67	128	32	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	24	4	✓	72	62	8	2	100-TQFP	0x2E133069	
CY8C5267LTI-LP089	67	128	32	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	24	4	✓	48	38	8	2	68-QFN	0x2E159069	
CY8C5266LTI-LP029	67	64	16	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	20	4	✓	48	38	8	2	68-QFN	0x2E11D069	
CY8C5266AXI-LP033	67	64	16	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	20	4	✓	72	62	8	2	100-TQFP	0x2E121069	
CY8C5266AXI-LP132	67	64	16	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	20	4	–	70	62	8	0	100-TQFP	0x2E184069	
CY8C5266LTI-LP150	67	64	16	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	20	4	–	46	38	8	0	68-QFN	0x2E196069	
CY8C5266FNI-LP205T	67	64	16	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	24	4	–	70	62	8	0	99-WLCSP	0x2E1CD069	
CY8C5265LTI-LP050	67	32	8	2	✓	1x12 ビット SAR	1	0	0	0	–	✓	20	4	✓	48	38	8	2	68-QFN	0x2E132069	
CY8C5265AXI-LP056	67	32	8	2	✓	1x12 ビット SAR	1	0	0	0	–	✓	20	4	✓	72	62	8	2	100-TQFP	0x2E138069	
CY8C5265LTI-LP058	67	32	8	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	20	4	✓	48	38	8	2	68-QFN	0x2E13A069	
CY8C5265AXI-LP082	67	32	8	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	20	4	✓	72	62	8	2	100-TQFP	0x2E152069	
CY8C5287AXI-LP095 ^[88]	80	256	64	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	24	4	✓	72	62	8	2	100-TQFP	0x2E15F069	
CY8C5288LTI-LP090	80	256	64	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	24	4	✓	48	38	8	2	68-QFN	0x2E15A069	
CY8C5288FNI-LP213	80	256	64	2	✓	1x12 ビット SAR	1	2	0	0	–	✓	24	4	✓	72	62	8	2	99-WLCSP	0x2E1D5069	

注:

85. UDB は、SPI、LIN、UART、タイマー、カウンタ、PWM、PRS、その他を含む幅広い機能をサポートします。それぞれの機能について、UDB の一部または複数の UDB を使用することができます。複数の機能で 1 個の UDB を共用することができます。UDB の使い方の詳細については、39 ページの「ペリフェラルの例」をご参照ください。

86. I/O カウントは、GPIO、SIO および 2 つの USB I/O のすべてのデジタル I/O タイプを対象とします。それぞれの I/O の機能の詳細については 32 ページの「I/O システムおよび配線」をご参照ください。

87. JTAG ID には、3 つの主なフィールドが含まれています。最上位ニブル (左の桁) から順にバージョン、2 バイトの製品番号、3 ニブルのメーカー ID です。

88. この製品は表 12-1 で説明した番号付け規則とは異なります。そのフラッシュは 128KB ではなく 256KB の容量です。

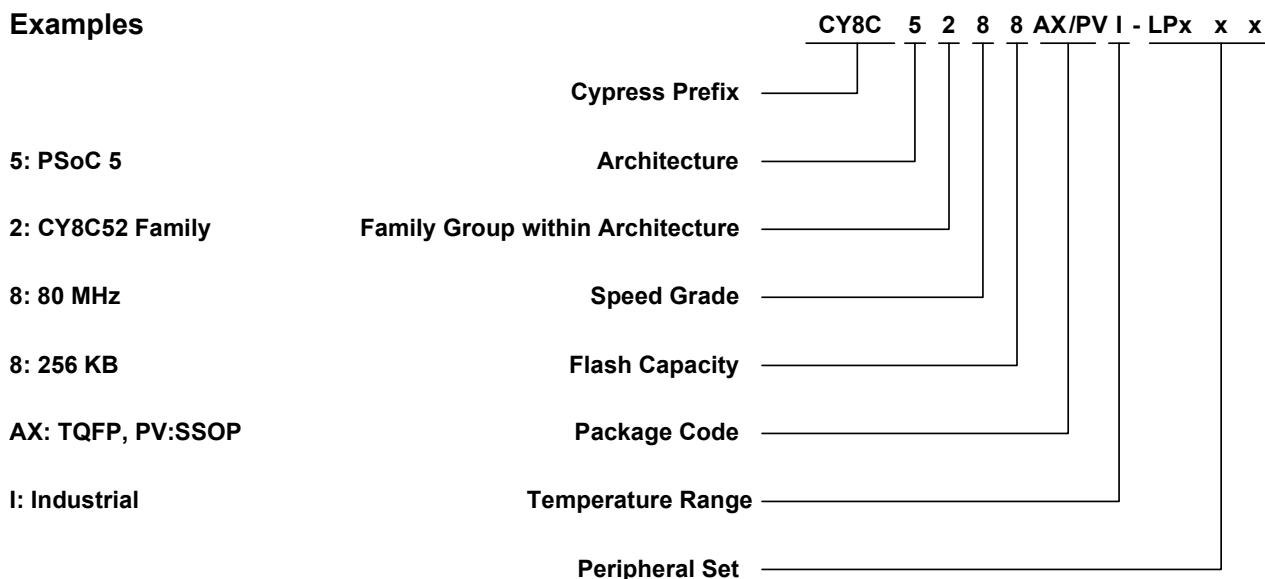
12.1 部品番号の命名規則

PSoC 5LP デバイスは、ここに示す部品番号の命名規則に従っています。フィールドは、特に記述がない限り、すべて 1 文字の英数字 (0 ~ 9、A ~ Z) です。

CY8Cabcdefg-LPxxx

- a: アーキテクチャ
 - 3: PSoC 3
 - 5: PSoC 5
 - b: アーキテクチャ内のファミリ グループ
 - 2: CY8C52LP ファミリ
 - 4: CY8C54LP ファミリ
 - 6: CY8C56LP ファミリ
 - 8: CY8C58LP ファミリ
 - c: 速度グレード
 - 6: 67MHz
 - 8: 80MHz
 - d: フラッシュ容量
 - 5: 32KB
 - 6: 64KB
 - 7: 128KB
 - 8: 256KB
 - ef: パッケージ コード
 - 2 文字の英数字
 - AX: TQFP
 - LT: QFN
 - PV: SSOP
 - FN: CSP
 - g: 温度範囲
 - C: 民生用
 - I: 工業用
 - A: 車載用
 - xxx: ペリフェラル セット
 - 3 文字の数字
 - これらの 3 文字に関連付けられた意味はありません。

Examples



これらのデバイスのテープおよびリールのバージョンは入手可能であり、型番の終わりに「T」でマーク付けられます。

サイプレスは鉛フリー製品に取り組んでおり、PbSn52LP CY8C52LP ファミリのデバイスはすべて RoHS-6 規格に準拠しています。鉛 (Pb) は、はんだの合金を作る元素で、その潜在毒性のため環境問題の原因物質とされています。サイプレスでは、リードフレームベースのパッケージのほとんどにニッケルパラジウム NiPdAu (ニッケルパラジウム金) めっき技術を採用しています。

サイプレスの鉛フリーに対する取り組みの概要は、弊社ウェブサイトをご覧ください。ウェブサイトには、パッケージに関する詳細情報も掲載されています。サイプレスのパッケージに含まれる全物質は、パッケージ素材宣言データシート (PMDD) に記載されています。PMDD をご覧になれば、多くの使用禁止物質が使用されていないこともご確認いただけます。PMDD に記載の情報は、リサイクルその他の「廃棄」要件のための計画にも役立ちます。

13. パッケージ

表 13-1. パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T _A	動作周囲温度		-40	25	85	°C
T _J	動作接合部温度		-40	–	100	°C
T _{JA}	パッケージ q _{JA} (68 ピン QFN)		–	15	–	°C/W
T _{JA}	パッケージ q _{JA} (100 ピン TQFP)		–	34	–	°C/W
T _{JC}	パッケージ q _{JC} (68 ピン QFN)		–	13	–	°C/W
T _{JC}	パッケージ q _{JC} (100 ピン TQFP)		–	10	–	°C/W
T _A	動作周囲温度	CSP デバイス用	-40	25	85	°C
T _J	動作接合部温度	CSP デバイス用	-40	–	100	°C
T _{JA}	パッケージの q _{JA} (99 ボール CSP)			16.5		°C/W
T _{JC}	パッケージの q _{JC} (99 ボール CSP)		–	0.1	–	°C/W

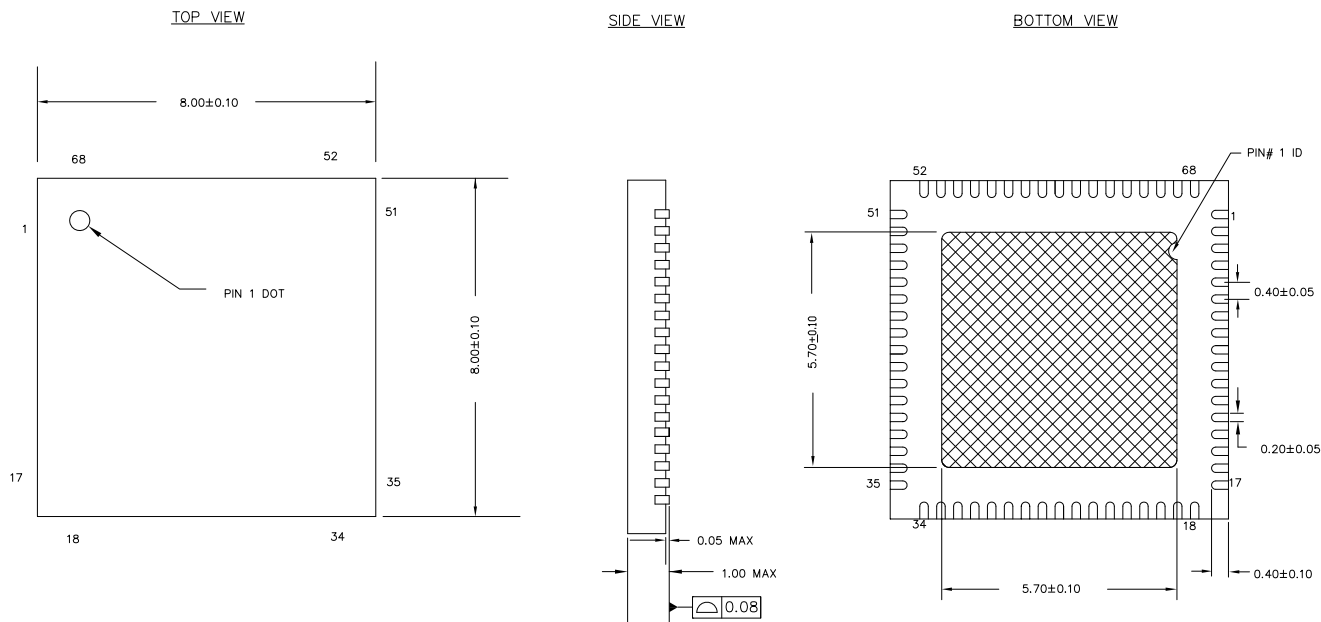
表 13-2. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
68 ピン QFN	260°C	30 秒
100 ピン TQFP	260°C	30 秒
99 ピン CSP	255°C	30 秒


表 13-3. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
68 ピン QFN	MSL 3
100 ピン TQFP	MSL 3
99 ピン CSP	MSL 1

図 13-1. 0.4mm ピッチ 68 ピン QFN 8×8 パッケージの外形 (Sawn バージョン)

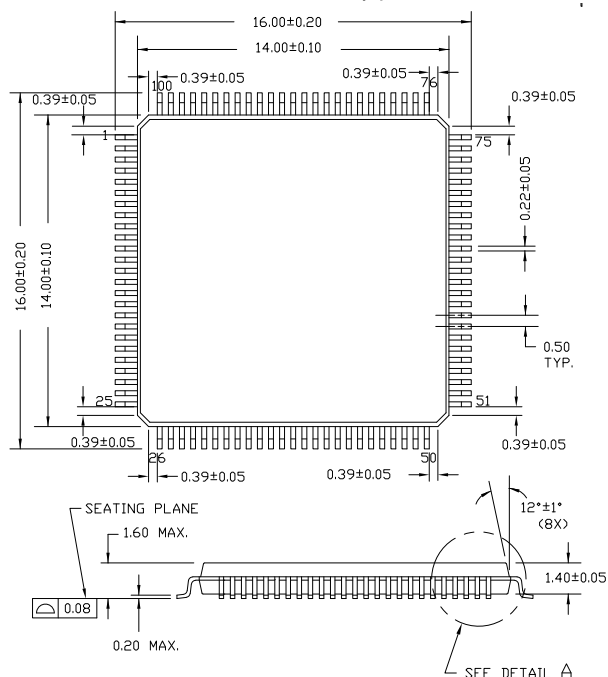


NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 17 ± 2mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

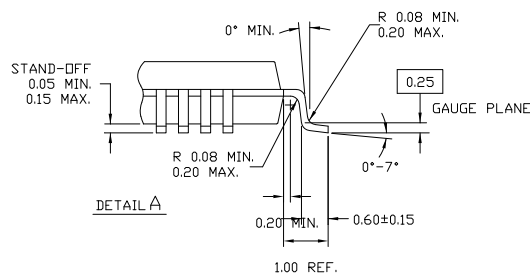
001-09618 *E

図 13-2. 100 ピン TQFP (14×14×1.4 mm) パッケージの図

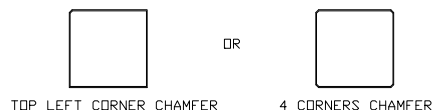


NOTE:

1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

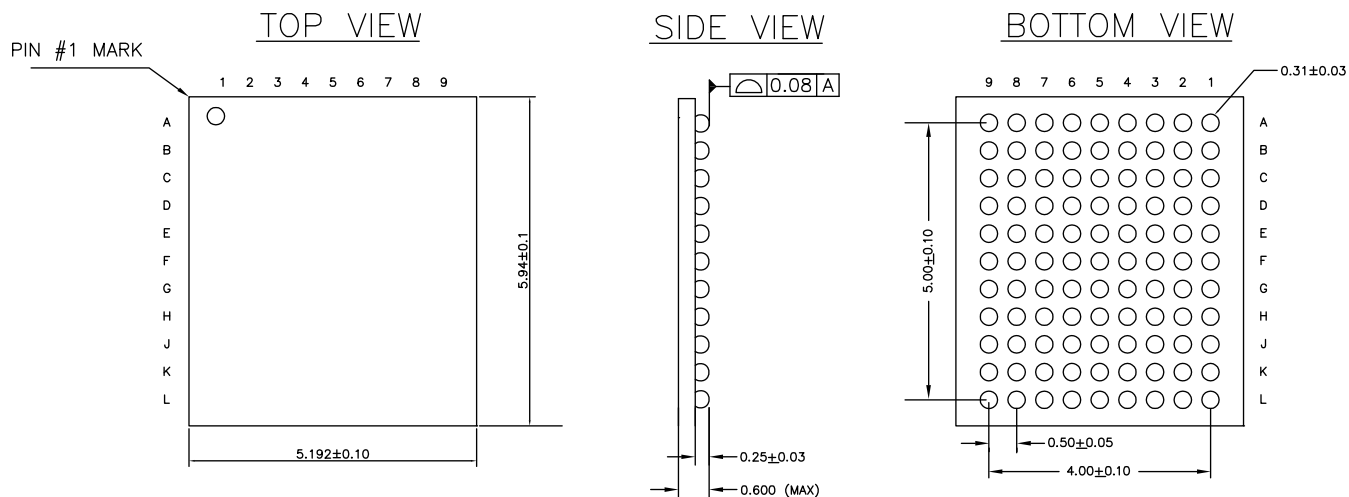


NOTE: PKG. CAN HAVE



51-85048 *K

図 13-3. WLCSP パッケージ (5.192 × 5.940 × 0.6mm)



NOTES:

1. REFERENCE JEDEC Publication 95: Design Guide 4.18
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-88034 *B

14. 略号

表 14-1. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンス ト マイクロコントローラー バス アーキテクチャ) 高性能バス)、Arm データ転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケー ション プログラミング インターフェース)
APSR	application program status register (アプリケー ション プログラム ステータス レジスタ)
Arm	advanced RISC machine (高度な RISC マシン)、 CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラー チェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ変 換器)。IDAC、VDAC をご参照ください
DFB	digital filter block (デジタル フィルターブロック)
DIO	digital input/output (デジタル入出力)、アナログ なし、デジタル機能のみを持つ GPIO。GPIO を ご参照ください
DMA	direct memory access (ダイレクト メモリ アクセ ス)。TD をご参照ください
DNL	differential nonlinearity (微分非直線性)。 INL をご参照ください
DNU	do not use (使用禁止)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専 用メモリ)

表 14-1. 本書で使用する略語 (続き)

略語	説明
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。 IIR をご参照ください
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレイクポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力) ; PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割込み)。 LVI、LVD をご参照ください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。 DAC、VDAC をご参照ください
IDE	integrated development environment (統合開発環境)
I ² C (別名 : IIC)	Inter-Integrated Circuit (インター インテグレー テッド サーキット)、通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。 FIR をご参照ください
ILO	internal low-speed oscillator (内部低速発振器)。 IMO をご参照ください
IMO	internal main oscillator (内部主発振器)。 ILO をご参照ください
INL	integral nonlinearity (積分非直線性)。 DNL をご参照ください
I/O	input/output (入出力)。 GPIO、DIO、SIO、USBIO をご参照ください
IPOR	initial power-on reset (初期パワーオン リセット)
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)
IRQ	interrupt request (割込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インターコ ネクト ネットワーク)、通信プロトコルの一種
LR	link register (リンク レジスタ)

表 14-1. 本書で使用する略語 (続き)

略語	説明
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。 LVI をご参照ください
LVI	low-voltage interrupt (低電圧割込み)。 HVI をご参照ください
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスタ入力スレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ)。 WOL をご参照ください
オペアンプ	operational amplifier (オペアンプ)
PAL	programmable array logic (プログラマブルアレイ ロジック)。PLD をご参照ください
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート 割込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロ ジック デバイス)。PAL をご参照ください
PLL	phase-locked loop (位相同期回路)
PMDD	package material declaration datasheet (パッケージ材料宣言データシート)
POR	power-on reset (パワーオン リセット)
PRES	precise low-voltage reset (精密低電圧リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータレジスタ)
PSoC®	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)

表 14-1. 本書で使用する略語 (続き)

略語	説明
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチド キャパシタ / 連続時間)
SCL	I ² C serial clock (I ² C シリアル クロック)
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SIO	special input/output (特殊入出力)、高度機能 GPIO。GPIO をご参照ください
SNR	signal-to-noise ratio (信号対ノイズ比)
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアルペリフェラル インターフェース)、通信プロトコルの一種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアルワイヤデバッグ)、 テスト プロトコルの一種
SWV	single-wire viewer (シングルワイヤビューアー)
TD	transaction descriptor (トランザクション ディス クリプタ)。DMA をご参照ください
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (技術リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎用 非同期トランスミッタレシーバ)、通信プロトコ ルの一種

表 14-1. 本書で使用する略語 (続き)

略語	説明
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)、 USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC)。 DAC、IDAC をご参照ください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めないラッチ)。 NVL をご参照ください
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset pin (外部リセット ピン)
XTAL	crystal (水晶)

15. 本書の表記法

15.1 測定単位

表 15-1. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムトファラッド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラッド
μH	マイクロヘンリ
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

文書名 : PSoC 5LP: CY8C52LP ファミリ データシート プログラマブル システムオンチップ (PSoC) 文書番号 : 001-97327			
版	ECN	発行日	変更内容
**	4769259	06/26/2015	これは英語版 001-84933 Rev. *G を翻訳した日本語版 001-97327 Rev. ** です。
*A	5480904	10/26/2016	これは英語版 001-84933 Rev. *I を翻訳した日本語版 001-97327 Rev. *A です。
*B	6308831	09/14/2018	これは英語版 001-84933 Rev. *L を翻訳した日本語版 001-97327 Rev. *B です。
*C	6677977	09/19/2019	これは英語版 001-84933 Rev. *M を翻訳した日本語版 001-97327 Rev. *C です。
*D	6778216	01/17/2020	これは英語版 001-84933 Rev. *N を翻訳した日本語版 001-97327 Rev. *D です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USBコントローラ	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2012-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。))を含む)は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。)のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。