

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

概述

PSoC® 5LP 是真正的可编程嵌入式片上系统，它在单芯片中集成了可配置的模拟和数字外设、存储器以及微控制器。PSoC 5LP 架构的性能通过以下特性得到质的提升：

- 带有工作频率高达 80 MHz 的 DMA 控制器以及 32 位 Arm® Cortex®-M3 内核
- 超低功耗拥有业界最宽的工作电压范围
- 带有支持用户自定义的可编程数字和模拟外设
- 任何模拟或数字外设端口可灵活路由至任意引脚

PSoC 器件是一个应用于嵌入式（控制）系统设计的高度灵活的可配置系统级芯片。它集成了丰富的可配置模拟和数字资源以及片上微控制器。单芯片 PSoC 可以实现高达上百种数字和模拟外设功能。因此不仅缩短设计周期、减少电路板尺寸、降低功耗，还可以在降低系统成本的基础上提升系统性能。

特性

■ 工作特性

- 电压范围：1.71 至 5.5 V，多达六个电压域
- （环境）温度范围：-40 至 85 °C^[1]
- 工作频率范围：DC 至 80 MHz
- 功耗模式
 - 在活动模式下，频率 6 MHz 电流 3.1 mA；频率 48 MHz 电流 15.4 mA
 - 在睡眠模式下，电流为 2 μA
 - 在休眠模式下，电流为 300 nA（RAM 数据保持）
- 升压调节器（最小输入电压 0.5 V，最大输出电压 5 V）

■ 性能

- 32 位 Arm Cortex-M3 CPU，32 个中断输入
- 24 通道的直接存储器访问（DMA）控制器

■ 存储器

- 拥有缓存和安全特性的高达 256 KB 的编程闪存
- 用于存储纠错码（ECC）的 32 KB 闪存空间
- 高达 64 KB 的 RAM
- 高达 2 KB 的 EEPROM

■ 数字外设

- 4 路 16 位定时器、计数器和 PWM 模块（TCPWM）
- 一路硬件 I²C 模块，总线速度 1 Mbps
- 已认证的 USB 2.0（FS）12 Mbps 外设接口（TID#10840032）（采用内部振荡器）^[2]
- 20 至 24 个通用数字模块（UDB），通过配置 UDB 模块，可以创建多种如下功能模块：
 - 8、16、24 和 32 位定时器、计数器和 PWM
 - I²C、UART、SPI、I²S、LIN 2.0 接口
 - 循环冗余校验（CRC）模块
 - 伪随机序列（PRS）发生器
 - 正交解码器
 - 门限逻辑功能

■ 可编程时钟

- 3 到 74 MHz 内部振荡器，3 MHz 输出精确度为 2%
- 支持 4 到 25 MHz 外部晶振
- 内部 PLL 能够生成高达 80 MHz 的时钟

注释：

- 最大存放温度是 150°C，符合 JEDEC JESD22-A103 — 高温存放使用寿命标准。
- 该特性仅在特定器件上提供。更多详细信息，请参考第 103 页上的订购信息。

- 频率分别为 1 kHz、33 kHz 和 100 kHz 的低功耗内部振荡器
- 支持 32.768 kHz 外部晶振
- 12 个时钟分频器可路由到任何外设或 I/O

■ 模拟外设

- 12 位 SAR ADC
- 8 位 DAC
- 两个电压比较器
- 支持 CapSense® 功能，最多支持 62 个触摸传感器
- 1.024 V ±1% 内部参考电压

■ 多功能 I/O 系统

- 46 到 72 个 I/O 引脚 — 多达 62 个通用 I/O（GPIO）
- 多达 8 个特殊功能 I/O（SIO）引脚
 - 25 mA 灌电流
 - 可编程的输入/输出阈值
 - 可作为通用比较器使用
 - 支持热插拔功能和过压容限
- 两个 USBIO 引脚可作为 GPIO 使用
- 任意数字或模拟外设信号可以路由至任意 GPIO
- 所有 GPIO 均支持段式 LCD 驱动，最多支持 46 COM x 16 SEG
- 所有 GPIO 均支持 CapSense 功能
- 接口电压范围为 1.2 V 至 5.5 V，多达 4 个电压域

■ 编程、调试和跟踪

- 支持 4 线 JTAG、双线 SWD、单线 SWV 以及 5 线 Traceport 接口
- 支持将 Arm 调试和跟踪模块嵌入到 CPU 内核
- 支持通过 I²C、SPI、UART、USB 以及其他接口进行 Bootloader 编程

■ 封装选择：68-QFN、100-TQFP 以及 99-ball WLCSP

■ 支持使用免费的 PSoC Creator™ 工具进行开发

- 提供原理图和固件级别的设计支持
- 提供了上百个 PSoC Component™（PSoC 组件），有助于将众多专有 IC 和系统接口集成到一个 PSoC 内。每个组件均可通过简单的拖放添加到当前设计中。
- 包含免费的 GCC 编译器并支持 Keil/Arm MDK 编译器
- 支持器件的编程和调试功能

更多有关的信息

在赛普拉斯的 www.cypress.com 网站上提供了大量资料，有助于选择符合您设计的 PSoC 器件，并能够快速有效地将该器件集成到您的设计中。有关使用资源的完整列表，请参考知识库文章 [KBA86521 — 如何使用 PSoC 3、PSoC 4 和 PSoC 5LP 进行设计](#)。下面是 PSoC 5LP 的简要列表：

■ 概况：PSoC 产品系列、PSoC 产品路线图

■ 产品选择器：PSoC 1、PSoC 3、PSoC 4、PSoC 5LP。

此外，PSoC Creator 还包含一个器件选择工具。

■ 应用笔记：赛普拉斯提供了大量 PSoC 应用笔记和代码示例，包括从基础到高级的广泛主题。下面列出了 PSoC 5LP 入门的建议应用手册：

- [AN77759](#): PSoC 5LP 入门
- [AN77835](#): PSoC 3 至 PSoC 5LP 的移植指南
- [AN61290](#): 硬件设计的注意事项
- [AN57821](#): 混合信号电路板布局
- [AN58304](#): 模拟设计的引脚选择
- [AN81623](#): 数字设计的最佳实践
- [AN73854](#): Bootloader 简介

■ 开发套件：

- [CY8CKIT-059](#) 为低成本平台，用于原型设计，在 USB 连接器上提供独特的快速编程器和调试器。
- [CY8CKIT-050](#) 是专门为模拟性能而设计的。通过该套件，您可以开发高精度模拟、低功耗以及低电压的各种应用。
- [CY8CKIT-001](#) 为 PSoC 1、PSoC 3、PSoC 4 或 PSoC 5LP 器件系列提供一个通用的开发平台。

MiniProg3 编程工具提供闪存编程和调试的接口。

■ 技术参考手册 (TRM)

- 架构 TRM
- 寄存器 TRM

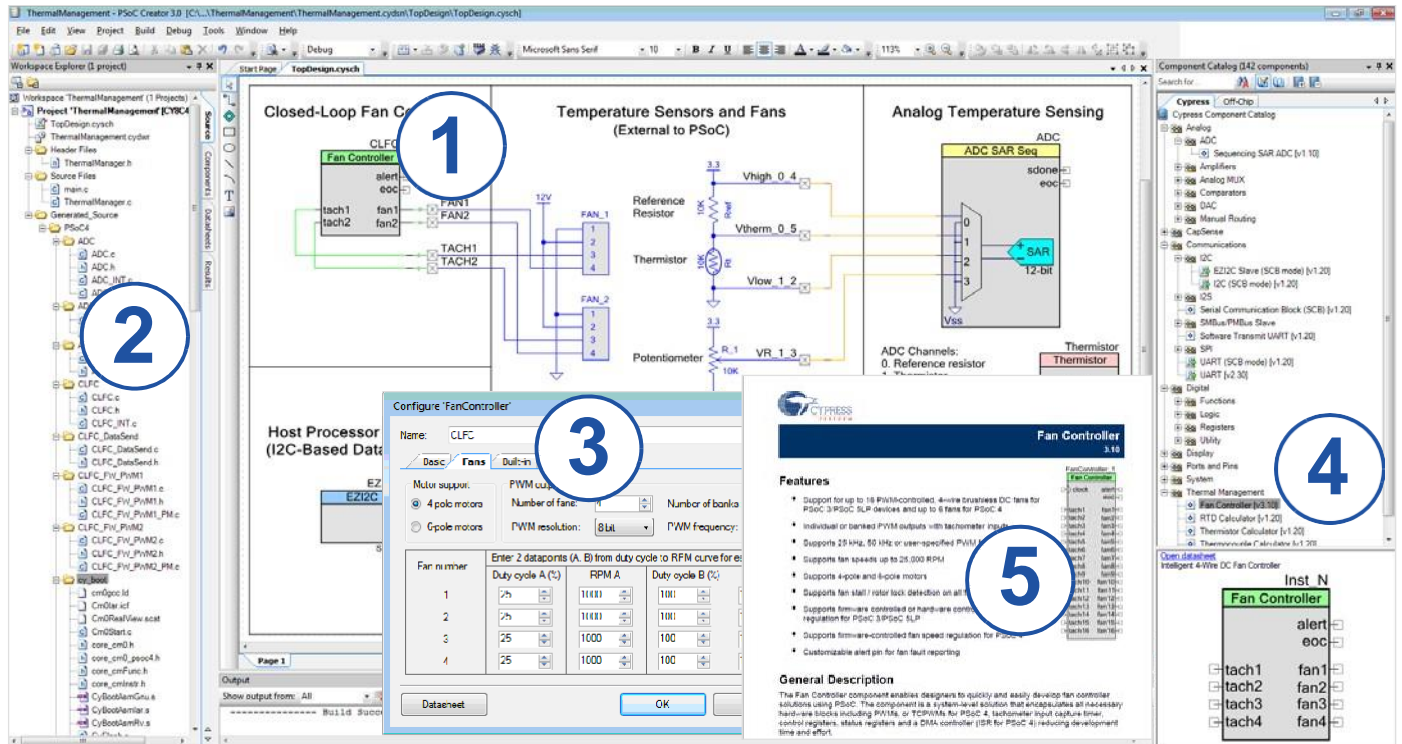
■ 编程规范

PSoC Creator

PSoC Creator 是基于 Windows 的免费集成开发环境 (IDE)。通过它可以同时在 PSoC 3、PSoC 4 和 PSoC 5LP 的系统中设计硬件和固件。PSoC Creator 通过基于原理图的经典方法设计系统架构，由上百个预验证可用于生产的 PSoC 组件给与支持。更多信息请参考 [组件数据手册列表](#)。使用 PSoC Creator，可以执行以下操作：

1. 将组件图标施放到主要设计工作区中，以进行您的硬件系统设计
2. 使用 PSoC Creator 集成开发环境 C 编译器对您的应用固件和 PSoC 硬件进行协同设计
3. 使用配置工具配置各组件
4. 研究包含 100 多个组件的库
5. 查看组件数据手册

图 1. PSoC Creator 中多传感器的示例项目



目录

1. 架构概述	4	11.3 电源调节器	64
2. 引脚分布	6	11.4 输入和输出	68
3. 引脚说明	11	11.5 模拟外设	75
4. CPU	12	11.6 数字外设	89
4.1 Arm Cortex-M3 CPU	12	11.7 存储器	93
4.2 缓存控制器	13	11.8 PSoC 系统资源	97
4.3 DMA 与 PHUB	13	11.9 时钟	100
4.4 中断控制器	16	12. 订购信息	104
5. 存储器	18	12.1 器件型号约定	105
5.1 静态 RAM	18	13. 封装	106
5.2 闪存程序存储器	18	14. 缩略语	109
5.3 闪存安全性	18	15. 文档规范	111
5.4 EEPROM	18	15.1 测量单位	111
5.5 非易失性锁存器 (NVL)	19	文档修订记录页	112
5.6 外部存储器接口	20	销售、解决方案和法律信息	113
5.7 存储器映射情况	21	全球销售和 design 支持	113
6. 系统集成	22	产品	113
6.1 时钟系统	22	PSoC® 解决方案	113
6.2 供电系统	25	赛普拉斯开发者社区	113
6.3 复位	29	技术支持	113
6.4 I/O 系统与路由	31		
7. 数字子系统	38		
7.1 外设示例	38		
7.2 通用数字模块	40		
7.3 UDB 阵列说明	43		
7.4 DSI 路由接口说明	43		
7.5 USB	45		
7.6 定时器、计数器和 PWM	45		
7.7 I ² C	46		
8. 模拟子系统	48		
8.1 模拟路由	49		
8.2 逐次逼近 ADC	51		
8.3 比较器	51		
8.4 LCD 直接驱动	52		
8.5 CapSense	53		
8.6 温度传感器	53		
8.7 DAC	53		
9. 编程、调试接口与资源	55		
9.1 JTAG 接口	56		
9.2 SWD 接口	57		
9.3 调试特性	58		
9.4 跟踪特性	58		
9.5 SWV 和 RACEPORT 接口	58		
9.6 编程功能	58		
9.7 器件安全性	58		
9.8 CSP 封装 Bootloader	59		
10. 开发支持	59		
10.1 文档	59		
10.2 在线资源	59		
10.3 工具	59		
11. 电气规范	60		
11.1 最大绝对额定值	60		
11.2 器件级规范	61		

1. 架构概述

CY8C52LP 系列是超低功耗、闪存可编程的片上系统（PSoC）器件，作为可扩展 8 位 PSoC 3 和 32 位 PSoC 5LP 平台的组成部分。CY8C52LP 系列在 CPU 子系统的基础上集成了可配置模拟块、数字模块及其互连电路。通过将 CPU 同高度灵活的模拟子系统、数字子系统、路由及 I/O 相结合，可以在众多消费、工业和医疗应用场合实现高度集成。

图 1-1. 简化的框图

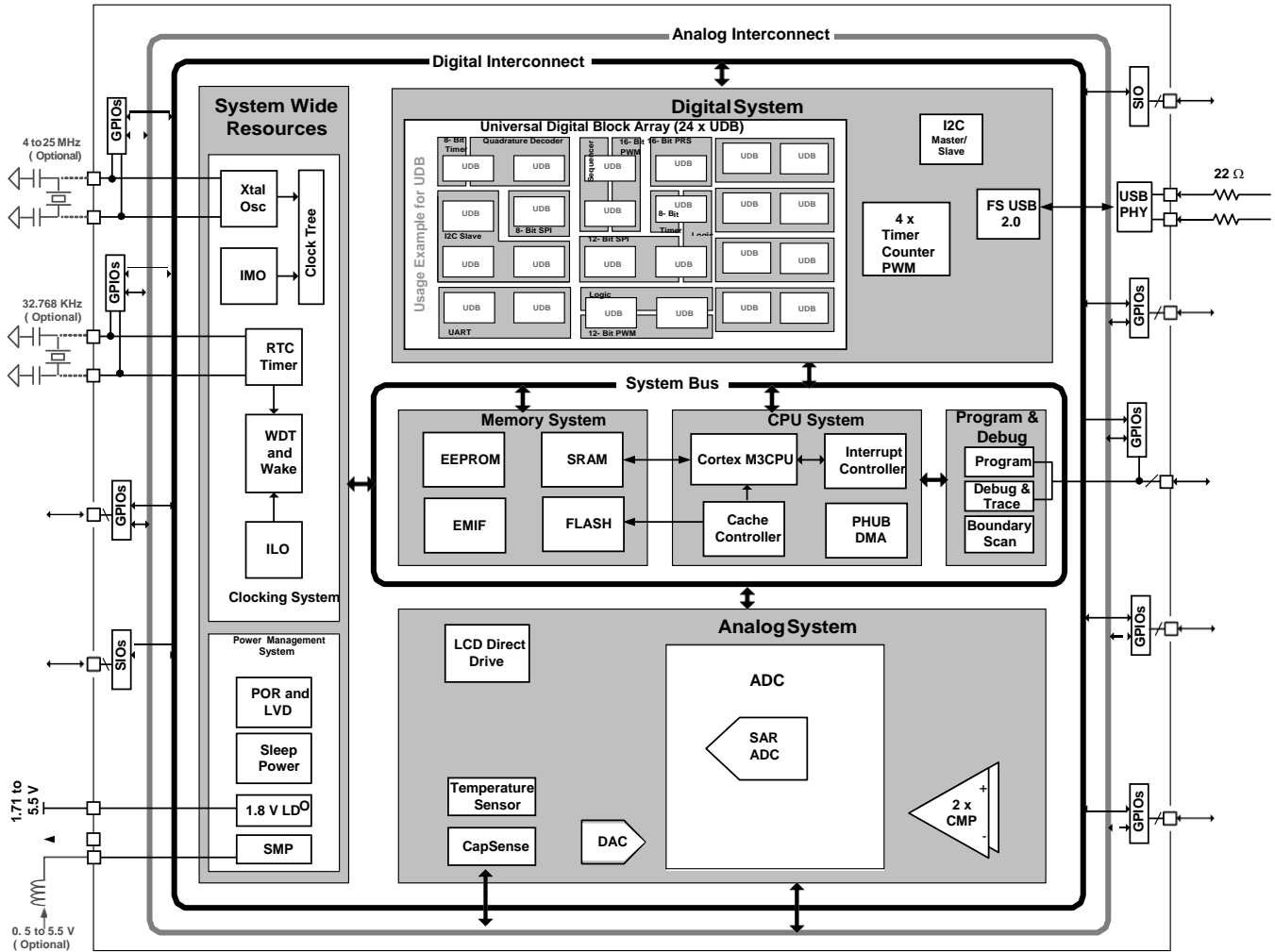


图 1-1 显示了 CY8C52LP 系列的主要组件，包括：

- Arm Cortex-M3 CPU 子系统
- 非易失性存储子系统
- 编程、调试和测试子系统
- 输入和输出
- 时钟
- 功耗
- 数字子系统
- 模拟子系统

PSoC 具有独特的可配置性，其中有一半是由其数字子系统提供的。数字子系统不仅能够通过数字系统互连（DSI）将来自任意外设的数字信号连接至任意引脚，而且还能够通过小而快的低功耗 UDB 来灵活实现多项功能。PSoC Creator 提供了一个外设库，其中包括经过测试并已映射至 UDB 阵列的标准预建数字外设，如 UART、SPI、LIN、PRS、CRC、定时器、计数器、PWM、AND、OR 等。此外，您还可以通过图形设计输入的方式，使用布尔基元轻松创建数字电路。每个 UDB 均包含可编程阵列逻辑（PAL）/ 可编程逻辑器件（PLD）功能和一个小型状态机引擎，用于支持多种外设。

除了能够提高 UDB 阵列的灵活性之外，PSoC 还提供旨在实现特定功能的可配置数字模块。对于 CY8C52LP 系列，这些模块包括：四个 16 位定时器、计数器以及 PWM 模块；I²C 从、主和多主接口；全速 USB。

有关外设的详细信息，请参见本数据手册的第 38 页上的“**外设示例**”一节。有关 UDB、DSI 及其他数字模块的信息，请参见本数据手册的第 38 页上的“**数字子系统**”一节。

PSoC 独特可配置的另外一半则来自其模拟子系统。所有模拟性能都基于高度精确的绝对电压参考（在有效工作温度和电压下误差小于 1%）。可配置模拟子系统包括：

- 模拟复用器
- 电压比较器
- 参考电压
- 模数转换器（ADC）
- 数模转换器（DAC）

所有 GPIO 引脚都可以使用内部模拟总线来路由器件的模拟信号。因此，器件可以连接多达 62 个不同的模拟信号。

CY8C52LP 系列有一个 SAR ADC。它能以高达 1 Msps 的采样率实现 12 位转换，还能实现极低的非线性度和偏移误差以及优于 70 dB 的 SNR。它非常适合各种高速模拟应用。

高速电压或电流 DAC 支持 8 位输出信号，电流 DAC（IDAC）的更新速率为 8 Msps，电压 DAC（VDAC）的更新速率为 1 Msps。它可以路由到任何 GPIO 引脚输入 / 输出。您可以使用 UDB 阵列创建分辨率更高的电压 PWM DAC 输出。利用此方法，可以在高达 48 kHz 的频率下创建 10 位的脉冲宽度调制（PWM）DAC。每个 UDB 中的数字 DAC 都支持 PWM、PRS 或 delta-sigma 算法，并且宽度可编程。

除了 ADC 和 DAC 以外，模拟子系统还提供多个电压比较器。相关详细信息，请参见本数据手册中第 48 页上的“**模拟子系统**”一节。

PSoC 的 CPU 子系统是围绕工作频率高达 80 MHz 的 32 位三段流水线式 Arm Cortex-M3 处理器构建的。Cortex-M3 包含一个高度集成的嵌套向量中断控制器（NVIC）以及多个调试和跟踪模块。整个 CPU 子系统配有一个 DMA 控制器、闪存缓冲器和 RAM。NVIC 提供低延迟、嵌套中断、中断的末尾连锁和其它功能，可提高中断处理的效率。通过 DMA 控制器，外设能够交换数据而不用 CPU 的干预。这样，CPU 就能够慢速运行（降低功耗）或使用这些 CPU 周期来提高固件算法的性能。闪存缓存还可以降低闪存访问的频率，从而减少系统的功耗。

PSoC 的非易失性子系统由闪存、按字节写入的 EEPROM 以及非易失性配置选项构成。它能够高达 256 KB 的片上闪存。CPU 可以对闪存的各个数据块重新进行编程，以便使能各个 Bootloader（引导加载程序）。您可以针对可靠性较高的应用使用纠错码（ECC）。功能强大且非常灵活的保护模型能够保护您的敏感信息，并能够锁定选定的存储器模块，以便实现读写保护。

片上提供了 2 KB 的按字节写入的 EEPROM，用于存储应用程序数据。此外，选定的配置选项（如引导速度和引脚驱动模式）被存储在非易失性存储器中，以便在上电复位（POR）后立即激活相关设置。

PSoC I/O 的三种类型都非常灵活。所有 I/O 都支持多种可在上电复位（POR）时设置的驱动模式。PSoC 还通过 VDDIO 引脚提供多达四个 I/O 电压域。每个 GPIO 都具有模拟 I/O、LCD 驱动、CapSense、灵活的中断生成、转换速率控制以及数字 I/O 功能。PSoC 上的 SIO 在用作输出时可独立设置 V_{OH} 和 VDDIO。SIO 在输入模式下处于高阻抗状态。即使器件未被上电或引脚电压高于供电电压时，亦是如此。这样 SIO 便非常适合使用在 I²C 总线上，因为该总线上的其它器件处于加电状态时，PSoC 可能未被加电。SIO 引脚还具有非常高的灌电流能力，适用于 LED 驱动等应用。通过使用 SIO 的可编程输入阈值特性，可以将 SIO 作为通用模拟电压比较器使用。此外，对于使用全速 USB 的器件，PSoC 还提供了 USB 物理接口（USBIO）。当不使用 USB 时，这些引脚还可以用于实现有限的数字功能和进行器件编程。本数据手册的第 31 页上的“**I/O 系统与路由**”一节对 PSoC I/O 的所有特性进行了详细说明。

PSoC 器件集成了非常灵活的内部时钟生成器，能够实现高度的稳定性和准确度。内部主振荡器（IMO）是系统的主时钟，在 3 MHz 频率下的精度为 2%。可对 IMO 进行配置，使之在 3 MHz 至 24 MHz 的工作频率范围内运行。为了满足应用的要求，可将主时钟频率分频成多个时钟。PSoC 器件提供了一个 PLL，以便从 IMO、外部晶振或外部参考时钟生成高达 80 MHz 的系统时钟频率。它还包含一个单独的超低功耗内部低速振荡器（ILO），以便供睡眠和看门狗定时器使用。此外，在实时时钟（RTC）应用中，还支持使用 32.768 kHz 的外部时钟晶体。时钟以及可编程时钟分频器具有高度的灵活性，能够满足大多数时序要求。

CY8C52LP 系列能够在 1.71 V 到 5.5 V 的电压范围内工作。可以采用 $1.8\text{ V} \pm 5\%$ 、 $2.5\text{ V} \pm 10\%$ 、 $3.3\text{ V} \pm 10\%$ 或 $5.0\text{ V} \pm 10\%$ 等稳压电源，或直接采用多种不同类型的电池。此外，该系列还提供了一个集成的高效同步升压器，能够采用 0.5 V 的电源电压为器件供电。这样一来，便可以通过单个电池为器件直接供电。不仅如此，您还可以使用升压器来生成器件所需的其它电压，例如，驱动 LCD 显示屏所需的 3.3 V 电压。升压器的输出引脚是 V_{BOOST}，从而可以从 PSoC 为应用中的其它器件供电。

PSoC 支持多种低功耗模式，其中包括 300 nA 休眠模式（RAM 保持数据）和 2 μ A 睡眠模式（RTC 保持运行）。在第二种模式下，可选的 32.768 kHz 时钟晶体会连续运行，以保持精确的 RTC。

固件可以独立控制所有主要功能模块（包括可编程数字和模拟外设）的供电情况。因此，当某些外设未被使用时，可以采用低功耗后台处理模式。这样一来，当 CPU 在 6 MHz 下运行时，器件总电流仅为 3.1 mA。

关于 PSoC 功耗模式的详细信息，请参见本数据手册中第 25 页上的“**供电系统**”一节。

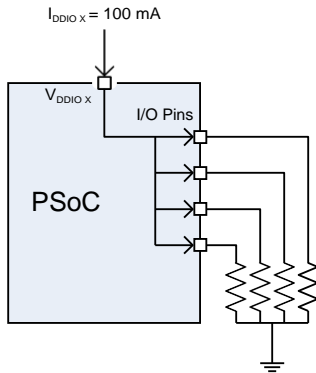
PSoC 采用 4 线 JTAG 或 2 线 SWD 接口进行编程、调试和测试。借助这些标准接口，您能够利用赛普拉斯公司或第三方供应商提供的众多硬件解决方案对 PSoC 进行调试或编程。Cortex-M3 调试和跟踪模块包括：FPB、DWT、ETM 以及 ITM。这些模块具有多项功能，有助于解决较难的调试和跟踪问题。有关编程、测试和调试接口的详细信息，请参见本数据手册中的第 54 页上的“**编程、调试接口与资源**”一节。

2. 引脚分布

每个 VDDIO 引脚为一组特定的 I/O 引脚供电。(USBIO 则由 VDDD 供电。) 通过使用 VDDIO 引脚, 单个 PSoC 能支持多个接口电压, 而无需片外电平转换器。图 2-3 和图 2-4 中引脚分配框图内的黑线以及表 2-1 显示了每个 VDDIO 所供电的引脚。

每个 VDDIO 总共可为相应 I/O 引脚提供高达 100 mA 的电流, 如图 2-1 所示。

图 2-1. VDDIO 电流限制



反过来, 对于 100 引脚和 68 引脚器件, 可以将 100 mA 的总电流灌入到与任意 VDDIO 相应的引脚组, 如图 2-2 所示。

图 2-2. I/O 引脚电流限制

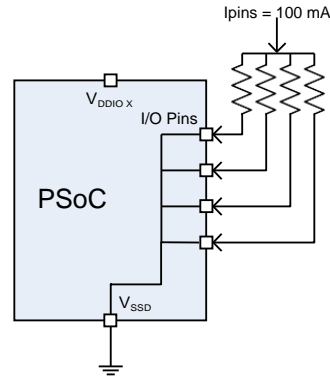
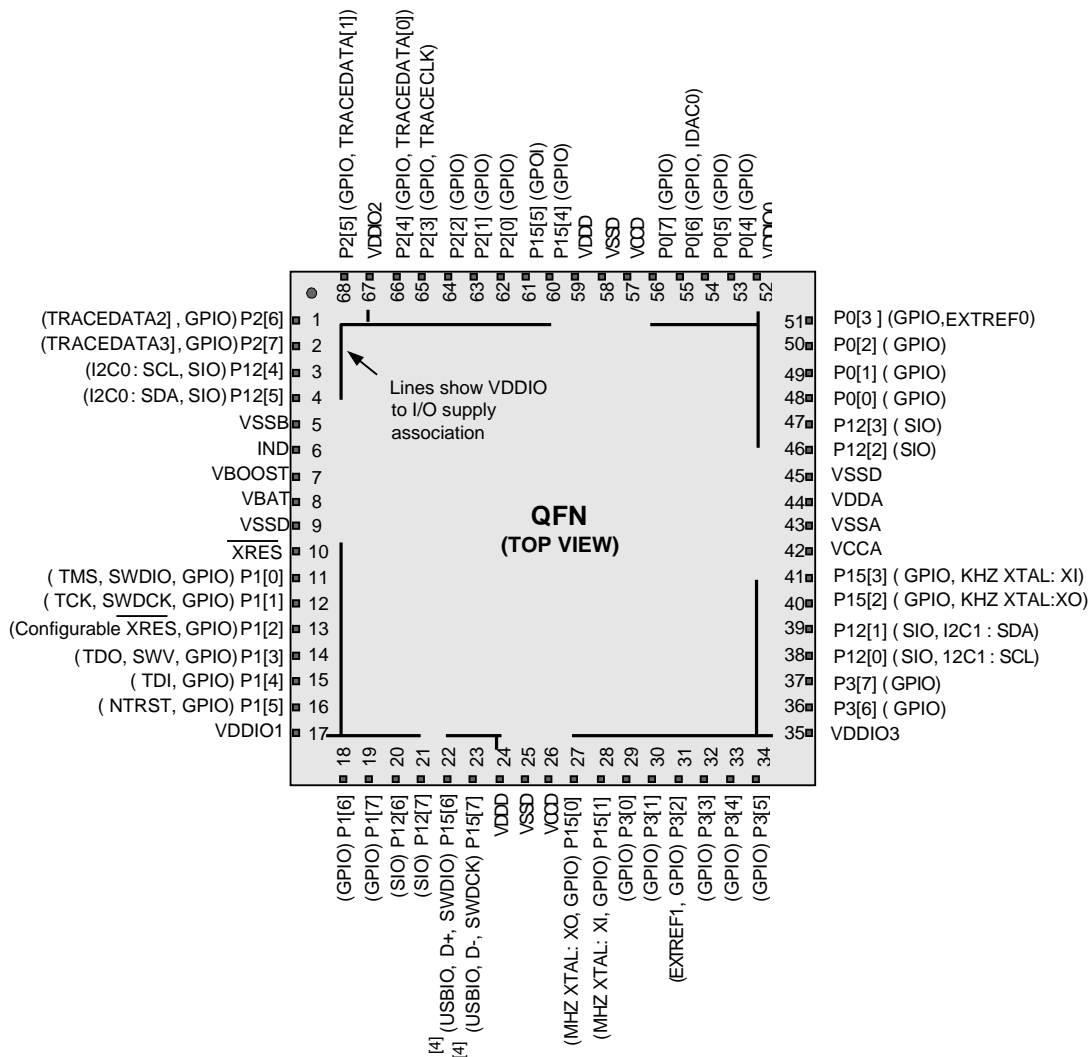


图 2-3. 68-QFN 器件的引脚分布 [3]



注释:

3. QFN 封装上的中心焊盘应连接到数字接地 (VSSD)，以获得最佳机械、热和电气性能。如果未接地，则应处于电气悬空状态，而不能连接到任何其他信号。更多有关信息，请参见 [AN72845](#) — QFN 器件的设计指南。
4. 在不带 USB 的器件上，引脚处于“请勿使用” (DNU) 状态。该引脚必须悬空。

图 2-4. 100-TQFP 器件的引脚分布

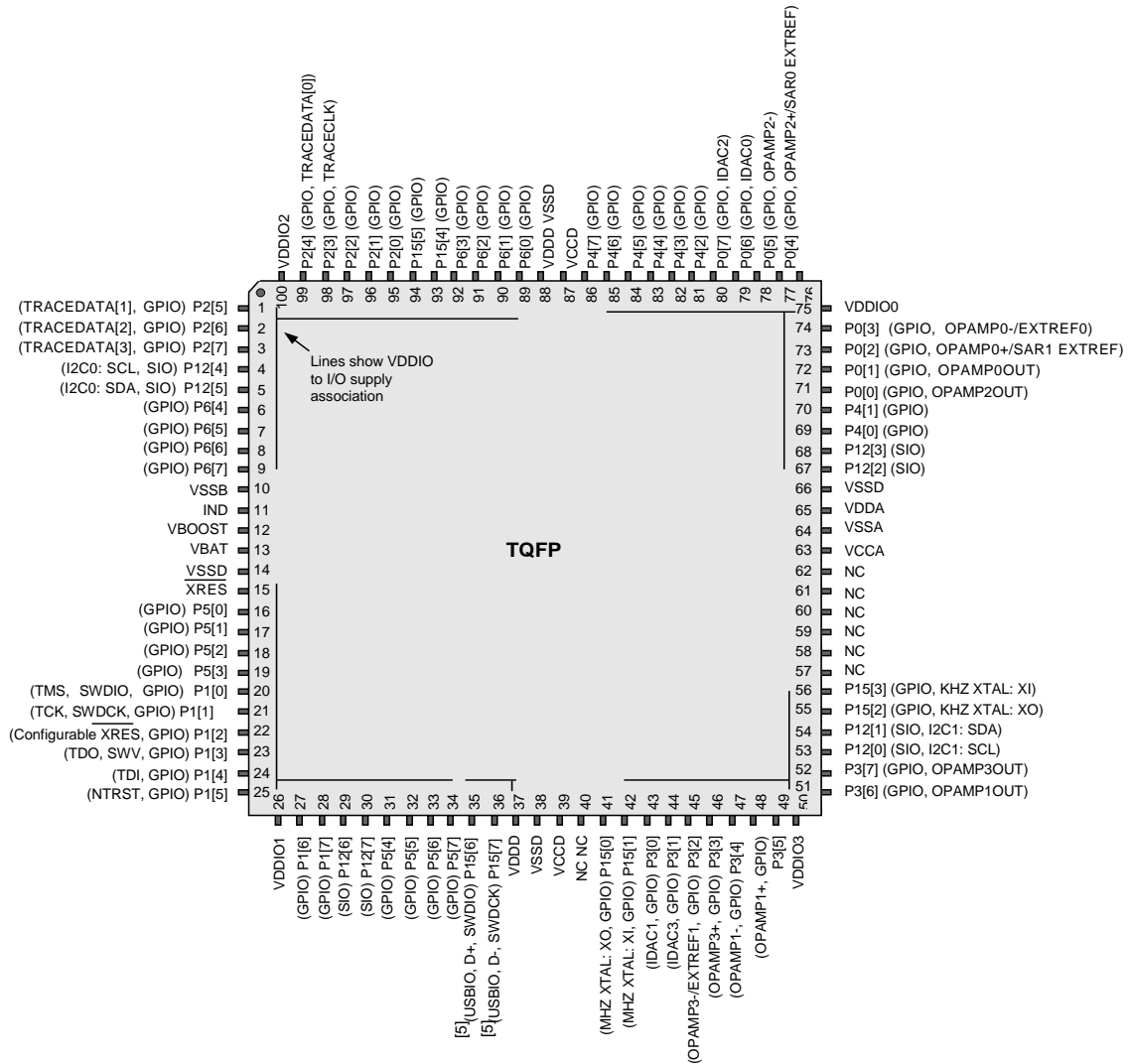


表 2-1. V_{DDIO} 和端口引脚的分配

VDDIO	端口引脚
VDDIO0	P0[7:0]、 P4[7:0]、 P12[3:2]
VDDIO1	P1[7:0]、 P5[7:0]、 P12[7:6]
VDDIO2	P2[7:0]、 P6[7:0]、 P12[5:4]、 P15[5:4]
VDDIO3	P3[7:0]、 P12[1:0]、 P15[3:0]
VDDD	P15[7:6] (USB 的 D+、 D-)

注释:

- 在不带 USB 的器件上, 引脚处于“请勿使用”(DNU)状态。这些引脚必须保持悬空状态。

表 2-2 显示了 99-ball WLCSP 封装的引脚分布。由于共有 4 个 V_{DDIO} 引脚，因此，与 100 引脚和 68 引脚器件相同，可以将 100 mA 的总电流灌入到与 V_{DDIO} 相应的 I/O 引脚组。

表 2-2. CSP 引脚分布

球形焊盘	名称	球形焊盘	名称	球形焊盘	名称	球形焊盘	名称
E5	P2[5]	L2	VIO1	B2	P3[6]	C8	VIO0
G6	P2[6]	K2	P1[6]	B3	P3[7]	D7	P0[4]
G5	P2[7]	C9	P4[2]	C3	P12[0]	E7	P0[5]
H6	P12[4]	E8	P4[3]	C4	P12[1]	B9	P0[6]
K7	P12[5]	K1	P1[7]	E3	P15[2]	D8	P0[7]
L8	P6[4]	H2	P12[6]	E4	P15[3]	D9	P4[4]
J6	P6[5]	F4	P12[7]	A1	NC	F8	P4[5]
H5	P6[6]	J1	P5[4]	A9	NC	F7	P4[6]
J5	P6[7]	H1	P5[5]	L1	NC	E6	P4[7]
L7	VSSB	F3	P5[6]	L9	NC	E9	VCCD
K6	Ind	G1	P5[7]	A3	VCCA	F9	VSSD
L6	VBOOST	G2	P15[6] ^[6]	A4	VSSA	G9	VDDD
K5	VBAT	F2	P15[7] ^[6]	B7	VSSA	H9	P6[0]
L5	VSSD	E2	VDDD	B8	VSSA	G8	P6[1]
L4	XRES	F1	VSSD	C7	VSSA	H8	P6[2]
J4	P5[0]	E1	VCCD	A5	VDDA	J9	P6[3]
K4	P5[1]	D1	P15[0]	A6	VSSD	G7	P15[4]
K3	P5[2]	D2	P15[1]	B5	P12[2]	F6	P15[5]
L3	P5[3]	C1	P3[0]	A7	P12[3]	F5	P2[0]
H4	P1[0]	C2	P3[1]	C5	P4[0]	J7	P2[1]
J3	P1[1]	D3	P3[2]	D5	P4[1]	J8	P2[2]
H3	P1[2]	D4	P3[3]	B6	P0[0]	K9	P2[3]
J2	P1[3]	B4	P3[4]	C6	P0[1]	H7	P2[4]
G4	P1[4]	A2	P3[5]	A8	P0[2]	K8	VIO2
G3	P1[5]	B1	VIO3	D6	P0[3]		

图 2-5 所示为 100-TQFP 器件的原理图示例，图 2-6 所示为该器件在两层电路板上获得最佳模拟性能的 PCB 布局示例。

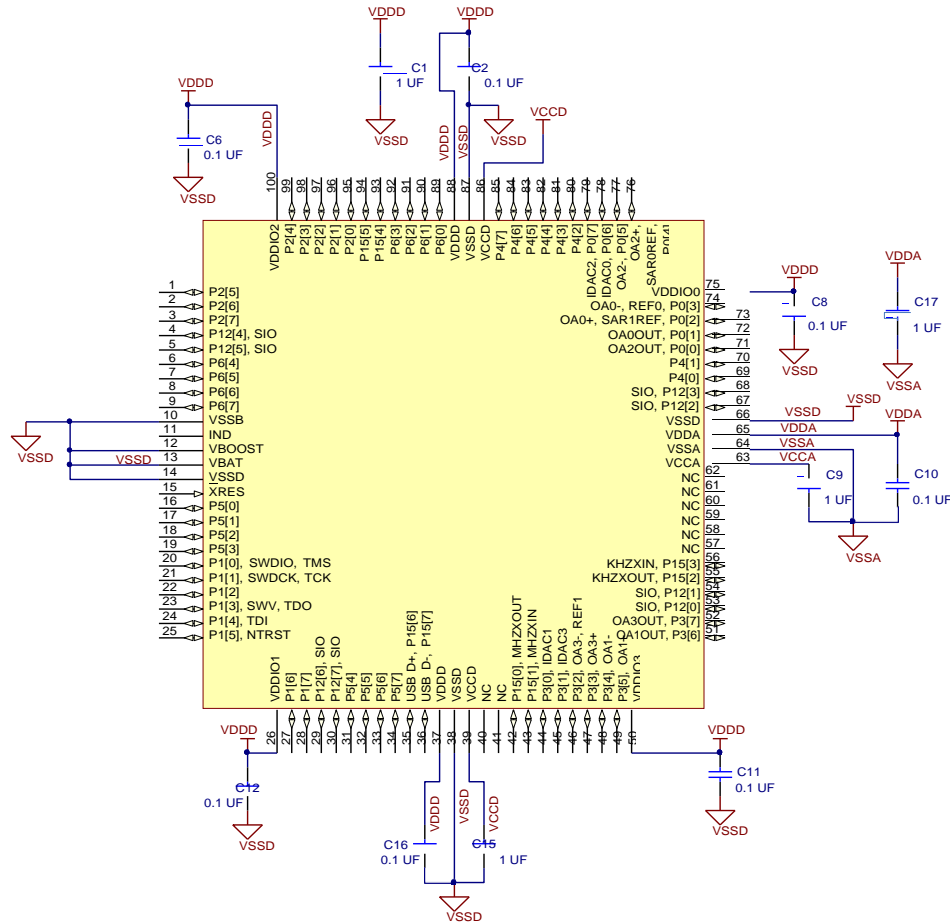
- 两个 VDDD 引脚必须连接在一起。
- 两个 VCCD 引脚必须连接在一起，然后通过一个电容连接至地，如图 2-5 和第 25 页上的供电系统所示。两个 VCCD 引脚之间的走线越短越好。
- 两个 VSSD 引脚必须连接在一起。

有关混合信号电路板布局问题的详细信息，请参考应用笔记 [AN57821 — PSoC® 3 与 PSoC 5LP 混合信号电路板布局的注意事项](#)。

注释：

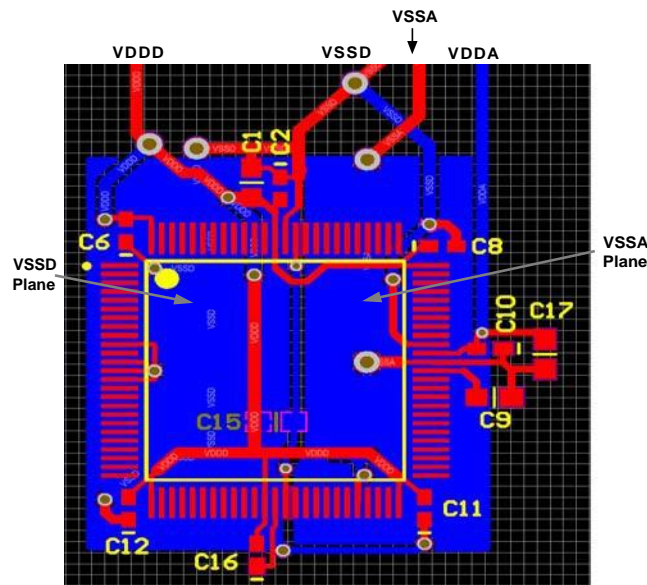
6. 在不带 USB 的器件上，引脚处于“请勿使用”（DNU）状态。这些引脚必须保持悬空状态。

图 2-5. 100-TQFP 器件通电时的原理图示例



注意：必须使用尽量短的走线将两个 VCCD 引脚连接在一起。建议在器件下方连接走线，如图 2-6 所示。有关电路板布局的更多信息，请参考 <http://www.cypress.com/cad-resources/psoc-5lp-cad-libraries>。

图 2-6. 100-TQFP 器件获得最佳模拟性能的 PCB 布局示例



3. 引脚说明

IDAC0. 高电流 IDAC 的低电阻输出引脚。

Extref0、 Extref1. 模拟系统的外部参考输入引脚。

SAR0 EXTREF、 SAR1 EXTREF. SAR ADC 的外部参考引脚

GPIO. 通用 I/O 引脚提供用于连接 CPU、数字外设、模拟外设、中断、LCD Segment 驱动和 CapSense^[7] 的接口。

I2C0: SCL、 I2C1: SCL. I²C SCL 信号线提供在地址匹配时从睡眠模式唤醒器件的功能。如果不需要从睡眠模式唤醒器件，则任意 I/O 引脚都可作为 I²C SCL 使用。

I2C0: SDA、 I2C1: SDA. I²C SDA 信号线提供在地址匹配时从睡眠模式唤醒器件的功能。如果不需要从睡眠模式唤醒器件，则任意 I/O 引脚都可用作 I²C SDA。

Ind. 升压器的电感连接引脚。

kHz XTAL: Xo, kHz XTAL: Xi. 32.768 kHz 晶振引脚。

MHz XTAL: Xo、 MHz XTAL: Xi. 4 至 25 MHz 晶振引脚。

nTRST. 可选的 JTAG 测试复位编程与调试端口连接引脚，用于复位 JTAG 连接。

SIO. 专用 I/O 提供用于连接 CPU、数字外设和中断的接口，并能够提供可编程的高阈值电压、模拟电压比较器和非常高的灌电流，当器件未加电时处于高阻抗状态。

SWDCK. 串行线调试时钟编程与调试端口连接引脚。

SWDIO. 串行线调试输入和输出编程与调试端口连接引脚。

TCK. JTAG 测试时钟编程与调试端口连接引脚。**TDI.**

JTAG 测试数据输入编程与调试端口连接引脚。**TDO.**

JTAG 测试数据输出编程与调试端口连接引脚。**TMS.**

JTAG 测试模式选择编程与调试端口连接引脚。

TRACECLK. Cortex-M3 TRACEPORT 连接，给 TRACEDATA 引脚提供脉冲。

TRACEDATA[3:0]. Cortex-M3 TRACEPORT 连接引脚，用于输出数据。

SWV. 单线浏览器输出引脚。

USBIO、 D+. 直接将 D+ 信号线连接到 USB 2.0 总线上。可作为一个数字 I/O 引脚使用；由 VDDD 供电，并非由 VDDIO 供电。在不带 USB 的器件上，引脚处于“请勿使用”（DNU）状态。

USBIO、 D-. 直接将 D- 信号线连接到 USB 2.0 总线上。可用作数字 I/O 引脚；由 VDDD 而非由 Vddio 供电。在不带 USB 的器件上，引脚处于“请勿使用”（DNU）状态。

VBOOST. 升压器的供电传感连接引脚。

VBAT. 升压器的电池供电引脚。

VCCA. 模拟系统内核电压调节器的输出引脚，或模拟系统内核的输入引脚。需要将一个 1 μ F 电容连接到 VSSA。电压调节器输出不适用于驱动外部电路。**请注意，如果器件使用外部内核电压调节器（外部调节模式），供给该引脚的电压不能超过允许范围（1.71 V 至 1.89 V）。**使用内部内核电压调节器（内部调节模式，即默认模式）时，不要供电给该引脚。有关详细信息，请参见第 25 页上的“供电系统”一节。

VCCD. 数字系统内核电压调节器的输出引脚，或数字系统内核的输入引脚。必须使用尽量短的走线将两个 VCCD 引脚连接在一起，然后通过 1 μ F 电容连接到 VSSD。电压调节器输出不适用于驱动外部电路。**请注意，如果器件使用外部内核电压调节器（外部调节模式），供给该引脚的电压不能超过允许范围（1.71 V 至 1.89 V）。**使用内部内核调节器（内部调节模式，即默认模式）时，不要供电给该引脚。有关详细信息，请参见第 25 页上的“供电系统”一节。

VDDA. 所有模拟外设和模拟系统内核电压调节器的供电引脚。VDDA 必须是器件中的最高电压。所有其他供电引脚必须小于或等于 VDDA。

VDDD. 所有数字外设和数字系统内核电压调节器的供电引脚。VDDD 必须小于或等于 VDDA。

VSSA. 所有模拟外设的接地引脚。

VSSB. 升压器的接地引脚。

VSSD. 所有数字逻辑和 I/O 引脚的接地引脚。

VDDIO0、 VDDIO1、 VDDIO2、 VDDIO3. I/O 引脚的供电引脚。每个 VDDIO 都必须连接到有效的工作电压（1.71 V 至 5.5 V），并且必须小于或等于 VDDA。

XRES. 外部复位引脚。内部上拉，低电平有效引脚。

注释：

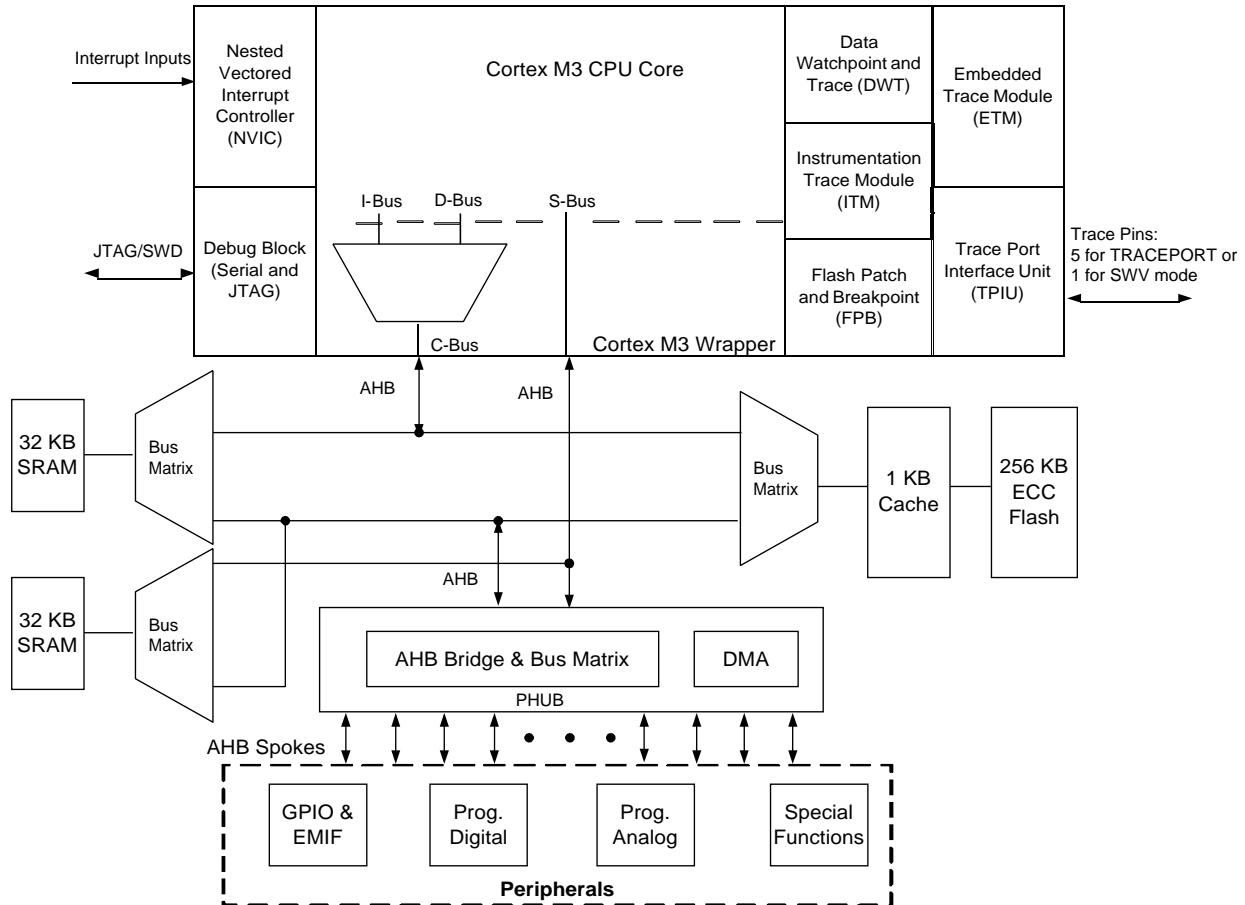
7. 运算放大器的固定 GPIO 引脚不建议用作 CapSense 功能。

4. CPU

4.1 Arm Cortex-M3 CPU

CY8C52LP 系列器件拥有 Arm Cortex-M3 CPU 内核。Cortex-M3 是一种低功耗 32 位三段流水线式 Harvard 架构 CPU，可提供 1.25 DMIPS/MHz。它适用于深度嵌入且需要高速中断处理功能的应用。

图 4-1. Arm Cortex-M3 框图



Cortex-M3 CPU 子系统具有下列特性：

- Arm Cortex-M3 CPU
- 可编程嵌套向量中断控制器（NVIC），与 CPU 内核紧密集成
- 功能齐全的调试模块和跟踪模块，与 CPU 内核紧密集成
- 高达 256 KB 的闪存，2KB 的 EEPROM，以及 64 KB 的 SRAM
- 缓存控制器
- 外设集线器（PHUB）
- DMA 控制器
- 外部存储器接口（EMIF）

4.1.1 Cortex-M3 特性

Cortex-M3 CPU 的特性包括：

- 4 GB 地址空间，即为代码、数据和外设的预定义地址范围。多个总线，能够高效、同时访问多个指令、数据和外设。
- Thumb®-2 指令集，可在 Thumb 级代码密度的条件下实现 Arm 级性能。包括 16 位指令和 32 位两种指令。高级指令包括：
 - 位字段控制
 - 硬件乘法和除法
 - 饱和
 - If-Then
 - 等待事件和中断
 - 独占访问和障碍
 - 特殊寄存器访问

Cortex-M3 不支持 Arm 指令。

- 为 SRAM 区支持位绑定。用于 SRAM 地址的位读写操作。
- 非对齐的数据存储和访问。连续存储字节长度不同的数据。
- 在两种特权级别（特权级别和用户级别）和两种模式（线程模式和处理程序模式）下运行。有些指令只能在特权级别下执行。有两个堆栈指针，即：主指针（MSP）和进程指针（PSP）。这些特性使多任务操作系统能够运行一个或多个用户级进程。
- 支持全面的中断和系统异常。

4.1.2 Cortex-M3 工作模式

Cortex-M3 可在特权级别或用户级别运行，也可以在线程模式或处理程序模式下运行。由于处理程序模式只能在特权级别下使用，因此实际上有三种状态，如表 4-1 所示。

表 4-1. 运行级别

条件	特权级别	用户级别
运行异常	处理程序模式	未使用
运行主程序	线程模式	线程模式

在用户级别下，禁止使用特定指令、特殊寄存器、配置寄存器和调试组件。尝试访问这些组件会导致发生故障。在特权级别下，允许访问所有指令和寄存器。在处理异常时，处理器运行于处理程序模式（始终在特权级别下）；否则，处理器运行于线程模式。

4.1.3 CPU 寄存器

表 4-2 列出了 Cortex-M3 CPU 寄存器。寄存器 R0-R15 的宽度都是 32 位。

表 4-2. Cortex M3 CPU 寄存器

寄存器	说明
R0-R12	通用寄存器 R0-R12 在架构方面尚未定义专门用途。指定一个通用寄存器的大多数指令均可指定 R0-R12。 ■ 低位寄存器：通过用于指定通用寄存器的所有指令，可以访问寄存器 R0-R7。 ■ 高位寄存器：通过指定通用寄存器的所有 32 位指令，可以访问寄存器 R8-R12；不能通过任何 16 位指令访问这些寄存器。
R13	R13 是堆栈指针寄存器。这是一个编组寄存器，并在主堆栈指针（MSP）和进程堆栈指针（PSP）的两个 32 位堆栈指针之间进行切换。仅当 CPU 在用户级别和线程模式下运行时，才会使用 PSP。MSP 可在其他所有权限级别和模式下使用。SP 的位 [0:1] 被忽略，并被当作 0，因此 SP 始终与字（4 字节）边界相对齐。
R14	R14 是链接寄存器（LR）。在调用子程序时，LR 存储返回地址。
R15	R15 是程序计数器（PC）。PC 的位 0 被忽略，并被当作 0，因此指令始终与半字（2 字节）边界相对齐。

表 4-2. Cortex M3 CPU 寄存器（续）

寄存器	说明
xPSR	程序状态寄存器被分为三个状态寄存器，可以同时访问或单独访问这三个寄存器： ■ 应用程序状态寄存器（APSR）在位 [27:31] 中保留程序执行状态位，例如：0、进位、负向位。 ■ 中断程序状态寄存器（IPSR）在位 [0:8] 中保留当前异常编号。 ■ 执行程序状态寄存器（EPSR）在 [10:15] 位和 [25:26] 位中保留中断可持续指令和 IF-THEN 指令的控制位。位 24 始终设为 1，指示 Thumb 模式。尝试清除该位会导致故障。
PRIMASK	1 位中断屏蔽寄存器。如果设置了该寄存器，它仅允许发生不可屏蔽的中断（NMI）和硬故障异常。所有其他异常和中断都被屏蔽。
FAULTMASK	1 位中断屏蔽寄存器。设置后，它仅允许 NMI。所有其他异常和中断都被屏蔽。
BASEPRI	宽度可达 9 位的寄存器，用于定义屏蔽优先级。设置后，它将禁用具有同等或更高优先级的所有中断。如果将其设为 0，则会禁用屏蔽功能。
CONTROL	2 位寄存器，用于控制工作模式。 位 0：0 表示特权级别，并在线程模式下运行；1 表示用户级别，并在线程模式下运行。 位 1：0 表示使用默认堆栈（MSP）；1 表示使用替换堆栈。如果在线程模式下或在用户级别运行，则替换堆栈为 PSP。处理程序模式没有替换堆栈，在处理程序模式下，该位必须为 0。

4.2 缓存控制器

CY8C52LP 系列带有一个 1 KB 的四路组关联的缓存，该缓存位于 CPU 和闪存存储器之间。这样能够提高指令的执行速度，并且降低了闪存访问的频率从而可以减少系统功耗。

4.3 DMA 与 PHUB

PHUB 和 DMA 控制器负责 CPU 和外设之间的数据传输，以及外设之间的数据传输，此外还控制引导期间的器件配置。PHUB 包括：

- 一个中央集线器，其中包括 DMA 控制器、仲裁器和路由器
- 从集线器向外辐射到大多数外设的多个并行访问路径

有两个 PHUB 主设备：CPU 和 DMA 控制器。这两个主设备都能启动总线上的数据操作。DMA 通道可以处理外设通信，而无需 CPU 干预。如果有多个请求，中央集线器中的仲裁器将决定哪个 DMA 通道具有最高优先级。

4.3.1 PHUB 特性

- CPU 与 DMA 控制器都是 PHUB 的总线主设备
- 八个多层 AHB 总线并行访问路径（辐轮），用于外设访问
- 对位于不同辐轮上的外设进行同步 CPU 和 DMA 访问
- 在不同辐轮上进行同步DMA源和目的地突发（Burst）数据操作
- 支持 8、16、24 和 32 位地址和数据

表 4-3. PHUB 多层并行访问路径（Spoke）和外设

PHUB 并行访问路径	外设
0	SRAM
1	IO、PICU、EMIF
2	PHUB 局部配置、电源管理器、时钟、IC、SWV、EEPROM、闪存编程接口
3	模拟接口与调制，抽取滤波器
4	USB、I ² C、定时器、计数器和 PWM
5	保留
6	第一组 UDB
7	第二组 UDB

4.3.2 DMA 特性

- 24 个 DMA 通道
- 每个通道有一个或多个数据操作描述符（TD），用于配置通道行为。总共可以定义多达 128 个 TD
- 可动态更新TD
- 每个通道具有八个优先级别
- 任何数字路由信号、CPU 或其它 DMA 通道均可触发数据操作
- 每个通道在每次传输时最多可以生成两个中断
- 可以停止或取消数据操作
- 支持任意大小（1 至 64k 字节）的数据操作
- 大型数据操作可能会被分为 1 到 127 字节的小型突发数据操作
- 可以嵌套和/或链接 TD，以进行复杂的数据操作

4.3.3 优先级别

当 CPU 访问和 DMA 控制器访问需要相同的总线资源时，CPU 的优先级始终高于 DMA 控制器的。不过，由于所采用的系统架构，CPU 不会阻止 DMA 的操作。具有较高优先级（优先级编号较小）的 DMA 通道可以中断当前的 DMA 传输。在这种情况下，系统会允许当前传输完成其当前数据操作。当多个 DMA 访问请求同时发生时，为了确保延迟限制，公平算法会在优先级别 2 至 7 之间进行调度，以确保总线带宽的交错百分比最低。优先级别 0 和 1 不会参与公平算法，并且可以使用 100% 的总线带宽。如果具有相同优先级别的两个 DMA 请求同时发生，则会使用简单的轮询调度算法来平等地使用所分配的带宽。可以禁用每个DMA通道的轮询分配，从而使相应通道始终位于行开头。满足了 CPU 和 DMA 优先级别 0 和 1 的要求之后，系统会保证能为优先级别 2 至 7 分配最低总线带宽，如表 4-4 所示。

表 4-4. 优先级

优先级	总线带宽 (%)
0	100.0
1	100.0
2	50.0
3	25.0
4	12.5
5	6.2
6	3.1
7	1.5

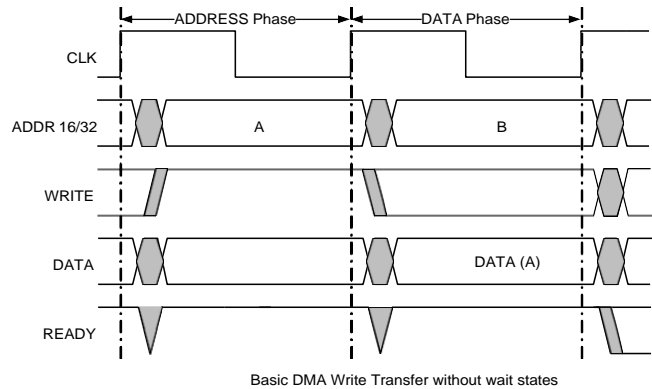
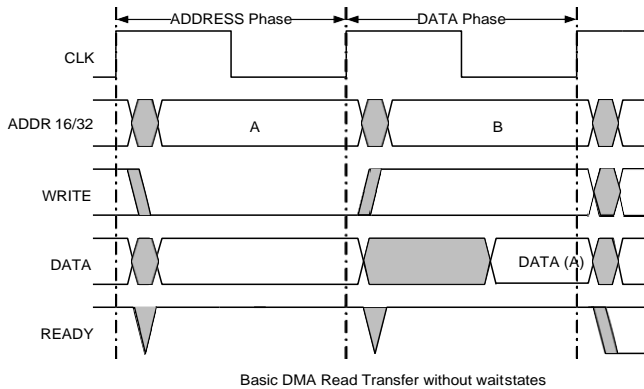
如果禁用公平算法，则仅根据优先级别为 DMA 访问分配资源；而不会提供任何总线带宽保障。

4.3.4 支持的数据操作模式

由于可以灵活地配置每个 DMA 通道并能够链接多个通道，因此既可以创建简单的使用实例，也可以创建复杂的使用实例。一般用例包括（但不限于）：

4.3.4.1 简单 DMA

在简单 DMA 中，使用单个 TD 在数据源和数据流（外设或存储器地址）之间传输数据。DMA 读 / 写周期的基本时序图如图 4-2 所示。有关其他传输模式的更多说明，请参考技术参考手册。

图 4-2. DMA 时序图


4.3.4.2 自动重复 DMA

当从系统存储器的固定数据源重复读取数据，并将其写入到外设内时，通常使用自动重复 DMA。重复操作是通过与其自身相链接的单个 TD 来实现的。

4.3.4.3 交替 DMA

通过采用双缓冲技术，交替 DMA 允许在一个客户机向一个缓冲区存入数据的同时，另一个客户机使用其他缓冲区中先前收到的数据。在最简单的情况下，这可以通过以下方法来实现：将两个 TD 链接在一起，以便每个 TD 在完成后调用另一个 TD。

4.3.4.4 循环 DMA

循环 DMA 与交替 DMA 类似，但它还包含两个以上的缓冲区。这种用例包含多个 TD；最后一个 TD 完成后会链回到第一个 TD。

4.3.4.5 索引 DMA

在索引 DMA 情况下，外部主设备需要访问系统总线上的位置，就像这些位置在共享存储器中一样。例如，可以讲某个外设配置为 SPI 或 I²C 从设备，且外部主设备将收到其地址。该地址变为内部系统总线存储空间中的索引或偏移。这是通过最初的“地址提取”TD 实现的，该 TD 从外设读取目标地址位置，并将该值写入到链中后续 TD 内。这样将随时修改 TD 链。当“地址提取”TD 完成时，它继续转到下一个 TD，该 TD 嵌入了新的地址信息。随后，该 TD 将数据传输到外部主设备所指定的地址位置。

4.3.4.6 分散 / 聚集 DMA

在分散 / 聚集 DMA 中，需要多个非连续的来源或目的地，以便有效地执行整个 DMA 数据操作。例如，可能需要将某个数据包

发送到器件之外，而该数据包中的各个元素（包括数据包的开头、负载和结尾）位于存储器中不同的非连续位置上。分散 / 聚集 DMA 允许使用链中的多个 TD 将各个 segment 连接在一起。链会聚集多个位置中的数据。类似方法也适用于在器件上接收数据。在收到的数据时，某些部分可能需要分散到存储器中的不同位置，以便软件进行处理。链中的每个 TD 用于指定链中每个离散元素的位置。

4.3.4.7 数据包排队 DMA

数据包排队 DMA 与分散 / 聚集 DMA 相似，但明确引用数据包协议。借助这些协议，发送或接收数据包可以采用单独的配置、数据和状态阶段。

例如，要发送数据包，可以将存储器映射配置寄存器的内容写入到外设中，并指定后续数据阶段的总长度。CPU 可以在系统存储器中的任意位置设置此配置信息，并可通过简单 TD 将其复制到外设内。配置相位后面便是一个或一系列的数据相位 TD（可能会使用分散 / 聚集）。数据相位 TD 完成后，可以调用状态相位 TD，以便从外设读取某些存储器映射的状态信息，并将其复制到 CPU 指定的系统存储器位置上，便于稍后进行检查。可以将多组配置、数据和状态相位“子链”连接成一条更长的链，便于按照这种方式传送多个数据包。接收数据包采用了类似方法。

4.3.4.8 嵌套 DMA

一个 TD 可以修改另一个 TD，因为与任何其它外设一样，TD 配置空间也已进行存储器映射。例如，第一个 TD 加载第二个 TD 的配置，然后调用第二个 TD。第二个 TD 按应用要求传输数据。完成后，第二个 TD 调用第一个 TD，第一个 TD 再次更新第二个 TD 的配置。该过程可以根据需要重复任意次数。

4.4 中断控制器

Cortex-M3 NVIC 支持来自外设的 16 个系统异常和 32 个中断，如表 4-5 所示。

表 4-5. Cortex-M3 异常与中断

异常编号	异常类型	优先级	异常表的地址偏移	说明
			0x00	R13/MSP 的起始值
1	复位	-3（最高级）	0x04	复位
2	NMI	-2	0x08	不可屏蔽的中断
3	硬故障	-1	0x0C	当相应的故障处理程序由于被禁用或被屏蔽而不能激活时产生的故障
4	存储器管理	可编程	0x10	存储器管理故障，例如，从不可执行的区域读取指令
5	总线故障	可编程	0x14	从总线系统收到的错误响应；此错误是由指令预读取被中止或数据访问错误导致的
6	使用故障	可编程	0x18	通常由无效指令或尝试切换到 Arm 模式所导致
7-10	—	—	0x1C-0x28	保留
11	SVC	可编程	0x2C	通过 SVC 指令调用系统服务
12	调试监控器	可编程	0x30	调试监控器
13	—	—	0x34	保留
14	PendSV	可编程	0x38	延迟的系统服务请求
15	SYSTICK	可编程	0x3C	系统节拍定时器
16-47	IRQ	可编程	0x40-0x3FC	外设中断请求 #0 - #31

每个异常向量的位 0 都指示该异常是使用 Arm 指令执行的还是使用 Thumb 指令执行的。由于 Cortex-M3 仅支持 Thumb 指令，因此此位必须始终为 1。Cortex-M3 不可屏蔽的中断（NMI）输入可通过 DSI 路由到任何引脚，也可以断开与所有引脚的连接。请参见第 43 页上的“DSI 路由接口说明”一节。

嵌套向量中断控制器（NVIC）处理来自外设的中断，并将中断向量传递到 CPU。它与 CPU 紧密集成，可实现低延迟的中断处理。其特性包括：

- 32 个中断。每个中断可来自多个中断源。
- 八个优先级，带有动态优先级控制。
- 优先级分组。这样可以选择优先和非优先的中断级别。

- 支持中断的末尾连锁（tail-chaining）和迟到（late arrive）机制。这样便可以连续处理中断，即：两次中断之间不需保留和恢复状态。

- 处理器状态在中断进入时会自动保存，并在中断退出时自动恢复，而无需调用任意指令。

如果为两个或多个中断指定了相同的优先级，则首先要执行向量编号较低的中断。每个中断向量有三个中断源可供选择，即：固定功能模块、DMA 以及 UDB。固定功能模块中断是直接连接到最常见的中断源，这种连接的资源成本最低。如果使用 DMA 中断源，将直接连接到每个 DMA 通道所提供的两个 DMA 中断源。第三个向量中断源来自 UDB 数字路由阵列。UDB 阵列可用的任意数字信号都可用作中断源。通过使用 UDB 中断源连接，所有中断源可以路由到任意中断向量。

表 4-6. 中断向量表

中断编号	Cortex-M3 异常编号	固定功能	DMA	UDB
0	16	低压检测 (LVD)	phub_termout0[0]	udb_intr[0]
1	17	缓存 /ECC	phub_termout0[1]	udb_intr[1]
2	18	保留	phub_termout0[2]	udb_intr[2]
3	19	睡眠 (电源管理)	phub_termout0[3]	udb_intr[3]
4	20	PICU[0]	phub_termout0[4]	udb_intr[4]
5	21	PICU[1]	phub_termout0[5]	udb_intr[5]
6	22	PICU[2]	phub_termout0[6]	udb_intr[6]
7	23	PICU[3]	phub_termout0[7]	udb_intr[7]
8	24	PICU[4]	phub_termout0[8]	udb_intr[8]
9	25	PICU[5]	phub_termout0[9]	udb_intr[9]
10	26	PICU[6]	phub_termout0[10]	udb_intr[10]
11	27	PICU[12]	phub_termout0[11]	udb_intr[11]
12	28	PICU[15]	phub_termout0[12]	udb_intr[12]
13	29	比较器共用	phub_termout0[13]	udb_intr[13]
14	30	保留	phub_termout0[14]	udb_intr[14]
15	31	I ² C	phub_termout0[15]	udb_intr[15]
16	32	保留	phub_termout1[0]	udb_intr[16]
17	33	定时器/ 计数器 0	phub_termout1[1]	udb_intr[17]
18	34	定时器/ 计数器 1	phub_termout1[2]	udb_intr[18]
19	35	定时器/ 计数器 2	phub_termout1[3]	udb_intr[19]
20	36	定时器/ 计数器 3	phub_termout1[4]	udb_intr[20]
21	37	USB SOF 中断	phub_termout1[5]	udb_intr[21]
22	38	USB 仲裁器中断	phub_termout1[6]	udb_intr[22]
23	39	USB 总线中断	phub_termout1[7]	udb_intr[23]
24	40	USB 端点 [0]	phub_termout1[8]	udb_intr[24]
25	41	USB 端点数据	phub_termout1[9]	udb_intr[25]
26	42	保留	phub_termout1[10]	udb_intr[26]
27	43	LCD	phub_termout1[11]	udb_intr[27]
28	44	保留	phub_termout1[12]	udb_intr[28]
29	45	抽取滤波器中断	phub_termout1[13]	udb_intr[29]
30	46	phub_err_int	phub_termout1[14]	udb_intr[30]
31	47	eeeprom_fault_int	phub_termout1[15]	udb_intr[31]

5. 存储器

5.1 静态 RAM

CY8C52LP 静态 RAM (SRAM) 用于临时存储数据。可以从 SRAM 中的代码空间所在部分全速执行代码。对于地址 0x20000000 以上的 SRAM 空间，代码执行速度会稍慢。该器件最多提供 64 KB 的 SRAM。CPU 或 DMA 控制器可访问所有 SRAM 地址。只要这两个组件访问的不是同一个 32 KB 区块，SRAM 便可以同时被 Cortex-M3 CPU 和 DMA 控制器访问。

5.2 闪存程序存储器

PSoC 器件中的闪存为用户固件、用户配置数据、批量数据存储和可选 ECC 数据提供非易失性存储空间。主闪存区包含多达 256 KB 的用户程序存储空间。

此外，还有多达 32 KB 的闪存空间用于存储纠错码 (ECC)。如果未使用 ECC，则该空间可以存储器件配置数据和批量用户数据。用户代码可能无法用完 ECC 闪存存储空间。ECC 能够对固件存储器的每 8 个字节纠正一位错误并检测两位错误；如果检测到错误，则会生成中断。闪存输出宽度为 9 个字节，其中有 8 个数据字节，一个 ECC 数据字节。

CPU 或 DMA 控制器均通过缓存控制器读取闪存中的用户代码和批量数据。这样可以提高 CPU 性能。如果启用 ECC，缓存控制器也会执行错误检查和纠正。

闪存编程通过专用接口来执行，在此期间不允许在闪存之外执行代码。闪存编程过程中，可以在 SRAM 之外执行代码。

闪存编程接口会执行闪存擦除、编程，并设置代码保护级别。闪存系统内串行编程 (ISSP) 通常可通过 SWD 和 JTAG 接口来编程固件。系统内编程通常用于 Bootloader，也可以通过 I²C、USB、UART、SPI 等串行接口或任何通信协议来实现。

5.3 闪存安全性

所有 PSoC 器件都有灵活的闪存保护模型，以防止访问和查看片上闪存，从而防止对专有代码进行复制或逆向工程设计。闪存划分为若干个模块，其中每个模块都包含 256 个字节的程序或数据以及 32 个字节的 ECC 或配置数据。

器件允许为闪存的每一行指定四个保护级别中的一个。表 5-1 列出了可用的保护模式。要更改闪存保护级别，必须擦除整个闪存。全面保护和现场升级保护设置旨在禁用通过调试工具（如 PSoC Creator）进行外部访问。如果应用程序需要通过 Bootloader 进行代码更新，请使用现场升级保护设置。仅当应用程序对安全性没有任何要求时，才能使用无保护设置。PSoC 器件还提供了一项名为器件安全性的高级安全性功能，它能够永久禁用所有测试、编程和调试端口，从而保护您的应用程序不会遭到来自外部的访问（请参见第 57 页上的“器件安全性”一节）。

有关如何充分利用 PSoC 安全性功能的详细信息，请参见 PSoC 5 技术参考手册 (TRM)。

表 5-1. 闪存保护

保护设置	支持	不支持
无保护	外部读写操作 + 内部读写操作	—
出厂升级	外部写操作 + 内部读写操作	外部读操作
现场升级	内部读写操作	外部读写操作
全面保护	内部读操作	外部读写操作 + 内部写操作

免责声明

请注意以下与赛普拉斯器件的闪存代码保护功能有关的详细信息。

赛普拉斯产品符合相应的赛普拉斯数据手册中所包含的规范。赛普拉斯坚信，无论如何使用，其产品系列的安全性在目前市场上的同类产品始终名列前茅。目前可能存在一些赛普拉斯不了解的，能够破坏代码保护功能的方法。据我们所知，任何此类方法都是不正当的，甚至可能是违法的。不只是赛普拉斯，任何其他半导体制造商都无法保证各自代码的安全性。代码保护并非意味着我们保证产品“坚不可摧”。

赛普拉斯非常希望能够与关注其代码完整性的客户通力合作。代码保护技术正在不断发展。持续改进产品的代码保护功能是赛普拉斯的不懈追求。

5.4 EEPROM

PSoC EEPROM 存储器是按字节寻址的非易失性存储器。CY8C52LP 提供了 2 KB 的 EEPROM 存储器来存储用户数据。对 EEPROM 的读访问是按字节进行的随机访问。读访问直接进行；写访问则通过向 EEPROM 编程接口发送写指令来进行。在 EEPROM 写访问期间，可以继续执行闪存中的 CPU 代码。EEPROM 的擦除和写操作是以行为单位进行的。EEPROM 分成 128 行，每一行为 16 字节。所有 EEPROM 字节的出厂默认值为零。

因为 EEPROM 被映射到 Cortex-M3 外设区域中，CPU 不能在 EEPROM 空间外执行代码。没有任何 ECC 硬件与 EEPROM 相关联。如果需要 ECC，必须通过固件对其进行处理。

写入 EEPROM 或闪存可能需要 20 ms 的时间。在这段时间内不能复位器件，否则将导致 EEPROM 或闪存的意外更改。复位源（请参见 6.3.1）包括 XRES 引脚、软件复位以及看门狗；需要确保这些源不被无意激活。另外，应将低电压检测电路配置为生成中断而不是导致复位。

5.5 非易失性锁存器 (NVL)

PSoC 具有一个在复位时用于配置设备的 4 字节非易失性锁存器 (NVL) 阵列。 NVL 寄存器映射如表 5-3 所示。

表 5-2. 器件配置的 NVL 寄存器映射表

寄存器地址	7	6	5	4	3	2	1	0
0x00	PRT3RDM[1:0]		PRT2RDM[1:0]		PRT1RDM[1:0]		PRT0RDM[1:0]	
0x01	PRT12RDM[1:0]		PRT6RDM[1:0]		PRT5RDM[1:0]		PRT4RDM[1:0]	
0x02	XRESMEN	DBGEN					PRT15RDM[1:0]	
0x03	DIG_PHS_DLY[3:0]				ECCEN	DPS[1:0]		CFGSPPEED

要了解各个字段的详细信息及其出厂默认设置，请参考表 5-3。

表 5-3. 字段和出厂默认设置

字段	说明	设置
PRTxRDM[1:0]	用于控制相应 IO 端口的复位驱动模式。请参见第 37 页上的“复位配置”。端口的所有引脚都设为相同模式。	00b (默认) — 模拟高阻抗 01b — 数字高阻抗 10b — 电阻上拉 11b — 电阻下拉
XRESMEN	用于控制引脚 P1[2] 用作 GPIO 还是外部复位。P1[2] 通常用作 GPIO，而不用作外部复位。	0 (默认) — GPIO 1 — 外部复位
DBGEN	调试使能位，允许第三方编程器能够访问调试系统。	0 — 访问禁止 1 (默认) — 访问使能
CFGSPPEED	在器件启动过程中控制基于 IMO 的时钟的速度，以加快启动或进行低功耗操作。	0 (默认) — 12 MHz IMO 1 — 48 MHz IMO
DPS[1:0]	用于控制多个用作调试端口 P1 引脚的使用情况。请参见第 54 页上的“编程、调试接口与资源”。	00b — 5 线 JTAG 01b (默认) — 4 线 JTAG 10b — SWD 11b — 调试端口被禁用
ECCEN	用于控制 ECC 闪存是用于存储 ECC 还是存储通用配置和数据。请参见第 18 页上的“闪存程序存储器”。	0 — ECC 禁用 1 (默认) — ECC 使能
DIG_PHS_DLY[3:0]	用于选择数字时钟相位延迟。	有关详细信息，请参见技术参考手册。

虽然 PSoC Creator 支持对器件配置 NVL 进行修改，但是 NVL 擦除/写入的次数受限—请参考第 93 页上的“非易失性锁存器 (NVL)”。

5.6 外部存储器接口

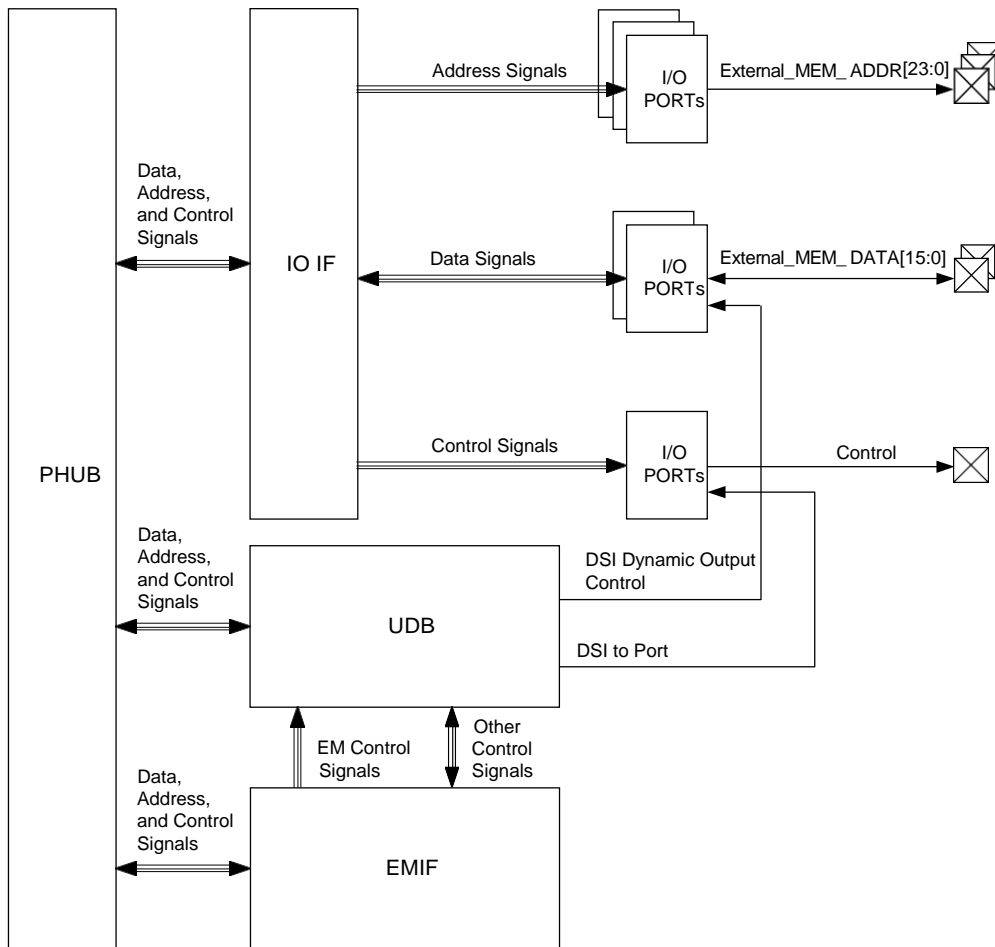
CY8C52LP 提供了一个外部存储器接口（EMIF），以便连接外部存储器，从而可以对外部存储器进行读写访问。EMIF 将与 UDB、I/O 端口以及其他硬件协同工作，以便生成外部存储器地址和控制信号。在频率为 33 MHz 时，每个存储器访问周期将需要四个总线时钟周期。

图 5-1 是 EMIF 框图。EMIF 支持同步和异步存储器。CY8C52LP 一次仅支持一种类型的外部存储器。

外部存储器位于 Cortex-M3 外部 RAM 空间中；它最多可使用 24 个地址位。请参见第 21 页上的表 5-4 和第 21 页上的存储器映射情况。该存储器的宽度可以是 8 位或 16 位。

可以从 16 位宽的外部存储器获取 Cortex-M3 指令。更多有关其他限制情况，请参考 AN89610 — PSoC® 4 和 PSoC 5LP Arm Cortex 代码优化应用笔记。外部存储器不支持代码安全功能。如果需要保护代码的安全性，需要将它放置在内部闪存中。请参见第 18 页上的闪存安全性和第 57 页上的器件安全性。

图 5-1. EMIF 框图



5.7 存储器映射情况

Cortex-M3 具有固定的地址映射，因此可通过简单的存储器访问指令来访问外设。

5.7.1 地址映射

4 GB 地址空间被分成 6 个范围，如表 5-4 所示：

表 5-4. 地址映射

地址范围	大小	使用说明
0x00000000–0x1FFFFFFF	0.5 GB	编程代码。包括上电时从地址 0 开始的异常向量表。
0x20000000–0x3FFFFFFF	0.5 GB	静态 RAM。包括从 0x20000000 开始的 1 MByte 位绑定区域和从 0x22000000 开始的 32 Mbyte 位绑定别名区域。
0x40000000–0x5FFFFFFF	0.5 GB	外设。
0x60000000–0x9FFFFFFF	1 GB	外部 RAM。
0xA0000000–0xDFFFFFFF	1 GB	外部外设。
0xE0000000–0xFFFFFFFF	0.5 GB	内部外设，包括 NVIC、调试模块和跟踪模块。

表 5-5. 外设数据地址映射

地址范围	用途
0x00000000–0x0003FFFF	256 K 闪存
0x1FFF8000–0x1FFFFFFF	32 KB SRAM，位于代码区域中
0x20000000–0x20007FFF	32 KB SRAM，位于 SRAM 区域中
0x40004000–0x400042FF	时钟、PLL 和振荡器
0x40004300–0x400043FF	电源管理
0x40004500–0x400045FF	端口中断控制
0x40004700–0x400047FF	闪存编程接口
0x40004800–0x400048FF	缓存控制器
0x40004900–0x400049FF	I ² C 控制器

表 5-5. 外设数据地址映射 (续)

地址范围	用途
0x40004E00–0x40004EFF	抽取滤波器
0x40004F00–0x40004FFF	固定定时器/计数器 /PWM
0x40005000–0x400051FF	I/O 端口控制
0x40005400–0x400054FF	外部存储器接口 (EMIF) 控制寄存器
0x40005800–0x40005FFF	模拟子系统接口
0x40006000–0x400060FF	USB 控制器
0x40006400–0x40006FFF	UDB 工作寄存器
0x40007000–0x40007FFF	PHUB 配置
0x40008000–0x400087FF	EEPROM
0x4000A000–0x4000A400	保留
0x40010000–0x4001FFFF	数字互连配置
0x48000000–0x48007FFF	闪存 ECC 字节
0x60000000–0x60FFFFFF	外部存储器接口 (EMIF)
0xE0000000–0xE00FFFFF	Cortex-M3 PPB 寄存器，包括 NVIC、调试和跟踪

位绑定特性使得 SRAM 内的每一位都可以作为原子操作进行读写。这是通过读写位绑定别名区域内的相应字的位 0 来实现的。例如，要设置地址 0x20000000 处的字的位 3，只需向地址 0x2200000C 写入 1。要测试该位的值，请读取地址 0x2200000C，其结果为 0 或 1，具体取决于该位的值。

大多数由 Cortex-M3 执行的存储器访问操作都是对齐的，也就是说，在字（4 字节）边界地址处执行。也可以在非字边界地址处对字和 16 位半字进行非对齐访问，但是这种访问的效率较低。

5.7.2 地址映射和 Cortex-M3 总线

ICode 和 DCode 总线仅用于访问代码地址范围内部：0–0x1FFFFFFF。

系统总线用于在 0x20000000–0xDFFFFFFF 以及 0xE0100000–0xFFFFFFFF 范围内进行数据访问和调试访问。也可以在 0x20000000–0x3FFFFFFF 范围内执行指令提取，但是这些操作比通过 ICode 总线执行指令提取要慢。

专用外设总线 (PPB) 在 Cortex-M3 中用于访问系统控制寄存器以及调试和跟踪模块寄存器。

6. 系统集成

6.1 时钟系统

时钟系统负责整个 PSoC 系统内的时钟生成、分频和分配工作。对于大多数系统，均不需要额外的外部晶振。结合使用 IMO 和 PLL，可以生成频率高达 80 MHz 的时钟，且在工作电压和温度下，该时钟的精度为 $\pm 2\%$ 。通过使用额外的内部和外部时钟源，可以根据设计需要优化准确度、功耗和成本。所有系统时钟源都可以用于在 16 位时钟分频器和 UDB 中为用户所需的任何部件（例如 UART 波特率生成器）生成其他时钟频率。

时钟生成和分配是根据整个系统的要求，通过 PSoC Creator IDE 图形界面自动配置。它能够明显加快设计进程。利用 PSoC Creator，设计人员只需要极少的输入，即可构建时钟系统。您可以指定所需的时钟频率和精度，软件将定位或构建符合所需规范的时钟。这得益于 PSoC 固有的可编程性。

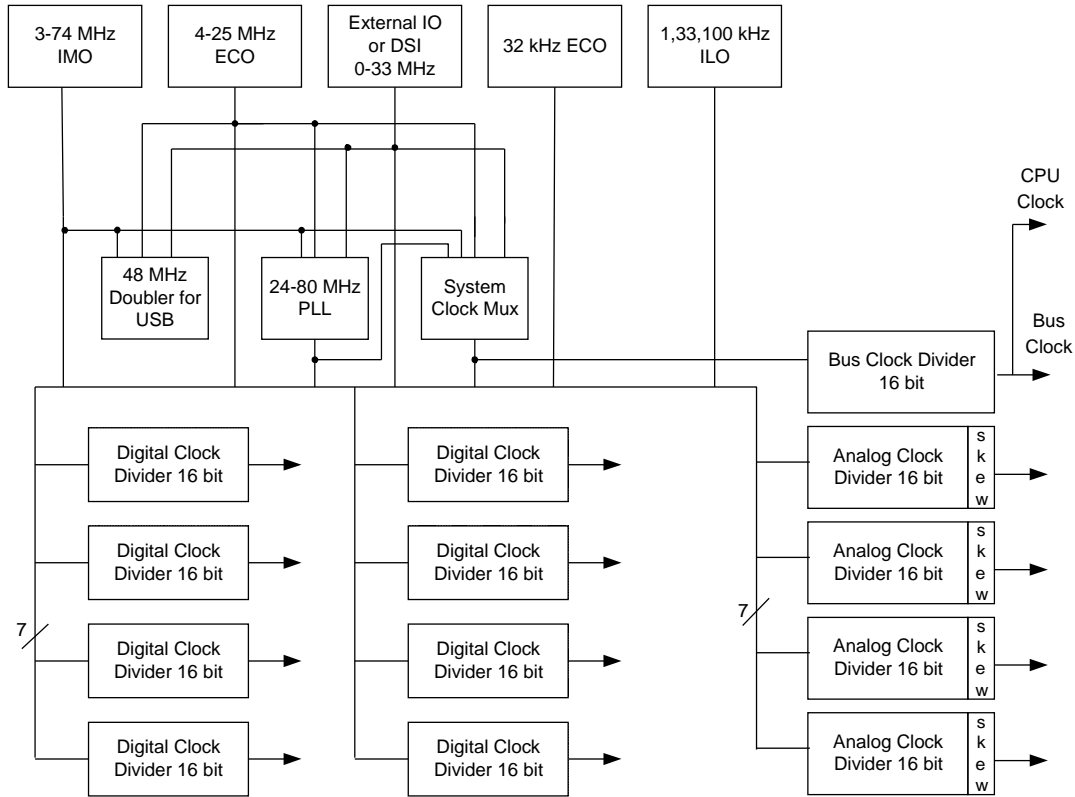
时钟系统的关键特性包括：

- 七个通用时钟源
 - 3 到 74 MHz 的 IMO，3 MHz 输出精度 $\pm 2\%$
 - 4 到 25 MHz 的外部晶振（MHzECO）
 - 时钟倍频器能够为 USB 模块提供双倍时钟频率输出，请参见第 25 页上的 USB 时钟域。
- 来自外部 I/O 引脚或其他逻辑的 DSI 信号
- 源自 IMO、MHzECO 或 DSI 的 24 至 80 MHz 分频锁相环（PLL）
- 给看门狗定时器（WDT）和睡眠定时器提供脉冲的 1 kHz、33 kHz、100 kHz ILO
- 给实时时钟（RTC）提供脉冲的 32.768 kHz 外部晶振（ECO）
- IMO 支持 USB 模式，在该模式下，无需对 USB 使用任何外部晶振，即可自动锁定到 USB 总线时钟。（仅限于配备有 USB 的器件）
- 所有时钟分频器的时钟源都是独立的
- 用于数字系统的八个 16 位时钟分频器
- 用于模拟系统的四个 16 位时钟分频器
- 用于 CPU 总线和 CPU 时钟的专用 16 位分频器
- 在 PSoC Creator 中自动进行时钟配置

表 6-1. 振荡器汇总

时钟源	最低频率	最低频率容限	最高频率	最高频率容限	启动时间
IMO	3 MHz	在有效的工作电压和温度下，容差为 $\pm 2\%$	74 MHz	$\pm 7\%$	最大值为 13 μs
MHzECO	4 MHz	取决于晶振	25 MHz	取决于晶振	典型值为 5 ms，最大值取决于晶振
DSI	0 MHz	取决于输入	33 MHz	取决于输入	取决于输入
PLL	24 MHz	取决于输入	80 MHz	取决于输入	最大值为 250 μs
倍频器	48 MHz	取决于输入	48 MHz	取决于输入	最大值为 1 μs
ILO	1 kHz	-50%、+100%	100 kHz	-55%、+100%	在最低功耗模式下，最大值为 15 ms
kHzECO	32 kHz	取决于晶振	32 kHz	取决于晶振	典型值为 500 ms，最大值取决于晶振

图 6-1. 时钟子系统



6.1.1 内部振荡器

图 6-1 显示了时钟子系统内的两个内部振荡器。可以对它们直接进行路由或分频。直接对其进行路由可能达不到 50% 的占空比。分频时钟占空比则为 50%。

6.1.1.1 内部主振荡器

由于 IMO 的精度可以达到 $\pm 2\%$ ，因此，在大多数设计中，只需要这一个时钟源即可。IMO 工作时不需要任何外部组件，并能够生成稳定的时钟。各频率范围的出厂预设值存储在器件中。使用出厂预设值时，精度介于 $\pm 2\%$ （在 3 MHz 下）到 $\pm 7\%$ （在 74 MHz 下）之间。IMO 与 PLL 结合使用时，可以生成达到器件最高频率的 CPU 和系统时钟（请参见 USB 时钟域）。IMO 可提供 3、6、12、24、48 和 74 MHz 的时钟输出。

6.1.1.2 时钟倍频器

时钟倍频器能够输出频率为输入时钟频率两倍的时钟。倍频器能够处理 24 MHz 的输入频率，从而为 USB 提供 48 MHz。可以将它配置为使用来自 IMO、MHzECO 或 DSI（外部引脚）的时钟。

6.1.1.3 锁相环

借助 PLL，可将低频率、高精度时钟倍增至频率更高的时钟。时钟频率和精度越高，功耗会越大，启动时间也会越长。PLL 模块提供了基于各种输入源生成时钟频率的机制。PLL 输出的时钟频率范围为 24 到 80 MHz。其输入和反馈分频器提供了 4032 个离

散率，几乎能够生成任何所需的系统时钟频率。PLL 输出的精度取决于 PLL 输入源的精度。最常见的 PLL 用法是在 3 MHz 下倍增 IMO 时钟，因为在该频率下生成的 CPU 和系统时钟精度最高，并能够达到器件的最大频率。

PLL 能够在 250 μ s 内实现相位锁定（通过位设置进行验证）。可以将它配置为使用来自 IMO、MHzECO 或 DSI（外部引脚）的时钟。在锁定完成并发出锁定位信号之前，可以一直使用 PLL 时钟源。锁定信号可通过 DSI 路由，以生成中断。在进入低功耗模式之前请禁用 PLL。

6.1.1.4 内部低速振荡器

ILO 能够为在低功耗模式下运行的组件（包括为看门狗定时器和睡眠定时器）提供时钟频率。ILO 能够生成三个不同的时钟，即：1 kHz、33 kHz 和 100 kHz。

1 kHz 时钟（CLK1K）通常用于后台“心跳式”定时器。该时钟采用中央时轮（CTW）进行低功耗监控操作（例如，看门狗定时器和长睡眠间隔）。

中央时轮是一个以 1 kHz 频率自由运行的 13 位计数器，其时钟由 ILO 提供。除非处于休眠模式或在片上调试模式期间 CPU 处于停止状态，否则中央时轮始终处于使能状态。它可用于生成定期中断以便提供时序，也可用于从低功耗模式唤醒系统。通过固件可以复位中央时轮。

可对中央时轮进行编程，周期性唤醒系统，并且可以选择发出中断。这样可以实现从低功耗模式或粗放的定时应用中灵活地定期唤醒。需要精确时序的系统应采用实时时钟 RTC 功能，而非中央时轮。

100 kHz 时钟 (CLK100K) 可作为低功耗系统时钟来运行 CPU。它也可以生成使用快速时轮的时间间隔。

快速时轮是一个 5 位计数器，它的时钟源为 100 kHz 时钟。它的设置是可编程的，当计数结束时将自动复位。每当计数结束时都可以生成一个可选中中断。从而能够以高于使用中央时轮时所能达到的频率灵活地定期生成 CPU 中断。

33 kHz 时钟 (CLK33K) 是对 CLK100K 进行三分频后获得的。该输出可用作低精度版 32.768 kHz ECO 时钟 (无需使用晶振)。

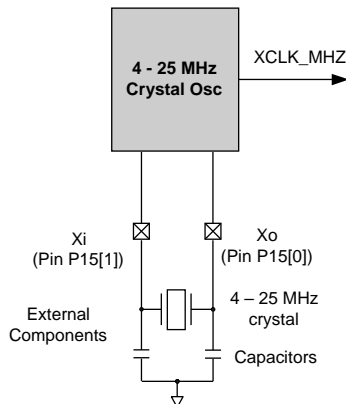
6.1.2 外部振荡器

图 6-1 显示了两个外部振荡器。可以对它们直接进行路由或分频。直接对其进行路由可能达不到 50% 的占空比。分频时钟占空比则为 50%。

6.1.2.1 MHz 外部晶振

通过采用外部晶振，MHzECO 能够提供高频率、高精度时钟 (请参见图 6-2)。它支持大量的晶振类型，频率范围介于 4 到 25 MHz 之间。与 PLL 结合使用时，它可以生成达到器件最高频率的 CPU 和系统时钟 (请参见内部低速振荡器)。将 GPIO 引脚固定连接至外部晶振和电容。 MHzECO 的准确度取决于所选择的晶振。

图 6-2. MHzECO 逻辑框图

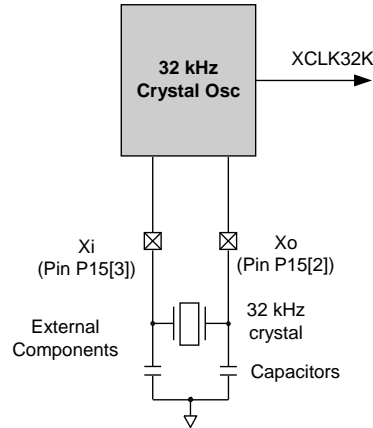


6.1.2.2 32.768 kHz ECO

通过使用外部 32.768 kHz 时钟晶振，32.768 kHz 外部晶振 (32kHzECO) 能够以非常低的功耗提供精确时序 (请参见图 6-3)。32kHzECO 还直接连接到睡眠定时器，并为实时时钟 (RTC) 提供时钟。RTC 通过固件使用 1 秒中断实现 RTC 功能。

该振荡器支持两种不同的功耗模式，用户据此可以选择功耗或抗周围电路噪声功能。将 GPIO 引脚固定连接至外部晶振和电容。

图 6-3. 32kHzECO 逻辑框图



建议外部 32.768 kHz 时钟晶振的负载电容 (CL) 为 6 pF 或 12.5 pF。请查看晶振制造商的数据手册。两个外部电容 CL1 和 CL2 通常具有相同值，其总计电容 $CL1CL2/(CL1 + CL2)$ (包含引脚和走线电容) 应等于晶振 CL 的值。更多有关信息，请参见应用笔记 AN54439: PSoC 3 和 PSoC 5 外部振荡器。另请参见第 67 页上的“GPIO”一节中的引脚电容规范。

6.1.2.3 数字系统互连

对于来自与 I/O 相连的外部时钟振荡器的时钟，DSI 能够为其提供路由。这些振荡器也可以在数字系统和 UDB 内生成。

虽然主要 DSI 时钟输入提供对所有时钟资源的访问，但有多达八个其他 DSI 时钟 (在内部或外部生成) 可直接路由到八个数字时钟分频器。不过，这需要有多个高精度时钟源才能实现。

6.1.3 时钟分配

所有七个时钟源都是中央时钟分配系统的输入。分配系统旨在创建多个高精度时钟。这些时钟是针对设计需求定制的，能够避免在连接到外设的低分辨率预分频器上经常遇到的一些问题。时钟分配系统能够生成多种类型的时钟树。

- 系统时钟用于选择和提供系统中的最快时钟，以满足通用的系统时钟要求，并使 PSoC 器件实现时钟同步。
- 总线时钟 16 位分频器采用系统时钟来生成系统的总线时钟，以供数据传输和 CPU 使用。CPU 时钟直接由总线时钟提供。
- 八个完全可编程的 16 位时钟分频器能够按照设计需求，为数字系统生成通用的数字系统时钟。数字系统时钟可以针对任何用途从七个时钟源中的任何一个时钟源生成自定义时钟。例如用于波特率生成器、精确的 PWM 周期、定时器时钟等。如果需要八个以上的数字时钟分频器，也可以使用通用数字模块 (UDB) 和固定功能定时器 / 计数器 / PWM 生成时钟。
- 有四个 16 位时钟分频器负责为需要时钟的模拟系统组件 (如 ADC) 生成时钟。模拟时钟分频器包括时滞控制功能，用于确保关键模拟事件不会与数字切换事件同时发生。其目的是为了减少模拟系统噪声。

每个时钟分频器均包含一个 8 输入复用器、一个 16 位时钟分频器 (二分频或更高分频，能够生成占空比约为 50% 的时钟)、系统时钟重新同步逻辑，以及抗窄脉冲逻辑。可将每个数字时钟树的输出路由至数字系统互连，然后再作为输入返回到时钟系统，从而实现高达 32 位的时钟链。

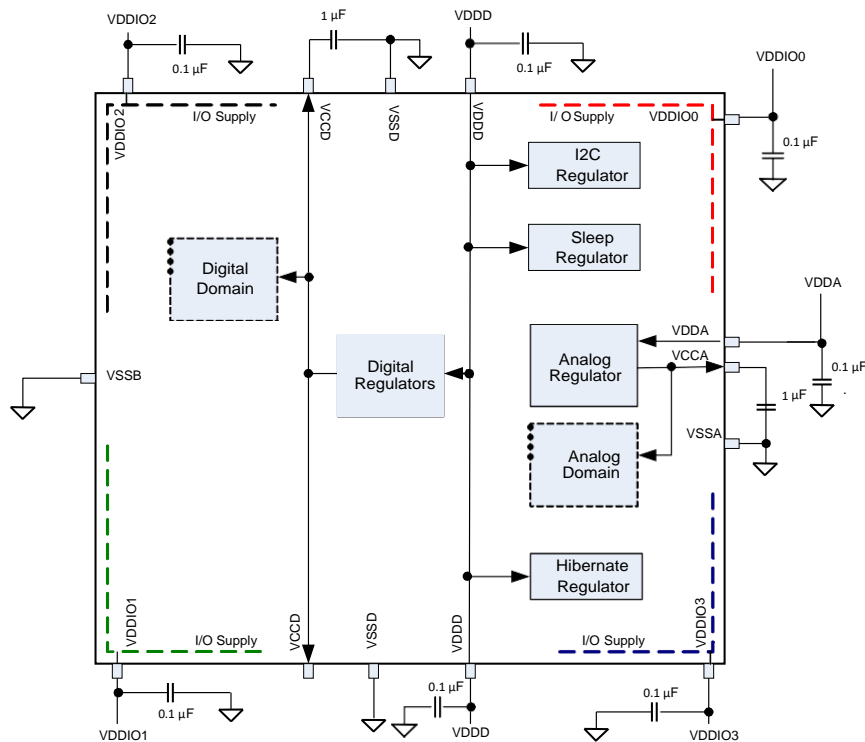
6.1.4 USB 时钟域

USB 时钟域的独特性在于，它在工作时与主时钟网络存在很大程度的异步。USB 逻辑包含连接到芯片的同步总线接口，但会采用异步时钟来运行，以便处理 USB 数据。USB 逻辑需要 48 MHz 的频率。该频率是使用内部振荡器、DSI 信号或晶体振荡器的 24 MHz 双倍值生成。

6.2 供电系统

供电系统包含单独的模拟、数字和 I/O 供电引脚，这些引脚分别为 VDDA、VDDD 和 VDDIOX。此外，还包含两个电压为 1.8 V 的内部电压调节器，以便为内部内核逻辑提供数字（VCCD）和模拟（VCCA）电源。电压调节器的输出引脚（VCCD 和 VCCA）和 VDDIO 引脚必须连接电容，如图 6-4 所示。需要将尽量短的走线将两个 VCCD 引脚连接在一起，然后将其连接到一个 $1\ \mu\text{F}$ $\pm 10\%$ X5R 电容上。供电系统还包含睡眠电压调节器、I²C 电压调节器和休眠电压调节器。

图 6-4. PSoC 供电系统



注释：

- 两个 V_{CCD} 引脚必须连接在一起，并且它们之间的走线越短越好。建议在器件下方连接走线，如图 2-6 所示。
- 您可以在内部调节模式下供电给器件，其中， V_{DDx} 引脚的电压为 5.5 V，并且内部调节器提供了内核电压。在该模式中，请勿给 V_{CCx} 引脚供电，并且请勿将 V_{DDx} 引脚连接至 V_{CCx} 引脚。
- 您也可以为 V_{CCD} 和 V_{CCA} 直接提供电压，从而能够在外部调节模式下供电给器件。在该配置中， V_{DDD} 引脚应与 V_{CCD} 引脚短接，则 V_{DDA} 引脚应与 V_{CCA} 引脚短接。该配置中的允许供电电压范围为 1.71 V 至 1.89 V。在该配置中上电后，默认使能内部调节器，因此需要禁用该调节器以便降低功耗。
- 推荐参阅数据手册中的旁路电容值，特别是工作电压和直流偏置规范。对于某些电容，如果直流偏置电压（图 6-4 中所显示的 V_{DDx} 或 V_{CCx} ）占额定工作电压的比例越大，那么实际电容会明显降低。

6.2.1 功耗模式

PSoC 5LP 器件具有四个不同的功耗模式，如表 6-2 和表 6-3 所示。借助这些功耗模式，设计能够轻松提供所需的功能和处理能力，同时最大限度地减小低功耗便携器件的功耗并提高其电池寿命。

旨在降低功耗的 PSoC 5LP 功耗模式包括：

- 活动模式
- 备用活动模式
- 睡眠模式
- 休眠模式

活动模式是主要处理模式。其功能是可配置的。通过使用单独的功耗配置样本寄存器，可以使能或禁用每个功耗可控制子系统。在备用活动模式下，会使能较少的子系统，从而能够降低功耗。在睡眠模式下，无论采用什么样的样本设置，大多数资源都将处于禁用状态。睡眠模式已经过优化，能够提供定时睡眠间隔和实时时钟功能。功耗最低的是休眠模式，该模式会保留寄存器和 SRAM 状态，但会关闭时钟，并且只能通过 I/O 引脚唤醒器件。图 6-5 显示了在各种功耗模式之间允许进行的切换。不应进入睡眠和休眠模式，直到所有 VDDIO 达到有效电压时为止。

表 6-2. 功耗模式

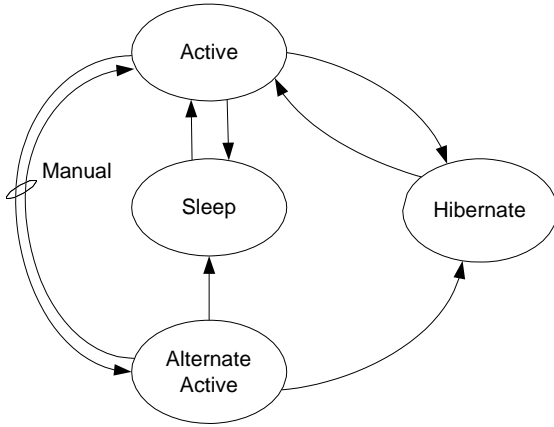
功耗模式	说明	进入条件	唤醒源	活动时钟	电压调节器
活动模式	主要的工作模式，所有外设均处于活动状态（可编程）	唤醒、复位、通过寄存器手动进入	任意中断	任何时钟（可编程）	所有电压调节器均可用。如果采用了外部电压调节，则可以禁用数字和模拟电压调节器。
备用活动模式	与活动模式相似，配置为此模式通常是为了让更少的外设处于活动状态，以便降低功耗。可以如下配置：关闭 CPU，并使用 UDB 进行处理	通过寄存器手动进入	任意中断	任意（可编程）	所有电压调节器均可用。如果采用了外部电压调节，则可以禁用数字和模拟电压调节器。
睡眠模式	自动禁用所有子系统	通过寄存器手动进入	比较器、PICU、I ² C、RTC、CTW、LVD	ILO/kHzECO	数字和模拟电压调节器均处于活动状态。如果采用外部电压调节器，则可以禁用数字和模拟电压调节器。
休眠模式	自动禁用所有子系统。最低功耗模式，所有外设和内部电压调节器均处于禁用状态，仅使能休眠电压调节器保持配置和存储器的数据	通过寄存器手动进入	PICU		只有休眠电压调节器处于活动状态。

表 6-3. 各功耗模式下唤醒时间和功耗

睡眠模式	唤醒时间	电流（典型值）	代码执行	数字资源	模拟资源	可用时钟源	唤醒源	复位源
活动模式	—	3.1 mA ^[8]	有	全部	全部	全部	—	全部
备用活动模式	—	—	由用户定义	全部	全部	全部	—	全部
睡眠模式	< 25 μs	2 μA	无	I ² C	比较器	ILO/kHzECO	比较器、PICU、I ² C、RTC、CTW、LVD	XRES、LVD、WDR
休眠模式	< 200 μs	300 nA	无	无	无	无	PICU	XRES

注释：

8. 总线时钟关闭。从 CPU 指令缓冲区以 6 MHz 的频率执行。请参见 第 60 页上的表 11-2

图 6-5. 功耗模式切换


6.2.1.1 活动模式

活动模式是器件的主要工作模式。当处于活动模式时，活动配置样本位将控制使能或禁用哪些可用资源。当某个资源处于禁用状态时，系统会关断数字时钟，禁用模拟偏置电流，并相应地减少漏电流。通过在活动配置样本中设置和清除相应的位，用户固件可以动态控制子系统的功耗。CPU 可以自我禁用，在这种情况下，发生下一个唤醒事件时会自动重新使能 CPU。

在发生唤醒事件时，全局模式始终会返回到活动模式，并且会自动使能 CPU，而不管它采用什么样的样本设置。活动模式是引导时的默认全局功耗模式。

6.2.1.2 备用活动模式

备用活动模式与活动模式非常类似。在备用活动模式下，会使能较少的子系统，以便降低功耗。一种可能的配置是：关闭 CPU 和闪存，并使外设全速运行。

6.2.1.3 睡眠模式

如果可以接受 15 μ s 的恢复时间，则可以采用睡眠模式来降低功耗。唤醒时间用于确保电压调节器的输出足够稳定，以便直接进入活动模式。

6.2.1.4 休眠模式

在休眠模式下，几乎所有内部功能都将处于禁用状态。内部电压会降至使关键系统保持活动状态所需的最低水平。在休眠模式下，会保留配置状态和 SRAM 存储器的内容。配置为数字输出的 GPIO 将保留其先前的值，并且外部 GPIO 引脚中断设置也将保留。器件处于休眠模式时，只能通过外部 I/O 中断唤醒。从休眠模式恢复的时间小于 100 μ s。

为了实现极低的电流，休眠调节器的性能有所限制。输入引脚上的所有信号频率被限制；在休眠模式下不会以高于 10 kHz 的速度来切换 GPIO。在低功耗模式下，如果需要以高速度进行切换，需要选择睡眠模式。

6.2.1.5 唤醒事件

唤醒事件是可以配置的，并且可以来自中断或器件复位。唤醒事件会将系统恢复到活动模式。固件使能的中断源包括内部生成的中断、功耗监控器、中央时轮和 I/O 中断。内部中断源可以来自各种外设，如模拟电压比较器和 UDB。中央时轮会提供定期中断，以便唤醒系统、轮询外设或执行实时功能。复位事件源包括外部复位引脚（XRES）、WDT 和精密复位（PRES）。

6.2.2 升压器

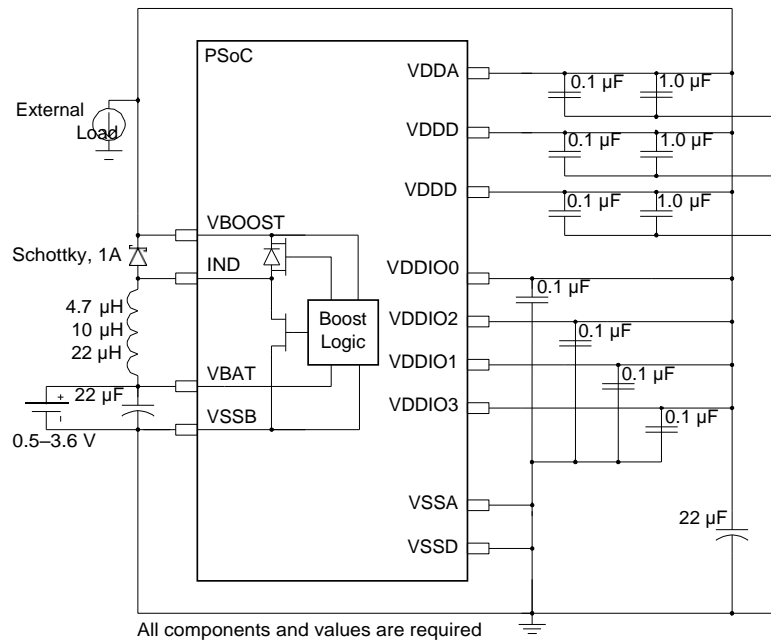
采用 1.71 V 以下供电电压（例如，由太阳能供电或单个电池供电）的应用可以使用片上升压器，用以生成一个最小值为 1.8 V 的供电电压。升压器还可以用于所需工作电压高于供电电压的任何系统，比如在 3.3 V 系统中驱动 5.0 V LCD 显示屏。通过额外的电感、肖特基二极管以及电容，它可以生成一个可选输出电压，以便提供足够的电流来运行 PSoC 及其他板上组件。

升压器可以接受介于 0.5 V 到 3.6 V 之间的输入电压（ V_{BAT} ），可使用低至 0.5 V 的 V_{BAT} 进行启动，并能够提供介于 1.8 到 5.0 V 之间、可由用户配置的输出电压（ V_{OUT} ），其步长为 100 mV。 V_{BAT} 通常小于 V_{OUT} ；如果 V_{BAT} 大于或等于 V_{OUT} ，那么 V_{OUT} 会略小于 V_{BAT} （由于升压器的电阻损耗）。该模块可以提供高达 50 mA（ I_{BOOST} ）的电流，具体取决于 PSoC 器件和外部组件的配置。设计中所有灌电流（包括 PSoC 器件、PSoC I/O 引脚负载电流和外部组件负载电流）的和必须小于特定最大电流 I_{BOOST} 。

有四个与升压器相关的引脚，分别为： V_{BAT} 、 V_{SSB} 、 V_{BOOST} 以及 IND。提升后的输出电压通过 V_{BOOST} 引脚输出，并且必须直接连接到芯片的供电输入；如果用于为 PSoC 器件供电，那么必须连接至 V_{DDA} 、 V_{DDD} 和 V_{DDIO} 。

除了非升压设计中所需的组件，升压器还需要四个组件，如第 28 页上的图 6-6 中所示。大小为 22 μ F 的电容（ C_{BAT} ）要安装在靠近 V_{BAT} 引脚的位置，对电池电压起缓冲和滤波稳定作用。电池输出与 V_{BAT} 引脚之间不要添加其它器件，例如反向极性保护二极管，因为二极管正向电压下降会降低 V_{BAT} 电压。在 V_{BAT} 和 IND 引脚间需要 4.7 μ H、10 μ H 或 22 μ H 的电感。根据输入电压、输出电压、温度和电流来，可以优化电感值，以提高升压器的效率。按照本节中的设计指南和电气规范来决定电感器尺寸。电感器必须放置在离 V_{BAT} 和 IND 引脚间 1 cm 的范围内，其饱和电流的最小值为 750 mA。在离 IND 和 V_{BOOST} 引脚 1 cm 的范围内连接一个肖特基二极管。该肖特基二极管正向电流最小额定值为 1.0 A，反向电压最小值为 20 V。另外，需要将大小为 22 μ F 的大容量电容（ C_{BOOST} ）接近到靠近 V_{BOOST} 的位置，以提供稳定的输出电压。需要确定 V_{BOOST} 引脚上连接的总电容，并确保该值不能超过最大的 C_{BOOST} 规格。所有电容的最小额定值为 10 V，这样能够尽量减少由电压降低所造成的电容损耗。

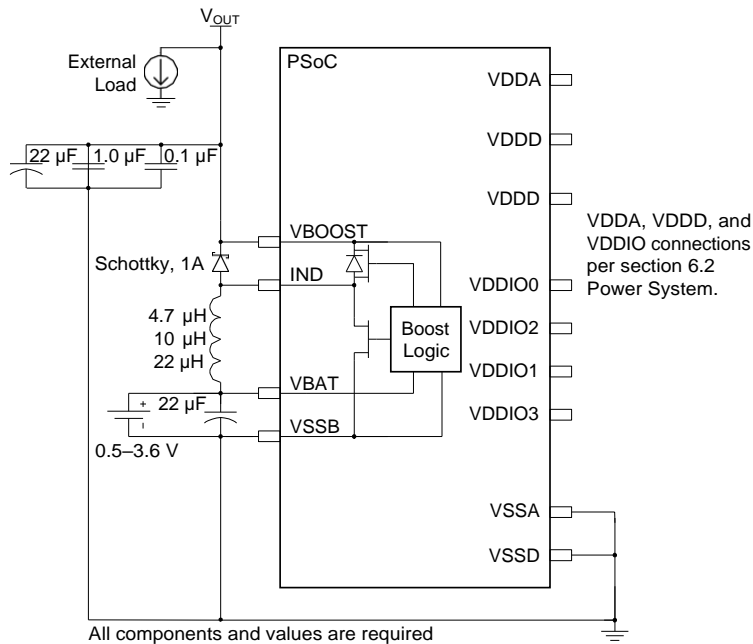
图 6-6. 为PSoC 器件供电的升压器的应用



升压器也可以用于为其他的外部组件供电。下图是将一个 1.8 V 电源上升到 4.0 V，用于驱动一个白色的 LED，便是一个示例。如果升压器没有为 PSoC 器件 VDDA、VDDD 和 VDDIO 供电，那么它必须符合为 PSoC 器件供电时同一个规则，但对输出端的电

容有不通的要求。Vout 电源需要安装 22 μF、1.0 μF 和 0.1 μF 的电容器，这些电容器必须被放置在离 VBOOST 引脚 1 cm 范围内，以确保电压调节器的稳定性。

图 6-7. 不给PSoC 器件供电的升压器的应用



使用升压器中的振荡器将切换频率设为 400 kHz。升压器可以在两种不同模式下工作：即活动模式和待机模式。活动模式是正常工作模式，在该模式下，升压调节器会主动生成稳压输出电压。在待机模式下，大多数升压功能都将处于禁用状态，以便降低升压电路的功耗。待机模式下，升压器仅提供最低的输出功耗，通常 $<5\ \mu\text{A}$ 。升压器在活动模式下消耗的电流通常为 $250\ \mu\text{A}$ ，在待机模式下则为 $25\ \mu\text{A}$ 。升压工作模式必须与芯片功耗模式结合使用，以便最大限度地降低芯片总功耗。表 6-4 列出了在不同芯片功耗模式下可用的升压功耗模式。

表 6-4. 芯片与升压器功耗模式兼容表

芯片功耗模式	升压器功耗模式
芯片活动或备用活动模式	升压器必须在活动模式下运行。
芯片睡眠模式	升压器既可以采用活动模式，也可以采用待机模式。在升压待机模式中，芯片必须定期唤醒，以实现升压活动模式刷新。
芯片休眠模式	升压器能在活动模式下运行。但是，因为在升压器活动模式下电流消耗非常高，所以不建议在芯片休眠模式下使用升压器。

6.2.2.1 升压固件的要求

要想确保启动升压浪涌电流符合规范，在 PSoC Creator IDE 中不要选中 **Enable Fast IMO During Startup**（启动期间使能快速 IMO）值。**Enable Fast IMO During Startup** 选项会显示在 PSoC Creator 的设计范围资源（cydwr）文件 **System**（系统）选项卡中。如果未选中该选项，器件启动时的运行速度会配置为 12 MHz 而不是默认的 48 MHz。时钟速度越慢，芯片启动时升压电路的电流消耗越少。

6.2.2.2 升压设计流程

升压器的外部器件选型需要遵守特定的规范。 C_{BAT} 电容器、电感器、肖特基二极管以及 C_{BOOST} 电容器的选择都要遵守电气规范（第 65 页上的表 11-7）中所指定的值。 L_{BOOST} 是唯一的变量组件，选择合适的升压电感不仅可以改善升压器的运行状态，还可以提高转换效率。此外， V_{OUT} 、 V_{BAT} 、 I_{OUT} 和 T_{A} 之间还存在限制关系。

必须按照以下各步骤进行操作，以确保升压器工作参数和 L_{BOOST} 值。

1. 选择应用所需要的 V_{BAT} 、 V_{OUT} 、 T_{A} 以及 I_{OUT} 工作条件范围。
2. 根据 V_{BAT} 和 V_{OUT} 相比的 T_{A} 范围图标（第 65 页上的图 11-8），确定 V_{BAT} 和 V_{OUT} 的范围是否符合升压器的工作范围。如果不符合工作范围，则更改工作条件或使用一个外部升压调节器。

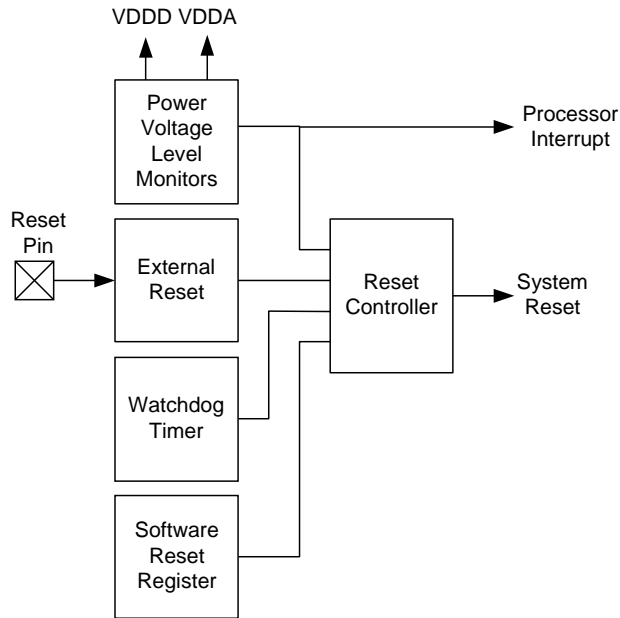
3. 根据与 V_{BAT} 与 V_{OUT} 相比的 T_{A} 范围图标（第 65 页上的图 11-8），确定所需环境温度（ T_{A} ）范围是否符合环境温度工作范围。如果不符合温度范围，则更改工作条件，并返回到第二步，或使用一个外部升压调节器。
4. 根据 V_{BAT} 与 V_{OUT} 相比的 I_{OUT} 范围图标（第 65 页上的图 11-9），确定所需输出电流（ I_{OUT} ）范围是否符合输出电流工作范围。如果不符合输出电流范围，则更改工作条件，并返回到步骤 2，或使用一个外部升压调节器。
5. 根据 V_{BAT} 与 V_{OUT} 相比（第 65 页上的图 11-10）的 L_{BOOST} 值，查找所允许的电感值。
6. 根据所用电感值、电感器尺寸、电感成本、升压效率以及 V_{RIPPLE} ，选择系统最佳电感值。升压效率和 V_{RIPPLE} 的典型值将分别显示在效率和 V_{BAT} 与 V_{BAT} 和 V_{RIPPLE} 图表（第 66 页上的图 11-11 和第 66 页上的图 11-14）中。通常，如果高效率 and 低 V_{RIPPLE} 是两个最重要的因素，那么应该使用允许的最大电感值。如果应用要求电感器的成本低或电感器尺寸小，那么应使用更小的允许电感值。如果对于应用，电感的允许效率、 V_{RIPPLE} 、成本或尺寸都不可接受，那么需要使用一个外部升压调节器。

6.3 复位

CY8C52LP 有多个内部和外部复位源可用，其中包括：

- 电源监控 — 在加电、活动模式，以及睡眠模式（繁忙）期间，在多种不同模式下监控模拟和数字供电电压 V_{DDA} 、 V_{DDD} 、 V_{CCA} 和 V_{CCD} 。如有任何电压超出预定范围，则会生成复位。可以对监控器进行编程，以便在到达复位阈值之前，在特定条件下生成处理器中断。
- 外部 — 通过拉低复位引脚（XRES），可以从外部源复位器件。XRES 引脚包含一个上拉到 V_{DDIO1} 的电阻。 V_{DDD} 、 V_{DDA} 和 V_{DDIO1} 必须都通电，部件才能退出复位状态。
- 看门狗定时器 — 看门狗定时器负责监控处理器执行指令的情况。如果看门狗定时器在特定时间段内未通过固件复位，则会生成一个复位。
- 软件 — 器件可以在程序控制下复位。

图 6-8. 复位



系统复位指的是处理器、模拟和数字外设，以及寄存器都复位。复位状态寄存器显示了某些复位或供电电压的监控中断。程序可能会检查该寄存器，以检测并报告异常情况。加电复位后，会清空该寄存器。有关详细信息，请参见技术参考手册。

6.3.1 复位源

6.3.1.1 供电电压电平监控器

■ IPOR — 初次上电复位

在初次上电复位时，IPOR 会监控电源电压 V_{DDD} 、 V_{DDA} 、 V_{CCD} 以及 V_{CCA} 。触发电平不是精确电压，它的值约为 1 V (0.75 V ~ 1.45 V)。该值低于指定的最低工作电压，但足以使内部电路复位并保持复位状态。监控器能够生成宽度至少为 150 ns 的复位脉冲。如果有一个或多个电压缓慢上升，生成的脉冲可能会更宽。

启动后，IPOR 电路被禁用，并且电压监控工作将移交给精密低电压复位 (PRES) 电路。

■ PRES — 精密低电压复位

此电路负责在加电后监控模拟系统和数字系统内部电压调节器的输出。电压调节器的输出是相对于精确参考电压的电压。对 PRES 触发的响应与对 IPOR 复位的响应相同。

在正常工作模式下，程序无法禁用数字 PRES 电路。可以禁用模拟系统调压器，但这会同时禁用 PRES 的模拟部分。在睡眠和休眠模式下，PRES 电路自动被禁用，但是也有例外，即：在睡眠模式下，会定期激活电压调节器（使其处于活动状态），以便提供监控服务，并缩短唤醒时间。与此同时，PRES 电路也将处于活动状态，以便定期进行电压监控。

■ ALVI、DLVI、AHVI — 模拟 / 数字低电压中断，模拟高电压中断
中断电路可用于检测 V_{DDA} 和 V_{DDD} 超出电压范围的情况。对于 AHVI， V_{DDA} 是相对于某个固定激发电平的电压。对于 ALVI 和 DLVI， V_{DDA} 和 V_{DDD} 是相对于可编程触发电平的电压，如表 6-5 中所列。ALVI 和 DLVI 也可以被配置为生成器件复位，而不是生成中断。

表 6-5. 模拟 / 数字低电压中断，模拟高电压中断

中断	电源	正常电压范围	可用的触发设置
DLVI	VDDD	1.71 V – 5.5 V	1.70 V – 5.45 V， 增量为 250 mV
ALVI	VDDA	1.71 V – 5.5 V	1.70 V – 5.45 V， 增量为 250 mV
AHVI	VDDA	1.71 V – 5.5 V	5.75 V

在 IPOR 之前，监控器将一直处于禁用状态。在睡眠模式下，会定期激活这些电路（使其处于繁忙状态）。在繁忙状态期间，如有中断发生，系统会首先进入唤醒过程。然后，系统会识别中断，并可能会处理中断。

Buzz（活动）频率是可调整的，并且需要设置该频率低于任一电压超出允许范围的最短时间。有关如何调整繁忙频率的信息，请参见技术参考手册。

6.3.1.2 其他复位源

■ XRES — 外部复位

PSoC 5LP 有一个专用的 XRES 引脚，该引脚处于低电平有效状态时，可以复位器件。对 XRES 的响应与对 IPOR 复位的响应相同。

外部复位是低电平有效复位。它包含一个内部上拉电阻。在睡眠模式和休眠模式下，XRES 将处于活动状态。

禁用 XRES 时，至少 10 μ s 后才可重新启用它。

■ SRES — 软件复位

通过在软件复位寄存器中设置一个位，可以在程序控制下发出复位指令。这可以通过程序直接进行，也可以通过 DMA 访问间接进行。对 SRES 的响应与对 IPOR 复位的响应相同。

此外还有另外一个寄存器位，用于禁用此功能。

■ WRES — 看门狗定时器复位

看门狗复位会检测软件程序不正常执行的情况。为了向看门狗定时器表明程序当前工作正常，它必须定期复位该定时器。如果在经过用户指定的时间后未复位该定时器，则会生成复位。

注意：IPOR 会禁用看门狗功能。程序必须通过设置寄存器位，在代码中的某个适当点使能看门狗功能。设置寄存器位后，将无法再将其清除，除非发生 IPOR 加电复位事件。

6.4 I/O 系统与路由

PSoC I/O 具有高度的灵活性。每个 GPIO 都具有模拟和数字 I/O 功能。所有 I/O 都具有多种可在 POR 时设置的驱动模式。PSoC 还通过 VDDIO 引脚提供多达四个 I/O 电压域。

每个器件上都有两种 I/O 引脚：带 USB 的器件则有三种 I/O 引脚。通用 I/O（GPIO）和特殊 I/O（SIO）提供类似的数字功能，主要区别在于模拟能力和驱动强度。带 USB 的器件还提供两个 USBIO 引脚，可支持特定的 USB 功能，以及有限的 GPIO 功能。

所有 I/O 引脚均可作为 CPU 与数字外设的数字输入和输出使用。此外，所有 I/O 引脚均可生成中断。PSoC I/O 具有灵活的高级功能，此外任意信号均可连接至任意引脚，从而大大简化了电路设计和电路板布局。所有 GPIO 引脚均可用作模拟输入、CapSense^[9] 以及 LCD segment 驱动，而 SIO 引脚用作超出 VDDA 的供电电压和可编程输出电压引脚。

■ GPIO 和 SIO 均支持以下特性：

- 用户可编程端口复位状态
- 为多达四组 I/O 提供单独的 I/O 供电和电压
- 数字外设使用 DSI 连接引脚
- 用作 CPU 和 DMA 的输入和 / 或输出
- 八种驱动模式

- 每个引脚都可以是一个被配置为上升沿和 / 或下降沿触发的中断源。如有必要，DSI 可支持电平触发中断
 - 每个端口都有专用的端口中断向量
 - 由数字输出驱动模式控制的转换速率
 - 基于端口或引脚的访问端口控制和配置寄存器
 - 单独的端口读（PS）和写（DR）数据寄存器，能够避免发生“读取修改写作”错误
 - 基于各个引脚的特殊功能
- ### ■ 仅在 GPIO 引脚上提供的其他功能：
- LCD 器件上的 LCD segment 驱动
 - CapSense^[8]
 - 模拟输入和输出功能
 - 连续 100 μ A 钳位电流能力
 - 标准驱动强度降至 1.71 V
- ### ■ 仅在 SIO 引脚上提供的其他功能：
- 比 GPIO 更高的驱动强度
 - 热插拔功能（在任意工作电压 VDD 下容限均为 5 V）
 - 可编程高电平输入阈值，输出驱动电平低至 1.2 V
 - 无模拟输入、CapSense 或 LCD 功能
 - 过压容限高达 5.5 V
 - SIO 可作为通用模拟电压比较器使用

注释：

9. 运算放大器的固定 GPIO 引脚不建议用作 CapSense 功能。

■ USBIO 特性:

- 符合 USB 2.0 标准的全速 I/O
- 最大的驱动强度设置可用于一般用途
- 用于 CPU 和 DMA 的输入和 / 或输出

- 数字外设的输入和 / 或输出
- 数字输出 (CMOS) 驱动模式
- 每个引脚都可配置为上升沿和 / 或下降沿的中断源

图 6-9. GPIO 框图

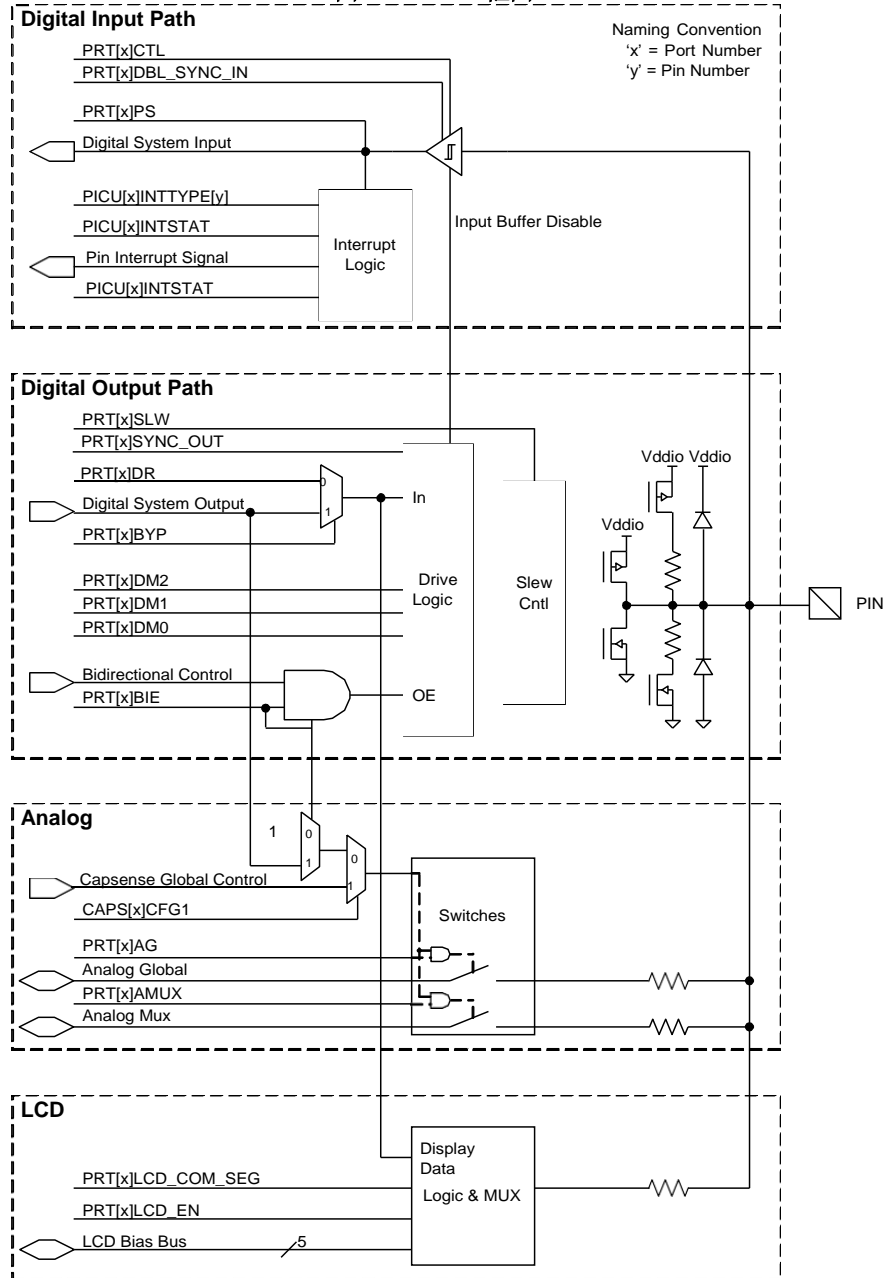


图 6-10. SIO 输入 / 输出框图

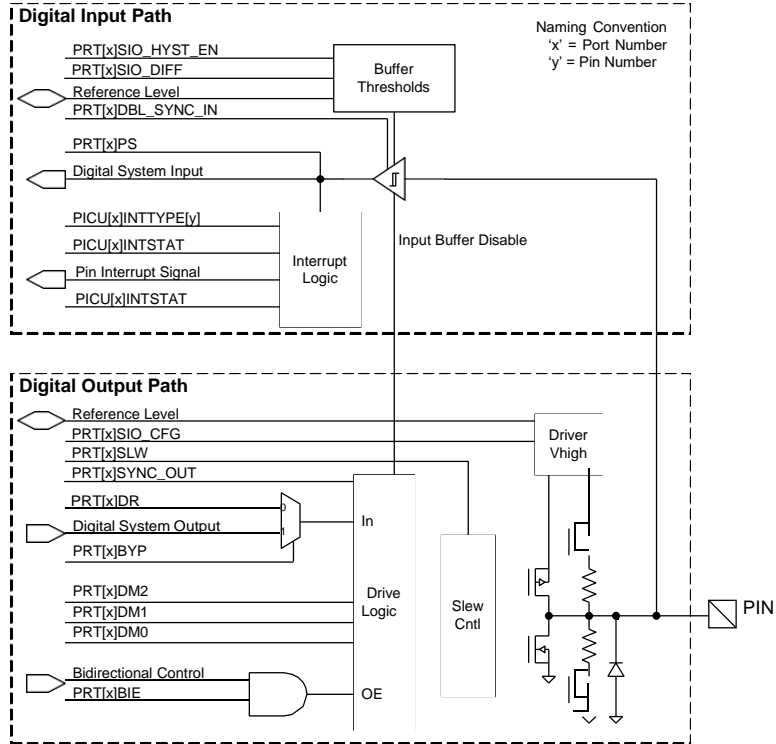
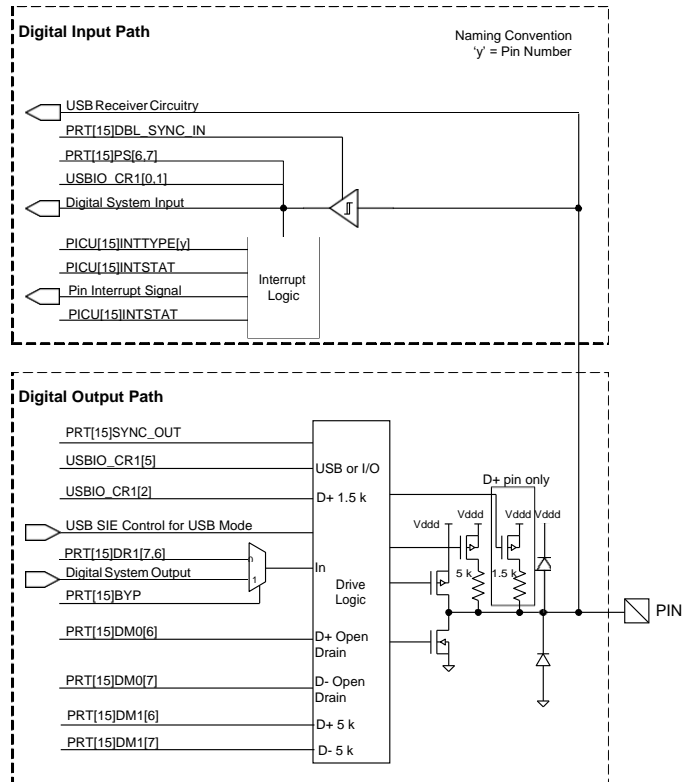


图 6-11. GPIO 框图

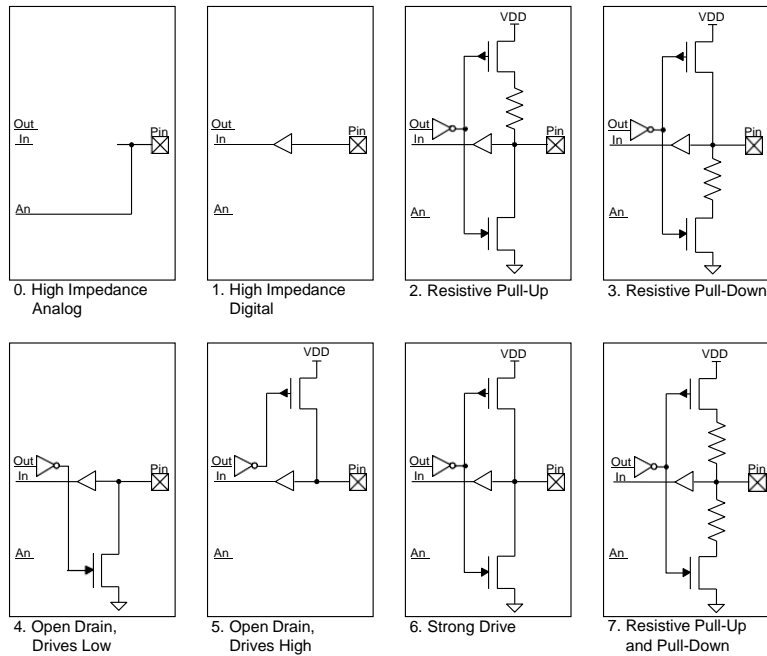


6.4.1 驱动模式

每个 GPIO 和 SIO 引脚都可单独配置成表 6-6 中所列的八种驱动模式中的某一种。三个配置位可用于每个引脚 (DM[2:0])，并在 PRTxDM[2:0] 寄存器中设置。图 6-12 显示了基于每种驱动模式 (共八种) 的引脚简图。表 6-6 显示了端口数据寄存器值或数字阵列信号 (如果选择了旁路模式) 对应的 I/O 引脚的驱动状态。

请注意，实际的 I/O 引脚电压是由所选驱动模式和引脚负载共同决定的。例如，如果某 GPIO 引脚被配置为电阻上拉模式，并在引脚悬空时被驱高，则在引脚处测得的电压会处于较高的逻辑状态。如果同一个 GPIO 引脚在外部接地，则引脚处未经测定的电压会处于低电平的逻辑状态。

图 6-12. 驱动模式



The 'Out' connection is driven from either the Digital System (when the Digital Output terminal is connected) or the Data Register (when HW connection is disabled).
The 'In' connection drives the Pin State register, and the Digital System if the Digital Input terminal is enabled and connected.
The 'An' connection connects to the Analog System.

表 6-6. 驱动模式

框图	驱动模式	PRTxDM2	PRTxDM1	PRTxDM0	PRTxDR = 1	PRTxDR = 0
0	模拟高阻抗	0	0	0	高阻态	高阻态
1	数字高阻抗	0	0	1	高阻态	高阻态
2	电阻上拉 ^[10]	0	1	0	高电平电阻 (5K)	强驱动低
3	电阻下拉 ^[10]	0	1	1	强驱动高	低电平电阻 (5K)
4	开漏，低驱动	1	0	0	高阻态	强驱动低
5	开漏，高驱动	1	0	1	强驱动高	高阻态
6	强驱动	1	1	0	强驱动高	强驱动低
7	电阻上拉 / 下拉 ^[9]	1	1	1	高电平电阻 (5K)	电阻下拉 (5K)

注释:

10. 在稳压输出模式下，SIO 不能使用电阻上拉和下拉。

当针对 I/O 模式使能了 USBIO 引脚（P15[7] 和 P15[6]）时，会限制驱动模式控制。使用 PRT15.DM0[7, 6] 寄存器设置驱动模式。也可针对 USBIO 引脚选择电阻上拉选项，可使用 PRT15.DM1[7, 6] 寄存器使能该选项。在 USB 模式下使能了驱动模式控制后，不会对 USB 引脚的配置产生影响。与 GPIO 和 SIO 配置不同，端口宽配置寄存器不配置 USB 驱动模式位。表 6-7 显示 USBIO 引脚的驱动模式配置。

表 6-7. USBIO 驱动模式（P15[7] 和 P15[6]）

PRT15.DM1[7,6] 上拉电阻被使能	PRT15.DM0[7,6] 驱动模式被使能	PRT15.DR[7,6] = 1	PRT15.DR[7,6] = 0	说明
0	0	高阻态	强驱动低	漏极开路，强驱动低
0	1	强驱动高	强驱动低	强驱动输出
1	0	高电平电阻（5K）	强驱动低	电阻上拉，强驱动低
1	1	强驱动高	强驱动低	强驱动输出

■ 模拟高阻抗

默认的复位状态，输出驱动器和数字输入缓冲区均关闭。这可以防止因电压浮动导致任何电流流入到 I/O 的数字输入缓冲区中。对于悬空引脚或支持模拟电压的引脚，建议使用该状态。模拟高阻抗引脚不提供数字输入功能。

要在睡眠模式下最大限度地降低芯片电流，所有 I/O 都必须被配置为模拟高阻抗模式，或通过 PSoC 器件或外部电路将其引脚驱至供电轨。

■ 数字高阻抗

针对数字信号输入使能输入缓冲区。这是建议用于数字输入的标准高阻抗（HiZ）状态。

■ 电阻上拉或电阻下拉

电阻上拉或下拉都是在一种数据状态下提供串联电阻，在另一种数据状态下提供强驱动。在这两种模式下，引脚可用于数字输入和输出。这两种模式的一个常见应用是连接机械开关。在稳压输出模式的 SIO 中不能使用电阻上拉和下拉。

■ 开漏驱高和开漏驱低

开漏模式是在一种数据状态下提供高阻抗，在另一种数据状态下提供强驱动。在这两种模式下，引脚可用于数字输入和输出。这两种模式的一个常见应用是驱动 I²C 总线信号线。

■ 强驱动

无论是在高状态还是低状态，均提供强 CMOS 输出驱动。这是引脚的标准输出模式。一般情况下，采用强驱动模式的引脚不能用作输入。这种模式通常用于驱动数字输出信号或外部 FET。

■ 电阻上拉和下拉

与电阻上拉模式和电阻下拉模式类似，只不过引脚始终与电阻串联。在高数据状态下是上拉，而在低数据状态下是下拉。当其他可能会导致短路的信号可以驱动总线时，通常会采用此模式。在稳压输出模式的 SIO 中不能使用电阻上拉和下拉。

6.4.2 引脚寄存器

用于配置引脚并与引脚交互的寄存器有两种形式，并可以互换使用。

所有 I/O 寄存器均可采用标准端口形式，即寄存器的每个位对应于一个端口引脚。这种寄存器形式能够快速有效地同时重新配置多个端口引脚。

I/O 寄存器也可以采用引脚形式，即针对每个引脚，将八个最常用的端口寄存器位合并到单个寄存器中，以便通过单次寄存器写操作来快速更改各个引脚的配置。

6.4.3 双向模式

借助高速双向功能，引脚可以根据辅助控制总线信号的状态，为输入信号提供数字高阻抗驱动模式，并为同一引脚上的输出信号提供用户选择的另一种驱动模式，例如强驱动（使用 PRTxDM[2:0] 寄存器进行设置）。对于需要对输出缓冲区进行动态硬件控制的处理器总线和通信接口，例如 SPI Slave MISO 引脚，双向功能非常有用。

辅助控制总线能够将多达 16 个由 UDB 或数字外设生成的输出使能信号连接至一个或多个引脚。

6.4.4 转换速率受限模式

GPIO 和 SIO 引脚针对强驱动和开漏驱动模式提供了快速输出转换速率和低速输出转换速率选项（不适用于电阻驱动模式）。由于低速转换速率选项会降低 EMI，因此建议对速度不是很关键（通常小于 1 MHz）的信号使用该选项。快速转换速率适用于频率介于 1 MHz 到 33 MHz 之间的信号。转换速率可以针对每个引脚单独配置，并通过 PRTxSLW 寄存器进行设置。

6.4.5 引脚中断

所有 GPIO 和 SIO 引脚都能生成系统中断。每个端口接口上的所有八个引脚均连接到其各自的端口中断控制单元 (PICU) 及关联的中断向量。端口的每个引脚都可单独配置，以检测上升沿和

/ 或下降沿中断，或不生成中断。

根据为每个引脚配置的模式，每次引脚上发生中断事件时，中断状态寄存器中对应的状态位都会被设为“1”，并且系统会向中断控制器发送中断请求。每个 PICU 在中断控制器和引脚状态寄存器中都有各自的中断向量，以便轻松确定中断源、引脚电平等。

在所有睡眠模式下，端口引脚中断均保持活动状态，以便通过由外部生成的中断唤醒 PSoC 器件。

尽管不直接支持电平敏感型中断，但在需要时，可以通过 UDB 为系统提供该功能。

6.4.6 输入缓冲区模式

可以针对默认的 CMOS 输入阈值或可选的 LVTTTL 输入阈值在端口级别配置 GPIO 和 SIO 输入缓冲区。所有输入缓冲区都能够与施密特触发器一起实现输入迟滞。此外，在任何驱动模式下，均可禁用各个引脚输入缓冲区。

6.4.7 I/O 供电电源

可以提供多达四个 I/O 引脚供电电源，具体取决于器件和封装。每个 I/O 供电电源必须小于或等于芯片模拟 (VDDA) 引脚的电压。利用此特性，您可以为器件上的不同引脚提供不同的 I/O 电压电平。要确定给定端口和引脚的 VDDIO 功能，请参见具体的器件封装引脚分布图。

SIO 端口引脚支持其他“稳压高输出”功能，如[可调输出电平](#)中所述。

6.4.8 模拟连接

这些连接仅适用于 GPIO 引脚。所有 GPIO 引脚都可以作为模拟输入或输出使用。引脚上的模拟电压不能超过 GPIO 对应的 VDDIO 供电电压。每个 GPIO 都可连接到其中一条模拟全局总线或模拟复用器总线，以便将任意引脚连接到任意内部模拟资源，例如 ADC 或电压比较器。此外，有一个特定引脚能够直接连接到大电流 DAC。

6.4.9 CapSense

本部分内容仅适用于 GPIO 引脚。所有 GPIO 引脚均可用于创建 CapSense 按键和滑动条^[11]。有关详细信息，请参考第 53 页上的[“CapSense”](#)一节中介绍的内容。

6.4.10 LCD segment 驱动

本部分内容仅适用于 GPIO 引脚。所有 GPIO 引脚均可用于生成 segment 驱动和 common 驱动信号，以便直接驱动 LCD 显示屏。有关详细信息，请参考第 52 页上的[“LCD 直接驱动”](#)一节中介绍的内容。

6.4.11 可调输出电平

本部分内容仅适用于 SIO 引脚。SIO 端口引脚支持为电压低于 SIO 对应 VDDIO 的外部信号接口提供稳压的高电平输出。根据内部生成的参考电压，各个 SIO 引脚可单独配置为标准 VDDIO 电平或稳压输出。通常会使用电压 DAC (VDAC) 来生成参考电压（请参见图 6-13）。第 53 页上的 DAC 详细介绍了 VDAC 的用法以及如何将参考电压路由至 SIO 引脚。在稳压输出模式的 SIO 中不能使用电阻上拉和下拉驱动模式。

6.4.12 可调输入电平

本部分内容仅适用于 SIO 引脚。默认情况下，SIO 引脚不仅支持标准 CMOS 和 LVTTTL 输入电平，而且还支持采用可编程电平的差分模式。SIO 引脚按对分组。每对引脚共享一个参考电压发生器模块，该模块用于为电压与 VDDIO 不同的外部信号接口设置数字输入缓冲区参考电平。参考电压会用来设置高逻辑电平的引脚电压阈值（请参见图 6-13）。可用的输入阈值包括：

■ $0.5 \times VDDIO$

■ $0.4 \times VDDIO$

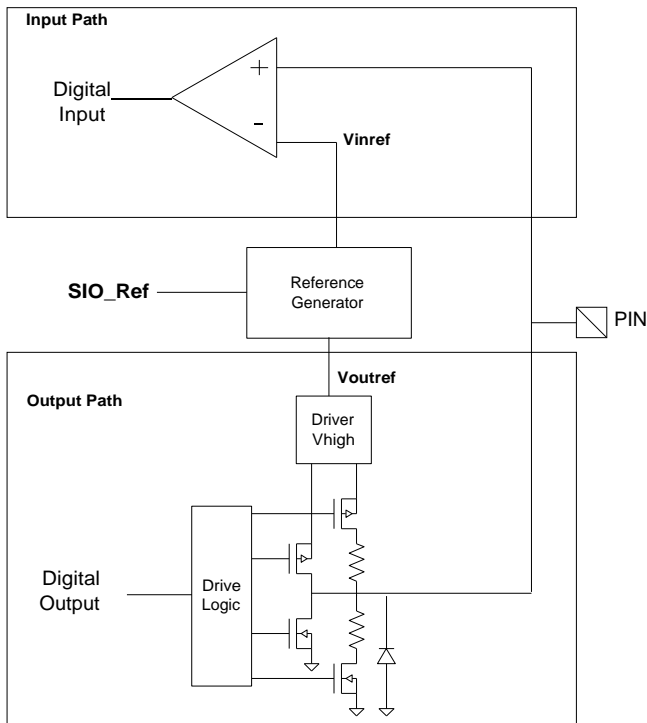
■ $0.5 \times VREF$

■ VREF

通常会使用电压 DAC (VDAC) 来生成 VREF 参考电压。第 53 页上的 DAC 详细介绍了 VDAC 的用法以及如何将参考电压路由至 SIO 引脚。

注释：

11. 运算放大器的固定 GPIO 引脚不建议用作 CapSense 功能。

图 6-13. 输入和输出的SIO 参考


6.4.13 SIO 作为电压比较器

本部分内容仅适用于 SIO 引脚。如[可调输入电平](#)一节所述，可以使用 SIO 的可调输入电平功能来构建电压比较器。电压比较器的阈值由 SIO 的参考电平发生器提供。参考电平发生器包含一个选项，用于将通过模拟全局总线连接的模拟信号设为电压比较器阈值。请注意，一对 SIO 引脚共享同一个阈值。

第 33 页上的图 6-10 中的数字输入路径说明了该功能。在该图中，‘参考电平’是通过模拟全局总线路由过来的模拟信号。还可以为 SIO 的输入缓冲区使能迟滞功能，以便增强电压比较器的抗噪能力。

6.4.14 热插拔

本部分内容仅适用于 SIO 引脚。SIO 引脚支持“热插拔”功能，无需加载连接到 SIO 引脚的信号即可插入到应用中，即便在 PSoC 器件未通电时亦是如此。这样一来，未通电的 PSoC 就可以保持对外部器件的高阻抗负载，同时防止 PSoC 被通过 SIO 引脚的保护二极管的电流加热。

与正在运行的 I2C 总线相连时，给该器件供电或断电会导致 SIO 引脚上的瞬变状态。I2C 总线的整体设计应该考虑这一点。

6.4.15 过压容限

所有 I/O 引脚在任意工作 VDD 下都能够提供过压容限功能。

■ SIO 引脚没有任何电流限制，因为它们对外部电路存在高阻抗负载。

■ GPIO 引脚电流必须使用电流电阻限制为 100 μ A。GPIO 引脚会将引脚电压限制约为 VDDIO 加上一个二极管电压。

■ 如果 GPIO 引脚被配置为模拟输入/输出，则引脚上的模拟电压不得超过 GPIO 对应的 VDDIO 供电电压。

该功能的一个常见应用是连接到 I²C 等总线，其中不同的器件在不同的供电电压下运行。连接到 I²C 时，会针对 SIO 引脚将 PSoC 芯片配置为开漏驱低（Open Drain、Drives Low）模式。这样就可以通过外部上拉电阻将 I²C 总线电压拉到 PSoC 引脚供电电压以上。例如，PSoC 芯片可以在 1.8 V 下运行，外部器件可以在 5 V 下运行。请注意，SIO 引脚的 VIH 和 VIL 电平由关联的 VDDIO 供电引脚决定。

SIO 引脚必须处于下列任意一种模式：0（模拟高阻抗）、1（数字高阻抗）或 4（开漏驱动低电平）。有关详细信息，请参考图 6-12 中介绍的内容。必须针对所有 I/O 引脚监控器件的最大绝对额定值。

6.4.16 复位配置

当复位有效时，所有 I/O 都会复位并保持在模拟高阻抗状态。复位释放之后，可根据各个端口将状态重新编程为下拉或上拉。为了确保正确的复位操作，端口复位配置数据会存储在专用的非易失性寄存器中。发出复位信号后，存储的复位数据会自动传输到端口复位配置寄存器。

6.4.17 低功耗功能

在所有低功耗模式下，I/O 引脚都会保持其状态，直到部件被唤醒并被更改或复位。要唤醒部件，请使用引脚中断，因为在所有低功耗模式下，端口中断逻辑会继续发挥作用。

6.4.18 特殊引脚功能

器件上的某些引脚除了具有 GPIO 或 SIO 功能以外，还具有其他特殊功能。第 6 页上的“引脚分布”中列出了具体的特殊功能引脚。这些特殊功能包括：

■ 数字

- 频率为 4 至 25 MHz 的晶振
- 频率为 32.768 kHz 的晶振
- I²C 地址匹配时从睡眠模式唤醒。如果不需要从睡眠模式唤醒，则任意引脚都可用于 I²C。
- JTAG 接口引脚
- SWD 接口引脚
- SWV 接口引脚
- TRACEPORT 接口引脚
- 外部复位

■ 模拟

- 高电流 IDAC 输出
- 外部参考输入

6.4.19 JTAG 边界扫描

器件支持所有引脚上的标准 JTAG 边界扫描链，以便进行板级测试。

7. 数字子系统

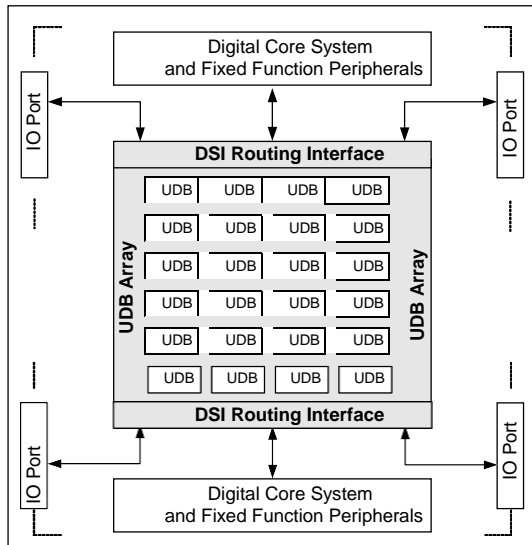
可编程数字系统能够针对具体的应用创建标准数字外设、高级数字外设的组合，并创建定制逻辑功能。然后，这些外设和逻辑将互连，并与器件上的任意引脚相连，从而提供高度的设计灵活性和 IP 安全性。

下面列出了可编程数字系统的功能，以便用户对这些功能和架构有一个大概的了解。设计人员不需要通过硬件和寄存器级别同可编程数字系统直接交互。PSoC Creator 提供了一个与 PLD 类似的高级电路图输入图形界面，以便自动放置和连接资源。

可编程数字系统的主要组件包括：

- 通用数字模块（UDB） — 这些模块构成了可编程数字系统的核心功能。UDB 是未赋值逻辑（PLD）和结构化逻辑（数据路径）的组合，已经过优化，能够针对应用或设计创建所有常用嵌入式外设和定制功能。
- 通用数字模块阵列 — UDB 模块排列在一个可编程互连矩阵内。UDB 阵列结构具有一致性，有助于将数字功能灵活地映射到阵列上。该阵列支持在 UDB 与数字系统互连之间进行广泛而灵活的路由互连。
- 数字系统互连（DSI） — 来自 UDB、固定功能外设、I/O 引脚、中断和 DMA 的信号以及其他系统内核信号会连接到数字系统互连，以实现全功能器件连通性。与通用数字模块阵列结合使用时，DSI 允许将任意数字功能路由至任意引脚或其他组件。

图 7-1. CY8C52LP 可编程数字架构



7.1 外设示例

CY8C52LP 系列的 UDB 和模拟模块具有高度的灵活性，可允许您创建众多组件（外设）。欲了解赛普拉斯开发和描述的一些最常用外设，请参考 PSoC Creator 组件目录。然而，通过使用 PSoC Creator，您可以创建您自己的定制组件。利用 PSoC Creator，您还可以创建自己的组件，以便在其组织内重复使用，例如传感器接口、专有算法，以及显示界面。

PSoC Creator 提供了大量的组件，我们无法在数据手册中一一列出，而且这些组件的数量还在不断增加。例如，可用于 CY8C52LP 系列但未在本数据手册中提到的 UART 组件。

7.1.1 数字组件示例

以下是 PSoC Creator 中可用于 CY8C52LP 系列的一个数字组件示例。组件使用的硬件资源（UDB、路由、RAM、闪存）的确切数量会有所不同，具体取决于在 PSoC Creator 中为组件选择的功能。

- 通信
 - I²C
 - UART
 - SPI
- 功能
 - EMIF
 - PWM
 - 定时器
 - 计数器
 -
- 逻辑
 - NOT
 - OR
 - XOR
 - AND

7.1.2 模拟组件示例

以下是 PSoC Creator 中可用于 CY8C52LP 系列的一个模拟组件示例。组件使用的硬件资源（SC/CT 模块、路由、RAM、闪存）的确切数量会有所不同，具体取决于在 PSoC Creator 中为组件选择的功能。

- 模数转换器（ADC）
 - 逐次逼近转换器（SAR ADC）
- 数模转换器（DAC）
 - 电流
 - 电压
 - PWM
- 电压比较器

7.1.3 系统功能组件示例

以下是 PSoC Creator 中可用于 CY8C52LP 系列的一个系统功能组件示例。组件使用的硬件资源（UDB、路由、RAM、闪存）的确切数量会有所不同，具体取决于在 PSoC Creator 中为组件选择的功能。

- CapSense
- LCD 驱动
- LCD 控制
- 滤波器

7.1.4 使用 PSoC Creator 进行设计

7.1.4.1 比典型 IDE 优越

一个成功的设计工具应该能够快速进行开发，并能够展开简单和复杂的设计。这样可缩短甚至消除学习过程，并使新设计直接融入到生产流程中。

PSoC Creator 就是这样的设计工具。

PSoC Creator 是一个功能齐全的开发环境（IDE），可用于硬件和软件的设计。该工具已针对 PSoC 器件进行优化，并将功能强大的新型软件开发平台与先进的图形化设计工具集成在一起。这种独特的工具组合使得 PSoC Creator 成为目前灵活性最高的嵌入式设计平台。

图形化设计输入有助于简化特定器件的配置。您可以从内容丰富的组件目录中选择所需的功能，并将其放入到自己的设计中。所有组件都实现了参数化，并具有编辑器对话框，您可以根据自己的需求来定制功能。

PSoC Creator 会自动配置时钟，并将 I/O 连接至选定的引脚，随后生成 API，以便应用程序能够对硬件进行全面控制。要更改 PSoC 器件配置，只需添加一个新组件，设置其参数并重建项目即可。

在开发过程的任何阶段，您都可以自由更改硬件配置乃至目标处理器。要将应用（硬件和软件）重新定位到新器件（即使是从 8 位系列到 32 位系列），只需选择新器件并重建即可。

您还可以更改 C 编译器并评估备选方案。组件具有高度的便携性，并针对所有系列的所有器件以及支持的所有工具链进行了验证。要切换编译器，只需编辑项目选项，并使用生成的 API 或引导代码正确地重建应用即可。

7.1.4.2 组件目录

组件目录是一个由可重复使用的设计元素组成的资料库，能够帮助您选择器件功能并定制 PSoC 器件。组件目录中包含大量实用的内容：从简单的基元（例如逻辑门和器件寄存器），到数字定时器、计数器和 PWM，再到模拟组件（例如 ADC 和 DAC）以及通信协议（例如 I²C 和 USB），应有尽有。有关可用外设的更多详细信息，请参考第 38 页上的“**外设示例**”一节中介绍的内容。所有内容已被完全特性表征化，并在数据手册中进行了详细地记录，同时附带了代码示例、交流 / 直流规范以及已编好的用户代码 API。

7.1.4.3 设计重复使用

符号编辑器可让您开发能够重复使用的组件，从而大大缩短日后进行设计所需的时间。您只需绘制符号，并使其与经过验证的设计相关联即可。PSoC Creator 允许将新符号与赛普拉斯提供的内容一起放在组件目录中的任意位置。然后，您就可以在任意数量的项目中不限次数地重复使用您的内容，而无需重复查看其详细的实现信息。

7.1.4.4 软件开发

该工具拥有时尚且高度可定制的用户界面。它不仅包括项目管理功能以及适用于 C 语言和汇编语言源代码的集成编辑器，而且还包括设计输入工具。

项目构建控制功能采用了由 Arm® Limited、Keil™ 和 CodeSourcery（GNU）等顶级商业供应商所提供的编译器技术。该工具随附有适用于 Arm 的免费版 Keil C51 和 GNU C 编译器（GCC），这些编译器对代码规模或最终产品分发没有任何限制。该工具支持专业的 Keil C51 产品和 Arm RealView™ 编译器，能够轻松升级到更多优化编译器。

7.1.4.5 非侵入式调试

由于所有器件均提供 JTAG（4 线）和 SWD（2 线）调试连接，因此 PSoC Creator 调试器只需很少的干预，即可全面控制目标器件。断点和代码执行命令都可通过工具栏按键直接调用，一系列实用的窗口（寄存器、局部、监控、调用堆栈、存储器和外设）有助于实现无与伦比的系统可视性。

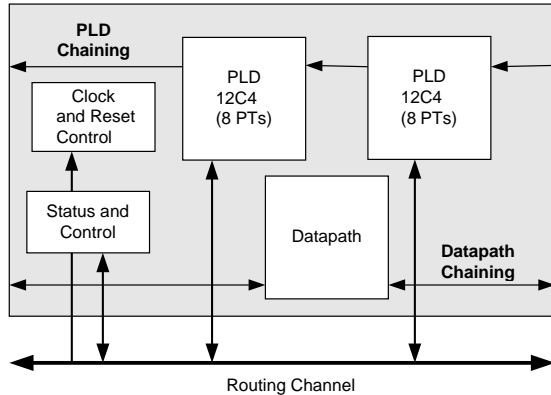
PSoC Creator 包含完成设计，以及日后维护和扩展设计所需的所有工具。设计流程的所有步骤都经过了仔细整合和优化，不仅简单易用，而且能最大限度地提高效率。

7.2 通用数字模块

通用数字模块（UDB）标志着向下一代 PSoC 嵌入式数字外设功能迈出了具有革命性意义的一步。第一代 PSoC 数字模块的架构提供了粗糙的可编程性，其中仅包含一些具有少量选项的固定功能。新型 UDB 架构在配置精细程度和高效实现两者之间取得了最佳平衡。此方法的核心是提供根据应用需求定制器件数字操作的能力。

为了实现这一点，UDB 包含了未赋定逻辑（PLD）、结构化逻辑（数据路径）与灵活路由方案的组合，以便在这些元素、I/O 连接以及其他外设之间提供互连能力。UDB 具有丰富的功能，从在一个 UDB 甚至是 UDB 的一部分（未使用的资源可供其他功能使用）中实现的简单自包含功能，到需要多个 UDB 的更为复杂的功能，应有尽有。基本功能的示例为定时器、计数器、CRC 发生器、PWM、死区发生器和通信功能，如 UART、SPI 和 I²C。另外，PLD 模块和连接在可用的资源上提供功能齐全的通用可编程逻辑。

图 7-2. UDB 框图



UDB 的主要组件模块包括：

- **PLD 模块：**— 每个 UDB 有两个小型 PLD。这些模块从路由阵列获取输入，并构成寄存或组合“乘积和”逻辑。PLD 用于实现状态机、状态位和组合逻辑方程。PLD 配置是从图元自动生成的。
- **数据路径模块：**— 这 8 位宽的数据路径包含结构化逻辑，能够实现可动态配置的 ALU（该 ALU 包含各种比较配置和条件生成）。该模块还包含输入 / 输出 FIFO，这些 FIFO 是 CPU/DMA 系统与 UDB 之间的主要并行数据接口。
- **状态和控制模块：**— 该模块的主要作用是 CPU 固件提供与 UDB 操作进行交互和同步的方式。
- **时钟和复位模块：**— 该模块能够提供 UDB 时钟以及复位选择和复位功能。

7.2.1 PLD 模块

PLD 模块的主要用途是实现逻辑表达式、状态机、序列发生器、查询表和解码器。在最简单的使用模型中，可将 PLD 模块视为单独的资源，通用 RTL 会综合并映射到此资源。更为常见且有效的使用模型是通过组合使用 PLD 和数据路径模块创建数字功能。其中，PLD 仅实现功能的随机逻辑和状态部分，而数据路径（ALU）则实现更多结构化元素。

图 7-3. PLD 12C4 结构

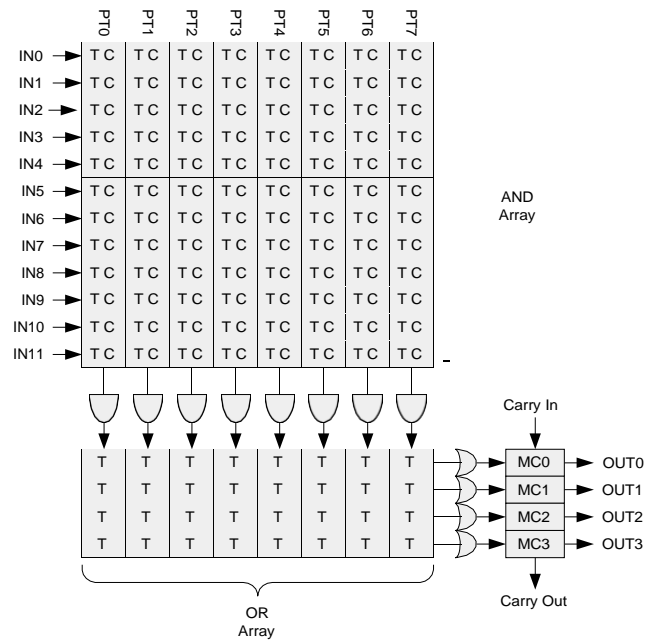
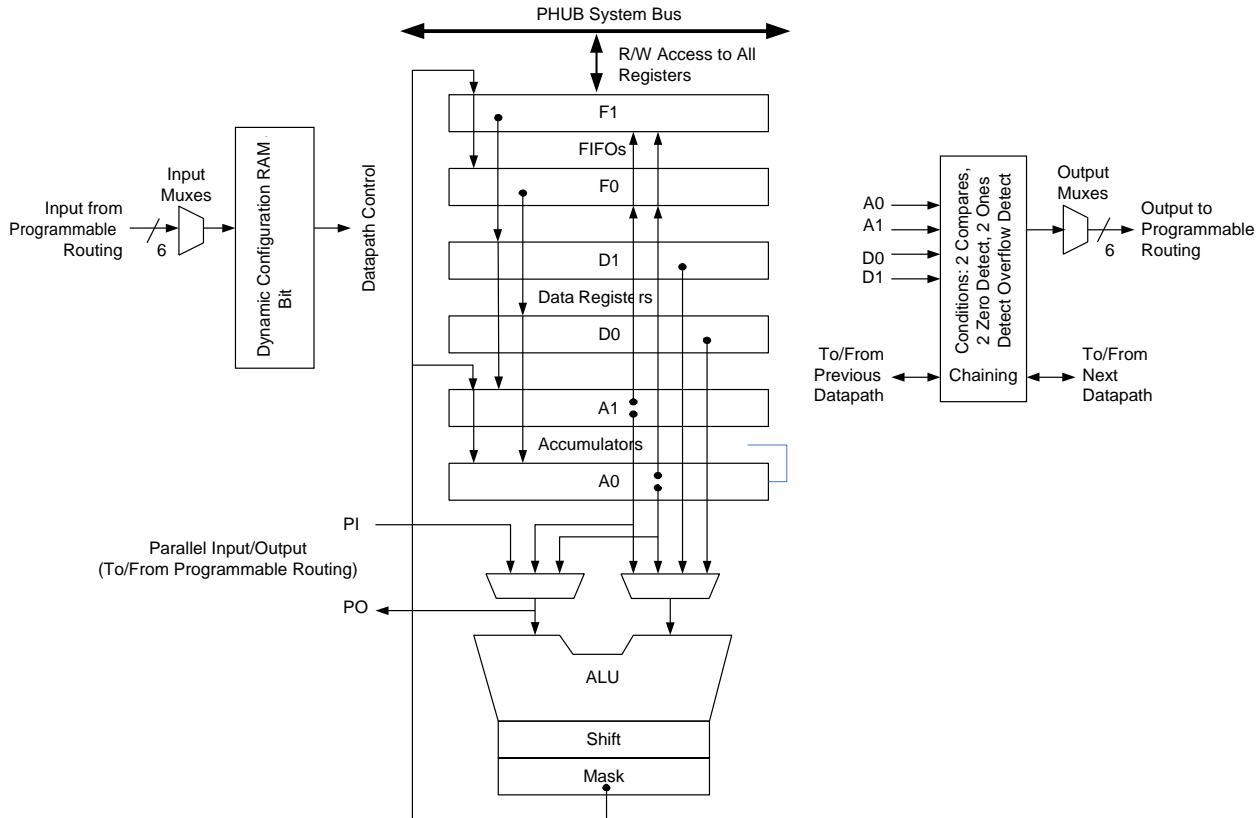


图 7-3 显示的是一个 12C4 PLD 模块。此 PLD 的 12 个输入能够带动八个乘积项。每个乘积项（AND 功能）的宽度可以是 1 到 12 个输入，并且在给定的乘积项中，可以选择每个输入的真值（T）或补码（C）。对乘积项求和（OR 功能）即可创建 PLD 输出。总和的宽度可以是 1 到 8 个乘积项。12C4 中的‘C’表示 OR 门的宽度（在本例中为 8）在所有输出中都不变（而在 22V10 器件中是可变的）。这种类似于 PLA 的结构能够实现最大的灵活性，并确保所有输入和输出都是可交换的，以便通过软件工具轻松地分配。每个 UDB 中有两个 12C4 PLD。

7.2.2 数据路径模块

数据路径包含一个 8 位的单周期 ALU，该 ALU 具有关联的比较配置和条件生成逻辑。此数据路径模块经过了优化，能够实现嵌入式功能，如定时器、计数器、积分器、PWM、PRS、CRC、移位器、死区生成器等。

图 7-4. 数据路径最高级别



7.2.2.1 工作寄存器

数据路径包含六个主要工作寄存器，在正常操作的期间可通过 CPU 固件或 DMA 访问这些寄存器。

表 7-1. 数据路径的工作寄存器

名称	功能	说明
A0 和 A1	累加器	这些寄存器是 ALU 的源 (source) 和库 (sink)，也是比较器的源。
D0 和 D1	数据寄存器	这些寄存器是 ALU 的源，也是比较器的源。
F0 和 F1	FIFO	这些寄存器是系统总线的主要接口。它们可当做数据寄存器和累加器的数据源，或者从累加器或 ALU 捕获数据。每个 FIFO 的深度为四个字节。

7.2.2.2 动态配置 RAM

动态配置指的是在序列发生器的控制下，按周期更改数据路径功能和内部配置的能力。这是使用 8 字 x 16 位配置 RAM 实现的，该 RAM 存储有八个具有唯一性的 16 位宽配置。此 RAM 的地址输入用于控制序列，可以来自与 UDB 走线矩阵相连的任何模块（最典型的是 PLD 逻辑、I/O 引脚），或来自此数据路径模块或其他数据路径模块的输出。

ALU

ALU 能够执行八种通用功能，其中包括：

- 递增
- 递减
- 加
- 减
- 逻辑 AND
- 逻辑 OR
- 逻辑 XOR
- 传输，用于通过 ALU 将某值传输到移位寄存器、掩码寄存器或其他 UDB 寄存器

除了 ALU 运算之外，还能够提供以下功能：

- 向左移位
- 向右移位
- 半字节交换
- 按位 OR 掩码

7.2.2.3 条件

每个数据路径包含两个比较操作，并具有位掩码选项。比较操作数包括由两个累加器和两个数据寄存器组成的各种配置。其他条件包括零检测、全一检测和溢出。这些条件是主要的数据路径输出，其中有些可输出到 UDB 路由矩阵中。条件计算可以使用连接到相邻 UDB 的内置链路，以在较宽的数据宽度上进行运算，而无需使用路由资源。

7.2.2.4 变量 MSB

算术和移位功能的最高有效位可通过编程方式指定。变量 MSB 支持可变宽度 CRC 和 PRS 功能，而且通过与 ALU 输出掩码相结合，可实现任意宽度的定时器、计数器和移位模块。

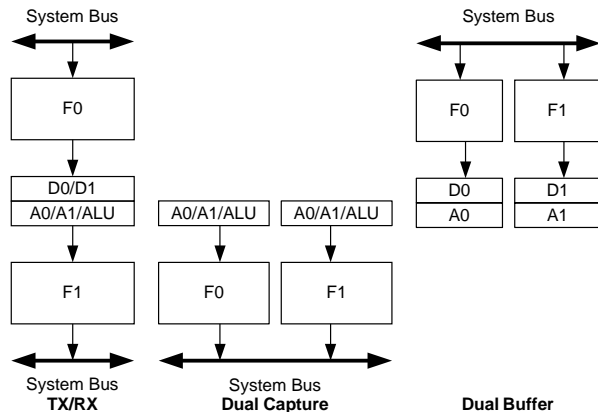
7.2.2.5 内置 CRC/PRS

数据路径包含对以下内容的内置支持：任意宽度和任意多项式的单周期循环冗余校验（CRC）计算和伪随机序列（PRS）生成。长度超过 8 位的 CRC/PRS 功能可通过结合使用 PLD 逻辑来实现，而内置链路可用于将该功能扩展至相邻 UDB。

7.2.2.6 输入/输出 FIFO

每个数据路径包含两个 4 字节深的 FIFO，这些 FIFO 可单独配置为输入缓冲区（系统总线写入到 FIFO，数据路径内部读取 FIFO）或输出缓冲区（数据路径内部写入到 FIFO，系统总线读取 FIFO）。FIFO 能够生成状态，这些状态可被选为数据路径输出，且可以备驱动到路由中，以便与序列发生器、中断或 DMA 进行交互。

图 7-5. FIFO 配置示例



7.2.2.7 链路

数据路径可被配置为将条件和信号（例如进位和移位数据）同相邻数据路径进行链接，以便创建精度更高的算术、移位和 CRC/PRS 功能。

7.2.2.8 时间复用

在过采样或不需要高时钟频率的应用中，可以与两组寄存器和条件生成器有效地分享数据路径中的单个 ALU 模块。来自 ALU 的进位和移出数据会被寄存起来，并可在后续周期中选中输入。这样一来，便可以在一个（8 位）数据路径中支持 16 位功能。

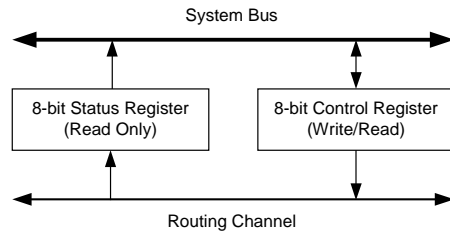
7.2.2.9 数据路径 I/O

有六个输入和六个输出用于将数据路径连接到路由矩阵。来自路由矩阵的输入能够为在每个周期中执行的数据路径操作提供配置，此外还能够提供串行数据输入。输入可以来自其他 UDB 模块、其他器件外设、器件 I/O 引脚等。走线的输出可从生成的条件和串行数据输出中选择。输出可以连接到其他 UDB 模块、器件外设、中断和 DMA 控制器、I/O 引脚等。

7.2.3 状态和控制模块

该模块的主要用途是协调 CPU 固件与内部 UDB 操作之间的交互。

图 7-6. 状态和控制寄存器



控制寄存器的位（可由系统总线对其进行写操作）用于驱动到路由矩阵中，从而使固件能够控制 UDB 处理的状态。状态寄存器是只读寄存器，允许将内部 UDB 状态从内部路由直接读出到系统总线中。因此，固件能够监控 UDB 处理的状态。根据应用要求，可以通过设置这些寄存器的每一位来建立与路由矩阵的连接。

7.2.3.10 用法示例

作为控制输入的示例，可以将控制寄存器中的某一位分配为功能使能位。为了使能某一项功能，可以通过多种方法。其中一种方法，将控制位输出路由到一个或多个 UDB 中的时钟控制模块，并作为所选 UDB 模块的时钟使能位使用。一个状态示例是，PLD 或数据路径模块生成了某个条件后的情况，例如由状态寄存器捕获并锁存，随后由 CPU 固件读取（并清除）的“比较结果为真”条件。

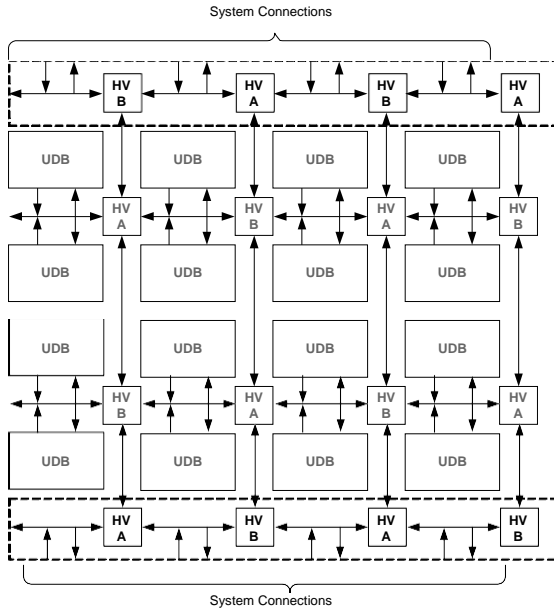
7.2.3.11 时钟生成

UDB 的每个子组件模块（包含两个 PLD、数据路径、以及状态和控制模块）都有一个时钟选择和控制模块。这不仅能够提升为 UDB 组件模块分配时钟资源的精细程度，并且允许其它功能使用未使用的 UDB 资源来最大限度地提高系统效率。

7.3 UDB 阵列说明

图 7-7 显示了一个由 16 个 UDB 组成的阵列示例。除了阵列内核之外，在阵列的顶端和底端还有 DSI 路由接口。其他未明确显示出来的接口包括用于总线和时钟分配的系统接口。UDB 阵列包含多个横向和纵向路由通道，每个通道由 96 条线组成。这些通往 UDB 的线连接在横向/纵向交叉点和 DSI 接口处具有高度的可交换性，能够在 PSoC Creator 中提供高效的自动布线。此外，这种路由方式还允许通过沿着竖向和横向的线分段进行连接，因此可以进一步提升路由的灵活性和性能。

图 7-7. 数字系统接口结构



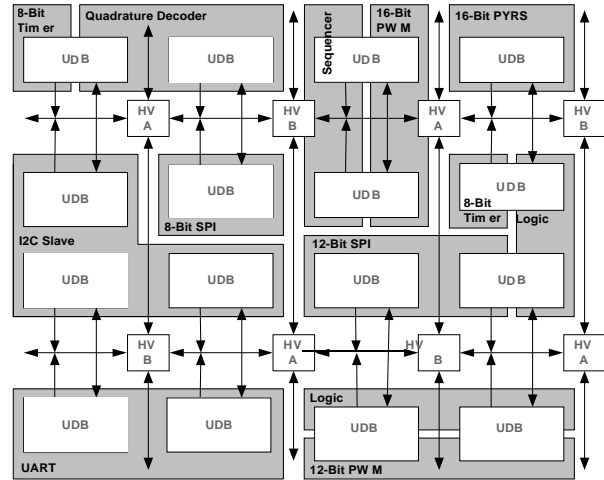
7.3.1 UDB 阵列可编程资源

图 7-8 显示了将功能映射到一组 UDB（16 个 UDB）的示例。UDB 的主要可编程资源包括两个 PLD、一个数据路径和一个状态 / 控制寄存器。这些资源都是独立分配的，因为它们拥有可独立选择的时钟，所以未使用的模块可分配给其他不相关的功能。

例如，阵列左上角的 8 位定时器。此功能仅需要使用 UDB 中的一个数据路径，因此 PLD 资源可分配给其他功能。对于正交解码器等功能，一个 UDB 所提供的 PLD 逻辑可能无法满足其需求，在这种情况下，可以利用 8 位定时器 UDB 中未使用的 PLD 模块。

UDB 阵列中的可编程资源通常是同质资源，因此功能可映射到阵列中的任意边界。

图 7-8. 一组 UDB 中的功能映射示例



7.4 DSI 路由接口说明

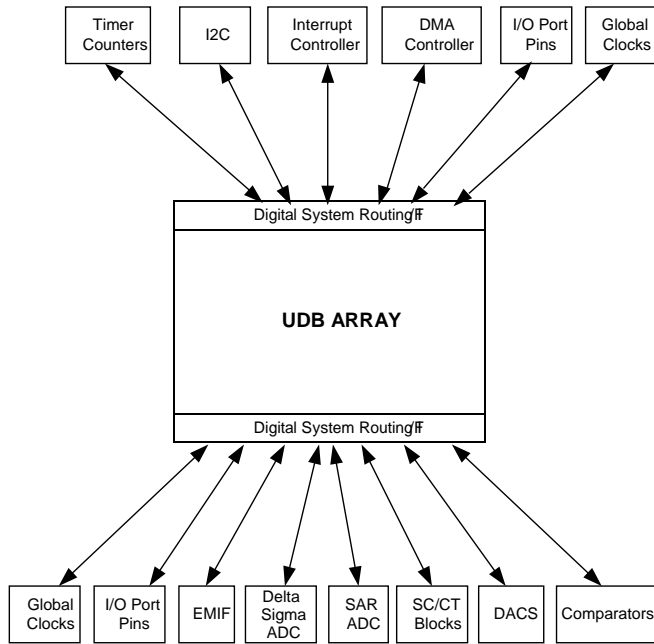
DSI 路由接口是横向和纵向走线通道在 UDB 阵列内核顶端和底端的延伸。它能够在器件外设（包括 UDB、I/O、模拟外设、中断、DMA 和固定功能外设）之间提供通用的可编程路由。

图 7-9 说明了数字系统互连的概念，数字系统互连能够将 UDB 阵列路由矩阵与其他器件外设相连。任何需要可编程路由的数字系统内核或固定功能外设都会连接到此接口。

属于此类别的信号包括：

- 来自系统中所有数字外设的中断请求。
- 来自系统中所有数字外设的 DMA 请求。
- 需要灵活路由到 I/O 的数字外设数据信号。
- 需要连接至 UDB 的数字外设数据信号。
- 与中断和 DMA 控制器的连接。
- 与 I/O 引脚的连接。
- 与模拟系统数字信号的连接。

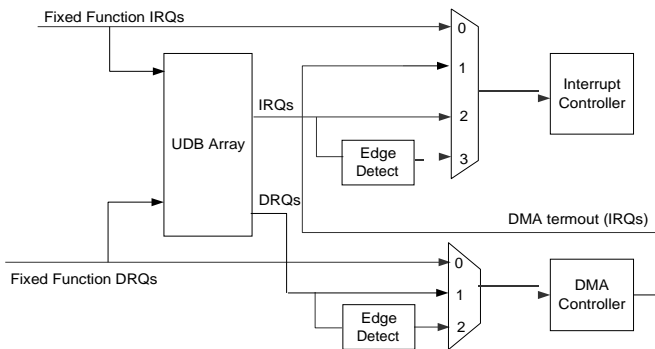
图 7-9. 数字系统互连



在 CY8C52LP 可编程架构中，中断和 DMA 布线非常灵活。除了可以生成中断请求的众多固定功能外设之外，UDB 阵列走线中的任何数据信号也都能用于生成请求。单个外设可以生成多个独立的中断请求，从而可简化系统和固件设计。图 7-10 显示了 IDMUX（中断/DMA 复用器）的结构。

图 7-10. IDMUX 中的中断和 DMA 处理

Interrupt and DMA Processing in IDMUX



7.4.1 I/O 端口路由

共有 20 个连接至典型 8 位 I/O 端口的 DSI 路由，其中 16 个用于数据布线，4 个用于驱动强度控制。

当 I/O 引脚连接至路由中时，会提供两个主要连接，即输入和输出连接。如与驱动强度控制相结合，这样可以实现双向 I/O 引脚。数据输出信号具有单同步（流水线式）选项，数据输入信号具有双同步选项。同步时钟是系统时钟（请参见图 6-1）。通常，来自引脚的所有输入都会被同步，以便 CPU 同该信号以及由该信号派生的任何信号进行交互。很少使用异步输入。例如，通过组合的 PLD 逻辑将信号从输入引脚传输到输出引脚。

图 7-11. I/O 引脚同步路由

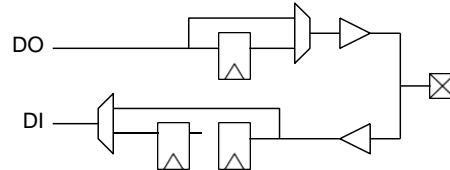
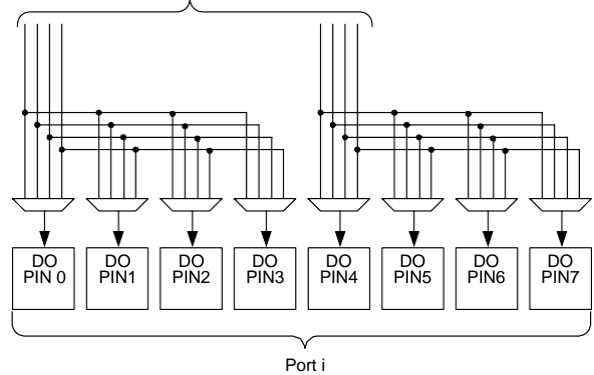


图 7-12. I/O 引脚输出连接

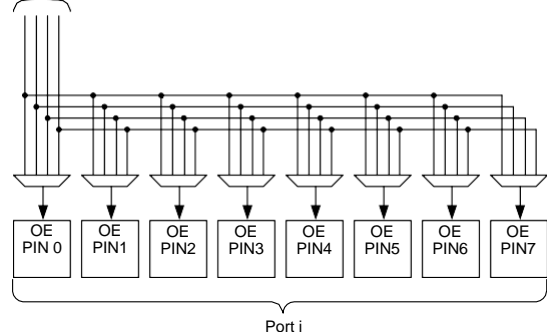
8 IO Data Output Connections from the UDB Array Digital System Interface



此外，还有 4 个 DSI 路由连接至给定的 I/O 端口，以便实现引脚的动态输出使能控制。这种连接提供了一系列选项，其中包括由一个信号控制且完全组合的 8 个位，以及多达四个单独控制的引脚。输出使能信号对创建三态双向引脚和总线非常有用。

图 7-13. I/O 引脚输出使能连接

4 IO Control Signal Connections from UDB Array Digital System Interface



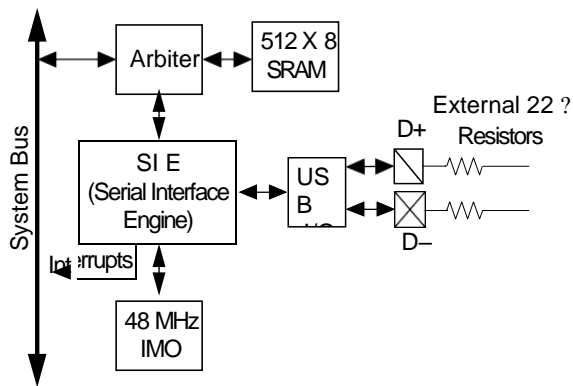
7.5 USB

PSoC 包含专用的全速（12 Mbps）USB 2.0 收发器，支持所有四种 USB 传输类型：即控制传输、中断传输、批量传输和同步传输。PSoC Creator 提供全面的配置支持。USB 通过两个专用的 USBIO 引脚与主机连接。有关详细信息，请参考第 31 页上的“[I/O 系统与路由](#)”一节中介绍的内容。

USB 包含以下特性：

- 八个单向数据端点
- 一个双向控制端点 0（EP0）
- 由八个数据端点共享的 512 字节缓冲区
- EP0 专用的 8 字节缓冲区
- 三种存储器模式
 - 不带 DMA 访问的手动存储器管理功能
 - 带手动 DMA 访问的手动存储器管理功能
 - 带自动 DMA 访问的自动存储器管理功能
- 用于收发器的内部 3.3 V 电压调节器
- 自动锁定到 USB 总线时钟的内部 48 MHz 振荡器，USB 不需要外部晶振（仅限配备 USB 的部件）
- 在总线上及每次发生端点事件时生成中断，带器件唤醒
- USB 复位、暂停和恢复操作
- 总线供电和自供电模式

图 7-14. USB



7.6 定时器、计数器和 PWM

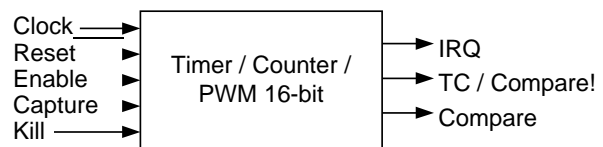
定时器 / 计数器 / PWM 外设是一种 16 位的专用外设，能够提供三种最常用的嵌入式外设功能。几乎所有嵌入式系统都会使用定时器、计数器和 PWM 的某种组合。该 PSoC 器件系列中包含四个定时器、计数器和 PWM 实例，此外，还可以根据需要在通用数字模块（UDB）中实例化更多、更高级的定时器、计数器和 PWM。PSoC Creator 允许设计人员选择他们所需要的定时器、计数器和 PWM 功能。该工具集能够利用大多数可用的最优资源。

借助通过 DSI 路由连接的输入和输出信号，定时器 / 计数器 / PWM 外设可从多个时钟源中进行选择。借助 DSI 路由，可以通过 DSI 访问至任何器件引脚及任何内部数字信号的输入和输出连接。四个实例中的每一个都具有比较输出、终端计数输出（可选互补比较输出）和可编程中断请求线。定时器 / 计数器 / PWM 可配置为自由运行、单触发或受“使能”输入控制。该外设具有定时器复位和捕获输入，以及控制比较器输出的“kill”输入。该外设全面支持 16 位捕获。

定时器 / 计数器 / PWM 功能包括：

- 16 位定时器 / 计数器 / PWM（仅限递减计数）
- 可选时钟源
- PWM 比较器（可针对 LT、LTE、EQ、GTE、GT 进行配置）
- 在启动、复位和到达终端计数时重新加载周期
- 在到达终端计数、比较结果为真或捕获时生成中断
- 动态计数器读操作
- 定时器捕获模式
- “确认 Enable 信号时进行计数”模式
- 自由运行模式
- 单触发模式（在设定的时间长度结束后停止）
- 带死区的互补 PWM 输出
- PWM 输出停止（kill）

图 7-15. 定时器 / 计数器 / PWM



7.7 I²C

PSoC 包含一个固定功能 I²C 外设。在 PSoC Creator 中，可以根据需要使用通用数字模块（UDB）来实例化更多 I²C 接口。

I²C 外设提供了一个同步的两线接口，可用于将 PSoC 器件与两线 I²C 串行通信总线相连。它与 NXP I²C 总线规范和用户手册（UM10204）定义的 I²C 标准模式、快速模式和超快速模式的设备兼容 [13]。可以使用处于开漏模式的 GPIO 或 SIO 来实现 I²C 总线 I/O。

为了消除过多的 CPU 干预和开销，针对状态检测和帧划分位生成提供了 I²C 相关支持。I²C 可以充当一个从设备、主设备或多主设备（从设备和主设备）模式 [13]。在从设备模式下，该单元始终侦听开始发送或接收数据的“开始”条件。主设备模式能够生成“开始”和“停止”条件并启动数据操作。多主设备模式能够提供时钟同步和仲裁功能，允许同一个总线上存在多个主设备。如果主设备模式处于启用状态而从设备模式未处于启用状态，则该模块不会在发生外部生成的“开始”条件时生成中断。I²C 通过 DSI 路由进行连接，并允许直接连接到任何 GPIO 或 SIO 引脚。

I²C 能够提供 7 位的硬件地址检测，而无需 CPU 干预。此外，器件还可以在 7 位硬件地址匹配时从低功耗模式唤醒。如果需要唤

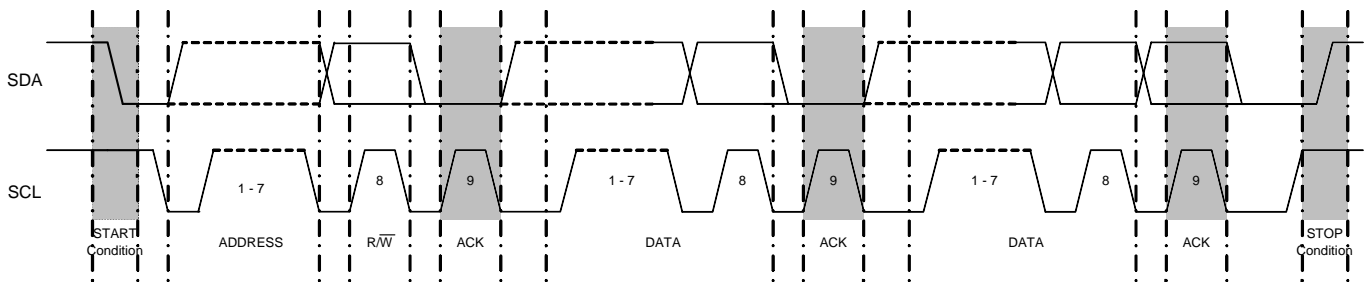
醒功能，I²C 引脚只能连接到两组特殊的 SIO 引脚中的一组。请参考第 11 页上的引脚说明中的 SCL 和 SDA 引脚说明。

I²C 特性包括：

- 从设备与主设备、发射器，以及接收器操作
- 字节处理，只需很少的 CPU 开销
- 中断或轮循 CPU 接口
- 支持高达 1 Mbps 的总线速度
- 7 位或 10 位寻址（10 位寻址需要固件支持）
- SMBus 操作（通过固件支持 — UDB 中的硬件支持 SMBus）
- 7 位硬件地址比较
- 在地址匹配时从低功耗模式唤醒
- 窄脉冲过滤（仅针对活动模式和备用活动模式）

数据传输所遵循的格式如图 7-16 所示。在启动条件（S）发生之后，将发送一个从设备地址。该地址的长度为 7 位，后面跟随的第 8 位为数据方向位（R/W）— ‘0’ 表示传输（写），‘1’则表示数据请求（读）。数据传输总是以一个由主设备生成的停止条件作为终止标志。

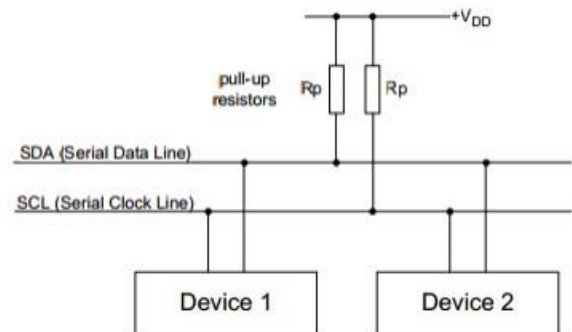
图 7-16. I²C 完整的传输时序



7.7.1 外部电气连接

如图 7-17 所示，I²C 总线上要有外部上拉电阻（R_p）。这些电阻主要由供电电压、总线速度和总线电容确定。要了解详情如何为您的设计计算最佳上拉电阻值，建议您使用 UM10204 I²C 总线规范和用户版本 6 或更新的版本（在 NXP 网址 www.nxp.com 提供）。

图 7-17. 器件与 I²C 总线连接情况



注释：

12. I²C 外设以下列范围内不符合 NXP I²C 规范：模拟窄脉冲滤波器、I/O V_{OL}/I_{OL}、I/O 迟滞。I²C 模块带有数字窄脉冲滤波器（在睡眠模式下无效）。通过将各个 I/O 设置为低速模式可以满足在快速模式下的最小下降时间规范。更多详细信息，请参考第 67 页上的“输入和输出”一节中的 I/O 电气规范。
13. 固定模块 I²C 不支持未定义的总线条件，也不支持从设备模式中的重复启动操作。应避免这些条件，或使用基于 UDB 的 I²C 组件替代它。

对于大多数设计，表 7-2 中的默认值将提供最佳的性能，而不需要任何计算。已选的默认值是介于最小值和最大值之间的电阻标准值。表 7-2 中所列出的值适用于以下设计： V_{DD} 为 1.8 V 到 5.0 V、总线电容 (C_B) 小于 200 pF、总输入漏电流 (I_{IL}) 为 25 μ A、输出电压电平 (V_{OL}) 为 0.4 V，以及 V_{IH} 最大值为 $0.7 * V_{DD}$ 。标准模式和快速模式可以使用 GPIO 引脚或 SIO 的 PSoC 引脚。增强型快速模式需要使用 SIO 引脚，这样能够在电流为 20 mA 时满足 V_{OL} 规范。需要计算自定义的上拉电阻值；如果您的设计不符合默认的假设，那么需要使用串联电阻 (R_S) 来限制引入的噪声，或需要最大化电阻值，从而降低功耗。

表 7-2. 上拉电阻的推荐默认值

	R_P	单位
标准模式 — 100 kbps	4.7 k, 5%	Ω
快速模式 — 400 kbps	1.74 k, 1%	Ω
增强型快速模式 — 1 Mbps	620, 5%	Ω

计算理想的上拉电阻值会需要各限制的值，通过 NXP I²C 规范中详细介绍的三个公式来设置这些限制。这些公式分别为：

公式 1:

$$R_{PMIN} = (V_{DD(max)} - V_{OL(max)}) / (I_{OL(min)})$$

公式 2:

$$R_{PMAX} = T_R(max) / 0.8473 \times C_B(max)$$

公式 3:

$$R_{PMAX} = V_{DD(min)} - V_{IH(min)} + V_{NH(min)} / I_{IH(max)}$$

公式的参数:

V_{DD} = I²C 总线的额定供电电压

V_{OL} = 总线器件的最大输出低电压

I_{OL} = I²C 规范中的低电平输出电流

T_R = I²C 规范中的总线上升时间

C_B = 每个总线的电容，包含引脚和 PCB 导线

V_{IH} = 所有总线器件的最小高电平输入电压

V_{NH} = I²C 规范中所提供的最小高电平输入噪声容限

I_{IH} = 总线上所有器件的总输入漏电流

由于总线器件最大的低输出电压 (V_{OL}) 规范，供电电压 (V_{DD}) 将限制最小上拉电阻值。更低上拉电阻将使各引脚的电流增加，因此将超过 V_{OH} 的规范。在给定的 V_{DD} 的条件下，公式 1 是使用欧姆定律来确定在电流为 3 mA (对于标准和快速模式) 和 20 mA (对于增强型快速模式) 下满足 V_{OL} 规范的最低电阻。

公式 2 用于确定由总线电容形成的最大上拉电阻。总线的总电容是由总线上的所有引脚、导线和线电容组成的。总线电容越大，符合总线速度规定的由 RC 延迟导致的上升时间所需的上拉电阻会越低。选择超过规范许可的上拉电阻值可能引起时序要求违规，从而导致通信故障。具有 5 个或更少 I²C 器件以及长达 20 厘米的总线线长的几乎所有设计的总线电容均低于 100 pF。

影响到最大上拉电阻值的第二个因素是公式 3 中计算的总线总漏电流。漏电流的主要来源是连接到总线的 I/O 引脚。如果漏电流过高，上拉电阻将难得保持允许的 V_{IH} 平级，这会引起通信故障。对于总线上具有五个或更少的 I²C 器件的设计，总漏电流小于 10 μ A。

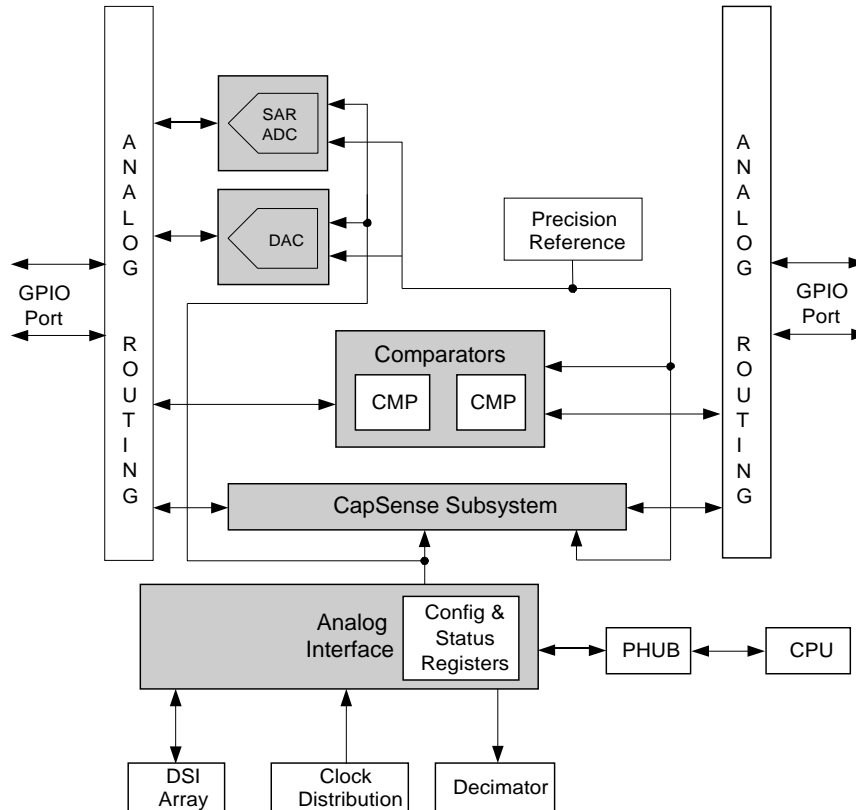
8. 模拟子系统

可编程模拟系统能够针对应用创建标准和高级模拟信号处理模块的组合。这些模块随后将互连，并与器件上的任意引脚相连，从而提供高度的设计灵活性和IP 安全性。下面列出了模拟子系统的功能，以便用户对这些功能和架构有一个大概的了解。

- 模拟全局总线、模拟复用器总线和模拟局部总线提供灵活、可配置的模拟布线架构

- 逐次逼近 (SAR) ADC
- 一个 8 位 DAC，能够提供电压或电流输出
- 两个比较器，可连接到可配置 LUT 输出
- CapSense 子系统，用于使能电容式触摸传感
- 高精度电压参考，用于为内部模拟模块生成精确的模拟电压

图 8-1. 模拟子系统框图



PSoC Creator 软件程序提供了一个易于使用的界面，以便配置 GPIO 与各种模拟资源之间的连接以及从一个模拟资源到另一个模拟资源的连接。PSoC Creator 同样也提供了组件库，借助这些组件库，可以配置各种模拟模块，以执行特定于应用的功能。该工具还能够生成 API 接口库，以便对允许在模拟外设与 CPU/ 存储器之间进行通信的固件进行写操作。

8.1 模拟路由

PSoC 5LP 器件系列拥有灵活的模拟走线架构，能够连接 GPIO 和不同的模拟模块，并可以在不同的模拟模块之间路由信号。这种灵活的路由架构拥有众多优势，其中之一是允许将输入和输出连接动态走线到不同的模拟模块。

有关如何为实现最佳模拟布线来选择引脚的相关信息，请参考应用笔记，[AN58304 — PSoC® 3 与 PSoC® 5 — 模拟设计的引脚选择](#)。

8.1.1 特性

- 灵活、可配置的模拟走线架构
- 16 个模拟全局总线（AG）和两个模拟复用器总线（AMUXBUS），用于连接 GPIO 和模拟模块
- 每个 GPIO 都连接到一个模拟全局总线和两个模拟复用器总线
- 8 个模拟局部总线（ABUS），用于在不同的模拟模块之间布线信号
- 复用器和开关，用于选择模拟模块的输入和输出

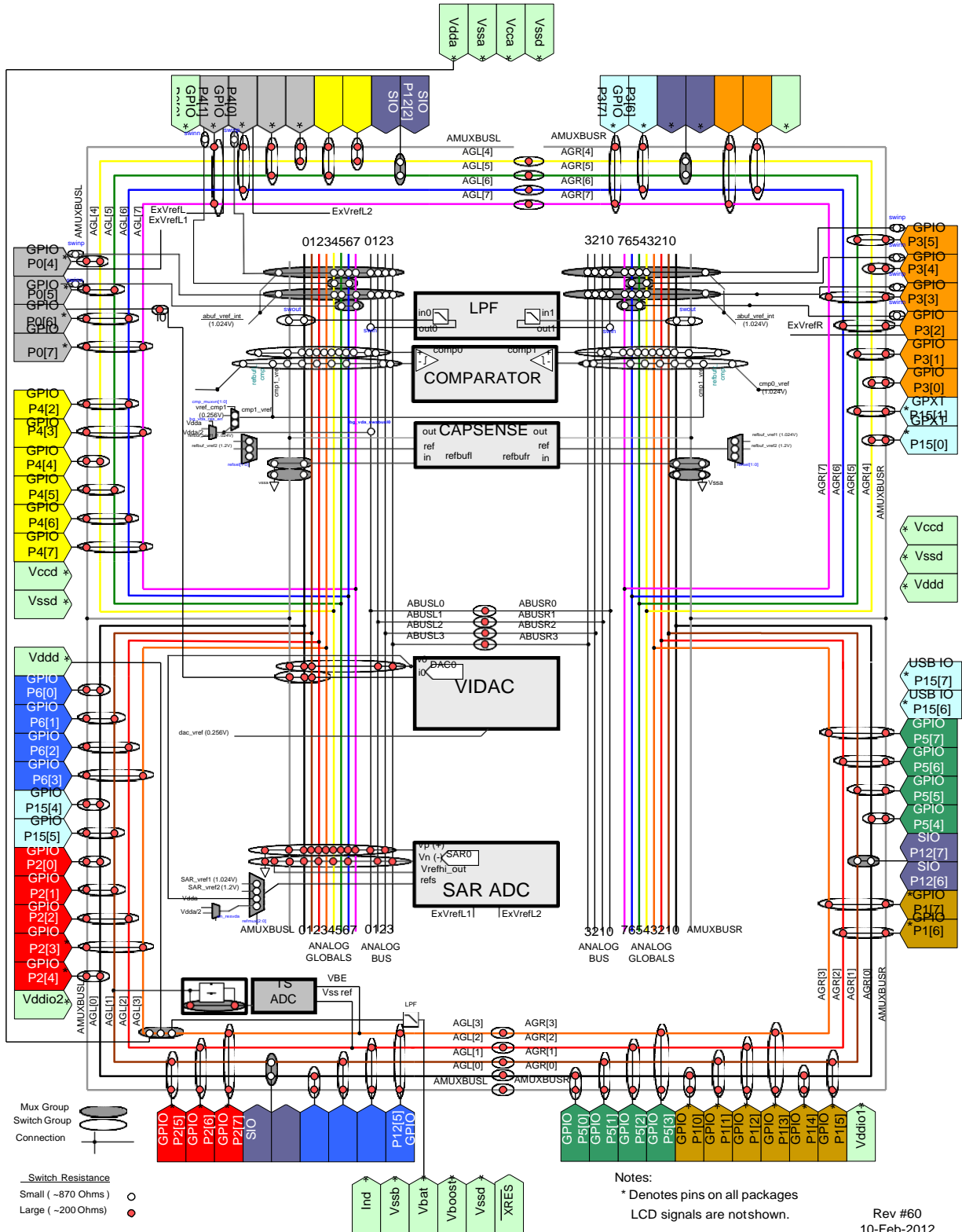
8.1.2 功能说明

模拟全局总线（AG）和模拟复用器总线（AMUXBUS）能够在 GPIO 与各种模拟模块之间提供模拟连接。PSoC 5LP 系列中有 16 个 AG。模拟路由架构分为四个象限，如图 8-2 所示。每个象限拥有四个模拟全局总线（AGL[0..3]、AGL[4..7]、AGR[0..3]、AGR[4..7]）。每个 GPIO 都通过模拟开关连接到相应的模拟全局总线。模拟复用器总线是共享的路由资源，通过模拟开关连接到每个 GPIO。PSoC 5LP 中有两个 AMUXBUS 走线，其中一个在左半部分（AMUXBUSL），另一个在右半部分（AMUXBUSR），如图 8-2 所示。

模拟局部总线（ABUS）是位于模拟子系统内的走线资源，用于在不同的模拟模块之间布线信号。PSoC 5LP 中有 8 个 ABUS 走线，其中 4 个在左半部分（abusl [0:3]），另外 4 个在右半部分（abusr [0:3]），如图 8-2 所示。通过使用 ABUS，在互连模拟模块时可省去模拟全局总线和模拟复用器总线。

复用器和开关位于各种总线上，用于将信号输入和输出模拟模块。复用器在任意时间都只能有一个连接，而开关可以同时有多个连接。在图 8-2 中，复用器用灰色的椭圆形表示，开关用透明的椭圆形表示。

图 8-2. CY8C52LP 模拟互连



为了保留该映像的细节，请使用PDF 显示程序查看或在尺寸为 11" × 17" 的纸张上打印。

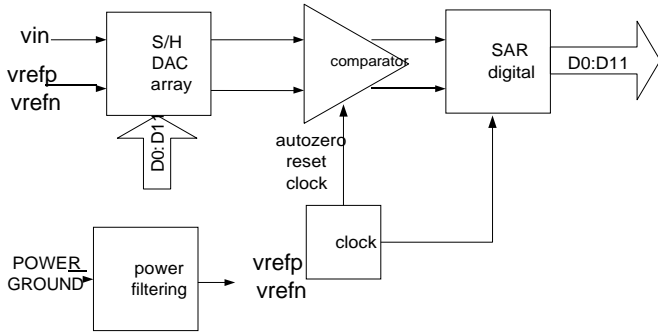
8.2 逐次逼近 ADC

PSoC 5LP 器件系列有一个 SAR ADC。此 ADC 是 12 位的，最高可支持 1 Msps，且具有单端或差分输入，因此适用于广泛的采样和控制应用。

8.2.1 功能说明

在 SAR ADC 中，对模拟输入信号进行采样，并与 DAC 的输出进行比较。对 DAC 应用二进制搜索算法，该算法随后还用于确定从 MSB 到 LSB 的输出位。图 8-3 显示了 SAR ADC 的框图。

图 8-3. SAR ADC 框图



输入连接到模拟全局总线和模拟总线。时钟的频率是采样率的18倍；它的取值范围为 1 到 18 MHz。

8.2.2 转换信号

写起始位或置为帧起始（SOF）信号，即可开始转换。SOF 适用于采样周期长于转换时间或者 ADC 需要与其他硬件同步的应用。此信号是可选的，如果 SAR ADC 采用连续采样模式，则不需要连接此信号。数字时钟或 UDB 输出可用于驱动此输入。当

SAR 首次加电或从任何睡眠模式唤醒时，在其开始第一次转换之前，会有 10 μ s 的加电等待时间。

转换完成后，会设置状态位，输出信号帧结束（EOF）置为有效电平，并且在该值被 DMA 控制器或 CPU 读取之前将一直保持有效电平。EOF 信号可用于触发中断或 DMA 请求。

8.2.3 工作模式

ONE_SHOT 控制位用于将 SAR ADC 转换模式设置为连续转换或每个 SOF 信号执行一次转换。支持对连续样本进行 DMA 传输，而无需 CPU 干预。

8.3 比较器

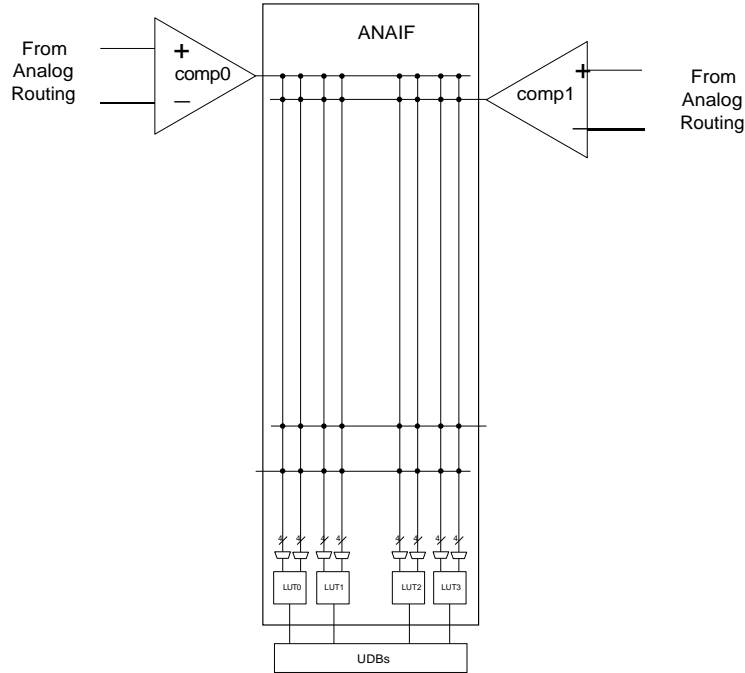
CY8C52LP 系列中的每个器件都包含两个比较器。比较器具有以下特性：

- 输入偏移出厂预设值小于 5 mV
- 轨至轨共模输入范围（ V_{SSA} 到 V_{DDA} ）
- 可使用以下三种模式中的一种在速度和功耗之间进行平衡：快、慢或超低功耗
- 比较器输出可以路由到查询表，以便执行简单的逻辑功能，然后还可以连接到数字模块
- 可以选择使比较器的正向输入通过低通滤波器。提供了两个滤波器
- 比较器输入可以连接到GPIO 或 DAC 输出

8.3.1 输入和输出接口

来自于模拟全局总线、模拟复用器总线、模拟局部总线以及高精度参考电压的信号经过复用器后输入到比较器的正端和负端。每个比较器的输出都可以连接到两个输入LUT 中的任意一个。LUT 的输出连接到 UDB 数字系统接口。

图 8-4. 模拟比较器



8.3.2 LUT

CY8C52LP 器件系列包含两个 LUT。LUT 是一个双输入、单输出的查询表，它由芯片中的任何一个或两个比较器驱动。任何 LUT 的输出都会连接到 UDB 阵列的数字系统接口。这些信号可以从 UDB 阵列的数字系统接口连接到 UDB、DMA 控制器、I/O 或中断控制器。写入寄存器的 LUT 控制字能够设置输出上的逻辑功能。可用的 LUT 功能和相关的控制字如表 8-1 所示。

表 8-1. LUT 功能与编程字和输入

控制字	输出 (A 和 B 都是 LUT 的输入)
0000b	FALSE ('0')
0001b	A AND B
0010b	A AND (NOT B)
0011b	A
0100b	(NOT A) AND B
0101b	B
0110b	A XOR B
0111b	A OR B
1000b	A NOR B
1001b	A XNOR B
1010b	NOT B
1011b	A OR (NOT B)
1100b	NOT A
1101b	(NOT A) OR B
1110b	A NAND B
1111b	TRUE ('1')

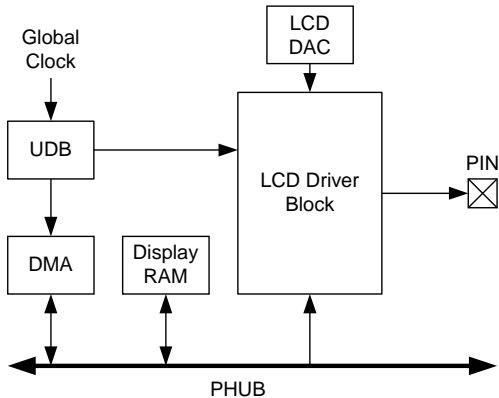
8.4 LCD 直接驱动

PSoC LCD 驱动器系统是一种高度可配置的外设，它能够使 PSoC 直接驱动众多 LCD 显示屏。所有电压都在芯片上生成，从而消除了对外部组件的需求。借助高达 1/16 的复用率，CY8C52LP 系列 LCD 驱动器系统可以驱动多达 736 个段。此外，PSoC LCD 驱动器模块在设计时还充分考虑了便携器件的省电要求，能够采用不同的 LCD 驱动模式和断电模式来达到省电的目的。

PSoC Creator 提供了一个 LCD Segment 驱动组件。借助组件向导，能够轻松且灵活地配置 LCD 资源。您可以指定 segment 引脚和 common 引脚以及其他选项。由于 PSoC 器件是可编程的，因此可以根据必要的规范通过软件对器件进行配置。

PSoC LCD Segment 系统的关键特性包括：

- LCD 显示屏直接驱动
- 支持 A 型（标准）和 B 型（低功耗）波形
- 支持 LCD 显示屏的较宽工作电压范围（2 V 到 5 V）
- 支持静态、1/2、1/3、1/4、1/5 偏置电压电平
- 通过内部电阻梯可生成内部偏置电压
- 总计多达 62 个 common 和 segment 输出
- 高达 1/16 的复用率，最多能够实现 16 个背板 /common 输出
- 多达 62 个前面板 /segment 输出，能够实现直接驱动
- 总计能够驱动多达 736 个 segment（16 个背板 x 46 个前面板）
- 软件控制的对比度多达 64 级
- 能够通过 DMA 将显示数据从存储器缓冲区移至 LCD 驱动器（无需 CPU 的干预）
- 范围为 10 Hz 到 150 Hz 的可调整 LCD 刷新率，
- 能够反转 LCD 显示屏，从而显示负像
- 三种 LCD 驱动器驱动模式，能够优化功耗

图 8-5. LCD 系统


8.4.1 LCDsegment 引脚驱动器

每个 GPIO 引脚都有一个 LCD 驱动器电路。LCD 驱动器能够缓冲 LCD DAC 的相应输出，以便直接驱动 LCD 的显示屏。寄存器设置决定引脚是 common 引脚还是 segment 引脚。然后，引脚的 LCD 驱动器会根据显示数据，选择六种偏置电压中的一种电压来驱动 I/O 引脚。

8.4.2 显示数据流

LCD segment 驱动器系统会读取显示数据，并为 LCD 显示屏生成适当的输出电压，以便产生所需的图像。显示数据会储存在系统 SRAM 的存储器缓冲区中。每次需要更改 common 和 segment 驱动器电压时，下一组像素数据都会通过 DMA 从存储器缓冲区移至端口数据寄存器。

8.4.3 UDB 和 LCD segment 控制

配置 UDB 以生成全局 LCD 控制信号和时钟。这组信号会通过一组专用的 LCD 全局路由通道，布线到每个 LCD 引脚驱动器。除了生成全局 LCD 控制信号以外，UDB 还会生成 DMA 请求，以便启动下一帧 LCD 数据的传输。

8.4.4 LCD DAC

LCD DAC 能够为 LCD 系统生成对比度控制和偏置电压，并能够基于所选的偏置率生成多达五个 LCD 驱动电压和接地电压。偏置电压可根据需要被输出到专用 LCD 偏置总线上的 GPIO 引脚。

8.5 CapSense

CapSense 系统为在触摸感应按键、滑条、接近检测等应用中测量电容提供了一种通用而高效的方式。CapSense 系统使用一组系统资源（包括一些主要供给 CapSense 的硬件功能）。具体的资源使用情况在 PSoC Creator 中的 CapSense 组件内进行了详细说明。

CapSense 系统采用了一种使用 Delta-Sigma 调制器（CSD）的电容式感测方法。使用开关电容技术以及 delta-sigma 调制器来提供电容式感应功能，从而将感应电流转换为数字代码。

8.6 温度传感器

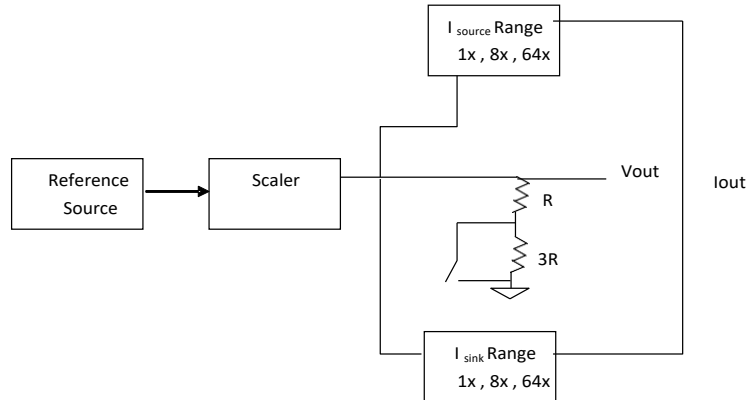
Die 温度用于建立对闪存进行写操作所需的编程参数。Die 温度是使用基于正向偏置晶体管的专用传感器测量得出的。温度传感器有自己的辅助 ADC。

8.7 DAC

CY8C32 器件系列有一个 DAC。该 DAC 为 8 位，可针对电压或电流输出进行配置，并支持 CapSense、电源供电调节以及波形生成。该 DAC 具有以下特性：

- 可在 255 个步长范围内调节的电压或电流输出
- 可编程的步长大小（范围选择）
- 八位校准，能够更正 ±25% 的增益误差
- 针对电流输出的源和接收器选项
- 电流输出的转换速率为 8 Msps
- 电压输出的转换速率为 1 Msps
- 本质上是单调的
- 数据和探针输入可由 CPU 或 DMA 提供，或从 DSI 直接路由
- 高电流模式的专用低电阻输出引脚

图 8-6. DAC 框图



8.7.1 电流 DAC

电流 DAC (IDAC) 可针对以下范围进行配置：0 到 31.875 μ A、0 到 255 μ A，以及 0 到 2.04 mA。IDAC 可配置为源电流或灌电流。

8.7.2 电压 DAC

对于 VDAC，电流 DAC 输出会通过电阻布线。VDAC 可以使用两个范围，即 0 到 1.02 V 以及 0 到 4.08 V。在电压模式下，连接到 DAC 输出的任何负载都应该是纯容性负载（VDAC 的输出不被缓冲）。

9. 编程、调试接口与资源

Cortex-M3 具有内部调试组件，这些组件与 CPU 紧密集成，提供了以下特性：

- JTAG 或 SWD 访问
- 用于实现断点和代码修补的FPB 模块
- 用于实现观察点、触发资源和系统配置的DWT 模块
- 用于指令跟踪的ETM
- 支持 printf 式调试的ITM

PSoC 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。它共有四种接口：JTAG、SWD、SWV 和 TRACEPORT。JTAG 和 SWD 支持器件的所有编程和调试功能。另外，JTAG 还提供标准 JTAG 扫描链路，用于进行板级测试以及将多个 JTAG 器件链接至单个 JTAG 接口。SWV 和 TRACEPORT从DWT、ETM和ITM提供跟踪输出。TRACEPORT

速度较快，但是使用的引脚也较多。SWV 速度较慢，但仅使用一个引脚。

更多有关 PSoC 5 编程的信息，请参考[PSoC 5 器件编程规范](#)。

借助 Cortex-M3 调试和跟踪功能，可以使用标准生产器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

PSoC Creator IDE 软件能够为 PSoC 器件支持全面集成的编程和调试功能。低成本的 MiniProg3 编程器和调试器的目的是与 PSoC Creator IDE 结合使用，为 PSoC 器件提供全面的编程和调试支持。PSoC JTAG、SWD 和 SWV 接口均与工业标准的第三方工具全面兼容。

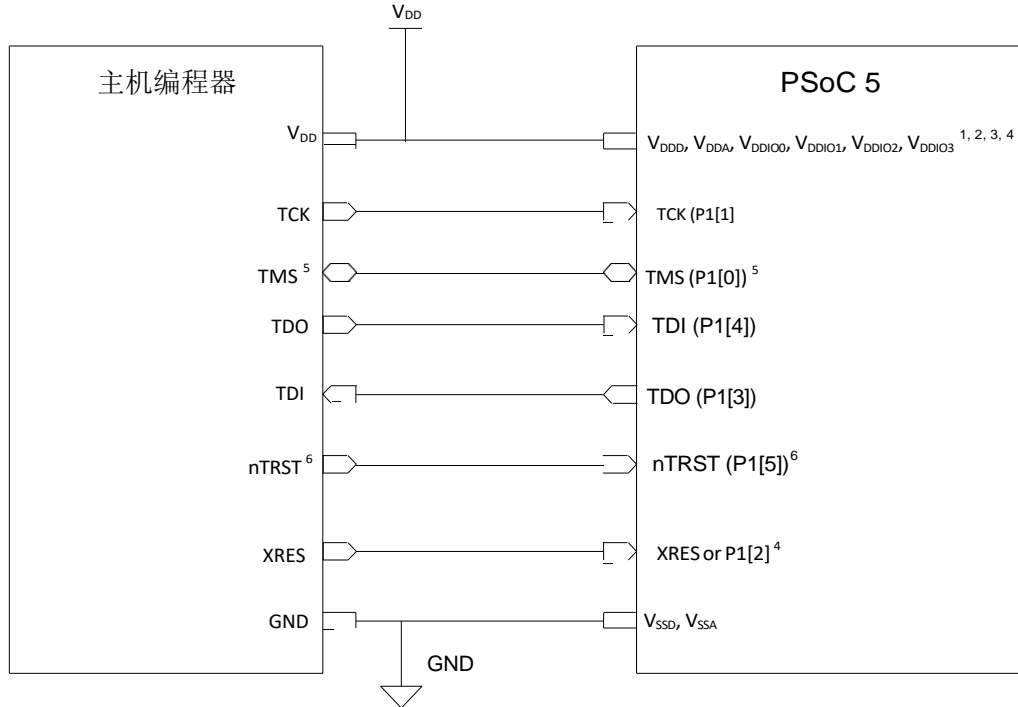
所有 Cortex-M3 调试和跟踪模块在默认情况下都被禁用，并且只能通过固件使能。如果未使能，唯一的重启方法是擦除整个器件，清除闪存保护，然后用对应的新固件对器件进行重新编程。PSoC 器件提供禁用调试和跟踪功能、强大的闪存保护以及隐藏定制模拟和数字功能，因此能实现多芯片应用解决方案不可能达到的安全级别。此外，对于担心恶意重新编程的器件导致欺诈性攻击的应用，可以永久禁用所有器件接口（器件安全）。在大多数应用中，不建议永久禁用接口，因为这样一来，设计人员将无法对器件进行访问。由于在使能器件安全（Device Security）之后，会禁用所有编程、调试和测试接口，因此已使能器件安全的 PSoC 将不能退回以进行失效分析。

9.1 JTAG 接口

符合 IEEE 1149.1 标准的 JTAG 接口位于四个或五个引脚上（nTRST 引脚是可选的）。JTAG 时钟频率最高可以达到以下 3 者中的较小者：12 MHz，或 CPU 时钟频率的 1/3（对于 8 位和

16 位传输），或 CPU 时钟频率的 1/5（对于 32 位传输）。默认情况下，新器件上的 JTAG 引脚处于使能状态，但可以禁用 JTAG 接口，以便将这些引脚作为通用 I/O（GPIO）使用。JTAG 接口用于闪存编程、调试、I/O 扫描链路，以及 JTAG 器件链接。

图 9-1. PSoC 5LP 和编程器之间的 JTAG 接口连接



¹ 主机编程器的电压电平需要位于编程 PSoC 5 时所涉及到的电压范围内。端口 1 JTAG 引脚和 XRES 引脚均由 VDDIO1 供电。因此，PSoC 5 的 VDDIO1 要等于主机的电压电平 VDD。PSoC 5 的其他电压范围（VDD、VDDA、VDDIO0、VDDIO2、VDDIO3）无需等于主机编程器的电压。

² VDDA 必须不小于 PSoC 5 中所有其他电源电压（VDD、VDDIO）。

³ 在电源循环模式下进行编程时，则不需要 XRES 引脚。但是主机编程器必须能够为 PSoC 5 切换电源（VDD、VDDA、所有 VDDIO 的）。通常会需要使用外部接口电路来切换电源，具体情况取决于编程的设置。供电电源可以按照任意序列上电，但稳定后，VDDA 必须不小于所有其他电源。

⁴ 对于 JTAG 编程，通过使用 PSoC 5 的 TMS、TCK、TDI、TDO 引脚并将其写入到特定的寄存器内，也可以复位器件而不需要连接到 XRES 引脚或电源周期模式。但是，NVL 中的 DPS 设置不能等于“Debug Ports Disabled”（调试端口禁用）的设置。

⁵ 除非用户更改了 DPS 设置，否则在默认情况下，PSoC 5 被配置为 4 线 JTAG 模式。因此，TMS 引脚是单向的。但如果 DPS 不被配置为 JTAG 模式，则 JTAG 中的 TMS 引脚是双向的，因为需要使用 SWD 协议才能得到原始的 PSoC 5 器件。从 SWD 模式切换为 JTAG 模式后，TMS 引脚变为单向的。此时，TMS 线上不能使用单向缓冲区。

⁶ 由于默认设置为 4 线 JTAG（nTRST 被禁用），所以首次编程 PSoC 5 期间，不能使用 nTRST JTAG 引脚（P1[5]）来复位 JTAG TAP 控制器。

9.2 SWD 接口

SWD 接口是 JTAG 接口的首选替代接口。该接口只需要两个引脚，而 JTAG 接口需要四个或五个引脚。SWD 能够提供 JTAG 接口的所有编程和调试特性，并且运行速度相同。但 SWD 没有提供对扫描链或器件链路的访问功能。SWD 时钟频率最高可以达到 CPU 时钟频率的 1/3。

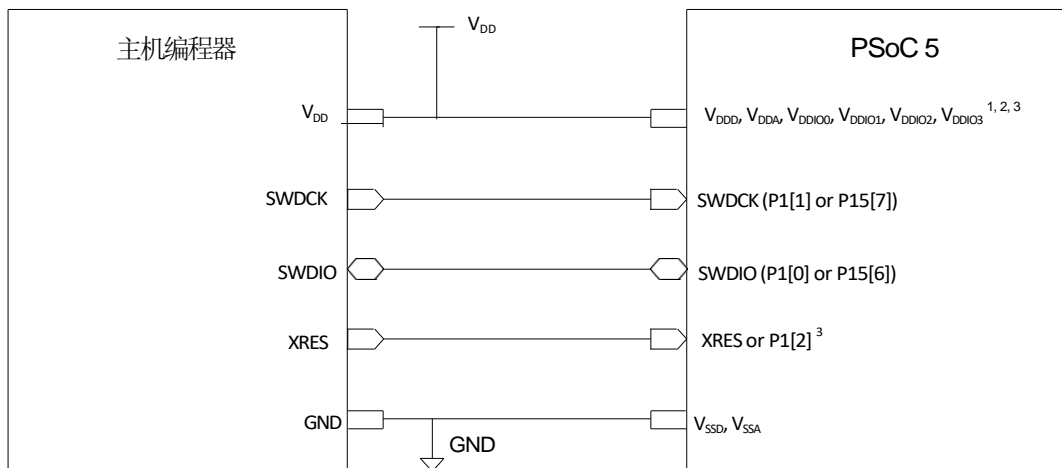
SWD 使用两个引脚，可以是两个 JTAG 引脚（TMS 和 TCK），也可以是 USBIO D+ 和 D- 引脚。USBIO 引脚对于 USB 解决方案的系统编程非常有用，如果没有 USBIO 引脚，则需要使用单独的编程连接器。其中一个引脚用于数据时钟，另一个用于数据输入和输出。

每一次只能在一个引脚对上使能 SWD。引脚对（JTAG 或 USB）必须在复位后的 8 μ s（“关键窗口”时间）内收到一个 1 s 和 0 s 的预定获取序列时，才会使能 SWD。如果 SWD 已经设置好 NVL 锁存器（请参考 [#5.5](#)），那么 JTAG 引脚对将不需实现该序列。一般情况下，必须将获取的序列应用于 USB 引脚对。

SWD 用于调试或编程闪存存储器。

可以通过 JTAG 接口来使能 SWD 接口，也可以禁用 SWD 接口，以便将其引脚作为 GPIO 使用。与 JTAG 接口不同，SWD 接口可以在“关键窗口”时间内随时从任意器件上重新获取。随后，即可用于重新使能 JTAG 接口（如果需要）。将 SWD 或 JTAG 引脚作为标准 GPIO 使用时，请确保 GPIO 功能和 PCB 电路不会对 SWD 和 JTAG 的使用造成干扰。

图 9-2. PSoC 5LP 和编程器之间的 SWD 接口连接



¹ 主机编程器的电压电平需要位于编程 PSoC 5 时所涉及到的电压范围内。XRES 引脚由 VDDIO1 供电。USB SWD 引脚由 VDDIO1 供电。因此，使用 USB SWD 引脚和 XRES 引脚进行编程时，PSoC 5 的 VDD、VDDIO1 要等于主机的电压电平 VDD。PSoC 5 的其他电压（VDDA、VDDIO0、VDDIO2、VDDIO3）无需等于主机编程器的电压。端口 1 SWD 引脚都由 VDDIO1 供电。因此，使用端口 1 SWD 进行编程时，PSoC 5 的 VDDIO1 需要等于主机的 VDD 电压。PSoC 5 的其他电压（VDD、VDDA、VDDIO0、VDDIO2、VDDIO3）无需等于主机编程器的电压。

² VDDA 必需不小于 PSoC 5 中所有其他电源电压（VDD、VDDIO）。

³ 如果在电源循环模式下进行编程，则不需要使用 XRES 引脚。但主机编程器必需能够为 PSoC 5 切换电源（VDD、VDDA、所有 VDDIO 的）。通常需要使用外部接口电路来切换电源，具体情况取决于编程的设置。供电电源可以按照任意序列上电，但稳定后，VDDA 必须不小于所有其他电源电压。

9.3 调试特性

CY8C52LP 支持以下的调试特性：

- 暂停和单步执行 CPU
- 查看并更改 CPU 和外设寄存器，以及RAM 地址
- 六个编程地址断点和两个文字访问断点
- 传送到 CPU 的数据观察点事件
- 从闪存到 SRAM 的修补和重新映射指令
- 全速调试 CPU
- 同 PSoC Creator 和 MiniProg3 编程器和调试器相兼容
- 标准的JTAG 编程和调试接口使得CY8C52LP 能够与其他流行的第三方工具（如 Arm/Keil）兼容

9.4 跟踪特性

支持以下跟踪功能：

- 指令跟踪
- 在访问数据地址、地址范围或数据值时的数据观察点
- 在数据观察点处触发跟踪
- 调试异常触发器
- 代码配置
- 用于测量时钟周期、折叠指令、加载 / 存储操作、睡眠周期、每个指令的周期数、中断开销的计数器
- 中断事件跟踪
- 软件事件监视，“printf” 式的调试

9.5 SWV 和 TRACEPORT 接口

SWV 和 TRACEPORT 接口通过赛普拉斯 MiniProg3 向调试主机，或者向外部跟踪端口分析器提供跟踪数据。5 个引脚的 TRACEPORT 用于快速传输大量跟踪数据流。可以使用单个引脚的 SWV 模式来减少跟踪引脚数量。SWV 与 JTAG 共享引脚。如果调试和跟踪操作同时完成，则SWD 可与SWV 或TRACEPORT 结合使用，或者 JTAG 可与 TRACEPORT 结合使用，如表 9-1 所示。

表 9-1. 调试配置

调试与跟踪配置	GPIO 占用数
所有调试和跟踪均被禁用	0
JTAG	4 或 5
SWD	2
SWV	1
TRACEPORT	5
JTAG + TRACEPORT	9 或 10
SWD + SWV	3
SWD + TRACEPORT	7

9.6 编程功能

JTAG 和 SWD 接口提供全面的编程支持。可以对整个器件进行擦除、编程和验证。设计人员可以通过提高闪存保护级别来保护固件IP。只有在擦除整个器件后，才能重置闪存保护。如果模块的安全设置允许，可以对个别闪存模块进行擦除、编程和验证。

9.7 器件安全性

PSoC 5LP 提供名为器件安全的高级功能。通过该功能可以永久禁用所有测试、编程和调试端口，从而阻止应用程序的外部访问。通过将 32 位密钥（0x50536F43）设置为一次性写锁存器（WOL），可激活器件安全性。

一次性写锁存器是一种非易失性锁存器（NVL）。该单元本身是一个带附加逻辑的 NVL。每个 WOL 器件包含四个字节（32 位）的数据。如果包装器的绝大多数位（32 位中的 28 位）与预定模式（0x50536F43）匹配，则它会输出“1”；如果达不到绝大多数，则会输出“0”。输出为 1 时，一次性写非易失性锁存器会锁定未处于调试和测试模式的部件；此外，它还会永久禁用擦除或更改锁存器内容的功能。由于不需要刻意匹配所有位，因此单个或少数位不匹配不会把 WOL 输出置为无效。晶圆处理后的 NVL 位的状态是完全随机的，不会集中趋向 1 或 0。

只有将正确的 32 位密钥（0x50536F43）加载到 NVL 的易失性存储器中，编程到 NVL 的非易失性单元中，并将部件复位后，WOL 才能锁定部件。WOL 的输出仅在复位时被采样，并用于禁用访问。此预防措施能够防止任何人读、擦除或更改内部存储器的内容。

仅当未设置闪存保护时，您才可以将密钥写入到 WOL 中，从而禁止外部访问（请参见第 18 页上的“闪存安全性”一节）。不过，在设置 WOL 中的值以后，您在部件复位之前仍可以对其进行访问。因此，您可以将密钥写入到 WOL 中，设置闪存保护数据，然后将部件复位以将其锁定。

如果器件受某种 WOL 设置的保护，赛普拉斯将无法执行失效分析，从而无法接受来自客户的 RMA。WOL 可通过串行线调试（SWD）端口来读取，从而以电气方式识别受保护的部件。仅当未设置闪存保护时，您才可以将密钥写入到 WOL 中，从而禁止外部访问。有关如何充分利用 PSoC 安全性特性的详细信息，请参见 PSoC 5 数据参考手册（TRM）。

免责声明

请注意以下与赛普拉斯器件的闪存代码保护功能有关的详细信息。

赛普拉斯产品符合相应的赛普拉斯数据手册中所包含的规范。赛普拉斯坚信，无论如何使用，其产品系列的安全性在目前市场上的同类产品中始终名列前茅。目前可能存在一些赛普拉斯不了解的，能够破坏代码保护功能的方法。据我们所知，任何此类方法都是不正当的，甚至可能是违法的。不只是赛普拉斯，任何其他半导体制造商都无法保证各自代码的安全性。代码保护并非意味着我们保证产品“坚不可摧”。

赛普拉斯非常希望能够与关注其代码完整性的客户通力合作。代码保护技术正在不断发展。持续改进产品的代码保护功能是赛普拉斯的不懈追求。

9.8 CSP 封装 Bootloader

所有具备 CSP 封装的器件都包含一个在工厂安装的 Bootloader 程序。Bootloader 与 PSoC Creator 3.0 Bootloadable 项目文件相兼容，并具有以下特性：

- 基于 I2C
- SCLK 和 SDAT 分别位于 P1[6] 和 P1[7] 引脚上
- 需要使用外部上拉电阻
- I2C 从设备、地址 4、数据速率 = 100 kbps
- 单个应用
- 等待 2 秒后才执行引导加载指令
- 其他 bootloader 选项都是 PSoC Creator 3.0 所设置的 Bootloader 组件的默认值
- 占用闪存底部大小的 9 KB

更多有关 Bootloader 的信息，请查阅以下的赛普拉斯应用笔记：

- AN73854 — PSoC 3 和 PSoC 5 LP Bootloader 简介
 - AN60317 — PSoC 3 和 PSoC 5 LP I2C Bootloader
- 请注意，一个 PSoC Creator Bootloadable 项目必须与一个 Bootloader 项目的 .hex 和 .elf 文件相联系，该 Bootloader 项目已设定为目标器件。“Bootloader .hex”和“.elf”文件可在 www.cypress.com/go/PSoC5LPdatasheet 网站上找到。
- 可以使用 SWD 编程来覆盖工厂安装的 bootloader。

10. 开发支持

CY8C52LP 系列具有一系列丰富的文档、开发工具和在线资源，能够在开发过程中为您提供帮助。要了解更多信息，请访问 psoc.cypress.com/getting-started。

10.1 文档

一套文档，为 CY8C52LP 系列提供支持，确保您可以快速找到问题的答案。本节列出了部分关键文档。

软件用户指南：介绍了有关使用 PSoC Creator 的流程。该指南详细介绍了 PSoC Creator 的构建流程、如何使用 PSoC Creator 的资源控件等信息。

组件数据手册：PSoC 非常灵活，在投入生产很长时间后依然可以创建新的外设（组件）。组件数据手册提供了选择和使用特定组件所需的全部信息，其中包括功能说明、API 文档、示例代码以及交流/直流规范。

应用笔记：PSoC 应用笔记深入讨论了 PSoC 的特定应用，例如无刷直流电机控制和片上滤波。除了应用笔记文档之外，应用笔记通常还包括示例项目。

技术参考手册：利用 PSoC Creator，只需将外设拖放到原理图上，就能完成 PSoC 设计。但是如果需要获得 PSoC 器件的深入细节，请使用技术参考手册（TRM）作为您的指南。

注意：有关 Cortex-M3 CPU 的详细文档，请访问 www.arm.com。

10.2 在线资源

除了印刷文档之外，您还可以随时通过赛普拉斯 PSoC 论坛，与世界各地的 PSoC 用户和专家互相联系。

10.3 工具

CY8C52LP 系列具备行业标准的内核、编程和调试接口，是开发工具体系的组成部分。有关易于使用的创新型 PSoC Creator IDE、所支持的第三方编译器、编程器、调试器和开发工具包的最新信息，请访问我们的网站 www.cypress.com/psoccreator。

11. 电气规范

除非另有说明，否则这些规范的适用条件是： $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ ， $T_J \leq 100\text{ }^{\circ}\text{C}$ ，以及电压范围为 $1.71\text{ V} \sim 5.5\text{ V}$ 。PSoC UDB 和模拟模块具有独特的灵活性，这使得许多功能都可以在 PSoC Creator 组件中实现。有关各个功能的完整直流 / 交流规范，请参考组件数据手册。有关 PSoC Creator 组件的进一步说明，请参考第 38 页上的“外设示例”一节中介绍的内容。

11.1 最大绝对额定值

表 11-1. 最大绝对额定值直流规范 ^[14]

参数	说明	条件	最小值	典型值	最大值	单位
V_{DDA}	相对于 V_{SSA} 的模拟供电电压		-0.5	—	6	V
V_{DDD}	相对于 V_{SSD} 的数字供电电压		-0.5	—	6	V
V_{DDIO}	相对于 V_{SSD} 的 I/O 供电电压		-0.5	—	6	V
V_{CCA}	直接模拟内核电压输入		-0.5	—	1.95	V
V_{CCD}	直接数字内核输入电压		-0.5	—	1.95	V
V_{SSA}	模拟接地电压		$V_{SSD} - 0.5$	—	$V_{SSD} + 0.5$	V
$V_{GPIO}^{[15]}$	GPIO 的直流输入电压	包括由 V_{DDA} 供电并内部路由到引脚的信号。	$V_{SSD} - 0.5$	—	$V_{DDIO} + 0.5$	V
V_{SIO}	SIO 的直流输入电压	输出禁用	$V_{SSD} - 0.5$	—	7	V
		输出使能	$V_{SSD} - 0.5$	—	6	V
V_{IND}	升压器输入端电压		0.5	—	5.5	V
V_{BAT}	升压器供电电压		$V_{SSD} - 0.5$	—	5.5	V
I_{VDDIO}	每个 V_{DDIO} 供电引脚的电流		—	—	100	mA
I_{GPIO}	GPIO 电流		-30	—	41	mA
I_{SIO}	SIO 电流		-49	—	28	mA
I_{USBIO}	USBIO 电流		-56	—	59	mA
LU	闩锁电流 ^[16]		-140	—	140	mA
ESD_{HBM}	静电放电电压	人体模型	2000	—	—	V
ESD_{CDM}	静电放电电压	充电器件模型	500	—	—	V

注释:

14. 在高于表 11-1 中所列的绝对最大值条件下使用可能会给器件造成永久性损害。长期在最大绝对值的条件下使用可能会影响器件的可靠性。最大存放温度是 150°C ，符合 JEDEC JESD22-A103 — 高温存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值，则器件不能正常工作。

15. V_{DDIO} 供电电压必须大于相关 GPIO 引脚上最大的模拟电压。GPIO 引脚上的最大模拟电压 $\leq V_{DDIO} \leq V_{DDA}$

16. 符合或超过 JEDEC 规范 EIA/JESD78 IC 锁存测试。

11.2 器件级规范

除非另有说明，否则这些规范的适用条件是： $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ， $T_J \leq 100^{\circ}\text{C}$ ，以及电压范围为 $1.71\text{ V} \sim 5.5\text{ V}$ 。除非另有说明，否则所有图表中的值均为典型值。

11.2.1 芯片级规范

表 11-2. 直流规范

参数	说明	条件	最小值	典型值	最大值	单位	
V _{DDA}	模拟供电电压和模拟内核电压调节器的输入	模拟内核电压调节器被使能	1.8	—	5.5	V	
V _{DDA}	模拟供电电压（旁路模拟电压调节器）	模拟内核电压调节器被禁用	1.71	1.8	1.89	V	
V _{DDD}	相对于 V _{SSD} 的数字供电电压	数字内核电压调节器被使能	1.8	—	V _{DDA} ^[17]	V	
			—	—	V _{DDA} + 0.1 ^[19]		
V _{DDD}	数字供电电压（旁路数字电压调节器）	数字内核电压调节器被禁用	1.71	1.8	1.89	V	
V _{DDIO} ^[18]	相对于 V _{SSIO} 的 I/O 供电电压		1.71	—	V _{DDA} ^[17]	V	
			—	—	V _{DDA} + 0.1 ^[19]		
V _{CCA}	直接模拟内核电压输入（旁路模拟电压调节器）	模拟内核电压调节器被禁用	1.71	1.8	1.89	V	
V _{CCD}	直接数字内核电压输入（旁路数字电压调节器）	数字内核电压调节器被禁用	1.71	1.8	1.89	V	
活动模式							
I _{DD} ^[20]	数字和模拟电流的总和：I _{DDD} + I _{DDA} 。不包含 I/O 的 I _{DDIOX} 。使能了 IMO、总线时钟和 CPU 时钟。CPU 执行闪存中的复杂程序	V _{DDX} = 2.7 V 至 5.5 V ； F _{CPU} = 3 MHz ^[21]	T = -40 °C	—	1.9	3.8	mA
			T = 25 °C	—	1.9	3.8	
			T = 85 °C	—	2	3.8	
		V _{DDX} = 2.7 至 5.5 V ； F _{CPU} = 6 MHz	T = -40 °C	—	3.1	5	
			T = 25 °C	—	3.1	5	
			T = 85 °C	—	3.2	5	
		V _{DDX} = 2.7 V 至 5.5 V ； F _{CPU} = 12 MHz ^[21]	T = -40 °C	—	5.4	7	
			T = 25 °C	—	5.4	7	
			T = 85 °C	—	5.6	7	
		V _{DDX} = 2.7 V 至 5.5 V ； F _{CPU} = 24 MHz ^[21]	T = -40 °C	—	8.9	10.5	
			T = 25 °C	—	8.9	10.5	
			T = 85 °C	—	9.1	10.5	
		V _{DDX} = 2.7 V 至 5.5 V ； F _{CPU} = 48 MHz ^[21]	T = -40 °C	—	15.5	17	
			T = 25 °C	—	15.4	17	
			T = 85 °C	—	15.7	17	
		V _{DDX} = 2.7 V 至 5.5 V ； F _{CPU} = 62 MHz	T = -40 °C	—	18	19.5	
			T = 25 °C	—	18	19.5	
			T = 85 °C	—	18.5	19.5	
		V _{DDX} = 2.7 V 至 5.5 V ； F _{CPU} = 74 MHz	T = -40 °C	—	26.5	30	
			T = 25 °C	—	26.5	30	
			T = 85 °C	—	27	30	
		V _{DDX} = 2.7 V 至 5.5 V ； F _{CPU} = 80 MHz， IMO = 3 MHz（使用 PLL 时钟源）	T = -40 °C	—	22	25.5	
			T = 25 °C	—	22	25.5	
			T = 85 °C	—	22.5	25.5	

注释：

17. 供电电源可以任意序列上电，但稳定之后， V_{DDA} 必须大于或等于所有其他电源。
18. V_{DDIO} 供电电压必须大于关联的 GPIO 引脚上的最大模拟电压。GPIO 引脚上的最大电压 $\leq V_{DDIO} \leq V_{DDA}$ 。
19. 由设计保证，未经过生产测试。
20. 对于仅在已编程逻辑模块中实现的附加外设，其电流消耗可以在它们各自的数据手册（位于集成设计环境 PSoC Creator 中）中查到。可以从设备数据手册和组件数据手册中查找相应频率下的 CPU 电流，然后加上特定系统的外设电流，这样便可以估算出总电流。
21. 基于器件特性（未经过生产测试）。

表 11-2. 直流规范 (续)

参数	说明	条件	最小值	典型值	最大值	单位	
I _{DD} ^[22]	睡眠模式 ^[23]						
	CPU = 关闭 RTC = 开启（= ECO32K 开启，处于低功耗模式） 睡眠定时器 = 开启（= ILO 开启，频率为 1 kHz） ^[24] WDT = 关闭 I ² C 唤醒 = 关闭 比较器 = 关闭 POR = 开启 升压 = 关闭 SIO 引脚处于“单端输入、非稳压输出”模式	V _{DD} = V _{DDIO} = 4.5 – 5.5 V	T = –40 °C	–	1.9	3.1	μA
			T = 25 °C	–	2.4	3.6	
			T = 85 °C	–	5	16	
		V _{DD} = V _{DDIO} = 2.7 ~ 3.6 V	T = –40 °C	–	1.7	3.1	
			T = 25 °C	–	2	3.6	
			T = 85 °C	–	4.2	16	
		V _{DD} = V _{DDIO} = 1.71 ~ 1.95 V	T = –40 °C	–	1.6	3.1	
			T = 25 °C	–	1.9	3.6	
			T = 85 °C	–	4.2	16	
	比较器 = 开启 CPU = 关闭 RTC = 关闭 睡眠定时器 = 关闭 WDT = 关闭 I2C 唤醒 = 关闭 POR = 开启 升压 = 关闭 SIO 引脚处于“单端输入、非稳压输出”模式	V _{DD} = V _{DDIO} = 2.7–3.6 V ^[25]	T = 25 °C	–	3	4.2	μA
	I2C 唤醒 = 开启 CPU = 关闭 RTC = 关闭 睡眠定时器 = 关闭 WDT = 关闭 比较器 = 关闭 POR = 开启 升压 = 关闭 SIO 引脚处于“单端输入、非稳压输出”模式	V _{DD} = V _{DDIO} = 2.7–3.6 V ^[25]	T = 25 °C	–	1.7	3.6	μA
休眠模式							
	休眠模式电流 所有电压调节器和振荡器均被关闭。 SRAM 保持数据 GPIO 中断处于活动状态 升压 = 关闭 SIO 引脚处于“单端输入、非稳压输出”模式	V _{DD} = V _{DDIO} = 4.5 ~ 5.5 V	T = –40 °C	–	0.2	2	μA
			T = 25 °C	–	0.24	2	
			T = 85 °C	–	2.6	15	
		V _{DD} = V _{DDIO} = 2.7 ~ 3.6 V	T = –40 °C	–	0.11	2	
			T = 25 °C	–	0.3	2	
			T = 85 °C	–	2	15	
		V _{DD} = V _{DDIO} = 1.71 ~ 1.95 V	T = –40 °C	–	0.9	2	
			T = 25 °C	–	0.11	2	
			T = 85 °C	–	1.8	15	
I _{DDAR} ^[25]	器件复位时的模拟电流消耗	V _{DDA} ≤ 3.6 V		–	0.3	0.6	mA
		V _{DDA} > 3.6 V		–	1.4	3.3	mA
I _{DDDR} ^[25]	器件复位时的数字电流消耗	V _{DDD} ≤ 3.6 V		–	1.1	3.1	mA
		V _{DDD} > 3.6 V		–	0.7	3.1	mA
I _{DD_PROG} ^[25]	器件编程时的电流消耗。数字、模拟以及 I/O 的总电流：I _{DDD} + I _{DDA} + I _{DDIOX}			–	15	21	mA

注释:

22. 对于仅在已编程逻辑模块中实现的附加外设, 其电流消耗可以在其各自的数据手册 (位于集成设计环境 PSoC Creator 中) 查到。可以从设备数据手册和组件数据手册中查找相应频率下的 CPU 电流, 然后再加上特定系统的外设电流, 这样便可以估算出总电流。

23. 如果对 V_{CCD} 和 V_{CCA} 进行外部稳压调节, 则 V_{CCD} 与 V_{CCA} 之间的电压差必须小于 50 mV。

24. 睡眠定时器会生成定期中断, 以便唤醒 CPU。此规范仅适用于 CPU 处于关闭状态的时间段。

25. 基于器件的特性 (未经过生产测试)。USBIO 引脚已接地 (VSSD)。

图 11-1. 活动模式电流与 F_{CPU} , $V_{DD} = 3.3\text{ V}$, 温度 = 25°C 的关系图

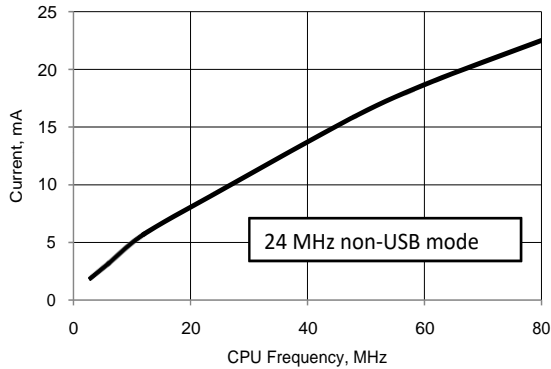


图 11-2. 25°C 时的 I_{DD} 和频率

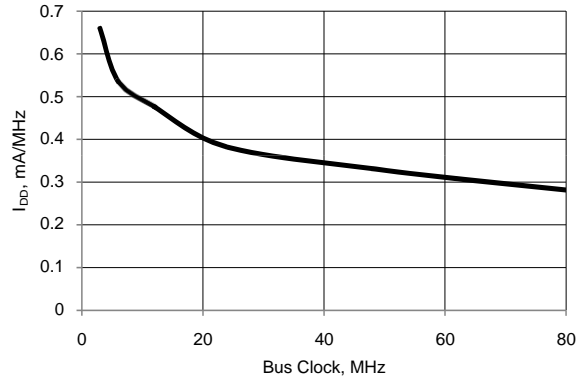


图 11-3. 活动模式电流与温度和 F_{CPU} , $V_{DD} = 3.3\text{ V}$ 的关系图

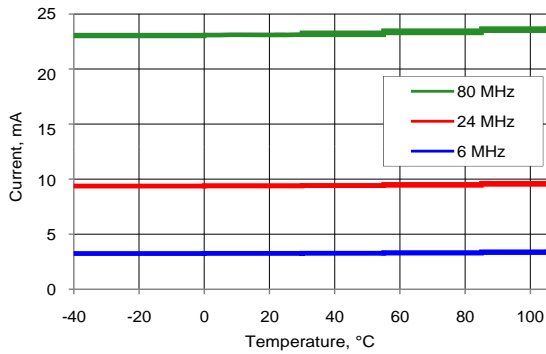


图 11-4. 活动模式电流与 V_{DD} 和温度, $F_{CPU} = 24\text{ MHz}$ 的关系图

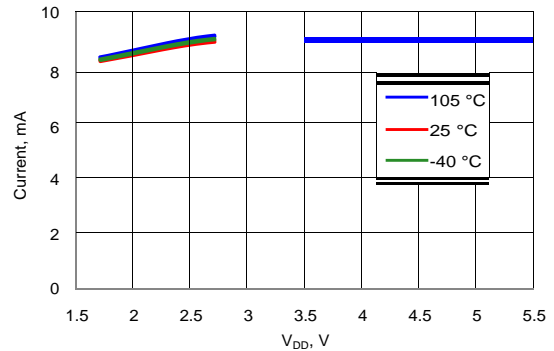


表 11-3. 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F_{CPU}	CPU 频率	$1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	DC	—	80.01	MHz
F_{BUSCLK}	总线频率	$1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	DC	—	80.01	MHz
S_{VDD}	V_{DD} 升降速率		—	—	0.066	V/ μs
$T_{IO_INIT}^{[26]}$	从 $V_{DD}/V_{DDA}/V_{CCD}/V_{CCA} \geq IPOR$ 电压到 I/O 端口被设为复位状态的时间		—	—	10	μs
$T_{STARTUP}^{[26]}$	从 $V_{DD}/V_{DDA}/V_{CCD}/V_{CCA} \geq PRES$ 电压到 CPU 执行复位向量处的代码的时间	V_{CCA}/V_{DDA} = 从 V_{DDA}/V_{DD} 进行稳压调节后的电压, 不使用 PLL, 快速 IMO 引导模式 (典型值为 48 MHz)	—	—	33	μs
		V_{CCA}/V_{CCD} = 从 V_{DDA}/V_{DD} 进行稳压调节后的电压, 不使用 PLL, IMO 引导模式 (典型值为 12 MHz)	—	—	66	μs
$T_{SLEEP}^{[26]}$	从睡眠模式唤醒 — 发生非 LVD 中断到开始执行下一条 CPU 指令的时间		—	—	25	μs
$T_{HIBERNATE}^{[26]}$	从休眠模式唤醒 — 发生外部中断到开始执行下一条 CPU 指令的时间		—	—	150	μs

注释:

26. 基于器件特性 (未经过生产测试)。

11.3 电源调节器

除非另有说明，否则这些规范的适用条件是： $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ， $T_J \leq 100^{\circ}\text{C}$ ，以及电压范围为 $1.71\text{ V} \sim 5.5\text{ V}$ 。

11.3.1 数字系统内核电压调节器

表 11-4. 数字内核电压调节器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{DDD}	输入电压		1.8	—	5.5	V
V_{CCD}	输出电压		—	1.80	—	V
	电压调节器输出电容	$\pm 10\%$ ，X5R 陶瓷或性能更好的电容。两个 V_{CCD} 引脚必须短接相连，并且它们之间的走线越短越好，请参见第 25 页上的供电系统	0.9	1	1.1	μF

图 11-5. 模拟系统和数字系统电压调节器， V_{CC} 与 V_{DD} ，10 mA 负载

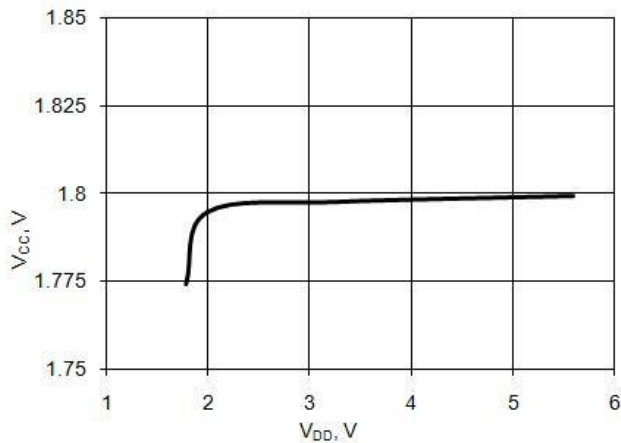
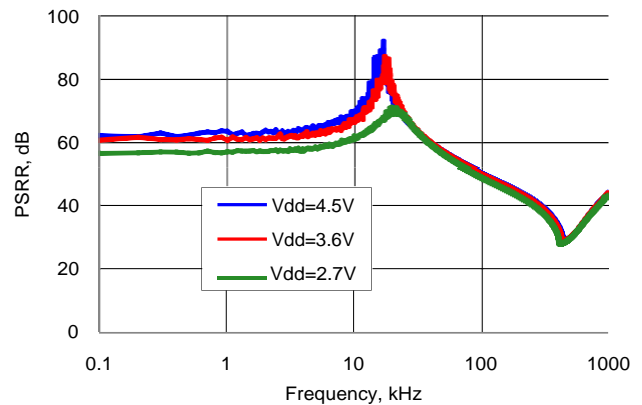


图 11-6. 数字系统电压调节器 PSRR 与频率和 V_{DD} 的关系图

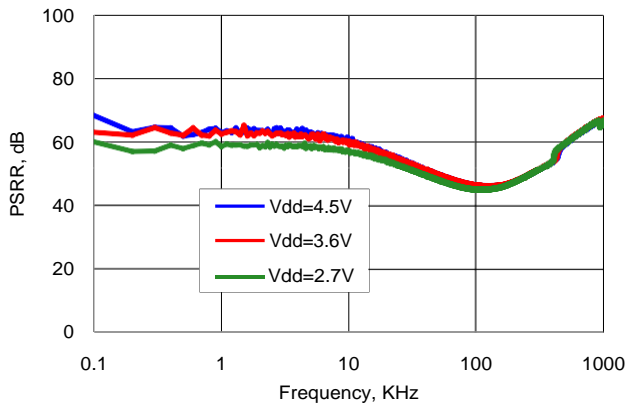


11.3.2 模拟系统内核电压调节器

表 11-5. 模拟内核电压调节器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{DDA}	输入电压		1.8	—	5.5	V
V_{CCA}	输出电压		—	1.80	—	V
	电压调节器输出电容	$\pm 10\%$ ，X5R 陶瓷或性能更好的电容	—	1	—	μF

图 11-7. 模拟系统电压调节器 PSRR 与频率和 V_{DD} 的关系图



11.3.3 感应升压调节器

除非另有说明，否则这些规范的工作条件是： $V_{BAT} = 0.5\text{ V} \sim 3.6\text{ V}$ ， $V_{OUT} = 1.8\text{ V} \sim 5.0\text{ V}$ ， $I_{OUT} = 0\text{ mA} \sim 50\text{ mA}$ ， $L_{BOOST} = 4.7\text{ }\mu\text{H} \sim 22\text{ }\mu\text{H}$ ， $C_{BOOST} = 22\text{ }\mu\text{F} \parallel 3 \times 1.0\text{ }\mu\text{F} \parallel 3 \times 0.1\text{ }\mu\text{F}$ ， $C_{BAT} = 22\text{ }\mu\text{F}$ ， $I_F = 1.0\text{ A}$ （除 99-ball WLCSP 封装外）。有关 99-ball WLCSP 封装中采用升压功能的信息，请联系赛普拉斯以得到支持。除非另有说明，否则所有图表中的值均为典型值。

表 11-6. 电感升压调节器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{OUT}	升压器输出电压 ^[27]	在 BOOST_CR0 寄存器中， $vsel = 1.8\text{ V}$	1.71	1.8	1.89	V
		在 BOOST_CR0 寄存器中， $vsel = 1.9\text{ V}$	1.81	1.90	2.00	V
		在 BOOST_CR0 寄存器中， $vsel = 2.0\text{ V}$	1.90	2.00	2.10	V
		在 BOOST_CR0 寄存器中， $vsel = 2.4\text{ V}$	2.16	2.40	2.64	V
		在 BOOST_CR0 寄存器中， $vsel = 2.7\text{ V}$	2.43	2.70	2.97	V
		在 BOOST_CR0 寄存器中， $vsel = 3.0\text{ V}$	2.70	3.00	3.30	V
		在 BOOST_CR0 寄存器中， $vsel = 3.3\text{ V}$	2.97	3.30	3.63	V
		在 BOOST_CR0 寄存器中， $vsel = 3.6\text{ V}$	3.24	3.60	3.96	V
V_{BAT}	升压器输入电压 ^[28]	$I_{OUT} = 0\text{ mA} \sim 5\text{ mA}$ $vsel = 1.8\text{ V} \sim 2.0\text{ V}$, $T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	0.5	—	0.8	V
		$I_{OUT} = 0\text{ mA} \sim 25\text{ mA}$ $vsel = 1.8\text{ V} \sim 5.0\text{ V}$ ^[29] , $T_A = -10^\circ\text{C} \sim 85^\circ\text{C}$	1.6	—	3.6	V
		$I_{OUT} = 0\text{ mA} \sim 25\text{ mA}$ $vsel = 1.8\text{ V} \sim 2.7\text{ V}$, $T_A = -10^\circ\text{C} \sim 85^\circ\text{C}$	0.8	—	1.6	V
		$I_{OUT} = 0\text{ mA} \sim 50\text{ mA}$ $vsel = 1.8\text{ V} \sim 3.3\text{ V}$ ^[29] , $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	1.8	—	2.5	V
			1.3	—	2.5	V
			2.5	—	3.6	V
I_{OUT}	输出电流	$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$ $V_{BAT} = 0.5\text{ V} \sim 0.8\text{ V}$	0	—	5	mA
		$T_A = -10^\circ\text{C} \sim 85^\circ\text{C}$ $V_{BAT} = 1.6\text{ V} \sim 3.6\text{ V}$	0	—	15	mA
			0	—	25	mA
			0	—	50	mA
			0	—	50	mA
		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ $V_{BAT} = 1.8\text{ V} \sim 2.5\text{ V}$	0	—	50	mA
I_{LPK}	电感峰值电流		—	—	700	mA
I_Q	静态电流	升压活动模式	—	250	—	μA
		升压睡眠模式， $I_{OUT} < 1\text{ }\mu\text{A}$	—	25	—	μA
Reg_{LOAD}	负载调节		—	—	10	%
Reg_{LINE}	线路调节		—	—	10	%

注释：

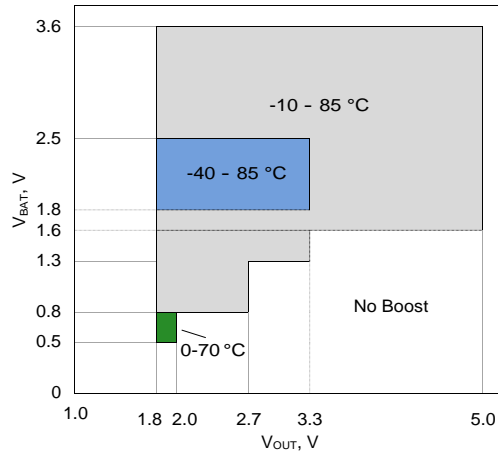
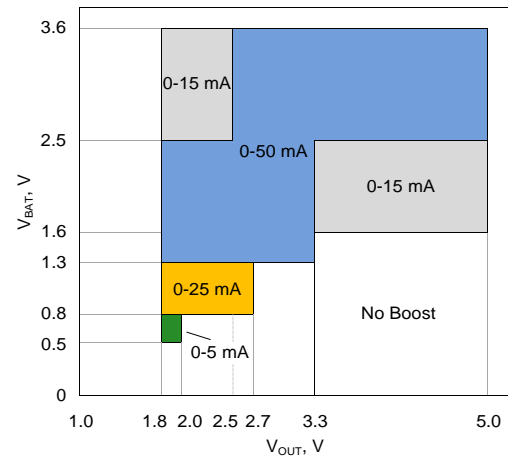
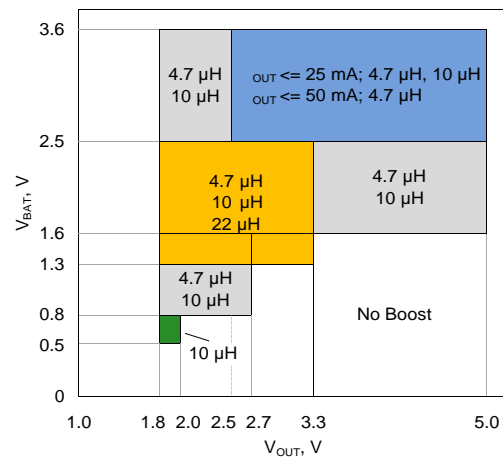
27. 列出的 $vsel$ 选项被特性化。其他 $vsel$ 选项均有效，并由设计保证。

28. 在所有有效的 V_{BAT} 条件下（包括 V_{BAT} 下降至 0.5 V ），升压器会启动。

29. 如果 V_{BAT} 大于或等于 V_{OUT} 升压设置，那么由于升压电路中的电阻损耗， V_{OUT} 将小于 V_{BAT} 。

表 11-7. 推荐的升压电路外部组件

参数	说明	条件	最小值	典型值	最大值	单位
L_{BOOST}	升压电感	额定值为 4.7 μH	3.7	4.7	5.7	μH
		额定值为 10 μH	8.0	10.0	12.0	μH
		额定值为 22 μH	17.0	22.0	27.0	μH
C_{BOOST}	V_{DDD} 、 V_{DDA} 、 V_{DDIO} 的电容总和 ^[30]		17.0	26.0	31.0	μF
C_{BAT}	电池滤波电容		17.0	22.0	27.0	μF
I_{F}	肖特基二极管的正向电流平均值		1.0	—	—	A
V_{R}	肖特基反向电压		20.0	—	—	V

图 11-8. T_{A} 、 V_{BAT} 和 V_{OUT} 的关系图

图 11-9. I_{OUT} 、 V_{BAT} 和 V_{OUT} 的关系图

图 11-10. L_{BOOST} 、 V_{BAT} 和 V_{OUT} 的关系图

注释:

30. 基于器件的特性（未经过生产测试）。

图 11-11. 效率与 V_{BAT} 、 $L_{BOOST} = 4.7 \mu H$ ^[31] 的关系图

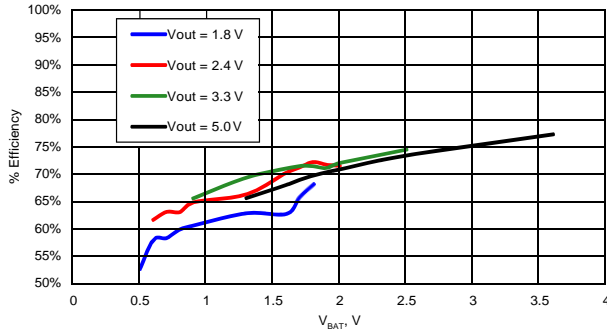


图 11-12. 效率与 V_{BAT} 、 $L_{BOOST} = 10 \mu H$ ^[31] 的关系图

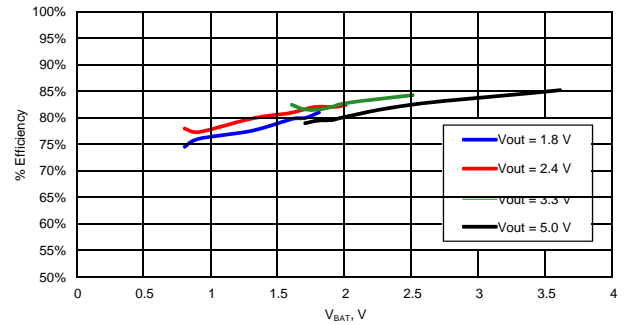


图 11-13. 效率与 V_{BAT} 、 $L_{BOOST} = 22 \mu H$ ^[31]

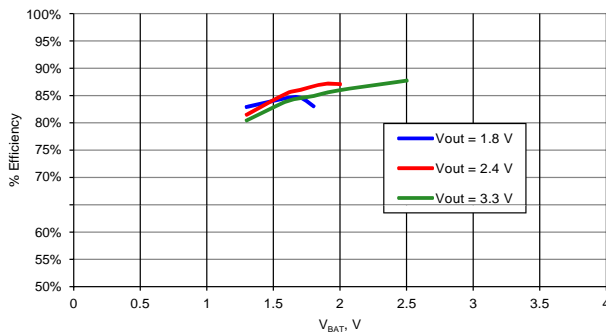
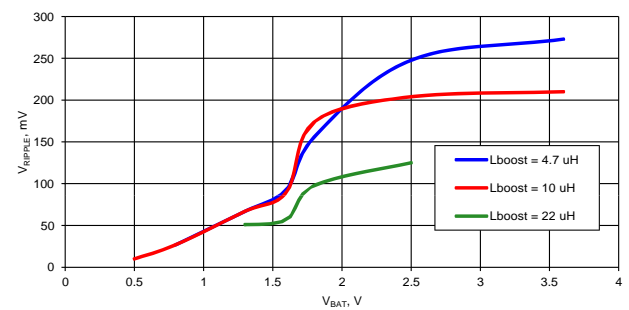


图 11-14. V_{RIPPLE} 与 V_{BAT} ^[31]



注释:

31. 典型示例。根据外部组件的选择、PCB 布局以及其它设计参数的不同，实际的值也不一样。

11.4 输入和输出

除非另有说明，否则这些规范的适用条件是： $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ ， $T_J \leq 100\text{ }^{\circ}\text{C}$ ，以及电压范围为 $1.71\text{ V} \sim 5.5\text{ V}$ 。除非另有说明，否则所有图表中的值均为典型值。

当电源斜升时，引脚电压不确定，直到 V_{DDIO} 和 V_{DDA} 都达到IPOR电压为止 (该电压可高达1.45 V)。这时，引脚更改为其正常的NVL设置。

11.4.1 GPIO

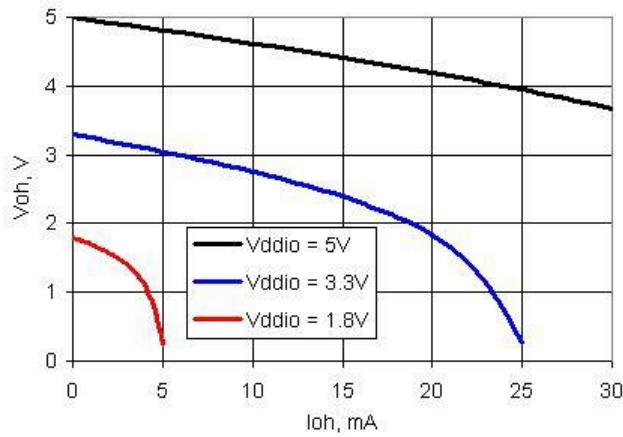
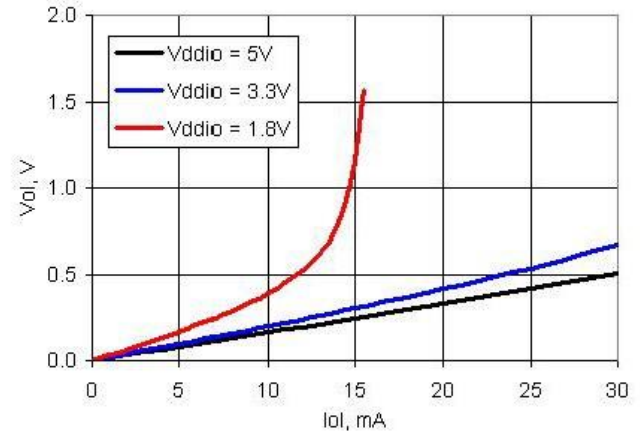
表 11-8. GPIO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平阈值	CMOS 输入, $PRT[x]CTL = 0$	$0.7 \times V_{DDIO}$	—	—	V
V_{IL}	输入低电平阈值	CMOS 输入, $PRT[x]CTL = 0$	—	—	$0.3 \times V_{DDIO}$	V
V_{IH}	输入高电平阈值	LVTTL 输入, $PRT[x]CTL = 1$, $V_{DDIO} < 2.7\text{ V}$	$0.7 \times V_{DDIO}$	—	—	V
V_{IH}	输入高电平阈值	LVTTL 输入, $PRT[x]CTL = 1$, $V_{DDIO} \geq 2.7\text{ V}$	2.0	—	—	V
V_{IL}	输入低电平阈值	LVTTL 输入, $PRT[x]CTL = 1$, $V_{DDIO} < 2.7\text{ V}$	—	—	$0.3 \times V_{DDIO}$	V
V_{IL}	输入低电平阈值	LVTTL 输入, $PRT[x]CTL = 1$, $V_{DDIO} \geq 2.7\text{ V}$	—	—	0.8	V
V_{OH}	输出高电平电压	$V_{DDIO} = 3.3\text{ V}$ 时, $I_{OH} = 4\text{ mA}$	$V_{DDIO} - 0.6$	—	—	V
		$V_{DDIO} = 1.8\text{ V}$ 时, $I_{OH} = 1\text{ mA}$	$V_{DDIO} - 0.5$	—	—	V
V_{OL}	输出低电平电压	$V_{DDIO} = 3.3\text{ V}$ 时, $I_{OL} = 8\text{ mA}$	—	—	0.6	V
		$V_{DDIO} = 3.3\text{ V}$ 时, $I_{OL} = 3\text{ mA}$	—	—	0.4	V
		$V_{DDIO} = 1.8\text{ V}$ 时, $I_{OL} = 4\text{ mA}$	—	—	0.6	V
Rpullup	上拉电阻		3.5	5.6	8.5	k Ω
Rpulldown	下拉电阻		3.5	5.6	8.5	k Ω
I_{IL}	输入漏电流 (绝对值) [32]	$25\text{ }^{\circ}\text{C}$, $V_{DDIO} = 3.0\text{ V}$	—	—	2	nA
C_{IN}	输入电容[32]	P0.0、P0.1、P0.2、P3.6、P3.7	—	17	20	pF
		P0.3、P0.4、P3.0、P3.1、P3.2	—	10	15	pF
		P0.6、P0.7、P15.0、P15.6、P15.7[33]	—	7	12	pF
		所有其他 GPIO	—	5	9	pF
V_H	输入电压迟滞 (施密特触发器) [32]		—	40	—	mV
I_{diode}	通过保护二极管到达 V_{DDIO} 和 V_{SSIO} 的导通电流		—	—	100	μA
Rglobal	连接到模拟全局总线的电阻引脚	$25\text{ }^{\circ}\text{C}$, $V_{DDIO} = 3.0\text{ V}$	—	320	—	Ω
Rmux	连接到模拟复用器总线的电阻引脚	$25\text{ }^{\circ}\text{C}$, $V_{DDIO} = 3.0\text{ V}$	—	220	—	Ω

注释:

32. 基于器件特性 (未经过生产测试)。

33. 有关 PSoC 振荡器的设计信息, 请参考应用手册 AN54439 — PSoC® 3 和 PSoC 5 外部振荡器。

图 11-15. GPIO 输出高电平和电流

图 11-16. GPIO 输出低电平和电流

表 11-9. GPIO 交流规范 [34]

参数	说明	条件	最小值	典型值	最大值	单位
TriseF	快速强驱动模式下的上升时间	$V_{DDIO} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$	—	—	6	ns
TfallF	快速强驱动模式下的下降时间	$V_{DDIO} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$	—	—	6	ns
TriseS	低速强驱动模式下的上升时间	$V_{DDIO} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$	—	—	60	ns
TfallS	低速强驱动模式下的下降时间	$V_{DDIO} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$	—	—	60	ns
Fgpioout	GPIO 输出的工作频率					
	$2.7\text{ V} \leq V_{DDIO} \leq 5.5\text{ V}$, 快速强驱动模式	$90/10\% V_{DDIO}$, $C_{load} = 25\text{ pF}$	—	—	33	MHz
	$1.71\text{ V} \leq V_{DDIO} < 2.7\text{ V}$, 快速强驱动模式	$90/10\% V_{DDIO}$, $C_{load} = 25\text{ pF}$	—	—	20	MHz
	$3.3\text{ V} \leq V_{DDIO} \leq 5.5\text{ V}$, 低速强驱动模式	$90/10\% V_{DDIO}$, $C_{load} = 25\text{ pF}$	—	—	7	MHz
	$1.71\text{ V} \leq V_{DDIO} < 3.3\text{ V}$, 低速强驱动模式	$90/10\% V_{DDIO}$, $C_{load} = 25\text{ pF}$	—	—	3.5	MHz
Fgpioin	GPIO 输入的工作频率	$90/10\% V_{DDIO}$	—	—	33	MHz

注释:

34. 基于器件的特性（未经过生产测试）。

11.42 SIO

表 11-10. SIO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V _{inmax}	最大输入电压	有关V _{DDIO} 和V _{ddd} 的所有容许值, 请参见 节 11.1	–	–	5.5	V
V _{inref}	输入参考电压 (差分输入模式)		0.5	–	0.52 × V _{DDIO}	V
V _{outref}	输出参考电压 (稳压输出模式)					
		V _{DDIO} > 3.7	1	–	V _{DDIO} – 1	V
		V _{DDIO} < 3.7	1	–	V _{DDIO} – 0.5	V
V _{IH}	输入高电平阈值					
	GPIO 模式	CMOS 输入	0.7 × V _{DDIO}	–	–	V
	差分输入模式 ^[35]	禁用迟滞	SIO_ref + 0.2	–	–	V
V _{IL}	输入低电平阈值					
	GPIO 模式	CMOS 输入	–	–	0.3 × V _{DDIO}	V
	差分输入模式 ^[35]	禁用迟滞	–	–	SIO_ref – 0.2	V
V _{OH}	输出高电平电压					
	非稳压模式	I _{OH} = 4 mA, V _{DDIO} = 3.3 V	V _{DDIO} – 0.4	–	–	V
	稳压模式 ^[35]	I _{OH} = 1 mA	SIO_ref – 0.65	–	SIO_ref + 0.2	V
		I _{OH} = 0.1 mA	SIO_ref – 0.3	–	SIO_ref + 0.2	V
		无负载, I _{OH} = 0	SIO_ref – 0.1	–	SIO_ref + 0.1	V
V _{OL}	输出低电平电压	V _{DDIO} = 3.30 V, I _{OL} = 25 mA	–	–	0.8	V
		V _{DDIO} = 3.30 V, I _{OL} = 20 mA	–	–	0.4	V
		V _{DDIO} = 1.80 V, I _{OL} = 4 mA	–	–	0.4	V
R _{pullup}	上拉电阻		3.5	5.6	8.5	kΩ
R _{pulldown}	下拉电阻		3.5	5.6	8.5	kΩ
I _{IL}	输入漏电流 (绝对值) ^[36]					
	V _{IH} ≤ V _{DDIO}	25 °C, V _{DDIO} = 3.0 V, V _{IH} = 3.0 V	–	–	14	nA
	V _{IH} > V _{DDIO}	25 °C, V _{DDIO} = 0 V, V _{IH} = 3.0 V	–	–	10	μA
C _{IN}	输入电容 ³⁶		–	–	9	pF
V _H	输入电压迟滞 (施密特触发器) ^[36]	单端模式 (GPIO 模式)	–	115	–	mV
		差分模式	–	50	–	mV
I _{diode}	通过保护二极管到达 V _{SSIO} 的导通电流		–	–	100	μA

注释:

35. 有关 SIO 参考电压的更多信息, 请参见第 33 页上的图 6-10 和第 37 页上的图 6-13。

36. 基于器件的特性 (未经过生产测试)。

图 11-17. SIO 输出高电压和电流，非稳压模式

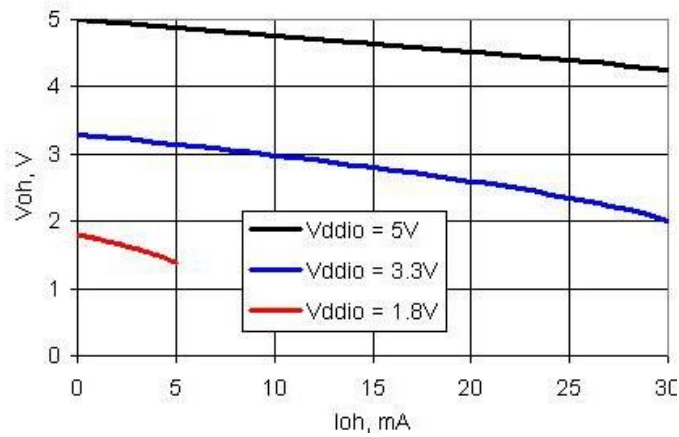


图 11-18. SIO 输出低电压和电流，非稳压模式

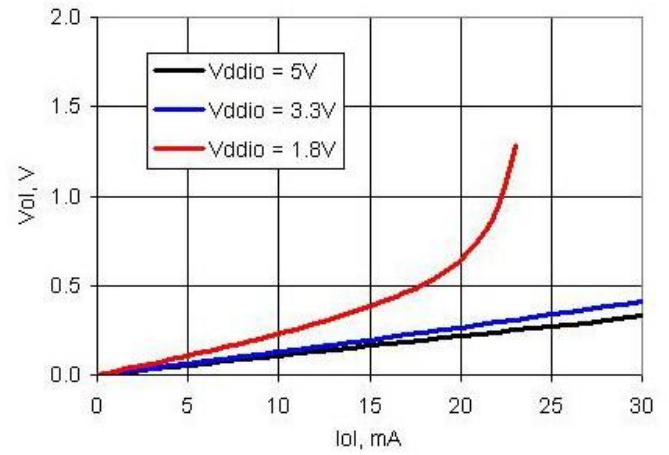


图 11-19. SIO 输出高电平和电流，稳压模式

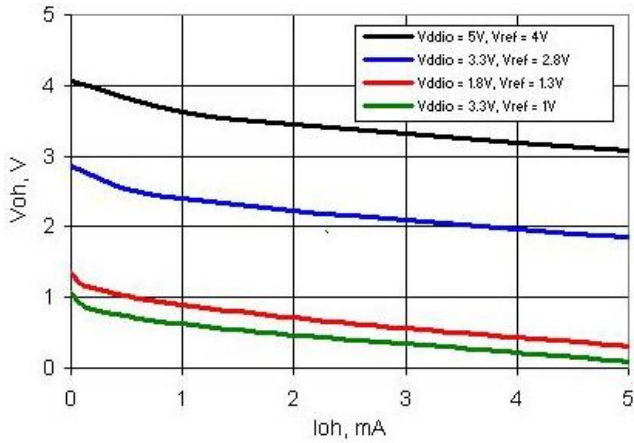
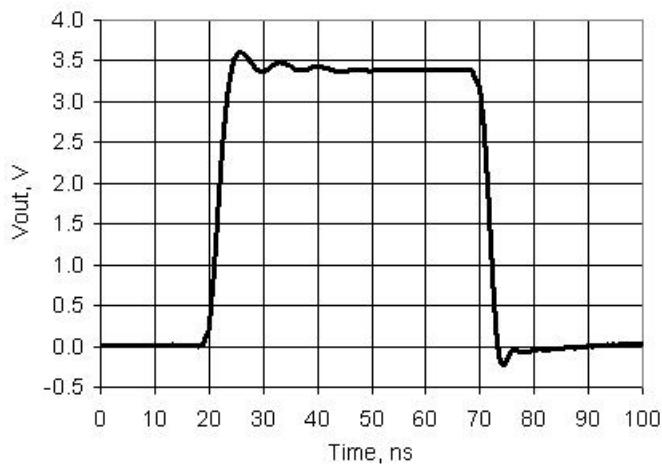
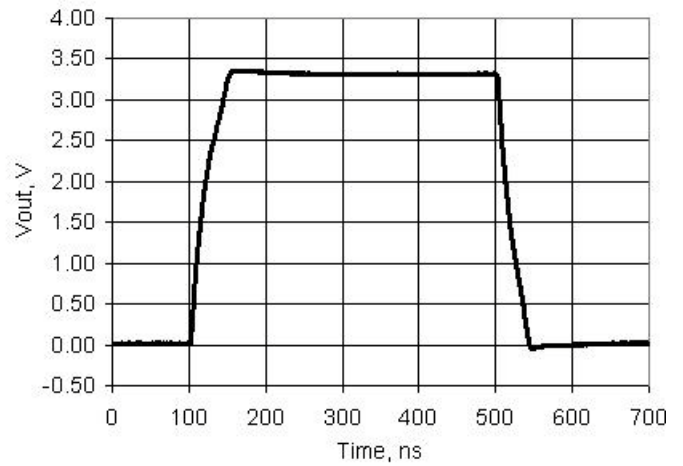


表 11-11. SIO 交流规范 ^[37]

参数	说明	条件	最小值	典型值	最大值	单位
TriseF	快速强驱动模式下的上升时间 (90/10%)	Cload = 25 pF, VDDIO = 3.3 V	—	—	12	ns
TfallF	快速强驱动模式下的下降时间 (90/10%)	Cload = 25 pF, VDDIO = 3.3 V	—	—	12	ns
TriseS	低速强驱动模式下的上升时间 (90/10%)	Cload = 25 pF, VDDIO = 3.0 V	—	—	75	ns
TfallS	低速强驱动模式下的下降时间 (90/10%)	Cload = 25 pF, VDDIO = 3.0 V	—	—	60	ns
Fsioout	SIO 输出的工作频率					
	2.7 V < VDDIO < 5.5 V, 非稳压输出 (GPIO) 模式, 快速强驱动模式	90/10% VDDIO, Cload = 25 pF	—	—	33	MHz
	1.71 V < VDDIO < 2.7 V, 非稳压输出 (GPIO) 模式, 快速强驱动模式	90/10% VDDIO, Cload = 25 pF	—	—	16	MHz
	3.3 V < VDDIO < 5.5 V, 非稳压输出 (GPIO) 模式, 慢速强驱动模式	90/10% VDDIO, Cload = 25 pF	—	—	5	MHz
	1.71 V < VDDIO < 3.3 V, 非稳压输出 (GPIO) 模式, 慢速强驱动模式	90/10% VDDIO, Cload = 25 pF	—	—	4	MHz
	2.7 V < VDDIO < 5.5 V, 稳压输出模式, 快速强驱动模式	输出连续切换, Cload = 25 pF	—	—	20	MHz
	1.71 V < VDDIO < 2.7 V, 稳压输出模式, 快速强驱动模式	输出连续切换, Cload = 25 pF	—	—	10	MHz
Fsioin	SIO 输入工作频率					
	1.71 V ≤ VDDIO ≤ 5.5 V	90/10% VDDIO	—	—	33	MHz

**图 11-20. SIO 输出上升和下降时间, 快速强驱动模式,
VDDIO = 3.3 V, 25 pF 负载**

**图 11-21. SIO 输出上升和下降时间, 低速强驱动模式,
VDDIO = 3.3 V, 25 pF 负载**


注释:
 37. 基于器件特性 (未经过生产测试)。

表 11-12. SIO 比较器规范 ^[38]

参数	说明	条件	最小值	典型值	最大值	单位
Vos	偏移电压	$V_{DDIO} = 2\text{ V}$	—	—	68	mV
		$V_{DDIO} = 2.7\text{ V}$	—	—	72	
		$V_{DDIO} = 5.5\text{ V}$	—	—	82	
TCVos	温度与偏移电压漂移		—	—	250	$\mu\text{V}/^\circ\text{C}$
CMRR	共模抑制比	$V_{DDIO} = 2\text{ V}$	30	—	—	dB
		$V_{DDIO} = 2.7\text{ V}$	35	—	—	
		$V_{DDIO} = 5.5\text{ V}$	40	—	—	
Tresp	响应时间		—	—	30	ns

11.4.3 USBIO

在 GPIO 模式下操作时，使用 V_{DDD} 的标准范围，请参考第 60 页上的芯片级规范。

表 11-13. USBIO 直流规范

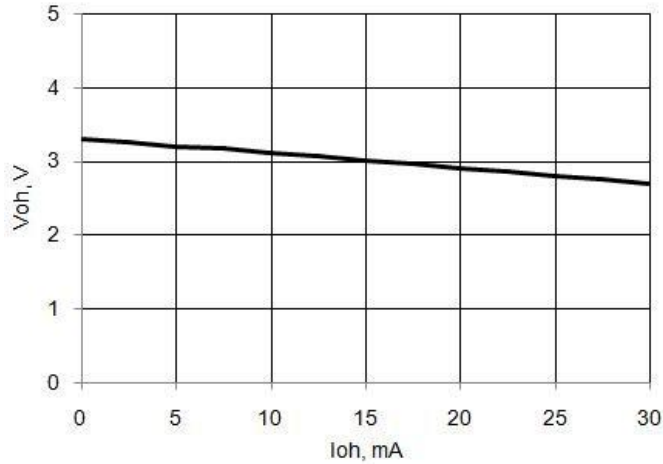
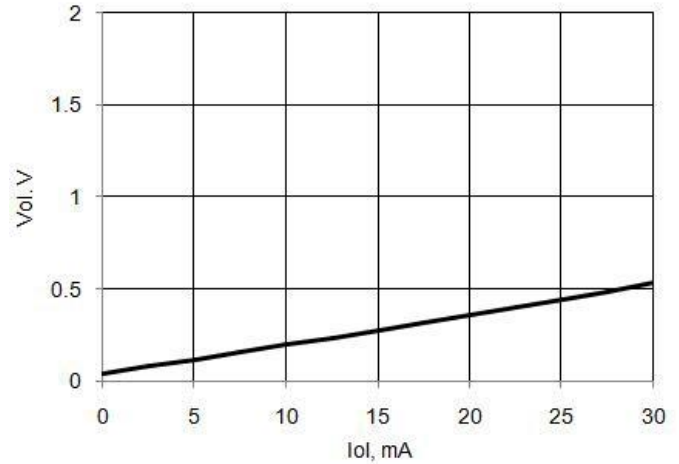
参数	说明	条件	最小值	典型值	最大值	单位
Rusbi	USB D+ 引脚上的上拉电阻 ^[38]	总线空闲	0.900	—	1.575	$k\Omega$
Rusba	USB D+ 引脚上的上拉电阻 ^[38]	接收通信时	1.425	—	3.090	$k\Omega$
Vohusb	静态输出高电平 ^[38]	将 $15\text{ k}\Omega \pm 5\%$ 的电阻连接到 V_{SS} ，内部上拉电阻处于使能状态	2.8	—	3.6	V
Volusb	静态输出低电平电压 ^[38]	将 $15\text{ k}\Omega \pm 5\%$ 的电阻连接到 V_{SS} ，内部上拉电阻处于使能状态	—	—	0.3	V
Vihgpio	输入高电平电压，GPIO 模式 ^[38]	$V_{DDD} = 1.8\text{ V}$	1.5	—	—	V
		$V_{DDD} = 3.3\text{ V}$	2	—	—	V
		$V_{DDD} = 5.0\text{ V}$	2	—	—	V
Vilgpio	输入低电平电压，GPIO 模式 ^[38]	$V_{DDD} = 1.8\text{ V}$	—	—	0.8	V
		$V_{DDD} = 3.3\text{ V}$	—	—	0.8	V
		$V_{DDD} = 5.0\text{ V}$	—	—	0.8	V
Vohgpio	输出高电平电压，GPIO 模式 ^[38]	$I_{OH} = 4\text{ mA}$, $V_{DDD} = 1.8\text{ V}$	1.6	—	—	V
		$I_{OH} = 4\text{ mA}$, $V_{DDD} = 3.3\text{ V}$	3.1	—	—	V
		$I_{OH} = 4\text{ mA}$, $V_{DDD} = 5.0\text{ V}$	4.2	—	—	V
Volgpio	输出低电平电压，GPIO 模式 ^[38]	$I_{OL} = 4\text{ mA}$, $V_{DDD} = 1.8\text{ V}$	—	—	0.3	V
		$I_{OL} = 4\text{ mA}$, $V_{DDD} = 3.3\text{ V}$	—	—	0.3	V
		$I_{OL} = 4\text{ mA}$, $V_{DDD} = 5.0\text{ V}$	—	—	0.3	V
Vdi	差分输入灵敏度	$ (D+) - (D-) $	—	—	0.2	V
Vcm	共模差分输入电压范围		0.8	—	2.5	V
Vse	单端接收器电压阈值		0.8	—	2	V
Rps2	PS/2 上拉电阻 ^[38]	处于 PS/2 模式，且 PS/2 上拉电阻处于使能状态	3	—	7	$k\Omega$
Rext	USB 外部串联电阻 ^[38]	与每个 USB 引脚串联	21.78 (−1%)	22	22.22 (+1%)	Ω
Zo	USB 驱动器输出阻抗 ^[38]	包括 Rext	28	—	44	Ω
C _{IN}	USB 收发器输入电容		—	—	20	pF

注释：

38. 基于器件特性（未经过生产测试）。

表 11-13. USBIO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
I_{IL}	输入漏电流（绝对值） ^[37]	25 °C, $V_{DD} = 3.0\text{ V}$	–	–	2	nA

图 11-22. USBIO 输出高电平和电流, GPIO 模式

图 11-23. USBIO 输出低电平和电流, GPIO 模式

表 11-14. USBIO 交流规范 ^[39]

参数	说明	条件	最小值	典型值	最大值	单位
Td _{rate}	全速数据速率平均比特率		12 – 0.25%	12	12 + 0.25%	MHz
Tj _{r1}	下一次跃变的接收器数据抖动容限		–8	–	8	ns
Tj _{r2}	成对跃变的接收器数据抖动容限		–5	–	5	ns
Td _{j1}	下一次跃变的驱动器差分抖动		–3.5	–	3.5	ns
Td _{j2}	成对跃变的驱动器差分抖动		–4	–	4	ns
Tf _{deop}	差分跃变与 SE0 跃变的源抖动		–2	–	5	ns
Tf _{eo_{pt}}	EOP 的源 SE0 间隔		160	–	175	ns
Tf _{eo_{pr}}	EOP 的接收器 SE0 间隔		82	–	–	ns
Tf _{st}	差分跃变期间 SE0 间隔的时间		–	–	14	ns
F _{gpio_out}	GPIO 模式下的输出工作频率	$3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	–	–	20	MHz
		$V_{DD} = 1.71\text{ V}$	–	–	6	MHz
Tr _{gpio}	上升时间, GPIO 模式, 10%/90% V_{DD}	$V_{DD} > 3\text{ V}$, $C_{load} = 25\text{ pF}$	–	–	12	ns
		$V_{DD} = 1.71\text{ V}$, $C_{load} = 25\text{ pF}$	–	–	40	ns
Tf _{gpio}	下降时间, GPIO 模式, 90%/10% V_{DD}	$V_{DD} > 3\text{ V}$, $C_{load} = 25\text{ pF}$	–	–	12	ns
		$V_{DD} = 1.71\text{ V}$, $C_{load} = 25\text{ pF}$	–	–	40	ns

注释:

39. 基于器件特性（未经过生产测试）。

图 11-24. USBIO 输出上升和下降时间, GPIO 模式,
 $V_{DD} = 3.3\text{ V}$, $C_{Load} = 25\text{ pF}$

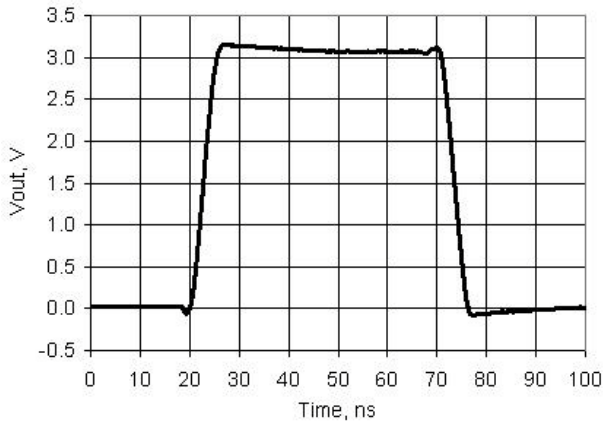


表 11-15. USB 驱动器交流规范 [40]

参数	说明	条件	最小值	典型值	最大值	单位
Tr	转换上升时间		–	–	20	ns
Tf	转换下降时间		–	–	20	ns
TR	上升/下降时间匹配	V_{USB_5} , $V_{USB_3.3}$, 请参见第 90 页上的 USB 直流规范	90%	–	111%	
Vcrs	输出信号交叉的电压		1.3	–	2	V

11.4.4 XRES

表 11-16. XRES 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平阈值		$0.7 \times V_{DDIO}$	–	–	V
V_{IL}	输入低电平阈值		–	–	$0.3 \times V_{DDIO}$	V
Rpullup	电阻下拉		3.5	5.6	8.5	k Ω
C_{IN}	输入电容 [40]		–	3		pF
V_H	输入电压迟滞 (施密特触发器) [40]		–	100	–	mV
I _{diode}	通过保护二极管到达 V_{DDIO} 和 V_{SSIO} 的导通电流		–	–	100	μA

表 11-17. XRES 交流规范 [40]

参数	说明	条件	最小值	典型值	最大值	单位
T_{RESET}	复位脉冲宽度		1	–	–	μs

11.5 模拟外设

除非另有说明, 否则这些规范的适用条件是: $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$, $T_J \leq 100\text{ }^{\circ}\text{C}$, 以及电压范围为 $1.71\text{ V} \sim 5.5\text{ V}$ 。

11.5.1 参考电压

表 11-18. 电压参考规范

参数	说明	条件	最小值	典型值	最大值	单位
V_{REF}	高精度参考电压	初始调整值, $25\text{ }^{\circ}\text{C}$	1.013 (–1%)	1.024	1.035 (+1%)	V

注释:

40. 基于器件的特性 (未经过生产测试)。

11.52 SAR ADC

表 11-19. SAR ADC 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	分辨率		—	—	12	位
	通道数量 — 单端		—	—	GPIO 数量	
	通道数量 — 差分	差分对由一对相邻的 GPIO 组成。	—	—	GPIO 数量 /2	
	单调性 ^[41]		有	—	—	
Ge	增益误差 ^[42]	外部参考电压	—	—	±0.1	%
V _{OS}	输入偏移电压		—	—	±2	mV
I _{DD}	电流消耗 ^[41]		—	—	1	mA
	输入电压范围 — 单端 ^[41]		V _{SSA}	—	V _{DDA}	V
	输入电压范围 — 差分 ^[41]		V _{SSA}	—	V _{DDA}	V
PSRR	电源抑制比 ^[41]		70	—	—	dB
CMRR	共模抑制比		70	—	—	dB
INL	积分非线性 ^[41]	V _{DDA} 的范围为 1.71 至 5.5 V, 采样率为 1 Msps, V _{REF} 的范围为 1 至 5.5 V, 在 ExtRef 引脚旁路	—	—	+2/–1.5	LSB
		V _{DDA} 的范围为 2.0 至 3.6 V, 采样率为 1 Msps, V _{REF} 范围为 2 V 至 V _{DDA} , 在 ExtRef 引脚旁路	—	—	±1.2	LSB
		V _{DDA} 的范围为 1.71 至 5.5 V, 采样率为 500 ksps, V _{REF} 的范围为 1 至 5.5 V, 在 ExtRef 引脚旁路	—	—	±1.3	LSB
DNL	微分非线性 ^[41]	V _{DDA} 的范围为 1.71 至 5.5 V, 采样率为 1 Msps, V _{REF} 的范围为 1 至 5.5 V, 在 ExtRef 引脚旁路	—	—	+2/–1	LSB
		V _{DDA} 的范围为 2.0 至 3.6 V, 采样率为 1 Msps, V _{REF} 的范围为 2 V 至 V _{DDA} , 在 ExtRef 引脚旁路无遗漏代码	—	—	1.7/–0.99	LSB
		V _{DDA} 的范围为 1.71 至 5.5 V, 采样率为 500 ksps, V _{REF} 的范围为 1 至 5.5 V, 在 ExtRef 引脚旁路无遗漏代码	—	—	+2/–0.99	LSB
R _{IN}	输入电阻 ^[41]		—	180	—	kΩ

图 11-25. SAR ADC DNL 与输出代码，旁路内部参考模式

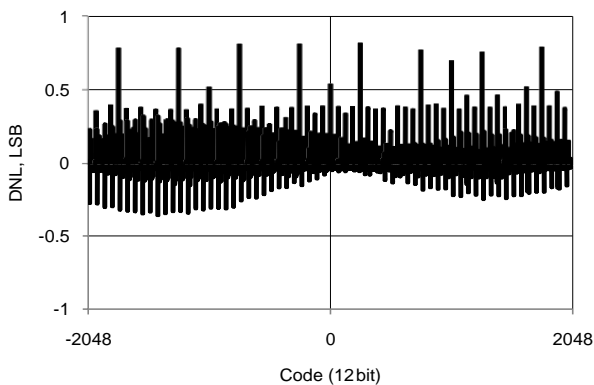
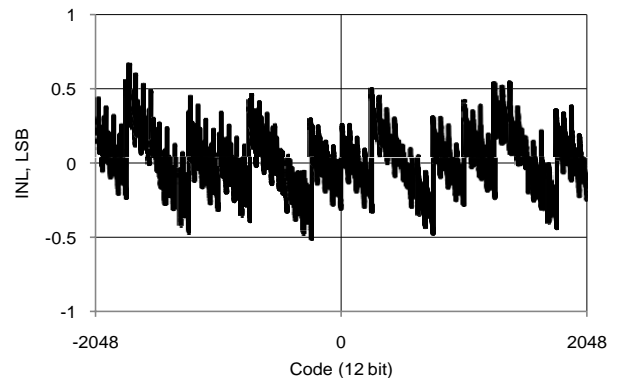


图 11-26. SAR ADC INL 与输出代码，旁路内部参考模式



注释:

41. 基于器件特性（未经过生产测试）。

42. 在模拟系统总电流 I_{DD} < 5 mA 的情况下，该值取决于所使用的封装。如果模拟系统总电流更高，建议使用差分模式中的 SAR ADC。

图 11-27. SAR ADC I_{DD} 与采样率的关系， $V_{DDA} = 5\text{ V}$ ，连续采样模式、外部基准模式

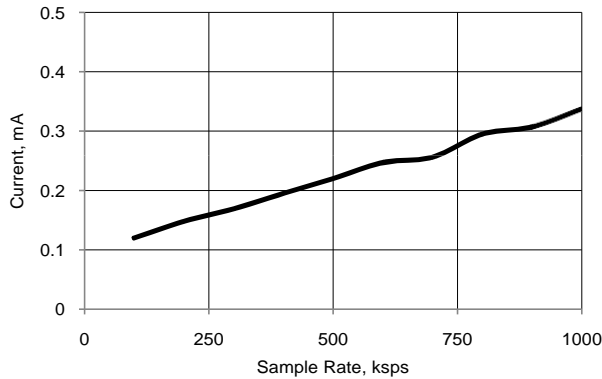


表 11-20. SAR ADC 交流规范 [43]

参数	说明	条件	最小值	典型值	最大值	单位
A_SAMP_1	使用外部参考旁路电容时的采样率		—	—	1	MspS
A_SAMP_2	不使用旁路电容时的采样率。 参考电压 = V_{DD}		—	—	500	KspS
A_SAMP_3	不使用旁路电容时的采样率。 内部参考电压		—	—	100	KspS
	启动时间		—	—	10	μs
SINAD	信噪比		68	—	—	dB
THD	总谐波失真		—	—	0.02	%

图 11-28. SAR ADC 噪声柱状图，速率为 100 kspS，无旁路的内部参考

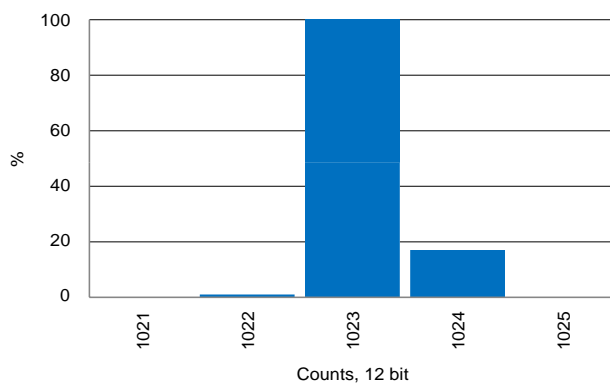
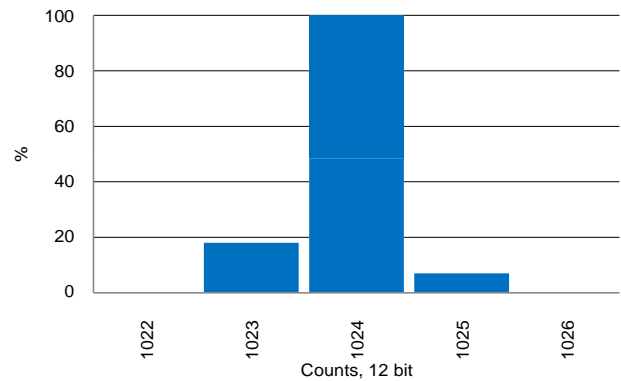


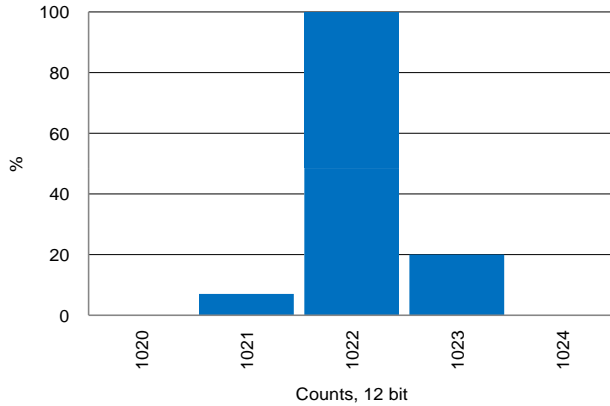
图 11-29. SAR ADC 噪声柱状图，速率为 1 mspS，旁路内部参考



注释：

43. 基于器件特性（未经过生产测试）。

图 11-30. SAR ADC 噪声柱状图，速率为 1 msp/s，外部参考电压



11.5.3 模拟全局总线

表 11-21. 模拟全局总线直流规范

参数	说明	条件	最小值	典型值	最大值	单位
Rppag	P2[4]、AGL0、DSMINP、AGL1、P2[5] ^[44、46] 的引脚到引脚电阻	$V_{DDA} = 3.0\text{ V}$	—	1500	2200	Ω
		$V_{DDA} = 1.71\text{ V}$	—	1200	1700	Ω
Rppmuxbus	P2[3]、amuxbusL、P2[4] ^[45、46] 的引脚到引脚电阻	$V_{DDA} = 3.0\text{ V}$	—	700	1100	Ω
		$V_{DDA} = 1.71\text{ V}$	—	600	900	Ω

表 11-22. 模拟全局总线交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	模拟走线工具的对串扰 ^[46]		106	—	—	dB
BWag	模拟全局总线的 3 dB 带宽 ^[46]	$V_{DDA} = 3.0\text{ V}$, $25\text{ }^{\circ}\text{C}$	—	26	—	MHz

注释：

44. 基于器件的特性（未经过生产测试）。

45. 如果 $V_{DDA} \leq 2.7\text{ V}$ ，且芯片处于睡眠或休眠模式，则模拟全局总线和模拟复用器总线的电阻偏高。建议不要在这些情况下使用模拟全局总线和模拟复用器总线。

46. 引脚 P6[4] 连接到 Delta-Sigma ADC 输入；通过计算得出的，而不是测量得出的。

11.5.4 电压比较器

表 11-23. 比较器直流规范 [47、48]

参数	说明	条件	最小值	典型值	最大值	单位
V_{OS}	快速模式下的输入偏移电压	出厂预设值, $V_{DDA} > 2.7\text{ V}$, $V_{IN} \geq 0.5\text{ V}$	—		10	mV
	低速模式下的输入偏移电压	出厂预设值, $V_{IN} \geq 0.5\text{ V}$	—		9	mV
V_{OS}	快速模式下的输入偏移电压	自定义设置	—	—	4	mV
	慢速模式下的输入偏移电压	自定义设置	—	—	4	mV
V_{OS}	超低功耗模式下的输入偏移电压		—	± 12	—	mV
TCV_{OS}	温度系数, 输入偏移电压	$V_{CM} = V_{DDA} / 2$, 快速模式	—	63	85	$\mu\text{V}/^\circ\text{C}$
		$V_{CM} = V_{DDA} / 2$, 低速模式	—	15	20	
V_{HYST}	迟滞	迟滞使能模式	—	10	32	mV
V_{ICM}	共模输入电压	高电流/ 快速模式	V_{SSA}	—	V_{DDA}	V
		低电流/ 低速模式	V_{SSA}	—	V_{DDA}	V
		超低功耗模式	V_{SSA}	—	$V_{DDA} - 1.15$	V
CMRR	共模抑制比		—	50	—	dB
I_{CMP}	高电流模式 / 快速模式		—	—	400	μA
	低电流模式 / 慢速模式		—	—	100	μA
	超低功耗模式		—	6	—	μA

表 11-24. 比较器交流规范 [47、48]

参数	说明	条件	最小值	典型值	最大值	单位
T_{RESP}	响应时间, 高电流模式	过压阈值为 50 mV, 引脚到引脚测量	—	75	110	ns
	响应时间, 低电流模式	过压阈值为 50 mV, 引脚到引脚测量	—	155	200	ns
	响应时间, 超低功耗模式	过压阈值为 50 mV, 引脚到引脚测量	—	55	—	μs

注释:

47. 可以从技术参考手册找到将自定义修正值用于片上比较器的建议过程。

48. 基于器件的特性 (未经过生产测试)。

11.5.5 电流数模转换器 (IDAC)

所有规范都基于低阻抗 IDAC 输出引脚的使用 (参考第 11 页上的引脚说明 以了解详细信息)。有关完整的电气规范和 API, 请参考 PSoC Creator 中的 IDAC 组件数据手册。

除非另有指定, 否则所有图表中的值均为典型值。

表 11-25. IDAC 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	分辨率		—	—	8	位
I _{OUT}	代码 = 255 时的输出电流	范围 = 2.04 mA, 代码 = 255, V _{DDA} ≥ 2.7 V, R _{load} = 600 Ω	—	2.04	—	mA
		范围 = 2.04 mA, 高电流模式, 代码 = 255, V _{DDA} ≤ 2.7 V, R _{load} = 300 Ω	—	2.04	—	mA
		范围 = 255 μA, 代码 = 255, R _{load} = 600 Ω	—	255	—	μA
		范围 = 31.875 μA, 代码 = 255, R _{load} = 600 Ω	—	31.875	—	μA
	单调性		—	—	有	
E _{zs}	零范围误差		—	0	±1	LSB
E _g	增益误差	范围 = 2.04 mA	—	—	±2.5	%
		范围 = 255 μA	—	—	±2.5	%
		范围 = 31.875 μA	—	—	±3.5	%
TC_Eg	增益误差的温度系数	范围 = 2.04 mA	—	—	0.045	% / °C
		范围 = 255 μA	—	—	0.045	% / °C
		范围 = 31.875 μA	—	—	0.05	% / °C
INL	积分非线性	灌电流模式, 范围 = 255 μA, 代码: 8–255, R _{load} = 2.4 kΩ, C _{load} = 15 pF	—	±0.9	±1	LSB
		源电流模式, 范围 = 255 μA, 代码: 8–255, R _{load} = 2.4 kΩ, C _{load} = 15 pF	—	±1.2	±1.6	LSB
		源电流模式, 范围 = 31.875 μA, 代码: 8–255, R _{load} = 20 kΩ, C _{load} = 15 pF ^[49]	—	±0.9	±2	LSB
		灌电流模式, 范围 = 31.875 μA, 代码: 8–255, R _{load} = 20 kΩ, C _{load} = 15 pF ^[49]	—	±0.9	±2	LSB
		源电流模式, 范围 = 2.04 mA, 代码: 8–255, R _{load} = 600 Ω, C _{load} = 15 pF ^[49]	—	±0.9	±2	LSB
		灌电流模式, 范围 = 2.04 mA, 代码: 8–255, R _{load} = 600 Ω, C _{load} = 15 pF ^[49]	—	±0.6	±1	LSB
		灌电流模式, 范围 = 2.04 mA, 代码: 8–255, R _{load} = 600 Ω, C _{load} = 15 pF ^[49]	—	±0.6	±1	LSB

注释:

49. 基于器件的特性 (未经过生产测试)。

表 11-25. IDAC 直流规范 (续)

参数	说明	条件	最小值	典型值	最大值	单位
DNL	微分非线性	灌电流, 范围 = 255 μ A, Rload = 2.4 k Ω , Cload = 15 pF	–	± 0.3	± 1	LSB
		源电流模式, 范围 = 255 μ A, Rload = 2.4 k Ω , Cload = 15 pF	–	± 0.3	± 1	LSB
		源电流模式, 范围 = 31.875 μ A, Rload = 20 k Ω , Cload = 15 pF ^[50]	–	± 0.2	± 1	LSB
		灌电流模式, 范围 = 31.875 μ A, Rload = 20 k Ω , Cload = 15 pF ^[50]	–	± 0.2	± 1	LSB
		源电流模式, 范围 = 2.04 mA, Rload = 600 Ω , Cload = 15 pF ^[50]	–	± 0.2	± 1	LSB
		灌电流模式, 范围 = 2.04 mA, Rload = 600 Ω , Cload = 15 pF ^[50]	–	± 0.2	± 1	LSB
Vcompliance	压差电压、源电流或灌电流模式	电流最大、Rload 与 V _{DDA} 或 Rload 与 V _{SSA} 相连接时的压差, V _{DIFF} 由 V _{DDA} 供电	1	–	–	V
I _{DD}	工作电流, 代码 = 0	慢速模式, 源电流模式, 范围 = 31.875 μ A	–	44	100	μ A
		慢速模式, 源电流模式, 范围 = 255 μ A,	–	33	100	μ A
		慢速模式, 源电流模式, 范围 = 2.04 mA	–	33	100	μ A
		慢速模式, 灌电流模式, 范围 = 31.875 μ A	–	36	100	μ A
		低速模式, 灌电流模式, 范围 = 255 μ A	–	33	100	μ A
		低速模式, 灌电流模式, 范围 = 2.04 mA	–	33	100	μ A
		快速模式, 源电流模式, 范围 = 31.875 μ A	–	310	500	μ A
		快速模式, 源电流模式, 范围 = 255 μ A	–	305	500	μ A
		快速模式, 源电流模式, 范围 = 2.04 mA	–	305	500	μ A
		快速模式, 灌电流模式, 范围 = 31.875 μ A	–	310	500	μ A
		快速模式, 灌电流模式, 范围 = 255 μ A	–	300	500	μ A
		快速模式, 灌电流模式, 范围 = 2.04 mA	–	300	500	μ A

注释:

50. 基于器件特性 (未经过生产测试)。

图 11-31. IDAC INL 与输入代码，范围 = 255 μ A，源电流模式

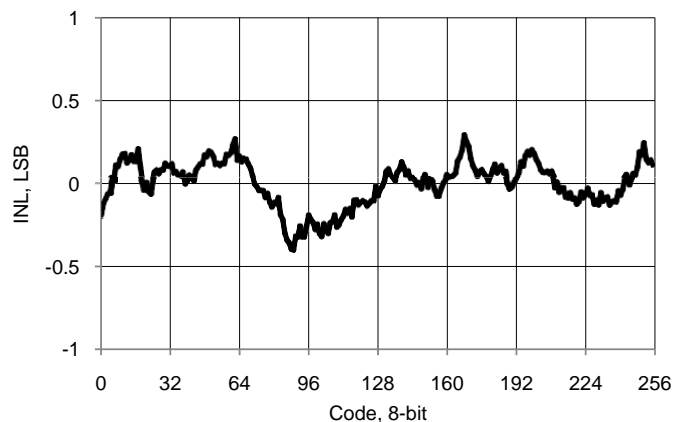


图 11-32. IDAC INL 与输入代码，范围 = 255 μ A，灌电流模式

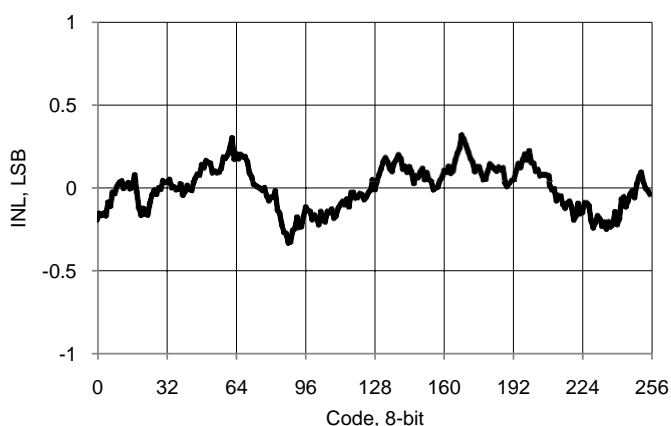


图 11-33. IDAC DNL 与输入代码，范围 = 255 μ A，源电流模式

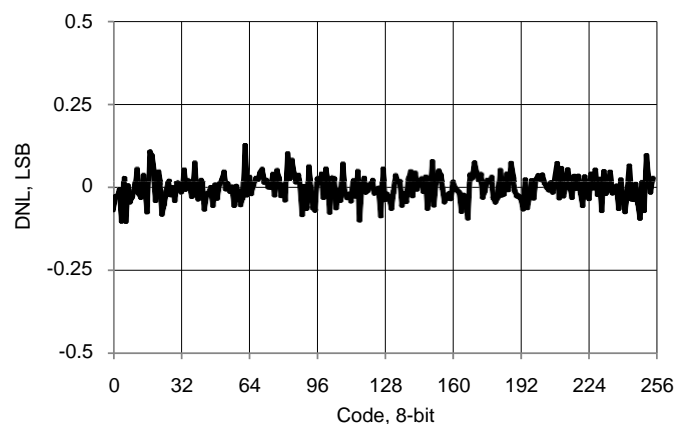


图 11-34. IDAC DNL 与输入代码，范围 = 255 μ A，灌电流模式

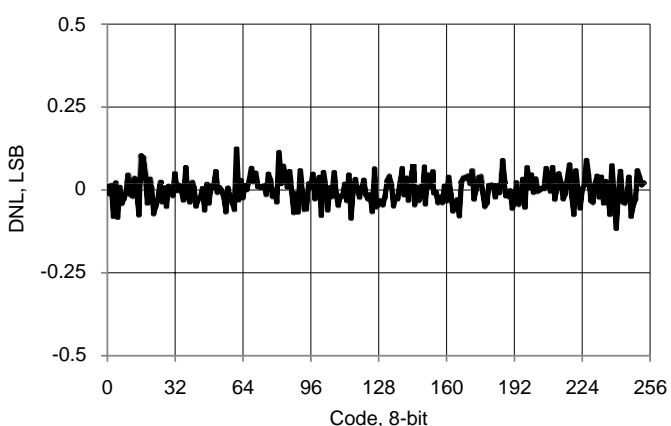


图 11-35. IDAC INL 与温度，范围 = 255 μ A，快速模式

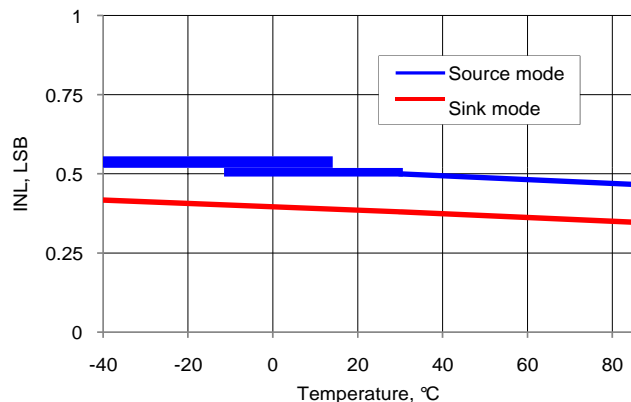


图 11-36. IDAC DNL 与温度，范围 = 255 μ A，快速模式

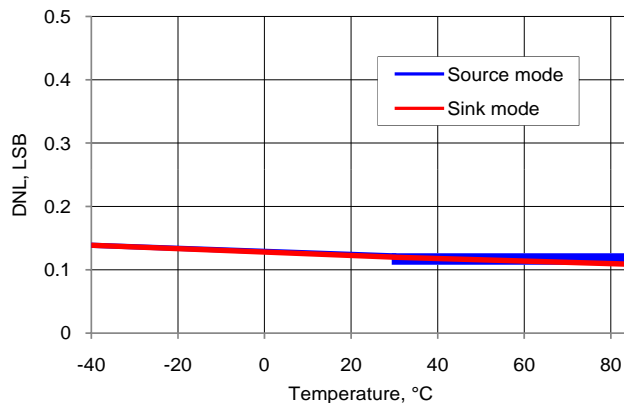


图 11-37. IDAC 全范围误差与温度，范围 = 255 μ A，源电流模式

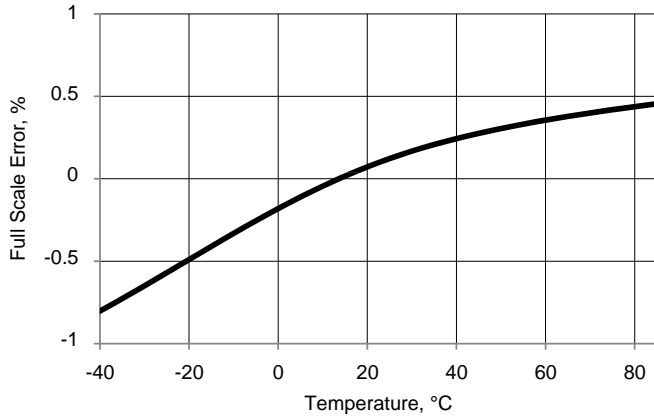


图 11-38. IDAC 全范围误差与温度，范围 = 255 μ A，灌电流模式

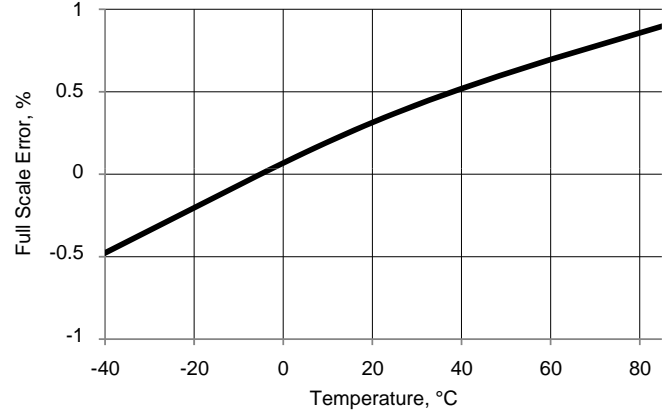


图 11-39. IDAC 工作电流与温度，范围 = 255 μ A，代码 = 0，源电流模式

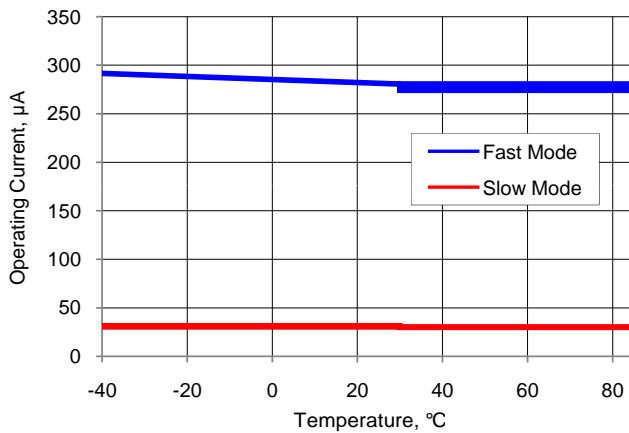


图 11-40. IDAC 工作电流与温度，范围 = 255 μ A，代码 = 0，灌电流模式

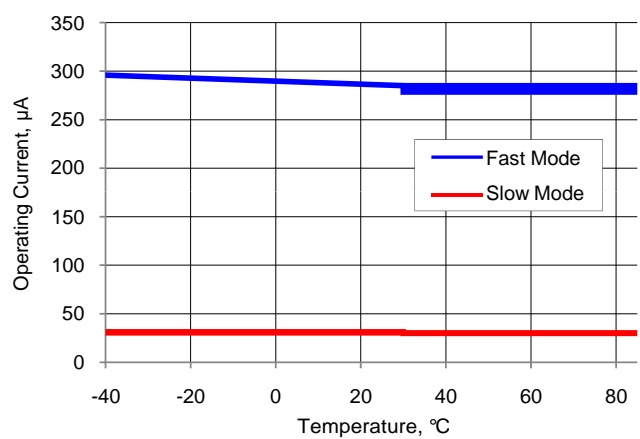


表 11-26. IDAC 交流规范 ^[51]

参数	说明	条件	最小值	典型值	最大值	单位
F_{DAC}	更新速率		—	—	8	Msp/s
T_{SETTLE}	达到标准差 (0.5 LSB) 所需的建立时间	范围 = 31.875 μ A，全量程跃变，快速模式， $R_{load} = 600 \Omega$ ， $C_{load} = 15 \text{ pF}$	—	—	125	ns
		范围 = 255 μ A，全量程跃变，快速模式， $R_{load} = 600 \Omega$ ， $C_{load} = 15 \text{ pF}$	—	—	125	ns
	电流噪声	范围 = 255 μ A，源电流模式，快速模式， $V_{DDA} = 5 \text{ V}$ ，频率 = 10 kHz	—	340	—	pA/sqrtHz

注释：

51. 基于器件特性（未经过生产测试）。

图 11-41. IDAC 阶跃响应, 代码 0x40 - 0xC0, 255 μ A 模式, 源电流模式, 快速模式, $V_{DDA} = 5$ V

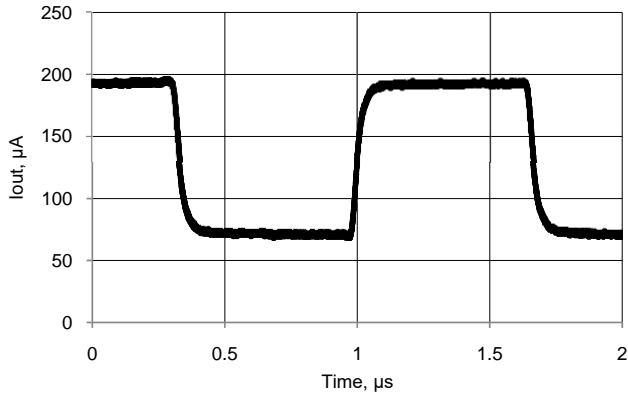


图 11-42. IDAC 窄脉冲响应, 代码 0x7F - 0x80, 255 μ A 模式, 源电流模式, 快速模式, $V_{DDA} = 5$ V

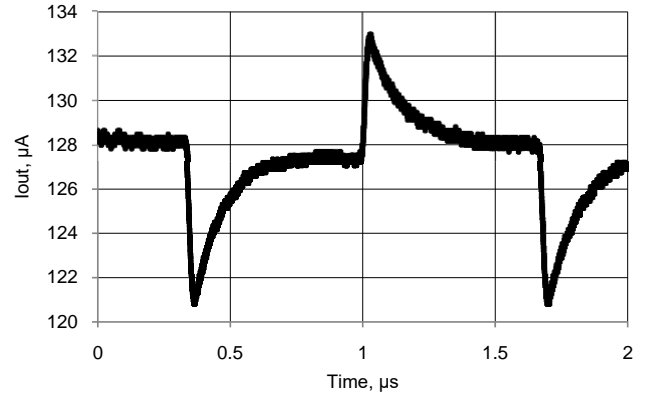


图 11-43. IDAC PSRR 与频率

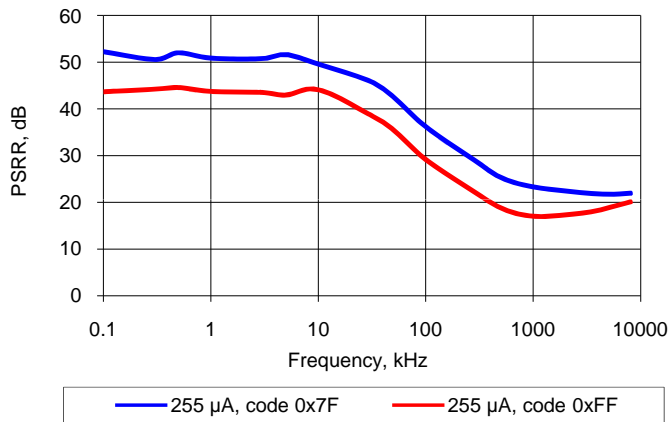
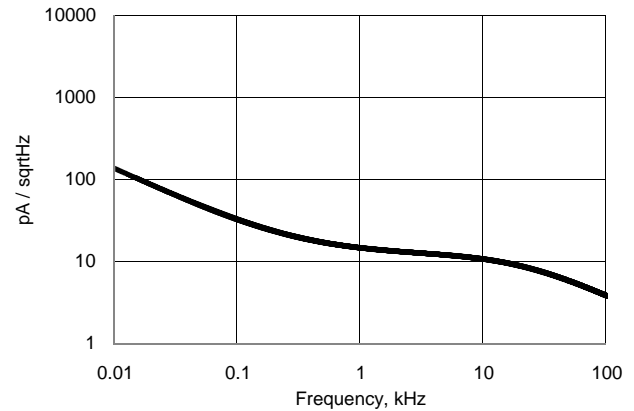


图 11-44. IDAC 电流噪声, 255 μ A 模式, 源电流模式, 快速模式, $V_{DDA} = 5$ V



11.5.6 电压数模转换器 (VDAC)

有关完整的电气规范和 API, 请参考 PSoC Creator 中的 VDAC 组件数据手册。

除非另有说明, 否则所有图表中的值均为典型值。

表 11-27. VDAC 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	分辨率		—	8	—	位
INL1	积分非线性	1 V 输出范围	—	± 2.1	± 2.5	LSB
INL4	积分非线性 ^[52]	4 V 输出范围	—	± 2.1	± 2.5	LSB
DNL1	微分非线性	1 V 输出范围	—	± 0.3	± 1	LSB
DNL4	微分非线性 ^[52]	4 V 输出范围	—	± 0.3	± 1	LSB
Rout	输出电阻	1 V 输出范围	—	4	—	k Ω
		4 V 输出范围	—	16	—	k Ω
V _{OUT}	输出电压范围, 代码 = 255	1 V 输出范围	—	1.02	—	V
		4 V 输出范围, $V_{DDA} = 5$ V	—	4.08	—	V

注释:

52. 基于器件特性 (未经过生产测试)。

表 11-27. VDAC 直流规范 (续)

参数	说明	条件	最小值	典型值	最大值	单位
	单调性		—	—	支持	—
V _{OS}	零比例误差		—	0	±0.9	LSB
E _g	增益误差	1 V 输出范围	—	—	±2.5	%
		4 V 输出范围	—	—	±2.5	%
TC_E _g	温度系数, 增益误差	1 V 输出范围	—	—	0.03	%FSR / °C
		4 V 输出范围	—	—	0.03	%FSR / °C
I _{DD}	工作电流 ^[53]	低速模式	—	—	100	μA
		快速模式	—	—	500	μA

图 11-45. VDAC INL 与输入代码, 1 V 模式



图 11-46. VDAC DNL 与输入代码, 1 V 模式

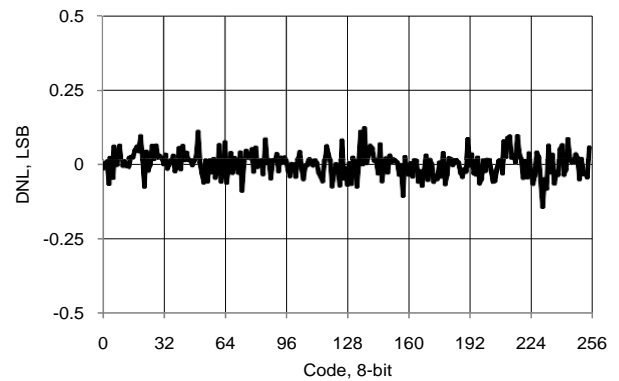


图 11-47. VDAC INL 与温度, 1 V 模式

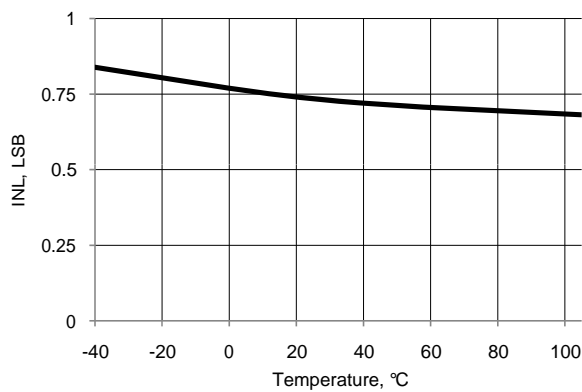
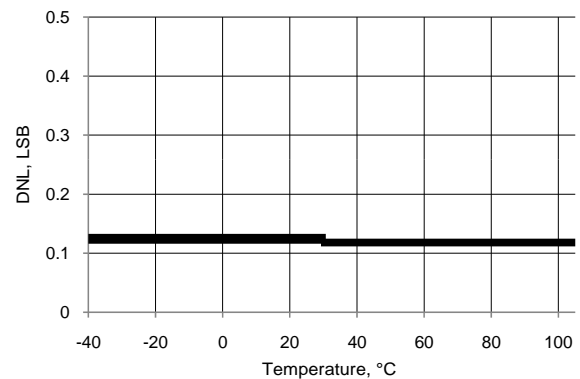


图 11-48. VDAC DNL 与温度, 1 V 模式



注释:

53. 基于器件特性 (未经过生产测试)。

图 11-49. VDAC 全范围误差与温度，1 V 模式

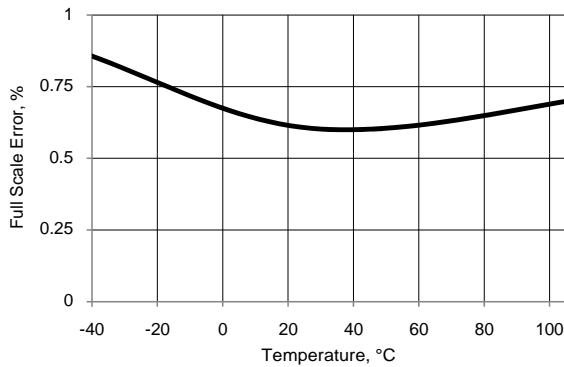


图 11-50. VDAC 全范围误差与温度，4 V 模式

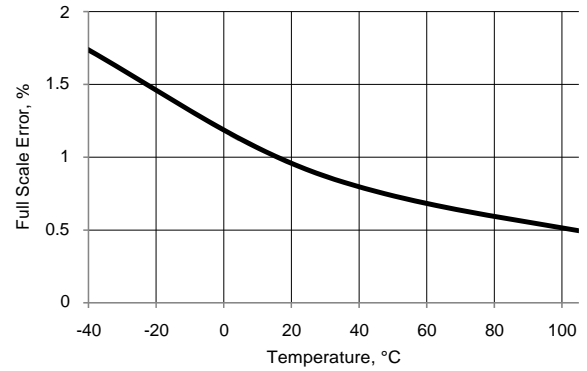


图 11-51. VDAC 工作电流与温度，1 V 模式，低速模式

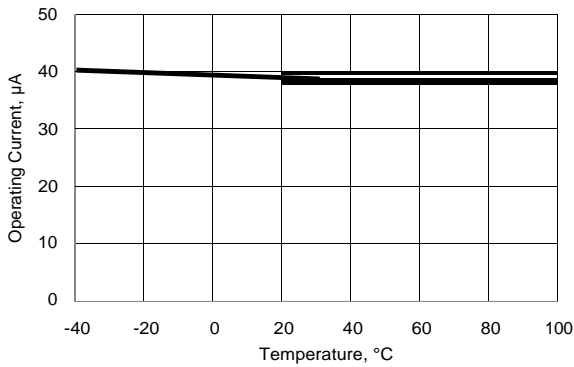


图 11-52. VDAC 工作电流与温度，1 V 模式，快速模式

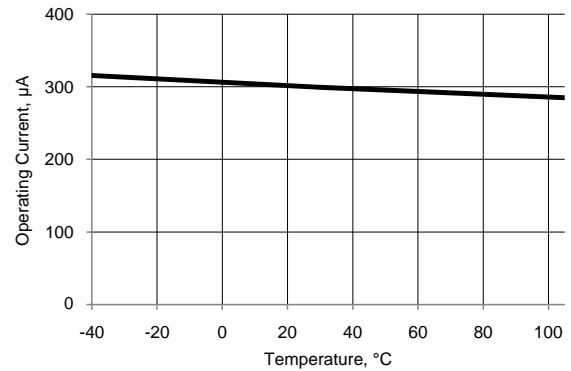


表 11-28. VDAC 交流规范 [54]

参数	说明	条件	最小值	典型值	最大值	单位
F _{DAC}	更新速率	1 V 输出范围	—	—	1000	ksps
		4 V 输出范围	—	—	250	ksps
T _{settleP}	输出电压的标准差达到0.1% 所需的建立时间，步长为 25% 到 75%	1 V 输出范围， C _{load} = 15 pF	—	0.45	1	µs
		4 V 输出范围， C _{load} = 15 pF	—	0.8	3.2	µs
T _{settleN}	输出电压的标准差达到0.1% 所需的建立时间，步长为 75% 到 25%	1 V 输出范围， C _{load} = 15 pF	—	0.45	1	µs
		4 V 输出范围， C _{load} = 15 pF	—	0.7	3	µs
	电压噪声	范围 = 1 V，快速模式， V _{DDA} = 5 V， 10 kHz	—	750	—	nV/sqrtHz

注释：

54. 基于器件特性 （未经过生产测试）。

图 11-53. VDAC 阶跃响应, 代码 0x40 - 0xC0, 1 V 模式, 快速模式, $V_{DDA} = 5\text{ V}$

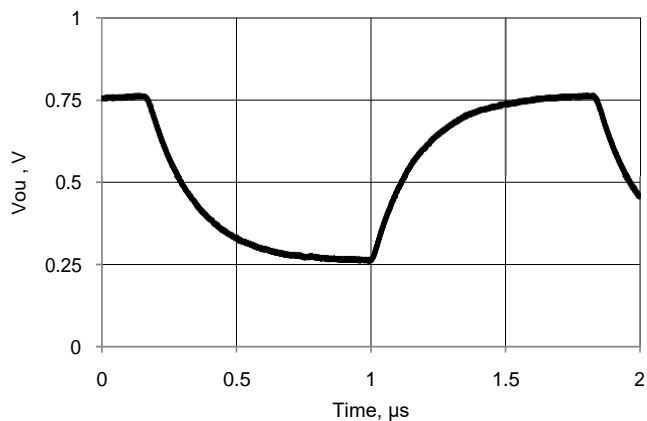


图 11-54. VDAC 窄脉冲响应, 代码 0x7F - 0x80, 1 V 模式, 快速模式, $V_{DDA} = 5\text{ V}$

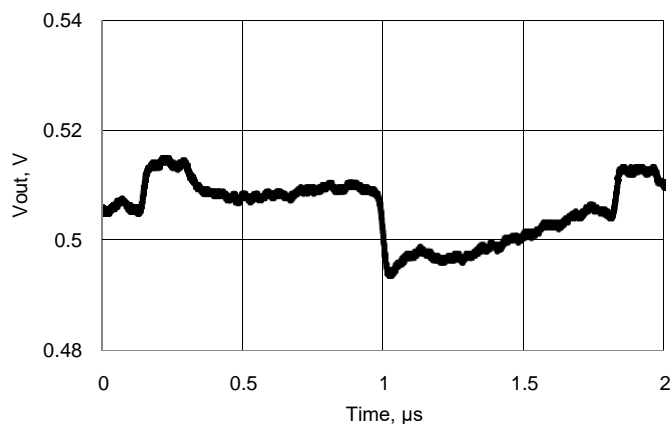


图 11-55. VDAC PSRR 与频率

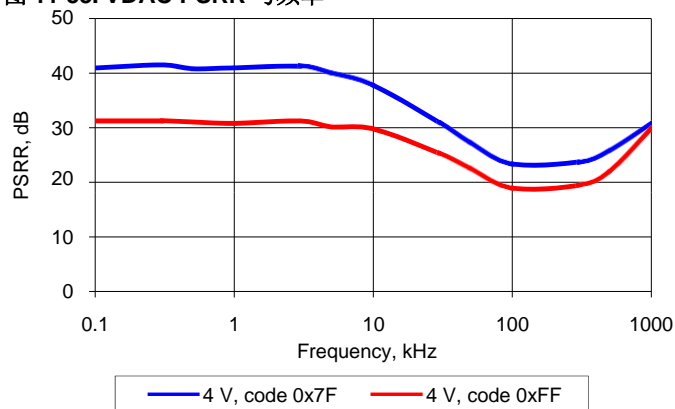
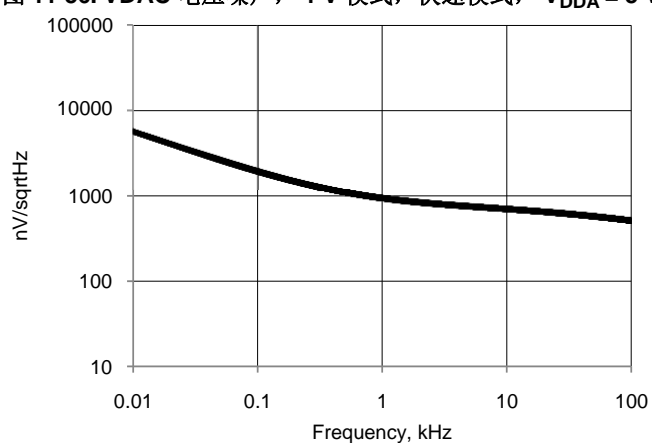


图 11-56. VDAC 电压噪声, 1 V 模式, 快速模式, $V_{DDA} = 5\text{ V}$



11.57 温度传感器

表 11-29. 温度传感器规范

参数	说明	条件	最小值	典型值	最大值	单位
	温度传感器精度	温度范围: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	—	± 5	—	$^{\circ}\text{C}$

11.58 LCD 直接驱动器

表 11-30. LCD 直接驱动直流规范 ^[55]

参数	说明	条件	最小值	典型值	最大值	单位
I_{CC}	LCD 模块（无玻璃显示屏）	器件从睡眠模式唤醒以 400 Hz 的频率刷新 LCD，总线时钟 = 3 Mhz， $V_{\text{ddio}} = V_{\text{dda}} = 3\text{ V}$ ，8 Com x 16 Seg，1/5 占空比，40 Hz 帧率，无玻璃显示屏	—	81	—	mA
$I_{\text{CC_SEG}}$	每个segment 的驱动电流	强驱动模式	—	260	—	μA
V_{BIAS}	LCD 偏压范围（ V_{BIAS} 指的是 LCD DAC 的主要输出电压（ V_0 ））	$V_{\text{DDA}} \geq 3\text{ V}$ 和 $V_{\text{DDA}} \geq V_{\text{BIAS}}$	2	—	5	V
	LCD 偏压步长大小	$V_{\text{DDA}} \geq 3\text{ V}$ 和 $V_{\text{DDA}} \geq V_{\text{BIAS}}$	—	$9.1 \times V_{\text{DDA}}$	—	mV
	每个segment/common 驱动器的LCD 电容	驱动器可以组合使用	—	500	5000	pF
	最大segment 直流偏移	$V_{\text{dda}} \geq 3\text{ V}$ 和 $V_{\text{dda}} \geq V_{\text{bias}}$	—	—	20	mV
I_{OUT}	每个segment 驱动器的输出驱动电流	$V_{\text{DDIO}} = 5.5\text{ V}$ ，强驱动模式	355	—	710	μA

表 11-31. LCD 直接驱动器交流规范 ^[55]

参数	说明	条件	最小值	典型值	最大值	单位
f_{LCD}	LCD 帧率		10	50	150	Hz

注释:

55. 基于器件特性（未经过生产测试）。

11.6 数字外设

除非另有说明，否则这些规范的适用条件是： $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ ， $T_J \leq 100\text{ }^{\circ}\text{C}$ ，以及电压范围为 $1.71\text{ V} \sim 5.5\text{ V}$ 。

11.6.1 定时器

下列规范适用于采用定时器模式的定时器 / 计数器 / PWM 外设。可以通过 UDB 实现定时器。有关更多信息，请参考 PSoC Creator 中的定时器组件数据手册。

表 11-32. 定时器直流规范 ^[56]

参数	说明	条件	最小值	典型值	最大值	单位
	模块的电流消耗	16 位定时器，在所列表的输入时钟频率下	—	—	—	μA
	3 MHz		—	15	—	μA
	12 MHz		—	60	—	μA
	48 MHz		—	260	—	μA
	80 MHz		—	360	—	μA

表 11-33. 定时器交流规范 ^[56]

参数	说明	条件	最小值	典型值	最大值	单位
	工作频率		DC	—	80.01	MHz
	捕获脉冲宽度（内部） ^[57]		15	—	—	ns
	捕获脉冲宽度（外部）		30	—	—	ns
	定时器分辨率 ^[57]		15	—	—	ns
	使能脉冲宽度 ^[57]		15	—	—	ns
	使能脉冲宽度（外部）		30	—	—	ns
	复位脉冲宽度 ^[57]		15	—	—	ns
	复位脉冲宽度（外部）		30	—	—	ns

11.6.2 计数器

下列规范适用于采用计数器模式的定时器 / 计数器 / PWM 外设。可以通过 UDB 实现计数器。有关更多信息，请参考 PSoC Creator 中的计数器组件数据手册。

表 11-34. 计数器直流规范 ^[56]

参数	说明	条件	最小值	典型值	最大值	单位
	模块的电流消耗	16 位计数器，在所列表的输入时钟频率下	—	—	—	μA
	3 MHz		—	15	—	μA
	12 MHz		—	60	—	μA
	48 MHz		—	260	—	μA
	80 MHz		—	360	—	μA

表 11-35. 计数器交流规范 ^[56]

参数	说明	条件	最小值	典型值	最大值	单位
	工作频率		DC	—	80.01	MHz
	捕获脉冲 ^[57]		15	—	—	ns
	分辨率 ^[57]		15	—	—	ns
	脉冲宽度 ^[57]		15	—	—	ns
	脉冲宽度（外部时钟）		30	—	—	ns

注释：

56. 基于器件的特性（未经过生产测试）。

57. 为了确保正常操作，定时器 / 计数器 / PWM 输入的最小脉冲宽度要等于总线时钟周期。

表 11-35. 计数器交流规范 ^[56] (续)

参数	说明	条件	最小值	典型值	最大值	单位
	使能脉冲宽度 ^[58]		15	—	—	ns
	使能脉冲宽度 (外部)		30	—	—	ns
	复位脉冲宽度 ^[58]		15	—	—	ns
	复位脉冲宽度 (外部)		30	—	—	ns

11.6.3 脉冲宽度调制器

下列规范适用于采用 PWM 模式的定时器/计数器/PWM 外设。可以通过 UDB 实现 PWM 组件。更多有关信息，请参考 PSoC Creator 中的 PWM 组件数据手册。

表 11-36. PWM 直流规范 ^[59]

参数	说明	条件	最小值	典型值	最大值	单位
	模块的电流消耗	16 位 PWM，在所列出的输入时钟频率下	—	—	—	μA
	3 MHz		—	15	—	μA
	12 MHz		—	60	—	μA
	48 MHz		—	260	—	μA
	80 MHz		—	360	—	μA

表 11-37. PWM 交流电规范 ^[59]

参数	说明	条件	最小值	典型值	最大值	单位
	工作频率		DC	—	80.01	MHz
	脉冲宽度 ^[58]		15	—	—	ns
	脉冲宽度 (外部时钟)		30	—	—	ns
	停止 (kill) 信号脉冲宽度 ^[58]		15	—	—	ns
	停止 (kill) 信号脉冲宽度 (外部时钟)		30	—	—	ns
	使能脉冲宽度 ^[58]		15	—	—	ns
	使能脉冲宽度 (外部时钟)		30	—	—	ns
	复位脉冲宽度 ^[58]		15	—	—	ns
	复位脉冲宽度 (外部时钟)		30	—	—	ns

11.6.4 I²C

表 11-38. 固定 I²C 直流规范 ^[59]

参数	说明	条件	最小值	典型值	最大值	单位
	模块的电流消耗	已使能 I2C，并将其配置为在 100 kbps 下运行	—	—	250	μA
		已使能 I2C，并将其配置为在 400 kbps 下运行	—	—	260	μA

表 11-39. 固定功能 I²C 交流规范 ^[59]

参数	说明	条件	最小值	典型值	最大值	单位
	比特率		—	—	1	Mbps

注释:

58. 为了确保正常操作，定时器/计数器/PWM 输入的最小脉冲宽度要大于等于总线时钟周期。

59. 基于器件的特性 (未经过生产测试)。

11.6.5 USB

表 11-40. USB 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V _{USB_5}	为 USB 提供的供电电压 (V _{DDD})	配置了 USB, 使能了 USB 电压调节器	4.35	—	5.25	V
V _{USB_3.3}		配置了 USB, 不使用 USB 电压调节器	3.15	—	3.6	V
V _{USB_3}		配置了 USB, 不使用 USB 电压调节器 [60]	2.85	—	3.6	V
I _{USB_Configured}	器件活动模式下的供电电流, 总线时钟和IMO频率=24 MHz	V _{DDD} = 5 V, F _{CPU} = 1.5 MHz	—	10	—	mA
		V _{DDD} = 3.3 V, F _{CPU} = 1.5 MHz	—	8	—	mA
I _{USB_Suspended}	在器件睡眠模式下的器件供电电流	V _{DDD} = 5 V, 连接到 USB 主机, PICU 配置为在接收到 USB 恢复信号时唤醒器件	—	0.5	—	mA
		V _{DDD} = 5 V, 断开与USB 主机的连接	—	0.3	—	mA
		V _{DDD} = 3.3 V, 连接到 USB 主机, PICU 配置为在接收到 USB 恢复信号时唤醒器件	—	0.5	—	mA
		V _{DDD} = 3.3 V, 断开与USB 主机的连接	—	0.3	—	mA

注释:

60. 不保证上升 / 下降时间 (TR) 相互匹配, 请参见第 74 页上的表 11-16。

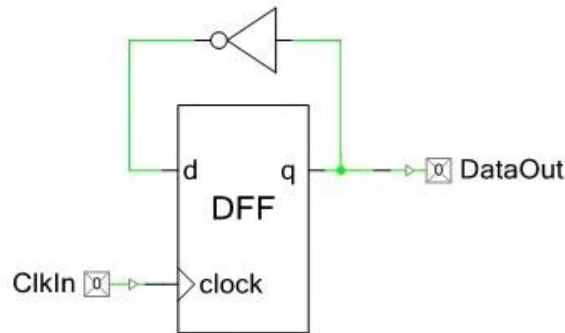
11.6.6 通用数字模块 (UDB)

PSoC Creator 提供了一个映射至 UDB 阵列，并经过预建和测试标准的数字外设库（如 UART、SPI、LIN、PRS、CRC、定时器、计数器、PWM、AND、OR 等等）。有关完整的交流 / 直流规范、API 和示例代码，请参考 PSoC Creator 中的组件数据手册。

表 11-41. UDB 交流规范 ^[61]

参数	说明	条件	最小值	典型值	最大值	单位
数据路径性能						
F _{MAX_TIMER}	在 UDB 对中 16 位定时器的最高频率		—	—	67.01	MHz
F _{MAX_ADDER}	在 UDB 对中 16 位加法器的最高频率		—	—	67.01	MHz
F _{MAX_CRC}	在 UDB 对中 16 位 CRC/PRS 的最高频率		—	—	67.01	MHz
PLD 性能						
F _{MAX_PLD}	在 UDB 对中双通 PLD 功能的最高频率		—	—	67.01	MHz
时钟输入到数据输出的性能						
t _{CLK_OUT}	从时钟输入到数据输出的传输延迟， 请参见图 11-57。	25 °C, V _{DDD} ≥ 2.7 V	—	20	25	ns
t _{CLK_OUT}	从时钟输入到数据输出的传输延迟， 请参见图 11-57。	最差情况下的放置、路由和引脚选择	—	—	55	ns

图 11-57. 时钟输入到数据输出方面的性能



注释:

61. 基于器件特性（未经过生产测试）。

11.7 存储器

除非另有说明，否则规范的适用温度是 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ， $T_J \leq 100^{\circ}\text{C}$ ，电压范围为 1.71 V ~ 5.5 V。

11.7.1 闪存

表 11-42. 闪存直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	擦除和编程电压	V_{DDD} 引脚	1.71	—	5.5	V

表 11-43. 闪存交流规范

参数	说明	条件	最小值	典型值	最大值	单位
T_{WRITE}	行编写时间（擦除 + 编程）		—	15	20	ms
T_{ERASE}	行擦除时间		—	10	13	ms
	行编程时间		—	5	7	ms
T_{BULK}	批量擦除时间（256 KB）		—	—	140	ms
	扇区擦除时间（16 KB）		—	—	15	ms
T_{PROG}	器件总编程时间	无开销[62]	—	5	7.5	s
	闪存数据保持时间，即从最后一个擦除周期开始测量的保持时间	平均环境温度。	20	—	—	年
		$T_A \leq 55^{\circ}\text{C}$ ，10 万个擦除 / 编程周期	10	—	—	
		平均环境温度。 $T_A \leq 85^{\circ}\text{C}$ ，一万个擦除 / 编程周期	10	—	—	

11.7.2 EEPROM

表 11-44. EEPROM 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	擦除和编程电压		1.71	—	5.5	V

表 11-45. EEPROM 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
T_{WRITE}	单行擦除 / 写入周期时间		—	10	20	ms
	EEPROM 数据保持时间，即从最后一个擦除周期开始测量的保持时间	平均环境温度， $T_A \leq 25^{\circ}\text{C}$ ，100 万个擦除 / 编程周期	20	—	—	年
		平均环境温度， $T_A \leq 55^{\circ}\text{C}$ ，10 万个擦除 / 编程周期	20	—	—	
		平均环境温度。 $T_A \leq 85^{\circ}\text{C}$ ，一万个擦除 / 编程周期	10	—	—	

注释：

62. 有关编程 PSoC 5 闪存的低开销方法的更多信息，请参见 [PSoC 5 器件编程规范](#)。

11.7.3 非易失性锁存器 (NVL)

表 11-46. NVL 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
	擦除和编程电压	V _{DDD} 引脚	1.71	—	5.5	V

表 11-47. NVL 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	NVL 耐久性	在 25 °C 下编程	1 K	—	—	编程 / 擦除周期
		在温度为 0°C 到 70°C 条件下编程	100	—	—	编程 / 擦除周期
	NVL 数据保持时间	平均环境温度。 T _A ≤ 55 °C	20	—	—	年
		平均环境温度。 T _A ≤ 85 °C	10	—	—	年

11.7.4 SRAM

表 11-48. SRAM 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
V _{SRAM}	SRAM 保持电压 ^[63]		1.2	—	—	V

表 11-49. SRAM 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F _{SRAM}	SRAM 工作频率		直流	—	80.01	MHz

注释:

63. 基于器件特性 (未经过生产测试)。

11.7.5 外部存储器接口

图 11-58. 异步写和读周期时序，无等待状态

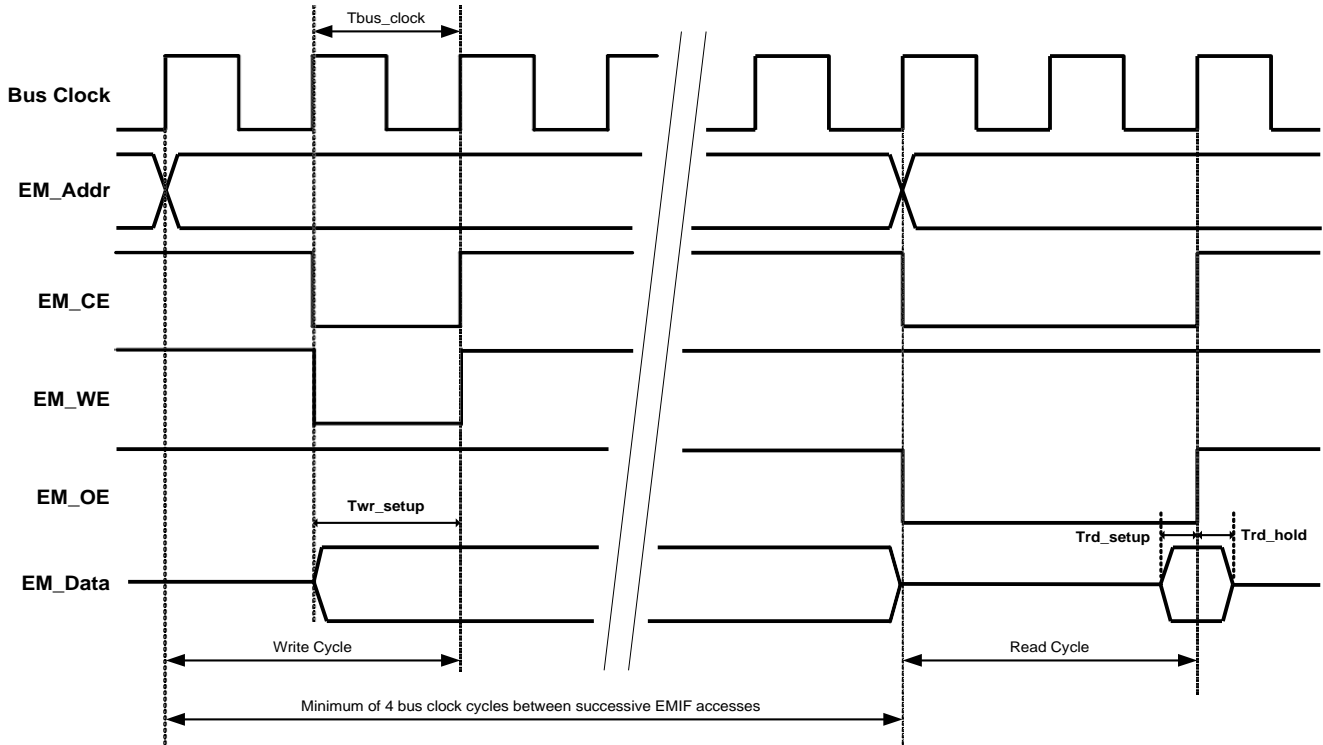


表 11-50. 异步写与读时序规范^[64]

参数	说明	条件	最小值	典型值	最大值	单位
Fbus_clock	总线时钟频率 ^[65]		—	—	33	MHz
Tbus_clock	总线时钟周期 ^[66]		30.3	—	—	ns
Twr_Setup	EM_data有效到EM_WE和EM_CE的上升沿的时间		$T_{bus_clock} - 10$	—	—	ns
Trd_setup	EM_OE 的上升沿之前 EM_data 必须有效的的时间		5	—	—	ns
Trd_hold	EM_OE 的上升沿之后 EM_data 必须有效的的时间		5	—	—	ns

注释:

64. 基于器件特性（未经过生产测试）。

65. EMIF 信号时序受 GPIO 频率的限制。请参见第 67 页上的“GPIO”一节。

66. EMIF 输出信号通常与总线时钟同步，因此 EMIF 信号时序取决于总线时钟频率。

图 11-59. 同步写和读周期时序，无等待状态

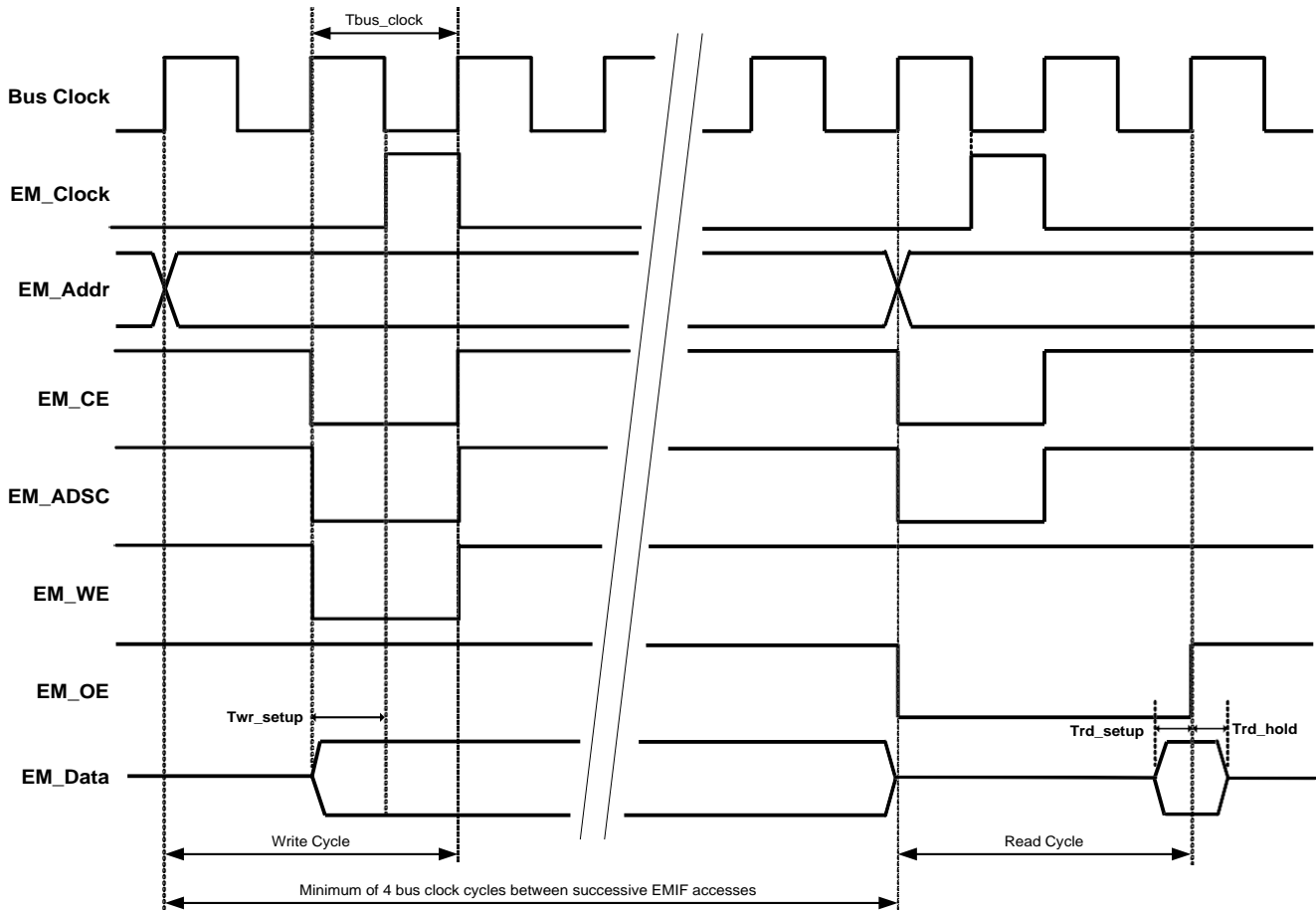


表 11-51. 异步写与读时序规范^[67]

参数	说明	条件	最小值	典型值	最大值	单位
Fbus_clock	总线时钟频率 ^[68]		–	–	33	MHz
Tbus_clock	总线时钟周期 ^[69]		30.3	–	–	ns
Twr_Setup	从 EM 数据有效到 EM_Clock 的上升沿的时间		$T_{bus_clock} - 10$	–	–	ns
Trd_setup	EM_OE 的上升沿之前 EM_data 必须有效的时间		5	–	–	ns
Trd_hold	EM_OE 的上升沿之后 EM_data 必须有效的时间		5	–	–	ns

注释：

67. 基于器件特性（未经过生产测试）。

68. EMIF 信号时序受 GPIO 频率的限制。请参见第 67 页上的“GPIO”一节。

69. EMIF 输出信号通常与总线时钟同步，因此 EMIF 信号时序取决于总线时钟频率。

11.8 PSoC 系统资源

除非另有说明，否则规范的适用温度是 $-40\text{ }^{\circ}\text{C} \leq T_A \leq 85\text{ }^{\circ}\text{C}$ ， $T_J \leq 100\text{ }^{\circ}\text{C}$ ，电压范围为 $1.71\text{ V} \sim 5.5\text{ V}$ 。

11.8.1 带掉电的 POR

要在稳压模式下进行欠压检测， V_{DDD} 和 V_{DDA} 必须 $\geq 2.0\text{ V}$ 。在外部稳压模式下，不能进行欠压检测。

表 11-52. 带掉电检测特性的精确低压复位（PRES）电路直流规范

参数	说明	条件	最小值	典型值	最大值	单位
PRESR	上升触发电压	出厂预设值	1.64	—	1.68	V
PRESF	下降触发电压		1.62	—	1.66	V

表 11-53. 带掉电检测特性的上电复位（POR）交流规范 ^[70]

参数	说明	条件	最小值	典型值	最大值	单位
PRES_TR ^[71]	响应时间		—	—	0.5	μs
	V_{DDD}/V_{DDA} 下降率	睡眠模式	—	5	—	V/sec

11.8.2 电压监控器

表 11-54. 电压监控器直流规范

参数	说明	条件	最小值	典型值	最大值	单位
LVI	触发电压					
	LVI_A/D_SEL[3:0] = 0000b		1.68	1.73	1.77	V
	LVI_A/D_SEL[3:0] = 0001b		1.89	1.95	2.01	V
	LVI_A/D_SEL[3:0] = 0010b		2.14	2.20	2.27	V
	LVI_A/D_SEL[3:0] = 0011b		2.38	2.45	2.53	V
	LVI_A/D_SEL[3:0] = 0100b		2.62	2.71	2.79	V
	LVI_A/D_SEL[3:0] = 0101b		2.87	2.95	3.04	V
	LVI_A/D_SEL[3:0] = 0110b		3.11	3.21	3.31	V
	LVI_A/D_SEL[3:0] = 0111b		3.35	3.46	3.56	V
	LVI_A/D_SEL[3:0] = 1000b		3.59	3.70	3.81	V
	LVI_A/D_SEL[3:0] = 1001b		3.84	3.95	4.07	V
	LVI_A/D_SEL[3:0] = 1010b		4.08	4.20	4.33	V
	LVI_A/D_SEL[3:0] = 1011b		4.32	4.45	4.59	V
	LVI_A/D_SEL[3:0] = 1100b		4.56	4.70	4.84	V
	LVI_A/D_SEL[3:0] = 1101b		4.83	4.98	5.13	V
	LVI_A/D_SEL[3:0] = 1110b		5.05	5.21	5.37	V
	LVI_A/D_SEL[3:0] = 1111b		5.30	5.47	5.63	V
HVI	触发电压		5.57	5.75	5.92	V

表 11-55. 电压监控器交流规范

参数	说明	条件	最小值	典型值	最大值	单位
LVI_tr ^[71]	响应时间		—	—	1	μs

注释：

70. 基于器件特性（未经过生产测试）。

71. 此值是计算得出的，而非测量得出。

11.8.3 中断控制器

表 11-56. 中断控制器交流规范

参数	说明	条件	最小值	典型值	最大值	单位
	从中断信号输入到执行main 函数代码行的 ISR 代码的延迟 [72]		–	–	12	Tcy CPU
	从中断信号输入时到执行 ISR 代码（尾链）的延迟[72]		–	–	6	Tcy CPU

11.8.4 JTAG 接口

图 11-60. JTAG 接口时序

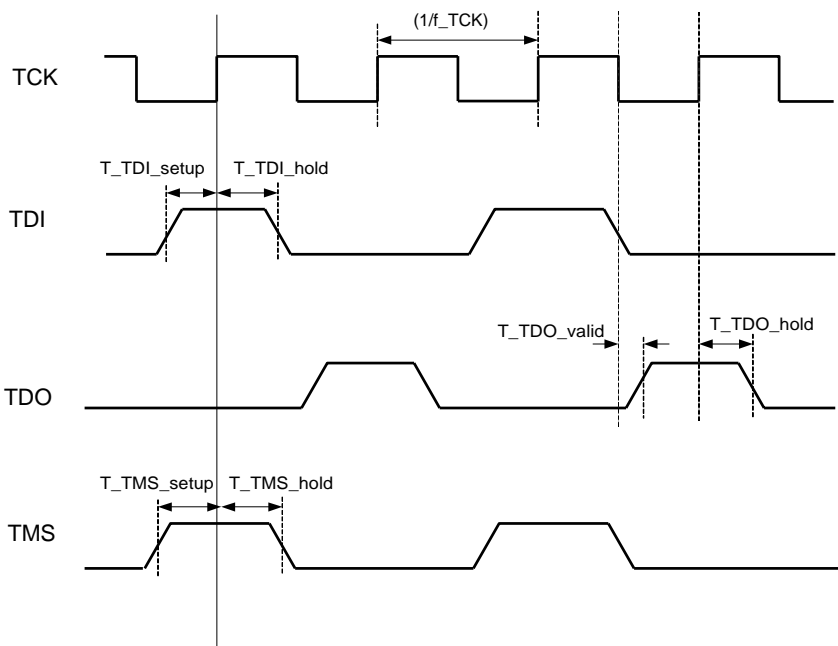


表 11-57. JTAG 接口交流规范 [73]

参数	说明	条件	最小值	典型值	最大值	单位
f _{TCK}	TCK 频率	3.3 V ≤ V _{DD} ≤ 5 V	–	–	12 ^[74]	MHz
		1.71 V ≤ V _{DD} < 3.3 V	–	–	7 ^[74]	MHz
T _{TDI_setup}	TCK 为高电平之前的 TDI 建立时间		(T/10) – 5	–	–	ns
T _{TMS_setup}	TCK 为高电平之前的 TMS 建立时间		T/4	–	–	
T _{TDI_hold}	TCK为高电平之后的TDI、TMS保持时间	T = 1/f _{TCK} 最大值	T/4	–	–	
T _{TDO_valid}	从TCK 为低电平到 TDO 有效的时间	T = 1/f _{TCK} 最大值	–	–	2T/5	
T _{TDO_hold}	TCK 为高电平之后的 TDO 保持时间	T = 1/f _{TCK} 最大值	T/4	–	–	
T _{nTRST}	nTRST 脉冲的最小宽度	f _{TCK} = 2 MHz	8	–	–	ns

注释:

72. Arm Cortex-M3 NVIC 规范。有关 Cortex-M3 CPU 的详细文档，请访问 www.arm.com。

73. 基于器件特性（未经过生产测试）。

74. 此外，f_{TCK} 不得超过CPU 时钟频率的 1/3。

11.8.5 SWD 接口

图 11-61. SWD 接口时序

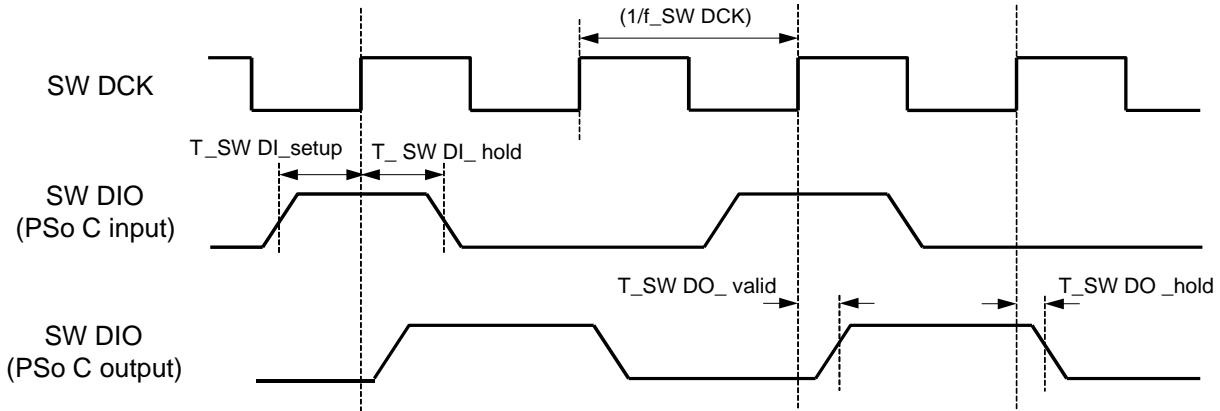


表 11-58. SWD 接口交流规范 [75]

参数	说明	条件	最小值	典型值	最大值	单位
f_SW DCK	SWDCLK 频率	$3.3\text{ V} \leq V_{DD} \leq 5\text{ V}$	—	—	12 ^[76]	MHz
		$1.71\text{ V} \leq V_{DD} < 3.3\text{ V}$	—	—	7 ^[76]	MHz
		$1.71\text{ V} \leq V_{DD} < 3.3\text{ V}$, 通过 USBIO 引脚实现 SWD	—	—	5.5 ^[76]	MHz
T_SW DI_setup	SWDCK 为高电平之前的SWDIO 输入建立时间	$T = 1/f_{\text{SW DCK}}$ 最大值	T/4	—	—	
T_SW DI_hold	SWDCK 为高电平之后的SWDIO 输入保持时间	$T = 1/f_{\text{SW DCK}}$ 最大值	T/4	—	—	
T_SW DO_valid	SWDCK为高电平到SWDIO输出的时间	$T = 1/f_{\text{SW DCK}}$ 最大值	—	—	T/2	
T_SW DO_hold	SWDCK 为高电平之后的SWDIO 输出保持时间	$T = 1/f_{\text{SW DCK}}$ 最大值	1	—	—	ns

11.8.6 TPIU 接口

表 11-59. TPIU 接口交流规范 [75]

参数	说明	条件	最小值	典型值	最大值	单位
	TRACEPORT (TRACECLK) 频率		—	—	33 ^[77]	MHz
	SWV 比特率		—	—	33 ^[77]	Mbit

注释:

75. 基于器件特性 (未经过生产测试)。

76. 此外, f_SW DCK 不得超过 CPU 时钟频率的 1/3。

77. TRACEPORT 信号频率和比特率受 GPIO 输出频率的限制, 请参见第 68 页上的表 11-9。

11.9 时钟

除非另有说明，否则这些规范的适用条件是： $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ， $T_J \leq 100^{\circ}\text{C}$ ，以及电压范围为 $1.71\text{ V} \sim 5.5\text{ V}$ 。除非另有说明，否则所有图表中的值均为典型值。

11.9.1 内部主振荡器

表 11-60. IMO 直流规范 [78]

参数	说明	条件	最小值	典型值	最大值	单位
I _{cc_imo}	供电电流					
	74.7 MHz		—	—	730	μA
	62.6 MHz		—	—	600	μA
	48 MHz		—	—	500	μA
	24 MHz — USB 模式	振荡器被连接到 USB 总线	—	—	500	μA
	24 MHz — 非USB 模式		—	—	300	μA
	12 MHz		—	—	200	μA
	6 MHz		—	—	180	μA
	3 MHz		—	—	150	μA

图 11-62. IMO 电流与频率

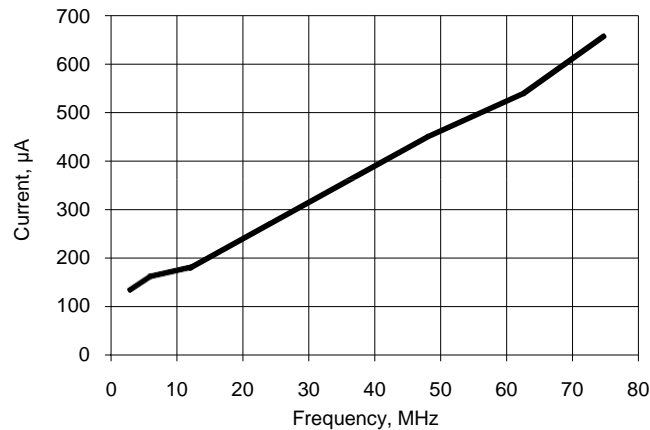


表 11-61. IMO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F _{IMO}	IMO 频率的稳定性（采用出厂预设值）					
	74.7 MHz		-7	—	7	%
	62.6 MHz		-7	—	7	%
	48 MHz		-5	—	5	%
	24 MHz — 非 USB 模式		-4	—	4	%
	24 MHz — USB 模式	振荡器被连接到 USB 总线	-0.25	—	0.25	%
	12 MHz		-3	—	3	%
	6 MHz		-2	—	2	%
	3 MHz		-2	—	2	%
T _{start_imo}	启动时间[78]	从时钟启用（系统正常工作期间）的时间	—	—	13	μs

注释：

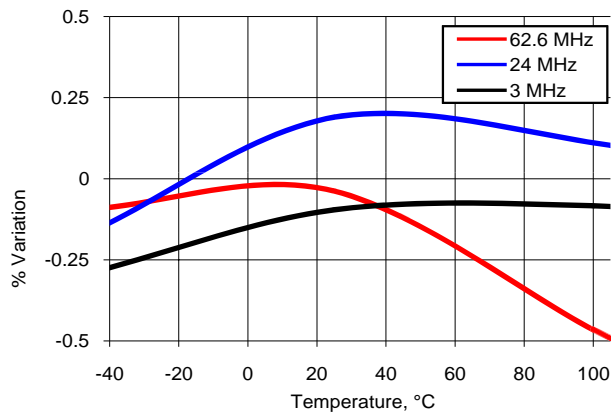
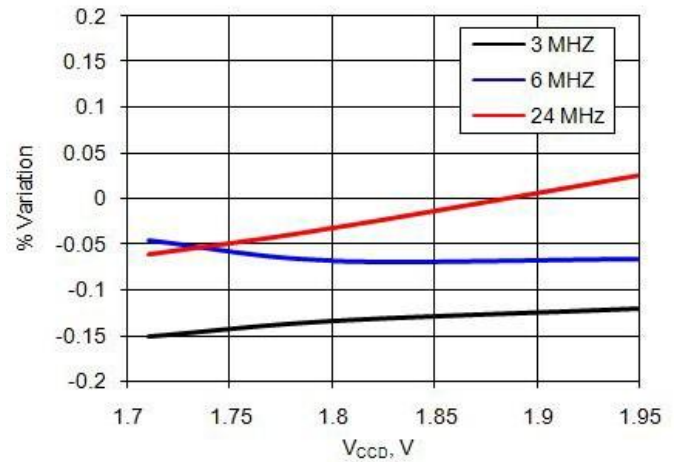
78. 基于器件特性（未经过生产测试）。

表 11-61. IMO 交流规范 (续)

参数	说明	条件	最小值	典型值	最大值	单位
Jp-p	抖动 (峰峰值) [79]					
	F = 24 MHz		–	0.9	–	ns
	F = 3 MHz		–	1.6	–	ns
Jperiod	抖动 (长期) [79]					
	F = 24 MHz		–	0.9	–	ns
	F = 3 MHz		–	12	–	ns

注释:

79. 基于器件特性 (未经过生产测试)。

图 11-63. IMO 频率变化与温度

图 11-64. IMO 频率变化与 V_{CC}


11.92 内部低速振荡器

表 11-62. ILO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
I_{CC}	工作电流 ^[80]	$F_{OUT} = 1\text{ kHz}$	—	—	1.7	μA
		$F_{OUT} = 33\text{ kHz}$	—	—	2.6	μA
		$F_{OUT} = 100\text{ kHz}$	—	—	2.6	μA
	漏电流 ^[80]	掉电模式	—	—	15	nA

表 11-63. ILO 交流规范 ^[81]

参数	说明	条件	最小值	典型值	最大值	单位
T_{start_ilo}	启动时间，针对所有频率	加速模式	—	—	2	ms
F_{ILO}	ILO 频率					
	100 kHz		45	100	200	kHz
	1 kHz		0.5	1	2	kHz

图 11-65. ILO 频率变化与温度

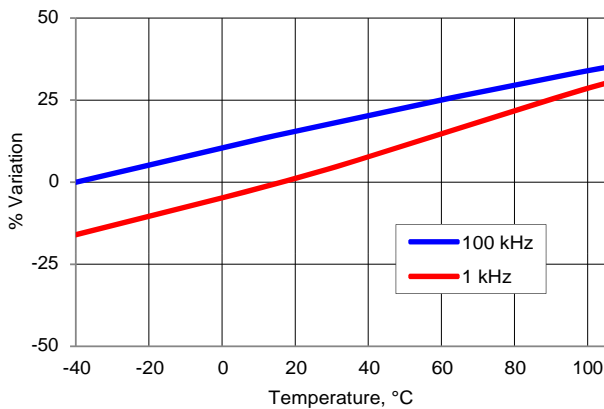
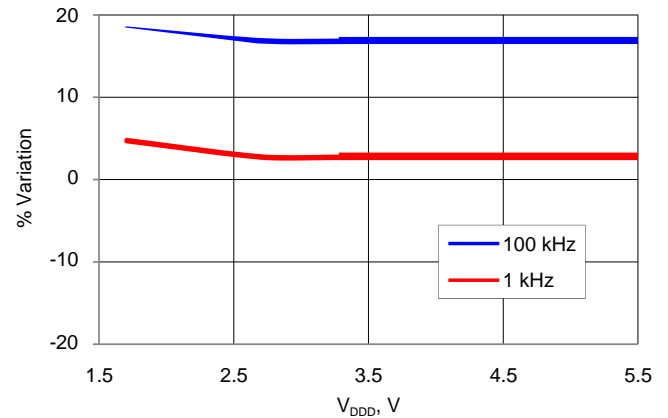


图 11-66. ILO 频率变化与 V_{DD}



注释:

80. 此值是通过计算得出的，而不是测量得出。

81. 基于器件的特性（未经过生产测试）。

11.9.3 MHz 外部晶振

有关 MHzECO 的晶振或陶瓷谐振器的更多信息, 请参考 [AN54439: PSoC 3 和 PSoC 5 外部振荡器应用笔记](#)中介绍的内容。

表 11-64. MHzECO 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
I _{CC}	工作电流 ^[82]	13.56 MHz 晶振	—	3.8	—	mA

表 11-65. MHzECO 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F	晶振频率范围		4	—	25	MHz

11.9.4 kHz 外部晶振

表 11-66. kHzECO 直流规范 ^[82]

参数	说明	条件	最小值	典型值	最大值	单位
I _{CC}	工作电流	低功耗模式; CL = 6 pF	—	0.25	1.0	μA
DL	驱动电平		—	—	1	μW

表 11-67. kHzECO 交流规范 ^[82]

参数	说明	条件	最小值	典型值	最大值	单位
F	频率		—	32.768	—	kHz
T _{ON}	启动时间	高功耗模式	—	1	—	s

11.9.5 外部时钟参考

表 11-68. 外部时钟参考交流规范 ^[82]

参数	说明	条件	最小值	典型值	最大值	单位
	外部频率范围		0	—	33	MHz
	输入占空比范围	在 V _{DDIO} /2 时进行测量	30	50	70	%
	输入边沿速率	V _{IL} 到 V _{IH}	0.5	—	—	V/ns

11.9.6 锁相环

表 11-69. PLL 直流规范

参数	说明	条件	最小值	典型值	最大值	单位
I _{DD}	PLL 的工作电流	输入频率 = 3 MHz, 输出频率 = 80 MHz	—	650	—	μA
		输入频率 = 3 MHz, 输出频率 = 24 MHz	—	200	—	μA
		输入频率 = 3 MHz, 输出频率 = 67 MHz	—	400	—	μA

表 11-70. PLL 交流规范

参数	说明	条件	最小值	典型值	最大值	单位
F _{pllin}	PLL 输入频率 ^[83]		1	—	48	MHz
	PLL 中间频率 ^[84]	预分频器的输出	1	—	3	MHz
F _{plout}	PLL 输出频率 ^[83]		24	—	80	MHz
	启动时的锁定时间		—	—	250	μs
J _{period-rms}	抖动时间 (rms) ^[82]		—	—	250	ps

注释:

82. 基于器件的特性 (未经过生产测试)。

83. 该规范通过以下方式予以保证: 使用 IMO 作为 PLL 的源, 在指定范围内对 PLL 进行测试。

84. 必须设置 PLL 输入分频器值 (Q), 以便将输入频率向下分频到中间频率范围内。Q 的取值范围为 1 到 16。

12. 订购信息

除了表 12-1 中列出的特性外，每个 CY8C52LP 器件还包括：256 KB 的闪存、64 KB 的 SRAM、2 KB 的 EEPROM、高精度的片上电压参考、高精度的振荡器、闪存、ECC、DMA、固定功能 I²C、JTAG/SWD 编程和调试、外部存储器接口、升压等等。除了这些功能以外，灵活的 UDB 和模拟子系统还支持广泛的外设。为了帮助您选择理想的部件，PSoC Creator 在您选择应用所需的组件后会提供部件建议。所有 CY8C52LP 派生器件均在由用户选择的安全级别中包含器件和闪存安全策略；有关详细信息，请参考 TRM（技术参考手册）。

表 12-1. 具有 Arm Cortex-M3 CPU 的 CY8C52LP 系列

器件型号	MCU 内核				模拟模块										数字模块		I/O ^[86]					封装	JTAG ID ^[87]
	CPU 速度 (MHz)	闪存 (KB)	SRAM (KB)	EEPROM (KB)	LCD Segment 驱动	ADC	DAC	比较器	SC/CT 模拟模块	运算放大器	DFB	CapSense	UDB ^[85]	16 位定时器 /PWM	FS USB	I/O 总数	GPIO	SIO	USBIO				
CY8C5268LTI-LP030	67	256	64	2	✓	1x12 位 SAR	1	2	0	0	–	✓	24	4	✓	48	38	8	2	68-QFN	0x2E11E069		
CY8C5268AXI-LP047	67	256	64	2	✓	1x12 位 SAR	1	2	0	0	–	✓	24	4	✓	72	62	8	2	100-TQFP	0x2E12F069		
CY8C5267AXI-LP051	67	128	32	2	✓	1x12 位 SAR	1	2	0	0	–	✓	24	4	✓	72	62	8	2	100-TQFP	0x2E133069		
CY8C5267LTI-LP089	67	128	32	2	✓	1x12 位 SAR	1	2	0	0	–	✓	24	4	✓	48	38	8	2	68-QFN	0x2E159069		
CY8C5266LTI-LP029	67	64	16	2	✓	1x12 位 SAR	1	2	0	0	–	✓	20	4	✓	48	38	8	2	68-QFN	0x2E11D069		
CY8C5266AXI-LP033	67	64	16	2	✓	1x12 位 SAR	1	2	0	0	–	✓	20	4	✓	72	62	8	2	100-TQFP	0x2E121069		
CY8C5266AXI-LP132	67	64	16	2	✓	1x12 位 SAR	1	2	0	0	–	✓	20	4	–	70	62	8	0	100-TQFP	0x2E184069		
CY8C5266LTI-LP150	67	64	16	2	✓	1x12 位 SAR	1	2	0	0	–	✓	20	4	–	46	38	8	0	68-QFN	0x2E196069		
CY8C5266FNI-LP205T	67	64	16	2	✓	1x12 位 SAR	1	2	0	0	–	✓	20	4	–	70	62	8	0	99-WLCSP	0x2E1CD069		
CY8C5265LTI-LP050	67	32	8	2	✓	1x12 位 SAR	1	0	0	0	–	✓	20	4	✓	48	38	8	2	68-QFN	0x2E132069		
CY8C5265AXI-LP056	67	32	8	2	✓	1x12 位 SAR	1	0	0	0	–	✓	20	4	✓	72	62	8	2	100-TQFP	0x2E138069		
CY8C5265LTI-LP058	67	32	8	2	✓	1x12 位 SAR	1	2	0	0	–	✓	20	4	✓	48	38	8	2	68-QFN	0x2E13A069		
CY8C5265AXI-LP082	67	32	8	2	✓	1x12 位 SAR	1	2	0	0	–	✓	20	4	✓	72	62	8	2	100-TQFP	0x2E152069		
CY8C5287AXI-LP095 ^[88]	80	256	64	2	✓	1x12 位 SAR	1	2	0	0	–	✓	24	4	✓	72	62	8	2	100-TQFP	0x2E15F069		
CY8C5288LTI-LP090	80	256	64	2	✓	1x12 位 SAR	1	2	0	0	–	✓	24	4	✓	48	38	8	2	68-QFN	0x2E15A069		
CY8C5288FNI-LP213	80	256	64	2	✓	1x12 位 SAR	1	2	0	0	–	✓	24	4	✓	72	62	8	2	99-WLCSP	0x2E1D5069		

注释：

85. UDB 支持广泛的功能，其中包括 SPI、LIN、UART、定时器、计数器、PWM、PRS 等等。各种功能既可以使用一个 UDB 的一部分，也可以使用多个 UDB。多个功能可以共享一个 UDB。有关使用 UDB 的更多信息，请参见第 38 页上的外设示例。

86. I/O 值包括所有数字 I/O 的类型，即：GPIO、SIO 和两个 USB I/O。有关每一种 I/O 功能的详细信息，请参见第 31 页上的 I/O 系统与路由。

87. JTAG ID 有三个主要字段。最高有效半字节（左边的数字）是版本，随后的 2 个字节是器件型号，最后 3 个半字节是制造商 ID。

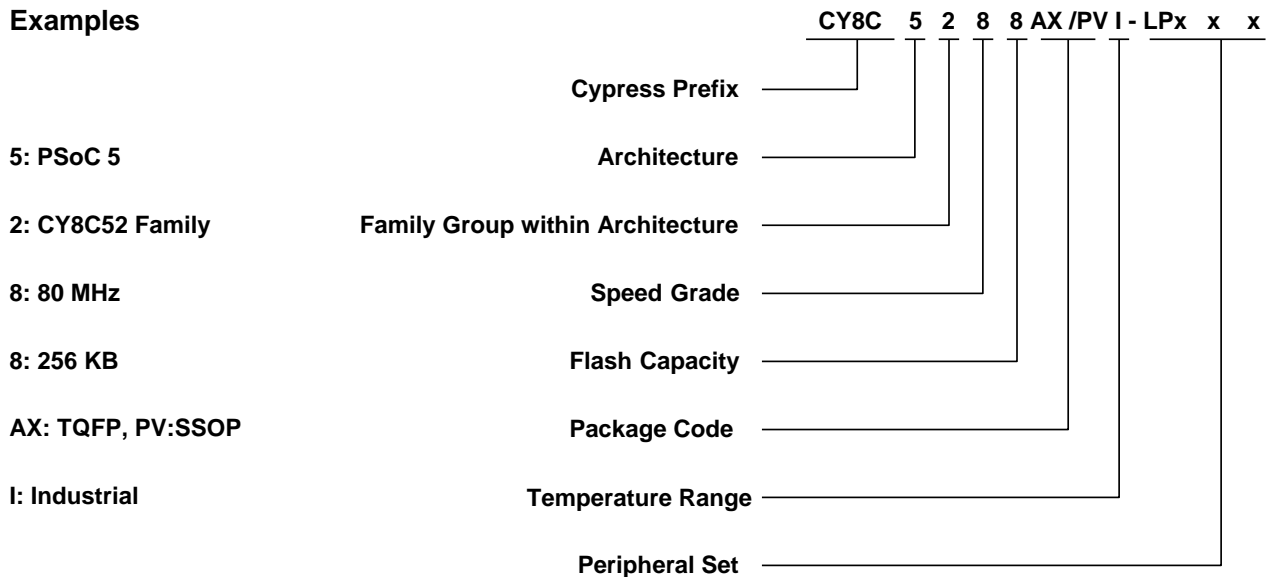
88. 该器件与表 12-1 列出的器件型号约定有所不同。它只包含 256 KB 的闪存，不支持 128 KB 的闪存。

12.1 器件型号约定

PSoC 5LP 器件遵循下面所述的编号约定。除非另有声明，否则所有字段都是单字符字母数字（0、1、2、...、9、A、B、...、Z）。
 CY8Cabcdefg-LPxxx

- a: 架构
 - 3: PSoC 3
 - 5: PSoC 5
- b: 架构的系列
 - 2: CY8C52LP 系列
 - 4: CY8C54LP 系列
 - 6: CY8C56LP 系列
 - 8: CY8C58LP 系列
- c: 速度等级
 - 6: 67 MHz
 - 8: 80 MHz
- d: 闪存容量
 - 5: 32 KB
 - 6: 64 KB
 - 7: 128 KB
 - 8: 256 KB
- ef: 封装代码
 - 两个字符的字母数字
 - AX: TQFP
 - LT: QFN
 - PV: SSOP
 - FN: CSP
- g: 温度范围
 - C: 商业级
 - I: 工业级
 - A: 汽车级
- xxx: 外设集
 - 三个字符的数字
 - 这三个字符没有任何含义

Examples



这些器件的盘带封装版本是有效的，并在器件型号后面标有“T”。

PSoC 5LP CY8C52LP 系列中的所有器件都符合 RoHS-6 规范，是赛普拉斯致力于提供无铅产品的有力证明。铅（Pb）是焊接中使用的一种合金元素，由于其潜在的毒性，已导致环境方面的问题。赛普拉斯的大部分基于引脚框架的封装都采用了镍钯金（NiPdAu）技术。

有关对赛普拉斯无铅立场的高级审核，请访问我们的网站。此外，您还可以在我们的网站上找到具体的封装信息。封装材料声明数据手册（PMDD）标出了赛普拉斯封装中包含的所有物质。PMDD 还确认其中不包含被禁止使用的物质。PMDD 中的信息将有助于赛普拉斯的客户针对回收和其他报废要求进行规划。

13. 封装

表 13-1. 封装特性

参数	说明	条件	最小值	典型值	最大值	单位
T _A	工作环境温度		-40	25	85	°C
T _J	工作结温		-40	—	100	°C
T _{JA}	封装 θ_{JA} (68-QFN)		—	15	—	°C/Watt
T _{JA}	封装 θ_{JA} (100-TQFP)		—	34	—	°C/Watt
T _{JC}	封装 θ_{JC} (68-QFN)		—	13	—	°C/Watt
T _{JC}	封装 θ_{JC} (100-TQFP)		—	10	—	°C/Watt
T _A	工作环境温度	针对 CSP 器件	-40	25	85	°C
T _J	工作结温	针对 CSP 器件	-40	—	100	°C
T _{JA}	封装 θ_{JA} (99-ball WLCSP)			16.5		°C/Watt
T _{Jc}	封装 θ_{JC} (99-ball WLCSP)		—	0.1	—	°C/Watt

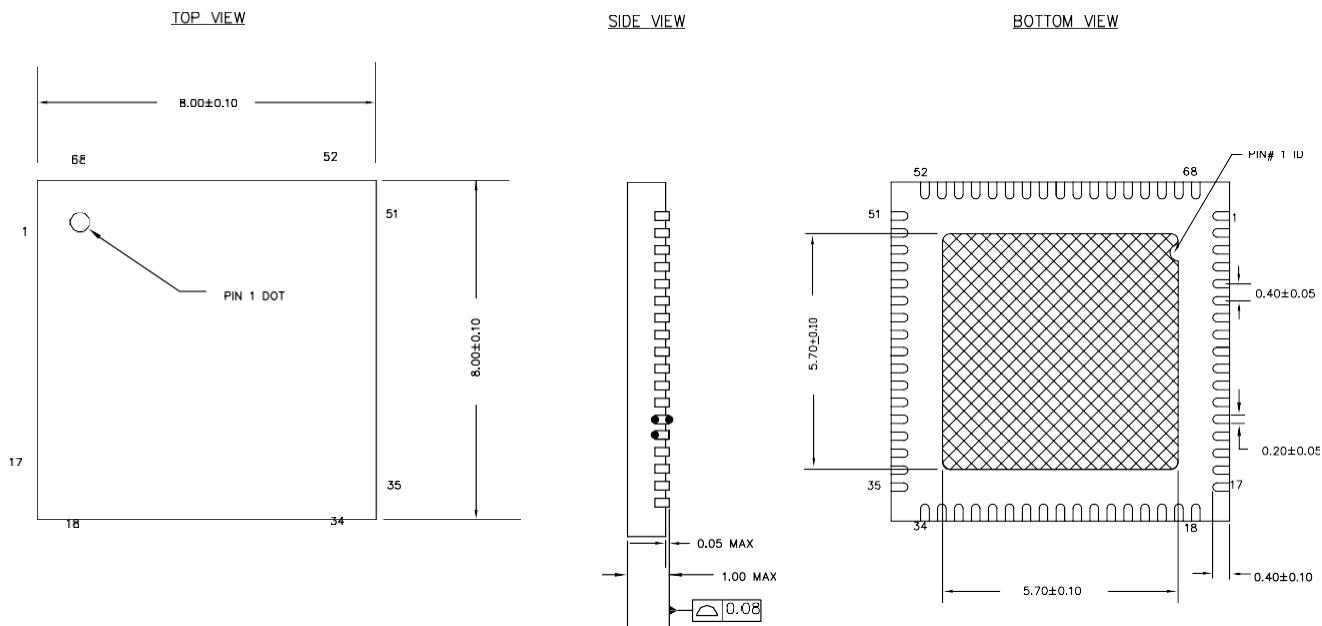
表 13-2. 回流焊峰值温度

封装	最高峰值温度	峰值温度下的最长时间
68-QFN	260 °C	30 秒
100-TQFP	260 °C	30 秒
99-ball WLCSP	255 °C	30 秒


表 13-3. 封装潮敏等级 (MSL)，IPC/JEDEC J-STD-2 标准

封装	MSL
68-QFN	MSL 3
100-TQFP	MSL 3
99-ball WLCSP	MSL1

图 13-1. 间距为 0.4 mm 的 68-QFN 8x8 封装外形 (Sawn 版本)

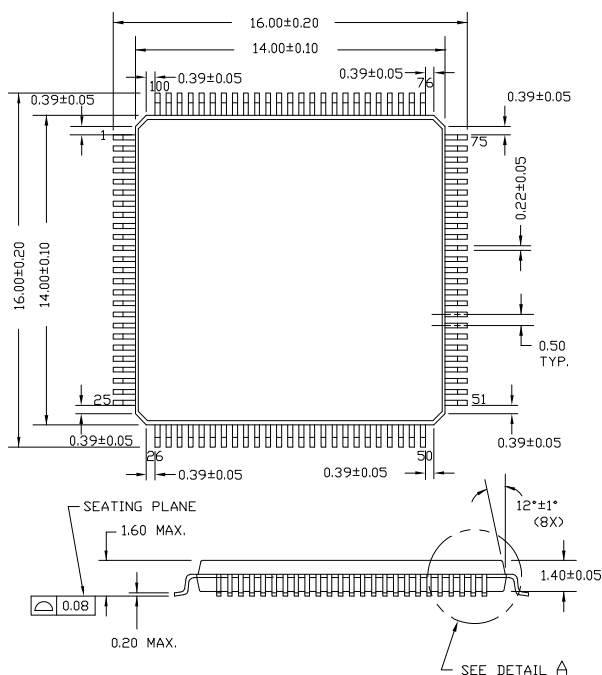


NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 17 ± 2mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

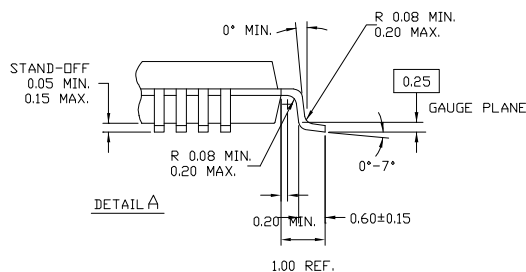
001-09618 *E

图 13-2. 100-TQFP (14 x 14 x 1.4 mm) 封装外形

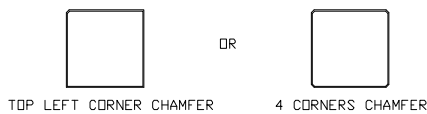


NOTE:

1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

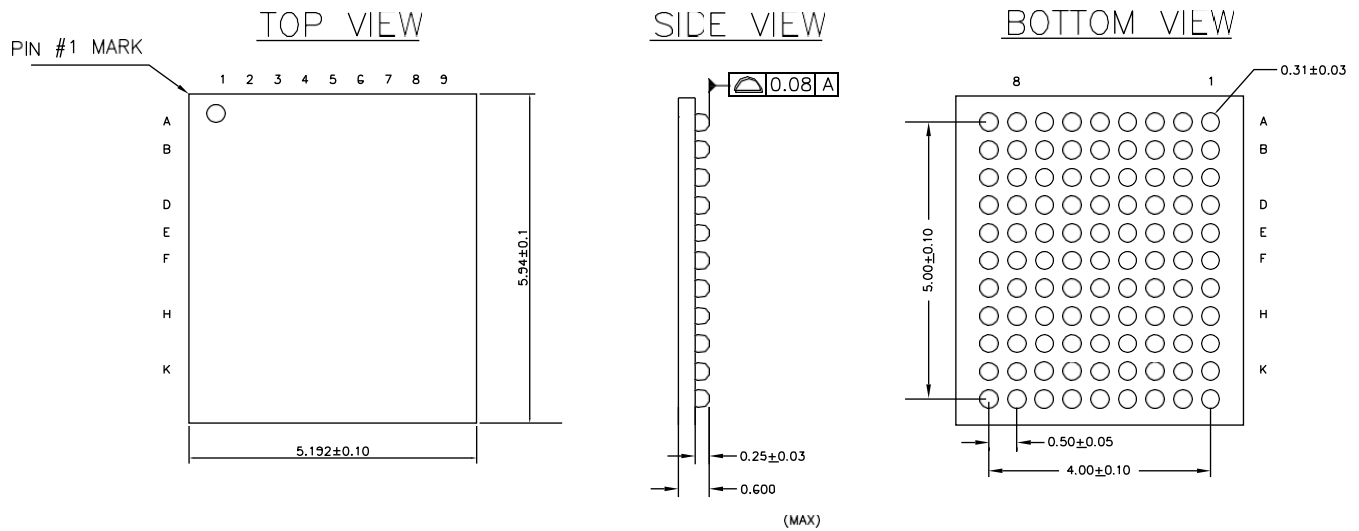


NOTE: PKG. CAN HAVE



51-85048 *K

图 13-3. WLCSP 封装 (5.192 × 5.940 × 0.6 mm)



NOTES:

1. REFERENCE JEDEC Publication 95: Design Guide 4.18
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-88034 *B

14. 缩略语

表 14-1. 本文档中使用的缩略语

缩略语	描述
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局总线
AHB	AMBA（先进的微控制器总线结构）高性能总线，它是一种 Arm 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用编程状态寄存器
Arm®	高级 RISC 机器，它是一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CMRR	共模抑制比
CPU	中央处理单元
CRC	循环冗余校验，它是一种校验错误的协议
DAC	数模转换器，另请参见 IDAC、VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出，GPIO 只有数字功能，无模拟功能。请参见 GPIO。
DMA	直接存储器访问，另请参见 TD
DNL	微分非线性，另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点和跟踪
ECC	纠错码
ECO	外部晶体振荡器
EEPROM	上电时可擦除的可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电放电
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应，另请参见 IIR
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出，适用于 PSoC 引脚

表 14-1. 本文档中使用的缩略语（续）

缩略语	描述
HVI	高电压中断，另请参见 LVI、LVD
IC	集成电路
IDAC	电流 DAC，另请参见 DAC、VDAC
IDE	集成开发环境
I²C 或 IIC	互联集成电路，它是一种通信协议
IIR	无限脉冲响应，另请参见 FIR
ILO	内部低速振荡器，另请参见 IMO
IMO	内部主振荡器，另请参见 ILO
INL	积分非线性，另请参见 DNL
I/O	输入 / 输出，另请参见 GPIO、DIO、SIO、USBIO
IPOR	初次上电复位
IPSR	中断程序状态寄存器
IRQ	中断请求
ITM	仪表跟踪宏单元
LCD	液晶显示器
LIN	本地互连网络，它是一种通信协议。
LR	链接寄存器
LUT	查找表
LVD	低压检测，另请参见 LVI
LVI	低压中断，另请参见 HVI
LVTTTL	低压晶体管 - 晶体管逻辑
MAC	乘法累加器
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器，另请参见 WOL
opamp	运算放大器
PAL	可编程阵列逻辑，另请参见 PLD
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器
PHY	物理层
PICU	端口中断控制单元
PLA	可编程逻辑阵列
PLD	可编程逻辑器件，另请参见 PAL
PLL	锁相环

表 14-1. 本文档中使用的缩略语 (续)

缩略语	描述
PMDD	封装材料声明数据手册
POR	上电复位
PRES	精密低电压复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC®	可编程片上系统
PSRR	电源抑制比
PWM	脉宽调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器转换语言
RTR	远程发送请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I ² C 串行时钟
SDA	I ² C 串行数据
S/H	采样和保持
SIO	特殊输入 / 输出, 即带高级功能的 GPIO。请参见 GPIO。
SNR	信噪比
SOC	开始转换
SOF	帧开始
SPI	串行外设接口, 它是一种通信协议

表 14-1. 本文档中使用的缩略语 (续)

缩略语	描述
SR	斜率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试, 它是一种测试协议
SWV	单线浏览器
TD	传输描述符, 另请参见 DMA
THD	总谐波失真
TIA	互阻放大器
TRM	技术参考手册
TTL	晶体管 - 晶体管逻辑
TX	发送
UART	通用异步发送器接收器, 它是一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出, 用于连接至 USB 端口的 PSoC 引脚
VDAC	电压数模转换器, 另请参见 DAC、IDAC
WDT	看门狗定时器
WOL	一次性写锁存器, 另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位引脚
XTAL	晶振

15. 文档规范

15.1 测量单位

表 15-1. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 字节
kbps	千比特每秒
Khr	千小时
kHz	千赫兹
kΩ	千欧
ksps	千次采样每秒
LSB	最低有效位
Mbps	兆比特每秒
MHz	兆赫兹
MΩ	兆欧
Msps	兆次采样每秒
μA	微安

表 15-1. 测量单位 (续)

符号	测量单位
μF	微法
μH	微亨
μs	微秒
μV	微伏
μW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pF	皮法
ppm	百万分率
ps	皮秒
s	秒
sps	采样数每秒
sqrtHz	赫兹平方根
V	伏特

文档修订记录页

文档标题: PSoC® 5LP: 可编程片上系统 (PSoC®) CY8C52LP 系列的数据手册 文档编号: 001-91765			
版本	ECN	提交日期	变更说明
**	4322133	03/26/2014	本文档版本号为 Rev**, 译自英文版 001-84933 Rev*D。
*A	4769268	06/18/2015	本文档版本号为 Rev*A, 译自英文版 001-84933 Rev*G。
*B	5232282	04/22/2016	本文档版本号为 Rev*B, 译自英文版 001-84933 Rev*I。
*C	5778098	06/20/2017	本文档版本号为 Rev*C, 译自英文版 001-84933 Rev*K。
*D	6192039	05/31/2018	本文档版本号为 Rev. *D, 译自英文版 001-84933 Rev. *L。
*E	6634252	07/23/2019	本文档版本号为 Rev. *E, 译自英文版 001-84933 Rev. *M。
*F	6880936	05/13/2020	本文档版本号为 Rev. *F, 译自英文版 001-84933 Rev. *N。

销售、解决方案和法律信息

全球销售和設計支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器

cypress.com/arm

汽车级产品

cypress.com/automotive

时钟与缓冲器

cypress.com/clocks

接口

cypress.com/interface

物联网

cypress.com/iot

存储器

cypress.com/memory

微控制器

cypress.com/mcu

PSoC

cypress.com/psoc

电源管理 IC

cypress.com/pmic

触摸感应

cypress.com/touch

USB 控制器

cypress.com/usb

无线连接

cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [代码示例](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2012-2020年。本文件是赛普拉斯半导体公司及其子公司，包括Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及漏洞的责任，例如未经授权的使用或访问赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion徽标，及上述项目的组合，WICED，及PSoC、CapSense、EZ-USB、F-RAM和Traveo应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问cypress.com获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。