

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

概述

PSoC™ 4 是一个可扩展和可重配置的平台架构，是一个包含 Arm® Cortex®-M0 CPU 的可编程嵌入式系统控制器。通过灵活自动布线资源，它将可编程及可重新配置的模拟模块与数字模块相结合。基于此平台的 PSoC 4200L 产品系列组合了具有数字可编程逻辑、可编程模拟、可编程互联和片外存储器扩展安全性的微控制器、高性能的模数转换、支持比较器模式的运算放大器以及标准通信和定时外设。针对新应用和设计方面的要求，PSoC 4200L 产品与 PSoC 4 平台系列产品将会完全向上兼容。可编程模拟和数字子系统支持灵活、现场调试的设计。

特性

32 位 MCU 子系统

- 带有单周期乘法功能的 48 MHz Arm Cortex-M0 CPU
- 包含读取加速器的闪存大小可达 256 kB
- 容量达 32 kB 的 SRAM
- 带有 32 个通道的 DMA 引擎

可编程的模拟模块

- 在深度睡眠模式下运行的四个运算放大器会消耗较低的电流
- 所有运算放大器都具有可重配置高电流引脚驱动、高带宽内部驱动、ADC 输入缓冲以及带有灵活连接性 (允许输入连接到任何引脚) 的比较器模式。
- 每个引脚上的四个电流 DAC (IDAC)，用于通用目的或电容式感应应用场合
- 两个低功耗比较器支持深度睡眠模式

可编程的数字模块

- 八个可编程的逻辑模块 (又称通用数字模块或简称为 UDB)，每个模块包含 8 个宏单元和一个 8 位数据路径
- 赛普拉斯提供的外设组件库、用户定义的状态机以及 Verilog 输入

低功耗模式下的工作电压为 1.71 到 5.5 V

- 支持 GPIO 引脚唤醒的 20 nA 停止模式
- 休眠和深度睡眠模式允许实现唤醒时间与功耗之间的权衡。

电容式感应

- 两个赛普拉斯的电容式 Sigma-Delta (CSD) 模块提供了一流的 SNR (>5:1) 和耐水性
- 通过赛普拉斯提供的软件组件可以更容易地实现电容式感应设计
- 硬件自动调校 (SmartSense™)

段式 LCD 驱动

- 所有引脚都支持 LCD 驱动 (多达 64 个输出 (Com 或 Seg 驱动))
- 在深度睡眠模式下运行，每个存储器引脚的容量为 4 位

串行通信

- 运行时可重新配置的四个独立串行通信模块 (SCB) 包含可重新配置 I²C、SPI 或 UART 功能
- 具有电池充电检测功能的 USB 全速度器件接口 (12 Mbps/秒)
- 两个独立的 CAN 模块，用于工业和汽车网络

时序和脉冲宽度调制

- 八个 16 位定时器 / 计数器脉冲宽度调制器 (TCPWM) 模块
- 支持中心对齐模式、边缘模式和伪随机模式
- 基于硬件比较器的 “Kill” 信号，适用于电器驱动和其它高可靠性数字逻辑的应用

多达 98 个可编程 GPIO

- 124-VFBGA、64-TQFP、48-TQFP 和 68-QFN 封装
- 其中 94 个 GPIO 引脚中的任何一个可能为 CapSense、模拟或数字引脚
- 可编程驱动模式、强度和输出摆率

PSoC Creator 设计环境

- 集成开发环境 (IDE) 提供了原理图设计输入和编译 (包括模拟和数字自动布线)
- 应用编程接口 (API 组件) 可用于所有固定功能和可编程的外设

行业标准工具的兼容性

- 输入原理图后，可以使用基于 Arm 的工业标准开发工具进行开发

更多有关的信息

在赛普拉斯的 www.cypress.com 网站上 提供了大量资料，有助于选择符合您设计的 PSoC 器件，并能够快速有效地将该器件集成到您的设计中。有关使用资源的完整列表，请参考知识库文章 [KBA86521 — 如何使用 PSoC 3、PSoC 4 和 PSoC 5LP 进行设计](#)。下面是 PSoC 4 的简要列表：

■ 概况：PSoC 产品系列、PSoC 路线图

■ 产品选型器：PSoC 1、PSoC 3、PSoC 4、PSoC 5LP

此外，PSoC Creator 还包含一个器件选择工具。

■ 应用笔记：赛普拉斯提供了大量 PSoC 应用笔记，包括从基本到高级的广泛主题。下面列出了 PSoC 4 入门的应用笔记：

- [AN79953](#): PSoC 4 入门
- [AN88619](#): PSoC 4 硬件设计的注意事项
- [AN86439](#): 使用 PSoC 4 GPIO 引脚
- [AN57821](#): 混合信号电路板布局
- [AN81623](#): 数字设计的最佳实践
- [AN73854](#): Bootloader 简介
- [AN89610](#): Arm Cortex 代码优化
- [AN85951](#): PSoC 4 和 PSoC 6 MCU CapSense 设计指南

■ 技术参考手册 (TRM) 有两个文件：

- [架构技术参考手册](#)详细介绍每个 PSoC 4 功能模块。
- [寄存器技术参考手册](#)描述每个 PSoC 4 寄存器。

■ 开发套件：

- [CY8CKIT-042](#) (PSoC4 Pioneer 套件) 是一种易于使用且廉价的开发平台。该套件包括用于 Arduino™ 兼容屏蔽和 Digilent® Pmod™ 子卡的连接器。
- [CY8CKIT-046](#), PSoC 4 L 系列 Pioneer 套件是一款易于使用且价格低廉的开发平台。该套件包括用于 Arduino™ 兼容屏蔽的连接器。
- [CY8CKIT-049](#) 是一种成本非常低的原型平台。它是一种低成本的备用方案，用于 PSoC 4 器件采样。
- [CY8CKIT-001](#) 为所有 PSoC 1、PSoC 3、PSoC 4 或 PSoC 5LP 器件系列提供一个通用的开发平台。

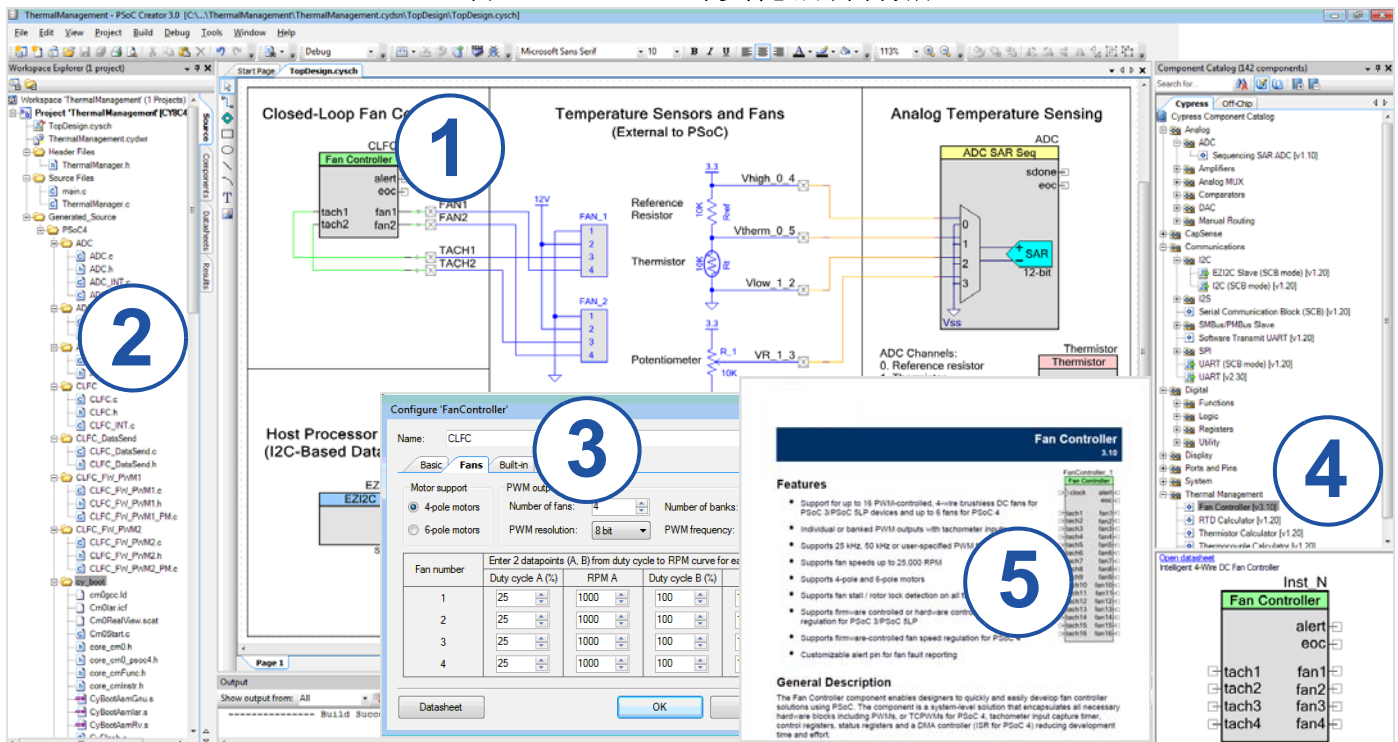
[MiniProg3](#) 器件提供一个用以进行闪存编程和调试的接口。

PSoC Creator

[PSoC Creator](#) 是免费的基于 Windows 的集成开发环境 (IDE)。通过它可以同时在 PSoC 3、PSoC 4 和 PSoC 5LP 的系统中设计硬件和固件。PSoC Creator 通过基于原理图的经典方法设计系统架构，由上百个预验证可用于生产的 PSoC Component 给与支持。更多信息请参考[组件数据手册列表](#)。使用 PSoC Creator，可以执行以下操作：

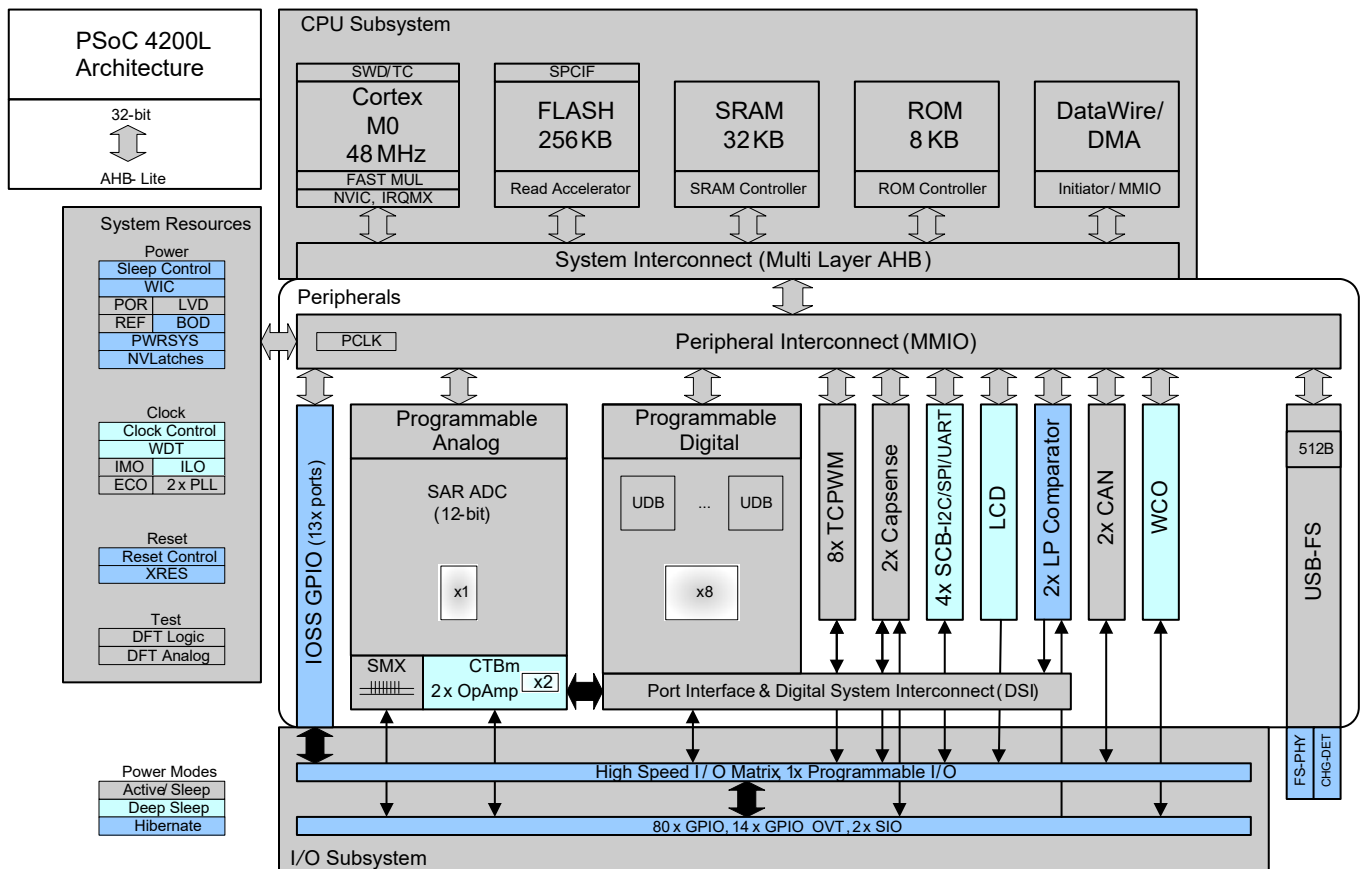
1. 将组件图标施放到主要设计工作区中，以进行您的硬件系统设计
2. 使用 PSoC Creator 集成开发环境 C 编译器对您的应用固件和 PSoC 硬件进行协同设计
3. 使用配置工具配置各组件
4. 包含 100 多个组件的库
5. 查看组件数据手册

图 1. PSoC Creator 中多传感器的示例项目



目录

PSoC 4200L框图	4	数字外设	25
功能定义	5	存储器	28
CPU和存储器子系统	5	系统资源	29
系统资源	5	订购信息	36
模拟模块	6	器件型号规范	37
可编程的数字模块	7	封装	38
固定功能数字模块	8	缩略语	42
GPIO	9	文档规格	44
SIO	9	测量单位	44
特殊功能外设	9	修订记录	45
引脚分布	10	销售、解决方案和法律信息	46
电源	15	全球销售和设计支持	46
非稳压外部供电	15	产品	46
稳压外部供电	15	PSoC™解决方案	46
电气规范	16	赛普拉斯开发者社区	46
最大绝对额定值	16	技术支持	46
器件级规范	16		
模拟外设	20		

图 2. 框图


PSoC 4200L 框图

PSoC 4200L 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

Arm 串行线调试接口支持器件的所有编程和调试功能。

借助完善的片上调试功能，使芯片能够在最终的系统中进行全面的调试而不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接，即可全面支持调试。

PSoC Creator 集成开发环境 (IDE) 能够为 PSoC 4200L 器件提供全面集成的开发和调试支持。SWD 接口与工业标准的第三方工具全面兼容。PSoC 4200L 系列提供了一个不适用于多芯片应用解决方案和微控制器的安全级别。这是因为通过它可以禁用调

试特性和强大的闪存保护功能，并允许在片上可编程块内实现用户专有功能。

默认情况下，调试电路处于使能状态，并且只能在固件中被禁用。如果未使能，唯一的使能方法是擦除整个器件，清除闪存保护，然后用新固件对器件进行重新编程，以便启用这些调试功能。

此外，对于担心会通过器件恶意重新编程进行欺诈性攻击或试图击败安全启动和中断闪存编程序列的应用，可以永久禁用所有器件接口。由于使能最高安全级别时将禁用所有编程、调试和测试接口，因此已启用全器件安全性的 PSoC 4200L 器件将不能退回进行故障分析。这是 PSoC 4200L 允许客户进行的权衡。

功能定义

CPU 和存储器子系统

CPU

PSoC 4200L 中的 Cortex-M0 CPU 是 32 位 MCU 的子系统，该内核通过扩展的门控时钟来优化低功率操作。它通常使用 16 位指令并可以执行 Thumb-2 指令集。这样能够将完全兼容的二进制代码导入更高性能的处理器，如 Cortex M3 和 M4。PSoC 4200L 器件还包含了一个能在单一周期内计算出 32 位结果的硬件乘法器。Cortex-M0 包括一个具有 32 路中断输入的嵌套矢量中断控制器 (NVIC) 模块和一个唤醒中断控制器 (WIC)，WIC 控制器可将处理器从深度睡眠模式唤醒，允许芯片处于深度睡眠模式时关闭供给主处理器的电源。Cortex-M0 CPU 提供一个不可屏蔽中断输入 (NMI)，该输入未被系统函数使用时可以提供给用户使用。

CPU 还包括一个调试接口，即串行线调试 (SWD) 接口，PSoC 4200L 的调试配置有四个断点 (地址) 比较器和两个观察点 (数据) 比较器。

闪存

PSoC 4200L 包含一个闪存模块，该模块的闪存加速器与 CPU 紧密耦合，以改善闪存模块的平均访问时间。闪存模块可在工作频率为 48 MHz 的情况下提供两个等待状态 (WS) 的访问时间，并在工作频率为 24 MHz 的情况下提供一个等待状态的访问时间。闪存加速器的单周期访问平均占 SRAM 的 85%。如果需要，闪存模块的部分空间可以用于仿真 EEPROM。

SRAM

在休眠时保持 SRAM 存储器的内容。

SROM

此外，还提供了包含引导和配置子程序的特权 ROM。

DMA

通过一个 DMA 引擎可以执行 32 位传输，并有链式乒乓描述符。

系统资源

电源系统

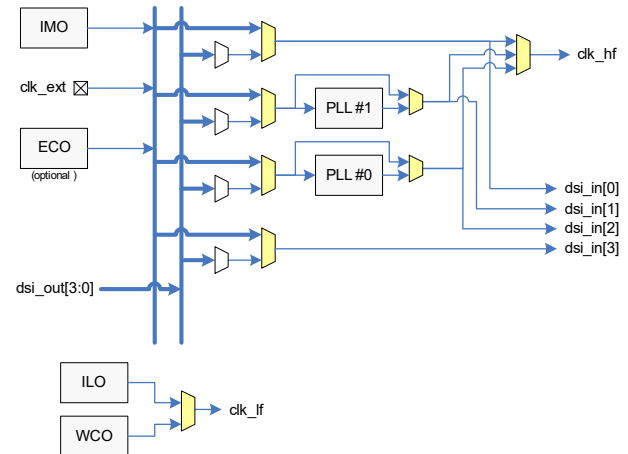
有关电源系统的详细信息，请参考第 15 页上的电源章节中所介绍的内容。它确保电压电平满足每个相应模式的要求，延迟模式输入 (例如，上电复位 (POR) 模式) 直到电压电平满足正常功能，或生成各种复位 (欠压检测 (BOD))，或中断 (低电压检测 (LVD))。PSoC 4200L 可通过一个外部电源供电，其电压范围为 1.71 至 5.5 V。它拥有 5 种不同的电源模式，这些模式之间的转换由电源系统管理。PSoC 4200L 支持睡眠、深度睡眠、休眠和停止等各种低功耗模式。

时钟系统

PSoC 4200L 的时钟系统为需要时钟的所有子系统提供时钟，并且通过该时钟系统可以在各种时钟源之间进行切换而不会产生毛刺。此外，时钟系统可确保没有亚稳态情况的出现。

PSoC 4200L 的时钟系统包括一个晶体振荡器 (频率范围为 4 到 33 MHz)、一个监视晶体振荡器 (工作频率为 32 kHz)、一个锁相环 (PLL)、IMO 和内部低速振荡器 (ILO) 以及一个备用的外部时钟。

图 3. PSoC 4200L MCU 时钟架构



通过分频，clk_hf 信号可以生成用于 UDB、模拟和数字外设的同步时钟。PSoC 4200L 一共有 16 个时钟分频器，每一个都有 16 位分频功能；这样允许功能固定模块使用 12 个，UDB 则使用 4 个。模拟时钟的相位可以提前数字时钟，以允许在生成数字时钟相关的噪声之前发生模拟事件。16 位的分频能够为生成精细的频率值提供极大的灵活性。PSoC Creator 能够完全支持时钟的分频方案。

IMO 时钟源

在 PSoC 4200L 中，IMO 是首要的内部时钟源。在测试过程中，该时钟源被校准，以达到指定的精度。校准值存储在非易失性锁存器 (NVL) 中。存储在闪存中的额外校准设置可在 IMO 频率变化时做补偿。IMO 的默认频率为 24 MHz；其频率范围为 3 MHz 到 48 MHz，增 / 减步长为 1 MHz。对于赛普拉斯提供的校准设置，IMO 容差为 $\pm 2\%$ 。

ILO 时钟源

ILO 是超低功耗的振荡器 (32 kHz 额定值)，主要用于生成深度睡眠模式下工作的外设时钟。利用 IMO 校准 ILO 驱动计数器可以提高准确度。赛普拉斯提供了一个用于校准目的的软件组件。

晶体振荡器和 PLL

PSoC 4200L 时钟子系统还能够实现两种振荡器：高频率 (4 ~ 33 MHz) 以及用于精度时序应用的低频率 (32 kHz 监视晶振)。通过使用高频率晶体振荡器，PLL 可以生成频率为 48 MHz 的输出。

看门狗定时器

看门狗定时器由来源于 ILO 的时钟提供脉冲，所以看门狗可在深度睡眠模式下工作，并在超时发生前仍未处理时生成看门狗复位。看门狗复位在复位原因寄存器内被记录。

复位

可以从各种源 (包括软件复位) 复位 PSoC 4200L。复位事件是异步的，用于确保将器件及时恢复到一个已知的状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允

许用户确定复位原因。芯片为外部复位提供一个 XRES 引脚，以避免在上电或重新配置期间，同配置和多个引脚存在问题。

参考电压

PSoC 4200L 参考系统生成芯片需要的所有内部参考。参考系统为 12 位 ADC 提供 1% 精度的电压参考。为了获得更好的信噪比 (SNR) 和更好的绝对准确度，可以使用 GPIO 引脚将外部旁路电容添加到内部参考电压或将外部参考电压用于 SAR。

模拟模块

12 位 SAR ADC

12 位的 1M 样本 / 秒的 SAR ADC 可在 18 MHz 的最大时钟速率下运行，在该频率下进行一次 12 位数据转换至少需要 18 个时钟周期。

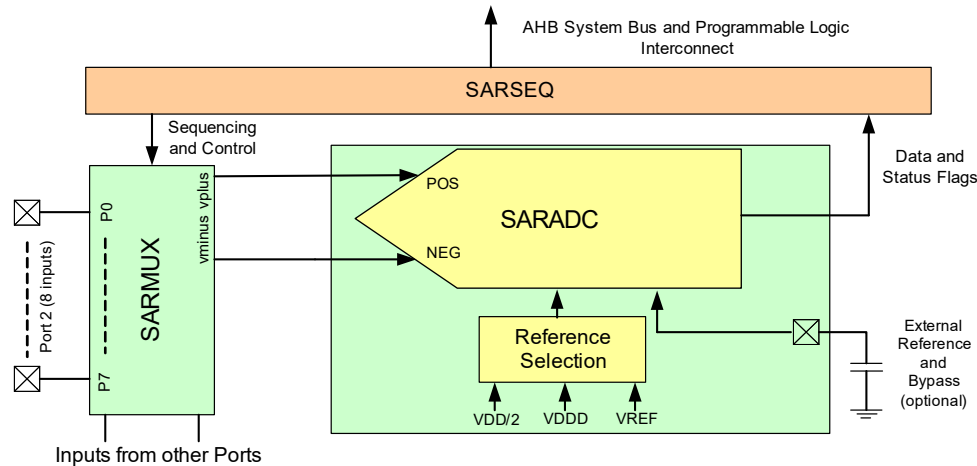
该模块通过：添加参考电压缓冲；（针对 PSoC 4200L 系列）提供三个内部电压参考选择： V_{DD} 、 $V_{DD}/2$ 、和 V_{REF} （额定电压为 1.024 V）和提供外部参考电压输入引脚来增强模块的功能。采样

和保持 (S/H) 时间是可编程，能够降低对驱动 SAR 输入的放大器（它决定了 SAR 的建立时间）的增益带宽的要求。在使用合适的参考和允许的噪声环境下，对于真正的 12 位精度，系统性能是 65 dB。为提高在嘈杂条件下的性能，可以为内部参考电压提供一个外部旁路电容（耦合滤波）。

SAR 通过一个 8 输入定序器（可扩展到 16 个输入）连接到一组固定引脚。定序器自动通过已选通道循环（定序器扫描），而不需要任何软件开销（即无论是在单通道的还是在分布在多通道上，总抽样带宽一直等于 1 Msps）。定序器的切换通过一个状态机或固件驱动实现。定序器的每一路转换结果被缓存到不同的结果寄存器，减轻 CPU 中断处理的要求。为了适应各种源阻抗和频率的信号，每个通道可有不同的可编程采样时间。另外，SAR ADC 支持硬件的转换结果溢出检测机制。转换结果的上下范围可以指定并保存在寄存器里，当 ADC 转换结果上 / 下溢出时，可以触发中断。这样节省了 CPU 软件检测转换结果溢出与否的时间。

SAR 可以量化电路板上的温度传感器的输出，来对其它功能做温度补偿。当需要一个高速时钟（可高达 18 MHz）时，SAR 不可用在深度睡眠模式和休眠模式。SAR 的工作范围为 1.71 至 5.5 V。

图 4. SAR ADC 系统框图



模拟复用总线

PSoC 4200L 有两个环航芯片外设的同心模拟总线（模拟复用总线 A 和模拟复用总线 B）。这些总线可以将模拟信号从任何引脚传输到各种模拟模块（包括运算放大器）和 CapSense 模块，例如可以用 ADC 监控芯片上的任何引脚。这些总线相互独立并且可以分为三个独立部分。第一个部分用于 CapSense，第二个用于通用模拟信号处理，第三个用于通用数字外设和 GPIO。

四个运算放大器 (CTBm 模块)

PSoC 4200L 具有带比较器模式的四个运算放大器，这样能够在片上执行最常见的模拟功能，而无需外部组件。PGA、电压缓冲器、滤波器、跨阻放大器和其他功能通过使用外部无源组件实现，从而节省电源、成本和空间。片上运算放大器有足够的带宽来驱动 ADC 的采样和保持电路而不必使用外部缓冲。在深度睡眠模式下，只要使用极低的功耗运行这些运算放大器。下图显示的是运算放大器子系统中的两对相同运算放大器的其中一对。

图 5. 运算放大器子系统中的相同运算放大器对

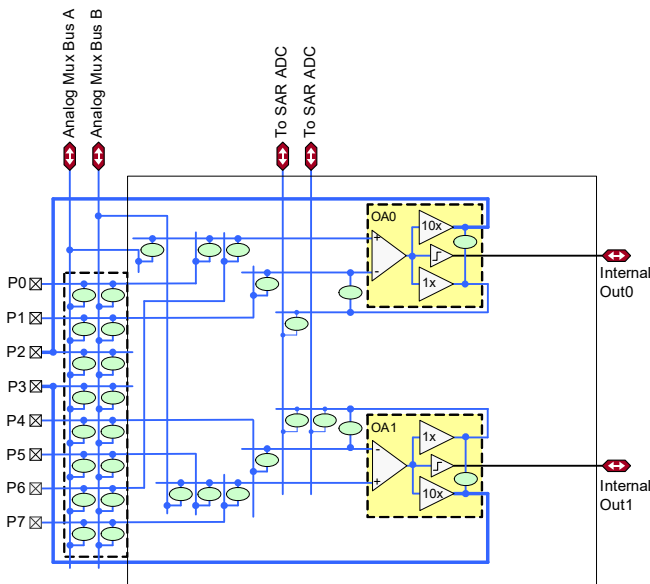


图 5 中的椭圆形表示模拟开关，通过用户固件、SAR 定序器或用户定义的可编程逻辑可以控制这些开关。通过这些开关可以配置各运算放大器 (OA0 和 OA1)，用以对相应反馈组件进行所有标准运算放大器功能。

可以对各运算放大器 (OA0 和 OA1) 进行编程和重新配置以便向可交换的反馈组件提供标准的运算放大器功能。此外，还提供了用于直接驱动引脚的单位增益功能，或者，供内部使用（如该图所示的缓冲 SAR ADC 输入）。另外，这些运算放大器还能作为真值比较器使用。

运算放大器输入提供高度灵活连接并且可以直接连接至专用引脚，或通过模拟复用总线连接至芯片上的引脚。模拟开关连接由用户固件和用户定义的可编程数字状态机 (通过 UDB 实现) 控制。这些运算放大器使用极低电流在深度睡眠模式下运行，旨在允许模拟电路在深度睡眠模式下持续运行。

温度传感器

PSoC 4200L 有一个片上温度传感器。该传感器包含一个二极管，该二极管的偏置电流由一个电源（可被禁用以便节省功耗）提供。该温度传感器的输出可以连接至 ADC 做量化采样，量化结果通过赛普拉斯提供的固定算法来转换成温度值。

低功耗比较器

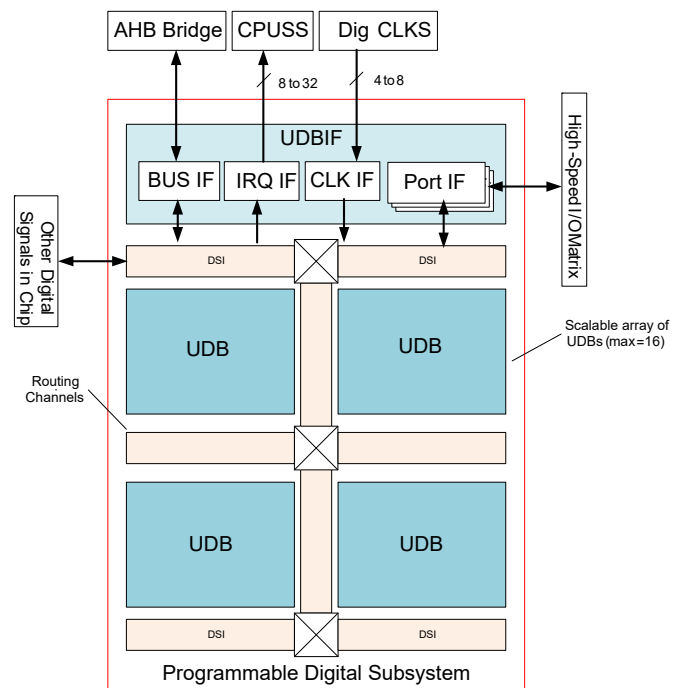
PSoC 4200L 有一对能在深度睡眠和休眠模式下工作的低功耗比较器。当模拟系统模块被禁用时，比较器仍可以在低功耗模式下监控外部电压电平。比较器输出通常都同步到主时钟以避免亚稳态，除非它在一个异步功耗模式（休眠）下操作，在此模式下，比较器开关事件由系统唤醒电路激活。

可编程的数字模块

通用数字模块 (UDB) 及端口接口

PSoC 4200L 具有八个 UDB；UDB 阵列同样也提供了一个数字信号互连 (DSI) 结构，允许将外设和端口中的信号布线到或经过 UDB，以进行通信和控制。下图显示的是 UDB 阵列。

图 6. UDB 阵列



UDB 可由时钟分频器模块、端口接口（外设，如 SPI 需要）和 DSI 网络直接或在同步后提供时钟脉冲。

端口接口被定义作为一个寄存器使用，并可由 UDB 阵列中 PLD 的相同源来提供时钟脉冲。这样允许能够更快地运行，因为输入和输出可被保存在接近 I/O 引脚的端口接口和阵列的边缘上。端口接口寄存器可以由来自同一端口的一个 I/O 引脚提供时钟脉冲。这样，通过消除延迟将端口输入布线到 DSI 上并用于寄存其他输入，各种接口（如 SPI）可以在较高的时钟速度运行。端口接口在图 7 中显示。

UDB 可以给中断控制器生成中断（每次允许一个 UDB）。UDB 仍可通过 DSI 连接到芯片上的大部分引脚，不包括来自端口 7、8、9 的引脚。

The diagram illustrates the internal architecture of the DSI interface. At the top, the **High Speed I/O Matrix** is connected to the **Input Registers** (bits 7 to 0) and **Output Registers** (bits 7 to 0). The **Input Registers** are connected to the **DSI** via an 8-bit bus. The **Output Registers** are connected to the **DSI** via an 8-bit bus. The **Enables** block (bits 3 to 0) is connected to the **DSI** via a 4-bit bus. The **Input Registers** and **Output Registers** are also connected to the **DSI** via 8-bit buses. The **Enables** block is connected to the **DSI** via a 4-bit bus. The **Input Registers** and **Output Registers** are connected to the **DSI** via 8-bit buses. The **Enables** block is connected to the **DSI** via a 4-bit bus. The **Input Registers** and **Output Registers** are connected to the **DSI** via 8-bit buses. The **Enables** block is connected to the **DSI** via a 4-bit bus.

定时器/计数器/PWM (TCPWM) 模块

(由于 CPU 没有及时读取数据, 因此才导致时钟延展)。FIFO 可用在所有通道, 并在没有 DMA 的情况下非常有用。

UART 模式：这是一个可在速度高达 1 Mbps 的条件下运行的全功能 UART。它支持汽车单线接口 (LIN)、红外接口 (IrDA) 和智能卡 (ISO7816) 的协议，它们全部都是基本 UART 协议的衍生协议。此外，它还支持 9 位多处理器模式，此模式允许寻址连接到通用的 RX 和 TX 线的外设。支持通用 UART 功能，如奇偶校验错误、中断检测以及帧错误。一个 8 字节 FIFO 让更多的 CPU 服务延迟得到容许。

串行通信模块 (SCB)

USB 器件

I²C 模式: 硬件 I²C 模块实现了一个完整的多主设备和从设备接口 (它具有多主设备的校准功能)。该模块的工作速度可达 1 Mbps (增强型快速模块), 另外它还提供各种灵活的缓冲选项, 以降低 CPU 的中断开销和延迟。该模块还具有一个 **EzI²C**, 通过它可以在 **PSoC 4200L** 存储器中创建缓冲存储器的地址范围, 并且对存储器中的阵列进行读写操作时可以大量降低 I²C 通信。此外, 该模块提供一个深度为 8 字节的 **FIFO**, 用于数据的接收和传送。该模块延长了 CPU 读取数据的时间, 从而减少了时钟延展的发生。

CAN 模块

PSoC 4200L 拥有两个独立的 CAN 2.0B 模块，这两个模块符合 CAN 规范。

GPIO

PSoC 4200L 拥有 96 个 GPIO。GPIO 模块实现下列功能：

- 驱动强度模式包括下面八种：强推拉、电阻上拉及下拉、弱（电阻）上拉及下拉、开漏及开源、输入和禁用
- 选择输入阈值（CMOS 或 LVTTTL）
- 禁用输入和输出的单独控制
- 用于门锁前一状态的保持模式（用于保留 I/O 在深度睡眠模式和休眠模式的状态）
- dV/dt 相关噪声控制的可选斜率，用以降低 EMI

引脚被分组为逻辑单元，称为端口，其宽度为 8 位。上电和复位期间，各模块被强制为禁用状态，以禁止通电任何输入和 / 或造成启用的过电流现象。高速 I/O 矩阵的复用网络用于复用连接一个 I/O 引脚至多个信号。固定功能外设的引脚位置也被固定以减少内部使用的复杂性（这些信号不通过 DSI 网络布线）。DSI 信号不受此影响，且所有引脚均可通过 DSI 网络连接至任何 UDB，不包括来自端口 7、8、9 的引脚。

数据输出寄存器和引脚状态寄存器分别用于驱动和保存引脚当前的状态。

如果 I/O 引脚被使能，它将生成一个中断，并且每个 I/O 端口都有一个中断请求（IRQ）和相关的中断服务子程序（ISR）向量（对于 PSoC 4200L，向量数量为 13）。

有 14 个 GPIO 过压容差（ V_{IN} 可以超过 V_{DD} ）。根据 I²C 规范，在过压单元的输入超过 V_{DDIO} 时，这些单元不会输出高于 10 μA 的电流。为了使 FM 和 FM+ 的 I²C 下降时间最小，可能会需要根据总线加载将转换速率设置得更低（该特性适用于所有 GPIO 和 SIO 引脚）。

SIO

特殊 I/O (SIO) 引脚拥有通用的 IO 特性，另外还具有以下特性：

- 防止过压和热插拔功能
- 可编程的切换阈值
- 可编程的输出上拉电压功能

可以将这些引脚连接到各种总线上（如 I²C — 与 I²C 完全兼容），这些引脚也可以连接到运行电压不同的器件上。PSoC4200L 上有两个 SIO 引脚。

特殊功能外设

LCD 段驱动

PSoC 4200L 有一个 LCD 控制器，可驱动多达 8 个 Common 和 56 个 Segment。任何引脚都可以作为一个 common 引脚或一个 segment 引脚。该控制器使用完整的数字方法驱动 LCD 段，而不需要内部生成 LCD 电压。这两种方法被称为数字相关和 PWM。

数字相关涉及到调制频率、通用电压和段信号，用于生成一个段的最高 RMS 电压，以照亮或保持 RMS 信号为零。这种方法对 STN 有用，但可能会导致降低跟 TN 显示的对比度。

PWM 属于 PWM 信号驱动板，有效地使用面板的电容来生成所需的 LCD 电压。这种方法导致会更高的功耗，但驱动 TN 显示时可能会导致更好的结果。

CapSense

通过两个 CapSense Sigma-Delta (CSD) 模块，所有 PSoC 4200L 的引脚都支持 CapSense 功能：通过一个模拟复用器总线，此模块可连接到任何一个引脚，所有 GPIO 引脚都可以使用一个模拟开关来连接该总线。因此，在软件控制情况下，系统中的任何引脚或引脚组都可以提供 CapSense 功能。另外，CapSense 模块也提供了组件，以便于使用。

通过将屏蔽电压驱动到另一个模拟总线可以提供防水性能。通过对屏蔽电极与感应电极输入同相的信号来提供防水功能。这样可以避免屏蔽电容衰减感应输入。

每个 CapSense 模块具有两个 IDAC。如果不使用 CapSense（两个 IDAC 在此情况下均可用）或者 CapSense 没有使能防水功能（只有一个 IDAC 有效），那么可以将这两个 IDAC 用作通用目的。可以独立使用两个 CapSense 模块。

引脚分布

下面显示的是 PSoC 4200L 的引脚列表。

124-BGA		68-QFN		64-TQFP		48-TQFP		48-TQFP-USB	
引脚	名称	引脚	名称	引脚	名称	引脚	名称	引脚	名称
H13	P0.0	42	P0.0	39	P0.0	28	P0.0	28	P0.0
H12	P0.1	43	P0.1	40	P0.1	29	P0.1	29	P0.1
G13	P0.2	44	P0.2	41	P0.2	30	P0.2	30	P0.2
G12	P0.3	45	P0.3	42	P0.3	31	P0.3	31	P0.3
K10	VSSD	—	—	—	—	—	—	—	—
G11	P0.4	46	P0.4	43	P0.4	32	P0.4	32	P0.4
F13	P0.5	47	P0.5	44	P0.5	33	P0.5	33	P0.5
F12	P0.6	48	P0.6	45	P0.6	34	P0.6	34	P0.6
F11	P0.7	49	P0.7	46	P0.7	35	P0.7	35	P0.7
E13	P8.0	—	—	—	—	—	—	—	—
E12	P8.1	—	—	—	—	—	—	—	—
E11	P8.2	—	—	—	—	—	—	—	—
D13	P8.3	—	—	—	—	—	—	—	—
D12	P8.4	—	—	—	—	—	—	—	—
C13	P8.5	—	—	—	—	—	—	—	—
C12	P8.6	—	—	—	—	—	—	—	—
B12	P8.7	—	—	—	—	—	—	—	—
C11	XRES	50	XRES	47	XRES	36	XRES	36	XRES
A12	VCCD	51	VCCD	48	VCCD	37	VCCD	37	VCCD
D10	VSSD	52	VSSD	49	VSSD	38	VSSD	38	VSSD
B13	VDDD	53	VDDD	50	VDDD	39	VDDD	39	VDDD
A13	VDDD	53	VDDD	50	VDDD	39	VDDD	39	VDDD
A11	P9.0	—	—	—	—	—	—	—	—
B11	P9.1	—	—	—	—	—	—	—	—
A10	P9.2	—	—	—	—	—	—	—	—
B10	P9.3	—	—	—	—	—	—	—	—
C10	P9.4	—	—	—	—	—	—	—	—
A9	P9.5	—	—	—	—	—	—	—	—
B9	P9.6	—	—	—	—	—	—	—	—
C9	P9.7	—	—	—	—	—	—	—	—
—	—	—	—	—	—	40	VDDA	40	VDDA
C8	P5.0	54	P5.0	51	P5.0	—	—	—	—
B8	P5.1	55	P5.1	52	P5.1	—	—	—	—
A8	P5.2	56	P5.2	53	P5.2	—	—	—	—
A7	P5.3	57	P5.3	54	P5.3	—	—	—	—
B7	P5.4	58	P5.4	—	—	—	—	—	—
C7	P5.5	59	P5.5	55	P5.5	—	—	—	—
A6	P5.6	—	—	—	—	—	—	—	—
B6	P5.7	—	—	—	—	—	—	—	—
A2	VDDA	60	VDDA	56	VDDA	40	VDDA	40	VDDA

124-BGA		68-QFN		64-TQFP		48-TQFP		48-TQFP-USB	
引脚	名称	引脚	名称	引脚	名称	引脚	名称	引脚	名称
B2	VDDA	60	VDDA	56	VDDA	40	VDDA	40	VDDA
C3	VSSA	61	VSSA	57	VSSA	41	VSSA	41	VSSA
C5	P1.0	62	P1.0	58	P1.0	42	P1.0	42	P1.0
B5	P1.1	63	P1.1	59	P1.1	43	P1.1	43	P1.1
A5	P1.2	64	P1.2	60	P1.2	44	P1.2	44	P1.2
A4	P1.3	65	P1.3	61	P1.3	45	P1.3	45	P1.3
B4	P1.4	66	P1.4	62	P1.4	46	P1.4	46	P1.4
C4	P1.5	67	P1.5	63	P1.5	47	P1.5	47	P1.5
A3	P1.6	68	P1.6	64	P1.6	48	P1.6	48	P1.6
B3	P1.7	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF
B1	VREF	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF	1	P1.7/VREF
C3	VSSA	–	–	–	–	–	–	–	–
D4	VSSA	–	–	–	–	–	–	–	–
B2	VDDA	–	–	–	–	–	–	–	–
C1	P2.0	2	P2.0	2	P2.0	2	P2.0	2	P2.0
C2	P2.1	3	P2.1	3	P2.1	3	P2.1	3	P2.1
D1	P2.2	4	P2.2	4	P2.2	4	P2.2	4	P2.2
D2	P2.3	5	P2.3	5	P2.3	5	P2.3	5	P2.3
D3	P2.4	6	P2.4	6	P2.4	6	P2.4	6	P2.4
E1	P2.5	7	P2.5	7	P2.5	7	P2.5	7	P2.5
E2	P2.6	8	P2.6	8	P2.6	8	P2.6	8	P2.6
E3	P2.7	9	P2.7	9	P2.7	9	P2.7	9	P2.7
K4	VSSD	10	VSSA	10	VSSA	10	VSSD	10	VSSD
A1	VDDA	11	VDDA	11	VDDA				
F1	P10.0	–	–	–	–	–	–	–	–
F2	P10.1	–	–	–	–	–	–	–	–
F3	P10.2	–	–	–	–	–	–	–	–
G1	P10.3	–	–	–	–	–	–	–	–
G2	P10.4	–	–	–	–	–	–	–	–
G3	P10.5	–	–	–	–	–	–	–	–
H1	P10.6	–	–	–	–	–	–	–	–
H2	P10.7	–	–	–	–	–	–	–	–
K4	VSSD	–	–	–	–	–	–	–	–
J1	P6.0	12	P6.0	12	P6.0	–	–	–	–
J2	P6.1	13	P6.1	13	P6.1	–	–	–	–
J3	P6.2	14	P6.2	14	P6.2	–	–	–	–
K1	P6.3	15	P6.3	–	–	–	–	–	–
K2	P6.4	16	P6.4/P12.0	15	P6.4/P12.0	–	–	–	–
L1	P12.0	16	P6.4/P12.0	15	P6.4/P12.0	–	–	–	–
L2	P12.1	17	P6.5/P12.1	16	P6.5/P12.1	–	–	–	–
K3	P6.5	17	P6.5/P12.1	16	P6.5/P12.1	–	–	–	–
L3	VSSD	18	VSSIO	17	VSSIO	10	VSSD	10	VSSD
N2	P3.0	19	P3.0	18	P3.0	12	P3.0	12	P3.0

124-BGA		68-QFN		64-TQFP		48-TQFP		48-TQFP-USB	
引脚	名称	引脚	名称	引脚	名称	引脚	名称	引脚	名称
M2	P3.1	20	P3.1	19	P3.1	13	P3.1	13	P3.1
N3	P3.2	21	P3.2	20	P3.2	14	P3.2	14	P3.2
M3	P3.3	22	P3.3	21	P3.3	16	P3.3	16	P3.3
N4	P3.4	23	P3.4	22	P3.4	17	P3.4	17	P3.4
M4	P3.5	24	P3.5	23	P3.5	18	P3.5	18	P3.5
N5	P3.6	25	P3.6	24	P3.6	19	P3.6	19	P3.6
M5	P3.7	26	P3.7	25	P3.7	20	P3.7	20	P3.7
M1	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
N1	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
N6	P11.0	—	—	—	—	—	—	—	—
M6	P11.1	—	—	—	—	—	—	—	—
L6	P11.2	—	—	—	—	—	—	—	—
N7	P11.3	—	—	—	—	—	—	—	—
M7	P11.4	—	—	—	—	—	—	—	—
L7	P11.5	—	—	—	—	—	—	—	—
N8	P11.6	—	—	—	—	—	—	—	—
M8	P11.7	—	—	—	—	—	—	—	—
N12	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
N13	VDDIO	27	VDDIO	26	VDDIO	21	VDDIO	21	VDDIO
L8	P4.0	28	P4.0	27	P4.0	22	P4.0	22	P4.0
N9	P4.1	29	P4.1	28	P4.1	23	P4.1	—	—
M9	P4.2	30	P4.2	29	P4.2	24	P4.2	—	—
N10	P4.3	31	P4.3	30	P4.3	25	P4.3	—	—
M10	P4.4	32	P4.4	31	P4.4	—	—	—	—
N11	P4.5	33	P4.5	32	P4.5	—	—	—	—
M11	P4.6	34	P4.6	33	P4.6	—	—	—	—
M12	P4.7	35	P4.7	—	—	—	—	—	—
L11	VSSD	—	—	—	—	—	—	—	—
L12	D+/P13.0	36	D+/P13.0	34	D+/P13.0	—	—	23	D+/P13.0
L13	D-/P13.1	37	D-/P13.1	35	D-/P13.1	—	—	24	D-/P13.1
M13	VBUS/P13.2	38	VBUS/P13.2	36	VBUS/P13.2	—	—	25	VBUS/P13.2
L9	P7.0	39	P7.0	37	P7.0	26	P7.0	26	P7.0
L10	P7.1	40	P7.1	38	P7.1	27	P7.1	27	P7.1
K13	P7.2	41	P7.2						
K12	P7.3								
K11	P7.4								
J13	P7.5								
J12	P7.6								
J11	P7.7								

端口 12 (引脚 P12.0 和 P12.1) 是 SIO 引脚

端口 13 (端口引脚 13.0 和 13.1) 要求 VBUS (P13.2) 已供电

端口 6 (引脚 P6.0...P6.5) 和端口 9 (引脚 P9.0...P9.7) 是过压容差 (PIO_OVT)

124 BGA 封装的引脚 C6, D11, H11, H3, L4, L5 无连接, 48 TQFP 封装的引脚 11 和 15 无连接
 上表显示的每个引脚均有多个可编程功能, 如下表所示。

端口 / 引脚	模拟	USB	备用函数 1	备用函数 2	备用函数 3	备用函数 4	备用函数 5
P0.0	lpcomp.in_p[0]				can[1].can_rx:0	usb.vbus_valid	scb[0].spi_select1:3
P0.1	lpcomp.in_n[0]				can[1].can_tx:0		scb[0].spi_select2:3
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:3
P0.3	lpcomp.in_n[1]						
P0.4	wco_in			scb[1].uart_rx:0		scb[1].i2c_scl:0	scb[1].spi_mosi:0
P0.5	wco_out			scb[1].uart_tx:0		scb[1].i2c_sda:0	scb[1].spi_miso:0
P0.6			srss.ext_clk:0	scb[1].uart_cts:0			scb[1].spi_clk:0
P0.7				scb[1].uart_rts:0	can[1].can_tx- _enb_n:0	srss.wakeup	scb[1].spi_select0:0
P8.0				scb[3].uart_rx:0		scb[3].i2c_scl:0	scb[3].spi_mosi:0
P8.1				scb[3].uart_tx:0		scb[3].i2c_sda:0	scb[3].spi_miso:0
P8.2				scb[3].uart_cts:0		lpcomp.comp[0]:0	scb[3].spi_clk:0
P8.3				scb[3].uart_rts:0		lpcomp.comp[1]:0	scb[3].spi_select0:0
P8.4							scb[3].spi_select1:0
P8.5							scb[3].spi_select2:0
P8.6							scb[3].spi_select3:0
P8.7							
P9.0			tcpwm.line[0]:2	scb[0].uart_rx:0		scb[0].i2c_scl:0	scb[0].spi_mosi:0
P9.1			tcpwm.line_compl[0]:2	scb[0].uart_tx:0		scb[0].i2c_sda:0	scb[0].spi_miso:0
P9.2			tcpwm.line[1]:2	scb[0].uart_cts:0			scb[0].spi_clk:0
P9.3			tcpwm.line_compl[1]:2	scb[0].uart_rts:0			scb[0].spi_select0:0
P9.4			tcpwm.line[2]:2				scb[0].spi_select1:0
P9.5			tcpwm.line_compl[2]:2				scb[0].spi_select2:0
P9.6			tcpwm.line[3]:2			scb[3].i2c_scl:3	scb[0].spi_select3:0
P9.7			tcpwm.line_compl[3]:2			scb[3].i2c_sda:3	
P5.0	ctb1_pads[0] csd[1].c_mod		tcpwm.line[4]:2	scb[2].uart_rx:0		scb[2].i2c_scl:0	scb[2].spi_mosi:0
P5.1	ctb1_pads[1] csd[1].c_sh_tank		tcpwm.line_compl[4]:2	scb[2].uart_tx:0		scb[2].i2c_sda:0	scb[2].spi_miso:0
P5.2	ctb1_pads[2] ctb1_oa0_out_10x		tcpwm.line[5]:2	scb[2].uart_cts:0		lpcomp.comp[0]:1	scb[2].spi_clk:0
P5.3	ctb1_pads[3] ctb1_oa1_out_10x		tcpwm.line_compl[5]:2	scb[2].uart_rts:0		lpcomp.comp[1]:1	scb[2].spi_select0:0
P5.4	ctb1_pads[4]		tcpwm.line[6]:2				scb[2].spi_select1:0
P5.5	ctb1_pads[5]		tcpwm.line_compl[6]:2				scb[2].spi_select2:0
P5.6	ctb1_pads[6]		tcpwm.line[7]:2				scb[2].spi_select3:0
P5.7	ctb1_pads[7]		tcpwm.line_compl[7]:2				
P1.0	ctb0_pads[0]		tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:1	scb[0].spi_mosi:1
P1.1	ctb0_pads[1]		tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:1	scb[0].spi_miso:1
P1.2	ctb0_pads[2] ctb0_oa0_out_10x		tcpwm.line[3]:1	scb[0].uart_cts:1			scb[0].spi_clk:1
P1.3	ctb0_pads[3] ctb0_oa1_out_10x		tcpwm.line_compl[3]:1	scb[0].uart_rts:1			scb[0].spi_select0:1

端口 / 引脚	模拟	USB	备用函数 1	备用函数 2	备用函数 3	备用函数 4	备用函数 5
P1.4	ctb0_pads[4]		tcpwm.line[6]:1				scb[0].spi_select1:1
P1.5	ctb0_pads[5]		tcpwm.line_compl[6]:1				scb[0].spi_select2:1
P1.6	ctb0_pads[6]		tcpwm.line[7]:1				scb[0].spi_select3:1
P1.7	ctb0_pads[7], sar_ext_vref		tcpwm.line_compl[7]:1				
P2.0	sarmux_pads[0]		tcpwm.line[4]:1	scb[1].uart_rx:1		scb[1].i2c_scl:1	scb[1].spi_mosi:1
P2.1	sarmux_pads[1]		tcpwm.line_compl[4]:1	scb[1].uart_tx:1		scb[1].i2c_sda:1	scb[1].spi_miso:1
P2.2	sarmux_pads[2]		tcpwm.line[5]:1	scb[1].uart_cts:1			scb[1].spi_clk:1
P2.3	sarmux_pads[3]		tcpwm.line_compl[5]:1	scb[1].uart_rts:1			scb[1].spi_select0:1
P2.4	sarmux_pads[4]		tcpwm.line[0]:1				scb[1].spi_select1:0
P2.5	sarmux_pads[5]		tcpwm.line_compl[0]:1				scb[1].spi_select2:0
P2.6	sarmux_pads[6]		tcpwm.line[1]:1				scb[1].spi_select3:0
P2.7	sarmux_pads[7]		tcpwm.line_compl[1]:1				
P10.0				scb[2].uart_rx:1		scb[2].i2c_scl:1	scb[2].spi_mosi:1
P10.1				scb[2].uart_tx:1		scb[2].i2c_sda:1	scb[2].spi_miso:1
P10.2				scb[2].uart_cts:1			scb[2].spi_clk:1
P10.3				scb[2].uart_rts:1			scb[2].spi_select0:1
P10.4							scb[2].spi_select1:1
P10.5							scb[2].spi_select2:1
P10.6							scb[2].spi_select3:1
P10.7							
P6.0			tcpwm.line[4]:0	scb[3].uart_rx:1	can[0].can_tx- enb_n:0	scb[3].i2c_scl:1	scb[3].spi_mosi:1
P6.1			tcpwm.line_compl[4]:0	scb[3].uart_tx:1	can[0].can_rx:0	scb[3].i2c_sda:1	scb[3].spi_miso:1
P6.2			tcpwm.line[5]:0	scb[3].uart_cts:1	can[0].can_tx:0	scb[2].i2c_scl:3	scb[3].spi_clk:1
P6.3			tcpwm.line_compl[5]:0	scb[3].uart_rts:1		scb[2].i2c_sda:3	scb[3].spi_select0:1
P6.4			tcpwm.line[6]:0			scb[0].i2c_scl:3	scb[3].spi_select1:1
P12.0			tcpwm.line[7]:0			scb[1].i2c_scl:3	scb[3].spi_select3:1
P12.1			tcpwm.line_compl[7]:0			scb[1].i2c_sda:3	
P6.5			tcpwm.line_compl[6]:0			scb[0].i2c_sda:3	scb[3].spi_select2:1
P3.0			tcpwm.line[0]:0	scb[1].uart_rx:2		scb[1].i2c_scl:2	scb[1].spi_mosi:2
P3.1			tcpwm.line_compl[0]:0	scb[1].uart_tx:2		scb[1].i2c_sda:2	scb[1].spi_miso:2
P3.2			tcpwm.line[1]:0	scb[1].uart_cts:2		cpuss.swd_data:0	scb[1].spi_clk:2
P3.3			tcpwm.line_compl[1]:0	scb[1].uart_rts:2		cpuss.swd_clk:0	scb[1].spi_select0:2
P3.4			tcpwm.line[2]:0				scb[1].spi_select1:1
P3.5			tcpwm.line_compl[2]:0				scb[1].spi_select2:1
P3.6			tcpwm.line[3]:0				scb[1].spi_select3:1
P3.7			tcpwm.line_compl[3]:0				
P11.0			tcpwm.line[4]:3	scb[2].uart_rx:2		scb[2].i2c_scl:2	scb[2].spi_mosi:2
P11.1			tcpwm.line_compl[4]:3	scb[2].uart_tx:2		scb[2].i2c_sda:2	scb[2].spi_miso:2
P11.2			tcpwm.line[5]:3	scb[2].uart_cts:2		cpuss.swd_data:1	scb[2].spi_clk:2
P11.3			tcpwm.line_compl[5]:3	scb[2].uart_rts:2		cpuss.swd_clk:1	scb[2].spi_select0:2
P11.4			tcpwm.line[6]:3				scb[2].spi_select1:2
P11.5			tcpwm.line_compl[6]:3				scb[2].spi_select2:2
P11.6			tcpwm.line[7]:3				scb[2].spi_select3:2
P11.7			tcpwm.line_compl[7]:3				
P4.0				scb[0].uart_rx:2	can[0].can_rx:1	scb[0].i2c_scl:2	scb[0].spi_mosi:2

端口 / 引脚	模拟	USB	备用函数 1	备用函数 2	备用函数 3	备用函数 4	备用函数 5
P4.1				scb[0].uart_tx:2	can[0].can_tx:1	scb[0].i2c_sda:2	scb[0].spi_miso:2
P4.2	csd[0].c_mod			scb[0].uart_cts:2	can[0].can_tx_enb_n:1	lpcomp.comp[0]:2	scb[0].spi_clk:2
P4.3	csd[0].c_sh_tank			scb[0].uart_rts:2		lpcomp.comp[1]:2	scb[0].spi_select0:2
P4.4					can[1].can_tx_enb_n:1		scb[0].spi_select1:2
P4.5					can[1].can_rx:1		scb[0].spi_select2:2
P4.6					can[1].can_tx:1		scb[0].spi_select3:2
P4.7							
P13.0		USBDP					
P13.1		USBDM					
P13.2		VBUS					
P7.0	srss.eco_in		tcpwm.line[0]:3	scb[3].uart_rx:2		scb[3].i2c_scl:2	scb[3].spi_mosi:2
P7.1	srss.eco_out		tcpwm.line_compl[0]:3	scb[3].uart_tx:2		scb[3].i2c_sda:2	scb[3].spi_miso:2
P7.2			tcpwm.line[1]:3	scb[3].uart_cts:2			scb[3].spi_clk:2
P7.3			tcpwm.line_compl[1]:3	scb[3].uart_rts:2			scb[3].spi_select0:2
P7.4			tcpwm.line[2]:3				scb[3].spi_select1:2
P7.5			tcpwm.line_compl[2]:3				scb[3].spi_select2:2
P7.6			tcpwm.line[3]:3				scb[3].spi_select3:2
P7.7			tcpwm.line_compl[3]:3				

各种电源引脚功能的说明如下：

VDDD: 模拟和数字部分的电源 (没有 V_{DDA} 引脚)

VDDA: 封装引脚允许的模拟 VDD 引脚；应在 VDDD 之前或与其同时出现，并且 VDDA 的值应等于或大于 VDDD 和 VDDIO。

VDDIO: I/O 引脚电压范围。没有 VDDD 时不应存在。

VSSA: 如果封装允许，该引脚则为模拟接地引脚；否则短接至 VSS。

VSS: 接地引脚

VCCD: 稳压数字电源 ($1.8\text{ V} \pm 5\%$)

VBUS: USB 电压。对于 VDDD，VBUS 没有任何限制。但是，由于它来自 USB，因此通常假定其理想情况下为 5 V (范围是 4.35 至 5.5 V)。

GPIO 和 GPIO_OVT 可用作 CSD 感应和屏蔽引脚 (总共 94 个)，64 个引脚可用于驱动 LCD。

支持以下几种封装：124-BGA，64-TQFP，68-QFN 和 48-TQFP。

电源

所有功能和电路的工作电压范围都是 1.71 至 5.5 V 。

PSoC 4200L 系列提供两种不同的电源操作模式：非稳压外部供电和稳压外部供电。

非稳压外部供电

在该模式下，PSoC 4200L 由一个外部电源供电，它的电压范围为 1.8 至 5.5 V 。此范围还用于电池供电操作，例如，芯片可以由

一个电池系统供电，其电压可从启动时的 3.5 V 降至 1.8 V 。在该模式下，PSoC 4200L 的内部调节器为内部逻辑供电，并且其 VCCD 输出必须通过一个外部电容 (在 1 至 $1.6\text{ }\mu\text{F}$ 范围内；X5R 陶瓷或性能更好的电容) 旁路接地。

在 PC 板上必须同时短路 VDDA 和 VDDD；因此，也要同时短路地、VSSA 和 VSS。VDDD 和 VDDA 必须通过旁路电容连接到地，通常选用一个 $1\text{ }\mu\text{F}$ 和一个 $0.1\text{ }\mu\text{F}$ 的电容。请注意，这只是简单的经验法则。对于重要的应用，PCB 布局、走线间的电感和旁路电容寄生需要通过仿真以获得最佳的旁路。

电源	旁路电容
VDDD-VSS 和 VDDIO-VSS	每个引脚上的 $0.1\text{ }\mu\text{F}$ 陶瓷电容加上 1 到 $10\text{ }\mu\text{F}$ 的大容量电容。
VDDA-VSSA	引脚上安装 $0.1\text{ }\mu\text{F}$ 的陶瓷电容。另外安装大小为 $1\text{ }\mu\text{F}$ 到 $10\text{ }\mu\text{F}$ 的大容量电容。
VCCD-VSS	在 VCCD 引脚上安装的 $1\text{ }\mu\text{F}$ 陶瓷电容。
VREF-VSSA (可选)	可以旁路内部带隙 (其电容范围为 $1\text{ }\mu\text{F}$ 到 $10\text{ }\mu\text{F}$) 来提高 ADC 的性能。

稳压外部供电

在该模式下，PSoC 4200L 由一个外部电源供电，它的电压范围为 1.71 至 1.89 V ($1.8\text{ V} \pm 5\%$)；请注意，此范围必须包括了电源纹波。此外，同时短路并旁路 VCCD 和 VDDD 引脚。在固件中，内部调压器被禁用。

电气规范

最大绝对额定值

表 1. 最大绝对额定值^[1]

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID1	V _{DD_ABS}	相对于 V _{SS} 的模拟或数字供电电压 (V _{SSD} = V _{SSA})	-0.5	—	6	V	最大绝对额定值
SID2	V _{CCD_ABS}	相对于 V _{SSD} 的直接数字内核电压输入	-0.5	—	1.95	V	最大绝对额定值
SID3	V _{GPIO_ABS}	GPIO 电压; V _{DDD} 或 V _{DDA}	-0.5	—	V _{DD} +0.5	V	最大绝对额定值
SID4	I _{GPIO_ABS}	每个 GPIO 上的电流	-25	—	25	mA	最大绝对额定值
SID5	I _{G-PIO_injection}	每个引脚上的 GPIO 注入电流	-0.5	—	0.5	mA	最大绝对额定值
BID44	ESD_HBM	人体静电放电模型	2200	—	—	V	
BID45	ESD_CDM	充电器件的静电放电模型	500	—	—	V	
BID46	LU	栓锁的引脚电流	-140	—	140	mA	

器件级规范

除非另有说明，否则所有规范的适用条件都是：-40 °C ≤ T_A ≤ 105 °C，且 T_J ≤ 125 °C。除非另有说明，否则这些规范的适用范围为 1.71 V ~ 5.5 V。

表 2. 直流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID53	V _{DDD}	电源输入电压 (V _{DDA} = V _{DDD} = V _{DD})	1.8	—	5.5	V	使能了电压调节器
SID255	V _{DDD}	未调节电源输入电压	1.71	1.8	1.89	V	未调节内部电压
SID54	V _{CCD}	内部调节器输出电压 (供给内核逻辑)	—	1.8	—	V	
SID55	C _{EFC}	外部电压调节器旁路电容 (V _{CCD})	1	1.3	1.6	μF	X5R 陶瓷电容或性能更好的电容
SID56	C _{EXC}	内部电压调节器去耦电容	—	1	—	μF	X5R 陶瓷电容或更好的电容

活动模式

SID6	I _{DD1}	从闪存内执行，CPU 的运行速率为 6 MHz	—	2.2	3.1	mA	
SID7	I _{DD2}	从闪存内执行；CPU 的运行速率为 12 MHz	—	3.7	4.8	mA	
SID8	I _{DD3}	从闪存内执行；CPU 的运行速率为 24 MHz	—	6.7	8.0	mA	
SID9	I _{DD4}	从闪存内执行；CPU 的运行速率为 48 MHz	—	12.8	14.5	mA	

睡眠模式

SID21	I _{DD16}	I ² C 唤醒功能、WDT 和比较器都打开。电压调节器关闭。	—	1.8	2.2	mA	V _{DD} = 1.71 ~ 1.89 V, 频率 = 6 MHz
SID22	I _{DD17}	I ² C 唤醒功能、WDT 和比较器都打开。	—	1.7	2.1	mA	V _{DD} = 1.8 ~ 5.5 V, 频率 = 6 MHz
SID23	I _{DD18}	I ² C 唤醒功能、WDT 和比较器都打开。电压调节器关闭。	—	2.4	2.9	mA	V _{DD} = 1.71 ~ 1.89, 频率 = 12 MHz
SID24	I _{DD19}	I ² C 唤醒功能、WDT 和比较器都打开。	—	2.3	2.8	mA	V _{DD} = 1.8 ~ 5.5, 频率 = 12 MHz

深度睡眠模式，T = -40 °C ~ +60 °C

SID30	I _{DD25}	I ² C 唤醒和 WDT 打开。电压调节器关闭。	—	—	13.5	μA	V _{DD} = 1.71 ~ 1.89 V
SID31	I _{DD26}	I ² C 唤醒和 WDT 打开。	—	1.3	20.0	μA	V _{DD} = 1.8 ~ 3.6 V

注释

- 器件在高于表 1 中所列出的最大绝对值工作可能会造成永久性的损害。长期使用最大绝对值可能会影响器件的可靠性。最大存放温度是 150°C，符合 JEDEC 标准 JESD22-A103 — 高温度存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值，则器件不能正常工作。

表 2. 直流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID32	I _{DD27}	I ² C 唤醒和 WDT 打开。	—	—	20.0	μA	V _{DD} = 3.6 ~ 5.5 V
深度睡眠模式, T = +85 °C							
SID33	I _{DD28}	I ² C 唤醒和 WDT 打开。电压调节器关闭。	—	—	45.0	μA	V _{DD} = 1.71 ~ 1.89 V
SID34	I _{DD29}	I ² C 唤醒和 WDT 打开。	—	15	60.0	μA	V _{DD} = 1.8 ~ 3.6 V
SID35	I _{DD30}	I ² C 唤醒和 WDT 打开。	—	—	45.0	μA	V _{DD} = 3.6 ~ 5.5 V
休眠模式, T = -40 °C ~ +60 °C							
SID39	I _{DD34}	电压调节器关闭。	—	—	1123	nA	V _{DD} = 1.71 ~ 1.89 V
SID40	I _{DD35}		—	150	1600	nA	V _{DD} = 1.8 ~ 3.6 V
SID41	I _{DD36}		—	—	1600	nA	V _{DD} = 3.6 ~ 5.5 V
休眠模式, T = +85 °C							
SID42	I _{DD37}	电压调节器关闭。	—	—	4142	nA	V _{DD} = 1.71 ~ 1.89 V
SID43	I _{DD38}		—	—	9700	nA	V _{DD} = 1.8 ~ 3.6 V
SID44	I _{DD39}		—	—	10,400	nA	V _{DD} = 3.6 ~ 5.5 V
停止模式							
SID304	I _{DD43A}	停止模式下的电流: V _{DD} = 3.6 V	—	20	659	nA	T = -40 °C ~ +60 °C
SID304A	I _{DD43B}	停止模式下的电流: V _{DD} = 3.6 V	—	—	1810	nA	T = +85 °C
XRES 电流							
SID307	I _{DD_XR}	触发 XRES (低有效) 时的供电电流	—	2	5	mA	

表 3. 交流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID48	F _{CPU}	CPU 频率	DC	—	48	MHz	1.71 ≤ V _{DD} ≤ 5.5
SID49	T _{SLEEP}	从睡眠模式唤醒的时间	—	0	—	μs	由特性决定
SID50	T _{DEEPSLEEP}	从深度睡眠模式唤醒的时间	—	—	25	μs	24 MHz IMO。 由特性决定
SID51	T _{HIBERNATE}	从休眠模式唤醒的时间	—	—	0.7	ms	由特性决定
SID51A	T _{STOP}	从停止模式唤醒的时间	—	—	1.9	ms	由特性决定
SID52	T _{RESETWIDTH}	外部复位脉冲宽度	1	—	—	μs	由特性决定

GPIO
表 4. GPIO 直流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID57	$V_{IH}^{[2]}$	输入高电平阈值	$0.7 \times V_{DD}$	—	—	V	CMOS 输入
SID57A	I_{IHS}	焊盘电压 > OVT 输入的 V_{DDIO} 时的输入电流	—	—	10	μA	每个 I ² C 规范
SID58	V_{IL}	输入低电平阈值	—	—	$0.3 \times V_{DD}$	V	CMOS 输入
SID241	$V_{IH}^{[2]}$	LVTTL 输入, $V_{DD} < 2.7$ V	$0.7 \times V_{DD}$	—	—	V	
SID242	V_{IL}	LVTTL 输入, $V_{DD} < 2.7$ V	—	—	$0.3 \times V_{DD}$	V	
SID243	$V_{IH}^{[2]}$	LVTTL 输入, $V_{DD} \geq 2.7$ V	2.0	—	—	V	
SID244	V_{IL}	LVTTL 输入, $V_{DD} \geq 2.7$ V	—	—	0.8	V	
SID59	V_{OH}	输出高电平电压	$V_{DD} - 0.6$	—	—	V	$V_{DD} \geq 3$ V 时, $I_{OH} = 4$ mA
SID60	V_{OH}	输出高电平电压	$V_{DD} - 0.5$	—	—	V	$V_{DD} = 1.8$ V 时, $I_{OH} = 1$ mA
SID61	V_{OL}	输出低电平电压	—	—	0.6	V	$V_{DD} = 1.8$ V 时, $I_{OL} = 4$ mA
SID62	V_{OL}	输出低电平电压	—	—	0.6	V	$V_{DD} \geq 3$ V 时, $I_{OL} = 8$ mA
SID62A	V_{OL}	输出低电平电压	—	—	0.4	V	$V_{DD} \geq 3$ V 时, $I_{OL} = 3$ mA
SID63	R_{PULLUP}	上拉电阻	3.5	5.6	8.5	kΩ	
SID64	$R_{PULLDOWN}$	下拉电阻	3.5	5.6	8.5	kΩ	
SID65	I_{IL}	输入漏电流 (绝对值)	—	—	2	nA	25 °C, $V_{DD} = 3.0$ V
SID65A	I_{IL_CTBM}	CTBM 引脚的输入漏电流 (绝对值)	—	—	4	nA	
SID66	C_{IN}	输入电容	—	—	7	pF	不适用于引脚 P6.4, P6.5, P12.0, P12.1 及 USB 引脚
SID67	V_{HYSTTL}	输入迟滞 LVTTL	25	40	—	mV	$V_{DD} \geq 2.7$ V
SID68	$V_{HYSCMOS}$	输入迟滞 CMOS	$0.05 \times V_{DD}$	—	—	mV	
SID69	I_{DIODE}	通过保护二极管到达 V_{DD}/V_{SS} 的导通电流	—	—	100	μA	由特性决定
SID69A	I_{TOT_GPIO}	芯片的最大总拉电流或灌电流	—	—	200	mA	由特性决定

注释

 2. V_{IH} 不能超过 $V_{DD} + 0.2$ V。

表 5. GPIO 交流规范

(由特性决定) [3]

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID70	T_{RISEF}	快速强驱动模式下的上升时间	2	—	12	ns	$V_{DD} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$
SID71	T_{FALLF}	快速强驱动模式下的下降时间	2	—	12	ns	$V_{DD} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$
SID72	T_{RISES}	慢速强驱动模式下的上升时间	10	—	60	ns	$V_{DD} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$
SID73	T_{FALLS}	慢速强驱动模式下的下降时间	10	—	60	ns	$V_{DD} = 3.3\text{ V}$, $C_{load} = 25\text{ pF}$
SID74	$F_{GPIOUT1}$	GPIO F_{out} ; $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 。 快速强驱动模式。	—	—	33	MHz	90/10%, $C_{load} = 25\text{ pF}$, 占空比 = 60/40
SID75	$F_{GPIOUT2}$	GPIO F_{out} ; $1.7\text{ V} \leq V_{DD} \leq 3.3\text{ V}$ 。 快速强驱动模式。	—	—	16.7	MHz	90/10%, $C_{load} = 25\text{ pF}$, 占空比 = 60/40
SID76	$F_{GPIOUT3}$	GPIO F_{out} ; $3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 。 慢速强驱动模式。	—	—	7	MHz	90/10%, $C_{load} = 25\text{ pF}$, 占空比 = 60/40
SID245	$F_{GPIOUT4}$	GPIO F_{out} ; $1.7\text{ V} \leq V_{DD} \leq 3.3\text{ V}$ 。 慢速强驱动模式。	—	—	3.5	MHz	90/10%, $C_{load} = 25\text{ pF}$, 占空比 = 60/40
SID246	F_{GPIOIN}	GPIO 输入工作频率; $1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	—	—	48	MHz	90/10% V_{IO}

XRES
表 6. XRES 直流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID77	V_{IH}	输入高电平阈值	$0.7 \times V_{DD}$	—	—	V	CMOS 输入
SID78	V_{IL}	输入低电平阈值	—	—	$0.3 \times V_{DD}$	V	CMOS 输入
SID79	R_{PULLUP}	上拉电阻	3.5	5.6	8.5	k Ω	
SID80	C_{IN}	输入电容	—	3	—	pF	
SID81	$V_{HYSXRES}$	输入电压迟滞	—	100	—	mV	由特性决定
SID82	I_{DIODE}	通过保护二极管到达 V_{DD}/V_{SS} 的 导通电流	—	—	100	μA	由特性决定

表 7. XRES 交流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID83	$T_{RESETWIDTH}$	复位脉冲宽度	1	—	—	μs	由特性决定

注释

3. 同时在多个满载 GPIO 引脚上切换状态可能会导致接地层的干扰，具体情况取决于几个因素（其中包括 PCB 板和去耦电容设计）。在某些对接地层干扰很敏感的应用中，可能会使用 GPIO 的较慢转换速率。

模拟外设

运算放大器

表 8. 运算放大器规范

(由特性决定)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
	I_{DD}	运算放大器模块电流。无负载。	—	—	—	—	
SID269	I_{DD_HI}	功耗 = 高	—	1100	1850	μA	
SID270	I_{DD_MED}	功耗 = 中	—	550	950	μA	
SID271	I_{DD_LOW}	功耗 = 低	—	150	350	μA	
	GBW	负载 = 20 pF, 0.1 mA。 $V_{DDA} = 2.7 V$	—	—	—	—	
SID272	GBW_HI	功耗 = 高	6	—	—	MHz	
SID273	GBW_MED	功耗 = 中	4	—	—	MHz	
SID274	GBW_LO	功耗 = 低	—	1	—	MHz	
	I_{OUT_MAX}	$V_{DDA} \geq 2.7 V$, 电源电压 = 500 mV	—	—	—	—	
SID275	$I_{OUT_MAX_HI}$	功耗 = 高	10	—	—	mA	
SID276	$I_{OUT_MAX_MID}$	功耗 = 中	10	—	—	mA	
SID277	$I_{OUT_MAX_LO}$	功耗 = 低	—	5	—	mA	
	I_{OUT}	$V_{DDA} = 1.71 V$, 电源电压 = 500 mV	—	—	—	—	
SID278	$I_{OUT_MAX_HI}$	功耗 = 高	4	—	—	mA	
SID279	$I_{OUT_MAX_MID}$	功耗 = 中	4	—	—	mA	
SID280	$I_{OUT_MAX_LO}$	功耗 = 低	—	2	—	mA	
SID281	V_{IN}	输入电压范围	-0.05	—	$V_{DDA} - 0.2$	V	电荷泵打开, $V_{DDA} \geq 2.7 V$
SID282	V_{CM}	共模输入电压	-0.05	—	$V_{DDA} - 0.2$	V	电荷泵打开, $V_{DDA} \geq 2.7 V$
	V_{OUT}	$V_{DDA} \geq 2.7 V$	—	—	—	—	
SID283	V_{OUT_1}	功耗 = 高, $I_{load} = 10 mA$	0.5	—	$V_{DDA} - 0.5$	V	
SID284	V_{OUT_2}	功耗 = 高, $I_{load} = 1 mA$	0.2	—	$V_{DDA} - 0.2$	V	
SID285	V_{OUT_3}	功耗 = 中, $I_{load} = 1 mA$	0.2	—	$V_{DDA} - 0.2$	V	
SID286	V_{OUT_4}	功耗 = 低, $I_{load} = 0.1 mA$	0.2	—	$V_{DDA} - 0.2$	V	
SID288	V_{OS_TR}	偏移电压, 校准后	1	± 0.5	1	mV	高功耗模式
SID288A	V_{OS_TR}	偏移电压, 校准后	—	± 1	—	mV	中等功耗模式
SID288B	V_{OS_TR}	偏移电压, 校准后	—	± 2	—	mV	低功耗模式
SID290	$V_{OS_DR_TR}$	偏移电压漂移, 校准后	-10	± 3	10	$\mu V/C$	高功耗模式
SID290A	$V_{OS_DR_TR}$	偏移电压漂移, 校准后	—	± 10	—	$\mu V/C$	中等功耗模式
SID290B	$V_{OS_DR_TR}$	偏移电压漂移, 校准后	—	± 10	—	$\mu V/C$	低功耗模式
SID291	CMRR	DC	60	70	—	dB	$V_{DDD} = 3.6 V$
SID292	PSRR	工作频率为 1 kHz, 纹波电压 = 100 mV	70	85	—	dB	$V_{DDD} = 3.6 V$
	噪声		—	—	—	—	
SID293	V_{N1}	参考输入, 1 Hz - 1 GHz, 功耗 = 高	—	94	—	μV_{rms}	

表 8. 运算放大器规范

(由特性决定) (续)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID294	V_{N2}	参考输入, 1 kHz, 功耗 = 高	—	72	—	nV/rtHz	
SID295	V_{N3}	参考输入, 频率 = 10 kHz, 功耗 = 高	—	28	—	nV/rtHz	
SID296	V_{N4}	参考输入, 频率 = 100 kHz, 功耗 = 高	—	15	—	nV/rtHz	
SID297	Cload	稳定输出模式下的最大负载。 Cload = 50 pF 时满足性能规范。	—	—	125	pF	
SID298	Slew_rate	Cload = 50 pF, 功耗 = 高, $V_{DDA} \geq 2.7$ V	6	—	—	V/ μ sec	
SID299	T_op_wake	从禁用到使能的时间, 无外部 RC 电路。	—	25	—	μ Sec	
SID299A	OL_GAIN	开环增益	—	90	—	dB	—
	Comp_mode	比较器模式; 50 mV 驱动, $T_{rise} = T_{fall}$ (近似值)	—	—	—		
SID300	T _{PD1}	响应时间; 功耗 = 高	—	150	—	nsec	
SID301	T _{PD2}	响应时间; 功耗 = 中	—	400	—	nsec	
SID302	T _{PD3}	响应时间; 功耗 = 低	—	2000	—	nsec	
SID303	Vhyst_op	迟滞	—	10	—	mV	
深度睡眠模式		模式 2 具有最低电流范围。 模式 1 具有更高的 GBW。					深度睡眠模式 $V_{DDA} \geq 2.7$ V。
SID_DS_1	IDD_HI_M1	模式 1, 高电流	—	1400	—	μ A	25 °C
SID_DS_2	IDD_MED_M1	模式 1, 中等电流	—	700	—	μ A	25 °C
SID_DS_3	IDD_LOW_M1	模式 1, 低电流	—	200	—	μ A	25 °C
SID_DS_4	IDD_HI_M2	模式 2, 高电流	—	120	—	μ A	25 °C
SID_DS_5	IDD_MED_M2	模式 2, 中等电流	—	60	—	μ A	25 °C
SID_DS_6	IDD_LOW_M2	模式 2, 低电流	—	15	—	μ A	25 °C
SID_DS_7	GBW_HI_M1	模式 1, 高电流	—	4	—	MHz	Cload = 20 pF, 无直流负载, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_8	GBW_MED_M1	模式 1, 中等电流	—	2	—	MHz	Cload = 20 pF, 无直流负载, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_9	GBW_LOW_M1	模式 1, 低电流	—	0.5	—	MHz	Cload = 20 pF, 无直流负载, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_10	GBW_HI_M2	模式 2, 高电流	—	0.5	—	MHz	Cload = 20 pF, 无直流负载, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_11	GBW_MED_M2	模式 2, 中等电流	—	0.2	—	MHz	Cload = 20 pF, 无直流负载, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_12	GBW_LOW_M2	模式 2, 低电流	—	0.1	—	MHz	Cload = 20 pF, 无直流负载, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_13	VOS_HI_M1	模式 1, 高电流	—	5	—	mV	已微调, T= 25 °C, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_14	VOS_MED_M1	模式 1, 中等电流	—	5	—	mV	已微调, T= 25 °C, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V

表 8. 运算放大器规范

(由特性决定) (续)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID_DS_15	VOS_LOW_M1	模式 1, 低电流	—	5	—	mV	已微调, T= 25 °C, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_16	VOS_HI_M2	模式 2, 高电流	—	5	—	mV	已微调, T= 25 °C, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_17	VOS_MED_M2	模式 2, 中等电流	—	5	—	mV	已微调, T= 25 °C, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_18	VOS_LOW_M2	模式 2, 低电流	—	5	—	mV	已微调, T= 25 °C, 电压范围为 0.2 V 到 $V_{DDA}-1.5$ V
SID_DS_19	IOUT_HI_M1	模式 1, 高电流	—	10	—	mA	输出电压范围为 0.5 V 到 $V_{DDA}-0.5$ V
SID_DS_20	IOUT_MED_M1	模式 1, 中等电流	—	10	—	mA	输出电压范围为 0.5 V 到 $V_{DDA}-0.5$ V
SID_DS_21	IOUT_LOW_M1	模式 1, 低电流	—	4	—	mA	输出电压范围为 0.5 V 到 $V_{DDA}-0.5$ V
SID_DS_22	IOUT_HI_M2	模式 2, 高电流	—	1	—	mA	输出电压范围为 0.5 V 到 $V_{DDA}-0.5$ V
SID_DS_23	IOUT_MED_M2	模式 2, 中等电流	—	1	—	mA	输出电压范围为 0.5 V 到 $V_{DDA}-0.5$ V
SID_DS_24	IOUT_LOW_M2	模式 2, 低电流	—	0.5	—	mA	输出电压范围为 0.5 V 到 $V_{DDA}-0.5$ V

比较器

表 9. 比较器直流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID85	$V_{OFFSET2}$	输入偏移电压。自定义调整。共模电压范围为 0 到 $V_{DD}-1$ 。	—	—	±4	mV	
SID85A	$V_{OFFSET3}$	输入偏移电压。超低功耗模式。	—	±12	—	mV	T < 0°C 时 $V_{DD} \geq 2.2$ V, T > 0 °C 时 $V_{DD} \geq 1.8$ V
SID86	V_{HYST}	迟滞 (使能时)。共模电压范围为 0 到 $V_{DD}-1$ 。	—	10	35	mV	由特性决定
SID87	V_{ICM1}	正常模式下的共模输入电压	0	—	$V_{DD}-0.2$	V	模式 1 和 2。
SID247	V_{ICM2}	低功耗电压模式下的共模输入电压	0	—	V_{DD}	V	
SID247A	V_{ICM2}	超低功耗模式下的共模输入电压	0	—	$V_{DD}-1.15$	V	T < 0°C 时 $V_{DD} \geq 2.2$ V, T > 0 °C 时 $V_{DD} \geq 1.8$ V
SID88	CMRR	共模抑制比	50	—	—	dB	$V_{DD} \geq 2.7$ V。 由特性决定
SID88A	CMRR	共模抑制比	42	—	—	dB	$V_{DD} < 2.7$ V。 由特性决定
SID89	I_{CMP1}	模块电流, 正常模式	—	280	400	μA	由特性决定
SID248	I_{CMP2}	模块电流, 低功耗模式	—	50	100	μA	由特性决定
SID259	I_{CMP3}	模块电流, 超低功耗模式	—	6	28	μA	由特性决定, T < 0°C 时 $V_{DD} \geq 2.2$ V, T > 0 °C 时 $V_{DD} \geq 1.8$ V
SID90	Z_{CMP}	比较器的直流输入阻抗	35	—	—	MΩ	由特性决定

表 10. 比较器交流规范

(由特性决定)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID91	T _{RESP1}	响应时间, 正常模式	—	38	110	ns	过压值为 50 mV
SID258	T _{RESP2}	响应时间, 低功耗模式	—	70	200	ns	过压值为 50 mV
SID92	T _{RESP3}	响应时间, 超低功耗模式	—	2.3	15	μs	过压值为 200 mV, T < 0°C 时 V _{DD} ≥ 2.2V, T > 0°C 时 V _{DD} ≥ 1.8V

温度传感器

表 11. 温度传感器规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID93	T _{SENSACC}	温度传感器准确度	−5	±1	+5	°C	−40 ~ +85 °C

SAR ADC

表 12. SAR ADC 直流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID94	A_RES	分辨率	—	—	12	位	
SID95	A_CHNIS_S	通道数量 — 单端	—	—	16		
SID96	A-CHNKS_D	通道数量 — 差分	—	—	8		差分通道的输入端使用相邻 I/O
SID97	A-MONO	单调性	—	—	—		有。由特性决定
SID98	A_GAINERR	增益误差	—	—	±0.1	%	使用外部参考。
SID99	A_OFFSET	输入偏移电压	—	—	2	mV	在 V _{REF} 为 1 V 时测量得到。
SID100	A_ISAR	电流消耗	—	—	1	mA	
SID101	A_VINS	输入电压范围 — 单端	V _{SS}	—	V _{DDA}	V	由器件特性决定
SID102	A_VIND	输入电压范围 — 差分	V _{SS}	—	V _{DDA}	V	由器件特性决定
SID103	A_INRES	输入电阻	—	—	2.2	kΩ	由器件特性决定
SID104	A_INCAP	输入电容	—	—	10	pF	由器件特性决定

表 13. SAR ADC 交流规范

(由特性决定)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID106	A_PSR	电源抑制比	70	—	—	dB	
SID107	A_CMRR	共模抑制比	66	—	—	dB	在电压为 1 V 时测量得到
SID108	A_SAMP_1	使用外部参考旁路电容时的采样率	—	—	1	Msp	
SID108A	A_SAMP_2	不使用旁路电容时的采样率。 参考电压 = V _{DD}	—	—	500	ksps	
SID108B	A_SAMP_3	不使用旁路电容时的采样率。内部参考电压	—	—	100	ksps	
SID109	A_SNR	信噪比和失真比 (SINAD)	65	—	—	dB	F _{IN} = 10 kHz

表 13. SAR ADC 交流规范

(由特性决定) (续)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID111	A_INL	积分非线性	-1.7	-	+2	LSB	$V_{DD} = 1.71 \sim 5.5 \text{ V}$, 1 Msps, $V_{REF} = 1 \sim 5.5 \text{ V}$ 。
SID111A	A_INL	积分非线性	-1.5	-	+1.7	LSB	$V_{DDD} = 1.71 \sim 3.6 \text{ V}$, 1 Msps, $V_{REF} = 1.71 \text{ V} \sim V_{DDD}$ 。
SID111B	A_INL	积分非线性	-1.5	-	+1.7	LSB	$V_{DDD} = 1.71 \sim 5.5 \text{ V}$, 500 kpsps, $V_{REF} = 1 \sim 5.5 \text{ V}$ 。
SID112	A_DNL	微分非线性	-1	-	+2.2	LSB	$V_{DD} = 1.71 \sim 5.5 \text{ V}$, 1 Msps, $V_{REF} = 1 \sim 5.5 \text{ V}$ 。
SID112A	A_DNL	微分非线性	-1	-	+2	LSB	$V_{DDD} = 1.71 \sim 3.6 \text{ V}$, 1 Msps, $V_{REF} = 1.71 \text{ V} \sim V_{DDD}$ 。
SID112B	A_DNL	微分非线性	-1	-	+2.2	LSB	$V_{DDD} = 1.71 \sim 5.5 \text{ V}$, 500 kpsps, $V_{REF} = 1 \sim 5.5 \text{ V}$ 。
SID113	A_THD	总谐波失真	-	-	-65	dB	$F_{IN} = 10 \text{ kHz}$ 。

CSD

表 14. CSD 模块规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
CSD 规范							
SID308	VCSD	工作电压范围	1.71	-	5.5	V	
SID309	IDAC1	8 位分辨率的差分非线性 (DNL)	-1	-	1	LSB	
SID310	IDAC1	8 位分辨率的积分非线性 (INL)	-3	-	3	LSB	
SID311	IDAC2	7 位分辨率的差分非线性 (DNL)	-1	-	1	LSB	
SID312	IDAC2	7 位分辨率的积分非线性 (INL)	-3	-	3	LSB	
SID313	SNR	手指计数与噪声的比率。由特性决定	5	-	-	比率	电容值范围 = 9 pF ~ 35 pF ; 灵敏度 = 0.1 pF。
SID314	IDAC1_CRT1	高范围的 Idac1 (8 位) 输出电流	-	612	-	μA	
SID314A	IDAC1_CRT2	低范围的 Idac1 (8 位) 输出电流	-	306	-	μA	
SID315	IDAC2_CRT1	高范围的 Idac2 (7 位) 输出电流	-	304.8	-	μA	
SID315A	IDAC2_CRT2	低范围的 Idac2 (7 位) 输出电流	-	152.4	-	μA	

数字外设

下列规范适用于采用定时器模式的定时器 / 计数器 / PWM 外设。

定时器 / 计数器 / PWM

表 15. TCPWM 规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID.TCPWM.1	ITCPWM1	频率为 3 MHz 时的模块电流消耗	—	—	45	μA	所有模式 (定时器 / 计数器 / PWM)
SID.TCPWM.2	ITCPWM2	频率为 12 MHz 时的模块电流消耗	—	—	155	μA	所有模式 (定时器 / 计数器 / PWM)
SID.TCPWM.2A	ITCPWM3	频率为 48 MHz 时的模块电流消耗	—	—	650	μA	所有模式 (定时器 / 计数器 / PWM)
SID.TCPWM.3	TCPWMFREQ	工作频率	—	—	F _c	MHz	F _c max = F _{cpu} 。 最大值 = 48 MHz
SID.TCPWM.4	TPWMENEXT	所有触发事件的输入触发脉冲宽度	2/F _c	—	—	ns	根据已选择的工作模式, 触发事件可以为 : Stop、Start、Reload、Count、Capture 或 Kill。
SID.TCPWM.5	TPWMEXT	输出触发脉冲宽度	2/F _c	—	—	ns	上溢、下溢和 CC (计数器值等于比较值) 的最小宽度
SID.TCPWM.5A	TCRES	计数器的分辨率	1/F _c	—	—	ns	连续计数间的最短时间
SID.TCPWM.5B	PWMRES	脉冲宽度调制器的分辨率	1/F _c	—	—	ns	PWM 输出的最小脉冲宽度
SID.TCPWM.5C	QRES	正交输入分辨率	1/F _c	—	—	ns	正交相位输入的最小脉冲宽度。

I²C

表 16. 固定 I²C 直流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID149	I _{I2C1}	频率为 100 kHz 时的模块电流消耗	—	10.5	55	μA	
SID150	I _{I2C2}	频率为 400 kHz 时的模块电流消耗	—	—	135	μA	
SID151	I _{I2C3}	比特率为 1 Mbps 时的模块电流消耗	—	—	310	μA	
SID152	I _{I2C4}	在深度睡眠模式下使能 I ² C	—	—	1.4	μA	

表 17. 固定 I²C 交流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID153	F _{I2C1}	比特率	—	—	1	Mbps	

LCD 直接驱动

表 18. LCD 直接驱动直流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID154	I_{LCDLOW}	低功耗模式下的工作电流	—	5	—	μA	尺寸为 16 × 4 的小型段式显示屏；频率 = 50 Hz
SID155	C_{LCDCAP}	各个 Common/Segment 可以驱动的 LCD 电容	—	500	5000	pF	由设计决定
SID156	LCD_{OFFSET}	长期段偏移	—	20	—	mV	
SID157	I_{LCDOP1}	PWM 模式下的电流。偏压为 5 V。IMO 的频率为 24 MHz	—	0.6	—	mA	32 × 4 段，频率为 50 Hz，温度为 25 °C
SID158	I_{LCDOP2}	PWM 模式下的电流。偏压为 3.3 V。IMO 的频率为 24 MHz。	—	0.5	—	mA	32 × 4 段，频率为 50 Hz，温度为 25 °C

表 19. LCD 直接驱动交流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID159	F_{LCD}	LCD 帧率	10	50	150	Hz	

表 20. 固定 UART 直流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID160	I_{UART1}	速度为 100 Kbits/ 秒时的模块电流消耗	—	9	55	μA	
SID161	I_{UART2}	速度为 1000 Kbits/ 秒时的模块电流消耗	—	—	312	μA	

表 21. 固定 UART 直流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位
SID162	F_{UART}	比特率	—	—	1	Mbps

SPI 规范

表 22. 固定 SPI 直流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位
SID163	I_{SPI1}	速度为 1 Mbps 时的模块电流消耗	—	—	360	μA
SID164	I_{SPI2}	速度为 4 Mbps 时的模块电流消耗	—	—	560	μA
SID165	I_{SPI3}	速度为 8 Mbps 时的模块电流消耗	—	—	600	μA

表 23. 固定 SPI 交流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位
SID166	F_{SPI}	SPI 工作频率 (主设备: 6X 过采样)	—	—	8	MHz

表 24. SPI 主设备模式的固定交流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位
SID167	T_{DMO}	Sclock 驱动沿后的 MOSI 有效时间	—	—	15	ns
SID168	T_{DSI}	Sclock 捕获沿前的 MISO 有效时间。 全时钟、MISO 推迟采样	20	—	—	ns
SID169	T_{HMO}	关于从设备捕获沿的先前 MOSI 数据保持时间	0	—	—	ns

表 25. SPI 从设备模式的固定交流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位
SID170	T_{DMI}	Sclock 捕获沿前的 MOSI 有效时间	40	—	—	ns
SID171	T_{DSO}	Sclock 驱动沿后的 MISO 有效时间	—	—	$42 + 3 \times T_{SCB}$	ns
SID171A	T_{DSO_ext}	在外部时钟中的 Sclock 驱动沿后的 MISO 有效时间。时钟模式	—	—	48	ns
SID172	T_{HSO}	先前的 MISO 数据保持时间	0	—	—	ns
SID172A	$T_{SSELSCK}$	从 SSEL 有效到第一个 SCK 沿有效的的时间	100	—	—	ns

存储器

表 26. 闪存直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID173	V _{PE}	擦除和编程电压	1.71	—	5.5	V	

表 27. 闪存交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID174	T _{ROWWRITE}	行 (模块) 编写的时间 (擦除和编程)	—	—	20	ms	行 (模块) = 256 字节
SID175	T _{ROWERASE}	行擦除时间	—	—	13	ms	
SID176	T _{ROWPROGRAM}	擦除后的行编程时间	—	—	7	ms	
SID178	T _{BULKERASE}	批量擦除时间 (128 KB)	—	—	35	ms	
SID180	T _{DEVPROG}	器件总编程时间	—	—	15	秒	由特性决定
SID181	F _{END}	闪存耐久性	100 k	—	—	周期	由特性决定
SID182	F _{RET}	闪存数据保持时间。T _A ≤ 55 °C, 100 k 个编程 / 擦除周期	20	—	—	年	由特性决定
SID182A		闪存数据保持时间。T _A ≤ 85 °C, 10 k 个编程 / 擦除周期	10	—	—	年	由特性决定
SID182B	F _{RETQ}	闪存数据保持时间。T _A ≤ 105 °C, 10 k 编程/擦除周期, T _A ≥ 85 °C 时, ≤ 3年	10	20	—	年	由特性决定

系统资源

带掉电检测特性的上电复位 (POR) 电路交流

表 28. 非精密上电复位 (PRES)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID185	V _{RISEIPOR}	上升触发电压	0.80	—	1.45	V	由特性决定
SID186	V _{FALLIPOR}	下降触发电压	0.75	—	1.4	V	由特性决定
SID187	V _{IPORHYST}	迟滞	15	—	2000	mV	由特性决定

表 29. 精密上电复位 (POR)

规格 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID190	V _{FALLPPOR}	活动和睡眠模式下的 BOD 触发电压	1.64	—	—	V	由特性决定
SID192	V _{FALLDPSP}	深度睡眠模式下的 BOD 触发电压	1.4	—	—	V	由特性决定

电压监控器

表 30. 电压监控器直流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID195	V _{LVI1}	LVI_A/D_SEL[3:0] = 0000b	1.71	1.75	1.79	V	
SID196	V _{LVI2}	LVI_A/D_SEL[3:0] = 0001b	1.76	1.80	1.85	V	
SID197	V _{LVI3}	LVI_A/D_SEL[3:0] = 0010b	1.85	1.90	1.95	V	
SID198	V _{LVI4}	LVI_A/D_SEL[3:0] = 0011b	1.95	2.00	2.05	V	
SID199	V _{LVI5}	LVI_A/D_SEL[3:0] = 0100b	2.05	2.10	2.15	V	
SID200	V _{LVI6}	LVI_A/D_SEL[3:0] = 0101b	2.15	2.20	2.26	V	
SID201	V _{LVI7}	LVI_A/D_SEL[3:0] = 0110b	2.24	2.30	2.36	V	
SID202	V _{LVI8}	LVI_A/D_SEL[3:0] = 0111b	2.34	2.40	2.46	V	
SID203	V _{LVI9}	LVI_A/D_SEL[3:0] = 1000b	2.44	2.50	2.56	V	
SID204	V _{LVI10}	LVI_A/D_SEL[3:0] = 1001b	2.54	2.60	2.67	V	
SID205	V _{LVI11}	LVI_A/D_SEL[3:0] = 1010b	2.63	2.70	2.77	V	
SID206	V _{LVI12}	LVI_A/D_SEL[3:0] = 1011b	2.73	2.80	2.87	V	
SID207	V _{LVI13}	LVI_A/D_SEL[3:0] = 1100b	2.83	2.90	2.97	V	
SID208	V _{LVI14}	LVI_A/D_SEL[3:0] = 1101b	2.93	3.00	3.08	V	
SID209	V _{LVI15}	LVI_A/D_SEL[3:0] = 1110b	3.12	3.20	3.28	V	
SID210	V _{LVI16}	LVI_A/D_SEL[3:0] = 1111b	4.39	4.50	4.61	V	
SID211	LVI_IDD	模块电流	—	—	100	μA	由特性决定

表 31. 电压监控器交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID212	T _{MONTRIP}	电压监控器触发时间	—	—	1	μs	由特性决定

SWD 接口

表 32. SWD 接口规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID213	F_SWDCCLK1	$3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	—	—	14	MHz	SWDCCLK ≤ CPU 时钟频率的 1/3
SID214	F_SWDCCLK2	$1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$	—	—	7	MHz	SWDCCLK ≤ CPU 时钟频率的 1/3
SID215	T_SWDI_SETUP	$T = 1/f\text{ SWDCCLK}$	$0.25 \cdot T$	—	—	ns	由特性决定
SID216	T_SWDI_HOLD	$T = 1/f\text{ SWDCCLK}$	$0.25 \cdot T$	—	—	ns	由特性决定
SID217	T_SWDO_VALID	$T = 1/f\text{ SWDCCLK}$	—	—	$0.5 \cdot T$	ns	由特性决定
SID217A	T_SWDO_HOLD	$T = 1/f\text{ SWDCCLK}$	1	—	—	ns	由特性决定

内部主振荡器

表 33. IMO 直流规范

(由设计决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID218	I _{IMO1}	频率为 48 MHz 时的 IMO 工作电流	—	—	1000	μA	
SID219	I _{IMO2}	频率为 24 MHz 时的 IMO 工作电流	—	—	325	μA	
SID220	I _{IMO3}	频率为 12 MHz 时的 IMO 工作电流	—	—	225	μA	
SID221	I _{IMO4}	频率为 6 MHz 时的 IMO 工作电流	—	—	180	μA	
SID222	I _{IMO5}	频率为 3 MHz 时的 IMO 工作电流	—	—	150	μA	

表 34. IMO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID223	F _{IMOTOL1}	频率在 3 到 48 MHz 范围内变化	—	—	±2	%	
SID226	T _{STARTIMO}	IMO 启动时间	—	—	12	μs	
SID227	T _{JITRMSIMO1}	频率为 3 MHz 时的 RMS 抖动	—	156	—	ps	
SID228	T _{JITRMSIMO2}	频率为 24 MHz 时的 RMS 抖动	—	145	—	ps	
SID229	T _{JITRMSIMO3}	频率为 48 MHz 时的 RMS 抖动	—	139	—	ps	

内部低速振荡器

表 35. ILO 直流规范

(由设计决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID231	I _{ILO1}	频率为 32 kHz 时的 ILO 工作电流	—	0.3	1.05	μA	由特性决定
SID233	I _{ILOLEAK}	ILO 漏电流	—	2	15	nA	由设计决定

表 36. ILO 交流规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID234	T _{STARTILO1}	ILO 启动时间	—	—	2	ms	由特性决定
SID236	T _{ILODUTY}	ILO 占空比	40	50	60	%	由特性决定
SID237	F _{ILOTIM1}	调整后的频率为 32 kHz	15	32	50	kHz	调整范围为 ±60%。

表 37. PLL 直流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID410	IDD_PLL_48	输入频率 = 3 MHz, 输出频率 = 48 MHz	–	530	610	μA	
SID411	IDD_PLL_24	输入频率 = 3 MHz, 输出频率 = 24 MHz	–	300	405	μA	

表 38. PLL 交流规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID412	F _{PLLIN}	PLL 输入频率	1	–	48	MHz	
SID413	F _{PLLINT}	PLL 中间频率; 预分频器输出	1	–	3	MHz	
SID414	F _{PLLVCO}	进行次分频前的 VCO 输出频率	22.5	–	104	MHz	
SID415	D _{IVVCO}	VCO 输出后分频器范围; PLL 输出频率是 F _{PPLVCO} /D _{IVVCO}	1	–	8	–	
SID416	Pllocktime	启动时的锁定时间	–	–	250	us	
SID417	Jperiod_1	VCO 周期抖动值 ≥ 67 MHz	–	–	150	ps	由设计决定
SID416A	Jperiod_2	VCO 周期抖动值 ≤ 67 MHz	–	–	200	ps	由设计决定

表 39. 外部时钟规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID305	ExtClkFreq	外部时钟输入频率	0	–	48	MHz	由特性决定
SID306	ExtClkDuty	占空比; 在 V _{DD/2} 测量得到	45	–	55	%	由特性决定

表 40. 监视晶体振荡器 (WCO) 规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
IMO WCO-PLL 校准模式							
SID330	IMOWCO1	IMO 频率 = 3 MHz 时 WCO 频率的变化	–0.6	–	0.6	%	不包括 WCO 的容差在内
SID331	IMOWCO2	IMO 频率 = 5 MHz 时 WCO 频率的变化	–0.4	–	0.4	%	不包括 WCO 的容差在内
SID332	IMOWCO3	IMO 频率 = 7 MHz (或 9 MHz) 时 WCO 频率的变化	–0.3	–	0.3	%	不包括 WCO 的容差在内
SID333	IMOWCO4	所有其他 IMO 频率设置	–0.2	–	0.2	%	不包括 WCO 的容差在内
WCO 规范							
SID398	FWCO	晶振频率	–	32.768	–	kHz	
SID399	FTOL	频率容限	–	50	250	ppm	晶振的容差 = 20 ppm。
SID400	ESR	等效串联电阻	–	50	–	kΩ	
SID401	PD	驱动电平	–	–	1	μW	
SID402	TSTART	启动时间	–	–	500	ms	
SID403	CL	晶振负载电容	6	–	12.5	pF	
SID404	C0	晶振并联电容	–	1.35	–	pF	
SID405	IWCO1	工作电流 (高功耗模式下)	–	–	8	uA	

表 41. ECO 规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID316	IECO1	模块工作电流	—	—	1.5	mA	
SID317	FECO	晶体频率范围	4	—	33	MHz	

表 42. UDB 交流规范

(由特性决定)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
数据路径性能							
SID249	F _{MAX-TIMER}	在 UDB 对中 16 位定时器的最高频率	—	—	48	MHz	
SID250	F _{MAX-ADDER}	在 UDB 对中 16 位加法器的最高频率	—	—	48	MHz	
SID251	F _{MAX_CRC}	在 UDB 对中 16 位 CRC/PRS 的最高频率	—	—	48	MHz	
UDB 中的 PLD 性能							
SID252	F _{MAX_PLD}	在 UDB 对中双通 PLD 功能的最高频率	—	—	48	MHz	
时钟输入至数据输出的性能							
SID253	T _{CLK_OUT_UBD1}	在温度为 25 °C 时从时钟输入到数据输出之间的传输延迟时间；典型值。	—	15	—	ns	
SID254	T _{CLK_OUT_UBD2}	从时钟输入到数据输出之间的传输延迟，最差值。	—	25	—	ns	

表 43. 模块规范

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID256	T _{WS48}	频率为 48 MHz 时的等待状态数	2	—	—		CPU 从闪存执行。 由特性决定
SID257	T _{WS24}	频率为 24 MHz 时的等待状态数	1	—	—		CPU 从闪存执行。 由特性决定
SID260	V _{REFSAR}	校准后的 SAR 内部参考	−1	—	+1	%	V _{bg} 的百分比 (1.024 V)。 由特性决定
SID261	F _{SARINTREF}	SAR 运行速度 (没有外部参考旁路电容)	—	500	—	ksps	12 位分辨率。 由特性决定
SID262	T _{CLKSWITCH}	时钟从 clk1 切换到 clk2 需要的 clk1 周期时间	3	—	4	周期	由设计决定

 * T_{WS48} 和 T_{WS24} 都由设计决定

表 44. UDB 端口适配器规范

 (基于 LPC 组件规范, 除参数 T_{LCKDO} 外 由特性决定, $C_{load} = 10 \text{ pF}$, V_{DDIO} 和 $V_{DDD} = 3 \text{ V}$)

规范 ID	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID263	T_{LCLKDO}	从 LCLK 到输出的延迟	—	—	18	ns	
SID264	$T_{DINLCLK}$	从输入建立时间到 LCLK 上升沿的时间	—	—	7	ns	
SID265	$T_{DINLCLKHLD}$	从 LCLK 上升沿的输入保持时间	0	—	—	ns	
SID266	$T_{LCLKHIZ}$	从 LCLK 到输出为三态的时间	—	—	28	ns	
SID267	T_{FLCLK}	LCLK 频率	—	—	33	MHz	
SID268	$T_{LCLKDUTY}$	LCLK 占空比 (高比例)	40	—	60	%	

表 45. USB 设备模块规范 (仅限 USB)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID321	Vusb_5	为 USB 操作提供的器件供电	4.5	—	5.5	V	配置了 USB 并使能了 USB 电压调节器
SID322	Vusb_3.3	为 USB 操作提供的器件供电	3.15	—	3.6	V	配置了 USB 并旁路了 USB 电压调节器
SID323	Vusb_3	为 USB 操作提供的器件供电 (只有功能操作)	2.85	—	3.6	V	配置了 USB 并旁路了 USB 电压调节器
SID324	lusb_config	活动模式下的器件供电电流, $I_{MO} = 24 \text{ MHz}$	—	10	—	mA	$V_{DDD} = 5 \text{ V}$
SID325	lusb_config	活动模式下的器件供电电流, $I_{MO} = 24 \text{ MHz}$	—	8	—	mA	$V_{DDD} = 3.3 \text{ V}$
SID326	lsub_suspend	睡眠模式下的器件供电电流	—	0.5	—	mA	$V_{DDD} = 5 \text{ V}$, PICU 唤醒
SID327	lsub_suspend	睡眠模式下的器件供电电流	—	0.3	—	mA	$V_{DDD} = 5 \text{ V}$, 器件被断开连接
SID328	lsub_suspend	睡眠模式下的器件供电电流	—	0.5	—	mA	$V_{DDD} = 3.3 \text{ V}$, PICU 唤醒
SID329	lsub_suspend	睡眠模式下的器件供电电流	—	0.3	—	mA	$V_{DDD} = 3.3 \text{ V}$, 器件被断开连接

表 46. SIO 规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SIO 直流规范							
SID330	V_{IH}	输入高电平阈值	$0.7 \cdot V_{DD}$	—	—	V	相应于 V_{DDIO} 的 CMOS 输入
SID331	V_{IL}	输入低电平阈值	—	—	$0.3 \cdot V_{DD}$	V	相应于 V_{DDIO} 的 CMOS 输入
SID332	V_{IH}	差分输入模式高电压；迟滞被禁用	$V_r + 0.2$	—	—	V	V_r 是 SIO 参考电压
SID333	V_{IL}	差分输入模式低电压；迟滞被禁用	—	—	$V_r - 0.2$	V	V_r 是 SIO 参考电压
SID334	V_{OH}	非稳压模式下的输出高电压	$V_{DDIO} - 0.4$	—	—	V	$I_{OH} = 4 \text{ mA}$, $V_{DD} = 3.3 \text{ V}$
SID335	V_{OH}	稳压模式下的输出高电压	$V_r - 0.65$	—	$V_r + 0.2$	V	$I_{OH} = 1 \text{ mA}$
SID336	V_{OH}	稳压模式下的输出高电压	$V_r - 0.3$	—	$V_r + 0.2$	V	$I_{OH} = 0.1 \text{ mA}$
SID337	V_{OL}	输出低电压	—	—	0.8	V	$V_{DDIO} = 3.3 \text{ V}$, $I_{OL} = 25 \text{ mA}$
SID338	V_{OL}	输出低电压	—	—	0.4	V	$V_{DDIO} = 1.8 \text{ V}$, $I_{OL} = 4 \text{ mA}$
SID339	V_{inref}	输入参考电压	0.48	—	$0.52 \cdot V_{DDIO}$	V	
SID340	V_{outref}	输出电压参考 (稳压模式)	1	—	$V_{DDIO} - 1$	V	$V_{DDIO} > 3.3$
SID341	V_{outref}	输出电压参考 (稳压模式)	1	—	$V_{DDIO} - 0.5$	V	$V_{DDIO} < 3.3$
SID342	R_{PULLUP}	上拉电阻	3.5	5.6	8.5	k Ω	
SID343	$R_{PULLDOWN}$	下拉电阻	3.5	5.6	8.5	k Ω	
SID344	I_{IL}	输入漏电流 (绝对值)	—	—	14	nA	$V_{IH} \leq V_{DDSIO}$; 25°C
SID345	I_{IL}	输入漏电流 (绝对值)	—	—	10	nA	$V_{IH} > V_{DDSIO}$; 25°C
SID346	C_{IN}	输入电容	—	—	7	pF	
SID347	VHYST-Single	单端模式下的迟滞	—	40	—	mV	
SID348	VHYST_Diff	差分模式下的迟滞	—	35	—	mV	
SID349	I_{DIODE}	通过保护二极管到达 V_{DD}/V_{SS} 的 导通电流	—	—	100	μA	
SIO 交流规范 (由设计决定)							
SID350	T_{RISEF}	快速强驱动模式下的上升时间	—	—	12	ns	$3.3 \text{ V } V_{DD}$, $C_{load} = 25 \text{ pF}$
SID351	T_{FALLF}	快速强驱动模式下的下降时间	—	—	12	ns	$3.3 \text{ V } V_{DD}$, $C_{load} = 25 \text{ pF}$
SID352	T_{RISES}	慢速强驱动模式下的上升时间	—	—	75	ns	$3.3 \text{ V } V_{DD}$, $C_{load} = 25 \text{ pF}$
SID353	T_{FALLS}	慢速强驱动模式下的下降时间	—	—	70	ns	$3.3 \text{ V } V_{DD}$, $C_{load} = 25 \text{ pF}$
SID354	F_{SIOU1}	SIO F_{out} ; 非稳压, 快速强驱动模式	—	—	33	MHz	$3.3 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, 25 pF, 由设计决定
SID355	F_{SIOU2}	SIO F_{out} ; 非稳压, 快速强驱动模式	—	—	16	MHz	$1.71 \text{ V} \leq V_{DD} \leq 3.3 \text{ V}$, 25 pF
SID356	F_{SIOU3}	SIO F_{out} ; 稳压, 快速强驱动模式	—	—	20	MHz	$3.3 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, 25 pF
SID357	F_{SIOU4}	SIO F_{out} ; 稳压, 快速强驱动模式	—	—	10	MHz	$1.71 \text{ V} \leq V_{DD} \leq 3.3 \text{ V}$, 25 pF
SID358	F_{SIOU3}	SIO F_{out} ; 非稳压, 慢速强驱动模式。	—	—	5	MHz	$3.3 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, 25 pF
SID359	F_{SIOU4}	SIO F_{out} , 非稳压, 慢速强驱动模式。	—	—	3.5	MHz	$1.71 \text{ V} \leq V_{DD} \leq 3.3 \text{ V}$, 25 pF

表 46. SIO 规范 (续)

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID360	F _{SIOOUT5}	SIO Fout, 稳压, 慢速强驱动模式。	—	—	2.5	MHz	1.7 V ≤ V _{DD} ≤ 5.5 V, 25 pF
SID361	F _{GPIOIN}	GPIO 输入工作频率; 1.71 V ≤ V _{DD} ≤ 5.5 V	—	—	48	MHz	1.71 V ≤ V _{DD} ≤ 5.5 V

表 47. CAN 规范

规范 ID 编号	参数	说明	最小值	典型值	最大值	单位	详情 / 条件
SID420	IDD_CAN	模块电流消耗	—	—	200	uA	
SID421	CAN_bits	CAN 比特率 (最小值 = 8 MHz)	—	—	1	Mbits/sec	

订购信息

下表显示的是 PSoC 4200L 器件的编号和各种特性。

表 48. PSoC 4200L 订购信息

类别	MPN	特性														封装			
		CPU 的最高速度 (MHz)	Flash (KB)	SRAM (KB)	UDB	运算放大器 (CTBm)	CSD	LCD 直接驱动	12-bit SAR ADC	低功耗比较器	TCPWM 模块	SCB 模块	USB Full Speed	CAN	GPIO	48-TQFP	64-TQFP	68-QFN	124-VFBGA
4246	CY8C4246AZI-L423	48	64	8	8	2	1	✓	1000 ksps	2	8	3	–	–	38	✓	–	–	–
	CY8C4246AZI-L433	48	64	8	8	2	–	–	1000 ksps	2	8	3	✓	–	38	✓	–	–	–
	CY8C4246AZI-L435	48	64	8	8	2	–	–	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4246AZI-L445	48	64	8	8	2	2	✓	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4246LTI-L445	48	64	8	8	2	2	✓	1000 ksps	2	8	4	✓	–	57	–	–	✓	–
4247	CY8C4247AZI-L423	48	128	16	8	2	1	✓	1000 ksps	2	8	3	–	–	38	✓	–	–	–
	CY8C4247AZI-L433	48	128	16	8	2	–	–	1000 ksps	2	8	3	✓	–	38	✓	–	–	–
	CY8C4247AZI-L445	48	128	16	8	2	2	✓	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4247LTI-L445	48	128	16	8	2	2	✓	1000 ksps	2	8	4	✓	–	57	–	–	✓	–
	CY8C4247AZI-L475	48	128	16	8	4	2	–	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4247LTI-L475	48	128	16	8	4	2	–	1000 ksps	2	8	4	✓	–	57	–	–	✓	–
	CY8C4247BZI-L479	48	128	16	8	4	2	–	1000 ksps	2	8	4	✓	–	98	–	–	–	✓
	CY8C4247AZI-L485	48	128	16	8	4	2	✓	1000 ksps	2	8	4	✓	✓	53	–	✓	–	–
	CY8C4247LTI-L485	48	128	16	8	4	2	✓	1000 ksps	2	8	4	✓	✓	57	–	–	✓	–
	CY8C4247LTQ-L485	48	128	16	8	4	2	✓	1000 ksps	2	8	4	✓	✓	57	–	–	✓	–
	CY8C4247BZI-L489	48	128	16	8	4	2	✓	1000 ksps	2	8	4	✓	✓	98	–	–	–	✓
4248	CY8C4248BZI-L469	48	256	32	8	4	–	–	1000 ksps	2	8	4	–	–	96	–	–	–	✓
	CY8C4248AZI-L475	48	256	32	8	4	2	–	1000 ksps	2	8	4	✓	–	53	–	✓	–	–
	CY8C4248LTI-L475	48	256	32	8	4	2	–	1000 ksps	2	8	4	✓	–	57	–	–	✓	–
	CY8C4248BZI-L479	48	256	32	8	4	2	–	1000 ksps	2	8	4	✓	–	98	–	–	–	✓
	CY8C4248AZI-L485	48	256	32	8	4	2	✓	1000 ksps	2	8	4	✓	✓	53	–	✓	–	–
	CY8C4248LTI-L485	48	256	32	8	4	2	✓	1000 ksps	2	8	4	✓	✓	57	–	–	✓	–
	CY8C4248LTQ-L485	48	256	32	8	4	2	✓	1000 ksps	2	8	4	✓	✓	57	–	–	✓	–
	CY8C4248BZI-L489	48	256	32	8	4	2	✓	1000 ksps	2	8	4	✓	✓	98	–	–	–	✓

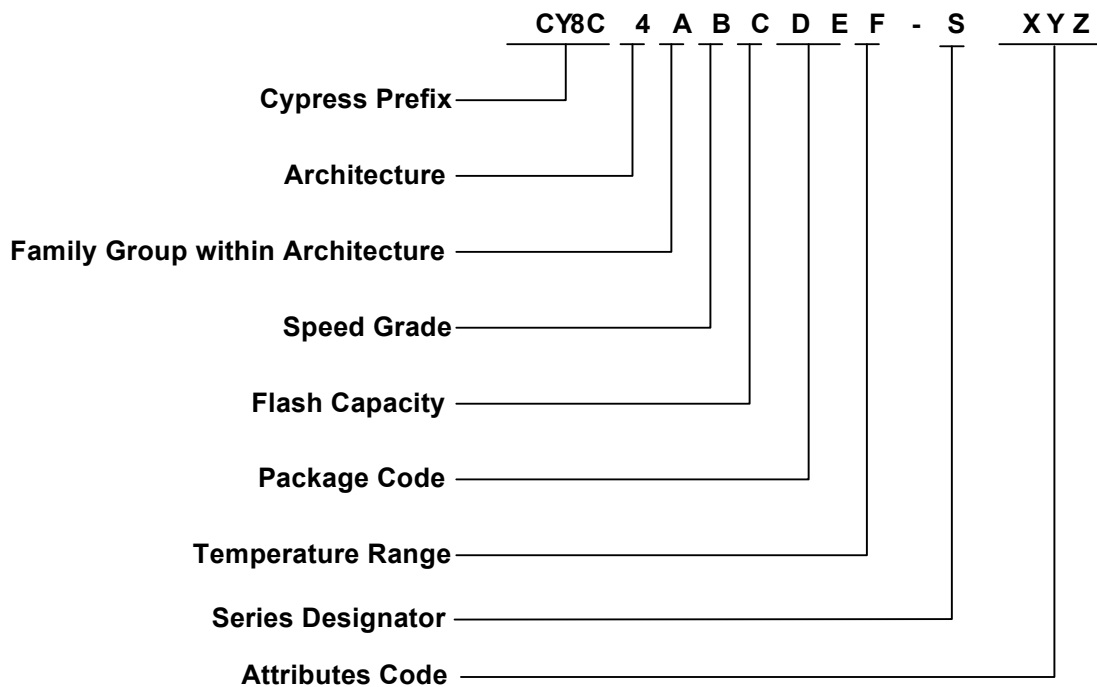
表中所用的名称取决于以下器件编号规范:

表 49. MPN 命名

字段	说明	值	含义
CY8C	赛普拉斯前缀		
4	架构	4	PSoC 4
A	系列	2	4200 系列
B	CPU 速度	4	48 MHz
C	闪存容量	6	64 KB
		7	128 KB
		8	256 KB
DE	封装代码	AX, AZ	TQFP
		LT	QFN
		BZ	BGA
		FD	CSP
F	温度范围	I	工业级
		Q	扩展工业级
S	芯片系列	S	PSoC 4 S 系列
		L	PSoC 4 L 系列
		M	PSoC 4 M 系列
XYZ	属性代码	000-999	设置在特殊系列中的特性代码

器件型号规范

器件编号定义如下。



封装

PSoC 4200L 封装尺寸如下。

表 50. 封装尺寸

规范 ID 编号	封装	说明	封装 DWG 编号
PKG_1	124-VFBGA	124 球型焊盘，尺寸为 9 mm x 9 mm x 1.0 mm，间距为 0.65 mm	001-97718
PKG_2	64-TQFP	64-TQFP，尺寸为 10 mm x 10 mm x 1.4 mm，间距为 0.5 mm	51-85051
PKG_3	68-QFN	68-QFN，尺寸为 8 mm x 8 mm x 1.0 mm，间距为 0.4 mm	001-09618
PKG_4	48-TQFP	48-TQFP，尺寸为 7 mm x 7 mm x 1.4 mm，间距为 0.5 mm	51-85135

表 51. 封装特性

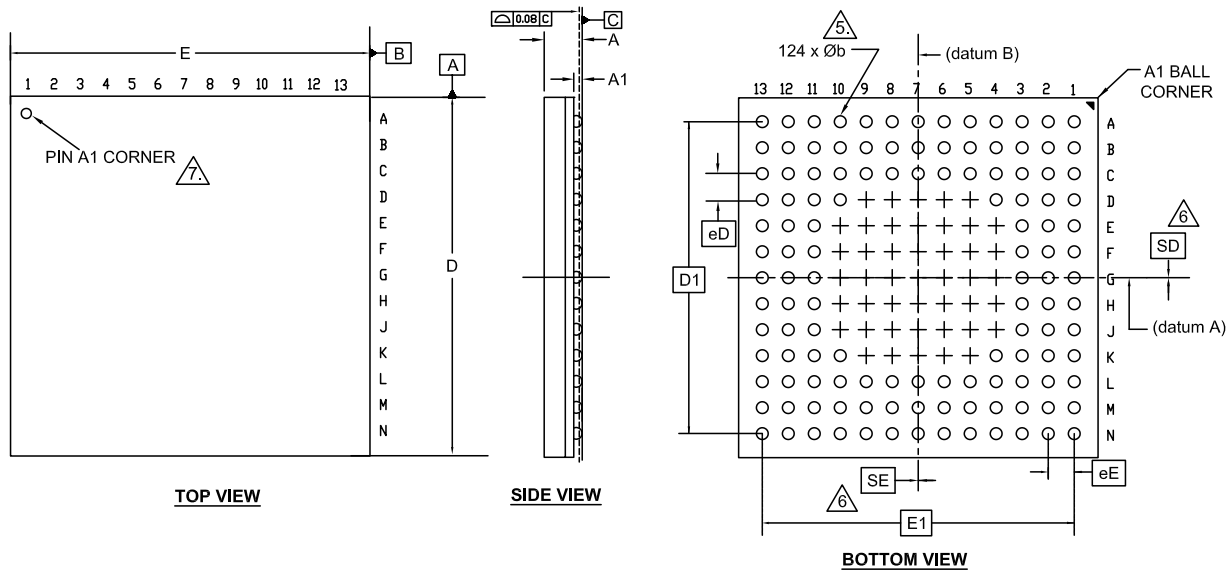
参数	说明	条件	最小值	典型值	最大值	单位
T _A	工作环境温度		-40	25	105	°C
T _J	工作结温		-40	—	125	°C
T _{JA}	封装 θ_{JA} (124-VFBGA)		—	35	—	°C/Watt
T _{JA}	封装 θ_{JA} (64-TQFP)		—	54	—	°C/Watt
T _{JA}	封装 θ_{JA} (68-QFN)		—	17	—	°C/Watt
T _{JA}	封装 θ_{JA} (48-TQFP)		—	67	—	°C/Watt

表 52. 回流焊峰值温度

封装	最高峰值温度	峰值温度下的最长时间
所有封装	260 °C	30 秒

表 53. 封装潮敏等级 (MSL)，IPC/JEDEC J-STD-2

封装	MSL
所有封装	MSL 3

图 8. 124-VFBGA 封装外形


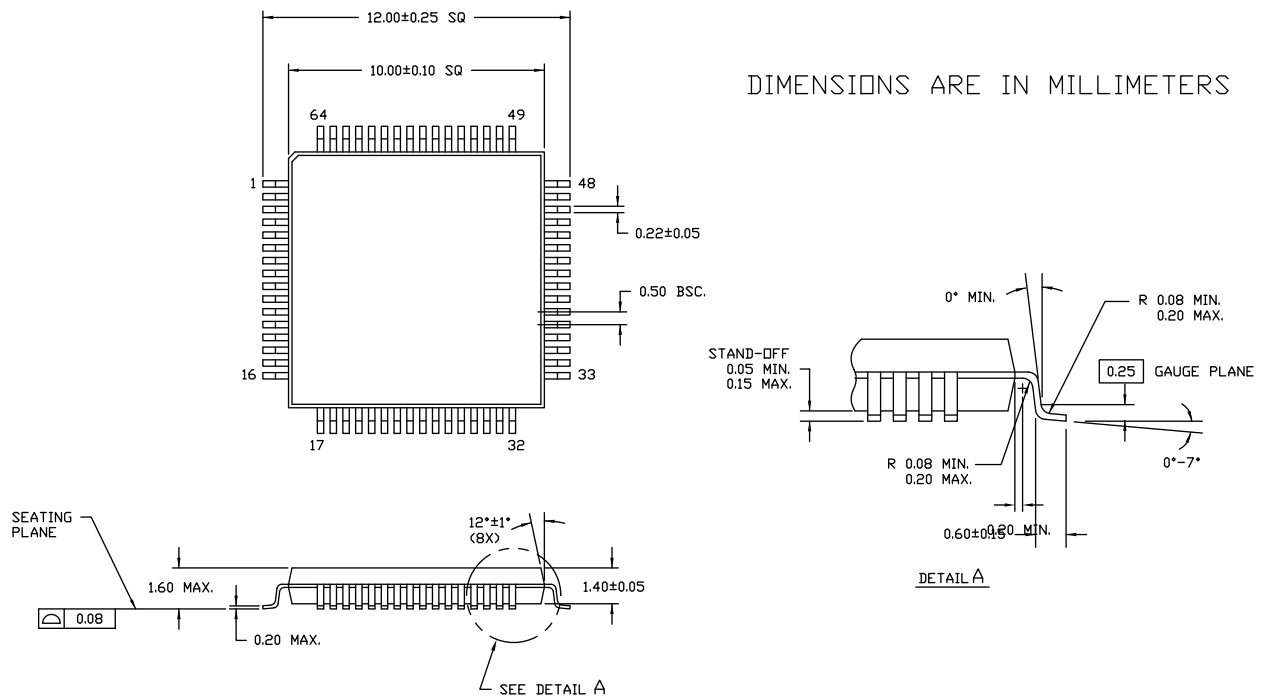
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.16	0.21	0.26
D	8.90	9.00	9.10
E	8.90	9.00	9.10
D1	7.80 BSC		
E1	7.80 BSC		
MD	13		
ME	13		
N	124		
Ø b	0.25	0.30	0.35
eD	0.65 BSC		
eE	0.65 BSC		
SD	0		
SE	0		

NOTES:

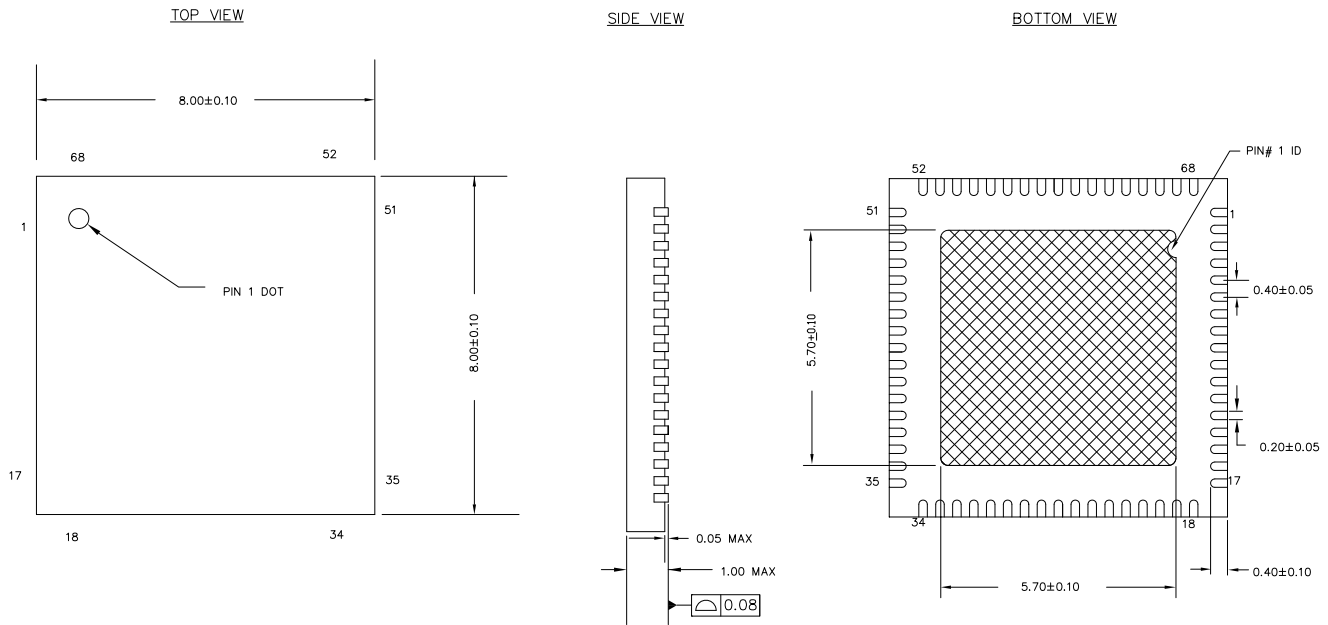
- ALL DIMENSIONS ARE IN MILLIMETERS.
- SOLDER BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.
- JEDEC SPECIFICATION NO. REF. : MO-280.

001-97718 *B

图 9. 64-TQFP 封装外形

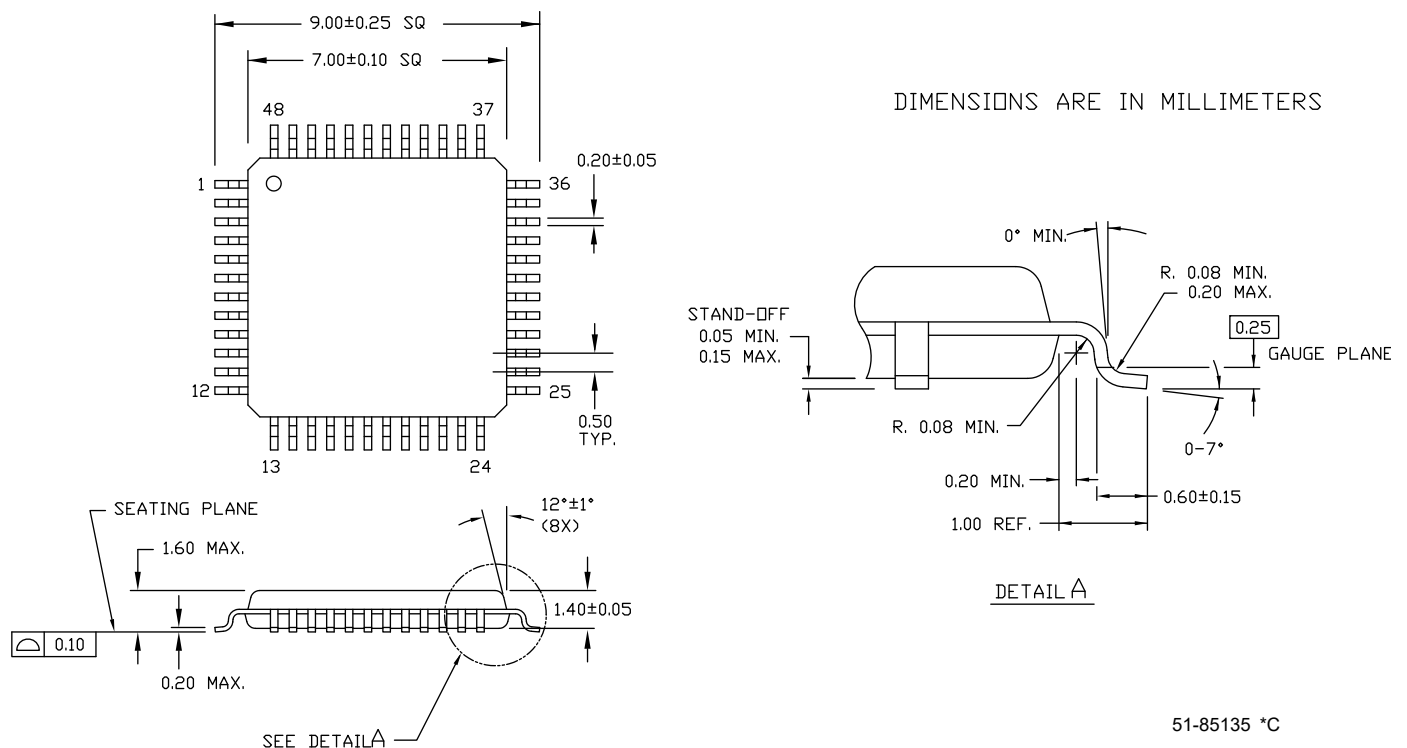


51-85051 *D

图 10. 68-QFN 封装外形

NOTES:

1. HATCH AREA IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC#: MO-220
3. PACKAGE WEIGHT: 17 ± 2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-09618 *E

图 11. 48-TQFP 封装外形


DIMENSIONS ARE IN MILLIMETERS

51-85135 *C

缩略语

表 54. 本文档中使用的缩略语

缩略语	说明
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局
AHB	AMBA (先进微控制器总线架构) 高性能总线, 即为一种 Arm 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用程序状态寄存器
Arm®	高级 RISC 机器, 即为一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CAN	控制器区域网络, 即为一种通信协议
CMRR	共模抑制比
CPU	中央处理单元
CRC	循环冗余校验, 即为一种错误校验协议
DAC	数模转换器, 另请参见 IDAC、VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出, GPIO 只具有数字功能, 无模拟功能。请参见 GPIO。
DMIPS	Dhrystone 每秒百万条指令
DMA	直接存储器访问, 另请参见 TD
DNL	微分非线性, 另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点和跟踪
ECC	纠错码
ECO	外部晶振
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电放电
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应, 另请参见 IIR

表 54. 本文档中使用的缩略语 (续)

缩略语	说明
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出, 适用于 PSoC 引脚
HVI	高电压中断, 另请参见 LVI、LVD
IC	集成电路
IDAC	电流 DAC, 另请参见 DAC、VDAC
IDE	集成开发环境
I ² C 或 IIC	内部集成电路, 即为一种通信协议
IIR	无限脉冲响应, 另请参见 FIR
ILO	内部低速振荡器, 另请参见 IMO
IMO	内部主振荡器, 另请参见 ILO
INL	积分非线性, 另请参见 DNL
I/O	输入 / 输出, 另请参见 GPIO、DIO、SIO、USBIO
IPOR	初次上电复位
IPSR	中断程序状态寄存器
IRQ	中断请求
ITM	仪器化跟踪宏单元
LCD	液晶显示器
LIN	本地互连网络, 即一种通信协议。
LR	链接寄存器
LUT	查询表
LVD	低压检测, 另请参见 LVI
LVI	低压中断, 另请参见 HVI
LVTTTL	低压晶体管 - 晶体管逻辑
MAC	乘法累加
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽的中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器, 另请参见 WOL
opamp	运算放大器
PAL	可编程阵列逻辑, 另请参见 PLD
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器

表 54. 本文档中使用的缩略语 (续)

缩略语	说明
PHY	物理层
PICU	端口中断控制单元
PLA	可编程逻辑阵列
PLD	可编程逻辑器件, 另请参见 PAL
PLL	锁相环
PMDD	封装材料声明数据手册
POR	加电复位
PRES	精密上电复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC™	可编程片上系统
PSRR	电源抑制比
PWM	脉冲宽度调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器传递语言
RTR	远程传输请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I ² C 串行时钟
SDA	I ² C 串行数据
S/H	采样和保持
SINAD	信噪比和失真比
SIO	特别输入 / 输出, 带高级功能的 GPIO。请参见 GPIO。
SOC	开始转换
SOF	帧开始
SPI	串行外设接口, 即为一种通信协议
SR	转换速率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试, 即为一种测试协议
SWV	单线浏览器
TD	传输描述符, 另请参见 DMA
THD	总谐波失真
TIA	互阻放大器
TRM	技术参考手册

表 54. 本文档中使用的缩略语 (续)

缩略语	说明
TTL	晶体管 - 晶体管逻辑
TX	发送
UART	通用异步发送器接收器, 即为一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出, 用于连接至 USB 端口的 PSoC 引脚
VDAC	电压 DAC, 另请参见 DAC、IDAC
WDT	看门狗定时器
WOL	一次性写锁存器, 另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位 I/O 引脚
XTAL	晶体

文档规格

测量单位

表 55. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 个字节
kbps	千比特每秒
Khr	千小时
kHz	千赫兹
kΩ	千欧姆
ksps	千次采样每秒
LSB	最低有效位
Mbps	兆比特每秒
MHz	兆赫
MΩ	兆欧姆
Msps	兆次采样每秒
μA	微安
μF	微法
μH	微亨
μs	微秒
μV	微伏
μW	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
Ω	欧姆
pF	皮法
ppm	百万分率
ps	皮秒
s	秒
sps	采样数每秒
sqrtHz	赫兹平方根
V	伏特

修订记录

说明标题: PSoC™ 4: PSoC4200L 数据手册可编程片上系统 (PSoC™) 文档编号: 002-00064			
版本	ECN	提交日期	变更说明
**	4902980	09/08/2015	本文档版本号为 Rev**, 译自英文版 001-91686 Rev*A。
*A	5192375	04/01/2016	译自英文版 001-91686 Rev*D。
*B	5779487	06/20/2017	更新徽标和版权。 更新包装图: 规格 001-97718 将版本从 ** 更改为 * A。
*C	6605466	06/27/2019	翻译自英文版 001-91686 Rev*I。
*D	6917017	07/09/2020	翻译自英文版 001-91686 Rev. *J。
*E	7768019	05/30/2022	翻译自英文版 001-91686 Rev. *K。

销售、解决方案和法律信息

全球销售和設計支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC™ 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [代码示例](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

赛普拉斯半导体公司，2015-2022 年。本文件是英飞凌科技旗下赛普拉斯半导体公司及其关联公司（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯持软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件或任何伴随的硬件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯不承担由于任何安全漏洞而产生的责任，例如未经授权的使用或访问赛普拉斯产品。**赛普拉斯未陈述、保证和担保赛普拉斯产品或使用赛普拉斯产品创建的系统将免于损坏、攻击、病毒、干扰、黑客、数据丢失或失窃或其他安全入侵（统称为“安全漏洞”）。**赛普拉斯对任何安全漏洞不承担任何责任，并且贵方应特此免除赛普拉斯因任何安全漏洞引起的任何索赔、损失或其他责任。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。“高风险设备”是指，若其故障后可能导致人身伤害、死亡或财产损失的任何设备或系统。高风险设备的例子是武器，核装置，外科植入物和其他医疗设备。“关键部件”是指，若其发生故障后，经合理预期会直接或间接地导致高风险设备故障或会影响高风险设备安全性和有效性的任何高风险设备部件。赛普拉斯不承担全部或部分，且贵方应特此免除赛普拉斯因在高风险设备中使用赛普拉斯产品作为关键部件而引起的任何索赔、损失或其他责任。贵方应赔偿赛普拉斯及其董事、职员、雇员、代理方、关联公司、经销商和受让方因在高风险设备中使用赛普拉斯产品作为关键部件而产生的所有索赔、成本、损失和费用，包括因产品责任、人身伤害或死亡或财产损失引起的主张，并使之免受损失。赛普拉斯产品非被设定或被授权作为高风险设备中的关键部件使用，除非限于 (i) 赛普拉斯公布的关于该产品的数据表明明确指出该产品适格于特定的高风险设备，或 (ii) 赛普拉斯已事先书面授权贵方，允许将该产品用作特定高风险设备中的关键部件，并且贵方已签署单独的赔偿协议。

赛普拉斯、赛普拉斯徽标及上述项目的组合，PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED 和 ModusToolbox 为赛普拉斯或赛普拉斯的子公司在美国或在其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。