

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

プログラマブル システムオンチップ (PSoC®)

概要

PSoC® 4 は Arm® Cortex®-M0 CPU を内蔵したアナログ/デジタル混在のプログラミング可能な組込みシステム コントローラーファミリ用の、拡張可能かつ再設定可能なプラットフォーム アーキテクチャです。これは、プログラム可能かつ再設定可能なアナログおよびデジタル ブロックを柔軟な自動配線で組み合わせます。プラットフォームに基づいて設計されるこの PSoC 4100M デバイス ファミリは、マイクロコントローラーとデジタル プログラマブル ロジック、高性能アナログ - デジタル変換、コンパレータ モード付きのオペアンプ、標準通信とタイミング ペリフェラルの組み合わせです。新しいアプリケーションと設計ニーズの面では、PSoC 4100 製品は PSoC 4 プラットフォームのメンバーとの完全な上位互換性があります。プログラム可能なアナログとデジタル サブシステムにより、設計には柔軟性があり、インフィールド (in-field) チューニングも可能になります。

特長

32 ビット MCU サブシステム

- 24MHz Arm Cortex-M0 CPU、シングルサイクルの乗算に対応
- 読み出し加速装置を備えた 32kB までのフラッシュ
- 最大 4KB の SRAM

プログラマブル アナログ

- 再設定可能な大電流外部ドライブと広帯域内部ドライブ、コンパレータモード、ADC 入力バッファリング能力に対応した 2 個のオペアンプ
- 差動とシングルエンド モードおよび信号加算平均に対応したチャンネルシーケンサを備えた 12 ビットの 806kps SAR ADC
- 任意のピンでの汎用または静電容量センシング用途向けの 2 個の電流 DAC (IDAC)
- ディープスリープで動作する 2 個の低消費電力コンパレータ

低消費電力 1.71V ~ 5.5V の動作

- ストップモード時: 20nA 電流で GPIO ウェイクアップが有効
- ハイバネートとディープスリープ モードにより、復帰時間と電力とをトレードオフ可能

静電容量センシング

- サイプレスの静電容量シグマ - デルタ (CSD) がクラス最高の SNR (>5:1) および耐水性を提供します。
- サイプレスが提供するソフトウェアコンポーネントが静電容量センシングの設計を簡易化
- ハードウェア自動チューニング (SmartSense™)

セグメント LCD ドライブ

- あらゆるピンでの LCD ドライブ (コモンまたはセグメント)
- ディープスリープ モードでの動作に対応、ピンごとに 4 ビット メモリ

シリアル通信

- 2 個の独立した、実行時に I²C、SPI、または UART に再設定可能なシリアル通信ブロック (SCB)

タイミングおよびパルス幅の変調

- 4 個の 16 ビット タイマー/カウンタ パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、および疑似ランダムモード
- モータードライブや他の高信頼性デジタル ロジック アプリケーション用のキル (Kill) 信号のコンパレータ ベースのトリガー

最大 36 のプログラム可能な GPIO

- 全ての GPIO ピンが CapSense、LCD、アナログ、デジタルに対応
- 駆動モード、駆動力、およびスルーレートはプログラム可能

5 種類のパッケージ

- 48ピン TQFP、44ピン TQFP、40ピン QFN、35ボール WLCSP、および 28 ピン SSOP パッケージ
- 35ボール WLCSP パッケージでは、I²C ブートローダがフラッシュに搭載される

拡張産業用温度動作

- -40°C ~ +105°C の動作

PSoC Creator の設計環境

- 統合開発環境が回路図デザインのエントリとビルドを提供 (アナログおよびデジタル自動配線も備えている)
- すべての固定機能とプログラマブル ペリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント

業界標準のツールとの互換性

- 回路図のエントリ後、開発を Arm ベースの業界標準の開発ツールで行うことが可能

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。リソースの総合一覧については、[KBA86521](#), [How to Design with PSoC 3, PSoC 4, and PSoC 5LP](#) という知識ベース記事を参照してください。以下は、PSoC 4 の要約です。

■ 概要 : PSoC ポートフォリオ、PSoC ロードマップ

■ 製品セレクト : PSoC 1、PSoC 3、PSoC 4、PSoC 5LP

また、PSoC Creator はデバイス選択ツールを含んでいます。

■ アプリケーション ノート : サイプレスは、基本レベルから上級レベルまでの様々なトピックに触れる大量の PSoC アプリケーション ノートを提供しています。以下は、PSoC 4 入門用の推奨アプリケーション ノートです。

- [AN79953](#): PSoC 4 の入門
- [AN88619](#): PSoC 4 ハードウェア設計上の注意事項
- [AN86439](#): PSoC 4 GPIO ピンの使用
- [AN57821](#): 混合した信号回路基板レイアウト
- [AN81623](#): デジタル デザインのベストプラクティス
- [AN73854](#): ブートローダ入門
- [AN89610](#): Arm Cortex コード最適化
- [AN90071](#): CY8CMBR3xxx CapSense 設計ガイド

■ テクニカルリファレンスマニュアル (TRM) は 2 つのドキュメントにあります。

- [アーキテクチャ TRM](#): 各 PSoC 4 機能ブロックを詳細に説明します。
- [レジスタ TRM](#): 各 PSoC 4 レジスタを詳細に説明します。

■ 開発キット :

- [CY8CKIT-042](#) (PSoC 4 Pioneer キット) : 格安で使い易いプラットフォームです。このキットには、Arduino™ 準拠シールドおよび Digilent® Pmod™ ドーターカード専用コネクタを搭載します。
- [CY8CKIT-049](#): 低コストのプロトタイプ プラットフォームです。このキットは PSoC 4 デバイスをサンプリングするための低コスト オプションです。
- [CY8CKIT-001](#): PSoC 1、PSoC 3、PSoC 4、または PSoC 5LP デバイス ファミリーの共通開発プラットフォームです。

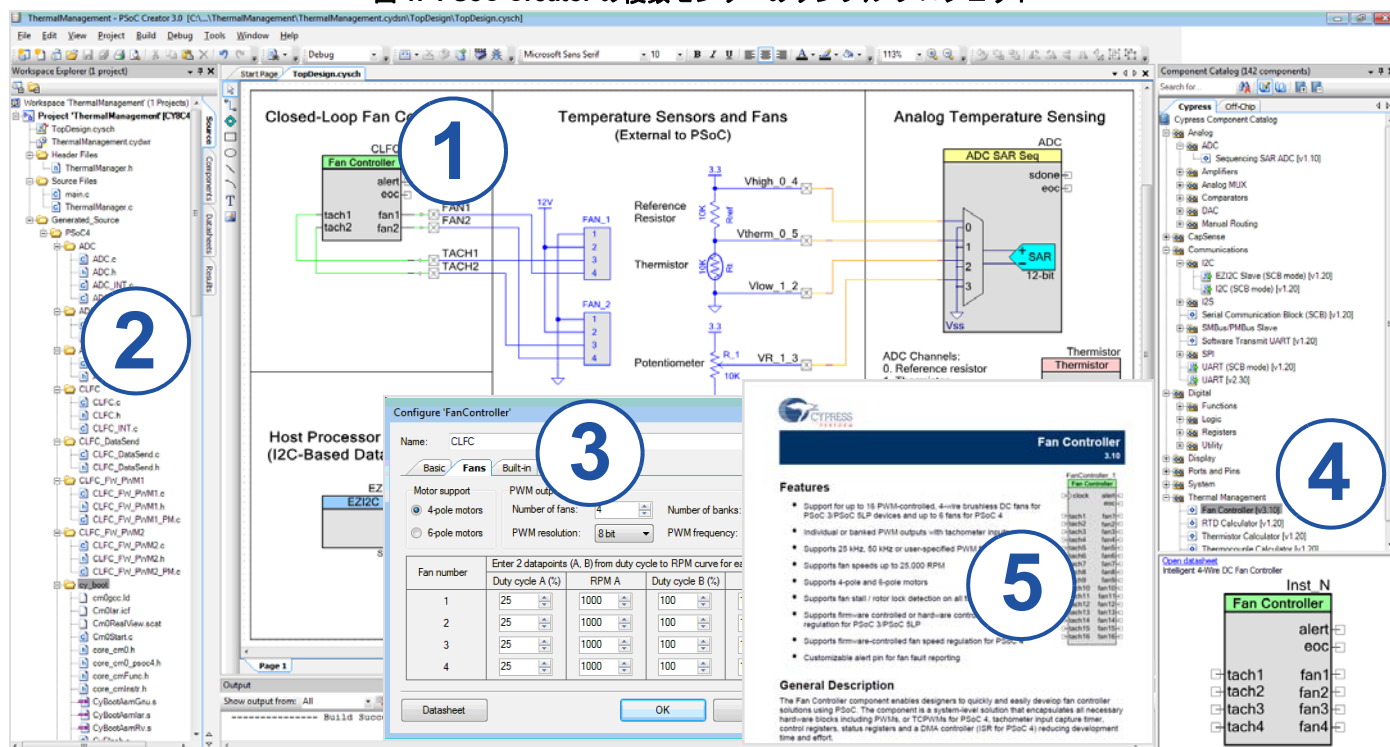
[MiniProg3](#) デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供します。

PSoC Creator

PSoC Creator は無料の Windows ベースの統合設計環境 (IDE) です。このキットにより、PSoC 3、PSoC 4、および PSoC 5LP ベースのシステムのハードウェアとファームウェアの同時設計が可能です。100 以上の事前検証済みで量産使用が可能な PSoC Component をサポートしているクラシックで使い慣れた回路図キャプチャを使ってデザインを作成します。[コンポーネント データシート](#) を参照してください。PSoC Creator により、以下のことが可能です。

1. メイン デザイン ワークスペースで、コンポーネント アイコンをドラッグアンドドロップしてハードウェアシステム デザインをビルド
2. PSoC Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを相互設計
3. コンフィギュレーション ツールを使って、コンポーネントを設定
4. 100 以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを参照

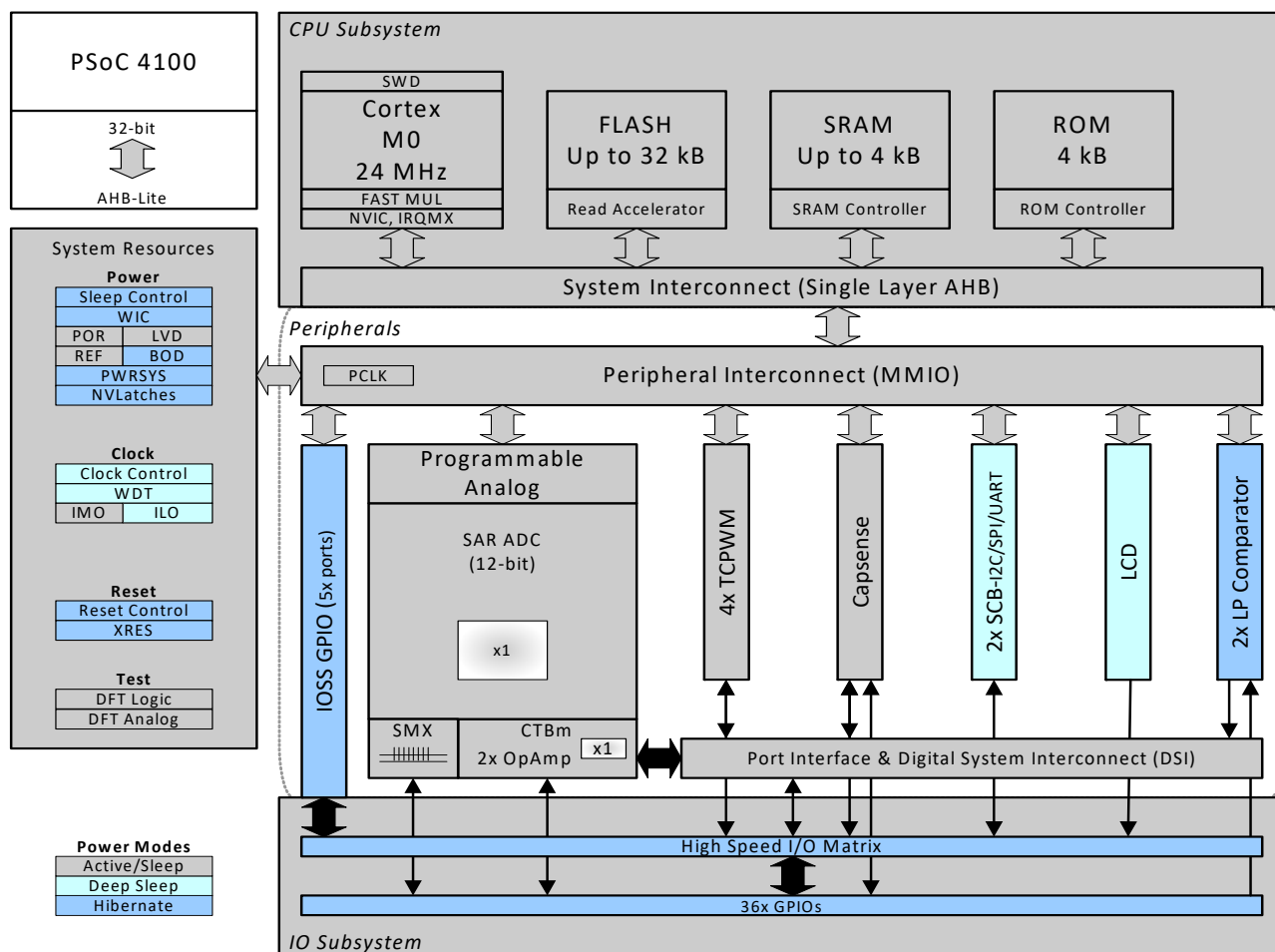
図 1. PSoC Creator の複数センサーのサンプル プロジェクト



目次

機能の説明	5	電氣的仕様	18
CPUおよびメモリ サブシステム	5	絶対最大定格	18
システム リソース	5	デバイス レベルの仕様	18
アナログ ブロック	6	アナログ ペリフェラル	22
固定機能のデジタル ブロック.....	7	デジタル ペリフェラル	26
GPIO	7	メモリ	28
特殊機能ペリフェラル	8	システム リソース	29
WLCSP パッケージのブートローダ	8	注文情報	32
ピン配置	9	型番の命名規則	33
電源	15	パッケージ	34
非安定化外部電源.....	15	略語	38
..... 安定化外部電源	16	本書の表記法	41
開発サポート	17	測定単位	41
ドキュメント	17	変更履歴	42
オンライン	17	セールス、ソリューションおよび法律情報	43
ツール	17		

図 2. ブロック図



PSoC 4100 デバイスは、ハードウェアとファームウェアの両方のプログラミング、テスト、デバッグ処理、および配線の幅広いサポートを備えています。

Arm シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのすべてのプログラミングとデバッグ機能に対応しています。

デバッグ オン チップ (DoC) 機能により、標準の装置を利用するだけで最終システムでデバイスの完全なデバッグ処理を実現できます。専用のインターフェース、デバッグ ボード、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE は、PSoC 4100 デバイス用の完全に統合されたプログラミングとデバッグのサポートを提供します。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC 4100 ファミリは、デバッグ機能を無効にすることができ、非常に堅牢なフラッシュ保護に対応し、カスタマ独自の機能がオンチップ プログラマブル ブロックに実装できることにより、マルチチップ アプリケーション ソリューショ

ンやマイクロコントローラーで実現できないセキュリティ レベルを提供します。

デバッグ回路はデフォルトで有効にされており、ファームウェアでのみ無効にすることができます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去しフラッシュ保護をクリアしてデバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。

さらに、悪意を持ってデバイスを再プログラムすること起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティ システムを打倒しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。最大限のデバイス セキュリティが有効の時にはすべてのプログラミング、デバッグ、テスト インターフェースが無効にされるため、デバイス セキュリティが有効にされた PSoC 4100 では、不具合解析の応答はできません。これは PSoC 4100 でユーザーが行えるトレードオフです。

機能の説明

CPU およびメモリ サブシステム

CPU

PSoC 4100 の Cortex-M0 CPU は、広範なクロック ゲーティングに対応した低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの場合、これは 16 ビット命令を使用し、Thumb-2 命令セットを実行します。これにより、Cortex-M3 と M4 などより高性能プロセッサへのバイナリコードの完全互換と前方移行が可能になるため、前方互換が可能になります。サイプレスは本製品に、1 サイクル内で 32 ビットの結果を出すハードウェア乗算器を含め実装しました。これは、32 の割り込み入力を持つネスト型ベクタ割り込みコントローラー (NVIC) ブロックとウェイクアップ割り込みコントローラー (WIC) を含んでいます。WIC はディープスリープ モードからプロセッサを復帰させることができます。これにより、チップがディープスリープ モードにある時にメイン プロセッサへの電源を切ることができます。Cortex-M0 CPU はマスク不可能割り込み (NMI) 入力を提供しています。これは、ユーザーが要求したシステム機能用に使用されていない時、ユーザーによって使用できます。

また CPU は、2 線式の JTAG であるシリアル ワイヤ デバッグ (SWD) インターフェースも備えています。PSoC 4100 用のデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PSoC 4100 は、フラッシュブロックからの平均アクセス時間を改善するために CPU に緊密に結合された、フラッシュ アクセラータ付きのフラッシュ モジュールを持っています。フラッシュ ブロックは、24MHz では 0 ウェイト ステート (WS) アクセス時間に対応しています。必要に応じて、EEPROM 動作をエミュレートするためにフラッシュ モジュールの一部を使用できます。

PSoC 4200 フラッシュは、メモリサブシステムレベルで以下のフラッシュ保護モードをサポートしています。

- **オープン：保護なし。** 製品が出荷される工場出荷時のデフォルトモード。
- **保護：ユーザーは[開く]から[保護]に変更できます。** このモードは、デバッグインターフェースアクセスを無効にします。フラッシュを完全に消去した後にのみ、デバイスを OPEN モードに戻せます。
- **Kill：ユーザーはオープンからキル (Kill) に変更できます。** このモードは、すべてのデバッグアクセスを無効にします。外部から消去することはできないため、停電や潜在的な誤動作やセキュリティリクによって部分的に消去される可能性があります。これは判読不能なモードです。

さらに、行レベルの読み取り / 書き込み保護もサポートされており、意図しない書き込みを防ぎ、読み取りを選択的にブロックします。フラッシュの読み取り / 書き込み / 消去操作は、システムコールを使用した内部コードであり、常に使用できます。

SRAM

SRAM メモリはハイバネート モード中に保持されます。

SROM

ブートおよびコンフィギュレーション ルーチンを含んでいる監視 ROM が提供されます。

システム リソース

電源システム

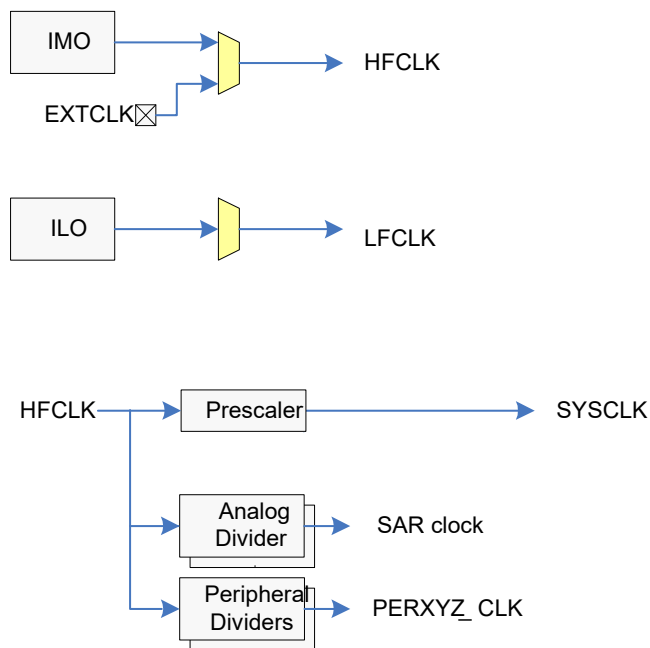
電源システムは [15 ページの電源](#) の節で詳しく説明されます。電源システムは各モードに応じた電圧レベルを保証します。これを実現するために、機能の正常な動作に必要な電圧レベルに達するまでモードへの移行を遅延させる (例えば、パワーオンリセット (POR) の時)、またはリセット (電圧低下検出 (BOD)) が割り込み (低電圧検出 (LVD)) を生成します。PSoC 4100 は 1.71 ~ 5.5V において単一の外部電源で動作し、5 つの異なる電力モードに対応し、モード間の遷移が電力システムによって管理されます。PSoC 4100 はスリープ、ディープスリープ、ハイバネート、ストップの低消費電力モードに対応しています。

クロック システム

PSoC 4100 クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロックソース間で切り替えることを担当します。また、クロック システムはメタステーブル状態が発生しないように保証します。

PSoC 4100 のクロック システムは、内蔵主発振器 (IMO)、低消費電力内部発振器 (ILO) および外部クロック用の予備ピンから構成されます。

図 3. PSoC 4100 MCU のクロッキング アーキテクチャ



HFCLK 信号はアナログとデジタル ペリフェラル用に同期クロックを生成するために分周することができます (PSoC 4100 MCU のクロッキング アーキテクチャを参照してください)。PSoC 4100 には全部で 12 個のクロック分周器があり、それぞ

れが 16 ビット分周能力を持ちます。アナログ クロックはデジタル クロックに先行し、デジタル クロック関連のノイズが生成される前にアナログ イベントが発生することを可能にします。16 ビット分周器は微周波数値を柔軟に生成可能で、PSoC Creator によって完全にサポートされます。

IMO クロック ソース

IMO は PSoC 4100 の内部クロック供給の主なソースです。指定された精度を達成するために試験中に調整されます。調整値は不揮発性ラッチ (NVL) に格納されます。フラッシュからの追加調整設定は変化を補正するために使用することがあります。IMO の初期設定の周波数は 24MHz で、1MHz のステップで 3MHz ~ 24MHz の間で調整できます。サイプレスが提供する校正設定では、IMO の許容誤差は $\pm 2\%$ です。

ILO クロック ソース

ILO は非常に低消費電力発振器であり、ディープスリープ モードでペリフェラルの動作にクロックを生成するために主に使用されます。ILO 制御のカウンタは、精度を改善するために IMO に校正することができます。サイプレスは、校正を実行するソフトウェア コンポーネントを提供しています。

ウォッチドッグ タイマー

ウォッチドッグ タイマーは、ILO をクロック ソースとして動作するクロックブロックに実装されます。これにより、ウォッチドッグがディープスリープ モードでも動作でき、タイムアウトが発生する前にウォッチドッグが処理されなかった場合にリセットが生成されます。ウォッチドッグ リセットはリセット原因 (Reset Cause) レジスタに記録されます。

リセット

PSoC 4100 は、ソフトウェアリセットを含む様々なソースからリセットできます。リセット イベントは非同期であり、デバイスを既知の状態に復帰させることが保証されています。リセットの原因は、リセット中にも保持され、ソフトウェアがリセットの原因を判断できるようにレジスタに記録されます。電源投入またはリコンフィギュレーション中にコンフィギュレーションおよび複数のピン機能に伴う複雑さを避けるために、XRES ピンが外部リセット用に確保されています。XRES ピンには、常に有効になっている内部プルアップ抵抗があります。

電圧リファレンス

PSoC 4100 リファレンス システムは、すべての必要となるリファレンスを生成します。12 ビット ADC は 1% 電圧リファレンス仕様に対応しています。より優れた信号対雑音比 (SNR) と

絶対精度を実現するために、GPIO ピンを使って内部リファレンスをバイパスする、または SAR 用に外部リファレンスを使用することができます。

アナログ ブロック

12 ビット SAR ADC

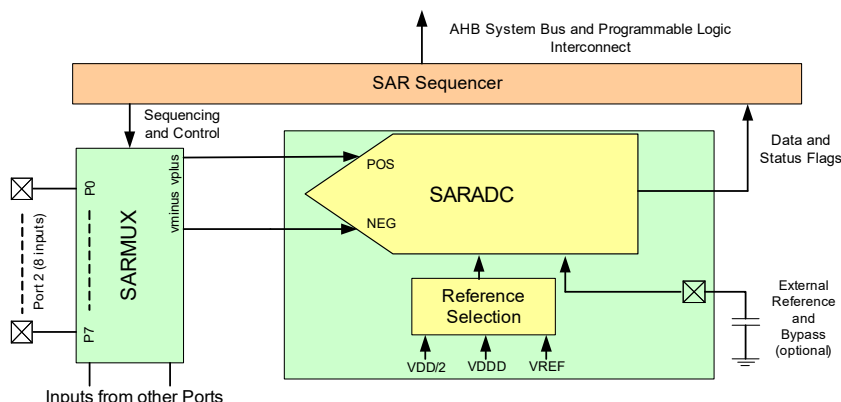
12 ビットの 806ksps SAR ADC は 14.5MHz の最大クロックレートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを必要とします。

ユーザー向けとしてブロック機能を拡張するため、リファレンス バッファの追加 ($\pm 1\%$ まで調整可能) され、 V_{DD} 、 $V_{DD}/2$ 、および V_{REF} の 3 つの内部電圧リファレンス オプション (PSoC 4100 の場合) (定格電圧が 1.024V) および GPIO ピンを介した外部リファレンスを選択できるようにします。サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプの制動時間を規定する利得帯域幅要件を必要に応じて緩和することができます。適切なリファレンス電圧が使用され、システム ノイズ レベルが許す限り、システム性能は真の 12 ビット精度のために 65dB となります。ノイズの多い条件で性能を改善するために、内部リファレンス アンプ用として外部バイパス (固定したピン位置) を提供できます。

SAR は 8 入力シーケンサを介して固定したピン セットに接続されます。シーケンサは、スイッチング オーバヘッドの必要なく選択されたチャネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャネルが複数のチャネルであるかにかかわらず 806ksps です)。シーケンサの切り替えは、ステートマシンを介して、またはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割り込みサービスの要件を軽減するための各チャネルのバッファリングです。信号を様々なソース インピーダンスと周波数に適合させるために、チャネルごとに異なるサンプリング時間をプログラムすることができます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタの一对 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割り込みで実施されます。これにより、シーケンサスキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出することができます。

SAR は、校正およびその他の温度依存機能用に基板搭載の温度センサーの出力をデジタル化することができます。SAR は高速クロック (最大 18MHz) を必要とするため、ディープスリープとハイバネート モードに対応していません。SAR の動作範囲は 1.71V ~ 5.5V です。

図 4. SAR ADC のシステム図



2 個のオペアンプ (CTBm ブロック)

PSoC 4100 はコンパレータモードのある 2 個のオペアンプを持つことにより、ほとんどの一般的なアナログ機能が外部コンポーネントを除きオンチップで実行できます。PGA、電圧バッファ、フィルタ、トランスインピーダンスアンプ、とその他の機能は外部受動で実現できるため、電力、コスト、および容量を削減できます。内蔵オペアンプは、外部バッファリングを必要とせずに ADC の S/H 回路を駆動するように十分な帯域幅に対応するように設計されています。

温度センサー

PSoC 4100 は 1 個の温度センサーを内蔵しています。これは、電力を節約するために無効にできる電流ソースによってバイアスされたダイオードから成ります。温度センサーは、校正と線形化を含むサイプレスが提供したソフトウェアを使用して読み出しをデジタル化し温度値を生成する ADC に接続されます。

低消費電力コンパレータ

PSoC 4100 は、ディープスリープとハイバネート モードで動作できる低消費電力コンパレータの一对を内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログ システム ブロックを無効にすることができます。コンパレータ出力は、システム ウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになる非同期電力モード (ハイバネート) で動作する場合を除き、普通は準安定状態を避けるために同期化されています。

固定機能のデジタル ブロック

タイマー/カウンター/ PWM (TCPWM) ブロック

TCPWM ブロックは、周期長がユーザーによりプログラムできる 4 個の 16 ビット カウンターからなります。キャプチャレジスタは、I/O イベントなどのイベントの時にカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止、または自動的にリロードします。比較レジスタは、PWM デューティ サイクル出力として使用される比較値信号を生成します。ブロックは真出力と相補出力 (それら間のオフセットがプログラム可能) も提供しており、これらを、プログラム可能なデッドバンド付き相補 PWM 出力として使用することを可能にします。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モータ駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに止める必要がある時、キル入力を使用されます。

シリアル通信ブロック (SCB)

PSoC 4100 は 2 個の SCB を内蔵しています。それぞれは I²C、UART、または SPI インターフェースを実装できます。

I²C モード : ハードウェア I²C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスターのアービトレーションができる) を実装します。このブロックは、最大 1Mbps (ファスト モード プラス) で動作でき、CPU の割り込みオーバーヘッドとレイテンシを削減するための柔軟なバッファリングオプションが用意されます。FIFO モードはすべてのチャネルによって対応され、DMA がいない場合に非常に有用です。

I²C ペリフェラルは NXP I²C バス仕様とユーザーマニュアル (UM10204) で定義された通りに I²C 標準モード、ファストモードおよびファスト モード プラスのデバイスと互換性があります。I²C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。I²C バスは、すべてのノードに接続されたクロックおよびデータ用のバス上のプルアップ抵抗を使用して、クロックおよびデータ用のオープンドレインドライバを使用します。VDD、バス容量、抵抗の許容値に応じた適切なプル

アップ抵抗値を使用することによって、さまざまな I²C 速度に必要な立ち上がり時間と立ち下り時間が保証されます。設計に最適なプルアップ抵抗値を計算する方法の詳細については、UM10204 I²C バス仕様およびユーザーマニュアルを参照してください (最新の版数は www.nxp.com で入手可能です)。

PSoC 4100 は、以下の点では I²C 仕様に完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや I²C システムの残りの部分から独立して電源を投入することができません。
- ファスト モード プラスは、0.4V の V_{OL} で 20mA の I_{OL} 仕様があります。GPIO セルは、最大 0.6V の V_{OL} で最大 8mA の I_{OL} を吸い込むことができます。
- ファスト モードとファスト モード プラスは、GPIO セルで満たせない最小立ち下がり時間を指定しています。低速ストロングモードは、バス負荷によってこの仕様を満たすことがあります。
- SCB が I²C マスターである時、NACK と反復 START の間にアイドル状態を介入させます。I²C 仕様では、バス フリー状態が STOP 条件の後に続くものとして定義されるため、他のアクティブ マスターは介入しません。しかし、アクティブになったばかりのマスターはアービトレーション サイクルを開始することがあります。
- SCB が I²C スレーブ モードにあって、外部クロック上のアドレス マッチが有効にされ (EC_AM = 1)、内部クロック供給モードで動作する (EC_OP = 0) 時、その I²C アドレスは偶数でなければなりません。

UART モード : これは最大 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し発展した車載向けシングルワイヤ インターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の受信と送信ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティエラー、ブレイク検出、フレームエラーなどの一般的な UART 機能がサポートされています。深さ 8 の FIFO は、非常に大きい CPU サービス レイテンシを許容できるようにします。

SPI モード : SPI モードは Motorola SPI、TI SSP (SPI コーデックの同期化用の開始パルスを実質的に追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用することができます。

GPIO

PSoC 4100 は 36 個の GPIO を備えています。GPIO ブロックは以下のものを実装します。

- 8 つのドライブ能力モード :
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値セレクト (CMOS あるいは LVTTTL)
- 駆動能力モード以外に、入力と出力バッファのイネーブル/ディスエーブルの個別制御
- 前のステートをラッチするためのホールド モード (ディープスリープモードとハイバネートモードで I/O ステートを維持するため)

■ EMIを改善するためのdV/dt関連のノイズ制御用に選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されています。電源投入とリセットの時、入力への過電圧を防ぐため、および/または電源投入時に過電流を発生させないために、ブロックは無効状態に移行させられます。高速 I/O マトリックスとして知られている多重化ネットワークは、I/O ピンに接続できる複数の信号間を多重化するのに使用されます。固定機能ペリフェラルのピン位置は、内部多重化の複雑さを減少させるために固定されています。

データ出力とピン ステート レジスタは、それぞれピン上で駆動される値とそれらのピンのステートを格納します。各 I/O ピンは有効になった場合に割り込みを生成でき、各 I/O ポートはそれに対応する割り込み要求 (IRQ) と割り込みサービス ルーチン (ISR) ベクタがあります (PSoC 4100 の場合、4.5 ポートあるため、ベクタ数は5です)。

特殊機能ペリフェラル

LCD セグメント ドライブ

PSoC 4100 は最大 4 コモン信号と最大 32 セグメント信号を駆動できる LCD コントローラーを内蔵しています。内部 LCD 電圧を生成する必要のないフル デジタル方式を使用して LCD セグメントを駆動します。2 つの方法は、デジタル相関と PWM と呼ばれています。

デジタル相関は、最高 RMS 電圧を生成してセグメントを点灯させる、または RMS 信号を 0 に維持するためにコモンとセグメント信号の周波数とレベルを変調することです。この方法は STN ディスプレイに適していますが、(より安い) TN ディスプレイに対してはコントラストを減らすことがあります。

PWM は、所望の LCD 電圧を生成するために PWM 信号によりパネルを駆動しパネルの静電容量を効果的に使用して変調されたパルス幅を提供することです。この方法は消費電力を増加しますが、TN ディスプレイを駆動する際には良い結果を出します。LCD 動作はディープスリープ モード中にディスプレイ用の小さいバッファ (4 ビット; ポートごとに 1 つの 32 ビット レジスタ) をリフレッシュすることでサポートされます。

CapSense

CapSense は、どの GPIO ピンも接続できる (アナログスイッチに接続された) アナログ マルチプレクサバスを介してどのピンにも接続できる CapSense シグマ - デルタ (CSD) ブロックにより、PSoC 4100 のあらゆるピンでサポートされています。従って、CapSense 機能はソフトウェアで制御されて、システム内のいかなる使用可能なピンやピン グループに提供することができます。ユーザーの便宜のために、コンポーネントが CapSense ブロックに用意されています。

シールド電圧は、耐水機能を実現するために他のマルチプレクサバス上で駆動することができます。耐水性は、シールド電極を検知電極と同位相で駆動して、シールド静電容量が検知された入力を減衰させることを防ぐことで、実現されています。

CapSense ブロックは、2 個の IDAC を備えています。これらは、CapSense を使用しない (両方の IDAC とも使用可能) 場合、または CapSense が耐水性を備えずに使用する (どちらか一方の IDAC が使用可能) 場合、一般用途に使用することができます。

WLCSP パッケージのブートローダ

WLCSP パッケージは、I²C ブートローダがフラッシュにインストールされる形で供給されています。このブートローダは PSoC Creator のブートロード可能なプロジェクト ファイルと互換性があり、次のデフォルト設定があります：

- I²C SCL と SDA はそれぞれポート ピン P4.0 と P4.1 に接続 (外部プルアップ抵抗が必要)
- I²C スレーブ モード、アドレス 8、データ転送速度 = 100kbps
- シングル アプリケーション
- ブートロード コマンドのために 2 秒待ち
- 他のブートローダーのオプションは PSoC Creator のブートローダ コンポーネントのデフォルトで設定されています。
- フラッシュの下位 4.5K を占有します。

このブートローダーの詳細については、次のサイプレス アプリケーション ノートを参照してください。

AN73854: ブートローダ入門

PSoC Creator のブートロード可能なプロジェクトは、ターゲット デバイスとして構成されるブートローダ プロジェクトの .hex と .elf ファイルと関係しななければならないため、ご注意ください。ブートローダの .hex と .elf ファイルについては <http://www.cypress.com/?rID=78805> をご覧ください。工場出荷時にインストールされたブートローダは JTAG または SWD プログラミングで上書きできます。

ピン配置

以下は、PSoC 4100 (44-TQFP、40-QFN、28-SSOP および 48-TQFP) のピン リストです。ポート 2 は、SAR マルチプレクサ用の高速アナログ入力を含んでいます。P1.7 は、オプションの外部入力および SAR リファレンスのバイパスです。ポート 3 および 4 はデジタル通信チャネルを含みます。すべてのピンは CSD CapSense とアナログ マルチプレクサ バスの接続に対応しています。

44-TQFP		40-QFN		28-SSOP		48-TQFP		代替機能					説明
端子	名称	端子	名称	端子	名称	端子	名称	アナログ	Alt 1	Alt 2	Alt 3	Alt 4	
1	VSS	–	–	–	–	–	–	–	–	–	–	–	グラウンド
2	P2.0	1	P2.0	–	–	2	P2.0	sarmux.0	–	–	–	–	ポート 2 端子 0: gpio, lcd, csd, sarmux
3	P2.1	2	P2.1	–	–	3	P2.1	sarmux.1	–	–	–	–	ポート 2 端子 1: gpio, lcd, csd, sarmux
4	P2.2	3	P2.2	5	P2.2	4	P2.2	sarmux.2	–	–	–	–	ポート 2 端子 2: gpio, lcd, csd, sarmux
5	P2.3	4	P2.3	6	P2.3	5	P2.3	sarmux.3	–	–	–	–	ポート 2 端子 3: gpio, lcd, csd, sarmux
6	P2.4	5	P2.4	7	P2.4	6	P2.4	sarmux.4	tcpwm0_p[1]	–	–	–	ポート 2 端子 4: gpio, lcd, csd, sarmux, pwm
7	P2.5	6	P2.5	8	P2.5	7	P2.5	sarmux.5	tcpwm0_n[1]	–	–	–	ポート 2 端子 5: gpio, lcd, csd, sarmux, pwm
8	P2.6	7	P2.6	9	P2.6	8	P2.6	sarmux.6	tcpwm1_p[1]	–	–	–	ポート 2 端子 6: gpio, lcd, csd, sarmux, pwm
9	P2.7	8	P2.7	10	P2.7	9	P2.7	sarmux.7	tcpwm1_n[1]	–	–	–	ポート 2 端子 7: gpio, lcd, csd, sarmux, pwm
10	VSS	9	VSS	–	–	–	–	–	–	–	–	–	グラウンド
–	–	–	–	–	–	10	NC	–	–	–	–	–	未接続
–	–	–	–	–	–	11	NC	–	–	–	–	–	未接続
11	P3.0	10	P3.0	11	P3.0	12	P3.0	–	tcpwm0_p[0]	scb1_uart_rx[0]	scb1_i2c_scl[0]	scb1_spi_mosi[0]	ポート 3 端子 0: gpio, lcd, csd, pwm, scb1
12	P3.1	11	P3.1	12	P3.1	13	P3.1	–	tcpwm0_n[0]	scb1_uart_tx[0]	scb1_i2c_sda[0]	scb1_spi_miso[0]	ポート 3 端子 1: gpio, lcd, csd, pwm, scb1
13	P3.2	12	P3.2	13	P3.2	14	P3.2	–	tcpwm1_p[0]	–	swd_io[0]	scb1_spi_clk[0]	ポート 3 端子 2: gpio, lcd, csd, pwm, scb1, swd
–	–	–	–	–	–	15	VSSD	–	–	–	–	–	グラウンド
14	P3.3	13	P3.3	14	P3.3	16	P3.3	–	tcpwm1_n[0]	–	swd_clk[0]	scb1_spi_ssel_0[0]	ポート 3 端子 3: gpio, lcd, csd, pwm, scb1, swd
15	P3.4	14	P3.4	–	–	17	P3.4	–	tcpwm2_p[0]	–	–	scb1_spi_ssel_1	ポート 3 端子 4: gpio, lcd, csd, pwm, scb1
16	P3.5	15	P3.5	–	–	18	P3.5	–	tcpwm2_n[0]	–	–	scb1_spi_ssel_2	ポート 3 端子 5: gpio, lcd, csd, pwm, scb1
17	P3.6	16	P3.6	–	–	19	P3.6	–	tcpwm3_p[0]	–	–	scb1_spi_ssel_3	ポート 3 端子 6: gpio, lcd, csd, pwm, scb1
18	P3.7	17	P3.7	–	–	20	P3.7	–	tcpwm3_n[0]	–	–	–	ポート 3 端子 7: gpio, lcd, csd, pwm
19	VDDD	–	–	–	–	21	VDDD	–	–	–	–	–	デジタル電源, 1.8 - 5.5V
20	P4.0	18	P4.0	15	P4.0	22	P4.0	–	–	scb0_uart_rx	scb0_i2c_scl	scb0_spi_mosi	ポート 4 端子 0: gpio, lcd, csd, scb0
21	P4.1	19	P4.1	16	P4.1	23	P4.1	–	–	scb0_uart_tx	scb0_i2c_sda	scb0_spi_miso	ポート 4 端子 1: gpio, lcd, csd, scb0
22	P4.2	20	P4.2	17	P4.2	24	P4.2	csd_c_mod	–	–	–	scb0_spi_clk	ポート 4 端子 2: gpio, lcd, csd, scb0
23	P4.3	21	P4.3	18	P4.3	25	P4.3	csd_c_sh_tank	–	–	–	scb0_spi_ssel_0	ポート 4 端子 3: gpio, lcd, csd, scb0

44-TQFP		40-QFN		28-SSOP		48-TQFP		代替機能					説明
端子	名称	端子	名称	端子	名称	端子	名称	アナログ	Alt 1	Alt 2	Alt 3	Alt 4	
–	–	–	–	–	–	26	NC	–	–	–	–	–	未接続
–	–	–	–	–	–	27	NC	–	–	–	–	–	未接続
24	P0.0	22	P0.0	19	P0.0	28	P0.0	comp1_inp	–	–	–	scb0_spi_ssel_1	ポート 0 端子 0: gpio, lcd, csd, scb0, comp
25	P0.1	23	P0.1	20	P0.1	29	P0.1	comp1_inn	–	–	–	scb0_spi_ssel_2	ポート 0 端子 1: gpio, lcd, csd, scb0, comp
26	P0.2	24	P0.2	21	P0.2	30	P0.2	comp2_inp	–	–	–	scb0_spi_ssel_3	ポート 0 端子 2: gpio, lcd, csd, scb0, comp
27	P0.3	25	P0.3	22	P0.3	31	P0.3	comp2_inn	–	–	–	–	ポート 0 端子 3: gpio, lcd, csd, comp
28	P0.4	26	P0.4	–	–	32	P0.4	–	–	scb1_uart_rx[1]	scb1_i2c_scl[1]	scb1_spi_mosi[1]	ポート 0 端子 4: gpio, lcd, csd, scb1
29	P0.5	27	P0.5	–	–	33	P0.5	–	–	scb1_uart_tx[1]	scb1_i2c_sda[1]	scb1_spi_miso[1]	ポート 0 端子 5: gpio, lcd, csd, scb1
30	P0.6	28	P0.6	23	P0.6	34	P0.6	–	ext_clk	–	–	scb1_spi_clk[1]	ポート 0 端子 6: gpio, lcd, csd, scb1, ext_clk
31	P0.7	29	P0.7	24	P0.7	35	P0.7	–	–	–	ウェイクアップ	scb1_spi_ssel_0[1]	ポート 0 端子 7: gpio, lcd, csd, scb1, ウェイクアップ
32	XRES	30	XRES	25	XRES	36	XRES	–	–	–	–	–	チップ リセット, アクティブ LOW
33	VCCD	31	VCCD	26	VCCD	37	VCCD	–	–	–	–	–	安定化電源, 1μF コンデンサまたは 1.8V の電源電圧に接続
–	–	–	–	–	–	38	VSSD	–	–	–	–	–	デジタル グランド
34	VDDD	32	VDDD	27	VDD	39	VDDD	–	–	–	–	–	デジタル電源, 1.8 - 5.5V
35	VDDA	33	VDDA	27	VDD	40	VDDA	–	–	–	–	–	アナログ電源, 1.8 - 5.5V, VDDD と等しい
36	VSSA	34	VSSA	28	VSS	41	VSSA	–	–	–	–	–	アナログ グランド
37	P1.0	35	P1.0	1	P1.0	42	P1.0	ctb.oa0.inp	tcpwm2_p[1]	–	–	–	ポート 1 端子 0: gpio, lcd, csd, ctb, pwm
38	P1.1	36	P1.1	2	P1.1	43	P1.1	ctb.oa0.inm	tcpwm2_n[1]	–	–	–	ポート 1 端子 1: gpio, lcd, csd, ctb, pwm
39	P1.2	37	P1.2	3	P1.2	44	P1.2	ctb.oa0.out	tcpwm3_p[1]	–	–	–	ポート 1 端子 2: gpio, lcd, csd, ctb, pwm
40	P1.3	38	P1.3	–	–	45	P1.3	ctb.oa1.out	tcpwm3_n[1]	–	–	–	ポート 1 端子 3: gpio, lcd, csd, ctb, pwm
41	P1.4	39	P1.4	–	–	46	P1.4	ctb.oa1.inm	–	–	–	–	ポート 1 端子 4: gpio, lcd, csd, ctb
42	P1.5	–	–	–	–	47	P1.5	ctb.oa1.inp	–	–	–	–	ポート 1 端子 5: gpio, lcd, csd, ctb
43	P1.6	–	–	–	–	48	P1.6	ctb.oa0.inp_alt	–	–	–	–	ポート 1 端子 6: gpio, lcd, csd
44	P1.7/VREF	40	P1.7/VREF	4	P1.7/VREF	1	P1.7/VREF	ctb.oa1.inp_ext_vref	–	–	–	–	ポート 1 端子 7: gpio, lcd, csd, ext_ref

注意事項:

1. tcpwm_p と tcpwm_n は、それぞれ tcpwm の非反転出力と反転出力を指します。
2. P3.2 および P3.3 は、ブート (リセット) 後の SWD ピンです。

以下は PSoC 4100 (35-WLCSP) のピン リストです。

35 ボール CSP		代替機能					説明
端子	名称	アナログ	Alt 1	Alt 2	Alt 3	Alt 4	
D3	P2.2	sarmux.2	–	–	–	–	ポート 2 端子 2: gpio、lcd、csd、sarmux
E4	P2.3	sarmux.3	–	–	–	–	ポート 2 端子 3: gpio、lcd、csd、sarmux
E5	P2.4	sarmux.4	tcpwm0_p[1]	–	–	–	ポート 2 端子 4: gpio、lcd、csd、sarmux、pwm
E6	P2.5	sarmux.5	tcpwm0_n[1]	–	–	–	ポート 2 端子 5: gpio、lcd、csd、sarmux、pwm
E3	P2.6	sarmux.6	tcpwm1_p[1]	–	–	–	ポート 2 端子 6: gpio、lcd、csd、sarmux、pwm
E2	P2.7	sarmux.7	tcpwm1_n[1]	–	–	–	ポート 2 端子 7: gpio、lcd、csd、sarmux、pwm
E1	P3.0	–	tcpwm0_p[0]	scb1_uart_rx[0]	scb1_i2c_scl[0]	scb1_spi_mosi[0]	ポート 3 端子 0: gpio、lcd、csd、pwm、scb1
D2	P3.1	–	tcpwm0_n[0]	scb1_uart_tx[0]	scb1_i2c_sda[0]	scb1_spi_miso[0]	ポート 3 端子 1: gpio、lcd、csd、pwm、scb1
D1	P3.2	–	tcpwm1_p[0]	–	swd_io[0]	scb1_spi_clk[0]	ポート 3 端子 2: gpio、lcd、csd、pwm、scb1、swd
B7	VSS	–	–	–	–	–	グラウンド
C1	P3.3	–	tcpwm1_n[0]	–	swd_clk[0]	scb1_spi_ssel_0[0]	ポート 3 端子 3: gpio、lcd、csd、pwm、scb1、swd
C2	P3.4	–	tcpwm2_p[0]	–	–	scb1_spi_ssel_1	ポート 3 端子 4: gpio、lcd、csd、pwm、scb1
B1	P4.0	–	–	scb0_uart_rx	scb0_i2c_scl	scb0_spi_mosi	ポート 4 端子 0: gpio、lcd、csd、scb0
B2	P4.1	–	–	scb0_uart_tx	scb0_i2c_sda	scb0_spi_miso	ポート 4 端子 1: gpio、lcd、csd、scb0
A2	P4.2	csd_c_mod	–	–	–	scb0_spi_clk	ポート 4 端子 2: gpio、lcd、csd、scb0
A1	P4.3	csd_c_sh_tank	–	–	–	scb0_spi_ssel_0	ポート 4 端子 3: gpio、lcd、csd、scb0
C3	P0.0	comp1_inp	–	–	–	scb0_spi_ssel_1	ポート 0 端子 0: gpio、lcd、csd、scb0、comp
A5	P0.1	comp1_inn	–	–	–	scb0_spi_ssel_2	ポート 0 端子 1: gpio、lcd、csd、scb0、comp
A4	P0.2	comp2_inp	–	–	–	scb0_spi_ssel_3	ポート 0 端子 2: gpio、lcd、csd、scb0、comp
A3	P0.3	comp2_inn	–	–	–	–	ポート 0 端子 3: gpio、lcd、csd、comp
B3	P0.4	–	–	scb1_uart_rx[1]	scb1_i2c_scl[1]	scb1_spi_mosi[1]	ポート 0 端子 4: gpio、lcd、csd、scb1
A6	P0.5	–	–	scb1_uart_tx[1]	scb1_i2c_sda[1]	scb1_spi_miso[1]	ポート 0 端子 5: gpio、lcd、csd、scb1
B4	P0.6	–	ext_clk	–	–	scb1_spi_clk[1]	ポート 0 端子 6: gpio、lcd、csd、scb1、ext_clk
B5	P0.7	–	–	–	ウェイクアップ	scb1_spi_ssel_0[1]	ポート 0 端子 7: gpio、lcd、csd、scb1、ウェイクアップ
B6	XRES	–	–	–	–	–	チップ リセット、アクティブ LOW
A7	VCCD	–	–	–	–	–	安定化電源、1μF コンデンサまたは 1.8V の電源電圧に接続
C7	VDD	–	–	–	–	–	電源、1.8V ~ 5.5V
C4	P1.0	ctb.oa0.inp	tcpwm2_p[1]	–	–	–	ポート 1 端子 0: gpio、lcd、csd、ctb、pwm
C5	P1.1	ctb.oa0.inm	tcpwm2_n[1]	–	–	–	ポート 1 端子 1: gpio、lcd、csd、ctb、pwm

35 ボール CSP		代替機能					説明
端子	名称	アナログ	Alt 1	Alt 2	Alt 3	Alt 4	
C6	P1.2	ctb.oa0.out	tcpwm3_p[1]	—	—	—	ポート 1 端子 2: gpio、lcd、csd、ctb、pwm
D7	P1.3	ctb.oa1.out	tcpwm3_n[1]	—	—	—	ポート 1 端子 3: gpio、lcd、csd、ctb、pwm
D4	P1.4	ctb.oa1.inm	—	—	—	—	ポート 1 端子 4: gpio、lcd、csd、ctb
D5	P1.5	ctb.oa1.inp	—	—	—	—	ポート 1 端子 5: gpio、lcd、csd、ctb
D6	P1.6	ctb.oa0.inp_alt	—	—	—	—	ポート 1 端子 6: gpio、lcd、csd
E7	P1.7/VR EF	ctb.oa1.inp_alt ext_vref	—	—	—	—	ポート 1 端子 7: gpio、lcd、csd、ext_ref

ピン機能の説明は以下の通りです。

VDDD: アナログとデジタルセクション用の電源。(V_{DDA} ピンがないところ)

VDDA: パッケージ ピンが許可するところのアナログ V_{DD} ピン ; そうでないと V_{DDD} に短絡

VSSA: パッケージ ピンが許可するところのアナログ グランド ピン ; そうでないと VSS に短絡

VSS: グランド ピン

VCCD: 安定化デジタル電源 (1.8V \pm 5%)

全てのポート ピンは LCD コモン、LCD セグメント ドライバー、または CSD 検知ピンとして使用できます。全てのシールド ピンは AMUXBUS A か B に接続するか、または全てファームウェアや DSI 信号で駆動できる GPIO ピンとして使用できます。

以下のパッケージがサポートされます : 48 ピン TQFP、44 ピン TQFP、40 ピン QFN、および 28 ピン SSOP。

図 5. 48 ピン TQFP パッケージのピン配置

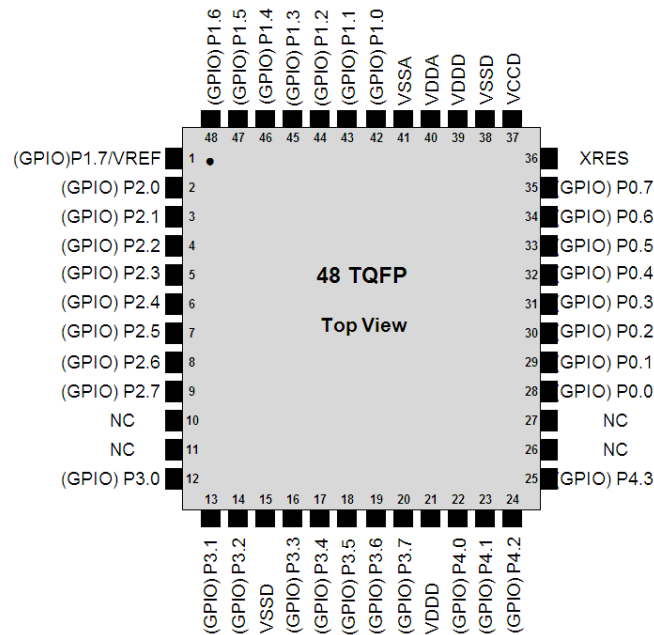


図 6. 44 ピン TQFP 製品のピン配置

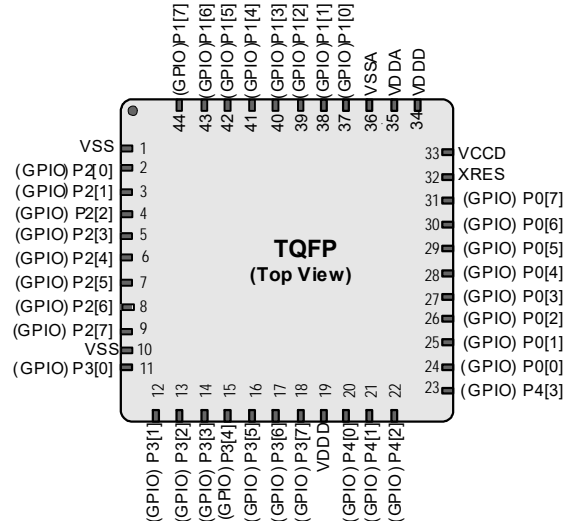


図 7. 40 ピン QFN のピン配置

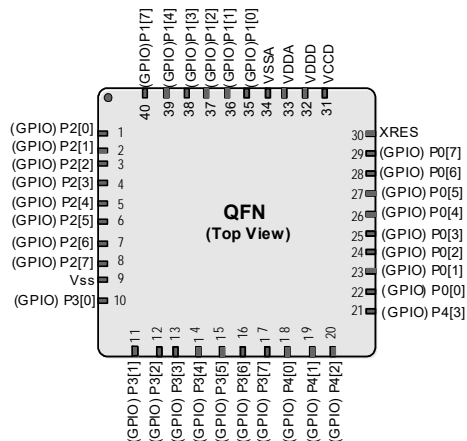


図 8. 35 ボール WLCSP

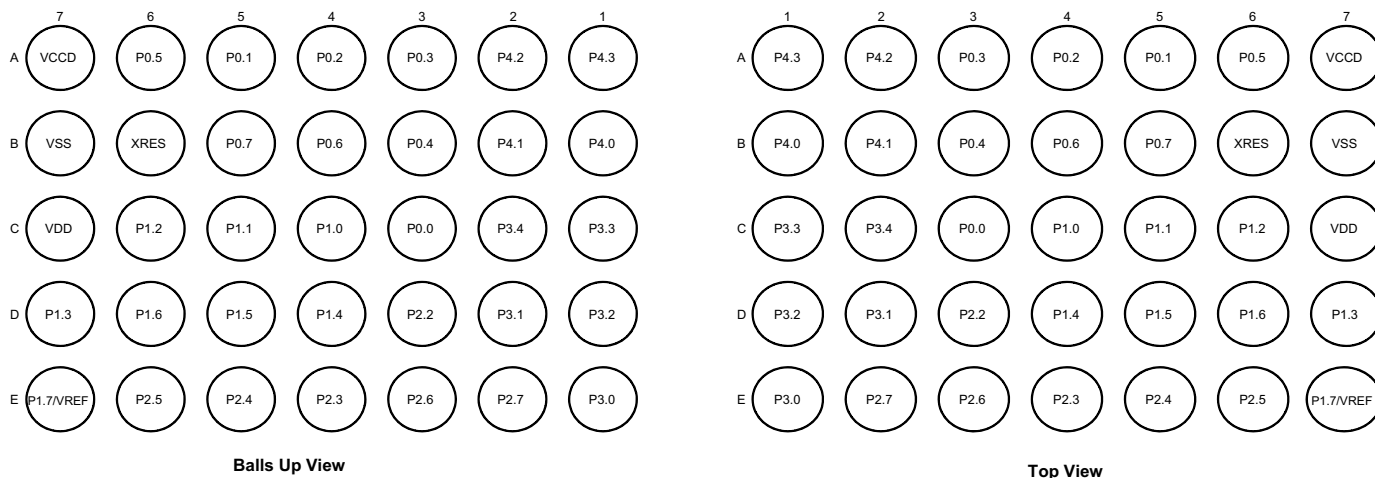
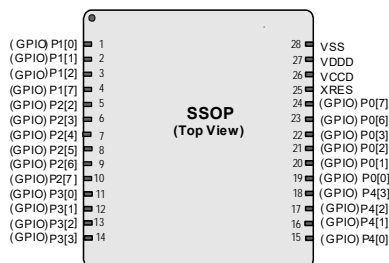


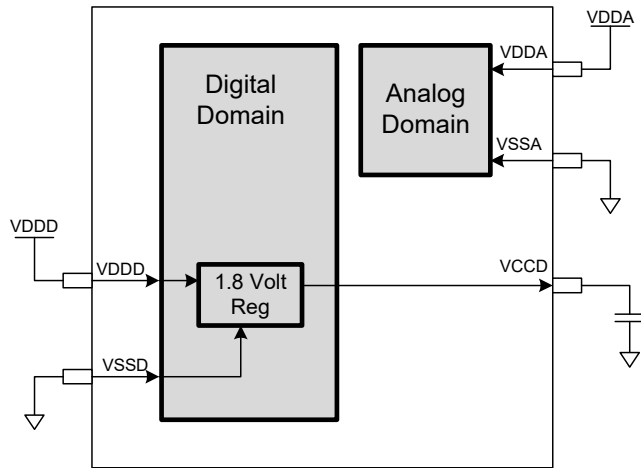
図 9. 28 ピン SSOP のピン配置



電源

以下の電源システム図は PSoC 4100 に実装される電源ピンの最小セットを示します。システムは、アクティブ モードで動作するデジタル回路用レギュレータがあります。アナログレギュレータはありません。アナログ回路は V_{DDA} 電源により動作します。ディープスリープモードとハイバネート（電源供給を減らすがメモリを保持する）モード用にそれぞれ独立したレギュレータがあります。バンドギャップ用の低ノイズの個別レギュレータがあります。電源電圧範囲は、1.71V ~ 5.5V で、すべての機能や回路がその範囲において動作します。

図 10. PSoC 4 電源



PSoC 4100 ファミリは、非安定化外部電源と安定化外部電源という 2 種類の電源供給動作モードに対応しています。

非安定化外部電源

このモードでは、PSoC 4100 は 1.8V ~ 5.5V の任意の外部電源から電源供給されます。この範囲はバッテリー パワー動作にも設計されています。例えば、チップは 3.5V で始まってから 1.8V まで下がるバッテリー システムから電源供給されます。このモードでは、PSoC 4100 の内部レギュレータは内部ロジックに電源を供給し、PSoC 4100 の V_{CCD} 出力は外付けコンデンサ (1 μ F ~ 1.6 μ F ; X5R セラミックまたはこれより良質のもの) を介してグラウンドにバイパスする必要があります。

V_{DDA} と V_{DDD} は互いに短絡させる必要があり、グラウンド、 $VSSA$ および VSS は互いに短絡させる必要もあります。バイパスコンデンサは V_{DDD} とグラウンド間を接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、互いに平行に配置した 1 μ F レンジのコンデンサとそれより小さいコンデンサ (例えば、0.1 μ F) を使用します。これらが単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために設計の際には PCB レイアウト、リード インダクタンス、寄生バイパスコンデンサをシミュレーションする必要があります。ことに注意してください。

図 11. 48-TQFP パッケージの例

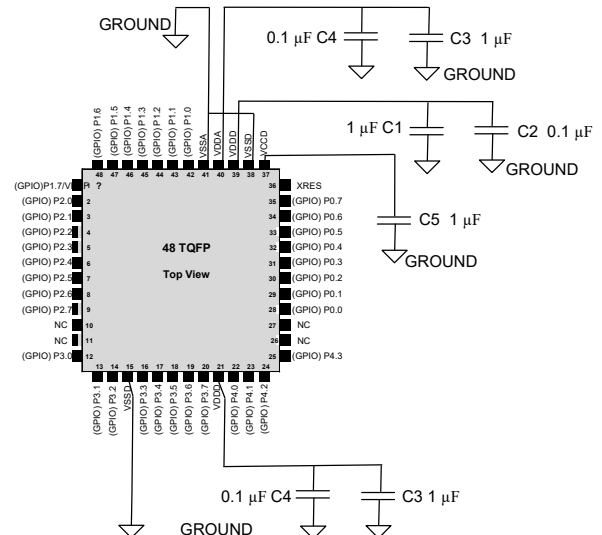
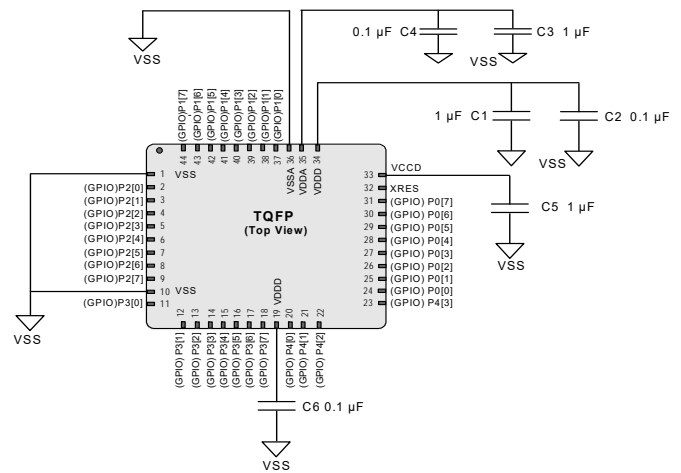


図 12. 44-TQFP パッケージの例



電源	バイパス コンデンサ
VDDD-VSS	各ピンに 0.1 μ F のセラミック コンデンサ (C2, C6) と 1 μ F ~ 10 μ F のバルク コンデンサ (C1)。総容量は 10 μ F を超える場合があります。
VDDA-VSSA	ピンに 0.1 μ F セラミック コンデンサ (C4)。追加の 1 μ F ~ 10 μ F バルク コンデンサ (C3)。総容量は 10 μ F を超える場合があります。
VCCD-VSS	VCCD ピン上の 1 μ F セラミック コンデンサ (C5)
VREF-VSSA (オプション)	内部バンドギャップは 1 μ F ~ 10 μ F バイパスコンデンサに接続

注：自身のコンデンサのために（特に動作電圧および DC バイアス仕様）データシートを調べるのは良いやり方です。いくつかのコンデンサを使用すれば、DC バイアス (V_{DDA} 、 V_{DDD} または V_{CCD}) が定格動作電圧のかかなりの割合になる時、実際の容量は大幅に減少します。電源投入時、 V_{DDA} は V_{DDD} 電源以上である必要があります。

図 13. 40 ピン QFN の例

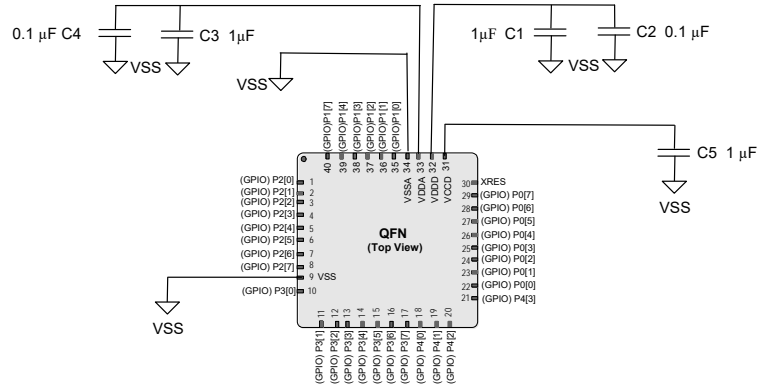
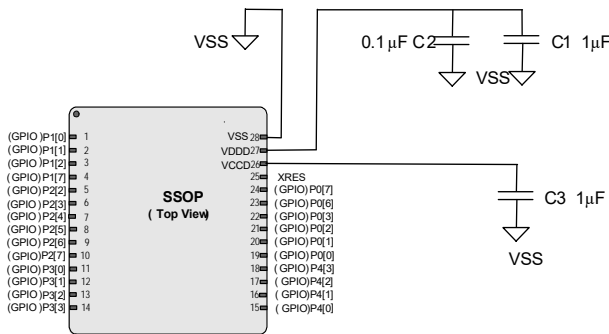


図 14. 28-SSOP の例



安定化外部電源

このモードでは、PSoC4100 は、1.71V ~ 1.89V ($1.8 \pm 5\%$) の外部電源から電源供給されます。この範囲は、電源リップルを含む必要があることに注意してください。このモードで、 V_{CCD} 、 V_{DDA} および V_{DDD} ピンは互いに短絡されバイパスされます。内部レギュレータはファームウェアで無効にされます。

開発サポート

PSoC 4100 ファミリには、ユーザーの開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。

詳細については、www.cypress.com/go/psoc4 をご覧ください。

ドキュメント

ドキュメント一式が PSoC 4100 ファミリをサポートし、ユーザーは、疑問点に対する答えを素早く見つけることができます。重要な資料の幾つかは、本節にリストアップされています。

ソフトウェア ユーザー ガイド : PSoC Creator の操作方法の手引書。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルド プロセスの詳細、PSoC Creator を用いたソース制御の使い方、その他が記載されています。

コンポーネント データシート : PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成することができます。コンポーネント データ シートには、ある特定のコンポーネントの選択および使用に必要な情報が、機能説明、API ドキュメント、サンプル コード、AC/DC 仕様を含んで全て記載されています。

アプリケーション ノート : PSoC アプリケーション ノートには、PSoC の特定のアプリケーションについて詳細な説明が記載されています。例として、ブラシレス DC モーターの制御やオンチップ フィルタリングがあります。アプリケーション ノートには、多くの場合、アプリケーション ノートのドキュメントに加えてサンプル プロジェクトが含まれています。

テクニカル リファレンス マニュアル : テクニカル リファレンス マニュアル (TRM) には、すべての PSoC レジスタの詳細な説明など、PSoC デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は、www.cypress.com/psoc4 の「ドキュメント」セクションにあります。

オンライン

印刷された資料のほかに、サイプレス PSoC フォーラムによって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

ツール

業界標準のコア、プログラミングおよびデバッグ インターフェースを備えた PSoC 4100 ファミリは、開発ツール エコシステムの一部です。革新的で使いやすい PSoC Creator IDE、サポートされるサードパーティのコンパイラ、プログラマ、デバッガおよび開発キットの最新情報については、サイプレスのウェブサイト www.cypress.com/go/psoccreator をご覧ください。

電氣的仕様

絶対最大定格

表 1. 絶対最大定格^[1]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID1	V _{DDD_ABS}	V _{SSD} を基準としたデジタル電源電圧	-0.5	—	6	V	絶対最大値
SID2	V _{CCD_ABS}	V _{SSD} を基準とした直接デジタル コア電圧入力	-0.5	—	1.95	V	絶対最大値
SID3	V _{GPIO_ABS}	GPIO 電圧	-0.5	—	V _{DD} +0.5	V	絶対最大値
SID4	I _{GPIO_ABS}	GPIO ごとの最大電流	-25	—	25	mA	絶対最大値
SID5	I _{GPIO_injection}	GPIO 注入電流、MAX は V _{IH} > V _{DDD} の場合、MIN は V _{IL} < V _{SS} の場合	-0.5	—	0.5	mA	絶対最大値、1 ピンあたりに注入される電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	—	—	V	
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	—	—	V	
BID46	LU	ラッチアップ時のピン電流	-200	—	200	mA	

デバイス レベルの仕様

特記されない限り、すべての仕様は -40°C ≤ TA ≤ 105°C および TJ ≤ 125 °C の条件で有効です。仕様は注記した場合を除いて、1.71V ~ 5.5V において有効です。

表 2. DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID53	V _{DD}	電源入力電圧 (V _{DDA} = V _{DDD} = V _{DD})	1.8	—	5.5	V	レギュレータが有効
SID255	V _{DDD}	安定化していない電源入力電圧	1.71	1.8	1.89	V	内部的に安定化されない電源
SID54	V _{CCD}	出力電圧 (コア ロジック用)	—	1.8	—	V	
SID55	CEFC	外部レギュレータ電圧バイパス	1	1.3	1.6	μF	X5R セラミックまたはこれより良質のもの
SID56	CEXC	電源デカップリング コンデンサ	—	1	—	μF	X5R セラミックまたはこれより良質のもの

アクティブ モード, V_{DD} = 1.71V ~ 5.5V。標準値は V_{DD} = 3.3V での測定結果

SID9	IDD4	フラッシュから実行; CPU 速度が 6 MHz	—	—	2.8	mA	
SID10	IDD5	フラッシュから実行; CPU 速度が 6 MHz	—	2.2	—	mA	T = 25 °C
SID12	IDD7	フラッシュから実行; CPU 速度が 12 MHz	—	—	4.2	mA	
SID13	IDD8	フラッシュから実行; CPU 速度が 12 MHz	—	3.7	—	mA	T = 25 °C
SID16	IDD11	フラッシュから実行; CPU 速度が 24 MHz	—	6.7	—	mA	T = 25 °C
SID17	IDD12	フラッシュから実行; CPU 速度が 24 MHz	—	—	7.2	mA	

スリープモード, V_{DD} = 1.7 V ~ 5.5 V

SID25	IDD20	I ² C ウェイクアップ、WDT、およびコンパレータが有効。CPU 速度が 6 MHz	—	1.3	1.8	mA	V _{DD} = 1.71 ~ 5.5 V
SID25A	IDD20A	I ² C ウェイクアップ、WDT、およびコンパレータが有効。CPU 速度が 12 MHz	—	1.7	2.2	mA	V _{DD} = 1.71 ~ 5.5 V

注

- 表 1 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しないことがあります。

表 2. DC 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
ディープスリープ モード, $V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$ (レギュレータが有効)							
SID31	IDD26	I ² C ウェイクアップと WDT が有効	–	1.3	–	μA	T = 25 °C
SID32	IDD27	I ² C ウェイクアップと WDT が有効	–	–	45	μA	T = 85 °C
ディープスリープ モード, $V_{DD} = 3.6\text{ V} \sim 5.5\text{ V}$							
SID34	IDD29	I ² C ウェイクアップと WDT が有効	–	1.5	15	μA	標準値は 25 °C 時 最大値は 85 °C 時
ディープスリープ モード, $V_{DD} = 1.71\text{ V} \sim 1.89\text{ V}$ (レギュレータをバイパス)							
SID37	IDD32	I ² C ウェイクアップと WDT が有効	–	1.7	–	μA	T = 25 °C
SID38	IDD33	I ² C ウェイクアップと WDT が有効	–	–	60	μA	T = 85 °C
ディープスリープ モード, +105 °C							
SID33Q	IDD28Q	I ² C ウェイクアップと WDT が有効。 レギュレータ オフ	–	–	135	μA	$V_{DD} = 1.71 \sim 1.89$
SID34Q	IDD29Q	I ² C ウェイクアップと WDT が有効	–	–	180	μA	$V_{DD} = 1.8 \sim 3.6$
SID35Q	IDD30Q	I ² C ウェイクアップと WDT が有効	–	–	140	μA	$V_{DD} = 3.6 \sim 5.5$
ハイバネート モード, $V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$ (レギュレータが有効)							
SID40	IDD35	GPIO とリセットがアクティブ	–	150	–	nA	T = 25 °C
SID41	IDD36	GPIO とリセットがアクティブ	–	–	1000	nA	T = 85 °C
ハイバネート モード, $V_{DD} = 3.6\text{ V} \sim 5.5\text{ V}$							
SID43	IDD38	GPIO とリセットがアクティブ	–	150	–	nA	T = 25 °C
ハイバネート モード, $V_{DD} = 1.71\text{ V} \sim 1.89\text{ V}$ (レギュレータをバイパス)							
SID46	IDD41	GPIO とリセットがアクティブ	–	150	–	nA	T = 25 °C
SID47	IDD42	GPIO とリセットがアクティブ	–	–	1000	nA	T = 85 °C
ハイバネート モード, +105 °C							
SID42Q	IDD37Q	レギュレータ オフ	–	–	19.4	μA	$V_{DD} = 1.71 \sim 1.89$
SID43Q	IDD38Q		–	–	17	μA	$V_{DD} = 1.8 \sim 3.6$
SID44Q	IDD39Q		–	–	16	μA	$V_{DD} = 3.6 \sim 5.5$
ストップ モード							
SID304	IDD43A	ストップ モード電流; $V_{DD} = 3.3\text{ V}$	–	20	80	nA	標準値は 25 °C 時 最大値は 85 °C 時
ストップ モード, +105 °C							
SID304Q	IDD43AQ	ストップ モード電流; $V_{DD} = 3.6\text{ V}$	–	–	5645	nA	
XRES 電流							
SID307	IDD_XR	XRES がアサートされている時の供給電流	–	2	5	mA	

表 3. AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID48	F _{CPU}	CPU 周波数	DC	–	24	MHz	$1.71\text{ V} \leq V_{DD} \leq 5.5\text{ V}$
SID49	T _{SLEEP}	スリープ モードからの復帰時間	–	0	–	μs	特性評価で保証
SID50	T _{DEEPSLEEP}	ディープスリープ モードからの復帰時間	–	–	25	μs	24MHz IMO。 特性評価で保証
SID51	T _{HIBERNATE}	ハイバネート モードとストップ モードからの復帰時間	–	–	2	ms	特性評価で保証
SID52	T _{RESETWIDTH}	外部リセット パルス幅	1	–	–	μs	特性評価で保証

GPIO
表 4. GPIO DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID57	$V_{IH}^{[2]}$	入力電圧の HIGH 閾値	$0.7 \times V_{DD}$	—	—	V	CMOS 入力
SID58	V_{IL}	入力電圧の LOW 閾値	—	—	$0.3 \times V_{DD}$	V	CMOS 入力
SID241	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DD} < 2.7V$	$0.7 \times V_{DD}$	—	—	V	
SID242	V_{IL}	LVTTL 入力、 $V_{DD} < 2.7V$	—	—	$0.3 \times V_{DD}$	V	
SID243	$V_{IH}^{[2]}$	LVTTL 入力、 $V_{DD} \geq 2.7V$	2.0	—	—	V	
SID244	V_{IL}	LVTTL 入力、 $V_{DD} \geq 2.7V$	—	—	0.8	V	
SID59	V_{OH}	出力 HIGH 電圧	$V_{DD}-0.6$	—	—	V	$V_{DD}=3V$ の時、 $I_{OH} = 4mA$
SID60	V_{OH}	出力 HIGH 電圧	$V_{DD}-0.5$	—	—	V	$V_{DD}=1.8V$ の時、 $I_{OH} = 1mA$
SID61	V_{OL}	出力 LOW 電圧	—	—	0.4	V	$V_{DD}=1.8V$ の時、 $I_{OL} = 4mA$
SID62	V_{OL}	出力 LOW 電圧	—	—	0.6	V	$V_{DD} = 3V$ の時、 $I_{OL} = 8mA$
SID62A	V_{OL}	出力 LOW 電圧	—	—	0.4	V	$V_{DD}=3V$ の時、 $I_{OL} = 3mA$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	k Ω	
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	k Ω	
SID65	I_{IL}	入力リーク電流 (絶対値)	—	—	2	nA	25°C、 $V_{DD} = 3.0V$
SID65A	I_{IL_CTBM}	CTBM端子用の入力リーク電流 (絶対値)	—	—	4	nA	
SID66	C_{IN}	入力容量	—	—	7	pF	
SID67	V_{HYSTTL}	入力ヒステリシス LVTTL	25	40	—	mV	$V_{DD} \geq 2.7V$ 。 特性評価で保証
SID68	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DD}$	—	—	mV	特性評価で保証
SID69	I_{DIODE}	保護ダイオードを通して V_{DD}/V_{SS} に流れる電流	—	—	100	μA	特性評価で保証
SID69A	I_{TOT_GPIO}	チップの最大合計ソースまたはシンク電流	—	—	200	mA	特性評価で保証

表 5. GPIO の AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID70	T_{RISEF}	高速ストロング (Strong) モードでの立ち上がり時間	2	—	12	ns	$V_{DD} = 3.3V$ 、 Load = 25pF
SID71	T_{FALLF}	高速ストロング (Strong) モードでの立ち下がり時間	2	—	12	ns	$V_{DD} = 3.3V$ 、 Load = 25pF
SID72	T_{RISES}	低速ストロング (Strong) モードでの立ち上がり時間	10	—	60	ns	$V_{DD} = 3.3V$ 、 Load = 25pF
SID73	T_{FALLS}	低速ストロング (Strong) モードでの立ち下がり時間	10	—	60	ns	$V_{DD} = 3.3V$ 、 Load = 25pF

注:

 2. V_{IH} は $V_{DD}+0.2V$ を超えてはいけません。

表 5. GPIO の AC 仕様 (特性評価で保証) (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID74	F _{GPIOOUT1}	GPIO Fout ; $3.3V \leq V_{DD} \leq 5.5V$ 高速 Strong (ストロング) モード	–	–	24	MHz	90/10%、25pF 負荷、 60/40 デューティサイクル
SID75	F _{GPIOOUT2}	GPIO Fout ; $1.7V \leq V_{DD} \leq 3.3V$ 高速 Strong (ストロング) モード	–	–	16.7	MHz	90/10%、25pF 負荷、 60/40 デューティサイクル
SID76	F _{GPIOOUT3}	GPIO Fout ; $3.3V \leq V_{DD} \leq 5.5V$ 低速 Strong (ストロング) モード	–	–	7	MHz	90/10%、25pF 負荷、 60/40 デューティサイクル
SID245	F _{GPIOOUT4}	GPIO Fout ; $1.7V \leq V_{DD} \leq 3.3V$ 低速 Strong (ストロング) モード	–	–	3.5	MHz	90/10%、25pF 負荷、 60/40 デューティサイクル
SID246	F _{GPIOIN}	GPIO の入力動作の周波数 ; $1.71V \leq V_{DD} \leq 5.5V$	–	–	24	MHz	90/10% V _{IO}

XRES

表 6. XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID77	V _{IH}	入力電圧の HIGH 閾値	$0.7 \times V_{DD}$	–	–	V	CMOS 入力
SID78	V _{IL}	入力電圧の LOW 閾値	–	–	$0.3 \times V_{DD}$	V	CMOS 入力
SID79	R _{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	kΩ	
SID80	C _{IN}	入力容量	–	3	–	pF	
SID81	V _{HYSXRES}	入力電圧ヒステリシス	–	100	–	mV	特性評価で保証
SID82	I _{DIODE}	保護ダイオードを通して V _{DD} /V _{SS} に 流れる電流	–	–	100	μA	特性評価で保証

表 7. XRES AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID83	T _{RESETWIDTH}	リセット パルス幅	1	–	–	μs	特性評価で保証

アナログ ペリフェラル
オペアンプ
表 8. オペアンプ仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
	I_{DD}	オペアンプ ブロック電流。負荷なし	–	–	–	–	
SID269	I_{DD_HI}	消費電力 = 大	–	1100	1850	μA	
SID270	I_{DD_MED}	消費電力 = 中	–	550	950	μA	
SID271	I_{DD_LOW}	消費電力 = 小	–	150	350	μA	
	GBW	Load = 20 pF, 0.1 mA. $V_{DDA} = 2.7 V$	–	–	–	–	
SID272	GBW_HI	消費電力 = 大	6	–	–	MHz	
SID273	GBW_MED	消費電力 = 中	4	–	–	MHz	
SID274	GBW_LO	消費電力 = 小	–	1	–	MHz	
	I_{OUT_MAX}	$V_{DDA} \geq 2.7 V$, 500mV の電源レール	–	–	–	–	
SID275	$I_{OUT_MAX_HI}$	消費電力 = 大	10	–	–	mA	
SID276	$I_{OUT_MAX_MID}$	消費電力 = 中	10	–	–	mA	
SID277	$I_{OUT_MAX_LO}$	消費電力 = 小	–	5	–	mA	
	I_{OUT}	$V_{DDA} = 1.71 V$, 500mV の電源レール	–	–	–	–	
SID278	$I_{OUT_MAX_HI}$	消費電力 = 大	4	–	–	mA	
SID279	$I_{OUT_MAX_MID}$	消費電力 = 中	4	–	–	mA	
SID280	$I_{OUT_MAX_LO}$	消費電力 = 小	–	2	–	mA	
SID281	V_{IN}	チャージ ポンプがオン, $V_{DDA} \geq 2.7 V$	–0.05	–	$V_{DDA} - 0.2$	V	
SID282	V_{CM}	チャージ ポンプがオン, $V_{DDA} \geq 2.7 V$	–0.05	–	$V_{DDA} - 0.2$	V	
	V_{OUT}	$V_{DDA} \geq 2.7 V$	–	–	–	–	
SID283	V_{OUT_1}	消費電力 = 大, $I_{load}=10 mA$	0.5	–	$V_{DDA} - 0.5$	V	
SID284	V_{OUT_2}	消費電力 = 大, $I_{load}=1 mA$	0.2	–	$V_{DDA} - 0.2$	V	
SID285	V_{OUT_3}	消費電力 = 中, $I_{load}=1 mA$	0.2	–	$V_{DDA} - 0.2$	V	
SID286	V_{OUT_4}	消費電力 = 小, $I_{load}=0.1 mA$	0.2	–	$V_{DDA} - 0.2$	V	
SID288	V_{OS_TR}	オフセット電圧 (調整後)	1	± 0.5	1	mV	大消費電力モード
SID288A	V_{OS_TR}	オフセット電圧 (調整後)	–	± 1	–	mV	中消費電力モード
SID288B	V_{OS_TR}	オフセット電圧 (調整後)	–	± 2	–	mV	小消費電力モード
SID290	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	–10	± 3	10	$\mu V/^{\circ}C$	大消費電力モード。 $T_A \leq 85^{\circ}C$
SID290Q	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	15	± 3	15	$\mu V/^{\circ}C$	大消費電力モード。 $T_A \leq 105^{\circ}C$
SID290A	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	–	± 10	–	$\mu V/^{\circ}C$	中消費電力モード
SID290B	$V_{OS_DR_TR}$	オフセット電圧ドリフト (調整後)	–	± 10	–	$\mu V/^{\circ}C$	小消費電力モード
SID291	CMRR	DC	70	80	–	dB	$V_{DDD} = 3.6 V$
SID292	PSRR	周波数 = 1kHz、リップル = 100mV	70	85	–	dB	$V_{DDD} = 3.6 V$
	Noise		–	–	–	–	
SID293	V_{N1}	基準入力, 1 Hz - 1GHz, 消費電力 = 大	–	94	–	μV_{rms}	
SID294	V_{N2}	基準入力, 1 kHz, 消費電力 = 大	–	72	–	nV/rtHz	
SID295	V_{N3}	基準入力, 10kHz, 消費電力 = 大	–	28	–	nV/rtHz	
SID296	V_{N4}	基準入力, 100kHz, 消費電力 = 大	–	15	–	nV/rtHz	
SID297	Cload	最大負荷まで安定。50pF で性能仕様を達成	–	–	125	pF	

表 8. オペアンプ仕様 (特性評価で保証) (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID298	Slew_rate	Cload = 50 pF, 消費電力 = 大, $V_{DDA} \geq 2.7 \text{ V}$	6	—	—	V/ μs	
SID299	T_op_wake	無効から有効まで、外付け RC なし	—	300	—	μs	
SID299A	OL_GAIN	オープン ループ ゲイン	—	90	—	dB	設計評価で保証
	Comp_mode	コンパレータ モード ; 50mV 駆動 Trise = Tfall (おおよそ)	—	—	—		
SID300	T _{PD1}	応答時間 ; 消費電力 = 大	—	150	—	ns	
SID301	T _{PD2}	応答時間 ; 消費電力 = 中	—	400	—	ns	
SID302	T _{PD3}	応答時間 ; 消費電力 = 小	—	2000	—	ns	
SID303	Vhyst_op	ヒステリシス	—	10	—	mV	

コンパレータ

表 9. コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID85	V _{OFFSET2}	入力オフセット電圧, 同相電圧 0 ~ V_{DD-1}	—	—	± 4	mV	
SID85A	V _{OFFSET3}	入力オフセット電圧. 超低電力モード ($V_{DDD} \geq 2.2 \text{ V}$ for Temp < 0 °C, $V_{DDD} \geq 1.8 \text{ V}$ for Temp > 0 °C)	—	± 12	—	mV	
SID86	V _{HYST}	有効時ヒステリシス, 同相電圧 0 ~ V_{DD-1}	—	10	35	mV	特性評価で保証
SID87	V _{ICM1}	通常モード入力同相電圧	0	—	$V_{DDD} - 0.1$	V	モード 1 とモード 2。
SID247	V _{ICM2}	低消費電力モード入力同相電圧 ($V_{DDD} \geq 2.2 \text{ V}$ for Temp < 0 °C, $V_{DDD} \geq 1.8 \text{ V}$ for Temp > 0 °C)	0	—	V_{DDD}	V	
SID247A	V _{ICM3}	超低電力モード入力同相電圧	0	—	$V_{DDD} - 1.15$	V	
SID88	CMRR	同相信号除去比	50	—	—	dB	$V_{DDD} \geq 2.7 \text{ V}$. 特性評価で保証
SID88A	CMRR	同相信号除去比	42	—	—	dB	$V_{DDD} < 2.7 \text{ V}$. 特性評価で保証
SID89	I _{CMP1}	ブロック電流 (通常モード)	—	—	400	μA	特性評価で保証
SID248	I _{CMP2}	ブロック電流 (低消費電力モード)	—	—	100	μA	特性評価で保証
SID259	I _{CMP3}	ブロック電流 (超低電力モード) ($V_{DDD} \geq 2.2 \text{ V}$ for Temp < 0 °C, $V_{DDD} \geq 1.8 \text{ V}$ for Temp > 0 °C)	—	6	28	μA	特性評価で保証
SID90	Z _{CMP}	コンパレータ DC 入力インピーダンス	35	—	—	M Ω	特性評価で保証

表 10. コンパレータの AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID91	T _{RESP1}	応答時間、通常モード	—	—	110	ns	50mV オーバードライブ
SID258	T _{RESP2}	応答時間、低電力モード	—	—	200	ns	50mV オーバードライブ
SID92	T _{RESP3}	応答時間、超低電力モード ($V_{DDD} \geq 2.2 \text{ V}$ for Temp < 0 °C, $V_{DDD} \geq 1.8 \text{ V}$ for Temp > 0 °C)	—	—	15	μs	200mV オーバードライブ

温度センサー

表 11. 温度センサーの仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID93	T _{SENSACC}	温度センサー精度	-5	±1	+5	°C	-40°C ~ +85°C

SAR ADC

表 12. SAR ADC DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID94	A_RES	分解能	–	–	12	bits	
SID95	A_CHNIS_S	チャンネル数 – シングル エンド	–	–	8		8 個のフルスピードチャンネル
SID96	A-CHNKS_D	チャンネル数 – 差動	–	–	4		差動チャンネルの入力は隣接する I/O を使用
SID97	A-MONO	単調性	–	–	–		有。特性評価に基づく値
SID98	A_GAINERR	ゲイン誤差	–	–	±0.1	%	外部リファレンス有り。特性評価で保証
SID99	A_OFFSET	入力オフセット電圧	–	–	2	mV	Measured with 1-V V _{REF} . 特性評価で保証
SID100	A_ISAR	消費電流	–	–	1	mA	
SID101	A_VINS	入力電圧範囲 – シングル エンド	V _{SS}	–	V _{DDA}	V	デバイスの特性評価に基づく値
SID102	A_VIND	入力電圧範囲 - 差動	V _{SS}	–	V _{DDA}	V	デバイスの特性評価に基づく値
SID103	A_INRES	入力抵抗	–	–	2.2	KΩ	デバイスの特性評価に基づく値
SID104	A_INCAP	入力容量	–	–	10	pF	デバイスの特性評価に基づく値
SID106	A_PSRR	電源電圧変動除去比	70	–	–	dB	
SID107	A_CMRR	同相信号除去比	66	–	–	dB	1V で測定
SID111	A_INL	積分非直線性	-1.7	–	+2	LSB	V _{DD} = 1.71 ~ 5.5, 806 ksp, V _{REF} = 1 ~ 5.5.
SID111A	A_INL	積分非直線性	-1.5	–	+1.7	LSB	V _{DD} = 1.71 ~ 3.6, 806 ksp, V _{REF} = 1.71 ~ V _{DD} .
SID111B	A_INL	積分非直線性	-1.5	–	+1.7	LSB	V _{DD} = 1.71 ~ 5.5, 500 ksp, V _{REF} = 1 ~ 5.5.
SID112	A_DNL	微分非直線性	-1	–	+2.2	LSB	V _{DD} = 1.71 ~ 5.5, 806 ksp, V _{REF} = 1 ~ 5.5.
SID112A	A_DNL	微分非直線性	-1	–	+2	LSB	V _{DD} = 1.71 ~ 3.6, 806 ksp, V _{REF} = 1.71 ~ V _{DD} .
SID112B	A_DNL	微分非直線性	-1	–	+2.2	LSB	V _{DD} = 1.71 ~ 5.5, 500 ksp, V _{REF} = 1 ~ 5.5.

表 13. SAR ADC の AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID108	A_SAMP_1	外部リファレンスバイパスコンデンサがある場合のサンプルレート	–	–	806	ksps	
SID108A	A_SAMP_2	バイパスコンデンサがない場合のサンプルレート。リファレンス電圧 = V_{DD}	–	–	500	ksps	
SID108B	A_SAMP_3	バイパスコンデンサがない場合のサンプルレート。内部リファレンス電圧	–	–	100	ksps	
SID109	A_SNR	信号対ノイズおよび歪み比 (SINAD)	65	–	–	dB	$F_{IN} = 10\text{kHz}$
SID113	A_THD	全高調波歪み	–	–	–65	dB	$F_{IN} = 10\text{kHz}$

CSD
表 14. CSD ブロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID.CSD#16	IDAC1IDD	IDAC1 (8 ビット) ブロック電流	–	–	1125	μA	
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	–	–	1125	μA	
SID308	VCSD	動作電圧の範囲	1.71	–	5.5	V	
SID308A	VCOMPIDAC	S0 での IDAC の電圧コンプライアンス範囲	0.8	–	$V_{DD}-0.8$	V	
SID309	IDAC1	8 ビット分解能の DNL	–1	–	1	LSB	
SID310	IDAC1	8 ビット分解能の INL	–3	–	3	LSB	
SID311	IDAC2	7 ビット分解能の DNL	–1	–	1	LSB	
SID312	IDAC2	7 ビット分解能の INL	–3	–	3	LSB	
SID313	SNR	信号対雑音比、0.1pF 感度	5	–	–	比率	9pF ~ 35pF のコンデンサ範囲、感度 0.1 pF
SID314	IDAC1_CRT1	高域での IDAC1 (8 ビット) の出力電流	–	612	–	μA	
SID314A	IDAC1_CRT2	低域での IDAC1 (8 ビット) の出力電流	–	306	–	μA	
SID315	IDAC2_CRT1	高域での IDAC2 (7 ビット) の出力電流	–	304.8	–	μA	
SID315A	IDAC2_CRT2	低域での IDAC2 (7 ビット) の出力電流	–	152.4	–	μA	
SID320	IDACOFFSET	すべてのゼロ入力	–	–	± 1	LSB	
SID321	IDACGAIN	フルスケールエラーからオフセットエラーを差し引いた後の値	–	–	± 10	%	
SID322	IDACMISMATCH	IDAC 同士間のミスマッチ	–	–	7	LSB	
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB までの整定時間	–	–	10	μs	フルスケール遷移。外部負荷無し
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB までの整定時間	–	–	10	μs	フルスケール遷移。外部負荷無し
SID325	CMOD	外部モジュレータコンデンサ	–	2.2	–	nF	5V 定格、X7R または NP0 コンデンサ

デジタル ペリフェラル

次の仕様は、タイマー モードでのタイマー／カウンタ／ PWM 周辺機器に適用されます。

タイマー / カウンタ / PWM

表 15. TCPWM 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電	–	–	155	μA	すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流	–	–	650	μA	すべてのモード (TCPWM)
SID.TCPWM.3	TCPWMFREQ	動作周波数	–	–	Fc	MHz	Fc max = Fcpu。最大値 = 24MHz
SID.TCPWM.4	TPWMENEXT	すべてのトリガー イベント用の入力トリガー パルス幅	2/Fc	–	–	ns	選択した動作モードによってトリガー イベントは停止、開始、リロード、カウント、キャプチャ、またはキル
SID.TCPWM.5	TPWMEXT	出力トリガー パルス幅	2/Fc	–	–	ns	オーバーフロー、アンダーフローおよび CC (カウンタ = 比較値) トリガー出力の最小幅
SID.TCPWM.5A	TCRES	カウンタ分解能	1/Fc	–	–	ns	逐次カウント間の最小時間
SID.TCPWM.5B	PWMRES	PWM 分解能	1/Fc	–	–	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	QRES	直交位相入力分解能	1/Fc	–	–	ns	直交位相入力どうし間の最小パルス幅

I²C

表 16. 固定 I²C の DC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID149	I _{I2C1}	100kHz でのブロック消費電流	–	–	50	μA	
SID150	I _{I2C2}	400kHz でのブロック消費電流	–	–	135	μA	
SID151	I _{I2C3}	1Mbps でのブロック消費電流	–	–	310	μA	
SID152	I _{I2C4}	I ² C がディープスリープ モードで有効の場合	–	–	1.4	μA	

表 17. 固定 I²C の AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID153	F _{I2C1}	ビット レート	–	–	1	Mbps	

LCD ダイレクト ドライブ

表 18. LCD 直接駆動の DC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID154	I _{LCDLOW}	低電力モードでの動作電流	–	5	–	μA	50Hz での 16×4 の小さいセグメント ディスプレイ
SID155	C _{LCDCAP}	セグメント／コモン ドライバー当たりの LCD 静電容量	–	500	5000	pF	設計上保証
SID156	LCD _{OFFSET}	長時間セグメント オフセット	–	20	–	mV	

表 18. LCD 直接駆動の DC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID157	I _{LCDOP1}	PWM モード電流。5V バイアス 24MHz IMO。25°C	–	0.6	–	mA	32 × 4 セグメント、 50Hz
SID158	I _{LCDOP2}	PWM モード電流。3.3V バイアス 24MHz IMO。25°C	–	0.5	–	mA	32 × 4 セグメント、 50Hz

表 19. LCD 直接駆動の AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID159	F _{LCD}	LCD フレーム レート	10	50	150	Hz	

表 20. 固定 UART の DC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID160	I _{UART1}	100Kbps 時のブロック消費電流	–	–	55	μA	
SID161	I _{UART2}	1000Kbps 時のブロック消費電流	–	–	312	μA	

表 21. 固定 UART の AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID162	F _{UART}	ビット レート	–	–	1	Mbps	

SPI 仕様

表 22. 固定 SPI の DC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID163	I _{SPI1}	1Mbps 時のブロック消費電流	–	–	360	μA	
SID164	I _{SPI2}	4Mbps 時のブロック消費電流	–	–	560	μA	
SID165	I _{SPI3}	8Mbps 時のブロック消費電流	–	–	600	μA	

表 23. 固定 SPI の AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID166	F _{SPI}	SPI 動作周波数 (マスター; 6 倍の オーバーサンプリング)	–	–	4	MHz	

表 24. 固定 SPI のマスター モード AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID167	T _{DMO}	Sclock 駆動エッジ後の MOSI 有効期間	–	–	15	ns	
SID168	T _{DSI}	Sclock キャプチャ エッジ前の MISO 有効 時間。フル クロックで、MISO の遅いサン プリングが採用	20	–	–	ns	
SID169	T _{HMO}	スレーブでのエッジ キャプチャ時の前の MOSI データ ホールド時間	0	–	–	ns	

表 25. 固定 SPI スレーブ モードの AC 仕様 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID170	T _{DMI}	Sclock キャプチャ エッジ前の MOSI 有効時間	40	—	—	ns	
SID171	T _{DSO}	Sclock 駆動エッジ後の MISO 有効期間	—	—	42 + 3 × T _{scbclk}	ns	
SID171A	T _{DSO_ext}	外部クロック モードでの Sclock 駆動エッジからの MISO 有効期間。	—	—	48	ns	
SID172	T _{HSD}	前の MISO データ ホールド時間	0	—	—	ns	
SID172A	T _{SSELSCK}	SSEL 有効から最初の SCK 有効エッジまでの時間	100	—	—	ns	

メモリ

表 26. フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	—	5.5	V	

表 27. フラッシュ AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID174	T _{ROWWRITE} ^[3]	Row (ブロック) 書き込み時間 (消去 + 書き込み)	—	—	20	ms	Row (ブロック) = 128 バイト
SID175	T _{ROWERASE} ^[3]	Row 消去時間	—	—	13	ms	
SID176	T _{ROWPROGRAM} ^[3]	消去後の Row プログラム時間	—	—	7	ms	
SID178	T _{BULKERASE} ^[3]	バルク消去時間 (32KB)	—	—	35	ms	
SID180	T _{DEVPROG} ^[3]	デバイス プログラム合計時間	—	—	7	s	特性評価で保証
SID181	F _{END}	フラッシュ アクセス可能回数	100 K	—	—	サイクル	特性評価で保証
SID182	F _{RET}	フラッシュのデータ保持期間。 T _A ≤ 55°C、プログラム/消去 サイクル = 10 万回	20	—	—	年	特性評価で保証
SID182A		フラッシュのデータ保持期間。 T _A ≤ 85°C、プログラム/消去 サイクル = 1 万回	10	—	—	年	特性評価で保証
SID182B	F _{RETQ}	フラッシュのデータ保持期間。 T _A ≤ 105°C、プログラム/消去 サイクル = 1 万回、T _A ≥ 85 °C 時 は 3 年以下	10	—	20	年	特性評価で保証

注:

- フラッシュメモリへ書き込むには最大 20 ミリ秒がかかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュメモリの動作は中断され、正常に完了したことを保証されません。リセットソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤って活性化されないことを確認してください。

システム リソース

電圧低下時のパワーオン リセット (POR)

表 28. 低精度パワー オン リセット (IPOR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID185	V _{RISEIPOR}	立ち上がりトリップ電圧	0.80	–	1.45	V	特性評価で保証
SID186	V _{FALLIPOR}	立ち下がりトリップ電圧	0.75	–	1.4	V	特性評価で保証
SID187	V _{IPORHYST}	ヒステリシス	15	–	200	mV	特性評価で保証

表 29. 高精度パワーオン リセット (POR)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID190	V _{FALLPPOR}	アクティブ モードとスリープ モードでの BOD トリップ電圧	1.64	–	–	V	特性評価により 1.71 V と BOD トリップ電圧間の 完全な機能を保証
SID192	V _{FALLDPSLP}	ディープスリープ モードでの BOD トリップ電圧	1.4	–	–	V	特性評価で保証
BID55	Svdd	最大電源ランプ レート	–	–	67	kV/s	

電圧モニター

表 30. 電圧モニターの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID195	V _{LVI1}	LVI_A/D_SEL[3:0] = 0000b	1.71	1.75	1.79	V	
SID196	V _{LVI2}	LVI_A/D_SEL[3:0] = 0001b	1.76	1.80	1.85	V	
SID197	V _{LVI3}	LVI_A/D_SEL[3:0] = 0010b	1.85	1.90	1.95	V	
SID198	V _{LVI4}	LVI_A/D_SEL[3:0] = 0011b	1.95	2.00	2.05	V	
SID199	V _{LVI5}	LVI_A/D_SEL[3:0] = 0100b	2.05	2.10	2.15	V	
SID200	V _{LVI6}	LVI_A/D_SEL[3:0] = 0101b	2.15	2.20	2.26	V	
SID201	V _{LVI7}	LVI_A/D_SEL[3:0] = 0110b	2.24	2.30	2.36	V	
SID202	V _{LVI8}	LVI_A/D_SEL[3:0] = 0111b	2.34	2.40	2.46	V	
SID203	V _{LVI9}	LVI_A/D_SEL[3:0] = 1000b	2.44	2.50	2.56	V	
SID204	V _{LVI10}	LVI_A/D_SEL[3:0] = 1001b	2.54	2.60	2.67	V	
SID205	V _{LVI11}	LVI_A/D_SEL[3:0] = 1010b	2.63	2.70	2.77	V	
SID206	V _{LVI12}	LVI_A/D_SEL[3:0] = 1011b	2.73	2.80	2.87	V	
SID207	V _{LVI13}	LVI_A/D_SEL[3:0] = 1100b	2.83	2.90	2.97	V	
SID208	V _{LVI14}	LVI_A/D_SEL[3:0] = 1101b	2.93	3.00	3.08	V	
SID209	V _{LVI15}	LVI_A/D_SEL[3:0] = 1110b	3.12	3.20	3.28	V	
SID210	V _{LVI16}	LVI_A/D_SEL[3:0] = 1111b	4.39	4.50	4.61	V	
SID211	LVI_IDD	ブロック電流	–	–	100	μA	特性評価で保証

表 31. 電圧モニターの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考/条件
SID212	T _{MONTRIP}	電圧モニター トリップ時間	–	–	1	μs	特性評価で保証

SWD インターフェース

表 32. SWD インターフェース仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID213	F_SWDCCLK1	$3.3V \leq V_{DD} \leq 5.5V$	–	–	14	MHz	SWDCCLK \leq 1/3 CPU クロック周波数
SID214	F_SWDCCLK2	$1.71V \leq V_{DD} \leq 3.3V$	–	–	7	MHz	SWDCCLK \leq 1/3 CPU クロック周波数
SID215	T_SWDI_SETUP	$T = 1/f_{SWDCCLK}$	$0.25 \cdot T$	–	–	ns	特性評価で保証
SID216	T_SWDI_HOLD	$T = 1/f_{SWDCCLK}$	$0.25 \cdot T$	–	–	ns	特性評価で保証
SID217	T_SWDO_VALID	$T = 1/f_{SWDCCLK}$	–	–	$0.5 \cdot T$	ns	特性評価で保証
SID217A	T_SWDO_HOLD	$T = 1/f_{SWDCCLK}$	1	–	–	ns	特性評価で保証

内部主発振器

表 33. IMO の DC 仕様 (設計上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID218	I_IMO1	48MHz での IMO 動作電流	–	–	1000	μA	
SID219	I_IMO2	24MHz での IMO 動作電流	–	–	325	μA	
SID220	I_IMO3	12MHz での IMO 動作電流	–	–	225	μA	
SID221	I_IMO4	6MHz での IMO 動作電流	–	–	180	μA	
SID222	I_IMO5	3MHz での IMO 動作電流	–	–	150	μA	

表 34. IMO の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID223	F_IMOTOL1	3MHz から 48MHz までの周波数変化	–	–	± 2	%	$T_A > 85^\circ C$ および IMO 周波数 < 24 MHz の場合、 $\pm 3\%$ 。
SID226	T_STARTIMO	IMO 起動時間	–	–	12	μs	
SID227	T_JITRMSIMO1	3MHz での RMS ジッタ	–	156	–	ps	
SID228	T_JITRMSIMO2	24MHz での RMS ジッタ	–	145	–	ps	
SID229	T_JITRMSIMO3	48MHz での RMS ジッタ	–	139	–	ps	

内部低速発振器

表 35. ILO の DC 仕様 (設計上保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID231	I_ILO1	32kHz での ILO 動作電流	–	0.3	1.05	μA	特性評価で保証
SID233	I_ILOLEAK	ILO リーク電流	–	2	15	nA	設計上保証

表 36. ILO の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID234	T_STARTILO1	ILO 起動時間	–	–	2	ms	特性評価で保証
SID236	T_ILODUTY	ILO のデューティ サイクル	40	50	60	%	特性評価で保証
SID237	F_ILOTRIM1	32kHz の調整後周波数	15	32	50	kHz	$T_A > 85^\circ C$ の場合、最大 ILO 周波数は 70kHz。

表 37. 外部クロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID305	ExtClkFreq	外部クロック入力周波数	0	–	24	MHz	特性評価で保証
SID306	ExtClkDuty	デューティ サイクル ; $V_{DD/2}$ で測定	45	–	55	%	特性評価で保証

表 38. ブロック仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID257	T_{WS24}^*	24MHz でのウェイト ステートの数	0	–	–		フラッシュからの CPU 実行特性評価で保証
SID260	V_{REFSAR}	SAR 用の調整された内部リファレンス電圧	–1	–	+1	%	V _{bg} (1.024V) の割合特性評価で保証
SID262	$T_{CLKSWITCH}$	クロック 1 周期でのクロック 1 からクロック 2 へのクロック切り替え	3	–	4	周期	設計上保証

* T_{WS24} は設計で保証されています

注文情報

PSoC 4100 の型番と特長は下表の通りです。

表 39. PSoC 4100 ファミリ注文情報

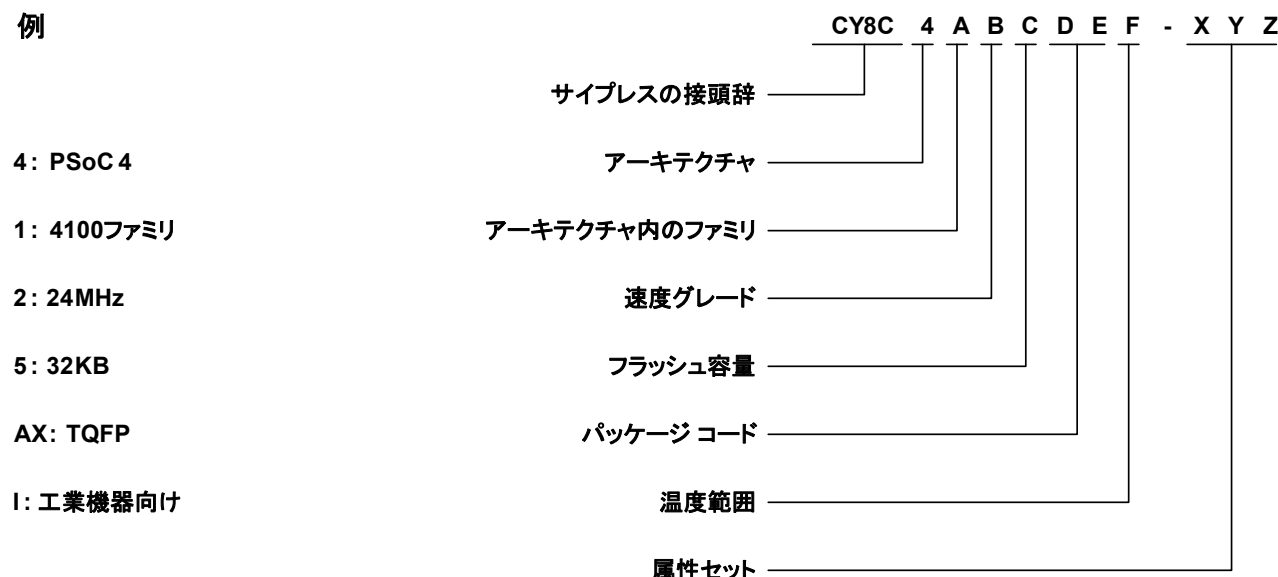
ファミリ	型番	特長												パッケージ				
		CPUの最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	UDB	オペアンプ (CTBm)	CapSense	LCD直接駆動	12ビットSAR ADC	LPコンパレータ	TCPWMブロック	SCBブロック	GPIO	28-SSOP	35-WLCSP	40-QFN	44-TQFP	48-TQFP
4100	CY8C4124PVI-432	24	16	4	-	1	-	-	806 ksps	2	4	2	24	✓				
	CY8C4124PVI-442	24	16	4	-	1	✓	✓	806 ksps	2	4	2	24	✓				
	CY8C4124PVQ-432	24	16	4	-	1	-	-	806 ksps	2	4	2	24	✓				
	CY8C4124PVQ-442	24	16	4	-	1	✓	✓	806 ksps	2	4	2	24	✓				
	CY8C4124FNI-443	24	16	4	-	2	✓	✓	806 ksps	2	4	2	31		✓			
	CY8C4124LQI-443	24	16	4	-	2	✓	✓	806 ksps	2	4	2	34			✓		
	CY8C4124AXI-443	24	16	4	-	2	✓	✓	806 ksps	2	4	2	36				✓	
	CY8C4124LQQ-443	24	16	4	-	2	✓	✓	806 ksps	2	4	2	34			✓		
	CY8C4124AXQ-443	24	16	4	-	2	✓	✓	806 ksps	2	4	2	36				✓	
	CY8C4124AZI-443	24	16	4	-	2	✓	✓	806 ksps	2	4	2	36					✓
	CY8C4125AXI-473	24	32	4	-	2	-	-	806 ksps	2	4	2	36				✓	
	CY8C4125AXQ-473	24	32	4	-	2	-	-	806 ksps	2	4	2	36				✓	
	CY8C4125AZI-473	24	32	4	-	2	-	-	806 ksps	2	4	2	36					✓
	CY8C4125PVI-482	24	32	4	-	1	✓	✓	806 ksps	2	4	2	24	✓				
	CY8C4125PVQ-482	24	32	4	-	1	✓	✓	806 ksps	2	4	2	24	✓				
	CY8C4125FNI-483(T)	24	32	4	-	2	✓	✓	806 ksps	2	4	2	31		✓			
	CY8C4125LQI-483	24	32	4	-	2	✓	✓	806 ksps	2	4	2	34			✓		
	CY8C4125AXI-483	24	32	4	-	2	✓	✓	806 ksps	2	4	2	36				✓	
	CY8C4125LQQ-483	24	32	4	-	2	✓	✓	806 ksps	2	4	2	34			✓		
	CY8C4125AXQ-483	24	32	4	-	2	✓	✓	806 ksps	2	4	2	36				✓	
	CY8C4125AZI-483	24	32	4	-	2	✓	✓	806 ksps	2	4	2	36					✓

型番の命名規則

PSoC 4 デバイスは、下表に示す型番の命名規則に従っています。文字列は、特に記述がない限り、すべて 1 文字の英数字 (0 ~ 9、A ~ Z) です。

部品番号は、CY8C4ABCDEF-XYZ の形式であり、文字列は以下のように定義されています。

例



文字列を次の表に示します。

文字列	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSoC 4
A	アーキテクチャ内のファミリ	1	4100 ファミリ
		2	4200 ファミリ
B	CPU 速度	2	24MHz
		4	48MHz
C	フラッシュ容量	4	16KB
		5	32KB
DE	パッケージコード	AX、AZ	TQFP
		LQ	QFN
		PV	SSOP
		FN	WLCSP
F	温度範囲	I	工業機器向け
		Q	産業用拡張温度範囲
XYZ	属性コード	000-999	特定ファミリの機能セットのコード

パッケージ

表 40. パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T_A	動作周囲温度		-40	25.00	105	°C
T_J	動作接合部温度		-40	–	125	°C
T_{JA}	パッケージ θ_{JA} (28 ピン SSOP)		–	66.58	–	°C/W
T_{JA}	パッケージ θ_{JA} (35 ボール WLCSP)		–	28.00	–	°C/W
T_{JA}	パッケージ θ_{JA} (40 ピン QFN)		–	15.34	–	°C/W
T_{JA}	パッケージ θ_{JA} (44 ピン TQFP)		–	57.16	–	°C/W
T_{JA}	パッケージ θ_{JA} (48 ピン TQFP)		–	67.30	–	°C/W
T_{JC}	パッケージ θ_{JC} (28 ピン SSOP)		–	26.28	–	°C/W
T_{JC}	パッケージ θ_{JC} (35 ボール WLCSP)		–	00.40	–	°C/W
T_{JC}	パッケージ θ_{JC} (40 ピン QFN)		–	2.50	–	°C/W
T_{JC}	パッケージ θ_{JC} (44 ピン TQFP)		–	17.47	–	°C/W
T_{JC}	パッケージ θ_{JC} (48 ピン TQFP)		–	27.60	–	°C/W

表 41. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
28 ピン SSOP	260°C	30 秒
35 ボール WLCSP	260°C	30 秒
40 ピン QFN	260°C	30 秒
44 ピン TQFP	260°C	30 秒
48 ピン TQFP	260°C	30 秒

表 42. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
28 ピン SSOP	MSL 3
35 ボール WLCSP	MSL 3
40 ピン QFN	MSL 3
44 ピン TQFP	MSL 3
48 ピン TQFP	MSL 3

回路図シンボルと PCB フットプリントを備えた PSoC 4 CAB ライブラリは、サイプレスの Web サイト (http://www.cypress.com/cad-resources/psoc-4-cad-libraries?source=search&cat=technical_documents) を参照してください。

図 15. 28 ピン (210 ミル) SSOP パッケージ図

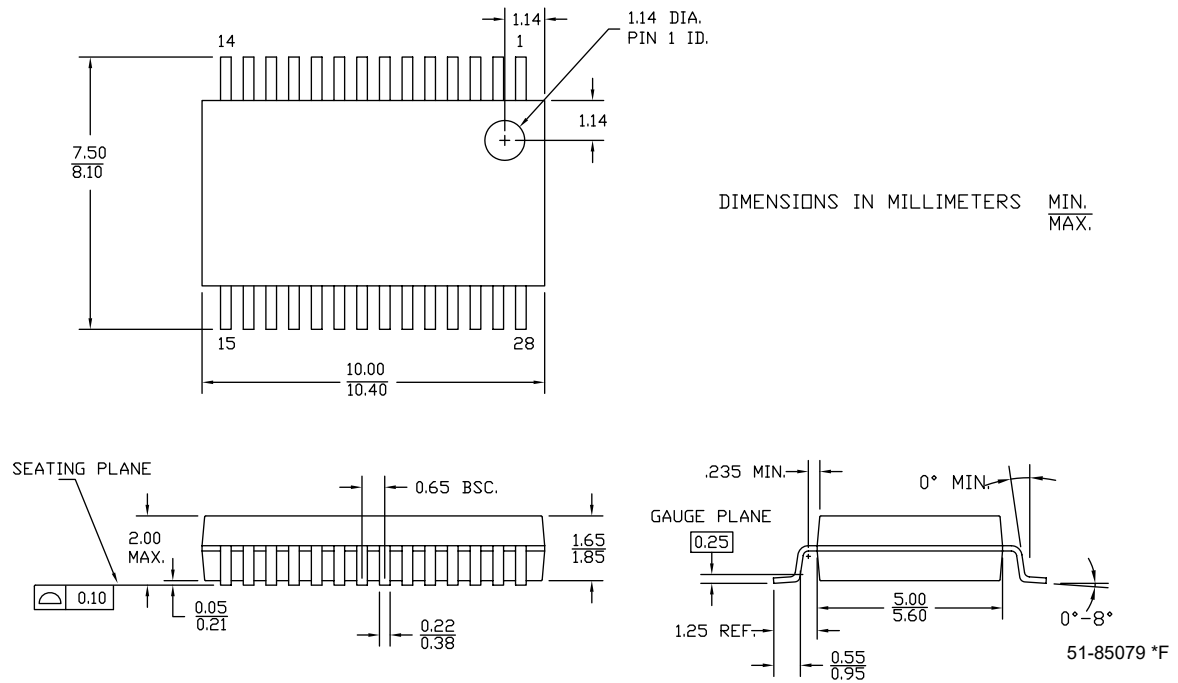
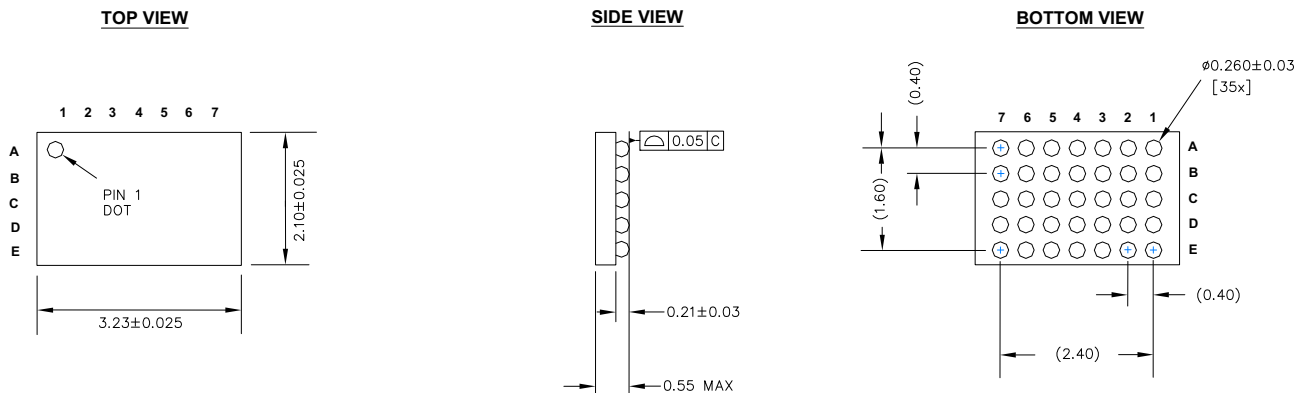


図 16. 35 ボール WLCSP パッケージ図

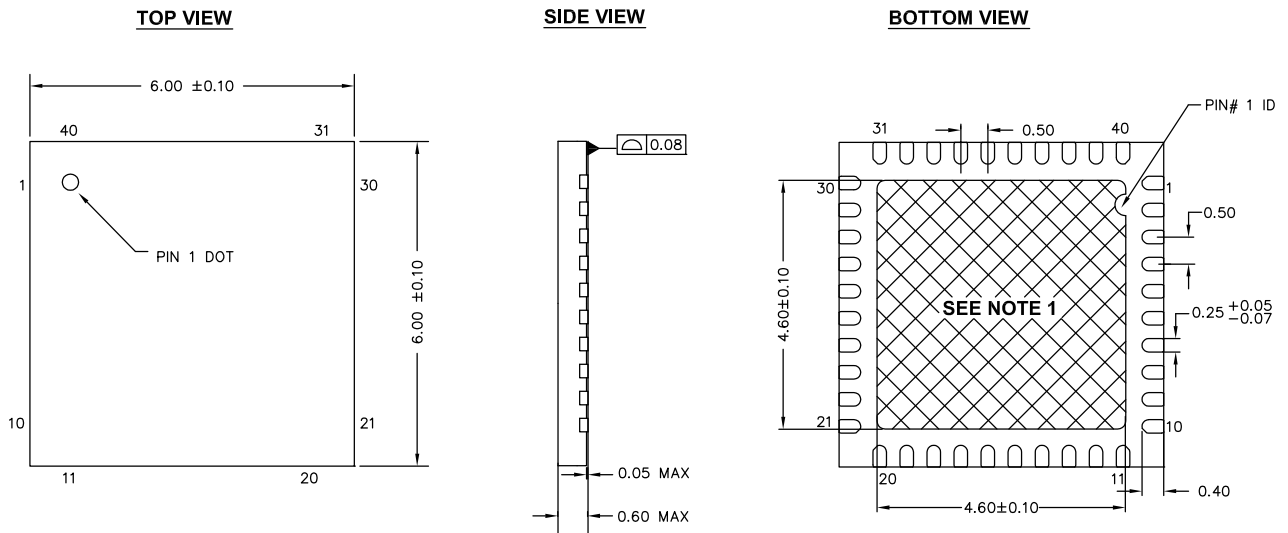


NOTES:


1. REFERENCE JEDEC PUBLICATION 95, DESIGN GUIDE 4.18
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-93741 **

図 17. 40 ピン QFN パッケージ図



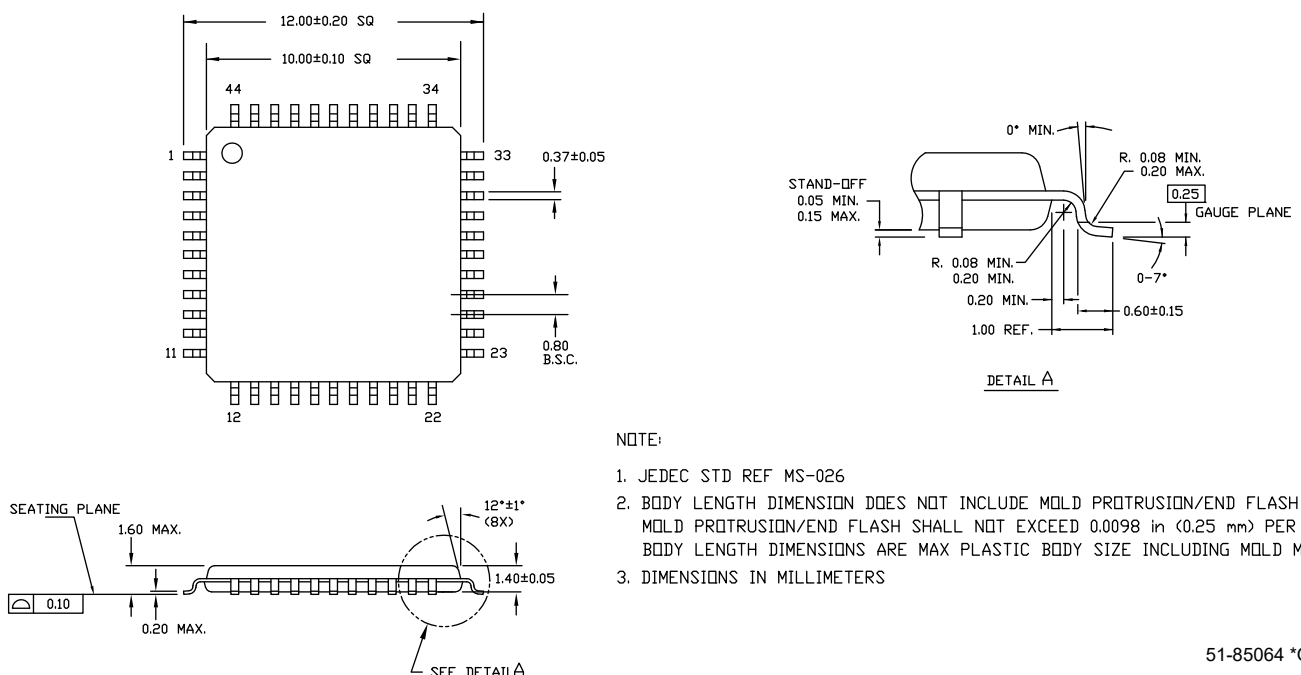
NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ± 2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-80659 *A

機械的、熱的、および電氣的に最適な性能を得るために、QFN パッケージ中央のパッドを必ずグランド (VSS) に接続してください。グランドに接続しないと、パッドは電氣的に開放され、どの信号にも接続されていない状態になります。

図 18. 44 ピン TQFP パッケージ図

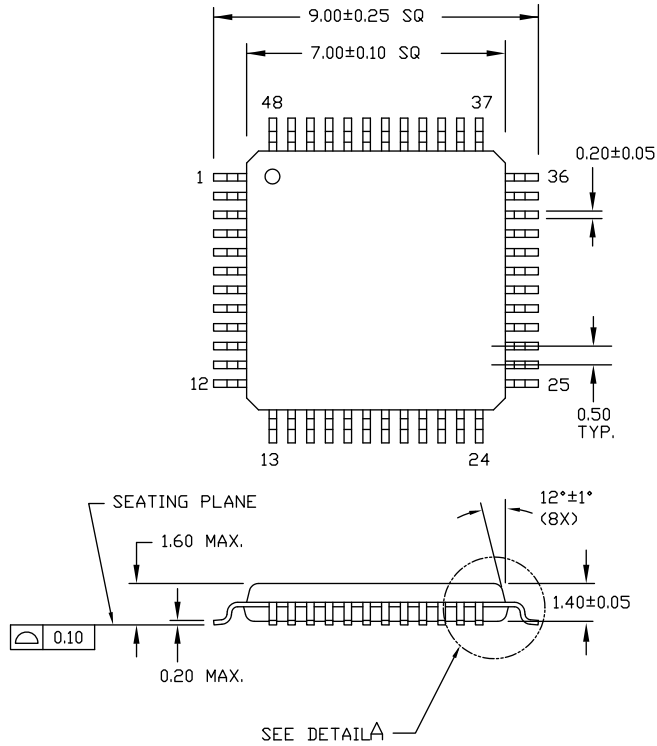


NOTE:

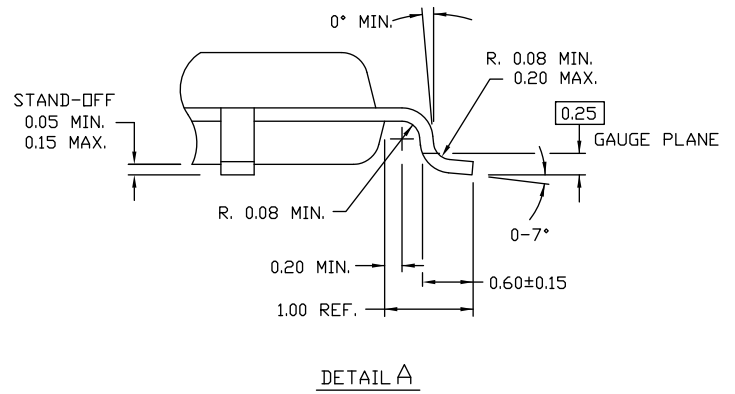
1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

51-85064 *G

図 19. 48 ピン TQFP パッケージ図



DIMENSIONS ARE IN MILLIMETERS



51-85135 °C

略語

表 43. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA (アドバンスド マイクロコントローラ バス アーキテクチャ) 高性能バス、Arm データ 転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケー ション プログラミング インターフェース)
APSR	application program status register (アプリケー ション プログラム ステータス レジスタ)
Arm®	advanced RISC machine (高度な RISC マシン)、CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラ エリア ネットワーク)、通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラー チェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ 変換器)。IDAC、VDAC を参照してください。
DFB	digital filter block (デジタル フィルター ブロック)
DIO	digital input/output (デジタル入出力)、アナログ なし、デジタル機能のみを持つ GPIO。GPIO を 参照してください。
DMIPS	Dhrystone million instructions per second (ドラストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アク セス)。TD を参照してください。
DNL	differential nonlinearity (微分非直線性)。INL を 参照してください。
DNU	do not use (未使用)
DR	port write data registers (ポート 書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)

表 43. 本書で使用する略語 (続き)

略語	説明
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専 用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。 IIR を参照してください。
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)、 PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割り込み)。LVI、 LVD を参照してください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC を参照 してください
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレー テッド サーキット)、通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。 FIR を参照してください。
ILO	internal low-speed oscillator (内部低速発振器)。 IMO を参照してください。
IMO	internal main oscillator (内部主発振器)。ILO を 参照してください。
INL	integral nonlinearity (積分非直線性)。DNL を参 照してください。
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO を参照してください。
IPOR	initial power-on reset (初期パワーオン リセット)
IPSR	interrupt program status register (割り込みプログラム ステータス レジスタ)

表 43. 本書で使用する略語 (続き)

略語	説明
IRQ	interrupt request (割り込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インターコ ネクト ネットワーク)、通信プロトコルの一種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。LVI を参照し てください。
LVI	low-voltage interrupt (低電圧割り込み)。HVI を 参照してください。
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスター入カスレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割り込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割り込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ)。WOL を参 照してください。
オペアンプ	operational amplifier (演算増幅器)
PAL	programmable array logic (プログラマブルアレ イ ロジック)。PLD を参照してください。
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブルゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割り込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブルロ ジック デバイス)。PAL を参照してください。
PLL	phase-locked loop (位相同期回路)
PMDD	package material declaration data sheet (パッケージ材質宣言データシート)
POR	power-on reset (パワーオン リセット)

表 43. 本書で使用する略語 (続き)

略語	説明
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータレジスタ)
PSoC [®]	Programmable System-on-Chip [™] (プログラマブル システム オン チップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (2 乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチド キャパシタ / 連続時間)
SCL	I ² C serial clock (I ² C シリアル クロック)
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	special input/output (特殊入出力)、高度機能 GPIO。GPIO を参照してください
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアル ペリフェラ ル インターフェース)、通信プロトコルの一種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ)、 テスト プロトコルの一種
SWV	single-wire viewer (シングル ワイヤ ビューアー)

表 43. 本書で使用する略語 (続き)

略語	説明
TD	transaction descriptor (トランザクション ディスクリプタ)。DMA を参照してください。
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (技術リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎用非同期トランスミッタ レシーバ)、通信プロトコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)、USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC)。DAC、IDAC を参照してください。
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (1 度しか書き込めないラッチ)。NVL を参照してください。
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

本書の表記法

測定単位

表 44. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラッド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラッド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラッド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

変更履歴

文書名 : PSoC® 4 : PSoC 4100 ファミリ データシートプログラマブル システムオンチップ (PSoC®) ドキュメント番号 : 002-00009			
版	ECN	発行日	変更内容
**	4928455	10/20/2015	これは英語版 001-87220 Rev. *E を翻訳した日本語版 002-00009 Rev. ** です。
*A	5768647	06/09/2017	P37 のパッケージ図 (51-85064 * G) を更新しました。 ロゴと著作権を更新しました。
*B	6791047	01/28/2020	これは英語版 001-87220 Rev. *J を翻訳した日本語版 002-00009 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#) ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

© Cypress Semiconductor Corporation, 2013-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含むものは、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が付属しておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためにのみ提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。