

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

概要

PSoC® 4 は、Arm® Cortex®-M0+ CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリー用の、拡張可能かつ再設定可能なプラットフォーム アーキテクチャです。プログラム可能かつ再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成しています。PSoC 4000S 製品ファミリは、PSoC 4 プラットフォーム アーキテクチャのメンバーです。これは、標準的な通信とタイミング パリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシング システム (CapSense)、プログラマブルな汎用の連続時間かつスイッチド キャパシタを備えたアナログ ブロック、およびプログラマブルな接続で構成されます。新しいアプリケーションと設計ニーズのために、PSoC 4000S 製品は PSoC 4 プラットフォームのメンバーとの完全な上位互換性があります。

特長

32 ビット MCU サブシステム

- シングルサイクル乗算を備えた 48MHz Arm Cortex-M0+ CPU
- 最大 32KB のフラッシュ メモリ、リード アクセラレータ付き
- 最大 4KB の SRAM

プログラマブル アナログ

- 静電容量センシング ブロックにより提供されるシングル スロープ 10 ビット ADC 機能
- 任意のピンでの汎用または静電容量センシング用途向けの電流 DAC (IDAC) 2 個
- 低消費電力コンパレータ (低消費電力のディープ スリープ モードで動作) 2 個

プログラマブル デジタル

入出力ポートでブール演算の実行を可能にするプログラマブル論理ブロック

低消費電力 (1.71V ~ 5.5V) 動作

- 動作可能なアナログと 2.5µA のデジタルシステム電流を有するディープ スリープ モード

静電容量センシング

- サイプレス CapSense シグマ デルタ (CSD) はクラス最高の信号対ノイズ比 (SNR) (>5:1) および耐水性を提供
- サイプレスが提供するソフトウェア コンポーネントが静電容量センシングの設計を容易化
- 自動のハードウェア チューニング (SmartSense™)

LCD 駆動力

- GPIO 上の LCD セグメント駆動能力

シリアル通信

- 2 個の独立した実行時再設定可能なシリアル通信ブロック (SCB)。I2C、SPI、または UART 機能を再設定可能。

タイミングおよびパルス幅の変調

- 5 個の 16 ビット タイマー/カウンタ/パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、および疑似ランダム モード
- モーター駆動やその他の信頼性の高いデジタル ロジック アプリケーション用キル信号のコンパレータ ベースのトリガー

最大 36 のプログラミング可能な GPIO ピン

- 48 ピン TQFP、40 ピン QFN、32 ピン QFN、24 ピン QFN、32 ピン TQFP、および 25 ボール WLCSP パッケージ
- すべての GPIO ピンは CapSense、アナログ、またはデジタルに対応
- 駆動モード、駆動力、およびスルー レートはプログラム可能

クロックソース

- 32kHz 時計用水晶発振器 (WCO)
- ±2% 内蔵主発振器 (IMO)
- 32kHz 内蔵低電力発振器 (ILO)

ModusToolbox™ ソフトウェア

- マルチプラットフォームツールとソフトウェアライブラリの包括的なコレクション
- ボードサポートパッケージ (BSP)、周辺機器ドライバライブラリ (PDL)、および CapSense などのミドルウェアを含む

PSoC Creator 設計環境

- 統合開発環境 (IDE) がアナログとデジタル自動配線を使用して回路図設計の入力とビルドを提供
- すべての固定機能およびプログラム可能なパリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント

業界標準のツールとの互換性

- 回路図のエントリ後、開発を Arm ベースの業界標準の開発ツールで行うことが可能

Development Ecosystem

PSoC 4 MCU Resources

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、迅速かつ効率的にデザインに統合する手助けをします。以下は PSoC 6 MCU のリソースの要約です。

- **概要**: PSoC ポートフォリオ、PSoC ロードマップ

- **製品セレクト**: PSoC 4 MCU

- **アプリケーション ノート**: 基本レベルから上級レベルまでの幅広いトピックを提供します。

- [AN79953: Getting Started With PSoC 4](#)
このアプリケーションノートは使用する IDE ([ModusToolbox™ Software](#) および [PSoC Creator](#)) の決定を助ける便利なフローチャートがあります。
- [AN91184: PSoC 4 Bluetooth LE - Designing Bluetooth LE Applications](#)
- [AN88619: PSoC 4 Hardware Design Considerations](#)
- [AN73854: Introduction To Bootloaders](#)
- [AN89610: Arm Cortex Code Optimization](#)
- [AN86233: PSoC 4 MCU Power Reduction Techniques](#)
- [AN57821: Mixed Signal Circuit Board Layout](#)
- [AN85951: PSoC 4 and PSoC 6 CapSense Design Guide](#)

- **サンプル コード**: 製品の機能と使用法を示します。[Cypress GitHub repositories](#) から利用可能です

- **テクニカル リファレンス マニュアル (TRM)**: PSoC 4 MCU アーキテクチャとレジスタの詳細な説明をします。

- **PSoC 4 MCU プログラミング仕様**: PSoC 4 MCU 不揮発性メモリのプログラムに必要な情報を提供します。

- **開発ツール**

- **ModusToolbox™ Software**: しっかりと一体化されたツールとソフトウェアライブラリによって、クロスプラットフォームコードの開発が可能です。
- **PSoC Creator** は無料の Windows ベースの IDE です。これにより、PSoC 3、PSoC 4、PSoC 5LP、および PSoC 6 MCU ベースのシステムのハードウェアとファームウェアの同時設計が可能です。アプリケーションは、回路図キャプチャと 150 を超える事前検証済みの本番環境対応の周辺機器コンポーネントを使用して作成されます。
- **CY8CKIT-145-40XX** PSoC 4000S CapSense プロトタイプキットは、低コストで使いやすい評価プラットフォームです。このキットを使用すると、ブレッドボード互換形式ですべてのデバイス I/O に簡単にアクセスできます。
- **MiniProg4** および **MiniProg3** はオールインワン開発プログラマーおよびデバッガです。
- **PSoC 4 CAD ライブラリ** は、一般的なツールに対応したフットプリントと回路図を提供します。**IBIS モデル** も使用できます。
- **トレーニング ビデオ**: PSoC 4 MCU 101 シリーズを含む、幅広いトピックを提供します。
- **Cypress Developer Community**: 世界中の PSoC 開発者と常時連絡 / 情報交換が可能です。[PSoC 4 MCU の専用コミュニティ](#) もあります。

ModusToolbox™ Software

ModusToolbox Software は、サイプレスのマルチプラットフォームツールとソフトウェアライブラリの包括的なコレクションであり、統合された MCU とワイヤレスシステムを作成するための没入型開発エクスペリエンスを可能にします。以下のとおりです。

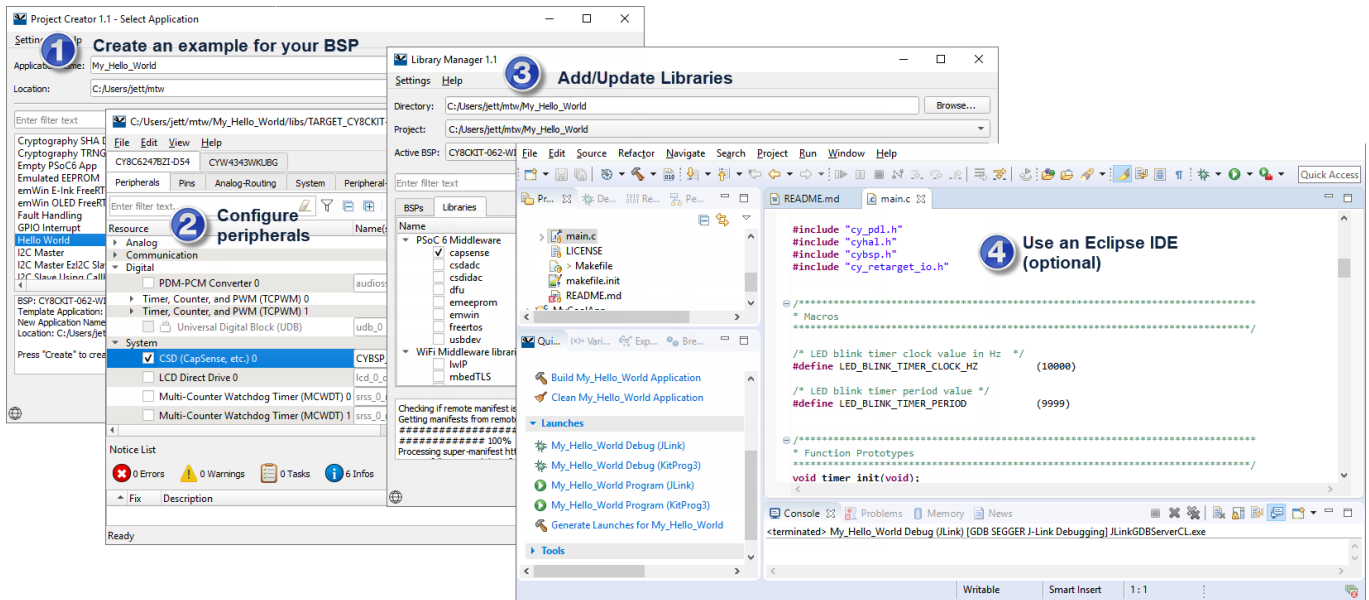
- 包括的 - 必要なリソースがあります
- 柔軟性 - 独自のワークフローでリソースを使用できます
- アトミック - 必要なリソースだけを取得できます

サイプレスは、[GitHub](#) での**コードリポジトリ**の大規模なコレクションを提供します。これは以下を含みます。

- サイプレスキットと連携したボードサポートパッケージ (BSP)
- ペリフェラルドライバライブラリ (PDL) を含む低レベルのリソース
- CapSense などの業界をリードする機能を可能にするミドルウェア
- 徹底的にテストされた [code sample application](#) 広範なセット

ModusToolbox Software は IDE に依存せず、ワークフローや推奨される開発環境に簡単に適応できます。[図 1](#) に示すように、プロジェクトクリエイター、ペリフェラルおよびライブラリコンフィギュレーター、ライブラリマネージャー、および ModusToolbox 用のオプションの EclipseIDE が含まれます。サイプレスツールの使用については、ModusToolbox software に付属のドキュメントおよび [AN79953: PSoC 4 入門](#)を参照してください。

図 1. ModusToolbox Software ツール

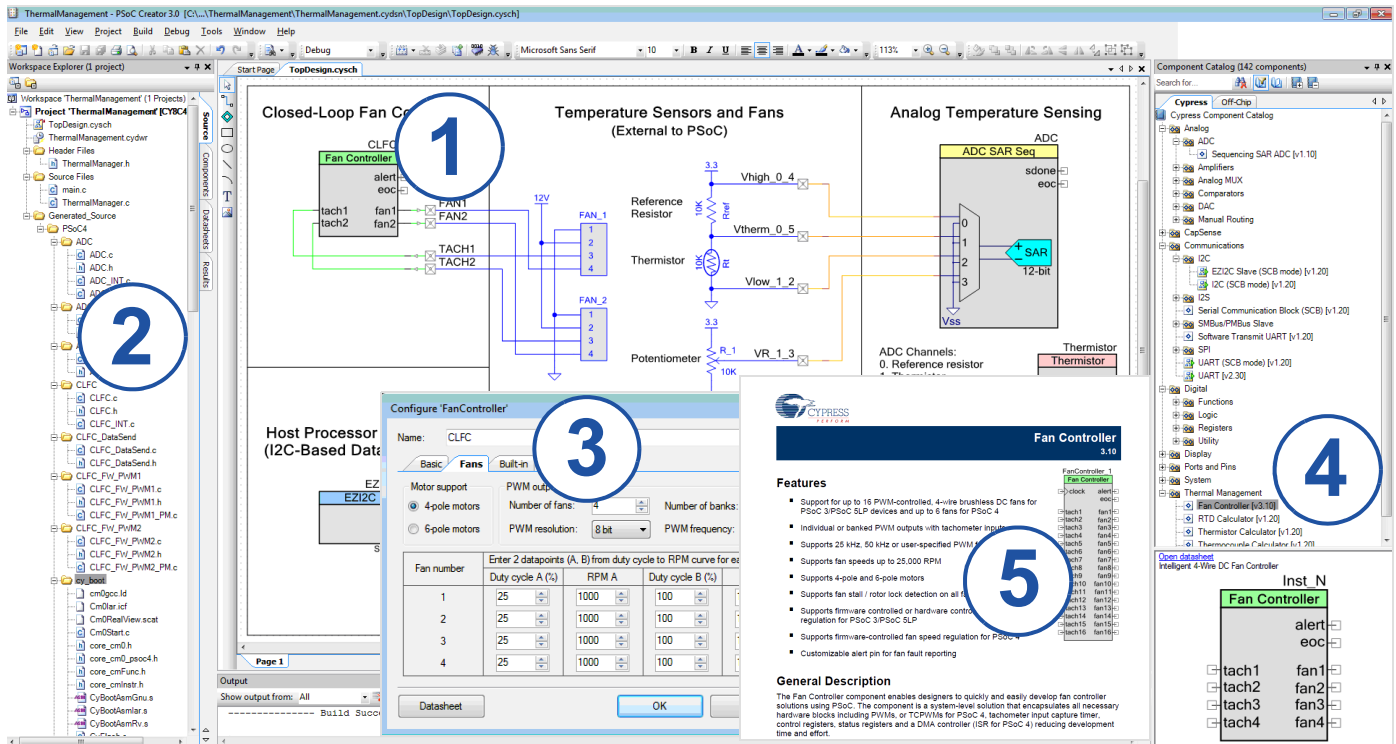


PSoC Creator

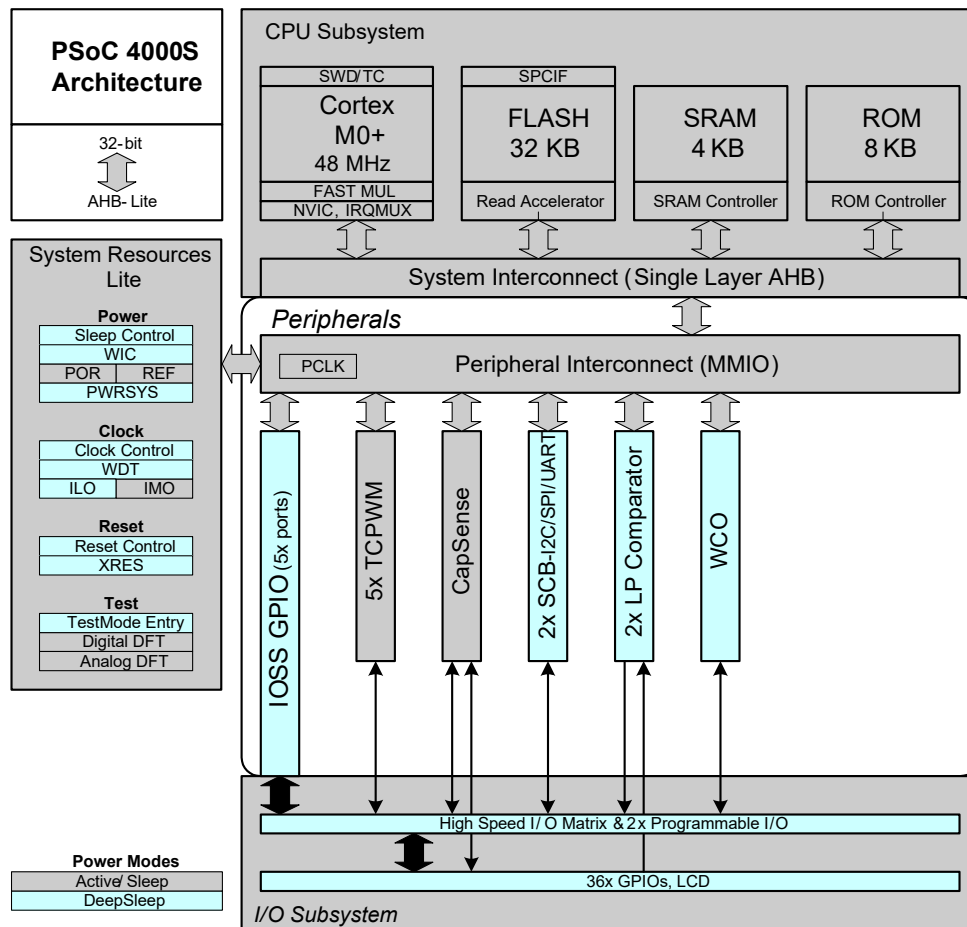
PSoC Creator は無料で利用できる Windows ベースの IDE です。このツールにより、お客様は PSoC 4 MCU のハードウェアとファームウェアシステムを同時に設計できます。図 2 に PSoC Creator でできることを示します。

1. コンポーネントアイコンをドラッグアンドドロップして、メイン デザイン ワークスペースでハードウェアシステム デザインを構築
2. PSoC Creator IDE C コンパイラを使用して、アプリケーションファームウェアを PSoC ハードウェアと共同設計します
3. コンフィギュレーション ツールを使ってコンポーネントを設定
4. 100 以上のコンポーネントを含むライブラリを利用
5. コンポーネントデータシートをレビュー
6. PSoC 4 Pioneer Kit でソリューションのプロトタイプを設計。設計変更が必要な場合、PSoC Creator およびそのコンポーネントにより、ハードウェアを改訂せずその場で変更を行えます。

図 2. PSoC Creator のマルチセンサーサンプルプロジェクト



論理ブロックダイアグラム



PSoC 4000S デバイスは、ハードウェアとファームウェアの両方のプログラム、テスト、デバッグ処理、配線に対する幅広いサポートを含みます。

Arm シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートします。

完全なデバッグ オン チップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグ処理が可能です。専用のインターフェースやデバッグ ポッド、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE は、PSoC 4000S デバイス用の完全に統合されたプログラミングおよびデバッグのサポートを提供します。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC 4000S ファミリーは、マルチチップ アプリケーション ソリューションまたはマイクロコントローラーでは不可能なセキュリティ レベルを提供します。

このファミリーは以下の利点を持ちます。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護
- お客様独自の機能がプログラマブル オンチップ ブロックで実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアで無効にできます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。デバッグ処理のファームウェア制御は、ファームウェアを消去しなければオーバーライドされず、結果セキュリティを向上させます。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュ プログラミング シーケンスを開始して割り込むことでセキュリティ システムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテスト インターフェースは無効にされます。そのため、デバイスセキュリティ機能が有効にされた PSoC 4000S は、不良解析に返されないことがあります。これは PSoC 4000S がカスタマーが行うようにするトレードオフです。

機能説明

PSoC 4000S デバイスは、ハードウェアとファームウェアの両方のプログラム、テスト、デバッグ処理、配線に対する幅広いサポートを含みます。

Arm シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートします。

完全なデバッグ オン チップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグ処理が可能です。専用のインターフェースやデバッグ ポッド、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE は、PSoC 4000S デバイス用の完全に統合されたプログラミングおよびデバッグのサポートを提供します。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC 4000S ファミリは、マルチチップ アプリケーション ソリューションまたはマイクロコントローラーでは不可能なセキュリティ レベルを提供します。

このファミリは以下の利点を持ちます。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護
- お客様独自の機能がプログラマブル オンチップ ブロックで実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアで無効にできます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。デバッグ処理のファームウェア制御は、ファームウェアを消去しなければオーバーライドされず、結果セキュリティを向上させます。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュ プログラミング シーケンスを開始して割り込むことでセキュリティ システムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテスト インターフェースは無効にされます。そのため、デバイスセキュリティ機能が有効にされた PSoC 4000S は、不良解析に返されないことがあります。これは PSoC 4000S がカスタマーが行うようにするトレードオフです。

目次

機能定義	8	デジタル ペリフェラル	22
CPUおよびメモリ サブシステム	8	メモリ	25
システム リソース	8	システム リソース	25
アナログ ブロック	9	注文情報	28
プログラマブル デジタル ブロック	9	パッケージ	30
固定機能デジタル	9	外形図	31
GPIO	10	略語	35
特殊機能ペリフェラル	10	本書の表記法	38
ピン配置	11	測定単位	38
代替えのピン機能	12	改訂履歴	39
電源	14	セールス、ソリューションおよび法律情報	40
モード1: 1.8V ~ 5.5Vの外部電源	14	ワールドワイドな販売と設計サポート	40
モード2: 1.8V ±5%の外部電源	14	製品	40
電氣的仕様	15	PSoC [®] ソリューション	40
絶対最大定格	15	サイプレス開発者コミュニティ	40
デバイス レベルの仕様	16	テクニカル サポート	40
アナログ ペリフェラル	19		

機能定義

CPU およびメモリ サブシステム

CPU

PSoC 4000S の Cortex-M0+ CPU は、広範なクロック ゲーティングにより低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットであり、CPU が Thumb-2 命令セットのサブセットを実行します。これは、8 つの割込み入力を備えたネスト型ベクタ割込みコントローラー (NVIC) ブロックとウェイクアップ割込みコントローラー (WIC) を含みます。WIC はディープ スリープ モードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープ モードにある時にメイン プロセッサへの電源を切れます。

CPU はまたデバッグインターフェイスも含みます。JTAG の 2 線式のシリアル ワイヤ デバッグ (SWD) インターフェイスです。PSoC 4000S に使用するデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PSoC 4000S デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために CPU と密結合された、フラッシュ アクセラレータ付きのフラッシュ モジュールを持ちます。低消費電力のフラッシュブロックは 48MHz で 2 ウェイト ステート (WS) アクセス時間を提供するように設計されます。フラッシュ アクセラレータは、平均してシングル サイクル SRAM のアクセス性能の 85% を提供します。

SRAM

48MHz でゼロ ウェイトステート (待ち状態なし) アクセスを備えた 4KB SRAM が提供されます。

SRAM

ブートおよびコンフィギュレーション ルーチンを含んでいる監視 ROM が提供されます。

システム リソース

電源システム

電源システムは 14 ページの 電源 の節で詳しく説明されます。これは電圧レベルがそれぞれのモードに対して必要なものであることを保証し、電圧レベルが適切な機能に必要な状態になるまでモードへの移行を遅延させる (例えば、パワーオン リセット (POR) 時) か、またはリセットを生成します (例えば、電圧低下検出時)。PSoC 4000S は、1.8V±5% (外部安定化) または 1.8V ~ 5.5V (内部安定化) の単一外部電源電圧で動作し、3 つの異なる電力モードがあり、これらのモード間の遷移が電源システムにより管理されます。PSoC 4000S は、アクティブ、スリープおよびディープ スリープ低消費電力モードを提供します。

すべてのサブシステムはアクティブモードで動作できます。CPU サブシステム (CPU、フラッシュ、SRAM) はスリープモードでクロックがゲート オフになりますが、すべてのペリフェラルと割込みはウェイクアップ イベントの時に瞬時ウェイクアップ機能によりアクティブになります。ディープスリープ モードでは、高速クロックおよび対応する回路がスイッチオフされます。このモードからの復帰するためには 35μs を要します。オペアンプはディープ スリープ モードで動作し続けられます。

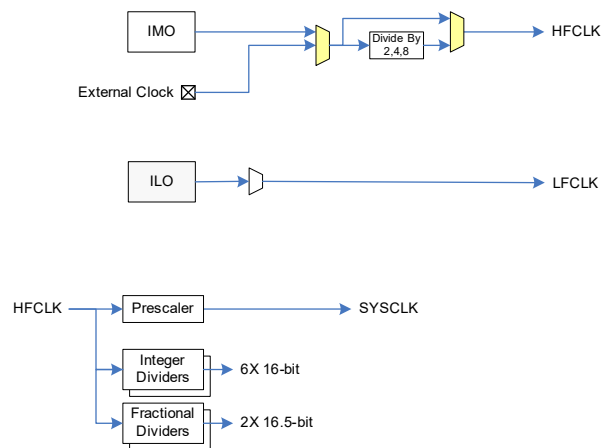
クロック システム

PSoC 4000S クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給することと、グリッチなしに異なるクロック ソース間で切り替えることを担当します。更に、クロック システムはメタステーブル状態が発生しないことを保証します。

PSoC 4000S のクロック システムは、内蔵主発振器 (IMO)、内蔵低周波数発振器 (ILO)、32kHz の時計用水晶発振器 (WCO) および外部クロック用の予備により構成されます。クロック分周器は微調整のレベルでペリフェラル用のクロックを生成するために提供されます。また、分数分周器はまた、UART 向けのより高いデータ転送速度のクロックを可能にするために提供されます。

HFCLK 信号はアナログとデジタル ペリフェラル用に同期クロックを生成するために分周させられます。PSoC 4000S には 8 個のクロック分周器を備えており、そのうち 2 個は分数分周器です。16 ビットの能力がよりきめ細かい周波数値を柔軟に生成することを可能にし、それは PSoC Creator で完全にサポートされます。

図 3. PSoC 4000S MCU のクロッキング アーキテクチャ



IMO クロック ソース

IMO は PSoC 4000S における内部クロックの主な供給ソースです。これはテスト中に、指定された精度を得るためにトリムされます。IMO のデフォルト周波数は 24MHz で、24 から 48MHz 間で 4MHz ステップで調整できます。サイプレスが提供する校正設定での IMO の許容誤差は ±2% です。

ILO クロック ソース

ILO は超低消費電力の 40kHz 発振器であり、ディープ スリープ モードでウォッチドッグ タイマー (WDT) とペリフェラルの動作にクロックを生成するために主に使用されます。ILO 駆動のカウンターは、精度を改善するために IMO に対して校正させられます。サイプレスは、校正を実行するソフトウェア コンポーネントを提供します。

時計用水晶発振器 (WCO)

PSoC 4000S クロック サブシステムはまた、高精度タイミングのアプリケーションに使用される低周波数発振器 (32kHz 時計用水晶) を実装します。WCO ブロックを使用すると、IMO を 32kHz 発振器にロックできます。PSoC 4000S シリーズデバイ

スの WCO は、LFCLK または WDT に接続しません。このため、RTC 機能はサポートされません。

ウォッチドッグ タイマー

ウォッチドッグ タイマーはILOから動作するクロックブロックに実装されます。これにより、ディープスリープでのウォッチドッグ動作を可能にし、設定されたタイムアウトが発生する前に処理されなかった場合にウォッチドッグリセットを生成します。ウォッチドッグ リセットは、ファームウェア読み出しが可能なリセット原因 (Reset Cause) レジスタに記録されます。

リセット

PSoC 4000S は、ソフトウェア リセットを含む様々なソースからリセットさせられます。リセット イベントは非同期であり、既知の状態への復帰を保証します。リセットの原因はレジスタに記録されます。そのレジスタはリセットをとおしてスティックで、ソフトウェアがリセットの原因を判断するのを可能にします。XRES ピンは、アクティブ LOW にアサートすることで外部リセット用に予約されます。XRES ピンには、常に有効になっている内部プルアップ抵抗があります。

基準電圧

PSoC 4000S リファレンス システムは、すべての内部で必要となる基準電圧を生成します。1.2V 基準電圧はコンパレータ用に提供されます。IDAC は $\pm 5\%$ 基準電圧を基準とします。

アナログ ブロック

低消費電力コンパレータ (LPC)

PSoC 4000S は、ディープ スリープ モードでも動作できる一対の低消費電力コンパレータを内蔵します。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながら、アナログ システム ブロックを無効にできます。コンパレータ出力は、準安定状態を避けるために通常同期化されます。ただし、システム ウェイクアップ回路がコンパレータの切り替えイベントによりアクティブになるような、非同期電力モードで動作している場合を除きます。LPC の出力はピンに接続できます。

電流 DAC

PSoC 4000S は、チップ上のすべてのピンを駆動できる 2 個の IDAC を備えます。これらの IDAC はプログラミング可能な電流範囲を持ちます。

アナログ マルチプレクサバス

PSoC 4000S はチップの周辺を回る 2 個の同心の独立したバスを備えます。これらのバス (amux バスと呼ばれる) はファームウェア プログラム可能なアナログスイッチに接続され、チップの内部リソース (IDAC、コンパレータ) を I/O ポートのいずれのピンにも接続可能にします。

プログラマブル デジタル ブロック

プログラマブルな I/O (スマート I/O) ブロックはスイッチと LUT の構造体であり、ブール関数が GPIO ポートの各ピンに配線された信号で実行されることを可能にします。スマート I/O は、論理演算をチップの入力ピンおよび出力として出る信号で実行できます。

固定機能デジタル

タイマー／カウンタ／PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーがプログラム可能な周期長の 16 ビット カウンタからなります。イベント (I/O イベントなど) 時にカウント値を記録するキャプチャレジスタ、そのカウントが周期レジスタのカウントに等しくなる時に停止するかまたは自動的にカウンタをリロードするために使用される周期レジスタ、そして PWM デューティ比出力として使用される比較値信号を生成するための比較レジスタがあります。このブロックはその両者間でプログラミング可能なオフセットを有する真の出力と相補出力も提供しており、デッドバンドプログラミング可能な相補 PWM 出力としての使用を可能にします。また、出力を事前に決定された状態に移行するキル (Kill) 入力もあります。例えば、モーター駆動システムで過電流状態が示され、FET を駆動している PWM をソフトウェア介入の時間が無いため直ちに止める必要がある時に、キル入力を使用されます。PSoC 4000S には 5 個の TCPWM ブロックがあります。

シリアル通信ブロック (SCB)

PSoC 4000S には 2 個のシリアル通信ブロックが備えられ、SPI、I2C または UART 機能を有するようにプログラムさせられます。

I²C モード：ハードウェア I²C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスターのアービトレーションが可能) を実装します。このブロックは、最大 1Mbps (高速モードプラス) で動作可能で、CPU 用の割り込みオーバーヘッドとレイテンシを削減するためのフレキシブルなバッファリング オプションがあります。このブロックはまた EZI2C に対応します。これは、PSoC 4000S のメモリでメールボックス アドレス範囲を作り、メモリのアレイに対する読み書きの I²C 通信を効果的に削減します。また、ブロックは送受信用に深さ 8 の FIFO にも対応します。これは、CPU がデータを読み出すために与えられた時間を増加することで、CPU が時間どおりに読み出しデータを取得しないことに起因するクロック ストレッチの必要性を大幅に低減します。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義されたとおり、I²C 標準モードならびにファスト モード デバイスと互換性があります。I²C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

PSoC 4000S は、以下の点では I²C 仕様に完全には準拠しません。

- GPIO セルは過電圧耐性がないため、I²C システムの残りの部分から独立してホットスワップされることや電源投入させられません。

UART モード：これは最大 1Mbps で動作するフル機能の UART です。これは、車載向けシングル ワイヤ インターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応します。これらはすべて基本 UART プロトコルから少し変化したものである。またこれは 9 ビット マルチプレクサ モードに対応し、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にします。パリティ エラー、ブレイク検出、フレーム エラーなどの共通の UART 機能がサポートされます。深さ 8 の FIFO は、より大きい CPU サービス レイテンシが許容されるようにします。

SPI モード：SPI モードは Motorola SPI、TI SSP (SPI コデックを同期化するために使用される開始パルスを追加)、National Microwire (半二重の SPI) に完全に対応します。SPI ブロックは FIFO を使用できます。

GPIO

PSoC 4000S は最大 36 本の GPIO を装備します。GPIO ブロックは以下のものを実装します。

- 8 種類の駆動モード：
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS あるいは LVTTTL)
- 駆動強度モードに加えて、入力と出力バッファの有効/無効の個別制御
- EMIを改善するためのdV/dt関連のノイズ制御用の選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 2 とポート 3 はより少ないビット幅です)。電源投入とリセットの時、ブロックは必ず無効状態に置かれ、入力が一切無いように、および/または電源投入時に過電流を生じることがないようにします。高速 I/O マトリックスとして知られている多重化ネットワークが、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

データ出力とピンステートレジスタはそれぞれ、ピン上で駆動される値とそれらピン自体の状態を格納します。

各 I/O ピンはそのようにイネーブルされた場合に割込みを生成でき、各 I/O ポートにはそれに対応する割込み要求 (IRQ) と割込みサービスルーチン (ISR) ベクタがあります (PSoC 4000S では、ベクタ数は 5 です)。

特殊機能ペリフェラル

CapSense

CapSense は、(アナログスイッチに接続された) アナログマルチプレクサバスを介してどのピンにも接続できる CapSense シグマデルタ (CSD) ブロックにより、PSoC 4000S でサポートされます。CapSense 機能はこのように、ソフトウェアで制御されるシステム内のいかなる使用可能なピンあるいはピングループに提供させられます。ユーザーの便宜のために、PSoC Creator コンポーネントが CapSense ブロック用に提供されます。

シールド電圧は、耐水機能を実現するために、他のマルチプレクサバス上で駆動させられます。耐水性は、シールド電極を検知電極と同位相で駆動して提供されます。その検知電極はシールド静電容量が検知された入力を減衰させることから防ぐためのものです。近接検知も実装できます。

CapSense ブロックは、2 個の IDAC を備えます。これらは、CapSense が使用されていない場合 (両方の IDAC とも使用可能)、または CapSense が耐水性を備えずに使用される場合 (どちらか一方の IDAC が使用可能)、一般用途に使用させられます。CapSense ブロックはまた、CapSense 機能と共に使用される 10 ビットのスロープ ADC 機能も提供します。

CapSense ブロックは、高度で低ノイズなプログラマブルなブロックで、感度と柔軟性を向上させるためのプログラマブル電圧の基準と電流ソースの範囲を有します。さらに、外部基準電圧も利用できます。それは、VDDA とグラウンドへのセンシングを交互に行う全波 CSD モードを有し、電源関連のノイズをゼロにします。

LCD セグメント駆動

PSoC 4000S は、最大 8 コモン信号と最大 28 セグメント信号を駆動できる、LCD コントローラーを内蔵します。フルデジタル方法を使用して LCD セグメントを駆動します。内部 LCD 電圧を生成する必要はありません。2 つの方法は、デジタル相関と PWM と呼ばれます。デジタル相関はコモンとセグメント信号の周波数と駆動レベルの変調に関連し、セグメントの全域で最高 RMS 電圧を生成して、セグメントを点灯させるかまたは RMS 信号を 0 に維持します。この方法は STN ディスプレイに適しますが、(より安い) TN ディスプレイに対してはコントラストを減らすことがあります。PWM は PWM 信号を有するパネルの駆動に関連し、パネルの静電容量を効率的に使用して変調されたパルス幅の積分を提供し、所望の LCD 電圧を生成します。この方法は消費電力を増加しますが、TN ディスプレイを駆動する際にはより良い結果を出します。

ピン配置

下表に、PSoC 4000S の 48 ピン TQFP、32 ピン QFN、40 ピン QFN、24 ピン QFN、32 ピン TQFP、および 25 ボール CSP パッケージ用のピン一覧を示します。すべてのポート ピンは GPIO に対応します。ピン 11 は 48-TQFP では非接続です。

表 1. PSoC 4000S ピン一覧

48 ピン TQFP		32 ピン QFN		24 ピン QFN		25 ボール CSP		40ピンQFN		32 ピン TQFP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
28	P0.0	17	P0.0	13	P0.0	D1	P0.0	22	P0.0	17	P0.0
29	P0.1	18	P0.1	14	P0.1	C3	P0.1	23	P0.1	18	P0.1
30	P0.2	19	P0.2					24	P0.2	19	P0.2
31	P0.3	20	P0.3					25	P0.3	20	P0.3
32	P0.4	21	P0.4	15	P0.4	C2	P0.4	26	P0.4	21	P0.4
33	P0.5	22	P0.5	16	P0.5	C1	P0.5	27	P0.5	22	P0.5
34	P0.6	23	P0.6	17	P0.6	B1	P0.6	28	P0.6	23	P0.6
35	P0.7					B2	P0.7	29	P0.7		
36	XRES	24	XRES	18	XRES	B3	XRES	30	XRES	24	XRES
37	VCCD	25	VCCD	19	VCCD	A1	VCCD	31	VCCD	25	VCCD
38	VSSD	26	VSSD	20	VSSD	A2	VSS			26	VSSD
39	VDDD	27	VDD	21	VDD	A3	VDD	32	VDDD	27	VDD
40	VDDA	27	VDD	21	VDD	A3	VDD	33	VDDA	27	VDD
41	VSSA	28	VSSA	22	VSSA	A2	VSS	34	VSSA	28	VSSA
42	P1.0	29	P1.0					35	P1.0	29	P1.0
43	P1.1	30	P1.1					36	P1.1	30	P1.1
44	P1.2	31	P1.2	23	P1.2	A4	P1.2	37	P1.2	31	P1.2
45	P1.3	32	P1.3	24	P1.3	B4	P1.3	38	P1.3	32	P1.3
46	P1.4							39	P1.4		
47	P1.5										
48	P1.6										
1	P1.7	1	P1.7	1	P1.7	A5	P1.7	40	P1.7	1	P1.7
2	P2.0	2	P2.0	2	P2.0	B5	P2.0	1	P2.0	2	P2.0
3	P2.1	3	P2.1	3	P2.1	C5	P2.1	2	P2.1	3	P2.1
4	P2.2	4	P2.2					3	P2.2	4	P2.2
5	P2.3	5	P2.3					4	P2.3	5	P2.3
6	P2.4							5	P2.4		
7	P2.5	6	P2.5					6	P2.5	6	P2.5
8	P2.6	7	P2.6	4	P2.6	D5	P2.6	7	P2.6	7	P2.6
9	P2.7	8	P2.7	5	P2.7	C4	P2.7	8	P2.7	8	P2.7
10	VSSD					A2	VSS	9	VSSD		
12	P3.0	9	P3.0	6	P3.0	E5	P3.0	10	P3.0	9	P3.0
13	P3.1	10	P3.1			D4	P3.1	11	P3.1	10	P3.1
14	P3.2	11	P3.2	7	P3.2	E4	P3.2	12	P3.2	11	P3.2
16	P3.3	12	P3.3	8	P3.3	D3	P3.3	13	P3.3	12	P3.3
17	P3.4							14	P3.4		
18	P3.5							15	P3.5		
19	P3.6							16	P3.6		

48 ピン TQFP		32 ピン QFN		24 ピン QFN		25 ボール CSP		40ピンQFN		32 ピン TQFP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
20	P3.7							17	P3.7		
21	VDDD										
22	P4.0	13	P4.0	9	P4.0	E3	P4.0	18	P4.0	13	P4.0
23	P4.1	14	P4.1	10	P4.1	D2	P4.1	19	P4.1	14	P4.1
24	P4.2	15	P4.2	11	P4.2	E2	P4.2	20	P4.2	15	P4.2
25	P4.3	16	P4.3	12	P4.3	E1	P4.3	21	P4.3	16	P4.3

注：ピン 11、15、26、および 27 は、48 ピン TQFP の接続なし (NC) です。

ピン機能の説明は以下のとおりです。

VDDD: デジタル セクション用の電源。

VDDA: アナログ セクション用の電源。

VSSD、**VSSA**: デジタルとアナログ セクションそれぞれのグランド ピン。

VCCD: 安定化デジタル電源 (1.8V \pm 5%)

VDD: チップのすべてのセクションへの電源。

VSS: チップのすべてのセクション用のグランド。

代替えのピン機能

各ポート ピンは多機能の 1 つに割り当てられます。例えばアナログ I/O、デジタル ペリフェラル機能、LCD ピン、あるいは CapSense ピンなどがあります。ピンの割り当てを以下の表に示します。

表 2. ピン割り当て

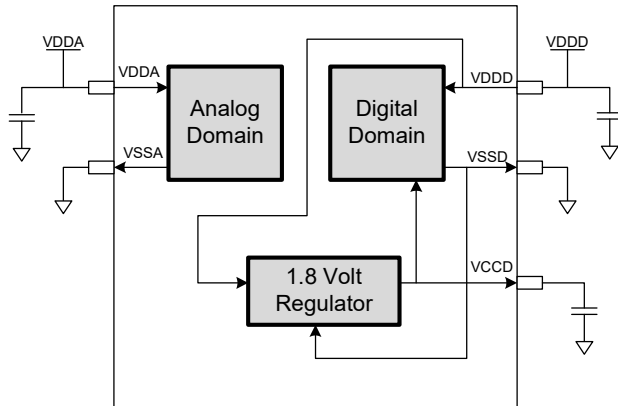
ポート / ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	ディープ スリープ 1	ディープ スリープ 2
P0.0	lpcomp.in_p[0]				tcpwm.tr_in[0]		scb[0].spi_select1:0
P0.1	lpcomp.in_n[0]				tcpwm.tr_in[1]		scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]						
P0.4	wco.wco_in			scb[1].uart_rx:0		scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco.wco_out			scb[1].uart_tx:0		scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6			srss.ext_clk	scb[1].uart_cts:0			scb[1].spi_clk:1
P0.7				scb[1].uart_rts:0			scb[1].spi_select0:1
P1.0			tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1			tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2			tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]		scb[0].spi_clk:1
P1.3			tcpwm.line_compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]		scb[0].spi_select0:1
P1.4							scb[0].spi_select1:1
P1.5							scb[0].spi_select2:1
P1.6							scb[0].spi_select3:1
P1.7							

ポート / ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	ディープスリープ 1	ディープスリープ 2
P2.0		prgio[0].io[0]	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1		prgio[0].io[1]	tcpwm.line_compl[4]:0		tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2		prgio[0].io[2]					scb[1].spi_clk:2
P2.3		prgio[0].io[3]					scb[1].spi_select0:2
P2.4		prgio[0].io[4]	tcpwm.line[0]:1				scb[1].spi_select1:1
P2.5		prgio[0].io[5]	tcpwm.line_compl[0]:1				scb[1].spi_select2:1
P2.6		prgio[0].io[6]	tcpwm.line[1]:1				scb[1].spi_select3:1
P2.7		prgio[0].io[7]	tcpwm.line_compl[1]:1			lpcomp.comp[0]:1	
P3.0		prgio[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1		scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1		prgio[1].io[1]	tcpwm.line_compl[0]:0	scb[1].uart_tx:1		scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2		prgio[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts:1		cpuss.swd_data	scb[1].spi_clk:0
P3.3		prgio[1].io[3]	tcpwm.line_compl[1]:0	scb[1].uart_rts:1		cpuss.swd_clk	scb[1].spi_select0:0
P3.4		prgio[1].io[4]	tcpwm.line[2]:0		tcpwm.tr_in[6]		scb[1].spi_select1:0
P3.5		prgio[1].io[5]	tcpwm.line_compl[2]:0		tcpwm.tr_in[7]		scb[1].spi_select2:0
P3.6		prgio[1].io[6]	tcpwm.line[3]:0		tcpwm.tr_in[8]		scb[1].spi_select3:0
P3.7		prgio[1].io[7]	tcpwm.line_compl[3]:0		tcpwm.tr_in[9]	lpcomp.comp[1]:1	
P4.0	csd.vref_ext			scb[0].uart_rx:0	tcpwm.tr_in[10]	scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshieldpads			scb[0].uart_tx:0	tcpwm.tr_in[11]	scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmodpad			scb[0].uart_cts:0		lpcomp.comp[0]:0	scb[0].spi_clk:0
P4.3	csd.csh_tank			scb[0].uart_rts:0		lpcomp.comp[1]:0	scb[0].spi_select0:0

電源

以下の電源システム図は、PSoC 4000S 用に実装された電源ピンのセットを示します。システムには、アクティブ モードで動作するデジタル回路用レギュレータがあります。アナログレギュレータはありません。アナログ回路は V_{DD} 入力から直接動作します。

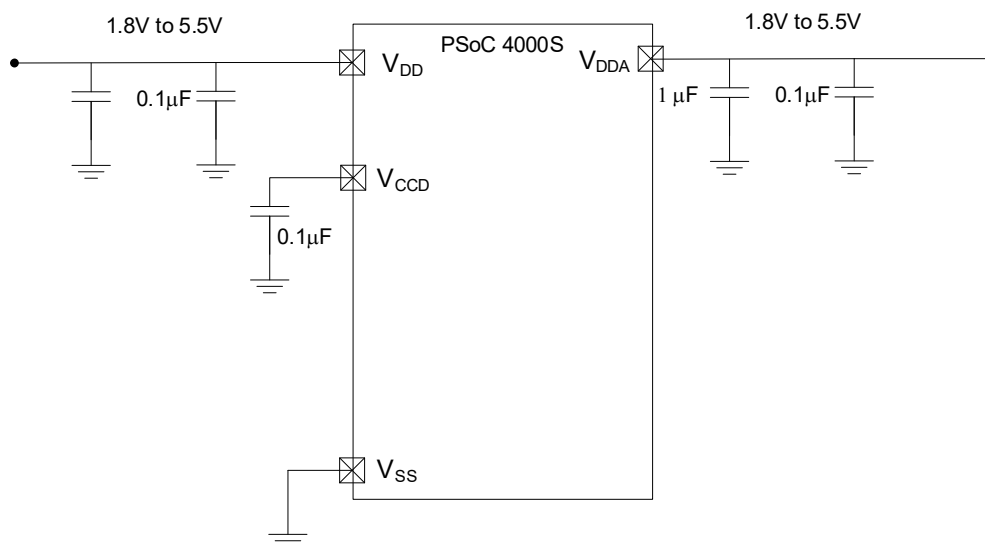
図 4. 電源接続



次の 2 つの別個の動作モードがあります。モード 1 では、供給電圧範囲は 1.8V ~ 5.5V (外部レギュレーションなし; 内部レギュレータは動作可能) です。モード 2 では、供給電圧範囲は 1.8V \pm 5% (外部レギュレーションあり; 1.71 ~ 1.89、内部レギュレータはバイパスされる) です。

図 5. 内部レギュレータがアクティブでの 1.8V ~ 5.5V の外部電源範囲

Power supply bypass connections example



モード 1: 1.8V ~ 5.5V の外部電源

このモードでは、PSoC 4000S は 1.8V ~ 5.5V の任意の外部電源から電源供給されます。この範囲はバッテリー駆動動作にも設計されます。例えば、チップは、3.5V に始まって 1.8V に低減するバッテリー システムから電源供給されることが可能です。このモードでは、PSoC 4000S の内部レギュレータが内部ロジックに電源を供給し、その出力は V_{CCD} ピンに接続されます。 V_{CCD} ピンは外部コンデンサ (0.1µF; X5R セラミックまたはこれより良質のもの) を経由してグラウンドにバイパスされなければならず、他のどれにも接続してはいけません。

モード 2: 1.8V \pm 5% の外部電源

このモードでは、PSoC 4000S は外部電源から電源供給され、それは 1.71V ~ 1.89V の範囲である必要があります。この範囲は電源リップルも含む必要があることに注意してください。このモードで、VDD ピンと V_{CCD} ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効化させられます。

バイパス コンデンサは、VDDD からグラウンドの間で使用される必要があります。この周波数範囲でのシステムの標準的な実践としては、1µF レンジのコンデンサをより小さいコンデンサ (例えば、0.1µF) と並列で使用します。これらは単に経験則であり、重要なアプリケーションに対しては、設計のためと最適なバイパスを得るために、PCB レイアウト、リード インダクタンス、バイパス コンデンサ寄生容量をシミュレートする必要がありますことに留意してください。

バイパススキームの例を以下の図に示します。

電氣的仕様

絶対最大定格

表 3. 絶対最大定格^[1]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID1	V _{DDD_ABS}	V _{SS} を基準としたデジタル電源	−0.5	−	6	V	−
SID2	V _{CCD_ABS}	V _{SS} を基準とした直接デジタル コア電圧入力	−0.5	−	1.95		−
SID3	V _{GPIO_ABS}	GPIO 電圧	−0.5	−	V _{DD} +0.5		−
SID4	I _{GPIO_ABS}	GPIO ごとの最大電流	−25	−	25	mA	−
SID5	I _{GPIO_injection}	GPIO 注入電流、V _{IH} > V _{DDD} の場合は Max、 V _{IL} < V _{SS} の場合は Min	−0.5	−	0.5		ピンごとの注入 された電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	−	−	V	−
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	−	−		−
BID46	LU	ラッチアップ時のピン電流	−140	−	140	mA	−

注：

- 表 3 に記載される絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様どおりに動作しない可能性があります。

デバイス レベルの仕様

すべての仕様は、特に注記した場合を除いて、 $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 125^{\circ}\text{C}$ の条件で有効です。仕様は注記した場合を除いて 1.71V ~ 5.5V において有効です。

表 4. DC 仕様

Typ 値は 25°C で、 $V_{DD} = 3.3\text{V}$ で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID53	V _{DD}	電源供給入力電圧	1.8	－	5.5	V	内部的に安定化された電源
SID255	V _{DD}	電源供給入力電圧 (V _{CCD} = V _{DD} = V _{DDA})	1.71	－	1.89		内部的に安定化されない電源
SID54	V _{CCD}	出力電圧 (コア ロジック用)	－	1.8	－		－
SID55	C _{EFC}	外部レギュレータ電圧バイパス	－	0.1	－	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源供給バイパス コンデンサ	－	1	－		X5R セラミックまたはこれより良質のもの
アクティブ モード、V _{DD} = 1.8V ～ 5.5V。標準値は 25°C、V _{DD} = 3.3V で測定							
SID10	I _{DD5}	フラッシュから実行；CPU 速度が 6MHz	－	1.2	2.0	mA	－
SID16	I _{DD8}	フラッシュから実行；CPU 速度が 24MHz	－	2.4	4.0		－
SID19	I _{DD11}	フラッシュから実行；CPU 速度が 48MHz	－	4.6	5.9		－
スリープ モード、V _{DDD} = 1.8V ～ 5.5V (レギュレータが有効)							
SID22	I _{DD17}	I ² C ウェイクアップ WDT、およびコンパレータが有効	－	1.1	1.6	mA	6MHz
SID25	I _{DD20}	I ² C ウェイクアップ、WDT、およびコンパレータが有効	－	1.4	1.9		12MHz
スリープ モード、V _{DDD} = 1.71V ～ 1.89V (レギュレータ バイパス)							
SID28	I _{DD23}	I ² C ウェイクアップ、WDT、およびコンパレータが有効	－	0.7	0.9	mA	6MHz
SID28A	I _{DD23A}	I ² C ウェイクアップ、WDT、およびコンパレータが有効	－	0.9	1.1	mA	12MHz
ディープスリープ モード、V _{DD} = 1.8V ～ 3.6V (レギュレータが有効)							
SID31	I _{DD26}	I ² C ウェイクアップと WDT が有効	－	2.5	60	μA	－
ディープスリープ モード、V _{DD} = 3.6V ～ 5.5V (レギュレータが有効)							
SID34	I _{DD29}	I ² C ウェイクアップと WDT が有効	－	2.5	60	μA	－
ディープスリープ モード、V _{DD} = V _{CCD} = 1.71V ～ 1.89V (レギュレータはバイパスされる)							
SID37	I _{DD32}	I ² C ウェイクアップと WDT が有効	－	2.5	60	μA	－
XRES 電流							
SID307	I _{DD_XR}	XRES がアサートされている間の供給電流	－	2	5	mA	－

表 5. AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID48	F_{CPU}	CPU 周波数	DC	–	48	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 ^[2]	T_{SLEEP}	スリープ モードからのウェイクアップ	–	0	–	μs	–
SID50 ^[2]	$T_{\text{DEEPSLEEP}}$	ディープスリープ モードからのウェイクアップ	–	35	–		–

注:

2. 特性評価で保証されています。

GPIO
表 6. GPIO の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID57	$V_{IH}^{[3]}$	入力電圧 HIGH 閾値	$0.7 \times V_{DDD}$	–	–	V	CMOS 入力
SID58	V_{IL}	入力電圧 LOW 閾値	–	–	$0.3 \times V_{DDD}$		CMOS 入力
SID241	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} < 2.7V$	$0.7 \times V_{DDD}$	–	–		–
SID242	V_{IL}	LVTTL 入力、 $V_{DDD} < 2.7V$	–	–	$0.3 \times V_{DDD}$		–
SID243	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	2.0	–	–		–
SID244	V_{IL}	LVTTL 入力、 $V_{DDD} \geq 2.7V$	–	–	0.8		–
SID59	V_{OH}	出力電圧 HIGH レベル	$V_{DDD} - 0.6$	–	–		$V_{DDD} = 3V$ の時、 $I_{OH} = 4mA$
SID60	V_{OH}	出力電圧 HIGH レベル	$V_{DDD} - 0.5$	–	–		$V_{DDD} = 3V$ の時、 $I_{OH} = 1mA$
SID61	V_{OL}	出力電圧 LOW レベル	–	–	0.6		$V_{DDD} = 1.8V$ の時、 $I_{OL} = 4mA$
SID62	V_{OL}	出力電圧 LOW レベル	–	–	0.6		$V_{DDD} = 3V$ の時、 $I_{OL} = 10mA$
SID62A	V_{OL}	出力電圧 LOW レベル	–	–	0.4		$V_{DDD} = 3V$ の時、 $I_{OL} = 3mA$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	k Ω	–
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5		–
SID65	I_{IL}	入力リーク電流 (絶対値)	–	–	2	nA	25°C、 $V_{DDD} = 3.0V$
SID66	C_{IN}	入力静電容量	–	–	7	pF	–
SID67 ^[4]	V_{HYSTTL}	入力ヒステリシス LVTTL	25	40	–	mV	$V_{DDD} \geq 2.7V$
SID68 ^[4]	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	–	–		$V_{DD} < 4.5V$
SID68A ^[4]	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	–	–		$V_{DD} > 4.5V$
SID69 ^[4]	I_{DIODE}	保護ダイオードを通して V_{DD} / V_{SS} に流れる電流	–	–	100	μA	–
SID69A ^[4]	I_{TOT_GPIO}	ソースまたはチップのシンク電流の合計最大値	–	–	200	mA	–

注：

3. V_{IH} は $V_{DDD} + 0.2V$ を超えてはいけません。
4. 特性評価で保証されています。

表 7. GPIO AC 仕様

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T _{RISEF}	高速ストロング モードでの立ち上り時間	2	–	12	ns	3.3V V _{DDD} 、Load = 25pF
SID71	T _{FALLF}	高速ストロング モードでの立ち下り時間	2	–	12		3.3V V _{DDD} 、Load = 25pF
SID72	T _{RISES}	低速ストロング モードでの立ち上り時間	10	–	60	–	3.3V V _{DDD} 、Load = 25pF
SID73	T _{FALLS}	低速ストロング モードでの立ち下り時間	10	–	60	–	3.3V V _{DDD} 、Load = 25pF
SID74	F _{GPIOOUT1}	GPIO F _{OUT} ; 3.3V ≤ V _{DDD} ≤ 5.5V 高速ストロング モード	–	–	33	MHz	90/10%、負荷 25pF、 デューティ サイクル 60/40
SID75	F _{GPIOOUT2}	GPIO F _{OUT} ; 1.71V ≤ V _{DDD} ≤ 3.3V 高速ストロング モード	–	–	16.7		90/10%、負荷 25pF、 デューティ サイクル 60/40
SID76	F _{GPIOOUT3}	GPIO F _{OUT} ; 3.3V ≤ V _{DDD} ≤ 5.5V 低速ストロング モード	–	–	7		90/10%、負荷 25pF、 デューティ サイクル 60/40
SID245	F _{GPIOOUT4}	GPIO F _{OUT} ; 1.71V ≤ V _{DDD} ≤ 3.3V 低速ストロング モード	–	–	3.5		90/10%、負荷 25pF、 デューティ サイクル 60/40
SID246	F _{GPIOIN}	GPIO の入力動作周波数 ; 1.71V ≤ V _{DDD} ≤ 5.5V	–	–	48		90/10% V _{IO}

XRES
表 8. XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V _{IH}	入力電圧 HIGH 閾値	0.7 × V _{DDD}	–	–	V	CMOS 入力
SID78	V _{IL}	入力電圧 LOW 閾値	–	–	0.3 × V _{DDD}		
SID79	R _{PULLUP}	プルアップ抵抗	–	60	–	kΩ	–
SID80	C _{IN}	入力静電容量	–	–	7	pF	–
SID81 ^[5]	V _{HYSXRES}	入力ヒステリシス電圧	–	100	–	mV	V _{DD} > 4.5V 時の標準 ヒステリシス電圧が 200mV
SID82	I _{DIODE}	保護ダイオードを通して V _{DD} /V _{SS} に流れる電流	–	–	100	μA	–

表 9. XRES AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID83 ^[5]	T _{RESETWIDTH}	リセット パルス幅	1	–	–	μs	–
BID194 ^[5]	T _{RESETWAKE}	リセット 解除時からのウェイク アップ時間	–	–	2.7	ms	–

注:

5. 特性評価で保証されています。

アナログ ペリフェラル
コンパレータ
表 10. コンパレータ DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID84	V_{OFFSET1}	入力オフセット電圧 (工場出荷時トリム)	–	–	± 10	mV	–
SID85	V_{OFFSET2}	入力オフセット電圧 (カスタムトリム)	–	–	± 4		–
SID86	V_{HYST}	有効時のヒステリシス	–	10	35		–
SID87	V_{ICM1}	通常モードでの入力同相電圧	0	–	$V_{\text{DDD}} - 0.1$	V	モード 1 および モード 2
SID247	V_{ICM2}	低消費電力モードでの入力同相電圧	0	–	V_{DDD}		–
SID247A	V_{ICM3}	超低消費電力モードでの入力同相電圧	0	–	$V_{\text{DDD}} - 1.15$		-40°C で $V_{\text{DDD}} \geq 2.2\text{V}$
SID88	C_{MRR}	同相信号除去比	50	–	–	dB	$V_{\text{DDD}} \geq 2.7\text{V}$
SID88A	C_{MRR}	同相信号除去比	42	–	–		$V_{\text{DDD}} \leq 2.7\text{V}$
SID89	I_{CMP1}	ブロック電流、通常モード	–	–	400	μA	–
SID248	I_{CMP2}	ブロック電流、低消費電力モード	–	–	100		–
SID259	I_{CMP3}	ブロック電流、超低消費電力モード	–	6	28		-40°C で $V_{\text{DDD}} \geq 2.2\text{V}$
SID90	Z_{CMP}	コンパレータの DC 入力インピーダンス	35	–	–	M Ω	–

表 11. コンパレータの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID91	TRESP1	応答時間、通常モード、50mV オーバードライブ	–	38	110	ns	–
SID258	TRESP2	応答時間、低消費電力モード、50mV オーバードライブ	–	70	200		–
SID92	TRESP3	応答時間、超低消費電力モード、200mV オーバードライブ	–	2.3	15	μs	-40°C で $V_{\text{DDD}} \geq 2.2\text{V}$

CSD および IDAC

表 12. CSD および IDAC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SYS.PER#3	VDD_RIPPLE	10MHz での DC 電源の最大許容リップル	–	–	±50	mV	$V_{DD} > 2V$ (リップルあり)、 $T_A = 25^\circ C$ 、感度 = 0.1pF
SYS.PER#16	VDD_RIPPLE_1.8	10MHz での DC 電源の最大許容リップル	–	–	±25	mV	$V_{DD} > 1.75V$ (リップルあり)、 $T_A = 25^\circ C$ 、寄生容量 (C_P) < 20pF、感度 ≥ 0.4pF
SID.CSD.BLK	ICSD	最大ブロック電流	–	–	4000	μA	コンパレータ、バッファおよび基準発生器を含む動的 (スイッチング) モードの両方 IDAC の最大ブロック電流
SID.CSD#15	V _{REF}	CSD およびコンパレータ用の基準電圧	0.6	1.2	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID.CSD#15A	VREF_EXT	CSD およびコンパレータ用の外部基準電圧	0.6		$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1 (7 ビット) ブロック電流	–	–	1750	μA	–
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	–	–	1750	μA	–
SID308	VCSD	動作電圧の範囲	1.71	–	5.5	V	1.8V ±5% または 1.8V ~ 5.5V
SID308A	VCOMPIDAC	IDAC の準拠の電圧範囲	0.6	–	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID309	IDAC1DNL	DNL	–1	–	1	LSB	–
SID310	IDAC1INL	INL	–2	–	2	LSB	$V_{DDA} < 2V$ の場合、INL が ±5.5LSB
SID311	IDAC2DNL	DNL	–1	–	1	LSB	–
SID312	IDAC2INL	INL	–2	–	2	LSB	$V_{DDA} < 2V$ の場合、INL が ±5.5LSB
SID313	SNR	信号対ノイズ比。特性評価で保証	5	–	–	比率	静電容量範囲 = 5pF ~ 35pF、感度 = 0.1pF。すべてのユースケース。 $V_{DDA} > 2V$
SID314	IDAC1CRT1	低域での IDAC1 (7 ビット) の出力電流	4.2	–	5.4	μA	LSB = 37.5nA Typ.
SID314A	IDAC1CRT2	中域での IDAC1 (7 ビット) の出力電流	34	–	41	μA	LSB = 300nA Typ.
SID314B	IDAC1CRT3	高域での IDAC1 (7 ビット) の出力電流	275	–	330	μA	LSB = 2.4μA Typ.
SID314C	IDAC1CRT12	低域での IDAC1 (7 ビット) の出力電流、2X モード	8	–	10.5	μA	LSB = 75nA Typ.
SID314D	IDAC1CRT22	中域での IDAC1 (7 ビット) の出力電流、2X モード	69	–	82	μA	LSB = 600nA Typ.
SID314E	IDAC1CRT32	高域での IDAC1 (7 ビット) の出力電流、2X モード	540	–	660	μA	LSB = 4.8μA Typ.
SID315	IDAC2CRT1	低域での IDAC2 (7 ビット) の出力電流	4.2	–	5.4	μA	LSB = 37.5nA Typ.
SID315A	IDAC2CRT2	中域での IDAC2 (7 ビット) の出力電流	34	–	41	μA	LSB = 300nA Typ.
SID315B	IDAC2CRT3	高域での IDAC2 (7 ビット) の出力電流	275	–	330	μA	LSB = 2.4μA Typ.
SID315C	IDAC2CRT12	低域での IDAC2 (7 ビット) の出力電流、2X モード	8	–	10.5	μA	LSB = 75nA Typ.
SID315D	IDAC2CRT22	中域での IDAC2 (7 ビット) の出力電流、2X モード	69	–	82	μA	LSB = 600nA Typ.
SID315E	IDAC2CRT32	高域での IDAC2 (7 ビット) の出力電流、2X モード	540	–	660	μA	LSB = 4.8μA Typ.
SID315F	IDAC3CRT13	低域での 8 ビット モード IDAC 出力電流	8	–	10.5	μA	LSB = 37.5nA Typ.
SID315G	IDAC3CRT23	中域での 8 ビット モード IDAC 出力電流	69	–	82	μA	LSB = 300nA Typ.
SID315H	IDAC3CRT33	高域での 8 ビット モード IDAC 出力電流	540	–	660	μA	LSB = 2.4μA Typ.
SID320	IDACOFFSET	すべてゼロ入力	–	–	1	LSB	極性はソースまたはシンク電流により設定。37.5nA/LSB モードの場合、オフセットは 2 LSB
SID321	IDACGAIN	オフセットを除くフルスケール エラー	–	–	±10	%	–

表 12. CSD および IDAC 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID322	IDACMISMATCH1	低モードでの IDAC1 と IDAC2 の不一致	–	–	9.2	LSB	LSB = 37.5nA Typ.
SID322A	IDACMISMATCH2	中モードでの IDAC1 と IDAC2 の不一致	–	–	5.6	LSB	LSB = 300nA Typ.
SID322B	IDACMISMATCH3	高モードでの IDAC1 と IDAC2 の不一致	–	–	6.8	LSB	LSB = 2.4μA Typ.
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB に達するまでの 整定時間	–	–	10	μs	フルスケール遷移。 外部負荷なし
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB に達するまでの 整定時間	–	–	10	μs	フルスケール遷移。 外部負荷なし
SID325	CMOD	外部モジュレータのコンデンサ	–	2.2	–	nF	5V 定格、X7R または NP0 コンデンサ

10 ビット CapSense ADC
表 13. 10 ビット CapSense ADC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SIDA94	A_RES	分解能	–	–	10	ビット	ミリ秒ごとに論理レベルを自 動的にゼロ化する必要がある
SIDA95	A_CHNLS_S	チャンネル数 – シングル エンド	–	–	16		AMUX バスにより定義される
SIDA97	A-MONO	単調増加性	–	–	–	有	–
SIDA98	A_GAINERR	ゲイン誤差	–	–	±2	%	V _{REF} (2.4V) モードで、V _{DDA} バイパス静電容量が 10μF
SIDA99	A_OFFSET	入力オフセット 電圧	–	–	3	mV	V _{REF} (2.4V) モードで、V _{DDA} バイパス静電容量が 10μF
SIDA100	A_ISAR	消費電流	–	–	0.25	mA	–
SIDA101	A_VINS	入力電圧範囲 – シングル エンド	V _{SSA}	–	V _{DDA}	V	–
SIDA103	A_INRES	入力抵抗	–	2.2	–	KΩ	–
SIDA104	A_INCAP	入力静電容量	–	20	–	pF	–
SIDA106	A_PSR	電源電圧変動除去比	–	60	–	dB	V _{REF} (2.4V) モードで、V _{DDA} バイパス静電容量が 10μF
SIDA107	A_TACQ	サンプル取得時間	–	1	–	μs	–
SIDA108	A_CONV8	変換速度 = F _{hclk} /(2 ^{N+2}) での 8 ビッ ト分解能の変換時間。クロック周波数 = 48MHz	–	–	21.3	μs	取得時間を含まない。取得時 間含むと 44.8ksps に相当
SIDA108A	A_CONV10	変換速度 = F _{hclk} /(2 ^{N+2}) での 10 ビッ ト分解能の変換時間。クロック周波数 = 48MHz	–	–	85.3	μs	取得時間を含まない。取得時 間含むと 11.6ksps に相当
SIDA109	A_SND	信号対ノイズおよび歪み比 (SINAD)	–	61	–	dB	入力正弦波 10Hz、外部基準電 圧 2.4V、V _{REF} (2.4V) モード
SIDA110	A_BW	エイリアシング無しの入力帯域幅	–	–	22.4	kHz	8 ビット分解能
SIDA111	A_INL	積分非直線性。1ksps	–	–	2	LSB	V _{REF} = 2.4V 以上
SIDA112	A_DNL	微分非直線性。1ksps	–	–	1	LSB	–

デジタル ペリフェラル

タイマー／カウンタ／パルス幅変調器 (TCPWM)

表 14. TCPWM 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電流	–	–	155		すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流	–	–	650		すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	動作周波数	–	–	F _c	MHz	F _c max = CLK_SYS 最大値 = 48MHz
SID.TCPWM.4	TPWM _{ENEXT}	入力トリガーのパルス幅	2/F _c	–	–	ns	すべてのトリガー イベント [6]
SID.TCPWM.5	TPWM _{EXT}	出力トリガーのパルス幅	2/F _c	–	–		オーバーフロー、アンダーフローおよび CC (カウンター = 比較値) 出力の最小幅
SID.TCPWM.5A	TC _{RES}	カウンターの分解能	1/F _c	–	–		逐次カウント間の最小時間
SID.TCPWM.5B	PWM _{RES}	PWM 分解能	1/F _c	–	–		PWM 出力の最小パルス幅
SID.TCPWM.5C	Q _{RES}	直交位相入力分解能	1/F _c	–	–		直交位相入力同士間の最小パルス幅

注:

6. 選択した動作モードによって、トリガー イベントはストップ、スタート、リロード、カウント、キャプチャ、またはキルのいずれかです。

I²C

表 15. 固定 I²C の DC 仕様^[7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID149	I _{I2C1}	100kHz でのブロック消費電流	–	–	50	μA	–
SID150	I _{I2C2}	400kHz でのブロック消費電流	–	–	135		–
SID151	I _{I2C3}	1Mbps でのブロック消費電流	–	–	310		–
SID152	I _{I2C4}	I ² C がディープ スリープ モードで有効の場合	–	–	1.4		–

表 16. 固定 I²C の AC 仕様^[7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID153	F _{I2C1}	ビット レート	–	–	1	Mbps	–

SPI

表 17. SPI の DC 仕様^[7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID163	ISPI1	1Mbps でのブロック消費電流	–	–	360	μA	–
SID164	ISPI2	4Mbps でのブロック消費電流	–	–	560		–
SID165	ISPI3	8Mbps でのブロック消費電流	–	–	600		–

表 18. SPI の AC 仕様^[7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID166	FSPI	SPI 動作周波数 (マスター ; 6 倍オーバーサンプリング)	－	－	8	MHz	－
固定 SPI マスター モードの AC 仕様							
SID167	TDMO	SClock 駆動エッジからの MOSI 有効期間	－	－	15	ns	－
SID168	TDSI	SClock キャプチャ エッジまでの MISO 有効期間	20	－	－		フル クロック、MISO の遅いサンプリング
SID169	THMO	前の MOSI データ ホールド時間	0	－	－		スレーブ キャプチャ エッジを参照
固定 SPI スレーブ モードの AC 仕様							
SID170	TDMI	Sclock キャプチャ エッジまでの MOSI 有効期間	40	－	－	ns	－
SID171	TDSO	Sclock 駆動エッジからの MISO 有効期間	－	－	42+(3×Tcpu)		T _{CPU} = 1/F _{CPU}
SID171A	TDSO_EXT	外部クロック モードでの Sclock 駆動エッジからの MISO 有効期間 Clk モード	－	－	48		－
SID172	THSO	前の MISO データ ホールド時間	0	－	－		－
SID172A	TSSELSSCK	SSEL 有効から最初の SCK 有効エッジまでの時間	100	－	－	ns	－

注:

7. 特性評価で保証されています。

UART
表 19. UART の DC 仕様 ^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID160	I _{UART1}	100Kbps でのブロック消費電流	–	–	55	μA	–
SID161	I _{UART2}	1000Kbps でのブロック消費電流	–	–	312	μA	–

表 20. UART の AC 仕様 ^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID162	F _{UART}	ビット レート	–	–	1	Mbps	–

LCD 直接駆動
表 21. LCD 直接駆動の DC 仕様 ^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID154	I _{LCDLOW}	低消費電力モードでの動作電流	–	5	–	μA	16 × 4 小型セグメントディスプレイ、50Hz
SID155	C _{LCD CAP}	セグメント／コモン ドライバー 当たりの LCD 静電容量	–	500	5000	pF	–
SID156	LCD _{OFFSET}	長時間セグメント オフセット	–	20	–	mV	–
SID157	I _{LCDOP1}	LCD システム動作電流 V _{bias} = 5V	–	2	–	mA	32 × 4 セグメント、50Hz、25°C
SID158	I _{LCDOP2}	LCD システム動作電流 V _{bias} = 3.3V	–	2	–		32 × 4 セグメント、50Hz、25°C

表 22. LCD 直接駆動の AC 仕様 ^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID159	F _{LCD}	LCD フレーム レート	10	50	150	Hz	–

注:

8. 特性評価で保証されています。

メモリ
フラッシュ
表 23. フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	—	5.5	V	—

表 24. フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID174	T _{ROWWRITE} ^[9]	行 (ブロック) 書き込み時間 (消去 + 書き込み)	—	—	20	ms	行 (ブロック) = 128 バイト
SID175	T _{ROWERASE} ^[9]	行消去時間	—	—	16		—
SID176	T _{ROWPROGRAM} ^[9]	消去後の行プログラム時間	—	—	4		—
SID178	T _{BULKERASE} ^[9]	バルク消去時間 (32KB)	—	—	35		—
SID180 ^[10]	T _{DEVPROG} ^[9]	デバイス プログラム合計時間	—	—	7	秒	—
SID181 ^[10]	F _{END}	フラッシュ アクセス可能回数	100K	—	—	サイクル	—
SID182 ^[10]	F _{RET}	フラッシュのデータ保持期間。T _A ≤ 55°C、 プログラム／消去サイクル = 10 万回	20	—	—	年	—
SID182A ^[10]	—	フラッシュのデータ保持期間。T _A ≤ 85°C、 プログラム／消去サイクル = 1 万回	10	—	—		—
SID182B ^[10]	F _{RETQ}	フラッシュのデータ保持期間。T _A ≤ 105°C、 プログラム／消去サイクル = 1 万回、T _A ≥ 85°C で ≤ 3 年	10	—	20		特性評価で保証
SID256	TWS48	48MHz でのウェイト ステートの数	2	—	—		フラッシュからの CPU 実行
SID257	TWS24	24MHz でのウェイト ステートの数	1	—	—		フラッシュからの CPU 実行

システム リソース
パワーオン リセット (POR)
表 25. パワー オン リセット (PRES)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.CLK#6	SR_POWER_UP	電源電圧スルー レート	1	—	67	V/ms	電源投入時および 電源切断時
SID185 ^[10]	V _{RISEIPOR}	立ち上りトリップ電圧	0.80	—	1.5	V	—
SID186 ^[10]	V _{FALLIPOR}	立ち下りトリップ電圧	0.70	—	1.4		—

注:

9. フラッシュ メモリに書き込むためには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュ メモリの動作は中断され、正常に完了したことを保証されません。リセット ソースは XRES ピン、ソフトウェア リセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤って活性化されないことを確認してください。
10. 特性評価で保証されています。

表 26. V_{CCD} の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID190 ^[10]	$V_{FALLPPOR}$	アクティブ モードおよびスリープ モードでの BOD トリップ電圧	1.48	–	1.62	V	–
SID192 ^[10]	$V_{FALLDPSLP}$	ディープ スリープ モードでの BOD トリップ電圧	1.11	–	1.5		–

SWD インターフェース
表 27. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID213	$F_{SWDCLK1}$	$3.3V \leq V_{DD} \leq 5.5V$	–	–	14	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID214	$F_{SWDCLK2}$	$1.71V \leq V_{DD} \leq 3.3V$	–	–	7		SWDCLK は CPU クロック周波数の 1/3 以下
SID215 ^[11]	T_{SWDI_SETUP}	$T = 1/f_{SWDCLK}$	$0.25 \times T$	–	–	ns	–
SID216 ^[11]	T_{SWDI_HOLD}	$T = 1/f_{SWDCLK}$	$0.25 \times T$	–	–		–
SID217 ^[11]	T_{SWDO_VALID}	$T = 1/f_{SWDCLK}$	–	–	$0.5 \times T$		–
SID217A ^[11]	T_{SWDO_HOLD}	$T = 1/f_{SWDCLK}$	1	–	–		–

内部主発振器 (IMO)
表 28. IMO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID218	I_{IMO1}	48MHz での IMO 動作電流	–	–	250	μA	–
SID219	I_{IMO2}	24MHz での IMO 動作電流	–	–	180	μA	–

表 29. IMO AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID223	$F_{IMOTOL1}$	24MHz、32MHz および 48MHz での周波数誤差 (トリム済み)	–	–	± 2	%	–
SID223A			–	–	± 2.5	%	105°C
SID226	$T_{STARTIMO}$	IMO 起動時間	–	–	7	μs	–
SID228	$T_{JITRMSIMO2}$	24MHz での RMS ジッタ	–	145	–	ps	–

内部低速発振器 (ILO)
表 30. ILO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID231 ^[11]	I_{ILO1}	ILO 動作電流	–	0.3	1.05	μA	–

注:
11. 特性評価で保証されています。

表 31. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID234 ^[11]	T _{STARTILO1}	ILO 起動時間	–	–	2	ms	–
SID236 ^[11]	T _{ILODUTY}	ILO のデューティ比	40	50	60	%	–
SID237	F _{ILOTRIM1}	ILO 周波数範囲	20	40	80	kHz	–

時計用水晶発振器 (WCO)
表 32. 時計用水晶発振器 (WCO) 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID398	FWCO	水晶発振器周波数	–	32.768	–	kHz	–
SID399	FTOL	周波数許容誤差	–	50	250	ppm	20ppm の水晶発振器
SID400	ESR	等価直列抵抗	–	50	–	kΩ	–
SID401	PD	駆動レベル	–	–	1	μW	–
SID402	TSTART	起動時間	–	–	500	ms	–
SID403	CL	水晶の負荷容量	6	–	12.5	pF	–
SID404	C0	水晶の並列容量	–	1.35	–	pF	–
SID405	IWCO1	動作電流 (高消費電力モード)	–	–	8	μA	–
SID406	IWCO2	動作電流 (低消費電力モード)	–	–	1	μA	–

外部クロック
表 33. 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID305 ^[12]	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	–
SID306 ^[12]	ExtClkDuty	デューティ比 ; V _{DD/2} で測定	45	–	55	%	–

クロック
表 34. クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID262 ^[12]	T _{CLKSWITCH}	システム クロック ソースの切り替え時間	3	–	4	周期	–

スマート I/O パススルー時間
表 35. スマート I/O パススルー時間 (バイパス モードでの遅延)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID252	PRG_BYPASS	バイパス モードでのスマート I/O による最大遅延時間	–	–	1.6	ns	–

注:

12. 特性評価で保証されています。

注文情報

PSoC 4000S の製品番号と特長は下表のとおりです。

表 36. PSoC 4000S 注文情報

カテゴリ	MPN	特長												パッケージ						温度範囲
		CPUの最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CapSense	10ビットCSD ADC	12ビットSAR ADC	LPコンパレータ	TCPWMブロック	SCBブロック	スマートI/Os	GPIO	WLCSP (0.35mmピッチ)	24ピンQFN	32ピンQFN	32ピンTQFP	40ピンQFN	48ピンTQFP	
4024	CY8C4024FNI-S402	24	16	2	0	0	1	0	2	5	2	8	21	✓						-40～85 °C
	CY8C4024LQI-S401	24	16	2	0	0	1	0	2	5	2	8	19		✓					
	CY8C4024LQI-S402	24	16	2	0	0	1	0	2	5	2	16	27			✓				
	CY8C4024AXI-S402	24	16	2	0	0	1	0	2	5	2	16	27				✓			
	CY8C4024LQI-S403	24	16	2	0	0	1	0	2	5	2	16	34					✓		
	CY8C4024AZI-S403	24	16	2	0	0	1	0	2	5	2	16	36						✓	
	CY8C4024FNI-S412	24	16	2	0	1	1	0	2	5	2	8	21	✓						
	CY8C4024LQI-S411	24	16	2	0	1	1	0	2	5	2	8	19		✓					
	CY8C4024LQI-S412	24	16	2	0	1	1	0	2	5	2	16	27			✓				
	CY8C4024AXI-S412	24	16	2	0	1	1	0	2	5	2	16	27				✓			
	CY8C4024LQI-S413	24	16	2	0	1	1	0	2	5	2	16	34					✓		
	CY8C4024AZI-S413	24	16	2	0	1	1	0	2	5	2	16	36						✓	
CY8C4024AZQ-S413	24	16	2	0	1	1	0	2	5	2	16	36						✓	-40～105 °C	
4025	CY8C4025FNI-S402	24	32	4	0	0	1	0	2	5	2	8	21	✓						-40～85 °C
	CY8C4025LQI-S401	24	32	4	0	0	1	0	2	5	2	8	19		✓					
	CY8C4025LQI-S402	24	32	4	0	0	1	0	2	5	2	16	27			✓				
	CY8C4025AXI-S402	24	32	4	0	0	1	0	2	5	2	16	27				✓			
	CY8C4025LQI-S403	24	32	4	0	0	1	0	2	5	2	16	34					✓		
	CY8C4025AZI-S403	24	32	4	0	0	1	0	2	5	2	16	36						✓	
	CY8C4025AZQ-S403	24	32	4	0	0	1	0	2	5	2	16	36						✓	-40～105 °C
	CY8C4025FNI-S412	24	32	4	0	1	1	0	2	5	2	8	21	✓						-40～85 °C
	CY8C4025LQI-S411	24	32	4	0	1	1	0	2	5	2	8	19		✓					
	CY8C4025LQI-S412	24	32	4	0	1	1	0	2	5	2	16	27			✓				
	CY8C4025AXI-S412	24	32	4	0	1	1	0	2	5	2	16	27				✓			
	CY8C4025LQI-S413	24	32	4	0	1	1	0	2	5	2	16	34					✓		
CY8C4025AZI-S413	24	32	4	0	1	1	0	2	5	2	16	36						✓		
CY8C4025AZQ-S413	24	32	4	0	1	1	0	2	5	2	16	36						✓	-40～105 °C	
4045	CY8C4045FNI-S412	48	32	4	0	1	1	0	2	5	2	8	21	✓						-40～85 °C
	CY8C4045LQI-S411	48	32	4	0	1	1	0	2	5	2	8	19		✓					
	CY8C4045LQI-S412	48	32	4	0	1	1	0	2	5	2	16	27			✓				
	CY8C4045AXI-S412	48	32	4	0	1	1	0	2	5	2	16	27				✓			
	CY8C4045LQI-S413	48	32	4	0	1	1	0	2	5	2	16	34					✓		
	CY8C4045AZI-S413	48	32	4	0	1	1	0	2	5	2	16	36						✓	
	CY8C4045AZQ-S413	48	32	4	0	1	1	0	2	5	2	16	36						✓	-40～105 °C

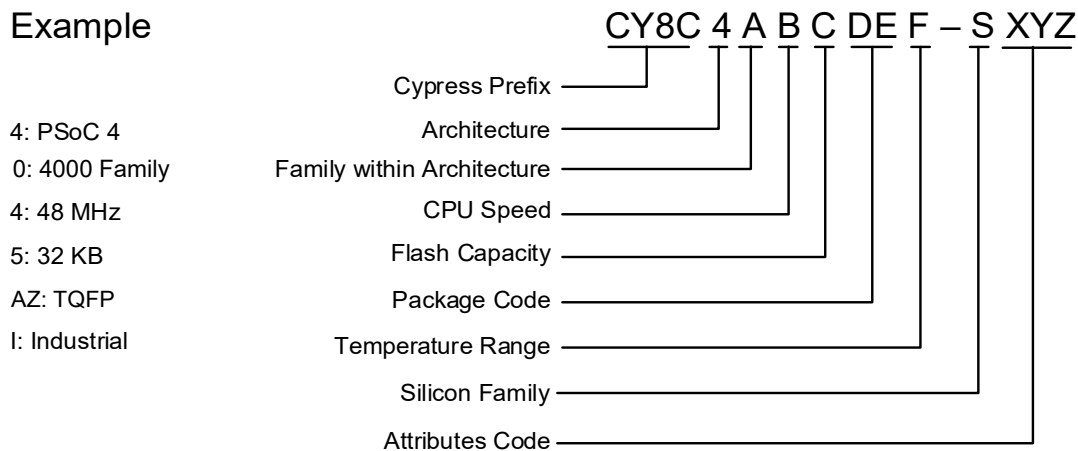
上記の表に使用される命名法は次の製品番号の命名規則に基づきます。

表 37. 命名法

文字列	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSoC 4
A	ファミリ	0	4000 ファミリ
B	CPU 速度	2	24MHz
		4	48MHz
C	フラッシュ容量	4	16KB
		5	32KB
		6	64KB
		7	128KB
DE	パッケージコード	AX	TQFP (0.8mm ピッチ)
		AZ	TQFP (0.5mm ピッチ)
		LQ	QFN
		PV	SSOP
		FN	CSP
F	温度範囲	I	産業機器向け
		Q	拡張された産業機器向け
S	シリーズ指定子	S	PSoC 4 S シリーズ
		M	PSoC 4 M シリーズ
		L	PSoC 4 L シリーズ
		BL	PSoC 4 Bluetooth LE シリーズ
XYZ	属性コード	000 ~ 999	特定のファミリ内の機能セットのコード

型番の例は次のとおりです。

Example



パッケージ

PSoC 4000S は 48 ピン TQFP、40 ピン QFN、32 ピン QFN、24 ピン QFN、32 ピン TQFP、および 25 ボール WLCSP パッケージで提供されます。

パッケージの寸法とサイプレスの図面番号は次の表にあります。

表 38. パッケージの一覧

仕様 ID#	パッケージ	説明	パッケージ図面番号
BID20	48 ピン TQFP	寸法 7×7×1.4mm、ピッチ 0.5mm	51-85135
BID27	40 ピン QFN	寸法 6×6×0.6mm、ピッチ 0.5mm	001-80659
BID34A	32 ピン QFN	寸法 5×5×0.6mm、ピッチ 0.5mm	001-42168
BID34	24 ピン QFN	寸法 4×4×0.6mm、ピッチ 0.5mm	001-13937
BID34G	32 ピン TQFP	寸法 7×7×1.4mm、ピッチ 0.8mm	51-85088
BID34F	25 ボール WLCSP	寸法 2.02×1.93×0.48mm、ピッチ 0.35mm	002-09957

表 39. パッケージの熱特性

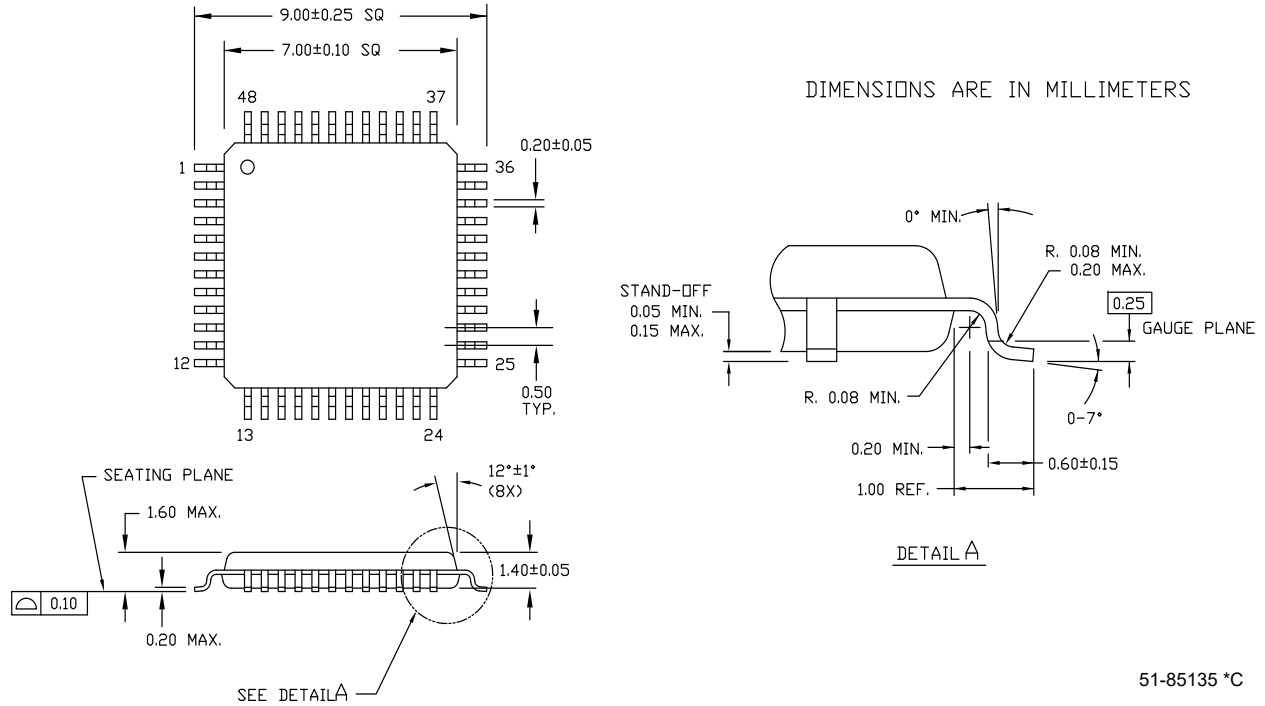
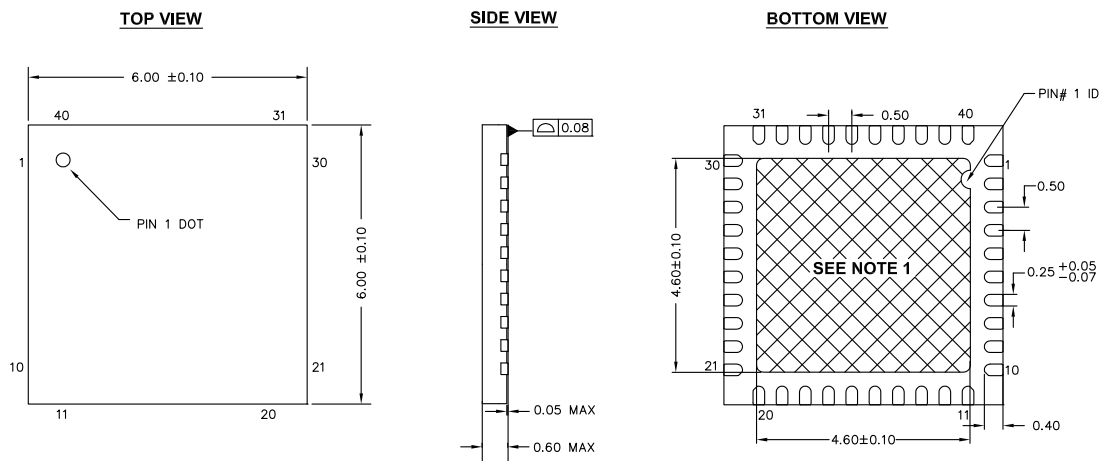
パラメータ	説明	パッケージ	Min	Typ	Max	単位
T _A	動作周囲温度		-40	25	105	°C
T _J	動作接合部温度		-40	—	125	°C
T _{JA}	パッケージ θ _{JA}	48 ピン TQFP	—	73.5	—	°C/W
T _{JC}	パッケージ θ _{JC}	48 ピン TQFP	—	33.5	—	°C/W
T _{JA}	パッケージ θ _{JA}	40 ピン QFN	—	17.8	—	°C/W
T _{JC}	パッケージ θ _{JC}	40 ピン QFN	—	2.8	—	°C/W
T _{JA}	パッケージ θ _{JA}	32 ピン QFN	—	20.8	—	°C/W
T _{JC}	パッケージ θ _{JC}	32 ピン QFN	—	5.9	—	°C/W
T _{JA}	パッケージ θ _{JA}	24 ピン QFN	—	21.7	—	°C/W
T _{JC}	パッケージ θ _{JC}	24 ピン QFN	—	5.6	—	°C/W
T _{JA}	パッケージ θ _{JA}	32 ピン TQFP	—	29.4	—	°C/W
T _{JC}	パッケージ θ _{JC}	32 ピン TQFP	—	3.5	—	°C/W
T _{JA}	パッケージ θ _{JA}	25 ボール WLCSP	—	40	—	°C/W
T _{JC}	パッケージ θ _{JC}	25 ボール WLCSP	—	0.5	—	°C/W

表 40. ハンダ リフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

表 41. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-020

パッケージ	MSL
すべて (WLCSP 以外)	MSL 3
25 ボール WLCSP	MSL 1

外形図
図 6. 48 ピン TQFP (7×7×1.4 mm) パッケージの外形, 51-85135

図 7. 40 ピン QFN (6×6×0.6 mm) パッケージの外形, 001-80659

NOTES:


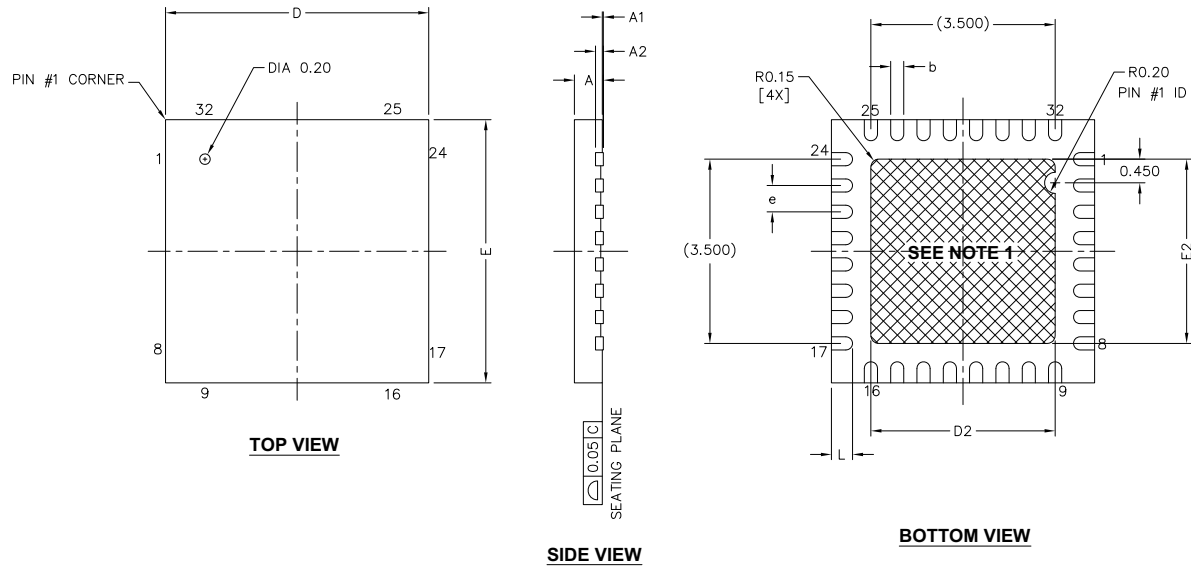

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ±2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

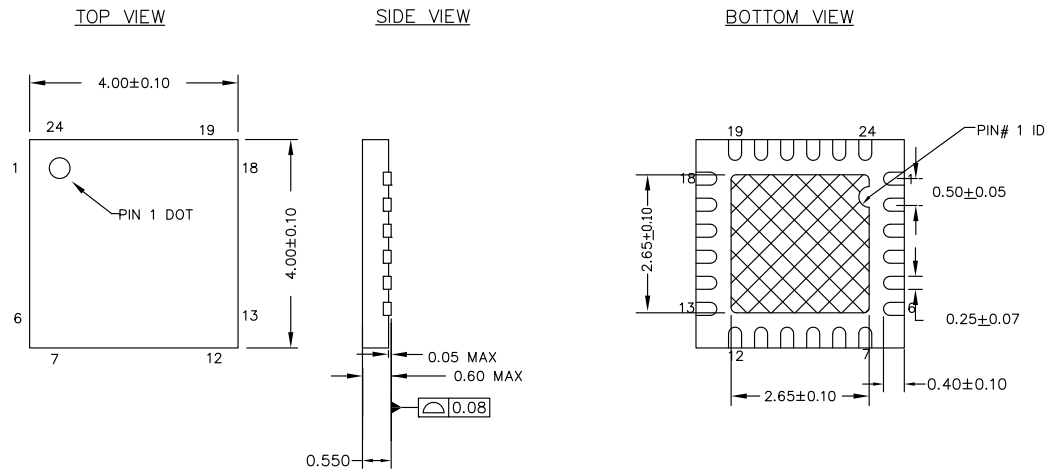
図 8. 32 ピン QFN ((5.0×5.0×0.55 mm) 3.5×3.5 mm E-Pad (sawn)) パッケージの外形 , 001-42168



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	0.50	0.55	0.60
A1	-	0.020	0.045
A2	0.15 BSC		
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.30	0.40	0.50
b	0.18	0.25	0.30
e	0.50 TYP		

NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-248
3. PACKAGE WEIGHT: 0.0388g
4. DIMENSIONS ARE IN MILLIMETERS

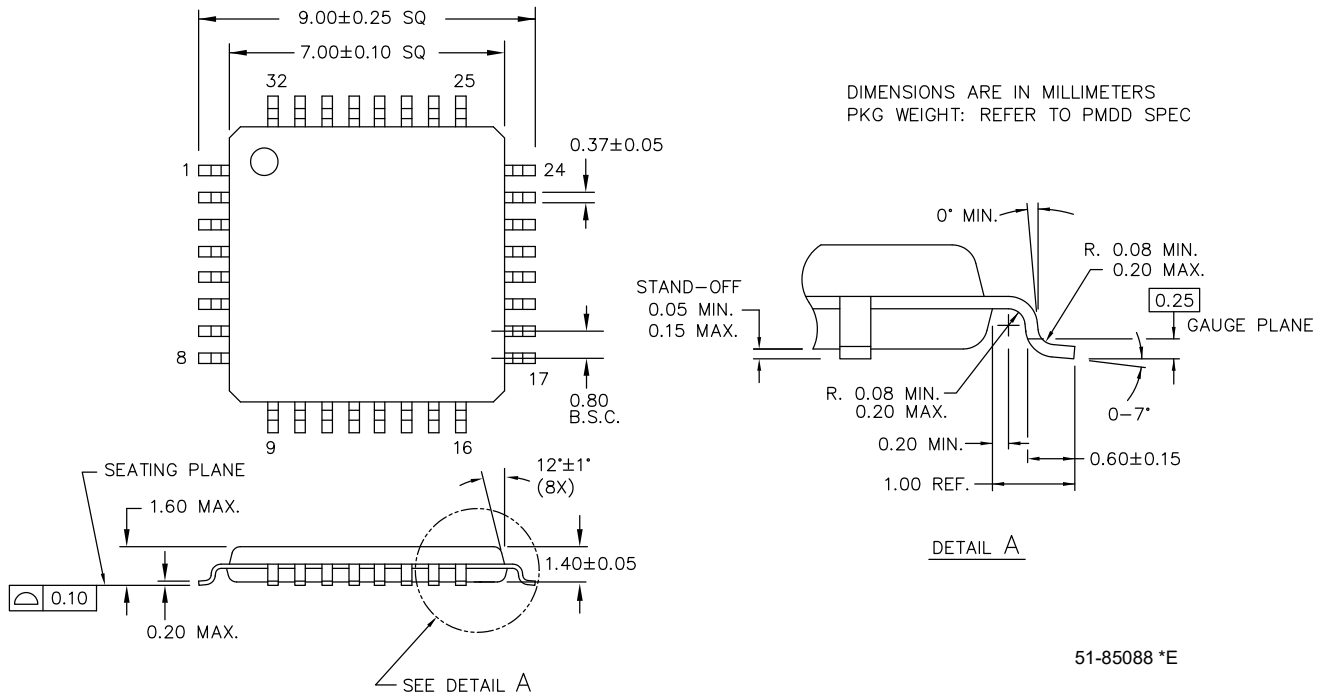
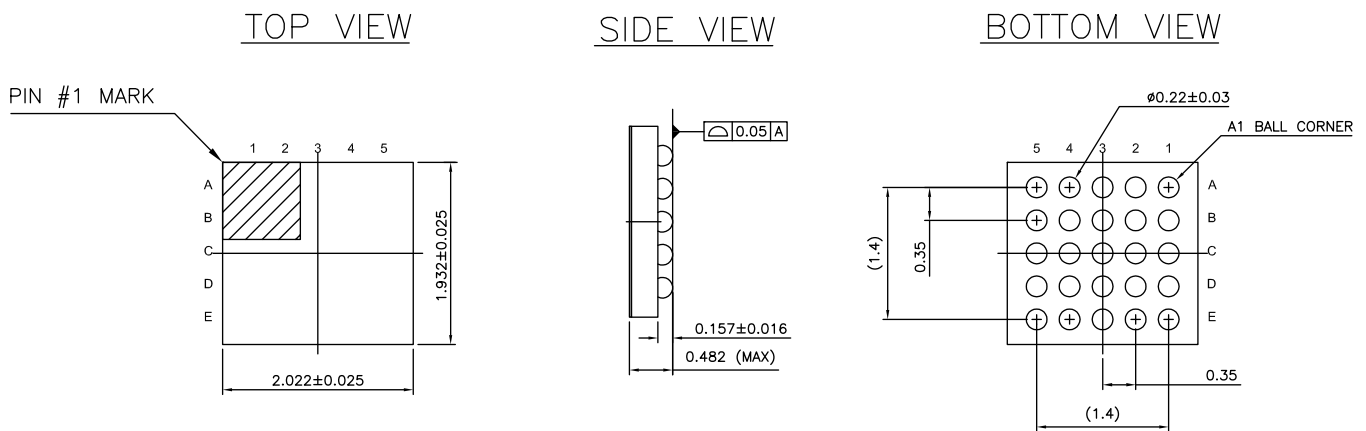
001-42168 *F

図 9. 24 ピン QFN ((4×4×0.60 mm) 2.65×2.65 E-Pad (Sawn)) パッケージの外形, 001-13937

NOTES :

1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *H

機械的、熱的、および電氣的に最適な性能を得るために、QFN パッケージ中央のパッドを必ずグランド (VSS) に接続してください。グランドに接続しないと、パッドは電氣的に開放され、どの信号にも接続されていない状態になります。

図 10. 32ピン TQFP (7×7×1.4 mm) パッケージの外形, 51-85088

図 11. 25 ボール WLCSP (2.02×1.93×0.48 mm) パッケージの外形, 002-09957


ALL DIMENSIONS ARE IN MM
JEDEC Publication 95; Design Guide 4.18

002-09957 **

略語

表 42. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスドマイクロコントローラー バス アーキテクチャ) 高性能バス)、Arm データ転送バスの 1 種
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
Arm®	advanced RISC machine (高度な RISC マシン)、CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプ モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラー エリアネットワーク)、通信プロトコルの 1 種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラー チェック プロトコルの 1 種
DAC	digital-to-analog converter (デジタル - アナログ変換器)。IDAC、VDAC を参照してください
DFB	digital filter block (デジタル フィルター ブロック)
DIO	digital input/output (デジタル入出力)、アナログなし、デジタル機能のみを持つ GPIO ; GPIO を参照してください
DMIPS	Dhrystone million instructions per second (ドライストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス)。TD を参照してください
DNL	differential nonlinearity (微分非直線性)。INL を参照してください
DNU	do not use (未使用)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)

表 42. 本書で使用する略語 (続き)

略語	説明
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答) ; IIR を参照してください
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)、PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割込み) ; LVI、LVD を参照してください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC) ; DAC、VDAC を参照してください
IDE	integrated development environment (統合開発環境)
I ² C (別名 : IIC)	Inter-Integrated Circuit (インター インテグレートッド サーキット)、通信プロトコルの 1 種
IIR	infinite impulse response (無限インパルス応答) ; FIR を参照してください
ILO	internal low-speed oscillator (内部低速発振器) ; IMO を参照してください
IMO	internal main oscillator (内部主発振器) ; ILO を参照してください
INL	integral nonlinearity (積分非直線性) ; DNL を参照してください
I/O	input/output (入出力) ; GPIO、DIO、SIO、USBIO を参照してください
IPOR	initial power-on reset (初期パワーオン リセット)

表 42. 本書で使用する略語 (続き)

略語	説明
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)
IRQ	interrupt request (割込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インターコ ネクト ネットワーク)、通信プロトコルの 1 種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出) ; LVI を参照してください
LVI	low-voltage interrupt (低電圧割込み) ; HVI を参照してください
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスター入カスレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ) ; WOL を参照してください
opamp	operational amplifier (演算増幅器)
PAL	programmable array logic (プログラマブル アレイ ロジック) ; PLD を参照してください
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロ ジック デバイス) ; PAL を参照してください
PLL	phase-locked loop (位相同期回路)
PMDD	package material declaration datasheet (パッケージ材質宣言データシート)

表 42. 本書で使用する略語 (続き)

略語	説明
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータ レジスタ)
PSoC®	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (2 乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート 送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチト キャパシタ / 連続時間)
SCL	I ² C serial clock (I ² C シリアル クロック)
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	special input/output (特殊入出力)、高度機能 GPIO ; GPIO を参照してください
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)、通信プロトコルの 1 種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ)、テ スト プロトコルの 1 種
SWV	single-wire viewer (シングル ワイヤ ビューアー)
TD	transaction descriptor (トランザクション ディス クリプタ) ; DMA を参照してください

表 42. 本書で使用する略語 (続き)

略語	説明
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (テクニカル リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎用 非同期トランスミッタ レシーバ)、通信プロトコ ルの 1 種
UDB	universal digital block (汎用デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)、 USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC) ; DAC、IDAC を参照してください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (1 度しか書き込めないラッチ) ; NVL を参照してください
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

本書の表記法

測定単位

表 43. 測定単位

記号	単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kW	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

文書名 : PSoC 4: PSoC 4000S データシート プログラマブル システムオンチップ (PSoC) 文書番号 : 002-10633			
版	ECN	発行日	変更内容
**	5088632	01/18/2016	これは英語版 002-00123 Rev. *B を翻訳し た日本語版 002-10633 Rev. ** です。
*A	5414611	09/06/2016	これは英語版 002-00123 Rev. *F を翻訳し た日本語版 002-10633 Rev. *A です。
*B	5466878	10/17/2016	これは英語版 002-00123 Rev. *G を翻訳し た日本語版 002-10633 Rev. *B です。
*C	6795256	02/06/2020	これは英語版 002-00123 Rev. *K を翻訳し た日本語版 002-10633 Rev. *C です。
*D	7102419	03/22/2021	これは英語版 002-00123 Rev. *N を翻訳し た日本語版 002-10633 Rev. *D です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USBコントローラ	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2015-2021. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれる又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含むものは、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。