

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

プログラマブル システムオンチップ (PSoC™)

概要

PSoC™ 4 は、Arm® Cortex®-M0+ CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリー用の、拡張可能かつ再設定可能なプラットフォーム アーキテクチャです。プログラム可能かつ再設定可能なアナログ ブロックとデジタル ブロックを柔軟な自動配線で組み合わせて形成しています。PSoC 4100S 製品ファミリは、PSoC 4 プラットフォーム アーキテクチャのメンバーです。これは、標準的な通信とタイミング パリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシング システム (CAPSENSE™)、プログラマブルな汎用の連続時間かつスイッチド キャパシタを備えたアナログ ブロック、およびプログラマブルな接続で構成されています。新しいアプリケーションと設計ニーズの面では、PSoC 4100S 製品は PSoc 4 プラットフォームのメンバーとの完全な上位互換性があります。

特長

32 ビット MCU サブシステム

- 48MHz Arm® Cortex®-M0+ CPU シングルサイクル乗算器付き
- 64KB のフラッシュ メモリ、リード アクセラレータ付き
- 8KB までの SRAM

プログラム可能なアナログ

- 再設定可能な大電流外部ドライブと広帯域内部ドライブ、コンパレータモード、ADC 入力バッファリング能力に対応した 2 個のオペアンプオペアンプはディープスリープ 低電力モードで動作可能
- 差動とシングルエンド モードおよび信号加算平均に対応したチャンネルシーケンサを備えた 12 ビットの 1Msps SAR ADC
- 静電容量センシング ブロックから提供されるシングル スロープ 10 ビット ADC 機能
- 2 個の電流 DAC (IDAC) を備え、任意のピンでの汎用出力または静電容量センシング用途向け
- 2 個の低消費電力コンパレータ (低消費電力のディープスリープ モードで動作)

プログラム可能なデジタル

- プログラマブルな論理ブロックがあり、入出力ポートでブール演算の実行を可能にする

低消費電圧 (1.71 ~ 5.5V) 動作

- ディープスリープ モードで動作可能なアナログと 2.5µA のデジタル システム電流

静電容量センシング

- サイプレス CAPSENSE シグマデルタ (CSD) はクラス最高の信号対ノイズ比 (SNR) (>5:1) および耐水性を提供
- サイプレスが提供するソフトウェア コンポーネントが静電容量センシングの設計を簡易化
- ハードウェア自動チューニング (SmartSense™)

LCD 駆動力

- GPIO 上の LCD セグメント駆動能力

シリアル通信

- 3 個の独立した再設定可能なシリアル通信ブロック (SCB)、実行時に I²C、SPI、または UART 機能に再設定可能

タイミングおよびパルス幅の変調

- 5 個の 16 ビット タイマー/カウンタ/パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、および疑似ランダム モード
- モーター駆動やその他の信頼性の高いデジタル ロジック アプリケーション用のキル信号のコンパレータ ベースのトリガー
- 直交デコーダ

最大 36 のプログラミング可能な GPIO ピン

- 48 ピン TQFP、44 ピン TQFP、40 ピン QFN、32 ピン QFN、および 35 ボール WLCSP パッケージ
- すべての GPIO ピンは CAPSENSE、アナログ、またはデジタルに対応
- 駆動モード、駆動力、およびスルー レートはプログラム可能

クロックソース

- 32kHz 時計用水晶発振器 (WCO)
- ±2% 内蔵主発振器 (IMO)
- 32kHz 内蔵低周波数発振器 (ILO)

ModusToolbox™ Software

- マルチプラットフォームツールとソフトウェアライブラリの包括的なコレクション
- ボードサポートパッケージ (BSP)、周辺機器ドライバライブラリ (PDL)、および CAPSENSE などのミドルウェアを包含

PSoC Creator 設計環境

- 統合開発環境 (IDE) が回路図設計の入力とビルドを提供 (アナログとデジタル自動配線も備えている)
- すべての固定機能およびプログラミング可能なパリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント

業界標準のツールとの互換性

- 回路図のエントリ後、開発を Arm® ベースの業界標準の開発ツールで行うことが可能

Development Ecosystem

PSoC 4 MCU Resources

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、迅速かつ効率的にデザインに統合する手助けをします。以下は、PSoC 4 MCU のリソースの要約とリンクです。

- **概要**: PSoC ポートフォリオ、PSoC ロードマップ
- **製品セレクト**: PSoC 4 MCU
- **アプリケーションノート**は、基本レベルから上級レベルまでの幅広いトピックを提供します。以下を含みます。
 - [AN79953: Getting Started With PSoC 4](#)。このアプリケーションノートには、使用する IDE ([ModusToolbox™ Software](#) または [PSoC Creator](#)) を決定するために役立つ便利なフローチャートがあります。
 - [AN91184: PSoC 4 Bluetooth® LE - Designing Bluetooth® LE Applications](#)
 - [AN88619: PSoC 4 Hardware Design Considerations](#)
 - [AN73854: Introduction To Bootloaders](#)
 - [AN89610: Arm® Cortex® Code Optimization](#)
 - [AN86233: PSoC 4 MCU Power Reduction Techniques](#)
 - [AN57821: Mixed Signal Circuit Board Layout](#)
 - [AN85951: PSoC 4, PSoC 6 CAPSENSE Design Guide](#)
- **サンプルコード**: 製品の機能と使用法を示します。 [Cypress GitHub repositories](#)からも利用可能です
- **テクニカル リファレンス マニュアル (TRM)**: PSoC 4 MCU アーキテクチャとレジスタの詳細な説明をします。
- **PSoC 4 MCU プログラミング仕様**: PSoC 4 MCU 不揮発性メモリのプログラムに必要な情報を提供します。
- **開発ツール**
 - [ModusToolbox™ Software](#) は、堅牢に一体化されたツールとソフトウェアライブラリによって、クロスプラットフォームコードの開発が可能です。
 - [PSoC Creator](#) は、無料の Windows ベースの IDE です。これにより、PSoC 3、PSoC 4、PSoC 5LP、および PSoC 6MCU ベースのシステムのハードウェアとファームウェアの同時設計が可能になります。アプリケーションは、回路図キャプチャと 150 を超える事前検証済みの本番環境対応の周辺機器コンポーネントを使用して作成されます。
 - [CY8CKIT-041-41XX](#)、PSoC 4100S CAPSENSE Pioneer Kit は、使いやすく安価な開発プラットフォームです。このキットには、Arduino™ 互換シールド用のコネクタが含まれています。
 - [MiniProg4](#) および [MiniProg3](#) は、オールインワン開発プログラマーおよびデバッガーです。
 - [PSoC 4 MCU CAD ライブラリ](#) は、一般的なツールに対応したフットプリントと回路図を提供します。 [IBIS モデル](#) も使用できます。
- **トレーニング ビデオ**: PSoC 6 MCU 101 シリーズを含む、幅広いトピックを提供します。
- **Cypress Developer Community**: 世界中の PSoC 開発者と常時連絡 / 情報交換が可能です。 [PSoC 4 MCU の専用コミュニティ](#) もあります。

ModusToolbox™ Software

ModusToolbox Software は、サイプレスのマルチプラットフォームツールとソフトウェアライブラリの包括的なコレクションであり、統合された MCU とワイヤレスシステムを作成するための没入型開発エクスペリエンスを可能にします。以下のとおりです。

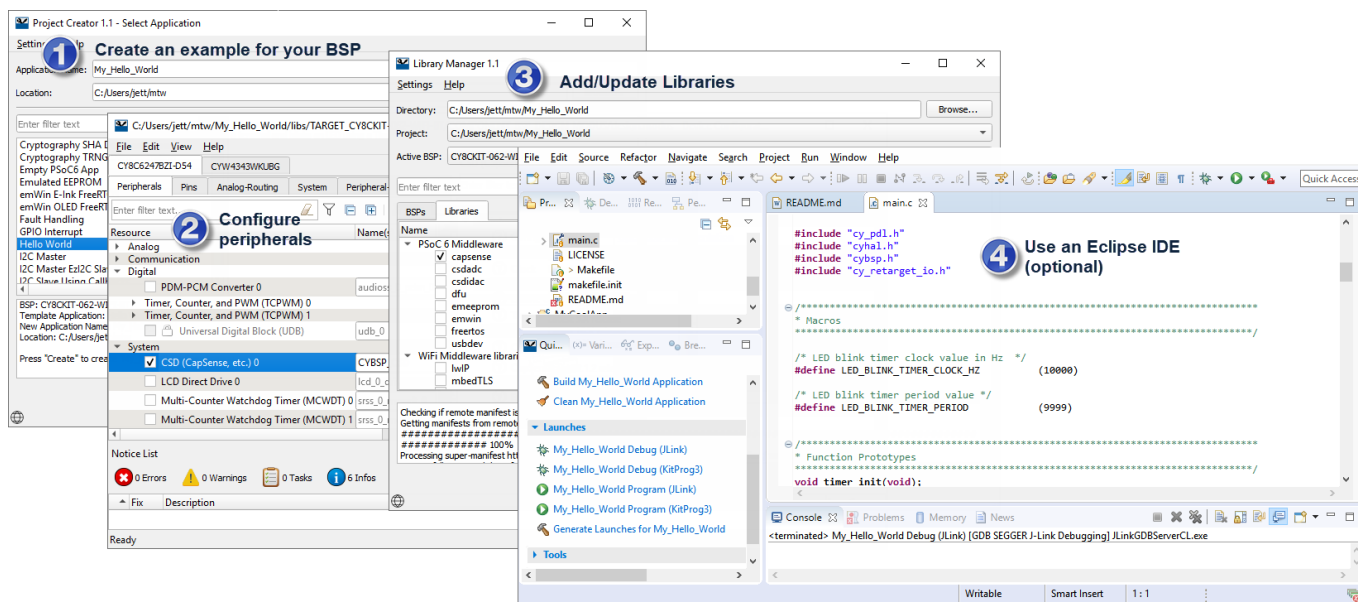
- 包括的 - 必要なリソースがあります
- 柔軟性 - 独自のワークフローでリソースを使用できます
- アトミック - 必要なリソースだけを取得できます

サイプレスは、[GitHub](#) での**コードリポジトリ**の大規模なコレクションを提供しています。これは以下を含みます。

- サイプレスキットと連携したボードサポートパッケージ (BSP)
- ハードウェアアブストラクションレイヤー (HAL) やペリフェラルドライバライブラリ (PDL) などの低レベルのリソース
- CAPSENSE、Bluetooth® Low Energy、メッシュネットワークなどの業界をリードする機能を可能にするミドルウェア
- 徹底的にテストされた**サンプルコード**の広範なセット

ModusToolbox ソフトウェアは IDE に依存せず、ワークフローや推奨される開発環境に簡単に適応できます。図 1 に示すように、プロジェクトクリエイター、ペリフェラルおよびライブラリコンフィギュレーター、ライブラリマネージャー、および ModusToolbox 用のオプションの EclipseIDE が含まれています。サイプレスツールの使用については、ModusToolbox ソフトウェアに付属のドキュメントおよび [AN79953 : Getting started with PSoC 4](#) を参照してください。

図 1. ModusToolbox Software ツール

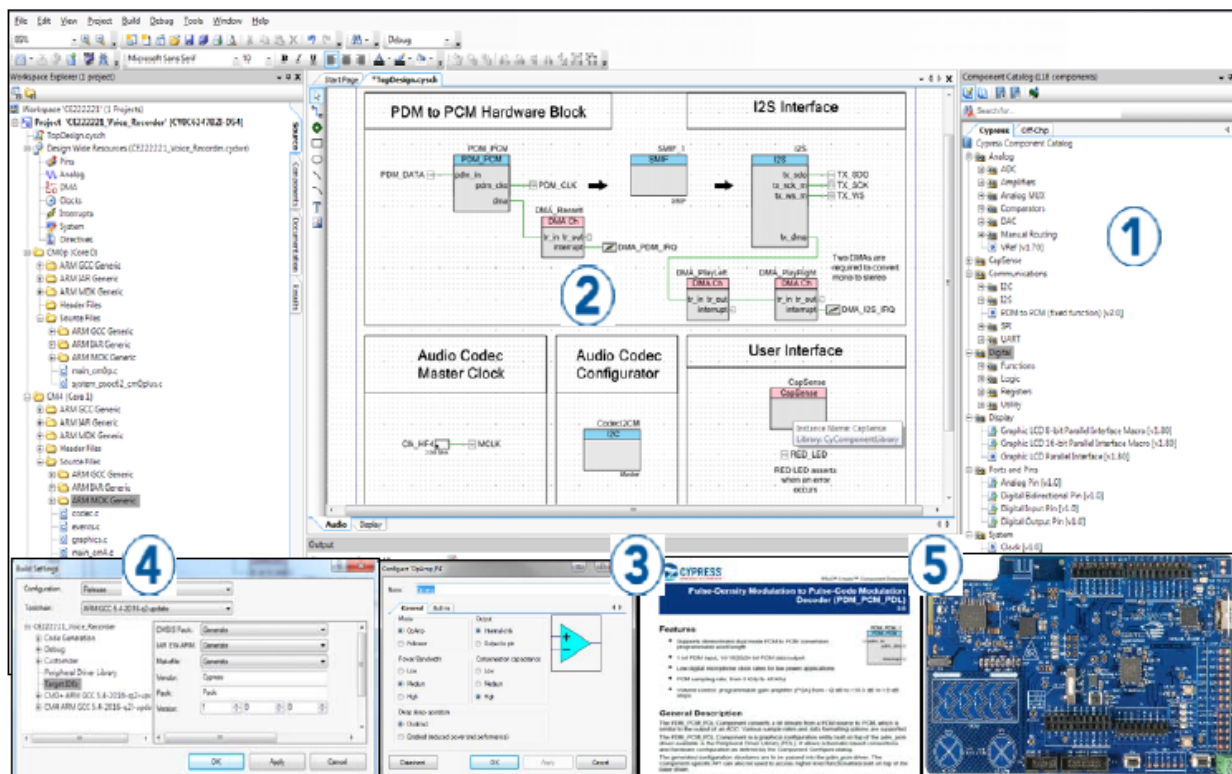


PSoC Creator

PSoC Creator は無料の Windows ベースの IDE です。このツールにより、お客様は PSoC 4 MCU のハードウェアとファームウェアシステムを同時に設計できます。図 2 に PSoC Creator でできることを示します。

1. 200以上のコンポーネントのライブラリを探索
2. コンポーネントアイコンをドラッグアンドドロップして、メイン設計ワークスペースでハードウェアシステム設計を完成
3. コンポーネント構成ツールとコンポーネントデータシートを使用してコンポーネントを構成
4. PSoC Creator IDE でアプリケーションのファームウェアとハードウェアを相互設計またはサードパーティの IDE プロジェクトを構築
5. PSoC 4Pioneer キットを使用してソリューションのプロトタイプを作成。設計変更が必要な場合、PSoC Creator および Components を使用すると、ハードウェアを改訂することなく、オンザフライで変更を加えることができます。

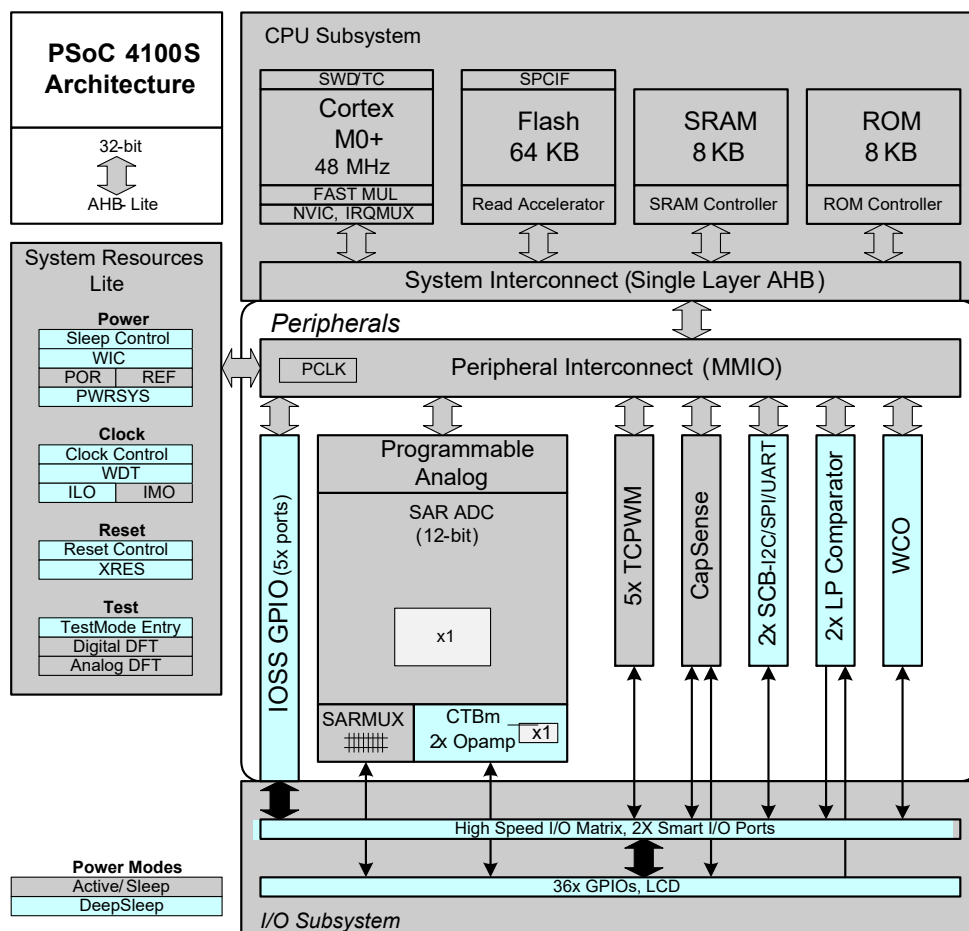
図 2. PSoC Creator の回路図入力とコンポーネント



目次

機能の詳細	7	デジタル ペリフェラル	26
CPUおよびメモリ サブシステム	7	メモリ	28
システム リソース	7	システム リソース	28
アナログ ブロック	8	注文情報	31
プログラマブル デジタル ブロック	8	パッケージ	34
固定機能デジタル	8	外形図	35
GPIO	9	略語	39
特殊機能ペリフェラル	9	本書の表記法	42
ピン配置	10	測定単位	42
ピンの代替機能	12	改訂履歴	43
電源	14	セールス、ソリューションおよび法律情報	44
モード1: 1.8V ~ 5.5Vの外部電源	14	ワールドワイド販売と設計サポート	44
モード2: 1.8V ±5%の外部電源	14	製品	44
電氣的仕様	15	PSoC® ソリューション	44
絶対最大定格	15	サイプレス開発者コミュニティ	44
デバイス レベルの仕様	15	テクニカル サポート	44
アナログ ペリフェラル	19		

図 3. ブロックダイアグラム



PSoC 4100S デバイスは、ハードウェアとファームウェアの両方のプログラム、テスト、デバッグ処理、配線の幅広い範囲に対応しています。

Arm® シリアル ワイヤ デバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートしています。

完全なデバッグ オン チップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで完全なデバイスのデバッグ処理が可能になります。専用のインターフェースやデバッグポッド、シミュレータ、エミュレータは不要です。デバッグを完全にサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE は PSoC 4100S デバイス用の完全に統合されたプログラミングおよびデバッグのサポートを提供します。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC 4100S ファミリーは、マルチチップアプリケーション ソリューションまたはマイクロコントローラに適用不可能なセキュリティ レベルを提供します。このファミリーは次の利点を持っています。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護
- お客様独自の機能がプログラマブル オンチップ ブロックで実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアでのみ無効にできます。有効にされていない場合、再度有効にする唯一の方法は、デバイス全体を消去しフラッシュ保護もクリアしてデバッグ処理を有効にする新しいファームウェアでデバイスをプログラムし直すことです。したがって、ファームウェアにより制御されるデバッグ処理は、ファームウェアを消去しなければオーバーライドできないため、セキュリティを向上させます。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュ プログラミング シーケンスを開始して割り込むことでセキュリティ システムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にすることが可能です。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグおよびテスト インターフェースは無効にされます。そのため、デバイスセキュリティ機能が有効にされた PSoC 4100S は、故障解析に起因して返されないことがあります。これはカスタマが PSoC 4100S でできるトレードオフです。

機能の詳細

CPU およびメモリ サブシステム

CPU

PSoC 4100S の Cortex®-M0+ CPU は、広範なクロック ゲーティングに対応し低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットであり、CPU が Thumb-2 命令セットのサブセットを実行します。これは、8 つの割り込み入力を備えたネスト型ベクタ割り込みコントローラー (NVIC) ブロックとウェイクアップ割り込みコントローラー (WIC) を含みます。WIC はディープスリープモードからプロセスを復帰させることが可能です。これにより、チップがディープスリープモードにある時にメイン プロセッサへの電源を切れます。

その他、JTAG の 2 線式のデバッグ インターフェースであるシリアル ワイヤ デバッグ (SWD) インターフェースもあります。PSoC 4100S に使用するデバッグ コンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PSoC 4100S デバイスは、フラッシュ ブロックからの平均アクセス時間を改善するために CPU に緊密に接続された、フラッシュ アクセラレータ付きのフラッシュ モジュールを持っています。低消費電力のフラッシュ ブロックは 48MHz で 2 ウェイト ステート (WS) アクセス時間を達成するように設計されます。フラッシュ アクセラレータはシングル サイクル SRAM のアクセス性能の平均 85% を達成します。

SRAM

48MHz で実行可能なゼロ ウェイトステート (待ち状態なし) のアクセスを備えた 8KB SRAM が提供されます。

SROM

ブートおよびコンフィギュレーション ルーチンを含んでいる 8KB の監視 ROM が提供されます。

システム リソース

電源システム

電源システムは [14 ページの電源](#) で詳しく説明されます。これは、電圧レベルがそれぞれのモードの必要に応じることを保証し、電圧レベルが適切な機能の必要に応じるまでモードへの移行を遅延させる (例えば、パワーオン リセット (POR) 時)、またはリセットモードを生成します (例えば、電圧低下検出時)。PSoC 4100S は、1.8V±5% (外部安定化) または 1.8V ~ 5.5V (内部安定化) の外部電源電圧で動作し、3 つの異なる電力モードがあり、これらのモード間の遷移が電源システムにより管理されます。PSoC 4100S はアクティブ モードおよびスリープとディープスリープの低消費電力モードに対応しています。

アクティブ モードでは、すべてのサブシステムは動作できます。スリープ モードでは、CPU サブシステム (CPU、フラッシュ、SRAM) はクロックがゲート オフになりますが、すべてのペリフェラルと割り込みはウェイクアップ イベントの時に瞬時ウェイクアップ機能によりアクティブになります。ディープスリープモードでは、高速クロックおよび対応する回路がオフにされます。このモードからの復帰は 35µs かかります。オペアンプはこのディープスリープモードでは依然として動作し続けます。

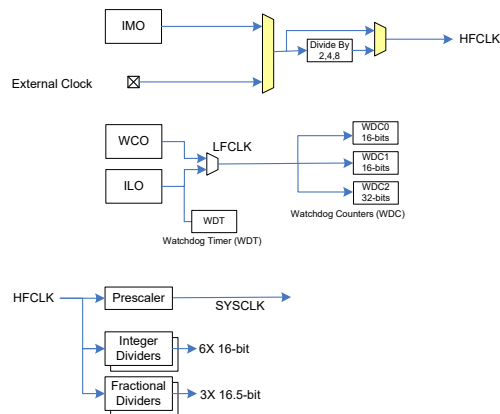
クロック システム

PSoC 4100S クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なる

クロック ソース間で切り替えることを担当します。また、クロック システムはメタステーブル状態が発生しないように保証します。

PSoC 4100S のクロック システムは、内蔵主発振器 (IMO)、内蔵低周波数発振器 (ILO)、32kHz の時計用水晶発振器 (WCO) および外部クロック用の予備ピンから構成されます。クロック分周器は微調整の単位でペリフェラル用のクロックを生成するために提供されます。また、分数分周器は、UART 向けのより高いデータ転送速度でクロックの供給を可能にするためにも提供されます。

図 4. PSoC 4100S MCU のクロッキング アーキテクチャ



HFCLK 信号はアナログとデジタル ペリフェラル用に同期クロックを生成するために分周できます。PSoC 4100S は 8 個のクロック分周器を備えており、そのうち 2 個は分数分周器です。16 ビット分周器は微周波数値を柔軟に生成可能で、PSoC Creator によって完全にサポートされます。

IMO クロック ソース

IMO は PSoC 4100S の内部クロック供給の主なソースです。これはテスト段階中に、指定された精度を得るためにトリムされます。IMO のデフォルト周波数は 24MHz で、4MHz のステップで 24 から 48MHz に調整できます。サイプレスが提供する校正設定では、IMO の許容誤差は ±2% です。

ILO クロック ソース

ILO は、超低消費電力の 40kHz 発振器であり、ディープスリープモードでウォッチドッグ タイマー (WDT) とペリフェラルの動作にクロックを生成するために主に使用されます。ILO 制御のカウンターは、精度を改善するために IMO で校正できます。サイプレスは、校正を実行するソフトウェア コンポーネントを提供しています。

時計用水晶発振器 (WCO)

PSoC 4100S クロック サブシステムは、高精度タイミング アプリケーションに採用できる低周波数 (32kHz 時計用水晶) 発振回路を内蔵します。WCO ブロックでは、IMO を 32kHz 発振器にロックできます。

ウォッチドッグ タイマーおよびカウンター

ウォッチドッグ タイマーは、ILO をクロック ソースとして動作するクロック ブロックに実装されます。これにより、ウォッチドッグがディープスリープモードでも動作でき、設定されたタイムアウトが発生する前にウォッチドッグが処理されなかった場合にリセットが生成されます。ウォッチドッグ リセットは、ファームウェアが読み出し可能なリセット原因 (Reset Cause)

レジスタに記録されます。ウォッチドッグカウンターは、32kHz WCO を使用してリアルタイムクロックを実装するために使用できます。

リセット

PSoC 4100S は、ソフトウェア リセットを含む様々なソースからリセットできます。リセット イベントは非同期であり、デバイスが既知の状態に復帰させることが保証されています。リセットの原因は、ソフトウェアがリセットの原因を判断できるようにする、リセット中にスティッキーであるレジスタに記録されます。XRES ピンは、そのアクティブ レベルを LOW にアサートすることで外部リセット用に予約されます。XRES ピンには、常に有効になっている内部プルアップ抵抗があります。

アナログ ブロック

12 ビット SAR ADC

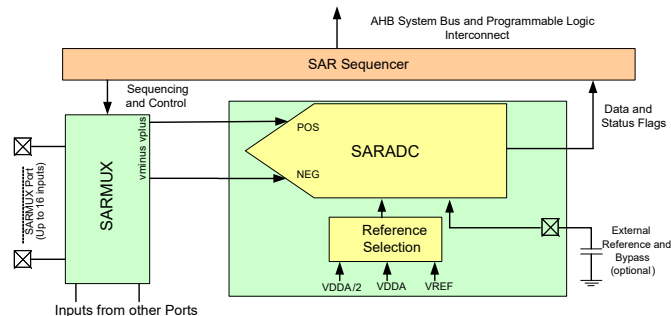
12 ビットの 1Msps SAR ADC は 18MHz の最大クロック レートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを必要とします。

サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプの整定時間を規定する利得帯域幅要件を必要に応じて緩和できます。内部リファレンス アンプ用として外部バイパス (固定したピン位置を介して) を提供できます。

SAR は 8 入力シーケンサを介して固定したピンに接続されます。シーケンサは、スイッチング オーバヘッドの必要なく選択されたチャンネルを自律的に巡回します (シーケンサ スキャン) (つまり、合計サンプリング帯域幅は、単一のチャンネルか複数のチャンネルであるにかかわらず 1Msps です)。シーケンサの切替えは、ステート マシンまたはファームウェア駆動の切替えにより行われます。シーケンサの 1 つの機能は、CPU 割り込みサービスの要件を軽減するための各チャンネルのバッファリングです。信号を様々なソース インピーダンスと周波数に適合させるために、チャンネルごとに異なるサンプリング時間をプログラムできます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタの一对 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割り込みで実施されます。これにより、シーケンサ スキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出できます。

SAR は高速クロック (最大 18MHz) を必要とするため、ディープスリープ モードに対応していません。SAR の動作範囲は 1.71V ~ 5.5V です。

図 5. SAR ADC



2 個のオペアンプ (連続時間ブロック; CTB)

PSoC 4100S は、コンパレータ モードのある 2 個のオペアンプを持つことにより、外部コンポーネントの必要がなく、ほとんどの一般的なアナログ機能がオンチップで実行できます。PGA、電圧バッファ、フィルタ、トランスインピーダンス アンプ、とその他の機能は外部受動である場合実現できるため、電力、コストおよび容量を削除できます。内蔵オペアンプは、外部バッファリングを必要とせずに ADC のサンプル ホールド回路を駆動するように十分な帯域幅に対応するように設計されています。

低消費電力コンパレータ (LPC)

PSoC 4100S は、ディープスリープ モードで動作できる低消費電力コンパレータの一对を内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログ システム ブロックを無効にできます。コンパレータ出力は、システム ウェイクアップ回路がコンパレータの切替えイベントによりアクティブになる非同期電力モードで動作する場合を除き、普通は準安定状態を避けるために同期化されています。LPC の出力はピンに接続できます。

電流 DAC

PSoC 4100S は、チップ上のすべてのピンを駆動できる 2 個の IDAC を備えています。これらの IDAC はプログラミング可能な電流範囲を持っています。

アナログ多重化バス

PSoC 4100S は中央から独立してチップの周辺を回る 2 個のバスを備えています。これらのバス (amux バスと呼ばれる) は、チップの内部リソース (IDAC、コンパレータ) が I/O ポートのいずれかのピンに接続できるようにする、ファームウェアでプログラム可能なアナログ スイッチに接続されています。

プログラマブル デジタル ブロック

スマート I/O ブロックはスイッチと LUT の構造体であり、ブール関数が信号で実現され GPIO ポートの各ピンに配線されます。スマート I/O は、論理演算をチップの入力ピン、および出力として出る信号で実行できます。

固定機能デジタル

タイマー/ カウンター/PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーがプログラム可能な周期長の 16 ビット カウンターからなります。キャプチャ レジスタは、I/O イベントなどのイベントの時にカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止し、または自動的にリロードします。比較レジスタは、PWM デューティ比出力として使用される比較値信号を生成します。ブロックは、真出力と相補出力 (それら間のオフセットがプログラミング可能) も提供しており、これらをデッドバンドがプログラミング可能な相補 PWM 出力として使用できます。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モーター駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェア介入なしに直ちに止める必要がある時、キル入力を使用されます。PSoC 4100S は 5 個の TCPWM ブロックがあります。

シリアル通信ブロック (SCB)

PSoC 4100S は 3 個のシリアル通信ブロックが備え、必要に応じて SPI、I2C または UART 機能にプログラムできます。

I²C モード：ハードウェア I²C ブロックは、完全なマルチマスターとスレーブ インターフェース (マルチマスターのアービトレーションが可能) を実装します。このブロックは、最大 400kbps (高速モード) で動作可能で、CPU 用の割り込みオーバヘッドとレイテンシを削減するためのフレキシブルなバッファリング オプションがあります。また、PSoC 4100S のメモリでメールボックス アドレス範囲を作って、メモリ アレイに対する読み書きの I²C 通信を効果的に削減する EZI²C にも対応しています。また、ブロックは送受信用に深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出さなければならない規定の時間を増加することで、時間どおりに CPU が読み出すデータを取得しないことに起因したクロック ストレッチの必要性を大幅に低減できます。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義されたとともに、I²C 標準モードとファストモード デバイスと互換性があります。I²C バス I/O は、オープンドレイン モードにある GPIO を使って実装されます。

PSoC 4100S は、以下の点では I²C 仕様に完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや、I²C システムの残りの部分から独立して電源を投入できません。

UART モード：これは 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し発展した車載向けシングルワイヤ インターフェース (LIN)、赤外線 インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の受信と送信ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサ モードに対応しています。パリティ エラー、ブレーク検出、フレイムエラーなどの一般的な UART 機能がサポートされています。深さ 8 の FIFO は、非常に大きい CPU サービス レイテンシを許容できるようにします。

SPI モード：SPI モードは Motorola SPI、TI SSP (SPI コデックの同期化用の開始パルスを追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用できます。

GPIO

PSoC 4100S は最大 36 本の GPIO を整備しています。GPIO ブロックは以下のものを実装します。

- 8 種類の駆動モード
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS あるいは LVTTL)
- 駆動強度モード以外に、入力と出力バッファのイネーブル/ディスエーブルの個別制御
- EMI を改善するために dV/dt 関連のノイズ制御用の選択可能なスルーレート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 2 とポート 3 はより少ないビット幅です)。電源投入とリセットの時、入力への電流を止めない、または電源投入時に過電流を発生させないために、ブロックは無効状態に移行させます。高速 I/O マトリックスとして知られている多

重化ネットワークは、1 本の I/O ピンに接続可能な複数の信号間を多重化するために使用されます。

データ出力とピンステートレジスタは、それぞれピン上で駆動される値とそれらのピンのステートを格納します。

各 I/O ピンは有効になった場合に割り込みを生成でき、各 I/O ポートはそれに対応する割り込み要求 (IRQ) と割り込みサービスルーチン (ISR) ベクタがあります (PSoC 4100S では、ベクタ数は 5 です)。

特殊機能ペリフェラル

CAPSENSE

CAPSENSE は、(アナログスイッチに接続された) アナログマルチプレクサ バスを介してどのピンにも接続できる CAPSENSE シグマ - デルタ (CSD) ブロックにより、PSoC 4100S でサポートされています。したがって、CAPSENSE 機能はソフトウェアで制御されて、システム内のいかなる使用可能なピンかピングループにも提供できます。ユーザーの便宜のために、PSoC Creator コンポーネントは CAPSENSE ブロックに提供されています。

シールド電圧は、耐水機能を実現するために他の多重化バス上で駆動できます。耐水性は、シールド電極を検知電極と同位相で駆動して、シールド静電容量が検知された入力を減衰させることを防ぐことで、実現されています。近接検知も実装できます。

CAPSENSE ブロックは、2 個の IDAC を備えています。これらは、CAPSENSE を使用しない (両方の IDAC とも使用可能) 場合、または CAPSENSE が耐水性を備えずに使用する (どちらか一方の IDAC が使用可能) 場合、一般用途に使用できます。

また、CAPSENSE ブロックは、CAPSENSE 機能と併用できる 10 ビットのスロー ADC 機能も提供しています。

CAPSENSE ブロックは高性能で、低ノイズのプログラマブルなブロック (つまり、感度と柔軟性を向上させるためにリファレンス電圧と電流源の範囲をプログラム可能) です。さらに、外部リファレンス電圧も利用できます。VDDA およびグラウンドのセンシングを代替し、消費電力関連ノイズをゼロにする全波 CSD モードがあります。

LCD セグメント駆動

PSoC 4100S は最大 4 コモン信号と最大 32 セグメント信号を駆動できる LCD コントローラを内蔵しています。内部 LCD 電圧を生成する必要なくフル デジタル方法を使用して LCD セグメントを駆動します。2 つの方法は、デジタル相関と PWM と呼ばれています。デジタル相関は、最高 RMS 電圧を生成してセグメントを点灯させる、または RMS 信号を 0 に維持するためにコモンとセグメント信号の周波数と駆動レベルを変調することです。この方法は STN ディスプレイに適していますが、(より安い) TN ディスプレイに対してはコントラストを減らすことがあります。PWM は、所望の LCD 電圧を生成するために PWM 信号によりパネルを駆動しパネルの静電容量を効果的に使用して変調されたパルス幅を提供することです。この方法は消費電力を増加しますが、TN ディスプレイを駆動するには良い結果を出します。LCD 動作はディープスリープ モード中にディスプレイ用の小さいバッファ (4 ビット、ポートごとに 1 つの 32 ビット レジスタ) をリフレッシュすることでサポートされます。

ピン配置

表 1 に、PSoC 4100S の 48 ピン TQFP、44 ピン TQFP、40 ピン QFN、32 ピン QFN および 35 ボール CSP パッケージ用のピン一覧を示します。すべてのポート ピンは GPIO に対応しています。

表 1. ピン一覧

48-TQFP		44-TQFP		40-QFN		32-QFN		35-CSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
28	P0.0	24	P0.0	22	P0.0	17	P0.0	C3	P0.0
29	P0.1	25	P0.1	23	P0.1	18	P0.1	A5	P0.1
30	P0.2	26	P0.2	24	P0.2	19	P0.2	A4	P0.2
31	P0.3	27	P0.3	25	P0.3	20	P0.3	A3	P0.3
32	P0.4	28	P0.4	26	P0.4	21	P0.4	B3	P0.4
33	P0.5	29	P0.5	27	P0.5	22	P0.5	A6	P0.5
34	P0.6	30	P0.6	28	P0.6	23	P0.6	B4	P0.6
35	P0.7	31	P0.7	29	P0.7			B5	P0.7
36	XRES	32	XRES	30	XRES	24	XRES	B6	XRES
37	VCCD	33	VCCD	31	VCCD	25	VCCD	A7	VCCD
38	VSSD			DN	VSSD	26	VSSD	B7	VSS
39	VDDD	34	VDDD	32	VDDD			C7	VDD
40	VDDA	35	VDDA	33	VDDA	27	VDD	C7	VDD
41	VSSA	36	VSSA	34	VSSA	28	VSSA	B7	VSS
42	P1.0	37	P1.0	35	P1.0	29	P1.0	C4	P1.0
43	P1.1	38	P1.1	36	P1.1	30	P1.1	C5	P1.1
44	P1.2	39	P1.2	37	P1.2	31	P1.2	C6	P1.2
45	P1.3	40	P1.3	38	P1.3	32	P1.3	D7	P1.3
46	P1.4	41	P1.4	39	P1.4			D4	P1.4
47	P1.5	42	P1.5					D5	P1.5
48	P1.6	43	P1.6					D6	P1.6
1	P1.7/VREF	44	P1.7/VREF	40	P1.7/VREF	1	P1.7/VREF	E7	P1.7/VREF
		1	VSSD						
2	P2.0	2	P2.0	1	P2.0	2	P2.0		
3	P2.1	3	P2.1	2	P2.1	3	P2.1		
4	P2.2	4	P2.2	3	P2.2	4	P2.2	D3	P2.2
5	P2.3	5	P2.3	4	P2.3	5	P2.3	E4	P2.3
6	P2.4	6	P2.4	5	P2.4			E5	P2.4
7	P2.5	7	P2.5	6	P2.5	6	P2.5	E6	P2.5
8	P2.6	8	P2.6	7	P2.6	7	P2.6	E3	P2.6
9	P2.7	9	P2.7	8	P2.7	8	P2.7	E2	P2.7
10	VSSD	10	VSSD	9	VSSD				
12	P3.0	11	P3.0	10	P3.0	9	P3.0	E1	P3.0
13	P3.1	12	P3.1	11	P3.1	10	P3.1	D2	P3.1
14	P3.2	13	P3.2	12	P3.2	11	P3.2	D1	P3.2
16	P3.3	14	P3.3	13	P3.3	12	P3.3	C1	P3.3
17	P3.4	15	P3.4	14	P3.4			C2	P3.4
18	P3.5	16	P3.5	15	P3.5				

表 1. ピン一覧 (続き)

48-TQFP		44-TQFP		40-QFN		32-QFN		35-CSP	
ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
19	P3.6	17	P3.6	16	P3.6				
20	P3.7	18	P3.7	17	P3.7				
21	VDDD	19	VDDD						
22	P4.0	20	P4.0	18	P4.0	13	P4.0	B1	P4.0
23	P4.1	21	P4.1	19	P4.1	14	P4.1	B2	P4.1
24	P4.2	22	P4.2	20	P4.2	15	P4.2	A2	P4.2
25	P4.3	23	P4.3	21	P4.3	16	P4.3	A1	P4.3

注 : 48 ピン TQFP で、ピン 11、15、26 および 27 は未接続 (NC) です。

電源ピンの説明は以下のとおりです。

VDD: デジタル セクション用の電源。

VDDA: アナログ セクション用の電源。

VSSD、VSSA: それぞれデジタルとアナログ セクション用のグラウンド ピン。

VCCD: 安定化デジタル電源 (1.8V±5%)

VDD : チップのすべてのセクションへの電源

VSS : チップのすべてのセクションのグラウンド

ピンの代替機能

それぞれのポート ピンは多機能の 1 つに割り当てられます。それはアナログ I/O、デジタル ペリフェラル機能、LCD ピン、または CAPSENSE ピンなどになり得ます。ピンの割当てを表 2 に示します。

表 2. ピンの代替機能

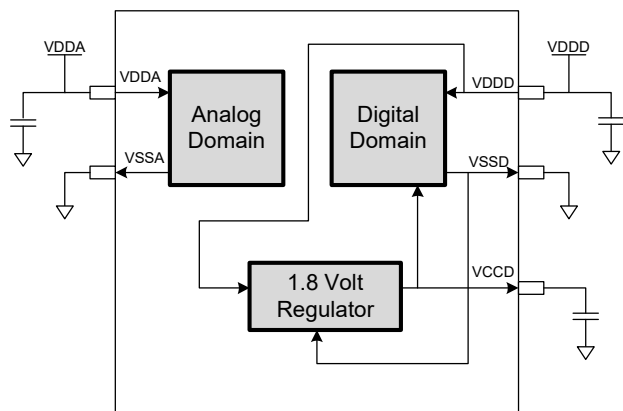
ポート/ ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	ディープスリープ 1	ディープスリープ 2
P0.0	lpcomp.in_p[0]				tcpwm.tr_in[0]	scb[2].i2c_scl:0	scb[0].spi_select1:0
P0.1	lpcomp.in_n[0]				tcpwm.tr_in[1]	scb[2].i2c_sda:0	scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]						scb[2].spi_select0
P0.4	wco.wco_in			scb[1].uart_rx:0	scb[2].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco.wco_out			scb[1].uart_tx:0	scb[2].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6			srss.ext_clk	scb[1].uart_cts:0	scb[2].uart_tx:1		scb[1].spi_clk:1
P0.7			tcpwm.line[0]:2	scb[1].uart_rts:0			scb[1].spi_select0:1
P1.0	ctb0_oa0+		tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1	ctb0_oa0-		tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2	ctb0_oa0_out		tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]	scb[2].i2c_scl:1	scb[0].spi_clk:1
P1.3	ctb0_oa1_out		tcpwm.line_compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]	scb[2].i2c_sda:1	scb[0].spi_select0:1
P1.4	ctb0_oa1-						scb[0].spi_select1:1
P1.5	ctb0_oa1+						scb[0].spi_select2:1
P1.6	ctb0_oa0+						scb[0].spi_select3:1
P1.7	ctb0_oa1+ sar_ext_vref0 sar_ext_vref1						scb[2].spi_clk
P2.0	sarmux[0]	Smartlo[0].io[0]	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1	sarmux[1]	Smartlo[0].io[1]	tcpwm.line_compl[4]:0		tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2	sarmux[2]	Smartlo[0].io[2]					scb[1].spi_clk:2
P2.3	sarmux[3]	Smartlo[0].io[3]					scb[1].spi_select0:2
P2.4	sarmux[4]	Smartlo[0].io[4]	tcpwm.line[0]:1				scb[1].spi_select1:1
P2.5	sarmux[5]	Smartlo[0].io[5]	tcpwm.line_compl[0]:1				scb[1].spi_select2:1
P2.6	sarmux[6]	Smartlo[0].io[6]	tcpwm.line[1]:1				scb[1].spi_select3:1
P2.7	sarmux[7]	Smartlo[0].io[7]	tcpwm.line_compl[1]:1			lpcomp.comp[0]:1	scb[2].spi_mosi
P3.0		Smartlo[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1		scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1		Smartlo[1].io[1]	tcpwm.line_compl[0]:0	scb[1].uart_tx:1		scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2		Smartlo[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts:1		cpuss.swd_data	scb[1].spi_clk:0

ポート/ ピン	アナログ	スマート I/O	代替機能 1	代替機能 2	代替機能 3	ディープスリープ 1	ディープスリープ 2
P3.3		Smartlo[1].io[3]	tcpwm.line_compl[1]:0	scb[1].uart_rts:1		cpuss.swd_clk	scb[1].spi_select0:0
P3.4		Smartlo[1].io[4]	tcpwm.line[2]:0		tcpwm.tr_in[6]		scb[1].spi_select1:0
P3.5		Smartlo[1].io[5]	tcpwm.line_compl[2]:0				scb[1].spi_select2:0
P3.6		Smartlo[1].io[6]	tcpwm.line[3]:0				scb[1].spi_select3:0
P3.7		Smartlo[1].io[7]	tcpwm.line_compl[3]:0			lpcomp.comp[1]:1	scb[2].spi_miso
P4.0	csd.vref_ext			scb[0].uart_rx:0		scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshieldpads			scb[0].uart_tx:0		scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmodpad			scb[0].uart_cts:0		lpcomp.comp[0]:0	scb[0].spi_clk:0
P4.3	csd.csh_tank			scb[0].uart_rts:0		lpcomp.comp[1]:0	scb[0].spi_select0:0

電源

以下の電源システム図は、PSoC 4100S 用に実装された電源ピン セットを示します。システムは、アクティブ モードで動作するデジタル回路用レギュレータがあります。アナログレギュレータはありません。アナログ回路は V_{DD} 入力から直接電源供給されます。

図 6. 電源接続



次の 2 つの異なる動作モードがあります。モード 1 では、供給電圧範囲は 1.8V ~ 5.5V (非安定化外部電源; 内部レギュレータが動作可能) です。モード 2 では、供給電圧範囲は 1.8V \pm 5% (安定化外部電源; 1.71 ~ 1.89V、内部レギュレータがバイパスされる) です。

モード 1: 1.8V ~ 5.5V の外部電源

このモードでは、PSoC 4100S は 1.8V ~ 5.5V の任意の外部電源から電源供給されます。この範囲はバッテリー駆動動作にも設計されます。例えば、チップは、3.5V から始まってから 1.8V に低減するバッテリーシステムから電源供給されます。このモードでは、PSoC 4100S の内部レギュレータは内部ロジックに電源を供給し、その出力は V_{CCD} ピンに接続されます。 V_{CCD} ピンは外部コンデンサ (0.1 μ F; X5R セラミックがそれより良い) によりグラウンドにバイパスされ、他のどれにも接続してはいけません。

モード 2: 1.8V \pm 5% の外部電源

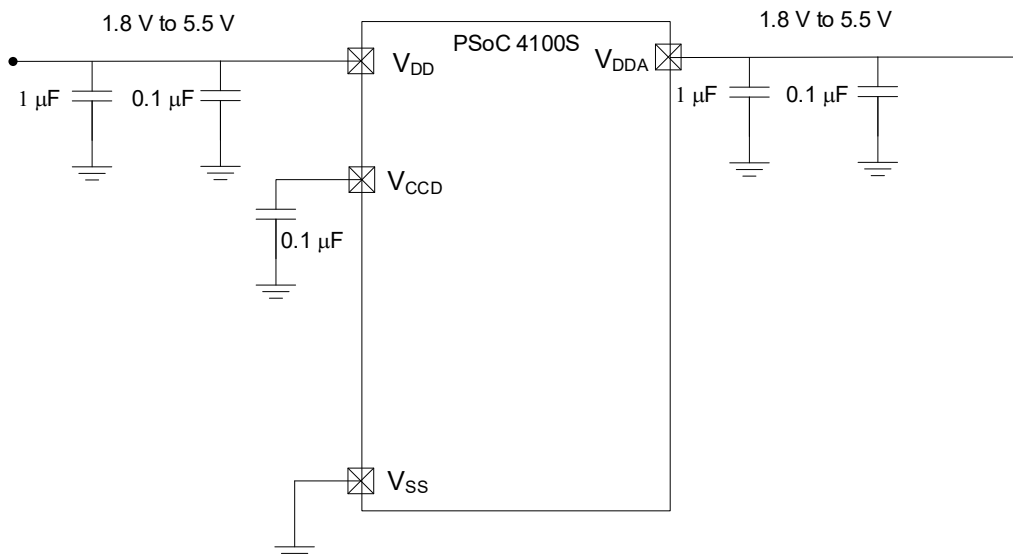
このモードでは、PSoC 4100S は 1.71V ~ 1.89V の外部電源から電源供給されます。この範囲は電源リップルを含む必要があることにご注意ください。このモードで、 V_{DD} と V_{CCD} ピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効にされます。

バイパス コンデンサは、 V_{DDD} とグラウンド間に接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、1 μ F レンジのコンデンサとより小さいコンデンサ (例えば、0.1 μ F) を平行に配置し使用します。これらが単に経験則であり、重要なアプリケーションに対しては、最適なバイパスを得るために、設計の際には PCB レイアウト、リード インダクタンス、寄生バイパス コンデンサをシミュレートする必要があります。

バイパススキームの例を図 7 に示します。

図 7. 内部レギュレータが有効でありながら 1.8V ~ 5.5V の外部電源

Power supply bypass connections example



電氣的仕様

絶対最大定格

表 3. 絶対最大定格^[1]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID1	V _{DDD_ABS}	V _{SS} を基準としたデジタル電源	-0.5	—	6	V	—
SID2	V _{CCD_ABS}	V _{SS} を基準とした直接デジタル コア電圧入力	-0.5	—	1.95		—
SID3	V _{GPIO_ABS}	GPIO 電圧	-0.5	—	V _{DD} +0.5		—
SID4	I _{GPIO_ABS}	GPIO 当たりの最大電流	-25	—	25	mA	—
SID5	I _{GPIO_injection}	GPIO 注入電流、V _{IH} > V _{DDD} の場合は Max、V _{IL} < V _{SS} の場合は Min	-0.5	—	0.5		ピンごとの注入された電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	—	—	V	—
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	—	—		—
BID46	LU	ラッチアップ時のピン電流	-140	—	140	mA	—

デバイス レベルの仕様

すべての仕様は、特に注記した場合を除いて、-40°C ≤ T_A ≤ 105°C および T_J ≤ 125°C の条件で有効です。仕様は注記した場合を除いて 1.71V ~ 5.5V において有効です。

表 4. DC 仕様

標準値は 25°C で、V_{DD} = 3.3V 時に測定されます。

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID53	V _{DD}	電源供給入力電圧	1.8	—	5.5	V	内部的に安定化された電源
SID255	V _{DD}	電源供給入力電圧 (V _{CCD} = V _{DDD} = V _{DDA})	1.71	—	1.89		内部的に安定化されない電源
SID54	V _{CCD}	出力電圧 (コア ロジック用)	—	1.8	—		—
SID55	C _{EFC}	外部レギュレータ電圧バイパス	—	0.1	—	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源供給バイパス コンデンサ	—	1	—		

アクティブ モード、V_{DD} = 1.8V ~ 5.5V。標準値は 25°C、V_{DD} = 3.3V で測定

SID10	I _{DD5}	フラッシュから実行 ; CPU 速度が 6MHz	—	1.8	2.7	mA	85 °C、5.5V で最大。
SID16	I _{DD8}	フラッシュから実行 ; CPU 速度が 24MHz	—	3.0	4.75		
SID19	I _{DD11}	フラッシュから実行 ; CPU 速度が 48MHz	—	5.4	6.85		

スリープ モード、V_{DDD} = 1.8V ~ 5.5V (レギュレータが有効)

SID22	IDD17	I ² C ウェイクアップ WDT、およびコンパレータが有効	—	1.7	2.2	mA	6MHz。85 °C、5.5V で最大。
SID25	IDD20	I ² C ウェイクアップ ; WDT およびコンパレータが有効	—	2.2	2.5		12MHz。85 °C、5.5V で最大。

スリープ モード、V_{DDD} = 1.71V ~ 1.89V (レギュレータ バイパス)

SID28	IDD23	I ² C ウェイクアップ、WDT、およびコンパレータが有効	—	0.7	0.9	mA	6MHz。85 °C、5.5V で最大。
-------	-------	---	---	-----	-----	----	----------------------

注:

- 表 3 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様通りに動作しない可能性があります。

表 4. DC 仕様 (続き)

 標準値は 25°C で、 $V_{DD} = 3.3V$ 時に測定されます。

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID28A	IDD23A	I ² C ウェイクアップ、WDT、およびコンパレータが有効	–	1	1.2	mA	12MHz。85 °C、5.5V で最大。
ディープスリープ モード、 $V_{DD} = 1.8V \sim 3.6V$ (レギュレータが有効)							
SID31	IDD26	I ² C ウェイクアップと WDT が有効	–	2.5	60	μA	3.6V、85 °C で最大。
ディープスリープ モード、 $V_{DD} = 3.6V \sim 5.5V$ (レギュレータが有効)							
SID34	IDD29	I ² C ウェイクアップと WDT が有効	–	2.5	60	μA	5.5V、85 °C で最大。
ディープスリープ モード、 $V_{DD} = V_{CCD} = 1.71V \sim 1.89V$ (レギュレータが有効)							
SID37	IDD32	I ² C ウェイクアップと WDT が有効	–	2.5	65	μA	1.89V、85 °C で最大。
XRES 電流							
SID307	IDD_XR	XRES がアサートされている時の供給電流	–	2	5	mA	–

表 5. AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID48	F _{CPU}	CPU 周波数	DC	–	48	MHz	$1.71 \leq V_{DD} \leq 5.5$
SID49 ^[2]	T _{SLEEP}	スリープ モードからの復帰時間	–	0	–	μs	–
SID50 ^[2]	T _{DEEPSLEEP}	ディープスリープ モードからの復帰時間	–	35	–		–

注：

2. 特性評価で保証されています。

GPIO
表 6. GPIO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID57	$V_{IH}^{[3]}$	入力電圧の HIGH 閾値	$0.7 \times V_{DDD}$	—	—	V	CMOS 入力
SID58	V_{IL}	入力電圧の LOW 閾値	—	—	$0.3 \times V_{DDD}$		
SID241	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} < 2.7V$	$0.7 \times V_{DDD}$	—	—		
SID242	V_{IL}	LVTTL 入力、 $V_{DDD} < 2.7V$	—	—	$0.3 \times V_{DDD}$		
SID243	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DDD} \geq 2.7V$	2.0	—	—		
SID244	V_{IL}	LVTTL 入力、 $V_{DDD} \geq 2.7V$	—	—	0.8		
SID59	V_{OH}	出力 HIGH 電圧	$V_{DDD}-0.6$	—	—		$I_{OH} = 4mA, V_{DDD} \geq 3V$
SID60	V_{OH}	出力 HIGH 電圧	$V_{DDD}-0.5$	—	—		$V_{DDD} = 1.8V$ の時、 $I_{OH} = 1mA$
SID61	V_{OL}	出力 LOW 電圧	—	—	0.6		$V_{DDD} = 1.8V$ の時、 $I_{OL} = 4mA$
SID62	V_{OL}	出力 LOW 電圧	—	—	0.6		$I_{OH} = 10mA, V_{DDD} \geq 3V$
SID62A	V_{OL}	出力 LOW 電圧	—	—	0.4		$I_{OH} = 3mA, V_{DDD} \geq 3V$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5	k Ω	—
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5		—
SID65	I_{IL}	入力リーク電流 (絶対値)	—	—	2	nA	25°C, $V_{DDD} = 3.0V$
SID66	C_{IN}	入力寄生容量	—	—	7	pF	—
SID67 ^[4]	V_{HYSTTL}	入力ヒステリシス LVTTL	25	40	—	mV	$V_{DDD} \geq 2.7V$
SID68 ^[4]	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDD}$	—	—		$V_{DD} < 4.5V$
SID68A ^[4]	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	—	—		
SID69 ^[4]	I_{DIODE}	保護ダイオードをとって V_{DD}/V_{SS} に流れる電流	—	—	100	μA	—
SID69A ^[4]	I_{TOT_GPIO}	チップのソースまたはシンク電流の合計最大値	—	—	200	mA	—

注：

3. V_{IH} は $V_{DDD} + 0.2V$ を超えてはいけません。
4. 特性評価で保証されています。

表 7. GPIO の AC 仕様
 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T_{RISEF}	高速ストロングモードでの立ち上がり時間	2	–	12	ns	3.3V V_{DD} 、Load = 25pF
SID71	T_{FALLF}	高速ストロングモードでの立ち下り時間	2	–	12		
SID72	T_{RISES}	低速ストロングモードでの立ち上がり時間	10	–	60	–	
SID73	T_{FALLS}	低速ストロングモードでの立ち下り時間	10	–	60	–	
SID74	F_{GPIO1}	GPIO F_{OUT} ; 3.3V $\leq V_{DD} \leq 5.5V$ 高速ストロングモード	–	–	33	MHz	90/10%、負荷 25pF、 デューティ比 60/40
SID75	F_{GPIO2}	GPIO F_{OUT} ; 1.71V $\leq V_{DD} \leq 3.3V$ 高速ストロングモード	–	–	16.7		
SID76	F_{GPIO3}	GPIO F_{OUT} ; 3.3V $\leq V_{DD} \leq 5.5V$ 低速ストロングモード	–	–	7		
SID245	F_{GPIO4}	GPIO F_{OUT} ; 1.71V $\leq V_{DD} \leq 3.3V$ 低速ストロングモード	–	–	3.5		
SID246	F_{GPIOIN}	GPIO の入力動作の周波数 ; 1.71V $\leq V_{DD} \leq 5.5V$	–	–	48		90/10% V_{IO}

XRES

表 8. XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V_{IH}	入力電圧の HIGH 閾値	$0.7 \times V_{DD}$	–	–	V	CMOS 入力
SID78	V_{IL}	入力電圧の LOW 閾値	–	–	$0.3 \times V_{DD}$		
SID79	R_{PULLUP}	プルアップ抵抗	–	60	–	k Ω	–
SID80	C_{IN}	入力寄生容量	–	–	7	pF	–
SID81 ^[5]	$V_{HYSXRES}$	入力ヒステリシス電圧	–	100	–	mV	$V_{DD} > 4.5V$ 時の標準ヒステリシス電圧が 200mV
SID82	I_{DIODE}	保護ダイオードをとって V_{DD} / V_{SS} に流れる電流	–	–	100	μA	

表 9. XRES の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID83 ^[5]	$T_{RESETWIDTH}$	リセットパルス幅	1	–	–	μs	–
BID194 ^[5]	$T_{RESETWAKE}$	リセット解除時からのウェイクアップ時間	–	–	2.7	ms	–

注:
 5. 特性評価で保証されています。

アナログ ペリフェラル
表 10. CTBm のオペアンプ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
	I _{DD}	オペアンプブロック電流、外部負荷					
SID269	I _{DD_HI}	電力 = 高	－	1100	1850	μA	－
SID270	I _{DD_MED}	電力 = 中	－	550	950		－
SID271	I _{DD_LOW}	電力 = 低	－	150	350		－
	G _{BW}	負荷 = 20pF、0.1mA V _{DDA} = 2.7V					
SID272	G _{BW_HI}	電力 = 高	6	－	－	MHz	入力および出力は0.2V～ V _{DDA} -0.2V
SID273	G _{BW_MED}	電力 = 中	3	－	－		
SID274	G _{BW_LO}	電力 = 低	－	1	－		
	I _{OUT_MAX}	V _{DDA} = 2.7V、500mVの電源レール					
SID275	I _{OUT_MAX_HI}	電力 = 高	10	－	－	mA	出力は0.5V V _{DDA} -0.5V
SID276	I _{OUT_MAX_MID}	電力 = 中	10	－	－		
SID277	I _{OUT_MAX_LO}	電力 = 低	－	5	－		
	I _{OUT}	V _{DDA} = 1.71V、500mVの電源レール					
SID278	I _{OUT_MAX_HI}	電力 = 高	4	－	－	mA	出力は0.5V V _{DDA} -0.5V
SID279	I _{OUT_MAX_MID}	電力 = 中	4	－	－		
SID280	I _{OUT_MAX_LO}	電力 = 低	－	2	－		
	I _{DD_Int}	オペアンプブロック電流、内部負荷					
SID269_I	I _{DD_HI_Int}	電力 = 高	－	1500	1700	μA	－
SID270_I	I _{DD_MED_Int}	電力 = 中	－	700	900		－
SID271_I	I _{DD_LOW_Int}	電力 = 低	－	－	－		－
	G _{BW}	V _{DDA} = 2.7V	－	－	－	－	
SID272_I	G _{BW_HI_Int}	電力=高	8	－	－	MHz	出力は0.25V～ V _{DDA} -0.25V
		内部と外部モードの両方の一般的なオペアンプの仕様					
SID281	V _{IN}	チャージポンプがオン、 V _{DDA} = 2.7V	－0.05	－	V _{DDA} -0.2	V	－
SID282	V _{CM}	チャージポンプがオン、 V _{DDA} = 2.7V	－0.05	－	V _{DDA} -0.2		－
	V _{OUT}	V _{DDA} = 2.7V					
SID283	V _{OUT_1}	電力 = 高, Iload=10mA	0.5	－	V _{DDA} -0.5	V	－
SID284	V _{OUT_2}	電力 = 高, Iload=1mA	0.2	－	V _{DDA} -0.2		－
SID285	V _{OUT_3}	電力 = 中, Iload=1mA	0.2	－	V _{DDA} -0.2		－
SID286	V _{OUT_4}	電力 = 低, Iload=0.1mA	0.2	－	V _{DDA} -0.2		－

表 10. CTBm のオペアンプ仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID288	V _{OS_TR}	オフセット電圧(調整後)	−1.0	±0.5	1.0	mV	高消費電力モード、入力は0V〜V _{D_{DA}} -0.2V
SID288A	V _{OS_TR}	オフセット電圧(調整後)	−	±1	−		中消費電力モード、入力は0V〜V _{D_{DA}} -0.2V
SID288B	V _{OS_TR}	オフセット電圧(調整後)	−	±2	−		低消費電力モード、入力は0V〜V _{D_{DA}} -0.2V
SID290	V _{OS_DR_TR}	オフセット電圧ドリフト(調整後)	−10	±3	10	μV/°C	高消費電力モード
SID290A	V _{OS_DR_TR}	オフセット電圧ドリフト(調整後)	−	±10	−		中消費電力モード
SID290B	V _{OS_DR_TR}	オフセット電圧ドリフト(調整後)	−	±10	−		低消費電力モード
SID291	CMRR	DC	70	80	−	dB	入力は0V〜V _{D_{DA}} -0.2V、出力は0.2V〜V _{D_{DA}} -0.2V
SID292	PSRR	周波数 = 1kHz リップル = 10mV	70	85	−		V _{DD_D} = 3.6V、高消費電力モード、入力は0.2V〜V _{D_{DA}} -0.2V
	ノイズ						
SID294	VN2	基準入力、1kHz、電力 = 高	−	72	−	nV/rtHz	入力および出力は0.2V〜V _{D_{DA}} -0.2V
SID295	VN3	基準入力、10kHz、電力 = 高	−	28	−		
SID296	VN4	基準入力、100kHz、電力 = 高	−	15	−		
SID297	C _{LOAD}	最大負荷まで安定。50pFで性能仕様を満たす	−	−	125	pF	−
SID298	SLEW_RATE	C _{load} = 50pF、電力 = 高、V _{D_{DA}} = 2.7V	6	−	−	V/μs	−
SID299	T _{OP_WAKE}	無効から有効まで、外付けRC無し	−	−	25	μs	−
SID299A	OL_GAIN	オープンループゲイン	−	90	−	dB	−
	COMP_MODE	コンパレータモード; 50mV駆動、T _{rise} =T _{fall} (おおよそ)					
SID300	TPD1	応答時間; 電力 = 高	−	150	−	ns	入力は0.2V〜V _{D_{DA}} -0.2V
SID301	TPD2	応答時間; 電力 = 中	−	500	−		
SID302	TPD3	応答時間; 電力 = 低	−	2500	−		
SID303	VHYST_OP	ヒステリシス	−	10	−	mV	−
SID304	WUP_CTB	イネーブルから使用可能までのウェイクアップ時間	−	−	25	μs	−
	ディープスリープモード	モード2は最小の電流範囲。モード1はより高いGBWを持つ					

表 10. CTBm のオペアンプ仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	備考／条件
SID_DS_1	I _{DD_HI_M1}	モード1、高電流	–	1400	–	μA	25 °C
SID_DS_2	I _{DD_MED_M1}	モード1、中電流	–	700	–		
SID_DS_3	I _{DD_LOW_M1}	モード1、低電流	–	200	–		
SID_DS_4	I _{DD_HI_M2}	モード2、高電流	–	120	–		
SID_DS_5	I _{DD_MED_M2}	モード2、中電流	–	60	–		
SID_DS_6	I _{DD_LOW_M2}	モード2、低電流	–	15	–		
SID_DS_7	G _{BW_HI_M1}	モード1、高電流	–	4	–	MHz	20pF負荷、DC負荷なし、 0.2V~V _{DDA} -0.2V
SID_DS_8	G _{BW_MED_M1}	モード1、中電流	–	2	–		
SID_DS_9	G _{BW_LOW_M1}	モード1、低電流	–	0.5	–		
SID_DS_10	G _{BW_HI_M2}	モード2、高電流	–	0.5	–		
SID_DS_11	G _{BW_MED_M2}	モード2、中電流	–	0.2	–		
SID_DS_12	G _{BW_LOW_M2}	モード2、低電流	–	0.1	–		
SID_DS_13	V _{OS_HI_M1}	モード1、高電流	–	5	–	mV	トリム25°Cあり、0.2V ~V _{DDA} -0.2V
SID_DS_14	V _{OS_MED_M1}	モード1、中電流	–	5	–		
SID_DS_15	V _{OS_LOW_M1}	モード1、低電流	–	5	–		
SID_DS_16	V _{OS_HI_M2}	モード2、高電流	–	5	–		
SID_DS_17	V _{OS_MED_M2}	モード2、中電流	–	5	–		
SID_DS_18	V _{OS_LOW_M2}	モード2、低電流	–	5	–		
SID_DS_19	I _{OUT_HI_M1}	モード1、高電流	–	10	–	mA	出力は0.5V~V _{DDA} -0.5V
SID_DS_20	I _{OUT_MED_M1}	モード1、中電流	–	10	–		
SID_DS_21	I _{OUT_LOW_M1}	モード1、低電流	–	4	–		
SID_DS_22	I _{OUT_HI_M2}	モード2、高電流	–	1	–		–
SID_DS_23	I _{OUT_MED_M2}	モード2、中電流	–	1	–		–
SID_DS_24	I _{OUT_LOW_M2}	モード2、低電流	–	0.5	–		–

表 11. コンパレータの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID84	V _{OFFSET1}	入力オフセット電圧 (工場出荷時調整)	–	–	±10	mV	–
SID85	V _{OFFSET2}	入力オフセット電圧 (合わせ込み調整)	–	–	±4		–
SID86	V _{HYST}	有効時のヒステリシス	–	10	35		–
SID87	V _{ICM1}	通常モード入力同相電圧	0	–	V _{DDD} -0.1	V	モード 1 および モード 2
SID247	V _{ICM2}	低消費電力モード入力同相電圧	0	–	V _{DDD}		–
SID247A	V _{ICM3}	超低消費電力モード入力同相電圧	0	–	V _{DDD} -1.15		–40°C で V _{DDD} ≥ 2.2V
SID88	C _{MRR}	同相信号除去比	50	–	–	dB	V _{DDD} ≥ 2.7V
SID88A	C _{MRR}	同相信号除去比	42	–	–		

表 11. コンパレータの DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID89	I _{CMP1}	ブロック電流、通常モード	–	–	400	μA	
SID248	I _{CMP2}	ブロック電流、低消費電力モード	–	–	100		
SID259	I _{CMP3}	ブロック電流、超低消費電力モード	–	–	6		–40°C で V _{DDD} ≥ 2.2V
SID90	Z _{CMP}	コンパレータの DC 入力インピーダンス	35	–	–	MΩ	

表 12. コンパレータの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID91	TRESP1	応答時間、通常モード、50mV オーバードライブ	–	38	110	ns	
SID258	TRESP2	応答時間、低消費電力モード、50mV オーバードライブ	–	70	200		
SID92	TRESP3	応答時間、超低消費電力モード、200mV オーバードライブ	–	2.3	15	μs	–40°C で V _{DDD} ≥ 2.2V

表 13. 温度センサー仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID93	TSSENSACC	温度センサー精度	–5	±1	5	°C	–40°C ~ +85°C

表 14. SAR 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SAR ADC の DC 仕様							
SID94	A_RES	分解能	–	–	12	ビット	–
SID95	A_CHNLS_S	チャンネル数 – シングル エンド	–	–	16		8 個のフルスピードチャンネル
SID96	A-CHNKS_D	チャンネル数 – 差動	–	–	4		差動チャンネルの入力は隣接する I/O を使用
SID97	A-MONO	単調増加性	–	–	–		有
SID98	A_GAINERR	ゲイン誤差	–	–	±0.1	%	外部リファレンス有り
SID99	A_OFFSET	入力オフセット電圧	–	–	2	mV	1V リファレンス電圧で測定
SID100	A_ISAR	消費電流	–	–	1	mA	–
SID101	A_VINS	入力電圧範囲 – シングル エンド	V _{SS}	–	V _{DDA}	V	–
SID102	A_VIND	入力電圧範囲 – 差動	V _{SS}	–	V _{DDA}		–
SID103	A_INRES	入力抵抗	–	–	2.2	kΩ	–
SID104	A_INCAP	入力寄生容量	–	–	10	pF	–
SID260	VREFSAR	SAR 用の調整された内部リファレンス電圧	1.188	1.2	1.212	V	–
SAR ADC の AC 仕様							
SID106	A_PSR	電源電圧変動除去比	70	–	–	dB	–
SID107	A_CMRR	同相信号除去比	66	–	–	dB	1V で測定
SID108	A_SAMP	サンプリング速度	–	–	1	MSPS	

表 14. SAR 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID109	A_SNR	信号対ノイズおよび歪み比 (SINAD)	65	—	—	dB	$F_{IN} = 10\text{kHz}$
SID110	A_BW	エイリアシング無しの入力帯域幅	—	—	$A_{\text{samp}}/2$	kHz	
SID111	A_INL	積分非直線性 $V_{DD} = 1.71 \sim 5.5\text{V}$ 、1Msps	-1.7	—	2	LSB	$V_{REF} = 1 \sim V_{DD}$
SID111A	A_INL	積分非直線性 $V_{DD} = 1.71\text{V} \sim 3.6\text{V}$ 、1Msps	-1.5	—	1.7		$V_{REF} = 1.71 \sim V_{DD}$
SID111B	A_INL	積分非直線性 $V_{DD} = 1.71\text{V} \sim 5.5\text{V}$ 、500Ksps	-1.5	—	1.7		$V_{REF} = 1 \sim V_{DD}$
SID112	A_DNL	微分非直線性 $V_{DD} = 1.71 \sim 5.5\text{V}$ 、1Msps	-1	—	2.2		$V_{REF} = 1 \sim V_{DD}$
SID112A	A_DNL	微分非直線性 $V_{DD} = 1.71\text{V} \sim 3.6\text{V}$ 、1Msps	-1	—	2		$V_{REF} = 1.71 \sim V_{DD}$
SID112B	A_DNL	微分非直線性 $V_{DD} = 1.71\text{V} \sim 5.5\text{V}$ 、500ksps	-1	—	2.2		$V_{REF} = 1 \sim V_{DD}$
SID113	A_THD	全高調波歪み	—	—	-65	dB	$F_{in} = 10\text{kHz}$
SID261	FSARINTREF	外部リファレンスバイパス電圧無しの SAR 動作速度	—	—	100	ksps	12 ビット分解能

CSD
表 15. CSD および IDAC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SYS.PER#3	VDD_RIPPLE	10 MHzでのDC電源の最大許容リップル	—	—	±50	mV	$V_{DD} > 2\text{V}$ (リップルあり)、 $T_A = 25^\circ\text{C}$ 、感度 = 0.1pF
SYS.PER#16	VDD_RIPPLE_1.8	10 MHzでのDC電源の最大許容リップル	—	—	±25		$V_{DD} > 1.75\text{V}$ (リップルあり)、 $T_A = 25^\circ\text{C}$ 、寄生容量 (C_P) < 20pF、感度 ≥ 0.4pF
SID.CSD.BLK	ICSD	最大ブロック電流	—	—	4000	μA	コンパレータ、バッファリファレンスジェネレータを含むダイナミック (スイッチング) モードの両方のIDACの最大ブロック電流
SID.CSD#15	V_{REF}	CSDおよびコンパレータ用の基準電圧	0.6	1.2	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または4.4 (いずれか低い方)
SID.CSD#15A	V_{REF_EXT}	CSDおよびコンパレータ用の外部基準電圧	0.6		$V_{DDA} - 0.6$		$V_{DDA} - 0.6$ または4.4 (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1 (7ビット) ブロック電流	—	—	1750	μA	—
SID.CSD#17	IDAC2IDD	IDAC2 (7ビット) ブロック電流	—	—	1750		—
SID308	VCSD	動作電圧の範囲	1.71	—	5.5	V	1.8V ±5%または1.8V ~ 5.5V
SID308A	VCOMPIDAC	IDACの準拠の電圧範囲	0.6	—	$V_{DDA} - 0.6$		$V_{DDA} - 0.6$ または4.4 (いずれか低い方)
SID309	IDAC1DNL	DNL	-1	—	1	LSB	—
SID310	IDAC1INL	INL	-2	—	2		$V_{DDA} < 2\text{V}$ の場合 INLは±5.5LSB
SID311	IDAC2DNL	DNL	-1	—	1		—
SID312	IDAC2INL	INL	-2	—	2		$V_{DDA} < 2\text{V}$ の場合 INLは±5.5LSB
SID313	SNR	信号対ノイズ比 (特性評価上保証)	5	—	—	Ratio	静電容量範囲が5 ~ 35pFで、感度=0.1pF。すべてのユースケース。 $V_{DDA} > 2\text{V}$

表 15. CSD および IDAC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID314	IDAC1CRT1	低域でのIDAC1 (7ビット) の出力電流	4.2	–	5.4	μA	LSB = 37.5nA typ.
SID314A	IDAC1CRT2	中域でのIDAC1 (7ビット) の出力電流	34	–	41		LSB = 300nA typ.
SID314B	IDAC1CRT3	高域でのIDAC1 (7ビット) の出力電流	275	–	330		LSB = 2.4μA typ.
SID314C	IDAC1CRT12	低域でのIDAC1 (7ビット) の出力電流、2Xモード	8	–	10.5	μA	LSB = 75nA typ.
SID314D	IDAC1CRT22	中域でのIDAC1 (7ビット) の出力電流、2Xモード	69	–	82		LSB = 600nA typ.
SID314E	IDAC1CRT32	高域でのIDAC1 (7ビット) の出力電流、2Xモード	540	–	660		LSB = 4.8μA typ.
SID315	IDAC2CRT1	低域でのIDAC2 (7ビット) の出力電流	4.2	–	5.4		LSB = 37.5nA typ.
SID315A	IDAC2CRT2	中域でのIDAC2 (7ビット) の出力電流	34	–	41		LSB = 300nA typ.
SID315B	IDAC2CRT3	高域でのIDAC2 (7ビット) の出力電流	275	–	330		LSB = 2.4μA typ.
SID315C	IDAC2CRT12	低域でのIDAC2 (7ビット) の出力電流、2Xモード	8	–	10.5		LSB = 75nA typ.
SID315D	IDAC2CRT22	中域でのIDAC2 (7ビット) の出力電流、2Xモード	69	–	82		LSB = 600nA typ.
SID315E	IDAC2CRT32	高域でのIDAC2 (7ビット) の出力電流、2Xモード	540	–	660		LSB = 4.8μA typ.
SID315F	IDAC3CRT13	低域での8ビットモードIDACの出力電流	8	–	10.5		LSB = 37.5nA typ.
SID315G	IDAC3CRT23	中域での8ビットモードIDACの出力電流	69	–	82		LSB = 300nA typ.
SID315H	IDAC3CRT33	高域での8ビットモードIDACの出力電流	540	–	660		LSB = 2.4μA typ.
SID320	IDACOFFSET	すべてのゼロ入力	–	–	1	LSB	極性はソースまたはシンク電流により設定。オフセットは37.5nA/LSBモードで2LSB
SID321	IDACGAIN	フルスケールエラーからオフセットエラーを差し引いた後の値	–	–	±10	%	–
SID322	IDACMISMATCH1	低モードでのIDAC1とIDAC2の不一致	–	–	9.2	LSB	LSB = 37.5nA typ.
SID322A	IDACMISMATCH2	中モードでのIDAC1とIDAC2の不一致	–	–	5.6		LSB = 300nA typ.
SID322B	IDACMISMATCH3	高モードでのIDAC1とIDAC2の不一致	–	–	6.8		LSB = 2.4μA typ.
SID323	IDACSET8	8ビットIDACの0.5LSBに達するまでの整定時間	–	–	10	μs	フルスケール遷移。外部負荷なし
SID324	IDACSET7	7ビットIDACの0.5LSBに達するまでの整定時間	–	–	10		フルスケール遷移。外部負荷なし
SID325	CMOD	モジュレータの外部コンデンサ	–	2.2	–	nF	5V定格、X7RまたはNP0コンデンサ

表 16. 10 ビット CAPSENSE ADC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA94	A_RES	分解能	–	–	10	ビット	ミリ秒ごとに論理レベルを自動的にゼロ化される必要がある
SIDA95	A_CHNLS_S	チャンネル数—シングル エンド	–	–	16		AMUX バスにより定義される
SIDA97	A-MONO	単調増加性	–	–	–	有	
SIDA98	A_GAINERR	ゲイン誤差	–	–	±2	%	V _{DDA} バイパスキャパシタンスが 10μF の V _{REF} (2.4V) モード
SIDA99	A_OFFSET	入力オフセット電圧	–	–	3	mV	V _{DDA} バイパスキャパシタンスが 10μF の V _{REF} (2.4V) モード
SIDA100	A_ISAR	消費電流	–	–	0.25	mA	–
SIDA101	A_VINS	入力電圧範囲—シングル エンド	V _{SSA}	–	V _{DDA}	V	–
SIDA103	A_INRES	入力抵抗	–	2.2	–	KΩ	–
SIDA104	A_INCAP	入力寄生容量	–	20	–	pF	–
SIDA106	A_PSRR	電源電圧変動除去比	–	60	–	dB	V _{DDA} バイパスキャパシタンスが 10μF の V _{REF} (2.4V) モード
SIDA107	A_TACQ	サンプル取得時間	–	1	–	μs	–
SIDA108	A_CONV8	変換速度 = F _{hclk} /(2 ^N (N+2)) での 8 ビット分解能の変換時間。 クロック周波数 = 48MHz	–	–	21.3	μs	取得時間を含まない。 取得時間含むと 44.8ksps に相当
SIDA108A	A_CONV10	変換速度 = F _{hclk} /(2 ^N (N+2)) での 10 ビット分解能の変換時間。 クロック周波数 = 48MHz	–	–	85.3	μs	取得時間を含まない。 取得時間含むと 11.6ksps に相当
SIDA109	A_SND	信号対ノイズおよび歪み比 (SINAD)	–	61	–	dB	10Hz 入力正弦波、外部 2.4V リファレンス、V _{REF} (2.4V) モード
SIDA110	A_BW	エイリアシング無しの入力帯域幅	–	–	22.4	KHz	8 ビット分解能
SIDA111	A_INL	積分非直線性。1ksps	–	–	2	LSB	V _{REF} = 2.4V 以上
SIDA112	A_DNL	微分非直線性。1ksps	–	–	1		–

デジタル ペリフェラル

タイマー/ カウンター/ パルス幅変調器 (TCPWM)

表 17. TCPWM 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電流	–	–	155		
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流	–	–	650		
SID.TCPWM.3	TCPWM _{FREQ}	動作周波数	–	–	Fc	MHz	Fc max = CLK_SYS 最大値 = 48MHz
SID.TCPWM.4	TPWM _{ENEXT}	入力トリガーのパルス幅	2/Fc	–	–	ns	すべてのトリガー イベント [6]
SID.TCPWM.5	TPWM _{EXT}	出力トリガーのパルス幅	2/Fc	–	–		オーバーフロー、アンダーフローおよび CC (カウンター= 比較値) 出力の最小幅
SID.TCPWM.5A	TC _{RES}	カウンターの分解能	1/Fc	–	–		逐次カウント間の最小時間
SID.TCPWM.5B	PWM _{RES}	PWM 分解能	1/Fc	–	–		PWM 出力の最小パルス幅
SID.TCPWM.5C	Q _{RES}	直交位相入力分解能	1/Fc	–	–		直交位相入力同士間の最小パルス幅

I²C

表 18. 固定 I²C の DC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID149	I _{I2C1}	100kHz でのブロック消費電流	–	–	50	μA	–
SID150	I _{I2C2}	400kHz でのブロック消費電流	–	–	135		–
SID151	I _{I2C3}	1Mbps でのブロック消費電流	–	–	310		–
SID152	I _{I2C4}	I ² C がディープスリープ モードで有効の場合	–	–	1.4		–

表 19. 固定 I²C の AC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID153	F _{I2C1}	ビットレート	–	–	1	Msp/s	–

表 20. SPI の DC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID163	ISPI1	1Mbps でのブロック消費電流	–	–	360	μA	–
SID164	ISPI2	4Mbps でのブロック消費電流	–	–	560		–
SID165	ISPI3	8Mbps でのブロック消費電流	–	–	600		–

表 21. SPI の AC 仕様 [7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID166	FSPI	SPI 動作周波数 (マスター ; 6X オーバーサンプリング)	–	–	8	MHz	SID166

注 :

- 選択した動作モードによって、トリガー イベントはストップ、スタート、リロード、カウント、キャプチャ、またはキルのいずれかです。
- 特性評価で保証されています。

表 21. SPI の AC 仕様^[7] (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
固定 SPI マスター モードの AC 仕様							
SID167	TDMO	SClock 駆動エッジからの MOSI 有効期間	－	－	15	ns	－
SID168	TDSI	SClock キャプチャ エッジまでの MISO 有効期間	20	－	－		フル クロック、MISO の遅いサンプリング
SID169	THMO	前の MOSI データ ホールド時間	0	－	－		スレーブ キャプチャ エッジを参照
固定 SPI スレーブモードの AC 仕様							
SID170	TDMI	Sclock キャプチャ エッジまでの MOSI 有効期間	40	－	－	ns	－
SID171	TDSO	Sclock 駆動エッジからの MISO 有効期間	－	－	42 + 3*Tcpu		T _{CPU} = 1/F _{CPU}
SID171A	TDSO_EXT	外部クロック モードでの Sclock 駆動エッジからの MISO 有効期間 Clk モード	－	－	48		－
SID172	THSO	前の MISO データ ホールド時間	0	－	－		－
SID172A	TSSELSSCK	SSEL 有効から最初の SCK 有効エッジまでの時間	100	－	－	ns	－

表 22. UART の DC 仕様^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID160	I _{UART1}	100Kbps でのブロック消費電流	–	–	55	μA	–
SID161	I _{UART2}	1000Kbps でのブロック消費電流	–	–	312	μA	–

表 23. UART の AC 仕様^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID162	F _{UART}	ビット レート	–	–	1	Mbps	–

表 24. LCD 直接駆動の DC 仕様^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID154	I _{LCDLOW}	低電力モードでの動作電流	–	5	–	μA	50Hz での 16×4 の小さいセグメント ディスプレイ
SID155	C _{LCDCAP}	セグメント／コモン ドライバー当たりの LCD 静電容量	–	500	5000	pF	–
SID156	LCD _{OFFSET}	長時間セグメント オフセット	–	20	–	mV	–
SID157	I _{LCDOP1}	LCD システム動作電流、V _{bias} = 5V	–	2	–	mA	32×4 セグメント、50Hz、25°C
SID158	I _{LCDOP2}	LCD システム動作電流、V _{bias} = 3.3V	–	2	–		32×4 セグメント、50Hz、25°C

表 25. LCD 直接駆動の AC 仕様^[10]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID159	F _{LCD}	LCD フレーム レート	10	50	150	Hz	–

注：

8. 特性評価で保証されています。

メモリ
表 26. フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	–	5.5	V	–

表 27. フラッシュ AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID174	T _{ROWWRITE} ^[9]	Row (ブロック) 書き込み時間 (消去 + 書き込み)	–	–	20	ms	Row (ブロック) = 128 バイト
SID175	T _{ROWERASE} ^[9]	Row 消去時間	–	–	16		–
SID176	T _{ROWPROGRAM} ^[9]	消去後の Row プログラム時間	–	–	4		–
SID178	T _{BULKERASE} ^[9]	バルク消去時間 (64KB)	–	–	35		–
SID180 ^[10]	T _{DEVPROG} ^[9]	デバイス プログラム合計時間	–	–	7	秒	–
SID181 ^[10]	F _{END}	フラッシュ書き替え耐性	100K	–	–	サイクル	–
SID182 ^[10]	F _{RET}	フラッシュのデータ保持期間。T _A ≤ 55°C、プログラム / 消去サイクル = 10 万回	20	–	–	年	–
SID182A ^[10]	–	フラッシュのデータ保持期間。T _A ≤ 85°C、プログラム / 消去サイクル = 1 万回	10	–	–		–
SID182B	–	フラッシュのデータ保持期間。T _A ≤ 105°C, プログラム / 消去サイクル = 1 万回, T _A ≥ 85°C で ≤ 3 年	10	–	20	年	–
SID256	TWS48	48MHz でのウェイト ステートの数	2	–	–		フラッシュからの CPU 実行
SID257	TWS24	24MHz でのウェイト ステートの数	1	–	–		

システム リソース

パワーオン リセット (POR)

表 28. パワーオン リセット (PRES)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.CLK#6	SR_POWER_UP	電源電圧スルー レート	1	–	67	V/ms	電源投入時および電源断時
SID185 ^[10]	V _{RISEIPOR}	立ち上りトリップ電圧	0.80	–	1.5	V	–
SID186 ^[10]	V _{FALLIPOR}	立ち下りトリップ電圧	0.70	–	1.4		–

表 29. V_{CCD} の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID190 ^[10]	V _{FALLPPOR}	アクティブ モードとスリープ モードでの BOD トリップ電圧	1.48	–	1.62	V	–
SID192 ^[10]	V _{FALLDPSLP}	ディープスリープ モードでの BOD トリップ電圧	1.11	–	1.5		–

注:

9. フラッシュ メモリに書き込むためには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュ メモリの動作は中断され、正常に完了したことを保証されません。リセット ソースは XRES ピン、ソフトウェア リセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤って活性化されないことを確認してください。

10. 特性評価で保証されています。

SWD インターフェース
表 30. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID213	F_SWDCCLK1	$3.3V \leq V_{DD} \leq 5.5V$	–	–	14	MHz	SWDCLKはCPUクロック周波数の 1/3 以下
SID214	F_SWDCCLK2	$1.71V \leq V_{DD} \leq 3.3V$	–	–	7		SWDCLKはCPUクロック周波数の 1/3 以下
SID215 ^[11]	T_SWDI_SETUP	$T = 1/f \text{ SWDCLK}$	$0.25 \cdot T$	–	–	ns	–
SID216 ^[11]	T_SWDI_HOLD	$T = 1/f \text{ SWDCLK}$	$0.25 \cdot T$	–	–		–
SID217 ^[11]	T_SWDO_VALID	$T = 1/f \text{ SWDCLK}$	–	–	$0.5 \cdot T$		–
SID217A ^[11]	T_SWDO_HOLD	$T = 1/f \text{ SWDCLK}$	1	–	–		–

内部主発振器
表 31. IMO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID218	I _{IMO1}	48MHz での IMO 動作電流	–	–	250	μA	–
SID219	I _{IMO2}	24MHz での IMO 動作電流	–	–	180		–

表 32. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID223	F _{IMOTOL1}	24MHz、32MHz、および 48MHz での周波数誤差 (トリム済み)	–	–	±2	%	105°C にて、44-TQFP および 32-QFN パッケージ
SID223A			–	–	±2.5	%	
SID226	T _{STARTIMO}	IMO 起動時間	–	–	7	μs	–
SID228	T _{JITRMSIMO2}	24MHz での RMS ジッタ	–	145	–	ps	–

内部低速発振器
表 33. ILO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID231 ^[11]	I _{ILO1}	ILO 動作電流	–	0.3	1.05	μA	–

表 34. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID234 ^[11]	T _{STARTILO1}	ILO 起動時間	–	–	2	ms	–
SID236 ^[11]	T _{ILODUTY}	ILO のデューティ比	40	50	60	%	–
SID237	F _{ILOTRIM1}	ILO 周波数範囲	20	40	80	kHz	–

注:

11. 特性評価で保証されています。

表 35. 時計用水晶発振器 (WCO) 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID398	FWCO	水晶発振器周波数	–	32.768	–	kHz	
SID399	FTOL	周波数許容誤差	–	50	250	ppm	20ppm の水晶発振器
SID400	ESR	等価直列抵抗	–	50	–	kΩ	
SID401	PD	駆動レベル	–	–	1	μW	
SID402	TSTART	起動時間	–	–	500	ms	
SID403	CL	水晶の負荷容量	6	–	12.5	pF	
SID404	C0	水晶の並列容量	–	1.35	–		
SID405	IWCO1	動作電流 (大消費電力モード)	–	–	8	μA	
SID406	IWCO2	動作電流 (低消費電力モード)	–	–	1		

表 36. 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID305 ^[12]	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	–
SID306 ^[12]	ExtClkDuty	デューティ比 ; $V_{DD/2}$ で測定	45	–	55	%	–

表 37. ブロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID262 ^[12]	T _{CLKSWITCH}	システム クロック ソースの切り替え時間	3	–	4	周期	–

表 38. スマート I/O パススルー時間 (バイパス モードでの遅延)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID252	PRG_BYPASS	バイパス モードでのスマート I/O による最大遅延時間	–	–	1.6	ns	–

注 :

12. 特性評価で保証されています。

注文情報

PSoC 4100S ファミリのマーケティング製品番号は下表のとおりです。

カテゴリ	MPN	特長													パッケージ					温度範囲 (°C)
		CPU の最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	ADC サンプル レート	LP コンパレータ	TCPWM ブロック	SCB ブロック	スマート I/O	GPIO	35-WLCSP (0.35mm ピッチ)	32-QFN	40-QFN	48-TQFP	44-TQFP	
4124	CY8C4124FNI-S403(T)	24	16	4	2	0	1	0		2	5	2	8	31	X					-40 ~ 85 °C
	CY8C4124FNI-S413(T)	24	16	4	2	1	1	0		2	5	2	16	31	X					-40 ~ 85 °C
	CY8C4124LQI-S412(T)	24	16	4	2	1	1	0		2	5	2	16	27		X				-40 ~ 85 °C
	CY8C4124LQI-S413(T)	24	16	4	2	1	1	0		2	5	2	16	34			X			-40 ~ 85 °C
	CY8C4124AZI-S413(T)	24	16	4	2	1	1	0		2	5	2	16	36				X		-40 ~ 85 °C
	CY8C4124FNI-S433(T)	24	16	4	2	1	1	1	806 ksp/s	2	5	2	16	31	X					-40 ~ 85 °C
	CY8C4124LQI-S432(T)	24	16	4	2	1	1	1	806 ksp/s	2	5	2	16	27		X				-40 ~ 85 °C
	CY8C4124LQI-S433(T)	24	16	4	2	1	1	1	806 ksp/s	2	5	2	16	34			X			-40 ~ 85 °C
	CY8C4124AZI-S433(T)	24	16	4	2	1	1	1	806 ksp/s	2	5	2	16	36				X		-40 ~ 85 °C
4125	CY8C4125FNI-S423(T)	24	32	4	2	0	1	1	806 ksp/s	2	5	2	16	31	X					-40 ~ 85 °C
	CY8C4125LQI-S422(T)	24	32	4	2	0	1	1	806 ksp/s	2	5	2	16	27		X				-40 ~ 85 °C
	CY8C4125LQI-S423(T)	24	32	4	2	0	1	1	806 ksp/s	2	5	2	16	34			X			-40 ~ 85 °C
	CY8C4125AZI-S423(T)	24	32	4	2	0	1	1	806 ksp/s	2	5	2	16	36				X		-40 ~ 85 °C
	CY8C4125AXI-S423	24	32	4	2	0	1	1	806 ksp/s	2	5	2	16	36					X	-40 ~ 85 °C
	CY8C4125FNI-S413(T)	24	32	4	2	1	1	0		2	5	2	16	31	X					-40 ~ 85 °C
	CY8C4125LQI-S412(T)	24	32	4	2	1	1	0		2	5	2	16	27		X				-40 ~ 85 °C
	CY8C4125LQI-S413(T)	24	32	4	2	1	1	0		2	5	2	16	34			X			-40 ~ 85 °C
	CY8C4125AZI-S413(T)	24	32	4	2	1	1	0		2	5	2	16	36				X		-40 ~ 85 °C
	CY8C4125FNI-S433(T)	24	32	4	2	1	1	1	806 ksp/s	2	5	2	16	31	X					-40 ~ 85 °C
	CY8C4125LQI-S432	24	32	4	2	1	1	1	806 ksp/s	2	5	2	16	27		X				-40 ~ 85 °C
	CY8C4125LQI-S432	24	32	4	2	1	1	1	806 ksp/s	2	5	2	16	27		X				-40 ~ 105 °C
	CY8C4125LQI-S433	24	32	4	2	1	1	1	806 ksp/s	2	5	2	16	34			X			-40 ~ 85 °C
	CY8C4125AZI-S433(T)	24	32	4	2	1	1	1	806 ksp/s	2	5	2	16	36				X		-40 ~ 85 °C
	CY8C4125AZQ-S433	24	32	4	2	1	1	1	806 ksp/s	2	5	2	16	36				X		-40 ~ 105 °C
	CY8C4125AXI-S433	24	32	4	2	1	1	1	806 ksp/s	2	5	2	16	36					X	-40 ~ 85 °C
4126	CY8C4126AZI-S423(T)	24	64	8	2	0	1	1	806 ksp/s	2	5	3	16	36				X		-40 ~ 85 °C
	CY8C4126AZQ-S423	24	64	8	2	0	1	1	806 ksp/s	2	5	3	16	36				X		-40 ~ 105 °C
	CY8C4126AXI-S423	24	64	8	2	0	1	1	806 ksp/s	2	5	3	16	36					X	-40 ~ 85 °C
	CY8C4126AZI-S433(T)	24	64	8	2	1	1	1	806 ksp/s	2	5	3	16	36				X		-40 ~ 85 °C
	CY8C4126AZQ-S433	24	64	8	2	1	1	1	806 ksp/s	2	5	3	16	36				X		-40 ~ 105 °C
	CY8C4126AXI-S433	24	64	8	2	1	1	1	806 ksp/s	2	5	3	16	36					X	-40 ~ 85 °C
	CY8C4126AXQ-S433	24	64	8	2	1	1	1	806 ksp/s	2	5	3	16	36					X	-40 ~ 105 °C
4145	CY8C4145AZI-S423(T)	48	32	4	2	0	1	1	1 Msps	2	5	2	16	36				X		-40 ~ 85 °C
	CY8C4145AZQ-S433	48	32	4	2	1	1	1	1 Msps	2	5	2	16	36				X		-40 ~ 105 °C
	CY8C4145AXI-S423	48	32	4	2	0	1	1	1 Msps	2	5	2	16	36					X	-40 ~ 85 °C
	CY8C4145AXI-S433	48	32	4	2	1	1	1	1 Msps	2	5	2	16	36					X	-40 ~ 85 °C
	CY8C4145AXQ-S433	48	32	4	2	1	1	1	1 Msps	2	5	2	16	36					X	-40 ~ 105 °C

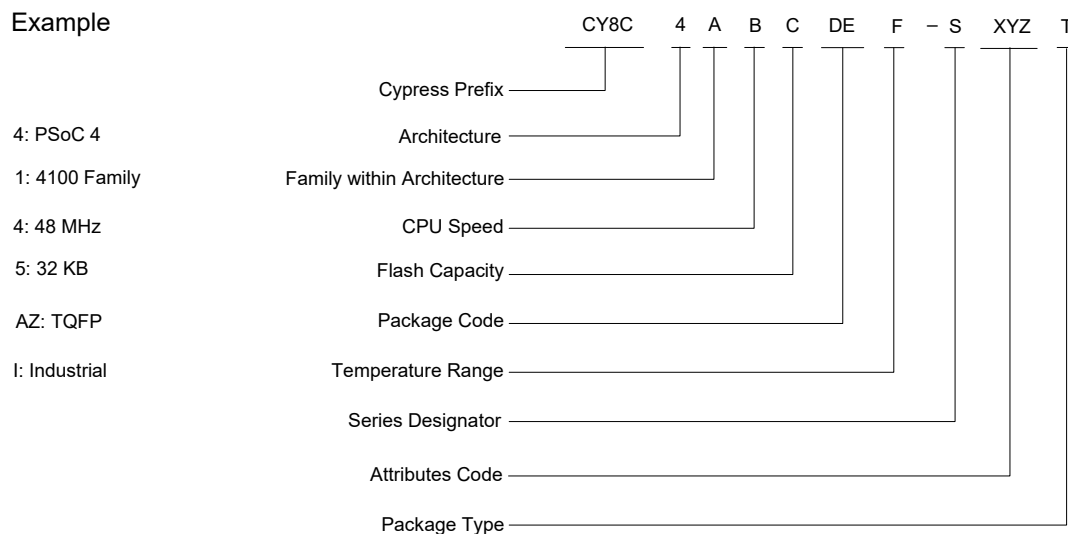
カテゴリ	MPN	特長													パッケージ				温度範囲 (°C)	
		CPU の最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	ADC サンプル レート	LP コンパレータ	TCPWM ブロック	SCB ブロック	スマート I/O	GPIO	35-WLCSP (0.35mm ピッチ)	32-QFN	40-QFN	48-TQFP		44-TQFP
4146	CY8C4146FNI-S423(T)	48	64	8	2	0	1	1	1 Msps	2	5	3	16	31	X					-40 ~ 85 °C
	CY8C4146LQI-S422(T)	48	64	8	2	0	1	1	1 Msps	2	5	3	16	27		X				-40 ~ 85 °C
	CY8C4146LQQ-S422(T)	48	64	8	2	0	1	1	1 Msps	2	5	3	16	27		X				-40 ~ 105 °C
	CY8C4146LQI-S423(T)	48	64	8	2	0	1	1	1 Msps	2	5	3	16	34			X			-40 ~ 85 °C
	CY8C4146AZI-S423(T)	48	64	8	2	0	1	1	1 Msps	2	5	3	16	36				X		-40 ~ 85 °C
	CY8C4146AZQ-S423	48	64	8	2	0	1	1	1 Msps	2	5	3	16	36				X		-40 ~ 105 °C
	CY8C4146AXI-S423	48	64	8	2	0	1	1	1 Msps	2	5	3	16	36					X	-40 ~ 85 °C
	CY8C4146AXQ-S423	48	64	8	2	0	1	1	1 Msps	2	5	3	16	36					X	-40 ~ 105 °C
	CY8C4146FNI-S433(T)	48	64	8	2	1	1	1	1 Msps	2	5	3	16	31	X					-40 ~ 85 °C
	CY8C4146LQI-S432(T)	48	64	8	2	1	1	1	1 Msps	2	5	3	16	27		X				-40 ~ 85 °C
	CY8C4146LQQ-S432(T)	48	64	8	2	1	1	1	1 Msps	2	5	3	16	27		X				-40 ~ 105 °C
	CY8C4146LQI-S433(T)	48	64	8	2	1	1	1	1 Msps	2	5	3	16	34			X			-40 ~ 85 °C
	CY8C4146AZI-S433(T)	48	64	8	2	1	1	1	1 Msps	2	5	3	16	36				X		-40 ~ 85 °C
	CY8C4146AZQ-S433	48	64	8	2	1	1	1	1 Msps	2	5	3	16	36				X		-40 ~ 105 °C
	CY8C4146AXI-S433	48	64	8	2	1	1	1	1 Msps	2	5	3	16	36					X	-40 ~ 85 °C
	CY8C4146AXQ-S433	48	64	8	2	1	1	1	1 Msps	2	5	3	16	36					X	-40 ~ 105 °C

上記の表に使用される命名法は次の製品番号の命名規則に基づいています。

文字列	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSoC 4
A	ファミリ	1	4100 ファミリ
B	CPU 速度	2	24MHz
		4	48MHz
C	フラッシュ容量	4	16KB
		5	32KB
		6	64KB
		7	128KB
DE	パッケージ コード	AX	TQFP (0.8mm ピッチ)
		Arizona	TQFP (0.5mm ピッチ)
		LQ	QFN
		PV	SSOP
		FN	CSP
F	温度範囲	I	産業用
		Q	拡張された産業用
S	シリーズ指定子	S	S シリーズ
		M	M シリーズ
		L	L シリーズ
XYZ	属性コード	000 ~ 999	特定のファミリ内の機能セットのコード
T	パッケージタイプ		トレイ
		T	テープ アンド リール

製品番号の例は次のとおりです。

Example



パッケージ

PSoC 4100S は 48 ピン TQFP、44 ピン TQFP、40 ピン QFN、32 ピン QFN、および 35 ボール WLCSP パッケージで提供されます。

表 39 にパッケージの寸法とサイプレスの図面番号を示します。

表 39. パッケージの一覧

仕様 ID#	パッケージ	説明	パッケージ図面番号
BID20	48 ピン TQFP	寸法は $7 \times 7 \times 1.4\text{mm}$ で、ピッチが 0.5mm	51-85135
BID20A	44 ピン TQFP	寸法は $10 \times 10 \times 1.6\text{mm}$ で、ピッチが 0.8mm	51-85064
BID27	40 ピン QFN	寸法は $6 \times 6 \times 0.6\text{mm}$ で、ピッチが 0.4mm	001-80659
BID34A	32 ピン QFN	寸法は $5 \times 5 \times 0.6\text{mm}$ で、ピッチが 0.45mm	001-42168
BID34D	35 ボール WLCSP	寸法は $2.6 \times 2.1 \times 0.48\text{mm}$ で、ピッチが 0.35mm	002-09958

表 40. パッケージの熱特性

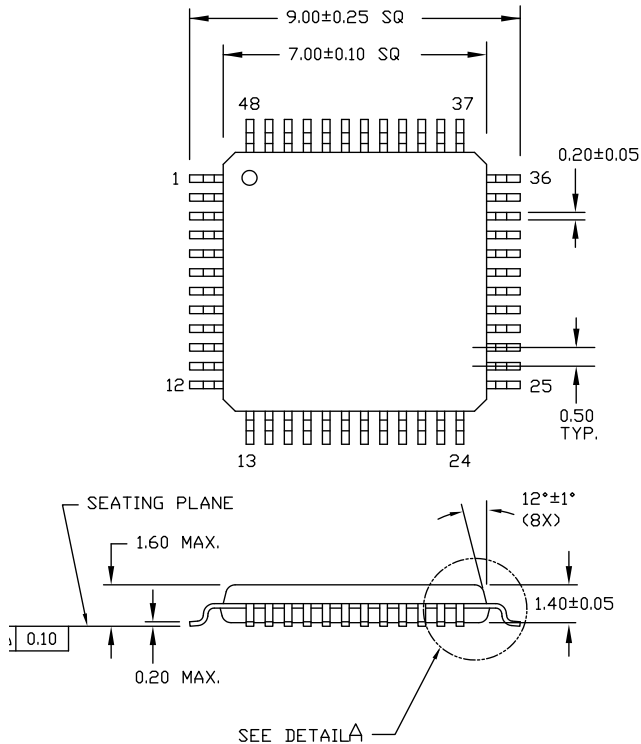
パラメーター	説明	パッケージ	Min	Typ	Max	単位	詳細/条件
T _A	動作周囲温度	—	−40	25	105	°C	—
T _J	動作接合部温度	—	−40	—	125		—
T _{JA}	パッケージ θ_{JA}	48 ピン TQFP	—	74.8	—	°C/W	—
T _{JC}	パッケージ θ_{JC}	48 ピン TQFP	—	35.7	—		—
T _{JA}	パッケージ θ_{JA}	44 ピン TQFP	—	57.2	—		—
T _{JC}	パッケージ θ_{JC}	44 ピン TQFP	—	17.5	—		—
T _{JA}	パッケージ θ_{JA}	40 ピン QFN	—	17.8	—		—
T _{JC}	パッケージ θ_{JC}	40 ピン QFN	—	2.8	—		—
T _{JA}	パッケージ θ_{JA}	32 ピン QFN	—	19.9	—		—
T _{JC}	パッケージ θ_{JC}	32 ピン QFN	—	4.3	—		—
T _{JA}	パッケージ θ_{JA}	35 ボール WLCSP	—	43	—		—
T _{JC}	パッケージ θ_{JC}	35 ボール WLCSP	—	0.3	—		—

表 41. ハンダリフロー ピーク温度

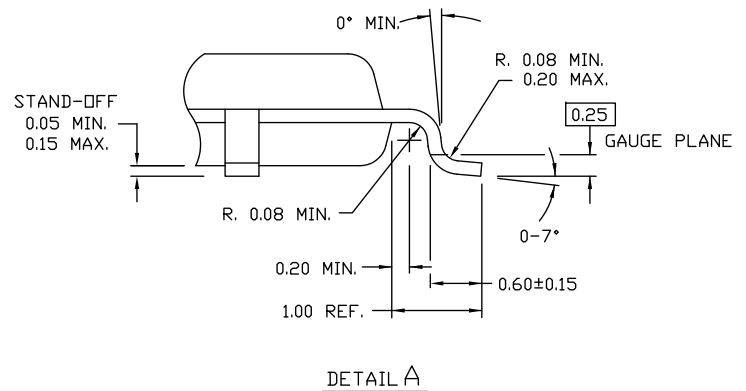
パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

表 42. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-020

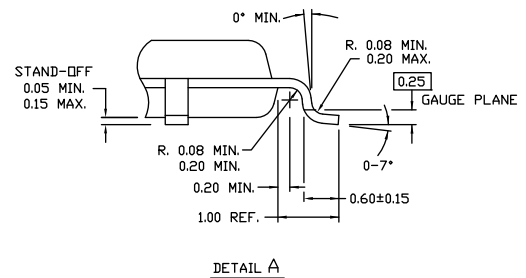
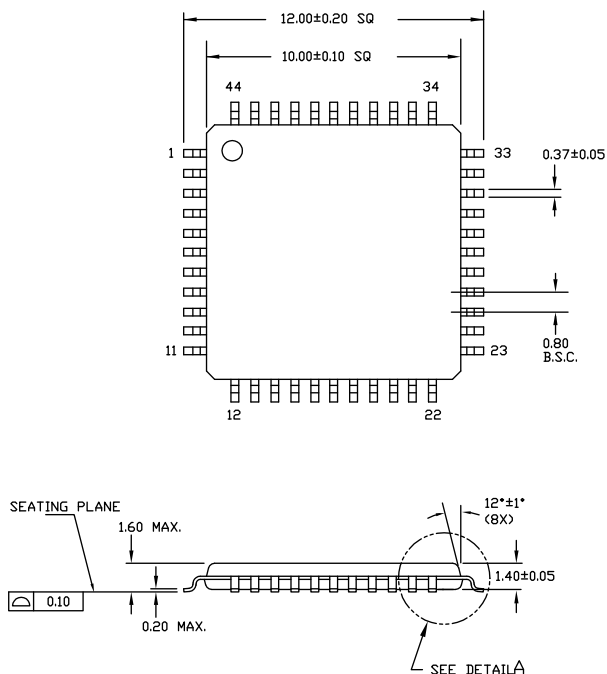
パッケージ	MSL
WLCSP を除くすべて	MSL 3
35 ボール WLCSP	MSL 1

外形図
図 8. 48 ピン TQFP パッケージの外形


DIMENSIONS ARE IN MILLIMETERS



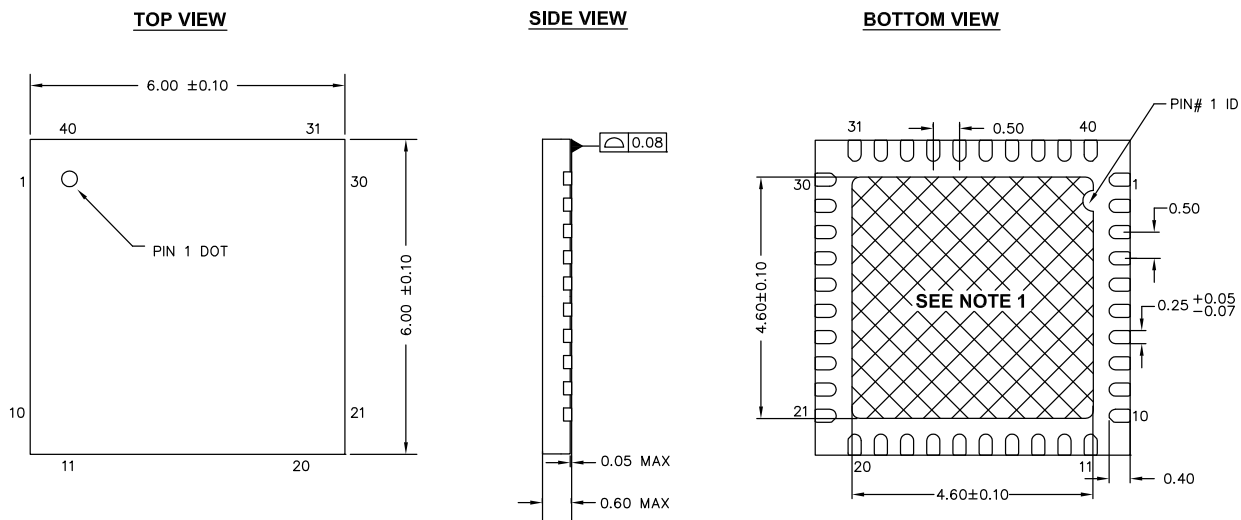
51-85135 *C


図 9. 44 ピン TQFP パッケージの外形


NOTE:

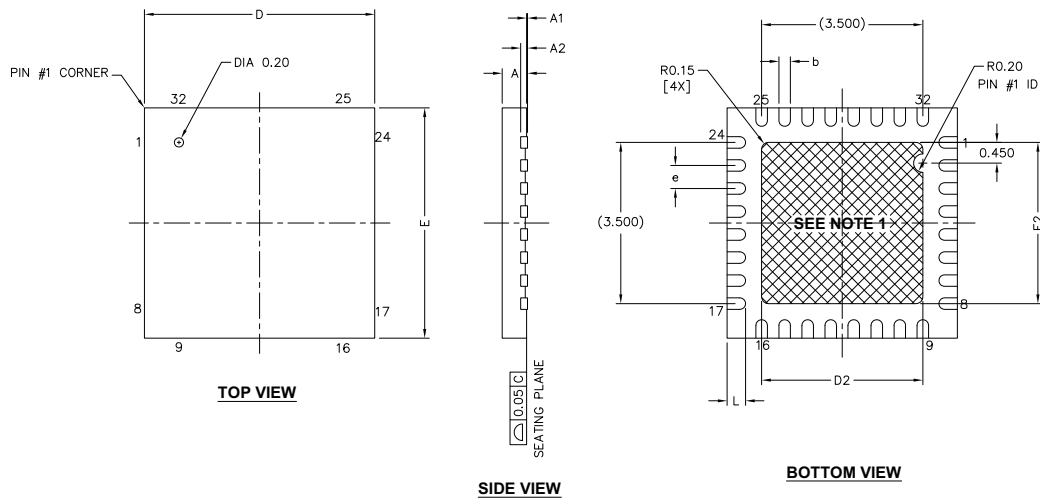
1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

51-85064 *G

図 10. 40 ピン QFN パッケージの外形

NOTES:


1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ± 2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-80659 *A

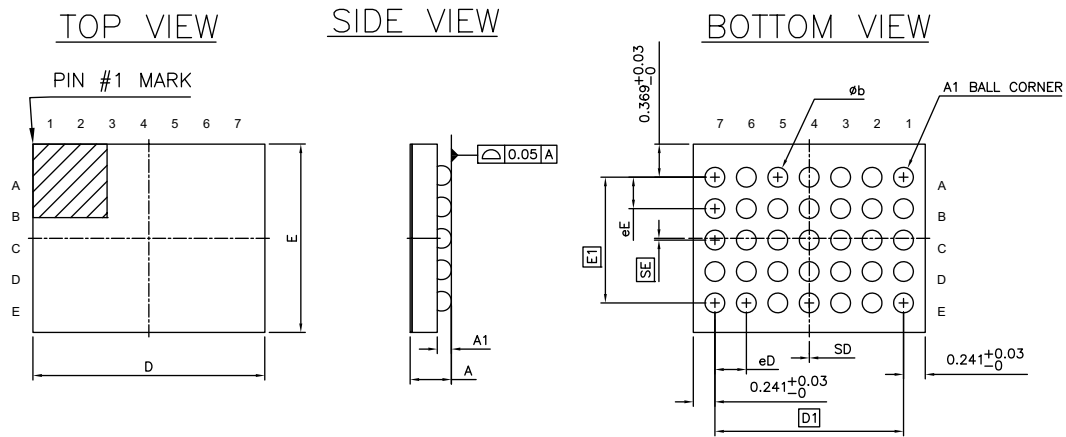
図 11. 32 ピン QFN パッケージの外形


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	0.50	0.55	0.60
A1	-	0.020	0.045
A2	0.15 BSC		
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.30	0.40	0.50
b	0.18	0.25	0.30
e	0.50 TYP		

NOTES:

-  HATCH AREA IS SOLDERABLE EXPOSED PAD
- BASED ON REF JEDEC # MO-248
- PACKAGE WEIGHT: 0.0388g
- DIMENSIONS ARE IN MILLIMETERS

001-42168 *F

図 12. 36 ボール WLCSP パッケージの外形


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	0.482
A1	0.141	0.157	0.173
D	2.557	2.582	2.607
E	2.072	2.097	2.122
D1	2.10 BSC		
E1	1.40 BSC		
MD	7		
ME	5		
N	35		
Ø b	0.19	0.22	0.25
eD	-	0.35	-
eE	-	0.35	-
SD	0		
SE	0.02 BSC		

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. JEDEC PUBLICATION 95; DESIGN GUIDE 4.18.

002-09958 *D

略語

表 43. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンス ト マイクロコントローラ バス アーキテクチャ) 高性能バス)、Arm® データ転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサ バス)
API	application programming interface (アプリケー ション プログラミング インターフェース)
APSR	application program status register (アプリケー ション プログラム ステータス レジスタ)
Arm®	advanced RISC machine (高度な RISC マシン)、 CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプリング モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラ エリア ネットワーク)、通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラー チェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ変 換器)。IDAC、VDAC を参照してください。
DFB	digital filter block (デジタル フィルターブロック)
DIO	digital input/output (デジタル入出力)、アナログ なし、デジタル機能のみを持つ GPIO。GPIO を 参照してください。
DMIPS	Dhrystone million instructions per second (ドライストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセ ス)。TD を参照してください。
DNL	differential nonlinearity (微分非直線性)。 INL を参照してください。
DNU	do not use (使用しないでください)
DR	port write data registers (ポート 書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インタコネクト)
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)

表 43. 本書で使用する略語 (続き)

略語	説明
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専 用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。 IIR を参照してください。
FPB	flash patch and breakpoint (フラッシュ パッチおよびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)、PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割込み)。 LVI、LVD を参照してください。
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC を参照し てください。
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インタ インテグレート ド サーキット)、通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。 FIR を参照してください。
ILO	internal low-speed oscillator (内部低速発振器)。 IMO を参照してください。
IMO	internal main oscillator (内部主発振器)。 ILO を参照してください。
INL	integral nonlinearity (積分非直線性)。 DNL を参照してください。
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO を参照してください。
IPOR	initial power-on reset (初期パワーオン リセット)

表 43. 本書で使用する略語 (続き)

略語	説明
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)
IRQ	interrupt request (割込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	local interconnect network (ローカル インタコネクト ネットワーク)、通信プロトコルの一種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。LVI を参照してください。
LVI	low-voltage interrupt (低電圧割込み)。HVI を参照してください。
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラ ユニット)
MISO	master-in slave-out (マスタ入カスレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラ)
NVL	nonvolatile latch (不揮発性ラッチ)。WOL を参照してください。
opamp	operational amplifier (オペアンプ)
PAL	programmable array logic (プログラマブル アレイ ロジック)。PLD を参照してください。
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割込み制御ユニット)
PLA	programmable logic array (プログラマブル ロジック アレイ)
PLD	programmable logic device (プログラマブル ロジック デバイス)。PAL を参照してください。
PLL	phase-locked loop (位相同期回路)

表 43. 本書で使用する略語 (続き)

略語	説明
PMDD	package material declaration data sheet (パッケージ材質宣言データシート)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータ レジスタ)
PSoC®	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアル タイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチド キャパシタ / 連続時間)
SCL	I²C serial clock (I²C シリアル クロック)
SDA	I²C serial data (I²C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SINAD	signal to noise and distortion ratio (信号対ノイズ比および歪み比)
SIO	special input/output (特殊入出力)、高度機能GPIO。GPIO を参照してください。
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial peripheral interface (シリアルペリフェラル インターフェース)、通信プロトコルの一種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ)、テスト プロトコルの一種

表 43. 本書で使用する略語 (続き)

略語	説明
SWV	single-wire viewer (シングル ワイヤ ビューアー)
TD	transaction descriptor (トランザクション ディスクリプタ)。DMA を参照してください。
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (テクニカル リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous transmitter receiver (汎用非同期トランスミッタ レシーバ)、 通信プロトコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)、USB ポートへの 接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC)。DAC、IDAC を参照し てください。
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めないラッチ)。 NVL を参照してください。
WRES	watchdog timer reset (ウォッチドッグ タイマー リセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

本書の表記法

測定単位

表 44. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

文書名 : PSoC™ 4: PSoC 4100S データシート プログラマブル システムオンチップ (PSoC™) 文書番号 : 002-10663			
版	ECN	発行日	変更内容
**	5108904	02/02/2016	これは英語版 002-00122 Rev. *C を翻訳した日本語版 002-10663 Rev. ** です。
*A	6857179	04/16/2020	これは英語版 002-00122 Rev. *L を翻訳した日本語版 002-10663 Rev. *A です。
*B	7424690	11/11/2021	これは英語版 002-00122 Rev. *N を翻訳した日本語版 002-10663 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USBコントローラ	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2015-2021. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っており、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法域により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。**Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害（総称して、以下「セキュリティ違反」という。）がないことを表明又は保証しない。**Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。