

特性

■ 低功耗 CapSense™ 模块

- 可配置电容感应元件
- 支持 CapSense 按钮、滑条、触摸板、触摸屏和接近感应

■ 强大的 Harvard 体系架构处理器

- M8C 处理器速度可达 24 MHz
- 高速度低功耗
- 中断控制器
- 1.71V 到 5.5V 工作电压
- 温度范围: -40°C 到 +85°C

■ 灵活的片上存储器

- 两种程序存储器供选择
 - CY8C20x46: 16K 闪存
 - CY8C20x66: 32K 闪存
- 50,000 次擦除/写入
- 2048 字节 SRAM 数据存储
- 局部闪存更新
- 灵活的保护模式
- 系统内串行编程 (ISSP)

■ 全速 USB (12 Mbps)

- 八个单向端点
- 一个双向控制端点
- 符合 USB 2.0 规范
- 专用 512 字节缓冲区
- 内部 3.3V 输出调节器
- 仅在 48 引脚 QFN 和 48 引脚 SSOP 封装器件提供 USB
- 启用 USB 时的工作电压:
 - 3.15 到 3.45V (供电电压约为 3.3V)
 - 4.35 到 5.25V (供电电压约为 5.0V)

■ 完善的开发工具

- 免费的开发工具 (PSoC Designer™)
- 功能齐全的在线仿真器和编程器
- 全速仿真
- 复杂的断点结构
- 128K 跟踪内存

■ 高精度, 可编程时钟

- 内部 $\pm 5.0\%$ 6/12/24 MHz 主振荡器
- 用于看门狗和休眠的 32 kHz 内部低速振荡器
- 可选外部 32 kHz 晶体
- USB 不带外部元件时, 精确度为 0.25%

■ 可编程引脚配置

- 所有通用输入输出均采用 25 mA 灌电流
- 所有通用输入输出均可选择上拉驱动、高阻驱动和开漏驱动模式
- 端口 0 和 1 上采用 CMOS 驱动模式
- 通用输入输出上最多接 36 个模拟输入
- 所有通用输入输出均可配置为输入
- 端口 1 可选为可调节数字 IO
- 端口 1 可配置输入阈值
- 3.0V 时, 端口 1 总输出拉电流为 20 mA
- 端口 0 和 1 5 mA 拉电流
- 端口 1 的所有通用输入输出均具备热插拔功能

■ 通用模拟总线

- 通用内部模拟总线
- IO 组合可同步连接
- 高电源抑制比比较器
- 模拟阵列的低压差电压调节器

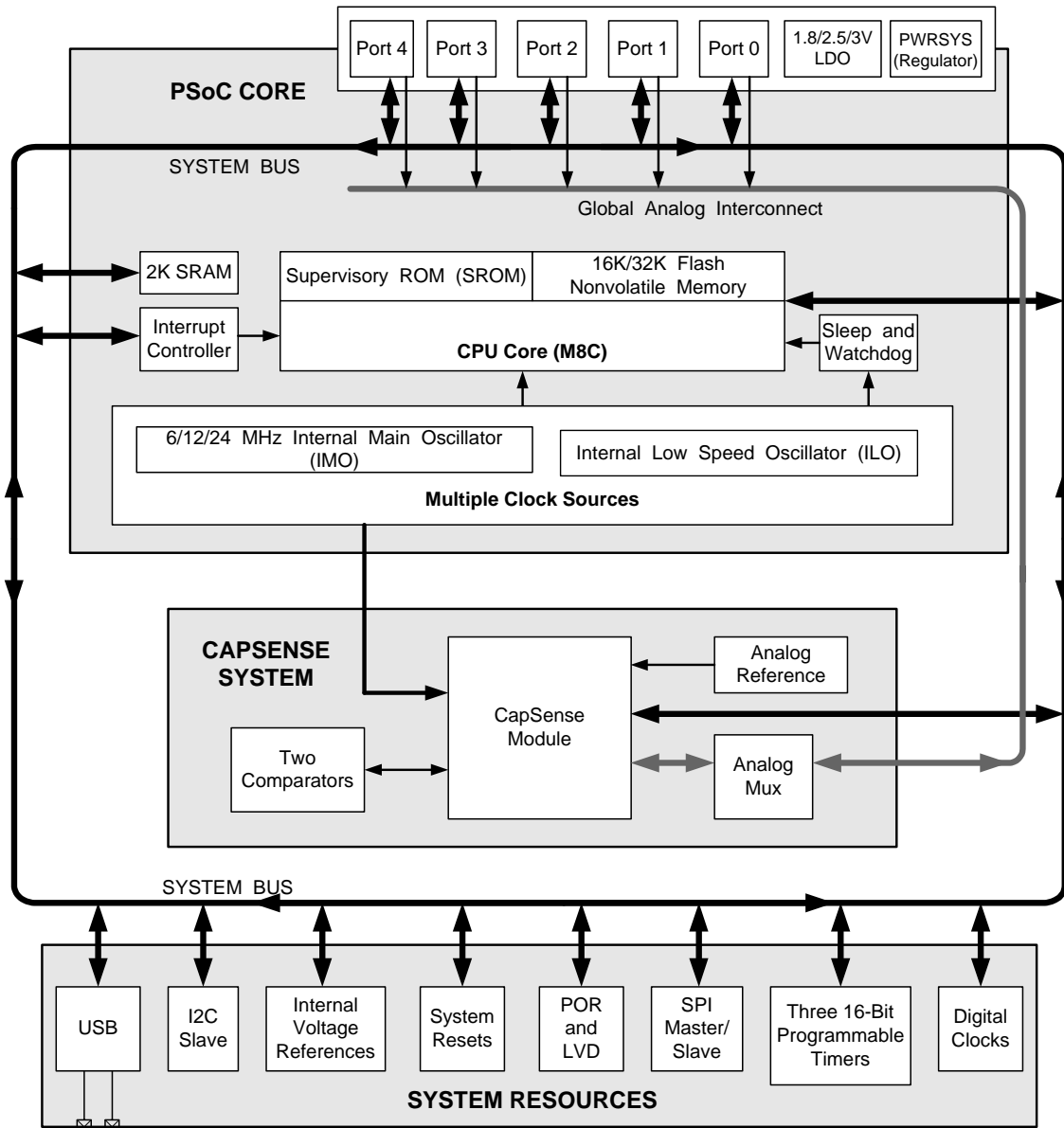
■ 附加系统资源

- I²C 从设备
 - 可选择 50 kHz、100 kHz 或 400 kHz
 - 实现不需要时钟展宽
 - 休眠模式中实现时, 小于 100 μ A
 - 硬件地址检测
- SPI 主设备和 SPI 从设备
 - 可配置为 46.9 kHz 到 12 MHz
- 三个 16 位定时器
- 看门狗和休眠定时器
- 内部参考电压
- 集成管理电路

■ 封装选择

- 16 引脚 3x3 x 0.6 mm QFN
- 24 引脚 4x4 x 0.6 mm QFN
- 32 引脚 5x5 x 0.6 mm QFN
- 48 引脚 7x7 x 1.0 mm QFN (仅 CY8C20x66)
- 48 引脚 SSOP

方框图



PSoC[®] 功能概述

PSoC[®] 系列含有很多具备片上控制器的混合信号阵列器件。这些器件旨在用一个低成本的单芯片可编程组件来取代多个传统的基于 MCU 的组件。一个 PSoC[®] 器件包括可配置的模拟和数字模块，以及可编程互连网络。此体系架构允许用户创建定制的外设配置，以便满足每个具体应用的要求。此外，还包含快速 CPU、闪存、SRAM 数据内存和可配置可方便连接的 IO。

此系列器件的体系架构如上图所示，由三个主要部分组成：内核、CapSense 模拟系统和系统资源（包括全速 USB 端口）。通过一个常规通用总线可以将 IO 和模拟系统连接起来。每个 CY8C20x46/CY8C20x66 PSoC[®] 器件都含有一个专用 CapSense 模块，此模块为电容感应应用提供感应和扫描控制电路。依据 PSoC[®] 封装不同，最多可以包含 36 个通用 IO（通用输入输出）。通过通用输入输出可以访问 MCU 和模拟总线。

PSoC[®] 内核

PSoC[®] 内核是能支持丰富指令集的强大引擎。它包含用于数据存储的 SRAM、中断控制器、休眠与看门狗定时器，以及 IMO（内部主振荡器）和 ILO（内部低速振荡器）。CPU 内核（也称为 M8C），是一个强大的处理器，其速度可达 24 MHz。M8C 是一个 4 MIPS、8 位 Harvard 体系架构的微处理器。

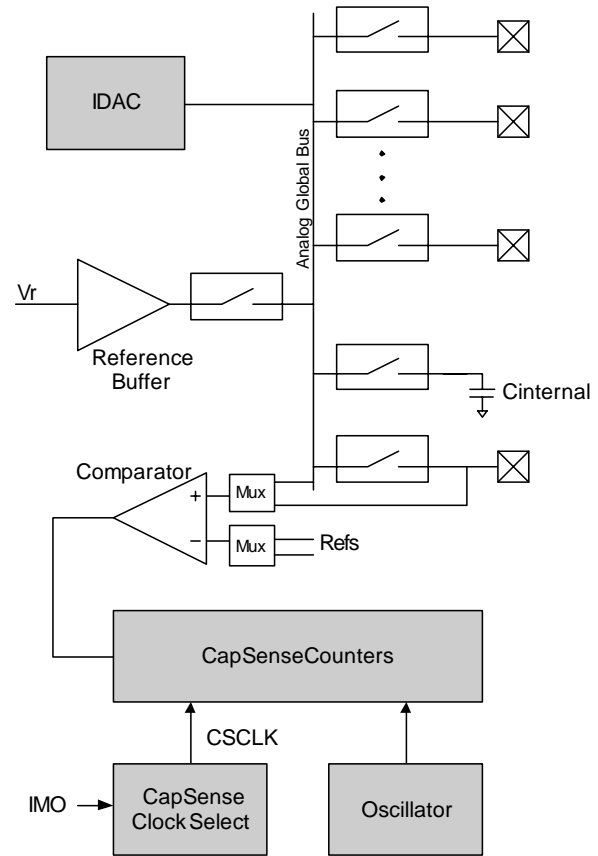
系统资源还提供了其他功能，例如可配置的 USB 与 I²C 从 /SPI 主从通信接口、三个 16 位可编程定时器，以及 M8C 支持的各种系统复位。

模拟系统中包含 PSoC CapSense 模块和内部 1.2V 模拟参考电压，它们可以共同支持多达 36 个输入的电容感应。

CapSense 模拟系统

模拟系统中包含电容感应硬件，并支持多种硬件算法。此硬件无需外部组件即可执行电容感应和扫描。每个电容感应通用输入输出引脚都可配置。可在多个端口迅速方便地完成对 CapSense 引脚的扫描。

图 1. 模拟系统方框图



模拟多路复用系统

模拟总线可以连接到每个通用输入输出引脚。引脚可以单独或以任意组合的形式连接到总线。总线还连接到模拟系统，以便使用 CapSense 模块比较器进行分析。

开关控制逻辑可使选定的引脚在硬件控制之下连续预充电，因此可以对触摸感应等应用进行电容测量。其他多路复用应用包括：

- 复杂的电容感应接口，如滑条和触摸板。
- 允许从任意 IO 引脚输入模拟信号的芯片级总线。
- 任意 IO 引脚组合之间的交叉点连接。

在设计电容感应应用时，请参考最新的信噪比信号电平要求的应用笔记，请登录 <http://www.cypress.com> >> Documentation（文档）>> Application Notes（应用笔记）。一般来说，除非相关应用笔记中另有说明，CapSense 应用的最小信噪比 (SNR) 要求为 5:1。

附加系统资源

系统资源（上面列出了一些）提供了用于完成系统的其他功能。附加资源包括低电压检测和上电复位。下面列出每个系统资源的优点：

- I²C 从/SPI 主从模块通过两线提供 50/100/400 kHz 通信。通过 3 或 4 线进行的 SPI 通信的速度为 46.9 kHz 到 3 MHz（系统时钟慢时，此速度也变小）。
- I²C 硬件地址识别功能使得在目标器件收到发来的数据包之前无需干预 CPU，从而进一步减少了已经很低的功耗。
- 低电压检测 (LVD) 中断可以在电压下降时向应用程序发出信号，而有了先进的 POR（上电复位）电路将不再需要进行系统管理。
- 内部参考电压为电容感应提供了一个绝对参考电压。
- 5.5V 最大输入、1.8/2.5/3V 可选输出、低压差调节器 (LDO) 为 IO 提供了合适的电压。一个寄存器控制的旁路模式使用户可以禁用 LDO。
- 标准的赛普拉斯 PSoC[®] IDE 工具可用于调试 CY8C20x46/CY8C20x66 系列器件。不过，Flex-Pod 中的增加的走线长度和最小铺地层可能导致噪音问题而使 Power PSoC[®] 设计的调试变难。48 引脚 QFN 封装中提供一个定制的绑定片上调试 (OCD) 器件。建议将 OCD 器件用于使用高电流和/或高模拟精确度要求的设计。QFN 封装紧凑，并通过一个高密度连接器与 ICE 连接。

入门

了解 PSoC[®] 芯片的最快方法是阅读此数据手册和使用 PSoC Designer[™] 集成开发环境 (IDE)。这个数据手册是 PSoC[®] 集成电路概要，并给出了具体的引脚、寄存器和电气规范。有关详细信息，及详细编程信息，请参考 <http://www.cypress.com/psoc> 上的 PSoC[®] Mixed-Signal Array Technical Reference Manual (PSoC[®] 混合信号阵列技术参考手册)。

关于最新订购、封装和电气规范的信息，请参考最新的 PSoC[®] 器件数据手册，网址为 <http://www.cypress.com>。

开发工具包

开发工具包可以从以下经销商获得：Digi-Key、Avnet、Arrow 和 Future。赛普拉斯在线商店有开发工具包、C 编译器和 PSoC[®] 开发的所有组件。登录赛普拉斯在线商店，网址为 <http://www.cypress.com/shop/>。在“Product Categories”（产品类别）下单击“PSoC[®] Mixed Signal Arrays”（PSoC[®] 混合信号阵列）即可查看当前可用项列表。

技术培训模块

为 PSoC[®] 新用户提供免费 PSoC[®] 技术培训模块。培训模块包括设计、调试、高级模拟和 CapSense。登录 <http://www.cypress.com/techtrain>。

顾问

经过认证的 PSoC[®] 顾问可以提供从技术协助到完整 PSoC[®] 设计的所有支持。要联系或成为 PSoC[®] 顾问，请登录 <http://www.cypress.com>，单击位于网页顶部的“Support”（支持），并选择“CYPros Consultants”（CYPros 顾问）。

技术支持

PSoC[®] 应用工程师对其快速准确的反应能力感到自豪。四小时之内一定可以在 <http://www.cypress.com/support> 上得到他们的答复。

应用笔记

大量应用笔记可以在您进行设计的各个方面提供帮助。要查看 PSoC[®] 应用笔记，请登录 <http://www.cypress.com> 网站，并在网页顶部的“Documentation”（文档）列表下选择“Application Notes”（应用笔记）。默认情况下应用笔记按日期排序。

开发工具

PSoC Designer™ 是基于 Microsoft® Windows 的集成开发环境，用于可编程片上系统 (PSoC®) 器件。PSoC Designer™ IDE 和应用程序在 Windows XP 和 Windows Vista 上运行。

此系统提供按项目的设计数据库管理、具有在线仿真器的集成调试器、系统内编程支持，以及对第三方汇编程序和 C 编译器的嵌入式支持。

PSoC Designer™ 还支持专为 PSoC® 系列器件开发的 C 语言编译器。

PSoC Designer™ 软件子系统

系统级设计

系统级设计是基于 PSoC Express™ 的拖放式直观嵌入系统设计环境。在此设计中，您可以直接按照对系统的理解来解决设计问题。根据系统要求选择输入和输出器件。增加一个通信接口并定义与系统连接的接口（寄存器）。定义输出器件在何时以及如何根据任一/所有其他系统器件改变状态。根据设计，PSoC Designer™ 会自动选择与您的系统要求匹配的一个或多个 PSoC® 混合信号控制器。

PSoC Designer™ 生成所有嵌入代码，然后进行编译并将其链接到特定 PSoC® 器件的编程文件中。

芯片级设计

芯片级设计是基于 PSoC Designer™ 4.x 的一个更加传统的集成开发环境 (IDE)。选择一个要使用的器件，然后选择使用 PSoC® 模块的板上模拟和数字组件（称为用户模块）。用户模块的例子包括 ADC、DAC、放大器和滤波器。配置所选应用的用户模块，将它们互连并连接到相应的引脚上。然后生成您的项目。您的项目会生成 API 和库，您可以用它它们针对应用进行编程。

使用此工具还能轻松地开发多配置和动态重配置。动态重配置允许在运行时更改配置。

混合设计

您可以从系统级设计开始，允许它选择和配置您的用户模块、布线，以及生成代码，然后切换到芯片级设计以便全面控制片上资源。项目的所有设计都共享通用的代码编辑器、生成器，以及通用调试、仿真和编程工具。

代码生成工具

PSoC Designer™ 支持多个第三方 C 编译器和汇编程序。代码生成工具在 PSoC Designer™ 接口内无缝运行，而且针对各种调试工具进行了测试。您可以自由选择。

汇编程序。 汇编程序允许将汇编代码无缝合并到 C 代码中。链接库自动使用绝对寻址，或者在相对模式中编译链接库并将其链接到其他软件模块，从而获得绝对寻址。

C 语言编译器。 C 语言编译器可用于支持 PSoC® 系列器件。使用这些产品，您可以为 PSoC® 系列器件创建完整的 C 程序。

优化 C 编译器可提供针对 PSoC® 体系架构定制的 C 语言的所有功能。它们内置了可以提供端口和总线操作、标准键盘和显示支持，以及扩展数学功能的库，功能更加完善。

调试器

PSoC Designer™ 具有提供硬件在线仿真的调试环境，在为您提供 PSoC® 器件内部视图的同时，还允许您在物理系统中测试程序。调试器命令允许设计者读取和编写以及读取和写入数据内存、读取和写入 IO 寄存器、读取和写入 CPU 寄存器、设置和清除断点，并提供程序运行、暂停和步长控制。调试器还允许设计者创建相关寄存器和内存位置的跟踪缓冲区。

在线帮助系统

在线帮助系统可为用户显示在线上下文相关帮助。专用于程式化快速参考，每个功能子系统都有自己的上下文相关帮助。此系统还提供教程和常见问题解答链接，以及一个网上支持论坛，帮助设计者入门。

在线仿真器

低成本、功能丰富的 ICE（在线仿真器）可为开发提供支持。此硬件具有为单个器件编程的能力。

仿真器包括通过 USB 端口连接到 PC 的一个基本装置。此基本装置是通用的，可以在所有 PSoC® 器件上运行。每个器件系列的仿真器 pod 都是独立提供的，可取代目标电路板中的 PSoC® 器件并执行全速 (24 MHz) 操作。

使用 PSoC Designer™ 进行设计

PSoC® 器件的开发过程与传统的固定功能微处理器不同。可配置的模拟和数字硬件模块为 PSoC® 体系架构提供一种独特的灵活性，这在开发过程中管理规范变更带来了方便，并可通过降低库存成本而获利。这些可配置资源（称为 PSoC® 模块）具有实现各种用户可选功能的能力。

PSoC® 开发过程可以归为以下四个步骤：

1. 选择组件
2. 配置组件
3. 组织和连接
4. 生成、验证和调试

选择组件

系统级和芯片级设计提供预生成、预测试的硬件外设组件库。在系统级设计中，这些组件称为“驱动”，它们与输入（如热敏电阻）、输出（如无刷直流风扇）、通信接口（如 I²C 总线）和逻辑相对应，以便控制其彼此交互的方式（称为评估器）。

在芯片级设计中，组件称为“用户模块”。用户模块能简化外围设备的选择和实现，分为模拟、数字和混合信号三类。

配置组件

您选择的每个组件都会建立用于实现选定功能的基本寄存器设置。此外，它们还提供一些参数和属性，以便您针对特殊应用进行精确配置。例如，脉冲宽度调制器 (PWM) 用户模块可以配置一个或多个数字 PSoC® 模块，每 8 位分辨率一个。使用用户模块参数，您可以建立脉冲宽度和占空比。根据您的应用配置参数和属性。直接输入值或从下拉菜单中选择值。

系统级驱动和芯片级用户模块参数都记录在数据手册中，数据手册可直接在 PSoC Designer™ 中查看。这些数据手册介绍了组件的内部操作并提供性能规范。每个数据手册都对各个用户模块参数或驱动属性的使用进行了描述，并介绍了成功实现您的设计可能需要的其他信息。

组织和连接

通过将用户模块互连并连接到 IO 引脚在芯片级生成信号链，或者通过评估器函数将系统级输入、输出和通信接口互连。

在系统级设计中，如果选择电位计驱动来控制可变速风扇驱动，并设置评估器来根据电位计输入控制风扇速度，可以选择、放置、布线和配置可编程增益放大器 (PGA)（用于缓冲来自电位计的输入）、模数转换器 (ADC)（用于将电位计输出转换为数字信号）和 PWM（用于控制风扇）。

在芯片级设计中，执行选择、配置和布线，以便您完全控制所有片上资源的使用情况。

生成、验证和调试

当您准备测试硬件配置或继续开发项目代码时，您将执行“生成配置文件”步骤。此时 PSoC Designer™ 会生成源代码，源代码会自动按您的规范配置器件，并生成系统软件。

系统级和芯片级设计都会根据您的设计生成软件。芯片级设计提供带有高级函数的应用程序接口 (API)，以便在运行时控制和响应硬件事件，并根据需要中断服务子程序。系统级设计还会生成一个 C main() 程序，用于完全控制选定应用并在关键位置放置自定义代码占位符，这样您就可以在不破坏已生成代码的情况下进一步优化软件。

完善的代码开发环境能让您用 C、汇编语言或二者来开发和定制您的应用程序。

开发过程的最后一步是在 PSoC Designer™ 的调试器中进行 - 通过单击“Connect”（连接）图标进入。PSoC Designer™ 将 HEX 图像下载到全速运行的在线仿真器 (ICE) 中。PSoC Designer™ 调试能力与系统成本相比非常超值。除传统的单步执行、运行到断点和监视变量的功能外，调试界面还提供大型跟踪缓冲区，允许您定义包括监视地址和数据总线值、内存位置和外部信号的复杂断点事件。

文档规范

所用缩略语

下表列出了本文档中使用的缩略语。

表 1. 缩略语

缩略语	描述
AC	交流电
API	应用程序接口
CPU	中央处理器
DC	直流电
FSR	全标度范围
GPIO	通用输入输出
GUI	图形用户界面
ICE	在线仿真器
ILO	内部低速振荡器
IMO	内部主振荡器
IO	输入/输出
LSb	最低有效位
LVD	低压检测
MSb	最高有效位
POR	上电复位
PPOR	精确上电复位
PSoC®	可编程片上系统™
SLIMO	低速 IMO
SRAM	静态随机存取存储器

测量单位

测量单位表位于“电气规范”一节中，此表列出了所有用于测量 PSoC® 器件的测量单位缩写。

数字命名

十六进制数字用大写字母表示，结尾附上小写“h”（例如“14h”或“3Ah”）。十六进制数字还可以通过在数字前边加上“0x”表示（C 编码规范）。二进制数字在结尾附上小写“b”（例如“01010100b”或“01000011b”）。未使用“h”、“b”或 0x 表示的数字是十进制数字。

引脚信息

本节介绍、列出并图解说明 CY8C20x46/CY8C20x66 PSoC® 器件引脚和引脚配置。

CY8C20x46/CY8C20x66 PSoC® 器件有多种封装，下表列出了各种封装并对其进行了图解说明。每个端口引脚（标有“P”）都能用作数字 IO，并可与通用模拟总线进行连接。但是，Vss、Vdd 和 XRES 不能用作数字 IO。

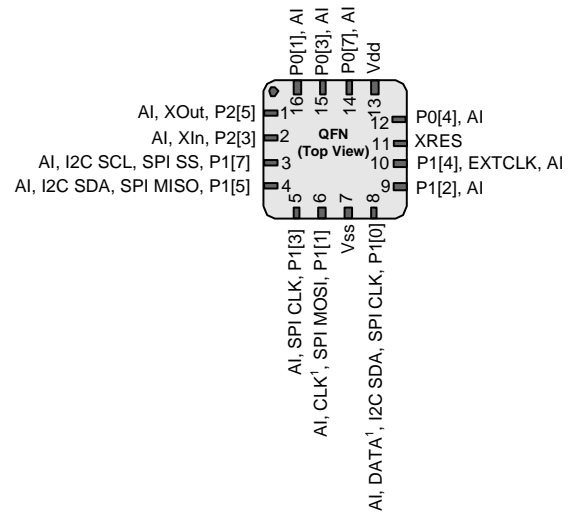
16 引脚部件的引脚说明

表 2. 16 引脚 QFN 部件的引脚说明⁽²⁾

引脚 编号	类型		名称	描述
	数字	模拟		
1	IO	I	P2[5]	晶体输出 (XOut)。
2	IO	I	P2[3]	晶体输入 (XIn)。
3	IOHR	I	P1[7]	I ² C SCL、SPI SS。
4	IOHR	I	P1[5]	I ² C SDA、SPI MISO。
5	IOHR	I	P1[3]	SPI CLK。
6	IOHR	I	P1[1]	ISSP CLK ⁽¹⁾ 、I ² C SCL、SPI MOSI。
7	电源		Vss	接地。
8	IOHR	I	P1[0]	ISSP DATA ⁽¹⁾ 、I ² C SDA、SPI CLK。
9	IOHR	I	P1[2]	
10	IOHR	I	P1[4]	可选外部时钟 (EXTCLK)
11	输入		XRES	内部下拉高电平复位引脚。
12	IOH	I	P0[4]	
13	电源		Vdd	供电电压。
14	IOH	I	P0[7]	
15	IOH	I	P0[3]	集成输入。
16	IOH	I	P0[1]	集成输入。

图例 A = 模拟，I = 输入，O = 输出，OH = 5 mA 高输出驱动，R = 稳定输出。

图 2. CY8C20246 和 CY8C20266 16 引脚 PSoC® 器件



注

- 这些是 ISSP 引脚，在 POR（上电复位）时不是高阻抗。
- 在加电或复位事件期间，器件 P1[1] 和 P1[0] 可能会干扰 I²C 总线。如果遇到任何问题，请使用其他引脚。

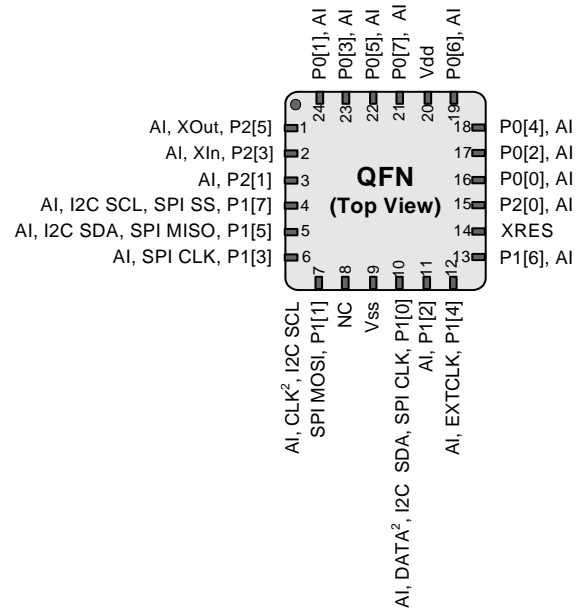
24 引脚部件的引脚说明

表 3. 24 引脚 QFN 部件的引脚说明 (2, 3)

引脚 编号	类型		名称	描述
	数字	模拟		
1	IO	I	P2[5]	晶体输出 (XOut)。
2	IO	I	P2[3]	晶体输入 (XIn)。
3	IO	I	P2[1]	
4	IOHR	I	P1[7]	I ² C SCL、SPI SS。
5	IOHR	I	P1[5]	I ² C SDA、SPI MISO。
6	IOHR	I	P1[3]	SPI CLK。
7	IOHR	I	P1[1]	ISSP CLK ⁽¹⁾ 、I ² C SCL、SPI MOSI。
8			NC	无连接。
9	电源		Vss	接地。
10	IOHR	I	P1[0]	ISSP DATA ⁽¹⁾ 、I ² C SDA、SPI CLK。
11	IOHR	I	P1[2]	
12	IOHR	I	P1[4]	可选外部时钟输入 (EXTCLK)。
13	IOHR	I	P1[6]	
14	输入		XRES	内部下拉式高电平复位引脚。
15	IO	I	P2[0]	
16	IOH	I	P0[0]	
17	IOH	I	P0[2]	
18	IOH	I	P0[4]	
19	IOH	I	P0[6]	
20	电源		Vdd	供电电压。
21	IOH	I	P0[7]	
22	IOH	I	P0[5]	
23	IOH	I	P0[3]	集成输入。
24	IOH	I	P0[1]	集成输入。
CP	电源		Vss	中心 pad 必须接地。

图例 A = 模拟，I = 输入，O = 输出，OH = 5 mA 高输出驱动，R = 稳定输出。

图 3. CY8C20346 和 CY8C20366 24 引脚 PSoC[®] 器件



注

3. QFN 封装上的中心 pad (CP) 必须接地 (Vss)，才能实现最佳机械、热和电气性能。如果不接地，可能会出现电浮，而无法连接到任何其他信号。

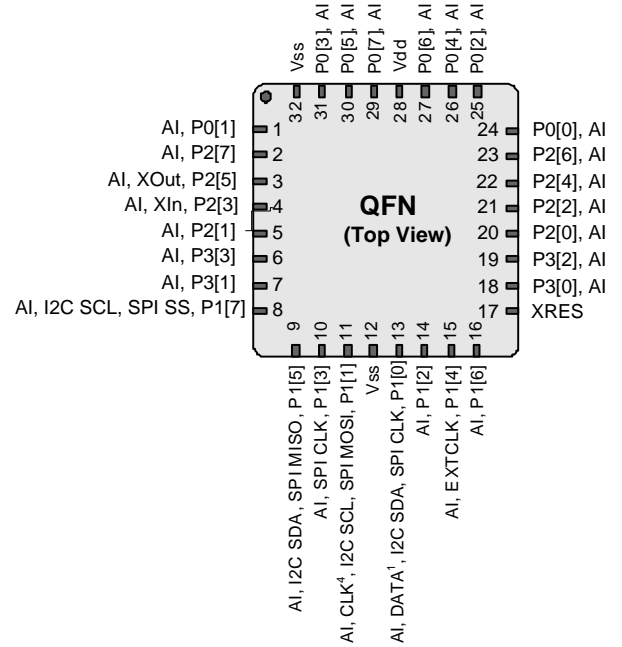
32 引脚部件的引脚说明

表 4. 32 引脚 QFN 部件的引脚说明 (2, 3)

引脚 编号	类型		名称	描述
	数字	模拟		
1	IOH	I	P0[1]	集成输入。
2	IO	I	P2[7]	
3	IO	I	P2[5]	晶体输出 (XOut)
4	IO	I	P2[3]	晶体输入 (XIn)
5	IO	I	P2[1]	
6	IO	I	P3[3]	
7	IO	I	P3[1]	
8	IOHR	I	P1[7]	I ² C SCL、SPI SS。
9	IOHR	I	P1[5]	I ² C SDA、SPI MISO。
10	IOHR	I	P1[3]	SPI CLK。
11	IOHR	I	P1[1]	ISSP CLK ⁽¹⁾ 、I ² C SCL、SPI MOSI。
12	电源		Vss	接地。
13	IOHR	I	P1[0]	ISSP DATA ⁽¹⁾ 、I ² C SDA 和 SPI CLK
14	IOHR	I	P1[2]	
15	IOHR	I	P1[4]	可选外部时钟输入 (EXTCLK)。
16	IOHR	I	P1[6]	
17	输入		XRES	内部下拉高电平复位引脚。
18	IO	I	P3[0]	
19	IO	I	P3[2]	
20	IO	I	P2[0]	
21	IO	I	P2[2]	
22	IO	I	P2[4]	
23	IO	I	P2[6]	
24	IOH	I	P0[0]	
25	IOH	I	P0[2]	
26	IOH	I	P0[4]	
27	IOH	I	P0[6]	
28	电源		Vdd	供电电压。
29	IOH	I	P0[7]	
30	IOH	I	P0[5]	
31	IOH	I	P0[3]	集成输入。
32	电源		Vss	接地。
CP	电源		Vss	中心 pad 必须接地。

图例 A = 模拟, I = 输入, O = 输出, OH = 5 mA 高输出驱动, R = 稳定输出。

图 4. CY8C20446 和 CY8C20466 32 引脚 PSoC[®] 器件

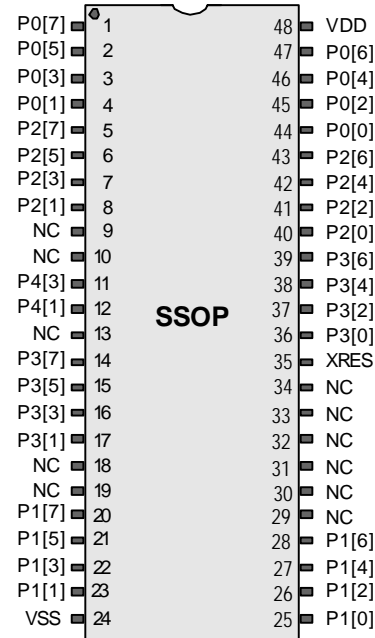


48 引脚 SSOP 部件的引脚说明

表 5. 48 引脚 SSOP 部件的引脚说明 ⁽²⁾

引脚编号	数字	模拟	名称	描述
1	IOH	IO	P0[7]	
2	IOH	IO	P0[5]	
3	IOH	IO	P0[3]	
4	IOH	IO	P0[1]	
5	IO	IO	P2[7]	
6	IO	IO	P2[5]	XTAL 输出
7	IO	IO	P2[3]	XTAL 输入
8	IO	IO	P2[1]	
9			NC	无连接
10			NC	无连接
11	IO	IO	P4[3]	
12	IO	IO	P4[1]	
13			NC	无连接
14	IO	IO	P3[7]	
15	IO	IO	P3[5]	
16	IO	IO	P3[3]	
17	IO	IO	P3[1]	
18			NC	无连接
19			NC	无连接
20	IOHR	IO	P1[7]	I ² C SCL、SPI SS
21	IOHR	IO	P1[5]	I ² C SDA、SPI MISO
22	IOHR	IO	P1[3]	SPI CLK
23	IOHR	IO	P1[1]	TC CLK ⁽¹⁾ 、I ² C SCL 和 SPI MOSI
24			VSS	接地引脚
25	IOHR	IO	P1[0]	TC DATA ⁽¹⁾ 、I ² C SDA 和 SPI CLK
26	IOHR	IO	P1[2]	
27	IOHR	IO	P1[4]	EXT CLK
28	IOHR	IO	P1[6]	
29			NC	无连接
30			NC	无连接
31			NC	无连接
32			NC	无连接
33			NC	无连接
34			NC	无连接
35			XRES	内部下拉高电平复位引脚
36	IO	IO	P3[0]	
37	IO	IO	P3[2]	
38	IO	IO	P3[4]	
39	IO	IO	P3[6]	
40	IO	IO	P2[0]	

图 5. CY8C20546 和 CY8C20566 48 引脚 SSOP PSoC[®] 器件



引脚编号	数字	模拟	名称	描述
41	IO	IO	P2[2]	
42	IO	IO	P2[4]	
43	IO	IO	P2[6]	
44	IOH	IO	P0[0]	
45	IOH	IO	P0[2]	
46	IOH	IO	P0[4]	
47	IOH	IO	P0[6]	
48	电源		Vdd	电源引脚

图例 A = 模拟, I = 输入, O = 输出, NC = 无连接, H = 5 mA 高输出驱动, R = 稳定输出选项。

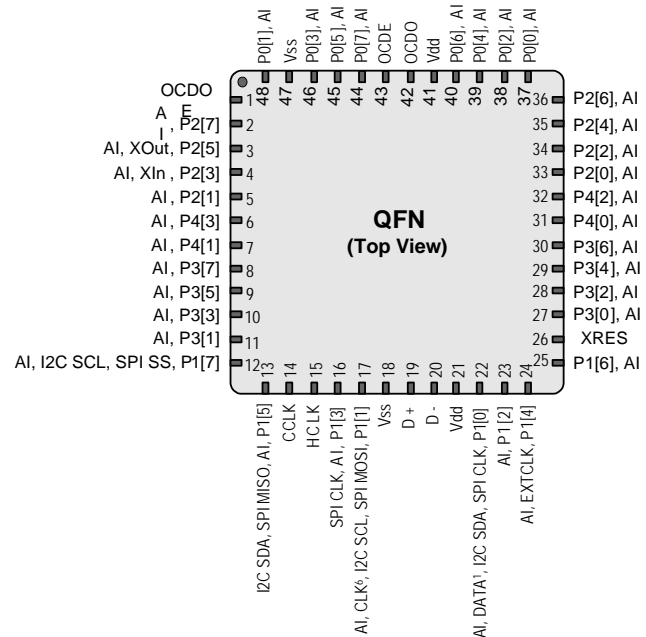
48 引脚 QFN OCD 部件的引脚说明

48 引脚 QFN 部件专门针对 CY8C20066 片上调试 (OCD) PSoC® 器件。请注意，此部件仅用于在线调试。⁽⁴⁾

表 7. 48 引脚 OCD QFN 部件的引脚说明^(2, 3)

引脚编号	数字	模拟	名称	描述
1			OCDOE	OCD 模式方向引脚。
2	IO	I	P2[7]	
3	IO	I	P2[5]	晶体输出 (XOut)。
4	IO	I	P2[3]	晶体输入 (XIn)。
5	IO	I	P2[1]	
6	IO	I	P4[3]	
7	IO	I	P4[1]	
8	IO	I	P3[7]	
9	IO	I	P3[5]	
10	IO	I	P3[3]	
11	IO	I	P3[1]	
12	IOHR	I	P1[7]	I ² C SCL、SPI SS。
13	IOHR	I	P1[5]	I ² C SDA、SPI MISO。
14			CCLK	OCD CPU 时钟输出。
15			HCLK	OCD 高速时钟输出。
16	IOHR	I	P1[3]	SPI CLK。
17	IOHR	I	P1[1]	ISSP CLK ⁽¹⁾ 、I ² C SCL 和 SPI MOSI。
18		电源	Vss	接地。
19	IO		D+	
20	IO		D-	
21		电源	Vdd	供电电压。
22	IOHR	I	P1[0]	ISSP DATA ⁽¹⁾ 、I ² C SDA 和 SPI CLK。
23	IOHR	I	P1[2]	
24	IOHR	I	P1[4]	可选外部时钟输入 (EXTCLK)。
25	IOHR	I	P1[6]	
26		输入	XRES	内部下拉高电平复位引脚。
27	IO	I	P3[0]	
28	IO	I	P3[2]	
29	IO	I	P3[4]	
30	IO	I	P3[6]	
31	IO	I	P4[0]	
32	IO	I	P4[2]	
33	IO	I	P2[0]	
34	IO	I	P2[2]	
35	IO	I	P2[4]	
36	IO	I	P2[6]	

图 7. CY8C20066 48 引脚 OCD PSoC® 器件



引脚编号	数字	模拟	名称	描述
37	IOH	I	P0[0]	
38	IOH	I	P0[2]	
39	IOH	I	P0[4]	
40	IOH	I	P0[6]	
41		电源	Vdd	供电电压。
42			OCDO	OCD 偶数数据 IO。
43			OCDE	OCD 奇数数据输出。
44	IOH	I	P0[7]	
45	IOH	I	P0[5]	
46	IOH	I	P0[3]	集成输入。
47		电源	Vss	接地。
48	IOH	I	P0[1]	
CP		电源	Vss	中心 pad 必须接地。

图例 A = 模拟，I = 输入，O = 输出，NC = 无连接，H = 5 mA 高输出驱动，R = 稳定输出。

注

4. 此部件只有有限数量用于原型开发期间的在线调试，不能批量生产。

电气规范

本节介绍 CY8C20x46/CY8C20x66 PSoC® 器件的直流和交流电气规范。有关最新电气规范，请登录网站 <http://www.cypress.com/psoc> 查看最新数据手册。

图 8. 电压与 CPU 频率的关系

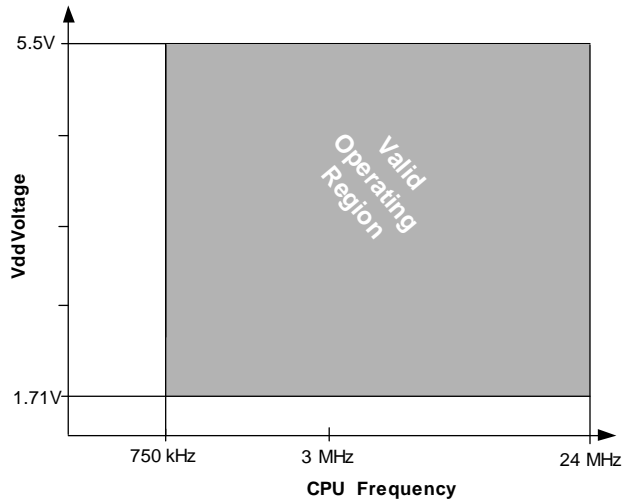
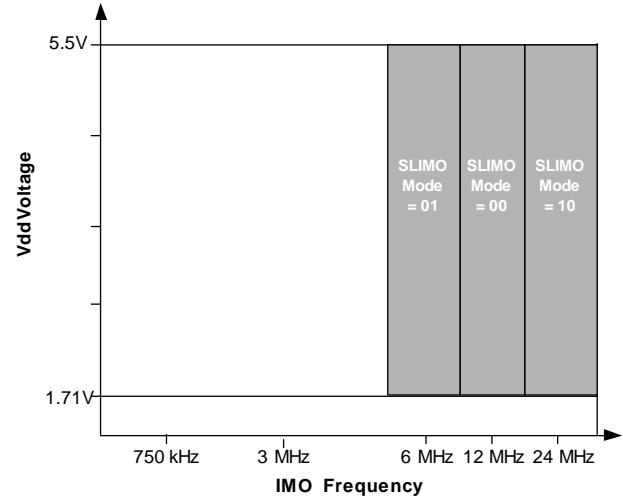


图 9. IMO 频率调整选项



下表列出了本节中使用的测量单位。

表 8. 测量单位

符号	测量单位	符号	测量单位
°C	摄氏度	mA	毫安
dB	分贝	ms	毫秒
fF	femto 法	mV	毫伏
Hz	赫兹	nA	纳安
KB	1024 字节	ns	纳秒
Kbit	1024 位	nV	纳伏
kHz	千赫兹	Ω	欧姆
ksps	每秒千次采样数	pA	pico 安
kΩ	千欧姆	pF	pico 法
MHz	兆赫兹	pp	峰峰值
MΩ	兆欧姆	ppm	百万分率
μA	微安	ps	pico 秒
μF	微法拉	sps	每秒采样次数
μH	微亨	s	西格玛：一个标准偏差
μs	微秒	V	伏特
μW	微瓦		

比较器用户模块电气规范

下表列出了许可的最大和最小规范。除非另有声明，否则这些规范是针对器件的整个电压和温度工作范围的：-40°C ≤ TA ≤ 85°C，1.71V ≤ Vdd ≤ 5.5V。

表 9. 比较器用户模块电气规范

符号	描述	最小值	典型值	最大值	单位	条件
T _{COMP}	比较器响应时间		70	100	ns	50 mV 过载
偏移			2.5	30	mV	
电流			20	80	A	平均直流电流，50 mV 过载
PSRR	供电电压 > 2V		80		dB	电源拒绝比率
	供电电压 < 2V		40		dB	电源拒绝比率
输入范围		0		1.5	V	

ADC 电气规范绝对最大等级

表 10. ADC 用户模块电气规范

符号	描述	最小值	典型值	最大值	单位	条件
	输入					
V _{IN}	输入电压范围	V _{SS}		1.3	V	给出最大代码的 72%
C _{IN}	输入电容值			5	pF	
	分辨率	8		10	位	设置 8、9 或 10
—	8 位采样率		23.4375		ksp/s	数据时钟设为 6 MHz。 采样率 = 0.001/(2 [^] 分辨率/数据时钟)
—	10 位采样率		5.859		ksp/s	数据时钟设为 6 MHz。 采样率 = 0.001/(2 [^] 分辨率/数据时钟)
	直流精度					
—	DNL	-1		+2	LSB	对于任何配置
—	INL	-2		+2	LSB	对于任何配置
—	偏移误差	0	15	90	mV	
I _{ADC}	工作电流		275	350	μA	
F _{CLK}	数据时钟	2.25		12	MHz	源是芯片的内部主振荡器。有关精确度，请参见器件数据手册。
	单调性					不保证。请参见 DNL
PSRR	电源拒绝额定值					
—	PSRR (Vdd > 3.0V)		24	dB		
—	PSRR (2.2 < Vdd < 3.0)		30	dB		
—	PSRR (2.0 < Vdd < 2.2)		12	dB		
—	PSRR (Vdd < 2.0)		0	dB		
	增益误差	1		5	%FSR	对于任何分辨率
R _{IN}	输入电阻	1/(500fF* 数据时钟)	1/(400fF* 数据时钟)	1/(300fF* 数据时钟)	Ω	相当于 8、9 或 10 位分辨率的开关电容输入电阻。

表 11. 绝对最大等级

符号	描述	条件	最小值	典型值	最大值	单位
T_{STG}	存储温度	存储温度越高，数据保留时间就越短。建议采用的存储温度为 $+25^{\circ}\text{C} \pm 25^{\circ}\text{C}$ 。存储温度长期保持在 85°C 以上会降低可靠性。	-55	+25	+125	$^{\circ}\text{C}$
Vdd	相对于 Vss 的电源电压		-0.5	—	+6.0	V
V_{IO}	直流输入电压		Vss -0.5	—	Vdd +0.5	V
V_{IOZ}	应用于三态的直流电压		Vss -0.5	—	Vdd +0.5	V
I_{MIO}	进入任意端口引脚的最大电流		-25	—	+50	mA
ESD	静电放电电压	人体模型 ESD	2000	—	—	V
LU	闭锁电流	符合 JESD78 标准	—	—	200	mA

运行温度

表 12. 运行温度

符号	描述	条件	最小值	典型值	最大值	单位
T_A	环境温度		-40	—	+85	$^{\circ}\text{C}$
T_J	芯片工作温度	环境温度到结温的温度升高情况因封装不同而异。请参见表第 28 页的每种封装的热阻。用户必须限制功耗来满足此要求。	-40	—	+100	$^{\circ}\text{C}$

直流芯片级设计规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 13. 直流芯片级设计规范

符号	描述	条件	最小值	典型值	最大值	单位
Vdd	供电电压	请参见表第 20 页的直流 POR 和 LVD 规范	1.71	—	5.5	V
I_{DD24}	供电电流，IMO = 24 MHz	条件是 Vdd = 3.0V， $T_A = 25^{\circ}\text{C}$ ，CPU = 24 MHz。CapSense 的运行频率为 12 MHz，无 IO 源电流	—	2.88	4.0	mA
I_{DD12}	供电电流，IMO = 12 MHz	条件是 Vdd = 3.0V， $T_A = 25^{\circ}\text{C}$ ，CPU = 12 MHz。CapSense 的运行频率为 12 MHz，无 IO 源电流	—	1.71	2.6	mA
I_{DD6}	供电电流，IMO = 6 MHz	条件是 Vdd = 3.0V， $T_A = 25^{\circ}\text{C}$ ，CPU = 6 MHz。CapSense 的运行频率为 6 MHz，无 IO 源电流	—	1.16	1.8	mA
I_{SB0}	深度休眠电流	Vdd = 3.0V， $T_A = 25^{\circ}\text{C}$ ，IO 调节器关闭	—	0.1	—	μA
I_{SB1}	具有 POR、LVD 和休眠定时器的待机电流	Vdd = 3.0V， $T_A = 25^{\circ}\text{C}$ ，IO 调节器关闭	—	1.07	1.5	μA

直流通用 IO 规范

下表列出了在以下电压和温度范围内许可的最大和最小规范：分别为 3.0V 并且 5.5V 和 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，2.4V 到 3.0V 并且 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ ，或者 1.71V 到 2.4V 并且 $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 。典型参数适用于 25°C 下的 5V 和 3.3V 的情况，仅供设计指导之用。

表 14. 3.0V 到 5.5V 直流通用输入输出规范

符号	描述	条件	最小值	典型值	最大值	单位
R _{PU}	上拉电阻		4	5.6	8	kΩ
V _{OH1}	高输出电压 端口 2 或 3 引脚	IOH ≤ 10 μA，所有 IO 中的拉电流最大值为 10 mA	V _{dd} - 0.2	—	—	V
V _{OH2}	高输出电压 端口 2 或 3 引脚	IOH = 1 mA，所有 IO 中的拉电流最大值为 20 mA	V _{dd} - 0.9	—	—	V
V _{OH3}	高输出电压 端口 0 或 1 引脚（对端口 1 禁用 LDO 调节器）	IOH < 10 μA，所有 IO 中的拉电流最大值为 10 mA	V _{dd} - 0.2	—	—	V
V _{OH4}	高输出电压 端口 0 或 1 引脚（对端口 1 禁用 LDO 调节器）	IOH = 5 mA，所有 IO 中的拉电流最大值为 20 mA	V _{dd} - 0.9	—	—	V
V _{OH5}	高输出电压 端口 1 引脚（对 3V 输出启用 LDO 调节器）	IOH < 10 μA，V _{dd} > 3.1V，最多 4 个 IO（拉电流均为 5 mA）	2.85	3.00	3.3	V
V _{OH6}	高输出电压 端口 1 引脚（对 3V 输出启用 LDO 调节器）	IOH = 5 mA，V _{dd} > 3.1V，所有 IO 中的拉电流最大值为 20 mA	2.20	—	—	V
V _{OH7}	高输出电压 端口 1 引脚（对 2.5V 输出启用 LDO）	IOH < 10 μA，V _{dd} > 2.7V，所有 IO 中的拉电流最大值为 20 mA	2.35	2.50	2.75	V
V _{OH8}	高输出电压 端口 1 引脚（对 2.5V 输出启用 LDO）	IOH = 2 mA，V _{dd} > 2.7V，所有 IO 中的拉电流最大值为 20 mA	1.90	—	—	V
V _{OH9}	高输出电压 端口 1 引脚（对 1.8V 输出启用 LDO）	IOH < 10 μA，V _{dd} > 2.7V，所有 IO 中的拉电流最大值为 20 mA	1.60	1.80	2.1	V
V _{OH10}	高输出电压 端口 1 引脚（对 1.8V 输出启用 LDO）	IOH = 1 mA，V _{dd} > 2.7V，所有 IO 中的拉电流最大值为 20 mA	1.20	—	—	V
V _{OL}	低电平输出电压	IOL = 25 mA，V _{dd} > 3.3V，偶数端口引脚上的灌电流最大值为 60 mA（例如，P0[2] 和 P1[4]），奇数端口引脚上的灌电流最大值为 60 mA（例如，P0[3] 和 P1[5]）	—	—	0.75	V
V _{IL}	输入低电平电压		—	—	0.80	V
V _{IH}	输入高电平电压		2.00	—	—	V
V _H	输入迟滞电压		—	80	—	mV
I _{IL}	输入漏电流（绝对值）		—	0.001	1	μA
C _{PIN}	引脚电容	取决于封装和引脚 温度 = 25°C	0.5	1.7	5	pF

表 15. 2.4V 到 3.0V 直流通用输入输出规范

符号	描述	条件	最小值	典型值	最大值	单位
R _{PU}	上拉电阻		4	5.6	8	kΩ
V _{OH1}	高输出电压 端口 2 或 3 引脚	IOH < 10 μA, 所有 IO 中的拉电流最大值为 10 mA	Vdd - 0.2	—	—	V
V _{OH2}	高输出电压 端口 2 或 3 引脚	IOH = 0.2 mA, 所有 IO 中的拉电流最大值为 10 mA	Vdd - 0.4	—	—	V
V _{OH3}	高输出电压 端口 0 或 1 引脚 (对端口 1 禁用 LDO 调节器)	IOH < 10 μA, 所有 IO 中的拉电流最大值为 10 mA	Vdd - 0.2	—	—	V
V _{OH4}	高输出电压 端口 0 或 1 引脚 (对端口 1 禁用 LDO 调节器)	IOH = 2 mA, 所有 IO 中的拉电流最大值为 10 mA	Vdd - 0.5	—	—	V
V _{OH5A}	高输出电压 端口 1 引脚 (对 1.8V 输出启用 LDO)	IOH < 10 μA, Vdd > 2.4V, 所有 IO 中的拉电流最大值为 20 mA	1.50	1.80	2.1	V
V _{OH6A}	高输出电压 端口 1 引脚 (对 1.8V 输出启用 LDO)	IOH = 1 mA, Vdd > 2.4V, 所有 IO 中的拉电流最大值为 20 mA	1.20	—	—	V
V _{OL}	低电平输出电压	IOL = 10 mA, 偶数端口引脚上的灌电流最大值为 30 mA (例如, P0[2] 和 P1[4]), 奇数端口引脚上的灌电流最大值为 30 mA (例如, P0[3] 和 P1[5])	—	—	0.75	V
V _{IL}	输入低电平电压		—	—	0.72	V
V _{IH}	输入高电平电压		1.4	—	—	V
V _H	输入迟滞电压		—	80	—	mV
I _{IL}	输入漏电流 (绝对值)		—	0.001	1	μA
C _{PIN}	引脚上的电容负载	取决于封装和引脚温度 = 25°C	0.5	1.7	5	pF

表 16. 1.71V 到 2.4V 直流通用输入输出规范

符号	描述	条件	最小值	典型值	最大值	单位
R _{PU}	上拉电阻		4	5.6	8	kΩ
V _{OH1}	高输出电压 端口 2 或 3 引脚	IOH = 10 μA, 所有 IO 中的拉电流最大值为 10 mA	Vdd - 0.2	—	—	V
V _{OH2}	高输出电压 端口 2 或 3 引脚	IOH = 0.5 mA, 所有 IO 中的拉电流最大值为 10 mA	Vdd - .5	—	—	V
V _{OH3}	高输出电压 端口 0 或 1 引脚 (对端口 1 禁用 LDO 调节器)	IOH = 100 μA, 所有 IO 中的拉电流最大值为 10 mA	Vdd - 0.2	—	—	V
V _{OH4}	高输出电压 端口 0 或 1 引脚 (对端口 1 禁用 LDO 调节器)	IOH = 2 mA, 所有 IO 中的拉电流最大值为 10 mA	Vdd - 0.5	—	—	V
V _{OL}	低电平输出电压	IOL = 5 mA, 偶数端口引脚上的灌电流最大值为 20 mA (例如, P0[2] 和 P1[4]), 奇数端口引脚上的灌电流最大值为 30 mA (例如, P0[3] 和 P1[5])	—	—	0.4	V

表 16. 1.71V 到 2.4V 直流通用输入输出规范

符号	描述	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压		—	—	$0.3 \times V_{dd}$	V
V_{IH}	输入高电平电压		$0.65 \times V_{dd}$	—		V
V_H	输入迟滞电压		—	80	—	mV
I_{IL}	输入漏电流（绝对值）		—	0.001	1	μA
C_{PIN}	引脚上的电容负载	取决于封装和引脚 温度 = 25°C	0.5	1.7	5	pF

表 17. 直流特性 – USB 接口

符号	描述	条件	最小值	典型值	最大值	单位
Rusbi	USB D+ 上拉电阻	具有空闲总线	0.900	—	1.575	k Ω
Rusba	USB D+ 上拉电阻	在接收流量时	1.425	—	3.090	k Ω
Vohusb	静态输出高电平		2.8	—	3.6	V
Volusb	静态输出低电平			—	0.3	V
Vdi	差分输入灵敏度		0.2	—		V
Vcm	差分输入通用模式范围		0.8	—	2.5	V
Vse	单端接收器阈值		0.8	—	2.0	V
Cin	收发器电容			—	50	pF
Iio	高阻抗状态数据线路漏电流	在 D+ 或 D- 线路上	-10	—	+10	μA
Rps2	PS/2 上拉电阻		3	5	7	k Ω
Rext	外部 USB 序列电阻器	通过每个 USB 引脚串联	21.78	22.0	22.22	Ω

直流模拟总线规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 18. 直流模拟总线规范

符号	描述	条件	最小值	典型值	最大值	单位
R_{SW}	将电阻切换到通用模拟总线		—	—	800	Ω
R_{GND}	初始化电阻切换到 Vss		—	—	800	Ω

用于测量 R_{SW} 和 R_{GND} 的最大引脚电压为 1.8V

直流低功耗比较器规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 19. 直流比较器规范

符号	描述	条件	最小值	典型值	最大值	单位
V_{LPC}	低功耗比较器 (LPC) 通用模式	最大电压限制为 Vdd 电压	0.0	—	1.8	V
I_{LPC}	LPC 供电电流		—	10	40	μA
V_{OSLPC}	LPC 电压偏移		—	2.5	30	mV

直流 POR 和 LVD 规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 20. 直流 POR 和 LVD 规范

符号	描述	条件	最小值	典型值	最大值	单位
V_{PPOR0}	Vdd 值 (PPOR 断路装置) PORLEV[1:0] = 00b, HPOR = 0	在启动、从 XRES 引脚复位或从看门狗定时器复位期间, Vdd 必须大于或等于 1.71V。	1.61	1.66	1.71	V
V_{PPOR1}	PORLEV[1:0] = 00b, HPOR = 1		–	2.36	2.41	V
V_{PPOR2}	PORLEV[1:0] = 01b, HPOR = 1			2.60	2.66	V
V_{PPOR3}	PORLEV[1:0] = 10b, HPOR = 1			2.82	2.95	V
V_{LVD0}	Vdd 值 (LVD 断路装置) VM[2:0] = 000b		2.40 ^[5]	2.45	2.51	V
V_{LVD1}	VM[2:0] = 001b		2.64 ^[6]	2.71	2.78	V
V_{LVD2}	VM[2:0] = 010b		2.85 ^[7]	2.92	2.99	V
V_{LVD3}	VM[2:0] = 011b		2.95	3.02	3.09	V
V_{LVD4}	VM[2:0] = 100b		3.06	3.13	3.20	V
V_{LVD5}	VM[2:0] = 101b		1.84	1.90	2.32	V
V_{LVD6}	VM[2:0] = 110b		1.75 ^[8]	1.80	1.84	V
V_{LVD7}	VM[2:0] = 111b		4.62	4.73	4.83	V

直流编程规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 21. 直流编程规范

符号	描述	条件	最小值	典型值	最大值	单位
$V_{ddIWRITE}$	用于闪存写入操作的供电电压		1.71	–	–	V
I_{DDP}	编程或验证期间的供电电流		–	5	25	mA
V_{ILP}	编程或验证期间的输入低电压	请参见相应的第 17 页的直流通用 IO 规范	–	–	V_{IL}	V
V_{IHP}	编程或验证期间的输入高电压	请参见第 15 或 16 页上相应的第 17 页的直流通用 IO 规范表	V_{IH}	–	–	V
I_{ILP}	编程或验证期间, 将 V_{ilp} 应用到 P1[0] 或 P1[1] 时的输入电流	驱动内部下拉电阻	–	–	0.2	mA
I_{IHP}	编程或验证期间, 将 V_{ihp} 应用到 P1[0] 或 P1[1] 时的输入电流	驱动内部下拉电阻	–	–	1.5	mA
V_{OLP}	编程或验证期间的输出低电压		–	–	$V_{SS} + 0.75$	V
V_{OHP}	编程或验证期间的输出高电压	请参见第 16 页上相应的第 17 页的直流通用 IO 规范表。对于 $V_{dd} > 3V$, 请使用第 16 页的表 12 中的 V_{OH4} 。	V_{OH}	–	V_{dd}	V
Flash _{ENPB}	闪存写入耐久性	每个模块的擦除/写入循环次数	50,000	–	–	循环
Flash _{DR}	闪存数据保留	以下最大闪存写入循环次数: 环境温度 为 55°C	10	20	–	年

注

- 在供电下降沿, 始终比 V_{PPOR1} 电压高 50 mV。
- 在供电下降沿, 始终比 V_{PPOR2} 电压高 50 mV。
- 在供电下降沿, 始终比 V_{PPOR3} 电压高 50 mV。
- 在供电下降沿, 始终比 V_{PPOR0} 电压高 50 mV。

交流芯片级设计规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 22. 交流芯片级设计规范

符号	描述	条件	最小值	典型值	最大值	单位
F _{MAX}	最大运行频率		24	—	—	MHz
F _{CPU}	最大处理频率		24	—	—	MHz
F _{32K1}	内部低速振荡器频率		19	32	50	kHz
F _{IMO24}	在 24 MHz 设置时的内部主振荡器频率		22.8	24	25.2	MHz
F _{IMO12}	在 12 MHz 设置时的内部主振荡器频率		11.4	12	12.6	MHz
F _{IMO6}	在 6 MHz 设置时的内部主振荡器频率		5.7	6.0	6.3	MHz
DC _{IMO}	IMO 的占空比		40	50	60	%
T _{RAMP}	供电斜坡时间		0	—	—	μs
T _{XRST}	上电时外部复位脉冲宽度	在供电电压有效以后	1			ms
T _{XRST2}	上电后外部复位脉冲宽度	在部件启动后应用	10			μs

交流通用 IO 规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 23. 交流通用输入输出规范

符号	描述	条件	最小值	典型值	最大值	单位
F _{GPIO}	通用输入输出运行频率	常规 Strong 模式端口 0、1	0	—	6 MHz, 对于 1.71V<V _{dd} <2.4V	MHz
			0	—	12 MHz, 对于 2.4V<V _{dd} <5.5V	
TRise23	上升时间, Strong 模式, Cload = 50 pF 端口 2 或 3	V _{dd} = 3.0 到 3.6V, 10% – 90%	15	—	80	ns
TRise23L	上升时间, Strong 模式, 低供电, Cload = 50 pF 端口 2 或 3	V _{dd} = 1.71 到 3.0V, 10% – 90%	15	—	80	ns
TRise01	上升时间, Strong 模式, Cload = 50 pF 端口 0 或 1	V _{dd} = 3.0 到 3.6V, 10% – 90% LDO 启用或禁用	10	—	50	ns
TRise01L	上升时间, Strong 模式, 低供电, Cload = 50 pF 端口 0 或 1	V _{dd} = 1.71 到 3.0V, 10% – 90% LDO 启用或禁用	10	—	80	ns
TFall	下降时间, Strong 模式, Cload = 50 pF 所有端口	V _{dd} = 3.0 到 3.6V, 10% – 90%	10	—	50	ns
TFallL	下降时间, Strong 模式, 低供电, Cload = 50 pF 所有端口	V _{dd} = 1.71 到 3.0V, 10% – 90%	10	—	70	ns

图 10. 通用输入输出时序图

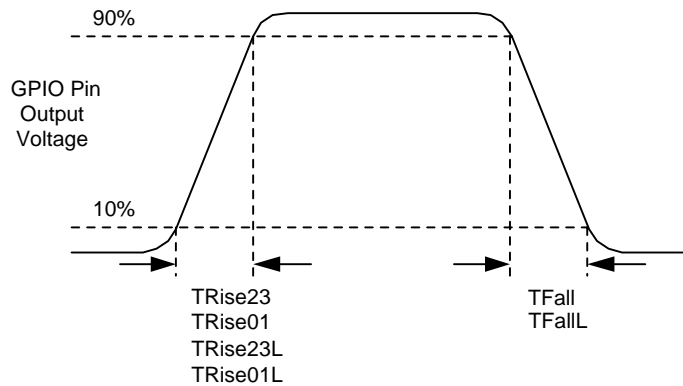


表 24. 交流特点 – USB 数据时序

符号	描述	条件	最小值	典型值	最大值	单位
Tdrate	全速数据速率	平均位速率	12–0.25%	12	12 + 0.25%	MHz
Tdjr1	接收器数据时序抖动容错性	到下一移植	–18.5	–	18.5	ns
Tdjr2	接收器数据时序抖动容错性	到对移植	–9	–	9	ns
Tudj1	驱动差分时序抖动	到下一移植	–3.5	–	3.5	ns
Tudj2	驱动差分时序抖动	到对移植	–4.0	–	4.0	ns
Tfdeop	差分移植的源时序抖动	到 SE0 移植	–2	–	5	ns
Tfeopt	EOP 的源 SE0 间隔		160	–	175	ns
Tfeopr	EOP 的接收器 SE0 间隔		82	–		ns
Tfst	差分移植期间 SE0 间隔的宽度			–	14	ns

表 25. 交流特点 – USB 驱动

符号	描述	条件	最小值	典型值	最大值	单位
Tr	移植上升时间	50 pF	4	–	20	ns
Tf	移植下降时间	50 pF	4	–	20	ns
TR	上升/下降时间匹配		90.00	–	111.1	%
Vcrs	输出信号交叉电压		1.3	–	2.0	V

交流比较器规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 26. 交流低功耗比较器规范

符号	描述	条件	最小值	典型值	最大值	单位
T _{LPC}	比较器响应时间, 50 mV 过载	50 mV 过载不包括偏移电压。			100	ns

交流模拟总线规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 27. 交流模拟总线规范

符号	描述	条件	最小值	典型值	最大值	单位
F_{SW}	开关速率	在测量开关速率时的最大引脚电压为 1.8Vp-p	—	—	6.3	MHz

交流外部时钟规范

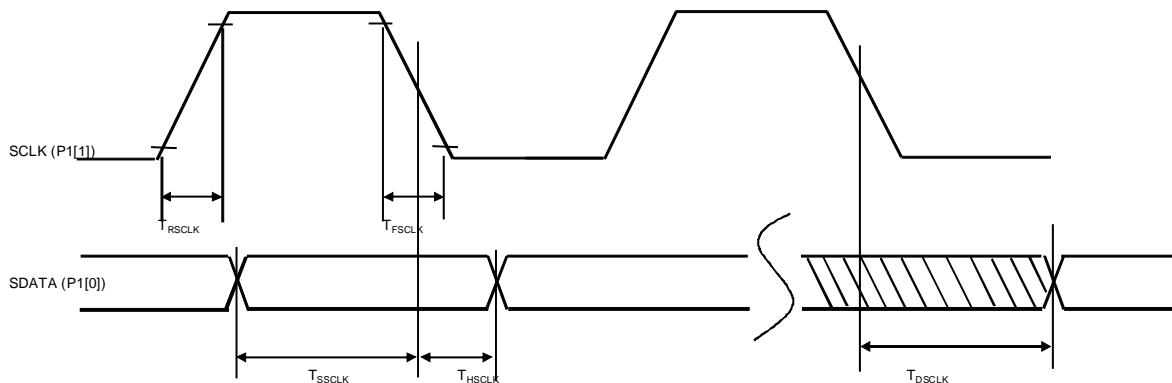
下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 28. 交流外部时钟规范

符号	描述	条件	最小值	典型值	最大值	单位
F_{OSCEXT}	频率		0.750	—	25.2	MHz
—	高电平周期		20.6	—	5300	ns
—	低电平周期		20.6	—	—	ns
—	上电 IMO 到开关		150	—	—	μ s

交流编程规范

图 11. 交流波形



下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 29. 交流编程规范

符号	描述	条件	最小值	典型值	最大值	单位
T_{RCLK}	SCLK 的上升时间		1	—	20	ns
T_{FCLK}	SCLK 的下降时间		1	—	20	ns
T_{SSCLK}	到 SCLK 下降沿的数据设置时间		40	—	—	ns
T_{HSCLK}	自 SCLK 下降沿始的数据保留时间		40	—	—	ns
F_{SCLK}	SCLK 的频率		0	—	8	MHz
T_{ERASEB}	闪存擦除时间（模块）		—	—	18	ms
T_{WRITE}	闪存模块写入时间		—	—	25	ms
T_{DSCLK}	自 SCLK 下降沿始的数据输出延迟	$3.6 < V_{dd}$	—	—	60	ns
T_{DSCLK3}	自 SCLK 下降沿始的数据输出延迟	$3.0 \leq V_{dd} \leq 3.6$	—	—	85	ns
T_{DSCLK2}	自 SCLK 下降沿始的数据输出延迟	$1.71 \leq V_{dd} \leq 3.0$	—	—	130	ns

交流单个程序启动规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 30. 交流单个程序启动规范

符号	描述	条件	最小值	典型值	最大值	单位
F_{SPIM}	最大输入时钟频率选择, 主设备 $2.4V < V_{dd} < 5.5V$	输出时钟频率为输入时钟速率的一半。	—	—	12	MHz
	最大输入时钟频率选择, 主设备 (21) $1.71V < V_{dd} < 2.4V$	输出时钟频率为输入时钟速率的一半			6	MHz
F_{SPIS}	最大输入时钟频率选择, 从设备 $2.4 < V_{dd} < 5.5V$		—	—	12	MHz
	最大输入时钟频率选择, 从设备 $1.71V < V_{dd} < 2.4V$				6	MHz
T_{SS}	移植之间 SS_Negated 的宽度		50	—	—	ns

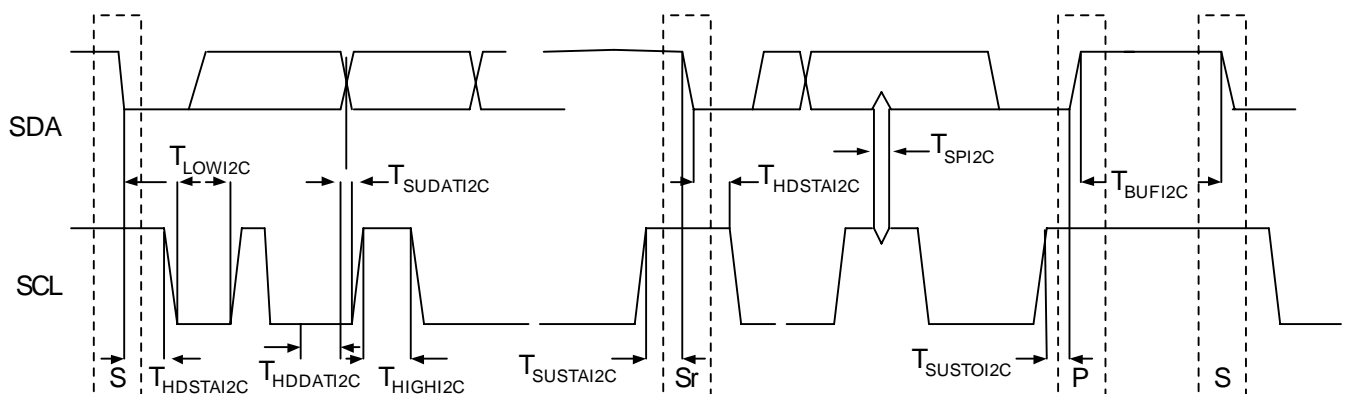
交流 I²C 规范

下表列出了在整个电压和温度范围内许可的最大和最小规范。

表 31. I²C SDA 和 SCL 引脚的交流特点

符号	描述	条件	标准模式		快速模式		单位
			最小值	最大值	最小值	最大值	
F_{SCL2C}	SCL 时钟频率		0	100	0	400	kHz
$T_{HDSTA2C}$	保留时间 (重复) START 条件。在此周期后, 生成第一个时钟脉冲。		4.0	—	0.6	—	μs
T_{LOWI2C}	SCL 时钟的低电平周期		4.7	—	1.3	—	μs
$T_{HIGHI2C}$	SCL 时钟的高电平周期		4.0	—	0.6	—	μs
$T_{SUSTA2C}$	重复 START 条件的设置时间		4.7	—	0.6	—	μs
$T_{HDDATI2C}$	数据保留时间		0	—	0	—	μs
$T_{SUDATI2C}$	数据设置时间		250	—	100 ^[9]	—	ns
$T_{SUSTOI2C}$	STOP 条件的设置时间		4.0	—	0.6	—	μs
T_{BUFI2C}	STOP 和 START 条件之间的总线空闲时间		4.7	—	1.3	—	μs
T_{SPI2C}	输入滤波器所抑制的尖峰信号的脉冲宽度		—	—	0	50	ns

图 12. I²C 总线上快速/标准模式的时序定义



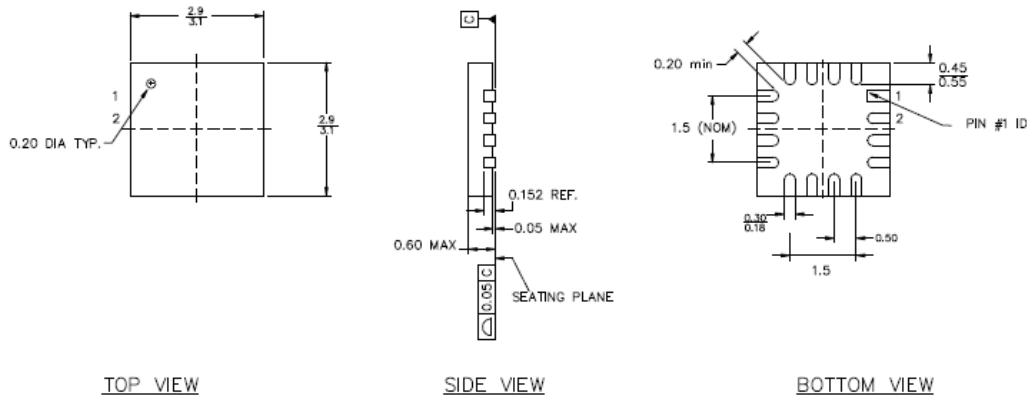
注
9. 快速模式 I²C 总线器件可以用在标准模式 I²C 总线系统中, 但必须满足要求 $t_{SU;DAT}$ 250 ns。如果器件不扩展 SCL 信号的低电平周期, 则会自动满足此要求。如果此类器件扩展了 SCL 信号的低电平周期, 则它必须在 SCL 线路被释放之前将下一个数据位输出到 SDA 线路 $t_{rmax} + t_{SU;DAT} = 1000 + 250 = 1250$ ns (根据标准模式 I²C 总线规范)。

封装信息

本节将图解说明 CY8C20x46/CY8C20x66 PSoC® 器件的封装规范，并介绍了每种封装的热阻。

重要说明 仿真工具可能需要目标印刷电路板上比芯片封装更大的空间。有关仿真工具尺寸的详细说明，请参考文档 *PSoC® Emulator Pod Dimensions* (PSoC® 仿真主机尺寸)，网址为：<http://www.cypress.com/design/MR10161>。

图 13. 引线 3x3 mm 上的 16 引脚芯片（锯开）



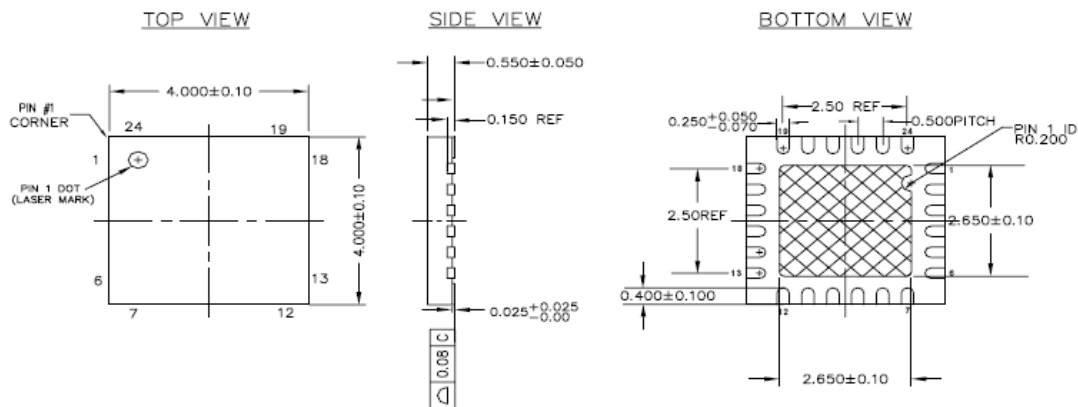
PART NO.	DESCRIPTION
LG16A	LEAD-FREE
LD16A	STANDARD

NOTES:


1. JEDEC # MQ-220
2. Package Weight: 0.014g
3. DIMENSIONS IN MM, MIN MAX

001-09116 *D

图 14. 24 引脚 (4x4 x 0.6 mm) QFN



NOTES:

1.  HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MQ-248
3. UNIT PACKAGE WEIGHT: 0.024 grams
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *B

图 15. 32 引脚 (5x5 x 0.6 mm) QFN

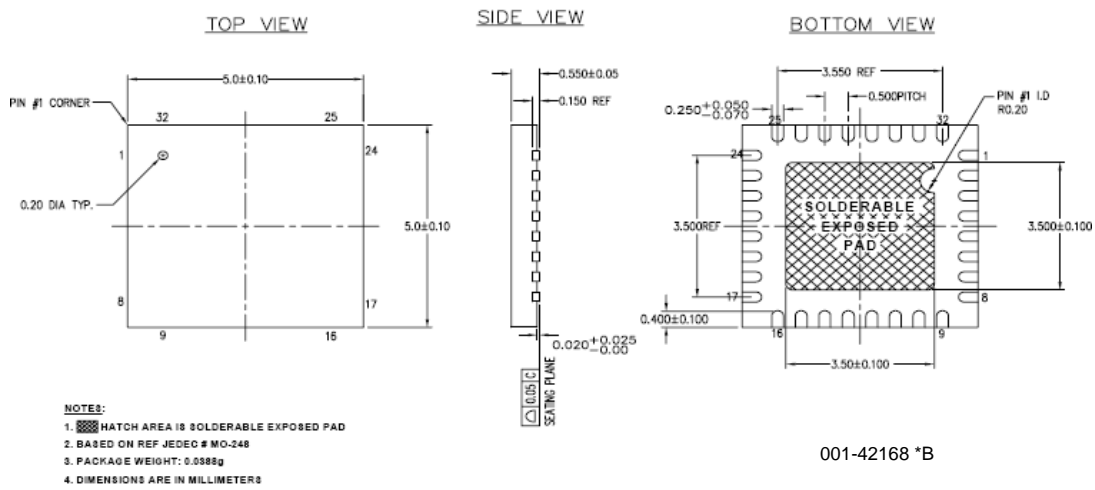


图 16. 48 引脚 (300 MIL) SSOP

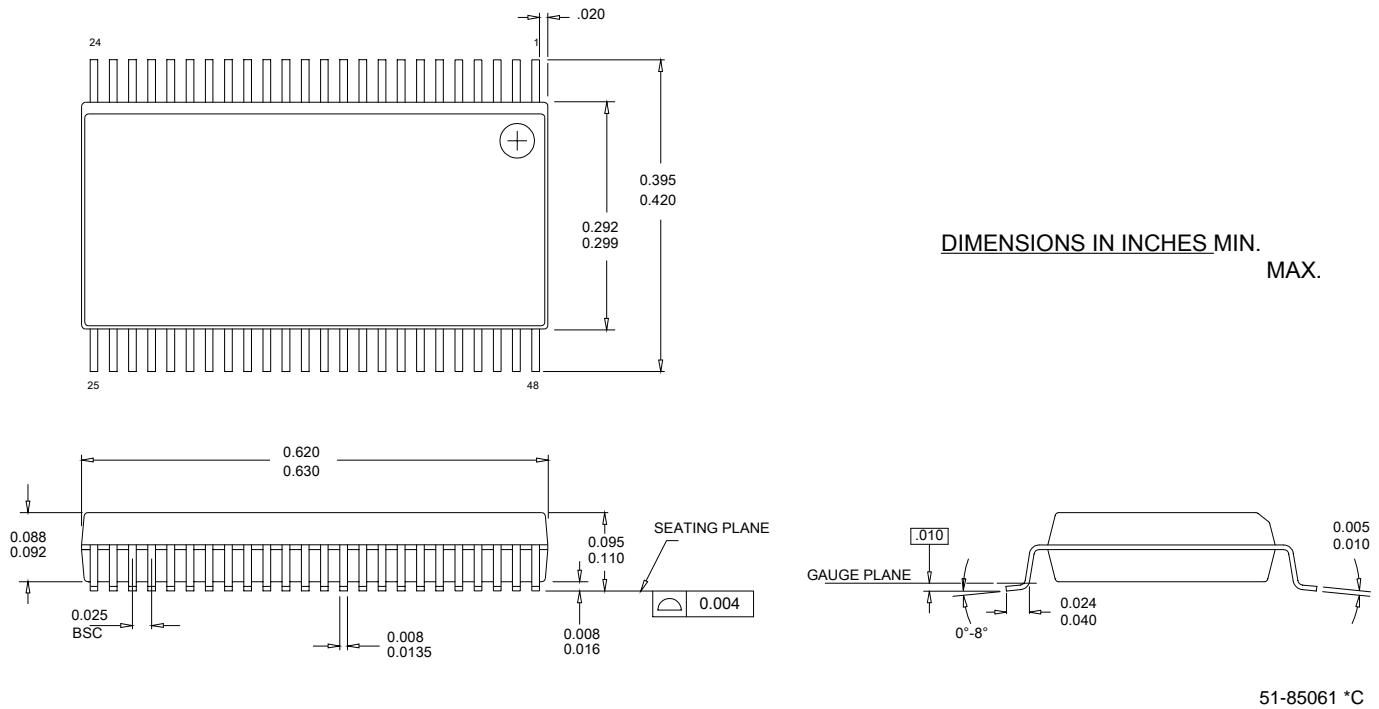
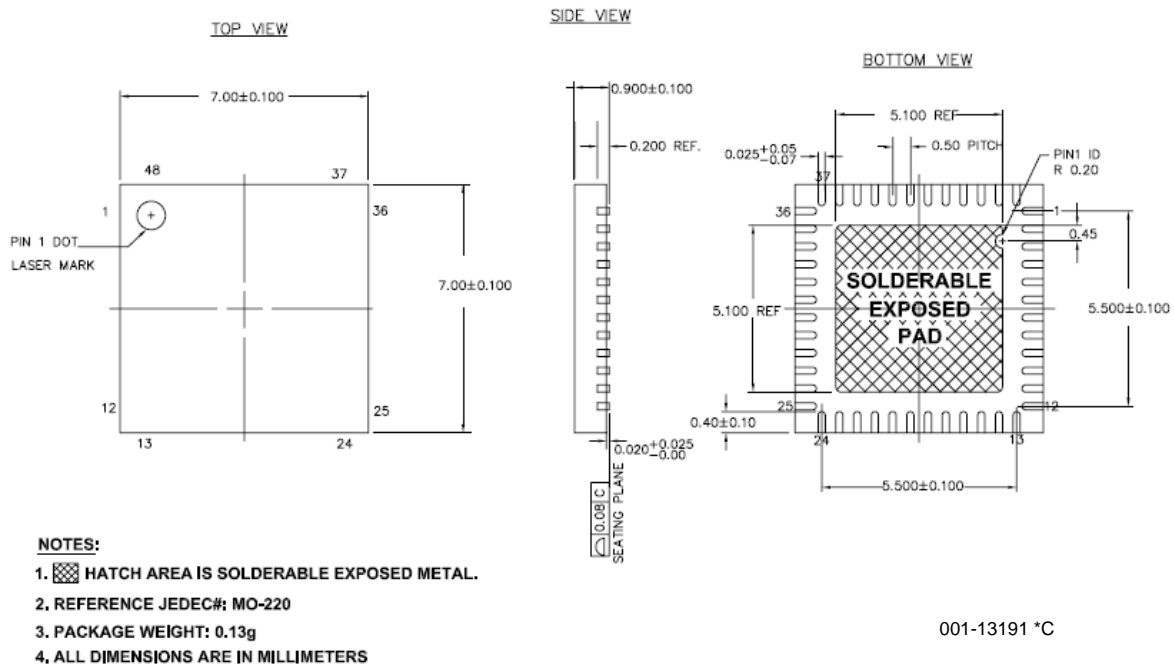


图 17. 48 引脚 (7x7 mm) QFN



重要说明

- 有关安装 QFN 封装的首选尺寸的信息，请参见下面的应用笔记：
http://www.amkor.com/products/notes_papers/MLFAppNote.pdf。
- 低功耗 PSoC® 器件不需要用于热传导的引脚通孔。

热阻

表 32. 每种封装的热阻

封装	典型 θ_{JA} ^[10]
16 QFN	32.69°C/W
24 QFN ^[11]	20.90°C/W
32 QFN ^[11]	19.51°C/W
48 SSOP	69°C/W
48 QFN ^[11]	17.68°C/W

回流焊峰值温度

下面是获得良好焊接性能的最低回流焊峰值温度。

表 33. 回流焊峰值温度

封装	最低峰值温度 ^[12]	最高峰值温度
16 QFN	240°C	260°C
24 QFN	240°C	260°C
32 QFN	240°C	260°C
48 SSOP	220°C	260°C
48 QFN	240°C	260°C

注

10. $T_J = T_A + \text{功率} \times \theta_{JA}$ 。

11. 为获得针对 QFN 封装指定的热阻，中心热垫片应焊接到 PCB 铺地层上。

12. 根据焊料熔点不同，可能需要更高的温度。焊料的典型温度是 $220 \pm 5^\circ\text{C}$ （使用 Sn-Pb 焊膏）或 $245 \pm 5^\circ\text{C}$ （使用 Sn-Ag-Cu 焊膏）。请参考焊料制造商的规范。

开发工具选择

本节介绍可用于所有当前 PSoC[®] 器件系列（包括 CY8C20x46/CY8C20x66 系列）的开发工具。

软件

PSoC Designer™

PSoC[®] 开发软件套件的核心是 PSoC Designer™。在过去五年的时间中，有数千名 PSoC[®] 开发者使用了这款功能强大的软件，简化了 PSoC[®] 设计。PSoC Designer™ 可免费获得，下载位置为：<http://www.cypress.com> 中的“Software”（软件）下面。

PSoC Express™

作为 PSoC[®] 开发软件套件的最新成员，PSoC Express™ 是首款直观嵌入式系统设计工具，用户可以在不用编写一行代码的情况下，创建完整的 PSoC[®] 项目并生成原理图、BOM 和数据手册。用户直接操作应用对象，如 LED、开关、传感器和风扇。PSoC Express™ 可免费获得，下载位置为 <http://www.cypress.com/psocexpress>。

PSoC[®] Programmer

PSoC[®] Programmer 可用于独立编程，还可直接在 PSoC Designer™ 或 PSoC Express™ 中使用；既可以非常灵活地在开发工作台中使用，而又适合工厂编程。PSoC[®] Programmer 软件与 PSoC[®] ICE-Cube 在线仿真器和 PSoC[®] MiniProg 都兼容。PSoC[®] Programmer 可免费获得，下载位置为 <http://www.cypress.com/psocprogrammer>。

CY3202-C iMAGEcraft C 编译器

CY3202 是 PSoC Designer™ 的可选升级，用于启用 iMAGEcraft C 编译器。您可以从赛普拉斯在线商店购买。在 <http://www.cypress.com/shop/> 中的“Product Categories”（产品类别）下单击“PSoC[®] Mixed Signal Arrays”（PSoC[®] 混合信号阵列）查看当前可用项列表。

开发工具包

所有开发工具包均可从赛普拉斯在线商店购买。

CY3215-DK 基本开发工具包

CY3215-DK 用于 PSoC Designer™ 的原型化和开发。此工具包支持在线仿真，其软件界面允许用户运行、停止和单步执行处理器以及查看特定内存位置的内容。还可以通过 PSoC Designer™ 支持其他一些高级仿真功能。此工具包包含：

- PSoC Designer™ 软件光盘
- ICE-Cube 在线仿真器
- CY8C29x66 系列的 ICE Flex-Pod
- Cat-5 适配器
- Mini-Eval 编程电路板
- 110 ~ 240V 电源，欧式插头适配器
- iMAGEcraft C 编译器（需要注册）
- ISSP 线缆
- USB 2.0 线缆和蓝色 Cat-5 线缆
- 2 个 CY8C29466-24PXI 28-PDIP 芯片样本

CY3210-ExpressDK PSoC Express™ 开发工具包

CY3210-ExpressDK 用于 PSoC Express™ 的高级原型化和开发（可以和 ICE-Cube 在线仿真器一起使用）。通过它，用户访问 I²C 总线、参考电压、开关、可升级模块等。此工具包包含：

- PSoC Express™ 软件光盘
- Express 开发电路板
- 4 个风扇模块
- 2 个原型模块
- MiniProg 系统内串行编程
- MiniEval PCB 评估板
- 跳线元件
- USB 2.0 线缆
- 串行线缆 (DB9)
- 110 ~ 240V 电源，欧式插头适配器
- 2 个 CY8C24423A-24PXI 28-PDIP 芯片样本
- 2 个 CY8C27443-24PXI 28-PDIP 芯片样本
- 2 个 CY8C29466-24PXI 28-PDIP 芯片样本

评估工具

所有评估工具均可从赛普拉斯在线商店购买。

CY3210-MiniProg1

CY3210-MiniProg1 工具包可让用户通过 MiniProg1 编程器对 PSoC® 器件进行编程。MiniProg 是简约型的原型化编程器，它通过所随附的 USB 2.0 缆线与 PC 连接。此工具包包含：

- MiniProg 编程器
- MiniEval 套接字编程和评估板
- 28 引脚 CY8C29466-24PXI PDIP PSoC® 器件样片
- 28 引脚 CY8C27443-24PXI PDIP PSoC® 器件样片
- PSoC Designer™ 软件光盘
- 入门指南
- USB 2.0 缆线

CY3210-PSoCEval1

CY3210-PSoCEval1 工具包具有评估板和 MiniProg1 编程器。评估板包括 LCD 模块、电位计、LED 和大量电路试验板空间，以便满足您的所有评估需要。此工具包包含：

- 包含 LCD 模块的评估板
- MiniProg 编程器
- 28 引脚 CY8C29466-24PXI PDIP PSoC® 器件样片 (2)
- PSoC Designer™ 软件光盘
- 入门指南
- USB 2.0 缆线

CY3214-PSoCEvalUSB

CY3214-PSoCEvalUSB 评估工具包提供用于 CY8C24794-24LFXI PSoC® 器件的开发电路板。电路板的特殊功能包括 USB 与电容感应开发和调试支持。评估板还包括 LCD 模块、电位计、LED、蜂鸣器和大量电路试验板空间，可以满足您的所有评估需要。此工具包包含：

- PSoCEvalUSB 电路板
- LCD 模块
- MiniProg 编程器
- 微型 USB 缆线
- PSoC Designer™ 与样本项目光盘
- 入门指南
- 导线包

器件编程器

所有器件编程器均可从赛普拉斯在线商店购买。

CY3216 模块化编程器

CY3216 模块化编程器工具包具有模块化编程器和 MiniProg1 编程器。模块化编程器中包含三个编程模块卡，支持多款赛普拉斯产品。此工具包包含：

- 模块化编程器基础
- 3 个编程模块卡
- MiniProg 编程器
- PSoC Designer™ 软件光盘
- 入门指南
- USB 2.0 缆线

CY3207ISSP 系统内串行编程器 (ISSP)

CY3207ISSP 是生产编程器。它包含保护电路以及比生产编程环境中的 MiniProg 更强大的工业用例。

注意 CY3207ISSP 需要特殊软件，不与 PSoC® 编程器兼容。此工具包包含：

- CY3207 编程器单元
- PSoC® ISSP 软件光盘
- 110 ~ 240V 电源，欧式插头适配器
- USB 2.0 缆线

附件（仿真和编程）

表 34. 仿真和编程附件

部件编号	引脚封装	Flex-Pod 工具包 ^[13]	Foot 工具包 ^[14]	适配器 ^[15]
CY8C20246-24LKXI	16 QFN	CY3250-20266QFN	CY3250-16QFN-FK	请参见注释 15
CY8C20266-24LKXI	16 QFN	CY3250-20266QFN	CY3250-16QFN-FK	请参见注释 15
CY8C20346-24LQXI	24 QFN	CY3250-20366QFN	CY3250-24QFN-FK	请参见注释 15
CY8C20366-24LQXI	24 QFN	CY3250-20366QFN	CY3250-24QFN-FK	请参见注释 15
CY8C20446-24LQXI	32 QFN	CY3250-20466QFN	CY3250-32QFN-FK	请参见注释 15
CY8C20466-24LQXI	32 QFN	CY3250-20466QFN	CY3250-32QFN-FK	请参见注释 15
CY8C20546-24PVXI	48 SSOP	CY3250-20X66	CY3250-48SSOP-FK	请参见注释 15
CY8C20566-24PVXI	48 SSOP	CY3250-20X66	CY3250-48SSOP-FK	请参见注释 15
CY8C20666-24LTXI	48 QFN	CY3250-20666QFN	CY3250-48QFN-FK	请参见注释 15

第三方工具

以下第三方供货商针对 PSoC® 器件特别设计了几款用于开发和生产的随附工具。有关每款工具的详细信息，请访问 <http://www.cypress.com> 中的“Documentation”（文档） >> “Evaluation Boards”（评估板）。

在您的电路板中生成 PSoC® 仿真器

有关如何在批量生产前使用片上调试 (OCD) 非生产 PSoC® 器件对您的电路进行仿真的详细信息，请参考应用笔记 “*Debugging - Build a PSoC® Emulator into Your Board - AN2323*”（调试 - 在您的电路板中生成 PSoC® 仿真器 - AN2323），网址为 <http://www.cypress.com/AN2323>。

注

13. Flex-Pod 工具包除了有两个 flex-pod 外，还包含一个练习用 flex-pod 和一个练习用印刷电路板。

14. Foot 工具包中包含可以焊接到目标印刷电路板上的表面安装支脚。

15. 编程适配器可以将非 DIP 封装转换为 DIP 空间。有关各个适配器的特定详细信息和订购信息，请访问以下网址：
<http://www.emulation.com>。

订购信息

下表列出 CY8C20x46 和 CY8C20x66 PSoC® 器件的关键封装功能和订购代码。

表 35. PSoC® 设备关键功能和订购信息

封装	订购代码	闪存 (字节)	SRAM (字节)	CapSense 模块	数字 IO 引脚	模拟 输入	XRES 引脚	USB
16 引脚 (3x3 x 0.6 mm) QFN	CY8C20246-24LKXI	16K	2048	1	13	13 ^[16]	有	无
16 引脚 (3x3 x 0.6 mm) QFN (卷带和托盘)	CY8C20246-24LKXIT	16K	2048	1	13	13 ^[16]	有	无
24 引脚 (4x4 x 0.6 mm) QFN	CY8C20346-24LQXI	16K	2048	1	20	20 ^[16]	有	无
24 引脚 (4x4 x 0.6 mm) QFN (卷带和托盘)	CY8C20346-24LQXIT	16K	2048	1	20	20 ^[16]	有	无
32 引脚 (5x5 x 0.6 mm) QFN	CY8C20446-24LQXI	16K	2048	1	28	28 ^[16]	有	无
32 引脚 (5x5 x 0.6 mm) QFN (卷带和托盘)	CY8C20446-24LQXIT	16K	2048	1	28	28 ^[16]	有	无
48 引脚 SSOP	CY8C20546-24PVXI	16K	2048	1	36	36 ^[16]	有	有
48 引脚 SSOP (卷带和托盘)	CY8C20546-24PVXIT	16K	2048	1	36	36 ^[16]	有	有
16 引脚 (3x3 x 0.6 mm) QFN	CY8C20266-24LKXI	32K	2048	1	13	13 ^[16]	有	无
16 引脚 (3x3 x 0.6 mm) QFN (卷带和托盘)	CY8C20266-24LKXIT	32K	2048	1	13	13 ^[16]	有	无
24 引脚 (4x4 x 0.6 mm) QFN	CY8C20366-24LQXI	32K	2048	1	20	20 ^[16]	有	无
24 引脚 (4x4 x 0.6 mm) QFN (卷带和托盘)	CY8C20366-24LQXIT	32K	2048	1	20	20 ^[16]	有	无
32 引脚 (5x5 x 0.6 mm) QFN	CY8C20466-24LQXI	32K	2048	1	28	28 ^[16]	有	无
32 引脚 (5x5 x 0.6 mm) QFN (卷带和托盘)	CY8C20466-24LQXIT	32K	2048	1	28	28 ^[16]	有	无
48 引脚 SSOP	CY8C20566-24PVXI	32K	2048	1	36	36 ^[16]	有	有
48 引脚 SSOP (卷带和托盘)	CY8C20566-24PVXIT	32K	2048	1	36	36 ^[16]	有	有
48 引脚 (7x7 mm) QFN	CY8C20666-24LTXI	32K	2048	1	36	36 ^[16]	有	有
48 引脚 (7x7 mm) QFN (卷带和托盘)	CY8C20666-24LTXIT	32K	2048	1	36	36 ^[16]	有	有
48 引脚 (7x7 mm) QFN (OCD) ⁽⁴⁾	CY8C20066-24LTXI	32K	2048	1	36	36 ^[16]	有	有

注

16. 双功能数字 IO 引脚还连接到通用模拟总线。

文件历史记录页面

文件标题: CY8C20x46 CY8C20x66 CapSense™ 应用 文档编号: 001-50429				
修订版	ECN	变更来源	提交日期	变更说明
**	2628856	HJIA	2008 年 12 月 31 日	Spec 001-12696 *C 的译文

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯拥有一个由办事处、解决方案中心、工厂和经销商组成的全球性网络。要找到离您最近的办事处，请访问我们的网站 cypress.com/sales。

产品

PSoC®	psoc.cypress.com
时钟和缓冲器	clocks.cypress.com
无线设备	wireless.cypress.com
存储器	memory.cypress.com
图像传感器	image.cypress.com

PSoC® 解决方案

通用解决方案	psoc.cypress.com/solutions
低功耗/低电压	psoc.cypress.com/low-power
高精度模拟	psoc.cypress.com/precision-analog
LCD 驱动器	psoc.cypress.com/lcd-drive
CAN 2.0b	psoc.cypress.com/can
USB	psoc.cypress.com/usb

CapSense、PSoC Designer™、Programmable System-on-Chip（可编程片上系统）和 PSoC Express™ 是赛普拉斯半导体公司的商标，PSoC® 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归各自所有者所有。从赛普拉斯或其获分许可的联营公司之一购买 I²C 组件，即可在 Philips I²C 专利权下获得一份许可，以便在 I²C 系统中使用这些组件，但前提是该系统符合 Philips 定义的 I²C 标准规范。本文件中提及的所有产品和公司名称均为其各自所有者的商标。

本应用手册为英文版本的译本，而非原始材料。应用手册编号由英文版本编号加语言代码组成，ZH 代表中文，JA 代表日文。例如，ANxxxxx (ZH) 或 ANxxxxx (JA)。赛普拉斯文件编号和修订代码（001-xxxxx 修订版 **）位于本文件的页脚。每份文件的文件编号和修订代码均是唯一的。

© 赛普拉斯半导体公司，2007-2008。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌电路之外，赛普拉斯半导体公司不对其他任何电路的使用承担任何责任，也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证，也不适用于医疗、生命支持、救生、关键控制或安全应用等用途。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受到全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此源代码进行任何复制、修改、转换或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受到适用的赛普拉斯软件许可协议限制。