

ENERGIE

www.energie-und-technik.de

5/2013

9,80 €



TECHNIK

— Fachmedium für Energieeffizienz —



Spezial: Energieversorger
Photovoltaik, Solarthermie,
Batterien, Wärmepumpen

Energieautarkes Haus:
Solaranlage + Speichersystem:
Energieautonomie lohnt sich

Gebäudeautomatisierung:
Steigender Komfort,
mehr Energieeffizienz

Smart Grid / Smart Home:
Intelligente Ortsnetzstationen:
die Neuronen des Smart Grid

Regenerative Energien:
Höhere Wirkungsgrade
für CIS-Module

Leistungselektronik:
CoolMOS 7 eröffnet
neue Effizienzbereiche

Für Stromversorgung und Leistungswandlung

CoolMOS 7 eröffnet neue Effizienzbereiche

Über die Verfeinerung der Transistor-Strukturen in Kombination mit Verbesserungen des Fertigungsprozesses ist es Infineon gelungen, die »Silicon Limit Line«, die die Leistung von Leistungs-MOSFETs beschränkt, neu zu definieren und die flächenspezifischen Leitungs- und Schaltverluste zu verringern. Die neue CoolMOS-C7-Technologie eröffnet neue Effizienz-Bereiche für Stromversorgungs- und Leistungswandler-Designs mit höchstem Wirkungsgrad.

Von Franz Stückler,
Application Engineer Infineon Technologies

Als neueste Technologie bietet CoolMOS C7 für diese Bauelementklasse die höchste Effizienz für Leistungsfaktorkorrektur (PFC) und andere hart schaltende Topologien. Gegenüber den Vorgänger-Familien konnte die Bauteilgröße signifikant reduziert und damit die Leistungsfähigkeit in der Anwendung gesteigert werden. Bild 1 zeigt wie Infineons Super-Junction-Leistungshalbleiter die so genannte »Silicon Limit Line« neu definiert haben, und dass die C7-Serie einen flächenspezifischen Durchlasswiderstand $R_{DS(on)}$ von weniger als $1 \text{ Ohm} \times \text{mm}^2$ aufweist. Zusammen mit der deutlichen Reduzierung bei den Kapazitäten sind alle wichtigen FOM-Kennzahlen (Figure of Merit) bei den C7-Bauelementen extrem niedrig.

Um die hohe Performance der C7-Generation voll auszuschöpfen, sollten Leistungs-

wandler-Designs die spezifischen Vorteile der neuen Technologie ausnützen. Im Folgenden wird auf das allgemeine Verhalten von SJ-MOSFETs und die spezifischen Charakteristika der C7-Chips eingegangen, damit für eine gegebene Anwendung der richtige Baustein ausgewählt werden kann.

Bereits die erste Generation der Infineon-CoolMOS-SJ-MOSFETs ermöglichte eine signifikante Verbesserung des flächenspezifischen Widerstands des Leistungshalbleiters gegenüber konventionellen MOSFETs. Dies ermöglichte eine Reduktion der Chipfläche um den Faktor 5 im Vergleich zu planaren Bausteinen, einhergehend mit geringeren Kapazitäten und verbesserten Schalteffizienzen. Diese Vorteile wurden nun mit der C7-Generation nochmals ausgebaut. Dank einer ausbalancierten Baustein-Struktur bietet die siebte Generation der SJ-MOSFETs von Infineon geringste



Schaltverluste und $R_{DS(on)}$ -Werte für hart schaltende Topologien.

Die Bedeutung von ausgewogenen Leitungs- und Schaltverlusten für Hochvolt-Transistoren nimmt immer mehr zu, da Entwickler die Leistungsdichte über einen höheren Wirkungsgrad (weniger Verluste) und höhere Schaltfrequenzen (kleinere

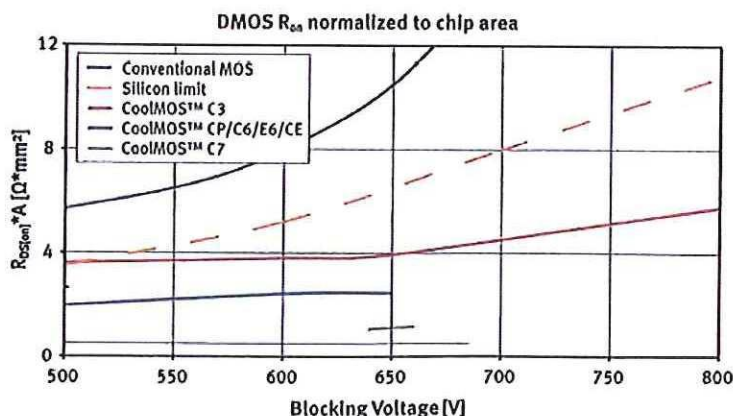


Bild 1:
Die C7-Serie erreicht einen flächenspezifischen Durchlasswiderstand $R_{DS(on)}$ von weniger als $1 \text{ Ohm} \times \text{mm}^2$.

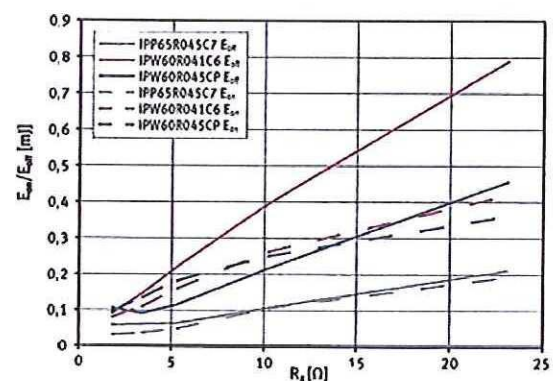


Bild 2: C7 erreicht Schaltverluste von weniger als $0,2 \text{ mJ}$ mit Widerstandswerten, die mehr als 10 Mal höher liegen, als dies bei C6 der Fall ist.

Specification	Symbol	IPW60R041C6	IPW60R045CP	IPW65R045C7
Max on State Resistance 25°C	$R_{DS(on)}$	41mΩ	45mΩ	45mΩ
I_D Current Rating: *D=0.75	I_D	77.5A*	60A	46A
I_D Pulse Rating	$I_{D,pulse}$	272A	230A	212A
Area Specific $R_{DS(on)}$ (Ω*cm²)	$R_{DS(on)} \cdot cm^2$	24mΩ*cm²	24mΩ*cm²	10mΩ*cm²
Typical Gate to Source	Q_{GS}	36nC	34nC	23nC
Gate to Drain	Q_{GD}	150nC	51nC	30nC
Gate Charge Total	Q_G	290nC	150nC	93nC
Typical C_{iss}	C_{iss}	6530pF	6800pF	4340pF
Typical C_{oss} @ 400V	C_{oss}	33pF	9.4pF	12.4pF
Typical C_{rss} @ 400V	C_{rss}	130pF	220pF	70pF
E_{oss} @ 400V	E_{oss}	22μJ	28μJ	12μJ
Typical Effective Output Capacitance Energy Related	C_{eff}	235pF	310pF	146pF

Tabelle 1: Die CoolMOS-C7-Technologie reduziert den flächenspezifischen Durchlasswiderstand $R_{DS(on)}$ und verringert die $R_{DS(on)}$ -Werte in Standard-Gehäusen.

passive Komponenten) steigern wollen. Ein verbesserter flächenspezifischer $R_{DS(on)}$ und eine geringere Kapazität führen zu geringsten Verlusten und ermöglichen damit Systeme mit höchster Leistungsdichte.

Super-Junction-MOSFETs weisen zudem eine größere Nichtlinearität der Ausgangskapazität auf. Sie zeichnet sich durch eine deutlich reduzierte Kapazität bei höheren Spannungen aus. Wenn die Sperrspannung beim Schalten steigt und die C_{oss} -Werte deutlich fallen, reduziert das die darin aufgenommene Energie. Dieser Abfall ist bei den C7-CoolMOS-Transistoren noch verbessert, was zu den geringen Schaltverlusten insbesondere bei hart schaltenden Applikationen beiträgt. Die

Kombination aus FOM-Verbesserung, sehr geringen Gate-Ladungen und geringer Ausgangs-Kapazität ermöglicht ein Schalten hoher Spannungen und Ströme in nur wenigen Nanosekunden. Aus diesem Grund wurde auch das Limit für die erlaubte Spannungs-Steilheit (dv/dt) für die C7-MOSFETs von den marktüblichen 50 V/ns auf 100 V/ns erweitert.

Tabelle 1 zeigt einen detaillierten Überblick über die elektrischen Charakteristika und die Verbesserungen durch C7. Der offensichtlichste Unterschied besteht in dem deutlich reduzierten flächenspezifischen Durchlasswiderstand $R_{DS(on)}$ und den geringeren $R_{DS(on)}$ -Werten in Standard-Gehäusen. Darüber hinaus wurde auch das Schaltverhalten deutlich verbessert.

Aufgrund der vergleichsweise geringeren Kapazität C_{oss} bei höherer Spannung und dem schnelleren Schalten aufgrund der verringerten Gate-Ladung, sind die Verluste (E_{on} und E_{off}) für die C7-Familie deutlich geringer als bei den C6- und CP-Bauelementen. Vergleichsmessungen für E_{on} und E_{off} für CoolMOS C7, CP und C6 zeigen, warum das so ist. Die Tests wurden bei einem Drain-Strom von 25 A, $V_{GS} = 12$ V, $V_{DS} = 400$ V und einem Gate-Widerstand im Bereich von 1,8 Ω bis 23 Ω durchgeführt.

Dabei ist eine Reduzierung der Verluste mit Abnahme des Gate-Widerstands zu erwarten. Interessant ist dabei, dass C7

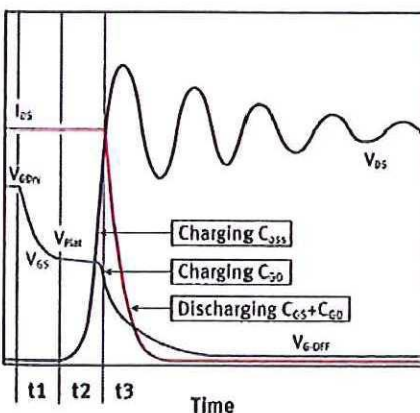


Bild 3: Simulation des Ausschaltverhaltens: Der Gate-Treiber bestimmt die Spannungs-Steilheit dv/dt des MOSFETs, die direkt über die Auswahl des Gate-Eingangswiderstandes beeinflusst werden kann.

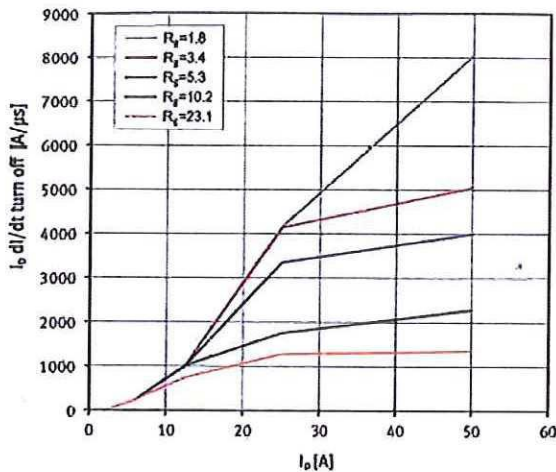


Bild 4: Für sehr geringe Werte des Gate-Treiber-Widerstands bestimmen die umgebenden Schaltungselemente des MOSFET die Strom-Stellheit (di/dt) weitgehend.

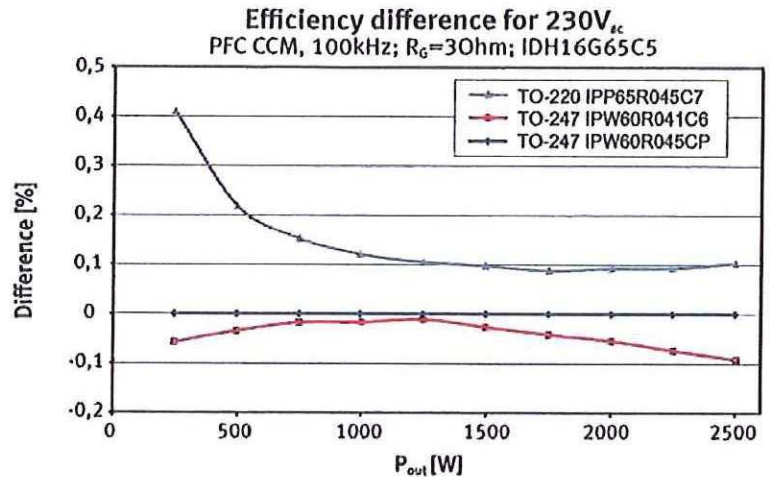


Bild 5: Im Vergleich zu CP und C6 zeigt der IPP65R045C7 dank der deutlich geringeren Eoss-Verluste und der allgemein besseren dynamischen Parameter einen deutlichen Wirkungsgradvorteil bei geringen Lasten.

Schaltverluste von weniger als $0,2 \mu\text{J}$ mit Widerstandswerten erreicht, die mehr als zehnmal höher sind, als dies bei C6 der Fall ist. Das ist durch die Unterschiede bezüglich C_{rss} und der gesamten Qgd-Ladung begründet. CP benötigt auch einen deutlich geringeren Gate-Widerstand R_G , um vergleichbare Ausschaltverluste wie C7 zu erreichen. Zudem können die geringen Einschaltverluste von C7 mit keiner anderen Technologie erreicht werden (Bild 2).

Dynamisches Schaltverhalten

Aufgrund der hohen Schaltgeschwindigkeit der C7-Leistungshalbleiter kommt parasitären Einflüssen wie der Gehäuse-Induktivität und den Induktivitäten der Leiterplatte eine größere Bedeutung für das Schaltverhalten zu. So wird das Einschaltverhalten wesentlich von dem Schaltungslayout und den Komponenten beeinflusst, während das Ausschaltverhalten interessanterweise weiterhin von den MOSFET-Charakteristika bestimmt wird, insbesondere von der Interaktion der internen und externen Gate-Widerstände und -Kapazitäten.

Bild 3 zeigt eine Simulation des Ausschaltverhaltens: Es wird der Verlauf des Gate-Eingangs, die Drain-Source-Spannung und der Drain-Strom dargestellt. Es zeigt, wie

der Gate-Treiber die Spannungs-Steilheit dv/dt des MOSFETs bestimmt, die direkt über die Auswahl des Gate-Eingangswiderstandes beeinflusst werden kann.

Für sehr geringe Werte des Gate-Treiber-Widerstands wird die Strom-Steilheit (di/dt) weitgehend von den umgebenden Schaltungselementen des MOSFET (Bild 4), bestimmt. Bei einem Gate-Eingangswiderstand von beispielsweise $1,8 \Omega$ für einen IPP65R045C7 steigt di/dt mit zunehmender Last schnell an, bis es durch die externe parasitäre Induktivität begrenzt wird. So kann di/dt leicht tausende Ampere/Mikrosekunde erreichen. Mit Gate-Widerständen von 5 bis 10Ω wird die Situation entspannter, während die Ladungsmenge für C_{gs} die Stromsteilheit di/dt unabhängig von der Last der Drain-Schaltung bestimmt, wobei di/dt hier bei 2000 bis $3000 \text{ A}/\mu\text{s}$ verbleibt.

Unter Bedingungen, bei denen das Ausschalten des Gate-Treibers sehr schnell erfolgt, in Kombination mit hoher C_{oss} und einer Source-Spannung, die unter 50 bis 60 V liegt, wird das Schaltverhalten von anderen Mechanismen bestimmt. So wird die Drain-Schaltspannung nicht durch den Gate-Treiberstrom gesteuert, sondern durch C_{oss} und den Laststrom. Dieser Modus führt zu den erwarteten sehr geringen Ausschaltverlusten. Tabelle

1 vergleicht verschiedene Bauelemente für ein typisches PFC-Design. Dabei kommen die Vorteile der C7-Technologie zum Tragen, insbesondere wenn es um den Wirkungsgrad bei geringen Lasten bzw. geringer Gate-Treiberleistung geht. Auch vom Einsatz eines kleineren Bauteilgehäuses mit geringer Induktivität wie z.B. dem TO-220 (IPP65R045C7) profitiert das Design.

Bild 5 vergleicht den Wirkungsgrad in einem PFC-Design zwischen einem IPW60R045CP, dem IPW60R041C6 und dem IPP65R045C7. Die Wirkungsgrade sind auf den IPW60R045CP normalisiert und als Differenzplot dargestellt. Die maximale Ausgangsleistung von 2500 W steht für den Bereich ($1800 - 2500 \text{ W}$) in dem diese Klasse von MOSFETs üblicherweise eingesetzt wird. Die Darstellung zeigt typischerweise bei halber Leistung die größten Wirkungsgrade für den PFC-Schaltkreis.

Im Vergleich zu CP und C6 zeigt der IPP65R045C7 dank der deutlich geringeren Eoss-Verluste und der allgemein besseren dynamischen Parameter einen deutlichen Wirkungsgradvorteil bei geringen Lasten. Doch auch bei hohen Leistungen ist C7 sowohl gegenüber CP als auch C6 im Vorteil. Obwohl die Temperatur und damit der $R_{DS(on)}$ für das TO220-Gehäuse bei 2500 W ansteigt, kann der IPP65R045C7 seinen hohen Wirkungsgrad

aufgrund der sehr geringen Schaltverluste der C7-Technologie aufrecht halten.

Dieser Effekt wird durch deutlich geringere Schaltverluste der C7-Technologie bei gleichen $RDS_{(on)}$ erreicht (siehe Bild 2). Damit ist die C7-Technologie prädestiniert für eine Erhöhung der Frequenzen, ohne damit Einschränkung für den Wirkungsgrad in der Applikation zu erfahren.

Weitere Informationen

Eine detaillierte Beschreibung des Schaltverhaltens und Hinweise für das Design und Layout, um die gewünschte Performance mit der C7-Technologie zu erreichen, findet man im C7 Design Guide unter: www.infineon.com/c7. Dieser enthält Empfehlungen für das Schaltungsdesign und das Layout, um die hohe Performance und Zuverlässigkeit der neuen MOSFET-Generation voll auszuschöpfen.

Letztendlich ist die optimale MOSFET-Auswahl für eine spezifische Applikation von den Bauelement-Spezifikationen, aber auch vom Schaltungs- und System-Design abhängig. Mit Einführung der CoolMOS-C7-Technologie haben Entwickler nun eine größere Flexibilität für die optimale Kombination aus benötigtem Platz und System-Wirkungsgrad. (ha) □
