



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」または「Spansion」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード：CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

MB9D560 シリーズ

32 ビット・マイクロコントローラ

Spansion® Traveo™ ファミリ

MB9DF564/F565/F566

Hardware Manual



ARM®



はじめに

Spansion (スパンション)製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、ご使用する製品の『データシート』をご一読ください。

本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作、使い方について解説しています。

※本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。

デバイス仕様の詳細については、それぞれのデータシートを参照してください。

商標

ARM is the registered trademark of ARM Limited in the EU and other countries.

Cortex is the trademark of ARM Limited in the EU and other countries.

その他の社名および製品名は各社の商標もしくは登録商標です。

Microcontroller support information:

<http://www.spansion.com/support/microcontrollers/>



目次

CHAPTER 1:	概要	27
1.	概要	28
1.1.	機能概要	28
2.	品種構成	34
3.	構成	35
4.	端子配列図	37
5.	端子機能一覧	41
6.	入出力回路形式	59
7.	メモリマップ	62
8.	I/O マップ	65
9.	凡例	70
9.1.	レジスタ属性	70
10.	略語一覧	72
CHAPTER 2:	CPU	75
1.	概要	76
2.	注意事項	77
CHAPTER 3:	動作モード	79
1.	概要	80
2.	構成	81
3.	動作説明	82
3.1.	端子設定	82
3.2.	動作モードの取込み	82
4.	レジスタ	83
4.1.	モードレジスタ (MODEC_MODER)	84
CHAPTER 4:	リセット	87
1.	概要	88
2.	構成	89
3.	動作説明	93
3.1.	リセット要因	94
3.2.	デバイス内部リセット	112
3.3.	リセットシーケンス	117
3.4.	リセット解除後の動作	119
4.	レジスタ	127
4.1.	リセットコントロールレジスタ 0 (SYSC_RSTCNTR0)	128
4.2.	リセットコントロールレジスタ 1 (SYSC_RSTCNTR1)	130
4.3.	ユーザリセット要因レジスタ (SYSC_RSTCAUSEUR)	132
4.4.	ユーザ拡張 CSV リセット要因レジスタ (SYSC_EXCSVRSTCAUSEUR)	137
4.5.	BootROM リセット要因レジスタ (SYSC_RSTCAUSEBT)	138
4.6.	BootROM 拡張 CSV リセット要因レジスタ (SYSC_EXCSVRSTCAUSEBT)	143
4.7.	ウォッチドッグリセット監視起動CPU選択レジスタ (SYSC_WRBOOTCPUSEL)	144
CHAPTER 5:	クロックシステム	149
1.	概要	150
2.	構成	152
2.1.	クロックシステム全体構成・ブロックダイアグラム	152
2.2.	クロック生成部構成・ブロックダイアグラム	154
2.3.	ソースクロック選択部構成・ブロックダイアグラム	156
2.4.	クロック分配/分周部構成・ブロックダイアグラム	158
3.	動作説明	160
3.1.	ソースクロック生成制御	160
3.2.	PLL クロック制御	161

3.3.	ソースクロック選択制御	163
3.4.	クロック分配/分周制御	164
3.5.	クロックギア動作	165
3.6.	発振安定待ち時間	169
3.7.	割込み要因	169
4.	設定手順例	170
4.1.	RUN 動作設定	171
4.2.	PSS 動作設定	172
5.	レジスタ	173
5.1.	Common Configuration レジスタ	174
5.2.	Clock Output Function レジスタ	180
6.	使用上の注意	182
CHAPTER 6:	低消費電力	183
1.	概要	184
2.	構成	185
2.1.	ブロックダイアグラム図	185
3.	動作説明	186
3.1.	低消費電力状態	186
3.2.	CPU 動作状態	190
3.3.	プロファイル設定項目	191
3.4.	プロファイル	193
3.5.	割込み	198
3.6.	バスエラー応答	199
4.	動作手順	200
5.	レジスタ	209
5.1.	プロテクションレジスタ群	212
5.2.	RUN プロファイルレジスタ群	213
5.3.	PSS プロファイルレジスタ群	234
5.4.	APPLIED プロファイルレジスタ群	256
5.5.	Status プロファイルレジスタ群	276
5.6.	システムレジスタ群	299
5.7.	特殊設定レジスタ群	320
5.8.	デバッグレジスタ群	324
6.	その他	328
6.1.	PSS 遷移時の制限事項	329
CHAPTER 7:	低電圧検出	331
1.	概要	332
2.	構成	333
3.	動作説明	334
4.	設定手順例	335
5.	動作例	337
6.	使用上の注意	340
CHAPTER 8:	クロックスーパーバイザ	341
1.	概要	342
2.	構成	343
3.	動作説明	347
4.	設定手順例	349
5.	レジスタ	351
5.1.	メインクロックスーパーバイザ設定レジスタ 00 (SYSC_CSMOCFGR00)	352
5.2.	メインクロックスーパーバイザ設定レジスタ 01 (SYSC_CSMOCFGR01)	354
5.3.	メインクロックスーパーバイザ設定レジスタ 10 (SYSC_CSMOCFGR10)	356
5.4.	メインクロックスーパーバイザ設定レジスタ 11 (SYSC_CSMOCFGR11)	358
5.5.	PLL クロックスーパーバイザ設定レジスタ 0 (SYSC_CSVPLLCFGR0)	360

5.6.	PLL クロックスーパーバイザ設定レジスタ 1 (SYSC_CSVPLLCFGR1)	362
5.7.	サブシステム PLL クロックスーパーバイザ設定レジスタ 0 (SYSC_CSVSSCFGR0)	363
5.8.	サブシステム PLL クロックスーパーバイザ設定レジスタ 1 (SYSC_CSVSSCFGR1)	365
5.9.	クロックスーパーバイザ出力許可レジスタ (SYSC_CSVOUTER)	366
5.10.	クロックスーパーバイザテストレジスタ (SYSC_CSVTESTR)	367
6.	使用上の注意	368
CHAPTER 9:	ソースクロックタイマ	369
1.	概要	370
2.	構成	371
3.	動作説明	372
4.	設定手順例	373
5.	レジスタ	374
5.1.	高速 CR クロックタイマトリガレジスタ (SYSC_FCRCTTRGR)	375
5.2.	高速 CR クロックタイマ制御レジスタ (SYSC_FCRCTCNTR)	377
5.3.	高速 CR クロックタイマコンペアプリスケアラレジスタ (SYSC_FCRCTCPR) ..	378
5.4.	高速 CR クロックタイマステータスレジスタ (SYSC_FCRCTSTR)	380
5.5.	高速 CR クロックタイマ割込み許可レジスタ (SYSC_FCRCTINTER)	382
5.6.	高速 CR クロックタイマ割込みクリアレジスタ (SYSC_FCRCTICLR)	383
5.7.	低速 CR クロックタイマトリガレジスタ (SYSC_SCRCTTRGR)	384
5.8.	低速 CR クロックタイマ制御レジスタ (SYSC_SCRCTCNTR)	386
5.9.	低速 CR クロックタイマコンペアプリスケアラレジスタ (SYSC_SCRCTCPR) ..	387
5.10.	低速 CR クロックタイマステータスレジスタ (SYSC_SCRCTSTR)	389
5.11.	低速 CR クロックタイマ割込み許可レジスタ (SYSC_SCRCTINTER)	391
5.12.	低速 CR クロックタイマ割込みクリアレジスタ (SYSC_SCRCTICLR)	392
5.13.	メインクロックタイマトリガレジスタ (SYSC_MOCTTRGR)	393
5.14.	メインクロックタイマ制御レジスタ (SYSC_MOCTCNTR)	395
5.15.	メインクロックタイマコンペアプリスケアラレジスタ (SYSC_MOCTCPR) .	396
5.16.	メインクロックタイマステータスレジスタ (SYSC_MOCTSTR)	398
5.17.	メインクロックタイマ割込み許可レジスタ (SYSC_MOCTINTER)	400
5.18.	メインクロックタイマ割込みクリアレジスタ (SYSC_MOCTICLR)	401
6.	使用上の注意	402
CHAPTER 10:	割込みコントローラ	403
1.	概要	404
2.	構成	405
3.	動作説明	406
4.	設定手順例	419
5.	レジスタ	420
5.1.	IRC NMI ベクタアドレスステータスレジスタ (IRCn_NMIVAS)	421
5.2.	IRC NMI ステータスレジスタ (IRCn_NMIST)	422
5.3.	IRC IRQ ベクタアドレスステータスレジスタ (IRCn_IRQVAS)	423
5.4.	IRC IRQ ステータスレジスタ (IRCn_IRQST)	424
5.5.	IRC NMI ベクタアドレスレジスタ (IRCn_NMIVAm)	426
5.6.	IRC IRQ ベクタアドレスレジスタ (IRCn_IRQVAr)	427
5.7.	IRC NMI プライオリティレベルレジスタ (IRCn_NMIPL0)	428
5.8.	IRC NMI プライオリティレベルレジスタ (IRCn_NMIPL1~7)	430
5.9.	IRC IRQ プライオリティレベルレジスタ (IRCn_IRQPL0~127)	432
5.10.	IRC NMI ソフトウェア割込みセットレジスタ (IRCn_NMIS)	434
5.11.	IRC NMI ソフトウェア割込みリセットレジスタ (IRCn_NMIR)	435
5.12.	IRC NMI ソフトウェア割込みステータスレジスタ (IRCn_NMISIS)	436

5.13.	IRC IRQ ソフトウェア割込みセットレジスタ (IRCN_IRQS0~15)	437
5.14.	IRC IRQ ソフトウェア割込みリセットレジスタ (IRCN_IRQR0~15)	438
5.15.	IRC IRQ ソフトウェア割込みステータスレジスタ (IRCN_IRQSIS0~15)	439
5.16.	IRC IRQ チャンネル許可セットレジスタ (IRCN_IRQCES0~15)	440
5.17.	IRC IRQ チャンネル許可クリアレジスタ (IRCN_IRQCEC0~15)	441
5.18.	IRC IRQ チャンネル許可設定レジスタ (IRCN_IRQCE0~15)	442
5.19.	IRC NMI ホールドクリアレジスタ (IRCN_NMIHC)	443
5.20.	IRC NMI ホールドステータスレジスタ (IRCN_NMIHS)	444
5.21.	IRC IRQ ホールドクリアレジスタ (IRCN_IRQHC)	445
5.22.	IRC IRQ ホールドステータスレジスタ (IRCN_IRQHS0~15)	446
5.23.	IRC IRQ プライオリティレベルマスクレジスタ (IRCN_IRQPLM)	447
5.24.	IRC 制御/ステータスレジスタ (IRCN_CSR)	448
5.25.	IRC NMI RAW ステータスレジスタ (IRCN_NMIRS)	450
5.26.	IRC NMI 前処理後ステータスレジスタ (IRCN_NMIPS)	451
5.27.	IRC IRQ RAW ステータスレジスタ (IRCN_IRQRS0~15)	452
5.28.	IRC IRQ 前処理後ステータスレジスタ (IRCN_IRQPS0~15)	453
5.29.	IRC ロック解除レジスタ (IRCN_UNLOCK)	454
5.30.	IRC ECC エラー割込みレジスタ (IRCN_EEI)	455
5.31.	IRC ECC アドレス番号レジスタ (IRCN_EAN)	457
5.32.	IRC ECC テストレジスタ (IRCN_ET)	458
5.33.	IRC ECC エラービットレジスタ (IRCN_EEB0~1)	459
5.34.	IRC ECC エラービットレジスタ (IRCN_EEB2)	460
5.35.	IRC NMI ベクタアドレスステータスレジスタ (IRCN_NMIVASBR)	461
5.36.	IRC NMI ベクタアドレスステータスマirrorレジスタ (IRC_NMIVASBR)	462
5.37.	IRC ECC エラーベクタアドレスレジスタ (IRCN_IRQEEVA)	463
6.	その他	464
CHAPTER 11:	BootROM ハードウェアインタフェース	465
1.	概要	466
2.	構成	467
3.	動作説明	468
4.	設定手順例	469
5.	レジスタ	470
5.1.	EXCFG ロック解除レジスタ (EXCFG_UNLOCK)	471
5.2.	EXCFG 設定レジスタ (EXCFG_CNFG)	472
5.3.	EXCFG 非アクティブセット 未定義命令ベクタレジスタ (EXCFG_UNDEFINACT)	473
5.4.	EXCFG 非アクティブセット スーパーバイザコールベクタレジスタ (EXCFG_SVCINACT)	474
5.5.	EXCFG 非アクティブセット プリフェッチアポートベクタレジスタ (EXCFG_PABORTINACT)	475
5.6.	EXCFG 非アクティブセット データアポートベクタレジスタ (EXCFG_DABORTINACT)	476
5.7.	EXCFG アクティブセット 未定義命令ベクタレジスタ (EXCFG_UNDEFACT)	477
5.8.	EXCFG アクティブセット スーパーバイザコールベクタレジスタ (EXCFG_SVCACT)	478
5.9.	EXCFG アクティブセット プリフェッチアポートベクタレジスタ (EXCFG_PABORTACT)	479
5.10.	EXCFG アクティブセット データアポートベクタレジスタ (EXCFG_DABORTACT)	480
6.	その他	481
CHAPTER 12:	BootROM ソフトウェアインタフェース	483
1.	概要	484

2.	BootROM マーカ	485
2.1.	BootROM マーカ概要	486
2.2.	マーカ一覧	487
2.3.	フラッシュセキュリティマーカ (SDR_FSECM)	488
2.4.	デバッグ接続許可マーカ (SDR_DSM)	489
2.5.	デバッグセキュリティキーマーカ 0 (SDR_DSKM0)	490
2.6.	デバッグセキュリティキーマーカ 1 (SDR_DSKM1)	491
2.7.	デバッグセキュリティキーマーカ 2 (SDR_DSKM2)	492
2.8.	デバッグセキュリティキーマーカ 3 (SDR_DSKM3)	493
2.9.	デバッグ接続待機許可マーカ (BDR_DWEM)	494
2.10.	代替ブートベクタマーカ (BDR_ABVM)	495
2.11.	代替ブートベクタ許可マーカ (BDR_ABVEM)	496
2.12.	ハードウェアウォッチドッグ割込みコンフィギュレーションマーカ (WDR_INTM)	497
2.13.	ハードウェアウォッチドッグトリガ 0 コンフィギュレーションマーカ (WDR_TRG0CFG)	498
2.14.	ハードウェアウォッチドッグトリガ 1 コンフィギュレーションマーカ (WDR_TRG1CFG)	499
2.15.	ハードウェアウォッチドッグ下限 RUN 設定マーカ (WDR_RUNLLM)	500
2.16.	ハードウェアウォッチドッグ上限 RUN 設定マーカ (WDR_RUNULM)	501
2.17.	ハードウェアウォッチドッグ下限 PSS 設定マーカ (WDR_PSSLLM)	502
2.18.	ハードウェアウォッチドッグ上限 PSS 設定マーカ (WDR_PSSULM)	503
2.19.	ハードウェアウォッチドッグリセット遅延カウンタマーカ (WDR_RSTDLYM)	504
2.20.	ハードウェアウォッチドッグコンフィギュレーションマーカ (WDR_CFGM)	505
2.21.	ハードウェアウォッチドッグコンフィギュレーション許可マーカ (WDR_CEM)	506
3.	BootROM 動作	507
4.	注意事項	512
CHAPTER 13:	NMI 分配	513
1.	概要	514
2.	構成	515
3.	動作説明	516
4.	設定手順例	517
5.	レジスタ	518
5.1.	NMID ロック解除レジスタ (NMID_UNLOCK)	519
5.2.	NMID ロックステータスレジスタ (NMID_LST)	520
5.3.	NMID NMIm 分配許可レジスタ (NMID_DISTm)	521
6.	その他	522
CHAPTER 14:	外部割込み	523
1.	概要	524
2.	構成	525
2.1.	ブロックダイアグラム	525
3.	動作説明	526
4.	設定手順例	528
5.	レジスタ	529
5.1.	外部割込み許可レジスタ (EICxx_ENIR)	530
5.2.	外部割込み許可セットレジスタ (EICxx_ENISR)	531
5.3.	外部割込み許可クリアレジスタ (EICxx_ENICR)	532
5.4.	外部割込み要因レジスタ (EICxx_EIRR)	533
5.5.	外部割込み要因クリアレジスタ (EICxx_EIRCR)	534
5.6.	ノイズフィルタ許可レジスタ (EICxx_NFER)	535

5.7.	ノイズフィルタ許可セットレジスタ(EICxx_NFESR)	536
5.8.	ノイズフィルタ許可クリアレジスタ(EICxx_NFECR)	537
5.9.	外部割込みレベルレジスタ(EICxx_ELVRO~3)	538
5.10.	マスク不可割込みレジスタ(EICxx_NMIR)	540
5.11.	DMA 要求許可レジスタ(EICxx_DRER)	541
5.12.	DMA 要求許可セットレジスタ(EICxx_DRESR)	542
5.13.	DMA 要求許可クリアレジスタ(EICxx_DRECR)	543
5.14.	DMA 要求フラグレジスタ(EICxx_DRFR)	544
CHAPTER 15:	セキュリティ	545
1.	概要	546
2.	各セキュリティによるアクセス制限	547
3.	セキュリティ上の注意	548
CHAPTER 16:	TCFLASH	549
1.	概要	550
2.	構成	551
2.1.	ブロックダイアグラム	551
2.2.	TCFLASH のアドレス/セクタマップ	553
3.	動作説明	555
3.1.	TCFLASH の動作モード	555
3.2.	書込みと消去	555
3.3.	インタリーブアクセス	556
3.4.	TCM 領域と AXI 領域	557
3.5.	自動アルゴリズム	558
3.6.	自動アルゴリズム実行状態	560
3.7.	ウェイトサイクル挿入	566
3.8.	ECC の生成と検査	567
3.9.	割込み	570
3.10.	バスエラー応答	571
3.11.	フラッシュセキュリティ	572
4.	設定手順例	573
4.1.	ウェイトサイクル数の設定	573
4.2.	Flash メモリの状態を読み出し/リセットへ遷移させる	573
4.3.	書込みの手順	574
4.4.	マクロ消去の手順	577
4.5.	セクタ消去の手順	577
4.6.	フラッシュセキュリティの設定方法	584
4.7.	フラッシュセキュリティの解除方法	584
5.	レジスタ	585
5.1.	TCFLASH0/1/2/3 設定保護キーレジスタ(TCFCFGn_FCPROTKEY)	586
5.2.	TCFLASH0/1/2/3 設定レジスタ(TCFCFGn_FCFGR)	587
5.3.	TCFLASH0/1/2/3 ECC 制御レジスタ(TCFCFGn_FECCCTRL)	589
5.4.	TCFLASH0/1/2/3 データビットエラー挿入レジスタ(TCFCFGn_FDATEIR) ..	590
5.5.	TCFLASH0/1/2/3 ECC ビットエラー挿入レジスタ(TCFCFGn_FECCEIR) ...	591
5.6.	TCFLASH0/1/2/3 割込み制御レジスタ(TCFCFGn_FICTRL0/1)	593
5.7.	TCFLASH0/1/2/3 ステータスレジスタ(TCFCFGn_FSTAT0/1)	595
5.8.	TCFLASH0/1/2/3 SEC 割込みレジスタ(TCFCFGn_FSECIR)	597
5.9.	TCFLASH0/1/2/3 ECC エラーアドレスレジスタ(TCFCFGn_FECCEAR)	599
5.10.	TCFLASH0/1/2/3 モジュール識別レジスタ(TCFCFGn_FMIDR)	600
5.11.	TCFLASH0/1/2/3 訂正不能誤り検出割込みレジスタ(TCFCFGn_FUCEDIR) .	601
5.12.	TCFLASH0/1/2/3 訂正不能誤りアドレスレジスタ(TCFCFGn_FUCEAR)	603
6.	その他	604
CHAPTER 17:	TCRAM インタフェース	605
1.	概要	606

2.	構成	607
3.	動作説明	609
4.	設定手順例	613
5.	レジスタ	615
5.1.	TCRAM IF コンフィギュレーションレジスタ 0 (TRCFGn_TCMCFG0)	616
5.2.	TCRAM IF コンフィギュレーションレジスタ 1 (TRCFGn_TCMCFG1)	618
5.3.	TCRAM IF アンロックレジスタ (TRCFGn_TCMUNLOCK)	619
5.4.	TCRAM IF TEST エラーアドレスレジスタ 0 (TRCFGn_TEAR0)	620
5.5.	TCRAM IF TEST エラーアドレスレジスタ 1 (TRCFGn_TEAR1)	622
5.6.	TCRAM IF TEST エラーアドレスレジスタ 2 (TRCFGn_TEAR2)	624
5.7.	TCRAM IF TEST 終了アドレスレジスタ (TRCFGn_TAEAR)	626
5.8.	TCRAM IF TEST 開始アドレスレジスタ (TRCFGn_TASAR)	627
5.9.	TCRAM IF TEST 擬似エラー発生制御レジスタ (TRCFGn_TFEER)	628
5.10.	TCRAM IF TEST 初期化機能レジスタ (TRCFGn_TICR)	629
5.11.	TCRAM IF TEST 診断機能レジスタ (TRCFGn_TTCR)	630
5.12.	TCRAM IF TEST ソフトリセット発生制御レジスタ (TRCFGn_TSRER)	632
5.13.	TCRAM IF TEST キーコード制御レジスタ (TRCFGn_TKCCR)	633
6.	注意事項	634
CHAPTER 18:	WorkFLASH	635
1.	概要	636
2.	構成	637
2.1.	ブロックダイアグラム	637
2.2.	ユーザモードにおけるアドレス/セクタマップ	638
3.	動作説明	641
3.1.	読出し	641
3.2.	書込みと消去	641
3.3.	DMA による書込みデータの転送	642
3.4.	ウェイトサイクル挿入	642
3.5.	ECC の生成と検査	643
3.6.	割込み	646
3.7.	バスエラー応答	647
3.8.	WorkFLASH に対するアクセス制限	647
4.	設定手順	648
4.1.	ウェイトサイクル数の設定	648
4.2.	書込みの手順(例)	648
4.3.	セクタ消去の手順	650
5.	レジスタ	651
5.1.	WorkFLASH00/01/02/03 設定保護キーレジスタ (WFCFGxx_CPR)	652
5.2.	WorkFLASH00/01/02/03 設定レジスタ (WFCFGxx_CR)	653
5.3.	WorkFLASH00/01/02/03 ECC 制御レジスタ (WFCFGxx_ECR)	655
5.4.	WorkFLASH00/01/02/03 書込みコマンドシーケンサ設定レジスタ (WFCFGxx_WCR)	656
5.5.	WorkFLASH00/01/02/03 書込みコマンドシーケンサステータスレジスタ (WFCFGxx_WSR)	657
5.6.	WorkFLASH00/01/02/03 データビットエラー挿入レジスタ (WFCFGxx_DBEIR)	658
5.7.	WorkFLASH00/01/02/03 ECC ビットエラー挿入レジスタ (WFCFGxx_EEIR)	659
5.8.	WorkFLASH00/01/02/03 割込み制御レジスタ (WFCFGxx_ICR)	660
5.9.	WorkFLASH00/01/02/03 ステータスレジスタ (WFCFGxx_SR)	662
5.10.	WorkFLASH00/01/02/03 SEC 割込みレジスタ (WFCFGxx_SECIR)	664
5.11.	WorkFLASH00/01/02/03 ECC エラーアドレスレジスタ (WFCFGxx_EEAR)	666
5.12.	WorkFLASH00/01/02/03 モジュール識別レジスタ (WFCFGxx_MIR)	667
5.13.	WorkFLASH00/01/02/03 シーケンサコマンドレジスタ (WFCFGxx_SEQCM)	668

5.14.	WorkFLASH00/01/02/03 バスエラー応答要因レジスタ(WFCFGxx_BERR) ..	670
5.15.	WorkFLASH00/01/02/03 バスエラー応答要因クリアレジスタ (WFCFGxx_BERRCLR)	673
5.16.	WorkFLASH00/01/02/03 訂正不能誤りステータスレジスタ(WFCFGxx_UCESR)	675
5.17.	WorkFLASH00/01/02/03 訂正不能誤りアドレスレジスタ(WFCFGxx_UCEAR) ..	676
6.	その他	677
CHAPTER 19:	ハードウェアウォッチドッグタイマ	679
1.	概要	680
2.	構成	681
3.	動作説明	682
4.	設定手順例	698
5.	動作例	699
6.	レジスタ	702
6.1.	ハードウェアウォッチドッグプロテクションレジスタ(HWDG_PROT)	703
6.2.	ハードウェアウォッチドッグカウンタレジスタ(HWDG_CNT)	704
6.3.	ハードウェアウォッチドッグリセット要因レジスタ(HWDG_RSTCAUSE) ..	705
6.4.	ハードウェアウォッチドッグトリガ 0 レジスタ(HWDG_TRG0)	707
6.5.	ハードウェアウォッチドッグトリガ 1 レジスタ(HWDG_TRG1)	708
6.6.	ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)	709
6.7.	ハードウェアウォッチドッグ割込みクリアレジスタ(HWDG_INTCLR)	711
6.8.	ハードウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ (HWDG_TRG0CFG)	712
6.9.	ハードウェアウォッチドッグトリガ 1 コンフィギュレーションレジスタ (HWDG_TRG1CFG)	713
6.10.	ハードウェアウォッチドッグ下限 RUN 設定レジスタ(HWDG_RUNLLS)	714
6.11.	ハードウェアウォッチドッグ上限 RUN 設定レジスタ(HWDG_RUNULS)	715
6.12.	ハードウェアウォッチドッグ下限 PSS 設定レジスタ(HWDG_PSSLLS)	716
6.13.	ハードウェアウォッチドッグ上限 PSS 設定レジスタ(HWDG_PSSULS)	717
6.14.	ハードウェアウォッチドッグリセット遅延カウンタレジスタ(HWDG_RSTDLY)	718
6.15.	ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG) ..	719
6.16.	ハードウェアウォッチドッグ下限 RUN カレントレジスタ(HWDG_RUNLLC)	722
6.17.	ハードウェアウォッチドッグ上限 RUN カレントレジスタ(HWDG_RUNULC) ...	723
6.18.	ハードウェアウォッチドッグ下限 PSS カレントレジスタ(HWDG_PSSLLC)	724
6.19.	ハードウェアウォッチドッグ上限 PSS カレントレジスタ(HWDG_PSSULC)	725
7.	使用上の注意	726
CHAPTER 20:	ソフトウェアウォッチドッグタイマ	729
1.	概要	730
2.	構成	731
3.	動作説明	732
4.	設定手順例	748
5.	動作例	749
6.	レジスタ	752
6.1.	ソフトウェアウォッチドッグプロテクションレジスタ(SWDGn_PROT)	753
6.2.	ソフトウェアウォッチドッグカウンタレジスタ(SWDGn_CNT)	754
6.3.	ソフトウェアウォッチドッグリセット要因レジスタ(SWDGn_RSTCAUSE) ..	755

6.4.	ソフトウェアウォッチドッグトリガ 0 レジスタ(SWDGn_TRG0)	757
6.5.	ソフトウェアウォッチドッグトリガ 1 レジスタ(SWDGn_TRG1)	758
6.6.	ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ (SWDGn_INT)	759
6.7.	ソフトウェアウォッチドッグ割込みクリアレジスタ(SWDGn_INTCLR)	761
6.8.	ソフトウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ (SWDGn_TRG0CFG)	762
6.9.	ソフトウェアウォッチドッグトリガ 1 コンフィギュレーションレジスタ (SWDGn_TRG1CFG)	763
6.10.	ソフトウェアウォッチドッグ下限 RUN 設定レジスタ(SWDGn_RUNLLS) ...	764
6.11.	ソフトウェアウォッチドッグ上限 RUN 設定レジスタ(SWDGn_RUNULS)...	765
6.12.	ソフトウェアウォッチドッグ下限 PSS 設定レジスタ(SWDGn_PSSLLS)	766
6.13.	ソフトウェアウォッチドッグ上限 PSS 設定レジスタ(SWDGn_PSSULS)....	767
6.14.	ソフトウェアウォッチドッグリセット遅延カウンタレジスタ(SWDGn_RSTDLY)	768
6.15.	ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)	769
6.16.	ソフトウェアウォッチドッグ下限 RUN カレントレジスタ(SWDGn_RUNLLC)..	772
6.17.	ソフトウェアウォッチドッグ上限 RUN カレントレジスタ(SWDGn_RUNULC)	773
6.18.	ソフトウェアウォッチドッグ下限 PSS カレントレジスタ(SWDGn_PSSLLC)	774
6.19.	ソフトウェアウォッチドッグ上限 PSS カレントレジスタ(SWDGn_PSSULC)	775
7.	使用上の注意	776
CHAPTER 21:	ビットバンドユニット	779
1.	概要	780
2.	動作説明	781
CHAPTER 22:	DMA コントローラ	851
1.	概要	852
2.	構成	853
3.	動作説明	854
3.1.	DMA チャンネル	856
3.2.	DMA クライアントマトリクス	863
3.3.	DMA アービタ	865
3.4.	DMA AHB スレーブインタフェース	868
3.5.	そのほかの情報	869
4.	レジスタ	874
4.1.	DMA コントローラグローバルコンフィギュレーションレジスタ(DMAi_R) ..	875
4.2.	DMA コントローラグローバル完了割込み 1 レジスタ(DMAi_DIRQ1)	878
4.3.	DMA コントローラグローバルエラー割込み 1 レジスタ(DMAi_EDIRQ1)	879
4.4.	DMA コントローラグローバルエラー割込み 2 レジスタ(DMAi_EDIRQ2)	880
4.5.	DMA コントローラグローバル完了割込み 2 レジスタ(DMAi_DIRQ2)	881
4.6.	DMA コントローラ ID レジスタ(DMAi_ID)	882
4.7.	DMA コントローラチャンネルコンフィギュレーション A レジスタチャンネル n(DMAi_An)	883
4.8.	DMA コントローラチャンネルコンフィギュレーション B レジスタチャンネル n(DMAi_Bn)	886
4.9.	DMA コントローラチャンネルコンフィギュレーション転送元アドレスレジスタチャ ネル n(DMAi_SAn)	890
4.10.	DMA コントローラチャンネルコンフィギュレーション転送先アドレスレジスタチャ ネル n(DMAi_DAn)	891

4.11.	DMA コントローラチャンネルコンフィギュレーション C レジスタチャンネル n(DMAi_Cn).....	892
4.12.	DMA コントローラチャンネルコンフィギュレーション D レジスタチャンネル n(DMAi_Dn).....	893
4.13.	DMA コントローラチャンネルコンフィギュレーション E レジスタチャンネル n(DMAi_En).....	896
4.14.	DMA コントローラチャンネルコンフィギュレーション転送元アドレスシャドウレジスタチャンネル n(DMAi_SASHDWn).....	897
4.15.	DMA コントローラチャンネルコンフィギュレーション転送先アドレスシャドウレジスタチャンネル n(DMAi_DASHDWn)	898
4.16.	DMAコントローラクライアントマトリクス内部クライアントインタフェースコンフィギュレーションレジスタ m(DMAi_CMICm)	899
4.17.	DMAコントローラクライアントマトリクスチャンネルインタフェースコンフィギュレーションレジスタ n(DMAi_CMCHCn).....	901
CHAPTER 23:	メモリ保護 (AHB).....	903
1.	概要	904
2.	構成	905
3.	動作説明	906
4.	レジスタ	911
4.1.	MPU AHB 制御レジスタ (MPUHm_CTRL0).....	912
4.2.	MPU AHB NMI 許可レジスタ (MPUHm_NMIEN)	915
4.3.	MPU AHB メモリエラー制御レジスタ (MPUHm_MERRC)	916
4.4.	MPU AHB メモリエラーアドレスレジスタ (MPUHm_MERRA).....	917
4.5.	MPU AHB 領域制御レジスタ (MPUHm_CTRL1~8).....	918
4.6.	MPU AHB 開始アドレスレジスタ (MPUHm_SADDR1~8).....	920
4.7.	MPU AHB 終了アドレスレジスタ (MPUHm_EADDR1~8).....	921
4.8.	MPU AHB ロック解除レジスタ (MPUHm_UNLOCK)	922
4.9.	MPU AHB モジュール ID レジスタ (MPUHm_MID)	923
5.	使用上の注意	924
CHAPTER 24:	時間保護	927
1.	概要	928
2.	構成	929
3.	動作説明	930
4.	設定手順例	932
5.	レジスタ	934
5.1.	TPU ロック解除レジスタ (TPUn_UNLOCK).....	935
5.2.	TPU ロックステータスレジスタ (TPUn_LST).....	936
5.3.	TPU 設定レジスタ (TPUn_CFG)	937
5.4.	TPU タイマ割込み要求レジスタ (TPUn_TIR)	939
5.5.	TPU タイマステータスレジスタ (TPUn_TST)	940
5.6.	TPU タイマ割込み許可レジスタ (TPUn_TIE).....	941
5.7.	TPU タイマ m 制御レジスタ 0 (TPUn_TCN0m).....	942
5.8.	TPU タイマ m 制御レジスタ 1 (TPUn_TCN1m).....	944
5.9.	TPU タイマ m カレントカウントレジスタ (TPUn_TCCm)	946
6.	その他	947
CHAPTER 25:	コア間通信	949
1.	概要	950
2.	構成	951
3.	動作説明	952
4.	設定手順例	953
5.	レジスタ	957
5.1.	IPCU 割込みステータスレジスタ (IPCU_ISTRn)	958
5.2.	IPCU メールボックスアドレスレジスタ (IPCU_MARn).....	959

5.3.	IPCU メールボックス m リクエスト送信元設定レジスタ (IPCU_MBmSRCR) .	961
5.4.	IPCU メールボックス m 動作モード設定レジスタ (IPCU_MBmMR)	963
5.5.	IPCU メールボックス m リクエスト送信レジスタ (IPCU_MBmSR)	964
5.6.	IPCU メールボックス m リクエスト送信先セットレジスタ (IPCU_MBmDSR)	965
5.7.	IPCU メールボックス m リクエスト送信先クリアレジスタ (IPCU_MBmDCR)	967
5.8.	IPCU メールボックス m リクエスト送信先ステータスレジスタ (IPCU_MBmDSTR)	969
5.9.	IPCU メールボックス m リクエスト送信マスクセットレジスタ (IPCU_MBmMSR)	970
5.10.	IPCU メールボックス m リクエスト送信マスククリアレジスタ (IPCU_MBmMCR)	972
5.11.	IPCU メールボックス m リクエスト送信マスクステータスレジスタ (IPCU_MBmMSTR)	974
5.12.	IPCU メールボックス m アクノリッジセットレジスタ (IPCU_MBmASR) .	975
5.13.	IPCU メールボックス m アクノリッジクリアレジスタ (IPCU_MBmACR) .	977
5.14.	IPCU メールボックス m アクノリッジステータスレジスタ (IPCU_MBmASTR)	979
5.15.	IPCU メールボックス m アクノリッジ送信元ステータスレジスタ (IPCU_MBmASRCR)	980
5.16.	IPCU メールボックス m データレジスタ 0~8 (IPCU_MBmDR0~8)	981
5.17.	IPCU メールボックス ステータスレジスタ (IPCU_MBSTR)	982
6.	その他	983
CHAPTER 26:	排他アクセスメモリ (EAM)	985
1.	概要	986
2.	構成	987
2.1.	ブロックダイアグラム	987
3.	動作説明	988
3.1.	転送全般	989
3.2.	通常アクセス	990
3.3.	排他アクセス	991
4.	動作例	997
5.	メモリ領域	1003
5.1.	排他アクセスメモリ (Exclusive Access Memory)	1004
CHAPTER 27:	I/O ポート	1005
1.	概要	1006
2.	構成	1007
3.	設定手順例	1008
4.	レジスタ	1015
4.1.	データ方向レジスタ (GPIO_DDRi) (i=0~4)	1016
4.2.	データ方向セットレジスタ (GPIO_DDSDi) (i=0~4)	1017
4.3.	データ方向クリアレジスタ (GPIO_DDCRi) (i=0~4)	1018
4.4.	ポート出力データレジスタ (GPIO_PODRi) (i=0~4)	1019
4.5.	ポート出力セットレジスタ (GPIO_POSRi) (i=0~4)	1020
4.6.	ポート出力クリアレジスタ (GPIO_POCRi) (i=0~4)	1021
4.7.	ポート入力データレジスタ (GPIO_PIDRi) (i=0~4)	1022
4.8.	ポート入力許可レジスタ (GPIO_PORTEN)	1023
4.9.	GPIO キーコードレジスタ (GPIO_KEYCDR)	1024
4.10.	ポート設定レジスタ (PPC_PCFGRIj) (i=0~4, j=00~31)	1026
4.11.	PPC キーコードレジスタ (PPC_KEYCDR)	1028
4.12.	リソース入力設定レジスタ (RIC_RESINn) (n=0~11)	1030

5. 使用上の注意.....	1035
CHAPTER 28: CR キャリブレーション	1037
1. 概要	1038
2. 構成	1039
3. 動作説明	1040
3.1. CR クロックの周波数算出	1040
3.2. CR クロック周波数補正	1041
4. レジスタ	1042
4.1. 補正ユニット制御レジスタ 1(CU_CUCR1).....	1043
4.2. CR クロックタイマデータレジスタ 1(CU_CUTD1).....	1044
4.3. メイン発振タイマデータレジスタ 1(CU_CUTR1)	1045
4.4. 補正ユニット制御クリアレジスタ 1(CU_CUCRC1)	1046
CHAPTER 29: CRC	1047
1. 概要	1048
2. 構成	1049
3. 動作説明	1050
3.1. CRC 計算シーケンス	1051
3.2. CRC 使用例	1052
4. レジスタ	1056
4.1. CRC 制御レジスタ (CRCCR)	1057
4.2. 初期値レジスタ (CRCINIT)	1059
4.3. Input Data レジスタ (CRCIN)	1060
4.4. CRC レジスタ (CRCCR)	1061
CHAPTER 30: CAN	1063
1. 概要	1064
2. 構成	1065
3. 動作説明	1066
3.1. CAN 割込み要求一括読出し	1067
4. レジスタ	1068
4.1. CAN 割込み要求一括読出しレジスタ (CANxx_CIRRR)	1069
CHAPTER 31: CAN コントローラ	1071
1. 概要	1072
2. 構成	1073
3. 動作説明	1074
3.1. メッセージオブジェクト	1075
3.2. メッセージ送信動作	1077
3.3. メッセージ受信動作	1079
3.4. FIFO バッファ機能	1081
3.5. 割込み機能	1083
3.6. ビットタイミング	1084
3.7. テストモード	1086
3.8. ソフトウェア初期化	1090
3.9. CAN ウェイクアップ機能	1091
4. レジスタ	1092
4.1. 全体コントロールレジスタ	1093
4.2. メッセージインタフェースレジスタ	1105
4.3. メッセージオブジェクト	1116
4.4. メッセージハンドラレジスタ	1121
CHAPTER 32: CAN メッセージ RAM ECC	1135
1. 概要	1136
2. 構成	1137
3. 割込み	1139
4. 動作説明	1140

4.1.	メッセージ RAM ECC 生成	1141
4.2.	メッセージ RAM ECC 検査	1142
4.3.	メッセージ RAM ECC エラー挿入機能	1144
5.	ECC エラーの処理	1145
6.	レジスタ	1146
6.1.	CAN ECC エラー制御レジスタ (CANEECR)	1147
6.2.	CAN ECC エラーステータスレジスタ (CANEESR)	1151
6.3.	CAN ECC エラーステータスクリアレジスタ (CANEECSR)	1152
6.4.	CAN ECC ダブルビットエラーアドレスレジスタ (CANDEEAR)	1153
6.5.	CAN ECC シングルビットエラーアドレスレジスタ (CANSEEAR)	1154
6.6.	CAN ECC エラー挿入制御レジスタ (CANEFECR)	1155
7.	使用上の注意事項	1158
CHAPTER 33:	CAN プリスケラ	1159
1.	概要	1160
2.	構成	1161
3.	動作説明	1162
4.	レジスタ	1163
4.1.	CAN プリスケラ制御レジスタ (CANP_CANPRE)	1164
4.2.	CAN PLL クロック制御レジスタ (CANP_CANPCK)	1165
CHAPTER 34:	マルチファンクションシリアルインタフェース	1167
1.	概要	1168
2.	構成	1169
CHAPTER 35:	UART(非同期シリアルインタフェース)	1171
1.	概要	1172
2.	割込み	1173
2.1.	受信割込み発生とフラグセットのタイミング	1175
2.2.	受信 FIFO 使用時の割込み発生とフラグセットのタイミング	1177
2.3.	送信割込み発生とフラグセットのタイミング	1179
2.4.	送信 FIFO 使用時の割込み発生とフラグセットのタイミング	1180
2.5.	タイマ割込み発生とフラグセットのタイミング	1181
3.	動作説明	1182
4.	シリアルタイマの動作	1188
5.	テストモード	1194
6.	専用ボーレートジェネレータ	1195
6.1.	ボーレート設定	1196
7.	動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー	1201
8.	動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー	1203
9.	レジスタ	1207
9.1.	シリアル制御レジスタ (SCR)	1209
9.2.	シリアルモードレジスタ (SMR)	1211
9.3.	シリアルステータスレジスタ (SSR)	1213
9.4.	拡張通信制御レジスタ (ESCR)	1216
9.5.	受信データレジスタ/送信データレジスタ (RDR/TDR)	1218
9.6.	シリアル補助制御ステータスレジスタ (SACSR)	1221
9.7.	シリアルタイマレジスタ (STMR)	1224
9.8.	シリアルタイマ比較レジスタ (STMCR)	1225
9.9.	転送バイトレジスタ 0 (TBYTE0)	1226
9.10.	ボーレートジェネレータレジスタ 0/1 (BGR1~0)	1227
9.11.	FIFO 制御レジスタ 1 (FCR1)	1228
9.12.	FIFO 制御レジスタ 0 (FCR0)	1231
9.13.	FIFO バイトレジスタ (FBYTE)	1234
9.14.	送信 FIFO 割込み制御レジスタ (FTICR)	1236
9.15.	シリアル補助制御ステータスクリアレジスタ (SACSRC)	1238

9.16.	FIFO 制御クリアレジスタ 1(FCR1C).....	1240
9.17.	FIFO 制御クリアレジスタ 0(FCR0C).....	1241
9.18.	シリアル補助制御ステータスセットレジスタ (SACSRs).....	1242
9.19.	FIFO 制御セットレジスタ 1(FCR1S).....	1243
9.20.	FIFO 制御セットレジスタ 0(FCR0S).....	1244
10.	使用上の注意.....	1245
CHAPTER 36:	CSIO(クロック同期シリアルインタフェース).....	1247
1.	概要.....	1248
2.	割込み.....	1249
2.1.	受信割込み発生とフラグセットのタイミング.....	1251
2.2.	受信 FIFO 使用時の割込み発生とフラグセットのタイミング.....	1253
2.3.	送信割込み発生とフラグセットのタイミング.....	1255
2.4.	送信 FIFO 使用時の割込み発生とフラグセットのタイミング.....	1256
2.5.	タイマ割込み発生とフラグセットのタイミング.....	1257
2.6.	チップセレクトエラー発生とフラグセットのタイミング.....	1258
3.	動作.....	1260
3.1.	ノーマル転送(Ⅰ).....	1260
3.2.	ノーマル転送(Ⅱ).....	1269
3.3.	SPI 転送(Ⅰ).....	1278
3.4.	SPI 転送(Ⅱ).....	1288
4.	シリアルタイマの動作.....	1298
5.	シリアルチップセレクトの動作.....	1304
6.	テストモード.....	1314
7.	専用ボーレートジェネレータ.....	1315
7.1.	ボーレート設定.....	1316
7.2.	CSIO(クロック同期シリアルインタフェース) 設定手順とプログラムフロー.....	1320
8.	レジスタ.....	1322
8.1.	シリアル制御レジスタ (SCR).....	1323
8.2.	シリアルモードレジスタ (SMR).....	1326
8.3.	シリアルステータスレジスタ (SSR).....	1329
8.4.	拡張通信制御レジスタ (ESCR).....	1332
8.5.	受信データレジスタ/送信データレジスタ (RDR/TDR).....	1334
8.6.	シリアル補助制御ステータスレジスタ (SACSR).....	1338
8.7.	シリアルタイマレジスタ (STMR).....	1342
8.8.	シリアルタイマ比較レジスタ (STMCR).....	1343
8.9.	シリアルチップセレクト制御ステータスレジスタ (SCSCR).....	1344
8.10.	シリアルチップセレクトタイミングレジスタ (SCSTR3~0).....	1348
8.11.	シリアルチップセレクトフォーマットレジスタ (SCSFR2~0).....	1350
8.12.	転送バイトレジスタ (TBYTE3~0).....	1357
8.13.	ボーレートジェネレータレジスタ 1, 0(BGR1~0).....	1359
8.14.	FIFO 制御レジスタ 1(FCR1).....	1360
8.15.	FIFO 制御レジスタ 0(FCR0).....	1363
8.16.	FIFO バイトレジスタ (FBYTE).....	1366
8.17.	送信 FIFO 割込み制御レジスタ (FTICR).....	1368
8.18.	シリアル補助制御ステータスクリアレジスタ (SACSRC).....	1369
8.19.	FIFO 制御クリアレジスタ 1(FCR1C).....	1371
8.20.	FIFO 制御クリアレジスタ 0(FCR0C).....	1372
8.21.	シリアル補助制御ステータスセットレジスタ (SACSRs).....	1373
8.22.	FIFO 制御セットレジスタ 1(FCR1S).....	1375
8.23.	FIFO 制御セットレジスタ 0(FCR0S).....	1376
9.	使用上の注意.....	1377
CHAPTER 37:	LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1)).....	1379

1.	概要	1380
1.1.	マニュアルモード	1380
1.2.	アシストモード	1381
2.	割込み	1383
2.1.	マニュアルモード	1383
2.2.	アシストモード	1394
3.	シリアルタイムの動作	1409
4.	テストモード	1413
4.1.	マニュアルモード	1413
4.2.	アシストモード	1414
5.	専用ボーレートジェネレータ	1419
5.1.	ボーレート設定	1420
6.	動作	1425
6.1.	マニュアルモード	1425
6.2.	アシストモード	1438
7.	動作モード 3(LIN 通信モード)設定手順とプログラムフロー	1457
7.1.	マニュアルモード	1458
7.2.	アシストモード	1462
8.	レジスタ	1467
8.1.	シリアル制御レジスタ (SCR)	1468
8.2.	シリアルモードレジスタ (SMR)	1472
8.3.	シリアルステータスレジスタ (SSR)	1474
8.4.	拡張通信制御レジスタ (ESCR)	1477
8.5.	受信データレジスタ/送信データレジスタ (RDR/TDR)	1479
8.6.	シリアル補助制御ステータスレジスタ (SACSR)	1481
8.7.	シリアルタイムレジスタ (STMR)	1485
8.8.	シリアルタイム比較レジスタ (STMCR)	1486
8.9.	シンクフィールド上限レジスタ (SFUR)	1487
8.10.	シンクフィールド下限レジスタ (SFLR)	1488
8.11.	ボーレートジェネレータレジスタ 1, 0(BGR1~0)	1489
8.12.	LIN アシストモードステータスレジスタ (LAMSR)	1491
8.13.	LIN アシストモード制御レジスタ (LAMCR)	1494
8.14.	LIN アシストモード割込み許可レジスタ (LAMIER)	1497
8.15.	LIN アシストモード送信/受信 ID レジスタ (LAMTID/LAMRID)	1499
8.16.	LIN アシストモードエラーステータスレジスタ (LAMESR)	1501
8.17.	LIN アシストモード障害試験レジスタ (LAMERT)	1503
8.18.	FIFO 制御レジスタ 1(FCR1)	1506
8.19.	FIFO 制御レジスタ 0(FCR0)	1509
8.20.	FIFO バイトレジスタ (FBYTE)	1512
8.21.	送信 FIFO 割込み制御レジスタ (FTICR)	1514
8.22.	シリアル制御クリアレジスタ (SCRC)	1515
8.23.	シリアルモードクリアレジスタ (SMRC)	1517
8.24.	シリアルステータスクリアレジスタ (SSRC)	1518
8.25.	拡張通信制御クリアレジスタ (ESCRC)	1519
8.26.	シリアル補助制御ステータスクリアレジスタ (SACSRC)	1520
8.27.	LIN アシストモードステータスクリアレジスタ (LAMSRC)	1522
8.28.	LIN アシストモード制御クリアレジスタ (LAMCRC)	1523
8.29.	LIN アシストモード割込み許可クリアレジスタ (LAMIERC)	1524
8.30.	LIN アシストモードエラーステータスクリアレジスタ (LAMESRC)	1526
8.31.	FIFO 制御クリアレジスタ 1(FCR1C)	1527
8.32.	FIFO 制御クリアレジスタ 0(FCR0C)	1528
8.33.	シリアル制御セットレジスタ (SCRS)	1529
8.34.	シリアルモードセットレジスタ (SMRS)	1531

8.35.	シリアルステータスセットレジスタ(SSRS).....	1532
8.36.	拡張通信制御セットレジスタ(ESCRS).....	1533
8.37.	シリアル補助制御ステータスセットレジスタ(SACRS).....	1534
8.38.	LIN アシストモード制御セットレジスタ(LAMCRS).....	1536
8.39.	LIN アシストモード割込み許可セットレジスタ(LAMIRS).....	1537
8.40.	FIFO 制御セットレジスタ 1(FCR1S).....	1539
8.41.	FIFO 制御セットレジスタ 0(FCR0S).....	1540
9.	使用上の注意.....	1541
CHAPTER 38:	ベースタイマ.....	1543
1.	概要.....	1544
2.	構成.....	1546
3.	動作説明.....	1549
4.	32 ビットモード動作.....	1550
5.	割込み.....	1551
6.	DMA コントローラ(DMAC)の起動.....	1552
7.	レジスタ.....	1553
8.	使用上の注意.....	1555
9.	機能別説明.....	1557
9.1.	PWM タイマ機能.....	1558
9.2.	PPG タイマ機能.....	1577
9.3.	リロードタイマ機能.....	1596
9.4.	PWC タイマ機能.....	1612
CHAPTER 39:	ベースタイマ入出力選択機能.....	1631
1.	概要.....	1632
2.	構成.....	1633
3.	動作説明.....	1634
4.	レジスタ.....	1637
4.1.	入出力選択レジスタ(BT_BTSEL01, BT_BTSEL23, BT_BTSEL45, BT_BTSEL67, BT_BTSEL89, BT_BTSEL1011).....	1638
4.2.	同時ソフト起動レジスタ(BT_BTSSSR).....	1639
CHAPTER 40:	32 ビットフリーランタイマ.....	1641
1.	概要.....	1642
2.	構成.....	1643
3.	動作説明.....	1644
3.1.	割込み.....	1650
4.	レジスタ.....	1651
4.1.	コンペアクリアバッファレジスタ(CPCLRB)/コンペアクリアレジスタ(CPCLR).....	1652
4.2.	タイマデータレジスタ(TCDT).....	1654
4.3.	タイマ状態制御レジスタ(TCCS).....	1655
4.4.	タイマ拡張制御レジスタ(TECCS).....	1660
4.5.	タイマ状態制御クリアレジスタ(TCCSC).....	1662
4.6.	タイマ状態制御セットレジスタ(TCCSS).....	1664
5.	使用上の注意.....	1666
CHAPTER 41:	32 ビットインプットキャプチャ.....	1667
1.	概要.....	1668
2.	構成.....	1669
3.	動作説明.....	1670
3.1.	割込み.....	1672
3.2.	設定手順例.....	1673
4.	レジスタ.....	1674
4.1.	インプットキャプチャデータレジスタ 0/1(IPCP0, IPCP1).....	1675
4.2.	インプットキャプチャ状態制御レジスタ(ICS).....	1677

4.3.	インプットキャプチャ状態制御クリアレジスタ(ICSC)	1680
4.4.	インプットキャプチャ状態制御セットレジスタ(ICSS).....	1682
5.	使用上の注意.....	1683
CHAPTER 42:	FlexRay/RDC 専用クロック	1685
1.	概要	1686
2.	構成	1687
3.	動作説明	1688
4.	設定手順例	1689
5.	レジスタ	1692
5.1.	FlexRay/RDC 用 PLL の CSV 制御レジスタ(ERAYP_CSVR).....	1693
5.2.	FlexRay/RDC PLL 分周(M 分周) 選択レジスタ(ERAYP_PLL2DIVM)	1694
5.3.	FlexRay/RDC PLL 通倍率(N 分周) 選択レジスタ(ERAYP_PLL2DIVN)	1695
5.4.	FlexRay/RDC PLL 自動ギア通倍率(G 分周) 選択レジスタ(ERAYP_PLL2DIVG)	1696
5.5.	FlexRay/RDC PLL G 分周ステップ通倍率選択レジスタ(ERAYP_PLL2MULG) ...	1697
5.6.	自動ギアコントロールレジスタ(ERAYP_PLL2CTRL)	1698
5.7.	FlexRay/RDC PLL 通倍率(K 分周) 選択レジスタ(ERAYP_PLL2DIVK).....	1699
5.8.	FlexRay/RDC PLL クロック出力コントロールレジスタ(ERAYP_CLKR2) ..	1700
5.9.	自動ギアコントロールフラグレジスタ(ERAYP_PLL2CTRLF)	1702
5.10.	FlexRay/RDC PLL クロック出力コントロールフラグレジスタ(ERAYP_CLKR2F)	1703
5.11.	自動ギアコントロールクリアレジスタ (ERAYP_PLL2CTRLC)	1704
5.12.	FlexRay/RDC PLL クロック出力コントロールクリアレジスタ (ERAYP_CLKR2C)	1705
6.	使用上の注意.....	1706
CHAPTER 43:	クロックモニタ	1707
1.	概要	1708
2.	構成	1709
3.	動作説明	1710
4.	レジスタ	1711
4.1.	クロックモニタ制御レジスタ(CLKMN_CMCFG).....	1712
4.2.	クロック制御レジスタ (CLKMN_CSCFG)	1714
5.	使用上の注意.....	1715
CHAPTER 44:	FlexRay コントローラ	1717
1.	概要	1718
2.	構成	1719
3.	動作説明	1722
3.1.	コミュニケーションサイクル.....	1722
3.2.	通信モード	1725
3.3.	クロック同期.....	1726
3.4.	エラーハンドリング	1728
3.5.	通信コントローラステート	1730
3.6.	ネットワークマネジメント	1746
3.7.	フィルタリングとマスキング	1747
3.8.	送信手順	1750
3.9.	受信手順	1752
3.10.	FIFO 機能	1754
3.11.	メッセージハンドリング	1757
3.12.	メッセージ RAM.....	1766
3.13.	割込み.....	1776
4.	レジスタ	1778
4.1.	カスタマレジスタ	1783

4.2.	特殊レジスタ	1795
4.3.	割込み関連レジスタ	1796
4.4.	通信コントローラ(CC)制御レジスタ	1829
4.5.	通信コントローラ(CC)ステータスレジスタ	1860
4.6.	メッセージバッファ制御レジスタ	1884
4.7.	メッセージバッファステータスレジスタ	1891
4.8.	アイデンティフィケーションレジスタ	1907
4.9.	インプットバッファ	1909
4.10.	アウトプットバッファ	1919
CHAPTER 45:	アップダウンカウンタ	1937
1.	概要	1938
2.	構成	1940
3.	動作説明	1941
4.	レジスタ	1953
4.1.	アップダウンカウンタレジスタ(UDCR)	1954
4.2.	リロードコンペアレジスタ(RCR)	1955
4.3.	カウンタステータスレジスタ(CSRL)	1956
4.4.	カウンタコントロールレジスタ(CCR)	1958
4.5.	カウンタコンペアレジスタ(CMPR0~5)	1962
4.6.	カウンタコンペアバッファ転送レジスタ(CMPBR0~5)	1963
4.7.	カウンタコンペアマスクレジスタ(CMPMSKR0~5)	1964
4.8.	比較結果一致検出フラグレジスタ(CMPFR)	1965
4.9.	比較結果一致割込み許可フラグレジスタ(CITER)	1966
4.10.	バッファ転送設定レジスタ(CBTR)	1967
4.11.	カウンタコントロールセットレジスタ(CCSR)	1968
4.12.	カウンタコントロールクリアレジスタ(CCCR)	1970
4.13.	カウンタステータスセットレジスタ(CSSRL)	1972
4.14.	カウンタステータスクリアレジスタ(CSCRL)	1973
4.15.	比較結果一致検出フラグクリアレジスタ(CMPFCR)	1975
5.	使用上の注意	1976
CHAPTER 46:	16ビットフリーランタイマ	1977
1.	概要	1978
2.	構成	1979
3.	動作説明	1980
3.1.	16ビットフリーランタイマの割込み	1986
4.	レジスタ	1987
4.1.	コンペアクリアバッファレジスタ(CPCLRB)/コンペアクリアレジスタ(CPCLR)	1988
4.2.	タイマデータレジスタ(TCDT)	1990
4.3.	タイマ状態制御レジスタ(TCCS)	1991
4.4.	タイマ状態クリアレジスタ(TCCSC)	1997
4.5.	タイマ状態セットレジスタ(TCCSS)	2000
5.	使用上の注意	2002
CHAPTER 47:	フリーランタイマセクタ・同時起動	2003
1.	概要	2004
2.	構成	2005
3.	動作説明	2008
4.	設定手順例	2012
5.	レジスタ	2014
5.1.	フリーランタイマセクタのレジスタ	2015
5.2.	フリーランタイマ同時起動のレジスタ	2030
5.3.	フリーランタイマカウント方向表示のレジスタ	2035
6.	使用上の注意	2036

CHAPTER 48:	16 ビットインプットキャプチャ	2037
1.	概要	2038
2.	構成	2039
3.	動作説明	2040
3.1.	16 ビットインプットキャプチャの割込み	2042
3.2.	設定手順例	2043
4.	レジスタ	2044
4.1.	インプットキャプチャデータレジスタ 0, 1(IPCP0, IPCP1).....	2045
4.2.	インプットキャプチャ状態制御レジスタ(ICS).....	2047
4.3.	インプットキャプチャ状態クリアレジスタ(ICSC)	2050
4.4.	インプットキャプチャ状態セットレジスタ(ICSS).....	2052
5.	使用上の注意	2053
CHAPTER 49:	16 ビットアウトプットコンペア	2055
1.	概要	2056
2.	構成	2057
3.	動作説明	2058
3.1.	16 ビットアウトプットコンペアの割込み	2070
4.	レジスタ	2071
4.1.	アウトプットコンペアバッファレジスタ 0(OCCPB0)/アウトプットコンペアレジスタ 0(OCCP0).....	2072
4.2.	アウトプットコンペアバッファレジスタ 1(OCCPB1)/アウトプットコンペアレジスタ 1(OCCP1).....	2074
4.3.	コンペア制御レジスタ (OCS)	2076
4.4.	コンペアモード制御レジスタ (OCMOD)	2082
4.5.	コンペア制御クリアレジスタ (OCSC)	2083
4.6.	コンペア制御セットレジスタ (OCSS)	2086
5.	使用上の注意	2089
CHAPTER 50:	12 ビット A/D コンバータインタフェース	2091
1.	概要	2092
2.	構成	2093
3.	動作説明	2094
3.1.	12 ビット A/D コンバータインタフェースの動作	2094
4.	設定手順例	2097
5.	レジスタ	2098
5.1.	12 ビット A/D コンバータインタフェースのレジスタ	2099
6.	使用上の注意	2104
CHAPTER 51:	12 ビット A/D コンバータ A/D 起動コンペア	2105
1.	概要	2106
2.	構成	2108
3.	動作説明	2109
3.1.	A/D 起動コンペアの割込み	2109
3.2.	A/D 起動コンペア動作	2111
4.	設定手順例	2136
4.1.	1 つのチャネルを A/D 変換する場合の設定手順例	2136
4.2.	スキャン変換時の設定手順例	2144
5.	レジスタ	2152
5.1.	アナログ入力制御のレジスタ	2153
5.2.	A/D 起動コンペアのレジスタ	2156
6.	使用上の注意	2185
CHAPTER 52:	12 ビット A/D コンバータ調停	2187
1.	概要	2188
2.	構成	2189
3.	動作説明	2190

3.1.	A/D 起動調停の動作	2190
CHAPTER 53:	波形ジェネレータ	2193
1.	概要	2194
2.	構成	2195
3.	動作説明	2198
3.1.	波形ジェネレータの割込み	2216
4.	レジスタ	2217
4.1.	16 ビットデッドタイムレジスタ n(WFGxx_TMRRn)(n=0~2).....	2218
4.2.	16 ビットデッドタイム状態制御レジスタ n (WFGxx_DTCRn) (n=0~2)....	2220
4.3.	16 ビットデッドタイムリロード割込みレジスタ (WFGxx_DTIR)	2229
4.4.	16 ビットデッドタイムマイナス制御レジスタ (WFGxx_DTMNS).....	2231
4.5.	波形制御レジスタ 1/2(WFGxx_SIGCR1, WFGxx_SIGCR2)	2233
4.6.	PPG 出力制御レジスタ (WFGxx_PICS).....	2237
4.7.	16 ビットデッドタイム状態制御クリアレジスタ n (WFGxx_DTCRCn) (n=0~2)	2239
4.8.	16 ビットデッドタイムリロード割込みクリアレジスタ (WFGxx_DTIRC) ...	2243
4.9.	波形制御クリアレジスタ 1(WFGxx_SIGCR1C)	2245
4.10.	16 ビットデッドタイム状態制御セットレジスタ n (WFGxx_DTCRSn) (n=0~2)	2246
4.11.	16 ビットデッドタイムリロード割込みセットレジスタ (WFGxx_DTIRS) ...	2250
4.12.	波形制御セットレジスタ 1(WFGxx_SIGCR1S)	2251
4.13.	DTTI 選択レジスタ (WFG02_DTISR, WFG03_DTISR).....	2252
4.14.	ソフトウェア DTTI 制御レジスタ (SDTCR2)	2254
4.15.	外部 DTTI 入力制御レジスタ (EDTCR2)	2255
4.16.	出力レベル変換レジスタ (RTOSELn) (n=0~3)	2256
5.	使用上の注意	2258
CHAPTER 54:	R/D コンバータ	2261
1.	概要	2262
1.1.	特長	2262
CHAPTER 55:	D/A コンバータ	2263
1.	概要	2264
2.	構成	2265
3.	動作説明	2266
4.	設定手順例	2267
5.	レジスタ	2268
5.1.	D/A コントロールレジスタ (DACxx_DACR)	2269
5.2.	D/A データレジスタ (DACxx_DADR).....	2270
5.3.	アナログ出力制御レジスタ (DACxx_DAER)	2271
5.4.	キーコードレジスタ (DACxx_KEYCDR).....	2272
6.	使用上の注意	2274
CHAPTER 56:	12 ビット 4ch A/D コンバータインタフェース	2275
1.	概要	2276
2.	構成	2277
3.	動作説明	2278
3.1.	12 ビット 4ch A/D コンバータインタフェースの動作	2278
4.	設定手順例	2285
5.	レジスタ	2286
5.1.	12 ビット 4ch A/D コンバータインタフェースのレジスタ	2287
6.	使用上の注意	2297
CHAPTER 57:	12 ビット 4ch A/D コンバータ A/D 起動コンペア	2299
1.	概要	2300
2.	構成	2302
3.	動作説明	2304

3.1.	A/D 起動コンペアの割込み.....	2304
3.2.	A/D 起動コンペア動作(n=0~7).....	2306
3.3.	動作タイミング例.....	2324
4.	設定手順例.....	2326
4.1.	A/D 変換する場合の設定手順例.....	2326
5.	レジスタ.....	2334
5.1.	A/D 起動コンペアのレジスタ.....	2335
6.	使用上の注意.....	2356
CHAPTER 58:	12 ビット 4chA/D コンバータ 調停	2361
1.	概要.....	2362
2.	構成.....	2363
3.	動作説明.....	2364
3.1.	12 ビット 4ch A/D 調停の動作.....	2364
CHAPTER 59:	モータ演算アクセラレータ	2371
1.	概要.....	2372
CHAPTER 60:	APPENDIX	2375
1.	I/O ポートの各種設定.....	2376
1.1.	入力レベル設定.....	2376
1.2.	出力駆動能力設定.....	2376
1.3.	出力リソース選択.....	2377
1.4.	リソース入力選択.....	2381
2.	レジスタマップ.....	2383
3.	割込み/NMI 要因および DMA 起動要因一覧.....	2441
3.1.	割込み要因一覧.....	2441
3.2.	NMI 要因一覧.....	2448
3.3.	DMA 起動要因一覧.....	2449
4.	バスマスタのアクセス制限.....	2452
5.	低消費電力モード.....	2453
6.	主な変更内容.....	2454



CHAPTER 1: 概要

MB9D560 シリーズの概要を説明します。

1. 概要
2. 品種構成
3. 構成
4. 端子配列図
5. 端子機能一覧
6. 入出力回路形式
7. メモリマップ
8. I/O マップ
9. 凡例
10. 略語一覧



1. 概要

MB9D560 シリーズの機能概要を説明します。

1.1. 機能概要

MB9D560 シリーズは, ARM® Cortex-R5 MPCore™ を搭載した車載用途指向の 32 ビットマイクロコントローラです。

以下に搭載機能の概要を記します。

表 1-1 MB9D560 シリーズ機能概要

機能	説明
テクノロジー	<ul style="list-style-type: none"> - CMOS 90nm テクノロジ
CPU	<ul style="list-style-type: none"> - ARM Cortex™-R5F - 32 ビット ARM アーキテクチャ - 2-Issue スーパースカラ - 8-Stage パイプライン - ARMv7 / Thumb®-2 命令セット - 浮動小数点演算器 (FPU) 倍精度 - メモリ保護 (MPU) 16 領域 - ECC 対応 1 ビットエラー訂正, 2 ビットエラー検出 ECC (SEC-DED) 対象 : TCM ポート - TCM ポート 2 つの TCM ポート - ATCM ポート - BTCM ポート (B0TCM と B1TCM による 2 ポート構成) - VIC ポート VIC ポートによる低レイテンシ割込み応答 - AXI マスタインタフェース 64 ビット AXI インタフェース (命令 / データアクセス) 32 ビット AXI インタフェース (I/O アクセス) - AXI スレーブインタフェース 64 ビット AXI インタフェース (TCM ポートへアクセス可能) - CPU 構成 2CPU (AMP 動作) - 動作周波数 最大 200MHz - ETM-R5 によるトレース
デバッグ	<ul style="list-style-type: none"> - ARM CoreSight™ Technology 各CPUにエンベデッドトレースマクロ (ETM) を搭載し, CPU の実行履歴のトレースをサポート - デバッグインタフェース JTAG (5 端子) 対応周波数は最大 20MHz - デバッグセキュリティ対応 128 ビットのセキュリティキー (デバイスセキュリティキー) - JTAG によるウェイクアップ機能
動作モード	<ul style="list-style-type: none"> - ユーザモード 通常動作モード (内蔵メモリ起動) - シリアルライタモード

機能	説明
クロック制御	<ul style="list-style-type: none"> - 内蔵クロックソース 高速 CR 発振器 (8MHz) 低速 CR 発振器 (100kHz) - 外部発振入力 メイン原発振入力 - 内蔵 PLL メイン PLL (メイン原発振の通倍クロック) - 発振安定待ちタイマ 全クロックソースに独立した発振安定待ちタイマ 発振安定待ち時間経過後は、ソースクロックタイマとして利用可能(FlexRay/RDC 用 PLL は除く)
リセット制御	<ul style="list-style-type: none"> - リセットレベル ハードウェアリセット(システム初期化) ソフトウェアリセット(プログラム初期化) - リセット要因(ハードウェアリセット) パワーオンリセット(PONR)、外部リセット入力 (RSTX, NMIX+RSTX)、クロック停止待ちタイムアウトリセット、低電圧検出リセット(内部低電圧検出リセット、5V 外部低電圧検出リセット)、ウォッチドッグリセット(ハードウェアウォッチドッグリセット、ソフトウェアウォッチドッグリセット)、クロックスーパバイザリセット(メインクロック監視, PLL クロック監視)、ソフトウェアトリガハードウェアリセット、プロファイルエラーリセット - リセット要因(ソフトウェアリセット) ソフトウェアリセット
低消費電力制御	<ul style="list-style-type: none"> - デバイスステート RUN (Run State, CPU が実行状態) PSS (Power Saving State, CPU が WFI によるイベント待ち状態) - 各デバイスステートの設定項目 クロック (クロックソース許可, クロックソース選択, クロック分周, クロックドメイン許可) クロック監視 低電圧検出
メモリ保護機能 (MPU)	<ul style="list-style-type: none"> - プロセッサ以外のマスタに対するメモリ保護 - 対象マスタ DMA コントローラ - 8 領域 - 違反検出時に NMI 生成
時間保護機能 (TPU)	<ul style="list-style-type: none"> - CPU1 個に対して, TPU を 1 個搭載 - 1 ユニットに 24 ビットタイマを 8 チャンネル搭載 - Execution Time 保護, Locking Time 保護, Inter-arrival Time 保護, Deadline 保護に対応 - ノーマルモードとオーバフローモードをサポート - 各チャンネル共通のプリスケアラ 1/1~1/64 のタイマクロック分周 - 各チャンネル独立のプリスケアラ 4 種類のタイマクロック分周 (1/1, 1/2, 1/4, 1/16)
クロック監視 (クロックスーパバイザ)	<ul style="list-style-type: none"> - 監視対象クロック メイン原発振入力, メイン PLL 出力 - 監視方式 周波数レンジの監視 - 異常検出後の動作 リセットまたは NMI



機能	説明
ウォッチドッグタイマ	<ul style="list-style-type: none"> - 2種類のウォッチドッグタイマを搭載 ハードウェアウォッチドッグタイマ ソフトウェアウォッチドッグタイマ - ハードウェアウォッチドッグタイマ システムで、1個搭載 ウィンドウ機能付き 32 ビットウォッチドッグタイマ クロックソースは、高速 CR または低速 CR ブートプログラムによる設定 (BootROM マーカ) ユーザプログラムによる再設定は不可能 - ソフトウェアウォッチドッグタイマ CPU1 個に対して、1 個搭載 ウィンドウ機能付き 32 ビットウォッチドッグタイマ クロックソースは、高速 CR、低速 CR、メインクロック ユーザプログラムによる設定は 1 回のみ可能 (再設定は不可能)
低電圧検出	<ul style="list-style-type: none"> - 2種類の電圧を監視 外部低電圧検出 (5V 系監視) : 3.9V, 4.1V, 4.3V から選択可能 内部低電圧検出 (1.2V 系監視) : 0.9V - 内部低電圧検出は、常時有効 - 外部低電圧検出は、有効無効を設定可能 - 外部低電圧検出は、RUN / PSS で独立の閾値電圧を設定可能 - 低電圧検出時の出力 外部低電圧検出 : リセットまたは NMI 内部低電圧検出 : リセット
メイン Flash メモリ (TCFLASH)	<ul style="list-style-type: none"> - Cortex-R5F の ATCM 接続 CPU1 個に対して、1 個のメイン Flash メモリを持つ - 64 ビット AXI による HPM 接続 - Flash メモリ構成 64 ビット Flash マクロ 2 個搭載によるインタリープ 64K バイト×8 + 8K バイト×8 を 2 個搭載 (1024K バイト+128K バイト) - 2 つのアドレス領域 TCM (Read 専用) AXI (Read / Write) - ECC 対応 (SEC-DED) - パラレルプログラミング対応 - Flash セキュリティ
ワーク Flash メモリ (WorkFLASH)	<ul style="list-style-type: none"> - 2 個搭載 CPU1 個に対して、1 個のワーク Flash メモリを持つ - 8K バイト×8 を 2 個搭載 (128K バイト) - ECC 対応 (SEC-DED) - パラレルプログラミング対応 - Flash セキュリティ
メイン SRAM (TCRAM)	<ul style="list-style-type: none"> - Cortex-R5F の BTCM 接続 CPU1 個に対して、1 個のメイン SRAM を持つ B0TCM と B1TCM の 2 ポートによるインタリープ - 各 CPU で、128K バイト (64K バイト×2) - ECC 対応 (SEC-DED)
ブート ROM (BootROM)	<ul style="list-style-type: none"> - 容量 16K バイト - ブート処理対応 - シリアル書き込みプログラム対応

機能	説明
DMA コントローラ(DMAC)	<ul style="list-style-type: none"> - 16 チャンネル搭載 - 転送モード ブロック転送, バースト転送 - アドレッシングモード 固定, インクリメント - チャンネル間優先順位 固定, ダイナミック, ラウンドロビン
割り込み制御 (IRC)	<ul style="list-style-type: none"> - 通常割り込み (IRQ) とノンマスカブル割り込み (NMI) をサポート - 通常割り込み (IRQ) Cortex-R5F の Interrupt Request (IRQ) を使用 512 チャンネル 優先度 32 レベル - Cortex-R5F の VIC ポートによる低レイテンシ割り込み応答に対応 - ノンマスカブル割り込み (NMI) Cortex-R5F の Fast Interrupt Request (FIQ) を使用 32 チャンネル 優先度 16 レベル - ソフトウェア割り込み生成が可能
外部割り込み (EXT-IRC)	<ul style="list-style-type: none"> - 入力数 通常割り込み (IRQ): 8 入力 ノンマスカブル割り込み (NMI): 1 入力 - 検出極性 H レベル, L レベル, 立上り, 立下り, 立上り / 立下り (両エッジ)
コア間通信 (IPCU)	<ul style="list-style-type: none"> - Mailbox 機能 8 個の Mailbox による CPU 間のデータ受け渡し CPU 間割り込みのサポート
排他アクセスメモリ (EAM)	<ul style="list-style-type: none"> - 排他アクセス命令を使った排他制御が可能な小容量メモリ - セマフォとして利用可能 - 容量 48 バイト
ビットバンド機能	<ul style="list-style-type: none"> - ビットバンド領域の, 特定のレジスタビットへのビット操作をサポートビットバンドエイリアス領域における 1 バイトをビットバンド領域の 1 ビットにマッピング ビットバンドアクセスの対象は, I/O 領域にある特定のレジスタビット
CRC	<ul style="list-style-type: none"> - 入力レジスタへの逐次書き込みにより, CRC コードを結果レジスタに表示
ベースタイマ	<ul style="list-style-type: none"> - 16 ビットタイマ PWM/PPG/PWC/リロードタイマの 4 機能を選択して使用可能 リロードタイマ/PWC 機能に関して, 2 チャンネルカスケードモードで 32 ビットタイマとして使用可能
16 ビットフリーランタイマ	<ul style="list-style-type: none"> - 16 ビットアップダウンカウンタ (2 チャンネルはモータ制御専用)
32 ビットフリーランタイマ	<ul style="list-style-type: none"> - 32 ビットアップダウンカウンタ
16 ビットインプットキャプチャ	<ul style="list-style-type: none"> - インプットキャプチャ 立上りエッジ, 立下りエッジ, またはその両方を検出する 16 ビットキャプチャレジスタ 端子入力のエッジ検出で, 16 ビットフリーランタイマのカウント値をラッチし, 割り込み要求を発生



H A R D W A R E M A N U A L

機能	説明
32 ビットインプットキャプチャ	<ul style="list-style-type: none"> - インプットキャプチャ 立上りエッジ, 立下りエッジ, またはその両方を検出する 32 ビットキャプチャレジスタ 端子入力のエッジ検出で, 32 ビットフリーランタイムのカウント値をラッチし, 割込み要求を発生 - LIN sync break/sync field の連携は以下のとおり インプットキャプチャ 0ch → マルチファンクションシリアルインタフェース 0ch インプットキャプチャ 1ch → マルチファンクションシリアルインタフェース 1ch インプットキャプチャ 2ch → マルチファンクションシリアルインタフェース 2ch インプットキャプチャ 3ch → マルチファンクションシリアルインタフェース 3ch インプットキャプチャ 4ch → マルチファンクションシリアルインタフェース 4ch
16 ビットアウトプットコンペア	<ul style="list-style-type: none"> - 16 ビットフリーランタイムとの照合時に割込み信号を出力
波形ジェネレータ	<ul style="list-style-type: none"> - 各種出力を生成 リアルタイム出力 16 ビット PPG 波形出力 PPG はベースタイムの 16 ビット PPG タイマを使用 連携は以下のとおり WFG(ch.0-ch.5) ベースタイム ch.0 → PPG0 ベースタイム ch.2 → PPG2 ベースタイム ch.4 → PPG4 WFG(ch.6-ch.11) ベースタイム ch.6 → PPG6 ベースタイム ch.8 → PPG8 ベースタイム ch.10 → PPG10 ノンオーバーラップ 3 相波形出力(インバータ制御用) DC チョップパ波形出力 - デッドタイムタイマ機能搭載 - GATE 機能搭載 - DTTI 機能搭載
A/D コンバータ	<ul style="list-style-type: none"> - 12 ビットの分解能の A/D コンバータ 1 ユニット(32 チャンネル) 内蔵 - 32 チャンネルの入力ポートからアナログ値をサンプル可能 - 変換時間: 1 μs - 外部トリガ起動可能(ADTG) - 内部タイマによる起動可能(ベースタイム)
4ch サンプルホールド A/D コンバータ	<ul style="list-style-type: none"> - 12 ビットの分解能の A/D コンバータ 2 ユニット(8 チャンネル) 内蔵
マルチファンクションシリアルインタフェース	<ul style="list-style-type: none"> - UART / CSIO / LIN インタフェース(v2.1) の 4 機能を選択して使用可能 - 送信 FIFO 64 バイト, 受信 FIFO 64 バイト搭載 - 受信割込み要因(3 種類) 受信エラー検出 (パリティ, オーバラン, フレームエラー) FIFO に設定値分のデータを受信 FIFO に設定値以下のデータを受信し, ボーレートクロックで 8 クロック以上のアイドル期間検出 - 送信割込み要因 (2 種類) 送信動作なし 送信 FIFO エンプティ(送信中を含む) - SPI (Serial Peripheral Interface) 対応 - LIN プロトコル Revision2.1 に対応
アップダウンカウンタ	<ul style="list-style-type: none"> - 8/16 ビット アップダウンカウンタ (2 チャンネルは R/D コンバータで使用)

機能	説明
CAN インタフェース	<ul style="list-style-type: none"> - CAN 仕様バージョン 2.0 パート A およびパート B に準拠 - 64 個のメッセージバッファ× 3 チャネル - 各メッセージオブジェクトには独自の識別子マスクあり - 最高 1Mbps までサポート - クロックには CAN プリスケーラを実装 - CAN ウェイクアップ機能
FlexRay コントローラ	<ul style="list-style-type: none"> - FlexRay 仕様バージョン 2.1 に対応 - 最大 128 のメッセージバッファ構成 - 8K バイトのメッセージ RAM - 可変長のメッセージバッファ構成 - 各メッセージバッファは、受信バッファ、送信バッファあるいは受信 FIFO の一部として構成可能 - インプットバッファとアウトプットバッファを介してメッセージバッファへのホストアクセス - スロットカウンタ, サイクルカウンタ, チャネルに対するフィルタリング - マスク可能な割込み
R/D コンバータ	<ul style="list-style-type: none"> - レゾルバとのインタフェース機能
D/A コンバータ	<ul style="list-style-type: none"> - 10 ビットの分解能
モータ演算アクセラレータ	<ul style="list-style-type: none"> - 3 相電流正規化, 3 相 2 相直流変換/2 相 3 相交流変換・角度演算, PID 制御演算をアシスト - 演算中のエラー検出(浮動小数点演算のオーバーフロー/アンダフロー/非正規化エラー) - R/D コンバータの振幅診断/角度診断機能 - 異常電流診断機能
キーコード	<ul style="list-style-type: none"> - キーコード対象 汎用入出力モジュール(GPIO)の一部レジスタ ポート設定モジュール(PPC)のレジスタ アナログ入力制御レジスタ(ADER) 4chADC アナログ入力制御レジスタ(ADER4CH_1, ADER4CH_0) アナログ出力制御レジスタ(DAC00_DAER, DAC01_DAER)



2. 品種構成

MB9D560 シリーズの品種構成について説明します。

表 2-1 メモリサイズ

項目	MB9DF564	MB9DF565	MB9DF566
FLASH 容量(プログラム)	(512KB+128KB)×2	(768KB+128KB)×2	(1024KB+128KB)×2
FLASH 容量(ワーク)	64KB×2	64KB×2	64KB×2
RAM 容量	64KB×2	96KB×2	128KB×2

表 2-2 ファンクション

端子数	208pin	176pin
システムクロック	オンチップ PLL クロック通倍方式 最少命令実行時間 5ns (200MHz)	
CR 発振器 (高速/低速)	あり	
DMAC	16 チャンネル	
ベースタイマ	12 チャンネル(0~11)	6 チャンネル(0~3, 6, 7)
32 ビットフリーランタイマ	5 チャンネル	
32 ビットインプットキャプチャ	6 チャンネル	
16 ビットフリーランタイマ	20 チャンネル ^{*1}	
16 ビットインプットキャプチャ	15 チャンネル(0~14)	13 チャンネル(0~12)
16 ビットアウトプットコンペア	24 チャンネル(0~23)	18 チャンネル(0~11, 18~23)
波形ジェネレータ	4 ユニット(0~3)	3 ユニット(0, 1, 3)
外部割込み	8 チャンネル(0~7)	6 チャンネル(0~4, 7)
A/D コンバータ	1 ユニット(32 チャンネル)	
4ch サンプルホールド A/D コンバータ(4-SH)	2 ユニット(8 チャンネル)	
R/D コンバータ	*2	
D/A コンバータ	*2	
アップダウンカウンタ	4 チャンネル	
モータ演算アクセラレータ	2 ユニット	
マルチファンクションシリアル インタフェース	5 チャンネル(0~4)	3 チャンネル(0, 1, 4)
CAN	3 チャンネル	
FlexRay	*2	
コア間通信 (IPCU)	あり	
排他アクセスメモリ (EAM)	あり	
ソフトウェアウォッチドッグ	あり	
ハードウェアウォッチドッグ	あり	
CRC	2 チャンネル	
内部電源低電圧検出リセット	あり	
外部電源低電圧検出リセット	あり	
キーコード	*2	
パッケージ	LER208	LEP176
デバッグインタフェース	JTAG 搭載	

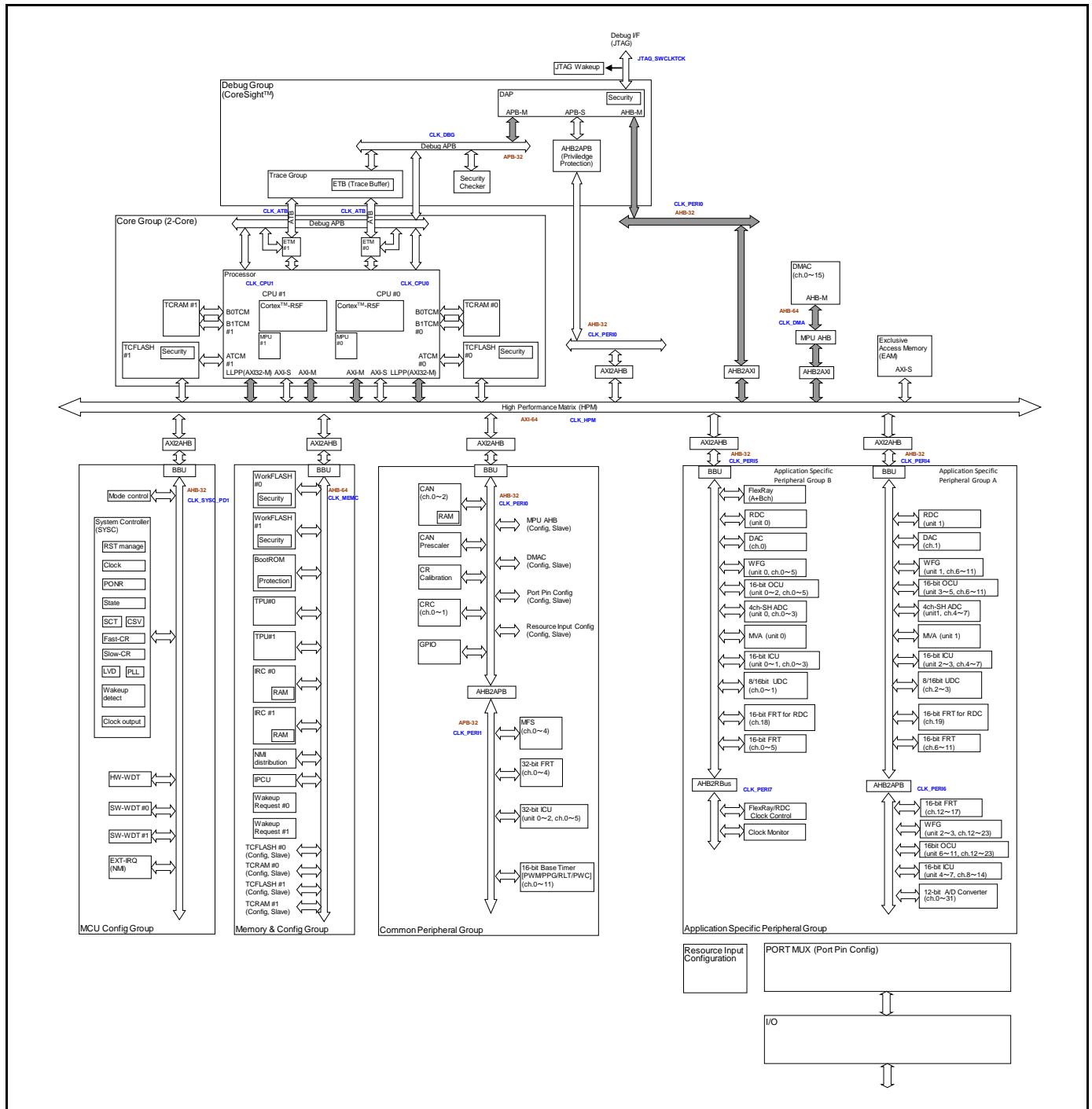
*1: 2 チャンネルはモータ制御専用

*2: 型格により機能の有無、チャンネル数が異なります。『データシート』を参照してください。

3. 構成

MB9D560 シリーズの構成図を示します。

图 1-1 構成図



＜注意事項＞

- 図中の表記「ブロック名 (Config, Slave) 」は、対象ブロックのレジスタ設定を行うためのバス接続を示します。



表 3-1 グループ概略

名称	概要
Core Group	- CPU および TCM 接続のメモリで構成されるグループ
Debug Group	- CoreSight で構成されるグループ
MCU Config Group	- システム制御および監視を行う機能マクロで構成されるグループ
Memory & Config Group	- CPU に関連する機能マクロおよびメモリで構成されるグループ
Common Peripheral Group	- 車載用途で共通の周辺機能マクロで構成されるグループ
Application Specific Peripheral Group	- 品種固有の周辺機能マクロで構成されるグループ

表 3-2 グループに属さない機能マクロ

名称	概要
HPM	- AXI のバスマトリクス - バスブリッジ (AXI-to-AHB, AHB-to-AXI)
DMAC	- DMA コントローラ
EAM	- 排他制御アクセスメモリ
Resource Input Config	- 周辺機能マクロの入力選択回路
Port MUX	- Port MUX 回路
I/O	- I/O 回路

<注意事項>

- 各マスタはHPMに接続します。各マスタはAXIにおいて異なるトランザクションIDを持つため、トランザクション完了が Out-Of-Order となります。

4. 端子配列図

MB9D560 シリーズの端子配列図について説明します。

以下に MB9D560 シリーズの端子配列図を示します。

図 4-1 端子配列図(208 ピン, RDC 搭載型格)

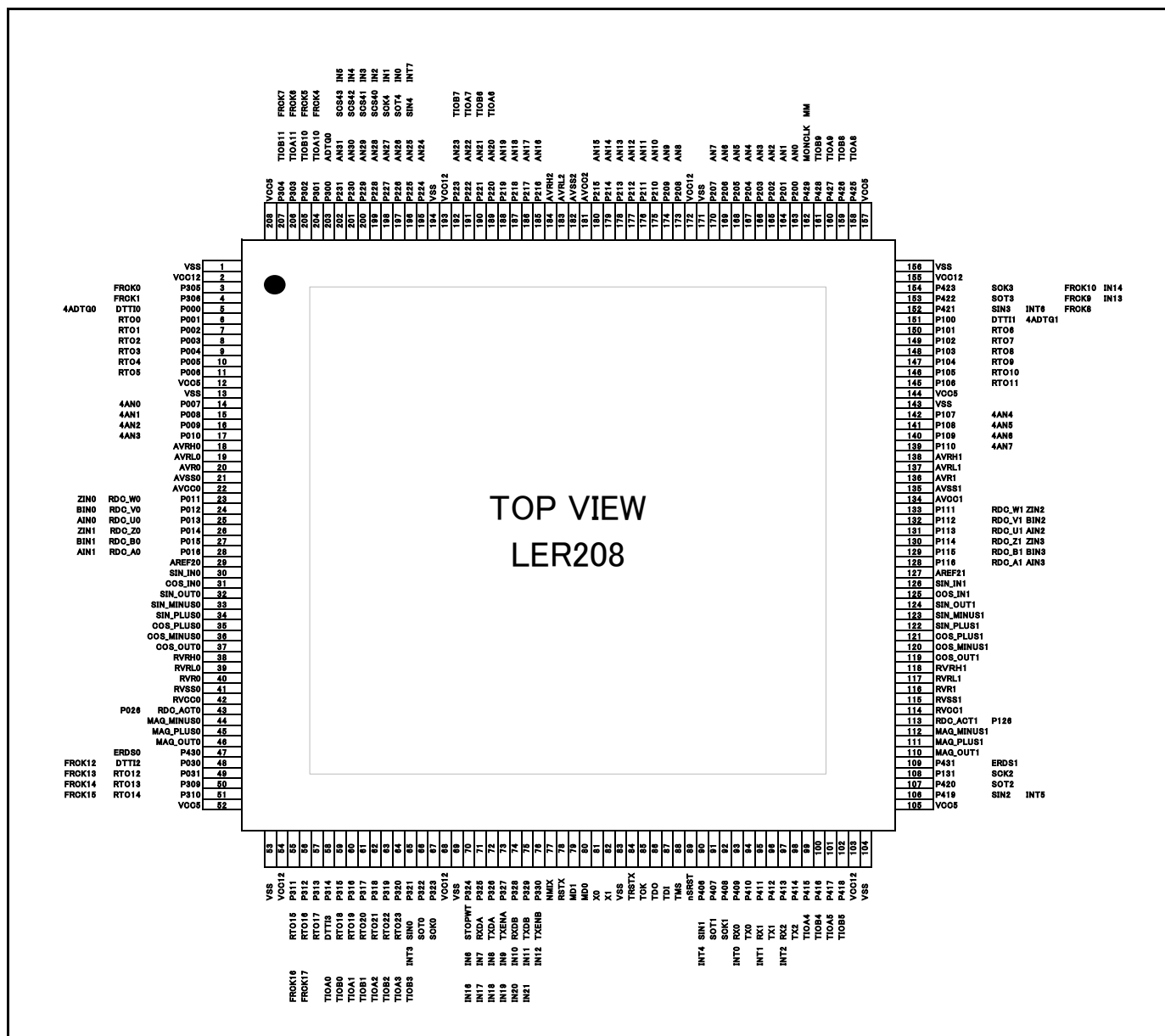


図 4-2 端子配列図(208ピン, RDC 非搭載型格)

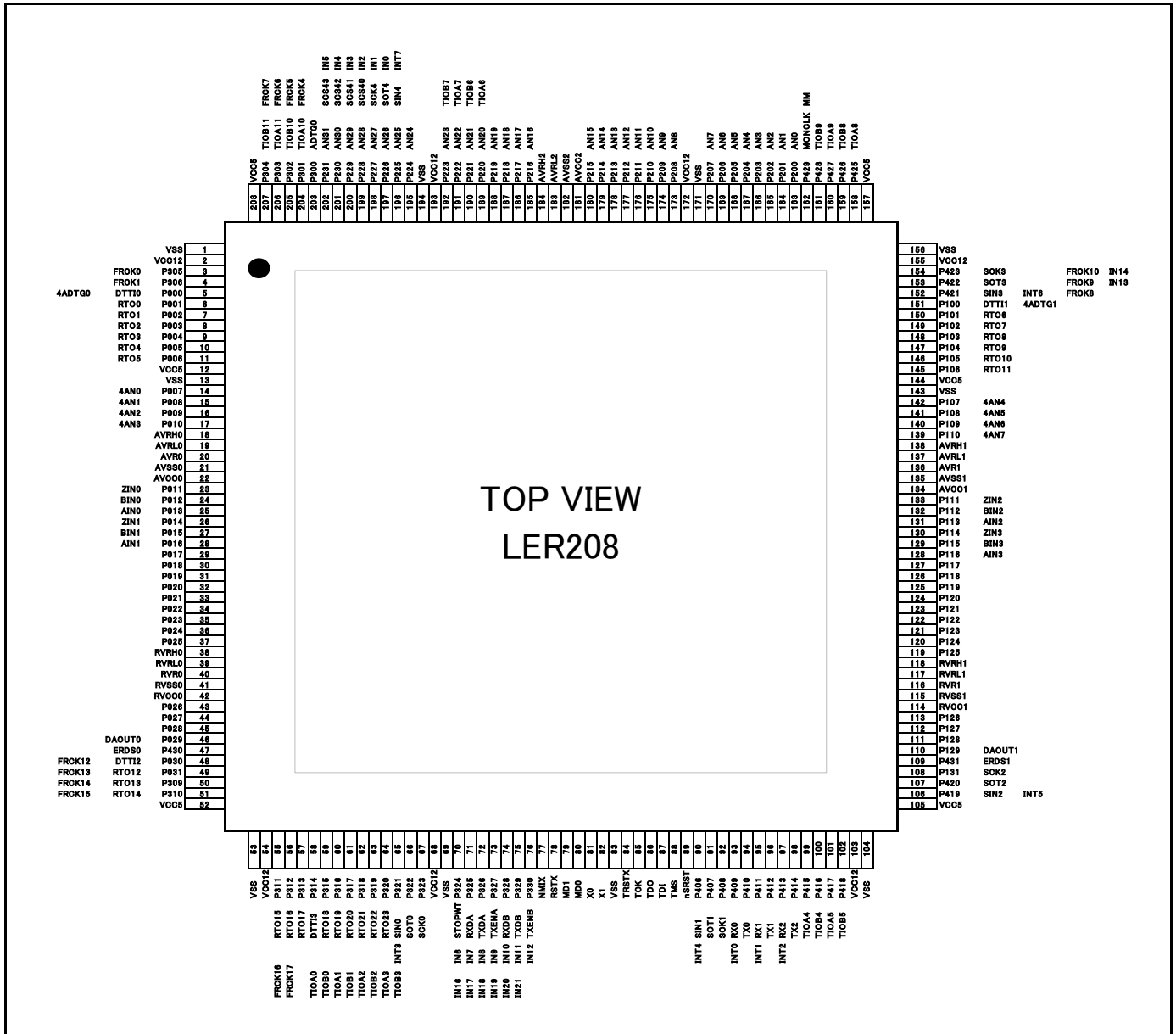


図 4-3 端子配列図(176ピン, RDC 搭載型格)

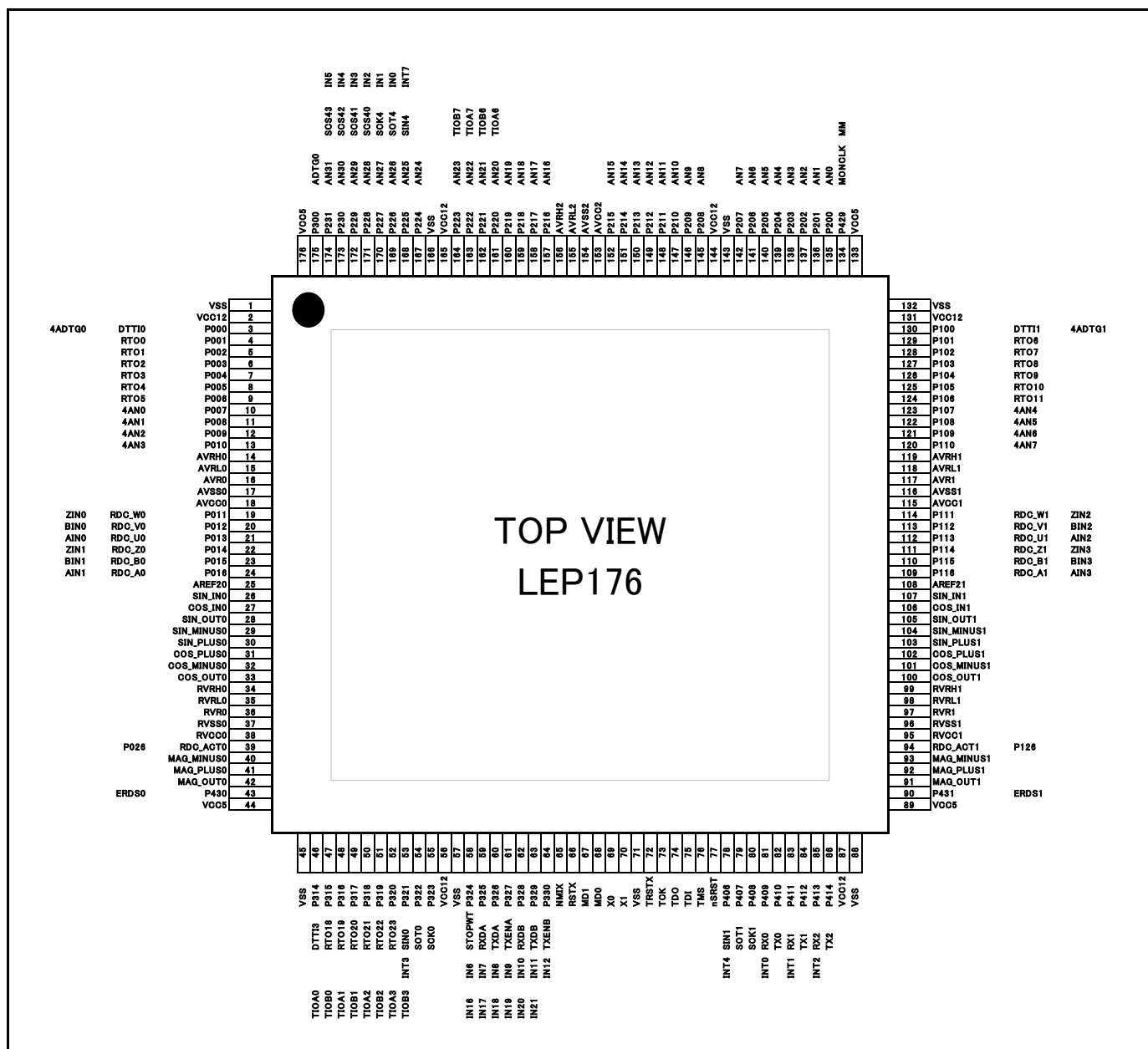
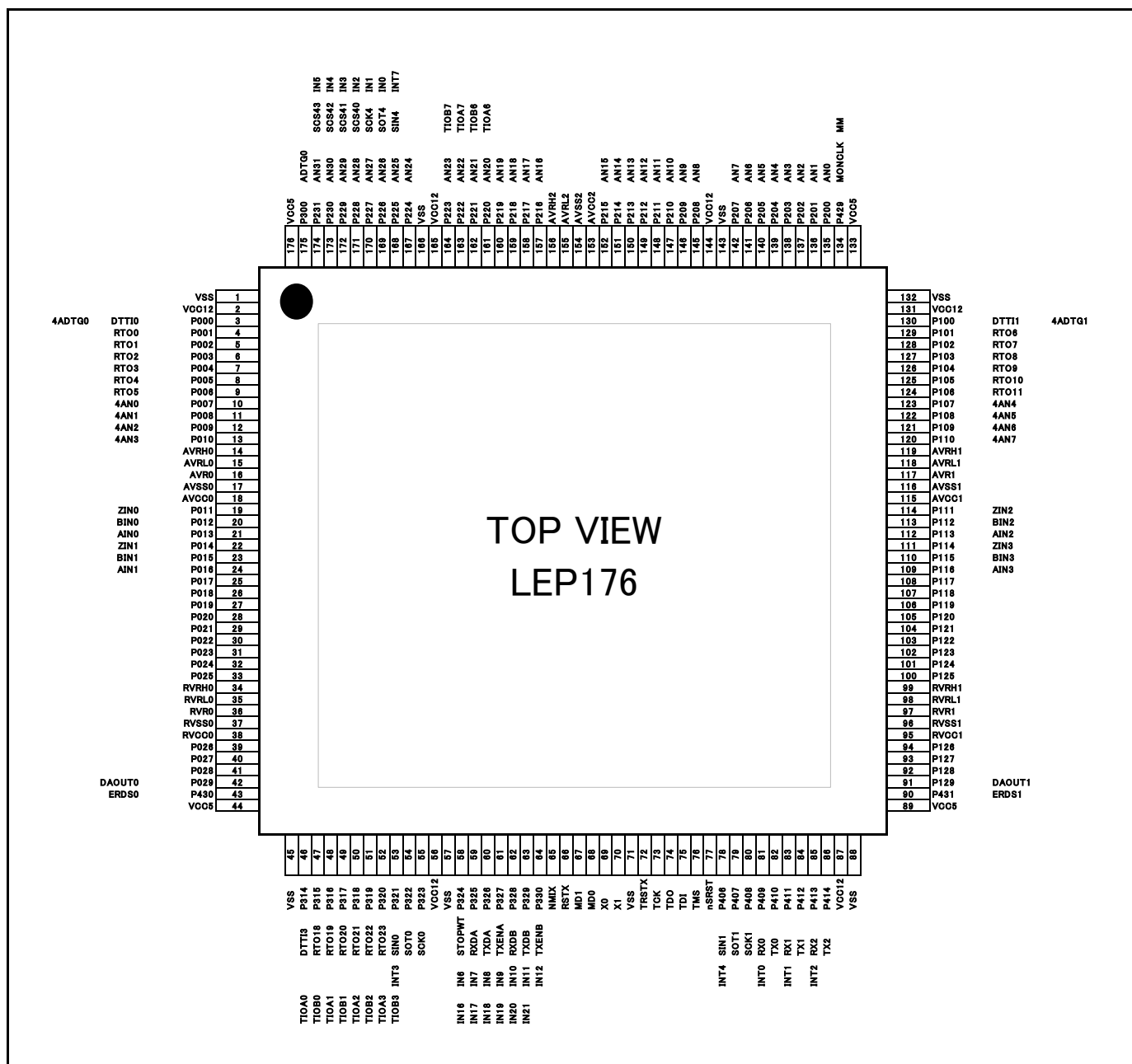


図 4-4 端子配列図(176ピン, RDC 非搭載型格)



5. 端子機能一覧

MB9D560 シリーズの端子機能一覧について説明します。

以下に MB9D560 シリーズの端子機能一覧を示します。

表 5-1 端子機能表(RDC 搭載型格)

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
3	-	P305 FRCK0	E	汎用入出力ポート 16 ビットフリーランタイム ch.0 外部クロック入力端子
4	-	P306 FRCK1	E	汎用入出力ポート 16 ビットフリーランタイム ch.1 外部クロック入力端子
5	3	P000 DTTI0 4ADTG0	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 0 4ch サンプルホールド A/D コンバータ ユニット 0 外部トリガ 入力端子
6	4	P001 RTO0	E	汎用入出力ポート 波形ジェネレータ ch.0 出力端子
7	5	P002 RTO1	E	汎用入出力ポート 波形ジェネレータ ch.1 出力端子
8	6	P003 RTO2	E	汎用入出力ポート 波形ジェネレータ ch.2 出力端子
9	7	P004 RTO3	E	汎用入出力ポート 波形ジェネレータ ch.3 出力端子
10	8	P005 RTO4	E	汎用入出力ポート 波形ジェネレータ ch.4 出力端子
11	9	P006 RTO5	E	汎用入出力ポート 波形ジェネレータ ch.5 出力端子
14	10	P007 4AN0	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 0 入力端子
15	11	P008 4AN1	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 1 入力端子
16	12	P009 4AN2	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 2 入力端子
17	13	P010 4AN3	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 3 入力端子
23	19	P011 RDC_W0 ZIN0	E	汎用入出力ポート R/D コンバータ ユニット 0 W 相出力端子 アップダウンカウンタ ch.0 ZIN 入力端子
24	20	P012 RDC_V0 BIN0	E	汎用入出力ポート R/D コンバータ ユニット 0 V 相出力端子 アップダウンカウンタ ch.0 BIN 入力端子
25	21	P013 RDC_U0 AIN0	E	汎用入出力ポート R/D コンバータ ユニット 0 U 相出力端子 アップダウンカウンタ ch.0 AIN 入力端子
26	22	P014 RDC_Z0 ZIN1	E	汎用入出力ポート R/D コンバータ ユニット 0 Z 相出力端子 アップダウンカウンタ ch.1 ZIN 入力端子
27	23	P015 RDC_B0 BIN1	E	汎用入出力ポート R/D コンバータ ユニット 0 B 相出力端子 アップダウンカウンタ ch.1 BIN 入力端子



端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
28	24	P016 RDC_A0 AIN1	E	汎用入出力ポート R/D コンバータ ユニット 0 A 相出力端子 アップダウンカウンタ ch.1 AIN 入力端子
29	25	AREF20	L	R/D コンバータ ユニット 0 Aref 出力端子(RVCC0/2)
30	26	SIN_IN0	K	R/D コンバータ ユニット 0 SIN コイル地絡検出用入力端子
31	27	COS_IN0	K	R/D コンバータ ユニット 0 COS コイル地絡検出用入力端子
32	28	SIN_OUT0	L	R/D コンバータ ユニット 0 SIN 出力端子
33	29	SIN_MINUS0	K	R/D コンバータ ユニット 0 SIN 入力端子-
34	30	SIN_PLUS0	K	R/D コンバータ ユニット 0 SIN 入力端子+
35	31	COS_PLUS0	K	R/D コンバータ ユニット 0 COS 入力端子+
36	32	COS_MINUS0	K	R/D コンバータ ユニット 0 COS 入力端子-
37	33	COS_OUT0	L	R/D コンバータ ユニット 0 COS 出力端子
43	39	RDC_ACT0 P026	E	R/D コンバータ ユニット 0 動作状況出力端子 汎用入出力ポート
44	40	MAG_MINUS0	K	R/D コンバータ ユニット 0 励磁外部入力端子-
45	41	MAG_PLUS0	K	R/D コンバータ ユニット 0 励磁外部入力端子+
46	42	MAG_OUT0	L	R/D コンバータ ユニット 0 励磁信号出力端子
47	43	P430 ERDS0	E	汎用入出力ポート 異常検出出力端子 ch.0
48	-	P030 DTTI2 FRCK12	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 2 16 ビットフリーランタイム ch.12 外部クロック入力端子
49	-	P031 RTO12 FRCK13	E	汎用入出力ポート 波形ジェネレータ ch.12 出力端子 16 ビットフリーランタイム ch.13 外部クロック入力端子
50	-	P309 RTO13 FRCK14	E	汎用入出力ポート 波形ジェネレータ ch.13 出力端子 16 ビットフリーランタイム ch.14 外部クロック入力端子
51	-	P310 RTO14 FRCK15	E	汎用入出力ポート 波形ジェネレータ ch.14 出力端子 16 ビットフリーランタイム ch.15 外部クロック入力端子
55	-	P311 RTO15 FRCK16	E	汎用入出力ポート 波形ジェネレータ ch.15 出力端子 16 ビットフリーランタイム ch.16 外部クロック入力端子
56	-	P312 RTO16 FRCK17	E	汎用入出力ポート 波形ジェネレータ ch.16 出力端子 16 ビットフリーランタイム ch.17 外部クロック入力端子
57	-	P313 RTO17	E	汎用入出力ポート 波形ジェネレータ ch.17 出力端子
58	46	P314 DTTI3 TIOA0	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 3 ベースタイム ch.0 TIOA 出力端子
59	47	P315 RTO18 TIOB0	E	汎用入出力ポート 波形ジェネレータ ch.18 出力端子 ベースタイム ch.0 TIOB 入力端子
60	48	P316 RTO19 TIOA1	E	汎用入出力ポート 波形ジェネレータ ch.19 出力端子 ベースタイム ch.1 TIOA 入出力端子

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
61	49	P317 RTO20 TIOB1	E	汎用入出力ポート 波形ジェネレータ ch.20 出力端子 ベースタイマ ch.1 TIOB 入力端子
62	50	P318 RTO21 TIOA2	E	汎用入出力ポート 波形ジェネレータ ch.21 出力端子 ベースタイマ ch.2 TIOA 出力端子
63	51	P319 RTO22 TIOB2	E	汎用入出力ポート 波形ジェネレータ ch.22 出力端子 ベースタイマ ch.2 TIOB 入力端子
64	52	P320 RTO23 TIOA3	E	汎用入出力ポート 波形ジェネレータ ch.23 出力端子 ベースタイマ ch.3 TIOA 入出力端子
65	53	P321 SIN0 INT3 TIOB3	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 シリアルデータ入力端子 INT3 外部割込み入力端子 ベースタイマ ch.3 TIOB 入力端子
66	54	P322 SOT0	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 シリアルデータ出力端子
67	55	P323 SCK0	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 クロック入出力端子
70	58	P324 STOPWT IN6 IN16	E	汎用入出力ポート FlexRay ストップウォッチ入力端子 16 ビットインプットキャプチャ ch.6 外部パルス入力端子 32 ビットインプットキャプチャ ch.0 外部パルス入力端子
71	59	P325 RXDA IN7 IN17	H	汎用入出力ポート FlexRay ch.A データ入力端子 16 ビットインプットキャプチャ ch.7 外部パルス入力端子 32 ビットインプットキャプチャ ch.1 外部パルス入力端子
72	60	P326 TXDA IN8 IN18	H	汎用入出力ポート FlexRay ch.A データ出力端子 16 ビットインプットキャプチャ ch.8 外部パルス入力端子 32 ビットインプットキャプチャ ch.2 外部パルス入力端子
73	61	P327 TXENA IN9 IN19	H	汎用入出力ポート FlexRay ch.A 動作許可出力端子 16 ビットインプットキャプチャ ch.9 外部パルス入力端子 32 ビットインプットキャプチャ ch.3 外部パルス入力端子
74	62	P328 RXDB IN10 IN20	H	汎用入出力ポート FlexRay ch.B データ入力端子 16 ビットインプットキャプチャ ch.10 外部パルス入力端子 32 ビットインプットキャプチャ ch.4 外部パルス入力端子
75	63	P329 TXDB IN11 IN21	H	汎用入出力ポート FlexRay ch.B データ出力端子 16 ビットインプットキャプチャ ch.11 外部パルス入力端子 32 ビットインプットキャプチャ ch.5 外部パルス入力端子
76	64	P330 TXENB IN12	H	汎用入出力ポート FlexRay ch.B 動作許可出力端子 16 ビットインプットキャプチャ ch.12 外部パルス入力端子
77	65	NMIX	B	マスクなし割込み入力端子
78	66	RSTX	B	外部リセット入力端子



端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/Oポート』の章を参照してください)
208pin	176pin			
79	67	MD1	C	モード端子1 (高電圧制御付)
80	68	MD0	C	モード端子0 (高電圧制御付)
81	69	X0	A	メインクロック発振入力端子
82	70	X1		メインクロック発振出力端子
84	72	TRSTX	J	JTAG テストリセット入力
85	73	TCK	J	JTAG テストクロック入力
86	74	TDO	I	JTAG テストデータ出力
87	75	TDI	J	JTAG テストデータ入力
88	76	TMS	J	JTAG テストモード状態入力
89	77	nSRST	J	デバッグ用システムリセット入力
90	78	P406	E	汎用入出力ポート
		SIN1 INT4		マルチファンクションシリアルインタフェース ch.1 シリアルデータ入力端子 INT4 外部割込み入力端子
91	79	P407	E	汎用入出力ポート
		SOT1		マルチファンクションシリアルインタフェース ch.1 シリアルデータ出力端子
92	80	P408	E	汎用入出力ポート
		SCK1		マルチファンクションシリアルインタフェース ch.1 クロック入出力端子
93	81	P409	E	汎用入出力ポート
		RX0 INT0		CAN ch.0 受信データ入力端子 INT0 外部割込み入力端子
94	82	P410	E	汎用入出力ポート
		TX0		CAN ch.0 送信データ出力端子
95	83	P411	E	汎用入出力ポート
		RX1 INT1		CAN ch.1 受信データ入力端子 INT1 外部割込み入力端子
96	84	P412	E	汎用入出力ポート
		TX1		CAN ch.1 送信データ出力端子
97	85	P413	E	汎用入出力ポート
		RX2 INT2		CAN ch.2 受信データ入力端子 INT2 外部割込み入力端子
98	86	P414	E	汎用入出力ポート
		TX2		CAN ch.2 送信データ出力端子
99	-	P415 TIOA4	E	汎用入出力ポート ベースタイマ ch.4 TIOA 出力端子
100	-	P416 TIOB4	E	汎用入出力ポート ベースタイマ ch.4 TIOB 入力端子
101	-	P417 TIOA5	E	汎用入出力ポート ベースタイマ ch.5 TIOA 入出力端子
102	-	P418 TIOB5	E	汎用入出力ポート ベースタイマ ch.5 TIOB 入力端子
106	-	P419	E	汎用入出力ポート
		SIN2 INT5		マルチファンクションシリアルインタフェース ch.2 シリアルデータ入力端子 INT5 外部割込み入力端子
107	-	P420	E	汎用入出力ポート
		SOT2		マルチファンクションシリアルインタフェース ch.2 シリアルデータ出力端子
108	-	P131	E	汎用入出力ポート
		SCK2		マルチファンクションシリアルインタフェース ch.2 クロック入出力端子
109	90	P431 ERDS1	E	汎用入出力ポート 異常検出出力端子 ch.1

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
110	91	MAG_OUT1	L	R/D コンバータ ユニット 1 励磁信号出力端子
111	92	MAG_PLUS1	K	R/D コンバータ ユニット 1 励磁外部入力端子+
112	93	MAG_MINUS1	K	R/D コンバータ ユニット 1 励磁外部入力端子-
113	94	RDC_ACT1 P126	E	R/D コンバータ ユニット 1 動作状況出力端子 汎用入出力ポート
119	100	COS_OUT1	L	R/D コンバータ ユニット 1 COS 出力端子
120	101	COS_MINUS1	K	R/D コンバータ ユニット 1 COS 入力端子-
121	102	COS_PLUS1	K	R/D コンバータ ユニット 1 COS 入力端子+
122	103	SIN_PLUS1	K	R/D コンバータ ユニット 1 SIN 入力端子+
123	104	SIN_MINUS1	K	R/D コンバータ ユニット 1 SIN 入力端子-
124	105	SIN_OUT1	L	R/D コンバータ ユニット 1 SIN 出力端子
125	106	COS_IN1	K	R/D コンバータ ユニット 1 COS コイル地絡検出用入力端子
126	107	SIN_IN1	K	R/D コンバータ ユニット 1 SIN コイル地絡検出用入力端子
127	108	AREF21	L	R/D コンバータ ユニット 1 Aref 出力端子(RVCC1/2)
128	109	P116 RDC_A1 AIN3	E	汎用入出力ポート R/D コンバータ ユニット 1 A 相出力端子 アップダウンカウンタ ch.3 AIN 入力端子
129	110	P115 RDC_B1 BIN3	E	汎用入出力ポート R/D コンバータ ユニット 1 B 相出力端子 アップダウンカウンタ ch.3 BIN 入力端子
130	111	P114 RDC_Z1 ZIN3	E	汎用入出力ポート R/D コンバータ ユニット 1 Z 相出力端子 アップダウンカウンタ ch.3 ZIN 入力端子
131	112	P113 RDC_U1 AIN2	E	汎用入出力ポート R/D コンバータ ユニット 1 U 相出力端子 アップダウンカウンタ ch.2 AIN 入力端子
132	113	P112 RDC_V1 BIN2	E	汎用入出力ポート R/D コンバータ ユニット 1 V 相出力端子 アップダウンカウンタ ch.2 BIN 入力端子
133	114	P111 RDC_W1 ZIN2	E	汎用入出力ポート R/D コンバータ ユニット 1 W 相出力端子 アップダウンカウンタ ch.2 ZIN 入力端子
139	120	P110 4AN7	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 7 入力端子
140	121	P109 4AN6	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 6 入力端子
141	122	P108 4AN5	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 5 入力端子
142	123	P107 4AN4	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 4 入力端子
145	124	P106 RTO11	E	汎用入出力ポート 波形ジェネレータ ch.11 出力端子
146	125	P105 RTO10	E	汎用入出力ポート 波形ジェネレータ ch.10 出力端子
147	126	P104 RTO9	E	汎用入出力ポート 波形ジェネレータ ch.9 出力端子
148	127	P103 RTO8	E	汎用入出力ポート 波形ジェネレータ ch.8 出力端子



端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/Oポート』の章を参照してください)
208pin	176pin			
149	128	P102 RTO7	E	汎用入出力ポート 波形ジェネレータ ch.7 出力端子
150	129	P101 RTO6	E	汎用入出力ポート 波形ジェネレータ ch.6 出力端子
151	130	P100 DTTI1 4ADTG1	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 1 4ch サンプルホールド A/D コンバータ ユニット 1 外部トリガ 入力端子
152	-	P421 SIN3 INT6 FRCK8	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 シリアルデータ入力端子 INT6 外部割込み入力端子 16 ビットフリーランタイム ch.8 外部クロック入力端子
153	-	P422 SOT3 FRCK9 IN13	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 シリアルデータ出力端子 16 ビットフリーランタイム ch.9 外部クロック入力端子 16 ビットインプットキャプチャ ch.13 外部パルス入力端子
154	-	P423 SCK3 FRCK10 IN14	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 クロック入出力端子 16 ビットフリーランタイム ch.10 外部クロック入力端子 16 ビットインプットキャプチャ ch.14 外部パルス入力端子
158	-	P425 TIOA8	E	汎用入出力ポート ベースタイム ch.8 TIOA 出力端子
159	-	P426 TIOB8	E	汎用入出力ポート ベースタイム ch.8 TIOB 入力端子
160	-	P427 TIOA9	E	汎用入出力ポート ベースタイム ch.9 TIOA 入出力端子
161	-	P428 TIOB9	E	汎用入出力ポート ベースタイム ch.9 TIOB 入力端子
162	134	P429 MONCLK MM	E	汎用入出力ポート クロックモニタ出力端子 クロックスーパバイザ メインクロック異常検出出力端子
163	135	P200 AN0	F	汎用入出力ポート A/D コンバータ アナログ 0 入力端子
164	136	P201 AN1	F	汎用入出力ポート A/D コンバータ アナログ 1 入力端子
165	137	P202 AN2	F	汎用入出力ポート A/D コンバータ アナログ 2 入力端子
166	138	P203 AN3	F	汎用入出力ポート A/D コンバータ アナログ 3 入力端子
167	139	P204 AN4	F	汎用入出力ポート A/D コンバータ アナログ 4 入力端子
168	140	P205 AN5	F	汎用入出力ポート A/D コンバータ アナログ 5 入力端子
169	141	P206 AN6	F	汎用入出力ポート A/D コンバータ アナログ 6 入力端子
170	142	P207 AN7	F	汎用入出力ポート A/D コンバータ アナログ 7 入力端子
173	145	P208 AN8	F	汎用入出力ポート A/D コンバータ アナログ 8 入力端子

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
174	146	P209 AN9	F	汎用入出力ポート A/D コンバータ アナログ 9 入力端子
175	147	P210 AN10	F	汎用入出力ポート A/D コンバータ アナログ 10 入力端子
176	148	P211 AN11	F	汎用入出力ポート A/D コンバータ アナログ 11 入力端子
177	149	P212 AN12	F	汎用入出力ポート A/D コンバータ アナログ 12 入力端子
178	150	P213 AN13	F	汎用入出力ポート A/D コンバータ アナログ 13 入力端子
179	151	P214 AN14	F	汎用入出力ポート A/D コンバータ アナログ 14 入力端子
180	152	P215 AN15	F	汎用入出力ポート A/D コンバータ アナログ 15 入力端子
185	157	P216 AN16	F	汎用入出力ポート A/D コンバータ アナログ 16 入力端子
186	158	P217 AN17	F	汎用入出力ポート A/D コンバータ アナログ 17 入力端子
187	159	P218 AN18	F	汎用入出力ポート A/D コンバータ アナログ 18 入力端子
188	160	P219 AN19	F	汎用入出力ポート A/D コンバータ アナログ 19 入力端子
189	161	P220 AN20 TIOA6	F	汎用入出力ポート A/D コンバータ アナログ 20 入力端子 ベースタイマ ch.6 TIOA 出力端子
190	162	P221 AN21 TIOB6	F	汎用入出力ポート A/D コンバータ アナログ 21 入力端子 ベースタイマ ch.6 TIOB 入力端子
191	163	P222 AN22 TIOA7	F	汎用入出力ポート A/D コンバータ アナログ 22 入力端子 ベースタイマ ch.7 TIOA 入出力端子
192	164	P223 AN23 TIOB7	F	汎用入出力ポート A/D コンバータ アナログ 23 入力端子 ベースタイマ ch.7 TIOB 入力端子
195	167	P224 AN24	F	汎用入出力ポート A/D コンバータ アナログ 24 入力端子
196	168	P225 AN25 SIN4 INT7	F	汎用入出力ポート A/D コンバータ アナログ 25 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルデータ入力端子 INT7 外部割込み入力端子
197	169	P226 AN26 SOT4 IN0	F	汎用入出力ポート A/D コンバータ アナログ 26 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルデータ出力端子 16 ビットインプットキャプチャ ch.0 外部パルス入力端子
198	170	P227 AN27 SCK4 IN1	F	汎用入出力ポート A/D コンバータ アナログ 27 入力端子 マルチファンクションシリアルインタフェース ch.4 クロック入出力端子 16 ビットインプットキャプチャ ch.1 外部パルス入力端子



端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/Oポート』の章を参照してください)
208pin	176pin			
199	171	P228 AN28 SCS40 IN2	F	汎用入出力ポート A/D コンバータ アナログ 28 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 0 入出力端子 16 ビットインプットキャプチャ ch.2 外部パルス入力端子
200	172	P229 AN29 SCS41 IN3	F	汎用入出力ポート A/D コンバータ アナログ 29 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 1 入出力端子 16 ビットインプットキャプチャ ch.3 外部パルス入力端子
201	173	P230 AN30 SCS42 IN4	F	汎用入出力ポート A/D コンバータ アナログ 30 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 2 入出力端子 16 ビットインプットキャプチャ ch.4 外部パルス入力端子
202	174	P231 AN31 SCS43 IN5	F	汎用入出力ポート A/D コンバータ アナログ 31 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 3 入出力端子 16 ビットインプットキャプチャ ch.5 外部パルス入力端子
203	175	P300 ADTG0	E	汎用入出力ポート A/D コンバータ 外部トリガ 入力端子
204	-	P301 TIOA10 FRCK4	E	汎用入出力ポート ベースタイマ ch.10 TIOA 出力端子 16 ビットフリーランタイム ch.4 外部クロック入力端子
205	-	P302 TIOB10 FRCK5	E	汎用入出力ポート ベースタイマ ch.10 TIOB 入力端子 16 ビットフリーランタイム ch.5 外部クロック入力端子
206	-	P303 TIOA11 FRCK6	E	汎用入出力ポート ベースタイマ ch.11 TIOA 入出力端子 16 ビットフリーランタイム ch.6 外部クロック入力端子
207	-	P304 TIOB11 FRCK7	E	汎用入出力ポート ベースタイマ ch.11 TIOB 入力端子 16 ビットフリーランタイム ch.7 外部クロック入力端子
18	14	AVRH0	-	4ch サンプルホールド A/D コンバータ ユニット 0 上限基準電圧
19	15	AVRL0	-	4ch サンプルホールド A/D コンバータ ユニット 0 下限基準電圧
20	16	AVR0	-	4ch サンプルホールド A/D コンバータ ユニット 0 基準電圧
21	17	AVSS0	-	4ch サンプルホールド A/D コンバータ ユニット 0 アナログ GND
22	18	AVCC0	-	4ch サンプルホールド A/D コンバータ ユニット 0 アナログ電源
134	115	AVCC1	-	4ch サンプルホールド A/D コンバータ ユニット 1 アナログ電源
135	116	AVSS1	-	4ch サンプルホールド A/D コンバータ ユニット 1 アナログ GND
136	117	AVR1	-	4ch サンプルホールド A/D コンバータ ユニット 1 基準電圧
137	118	AVRL1	-	4ch サンプルホールド A/D コンバータ ユニット 1 下限基準電圧
138	119	AVRH1	-	4ch サンプルホールド A/D コンバータ ユニット 1 上限基準電圧
38	34	RVRH0	-	R/D コンバータ ユニット 0 上限基準電圧
39	35	RVRL0	-	R/D コンバータ ユニット 0 下限基準電圧
40	36	RVR0	-	R/D コンバータ ユニット 0 基準電圧
41	37	RVSS0	-	R/D コンバータ ユニット 0 アナログ GND
42	38	RVCC0	-	R/D コンバータ ユニット 0 アナログ電源

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
114	95	RVCC1	-	R/D コンバータ ユニット 1 アナログ電源
115	96	RVSS1	-	R/D コンバータ ユニット 1 アナログ GND
116	97	RVR1	-	R/D コンバータ ユニット 1 基準電圧
117	98	RVRL1	-	R/D コンバータ ユニット 1 下限基準電圧
118	99	RVRH1	-	R/D コンバータ ユニット 1 上限基準電圧
181	153	AVCC2	-	A/D コンバータ アナログ電源
182	154	AVSS2	-	A/D コンバータ アナログ GND
183	155	AVRL2	-	A/D コンバータ 下限基準電圧
184	156	AVRH2	-	A/D コンバータ 上限基準電圧
2 54 68 103 155 172 193	2 56 87 131 144 165	VCC12	-	1.2V 電源
12 52 105 144 157 208	44 89 133 176	VCC5	-	5.0V 電源
1 13 53 69 83 104 143 156 171 194	1 45 57 71 88 132 143 166	VSS	-	GND



表 5-2 端子機能表(RDC 非搭載型格)

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
3	-	P305 FRCK0	E	汎用入出力ポート 16 ビットフリーランタイム ch.0 外部クロック入力端子
4	-	P306 FRCK1	E	汎用入出力ポート 16 ビットフリーランタイム ch.1 外部クロック入力端子
5	3	P000 DTTI0 4ADTG0	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 0 4ch サンプルホールド A/D コンバータ ユニット 0 外部トリガ 入力端子
6	4	P001 RTO0	E	汎用入出力ポート 波形ジェネレータ ch.0 出力端子
7	5	P002 RTO1	E	汎用入出力ポート 波形ジェネレータ ch.1 出力端子
8	6	P003 RTO2	E	汎用入出力ポート 波形ジェネレータ ch.2 出力端子
9	7	P004 RTO3	E	汎用入出力ポート 波形ジェネレータ ch.3 出力端子
10	8	P005 RTO4	E	汎用入出力ポート 波形ジェネレータ ch.4 出力端子
11	9	P006 RTO5	E	汎用入出力ポート 波形ジェネレータ ch.5 出力端子
14	10	P007 4AN0	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 0 入力端子
15	11	P008 4AN1	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 1 入力端子
16	12	P009 4AN2	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 2 入力端子
17	13	P010 4AN3	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 0 アナログ 3 入力端子
23	19	P011 ZIN0	E	汎用入出力ポート アップダウンカウンタ ch.0 ZIN 入力端子
24	20	P012 BIN0	E	汎用入出力ポート アップダウンカウンタ ch.0 BIN 入力端子
25	21	P013 AIN0	E	汎用入出力ポート アップダウンカウンタ ch.0 AIN 入力端子
26	22	P014 ZIN1	E	汎用入出力ポート アップダウンカウンタ ch.1 ZIN 入力端子
27	23	P015 BIN1	E	汎用入出力ポート アップダウンカウンタ ch.1 BIN 入力端子
28	24	P016 AIN1	E	汎用入出力ポート アップダウンカウンタ ch.1 AIN 入力端子
29	25	P017	E	汎用入出力ポート
30	26	P018	E	汎用入出力ポート
31	27	P019	E	汎用入出力ポート
32	28	P020	E	汎用入出力ポート
33	29	P021	E	汎用入出力ポート
34	30	P022	E	汎用入出力ポート
35	31	P023	E	汎用入出力ポート
36	32	P024	E	汎用入出力ポート
37	33	P025	E	汎用入出力ポート

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
43	39	P026	E	汎用入出力ポート
44	40	P027	E	汎用入出力ポート
45	41	P028	E	汎用入出力ポート
46	42	P029 DAOUT0	G	汎用入出力ポート D/A コンバータ ch.0 アナログ出力端子
47	43	P430 ERDS0	E	汎用入出力ポート 異常検出出力端子 ch.0
48	-	P030 DTTI2 FRCK12	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 2 16 ビットフリーランタイム ch.12 外部クロック入力端子
49	-	P031 RTO12 FRCK13	E	汎用入出力ポート 波形ジェネレータ ch.12 出力端子 16 ビットフリーランタイム ch.13 外部クロック入力端子
50	-	P309 RTO13 FRCK14	E	汎用入出力ポート 波形ジェネレータ ch.13 出力端子 16 ビットフリーランタイム ch.14 外部クロック入力端子
51	-	P310 RTO14 FRCK15	E	汎用入出力ポート 波形ジェネレータ ch.14 出力端子 16 ビットフリーランタイム ch.15 外部クロック入力端子
55	-	P311 RTO15 FRCK16	E	汎用入出力ポート 波形ジェネレータ ch.15 出力端子 16 ビットフリーランタイム ch.16 外部クロック入力端子
56	-	P312 RTO16 FRCK17	E	汎用入出力ポート 波形ジェネレータ ch.16 出力端子 16 ビットフリーランタイム ch.17 外部クロック入力端子
57	-	P313 RTO17	E	汎用入出力ポート 波形ジェネレータ ch.17 出力端子
58	46	P314 DTTI3 TIOA0	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 3 ベースタイム ch.0 TIOA 出力端子
59	47	P315 RTO18 TIOB0	E	汎用入出力ポート 波形ジェネレータ ch.18 出力端子 ベースタイム ch.0 TIOB 入力端子
60	48	P316 RTO19 TIOA1	E	汎用入出力ポート 波形ジェネレータ ch.19 出力端子 ベースタイム ch.1 TIOA 入出力端子
61	49	P317 RTO20 TIOB1	E	汎用入出力ポート 波形ジェネレータ ch.20 出力端子 ベースタイム ch.1 TIOB 入力端子
62	50	P318 RTO21 TIOA2	E	汎用入出力ポート 波形ジェネレータ ch.21 出力端子 ベースタイム ch.2 TIOA 出力端子
63	51	P319 RTO22 TIOB2	E	汎用入出力ポート 波形ジェネレータ ch.22 出力端子 ベースタイム ch.2 TIOB 入力端子
64	52	P320 RTO23 TIOA3	E	汎用入出力ポート 波形ジェネレータ ch.23 出力端子 ベースタイム ch.3 TIOA 入出力端子



端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
65	53	P321 SIN0 INT3 TIOB3	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 シリアルデータ入力端子 INT3 外部割込み入力端子 ベースタイマ ch.3 TIOB 入力端子
66	54	P322 SOT0	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 シリアルデータ出力端子
67	55	P323 SCK0	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.0 クロック入出力端子
70	58	P324 STOPWT IN6 IN16	E	汎用入出力ポート FlexRay ストップウォッチ入力端子 16 ビットインプットキャプチャ ch.6 外部パルス入力端子 32 ビットインプットキャプチャ ch.0 外部パルス入力端子
71	59	P325 RXDA IN7 IN17	H	汎用入出力ポート FlexRay ch.A データ入力端子 16 ビットインプットキャプチャ ch.7 外部パルス入力端子 32 ビットインプットキャプチャ ch.1 外部パルス入力端子
72	60	P326 TXDA IN8 IN18	H	汎用入出力ポート FlexRay ch.A データ出力端子 16 ビットインプットキャプチャ ch.8 外部パルス入力端子 32 ビットインプットキャプチャ ch.2 外部パルス入力端子
73	61	P327 TXENA IN9 IN19	H	汎用入出力ポート FlexRay ch.A 動作許可出力端子 16 ビットインプットキャプチャ ch.9 外部パルス入力端子 32 ビットインプットキャプチャ ch.3 外部パルス入力端子
74	62	P328 RXDB IN10 IN20	H	汎用入出力ポート FlexRay ch.B データ入力端子 16 ビットインプットキャプチャ ch.10 外部パルス入力端子 32 ビットインプットキャプチャ ch.4 外部パルス入力端子
75	63	P329 TXDB IN11 IN21	H	汎用入出力ポート FlexRay ch.B データ出力端子 16 ビットインプットキャプチャ ch.11 外部パルス入力端子 32 ビットインプットキャプチャ ch.5 外部パルス入力端子
76	64	P330 TXENB IN12	H	汎用入出力ポート FlexRay ch.B 動作許可出力端子 16 ビットインプットキャプチャ ch.12 外部パルス入力端子
77	65	NMIX	B	マスクなし割込み入力端子
78	66	RSTX	B	外部リセット入力端子
79	67	MD1	C	モード端子 1 (高電圧制御付)
80	68	MD0	C	モード端子 0 (高電圧制御付)
81	69	X0	A	メインクロック発振入力端子
82	70	X1		メインクロック発振出力端子
84	72	TRSTX	J	JTAG テストリセット入力
85	73	TCK	J	JTAG テストクロック入力
86	74	TDO	I	JTAG テストデータ出力
87	75	TDI	J	JTAG テストデータ入力
88	76	TMS	J	JTAG テストモード状態入力
89	77	nSRST	J	デバッグ用システムリセット入力

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
90	78	P406 SIN1 INT4	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.1 シリアルデータ入力端子 INT4 外部割込み入力端子
91	79	P407 SOT1	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.1 シリアルデータ出力端子
92	80	P408 SCK1	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.1 クロック入出力端子
93	81	P409 RX0 INT0	E	汎用入出力ポート CAN ch.0 受信データ入力端子 INT0 外部割込み入力端子
94	82	P410 TX0	E	汎用入出力ポート CAN ch.0 送信データ出力端子
95	83	P411 RX1 INT1	E	汎用入出力ポート CAN ch.1 受信データ入力端子 INT1 外部割込み入力端子
96	84	P412 TX1	E	汎用入出力ポート CAN ch.1 送信データ出力端子
97	85	P413 RX2 INT2	E	汎用入出力ポート CAN ch.2 受信データ入力端子 INT2 外部割込み入力端子
98	86	P414 TX2	E	汎用入出力ポート CAN ch.2 送信データ出力端子
99	-	P415 TIOA4	E	汎用入出力ポート ベースタイマ ch.4 TIOA 出力端子
100	-	P416 TIOB4	E	汎用入出力ポート ベースタイマ ch.4 TIOB 入力端子
101	-	P417 TIOA5	E	汎用入出力ポート ベースタイマ ch.5 TIOA 入出力端子
102	-	P418 TIOB5	E	汎用入出力ポート ベースタイマ ch.5 TIOB 入力端子
106	-	P419 SIN2 INT5	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.2 シリアルデータ入力端子 INT5 外部割込み入力端子
107	-	P420 SOT2	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.2 シリアルデータ出力端子
108	-	P131 SCK2	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.2 クロック入出力端子
109	90	P431 ERDS1	E	汎用入出力ポート 異常検出出力端子 ch.1
110	91	P129 DAOOUT1	G	汎用入出力ポート D/A コンバータ ch.1 アナログ出力端子
111	92	P128	E	汎用入出力ポート
112	93	P127	E	汎用入出力ポート
113	94	P126	E	汎用入出力ポート
119	100	P125	E	汎用入出力ポート
120	101	P124	E	汎用入出力ポート
121	102	P123	E	汎用入出力ポート
122	103	P122	E	汎用入出力ポート
123	104	P121	E	汎用入出力ポート



端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
124	105	P120	E	汎用入出力ポート
125	106	P119	E	汎用入出力ポート
126	107	P118	E	汎用入出力ポート
127	108	P117	E	汎用入出力ポート
128	109	P116 AIN3	E	汎用入出力ポート アップダウンカウンタ ch.3 AIN 入力端子
129	110	P115 BIN3	E	汎用入出力ポート アップダウンカウンタ ch.3 BIN 入力端子
130	111	P114 ZIN3	E	汎用入出力ポート アップダウンカウンタ ch.3 ZIN 入力端子
131	112	P113 AIN2	E	汎用入出力ポート アップダウンカウンタ ch.2 AIN 入力端子
132	113	P112 BIN2	E	汎用入出力ポート アップダウンカウンタ ch.2 BIN 入力端子
133	114	P111 ZIN2	E	汎用入出力ポート アップダウンカウンタ ch.2 ZIN 入力端子
139	120	P110 4AN7	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 7 入力端子
140	121	P109 4AN6	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 6 入力端子
141	122	P108 4AN5	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 5 入力端子
142	123	P107 4AN4	F	汎用入出力ポート 4ch サンプルホールド A/D コンバータ ユニット 1 アナログ 4 入力端子
145	124	P106 RTO11	E	汎用入出力ポート 波形ジェネレータ ch.11 出力端子
146	125	P105 RTO10	E	汎用入出力ポート 波形ジェネレータ ch.10 出力端子
147	126	P104 RTO9	E	汎用入出力ポート 波形ジェネレータ ch.9 出力端子
148	127	P103 RTO8	E	汎用入出力ポート 波形ジェネレータ ch.8 出力端子
149	128	P102 RTO7	E	汎用入出力ポート 波形ジェネレータ ch.7 出力端子
150	129	P101 RTO6	E	汎用入出力ポート 波形ジェネレータ ch.6 出力端子
151	130	P100 DTTI1 4ADTG1	E	汎用入出力ポート 波形ジェネレータ出力停止信号入力端子 1 4ch サンプルホールド A/D コンバータ ユニット 1 外部トリガ 入力端子
152	-	P421 SIN3 INT6 FRCK8	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 シリアルデータ入力端子 INT6 外部割込み入力端子 16 ビットフリーランタイム ch.8 外部クロック入力端子
153	-	P422 SOT3 FRCK9 IN13	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 シリアルデータ出力端子 16 ビットフリーランタイム ch.9 外部クロック入力端子 16 ビットインプットキャプチャ ch.13 外部パルス入力端子

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
154	-	P423 SCK3 FRCK10 IN14	E	汎用入出力ポート マルチファンクションシリアルインタフェース ch.3 クロック入出力端子 16 ビットフリーランタイム ch.10 外部クロック入力端子 16 ビットインプットキャプチャ ch.14 外部パルス入力端子
158	-	P425 TIOA8	E	汎用入出力ポート ベースタイマ ch.8 TIOA 出力端子
159	-	P426 TIOB8	E	汎用入出力ポート ベースタイマ ch.8 TIOB 入力端子
160	-	P427 TIOA9	E	汎用入出力ポート ベースタイマ ch.9 TIOA 入出力端子
161	-	P428 TIOB9	E	汎用入出力ポート ベースタイマ ch.9 TIOB 入力端子
162	134	P429 MONCLK MM	E	汎用入出力ポート クロックモニタ出力端子 クロックスーパーバイザ メインクロック異常検出出力端子
163	135	P200 AN0	F	汎用入出力ポート A/D コンバータ アナログ 0 入力端子
164	136	P201 AN1	F	汎用入出力ポート A/D コンバータ アナログ 1 入力端子
165	137	P202 AN2	F	汎用入出力ポート A/D コンバータ アナログ 2 入力端子
166	138	P203 AN3	F	汎用入出力ポート A/D コンバータ アナログ 3 入力端子
167	139	P204 AN4	F	汎用入出力ポート A/D コンバータ アナログ 4 入力端子
168	140	P205 AN5	F	汎用入出力ポート A/D コンバータ アナログ 5 入力端子
169	141	P206 AN6	F	汎用入出力ポート A/D コンバータ アナログ 6 入力端子
170	142	P207 AN7	F	汎用入出力ポート A/D コンバータ アナログ 7 入力端子
173	145	P208 AN8	F	汎用入出力ポート A/D コンバータ アナログ 8 入力端子
174	146	P209 AN9	F	汎用入出力ポート A/D コンバータ アナログ 9 入力端子
175	147	P210 AN10	F	汎用入出力ポート A/D コンバータ アナログ 10 入力端子
176	148	P211 AN11	F	汎用入出力ポート A/D コンバータ アナログ 11 入力端子
177	149	P212 AN12	F	汎用入出力ポート A/D コンバータ アナログ 12 入力端子
178	150	P213 AN13	F	汎用入出力ポート A/D コンバータ アナログ 13 入力端子
179	151	P214 AN14	F	汎用入出力ポート A/D コンバータ アナログ 14 入力端子
180	152	P215 AN15	F	汎用入出力ポート A/D コンバータ アナログ 15 入力端子
185	157	P216 AN16	F	汎用入出力ポート A/D コンバータ アナログ 16 入力端子



端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
186	158	P217 AN17	F	汎用入出力ポート A/D コンバータ アナログ 17 入力端子
187	159	P218 AN18	F	汎用入出力ポート A/D コンバータ アナログ 18 入力端子
188	160	P219 AN19	F	汎用入出力ポート A/D コンバータ アナログ 19 入力端子
189	161	P220 AN20 TIOA6	F	汎用入出力ポート A/D コンバータ アナログ 20 入力端子 ベースタイマ ch.6 TIOA 出力端子
190	162	P221 AN21 TIOB6	F	汎用入出力ポート A/D コンバータ アナログ 21 入力端子 ベースタイマ ch.6 TIOB 入力端子
191	163	P222 AN22 TIOA7	F	汎用入出力ポート A/D コンバータ アナログ 22 入力端子 ベースタイマ ch.7 TIOA 入出力端子
192	164	P223 AN23 TIOB7	F	汎用入出力ポート A/D コンバータ アナログ 23 入力端子 ベースタイマ ch.7 TIOB 入力端子
195	167	P224 AN24	F	汎用入出力ポート A/D コンバータ アナログ 24 入力端子
196	168	P225 AN25 SIN4 INT7	F	汎用入出力ポート A/D コンバータ アナログ 25 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルデータ入力端子 INT7 外部割込み入力端子
197	169	P226 AN26 SOT4 IN0	F	汎用入出力ポート A/D コンバータ アナログ 26 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルデータ出力端子 16 ビットインプットキャプチャ ch.0 外部パルス入力端子
198	170	P227 AN27 SCK4 IN1	F	汎用入出力ポート A/D コンバータ アナログ 27 入力端子 マルチファンクションシリアルインタフェース ch.4 クロック入出力端子 16 ビットインプットキャプチャ ch.1 外部パルス入力端子
199	171	P228 AN28 SCS40 IN2	F	汎用入出力ポート A/D コンバータ アナログ 28 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 0 入出力端子 16 ビットインプットキャプチャ ch.2 外部パルス入力端子
200	172	P229 AN29 SCS41 IN3	F	汎用入出力ポート A/D コンバータ アナログ 29 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 1 入出力端子 16 ビットインプットキャプチャ ch.3 外部パルス入力端子
201	173	P230 AN30 SCS42 IN4	F	汎用入出力ポート A/D コンバータ アナログ 30 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 2 入出力端子 16 ビットインプットキャプチャ ch.4 外部パルス入力端子

端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
202	174	P231 AN31 SCS43 IN5	F	汎用入出力ポート A/D コンバータ アナログ 31 入力端子 マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 3 入出力端子 16 ビットインプットキャプチャ ch.5 外部パルス入力端子
203	-	P300 ADTG0	E	汎用入出力ポート A/D コンバータ 外部トリガ入力端子
204	-	P301 TIOA10 FRCK4	E	汎用入出力ポート ベースタイマ ch.10 TIOA 出力端子 16 ビットフリーランタイム ch.4 外部クロック入力端子
205	-	P302 TIOB10 FRCK5	E	汎用入出力ポート ベースタイマ ch.10 TIOB 入力端子 16 ビットフリーランタイム ch.5 外部クロック入力端子
206	-	P303 TIOA11 FRCK6	E	汎用入出力ポート ベースタイマ ch.11 TIOA 入出力端子 16 ビットフリーランタイム ch.6 外部クロック入力端子
207	-	P304 TIOB11 FRCK7	E	汎用入出力ポート ベースタイマ ch.11 TIOB 入力端子 16 ビットフリーランタイム ch.7 外部クロック入力端子
18	14	AVRH0	-	4ch サンプルホールド A/D コンバータ ユニット 0 上限基準電圧
19	15	AVRL0	-	4ch サンプルホールド A/D コンバータ ユニット 0 下限基準電圧
20	16	AVR0	-	4ch サンプルホールド A/D コンバータ ユニット 0 基準電圧
21	17	AVSS0	-	4ch サンプルホールド A/D コンバータ ユニット 0 アナログ GND
22	18	AVCC0	-	4ch サンプルホールド A/D コンバータ ユニット 0 アナログ電源
134	115	AVCC1	-	4ch サンプルホールド A/D コンバータ ユニット 1 アナログ電源
135	116	AVSS1	-	4ch サンプルホールド A/D コンバータ ユニット 1 アナログ GND
136	117	AVR1	-	4ch サンプルホールド A/D コンバータ ユニット 1 基準電圧
137	118	AVRL1	-	4ch サンプルホールド A/D コンバータ ユニット 1 下限基準電圧
138	119	AVRH1	-	4ch サンプルホールド A/D コンバータ ユニット 1 上限基準電圧
38	34	RVRH0	-	*1
39	35	RVRL0	-	*2
40	36	RVR0	-	*2
41	37	RVSS0	-	*2
42	38	RVCC0	-	*1
114	95	RVCC1	-	*1
115	96	RVSS1	-	*2
116	97	RVR1	-	*2
117	98	RVRL1	-	*2
118	99	RVRH1	-	*1
181	153	AVCC2	-	A/D コンバータ アナログ電源
182	154	AVSS2	-	A/D コンバータ アナログ GND
183	155	AVRL2	-	A/D コンバータ 下限基準電圧
184	156	AVRH2	-	A/D コンバータ 上限基準電圧



端子番号		端子名	入出力 回路形式	機能 (切替えについては『I/O ポート』の章を参照してください)
208pin	176pin			
2 54 68 103 155 172 193	2 56 87 131 144 165	VCC12	-	1.2V 電源
12 52 105 144 157 208	44 89 133 176	VCC5	-	5.0V 電源
1 13 53 69 83 104 143 156 171 194	1 45 57 71 88 132 143 166	VSS	-	GND

*1: RDC 非搭載品種では使用しません。必ず VCC5 を接続してください。

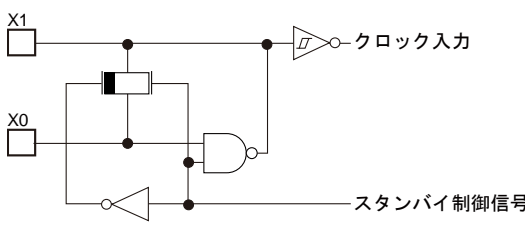
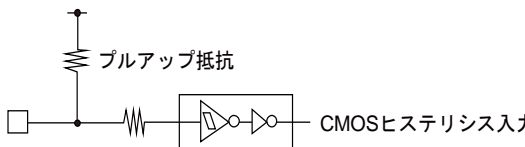
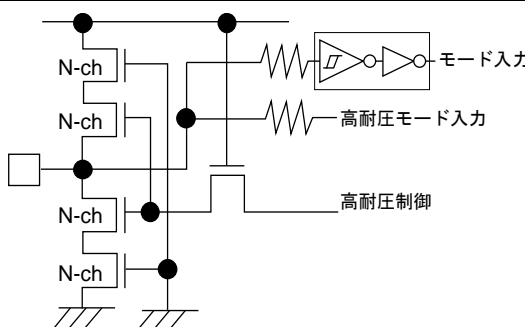
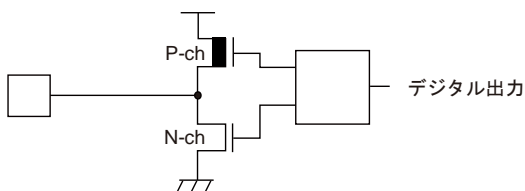
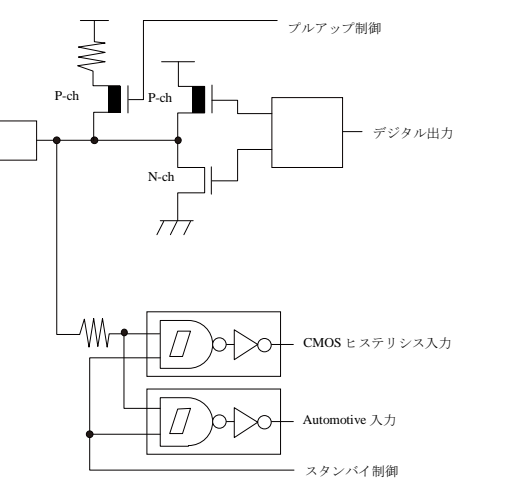
*2: RDC 非搭載品種では使用しません。必ず VSS を接続してください。

6. 入出力回路形式

MB9D560 シリーズの入出力回路形式について説明します。

以下に MB9D560 シリーズの入出力回路形式を示します。

表 6-1 入出力回路形式

分類	回路	概要
A	 <p>クロック入力</p> <p>スタンバイ制御信号</p>	<ul style="list-style-type: none"> - 発振帰還抵抗 約 1MΩ
B	 <p>プルアップ抵抗</p> <p>CMOSヒステリシス入力</p>	<ul style="list-style-type: none"> - CMOS ヒステリシス入力 - プルアップ抵抗付き 50kΩ
C	 <p>モード入力</p> <p>高耐圧モード入力</p> <p>高耐圧制御</p>	<ul style="list-style-type: none"> - Schmitt 入力 - 高耐圧制御付き
D	 <p>デジタル出力</p>	<ul style="list-style-type: none"> - CMOS レベル出力 $I_{OH}=-1/-2mA$, $I_{OL}=1/2mA$
E	 <p>プルアップ制御</p> <p>デジタル出力</p> <p>CMOSヒステリシス入力</p> <p>Automotive 入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> - 汎用入出力ポート - CMOS レベル出力 $I_{OH}=-1/-2mA$, $I_{OL}=1/2mA$ - プルアップ抵抗制御付き 50kΩ - CMOS ヒステリシス入力(0.7Vcc/0.3Vcc) - Automotive 入力(0.8Vcc/0.5Vcc)



分類	回路	概要
F	<p>プルアップ制御</p> <p>デジタル出力</p> <p>CMOSヒステリシス入力</p> <p>Automotive入力</p> <p>スタンバイ制御</p> <p>アナログ入力</p>	<ul style="list-style-type: none"> - アナログ入力付き、汎用入出力ポート - CMOS レベル出力 <p>$I_{OH}=-1/-2mA, I_{OL}=1/2mA$</p> <ul style="list-style-type: none"> - プルアップ抵抗制御付き 50kΩ - CMOS ヒステリシス入力(0.7Vcc/0.3Vcc) <p>スタンバイ時、入力値は前値保持</p> <ul style="list-style-type: none"> - Automotive 入力(0.8Vcc/0.5Vcc) <p>スタンバイ時、入力値は前値保持</p>
G	<p>プルアップ制御</p> <p>デジタル出力</p> <p>CMOSヒステリシス入力</p> <p>Automotive入力</p> <p>スタンバイ制御</p> <p>アナログ出力</p>	<ul style="list-style-type: none"> - アナログ出力付き、汎用入出力ポート - CMOS レベル出力 <p>$I_{OH}=-1/-2mA, I_{OL}=1/2mA$</p> <ul style="list-style-type: none"> - プルアップ抵抗制御付き 50kΩ - CMOS ヒステリシス入力(0.7Vcc/0.3Vcc) <p>スタンバイ時、入力値は前値保持</p> <ul style="list-style-type: none"> - Automotive 入力(0.8Vcc/0.5Vcc) <p>スタンバイ時、入力値は前値保持</p>
H	<p>プルアップ制御</p> <p>デジタル出力</p> <p>FlexRay 入力</p> <p>Automotive入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> - 汎用入出力ポート - CMOS レベル出力 <p>$I_{OH}=-1/-2/-4mA, I_{OL}=1/2/4mA$</p> <ul style="list-style-type: none"> - プルアップ抵抗制御付き 50kΩ - FlexRay 入力(0.7Vcc/0.3Vcc) <p>スタンバイ時、入力値は前値保持</p> <ul style="list-style-type: none"> - Automotive 入力(0.8Vcc/0.5Vcc) <p>スタンバイ時、入力値は前値保持</p>



分類	回路	概要
I		<ul style="list-style-type: none">- CMOS レベル出力$I_{OH}=-5mA, I_{OL}=5mA$
J		<ul style="list-style-type: none">- TTL ヒステリシス入力(2V/0.8V)
K		<ul style="list-style-type: none">- アナログ入力
L		<ul style="list-style-type: none">- アナログ出力



7. メモリマップ

MB9D560 シリーズのメモリマップについて説明します。

以下に MB9D560 シリーズのメモリマップを示します。

表 7-1 メモリマップ

アドレス		領域	
開始	終了	概要	機能
0x0000_0000	64KB: 0x0000_FFFF 96KB: 0x0001_7FFF 128KB: 0x0001_FFFF	内蔵メモリ (各 CPU 専用空間)	TCRAM
0x0002_0000	0x007F_FFFF		Reserved
0x0080_0000	512KB: 0x0087_FFFF 768KB: 0x008B_FFFF 1024KB: 0x008F_FFFF		TCFLASH 大セクタ領域(TCM 接続)
0x0090_0000	0x00FD_FFFF		Reserved
0x00FE_0000	0x00FF_FFFF		TCFLASH 小セクタ領域(TCM 接続)
0x0100_0000	512KB: 0x0107_FFFF 768KB: 0x010B_FFFF 1024KB: 0x010F_FFFF		TCFLASH 大セクタ領域(AXI 接続)
0x0110_0000	0x01FD_FFFF		Reserved
0x01FE_0000	0x01FF_FFFF		TCFLASH 小セクタ領域(AXI 接続)
0x0200_0000	0x027F_FFFF		Reserved
0x0280_0000	0x0280_FFFF		EAM
0x0280_1000	0x03FF_FFFF		Reserved
0x0400_0000	64KB: 0x0400_FFFF 96KB: 0x0401_7FFF 128KB: 0x0401_FFFF	内蔵メモリ (共通空間)	CPU0 空間 TCRAM
0x0402_0000	0x047F_FFFF		Reserved
0x0480_0000	512KB: 0x0487_FFFF 768KB: 0x048B_FFFF 1024KB: 0x048F_FFFF		CPU0 空間 TCFLASH 大セクタ領域(TCM 接続)
0x0490_0000	0x04FD_FFFF		Reserved
0x04FE_0000	0x04FF_FFFF		CPU0 空間 TCFLASH 小セクタ領域(TCM 接続)
0x0500_0000	512KB: 0x0507_FFFF 768KB: 0x050B_FFFF 1024KB: 0x050F_FFFF		CPU0 空間 TCFLASH 大セクタ領域(AXI 接続)
0x0510_0000	0x05FD_FFFF		Reserved
0x05FE_0000	0x05FF_FFFF		CPU0 空間 TCFLASH 小セクタ領域(AXI 接続)
0x0600_0000	64KB: 0x0600_FFFF 96KB: 0x0601_7FFF 128KB: 0x0601_FFFF		CPU1 空間 TCRAM
0x0602_0000	0x067F_FFFF		Reserved
0x0680_0000	512KB: 0x0687_FFFF 768KB: 0x068B_FFFF 1024KB: 0x068F_FFFF		CPU1 空間 TCFLASH 大セクタ領域(TCM 接続)

アドレス		領域	
開始	終了	概要	機能
0x0690_0000	0x06FD_FFFF		Reserved
0x06FE_0000	0x06FF_FFFF		CPU1 空間 TCFLASH 小セクタ領域(TCM 接続)
0x0700_0000	512KB: 0x0707_FFFF 768KB: 0x070B_FFFF 1024KB:0x070F_FFFF		CPU1 空間 TCFLASH 大セクタ領域(AXI 接続)
0x0710_0000	0x07FD_FFFF		Reserved
0x07FE_0000	0x07FF_FFFF		CPU1 空間 TCFLASH 小セクタ領域(AXI 接続)
0x0800_0000	0x0DFF_FFFF		Reserved
0x0E00_0000	0x0E00_FFFF		WorkFLASH0 ミラー領域 1
0x0E01_0000	0x0E01_FFFF		WorkFLASH1 ミラー領域 1
0x0E02_0000	0x0E0F_FFFF		Reserved
0x0E10_0000	0x0E10_FFFF		WorkFLASH0 Reserved ミラー領域 2
0x0E11_0000	0x0E11_FFFF		WorkFLASH1 Reserved ミラー領域 2
0x0E12_0000	0x0E1F_FFFF		Reserved
0x0E20_0000	0x0E20_FFFF	内蔵メモリ (共通空間)	WorkFLASH0 ミラー領域 3
0x0E21_0000	0x0E21_FFFF		WorkFLASH1 ミラー領域 3
0x0E22_0000	0x0FFF_FFFF		Reserved
0x1000_0000	0x9FFF_FFFF	Reserved	Reserved
0xA000_0000	0xA1FF_FFFF	Bit Band Alias 領域	Reserved
0xA200_0000	0xA27F_FFFF		Bit Band Alias 領域(Memory & Config Group)
0xA280_0000	0xA2FF_FFFF		Reserved
0xA300_0000	0xA37F_FFFF		Bit Band Alias 領域(MCU Config Group)
0xA380_0000	0xA47F_FFFF		Bit Band Alias 領域(Common Peripheral Group)
0xA480_0000	0xA7FF_FFFF		Reserved
0xA800_0000	0xA87F_FFFF		Bit Band Alias 領域(Application Specific Peripheral Group A)
0xA880_0000	0xA8FF_FFFF		Bit Band Alias 領域(Application Specific Peripheral Group B)
0xA900_0000	0xAFFF_FFFF		Reserved
0xB000_0000	0xBFFF_FFFF	I/O 領域 (Bit Band 領域)	I/O
0xC000_0000	0xEFFF_FFFF	Reserved	Reserved
0xF000_0000	0xFFFE_DFFF	BootROM 領域	Reserved
0xFFFE_E000	0xFFFE_FFFF		Error Config
0xFFFF_0000	0xFFFF_FFFF		BootROM

＜注意事項＞

- 内蔵メモリ (各 CPU 専用空間) は、各 CPU 自身が専用持つメモリ用空間です。CPU 以外のマスタからはアクセスできません (Reserved 領域)。ほかのマスタからアクセスする場合は、CPU0 空間 / CPU1 空間から同領域にアクセスできます。
- Reserved 領域へのアクセスはバスエラーとなります。
- ただし、以下の Reserved 領域へのアクセスは例外的にバスエラーになりません。
 - 0x0090_0000～0x00FD_FFFF



- 0x0110_0000~0x01FD_FFFF
- 0x0490_0000~0x04FD_FFFF
- 0x0510_0000~0x05FD_FFFF
- 0x0690_0000~0x06FD_FFFF
- 0x0710_0000~0x07FD_FFFF
- 0x1000_0000~0x1FFF_FFFF
- 0x2000_0000~0x2FFF_FFFF
- 以下の領域は、コアのアクセスに対してDevice属性またはStrongly Ordered属性を設定してください。
 1. I/O 領域
 2. Bit Band Alias 領域
 3. Error Config (BootROM 領域)
 4. WorkFLASH (プログラム時)
 5. TCFLASH (プログラム時)

Device属性とStrongly Ordered属性については、『ARM® Architecture Reference Manual ARM® v7-A and ARM® v7-R edition(ARM DDI 0406B)』を参照してください。
- TCFLASH は、TCM 接続の領域と AXI 接続の領域の2つの領域があります。AXI 接続の領域はFlashメモリの書き込み / 消去時の各種操作を行うための専用領域です。通常動作における読出しはTCM接続の領域を使用してください。

8. I/O マップ

MB9D560 シリーズの I/O マップについて説明します。

以下に MB9D560 シリーズの I/O マップを示します。

表 8-1 I/O マップ (HPM, ほか)

アドレス		領域	
開始	終了	概要	機能
0xB000_0000	0xB03F_FFFF	Reserved	Reserved

表 8-2 I/O アドレスマップ (Memory & Config Group)

アドレス		領域	
開始	終了	概要	機能
0xB040_0000	0xB040_0FFF	Memory & Config Group	IRC0
0xB040_1000	0xB040_1FFF		IRC1
0xB040_2000	0xB040_6FFF		Reserved
0xB040_7000	0xB040_73FF		NMI DISTRIBUTOR
0xB040_7400	0xB040_7FFF		Reserved
0xB040_8000	0xB040_83FF		TPU0
0xB040_8400	0xB040_8FFF		Reserved
0xB040_9000	0xB040_93FF		TPU1
0xB040_9400	0xB040_FFFF		Reserved
0xB041_0000	0xB041_03FF		TCRAM0 IF
0xB041_0400	0xB041_07FF		TCRAM1 IF
0xB041_0800	0xB041_0FFF		Reserved
0xB041_1000	0xB041_13FF		TCFLASH0 IF
0xB041_1400	0xB041_17FF		TCFLASH1 IF
0xB041_1800	0xB041_1FFF		Reserved
0xB041_2000	0xB041_23FF		WorkFLASH0 IF
0xB041_2400	0xB041_27FF		WorkFLASH1 IF
0xB041_2800	0xB041_4FFF		Reserved
0xB041_5000	0xB041_5FFF		IPCU
0xB041_6000	0xB041_FFFF		Reserved



表 8-3 I/O アドレスマップ (Debug Group)

アドレス		領域	
開始	終了	概要	機能
0xB050_0000	0xB050_0FFF	Debug Group	DAPROM
0xB050_1000	0xB050_1FFF		ETB
0xB050_2000	0xB050_2FFF		CTI4
0xB050_3000	0xB050_3FFF		TPIU
0xB050_4000	0xB050_4FFF		TRACE_FUNNEL
0xB050_5000	0xB057_FFFF		Reserved
0xB058_0000	0xB058_0FFF		CORTEXROM0
0xB058_1000	0xB058_FFFF		Reserved
0xB059_0000	0xB059_0FFF		CORE0
0xB059_1000	0xB059_1FFF		Reserved
0xB059_2000	0xB059_2FFF		CORE1
0xB059_3000	0xB059_7FFF		Reserved
0xB059_8000	0xB059_8FFF		CTI0
0xB059_9000	0xB059_9FFF		CTI1
0xB059_A000	0xB059_BFFF		Reserved
0xB059_C000	0xB059_CFFF		ETM0
0xB059_D000	0xB059_DFFF		ETM1
0xB059_E000	0xB05F_FFFF		Reserved

表 8-4 I/O アドレスマップ (MCU Config Group)

アドレス		領域	
開始	終了	概要	機能
0xB060_0000	0xB060_07FF	MCU Config Group	SYSC
0xB060_0800	0xB060_0FFF		MODEC
0xB060_1000	0xB060_7FFF		Reserved
0xB060_8000	0xB060_83FF		SW-WDT0
0xB060_8400	0xB060_8FFF		Reserved
0xB060_9000	0xB060_93FF		SW-WDT1
0xB060_9400	0xB060_BFFF		Reserved
0xB060_C000	0xB060_C3FF		HW-WDT
0xB060_C400	0xB061_FFFF		Reserved
0xB062_0000	0xB062_03FF		EXT-IRC
0xB062_0400	0xB06F_FFFF		Reserved

表 8-5 I/O アドレスマップ (Common Peripheral Group)

アドレス		領域	
開始	終了	概要	機能
0xB070_0000	0xB070_3FFF	Common Peripheral Group (AHB32)	DMAC
0xB070_4000	0xB070_FFFF		Reserved
0xB071_0000	0xB071_0FFF		MPU_DMA
0xB071_1000	0xB071_7FFF		Reserved
0xB071_8000	0xB071_87FF		CRC (0, 1ch)
0xB071_8800	0xB071_FFFF		Reserved
0xB072_0000	0xB072_0BFF		CAN (0-2ch)
0xB072_0C00	0xB072_7FFF		Reserved
0xB072_8000	0xB072_83FF		CAN PRESCALER
0xB072_8400	0xB072_FFFF		Reserved
0xB073_0000	0xB073_03FF		CR CALIBRATION
0xB073_0400	0xB073_7FFF		Reserved
0xB073_8000	0xB073_8FFF		GPIO
0xB073_9000	0xB073_FFFF		Reserved
0xB074_0000	0xB074_3FFF		PPC
0xB074_4000	0xB074_7FFF		Reserved
0xB074_8000	0xB074_8FFF		RIC
0xB074_9000	0xB07F_FFFF		Reserved
0xB080_0000	0xB080_13FF	Common Peripheral Group (APB)	MFS (0-4ch)
0xB080_1400	0xB080_7FFF		Reserved
0xB080_8000	0xB080_AFFF		BASE TIMER (0-11ch)
0xB080_B000	0xB081_FFFF		Reserved
0xB082_0000	0xB082_13FF		32bit FRT (0-4ch)
0xB082_1400	0xB082_7FFF		Reserved
0xB082_8000	0xB080_8BFF		32bit ICU (0-2ch)
0xB082_8C00	0xB08F_FFFF		Reserved



表 8-6 I/O アドレスマップ (品種固有周辺バス, ほか)

アドレス		領域	
開始	終了	概要	機能
0xB090_0000	0xB0FF_FFFF	Reserved	Reserved
0xB100_0000	0xB100_00FF	Application Specific Peripheral Group A (AHB-32)	16bit FRT (6-11ch)
0xB100_0100	0xB100_01FF		16bit OCU (6-11ch)
0xB100_0200	0xB100_02FF		16bit ICU (4-7ch)
0xB100_0300	0xB100_03FF		4ch-SH ADC (Unit1)
0xB100_0400	0xB100_04FF		WFG (6-11ch)
0xB100_0500	0xB100_05FF		UDC (2-3ch)
0xB100_0600	0xB100_07FF		Reserved
0xB100_0800	0xB100_09FF		MVA (1ch)
0xB100_0A00	0xB100_0BFF		Reserved
0xB100_0C00	0xB100_0CFF		RDC (1ch)
0xB100_0D00	0xB100_0DFF		DAC (1ch)
0xB100_0E00	0xB100_0FFF		Reserved
0xB101_0000	0xB101_00FF	Application Specific Peripheral Group A (APB)	16bit FRT (12-17ch)
0xB101_0100	0xB101_01FF		16bit OCU (12-23ch)
0xB101_0200	0xB101_02FF		16bit ICU (7-13ch)
0xB101_0300	0xB101_03FF		Reserved
0xB101_0400	0xB101_05FF		12bit ADC (0-31ch)
0xB101_0600	0xB101_06FF		WFG
0xB101_0700	0xB101_0FFF		Reserved
0xB101_1000	0xB101_2FFF		Other (WFG)
0xB101_3000	0xB101_3FFF		Other (ADC, CSV)
0xB101_4000	0xB1FF_FFFF	Reserved	Reserved
0xB200_0000	0xB200_00FF	Application Specific Peripheral Group B (AHB-32)	16bit FRT (0-5ch)
0xB200_0100	0xB200_01FF		16bit OCU (0-5ch)
0xB200_0200	0xB200_02FF		16bit ICU (0-3ch)
0xB200_0300	0xB200_03FF		4ch-SH ADC (Unit0)
0xB200_0400	0xB200_04FF		WFG (0-5ch)
0xB200_0500	0xB200_05FF		UDC (0ch)
0xB200_0600	0xB200_07FF		Reserved
0xB200_0800	0xB200_09FF		MVA (0ch)
0xB200_0A00	0xB200_0BFF		Reserved
0xB200_0C00	0xB200_0CFF		RDC (0ch)
0xB200_0D00	0xB200_0DFF		DAC (0ch)
0xB200_0E00	0xB200_0FFF		Reserved
0xB200_1000	0xB200_17FF		FlexRay (ch.A/ch.B)
0xB200_1800	0xB200_FFFF		Reserved
0xB201_0000	0xB201_00FF	Application Specific Peripheral Group B (R-Bus)	FlexRay/RDC Clock Cntl
0xB201_0100	0xB201_01FF		Clock Monitor
0xB201_0200	0xBF00_FFFF	Reserved	Reserved

表 8-7 I/O アドレスマップ (Error Config)

アドレス		領域	
開始	終了	概要	機能
0xFFFE_E000	0xFFFE_E3FF	Error Config	IRC0 (NMIVASBR)
0xFFFE_E400	0xFFFE_E7FF		IRC1 (NMIVASBR)
0xFFFE_E800	0xFFFE_F7FF		Reserved
0xFFFE_F800	0xFFFE_FBFf		IRC (NMIVASBR) Mirror*
0xFFFE_FC00	0xFFFE_FFFF		BootROM I/F

*: CPU0 が IRC0 に, CPU1 が IRC1 にアクセス可能な領域。CPU 以外のマスタには Reserved 領域。

<注意事項>

- I/O アドレスマップでは, 領域に割り当て可能な最大空間を示しています。機能マクロによって, 実際に使用可能な空間が異なります。詳細は, 各機能マクロのアドレスマップを参照してください。
- Reserved 領域へのアクセスはバスエラーとなります。
- ただし, 以下のReserved 領域における一部アドレスへのアクセスは, 例外的にバスエラーになりません。
 - 0xB018_0000~0xB018_03FF
 - 0xB05C_0000~0xB05C_0FFF
 - 0xB05E_0000~0xB05E_03FF
 - 0xB05E_0400~0xB05E_07FF
 - 0xB05E_0800~0xB05E_0BFF
 - 0xB05E_0C00~0xB05E_0FFF



9. 凡例

本マニュアルにおける凡例について説明します。

9.1. レジスタ属性

本マニュアルにおけるレジスタ属性について説明します。

9.1.1. 読出し / 書込み属性 (R/W 属性)

表 9-1 レジスタの R/W 属性

R/W 属性	説明
R	読出し可能
R0	読出し値は 0
R1	読出し値は 1
RX	読出し値は不定
W	書込み可能
W0	0 書込み指定
W1	1 書込み指定
WX	書込み無効 (書込みは動作に影響しない)
/ (スラッシュ)	読出しと書込みが可能 (読出し値は, 書込み値に同じ)
, (カンマ)	読出しと書込みで意味が異なる (読出し値は, 書込み値と異なる)

記載例

R/W : 読出し/書込み可能 [読出し値は書込み値と同じ]

R,W0 : 読出し可能/0 書込み指定 [読出し値は書込み値と異なる]

<注意事項>

- R/W 属性において, 読出し値に影響を与える要因が以下に示すものの場合は「/ (スラッシュ)」で表記されます。
 - セットレジスタによるビットのセット
 - クリアレジスタによるビットのクリア



9.1.2. 保護属性

表 9-2 レジスタの保護属性

保護属性	説明
RP	特権モードのみで読出し可能
WP	特権モードのみで書込み可能
WS	シーケンス保護解除後にのみ書込み可能
WPS	特権モードでシーケンス保護解除後にのみ書込み可能



10. 略語一覧

MB9D560 シリーズにおける略語について説明します。

表 10-1 略語表

頭文字	略語	正式名称
A	AHB	Advanced High-performance Bus
	AMBATM	Advanced Microcontroller Bus Architecture
	APB	Advanced Peripheral Bus
	ATB	AMBA Trace Bus
	ATCM	TCM-A port
	AXI	Advanced eXtensible Interface
B	BBU	Bit Banding Unit
	BDR	Boot Description Record
	B0TCM	TCM-B0 port
	B1TCM	TCM-B1 port
C	CAN	Controller Area Network
	CD	Clock Domain
	CPU	Central Processing Unit
	CR	CR Oscillator
	CRC	Cyclic Redundancy Check
	CSV	Clock Supervisor
D	DAP	Debug Access Port
	DED	Double Error Detection
	DMA	Direct Memory Access
	DMAC	DMA Controller
E	EAM	Exclusive Access Memory
	ECC	Error Checking Code
	ETM	Embedded Trace Macro
	EXT-IRC	External Interrupt Controller
F	FIQ	Fast Interrupt Request
	FPU	Floating Point Unit
	FRT	Free Running Timer
G	GPIO	General Purpose Input / Output
H	HPM	High Performance Matrix
	HW-WDT	Hardware Watchdog Timer
I	ICU	Input Capture Unit
	IPCU	Inter-Processor Communication Unit
	IRC	Interrupt Controller
	IRQ	Interrupt Request
	ISR	Interrupt Service Routine
J	JTAG	Joint Test Action Group
L	LLPP	Low Latency Peripheral Port
	LVD	Low Voltage Detector
M	MCU	Microcontroller Unit
	MFS	Multi-Function Serial Interface
	MVA	Motor Vector operation Accelerator
N	NF	Noise Filter
	NMI	Non-Maskable Interrupt
O	OSC	Oscillator
	OCU	Output Compare Unit

頭文字	略語	正式名称
P	PLL	Phase Locked Loop
	PONR	Power-ON Reset
	PPC	Port Pin Configuration
	PSS	Power Saving State
R	RAM	Random Access Memory
	RDC	Resolver digital Converter
	RIC	Resource Input Configuration
	ROM	Read Only Memory
	RUN	Run State
S	SCT	Source Clock Timer
	SDR	Security Description Record
	SEC	Single Error Correction
	SRAM	Static RAM
	SW-WDT	Software Watchdog Timer
	SYSC	System Controller
T	TCFLASH	TCM Flash Memory
	TCM	Tightly Coupled Memory
	TCRAM	TCM SRAM
	TPU	Timing Protection Unit
U	UDC	Up/Down Counter
V	VIC	Vectored Interrupt Controller
W	WDR	Watchdog Description Record
	WDT	Watchdog Timer
	WFG	WaveForm Generator
	WorkFLASH	Work Flash Memory





CHAPTER 2: CPU

CPU の概要および注意事項について説明します。

1. 概要
2. 注意事項



1. 概要

CPU の特長について示します。

特長

- プロセッサは Cortex™-R5F Split/Lock 構成の Split モード(2CPU)を搭載
- メモリプロテクションユニット(MPU) 16 領域
- 浮動小数点ユニット(FPU)搭載(倍精度)
- 各 CPU の ATCM に FLASH メモリを接続
- 各 CPU の BTCM に SRAM を接続
- ATCM, BTCM は 32 ビット ECC をサポート
- B0TCM, B1TCM をインタリーブで使用
- CPU ごとに 64 ビット AXI Master, Slave インタフェースを搭載
- 外部マスタから AXI Slave インタフェース経由で TCM へのアクセスが可能
- CPU ごとに低レイテンシペリフェラルポート(LLPP)の 32 ビット AXI Master インタフェースを搭載
- CPU ごとに VIC ポートを搭載し、割込みベクタアドレスの直接取得が可能
- 詳細については ARM 社資料『Cortex™-R5 Revision:r1p2 Technical Reference Manual(ARM DDI 0460D) 』を参照してください。

2. 注意事項

CPU の注意事項について説明します。

(1) キャッシュ

命令キャッシュ，データキャッシュは非搭載です。

(2) Low Latency Peripheral Port

Low Latency Peripheral Port はペリフェラルにアクセスするポートとして使用されます。

コア内部レジスタ Normal AXI Peripheral Interface Region, Virtual AXI Peripheral Interface Region, AHB Peripheral Interface Region の En ビットを変更してはいけません。

(3) WFE 命令

WFE 命令を使用してはいけません。

コア間で同期をとる場合は，コア間通信の機能を使用してください。

(4) VIC ポート

割り込み(IRQ)は VIC ポート経由で行われます。

VIC ポート許可は BootROM ソフトウェアによってコア内部レジスタ System Control Register:VE を 1 に設定します。

VIC ポートを禁止にした場合，正常に割り込み処理が行えないため，禁止を設定してはいけません。





CHAPTER 3: 動作モード

動作モードについて説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ



1. 概要

動作モードの概要を示します。

モード制御部はリセット解除後にデバイスの動作モードを決定します。本品種には下記の動作モードがあります。

(1) ユーザモード

メモリにあるユーザプログラムを実行します。

(2) ボードモード

ボードモードには下記の動作モードがあります。

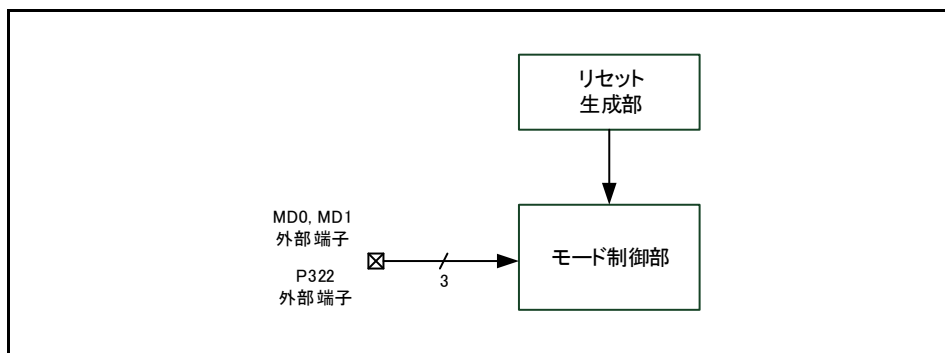
a) シリアルライターモード

シリアルライターを使用して、内蔵 Flash メモリのプログラムを行うモードです。

2. 構成

モード制御部の構成を示します。

図 2-1 モード制御部の構成





3. 動作説明

モード制御部の動作について示します。

3.1. 端子設定

端子設定について示します。

表 3-1 端子設定

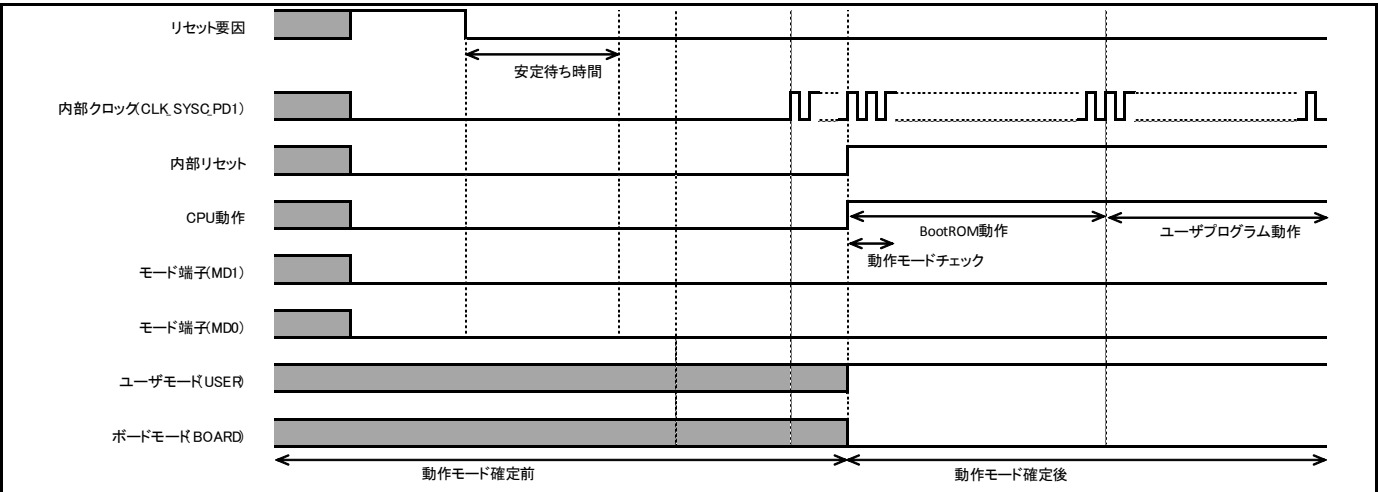
動作モード	MD1	MD0	P322
ユーザモード	0	0	—
シリアルライターモード	1	0	1

上記以外の設定は禁止です。

3.2. 動作モードの取込み

動作モードの取込みについて説明します。

図 3-1 動作モードの取込みタイミング図(ユーザモード)





4. レジスタ

モード制御部のレジスタについて説明します。

表 4-1 モード制御部のレジスタ一覧

レジスタ略称	レジスタ名	参照先
MODEC_MODER	モードレジスタ	4.1



4.1. モードレジスタ(MODEC_MODER)

モードレジスタ(MODEC_MODER)は起動時に設定された動作モードとモード端子設定のステータスおよびCPU動作モードを示します。

Bit	31	30	29	28	27	26	25	24
Field	USERMODE	BOARD MODE	Reserved					
R/W 属性	R,WX	R,WX	R0,WX					
保護属性	-							
初期値	*	*	000000					

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved		MD1	MD0	Reserved			
R/W 属性	R0,WX		R,WX	R,WX	R0,WX			
保護属性	-							
初期値	00		0	0	0000			

Bit	7	6	5	4	3	2	1	0
Field	Reserved					CPUMD		
R/W 属性	R0,WX					R,WX		
保護属性	-							
初期値	00000					*		

*: 起動時の設定により初期値が異なります。

[bit31] USERMODE: ユーザモードビット

- 動作モードがユーザモードかを示します。
- 書込みは影響しません。

bit	説明
0	予約
1	ユーザモード

[bit30] BOARDMODE: ボードモードビット

- 動作モードがボードモードかを示します。
- 書込みは影響しません。

bit	説明
0	ボードモードではありません
1	ボードモード

[bit29:14] Reserved: 予約ビット



[bit13] MD1: モード1ビット

- 現在の MD1 端子の入力値が読み出されます。
- 書込みは影響しません。

[bit12] MD0: モード0ビット

- 現在の MD0 端子の入力値が読み出されます。
- 書込みは影響しません。

[bit11:3] Reserved: 予約ビット

[bit2:0] CPUMD[2:0]: CPU 動作モード

- CPU の動作モードを示します。
- 書込みは影響しません。
- CPU動作モードを変更するにはCPU動作モード設定ビット(SYSC_SPECPUFCFR:CPUMD[2:0])を更新してリセットを発行してください。再起動後、本ビットに反映され、設定した CPU 動作モードで動作します。

bit[2:0]	説明
000	マルチ CPU モード(2CPU モード)
001	予約
010	予約
011	予約
100	シングル CPU モード(1CPU0 モード)
101	シングル CPU モード(1CPU1 モード)
110	予約
111	予約

CHAPTER 4: リセット

リセットについて説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ



1. 概要

本品種には以下のリセット要因があります。各要因によってデバイス内部の初期化のためのリセットを発行します。

リセット要因を以下に示します。

表 1-1 リセット要因

リセット分類	リセット要因
ハードウェアリセット	パワーオンリセット(PONR) RSTX 端子入力 (RSTX) INITX 端子入力 (INITX) クロック停止待ちタイムアウト (CKTOR) ハードウェアウォッチドッグ (HWDR) ソフトウェアウォッチドッグ (SWDR) 内部電源低電圧検出 (LVD12R) 5V 外部電源低電圧検出 (LVD50R) メインクロックスーパーバイザリセット(CSV MOR) PLL クロックスーパーバイザリセット(CSV PR) 拡張クロックスーパーバイザリセット(CSV SSR) ブローファイルエラーリセット (PRFERR) ソフトウェアトリガハードウェアリセット(SHRST) nSRST 端子入力(SRSTX)
ソフトウェアリセット	ソフトウェアリセット (SRST)
デバッグリセット	TRSTX 端子入力リセット(TRSTX) ソフトウェアデバッグリセット(SDBG RST)

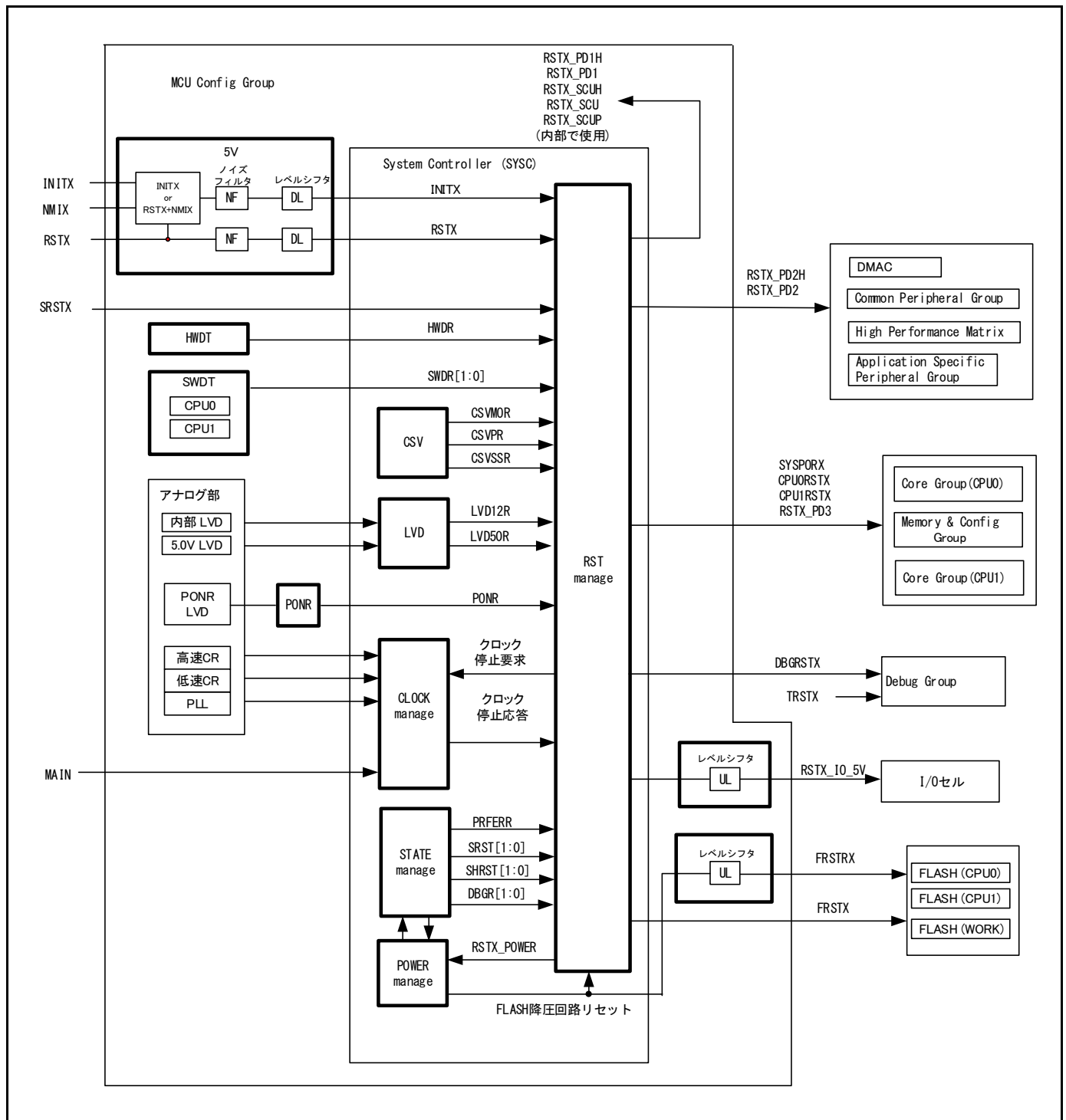
<注意事項>

- MB9D560 において、「INITX 端子入力 (INITX)」は「NMIX 端子+RSTX 端子へ同時入力」に置き換えられます。
- MB9D560 において「拡張クロックスーパーバイザリセット(CSV SSR)」は、「FlexRay/RDC 用 PLL クロックスーパーバイザリセット」に置き換えられます。

2. 構成

リセットの構成について説明します。

図 2-1 リセット系構成図



リセット制御部の構成図を以下に示します。

図 2-2 RST manage 構成図

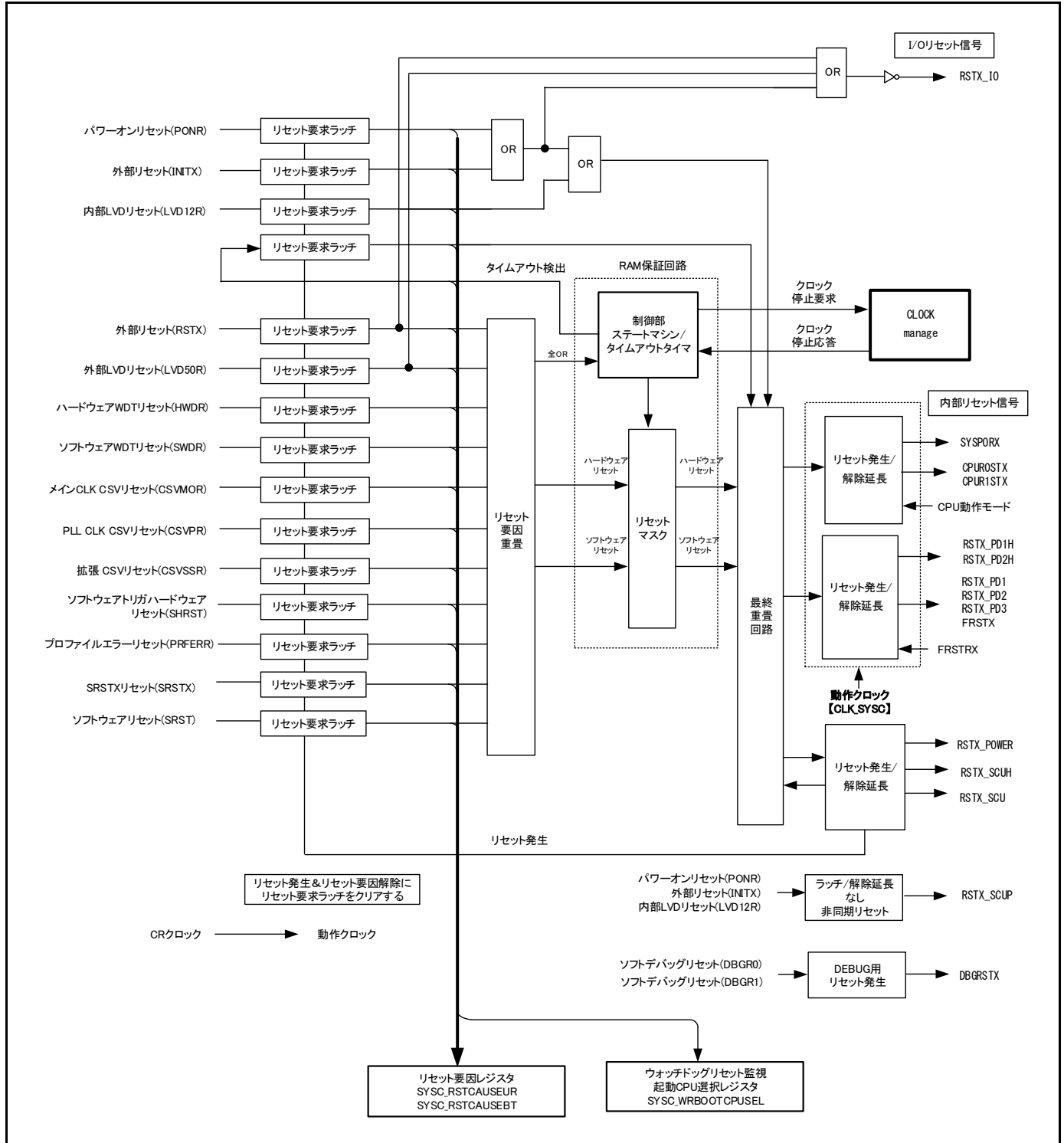


図 2-3 PONR 構成図

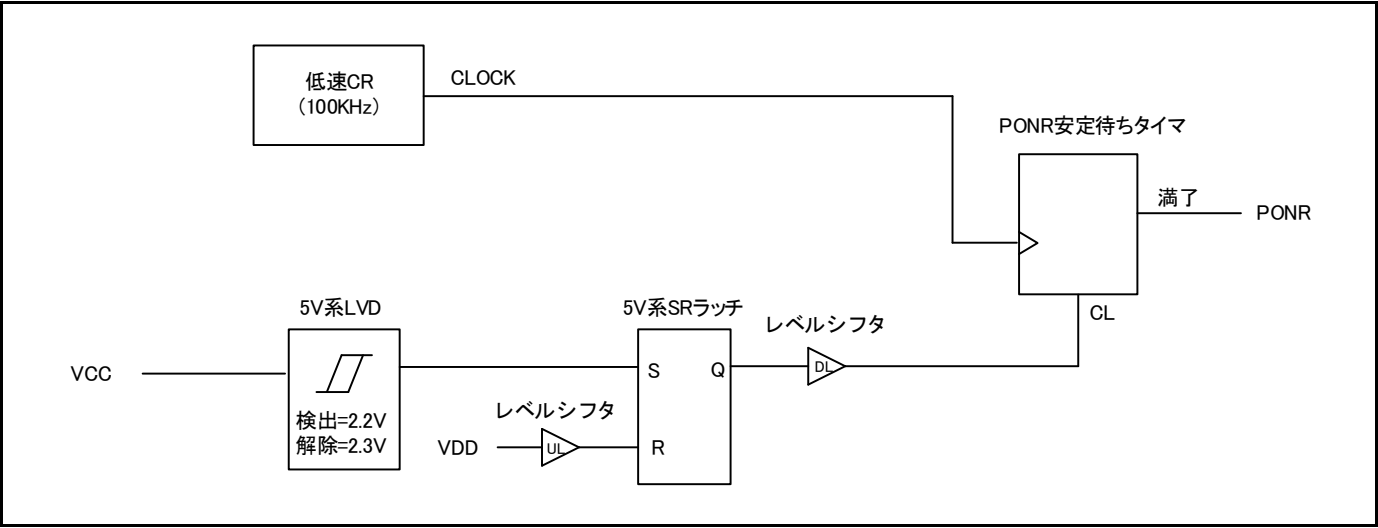
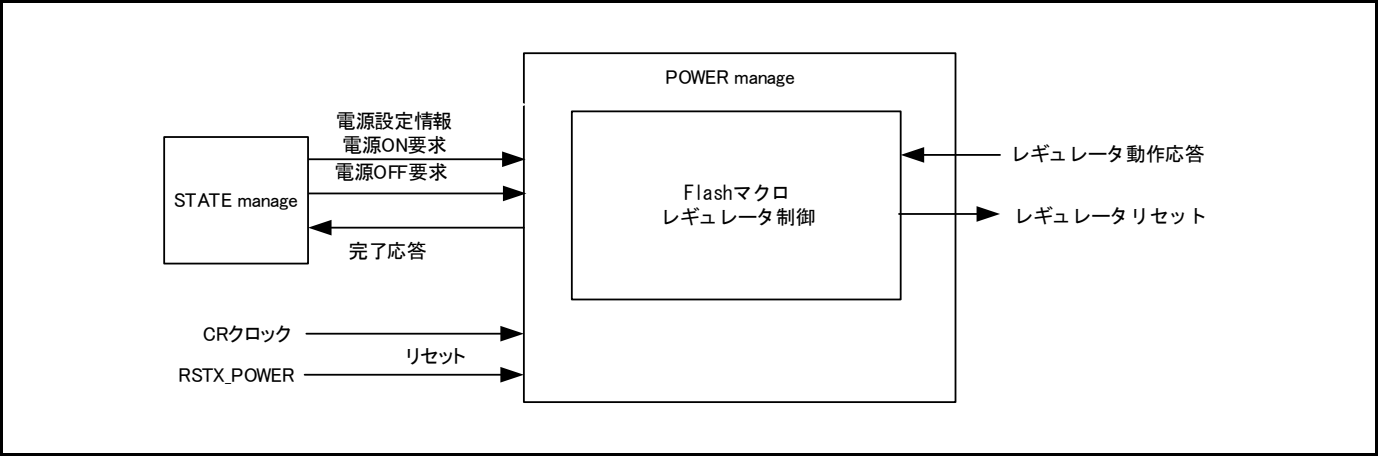


図 2-4 POWER manage 構成図





STATE manage 構成図

『低消費電力』の章を参照してください。

CSV 構成図

『クロックスーパーバイザ』の章を参照してください。

LVD 構成図

『低電圧検出』の章を参照してください。

HWDT 構成図

『ハードウェアウォッチドッグタイマ』の章を参照してください。

SWDT 構成図

『ソフトウェアウォッチドッグタイマ』の章を参照してください。

3. 動作説明

リセットの各動作について説明します。

3.1. リセット要因

3.2. デバイス内部リセット

3.3. リセットシーケンス

3.4. リセット解除後の動作



3.1. リセット要因

各リセット要因について説明します。

- 3.1.1. パワーオンリセット
- 3.1.2. 内部電源低電圧検出リセット
- 3.1.3. INITX 端子入力リセット
- 3.1.4. クロック停止待ちタイムアウトリセット
- 3.1.5. 外部電源低電圧検出リセット(5V)
- 3.1.6. RSTX 端子入力リセット
- 3.1.7. ハードウェアウォッチドッグリセット
- 3.1.8. ソフトウェアウォッチドッグリセット
- 3.1.9. メインクロックスーパーバイザリセット
- 3.1.10. PLLクロックスーパーバイザリセット
- 3.1.11. 拡張クロックスーパーバイザリセット
- 3.1.12. プロファイルエラーリセット
- 3.1.13. ソフトウェアトリガハードウェアリセット
- 3.1.14. ソフトウェアリセット
- 3.1.15. nSRST 端子入力リセット
- 3.1.16. TRSTX 端子入力リセット
- 3.1.17. ソフトウェアデバッガリセット



3.1.1. **パワーオンリセット**

パワーオンリセットについて説明します。

表 3-1 パワーオンリセット

発生要因	5V 系の電源状態を監視する低電圧検出器(LVD)が検出状態の場合に発生します。
解除要因	1.2V が印加され, 5V 系の低電圧検出を監視する低電圧検出器(LVD)が解除状態になり, 低速 CR でカウントする安定待ち時間経過後 PONR を解除します。
初期化対象	すべてのレジスタ
対応フラグ	SYSC_RSTCAUSEUR:PONR SYSC_RSTCAUSEBT:PONR (BootROM 用)



3.1.2. 内部電源低電圧検出リセット

内部電源低電圧検出リセットについて説明します。

表 3-2 内部電源低電圧検出リセット

発生要因	1.2V系の電源状態を監視する低電圧検出器(LVD)が検出状態の場合に発生します。
解除要因	1.2V系の電源状態を監視する低電圧検出器(LVD)が解除状態による
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - リセット要因レジスタ
対応フラグ	SYSC_RSTCAUSEUR:LVD12R SYSC_RSTCAUSEBT:LVD12R(BootROM 用)
備考	内部低電圧検出の発生条件および解除条件は『データシート』を参照してください



3.1.3. **INITX 端子入力リセット**

INITX 端子入力リセットについて説明します。

表 3-3 INITX 端子入力リセット

発生要因	INITX 端子へ"L"レベルを入力することにより発生
解除要因	INITX 端子へ"H"レベルを入力することにより解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - リセット要因レジスタ
対応フラグ	SYSC_RSTCAUSEUR:INITX SYSC_RSTCAUSEBT:INITX(BootROM 用)
備考	ノイズフィルタ除去幅は『データシート』を参照してください

＜注意事項＞

- MB9D560 において、「INITX 端子入力 (INITX) 」は「NMIX 端子+RSTX 端子へ同時入力」に置き換えられます。NMIX 端子+RSTX 端子へ同時に"L"を入力した場合に INITX の要因が発生し、同時に"L"以外を入力した場合に要因が解除されます。



3.1.4. クロック停止待ちタイムアウトリセット

クロック停止タイムアウトリセットについて説明します。

表 3-4 クロック停止待ちタイムアウトリセット

発生要因	クロック停止待ちタイマが満了することにより発生
解除要因	リセット発行後に自動的に解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパバイザ出力許可レジスタ - デバッグシステム - POWER Manage
対応フラグ	SYSC_RSTCAUSEUR:CKTOR SYSC_RSTCAUSEBT:CKTOR (BootROM 用)
備考	CR×1360 サイクル(typ = 170 μs) 低速 CR クロック停止応答待ち時間が最大となる 低速 CR×3 サイクル程度 = 30 μs



3.1.5. 外部電源低電圧検出リセット(5V)

外部電源低電圧検出リセット(5V)について説明します。

表 3-5 外部電源低電圧検出リセット(5V)

発生要因	5.0V系の電源状態を監視する低電圧検出器(LVD)が検出状態の場合に発生します。
解除要因	5.0V系の電源状態を監視する低電圧検出器(LVD)が解除状態による
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパーバイザ出力許可レジスタ - デバッグシステム - POWER Manage
対応フラグ	SYSC_RSTCAUSEUR:LVD50R SYSC_RSTCAUSEBT:LVD50R (BootROM 用)
備考	外部低電圧検出の発生条件および解除条件は『データシート』を参照してください



3.1.6. **RSTX 端子入力リセット**

RSTX 端子入力リセットについて説明します。

表 3-6 RSTX 端子入力リセット

発生要因	RSTX 端子へ"L"レベルを入力することにより発生
解除要因	RSTX 端子へ"H"レベルを入力することにより解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパーバイザ出力許可レジスタ - デバッグシステム - POWER Manage
対応フラグ	SYSC_RSTCAUSEUR:RSTX SYSC_RSTCAUSEBT:RSTX(BootROM 用)
備考	ノイズフィルタ除去幅は『データシート』を参照してください。



3.1.7. ハードウェアウォッチドッグリセット

ハードウェアウォッチドッグリセットについて説明します。

表 3-7 ハードウェアウォッチドッグリセット

発生要因	ハードウェアウォッチドッグに設定されたウィンドウ内に、CPU がトリガ入力を行わない場合にリセットが発生します。
解除要因	リセット発行後、自動的に解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパバイザ出力許可レジスタ - リセット要因レジスタ - デバッグシステム
対応フラグ	SYSC_RSTCAUSEUR:HWDR SYSC_RSTCAUSEBT:HWDR (BootROM 用)



3.1.8. ソフトウェアウォッチドッグリセット

ソフトウェアウォッチドッグリセットについて説明します。

表 3-8 ソフトウェアウォッチドッグリセット

発生要因	ソフトウェアウォッチドッグに設定されたウィンドウ内に、CPU がトリガ入力を行わない場合に発生します。
解除要因	リセット発行後に自動的に解除
初期化対象	<p>下記を除くすべてのレジスタ</p> <ul style="list-style-type: none"> - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパーバイザ出力許可レジスタ - デバッグシステム - POWER Manage
対応フラグ	<p>SYSC_RSTCAUSEUR:SWDRn</p> <p>SYSC_RSTCAUSEBT:SWDRn (BootROM 用)</p> <p>(n=ソフトウェアウォッチドッグ搭載数-1)</p>
備考	CPU ごとにソフトウェアウォッチドッグは実装されます。CPU ごとにアクセス制限を持たせます。1 つの CPU が、リセット要因を発行することによって、初期化対象レジスタをすべて初期化します



3.1.9. メインクロックスーパーバイザリセット

メインクロックスーパーバイザリセットについて説明します。

表 3-9 メインクロックスーパーバイザリセット

発生要因	メインクロックを監視用 CSV がリセット異常検出(リセット発生条件) した場合に発生します。
解除要因	リセット発行後、自動的に解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパーバイザ出力許可レジスタ - デバッグシステム - POWER Manage
対応フラグ	SYSC_RSTCAUSEUR:CSVMOR SYSC_RSTCAUSEBT:CSVMOR (BootROM 用)



3.1.10. PLL クロックスーパーバイザリセット

PLL クロックスーパーバイザリセットについて説明します。

表 3-10 PLL クロックスーパーバイザリセット

発生要因	PLLクロックを監視用CSVがリセット異常検出(リセット発生条件)した場合に発生します。
解除要因	リセット発行後、自動的に解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパーバイザ出力許可レジスタ - デバッグシステム - POWER Manage
対応フラグ	SYSC_RSTCAUSEUR:CSVPR SYSC_RSTCAUSEBT:CSVPR (BootROM 用)



3.1.11. 拡張クロックスーパーバイザリセット

拡張クロックスーパーバイザリセットについて説明します。

表 3-11 拡張クロックスーパーバイザリセット

発生要因	PLLクロックを監視用CSVがリセット異常検出(リセット発生条件)した場合に発生します。
解除要因	リセット発行後、自動的に解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパーバイザ出力許可レジスタ - デバッグシステム - POWER Manage
対応フラグ	SYSC_EXCSVRSTCAUSEUR:CSVSSR SYSC_EXCSVRSTCAUSEBT:CSVSSR (BootROM 用)



3.1.12. プロファイルエラーリセット

プロファイルエラーリセットについて説明します。

表 3-12 プロファイルエラーリセット

発生要因	PSS から RUN への遷移において RUN プロファイルにエラーを検出した場合に発生します。
解除要因	リセット発行後、自動的に解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ (CPUMD ビット) - クロックスーパバイザ出力許可レジスタ - デバッグシステム - POWER Manage
対応フラグ	SYSC_RSTCAUSEUR:PRFERR SYSC_RSTCAUSEBT:PRFERR (BootROM 用)



3.1.13. ソフトウェアトリガハードウェアリセット

ソフトウェアトリガハードウェアリセットについて説明します。

表 3-13 ソフトウェアトリガハードウェアリセット

発生要因	SYSC_RSTCNRn:SWHRSTn (n=0~1) 制御レジスタに 0xA5 を書き込むことにより発生(CPU ごとのみアクセス制限を設ける)
解除要因	リセット発行後、自動的に解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパーバイザ出力許可レジスタ - デバッグシステム - POWER Manage
対応フラグ	SYSC_RSTCAUSEUR:SHRSTn SYSC_RSTCAUSEBT:SHRSTn (BootROM 用) (n=CPU 搭載数-1)
備考	CPU ごとに制御レジスタは実装されます。1 つの CPU が、リセット要因を発行することによって、初期化対象レジスタをすべて初期化します。



3.1.14. ソフトウェアリセット

ソフトウェアリセットについて説明します。

表 3-14 ソフトウェアリセット

発生要因	SYSC_RSTCNTRn:SWRSTn (n=0~1) 制御レジスタに 0x5A を書き込むことにより発生(CPU ごとのみアクセス制限を設ける)
解除要因	リセット発行後、自動的に解除
初期化対象	下記を除くすべてのレジスタ <ul style="list-style-type: none"> - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパーバイザ出力許可レジスタ - デバッグシステム - ソフトウェアウォッチドッグ設定レジスタ - ハードウェアウォッチドッグ設定レジスタ - ソフトウェアウォッチドッグトリガシーケンス監視ロジック - ハードウェアウォッチドッグトリガシーケンス監視ロジック - システムコントローラのクロック設定レジスタ(プロファイルで設定可能なレジスタが対象) - POWER Manage
対応フラグ	SYSC_RSTCAUSEUR:SRSTn SYSC_RSTCAUSEBT:SRSTn (BootROM 用) (n=CPU 搭載数-1)
備考	CPU ごとに制御レジスタは実装されます。1 つの CPU が、リセット要因を発行することによって、初期化対象レジスタをすべて初期化します。

<注意事項>

- ソフトウェアリセットを発生させる場合、事前にハードウェア/ソフトウェアウォッチドッグカウンタをクリアしてから SYSC_RSTCNTR0/1 に書き込みを行ってください。SYSC_RSTCNTR0/1 に書き込み後、リセットが解除されるまでウォッチドッグカウンタのクリアを行わないでください。



3.1.15. nSRST 端子入力リセット

nSRST 端子入力リセットについて説明します。

表 3-15 nSRST 端子入力リセット

発生要因	nSRST 端子へ"L"レベルを入力することにより発生
解除要因	nSRST 端子へ"H"レベルを入力することにより解除
初期化対象	下記を除くすべてのレジスタ - PONR 安定待ち回路 - 高速 CR 発振安定待ち回路 - 低速 CR 発振安定待ち回路 - リセット後の RAM 保証制御回路 - リセット要因レジスタ - ウォッチドッグリセット監視起動 CPU 選択レジスタ - CPU 制御レジスタ(CPUMD ビット) - クロックスーパーバイザ出力許可レジスタ - デバッグシステム - システムコントローラのクロック設定レジスタ(プロファイルで設定可能なレジスタが対象) - POWER Manage
対応フラグ	SYSC_RSTCAUSEUR:SRSTX SYSC_RSTCAUSEBT:SRSTX (BootROM 用)
備考	128ビットのセキュリティキー (デバイスセキュリティキー)解除状態時に nSRST 端子からの入力が有効です。



3.1.16. TRSTX 端子入力リセット

TRSTX 端子入力リセットについて説明します。

表 3-16 TRSTX 端子入力リセット

発生要因	TRSTX 端子へ"L"レベルを入力することにより発生
解除要因	TRSTX 端子へ"H"レベルを入力することにより解除
初期化対象	デバッグシステム
対応フラグ	なし



3.1.17. ソフトウェアデバッガリセット

ソフトウェアデバッガリセットについて説明します。

表 3-17 ソフトウェアデバッガリセット

発生要因	SYSC_RSTCNTRn:DBGRn (n=0～1) 制御レジスタに 0xDA を書き込むことにより発生(CPU ごとのみアクセス制限を設ける)
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグシステム
対応フラグ	なし
備考	CPU ごとに制御レジスタを実装します。CPU ごとにアクセス制限を持たせる。各 CPU に対応するリセットが要因を発生させると初期化対象レジスタを初期化します。



3.2. デバイス内部リセット

本デバイスの内部リセット信号について説明します。

リセット信号は各ドメインに対応して出力します。

- CPU リセット
- 周辺リセット
- I/O リセット
- FLASH レギュレータリセット

3.2.1. CPU リセット

CPU リセットについて説明します。

表 3-18 CPU リセット

信号出力	機能	種別	リセット要因
SYSPORX	Core/Debug グループ nSYSPORESET に接続 リセットします。	ハードウェアリセット	パワーオンリセット 内部電源低電圧検出 INITX 端子入力
CPU0RSTX	Core/Debug グループ nRESET0 に接続 デバグロジック以外をリセットし ます。 1CPU1 モード時には常にリセット をアサートします。	ハードウェアリセット	RSTX 端子入力 クロック停止待ちタイムアウト ハードウェアウォッチドッグ ソフトウェアウォッチドッグ 5V 外部電源低電圧検出 クロックスーパバイザリセット プロファイルエラーリセット ソフトウェアトリガハードウェアリ セット nSRST 端子入力
		ソフトウェアリセット	ソフトウェアリセット
CPU1RSTX	Core/Debug グループ nRESET1 に接続 デバグロジック以外をリセットし ます。 1CPU0 モード時には常にリセット をアサートします。	ハードウェアリセット	RSTX 端子入力 クロック停止待ちタイムアウト ハードウェアウォッチドッグ ソフトウェアウォッチドッグ 5V 外部電源低電圧検出 クロックスーパバイザリセット プロファイルエラーリセット ソフトウェアトリガハードウェアリ セット nSRST 端子入力
		ソフトウェアリセット	ソフトウェアリセット
DBGRSTX	デバグガリセット	デバグガリセット	ソフトウェアデバグガリセット



3.2.2. 周辺回路リセット

周辺回路のリセットについて説明します。

表 3-19 周辺回路リセット

信号出力	機能	種別	リセット要因
RSTX_SCUH	SYSC の CLOCK manage のリセット 試験制御回路のリセット	ハードウェアリセット	nSRST 端子入力を除く、すべてのリセット要因
RSTX_POWER	SYSC の POWER manage のリセット	ハードウェアリセット	パワーオンリセット 内部電源低電圧検出 INTX 端子入力 ハードウェアウォッチドッグ
RSTX_SCU	SYSC のリセット	ハードウェアリセット	すべてのリセット要因
		ソフトウェアリセット	すべてのリセット要因
RSTX_SCUP	高速 CR 発振安定待ち回路 低速 CR 発振安定待ち回路 リセット後の RAM 保証制御回路 上記のリセット	ハードウェアリセット	パワーオンリセット 内部電源低電圧検出 INITX 端子入力 (ラッチ/解除延長なし)
RSTX_PD1	ハードウェアウォッチドッグ ソフトウェアウォッチドッグ 外部割込み回路 上記のリセット	ハードウェアリセット	すべてのリセット要因
		ソフトウェアリセット	すべてのリセット要因
RSTX_PD1H	ハードウェアウォッチドッグ ソフトウェアウォッチドッグ 上記の設定レジスタ以外のリセット	ハードウェアリセット	すべてのリセット要因
RSTX_PD2	DMAC Common Peripheral グループ High Performance Matrix Application Specific Peripheral グループ 上記のリセット	ハードウェアリセット	すべてのリセット要因
		ソフトウェアリセット	すべてのリセット要因
RSTX_PD2H	セキュリティ回路のリセット	ハードウェアリセット	nSRST 端子入力を除く、すべてのリセット要因
RSTX_PD3	Memory & Config グループのリセット	ハードウェアリセット	すべてのリセット要因
		ソフトウェアリセット	すべてのリセット要因



3.2.3. I/O リセット

I/O リセットについて説明します。

表 3-20 I/O リセット

信号出力	機能	種別	リセット要因
RSTX_IO	I/O セルの初期化	ハードウェアリセット	パワーオンリセット 外部電源低電圧検出 RSTX 端子入力 INITX 端子入力

I/O リセット(RSTX_IO)が発行されるとデバイスの外部端子につながる I/O セルを初期化します。
初期化中 I/O セルはハイインピーダンス状態です。
初期化のタイミングはリセット要因を受け付けると非同期に I/Oセルを初期化します。この状態は内部リセットが発行されかつリセット要因が解除されるまで保持します。このことは瞬発したリセット要因発生時にも内部リセット発行まで初期化状態を保持することを示します。

信号出力	機能	種別	リセット要因
RSTX_RD2	Common Peripheral Group	ハードウェアリセット	すべてのリセット要因
		ソフトウェアリセット	すべてのリセット要因

周辺回路リセット(RSTX_PD2)が発行されると I/O ポートのデータ方向レジスタとポート入力許可レジスタが初期化され、デバイスの外部端子につながる I/O セルはハイインピーダンス状態となります。



3.2.4. FLASH リセット

FLASH リセットについて説明します。

表 3-21 FLASH リセット

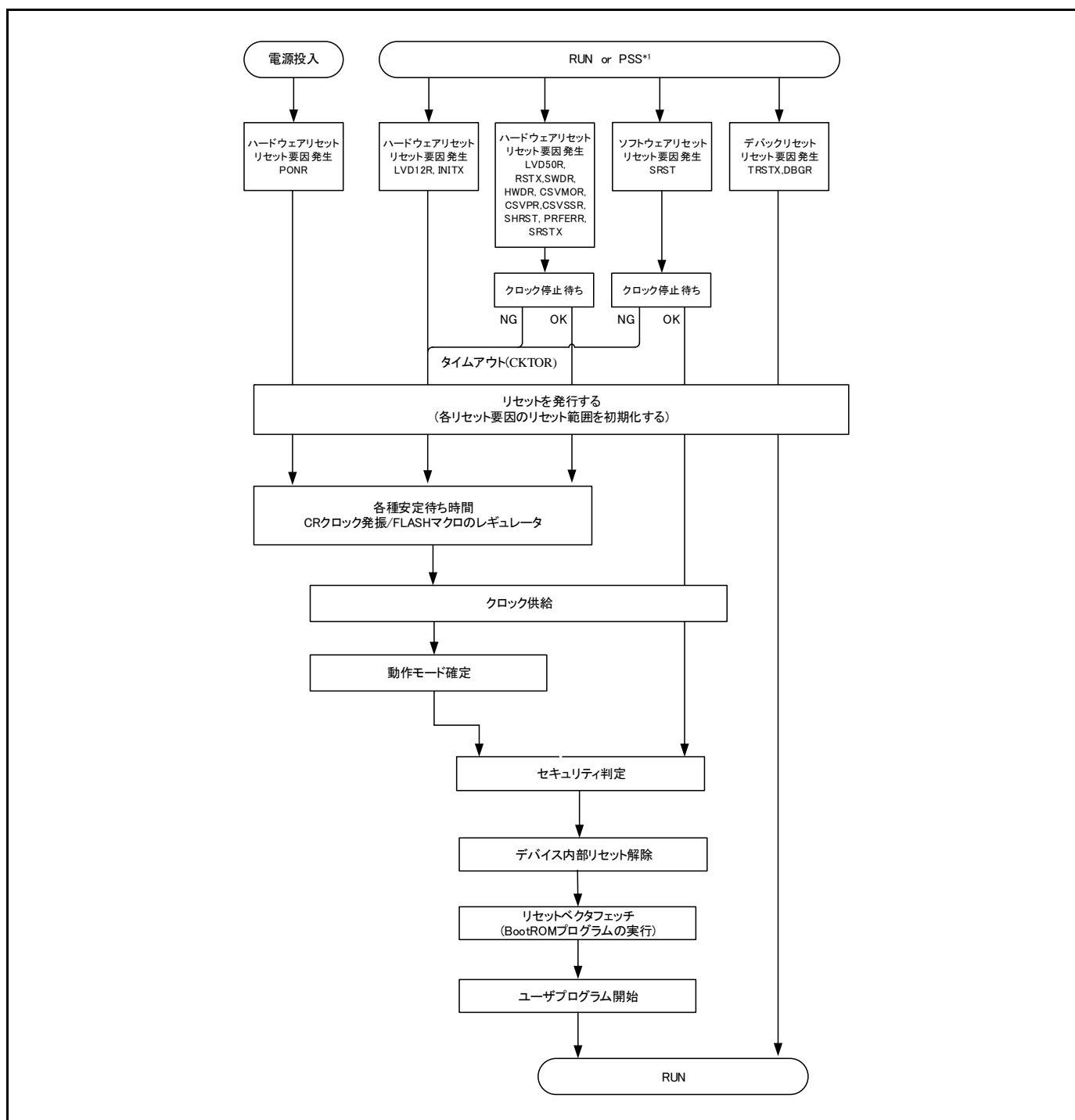
信号出力	機能	種別	リセット要因
FRSTRX	TCFLASH/WorkFLASH レギュレータリセット	ハードウェアリセット	パワーオンリセット 内部電源低電圧検出 INTX 端子入力 ハードウェアウォッチドッグ
		低消費電力制御	CPU0 が PSS に遷移
FRSTX	TCFLASH/WorkFLASH リセット	ハードウェアリセット	すべてのリセット要因
		ソフトウェアリセット	すべてのリセット要因
		低消費電力制御	CPU0 が PSS に遷移

FRSTRX は各 FLASH マクロ内蔵のレギュレータの初期化を行います。リセット要因を受け付けると非同期にレギュレータを初期化します。初期化解除はリセット復帰シーケンスの中で自動的行われます。

3.3. リセットシーケンス

本デバイスのリセットシーケンスについて説明します。リセット要因の解除により、初期状態からプログラムおよびハードウェア動作を開始します。このリセットから動作開始にいたる一連の動作をリセットシーケンスとよびます。以下、リセットシーケンスについて説明します。

図 3-1 リセットシーケンス



**<注意事項>**

- PSS(図中*1)のとき, CPU を介するリセット要因(ソフトウェアトリガハードウェアリセット, ソフトウェアリセット, ソフトウェアデバッガリセット)は発生しません。

3.4. リセット解除後の動作

リセット解除後のシーケンスについて説明します。

リセット要因とリセット解除後の動作を以下に示します。

表 3-22 リセット解除後の動作

リセット分類	リセット要因	リセット解除後の動作				
		モード評価	セキュリティ評価	安定待ち動作	動作クロック	RAM 保証
ハードウェアリセット	パワーオンリセット	Yes	Yes	PONR 高速 CR 低速 CR FLASH	高速 CR	No
	内部電源低電圧検出 INITX 端子入力	Yes	Yes	高速 CR 低速 CR FLASH	高速 CR	No
	クロック停止待ちタイムアウト	Yes	Yes	No	高速 CR	No
	ハードウェアウォッチドッグ	Yes	Yes	FLASH	高速 CR	Yes
	RSTX 端子入力 ソフトウェアウォッチドッグ 外部電源低電圧検出 プロファイルエラーリセット ソフトウェアトリガハードウェアリセット	Yes	Yes	No	高速 CR	Yes
	クロックスーパバイザリセット	Yes	Yes	No	高速 CR	No
	nSRST 端子入力	No	Yes	No	変化なし	Yes
ソフトウェアリセット	ソフトウェアリセット	No	Yes	No	変化なし	Yes
デバッグリセット	TRSTX 端子入力 ソフトウェアデバッグリセット	No	No	No	変化なし	Yes

ハードウェアリセットにはリセット復帰後に RAM 保証するリセット要因と、そうでないリセット要因があります。RAM 保証しないリセット要因は RAM アクセスとは無関係にリセットを発行するためリセット後の RAM の内容は保証されません。

RAM 保証するリセット要因はデバイス内部のすべてのクロック停止確認後にリセットを行うため、アクセス中の RAM 内容を破壊しません。しかし RAM 保証するリセット要因でもクロック停止が一定時間内に完了しない場合、強制リセット発行するタイマカウンタを持ち、定められた時間内に停止応答がない場合、強制リセットを発行します(クロック停止待ちタイムアウトリセット)。この場合、リセット復帰後の RAM の内容は保証されません。

<注意事項>

- ソフトウェアデバッグリセット解除後, ETB (Embedded Trace Buffer) の RAM は保証されません。



3.4.1. ハードウェアリセット動作

図 3-2 パワーオンリセット時の動作

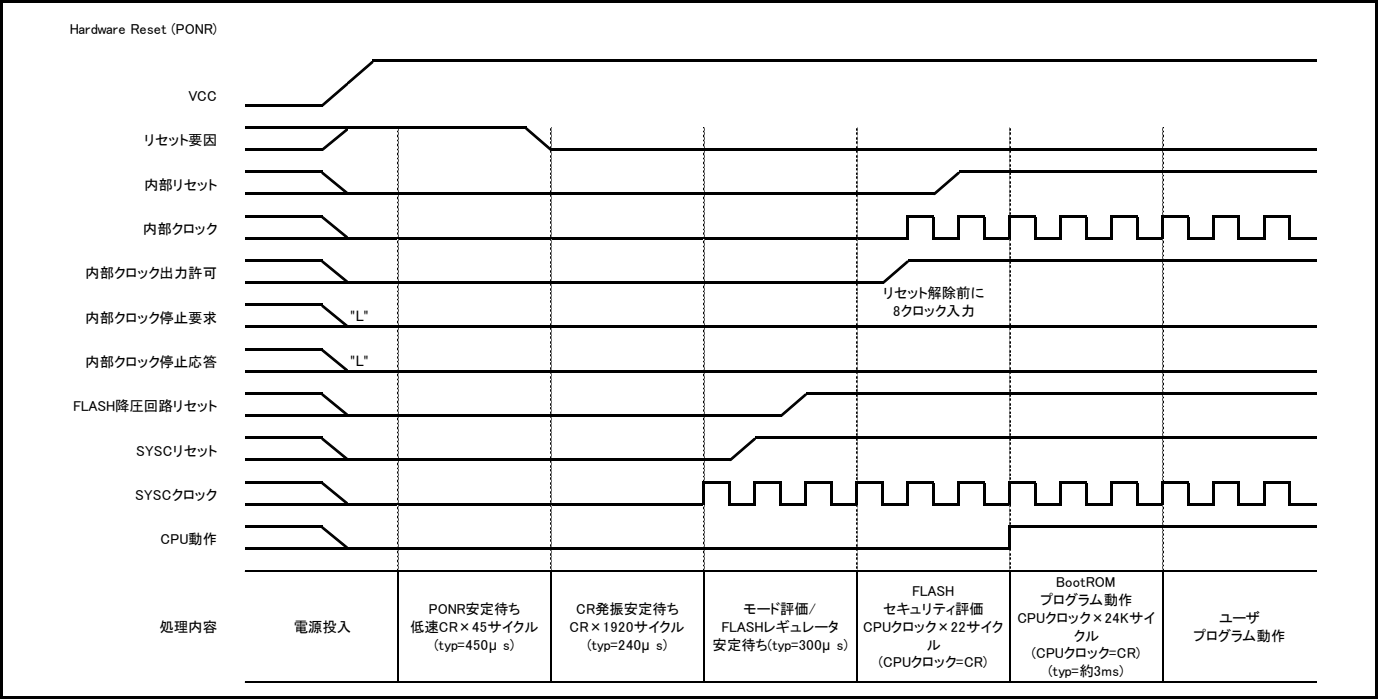


図 3-3 内部低電圧検出 or INITX 端子時の動作

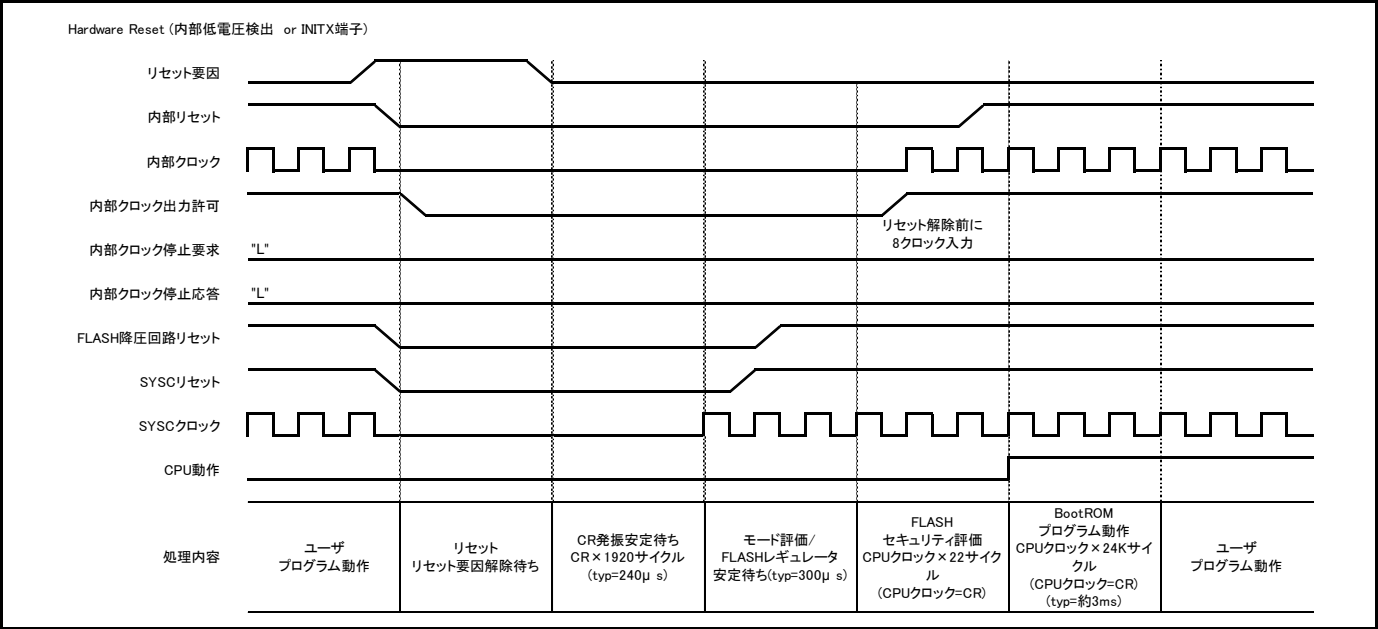




図 3-4 クロック停止待ちタイムアウト時の動作

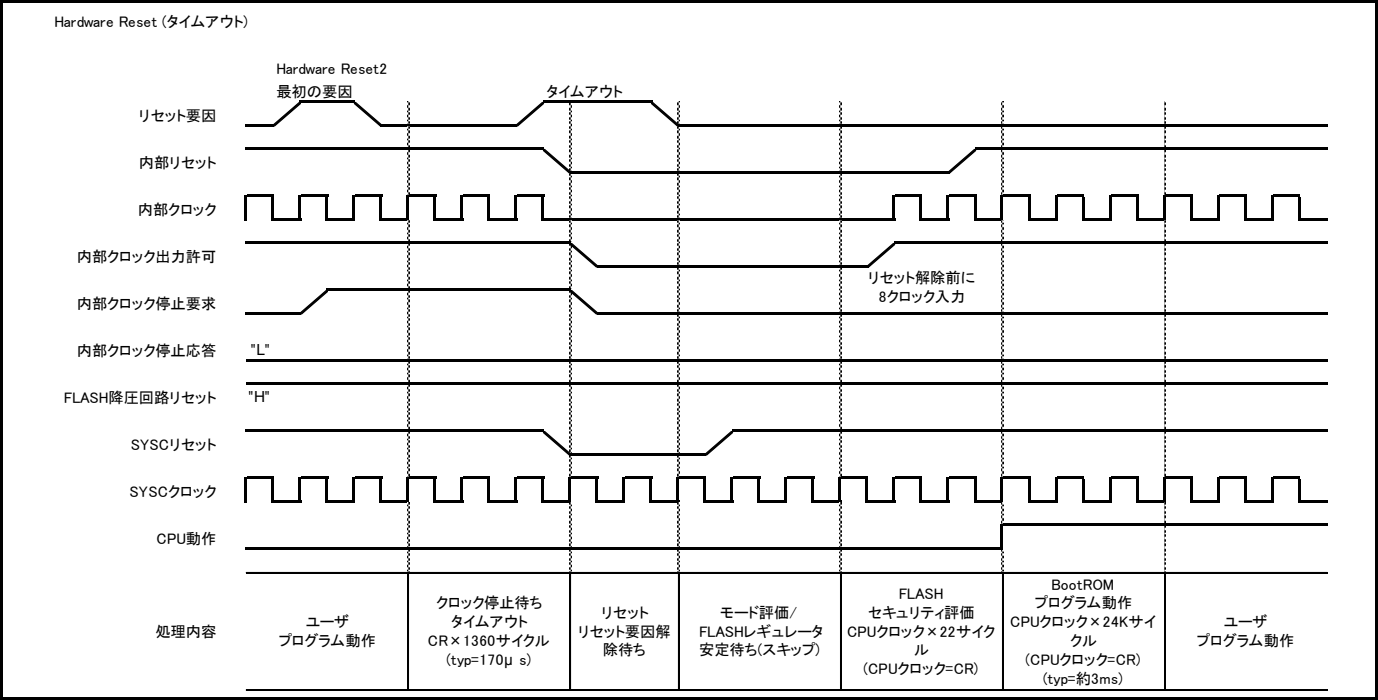


図 3-5 ハードウェアウォッチドッグ時の動作

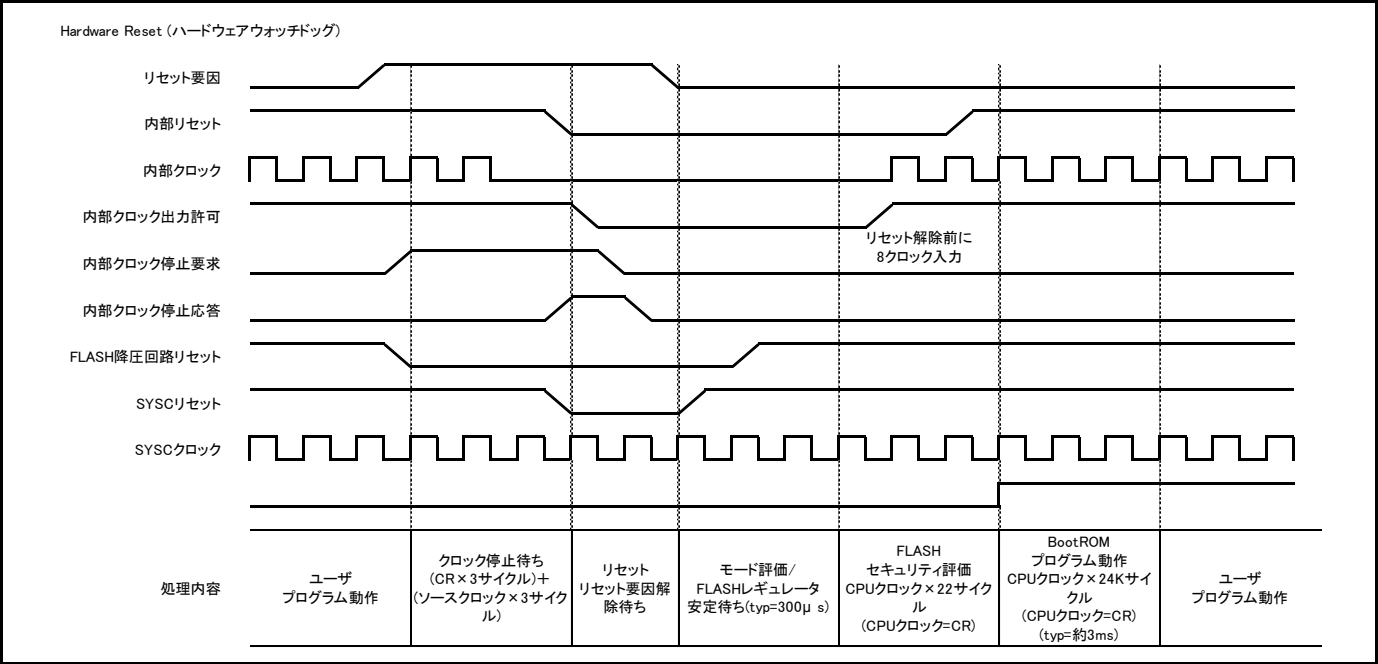
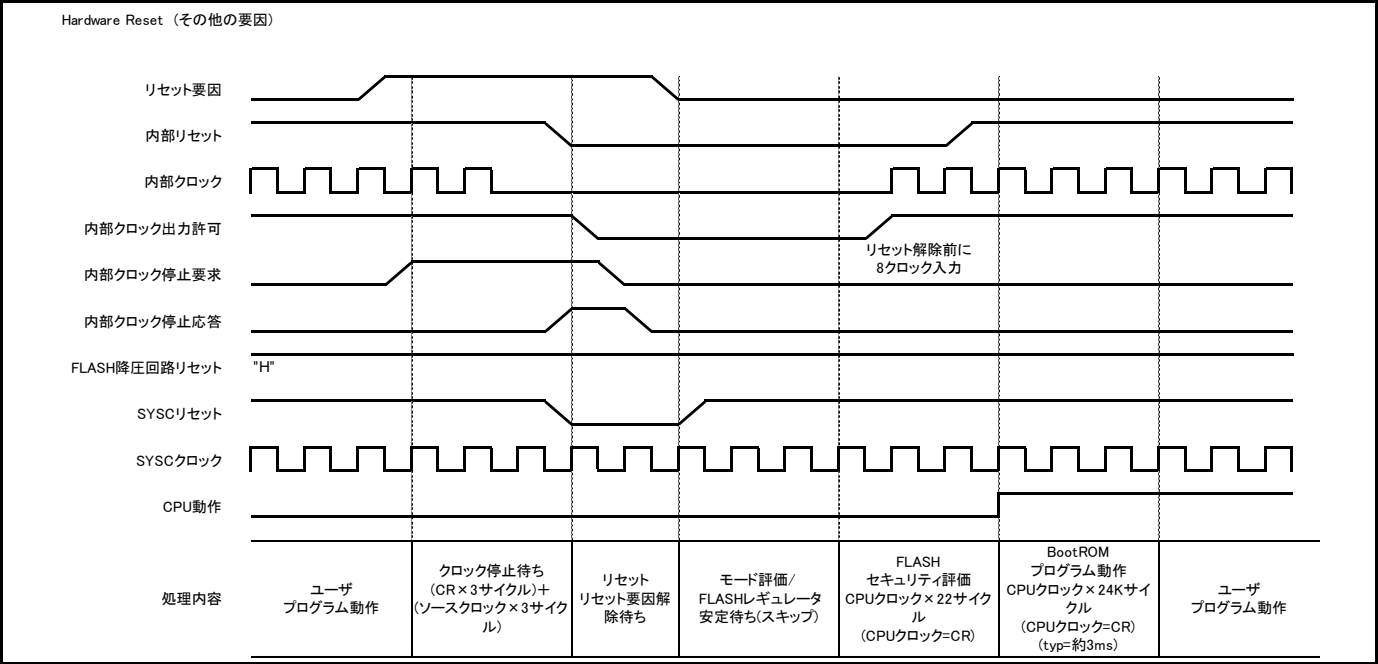




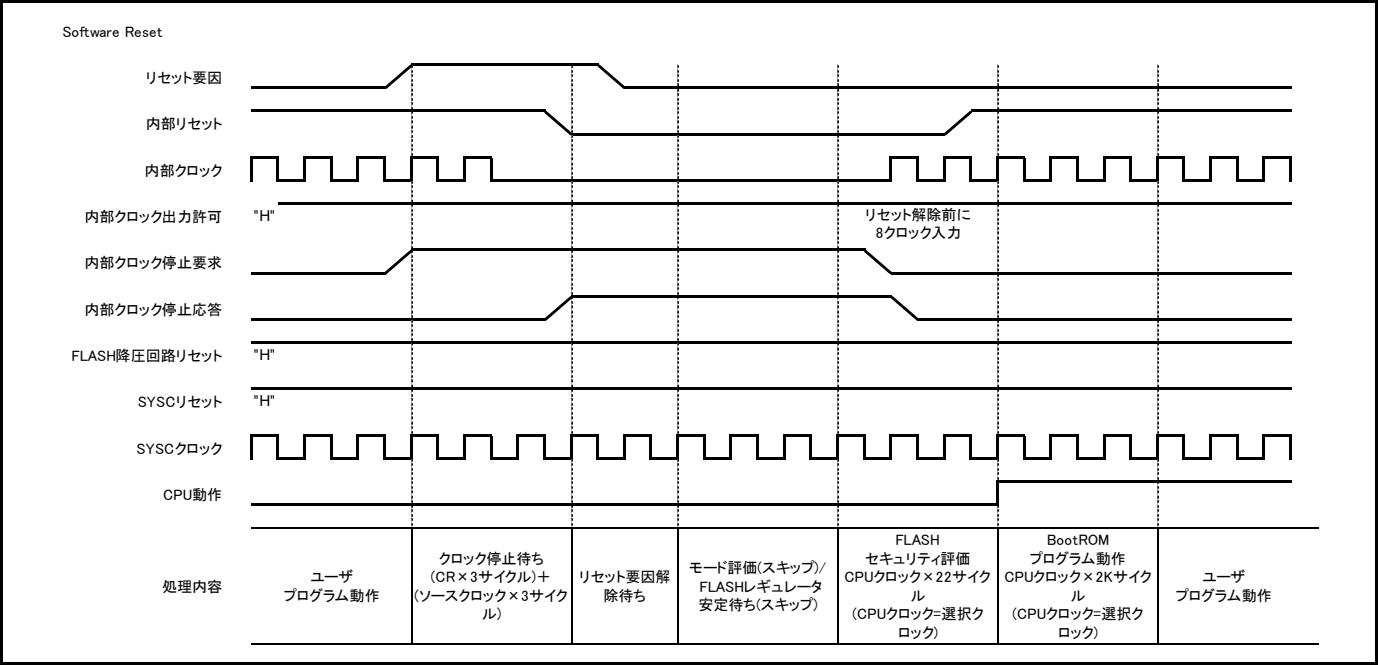
図 3-6 その他のハードウェアリセット要因発生時の動作





3.4.2. ソフトウェアリセット動作

図 3-7 ソフトウェアリセット要因発生時の動作





3.4.3. PSS からの復帰動作

図 3-8 ハードウェアリセットからの復帰 (パワーオンリセット要因)

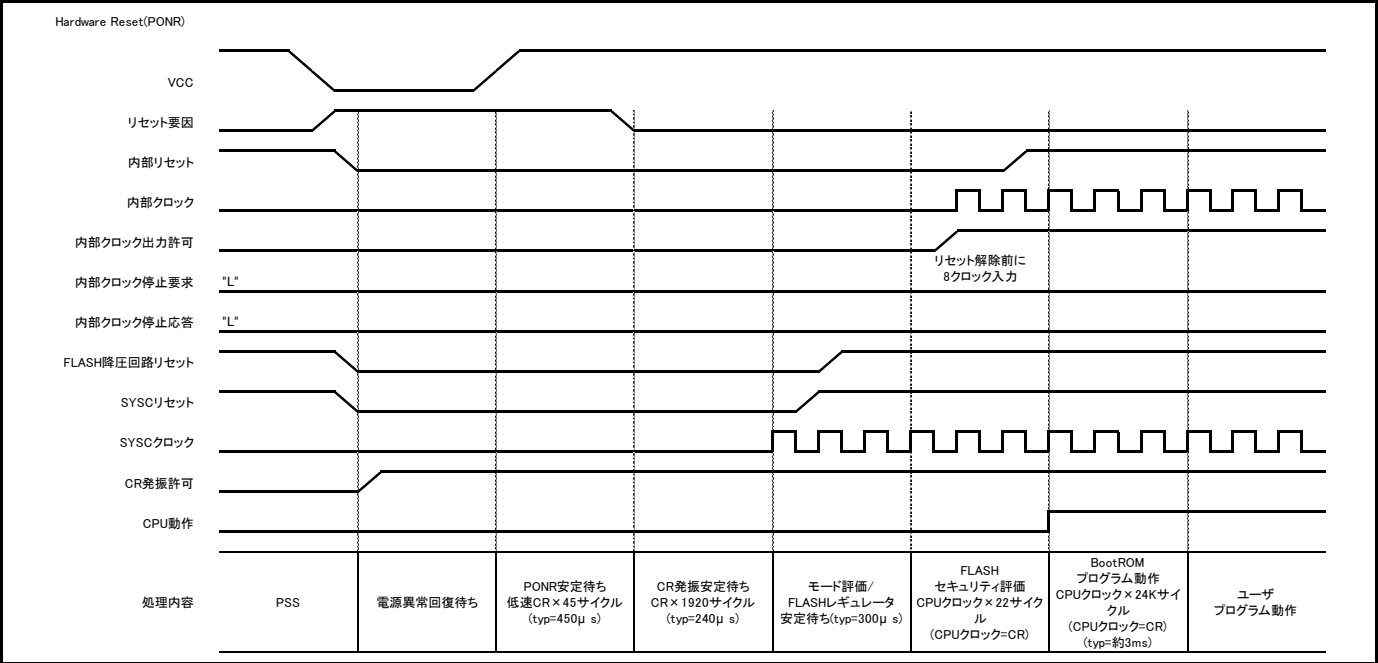


図 3-9 ハードウェアリセットからの復帰(内部低電圧要因 or INITX 端子要因)

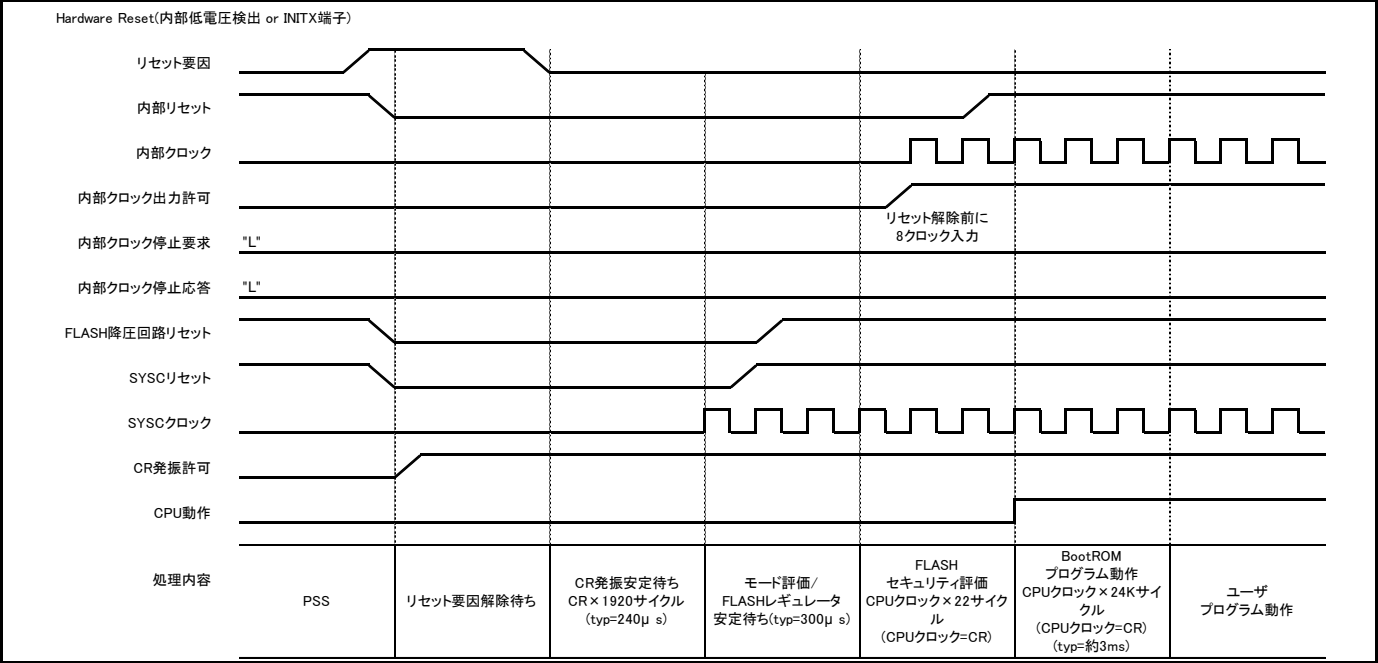


図 3-10 ハードウェアリセットからの復帰 (ハードウェアウォッチドッグ要因)

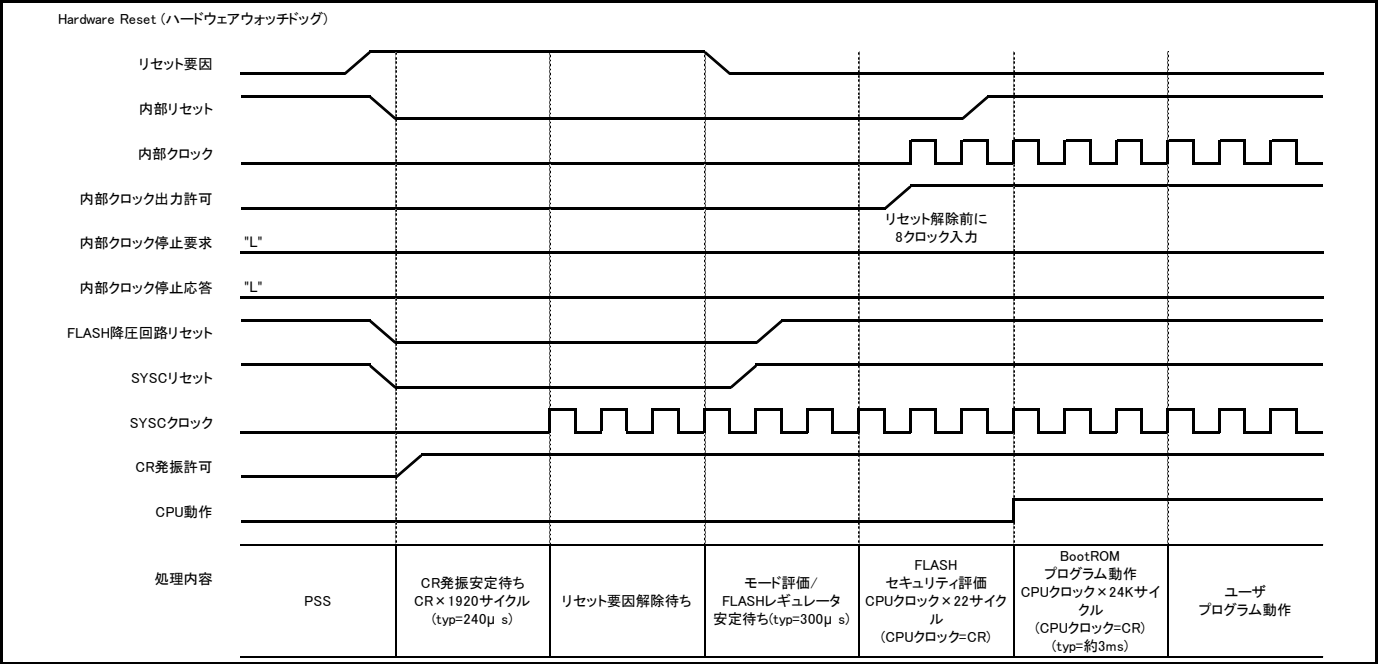


図 3-11 ハードウェアリセットからの復帰(その他のハードウェアリセット要因)

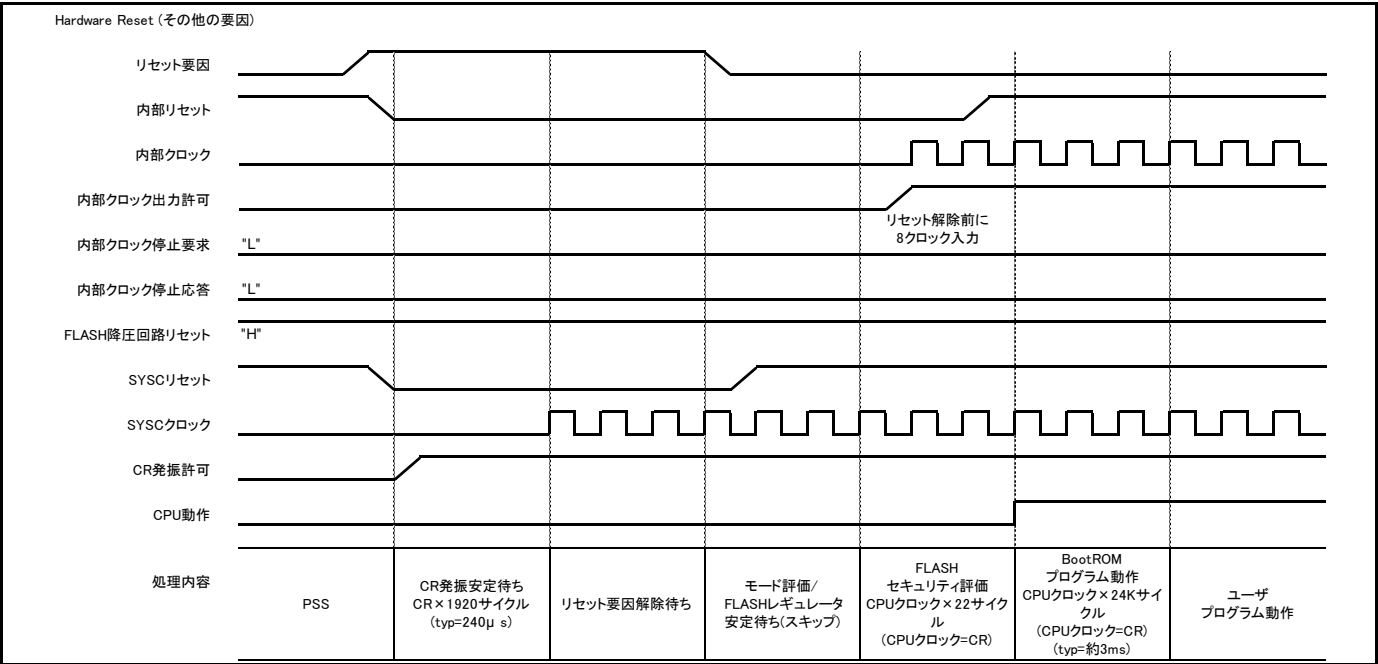
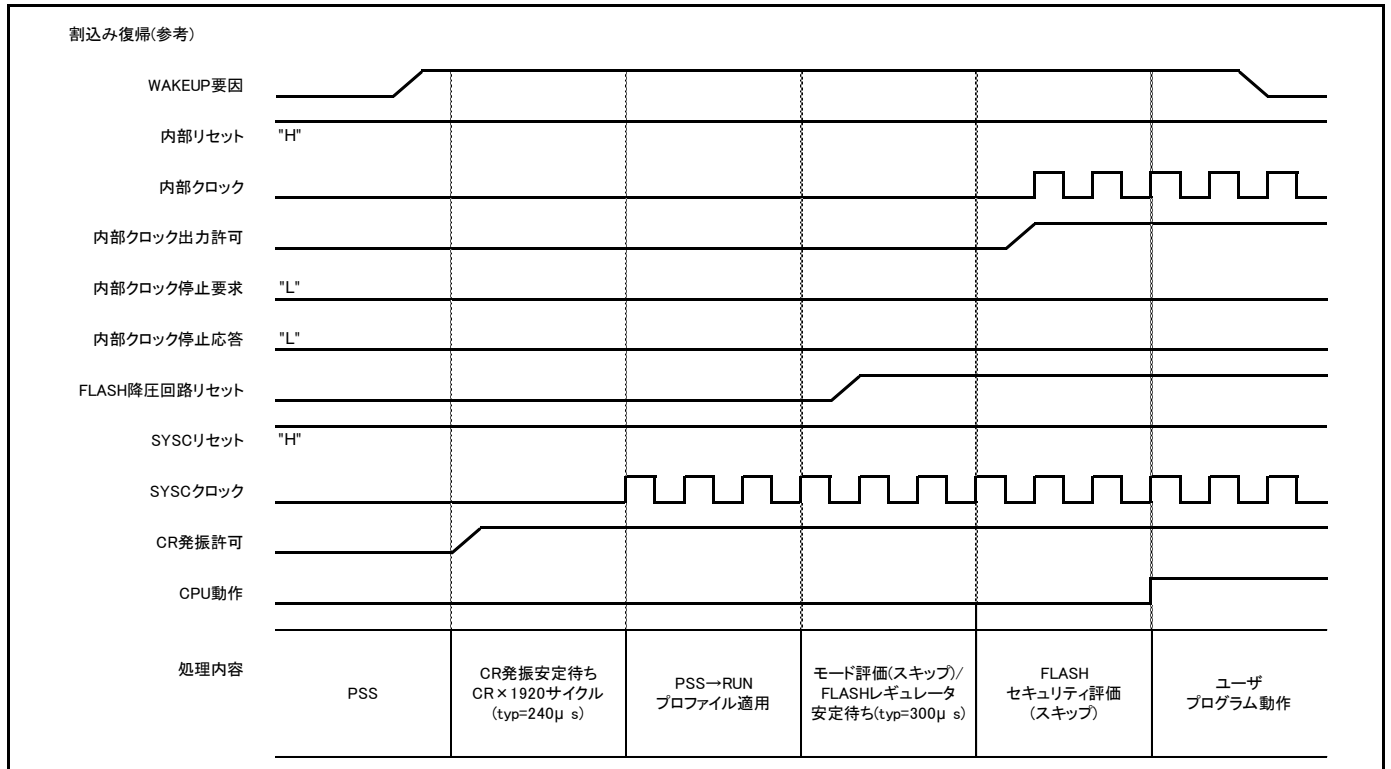


図 3-12 割込みからの復帰



<注意事項>

- 図中のクロックは実際のサイクル数とは一致していません。

4. レジスタ

リセットのレジスタ一覧について説明します。

表 4-1 リセット レジスタ一覧

レジスタ略称	レジスタ名	参照先
SYSC_RSTCNTR0	リセットコントロールレジスタ 0	4.1
SYSC_RSTCNTR1	リセットコントロールレジスタ 1	4.2
SYSC_RSTCAUSEUR	ユーザリセット要因レジスタ	4.3
SYSC_EXCSVRSTCAUSEUR	ユーザ拡張 CSV リセット要因レジスタ	4.4
SYSC_RSTCAUSEBT	BootROM リセット要因レジスタ	4.5
SYSC_EXCSVRSTCAUSEBT	BootROM 拡張 CSV リセット要因レジスタ	4.6
SYSC_WRBOOTCPUSEL	ウォッチドッグリセット監視起動 CPU 選択レジスタ	4.7



4.1. リセットコントロールレジスタ 0 (SYSC_RSTCNTR0)

CPU0のリセットをコントロールするレジスタです。ソフトウェアリセット、ソフトウェアトリガハードウェアリセット、デバッグリセットを発生させます。書換えにはレジスタアクセスごとにプロテクトキーコードの入力が必要です。

Bit	31	30	29	28	27	26	25	24
Field	DBGRO							
R/W 属性	R0,W							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	SWHRST0							
R/W 属性	R0,W							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	SWRST0							
R/W 属性	R0,W							
保護属性	WPS							
初期値	00000000							

[bit31:24] DBGRO[7:0]: ソフトウェアデバッグリセットレジスタビット

bit[31:24]	説明
書込み時	CPU0 のデバッグリセットを発生するレジスタです。 デバッグリセットを発生させるには 0xDA をこのレジスタに書込んでください。 デバッグリセットについての詳細は「3.1 リセット要因」参照してください。
読出し時	このレジスタは書込みされた後自動的にクリアされます。読出し値は常に"0"です。

[bit23:16] SWHRST0[7:0]: ソフトウェアトリガハードウェアリセットレジスタビット

bit[23:16]	説明
書込み時	CPU0 のソフトウェアトリガハードウェアリセットを発生するレジスタです。 ソフトウェアトリガハードウェアリセットを発生させるには 0xA5 をこのレジスタに書込んでください。 ソフトウェアトリガハードウェアリセットについての詳細は「3.1 リセット要因」参照してください。
読出し時	このレジスタは書込みされた後自動的にクリアされます。読出し値は常に"0"です。

[bit15:8] Reserved: 予約ビット



[bit7:0] SWRST0[7:0]: ソフトウェアリセットレジスタビット

bit[7:0]	説明
書き込み時	CPU0 のソフトウェアリセットを発生するレジスタです。 ソフトウェアリセットを発生させるには 0x5A をこのレジスタに書込んでください。 ソフトウェアリセットについての詳細は「3.1 リセット要因」参照してください。
読出し時	このレジスタは書き込みされた後自動的にクリアされます。読出し値は常に"0"です。

<注意事項>

- 書き込み時にはプロテクトキーコードの入力が必要です。
- 上記に違反した場合にはバスエラーを返します。
- 本レジスタは CPU0 のみライトアクセス可能です。リードアクセスに制限はありません。



4.2. リセットコントロールレジスタ 1 (SYSC_RSTCNTR1)

CPU1のリセットをコントロールするレジスタです。ソフトウェアリセット、ソフトウェアトリガハードウェアリセット、デバッグリセットを発生させます。書換えにはレジスタアクセスごとにプロテクトキーコードの入力が必要です。

Bit	31	30	29	28	27	26	25	24
Field	DBGRI							
R/W 属性	R0,W							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	SWHRST1							
R/W 属性	R0,W							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	SWRST1							
R/W 属性	R0,W							
保護属性	WPS							
初期値	00000000							

[bit31:24] DBGRI[7:0]: ソフトウェアデバッグリセットレジスタビット

bit[31:24]	説明
書込み時	CPU1 のデバッグリセットを発生するレジスタです。 デバッグリセットを発生させるには 0xDA をこのレジスタに書込んでください。 デバッグリセットについての詳細は「3.1 リセット要因」参照してください。
読出し時	このレジスタは書込みされた後自動的にクリアされます。読出し値は常に"0"です。

[bit23:16] SWHRST1[7:0]: ソフトウェアトリガハードウェアリセットレジスタビット

bit[23:16]	説明
書込み時	CPU1 のソフトウェアトリガハードウェアリセットを発生するレジスタです。 ソフトウェアトリガハードウェアリセットを発生させるには 0xA5 をこのレジスタに書込んでください。 ソフトウェアトリガハードウェアリセットについての詳細は「3.1 リセット要因」参照してください。
読出し時	このレジスタは書込みされた後自動的にクリアされます。読出し値は常に"0"です。

[bit15:8] Reserved: 予約ビット



[bit7:0] SWRST1[7:0]: ソフトウェアリセットレジスタビット

bit[7:0]	説明
書き込み時	CPU1 のソフトウェアリセットを発生するレジスタです。 ソフトウェアリセットを発生させるには 0x5A をこのレジスタに書込んでください。 ソフトウェアリセットについての詳細は「3.1 リセット要因」参照してください。
読出し時	このレジスタは書き込みされた後自動的にクリアされます。読出し値は常に"0"です。

<注意事項>

- 書き込み時にはプロテクトキーコードの入力が必要です。
- 上記に違反した場合にはバスエラーを返します。
- 本レジスタは CPU1 のみライトアクセス可能です。リードアクセスに制限はありません。



4.3. ユーザリセット要因レジスタ(SYSC_RSTCAUSEUR)

最後のリセット要因を表示するレジスタです。次のリセットの前にクリアしてください。もしクリアされない場合、新しいリセット要因が追記され、最終の要因の識別が困難です。このレジスタはパワーオンリセット(PONR)により初期化されます。書換えにはレジスタアクセスごとにプロテクトキーコード入力が必要です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved				Reserved	CSVPR	Reserved	CSVMOR
R/W 属性	R0,W0				R0,W0	R,W	R0,W0	R,W
保護属性	WPS							
初期値	0000				0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved		SHRST1	SHRST0	Reserved		SRST1	SRST0
R/W 属性	R0,W0		R,W	R,W	R0,W0		R,W	R,W
保護属性	WPS							
初期値	00		0	0	00		0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved		SWDR1	SWDR0	HWDR	PRFERR	SRSTX	Reserved
R/W 属性	R0,W0		R,W	R,W	R,W	R,W	R,W	R0,W0
保護属性	WPS							
初期値	00		0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved	LVD50R	Reserved	RSTX	CKTOR	INITX	LVD12R	PONR
R/W 属性	R0,W0	R,W	R0,W0	R,W	R,W	R,W	R,W	R,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	1

[bit31:28] Reserved: 予約ビット

[bit27] Reserved: 予約ビット

[bit26] CSVPR: クロックスーパーバイザリセット(PLL クロック) 検出ビット

本ビットはクロックスーパーバイザリセット(PLL クロック) 検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit25] Reserved: 予約ビット

[bit24] CSV MOR: クロックスーパーバイザリセット(メインクロック)検出ビット

本ビットはクロックスーパーバイザリセット(メインクロック)検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit23] Reserved: 予約ビット

[bit22] Reserved : 予約ビット

[bit21] SHRST1: ソフトウェアトリガハードウェアリセット検出ビット

本ビットは CPU1 ソフトウェアトリガハードウェアリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit20] SHRST0: ソフトウェアトリガハードウェアリセット検出ビット

本ビットは CPU0 ソフトウェアトリガハードウェアリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit19] Reserved: 予約ビット

[bit18] Reserved: 予約ビット

[bit17] SRST1: ソフトウェアリセット検出ビット

本ビットは CPU1 ソフトウェアリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit16] SRST0: ソフトウェアリセット検出ビット

本ビットは CPU0 ソフトウェアリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit15] Reserved: 予約ビット

[bit14] Reserved: 予約ビット

[bit13] SWDR1: CPU1 ソフトウェアウォッチドッグリセット検出ビット

本ビットは CPU1 ソフトウェアウォッチドッグリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit12] SWDR0: CPU0 ソフトウェアウォッチドッグリセット検出ビット

本ビットは CPU0 ソフトウェアウォッチドッグリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit11] HWDR: ハードウェアウォッチドッグリセット検出ビット

本ビットはハードウェアウォッチドッグリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit10] PRFERR: プロファイルエラーリセット検出ビット

本ビットはプロファイルエラーリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit9] SRSTX: nSRST 端子リセット検出ビット

本ビットは nSRST 端子リセットを確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit8] Reserved: 予約ビット

[bit7] Reserved: 予約ビット

[bit6] LVD50R: 外部電源(5.0V) 低電圧検出リセット検出ビット

本ビットは外部電源(5.0V) 低電圧検出リセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit5] Reserved: 予約ビット

[bit4] RSTX: RSTX 端子入力リセット検出ビット

本ビットは RSTX 端子入力リセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit3] CKTOR: クロック停止待ちタイムアウトリセット検出ビット

本ビットはクロック停止待ちタイムアウトリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit2] INITX: INITX 端子入力リセット検出ビット

本ビットは INITX 端子入力リセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit1] LVD12R: 内部電源低電圧検出リセット検出ビット

本ビットは内部電源低電圧検出リセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。LVD12R によるリセット発生時には, PONR(bit0) 検出ビットもセットされます。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit0] PONR: パワーオンリセット検出ビット

本ビットはパワーオンリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

<注意事項>

- 書込み時にはプロテクトキーコードの入力が必要です。
- 上記に違反した場合にはバスエラーを返します。
- Multi CPU モードにおいて、本レジスタはCPU0のみライトアクセス可能です。リードアクセスに制限はありません。

4.4. ユーザ拡張 CSV リセット要因レジスタ (SYSC_EXCSVSTCAUSEUR)

最後のリセット要因を表示するレジスタです。次のリセットの前にクリアしてください。もしクリアされない場合、新しいリセット要因が追記され、最終の要因の識別が困難です。このレジスタはパワーオンリセット(PONR)により初期化されます。書換えにはレジスタアクセスごとにプロテクトキーコード入力が必要です。

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	CSVSSR							
R/W 属性	R0,W0							R,W
保護属性	WPS							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] CSVSSR[7:0]: クロックスーパーバイザリセット(Sub system PLL クロック) 検出ビット

本ビットはクロックスーパーバイザリセット(Sub system PLL クロック) 検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

CSVSSR[0]は FlexRay/RDC 用 PLL のクロックスーパーバイザリセットを検出するビットです。

CSVSSR[7:1]は予約ビットです。

<注意事項>

- 書き込み時にはプロテクトキーコードの入力が必要です。
- 上記に違反した場合にはバスエラーを返します。
- Multi CPU モードにおいて、本レジスタは CPU0 のみライトアクセス可能です。リードアクセスに制限はありません。



4.5. BootROM リセット要因レジスタ (SYSC_RSTCAUSEBT)

最後のリセット要因を表示するレジスタです。次のリセットの前にクリアしてください。もしクリアされない場合、新しいリセット要因が追記され、最終の要因の識別が困難です。このレジスタはパワーオンリセット(PONR)により初期化されます。書換えにはレジスタアクセスごとにプロテクトキーコード入力が必要です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved				Reserved	CSVPR	Reserved	CSVMOR
R/W 属性	R0, W0				R0, W0	R, W	R0, W0	R, W
保護属性	WPS							
初期値	0000				0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved		SHRST1	SHRST0	Reserved		SRST1	SRST0
R/W 属性	R0,W0		R,W	R,W	R0,W0		R,W	R,W
保護属性	WPS							
初期値	00		0	0	00		0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved		SWDR1	SWDR0	HWDR	PRFERR	SRSTX	Reserved
R/W 属性	R0, W0		R, W	R, W	R, W	R, W	R, W	R0, W0
保護属性	WPS							
初期値	00		0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved	LVD50R	Reserved	RSTX	CKTOR	INITX	LVD12R	PONR
R/W 属性	R0, W0	R, W	R0, W0	R, W	R, W	R, W	R, W	R, W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	1

[bit31:28] Reserved: 予約ビット

[bit27] Reserved: 予約ビット

[bit26] CSVPR: クロックスーパーバイザリセット(PLL クロック) 検出ビット

本ビットはクロックスーパーバイザリセット(PLL クロック) 検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit25] Reserved: 予約ビット

[bit24] CSVMOR: クロックスーパーバイザリセット(メインクロック) 検出ビット

本ビットはクロックスーパーバイザリセット(メインクロック) 検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit23] Reserved: 予約ビット

[bit22] Reserved : 予約ビット

[bit21] SHRST1: ソフトウェアトリガハードウェアリセット検出ビット

本ビットは CPU1 ソフトウェアトリガハードウェアリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit20] SHRST0: ソフトウェアトリガハードウェアリセット検出ビット

本ビットは CPU0 ソフトウェアトリガハードウェアリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit19] Reserved: 予約ビット

[bit18] Reserved: 予約ビット

[bit17] SRST1: ソフトウェアリセット検出ビット

本ビットは CPU1 ソフトウェアリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit16] SRST0: ソフトウェアリセット検出ビット

本ビットは CPU0 ソフトウェアリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit15] Reserved: 予約ビット

[bit14] Reserved: 予約ビット

[bit13] SWDR1: CPU1 ソフトウェアウォッチドッグリセット検出ビット

本ビットは CPU1 ソフトウェアウォッチドッグリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit12] SWDR0: CPU0 ソフトウェアウォッチドッグリセット検出ビット

本ビットは CPU0 ソフトウェアウォッチドッグリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit11] HWDR: ハードウェアウォッチドッグリセット検出ビット

本ビットはハードウェアウォッチドッグリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit10] PRFERR: プロファイルエラーリセット検出ビット

本ビットはプロファイルエラーリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit9] SRSTX: nSRST 端子リセット検出ビット

本ビットは nSRST 端子リセットを確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit8] Reserved: 予約ビット

[bit7] Reserved: 予約ビット

[bit6] LVD50R: 外部電源(5.0V) 低電圧検出リセット検出ビット

本ビットは外部電源(5.0V) 低電圧検出リセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit5] Reserved: 予約ビット

[bit4] RSTX: RSTX 端子入力リセット検出ビット

本ビットは RSTX 端子入力リセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit3] CKTOR: クロック停止待ちタイムアウトリセット検出ビット

本ビットはクロック停止待ちタイムアウトリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit2] INITX: INITX 端子入力リセット検出ビット

本ビットは INITX 端子入力リセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit1] LVD12R: 内部電源低電圧検出リセット検出ビット

本ビットは内部電源低電圧検出リセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。LVD12R によるリセット発生時には, PONR(bit0) 検出ビットもセットされます。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

[bit0] PONR: パワーオンリセット検出ビット

本ビットはパワーオンリセット検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

<注意事項>

- 書込み時にはプロテクトキーコードの入力が必要です。
- 上記に違反した場合にはバスエラーを返します。
- Multi CPU モードにおいて、本レジスタはCPU0のみライトアクセス可能です。リードアクセスに制限はありません。

4.6. BootROM 拡張 CSV リセット要因レジスタ (SYSC_EXCSVSTCAUSEBT)

最後のリセット要因を表示するレジスタです。次のリセットの前にクリアしてください。もしクリアされない場合、新しいリセット要因が追記され、最終の要因の識別が困難です。このレジスタはパワーオンリセット(PONR)により初期化されます。書換えにはレジスタアクセスごとにプロテクトキーコード入力が必要です。

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	CSVSSR							
R/W 属性	R0,W0							R,W
保護属性	WPS							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] CSVSSR[7:0]: クロックスーパーバイザリセット(Sub system PLL クロック) 検出ビット

本ビットはクロックスーパーバイザリセット(Sub system PLL クロック) 検出を確認するビットです。次のリセットが発生する前に"0"を書き込むことによってクリアしてください。

bit	説明
0	リセットが発生していません。
1	リセットが発生。

CSVSSR[0]はFlexRay/RDC 用 PLL のクロックスーパーバイザリセットを検出するビットです。

CSVSSR[7:1]は予約ビットです。

<注意事項>

- 書込み時にはプロテクトキーコードの入力が必要です。
- 上記に違反した場合にはバスエラーを返します。
- Multi CPU モードにおいて、本レジスタはCPU0のみライトアクセス可能です。リードアクセスに制限はありません。



4.7. ウォッチドッグリセット監視起動 CPU 選択レジスタ (SYSC_WRBOOTCPUSEL)

本レジスタは CPU0 の異常動作(故障を含む)を、ハードウェアウォッチドッグとソフトウェアウォッチドッグ 0 の連続リセット発生回数を監視することによって判定します。異常動作と判定する連続リセット発生回数を設定してください。また設定回数に一致した場合に起動させる CPU を選択できます。条件が一致した場合、選択された CPU を強制起動します。このレジスタはハードウェアリセットの内、パワーオンリセット (PONR)、内部低電圧検出(LVD12R)、外部端子 INITX により初期化できます。書換えにはレジスタアクセスごとにプロテクトキーコード入力が必要です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved	CPUBS	Reserved				HWRCLR	SWRCLR
R/W 属性	R0,W0	R/W	R0,W0				R0,W	R0,W
保護属性	WPS							
初期値	0	1	0000				0	0

Bit	15	14	13	12	11	10	9	8
Field	HWRCC				HWRCS			
R/W 属性	R/W				R,WX			
保護属性	WPS							
初期値	1000				0000			

Bit	7	6	5	4	3	2	1	0
Field	SWRCC				SWRCS			
R/W 属性	R/W				R,WX			
保護属性	WPS							
初期値	1000				0000			

[bit31:23] Reserved: 予約ビット

[bit22] CPUBS: CPU の起動選択ビット

本ビットは、ハードウェアウォッチドッグまたはソフトウェアウォッチドッグのリセット連続発生回数と、比較設定回数が一致した場合に、起動させる CPU を選択します。

bit	説明
0	CPU0 を起動します。
1	CPU1 を起動します (初期値)。

また、CPUMD、HALT レジスタの関係を以下に示します。

CPU 動作	CPUMD[2:0] レジスタ ^{*2}	WDG リセット 発生回数	CPUBS レジスタ	HALT[1:0]レジスタ 初期値 ^{*1}	備考
Multi CPU	"0XX"	設定値と一致	0	"10"	CPU0 から起動
			1	"01"	CPU1 から起動
		不一致 または 比較動作なし	don't care	"10"	CPU0 から起動
SingleCPU	"100"	don't care	don't care	"10"	1CPU0 モード
	"101"			"01"	1CPU1 モード

X : don't care

*1 : HALT[1:0] = SYSC_SPECPUFCFR:HEN[1:0]に対応します。

*2: CPUMD[2:0] = SYSC_SPECPUFCFR:CPUMD[2:0]に対応します。

[bit21:18] Reserved: 予約ビット

[bit17] HWRCLR: ハードウェアウォッチドッグリセット回数を数えるカウンタのクリア

本ビットに"1"を書き込むことで HWRCS をクリアします。

"0"書き込みは無効です。読出しは常に"0"が読出されます。

[bit16] SWRCLR: ソフトウェアウォッチドッグリセット回数を数えるカウンタのクリア

本ビットに"1"を書き込むことで SWRCS をクリアします。

"0"書き込みは無効です。読出しは常に"0"が読出されます。

[bit15:12] HWRCC[3:0]: ハードウェアウォッチドッグリセット回数比較設定ビット

ハードウェアウォッチドッグリセット連続発生回数を比較する値を設定します。1～15 回まで設定可能です。

bit[15:12]	説明
0000	比較動作なし
0001	1 回
0010	2 回
0011	3 回
0100	4 回
0101	5 回
0110	6 回
0111	7 回
1000	8 回
1001	9 回
1010	10 回
1011	11 回
1100	12 回
1101	13 回
1110	14 回
1111	15 回

"0000"を設定した場合、比較動作を行いません。

[bit11:8] HWRCs[3:0]: ハードウェアウォッチドッグリセット連続発生回数表示ビット

ハードウェアウォッチドッグリセットの連続発生回数を表示します。1～15 回まで表示可能です。

bit[3:0]	説明
0000	発生なし
0001	1 回
0010	2 回
0011	3 回
0100	4 回
0101	5 回
0110	6 回
0111	7 回
1000	8 回
1001	9 回
1010	10 回
1011	11 回
1100	12 回
1101	13 回
1110	14 回
1111	15 回

本ビットはリセット解除直前に判定動作を行います。

ハードウェアウォッチドッグリセット要因(HWDR) 検出している場合は、インクリメントします。

HWRCC と一致した場合、HWRCs の値は保持されます。

[bit7:4] SWRCC[3:0]: ソフトウェアウォッチドッグ 0 リセット回数比較設定ビット

ソフトウェアウォッチドッグ 0 の連続発生回数を比較する値を設定します。1～15 回までの設定可能です。

bit[7:4]	説明
0000	比較動作なし
0001	1 回
0010	2 回
0011	3 回
0100	4 回
0101	5 回
0110	6 回
0111	7 回
1000	8 回
1001	9 回
1010	10 回
1011	11 回
1100	12 回
1101	13 回
1110	14 回
1111	15 回

"0000"を設定した場合、比較動作を行いません。

[bit3:0] SWRCS[3:0]: ソフトウェアウォッチドッグ 0 連続発生回数表示ビット

ソフトウェアウォッチドッグ 0 の連続発生回数を表示します。1～15 回までの表示可能です。

bit[3:0]	説明
0000	発生なし
0001	1 回
0010	2 回
0011	3 回
0100	4 回
0101	5 回
0110	6 回
0111	7 回
1000	8 回
1001	9 回
1010	10 回
1011	11 回
1100	12 回
1101	13 回
1110	14 回
1111	15 回

本ビットはリセット解除の直前に判定動作を行います。

ソフトウェアウォッチドッグリセット要因(SWDR0) 検出している場合は、インクリメントします。

SWRCC と一致した場合、SWRCS の値は保持されます。



＜注意事項＞

- 書き込み時にはプロテクトキーコードの入力が必要です。
- 違反した場合にはバスエラーを返します。
- 本レジスタは CPU0/CPU1 のどちらの CPU からアクセス可能です。

CHAPTER 5: クロックシステム

クロックシステムについて説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意



1. 概要

クロックシステムの概要を説明します。

クロックシステムは **MCU** を動作させるための様々なクロックを提供します。

MCU の外部/内蔵発振クロックを総称してソースクロックとよびます。ソースクロックは、**MCU** を動作させるために使用する内部動作クロックの生成元となるクロックです。

クロックシステムは以下のソースクロックを生成します。

- 高速 **CR** クロック
- 低速 **CR** クロック
- メインクロック/メイン 2 分周クロック
- **PLL** クロック

外部/内蔵発振回路から高速 **CR** クロック、低速 **CR** クロック、メインクロックを生成し、さらにメインクロックを分周することによってメイン 2 分周クロックを生成します。

また、メインクロックおよび内蔵 **PLL** 発振回路から **PLL** クロックを生成します。

同一のソースクロックから生成される内部動作クロックを使用する領域をクロックドメインとよびます。クロックドメインは 1 つ以上の内部動作クロックを持っています。

クロックシステムは以下のクロックドメインにクロックを供給します。

- クロックドメイン 0 (システム領域)
- クロックドメイン 4 (外部出力クロック領域)

クロックドメインごとに使用するソースクロックを選択できます。各クロックドメインでは選択したソースクロックを分周し、内部動作クロックとして **MCU** 内にクロックを分配します。

特長

クロックシステムの特長を以下に示します。

- 3種類のクロックソース(高速 CR 発振, 低速 CR 発振, メイン発振)を使用可能
- タイマによるクロックソースの発振安定待ち時間の確保
- 発振安定待ち時間中のソースクロック出力マスク
- 3種類のクロックソースによるタイマカウント(ソースクロックタイマ)
- 4種類のソースクロック(高速 CR クロック, 低速 CR クロック, メインクロック/メイン2分周クロック, PLL クロック)の生成
- 安定待ちカウンタによる PLL 発振安定待ち時間の確保
- 発振安定待ち時間中の PLL クロック出力マスク
- CSV によるメインクロック, PLL クロックの監視
- 2種類のクロックドメイン(CD0, CD4)へのクロック供給
- 高速 CR クロックによるシステム起動
- リセットを介さない動的なクロック切換え
- 低消費電力対応のクロックゲーティング機能
- ソースクロックの分周クロック生成
- リセット時のクロック停止応答

2. 構成

クロックシステムの構成を説明します。

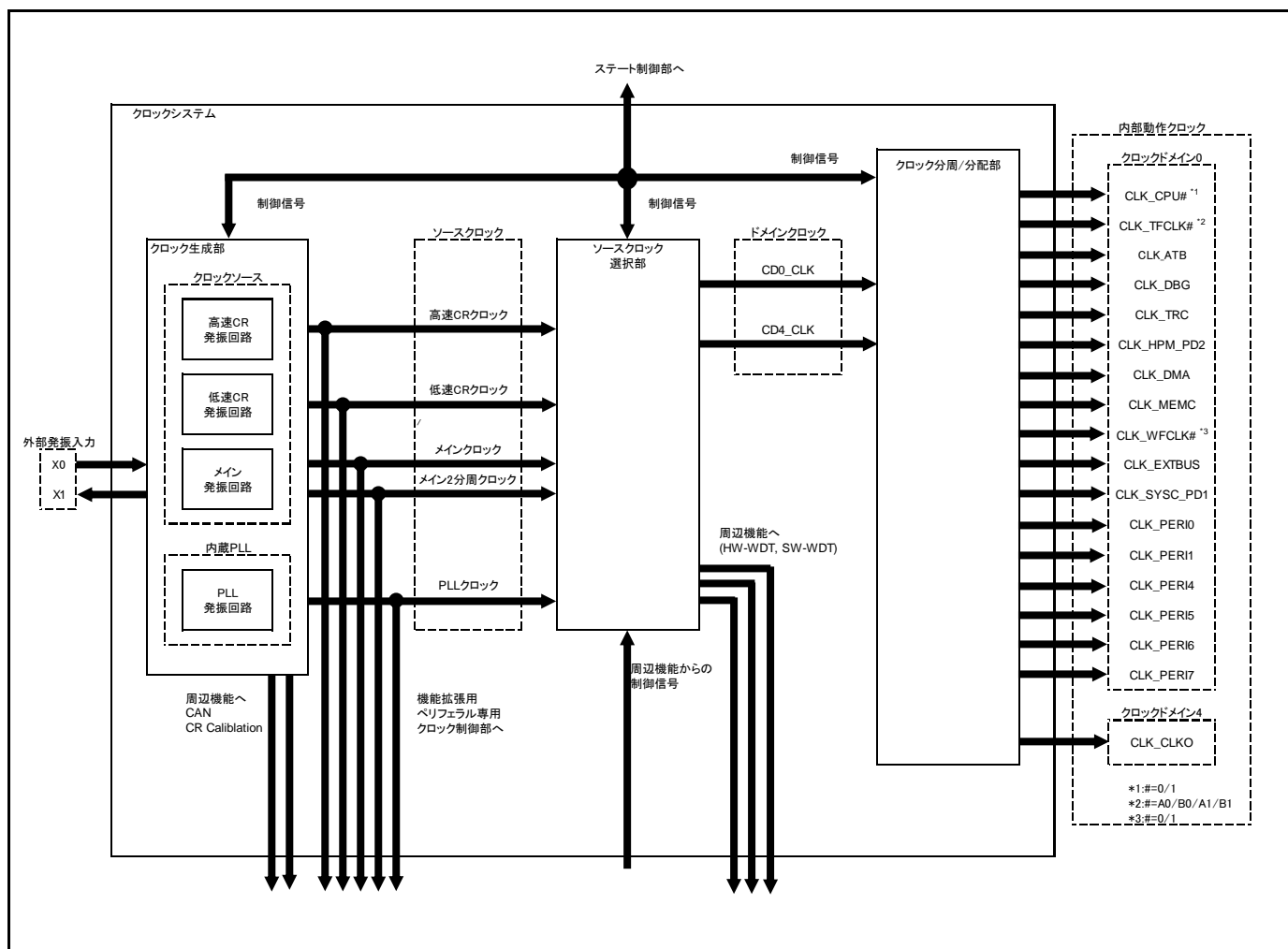
2.1. クロックシステム全体構成・ブロックダイアグラム

クロックシステムの全体構成を説明します。

クロックシステム ブロックダイアグラム

図 2-1 にクロックシステムのブロックダイアグラムを示します。

図 2-1 クロックシステム ブロックダイアグラム



a) クロック生成部

クロック生成部は、外部/内蔵発振回路よりソースクロックを生成します。

b) ソースクロック

ソースクロックとは MCU の外部/内蔵発振クロックの総称です。

– 高速 CR クロック

高速 CR クロックは、MCU 内蔵高速 CR 発振器の出力クロックです。

– 低速 CR クロック

低速 CR クロックは、MCU 内蔵低速 CR 発振器の出力クロックです。

– メインクロック/メイン 2 分周クロック

メインクロックは、メイン発振端子(X0, X1)に水晶振動子を接続して発生させたクロックです。メイン 2 分周クロックは、メインクロックを 2 分周したクロックです。

– PLL クロック

PLL クロックは、メインクロックを PLL クロック逡倍回路(PLL 発振回路)によって逡倍したクロックです。

c) ソースクロック選択部

ソースクロック選択部は、クロックドメインごとに使用するソースクロックを選択します。

d) ドメインクロック

同一のソースクロックから生成される内部動作クロックを使用する領域をクロックドメインとよびます。ドメインクロックは、クロックドメインごとにソースクロックから選択されたクロックです。

e) クロック分周/分配部

クロック分周/分配部は、ドメインクロックを分周し内部動作クロックを生成します。生成した内部動作クロックを MCU 内の各リソースへ分配します。

f) 内部動作クロック

内部動作クロックとは、MCU 内の各リソースが動作するクロックです。

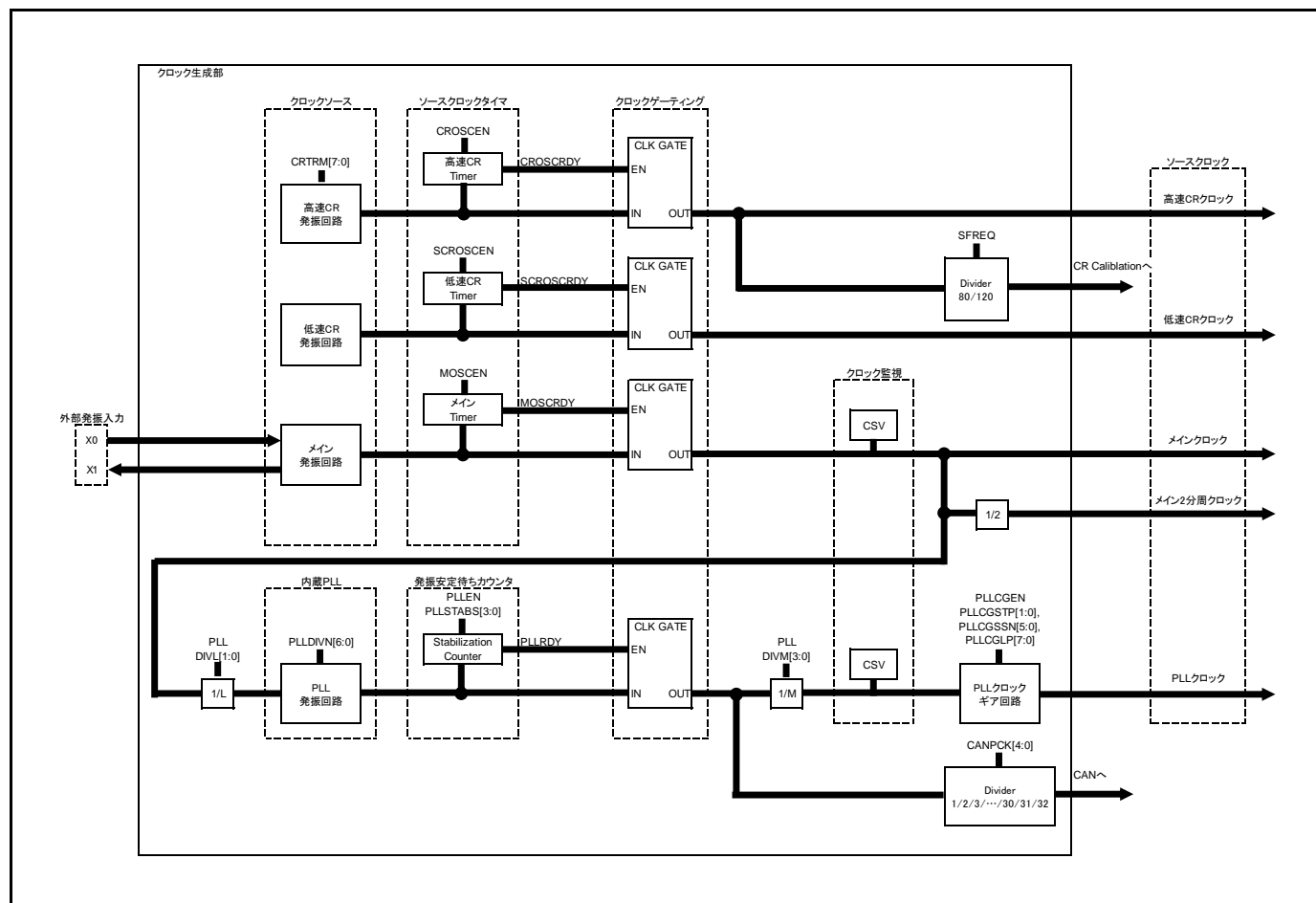
2.2. クロック生成部構成・ブロックダイアグラム

クロック生成部の構成を説明します。

クロック生成部 ブロックダイアグラム

図 2-2 にクロック生成部のブロックダイアグラムを示します。

図 2-2 クロック生成部 ブロックダイアグラム



a) クロックソース

クロックソースとは外部/内蔵発振回路からのクロック発振源です。

- 高速 CR 発振

MCU 内蔵高速 CR 発振器の出力です。

- 低速 CR 発振

MCU 内蔵低速 CR 発振器の出力です。

- メイン発振

メイン発振端子(X0, X1)に水晶振動子を接続して発生させます。

b) ソースクロックタイマ

ソースクロックタイマは、クロックソースの発振安定待ち時間を確保するタイマです。発振安定後は各クロックソースによりカウントされるタイマとして使用可能です。

- 高速 CR クロックタイマ
- 低速 CR クロックタイマ
- メインクロックタイマ

c) 内蔵 PLL

- PLL 発振回路

メインクロックから PLL クロックを生成する回路です。

d) 発振安定待ちカウンタ

内蔵 PLL 発振の発振安定待ち時間を確保するカウンタです。メインクロックによるカウント動作を行います。

e) ソースクロックゲーティング部

ソースクロックゲーティング部は、クロックソースおよび内蔵 PLL 出力からのソースクロック生成を制御します。発振安定待ち時間中は、レジスタによる発振許可設定によらずソースクロックは出力されません。

f) クロック監視

高速 CR クロック/低速 CR クロックを除くソースクロックを監視します。

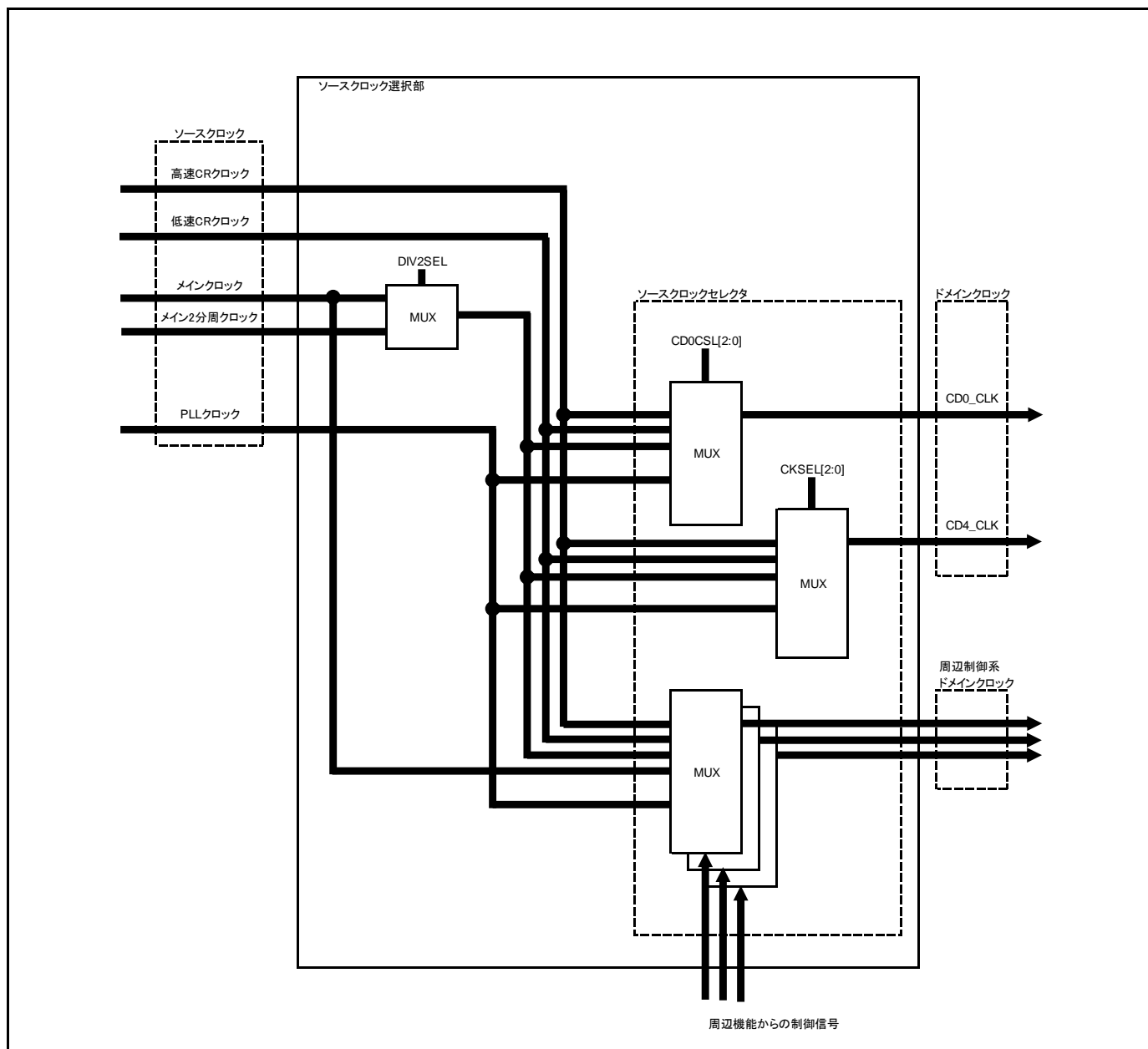
2.3. ソースクロック選択部構成・ブロックダイアグラム

ソースクロック選択部の構成を説明します。

ソースクロック選択部 ブロックダイアグラム

図 2-3 にソースクロック選択部のブロックダイアグラムを示します。

図 2-3 ソースクロック選択部 ブロックダイアグラム



a) ソースクロックセレクタ

クロックドメインごとにソースクロックの中から 1 つのソースクロックを選択します。選択されたクロックがドメインクロックとして出力されます。

b) 周辺制御系ドメインクロック

クロックシステムから独立して制御されるドメインのクロックです。詳細は『ハードウェアウォッチドッグタイマ』, 『ソフトウェアウォッチドッグタイマ』, 『CAN プリスケアラ』の章を参照してください。

- ハードウェアウォッチドッグタイマドメインクロック
- ソフトウェアウォッチドッグタイマドメインクロック 0-1
- CAN プリスケアラドメインクロック

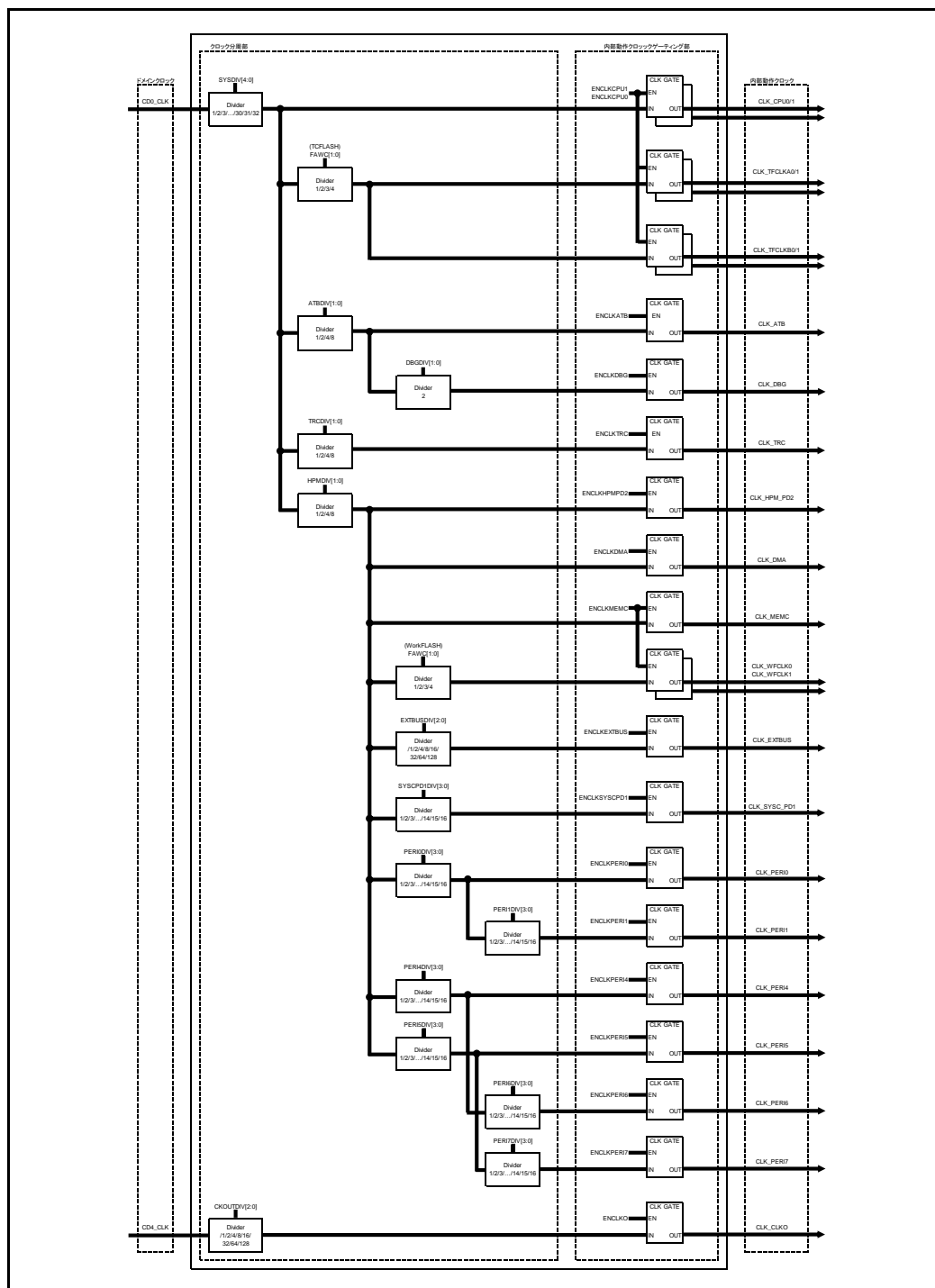
2.4. クロック分配/分周部構成・ブロックダイアグラム

クロック分配/分周部の構成を説明します。

クロック分配/分周部 ブロックダイアグラム

図 2-4 にクロック分配/分周部のブロックダイアグラムを示します。

図 2-4 クロック分配/分周部 ブロックダイアグラム



a) クロック分周部

ドメインクロックを分周し内部動作クロックを生成します。

b) 内部動作クロックゲーティング部

内部動作クロックゲーティング部は、内部動作クロックの発振許可/禁止を制御します。



3. 動作説明

クロックシステムの動作について説明します。

3.1. ソースクロック生成制御

ソースクロックの生成制御について説明します。

ソースクロックの発振許可/禁止

- ハードリセットにより、外部/内蔵発振回路からのソースクロック(高速 CR クロック, 低速 CR クロック, メインクロック/メイン 2 分周クロック)は発振許可状態になります。一方, PLL クロックは発振禁止状態になります。
- システム動作中には RUN/PSS プロファイルレジスタにより各ソースクロックの発振許可/禁止を制御できます。ソースクロックの発振許可/禁止は, 該当するソースクロックがシステムで使用されていない場合のみ制御可能です。RUN において高速 CR クロック/低速 CR クロックを発振禁止にはできません。
- PLL 発振を許可する場合, メインクロックは発振許可されていなければなりません。メインクロックが発振許可されていない場合, プロファイルエラーを生成します。

表 3-1 ソースクロック発振許可/禁止状態一覧

ソースクロック	初期状態	RUN	PSS
高速 CR クロック	発振許可	発振許可	発振許可/禁止 選択可能
低速 CR クロック	発振許可	発振許可	発振許可/禁止 選択可能
メインクロック メイン 2 分周クロック	発振許可	発振許可/禁止 選択可能	発振許可/禁止 選択可能
PLL クロック	発振禁止	発振許可/禁止 選択可能	発振許可/禁止 選択可能

3.2. PLL クロック制御

PLL クロックの制御について説明します。

クロックシステムは PLL 発振回路を内蔵しており、メインクロックから PLL クロックを生成します。PLL 発振回路について発振許可/禁止、安定待ち時間設定および通倍設定を行うことが可能です。

(1) PLL 動作説明

以下に、PLL クロック動作を説明します。

1. PLL クロック発振安定待ち時間制御レジスタにより、PLL クロックの発振安定待ち時間を設定します。
2. RUN/PSS プロファイルレジスタのクロックソース発振許可レジスタ(SYSC_CKSRER)で発振許可ビットを発振許可にすることにより、PLL 回路が発振を開始します。
3. PLL クロック発振安定待ち時間経過後、Status クロックソース許可レジスタの PLLRDY ビットが安定状態を示すことで PLL クロックへの遷移準備が完了します。
4. RUN/PSS プロファイルレジスタのクロック選択レジスタで使用する PLL クロックを選択します。

(2) PLL クロック発振安定待ち時間の設定

「5.1.3 PLL 発振安定待ち時間設定レジスタ(SYSC_PLLSTCNTR)」を参照してください。

**(3) PLL クロックの逡倍率設定**

(RUN/PSS) PLLCNTR により入力クロック分周設定, PLL 逡倍率設定, PLL 出力分周設定を行います。以下に設定例を示します。

表 3-2 PLL クロック設定例

入力 クロック	入力クロック 分周設定	PLLin	PLL 逡倍設定	PLLout	PLL 出力 分周設定	PLL クロック
4MHz	1	4MHz	100	400MHz	2	200MHz
5MHz	1	5MHz	80	400MHz	2	200MHz
6MHz	1	6MHz	60	360MHz	2	180MHz
8MHz	1	8MHz	50	400MHz	2	200MHz
8MHz	2	4MHz	100	400MHz	2	200MHz
10MHz	1	10MHz	40	400MHz	2	200MHz
10MHz	2	5MHz	80	400MHz	2	200MHz
12MHz	1	12MHz	30	360MHz	2	180MHz
12MHz	2	6MHz	60	360MHz	2	180MHz
15MHz	1	15MHz	24	360MHz	2	180MHz
16MHz	1	16MHz	25	400MHz	2	200MHz
16MHz	2	8MHz	50	400MHz	2	200MHz
16MHz	4	4MHz	100	400MHz	2	200MHz
20MHz	2	10MHz	40	400MHz	2	200MHz
20MHz	4	5MHz	80	400MHz	2	200MHz

<注意事項>

- PLL の入力クロック(PLLin)は 4MHz~16MHz となるように入力クロックの分周設定を行ってください。また PLL の出力クロック(PLLout)は 200MHz~400MHz となるよう逡倍設定を行ってください。



3.3. ソースクロック選択制御

ソースクロックの選択制御について説明します。

ソースクロック選択

ハードリセットにより、すべてのクロックドメインで使用されるクロックは高速 CR クロックが選択されます。

システム動作中にはRUN/PSS プロファイルレジスタによりクロックドメインごとに使用するソースクロックを選択できます。

表 3-3 クロック選択状態一覧

クロック ドメイン	ドメイン クロック	リソース	初期状態	RUN	PSS
CD0	CD0_CLK	CPU, TRC, DBG High Performance Matrix MCU Config Group Memory & Config Group Common Peripheral Group Application Specific Peripheral Group (Slave-A, Slave-B)	高速 CR クロック	クロック選択可能	
CD4	CD4_CLK	Clock output function	高速 CR クロック	クロック選択可能	



3.4. クロック分配/分周制御

クロックの分配/分周制御について説明します。

(1) クロック分配/分周制御

各クロックドメインのクロックパスには 1～4 個の分周回路が存在します。それらの分周回路を経て、分周クロックが内部動作クロックとして分配されます。

システム動作中には RUN/PSS プロファイルレジスタにより分周クロックを生成できます。

ソースクロックからの分周クロックが、内部動作クロックとして分配されます。

表 3-4 クロック分周設定および最大動作周波数一覧

クロックドメイン	内部動作クロック	リソース	初期状態	RUN/PSS 状態	最大動作周波数
CD0	CLK_CPU# (# = 0-1)	CPU	1	P	200MHz
	CLK_TFCLKA# (# = 0-1)	TCFLASH	4	P	80MHz
	CLK_TFCLKB# (# = 0-1)	TCFLASH		P	80MHz
	CLK_ATB	ATB	1	P	100MHz
	CLK_DBG	DBG	2	2	50MHz
	CLK_TRC	TRC	1	P	100MHz
	CLK_HPMPD2	High Performance Matrix	1	P	200MHz
	CLK_DMA	DMA			200MHz
	CLK_MEMC	Memory & Config Group			200MHz
	CLK_WFCLK# (# = 0-1)	WorkFLASH	4	P	80MHz
	CLK_SYSCPD1	MCU Config Group	1	P	100MHz
	CLK_PERI0	Common Peripheral Group	1	P	100MHz
	CLK_PERI1	Common Peripheral Group	1	P	50MHz
	CLK_PERI4	Application Specific Peripheral Group (Slave-A)	1	P	100MHz
	CLK_PERI6	Application Specific Peripheral Group (Slave-A)	1	P	50MHz
	CLK_PERI5	Application Specific Peripheral Group (Slave-B)	1	P	100MHz
	CLK_PERI7	Application Specific Peripheral Group (Slave-B)	1	P	50MHz
CD4	CLK_CLKO	Clock output function	1	P	200MHz

P: 設定可能(Programmable)

<注意事項>

- 各内部動作クロックの最大動作周波数を超えるクロックが供給されることのないように分周設定を行ってください。
- MB9D560 シリーズは、CLK_TRC は使用しません。

3.5. クロックギア動作

クロックギア動作について説明します。

メインクロックから PLL クロックへの切換え時、または PLL クロックからメインクロックへの切換え時に周波数が急激に変動するため、電源電流も大きく変動します。クロック切換え時に生じる電源電流のオーバーシュート/アンダシュートを避けるため、必ずクロックギアを使用してください。

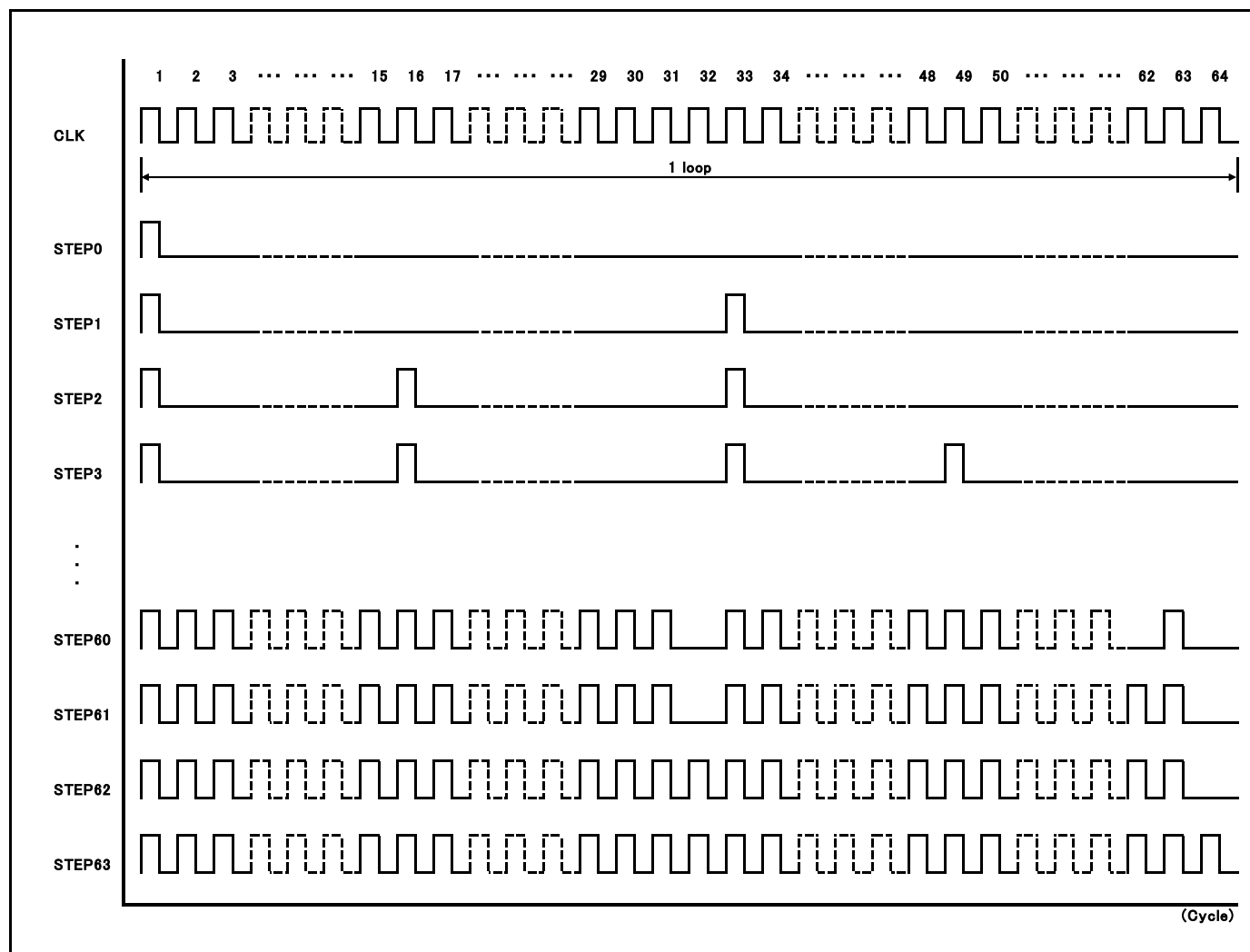
クロックギア制御

クロックギア回路から出力されるクロックをギアクロックとよびます。ギアクロックは、クロックギア回路への入力クロックを段階的に出力することによって、周波数を徐々に変化させられます。

ギアクロックはクロックギア回路の入力クロック 64 サイクル分を 1 つの制御単位とし、各種設定により以下の制御ができます。

- スタートステップ設定
ギアクロック出力開始時のスタートステップ設定です。
- ステップループ設定
ギア UP/DOWN 時における各ステップのループ回数を設定します。
- ステップ幅設定
ギア UP/DOWN 時に変化するステップ幅を設定します。

図 3-1 ギアクロック出力



3.5.1. クロックギアアップの手順

クロックギアアップの手順について説明します。

1. クロックギア動作許可設定(PLLCGCNTR.PLLCGEN)を 1 にセットします。
2. クロックギア入力クロックの発振安定待ち時間経過後、クロックギア開始ステップ選択に設定した開始ステップのクロックを出力します。
3. PLL クロックをドメインクロックとして選択後、クロックギアアップスタート(PLLCGCNTR.PLLCGSTR)を 1 にセットし、立上りを検出すると、クロックギアステータスフラグ(PLLCGCNTR.PLLCGSTS[1:0])が "00" → "01" に遷移します(ギアアップスタート)。
4. クロックギア・ステップ幅設定、ループ回数設定に従って、ギアアップを行います。ステップ幅が小さく、ループ回数が大きいほど周波数が緩やかに変化します。
5. クロックが最大ステップに到達すると、クロックギアステータスフラグ(PLLCGCNTR.PLLCGSTS[1:0])が "01" → "10" に遷移します(ギアアップ終了、ギア停止)。
これ以降は最大ステップ(63 ステップ) でクロックを出力します。
6. ギア停止後、クロックギアスタートビット(PLLCGCNTR.PLLCGSTR)は自動的に"0" にクリアされます。

<注意事項>

- クロックギアアップ/ダウン動作中は、クロックギアステータスフラグの値をポーリングし、クロックが低速/高速停止状態を示すまで待機してください。



3.5.2. クロックギアダウンの手順

クロックギアダウンの手順について説明します。

1. クロックギアダウンスタート(PLLCGCNTR.PLLCGSTR)を"1"にセットし、立上りを検出すると、クロックギアステータスフラグ(PLLCGCNTR.PLLCGSTS[1:0])が"10" → "11" に遷移します。(ギアダウンスタート)
2. クロックギア・ステップ幅設定、ループ回数設定に従って、ギアダウンを行います。ステップ幅が小さく、ループ回数が大きいほど緩やかに変化します。
3. クロックが最小ステップに到達すると、クロックギアステータスフラグ(PLLCGCNTR.PLLCGSTS[1:0])が"11" → "00" に遷移します。(ギアダウン終了、ギア停止)

これ以降はクロックギアスタートステップに設定したステップによるクロックを出力します。

4. ギア停止後、クロックギアスタート(PLLCGCNTR.PLLCGSTR)は自動的に"0" にクリアされます。

<注意事項>

- クロックギアアップ/ダウン動作中は、ギアステータスフラグの値をポーリングし、クロックが低速/高速停止状態を示すまで待機してください。

3.6. 発振安定待ち時間

発振安定待ち時間について説明します。

ソースクロックが安定動作状態になっていない場合、発振安定待ち時間が必要です。発振安定待ち時間中(RDY="0")は、内蔵タイムカウンタのみが動作しており、発振安定待ち時間が経過するまでソースクロックの供給は停止します。発振安定待ち時間が経過すると、対応する発振器の準備は完了(RDY="1")し、各クロックドメインのソースクロックとして使用可能となります。

詳細は『ソースクロックタイマ』の章を参照してください。

3.7. 割込み要因

割込み要因について説明します。

クロックシステムの割込み要因として以下の2つがあります。

- クロック異常検出割込み
詳細は『クロックスーパーバイザ』の章を参照してください。
- 不正クロック設定検出割込み
詳細は『低消費電力』の章を参照してください。



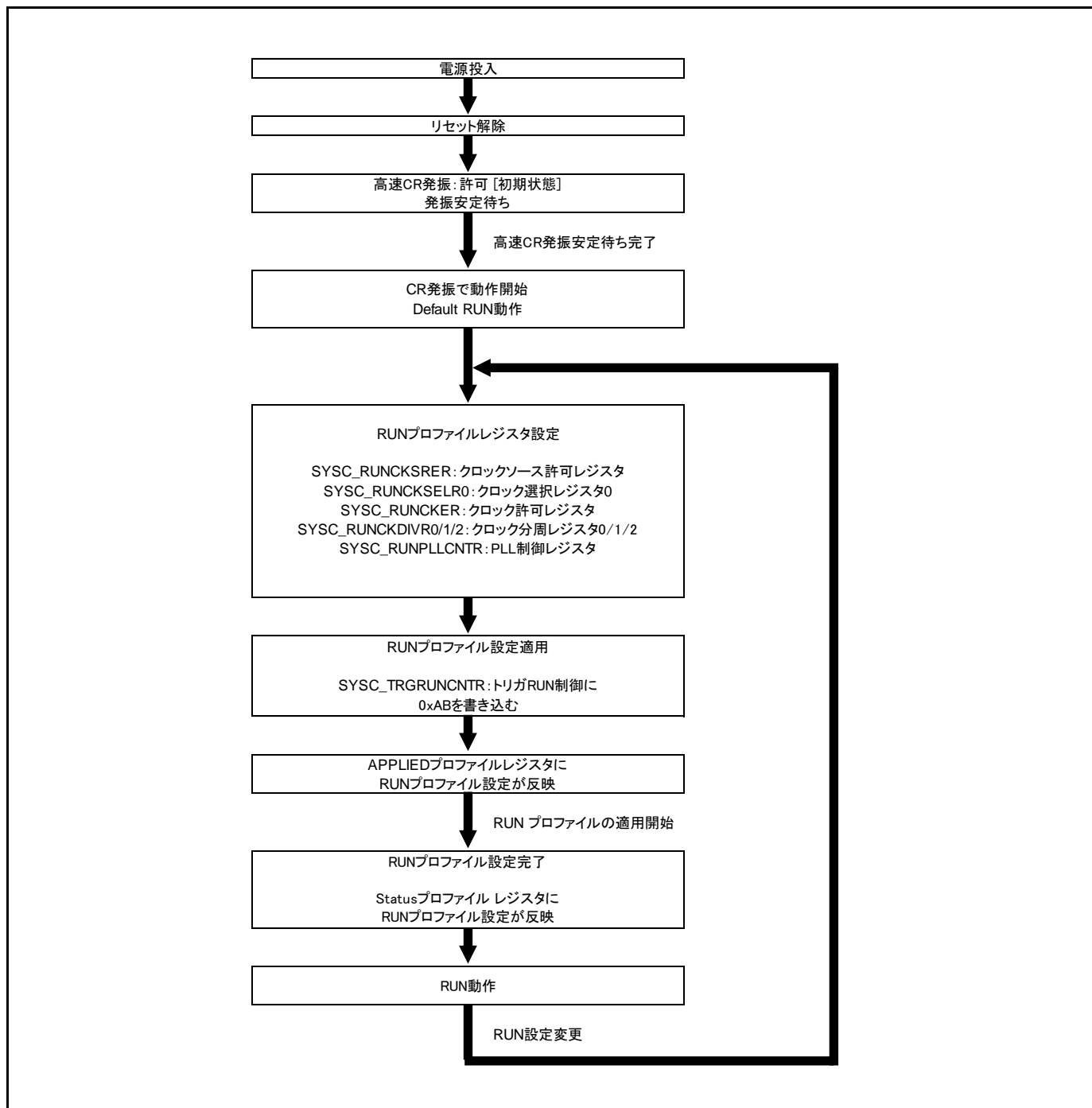
4. 設定手順例

クロックシステムの設定手順例を説明します。

4.1. RUN 動作設定

RUN 動作設定について説明します。

図 4-1 RUN 動作設定手順例 (電源投入 → Default RUN 動作 → RUN 動作)



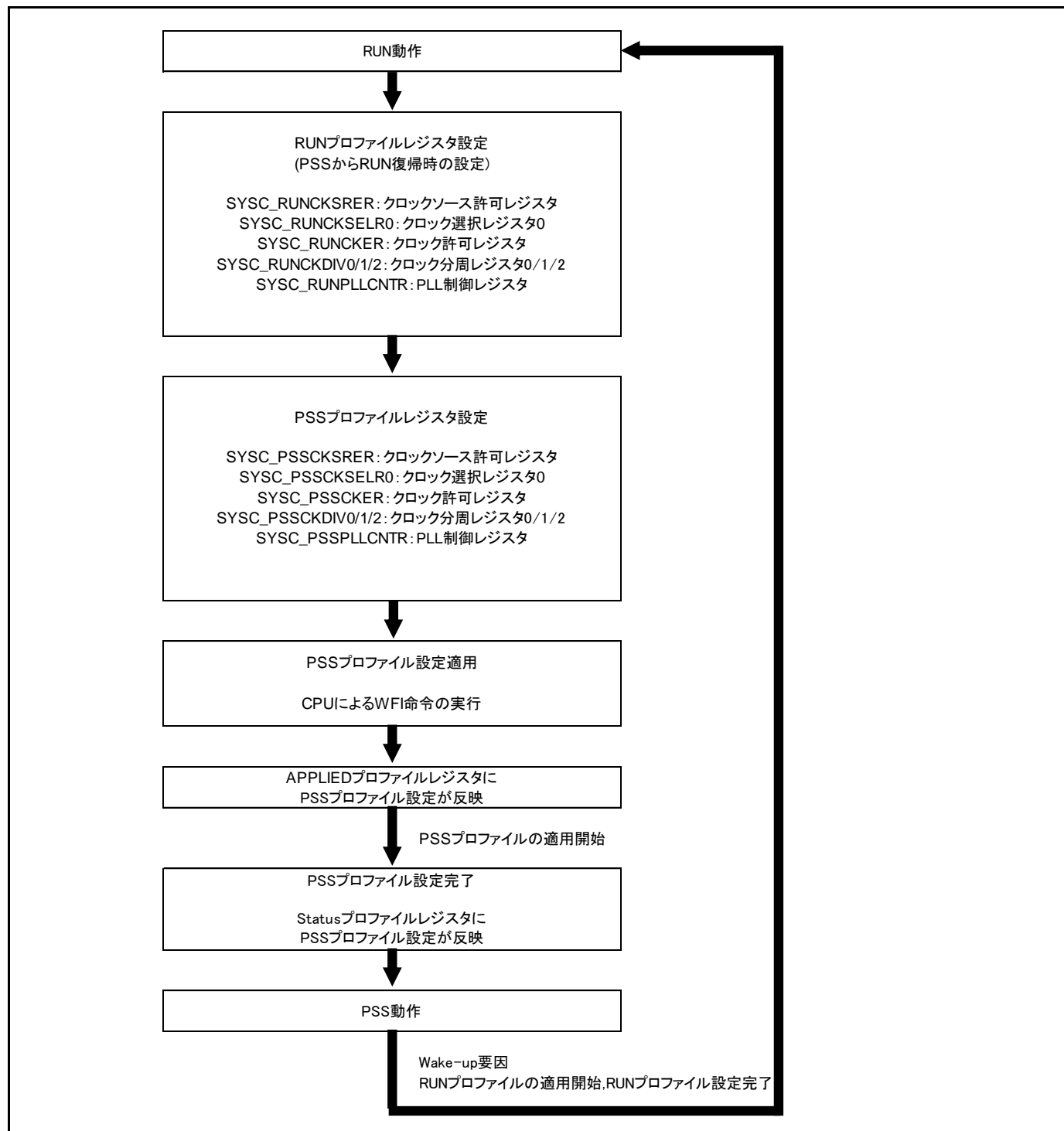
<注意事項>

- メインクロック, PLL クロックを使用する場合, クロックスーパーバイザの設定も必要です。詳細は『クロックスーパーバイザ』の章を参照してください。

4.2. PSS 動作設定

PSS 動作設定について説明します。

図 4-2 PSS 動作設定手順例 (RUN 動作 → PSS 動作 → RUN 動作)



<注意事項>

- メインクロック, PLL クロックを使用する場合, クロックスーパバイザの設定も必要です。詳細は『クロックスーパバイザ』の章を参照してください。



5. レジスタ

クロックシステムのレジスタ一覧を説明します。

クロックシステムのレジスタは以下の 6 つのレジスタ群で構成されます。

- RUN プロファイルレジスタ群
- PSS プロファイルレジスタ群
- APPLIED プロファイルレジスタ群
- Status プロファイルレジスタ群
- Common Configuration レジスタ群
- Clock Output function レジスタ

RUN プロファイルレジスタ, PSS プロファイルレジスタ, APPLIED プロファイルレジスタ, Status プロファイルレジスタについては『低消費電力』の章を参照してください。

(1) クロックシステムのレジスタ一覧 (Common Configuration レジスタ)

表 5-1 クロックシステムのレジスタ一覧 (Common Configuration レジスタ)

レジスタ略称	レジスタ名	参照先
SYSC_CRCNTR	高速 CR 発振制御レジスタ	5.1.1
SYSC_MOSCCNTR	メイン発振制御レジスタ	5.1.2
SYSC_PLLSTCNTR	PLL 発振安定待ち時間制御レジスタ	5.1.3
SYSC_PLLCGCNTR	PLL クロックギア制御レジスタ	5.1.4

(2) クロックシステムのレジスタ一覧 (Clock output function レジスタ)

表 5-2 クロックシステムのレジスタ一覧 (Clock output function レジスタ)

レジスタ略称	レジスタ名	参照先
SYSC_CKOTCNTR	クロック出力機能制御レジスタ	5.2.1



5.1. Common Configuration レジスタ

コモンコンフィギュレーションレジスタは、MCU のクロックシステムにおける RUN/PSS で共通の設定を行うために使用します。

5.1.1. 高速 CR 発振制御レジスタ(SYSC_CRCNTR)

高速 CR 発振制御レジスタ(SYSC_CRCNTR)は、高速 CR 発振の制御を行います。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000 00000000 00000000

Bit	7	6	5	4	3	2	1	0
Field	CRTRM							
R/W 属性	R/W							
保護属性	WPS							
初期値	01111111							

[bit31:8] Reserved: 予約ビット

[bit7:0] CRTRM[7:0]: 高速 CR 発振トリミングビット

このビットは、高速 CR 発振のトリミング周波数を設定します。

トリミング値の詳細は『CR キャリブレーション』の章を参照してください。

5.1.2. メイン発振制御レジスタ(SYSC_MOSCCNTR)

メイン発振制御レジスタ(SYSC_MOSCCNTR)は、メイン発振の制御を行います。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000 00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							DIV2SEL
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	0000000							1

Bit	7	6	5	4	3	2	1	0
Field	Reserved							Reserved
R/W 属性	R0,WX							R/W0
保護属性	WPS							
初期値	0000000							0

[bit31:9] Reserved: 予約ビット

[bit8] DIV2SEL: メインクロック 2 分周選択ビット

このビットは、ソースクロックとして使用するメインクロックの分周なし/2 分周を選択します。

bit	説明
0	メインクロック(分周なし)
1	メインクロック 2 分周

[bit7:0] Reserved: 予約ビット



5.1.3. PLL 発振安定待ち時間設定レジスタ(SYSC_PLLSTCNTR)

PLL 発振安定待ち時間設定レジスタ(SYSC_PLLSTCNTR)は、PLL の発振安定待ち時間の制御を行います。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000 00000000 00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved				PLLSTABS			
R/W 属性	R0,WX				R1,WX	R/W		
保護属性	WPS							
初期値	0000				1111			

[bit31:4] Reserved: 予約ビット

[bit3:0] PLLSTABS[3:0]: PLL 安定待ち時間選択ビット

このビットは、PLL 安定待ち時間を選択します。

bit[3:0]	説明
1000	安定待ち時間 : メインクロック周期(s) × 2^9 (cycle)
1001	安定待ち時間 : メインクロック周期(s) × 2^{10} (cycle)
1010	安定待ち時間 : メインクロック周期(s) × 2^{11} (cycle)
1011	安定待ち時間 : メインクロック周期(s) × 2^{12} (cycle)
1100	安定待ち時間 : メインクロック周期(s) × 2^{13} (cycle)
1101	安定待ち時間 : メインクロック周期(s) × 2^{14} (cycle)
1110	安定待ち時間 : メインクロック周期(s) × 2^{15} (cycle)
1111	安定待ち時間 : メインクロック周期(s) × 2^{16} (cycle)

PLLSTABS[3]は常に"1"が読み出されます。

<注意事項>

- 本ビットは、プロファイル更新によるPLLクロック発振許可設定を行う前に設定してください。PLLクロック発振許可後の設定変更は行わないでください。

5.1.4. PLL クロックギア制御レジスタ(SYSC_PLLCGCNTR)

PLL クロックギア制御レジスタ(SYSC_PLLCGCNTR)は, PLL クロックギアの制御を行います。

Bit	31-24
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000

Bit	23-16
Field	PLLCLGP
R/W 属性	R/W
保護属性	WPS
初期値	11111111

Bit	15	14	13	12	11	10	9	8
Field	PLLCGSTP		PLLCGSSN					
R/W 属性	R/W		R/W					
保護属性	WPS							
初期値	00		000000					

Bit	7	6	5	4	3	2	1	0
Field	PLLCGSTS		Reserved				PLLCGSTR	PLLCGEN
R/W 属性	R,WX		R0,WX				R,W	R/W
保護属性	WPS							
初期値	00		0000				0	1

[bit31:24] Reserved: 予約ビット

[bit23:16] PLLCLGP[7:0]: PLL クロックギアループ回数設定ビット

このビットは, PLL クロックギア動作の 1 ステップにおけるループ回数を設定します。

bit[23:16]	説明
00000000	1 回
00000001	2 回
00000010	3 回
...	
11111101	254 回
11111110	255 回
11111111	256 回

<注意事項>

- 本ビットは, プロファイル更新によるPLL クロック発振許可設定を行う前に設定してください。PLL クロック発振許可後の設定変更は行わないでください。

**[bit15:14] PLLCGSTP[1:0]: PLL クロックギアステップ幅設定ビット**

このビットは、PLL クロックギアアップ/ダウン時のステップ幅を設定します。

bit[15:14]	説明
00	1
01	2
10	3
11	4

<注意事項>

- 本ビットは、プロファイル更新によるPLL クロック発振許可設定を行う前に設定してください。PLL クロック発振許可後の設定変更は行わないでください。

[bit13:8] PLLCGSSN[5:0]: PLL クロックギアスタートステップ設定ビット

このビットは、PLL クロックギア動作開始時のステップを設定します。

bit[13:8]	説明
000000	0
000001	1
000010	2
...	
111101	61
111110	62
111111	63

<注意事項>

- 本ビットは、プロファイル更新によるPLL クロック発振許可設定を行う前に設定してください。PLL クロック発振許可後の設定変更は行わないでください。

[bit7:6] PLLCGSTS[1:0]: PLL クロックギアステータスフラグビット

このビットは、PLL クロックギアのステータスを表示します。

bit[7:6]	説明
00	低速発振状態で停止
01	ギアアップ動作中
10	高速発振状態で停止
11	ギアダウン動作中

[bit5:2] Reserved: 予約ビット**[bit1] PLLCGSTR: PLL クロックギア動作開始ビット**

このビットは、クロックギア動作の開始を制御します。

bit	説明
0	動作に影響しません
1	ギア動作開始

<注意事項>

- このビットは、ギア動作開始後"0"にクリアされます。



[bit0] PLLCGEN: PLL クロックギア動作許可ビット

このビットは, PLL クロックギア動作の許可/禁止を設定します。

bit	説明
0	クロックギア動作禁止
1	クロックギア動作許可

<注意事項>

- 本ビットは, プロファイル更新によるPLL クロック発振許可設定を行う前に設定してください。PLL クロック発振許可後の設定変更は行わないでください。



5.2. Clock Output Function レジスタ

クロック出力機能レジスタは、クロック出力機能の各種設定を行うために使用します。

5.2.1. クロック出力機能制御レジスタ(SYSC_CKOTCNTR)

クロック出力機能制御レジスタ(SYSC_CKOTCNTR)はクロック出力機能におけるクロック選択および分周設定を行います。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							ENCLKO
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	0000000							0

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved					CKOUTDIV		
R/W 属性	R0,WX					R/W		
保護属性	WPS							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved					CKSEL		
R/W 属性	R0,WX					R/W		
保護属性	WPS							
初期値	00000					000		

[bit31:25] Reserved: 予約ビット

[bit24] ENCLKO: 外部出力クロック出力許可ビット

このビットは、外部出力クロックの出力許可/禁止を設定します。

bit	説明
0	外部出力クロックの出力禁止
1	外部出力クロックの出力許可

[bit23:11] Reserved: 予約ビット

[bit10:8] CKOUTDIV[2:0]: 外部出力クロック分周設定ビット

このビットは、外部出力クロックのソースクロックからの分周比を設定します。

bit[10:8]	説明
000	分周なし
001	2 分周
010	4 分周
011	8 分周
100	16 分周
101	32 分周
110	64 分周
111	128 分周

[bit7:3] Reserved: 予約ビット**[bit2:0] CKSEL[2:0]: 外部出力クロック選択ビット**

このビットは、外部出力クロックのソースクロックを選択します。

bit[2:0]	説明
000	高速 CR クロック選択
001	低速 CR クロック選択
010	メインクロック選択/メイン 2 分周クロック選択
011	クロック"L"固定
100	PLL クロック選択
101	クロック"L"固定
110	クロック"L"固定
111	クロック"L"固定



6. 使用上の注意

クロックシステムの使用上の注意について説明します。

- PSS プロファイルでクロックドメイン 0 のクロックを停止する場合は、PSS クロック選択レジスタ 0 (SYSC_PSSCKSELR0)でクロックを停止するとともに PSS クロック許可レジスタ(SYSC_PSSCKER)ですべての内部動作クロックの発振を禁止してください。
- PLL 設定の変更
PLL 発振の設定を変更する場合は、いったん PLL 発振を停止し、分周比の変更後に再度 PLL の発振許可を行ってください。
PLL の発振安定待ち時間の設定は、プロファイル更新による PLL クロック発振許可設定を行う前に設定してください。PLL クロック発振許可後の設定変更は行わないでください。
- クロックギア設定の変更
PLL クロックギア設定は、プロファイル更新による PLL クロック発振許可設定を行う前に設定してください。PLL クロック発振許可後の設定変更は行わないでください。
- クロックギア動作
クロックギアアップ/ダウン動作中は、クロックギアステータスフラグの値をポーリングし、クロックが低速/高速停止状態を示すまで待機してください。
PLL クロックに切り換える場合または PLL クロックから切り換える場合は必ずクロックギアを使用してください。
- PLL クロック使用時にメインクロックは停止できません。
- クロックシステムによるクロック制御から独立したペリフェラル群について
以下の周辺機能は、クロックシステムによるクロック制御から独立して動作します。各動作クロックの取り扱いについては『ハードウェアウォッチドッグタイマ』、『ソフトウェアウォッチドッグタイマ』、『CAN プリスケアラ』の章を参照してください。
 - ハードウェアウォッチドッグタイマ
 - ソフトウェアウォッチドッグタイマ
 - CAN プリスケアラ

CHAPTER 6: 低消費電力

低消費電力の機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 動作手順
5. レジスタ
6. その他



1. 概要

低消費電力についての概略を説明します。

本製品は、多彩な消費電力設定を持ち、状況に応じた消費電力制御を行えます。

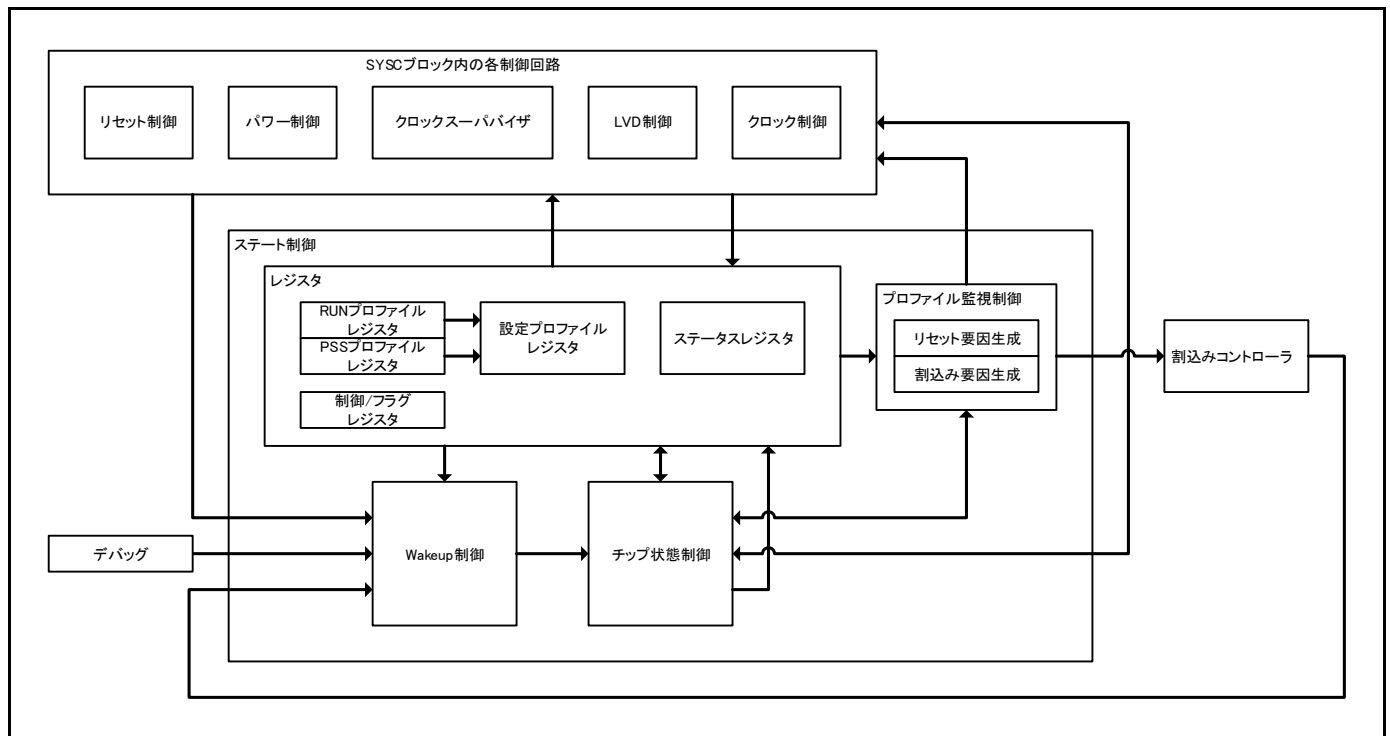
2. 構成

低消費電力の構成について説明します。

2.1. ブロックダイアグラム図

低消費電力制御の構成を示します。

図 2-1 低消費電力制御ブロックダイアグラム図



－ ステート制御

SYSC(SYSystem Controller)内の各ブロックを制御し、低消費電力モードを制御しているブロックです。

－ レジスタ

RUN/PSS プロファイル設定レジスタを設定プロファイルレジスタに更新し、その結果がステータスレジスタで確認ができます。レジスタの詳細な機能は、「5. レジスタ」を参照してください。

－ Wakeup 制御

CPU がプログラム停止状態から、復帰する要因の制御をしているブロックです。

－ チップ状態制御

チップ全体の状態を管理、制御を行っているブロックです。

－ プロファイル監視制御

RUN/PSS プロファイルの内容を監視しているブロックです。

－ リセット/割込み要因生成

プロファイルエラー時にリセット・割込み要因を発生させるブロックです。



3. 動作説明

低消費電力の動作について説明します。

3.1. 低消費電力状態

低消費電力状態について示します。

大きく 2 つの低消費電力状態があります。

- RUN(Normal Operation)
- PSS(Power Saving State)

また各 CPU モードによって、制御が変わります。

(1) 2CPU モード動作時

CPU ごとに低消費電力制御を行っており, CPU0 はメイン状態制御, CPU1 はサブ状態制御で行っています。
設定を"プロファイル"とよびます。

以下に動作モードの概略図を示します。

図 3-1 2CPU モード動作時(メイン状態制御)

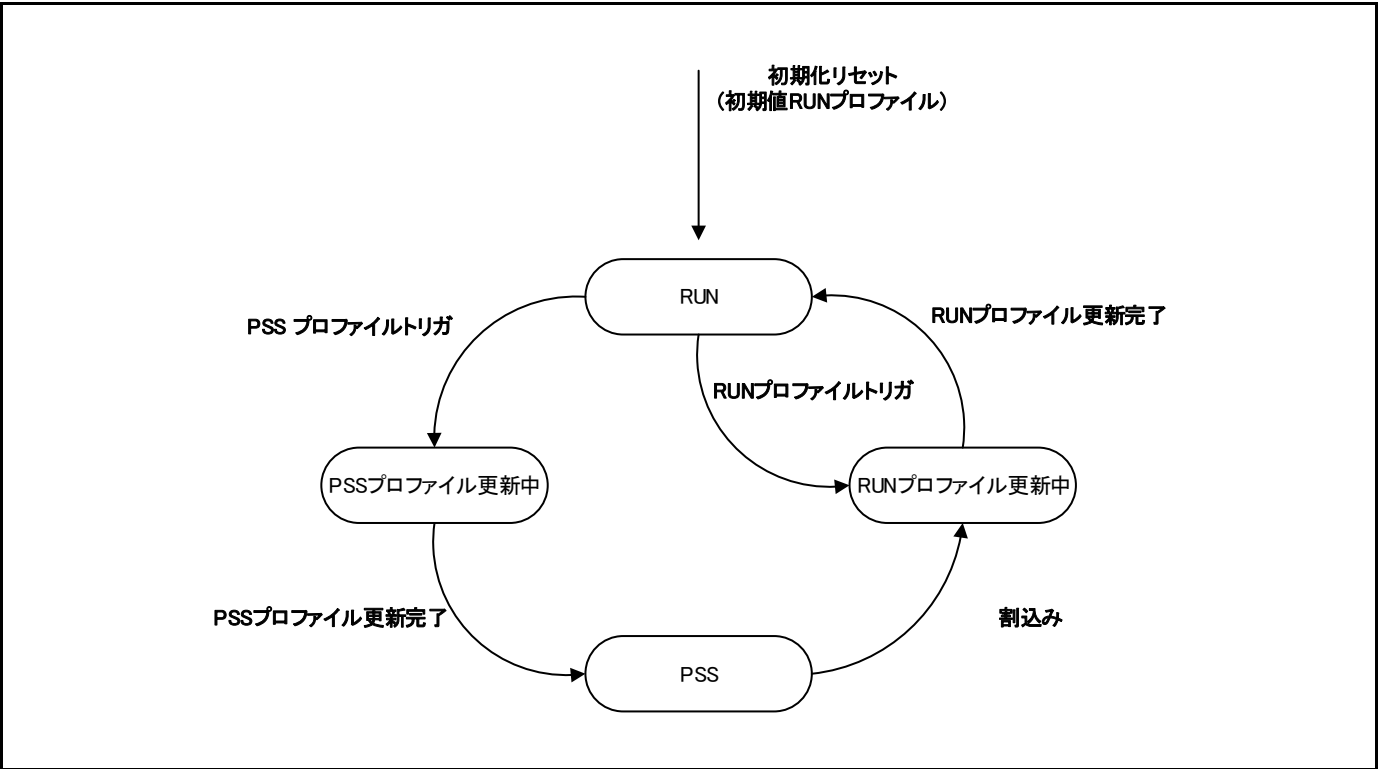
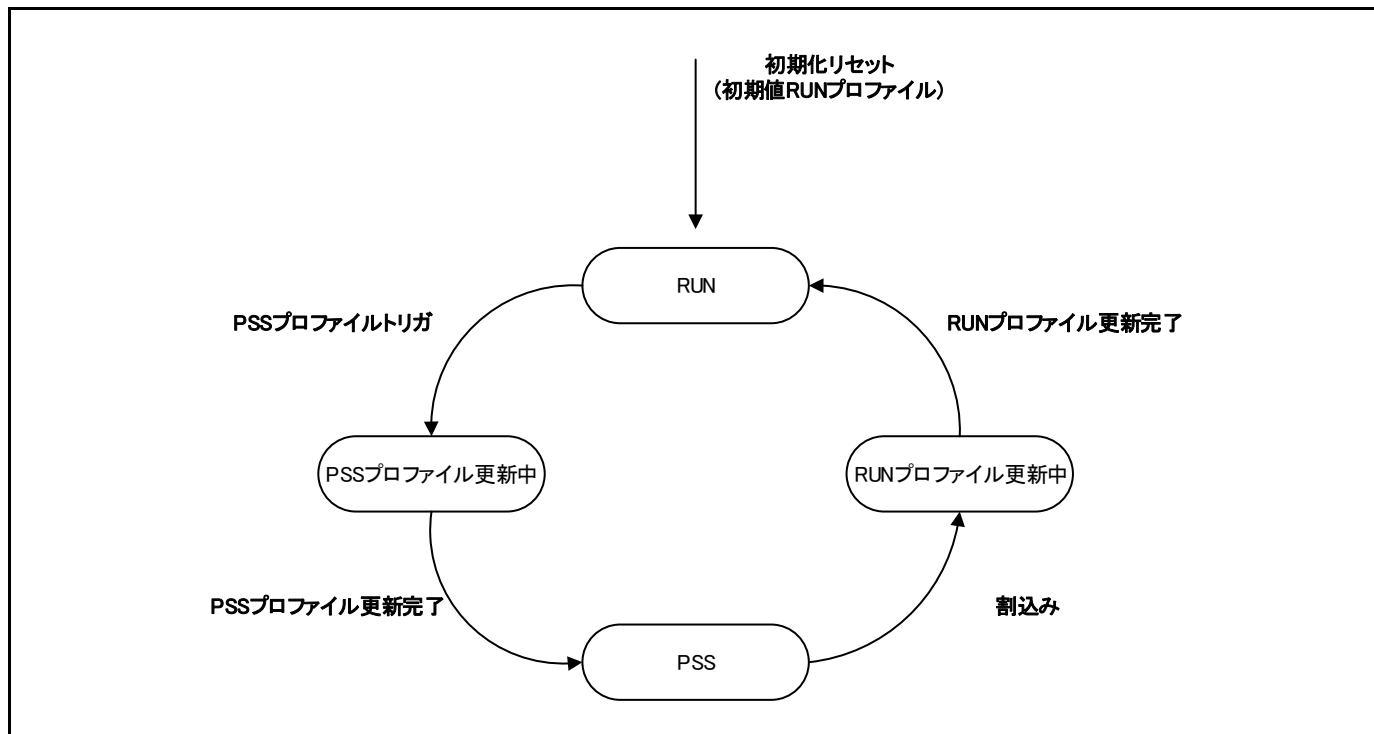


図 3-2 2CPU モード動作時(サブ状態制御)



メイン状態制御とサブ状態制御の違いは、

メイン状態制御はレジスタトリガで RUN プロファイル更新が可能だが、サブ状態制御はレジスタトリガで RUN プロファイル更新ができない。

メイン状態制御が PSS 遷移する際には、すべてのサブ状態制御も PSS へ遷移します。

PSS プロファイルで設定の項目が違います。

以下の項目を RUN/PSS で自由に設定可能です。

- Clock 関連
 - ソースクロック発振許可/停止
 - クロックドメイン制御(ソース選択, 分周, 各ドメインクロックの発振許可, 停止)
- CSV 設定
 - 設定(ON/OFF, 割り込みまたはリセット制御)
- LVD 設定

メイン状態制御は、すべての項目設定可能ですが、サブ状態制御は、該当 CPU のクロック動作・停止のみ設定可能です。

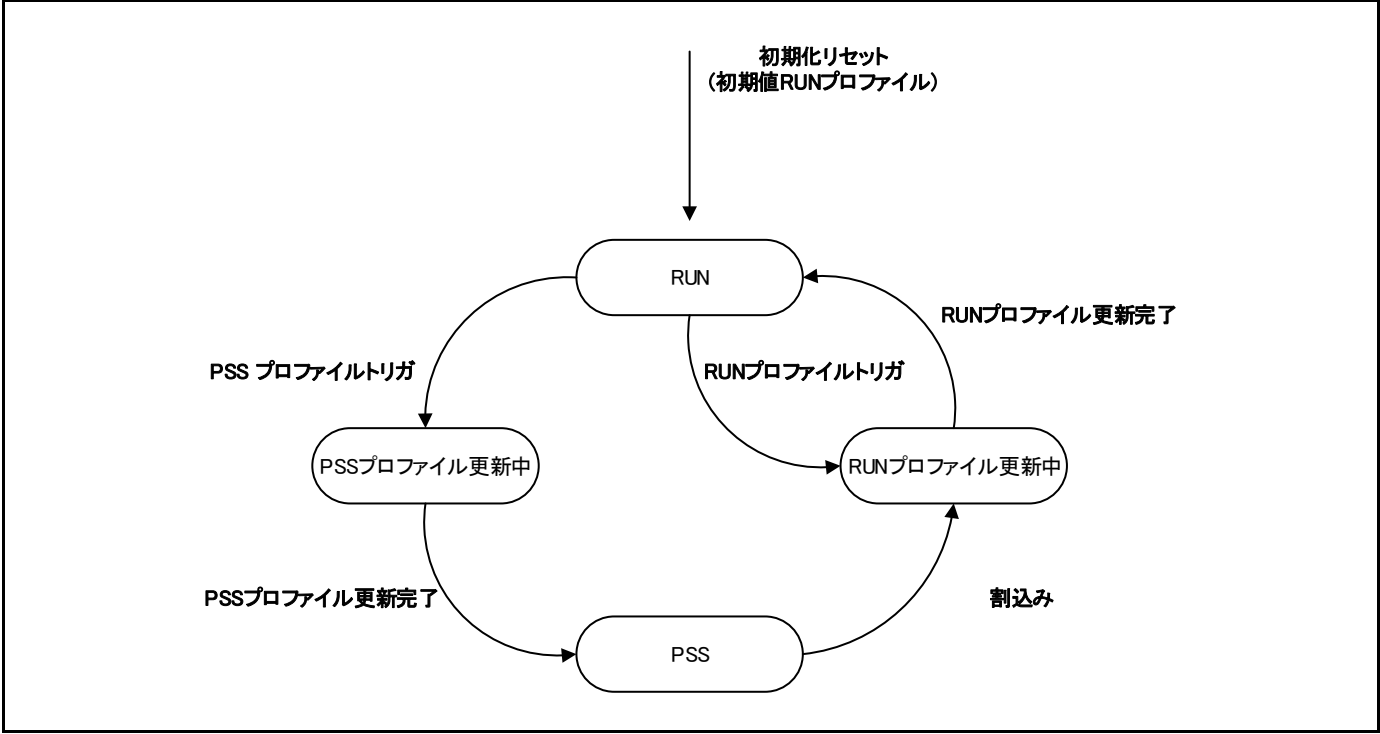
詳細な設定項目は、「3.3 プロファイル設定項目」を参照してください。



(2) 1CPU0/1 モード動作時

CPU0 または CPU1 で、メイン状態制御を行います。サブ状態制御は動作しません。
以下に動作モードの概略図を示します。

図 3-3 1CPU0/1 モード動作時(メイン状態制御)



メイン状態制御で設定を行います。
設定変更項目は、2CPU モードと同等です。
詳細な設定項目は、「3.3 プロファイル設定項目」を参照してください。

(3) RUN(メイン状態制御)

CPU がプログラム動作している状態かプログラム停止している状態です。
プログラム停止状態は、RUN で PSS イネーブルを無効にして、WFI 命令実施した状態です。
初期化リセット後は本ステート(プログラム動作)で動作します。
本状態は、RUN プロファイルの更新、PSS への移行ができます。

(4) PSS(メイン状態制御)

CPU がプログラムを停止している状態、かつ低消費電力設定可能な状態です。
サブ状態制御も PSS です。
PSS から復帰する際にサブ状態制御を復帰するかを割り込み要因で選択できます。

(5) RUN(サブ状態制御)

CPU がプログラム動作している状態かプログラム停止している状態です。

プログラム停止状態は, RUN で PSS イネーブルを無効にして, WFI 命令実施した状態です。

初期化リセット後は本ステート(プログラム動作)で動作します。

本状態は, PSS への移行ができます。

(6) PSS(サブ状態制御)

CPU がプログラムを停止している状態, かつ低消費電力設定ができます。

低消費電力設定は, 一部のみ設定可能です。該当の CPU のみ PSS の状態です。

(7) CPU 動作モードと状態制御の関係

CPU 動作モードによって, メイン・サブ状態制御を行う CPU が変化します。

以下に CPU 動作モードと状態制御の関係を示します。

表 3-1 CPU 動作モードと状態制御の関係

CPU 動作モード	動作トリガまたは許可	制御する CPU	動作する状態制御
2CPU モード	RUN プロファイル更新トリガ	CPU0	メイン状態制御
		CPU1	書き込み無効
1CPU0 モード		CPU0	メイン状態制御
		CPU1	CPU1 は停止中のため, 状態制御は動作しません
1CPU1 モード		CPU0	CPU0 は停止中のため, 状態制御は動作しません
		CPU1	メイン状態制御
2CPU モード	PSS プロファイル許可 (サブ状態制御 1) (SYSC_PSSSEN0:PSSSEN1)	CPU1	サブ状態制御
1CPU0 モード		CPU1	CPU1 は停止中のため, 状態制御は動作しません
1CPU1 モード		CPU1	CPU1 は, メイン状態を制御するため, サブ状態制御 1 は動作しません
2CPU モード	PSS プロファイル許可 (メイン状態制御) (SYSC_PSSSEN0:PSSSEN0)	CPU0	メイン状態制御
1CPU0 モード		CPU0	メイン状態制御
1CPU1 モード		CPU1	メイン状態制御

CPU 動作モードの詳細は, 『動作モード』の章を参照してください。

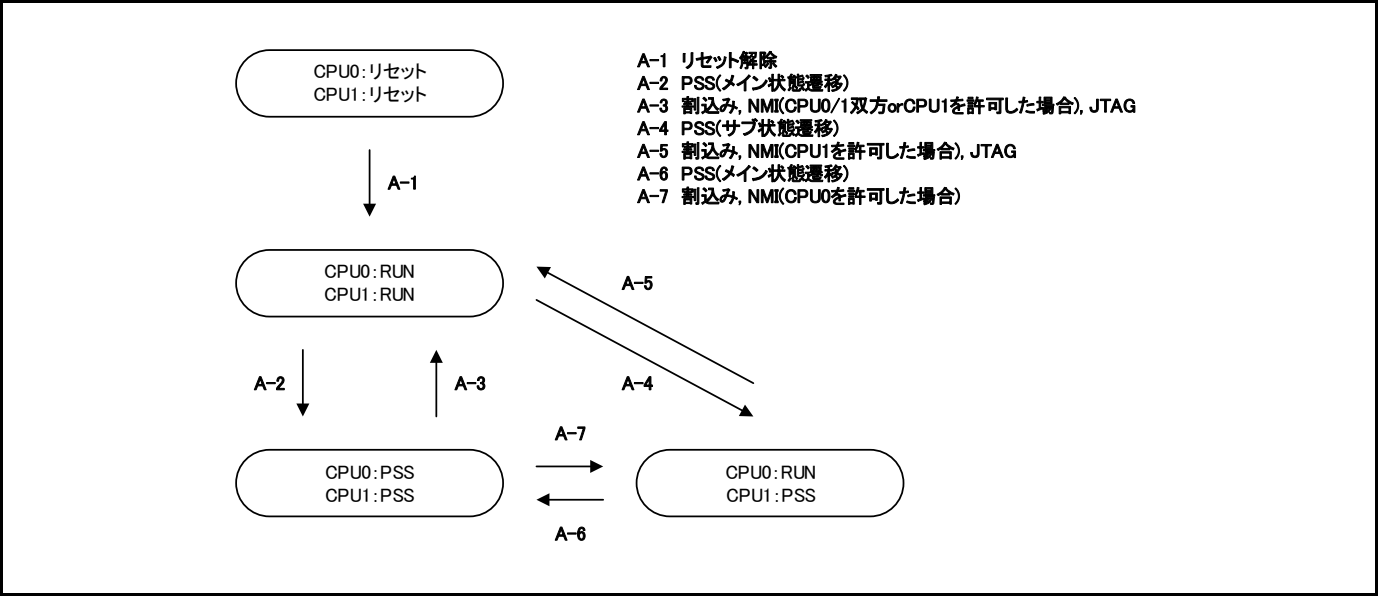


3.2. CPU 動作状態

各 CPU 動作状態を示します。

(1) 2CPU モード

図 3-4 2CPU モード動作状態一覧図

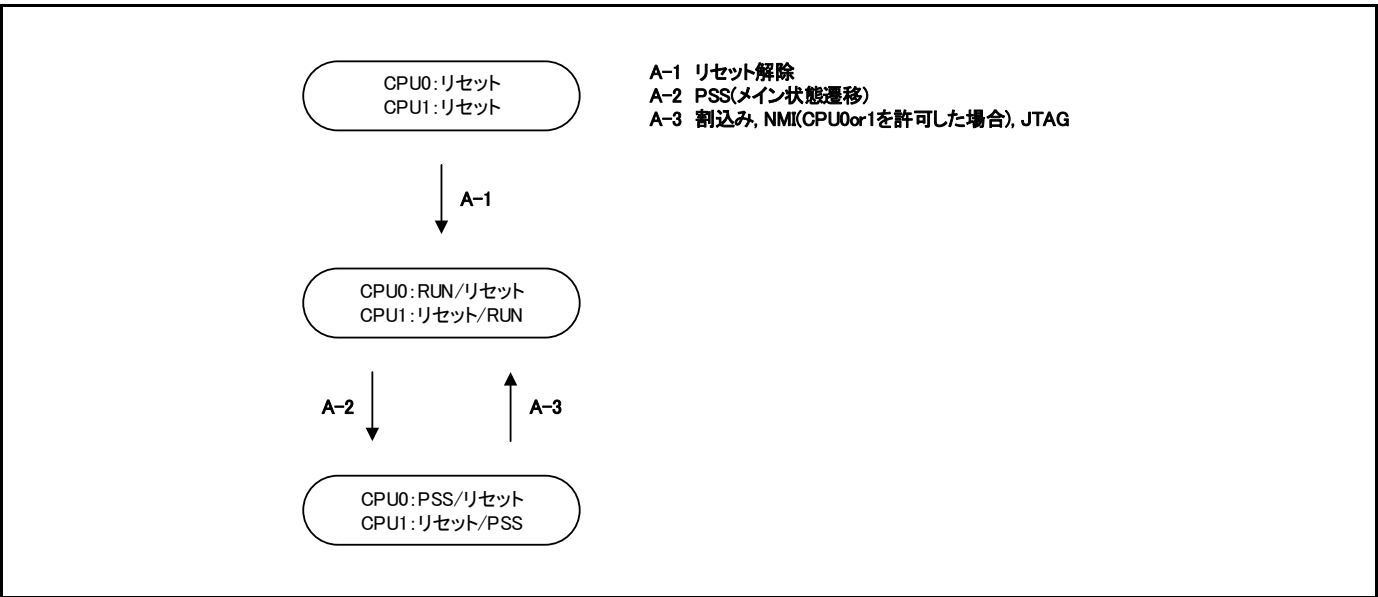


RUN : プログラム動作状態(プログラム動作またはプログラム停止)

PSS : プログラム停止状態(低消費電力)

(2) 1CPU0/1 モード

図 3-5 1CPU0/1 モード動作状態一覧図



RUN : プログラム動作状態(プログラム動作またはプログラム停止)

PSS : プログラム停止状態(低消費電力)

3.3. プロファイル設定項目

プロファイル設定項目について示します。

RUN/PSS とともに一部の設定を除いて、プログラムで自由な設定ができます。

表 3-2 に各モードの RUN/PSS プロファイルで、設定可能なパラメータを示します。

表 3-2 RUN/PSS プロファイル設定パラメーター一覧表

カテゴリ	設定項目	RUN 設定 (初期値)	RUN 設定	PSS 設定	メイン状態制御 更新可能項目	サブ状態制御更 新可能項目
クロック許可	PERI0 クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	PERI1 クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	PERI4 クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	PERI5 クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	PERI6 クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	PERI7 クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	SYSCPD1 クロック発振許可	許可	許可	プログラマブル	○	×
	EXTBUS クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	MEMC クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	DMA クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	HPMPD2 クロック発振許可	許可	許可	プログラマブル	○	×
	TRC クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	ATB クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	DBG クロック発振許可	許可	プログラマブル	プログラマブル	○	×
	CPU1 クロック発振許可	許可	許可	禁止	○	○
	CPU0 クロック発振許可	許可	許可	禁止	○	×
ソースクロック 発振	低速 CR	許可	許可	プログラマブル	○	×
	高速 CR	許可	許可	プログラマブル	○	×
	メイン発振	許可	プログラマブル	プログラマブル	○	×
	PLL	禁止	プログラマブル	プログラマブル	○	×
クロック選択	クロックドメイン0クロック選択	高速 CR クロック	プログラマブル	プログラマブル	○	×
クロック分周	Trace クロック分周	1	プログラマブル	プログラマブル	○	×
	ATB クロック分周	1	プログラマブル	プログラマブル	○	×
	DBG クロック分周	2	2	2	○	×
	HPM クロック分周	1	プログラマブル	プログラマブル	○	×
	EXTBUS クロック分周	1	プログラマブル	プログラマブル	○	×
	SYSCPD1 クロック分周	1	プログラマブル	プログラマブル	○	×
	PERI0 クロック分周	1	プログラマブル	プログラマブル	○	×
	PERI1 クロック分周	1	プログラマブル	プログラマブル	○	×
	PERI4 クロック分周	1	プログラマブル	プログラマブル	○	×
	PERI5 クロック分周	1	プログラマブル	プログラマブル	○	×
	PERI6 クロック分周	1	プログラマブル	プログラマブル	○	×
	PERI7 クロック分周	1	プログラマブル	プログラマブル	○	×
低電圧検出	設定許可 LVD5.0V	許可	プログラマブル	プログラマブル	○	×
	設定許可 LVD1.2V	許可	許可	許可	○	×
	設定電圧 LVD5.0V	4.1V	プログラマブル	プログラマブル	○	×
	設定電圧 LVD1.2V	0.9V	0.9V	0.9V	○	×
	割込み・リセット選択	リセット	プログラマブル	プログラマブル	○	×
PLL	L 分周設定	0	プログラマブル	プログラマブル	○	×
	M 分周設定	0x01	プログラマブル	プログラマブル	○	×



カテゴリ	設定項目	RUN 設定 (初期値)	RUN 設定	PSS 設定	メイン状態制御 更新可能項目	サブ状態制御更 新可能項目
	N 通倍設定	0x0C	プログラマブル	プログラマブル	○	×
CSV	メイン CSV 許可	停止	プログラマブル	プログラマブル	○	×
	PLL CSV 許可	停止	プログラマブル	プログラマブル	○	×

○：設定可能

×：設定不可

3.4. プロファイル

プロファイルについて示します。

プロファイルの詳細な内容は、表 3-2 を参照してください。プロファイルの更新は、ソフトウェアで更新開始した後は、制御回路で設定変更を行います。プロファイル設定で、問題がある組み合わせをプロファイルエラーとよびます。プロファイルエラーがある状態で、プロファイル更新ができません。プロファイルエラーの詳細については、「(3) プロファイルエラー」を参照してください。またプロファイルエラーの状態は、レジスタでチェックができます。

(1) RUN プロファイル

RUN プロファイルで以下の設定は、固定されており、変更はできません。

- CPU0-1 へのクロック供給
- HPM へのクロック供給

(2) PSS プロファイル

PSS プロファイルで以下の設定は、固定されており、変更はできません。

- CPU0-1 へのクロックは停止

(3) プロファイルエラー

以下にプロファイルエラーの内容を示します。

表 3-3 プロファイルエラー一覧表

分類	エラー内容	対象状態 (RUN/PSS)	エラーフラグ
クロック	PLL クロック発振許可でメインクロック発振禁止の場合	RUN/PSS	SYSC_SYSRUNPEFR:PEF0 SYSC_SYSPSSPEFR:PEF0
クロック	発振禁止設定のクロックをクロックドメインのクロックとして選択している場合	RUN/PSS	SYSC_SYSRUNPEFR:PEF1 SYSC_SYSPSSPEFR:PEF1
クロック	RUN でクロックドメイン 0 のソースクロックを"L"固定とした場合	RUN	SYSC_SYSRUNPEFR:PEF2
クロック	PLL 発振許可状態で、PLL の設定変更(入力分周設定、通倍設定、出力分周設定)を行った場合	RUN/PSS	SYSC_SYSRUNPEFR:PEF3 SYSC_SYSPSSPEFR:PEF3
クロック スーパバイザ	監視クロックまたは参照クロックを発振禁止とクロックスーパバイザ動作許可した場合	RUN/PSS	SYSC_SYSRUNPEFR:PEF5 SYSC_SYSPSSPEFR:PEF5
クロック スーパバイザ	クロックスーパバイザを動作許可から禁止する際、同時に監視クロックの発振を停止させない場合	RUN/PSS	SYSC_SYSRUNPEFR:PEF6 SYSC_SYSPSSPEFR:PEF6
クロック スーパバイザ	ユーザリセット要因レジスタ(SYSC_RSTCAUSEUR) のクロックスーパバイザリセット検出ビットのセットされている状態で、その監視クロックをいずれかのクロックドメインに選択した場合	RUN/PSS	SYSC_SYSRUNPEFR:PEF7 SYSC_SYSPSSPEFR:PEF7
クロック スーパバイザ	システムエラー割込み要因レジスタ 0(SYSC_SYSEERRI0) の異常検出フラグがセットされている状態で、その監視クロックをいずれかのクロックドメインに選択した場合	RUN/PSS	SYSC_SYSRUNPEFR:PEF8 SYSC_SYSPSSPEFR:PEF8
ソフトウェアウォッチ ドッグ	ソフトウェアウォッチドッグで使用しているクロックを停止した場合	RUN/PSS	SYSC_SYSRUNPEFR:PEF9 SYSC_SYSPSSPEFR:PEF9
ハードウェアウォッチ ドッグ	ハードウェアウォッチドッグで使用しているクロックを停止した場合	RUN/PSS	SYSC_SYSPSSPEFR:PEF10



a) PLL クロック発振許可でメインクロック発振禁止の場合

RUN/PSS クロックソース許可レジスタ(SYSC_RUN(PSS)CKSRER)			
ソースクロック発信許可ビット			
PLEN	MOSCEN	SCROSCEN	CROSCEN
1	0	X	X

X: Don't care

b) 発振禁止設定のクロックをクロックドメインのクロックとして選択している場合

RUN/PSS クロックソース許可レジスタ (SYSC_RUN(PSS)CKSRER)				RUN/PSS クロック選択レジスタ 0 (SYSC_RUN(PSS)CKSELR0)		
ソースクロック発信許可ビット				クロック選択ビット		
PLEN	MOSCEN	SCROSCEN	CROSCEN	CD0CSL[2:0]		
0	X	X	X	1	0	0
X	0	X	X	0	1	0
X	X	0	X	0	0	1
X	X	X	0	0	0	0

X: Don't care

c) RUN でクロックドメイン 0 のソースクロックを"L"固定とした場合

RUN クロック選択レジスタ 0(SYSC_RUNCKSELR0)		
クロック選択ビット		
CD0CSL[2:0]		
1	1	1
1	1	0
1	0	1
0	1	1

d) PLL 発振許可状態で, PLL の設定変更(入力分周設定, 逡倍設定, 出力分周設定を行った場合

以下のレジスタビットを書き換えた場合

PLL 制御レジスタ(SYSC_RUN(PSS)PLLCNTR)

[bit22:16] PLLDIVN[6:0] : PLL クロック N 逡倍設定ビット

[bit11:8] PLLDIVM[3:0] : PLL クロック M 分周設定ビット

[bit1:0] PLLDIVL[1:0] : PLL 入力クロック分周設定ビット

<注意事項>

- PSS から RUN 復帰時に PLL 設定を変更する場合は注意が必要です。プロファイルエラーが起きない設定にしてください。

e) 監視クロックまたは参照クロックを発振禁止とクロックスーパバイザ動作許可した場合

RUN プロファイル

メインクロックスーパバイザ 設定レジスタ 11 (SYSC_CSVMOFCFR11)	RUN クロックソース許可レジスタ (SYSC_RUNCKSRER)				RUN クロックスーパバイザ 許可レジスタ (SYSC_RUNCSVCFGR)	
参照クロック選択ビット						
REFCLKSEL	PLLEN	MOSCEN	SCROSCEN	CROSCEN	PLLCSVE	MOCSVE
X	1	0	1	1	1	X
X	0	1	1	1	1	X
X	X	0	1	1	X	1

X: Don't care

PSS プロファイル

メインクロックスーパバイザ 設定レジスタ 11 (SYSC_CSVMOFCFR11)	PSS クロックソース許可レジスタ (SYSC_PSSCKSRER)				PSS クロックスーパバイザ 許可レジスタ (SYSC_PSSCSVCFGR)	
参照クロック選択ビット						
REFCLKSEL	PLLEN	MOSCEN	SCROSCEN	CROSCEN	PLLCSVE	MOCSVE
X	1	0	1	X	1	X
X	0	1	1	X	1	X
X	X	0	1	X	X	1
0	X	X	1	0	X	1

X: Don't care

f) クロックスーパバイザを動作許可から禁止する際、同時に監視クロックの発振を停止させない場合

Status クロックスーパバイザ 設定レジスタ (SYSC_STSCSVCFGR)		RUN/PSS クロックソース許可レジスタ (SYSC_RUN(PSS)CKSRER)				RUN/PSS クロックスーパバイザ 許可レジスタ (SYSC_RUN(PSS)CSVCFGR)	
PLLCSVE	MOCSVE	PLLEN	MOSCEN	SCROSCEN	CROSCEN	PLLCSVE	MOCSVE
1	X	1	1	1	1	0	X
X	1	X	1	1	1	X	0

X: Don't care

<注意事項>

- PSS から RUN 復帰時に CSV を OFF する場合は注意が必要です。プロファイルエラーが起きない設定にしてください。違反する設定をした場合は、リセットが発行されます。

g) ユーザリセット要因レジスタ(SYSC_RSTCAUSEUR) のクロックスーパバイザリセット検出ビットのセットされている状態で、その監視クロックをいずれかのクロックドメインに選択した場合

ユーザリセット要因レジスタ (SYSC_RSTCAUSEUR)		RUN/PSS クロック選択レジスタ 0 (SYSC_RUN(PSS)CKSELR0)		
クロックスーパバイザリセット検出ビット		クロック選択ビット		
CSVPR	CSVMOR	CD0CSL[2:0]		
1	X	1	0	0



H A R D W A R E M A N U A L

X	1	0	1	0
---	---	---	---	---

X: Don't care

h) システムエラー割込み要因レジスタ 0(SYSC_SYSEERRI0)の異常検出フラグがセットされている状態でその監視クロックをいずれかのクロックドメインに選択した場合

システムエラー割込み要因レジスタ 0 (SYSC_SYSEERRI0)		RUN/PSS クロック選択レジスタ 0 (SYSC_RUN(PSS)CKSELR0)		
異常検出フラグビット		クロック選択ビット		
PMIF	MOMIF	CD0CSL[2:0]		
1	X	1	0	0
X	1	0	1	0

X: Don't care

i) ソフトウェアウォッチドッグで使用しているクロックを停止した場合

RUN プロファイル

RUN クロックソース許可レジスタ (SYSC_RUNCKSRER)			ソフトウェアウォッチドッグコンフィグレーションレジスタ (SWDGn_CFG)		
MOSCEN (メイン)	SCROSCEN (低速 CR)	CROSCEN (高速 CR)	WDENRUN (RUN 動作)	ALLOWSTOPCLK (クロック停止をと もなう PSS 遷移)	CLKSEL[1:0] (クロック選択)
0	1	1	1	X	11

X: Don't care

PSS プロファイル

PSS クロックソース許可レジスタ (SYSC_PSSCKSRER)			ソフトウェアウォッチドッグコンフィグレーションレジスタ (SWDGn_CFG)		
MOSCEN (メイン)	SCROSCEN (低速 CR)	CROSCEN (高速 CR)	WDENPSS (PSS 動作)	ALLOWSTOPCLK (クロック停止をと もなう PSS 遷移)	CLKSEL[1:0] (クロック選択)
0	X	X	1	0	11
X	0	X	1	0	01
X	X	0	1	0	00

X: Don't care

j) ハードウェアウォッチドッグで使用しているクロックを停止した場合

RUN プロファイル

低速 CR クロック/高速 CR クロックは停止しないため、エラー条件はありません

PSS プロファイル

PSS クロックソース許可レジスタ (SYSC_PSSCKSRER)			ハードウェアウォッチドッグコンフィグレーションレジスタ (HWDG_CFG)		
MOSCEN (メイン)	SCROSCEN (低速 CR)	CROSCEN (高速 CR)	WDENPSS (PSS 動作)	ALLOWSTOPCLK (クロック停止をと もなう PSS 遷移)	CLKSEL[0] (クロック選択)
X	0	X	1	0	1
X	X	0	1	0	0

X: Don't care



3.5. 割込み

割込みについて示します。

以下に低消費電力が発生する割込みを示します。

表 3-4 割込み一覧表

発生条件	要因レジスタ	許可条件	クリア条件
RUN プロファイル更新(メイン状態制御)が完了したとき	SYSC_SYSSTSR: RUNDFO	SYSC_SYSINTER:RUND IE0 ビットに"1"書込み	SYSC_SYSCICLR:RUNDFOCLR0 ビットに"1"書込み
RUN プロファイル更新トリガ有効時に RUN プロファイルレジスタの内容にエラーがあるとき	SYSC_SYSERRIR1: RUNERRIFO	NMI レベルのため、常に許可	SYSC_SYSERRICLR1:RUNERRICLR0 ビットに"1"書込み
PSS 遷移時(WFI 命令実行)に RUN プロファイルレジスタの内容にエラーがあるとき	SYSC_SYSERRIR1: RUNWKERRIFO	NMI レベルのため、常に許可	SYSC_SYSERRICLR1:RUNWKERRICLR0 ビットに"1"書込み
PSS 遷移時(WFI 命令実行)に PSS プロファイルレジスタの内容にエラーがあるとき	SYSC_SYSERRIR1: PSSERRIFO	NMI レベルのため、常に許可	SYSC_SYSERRICLR1:PSSERRICLR0 ビットに"1"書込み
PSS 更新許可レジスタ(メイン状態制御)に不正な値を書込んだとき	SYSC_SYSERRIR1: PSSSENERRIFO	NMI レベルのため、常に許可	SYSC_SYSERRICLR1:PSSSENERRICLR0 ビットに"1"書込み
PSS 更新許可レジスタ(サブ状態制御)に不正な値を書込んだとき	SYSC_SYSERRIR1: PSSSENERRIFI	NMI レベルのため、常に許可	SYSC_SYSERRICLR1:PSSSENERRICLR1 ビットに"1"書込み
PSS 遷移中(メイン状態制御)に遷移がキャンセル発生したとき	SYSC_SYSERRIR1: PSSTRGCIFO	NMI レベルのため、常に許可	SYSC_SYSERRICLR1:PSSTRGCICLR0 ビットに"1"書込み
PSS 遷移中(サブ状態制御)に遷移がキャンセル発生したとき	SYSC_SYSERRIR1: PSSTRGCIFI	NMI レベルのため、常に許可	SYSC_SYSERRICLR1:PSSTRGCICLR1 ビットに"1"書込み
RUN 更新許可レジスタに不正な値を書込んだとき	SYSC_SYSERRIR1: RUNTRGERRIF	NMI レベルのため、常に許可	SYSC_SYSERRICLR1:RUNTRGERRICLR ビットに"1"書込み
RUN プロファイル更新中に再度 RUN プロファイルを更新したとき	SYSC_SYSERRIR1: TRGERRIF	NMI レベルのため、常に許可	SYSC_SYSERRICLR1:TRGERRICLR ビットに"1"書込み

3.6. バスエラー応答

バスエラー応答について示します。

以下の条件でレジスタアクセスをした場合に、バスエラー応答を行います。

- プロテクション・キー設定レジスタに無効な値を書き込んだ場合
- プロテクションを解除しないで、プロテクション対象レジスタにライトアクセスした場合(各SCTレジスタは、発振安定待ち中のみ対象です)。
- プロテクションを解除中にプロテクション・キー設定レジスタにライトアクセスした場合。ただし、他CPUからの有効な書込みの場合は、他CPUでのプロテクションとして解除され、バスエラーは発生しません。
- プロテクション・キーを解除したマスタ以外からプロテクション対象レジスタにライトアクセスした場合
- RUNプロファイル更新中にRUNプロファイルレジスタ群にライトアクセスした場合。書込みデータは無効になります。
- PSSENを有効後にRUN/PSSプロファイルレジスタ群にライトアクセスした場合。書込みデータは、無効になります。



4. 動作手順

低消費電力の動作手順を説明します。

(1) RUN プロファイル更新

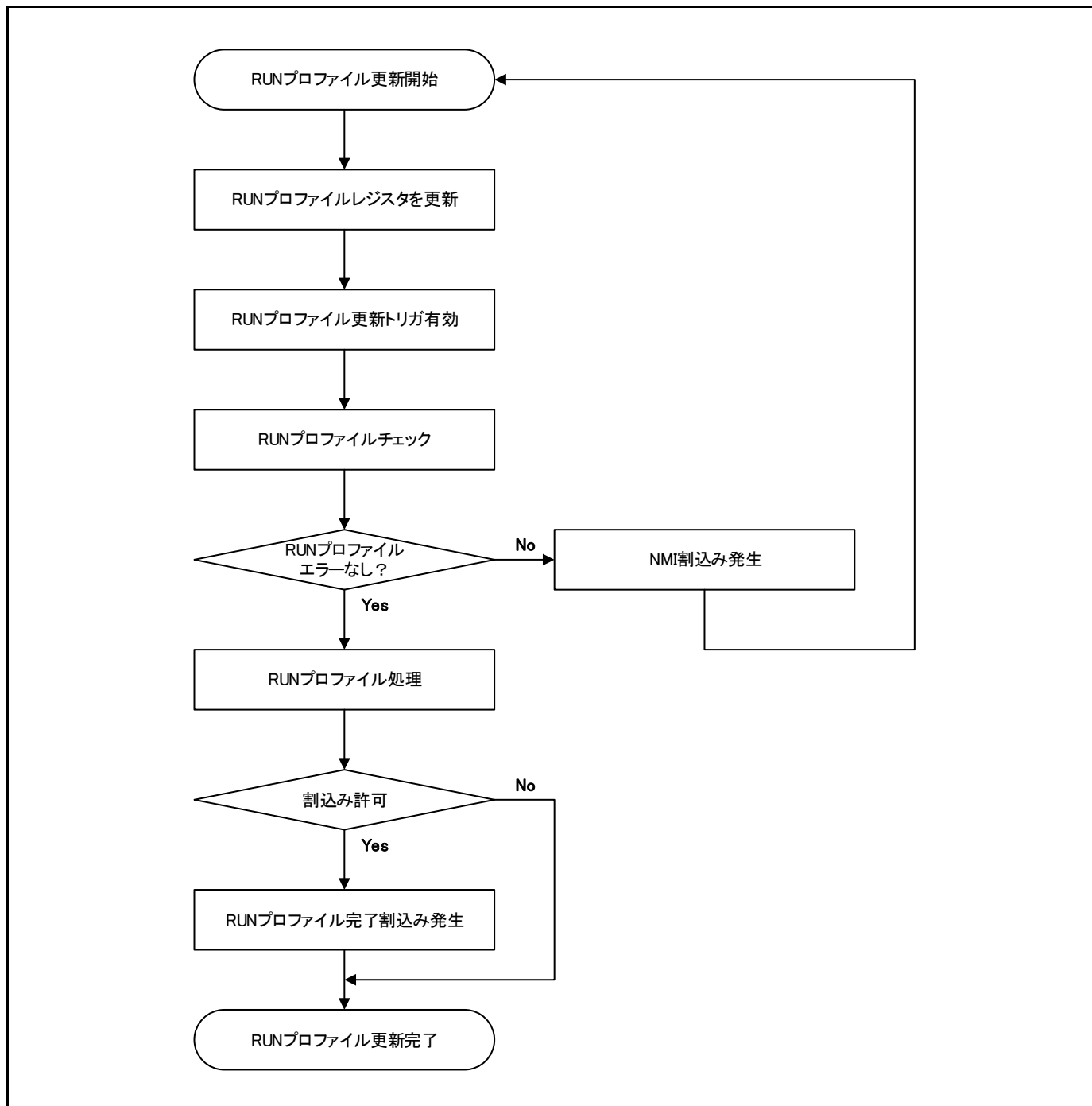
以下に RUN プロファイルを更新する手順例を説明します。

1. ユーザが新しい RUN プロファイルを用意(レジスタの設定)します。
2. RUN プロファイル更新トリガレジスタ(SYSC_TRGRUNCNTR:APPLY_RUN)に 0xAB を書き込みで、プロファイルの更新を始めます。
3. 制御回路が、新しい RUN プロファイルの内容を確認します。もし設定内容に問題がある場合は、プロファイルエラーとなり、エラー割込み(NMI)が発生し、同時にシステムエラー割込み要因レジスタ 1(SYSC_SYSERRIR1: RUNERRIF0)をセットします。新しいプロファイルの内容は破棄され、現在使用しているプロファイルの内容で回路は動作します。
4. 新しい RUN プロファイルの内容に問題なければ、制御回路がプロファイルの内容を以下のとおりに反映させます。
 1. システムステータスレジスタ(SYSC_SYSSTSR: RUNSTS0)に"1"をセットします。
 2. RUN プロファイルの内容を APPLIED プロファイルにコピーします。
 3. クロック発振許可/停止(発振安定待ちも含む), CSV 設定変更, LVD 設定変更, クロック動作設定(ソースクロックの変更, 分周, 各クロックソース ON/OFF), クロック停止設定(ソースクロックの停止)を反映していきます。
 4. RUN プロファイルの更新が完了すると、システムステータスレジスタ (SYSC_SYSSTSR: RUNSTS0) が"0"にクリアされ、システムステータスレジスタ(SYSC_SYSSTSR: RUNDFO)に"1"をセットします。また、システムステータス割込み許可レジスタ(SYSC_SYSINTER: RUNDIE0)を許可の場合は、割込みが発生します。

<注意事項>

- 新しいプロファイルを更新中に再度プロファイルを更新した場合、システムエラー割込み(SYSC_SYSERRIR1: RUNTRGERRIF)が発生し、再更新しようとしたプロファイルは無効です。
- RUN プロファイルを更新する前にプロファイルステータスレジスタ(SYSC_SYSPROSTSR: RUNPSTS)のフラグに、プロファイルエラーがないことを確認してください。プロファイルエラーの状態で、RUN プロファイル更新した場合、NMI 割込みが発生し、その RUN プロファイルの設定は破棄されます。
- RUN プロファイルは、以下の設定は変更できません。
 - CPU0-1, HPM クロック, SYSC クロック

図 4-1 RUN プロファイル更新の動作フロー図



(2) RUN から PSS への遷移

以下に各 CPU が PSS へ遷移する場合の手順例を説明します。

a) メイン状態制御が遷移する場合

1. ユーザが新しい PSS プロファイルと RUN プロファイルを用意(レジスタの設定)します。RUN プロファイルは, PSS から復帰する際の設定をします。
2. CPU1 の状態が, PSS へ遷移可能かどうかを確認します。以下のレジスタの値を読み出して, 各 CPU の確認してください。

－ CPU1 の状態(SYSC_SYSSTSR: CPUSTS1)



- →CPU1 が, WFI 状態であること
 - CPU1 が, RUN プロファイル更新中の場合は, 更新完了を待ちます。
 - CPU1 が, PSS(WFI 命令実施)の場合は, 3, 4 の項目をする必要はありません。
3. リソースの機能を使って(コア間通信など), CPU1 に PSS へ遷移させることを通知します。
 4. CPU1 は, その通知を受けて, WFI 命令を実施します。
 5. CPU0 は, PSS プロファイル更新許可レジスタ(SYSC_PSSSEN:PSSEN0)に 0xBA を書き込みます。
 6. CPU1 の状態を再度確認してください。チェック項目は, 項目 2 と同じ内容を確認してください。
 7. CPU0 が WFI 命令を実行してください。その命令をトリガとして, プロファイルの更新を始めます。
 8. 更新する PSS/RUN プロファイルの内容を確認します。もし RUN/PSS プロファイルの設定内容に問題がある場合は, システムエラー割込み要因レジスタ 1(SYSC_SYSERRIR1:RUNWKERRIF0/PSSERRIF0)が有効になります。どちらかのプロファイルにエラーがあると, NMI 割込みが発生します。割込みは無効にできません。プロファイルエラー内容は, フラグレジスタで内容を確認し, 問題の箇所を修正してください。
 9. PSS プロファイルの内容が問題なければ, 制御回路がプロファイルの内容を以下のとおりに反映させます。
 1. 各 CPU の PSS プロファイル設定状態 (SYSC_SYSSTSR: PSSSTS0-1) が "1" にセットされます。
 2. PSS プロファイルの内容を APPLIED プロファイルにコピーします。
 3. WAKEUP 要求が発生, または CPU1 の状態を確認します。もし WAKEUP 要求が発生, または CPU1 の状態が WFI 解除している場合は, PSS への遷移はキャンセルされます。その際に NMI 割込みが発生し, システムエラー割込み要因レジスタ 1(SYSC_SYSERRIR1:PSSTRGCIF0)が "1" にセットされます。
 4. クロック発振許可/停止(発振安定待ちも含む), CSV 設定変更, LVD 設定変更, クロック動作設定(ソースクロックの変更, 分周, 各クロックソース ON/OFF), クロック停止設定(ソースクロックの停止)を行います。
 5. 各 CPU の PSS プロファイル設定状態 (SYSC_SYSSTSR: PSSSTS0-1)が "0" にセットされ, 各 CPU の PSS プロファイル完了フラグ(SYSC_SYSSTSR:PSSDF0-1)に "1" がセットされます。
 10. PSS への遷移が完了します。

<注意事項>

- 1CPU0/1 モード動作時は, 項目 2, 3, 4, 6 を実行する必要はありません。2CPU モードのみ対応が必要です。
- メイン状態制御が PSS へ遷移する際は, すべての CPU が PSS へ遷移します。既に PSS の CPU は, 状態の変化はありません。
- PSS プロファイル更新許可レジスタを有効にしないまま, WFI 命令を実行した場合は, PSS への遷移はしませんが, プログラムは停止します。プログラム実行に戻る場合は, 割込み, リセットなどで復帰してください。
- PSS で PLL 起動する場合は, RUN/PSS プロファイルの PLL 設定(分周・逡倍)は, 同じ設定にしてください。設定が違う場合は, PSS 復帰時にプロファイルエラーリセットが発行されます。
- PSS で CSV を有効にし, RUN で停止する設定で, プロファイル更新した場合は, CSV 停止条件を満たすように設定してください。違反する設定をした場合は, PSS 復帰時にプロファイルエラーリセットが発行されます。

以下に RUN→PSS (メイン状態制御)動作フロー図を示します。

図 4-2 2CPU モード RUN→PSS(メイン状態制御)動作フロー図

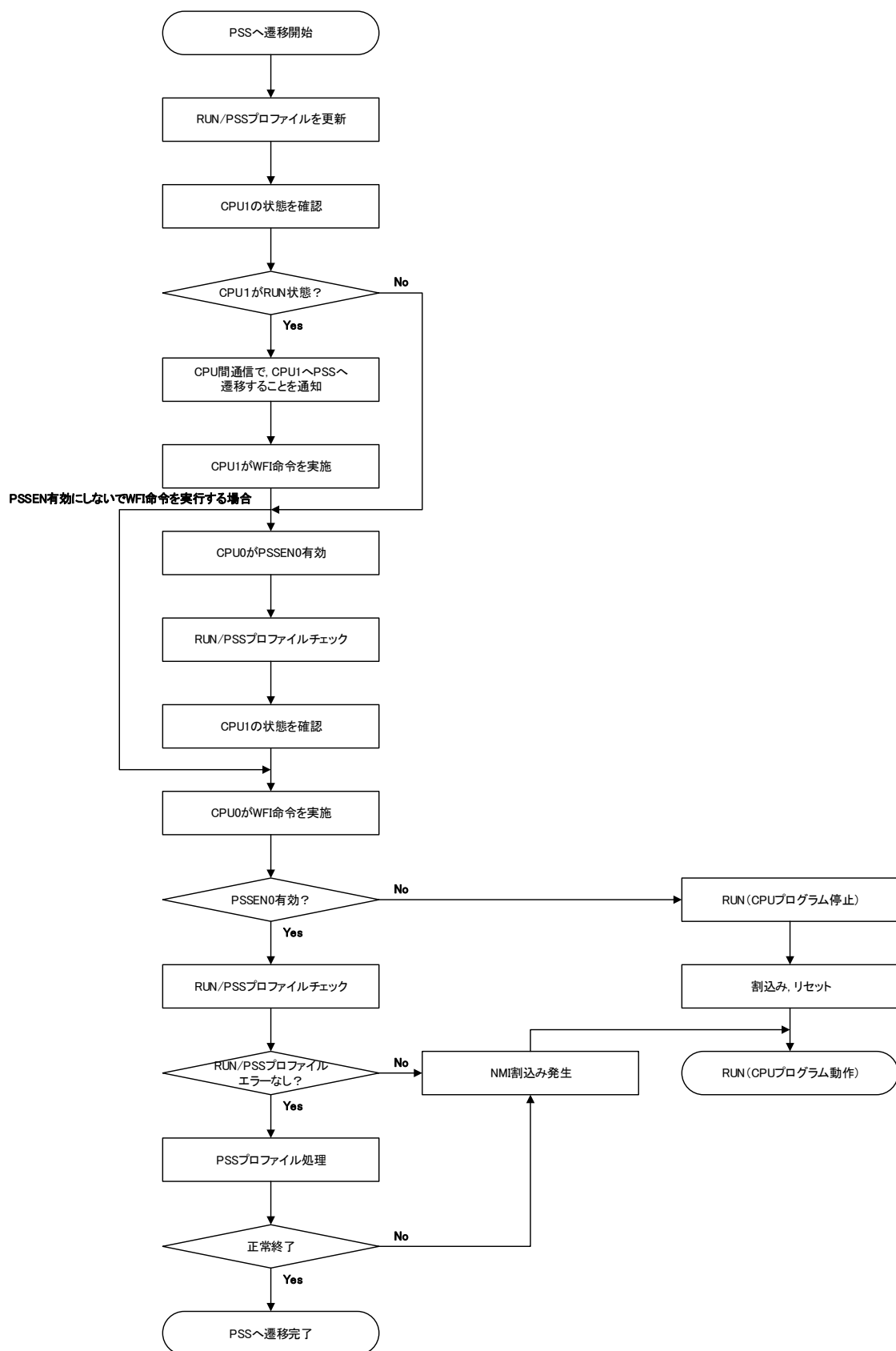
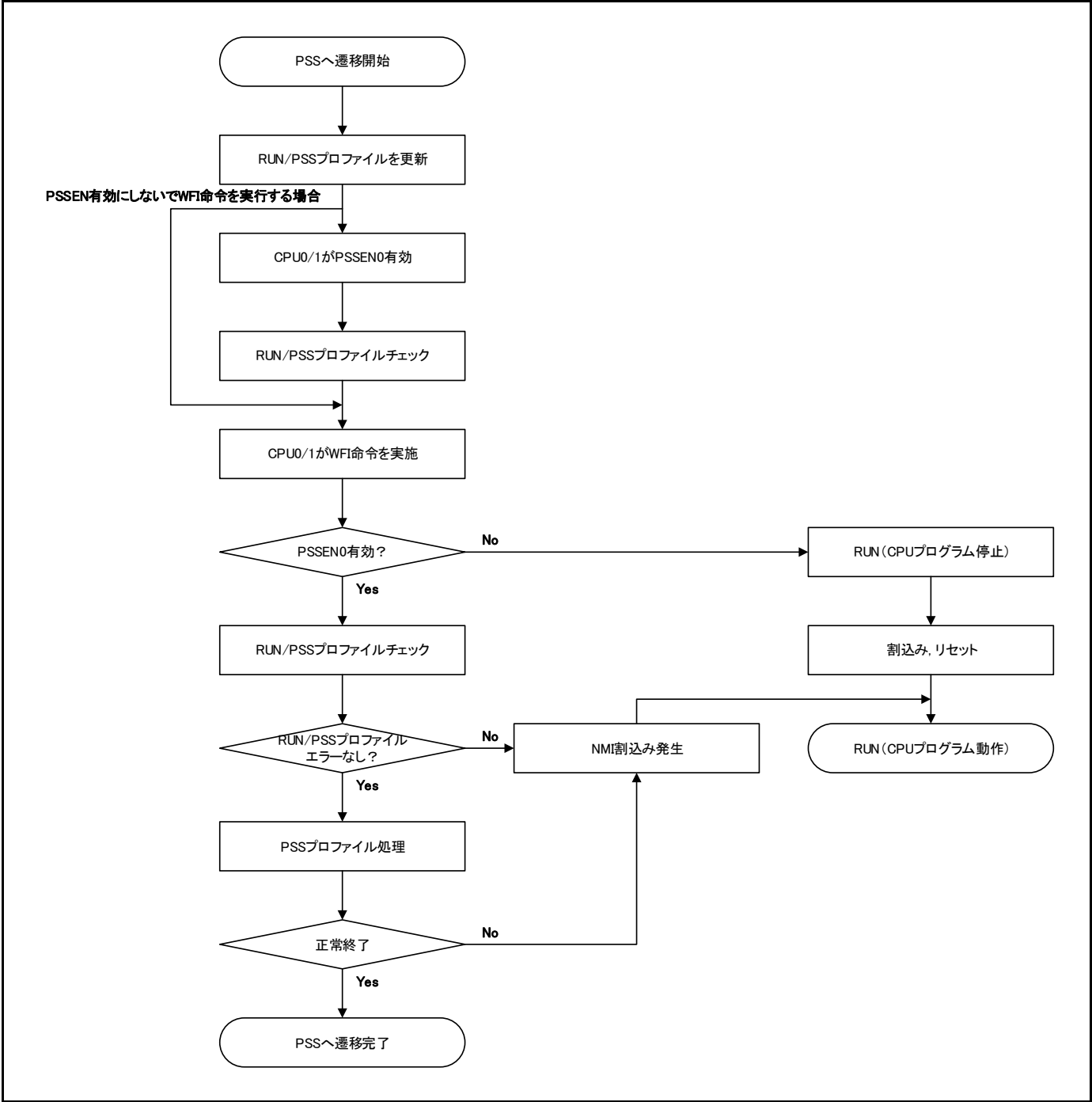


図 4-3 1CPU0/1 モード動作時 RUN→PSS(メイン状態制御)動作フロー図



b) サブ状態制御が遷移する場合

1. ユーザが新しい PSS プロファイルと RUN プロファイル設定を用意(レジスタの設定)します。RUN プロファイルは, PSS から復帰する際の設定をします。
2. CPU1 は, PSS プロファイル更新許可レジスタ(SYSC_PSSSEN0:PSSSEN1)に 0xBA を書き込みます。
3. CPU1 が WFI 命令を実行してください。その命令をトリガとして、プロファイルの更新を始めます。
4. 制御回路がプロファイルの内容を以下のとおりに反映させます。
 1. CPU1 の PSS プロファイル設定状態 (SYSC_SYSSTS0: PSSSTS0) が "1" にセットされます。
 2. PSS プロファイルの内容を APPLIED プロファイルにコピーします。

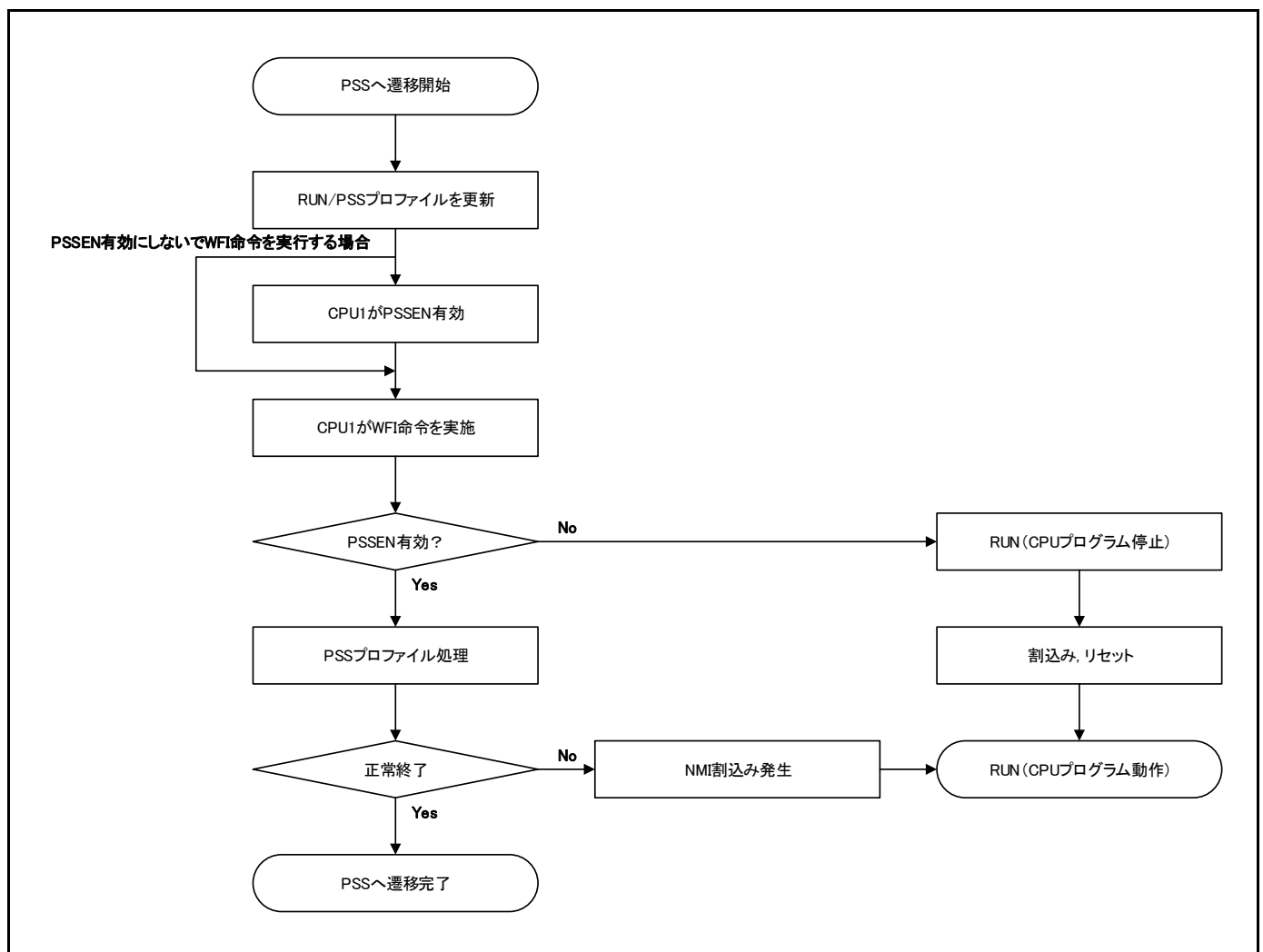
3. WAKEUP1 要求が発生しているかを確認します。もし WAKEUP1 要求が発生している場合は、PSS への遷移はキャンセルされます。その際に NMI 割込みが発生し、システムエラー割込み要因レジスタ 1(SYSC_SYSEERRIR1:PSSTRGCIF1)が"1"にセットされます。
4. クロック動作設定(CPU クロックソース ON/OFF)を行います。
5. 新しいプロファイルが反映されます。
6. CPU1 の PSS プロファイル設定状態 (SYSC_SYSSTSR:PSSSTS1)が"0"にセットされ、CPU1 の PSS プロファイル完了フラグ(SYSC_SYSSTSR:PSSDF1)に"1"がセットされます。
5. PSS への遷移が完了します。

<注意事項>

- PSS トリガレジスタを有効にしないまま、WFI 命令を実行した場合は、PSS への遷移はしませんが、プログラムは停止します。プログラム実行にに戻る場合は、割込み、リセットなどで復帰してください。

以下に RUN→PSS 遷移(CPU1)の動作フロー図を示します。

図 4-4 RUN→PSS(CPU1)動作フロー図

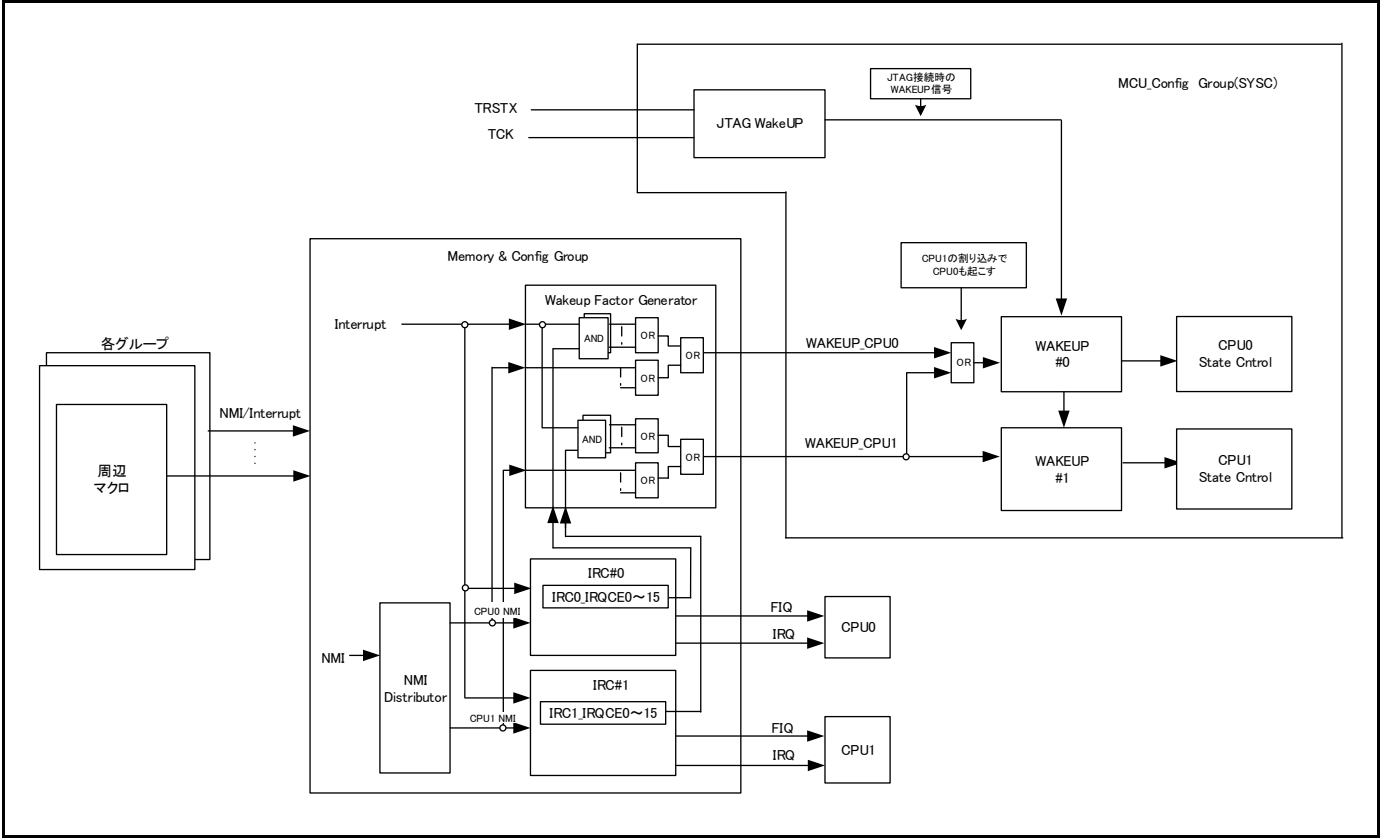




(3) PSS から RUN への遷移

RUN に復帰するためには、割込みなどを発生してください。
以下に Wakeup 回路の概略図を示します。

図 4-5 Wakeup 回路概略図



すべての割込み要因を Wakeup 要因として設定できます。

以下に復帰要因を示します。

各リソースからの割込み

NMI

リセット

JTAG Wakeup

<注意事項>

- 復帰する CPU をレジスタで選択できます。メイン状態制御をコントロールしている CPU は、必ず PSS から復帰します。

(4) メイン状態制御、サブ状態制御する CPU が復帰する場合

以下にすべての CPU が PSS から RUN に復帰する手順例を示します。

1. 復帰要因が発生し、制御回路が復帰要因を認識後、復帰し始めます。
2. 高速 CR クロックを停止させていた場合は、高速 CR クロックの発振安定待ちを取ります。
3. RUN プロファイルの設定内容に問題がある場合(ビット・エラー, PLL, CSV 設定変更など)は、プロファイルエラーリセットが発生します。

4. RUN プロファイルの内容が問題なければ、制御回路がプロファイルの内容を以下のとおりに反映させます。

1. 各 CPU の RUN プロファイル設定状態 (SYSC_SYSSTSR: RUNSTS0-1) が"1"にセットされます。
2. RUN プロファイルの内容を APPLIED プロファイルにコピーします。
3. クロック発振許可/停止(発振安定待ちも含む), CSV 設定変更, LVD 設定変更, クロック動作設定 (ソースクロックの変更, 分周, 各クロックソース ON/OFF), クロック停止設定(ソースクロックの停止)を行います。各 CPU の RUN プロファイル設定状態(SYSC_SYSSTSR:RUNSTS0-1)が"0"にセットされます。

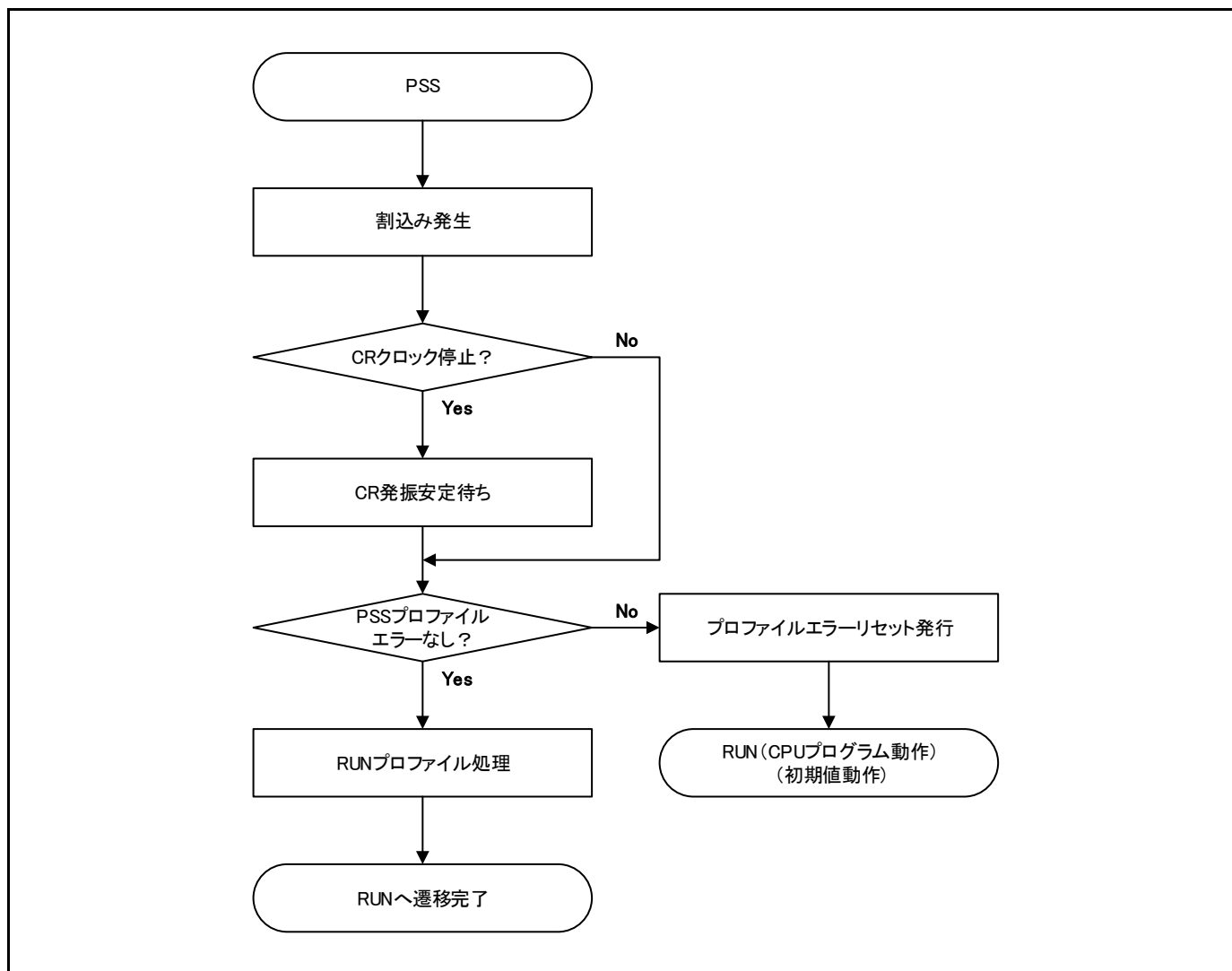
5. RUN に遷移し, CPU がプログラム動作を開始します。

<注意事項>

- プロファイルエラーが発生した場合は、初期値の RUN プロファイル設定です。

以下に PSS→RUN 遷移の動作フロー図を示します。

図 4-6 PSS→RUN(CPU0-1)動作フロー図





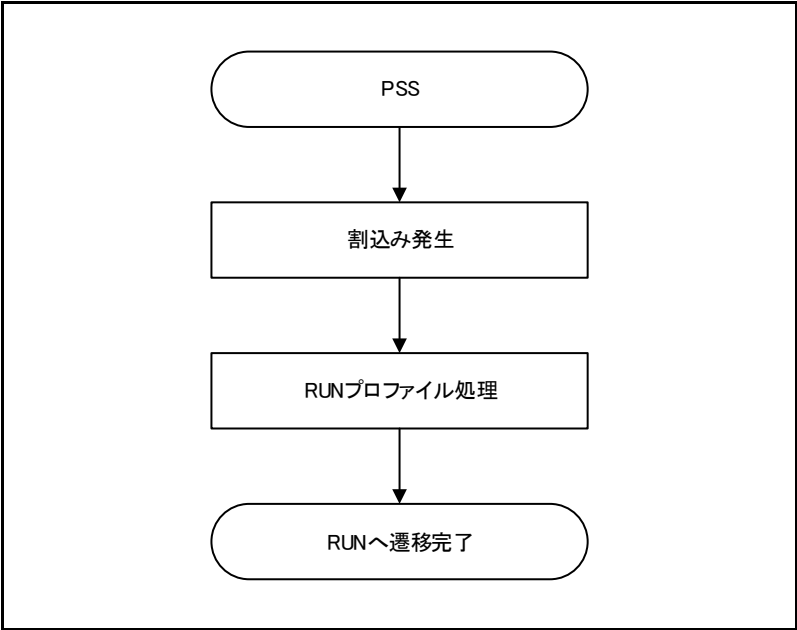
(5) サブ状態制御する CPU のみ復帰する場合

以下に CPU1 が PSS から RUN プロファイルに復帰する手順例を示します。

1. 復帰要因が発生し、制御回路が復帰要因を認識後、復帰し始めます。
2. 制御回路がプロファイルの内容を以下のとおりに反映させます。
 1. システムステータスレジスタ(SYSC_SYSSTSR: RUNSTS0-1)が有効になります。
 2. RUN プロファイルの内容を APPLIED プロファイルにコピーします。
 3. クロック動作設定(CPU1 クロックソース ON)を行います。
 4. 各 CPU の RUN プロファイル設定状態(SYSC_SYSSTSR: RUNSTS1)が"0"にセットされます。
3. RUN に遷移し、CPU がプログラム動作を開始します。

以下に PSS→RUN 遷移の動作フロー図を示します。

図 4-7 PSS→RUN(CPU1)動作フロー図



5. レジスタ

低消費電力レジスタについて説明します。

システムコントローラレジスタは以下のレジスタ群で構成されます。

- プロテクションレジスタ群
 - RUN プロファイルレジスタ群
 - PSS プロファイルレジスタ群
 - APP プロファイルレジスタ群
 - Status プロファイルレジスタ群
 - システムレジスタ群
 - クロックスーパーバイザレジスタ群
 - リセット制御レジスタ群
 - 低速 CR 用ソースクロックタイマレジスタ群
 - 高速 CR 用ソースクロックタイマレジスタ群
 - メイン発振用ソースクロックタイマレジスタ群
 - クロック制御レジスタ群
 - 特殊設定レジスタ群
 - デバッグレジスタ群
-
- 項目クロックスーパーバイザレジスタ群は『クロックスーパーバイザ』の章を参照してください
 - 項目リセット制御レジスタ群は『リセット』の章を参照してください。
 - 項目各ソースクロックタイマレジスタ群は『ソースクロックタイマ』の章を参照してください。
 - 項目クロック制御レジスタ群は『クロックシステム』の章を参照してください。

＜注意事項＞

- SYSC レジスタは、プロテクションが適用されています。そのレジスタは、プロテクション・キーを解除しないと、レジスタ書込みはできません。不正書込みのデータは、破棄されます。以下に SYSC レジスタアクセス手順例を示します。
 1. アクセスしたいマスタが、プロテクション・キーを解除
 2. SYSC レジスタに書込み(プロテクション・キーを解除したマスタ)
 3. ハードウェアが、プロテクション・キーを有効
 4. 必要な設定が完了するまで、1～3 を繰り返す
- デバッグレジスタ群は、プロテクション保護の対象外です。



表 5-1 プロテクションレジスタ群

レジスタ略称	レジスタ名	参照先
SYSC_PROTKEYR	プロテクション・キー設定レジスタ	5.1.1

表 5-2 RUN プロファイルレジスタ群

レジスタ略称	レジスタ名	参照先
SYSC_RUNCKSRER	RUN クロックソース許可レジスタ	5.2.1
SYSC_RUNCKSELR0	RUN クロック選択レジスタ 0	5.2.2
SYSC_RUNCKER	RUN クロック許可レジスタ	5.2.3
SYSC_RUNCKDIVR0	RUN クロック分周レジスタ 0	5.2.4
SYSC_RUNCKDIVR1	RUN クロック分周レジスタ 1	5.2.5
SYSC_RUNCKDIVR2	RUN クロック分周レジスタ 2	5.2.6
SYSC_RUNPLLCNTR	RUN PLL 制御レジスタ	5.2.7
SYSC_RUNLVDCFGFR	RUN 低電圧検出設定レジスタ	5.2.8
SYSC_RUNCSVCFGFR	RUN クロックスーパバイザ設定レジスタ	5.2.9
SYSC_TRGRUNCNTR	RUN プロファイル更新トリガレジスタ	5.2.10

表 5-3 PSS プロファイルレジスタ群

レジスタ略称	レジスタ名	参照先
SYSC_PSSCKSRER	PSS クロックソース許可レジスタ	5.3.1
SYSC_PSSCKSELR0	PSS クロック選択レジスタ 0	5.3.2
SYSC_PSSCKER	PSS クロック許可レジスタ	5.3.3
SYSC_PSSCKDIVR0	PSS クロック分周レジスタ 0	5.3.4
SYSC_PSSCKDIVR1	PSS クロック分周レジスタ 1	5.3.5
SYSC_PSSCKDIVR2	PSS クロック分周レジスタ 2	5.3.6
SYSC_PSSPLLCNTR	PSS PLL 制御レジスタ	5.3.7
SYSC_PSSLVDCFGFR	PSS 低電圧検出設定レジスタ	5.3.8
SYSC_PSSCSVCFGFR	PSS クロックスーパバイザ設定レジスタ	5.3.9
SYSC_PSSSEN	PSS プロファイル更新許可レジスタ	5.3.10

表 5-4 APP プロファイルレジスタ群

レジスタ略称	レジスタ名	参照先
SYSC_APPCKSRER	APPLIED クロックソース許可レジスタ	5.4.1
SYSC_APPCKSELR0	APPLIED クロック選択レジスタ 0	5.4.2
SYSC_APPCKER	APPLIED クロック許可レジスタ	5.4.3
SYSC_APPCKDIVR0	APPLIED クロック分周レジスタ 0	5.4.4
SYSC_APPCKDIVR1	APPLIED クロック分周レジスタ 1	5.4.5
SYSC_APPCKDIVR2	APPLIED クロック分周レジスタ 2	5.4.6
SYSC_APPPLLCNTR	APPLIED PLL 制御レジスタ	5.4.7
SYSC_APPLVDCFGFR	APPLIED 低電圧検出設定レジスタ	5.4.8
SYSC_APPCSVCFGFR	APPLIED クロックスーパバイザ設定レジスタ	5.4.9

表 5-5 プロファイルステータスレジスタ群

レジスタ略称	レジスタ名	参照先
SYSC_STSCSRER	Status クロックソース許可レジスタ	5.5.1
SYSC_STSCSELR0	Status クロック選択レジスタ 0	5.5.2
SYSC_STSCCKER	Status クロック許可レジスタ	5.5.3
SYSC_STSCCKDIVR0	Status クロック分周レジスタ 0	5.5.4
SYSC_STSCCKDIVR1	Status クロック分周レジスタ 1	5.5.5

レジスタ略称	レジスタ名	参照先
SYSC_STSCCKDIVR2	Status クロック分周レジスタ 2	5.5.6
SYSC_STSPLLCNTR	Status PLL 制御レジスタ	5.5.7
SYSC_STSLVDCFGR	Status 低電圧検出設定レジスタ	5.5.8
SYSC_STSCSVCFGR	Status クロックスーパバイザ設定レジスタ	5.5.9

表 5-6 システムレジスタ群

レジスタ略称	レジスタ名	参照先
SYSC_SYSSTSR	システムステータスレジスタ	5.6.1
SYSC_SYSINTER	システムステータス割込み許可レジスタ	5.6.2
SYSC_SYSICLR	システムステータスフラグ・割込みクリアレジスタ	5.6.3
SYSC_SYSERRIR0	システムエラー割込み要因レジスタ 0	5.6.4
SYSC_SYSERRIR1	システムエラー割込み要因レジスタ 1	5.6.5
SYSC_SYSERRICLR0	システムエラー要因クリアレジスタ 0	5.6.6
SYSC_SYSERRICLR1	システムエラー要因クリアレジスタ 1	5.6.7
SYSC_SYSPROTSR	プロファイルステータスレジスタ	5.6.8
SYSC_SYSRUNPEFR	RUN プロファイルエラーフラグレジスタ	5.6.9
SYSC_SYSPSSPEFR	PSS プロファイルエラーフラグレジスタ	5.6.10

表 5-7 特殊設定レジスタ群

レジスタ略称	レジスタ名	参照先
SYSC_SPECFGR	システム特殊設定レジスタ	5.7.1
SYSC_SPECPUFCGR	CPU 制御レジスタ	5.7.2

表 5-8 デバッグレジスタ群

レジスタ略称	レジスタ名	参照先
SYSC_JTAGDETECT	JTAG 検出レジスタ	5.8.1
SYSC_JTAGCNFG	JTAG 設定レジスタ	5.8.2
SYSC_JTAGWAKEUP	JTAG 復帰レジスタ	5.8.3



5.1. プロテクションレジスタ群

SYSC レジスタをアクセスする際の制御レジスタです。

5.1.1. プロテクション・キー設定レジスタ(SYSC_PROTKEYR)

System Controller(SYSC)レジスタのプロテクトを解除するためレジスタです。

Bit	31-0
Field	PROTKEY
R/W 属性	R,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] PROTKEY[31:0]: プロテクション解除設定ビット

本ビットは、プロテクション・キーを解除するレジスタです。

書込み

bit31:0	説明
0x5CAC_CE55	ロック解除
上記以外	無効

読出し

bit31:0	説明
0x0000_0000	ロック状態
0xFFFF_FFFF	アンロック状態

<注意事項>

- プロテクション・キーは、マスタに関係なく同グループ(MCU Config Group)領域内アドレスに対する書込みにより、再びロックされます。
- 本レジスタは、ワードアクセスのみ可能です。それ以外のアクセスは無効です。
- 本ビットは、CPU1 もライトアクセス可能です。

5.2. RUN プロファイルレジスタ群

RUN プロファイル制御設定レジスタです。



5.2.1. RUN クロックソース許可レジスタ(SYSC_RUNCKSRER)

RUN クロックソース許可レジスタ(SYSC_RUNCKSRER)は、MCU が RUN におけるソースクロックの発振許可/禁止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			PLLEN	Reserved	MOSCEN	SCROSCEN	CROSCEN
R/W 属性	R0,WX			R/W	R0,WX	R/W	R1,WX	R1,WX
保護属性	WPS							
初期値	000			0	0	1	1	1

[bit31:5] Reserved: 予約ビット

[bit4] PLLEN: PLL クロック発振許可ビット

このビットは、PLL クロックの発振を制御します。

bit	説明
0	PLL クロック発振禁止
1	PLL クロック発振許可

[bit3] Reserved: 予約ビット

[bit2] MOSCEN: メインクロック発振許可ビット

このビットは、メインクロックの発振を制御します。

bit	説明
0	メインクロック発振禁止
1	メインクロック発振許可

[bit1] SCROSCEN: 低速 CR クロック発振許可ビット

このビットは、低速 CR クロックの発振を制御します。

bit	説明
0	-
1	低速 CR クロック発振許可

[bit0] CROSCEN: 高速 CR クロック発振許可ビット

このビットは、高速 CR クロックの発振を制御します。

bit	説明
0	-
1	高速 CR クロック発振許可

5.2.2. RUN クロック選択レジスタ 0 (SYSC_RUNCKSELR0)

RUN クロック選択レジスタ 0(SYSC_RUNCKSELR0)は、MCU が RUN における各クロックドメインのソースクロックを選択します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					CD0CSL		
R/W 属性	R0,WX					R/W		
保護属性	WPS							
初期値	00000					000		

[bit31:3] Reserved: 予約ビット

[bit2:0] CD0CSL[2:0]: クロックドメイン 0 クロック選択ビット

このビットは、クロックドメイン 0 のソースクロックを選択します。

bit[2:0]	説明
000	高速 CR クロック選択
001	低速 CR クロック選択
010	メインクロック/メイン 2 分周クロック選択
011	クロック"L"固定
100	PLL クロック選択
101	クロック"L"固定
110	クロック"L"固定
111	クロック"L"固定

<注意事項>

- PLL クロックに切り替える場合はクロックギアを使用し、50MHz 以下でクロックを切り替えた後でギアアップ動作を行ってください。詳細は『クロックシステム』の章を参照してください。



5.2.3. RUN クロック許可レジスタ(SYSC_RUNCKER)

RUN クロック許可レジスタ(SYSC_RUNCKER)は, MCU が RUN における内部動作クロックの発振許可/禁止を設定します。

Bit	31	30	29	28	27	26	25	24
Field	ENCLKTRC	Reserved						
R/W 属性	R,WX	R0,WX						
保護属性	WPS							
初期値	1	0000000						

Bit	23	22	21	20	19	18	17	16
Field	Reserved		ENCLK PERI7	ENCLK PERI6	ENCLK PERI5	ENCLK PERI4	ENCLK PERI1	ENCLK PERI0
R/W 属性	R0,WX		R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	00		1	1	1	1	1	1

Bit	15	14	13	12	11	10	9	8
Field	Reserved	ENCLK SYSCPD1	Reserved		ENCLK EXTBUS	Reserved	ENCLK MEMC	ENCLK DMA
R/W 属性	R0,WX	R1,WX	R0,WX		R/W	R0,WX	R/W	R/W
保護属性	WPS							
初期値	0	1	00		1	0	1	1

Bit	7	6	5	4	3	2	1	0
Field	Reserved	ENCLK HPMPD2	ENCLK ATB	ENCLK DBG	Reserved		ENCLK CPU1	ENCLK CPU0
R/W 属性	R0,WX	R1,WX	R/W	R/W	R0,WX		R1,WX	R1,WX
保護属性	WPS							
初期値	0	1	1	1	00		1	1

[bit31] ENCLKTRC: TRC 内部動作クロック発振許可ビット

このビットは, TRC 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	TRC 内部動作クロック発振禁止
1	TRC 内部動作クロック発振許可

<注意事項>

- このビットからの読出しは, bit[5]ENCLKATB に設定した値と同じ値が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit30:22] Reserved: 予約ビット

[bit21] ENCLKPERI7: PERI7 内部動作クロック発振許可ビット

このビットは, PERI7 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI7 内部動作クロック発振禁止
1	PERI7 内部動作クロック発振許可

[bit20] ENCLKPERI6: PERI6 内部動作クロック発振許可ビット

このビットは、PERI6 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI6 内部動作クロック発振禁止
1	PERI6 内部動作クロック発振許可

[bit19] ENCLKPERI5: PERI5 内部動作クロック発振許可ビット

このビットは、PERI5 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI5 内部動作クロック発振禁止
1	PERI5 内部動作クロック発振許可

[bit18] ENCLKPERI4: PERI4 内部動作クロック発振許可ビット

このビットは、PERI4 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI4 内部動作クロック発振禁止
1	PERI4 内部動作クロック発振許可

[bit17] ENCLKPERI1: PERI1 内部動作クロック発振許可ビット

このビットは、PERI1 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI1 内部動作クロック発振禁止
1	PERI1 内部動作クロック発振許可

[bit16] ENCLKPERI0: PERI0 内部動作クロック発振許可ビット

このビットは、PERI0 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI0 内部動作クロック発振禁止
1	PERI0 内部動作クロック発振許可

[bit15] Reserved: 予約ビット

[bit14] ENCLKSYSCPD1: SYSCPD1 内部動作クロック発振許可ビット

このビットは、SYSCPD1 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	-
1	SYSCPD1 内部動作クロック発振許可

[bit13:12] Reserved: 予約ビット



[bit11] ENCLKEXTBUS: EXTBUS 内部動作クロック発振許可ビット

このビットは, EXTBUS 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	EXTBUS 内部動作クロック発振禁止
1	EXTBUS 内部動作クロック発振許可

<注意事項>

- MB9D560 シリーズは EXTBUS 非搭載のため, 本ビットを"0"へ設定してください。

[bit10] Reserved: 予約ビット

[bit9] ENCLKMEMC: MEMC 内部動作クロック発振許可ビット

このビットは, MEMC 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	MEMC 内部動作クロック発振禁止
1	MEMC 内部動作クロック発振許可

[bit8] ENCLKDMA: DMA 内部動作クロック発振許可ビット

このビットは, DMA 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	DMA 内部動作クロック発振禁止
1	DMA 内部動作クロック発振許可

[bit7] Reserved: 予約ビット

[bit6] ENCLKHPMPD2: HPMPD2 内部動作クロック発振許可ビット

このビットは, HPM 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	-
1	HPMPD2 内部動作クロック発振許可

[bit5] ENCLKATB: ATB 内部動作クロック発振許可ビット

このビットは, ATB 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	ATB 内部動作クロック発振禁止
1	ATB 内部動作クロック発振許可

[bit4] ENCLKDBG: DBG 内部動作クロック発振許可ビット

このビットは, DBG 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	DBG 内部動作クロック発振禁止
1	DBG 内部動作クロック発振許可



[bit3:2] Reserved: 予約ビット

[bit1] ENCLKCPU1: CPU1 内部動作クロック発振許可ビット

このビットは, CPU1 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	-
1	CPU1 内部動作クロック発振許可

[bit0] ENCLKCPU0: CPU0 内部動作クロック発振許可ビット

このビットは, CPU0 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	-
1	CPU0 内部動作クロック発振許可



5.2.4. RUN クロック分周レジスタ 0 (SYSC_RUNCKDIVR0)

RUN クロック分周レジスタ 0(SYSC_RUNCKDIVR0)は, MCU が RUN における各内部動作クロックのソースクロックからの分周比を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		HPMDIV		Reserved		TRCDIV	
R/W 属性	R0,WX		R/W		R0,WX		R/W	
保護属性	WPS							
初期値	00		00		00		00	

Bit	23	22	21	20	19	18	17	16
Field	Reserved		ATBDIV		Reserved		DBGDIV	
R/W 属性	R0,WX		R,WX		R0,WX		R,WX	
保護属性	WPS							
初期値	00		00		00		01	

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved			SYSDIV				
R/W 属性	R0,WX			R/W				
保護属性	WPS							
初期値	000			00000				

[bit31:30] Reserved: 予約ビット

[bit29:28] HPMDIV[1:0]: HPM クロック分周設定ビット

このビットは, HPM クロック, DMA クロック, MEMC クロックのシステムクロックからの分周比を設定します。

bit[29:28]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

[bit27:26] Reserved: 予約ビット

[bit25:24] TRCDIV[1:0]: TRC クロック分周設定ビット

このビットは、TRC クロックのシステムクロックからの分周比を設定します。

bit[25:24]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

[bit23:22] Reserved: 予約ビット

[bit21:20] ATBDIV[1:0]: ATB クロック分周設定ビット

このビットは、ATB クロックのシステムクロックからの分周設定を表示します。

bit[21:20]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

<注意事項>

- このビットからの読出しは、bit[25:24] TRCDIV[1:0]に設定した値と同じ値が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit19:18] Reserved: 予約ビット

[bit17:16] DBGDIV[1:0]: DBG クロック分周設定ビット

このビットは、DBG クロックの ATB クロックからの分周設定を表示します。

bit[17:16]	説明
00	Reserved
01	2 分周
10	Reserved
11	Reserved

<注意事項>

- このビットからの読出しは、常に"2'b01"が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit15:5] Reserved: 予約ビット



[bit:4:0] SYSDIV[4:0]: SYS クロック分周設定ビット

このビットは、システムクロックのソースクロックからの分周比を設定します。

bit[4:0]	説明
00000	分周なし
00001	2 分周
00010	3 分周
...	
11101	30 分周
11110	31 分周
11111	32 分周

5.2.5. RUN クロック分周レジスタ 1 (SYSC_RUNCKDIVR1)

RUN クロック分周レジスタ 1(SYSC_RUNCKDIVR1)は、MCU が RUN における各内部動作クロックのソースクロックからの分周比を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved				SYSCPD1DIV			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				0000			

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	EXTBUSDIV			Reserved			
R/W 属性	R0,WX	R/W			R0,WX			
保護属性	WPS							
初期値	0	000			0000			

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

[bit31:28] Reserved: 予約ビット

[bit27:24] SYSCPD1DIV[3:0]: SYSC_PD1 クロック分周設定ビット

このビットは、SYSC_PD1 クロックの HPM クロックからの分周比を設定します。

bit[27:24]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit23:15] Reserved: 予約ビット

[bit14:12] EXTBUSDIV[2:0]: EXTBUS クロック分周設定ビット

このビットは、EXTBUS クロックの HPM クロックからの分周比を設定します。



bit[14:12]	説明
000	分周なし
001	2 分周
010	4 分周
011	8 分周
100	16 分周
101	32 分周
110	64 分周
111	128 分周

[bit11:0] Reserved: 予約ビット

5.2.6. RUN クロック分周レジスタ 2 (SYSC_RUNCKDIVR2)

RUN クロック分周レジスタ 2(SYSC_RUNCKDIVR2)は、MCU が RUN における各内部動作クロックのソースクロックからの分周比を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	PERI7DIV				PERI6DIV			
R/W 属性	R/W				R/W			
保護属性	WPS							
初期値	0000				0000			

Bit	15	14	13	12	11	10	9	8
Field	PERI5DIV				PERI4DIV			
R/W 属性	R/W				R/W			
保護属性	WPS							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	PERI1DIV				PERI0DIV			
R/W 属性	R/W				R/W			
保護属性	WPS							
初期値	0000				0000			

[bit31:24] Reserved: 予約ビット

[bit23:20] PERI7DIV[3:0]: PERI7 クロック分周設定ビット

このビットは、PERI7 クロックの PERI5 クロックからの分周比を設定します。

bit[23:20]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周



[bit19:16] PERI6DIV[3:0]: PERI6 クロック分周設定ビット

このビットは、PERI6 クロックの PERI4 クロックからの分周比を設定します。

bit[19:16]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit15:12] PERI5DIV[3:0] : PERI5 クロック分周設定ビット

このビットは、PERI5 クロックの HPM クロックからの分周比を設定します。

bit[15:12]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit11:8] PERI4DIV[3:0]: PERI4 クロック分周設定ビット

このビットは、PERI4 クロックの HPM クロックからの分周比を設定します。

bit[11:8]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit7:4] PERI1DIV[3:0]: PERI1 クロック分周設定ビット

このビットは、PERI1 クロックの PERI0 クロックからの分周比を設定します。

bit[7:4]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周



[bit3:0] PERIODIV[3:0]: PERIOD クロック分周設定ビット

このビットは、PERIOD クロックの HPM クロックからの分周比を設定します。

bit[3:0]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周



5.2.7. RUN PLL 制御レジスタ(SYSC_RUNPLLCNTR)

RUN PLL 制御レジスタ(SYSC_RUNPLLCNTR)は、MCU が RUN における PLL 制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved	PLLDIVN						
R/W 属性	R0,WX	R/W						
保護属性	WPS							
初期値	0	0001100						

Bit	15	14	13	12	11	10	9	8
Field	Reserved				PLLDIVM			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				0001			

Bit	7	6	5	4	3	2	1	0
Field	Reserved						PLLDIVL	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

[bit31:23] Reserved: 予約ビット

[bit22:16] PLLDIVN[6:0]: PLL クロック N 通倍設定ビット

このビットは、PLL クロックの PLL 入力クロックからの通倍比を設定します。

bit[22:16]	説明
0000000	設定禁止
...	設定禁止
0001011	設定禁止
0001100	13 通倍
0001101	14 通倍
0001110	15 通倍
...	
1100001	98 通倍
1100010	99 通倍
1100011	100 通倍
1100100	設定禁止
...	設定禁止
1111111	設定禁止

[bit15:12] Reserved: 予約ビット

[bit11:8] PLLDIVM[3:0]: PLL クロック M 分周設定ビット

このビットは、PLL クロック出力の分周比を設定します。

bit[11:8]	説明
0000	Reserved (2 分周)
0001	2 分周
0010	4 分周
0011	6 分周
0100	8 分周
0101	10 分周
0110	12 分周
0111	14 分周
1000	16 分周
1001	18 分周
1010	20 分周
1011	22 分周
1100	24 分周
1101	26 分周
1110	28 分周
1111	30 分周

[bit7:2] Reserved: 予約ビット

[bit1:0] PLLDIVL[1:0]: PLL 入力クロック分周設定ビット

このビットは、PLL 入力クロックの分周比を設定します。

bit[1:0]	説明
00	分周なし
01	2 分周
10	4 分周
11	6 分周



5.2.8. RUN 低電圧検出設定レジスタ(SYSC_RUNLVDCFGR)

本レジスタは RUN における低電圧検出の設定に使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved				SV12			LVDE12
R/W 属性	R0,WX				R1,WX	R0,WX	R0,WX	R1,WX
保護属性	WPS							
初期値	0000				100			1

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved	LVDS50	Reserved		SV50			LVDE50
R/W 属性	R0,WX	R/W	R0,WX		R/W			R/W
保護属性	WPS							
初期値	0	0	00		110			1

[bit31:20] Reserved: 予約ビット

[bit19:17] SV12[2:0]: 1.2V 用リファレンス電圧設定

このビットは、低電圧検出割込みの検出電圧を示します。

bit[19:17]	説明
100	0.9V

[bit16] LVDE12: 低電圧検出(1.2V) 動作許可ビット

このビットは、低電圧検出の動作許可を設定します。

bit	説明
0	-
1	動作許可します。

<注意事項>

- 低電圧検出安定化時間が終わるまで、低電圧検出は動作しません。

[bit15:7] Reserved: 予約ビット

[bit6] LVDS50: 低電圧検出(5.0V) 動作選択ビット

このビットは、低電圧検出の動作を選択します。

bit	説明
0	リセットが発生します。
1	割込みが発生します。

[bit5:4] Reserved: 予約ビット

[bit3:1] SV50[2:0]: 低電圧検出(5.0V) リファレンス電圧設定

このビットは、低電圧検出割込みの検出電圧設定を行います。

以下の電圧を低電圧検出割込みの電圧の中心に設定します。

bit[3:1]	説明
000	設定禁止
001	設定禁止
010	設定禁止
011	設定禁止
100	設定禁止
101	3.9V
110	4.1V
111	4.3V

<注意事項>

- 低電圧検出電圧を変更した後に、低電圧検出安定化時間が終わるまで、低電圧検出は動作しません。

[bit0] LVDE50: 低電圧検出(5.0V) 動作許可ビット

このビットは、低電圧検出の動作許可を設定します。

bit	説明
0	動作許可しません。
1	動作許可します。

<注意事項>

- 低電圧検出を有効にした後に、低電圧検出安定化時間が終わるまで、低電圧検出は動作しません。



5.2.9. RUN クロックスーパーバイザ設定レジスタ(SYSC_RUNCSVCFGR)

RUN クロックスーパーバイザ設定レジスタ(SYSC_RUNCSVCFGR)は RUN 時のクロックスーパーバイザの動作許可/禁止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					PLLCSVE	Reserved	MOCSVE
R/W 属性	R0,WX					R/W	R0,WX	R/W
保護属性	WPS							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] PLLCSVE: メイン PLL クロックスーパーバイザ許可ビット

RUN におけるメイン PLL クロックスーパーバイザの許可/禁止を設定します。

bit	説明
0	PLL クロックスーパーバイザ禁止
1	PLL クロックスーパーバイザ許可

[bit1] Reserved: 予約ビット

[bit0] MOCSVE: メインクロックスーパーバイザ許可ビット

RUN におけるメインクロックスーパーバイザの許可/禁止を設定します。

bit	説明
0	メインクロックスーパーバイザ禁止
1	メインクロックスーパーバイザ許可

5.2.10. RUN プロファイル更新トリガレジスタ(SYSC_TRGRUNCNTR)

RUN プロファイル更新開始を制御するレジスタです。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	APPLY_RUN							
R/W 属性	R0,W							
保護属性	WPS							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] APPLY_RUN[7:0]: RUN プロファイル更新トリガ設定ビット

本ビットは、RUN プロファイルの更新開始レジスタです。

bit[7:0]	説明
0xAB	RUN プロファイル更新開始
上記以外	無効

<注意事項>

- 本レジスタに無効な書込みをした場合、エラーフラグ(SYSC_SYSEERRIR1:RUNTRGERRIF="1")が有効になります。
- RUN プロファイル更新し、その処理が完了するまで、RUN プロファイルの再更新はできません。もしその状態で、本レジスタに 0xAB を書き込むと、エラーフラグ (SYSC_SYSEERRIR1:TRGERRIF="1")が有効になります。
- 本レジスタの読出し値は、"0x0000_0000"です。
- 本レジスタは、書き込む CPU と CPU 動作モードによって、メイン・サブ状態制御のどちらを制御するかが自動で替わります。詳細は、「3.1. 低消費電力状態」の「(7) CPU 動作モードと状態制御の関係」を参照してください。
- 本ビットは、CPU0 以外の CPU もライトアクセス可能です。



5.3. PSS プロファイルレジスタ群

PSS プロファイル制御設定レジスタです。

5.3.1. PSS クロックソース許可レジスタ(SYSC_PSSCKSRER)

PSS クロックソース許可レジスタ(SYSC_PSSCKSRER)は、MCU が PSS におけるソースクロックの発振許可/禁止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			PLEN	Reserved	MOSCEN	SCROSCEN	CROSCEN
R/W 属性	R0,WX			R/W	R0,WX	R/W	R/W	R/W
保護属性	WPS							
初期値	000			0	0	1	1	1

[bit31:5] Reserved : 予約ビット

[bit4] PLEN: PLL クロック発振許可ビット

このビットは、PLL クロックの発振を制御します。

bit	説明
0	PLL クロック発振禁止
1	PLL クロック発振許可

[bit3] Reserved: 予約ビット

[bit2] MOSCEN: メインクロック発振許可ビット

このビットは、メインクロックの発振を制御します。

bit	説明
0	メインクロック発振禁止
1	メインクロック発振許可

[bit1] SCROSCEN: 低速 CR クロック発振許可ビット

このビットは、低速 CR クロックの発振を制御します。

bit	説明
0	低速 CR クロック発振禁止
1	低速 CR クロック発振許可

[bit0] CROSCEN: 高速 CR クロック発振許可ビット

このビットは、高速 CR クロックの発振を制御します。

bit	説明
0	高速 CR クロック発振禁止
1	高速 CR クロック発振許可



5.3.2. PSS クロック選択レジスタ 0 (SYSC_PSSCKSELR0)

PSS クロック選択レジスタ 0(SYSC_PSSCKSELR0)は, MCU が PSS における各クロックドメインのソースクロックを選択します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					CD0CSL		
R/W 属性	R0,WX					R/W		
保護属性	WPS							
初期値	00000					000		

[bit31:3] Reserved: 予約ビット

[bit2:0] CD0CSL[2:0]: クロックドメイン 0 クロック選択ビット

このビットは, クロックドメイン 0 のソースクロックを選択します。

bit[2:0]	説明
000	高速 CR クロック選択
001	低速 CR クロック選択
010	メインクロック/メイン 2 分周クロック選択
011	クロック"L"固定
100	PLL クロック選択
101	クロック"L"固定
110	クロック"L"固定
111	クロック"L"固定

<注意事項>

- PLL クロックに切り替える場合はクロックギアを使用し, 50MHz 以下でクロックを切り替えた後でギアアップ動作を行ってください。詳細は『クロックシステム』の章を参照してください。
- クロックドメイン 0 のクロックを停止する場合は, PSS クロック選択レジスタ 0(SYSC_PSSCKSELR0)でクロックを停止するとともに PSS クロック許可レジスタ (SYSC_PSSCKER)ですべての内部動作クロックの発振を禁止してください。

5.3.3. PSS クロック許可レジスタ(SYSC_PSSCKER)

PSS クロック許可レジスタ(SYSC_PSSCKER)は、MCU が PSS における内部動作クロックの発振許可/禁止を設定します。

Bit	31	30	29	28	27	26	25	24
Field	ENCLKTRC	Reserved						
R/W 属性	R,WX	R0,WX						
保護属性	WPS							
初期値	1	0000000						

Bit	23	22	21	20	19	18	17	16
Field	Reserved		ENCLK PERI7	ENCLK PERI6	ENCLK PERI5	ENCLK PERI4	ENCLK PERI1	ENCLK PERI0
R/W 属性	R0,WX		R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	00		1	1	1	1	1	1

Bit	15	14	13	12	11	10	9	8
Field	Reserved	ENCLK SYSCPD1	Reserved		ENCLK EXTBUS	Reserved	ENCLK MEMC	ENCLK DMA
R/W 属性	R0,WX	R/W	R0,WX		R/W	R0,WX	R/W	R/W
保護属性	WPS							
初期値	0	1	00		1	0	1	1

Bit	7	6	5	4	3	2	1	0
Field	Reserved	ENCLK HPMPD2	ENCLK ATB	ENCLK DBG	Reserved		ENCLK CPU1	ENCLK CPU0
R/W 属性	R0,WX	R/W	R/W	R/W	R0,WX		R0,WX	R0,WX
保護属性	WPS							
初期値	0	1	1	1	00		0	0

[bit31] ENCLKTRC: TRC 内部動作クロック発振許可ビット

このビットは、TRC 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	TRC 内部動作クロック発振禁止
1	TRC 内部動作クロック発振許可

<注意事項>

- このビットからの読出しは、bit[5]ENCLKATB に設定した値と同じ値が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit30:22] Reserved: 予約ビット

[bit21] ENCLKPERI7: PERI7 内部動作クロック発振許可ビット

このビットは、PERI7 内部動作クロックの発振許可/禁止を設定します。



bit	説明
0	PERI7 内部動作クロック発振禁止
1	PERI7 内部動作クロック発振許可

[bit20] ENCLKPERI6: PERI6 内部動作クロック発振許可ビット

このビットは、PERI6 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI6 内部動作クロック発振禁止
1	PERI6 内部動作クロック発振許可

[bit19] ENCLKPERI5: PERI5 内部動作クロック発振許可ビット

このビットは、PERI5 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI5 内部動作クロック発振禁止
1	PERI5 内部動作クロック発振許可

[bit18] ENCLKPERI4: PERI4 内部動作クロック発振許可ビット

このビットは、PERI4 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI4 内部動作クロック発振禁止
1	PERI4 内部動作クロック発振許可

[bit17] ENCLKPERI1: PERI1 内部動作クロック発振許可ビット

このビットは、PERI1 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI1 内部動作クロック発振禁止
1	PERI1 内部動作クロック発振許可

[bit16] ENCLKPERI0: PERI0 内部動作クロック発振許可ビット

このビットは、PERI0 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	PERI0 内部動作クロック発振禁止
1	PERI0 内部動作クロック発振許可

[bit15] Reserved: 予約ビット

[bit14] ENCLKSYSCPD1: SYSCPD1 内部動作クロック発振許可ビット

このビットは、SYSCPD1 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	SYSCPD1 内部動作クロック発振禁止
1	SYSCPD1 内部動作クロック発振許可

[bit13:12] Reserved: 予約ビット

[bit11] ENCLKEXTBUS: EXTBUS 内部動作クロック発振許可ビット

このビットは、EXTBUS 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	EXTBUS 内部動作クロック発振禁止
1	EXTBUS 内部動作クロック発振許可

<注意事項>

- MB9D560 シリーズは EXTBUS 非搭載のため、本ビットを"0"へ設定してください。

[bit10] Reserved: 予約ビット**[bit9] ENCLKMEMC: MEMC 内部動作クロック発振許可ビット**

このビットは、MEMC 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	MEMC 内部動作クロック発振禁止
1	MEMC 内部動作クロック発振許可

[bit8] ENCLKDMA: DMA 内部動作クロック発振許可ビット

このビットは、DMA 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	DMA 内部動作クロック発振禁止
1	DMA 内部動作クロック発振許可

[bit7] Reserved: 予約ビット**[bit6] ENCLKHPMPD2: HPMPD2 内部動作クロック発振許可ビット**

このビットは、HPM 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	HPMPD2 内部動作クロック発振禁止
1	HPMPD2 内部動作クロック発振許可

[bit5] ENCLKATB: ATB 内部動作クロック発振許可ビット

このビットは、ATB 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	ATB 内部動作クロック発振禁止
1	ATB 内部動作クロック発振許可

[bit4] ENCLKDBG: DBG 内部動作クロック発振許可ビット

このビットは、DBG 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	DBG 内部動作クロック発振禁止
1	DBG 内部動作クロック発振許可



[bit3:2] Reserved: 予約ビット

[bit1] ENCLKCPU1: CPU1 内部動作クロック発振許可ビット

このビットは, CPU1 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	CPU1 内部動作クロック発振禁止
1	-

[bit0] ENCLKCPU0: CPU0 内部動作クロック発振許可ビット

このビットは, CPU0 内部動作クロックの発振許可/禁止を設定します。

bit	説明
0	CPU0 内部動作クロック発振禁止
1	-

5.3.4. PSS クロック分周レジスタ 0 (SYSC_PSSCKDIVR0)

PSS クロック分周レジスタ 0(SYSC_PSSCKDIVR0)は、MCU が PSS における各内部動作クロックのソースクロックからの分周比を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		HPMDIV		Reserved		TRCDIV	
R/W 属性	R0,WX		R/W		R0,WX		R/W	
保護属性	WPS							
初期値	00		00		00		00	

Bit	23	22	21	20	19	18	17	16
Field	Reserved		ATBDIV		Reserved		DBGDIV	
R/W 属性	R0,WX		R,WX		R0,WX		R,WX	
保護属性	WPS							
初期値	00		00		00		01	

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved			SYSDIV				
R/W 属性	R0,WX			R/W				
保護属性	WPS							
初期値	000			00000				

[bit31:30] Reserved: 予約ビット

[bit29:28] HPMDIV[1:0]: HPM クロック分周設定ビット

このビットは、HPM クロック、DMA クロック、MEMC クロックのシステムクロックからの分周比を設定します。

bit[29:28]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

[bit27:26] Reserved: 予約ビット



[bit25:24] TRCDIV[1:0]: TRC クロック分周設定ビット

このビットは、TRC クロックのシステムクロックからの分周比を設定します。

bit[25:24]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

[bit23:22] Reserved: 予約ビット

[bit21:20] ATBDIV[1:0]: ATB クロック分周設定ビット

このビットは、ATB クロックのシステムクロックからの分周設定を表示します。

bit[21:20]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

<注意事項>

- このビットからの読出しは、bit[25:24] TRCDIV[1:0]に設定した値と同じ値が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit19:18] Reserved: 予約ビット

[bit17:16] DBGDIV[1:0]: DBG クロック分周設定ビット

このビットは、DBG クロックの ATB クロックからの分周設定を表示します。

bit[17:16]	説明
00	-
01	2 分周
10	-
11	-

<注意事項>

- このビットからの読出しは、常に"2'b01"が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit15:5] Reserved: 予約ビット



[bit:4:0] SYSDIV[4:0]: SYS クロック分周設定ビット

このビットは、システムクロックのソースクロックからの分周比を設定します。

bit[4:0]	説明
00000	分周なし
00001	2 分周
00010	3 分周
...	
11101	30 分周
11110	31 分周
11111	32 分周



5.3.5. PSS クロック分周レジスタ 1 (SYSC_PSSCKDIVR1)

PSS クロック分周レジスタ 1(SYSC_PSSCKDIVR1)は, MCU が PSS における各内部動作クロックのソースクロックからの分周比を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved				SYSCPD1DIV			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				0000			

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	EXTBUSDIV			Reserved			
R/W 属性	R0,WX	R/W			R0,WX			
保護属性	WPS							
初期値	0	000			0000			

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

[bit31:28] Reserved: 予約ビット

[bit27:24] SYSCPD1DIV[3:0]: SYSC_PD1 クロック分周設定ビット

このビットは, SYSC_PD1 クロックの HPM クロックからの分周比を設定します。

bit[27:24]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit23:15] Reserved: 予約ビット

[bit14:12] EXTBUSDIV[2:0]: EXTBUS クロック分周設定ビット



このビットは,EXTBUS クロックの HPM クロックからの分周比を設定します。

bit[14:12]	説明
000	分周なし
001	2 分周
010	4 分周
011	8 分周
100	16 分周
101	32 分周
110	64 分周
111	128 分周

[bit11:0] Reserved: 予約ビット



5.3.6. PSS クロック分周レジスタ 2 (SYSC_PSSCKDIVR2)

PSS クロック分周レジスタ 2(SYSC_PSSCKDIVR2)は, MCU が PSS における各内部動作クロックのソースクロックからの分周比を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	PERI7DIV				PERI6DIV			
R/W 属性	R/W				R/W			
保護属性	WPS							
初期値	0000				0000			

Bit	15	14	13	12	11	10	9	8
Field	PERI5DIV				PERI4DIV			
R/W 属性	R/W				R/W			
保護属性	WPS							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	PERI1DIV				PERI0DIV			
R/W 属性	R/W				R/W			
保護属性	WPS							
初期値	0000				0000			

[bit31:24] Reserved: 予約ビット

[bit23:20] PERI7DIV[3:0]: PERI7 クロック分周設定ビット

このビットは, PERI7 クロックの PERI5 クロックからの分周比を設定します。

bit[23:20]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit19:16] PERI6DIV[3:0]: PERI6 クロック分周設定ビット

このビットは、PERI6 クロックの PERI4 クロックからの分周比を設定します。

bit[19:16]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit15:12] PERI5DIV[3:0]: PERI5 クロック分周設定ビット

このビットは、PERI5 クロックの HPM クロックからの分周比を設定します。

bit[15:12]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit11:8] PERI4DIV[3:0]: PERI4 クロック分周設定ビット

このビットは、PERI4 クロックの HPM クロックからの分周比を設定します。

bit[11:8]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit7:4] PERI1DIV[3:0]: PERI1 クロック分周設定ビット

このビットは、PERI1 クロックの PERI0 クロックからの分周比を設定します。

bit[7:4]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周



[bit3:0] PERIODIV[3:0]: PERIOD クロック分周設定ビット

このビットは、PERIOD クロックの HPM クロックからの分周比を設定します。

bit[3:0]	説明
0000	分周なし
0001	2 分周
0010	3 分周
. . .	
1101	14 分周
1110	15 分周
1111	16 分周

5.3.7. PSS PLL 制御レジスタ(SYSC_PSSPLLCTR)

PSS PLL 制御レジスタ(SYSC_PSSPLLCTR)は, MCU が PSS における PLL 制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved	PLLDIVN						
R/W 属性	R0,WX	R/W						
保護属性	WPS							
初期値	0	0001100						

Bit	15	14	13	12	11	10	9	8
Field	Reserved				PLLDIVM			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				0001			

Bit	7	6	5	4	3	2	1	0
Field	Reserved						PLLDIVL	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

[bit31:23] Reserved: 予約ビット

[bit22:16] PLLDIVN[6:0]: PLL クロック N 通倍設定ビット

このビットは, PLL クロックの PLL 入力クロックからの通倍比を設定します。

bit[22:16]	説明
0000000	設定禁止
...	設定禁止
0001011	設定禁止
0001100	13 通倍
0001101	14 通倍
0001110	15 通倍
...	
1100001	98 通倍
1100010	99 通倍
1100011	100 通倍
1100100	設定禁止
...	設定禁止
1111111	設定禁止



[bit15:12] Reserved: 予約ビット

[bit11:8] PLLDIVM[3:0]: PLL クロック M 分周設定ビット

このビットは、PLL クロック出力の分周比を設定します。

bit[11:8]	説明
0000	Reserved (2 分周)
0001	2 分周
0010	4 分周
0011	6 分周
0100	8 分周
0101	10 分周
0110	12 分周
0111	14 分周
1000	16 分周
1001	18 分周
1010	20 分周
1011	22 分周
1100	24 分周
1101	26 分周
1110	28 分周
1111	30 分周

[bit7:2] Reserved: 予約ビット

[bit1:0] PLLDIVL[1:0]: PLL 入力クロック分周設定ビット

このビットは、PLL 入力クロックの分周比を設定します。

bit[1:0]	説明
00	分周なし
01	2 分周
10	4 分周
11	6 分周

5.3.8. PSS 低電圧検出設定レジスタ(SYSC_PSSLVDCFGR)

本レジスタは PSS における低電圧検出の設定に使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved				SV12			LVDE12
R/W 属性	R0,WX				R1,WX	R0,WX	R0,WX	R1,WX
保護属性	WPS							
初期値	0000				100			1

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved	LVDS50	Reserved		SV50			LVDE50
R/W 属性	R0,WX	R/W	R0,WX		R/W			R/W
保護属性	WPS							
初期値	0	0	00		110			1

[bit31:20] Reserved: 予約ビット

[bit19:17] SV12[2:0]: 1.2V 用リファレンス電圧設定

このビットは、低電圧検出割込みの検出電圧を示します。

bit[19:17]	説明
100	0.9V

[bit16] LVDE12: 1.2V 用低電圧検出動作許可ビット

このビットは、低電圧検出の動作許可を設定します。

bit	説明
0	-
1	動作許可します。

[bit15:7] Reserved: 予約ビット

[bit6] LVDS50: 低電圧検出(5.0V) 動作選択ビット

このビットは、低電圧検出の動作を選択します。



bit	説明
0	リセットが発生します。
1	割込みが発生します。

[bit5:4] Reserved: 予約ビット

[bit3:1] SV50[2:0]: 5.0V 用リファレンス電圧設定

このビットは、低電圧検出割込みの検出電圧設定を行います。

以下の電圧を低電圧検出割込みの電圧の中心に設定します。

bit[3:1]	説明
000	設定禁止
001	設定禁止
010	設定禁止
011	設定禁止
100	設定禁止
101	3.9V
110	4.1V
111	4.3V

<注意事項>

- 低電圧検出電圧を変更した後に、低電圧検出安定化時間が終わるまで、低電圧検出は動作しません。

[bit0] LVDE50: 5.0V 用低電圧検出動作許可ビット

このビットは、低電圧検出の動作許可を設定します。

bit	説明
0	動作許可しません。
1	動作許可します。

<注意事項>

- 低電圧検出を有効にした後に、低電圧検出安定化時間が終わるまで、低電圧検出は動作しません。

5.3.9. PSS クロックスーパーバイザ設定レジスタ(SYSC_PSSCSVCFGR)

PSS クロックスーパーバイザ設定レジスタ(SYSC_PSSCSVCFGR)はPSS時のクロックスーパーバイザの動作許可/禁止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					PLLCSVE	Reserved	MOCSVE
R/W 属性	R0,WX					R/W	R0,WX	R/W
保護属性	WPS							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] PLLCSVE: メイン PLL クロックスーパーバイザ許可ビット

PSS におけるメイン PLL クロックスーパーバイザの許可/禁止を設定します。

bit	説明
0	PLL クロックスーパーバイザ禁止
1	PLL クロックスーパーバイザ許可

[bit1] Reserved: 予約ビット

[bit0] MOCSVE: メインクロックスーパーバイザ許可ビット

PSS におけるメインクロックスーパーバイザの許可/禁止を設定します。

bit	説明
0	メインクロックスーパーバイザ禁止
1	メインクロックスーパーバイザ許可



5.3.10. PSS プロファイル更新許可レジスタ(SYSC_PSSENR)

PSS プロファイル更新許可のレジスタです。メイン・サブ状態制御で設定するアドレスが違います。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	PSSEN1							
R/W 属性	R,W							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	PSSEN0							
R/W 属性	R,W							
保護属性	WPS							
初期値	00000000							

[bit31:16] Reserved: 予約ビット

[bit15:8] PSSEN1: PSS プロファイル(サブ状態制御 1) 更新許可設定ビット

本ビットは, PSS プロファイル(サブ状態制御 1)の更新開始レジスタです。

bit[15:8]	説明
0xBA	PSS 遷移許可
0x00	PSS 遷移許可クリア
上記以外の値	無効

<注意事項>

- 本レジスタに無効な書込みをした場合, エラーフラグ(SYSC_SYERRIR1: PSSENERRIF1="1")がセットされます。
- 本ビットは, CPU1 のみライトアクセス可能です。
- 本レジスタは, バイトアクセスのみ可能です。それ以外のアクセスは無効です。

[bit7:0] PSSEN0: PSS プロファイル(メイン状態制御) 更新許可設定ビット

本ビットは, PSS プロファイル(メイン状態制御)の更新開始レジスタです。

bit[7:0]	説明
0xBA	PSS 遷移許可
0x00	PSS 遷移許可クリア
上記以外の値	無効

<注意事項>

- 本レジスタに無効な書込みをした場合, エラーフラグ(SYSC_SYERRIR1: PSSENERRIF0="1")がセットされます。

- 本レジスタは, CPU 動作モードによって, 制御する CPU が替わります。詳細は「3.1 低消費電力状態」の「(7) CPU 動作モードと状態制御の関係」を参照してください。
- 本ビットは, ライトアクセスするマスタも CPU 動作モードによって, 変わります。2CPU モード/1CPU0 モード時は, CPU0 のみアクセス可能で, 1CPU1 モード時は, CPU1 のみアクセス可能です。
- 本レジスタは, バイトアクセスのみ可能です。それ以外のアクセスは無効です。違反した場合バスエラーとなります。



5.4. APPLIED プロファイルレジスタ群

RUN/PSS で選択された制御設定レジスタです。

5.4.1. APPLIED クロックソース許可レジスタ(SYSC_APPCKSRER)

APPLIED クロックソース許可レジスタ(SYSC_APPCKSRER)は、MCUが更新するソースクロックの発振許可/禁止を表示します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			PLEN	Reserved	MOSCEN	SCROSCEN	CROSCEN
R/W 属性	R0,WX			R,WX	R0,WX	R,WX	R,WX	R,WX
保護属性	WPS							
初期値	000			0	0	1	1	1

[bit31:5] Reserved: 予約ビット

[bit4] PLEN: PLL クロック発振許可ビット

このビットは、PLL クロックの発振設定を表示します。

bit	説明
0	PLL クロック発振禁止
1	PLL クロック発振許可

[bit3] Reserved: 予約ビット

[bit2] MOSCEN: メインクロック発振許可ビット

このビットは、メインクロックの発振設定を表示します。

bit	説明
0	メインクロック発振禁止
1	メインクロック発振許可

[bit1] SCROSCEN: 低速 CR クロック発振許可ビット

このビットは、低速 CR クロックの発振設定を表示します。

bit	説明
0	低速 CR クロック発振禁止
1	低速 CR クロック発振許可

[bit0] CROSCEN: 高速 CR クロック発振許可ビット

このビットは、高速 CR クロックの発振設定を表示します。

bit	説明
0	高速 CR クロック発振禁止
1	高速 CR クロック発振許可



5.4.2. APPLIED クロック選択レジスタ 0 (SYSC_APPCKSELR0)

APPLIED クロック選択レジスタ 0(SYSC_APPCKSELR0)は, MCUが更新する各クロックドメインのソースクロックを表示します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					CD0CSL		
R/W 属性	R0,WX					R,WX		
保護属性	WPS							
初期値	00000					000		

[bit31:3] Reserved: 予約ビット

[bit2:0] CD0CSL[2:0]: クロックドメイン 0 クロック選択ビット

このビットは, クロックドメイン 0 のソースクロック設定を表示します。

bit[2:0]	説明
000	高速 CR クロック選択
001	低速 CR クロック選択
010	メインクロック/メイン 2 分周クロック選択
011	クロック"L"固定
100	PLL クロック選択
101	クロック"L"固定
110	クロック"L"固定
111	クロック"L"固定

5.4.3. APPLIED クロック許可レジスタ(SYSC_APPCKER)

APPLIED クロック許可レジスタ(SYSC_APPCKER)は, MCUが更新する内部動作クロックの発振許可/禁止を表示します。

Bit	31	30	29	28	27	26	25	24
Field	ENCLKTRC	Reserved						
R/W 属性	R,WX	R0,WX						
保護属性	WPS							
初期値	1	0000000						

Bit	23	22	21	20	19	18	17	16
Field	Reserved		ENCLK PERI7	ENCLK PERI6	ENCLK PERI5	ENCLK PERI4	ENCLK PERI1	ENCLK PERI0
R/W 属性	R0,WX		R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WPS							
初期値	00		1	1	1	1	1	1

Bit	15	14	13	12	11	10	9	8
Field	Reserved	ENCLK SYSCPD1	Reserved		ENCLK EXTBUS	Reserved	ENCLK MEMC	ENCLK DMA
R/W 属性	R0,WX	R,WX	R0,WX		R,WX	R0,WX	R,WX	R,WX
保護属性	WPS							
初期値	0	1	00		1	0	1	1

Bit	7	6	5	4	3	2	1	0
Field	Reserved	ENCLK HPMPD2	ENCLK ATB	ENCLK DBG	Reserved		ENCLK CPU1	ENCLK CPU0
R/W 属性	R0,WX	R,WX	R,WX	R,WX	R0,WX		R,WX	R,WX
保護属性	WPS							
初期値	0	1	1	1	00		1	1

[bit31] ENCLKTRC: TRC 内部動作クロック発振許可ビット

このビットは, TRC 内部動作クロック設定を表示します。

bit	説明
0	TRC 内部動作クロック発振禁止
1	TRC 内部動作クロック発振許可

<注意事項>

- このビットからの読出しは, bit[5]ENCLKATB に設定した値と同じ値が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit30:22] Reserved: 予約ビット

[bit21] ENCLKPERI7: PERI7 内部動作クロック発振許可ビット

このビットは, PERI7 内部動作クロックの発振設定を表示します。



bit	説明
0	PERI7 内部動作クロック発振禁止
1	PERI7 内部動作クロック発振許可

[bit20] ENCLKPERI6: PERI6 内部動作クロック発振許可ビット

このビットは、PERI6 内部動作クロックの発振設定を表示します。

bit	説明
0	PERI6 内部動作クロック発振禁止
1	PERI6 内部動作クロック発振許可

[bit19] ENCLKPERI5: PERI5 内部動作クロック発振許可ビット

このビットは、PERI5 内部動作クロックの発振設定を表示します。

bit	説明
0	PERI5 内部動作クロック発振禁止
1	PERI5 内部動作クロック発振許可

[bit18] ENCLKPERI4: PERI4 内部動作クロック発振許可ビット

このビットは、PERI4 内部動作クロックの発振設定を表示します。

bit	説明
0	PERI4 内部動作クロック発振禁止
1	PERI4 内部動作クロック発振許可

[bit17] ENCLKPERI1: PERI1 内部動作クロック発振許可ビット

このビットは、PERI1 内部動作クロックの発振設定を表示します。

bit	説明
0	PERI1 内部動作クロック発振禁止
1	PERI1 内部動作クロック発振許可

[bit16] ENCLKPERI0: PERI0 内部動作クロック発振許可ビット

このビットは、PERI0 内部動作クロックの発振設定を表示します。

bit	説明
0	PERI0 内部動作クロック発振禁止
1	PERI0 内部動作クロック発振許可

[bit15] Reserved: 予約ビット

[bit14] ENCLKSYSCPD1: SYSCPD1 内部動作クロック発振許可ビット

このビットは、SYSCPD1 内部動作クロックの発振設定を表示します。

bit	説明
0	SYSCPD1 内部動作クロック発振禁止
1	SYSCPD1 内部動作クロック発振許可

[bit13:12] Reserved: 予約ビット

[bit11] ENCLKEXTBUS: EXTBUS 内部動作クロック発振許可ビット

このビットは, EXTBUS 内部動作クロックの発振設定を表示します。

bit	説明
0	EXTBUS 内部動作クロック発振禁止
1	EXTBUS 内部動作クロック発振許可

[bit10] Reserved: 予約ビット

[bit9] ENCLKMEMC: MEMC 内部動作クロック発振許可ビット

このビットは, MEMC 内部動作クロックの発振設定を表示します。

bit	説明
0	MEMC 内部動作クロック発振禁止
1	MEMC 内部動作クロック発振許可

[bit8] ENCLKDMA: DMA 内部動作クロック発振許可ビット

このビットは, DMA 内部動作クロックの発振設定を表示します。

bit	説明
0	DMA 内部動作クロック発振禁止
1	DMA 内部動作クロック発振許可

[bit7] Reserved: 予約ビット

[bit6] ENCLKHPMPD2: HPMPD2 内部動作クロック発振許可ビット

このビットは, HPM 内部動作クロックの発振設定を表示します。

bit	説明
0	HPMPD2 内部動作クロック発振禁止
1	HPMPD2 内部動作クロック発振許可

[bit5] ENCLKATB: ATB 内部動作クロック発振許可ビット

このビットは, ATB 内部動作クロックの発振設定を表示します。

bit	説明
0	ATB 内部動作クロック発振禁止
1	ATB 内部動作クロック発振許可

[bit4] ENCLKDBG: DBG 内部動作クロック発振許可ビット

このビットは, DBG 内部動作クロックの発振設定を表示します。

bit	説明
0	DBG 内部動作クロック発振禁止
1	DBG 内部動作クロック発振許可

[bit3:2] Reserved: 予約ビット



[bit1] ENCLKCPU1: CPU1 内部動作クロック発振許可ビット

このビットは, CPU1 内部動作クロックの発振設定を表示します。

bit	説明
0	CPU1 内部動作クロック発振禁止
1	CPU1 内部動作クロック発振許可

[bit0] ENCLKCPU0: CPU0 内部動作クロック発振許可ビット

このビットは, CPU0 内部動作クロックの発振設定を表示します。

bit	説明
0	CPU0 内部動作クロック発振禁止
1	CPU0 内部動作クロック発振許可

5.4.4. APPLIED クロック分周レジスタ 0 (SYSC_APPCKDIVR0)

APPLIED クロック分周レジスタ 0 (SYSC_APPCKDIVR0) は、MCU が更新する各内部動作クロックのソースクロックからの分周比を表示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		HPMDIV		Reserved		TRCDIV	
R/W 属性	R0,WX		R,WX		R0,WX		R,WX	
保護属性	WPS							
初期値	00		00		00		00	

Bit	23	22	21	20	19	18	17	16
Field	Reserved		ATBDIV		Reserved		DBGDIV	
R/W 属性	R0,WX		R,WX		R0,WX		R,WX	
保護属性	WPS							
初期値	00		00		00		01	

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved			SYSDIV				
R/W 属性	R0,WX			R.WX				
保護属性	WPS							
初期値	000			00000				

[bit31:30] Reserved: 予約ビット

[bit29:28] HPMDIV[1:0]: HPM クロック分周設定ビット

このビットは、HPM クロック、DMA クロック、MEMC クロックのシステムクロックからの分周設定を表示します。

bit[29:28]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

[bit27:26] Reserved: 予約ビット



[bit25:24] TRCDIV[1:0]: TRC クロック分周設定ビット

このビットは、TRC クロックのシステムクロックからの分周設定を表示します。

bit[25:24]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

[bit23:22] Reserved: 予約ビット

[bit21:20] ATBDIV[1:0]: ATB クロック分周設定ビット

このビットは、ATB クロックのシステムクロックからの分周設定を表示します。

bit[21:20]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

<注意事項>

- このビットからの読出しは、bit[25:24] TRCDIV[1:0]に設定した値と同じ値が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit19:18] Reserved: 予約ビット

[bit17:16] DBGDIV[1:0]: DBG クロック分周設定ビット

このビットは、DBG クロックの ATB クロックからの分周設定を表示します。

bit[17:16]	説明
00	Reserved
01	2 分周
10	Reserved
11	Reserved

<注意事項>

- このビットからの読出しは、常に"2'b01"が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit15:5] Reserved: 予約ビット



[bit:4:0] SYSDIV[4:0]: SYS クロック分周設定ビット

このビットは、システムクロックのソースクロックからの分周設定を表示します。

bit[4:0]	説明
00000	分周なし
00001	2 分周
00010	3 分周
...	
11101	30 分周
11110	31 分周
11111	32 分周



5.4.5. APPLIED クロック分周レジスタ 1 (SYSC_APPCKDIVR1)

APPLIED クロック分周レジスタ 1(SYSC_APPCKDIVR1)は, MCUが更新する各内部動作クロックのソースクロックからの分周比を表示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved				SYSCPD1DIV			
R/W 属性	R0,WX				R,WX			
保護属性	WPS							
初期値	0000				0000			

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	EXTBUSDIV			Reserved			
R/W 属性	R0,WX	R,WX			R0,WX			
保護属性	WPS							
初期値	0	000			0000			

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

[bit31:28] Reserved: 予約ビット

[bit27:24] SYSCPD1DIV[3:0]: SYSC_PD1 クロック分周設定ビット

このビットは, SYSC_PD1 クロックの HPM クロックからの分周設定を表示します。

bit[27:24]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit23:15] Reserved: 予約ビット

[bit14:12] EXTBUSDIV[2:0]: EXTBUS クロック分周設定ビット



このビットは,EXTBUS クロックの HPM クロックからの分周設定を表示します。

bit[14:12]	説明
000	分周なし
001	2 分周
010	4 分周
011	8 分周
100	16 分周
101	32 分周
110	64 分周
111	128 分周

[bit11:0] Reserved: 予約ビット



5.4.6. APPLIED クロック分周レジスタ 2 (SYSC_APPCKDIVR2)

APPLIED クロック分周レジスタ 2(SYSC_APPCKDIVR2)は, MCUが更新する各内部動作クロックのソースクロックからの分周比を表示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	PERI7DIV				PERI6DIV			
R/W 属性	R,WX				R,WX			
保護属性	WPS							
初期値	0000				0000			

Bit	15	14	13	12	11	10	9	8
Field	PERI5DIV				PERI4DIV			
R/W 属性	R,WX				R,WX			
保護属性	WPS							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	PERI1DIV				PERI0DIV			
R/W 属性	R,WX				R,WX			
保護属性	WPS							
初期値	0000				0000			

[bit31:24] Reserved: 予約ビット

[bit23:20] PERI7DIV[3:0]: PERI7 クロック分周設定ビット

このビットは, PERI7 クロックの PERI5 クロックからの分周設定を表示します。

bit[23:20]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit19:16] PERI6DIV[3:0]: PERI6 クロック分周設定ビット

このビットは、PERI6 クロックの PERI4 クロックからの分周設定を表示します。

bit[19:16]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit15:12] PERI5DIV[3:0]: PERI5 クロック分周設定ビット

このビットは、PERI5 クロックの HPM クロックからの分周設定を表示します。

bit[15:12]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit11:8] PERI4DIV[3:0]: PERI4 クロック分周設定ビット

このビットは、PERI4 クロックの HPM クロックからの分周設定を表示します。

bit[11:8]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit7:4] PERI1DIV[3:0]: PERI1 クロック分周設定ビット

このビットは、PERI1 クロックの PERI0 クロックからの分周設定を表示します。

bit[7:4]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周



[bit3:0] PERIODIV[3:0]: PERIO クロック分周設定ビット
このビットは, PERIO クロックの HPM クロックからの分周設定を表示します。

bit[3:0]	説明
0000	分周なし
0001	2 分周
0010	3 分周
. . .	
1101	14 分周
1110	15 分周
1111	16 分周

5.4.7. APPLIED PLL 制御レジスタ(SYSC_APPPLLCTR)

APPLIED PLL 制御レジスタ(SYSC_APPPLLCTR)は、MCU が更新する PLL 制御設定を表示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved	PLLDIVN						
R/W 属性	R0,WX	R,WX						
保護属性	WPS							
初期値	0	0001100						

Bit	15	14	13	12	11	10	9	8
Field	Reserved				PLLDIVM			
R/W 属性	R0,WX				R,WX			
保護属性	WPS							
初期値	0000				0001			

Bit	7	6	5	4	3	2	1	0
Field	Reserved						PLLDIVL	
R/W 属性	R0,WX						R,WX	
保護属性	WPS							
初期値	000000						00	

[bit31:23] Reserved: 予約ビット

[bit22:16] PLLDIVN[6:0]: PLL クロック N 通倍設定ビット

このビットは、PLL クロックの PLL 入力クロックからの通倍設定を表示します。

bit[22:16]	説明
0000000	設定禁止
...	設定禁止
0001011	設定禁止
0001100	13 通倍
0001101	14 通倍
0001110	15 通倍
...	
1100001	98 通倍
1100010	99 通倍
1100011	100 通倍
1100100	設定禁止
...	設定禁止
1111111	設定禁止



[bit15:12] Reserved: 予約ビット

[bit11:8] PLLDIVM[3:0]: PLL クロック M 分周設定ビット

このビットは、PLL クロック出力の分周設定を表示します。

bit[11:8]	説明
0000	Reserved (2 分周)
0001	2 分周
0010	4 分周
0011	6 分周
0100	8 分周
0101	10 分周
0110	12 分周
0111	14 分周
1000	16 分周
1001	18 分周
1010	20 分周
1011	22 分周
1100	24 分周
1101	26 分周
1110	28 分周
1111	30 分周

[bit7:2] Reserved: 予約ビット

[bit1:0] PLLDIVL[1:0]: PLL 入力クロック分周設定ビット

このビットは、PLL 入力クロックの分周設定を表示します。

bit[1:0]	説明
00	分周なし
01	2 分周
10	4 分周
11	6 分周

5.4.8. APPLIED 低電圧検出設定レジスタ(SYSC_APPLVDCFGR)

本レジスタは現在適用している低電圧検出の状態確認に使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved				SV12			LVDE12
R/W 属性	R0,WX				R1,WX	R0,WX	R0,WX	R1,WX
保護属性	WPS							
初期値	0000				100			1

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved	LVDS50	Reserved		SV50			LVDE50
R/W 属性	R0,WX	R,WX	R0,WX		R,WX			R,WX
保護属性	WPS							
初期値	0	0	00		110			1

[bit31:20] Reserved: 予約ビット

[bit19:17] SV12[2:0]: 1.2V 用リファレンス電圧設定確認ビット

このビットは、低電圧検出割込みの検出電圧を示します。

bit[19:17]	説明
100	0.9V

[bit16] LVDE12: 1.2V 用低電圧検出動作許可ビット

このビットは、低電圧検出の動作許可を確認します。

bit	説明
0	-
1	動作許可します。

[bit15:7] Reserved: 予約ビット

[bit6] LVDS50: 5.0V 用低電圧検出動作確認ビット

このビットは、低電圧検出の動作を確認します。



bit	説明
0	リセットが発生します。
1	割込みが発生します。

[bit5:4] Reserved: 予約ビット

[bit3:1] SV50[2:0]: 5.0V 用リファレンス電圧設定確認ビット

このビットは、低電圧検出割込みの検出電圧設定の確認を行います。

bit[3:1]	説明
000	設定禁止
001	設定禁止
010	設定禁止
011	設定禁止
100	設定禁止
101	3.9V
110	4.1V
111	4.3V

<注意事項>

- 低電圧検出電圧を変更した後に、低電圧検出安定化時間が終わるまで、低電圧検出は動作しません。

[bit0] LVDE50: 5.0V 用低電圧検出動作許可ビット

このビットは、低電圧検出の動作許可の確認をします。

bit	説明
0	動作許可しません。
1	動作許可します。

<注意事項>

- 低電圧検出を有効にした後に、低電圧検出安定化時間が終わるまで、低電圧検出は動作しません。

5.4.9. APPLIED クロックスーパーバイザ設定レジスタ(SYSC_APPCSVCFGR)

APPLIED クロックスーパーバイザ設定レジスタ(SYSC_APPCSVCFGR)は更新するプロファイルのクロックスーパーバイザ動作許可/禁止設定を示します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					PLLCSVE	Reserved	MOCSVE
R/W 属性	R0,WX					R,WX	R0,WX	R,WX
保護属性	WPS							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] PLLCSVE: メイン PLL クロックスーパーバイザ許可ビット

更新するメイン PLL クロックスーパーバイザの許可/禁止設定を示します。

bit	説明
0	PLL クロックスーパーバイザ禁止
1	PLL クロックスーパーバイザ許可

[bit1] Reserved: 予約ビット

[bit0] MOCSVE: メインクロックスーパーバイザ許可ビット

更新するメインクロックスーパーバイザの許可/禁止設定を示します。

bit	説明
0	メインクロックスーパーバイザ禁止
1	メインクロックスーパーバイザ許可



5.5. Status プロファイルレジスタ群

プロフィールで設定した値ステータスが反映されるレジスタです。

5.5.1. Status クロックソース許可レジスタ(SYSC_STSCKSRER)

Status クロックソース許可レジスタ(SYSC_STSCKSRER)は, MCUのクロックシステムにおけるソースクロックの発振許可/禁止状態・設定値を示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved			PLLRDY	Reserved	MOSCRDY	SCR OSCRDY	CR OSCRDY
R/W 属性	R0,WX			R,WX	R0,WX	R,WX	R,WX	R,WX
保護属性	WPS							
初期値	000			0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved			PLLEN	Reserved	MOSCEN	SCROSCEN	CROSCEN
R/W 属性	R0,WX			R,WX	R0,WX	R,WX	R,WX	R,WX
保護属性	WPS							
初期値	000			0	0	1	1	1

[bit31:21] Reserved: 予約ビット

[bit20] PLLRDY: PLL クロックの RDY フラグビット

このビットは, PLL クロックの RDY 状態を表示します。

bit	説明
0	PLL クロック発振安定待ち状態
1	PLL クロック発振安定(RDY 状態)

[bit19] Reserved: 予約ビット

[bit18] MOSCRDY: メインクロックの RDY フラグビット

このビットは, メインクロックの RDY 状態を表示します。

bit	説明
0	メインクロック発振安定待ち状態
1	メインクロック発振安定(RDY 状態)



[bit17] SCROSCRDY: 低速 CR クロックの RDY フラグビット

このビットは、低速 CR クロックの RDY 状態を表示します。

bit	説明
0	低速 CR クロック発振安定待ち状態
1	低速 CR クロック発振安定(RDY 状態)

<注意事項>

- このビットは、発振安定後に読出し可能となるため常に"1"が読出されます。

[bit16] CROSCRDY: 高速 CR クロックの RDY フラグビット

このビットは、高速 CR クロックの RDY 状態を表示します。

bit	説明
0	高速 CR クロック発振安定待ち状態
1	高速 CR クロック発振安定(RDY 状態)

<注意事項>

- このビットは、発振安定後に読出し可能となるため常に"1"が読出されます。

[bit15:5] Reserved: 予約ビット

[bit4] PLEN: PLL クロック発振許可ビット

このビットは、PLL クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	PLL クロック発振禁止
1	PLL クロック発振許可

[bit3] Reserved: 予約ビット

[bit2] MOSCEN: メインクロック発振許可ビット

このビットは、メインクロックの発振許可/禁止の設定値を表示します。

bit	説明
0	メインクロック発振禁止
1	メインクロック発振許可

[bit1] SCROSCEN: 低速 CR クロック発振許可ビット

このビットは、低速 CR クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	低速 CR クロック発振禁止
1	低速 CR クロック発振許可

[bit0] CROSCEN: 高速 CR クロック発振許可ビット

このビットは、高速 CR クロックの発振許可/禁止の設定値を表示します。



bit	説明
0	高速 CR クロック発振禁止
1	高速 CR クロック発振許可



5.5.2. Status クロック選択レジスタ 0 (SYSC_STSCCKSELR0)

Status クロック選択レジスタ 0(SYSC_STSCCKSELR0)は、MCU のクロックシステムにおける各クロックドメインのソースクロック選択状態・設定値を示します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved	CD0CM			Reserved	CD0CSL		
R/W 属性	R0,WX	R,WX			R0,WX	R,WX		
保護属性	WPS							
初期値	0	000			0	000		

[bit31:7] Reserved: 予約ビット

[bit6:4] CD0CM[2:0]: クロックドメイン 0 クロック選択モニタビット

このビットは、クロックドメイン 0 のソースクロック選択状態を表示します。

bit[6:4]	説明
000	高速 CR クロック選択
001	低速 CR クロック選択
010	メインクロック選択
011	クロック"L"固定
100	PLL クロック選択
101	クロック"L"固定
110	クロック"L"固定
111	クロック"L"固定

[bit3] Reserved: 予約ビット

[bit2:0] CD0CSL[2:0]: クロックドメイン 0 クロック選択ビット

このビットは、クロックドメイン 0 のソースクロック設定を表示します。

bit[2:0]	説明
000	高速 CR クロック選択
001	低速 CR クロック選択
010	メインクロック選択
011	クロック"L"固定
100	PLL クロック選択
101	クロック"L"固定
110	クロック"L"固定
111	クロック"L"固定

5.5.3. Status クロック許可レジスタ(SYSC_STSCKER)

Status クロック許可レジスタ(SYSC_STSCKER)は、MCUのクロックシステムにおける内部動作クロックの発振許可/禁止の設定値を示します。

Bit	31	30	29	28	27	26	25	24
Field	ENCLK TRC	Reserved						
R/W 属性	R,WX	R0,WX						
保護属性	WPS							
初期値	1	0000000						

Bit	23	22	21	20	19	18	17	16
Field	Reserved		ENCLK PERI7	ENCLK PERI6	ENCLK PERI5	ENCLK PERI4	ENCLK PERI1	ENCLK PERI0
R/W 属性	R0,WX		R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WPS							
初期値	00		1	1	1	1	1	1

Bit	15	14	13	12	11	10	9	8
Field	Reserved	ENCLK SYSCPD1	Reserved		ENCLK EXTBUS	Reserved	ENCLK MEMC	ENCLK DMA
R/W 属性	R0,WX	R,WX	R0,WX		R,WX	R0,WX	R,WX	R,WX
保護属性	WPS							
初期値	0	1	00		1	0	1	1

Bit	7	6	5	4	3	2	1	0
Field	Reserved	ENCLK HPMPD2	ENCLK ATB	ENCLK DBG	Reserved		ENCLK CPU1	ENCLK CPU0
R/W 属性	R0,WX	R,WX	R,WX	R,WX	R0,WX		R,WX	R,WX
保護属性	WPS							
初期値	0	1	1	1	00		1	1

[bit31] ENCLKTRC: TRC 内部動作クロック発振許可ビット

このビットは、TRC 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	TRC 内部動作クロック発振禁止
1	TRC 内部動作クロック発振許可

<注意事項>

- このビットからの読出しは、bit[5]ENCLKATB に設定した値と同じ値が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit30:22] Reserved: 予約ビット

[bit21] ENCLKPERI7: PERI7 内部動作クロック発振許可ビット

このビットは、PERI7 内部動作クロックの発振許可/禁止の設定値を表示します。



bit	説明
0	PERI7 内部動作クロック発振禁止
1	PERI7 内部動作クロック発振許可

[bit20] ENCLKPERI6: PERI6 内部動作クロック発振許可ビット

このビットは、PERI6 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	PERI6 内部動作クロック発振禁止
1	PERI6 内部動作クロック発振許可

[bit19] ENCLKPERI5: PERI5 内部動作クロック発振許可ビット

このビットは、PERI5 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	PERI5 内部動作クロック発振禁止
1	PERI5 内部動作クロック発振許可

[bit18] ENCLKPERI4: PERI4 内部動作クロック発振許可ビット

このビットは、PERI4 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	PERI4 内部動作クロック発振禁止
1	PERI4 内部動作クロック発振許可

[bit17] ENCLKPERI1: PERI1 内部動作クロック発振許可ビット

このビットは、PERI1 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	PERI1 内部動作クロック発振禁止
1	PERI1 内部動作クロック発振許可

[bit16] ENCLKPERI0: PERI0 内部動作クロック発振許可ビット

このビットは、PERI0 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	PERI0 内部動作クロック発振禁止
1	PERI0 内部動作クロック発振許可

[bit15] Reserved: 予約ビット

[bit14] ENCLKSYSCPD1: SYSCPD1 内部動作クロック発振許可ビット

このビットは、SYSCPD1 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	SYSCPD1 内部動作クロック発振禁止
1	SYSCPD1 内部動作クロック発振許可

[bit13:12] Reserved : 予約ビット

[bit11] ENCLKEXTBUS: EXTBUS 内部動作クロック発振許可ビット

このビットは, EXTBUS 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	EXTBUS 内部動作クロック発振禁止
1	EXTBUS 内部動作クロック発振許可

[bit10] Reserved: 予約ビット

[bit9] ENCLKMEMC: MEMC 内部動作クロック発振許可ビット

このビットは, MEMC 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	MEMC 内部動作クロック発振禁止
1	MEMC 内部動作クロック発振許可

[bit8] ENCLKDMA: DMA 内部動作クロック発振許可ビット

このビットは, DMA 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	DMA 内部動作クロック発振禁止
1	DMA 内部動作クロック発振許可

[bit7] Reserved: 予約ビット

[bit6] ENCLKHPMPD2: HPMPD2 内部動作クロック発振許可ビット

このビットは, HPM 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	HPMPD2 内部動作クロック発振禁止
1	HPMPD2 内部動作クロック発振許可

[bit5] ENCLKATB: ATB 内部動作クロック発振許可ビット

このビットは, ATB 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	ATB 内部動作クロック発振禁止
1	ATB 内部動作クロック発振許可

[bit4] ENCLKDBG: DBG 内部動作クロック発振許可ビット

このビットは, DBG 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	DBG 内部動作クロック発振禁止
1	DBG 内部動作クロック発振許可

[bit3:2] Reserved: 予約ビット



[bit1] ENCLKCPU1: CPU1 内部動作クロック発振許可ビット

このビットは, CPU1 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	CPU1 内部動作クロック発振禁止
1	CPU1 内部動作クロック発振許可

[bit0] ENCLKCPU0: CPU0 内部動作クロック発振許可ビット

このビットは, CPU0 内部動作クロックの発振許可/禁止の設定値を表示します。

bit	説明
0	CPU0 内部動作クロック発振禁止
1	CPU0 内部動作クロック発振許可

5.5.4. Status クロック分周レジスタ 0 (SYSC_STSCCKDIVR0)

Status クロック分周レジスタ 0(SYSC_STSCCKDIVR0)は、MCU のクロックシステムにおける各内部動作クロックのソースクロックからの分周比を示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		HPMDIV		Reserved		TRCDIV	
R/W 属性	R0,WX		R,WX		R0,WX		R,WX	
保護属性	WPS							
初期値	00		00		00		00	

Bit	23	22	21	20	19	18	17	16
Field	Reserved		ATBDIV		Reserved		DBGDIV	
R/W 属性	R0,WX		R,WX		R0,WX		R,WX	
保護属性	WPS							
初期値	00		00		00		01	

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved			SYSDIV				
R/W 属性	R0,WX			R,WX				
保護属性	WPS							
初期値	000			00000				

[bit31:30] Reserved: 予約ビット

[bit29:28] HPMDIV[1:0]: HPM クロック分周設定ビット

このビットは、HPM クロック、DMA クロック、MEMC クロックのシステムクロックからの分周設定状態を表示します。

bit[29:28]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

[bit27:26] Reserved: 予約ビット



[bit25:24] TRCDIV[1:0]: TRC クロック分周設定ビット

このビットは、TRC クロックのシステムクロックからの分周設定状態を表示します。

bit[25:24]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

[bit23:22] Reserved: 予約ビット

[bit21:20] ATBDIV[1:0]: ATB クロック分周設定ビット

このビットは、ATB クロックのシステムクロックからの分周設定状態を表示します。

bit[21:20]	説明
00	分周なし
01	2 分周
10	4 分周
11	8 分周

<注意事項>

- このビットからの読出しは、bit[25:24] TRCDIV[1:0]に設定した値と同じ値が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit19:18] Reserved: 予約ビット

[bit17:16] DBGDIV[1:0]: DBG クロック分周設定ビット

このビットは、DBG クロックの ATB クロックからの分周設定状態を表示します。

bit[17:16]	説明
00	Reserved
01	2 分周
10	Reserved
11	Reserved

<注意事項>

- このビットからの読出しは、常に"2'b01"が読み出されます。
- このビットへの書込みは動作に影響しません。

[bit15:5] Reserved: 予約ビット



[bit:4:0] SYSDIV[4:0]: SYS クロック分周設定ビット

このビットは、システムクロックのソースクロックからの分周設定状態を表示します。

bit[4:0]	説明
00000	分周なし
00001	2 分周
00010	3 分周
...	
11101	30 分周
11110	31 分周
11111	32 分周



5.5.5. Status クロック分周レジスタ 1 (SYSC_STSCCKDIVR1)

Status クロック分周レジスタ 1(SYSC_STSCCKDIVR1)は、MCU のクロックシステムにおける各内部動作クロックのソースクロックからの分周比を示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved				SYSCPD1DIV			
R/W 属性	R0,WX				R,WX			
保護属性	WPS							
初期値	0000				0000			

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	EXTBUSDIV			Reserved			
R/W 属性	R0,WX	R,WX			R0,WX			
保護属性	WPS							
初期値	0	000			0000			

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

[bit31:28] Reserved: 予約ビット

[bit27:24] SYSCPD1DIV[3:0]: SYSC_PD1 クロック分周設定ビット

このビットは、SYSC_PD1 クロックの HPM クロックからの分周設定状態を表示します。

bit[27:24]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit23:15] Reserved: 予約ビット

[bit14:12] EXTBUSDIV[2:0]: EXTBUS クロック分周設定ビット



このビットは,EXTBUS クロックの HPM クロックからの分周設定状態を表示します。

bit[14:12]	説明
000	分周なし
001	2 分周
010	4 分周
011	8 分周
100	16 分周
101	32 分周
110	64 分周
111	128 分周

[bit11:0] Reserved : 予約ビット



5.5.6. Status クロック分周レジスタ 2 (SYSC_STSCCKDIVR2)

Status クロック分周レジスタ 2(SYSC_STSCCKDIVR2)は、MCU のクロックシステムにおける各内部動作クロックのソースクロックからの分周比を示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	PERI7DIV				PERI6DIV			
R/W 属性	R,WX				R,WX			
保護属性	WPS							
初期値	0000				0000			

Bit	15	14	13	12	11	10	9	8
Field	PERI5DIV				PERI4DIV			
R/W 属性	R,WX				R,WX			
保護属性	WPS							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	PERI1DIV				PERI0DIV			
R/W 属性	R,WX				R,WX			
保護属性	WPS							
初期値	0000				0000			

[bit31:24] Reserved: 予約ビット

[bit23:20] PERI7DIV[3:0]: PERI7 クロック分周設定ビット

このビットは、PERI7 クロックの PERI5 クロックからの分周設定状態を表示します。

bit[23:20]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit19:16] PERI6DIV[3:0]: PERI6 クロック分周設定ビット

このビットは、PERI6 クロックの PERI4 クロックからの分周設定状態を表示します。

bit[19:16]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit15:12] PERI5DIV[3:0]: PERI5 クロック分周設定ビット

このビットは、PERI5 クロックの HPM クロックからの分周設定状態を表示します。

bit[15:12]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit11:8] PERI4DIV[3:0]: PERI4 クロック分周設定ビット

このビットは、PERI4 クロックの HPM クロックからの分周設定状態を表示します。

bit[11:8]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周

[bit7:4] PERI1DIV[3:0]: PERI1 クロック分周設定ビット

このビットは、PERI1 クロックの PERI0 クロックからの分周設定状態を表示します。

bit[7:4]	説明
0000	分周なし
0001	2 分周
0010	3 分周
...	
1101	14 分周
1110	15 分周
1111	16 分周



[bit3:0] PERIODIV[3:0]: PERIO クロック分周設定ビット

このビットは, PERIO クロックの HPM クロックからの分周設定状態を表示します。

bit[3:0]	説明
0000	分周なし
0001	2 分周
0010	3 分周
. . .	
1101	14 分周
1110	15 分周
1111	16 分周

5.5.7. StatusPLL 制御レジスタ(SYSC_STSPLLCNTR)

Status PLL 制御レジスタ(SYSC_STSPLLCNTR)は、MCUのクロックシステムにおける PLL 制御状態を示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved	PLLDIVN						
R/W 属性	R0,WX	R,WX						
保護属性	WPS							
初期値	0	0001100						

Bit	15	14	13	12	11	10	9	8
Field	Reserved				PLLDIVM			
R/W 属性	R0,WX				R,WX			
保護属性	WPS							
初期値	0000				0001			

Bit	7	6	5	4	3	2	1	0
Field	Reserved						PLLDIVL	
R/W 属性	R0,WX						R,WX	
保護属性	WPS							
初期値	000000						00	

[bit31:23] Reserved: 予約ビット

[bit22:16] PLLDIVN[6:0]: PLL クロック N 通倍設定ビット

このビットは、PLL クロックの PLL 入力クロックからの通倍設定状態を表示します。

bit[22:16]	説明
0000000	設定禁止
...	設定禁止
0001011	設定禁止
0001100	13 通倍
0001101	14 通倍
0001110	15 通倍
...	
1100001	98 通倍
1100010	99 通倍
1100011	100 通倍
1100100	設定禁止
...	設定禁止
1111111	設定禁止



[bit15:12] Reserved: 予約ビット

[bit11:8] PLLDIVM[3:0]: PLL クロック M 分周設定ビット

このビットは、PLL クロック出力の分周設定状態を表示します。

bit[11:8]	説明
0000	Reserved (2 分周)
0001	2 分周
0010	4 分周
0011	6 分周
0100	8 分周
0101	10 分周
0110	12 分周
0111	14 分周
1000	16 分周
1001	18 分周
1010	20 分周
1011	22 分周
1100	24 分周
1101	26 分周
1110	28 分周
1111	30 分周

[bit7:2] Reserved: 予約ビット

[bit1:0] PLLDIVL[1:0]: PLL 入力クロック分周設定ビット

このビットは、PLL 入力クロックの分周設定状態を表示します。

bit[1:0]	説明
00	分周なし
01	2 分周
10	4 分周
11	6 分周

5.5.8. Status 低電圧検出設定レジスタ(SYSC_STSLVDCFGR)

本レジスタは低電圧検出のステータスの確認に使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	VDRDY12	Reserved			SV12			LVDE12
R/W 属性	R,WX	R0,WX			R1,WX	R0,WX	R0,WX	R1,WX
保護属性	WPS							
初期値	1	000			100			1

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	VDRDY50	LVDS50	Reserved		SV50			LVDE50
R/W 属性	R,WX	R,WX	R0,WX		R,WX			R,WX
保護属性	WPS							
初期値	1	0	00		110			1

[bit31:24] Reserved: 予約ビット

[bit23] VDRDY12: 1.2V 用低電圧検出レディステータス

低電圧検出割込みの動作状態を示します。

bit	説明
0	安定待ち状態
1	監視状態

[bit22:20] Reserved : 予約ビット

[bit19:17] SV12[2:0]: 1.2V 用リファレンス電圧設定

このビットは、低電圧検出割込みの検出電圧設定を示します。

bit[19:17]	説明
100	0.9V



[bit16] LVDE12: 1.2V 用低電圧検出動作許可ビット

このビットは、低電圧検出の動作許可の設定値を示します。

bit	説明
0	-
1	動作許可します。

[bit15:8] Reserved : 予約ビット

[bit7] VDRDY50 : 5.0V 用低電圧検出レディステータス

低電圧検出割込みの動作状態を示します。

bit	説明
0	安定待ち状態もしくは監視停止状態
1	監視状態

[bit6] LVDS50: 5.0V 用低電圧検出動作確認ビット

このビットは、低電圧検出の動作を確認します。

bit	説明
0	リセットが発生します。
1	割込みが発生します。

[bit5:4] Reserved: 予約ビット

[bit3:1] SV50[2:0]: 5.0V 用リファレンス電圧設定

このビットは、低電圧検出割込みの検出電圧設定を示します。

bit[3:1]	説明
000	設定禁止
001	設定禁止
010	設定禁止
011	設定禁止
100	設定禁止
101	3.9V
110	4.1V
111	4.3V

<注意事項>

- 低電圧検出電圧を変更した後に、低電圧検出安定化時間が終わるまで、低電圧検出は動作しません。



[bit0] LVDE50: 5.0V 用低電圧検出動作許可ビット

このビットは、低電圧検出の動作許可の設定値を示します。

bit	説明
0	動作許可しません。
1	動作許可します。

<注意事項>

- 低電圧検出を有効にした後に、低電圧検出安定化時間が終わるまで、低電圧検出は動作しません。



5.5.9. Status クロックスーパーバイザ設定レジスタ(SYSC_STSCSVCFGR)

Status クロックスーパーバイザ設定レジスタ(SYSC_STSCSVCFGR)はクロックスーパーバイザの動作許可/禁止の設定値を示します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					PLLCSVE	Reserved	MOCSVE
R/W 属性	R0,WX					R,WX	R0,WX	R,WX
保護属性	WPS							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] PLLCSVE: メイン PLL クロックスーパーバイザ許可ビット

PLL クロックスーパーバイザの許可/禁止の設定値を示します。

bit	説明
0	PLL クロックスーパーバイザ禁止
1	PLL クロックスーパーバイザ許可

[bit1] Reserved : 予約ビット

[bit0] MOCSVE: メインクロックスーパーバイザ許可ビット

メインクロックスーパーバイザの許可/禁止の設定値を示します。

bit	説明
0	メインクロックスーパーバイザ禁止
1	メインクロックスーパーバイザ許可

5.6. システムレジスタ群

システム制御関連のレジスタです。



5.6.1. システムステータスレジスタ(SYSC_SYSSTS1)

各遷移制御・CPU・システム動作状態、遷移制御の完了フラグを示すレジスタです。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	PSSSTS1	RUNSTS1	PSSDF1	Reserved			CPUSTS1	DVSTS1
R/W 属性	R,WX	R,WX	R,WX	R0,WX			R,WX	R,WX
保護属性	WPS							
初期値	0	0	0	000			0	1

Bit	7	6	5	4	3	2	1	0
Field	PSSSTS0	RUNSTS0	PSSDF0	RUNDF0	Reserved		CPUSTS0	DVSTS0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R0,WX		R,WX	R,WX
保護属性	WPS							
初期値	0	0	0	0	00		0	1

[bit31:16] Reserved: 予約ビット

[bit15] PSSSTS1: PSS プロファイル更新状況(サブ状態制御 1)ビット

本ビットは、PSS プロファイル更新状況(サブ状態制御 1)を示します。

bit	説明
0	PSS プロファイル更新完了または未実施
1	PSS プロファイル更新中

<注意事項>

- 本レジスタは、PSS プロファイル更新直後は、"1"となりません。内部回路が動作後に"1"となります。

[bit14] RUNSTS1: RUN プロファイル更新状況(サブ状態制御 1)ビット

本ビットは、RUN プロファイル更新状況(サブ状態制御 1)を示します。

bit	説明
0	RUN プロファイル更新完了または未実施
1	RUN プロファイル更新中

<注意事項>

- 本レジスタは、RUN プロファイル更新直後は、"1"となりません。内部回路が動作後に"1"となります。

[bit13] PSSDF1: PSS プロファイル更新完了(サブ状態制御 1)フラグビット

本ビットは、PSS プロファイル更新完了(サブ状態制御 1)フラグです。

bit	説明
0	PSS プロファイル更新中または更新をしていない
1	PSS プロファイル完了

＜注意事項＞

- 本レジスタをクリアする場合は、SYSC_SYSCCLR:PSSDFCLR1 に"1"書き込みをしてください。
- レジスタをリードした際、本レジスタと PSSSTS1 レジスタのフラグが"1"に見える場合があります。その状態は、PSS プロファイルの更新は完了しています。

[bit12:10] Reserved: 予約ビット

[bit9] CPUSTS1: CPU1 デバイス状態ビット

本ビットは、CPU1 のデバイス状態を示します。

bit	説明
0	動作状態
1	WFI 状態

[bit8] DVSTS1: サブ状態制御 1 デバイス状態ビット

本ビットは、サブ状態制御 1 のデバイス状態を示します。

bit	説明
0	PSS
1	RUN

[bit7] PSSSTS0: PSS プロファイル更新状況(メイン状態制御)ビット

本ビットは、PSS プロファイル更新状況(メイン状態制御)を示します。

bit	説明
0	PSS プロファイル更新完了または未実施
1	PSS プロファイル更新中

＜注意事項＞

- 本レジスタは、PSS プロファイル更新直後は、"1"となりません。内部回路が動作後に"1"となります。

[bit6] RUNSTS0: RUN プロファイル更新状況(メイン状態制御)ビット

本ビットは、RUN プロファイル更新状況(メイン状態制御)を示します。

bit	説明
0	RUN プロファイル更新完了または未実施
1	RUN プロファイル更新中

＜注意事項＞

- 本レジスタは、RUN プロファイル更新直後は、"1"となりません。内部回路が動作後に"1"となります。

[bit5] PSSDF0: PSS プロファイル更新完了(メイン状態制御)フラグビット

本ビットは、PSS プロファイル更新完了(メイン状態制御)フラグです。



bit	説明
0	PSS プロファイル更新中または更新をしていない
1	PSS プロファイル完了

＜注意事項＞

- 本レジスタをクリアする場合は、SYSC_SYSCCLR:PSSDFCLR0 に"1"書込みをしてください。
- レジスタをリードした際、本レジスタと PSSSTS0 レジスタのフラグが"1"に見える場合があります。その状態は、PSS プロファイルの更新は完了しています。

[bit4] RUNDF0: RUN プロファイル更新完了(メイン状態制御)フラグビット

本ビットは、RUN プロファイル更新完了(メイン状態制御)フラグです。

bit	説明
0	RUN プロファイル更新中または更新をしていない
1	RUN プロファイル完了

＜注意事項＞

- 本レジスタをクリアする場合は、SYSC_SYSCCLR:RUNDFCLR0 に"1"書込みをしてください。
- 本レジスタを割込みとして使用したい場合は、SYSC_SYSINTER:RUNDIE0 に"1"書込みをしてください。
- レジスタをリードした際、本レジスタと RUNSTS0 レジスタのフラグが"1"に見える場合があります。その状態は、RUN プロファイルの更新は完了しています。

[bit3:2] Reserved: 予約ビット

[bit1] CPUSTS0: CPU0 デバイス状態ビット

本ビットは、CPU0 のデバイス状態を示します。

bit	説明
0	動作状態
1	WFI 状態

[bit0] DVSTS0: メイン状態制御デバイス状態ビット

本ビットは、メイン状態制御のデバイス状態を示します。

bit	説明
0	PSS
1	RUN



5.6.2. システムステータス割込み許可レジスタ(SYSC_SYSINTER)

RUN プロファイル実行完了割込みの許可を設定するレジスタです。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			RUNDIE0	Reserved			
R/W 属性	R0,WX			R/W	R0,WX			
保護属性	WPS							
初期値	000			0	0000			

[bit31:5] Reserved: 予約ビット

[bit4] RUNDIE0: RUN プロファイル更新完了(メイン状態制御)割込み許可ビット

本ビットは, RUN プロファイル更新完了(メイン状態制御)割込みを許可します。

bit	説明
0	禁止
1	許可

[bit3:0] Reserved: 予約ビット



5.6.3. システムステータスフラグ・割込みクリアレジスタ(SYSC_SYSICLR)

RUN/PSS プロファイル完了フラグをクリアするレジスタです。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved		PSSDFCLR1	Reserved				
R/W 属性	R0,WX		R0,W	R0,WX				
保護属性	WPS							
初期値	00		0	00000				

Bit	7	6	5	4	3	2	1	0
Field	Reserved		PSSDFCLR0	RUNDFCLR 0	Reserved			
R/W 属性	R0,WX		R0,W	R0,W	R0,WX			
保護属性	WPS							
初期値	00		0	0	0000			

[bit31:14] Reserved: 予約ビット

[bit13] PSSDFCLR1: PSS プロファイル更新完了(サブ状態制御 1)フラグクリアビット

本ビットは、PSS プロファイル更新完了(サブ状態制御 1)フラグをクリアします。

bit	説明
0	無効
1	フラグをクリア

<注意事項>

- 本ビットは、CPU1 もライトアクセス可能です。

[bit12:6] Reserved: 予約ビット

[bit5] PSSDFCLR0: PSS プロファイル更新完了(メイン状態制御)フラグクリアビット

本ビットは、PSS プロファイル更新完了(メイン状態制御)フラグをクリアします。

bit	説明
0	無効
1	フラグをクリア

[bit4] RUNDFCLR0: RUN プロファイル更新完了(メイン状態制御)フラグクリアビット

本ビットは、RUN プロファイル更新完了(メイン状態制御)フラグをクリアします。



bit	説明
0	無効
1	クリア

[bit3:0] Reserved: 予約ビット



5.6.4. システムエラー割込み要因レジスタ 0 (SYSC_SYSEERRIR0)

低電圧検出(割込み),クロックスーパーバイザ割込み要求の要因を表示するレジスタです。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							LVD50IF
R/W 属性	R0,WX							R,WX
保護属性	WPS							
初期値	0000000							0

Bit	23-8						
Field	Reserved						
R/W 属性	R0,WX						
保護属性	WPS						
初期値	00000000_00000000						

Bit	7	6	5	4	3	2	1	0
Field	Reserved			SSPMIF	Reserved	PMIF	Reserved	MOMIF
R/W 属性	R0,WX			R,WX	R0,WX	R,WX	R0,WX	R,WX
保護属性	WPS							
初期値	000			0	0	0	0	0

[bit31:25] Reserved: 予約ビット

[bit24] LVD50IF: 5.0V 低電圧検出割込み要求ビット

本ビットは, 5.0V 低電圧検出の割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit23:5] Reserved: 予約ビット

[bit4] SSPMIF: サブシステム PLL 異常検出エラー割込み要求ビット

本ビットは, サブシステム PLL 異常検出エラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit3] Reserved: 予約ビット



[bit2] PMIF: PLL 異常検出エラー割込み要求ビット

本ビットは, PLL 異常検出エラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit1] Reserved: 予約ビット

[bit0] MOMIF: メイン発振異常検出エラー割込み要求ビット

本ビットは, メイン発振異常検出エラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり



5.6.5. システムエラー割込み要因レジスタ 1 (SYSC_SYSEERRIR1)

プロファイルエラー割込み要求の要因を表示するレジスタです。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved				PSSENERRI F1	PSSTRGCIF 1	Reserved	
R/W 属性	R0,WX				R,WX	R,WX	R0,WX	
保護属性	WPS							
初期値	0000				0	0	00	

Bit	7	6	5	4	3	2	1	0
Field	Reserved	PSSERRIF0	RUNWKER RIF0	RUNERRIF0	PSSSENERRI F0	PSSTRGCIF 0	RUNTRGER RIF	TRGERRIF
R/W 属性	R0,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31:12] Reserved: 予約ビット

[bit11] PSSSENERRI1: PSS プロファイル更新許可書込みエラー割込み要求ビット

本ビットは、PSS プロファイル更新許可レジスタ(SYSC_PSSSENR:PSSSENI)の書込みエラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit10] PSSTRGCIF1: PSS トリガ(サブ状態制御 1)キャンセル割込み要求ビット

本ビットは、PSS プロファイル(サブ状態制御 1)を更新した際キャンセル要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit9:7] Reserved: 予約ビット

[bit6] PSSERRIF0: PSS プロファイルエラー割込み要求ビット

本ビットは、PSS プロファイル(メイン状態制御)エラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit5] RUNWKERRIF0: RUN プロファイル(PSS 復帰時)エラー割込み要求ビット

本ビットは、RUN プロファイル(メイン状態制御)エラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit4] RUNERRIF0: RUN プロファイルエラー割込み要求ビット

本ビットは、RUN プロファイル(メイン状態制御)更新時のエラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit3] PSSENERRIF0: PSS プロファイル更新許可書込みエラー割込み要求ビット

本ビットは、PSS プロファイル更新許可レジスタ(SYSC_PSSENR:PSSEN0)の書込みエラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit2] PSSTRGCIF0: PSS トリガ(メイン状態制御)キャンセル割込み要求ビット

本ビットは、PSS プロファイル(メイン状態制御)を更新した際キャンセル要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

[bit1] RUNTRGERRIF: RUN プロファイル更新許可書込みエラー割込み要求ビット

本ビットは、RUN プロファイル更新許可レジスタの書込みエラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり



[bit0] TRGERRIF: トリガエラー割込み要求ビット

本ビットは, RUN プロファイル更新中に再度 RUN プロファイルを更新した際のトリガエラー割込み要求が発生したことを保持します。

bit	説明
0	割込み要求検出なし
1	割込み要求検出あり

5.6.6. システムエラー割込み要因クリアレジスタ 0 (SYSC_SYSEERRICLR0)

低電圧検出(割込み), クロックスーパバイザ割込み要求をクリア設定するレジスタです。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							LVD50ICLR
R/W 属性	R0,WX							R0,W
保護属性	WPS							
初期値	0000000							0

Bit	23-8						
Field	Reserved						
R/W 属性	R0,WX						
保護属性	WPS						
初期値	00000000_00000000						

Bit	7	6	5	4	3	2	1	0
Field	Reserved			SSPMICLR	Reserved	PMICLR	Reserved	MOMICLR
R/W 属性	R0,WX			R0,W	R0,WX	R0,W	R0,WX	R0,W
保護属性	WPS							
初期値	000			0	0	0	0	0

[bit31:25] Reserved: 予約ビット

[bit24] LVD50ICLR: 5.0V 低電圧検出割込み要求クリアビット

本ビットは, 5.0V 低電圧検出の割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

[bit23:5] Reserved: 予約ビット

[bit4] SSPMICLR: サブシステム PLL 異常検出割込み要求クリアビット

本ビットは, サブシステム PLL 異常検出割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

[bit3] Reserved: 予約ビット

[bit2] PMICLR: PLL 異常検出割込み要求クリアビット

本ビットは, PLL 異常検出割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア



[bit1] Reserved: 予約ビット

[bit0] MOMICLR: メイン発振異常検出割込み要求クリアビット

本ビットは、メイン発振異常検出割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

5.6.7. システムエラー割込み要因クリアレジスタ 1 (SYSC_SYSEERRICLR1)

プロファイルエラー割込み要求をクリア設定するレジスタです。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved				PSSENERRI CLR1	PSSTRGCIC LR1	Reserved	
R/W 属性	R0,WX				R0,W	R0,W	R0,WX	
保護属性	WPS							
初期値	0000				0	0	00	

Bit	7	6	5	4	3	2	1	0
Field	Reserved	PSSERRICL R0	RUNWKER RICLR0	RUNERRIC LR0	PSSSENERRI CLR0	PSSTRGCIC LR0	RUNTRGER RICLR	TRGERRIC LR
R/W 属性	R0,WX	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31:12] Reserved: 予約ビット

[bit11] PSSSENERRICLR1: PSS プロファイル更新許可書込みエラー割込み要求クリアビット

本ビットは、PSS プロファイル(サブ状態制御 1)更新許可レジスタの書込みエラー割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

<注意事項>

- 本ビットは、CPU1 もライトアクセス可能です。

[bit10] PSSTRGCICLR1: PSS トリガ(サブ状態制御 1)キャンセル割込み要求クリアビット

本ビットは、PSS プロファイル(サブ状態制御 1)キャンセル割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

<注意事項>

- 本ビットは、CPU1 もライトアクセス可能です。

[bit9:7] Reserved: 予約ビット



[bit6] PSSERRICLR0: PSS プロファイルエラー割込み要求クリアビット

本ビットは, PSS プロファイル(メイン状態制御)エラー割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

[bit5] RUNWKERRICLR0: RUN プロファイル(PSS 復帰時)エラー割込み要求クリアビット

本ビットは, RUN プロファイル(メイン状態制御)エラー割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

[bit4] RUNERRICLR0: RUN プロファイルエラー割込み要求クリアビット

本ビットは, RUN プロファイル(メイン状態制御)更新時のエラー割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

[bit3] PSSENERICLR0: PSS プロファイル更新許可書込みエラー割込み要求クリアビット

本ビットは, PSS プロファイル(メイン状態制御)更新許可レジスタの書込みエラー割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

[bit2] PSSTRGCICLR0: PSS トリガ(メイン状態制御)キャンセル割込み要求クリアビット

本ビットは, PSS プロファイル(メイン状態制御)キャンセル割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア

[bit1] RUNTRGERRICLR: RUN プロファイル更新許可書込みエラー割込み要求クリアビット

本ビットは, RUN プロファイル更新許可レジスタの書込みエラー割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア



[bit0] TRGERRICLR: トリガエラー割込み要求クリアビット

本ビットは, RUN プロファイル更新中に再度 RUN プロファイルを更新した際のトリガエラー割込み要求をクリアします。

bit	説明
0	無効
1	割込み要求をクリア



5.6.8. プロファイルステータスレジスタ(SYSC_SYSPROSTSR)

各プロファイルエラー状態を示すレジスタです。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					PSSPSTS	RUNWKPSTS	RUNPSTS
R/W 属性	R0,WX					R,WX	R,WX	R,WX
保護属性	WPS							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] PSSPSTS: PSS プロファイル設定状態ビット

本ビットは, RUN から PSS 遷移時の PSS プロファイル設定の設定状態を示します。

bit	説明
0	PSS プロファイルエラーなし
1	PSS プロファイルエラーあり

<注意事項>

- PSSへ遷移する前に本レジスタ値を確認して, PSS プロファイルに問題ないことを確認することを推奨します。

[bit1] RUNWKPSTS: RUN プロファイル(PSS 復帰時)設定状態ビット

本ビットは, PSS から RUN 遷移時の RUN プロファイル設定の設定状態を示します。

bit	説明
0	RUN プロファイルエラーなし
1	RUN プロファイルエラーあり

<注意事項>

- PSSへ遷移する前に本レジスタ値を確認して, RUN プロファイルに問題ないことを確認することを推奨します。



[bit0] RUNPSTS: RUN プロファイル設定状態ビット

本ビットは, RUN プロファイル設定の設定状態を示します。

bit	説明
0	RUN プロファイルエラーなし
1	RUN プロファイルエラーあり

<注意事項>

- RUN プロファイルを更新する場合は, 本レジスタ値を確認して, RUN プロファイルに問題ないことを確認することを推奨します。



5.6.9. RUN プロファイルエラーフラグレジスタ(SYSC_SYSRUNPEFR)

このレジスタは各 RUN プロファイルエラーフラグを示します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved						PEF9	PEF8
R/W 属性	R0,WX						R,WX	R,WX
保護属性	WPS							
初期値	000000						0	0

Bit	7	6	5	4	3	2	1	0
Field	PEF7	PEF6	PEF5	Reserved	PEF3	PEF2	PEF1	PEF0
R/W 属性	R,WX	R,WX	R,WX	R0,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31:10, bit4] Reserved: 予約ビット

[bit9:5, bit3:0] PEF<n>: プロファイルエラーフラグビット

本ビットは、各 RUN プロファイルのエラー状態を示します。詳細なプロファイルエラーの内容は、「(3) プロファイルエラー」を参照してください。

bit[9:5], bit[3:0]	状態
0	エラーなし
1	エラーあり

<n>には 9~5, 3~0 の数字が入ります。

5.6.10. PSS プロファイルエラーフラグレジスタ(SYSC_SYSPSSPEFR)

このレジスタは各 PSS プロファイルエラーフラグを示します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved					PEF10	PEF9	PEF8
R/W 属性	R0,WX					R,WX	R,WX	R,WX
保護属性	WPS							
初期値	00000					0	0	0

Bit	7	6	5	4	3	2	1	0
Field	PEF7	PEF6	PEF5	Reserved	PEF3	Reserved	PEF1	PEF0
R/W 属性	R,WX	R,WX	R,WX	R0,WX	R,WX	R0,WX	R,WX	R,WX
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31:11, bit4, bit2] Reserved: 予約ビット

[bit10:5, bit3, bit1:0] PEF<n>: プロファイルエラーフラグビット

本ビットは、各 PSS プロファイルのエラー状態を示します。詳細なプロファイルエラーの内容は、「(3) プロファイルエラー」を参照してください。

bit[10:5], bit3, bit[1:0]	状態
0	エラーなし
1	エラーあり

<n>には 10~5, 3, 1~0 の数字が入ります。



5.7. 特殊設定レジスタ群

特殊設定レジスタです。

5.7.1. システム特殊設定レジスタ(SYSC_SPECIFGR)

I/O 制御設定レジスタです。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	PSSPADCT RL	Reserved						
R/W 属性	R/W	R0,WX						
保護属性	WPS							
初期値	0	0000000						

Bit	15-0							
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000_00000000							

[bit31:24] Reserved: 予約ビット

[bit23] PSSPADCTRL: PSS 時 I/O ハイインピーダンス設定ビット

本ビットは, PSS 時の I/O の状態を制御します。

bit	説明
0	端子をハイインピーダンスにしない
1	端子をハイインピーダンスにする

[bit22:0] Reserved: 予約ビット



5.7.2. CPU 制御レジスタ(SYSC_SPECPUCFGR)

CPU 関連の制御設定するレジスタです。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved					CPUMD		
R/W 属性	R0,WX					R/W		
保護属性	WPS							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved						HEN1	HEN0
R/W 属性	R0,WX						R,W	R,W
保護属性	WPS							
初期値	000000						*	*

[bit31:11] Reserved: 予約ビット

[bit10:8] CPUMD[2:0]: CPU 動作モード設定ビット

本ビットは, CPU の動作モードを設定します。

bit[10:8]	説明
000	Multi CPU(2CPU モード)
001	予約
01X	予約
100	Single CPU(1CPU0 モード)
101	Single CPU(1CPU1 モード)
11X	予約

X: Don't care

<注意事項>

- 詳細は『動作モード』の章を参照してください。

[bit7:2] Reserved: 予約ビット

[bit1] HEN1: CPU1HALT 制御ビット

本ビットは, CPU1 の HALT 信号の制御をします。

bit	説明
0	無効
1	有効



＜注意事項＞

- 本レジスタは、ハードリセット後, HALT 信号が有効設定の場合に 1 度だけ書き込めます。
- CPU 動作モードによって、初期値が変化します。
 - 2CPU モードの初期値 : 1
 - 1CPU0 モードの初期値 : 1
 - 1CPU1 モードの初期値 : 0

[bit0] HEN0: CPU0HALT 制御ビット

本ビットは, CPU0 の HALT 信号の制御をします。

bit	説明
0	無効
1	有効

＜注意事項＞

- 本レジスタは、ハードリセット後, HALT 信号が有効設定の場合に 1 度だけ書き込めます。
- CPU 動作モードによって、初期値が変化します。
 - 2CPU モードの初期値 : 0
 - 1CPU0 モードの初期値 : 0
 - 1CPU1 モードの初期値 : 1



5.8. デバッグレジスタ群

デバッグ関連のレジスタです。



5.8.1. JTAG 検出レジスタ(SYSC_JTAGDETECT)

デバッカとの接続の状態を示すレジスタです。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							DBGCON
R/W 属性	R0,WX							R,WX
保護属性	-							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] DBGCON: デバッガ接続状態ビット

本ビットは、デバッガとの接続状態を示します。

bit	説明
0	未接続
1	接続



5.8.2. JTAG 設定レジスタ(SYSC_JTAGCNFG)

デバッカの設定完了(BootROM 用)を示すレジスタです。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							DBGDONE
R/W 属性	R0,WX							R/W
保護属性	-							
初期値	0000000							1

[bit31:1] Reserved: 予約ビット

[bit0] DBGDONE: デバッガ状態ビット

本ビットは、デバッガの設定状態を示します。

bit	説明
0	デバッガ接続
1	デバッガ未接続 or デバッガ設定完了



5.8.3. JTAG 復帰レジスタ(SYSC_JTAGWAKEUP)

デバッカ接続復帰レジスタです。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							DBGWKEN
R/W 属性	R0,WX							R/W
保護属性	-							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] DBGWKEN: デバッガ Wakeup 許可ビット

本ビットは、デバッガ接続復帰の設定をします。

bit	説明
0	復帰マスク
1	復帰許可

<注意事項>

- デバッガ接続時に JTAG-Wakeup を有効にする場合は、本ビットに"1"書き込みしてください。
- 本ビットで復帰マスクの場合は、JTAG-Wakeup 復帰が無効です。



6. その他

低消費電力を利用する際の注意事項などについて説明します。

6.1. PSS 遷移時の制限事項

PSS 遷移時の制限事項を示します。

PSS へ遷移する際に CPU クロックと Memory Config クロックと SCU クロックの関係を 1 : 1 : 1 にしてください。お互いのクロック関係を保てないと、誤動作する可能性があります。



CHAPTER 7: 低電圧検出

低電圧検出について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. 動作例
6. 使用上の注意



1. 概要

低電圧検出の概要について説明します。

(1) 特長

a) 内部低電圧検出(1.2V)

低電圧検出(内部低電圧検出)の特長について説明します。

- 機能: 検出電圧 $\pm 0.1V$ 以下の電圧検出により、内部低電圧検出リセットを発生します。
- 検出設定電圧: 0.9V
- 動作: 常に動作します。

内部低電圧検出リセット後のRAMの内容を保障できません。

b) 外部低電圧検出(5.0V)

低電圧検出(外部低電圧検出)の特長について説明します。

- 機能: 電圧検出電圧 $\pm 0.2V$ 以下の電圧検出により、外部低電圧検出リセットまたは、割込みを発生します。
- 検出電圧: 3.9V, 4.1V, 4.3V から選択可能です。
- 動作: ユーザ設定により、動作/停止を切替可能です。

割込み用、リセット用で選択可能です。

さらにプロファイルによってRUN/PSSで設定内容を切替可能です。

リセット発生用は外部低電圧検出リセット後のRAMの内容を保障するため、すべてのクロック停止後にリセットが発行されます。

詳細は『リセット』の章を参照してください。

<注意事項>

- MB9D560 シリーズでは、低電圧検出割込みはNMIとなります。

2. 構成

低電圧検出のブロックダイアグラムについて説明します。

低電圧検出の構成図を図 2-1, 図 2-2 に示します。

低電圧検出の構成図

図 2-1 内部低電圧検出回路(1.2V)

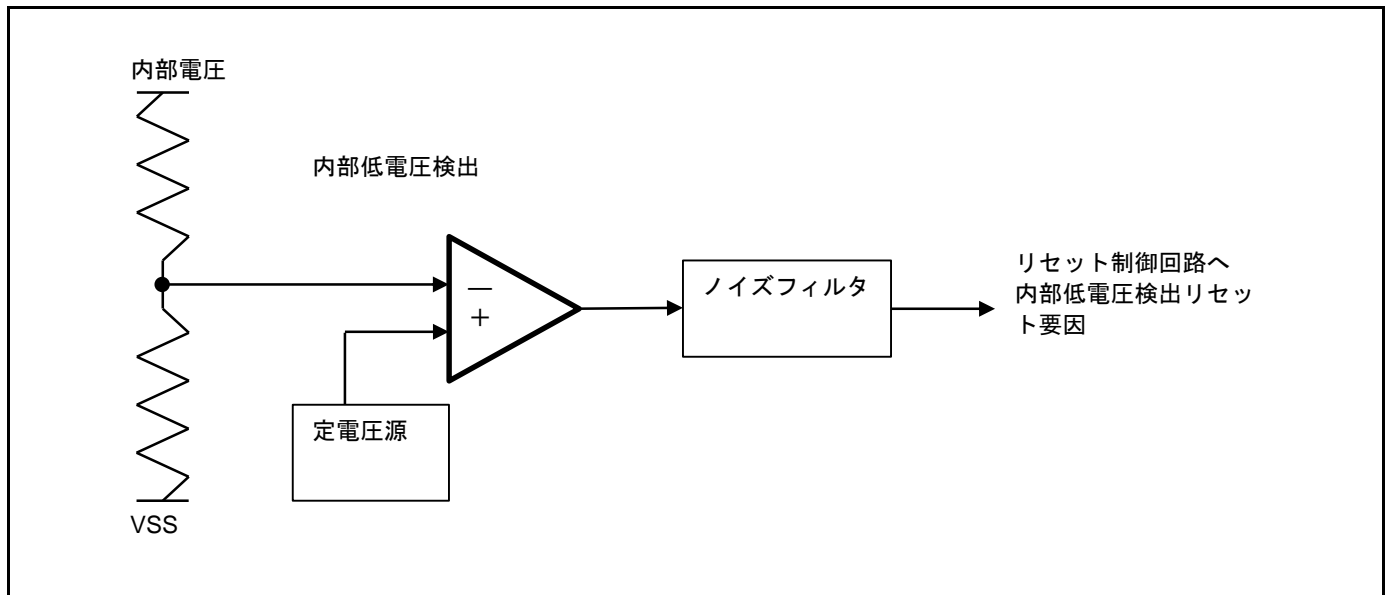
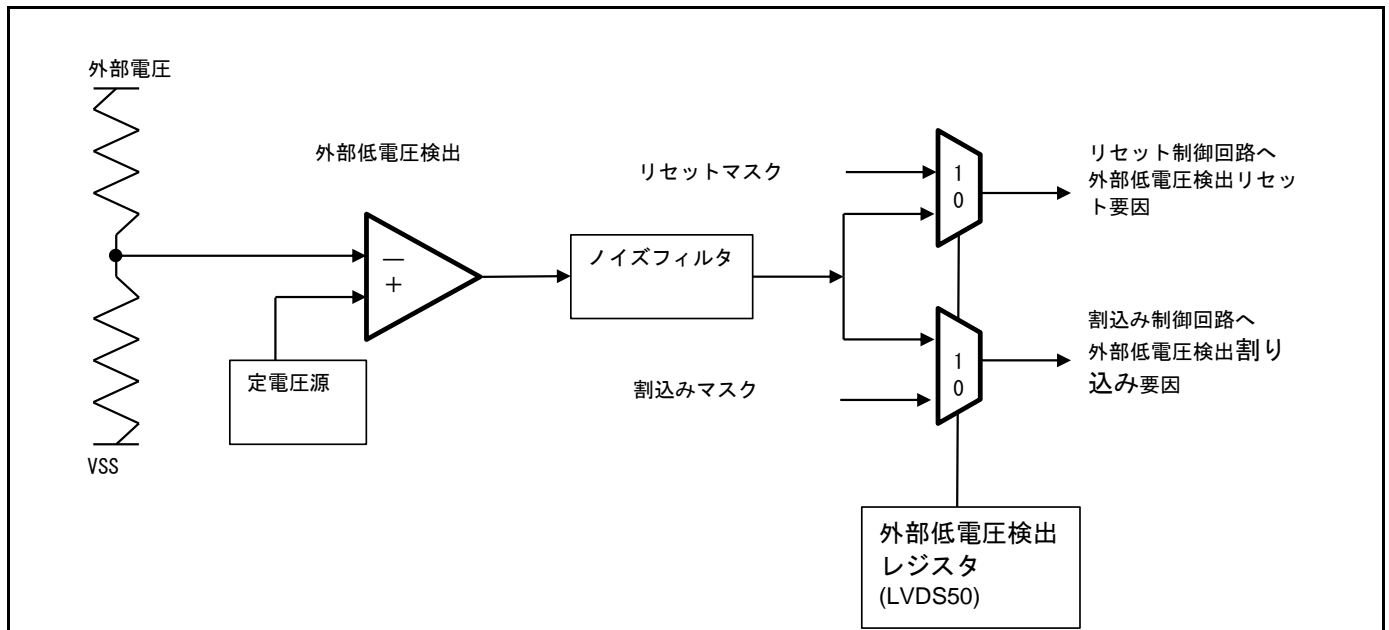


図 2-2 外部低電圧検出回路(5.0V)





3. 動作説明

低電圧検出の動作について説明します。

(1) 内部低電圧検出回路

内部低電圧検出回路は、電源投入後から常に監視状態になります。内部の電源電圧が検出電圧よりも低下したときに低電圧検出を行います。低電圧を検出した場合は、リセットを発生します。内部の電源電圧が、解除電圧よりも高くなると、低電圧検出を解除します。

a) 内部低電圧検出動作説明

低電圧検出電圧は固定です。電源投入後から常に監視状態になります。

b) 内部低電圧検出リセット

内部の電源電圧が設定された電圧よりも低下したときに、リセットが発生します。内部低電圧検出リセット発生時には、ユーザリセット要因レジスタ(SYSC_RSTCAUSEUR)の PONR ビットと LVD12R ビット(パワーオンリセット検出ビット, 内部低電圧検出リセット検出ビット)がセットされます。詳細は『リセット』の章を参照してください。

(2) 外部低電圧検出回路

外部低電圧検出回路は、電源投入後から監視状態になります。外部の電源電圧が検出電圧よりも低下したときに、低電圧検出を行います。低電圧を検出した場合は、割込みを発生させるか、リセットを発生させるか選択できます。外部の電源電圧が、解除電圧よりも高くなると、低電圧検出を解除します。

a) 外部低電圧検出動作説明

RUN プロファイル低電圧検出設定レジスタ(SYSC_RUNLVDCFGR)/ PSS プロファイル低電圧検出設定レジスタ(SYSC_PSSLVDCFGR)により、低電圧検出許可(LVDE50 ビット), 低電圧検出電圧の選択(SV50[2:0]), 低電圧検出時のリセット発生/割込み発生の選択(LVDS50 ビット)が可能です。設定の変更はRUN/PSS プロファイルを実行することによって行われます。プロファイル実行後, Status 低電圧検出設定レジスタ(SYSC_STSLVDCFGR)の LVDE50 ビット, SV50[2:0]ビット, LVDS50 ビットに設定内容が反映されます。電源投入後または、設定内容を変更した際には、低電圧検出回路の安定待ち時間(約 100 μ s)を取ります。安定待ち時間中は Status 低電圧検出設定レジスタ(SYSC_STSLVDCFGR)の VDRDY50 ビットが"0"となり検出結果はマスクされます。安定待ち時間の経過後に VDRDY50 ビットが"1"となり電源電圧監視を開始します。

b) 外部低電圧検出割込み

低電圧検出時に割込み発生を選択後は、外部の電源電圧が設定された電圧よりも低下したときに、システムエラー割込み要因レジスタ 0(SYSC_SYSERRIR0)の LVD50IF ビットが"1"になります。この際、割込みが発生します。

c) 低電圧検出の割込み要因のクリア

低電圧検出割込み要因をクリアするためには、システムエラー割込み要因クリアレジスタ 0(SYSC_SYSERRICLR0)の LVD50ICLR ビットに"1"を書き込んでください。これにより低電圧検出割込み要因がクリアされます。なお、電源電圧が設定された検出電圧よりも低下している間に、LVD50ICLR ビットに"1"書き込みを行った場合は、低電圧検出割込み要因がクリアされず、割込み要求が保持されます。

d) 外部低電圧検出リセット

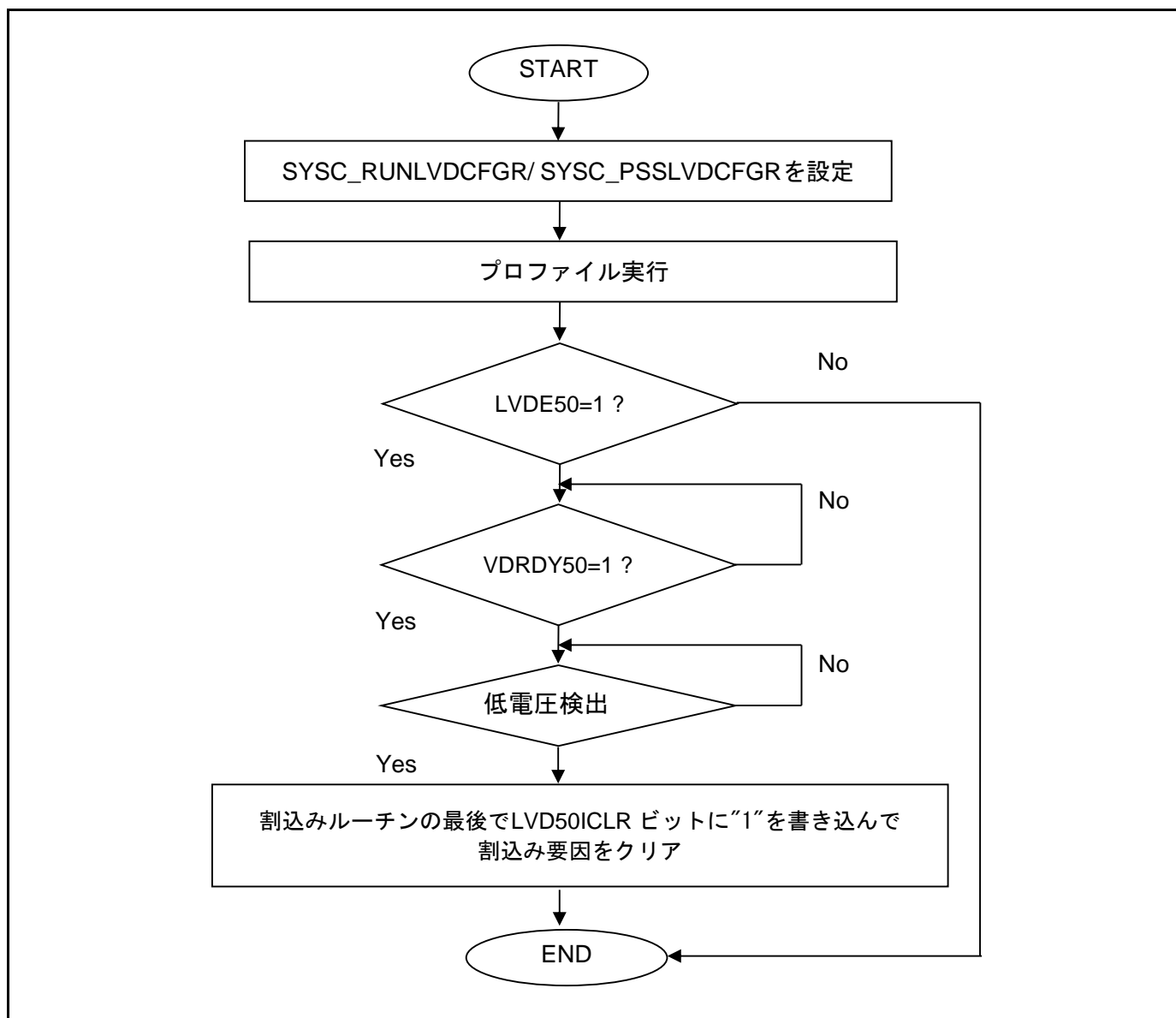
低電圧検出時にリセット発生を選択後は、外部の電源電圧が設定された電圧よりも低下したときに、ユーザリセット要因レジスタ(SYSC_RSTCAUSEUR)の LVD50R ビットが"1"になり、リセットが発生します。詳細は『リセット』の章を参照してください。

4. 設定手順例

低電圧検出の設定手順例について説明します。

(1) 割込み用低電圧検出の設定

図 4-1 割込み用低電圧検出の設定

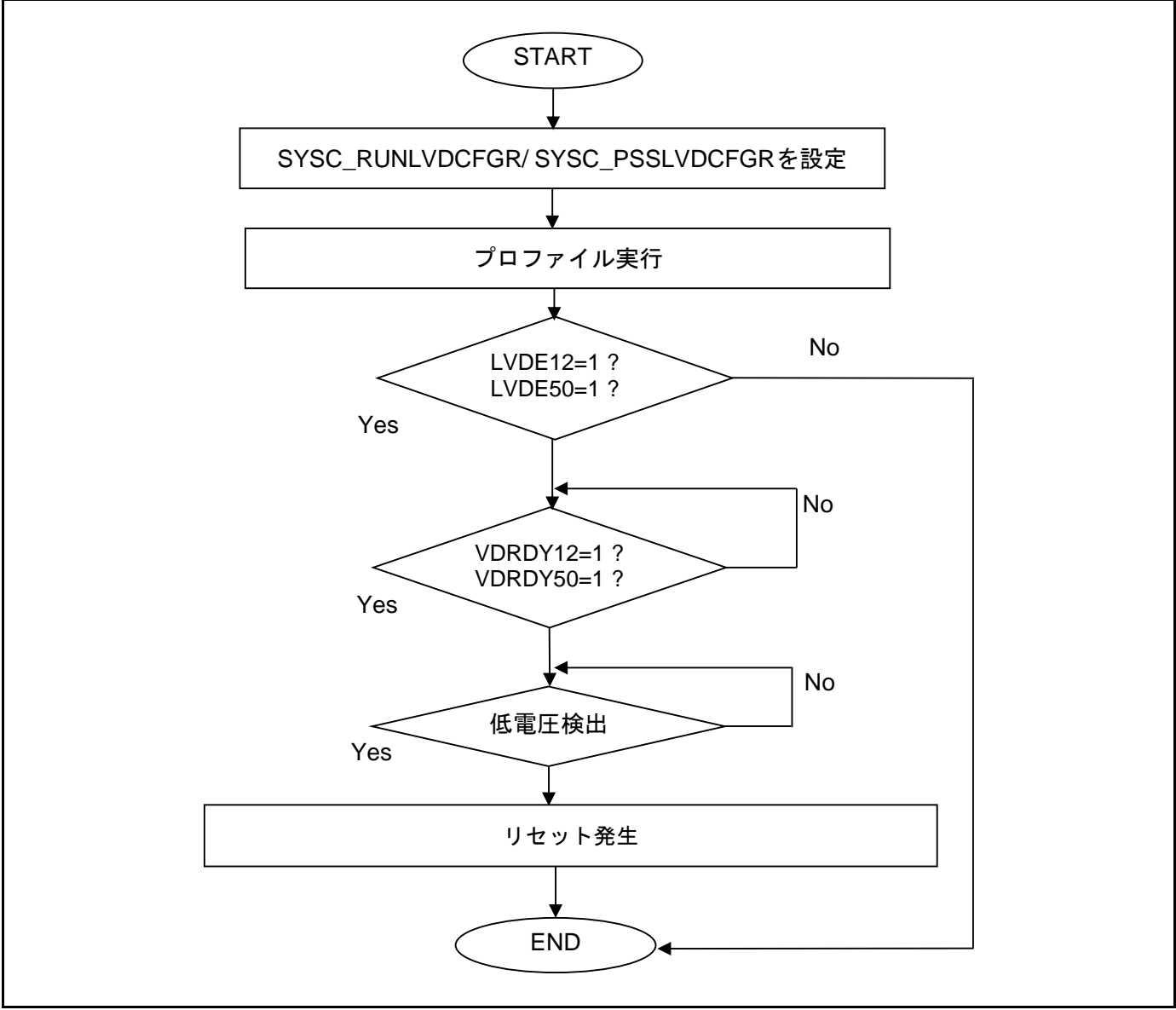


プロファイルレジスタに低電圧検出の設定を行い、プロファイルを実行することによって反映されます。レディビット(VDRDY50)が"1"となることで低電圧監視が始まり、低電圧を検出後は割込みが発生します。割込みから復帰する際には割込みルーチンの最後でLVD50ICLRビットに"1"を書き込むことによって割込み要因をクリアしてから復帰します。



(2) リセット用低電圧検出の設定

図 4-2 リセット用低電圧検出の設定



プロファイルレジスタに低電圧検出の設定を行い、プロファイルを実行することによって反映されます。
レディビット(VDRDY50)が"1"となることで低電圧監視が始まり、低電圧を検出後はリセットが発生します。

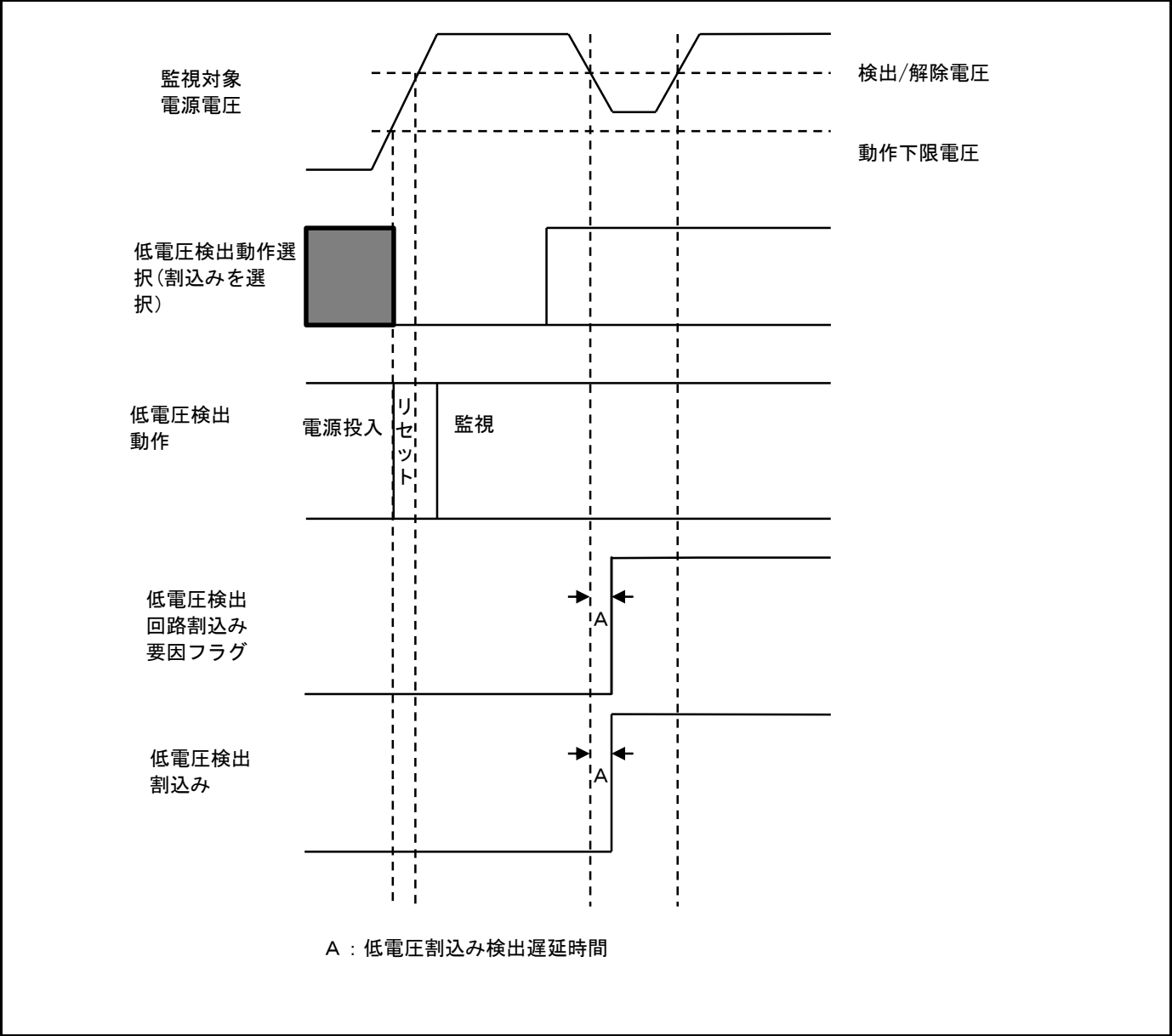
5. 動作例

低電圧検出の動作例について説明します。

(1) 割込み用検出回路を有効にした場合(5.0V)

低電圧検出割込みを許可した場合以下のタイミングチャートのように低電圧を検出後は検出フラグが立ち、割込みが発生します。

図 5-1 低電圧検出割込みを許可した場合のタイミングチャート

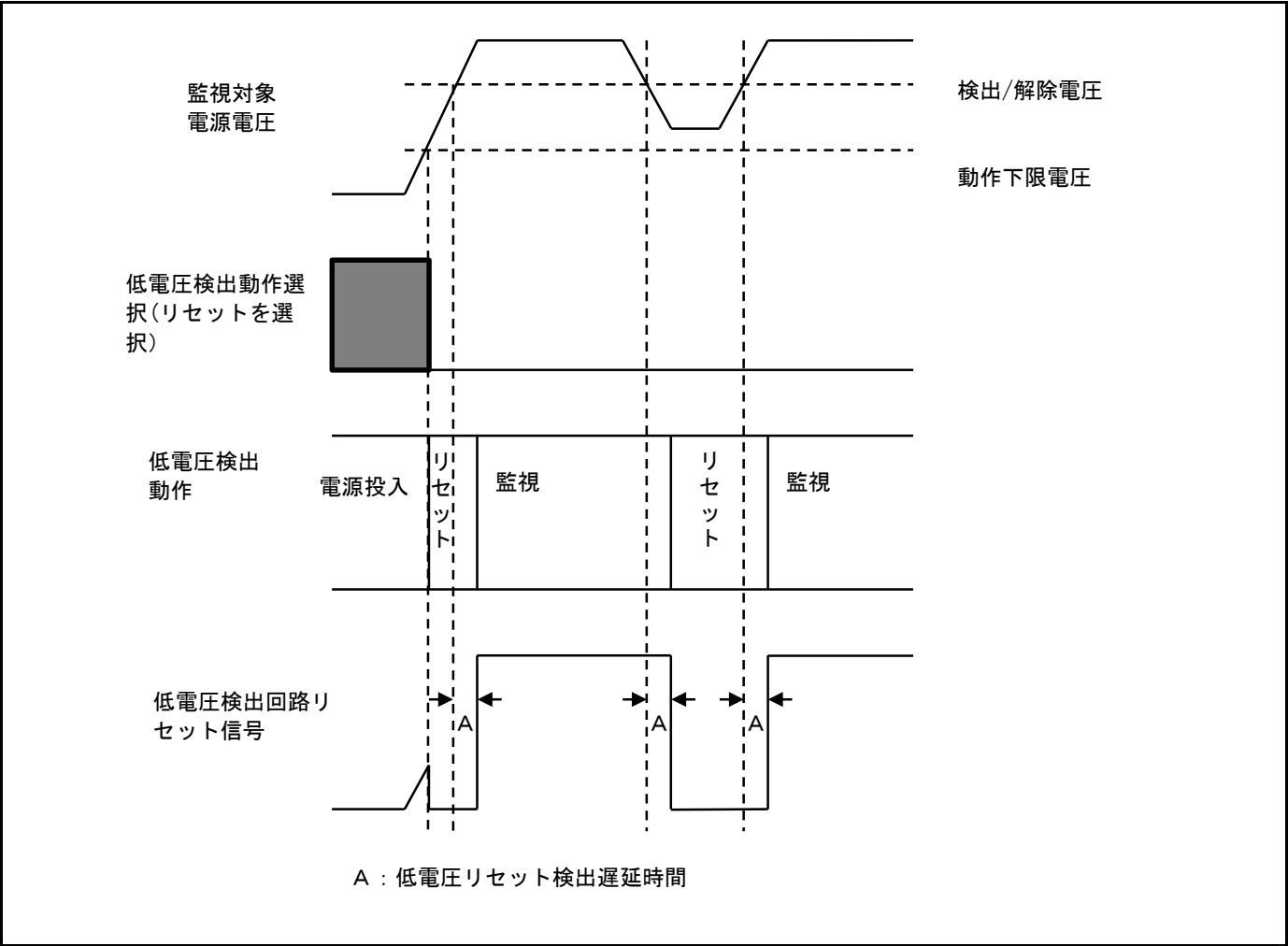




(2) リセット用検出回路を有効にした場合(1.2V/5.0V)

リセット用検出回路を有効にした場合以下のタイミングチャートのように低電圧を検出後はリセットが発生します。1.2V の場合、動作選択なしで必ずリセットが発生します。

図 5-2 リセット用検出回路を有効にした場合のタイミングチャート

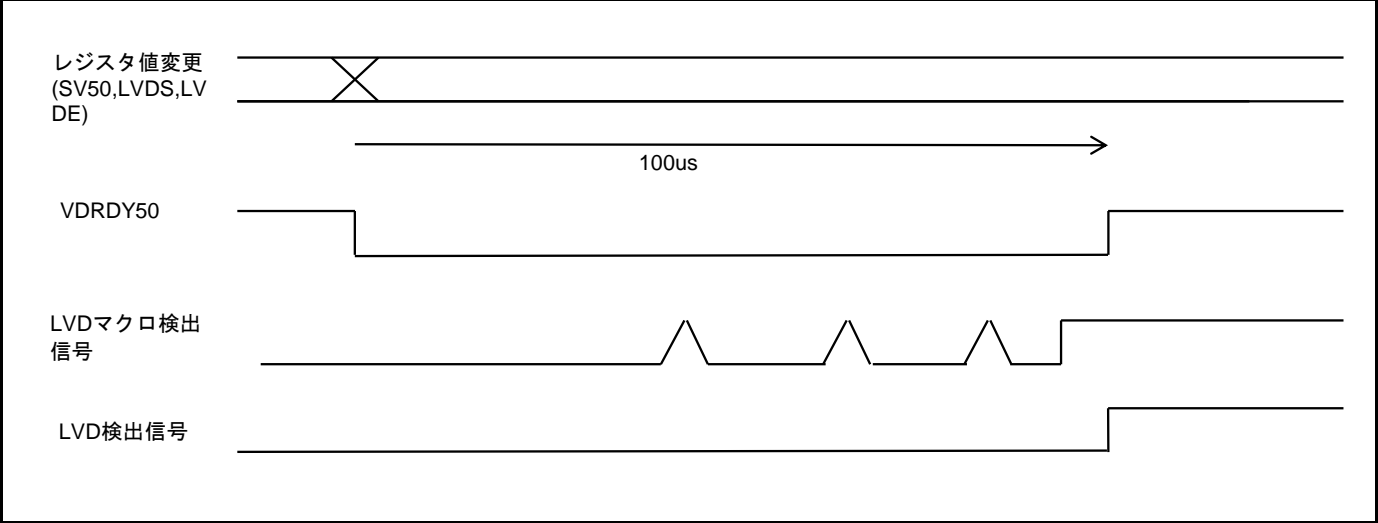




(3) レジスタ設定値を変更した場合(5.0V)

レジスタの設定値(SV50, LVDS, LVDE)を変更した場合、以下のように VDRDY50 が"1"になるまで LVD マクロの検出信号をマスクします。

図 5-3 レジスタの設定値を変更した場合のタイミングチャート





6. 使用上の注意

低電圧検出の使用上の注意について説明します。

(1) 低電圧検出(内部低電圧検出)

低電圧検出(内部低電圧検出)の注意事項について説明します。

a) 検出/解除のヒステリシス

検出/解除は 0.05V のヒステリシスを持つため、解除電圧は設定値+0.05V です。例えば 1.0V \pm 0.1V 設定のとき、解除電圧は 1.05V \pm 0.1V です。

(2) 低電圧検出(外部低電圧検出)

低電圧検出(外部低電圧検出)の注意事項について説明します。

a) PSS 時の動作

低電圧検出リセットは、設定によって PSS でも動作を続けることができます。このとき、PSS 中に低電圧を検出後は、設定初期化リセットが発生し、PSS は解除されます。割込み選択時には、割込み復帰が行われます。

b) 検出/解除のヒステリシス

検出/解除は 0.125V のヒステリシスを持つため、解除電圧は設定値+0.125V です。例えば 4.1V \pm 0.2V 設定のとき、解除電圧は 4.225V \pm 0.2V です。

c) 検出結果のマスク

低電圧の設定を変えたら約 100 μ s 間は検出結果をマスクします。

CHAPTER 8: クロックスーパーバイザ

クロックスーパーバイザの機能と動作について示します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意



1. 概要

クロックスーパーバイザの概要について説明します。

クロックスーパーバイザはクロックに何らかの問題が起こり、クロックが停止したことや周波数レンジ異常が発生したことを検出できます。監視対象となるクロックと一定時間を測るための参照クロックの2系統のクロックを使用します。

クロックスーパーバイザは以下のものが搭載されています。それぞれ独立しており、別々に許可、禁止の設定ができます。

- メインクロックスーパーバイザ
- PLL クロックスーパーバイザ
- サブシステム PLL クロックスーパーバイザ

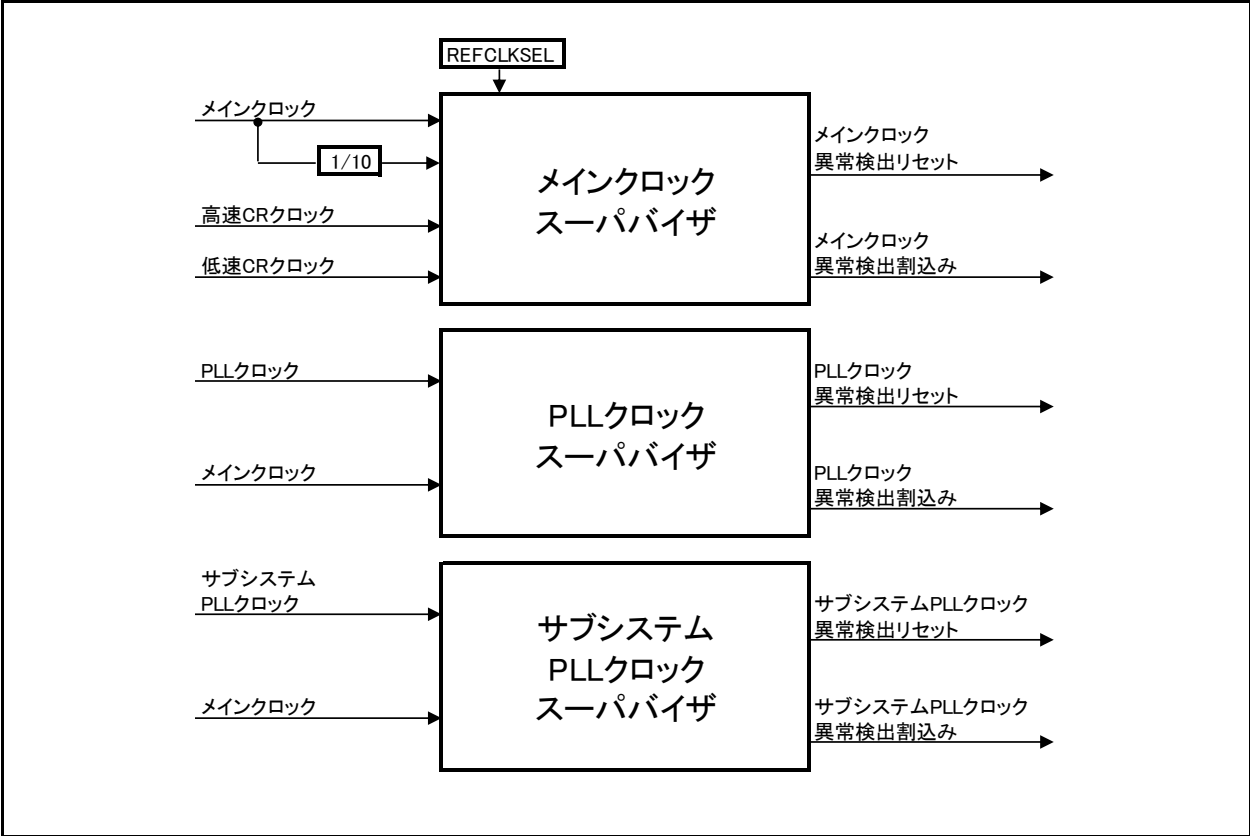
<注意事項>

- MB9D560 シリーズは、サブシステム PLL クロックとして、FlexRay/RDC 用 PLL を搭載しています。

2. 構成

クロックスーパーバイザのブロックダイアグラムを示します。

図 2-1 クロックスーパーバイザ構成



**a) メインクロックスーパーバイザ**

- メインクロックを監視します。参照クロックはステートによって異なります。RUN のとき、参照クロックは高速 CR クロックです。PSS のとき、参照クロック選択ビット(REFCLKSEL)で高速 CR クロックか低速 CR クロックか選択できます。参照クロックとして低速 CR クロックを選択した場合、監視クロックはメインクロックを 10 分周したクロックになります。
- メインクロックの異常を検出した場合、リセットまたは割込みを生成します。

PLL クロックスーパーバイザ

- PLL クロックを監視します。参照クロックはメインクロックです。
- PLL クロックの異常を検出した場合、リセットまたは割込みを生成します。

c) サブシステム PLL クロックスーパーバイザ

- サブシステム PLL クロックを監視します。参照クロックはメインクロックです。
- サブシステム PLL クロックの異常を検出した場合、リセットまたは割込みを生成します。

<注意事項>

- MB9D560 シリーズは、サブシステム PLL クロックとして、FlexRay/RDC 用 PLL を搭載しています。

図 2-2 メインクロックスーパーバイザブロックダイアグラム

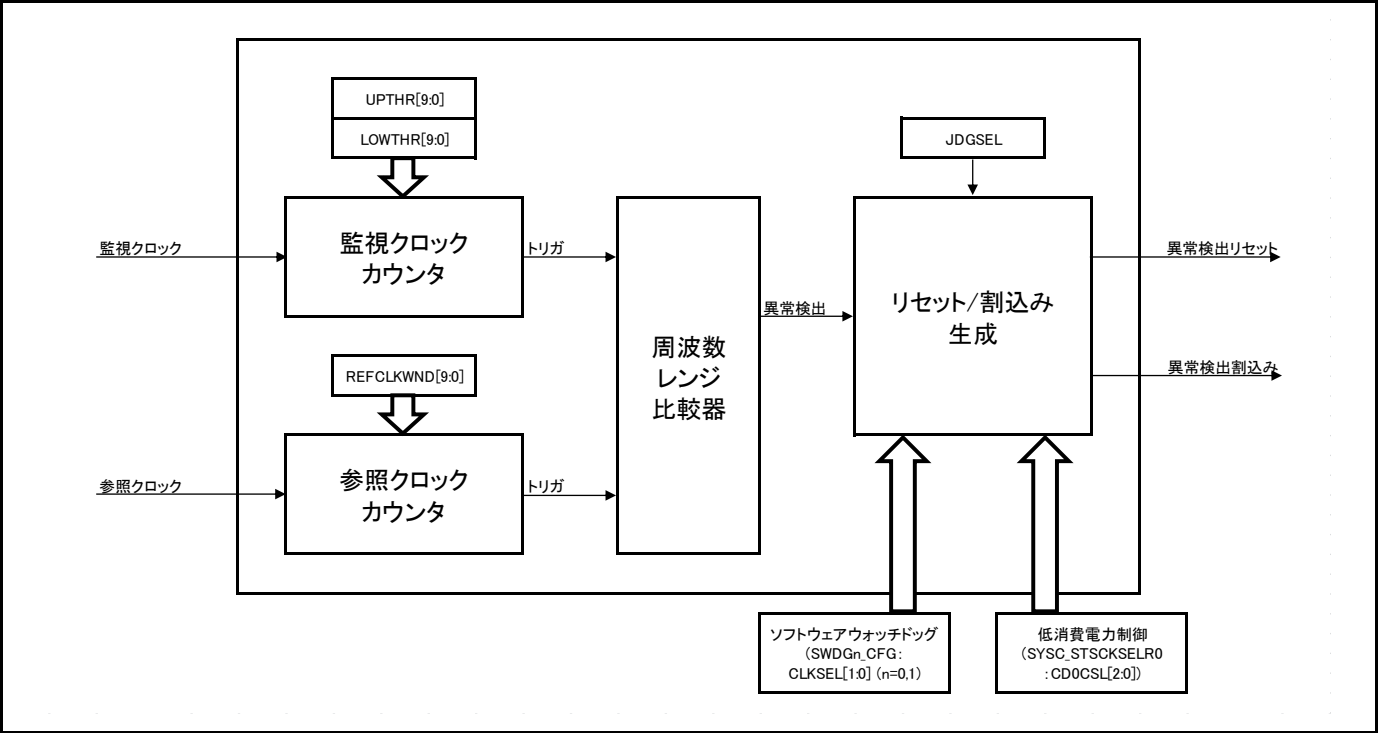


図 2-3 PLL クロックスーパーバイザブロックダイアグラム

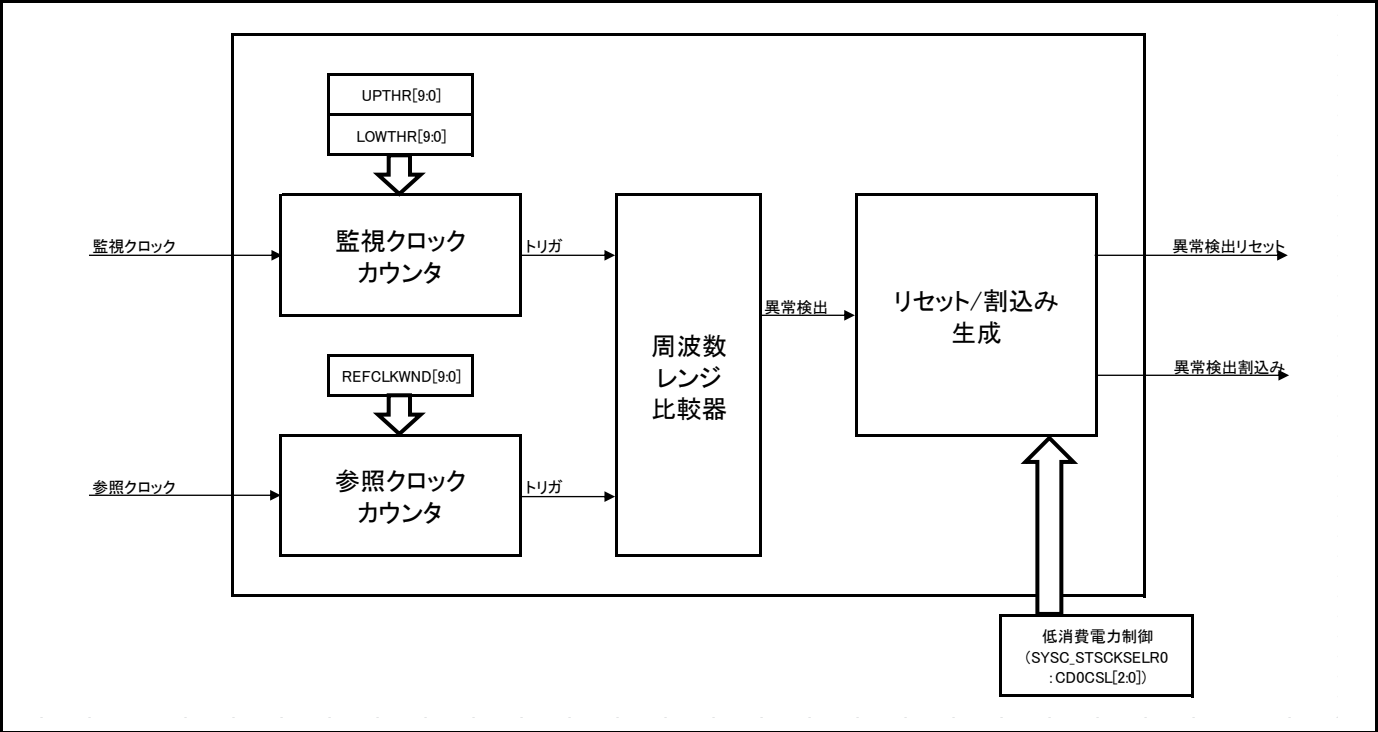
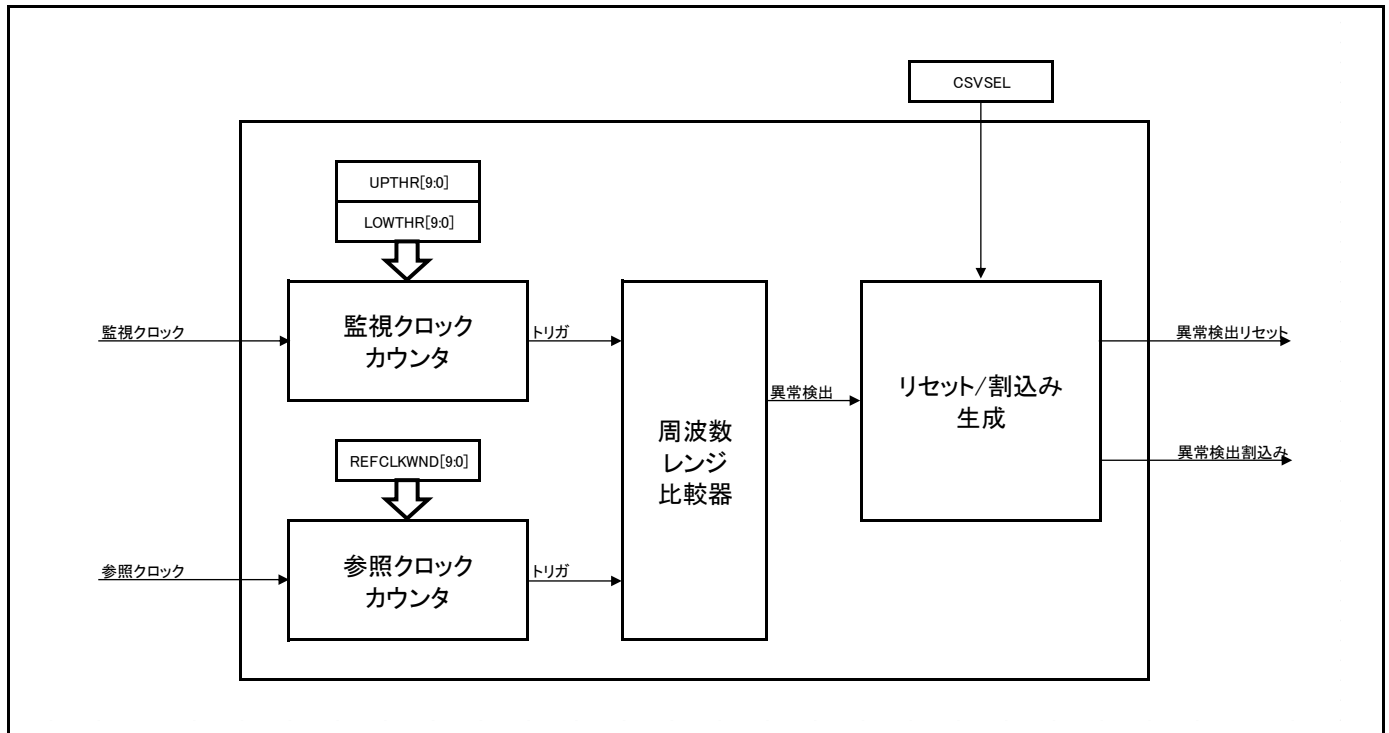


図 2-4 サブシステム PLL クロックスーパーバイザのブロックダイアグラム



d) 監視クロックカウンタ

監視クロックでカウントする 2 つの 10 ビットダウンカウンタです。上限閾値ビット(UPTHR[9:0])と下限閾値ビット(LOWTHR[9:0])に設定された値をロードし、ダウンカウントを行います。カウンタ値が"0"になると周波数レンジ比較器に比較実行させるトリガを送ります。周波数比較器で比較が実行されるとレジスタ値をリロードし、ダウンカウントを再開します。

e) 参照クロックカウンタ

参照クロックでカウントする 10 ビットのダウンカウンタです。参照クロックカウント期間ビット(REFCLKWND[9:0])に設定された値をロードし、ダウンカウントを行います。カウンタ値が"0"になると周波数レンジ比較器に比較実行させるトリガを送ります。周波数レンジ比較器で比較が実行されるとレジスタ値をリロードし、ダウンカウントを再開します。

f) 周波数レンジ比較器

監視クロックカウンタおよび参照クロックカウンタからのトリガにより、周波数レンジを比較します。監視クロックカウンタの下限閾値ビット(LOWTHR[9:0])と上限閾値ビット(UPTHR[9:0])で設定された周波数範囲外であった場合、異常と判断します。

g) リセット/割込み生成部

クロックの異常検出したときに、監視クロックの使用状況からリセットを発生させるか、割込みを発生させるかを判断します。メインクロックスーパーバイザは判定選択ビット(JDGSEL)の設定により判定基準を選択できます。サブシステム PLL クロックスーパーバイザでもリセットを発生させるか、割込みを発生させるか選択できます。

詳細は『FlexRay/RDC 専用クロック』の章を参照してください。

3. 動作説明

クロックスーパーバイザの動作について説明します。

クロックスーパーバイザには監視クロックでカウントする監視クロックカウンタと参照クロックでカウントする参照クロックカウンタがあります。監視クロックカウンタは、2つの10ビットダウンカウンタで構成され、上限閾値ビット(UPTHR[9:0])と下限閾値ビット(LOWTHR[9:0])で設定した値をロードし、ダウンカウントを行います。参照クロックカウンタは10ビットダウンカウンタで、参照クロックカウンタ期間ビット(REFCLKWND[9:0])で設定した値をロードし、ダウンカウントを行います。それぞれのカウンタのカウント値が"0"になったときに、周波数レンジ比較器にトリガ信号を送ります。周波数レンジ比較器はトリガ信号により、監視クロックの周波数レンジが上限閾値ビット(UPTHR[9:0])と下限閾値ビット(LOWTHR[9:0])で設定された周波数の範囲外である場合に異常検出を行います。

周波数レンジ比較が実行されるとレジスタ値をリロードし、ダウンカウントを再開します。

リセット/割込み生成部は、周波数レンジ比較器で異常検出があると、リセットまたは割込みを発生させます。

a) メインクロックスーパーバイザ

- 参照クロックとして高速 CR クロックを選択した場合、メインクロックスーパーバイザ設定レジスタ 00(SYSC_CSMOCFGR0)およびメインクロックスーパーバイザ設定レジスタ 01(SYSC_CSMOCFGR1)で設定を行います。参照クロックとして低速 CR クロックを選択した場合、メインクロックスーパーバイザ設定レジスタ 10(SYSC_CSMOCFGR10)およびメインクロックスーパーバイザ設定レジスタ 11(SYSC_CSMOCFGR11)で設定を行います。
- 異常検出したときの Status クロック選択レジスタ 0(SYSC_STSCSELR0)のクロックドメイン0クロック選択ビット(CD0CSL[2:0])とソフトウェアウォッチドッグコンフィグレーションレジスタ (SWDGn_CFG(n=0~1))のクロック選択ビット(CLKSEL[1:0])の設定により、リセットか割込みかが決定します。
- 判定選択ビット(JDGSEL)でリセットか割込みかの判断基準を選択できます。
- メインクロックの異常を検出し、リセットが発生した場合、ユーザリセット要因レジスタ (SYSC_RSTCAUSEUR)のメインクロックスーパーバイザリセット検出ビット(CSMOR)で確認できます。
- メインクロックの異常を検出し、割込みが発生した場合、システムエラー割込み要因レジスタ 0(SYSC_SYSERRIR0)の MOMIF ビットがセットされます。

PLL クロックスーパーバイザ

- 設定は PLL クロックスーパーバイザ設定レジスタ 0(SYSC_CSVPLLCFGR0) および PLL クロックスーパーバイザ設定レジスタ 1(SYSC_CSVPLLCFGR1)で行います。
- 異常検出したときの Status クロック選択レジスタ 0(SYSC_STSCSELR0)のクロックドメイン0クロック選択ビット(CD0CSL[2:0])の設定により、リセットか割込みかが決定します。
- PLL クロックがクロックドメイン0のクロックとして選択されている場合、リセットが発生します。選択されていない場合、割込みが発生します。
- PLL クロックの異常を検出し、リセットが発生した場合、ユーザリセット要因レジスタ (SYSC_RSTCAUSEUR)の PLL クロックスーパーバイザリセット検出ビット(CSVPR)で確認できます。
- PLL クロックの異常を検出し、割込みが発生した場合、システムエラー割込み要因レジスタ 0(SYSC_SYSERRIR0)の PMIF ビットがセットされます。

c) サブシステム PLL クロックスーパーバイザ

- 設定はサブシステム PLL クロックスーパーバイザ設定レジスタ 0(SYSC_CSVSSCFGR0) およびサブシステム PLL クロックスーパーバイザ設定レジスタ 1(SYSC_CSVSSCFGR1)で行います。
- 異常検出時にリセットを発生させるか割込みを発生させるか選択できます。

詳細は、『FlexRay/RDC 専用クロック』の章を参照してください。

- サブシステム PLL クロックの異常を検出し、リセットが発生した場合拡張 CSV リセット要因レジスタ (SYSC_EXCSVSTCAUSEUR)のサブシステム PLL クロックスーパーバイザリセット検出ビット(CSVSSR)で確認できます。
- サブシステム PLL クロックの異常を検出し、割込みが発生した場合、システムエラー割込み要因レジスタ 0(SYSC_SYSERRIR0)の SSPMIF ビットがセットされます。

**<注意事項>**

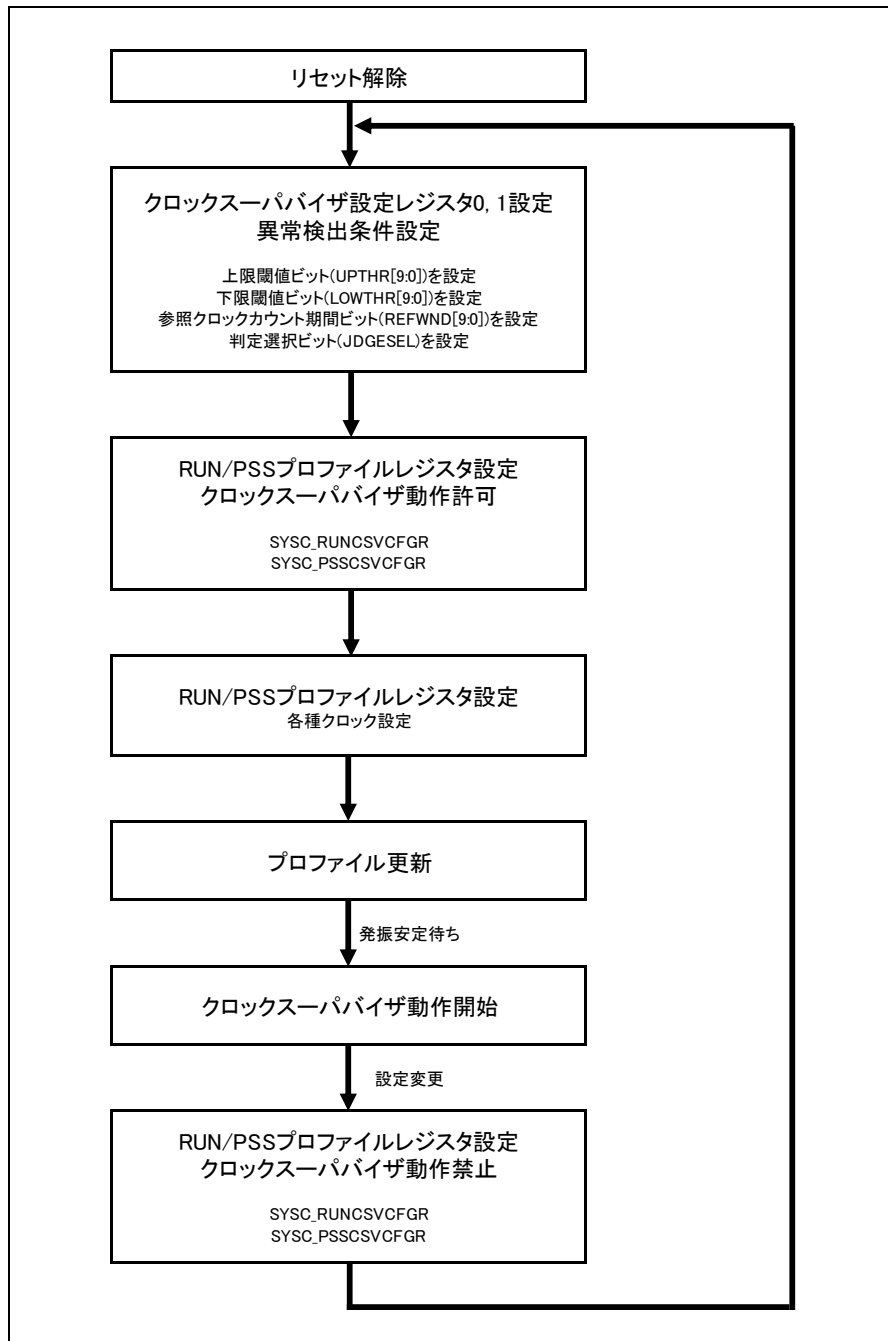
- MB9D560 シリーズは、サブシステムPLLクロックとして、FlexRay/RDC用PLLを搭載しています。

4. 設定手順例

クロックスーパーバイザの設定手順例を示します。

クロックスーパーバイザの設定手順例を以下に示します。

図 4-1 クロックスーパーバイザ設定手順例



<注意事項>

- クロック設定についての詳細は『クロックシステム』，『低消費電力』の章を参照してください。

- ハードリセット解除後、すべてのクロックスーパーバイザは動作禁止状態です。
- メインクロックスーパーバイザと、PLL クロックスーパーバイザの動作許可/禁止はプロファイル設定により行います。プロファイル設定に違反があると、プロファイルエラーと判定されます。
- プロファイルエラーの詳細は、『低消費電力』の章を参照してください。
- 監視クロックと参照クロックの発振が安定するまでクロックスーパーバイザは動作しません。
- クロックスーパーバイザはセルフテスト用に監視クロックをゲーティングすることによってクロック異常検出状態とすることができます。

a) メインクロックスーパーバイザの設定例

条件

メインクロック周波数：8[MHz]

高速 CR クロック周波数：6～10[MHz] (typ：8MHz)

メインクロック周波数許容範囲：4～20[MHz]

算出式

下限閾値 = $4/10 \times$ 参照クロックカウント数

上限閾値 = $20/6 \times$ 参照クロックカウント数

レジスタ設定値

参照クロックカウント期間 = 60

下限閾値 = 24

上限閾値 = 200

b) PLL クロックスーパーバイザの設定例

条件

PLL クロック周波数：200MHz

メインクロック周波数：8[MHz]

PLL クロック周波数許容範囲：80MHz～500MHz

算出式

下限閾値 = $80/8 \times$ 参照クロックカウント数

上限閾値 = $500/8 \times$ 参照クロックカウント数

レジスタ設定値

参照クロックカウント期間 = 12

下限閾値 = 120

上限閾値 = 750

5. レジスタ

クロックスーパーバイザのレジスタ一覧を示します。

クロックスーパーバイザのレジスタは以下のものがあります。

- RUN プロファイルレジスタ
- PSS プロファイルレジスタ
- APPLIED プロファイルレジスタ
- Status プロファイルレジスタ
- CSV configuration レジスタ群

RUN プロファイルレジスタ, PSS プロファイルレジスタ, APPLIED プロファイルレジスタ, Status プロファイルレジスタについては『低消費電力』の章を参照してください。

表 5-1 クロックスーパーバイザのレジスタ一覧 (CSV configuration レジスタ)

レジスタ略称	レジスタ名	参照先
SYSC_CSMOCFGR00	メインクロックスーパーバイザ設定レジスタ 00	5.1
SYSC_CSMOCFGR01	メインクロックスーパーバイザ設定レジスタ 01	5.2
SYSC_CSMOCFGR10	メインクロックスーパーバイザ設定レジスタ 10	5.3
SYSC_CSMOCFGR11	メインクロックスーパーバイザ設定レジスタ 11	5.4
SYSC_CSVPLLCFGR0	PLL クロックスーパーバイザ設定レジスタ 0	5.5
SYSC_CSVPLLCFGR1	PLL クロックスーパーバイザ設定レジスタ 1	5.6
SYSC_CSVSSCFGR0	サブシステム PLL クロックスーパーバイザ設定レジスタ 0	5.7
SYSC_CSVSSCFGR1	サブシステム PLL クロックスーパーバイザ設定レジスタ 1	5.8
SYSC_CSVOUTER	クロックスーパーバイザ出力許可レジスタ	5.9
SYSC_CSVTESTR	クロックスーパーバイザテストレジスタ	5.10



5.1. メインクロックスーパーバイザ設定レジスタ 00 (SYSC_CSMOCFGR00)

メインクロックスーパーバイザ設定レジスタ 00(SYSC_CSMOCFGR00)は高速 CR クロックを参照クロックとして動作するときの周波数レンジの上限閾値と下限閾値を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						UPTHR[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	23	22	21	20	19	18	17	16
Field	UPTHR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved						LOWTHR[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	LOWTHR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:26] Reserved: 予約ビット

[bit25:16] UPTHR[9:0]: 上限閾値ビット

これらのビットは、監視クロックカウンタ値と比較するクロック上限閾値を設定します。監視クロックカウンタ値が上限閾値を超えると異常と判断されます。

[bit15:10] Reserved: 予約ビット

[bit9:0] LOWTHR[9:0]: 下限閾値ビット

これらのビットは、監視クロックカウンタ値と比較するクロック下限閾値を設定します。監視クロックカウンタ値が下限閾値未満となると異常と判断されます。

<注意事項>

- 本レジスタはメインクロックスーパーバイザ動作中に変更してはいけません。書込みを行った場合、バスエラー応答します。
- 下限閾値ビット(LOWTHR)は (参照クロック周期 / 監視クロック周期) より大きい値を設定してください。
- 上限閾値ビット(UPTHR) > 下限閾値ビット(LOWTHR)となる値を設定してください。



5.2. メインクロックスーパーバイザ設定レジスタ 01 (SYSC_CSVMOFCFGR01)

メインクロックスーパーバイザ設定レジスタ 01(SYSC_CSVMOFCFGR01)は高速 CR クロックを参照クロックとして動作するときの参照クロックカウント期間の設定と異常検出時にリセットか割込みかを選択できます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved							JDGSEL
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	00000000							0

Bit	15	14	13	12	11	10	9	8
Field	Reserved						REFCLKWND[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	0000000						00	

Bit	7	6	5	4	3	2	1	0
Field	REFCLKWND[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:17] Reserved: 予約ビット

[bit16] JDGSEL: 判定選択ビット

このビットは、異常検出時にリセットを発生させるか割込みを発生させるかの判定基準を選択できます。

bit	説明
0	メインクロックがクロックドメイン 0 またはソフトウェアウォッチドッグタイマのクロックとして選択されている場合、リセットが発生します。どちらにも選択されていない場合、割込みが発生します。
1	メインクロックがクロックドメイン 0 のクロックとして選択されている場合、リセットが発生します。選択されていない場合、割込みが発生します。

[bit15:10] Reserved: 予約ビット

[bit9:0] REFCLKWND[9:0]: 参照クロックカウント期間ビット

これらのビットは、周波数レンジ比較器に比較実行させるトリガをかける参照クロックのカウント数を設定します。

<注意事項>

- 本レジスタはメインクロックスーパーバイザ動作中に変更してはいけません。書込みを行った場合、バスエラー応答します。



5.3. メインクロックスーパーバイザ設定レジスタ 10 (SYSC_CSVMOFCFGR10)

メインクロックスーパーバイザ設定レジスタ 10(SYSC_CSVMOFCFGR10)は低速CRクロックを参照クロックとして動作するときの周波数レンジの上限閾値と下限閾値を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						UPTHR[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	23	22	21	20	19	18	17	16
Field	UPTHR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved						LOWTHR[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	LOWTHR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:26] Reserved: 予約ビット

[bit25:16] UPTHR[9:0]: 上限閾値ビット

これらのビットは、監視クロックカウント値と比較するクロック上限閾値を設定します。監視クロックカウンタ値が上限閾値を超えると異常と判断されます。

[bit15:10] Reserved: 予約ビット

[bit9:0] LOWTHR[9:0]: 下限閾値ビット

これらのビットは、監視クロックカウンタ値と比較するクロック下限閾値を設定します。監視クロックカウンタ値が下限閾値未満となると異常と判断されます。

<注意事項>

- 本レジスタはメインクロックスーパーバイザ動作中に変更してはいけません。書込みを行った場合、バスエラー応答します。
- 下限閾値ビット(LOWTHR)は (参照クロック周期 / 監視クロック周期)より大きい値を設定してください。
- 上限閾値ビット(UPTHR) > 下限閾値ビット(LOWTHR) となる値を設定してください。
- 参照クロックとして低速CRクロックを選択した場合、監視クロックはメインクロックを10分周したクロックになります。



5.4. メインクロックスーパーバイザ設定レジスタ 11 (SYSC_CSMOCFGR11)

メインクロックスーパーバイザ設定レジスタ 11(SYSC_CSMOCFGR11)は PSS 時の参照クロックの選択と低速 CR クロックを参照クロックとして動作するときの参照クロックカウント期間の設定ができます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							REFCLKSEL
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	0000000							0

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved						REFCLKWND[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	REFCLKWND[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:25] Reserved: 予約ビット

[bit24] REFCLKSEL: 参照クロック選択ビット

このビットは、PSS 時の参照クロックの選択をします。

bit	説明
0	高速 CR クロック
1	低速 CR クロック

[bit23:10] Reserved: 予約ビット

[bit9:0] REFCLKWND[9:0]: 参照クロックカウント期間ビット

これらのビットは、周波数レンジ比較器に比較実行させるトリガをかける参照クロックのカウント数を設定します。

<注意事項>

- 本レジスタはメインクロックスーパーバイザ動作中に変更してはいけません。書込みを行った場合、バスエラー応答します。



5.5. PLL クロックスーパーバイザ設定レジスタ 0 (SYSC_CSVPLLCFGR0)

PLL クロックスーパーバイザ設定レジスタ 0(SYSC_CSVPLLCFGR0)は周波数レンジの上限閾値と下限閾値を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						UPTHR[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	23	22	21	20	19	18	17	16
Field	UPTHR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved						LOWTHR[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	LOWTHR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:26] Reserved: 予約ビット

[bit25:16] UPTHR[9:0]: 上限閾値ビット

これらのビットは、監視クロックカウンタ値と比較するクロック上限閾値を設定します。監視クロックカウンタ値が上限閾値を超えると異常と判断されます。

[bit15:10] Reserved: 予約ビット

[bit9:0] LOWTHR[9:0]: 下限閾値ビット

これらのビットは、監視クロックカウント値と比較するクロック下限閾値を設定します。監視クロックカウント値が下限閾値未満となると異常と判断されます。

<注意事項>

- 本レジスタは PLL クロックスーパバイザ動作中に変更してはいけません。書込みを行った場合、バスエラー応答します。
- 下限閾値ビット(LOWTHR)は (参照クロック周期 / 監視クロック周期) より大きい値を設定してください。
- 上限閾値ビット(UPTHR) > 下限閾値ビット(LOWTHR)となる値を設定してください。



5.6. PLL クロックスーパーバイザ設定レジスタ 1 (SYSC_CSVPLLCFGR1)

PLL クロックスーパーバイザ設定レジスタ 1(SYSC_CSVPLLCFGR1)は参照クロックカウント期間の設定をします。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved						REFCLKWND[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	REFCLKWND[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:10] Reserved: 予約ビット

[bit9:0] REFCLKWND[9:0]: 参照クロックカウント期間ビット

これらのビットは、周波数レンジ比較器に比較実行させるトリガをかける参照クロックのカウント数を設定します。

<注意事項>

- 本レジスタはPLL クロックスーパーバイザ動作中に変更してはいけません。書込みを行った場合、バスエラー応答します。

5.7. サブシステムPLLクロックスーパーバイザ設定レジスタ 0 (SYSC_CSVSSCFGR0)

サブシステムPLLクロックスーパーバイザ設定レジスタ 0(SYSC_CSVSSCFGR0)は周波数レンジの上限閾値と下限閾値を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						UPTHR[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	23	22	21	20	19	18	17	16
Field	UPTHR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved						LOWTHR[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	LOWTHR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:26] Reserved: 予約ビット

[bit25:16] UPTHR[9:0]: 上限閾値ビット

これらのビットは、監視クロックカウンタ値と比較するクロック上限閾値を設定します。監視クロックカウンタ値が上限閾値を超えると異常と判断されます。

[bit15:10] Reserved: 予約ビット

**[bit9:0] LOWTHR[9:0]: 下限閾値ビット**

これらのビットは、監視クロックカウンタ値と比較するクロック下限閾値を設定します。監視クロックカウンタ値が下限閾値未満となると異常と判断されます。

<注意事項>

- MB9D560 シリーズは、サブシステムPLLクロックとして、FlexRay/RDC用PLLを搭載しています。
- 本レジスタはサブシステムPLLクロックスーパーバイザ動作中に変更してはいけません。書込みを行った場合、バスエラー応答します。
- 下限閾値ビット(LOWTHR)は (参照クロック周期 / 監視クロック周期) より大きい値を設定してください。
- 上限閾値ビット(UPTHR) > 下限閾値ビット(LOWTHR)となる値を設定してください。

5.8. サブシステムPLLクロックスーパバイザ設定レジスタ 1 (SYSC_CSVSSCFGR1)

サブシステムPLLクロックスーパバイザ設定レジスタ 1(SYSC_CSVSSCFGR1)は参照クロックカウント期間の設定をします。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved						REFCLKWND[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	REFCLKWND[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:10] Reserved: 予約ビット

[bit9:0] REFCLKWND[9:0]: 参照クロックカウント期間ビット

これらのビットは、周波数レンジ比較器に比較実行させるトリガをかける参照クロックの周期を設定します。

<注意事項>

- MB9D560 シリーズは、サブシステムPLLクロックとして、FlexRay/RDC用PLLを搭載しています。
- 本レジスタはサブシステムPLLクロックスーパバイザ動作中に変更してはいけません。書き込みを行った場合、バスエラー応答します。



5.9. クロックスーパーバイザ出力許可レジスタ (SYSC_CSVOUTER)

クロックスーパーバイザ出力許可レジスタ(SYSC_CSVOUTER)は異常検出ビットをポートに出力させることができます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000 00000000 00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							OUTEN
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	00000000							0

[bit31: 1] Reserved: 予約ビット

[bit0] OUTEN: クロックスーパーバイザ出力許可ビット

このビットは、異常検出ビットをポートに出力するための許可ビットです。

bit	説明
0	ポートから異常検出ビット出力を許可しない
1	ポートから異常検出ビット出力を許可する

出力ポートについては『概要』の章の端子機能一覧および『I/O ポート』の章を参照してください。

<注意事項>

- 本ビットはパワーオンリセット、内部電源低電圧検出リセット、NMIX 端子+RSTX 端子へ同時に"L" 入力により、"0"にクリアされます。ほかの種類のリセットは、影響しません。

5.10. クロックスーパーバイザテストレジスタ (SYSC_CSVTESTR)

クロックスーパーバイザテストレジスタ(SYSC_CSVTESTR)は入力クロックをゲーティングし、機能試験を行います。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000 00000000 00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			SSCLK GATE	Reserved	PLLCLK GATE	Reserved	MOCLK GATE
R/W 属性	R0,WX			R/W	R0,WX	R/W	R0,WX	R/W
保護属性	WPS							
初期値	000			0	0	0	0	0

[bit31: 5] Reserved: 予約ビット

[bit4] SSCLKGATE: サブシステム PLL クロックスーパーバイザテストビット

このビットは、入力クロックをゲーティングすることによって機能試験が行えます。

bit	説明
0	通常動作
1	入力クロックゲーティング

<注意事項>

- MB9D560 シリーズは、サブシステムPLL クロックとして、FlexRay/RDC用PLL を搭載しています。

[bit3] Reserved: 予約ビット

[bit2] PLLCLKGATE: PLL クロックスーパーバイザテストビット

このビットは、入力クロックをゲーティングすることによって機能試験が行えます。

bit	説明
0	通常動作
1	入力クロックゲーティング

[bit1] Reserved: 予約ビット

[bit0] MOCLKGATE: メインクロックスーパーバイザテストビット

このビットは、入力クロックをゲーティングすることによって機能試験が行えます。

bit	説明
0	通常動作
1	入力クロックゲーティング



6. 使用上の注意

クロックスーパーバイザの使用上の注意を説明します。

- クロックスーパーバイザの動作許可/禁止はプロファイル設定により行います。プロファイル設定の詳細は『低消費電力』の章を参照してください。
- クロックスーパーバイザを動作させる場合、監視クロックおよび参照クロックの発振を許可してください。
- クロックスーパーバイザを停止する場合、同時に監視クロックの発振を停止してください。
- メインクロックスーパーバイザ参照クロックとして低速 CR クロックを選択した場合、監視クロックはメインクロックを 10 分周したクロックになります。
- クロック異常検出によるリセット発生後、高速 CR クロックに戻ります。異常が検出されたクロックを再度選択してはいけません。
- クロックスーパーバイザ動作中はハードウェア保護のため、クロックスーパーバイザ設定レジスタ 0, 1 の変更はしないでください。変更する場合は、クロックスーパーバイザの動作を禁止にしてから行ってください。書込みを行った場合、バスエラー応答します。

CHAPTER 9: ソースクロックタイマ

ソースクロックタイマの機能と動作について示します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意



1. 概要

ソースクロックタイマの概要を説明します。

ソースクロックタイマは、クロックの発振安定待ち時間までクロック出力をゲーティングするタイマです。クロックの発振安定後はタイマとして使用できます。高速 CR クロック、低速 CR クロック、メインクロックの 3 つのソースクロックごとに独立して用意されています。

a) 高速 CR クロックタイマ

高速 CR クロックタイマは内蔵高速 CR クロックをカウントします。高速 CR クロックの発振安定待ちに使用されます。

高速 CR クロックタイマの発振安定待ち時間は 0.24ms です。

b) 低速 CR クロックタイマ

低速 CR クロックタイマは内蔵低速 CR クロックをカウントします。低速 CR クロックの発振安定待ちに使用されます。

低速 CR クロックタイマの発振安定待ち時間は 0.64ms です。

c) メインクロックタイマ

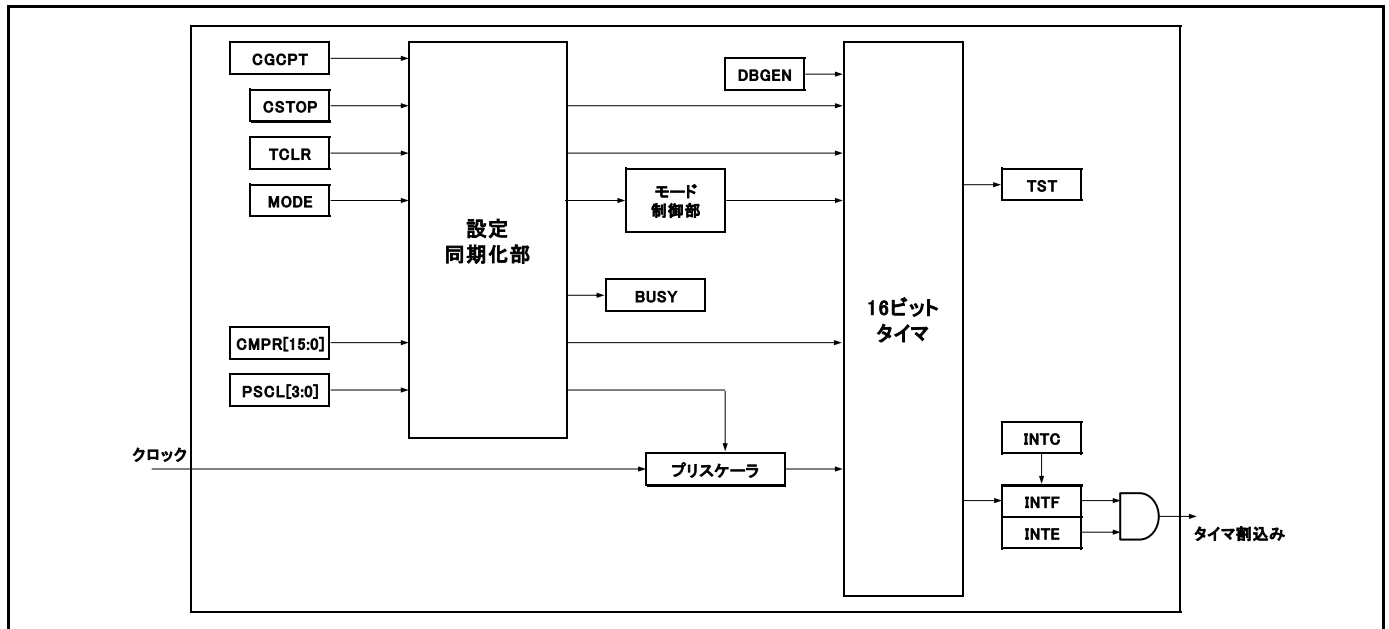
メインクロックタイマはメインクロックをカウントします。メインクロックの発振安定待ちに使用されます。

メインクロックタイマの発振安定待ち時間の初期値は 8.19ms (4MHz 時)です。

2. 構成

ソースクロックタイマのブロックダイアグラムを示します。

図 2-1 ソースクロックタイマ ブロックダイアグラム



a) 設定同期化部

- 設定同期化部はソースクロックタイマの起動またはタイマ再設定の同期化をします。タイマ設定キャプチャビット(CGCPT)を"1"に設定することによってタイマの設定内容が取込まれます。

b) モード制御部

- モード制御部は16ビットタイマの動作モードを制御します。
- ソースクロックタイマにはシングルショットモードと連続モードの2つの動作モードがあり、モード制御ビット(MODE)で選択します。
- シングルショットモード：16ビットタイマのカウント値がコンペア値以上になった場合、"0x0000"にクリアしてカウントアップを停止します。
- 連続モード：16ビットタイマのカウント値がコンペア値以上になった場合、"0x0000"にクリアしてカウントアップを再開します。
- 動作モードの選択はモード制御ビット(MODE)で行います。
- デバッグ許可ビット(DBGEN)を"1"に設定した場合、デバッグ中にブレークポイントで停止した際にタイマが休止します。

c) プリスケアラ

- プリスケアラは入力クロックを分周します。プリスケールビット(PSCL[3:0])で分周なし(1分周)から32768分周までの2のべき乗から選択できます。分周されたクロックは16ビットタイマに供給されます。

d) 16ビットタイマ

- 16ビットタイマは16ビットのカウンタと16ビットの比較器から構成されます。プリスケアラから供給されるクロックをカウントします。カウント値がコンペア値ビット(CMPR[15:0])に設定した値以上になった場合、次のサイクルで割込みフラグビット(INTF)が"1"に設定され、カウント値は"0x0000"にクリアされます。
- 割込みフラグビット(INTF)はシングルショットモードのときには1度だけ"1"に設定されます。連続モードのときには一定間隔ごとに"1"に設定します。



3. 動作説明

ソースクロックタイマの動作について説明します。

(1) 発振安定待ち動作

- ソースクロックタイマはハードリセットが解除されるか発振が許可されると、発振安定待ち動作を開始します。発振安定待ち時間が経過するまでソースクロックタイマはクロックの出力をゲーティングします。
- 発振を禁止から許可にした場合、設定同期化部が初期化されます。発振安定待ち動作は、タイマコンペアプリスケアラレジスタの値にかかわらず初期値の設定で安定待ち時間をカウントします。
- 発振安定待ち動作中にトリガレジスタ、タイマ制御レジスタ、タイマコンペアプリスケアラレジスタ、割込み許可レジスタ、割込みクリアレジスタに書き込みを行う場合、特権モードでシーケンス保護を解除してください。違反した場合、バスエラー応答します。

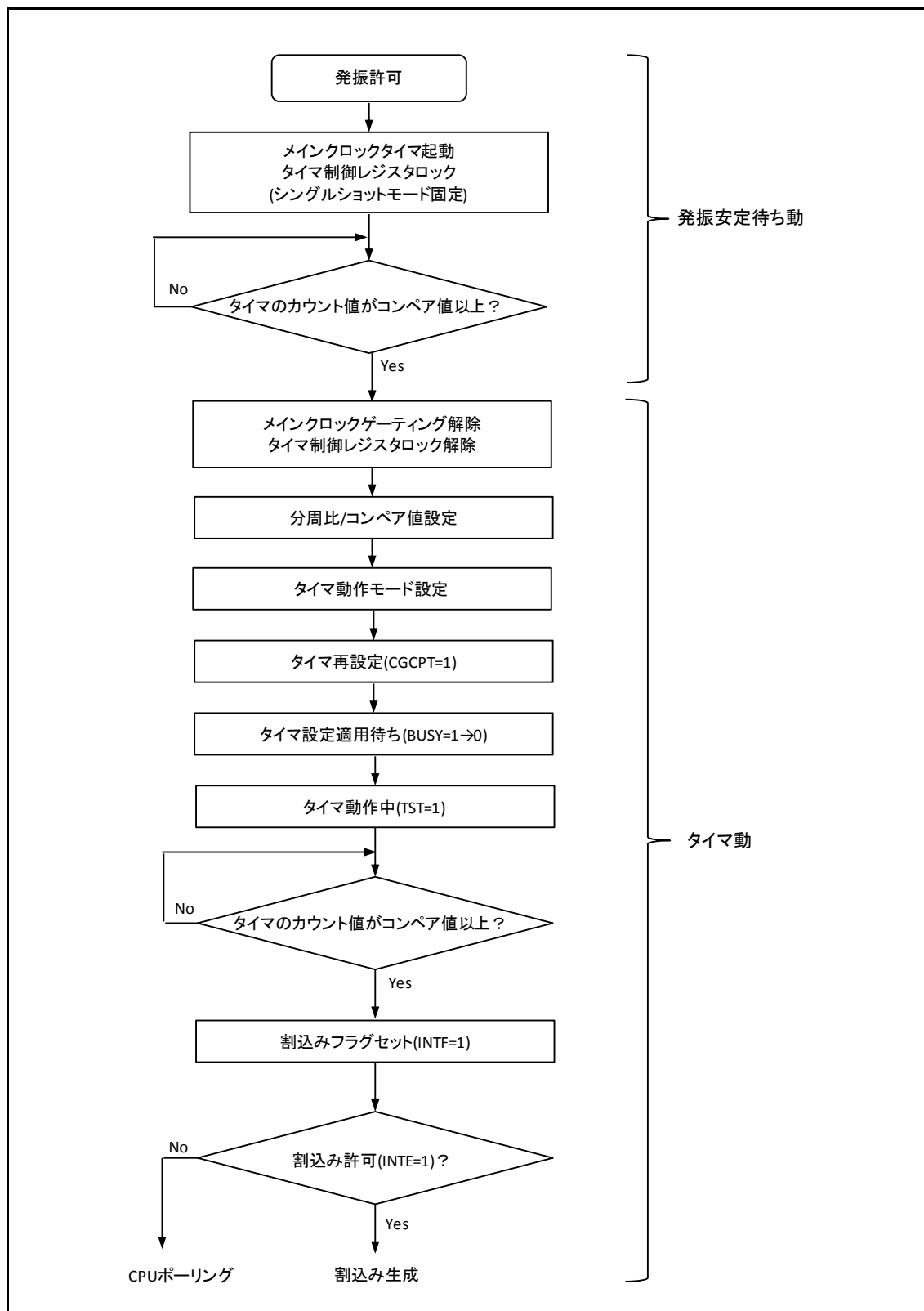
(2) タイマ動作

- ソースクロックタイマはクロック発振安定後、タイマとして使用できます。
- 一定期間をカウント後、次のサイクルで割込みを生成できます。

4. 設定手順例

ソースクロックタイマの設定手順例を示します。

図 4-1 メインクロックタイマ設定手順例





5. レジスタ

ソースクロックタイマのレジスタ一覧を示します。

表 5-1 高速 CR クロックタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
SYSC_FCRCTTRGR	高速 CR クロックタイマトリガレジスタ	5.1
SYSC_FCRCTCNTR	高速 CR クロックタイマ制御レジスタ	5.2
SYSC_FCRCTCPR	高速 CR クロックタイマコンペアブリスケーラレジスタ	5.3
SYSC_FCRCTSTR	高速 CR クロックタイマステータスレジスタ	5.4
SYSC_FCRCTINTER	高速 CR クロックタイマ割込み許可レジスタ	5.5
SYSC_FCRCTICLR	高速 CR クロックタイマ割込みクリアレジスタ	5.6

表 5-2 低速 CR クロックタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
SYSC_SCRCTTRGR	低速 CR クロックタイマトリガレジスタ	5.7
SYSC_SCRCTCNTR	低速 CR クロックタイマ制御レジスタ	5.8
SYSC_SCRCTCPR	低速 CR クロックタイマコンペアブリスケーラレジスタ	5.9
SYSC_SCRCTSTR	低速 CR クロックタイマステータスレジスタ	5.10
SYSC_SCRCTINTER	低速 CR クロックタイマ割込み許可レジスタ	5.11
SYSC_SCRCTICLR	低速 CR クロックタイマ割込みクリアレジスタ	5.12

表 5-3 メインクロックタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
SYSC_MOCTTRGR	メインクロックタイマトリガレジスタ	5.13
SYSC_MOCTCNTR	メインクロックタイマ制御レジスタ	5.14
SYSC_MOCTCPR	メインクロックタイマコンペアブリスケーラレジスタ	5.15
SYSC_MOCTSTR	メインクロックタイマステータスレジスタ	5.16
SYSC_MOCTINTER	メインクロックタイマ割込み許可レジスタ	5.17
SYSC_MOCTICLR	メインクロックタイマ割込みクリアレジスタ	5.18

5.1. 高速 CR クロックタイマトリガレジスタ(SYSC_FCRCTTRGR)

高速CRクロックタイマトリガレジスタ(SYSC_FCRCTTRGR)はタイマのカウント値クリア、カウント停止、タイマの設定変更に使います。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					TCLR	CSTOP	CGCPT
R/W 属性	R0,WX					R0,W	R0,W	R0,W
保護属性	-							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] TCLR: タイマクリアビット

このビットは、高速 CR クロックタイマのカウント値をクリアします。

bit	説明
0	影響なし
1	タイマカウントクリア

<注意事項>

- 本ビットを"1"に設定と同時にタイマ設定キャプチャビット(CGCP)を"1"に設定することによって、高速 CR クロックタイマのカウント値はクリアされます。

[bit1] CSTOP: カウント停止ビット

このビットは、高速 CR クロックタイマのカウントを停止します。

bit	説明
0	影響なし
1	タイマカウント停止

<注意事項>

- 本ビットを"1"に設定と同時にタイマ設定キャプチャビット(CGCP)を"1"に設定することによって、高速 CR クロックタイマは停止します。

[bit0] CGCPT: タイマ設定キャプチャビット

このビットは、高速 CR クロックタイマの設定変更およびタイマカウントを開始する場合に使用します。本ビットを"1"に設定することによって、変更した設定内容が高速 CR クロックタイマに取込まれます。

bit	説明
0	影響なし
1	タイマ設定変更/タイマカウント開始

5.2. 高速 CR クロックタイマ制御レジスタ(SYSC_FCRCTCNTR)

高速 CR クロックタイマ制御レジスタ(SYSC_FCRCTCNTR)はタイマの動作モードの選択とデバッグ時のカウンタ動作/停止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						DBGEN	MODE
R/W 属性	R0,WX						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved: 予約ビット

[bit1] DBGEN: デバッグ許可ビット

このビットは、デバッグ時の高速 CR クロックタイマカウンタの動作を設定します。

bit	説明
0	ブレークポイントでカウンタ動作継続
1	ブレークポイントでカウンタ停止

<注意事項>

- 発振安定待ち動作中の書込みはできません。書込んだ場合、バスエラー応答します。

[bit0] MODE: モード制御ビット

このビットは、高速 CR クロックタイマの動作モードを選択します。

シングルショットモードは、タイマカウンタの値がコンペア値(CMPR[15:0]) 以上になった場合、カウンタをクリアし、カウント動作が停止します。

連続モードは、タイマカウンタの値がコンペア値(CMPR[15:0]) 以上になった場合、カウンタをクリアし、カウント動作を再開します。

bit	説明
0	シングルショットモード
1	連続モード

<注意事項>

- 本ビット設定後、タイマ設定キャプチャビット(CGCP)を"1"に設定することによって、高速 CR クロックタイマの動作モードが変更されます。
- 発振安定待ち動作中の書込みはできません。書込んだ場合、バスエラー応答します。



5.3. 高速 CR クロックタイマコンペアプリスケアラレジスタ(SYSC_FCRCTCPR)

高速 CR クロックタイマコンペアプリスケアラレジスタ(SYSC_FCRCTCPR)は入力クロックの分周比の選択とタイマのコンペア値を設定します。

Bit	31-24
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000

Bit	23	22	21	20	19	18	17	16
Field	Reserved				PSCL			
R/W 属性	R0,WX				R/W			
保護属性	-							
初期値	0000				0110			

Bit	15-0
Field	CMPR
R/W 属性	R/W
保護属性	-
初期値	00000000_00011110

[bit31:20] Reserved: 予約ビット

[bit19:16] PSCL[3:0]: プリスケールビット

このビットは、高速 CR クロックタイマの入力クロックの分周比を選択します。

bit[19:16]	説明
0000	分周なし(1 分周)
0001	2 分周
0010	4 分周
0011	8 分周
0100	16 分周
0101	32 分周
0110	64 分周
0111	128 分周
1000	256 分周
1001	512 分周
1010	1024 分周
1011	2048 分周
1100	4096 分周
1101	8192 分周
1110	16384 分周
1111	32768 分周

<注意事項>

- 本ビット設定後、タイマ設定キャプチャビット(CGCP)を"1"に設定することによって、高速 CR クロックタイマの分周比が変更されます。



[bit15:0] CMPR[15:0]: コンペア値ビット

このビットは、高速 CR クロックタイマのコンペア値を設定します。

高速 CR クロックタイマのカウント値がコンペア値以上になった場合、高速 CR クロックタイマの割込みフラグビット(INTF)が"1"に設定されます。

<注意事項>

- 本ビット設定後、タイマ設定キャプチャビット(CGCPT)を"1"に設定することによって、高速 CR クロックタイマのコンペア値が変更されます。
- タイマ動作中、CMPR[15:0]の変更はできません。

高速 CR クロックの発振安定待ち時間

プリスケール PSCL[3:0]	コンペア値 CMPR[15:0]	発振安定待ち時間 (高速 CR クロック周期×プリスケール値×コンペア値)
0110(64 分周)	0x001E(30)	0.24[ms]



5.4. 高速 CR クロックタイマステータスレジスタ(SYSC_FCRCTSTR)

高速 CR クロックタイマステータスレジスタ(SYSC_FCRCTSTR)はタイマ再設定の更新ステータス、タイマの動作ステータス、割り込みフラグを示します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					BUSY	TST	INTF
R/W 属性	R0,WX					R,WX	R,WX	R,WX
保護属性	-							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] BUSY: 設定更新ステータスビット

このビットは、高速 CR クロックタイマのタイマ設定更新状況を示します。

タイマ設定キャプチャビット(CGCPT)を"1"に設定した場合、タイマ設定の更新が完了するまで"1"に設定されます。

bit	説明
0	設定完了
1	設定更新中

<注意事項>

- 本ビットの読出し値が"1"のときに、高速 CR クロックタイマの割り込み許可レジスタと割り込みクリアレジスタ以外のレジスタを変更してはいけません。

[bit1] TST: タイマステータスビット

このビットは、高速 CR クロックタイマの動作ステータスを示します。

bit	説明
0	タイマ停止
1	タイマ動作中



[bit0] INTF: 割込みフラグビット

このビットは、高速 CR クロックタイマの割込みフラグビットです。

高速 CR クロックタイマがコンペア値ビット(CMPR[15:0])に設定した値以上になった場合,"1"にセットされます。このとき、割込み許可ビット(INTE)が"1"の場合、高速 CR クロックタイマは割込み要求を発生します。

割込みフラグビットを"0"にクリアする場合は、割込みクリアビット(INTC)を"1"に設定してください。

bit	説明
0	割込み要因未検出
1	割込み要因検出

<注意事項>

- 本ビットはタイマ動作中のみセットされます。発振安定待ち動作中はセットされません。



5.5. 高速 CR クロックタイマ割込み許可レジスタ(SYSC_FCRCTINTER)

高速CRクロックタイマ割込み許可レジスタ(SYSC_FCRCTINTER)はタイマの割込み許可/禁止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							INTE
R/W 属性	R0,WX							R/W
保護属性	-							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] INTE: 割込み許可ビット

このビットは、高速 CR クロックタイマの割込み許可/禁止を設定します。

bit	説明
0	割込み禁止
1	割込み許可



5.6. 高速 CR クロックタイマ割込みクリアレジスタ(SYSC_FCRCTICLR)

高速 CR クロックタイマ割込みクリアレジスタ(SYSC_FCRCTICLR)は割込みフラグを"0"にクリアします。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							INTC
R/W 属性	R0,WX							R0,W
保護属性	-							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] INTC: 割込みクリアビット

このビットは、高速 CR クロックタイマの割込みフラグビット(INTF)を"0"にクリアします。

bit	説明
0	影響なし
1	割込みフラグビット(INTF)"0"クリア



5.7. 低速 CR クロックタイマトリガレジスタ(SYSC_SCRCTTRGR)

低速CRクロックタイマトリガレジスタ(SYSC_SCRCTTRGR)はタイマのカウント値クリア, カウント停止, タイマの設定変更に使います。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					TCLR	CSTOP	CGCPT
R/W 属性	R0,WX					R0,W	R0,W	R0,W
保護属性	-							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] TCLR: タイマクリアビット

このビットは, 低速 CR クロックタイマのカウント値をクリアします。

bit	説明
0	影響なし
1	タイマカウントクリア

<注意事項>

- 本ビットを"1"に設定と同時にタイマ設定キャプチャビット(CGCP)を"1"に設定することによって, 低速 CR クロックタイマのカウント値はクリアされます。

[bit1] CSTOP: カウント停止ビット

このビットは, 低速 CR クロックタイマのカウントを停止します。

bit	説明
0	影響なし
1	タイマカウント停止

<注意事項>

- 本ビットを"1"に設定と同時にタイマ設定キャプチャビット(CGCP)を"1"に設定することによって, 低速 CR クロックタイマは停止します。



[bit0] CGCPT: タイマ設定キャプチャビット

このビットは、低速 CR クロックタイマの設定変更およびタイマカウントを開始する場合に使用します。
本ビットを"1"に設定することによって変更した設定内容が低速 CR クロックタイマに取込まれます。

bit	説明
0	影響なし
1	タイマ設定変更/タイマカウント開始



5.8. 低速 CR クロックタイマ制御レジスタ(SYSC_SCRCTCNTR)

低速 CR クロックタイマ制御レジスタ(SYSC_SCRCTCNTR)はタイマの動作モードの選択とデバッグ時のカウンタ動作/停止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						DBGEN	MODE
R/W 属性	R0,WX						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved: 予約ビット

[bit1] DBGEN: デバッグ許可ビット

このビットは、デバッグ時の低速 CR クロックタイマカウンタの動作を設定します。

bit	説明
0	ブレークポイントでカウンタ動作継続
1	ブレークポイントでカウンタ停止

<注意事項>

- 発振安定待ち動作中の書込みはできません。書込んだ場合、バスエラー応答します。

[bit0] MODE: モード制御ビット

このビットは、低速 CR クロックタイマの動作モードを選択します。

シングルショットモードは、タイマカウンタの値がコンペア値(CMPR[15:0]) 以上になった場合、カウンタをクリアし、カウント動作が停止します。

連続モードは、タイマカウンタの値がコンペア値(CMPR[15:0]) 以上になった場合、カウンタをクリアし、カウント動作を再開します。

bit	説明
0	シングルショットモード
1	連続モード

<注意事項>

- 本ビット設定後、タイマ設定キャプチャビット(CGCP)を"1"に設定することによって、低速 CR クロックタイマの動作モードが変更されます。
- 発振安定待ち動作中の書込みはできません。書込んだ場合、バスエラー応答します。

5.9. 低速 CR クロックタイマコンペアプリスケアラレジスタ(SYSC_SCRCTCPR)

低速 CR クロックタイマコンペアプリスケアラレジスタ(SYSC_SCRCTCPR)は入力クロックの分周比の選択とタイマのコンペア値を設定します。

Bit	31-24
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000

Bit	23	22	21	20	19	18	17	16
Field	Reserved				PSCL			
R/W 属性	R0,WX				R/W			
保護属性	-							
初期値	0000				0110			

Bit	15-0
Field	CMPR
R/W 属性	R/W
保護属性	-
初期値	00000000_00000001

[bit31:20] Reserved: 予約ビット

[bit19:16] PSCL[3:0]: プリスケールビット

このビットは、低速 CR クロックタイマの入力クロックの分周比を選択します。

bit[19:16]	説明
0000	分周なし(1 分周)
0001	2 分周
0010	4 分周
0011	8 分周
0100	16 分周
0101	32 分周
0110	64 分周
0111	128 分周
1000	256 分周
1001	512 分周
1010	1024 分周
1011	2048 分周
1100	4096 分周
1101	8192 分周
1110	16384 分周
1111	32768 分周

<注意事項>

- 本ビット設定後、タイマ設定キャプチャビット(CGCP)を"1"に設定することによって、低速 CR クロックタイマの分周比が変更されます。



[bit15:0] CMPR[15:0]: コンペア値ビット

このビットは、低速 CR クロックタイマのコンペア値を設定します。

低速 CR クロックタイマのカウント値がコンペア値以上になった場合、割込みフラグビット(INTF)が"1"にセットされます。

<注意事項>

- 本ビット設定後、タイマ設定キャプチャビット(CGCPT)を"1"に設定することによって、低速 CR クロックタイマのコンペア値が変更されます。
- タイマ動作中、CMPR[15:0]の変更はできません。

低速 CR クロックの発振安定待ち時間

プリスケール PSCL[3:0]	コンペア値 CMPR[15:0]	発振安定待ち時間 (低速 CR クロック周期×プリスケール値×コンペア値)
0110(64 分周)	0x0001(1)	0.64[ms]

5.10. 低速 CR クロックタイマステータスレジスタ(SYSC_SCRCTSTR)

低速 CR クロックタイマステータスレジスタ(SYSC_SCRCTSTR)はタイマ再設定の更新ステータス、タイマの動作ステータス、割込みフラグを示します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					BUSY	TST	INTF
R/W 属性	R0,WX					R,WX	R,WX	R,WX
保護属性	-							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] BUSY: 設定更新ステータスビット

このビットは、低速 CR クロックタイマの設定更新状況を示します。

タイマ設定キャプチャビット(CGCPT)を"1"に設定した場合、タイマ設定の更新が完了するまで"1"に設定されます。

bit	説明
0	設定完了
1	設定更新中

<注意事項>

- 本ビットの読出し値が"1"のときに、低速 CR クロックタイマの割込み許可レジスタと割込みクリアレジスタ以外のレジスタを変更してはいけません。

[bit1] TST: タイマステータスビット

このビットは、低速 CR クロックタイマの動作ステータスを示します。

bit	説明
0	タイマ停止
1	タイマ動作中

[bit0] INTF: 割込みフラグビット

このビットは、低速 CR クロックタイマの割込みフラグビットです。

低速 CR クロックタイマがコンペア値ビット(CMPR[15:0])に設定した値以上になった場合"1"にセットされます。このとき、割込み許可ビット(INTE)が"1"の場合、低速 CR クロックタイマは割込み要求を発生します。

割込みフラグビットを"0"にクリアする場合は、割込みクリアビット(INTC)を"1"に設定してください。

bit	説明
0	割込み要因未検出
1	割込み要因検出

<注意事項>

- 本ビットはタイマ動作中のみセットされます。発振安定待ち動作中はセットされません。



5.11. 低速 CR クロックタイマ割込み許可レジスタ(SYSC_SCRCTINTER)

低速CRクロックタイマ割込み許可レジスタ(SYSC_SCRCTINTER)はタイマの割込み許可/禁止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							INTE
R/W 属性	R0,WX							R/W
保護属性	-							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] INTE: 割込み許可ビット

このビットは、低速 CR クロックタイマの割込み許可/禁止を設定します。

bit	説明
0	割込み禁止
1	割込み許可



5.12. 低速 CR クロックタイマ割込みクリアレジスタ(SYSC_SCRCTICLR)

低速 CR クロックタイマ割込みクリアレジスタ(SYSC_SCRCTICLR)は割込みフラグを"0"にクリアします。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							INTC
R/W 属性	R0,WX							R0,W
保護属性	-							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] INTC: 割込みクリアビット

このビットは、低速 CR クロックタイマの割込みフラグビット(INTF)を"0"にクリアします。

bit	説明
0	影響なし
1	割込みフラグビット(INTF)"0"クリア

5.13. メインクロックタイマトリガレジスタ(SYSC_MOCTTRGR)

メインクロックタイマトリガレジスタ(SYSC_MOCTTRGR)はタイマのカウント値クリア、カウント停止、タイマの設定変更に使います。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					TCLR	CSTOP	CGCPT
R/W 属性	R0,WX					R0,W	R0,W	R0,W
保護属性	-							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] TCLR: タイマクリアビット

このビットは、メインクロックタイマのカウント値をクリアします。

bit	説明
0	影響なし
1	タイマカウントクリア

<注意事項>

- 本ビットを"1"に設定と同時にタイマ設定キャプチャビット(CGCP)を"1"に設定することによって、メインクロックタイマのカウント値はクリアされます。

[bit1] CSTOP: カウント停止ビット

このビットは、メインクロックタイマのカウントを停止します。

bit	説明
0	影響なし
1	タイマカウント停止

<注意事項>

- 本ビットを"1"に設定と同時にタイマ設定キャプチャビット(CGCP)を"1"に設定することによって、メインクロックタイマは停止します。

[bit0] CGCPT: タイマ設定キャプチャビット

このビットは、メインクロックタイマの設定変更およびタイマカウントを開始する場合に使用します。本ビットを"1"に設定することによって、変更した設定内容がメインクロックタイマに取込まれます。

bit	説明
0	影響なし
1	タイマ設定変更/タイマカウント開始

5.14. メインクロックタイマ制御レジスタ(SYSC_MOCTCNTR)

メインクロックタイマ制御レジスタ(SYSC_MOCTCNTR)はタイマの動作モードの選択とデバッグ時のカウンタ動作/停止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						DBGEN	MODE
R/W 属性	R0,WX						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved: 予約ビット

[bit1] DBGEN: デバッグ許可ビット

このビットは、デバッグ時のメインクロックタイマカウンタの動作を設定します。

bit	説明
0	ブレイクポイントでカウンタ動作継続
1	ブレイクポイントでカウンタ停止

<注意事項>

- 発振安定待ち動作中の書込みはできません。書込んだ場合、バスエラー応答します。

[bit0] MODE: モード制御ビット

このビットは、メインクロックタイマの動作モードを選択します。

シングルショットモードは、タイマカウンタの値がコンペア値(CMPR[15:0]) 以上になった場合、カウンタをクリアし、カウント動作が停止します。

連続モードは、タイマカウンタの値がコンペア値(CMPR[15:0]) 以上になった場合、カウンタをクリアし、カウント動作を再開します。

bit	説明
0	シングルショットモード
1	連続モード

<注意事項>

- 本ビット設定後、タイマ設定キャプチャビット(CGCPT)を"1"に設定することによって、メインクロックタイマの動作モードが変更されます。
- 発振安定待ち動作中の書込みはできません。書込んだ場合、バスエラー応答します。



5.15. メインクロックタイマコンペアプリスケアラレジスタ(SYSC_MOCTCPR)

メインクロックタイマコンペアプリスケアラレジスタ(SYSC_MOCTCPR)は入力クロックの分周比の選択とタイマのコンペア値を設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved				PSCL			
R/W 属性	R0,WX				R/W			
保護属性	-							
初期値	0000				0110			

Bit	15-0
Field	CMPR
R/W 属性	R/W
保護属性	-
初期値	00000010_00000000

[bit31:20] Reserved: 予約ビット

[bit19:16] PSCL[3:0]: プリスケールビット

このビットは、メインクロックタイマの入力クロックの分周比を選択します。

bit[19:16]	説明
0000	分周なし(1 分周)
0001	2 分周
0010	4 分周
0011	8 分周
0100	16 分周
0101	32 分周
0110	64 分周
0111	128 分周
1000	256 分周
1001	512 分周
1010	1024 分周
1011	2048 分周
1100	4096 分周
1101	8192 分周
1110	16384 分周
1111	32768 分周



＜注意事項＞

- 本ビット設定後、タイマ設定キャプチャビット(CGCPT)を"1"に設定することによって、メインクロックタイマの分周比が変更されます。

[bit15:0] CMPR[15:0]: コンペア値ビット

このビットは、メインクロックタイマのコンペア値を設定します。

メインクロックタイマのカウンタ値がコンペア値以上になった場合、割込みフラグビット(INTF)が"1"に設定されます。

＜注意事項＞

- 本ビット設定後、タイマ設定キャプチャビット(CGCPT)を"1"に設定することによって、メインクロックタイマのコンペア値が変更されます。
- タイマ動作中、CMPR[15:0]の変更はできません。

メインクロックの発振安定待ち時間

プリスケール PSCL[3:0]	コンペア値 CMPR[15:0]	発振安定待ち時間 (メインクロック周期×プリスケール値×コンペア値)
0110(64 分周)	0x0200(512)	8.19[ms]



5.16. メインクロックタイマステータスレジスタ(SYSC_MOCTSTR)

メインクロックタイマステータスレジスタ(SYSC_MOCTSTR)はタイマ再設定の更新ステータス、タイマの動作ステータス、割込みフラグを示します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					BUSY	TST	INTF
R/W 属性	R0,WX					R,WX	R,WX	R,WX
保護属性	-							
初期値	00000					0	0	0

[bit31:3] Reserved: 予約ビット

[bit2] BUSY: 設定更新ステータスビット

このビットは、メインクロックタイマの設定更新状況を示します。

タイマ設定キャプチャビット(CGCPT)を"1"に設定した場合、タイマ設定の更新が完了するまで"1"に設定されます。

bit	説明
0	設定完了
1	設定更新中

<注意事項>

- 本ビットの読出し値が"1"のときに、メインクロックタイマの割込み許可レジスタと割込みクリアレジスタ以外のレジスタを変更してはいけません。

[bit1] TST: タイマステータスビット

このビットは、メインクロックタイマの動作ステータスを示します。

bit	説明
0	タイマ停止
1	タイマ動作中



[bit0] INTF: 割込みフラグビット

このビットは、メインクロックタイマの割込みフラグビットです。

メインクロックタイマがコンペア値ビット(CMPR[15:0])に設定した値以上になった場合, "1"にセットされます。このとき、割込み許可ビット(INTE)が"1"の場合、メインクロックタイマは割込み要求を発生します。

割込みフラグビットを"0"にクリアする場合は、割込みクリアビット(INTC)を"1"に設定してください。

bit	説明
0	割込み要因未検出
1	割込み要因検出

<注意事項>

- 本ビットはタイマ動作中のみセットされます。発振安定待ち動作中はセットされません。



5.17. メインクロックタイマ割込み許可レジスタ(SYSC_MOCTINTER)

メインクロックタイマ割込み許可レジスタ(SYSC_MOCTINTER)はタイマの割込み許可/禁止を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							INTE
R/W 属性	R0,WX							R/W
保護属性	-							
初期値	00000000							0

[bit31:1] Reserved: 予約ビット

[bit0] INTE: 割込み許可ビット

このビットは、メインクロックタイマの割込み許可/禁止を設定します。

bit	説明
0	割込み禁止
1	割込み許可



5.18. メインクロックタイマ割込みクリアレジスタ(SYSC_MOCTICLR)

メインクロックタイマ割込みクリアレジスタ(SYSC_MOCTICLR)は割込みフラグをクリアします。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							INTC
R/W 属性	R0,WX							R0,W
保護属性	-							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] INTC: 割込みクリアビット

このビットは、メインクロックタイマの割込みフラグビット(INTF)を"0"にクリアします。

bit	説明
0	影響なし
1	割込みフラグビット(INTF)"0"クリア



6. 使用上の注意

ソースクロックタイマの使用上の注意を説明します。

- タイマ動作を途中で止めて新たな設定で動作させる場合、タイマの初期化を行う必要があります。タイマの初期化とは 16 ビットタイマの初期化とプリスケアラの初期化を行うことを示します。
16 ビットタイマの初期化にはコンペア値ビット(CMPR[15:0])に 0x0000 を設定し、タイマ設定キャプチャビット(CGCPT)に "1" を設定してください。16 ビットタイマ初期化時には割込み信号は生成しません。初期化完了はタイマ動作停止(TST=0)を読み出して確認してください。16 ビットタイマの初期化完了後、続いてプリスケアラの初期化を行ってください。
- プリスケアラの初期化にはコンペア値ビット(CMPR[15:0])に 0x0000、プリスケールビット(PSCL[3:0])に "0001" を設定し、タイマ設定キャプチャビット(CGCPT)に "1" を設定してください。プリスケアラの初期化時に割込み信号は生成しません。初期化完了は設定更新ステータスビット(BUSY=0)を読み出して確認してください。

上記のタイマの初期化により、新しい設定でタイマ動作が可能です。

[タイマ初期化手順]

16 ビットタイマ初期化手順

1. コンペア値ビット(CMPR[15:0])に 0x0000 を設定
2. タイマ設定キャプチャビット(CGCPT)に 1 を設定
3. タイマステータスビット(TST)を読み出し、タイマ停止(TST=0)を確認

プリスケアラ初期化手順

1. コンペア値ビット(CMPR[15:0])に 0x0000、プリスケールビット(PSCL[3:0])に "0001" を設定
2. タイマ設定キャプチャビット(CGCPT)に "1" を設定
3. 設定更新ステータスビット(BUSY)を読み出し、設定完了(BUSY=0)を確認

- カウント停止ビット(CSTOP)でタイマを停止した場合、タイマカウントは動作途中での中断状態となります。タイマ停止前と同じ設定でタイマ設定キャプチャビット(CGCPT)に "1" を設定すると中断状態からタイマ動作を再開します。新たな設定で動作させる場合はタイマを初期化して使用してください。
- タイマクリアビット(TCLR)は 16 ビットタイマのカウント値をクリアします。カウント動作は停止しません。新たな設定で動作させる場合はタイマを初期化して使用してください。
- プリスケールビット(PSCL[3:0])を "0000" から、"0000" 以外の設定に変更する場合、プリスケアラの初期化が必要です。プリスケアラ初期化手順に従い初期化して使用ください。

CHAPTER 10: 割込みコントローラ

割込みコントローラについて説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. その他



1. 概要

割込みコントローラの概要について説明します。

割込みコントローラは 512 チャンネルの通常割込み(IRQ)と 32 チャンネルのマスク不可割込み(NMI)をサポートします。すべての IRQ は CPU に対して単一の割込み要求(nIRQ)を発生させるように処理されます。すべての NMI は CPU に対して単一の高速割込み要求(nFIQ)を発生させるように処理されます。

割込みコントローラは次の機能を持ちます。

- CPU への割込み(nIRQ, nFIQ)の制御。
- nIRQ 生成に関する 512 チャンネルの IRQ をサポート。
- nFIQ 生成に関する 32 チャンネルの NMI をサポート。
- デフォルトの割込みプライオリティレベル(チャンネル番号の小さい方が優先)。
- 非同期割込みの内部同期化。
- 32 段階の設定が可能な IRQ プライオリティレベル制御。
- IRQ プライオリティレベルマスク制御。
- 16 段階の設定が可能な NMI プライオリティレベル制御(ただし NMIO のみレベル 0 固定)。
- IRQ/NMI の両方に関するベクタ割込みをサポート。
- 割込みチャンネルごとの 1 つの 32 ビットのベクタアドレス。
- IRQ/NMI の両方に関するソフトウェア割込み生成。
- アクセス制限用に特権モードをサポート。

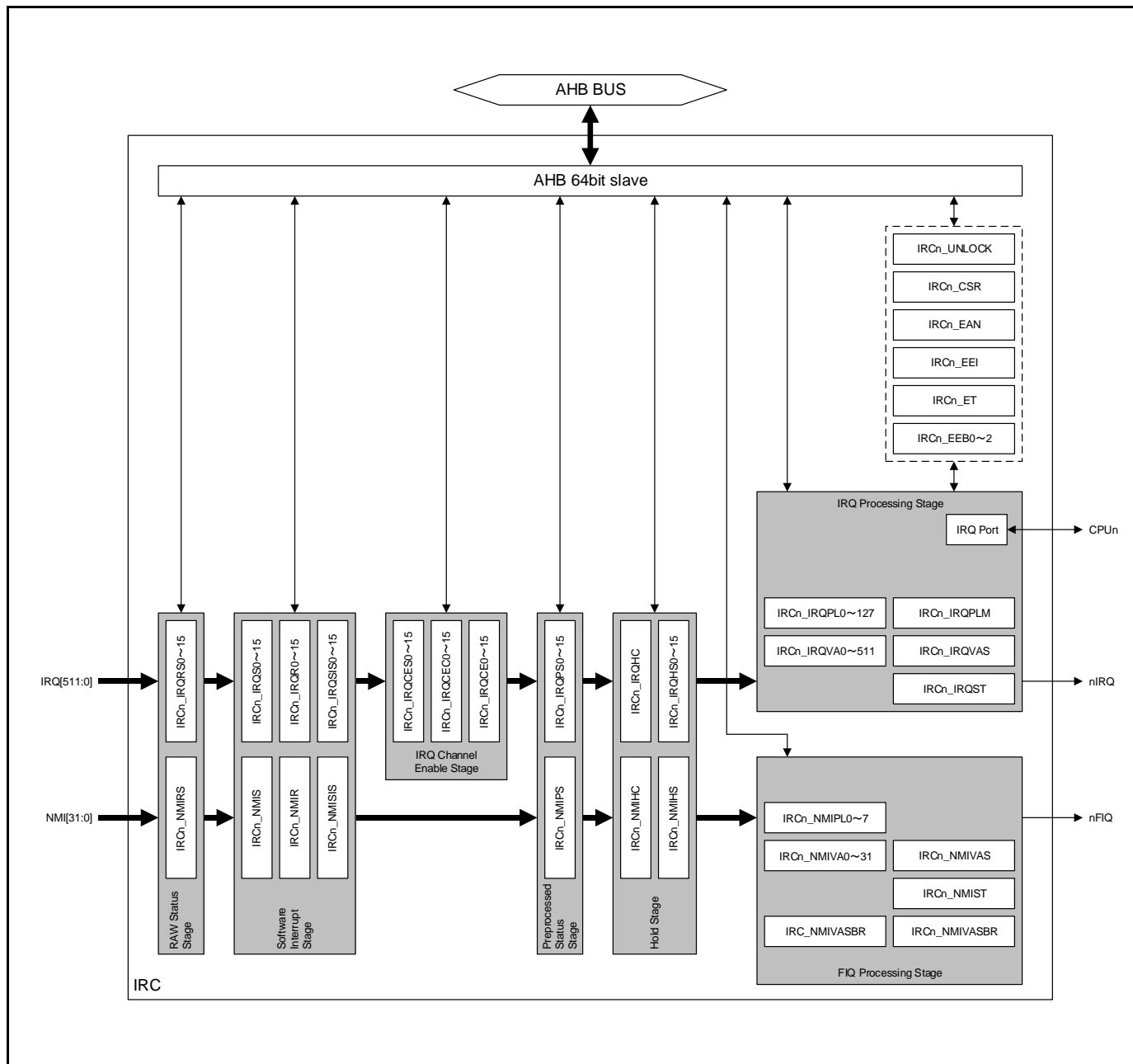
<注意事項>

- この章では割込みコントローラを略称の IRC(InterRupt Controller)で表記する場合があります。また割込みサービスルーチンを ISR(Interrupt Service Routine)およびベクタ割込みコントローラを VIC(Vectored Interrupt Controller)で表記する場合があります。
- 割込みコントローラで使用するレジスタの略称について, "IRCN_****"の"n"には CPU 番号が対応し, "IRCN_**m"の"m"には NMI チャンネル番号(0~31)が, "IRCN_***r"の"r"には IRQ チャンネル番号(0~511)が対応します。
- NMI/IRQ とも, 各チャンネルに対する割込み要因割当ての詳細は『APPENDIX』の章の「割込み/NMI 要因および DMA 起動要因一覧」を参照してください。

2. 構成

割り込みコントローラのブロックダイアグラムについて説明します。

図 2-1 割り込みコントローラ ブロックダイアグラム





3. 動作説明

割込みコントローラの動作について説明します。

(1) 割込みコントローラのステージ

a) RAW ステータスステージ

割込みコントローラは IRQ/NMI の各チャンネルについて、RAW ステータスを通知します。RAW ステータスは割込みコントローラ入力直後の割込みステータスで、割込みコントローラでの処理が一切行われていないステータスです。IRQ/NMI とともに RAW ステータスレジスタ (IRCn_IRQRS0~15, IRCn_NMIRS) の読出しにより通知されます。

b) ソフトウェア割込みステージ

割込みコントローラは IRQ/NMI の各チャンネルについて、ソフトウェア割込みを生成することができます。IRQ ソフトウェア割込みセットレジスタ (IRCn_IRQS0~15) の各ビットへ "1" を書き込むことにより、対応する IRQ チャンネルにソフトウェア割込みをセットします。IRQ ソフトウェア割込みリセットレジスタ (IRCn_IRQR0~15) の各ビットへ "1" を書き込むことにより、対応する IRQ チャンネルのソフトウェア割込みをリセットします。IRQ ソフトウェア割込みステータスは IRQ ソフトウェア割込みステータスレジスタ (IRCn_IRQSIS0~15) の読出しにより通知されます。

NMI も NMI ソフトウェア割込みセットレジスタ (IRCn_NMIS), NMI ソフトウェア割込みリセットレジスタ (IRCn_NMIR), NMI ソフトウェア割込みステータスレジスタ (IRCn_NMISIS) を搭載し、IRQ と同様の動作を行います。

割込みコントローラは 512 チャンネルの IRQ と 32 チャンネルの NMI をサポートしますが、すべてのチャンネルに割込み要因が割り当てられているわけではなく、未使用のチャンネルも存在します。未使用のチャンネルをソフトウェア割込みに使用することができます。また、ハードウェア割込みの ISR をテストするためにソフトウェア割込みを使用することもできます。

c) IRQ チャンネル許可ステージ

割込みコントローラは IRQ の各チャンネルについて許可/禁止を設定できます。NMI チャンネルを禁止することはできません。IRQ チャンネル許可セットレジスタ (IRCn_IRQCES0~15) の各ビットへ "1" を書き込むことにより、対応する IRQ チャンネルを許可します。IRQ チャンネル許可クリアレジスタ (IRCn_IRQCEC0~15) の各ビットへ "1" を書き込むことにより、対応する IRQ チャンネルの許可をクリアします。IRQ チャンネル許可ステータスは IRQ チャンネル許可設定レジスタ (IRCn_IRQCE0~15) を読出すことにより得られます。また、IRCn_IRQCE0~15 に直接許可/禁止設定値を書き込むことでも設定を行うことができます。

d) 前処理後ステータスステージ

割込みコントローラは、前処理後の割込みステータスを通知します。ここでの前処理はソフトウェア割込みステージ、IRQ チャンネル許可ステージにおける処理を指します。IRQ/NMI とともに前処理後割込みステータスレジスタ (IRCn_IRQPS0~15, IRCn_NMIPS) の読出しにより通知します。

e) ホールドステージ

割込みコントローラは IRQ/NMI の各チャンネルについて割込みホールドステータスを保持します。IRQ が CPU に適用されると、IRQ ホールドステータスレジスタ (IRCn_IRQHS0~15) の対応するビットが "1" になります。NMI が CPU に適用され、nFIQ を受け付けた CPU が IRC_NMIVASBR を読み出すと、NMI ホールドステータスレジスタ (IRCn_NMIHS) の対応するビットが "1" になります。ISR 終了後、対応するホールドステータスビットをクリアする必要があります。ホールドクリアレジスタ (IRCn_IRQHC, IRCn_NMIHC) にクリアするチャンネル番号を書き込むことにより、対応するホールドステータスビットをクリアします。

f) IRQ 処理ステージ

IRQ は IRQ プライオリティレベルレジスタ (IRCn_IRQPL0~127) の設定によるソフトウェアプライオリティとハードウェアプライオリティに従い処理され、最もプライオリティレベルの高いチャンネルが適用されます。ソフトウェアプライオリティは 32 段階で設定できます。ソフトウェアプライオリティが同じ場合、ハードウェアプライオリティに従います。ハードウェアプライオリティは固定で、チャンネル番号が小さいほどプライオリティレベルが高くなります。

IRQ については IRQ プライオリティレベルマスクレジスタ(IRCn_IRQPLM)による割込みマスク機能を搭載します。IRCn_IRQPL0~127 で設定したソフトウェアプライオリティレベルが IRCn_IRQPLM で設定した値以上の IRQ チャンネルはマスクされます。

g) FIQ 処理ステージ

NMI は NMI プライオリティレベルレジスタ(IRCn_NMIPL0~7)の設定によるソフトウェアプライオリティとハードウェアプライオリティに従い処理され、最もプライオリティレベルの高いチャンネルが適用されます。ソフトウェアプライオリティは 16 段階で設定できます。ソフトウェアプライオリティが同じ場合、ハードウェアプライオリティに従います。ハードウェアプライオリティは固定で、チャンネル番号が小さいほどプライオリティレベルが高くなります。NMIO のソフトウェアプライオリティレベルは"0"固定です。ハードウェアプライオリティも NMIO が最優先のため、NMIO は常に最優先になります。

(2) IRQ/NMI のネスト

ARM® Cortex™-R5 のレジスタセットはネストされた割込みを自動的に処理しません。この処理はアプリケーションにおいて ISR 内で行う必要があります。この処理を ISR 内で行わない場合、最初のアクティブな IRQ は実行されますが、次に発生する IRQ はアクティブな ISR が終了するまで受け付けられず、ISR の実行は行われません。NMI の場合も同様です。ただし、割込みコントローラは IRQ には nIRQ を使用し、NMI には nFIQ を使用するため、NMI は IRQ よりも高いハードウェアプライオリティを持ち、IRQ に割り込むことができます。

割込みのセーブ/リストアの動作については"Cortex™-R5 Revision:r1p2 Technical Reference Manual(ARM DDI 0460D)"も参照してください。

a) 特定のソフトウェアによるネスト処理を使用しない場合の割込み動作

図 3-1 NMI 発生により IRQ がネストされる場合の ISR 処理フロー

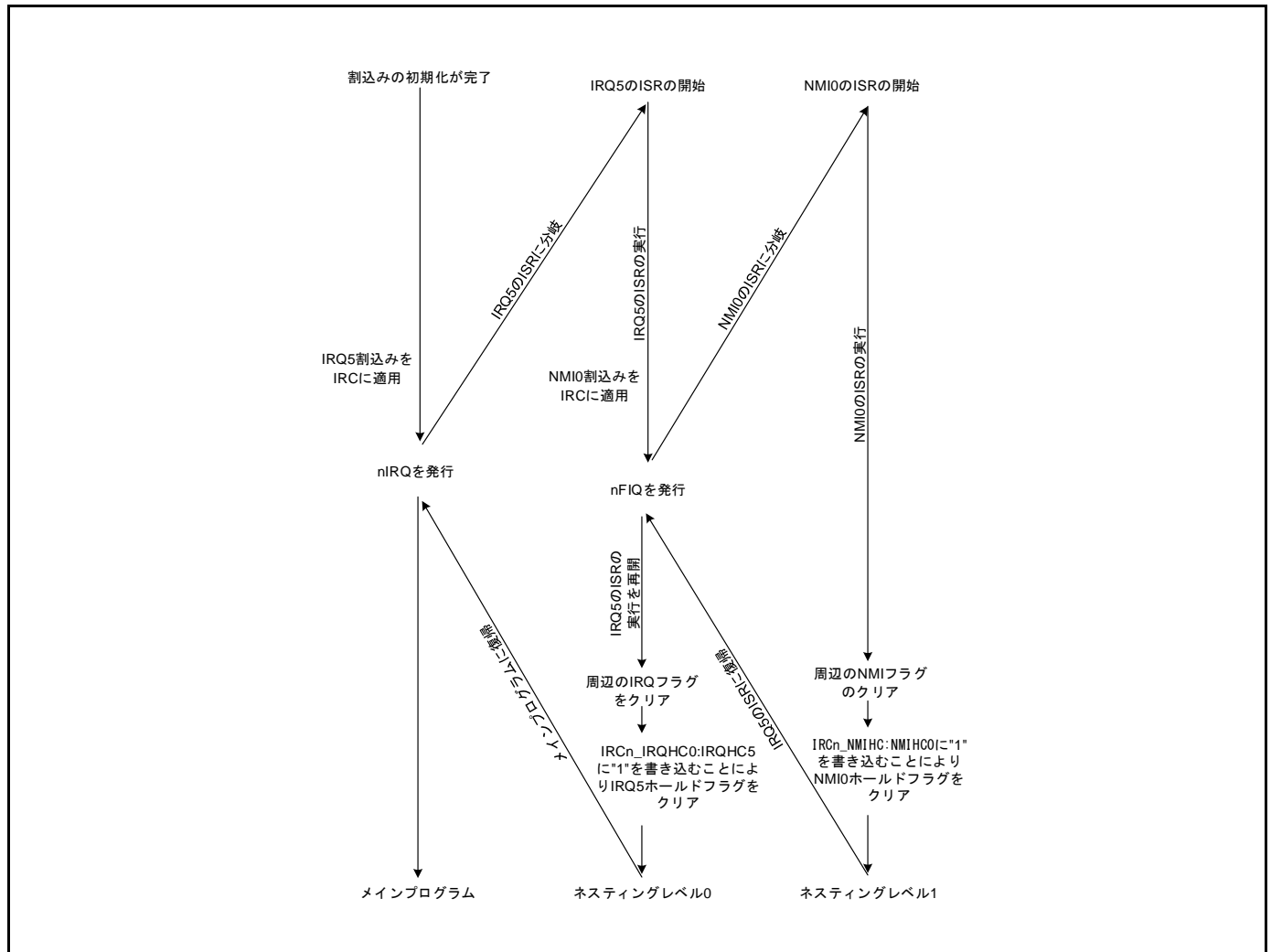


図 3-1 の例を説明します。

IRQ5が発生した場合、割込みコントローラはCPUに対してnIRQを発行します。割込みコントローラはIRQ5に対応するホールドビットをセットします。CPUは現在のプログラム実行を停止し、CPUの実行状態を待避します。そして、IRQ5のベクタアドレスを読み出し、IRQ5のISRの実行を行います。その間にNMI0が発生した場合、割込みコントローラはCPUに対してnFIQを発行します。NMIはIRQよりプライオリティが高いため、CPUはIRQ5のISRを停止してCPUの実行状態を待避させ、NMI0のベクタアドレスを読み出します。このとき、割込みコントローラはNMI0に対応するホールドフラグをセットします。そして、NMI0のISRの実行を開始します。そして、NMI0のISRが処理を終了する前に、ISRによりペリフェラルのNMI0割込み要因がクリアされ、その後NMI0のホールドビットもクリアされます。NMI0のISR終了後、CPUはIRQ5のISRを再開します。IRQ5のISRが終了する前に、ISRによりペリフェラルのIRQ5割込み要因がクリアされ、その後IRQ5のホールドビットもクリアされます。IRQ5のISR終了後、CPUはメインプログラムに戻ります。

ここで適用される割込みが IRCn_IRQS0～15, IRCn_NMIS への書込みによるソフトウェア割込みの場合, ISR はペリフェラルの割込みをクリアする代わりに IRCn_IRQR0～15, IRCn_NMIR への書込みによるソフトウェア割込みクリアを行う必要があります。

図 3-2 IRQ のネストがない ISR 処理フロー

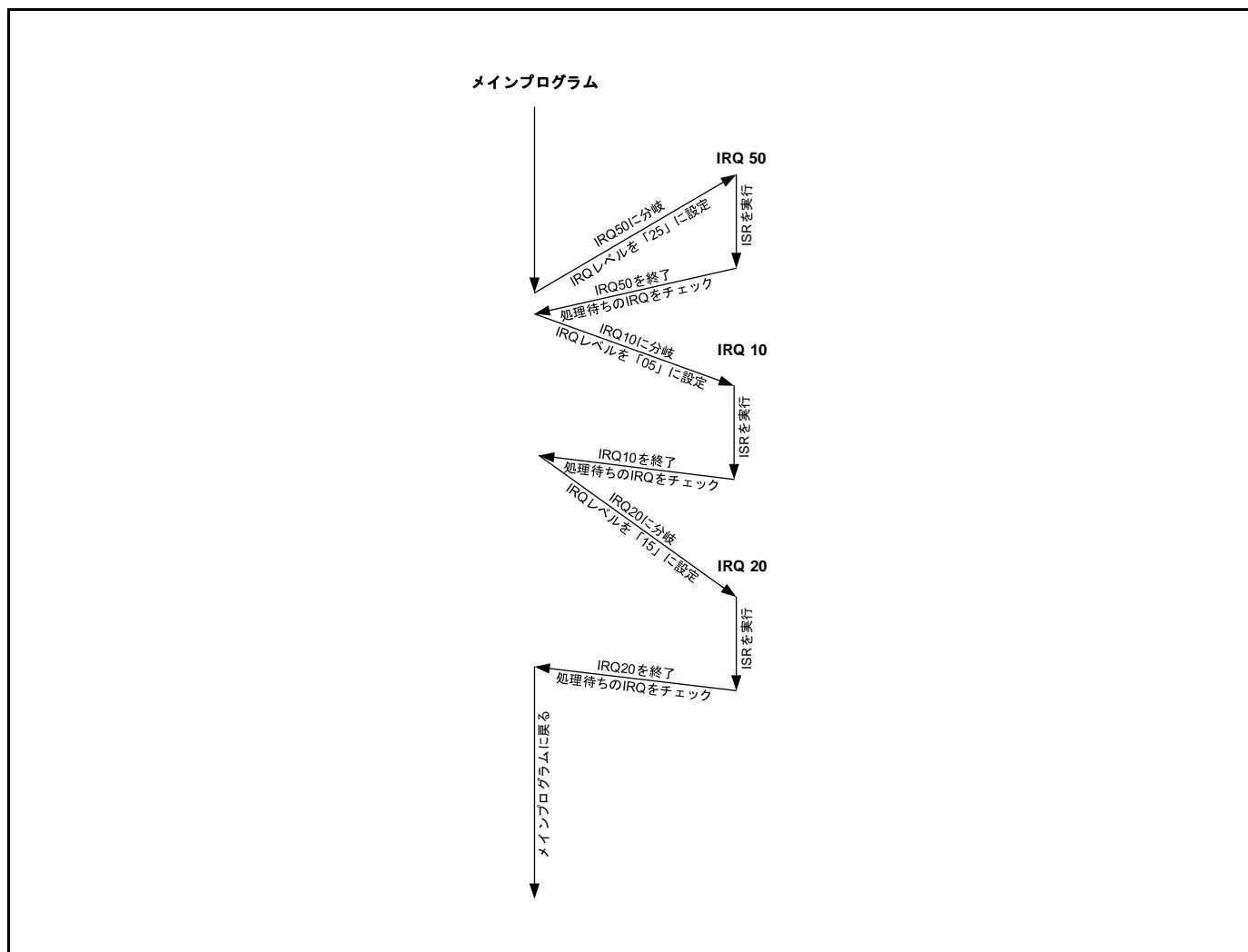


図 3-2 の例を説明します。使用される IRQ10, 20, 50 のプライオリティレベルはそれぞれ"5", "15", "25"が設定されている前提です。

最初に IRQ50 が発生します。処理待ちの IRQ がないので IRQ50 が実行されます。このとき `IRCN_IRQST:IRQPS` からは 25 が読み出せます。IRQ50 の ISR 実行中に、IRQ20 が発生します。IRQ50 の ISR が終了していないため IRQ20 は待機します。その後、同様に IRQ10 が発生しますが、IRQ20 と同様に IRQ50 の ISR 終了を待機します。IRQ50 の ISR 終了後、IRQ10, 20 が処理待ち状態になっています。IRQ10 の方が先に発生した IRQ20 よりプライオリティレベルが高いため、IRQ10 の ISR が次に実行されます。このとき `IRCN_IRQST:IRQPS` からは 5 が読み出せます。IRQ10 の ISR 終了後、IRQ20 の ISR が実行されます。このとき `IRCN_IRQST:IRQPS` からは 15 が読み出せます。IRQ20 の ISR 終了後、ほかに処理待ちの IRQ がいないため、メインプログラムに戻ります。

b) 特定のソフトウェアによるネスト処理を使用する場合の割り込み動作

図 3-3 IRQ のネストがある ISR 処理フロー

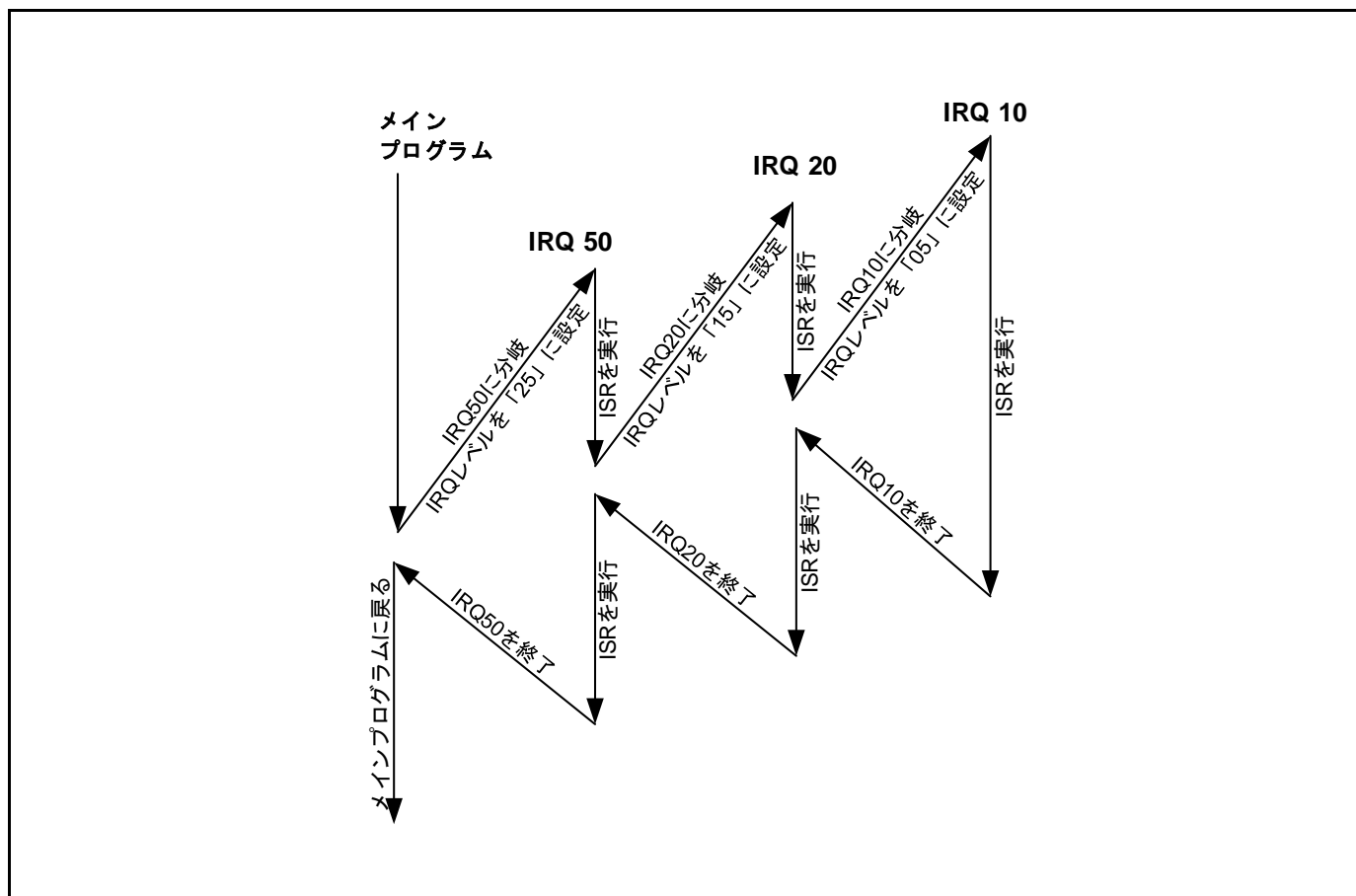


図 3-3 の例を説明します。

図 3-2 と同様に、使用される IRQ10, 20, 50 のプライオリティレベルはそれぞれ"5", "15", "25"が設定されている前提です。

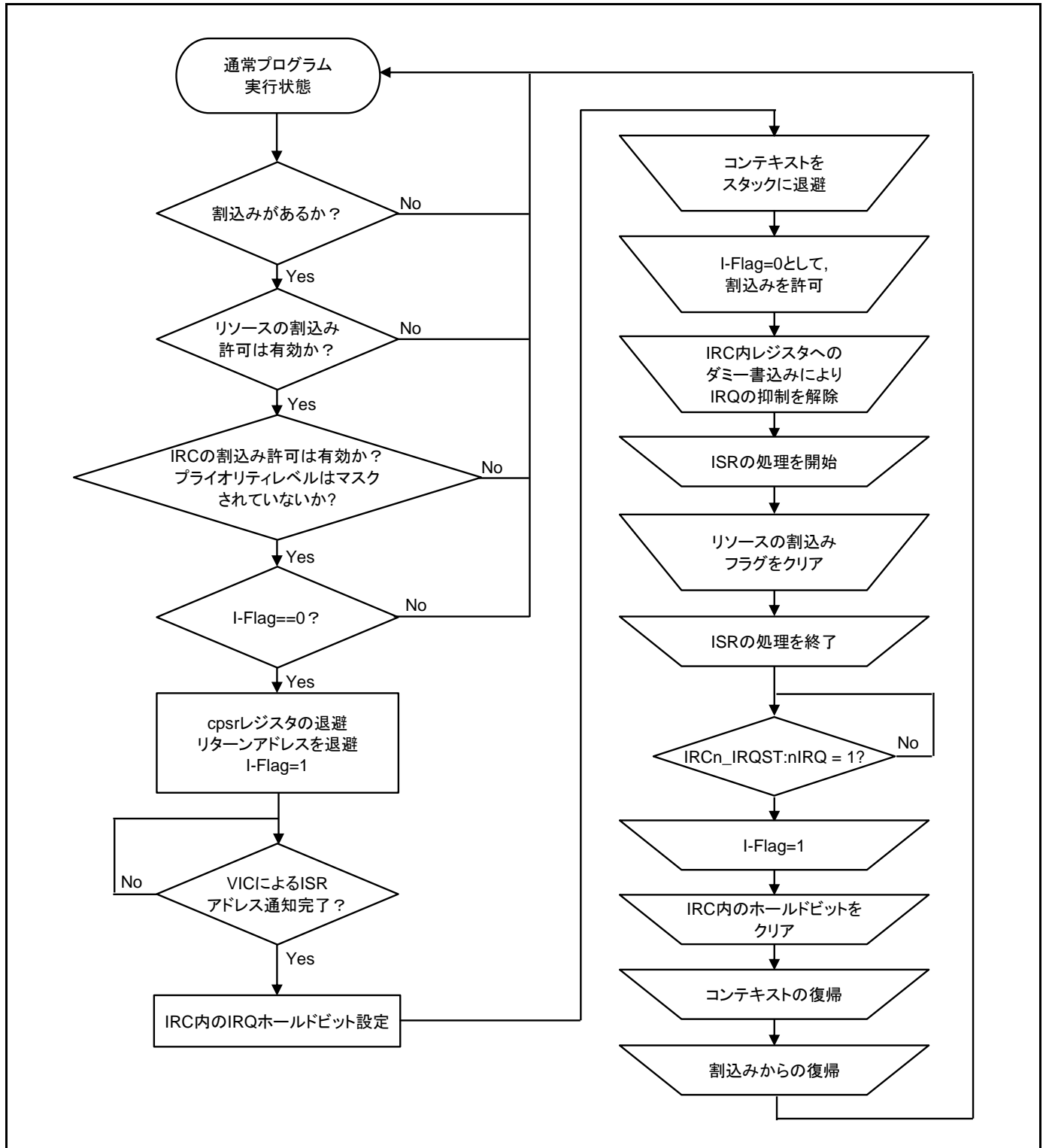
最初に IRQ50 が発生します。処理待ちの IRQ がないので IRQ50 が実行されます。このとき `IRCN_IRQST:IRQPS` からは 25 が読み出せます。IRQ50 の ISR 実行中に、IRQ20 が発生します。このとき、IRQ50 の ISR の処理は中断され、IRQ20 の ISR が実行されます。このとき `IRCN_IRQST:IRQPS` からは 15 が読み出せます。その後、同様に IRQ10 が発生し IRQ20 の ISR の処理は中断されます。このとき `IRCN_IRQST:IRQPS` からは 5 が読み出せます。そして、IRQ10 の ISR が実行され、IRQ10 の ISR 終了後、IRQ20 の ISR は再開されます。IRQ20 の ISR 終了後、IRQ50 の ISR は再開されます。IRQ50 の ISR 終了後、ほかに処理待ちの IRQ がいないため、メインプログラムに戻ります。

(3) IRQ/NMI ネスト処理のソフトウェア例

a) IRQ 処理

ARM アーキテクチャでは nIRQ のネストされた割込みをサポートしていないため、アプリケーションでその処理を行う必要があります。ISR の内部で、LR_irq と SPSR_irq の 2 つのレジスタの値および、ISR 処理により値が変更されるレジスタをシステムスタックに待避して、再び割込みを許可する必要があります。その後、新たな IRQ が発生し、それが実行中の ISR よりプライオリティレベルが高い場合、実行中の ISR に割り込むことができます。ISR の終了時、待避しておいた LR_irq と SPSR_irq の 2 つのレジスタおよび、ISR 処理により値が変更されるレジスタの値をシステムスタックから復帰させる必要があります。

図 3-4 ネスト対応の IRQ 処理フロー



以下にネスト対応した ISR のアセンブラ記述例を示します。

IRQxx_Handler:

```

SUB                lr, lr, #4
SRSFD              SP!, #0x1f          ; LR_irq と SPS_irq をシステムスタック上に待避
CPS                #0x1f              ; システムモードに切り替え
PUSH               {r0-r3, r12}        ; 残りのレジスタをシステムスタック上に待避
AND                r1, sp, #4          ; スタックが 8 バイトに整列されていることを確認
SUB                sp, sp, r1
PUSH               {r1, lr}
CPSIE              i                  ; 割込みを許可

...

; ほかのプライオリティの高い割込みによって割り込まれる可能性のある ISR
コード

; ISR の終了
CPSID              i                  ; 割込みを禁止
POP                {r1, lr}           ; LR_sys を復帰し、システムスタックを戻す
ADD                sp, sp, r1
POP                {r0-r3, r12}        ; 待避したレジスタを復帰
RFEFD              SP!                ; システムモードから復帰

```

<注意事項>

- IRQ および NMI(または両方)のネストを使用するとき、使用するレベルの深さに応じて、追加で必要となるシステムスタックのサイズを計算する必要があります。
- 上記例におけるスタック退避対象は、ISR 内の処理で値が変更される可能性のあるレジスタすべてに適宜置き換えてご使用ください。



b) NMI 処理

高速割込みは NMI として設定されます。NMI のフラグは割込み要因モジュール内に置かれます。IRQ との違いは、リソース内にも割込みコントローラ内にも、許可ビットが存在しないことです。

NMI のエントリは次のようになります。

1. NMI 割込みフラグはハードウェアまたはソフトウェアにより設定され、割込みコントローラに対して発行されます。
2. 割込みコントローラでは、プライオリティレベルの評価が行われます。複数の NMI 割込みが発生した場合には、NMI のプライオリティレベルが最も高い NMI が選択されます。そして、その NMI は CPU に対して発行されます。
3. CPSR が SPSR_fiq にコピーされ、r14_fiq に戻りアドレスが入ります。次に、CPSR において、モードが fiq に設定され、I-flag と F-flag が設定されます(これにより、新たな NMI の受付が禁止されます)。これらはすべてハードウェアで行われます。
4. プロセッサは、この NMI に該当するベクタアドレスを保持している、割込みコントローラ内のレジスタを読み出します。この読出しアクセスで、該当の NMI のホールドビットが設定されます。この読出し動作は BootROM コード(FIQ エントリにある命令)によって行われます。
5. 割込みコントローラのレジスタから読み出されたこのベクタアドレスに遷移し、対応する ISR が実行されます。
6. ネストされた NMI をサポートする必要がある場合には、F-flag をクリアする必要があります。この動作は、ソフトウェアによって行う必要があります。また F-flag をクリアする前に 7. の処理を行う必要があります。
7. F-flag をクリアする前に、コンテキストをスタックに待避する必要があります。この動作は、ソフトウェアによって行う必要があります。
8. F-flag をクリアした後で、プライオリティの高い NMI が現在の NMI にネストして割り込むことができます。

ネストされた NMI をサポートする場合、6.~8.で示した手順として、次の処理を実行し、コンテキストをスタックに待避する必要があります。これは例であり、ほかのアセンブラ命令を使用しても行えます。

- SUB(戻りアドレス減算)。r14_fiq の値を-4 します。
- SRS(戻りステートを待避)。この命令は、r14_fiq と SPSR_fiq をスタック上に待避します(アドレスは r13_fiq を通じて指定します)。
- PUSH(複数のレジスタを待避)。この命令は、定義された数のレジスタを、r13_fiq によって指定されたスタック上に待避します。
- F-flag をクリアする(ネストされた NMI を許可する)。

新たな NMI が CPU によって受け付けられるごとに、F-flag が設定されます。したがって、F-flag をクリアしない限り、上記の一連の待避処理がほかの NMI によって中断されることはありません。

NMI を終了するには、次の手順を実行します。

1. ISR において、要因となった NMI フラグをソフトウェアによってクリアする必要があります。NMI フラグが割込みコントローラで再度受け取られることがないように、ISR 中でなるべく早い時期に行う必要があります。
2. ISR において、割込みコントローラ内の所定のレジスタ(IRCn_NMIHC)に NMI 番号を書き込んで、割込みコントローラ内のホールドビットをクリアします。これもソフトウェアによって行う必要があります。

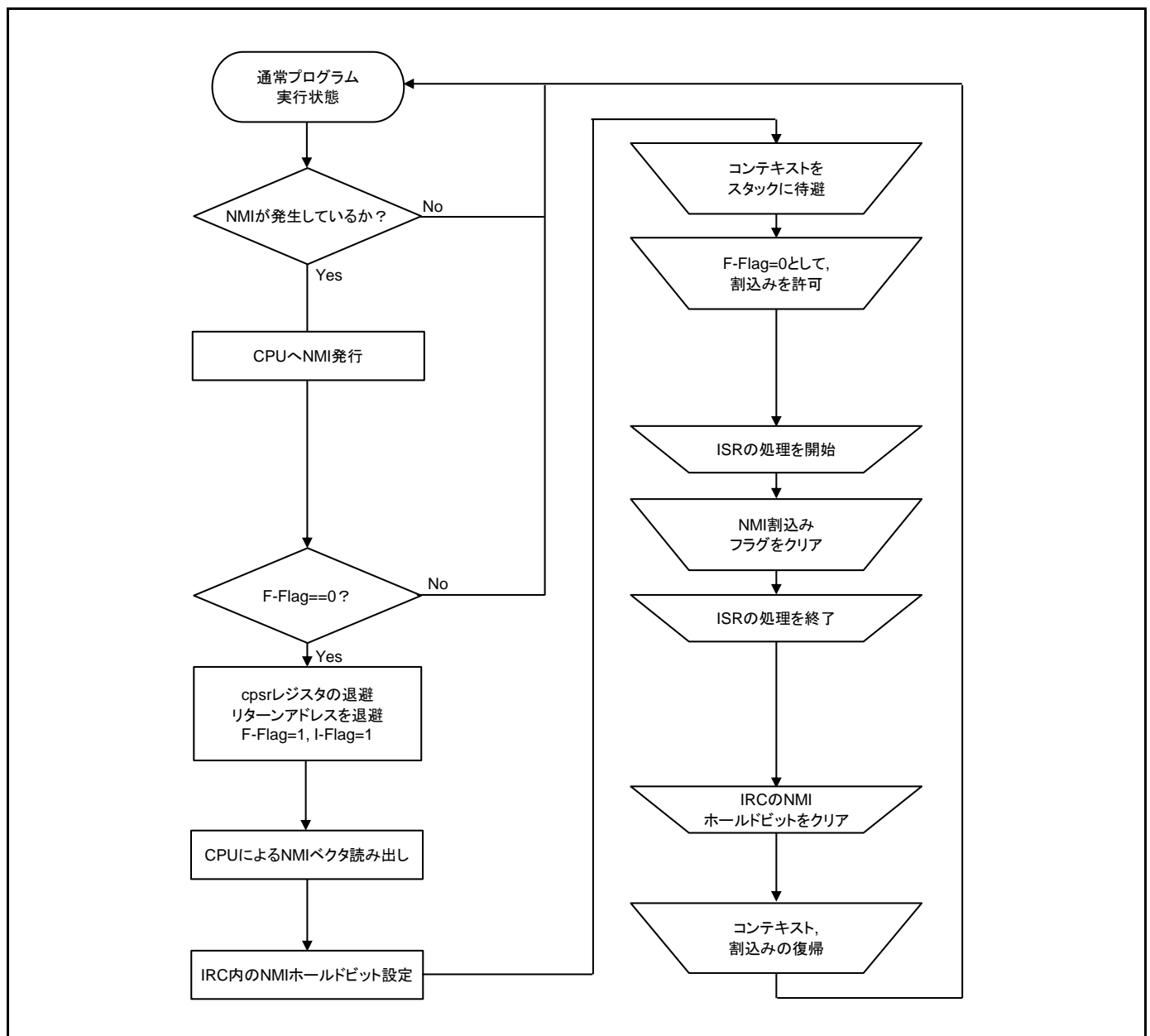
3. 上記処理の終了後、割込みから復帰するために PC および CPSR を含むスタックに待避されたコンテキストを復帰させます。この動作は、ソフトウェアによって行う必要があります。CPSR を復帰させると、発生した NMI の直前のレジスタの状態に復元されます。これは割込みの許可状態に対しても同様です。

ネストされた NMI をサポートする場合、ソフトウェアにより、次の処理を実行し、コンテキストの復元および割込みからの復帰を行う必要があります。

- POP(複数のレジスタを復帰)。この命令は、待避されていたユーザレジスタをスタックから復帰させます。
- RFE(例外処理の終了)。この命令は、待避されていた CPSR と PC をスタックから復帰させます。

NMI 処理フローを図 3-5 に示します。

図 3-5 ネスト対応の NMI フロー



(4) ECC のサポートとテスト

割込みコントローラは ECC 保護機能を持つ SRAM を搭載します。ECC に 1 ビットの(修正可能な)エラーが発生した場合、IRQVAr レジスタの読出しおよび IRQ 処理ステージからの読出しのどちらの場合でも、IRCN_EEI:EEIS ビットがセットされ、IRQ が生成されます。2 ビット以上の(修正不可能な)エラーが発生した場合、IRQVAr レジスタの読出しにおいては、IRCN_EEI:EENS ビットがセットされ、NMI が生成されます。IRQ 処理ステージからの読出しにおいては、IRCN_IRQEEVA で示す、ISR に遷移します。したがって、必ず IRCN_IRQEEVA には適切な ISR のアドレスを設定する必要があります。

a) ECC テスト機能

SRAM の読出しデータを破損させ、疑似的に ECC エラーを発生させる機能を搭載します。この機能により、アプリケーション開発中に ECC エラーハンドラをチェックすることができます。ECC エラービットレジスタ 0~2(IRCN_EEB0~2)の設定により、SRAM 読出しデータをビット単位で反転することができます。このテスト機能は ECC テストレジスタ(IRCN_ET)により有効/無効を設定します。

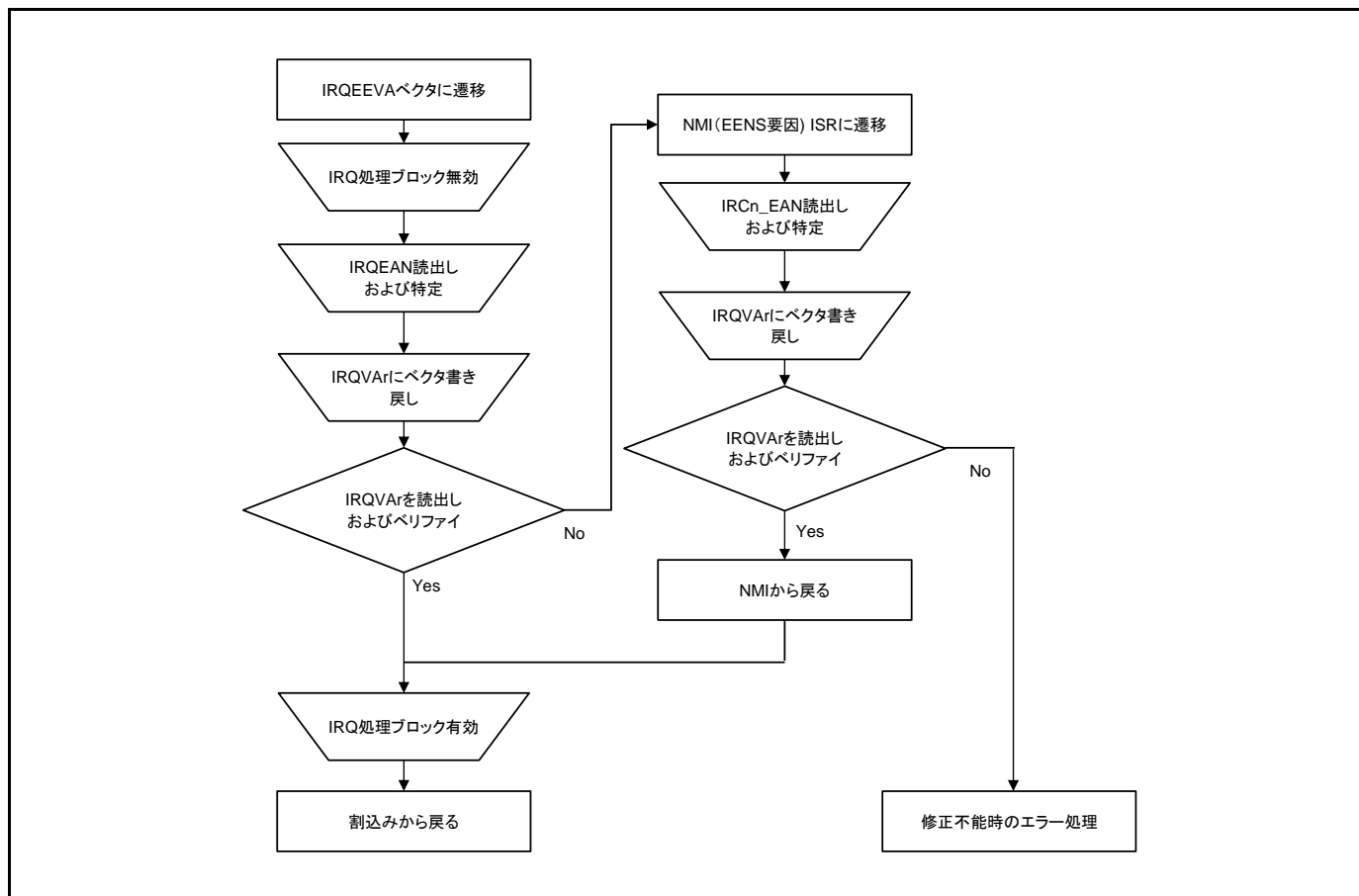
b) IRCN_IRQEEVA について

IRQ 処理ステージにおいて、SRAM の 2 ビット ECC エラーを検出した場合、IRCN_IRQEEVA に設定された ISR に遷移します。この動作は、エラー時には必ず発生するため、IRCN_IRQEEVA を適切に設定する必要があります。

この ISR に遷移したとき、エラーとなった IRCN_IRQVAr チャンネル番号の IRQ ホールドビットは発生しません。また、本 IRCN_IRQEEVA の割込みにはホールドビットがありません。したがって本 ISR の内部で、割込み要因のクリアを行う必要はありません。

IRCN_IRQEEVA の ISR では以下に示す手順で SRAM の誤りを訂正する処理を行ってください。

図 3-6 IRQEEVA による SRAM の 2 ビット ECC エラー処理フロー



本 ISR にて IRCn_IRQVAr への再書き込みによるエラー訂正を行わずに、ソフトウェアリセットの発行を行うこともできます。

(5) 多重割込みの制御方法

IRC は CPU と異なるタイミングで割込みの優先順位を制御しているため、割込みの許可・禁止を行う、あるいは割込みレベルを変更する場合、一定の手順を踏んでソフトウェアとハードウェアとの間で同期を取る必要があります。

a) 割込み機能の初期化設定手順

最初に全割込みの初期化を行う場合には、以下の順序にて初期化および設定を行ってください。

1. 周辺機能の割込み設定
2. CPU の I-FLAG クリア
3. IRCn_CSR:IRQEN ビットの設定

b) 割込み許可状態での IRC_CSR_IRQEN を使った一時的な割込み許可/禁止

IRCn_CSR:IRQEN の書換えを行う場合、必ず、IRCn_IRQST:nIRQ ビットが 1 であることを確認して書換えを実施してください。以下に例を示します。

```
while(IRCn_IRQST:nIRQ==0) ; // if 0, repeat reading
IRCn_CSR_IRQEN=0; // safe for changing enable bit
```

c) 割込み許可状態での IRC_IRQPLM および IRC_IRQPLx を使った割込みレベル変更

IRCn_IRQPLM および IRC_IRQPLx の書換えを行う場合、必ず、IRCn_IRQST:nIRQ ビットが 1 であることを確認して書換えを実施してください。以下に例を示します。

```
while(IRCn_IRQST:nIRQ==0) ; // if 0, repeat reading
IRCn_IRQPLM=0x2; // safe for changing interrupt level
```

d) 割込み許可状態での IRC_IRQHC を使ったホールドクリア手順

割込みハンドラ内部で I-FLAG クリア命令を実行した後に IRCn_IRQHC へ書き込みを行う場合、必ず、IRCn_IRQST:nIRQ ビットが 1 であることを確認して書換えを実施してください。以下に例を示します。

```
while(IRCn_IRQST:nIRQ==0) ; // if 0, repeat reading
IRCn_IRQHC=0x80; // safe for changing interrupt level
```

**e) IRQ 割込みハンドラの先頭での処理**

割込み処理ハンドラで I-FLAG クリア命令で割込み受付け許可を実行するまでの間は、上に記載した順ではなく、直接 `IRCN_CSR:IRQEN`, `IRCN_IRQPLM`, `IRCN_IRQHC` の各レジスタへ所望の値を書いてください。またこれらのレジスタの値を変更する必要がある場合にも、必ず IRC の下記に示したいずれかのレジスタへダミーの書込みを行ってください。

- `IRCN_IRQVAr`
- `IRCN_IRQPL0-127`
- `IRCN_IRQS0-15`
- `IRCN_IRQR0-15`
- `IRCN_IRQCES0-15`
- `IRCN_IRQCEC0-15`
- `IRCN_IRQCE0-15`
- `IRCN_IRQHC`
- `IRCN_IRQPLM`
- `IRCN_CSR`

<注意事項>

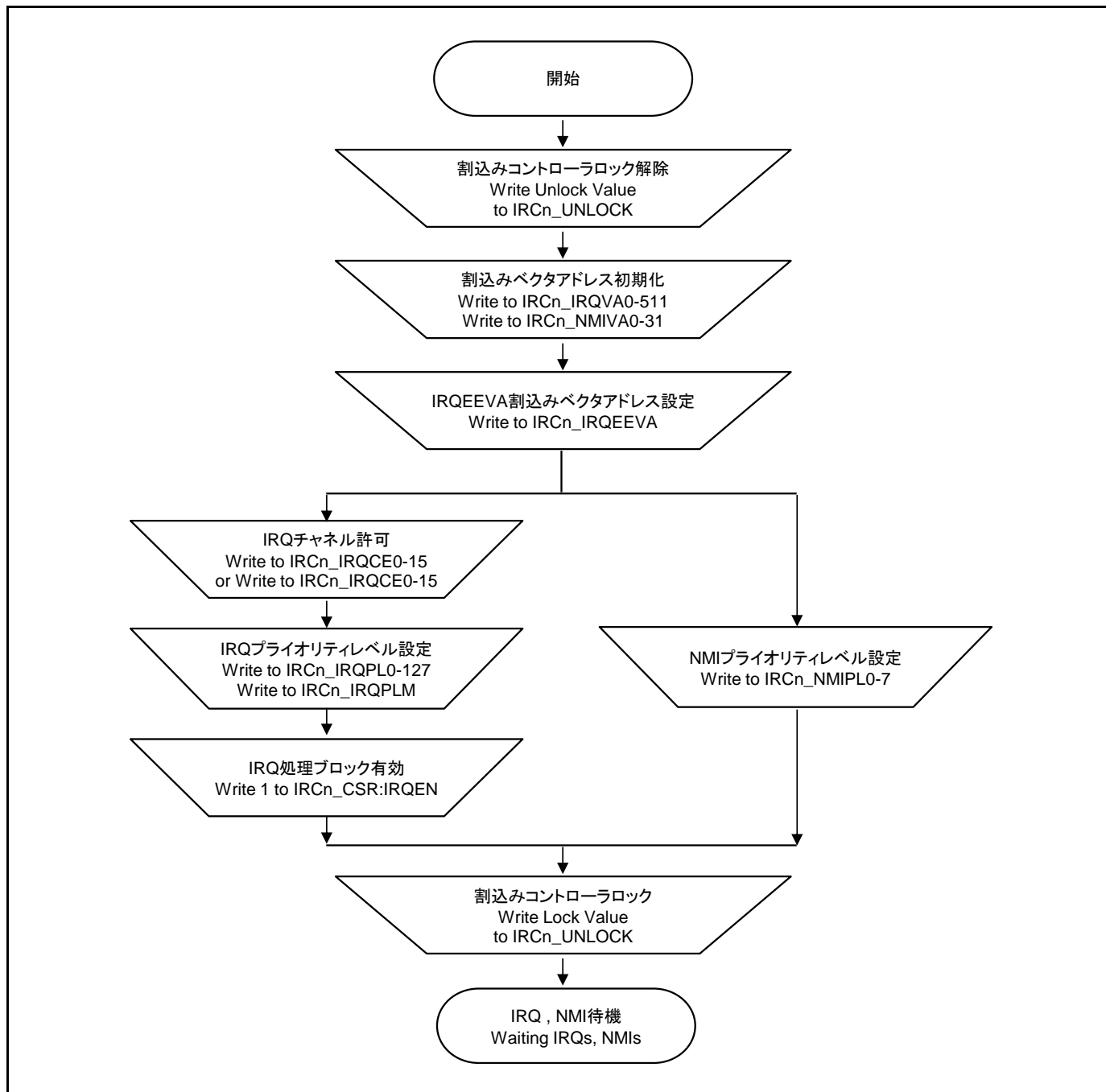
- IRC 内部のいずれかのレジスタへダミーの書込みを行わない場合、書込みが行われるまでの間、新規 IRQ 割込みの発生が抑制されます。IRC 内部のいずれかのレジスタへの書込み後、新規 IRQ 割込みの受付が再開されます。
- 書込みにおいて、バスエラーを返す条件の書込みを行った場合、割込み受付の解除は行われません。

4. 設定手順例

割り込みコントローラの設定手順例について説明します。

初期設定

図 4-1 割り込みコントローラ 初期設定フロー





5. レジスタ

割込みコントローラで使用されるレジスタについて説明します。

表 5-1 割込みコントローラ レジスタ一覧

レジスタ略称	レジスタ名	参照先
IRCN_NMIVAS	IRC NMI ベクタアドレスステータスレジスタ	5.1
IRCN_NMIST	IRC NMI ステータスレジスタ	5.2
IRCN_IRQVAS	IRC IRQ ベクタアドレスステータスレジスタ	5.3
IRCN_IRQST	IRC IRQ ステータスレジスタ	5.4
IRCN_NMIVAm	IRC NMI ベクタアドレスレジスタ	5.5
IRCN_IRQVAr	IRC IRQ ベクタアドレスレジスタ	5.6
IRCN_NMIPL0	IRC NMI プライオリティレベルレジスタ	5.7
IRCN_NMIPL1~7	IRC NMI プライオリティレベルレジスタ	5.8
IRCN_IRQPL0~127	IRC IRQ プライオリティレベルレジスタ	5.9
IRCN_NMIS	IRC NMI ソフトウェア割込みセットレジスタ	5.10
IRCN_NMIR	IRC NMI ソフトウェア割込みリセットレジスタ	5.11
IRCN_NMISIS	IRC NMI ソフトウェア割込みステータスレジスタ	5.12
IRCN_IRQS0~15	IRC IRQ ソフトウェア割込みセットレジスタ	5.13
IRCN_IRQR0~15	IRC IRQ ソフトウェア割込みリセットレジスタ	5.14
IRCN_IRQSIS0~15	IRC IRQ ソフトウェア割込みステータスレジスタ	5.15
IRCN_IRQCES0~15	IRC IRQ チャネル許可セットレジスタ	5.16
IRCN_IRQCEC0~15	IRC IRQ チャネル許可クリアレジスタ	5.17
IRCN_IRQCE0~15	IRC IRQ チャネル許可設定レジスタ	5.18
IRCN_NMIHC	IRC NMI ホールドクリアレジスタ	5.19
IRCN_NMIHS	IRC NMI ホールドステータスレジスタ	5.20
IRCN_IRQHC	IRC IRQ ホールドクリアレジスタ	5.21
IRCN_IRQHS0~15	IRC IRQ ホールドステータスレジスタ	5.22
IRCN_IRQPLM	IRC IRQ プライオリティレベルマスクレジスタ	5.23
IRCN_CSR	IRC 制御/ステータスレジスタ	5.24
IRCN_NMIRS	IRC NMI RAW ステータスレジスタ	5.25
IRCN_NMIPS	IRC NMI 前処理後ステータスレジスタ	5.26
IRCN_IRQRS0~15	IRC IRQ RAW ステータスレジスタ	5.27
IRCN_IRQPS0~15	IRC IRQ 前処理後ステータスレジスタ	5.28
IRCN_UNLOCK	IRC ロック解除レジスタ	5.29
IRCN_EEI	IRC ECC エラー割込みレジスタ	5.30
IRCN_EAN	IRC ECC アドレス番号レジスタ	5.31
IRCN_ET	IRC ECC テストレジスタ	5.32
IRCN_EEB0~1	IRC ECC エラービットレジスタ	5.33
IRCN_EEB2	IRC ECC エラービットレジスタ	5.34
IRCN_NMIVASBR	IRC NMI ベクタアドレスステータスレジスタ	5.35
IRCN_NMIVASBR	IRC NMI ベクタアドレスステータスマirrorレジスタ	5.36
IRCN_IRQEEVA	IRC ECC エラーベクタアドレスレジスタ	5.37



5.1. IRC NMI ベクタアドレスステータスレジスタ (IRCn_NMIVAS)

このレジスタは CPU が最後に受け付けた NMI のベクタアドレスステータスを通知します。

Bit	31-0
Field	NMIVAS
R/W 属性	R,WX
保護属性	RP
初期値	00000000_00000000_00000000_00000000

[bit31:0] NMIVAS[31:0]: NMI ベクタアドレスステータスビット

このビットは CPU が最後に受け付けた NMI のベクタアドレスステータスを通知します。

<注意事項>

- nFIQ を受け付けた CPU が IRC_NMIVASBR を読み出すことにより、割込みが受け付けられたと判断しレジスタを更新します。



5.2. IRC NMI ステータスレジスタ (IRCn_NMIST)

このレジスタはCPUが最後に受け付けたNMIのプライオリティレベルとチャネル番号のステータスを通知します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved				NMIPS			
R/W 属性	R0,WX				R,WX			
保護属性	-							
初期値	0000				1111			

Bit	7	6	5	4	3	2	1	0
Field	Reserved		NMISN					
R/W 属性	R0,WX		R,WX					
保護属性	-							
初期値	00		100000					

[bit31:12] Reserved : 予約ビット

[bit11:8] NMIPS : NMI プライオリティステータスビット

このビットはCPUが最後に受け付けたNMIのプライオリティステータス(0~15)を通知します。

[bit7:6] Reserved : 予約ビット

[bit5:0] NMISN : NMI チャネル番号ビット

このビットはCPUが最後に受け付けたNMIのチャネル番号ステータス(0~31)を通知します。初期値は受け付けられた割込みがないことを意味し、初期状態以外でbit5が"1"になることはありません。

<注意事項>

- nFIQが適用されたCPUがIRC_NMIVASBRを読み出すことにより、割込みが受け付けられたと判断しレジスタを更新します。



5.3. IRC IRQ ベクタアドレスステータスレジスタ (IRCN_IRQVAS)

このレジスタは CPU が最後に受け付けた IRQ のベクタアドレスステータスを通知します。

Bit	31-0
Field	IRQVAS
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] IRQVAS[31:0]: IRQ ベクタアドレスステータスビット

このビットは CPU が最後に受け付けた IRQ のベクタアドレスステータスを通知します。

<注意事項>

- nIRQ を受け付けた CPU から VIC ポートのアクノリッジを受信することにより、割込みが受け付けられたと判断しレジスタを更新します。
- IRQ 処理ブロックにおいて2 ビット ECC エラーが検出され、IRQUEVA ハンドラに分岐したときには、IRQVAS の値はエラーが発生した IRQ の値が読みだされます。



5.4. IRC IRQ ステータスレジスタ (IRCn_IRQST)

このレジスタは CPU が最後に受け付けた IRQ のプライオリティレベルとチャネル番号のステータスを通知します。また、新規割込み受付の抑制状態を通知します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							nIRQ
R/W 属性	R0,WX							R,WX
保護属性	-							
初期値	0000000							1

Bit	23	22	21	20	19	18	17	16
Field	Reserved			IRQPS				
R/W 属性	R0,WX			R,WX				
保護属性	-							
初期値	000			11111				

Bit	15	14	13	12	11	10	9	8
Field	Reserved						IRQSN[9:8]	
R/W 属性	R0,WX						R,WX	
保護属性	-							
初期値	000000						10	

Bit	7	6	5	4	3	2	1	0
Field	IRQSN[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:25] Reserved: 予約ビット

[bit24] nIRQ: IRQ 割込み状況ビット

このビットの読み出し値が 0 の場合、IRC が CPU に対して IRQ を発生している、または IRC が CPU に対して IRQ の発生を停止していることを示します。このビットを読み出すと、IRC は以降の割込み受け付けを停止します。また IRC の下記に示したレジスタのどれかに書き込みを行うと、停止していた割込み受け付けを解除します。

- IRCn_IRQVAr
- IRCn_IRQPL0-127
- IRCn_IRQS0-15
- IRCn_IRQR0-15
- IRCn_IRQCES0-15
- IRCn_IRQCEC0-15
- IRCn_IRQCE0-15
- IRCn_IRQHC
- IRCn_IRQPLM
- IRCn_CSR

＜注意事項＞

- 書き込みにおいて、バスエラーを返す条件の書き込みを行った場合、割込み受付の解除は行われません。

[bit23:21] Reserved: 予約ビット

[bit20:16] IRQPS[4:0]: IRQ プライオリティステータスビット

このビットは CPU が最後に受け付けた IRQ のプライオリティステータス(0～31)を通知します。

[bit15:10] Reserved: 予約ビット

[bit9:0] IRQSN[9:0]: IRQ チャンネル番号ビット

このビットは CPU が最後に受け付けた IRQ のチャンネル番号ステータス(0～511)を通知します。初期値は受け付けられた割込みがないことを意味し、初期状態以外で bit9 が "1" になることはありません。

＜注意事項＞

- nIRQ が適用された CPU から VIC ポートのアクノリッジを受信することにより、割込みが受け付けられたと判断しレジスタを更新します。
- IRQ 処理ブロックにおいて 2 ビット ECC エラーが検出され、IRQEEVA ハンドラに分岐したときには、IRQSN および IRQPS レジスタの値はエラーが発生した IRQ の値が読みだされます。



5.5. IRC NMI ベクタアドレスレジスタ (IRCn_NMIVAm)

このレジスタは各 NMI チャンネルの 32 ビットベクタアドレスを通知します。対応する NMI ペリフェラルを許可する前に、ベクタアドレスをソフトウェアで初期化する必要があります。NMI チャンネルごとに同様のレジスタを搭載し、レジスタ略称の "m" が NMI チャンネル番号 m(0～31)に対応します。

Bit	31-8
Field	NMIVA[31:8]
R/W 属性	R/W
保護属性	WPS
初期値	XXXXXXXX_XXXXXXXX_XXXXXXXX

Bit	7	6	5	4	3	2	1	0
Field	NMIVA[7:0]							
R/W 属性	R/W						R0,WX	
保護属性	WPS							
初期値	XXXXXXX						00	

[bit31:0] NMIVA[31:0]: NMI ベクタアドレスビット

このビットは NMIm のベクタアドレスを設定します。

<注意事項>

- すべてのベクタアドレスは 32 ビット単位のため、下位 2 ビットは "00" 固定です。
- IRCn_NMIVA0～IRCn_NMIVA31 でレジスタビット構成は共通です。

5.6. IRC IRQ ベクタアドレスレジスタ (IRCN_IRQVAR)

このレジスタは各 IRQ チャンネルの 32 ビットベクタアドレスを通知します。対応する IRQ チャンネルを許可する前に、ベクタアドレスをソフトウェアで初期化する必要があります。IRQ チャンネルごとに同様のレジスタを搭載し、レジスタ略称の "r" が IRQ チャンネル番号 r(0~511)に対応します。本レジスタは割込みコントローラ内部の SRAM の上にあります。

Bit	31-8
Field	IRQVA[31:8]
R/W 属性	R/W
保護属性	WPS
初期値	XXXXXXXX_XXXXXXXX_XXXXXXXX

Bit	7	6	5	4	3	2	1	0
Field	IRQVA[7:0]							
R/W 属性	R/W						R0,WX	
保護属性	WPS							
初期値	XXXXXX						00	

[bit31:0] IRQVA[31:0]: IRQ ベクタアドレスビット

このビットは IRQr のベクタアドレスを設定します。

<注意事項>

- このレジスタを読み出す前にベクタアドレスの初期化を行う必要があります。初期化は 32 ビットまたは 64 ビットアクセスで行ってください。
- すべてのベクタアドレスは 32 ビット単位のため、下位 2 ビットは "00" 固定です。
- IRCn_IRQVA0~IRCn_IRQVA511 でレジスタビット構成は共通です。
- このレジスタは、ECC 保護機能を持つ SRAM で構成されています。ECC Error が発生した場合は、正しい値を上書きしてください。



5.7. IRC NMI プライオリティレベルレジスタ (IRCn_NMIPL0)

このレジスタは NMI0 のプライオリティレベルを通知します。また, NMI1~NMI3 の各チャンネルに対して, プライオリティレベル(0~15)を設定します。チャンネルごとに任意の値を設定できます。設定値が小さいほどプライオリティが高くなります。チャンネル 0 以外の初期値は最低レベルの"15"です。チャンネル 0 のみ最高レベルの"0"に固定されます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved				NMIPL3			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				1111			

Bit	23	22	21	20	19	18	17	16
Field	Reserved				NMIPL2			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				1111			

Bit	15	14	13	12	11	10	9	8
Field	Reserved				NMIPL1			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				1111			

Bit	7	6	5	4	3	2	1	0
Field	Reserved				NMIPL0			
R/W 属性	R0,WX				R0,WX			
保護属性	WPS							
初期値	0000				0000			

[bit31:28] Reserved: 予約ビット

[bit27:24] NMIPL3: NMI3 プライオリティレベルビット

このビットは NMI3 のプライオリティレベルを設定します。

[bit23:20] Reserved: 予約ビット

[bit19:16] NMIPL2[3:0]: NMI2 プライオリティレベルビット

このビットは NMI2 のプライオリティレベルを設定します。

[bit15:12] Reserved: 予約ビット

[bit11:8] NMIPL1[3:0]: NMI1 プライオリティレベルビット

このビットは NMI1 のプライオリティレベルを設定します。

[bit7:4] Reserved: 予約ビット

[bit3:0] NMIOPL0[3:0]: NMIO プライオリティレベルビット

このビットは NMIO のプライオリティレベルを通知します。NMIO のプライオリティレベルは"0"に固定されています。



5.8. IRC NMI プライオリティレベルレジスタ (IRCn_NMIPL1~7)

このレジスタは NMI の各チャンネルに対して、プライオリティレベル(0~15)を設定します。チャンネルごとに任意の値を設定できます。設定値が小さいほどプライオリティが高くなります。初期値は最低レベルの"15"です。同様のレジスタを 7 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 4 チャンネルが割り当てられ、IRCn_NMIPL0 も含めた 8 個のレジスタで 32 チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	Reserved				NMIPL7			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				1111			

Bit	23	22	21	20	19	18	17	16
Field	Reserved				NMIPL6			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				1111			

Bit	15	14	13	12	11	10	9	8
Field	Reserved				NMIPL5			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				1111			

Bit	7	6	5	4	3	2	1	0
Field	Reserved				NMIPL4			
R/W 属性	R0,WX				R/W			
保護属性	WPS							
初期値	0000				1111			

[bit31:28] Reserved: 予約ビット

[bit27:24] NMIPL7[3:0]: NMI7 プライオリティレベルビット

このビットは NMI7 のプライオリティレベルを設定します。

[bit23:20] Reserved: 予約ビット

[bit19:16] NMIPL6[3:0]: NMI6 プライオリティレベルビット

このビットは NMI6 のプライオリティレベルを設定します。

[bit15:12] Reserved: 予約ビット

[bit11:8] NMIPL5[3:0]: NMI5 プライオリティレベルビット

このビットは NMI5 のプライオリティレベルを設定します。

[bit7:4] Reserved: 予約ビット

[bit3:0] NMIPL4[3:0]: NMI4 プライオリティレベルビット

このビットは NMI4 のプライオリティレベルを設定します。

<注意事項>

- 代表して IRCn_NMIPL1 のレジスタビット構成を説明しています。IRCn_NMIPL1～IRCn_NMIPL7 でレジスタビット構成は共通です。IRCn_NMIPL0 と説明を区別しているのは NMI0 の扱いがそれ以外のチャンネルと異なるためです。
- IRCn_NMIPL1 は NMI4～7 が割り当てられ、以降は IRCn_NMIPL7(NMI28～31)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 NMIPLm の"m"が NMI チャンネル番号 m(0～31)に対応します。



5.9. IRC IRQ プライオリティレベルレジスタ (IRCN_IRQPL0~127)

このレジスタは IRQ の各チャネルに対して、プライオリティレベル(0~31)を設定します。チャネルごとに任意の値を設定できます。設定値が小さいほどプライオリティが高くなります。初期値は最低レベルの"31"です。同様のレジスタを 128 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 4 チャネルが割り当てられ、128 個のレジスタで 512 チャネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	Reserved			IRQPL3				
R/W 属性	R0,WX			R/W				
保護属性	WPS							
初期値	000			1111				

Bit	23	22	21	20	19	18	17	16
Field	Reserved			IRQPL2				
R/W 属性	R0,WX			R/W				
保護属性	WPS							
初期値	000			1111				

Bit	15	14	13	12	11	10	9	8
Field	Reserved			IRQPL1				
R/W 属性	R0,WX			R/W				
保護属性	WPS							
初期値	000			1111				

Bit	7	6	5	4	3	2	1	0
Field	Reserved			IRQPL0				
R/W 属性	R0,WX			R/W				
保護属性	WPS							
初期値	000			1111				

[bit31:29] Reserved: 予約ビット

[bit28:24] IRQPL3[4:0]: IRQ3 プライオリティレベルビット

このビットは IRQ3 のプライオリティレベルを設定します。

[bit23:21] Reserved: 予約ビット

[bit20:16] IRQPL2[4:0]: IRQ2 プライオリティレベルビット

このビットは IRQ2 のプライオリティレベルを設定します。

[bit15:13] Reserved: 予約ビット

[bit12:8] IRQPL1[4:0]: IRQ1 プライオリティレベルビット

このビットは IRQ1 のプライオリティレベルを設定します。

[bit7:5] Reserved: 予約ビット

[bit4:0] IRQPL0[4:0]: IRQ0 プライオリティレベルビット

このビットは IRQ0 のプライオリティレベルを設定します。

<注意事項>

- 本レジスタへ書き込む場合は、下記のいずれかの状態(=IRC が停止している)で行なってください。
 - *IRCN_IRQST* レジスタの *nIRQ* ビットが"1"であることが読み出してから、対象レジスタに対するライトを行なうまでの間。
対象レジスタについては、*nIRQ* ビットの説明を参照してください。
 - *IRCN_CSR* レジスタの *IRQEN* ビットが"0"であることがわかっている状態(リセット直後など)。
- 代表して *IRCN_IRQPL0* のレジスタビット構成を説明しています。*IRCN_IRQPL0*~*IRCN_IRQPL127* でレジスタビット構成は共通です。
- *IRCN_IRQPL0* は *IRQ0*~*3* が割り当てられ、以降は *IRCN_IRQPL127*(*IRQ508*~*511*)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 *IRQPLr* の"r"が *IRQ* チャンネル番号 *r*(*0*~*511*)に対応します。



5.10. IRC NMI ソフトウェア割込みセットレジスタ(IRCn_NMIS)

このレジスタは各 NMI チャンネルに対するソフトウェア割込みをセットします。チャンネルごとに 1 ビットが割り当てられ、ビット位置が NMI チャンネル番号 m(0~31)に対応します。

Bit	31	30	29	28	27	26	25	24
Field	NMIS31	NMIS30	NMIS29	NMIS28	NMIS27	NMIS26	NMIS25	NMIS24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	NMIS23	NMIS22	NMIS21	NMIS20	NMIS19	NMIS18	NMIS17	NMIS16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	NMIS15	NMIS14	NMIS13	NMIS12	NMIS11	NMIS10	NMIS9	NMIS8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NMIS7	NMIS6	NMIS5	NMIS4	NMIS3	NMIS2	NMIS1	NMIS0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] NMISm: NMIm ソフトウェア割込みセットビット

これらのビットは NMIm のソフトウェア割込みをセットします。

bit	説明
0	無効(動作に影響しません)
1	NMIm に対するソフトウェア割込みをセット

5.11. IRC NMI ソフトウェア割込みリセットレジスタ(IRCn_NMIR)

このレジスタは各 NMI チャンネルに対するソフトウェア割込みをリセットします。チャンネルごとに 1 ビットが割り当てられ、ビット位置が NMI チャンネル番号 m(0~31)に対応します。

Bit	31	30	29	28	27	26	25	24
Field	NMIR31	NMIR30	NMIR29	NMIR28	NMIR27	NMIR26	NMIR25	NMIR24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	NMIR23	NMIR22	NMIR21	NMIR20	NMIR19	NMIR18	NMIR17	NMIR16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	NMIR15	NMIR14	NMIR13	NMIR12	NMIR11	NMIR10	NMIR9	NMIR8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NMIR7	NMIR6	NMIR5	NMIR4	NMIR3	NMIR2	NMIR1	NMIR0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] NMIRm: NMIm ソフトウェア割込みリセットビット

これらのビットは NMIm のソフトウェア割込みをリセットします。

bit	説明
0	無効(動作に影響しません)
1	NMIm に対するソフトウェア割込みをリセット



5.12. IRC NMI ソフトウェア割込みステータスレジスタ (IRCn_NMISIS)

このレジスタは各 NMI チャンネルに対するソフトウェア割込みステータスを通知します。チャンネルごとに 1 ビットが割り当てられ、ビット位置が NMI チャンネル番号 m(0~31)に対応します。

Bit	31	30	29	28	27	26	25	24
Field	NMISIS31	NMISIS30	NMISIS29	NMISIS28	NMISIS27	NMISIS26	NMISIS25	NMISIS24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	NMISIS23	NMISIS22	NMISIS21	NMISIS20	NMISIS19	NMISIS18	NMISIS17	NMISIS16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	NMISIS15	NMISIS14	NMISIS13	NMISIS12	NMISIS11	NMISIS10	NMISIS9	NMISIS8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NMISIS7	NMISIS6	NMISIS5	NMISIS4	NMISIS3	NMISIS2	NMISIS1	NMISIS0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] NMISISm: NMIm ソフトウェア割込みステータスビット

これらのビットは NMIm のソフトウェア割込みのステータスを通知します。

bit	説明
0	ソフトウェア割込みがセットされていない
1	ソフトウェア割込みがセットされている

5.13. IRC IRQ ソフトウェア割込みセットレジスタ(IRCn_IRQS0~15)

このレジスタは各 IRQ チャンネルに対するソフトウェア割込みをセットします。チャンネルごとに 1 ビットが割り当てられます。同様のレジスタを 16 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 32 チャンネルが割り当てられ、16 個のレジスタで 512 チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	IRQS31	IRQS30	IRQS29	IRQS28	IRQS27	IRQS26	IRQS25	IRQS24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	IRQS23	IRQS22	IRQS21	IRQS20	IRQS19	IRQS18	IRQS17	IRQS16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IRQS15	IRQS14	IRQS13	IRQS12	IRQS11	IRQS10	IRQS9	IRQS8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IRQS7	IRQS6	IRQS5	IRQS4	IRQS3	IRQS2	IRQS1	IRQS0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] IRQSr: IRQr ソフトウェア割込みセットビット

これらのビットは IRQr のソフトウェア割込みをセットします。

bit	説明
0	無効(動作に影響しません)
1	IRQr に対するソフトウェア割込みをセット

<注意事項>

- 代表して IRCn_IRQS0 のレジスタビット構成を説明しています。IRCn_IRQS0~IRCn_IRQS15 でレジスタビット構成は共通です。
- IRCn_IRQS0 は IRQ0~31 が割り当てられ、以降は IRCn_IRQS15(IRQ480~511)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 IRQSr の"r"が IRQ チャンネル番号 r(0~511)に対応します。



5.14. IRC IRQ ソフトウェア割込みリセットレジスタ(IRCn_IRQR0~15)

このレジスタは各 IRQ チャンネルに対するソフトウェア割込みをリセットします。チャンネルごとに 1 ビットが割り当てられます。同様のレジスタを 16 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 32 チャンネルが割り当てられ、16 個のレジスタで 512 チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	IRQR31	IRQR30	IRQR29	IRQR28	IRQR27	IRQR26	IRQR25	IRQR24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	IRQR23	IRQR22	IRQR21	IRQR20	IRQR19	IRQR18	IRQR17	IRQR16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IRQR15	IRQR14	IRQR13	IRQR12	IRQR11	IRQR10	IRQR9	IRQR8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IRQR7	IRQR6	IRQR5	IRQR4	IRQR3	IRQR2	IRQR1	IRQR0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] IRQRr : IRQR ソフトウェア割込みリセットビット

これらのビットは IRQR のソフトウェア割込みをリセットします。

bit	説明
0	無効(動作に影響しません)
1	IRQR に対するソフトウェア割込みをリセット

<注意事項>

- 代表して IRCn_IRQR0 のレジスタビット構成を説明しています。IRCn_IRQR0~IRCn_IRQR15 でレジスタビット構成は共通です。
- IRCn_IRQR0 は IRQ0~31 が割り当てられ、以降は IRCn_IRQR15(IRQ480~511)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 IRQRr の"r"が IRQ チャンネル番号 r(0~511)に対応します。

5.15. IRC IRQ ソフトウェア割込みステータスレジスタ(IRCn_IRQSIS0~15)

このレジスタは各 IRQ チャンネルに対するソフトウェア割込みステータスを通知します。チャンネルごとに 1 ビットが割り当てられます。同様のレジスタを 16 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 32 チャンネルが割り当てられ、16 個のレジスタで 512 チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	IRQSIS31	IRQSIS30	IRQSIS29	IRQSIS28	IRQSIS27	IRQSIS26	IRQSIS25	IRQSIS24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	IRQSIS23	IRQSIS22	IRQSIS21	IRQSIS20	IRQSIS19	IRQSIS18	IRQSIS17	IRQSIS16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IRQSIS15	IRQSIS14	IRQSIS13	IRQSIS12	IRQSIS11	IRQSIS10	IRQSIS9	IRQSIS8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IRQSIS7	IRQSIS6	IRQSIS5	IRQSIS4	IRQSIS3	IRQSIS2	IRQSIS1	IRQSIS0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] IRQSISr: IRQr ソフトウェア割込みステータスビット

これらのビットは IRQr のソフトウェア割込みのステータスを通知します。

bit	説明
0	ソフトウェア割込みがセットされていない
1	ソフトウェア割込みがセットされている

<注意事項>

- 代表して IRCn_IRQSIS0 のレジスタビット構成を説明しています。IRCn_IRQSIS0~IRCn_IRQSIS15 でレジスタビット構成は共通です。
- IRCn_IRQSIS0 は IRQ0~31 が割り当てられ、以降は IRCn_IRQSIS15(IRQ480~511)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 IRQSISr の"r"が IRQ チャンネル番号 r(0~511)に対応します。



5.16. IRC IRQ チャンネル許可セットレジスタ(IRCn_IRQCES0~15)

このレジスタは各 IRQ チャンネルに対する許可をセットします。チャンネルごとに 1 ビットが割り当てられます。同様のレジスタを 16 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 32 チャンネルが割り当てられ、16 個のレジスタで 512 チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	IRQCES31	IRQCES30	IRQCES29	IRQCES28	IRQCES27	IRQCES26	IRQCES25	IRQCES24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	IRQCES23	IRQCES22	IRQCES21	IRQCES20	IRQCES19	IRQCES18	IRQCES17	IRQCES16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IRQCES15	IRQCES14	IRQCES13	IRQCES12	IRQCES11	IRQCES10	IRQCES9	IRQCES8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IRQCES7	IRQCES6	IRQCES5	IRQCES4	IRQCES3	IRQCES2	IRQCES1	IRQCES0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] IRQCESr: IRQr チャンネル許可セットビット

これらのビットは IRQr のチャンネル許可をセットします。

bit	説明
0	無効(動作に影響しません)
1	IRQr に対するチャンネル許可をセット

<注意事項>

- 代表して IRCn_IRQCES0 のレジスタビット構成を説明しています。IRCn_IRQCES0~IRCn_IRQCES15 でレジスタビット構成は共通です。
- IRCn_IRQCES0 は IRQ0~31 が割り当てられ、以降は IRCn_IRQCES15(IRQ480~511)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 IRQCESr の"r"が IRQ チャンネル番号 r(0~511)に対応します。

5.17. IRC IRQ チャンネル許可クリアレジスタ(IRCn_IRQCEC0~15)

このレジスタは各 IRQ チャンネルに対する許可をクリアします。チャンネルごとに 1 ビットが割り当てられます。同様のレジスタを 16 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 32 チャンネルが割り当てられ、16 個のレジスタで 512 チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	IRQCEC31	IRQCEC30	IRQCEC29	IRQCEC28	IRQCEC27	IRQCEC26	IRQCEC25	IRQCEC24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	IRQCEC23	IRQCEC22	IRQCEC21	IRQCEC20	IRQCEC19	IRQCEC18	IRQCEC17	IRQCEC16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IRQCEC15	IRQCEC14	IRQCEC13	IRQCEC12	IRQCEC11	IRQCEC10	IRQCEC9	IRQCEC8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IRQCEC7	IRQCEC6	IRQCEC5	IRQCEC4	IRQCEC3	IRQCEC2	IRQCEC1	IRQCEC0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] IRQCECr: IRQr チャンネル許可クリアビット

これらのビットは IRQr のチャンネル許可をクリアします。

bit	説明
0	無効(動作に影響しません)
1	IRQr に対するチャンネル許可をクリア

<注意事項>

- 代表して IRCn_IRQCEC0 のレジスタビット構成を説明しています。IRCn_IRQCEC0~IRCn_IRQCEC15 でレジスタビット構成は共通です。
- IRCn_IRQCEC0 は IRQ0~31 が割り当てられ、以降は IRCn_IRQCEC15(IRQ480~511)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 IRQCECr の"r"が IRQ チャンネル番号 r(0~511)に対応します。



5.18. IRC IRQ チャンネル許可設定レジスタ(IRCn_IRQCE0~15)

このレジスタは各 IRQ チャンネルに対する許可を設定します。チャンネルごとに1ビットが割り当てられます。同様のレジスタを16個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに32チャンネルが割り当てられ、16個のレジスタで512チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	IRQCE31	IRQCE30	IRQCE29	IRQCE28	IRQCE27	IRQCE26	IRQCE25	IRQCE24
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	IRQCE23	IRQCE22	IRQCE21	IRQCE20	IRQCE19	IRQCE18	IRQCE17	IRQCE16
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IRQCE15	IRQCE14	IRQCE13	IRQCE12	IRQCE11	IRQCE10	IRQCE9	IRQCE8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IRQCE7	IRQCE6	IRQCE5	IRQCE4	IRQCE3	IRQCE2	IRQCE1	IRQCE0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] IRQCEr: IRQr チャンネル許可設定ビット

これらのビットは IRQr のチャンネル許可を設定します。

bit	説明
0	IRQr に対するチャンネル許可をクリア
1	IRQr に対するチャンネル許可をセット

<注意事項>

- 代表してIRCn_IRQCE0のレジスタビット構成を説明しています。IRCn_IRQCE0~IRCn_IRQCE15でレジスタビット構成は共通です。
- IRCn_IRQCE0 は IRQ0~31 が割り当てられ、以降は IRCn_IRQCE15(IRQ480~511)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 IRQCEr の"r"がIRQ チャンネル番号 r(0~511)に対応します。



5.19. IRC NMI ホールドクリアレジスタ (IRCn_NMIHC)

このレジスタは現在の NMI の ISR に対応するホールドビットをクリアします。クリアする NMI チャンネル番号を書き込みます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WP
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			NMIHCN				
R/W 属性	R0,WX			R0,W				
保護属性	WP							
初期値	000			00000				

[bit31:5] Reserved：予約ビット

[bit4:0] NMIHCN[4:0]：ホールドクリア NMI チャンネル番号ビット

このビットは NMI の ISR に対応するチャンネル番号を設定します。



5.20. IRC NMI ホールドステータスレジスタ (IRCn_NMIHS)

このレジスタは各 NMI チャンネルに対するホールドステータスを通知します。チャンネルごとに 1 ビットが割り当てられ、ビット位置が NMI チャンネル番号 m(0~31)に対応します。

Bit	31	30	29	28	27	26	25	24
Field	NMIHS31	NMIHS30	NMIHS29	NMIHS28	NMIHS27	NMIHS26	NMIHS25	NMIHS24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	NMIHS23	NMIHS22	NMIHS21	NMIHS20	NMIHS19	NMIHS18	NMIHS17	NMIHS16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	NMIHS15	NMIHS14	NMIHS13	NMIHS12	NMIHS11	NMIHS10	NMIHS9	NMIHS8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NMIHS7	NMIHS6	NMIHS5	NMIHS4	NMIHS3	NMIHS2	NMIHS1	NMIHS0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] NMIHSm : NMIm ホールドステータスビット

これらのビットは NMIm のホールドステータスを通知します。

bit	説明
0	NMIm の割込みが CPU に適用されていない
1	NMIm の割込みを CPU に適用中

5.21. IRC IRQ ホールドクリアレジスタ (IRCn_IRQHC)

このレジスタは現在の IRQ の ISR に対応するホールドビットをクリアします。クリアする IRQ チャンネル番号を書き込みます。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WP
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							IRQHCN[8]
R/W 属性	R0,WX							R0,W
保護属性	WP							
初期値	0000000							0

Bit	7	6	5	4	3	2	1	0
Field	IRQHCN[7:0]							
R/W 属性	R0,W							
保護属性	WP							
初期値	00000000							

[bit31:9] Reserved : 予約ビット

[bit8:0] IRQHCN[8:0] : ホールドクリア IRQ チャンネル番号ビット

このビットは IRQ の ISR に対応するチャンネル番号を設定します。

<注意事項>

- 本レジスタはバイト書き込みによるクリアは禁止されています。必ずハーフワード以上のアクセスを行ってください。バイトサイズでの書き込みを行うとバスエラーが生成されます。
- 本レジスタへ書き込む場合は、下記のいずれかの状態(=IRC が停止している)で行なってください。
 - IRCn_IRQST レジスタの nIRQ ビットが"1"であることが読み出してから、対象レジスタに対するライトを行なうまでの間。
対象レジスタについては、nIRQ ビットの説明を参照してください。
 - IRCn_CSR レジスタの IRQEN ビットが"0"であることがわかっている状態(リセット直後など)。



5.22. IRC IRQ ホールドステータスレジスタ(IRCn_IRQHS0~15)

このレジスタは各 IRQ チャンネルに対するホールドステータスを通知します。チャンネルごとに 1 ビットが割り当てられます。同様のレジスタを 16 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 32 チャンネルが割り当てられ、16 個のレジスタで 512 チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	IRQHS31	IRQHS30	IRQHS29	IRQHS28	IRQHS27	IRQHS26	IRQHS25	IRQHS24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	IRQHS23	IRQHS22	IRQHS21	IRQHS20	IRQHS19	IRQHS18	IRQHS17	IRQHS16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IRQHS15	IRQHS14	IRQHS13	IRQHS12	IRQHS11	IRQHS10	IRQHS9	IRQHS8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IRQHS7	IRQHS6	IRQHS5	IRQHS4	IRQHS3	IRQHS2	IRQHS1	IRQHS0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] IRQHSr : IRQr ホールドステータスビット

これらのビットは IRQr のホールドステータスを通知します。

bit	説明
0	IRQr の割込みが CPU に適用されていない
1	IRQr の割込みを CPU に適用中

<注意事項>

- 代表して IRCn_IRQHS0 のレジスタビット構成を説明しています。IRCn_IRQHS0~IRCn_IRQHS15 でレジスタビット構成は共通です。
- IRCn_IRQHS0 は IRQ0~31 が割り当てられ、以降は IRCn_IRQHS15(IRQ480~511)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 IRQHSr の "r" が IRQ チャンネル番号 r(0~511)に対応します。

5.23. IRC IRQ プライオリティレベルマスクレジスタ(IRCn_IRQPLM)

このレジスタはプライオリティレベルによる割込みマスクを設定します。プライオリティレベルがこのレジスタの設定値以上の IRQ チャンネルはマスクされます。このレジスタの初期値は 32 です。つまり、初期状態ではすべてのプライオリティレベルがマスク非対象です。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved		IRQPLM					
R/W 属性	R0,WX		R/W					
保護属性	WPS							
初期値	00		100000					

[bit31:6] Reserved : 予約ビット

[bit5:0] IRQPLM[5:0] : IRQ プライオリティレベルマスクビット

このビットはプライオリティレベルマスク値を設定します。

<注意事項>

- 本レジスタへ書き込む場合は、下記のいずれかの状態(=IRC が停止している)で行なってください。
 - IRCn_IRQST レジスタの nIRQ ビットが"1"であることが読み出してから、対象レジスタに対するライトを行なうまでの間。
対象レジスタについては、nIRQ ビットの説明を参照してください。
 - IRCn_CSR レジスタの IRQEN ビットが"0"であることがわかっている状態(リセット直後など)。



5.24. IRC 制御/ステータスレジスタ (IRCN_CSR)

このレジスタは割込みコントローラの IRQ 処理ブロックの有効/無効を設定します。また、割込みコントローラのロックステータスを通知します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved							LST
R/W 属性	R0,WX							R,WX
保護属性	WPS							
初期値	00000000							1

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved							IRQEN
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	00000000							0

[bit31:17] Reserved: 予約ビット

[bit16] LST: 割込みコントローラロックステータス

このビットは割込みコントローラのロックステータスを通知します。

bit	説明
0	ロック解除状態
1	ロック状態

[bit15:1] Reserved: 予約ビット

[bit0] IRQEN: IRQ 処理ブロック有効/無効設定ビット

このビットは割込みコントローラの IRQ 処理ブロックの有効/無効を設定します。IRQ 処理ブロックを無効にした場合、割込みコントローラは新規 IRQ を受け付けません。受け付け済の割込みは CPU に通知します。

bit	説明
0	IRQ 処理ブロック無効
1	IRQ 処理ブロック有効

＜注意事項＞

- 本レジスタへ書き込む場合は、下記のいずれかの状態(=IRC が停止している)で行なってください。
 - IRCn_IRQST レジスタの nIRQ ビットが"1"であることが読み出してから、対象レジスタに対するライトを行なうまでの間。
対象レジスタについては、nIRQ ビットの説明を参照してください。
 - IRCn_CSR レジスタの IRQEN ビットが"0"であることがわかっている状態(リセット直後など)。



5.25. IRC NMI RAW ステータスレジスタ (IRCn_NMIRS)

このレジスタは各 NMI チャンネルの RAW ステータスを通知します。チャンネルごとに 1 ビットが割り当てられ、ビット位置が NMI チャンネル番号 m(0~31)に対応します。

Bit	31	30	29	28	27	26	25	24
Field	NMIRS31	NMIRS30	NMIRS29	NMIRS28	NMIRS27	NMIRS26	NMIRS25	NMIRS24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	NMIRS23	NMIRS22	NMIRS21	NMIRS20	NMIRS19	NMIRS18	NMIRS17	NMIRS16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	NMIRS15	NMIRS14	NMIRS13	NMIRS12	NMIRS11	NMIRS10	NMIRS9	NMIRS8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NMIRS7	NMIRS6	NMIRS5	NMIRS4	NMIRS3	NMIRS2	NMIRS1	NMIRS0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] NMIRSm : NMIm RAW ステータスビット

これらのビットは NMIm の RAW ステータスを通知します。

bit	説明
0	割込みがセットされていない
1	割込みがセットされている

5.26. IRC NMI 前処理後ステータスレジスタ (IRCn_NMIPS)

このレジスタは各 NMI チャンネルの前処理後のステータスを通知します。チャンネルごとに 1 ビットが割り当てられ、ビット位置が NMI チャンネル番号 m(0~31)に対応します。

Bit	31	30	29	28	27	26	25	24
Field	NMIPS31	NMIPS30	NMIPS29	NMIPS28	NMIPS27	NMIPS26	NMIPS25	NMIPS24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	NMIPS23	NMIPS22	NMIPS21	NMIPS20	NMIPS19	NMIPS18	NMIPS17	NMIPS16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	NMIPS15	NMIPS14	NMIPS13	NMIPS12	NMIPS11	NMIPS10	NMIPS9	NMIPS8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NMIPS7	NMIPS6	NMIPS5	NMIPS4	NMIPS3	NMIPS2	NMIPS1	NMIPS0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] NMIPSm : NMIm 前処理後ステータスビット

これらのビットは NMIm の前処理後のステータスを通知します。

bit	説明
0	割込みがセットされていない
1	割込みがセットされている



5.27. IRC IRQ RAW ステータスレジスタ (IRCn_IRQRS0~15)

このレジスタは各 IRQ チャンネルの RAW ステータスを通知します。チャンネルごとに 1 ビットが割り当てられます。同様のレジスタを 16 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 32 チャンネルが割り当てられ、16 個のレジスタで 512 チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	IRQRS31	IRQRS30	IRQRS29	IRQRS28	IRQRS27	IRQRS26	IRQRS25	IRQRS24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	IRQRS23	IRQRS22	IRQRS21	IRQRS20	IRQRS19	IRQRS18	IRQRS17	IRQRS16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IRQRS15	IRQRS14	IRQRS13	IRQRS12	IRQRS11	IRQRS10	IRQRS9	IRQRS8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IRQRS7	IRQRS6	IRQRS5	IRQRS4	IRQRS3	IRQRS2	IRQRS1	IRQRS0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] IRQRSr: IRQr RAW ステータスビット

これらのビットは IRQr の RAW ステータスを通知します。

bit	説明
0	割込みがセットされていない
1	割込みがセットされている

<注意事項>

- 代表して IRCn_IRQRS0 のレジスタビット構成を説明しています。IRCn_IRQRS0~IRCn_IRQRS15 でレジスタビット構成は共通です。
- IRCn_IRQRS0 は IRQ0~31 が割り当てられ、以降は IRCn_IRQRS15 (IRQ480~511) まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 IRQRSr の "r" が IRQ チャンネル番号 r (0~511) に対応します。

5.28. IRC IRQ 前処理後ステータスレジスタ(IRCn_IRQPS0~15)

このレジスタは各 IRQ チャンネルの前処理後のステータスを通知します。チャンネルごとに 1 ビットが割り当てられます。同様のレジスタを 16 個搭載し、レジスタ略称の末尾の数字で識別します。レジスタごとに 32 チャンネルが割り当てられ、16 個のレジスタで 512 チャンネルをサポートします。

Bit	31	30	29	28	27	26	25	24
Field	IRQPS31	IRQPS30	IRQPS29	IRQPS28	IRQPS27	IRQPS26	IRQPS25	IRQPS24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	IRQPS23	IRQPS22	IRQPS21	IRQPS20	IRQPS19	IRQPS18	IRQPS17	IRQPS16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IRQPS15	IRQPS14	IRQPS13	IRQPS12	IRQPS11	IRQPS10	IRQPS9	IRQPS8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IRQPS7	IRQPS6	IRQPS5	IRQPS4	IRQPS3	IRQPS2	IRQPS1	IRQPS0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31]~[bit0] IRQPSr : IRQr 前処理後ステータスビット

これらのビットは IRQr の前処理後のステータスを通知します。

bit	説明
0	割込みがセットされていない
1	割込みがセットされている

<注意事項>

- 代表して IRCn_IRQPS0 のレジスタビット構成を説明しています。IRCn_IRQPS0~IRCn_IRQPS15 でレジスタビット構成は共通です。
- IRCn_IRQPS0 は IRQ0~31 が割り当てられ、以降は IRCn_IRQPS15(IRQ480~511)まで同様に各チャンネルが割り当てられます。
- ビットフィールド名 IRQPSr の"r"が IRQ チャンネル番号 r(0~511)に対応します。



5.29. IRC ロック解除レジスタ (IRCn_UNLOCK)

このレジスタは割込みコントローラの各レジスタに対する書込みロックを制御します。

Bit	31-0
Field	UNLOCK
R/W 属性	R0,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] UNLOCK[31:0] : 割込みコントローラロック解除ビット

このビットは割込みコントローラの設定レジスタに対する書込みロックを制御します。

このレジスタによるシーケンス保護の対象となるレジスタは IRCn_NMIHC, IRCn_IRQHC, IRCn_NMIR, IRCn_IRQR0～15 以外のレジスタです。

bit[31:0]	説明
0x17ACC911	ロック解除値(書込みを許可します)
0x17B10C11	ロック値(書込みを禁止します)
上記以外	設定禁止(バスエラーを返します)

<注意事項>

- このレジスタは、ロックステータスを判断するために全 32 ビットの値が必要です。よってこのレジスタへの書込みは 32 ビットで行う必要があります。

5.30. IRC ECC エラー割込みレジスタ (IRCn_EEI)

このレジスタは ECC エラー割込みステータスを通知します。また、割込みをクリアします。ECC エラー割込みには NMI と IRQ があります。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							EEIS
R/W 属性	R0,WX							R,WX
保護属性	WPS							
初期値	0000000							0

Bit	23	22	21	20	19	18	17	16
Field	Reserved							EEIC
R/W 属性	R0,WX							R0,W
保護属性	WPS							
初期値	0000000							0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							EENS
R/W 属性	R0,WX							R,WX
保護属性	WPS							
初期値	0000000							0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							EENC
R/W 属性	R0,WX							R0,W
保護属性	WPS							
初期値	0000000							0

[bit31:25] Reserved: 予約ビット

[bit24] EEIS: ECC エラーIRQ ステータスビット

このビットは ECC エラーIRQ のステータスを通知します。割込みコントローラに搭載される SRAM を読み出した場合、シングルビットの ECC エラーが発生するとこのビットが"1"になります。

bit	説明
0	シングルビットの ECC エラーが発生していない
1	シングルビットの ECC エラーが発生している

[bit23:17] Reserved: 予約ビット

[bit16] EEIC: ECC エラーIRQ クリアビット

このビットは ECC エラーIRQ をクリアします。

bit	説明
0	無効(動作に影響しません)
1	ECC エラーIRQ(EEIS)をクリア

**[bit15:9] Reserved: 予約ビット****[bit8] EENS: ECC エラーNMI ステータスビット**

このビットは ECC エラーNMI のステータスを通知します。割込みコントローラに搭載される SRAM を IRQVA_r レジスタを介して読み出した場合、ダブルビットの ECC エラーが発生するとこのビットが"1"になります。

bit	説明
0	ダブルビットの ECC エラーが発生していない
1	ダブルビットの ECC エラーが発生している

<注意事項>

- IRQ 処理ステージによる IRQ レジスタへのアクセスにおいては、本フラグはセットされません。

[bit7:1] Reserved : 予約ビット**[bit0] EENC: ECC エラーNMI クリアビット**

このビットは ECC エラーNMI をクリアします。

bit	説明
0	無効(動作に影響しません)
1	ECC エラーNMI(EENS)をクリア

<注意事項>

- EENS のクリアは IRQ ベクタアドレスを再初期化後に限り実行してください。



5.31. IRC ECC アドレス番号レジスタ (IRCn_EAN)

このレジスタはシングルビットまたはダブルビットのECCエラーが発生した場合、エラーが発生したSRAMのアドレスを通知します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	EAN							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] EAN[7:0]: ECC エラー発生アドレスビット

このビットは ECC エラーが発生した SRAM のアドレスを通知します。

＜注意事項＞

- ダブルビットのエラーが発生した後にシングルビットのエラーが発生した場合, IRCn_EEI:EENS=1の間は, シングルビットエラーが発生しても SRAM のアドレスは更新されません。
- シングルビットエラーが連続した場合, またはダブルビットエラーが連続した場合, このレジスタは最後に発生したエラーアドレスを通知します。



5.32. IRC ECC テストレジスタ (IRCn_ET)

このレジスタは割込みコントローラに搭載されている SRAM の ECC 保護機能に対するテストモードの有効/無効を設定します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							ET
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] ET: ECC テスト有効/無効設定ビット

このビットは ECC テストモードの有効/無効を設定します。

bit	説明
0	ECC テストモード無効
1	ECC テストモード有効



5.33. IRC ECC エラービットレジスタ (IRCn_EEB0~1)

このレジスタは ECC テストモードで使用します。SRAM 読出しデータのうち、データ領域の任意のビットを疑似的に破損させることができます。

Bit	31-8
Field	EEB[29:6]
R/W 属性	R/W
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	EEB[5:0]						Reserved	
R/W 属性	R/W						R0,WX	
保護属性	WPS							
初期値	000000						00	

[bit31:2] EEB[29:0]: ECC エラー発生ビット

このビットはSRAM読出しデータをビット単位で反転します。IRCn_ET:ETが"1"の場合、SRAM読出しデータの[29:0]と EEB の排他的論理和(XOR)をとり、その結果を読出しデータとします。よって、EEB の"1"を書き込んだビットに対応するビットが反転します。結果、SRAM データの破損を疑似的に実現し、ECC 保護機能のテストを行います。

[bit1:0] Reserved: 予約ビット

<注意事項>

- 代表して IRCn_EEB0 のレジスタビット構成を説明しています。IRCn_EEB1 もレジスタビット構成は共通で、IRCn_EEB1:EEB が対応する SRAM 読出しデータのビット位置は[66:37]です。



5.34. IRC ECC エラービットレジスタ (IRCn_EEB2)

このレジスタは ECC テストモードで使用します。SRAM 読出しデータのうち, ECC パリティ領域の任意のビットを疑似的に破損させることができます。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved	EEBO						
R/W 属性	R0,WX	R/W						
保護属性	WPS							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	Reserved	EEBE						
R/W 属性	R0,WX	R/W						
保護属性	WPS							
初期値	0	0000000						

[bit31:15] Reserved: 予約ビット

[bit14:8] EEBO[7:0]: ECC エラー発生ビット

このビットはSRAM読出しデータをビット単位で反転します。IRCn_ET:ETが"1"の場合, SRAM 読出しデータの[73:67]と EEBO の排他的論理和(XOR)をとり, その結果を読出しデータとします。よって, EEBO の"1"を書き込んだビットに対応するビットが反転します。結果, SRAM データの破損を疑似的に実現し, ECC 保護機能のテストを行います。

[bit7] Reserved: 予約ビット

[bit6:0] EEBE[6:0]: ECC エラー発生ビット

このビットはSRAM読出しデータをビット単位で反転します。IRCn_ET:ETが"1"の場合, SRAM 読出しデータの[36:30]と EEBE の排他的論理和(XOR)をとり, その結果を読出しデータとします。よって, EEBE の"1"を書き込んだビットに対応するビットが反転します。結果, SRAM データの破損を疑似的に実現し, ECC 保護機能のテストを行います。



5.35. IRC NMI ベクタアドレスステータスレジスタ (IRCn_NMIVASBR)

このレジスタは CPU に最後に適用された NMI のベクタアドレスステータスを通知します。

Bit	31-0
Field	NMIVAS
R/W 属性	R,WX
保護属性	RP
初期値	00000000_00000000_00000000_00000000

[bit31:0] NMIVAS[31:0]: NMI ベクタアドレスステータスビット

このビットは CPU に最後に適用された NMI のベクタアドレスを通知します。



5.36. IRC NMI ベクタアドレスステータスマirrorレジスタ (IRC_NMIVASBR)

このレジスタは IRCn_NMIVASBR のミラーレジスタで、BootROM 専用のレジスタです。CPU はこのレジスタを読み出して、NMI の ISR に分岐することができます。

Bit	31-0
Field	NMIVAS
R/W 属性	R,WX
保護属性	RP
初期値	00000000_00000000_00000000_00000000

[bit31:0] NMIVAS[31:0] : NMI ベクタアドレスステータスビット

このビットは CPU に最後に適用された NMI のベクタアドレスを通知します。

<注意事項>

- このレジスタは BootROM 専用のレジスタで、以下のように使用されます。
 1. NMI 発生
 2. BootROM の固定例外ベクタテーブルの対応エントリに実行コードがジャンプ。
 3. 例外エントリの位置にあるロード命令が IRC_NMIVASBR の値をロード。
 4. 受け付けた NMI ベクタアドレスにジャンプし、NMI の ISR を実行。

CPU 共通のアドレスにマッピングされるレジスタで、各 CPU が同じアドレスを読み出します。

CPU_n が読み出すと IRC_n のレジスタが読み出されます。CPU 以外の AHB マスタはこのレジスタを読み出すことができません。

5.37. IRC ECC エラーベクタアドレスレジスタ (IRCn_IRQEEVA)

IRQ ベクタを保持する SRAM が IRQ 処理ブロックによって読み出され 2 ビット ECC エラーが検出されたときに、適切なエラー処理を行うためのレジスタです。

Bit	31-8
Field	IRQVA[31:8]
R/W 属性	R/W
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	IRQVA[7:2]						IRQVA[1:0]	
R/W 属性	R/W						R0,WX	
保護属性	WPS							
初期値	000000						00	

[bit31:0] IRQVA[31:0]: IRQ ベクタアドレスビット

このビットは IRQ ベクタを保持する SRAM が IRQ 処理ブロックによって読み出され 2 ビット ECC エラーが検出されたときに、エラー処理を行うハンドラのアドレスを設定します。

<注意事項>

- すべてのベクタアドレスは 32 ビット単位のため、下位 2 ビットは "00" 固定です。
- IRQ 処理時において、ベクタ SRAM に 2 ビット ECC エラーが発生した場合、発生した IRQ の割込みベクタではなく、本ベクタアドレスに遷移します。このベクタへの遷移動作は変更できません。したがって、適切なエラー処理のためにベクタアドレスを必ず本レジスタに設定する必要があります。
- 必ず、IRQ 処理ブロックを有効にする前に本レジスタの値を設定してください。



6. その他

割込みコントローラの使用上の注意について説明します。

- ソフトウェア割込みは **ISR** によってクリアする必要があります。
- 同時にアサートされた 2 つの割込みのプライオリティレベルが同じ場合、チャンネル番号の小さい方の割込みを優先します。ある割込みが発生していて、プライオリティレベルが同じ別の割込みが発生した場合、最初の割込みのサービスルーチンが完了するまで、後からの割込みはマスクされます。
- 初期化中に、すべての **ISR** ベクタアドレスを設定する必要があります。
- 割込みコントローラを適切に動作させるために、最初にペリフェラルの割込みをクリアしてから、割込みコントローラの対応するホールドビットをクリアする必要があります。
- ソフトウェア割込みの場合、最初に割込みコントローラのソフトウェア割込み設定ビットをクリアしてから、割込みコントローラの対応するホールドビットをクリアする必要があります。
- CPU による **IRCh_IRQVAr** レジスタの読出しにより、**SRAM** 内でダブルビットの ECC エラーを検出した場合、対応する **NMI** ハンドラで該当する **IRCh_IRQVAr** レジスタに正しいベクタアドレスを再度書き込み、その後、**IRCh_EEI:EENC** に書き込むことで、エラービットをクリアする必要があります。
- **IRQ** 処理部による **IRCh_IRQVAr** レジスタの読出しにより、**SRAM** 内でダブルビットの ECC エラーを検出した場合、**IRQEEVA** ハンドラで該当する **IRCh_IRQVAr** レジスタに正しいベクタアドレスを再度書き込む必要があります。

割込みコントローラのレジスタアクセスでバスエラーを返す条件を以下に示します。

- **IRCh_UNLOCK** によるシーケンス保護違反
- **IRCh_UNLOCK** へのロック解除値/ロック値以外の書き込み
- 特権保護違反
- レジスタ未定義領域のみアクセスする場合の読出し/書き込み
- 予約ビットのみアクセスする場合の読出し/書き込み
- 書き込み属性が **WX** のビット(レジスタ未定義領域を含む)のみアクセスする場合の書き込み
- **IRCh_IRQHC** レジスタへのバイト書き込みを行った場合。



CHAPTER 11: BootROM ハードウェア インタフェース

BootROM ハードウェアインタフェースについて説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. その他



1. 概要

BootROM ハードウェアインタフェースの概要について説明します。

BootROM ハードウェアインタフェースは、CPU-BootROM 間のハードウェアインタフェースです。また、BootROM ハードウェアインタフェースはユーザ定義の例外ハンドラのための設定レジスタを設定します。2つの例外ベクタレジスタセットを持ち、一方のセットが使用中の場合、もう一方のセットの設定変更ができません。

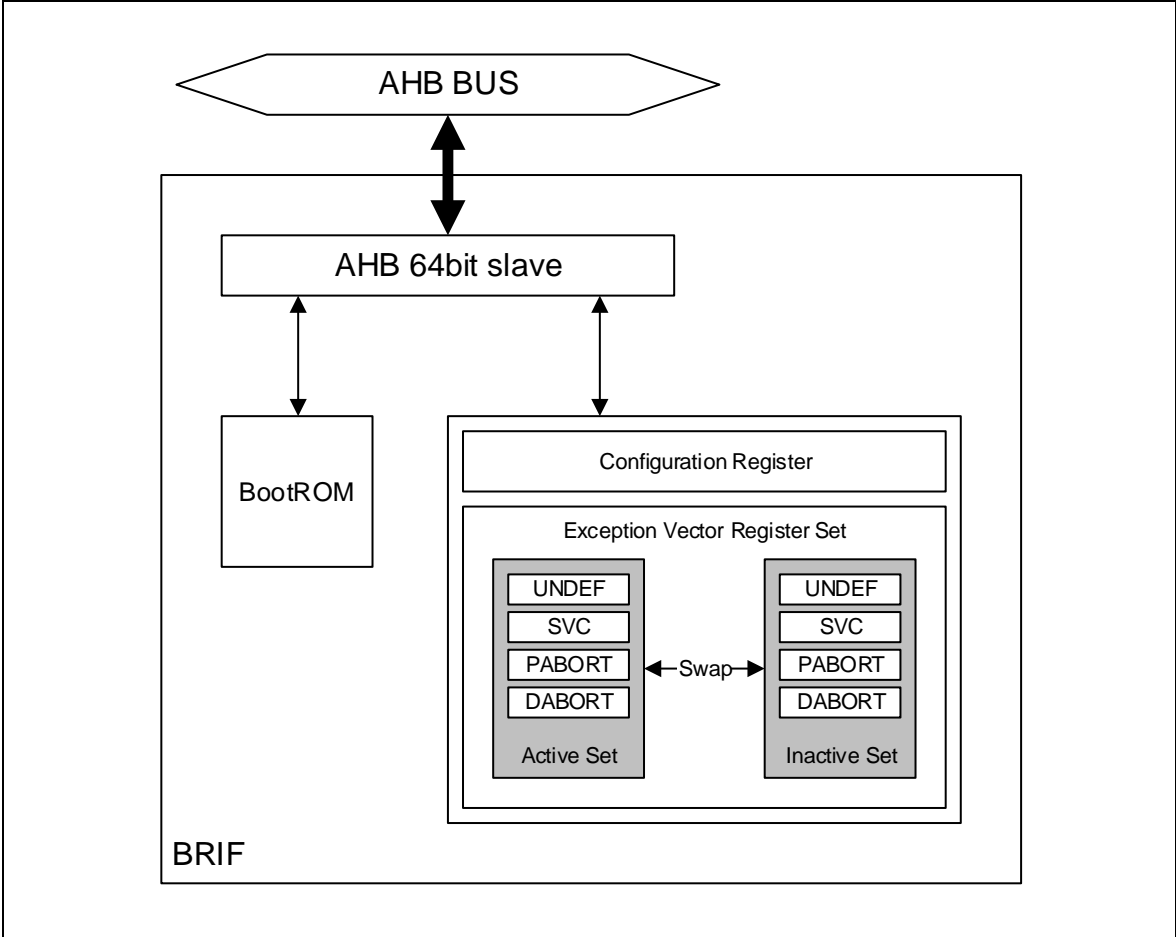
<注意事項>

- この章では BootROM ハードウェアインタフェースを略称の *BRIF*(*BootRom hardware InterFace*) で表記する場合があります。
- BootROM ハードウェアインタフェースで使用するレジスタの略称について、"*EXCFG_*****"の"*EXCFG*"は例外ベクタ設定(*EXception vector ConFiGuration*)を意味します。

2. 構成

BootROM ハードウェアインタフェースのブロックダイアグラムについて説明します。

図 2-1 BootROM ハードウェアインタフェース ブロックダイアグラム





3. 動作説明

BootROM ハードウェアインタフェースの動作について説明します。

(1) ロック解除レジスタによるシーケンス保護

BootROM ハードウェアインタフェースはロック解除レジスタ(EXCFG_UNLOCK)を用いたシーケンス保護機能を搭載します。例外ベクタ設定の更新を行うにはあらかじめ EXCFG_UNLOCK にロック解除値を書き込み、ロック解除を行う必要があります。例外ベクタ設定後はロック値を書きこむことにより、ロック状態に戻ります。

(2) ARM® Cortex™-R5 例外ベクタの処理

ARM Cortex-R5 では例外は以下の手順で処理されます。

1. 例外発生
2. BootROM の固定例外ベクタテーブルの対応エントリに実行コードがジャンプ。
3. 例外エントリの位置にあるロード命令が PC の各例外ベクタレジスタの値をロード。
4. 例外ハンドラの開始アドレスにジャンプし、例外ハンドラが実行。

BootROM のベクタテーブルへの例外エントリは固定ですが、ジャンプ先を可変にするために、ARM Cortex-R5 例外ハンドラの開始アドレス(インラインリテラル)をレジスタに設定します。これらのレジスタは BootROM よりも下位のアドレス位置にマップされ、例外発生時に BootROM の例外エントリによって参照されます。これによって例外ベクタの再定義を動的に行えます。

すべての例外ベクタレジスタを1回のアクセスで再定義できるようにするために、レジスタセットはアクティブセットと非アクティブセットの2つが用意されています。この2つのセットは BootROM より下位のアドレス位置にマップされます。アクティブセットがマップされるアドレス位置は、例外発生時に BootROM の例外エントリが参照するアクティブな位置にあります。非アクティブセットがマップされるアドレスは非アクティブな位置にあり、設定変更を行えます。設定レジスタの例外ベクタレジスタセットスワップビット(EXCFG_CNFG:SWAP)に"1"を書きこむことにより、スワップが発生し、アクティブセットと非アクティブセットの内容が入れ替ります。これによりアクティブセットの設定変更を行います。

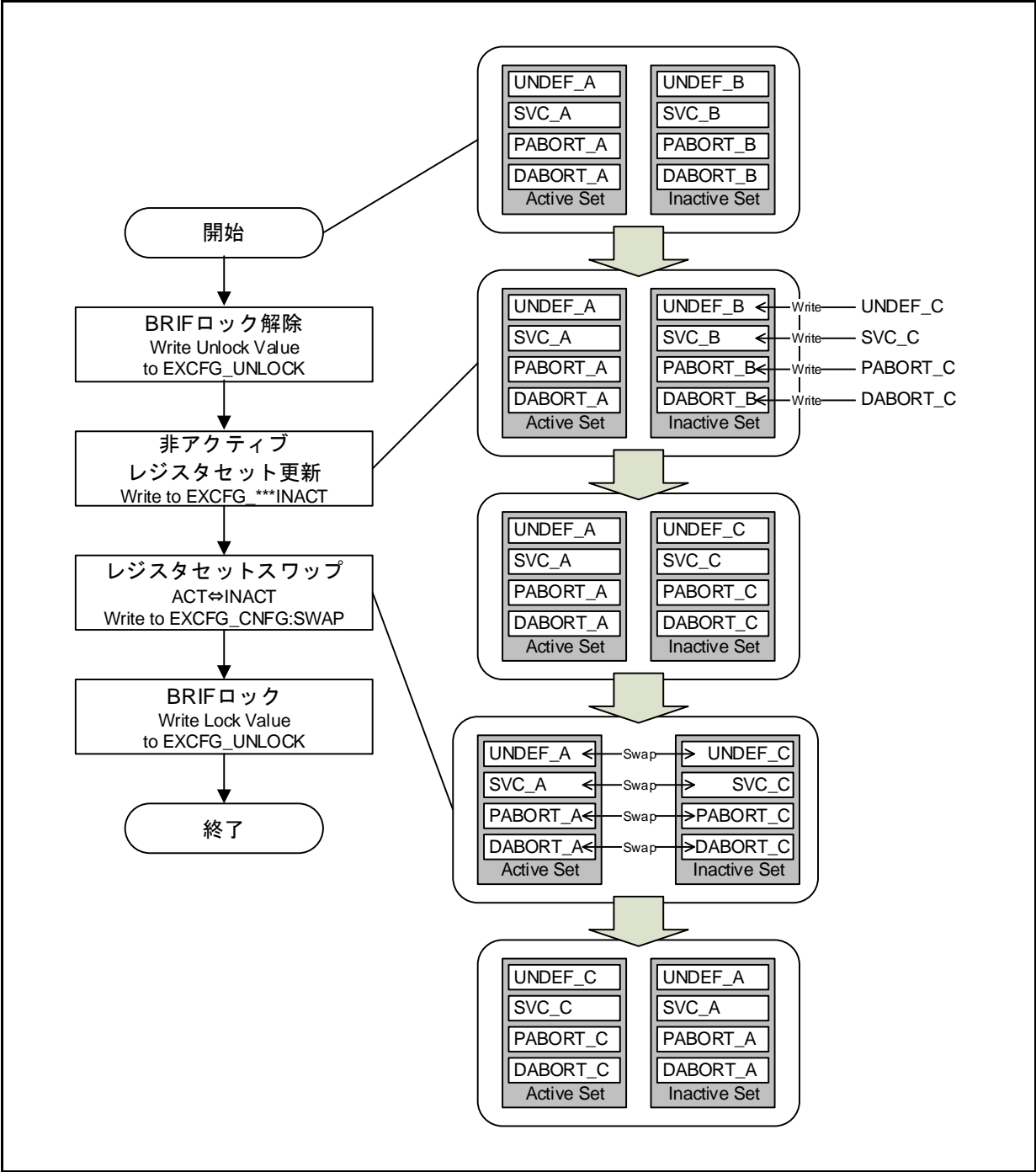
<注意事項>

- EXCFG_CNFG:SWAP に"1"を書込んでから、スワップが完了し例外ハンドラが有効になるまでに本ブロックに供給されるクロック(CLK_MEMC) で 30~40 クロックが必要です。その間は何のハンドラも実行中かは予測できません。

4. 設定手順例

BootROM ハードウェアインタフェースの設定手順例について説明します。

図 4-1 BootROM ハードウェアインタフェース 設定フロー





5. レジスタ

BootROM ハードウェアインタフェースで使用するレジスタについて説明します。

表 5-1 BootROM ハードウェアインタフェース レジスタ一覧

レジスタ略称	レジスタ名	参照先
EXCFG_UNLOCK	EXCFG ロック解除レジスタ	5.1
EXCFG_CNFG	EXCFG 設定レジスタ	5.2
EXCFG_UNDEFINACT	EXCFG 非アクティブセット 未定義命令ベクタレジスタ	5.3
EXCFG_SVCINACT	EXCFG 非アクティブセット スーパーバイザコールベクタレジスタ	5.4
EXCFG_PABORTINACT	EXCFG 非アクティブセット プリフェッチアポートベクタレジスタ	5.5
EXCFG_DABORTINACT	EXCFG 非アクティブセット データアポートベクタレジスタ	5.6
EXCFG_UNDEFACT	EXCFG アクティブセット 未定義命令ベクタレジスタ	5.7
EXCFG_SVCACT	EXCFG アクティブセット スーパーバイザコールベクタレジスタ	5.8
EXCFG_PABORTACT	EXCFG アクティブセット プリフェッチアポートベクタレジスタ	5.9
EXCFG_DABORTACT	EXCFG アクティブセット データアポートベクタレジスタ	5.10



5.1. EXCFG ロック解除レジスタ (EXCFG_UNLOCK)

このレジスタは BootROM ハードウェアインタフェースの各レジスタに対する書込みロックを制御します。

Bit	31-0
Field	UNLOCK
R/W 属性	R0,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] UNLOCK[31:0]: BootROM ハードウェアインタフェースロック解除ビット

このビットは BootROM ハードウェアインタフェースの設定レジスタに対する書込みロックを制御します。
このレジスタによるシーケンス保護の対象となるレジスタは EXCFG_UNLOCK を除くすべてのレジスタです。

bit[31:0]	説明
0xACC5B007	ロック解除値(書込みを許可します)
0xB007ECF6	ロック値(書込みを禁止します)
上記以外	設定禁止(バスエラーを返します)

<注意事項>

- このレジスタは、ロックステータスを判断するために全 32 ビットの値が必要です。よってこのレジスタへの書込みは 32 ビットで行う必要があります。8 または 16, 64 ビットの書込みはできません。



5.2. EXCFG 設定レジスタ (EXCFG_CNFG)

このレジスタは BootROM ハードウェアインタフェースのロックステータスを通知します。また、例外ベクタレジスタレジスタセットのアクティブと非アクティブの内容をスワップします。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							SWAP
R/W 属性	R0,WX							R0,W
保護属性	WPS							
初期値	00000000							0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							LST
R/W 属性	R0,WX							R,WX
保護属性	WPS							
初期値	00000000							1

[bit31:9] Reserved: 予約ビット

[bit8] SWAP: 例外ベクタレジスタセットスワップビット

このビットに"1"を書きこむことにより、例外ベクタレジスタセットのアクティブと非アクティブの内容をスワップします。

bit	説明
0	無効(動作に影響しません)
1	スワップ実行

[bit7:1] Reserved: 予約ビット

[bit0] LST: BootROM ハードウェアインタフェースロックステータスビット

このビットは、BootROM ハードウェアインタフェースのロックステータスを通知します。

bit	説明
0	ロック解除状態
1	ロック状態

<注意事項>

- EXCFG_CNFG:SWAPに"1"を書込んでから、スワップが完了し例外ハンドラが有効になるまでに本ブロックに供給されるクロック(CLK_MEMC) で 30~40 クロック必要です。その間はどのハンドラが実行中かは予測できません。



5.3. EXCFG 非アクティブセット 未定義命令ベクタレジスタ
(EXCFG_UNDEFINACT)

このレジスタは例外ベクタレジスタ非アクティブセットに含まれるレジスタの1つで、未定義命令例外に対する例外ハンドラの開始アドレスを格納します。

Bit	31-0
Field	UNDEFVEC
R/W 属性	R,W
保護属性	WPS
初期値	11111111_11111111_00000000_00100100

[bit31:0] UNDEFVEC[31:0]: 未定義命令ベクタビット

このビットは未定義命令例外に対する例外ハンドラ開始アドレスを設定します。

<注意事項>

- EXCFG_CNFG:SWAP に"1"を書きこむことにより、このレジスタの値と EXCFG_UNDEFACCT の値がスワップされます。



5.4. EXCFG 非アクティブセット スーパーバイザコールベクタレジスタ (EXCFG_SVCINACT)

このレジスタは例外ベクタレジスタ非アクティブセットに含まれるレジスタの1つで、スーパーバイザコール例外に対する例外ハンドラの開始アドレスを格納します。

Bit	31-0
Field	SVCVEC
R/W 属性	R,W
保護属性	WPS
初期値	11111111_11111111_00000000_00101000

[bit31:0] SVCVEC[31:0]: スーパーバイザコールベクタビット

このビットはスーパーバイザコール例外に対する例外ハンドラ開始アドレスを設定します。

<注意事項>

- EXCFG_CNFG:SWAP に"1"を書きこむことにより、このレジスタの値と EXCFG_SVCACT の値がスワップされます。



5.5. EXCFG 非アクティブセット プリフェッチアポートベクタレジスタ
(EXCFG_PABORTINACT)

このレジスタは例外ベクタレジスタ非アクティブセットに含まれるレジスタの1つで、プリフェッチアポート例外に対する例外ハンドラの開始アドレスを格納します。

Bit	31-0
Field	PABORTVEC
R/W 属性	R,W
保護属性	WPS
初期値	11111111_11111111_00000000_00101100

[bit31:0] PABORTVEC[31:0]: プリフェッチアポートベクタビット

このビットはプリフェッチアポート例外に対する例外ハンドラ開始アドレスを設定します。

<注意事項>

- EXCFG_CNFG:SWAP に"1"を書きこむことにより、このレジスタの値と EXCFG_PABORTACT の値がスワップされます。



5.6. EXCFG 非アクティブセット データアポートベクタレジスタ (EXCFG_DABORTINACT)

このレジスタは例外ベクタレジスタ非アクティブセットに含まれるレジスタの1つで、データアポート例外に対する例外ハンドラの開始アドレスを格納します。

Bit	31-0
Field	DABORTVEC
R/W 属性	R,W
保護属性	WPS
初期値	11111111_11111111_00000000_00110000

[bit31:0] DABORTVEC[31:0]: データアポートベクタビット

このビットはデータアポート例外に対する例外ハンドラの開始アドレスを設定します。

<注意事項>

- EXCFG_CNFG:SWAP に"1"を書きこむことにより、このレジスタの値と EXCFG_DABORTACT の値がスワップされます。



5.7. EXCFG アクティブセット 未定義命令ベクタレジスタ (EXCFG_UNDEFACT)

このレジスタは例外ベクタレジスタアクティブセットに含まれるレジスタの1つで、未定義命令例外に対する例外ハンドラの開始アドレスを格納します。

Bit	31-0
Field	UNDEFVEC
R/W 属性	R,W
保護属性	WPS
初期値	11111111_11111111_00000000_00100100

[bit31:0] UNDEFVEC[31:0]: 未定義命令ベクタビット

このビットは未定義命令例外に対する例外ハンドラ開始アドレスが格納されます。

<注意事項>

- このレジスタへの書込みは禁止です。書込んだ場合の動作は保証しません。このレジスタの設定は非アクティブセットへの設定後にスワップする手順で行ってください。設定手順の詳細については「3. 動作説明」, 「4. 設定手順例」を参照してください。
- EXCFG_CNFG:SWAP に"1"を書きこむことにより、このレジスタの値と EXCFG_UNDEFINACT の値がスワップされます。



5.8. EXCFG アクティブセット スーパーバイザコールベクタレジスタ (EXCFG_SVCACT)

このレジスタは例外ベクタレジスタアクティブセットに含まれるレジスタの1つで、スーパーバイザコール例外に対する例外ハンドラの開始アドレスを格納します。

Bit	31-0
Field	SVCVEC
R/W 属性	R,W
保護属性	WPS
初期値	11111111_11111111_00000000_00101000

[bit31:0] SVCVEC[31:0]: スーパーバイザコールベクタビット

このビットはスーパーバイザコール例外に対する例外ハンドラ開始アドレスが格納されます。

<注意事項>

- このレジスタへの書込みは禁止です。書込んだ場合の動作は保証しません。このレジスタの設定は非アクティブセットへの設定後にスワップする手順で行ってください。設定手順の詳細については「3. 動作説明」, 「4. 設定手順例」を参照してください。
- EXCFG_CNFG:SWAP に"1"を書きこむことにより、このレジスタの値と EXCFG_SVCINACT の値がスワップされます。



5.9. EXCFG アクティブセット プリフェッチアポートベクタレジスタ
(EXCFG_PABORTACT)

このレジスタは例外ベクタレジスタアクティブセットに含まれるレジスタの1つで、プリフェッチアポート例外に対する例外ハンドラの開始アドレスを格納します。

Bit	31-0
Field	PABORTVEC
R/W 属性	R,W
保護属性	WPS
初期値	11111111_11111111_00000000_00101100

[bit31:0] PABORTVEC[31:0]: プリフェッチアポートベクタビット

このビットはプリフェッチアポート例外に対する例外ハンドラ開始アドレスが格納されます。

<注意事項>

- このレジスタへの書込みは禁止です。書込んだ場合の動作は保証しません。このレジスタの設定は非アクティブセットへの設定後にスワップする手順で行ってください。設定手順の詳細については「3. 動作説明」, 「4. 設定手順例」を参照してください。
- EXCFG_CNFG:SWAP に"1"を書きこむことにより、このレジスタの値と EXCFG_PABORTINACT の値がスワップされます。



5.10. EXCFG アクティブセット データアポートベクタレジスタ (EXCFG_DABORTACT)

このレジスタは例外ベクタレジスタアクティブセットに含まれるレジスタの1つで、データアポート例外に対する例外ハンドラの開始アドレスを格納します。

Bit	31-0
Field	DABORTVEC
R/W 属性	R,W
保護属性	WPS
初期値	11111111_11111111_00000000_00110000

[bit31:0] DABORTVEC[31:0]: データアポートベクタビット

このビットはデータアポート例外に対する例外ハンドラ開始アドレスが格納されます。

<注意事項>

- このレジスタへの書込みは禁止です。書込んだ場合の動作は保証しません。このレジスタの設定は非アクティブセットへの設定後にスワップする手順で行ってください。設定手順の詳細については「3. 動作説明」, 「4. 設定手順例」を参照してください。
- EXCFG_CNFG:SWAP に"1"を書きこむことにより、このレジスタの値と EXCFG_DABORTINACT の値がスワップされます。

6. その他

BootROM ハードウェアインタフェースの使用上の注意について説明します。

BootROM ハードウェアインタフェースのレジスタアクセスおよび ROM アクセスでバスエラーを返す条件を以下に示します。

- EXCFG_UNLOCK によるシーケンス保護違反
- EXCFG_UNLOCK へのロック解除値、ロック値以外の書込み
- 特権保護違反
- レジスタ未定義領域のみアクセスする場合の読出し/書込み
- 書込み属性が WX のビット(レジスタ未定義領域を含む)のみアクセスする場合の書込み
- ROM への書込み





CHAPTER 12: BootROM ソフトウェア インタフェース

BootROM ソフトウェアインタフェースについて説明します。

1. 概要
2. BootROM マーカ
3. BootROM 動作
4. 注意事項



1. 概要

BootROM ソフトウェアはリセットからユーザアプリケーションの前に実行される組込みファームウェアです。

BootROM ソフトウェアは、主にモード判定、セキュリティ設定、ハードウェアウォッチドッグタイマの設定を行います。

本セクションは、BootROM ソフトウェアの機能、フラッシュメモリ内のマーカによるコンフィギュレーションについて説明します。

BootROM 機能

以下に BootROM ソフトウェアの機能について示します。

1. BootROM の正常性を確認するために、CRC チェックを行います。
2. VIC ポート、浮動小数点演算の許可設定を行います。
3. MODE レジスタ、MD 端子により、動作モードの判定を行い、モードに応じた処理ハンドラに分岐します。
4. Security Description Record (SDR)の値にしたがってセキュリティ設定を行います。
5. Boot Description Record (BDR) BDR_DWEM の値によってデバッグ接続待機を行います。
6. Watchdog Description Record (WDR)の値にしたがってハードウェアウォッチドッグタイマの設定を行います。
7. 2CPU モードで動作している場合は、CPU0 が CPU1 の HALT 状態を解除します。
8. Boot Description Record (BDR) BDR_ABVM, BDR_ABVEM の値にしたがってユーザアプリケーション開始アドレスの判定を行います。
9. コアの例外ベクタテーブルは 0xFFFF0000 に固定されているため、ユーザ設定できる割込みコントローラと BootROM ハードウェアインタフェースを参照し、例外ハンドラへ分岐します。
10. ユーザ例外ハンドラが設定される前に例外が発生した場合は、ソフトウェアトリガハードウェアリセットを発行します。

2. BootROM マーカ

BootROM マーカについて説明します。

2.1 BootROM マーカ概要

2.2 マーカ一覧

2.3 フラッシュセキュリティマーカ

2.4 デバッグ接続許可マーカ (SDR_DSM)

2.5 デバッグセキュリティキーマーカ 0

2.6 デバッグセキュリティキーマーカ 1

2.7 デバッグセキュリティキーマーカ 2

2.8 デバッグセキュリティキーマーカ 3

2.9 デバッグ接続待機許可マーカ

2.10 代替ブートベクタマーカ

2.11 代替ブートベクタ許可マーカ

2.12 ハードウェアウォッチドッグ割込みコンフィギュレーションマーカ

2.13 ハードウェアウォッチドッグトリガ 0 コンフィギュレーションマーカ

2.14 ハードウェアウォッチドッグトリガ 1 コンフィギュレーションマーカ

2.15 ハードウェアウォッチドッグ下限 RUN 設定マーカ

2.16 ハードウェアウォッチドッグ上限 RUN 設定マーカ

2.17 ハードウェアウォッチドッグ下限 PSS 設定マーカ

2.18 ハードウェアウォッチドッグ上限 PSS 設定マーカ

2.19 ハードウェアウォッチドッグリセット遅延カウンタマーカ

2.20 ハードウェアウォッチドッグコンフィギュレーションマーカ

2.21 ハードウェアウォッチドッグコンフィギュレーション許可マーカ



2.1. BootROM マーカ概要

BootROM マーカの概要について説明します。

概要

BootROM マーカは TCFLASH 上に存在する設定データです。BootROM マーカは、BootROM ソフトウェアにより読み出され、BootROM ソフトウェアの処理によりハードウェアの機能を制御します。

BootROM マーカの種類

BootROM マーカには、以下に示す 3 種類があります。

- Security Description Record (SDR)
セキュリティ設定を行うマーカです。
- Boot Description Record (BDR)
起動設定を行うマーカです。
- Watchdog Description Record (WDR)
ハードウェアウォッチドッグタイマの設定を行うマーカです。

<注意事項>

- マルチ CPU 構成においては、TCFLASH はそれぞれの CPU にあるため、複数の TCFLASH があります。マルチ CPU 構成の場合は、BootROM マーカはすべての TCFLASH に設定してください。

2.2. マーカ一覧

BootROM マーカの一覧を説明します。

BootROM マーカは以下の 3 つのマーカ群によって構成されます。

- Security Description Record (SDR) マーカ群
- Boot Description Record (BDR) マーカ群
- Watchdog Description Record (WDR) マーカ群

表 2-1 SDR マーカ一覧

マーカ略称	マーカ名	参照先
SDR_FSECM	フラッシュセキュリティマーカ	2.3
SDR_DSM	デバッグ接続許可マーカ	2.4
SDR_DSKM0	デバッグセキュリティキーマーカ 0	2.5
SDR_DSKM1	デバッグセキュリティキーマーカ 1	2.6
SDR_DSKM2	デバッグセキュリティキーマーカ 2	2.7
SDR_DSKM3	デバッグセキュリティキーマーカ 3	2.8

表 2-2 BDR マーカ一覧

マーカ略称	マーカ名	参照先
BDR_DWEM	デバッグ接続待機許可マーカ	2.9
BDR_ABVM	代替ブートベクタマーカ	2.10
BDR_ABVEM	代替ブートベクタ許可マーカ	2.11

表 2-3 WDR マーカ一覧

マーカ略称	マーカ名	参照先
WDR_INTM	ハードウェアウォッチドッグ割込みコンフィギュレーションマーカ	2.12
WDR_TRG0CFGM	ハードウェアウォッチドッグトリガ 0 コンフィギュレーションマーカ	2.13
WDR_TRG1CFGM	ハードウェアウォッチドッグトリガ 1 コンフィギュレーションマーカ	2.14
WDR_RUNLLM	ハードウェアウォッチドッグ下限 RUN 設定マーカ	2.15
WDR_RUNULM	ハードウェアウォッチドッグ上限 RUN 設定マーカ	2.16
WDR_PSSLLM	ハードウェアウォッチドッグ下限 PSS 設定マーカ	2.17
WDR_PSSULM	ハードウェアウォッチドッグ上限 PSS 設定マーカ	2.18
WDR_RSTDLYM	ハードウェアウォッチドッグリセット遅延カウンタマーカ	2.19
WDR_CFGM	ハードウェアウォッチドッグコンフィギュレーションマーカ	2.20
WDR_CEM	ハードウェアウォッチドッグコンフィギュレーション許可マーカ	2.21

BootROM マーカのメモリレイアウト

BootROM マーカは TCFLASH の Flash メモリ A のセクタ 0(SA0)の先頭領域に存在します。

表 2-4 BootROM マーカの領域

BootROM マーカ	TCM 領域オフセット	AXI 領域オフセット
SDR	+0x007F_0000	+0x00FF_0000
BDR	+0x007F_0040	+0x00FF_0040
WDR	+0x007F_0060	+0x00FF_0060



2.3. フラッシュセキュリティマーカ (SDR_FSECM)

フラッシュセキュリティを設定するマーカです。

Bit	31-16
Field	Reserved

Bit	15-0
Field	FSECM

[bit31:16] Reserved: 予約ビット

[bit15:0] FSECM[15:0]: フラッシュセキュリティマーカ

これらのビットは、フラッシュセキュリティの有効を設定します。

bit[15:0]	説明
0x0001	フラッシュセキュリティ有効
上記以外	フラッシュセキュリティ無効



2.4. デバッガ接続許可マーカ (SDR_DSM)

デバッガの接続許可を設定するマーカです。

Bit	31-16
Field	Reserved

Bit	15-0
Field	DSEM

[bit31:16] Reserved: 予約ビット

[bit15:0] DSEM[15:0]: デバッガセキュリティ許可マーカ

これらのビットはデバッガ接続許可を設定します。CPU 動作モードによる設定を以下に示します。

－ 2CPU モードの場合

bit[15:0]	説明
0x0XXX 0xX0XX 0xXX0X 0xXXX0	デバッガ接続禁止
上記以外	デバッガ接続許可

X は don't care(値を無視)を意味します。

－ 1CPU0 モード/1CPU1 モードの場合

bit[15:0]	説明
0x59F7	デバッガ接続許可
上記以外	デバッガ接続禁止



2.5. デバッグセキュリティキーマーカ 0 (SDR_DSKM0)

デバッグ接続時の認証用キー(鍵)を設定するマーカです。

Bit	31-0
Field	DSKM [127:96]

[bit31:0] DSKM[127:96]: デバッグセキュリティキーマーカ(bit127:96)

これらのビットは、デバッグ接続許可マーカ(SDR_DSM レジスタの DSEM[15:0] ビット)でデバッグ接続を許可した場合、デバッグ接続時における認証用 128 ビットキー(鍵)です。これらのビットはキーの bit127:96 です。

CPU 動作モードによる有効な認証キーを以下に示します。

表 2-5 CPU 動作モードによる有効な認証キー

CPU 動作モード	有効な認証キー
2CPU モード	<ul style="list-style-type: none"> - DSKM が TCFLASH0 と TCFLASH1 で値が同じ場合 DSKM に設定された値が認証キー - DSKM が TCFLASH0 と TCFLASH1 で値が異なる場合 TCFLASH0 の DSKM と TCFLASH1 の DSKM の排他的論理和(Exclusive OR)の値が認証キー
1CPU0 モード	- TCFLASH0 の DSKM が認証キー
1CPU1 モード	- TCFLASH1 の DSKM が認証キー



2.6. デバッガセキュリティキーマーカ 1 (SDR_DSKM1)

デバッガ接続時の認証用キー(鍵)を設定するマーカです。

Bit	31-0
Field	DSKM [95:64]

[bit31:0] DSKM[bit95:64]: デバッガセキュリティキーマーカ(bit95:64)

これらのビットは、デバッガ接続許可マーカ(SDR_DSM レジスタの DSEM[15:0] ビット)でデバッガ接続を許可した場合、デバッガ接続時における認証用 128 ビットキー(鍵)です。これらのビットはキーの bit95:64 です。

CPU 動作モードによる有効な認証キーは、表 2-5 を参照してください。



2.7. デバッガセキュリティキーマーカ 2 (SDR_DSKM2)

デバッガ接続時の認証用キー(鍵)を設定するマーカです。

Bit	31-0
Field	DSKM [63:32]

[bit31:0] DSKM[63:32]: デバッガセキュリティキーマーカ(bit63:32)

これらのビットは、デバッガ接続許可マーカ(SDR_DSM レジスタの DSEM[15:0] ビット)でデバッガ接続を許可した場合、デバッガ接続時における認証用 128 ビットキー(鍵)です。これらのビットはキーの bit63:32 です。

CPU 動作モードによる有効な認証キーは、表 2-5 を参照してください。



2.8. デバッガセキュリティキーマーカ 3 (SDR_DSKM3)

デバッガ接続時の認証用キー(鍵)を設定するマーカです。

Bit	31-0
Field	DSKM

[bit31:0] DSKM[31:0]: デバッガセキュリティキーマーカ(bit31:0)

これらのビットは、デバッガ接続許可マーカ(SDR_DSM レジスタの DSEM[15:0] ビット)でデバッガ接続を許可した場合、デバッガ接続時における認証用 128 ビットキー(鍵)です。これらのビットはキーの bit31:0 です。

CPU 動作モードによる有効な認証キーは、表 2-5 を参照してください。



2.9. デバッグ接続待機許可マーカ (BDR_DWEM)

ハードリセット解除後におけるデバッグ接続用の待機を許可します。

Bit	31-0
Field	DWEM

[bit31:0] DWEM[31:0]: デバッグ接続待機許可マーカ

これらのビットは、ハードリセット解除後におけるデバッグ接続するための待機の有無を設定します。

bit[31:0]	説明
0x292D3A7B	ハードリセット解除後におけるデバッグ接続用待機を許可しない - デバッグ接続用待機をせず、即時ユーザプログラムへ遷移
上記以外	ハードリセット解除後におけるデバッグ接続用待機を許可

デバッグ接続待機を有効にした場合、以下のどちらかの条件を満たすまで BootROM ソフトウェアはユーザプログラムに遷移しません。

- デバッグの接続確認および、デバッグ設定完了確認
- 最大待機時間の超過



2.10. 代替ブートベクタマーカ (BDR_ABVM)

ユーザプログラムの開始アドレスを設定できるマーカです。

Bit	31-0
Field	ABVM

[bit31:0] ABVM[31:0]: 代替ブートベクタマーカ

これらのビットは、ユーザプログラムの開始アドレスを設定します。

代替ブートベクタ許可マーカ(BDR_ABVEM)でユーザプログラムの開始アドレスを設定することを許可した場合、これらのビットに設定した開始アドレスが有効です。代替ブートベクタ許可マーカ(BDR_ABVEM)でユーザプログラムの開始アドレスを設定することを許可しない場合、ユーザプログラムの開始アドレスは 0x00800000(固定アドレス)です。



2.11. 代替ブートベクタ許可マーカ (BDR_ABVEM)

ユーザプログラムの開始アドレスを設定することを許可するマーカです。

Bit	31-0
Field	ABVEM

[bit31:0] ABVEM[31:0]: 代替ブートベクタ許可マーカ

これらのビットは、ユーザプログラムの開始アドレスを設定することを許可します。

bit[31:0]	説明
0x292D3A7B	ユーザプログラムの開始アドレスを設定することを許可する - ユーザプログラムの開始アドレスは代替ブートベクタマーカ(BDR_ABVEM)の設定値
上記以外	ユーザプログラムの開始アドレスを設定することを許可しない - ユーザプログラムの開始アドレスは 0x00800000(固定アドレス)

2.12. ハードウェアウォッチドッグ割込みコンフィギュレーションマーカ (WDR_INTM)

ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)を設定するマーカです。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							

Bit	23	22	21	20	19	18	17	16
Field	Reserved						RSTENM	IRQENM

Bit	15-0							
Field	Reserved							

[bit31:18] Reserved: 予約ビット

[bit17] RSTENM: リセット許可マーカ

本ビットは、ウォッチドッグエラー時に出力を制御するマーカです。

bit	説明
0	ウォッチドッグエラー時に NMI を生成
1	ウォッチドッグエラー時にリセットを生成

[bit16] IRQENM: 事前警告割込み許可マーカ

本ビットは、事前警告割込みを許可するマーカです。

bit	説明
0	事前警告割込みを許可しない
1	事前警告割込みを許可する

[bit15:0] Reserved: 予約ビット



2.13. ハードウェアウォッチドッグトリガ 0 コンフィギュレーションマーカ (WDR_TRG0CFGM)

ハードウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ (HWDG_TRG0CFG) を設定するマーカです。

Bit	31-8
Field	Reserved

Bit	7	6	5	4	3	2	1	0
Field	WDGTRG0CFGM							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG0CFGM[7:0]: ウォッチドッグトリガ 0 コンフィギュレーションマーカ

これらのビットは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために、ハードウェアウォッチドッグトリガ 0 レジスタ (HWDG_TRG0) に対して書き込みする値を設定するマーカです。



2.14. **ハードウェアウォッチドッグトリガ1 コンフィギュレーションマーカ
(WDR_TRG1CFGM)**

ハードウェアウォッチドッグトリガ1 コンフィギュレーションレジスタ(HWDG_TRG1CFG)を設定するマーカです。

Bit	31-8							
Field	Reserved							

bit	7	6	5	4	3	2	1	0
Field	WDGTRG1CFGM							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG1CFGM[7:0]: ウォッチドッグトリガ1 コンフィギュレーションマーカ

これらのビットは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために、ハードウェアウォッチドッグトリガ1 レジスタ(HWDG_TRG1)に対して書込みする値を設定するマーカです。



2.15. ハードウェアウォッチドッグ下限 RUN 設定マーカ (WDR_RUNLLM)

ハードウェアウォッチドッグ下限 RUN 設定レジスタ(HWDG_RUNLLS)を設定するマーカです。

Bit	31-0
Field	WDGRUNLLM

[bit31:0] WDGRUNLLM[31:0]: RUN 向けウィンドウ下限設定マーカ

これらのビットは, RUN のウィンドウ下限値を設定するマーカです。



2.16. ハードウェアウォッチドッグ上限 RUN 設定マーカ (WDR_RUNULM)

ハードウェアウォッチドッグ上限 RUN 設定レジスタ(HWDG_RUNULS)を設定するマーカです。

Bit	31-0
Field	WDGRUNULM

[bit31:0] WDGRUNULM[31:0]: RUN 向けウィンドウ上限設定マーカ

これらのビットは, RUN のウィンドウ上限値を設定するマーカです。



2.17. ハードウェアウォッチドッグ下限 PSS 設定マーカ (WDR_PSSLLM)

ハードウェアウォッチドッグ下限 PSS 設定レジスタ(HWDG_PSSLLS)を設定するマーカです。

Bit	31-0
Field	WDGPSSLLM

[bit31:0] WDGPSSLLM: PSS 向けウィンドウ下限設定マーカ

これらのビットは, PSS のウィンドウ下限値を設定するマーカです。



2.18. ハードウェアウォッチドッグ上限 PSS 設定マーカ (WDR_PSSULM)

ハードウェアウォッチドッグ上限 PSS 設定レジスタ(HWDG_PSSULS)を設定するマーカです。

Bit	31-0
Field	WDGPSSULM

[bit31:0] WDGPSSULM[31:0]: PSS 向けウィンドウ上限設定マーカ
これらのビットは, PSS のウィンドウ上限値を設定するマーカです。



2.19. ハードウェアウォッチドッグリセット遅延カウンタマーカ (WDR_RSTDLYM)

ハードウェアウォッチドッグリセット遅延カウンタレジスタ(HWDG_RSTDLY)を設定するマーカです。

Bit	31-16
Field	Reserved

Bit	15-0
Field	WDGRSTDLYM

[bit31:16] Reserved: 予約ビット

[bit15:0] WDGRSTDLYM[15:0]: リセット/NMI 遅延カウンタマーカ

これらのビットは、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を生成する前に、挿入される遅延時間のサイクル数を設定します。

2.20. ハードウェアウォッチドッグコンフィギュレーションマーカ (WDR_CFGM)

ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)を設定するマーカです。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							

Bit	23	22	21	20	19	18	17	16
Field	Reserved				OBSSELM			

Bit	15	14	13	12	11	10	9	8
Field	Reserved						CLKSELM	

Bit	7	6	5	4	3	2	1	0
Field	Reserved							

[bit31:21] Reserved: 予約ビット

[bit20:16] OBSSELM[4:0]: ウォッチドッグカウンタ監視ビット出力選択マーカ

これらのビットは、ウォッチドッグカウンタ監視ビット出力として、ウォッチドッグカウンタ(32 ビット)のいずれか 1 ビットを選択するための監視対象を設定します。

bit[20:16]	説明
00000	ウォッチドッグカウンタ監視ビット出力にビット 0 を選択
00001	ウォッチドッグカウンタ監視ビット出力にビット 1 を選択
00010	ウォッチドッグカウンタ監視ビット出力にビット 2 を選択
...	...
11111	ウォッチドッグカウンタ監視ビット出力にビット 31 を選択

[bit15:10] Reserved: 予約ビット

[bit9:8] CLKSELM[1:0]: クロック選択マーカ

これらのビットは、ウォッチドッグカウンタのソースクロックの選択を設定します。

bit[9:8]	説明
X0	高速 CR クロックを選択
X1	低速 CR クロックを選択

X は、don't care(値を無視)を意味します。

[bit7:0] Reserved: 予約ビット



2.21. ハードウェアウォッチドッグコンフィギュレーション許可マーカ (WDR_CEM)

ハードウェアウォッチドッグの各種マーカ設定(WDR)を有効にするマーカです。

Bit	31-0
Field	CEM

[bit31:0] CEM[31:0]: コンフィギュレーション許可マーカ

これらのビットは、ハードウェアウォッチドッグの各種マーカ(WDR)を有効にします。

bit[31:0]	説明
0x292D3A7B	WDR において定義した設定によってハードウェアウォッチドッグを起動する
上記以外	WDR において定義した設定によってハードウェアウォッチドッグを起動しない - ハードウェアウォッチドッグはデフォルト設定によって動作

3. BootROM 動作

BootROM の動作について説明します。

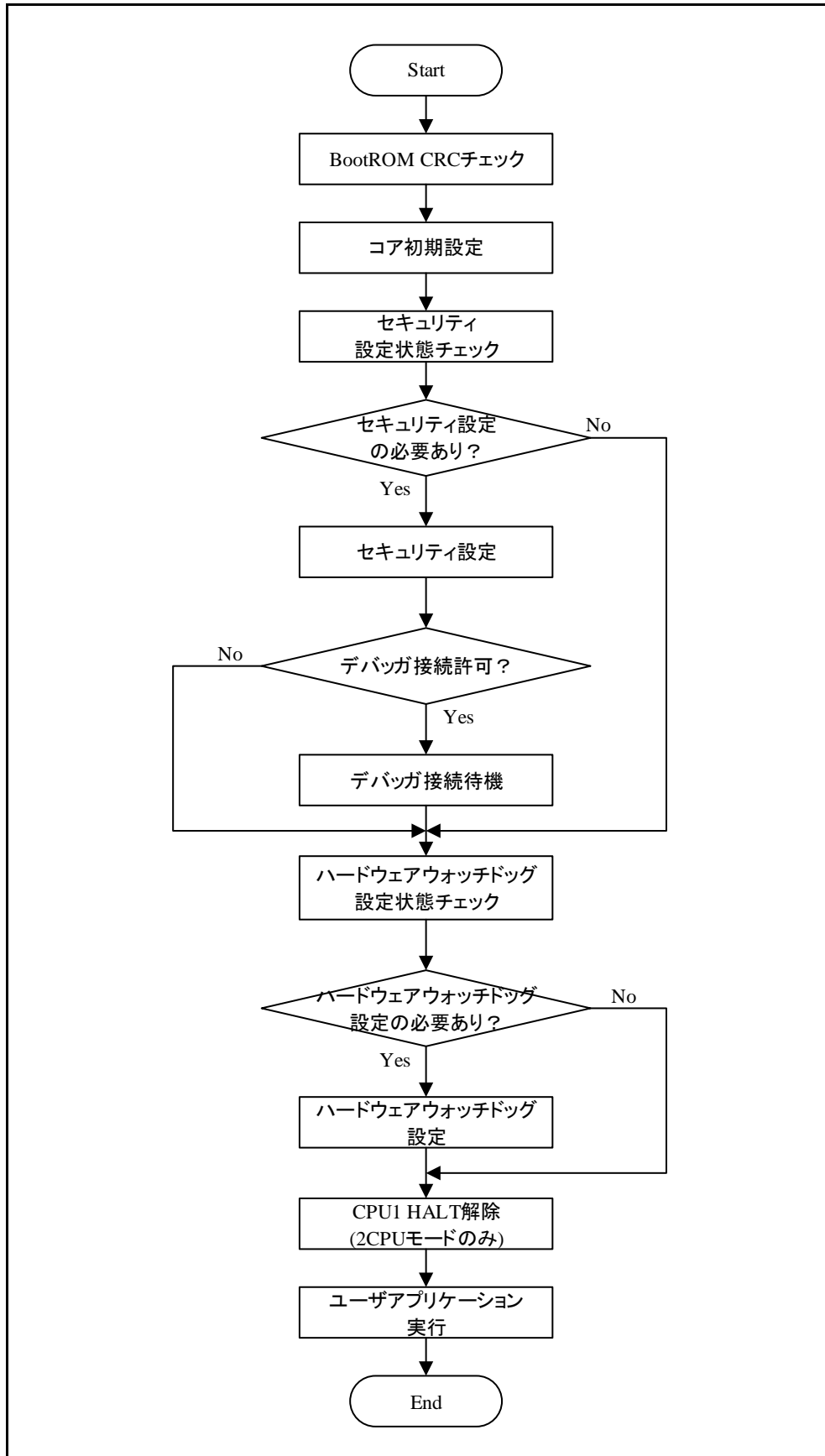
デバイス立ち上げ

すべてのリセット後, BootROM ソフトウェアは最初に実行されます。

BootROM ソフトウェアによって外部端子でユーザモードが選択された場合は, ユーザアプリケーションを起動します。

以下にユーザモードの BootROM ソフトウェア処理フローを示します。

図 3-1 ユーザモード処理フロー



a) BootROM CRC チェック

BootROM ソフトウェアの最初の処理において BootROM 領域の CRC チェックを行います。

BootROM のデータを CRC ch.0 の CRCIN レジスタに書き込み, CRCR レジスタの値とあらかじめ BootROM 内に格納している CRC データと比較し, BootROM の正常性を確認します。

CRC チェック結果が不一致となった場合は, ソフトウェアトリガハードウェアリセットを発行します。

b) コア初期設定

コア初期設定は, 汎用レジスタの初期化, BootROM ソフトウェアにおいて使用するモードのスタックポインタ設定, VIC ポート許可設定, FPU 許可設定を行います。

BootROM ソフトウェアにおいて使用するモードは, 以下のとおりです。

- システムモード
- ABORT
- 未定義命令例外

c) セキュリティ設定

セキュリティ設定はフラッシュメモリへのアクセス制限とデバッガ使用許可, セキュリティキーの設定を行います。

セキュリティ設定は, Security Description Record (SDR)の値から設定します。

デバッガ使用許可は 2CPU モードと 1CPU モードで条件が異なります。

以下に各モードのデバッガ使用許可条件を記載します。

- 2CPU モードのみで動作させる場合

デバッガ接続許可マーカ (SDR_DSM)の値が 0x0XXX, 0xX0XX, 0xFFX0X, 0xFFFF0 以外

- 2CPU モードまたは 1CPU モードで動作させる場合

- デバッガ接続許可マーカ (SDR_DSM)の値が 0x59F7
- デバッガセキュリティキーマーカ x (SDR_DSKMx)の値が 0x00000000, 0xFFFFFFFF 以外
- 代替ブートベクタ許可マーカ (BDR_ABVEM)の値が 0x292D3A7B の場合

代替ブートベクタマーカ (BDR_ABVM)の値が TCFLASH または, WorkFLASH 領域

代替ブートベクタマーカ (BDR_ABVM)で示されたアドレスのリードデータが 0x00000000, 0xFFFFFFFF 以外

- デバッガ接続許可マーカ (SDR_DSM), デバッガセキュリティキーマーカ x (SDR_DSKMx), 代替ブートベクタ許可マーカ (BDR_ABVEM), 代替ブートベクタマーカ (BDR_ABVM)の読出しで 1bitECC エラー訂正が発生していない場合

リセット要因がソフトウェアリセットのときはセキュリティ設定が初期化されないため, セキュリティ設定を行いません。

セキュリティ設定によるアクセス制限については『セキュリティ』の章を参照してください。



d) デバッグ接続待機

セキュリティ設定がデバッグ接続許可、デバッグ接続待機許可マーカ(BDR_DWEM)が接続待機許可の場合は、デバッグ接続待機処理を行います。

本処理によって、アプリケーションの最初の命令からデバッグを有効にできます。

以下に処理内容の詳細を示します。

1. セキュリティ設定がデバッグ接続許可かどうかチェックします。
2. デバッグ接続が許可されていない場合は、デバッグ接続待機を行わず、次の BootROM ソフトウェア処理を実行します。
3. デバッグ接続待機許可マーカ(BDR_DWEM)をチェックします。
4. デバッグ接続待機が許可されていない場合は、デバッグ接続待機を行わず、次の BootROM ソフトウェア処理を実行します。
5. デバッグが接続されているかをチェックします。
6. デバッグが 19,200 高速CRクロックサイクル間接続されない場合は、接続待機を中止し、次の BootROM ソフトウェア処理を実行します。
7. デバッグが接続されている場合は、デバッグが設定を完了しているかチェックします。
8. デバッグから設定完了の通知がない場合は、8,388,608(2の23乗) 高速CRクロックサイクル後に待ち状態を解除します。

e) ハードウェアウォッチドッグ設定

Watchdog Description Record (WDR)の値にしたがって、ハードウェアウォッチドッグの設定を行います。

リセット要因がソフトウェアリセットの場合は、ハードウェアウォッチドッグの設定は行いません。

リセット要因がソフトウェアリセット以外で、ハードウェアウォッチドッグコンフィギュレーション許可マーカ(WDR_CEM)の値が 0x292D3A7B 以外の場合は、初期値のままハードウェアウォッチドッグのロックビットを設定し、ハードウェアウォッチドッグを動作状態に遷移させます。

リセット要因がソフトウェアリセット以外で、ハードウェアウォッチドッグコンフィギュレーション許可マーカ(WDR_CEM)の値が 0x292D3A7B の場合は、ハードウェアウォッチドッグに Watchdog Description Record (WDR)の値とロックビットを設定し、ハードウェアウォッチドッグを動作状態に遷移させます。

f) ユーザアプリケーション実行

BootROM ソフトウェアの最後の処理においてユーザアプリケーションへのジャンプを行います。

代替ブートベクタ許可マーカ(BDR_ABVEM)が許可されている場合は、代替ブートベクタマーカ(BDR_ABVM)の値にジャンプします。

許可されていない場合は、固定アドレス 0x00800000 にジャンプします。

ユーザアプリケーションにジャンプする前に BootROM ソフトウェアにおいて使用したスタック領域、汎用レジスタ R1～R13 を 0 にクリアします。



g) 例外ベクタテーブル

BootROM 内にはコア例外ベクタテーブルが配置されています。

例外ベクタテーブルには例外ハンドラへ分岐する処理を格納しています。

例外ハンドラアドレスは割込みコントローラや BootROM ハードウェアインタフェースのレジスタにおいて指定され、BootROM ソフトウェアによってレジスタの値に分岐します。

以下に例外は発生したときに BootROM ソフトウェアが参照するレジスタを示します。

表 3-1 例外発生時の参照レジスタ

例外	参照するレジスタ
未定義命令例外	EXCFG_UNDEFACT
SVC	EXCFG_SVCACT
命令アボート	EXCFG_PABORTACT
データアボート	EXCFG_DABORTACT
NMI(FIQ)	IRC_NMIVASBR



4. 注意事項

BootROM の注意事項について説明します。

(1) BootROM ソフトウェア使用 RAM 領域

BootROM ソフトウェアを実行するために TCRAM 領域(アドレス 0x00000000~0x000000CF)を使用します。

BootROM ソフトウェアにおいて使用する領域は BootROM ソフトウェアの最後で 0 に初期化するため、リセット前の値から変更されます。

(2) 割込み設定

BootROM ソフトウェアはコア内部レジスタ CPSR の I ビット, F ビットの設定は行いません。

(デフォルトは 1 で Disable)

IRQ, FIQ を使用する前にユーザアプリケーションにおいて I ビットと F ビットを 0 に設定してください。

CHAPTER 13: NMI 分配

NMI 分配について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. その他



1. 概要

NMI 分配の概要について説明します。

マルチ CPU 構成の場合、入力される NMI ソースから入力される NMI を各 CPU に適切に分配する必要があります。要件を満たすために、NMI 分配ユニットを搭載しハードウェアによるサポートを行います。

NMI 分配ユニットは NMI ソースから NMI を入力し、各 CPU に分配します。32 チャンネルの NMI をサポートします。

分配設定を行うレジスタを持ち、レジスタアクセスのための AHB 64 ビットのスレーブインタフェースを搭載します。

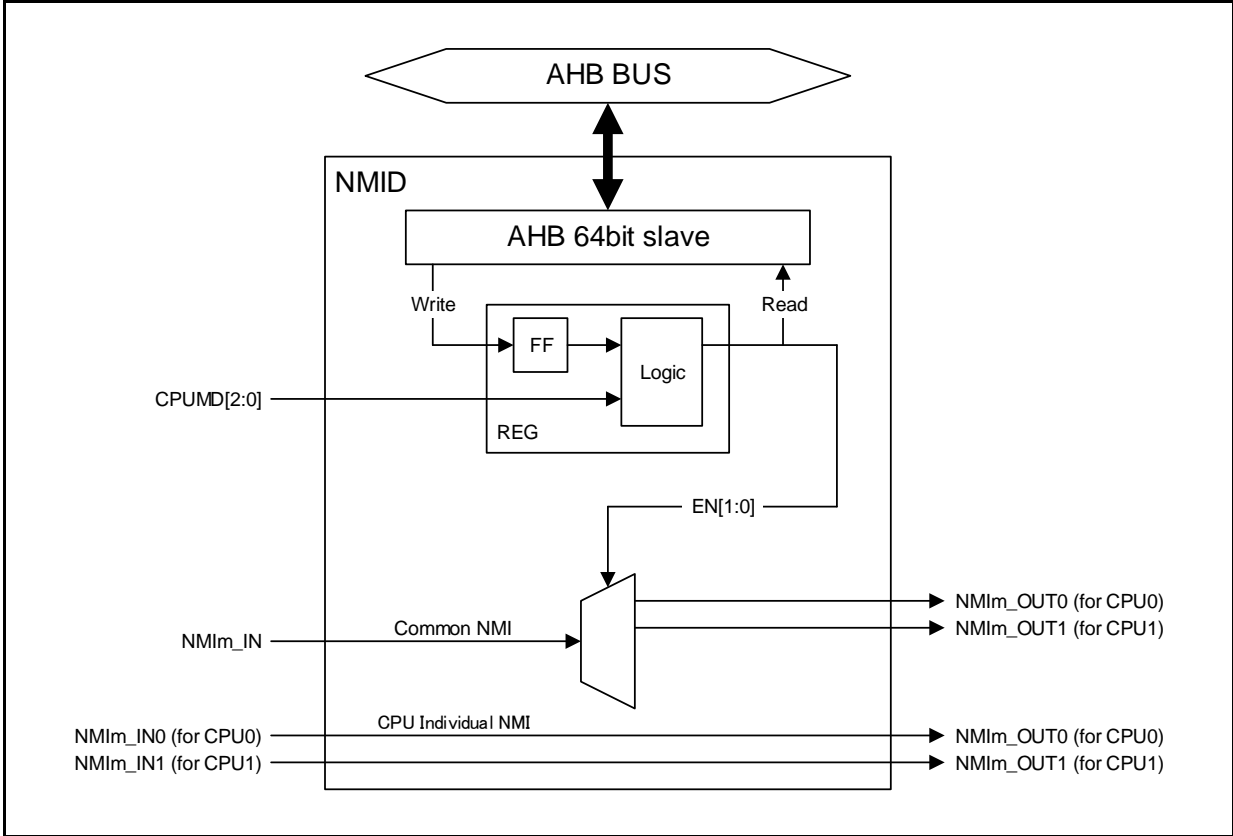
<注意事項>

- この章では NMI 分配ユニットを略称の NMID(NMI Distributor)で表記する場合があります。
- この章では NMI の各チャンネルを NMIm で表記する場合があります。"m"にはチャンネル番号が対応します。
- NMI 分配ユニットで使用するレジスタの略称について、"NMID_DISTm:ENn"の"n"には CPU 番号が対応し、"m"には NMI チャンネル番号が対応します。

2. 構成

NMI 分配ユニットのブロックダイアグラムについて説明します。

図 2-1 NMI 分配ユニット ブロックダイアグラム





3. 動作説明

NMI 分配ユニットの動作について説明します。

(1) ロック解除レジスタによるシーケンス保護

NMI 分配ユニットはロック解除レジスタ(NMID_UNLOCK)を用いたシーケンス保護機能を搭載します。分配設定の更新を行うにはあらかじめ NMID_UNLOCK にロック解除値を書き込み、ロック解除を行う必要があります。分配設定後はロック値を書き込むことにより、ロック状態に戻ります。

(2) NMI 分配

NMI チャンネルごとに NMI 分配許可レジスタ(NMID_DISTm)を搭載します。NMID_DISTm:ENn に"1"を書き込むことにより、NMIm を CPU_n に分配することを許可します。"0"を書き込むことにより、分配することを禁止します。NMI は少なくとも 1 個の CPU に配される必要があります、すべての CPU を分配禁止にする設定はできません。その場合の設定は無効となり、NMID_DISTm は更新されません。初期状態はすべてのチャンネルで共通で、「CPU0 のみ分配許可」となります。

NMI ソースには各 CPU で個別の入力を持つ種類が存在し、それを個別 NMI とよびます。個別 NMI が割当てられるチャンネルは NMID_DISTm 設定による分配の対象外となり、必ず対応する CPU へ配され、NMID_DISTm への書き込みは動作に影響しません。

個別 NMI が割当てられるチャンネルは以下のとおりです。

NMI7	SW-WDT ウォッチドッグ
NMI8	割込みコントローラ ECC エラー
NMI9	CPU ライブロック
NMI18	時間保護

個別 NMI に対し、NMID_DISTm 設定による分配の対象となる NMI を共通 NMI とよびます。

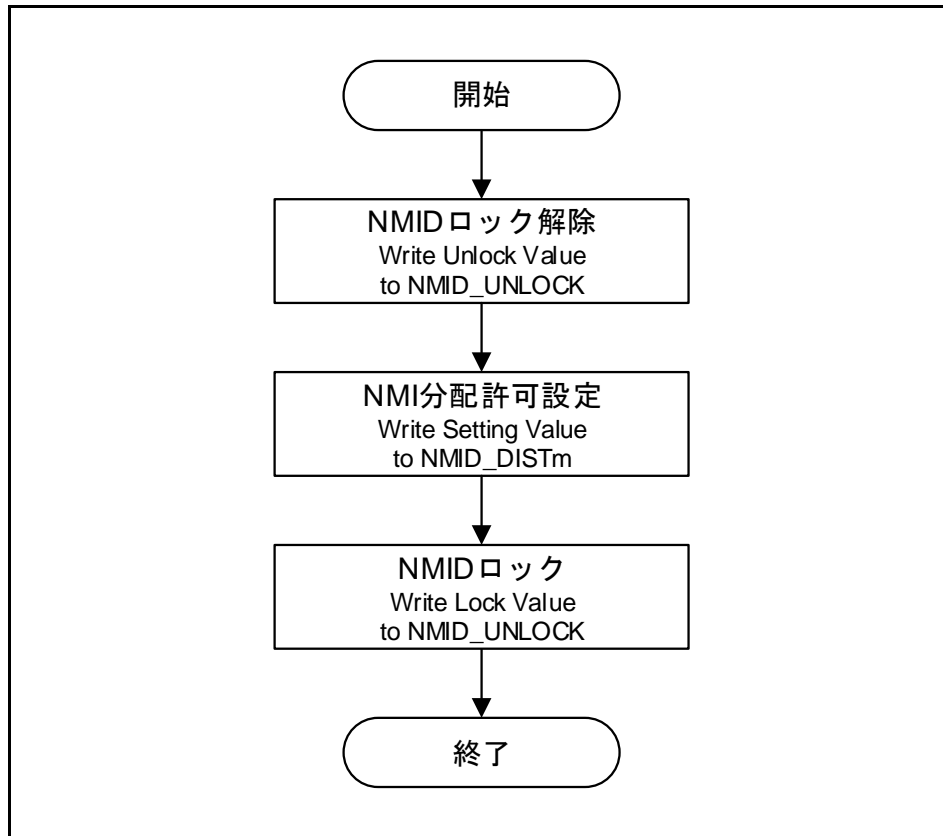
各チャンネルの NMI ソース割当ての詳細は『APPENDIX』の章の「割込み/NMI 要因および DMA 起動要因一覧」を参照してください。

また、CPU 動作モード(SYSC_SPECPUFCFR:CPUMD)に対応して、分配を強制的に変更する機能を搭載します。シングル CPU モード時は NMID_DISTm の設定を無視し、動作中の 1 個の CPU のみへ分配します。その際、NMID_DISTm の設定値は保持されますが、読出し値は設定値と異なり、強制的に切り換えられた状態(実際の分配状態)が通知されます。CPU 動作モードの詳細については『低消費電力』の章を参照してください。

4. 設定手順例

NMI 分配ユニットの NMI 分配設定手順例について説明します。

図 4-1 NMI 分配ユニット NMI 分配設定フロー





5. レジスタ

NMI 分配ユニットで使用されるレジスタについて説明します。

表 5-1 NMI 分配ユニット レジスタ一覧

レジスタ略称	レジスタ名	参照先
NMID_UNLOCK	NMID ロック解除レジスタ	5.1
NMID_LST	NMID ロックステータスレジスタ	5.2
NMID_DISTm	NMID NMIm 分配許可レジスタ	5.3



5.1. NMID ロック解除レジスタ (NMID_UNLOCK)

このレジスタは NMI 分配ユニットの各レジスタに対する書込みロックを制御します。

Bit	31-0
Field	UNLOCK
R/W 属性	R0,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] UNLOCK[31:0]: NMI 分配ユニットロック解除ビット

このビットは NMI 分配ユニットの設定レジスタに対する書込みロックを制御します。

このレジスタによるシーケンス保護の対象となるレジスタは NMID_DISTm です。

bit[31:0]	説明
0x17ACC911	ロック解除値(書込みを許可します)
0x17B10C11	ロック値(書込みを禁止します)
上記以外	設定禁止(バスエラーを返します)

<注意事項>

- このレジスタは、ロックステータスを判断するために全 32 ビットの値が必要です。よってこのレジスタへの書込みは 32 ビットで行う必要があります。8 または 16 ビットの書込みはできません。



5.2. NMID ロックステータスレジスタ (NMID_LST)

このレジスタは NMI 分配ユニットのロックステータスを通知します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							LST
R/W 属性	R0,WX							R,WX
保護属性	-							
初期値	0000000							1

[bit31:1] Reserved: 予約ビット

[bit0] LST: NMI 分配ユニットロックステータス

このビットは NMI 分配ユニットのロックステータスを通知します。

bit	説明
0	ロック解除状態
1	ロック状態

5.3. NMID_NMI_m 分配許可レジスタ (NMID_DIST_m)

このレジスタは各 CPU に対する NMI の分配許可/禁止を設定します。NMI のチャンネルごとに同様のレジスタを搭載し、レジスタ略称の "m" が NMI チャンネル番号(0~31)に対応します。分配先の CPU ごとに 1 ビットが割当てられ、ビット位置が CPU 番号 *n*(0~1)に対応します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved						EN1	EN0
R/W 属性	R0,WX						R/W	R/W
保護属性	WPS							
初期値	000000						0	1

[bit7:2] Reserved: 予約ビット

[bit1] EN1: CPU1 に対する NMI_m 分配許可/禁止ビット

[bit0] EN0: CPU0 に対する NMI_m 分配許可/禁止ビット

これらのビットは各 CPU への NMI チャンネル *m* の分配許可/禁止を設定します。

書込み時はマルチ CPU モード時の NMI 分配について設定します。読出し時は CPU 動作モード

(SYSC_SPECPU_CFGR:CPUMD)に対応して強制的に変更された分配状態が通知されます。マルチ CPU モード時はレジスタに書込んだ値がそのまま通知されます。シングル CPU モード時はレジスタの設定状態にかかわらず、動作する 1 個の CPU に対応するビットは "1" が、その他のビットは "0" が通知されます。

bit	説明	
	読出し時	書込み時
0	CPU _n に対する実際の NMI _m 分配禁止状態	CPU _n に対する NMI _m 分配禁止設定
1	CPU _n に対する実際の NMI _m 分配許可状態	CPU _n に対する NMI _m 分配許可設定

<注意事項>

- Reserved を除くすべてのビットを同時に "0" にする書込みは禁止です。禁止設定を行った場合、書込み値によるレジスタ更新は行われずバスエラーを返します。
- NMID_DIST0~NMID_DIST31 でレジスタビット構成は共通です。



6. その他

NMI 分配ユニットの使用上の注意について説明します。

NMID_DISTm の禁止設定(どの CPU にも分配しない設定)は各チャンネルで個別に判定します。ハーフワード以上のサイズによる書込みで同時に複数のチャンネルに対して設定できます。その場合、どれか1つでも禁止設定のチャンネルがあればバスエラーを返しますが、禁止設定のチャンネル以外の設定は有効となり、レジスタが更新されます。

禁止設定が発生したかどうかは設定したレジスタを読み出すことにより、確認できます。読出し値と書込み値を比較すると、禁止設定が生じなかったチャンネルについては設定が有効となりレジスタが更新されているため、比較結果は一致します。禁止設定が生じたチャンネルについては設定が無効となりレジスタが更新されていないため、比較結果は不一致します。

NMI 分配ユニットのレジスタアクセスでバスエラーを返す条件を以下に示します。

- NMID_UNLOCK によるシーケンス保護違反
- NMID_UNLOCK へのロック解除値/ロック値以外の書込み
- 特権保護違反
- レジスタ未定義領域のみアクセスする場合の読出し/書込み
- 書込み属性が WX のビット(レジスタ未定義領域を含む)のみアクセスする場合の書込み
- NMID_DISTm の禁止設定書込み

CHAPTER 14: 外部割込み

外部割込みの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ



1. 概要

外部割込みについての概要を説明します。

外部割込みの機能

外部割込み機能は外部割込み端子への信号入力を検出して、割込み要求を生成します。

- 外部割込み要求は、5つのレベル("H"レベル, "L"レベル, 立上りエッジ, 立下りエッジ, 両エッジ(立上りまたは立下り))が利用可能
- 外部割込みは、8端子をサポート
- ノイズフィルタをバイパス可能
- マスク不可割込みをサポート
- ch.4～ch.7の4chはDMAをサポート

2. 構成

外部割込みの構成について説明します。

2.1. ブロックダイアグラム

以下に外部割込み回路のブロックダイアグラムを示します。

図 2-1 外部割込みのブロックダイアグラム

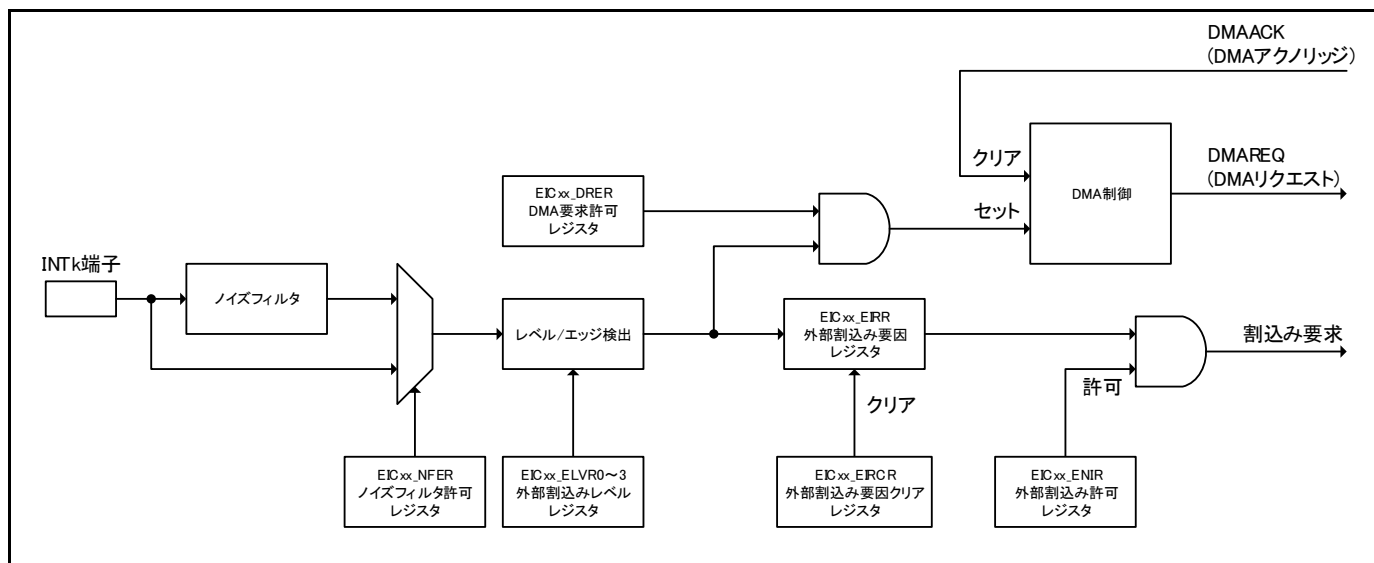
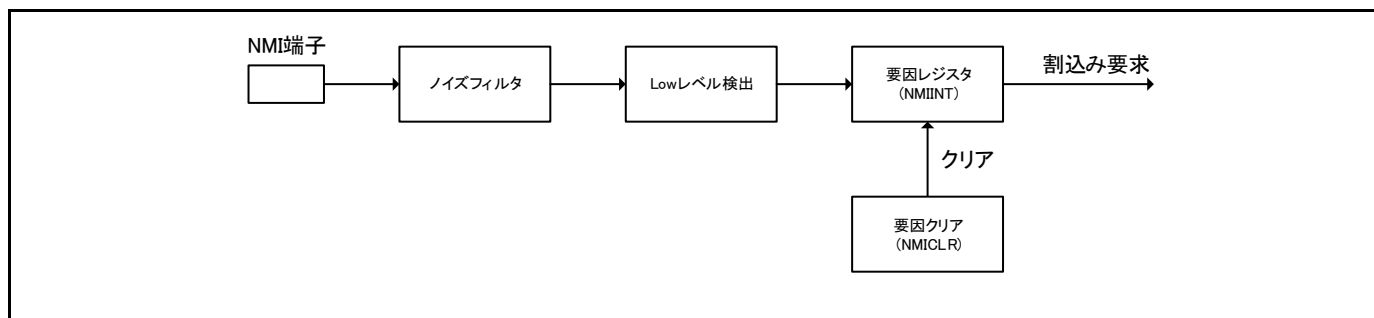


図 2-2 マスク不可割込みのブロックダイアグラム





3. 動作説明

外部割込みの動作について説明します。

(1) DMA リクエストのクリア

DMAACK によって DMA フラグと DMAREQ がクリアされます。DMAACK による DMAREQ のクリアは DMAREQ のセットより優先されます。

(2) 割込みフラグのクリア

外部割込みとして使用する場合、割込みハンドラ内で、割込みフラグ `EICxx_EIRR:ER` をクリアしてください。クリアしないと、最初の割込みハンドラが完了した後に、同じハンドラが再び実行されます。

イベント入力としてレベル検出が指定されている場合、入力端子でアクティブレベルが保たれている限り、クリアされた後にも、割込みフラグが再び設定されます。この場合、要求の外部要因をクリアするかまたは割込み許可ビットをクリアします。ソフトウェアによるクリアの方がハードウェア設定よりも優先されます。

(3) ノイズフィルタ

ノイズフィルタは、INT 端子を通じて入って来る信号から、ノイズを除去します。

(4) 外部割込み要求レベル

イベント入力としてエッジ検出が指定されている、かつノイズフィルタが有効な場合は、入力エッジとして認識されるために、入力信号のパルスの幅に規定があります。パルスの幅の最小値については、MB9D560 の『データシート』を参照してください。

イベント入力としてレベル検出が指定されている場合、指定されたレベルが入力されると、入力信号が非アクティブレベルに変わった後にも、割込みフラグは要因を保持します。図 3-2 を参照してください。要求をクリアするためには、割込みフラグをクリアしてください。

図 3-1 レベル設定時の割込み要因レジスタのクリア

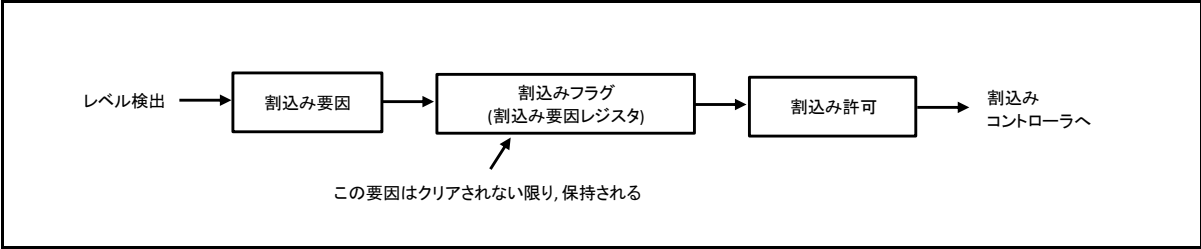


図 3-2 割込みが許可されている間の割込み要因と割込みコントローラへの割込み要求

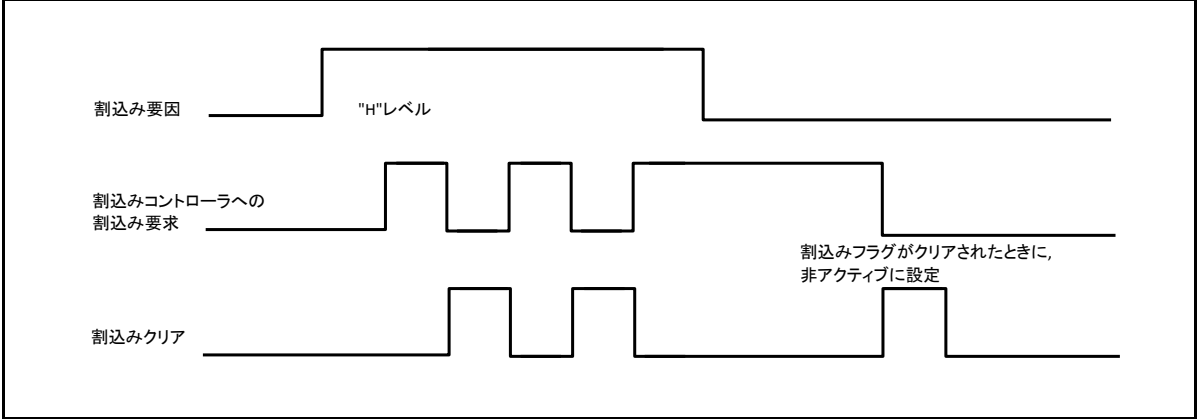
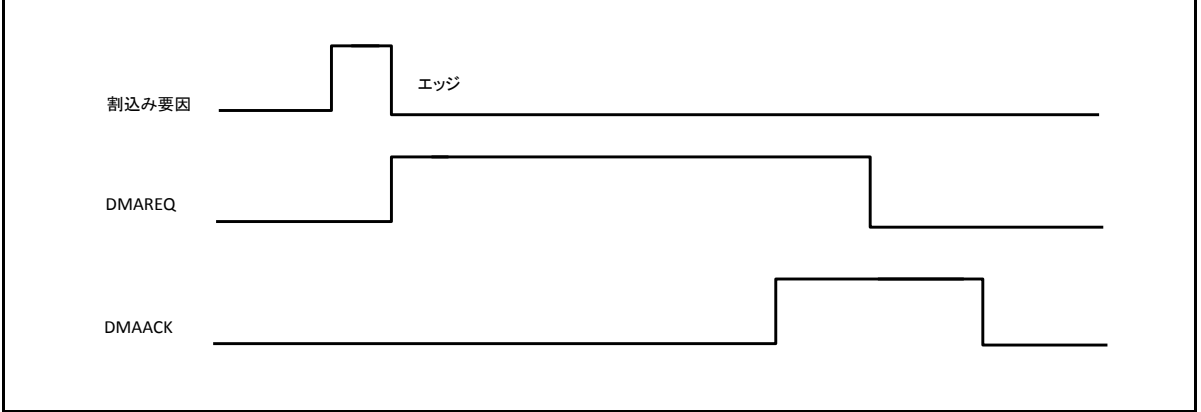


図 3-3 DMA が許可されている間の割込み要因および DMA への DMAREQ





4. 設定手順例

外部割込みについての設定手順例を示します。

外部割込みのプログラミング手順

外部割込み部内に存在するレジスタの設定を行う際の手順を以下に示します。

1. 外部割込み許可レジスタ(EICxx_ENIR)の対象となるビットを禁止状態にします。
2. 外部割込みレベル設定レジスタ(EICxx_ELVR0~3)または、ノイズフィルタ許可レジスタ(EICxx_NFER)の対象となるビットを設定します。
3. 外部割込みレベルレジスタ(EICxx_ELVR0~3)または、ノイズフィルタ許可レジスタ(EICxx_NFER)を読み出して、書込みができていることを確認します。
4. 外部割込み要因レジスタ(EICxx_EIRR)の対象となるビットをクリアします。
5. 外部割込み許可レジスタ(EICxx_ENIR)の対象となるビットを許可状態にします。

＜注意事項＞

- 本モジュール内のレジスタを設定するときには必ず許可レジスタを禁止状態に設定してください。また、許可レジスタを許可状態にする前に必ず要因レジスタをクリアしてください。これは、レジスタの設定時や割込み許可状態時に誤って割込み要因が起ってしまうことを避けるためです。

5. レジスタ

レジスタ一覧を示します。

外部割込み・NMI 制御部のレジスタ一覧です。

レジスタ名の中の添字 xx は、ユニットを表します。

EIC00 は、チャンネル 0～31ch に対応

EIC01 は、チャンネル 32～63ch に対応

本品種では ch.0～ch.7 の 8ch を使用します。

表 5-1 外部割込み/NMI 制御部レジスタ一覧

レジスタ略称	レジスタ名	参照先
EICxx_ENIR	外部割込み許可レジスタ	5.1
EICxx_ENISR	外部割込み許可セットレジスタ	5.2
EICxx_ENICR	外部割込み許可クリアレジスタ	5.3
EICxx_EIRR	外部割込み要因レジスタ	5.4
EICxx_EIRCR	外部割込み要因クリアレジスタ	5.5
EICxx_NFER	ノイズフィルタ許可レジスタ	5.6
EICxx_NFESR	ノイズフィルタ許可セットレジスタ	5.7
EICxx_NFECR	ノイズフィルタ許可クリアレジスタ	5.8
EICxx_ELVR0～3	外部割込みレベルレジスタ	5.9
EICxx_NMIR	マスク不可割込みレジスタ	5.10
EICxx_DRER	DMA 要求許可レジスタ	5.11
EICxx_DRESR	DMA 要求許可セットレジスタ	5.12
EICxx_DRECR	DMA 要求許可クリアレジスタ	5.13
EICxx_DRFR	DMA 要求フラグレジスタ	5.14



5.1. 外部割込み許可レジスタ(EICxx_ENIR)

本レジスタは、外部割込み要因出力のマスク制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	EN31	EN30	EN29	EN28	EN27	EN26	EN25	EN24
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] EN31~EN0: 外部割込み許可ビット

本ビットは、各 ch の外部割込みの許可を設定します。

bit	説明
0	外部割込み要因の発生を禁止します
1	外部割込み要因の発生を許可します

<注意事項>

- EICxx_ENIR レジスタに"1"または"0"を直接書き込むほかに、EICxx_ENISR/EICxx_ENICR レジスタに"1"を書き込むことによっても、このレジスタをセット/クリアできます。

5.2. 外部割込み許可セットレジスタ(EICxx_ENISR)

本レジスタは、外部割込み許可レジスタのセット制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	ENS31	ENS30	ENS29	ENS28	ENS27	ENS26	ENS25	ENS24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	ENS23	ENS22	ENS21	ENS20	ENS19	ENS18	ENS17	ENS16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	ENS15	ENS14	ENS13	ENS12	ENS11	ENS10	ENS9	ENS8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	ENS7	ENS6	ENS5	ENS4	ENS3	ENS2	ENS1	ENS0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] ENS31~ENS0: 外部割込み許可セットビット

本ビットは、EICxx_ENIR レジスタのセット制御を設定します。

bit	説明
0	影響なし
1	EICxx_ENIR:ENn ビットに"1"をセットします



5.3. 外部割込み許可クリアレジスタ(EICxx_ENICR)

本レジスタは、外部割込み許可レジスタのクリア制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	ENC31	ENC30	ENC29	ENC28	ENC27	ENC26	ENC25	ENC24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	ENC23	ENC22	ENC21	ENC20	ENC19	ENC18	ENC17	ENC16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	ENC15	ENC14	ENC13	ENC12	ENC11	ENC10	ENC9	ENC8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	ENC7	ENC6	ENC5	ENC4	ENC3	ENC2	ENC1	ENC0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] ENC31～ENC0: 外部割込み許可クリアビット

本ビットは、EICxx_ENIR レジスタのクリア制御を設定します。

bit	説明
0	影響なし
1	EICxx_ENIR:ENn ビットを"0"にクリアします

5.4. 外部割込み要因レジスタ(EICxx_EIRR)

本レジスタは、端子で外部割込み要因が検出されたときに、そのステータスを示します。本レジスタは読み専用です。本レジスタに対する書き込みはバスエラーを返します。

Bit	31	30	29	28	27	26	25	24
Field	ER31	ER30	ER29	ER28	ER27	ER26	ER25	ER24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	X	X	X	X	X	X	X	X

Bit	23	22	21	20	19	18	17	16
Field	ER23	ER22	ER21	ER20	ER19	ER18	ER17	ER16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	X	X	X	X	X	X	X	X

Bit	15	14	13	12	11	10	9	8
Field	ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	X	X	X	X	X	X	X	X

Bit	7	6	5	4	3	2	1	0
Field	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	X	X	X	X	X	X	X	X

[bit31:0] ER31~ER0: 外部割込み要因検出ビット

本ビットは、外部割込みの要求検出を保持します。

bit	説明
0	外部割込み要因検出なし
1	外部割込み要因検出あり



5.5. 外部割込み要因クリアレジスタ(EICxx_EIRCR)

本レジスタは、外部割込み要因レジスタのクリア制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	ERC31	ERC30	ERC29	ERC28	ERC27	ERC26	ERC25	ERC24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	ERC23	ERC22	ERC21	ERC20	ERC19	ERC18	ERC17	ERC16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	ERC15	ERC14	ERC13	ERC12	ERC11	ERC10	ERC9	ERC8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	ERC7	ERC6	ERC5	ERC4	ERC3	ERC2	ERC1	ERC0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] ERC31~ERC0: 外部割込み要因クリアビット

本ビットは、EICxx_EIRR レジスタのクリア制御を設定します。

bit	説明
0	影響なし
1	EICxx_EIRR:ERn ビットを"0"にクリアします

5.6. ノイズフィルタ許可レジスタ(EICxx_NFER)

本レジスタは、対応する外部割込み要因にノイズフィルタを使用するかを設定できます。

Bit	31	30	29	28	27	26	25	24
Field	NFE31	NFE30	NFE29	NFE28	NFE27	NFE26	NFE25	NFE24
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	NFE23	NFE22	NFE21	NFE20	NFE19	NFE18	NFE17	NFE16
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	NFE15	NFE14	NFE13	NFE12	NFE11	NFE10	NFE9	NFE8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NFE7	NFE6	NFE5	NFE4	NFE3	NFE2	NFE1	NFE0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] NFE31~NFE0: ノイズフィルタ許可ビット

本ビットは、各外部割込みのノイズフィルタ制御を設定します。

bit	説明
0	ノイズフィルタを禁止
1	ノイズフィルタを許可

<注意事項>

- EICxx_NFER レジスタに"1"または"0"を直接書き込むほかに、EICxx_NFESR/EICxx_NFECLR レジスタに"1"を書き込むことによっても、このレジスタをセット/クリアできます。



5.7. ノイズフィルタ許可セットレジスタ(EICxx_NFESR)

本レジスタは、ノイズフィルタ許可レジスタのセット制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	NFES31	NFES30	NFES29	NFES28	NFES27	NFES26	NFES25	NFES24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	NFES23	NFES22	NFES21	NFES20	NFES19	NFES18	NFES17	NFES16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	NFES15	NFES14	NFES13	NFES12	NFES11	NFES10	NFES9	NFES8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NFES7	NFES6	NFES5	NFES4	NFES3	NFES2	NFES1	NFES0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] NFES31~NFES0: ノイズフィルタ許可セットビット

本ビットは、EICxx_NFER レジスタのセット制御を設定します。

bit	説明
0	影響なし
1	EICxx_NFER:NFE _n ビットに"1"をセットします

5.8. ノイズフィルタ許可クリアレジスタ(EICxx_NFECR)

本レジスタは、ノイズフィルタ許可レジスタのクリア制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	NFEC31	NFEC30	NFEC29	NFEC28	NFEC27	NFEC26	NFEC25	NFEC24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	NFEC23	NFEC22	NFEC21	NFEC20	NFEC19	NFEC18	NFEC17	NFEC16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	NFEC15	NFEC14	NFEC13	NFEC12	NFEC11	NFEC10	NFEC9	NFEC8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NFEC7	NFEC6	NFEC5	NFEC4	NFEC3	NFEC2	NFEC1	NFEC0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] NFEC31～NFEC0: ノイズフィルタ許可クリアビット

本ビットは、EICxx_NFER レジスタのクリア制御を設定します。

bit	説明
0	影響なし
1	EICxx_NFER:NFE _n ビットを"0"にクリアします



5.9. 外部割込みレベルレジスタ(EICxx_ELVR0~3)

本レジスタは、外部割込み要求として検出する信号のレベル/エッジを選択します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	LC7	LB7	LA7	Reserved	LC6	LB6	LA6
R/W 属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	LC5	LB5	LA5	Reserved	LC4	LB4	LA4
R/W 属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved	LC3	LB3	LA3	Reserved	LC2	LB2	LA2
R/W 属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved	LC1	LB1	LA1	Reserved	LC0	LB0	LA0
R/W 属性	R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] LC7~LC0/LB7~LB0/LA7~LA0: 外部割込み要求検出レベル選択ビット

本ビットは、外部割込み要求として検出する信号のレベル/エッジを選択します。

EICxx_ELVRm:LCn	EICxx_ELVRm:LBn	EICxx_ELVRm:LAN	説明
0	0	0	L レベルの端子への入力
0	0	1	H レベルの端子への入力
0	1	0	立上りエッジの端子への入力
0	1	1	立下りエッジの端子への入力
1	X	X	両エッジ(立上りエッジまたは立下りエッジ)

m=0~3, n=7~0, X: don't care

設定	説明
EICxx_ELVR3	LC/LB/LA7
EICxx_ELVR3	LC/LB/LA6
EICxx_ELVR3	LC/LB/LA5
EICxx_ELVR3	LC/LB/LA4
EICxx_ELVR3	LC/LB/LA3
EICxx_ELVR3	LC/LB/LA2
EICxx_ELVR3	LC/LB/LA1
EICxx_ELVR3	LC/LB/LA0
EICxx_ELVR2	LC/LB/LA7

設定		説明
EICxx_ELVR2	LC/LB/LA6	INT22 の割込みレベル設定
EICxx_ELVR2	LC/LB/LA5	INT21 の割込みレベル設定
EICxx_ELVR2	LC/LB/LA4	INT20 の割込みレベル設定
EICxx_ELVR2	LC/LB/LA3	INT19 の割込みレベル設定
EICxx_ELVR2	LC/LB/LA2	INT18 の割込みレベル設定
EICxx_ELVR2	LC/LB/LA1	INT17 の割込みレベル設定
EICxx_ELVR2	LC/LB/LA0	INT16 の割込みレベル設定
EICxx_ELVR1	LC/LB/LA7	INT15 の割込みレベル設定
EICxx_ELVR1	LC/LB/LA6	INT14 の割込みレベル設定
EICxx_ELVR1	LC/LB/LA5	INT13 の割込みレベル設定
EICxx_ELVR1	LC/LB/LA4	INT12 の割込みレベル設定
EICxx_ELVR1	LC/LB/LA3	INT11 の割込みレベル設定
EICxx_ELVR1	LC/LB/LA2	INT10 の割込みレベル設定
EICxx_ELVR1	LC/LB/LA1	INT9 の割込みレベル設定
EICxx_ELVR1	LC/LB/LA0	INT8 の割込みレベル設定
EICxx_ELVR0	LC/LB/LA7	INT7 の割込みレベル設定
EICxx_ELVR0	LC/LB/LA6	INT6 の割込みレベル設定
EICxx_ELVR0	LC/LB/LA5	INT5 の割込みレベル設定
EICxx_ELVR0	LC/LB/LA4	INT4 の割込みレベル設定
EICxx_ELVR0	LC/LB/LA3	INT3 の割込みレベル設定
EICxx_ELVR0	LC/LB/LA2	INT2 の割込みレベル設定
EICxx_ELVR0	LC/LB/LA1	INT1 の割込みレベル設定
EICxx_ELVR0	LC/LB/LA0	INT0 の割込みレベル設定



5.10. マスク不可割込みレジスタ(EICxx_NMIR)

本レジスタは、マスク不可割込みレジスタの設定を行います。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WP
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							NMICLR
R/W 属性	R0,WX							R0,W
保護属性	WP							
初期値	0000000							0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							NMIINT
R/W 属性	R0,WX							R,WX
保護属性	WP							
初期値	0000000							0

[bit31:9] Reserved: 予約ビット

[bit8] NMICLR: マスク不可割込みクリアビット

本ビットは、マスク不可割込みのクリア制御を設定します。

bit	説明
0	影響なし
1	EICxx_NMIR:NMIINT ビットを"0"にクリアします

[bit7:1] Reserved: 予約ビット

[bit0] NMIINT: マスク不可割込み要求検出ビット

本ビットは、マスク不可割込みの要求検出を保持します。

bit	説明
0	マスク不可割込み要求検出なし
1	マスク不可割込み要求検出あり

5.11. DMA 要求許可レジスタ(EICxx_DRER)

本レジスタは、外部割込み要求の DMA 許可を行います。

Bit	31	30	29	28	27	26	25	24
Field	DRE31	DRE30	DRE29	DRE28	DRE27	DRE26	DRE25	DRE24
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	DRE23	DRE22	DRE21	DRE20	DRE19	DRE18	DRE17	DRE16
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	DRE15	DRE14	DRE13	DRE12	DRE11	DRE10	DRE9	DRE8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	DRE7	DRE6	DRE5	DRE4	DRE3	DRE2	DRE1	DRE0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] DRE31~DRE0: DMA 要求許可ビット

本ビットは、外部割込み DMA 要求の許可を設定します。

bit	説明
0	DMA を禁止
1	DMA を許可

<注意事項>

- EICxx_DRER レジスタに"1"または"0"を直接書き込むほかに、EICxx_DRESR/EICxx_DRECR レジスタに"1"を書き込むことによっても、このレジスタをセット/クリアできます。



5.12. DMA 要求許可セットレジスタ(EICxx_DRESR)

本レジスタは, DMA 要求許可レジスタのセット制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	DRES31	DRES30	DRES29	DRES28	DRES27	DRES26	DRES25	DRES24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	DRES23	DRES22	DRES21	DRES20	DRES19	DRES18	DRES17	DRES16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	DRES15	DRES14	DRES13	DRES12	DRES11	DRES10	DRES9	DRES8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	DRES7	DRES6	DRES5	DRES4	DRES3	DRES2	DRES1	DRES0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] DRES31～DRES0: DMA 要求許可セットビット

本ビットは, EICxx_DRER レジスタのセット制御を設定します。

bit	説明
0	影響なし
1	EICxx_DRER:DREn ビットに"1"をセットします

5.13. DMA 要求許可クリアレジスタ(EICxx_DRECR)

本レジスタは, DMA 要求許可レジスタのクリア制御を行います。

Bit	31	30	29	28	27	26	25	24
Field	DREC31	DREC30	DREC29	DREC28	DREC27	DREC26	DREC25	DREC24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	DREC23	DREC22	DREC21	DREC20	DREC19	DREC18	DREC17	DREC16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	DREC15	DREC14	DREC13	DREC12	DREC11	DREC10	DREC9	DREC8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	DREC7	DREC6	DREC5	DREC4	DREC3	DREC2	DREC1	DREC0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] DREC31~DREC0: DMA 要求許可クリアビット

本ビットは, EICxx_DRER レジスタのクリア制御を設定します。

bit	説明
0	影響なし
1	EICxx_DRER:DREn ビットを"0"にクリアします



5.14. DMA 要求フラグレジスタ(EICxx_DRFR)

本レジスタは, DMA 要求が検出されたときに, そのステータスを示します。本レジスタは読出し専用です。
本レジスタに対する書込みはバスエラーを返します。

Bit	31	30	29	28	27	26	25	24
Field	DRF31	DRF30	DRF29	DRF28	DRF27	DRF26	DRF25	DRF24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	X	X	X	X	X	X	X	X

Bit	23	22	21	20	19	18	17	16
Field	DRF23	DRF22	DRF21	DRF20	DRF19	DRF18	DRF17	DRF16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	X	X	X	X	X	X	X	X

Bit	15	14	13	12	11	10	9	8
Field	DRF15	DRF14	DRF13	DRF12	DRF11	DRF10	DRF9	DRF8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	X	X	X	X	X	X	X	X

Bit	7	6	5	4	3	2	1	0
Field	DRF7	DRF6	DRF5	DRF4	DRF3	DRF2	DRF1	DRF0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	X	X	X	X	X	X	X	X

[bit31:0] DRF31~DRF0: DMA 要求検出ビット

本ビットは, DMA 要求検出を保持します。

bit	説明
0	DMA 要求検出なし
1	DMA 要求検出あり

<注意事項>

- DMA からの応答によって, EICxx_DRFR レジスタのビットがクリアされます。
- EICxx_DRER が許可されており, 端子で割込みイベントが検出されたときに, EICxx_DRFR レジスタのビットが設定されます。



CHAPTER 15: セキュリティ

本製品のセキュリティの概要と一般的な注意事項を説明します。

1. 概要
2. 各セキュリティによるアクセス制限
3. セキュリティ上の注意



1. 概要

本製品のセキュリティ機能について説明します。

本製品には、お客様の知的財産を保護するために、第三者による Flash メモリ内容の読出しを阻止する機能があります。

上記本製品のセキュリティ機能の概要と注意事項を説明します。

2. 各セキュリティによるアクセス制限

Flash メモリ、デバッガへのアクセス制限を示します。

本製品は以下に示すアクセス制限により、Flash メモリ内のデータの第三者による読出しを阻止できます。

- ユーザモード以外による Flash メモリへのアクセス制限(フラッシュセキュリティ)
- ユーザモード中のデバッガ使用許可のパスワード認証(デバッガセキュリティ)

表 2-1 に Flash メモリへのアクセス制限およびデバッガ使用許可の制限を示します。

表 2-1 各モード時のアクセス制限

動作モード/ セキュリティ設定		ユーザモード/ セキュリティ ON	ユーザモード/ セキュリティ OFF	ユーザモード以外 ^{*1} / セキュリティ ON	ユーザモード以外 ^{*1} / セキュリティ OFF
Flash メモリへの アクセス	マクロ消去 (TCFLASH)	制限なし	制限なし	消去順番に制限 ^{*2}	制限なし
	マクロ消去 (WorkFLASH)	不能です	不能です	可能です ^{*4}	不能です
	セクタ消去	制限なし	制限なし	無視されます	制限なし
	書込み	制限なし	制限なし	無視されます	制限なし
	読出し	制限なし	制限なし	常時 0xFFFFFFFF が読みだされます	制限なし
デバッガ使用許可		以下 2 通り - パスワード認 証後許可 - 使用不可 ^{*3}	許可	-	-

*1：ライタモードおよび製造試験モードなどです。

*2：消去順番に制限があります。セキュリティ設定の書き込まれた Flash メモリは最後に消去してください。

(TCFLASH#0 および TCFLASH#1 の Flash メモリ A は、そのほかの Flash メモリへのマクロ消去コマンドが完了した後にマクロ消去可能になります。) 詳細は『TCFLASH』の章を参照してください。

*3：ソフト処理によって使用不可をパスワード認証後許可に変更できます。

*4：マクロ消去の実行方法は、非ユーザモードの機能のため公開していません。



3. セキュリティ上の注意

一般的なセキュリティ上の注意事項を示します。

本製品のセキュリティ機能は Flash メモリの第三者からの読出しを防ぐことができますが、セキュリティー一般として、下記の点にご留意ください。

a) デバッガの使用許可およびパスワードの設定

セキュリティー ON の際はデバッガを不許可、またはデバッガの使用許可パスワードの設定を必ず行ってください。

b) Flash メモリ全消去(マクロ消去)の制限

本製品は Flash メモリ全消去(マクロ消去)を制限していません。これは、以下の理由によります。

- ライタを使用して全消去をすることによりお買い求め直後の状態に戻せるようにするため。
- Flash メモリ全消去の制限することは「第三者による読出しを阻止」に寄与しないため。

c) セキュリティマーカの設定

セキュリティー強化のため、TCFLASH#0, TCFLASH#1 両方のマーカを設定してください。

CHAPTER 16: TCFLASH

TCFLASH の機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. その他



1. 概要

TCFLASH の特長を示します。

TCFLASH の特長

- TCFLASH は、主にプログラムを格納するための Flash メモリです。本製品がユーザモードにある場合、TCM 領域と AXI 領域の 2 箇所にマッピングされています。TCM 領域経由からアクセスする場合には、TCFLASH は ARM(R) アーキテクチャ上の L1 メモリとして扱われます。そのため、ノンキャッシュブルかつ低レイテンシのアクセスが可能です。また AXI 領域経由からアクセスする場合には、TCFLASH は ARM アーキテクチャ上の L2 メモリとして扱われます。
- TCFLASH は論理的には、最大 16M バイトまで拡張できます。ただし、TCM 領域を介してアクセスできるのはその内の 8M バイトだけです。AXI 領域を介した場合、16M バイトの全領域にアクセスが可能です。
- TCFLASH に対する書込みや消去は、AXI 領域経由のアクセスによりプログラミングシーケンスを送ることによって行われます。TCM 領域を経由した書込みや消去は行うことができません。
- TCFLASH の AXI 領域は FLASH メモリの書込み/消去時の各種操作を行うための専用領域です。
- CPU からは、8 ビット/16 ビット/32 ビット/64 ビットの読出しが可能です。
- ECC が有効になっている場合、CPU からは 32 ビットの書込みだけが可能です。ECC が無効になっている場合には、CPU からは 8 ビット/16 ビット/32 ビットの書込みが可能です。
- アクセスサイズに非整列な読出しをサポートしています。しかしアクセスサイズに非整列な書込みはサポートしていません。アクセスサイズに非整列な書込みを検出した場合、TCFLASH は、バスエラー応答を行います。
- アクセスを行う際に挿入されるウェイトサイクル数の指定が可能です。
- 大セクタ領域に対しては、Flash メモリ 2 個によるインタリーブアクセスが可能です。しかし小セクタ領域におけるインタリーブアクセスは行われません。
- ARM Cortex(TM)-R5F コアと同じ計算式による ECC をサポートしており、1 ビット誤りの訂正と、2 ビット誤りの検出を行うことが可能です。
- TCM 領域を介した読出しを行う場合の ECC 検査は ARM Cortex-R5F コア内の論理により行われます。
- 誤りを挿入することにより、ECC 論理の試験を行えます。誤りの挿入は、TCM 領域を介した読出しおよび AXI 領域を介した読出しの両方に対して有効です。
- 保護キーによる、レジスタ設定値の保護が行われます。
- 特権モードとしてアクセスを行った場合にだけ、書込みおよび消去を行えます。
- フラッシュセキュリティ機能を備えています。
- 予約領域へのアクセスに対して、バスエラー応答を行います。

2. 構成

TCFLASH 内部の構成について説明します。

2.1. ブロックダイアグラム

- TCFLASH は, Cortex-R5F コア 1 個に対して 1 個存在しています(TCFLASH の中に Flash メモリは 2 個内蔵されています)。
- Cortex-R5F コアが TCM 領域を介してアクセスする際には, TCFLASH は読出し専用の L1 メモリとして扱われます。一方 Cortex-R5F コアが AXI 領域を介してアクセスする際には, TCFLASH は読み書きが可能な L2 メモリとして扱われます。

図 2-1 TCFLASH の位置

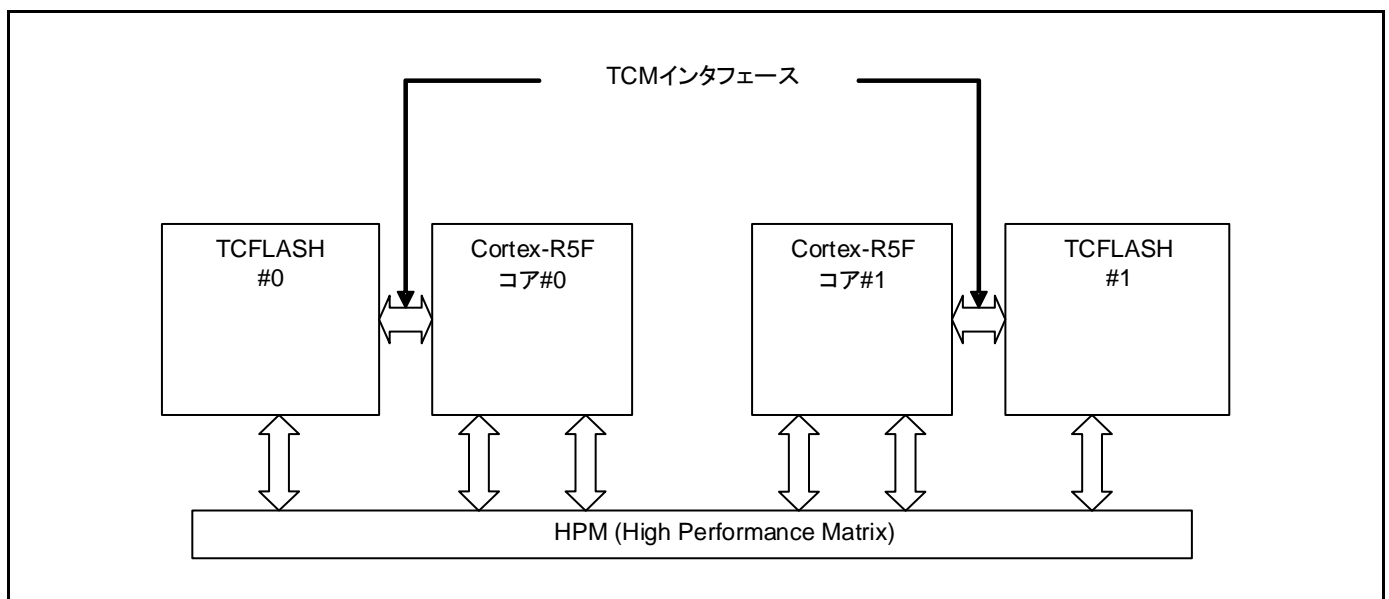
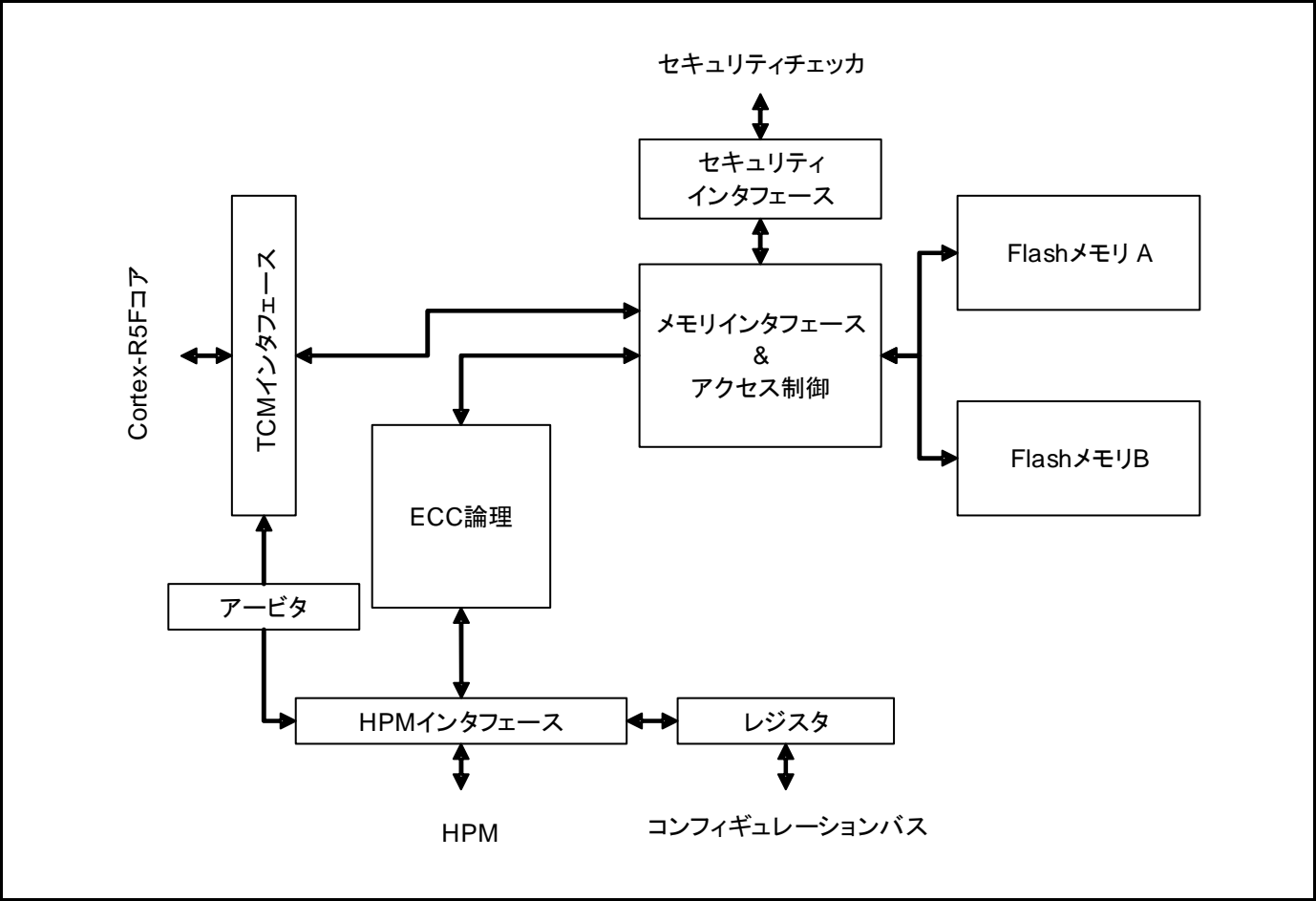




図 2-2 TCFLASH の構成





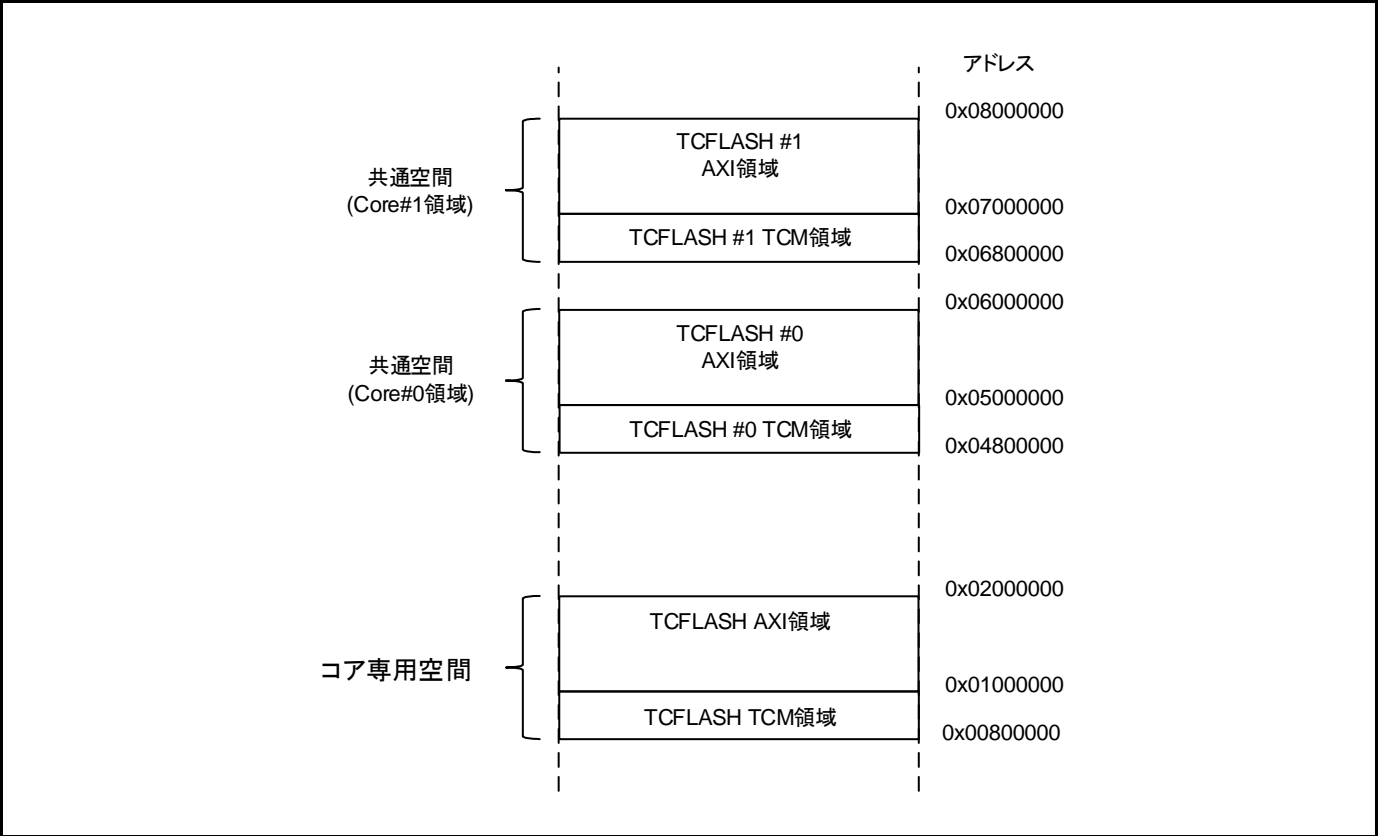
2.2. TCFLASH のアドレス/セクタマップ

本製品は 2 個の CPU コアが内蔵されます。

TCFLASH は、CPU コアごとに 1 個存在しており、プログラムからは図 2-3 に示すメモリマップ上に配置されます。

TCFLASH の AXI 領域は Flash メモリの書込み/消去時の各種操作を行うための専用領域です。通常動作時は、TCM 領域を使用します。

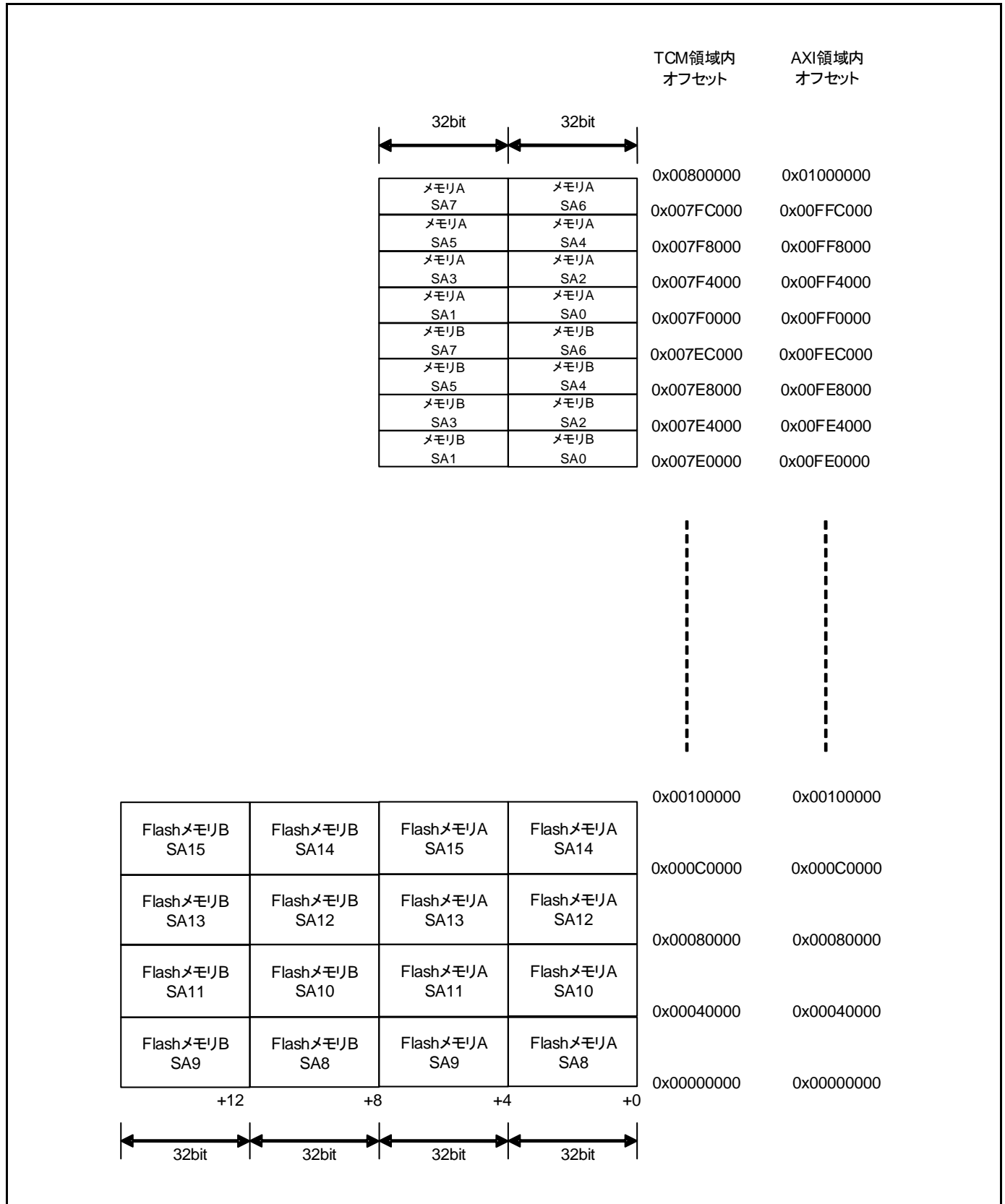
図 2-3 メモリマップ上における TCFLASH の位置



各 TCFLASH に対する TCM 領域のサイズは 8M バイトです。また AXI 領域のサイズは 16M バイトです。それぞれの領域内におけるセクタの配置を、図 2-4 に示します。



図 2-4 TCFLASH のアドレス/セクタマップ



3. 動作説明

TCFLASH の動作について説明します。

3.1. TCFLASH の動作モード

本製品がユーザモードにある場合、CPU もしくはほかのバスマスタは TCFLASH へアクセス可能です。Cortex-R5F コアは、自身に接続している TCFLASH に対しては、TCM インタフェース経由もしくは AXI 経由からアクセスできます。またほかの Cortex-R5F コアに接続している TCFLASH に対しては、AXI 経由または、TCFLASH が接続されている Cortex-R5F コアの AXI スレーブポートから TCM 経由でアクセスできます。DMAC など、Cortex-R5F コア以外のバスマスタも AXI 経由または、TCFLASH が接続されている Cortex-R5F コアの AXI スレーブポートから TCM 経由で TCFLASH へアクセスできます。

ユーザモードにおいては、AXI を経由して TCFLASH への書込みや消去を行うことが可能です。しかし TCM インタフェースを経由の場合は、書込みや消去を行うことはできません。書込みや消去は、プログラミングアクセスシーケンスを実行して自動アルゴリズムを起動することにより行われます。書込みの際の ECC の生成は、TCFLASH インタフェースにより行われます。^{*1}

^{*1}: AXI 経由からプログラミングアクセスシーケンスを実行した場合は、TCM インタフェースから読出しを実施してはいけません。読出した場合はバリエーションが発生し、不定値が出力されます。

3.2. 書込みと消去

本 LSI がユーザモードにある場合、TCFLASH に対する書込みや消去は、AXI 領域経由から Flash メモリに対してプログラミングアクセスシーケンスを書き込むことにより行われます。

プログラミングアクセスシーケンスについては、「3.5.1 コマンドシーケンス」を参照してください。また書込みの手順については、「4.3 書込みの手順」を参照してください。また非ユーザモードによるマクロ消去については消去順番の制約があります。順番については「4.7 フラッシュセキュリティの解除方法」を参照してください。

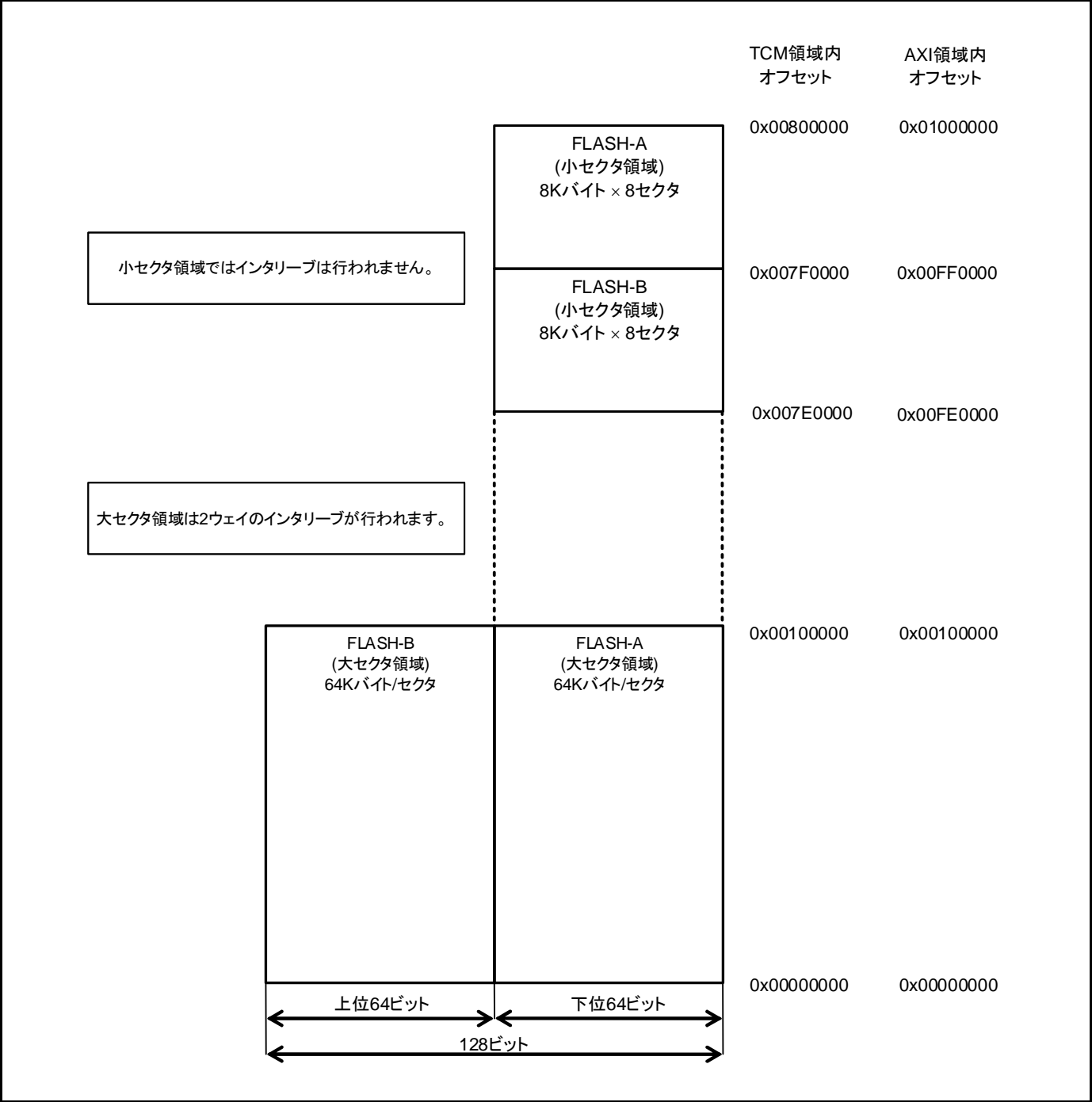
- ECC が有効になっている場合、32 ビットの書込みだけを行えます。また ECC が無効になっている場合には、8 ビット/16 ビット/32 ビットの書込みを行えます。
- ECC の生成と書込みを行うためには、32 ビットの書込みを同じアドレス、データで、2 回繰返して行うことが必要です。
- ECC 有効な場合に、32 ビットとして書込みを行うとき、レジスタ TCFCFGn_FSTAT0/1 の WR32F ビットにより、ECC データの書込みが制御されます。WR32F ビットの値が"0"の場合には、32 ビットデータの下位 16 ビットだけが書き込まれます。このとき、ECC の生成と書込みは行われません。これに対して、WR32F ビットの値が"1"の場合には、32 ビットデータから ECC が生成され、データの上位 16 ビットと共に書き込まれます。下位 16 ビットだけが書き込まれた状態で読出しを行った際に、誤りが検出されてしまうことを防止するため、WR32F ビットの値が"1"の場合には、ECC の検査は行われません。
- レジスタ TCFCFGn_FCFGR の WE ビットの値が"0"のとき(TCFLASH へ書込みが禁止されている状態のとき)、同じユニットに属するレジスタ TCFCFGn_FSTAT0/1 の WR32F ビットの値は"0"にリセットされます。



3.3. インタリーブアクセス

TCFLASH の大セクタ領域に対するアクセスに際しては、Flash メモリ A と Flash メモリ B による 2 ウェイのインタリーブが行われます。Flash メモリのバス幅は 64 ビットのため、8 バイトを単位としてインタリーブが行われます。Flash メモリ A 内の 64 ビットワードは偶数番目のアドレス(16n+0, n=0, 1, 2, ...)に見えます。また Flash メモリ B 内の 64 ビットワードは奇数番目のアドレス(16n+8, n=0, 1, 2, ...)に見えています。小セクタ領域において、インタリーブは行われません。

図 3-1 インタリーブ



3.4. TCM 領域と AXI 領域

TCFLASH は、TCM 接続の領域と AXI 接続の領域があります。

AXI 領域は Flash メモリの書込み/消去時の各種操作を行うための専用領域です。書込み/消去時の各種操作は、CFCFG_n_FCFGR.WE を "1" に設定した状態で行います。

このとき、TCFLASH の AXI 領域に対して以下の操作を行うことが可能です。

- 自動アルゴリズムの実行
- リセット
- 読出し
- 書込み
- マクロ消去
- セクタ消去
- ハードウェアシーケンスフラグの読出し

レジスタ TCFCFG_n_FCFGR の WE ビットが "1" の場合、TCFLASH への書込みが許可されています。このとき TCM 領域経由のアクセスはバスエラーとなります。

TCM 領域は、通常動作における読出しを行います。自身に接続されている Cortex-R5F コア以外のバスマスタからの読出しについては、TCFLASH が接続されている Cortex-R5F コアの AXI スレーブポートから TCM 経由によってアクセスされます。



3.5. 自動アルゴリズム

プログラミングアクセスシーケンスを Flash メモリへ送ることにより、自動アルゴリズムを起動して、書き込みおよび消去を行えます。自動アルゴリズムにおいて利用可能なコマンドには、リセット、読出し、書き込み、マクロ消去、セクタ消去があります。またセクタ消去コマンドについては、中断と再開が可能です。

3.5.1. コマンドシーケンス

自動アルゴリズムは、所定のアドレスへ所定のデータを書き込む動作を、コマンドの種類により 1 回から 6 回連続して行うことによって開始されます。

表 3-1 コマンドシーケンス一覧

コマンド	書き込み回数	1 回目		2 回目		3 回目		4 回目		5 回目		6 回目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
リセット	1	CA0	0xF0	-	-	-	-	-	-	-	-	-	-
読出し	1	RA	RD	-	-	-	-	-	-	-	-	-	-
書き込み	4	CA0	0xAA	CA1	0x55	CA0	0xA0	PA	PD	-	-	-	-
マクロ消去	6	CA0	0xAA	CA1	0x55	CA0	0x80	CA0	0xAA	CA1	0x55	CA0	0x10
セクタ消去	6	CA0	0xAA	CA1	0x55	CA0	0x80	CA0	0xAA	CA1	0x55	SA	0x30
セクタ 消去中断	1	SA	0xB0	-	-	-	-	-	-	-	-	-	-
セクタ 消去再開	1	SA	0x30	-	-	-	-	-	-	-	-	-	-

- <注意事項>
- コマンドデータのサイズは、書き込みデータ"PD"のサイズに合わせて設定してください。

表 3-2 コマンド中のアドレス

動作モード	記号(表 3-1)	小セクタ	大セクタ (メモリ A)	大セクタ (メモリ B)
ユーザモード	CA0	0x****1550	0x****2AA0	0x****2AA8
	CA1	0x****0AA8	0x****1550	0x****1558

- 表 3-1 中の"CA0""CA1"には表 3-2 に示されている値を指定してください。
- 表 3-2 の"****"は、コマンドの対象となる Flash メモリが 占めるアドレスの範囲内を指す任意の値です。メモリマップについては、「2.2 TCFLASH のアドレス/セクタマップ」を参照してください。
- 表中において"PD"と表されている書き込みデータを除き、自動アルゴリズム開始のために書き込まれるデータの上位 24 ビット(ビット 31~ビット 8)は無視されます。
- 書き込みのシーケンスの4回目に与えるアドレス PA は、書き込みデータ PD が書き込まれるアドレスです。
- 32 ビット書き込みを行う際の書き込みアドレス PA は、4 バイト境界に整列した値でなければなりません。
- セクタ消去コマンドの 6 回目の書き込みによって与えられる SA は、消去されるセクタのアドレスを示しています。SA は PA と同様なフォーマットとして指定されます。
- コマンドとして不正なアドレスやデータの組み合わせを書き込んだ場合および誤った順序コマンドを書きこんだ場合、Flash メモリはリセットされリードモードへ遷移します。
- コマンドシーケンスの書き込み中も、Flash メモリからの読出しは可能です。自動アルゴリズムは、シーケンスの最後の書き込みが完了した時点から開始されます。
- 書き込みのサイズが 8 ビットまたは 16 ビットの場合、ECC ビットの書き込みは行われません。
- セクタ消去中断コマンド発行後、ステータスレジスタの RDY が"1"になるまでは Flash メモリから読出ししてはいけません。



3.6. 自動アルゴリズム実行状態

ハードウェアシーケンスフラグについて説明します。ハードウェアシーケンスフラグにより、自動アルゴリズム実行中の Flash メモリの詳細な状態を確認できます。

3.6.1. ハードウェアシーケンスフラグ

自動アルゴリズム実行中に Flash メモリの読出しを行うと、データの代わりにハードウェアシーケンスフラグが読み出されます。ハードウェアシーケンスフラグを利用した場合、実行中の書き込み動作や消去動作の状態を確認できます。

ハードウェアシーケンスフラグは 16 ビットのデータです。これを TCFLASH の Flash メモリインタフェース部が 4 回繰返して 64 ビットに拡張してから出力します。そのためソフトウェアは、データが書き込まれたアドレスと同じアドレスからハードウェアシーケンスフラグを読み出し、シーケンスの実行状態を確認します。

ハードウェアシーケンスフラグは、DQ[7, 15], DQ[6, 14], DQ[5, 13], DQ[3, 11], DQ[2, 10]から構成されます。各部の機能は、次のとおりです。

- DQ[7, 15]は、データポーリング用です。同じビット位置に書き込んだデータ DATA[7, 15]の値を反転したものが読み出されます。
- DQ[6, 14]はトグルビット 1 です。自動アルゴリズム実行中は、読出しのたびに値が反転されます。
- DQ[5, 13]は、自動アルゴリズムのタイミングリミット超過の有無を表します。
- DQ[3, 11]は、セクタ消去コマンド書き込み後に、Flash メモリの内部において実際に消去動作が始まったかどうかを示します。Flash メモリの内部において実際にセクタ消去の動作が始まると、DQ[3, 11]からは"1"が読み出されるようになります。
- DQ[2, 10]はトグルビット 2 です。セクタ消去中断中のセクタを読み出すたびに値が反転されます。

表 3-3 ハードウェアシーケンスフラグのビット割り付け

ビット位置	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
フラグ名	DQ15	DQ14	DQ13	-	DQ11	DQ10	-	-	DQ7	DQ6	DQ5	-	DQ3	DQ2	-	-

DQ[4, 12], DQ[1, 9], DQ[0, 8]の値は未定義です。ハードウェアシーケンスフラグの値を利用するソフトウェアは、この部分の値を無視するようにプログラムを設定してください。

32 ビット書き込みを行う場合、ハードウェアシーケンスフラグは、最初のシーケンス実行中には下位 16 ビットの書き込みの状態を示します。また 2 回目のシーケンス実行中には上位 16 ビットの書き込みの状態を示します。

データポーリングフラグは、各バイトの位置ごとに独立しており、そのバイト位置に対する書き込みが完了しているかどうかを示します。最初は書き込んだデータの値を反転したものが出力され、完了した場合、書き込んだデータと同じ値が出力されます。その他のハードウェアシーケンスフラグは、Flash メモリ全体の状態を表しており、バイト位置にかかわらず、同じ値が読み出されます。

ハードウェアシーケンスフラグの値は、レジスタ TCFCFGn_FCFGR の WE ビットの値とは無関係に読み出せます。

ハードウェアシーケンスフラグの読出しを行うときには、ECC チェックは行われません。

自動アルゴリズムが実行中の状態であることは、レジスタ TCFCFGn_FSTAT0/1 の RDY ビットを読み出して確認できます。しかしハードウェアシーケンスフラグを読み出すことにより、より詳細な情報を得られます。

自動アルゴリズムの実行が完了した後は、Flash メモリは次のコマンドを受け付けることが可能な状態へ移行します。次の操作を行う前には、対象となる Flash メモリに対応するレジスタ TCFCFGn_FSTAT0/1 の RDY ビットまたはハードウェアシーケンスフラグの値を読み出して、前の動作が完了していることを確認してく

ださい。またハードウェアシーケンスフラグは、セクタ消去のコマンドシーケンスを複数回連続の書込みを行う際、2番目以降のコマンドシーケンスが受け付けられたかどうかを確認するために使うこともできます。

ハードウェアシーケンスフラグの値と、Flash メモリの状態との関係を表 3-4 に示します。

表 3-4 ハードウェアシーケンスフラグの値

状態		DQ [7, 15]	DQ [6, 14]	DQ [5, 13]	DQ [3, 11]	DQ [2, 10]	HANG
リセット		DATA [7, 15]	DATA [6, 14]	DATA [5, 13]	DATA [3, 11]	DATA [2, 10]	0
コマンド		DATA [7, 15]	DATA [6, 14]	DATA [5, 13]	DATA [3, 11]	DATA [2, 10]	0
書込み		/DATA	T	0	0	0	0
マクロ消去		0	T	0	1	T	0
セクタ消去ウェイト期間		0	T	0	0	T	0
セクタ消去		0	T	0	1	T	0
セクタ消去中断	消去中セクタと消去中セクタの隣接セクタ読出し	0	0	0	1	T	0
	消去中で対象セクタ以外のセクタ読出し	DATA [7, 15]	DATA [6, 14]	DATA [5, 13]	DATA [3, 11]	DATA [2, 10]	0
ハングアップ 1	書込み	/DATA	T	1	0	0	1
	マクロ消去	0	T	1	1	T	1
	セクタ消去	0	T	1	1	T	1

<注意事項>

- 表 3-4 の"DATA"は Flash メモリから読み出される値を表しています。
- 表 3-4 の"/DATA"は書込みデータ PD のうち、各バイトの bit7 の値を反転したものを表しています。
- 表 3-4 の"T"は、読出しのたびに値が反転することを表しています。
- レジスタ TCFCFGn_FSTAT0/1 の HANG ビットは Flash メモリがハングアップ 1 状態にあるかどうかを表しています。
- ハードウェアシーケンスフラグの値は、ハングアップの元になったコマンドに依存します。



3.6.2. データポーリングフラグ

データポーリングフラグは自動アルゴリズムが実行中かどうかを表します。

(1) データポーリングフラグ(DQ[7, 15])

データポーリングフラグには、Flash メモリの状態に応じて、表 3-4 の DQ[7, 15]の列に記載されている値が読み出されます。

(2) 書込み

自動アルゴリズムによる書込みが実行されているときに Flash メモリを読み出すと、アドレスにかかわらず、その Flash メモリに書込み中のデータの bit7 と bit15 の反転値が読みだされます。書込みが終わると、通常の読出しが行われ、書き込んだデータが読みだされます。そのため、書込みの完了を正しく確認するためには、書込みの際に指定したアドレスと同じアドレスを使用して、データポーリングフラグを読み出してください。

(3) 16 ビット書込みと 8 ビット書込み

16 ビット書込みを実行している間、DQ7 は書込みデータ PD の bit7 を反転した値を示します。また DQ15 は、PD の bit15 を反転した値を示します。書込みの際に偶数バイトアドレスを指定して 8 ビット書込みを行った場合は、書込みを実行している間 DQ7 へ PD の bit7 を反転した値が読みだされます。同様に奇数バイトアドレスを指定して、8 ビット書込みを行った場合は、書込みを実行している間 DQ15 へ PD の bit15 を反転した値が読み出されます。

(4) マクロ消去、セクタ消去

自動アルゴリズムによる消去を実行している場合、データポーリングフラグには、アドレスにかかわらず、"0"が読み出されます。消去された Flash メモリのセル値は"1"になるため、消去が完了した場合、消去済みのセル値"1"が読み出されます。

(5) セクタ消去中断

セクタ消去を中断しているときに、消去中のセクタに属するアドレスを読み出すと、データポーリングフラグには"0"が読み出されます。しかし消去中のセクタ以外に属するアドレスを読み出した場合には、そのアドレスに書かれている内容が出力されます。

データポーリングフラグの値と、トグルフラグの値を組み合わせることにより、セクタ消去の中断中かどうかを判定できます。また中断中の場合は、どこがセクタが消去中なのかも判定できます。

3.6.3. トグルビットフラグ

トグルビットフラグは、データポーリングフラグと組み合わせて、自動アルゴリズムの実行中かどうかを判定するために用いられます。トグルビットフラグの値がトグルしていることを確認する際には、最低2回以上の読出しを行い、値を比較してください。

(1) トグルビットフラグ(DQ[6, 14])

トグルビットフラグには、Flash メモリの状態に応じて、表 3-4 の DQ[6, 14]の列に記載されている値が読み出されます。

(2) 書込み、マクロ消去、セクタ消去

自動アルゴリズム実行中のトグルビットフラグの値は、読出しのたびに反転されます。自動アルゴリズムの実行が完了した場合、読出しにより指定したアドレスに書き込まれている値が読み出されます。そのため、消去完了後は、"1"が読み出されます。

(3) セクタ消去中断

セクタ消去の中断中は、消去中のセクタに属するアドレスを読み出すと、トグルビットフラグには"0"が読み出されます。一方、読み出したアドレスが消去中のセクタに属さない場合は、そのアドレスに書き込まれている値が読み出されます。

3.6.4. タイミングリミット超過フラグ

タイミングリミット超過フラグは、自動アルゴリズムの実行中に、Flash メモリ内部に設定されたタイミングリミット超過したことを表します。

(1) タイミングリミット超過フラグ(DQ[5, 13])

タイミングリミット超過フラグには、Flash メモリの状態に応じて、表 3-4 の DQ[5, 13]の列に記載されている値が読み出されます。

(2) 書込み、マクロ消去、セクタ消去

自動アルゴリズムによる書込みまたは消去に対しては、Flash メモリ内部にアルゴリズムの実行時間の上限が設定されています。自動アルゴリズムが実行中の状態で、かつ実行時間の上限を超過していない場合には、タイミングリミット超過フラグは"0"が読み出されます。また実行時間の上限を超過した場合は、"1"が読み出されます。

データポーリングフラグとトグルビットフラグを用いて、自動アルゴリズムが実行中の状態であることを判定し、実行中にタイミングリミット超過フラグが"1"に変化したことを検出することによって、実行中の書込みもしくは消去の失敗が検出されます。

なおこの状態が発生していることは、レジスタ TCFCFGn_FSTAT0/1 の HANG ビットによっても知ることができます。

タイミングリミットの超過が検出された場合は、読出し/リセットコマンドを実行してください。

(3) セクタ消去中断

セクタ消去中断中に、消去中のセクタに属するアドレスを読み出すと、タイミングリミット超過フラグには"0"が読み出されます。



3.6.5. セクタ消去タイマフラグ

セクタ消去タイマフラグは、Flash メモリの内部において、セクタ消去動作が実際に始まったかどうかを示します。

(1) セクタ消去タイマフラグ(DQ[3, 11])

セクタ消去タイマフラグには、Flash メモリの状態に応じて、表 3-4 の DQ[3, 11]の列に記載されている値が読み出されます。

(2) セクタ消去

セクタ消去コマンドシーケンスの書き込みが終わると、Flash メモリはセクタ消去ウェイト期間に入ります。セクタ消去ウェイト期間中は、さらにほかのセクタ消去コマンドを書き込むことによって、消去の対象となるセクタを追加指定できます。

コマンド実行中に読出しを行うと、セクタ消去タイマフラグは、指定したアドレスにかかわらず読み出されます。セクタ消去ウェイト期間中セクタ消去タイマフラグには"0"が読み出されます。セクタ消去ウェイト期間が終了し、実際の消去動作が Flash メモリの内部において開始されると、セクタ消去タイマフラグには"1"が読み出されます。セクタ消去タイマフラグに"1"が読み出されている間は、新たなセクタ消去コマンドの書き込みを行っても無視されます。

セクタ消去コマンドを Flash メモリへ書き込む前後には、セクタ消去タイマフラグの値を確認してください。もしセクタ消去コマンドを書き込んだ直後に、セクタ消去タイマフラグに"1"が読み出された場合は、そのセクタ消去コマンドは保証されません。

(3) セクタ消去中断

セクタ消去の中断中に、消去中のセクタに属するアドレスを読み出すと、セクタ消去タイマフラグには"1"が読み出されます。また、同一メモリで消去中のセクタと隣接するセクタに属するアドレスを読み出した場合も、セクタ消去タイマフラグには"1"が読みだされます。

隣接するセクタとは、消去中セクタを SAn とすると、n が偶数の場合は SAn+1, n が奇数の場合は SAn-1 となります。対象は大セクタ領域で小セクタ領域は関係ありません。

読み出したアドレスが、消去中のセクタに属しない場合は、そのアドレスに書き込まれている内容が読み出されます。

3.6.6. トグルビット 2 フラグ

トグルビット 2 フラグは、読み出したアドレスが属するセクタが消去中断中の状態かどうかを示します。トグルビット 2 フラグは、どのセクタが消去中の状態かを判定するためにも使えます。

(1) トグルビット 2 フラグ(DQ[2, 10])

トグルビット 2 フラグとトグルビットフラグを組み合わせることにより、Flash メモリがセクタ消去中断状態にあるのか、実際にセクタ消去を実行中の状態にあるのか、判定ができます。自動アルゴリズム実行中のトグルビット 2 フラグには、表 3-4 の DQ[2, 10]の列に記載されている値が読み出されます。

(2) セクタ消去

消去中のセクタに属するアドレスを読み出すと、トグルビット 2 フラグの値は、読出しを行うたびに反転して読み出されます。それ以外のセクタに属するアドレスを読み出した場合は、トグルビット 2 フラグには、"1"が読み出されます。マクロ消去中は、すべてのセクタに対する読出しに対して、トグルビット 2 フラグの値は、読出しのたびに反転されます。

(3) セクタ消去中断

消去中のセクタに属するアドレスを読み出すと、トグルビット 2 フラグの値は、読出しを行うたびに反転して読み出されます。それ以外のセクタに属するアドレスを読み出した場合は、そのアドレスに書き込まれている値が読み出されます。セクタ消去中断中は、セクタ消去再開と読出しだけを行うことが可能です。

あるセクタに属するアドレスを 2 回以上読み出した場合、トグルビットフラグの値は反転しませんが、トグルビット 2 フラグの値は読み出すたびに反転するため、そのセクタがセクタ消去中断中の状態であることを判定できます。

(4) タイミングリミット超過

タイミングリミット超過が検出された場合、トグルビット 2 フラグを利用して、どのセクタにおいて発生しているかを確認できます。タイミングリミット超過が発生したセクタを読み出すとトグルビット 2 フラグは、読出しのたびに反転されます。しかしその他のセクタにおいて、トグルビット 2 フラグは"1"が読み出されず。



3.7. ウェイトサイクル挿入

レジスタ TCFCFGn_FCFGR の FAWC ビットの設定により, Flash メモリのアクセス時にウェイトサイクルの挿入を行わせることができます。

システムクロックの周波数が低いときには, FAWC ビットに"0"を設定することも可能です。FAWC ビットに設定されたウェイトサイクル数は, 読出し書込み両方のアクセス時に適用されます。FAWC ビットに設定された値は, 設定を変更するまでは有効です。またリセット後, FAWC ビットの値は"3"になっています。

3.8. ECC の生成と検査

TCFLASH は、32 ビット当たり 7 ビットのエラーチェックコード(ECC : Error Check Code)を付加することにより、1 ビット誤りの検出と訂正および 2 ビット誤りの検出を行えます。

TCFLASH の ECC 論理は、ARM Cortex-R5F コア内において行われる 32 ビット単位の ECC と同じ方法によって、書込み時の ECC の生成や、読出し時のシンドロームのチェックが行われます。

書込みの際には、32 ビットのデータに対して 7 ビットの ECC が生成され、データと共に書き込まれます。ECC を付加してデータを書き込む方法については、「4.3 書込みの手順」を参照してください。

AXI 空間を経由した読出しの際には、シンドロームが計算され、「誤りなし」、「1 ビット誤りあり」、「2 ビット以上の誤りあり」が判定されます。結果が「2 ビット以上の誤りあり」の場合、誤りの訂正はできません。Flash メモリの内容が消去された状態においては、誤りが検出されることはありません。TCM 空間を経由した読出しの場合は、TCFLASH においては誤りの検出や訂正は行われません。TCFLASH は Flash メモリから読み出されたデータおよび ECC ビットを、そのまま Cortex-R5F コアへ送ります。TCM 空間経由によって読み出されたデータおよび ECC ビットに対する誤りの検出や訂正は、Cortex-R5F コアにおいて行われます。

3.8.1 から 3.8.3 にかけて説明した内容は、AXI 空間経由によって読出しを行った場合に TCFLASH において行われる動作に関するものです。

検査機能の試験を行うために、ECC 論理は、Flash メモリから読み出したデータおよび ECC に誤りを挿入する機能を備えます。誤りの挿入は、TCM 空間経由からの読出し、AXI 空間経由の読出し、のいずれの場合にも行われます。

ECC は、レジスタ TCFCFGn_FECCTRL の ECCOFF ビットの設定により、オン/オフできます。

3.8.1. ECC の生成

書込みの際には、表 3-5 に示す計算式に従って、7 ビットのチェックビット CB[6:0]は、32 ビットの書込みデータ D[31:0]から生成されます。生成されたチェックビットは、0x73 と排他的論理和を取られた後、Flash メモリへ書き込まれます。

表 3-5 ECC の計算式

ビット	計算式
CB[6]	$D[31] \wedge D[30] \wedge D[29] \wedge D[28] \wedge D[27] \wedge D[26] \wedge D[25] \wedge D[24] \wedge D[23] \wedge D[22] \wedge D[21] \wedge D[20] \wedge D[19] \wedge D[18] \wedge D[17] \wedge D[16]$
CB[5]	$D[31] \wedge D[30] \wedge D[29] \wedge D[28] \wedge D[27] \wedge D[26] \wedge D[25] \wedge D[24] \wedge D[7] \wedge D[6] \wedge D[5] \wedge D[4] \wedge D[3] \wedge D[2] \wedge D[1] \wedge D[0]$
CB[4]	$D[31] \wedge D[30] \wedge D[23] \wedge D[22] \wedge D[21] \wedge D[20] \wedge D[19] \wedge D[18] \wedge D[15] \wedge D[14] \wedge D[13] \wedge D[12] \wedge D[11] \wedge D[10] \wedge D[7] \wedge D[6]$
CB[3]	$\sim(D[29] \wedge D[28] \wedge D[27] \wedge D[23] \wedge D[22] \wedge D[21] \wedge D[17] \wedge D[16] \wedge D[15] \wedge D[14] \wedge D[13] \wedge D[9] \wedge D[8] \wedge D[5] \wedge D[4] \wedge D[3])$
CB[2]	$\sim(D[31] \wedge D[29] \wedge D[26] \wedge D[25] \wedge D[23] \wedge D[20] \wedge D[19] \wedge D[16] \wedge D[15] \wedge D[12] \wedge D[11] \wedge D[8] \wedge D[7] \wedge D[5] \wedge D[2] \wedge D[1])$
CB[1]	$D[28] \wedge D[26] \wedge D[24] \wedge D[22] \wedge D[20] \wedge D[18] \wedge D[17] \wedge D[16] \wedge D[14] \wedge D[12] \wedge D[10] \wedge D[9] \wedge D[8] \wedge D[4] \wedge D[2] \wedge D[0]$
CB[0]	$D[31] \wedge D[29] \wedge D[28] \wedge D[26] \wedge D[23] \wedge D[22] \wedge D[20] \wedge D[16] \wedge D[13] \wedge D[11] \wedge D[10] \wedge D[9] \wedge D[6] \wedge D[3] \wedge D[1] \wedge D[0]$



3.8.2. シンドロームの計算

読出しの際には、Flash メモリから読み出したデータ D[31:0]から表 3-5 に示した計算式に従って 7 ビットのチェックビット CB[6:0]が計算されます。計算されたチェックビットは、Flash メモリから読み出したチェックビットの EDOR[6:0]と共に、表 3-6 に示す計算式に従ってシンドローム S[6:0]を生成するために用いられます。

表 3-6 シンドロームの計算式

ビット	計算式
S[6]	$\sim (CB[6] \wedge EDOR[6])$
S[5]	$\sim (CB[5] \wedge EDOR[5])$
S[4]	$\sim (CB[4] \wedge EDOR[4])$
S[3]	$(CB[3] \wedge EDOR[3])$
S[2]	$(CB[2] \wedge EDOR[2])$
S[1]	$\sim (CB[1] \wedge EDOR[1])$
S[0]	$\sim (CB[0] \wedge EDOR[0])$

3.8.3. 誤りの検出

計算されたシンδροーム $S[6:0]$ の値に基づいて、「誤りなし」、「1 ビット誤りあり」、「2 ビット誤りあり」、「3 ビット以上の誤りあり」が判定されます。シンδροームの値と判定結果の関係を表 3-7 に示します。表において使われている記号の意味は、以下に示すとおりです。

- "+" : 誤りなし。
- "C[n] ($0 \leq n \leq 6$)" : 1 ビット誤りを検出。チェックビット $CB[n]$ の値が誤っています。
- "D[m] ($0 \leq m \leq 31$)" : 1 ビット誤りを検出。データビット $D[m]$ の値が誤っています。
- "T" : 2 ビット誤りを検出。訂正不能です。
- "M" : 3 ビット以上の誤りを検出。訂正不能です。

1 ビット誤りについては、すべてのケースが検出でき、訂正を行えます。また 2 ビット誤りについては、すべてのケースが検出可能ですが、訂正はできません。3 ビット以上の誤りについては、表 3-7 に示すように検出が可能なケースもあります。しかしすべてのケースは検出できません。なお 3 ビット以上の誤りも訂正できません。

表 3-7 シンδροームの値の意味

		S[6:4]の値							
		0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
S[3:0]の値	0x0	+	C[4]	C[5]	T	C[6]	T	T	D[30]
	0x1	C[0]	T	T	D[6]	T	M	M	T
	0x2	C[1]	T	T	M	T	D[18]	D[24]	T
	0x3	T	D[10]	D[0]	T	M	T	T	M
	0x4	C[2]	T	T	D[7]	T	D[19]	D[25]	T
	0x5	T	D[11]	D[1]	T	M	T	T	D[31]
	0x6	T	D[12]	D[2]	T	M	T	T	M
	0x7	M	T	T	M	T	D[20]	D[26]	T
	0x8	C[3]	T	T	M	T	D[21]	D[27]	T
	0x9	T	D[13]	D[3]	T	M	T	T	M
	0xA	T	D[14]	D[4]	T	D[17]	T	T	M
	0xB	D[9]	T	T	M	T	D[22]	D[28]	T
	0xC	T	D[15]	D[5]	T	M	T	T	M
	0xD	M	T	T	M	T	D[23]	D[29]	T
	0xE	D[8]	T	T	M	T	M	M	T
	0xF	T	M	M	T	D[16]	T	T	M



3.9. 割込み

TCFLASH は、以下のような場合に割込み要求を発生させることが可能です。

- 書込みもしくは消去が完了し、次の動作を開始できるようになったとき
レジスタ TCFCFGn_FSTAT0/1 の RDYINT ビットが"1"を示します。このとき、同一ユニットの同一メモリに対応するレジスタ TCFCFGn_FICTRL0/1 の RDYIE ビットが"1"の状態の場合、TCFLASH は割込み要求の生成を行います。
- ハングアップ 1 状態が検出されたとき
自動アルゴリズムの実行中にタイムアウトが検出された場合などに、ハングアップ 1 状態が検出され、レジスタ TCFCFGn_FSTAT0/1 の HANGINT ビットが"1"を示します。このとき、同一ユニットの同一メモリに対応するレジスタ TCFCFGn_FICTRL0/1 の HANGIE ビットが"1"の状態の場合、TCFLASH はエラー割込み要求の生成を行います。
- ECC 論理により 1 ビットエラー(訂正可能)が検出されたとき
レジスタ TCFCFGn_FSECIR の SECINT ビットが"1"を示します。このとき、同じレジスタの SECIE ビットが"1"の状態場合、TCFLASH は割込み要求の生成を行います。

3.10. バスエラー応答

TCFLASH は、以下に示す場合にバスエラー応答を行います。

- 訂正不能な誤りが検出された場合(ECC 検査により 2 ビット以上の誤りが検出された場合)。
- 非特権状態の書込みまたは消去が試みられた場合。
- レジスタ TCFCFGn_FCFGR の WE ビットが"0"の場合に、書込みもしくは消去が試みられた場合。
- ECC が有効になっている場合に、8 ビットもしくは 16 ビットの書込みが試みられた場合。
- 32 ビット書込みの 2 回目の書込みシーケンスを行っているときに、8 ビットもしくは 16 ビットの書込みが試みられた場合。
- 64 ビットより大きいサイズの読出しが試みられた場合。
- 32 ビットより大きいサイズの書込みが試みられた場合。
- 64 ビットより大きいサイズのレジスタアクセスが試みられた場合。
- 書込みサイズの境界に非整列なアドレスに対する書込みが試みられた場合。
- レジスタ TCFCFGn_FCFGR の WE ビットが"1"の場合に、TCM インタフェース経由の読出しが試みられた場合。
- 自動アルゴリズム実行中に TCM インタフェース経由の読出しが試みられた場合。
- TCM 空間内の予約領域, AXI 空間内の予約領域, レジスタ空間内の予約領域へアクセスが試みられた場合。
- 非特権状態のレジスタ書込みにより設定の変更が試みられた場合。
- レジスタ TCFCFGn_FECCCTRL への 2 回目以降の書込みが試みられた場合。
- アンロックシーケンスから逸脱した手順による設定変更が試みられた場合。具体的には、次に示す場合が該当します。
 - ロック状態で保護対象レジスタに書込みが試みられた場合
 - TCFCFGn_FCPROTKEY に対して 2 回連続書込みが試みられた場合
 - TCFCFGn_FCPROTKEY に対して、誤った保護キーの書込みが試みられた場合
 - 保護されているレジスタへの書込みをアンロックしたバスマスタとは異なるバスマスタにより、保護対象レジスタへ書込みが試みられた場合。例えば CPU #0 が TCFCFGn_FCPROTKEY へ正しい保護キーを書き込み、保護されたレジスタへの書込みをアンロックしているときに、DMAC が、同一ユニットの保護されたレジスタへ書込みを試みた場合に、TCFLASH は DMAC に対してバスエラー応答を行います。
- 読出し専用レジスタへの書込みアクセスを行った場合。



3.11. フラッシュセキュリティ

(1) セキュリティ情報領域

本製品においては、TCFLASH および WorkFLASH の内容が不正に読み取られたり、改ざんされたりするのを防止するために、フラッシュセキュリティ機能が実装されています。

フラッシュセキュリティ機能は、セキュリティ情報領域に書き込まれた内容により制御されます。本製品においては、TCFLASH の小セクタ領域の先頭 96 バイトがセキュリティ情報領域となっています。

セキュリティ情報領域のレイアウトを表 3-8 に示します。

表 3-8 セキュリティ情報領域のレイアウト

オフセット	SA1				SA0			
	+7	+6	+5	+4	+3	+2	+1	+0
0x0_00000	reserved				SDR_FSECM			
0x0_00008	reserved				SDR_DSM			
0x0_00010	reserved				SDR_DSKM0			
0x0_00018	reserved				SDR_DSKM1			
0x0_00020	reserved				SDR_DSKM2			
0x0_00028	reserved				SDR_DSKM3			
0x0_00030	reserved				reserved			
0x0_00038	reserved				reserved			

a) SDR_FSECM

詳細は『BootROM ソフトウェアインタフェース』の章を参照してください。

b) SDR_DSM

詳細は『BootROM ソフトウェアインタフェース』の章を参照してください。

c) SDR_DSKM0 , 1, 2, 3

詳細は『BootROM ソフトウェアインタフェース』の章を参照してください。

(2) フラッシュセキュリティのオン/オフ判別

SDR_FSECM[15:0] (以降はフラッシュセキュリティマーカとします)の値が 0x0001 の場合、フラッシュセキュリティはオンの状態を示します。フラッシュセキュリティマーカのバイト並びはリトルエンディアンです。

リセット解除後、TCFLASH インタフェースのセキュリティ情報領域から、フラッシュセキュリティマーカの値が読み出されます。読み出されたフラッシュセキュリティマーカの値が 0x0001 である場合、フラッシュセキュリティがオンの状態と判定されます。

複数の Cortex-R5 コアを内蔵する製品の場合、コアと同数の TCFLASH が存在します。このような場合には、いずれか 1 個の TCFLASH において、フラッシュセキュリティマーカの値が 0x0001 の場合、フラッシュセキュリティがオンの状態と判定されます。チップ全体のセキュリティ強化のため、各 TCFLASH のセキュリティマーカの値を 0x0001 としてください。

リセット解除後、TCFLASH は ECC が有効な状態になっています。フラッシュセキュリティマーカの読み出しを行ったときに訂正不能な誤りが検出された場合には、ECC 演算前の値を用いて判定が行われます。また訂正可能な誤りが検出された場合には、訂正後の値を用いて判定が行われます。

(3) セキュリティ ON 時の TCFLASH に対するアクセス制限

TCFLASH 中のデータやプログラムが第3者により読み取られるのを防止するため、本製品は『セキュリティ』の章に示すとおり、TCFLASH への操作が制限されます。

4. 設定手順例

TCFLASH の設定方法について説明します。

4.1. ウェイトサイクル数の設定

システムの動作周波数が、Flash メモリの最大動作周波数よりも大きい場合は、レジスタ TCFCFGn_FCFGR の FAWC[1:0]に適切な値を設定することによって、Flash メモリをアクセスする際にウェイトサイクルを挿入させることが必要です。

なお、TCFLASH にアクセス中(読出しまたはプログラム実行中)には wait 設定を変更してはいけません。wait 設定変更後は、特定のサイクル後に有効となります。そのため、必ず TCFLASH 内のレジスタを 2 回ダミーリードし、wait 設定反映後、TCFLASH にアクセスを行うようにしてください。

FAWC[1:0]に設定する値は、次に示す式に従って計算できます。

$$\text{FAWC}[1:0] = \text{CEILING}(\text{システムの動作周波数} / \text{Flash メモリの最大動作周波数}) - 1$$

ただし、上記の式において、CEILING()は、引数の小数部を切り上げて値を整数化する関数を表します。

本製品に内蔵される Flash メモリの最大動作周波数は 80MHz です。したがって、例えば、システムの動作周波数が 200MHz の場合には、上記の式より FAWC[1:0]に設定する値は"2"です。

4.2. Flash メモリの状態を読出し/リセットへ遷移させる

読出し/リセットのコマンドシーケンスを Flash メモリへ書き込んでください。自動アルゴリズムの実行が異常終了した場合(例えばタイムアウトした場合など)には、Flash メモリの状態を初期化できます。本製品がリセットされた直後には、Flash メモリの状態は読出し/リセット状態になっているため、通常のリセットのために、読出し/リセットのコマンドシーケンスを Flash メモリへ書き込む必要はありません。

Flash メモリによる正常な書き込みもしくは消去の動作は、読出し/リセットのコマンドシーケンス書き込みによる影響を受けません。また読出し/リセットのコマンドシーケンス書き込みによって、中断中のセクタ消去キャンセルはできません。



4.3. 書込みの手順

Flash メモリへデータを書き込むためには、書込みコマンドのシーケンスを Flash メモリへ書き込んでください。書込み先のアドレスは、書込みを行うデータのサイズに整列している必要があります。

8 ビットもしくは 16 ビットにおいて書込みを行った場合には、そのデータはそのまま Flash メモリの指定したアドレスへ書き込まれます。ECC が有効になっている場合には、8 ビットもしくは 16 ビットにおいて書込みを試みると、TCFLASH はバスエラー応答を行います。

32 ビットの書込みを行う場合には、同じデータ、同じアドレスにおいて、32 ビットの書込みを 2 回繰り返して行う必要があります。ECC が有効になっている場合には、32 ビットのデータから ECC が生成され、同時に書き込まれます。32 ビットの書込みが行われる場合、1 回目の書込みのときには、32 ビットデータの下位 16 ビットが Flash メモリに書き込まれます。そして 2 回目の書込みのときに、上位 16 ビットが Flash メモリへ書き込まれます。そのため、1 回目の書込みの完了を待ち合わせるためには、書込みを行ったのと同じアドレスを用いてハードウェアシーケンスフラグを読み出してポーリングを行います。また 2 回目の書込みの完了を待ち合わせるためには、書込みを行ったアドレス+2のアドレスを用いてハードウェアシーケンスフラグを読み出してポーリングを行う必要があります。

Flash メモリのセルの値は、書込みによって"0"から"1"へ変更できません。そのため、既に"0"が書き込まれているセルへ"1"を書き込むと、Flash メモリはハングアップ 1 状態が示されます。

書込みを実行している間、Flash メモリにおいて新たに書き込まれたすべてのコマンドシーケンスは無視されます。

コマンドシーケンス書込みの途中においてバスエラー応答を受け取った場合には、SWFRST ビットへの"1" ビット書込みにより Flash メモリへソフトウェアリセットを発行して、マクロの初期化(消去の意味とは違い、新しいコマンドを受け付けられる状態にするという意味)を行ってください。

書込みを行っている間に本製品がリセットされた場合や、レジスタ TCFCFGn_FCFGR の SWFRST ビットに"1"が書き込まれて Flash メモリがリセットされた場合、リセット後の書込み対象となったセルの内容は保証されません。

図 4-1 書き込みの手順 (ハードウェアシーケンスフラグを利用する場合)

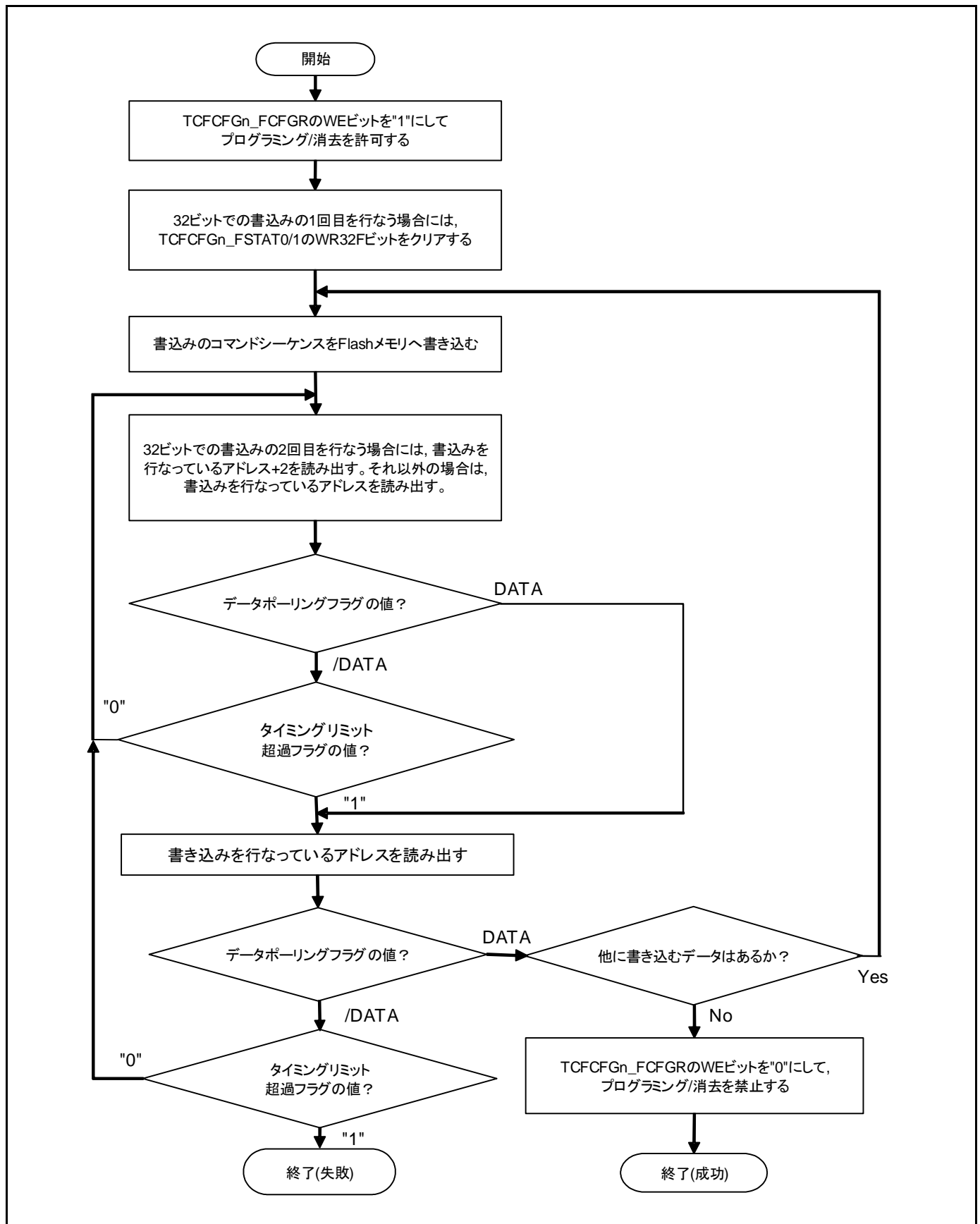
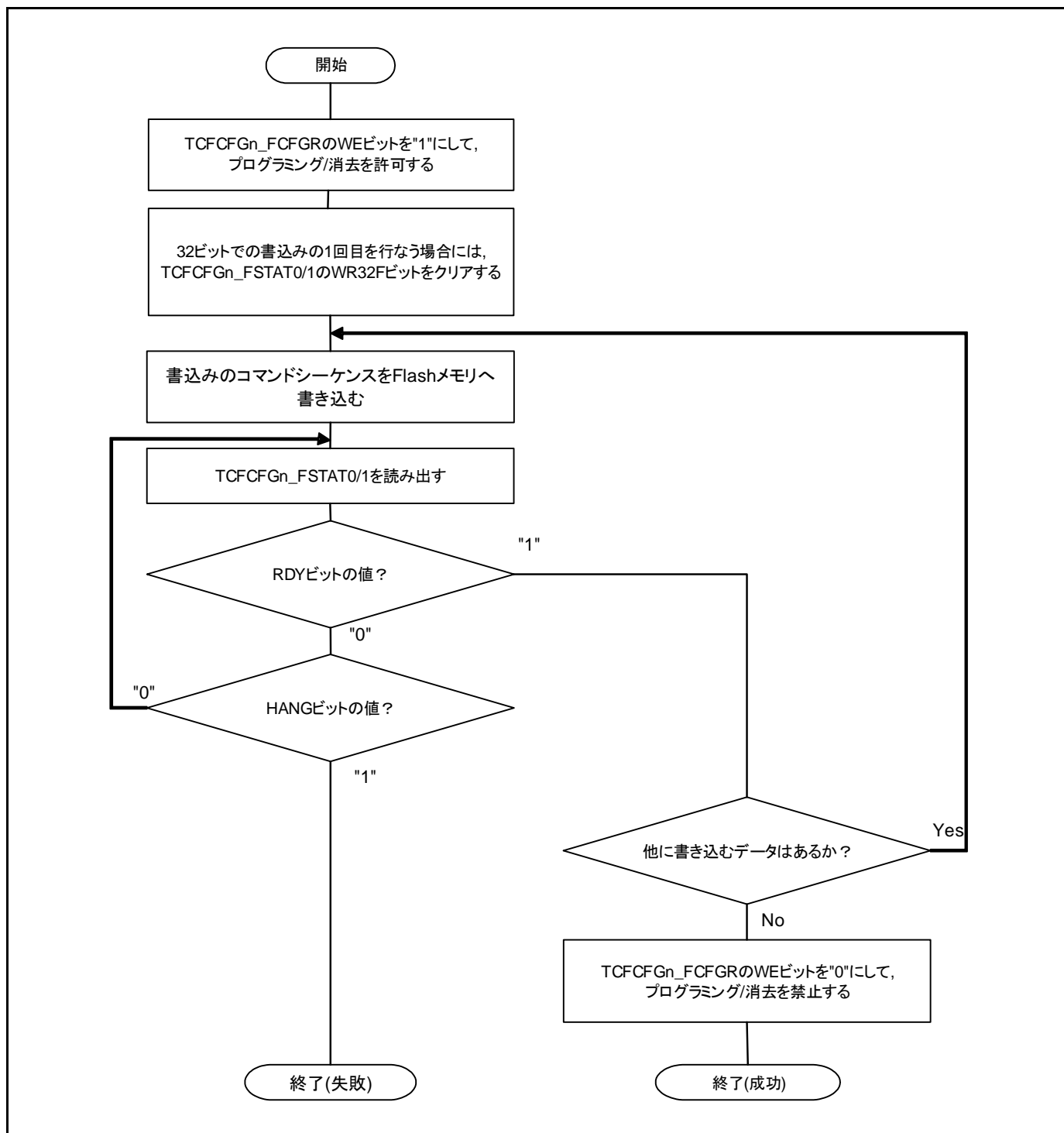


図 4-2 書き込みの手順 (レジスタ TCFCFGn_FSTAT0/1 を利用する場合)



4.4. マクロ消去の手順

マクロ消去コマンドのシーケンスを Flash メモリへ書き込んでください。シーケンスを構成する計 6 回の書き込み中、最後の書き込みが完了した場合、Flash メモリにおいてマクロ消去動作が開始されます。マクロ消去が完了した後は、対象となった Flash メモリ内すべてのメモリセル値は"1"です。

Flash メモリは、マクロ消去の実行中はすべてのコマンドシーケンスの書き込みが無視されます。

マクロ消去を実行中に、本製品がリセットされるか、もしくはレジスタ TCFCFGn_FCFGR の SWFRST に"1"を書き込むことによる Flash メモリのリセットが行われた場合、リセット後の Flash メモリの内容は保証されません。

マクロ消去の実行状況は、ハードウェアシーケンスフラグの値によって確認できます。

4.5. セクタ消去の手順

セクタ消去コマンドのシーケンスを Flash メモリへ書き込むことにより、セクタ単位の消去を行えます。コマンドのシーケンス中において指定したアドレスが属しているセクタが消去の対象です。

セクタ消去コマンドのシーケンスが書き込まれると、Flash メモリは最小 $40\mu\text{s}$ のセクタ消去ウェイト期間に入ります。セクタ消去ウェイト期間中に、0x30(セクタ消去コマンドシーケンスの最後のコード)を別のセクタに属するアドレスへ書き込むと、そのセクタもセクタ消去の対象に追加されます。したがってこの機能を利用して、複数のセクタに対する消去を行わせることができます。セクタ消去コマンドのシーケンスが書き込まれている間、Flash メモリにおいて最後に 0x30 が書き込まれた時点から最小 $40\mu\text{s}$ 待ってから、指定されたセクタの消去が開始されます。複数のセクタを対象としたセクタ消去を行う場合には、ハードウェアシーケンスフラグのセクタ消去タイマフラグ(DQ[3, 11])の値を読み出して書き込んだコード(0x30)が受け付けられたことを確認してください。

消去が完了した後は、消去の対象となったセクタの Flash メモリセル値は、すべて"1"です。

図 4-3 および図 4-4 にセクタ消去を行うためのフローの例を示します。なお図 4-4 に表記のある「タイムアウトマーカ」は、プログラムがタイムアウトを検出したことを記憶するために使されるブール型の変数を表しています(ハードウェアのフラグではありません)。

図 4-3 単一のセクタを消去する場合のフローの例

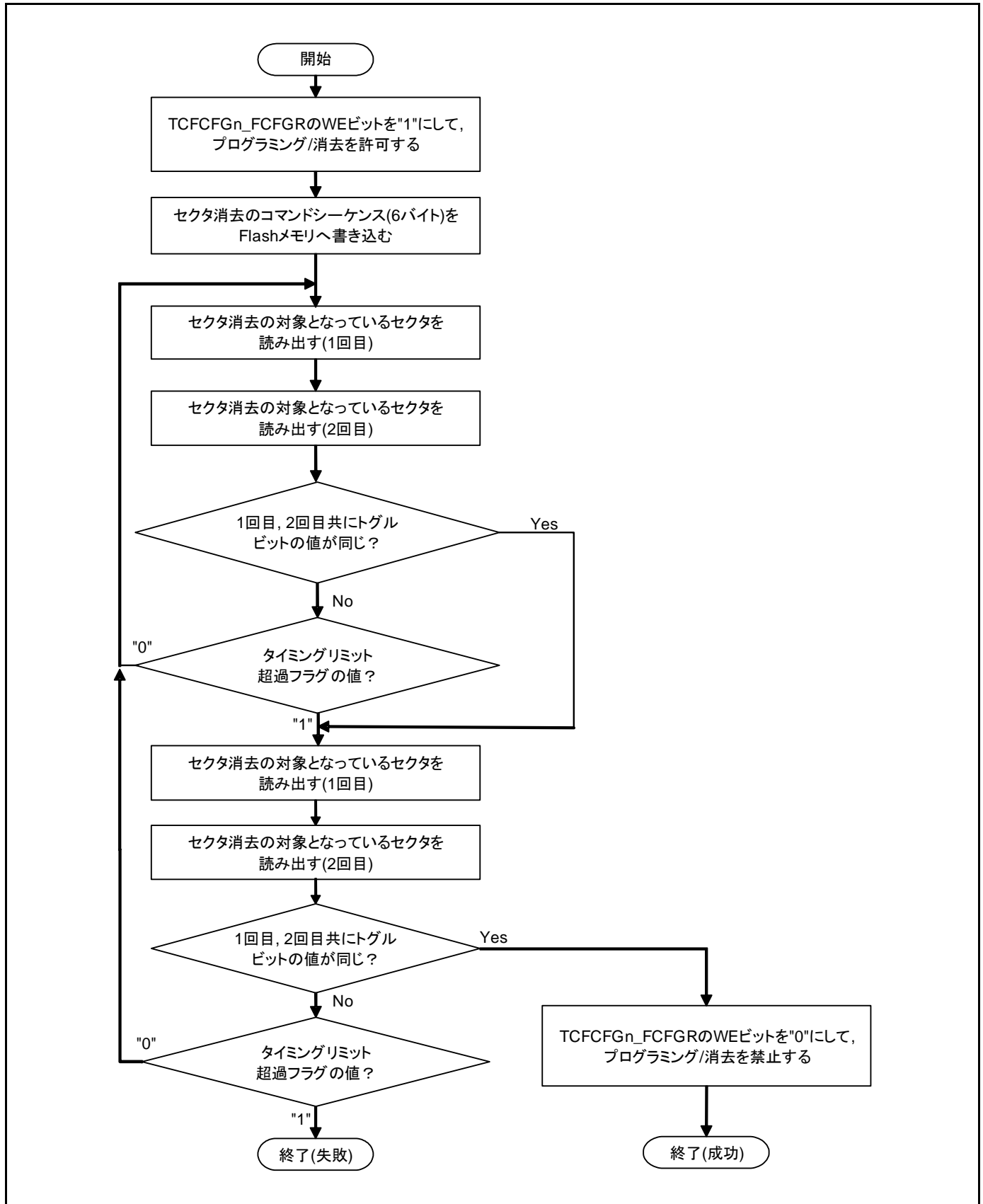


図 4-4 複数のセクタを消去する場合のフローの例

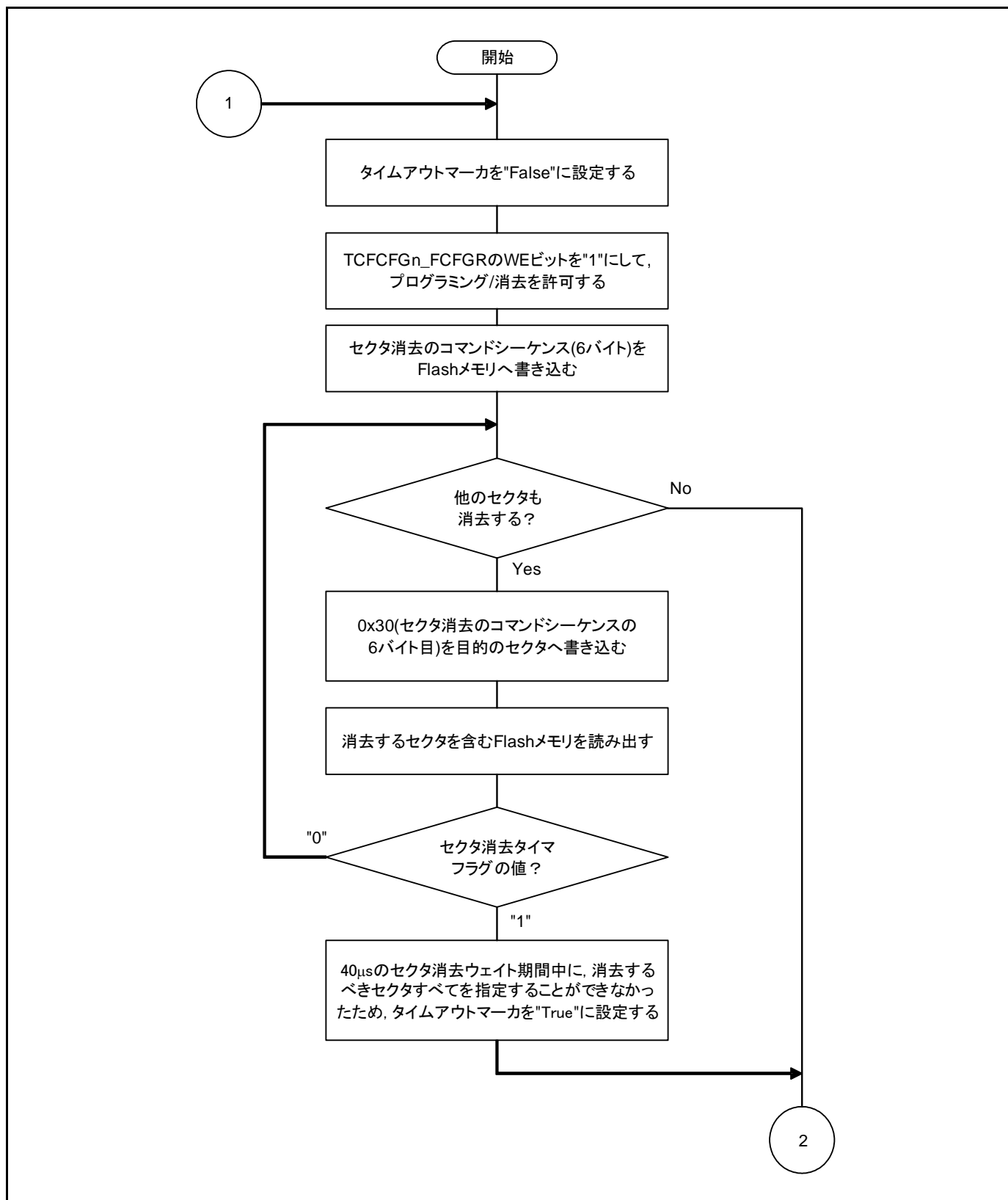
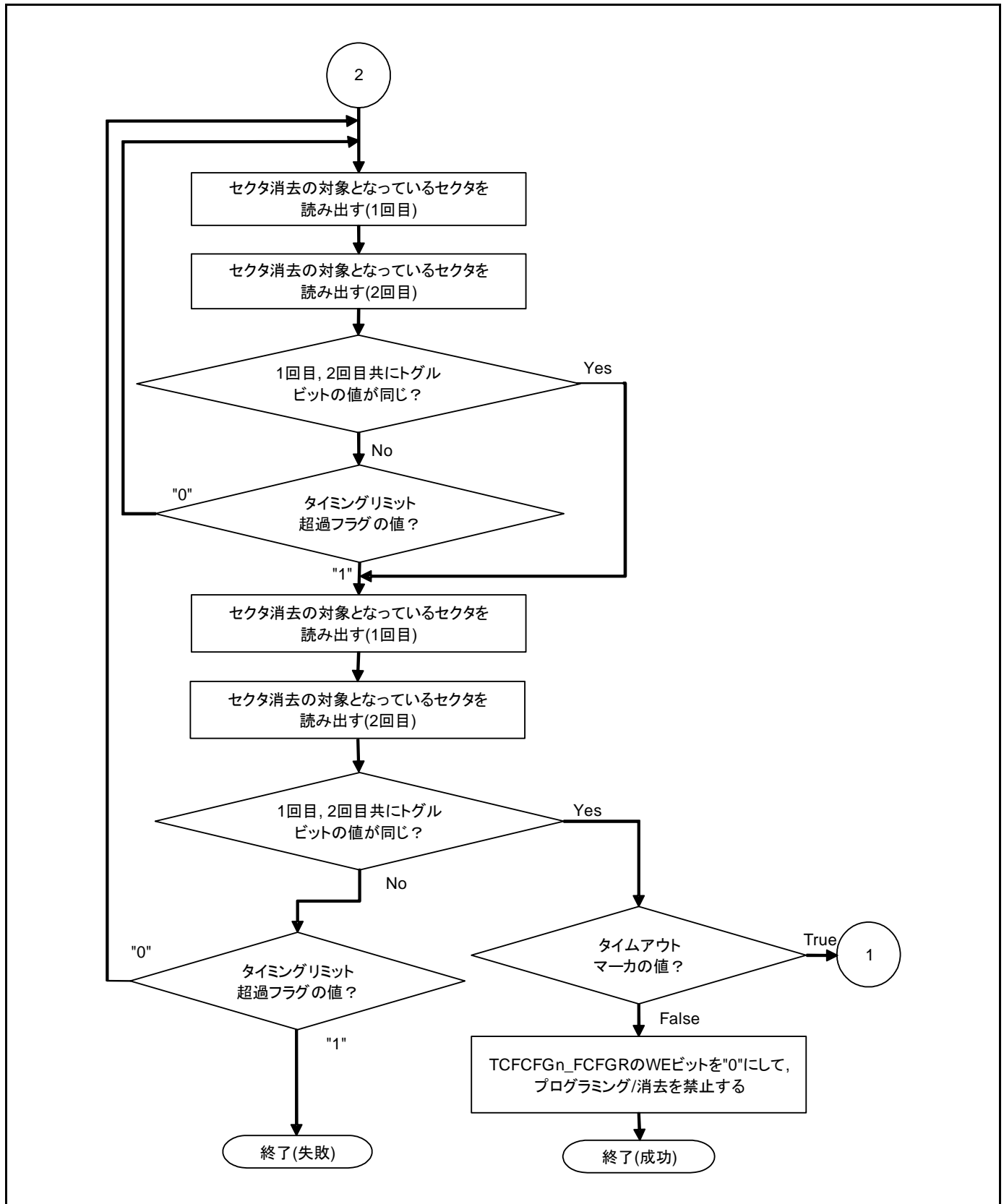


図 4-5 複数のセクタを消去する場合のフローの例(続き)



4.5.1. セクタ消去の中断

中断したいセクタ消去を行っている Flash メモリに対して、セクタ消去中断コマンドのシーケンスを書き込んでください。その際中断するセクタ消去の対象セクタに属するアドレスを指定してください。

Flash メモリがセクタ消去ウェイト期間中にある場合に、セクタ消去中断コマンドのシーケンスが書き込まれた場合、Flash メモリにおいて直ちにセクタ消去動作のキャンセルが行われます。Flash メモリがセクタ消去を実行している場合に、セクタ消去中断コマンドのシーケンスが書き込まれた場合、Flash メモリがセクタ消去中断状態へ遷移するまでには、最大 20 μ s かかります。

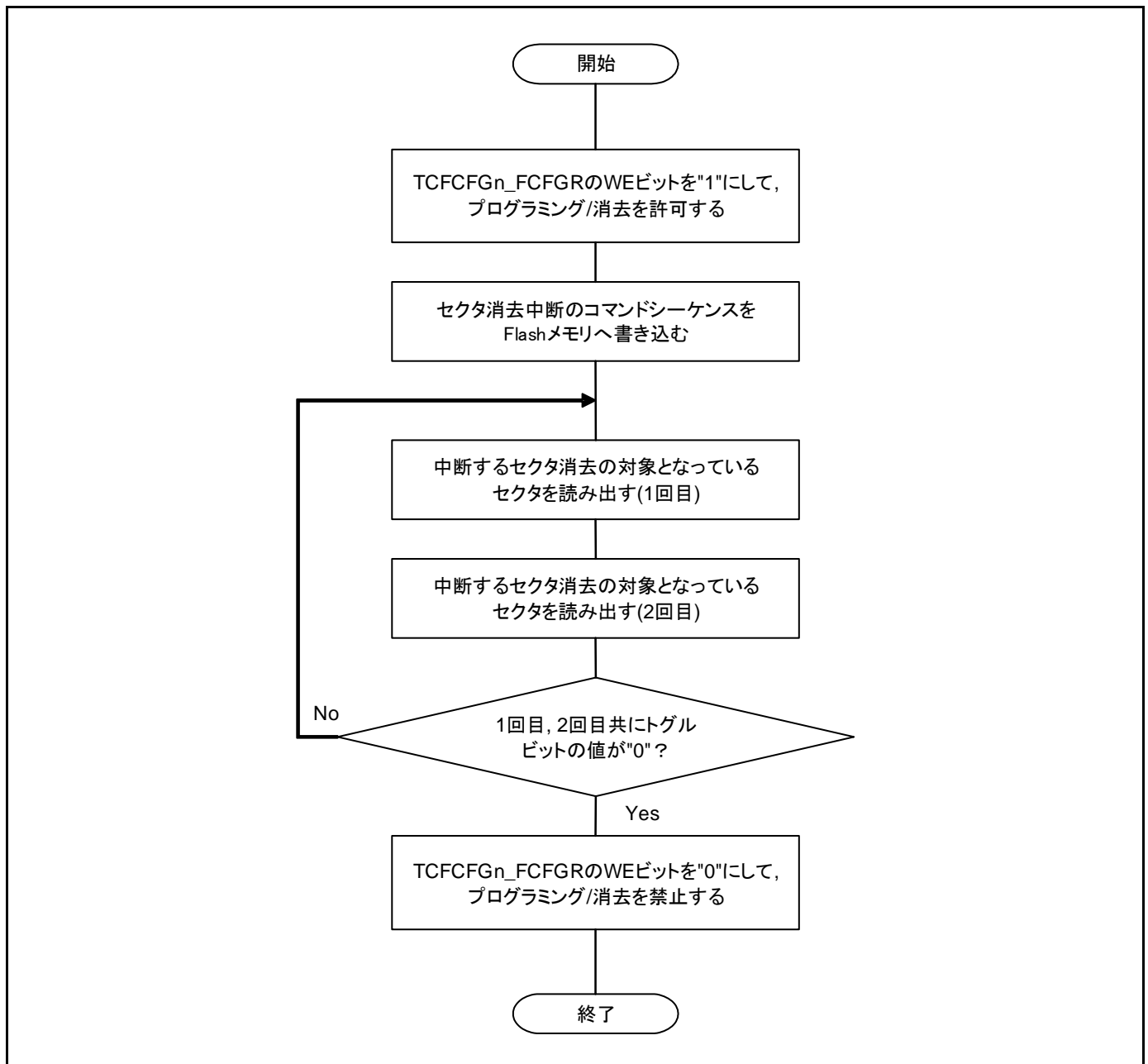
セクタ消去中断コマンドのシーケンスは、Flash メモリがセクタ消去中の場合だけ有効です。書込みもしくはマクロ消去を行っている場合や、既にセクタ消去中断状態にある場合には、Flash メモリにおいてセクタ消去中断コマンドのシーケンスは無視されます。

セクタ消去中断状態にある Flash メモリに対して、読出し/リセットもしくはセクタ消去再開以外のコマンドのシーケンスは書き込まないでください。

セクタ消去中断コマンド発行後は、ステータスレジスタの RDY が "1" になるまで FLASH へのリードはしないでください。

セクタ消去中断のフロー例を図 4-6 に示します。

図 4-6 セクタ消去中断処理のフロー (例)



4.5.2. セクタ消去の再開

再開したいセクタ消去を行っている Flash メモリに対して、セクタ消去再開コマンドのシーケンスを書き込んでください。その際中断しているセクタ消去の対象セクタに属するアドレスを指定してください。

セクタ消去が中断されていない場合、セクタ消去再開のコマンドシーケンスは、Flash メモリにより無視されます。



4.6. フラッシュセキュリティの設定方法

本製品には、Cortex-R5F コアと同数の TCFLASH が存在し、それぞれが、Flash メモリ A の小セクタ領域先頭にセキュリティ情報領域を持っています。フラッシュセキュリティをオンにするためには、いずれかのセキュリティ情報領域に存在するセキュリティマーカへ 0x0001 を書き込む必要があります。いずれかの TCFLASH のセキュリティ情報領域にあるセキュリティマーカへ 0x0001 を書き込み、本製品をリセットすることにより、フラッシュセキュリティがオンの状態を示します。

リセット後、TCFLASH は ECC が有効になっています。したがってセキュリティマーカへ書き込みを行う場合は、必ず ECC が有効な状態で行うようにしてください。

4.7. フラッシュセキュリティの解除方法

本製品には、Cortex-R5F コアと同数の TCFLASH が存在し、それぞれが、Flash メモリ A の小セクタ領域先頭にセキュリティ情報領域を持っています。フラッシュセキュリティをオフにするためには、すべてのセキュリティ情報領域に存在するセキュリティマーカの値を 0x0001 以外の値に変更することが必要です。

本製品がユーザモードにある場合、Flash メモリに対する書き込みおよび消去に対する制限はありません。そのため、書き込み、セクタ消去、マクロ消去のいずれかにより、すべてのセキュリティ情報領域に存在するセキュリティマーカの値を 0x0001 以外の値に変更できます。

すべてのセキュリティマーカの値を 0x0001 以外へ変更した後、本製品をリセットすることにより、フラッシュセキュリティがオフの状態を示します。

本製品がユーザモード以外(製造試験モード)にある場合、書き込みやセクタ消去によるフラッシュセキュリティの解除はできません。そのため、次に示す手順に従い、マクロ消去を行うことによってフラッシュセキュリティをオフにしてください。

1. すべての WorkFLASH の Flash メモリ、すべての TCFLASH の Flash メモリ B に対してマクロ消去を行い、内容を消去してください。

このとき、WorkFLASH の Flash メモリ、TCFLASH の Flash メモリ B の消去を行う順番は任意です。

2. すべての TCFLASH の Flash メモリ A に対してマクロ消去を行い、内容を消去してください。

Flash メモリ A に対するマクロ消去の実行については、TCFLASH の順序は任意です。例えば Cortex-R5F コアが 2 個存在する製品は、TCFLASH も各コアに対して 1 個ずつ、計 2 個存在しています。このような場合、TCFLASH#0 の Flash メモリ A に対するマクロ消去と、TCFLASH#1 の Flash メモリ A に対するマクロ消去は順不同で実行できます。

3. 本製品をリセットしてください。

上記の手順 1 もしくは手順 2 の完了前に本製品がリセットされた場合には、手順 1 からやり直してください。

5. レジスタ

TCFLASH 内のレジスタについて説明します。

TCFLASH のレジスタ用領域は周辺機能領域内にあり、それぞれ 1K バイトのサイズがあります。

レジスタ用領域内のレジスタの配置を表 5-1 に示します。表中のレジスタ名称において、"TCFCFG"の後にある"n"には、TCFLASH のユニット番号(TCFLASH が接続されている Cortex-R5F コアの番号)が 1 桁の数字として入ります。例えば Cortex-R5F コア#1 に接続されている TCFLASH の場合には、"TCFCFG1_"です。

表 5-1 レジスタ一覧

レジスタ略称	レジスタ名	参照先
TCFCFGn_FCPROTKEY	TCFLASH 設定保護キーレジスタ	5.1
TCFCFGn_FCFGR	TCFLASH 設定レジスタ	5.2
TCFCFGn_FECCCTRL	TCFLASHECC 制御レジスタ	5.3
TCFCFGn_FDATEIR	TCFLASH データビットエラー挿入レジスタ	5.4
TCFCFGn_FECCEIR	TCFLASHECC ビットエラー挿入レジスタ	5.5
TCFCFGn_FICTRL0	TCFLASH 割込み制御レジスタ(Flash メモリ A)	5.6
TCFCFGn_FICTRL1	TCFLASH 割込み制御レジスタ(Flash メモリ B)	5.6
TCFCFGn_FSTAT0	TCFLASH ステータスレジスタ(Flash メモリ A)	5.7
TCFCFGn_FSTAT1	TCFLASH ステータスレジスタ(Flash メモリ B)	5.7
TCFCFGn_FSECIR	TCFLASHSEC 割込みレジスタ	5.8
TCFCFGn_FECCEAR	TCFLASHECC エラーアドレスレジスタ	5.9
TCFCFGn_FMIDR	TCFLASH モジュール識別レジスタ	5.10
TCFCFGn_FUCEDIR	TCFLASH 訂正不能誤り検出割込みレジスタ	5.11
TCFCFGn_FUCEAR	TCFLASH 訂正不能誤りアドレスレジスタ	5.12



5.1. TCFLASH0/1/2/3 設定保護キーレジスタ(TCFCFGn_FCPROTKEY)

TCFLASH 設定保護キーレジスタ(TCFCFGn_FCPROTKEY)は、同じユニットに属する以下に示すレジスタを、意図しない書込みから保護するために用いられます。

- TCFLASH0/1/2/3 設定レジスタ(TCFCFGn_FCFGR)
- TCFLASH0/1/2/3 ECC 制御レジスタ(TCFCFGn_FECCCTRL)
- TCFLASH0/1/2/3 データビットエラー挿入レジスタ(TCFCFGn_FDATEIR)
- TCFLASH0/1/2/3 ECC ビットエラー挿入レジスタ(TCFCFGn_FECCEIR)

これらのレジスタへ書込みを行う前には、同じユニットの TCFLASH0/1/2/3 設定保護キーレジスタへ、正しい設定保護キー値(0xCF61F1A5)を書き込み、これらのレジスタへの書込みをアンロックしなければなりません。

アクセス可能なバスマスタは同グループ(Memory & Config Group)領域内アドレスに対する書込みにより、上記のレジスタへの書込みは、再びロックされます。ただし、アクセス可能な他マスタからの同グループ領域内(TCFLASH レジスタ領域を除く)への書込みではロックされません。

設定保護キー値が誤っている場合や、書込みをアンロックせずに上記のレジスタへ書込みを試みた場合など、不正な手順によって上記レジスタへ書込みを行うと、TCFLASH はバスエラー応答を行います。CPU によるアクセスの場合、バスエラー応答によりデータアボート例外が生成されます。

TCFLASH0/1/2/3 設定保護キーレジスタへの書込みは、必ず 32 ビットとしてください。

Bit	31-0
Field	FCPROTKEY
R/W 属性	R,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] FCPROTKEY[31:0]: 設定保護キー

本フィールドへ正しい設定保護キー値 (0xCF61F1A5)を書き込むことにより、同じユニットに属している TCFLASH0/1/2/3 設定レジスタ(TCFCFGn_FCFGR), TCFLASH0/1/2/3 ECC 制御レジスタ(TCFCFGn_FECCCTRL), TCFLASH0/1/2/3 データビットエラー挿入レジスタ(TCFCFGn_FDATEIR), TCFLASH0/1/2/3 ECC ビットエラー挿入レジスタ(TCFCFGn_FECCEIR)への書込みがアンロックされ、新しい値が設定できます。

これらのレジスタへの書込みがアンロックされているとき本レジスタからは0xFFFFFFFFが読み出されます。またこれらのレジスタへの書込みがロックされているとき本レジスタからは 0x00000000 が読み出されます。

5.2. TCFLASH0/1/2/3 設定レジスタ(TCFCFGn_FCFGR)

TCFLASH0/1/2/3 設定レジスタには、以下に示す機能があります。

- Flash メモリのリセット
- TCM ポートからのアクセスと, AXI からのアクセス優先順位の決定
- Flash メモリへの書込みの許可
- Flash メモリにアクセスする際のウェイトサイクル数の指定

同じユニットの TCFLASH0/1/2/3 設定保護キーレジスタへ正しい設定保護キー値が書き込まれ、本レジスタへの書込みがアンロックされている場合にだけ、本レジスタの設定値の変更ができます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved	SWFRST	TCMPR	WE	Reserved		FAWC	
R/W 属性	R0,WX	R0,W	R/W	R/W	R0,WX		R/W	
保護属性	WPS							
初期値	0	0	0	0	00		11	

[bit31:7] Reserved: 予約ビット

[bit6] SWFRST: ソフトウェアリセット

bit	説明
0	動作に影響はありません。
1	Flash メモリがリセットされます。

[bit5] TCMPR: TCM 優先イネーブル

TCM 読出しアクセスと AXI 読出しアクセスの優先順位を決定します。

本機能は未サポートです。

書込み値は動作に影響を与えません。

(AXI 書込みアクセスは最優先です)

bit	説明
0	AXI アクセスと TCM アクセスの優先順位は 16 回のアクセスごとに入れ替わります。
1	TCM アクセスが優先されます。

[bit4] WE: 書込みイネーブル

Flash メモリに対する書込み・消去の許可/禁止を設定します。本ビットが"0"のときに Flash メモリへのコマンドシーケンス書込みが検出されると、TCFLASH はバスエラー応答を行います。

本ビットが"1"のときに TCM インタフェース経由の読出しが試みられた場合、TCFLASH はバスエラー応答を行います。

WE で書き込み許可を設定した後に、自動アルゴリズムを起動して、FLASH の書込み・消去を実施してください。FLASH の書込み・消去完了後、禁止設定としてください。



bit	説明
0	コマンドシーケンスの書き込みは禁止です。
1	コマンドシーケンスの書き込みは許可されています。

[bit3:2] Reserved: 予約ビット

[bit1:0] FAWC[1:0]: フラッシュウェイト制御

Flash メモリをアクセスする際のウェイトサイクル数を設定します。設定する値は Flash メモリの動作周波数と, Flash メモリのアクセスタイムに従って決定してください。

bit[1:0]	説明
00	ウェイトサイクルは挿入されません。
01	1 ウェイトサイクルが挿入されます。
10	2 ウェイトサイクルが挿入されます。
11	3 ウェイトサイクルが挿入されます。

5.3. TCFLASH0/1/2/3 ECC 制御レジスタ(TCFCFGn_FECCCTRL)

本レジスタは ECC 論理の動作を制御するために用いられます。同じユニットの TCFLASH0/1/2/3 設定保護キーレジスタへ正しい設定保護キー値が書き込まれ、本レジスタへの書き込みがアンロックされている場合にだけ、本レジスタの設定値の変更ができます。また本レジスタの設定値の変更ができるのは一度だけです。本レジスタに対する二度目以降の書き込みに対しては、TCFLASH はバスエラー応答を行います。

Bit	31-8
Field	Reserved
R/W 属性	R0, WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							ECCOFF
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	00000000							0

[bit31:1] Reserved: 予約ビット

[bit0] ECCOFF: ECC オフ

AXI アクセスの際の ECC 論理の動作を許可または禁止します。TCM アクセスの際の ECC の生成と検査は、Cortex-R5F コア内の設定により制御されます。

bit	説明
0	AXI アクセスに関して ECC の生成と検査が行われます。
1	AXI アクセスに関して ECC の生成と検査は行われません。



5.4. TCFLASH0/1/2/3 データビットエラー挿入レジスタ(TCFCFGn_FDATEIR)

TCFLASH0/1/2/3 データビットエラー挿入レジスタは、Flash メモリから読み出されたデータビットにエラーを挿入することにより、ECC 論理の動作試験を行うために用いられます。

同じユニットの TCFLASH0/1/2/3 設定保護キーレジスタへ正しい設定保護キー値が書き込まれ、本レジスタへの書き込みがアンロックされている場合にだけ、本レジスタの設定値の変更ができます。

Bit	31-0
Field	FDATEIR
R/W 属性	R/W
保護属性	WPS
初期値	00000000_00000000_00000000_00000000

[bit31:0] FDATEIR[31:0]: データビットエラー挿入位置

本フィールドの値と、Flash メモリから読み出されたデータビットの値との排他的論理和をとった値が、ECC 検査論理へ送られます。Flash メモリの出力は32ビット×2レーン、64ビットの幅があります。特定のレーンへのエラー挿入を抑止する場合には、レジスタ TCFCFGn_FECCEIR の LMASK フィールドにおいて指定します。

bit [i] (31 ≥ i ≥ 0)	説明
0	Flash メモリから読み出されたデータと同じ位置のビットはそのまま ECC 検査論理へ送られます。
1	Flash メモリから読み出されたデータと同じ位置のビットは反転してから ECC 検査論理へ送られます。

5.5. TCFLASH0/1/2/3 ECC ビットエラー挿入レジスタ(TCFCFGn_FECCEIR)

TCFLASH0/1/2/3 ECC ビットエラー挿入レジスタは, Flash メモリから読み出された ECC ビットにエラーを挿入することにより, ECC 論理の動作試験を行うために用いられます。

同じユニットの TCFLASH0/1/2/3 設定保護キーレジスタへ正しい設定保護キー値が書き込まれ, 本レジスタへの書き込みがアンロックされている場合にだけ, 本レジスタの設定値の変更ができます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						LMASK	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	23-8
Field	Reserved
R/W 属性	R0, WX
保護属性	WPS
初期値	00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved	FECCEIR						
R/W 属性	R0, WX	R/W						
保護属性	WPS							
初期値	0	0000000						

[bit31:26] Reserved: 予約ビット

[bit25:24] LMASK[1:0]: エラー挿入レーンマスク

Flash メモリから読み出されたデータに, エラーを挿入するかどうかを指定します。

bit [i] (1 ≥ i ≥ 0)	説明
0	Flash メモリから読み出されたデータのビット(32*(i+1)-1)からビット(32*i)に, レジスタ TCFCFGn_FDATEIR によって指定されたとおりにエラーを挿入します。 また ECC データも同様に Flash メモリから読み出された ECC データビット(7*(i+1)-1)からビット(7*i)に, レジスタ TCFCFGn_FECCEIR によって指定されたとおりにエラーが挿入されます。
1	Flash メモリから読み出されたデータのビット(32*(i+1)-1)からビット(32*i)にはエラーの挿入を行いません。 また Flash メモリから読み出された ECC データのビット(7*(i+1)-1)からビット(7*i)にはエラーの挿入を行いません。

[bit23:7] Reserved: 予約ビット

[bit6:0] FECCEIR[6:0]: ECC ビットエラー挿入位置

本フィールドの値と, Flash メモリから読み出された ECC ビット値との排他的論理和をとった値が, ECC 検査論理へ送られます。特定のレーンへのエラー挿入を抑止する場合には, レジスタ TCFCFGn_FECCEIR の LMASK フィールドを指定します。



bit [i] ($6 \geq i \geq 0$)	説明
0	Flash メモリから読み出された ECC データと同じ位置のビットはそのまま ECC 検査論理へ送られます。
1	Flash メモリから読み出された ECC データと同じ位置のビットは反転されてから ECC 検査論理へ送られます。

5.6. TCFLASH0/1/2/3 割込み制御レジスタ(TCFCFGn_FICTRL0/1)

本レジスタにより、要因ごとの割込み要求生成の許可と、割込み要因のクリアを行えます。本レジスタは、Flash メモリごとに 1 本存在します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WP
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved					WR32FC	HANGIC	RDYIC
R/W 属性	R0,WX					R0,W	R0,W	R0,W
保護属性	WP							
初期値	00000					0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved						HANGIE	RDYIE
R/W 属性	R0,WX						R/W	R/W
保護属性	WP							
初期値	000000						0	0

[bit31:11] Reserved: 予約ビット

[bit10] WR32FC: 32 ビット書き込みフラグクリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同一ユニットの同一メモリに対応するレジスタ TCFCFGn_FSTAT0/1 の WR32F ビットがクリアされます。

[bit9] HANGIC: ハング割込みクリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同一ユニットの同一メモリに対応するレジスタ TCFCFGn_FSTAT0/1 の HANGINT ビットがクリアされます。

[bit8] RDYIC : レディ割込みクリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同一ユニットの同一メモリに対応するレジスタ TCFCFGn_FSTAT0/1 の RDYINT ビットがクリアされます。

[bit7:2] Reserved: 予約ビット

**[bit1] HANGIE: ハング割込み許可**

bit	説明
0	ハング割込み要求の生成を禁止します。
1	ハング割込み要求の生成を許可します。

[bit0] RDYIE: 書込み・消去レディ割込み許可

bit	説明
0	書込み・消去レディ割込み要求の生成を禁止します。
1	書込み・消去レディ割込み要求の生成を許可します。

5.7. TCFLASH0/1/2/3 ステータスレジスタ(TCFCFGn_FSTAT0/1)

本レジスタは、Flash メモリごとに 1 本存在し、Flash メモリの状態と個別の割込み要因が保持される読出し専用レジスタです。本レジスタに対する書込みはバスエラーを返します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved						HANGINT	RDYINT
R/W 属性	R0,WX						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved			WR32F	Reserved		HANG	RDY
R/W 属性	R0,WX			R,WX	R0,WX		R,WX	R,WX
保護属性	-							
初期値	000			0	00		0	0

[bit31:10] Reserved: 予約ビット

[bit9] HANGINT: ハングアップ割込み

Flash メモリがハングアップ 1 状態に遷移したこと検出したため、ハングアップ割込み要求が生成されていることを示しています。

本ビットは、同一ユニットの同一メモリに対応するレジスタ TCFCFGn_FICTRL0/1 の HANGIC ビットへ"1"を書き込むことによりクリアされます。

bit	説明
0	ハングアップ割込み要求は生成されていません。
1	ハングアップ割込み要求が生成されています。

[bit8] RDYINT: 書込み・消去レディ割込み

Flash メモリがレディ状態に遷移したことを検出したため、レディ割込み要求が生成されていることを示しています。本ビットは、同一ユニットの同一メモリに対応するレジスタ TCFCFGn_FICTRL0/1 の RDYIC ビットへ"1"を書き込むことによりクリアされます。

bit	説明
0	書込み・消去レディ割込み要求は生成されていません。
1	書込み・消去レディ割込み要求が生成されています。

[bit7:5] Reserved: 予約ビット

**[bit4] WR32F: 32 ビット書き込み制御フラグ**

本ビットの値は、Flash メモリに対する 32 ビット書き込みの際にだけ意味を持ちます。本ビットの値は、Flash メモリに対する書き込みのコマンドシーケンスが完了するたびに反転します。同一ユニットの同一メモリに対応するレジスタ TCFCFGn_FICTRL0/1 の WR32FC ビットに"1"を書き込むことにより、本ビットの値は"0"を示します。また同じユニットのレジスタ TCFCFGn_FCFGR の WE ビットが"0"の間も、本ビットの値は"0"になっています。

bit	説明
0	TCFLASH に対する 32 ビットの書き込みが行われると、下位 16 ビットだけを Flash メモリへ書き込みます。
1	TCFLASH に対する 32 ビットの書き込みが行われると、上位 16 ビットと、32 ビットデータの全体から算出された ECC ビットが Flash メモリへ書き込まれます。

[bit3:2] Reserved: 予約ビット**[bit1] HANG: ハングアップ**

本ビットは、Flash メモリがハングアップ 1 状態にあるかどうかを表しています。Flash メモリは、次の場合にハングアップ 1 状態に遷移します。

- － 値が"0"の状態であるセルに対して"1"を書き込もうとした場合。
- － 自動アルゴリズムの実行が所定の時間内に完了しなかった場合。

bit	説明
0	Flash メモリは、ハングアップ 1 状態にはありません。
1	Flash メモリは、ハングアップ 1 状態にあります。

[bit0] RDY: 書き込み・消去レディ

本ビットは、Flash メモリが書き込み・消去レディ状態にあるかどうかを表しています。書き込み・消去レディ状態においては、Flash メモリは新しい書き込み・消去コマンドの実行を開始できます。

bit	説明
0	Flash メモリは自動アルゴリズムによる書き込みまたは消去を実行中です。この状態においては、読出し/リセットコマンドまたはセクタ消去中断コマンドだけを受け付けることが可能です。
1	Flash メモリは自動アルゴリズムによる書き込みまたは消去を完了し、次のコマンドの実行を開始できます。

5.8. TCFLASH0/1/2/3 SEC 割込みレジスタ(TCFCFGn_FSECIR)

1ビット誤り訂正割込みに関する、ステータスフラグ、イネーブルビット、クリアビットを収容するレジスタです。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	SYN						
R/W 属性	R0,WX	R,WX						
保護属性	WP							
初期値	0	0000000						

Bit	23	22	21	20	19	18	17	16
Field	Reserved							SECINT
R/W 属性	R0,WX							R,WX
保護属性	WP							
初期値	0000000							0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							SECIC
R/W 属性	R0,WX							R0,W
保護属性	WP							
初期値	0000000							0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							SECIE
R/W 属性	R0,WX							R/W
保護属性	WP							
初期値	0000000							0

[bit31] Reserved: 予約ビット

[bit30:24] SYN[6:0]: シンドローム

1ビット誤りを検出した際のシンドロームが格納されます。64ビット単位の読出しを行った場合に、上位32ビットと下位32ビットの両方において1ビット誤りが検出された場合には、下位32ビットにおいて検出された誤りに対応するシンドロームが格納されます。本フィールドに格納されているシンドロームが、上位32ビット下位32ビットのいずれの部分において検出されたものかは、レジスタ TCFCFGn_FECCEAR のビット2の値によって判定します。

[bit23:17] Reserved: 予約ビット

[bit16] SECINT: 1ビット誤り訂正割込み

1ビット誤り訂正割込み要求の有無を示します。1ビット誤り訂正割込み要求は、読出し時のECC検査により1ビットの誤りが検出され訂正された場合に生成されます。本ビットは読出し専用です。本ビットは、同じレジスタのSECICビットへ"1"を書き込むことによりクリアされます。

bit	説明
0	1ビット誤り訂正割込み要求は生成されていません。
1	1ビット誤り訂正割込み要求が生成されています。



[bit15:9] Reserved: 予約ビット

[bit8] SECIC: 1 ビット誤り訂正割込みクリア

bit	説明
0	本ビットへの"0"の書込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じレジスタの SECINT ビットがクリアされます。

[bit7:1] Reserved: 予約ビット

[bit0] SECIE: 1 ビット誤り訂正割込みイネーブル

bit	説明
0	1 ビット誤り訂正割込み要求の生成を禁止します。
1	1 ビット誤り訂正割込み要求の生成を許可します。



5.9. TCFLASH0/1/2/3 ECC エラーアドレスレジスタ(TCFCFGn_FECCEAR)

読出し時に 1 ビット誤りが検出されたアドレスを保持します。複数回に渡り 1 ビット誤りが検出された場合、最後に検出された誤りのアドレスを保持しています。

本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31-0
Field	FECCEAR
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] FECCEAR[31:0]: エラーアドレス

読出し時の ECC 検査において 1 ビット誤りが検出されたアドレス(ワードアドレス)が格納されます。複数回に渡って誤りが検出された際には、最後に検出されたアドレスを保持しています。

また 64 ビット単位の読出しの際に、上位 32 ビット下位 32 ビットにおいて同時に 1 ビット誤りが検出された場合には、下位 32 ビットのアドレスが格納されます。



5.10. TCFLASH0/1/2/3 モジュール識別レジスタ(TCFCFGn_FMIDR)

TCFLASH ユニットの ID, バージョン, パッチレベル等を含んだ数値を読み出します
本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31-0
Field	MID
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] MID[31:0] : モジュール ID

TCFLASH ユニットの ID, バージョン, パッチレベル等を含んだ値です。

5.11. TCFLASH0/1/2/3 訂正不能誤り検出割込みレジスタ (TCFCFGn_FUCEDIR)

訂正不能誤り検出割込みに関する、ステータスフラグ、クリアビットを収容するレジスタです。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WP							
初期値	0							

Bit	23	22	21	20	19	18	17	16
Field	Reserved							UCEDINT
R/W 属性	R0,WX							R,WX
保護属性	WP							
初期値	0000000							0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							UCEDIC
R/W 属性	R0,WX							R0,W
保護属性	WP							
初期値	0000000							0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WP							
初期値	00000000							

[bit31] Reserved: 予約ビット

[bit30:24] SYN[6:0]: シンドローム

2 ビット誤りを検出した際のシンドロームが格納されます。64 ビット単位の読出しを行った際に、上位 32 ビットと下位 32 ビットの両方において訂正不能な誤りが検出された場合には、下位 32 ビットにおいて検出された誤りに対応するシンドロームが格納されます。レジスタ TCFCFGn_FUCEAR のビット 2 の値により、格納されているシンドロームが、上位 32 ビット下位 32 ビットのどちらにおいて発生した誤りに対応しているか判定します。

[bit23:17] Reserved: 予約ビット

[bit16] UCEDINT: 訂正不能誤り検出割込み

訂正不能誤り検出割込み要求の有無を示します。訂正不能誤り検出割込み要求は、読出し時の ECC 検査により訂正不能な誤りが検出された場合に生成されます。本ビットは読出し専用です。本ビットへ書き込まれた値は意味を持ちません。本ビットは、本レジスタの UCEDIC ビットへ"1"を書き込むことによりクリアされます。



bit	説明
0	訂正不能誤り検出割込み要求は生成されていません。
1	訂正不能誤り検出割込み要求が生成されています。

[bit15:9] Reserved: 予約ビット

[bit8] UCEDIC: 訂正不能誤り検出割込みクリア

bit	説明
0	本ビットへの"0"の書込みは意味を持ちません。
1	本ビットに"1"を書き込むと、本レジスタの UCEDINT ビットがクリアされます。

本ビットは常に"0"を読み出します。

[bit7:0] Reserved: 予約ビット



5.12. TCFLASH0/1/2/3 訂正不能誤りアドレスレジスタ(TCFCFGn_FUCEAR)

読出し時に訂正不能な誤りが検出されたアドレス(ワードアドレス)が格納されます。複数回にわたり訂正不能な誤りが検出された場合、最後に検出された誤りのアドレスが格納されています。また 64 ビット単位の読出しの際に、上位 32 ビット下位 32 ビットの両方において訂正不能誤りが検出された場合には、下位 32 ビットのアドレスが格納されます。

本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31-0
Field	UCEA
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] UCEA[31:0]: 訂正不能誤りアドレス

読出し時の ECC 検査において訂正不能な誤りが検出されたアドレスです。複数回に渡って誤りが検出された際には、最後に誤りが検出されたアドレスを保持しています。



6. その他

TCFLASH の利用上の注意事項などについて、説明します。

(1) 予約ビットから読み出される値の取り扱いについて

TCFLASH 内のレジスタに存在する予約ビットからは,"0"を読み出します。しかし将来の製品とソフトウェアの互換性を確保する観点から、プログラミングにあたっては予約ビットから読み出された値に意味を持たせないでください。

(2) 書き込みまたは消去実行中のリセット

書き込みの実行中に本製品がリセットされた場合、書き込みの対象となっていたアドレスの内容は不定が示されます。またセクタ消去の途中にリセットが行われた場合には、消去の対象となっていたセクタの内容は不定が示されます。このような場合には、リセット完了後に、中断された書き込みや消去をやり直してください。

(3) リセット後のレジスタの設定

ソフトウェアから TCFLASH に対するリセットを行うと、TCFLASH は最小 600ns 以上のリセットを行います。またソフトウェアはリセット後、設定を行おうとしているユニットのレジスタ TCFCFGn_FSTAT の RDY ビットが"1"になるのを待ってから、Flash メモリからの読出しを行い、コマンドを書き込むようにしなければなりません。

(4) Flash メモリからの命令フェッチ

書き込みまたは消去を実行している間 TCFLASH からデータを読み出すことはできません。そのため、書き込みや消去を開始する前には、必要なデータやプログラムを TCFLASH から RAM へコピーし、書き込みや消去の途中において読み出す必要がないようにしてください。

(5) ソフトウェアからのリセットの完了待ち

レジスタ TCFCFGn_FCFGR の SWFRST ビットに"1"を書き込むことにより、Flash メモリがリセットされます。リセットを行った後、リセットを行ったユニットのレジスタ TCFCFGn_FSTAT の RDY ビットを監視してリセットの完了を待ち合わせてから、アクセスを行うようにしてください。

CHAPTER 17: TCRAM インタフェース

Cortex(TM)-R5F の BTCM ポートと SRAM の間のインタフェースの概要、構成、動作およびレジスタについて説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 注意事項



1. 概要

TCRAM インタフェースの特長を説明します。

特長

TCRAM インタフェースには、以下の特長があります。

- Cortex-R5F BTCM ポートと SRAM(64K バイト 2 個)との接続

BTCM ポートはオプションとして 2 つのポート(B0TCM, B1TCM)を使用でき、インタリーブが可能です。2 ポートを使用する場合の各ポートの容量は、BTCM ポート全体の半分です。

- ウェイト制御機能

Cortex-R5F BTCM ポートには、データ読出しをウェイトする信号(BxTCWAIT)があります。TCRAM インタフェースはウェイト信号のサイクル数を設定、制御します(データ書込みについては、ウェイトはありません)。

- バスエラー応答生成

コンフィギュレーションレジスタへの非特権アクセス、未サポートアクセスによってエラー生成を行います。未サポートアクセスの詳細については「3. 動作説明」の「(2) バスエラー応答生成」を参照してください。

- ECC エラー挿入機能

Cortex-R5F の ECC 機能テスト用に、TCRAM から読み出されたデータにエラーを挿入できます。

- RAM 診断機能

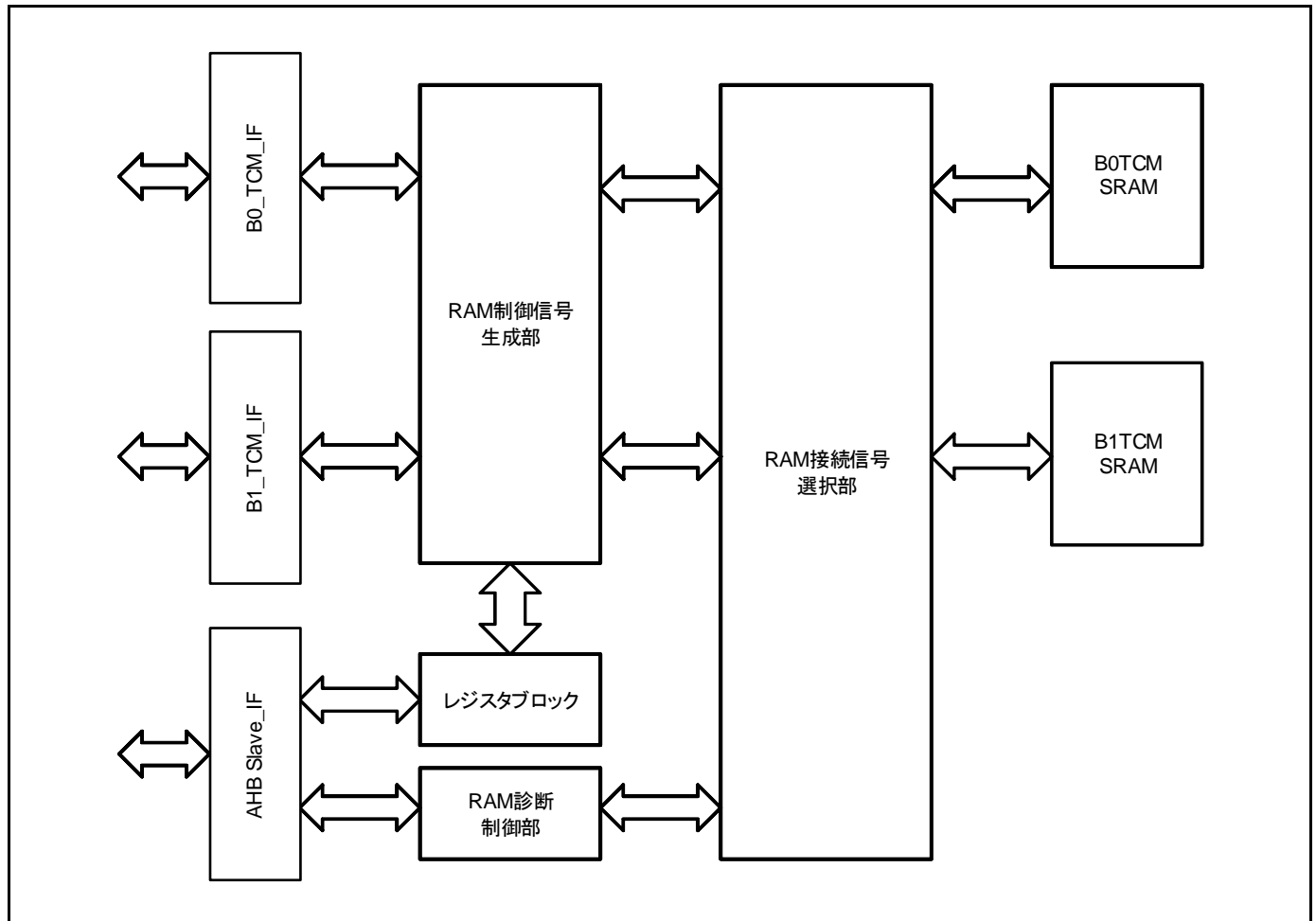
TCRAM に対して診断および初期化を実施します。以下の方法によって診断できます。

- ユニーク(ユニークデータは{アドレス[6:0], 4{アドレス[7:0]}})
- チェッカ
- マーチ(all "0" → all "1"の順で実施)

2. 構成

図 2-1 に B0TCM, B1TCM を使用した場合の TCRM インタフェースのブロックダイアグラムを示します。

図 2-1 TCRM インタフェースブロックダイアグラム



(1) B0_TCM_IF

Cortex-R5F B0TCM ポートインタフェースです。

(2) B1_TCM_IF

Cortex-R5F B1TCM ポートインタフェースです。

(3) AHB Slave I/F

コンフィギュレーション用バスとして使用される AHB Slave インタフェースです。

(4) レジスタブロック

TCRAM インタフェースのレジスタが搭載されています。

レジスタは B0TCM, B1TCM 共通として、設定値は両方のポートに反映されます。



(5) RAM 制御信号生成部

Cortex-R5F BTCM ポートから入力される信号から TCRAM の制御信号が生成されます。

(6) RAM 診断制御部

SRAM に対する診断、初期化が制御されます。

(7) RAM 接続信号選択部

SRAM へ接続するパスを BTCM ポートか RAM 診断制御部かの選択を行います。

3. 動作説明

TCRAM インタフェースの動作を説明します。

(1) ウェイト制御

ウェイト状態は特権アクセス可能な状態で TRCFGn_TCMCFG0:LOCKSTATUS ビットが"0"のときに、コンフィギュレーションバス経由において TRCFGn_TCMCFG0:DWAIT へ設定することによって構成できます。

設定できるウェイト数は0～3まで、デフォルト設定は最少ウェイト数(0ウェイト)です。

ウェイト状態は BxTCWAIT 信号のアサートによって示されます。

Cortex-R5F は BxTCWAIT 信号がアサートされている間、SRAM からの読出しデータ取得は待たされます。なお書き込みに関するウェイトはありません。

(2) バスエラー応答生成

TCRAM インタフェースは以下の状態で、AHB バスにエラー応答を行います。

- TCRAM インタフェースレジスタへの非特権書き込みアクセス
- ロック状態時の TRCFGn_TCMUNLOCK レジスタ以外の TCRAM インタフェースレジスタへの書き込みアクセス
- TRCFGn_TCMUNLOCK レジスタへアンロック値または、ロック値以外の書き込みアクセス
- TRCFGn_TCMUNLOCK レジスタへ 32 ビット以外の書き込みアクセス
- 予約空間への書き込みアクセス
- レジスタ未使用空間への読出し、書き込みアクセス
- 書き込み対象ビットすべてが Reserved または読出し専用ビットの場合の書き込みアクセス

<注意事項>

- TRCFGn_TTCR[15:8]に 8bit 書き込みアクセスをした場合は、バスエラー応答を行いません。

(3) ECC エラー挿入

本インタフェースには、Cortex-R5F の 32 ビット ECC 機能をテストするために SRAM から読み出されるデータにエラーを挿入する機能があります。

これは、TRCFGn_TCMCFG0:LOCKSTATUS ビットが"0"の場合に、コンフィギュレーションレジスタに RAM から ECC エラーを発生させるビットに"1"が設定されます。

ECC エラーをデータ領域の破壊によって発生させる場合は、TRCFGn_TCMCFG1 の ERRBIT[31:0]を設定し、ECC 領域の破壊によって発生させる場合は、TRCFGn_TCMCFG0 の ERRECC[6:0]を設定してください。

TCRAM からの読出しの場合は、読出しデータは TRCFGn_TCMCFG1:ERRBIT[31:0]と XOR され、ECC データは TRCFGn_TCMCFG0:ERRECC[6:0]と XOR されます。

<注意事項>

- 通常動作中は、TRCFGn_TCMCFG1:ERRBIT[31:0]、TRCFGn_TCMCFG0:ERRECC[6:0]は"0"に設定してください。



(4) RAM 診断・初期化機能

a) RAM 診断

TCRAM に対して、以下の RAM 診断を選択し実施します (複数選択可能)。

- ユニーク (ユニークデータは {アドレス[6:0], 4{アドレス[7:0]}})
- チェッカ
- マーチ (all "0" → all "1" の順で実施)

RAM 診断の順序は、

- ユニーク
- チェッカ
- マーチ

の順のみです。TEST 診断機能レジスタ (TRCFGn_TTCR) の TTYPE[2:0] ビットの設定により実施する診断が選択されます (デフォルトは、ユニーク、チェッカが選択されています)。

RAM 診断を実施する範囲は、TEST 開始アドレスレジスタ (TRCFGn_TASAR) と TEST 終了アドレスレジスタ (TRCFGn_TAEAR) によって指定できます。

RAM 診断はソフトウェアによるキーコード操作によって起動されます。

ソフトからの起動には、以下の手順が必要です。

1. 診断開始前に TEST 診断機能レジスタ (TRCFGn_TTCR) の TRUN, TEST 初期化機能レジスタ (TRCFGn_TICR) の IRUN を読出し、"0" の状態となるまで待ちます。
2. TRCFGn_TTCR:TCI, TRCFGn_TICR:ICI をクリア。
TRCFGn_TTCR:TCI および TRCFGn_TICR:ICI のクリアは "0" 書込みによって行います。
3. TEST キーコード制御レジスタ (TRCFGn_TKCCR) に
"0x02" → "0x42" → "0x82" → "0xC2"
を 4 連続書込み、診断を開始。
4. 診断終了 (TRCFGn_TTCR:TCI=1) になるまで待ちます。

<注意事項>

- 本機能を使用した場合、RAM のデータはマーチ診断のあとは all "1"、それ以外の診断のあとは何らかの値が残っています。
- 初期化や 32, 64 ビット書込みアクセスを行わずに RAM のデータを読み出すと ECC エラーを示すため、必ず初期化か書込みアクセスを行ってください。
- また、RAM 診断中に RAM にアクセスすることは禁止です。

b) RAM 初期化

TCRAM の初期化動作の内容は、

- all "0"書き込み(デフォルト)
- all "1"書き込み

のいずれか一方を TEST 初期化機能レジスタ(TRCFGn_TICR)の ITYP ビットによって選択できます。

ECC 領域には書き込み値に応じた値が書き込まれます。

RAM 初期化を実施する範囲は、TEST 開始アドレスレジスタ(TRCFGn_TASAR)と TEST 終了アドレスレジスタ(TRCFGn_TAEAR)によって指定できます。

以下に RAM 初期化の手順を示します。

1. 診断開始前に TEST 診断機能レジスタ(TRCFGn_TTCR) の TRUN, TEST 初期化機能レジスタ(TRCFGn_TICR)の IRUN を読出し, "0"の状態となるまで待ちます。
2. TRCFGn_TTCR:TCI, TRCFGn_TICR:ICI をクリア。
TRCFGn_TTCR:TCI および TRCFGn_TICR:ICI のクリアは "0"書き込みによって行います。
3. TEST キーコード制御レジスタ(TRCFGn_TKCCR)に
"0x01"→"0x41"→"0x81"→"0xC1"
を 4 連続書き込み, 初期化を開始。
4. 初期化終了(TRCFGn_TICR:ICI=1)になるまで待ちます。

<注意事項>

- RAM 初期化中に RAM にアクセスすることは禁止です。

c) RAM 診断・初期化強制終了

TCRAM の診断および初期化の実行を強制的に終了できます。

以下に強制終了の手順を示します。

1. 診断, 初期化中に TEST キーコード制御レジスタ(TRCFGn_TKCCR)に
2. "0x00"→"0x40"→"0x80"→"0xC0"
3. を 4 連続書き込み。
4. 診断時は TRCFGn_TTCR:TRUN, 初期化時は TRCFGn_TICR:IRUN が "0"の状態であることを確認してください。



d) RAM 診断エラー発生時の動作

RAM 診断においてエラーが発生した場合、TRCFGn_TEAR0～2 レジスタにエラーが発生した診断内容、エラー発生アドレスが格納されます。

4 つ以上のエラーが発生した場合は、TRCFGn_TTCR:OVFLW が"1"に設定されます。

e) RAM 診断割込み

RAM 診断・初期化には割込みを発生できます。

割込み要因と発生フラグビット、許可ビットを以下の表 3-1 に示します。

表 3-1 割込み要因と発生フラグビット、許可ビットの対応

割込み要因	発生フラグビット	許可ビット
診断終了割込み	TRCFGn_TTCR:TCI	TRCFGn_TTCR:TCIE
診断エラー割込み	TRCFGn_TTCR:TEI	TRCFGn_TTCR:TEIE
初期化終了割込み	TRCFGn_TICR:ICI	TRCFGn_TICR:ICIE

TCRAM インタフェースからは上記 3 種類の割込みをまとめて 1 本の割込み信号が出力されます。

どの要因の割込みが発生しているかは、TRCFGn_TTCR の TCI と TEI、TRCFGn_TICR の ICI を読み出して確認できます。

(オフセットアドレス 0x0000_0040 をワード単位として読出せば、1 回の読出しアクセスによって確認できます。)

f) RAM 診断擬似エラー発生

本機能は、ソフトデバッグ用として故意に擬似エラーを発生できます。

擬似エラー発生動作は、以下の手順として設定されます。

1. TEST 擬似エラー発生制御レジスタ(TRCFGn_TFECR)においてエラータイプを選択
 - TRCFGn_TFECR:ETYP[2:0]に擬似エラーを発生させる診断パターンを設定
 - TRCFGn_TFECR:FERR に"1"を書き込むことによって擬似エラーを発生させる診断パターンを特定
2. RAM 診断の起動 (手順は「RAM 診断、初期化起動フロー」を参照してください)。

4. 設定手順例

以下の図 4-1 に TCRAM インタフェースのレジスタの設定, 図 4-2 に RAM 診断, 初期化の起動の手順を示します。

図 4-1 レジスタの設定フロー

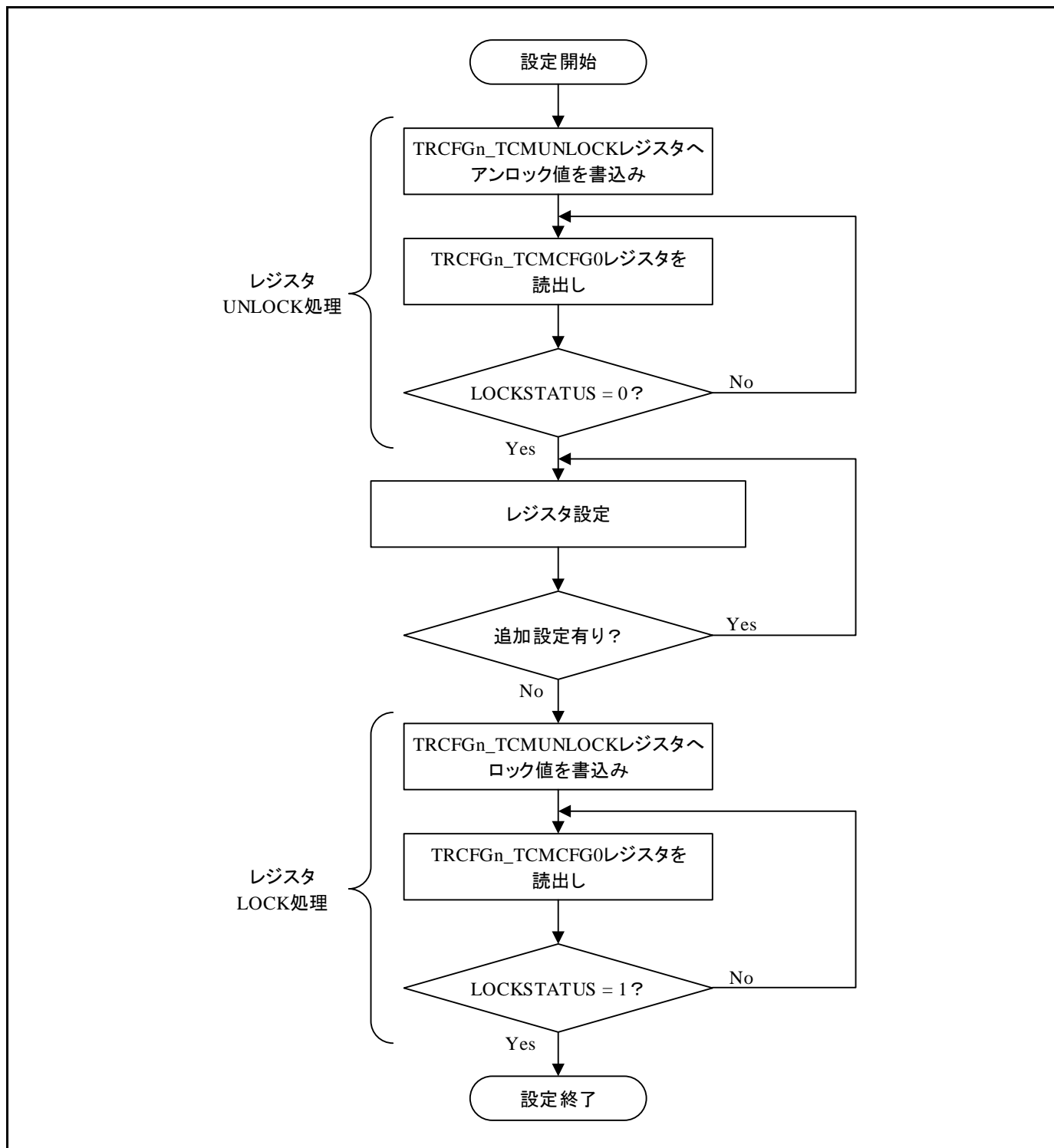
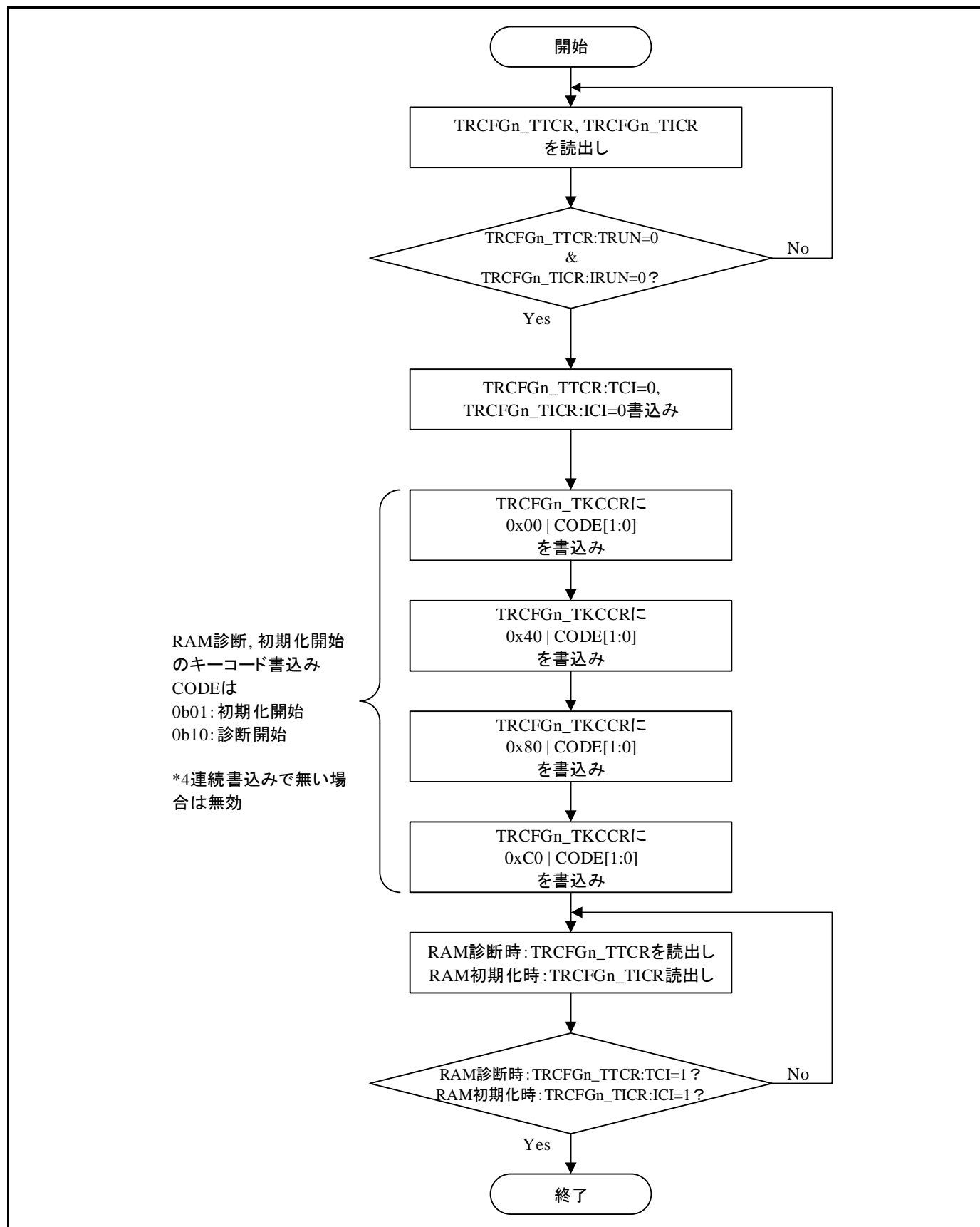




図 4-2 RAM 診断, 初期化起動フロー



5. レジスタ

TCRAM インタフェースのレジスタ一覧が示されます。

BITCM ポート使用時はレジスタの設定は B0TCM, B1TCM 両方に影響します。

表 5-1 TCRAM インタフェースレジスタ一覧

レジスタ略称	レジスタ名	参照先
TRCFGn_TCMCFG0	コンフィギュレーションレジスタ 0	5.1
TRCFGn_TCMCFG1	コンフィギュレーションレジスタ 1	5.2
TRCFGn_TCMUNLOCK	アンロックレジスタ	5.3
TRCFGn_TEAR0	TEST エラーアドレスレジスタ 0	5.4
TRCFGn_TEAR1	TEST エラーアドレスレジスタ 1	5.5
TRCFGn_TEAR2	TEST エラーアドレスレジスタ 2	5.6
TRCFGn_TAEAR	TEST 終了アドレスレジスタ	5.7
TRCFGn_TASAR	TEST 開始アドレスレジスタ	5.8
TRCFGn_TFECR	TEST 擬似エラー発生制御レジスタ	5.9
TRCFGn_TICR	TEST 初期化機能レジスタ	5.10
TRCFGn_TTCR	TEST 診断機能レジスタ	5.11
TRCFGn_TSRCR	TEST ソフトリセット発生制御レジスタ	5.12
TRCFGn_TKCCR	TEST キーコード制御レジスタ	5.13



5.1. TCRAM IF コンフィギュレーションレジスタ 0 (TRCFGn_TCMCFG0)

本レジスタには、BTCMポートに対する7ビットのERRECCデータ、2ビットのウェイト数を設定、TCRAM IF コンフィギュレーションレジスタのロック、アンロック状態を示す LOCKSTATUS ビットがあります。

本レジスタへの書込みは特権アクセス可能な状態で、TRCFGn_TCMCFG0:LOCKSTATUS が"0"の場合のみ実行できます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						DWAIT	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved							LOCKSTATUS
R/W 属性	R0,WX							R,WX
保護属性	WPS							
初期値	0000000							1

Bit	7	6	5	4	3	2	1	0
Field	Reserved	ERRECC						
R/W 属性	R0,WX	R/W						
保護属性	WPS							
初期値	0	0000000						

[bit31:26] Reserved: 予約ビット

[bit25:24] DWAIT[1:0]: データウェイト数ビット

bit[25:24]	説明
書込み時	BTCM ポートの読出しウェイト数(0~3)が設定されます。
読出し時	設定されている BTCM ポートの読出しウェイト数が読み出せます。

[bit23:9] Reserved: 予約ビット

[bit8] LOCKSTATUS: ロック状態ビット

bit	説明
書込み時	影響しません。
読出し時	0 : TCRAM インタフェースのレジスタはアンロック状態です。 1 : TCRAM インタフェースのレジスタはロック状態です (初期値)。



[bit7] Reserved: 予約ビット

[bit6:0] ERRECC: ECC データエラー挿入ビット

bit[6:0]	説明
書込み時	本ビットは BTCM ポートの ECC 機能のテスト用に SRAM から読み出された ECC データにエラーが挿入されます。 Cortex-R5F BTCM ポートには本ビットと SRAM から読み出された ECC データの XOR されたデータが入力されます。 64 ビット読出しの場合は、上位、下位 7 ビットともに本ビットと XOR されたデータが BTCM ポートに入力されます。
読出し時	設定値が読み出されます。



5.2. TCRAM IF コンフィギュレーションレジスタ 1 (TRCFGn_TCMCFG1)

本レジスタは Cortex-R5F BTCM ポートの ECC 機能のテスト用で,TCRAM から読み出されたデータに対してエラー挿入を行います。

本レジスタへの書込みは特権アクセス可能な状態で,TRCFGn_TCMCFG0:LOCKSTATUS が"0"の場合のみ実行できます。

Bit	31-0
Field	ERRBIT
R/W 属性	R/W
保護属性	WPS
初期値	00000000_00000000_00000000_00000000

[bit31:0] ERRBIT[31:0]: ECC エラー挿入ビット

bit[31:0]	説明
書込み時	<p>本ビットは BTCM ポートの ECC 機能のテスト用で,SRAM から読み出されたデータに対してエラー挿入を行います。</p> <p>Cortex-R5F BTCM ポートには本ビットと SRAM から読み出されたデータの XOR されたデータが入力されます。</p> <p>64 ビット読出しの場合は,上位,下位ワードともに本ビットと XOR されたデータが BTCM ポートに入力されます。</p>
読出し時	設定値が読み出されます。



5.3. TCRAM IF アンロックレジスタ(TRCFGn_TCMUNLOCK)

本レジスタによってTCRAM インタフェースのレジスタへの書込みアクセスがロック、アンロックされます。

本レジスタに正しいアンロック値(0xACC55ECC)を書き込むことによってレジスタへの書込みアクセスが許可されます。

レジスタの設定後は、本レジスタに正しいロック値(0x5ECCB10C)を書き込むことで、レジスタの書込みアクセスが禁止されます。

本レジスタへの書込みはワード単位とし、特権アクセスのみ実行できます。

Bit	31-0
Field	UNLOCK
R/W 属性	R0,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] UNLOCK[31:0]: ロック、アンロックビット

bit[31:0]	説明
書込み時	レジスタ書込みアクセスのロック、アンロックが設定されます。 0xACC55ECC : TRCFGn_TCMCFG0 の LOCKSTATUS が"0"となり, TCRAM インタフェースレジスタへの書込みアクセスが許可されます。 0x5ECCB10C : TRCFGn_TCMCFG0 の LOCKSTATUS が"1" となり, TCRAM インタフェースレジスタへの書込みアクセスが禁止されます。 上記以外の値 : エラー生成を行います。 レジスタの設定手順の詳細は図 4-1 を参照してください。
読出し時	常に"0"が読み出されます。



5.4. TCRAM IF TEST エラーアドレスレジスタ 0 (TRCFGn_TEAR0)

本レジスタは、RAM 診断時にエラーが生じた際のアドレスを保持します。

また、エラーがどの診断パターンによって生成されたかの要因フラグも本レジスタに保持します。

Bit	31	30	29	28	27	26	25	24
Field	TER			Reserved				
R/W 属性	R,WX			R0,WX				
保護属性	-							
初期値	000			00000				

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	ERR_ADDR[14:8]						
R/W 属性	R0,WX	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	ERR_ADDR[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:29] TER[2:0]: 診断エラー要因特定

bit[31:29]	説明
書き込み時	書き込みは無効です。
読み出し時	RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"にセットされているときのみ、ERR_ADDR[14:0]が有効です。 0b001 : マーチ診断においてエラー発生。 0b010 : チェッカ診断においてエラー発生。 0b100 : ユニーク診断においてエラー発生。 0b000 : エラー発生なし。 RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。

[bit28:15] Reserved: 予約ビット



[bit14:0] ERR_ADDR[14:0]: エラー発生アドレス

bit[14:0]	説明
書込み時	書込みは無効です。
読出し時	RAM 診断時，エラーが発生した際のアドレスが保持されます。TER が"000"の状態でないときのみ有効な値が示されます。 RAM 診断開始指示をトリガとして，ハードウェアによって初期化("0b0000000000000000"にクリア)されます。

<注意事項>

- TER はいずれかが"1"となった場合，ほかの診断によってエラーが発生してもそのエラー要因ビットは"1"になりません。
- ERR_ADDR はワード単位のオフセット(RAM アドレス)です。
- 絶対アドレスはベースアドレスに{ERR_ADDR, 0b00}を加えて算出してください。



5.5. TCRAM IF TEST エラーアドレスレジスタ 1 (TRCFGn_TEAR1)

本レジスタは、RAM 診断時に TRCFGn_TEAR0 に保持されたアドレスと異なるアドレスにおいてエラーが生じた場合にアドレスを保持します。

また、エラーがどの診断パターンによって生成されたかの要因フラグも本レジスタに保持します。

Bit	31	30	29	28	27	26	25	24
Field	TER			Reserved				
R/W 属性	R,WX			R0,WX				
保護属性	-							
初期値	000			00000				

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	ERR_ADDR[14:8]						
R/W 属性	R0,WX	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	ERR_ADDR[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:29] TER[2:0]: 診断エラー要因特定

bit[31:29]	説明
書き込み時	書き込みは無効です。
読み出し時	<p>RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"にセットされているときのみ、ERR_ADDR[14:0]が有効です。</p> <p>0b001 : マーチ診断においてエラー発生。</p> <p>0b010 : チェッカ診断においてエラー発生。</p> <p>0b100 : ユニーク診断においてエラー発生。</p> <p>0b000 : エラー発生なし。</p> <p>RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。</p> <p>(注意事項)</p> <p>本ビットはいずれかが"1"となった場合、ほかの診断においてエラーが発生しても、そのエラー要因ビットは"1"になりません。</p>

[bit28:15] Reserved: 予約ビット



[bit14:0] ERR_ADDR[14:0]: エラー発生アドレス

bit[14:0]	説明
書込み時	書込みは無効です。
読出し時	RAM 診断時、エラーが発生した際のアドレスを保持します。TER が"000"の状態でないときのみ有効な値が示されます。 RAM 診断開始指示をトリガとして、ハードウェアによって初期化("0b0000000000000000"にクリア)されます。

<注意事項>

- TER はいずれかが"1"となった場合、ほかの診断においてエラーが発生してもそのエラー要因ビットは"1"になりません。
- ERR_ADDR はワード単位のオフセット(RAM アドレス)です。
- 絶対アドレスはベースアドレスに{ERR_ADDR, 0b00}を加えて算出してください。



5.6. TCRAM IF TEST エラーアドレスレジスタ 2 (TRCFGn_TEAR2)

本レジスタは、RAM 診断時に TRCFGn_TEAR0, TRCFGn_TEAR1 に保持されたアドレスと異なるアドレスによってエラーが生じた場合のアドレスを保持します。

また、エラーがどの診断パターンによって生成されたかの要因フラグも本レジスタに保持します。

Bit	31	30	29	28	27	26	25	24
Field	TER			Reserved				
R/W 属性	R,WX			R0,WX				
保護属性	-							
初期値	000			00000				

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	ERR_ADDR[14:8]						
R/W 属性	R0,WX	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	ERR_ADDR[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:29] TER[2:0]: 診断エラー要因特定

bit[31:29]	説明
書き込み時	書き込みは無効です。
読み出し時	<p>RAM 診断時、エラーが発生した際の診断パターンを保持します。いずれかのビットが"1"にセットされているときのみ、ERR_ADDR[14:0]が有効です。</p> <p>0b001 : マーチ診断においてエラー発生。</p> <p>0b010 : チェッカ診断においてエラー発生。</p> <p>0b100 : ユニーク診断においてエラー発生。</p> <p>0b000 : エラー発生なし。</p> <p>RAM 診断開始指示をトリガとして、ハードウェアによって初期化("000"にクリア)されます。</p> <p><注意></p> <p>本ビットはいずれかが"1"となった場合、ほかの診断においてエラーが発生してもそのエラー要因ビットは"1"になりません。</p>

[bit28:15] Reserved: 予約ビット



[bit14:0] ERR_ADDR[14:0]: エラー発生アドレス

bit[14:0]	説明
書込み時	書込みは無効です。
読出し時	RAM 診断時、エラーが発生した際のアドレスを保持します。TER が"000"の状態でないときのみ有効な値が示されます。 RAM 診断開始指示をトリガとして、ハードウェアによって初期化("0b0000000000000000"にクリア)されます。

<注意事項>

- TER はいずれかが"1"となった場合、ほかの診断においてエラーが発生してもそのエラー要因ビットは"1"になりません。
- ERR_ADDR はワード単位のオフセット(RAM アドレス)です。
- 絶対アドレスはベースアドレスに{ERR_ADDR, 0b00}を加えて算出してください。



5.7. TCRAM IF TEST 終了アドレスレジスタ(TRCFGn_TAEAR)

本レジスタによって、RAM 診断および初期化を行う終了アドレスを指定します。

本レジスタへの書込みは特権アクセス可能な状態で、TRCFGn_TCMCFG0:LOCKSTATUS が"0"の場合のみ実行できます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	EADDR[14:8]						
R/W 属性	R0,WX	R/W						
保護属性	WPS							
初期値	0	1111111						

Bit	7	6	5	4	3	2	1	0
Field	EADDR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	11111111							

[bit15] Reserved: 予約ビット

[bit14:0] EADDR[14:0]: RAM 診断終了アドレス

bit[14:0]	説明
書込み時	RAM 診断および初期化動作を終了するアドレスの設定が可能です。 RAM のワードアドレスが設定されます。
読出し時	設定している RAM 診断および初期化動作を終了するアドレスが読み出せます。

<注意事項>

- EADDR はワード単位のオフセット(RAM アドレス)です。
- 絶対アドレスはベースアドレスに{ EADDR, 0b00}を加えて算出してください。
- EADDR[14:0]には RAM 領域を超えるアドレスを設定しないでください。

5.8. TCRAM IF TEST 開始アドレスレジスタ(TRCFGn_TASAR)

本レジスタによって、RAM 診断および初期化を行う開始アドレスを指定します。

本レジスタへの書込みは特権アクセス可能な状態で、TRCFGn_TCMCFG0:LOCKSTATUS が"0"の場合のみ実行できます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	SADDR[14:8]						
R/W 属性	R0,WX	R/W						
保護属性	WPS							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	SADDR[7:0]							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit15] Reserved: 予約ビット

[bit14:0] SADDR[14:0]: RAM 診断開始アドレス

bit[14:0]	説明
書込み時	RAM 診断および初期化動作を開始するアドレスの設定が可能です。 RAM のワードアドレスが設定されます。
読出し時	設定している RAM 診断および初期化動作を開始するアドレスが読み出せます。

<注意事項>

- SADDR はワード単位のオフセット(RAM アドレス)です。
- 絶対アドレスはベースアドレスに{ SADDR, 0b00}を加えて算出してください。



5.9. TCRAM IF TEST 擬似エラー発生制御レジスタ (TRCFGn_TFECR)

本レジスタによって、どの RAM 診断動作時に擬似エラーを発生させるかを指定します。

本レジスタへの書込みは特権アクセス可能な状態で、TRCFGn_TCMCFG0:LOCKSTATUS が"0"の場合のみ実行できます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				FERR	ETYP		
R/W 属性	R0,WX				R/W	R/W		
保護属性	WPS							
初期値	0000				0	000		

[bit7:4] Reserved: 予約ビット

[bit3] FERR: RAM 診断擬似エラー発生許可

bit	説明
書込み時	0: 擬似エラーの発生を禁止します (通常動作)。 1: 擬似エラーの発生を許可します。 ETYP の設定に従って、故意にエラーを含むデータの書込みを行います。
読出し時	擬似エラーの発生許可/禁止設定が読み出せます。

[bit2:0] ETYP[2:0]: 擬似エラー発生処理指定

bit	説明
書込み時	0bXX1 : マーチ診断実行において擬似エラーを発生させます。 0bX1X : チェック診断実行において擬似エラーを発生させます。 0b1XX : ユニーク診断実行において擬似エラーを発生させます。 0b000 : 擬似エラーを発生させません。 (X : don't care)
読出し時	どの診断において擬似エラーを発生させるかの設定値が読み出せます。

5.10. TCRAM IF TEST 初期化機能レジスタ (TRCFGn_TICR)

本レジスタは、RAM 初期化内容の指定および、初期化結果とその状態を保持します。

本レジスタへの書込みは特権アクセス可能な状態で、TRCFGn_TCMCFG0:LOCKSTATUS が"0"の場合のみ実行できます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				ICIE	ICI	ITYP	IRUN
R/W 属性	R0,WX				R/W	R,W	R/W	R,WX
保護属性	WPS							
初期値	0000				0	0	0	0

[bit7:4] Reserved: 予約ビット

[bit3] ICIE: RAM 初期化終了要因割込み許可

bit	説明
書込み時	0 : RAM 初期化終了による割込みを禁止します。 1 : RAM 初期化終了による割込みを許可します。
読出し時	初期化終了要因割込み許可/禁止設定を読み出せます。

[bit2] ICI: RAM 初期化終了

bit	説明
書込み時	0 : 本ビットをクリアします。 1 : 影響しません。
読出し時	0 : 初期化が完了していないまたは初期化動作を行っていない。 1 : RAM 初期化が終了。キーコードによる強制終了のときはセットされません。

[bit1] ITYP: RAM 初期化内容指示

bit	説明
書込み時	0 : all"0"に初期化します。 1 : all"1"に初期化します。
読出し時	初期化内容指示設定を読み出せます。

[bit0] IRUN: RAM 初期化動作状態

bit	説明
書込み時	影響しません。
読出し時	0 : 初期化動作停止中。 1 : 初期化動作実行中。



5.11. TCRAM IF TEST 診断機能レジスタ (TRCFGn_TTCR)

本レジスタは、RAM 診断内容の指定および、診断結果とその状態を保持します。

本レジスタへの書込みは特権アクセス可能な状態で、TRCFGn_TCMCFG0:LOCKSTATUS が"0"の場合のみ実行できます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved						TSTAT	OVFLW
R/W 属性	R0,WX						R,WX	R,WX
保護属性	WPS							
初期値	000000						0	0

Bit	7	6	5	4	3	2	1	0
Field	TEIE	TEI	TCIE	TCI	TTYP			TRUN
R/W 属性	R/W	R,W	R/W	R,W	R/W			R,WX
保護属性	WPS							
初期値	0	0	0	0	110			0

[bit15:10] Reserved: 予約ビット

[bit9] TSTAT: RAM 診断エラー検出

bit	説明
書込み時	影響しません。
読出し時	0: RAM 診断においてエラー未検出 1: RAM 診断においてエラー検出 本ビットはRAM 診断開始指示をトリガとして、ハードウェアによって初期化("0"にクリア)されます。

[bit8] OVFLW: RAM 診断エラーオーバフロー

bit	説明
書込み時	影響しません。
読出し時	0: RAM 診断時に発生したエラーは3 アドレス以下 1: RAM 診断時に発生したエラーは4 アドレス以上 本ビットはRAM 診断開始指示をトリガとして、ハードウェアによって初期化("0"にクリア)されます。

[bit7] TEIE: 診断時エラー発生割込み許可

bit	説明
書込み時	0: RAM 診断エラーによる割込みを禁止します。 1: RAM 診断エラーによる割込みを許可します。TTCR:TEI="1"の状態では割込み信号に"H"が出力されます。
読出し時	診断時エラー割込みの許可/禁止設定を読み出せます。

[bit6] TEI: 診断時エラー発生

bit	説明
書込み時	0: 本ビットをクリアします。 1: 影響しません。
読出し時	0: RAM 診断終了時に TRCFGn_TTCR:TSTAT="0" 1: RAM 診断終了時に TRCFGn_TTCR:TSTAT="1"

[bit5] TCIE: 診断終了要因割込み許可

bit	説明
書込み時	0: RAM 診断終了による割込みを禁止します。 1: RAM 診断終了による割込みを許可します。TTCR:TCI="1"の状態では割込み信号に"H"が出力されます。
読出し時	診断終了要因割込みの許可/禁止設定を読み出せます。

[bit4] TCI: 診断終了

bit	説明
書込み時	0: 本ビットをクリアします。 1: 影響しません。
読出し時	0: 診断が終了していないか、診断が停止状態です。 1: RAM 診断が終了しています。キーコードによる強制終了のときはセットされません。

[bit3:1] TTYPE[2:0]: RAM 診断内容指定

bit[3:1]	説明
書込み時	0bXX1 : マーチ診断が実行されます。 0bXX0 : マーチ診断は実行されません。 0bX1X : チェッカ診断が実行されます。 0bX0X : チェッカ診断は実行されません。 0b1XX : ユニーク診断が実行されます。 0b0XX : ユニーク診断は実行されません。 (X : don't care) RAM 診断の実行順は以下のとおりです。 ユニーク診断(データにはアドレスそのものを用います) チェッカ診断 マーチ診断(all "0"→ all "1"の順)
読出し時	RAM 診断において実施するタイプの設定値を読み出せます。

[bit0] TRUN: RAM 診断動作状態

bit	説明
書込み時	影響しません。
読出し時	0 : RAM 診断は停止中です。 1 : RAM 診断は実行中です。

<注意事項>

- 本レジスタの設定は必ずRAM 診断を起動する前に行ってください。



5.12. TCRAM IF TEST ソフトリセット発生制御レジスタ (TRCFGn_TSRCCR)

本レジスタによって、本レジスタを除く RAM 診断に関係する回路全体がリセットされます。

本レジスタへの書込みは特権アクセス可能な状態で、TRCFGn_TCMCFG0:LOCKSTATUS が"0"の場合のみ実行できます。

Bit	7	6	5	4	3	2	1	0
Field	SRST	Reserved						
R/W 属性	R0,W	R0,WX						
保護属性	WPS							
初期値	0	0000000						

[bit7] SRST: ソフトウェアリセット

bit	説明
書込み時	0 : 影響しません。 1 : 本レジスタを除く RAM 診断に関係する回路全体がリセットされます。
読出し時	常に"0"が読み出せます。

[bit6:0] Reserved: 予約ビット

5.13. TCRAM IF TEST キーコード制御レジスタ(TRCFGn_TKCCR)

本レジスタは、RAM 診断・初期化の開始および強制終了を実行するために使用します。

本レジスタへの書込みは特権アクセス可能な状態で、TRCFGn_TCMCFG0:LOCKSTATUS が"0"の場合のみ実行できます。

Bit	7	6	5	4	3	2	1	0
Field	KEY		Reserved				CODE	
R/W 属性	R0,W		R0,WX				R/W	
保護属性	WPS							
初期値	00		0000				00	

[bit7:6] KEY[1:0]: キーコード制御

bit[7:6]	説明
書込み時	<p>キーコードの制御ビットです。</p> <p>操作方法は、0b00→0b01→0b10→0b11 の順に書き込むことによって CODE ビットに設定されている内容にしたがい、動作が行われます。</p> <p>なお、キーコード操作中にほかの RAMTEST レジスタへのアクセスや上記以外の操作(リードや上記順序以外の連続ライトなど)を行った場合は、初めからやり直してください。</p> <p>本ビット設定の詳細手順は図 4-2 を参照してください。</p>
読出し時	常に"0"が読み出せます。

[bit5:2] Reserved: 予約ビット

[bit1:0] CODE[1:0]: 動作指示内容

bit[1:0]	説明
書込み時	<p>0b00 : 強制終了</p> <p>0b01 : 初期化起動</p> <p>0b10 : 診断起動</p> <p>0b11 : 設定禁止</p>
読出し時	動作指示内容の設定値が読み出せます。

<注意事項>

- KEY ビット操作中は CODE ビットには同じ値を設定してください。
- CODE ビットに 0b11 の値を設定してはいけません。



6. 注意事項

TCRAM の注意事項について記載します。

ECC チェック

TCRAM 未初期化領域への以下のアクセスは、ECC エラーが発生するため、使用前に初期化が必要となります。

- 8, 16 ビットライトアクセス
- リードアクセス

TCRAM の ECC チェックは Cortex-R5F で 32 ビット単位に行われます。32, 64 ビット書き込み時は、ECC を付加して TCRAM に書き込みます。8, 16 ビット書き込み時は、正しい ECC を生成するため、リードモディファイライトアクセスを行います。リードモディファイライトアクセスのリード時にも ECC チェックが行われます。

CHAPTER 18: WorkFLASH

WorkFLASH について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順
5. レジスタ
6. その他



1. 概要

WorkFLASH の概要について説明します。

WorkFLASH は MCU 内蔵の書換え可能なデータ用不揮発性メモリです。

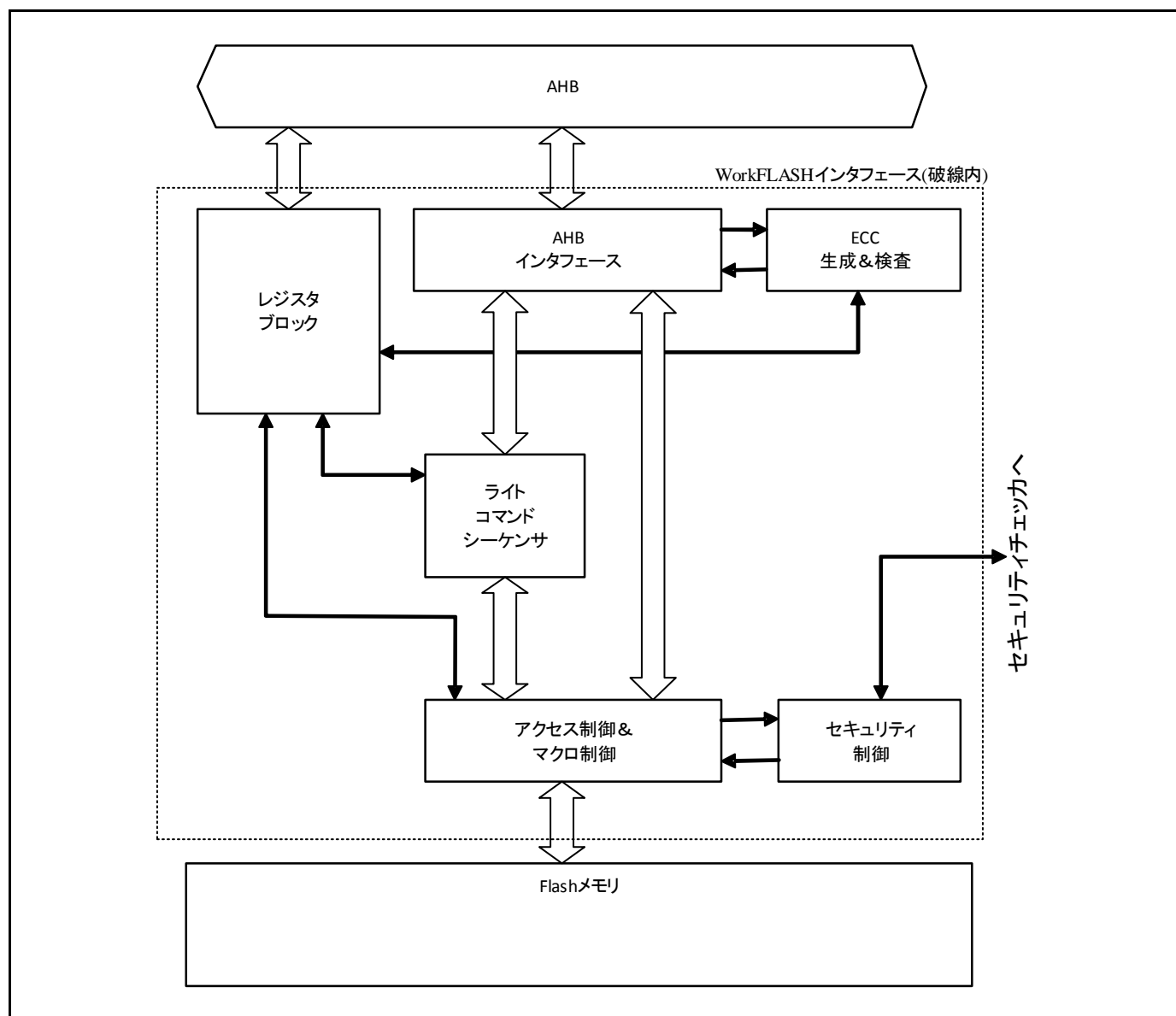
WorkFLASH の特長を以下に示します。

- 8/16/32/64 ビット単位の読出しが可能。
- ECC (SEC/DED) 機能あり。
- ECC 機能の有効/無効はレジスタの設定により切り換えることが可能。
- 2 個のミラー領域を利用して、ECC が有効なアクセスと ECC が無効なアクセスの切り換えが可能。
- ECC 有効時 32 ビット単位の書込みが可能。
- ECC 無効時 8/16/32 ビット単位の書込みが可能。
- 誤り挿入による ECC 検査回路の試験機能を実装。
- 書込みは、CPU 以外に DMAC から行うことも可能。
- 非特権モードからの書込みが可能。
- キーコードを利用した制御レジスタ設定値の保護機能を実装。
- データ保護のための Flash セキュリティ機能を実装。
- 予約領域へのアクセスに対するバスエラー応答機能を実装。
- 書込み/消去完了によって割込み生成が可能。

WorkFLASH 内部の構成について説明します。

2.1. ブロックダイアグラム

図 2-1 WorkFLASH のブロックダイアグラム





2.2. ユーザモードにおけるアドレス/セクタマップ

ユーザモードにおける WorkFLASH のアドレス/セクタマップについて説明します。

本シリーズの製品においては、品種により 1 個から 4 個の WorkFLASH が搭載されます(本品種の場合は CPU が 2 個搭載されるため、2 個の WorkFLASH が搭載されます)。

WorkFLASH は、メモリマップ上アドレスが 0x0E000000 から 0x0E2FFFFFF の間の 3M バイトの領域に配置されます。この領域内は、図 2-2 に示すように、さらに 3 個のミラー領域にわかれています。

ミラー領域 1 は、ECC 論理を介して WorkFLASH にアクセスするために設けられた領域です。

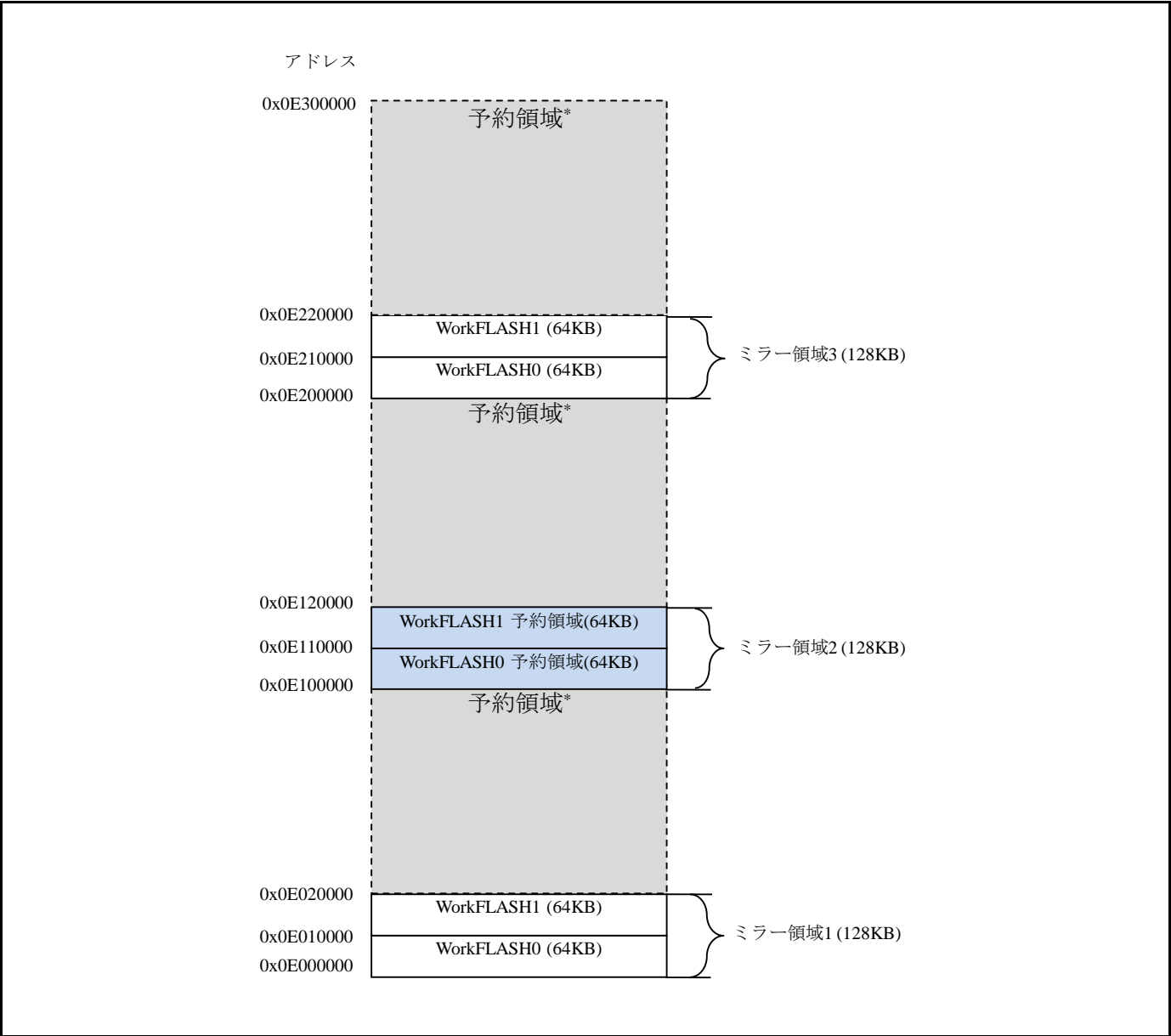
ミラー領域 1 を通して WorkFLASH を読み出すとき、読出し対象のユニットにおいて ECC が有効に設定されている場合には ECC の検査が行われます。そして 1 ビット誤りが検出された場合には誤りの訂正が行われ、2 ビット以上の誤りが検出された場合にはバスエラー応答が行われます。しかし ECC が無効に設定されている場合には ECC の検査や誤りの検出・訂正は行われません。この場合、誤りがあっても訂正やバスエラー応答などは行われません。ミラー領域 1 を通して WorkFLASH に書き込みを行うときに、書き込み対象のユニットにおいて ECC が有効に設定されている場合は、ECC の生成と書き込みが行われます。ただし、WorkFLASH は ECC の生成を 32 ビットのデータに対してだけしか行えないため、ECC が有効に設定されている場合に、ミラー領域 1 を通して 8 ビットまたは 16 ビットの書き込みを試みると、WorkFLASH はバスエラー応答を行います。ECC が無効に設定されている場合には、ECC の生成は行われないため、ミラー領域 1 を通した 8 ビットや 16 ビットの書き込みも行えます。なおレジスタ名の "xx" は WorkFLASH のユニット番号を表します。例えば WorkFLASH0 の場合、"xx" は "00" を示します。

ミラー領域 2 は、全体が予約領域です。そのためミラー領域 2 に対して、読出しや書き込みおよび消去を試みた場合、WorkFLASH はバスエラー応答を行います。

ミラー領域 3 は、ECC 論理をバイパスして WorkFLASH にアクセスするために設けられた領域です。ミラー領域 3 を通して WorkFLASH を読み出した場合、ECC のチェックや誤り検出は行われません。したがって誤りが発生している場合でも、1 ビット誤りの訂正や 2 ビット以上の誤り検出に伴うバスエラー応答は行われません。またミラー領域 3 を通して書き込みを行った場合には、ECC の有効/無効にかかわらず、ECC の生成と書き込みは行われません。

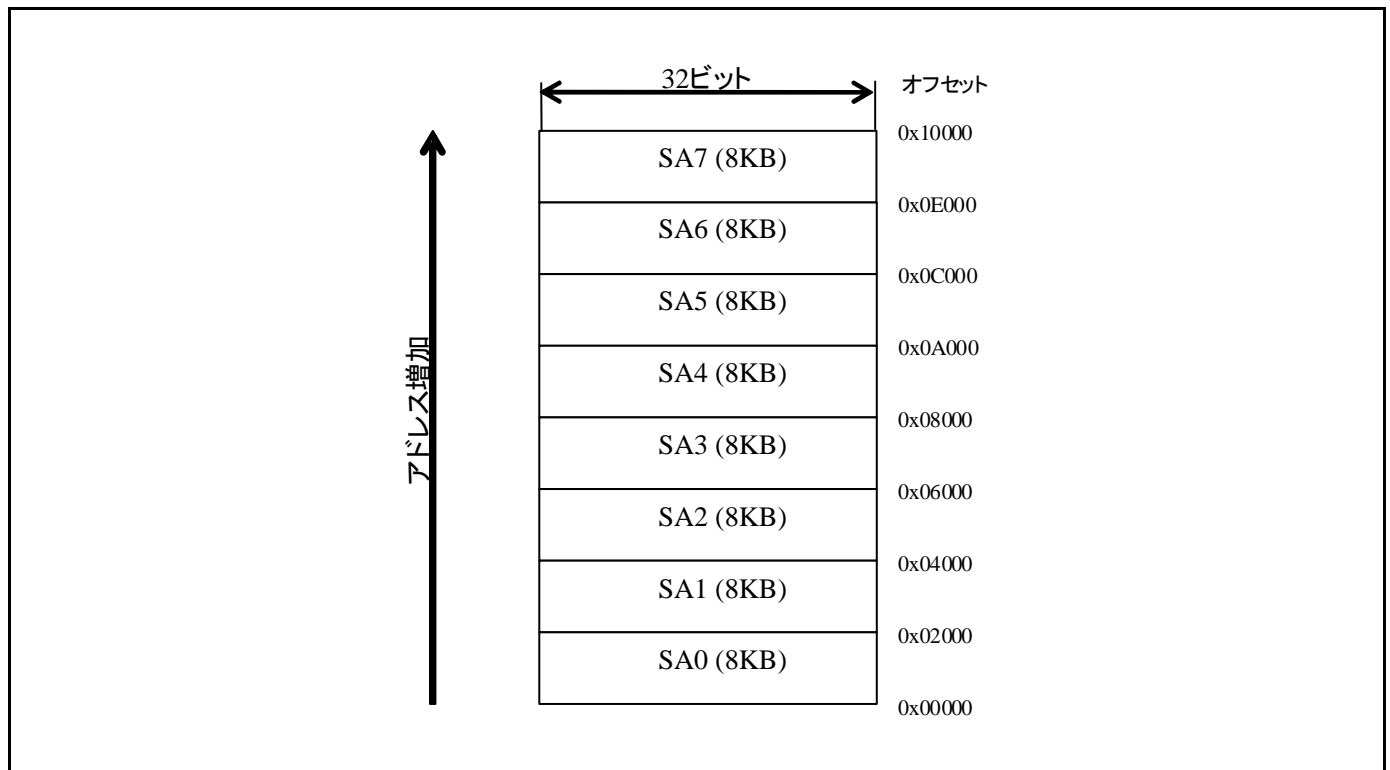
1 つの WorkFLASH は 64K バイトの領域を持っています。64K バイトの領域内は 8 個の小セクタから構成され、各小セクタのサイズは 8K バイトです。これらのセクタは、図 2-3 に示すように配置され、全体のアドレスマップは、図 2-2 のように配置されます。

図 2-2 ユーザモードにおける WorkFLASH のアドレスマップ



*: 予約領域に対するアクセスはバスエラー応答を返しますが、予約領域アクセス(WFCFG_BERR:RESA)ビットは検出されません。

図 2-3 ユーザモードにおける WorkFLASH のセクタ構成



3. 動作説明

WorkFLASH の動作について説明します。

3.1. 読出し

WorkFLASH からの読出しは、8 ビット/16 ビット/32 ビット/64 ビットのサイズにおいて行えます。

ただし、コマンドシーケンスの動作中は WorkFLASH からの読出しは行えません。コマンドシーケンスがアイドル状態であることを確認したのち、読み出してください。

またミラー領域 1 からミラー領域 3 の内部に存在する予約領域からの読出しを試みた場合、WorkFLASH はバスエラー応答を行います。したがってソフトウェアが予約領域の読出しを試みた場合にはデータアボートが発生します。

レジスタ WFCFGxx_ECR の ECCOFF ビットが"0"の場合、ミラー領域 1 を介した読出しの際には、ECC の検査が行われます。検査により 1 ビットの誤りが発見された場合には、誤りは訂正され、読出し自体は正常に終了します。1 ビット誤りの検出については、割込みにより通知させることが可能です。検査により 2 ビット誤りが検出された場合には、WorkFLASH はバスエラー応答を行います。

ミラー領域 3 を介した読出しに対しては、ECC の検査は行われません。レジスタ WFCFGxx_ECR の ECCOFF ビットの値は、この場合には意味を持ちません。

3.2. 書込みと消去

ミラー領域 1 もしくはミラー領域 3 の予約領域でないアドレスヘータを書き込むと、WorkFLASH のハードウェアにより、書込みコマンドのプログラミングアクセスシーケンスが自動的に Flash メモリへ送られます。

レジスタ WFCFGxx_ECR の ECCOFF ビットが"0"の場合には、ミラー領域 1 を介した 32 ビットの手込みに際して、ECC の生成と手込みが行われます。またレジスタ WFCFGxx_ECR の ECCOFF ビットが"0"の場合に、ミラー領域 1 に対して 8 ビットもしくは 16 ビットの手込みを試みた場合、WorkFLASH はバスエラー応答を行います。

レジスタ WFCFGxx_ECR の ECCOFF ビットが"1"の場合には、ミラー領域 1 に対して 8 ビットもしくは 16 ビットの手込みを試みた場合でも、WorkFLASH はバスエラー応答を行わずに手込みを行います。しかし ECC の生成と手込みは行いません。

ミラー領域 3 については、8 ビット/16 ビット/32 ビットのサイズによる手込みが可能です。しかしミラー領域 3 を介した手込みは、ECC の生成と手込みは行われません。

消去動作は、レジスタ WFCFGxx_SEQCM の ERS7/6/5/4/3/2/1/0E ビットに消去の対象となるセクタを指定し、OPC[1:0]ビットによって消去動作が指定され、消去が実行されます。

Flash メモリへ直接コマンドシーケンスを書き込むことはできないため、マクロ消去およびセクタ消去の中断および再開は、行うことができません。

コマンドシーケンスは、一度に 1 個の手込みしか扱うことができません。手込みコマンドのシーケンスを実行中にさらに手込みの要求を受信した場合には、バスエラー応答を行います。手込みコマンドのシーケンス実行中でないとき、レジスタ WFCFGxx_WSR の ST[1:0]ビットの値は"00"となっています。



3.3. DMA による書込みデータの転送

WorkFLASH は DMA 転送による書込みを行うことが可能です。

レジスタ WFCFGxx_WCR の DMAEN ビットが"1"のとき、書込みコマンドシーケンサがアイドル状態(レジスタ WFCFGxx_WSR の ST[1:0]ビットが"00"の状態)になるたびに、DMA 転送要求が生成されます。

なお DMA 転送中にエラーを検出した場合は、DMA 転送を停止し、割込みが生成されます。

コマンドシーケンサは、ブロックモードおよびバーストモードの DMA 転送が利用可能ですが、コマンドシーケンサに対してデータを DMA 転送する場合には、ブロックサイズ 32 ビットのブロックモード DMA 転送を利用してください。

<注意事項>

- エラーによって DMA 転送を停止する場合については、以下の処理フローに従ってください。
 1. WorkFLASH でエラーを検出すると、DMA 転送は中止しますが、再度 WorkFLASH の DMA 転送要求がアサートされます。
(エラー検出直前に書込みが実施されていた場合、エラー検出以降の書込みデータは保証されません)。
 2. WorkFLASH の割込み要求がアサートされます。
 3. CPU からレジスタ WFCFGxx_WCR:DMAEN = "0" (DMA 転送解除) を書き込みます。
 4. 3 の後、WorkFLASH の DMA 転送要求がディセーブルされます(初期化となります)。
 - (4 後に DMA 転送を実施する場合は、最初から設定・実施をしてください)。

3.4. ウェイトサイクル挿入

- レジスタ WFCFGxx_CR の FAWC ビットの設定により、Flash メモリのアクセス時にウェイトサイクルの挿入を行えます(FAWC ビットについての詳細は、「5.2 WorkFLASH00/01/02/03 設定レジスタ(WFCFGxx_CR)」を参照してください)。
- システムクロックの周波数が低いときは、FAWC ビットに"0"を設定することも可能です。
- FAWC ビットに設定されたウェイトサイクル数は、読出しと書込みの両方のアクセス時に適用されます。
- FAWC ビットに設定された値は設定を変更するまで有効です。またリセット後、FAWC ビットの値は"3"になっています。
- レジスタ WFCFGxx_CR の設定値は、以下いずれかのコマンドを実行することにより更新(反映)されます(Flash メモリにアクセス中の更新はできません)。
 - 書込みコマンド
 - セクタ消去コマンド
 - Flash メモリに対するリセットコマンド
 - ソフトウェアリセット(WFCFGxx_CR:SWFRST)

<注意事項>

- WorkFLASH の仕様上は上記 4 種のコマンド実行により反映が可能ですが、運用上は Flash メモリに対するリセットコマンド発行またはソフトウェアリセットによる更新処理を使用してください。

3.5. ECC の生成と検査

WorkFLASH は、32 ビット当たり 7 ビットのエラーチェックコード(ECC : Error Check Code)を付加することにより、1 ビット誤りの検出と訂正および 2 ビット誤りの検出を行えます。

WorkFLASH の ECC 論理は、ARM(R) Cortex(TM)-R5F コア内において行われる 32 ビット単位の ECC と同じ方法によって、書き込み時の ECC の生成や、読み出し時のシンドロームのチェックが行われます。

書き込みの際には、32 ビットのデータに対して 7 ビットの ECC が生成され、データと共に書きこまれます。ECC を付加してデータを書き込む方法については、「4.2 書き込みの手順(例)」を参照してください。

読み出しの際には、シンドロームが計算され、「誤りなし」、「1 ビット誤りあり」、「2 ビット以上の誤りあり」が判定されます。結果が「2 ビット以上の誤りあり」の場合、誤りの訂正はできません。Flash メモリの内容が消去された場合は、誤りが検出されることはありません。

検査機能の試験を行うために、ECC 論理は、Flash メモリから読み出したデータおよび ECC に誤りを挿入する機能を備えます。

ECC は、レジスタ WFCFGxx_ECR の ECCOFF ビットの設定によりオン/オフできます。

3.5.1. ECC の生成

書き込みの際には、表 3-5 に示す計算式に従って、7 ビットのチェックビット CB[6:0] が、32 ビットの書き込みデータ D[31:0] から生成されます。生成されたチェックビットは、0x73 と排他的論理和を取られた後、Flash メモリへ書き込まれます。

表 3-1 ECC の計算式

ビット	計算式
CB[6]	$D[31] \wedge D[30] \wedge D[29] \wedge D[28] \wedge D[27] \wedge D[26] \wedge D[25] \wedge D[24] \wedge D[23] \wedge D[22] \wedge D[21] \wedge D[20] \wedge D[19] \wedge D[18] \wedge D[17] \wedge D[16]$
CB[5]	$D[31] \wedge D[30] \wedge D[29] \wedge D[28] \wedge D[27] \wedge D[26] \wedge D[25] \wedge D[24] \wedge D[7] \wedge D[6] \wedge D[5] \wedge D[4] \wedge D[3] \wedge D[2] \wedge D[1] \wedge D[0]$
CB[4]	$D[31] \wedge D[30] \wedge D[23] \wedge D[22] \wedge D[21] \wedge D[20] \wedge D[19] \wedge D[18] \wedge D[15] \wedge D[14] \wedge D[13] \wedge D[12] \wedge D[11] \wedge D[10] \wedge D[7] \wedge D[6]$
CB[3]	$\sim(D[29] \wedge D[28] \wedge D[27] \wedge D[23] \wedge D[22] \wedge D[21] \wedge D[17] \wedge D[16] \wedge D[15] \wedge D[14] \wedge D[13] \wedge D[9] \wedge D[8] \wedge D[5] \wedge D[4] \wedge D[3])$
CB[2]	$\sim(D[31] \wedge D[29] \wedge D[26] \wedge D[25] \wedge D[23] \wedge D[20] \wedge D[19] \wedge D[16] \wedge D[15] \wedge D[12] \wedge D[11] \wedge D[8] \wedge D[7] \wedge D[5] \wedge D[2] \wedge D[1])$
CB[1]	$D[28] \wedge D[26] \wedge D[24] \wedge D[22] \wedge D[20] \wedge D[18] \wedge D[17] \wedge D[16] \wedge D[14] \wedge D[12] \wedge D[10] \wedge D[9] \wedge D[8] \wedge D[4] \wedge D[2] \wedge D[0]$
CB[0]	$D[31] \wedge D[29] \wedge D[28] \wedge D[26] \wedge D[23] \wedge D[22] \wedge D[20] \wedge D[16] \wedge D[13] \wedge D[11] \wedge D[10] \wedge D[9] \wedge D[6] \wedge D[3] \wedge D[1] \wedge D[0]$



3.5.2. シンドロームの計算

読出しの際には、Flash メモリから読み出したデータ D[31:0]から表 3-5 に示した計算式に従って 7 ビットのチェックビット CB[6:0]が計算されます。計算されたチェックビットは、Flash メモリから読み出したチェックビット EDOR[6:0]と共に、表 3-6 に示す計算式に従ってシンドローム S[6:0]を生成するために用いられます。

表 3-2 シンドロームの計算式

ビット	計算式
S[6]	$\sim(\text{CB}[6] \wedge \text{EDOR}[6])$
S[5]	$\sim(\text{CB}[5] \wedge \text{EDOR}[5])$
S[4]	$\sim(\text{CB}[4] \wedge \text{EDOR}[4])$
S[3]	$\text{CB}[3] \wedge \text{EDOR}[3]$
S[2]	$\text{CB}[2] \wedge \text{EDOR}[2]$
S[1]	$\sim(\text{CB}[1] \wedge \text{EDOR}[1])$
S[0]	$\sim(\text{CB}[0] \wedge \text{EDOR}[0])$

3.5.3. 誤りの検出

計算されたシンδροーム $S[6:0]$ の値に基づき、以下のいずれかが判定されます。

- 誤りなし
- 1 ビット誤りあり
- 2 ビット誤りあり
- 3 ビット以上の誤りあり

シンδροームの値と判定結果の関係を表 3-3 に示します。表において使われている記号の意味は、以下に示すとおりです。

- "+" : 誤りなし。
- "C[n]" ($0 \leq n \leq 6$) : 1 ビット誤りを検出。チェックビット $CB[n]$ の値が誤っています。
- "D[m]" ($0 \leq m \leq 31$) : 1 ビット誤りを検出。データビット $D[m]$ の値が誤っています。
- "T" : 2 ビット誤りを検出。訂正不能です。
- "M" : 3 ビット以上の誤りを検出。訂正不能です。

1 ビット誤りについては、すべてのケースが検出でき、訂正を行えます。また 2 ビット誤りについては、すべてのケースが検出可能ですが、訂正はできません。3 ビット以上の誤りについては、表 3-3 に示すように検出が可能なケースもあります。しかしすべてのケースは検出できません。なお 3 ビット以上の誤りも訂正できません。

表 3-3 シンδροームの値の意味

		S[6:4]の値							
		0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
S[3:0]の値	0x0	+	C[4]	C[5]	T	C[6]	T	T	D[30]
	0x1	C[0]	T	T	D[6]	T	M	M	T
	0x2	C[1]	T	T	M	T	D[18]	D[24]	T
	0x3	T	D[10]	D[0]	T	M	T	T	M
	0x4	C[2]	T	T	D[7]	T	D[19]	D[25]	T
	0x5	T	D[11]	D[1]	T	M	T	T	D[31]
	0x6	T	D[12]	D[2]	T	M	T	T	M
	0x7	M	T	T	M	T	D[20]	D[26]	T
	0x8	C[3]	T	T	M	T	D[21]	D[27]	T
	0x9	T	D[13]	D[3]	T	M	T	T	M
	0xA	T	D[14]	D[4]	T	D[17]	T	T	M
	0xB	D[9]	T	T	M	T	D[22]	D[28]	T
	0xC	T	D[15]	D[5]	T	M	T	T	M
	0xD	M	T	T	M	T	D[23]	D[29]	T
	0xE	D[8]	T	T	M	T	M	M	T
	0xF	T	M	M	T	D[16]	T	T	M



3.6. 割込み

WorkFLASH は、以下のような場合に割込み要求を発生させることが可能です。

- 書き込みもしくは消去が完了し、次の書き込み・消去を開始できるようになったとき
レジスタ WFCFGxx_SR の RDYINT ビットが"1", レジスタ WFCFGxx_ICR の RDYIE ビットが"1"のとき, WorkFLASH において割込み要求が生成されます。
- ハングアップ状態が検出されたとき
コマンドシーケンサの動作中にタイムアウトが検出されてハングアップ状態となると, レジスタ WFCFGxx_SR の HANGINT ビットが"1"に変わります。このとき, レジスタ WFCFGxx_ICR の HANGIE ビットが"1"の場合, WorkFLASH においてエラー割込み要求が生成されます。
- ECC 論理により 1 ビットエラー(訂正可能)が検出されたとき
レジスタ WFCFGxx_SECIR の SECINT ビットが"1", レジスタ WFCFGxx_SECIR の SECIE ビットが"1"のとき, WorkFLASH において割込み要求が生成されます。
- 書き込み中にエラーが検出されたとき
レジスタ WFCFGxx_SR の ERRINT ビットが"1", レジスタ WFCFGxx_ICR の ERRIE ビットが"1"のとき, WorkFLASH においてエラー割込み要求が生成されます。

3.7. バスエラー応答

WorkFLASH は、以下に示すような場合に、バスエラー応答を行います。

- ECC により訂正不可能な誤り(2 ビット以上の誤り)が検出されたとき。
- レジスタ WFCFGxx_CR の WE ビットが"0"の場合に、ミラー領域 1 もしくはミラー領域 3 に対する書込みが試みられたとき。
- ECC が有効な場合に、ミラー領域 1 経由から 8 ビットもしくは 16 ビット単位の書込みが試みられたとき。
- WorkFLASH 内の予約領域へのアクセスが試みられたとき。
- (ミラー領域 1 からミラー領域 3 の予約領域だけでなく、レジスタの領域内の空き領域も同様)
- 次に示すレジスタを除くレジスタに対して、非特権状態で書込みが試みられたとき。
 - レジスタ WFCFGxx_WCR
 - レジスタ WFCFGxx_SEQCM
 - レジスタ WFCFGxx_BERRCLR
- レジスタ WFCFGxx_ECR に対して、2 回目以降の書込みが試みられたとき。
- レジスタ書込みアンロックのシーケンスに違反した手順により保護されたレジスタへの書込みが試みられたとき。具体的には次に示す場合が該当します。
 - ロック状態で保護対象レジスタに書込みが試みられた場合。
 - アンロック状態で保護対象レジスタに異なるマスタから書込みが試みられた場合。
 - レジスタ WFCFGxx_CPR に対して 2 回連続して書込みが試みられた場合。
 - レジスタ WFCFGxx_CPR に対して誤った保護キー値の書込みが試みられた場合。
- コマンドシーケンサがアイドル状態以外の状態にあるときに、WorkFLASH への書込みもしくはレジスタ WFCFGxx_SEQCM からのコマンドの実行が試みられた場合(このとき、後続の書込みもしくはコマンドは無視されます)。
- 読出し専用レジスタへの書込みアクセスを行ったとき。

3.8. WorkFLASH に対するアクセス制限

WorkFLASH 中のデータやプログラムが第 3 者により読み取られるのを防止するため、WorkFLASH への操作が制限されます(表 3-4 を参照してください)。

表 3-4 WorkFLASH に対するアクセス制限

本製品のモード		ユーザモード		非ユーザモード	
セキュリティ設定		オン	オフ	オン	オフ
Flash メモリへの操作	マクロ消去	不能です	不能です	可能です*2	不能です
	セクタ消去	可能です	可能です	無視されます	可能です
	書込み	可能です	可能です	無視されます	可能です
	読出し	可能です	可能です	不能です*1	可能です

*1: 常に 0xFFFFFFFF が読み出されます。

*2: マクロ消去の実行方法は、非ユーザモードの機能のため公開していません。



4. 設定手順

WorkFLASH の設定方法について説明します。

4.1. ウェイトサイクル数の設定

システムの動作周波数(CLK_HPM_PD2)が, Flash メモリの最大動作周波数よりも大きい場合は, レジスタ WFCFGxx_CR の FAWC[1:0]に適切な値を設定することによって, Flash メモリにアクセスする際にウェイトサイクルを挿入させることが必要です。

なお, WorkFLASHにアクセス中(読出しまたはプログラム実行中)にはウェイト設定を変更してはいけません。(レジスタの設定値が反映されるタイミングについては, 「3.4 ウェイトサイクル挿入」を参照してください)。

FAWC[1:0]に設定する値は, 次に示す式に従って計算できます。

$$\text{FAWC}[1:0] = \text{CEILING}(\text{システムの動作周波数} / \text{Flash メモリの最大動作周波数}) - 1$$

ただし, 上記の式において, CEILING()は, 引数の小数部を切り上げて値を整数化する関数を表します。

なお本製品に内蔵される Flash メモリの最大動作周波数は 80MHz です。例えばシステムの動作周波数が 200MHz の場合には, 上式より FAWC[1:0]に設定する値は"2"です。

4.2. 書込みの手順(例)

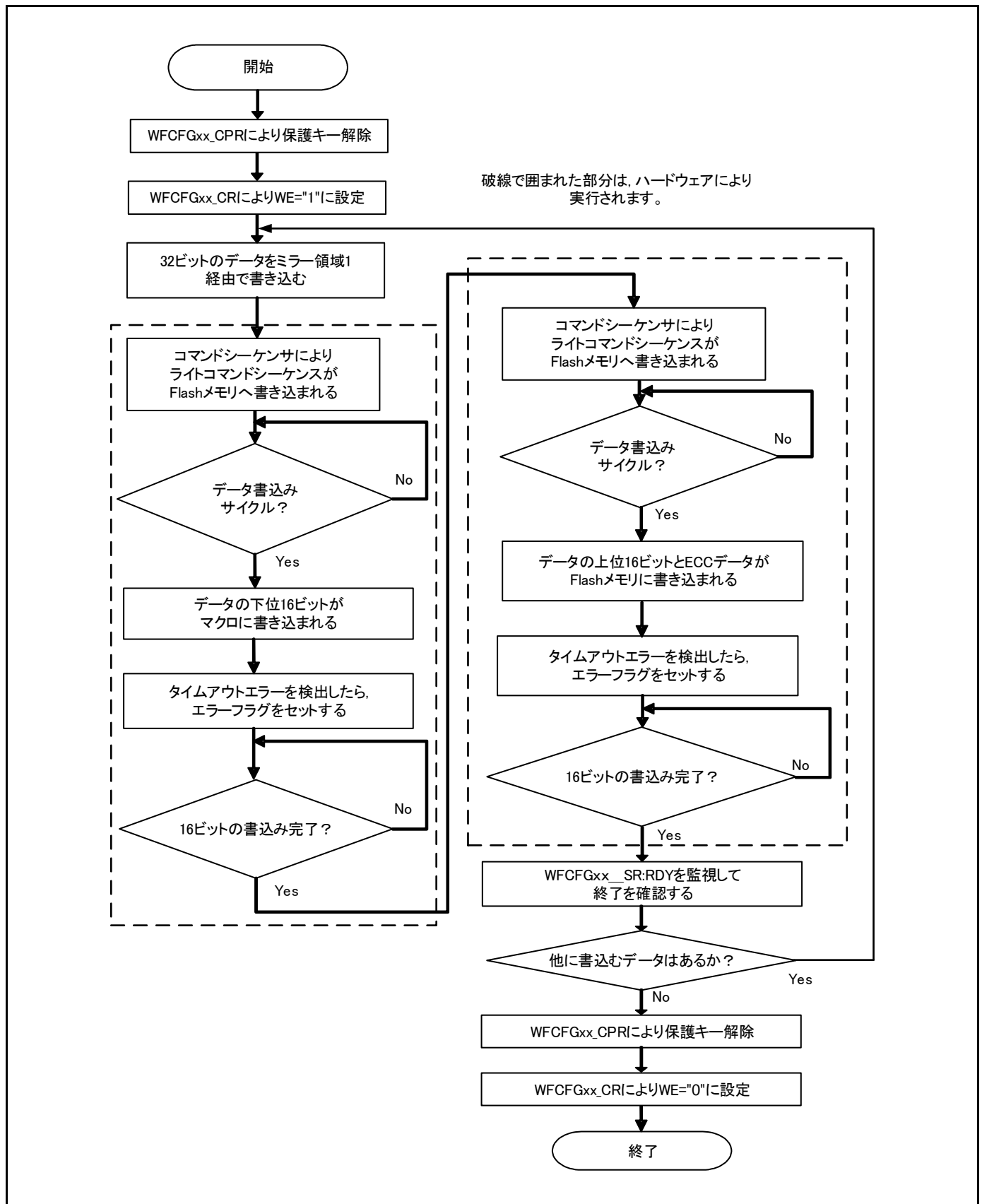
32 ビットのデータを ECC 付きの状態を書き込む手順の例を図 4-1 に示します。図に示された手順によって ECC 付きの書込みを実行する際には, レジスタ WFCFGxx_ECR の ECCOFF ビットが"0" (デフォルト値)であることが必要です。

ECC を付けずにデータだけを書き込む場合には, ミラー領域 1 の代わりに, ミラー領域 3 を経由してデータを書き込みます。ミラー領域 3 を経由して書込みを行った場合には, 図の右半分の部分において, 上位 16 ビットのデータは書き込まれますが, ECC データは書き込まれません。

8 ビットもしくは 16 ビットの書込みを行う場合も同様にミラー領域 3 経由から書込みを行います。書き込まれる 8 ビットもしくは 16 ビットのデータのアドレスが, 32 ビットのうち下位 16 ビットの範囲にある場合(アドレスのビット 2 が"0"の場合)には, ハードウェアは, 図の左半分のシーケンスだけを実行して, データを書き込みます。またアドレスが上位 16 ビットの範囲にある場合(アドレスのビット 2 が"1"の場合)には, ハードウェアにおいて, 図の右半分のシーケンスから ECC データの書込みを除いた部分だけが実行されます。

図は書込みの完了を待ち合わせるために, レジスタ WFCFGxx_SR の RDY フラグをポーリングしています。ほかにも RDY 割込みを利用して完了を検出することができます。

図 4-1 32 ビットデータを ECC 付きの状態書き込む方法 (例)





4.3. セクタ消去の手順

レジスタ `WFCFGxx_SEQCM`に必要な情報を書き込むことにより、セクタ単位の消去を行えます。`ERS7E`ビットから`ERS0E`ビットの中の、消去の対象となるセクタに対応するビット位置に"1"を立て、`OPC[1:0]`ビットを`0b10`(消去を表すコード)にしたデータをレジスタ `WFCFGxx_SEQCM` に書き込むと、コマンドシーケンサは指定されたセクタに対するセクタ消去動作を開始します。

セクタ消去動作の完了を待ち合わせるためには、書込みの場合と同じ方法を使えます。

5. レジスタ

WorkFLASH 内のレジスタについて説明します。

WorkFLASH のレジスタ用領域は周辺機能領域内にあり、それぞれ 1K バイトのサイズがあります。

レジスタ用領域内のレジスタの配置を表 5-1 に示します。表中のレジスタ名称において、"WFCFG"の後にある"xx"には、WorkFLASH のユニット番号が 2 桁の数字が入ります。例えば WorkFLASH0 の場合には"00"が入って"WFCFG00_"です。

表 5-1 レジスタ一覧

レジスタ略称	レジスタ名	参照先
WFCFGxx_CPR	WorkFLASH 設定保護キーレジスタ	5.1
WFCFGxx_CR	WorkFLASH 設定レジスタ	5.2
WFCFGxx_ECR	WorkFLASH ECC 制御レジスタ	5.3
WFCFGxx_WCR	WorkFLASH 書込みコマンドシーケンサ設定レジスタ	5.4
WFCFGxx_WSR	WorkFLASH 書込みコマンドシーケンサステータスレジスタ	5.5
WFCFGxx_DBEIR	WorkFLASH データビットエラー挿入レジスタ	5.6
WFCFGxx_EEIR	WorkFLASH ECC ビットエラー挿入レジスタ	5.7
WFCFGxx_ICR	WorkFLASH 割込み制御レジスタ	5.8
WFCFGxx_SR	WorkFLASH ステータスレジスタ	5.9
WFCFGxx_SECIR	WorkFLASH SEC 割込みレジスタ	5.10
WFCFGxx_EEAR	WorkFLASH ECC エラーアドレスレジスタ	5.11
WFCFGxx_MIR	WorkFLASH モジュール識別レジスタ	5.12
WFCFGxx_SEQCM	WorkFLASH シーケンサコマンドレジスタ	5.13
WFCFGxx_BERR	WorkFLASH バスエラー応答要因レジスタ	5.14
WFCFGxx_BERRCLR	WorkFLASH バスエラー応答要因クリアレジスタ	5.15
WFCFGxx_UCESR	WorkFLASH 訂正不能誤りステータスレジスタ	5.16
WFCFGxx_UCEAR	WorkFLASH 訂正不能誤りアドレスレジスタ	5.17



5.1. WorkFLASH00/01/02/03 設定保護キーレジスタ(WFCFGxx_CPR)

WorkFLASH00/01/02/03 設定保護キーレジスタ(WFCFGxx_CPR)は、以下に示すレジスタを意図しない書込みから保護するために用いられます。

- WorkFLASH00/01/02/03 設定レジスタ(WFCFGxx_CR)
- WorkFLASH00/01/02/03 ECC 制御レジスタ(WFCFGxx_ECR)
- WorkFLASH00/01/02/03 データビットエラー挿入レジスタ(WFCFGxx_DBEIR)
- WorkFLASH00/01/02/03 ECC ビットエラー挿入レジスタ(WFCFGxx_EEIR)

これらのレジスタへ書込みを行う前には、同じユニットの WorkFLASH 設定保護キーレジスタへ正しい設定保護キー値(0xCF6DF1A5)を書き込み、アンロック状態にしなければなりません。アンロックの場合、書込み(設定変更)が可能です。

またアンロック後、マスタに関係なく同グループ(Memory & Config Group)領域内アドレスに対する書込みにより、上記レジスタへの書込みは再びロックされます。ただし、他マスタからの同グループ領域内(WorkFLASH レジスタ領域を除く)への書込みではロックされません。

設定保護キー値が誤っている場合や、書込みをアンロックせずに上記のレジスタへ書込みを試みた場合など、不正な手順によって上記レジスタへ書込みを行うと、WorkFLASH はバスエラー応答を行います。CPU によるアクセスの場合、バスエラー応答により、データアボート例外が生成されます。

WorkFLASH 設定保護キーレジスタへの書込みは、必ず 32 ビットとして書き込んでください。

Bit	31-0
Field	CPR
R/W 属性	R,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] CPR[31:0]: 設定保護キー

本レジスタへ正しい設定保護キー値 (0xCF6DF1A5)を書き込むことにより、以下に挙げる保護対象レジスタへの書込みがアンロックされ、新しい値の設定ができます。

- WorkFLASH00/01/02/03 設定レジスタ(WFCFGxx_CR)
- WorkFLASH00/01/02/03 ECC 制御レジスタ(WFCFGxx_ECR)
- WorkFLASH00/01/02/03 データビットエラー挿入レジスタ(WFCFGxx_DBEIR)
- WorkFLASH00/01/02/03 ECC ビットエラー挿入レジスタ(WFCFGxx_EEIR)

これらのレジスタへの書込みがアンロックされているとき、本レジスタからは 0xFFFFFFFF が読み出されます。またこれらのレジスタへの書込みがロックされているとき、本レジスタからは 0x00000000 が読み出されます。

5.2. WorkFLASH00/01/02/03 設定レジスタ(WFCFGxx_CR)

WorkFLASH 設定レジスタには、次に示すとおり WorkFLASH 内の Flash メモリを制御する機能があります。

- Flash メモリをアクセスする際のウェイトサイクル数を指定
- Flash メモリへの書込みを許可
- Flash メモリをリセット

同一ユニットの WorkFLASH 設定保護キーレジスタへ正しい設定保護キー値が書き込まれ、本レジスタへの書込みがアンロックされている場合にだけ、本レジスタの設定値の変更ができます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved							SWFRST
R/W 属性	R0,WX							R0,W
保護属性	WPS							
初期値	00000000							0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							WE
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	00000000							0

Bit	7	6	5	4	3	2	1	0
Field	Reserved						FAWC	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						11	

[bit31:17] Reserved: 予約ビット

[bit16] SWFRST: ソフトウェアリセット

bit	説明
0	動作に影響はありません。
1	Flash メモリおよびコマンドシーケンサがリセットされます。

[bit15:9] Reserved: 予約ビット

[bit8] WE: 書込みイネーブル

Flash メモリに対する書込み・消去の許可/禁止が設定されます。本ビットが"0"のときに Flash メモリへの書込み・消去が検出されると、WorkFLASH はバスエラー応答を行います。



bit	説明
0	書込み・消去は禁止です。
1	書込み・消去は許可されています。

[bit7:2] Reserved: 予約ビット

[bit1:0] FAWC[1:0]: Flash ウェイト制御

Flash メモリをアクセスする際のウェイトサイクル数が設定されます。設定する値は, Flash メモリの動作周波数と, Flash メモリのアクセスタイムに従って決定してください。

bit[1:0]	説明
00	ウェイトサイクルは挿入されません。
01	1 ウェイトサイクルが挿入されます。
10	2 ウェイトサイクルが挿入されます。
11	3 ウェイトサイクルが挿入されます。

5.3. WorkFLASH00/01/02/03 ECC 制御レジスタ(WFCFGxx_ECR)

本レジスタは ECC 論理の動作を制御するために用いられます。同じユニットの WorkFLASH 設定保護キーレジスタへ正しい設定保護キー値が書き込まれ、本レジスタへの書き込みがアンロックされている場合にだけ、本レジスタの設定値の変更ができます。また本レジスタの設定値の変更ができるのは、一度だけです。本レジスタに対する二度目以降の書き込みに対しては、WorkFLASH はバスエラー応答(ECRWL)を行います。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							ECCOFF
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] ECCOFF: ECC オフ

ミラー領域 1 を介したアクセスの ECC の生成と検査を許可もしくは禁止します。ECC の生成と検査が禁止されている場合は、ミラー領域 1 を介したアクセスにおいても、ECC の生成と検査は行われません。

bit	説明
0	ミラー領域 1 を介したアクセスの ECC の生成と検査が行われます。
1	ミラー領域 1 を介したアクセスの ECC の生成と検査は行われません。



5.4. WorkFLASH00/01/02/03 書込みコマンドシーケンサ設定レジスタ (WFCFGxx_WCR)

本レジスタは, DMA 転送を利用した書込みの有無について設定を行えます。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							Reserved
R/W 属性	R0,WX							R/W1
保護属性	-							
初期値	0000000							1

Bit	7	6	5	4	3	2	1	0
Field	Reserved							DMAEN
R/W 属性	R0,WX							R/W
保護属性	-							
初期値	0000000							0

[bit31:1] Reserved: 予約ビット

[bit0] DMAEN: DMA イネーブル

本ビットが"1"のとき, WorkFLASH 書込みコマンドシーケンサステータスレジスタの ST[1:0] ビットの値が"00"となると, WorkFLASH は DMA 転送要求を生成し, 次書き込まれるデータを DMAC に対して要求します。

bit	説明
0	DMA 転送要求の生成を行いません。
1	DMA 転送要求が生成を行います。

5.5. WorkFLASH00/01/02/03 書込みコマンドシーケンサステータスレジスタ (WFCFGxx_WSR)

本レジスタを読み出すことにより、書込みコマンドシーケンサの状態を知ることができます。

本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						ST	
R/W 属性	R0,WX						R,WX	
保護属性	-							
初期値	000000						00	

[bit31:2] Reserved: 予約ビット

[bit1:0] ST[1:0]: 書込みコマンドシーケンサステータス

書込みコマンドシーケンサの状態を表します。書込みコマンドシーケンサがアイドル状態以外の状態にあるときは、Flash メモリへのアクセスを行わないでください。

bit[1:0]	説明
00	書込みコマンドシーケンサはアイドル状態にあることを表します。
01	書込みコマンドシーケンサがコマンドシーケンスを Flash メモリへ送っている途中の状態であることを表しています。
10	書込みコマンドシーケンサが Flash メモリの動作完了を待っていることを表しています。
11	予約。本状態が発生することはありません。



5.6. WorkFLASH00/01/02/03 データビットエラー挿入レジスタ (WFCFGxx_DBEIR)

本レジスタは, Flash メモリから読み出されたデータビットにエラーを挿入することにより, ECC 論理の動作試験を行うために用いられます。

同じユニットの WorkFLASH 設定保護キーレジスタへ正しい設定保護キー値が書き込まれ, 本レジスタへの書込みがアンロックされている場合にだけ, 本レジスタの設定値を変更できます。

Bit	31-0
Field	DBEIR
R/W 属性	R/W
保護属性	WPS
初期値	00000000_00000000_00000000_00000000

[bit31:0] DBEIR[31:0]: データビットエラー挿入位置

本レジスタの値と, Flash メモリから読み出されたデータビットの値と排他的論理和をとった値が, ECC 検査論理へ送られます。

bit[i] (31≥i≥0)	説明
0	Flash メモリから読み出されたデータと同じ位置のビットはそのまま ECC 検査論理へ送られます。
1	Flash メモリから読み出されたデータと同じ位置のビットは反転されてから ECC 検査論理へ送られます。

5.7. WorkFLASH00/01/02/03 ECC ビットエラー挿入レジスタ(WFCFGxx_EEIR)

本レジスタは, Flash メモリから読み出された ECC ビットにエラーを挿入することにより, ECC 論理の動作試験(偽正常試験)を行うために用います。

同じユニットの WorkFLASH 設定保護キーレジスタへ正しい設定保護キー値が書き込まれ, 本レジスタへの書込みがアンロックされている場合にだけ, 本レジスタの設定値を変更できます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved	EEIR						
R/W 属性	R0,WX	R/W						
保護属性	WPS							
初期値	0	0000000						

[bit31:7] Reserved: 予約ビット

[bit6:0] EEIR[6:0]: ECC ビットエラー挿入位置

本レジスタの値と, Flash メモリから読み出された ECC データの値と排他的論理和を計算した値が, ECC 検査論理へ送られます。

bit[i] (6≥i≥0)	説明
0	Flash メモリから読み出された ECC データと EEIR の同じ位置のビットはそのまま ECC 検査論理へ送られます。
1	Flash メモリから読み出された ECC データと EEIR の同じ位置のビットは反転してから ECC 検査論理へ送られます。



5.8. WorkFLASH00/01/02/03 割込み制御レジスタ(WFCFGxx_ICR)

本レジスタにより、要因ごとの割込み要求生成の許可と、割込み要因のクリアを行えます。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WP
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved						HANGIC	RDYIC
R/W 属性	R0,WX						R0,W	R0,W
保護属性	WP							
初期値	000000						0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved					Reserved	HANGIE	RDYIE
R/W 属性	R0,WX					R/W0	R/W	R/W
保護属性	WP							
初期値	00000					0	0	0

[bit31:10] Reserved: 予約ビット

[bit9] HANGIC: ハング割込みクリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_SR の HANGINT ビットがクリアされます。

[bit8] RDYIC: レディ割込みクリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_SR の RDYINT ビットがクリアされます。

[bit7:2] Reserved: 予約ビット

[bit1] HANGIE: ハング割込み許可

bit	説明
0	ハング割込み要求の生成を禁止します。
1	ハング割込み要求の生成を許可します。



[bit0] RDYIE: レディ割込み許可

bit	説明
0	レディ割込み要求の生成を禁止します。
1	レディ割込み要求の生成を許可します。



5.9. WorkFLASH00/01/02/03 ステータスレジスタ(WFCFGxx_SR)

本レジスタは、Flash メモリの状態と個別の割込み要因が保持される読出し専用レジスタです。本レジスタに対する書込みはバスエラーを返します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved						HANGINT	RDYINT
R/W 属性	R0,WX						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							RDY
R/W 属性	R0,WX							R,WX
保護属性	-							
初期値	0000000							0

[bit31:10] Reserved: 予約ビット

[bit9] HANGINT: ハングアップ割込み

Flash メモリがハングアップ 1 状態に遷移したことを検出したため、ハングアップ割込み要求が生成されていることを示しています。

Flash メモリは、次の場合にハングアップ 1 状態に遷移します。

- 値が"0"のセルに対して"1"書込みを試みた場合。
- 書込みもしくは消去が所定の時間内に完了しなかった場合。

本ビットは、同じユニットのレジスタ WFCFGxx_ICR の HANGIC ビットへ"1"を書き込むことによりクリアされます。

bit	説明
0	ハングアップ割込み要求は生成されていません。
1	ハングアップ割込み要求が生成されています。

[bit8] RDYINT: レディ割込み

Flash メモリがレディ状態に遷移したことを検出したため、レディ割込み要求が生成されていることを示しています。本ビットは、同じユニットのレジスタ WFCFGxx_ICR の RDYIC ビットへ"1"を書き込むことによりクリアされます。

bit	説明
0	レディ割込み要求は生成されていません。
1	レディ割込み要求が生成されています。



[bit7:1] Reserved: 予約ビット

[bit0] RDY: レディ

本ビットは, Flash メモリがレディ状態にあるかどうかを表しています。レディ状態においては, Flash メモリは, 新しい動作の実行を開始できます。

bit	説明
0	Flash メモリは動作中です。この状態は, 読出し/リセットコマンドだけを受け付けることが可能です。
1	Flash メモリは次のコマンドの実行を開始できます。



5.10. WorkFLASH00/01/02/03 SEC 割込みレジスタ(WFCFGxx_SECIR)

1 ビット誤り訂正割込みに関するステータスフラグ、イネーブルビット、クリアビットを収容するレジスタです。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	SYN						
R/W 属性	R0,WX	R,WX						
保護属性	WP							
初期値	0	0000000						

Bit	23	22	21	20	19	18	17	16
Field	Reserved							SECINT
R/W 属性	R0,WX							R,WX
保護属性	WP							
初期値	000000							0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							SECIC
R/W 属性	R0,WX							R0,W
保護属性	WP							
初期値	0000000							0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							SECIE
R/W 属性	R0,WX							R/W
保護属性	WP							
初期値	0000000							0

[bit31] Reserved: 予約ビット

[bit30:24] SYN[6:0]: シンドローム

1 ビット誤りを検出した際のシンドロームが格納されます。

[bit23:17] Reserved: 予約ビット

[bit16] SECINT: 1 ビット誤り訂正割込み

1 ビット誤り訂正割込み要求の有無を示します。1 ビット誤り訂正割込み要求は、読出し時の ECC 検査により 1 ビットの誤りが検出され訂正された場合に生成されます。本ビットは読出し専用です。本ビットへの書き込みは意味を持ちません。本ビットは、同じレジスタの SECIC ビットへ"1"を書き込むことによりクリアされます。

bit	説明
0	1 ビット誤り訂正割込み要求は生成されていません。
1	1 ビット誤り訂正割込み要求が生成されています。



[bit15:9] Reserved: 予約ビット

[bit8] SECIC: 1 ビット誤り訂正割込みクリア

bit	説明
0	本ビットへの"0"の書込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じレジスタの SECINT ビットがクリアされます。

[bit7:1] Reserved: 予約ビット

[bit0] SECIE: 1 ビット誤り訂正割込みイネーブル

bit	説明
0	1 ビット誤り訂正割込み要求の生成を禁止します。
1	1 ビット誤り訂正割込み要求の生成を許可します。



5.11. WorkFLASH00/01/02/03 ECC エラーアドレスレジスタ (WFCFGxx_EEAR)

読出し時に 1 ビット誤りが検出されたアドレスを保持します。複数回に渡り 1 ビット誤りが検出された場合、最後に検出された誤りのアドレスを保持しています。

本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31-0
Field	EEAR
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] EEAR[31:0]: エラーアドレス

読出し時の ECC 検査によって 1 ビット誤りが検出されたアドレスです。複数回に渡って誤りが検出された際には、最後に検出されたアドレスを保持しています。



5.12. **WorkFLASH00/01/02/03 モジュール識別レジスタ (WFCFGxx_MIR)**

WorkFLASH ユニットの ID, バージョン, パッチレベル等を含んだ数値を読み出します。
本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31-0
Field	MID
R/W 属性	R, WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] MID[31:0] : モジュール ID
WorkFLASH ユニットの ID, バージョン, パッチレベル等を含んだ値です。



5.13. WorkFLASH00/01/02/03 シーケンサコマンドレジスタ (WFCFGxx_SEQCM)

コマンドシーケンサに対して読出し/リセットコマンドまたはセクタ消去コマンドの実行を指定するためのレジスタです。コマンドの実行が完了し、同じユニットのレジスタ WFCFGxx_SR の RDY ビットが"1"になった場合、本レジスタはクリアされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	ERS7E	ERS6E	ERS5E	ERS4E	ERS3E	ERS2E	ERS1E	ERS0E
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						OPC	
R/W 属性	R0,WX						R,W	
保護属性	-							
初期値	000000						00	

[bit31:24] Reserved: 予約ビット

[bit23] ERS7E: セクタ 7 消去イネーブル

bit	説明
0	セクタ 7 消去イネーブルは無効です。
1	セクタ 7 消去イネーブルは有効です(消去対象です)。

[bit22] ERS6E: セクタ 6 消去イネーブル

bit	説明
0	セクタ 6 消去イネーブルは無効です。
1	セクタ 6 消去イネーブルは有効です(消去対象です)。

[bit21] ERS5E: セクタ 5 消去イネーブル

bit	説明
0	セクタ 5 消去イネーブルは無効です。
1	セクタ 5 消去イネーブルは有効です(消去対象です)。

[bit20] ERS4E: セクタ 4 消去イネーブル

bit	説明
0	セクタ 4 消去イネーブルは無効です。
1	セクタ 4 消去イネーブルは有効です(消去対象です)。

[bit19] ERS3E: セクタ 3 消去イネーブル

bit	説明
0	セクタ 3 消去イネーブルは無効です。
1	セクタ 3 消去イネーブルは有効です(消去対象です)。

[bit18] ERS2E: セクタ 2 消去イネーブル

bit	説明
0	セクタ 2 消去イネーブルは無効です。
1	セクタ 2 消去イネーブルは有効です(消去対象です)。

[bit17] ERS1E: セクタ 1 消去イネーブル

bit	説明
0	セクタ 1 消去イネーブルは無効です。
1	セクタ 1 消去イネーブルは有効です(消去対象です)。

[bit16] ERS0E: セクタ 0 消去イネーブル

bit	説明
0	セクタ 0 消去イネーブルは無効です。
1	セクタ 0 消去イネーブルは有効です(消去対象です)。

[bit15:2] Reserved: 予約ビット

[bit1:0] OPC[1:0]: コマンド

bit[1:0]	説明
00	ノーオペレーション。
01	読出し/リセットコマンドを実行します。
10	セクタ消去/マクロ消去コマンドを実行します。セクタ消去の対象は ERS7E から ERS0E によって指定します。
11	予約。設定を行わないでください。



5.14. WorkFLASH00/01/02/03 バスエラー応答要因レジスタ (WFCFGxx_BERR)

WorkFLASH が行った、バスエラー応答の要因を表すフラグが保持される読出し専用のレジスタです。同じユニットのレジスタ WFCFGxx_BERRCLR の対応するビットに"1"を書き込むことにより、各フラグをクリアできます。

本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved						WTTM	ACCIGN
R/W 属性	R0,WX						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

Bit	7	6	5	4	3	2	1	0
Field	ECRWL	UNACC	RESA	Reserved		SIZE	CRWE	DED
R/W 属性	R,WX	R,WX	R,WX	R0,WX		R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	00		0	0	0

[bit31:10] Reserved: 予約ビット

[bit9] WTTM: ミラー領域 2 内の対応する予約領域に対する書込み

bit	説明
0	ミラー領域 2 内の対応する予約領域に対する書込みは検出されていません。
1	ミラー領域 2 内の対応する予約領域に対する書込みを検出したため、バスエラー応答が行われたことを表します。

[bit8] ACCIGN: コマンドオーバラン

bit	説明
0	コマンドのオーバランは検出されていません。
1	先行するコマンドの実行中に、新たなコマンドが Flash メモリに対して書き込まれ、後続のコマンドが無視されたことを表します。このとき、WorkFLASH は後続のコマンドを書き込んだバスマスタに対してバスエラー応答を行います。

[bit7] ECRWL: 保護シーケンス違反

bit	説明
0	保護されたレジスタに対する、保護シーケンスに違反する書込みは検出されていません。
1	次に挙げる場合に、WorkFLASH は保護シーケンスに対する違反を検出しバスエラー応答を行います。 <ul style="list-style-type: none"> - 2 回連続して保護キーレジスタ WFCFGxx_CPR へ書込みを行った - 保護キーレジスタへ書き込まれたキーの値が誤っている - ロックされた状態で保護されたレジスタへ書込みを試みた - レジスタ WFCFGxx_ECR の ECCOFF ビットに対して 2 回目以降の書込みを試みた

[bit6] UNACC: 非特権書込み

bit	説明
0	非特権書込みは検出されていません。
1	非特権状態でレジスタ領域への書込みが検出されたため、バスエラー応答が行われたことを表します。

[bit5] RESA: 予約領域アクセス

bit	説明
0	予約領域に対するアクセスは検出されていません。
1	Flash メモリ(ミラー領域 2) もしくはレジスタ領域内の予約領域に対するアクセスが検出されたため、バスエラー応答が行われたことを表します。ただし、ミラー領域 2 に対する書込みの検出はこのビットの対象となりません。

[bit4:3] Reserved: 予約ビット

[bit2] SIZE: アクセスサイズ違反

bit	説明
0	サポートされていないサイズにおけるアクセスは検出されていません。
1	Flash メモリに対する不正なサイズによるアクセスが検出され、バスエラー応答が行われたことを表します。

[bit1] CRWE: 書込み禁止違反

bit	説明
0	書込み禁止違反は検出されていません。
1	レジスタ WFCFGxx_CR の WE ビットが"0"のときに、Flash メモリへの書込みを試みたためにバスエラー応答が行われたことを表します。

**[bit0] DED: 訂正不能誤り検出**

bit	説明
0	訂正不能な誤りは検出されていません。
1	読出しを行ったときの ECC 検査において、訂正不能な誤りが検出され、バスエラー応答が行われたことを表します。

<注意事項>

- このレジスタを読み出すことで、バスエラー応答の要因を特定します。
- バスエラー応答時にこのレジスタの要因フラグがすべて"0"の場合、次に示すアクセスがバスエラー応答の要因です。
 - 読出し専用レジスタへの書込みアクセス

5.15. WorkFLASH00/01/02/03 バスエラー応答要因クリアレジスタ (WFCFGxx_BERRCLR)

本レジスタは、同じユニットのレジスタ WFCFGxx_BERR に対応するビットに"1"を書き込むことにより、WorkFLASH が行ったバスエラー応答の要因を表す各フラグをクリアできます。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved						WTTMCLR	ACCIGN CLR
R/W 属性	R0,WX						R0,W	R0,W
保護属性	-							
初期値	000000						0	0

Bit	7	6	5	4	3	2	1	0
Field	ECRWLCLR	UNACCLR	RESACLR	Reserved		SIZECLR	CRWECLR	DEDCLR
R/W 属性	R0,W	R0,W	R0,W	R0,WX		R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	00		0	0	0

[bit31:10] Reserved: 予約ビット

[bit9] WTTMCLR: WTTM クリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_BERR の WTTM ビットがクリアされます。

[bit8] ACCIGNCLR: ACCIGN クリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_BERR の ACCIGN ビットがクリアされます。

[bit7] ECRWLCLR: ECRWL クリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_BERR の ECRWL ビットがクリアされます。

**[bit6] UNACCLR: UNACC クリア**

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_BERR の UNACC ビットがクリアされます。

[bit5] RESACLR: RESA クリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_BERR の RESA ビットがクリアされます。

[bit4:3] Reserved: 予約ビット**[bit2] SIZECLR: SIZE クリア**

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_BERR の SIZE ビットがクリアされます。

[bit1] CRWECLR: CRWE クリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_BERR の CRWE ビットがクリアされます。

[bit0] DEDCLR: DED クリア

bit	説明
0	本ビットへの"0"の書き込みは意味を持ちません。
1	本ビットに"1"を書き込むと、同じユニットのレジスタ WFCFGxx_BERR の DED ビットがクリアされます。



5.16. WorkFLASH00/01/02/03 訂正不能誤リステータスレジスタ
(WFCFGxx_UCESR)

訂正不能誤リ検出割込み関する情報を表すフィールドを収容しています。
本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	SYN						
R/W 属性	R0,WX	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	23-0							
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000_00000000_00000000							

[bit31] Reserved: 予約ビット

[bit30:24] SYN[6:0]: シンドローム
2 ビット誤りを検出した際のシンドロームが格納されます。

[bit23:0] Reserved: 予約ビット



5.17. WorkFLASH00/01/02/03 訂正不能誤りアドレスレジスタ (WFCFGxx_UCEAR)

読出し時に訂正不能な誤りが検出されたアドレスを保持します。複数回にわたり訂正不能な誤りが検出された場合、最後に検出された誤りのアドレスを保持します。

本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31-0
Field	UCEA
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] UCEA[31:0]: 訂正不能誤りアドレス

読出し時の ECC 検査によって訂正不能な誤りが検出されたアドレスです。複数回に渡って誤りが検出された際には、最後に誤りが検出されたアドレスを保持しています。

6. その他

WorkFLASH を利用する際の注意事項について説明します。

(1) 予約ビットから読み出される値の取り扱いについて

WorkFLASH 内のレジスタに存在する予約ビットからは"0"が読み出されます。しかし将来の製品とソフトウェアの互換性を確保する観点から、プログラミングにあたっては予約ビットから読み出された値に意味を持たせることがないようにしてください。

(2) 書込みまたは消去実行中のリセット

書込みの実行中に本製品がリセットされた場合、書込みの対象となっていたアドレスの内容は不定を示します。またセクタ消去の途中でリセットが行われた場合には、消去の対象となっていたセクタの内容は不定を示します。このような場合には、リセット完了後に、中断された書込みや消去をやり直してください。

(3) リセット後のレジスタの設定

ソフトウェアから WorkFLASH に対するリセットを行うと、WorkFLASH は最小 1000ns 以上のリセットを行います。またソフトウェアはリセット後、設定を行おうとしているユニットのレジスタ WFCFGxx_SR の RDY ビットが"1"になるのを待ってから、Flash メモリからの読出しを行い、コマンドを書き込むようにしなければなりません。

(4) Flash メモリからの読出し

WorkFLASH に書込みまたは消去を実行している間 WorkFLASH からデータを読み出すことはできません。そのため、書込みや消去を開始する前には、必要なデータやプログラムを WorkFLASH から RAM へコピーし、書込みや消去の途中において読み出す必要がないようにしてください。

(5) ソフトウェアからのリセットの完了待ち

レジスタ WFCFGxx_CR の SWFRST ビットに"1"を書き込むことにより、Flash メモリがリセットされます。リセットを行った後、リセットを行ったユニットのレジスタ WFCFGxx_SR の RDY ビットを監視してリセットの完了を待ち合わせてから、アクセスを行うようにしてください。



CHAPTER 19: ハードウェアウォッチ ドッグタイマ

ハードウェアウォッチドッグタイマについて説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. 動作例
6. レジスタ
7. 使用上の注意



1. 概要

ハードウェアウォッチドッグタイマの概要について説明します。

ハードウェアウォッチドッグタイマは、MCU Config Group に位置し、ソフトウェアおよびハードウェアの暴走状態を検出するために使用します。またハードウェアウォッチドッグタイマは、システム制御メイン CPU0 に割り当てられ、CPU0 によるシステム全体の制御を監視します。

ハードウェアウォッチドッグタイマの特長

- ソフトウェアおよびハードウェアの暴走状態を検出してリセット要求が生成されます。 (*a)
- ハードウェアリセット解除により、ハードウェアウォッチドッグタイマは起動します。 (*a)
- システム制御メイン CPU0 がハードウェアウォッチドッグタイマを制御します。 (*a)
- ウォッチドッグカウンタのソースクロックは、2 種類の中から選択します。 (*a)
- (高速 CR クロック(default), 低速 CR クロック)
- BootROM プログラムにより、レジスタを設定します。 (*a)
- 32 ビットのウォッチドッグカウンタとして動作します
- ソフトウェアリセットとハードウェアリセットによる異なる初期化をできます。
- ソフトウェアリセットによって、ウォッチドッグカウンタのみクリアされます。
- ハードウェアリセットによって、ウォッチドッグカウンタとレジスタの設定、内部回路が初期化されます。
- ウォッチドッグカウンタクリア保護トリガシーケンスを監視します。
- ウィンドウウォッチドッグ機能を実装しています。
- 各デバイスステート(RUN と PSS)において異なる動作設定ができます。
- ウォッチドッグレジスタライト保護シーケンスを監視します。
- 重要な機能に影響を与えるビットは多数決回路を実装しています。
- ウォッチドッグエラーによるウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を生成できます。
- リセット要求または割込み要求(NMI)の前に事前警告割込み要求を生成できます。
- プロセッサのデバッグ状態においてウォッチドッグカウンタを停止できます。

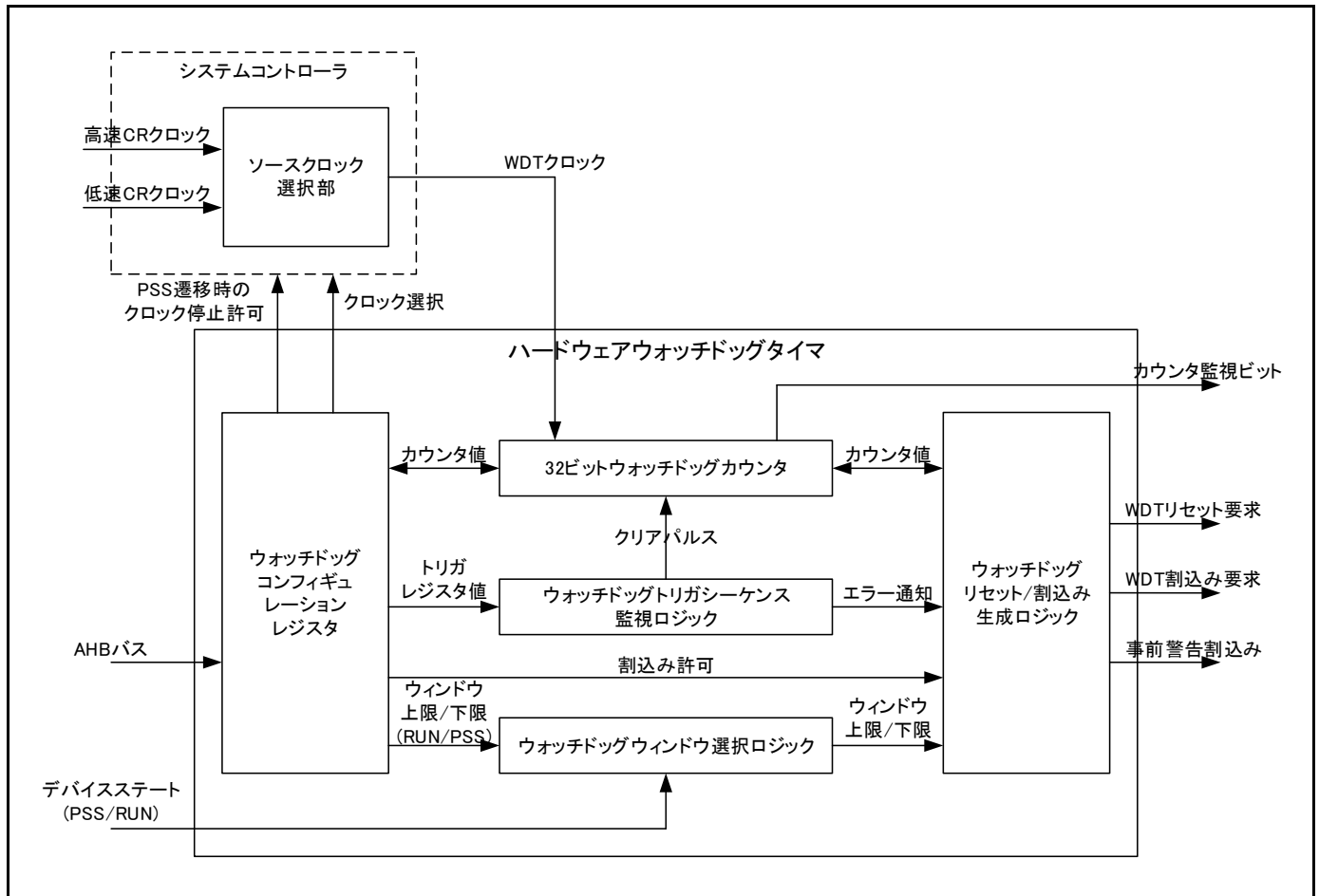
<注意事項>

- 表記(*a)は、ソフトウェアウォッチドッグに対して、ハードウェアウォッチドッグタイマ特有の特長です。
- ウォッチドッグエラーとは、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を引き起こす要因のことです。

2. 構成

ハードウェアウォッチドッグタイマのブロックダイアグラムについて説明します。

図 2-1 ハードウェアウォッチドッグタイマ ブロックダイアグラム



- ウォッチドッグコンフィギュレーションレジスタ：**
 各レジスタの設定値が格納されるブロックです。読出し用のカウンタ値やカウンタクリアに必要なトリガレジスタ値、ウィンドウ上限値・下限値の情報の入出力が行われます。
- 32ビットウォッチドッグカウンタ：**
 32ビットのアップカウンタのブロックです。
- ウォッチドッグトリガシーケンス監視ロジック：**
 ウォッチドッグカウンタクリア保護トリガシーケンスを監視し、クリアパルスの生成およびエラー検出を通知するブロックです。
- ウォッチドッグウィンドウ選択ロジック：**
 各デバイスステート(RUNとPSS)のウィンドウ上限値・下限値の情報を取り込み、デバイスステート遷移にしたがってウィンドウ設定を選択するブロックです。
- ウォッチドッグリセット/割り込み生成ロジック：**
 ウォッチドッグリセット要求およびウォッチドッグ割り込み要求(NMI)、事前警告割り込み要求を生成するブロックです。



3. 動作説明

ハードウェアウォッチドッグタイマの動作について説明します。

(1) ハードウェアウォッチドッグタイマの機能

ハードウェアウォッチドッグタイマは以下の機能を実装しています。

a) ソフトウェアおよびハードウェアの暴走状態となった際のリセット要求の生成

ハードウェアウォッチドッグタイマは、ソフトウェアおよびハードウェアの暴走状態が発生していないことを監視します。ハードウェアリセット解除による起動時から監視を開始します。事前に設定したウィンドウ上限値・下限値の範囲内においてウォッチドッグカウンタがクリアされない場合、ソフトウェアおよびハードウェアの暴走状態と判断し、MCU 全体に対してリセット要求、もしくはシステム制御メイン CPU0 に対して割り込み要求(NMI)が生成されます。

<注意事項>

- 例えばハードウェアリセット解除後、メモリビットの故障により BootROM プログラムが暴走するような、ハードウェア故障による暴走状態を検出できません。

b) ハードウェアリセット解除によるハードウェアウォッチドッグタイマの起動

ハードウェアウォッチドッグタイマは、ハードウェアリセット解除により起動します。具体的には、ハードウェアウォッチドッグ解除後、すぐに高速 CR 発振回路によって生成されたクロックを用いて動作を開始します。

c) システム制御メイン CPU0 によるハードウェアウォッチドッグタイマの制御

ハードウェアウォッチドッグタイマは、システム制御メイン CPU0 に割り当てられ、CPU0 によるシステム全体の制御を監視します。MCU に搭載するハードウェアウォッチドッグタイマの数は 1 つです。

d) ウォッチドッグカウンタのソースクロック選択(2 種類)

ハードウェアウォッチドッグタイマは、ハードウェアウォッチドッグコンフィギュレーションレジスタ (HWDG_CFG) の CLKSEL ビットを設定することによって、ウォッチドッグカウンタのソースクロックを 2 種類の中から選択します。具体的には、高速 CR クロック・低速 CR クロックの中から選択します(初期設定は、高速 CR クロックです)。

ソースクロック選択は、システムコントローラに対するクロック要求となり、システムコントローラのクロックシステム側においてソースクロックを切り換えます。手順の詳細は、「7. 使用上の注意」の「(2) ウォッチドッグカウンタのソースクロック切換え」を参照してください。

e) BootROM プログラムによるレジスタの設定

ハードウェアウォッチドッグタイマのレジスタは、BootROM プログラムにより設定します。

f) 32 ビットのウォッチドッグカウンタ

ハードウェアウォッチドッグタイマは、32 ビットのウォッチドッグカウンタ(アップカウンタ)を用いて動作します(初期値は"0x0000_0000"です)。

ウォッチドッグカウンタは以下すべての条件を満たすことで動作します。

1. ユーザモードとして動作中。
2. ウォッチドッグカウンタがウィンドウ上限値に未到達。
3. デバイスステートが RUN, かつ, W DENRUN ビットが"1"。
(「6.15 ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)」を参照してください)。
4. デバイスステートが PSS, かつ, W DENPSS ビットが"1"。
(「6.15 ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)」を参照してください)。

<注意事項>

- ウォッチドッグカウンタがウィンドウ上限値に到達した場合、カウント動作を停止します。

ウィンドウ上限値とカウント時間の関係を以下の表 3-1 に示します。

表 3-1 ハードウェアウォッチドッグタイマ ウィンドウ上限値とカウント時間の関係

入力クロック周波数	ウィンドウ上限値	カウント時間	備考
8MHz	"0x0100_0000"	約 2.1s	ハードウェアウォッチドッグ上限 RUN 設定レジスタ(HWDG_RUNULS)の初期値で動作
12MHz	"0x0100_0000"	約 1.4s	
8MHz	"0x8000_0000"	約 268s	ハードウェアウォッチドッグ上限 PSS 設定レジスタ(HWDG_PSSULS)の初期値で動作
12MHz	"0x8000_0000"	約 178s	

<注意事項>

- 上記の表は高速 CR クロックの周波数が 8MHz と 12MHz の例です。

g) ソフトウェアリセットとハードウェアリセットによる異なる初期化

ハードウェアウォッチドッグタイマは、ソフトウェアリセットとハードウェアリセットによる異なる初期化ができます。ソフトウェアリセットとハードウェアリセットの初期化の範囲を以下の表 3-2 に示します。

表 3-2 ソフトウェアリセットとハードウェアリセットの初期化の範囲

条件	リセット名	初期化の範囲
1	ソフトウェアリセット	ウォッチドッグカウンタ
2	ハードウェアリセット	ウォッチドッグカウンタ, 全レジスタの設定



h) ウォッチドッグカウンタクリア保護トリガシーケンス

ハードウェアウォッチドッグタイマは、ウォッチドッグカウンタをクリアするためのウォッチドッグカウンタクリア保護トリガシーケンスの監視が行われます。

ウォッチドッグカウンタクリア保護トリガシーケンスは、次の条件を満たさなければなりません。

- ハードウェアウォッチドッグトリガ 0 レジスタ(HWDG_TRG0)に書き込み後に、ハードウェアウォッチドッグトリガ 1 レジスタ(HWDG_TRG1)に書き込むこと。
- ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットが"0"の状態、ウォッチドッグカウンタクリア保護トリガシーケンスを実行しないこと。
- ハードウェアウォッチドッグトリガ 0 レジスタ(HWDG_TRG0)に書き込む値が、ハードウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ(HWDG_TRG0CFG)と一致していること。
- ハードウェアウォッチドッグトリガ 1 レジスタ(HWDG_TRG1)に書き込む値が、ハードウェアウォッチドッグトリガ 1 コンフィギュレーションレジスタ(HWDG_TRG1CFG)と一致していること。
- ウォッチドッグカウンタクリア保護トリガシーケンスの完了時に、ウォッチドッグカウンタが既にウィンドウ下限値に到達していること。

<注意事項>

- ウォッチドッグカウンタクリア保護トリガシーケンスの詳細は、図 3-2 を参照してください。

i) ウィンドウウォッチドッグ機能

ウィンドウウォッチドッグ機能は、ウォッチドッグカウンタの値に対してクリア可能な範囲をウィンドウ上限値・下限値を用いて設定するための機能です。2つの設定値に対して、ウォッチドッグカウンタをクリアできる範囲を以下に示します。

$$(\text{ウィンドウ下限値}) \leq (\text{ウォッチドッグカウンタ}) < (\text{ウィンドウ上限値})$$

例えばソフトウェアおよびハードウェアの暴走状態が発生し、連続的なウォッチドッグカウンタクリア保護トリガシーケンスが実行されたとします。このとき、ウィンドウ下限値を"0x00000000"以外の値に設定することによって、連続的なウォッチドッグカウンタのクリアを異常動作として検出できます。

RUN のウィンドウ設定は、次の 2 つのレジスタによって定義されます。

ハードウェアウォッチドッグ下限 RUN カレントレジスタ (HWDG_RUNLLC)

ハードウェアウォッチドッグ上限 RUN カレントレジスタ (HWDG_RUNULC)

PSS のウィンドウ設定は、次の 2 つのレジスタによって定義されます。

ハードウェアウォッチドッグ下限 PSS カレントレジスタ (HWDG_PSSLLC)

ハードウェアウォッチドッグ上限 PSS カレントレジスタ (HWDG_PSSULC)

j) 各デバイスステート(RUN と PSS)において異なる動作設定

ハードウェアウォッチドッグタイマは、各デバイスステート(RUN と PSS)の異なる動作設定ができます。この動作設定は、デバイスステート遷移にしたがって RUN または PSS の動作設定に切り換わります。

RUN の動作設定

- ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットと WDENRUN ビットが"1"にセットされる場合、RUN のウィンドウ設定を用いて動作します。
- ウォッチドッグカウンタがウィンドウ上限値・下限値の範囲内においてクリアされない、もしくはウォッチドッグカウンタクリア保護トリガシーケンスに違反がある場合、ウォッチドッグエラーが検出されます。このウォッチドッグエラーは、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます(ウォッチドッグエラーの詳細は、「7. 使用上の注意」の「(4) ウォッチドッグエラー」を参照してください)。

PSS の動作設定

- デバイスステートが RUN から PSS に遷移する際に、PSS のウィンドウ設定に切り換わります。ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の WDENPSS ビットが"1"にセットされる場合、PSS のウィンドウ設定を用いて動作します。
- デバイスステートが PSS から RUN に遷移する際に、イネーブルビットは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の WDENPSS ビットから WDENRUN ビットに直ちに切り換わります。しかしながらウィンドウ設定については直ちに切り換わりません。ウォッチドッグカウンタクリア保護トリガシーケンスが実行されるまで PSS のウィンドウ設定を用いて動作します。

RUN および PSS 中のウォッチドッグオペレーションの詳細は、それぞれ図 3-4 と図 3-5 を参照してください。



k) ウォッチドッグレジスタライト保護シーケンス

ハードウェアウォッチドッグタイマは、レジスタに設定値を書き込むためのウォッチドッグレジスタライト保護シーケンスの監視が行われます。

ウォッチドッグレジスタライト保護シーケンスは、次の条件を満たさなければなりません。

- ハードウェアウォッチドッグプロテクションレジスタ(HWDG_PROT)の書き込み後に、レジスタに設定値を書き込む。
- ハードウェアウォッチドッグプロテクションレジスタ(HWDG_PROT)の書き込みは、特権モードにおいて行う。
- ハードウェアウォッチドッグプロテクションレジスタ(HWDG_PROT)の書き込み値が、レジスタ書き込み保護ロック解除キーの"0xEDAC_CE55"と一致している。
- ハードウェアウォッチドッグプロテクションレジスタ(HWDG_PROT)の書き込み後に、ほかのモジュールのレジスタに設定値を書込まない。
- ハードウェアウォッチドッグプロテクションレジスタ(HWDG_PROT)の書き込みは、2回連続で行わない。
- ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットが"0"かつ特権モードの状態、レジスタに設定値を書き込む。

<注意事項>

- ウォッチドッグレジスタライト保護シーケンスの詳細は、図 3-1 を参照してください。

表 3-3 レジスタプログラミング向けのキーの値

キー値	対象レジスタ	目的
"0xEDAC_CE55"	HWDG_PROT:KEY	レジスタ書き込み保護ロックの解除

<注意事項>

- ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットの"1"セットにより書換えを防止する対象レジスタは、以下のとおりです。
 - ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ (HWDG_INT)
 - ハードウェアウォッチドッグトリガ0 コンフィギュレーションレジスタ (HWDG_TRG0CFG)
 - ハードウェアウォッチドッグトリガ1 コンフィギュレーションレジスタ (HWDG_TRG1CFG)
 - ハードウェアウォッチドッグ下限 RUN 設定レジスタ (HWDG_RUNLLS)
 - ハードウェアウォッチドッグ上限 RUN 設定レジスタ (HWDG_RUNULS)
 - ハードウェアウォッチドッグ下限 PSS 設定レジスタ (HWDG_PSSLs)
 - ハードウェアウォッチドッグ上限 PSS 設定レジスタ (HWDG_PSSULs)
 - ハードウェアウォッチドッグリセット遅延カウンタレジスタ (HWDG_RSTDLY)
 - ハードウェアウォッチドッグコンフィギュレーションレジスタ (HWDG_CFG)

l) 重要な機能に影響を与えるビットの多数決回路

ハードウェアウォッチドッグタイマは、重要な機能に影響を与えるビットに対して多数決回路を備えています。多数決回路は3つのフリップ・フロップから構成されます。ノイズなどの影響によって一部のフリップ・フロップがビット反転した場合でも、3つのフリップ・フロップの多数決をとることによって正しい値を選択できます。

多数決回路を備えたビットは以下のとおりです。

- RSTEN ビット (*1)
- LOCK ビット (*2)

<注意事項>

- 表記(*1)は、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)のビット。
- 表記(*2)は、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)のビット。



m) ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)の生成

ハードウェアウォッチドッグタイマは、ウォッチドッグエラーを検出する際に、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。ウォッチドッグ割込み要求(NMI)は、テスト機能として使用してください(例えば割込みハンドラの先頭にブレークポイントを設定するために、ウォッチドッグ割込み要求(NMI)を使用できます)。

またハードウェアウォッチドッグタイマは、ウォッチドッグリセット要求(またはウォッチドッグ割込み要求(NMI))の前に、事前警告割込み要求を生成できます(例えばウォッチドッグリセット要求の生成の前に、プロセッサが重要なデータをメモリに退避するために、事前警告割込み要求を使用できます)。

ハードウェアウォッチドッグタイマは、これらの要求を次のような手順によって生成します。

- ウォッチドッグエラーが発生する際に、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の IRQFLAG ビットをセットします。このとき、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の IRQEN ビットが"1"ならば、事前警告割込み要求が生成されます。
- 事前警告割込み要求からウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)までの期間は、ハードウェアウォッチドッグリセット遅延カウンタレジスタ(HWDG_RSTDLTY)に設定された遅延時間のサイクル数が挿入されます。
- 一度事前警告割込み要求が生成されると、ウォッチドッグカウンタクリア保護トリガシーケンスによるウォッチドッグカウンタのクリアはできません。また新規のウォッチドッグエラーが発生しても無視されます。
- ハードウェアウォッチドッグリセット遅延カウンタレジスタ(HWDG_RSTDLTY)に設定された遅延時間分のサイクル数経過後に、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。ハードウェアウォッチドッグリセット遅延カウンタレジスタ(HWDG_RSTDLTY)が"0x0000"の場合、遅延時間は発生しません。

<注意事項>

- 事前警告割込み要求を生成する場合は、ハードウェアウォッチドッグリセット遅延カウンタレジスタ(HWDG_RSTDLTY)を"0x0000"以外に設定してください。
- ウォッチドッグ割込み要求(NMI)は、テスト機能としての目的以外において使用することを禁止します(理由はアプリケーション実行中における安全性が妨害されてしまうからです)。図 3-6 は、ウォッチドッグのテスト機能のオペレーションを示します。
- ハードウェアウォッチドッグリセット遅延カウンタレジスタ(HWDG_RSTDLTY)に設定された遅延時間分のサイクル数挿入は、1回のウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)に対してのみ有効です(次のハードウェアリセットが発生するまでの期間無効です)。

n) プロセッサのデバッグ状態におけるウォッチドッグカウンタ停止

プロセッサがデバッグ状態となると、ウォッチドッグカウンタは停止します。プロセッサがデバッグ状態から復帰すると、ウォッチドッグカウンタの動作は停止したところから再開します。

<注意事項>

- プロセッサのデバッグ状態の定義については、ARM(R)社資料(CortexTM-R5 Revision:r1p2 Technical Reference Manual(ARM DDI 0460D))を参照してください。

(2) ソフトウェアウォッチドッグとハードウェアウォッチドッグの相違点について

ソフトウェアウォッチドッグタイマとハードウェアウォッチドッグタイマの主な相違点について以下の表 3-4 に示します。

表 3-4 ソフトウェアウォッチドッグとハードウェアウォッチドッグの相違点

項目	ソフトウェアウォッチドッグ	ハードウェアウォッチドッグ
ウォッチドッグカウンタ	32 ビットのアップカウンタ	同左
ソフトウェアリセットとハードウェアリセットによる異なる初期化	サポートあり	同左
ウォッチドッグカウンタクリア向けトリガシーケンス	サポートあり	同左
ウィンドウウォッチドッグ機能	サポートあり	同左
各デバイスステート(RUN と PSS)において異なる動作設定	サポートあり	同左
ウォッチドッグカウンタのソースクロック選択	3 種類 - 高速 CR クロック - 低速 CR クロック - メインクロック	2 種類 - 高速 CR クロック - 低速 CR クロック
ウォッチドッグレジスタ書込み保護シーケンス	サポートあり	同左
重要な機能に影響を与えるビットの多数決回路	サポートあり (対象ビット 4 個)	同左 (対象ビット 2 個)
リセット要求または割込み要求(NMI)の生成	サポートあり	同左
事前警告割込み要求の生成	サポートあり	同左
プロセッサのデバッグ状態におけるウォッチドッグカウンタ停止	サポートあり	同左
ウォッチドッグエラーの条件	5 種類	同左
バスエラー応答の条件	8 種類	同左
ウォッチドッグタイマの起動	ユーザプログラムによるレジスタ書込み	ハードウェアリセットの解除
レジスタの設定値の書込み	ユーザプログラム	BootROM プログラム
ウォッチドッグカウンタイネーブルビット制御	ユーザプログラムによるレジスタ書込み	PSS 時のみ停止(ハードウェア固定)

<注意事項>

- ハードウェアウォッチドッグタイマは、ソフトウェアウォッチドッグタイマと異なり、初期動作の設定時は BootROM プログラムによるレジスタの設定が行われます (CPU からの書込み、読出しも可能です)。
- 以下に示すレジスタの設定値は、Flash メモリ中のマーカ(BootROM マーカ) によって決定されます。
 - HWDT_INT
 - HWDT_TRG0CFG
 - HWDT_TRG1CFG
 - HWDT_RUNLLS
 - HWDT_RUNULS
 - HWDT_PSSLLS
 - HWDT_PSSULS
 - HWDT_RSTDLY
 - HWDT_CFG

レジスタの詳細は、「6. レジスタ」を参照してください。

図 3-1 ウォッチドッグレジスタライト保護シーケンスの設定手順

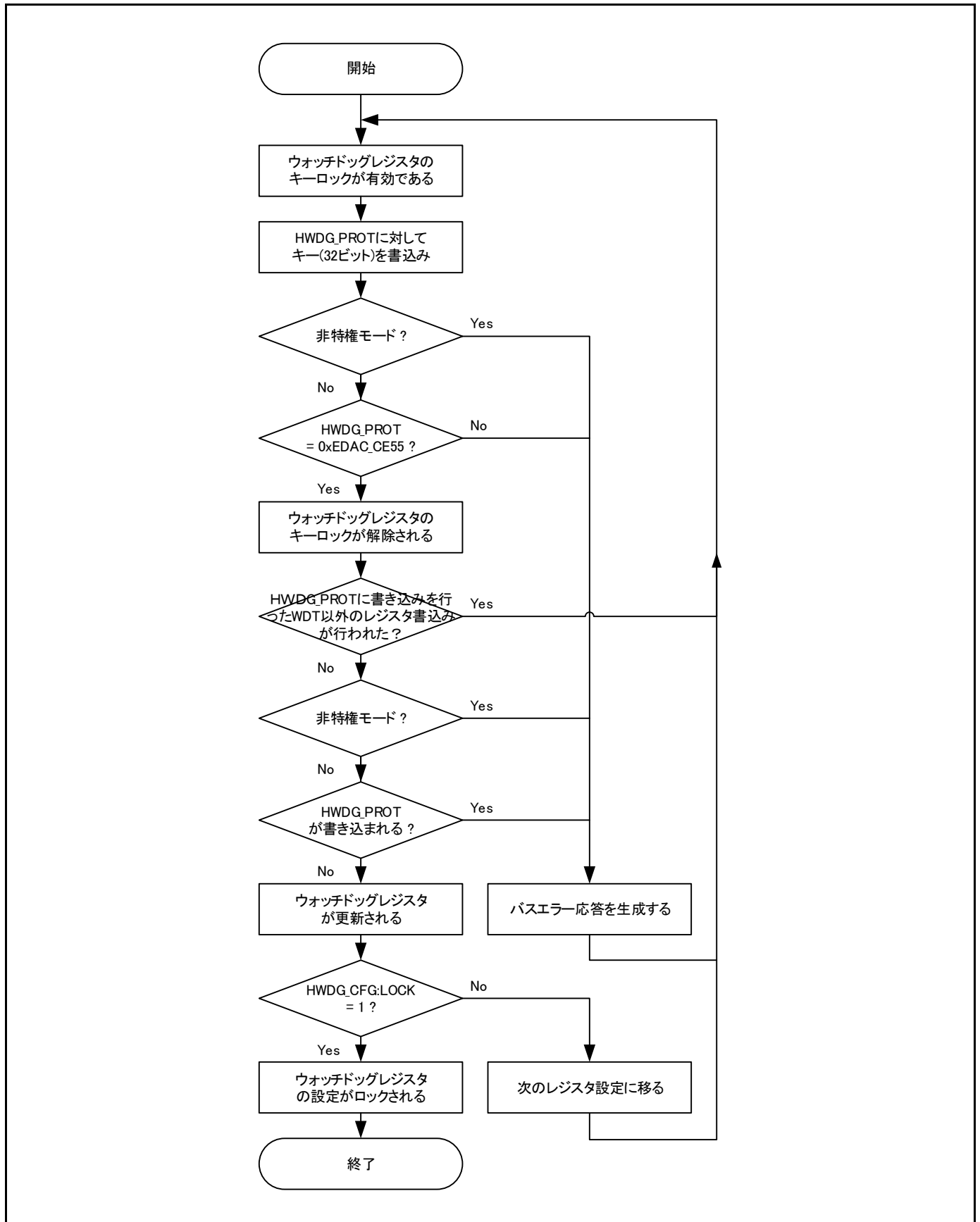
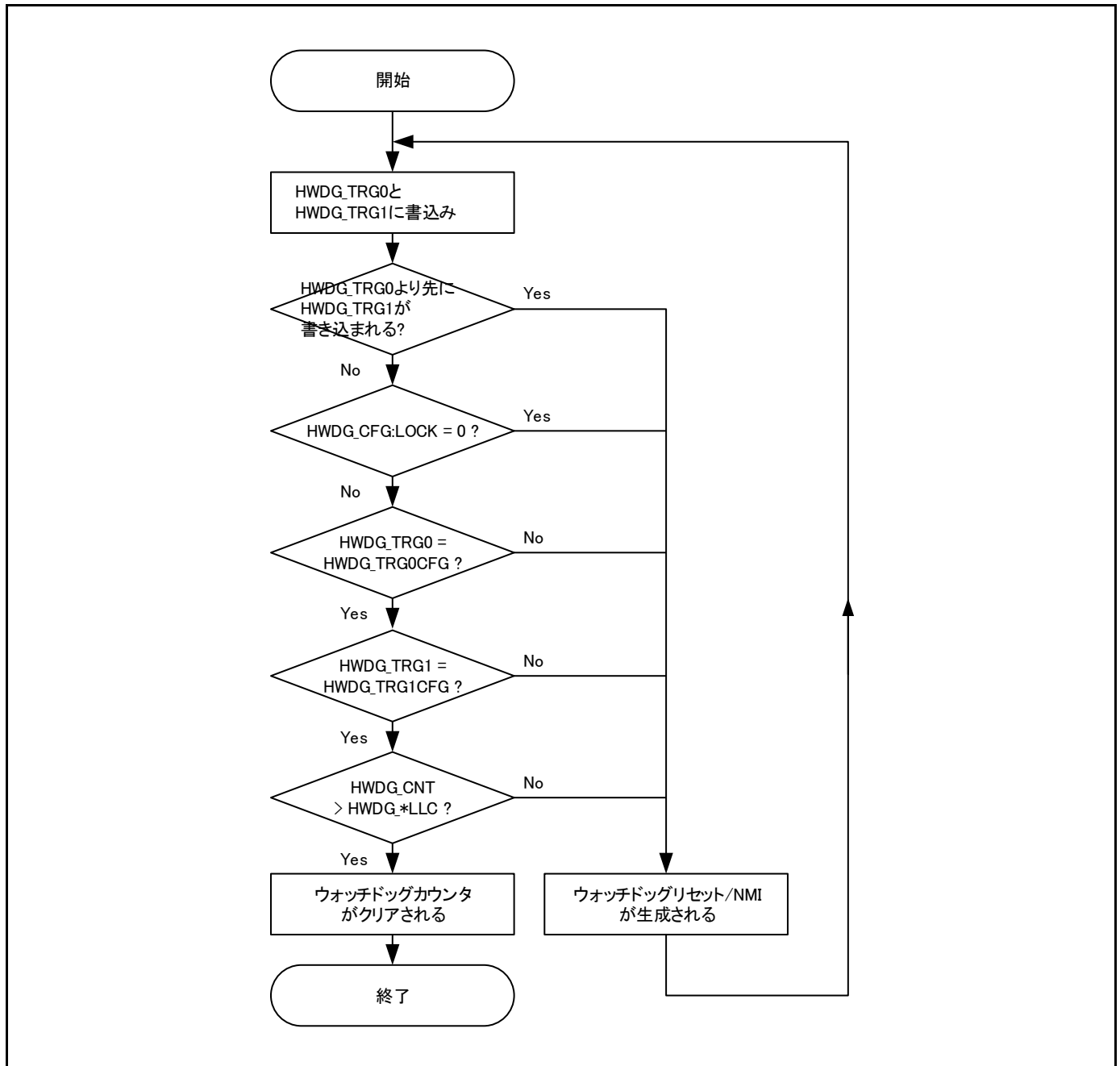


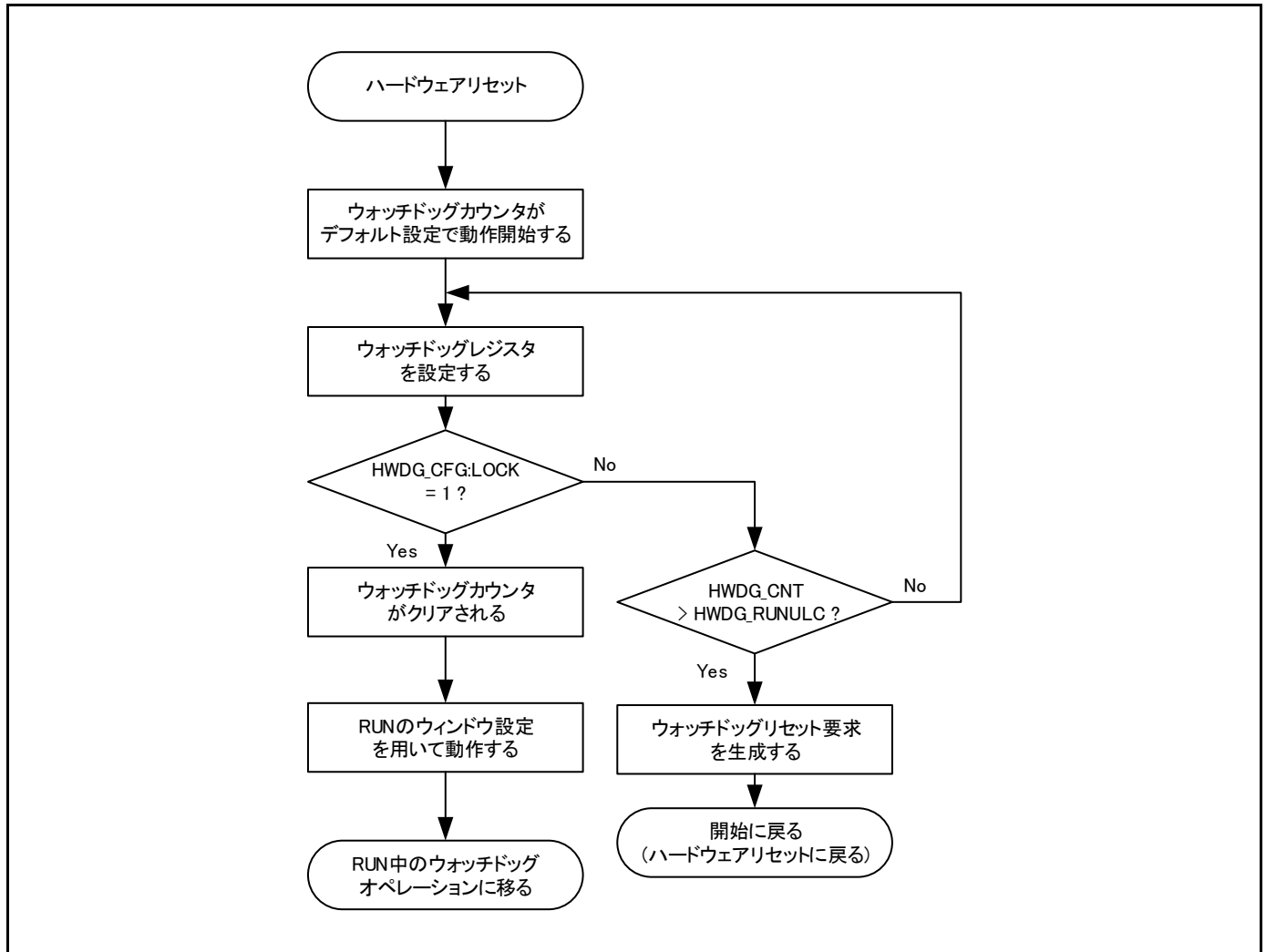
図 3-2 ウォッチドッグカウンタクリア保護トリガシーケンスの設定手順



<注意事項>

- 図 3-2 の表記*はデバイスステートの RUN または PSS に置き換わります。

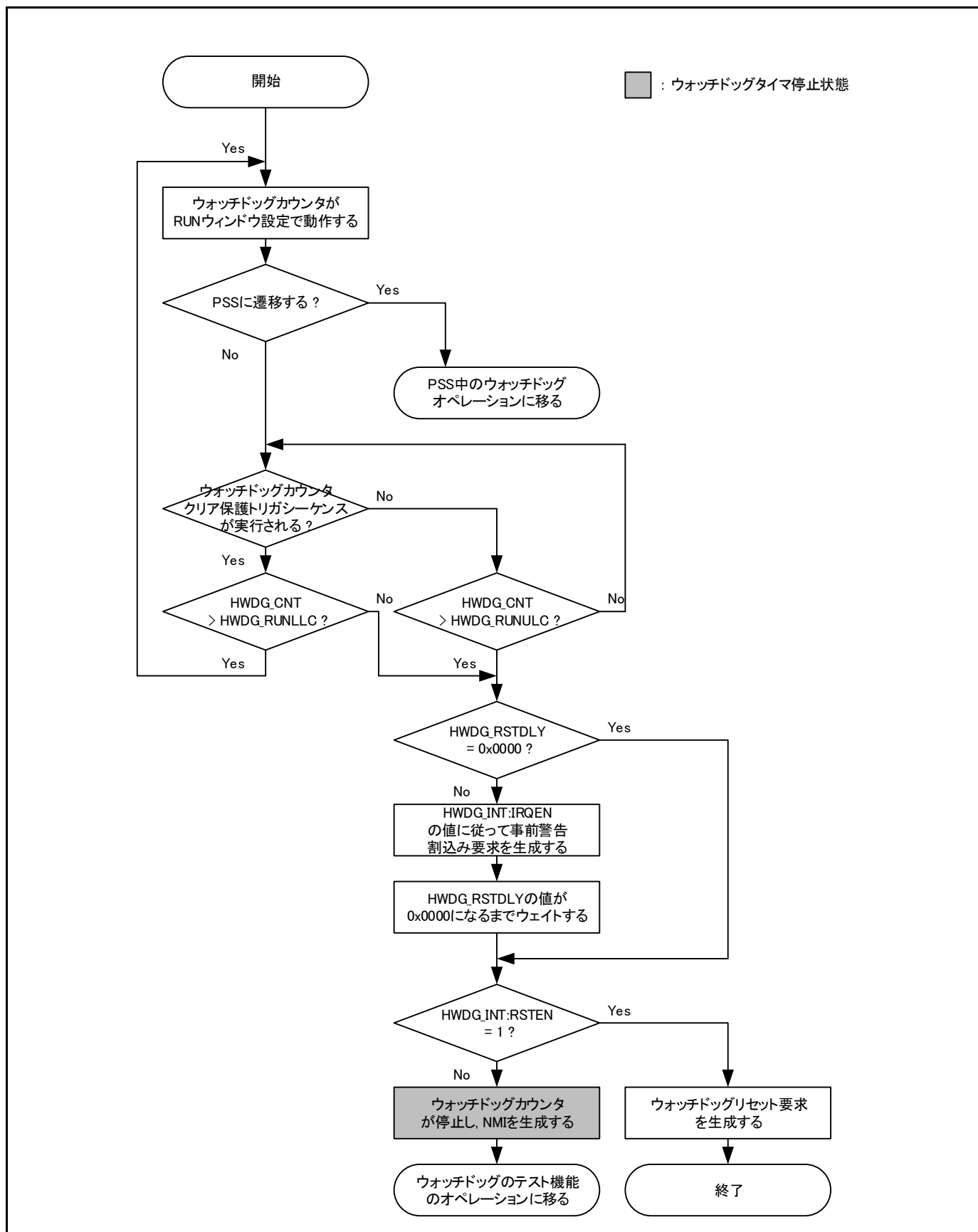
図 3-3 ハードウェアウォッチドッグタイマのスタートアップ



1. ハードウェアウォッチドッグタイマは、ハードウェアリセットによって初期化されます。その後ハードウェアリセットの解除後、すぐに動作状態を示します。
2. デフォルトのウィンドウ設定は、ウィンドウ下限値(="0x0000_0000")とウィンドウ上限値(="0x0100_0000")を示します。
3. ウィンドウ上限値に到達するまでに、レジスタの設定を行います。
4. ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)のLOCKビットを"1"セットすることによって、ウォッチドッグカウンタがクリアされます。

一連の設定は、BootROM ソフトウェアにより実行されます。

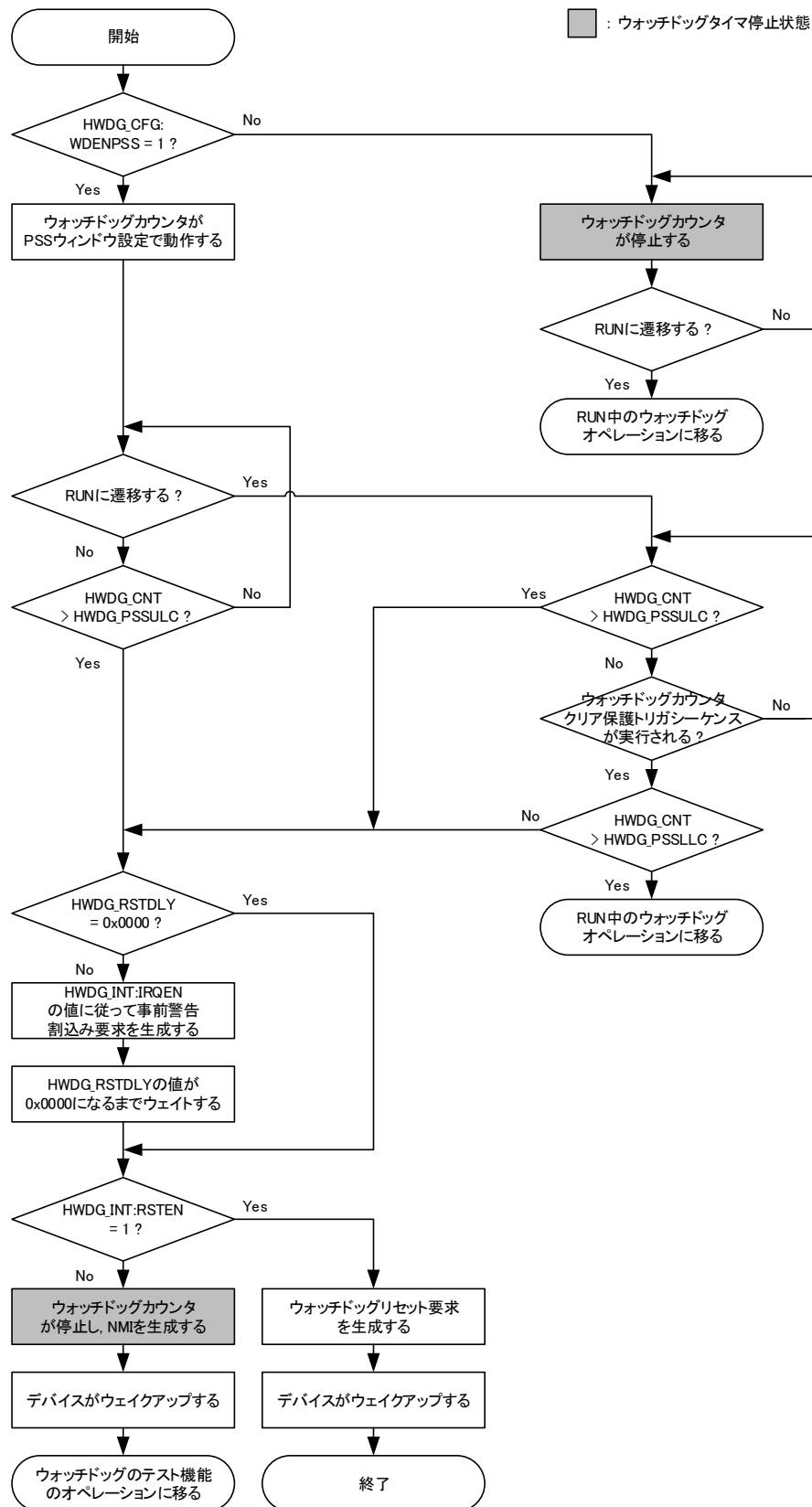
図 3-4 RUN 中のハードウェアウォッチドッグオペレーション





1. RUN 中のウォッチドッグカウンタは、常に動作します。
2. デバイスステートが RUN から PSS に遷移する場合は、PSS 中のウォッチドッグオペレーションに移ります。詳細は、図 3-5 を参照してください。
3. ウォッチドッグカウンタの動作中は、事前に設定したウィンドウ上限値・下限値の範囲内において、ウォッチドッグカウンタクリア保護トリガシーケンスを実行し、定期的にウォッチドッグカウンタをクリアしてください。
4. ソフトウェアおよびハードウェアの暴走状態が発生して定期的なクリアが行われない場合、ウォッチドッグカウンタがウィンドウ上限値に到達し、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を生成するフローに移ります。
5. ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の IRQEN ビットの値にしたがって事前警告割込み要求が生成されます。同時に、ハードウェアウォッチドッグリセット遅延カウンタレジスタ(HWDG_RSTDLY)に設定された遅延時間のサイクル数が挿入されます。
6. 遅延時間のサイクル数の経過後、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の RSTEN ビットの値にしたがって、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。ウォッチドッグ割込み要求(NMI)を生成する場合は、ウォッチドッグのテスト機能のオペレーションに移ります。詳細は、図 3-6 を参照してください。

図 3-5 PSS 中のハードウェアウォッチドッグオペレーション



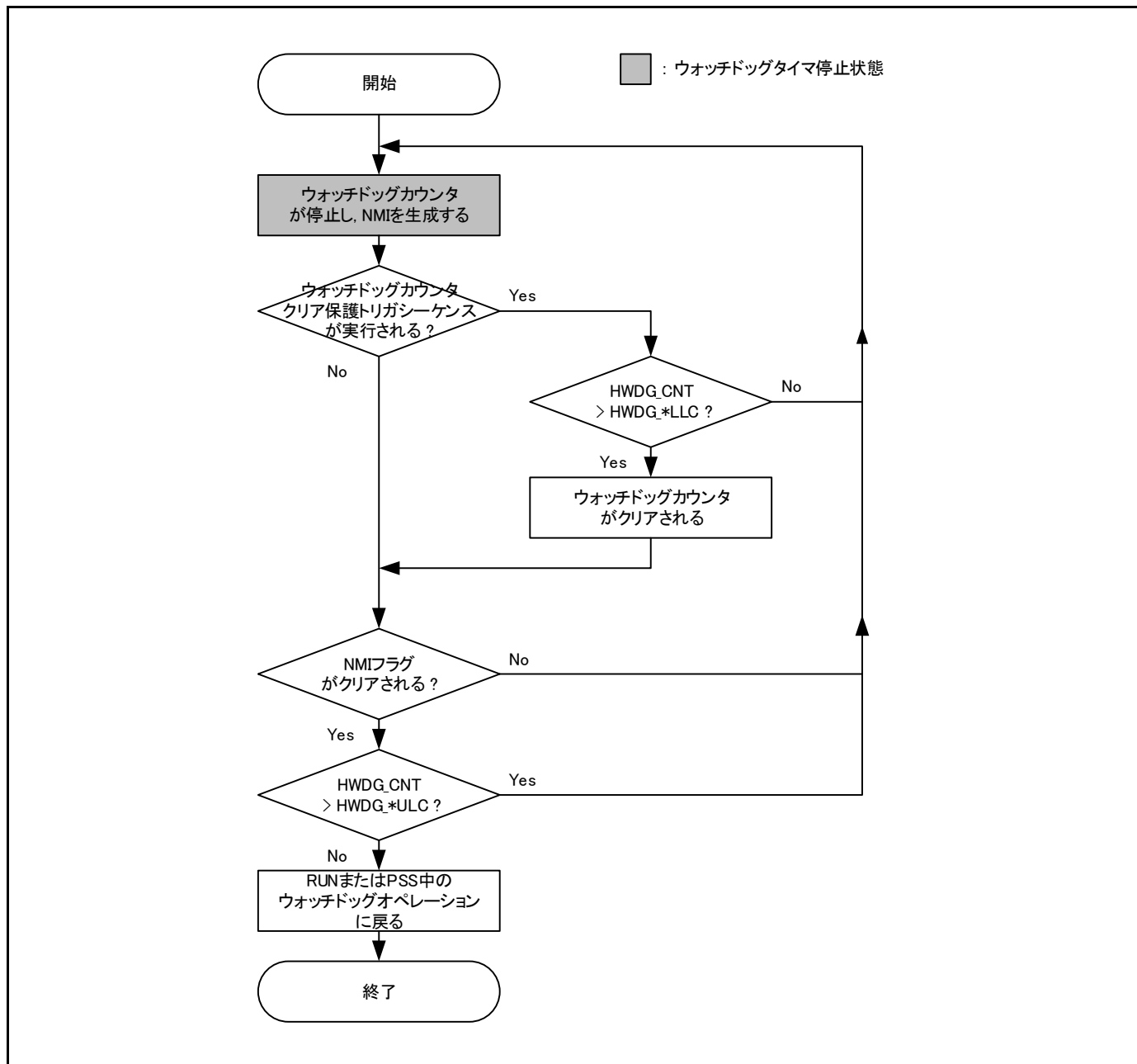


1. PSS 中のウォッチドッグカウンタの動作は、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の WDENPSS ビットの値にしたがって動作または停止します。
2. デバイスステートが PSS から RUN に遷移する場合は、ウォッチドッグカウンタの動作が直ちに開始されます。しかし、ウィンドウ設定は、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されるまで PSS のウィンドウ設定を用います。
3. ウォッチドッグカウンタの動作中は、事前に設定したウィンドウ上限値・下限値の範囲内において、ウォッチドッグカウンタクリア保護トリガシーケンスを実行し、定期的にウォッチドッグカウンタをクリアし続けなければなりません。
4. ソフトウェアおよびハードウェアの暴走状態が発生して定期的なクリアが行われないと、ウォッチドッグカウンタがウィンドウ上限値に到達し、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を生成するフローに移ります。
5. ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の IRQEN ビットの値にしたがって事前警告割込み要求が生成されます。同時に、ハードウェアウォッチドッグリセット遅延カウンタレジスタ(HWDG_RSTDLY)に設定された遅延時間のサイクル数が挿入されます。
6. 遅延時間のサイクル数の経過後、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の RSTEN ビットの値にしたがって、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。ウォッチドッグ割込み要求(NMI)を生成する場合は、ウォッチドッグのテスト機能のオペレーションに移ります。詳細は図 3-6 を参照してください。

<注意事項>

- PSS のウィンドウ設定で動作中に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されることは、既にデバイスステートが PSS から RUN に復帰していることを意味します。

図 3-6 ハードウェアウォッチドッグのテスト機能のオペレーション



1. ウォッチドッグカウンタは停止状態です。
2. ウォッチドッグカウンタの停止中に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、その際既にウィンドウ下限値に到達している場合は、ウォッチドッグカウンタがクリアされます(範囲外の場合は、特に変化はありません)。
3. ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の NMIFLAG ビットがクリアされる場合は、ウォッチドッグ割込み要求(NMI)がクリアされます。
4. ウォッチドッグカウンタがウィンドウ上限値に未到達の場合は、RUN または PSS 中のオペレーションに戻ります。既に到達済みの場合は、特に変化はありません。

<注意事項>

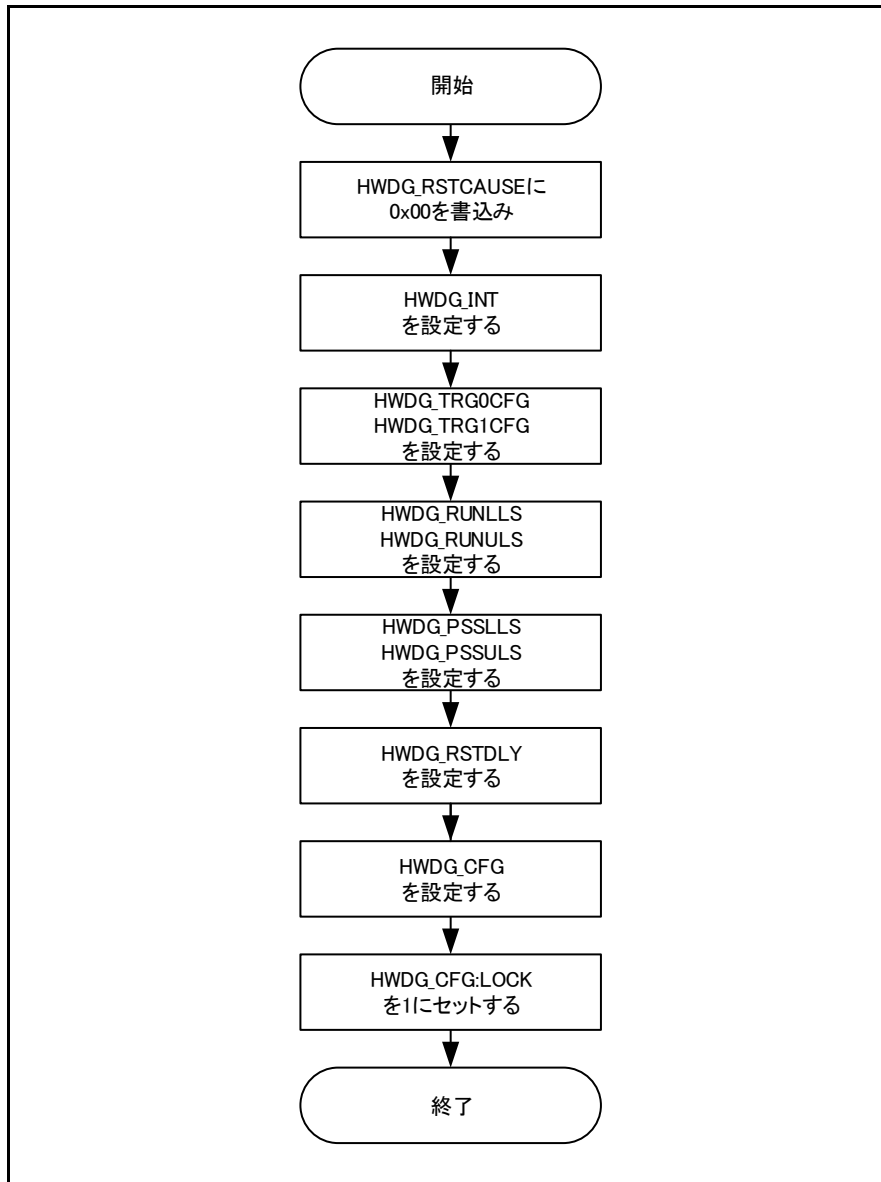
- 図 3-6 の表記*はデバイスステートの RUN または PSS に置き換わります。



4. 設定手順例

ハードウェアウォッチドッグタイマの設定手順例について説明します。

図 4-1 ハードウェアウォッチドッグタイマのレジスタの設定手順例



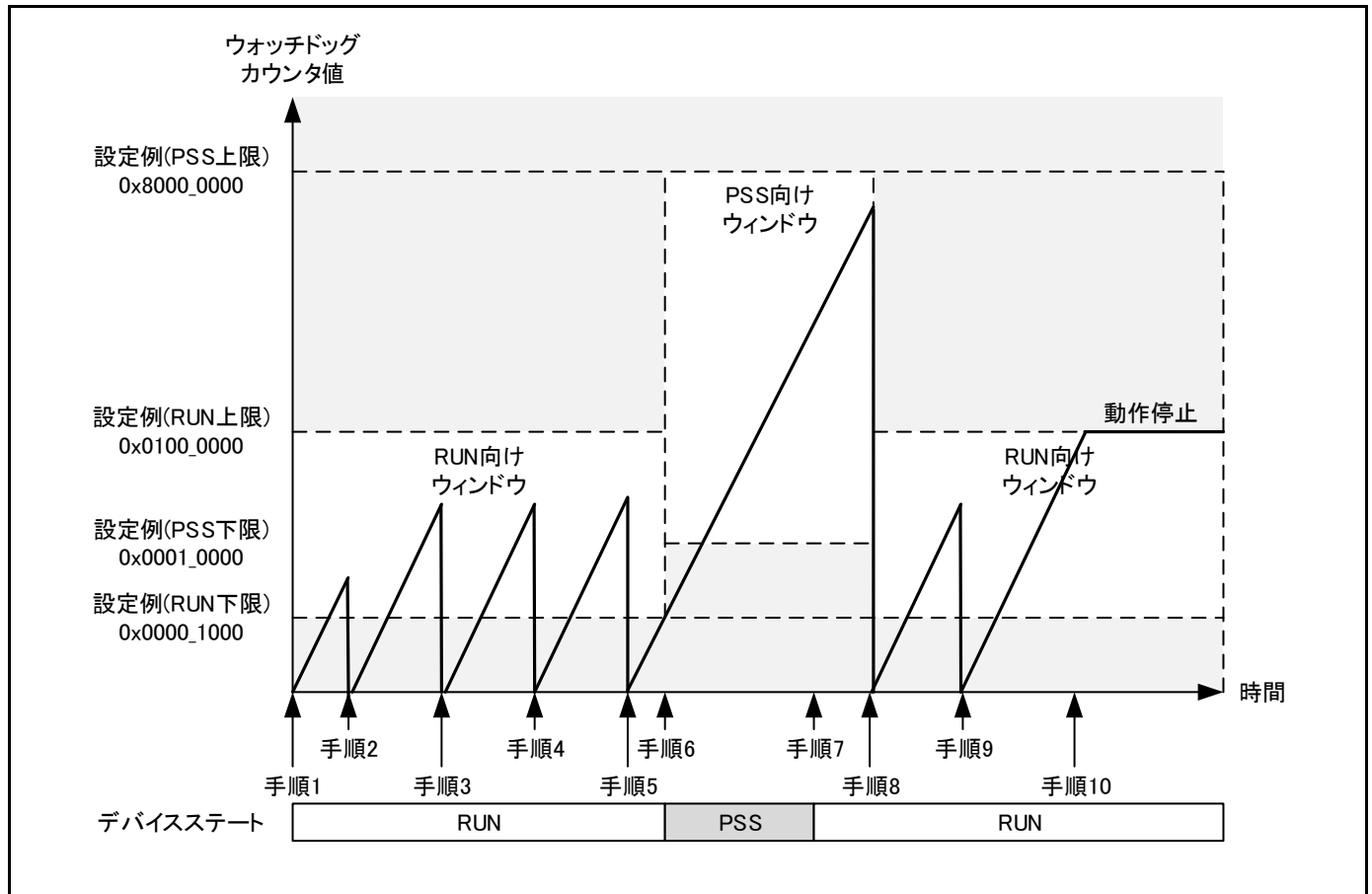
<注意事項>

- 上記レジスタは BootROM ソフトウェアにより設定されます。

5. 動作例

ハードウェアウォッチドッグタイマの動作例について説明します。

図 5-1 ハードウェアウォッチドッグタイマの動作例(PSS 時動作許可の場合)



1. 電源投入後、ハードウェアウォッチドッグタイマは動作を開始します (ウィンドウ上限の初期値は、"0x01000000"です)。
2. レジスタの設定値の書き込み後、ハードウェアウォッチドッグコンフィギュレーションレジスタ (HWDG_CFG) の LOCK ビットを"1"にセットします。このとき、ウォッチドッグカウンタが自動クリアされ、"0x00000000"からアップカウントが開始されます。
3. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
4. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
5. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
6. デバイスステートが RUN から PSS に遷移します。このとき、PSS のウィンドウ設定に切り換わります。
7. デバイスステートが PSS から RUN に復帰します。このとき、直ちに RUN のウィンドウ設定に切り換わりません。
8. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。このとき、RUN のウィンドウ設定に切り換わります。
9. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。

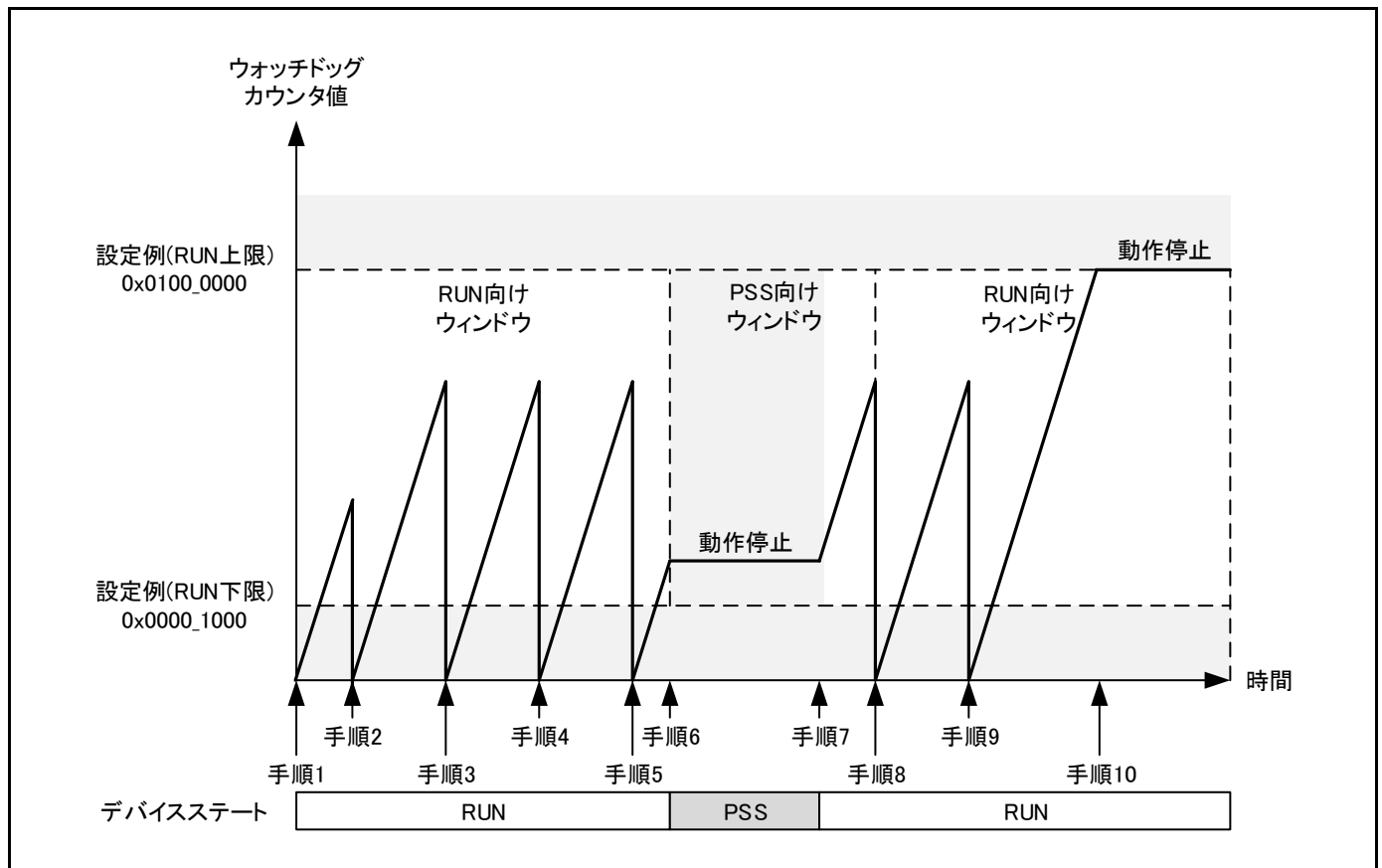


10. ウォッチドッグカウンタがウィンドウ上限値に到達するとき、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。

<注意事項>

- デバイスステートがPSS から RUN に復帰する際に、直ちに RUN のウィンドウ設定に切り換わりません。
- RUN から PSS に遷移する前には、必ずウォッチドッグカウンタをクリアしてください。

図 5-2 ハードウェアウォッチドッグタイマの動作例(PSS 時動作禁止の場合)



1. 電源投入後、ハードウェアウォッチドッグタイマは動作を開始します(ウィンドウ上限の初期値は、"0x0100_0000"です)。
2. レジスタの設定値の書き込み後、ハードウェアウォッチドッグコンフィギュレーションレジスタ (HWDG_CFG)の LOCK ビットを"1"にセットします。このとき、ウォッチドッグカウンタが自動クリアされ、"0x00000000"からアップカウントが開始されます。
3. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
4. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
5. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
6. デバイスステートが RUN から PSS に遷移します。このとき、ハードウェアウォッチドッグタイマの動作が停止します。
7. デバイスステートが PSS から RUN に復帰します。このとき、ハードウェアウォッチドッグタイマは直ちに動作を開始します。
8. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
9. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
10. ウォッチドッグカウンタがウィンドウ上限値に到達するとき、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。



6. レジスタ

ハードウェアウォッチドッグタイマのレジスタについて説明します。

表 6-1 ハードウェアウォッチドッグタイマ レジスタ一覧

レジスタ略称	レジスタ名	参照先
HWDG_PROT	ハードウェアウォッチドッグプロテクションレジスタ	6.1
HWDG_CNT	ハードウェアウォッチドッグカウンタレジスタ	6.2
HWDG_RSTCAUSE	ハードウェアウォッチドッグリセット要因レジスタ	6.3
HWDG_TRG0	ハードウェアウォッチドッグトリガ0 レジスタ	6.4
HWDG_TRG1	ハードウェアウォッチドッグトリガ1 レジスタ	6.5
HWDG_INT	ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ	6.6
HWDG_INTCLR	ハードウェアウォッチドッグ割込みクリアレジスタ	6.7
HWDG_TRG0CFG	ハードウェアウォッチドッグトリガ0 コンフィギュレーションレジスタ	6.8
HWDG_TRG1CFG	ハードウェアウォッチドッグトリガ1 コンフィギュレーションレジスタ	6.9
HWDG_RUNLLS	ハードウェアウォッチドッグ下限 RUN 設定レジスタ	6.10
HWDG_RUNULS	ハードウェアウォッチドッグ上限 RUN 設定レジスタ	6.11
HWDG_PSSLLS	ハードウェアウォッチドッグ下限 PSS 設定レジスタ	6.12
HWDG_PSSULS	ハードウェアウォッチドッグ上限 PSS 設定レジスタ	6.13
HWDG_RSTDLY	ハードウェアウォッチドッグリセット遅延カウンタレジスタ	6.14
HWDG_CFG	ハードウェアウォッチドッグコンフィギュレーションレジスタ	6.15
HWDG_RUNLLC	ハードウェアウォッチドッグ下限 RUN カレントレジスタ	6.16
HWDG_RUNULC	ハードウェアウォッチドッグ上限 RUN カレントレジスタ	6.17
HWDG_PSSLLC	ハードウェアウォッチドッグ下限 PSS カレントレジスタ	6.18
HWDG_PSSULC	ハードウェアウォッチドッグ上限 PSS カレントレジスタ	6.19

6.1. ハードウェアウォッチドッグプロテクションレジスタ(HWDG_PROT)

本レジスタは、ウォッチドッグレジスタライト保護シーケンスを実行するために使用します。本レジスタは、各レジスタの書き込みアクセスの前に正しいキー("0xEDAC_CE55")を書込んでください。正しいキーの書き込みによって、以降のレジスタ書き込み保護ロックが解除されます。各レジスタの書き込みアクセスは、レジスタ書き込み保護ロックを有効にします(各レジスタの読出しアクセスは、ロックに影響ありません)。本レジスタは、32ビットとして書き込まなければなりません。

Bit	31-0
Field	KEY
R/W 属性	R,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] KEY[31:0]: プロテクションビット

bit[31:0]	説明
書き込み時	"0xEDAC_CE55"書き込み時 : レジスタ書き込み保護ロックが解除されます。 "0xEDAC_CE55"以外書き込み時 : レジスタ書き込み保護ロックが解除されません。
読出し時	"0xFFFF_FFFF"読出し時 : レジスタ書き込み保護ロックが解除されています。 "0x0000_0000"読出し時 : レジスタ書き込み保護ロックが有効です。

<注意事項>

- 本レジスタに対する書き込みアクセスによって、次のような条件においてバスエラー応答が生成されます(このエラー応答は、CPU の例外ハンドラが引き起こされます) 。
 - 本レジスタに対する誤ったキーを書込み。
 - 本レジスタに対する 32 ビット以外の書き込み。
 - 本レジスタに対する 2 回連続の書き込み。

ウォッチドッグレジスタライト保護シーケンスの詳細は、図 3-1 を参照してください。

保護キーは、同グループ(MCU Config Group)領域内アドレスに対する書き込みにより、再びロックされます。ただし、保護対象外レジスタは書き込みを行ってもロックされません。



6.2. ハードウェアウォッチドッグカウンタレジスタ(HWDG_CNT)

本レジスタは、ウォッチドッグカウンタの現在のアップカウント値を示します。

Bit	31-0
Field	WDGCNT
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGCNT[31:0]: ウォッチドッグカウンタビット

bit[31:0]	説明
書込み時	無効です。
読出し時	現在のウォッチドッグカウンタ値が返されます。 ウォッチドッグカウンタ値は、バスクロックによってサンプリングされます。

<注意事項>

- 本レジスタに対する書込みアクセスによって、バスエラー応答が生成されます。

6.3. ハードウェアウォッチドッグリセット要因レジスタ(HWDG_RSTCAUSE)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)の要因を示すステータスレジスタです。本レジスタは、リセットによって初期化されません。ウォッチドッグリセット要求の要因を確認するために、本レジスタを読み出します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			RSTCAUSE4	RSTCAUSE3	RSTCAUSE2	RSTCAUSE1	RSTCAUSE0
R/W 属性	R0,WX			R,W	R,W	R,W	R,W	R,W
保護属性	WPS							
初期値	000			X	X	X	X	X

[bit31:5] Reserved: 予約ビット

[bit4] RSTCAUSE4: リセット要因ビット 4

本ビットは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットが"0"の場合に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されると"1"にセットされます。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。

[bit3] RSTCAUSE3: リセット要因ビット 3

本ビットは、ウォッチドッグカウンタがウィンドウ下限値に到達する前に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されると"1"にセットされます。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。



[bit2] RSTCAUSE2: リセット要因ビット 2

本ビットは、ウォッチドッグカウンタがウィンドウ上限値に到達する場合に,"1"にセットされます。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。

事前警告割込みを使用した場合、事前警告割込み発生から、ウォッチドッグリセットまたはウォッチドッグ割込み(NMI)までの期間中、RSTCAUSE2 はクリアできません。

[bit1] RSTCAUSE1: リセット要因ビット 1

本ビットは、ウォッチドッグカウンタクリア保護トリガシーケンスに対する違反が存在する場合に,"1"にセットされます(詳細は図 3-2 を参照してください)。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。

[bit0] RSTCAUSE0: リセット要因ビット 0

本ビットは、ハードウェアウォッチドッグトリガ 0/1 レジスタ(HWDG_TRG0, HWDG_TRG1)に対する書込み値が、適切な値と一致しない場合に,"1"にセットされます。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。

<注意事項>

- ハードウェアウォッチドッグタイマを使用する際は、必ず本レジスタをクリアしてください。
- 本レジスタの値は、ウォッチドッグリセット要求が生成される際に有効になります。

6.4. ハードウェアウォッチドッグトリガ 0 レジスタ(HWDG_TRG0)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従う必要はありません。本レジスタは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために使用します。本レジスタは、ハードウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ(HWDG_TRG0CFG)によって定義された値を用いて書込んでください。ハードウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ(HWDG_TRG0CFG)以外の値を書込みする場合は、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	WDGTRG0							
R/W 属性	R0,W							
保護属性	-							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG0[7:0]: ウォッチドッグトリガ 0 ビット

本ビットは、ウォッチドッグカウンタをクリアするためのウォッチドッグカウンタクリア保護トリガシーケンスを実行するために使用します。

bit[7:0]	説明
書込み時	HWDG_TRG0CFG 値の書込み時 : ウォッチドッグカウンタクリア保護トリガシーケンスを実行するための条件の 1 つが満たされます。 HWDG_TRG0CFG 値以外の書込み時 : ウォッチドッグエラーが生成されます。
読出し時	"0b00000000"が読み出されます。

<注意事項>

- 図 3-2 はウォッチドッグカウンタクリア保護トリガシーケンスのフローを示します。



6.5. ハードウェアウォッチドッグトリガ1レジスタ(HWDG_TRG1)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従う必要はありません。本レジスタは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために使用します。本レジスタは、ハードウェアウォッチドッグトリガ1コンフィギュレーションレジスタ(HWDG_TRG1CFG)によって定義された値を用いて書込んでください。ハードウェアウォッチドッグトリガ1コンフィギュレーションレジスタ(HWDG_TRG1CFG)以外の値を書き込む場合は、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	WDGTRG1							
R/W 属性	R0,W							
保護属性	-							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG1[7:0]: ウォッチドッグトリガ1ビット

本ビットは、ウォッチドッグカウンタをクリアするためのウォッチドッグカウンタクリア保護トリガシーケンスを実行するために使用します。

bit[7:0]	説明
書込み時	HWDG_TRG1CFG 値の書込み時： ウォッチドッグカウンタクリア保護トリガシーケンスを実行するための条件の1つが満たされます。 HWDG_TRG1CFG 値以外の書込み時： ウォッチドッグエラーが生成されます。
読出し時	"0b00000000"が読み出されます。

<注意事項>

- 図 3-2 はウォッチドッグカウンタクリア保護トリガシーケンスのフローを示します。

6.6. ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグ割込み要求(NMI)と事前警告割込み要求に関連する設定をするために使用します。本レジスタは、割込みステータスのフラグも含みます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved						RSTEN	IRQEN
R/W 属性	R0,WX						R/W	R/W
保護属性	WPS							
初期値	000000						1	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						NMIFLAG	IRQFLAG
R/W 属性	R0,WX						R,WX	R,WX
保護属性	WPS							
初期値	000000						0	0

[bit31:18] Reserved: 予約ビット

[bit17] RSTEN: リセット/NMI イネーブルビット

本ビットは、ウォッチドッグエラーによるウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)のいずれか一方を生成するために使用します。本ビットは、テスト機能として使用する目的以外において"0"にセットすることは禁止です(本ビットがアプリケーション実行中に"0"にセットされると、安全性が妨害されてしまいます)。本ビットは、ノイズなどの影響によるビット反転に対応するために3つのフリップ・フロップを持つ多数決回路を備えています。

bit	説明
書込み時	0 書込み時：ウォッチドッグ割込み要求(NMI)が生成されます。 1 書込み時：ウォッチドッグリセット要求が生成されます。
読出し時	設定値が読み出せます。



[bit16] IRQEN: 事前警告割込みイネーブルビット

本ビットは、事前警告割込み要求の生成を許可するために使用します。

bit	説明
書込み時	"0"書込み時：事前警告割込み要求が生成されません。 "1"書込み時：事前警告割込み要求が生成されます。
読出し時	設定値が読み出せます。

[bit15:2] Reserved: 予約ビット

[bit1] NMIFLAG: NMI フラグ

本ビットは、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の RSTEN ビットが"0"のときのウォッチドッグエラーによってセットされます。ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の RSTEN ビットが"1"の場合、ウォッチドッグリセット要求が生成されます。本ビットは、ハードウェアウォッチドッグ割込みクリアレジスタ(HWDG_INTCLR)の NMICLR ビットに対して"1"書込みすることによってクリアできます。

bit	説明
書込み時	無効。
読出し時	"0"読出し時：ウォッチドッグエラー(NMI)の未検出を示します。 "1"読出し時：ウォッチドッグエラー(NMI)の検出を示します。

[bit0] IRQFLAG: IRQ フラグ

本ビットは、ウォッチドッグエラーによってセットされます。事前警告割込みは、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の IRQEN ビットが"1"の場合に生成されます。本ビットは、ハードウェアウォッチドッグ割込みクリアレジスタ(HWDG_INTCLR)の IRQCLR ビットに対して"1"書込みすることによってクリアできます。

bit	説明
書込み時	無効。
読出し時	"0"読出し時：ウォッチドッグエラー(IRQ)の未検出を示します。 "1"読出し時：ウォッチドッグエラー(IRQ)の検出を示します。

<注意事項>

- ウォッチドッグ割込み要求(NMI)の詳細は、「3. 動作説明」の「m) ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)の生成」を参照してください。
- ウォッチドッグエラーの詳細は、「7. 使用上の注意」の「(4) ウォッチドッグエラー」を参照してください。

6.7. ハードウェアウォッチドッグ割込みクリアレジスタ(HWDG_INTCLR)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)のNMIフラグおよびIRQフラグをクリアするために使用します。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)のLOCKビットがセットされた後も書き込みできます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						NMICLR	IRQCLR
R/W 属性	R0,WX						R0,W	R0,W
保護属性	WPS							
初期値	000000						0	0

[bit31:2] Reserved: 予約ビット

[bit1] NMICLR: NMI クリアビット

本ビットは、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)のNMIFLAGビットをクリアするために使用します。

bit	説明
書込み時	"0"書込み時：無効。 "1"書込み時：NMI フラグがクリアされます。
読出し時	"0"が読み出せます。

NMI クリアはウォッチドッグカウンタクリア(0x0000_0000)を待ってから実施する必要があります。ウォッチドッグカウンタ値をHWDG_CNTで確認してください。

[bit0] IRQCLR: 事前警告割込みクリアビット

本ビットは、ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)のIRQFLAGビットをクリアするために使用します。

bit	説明
書込み時	"0"書込み時：無効。 "1"書込み時：IRQ フラグがクリアされます。
読出し時	"0"が読み出せます。



6.8. ハードウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ (HWDG_TRG0CFG)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行する際に、ハードウェアウォッチドッグトリガ 0 レジスタ(HWDG_TRG0)に対して書込みする有効な値が定義されます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	WDGTRG0CFG							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG0CFG[7:0]: ウォッチドッグトリガ 0 コンフィギュレーションビット

本ビットは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために、ハードウェアウォッチドッグトリガ 0 レジスタ(HWDG_TRG0)に対して書込みする値が定義されます。

bit[7:0]	説明
書込み時	設定値が書き込まれます。
読出し時	設定値が読み出せます。

6.9. ハードウェアウォッチドッグトリガ1 コンフィギュレーションレジスタ (HWDG_TRG1CFG)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行する際に、ハードウェアウォッチドッグトリガ1レジスタ(HWDG_TRG1)に対して書込みが有効な値が定義されます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	WDGTRG1CFG							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG1CFG[7:0]: ウォッチドッグトリガ1 コンフィギュレーションビット

本ビットは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために、ハードウェアウォッチドッグトリガ1レジスタ(HWDG_TRG1)に対して書き込む値が定義されます。

bit[7:0]	説明
書込み時	設定値が書き込まれます。
読出し時	設定値が読み出せます。



6.10. ハードウェアウォッチドッグ下限 RUN 設定レジスタ(HWDG_RUNLLS)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、RUNのウィンドウ下限値の設定値を書き込むためのレジスタです。ただし、本レジスタは、実際に使用される RUN のウィンドウ下限値とは違います。実際に使用される RUN ウィンドウ下限値への反映方法は、「6.16 ハードウェアウォッチドッグ下限 RUN カレントレジスタ(HWDG_RUNLLC)」を参照してください。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされた後に、設定値の変更はできません。

Bit	31-0
Field	WDGRUNLLS
R/W 属性	R/W
保護属性	WPS
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGRUNLLS[31:0]: RUN 向けウィンドウ下限設定ビット

本ビットは、RUN のウィンドウ下限値が定義されます。本ビットの読出しは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットの値と無関係に設定値が返されます。

bit[31:0]	説明
書込み時	32 ビット All"0"書込み時：ウィンドウ機能は無効です。 All"0"以外書込み時：ウィンドウ機能は有効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタは、実際に使用されるウィンドウ下限値とは違います。実際に使用されるウィンドウ下限値は、ハードウェアウォッチドッグ下限 RUN カレントレジスタ(HWDG_RUNLLC)です。



6.11. ハードウェアウォッチドッグ上限 RUN 設定レジスタ(HWDG_RUNULS)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、RUNのウィンドウ上限値の設定値を書き込むためのレジスタです。ただし、本レジスタは、実際に使用される RUN のウィンドウ上限値とは違います。実際に使用される、RUN ウィンドウ上限値への反映方法は、「6.17 ハードウェアウォッチドッグ上限 RUN カレントレジスタ(HWDG_RUNULC)」を参照してください。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされた後に、設定値の変更はできません。

Bit	31-0
Field	WDGRUNULS
R/W 属性	R/W
保護属性	WPS
初期値	00000001_00000000_00000000_00000000

[bit31:0] WDGRUNULS[31:0]: RUN 向けウィンドウ上限設定ビット

本ビットは、RUN のウィンドウ上限値が定義されます。本ビットの読出しは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットの値と無関係に設定値が返されます。

bit[31:0]	説明
書込み時	設定値が書込まれます。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタは、実際に使用されるウィンドウ上限値とは違います。実際に使用されるウィンドウ上限値は、ハードウェアウォッチドッグ上限 RUN カレントレジスタ(HWDG_RUNULC)です。



6.12. ハードウェアウォッチドッグ下限 PSS 設定レジスタ(HWDG_PSSLLS)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、PSS のウィンドウ下限値の設定値を書き込むためのレジスタです。ただし、本レジスタは、実際に使用される PSS のウィンドウ下限値とは違います。実際に使用される、PSS ウィンドウ下限値への反映方法は、「6.18 ハードウェアウォッチドッグ下限 PSS カレントレジスタ(HWDG_PSSLLC)」を参照してください。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされた後に、設定値の変更はできません。

Bit	31-0
Field	WDGPSSLLS
R/W 属性	R/W
保護属性	WPS
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGPSSLLS[31:0]: PSS 向けウィンドウ下限設定ビット

本ビットは、PSS のウィンドウ下限値が定義されます。本ビットの読出しは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットの値と無関係に設定値が返されます。

bit[31:0]	説明
書込み時	32 ビット All"0"書込み時：ウィンドウ機能が無効です。 All"0"以外書込み時：ウィンドウ機能が有効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタは、実際に使用されるウィンドウ下限値とは違います。実際に使用されるウィンドウ下限値は、ハードウェアウォッチドッグ下限 PSS カレントレジスタ(HWDG_PSSLLC)です。

6.13. ハードウェアウォッチドッグ上限 PSS 設定レジスタ(HWDG_PSSULS)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、PSS のウィンドウ上限値の設定値を書き込むためのレジスタです。ただし、本レジスタは、実際に使用される PSS のウィンドウ上限値とは違います。実際に使用される、PSS ウィンドウ上限値への反映方法は、「6.19 ハードウェアウォッチドッグ上限 PSS カレントレジスタ(HWDG_PSSULC)」を参照してください。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされた後に、設定値の変更はできません。

Bit	31-0
Field	WDGPSSULS
R/W 属性	R/W
保護属性	WPS
初期値	10000000_00000000_00000000_00000000

[bit31:0] WDGPSSULS[31:0]: PSS 向けウィンドウ上限設定ビット

本ビットは、PSS におけるウィンドウ上限値が定義されます。本ビットの読出しは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットの値と無関係に設定値が返されます。

bit[31:0]	説明
書込み時	設定値が書込まれます。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタは、実際に使用されるウィンドウ上限値とは違います。実際に使用されるウィンドウ上限値は、ハードウェアウォッチドッグ上限 PSS カレントレジスタ(HWDG_PSSULC)です。



6.14. ハードウェアウォッチドッグリセット遅延カウンタレジスタ (HWDG_RSTDLY)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグエラーの発生タイミングからウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)までの期間において、遅延時間のサイクル数を設定するために使用します。遅延時間の基準クロックは、ウォッチドッグカウンタのソースクロックです。ハードウェアウォッチドッグ割込みコンフィギュレーションレジスタ(HWDG_INT)の IRQEN ビットが"1"の場合、事前警告割込み要求からウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)までの遅延時間のサイクル数を示します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15-0
Field	WDGRSTDLY
R/W 属性	R0,W
保護属性	WPS
初期値	00000000_00000000

[bit31:16] Reserved: 予約ビット

[bit15:0] WDGRSTDLY[15:0]: リセット/NMI 遅延カウンタビット

本ビットは、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を生成する前に、挿入される遅延時間のサイクル数が定義されます。この遅延時間の基準クロックは、ウォッチドッグカウンタのソースクロックです。

bit[15:0]	説明
書込み時	設定値が書込まれます。
読出し時	"0x0000"が読み出せます。

6.15. ハードウェアウォッチドッグコンフィギュレーションレジスタ (HWDG_CFG)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。
本レジスタは、ハードウェアウォッチドッグタイマの動作設定をするために使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							LOCK
R/W 属性	R0,WX							R,W
保護属性	WPS							
初期値	0000000							0

Bit	23	22	21	20	19	18	17	16
Field	Reserved			OBSSEL				
R/W 属性	R0,WX			R/W				
保護属性	WPS							
初期値	000			00000				

Bit	15	14	13	12	11	10	9	8
Field	Reserved						CLKSEL	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	Reserved					ALLOW STOPCLK	WDENPSS	WDENRUN
R/W 属性	R0,WX					R,WX	R,WX	R,WX
保護属性	WPS							
初期値	00000					X	X	X

[bit31:25] Reserved: 予約ビット

[bit24] LOCK: ロックビット

本ビットは、1回のみ書込み可能です。本ビットは、各レジスタの設定値の書換えを防止するために使用します。本ビットが"0"の場合、各レジスタの設定値を書き換えられます。本ビットが"1"にセットされる際に、ウォッチドッグカウンタが自動クリアされます。本ビットは、ノイズなどの影響によるビット反転に対応するために3つのフリップ・フロップを持つ多数決回路を備えています。本ビットは BootROM ソフトウェアにより設定されます。

bit	説明
書込み時	"0"書込み時：無効です。 "1"書込み時：レジスタの設定値がロックされます。
読出し時	"0"読出し時：レジスタの設定値のロックが無効です。 "1"読出し時：レジスタの設定値のロックが有効です。

[bit23:21] Reserved: 予約ビット



[bit20:16] OBSSEL[4:0]: ウォッチドッグカウンタ監視ビット出力選択ビット

本ビットは、ウォッチドッグカウンタ監視ビット出力として、ウォッチドッグカウンタ(32 ビット)のいずれか 1 ビットを選択するために使用します。

bit[20:16]	説明
書込み時	"0b00000"書込み時：ビット 0 が監視出力向けに選択されます。 "0b00001"書込み時：ビット 1 が監視出力向けに選択されます。 "0b00010"書込み時：ビット 2 が監視出力向けに選択されます。 ・ ・ ・ "0b11111"書込み時：ビット 31 が監視出力向けに選択されます。
読出し時	設定値が読み出せます。

<注意事項>

- － なお、本製品では OBSSEL に関する機能はサポート対象外です。何を書いても動作に影響を与えません。

[bit15:10] Reserved: 予約ビット

[bit9:8] CLKSEL[1:0]: クロック選択ビット

本ビットは、ウォッチドッグカウンタのソースクロックを選択するために使用します。ウォッチドッグカウンタは、起動時に高速 CR クロックとして動作が開始されます。クロック切換えの詳細は、「7. 使用上の注意」の「(2) ウォッチドッグカウンタのソースクロック切換え」を参照してください。

bit[9:8]	説明
書込み時	"0bX0"書込み時：高速 CR クロックが選択されます。 "0bX1"書込み時：低速 CR クロックが選択されます。 なお、CLKSEL[1]のビットへの書込みは動作に影響しません。
読出し時	設定値が読み出せます。

[bit7:3] Reserved: 予約ビット

[bit2] ALLOWSTOPCLK: PSS 向けクロック停止許可ビット

本ビットは、ウォッチドッグカウンタのソースクロック停止をともなう PSS に遷移を許可するために使用します。本ビットは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の WDENPSS ビットが"1"の場合のみ有効です。(本ビットはハードウェア固定されており、常に"1"が読み出されます)。

bit	説明
書込み時	無効です。
読出し時	"0"読出し時：PSS 中のウォッチドッグクロック停止が禁止されます。 "1"読出し時：PSS 中のウォッチドッグクロック停止が許可されます。

[bit1] WDENPSS: PSS 向けウォッチドッグカウンタイネーブルビット

本ビットは、PSS 中のウォッチドッグカウンタを有効にするために使用します。本ビットは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットが"1"にセットされる際に有効化されます。(本ビットはハードウェア固定されており、常に"0"が読み出されます)。



bit	説明
書き込み時	無効です。
読み出し時	0 読み出し時 : PSS 中のウォッチドッグカウンタが無効です。 1 読み出し時 : PSS 中のウォッチドッグカウンタが有効です。

[bit0] WDENRUN: RUN 向けウォッチドッグカウンタイネーブルビット

本ビットは, RUN 中のウォッチドッグカウンタを有効にするために使用します。本ビットは, ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットが"1"にセットされる際に有効化されます。

bit	説明
書き込み時	無効です。
読み出し時	"0"読み出し時 : RUN 中のウォッチドッグカウンタが無効です。 "1"読み出し時 : RUN 中のウォッチドッグカウンタが有効です。

<注意事項>

- ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の ALLOWSTOPCLK ビットが"1"の場合は, クロック停止をとまなう PSS 遷移が許可されます。ただし, リセット遅延カウンタの動作中に RUN から PSS に遷移する場合は, PSS から RUN に復帰するまでリセット遅延カウンタは停止されます。



6.16. ハードウェアウォッチドッグ下限 RUN カレントレジスタ (HWDG_RUNLLC)

本レジスタは、実際に使用される RUN のウィンドウ下限値を読み出すためのレジスタです。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされる際に、ハードウェアウォッチドッグ下限 RUN 設定レジスタ(HWDG_RUNLLS)の設定値を取り込みます。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされた後に、設定値の変更はできません。

Bit	31-0
Field	WDGRUNLLC
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGRUNLLC[31:0]: RUN 向けウィンドウ下限カレントビット

本ビットは、RUN のウィンドウ下限値が定義されます。本ビットの読出しは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされるまで初期値が返されます。

bit[31:0]	説明
書込み時	無効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタに対する書込みアクセスによって、バスエラー応答が生成されます。



6.17. **ハードウェアウォッチドッグ上限 RUN カレントレジスタ
(HWDG_RUNULC)**

本レジスタは、実際に使用される RUN のウィンドウ上限値を読み出すためのレジスタです。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされる際に、ハードウェアウォッチドッグ上限 RUN 設定レジスタ(HWDG_RUNULS)の設定値を取り込みます。また、本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされた後に、設定値の変更はできません。

Bit	31-0
Field	WDGRUNULC
R/W 属性	R,WX
保護属性	-
初期値	00000001_00000000_00000000_00000000

[bit31:0] WDGRUNULC[31:0]: RUN 向けウィンドウ上限カレントビット

本ビットは、RUN のウィンドウ上限値が定義されます。本ビットの読出しは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされるまで初期値が返されます。

bit[31:0]	説明
書込み時	無効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタに対する書込みアクセスによって、バスエラー応答が生成されます。



6.18. ハードウェアウォッチドッグ下限 PSS カレントレジスタ (HWDG_PSSLLC)

本レジスタは、実際に使用される PSS のウィンドウ下限値を読み出すためのレジスタです。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされる際に、ハードウェアウォッチドッグ下限 PSS 設定レジスタ(HWDG_PSSLLS)の設定値を取り込みます。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされた後に、設定値の変更はできません。

Bit	31-0
Field	WDGPSSLLC
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGPSSLLC[31:0]: PSS 向けウィンドウ下限カレントビット

本ビットは、PSS のウィンドウ下限値が定義されます。本ビットの読出しは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされるまで初期値が返されます。

bit[31:0]	説明
書込み時	無効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタに対する書込みアクセスによって、バスエラー応答が生成されます。



6.19. ハードウェアウォッチドッグ上限 PSS カレントレジスタ
(HWDG_PSSULC)

本レジスタは、実際に使用される PSS のウィンドウ上限値を読み出すためのレジスタです。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされる際に、ハードウェアウォッチドッグ上限 PSS 設定レジスタ(HWDG_PSSULS)の設定値を取り込みます。本レジスタは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされた後に、設定値の変更はできません。

Bit	31-0
Field	WDGPSSULC
R/W 属性	R,WX
保護属性	-
初期値	10000000_00000000_00000000_00000000

[bit31:0] WDGPSSULC[31:0]: PSS 向けウィンドウ上限カレントビット

本ビットは、PSS のウィンドウ上限値が定義されます。本ビットの読出しは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットがセットされるまで初期値が返されます。

bit[31:0]	説明
書込み時	無効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタに対する書込みアクセスは、バスエラー応答が生成されます。



7. 使用上の注意

ハードウェアウォッチドッグタイマの使用上の注意について説明します。

(1) ウォッチドッグウィンドウ設定

ハードウェアウォッチドッグタイマは、RUN と PSS の 2 つのウィンドウ設定ができます。ユーザは、各デバイスステート向けに適切なウィンドウ設定をしなければなりません。

ハードウェアウォッチドッグタイマは、デバイスが PSS から RUN に遷移する場合に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されるまで、PSS のウィンドウ設定を用いて動作を継続します。ウィンドウ設定は、ウォッチドッグカウンタクリア保護トリガシーケンスによって RUN のウィンドウ設定に切り換わります。各デバイスステートにおけるウォッチドッグ機能は、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の W DENRUN ビットと W DENPSS ビットによって制御できます。

(2) ウォッチドッグカウンタのソースクロック切換え

ウォッチドッグカウンタのソースクロック切換えは、ウォッチドッグカウンタのソースクロック制御がシステム設定情報(プロファイル)の一部でもあるため、システムコントローラによって制御されます。ウォッチドッグカウンタのソースクロックを変更する場合は、以下のシーケンスにしたがってください。

1. ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の CLKSEL ビットを設定することによってウォッチドッグカウンタの新規ソースクロックが設定されます。そして以下のレジスタに書き込むことによってウィンドウ設定が決定されます。
2. ハードウェアウォッチドッグ下限 RUN 設定レジスタ (HWDG_RUNLLS)
3. ハードウェアウォッチドッグ上限 RUN 設定レジスタ (HWDG_RUNULS)
4. ハードウェアウォッチドッグ下限 PSS 設定レジスタ (HWDG_PSSLLS)
5. ハードウェアウォッチドッグ上限 PSS 設定レジスタ (HWDG_PSSULS)
6. ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットを"1"にセットすることによってレジスタの設定値の書換えがロックされます。
7. システムコントローラの RUN プロファイル更新トリガレジスタ(SYSC_TRGRUNCNTR)に"0xAB"を書き込むことによって RUN プロファイル更新が実行されます。この時点から、ウォッチドッグカウンタのソースクロックは、ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の CLKSEL ビットによって選択された新規ソースクロックに切り換わります。

(3) 低速 CR クロック選択時のソフトウェアリセット発行

ウォッチドッグのクロックに低速 CR クロックを選択中にソフトウェアリセットを発行する場合、発行前にウォッチドッグのクリアシーケンスを行ってください。

(4) ウォッチドッグエラー

ウォッチドッグエラーは、次のような条件において生成されます。このウォッチドッグエラーによって、ウォッチドッグリセット要求/割込み要求(NMI)が生成されます。

1. ハードウェアウォッチドッグトリガ 0/1 レジスタ(HWDG_TRG0, HWDG_TRG1)に対して誤った値を書き込んだとき。
2. ウォッチドッグカウンタクリア保護トリガシーケンスに違反したとき。
3. ウォッチドッグカウンタがウィンドウ上限値に到達する前にウォッチドッグカウンタクリア保護トリガシーケンスを実行しなかったとき。
4. ウォッチドッグカウンタがウィンドウ下限値に到達する前にウォッチドッグカウンタクリア保護トリガシーケンスを実行したとき。
5. ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)のLOCK ビットがまだ"0"である期間に、ウォッチドッグカウンタクリア保護トリガシーケンスを実行したとき。

(5) バスエラー応答(データアポート)の要因

バスエラー応答は、次のようなケースにおいて生成されます。

- レジスタが存在しないアドレスがアクセス(読出しまたは書込み)。
- ウォッチドッグレジスタライト保護シーケンスの違反。
- 属性が読出しのみ(表記 R,WX)のレジスタに対する書込みアクセス。
- ハードウェアウォッチドッグコンフィギュレーションレジスタ(HWDG_CFG)の LOCK ビットが"1"にセットされた後のレジスタに対する書込みアクセス。
- ハードウェアウォッチドッグプロテクションレジスタ(HWDG_PROT)に対する誤った値の書込みアクセス。
- ハードウェアウォッチドッグプロテクションレジスタ(HWDG_PROT)に対するバイト/ハーフワードの書込みアクセス。
- レジスタに対する非特権モードの書込みアクセス。
- (ハードウェアウォッチドッグトリガ 0/1 レジスタ(HWDG_TRG0, HWDG_TRG1)を除く)。

(6) プロセッサのスタンバイ中のウォッチドッグタイマ動作

ハードウェアウォッチドッグタイマは、以下の場合において RUN のウィンドウ設定を用いて動作します。

- PSS プロファイル更新許可レジスタ(SYSC_PSSENR.PSSEN0-1)に有効なキー("0xBA", "0xBA")の書込みをせずに、プロセッサが割込み待ち(WFI) 命令の実行によってスタンバイに移行した場合。

(7) PSS 時のウォッチドッグタイマの動作

本製品はハードウェア固定により、PSS 時ウォッチドッグタイマは動作を停止します。



CHAPTER 20: ソフトウェアウォッチ ドッグタイマ

ソフトウェアウォッチドッグタイマについて説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. 動作例
6. レジスタ
7. 使用上の注意



1. 概要

ソフトウェアウォッチドッグタイマの概要について説明します。

ソフトウェアウォッチドッグタイマは、MCU Config Group に位置し、ソフトウェアおよびハードウェアの暴走状態を検出するために使用します。またソフトウェアウォッチドッグタイマは、監視対象の CPU0-1 に割り当てられ、CPU ごとにユーザプログラムの実行を監視します。

ソフトウェアウォッチドッグタイマの特長

- ソフトウェアおよびハードウェアの暴走状態を検出してリセット要求が生成されます。 (*a)
- ユーザプログラムにより、ソフトウェアウォッチドッグタイマは起動します。 (*a)
- 監視対象 CPU0-1 が対応するソフトウェアウォッチドッグタイマを制御します。 (*a)
- ウォッチドッグカウンタのソースクロックは、3 種類の中から選択します。 (*a)
- (高速 CR クロック(default), 低速 CR クロック, メインクロック)
- ユーザプログラムにより、レジスタが設定されます。 (*a)
- 32 ビットのウォッチドッグカウンタとして動作します
- ソフトウェアリセットとハードウェアリセットによる異なる初期化をできます。
- ソフトウェアリセットによって、ウォッチドッグカウンタのみクリアされます。
- ハードウェアリセットによって、ウォッチドッグカウンタとレジスタの設定、内部回路が初期化されます。
- ウォッチドッグカウンタクリア保護トリガシーケンスを監視します。
- ウィンドウウォッチドッグ機能を実装しています。
- 各デバイスステート(RUN と PSS)において異なる動作設定ができます。
- ウォッチドッグレジスタライト保護シーケンスを監視します。
- 重要な機能に影響を与えるビットは多数決回路を実装しています。
- ウォッチドッグエラーによるウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を生成できます。
- リセット要求または割込み要求(NMI)の前に事前警告割込み要求を生成できます。
- プロセッサのデバッグ状態においてウォッチドッグカウンタを停止できます。

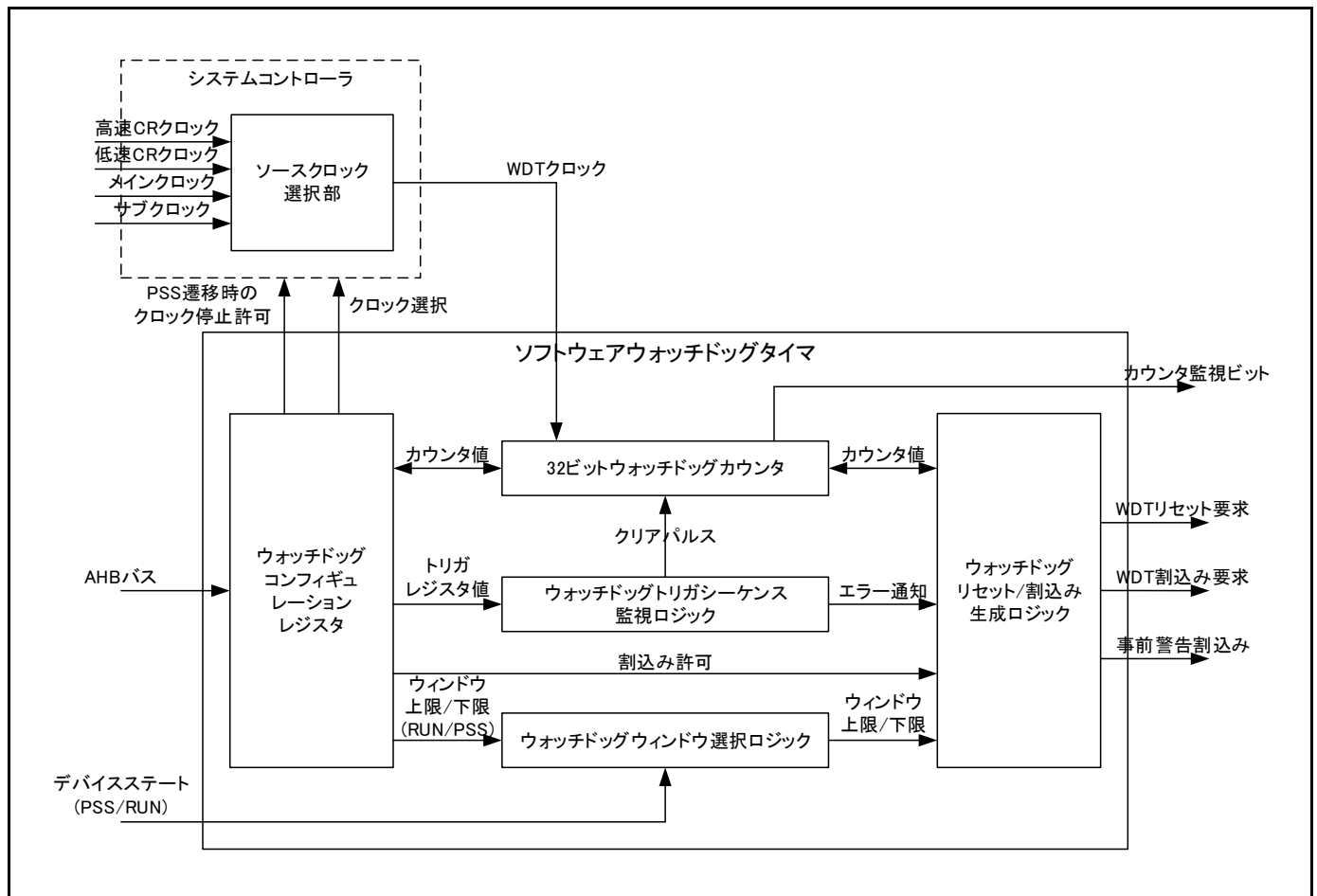
＜注意事項＞

- 表記(*a)は、ハードウェアウォッチドッグに対して、ソフトウェアウォッチドッグタイマ特有の特長です。
- ウォッチドッグエラーとは、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を引き起こす要因のことです。

2. 構成

ソフトウェアウォッチドッグタイマのブロックダイアグラムについて説明します。

図 2-1 ソフトウェアウォッチドッグタイマ ブロックダイアグラム



- **ウォッチドッグコンフィギュレーションレジスタ :**
各レジスタの設定値が格納されるブロックです。読出し用のカウンタ値やカウンタクリアに必要なトリガレジスタ値、ウィンドウ上限値・下限値の情報の入出力が行われます。
- **32 ビットウォッチドッグカウンタ :**
32 ビットのアップカウンタのブロックです。
- **ウォッチドッグトリガシーケンス監視ロジック :**
ウォッチドッグカウンタクリア保護トリガシーケンスを監視し、クリアパルスの生成およびエラー検出を通知するブロックです。
- **ウォッチドッグウィンドウ選択ロジック :**
各デバイスステート(RUN と PSS)のウィンドウ上限値・下限値の情報を取り込み、デバイスステート遷移にしたがってウィンドウ設定を選択するブロックです。
- **ウォッチドッグリセット/割込み生成ロジック :**
ウォッチドッグリセット要求およびウォッチドッグ割込み要求(NMI)、事前警告割込み要求を生成するブロックです。



3. 動作説明

ソフトウェアウォッチドッグタイマの動作について説明します。

(1) ソフトウェアウォッチドッグタイマの機能

ソフトウェアウォッチドッグタイマは以下の機能を実装しています。

a) ソフトウェアおよびハードウェアの暴走状態の検出によるリセット要求の生成

ソフトウェアウォッチドッグタイマは、CPU のユーザプログラムの実行を監視します。ユーザプログラムによる起動時から監視を開始します。事前に設定したウィンドウ上限値・下限値の範囲内においてウォッチドッグカウンタがクリアされない場合、ソフトウェアおよびハードウェアの暴走状態と判断し、監視対象 CPU0-1 に対してリセット要求、もしくは割込み要求(NMI)が生成されます。

<注意事項>

- 例えばユーザプログラムによる起動後、プログラムカウンタ(PC)の異常な変化によりユーザプログラムが暴走するような、ソフトウェアの暴走状態を検出できます。

b) ユーザプログラムによるソフトウェアウォッチドッグタイマの起動

ソフトウェアウォッチドッグタイマは、ユーザプログラムにより起動します。具体的には、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットセットによって動作が開始されます。

c) 監視対象 CPU0-1 による対応ソフトウェアウォッチドッグタイマの制御

ソフトウェアウォッチドッグタイマは、監視対象の CPU0-1 に割り当てられ、CPU ごとにユーザプログラムの実行が監視されます。MCU に搭載される CPU 数とソフトウェアウォッチドッグタイマ数は同じです。

d) ウォッチドッグカウンタのソースクロック選択(3 種類)

ソフトウェアウォッチドッグタイマは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の CLKSEL[1:0]ビットを設定することによって、ウォッチドッグカウンタのソースクロックを 3 種類の中から選択します。具体的には、高速 CR クロック・低速 CR クロック・メインクロックの中から選択します(初期設定は高速 CR クロックです)。

ソースクロック選択は、システムコントローラに対するクロック要求となり、システムコントローラのクロックシステム側においてソースクロックが切り換わります。手順の詳細は、「7. 使用上の注意」の「(2) ウォッチドッグカウンタのソースクロック切換え」を参照してください。

e) ユーザプログラムによるレジスタの設定

ソフトウェアウォッチドッグタイマのレジスタは、ユーザプログラムにより設定します。

f) 32 ビットのウォッチドッグカウンタ

ソフトウェアウォッチドッグタイマは、32 ビットのウォッチドッグカウンタ(アップカウンタ)を用いて動作します(初期値は"0x0000_0000"です)。

ウォッチドッグカウンタは以下すべての条件を満たすことで動作します。

1. ユーザモードとして動作中。
2. ウォッチドッグカウンタがウィンドウ上限値に未到達。
3. デバイスステートが RUN, かつ, W DENRUN ビットが"1"。
(「6.15 ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)」を参照してください)。
4. デバイスステートが PSS, かつ, W DENPSS ビットが"1"。
(「6.15 ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)」を参照してください)。

<注意事項>

- ウォッチドッグカウンタがウィンドウ上限値に到達した場合、カウント動作を停止します。

ウィンドウ上限値とカウント時間の関係を以下の表 3-1 に示します。

表 3-1 ソフトウェアウォッチドッグタイマ ウィンドウ上限値とカウント時間の関係

入力クロック周波数	ウィンドウ上限値	カウント時間	備考
8MHz	"0x0100_0000"	約 2.1s	ソフトウェアウォッチドッグ上限 RUN 設定レジスタ(SWDGn_RUNULS)の初期値で動作
12MHz	"0x0100_0000"	約 1.4s	
8MHz	"0x8000_0000"	約 268s	ソフトウェアウォッチドッグ上限 PSS 設定レジスタ(SWDGn_PSSULS)の初期値で動作
12MHz	"0x8000_0000"	約 178s	

<注意事項>

- 上記の表は高速 CR クロックの周波数が 8MHz と 12MHz の例です。

g) ソフトウェアリセットとハードウェアリセットによる異なる初期化

ソフトウェアウォッチドッグタイマは、ソフトウェアリセットとハードウェアリセットによる異なる初期化ができます。ソフトウェアリセットとハードウェアリセットの初期化の範囲を以下の表 3-2 に示します。

表 3-2 ソフトウェアリセットとハードウェアリセットの初期化の範囲

条件	リセット名	初期化の範囲
1	ソフトウェアリセット	ウォッチドッグカウンタ
2	ハードウェアリセット	ウォッチドッグカウンタ, 全レジスタの設定



h) ウォッチドッグカウンタクリア保護トリガシーケンス

ソフトウェアウォッチドッグタイマは、ウォッチドッグカウンタをクリアするためのウォッチドッグカウンタクリア保護トリガシーケンスの監視が行われます。

ウォッチドッグカウンタクリア保護トリガシーケンスは、次の条件を満たさなければなりません。

- ソフトウェアウォッチドッグトリガ 0 レジスタ(SWDGn_TRG0)に書き込み後に、ソフトウェアウォッチドッグトリガ 1 レジスタ(SWDGn_TRG1)に書き込むこと。
- ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットが"0"の状態、ウォッチドッグカウンタクリア保護トリガシーケンスを実行しないこと。
- ソフトウェアウォッチドッグトリガ 0 レジスタ(SWDGn_TRG0)に書き込む値が、ソフトウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ(SWDGn_TRG0CFG)と一致していること。
- ソフトウェアウォッチドッグトリガ 1 レジスタ(SWDGn_TRG1)に書き込む値が、ソフトウェアウォッチドッグトリガ 1 コンフィギュレーションレジスタ(SWDGn_TRG1CFG)と一致していること。
- ウォッチドッグカウンタクリア保護トリガシーケンスの完了時に、ウォッチドッグカウンタが既にウィンドウ下限値に到達していること。

＜注意事項＞

- ウォッチドッグカウンタクリア保護トリガシーケンスの詳細は、図 3-2 を参照してください。

i) ウィンドウウォッチドッグ機能

ウィンドウウォッチドッグ機能は、ウォッチドッグカウンタの値に対してクリア可能な範囲をウィンドウ上限値・下限値を用いて設定するための機能です。2つの設定値に対して、ウォッチドッグカウンタをクリアできる範囲を以下に示します。

$$(\text{ウィンドウ下限値}) \leq (\text{ウォッチドッグカウンタ}) < (\text{ウィンドウ上限値})$$

例えばソフトウェアおよびハードウェアの暴走状態が発生し、連続的なウォッチドッグカウンタクリア保護トリガシーケンスが実行されたとします。このとき、ウィンドウ下限値を"0x00000000"以外の値に設定することによって、連続的なウォッチドッグカウンタのクリアを異常動作として検出できます。

RUN のウィンドウ設定は、次の 2 つのレジスタによって定義されます。

ソフトウェアウォッチドッグ下限 RUN カレントレジスタ (SWDGn_RUNLLC)

ソフトウェアウォッチドッグ上限 RUN カレントレジスタ (SWDGn_RUNULC)

PSS のウィンドウ設定は、次の 2 つのレジスタによって定義されます。

ソフトウェアウォッチドッグ下限 PSS カレントレジスタ (SWDGn_PSSLLC)

ソフトウェアウォッチドッグ上限 PSS カレントレジスタ (SWDGn_PSSULC)

j) 各デバイスステート(RUN と PSS)において異なる動作設定

ソフトウェアウォッチドッグタイマは、各デバイスステート(RUN と PSS)の異なる動作設定ができます。この動作設定は、デバイスステート遷移にしたがって RUN または PSS の動作設定に切り換わります。

RUN の動作設定

- ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットと WDENRUN ビットが"1"にセットされる場合、RUN のウィンドウ設定を用いて動作します。
- ウォッチドッグカウンタがウィンドウ上限値・下限値の範囲内においてクリアされない、もしくはウォッチドッグカウンタクリア保護トリガシーケンスに違反がある場合、ウォッチドッグエラーが検出されます。このウォッチドッグエラーは、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます(ウォッチドッグエラーの詳細は、「7. 使用上の注意」の「(4) ウォッチドッグエラー」を参照してください)。

PSS の動作設定

- デバイスステートが RUN から PSS に遷移する際に、PSS のウィンドウ設定に切り換わります。ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の WDENPSS ビットが"1"にセットされる場合、PSS のウィンドウ設定を用いて動作します。
- デバイスステートが PSS から RUN に遷移する際に、イネーブルビットは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の WDENPSS ビットから WDENRUN ビットに直ちに切り換わります。しかしながらウィンドウ設定については直ちに切り換わりません。ウォッチドッグカウンタクリア保護トリガシーケンスが実行されるまで PSS のウィンドウ設定を用いて動作します。

RUN および PSS 中のウォッチドッグオペレーションの詳細は、それぞれ図 3-4 と図 3-5 を参照してください。



k) ウォッチドッグレジスタライト保護シーケンス

ソフトウェアウォッチドッグタイマは、レジスタに設定値を書き込むためのウォッチドッグレジスタライト保護シーケンスの監視が行われます。

ウォッチドッグレジスタライト保護シーケンスは、次の条件を満たさなければなりません。

- ソフトウェアウォッチドッグプロテクションレジスタ(SWDGn_PROT)の書き込み後に、レジスタに設定値を書き込む。
- ソフトウェアウォッチドッグプロテクションレジスタ(SWDGn_PROT)の書き込みは、特権モードにおいて行う。
- ソフトウェアウォッチドッグプロテクションレジスタ(SWDGn_PROT)の書き込み値が、レジスタ書き込み保護ロック解除キーの"0xEDAC_CE55"と一致している。
- ソフトウェアウォッチドッグプロテクションレジスタ(SWDGn_PROT)の書き込み後に、ほかのモジュールのレジスタに設定値を書込まない。
- ソフトウェアウォッチドッグプロテクションレジスタ(SWDGn_PROT)の書き込みは、2回連続で行わない。
- ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットが"0"かつ特権モードの状態、レジスタに設定値を書き込む。

<注意事項>

- ウォッチドッグレジスタライト保護シーケンスの詳細は、図 3-1 を参照してください。
- 以下のレジスタは LOCK ビットが"0"の状態を設定してください。LOCK ビットが"1"の状態かつレジスタ書き込み保護ロック有効の場合に以下のレジスタへ書き込みを行うとバスエラー応答します。
 - ソフトウェアウォッチドッグリセット要因レジスタ
 - ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ
 - ソフトウェアウォッチドッグ割込みクリアレジスタ
 - ソフトウェアウォッチドッグトリガ0 コンフィギュレーションレジスタ
 - ソフトウェアウォッチドッグトリガ1 コンフィギュレーションレジスタ
 - ソフトウェアウォッチドッグ下限 RUN 設定レジスタ
 - ソフトウェアウォッチドッグ上限 RUN 設定レジスタ
 - ソフトウェアウォッチドッグ下限 PSS 設定レジスタ
 - ソフトウェアウォッチドッグ上限 PSS 設定レジスタ
 - ソフトウェアウォッチドッグリセット遅延カウンタレジスタ
 - ソフトウェアウォッチドッグコンフィギュレーションレジスタ

表 3-3 レジスタプログラミング向けのキーの値

キー値	対象レジスタ	目的
"0xEDAC_CE55"	SWDGn_PROT:KEY	レジスタ書き込み保護ロックの解除

<注意事項>

- ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットの"1"セットにより書換えを防止する対象レジスタは、以下のとおりです。
 - ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ (SWDGn_INT)
 - ソフトウェアウォッチドッグトリガ0 コンフィギュレーションレジスタ (SWDGn_TRG0CFG)
 - ソフトウェアウォッチドッグトリガ1 コンフィギュレーションレジスタ (SWDGn_TRG1CFG)
 - ソフトウェアウォッチドッグリセット遅延カウンタレジスタ (SWDGn_RSTDLY)
 - ソフトウェアウォッチドッグコンフィギュレーションレジスタ (SWDGn_CFG)

1) 重要な機能に影響を与えるビットの多数決回路

ソフトウェアウォッチドッグタイマは、重要な機能に影響を与えるビットに対して多数決回路を備えています。多数決回路は3つのフリップ・フロップから構成されます。ノイズなどの影響によって一部のフリップ・フロップがビット反転した場合でも、3つのフリップ・フロップの多数決をとることによって正しい値を選択できます。

多数決回路を備えたビットは以下のとおりです。

- RSTEN ビット (*1)
- LOCK ビット (*2)
- WDENPSS ビット (*2)
- WDENRUN ビット (*2)

<注意事項>

- 表記(*1)は、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)のビット。
- 表記(*2)は、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)のビット。



m) ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)の生成

ソフトウェアウォッチドッグタイマは、ウォッチドッグエラーを検出する際に、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。ウォッチドッグ割込み要求(NMI)は、テスト機能として使用してください(例えば割込みハンドラの先頭にブレークポイントを設定するために、ウォッチドッグ割込み要求(NMI)を使用できます)。

またソフトウェアウォッチドッグタイマは、ウォッチドッグリセット要求(またはウォッチドッグ割込み要求(NMI))の前に、事前警告割込み要求を生成できます(例えばウォッチドッグリセット要求の生成の前に、プロセッサが重要なデータをメモリに退避するために、事前警告割込み要求を使用できます)。

ソフトウェアウォッチドッグタイマは、これらの要求を次のような手順によって生成します。

- ウォッチドッグエラーが発生する際に、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の IRQFLAG ビットをセットします。このとき、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の IRQEN ビットが"1"ならば、事前警告割込み要求が生成されます。
- 事前警告割込み要求からウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)までの期間は、ソフトウェアウォッチドッグリセット遅延カウンタレジスタ(SWDGn_RSTDLY)に設定された遅延時間のサイクル数が挿入されます。
- 一度事前警告割込み要求が生成されると、ウォッチドッグカウンタクリア保護トリガシーケンスによるウォッチドッグカウンタのクリアはできません。また新規のウォッチドッグエラーが発生しても無視されます。
- ソフトウェアウォッチドッグリセット遅延カウンタレジスタ(SWDGn_RSTDLY)に設定された遅延時間分のサイクル数経過後に、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。ソフトウェアウォッチドッグリセット遅延カウンタレジスタ(SWDGn_RSTDLY)が"0x0000"の場合、遅延時間は発生しません。

<注意事項>

- 事前警告割込み要求を生成する場合は、ソフトウェアウォッチドッグリセット遅延カウンタレジスタ(SWDGn_RSTDLY)を"0x0000"以外に設定してください。
- ウォッチドッグ割込み要求(NMI)は、テスト機能としての目的以外において使用することを禁止します(理由はアプリケーション実行中における安全性が妨害されてしまうからです)。図 3-6 は、ウォッチドッグのテスト機能のオペレーションを示します。
- ソフトウェアウォッチドッグリセット遅延カウンタレジスタ(SWDGn_RSTDLY)に設定された遅延時間分のサイクル数挿入は、1回のウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)に対してのみ有効です(次のハードウェアリセットが発生するまでの期間無効です)。

n) プロセッサのデバッグ状態におけるウォッチドッグカウンタ停止

プロセッサがデバッグ状態となると、ウォッチドッグカウンタは停止します。プロセッサがデバッグ状態から復帰すると、ウォッチドッグカウンタの動作は停止したところから再開します。

<注意事項>

- プロセッサのデバッグ状態の定義については、ARM(R)社資料(CortexTM-R5 Revision:r1p2 Technical Reference Manual(ARM DDI 0460D))を参照してください。

(2) ソフトウェアウォッチドッグとハードウェアウォッチドッグの相違点について

ソフトウェアウォッチドッグタイマとハードウェアウォッチドッグタイマの主な相違点について以下の表 3-4 に示します。

表 3-4 ソフトウェアウォッチドッグとハードウェアウォッチドッグの相違点

項目	ソフトウェアウォッチドッグ	ハードウェアウォッチドッグ
ウォッチドッグカウンタ	32 ビットのアップカウンタ	同左
ソフトウェアリセットとハードウェアリセットによる異なる初期化	サポートあり	同左
ウォッチドッグカウンタクリア向けトリガシーケンス	サポートあり	同左
ウィンドウウォッチドッグ機能	サポートあり	同左
各デバイスステート(RUN と PSS)において異なる動作設定	サポートあり	同左
ウォッチドッグカウンタのソースクロック選択	3 種類 - 高速 CR クロック - 低速 CR クロック - メインクロック	2 種類 - 高速 CR クロック - 低速 CR クロック
ウォッチドッグレジスタ書込み保護シーケンス	サポートあり	同左
重要な機能に影響を与えるビットの多数決回路	サポートあり (対象ビット 4 個)	同左 (対象ビット 2 個)
リセット要求または割込み要求(NMI)の生成	サポートあり	同左
事前警告割込み要求の生成	サポートあり	同左
プロセッサのデバッグ状態におけるウォッチドッグカウンタ停止	サポートあり	同左
ウォッチドッグエラーの条件	5 種類	同左
バスエラー応答の条件	8 種類	同左
ウォッチドッグタイマの起動	ユーザプログラムによるレジスタ書込み	ハードウェアリセットの解除
レジスタの設定値の書込み	ユーザプログラム	BootROM プログラム
ウォッチドッグカウンタイネーブルビット制御	ユーザプログラムによるレジスタ書込み	PSS 時のみ停止(ハードウェア固定)

<注意事項>

- ハードウェアウォッチドッグタイマは、ソフトウェアウォッチドッグタイマと異なり、初期動作の設定時は BootROM プログラムによるレジスタの設定が行われます (CPU からの書込み、読出しも可能です)。

図 3-1 ウォッチドッグレジスタライト保護シーケンスの設定手順

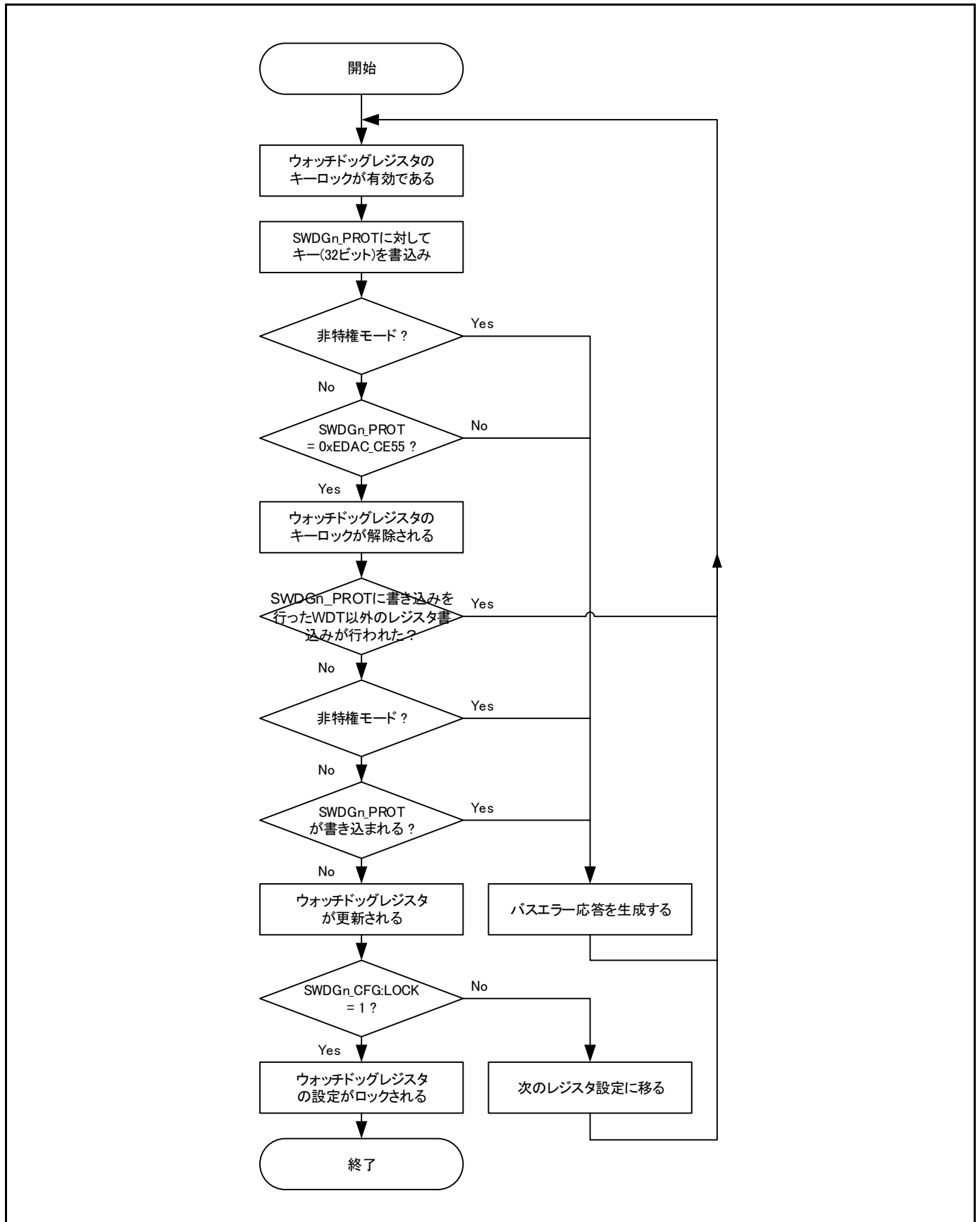
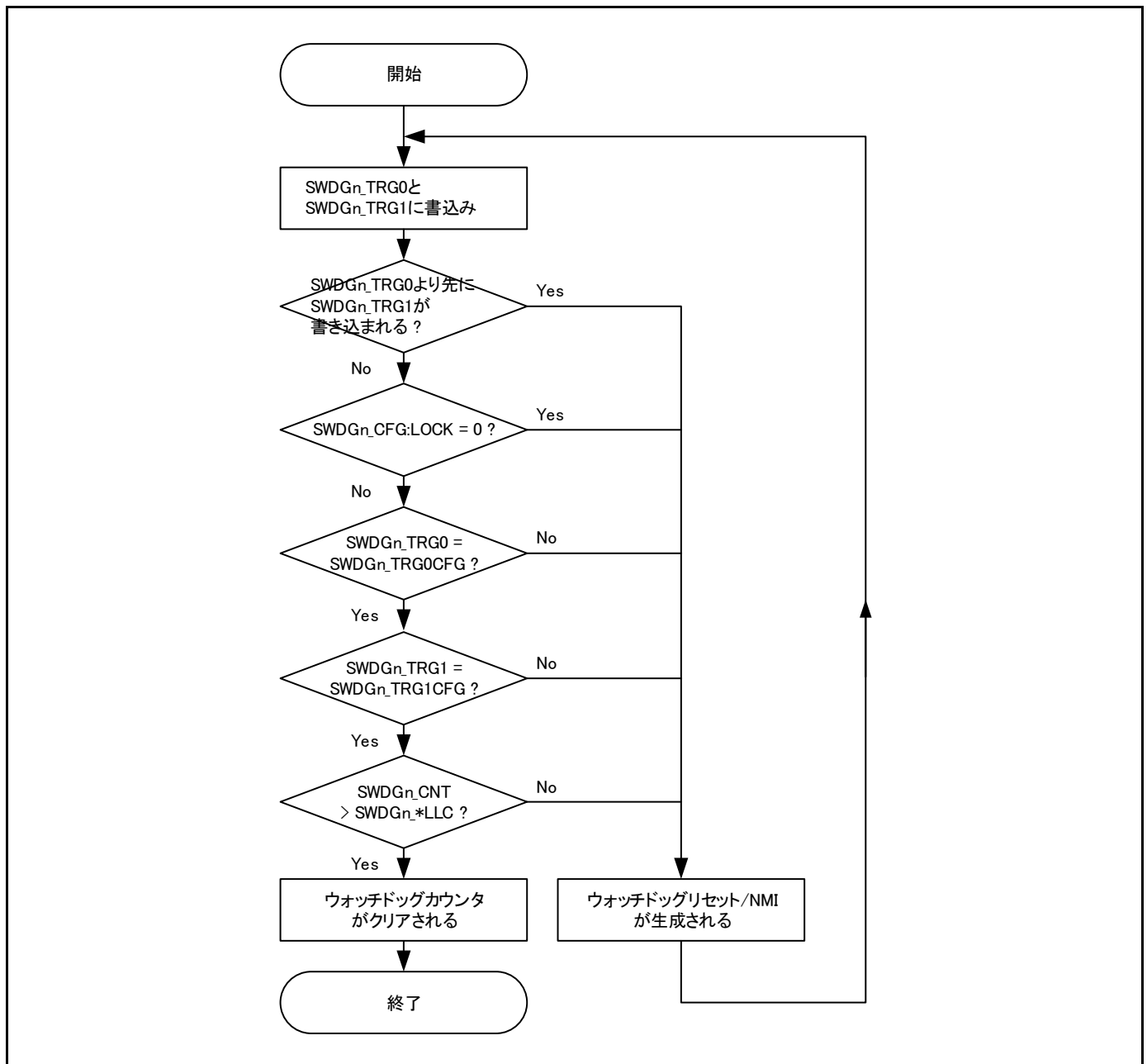


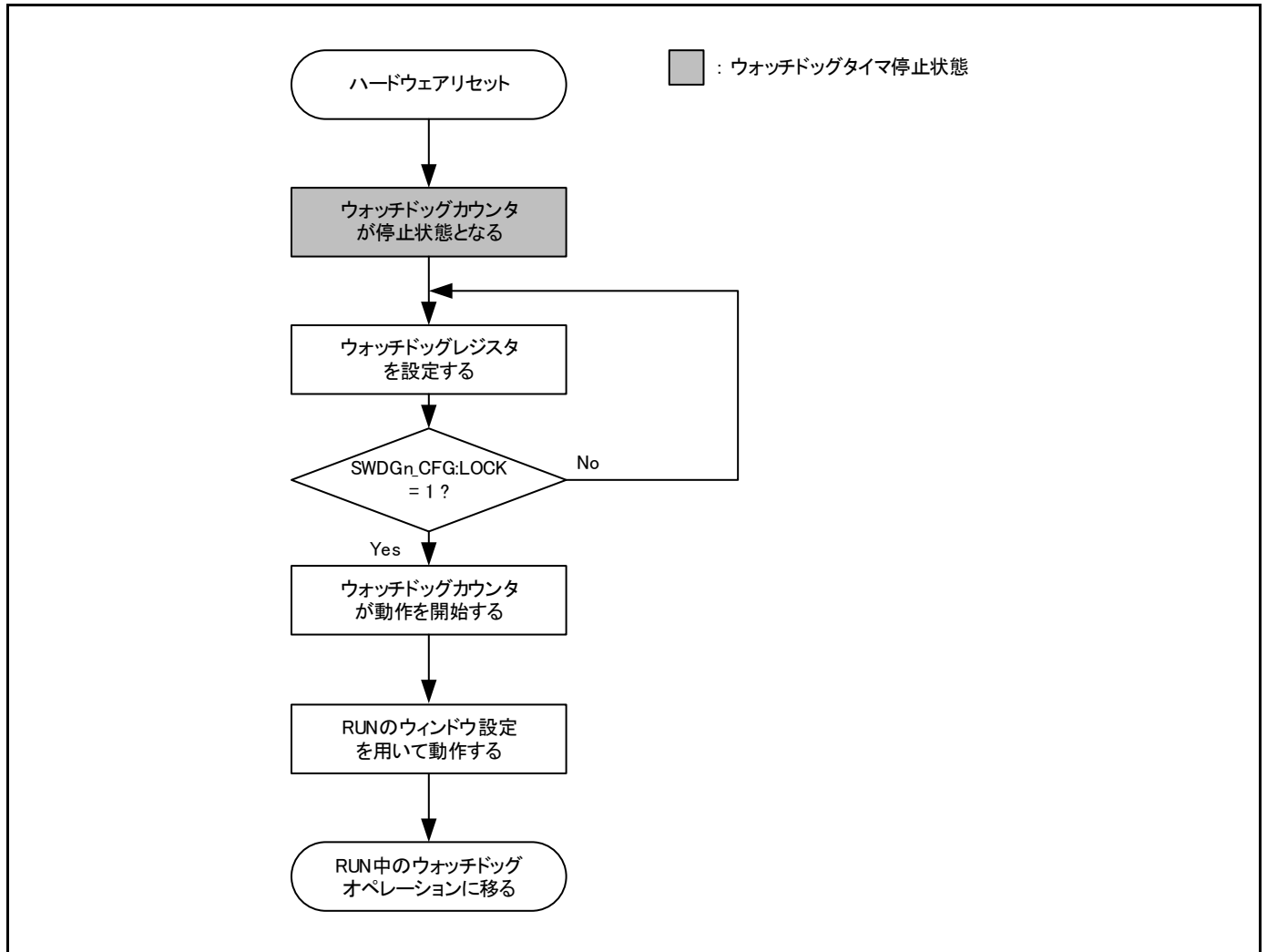
図 3-2 ウォッチドッグカウンタクリア保護トリガシーケンスの設定手順



<注意事項>

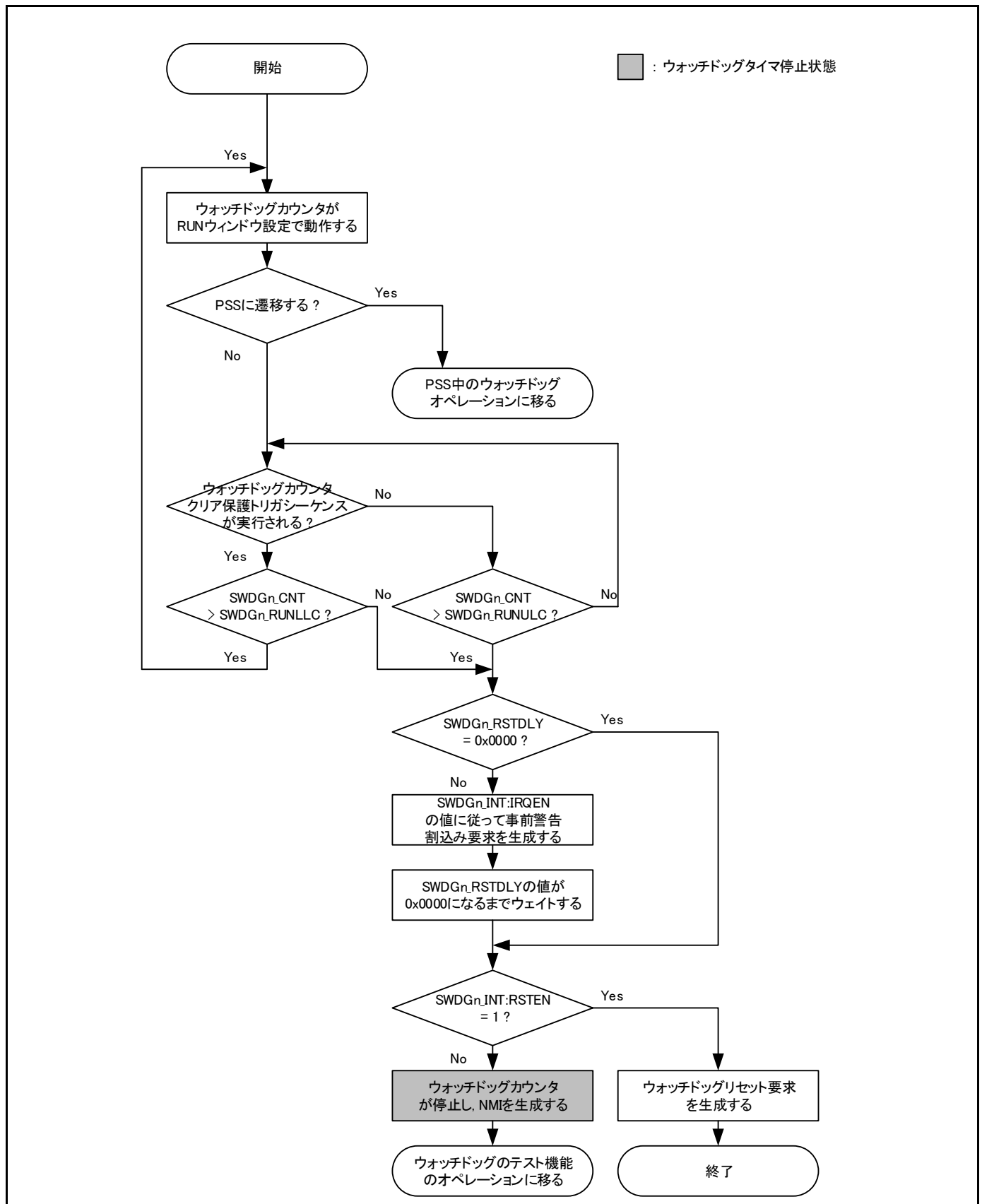
- 図 3-2 の表記*はデバイスステートの RUN または PSS に置き換わります。

図 3-3 ソフトウェアウォッチドッグタイマのスタートアップ



1. ソフトウェアウォッチドッグタイマは、ハードウェアリセットによって初期化されます。その後ハードウェアリセットの解除後すぐに停止状態を示します。
2. レジスタの設定は、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)のLOCKビットが"0"である限り変更できます。
3. ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)のLOCKビットを"1"にセットすることによって、ウォッチドッグカウンタがアップカウントを開始します。

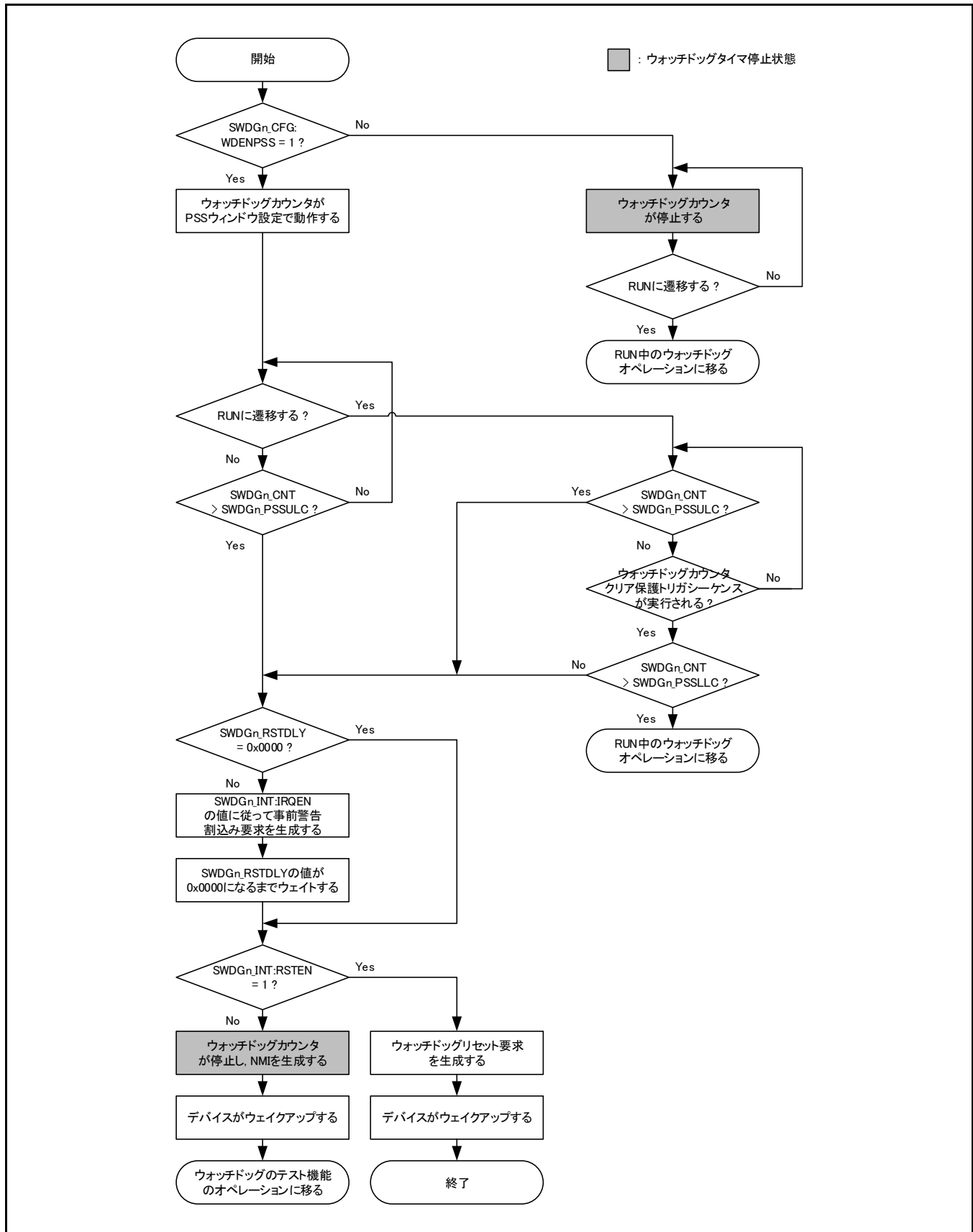
図 3-4 RUN 中のソフトウェアウォッチドッグオペレーション





1. RUN 中のウォッチドッグカウンタは、常に動作します。
2. デバイスステートが RUN から PSS に遷移する場合は、PSS 中のウォッチドッグオペレーションに移ります。詳細は、図 3-5 を参照してください。
3. ウォッチドッグカウンタの動作中は、事前に設定したウィンドウ上限値・下限値の範囲内において、ウォッチドッグカウンタクリア保護トリガシーケンスを実行し、定期的にウォッチドッグカウンタをクリアしてください。
4. ソフトウェアおよびハードウェアの暴走状態が発生して定期的なクリアが行われない場合、ウォッチドッグカウンタがウィンドウ上限値に到達し、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を生成するフローに移ります。
5. ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の IRQEN ビットの値にしたがって事前警告割込み要求が生成されます。同時に、ソフトウェアウォッチドッグリセット遅延カウンタレジスタ(SWDGn_RSTDLY)に設定された遅延時間のサイクル数が挿入されます。
6. 遅延時間のサイクル数の経過後、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の RSTEN ビットの値にしたがって、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。ウォッチドッグ割込み要求(NMI)を生成する場合は、ウォッチドッグのテスト機能のオペレーションに移ります。詳細は、図 3-6 を参照してください。

図 3-5 PSS 中のソフトウェアウォッチドッグオペレーション



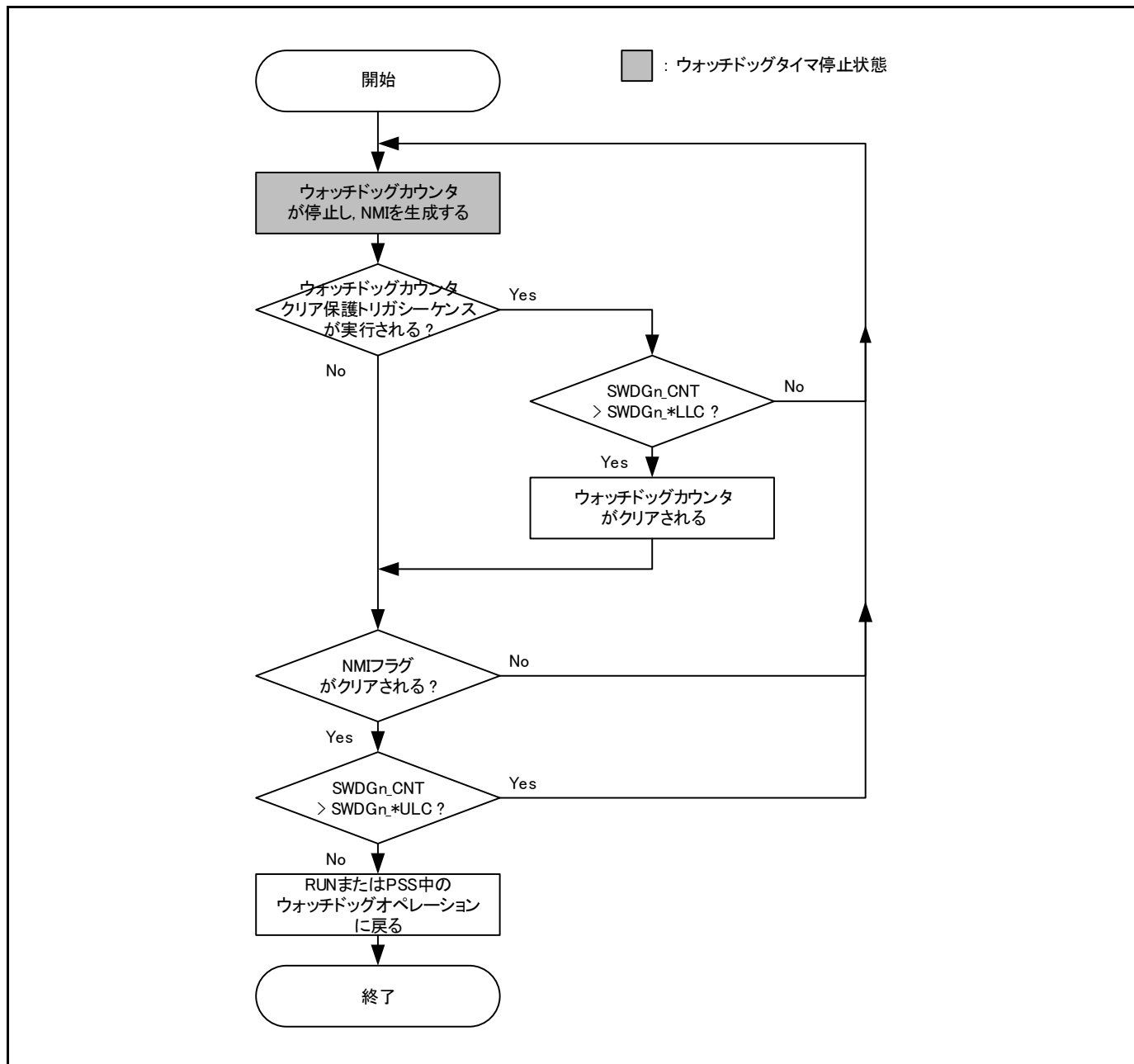


1. PSS 中のウォッチドッグカウンタの動作は、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の WDENPSS ビットの値にしたがって動作または停止します。
2. デバイスステートが PSS から RUN に遷移する場合は、ウォッチドッグカウンタの動作が直ちに開始されます。しかし、ウィンドウ設定は、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されるまで PSS のウィンドウ設定を用います。
3. ウォッチドッグカウンタの動作中は、事前に設定したウィンドウ上限値・下限値の範囲内において、ウォッチドッグカウンタクリア保護トリガシーケンスを実行し、定期的にウォッチドッグカウンタをクリアし続けなければなりません。
4. ソフトウェアおよびハードウェアの暴走状態が発生して定期的なクリアが行われないと、ウォッチドッグカウンタがウィンドウ上限値に到達し、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を生成するフローに移ります。
5. ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の IRQEN ビットの値にしたがって事前警告割込み要求が生成されます。同時に、ソフトウェアウォッチドッグリセット遅延カウンタレジスタ(SWDGn_RSTDLY)に設定された遅延時間のサイクル数が挿入されます。
6. 遅延時間のサイクル数の経過後、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の RSTEN ビットの値にしたがって、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。ウォッチドッグ割込み要求(NMI)を生成する場合は、ウォッチドッグのテスト機能のオペレーションに移ります。詳細は図 3-6 を参照してください。

<注意事項>

- PSS のウィンドウ設定で動作中に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されることは、既にデバイスステートが PSS から RUN に復帰していることを意味します。

図 3-6 ソフトウェアウォッチドッグのテスト機能のオペレーション



1. ウォッチドッグカウンタは停止状態です。
2. ウォッチドッグカウンタの停止中に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、その際既にウィンドウ下限値に到達している場合は、ウォッチドッグカウンタがクリアされます(範囲外の場合は、特に変化はありません)。
3. ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の NMIFLAG ビットがクリアされる場合は、ウォッチドッグ割込み要求(NMI)がクリアされます。
4. ウォッチドッグカウンタがウィンドウ上限値に未到達の場合は、RUN または PSS 中のオペレーションに戻ります。既に到達済みの場合は、特に変化はありません。

<注意事項>

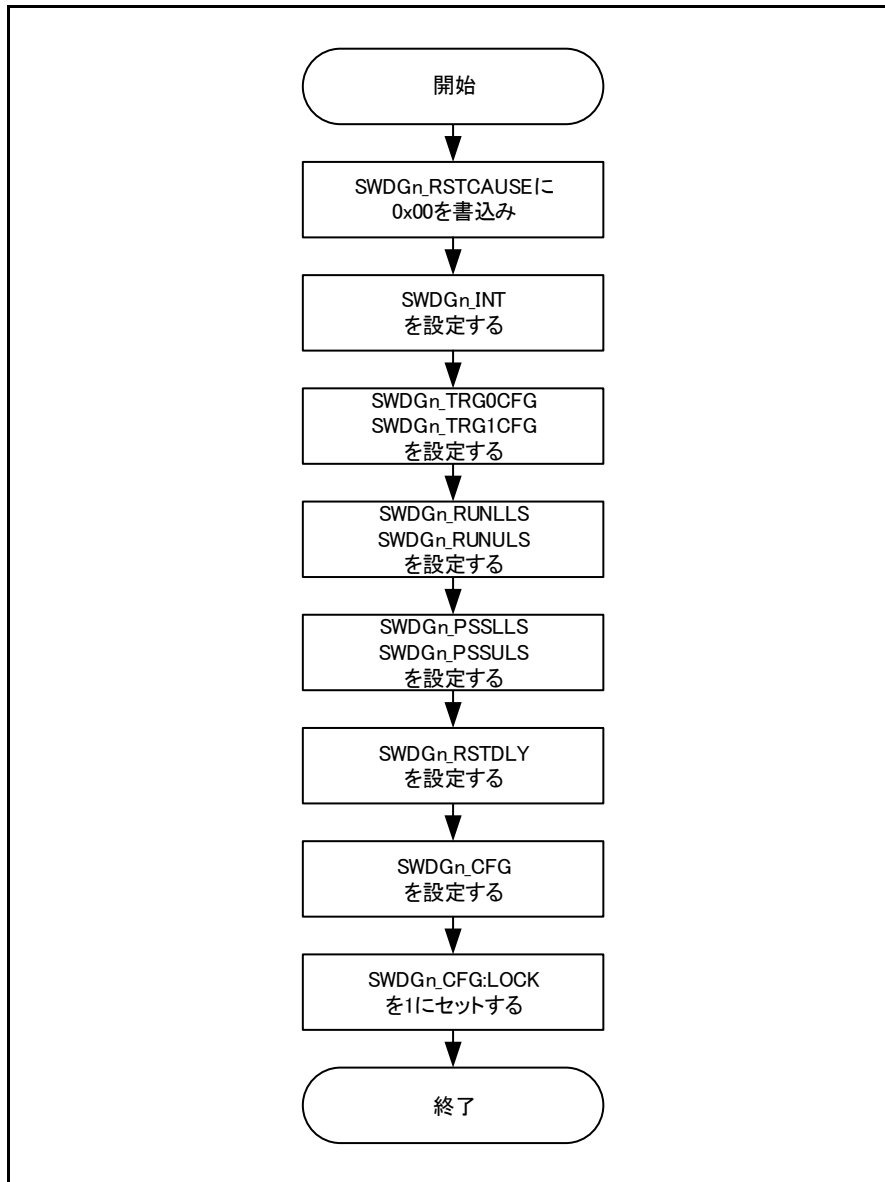
- 図 3-6 の表記*はデバイスステートの RUN または PSS に置き換わります。



4. 設定手順例

ソフトウェアウォッチドッグタイマの設定手順例について説明します。

図 4-1 ソフトウェアウォッチドッグタイマのレジスタの設定手順例



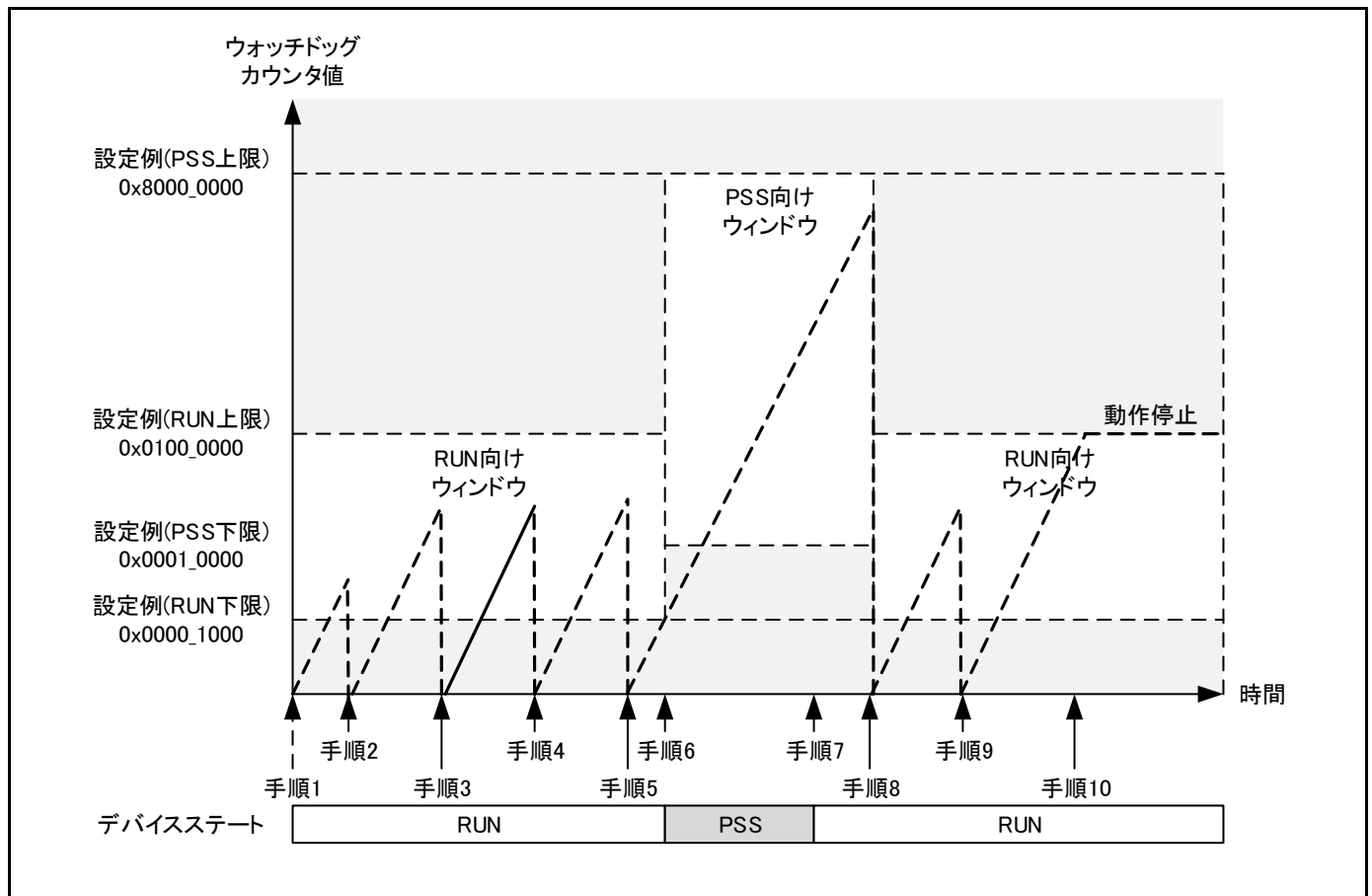
<注意事項>

- 図 4-1 の中において、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットを"1"にセットする手順以外は順番を変えられます。

5. 動作例

ソフトウェアウォッチドッグタイマの動作例について説明します。

図 5-1 ソフトウェアウォッチドッグタイマの動作例(PSS 時動作許可の場合)



1. ソフトウェアウォッチドッグタイマの起動前に、レジスタの設定値を書き込みます。
2. ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)のLOCKビットを"1"にセットし、ソフトウェアウォッチドッグタイマを起動します。このとき、"0x00000000"からアップカウントが開始されます。
3. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
4. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
5. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
6. デバイス状態がRUNからPSSに遷移します。このとき、PSSのウィンドウ設定に切り換わりします。
7. デバイス状態がPSSからRUNに復帰します。このとき、直ちにRUNのウィンドウ設定に切り換わりません。
8. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。このとき、RUNのウィンドウ設定に切り換わりします。
9. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。

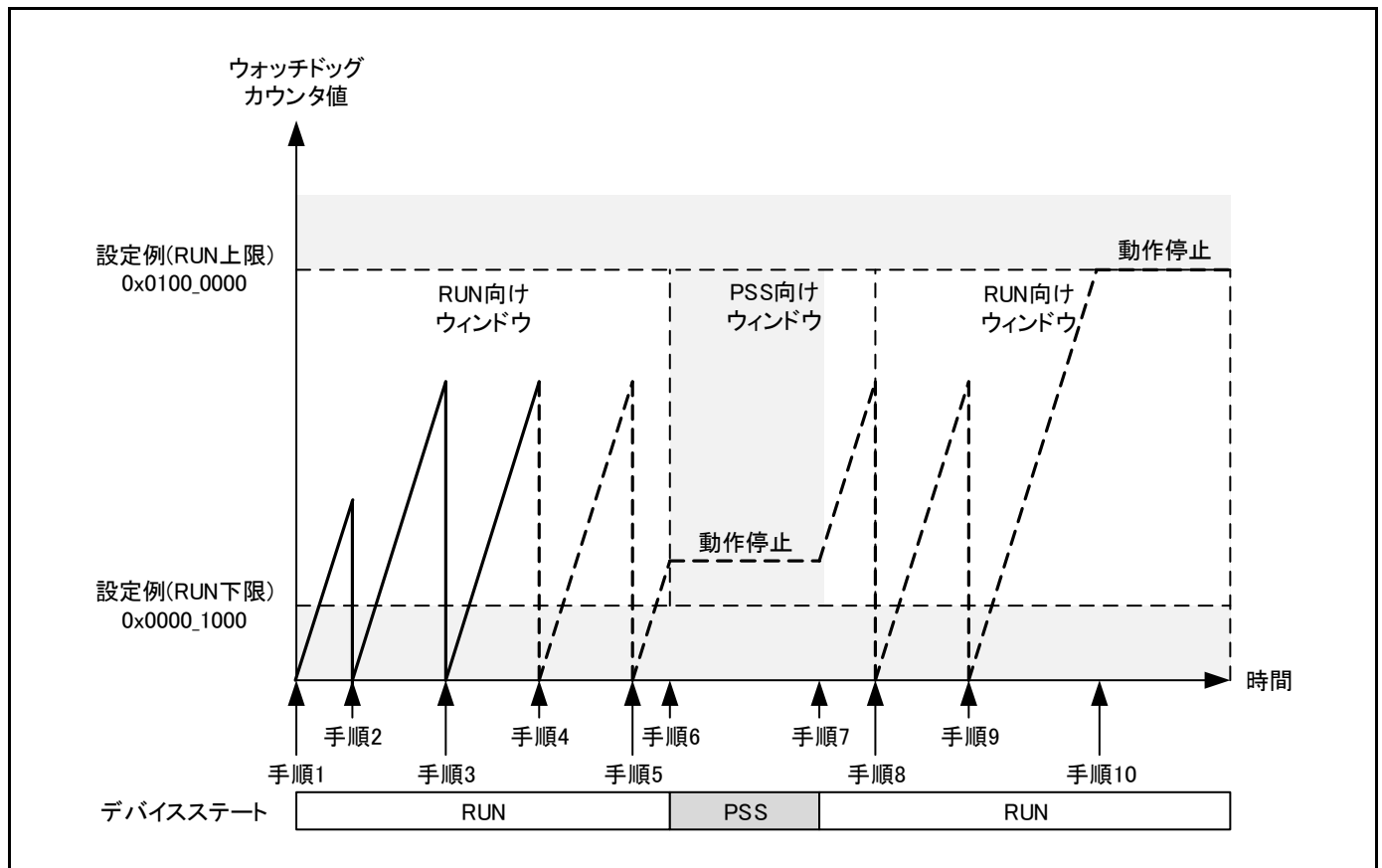


10. ウォッチドッグカウンタがウィンドウ上限値に到達するとき、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。

<注意事項>

- デバイスステートがPSS から RUN に復帰する際に、直ちに RUN のウィンドウ設定に切り換わりません。
- RUN から PSS に遷移する前には、必ずウォッチドッグカウンタをクリアしてください。

図 5-2 ソフトウェアウォッチドッグタイマの動作例(PSS 時動作禁止の場合)



1. ソフトウェアウォッチドッグタイマの起動前に、レジスタの設定値を書き込みます。
2. ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットを"1"にセットし、ソフトウェアウォッチドッグタイマを起動します。このとき、"0x00000000"からアップカウンタが開始されます。
3. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
4. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
5. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
6. デバイスステートが RUN から PSS に遷移します。このとき、ソフトウェアウォッチドッグタイマの動作が停止します。
7. デバイスステートが PSS から RUN に復帰します。このとき、ソフトウェアウォッチドッグタイマは直ちに動作を開始します。
8. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
9. ウォッチドッグカウンタクリア保護トリガシーケンスが実行され、ウォッチドッグカウンタがクリアされます。
10. ウォッチドッグカウンタがウィンドウ上限値に到達するとき、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。



6. レジスタ

ソフトウェアウォッチドッグタイマのレジスタについて説明します。

表 6-1 ソフトウェアウォッチドッグタイマ レジスタ一覧

レジスタ略称	レジスタ名	参照先
SWDGn_PROT	ソフトウェアウォッチドッグプロテクションレジスタ	6.1
SWDGn_CNT	ソフトウェアウォッチドッグカウンタレジスタ	6.2
SWDGn_RSTCAUSE	ソフトウェアウォッチドッグリセット要因レジスタ	6.3
SWDGn_TRG0	ソフトウェアウォッチドッグトリガ0 レジスタ	6.4
SWDGn_TRG1	ソフトウェアウォッチドッグトリガ1 レジスタ	6.5
SWDGn_INT	ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ	6.6
SWDGn_INTCLR	ソフトウェアウォッチドッグ割込みクリアレジスタ	6.7
SWDGn_TRG0CFG	ソフトウェアウォッチドッグトリガ0 コンフィギュレーションレジスタ	6.8
SWDGn_TRG1CFG	ソフトウェアウォッチドッグトリガ1 コンフィギュレーションレジスタ	6.9
SWDGn_RUNLLS	ソフトウェアウォッチドッグ下限 RUN 設定レジスタ	6.10
SWDGn_RUNULS	ソフトウェアウォッチドッグ上限 RUN 設定レジスタ	6.11
SWDGn_PSSLLS	ソフトウェアウォッチドッグ下限 PSS 設定レジスタ	6.12
SWDGn_PSSULS	ソフトウェアウォッチドッグ上限 PSS 設定レジスタ	6.13
SWDGn_RSTDLY	ソフトウェアウォッチドッグリセット遅延カウンタレジスタ	6.14
SWDGn_CFG	ソフトウェアウォッチドッグコンフィギュレーションレジスタ	6.15
SWDGn_RUNLLC	ソフトウェアウォッチドッグ下限 RUN カレントレジスタ	6.16
SWDGn_RUNULC	ソフトウェアウォッチドッグ上限 RUN カレントレジスタ	6.17
SWDGn_PSSLLC	ソフトウェアウォッチドッグ下限 PSS カレントレジスタ	6.18
SWDGn_PSSULC	ソフトウェアウォッチドッグ上限 PSS カレントレジスタ	6.19

<注意事項>

- 表記 n は、監視対象の CPU 番号(0-1)を示します。ソフトウェアウォッチドッグタイマは、監視対象の CPU ごとに割当てられるため、各レジスタもまた CPU の数だけ存在します。

6.1. ソフトウェアウォッチドッグプロテクションレジスタ(SWDGn_PROT)

本レジスタは、ウォッチドッグレジスタライト保護シーケンスを実行するために使用します。本レジスタは、各レジスタの書き込みアクセスの前に正しいキー("0xEDAC_CE55")を書込んでください。正しいキーの書き込みによって、以降のレジスタ書き込み保護ロックが解除されます。各レジスタの書き込みアクセスは、レジスタ書き込み保護ロックを有効にします(各レジスタの読出しアクセスは、ロックに影響ありません)。本レジスタは、32 ビットとして書き込まなければなりません。

Bit	31-0
Field	KEY
R/W 属性	R,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] KEY[31:0]: プロテクションビット

bit[31:0]	説明
書き込み時	"0xEDAC_CE55"書き込み時 : レジスタ書き込み保護ロックが解除されます。 "0xEDAC_CE55"以外書き込み時 : レジスタ書き込み保護ロックが解除されません。
読出し時	"0xFFFF_FFFF"読出し時 : レジスタ書き込み保護ロックが解除されています。 "0x0000_0000"読出し時 : レジスタ書き込み保護ロックが有効です。

<注意事項>

- 本レジスタに対する書き込みアクセスによって、次のような条件においてバスエラー応答が生成されます(このエラー応答は、CPU の例外ハンドラが引き起こされます) 。
 - 本レジスタに対する誤ったキーを書込み。
 - 本レジスタに対する 32 ビット以外の書き込み。
 - 本レジスタに対する 2 回連続の書き込み。

ウォッチドッグレジスタライト保護シーケンスの詳細は、図 3-1 を参照してください。

保護キーは、同グループ(MCU Config Group)領域内アドレスに対する書き込みにより、再びロックされます。ただし、保護対象外レジスタは書き込みを行ってもロックされません。



6.2. ソフトウェアウォッチドッグカウンタレジスタ(SWDGn_CNT)

本レジスタは、ウォッチドッグカウンタの現在のアップカウント値を示します。

Bit	31-0
Field	WDGCNT
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGCNT[31:0]: ウォッチドッグカウンタビット

bit[31:0]	説明
書込み時	無効です。
読出し時	現在のウォッチドッグカウンタ値が返されます。 ウォッチドッグカウンタ値は、バスクロックによってサンプリングされます。

<注意事項>

- 本レジスタに対する書込みアクセスによって、バスエラー応答が生成されます。

6.3. ソフトウェアウォッチドッグリセット要因レジスタ(SWDGn_RSTCAUSE)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)の要因を示すステータスレジスタです。本レジスタは、リセットによって初期化されません。ウォッチドッグリセット要求の要因を確認するために、本レジスタを読み出します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			RSTCAUSE4	RSTCAUSE3	RSTCAUSE2	RSTCAUSE1	RSTCAUSE0
R/W 属性	R0,WX			R,W	R,W	R,W	R,W	R,W
保護属性	WPS							
初期値	000			X	X	X	X	X

[bit31:5] Reserved: 予約ビット

[bit4] RSTCAUSE4: リセット要因ビット 4

本ビットは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットが"0"の場合に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されると"1"にセットされます。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。

[bit3] RSTCAUSE3: リセット要因ビット 3

本ビットは、ウォッチドッグカウンタがウィンドウ下限値に到達する前に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されると"1"にセットされます。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。



[bit2] RSTCAUSE2: リセット要因ビット 2

本ビットは、ウォッチドッグカウンタがウィンドウ上限値に到達する場合に,"1"にセットされます。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。

事前警告割込みを使用した場合、事前警告割込み発生から、ウォッチドッグリセットまたはウォッチドッグ割込み(NMI)までの期間中、RSTCAUSE2 はクリアできません。

[bit1] RSTCAUSE1: リセット要因ビット 1

本ビットは、ウォッチドッグカウンタクリア保護トリガシーケンスに対する違反が存在する場合に,"1"にセットされます(詳細は図 3-2 を参照してください)。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。

[bit0] RSTCAUSE0: リセット要因ビット 0

本ビットは、ソフトウェアウォッチドッグトリガ 0/1 レジスタ(SWDGn_TRG0, SWDGn_TRG1)に対する書込み値が、適切な値と一致しない場合に,"1"にセットされます。

bit	説明
書込み時	"0"書込み時：本ビットがクリアされます。 "1"書込み時：無効です。
読出し時	"0"読出し時：リセット/NMI 要因の未検出を示します。 "1"読出し時：リセット/NMI 要因の検出を示します。

<注意事項>

- ソフトウェアウォッチドッグタイマを使用する際は、必ず本レジスタをクリアしてください。
- 本レジスタの値は、ウォッチドッグリセット要求が生成される際に有効になります。

6.4. ソフトウェアウォッチドッグトリガ 0 レジスタ(SWDGn_TRG0)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従う必要はありません。本レジスタは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために使用します。本レジスタは、ソフトウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ(SWDGn_TRG0CFG)によって定義された値を用いて書込んでください。ソフトウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ(SWDGn_TRG0CFG)以外の値を書込みする場合は、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	WDGTRG0							
R/W 属性	R0,W							
保護属性	-							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG0[7:0]: ウォッチドッグトリガ 0 ビット

本ビットは、ウォッチドッグカウンタをクリアするためのウォッチドッグカウンタクリア保護トリガシーケンスを実行するために使用します。

bit[7:0]	説明
書込み時	SWDGn_TRG0CFG 値の書込み時 : ウォッチドッグカウンタクリア保護トリガシーケンスを実行するための条件の 1 つが満たされます。 SWDGn_TRG0CFG 値以外の書込み時 : ウォッチドッグエラーが生成されます。
読出し時	"0b00000000"が読み出されます。

<注意事項>

- 図 3-2 はウォッチドッグカウンタクリア保護トリガシーケンスのフローを示します。



6.5. ソフトウェアウォッチドッグトリガ1レジスタ(SWDGn_TRG1)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従う必要はありません。本レジスタは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために使用します。本レジスタは、ソフトウェアウォッチドッグトリガ1コンフィギュレーションレジスタ(SWDGn_TRG1CFG)によって定義された値を用いて書込んでください。ソフトウェアウォッチドッグトリガ1コンフィギュレーションレジスタ(SWDGn_TRG1CFG)以外の値を書き込む場合は、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)が生成されます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	WDGTRG1							
R/W 属性	R0,W							
保護属性	-							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG1[7:0]: ウォッチドッグトリガ1ビット

本ビットは、ウォッチドッグカウンタをクリアするためのウォッチドッグカウンタクリア保護トリガシーケンスを実行するために使用します。

bit[7:0]	説明
書込み時	SWDGn_TRG1CFG 値の書込み時 : ウォッチドッグカウンタクリア保護トリガシーケンスを実行するための条件の1つが満たされます。 SWDGn_TRG1CFG 値以外の書込み時 : ウォッチドッグエラーが生成されます。
読出し時	"0b00000000"が読み出されます。

<注意事項>

- 図 3-2 はウォッチドッグカウンタクリア保護トリガシーケンスのフローを示します。

6.6. ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ (SWDGN_INT)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグ割込み要求(NMI)と事前警告割込み要求に関連する設定をするために使用します。本レジスタは、割込みステータスのフラグも含みます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved						RSTEN	IRQEN
R/W 属性	R0,WX						R/W	R/W
保護属性	WPS							
初期値	000000						1	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						NMIFLAG	IRQFLAG
R/W 属性	R0,WX						R,WX	R,WX
保護属性	WPS							
初期値	000000						0	0

[bit31:18] Reserved: 予約ビット

[bit17] RSTEN: リセット/NMI イネーブルビット

本ビットは、ウォッチドッグエラーによるウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)のいずれか一方を生成するために使用します。本ビットは、テスト機能として使用する目的以外において"0"にセットすることは禁止です(本ビットがアプリケーション実行中に"0"にセットされると、安全性が妨害されてしまいます)。本ビットは、ノイズなどの影響によるビット反転に対応するために3つのフリップ・フロップを持つ多数決回路を備えています。

bit	説明
書込み時	0 書込み時：ウォッチドッグ割込み要求(NMI)が生成されます。 1 書込み時：ウォッチドッグリセット要求が生成されます。
読み出し時	設定値が読み出せます。



[bit16] IRQEN: 事前警告割込みイネーブルビット

本ビットは、事前警告割込み要求の生成を許可するために使用します。

bit	説明
書込み時	"0"書込み時：事前警告割込み要求が生成されません。 "1"書込み時：事前警告割込み要求が生成されます。
読出し時	設定値が読み出せます。

[bit15:2] Reserved: 予約ビット

[bit1] NMIFLAG: NMI フラグ

本ビットは、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)のRSTENビットが"0"のときのウォッチドッグエラーによってセットされます。ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)のRSTENビットが"1"の場合、ウォッチドッグリセット要求が生成されます。本ビットは、ソフトウェアウォッチドッグ割込みクリアレジスタ(SWDGn_INTCLR)のNMICLRビットに対して"1"書込みすることによってクリアできます。

bit	説明
書込み時	無効。
読出し時	"0"読出し時：ウォッチドッグエラー(NMI)の未検出を示します。 "1"読出し時：ウォッチドッグエラー(NMI)の検出を示します。

[bit0] IRQFLAG: IRQ フラグ

本ビットは、ウォッチドッグエラーによってセットされます。事前警告割込みは、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)のIRQENビットが"1"の場合に生成されます。本ビットは、ソフトウェアウォッチドッグ割込みクリアレジスタ(SWDGn_INTCLR)のIRQCLRビットに対して"1"書込みすることによってクリアできます。

bit	説明
書込み時	無効。
読出し時	"0"読出し時：ウォッチドッグエラー(IRQ)の未検出を示します。 "1"読出し時：ウォッチドッグエラー(IRQ)の検出を示します。

<注意事項>

- ウォッチドッグ割込み要求(NMI)の詳細は、「3. 動作説明」の「m) ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)の生成」を参照してください。
- ウォッチドッグエラーの詳細は、「7. 使用上の注意」の「(4) ウォッチドッグエラー」を参照してください。

6.7. ソフトウェアウォッチドッグ割込みクリアレジスタ(SWDGn_INTCLR)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の NMI フラグおよび IRQ フラグをクリアするために使用します。本レジスタは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされた後も書き込みできます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						NMICLR	IRQCLR
R/W 属性	R0,WX						R0,W	R0,W
保護属性	WPS							
初期値	000000						0	0

[bit31:2] Reserved: 予約ビット

[bit1] NMICLR: NMI クリアビット

本ビットは、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の NMIFLAG ビットをクリアするために使用します。

bit	説明
書込み時	"0"書込み時：無効。 "1"書込み時：NMI フラグがクリアされます。
読出し時	"0"が読み出せます。

NMI クリアはウォッチドッグカウンタクリア(0x0000_0000)を待ってから実施する必要があります。ウォッチドッグカウンタ値を SWDGn_CNT で確認してください。

[bit0] IRQCLR: 事前警告割込みクリアビット

本ビットは、ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)の IRQFLAG ビットをクリアするために使用します。

bit	説明
書込み時	"0"書込み時：無効。 "1"書込み時：IRQ フラグがクリアされます。
読出し時	"0"が読み出せます。



6.8. ソフトウェアウォッチドッグトリガ 0 コンフィギュレーションレジスタ (SWDGn_TRG0CFG)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行する際に、ソフトウェアウォッチドッグトリガ 0 レジスタ(SWDGn_TRG0)に対して書込みする有効な値が定義されます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	WDGTRG0CFG							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG0CFG[7:0]: ウォッチドッグトリガ 0 コンフィギュレーションビット

本ビットは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために、ソフトウェアウォッチドッグトリガ 0 レジスタ(SWDGn_TRG0)に対して書込みする値が定義されます。

bit[7:0]	説明
書込み時	設定値が書き込まれます。
読出し時	設定値が読み出せます。

6.9. ソフトウェアウォッチドッグトリガ1 コンフィギュレーションレジスタ (SWDGN_TRG1CFG)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行する際に、ソフトウェアウォッチドッグトリガ1レジスタ(SWDGN_TRG1)に対して書込みが有効な値が定義されます。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	WDGTRG1CFG							
R/W 属性	R/W							
保護属性	WPS							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] WDGTRG1CFG[7:0]: ウォッチドッグトリガ1 コンフィギュレーションビット

本ビットは、ウォッチドッグカウンタクリア保護トリガシーケンスを実行するために、ソフトウェアウォッチドッグトリガ1レジスタ(SWDGN_TRG1)に対して書き込む値が定義されます。

bit[7:0]	説明
書込み時	設定値が書き込まれます。
読出し時	設定値が読み出せます。



6.10. ソフトウェアウォッチドッグ下限 RUN 設定レジスタ (SWDGn_RUNLLS)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、RUNのウィンドウ下限値の設定値を書き込むためのレジスタです。ただし、本レジスタは、実際に使用される RUN のウィンドウ下限値とは違います。実際に使用される RUN ウィンドウ下限値への反映方法は、「6.16 ソフトウェアウォッチドッグ下限 RUN カレントレジスタ (SWDGn_RUNLLC)」を参照してください。

Bit	31-0
Field	WDGRUNLLS
R/W 属性	R/W
保護属性	WPS
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGRUNLLS[31:0]: RUN 向けウィンドウ下限設定ビット

本ビットは、RUN のウィンドウ下限値が定義されます。本ビットの読出しは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ (SWDGn_CFG) の LOCK ビットの値と無関係に設定値が返されます。

bit[31:0]	説明
書込み時	32 ビット All"0"書込み時：ウィンドウ機能は無効です。 All"0"以外書込み時：ウィンドウ機能は有効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタは、実際に使用されるウィンドウ下限値とは違います。実際に使用されるウィンドウ下限値は、ソフトウェアウォッチドッグ下限 RUN カレントレジスタ (SWDGn_RUNLLC) です。



6.11. ソフトウェアウォッチドッグ上限 RUN 設定レジスタ(SWDGn_RUNULS)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、RUNのウィンドウ上限値の設定値を書き込むためのレジスタです。ただし、本レジスタは、実際に使用される RUN のウィンドウ上限値とは違います。実際に使用される、RUN ウィンドウ上限値への反映方法は、「6.17 ソフトウェアウォッチドッグ上限 RUN カレントレジスタ(SWDGn_RUNULC)」を参照してください。

Bit	31-0
Field	WDGRUNULS
R/W 属性	R/W
保護属性	WPS
初期値	00000001_00000000_00000000_00000000

[bit31:0] WDGRUNULS[31:0]: RUN 向けウィンドウ上限設定ビット

本ビットは、RUN のウィンドウ上限値が定義されます。本ビットの読出しは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットの値と無関係に設定値が返されます。

bit[31:0]	説明
書込み時	設定値が書込まれます。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタは、実際に使用されるウィンドウ上限値とは違います。実際に使用されるウィンドウ上限値は、ソフトウェアウォッチドッグ上限 RUN カレントレジスタ(SWDGn_RUNULC)です。



6.12. ソフトウェアウォッチドッグ下限 PSS 設定レジスタ(SWDGn_PSSLLS)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、PSS のウィンドウ下限値の設定値を書き込むためのレジスタです。ただし、本レジスタは、実際に使用される PSS のウィンドウ下限値とは違います。実際に使用される、PSS ウィンドウ下限値への反映方法は、「6.18 ソフトウェアウォッチドッグ下限 PSS カレントレジスタ(SWDGn_PSSLLC)」を参照してください。

Bit	31-0
Field	WDGPSSLLS
R/W 属性	R/W
保護属性	WPS
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGPSSLLS[31:0]: PSS 向けウィンドウ下限設定ビット

本ビットは、PSS のウィンドウ下限値が定義されます。本ビットの読出しは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットの値と無関係に設定値が返されます。

bit[31:0]	説明
書込み時	32 ビット All"0"書込み時：ウィンドウ機能が無効です。 All"0"以外書込み時：ウィンドウ機能が有効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタは、実際に使用されるウィンドウ下限値とは違います。実際に使用されるウィンドウ下限値は、ソフトウェアウォッチドッグ下限 PSS カレントレジスタ(SWDGn_PSSLLC)です。

6.13. ソフトウェアウォッチドッグ上限 PSS 設定レジスタ(SWDGn_PSSULS)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、PSS のウィンドウ上限値の設定値を書き込むためのレジスタです。ただし、本レジスタは、実際に使用される PSS のウィンドウ上限値とは違います。実際に使用される、PSS ウィンドウ上限値への反映方法は、「6.19 ソフトウェアウォッチドッグ上限 PSS カレントレジスタ(SWDGn_PSSULC)」を参照してください。

Bit	31-0
Field	WDGPSSULS
R/W 属性	R/W
保護属性	WPS
初期値	10000000_00000000_00000000_00000000

[bit31:0] WDGPSSULS[31:0]: PSS 向けウィンドウ上限設定ビット

本ビットは、PSS におけるウィンドウ上限値が定義されます。本ビットの読出しは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットの値と無関係に設定値が返されます。

bit[31:0]	説明
書込み時	設定値が書込まれます。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタは、実際に使用されるウィンドウ上限値とは違います。実際に使用されるウィンドウ上限値は、ソフトウェアウォッチドッグ上限 PSS カレントレジスタ(SWDGn_PSSULC)です。



6.14. ソフトウェアウォッチドッグリセット遅延カウンタレジスタ (SWDGn_RSTDLy)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。本レジスタは、ウォッチドッグエラーの発生タイミングからウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)までの期間において、遅延時間のサイクル数を設定するために使用します。遅延時間の基準クロックは、ウォッチドッグカウンタのソースクロックです。ソフトウェアウォッチドッグ割込みコンフィギュレーションレジスタ(SWDGn_INT)のIRQENビットが"1"の場合、事前警告割込み要求からウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)までの遅延時間のサイクル数を示します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15-0
Field	WDGRSTDLY
R/W 属性	R0,W
保護属性	WPS
初期値	00000000_00000000

[bit31:16] Reserved: 予約ビット

[bit15:0] WDGRSTDLY[15:0]: リセット/NMI 遅延カウンタビット

本ビットは、ウォッチドッグリセット要求またはウォッチドッグ割込み要求(NMI)を生成する前に、挿入される遅延時間のサイクル数が定義されます。この遅延時間の基準クロックは、ウォッチドッグカウンタのソースクロックです。

bit[15:0]	説明
書込み時	設定値が書込まれます。
読出し時	"0x0000"が読み出せます。

6.15. ソフトウェアウォッチドッグコンフィギュレーションレジスタ (SWDGn_CFG)

本レジスタに対する書込みアクセスは、ウォッチドッグレジスタライト保護シーケンスに従ってください。
本レジスタは、ソフトウェアウォッチドッグタイマの動作設定をするために使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							LOCK
R/W 属性	R0,WX							R,W
保護属性	WPS							
初期値	0000000							0

Bit	23	22	21	20	19	18	17	16
Field	Reserved			OBSSEL				
R/W 属性	R0,WX			R/W				
保護属性	WPS							
初期値	000			00000				

Bit	15	14	13	12	11	10	9	8
Field	Reserved						CLKSEL	
R/W 属性	R0,WX						R/W	
保護属性	WPS							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	Reserved					ALLOW STOPCLK	WDENPSS	WDENRUN
R/W 属性	R0,WX					R/W	R/W	R/W
保護属性	WPS							
初期値	00000					0	1	1

[bit31:25] Reserved: 予約ビット

[bit24] LOCK: ロックビット

本ビットは、1回のみ書込み可能です。本ビットは、各レジスタの設定値の書換えを防止するために使用します。本ビットが"0"の場合、各レジスタの設定値を書き換えられます。本ビットが"1"にセットされる際に、ウォッチドッグカウンタが自動クリアされます。本ビットは、ノイズなどの影響によるビット反転に対応するために3つのフリップ・フロップを持つ多数決回路を備えています。

bit	説明
書込み時	"0"書込み時：無効です。 "1"書込み時：レジスタの設定値がロックされます。
読出し時	"0"読出し時：レジスタの設定値のロックが無効です。 "1"読出し時：レジスタの設定値のロックが有効です。

[bit23:21] Reserved: 予約ビット



[bit20:16] OBSSEL[4:0]: ウォッチドッグカウンタ監視ビット出力選択ビット

本ビットは、ウォッチドッグカウンタ監視ビット出力として、ウォッチドッグカウンタ(32 ビット)のいずれか 1 ビットを選択するために使用します。

bit[20:16]	説明
書込み時	"0b00000"書込み時：ビット 0 が監視出力向けに選択されます。 "0b00001"書込み時：ビット 1 が監視出力向けに選択されます。 "0b00010"書込み時：ビット 2 が監視出力向けに選択されます。 ・ ・ ・ "0b11111"書込み時：ビット 31 が監視出力向けに選択されます。
読出し時	設定値が読み出せます。

<注意事項>

- － なお、本製品では OBSSEL に関する機能はサポート対象外です。何を書いても動作に影響を与えません。

[bit15:10] Reserved: 予約ビット

[bit9:8] CLKSEL[1:0]: クロック選択ビット

本ビットは、ウォッチドッグカウンタのソースクロックを選択するために使用します。ウォッチドッグカウンタは、起動時に高速 CR クロックとして動作が開始されます。クロック切換えの詳細は、「7. 使用上の注意」の「(2) ウォッチドッグカウンタのソースクロック切換え」を参照してください。

bit[9:8]	説明
書込み時	"0b00"書込み時：高速 CR クロックが選択されます。 "0b01"書込み時：低速 CR クロックが選択されます。 "0b10"書込み時：設定禁止。 "0b11"書込み時：メインクロックが選択されます。
読出し時	設定値が読み出せます。

[bit7:3] Reserved: 予約ビット

[bit2] ALLOWSTOPCLK: PSS 向けクロック停止許可ビット

本ビットは、ウォッチドッグカウンタのソースクロック停止をとまなう PSS に遷移を許可するために使用します。本ビットは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の WDENPSS ビットが"1"の場合のみ有効です。

bit	説明
書込み時	"0"書込み時：PSS 中のウォッチドッグクロック停止が禁止されます。 "1"書込み時：PSS 中のウォッチドッグクロック停止が許可されます。
読出し時	設定値が読み出せます。

[bit1] WDENPSS: PSS 向けウォッチドッグカウンタイネーブルビット

本ビットは、PSS 中のウォッチドッグカウンタを有効にするために使用します。本ビットは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットが"1"にセットされる際に有効化されます。

本ビットは、ノイズなどの影響によるビット反転に対応するために 3 つのフリップ・フロップを持つ多数決回路を備えています。



bit	説明
書込み時	0 書込み時 : PSS 中のウォッチドッグカウンタを無効にします。 1 書込み時 : PSS 中のウォッチドッグカウンタを有効にします。
読出し時	設定値が読み出せます。

[bit0] WDENRUN: RUN 向けウォッチドッグカウンタイネーブルビット

本ビットは, RUN 中のウォッチドッグカウンタを有効にするために使用します。本ビットは, ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットが"1"にセットされる際に有効化されます。

本ビットは, ノイズなどの影響によるビット反転に対応するために 3 つのフリップ・フロップを持つ多数決回路を備えています。

bit	説明
書込み時	"0"書込み時 : RUN 中のウォッチドッグカウンタを無効にします。 "1"書込み時 : RUN 中のウォッチドッグカウンタを有効にします。
読出し時	設定値が読み出せます。

<注意事項>

- ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の ALLOWSTOPCLK ビットが"1"の場合は, クロック停止をとまなう PSS 遷移が許可されます。ただし, リセット遅延カウンタの動作中に RUN から PSS に遷移する場合は, PSS から RUN に復帰するまでリセット遅延カウンタは停止されます。



6.16. ソフトウェアウォッチドッグ下限 RUN カレントレジスタ (SWDGn_RUNLLC)

本レジスタは、実際に使用される RUN のウィンドウ下限値を読み出すためのレジスタです。本レジスタは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされる際に、ソフトウェアウォッチドッグ下限 RUN 設定レジスタ(SWDGn_RUNLLS)の設定値を取り込みます。本レジスタは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされた後も、設定値の変更ができます。この場合は、ウォッチドッグカウンタクリア保護シーケンスが実行される際に、ソフトウェアウォッチドッグ下限RUN設定レジスタ(SWDGn_RUNLLS)の設定値を取り込みます。

Bit	31-0
Field	WDGRUNLLC
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGRUNLLC[31:0]: RUN 向けウィンドウ下限カレントビット

本ビットは、RUN のウィンドウ下限値が定義されます。本ビットの読出しは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされるまで初期値が返されます。

bit[31:0]	説明
書込み時	無効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタに対する書込みアクセスによって、バスエラー応答が生成されます。

6.17. ソフトウェアウォッチドッグ上限 RUN カレントレジスタ (SWDGn_RUNULC)

本レジスタは、実際に使用される RUN のウィンドウ上限値を読み出すためのレジスタです。本レジスタは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされる際に、ソフトウェアウォッチドッグ上限 RUN 設定レジスタ(SWDGn_RUNULC)の設定値を取り込みます。また、本レジスタは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされた後も、設定値の変更ができます。この場合は、ウォッチドッグカウンタクリア保護トリガシーケンスが実行される際に、ソフトウェアウォッチドッグ上限 RUN 設定レジスタ(SWDGn_RUNULC)の設定値を取り込みます。

Bit	31-0
Field	WDGRUNULC
R/W 属性	R,WX
保護属性	-
初期値	00000001_00000000_00000000_00000000

[bit31:0] WDGRUNULC[31:0]: RUN 向けウィンドウ上限カレントビット

本ビットは、RUN のウィンドウ上限値が定義されます。本ビットの読出しは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされるまで初期値が返されます。

bit[31:0]	説明
書込み時	無効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタに対する書込みアクセスによって、バスエラー応答が生成されます。



6.18. ソフトウェアウォッチドッグ下限 PSS カレントレジスタ (SWDGn_PSSLLC)

本レジスタは、実際に使用される PSS のウィンドウ下限値を読み出すためのレジスタです。本レジスタは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされる際に、ソフトウェアウォッチドッグ下限 PSS 設定レジスタ(SWDGn_PSSLLS)の設定値を取り込みます。本レジスタは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされた後も、設定値の変更ができます。この場合は、ウォッチドッグカウンタクリア保護トリガシーケンスが実行される際に、ソフトウェアウォッチドッグ下限 PSS 設定レジスタ(SWDGn_PSSLLS)の設定値を取り込みます。

Bit	31-0
Field	WDGPSSLLC
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] WDGPSSLLC[31:0]: PSS 向けウィンドウ下限カレントビット

本ビットは、PSS のウィンドウ下限値が定義されます。本ビットの読出しは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされるまで初期値が返されます。

bit[31:0]	説明
書込み時	無効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタに対する書込みアクセスによって、バスエラー応答が生成されます。



6.19. ソフトウェアウォッチドッグ上限 PSS カレントレジスタ
(SWDGn_PSSULC)

本レジスタは、実際に使用される PSS のウィンドウ上限値を読み出すためのレジスタです。本レジスタは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされる際に、ソフトウェアウォッチドッグ上限 PSS 設定レジスタ(SWDGn_PSSULS)の設定値を取り込みます。本レジスタは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされた後も、設定値の変更ができます。この場合は、ウォッチドッグカウンタクリア保護トリガシーケンスが実行される際に、ソフトウェアウォッチドッグ上限 PSS 設定レジスタ(SWDGn_PSSULS)の設定値を取り込みます。

Bit	31-0
Field	WDGPSSULC
R/W 属性	R,WX
保護属性	-
初期値	10000000_00000000_00000000_00000000

[bit31:0] WDGPSSULC[31:0]: PSS 向けウィンドウ上限カレントビット

本ビットは、PSS のウィンドウ上限値が定義されます。本ビットの読出しは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがセットされるまで初期値が返されます。

bit[31:0]	説明
書込み時	無効です。
読出し時	設定値が読み出せます。

<注意事項>

- 本レジスタに対する書込みアクセスは、バスエラー応答が生成されます。



7. 使用上の注意

ソフトウェアウォッチドッグタイマの使用上の注意について説明します。

(1) ウォッチドッグウィンドウ設定

ソフトウェアウォッチドッグタイマは、RUN と PSS の 2 つのウィンドウ設定ができます。ユーザは、各デバイスステート向けに適切なウィンドウ設定をしなければなりません。

ソフトウェアウォッチドッグタイマは、デバイスが PSS から RUN に遷移する場合に、ウォッチドッグカウンタクリア保護トリガシーケンスが実行されるまで、PSS のウィンドウ設定を用いて動作を継続します。ウィンドウ設定は、ウォッチドッグカウンタクリア保護トリガシーケンスによって RUN のウィンドウ設定に切り換わります。各デバイスステートにおけるウォッチドッグ機能は、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の W DENRUN ビットと W DENPSS ビットによって制御できます。

(2) ウォッチドッグカウンタのソースクロック切換え

ウォッチドッグカウンタのソースクロック切換えは、ウォッチドッグカウンタのソースクロック制御がシステム設定情報(プロファイル)の一部でもあるため、システムコントローラによって制御されます。ウォッチドッグカウンタのソースクロックを変更する場合は、以下のシーケンスにしたがってください。

1. システムコントローラの RUN プロファイルソースクロック許可レジスタ(SYSC_RUNCKSRER)を書き込むことによってウォッチドッグの新規ソースクロックの発振が許可されます。そしてシステムコントローラの RUN プロファイル更新トリガレジスタ(SYSC_TRGRUNCNTR)に"0xAB"を書き込むことによって RUN プロファイル更新が実行されます。
2. ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の CLKSEL ビットを設定することによってウォッチドッグカウンタの新規ソースクロックが設定されます。そして以下のレジスタに書き込むことによってウィンドウ設定が決定されます。
3. ソフトウェアウォッチドッグ下限 RUN 設定レジスタ (SWDGn_RUNLLS)
4. ソフトウェアウォッチドッグ上限 RUN 設定レジスタ (SWDGn_RUNULS)
5. ソフトウェアウォッチドッグ下限 PSS 設定レジスタ (SWDGn_PSSLLS)
6. ソフトウェアウォッチドッグ上限 PSS 設定レジスタ (SWDGn_PSSULS)
7. ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットを"1"にセットすることによってレジスタの設定値の書換えがロックされます。
8. システムコントローラの RUN プロファイル更新トリガレジスタ(SYSC_TRGRUNCNTR)に"0xAB"を書き込むことによって RUN プロファイル更新が実行されます。この時点から、ウォッチドッグカウンタのソースクロックは、ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の CLKSEL ビットによって選択された新規ソースクロックに切り換わります。

<注意事項>

- 既に新規ソースクロックの発振が安定状態にある場合、手順 1 は必要ありません。

(3) 低速 CR クロック選択時のソフトウェアリセット発行

ウォッチドッグのクロックに低速 CR クロックを選択中にソフトウェアリセットを発行する場合、発行前にウォッチドッグのクリアシーケンスを行ってください。

(4) ウォッチドッグエラー

ウォッチドッグエラーは、次のような条件において生成されます。このウォッチドッグエラーによって、ウォッチドッグリセット要求/割込み要求(NMI)が生成されます。

1. ソフトウェアウォッチドッグトリガ 0/1 レジスタ(SWDGn_TRG0, SWDGn_TRG1)に対して誤った値を書き込んだとき。
2. ウォッチドッグカウンタクリア保護トリガシーケンスに違反したとき。
3. ウォッチドッグカウンタがウィンドウ上限値に到達する前にウォッチドッグカウンタクリア保護トリガシーケンスを実行しなかったとき。
4. ウォッチドッグカウンタがウィンドウ下限値に到達する前にウォッチドッグカウンタクリア保護トリガシーケンスを実行したとき。
5. ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットがまだ"0"である期間に、ウォッチドッグカウンタクリア保護トリガシーケンスを実行したとき。

(5) バスエラー応答(データアポート)の要因

バスエラー応答は、次のようなケースにおいて生成されます。

- レジスタが存在しないアドレスがアクセス(読出しまたは書込み)。
- ウォッチドッグレジスタライト保護シーケンスの違反。
- 属性が読出しのみ(表記 R,WX)のレジスタに対する書込みアクセス。
- ソフトウェアウォッチドッグコンフィギュレーションレジスタ(SWDGn_CFG)の LOCK ビットが"1"にセットされた後のレジスタに対する書込みアクセス。
- ソフトウェアウォッチドッグプロテクションレジスタ(SWDGn_PROT)に対する誤った値の書込みアクセス。
- ソフトウェアウォッチドッグプロテクションレジスタ(SWDGn_PROT)に対するバイト/ハーフワードの書込みアクセス。
- レジスタに対する非特権モードの書込みアクセス。
- (ソフトウェアウォッチドッグトリガ 0/1 レジスタ(SWDGn_TRG0, SWDGn_TRG1)を除く)。

(6) プロセッサのスタンバイ中のウォッチドッグタイマ動作

ソフトウェアウォッチドッグタイマは、以下の場合において RUN のウィンドウ設定を用いて動作します。

- PSS プロファイル更新許可レジスタ(SYSC_PSSENR.PSSEN0-1)に有効なキー("0xBA", "0xBA")の書込みをせずに、プロセッサが割込み待ち(WFI) 命令の実行によってスタンバイに移行した場合。





CHAPTER 21: ビットバンドユニット

ビットバンドユニットについて説明します。

1. 概要
2. 動作説明



1. 概要

ビットバンドユニットの概要を説明します。

本デバイスのメモリマップにはビットバンドエイリアス領域と呼ばれるアドレス領域とビットバンド領域と呼ばれるアドレス領域があります。ビットバンドユニットにはビットバンドエイリアス領域の1バイトにアクセスすることによってビットバンド領域の対応する1ビットをセットまたはクリアする機能があります。ビットバンド領域はリソース領域と重ねてマッピングされています。

2. 動作説明

ビットバンドユニットの動作を説明します。

(1) ビットバンド領域とビットバンドエイリアス領域

図 2-1 にビットバンドエイリアス領域とビットバンド領域の関係を示します。ビットバンドエイリアス領域の 1 バイトに対し、ビットバンド領域の 1 ビットが対応しています。ビットバンド領域内のビットバンド対応しているビットのみ、ビットバンドエイリアス領域からアクセスできます。

図 2-1 ビットバンドエイリアス領域とビットバンド領域

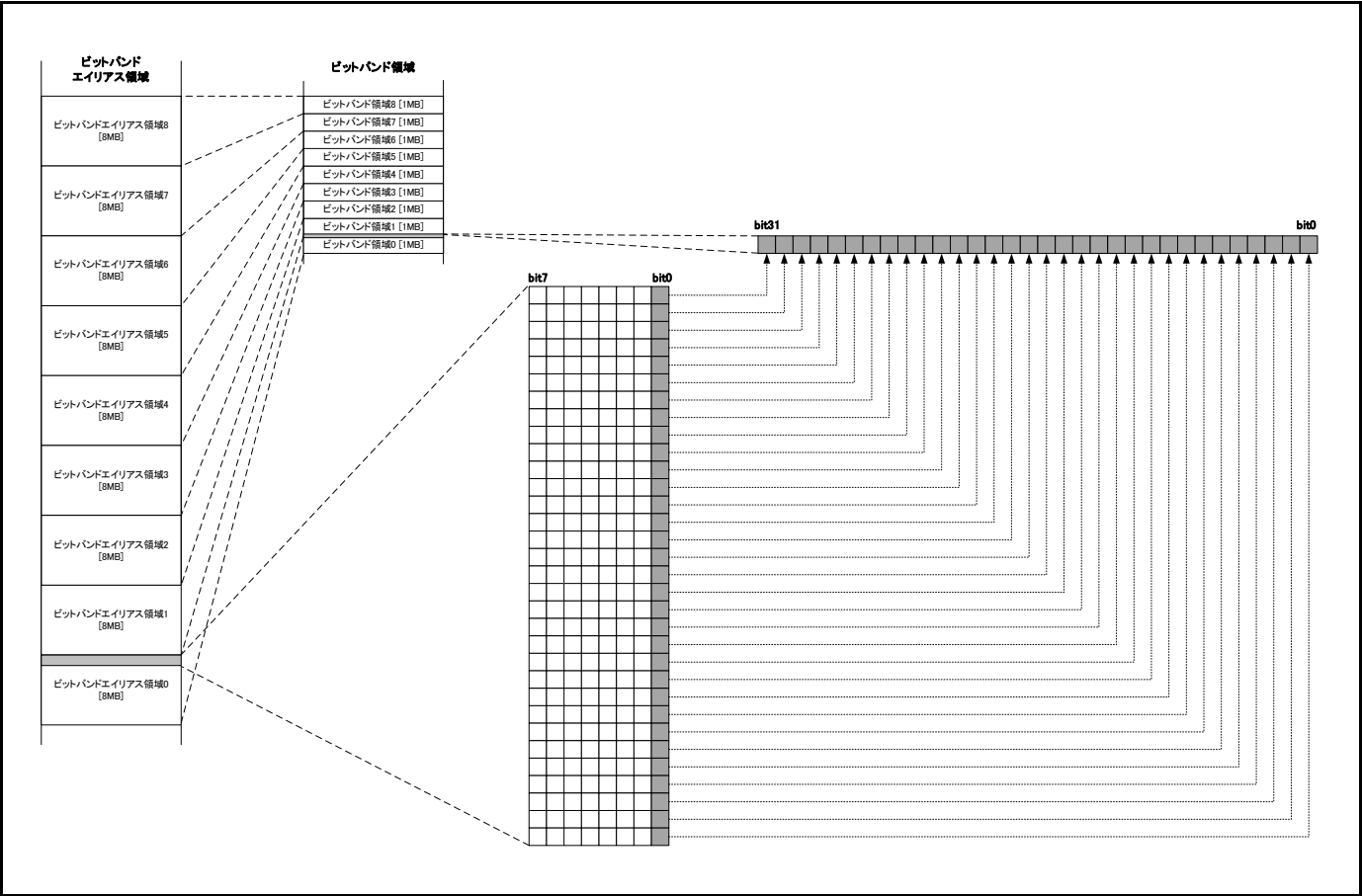


表 2-1 ビットバンド領域とビットバンドエイリアス領域の対応

ビットバンド領域	グループ	ビットバンドエイリアス領域
0xB040_0000～0xB04F_FFFF	Memory & Config Group	0xA200_0000～0xA27F_FFFF
0xB060_0000～0xB06F_FFFF	MCU Config Group	0xA300_0000～0xA37F_FFFF
0xB070_0000～0xB07F_FFFF	Common Peripheral Group(AHB)	0xA380_0000～0xA3FF_FFFF
0xB080_0000～0xB08F_FFFF	Common Peripheral Group(APB)	0xA400_0000～0xA47F_FFFF
0xB100_0000～0xB10F_FFFF	Application Specific Peripheral Group(Slave-A)	0xA800_0000～0xA87F_FFFF
0xB200_0000～0xB20F_FFFF	Application Specific Peripheral Group(Slave-B)	0xA880_0000～0xA8FF_FFFF



(2) ビットバンドユニットによるビットセットとビットクリア

ビットバンドエイリアス領域内のビットバンド対応したアドレスの bit[0]に"1"を書き込むと、ビットバンド領域内の対応するビットが"1"にセットされます。また"0"を書き込むと、ビットバンド領域の対応するビットが"0"にクリアされます。bit[7:1]の値は影響しません。

＜注意事項＞

- ビットバンド対応していないビットバンドエイリアス領域に対して書込みは禁止です。
- ビットバンドエイリアス領域に対してバイトサイズ以外の書込みは禁止です。

(3) ビットバンドユニットによるビット読出し

- ビットバンドエイリアス領域内のビットバンド対応したアドレスから読出すとビットバンド領域の対応するビットが bit[0]に読み出されます。bit[7:1]は常に"0b0000000"が読み出されます。
- ビットバンド対応していないビットバンドエイリアス領域へバイト読出しを行った場合、常に"0b00000000"が読み出されます。

＜注意事項＞

- ビットバンド対応していないビットバンドエイリアス領域に対して読出しは禁止です。
- ビットバンドエイリアス領域に対してバイトサイズ以外の読出しは禁止です。

(4) ビットバンド対応ビット

ビットバンド対応するレジスタとビットの一覧を示します。ビットバンド機能を使ってアクセスする場合でもレジスタ属性は同じです。

1) システムコントローラ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
システムステータスレジスタ (SYSC_SYSTSR)	RUN プロファイル更新完了(メイン 状態制御) フラグビット(RUNDF0)	0xA300_1444	-	○
	PSS プロファイル更新完了(メイン 状態制御) フラグビット(PSSDF0)	0xA300_1445	-	○
	PSS プロファイル更新完了(サブ 状態制御 1) フラグビット(PSSDF1)	0xA300_144D	-	○
システムエラー割込み要因レジスタ 0 (SYSC_SYSERRIR0)	メイン発振異常検出エラー 割込み要求ビット(MOMIF)	0xA300_14A0	-	○
	PLL 異常検出エラー 割込み要求ビット(PMIF)	0xA300_14A2	-	○
	サブシステム PLL 異常検出エラー 割込み要求ビット(SSPMIF)	0xA300_14A4	-	○
	5.0V 低電圧検出割込み要求ビット (LVD50IF)	0xA300_14B8	-	○
システムエラー割込み要因レジスタ 1 (SYSC_SYSERRIR1)	トリガエラー割込み要求ビット (TRGERRIF)	0xA300_14C0	-	○
	RUN プロファイル更新許可書込み エラー割込み要求ビット (RUNTRGERRIF)	0xA300_14C1	-	○
	PSS トリガ(メイン状態制御) キャンセル割込み要求ビット (PSSTRGCIF0)	0xA300_14C2	-	○
	PSS プロファイル更新許可書込み エラー割込み要求ビット(PSSERRIF0)	0xA300_14C3	-	○
	RUN プロファイルエラー割込み 要求ビット(RUNERRIF0)	0xA300_14C4	-	○
	RUN プロファイル(PSS 復帰時) エラー割込み要求ビット (RUNWKERRIF0)	0xA300_14C5	-	○
	PSS プロファイルエラー 割込み要求ビット(PSSERRIF0)	0xA300_14C6	-	○
	PSS トリガ(サブ状態制御 1) キャンセル割込み要求ビット (PSSTRGCIF1)	0xA300_14CA	-	○
	PSS プロファイル更新許可書込み エラー割込み要求ビット (PSSERRIF1)	0xA300_14CB	-	○



2) ソフトウェアウォッチドッグタイマ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
ソフトウェアウォッチ ドッグ割込みコンフィギュレーションレ ジスタ(SWDG0_INT)	IRQ フラグ(IRQFLAG)	0xA304_0100	-	○
	NMI フラグ(NMIFLAG)	0xA304_0101	-	○
ソフトウェアウォッチ ドッグ割込みコンフィギュレーションレ ジスタ(SWDG1_INT)	IRQ フラグ(IRQFLAG)	0xA304_8100	-	○
	NMI フラグ(NMIFLAG)	0xA304_8101	-	○

3) ハードウェアウォッチドッグタイマ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
ハードウェアウォッチ ドッグ割込みコンフィギュレーションレ ジスタ(HWDG_INT)	IRQ フラグ(IRQFLAG)	0xA306_0100	-	○
	NMI フラグ(NMIFLAG)	0xA306_0101	-	○

4) 外部割込み

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
外部割込み許可レジスタ(EIC00_ENIR)	外部割込み許可ビット(EN0~EN7)	0xA310_0000~0xA310_0007	○	○
予約	-	0xA310_0008~0xA310_001F	-	-
外部割込み要因レジスタ(EIC00_EIRR)	外部割込み要因検出ビット(ER0~ER7)	0xA310_0060~0xA310_0067	-	○
予約	-	0xA310_0068~0xA310_007F	-	-
ノイズフィルタ許可レジスタ (EIC00_NFER)	ノイズフィルタ許可ビット (NFE0~ NFE7)	0xA310_00A0~0xA310_00A7	○	○
予約	-	0xA310_00A8~0xA310_00BF	-	-
DMA 要求許可レジスタ(EIC00_DRER)	DMA 要求許可ビット(DRE0~DRE7)	0xA310_01A0~0xA310_01A7	○	○
予約	-	0xA310_01A8~0xA310_01BF	-	-

<注意事項>

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。

5) 割込みコントローラ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
NMI ソフトウェア割込みステータスレジスタ (IRC0_NMISIS)	NMI ソフトウェア割込みステータスビット (NMISIS0~NMISIS31)	0xA200_55C0~0xA200_55DF	○	○
IRQ ソフトウェア割込みステータスレジスタ 0 (IRC0_IRQSIS0)	IRQ ソフトウェア割込みステータスビット (IRQSIS0~IRQSIS31)	0xA200_5A00~0xA200_5A1F	○	○
IRQ ソフトウェア割込みステータスレジスタ 1 (IRC0_IRQSIS1)	IRQ ソフトウェア割込みステータスビット (IRQSIS32~IRQSIS63)	0xA200_5A20~0xA200_5A3F	○	○
IRQ ソフトウェア割込みステータスレジスタ 2 (IRC0_IRQSIS2)	IRQ ソフトウェア割込みステータスビット (IRQSIS64~IRQSIS95)	0xA200_5A40~0xA200_5A5F	○	○
IRQ ソフトウェア割込みステータスレジスタ 3 (IRC0_IRQSIS3)	IRQ ソフトウェア割込みステータスビット (IRQSIS96~IRQSIS127)	0xA200_5A60~0xA200_5A7F	○	○
IRQ ソフトウェア割込みステータスレジスタ 4 (IRC0_IRQSIS4)	IRQ ソフトウェア割込みステータスビット (IRQSIS128~IRQSIS159)	0xA200_5A80~0xA200_5A9F	○	○
IRQ ソフトウェア割込みステータスレジスタ 5 (IRC0_IRQSIS5)	IRQ ソフトウェア割込みステータスビット (IRQSIS160~IRQSIS191)	0xA200_5AA0~0xA200_5ABF	○	○
IRQ ソフトウェア割込みステータスレジスタ 6 (IRC0_IRQSIS6)	IRQ ソフトウェア割込みステータスビット (IRQSIS192~IRQSIS223)	0xA200_5AC0~0xA200_5ADF	○	○
IRQ ソフトウェア割込みステータスレジスタ 7 (IRC0_IRQSIS7)	IRQ ソフトウェア割込みステータスビット (IRQSIS224~IRQSIS255)	0xA200_5AE0~0xA200_5AFF	○	○
IRQ ソフトウェア割込みステータスレジスタ 8 (IRC0_IRQSIS8)	IRQ ソフトウェア割込みステータスビット (IRQSIS256~IRQSIS287)	0xA200_5B00~0xA200_5B1F	○	○
IRQ ソフトウェア割込みステータスレジスタ 9 (IRC0_IRQSIS9)	IRQ ソフトウェア割込みステータスビット (IRQSIS288~IRQSIS319)	0xA200_5B20~0xA200_5B3F	○	○
IRQ ソフトウェア割込みステータスレジスタ 10 (IRC0_IRQSIS10)	IRQ ソフトウェア割込みステータスビット (IRQSIS320~IRQSIS351)	0xA200_5B40~0xA200_5B5F	○	○
IRQ ソフトウェア割込みステータスレジスタ 11 (IRC0_IRQSIS11)	IRQ ソフトウェア割込みステータスビット (IRQSIS352~IRQSIS383)	0xA200_5B60~0xA200_5B7F	○	○
IRQ ソフトウェア割込みステータスレジスタ 12 (IRC0_IRQSIS12)	IRQ ソフトウェア割込みステータスビット (IRQSIS384~IRQSIS415)	0xA200_5B80~0xA200_5B9F	○	○
IRQ ソフトウェア割込みステータスレジスタ 13 (IRC0_IRQSIS13)	IRQ ソフトウェア割込みステータスビット (IRQSIS416~IRQSIS447)	0xA200_5BA0~0xA200_5BBF	○	○
IRQ ソフトウェア割込みステータスレジスタ 14 (IRC0_IRQSIS14)	IRQ ソフトウェア割込みステータスビット (IRQSIS448~IRQSIS479)	0xA200_5BC0~0xA200_5BDF	○	○
IRQ ソフトウェア割込みステータスレジスタ 15 (IRC0_IRQSIS15)	IRQ ソフトウェア割込みステータスビット (IRQSIS480~IRQSIS511)	0xA200_5BE0~0xA200_5BFF	○	○
IRQ チャネル許可設定レジスタ 0 (IRC0_IRQCE0)	IRQ チャネル許可設定ビット (IRQCE0~IRQCE31)	0xA200_6000~0xA200_601F	○	○
IRQ チャネル許可設定レジスタ 1 (IRC0_IRQCE1)	IRQ チャネル許可設定ビット (IRQCE32~IRQCE63)	0xA200_6020~0xA200_603F	○	○
IRQ チャネル許可設定レジスタ 2 (IRC0_IRQCE2)	IRQ チャネル許可設定ビット (IRQCE64~IRQCE95)	0xA200_6040~0xA200_605F	○	○
IRQ チャネル許可設定レジスタ 3 (IRC0_IRQCE3)	IRQ チャネル許可設定ビット (IRQCE96~IRQCE127)	0xA200_6060~0xA200_607F	○	○
IRQ チャネル許可設定レジスタ 4 (IRC0_IRQCE4)	IRQ チャネル許可設定ビット (IRQCE128~IRQCE159)	0xA200_6080~0xA200_609F	○	○
IRQ チャネル許可設定レジスタ 5 (IRC0_IRQCE5)	IRQ チャネル許可設定ビット (IRQCE160~IRQCE191)	0xA200_60A0~0xA200_60BF	○	○
IRQ チャネル許可設定レジスタ 6 (IRC0_IRQCE6)	IRQ チャネル許可設定ビット (IRQCE192~IRQCE223)	0xA200_60C0~0xA200_60DF	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
IRQ チャンネル許可設定レジスタ 7 (IRC0_IRQCE7)	IRQ チャンネル許可設定ビット (IRQCE224~IRQCE255)	0xA200_60E0~0xA200_60FF	○	○
IRQ チャンネル許可設定レジスタ 8 (IRC0_IRQCE8)	IRQ チャンネル許可設定ビット (IRQCE256~IRQCE287)	0xA200_6100~0xA200_611F	○	○
IRQ チャンネル許可設定レジスタ 9 (IRC0_IRQCE9)	IRQ チャンネル許可設定ビット (IRQCE288~IRQCE319)	0xA200_6120~0xA200_613F	○	○
IRQ チャンネル許可設定レジスタ 10 (IRC0_IRQCE10)	IRQ チャンネル許可設定ビット (IRQCE320~IRQCE351)	0xA200_6140~0xA200_615F	○	○
IRQ チャンネル許可設定レジスタ 11 (IRC0_IRQCE11)	IRQ チャンネル許可設定ビット (IRQCE352~IRQCE383)	0xA200_6160~0xA200_617F	○	○
IRQ チャンネル許可設定レジスタ 12 (IRC0_IRQCE12)	IRQ チャンネル許可設定ビット (IRQCE384~IRQCE415)	0xA200_6180~0xA200_619F	○	○
IRQ チャンネル許可設定レジスタ 13 (IRC0_IRQCE13)	IRQ チャンネル許可設定ビット (IRQCE416~IRQCE447)	0xA200_61A0~0xA200_61BF	○	○
IRQ チャンネル許可設定レジスタ 14 (IRC0_IRQCE14)	IRQ チャンネル許可設定ビット (IRQCE448~IRQCE479)	0xA200_61C0~0xA200_61DF	○	○
IRQ チャンネル許可設定レジスタ 15 (IRC0_IRQCE15)	IRQ チャンネル許可設定ビット (IRQCE480~IRQCE511)	0xA200_61E0~0xA200_61FF	○	○
NMI ソフトウェア割込みステータスレジ スタ (IRC1_NMISIS)	NMI ソフトウェア割込みステータスビッ ト (NMISIS0~NMISIS31)	0xA200_D5C0~0xA200_D5DF	○	○
IRQ ソフトウェア割込みステータスレジ スタ 0 (IRC1_IRQSIS0)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS0~IRQSIS31)	0xA200_DA00~0xA200_DA1F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 1 (IRC1_IRQSIS1)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS32~IRQSIS63)	0xA200_DA20~0xA200_DA3F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 2 (IRC1_IRQSIS2)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS64~IRQSIS95)	0xA200_DA40~0xA200_DA5F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 3 (IRC1_IRQSIS3)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS96~IRQSIS127)	0xA200_DA60~0xA200_DA7F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 4 (IRC1_IRQSIS4)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS128~IRQSIS159)	0xA200_DA80~0xA200_DA9F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 5 (IRC1_IRQSIS5)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS160~IRQSIS191)	0xA200_DAA0~0xA200_DABF	○	○
IRQ ソフトウェア割込みステータスレジ スタ 6 (IRC1_IRQSIS6)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS192~IRQSIS223)	0xA200_DAC0~0xA200_DADF	○	○
IRQ ソフトウェア割込みステータスレジ スタ 7 (IRC1_IRQSIS7)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS224~IRQSIS255)	0xA200_DAE0~0xA200_DAFF	○	○
IRQ ソフトウェア割込みステータスレジ スタ 8 (IRC1_IRQSIS8)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS256~IRQSIS287)	0xA200_DB00~0xA200_DB1F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 9 (IRC1_IRQSIS9)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS288~IRQSIS319)	0xA200_DB20~0xA200_DB3F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 10 (IRC1_IRQSIS10)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS320~IRQSIS351)	0xA200_DB40~0xA200_DB5F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 11 (IRC1_IRQSIS11)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS352~IRQSIS383)	0xA200_DB60~0xA200_DB7F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 12 (IRC1_IRQSIS12)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS384~IRQSIS415)	0xA200_DB80~0xA200_DB9F	○	○
IRQ ソフトウェア割込みステータスレジ スタ 13 (IRC1_IRQSIS13)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS416~IRQSIS447)	0xA200_DBA0~0xA200_DBBF	○	○
IRQ ソフトウェア割込みステータスレジ スタ 14 (IRC1_IRQSIS14)	IRQ ソフトウェア割込みステータスビッ ト (IRQSIS448~IRQSIS479)	0xA200_DBC0~0xA200_DBDF	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
IRQ ソフトウェア割込みステータスレジスタ 15(IRC1_IRQSIS15)	IRQ ソフトウェア割込みステータスビット(IRQSIS480～IRQSIS511)	0xA200_DBE0～0xA200_DBFF	○	○
IRQ チャネル許可レジスタ 0 (IRC1_IRQCE0)	IRQ チャネル許可ビット (IRQCE0～IRQCE31)	0xA200_E000～0xA200_E01F	○	○
IRQ チャネル許可レジスタ 1 (IRC1_IRQCE1)	IRQ チャネル許可ビット (IRQCE32～IRQCE63)	0xA200_E020～0xA200_E03F	○	○
IRQ チャネル許可レジスタ 2 (IRC1_IRQCE2)	IRQ チャネル許可ビット (IRQCE64～IRQCE95)	0xA200_E040～0xA200_E05F	○	○
IRQ チャネル許可レジスタ 3 (IRC1_IRQCE3)	IRQ チャネル許可ビット (IRQCE96～IRQCE127)	0xA200_E060～0xA200_E07F	○	○
IRQ チャネル許可レジスタ 4 (IRC1_IRQCE4)	IRQ チャネル許可ビット (IRQCE128～IRQCE159)	0xA200_E080～0xA200_E09F	○	○
IRQ チャネル許可レジスタ 5 (IRC1_IRQCE5)	IRQ チャネル許可ビット (IRQCE160～IRQCE191)	0xA200_E0A0～0xA200_E0BF	○	○
IRQ チャネル許可レジスタ 6 (IRC1_IRQCE6)	IRQ チャネル許可ビット (IRQCE192～IRQCE223)	0xA200_E0C0～0xA200_E0DF	○	○
IRQ チャネル許可レジスタ 7 (IRC1_IRQCE7)	IRQ チャネル許可ビット (IRQCE224～IRQCE255)	0xA200_E0E0～0xA200_E0FF	○	○
IRQ チャネル許可レジスタ 8 (IRC1_IRQCE8)	IRQ チャネル許可ビット (IRQCE256～IRQCE287)	0xA200_E100～0xA200_E11F	○	○
IRQ チャネル許可レジスタ 9 (IRC1_IRQCE9)	IRQ チャネル許可ビット (IRQCE288～IRQCE319)	0xA200_E120～0xA200_E13F	○	○
IRQ チャネル許可レジスタ 10 (IRC1_IRQCE10)	IRQ チャネル許可ビット (IRQCE320～IRQCE351)	0xA200_E140～0xA200_E15F	○	○
IRQ チャネル許可レジスタ 11 (IRC1_IRQCE11)	IRQ チャネル許可ビット (IRQCE352～IRQCE383)	0xA200_E160～0xA200_E17F	○	○
IRQ チャネル許可レジスタ 12 (IRC1_IRQCE12)	IRQ チャネル許可ビット (IRQCE384～IRQCE415)	0xA200_E180～0xA200_E19F	○	○
IRQ チャネル許可レジスタ 13 (IRC1_IRQCE13)	IRQ チャネル許可ビット (IRQCE416～IRQCE447)	0xA200_E1A0～0xA200_E1BF	○	○
IRQ チャネル許可レジスタ 14 (IRC1_IRQCE14)	IRQ チャネル許可ビット (IRQCE448～IRQCE479)	0xA200_E1C0～0xA200_E1DF	○	○
IRQ チャネル許可レジスタ 15 (IRC1_IRQCE15)	IRQ チャネル許可ビット (IRQCE480～IRQCE511)	0xA200_E1E0～0xA200_E1FF	○	○



6) コア間通信

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
メールボックス 0 リクエスト送信先 ステータスレジスタ (IPCU_MB0DSTR)	CPU0 リクエスト送信先ステータスビット (DSTST0)	0xA20A_88C0	○	○
	CPU1 リクエスト送信先ステータスビット (DSTST1)	0xA20A_88C1	○	○
	予約	0xA20A_88C2~0xA20A_88CF	-	-
メールボックス 0 リクエスト送信マスク ステータスレジスタ (IPCU_MB0MSTR)	CPU0 リクエスト送信マスクステータスビット (MSKST0)	0xA20A_8940	○	○
	CPU1 リクエスト送信マスクステータスビット (MSKST1)	0xA20A_8941	○	○
	予約	0xA20A_8942~0xA20A_894F	-	-
メールボックス 0 アクノリッジ ステータスレジスタ (IPCU_MB0ASTR)	CPU0 アクノリッジステータスビット (ACKST0)	0xA20A_89C0	○	○
	CPU1 アクノリッジステータスビット (ACKST1)	0xA20A_89C1	○	○
	予約	0xA20A_89C2~0xA20A_89CF	-	-
メールボックス 1 リクエスト送信先 ステータスレジスタ (IPCU_MB1DSTR)	CPU0 リクエスト送信先ステータスビット (DSTST0)	0xA20A_8CC0	○	○
	CPU1 リクエスト送信先ステータスビット (DSTST1)	0xA20A_8CC1	○	○
	予約	0xA20A_8CC2~0xA20A_8CCF	-	-
メールボックス 1 リクエスト送信マスク ステータスレジスタ (IPCU_MB1MSTR)	CPU0 リクエスト送信マスクステータスビット (MSKST0)	0xA20A_8D40	○	○
	CPU1 リクエスト送信マスクステータスビット (MSKST1)	0xA20A_8D41	○	○
	予約	0xA20A_8D42~0xA20A_8D4F	-	-
メールボックス 1 アクノリッジ ステータスレジスタ (IPCU_MB1ASTR)	CPU0 アクノリッジステータスビット (ACKST0)	0xA20A_8DC0	○	○
	CPU1 アクノリッジステータスビット (ACKST1)	0xA20A_8DC1	○	○
	予約	0xA20A_8DC2~0xA20A_8DCF	-	-
メールボックス 2 リクエスト送信先 ステータスレジスタ (IPCU_MB2DSTR)	CPU0 リクエスト送信先ステータスビット (DSTST0)	0xA20A_90C0	○	○
	CPU1 リクエスト送信先ステータスビット (DSTST1)	0xA20A_90C1	○	○
	予約	0xA20A_90C2~0xA20A_90CF	-	-
メールボックス 2 リクエスト送信マスク ステータスレジスタ (IPCU_MB2MSTR)	CPU0 リクエスト送信マスクステータスビット (MSKST0)	0xA20A_9140	○	○
	CPU1 リクエスト送信マスクステータスビット (MSKST1)	0xA20A_9141	○	○
	予約	0xA20A_9142~0xA20A_914F	-	-
メールボックス 2 アクノリッジ ステータスレジスタ (IPCU_MB2ASTR)	CPU0 アクノリッジステータスビット (ACKST0)	0xA20A_91C0	○	○
	CPU1 アクノリッジステータスビット (ACKST1)	0xA20A_91C1	○	○
	予約	0xA20A_91C2~0xA20A_91CF	-	-

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
メールボックス 3 リクエスト送信先 ステータスレジスタ (IPCU_MB3DSTR)	CPU0 リクエスト送信先ステータスビット (DSTST0)	0xA20A_94C0	○	○
	CPU1 リクエスト送信先ステータスビット (DSTST1)	0xA20A_94C1	○	○
	予約	0xA20A_94C2~0xA20A_94CF	-	-
メールボックス 3 リクエスト送信マスク ステータスレジスタ (IPCU_MB3MSTR)	CPU0 リクエスト送信マスクステータス ビット(MSKST0)	0xA20A_9540	○	○
	CPU1 リクエスト送信マスクステータス ビット(MSKST1)	0xA20A_9541	○	○
	予約	0xA20A_9542~0xA20A_954F	-	-
メールボックス 3 アクノリッジ ステータスレジスタ (IPCU_MB3ASTR)	CPU0 アクノリッジステータスビット (ACKST0)	0xA20A_95C0	○	○
	CPU1 アクノリッジステータスビット (ACKST1)	0xA20A_95C1	○	○
	予約	0xA20A_95C2~0xA20A_95CF	-	-
メールボックス 4 リクエスト送信先 ステータスレジスタ (IPCU_MB4DSTR)	CPU0 リクエスト送信先ステータスビット (DSTST0)	0xA20A_98C0	○	○
	CPU1 リクエスト送信先ステータスビット (DSTST1)	0xA20A_98C1	○	○
	予約	0xA20A_98C2~0xA20A_98CF	-	-
メールボックス 4 リクエスト送信マスク ステータスレジスタ (IPCU_MB4MSTR)	CPU0 リクエスト送信マスクステータス ビット(MSKST0)	0xA20A_9940	○	○
	CPU1 リクエスト送信マスクステータス ビット(MSKST1)	0xA20A_9941	○	○
	予約	0xA20A_9942~0xA20A_994F	-	-
メールボックス 4 アクノリッジ ステータスレジスタ (IPCU_MB4ASTR)	CPU0 アクノリッジステータスビット (ACKST0)	0xA20A_99C0	○	○
	CPU1 アクノリッジステータスビット (ACKST1)	0xA20A_99C1	○	○
	予約	0xA20A_99C2~0xA20A_99CF	-	-
メールボックス 5 リクエスト送信先 ステータスレジスタ (IPCU_MB5DSTR)	CPU0 リクエスト送信先ステータスビット (DSTST0)	0xA20A_9CC0	○	○
	CPU1 リクエスト送信先ステータスビット (DSTST1)	0xA20A_9CC1	○	○
	予約	0xA20A_9CC2~0xA20A_9CCF	-	-
メールボックス 5 リクエスト送信マスク ステータスレジスタ (IPCU_MB5MSTR)	CPU0 リクエスト送信マスクステータス ビット(MSKST0)	0xA20A_9D40	○	○
	CPU1 リクエスト送信マスクステータス ビット(MSKST1)	0xA20A_9D41	○	○
	予約	0xA20A_9D42~0xA20A_9D4F	-	-
メールボックス 5 アクノリッジ ステータスレジスタ (IPCU_MB5ASTR)	CPU0 アクノリッジステータスビット (ACKST0)	0xA20A_9DC0	○	○
	CPU1 アクノリッジステータスビット (ACKST1)	0xA20A_9DC1	○	○
	予約	0xA20A_9DC2~0xA20A_9DCF	-	-



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
メールボックス 6 リクエスト送信先 ステータスレジスタ (IPCU_MB6DSTR)	CPU0 リクエスト送信先ステータスビット (DSTST0)	0xA20A_A0C0	○	○
	CPU1 リクエスト送信先ステータスビット (DSTST1)	0xA20A_A0C1	○	○
	予約	0xA20A_A0C2～0xA20A_A0CF	-	-
メールボックス 6 リクエスト送信マスク ステータスレジスタ (IPCU_MB6MSTR)	CPU0 リクエスト送信マスクステータス ビット(MSKST0)	0xA20A_A140	○	○
	CPU1 リクエスト送信マスクステータス ビット(MSKST1)	0xA20A_A141	○	○
	予約	0xA20A_A142～0xA20A_A14F	-	-
メールボックス 6 アクノリッジ ステータスレジスタ (IPCU_MB6ASTR)	CPU0 アクノリッジステータスビット (ACKST0)	0xA20A_A1C0	○	○
	CPU1 アクノリッジステータスビット (ACKST1)	0xA20A_A1C1	○	○
	予約	0xA20A_A1C2～0xA20A_A1CF	-	-
メールボックス 7 リクエスト送信先 ステータスレジスタ (IPCU_MB7DSTR)	CPU0 リクエスト送信先ステータスビット (DSTST0)	0xA20A_A4C0	○	○
	CPU1 リクエスト送信先ステータスビット (DSTST1)	0xA20A_A4C1	○	○
	予約	0xA20A_A4C2～0xA20A_A4CF	-	-
メールボックス 7 リクエスト送信マスク ステータスレジスタ (IPCU_MB7MSTR)	CPU0 リクエスト送信マスクステータス ビット(MSKST0)	0xA20A_A540	○	○
	CPU1 リクエスト送信マスクステータス ビット(MSKST1)	0xA20A_A541	○	○
	予約	0xA20A_A542～0xA20A_A54F	-	-
メールボックス 7 アクノリッジ ステータスレジスタ (IPCU_MB7ASTR)	CPU0 アクノリッジステータスビット (ACKST0)	0xA20A_A5C0	○	○
	CPU1 アクノリッジステータスビット (ACKST1)	0xA20A_A5C1	○	○
	予約	0xA20A_A5C2～0xA20A_A5CF	-	-

＜注意事項＞

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。

7) TCFLASH

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
TCFLASH0 ステータスレジスタ 0 (TCFCFG0_FSTAT0)	書込み・消去レディ割込み(RDYINT)	0xA208_81C8	-	○
	ハングアップ割込み(HANGINT)	0xA208_81C9	-	○
TCFLASH0 ステータスレジスタ 1 (TCFCFG0_FSTAT1)	書込み・消去レディ割込み(RDYINT)	0xA208_81E8	-	○
	ハングアップ割込み(HANGINT)	0xA208_81E9	-	○
TCFLASH1 ステータスレジスタ 0 (TCFCFG1_FSTAT0)	書込み・消去レディ割込み(RDYINT)	0xA208_A1C8	-	○
	ハングアップ割込み(HANGINT)	0xA208_A1C9	-	○
TCFLASH1 ステータスレジスタ 1 (TCFCFG1_FSTAT1)	書込み・消去レディ割込み(RDYINT)	0xA208_A1E8	-	○
	ハングアップ割込み(HANGINT)	0xA208_A1E9	-	○

8) WorkFLASH

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
WorkFLASH00 パスエラー応答要因 レジスタ(WFCFG00_BERR)	訂正不能誤り検出(DED)	0xA209_0300	-	○
	書込み禁止違反(CRWE)	0xA209_0301	-	○
	アクセスサイズ違反(SIZE)	0xA209_0302	-	○
	予約領域アクセス(RESA)	0xA209_0305	-	○
	非特権書込み(UNACC)	0xA209_0306	-	○
	保護シーケンス違反(ECRWL)	0xA209_0307	-	○
	コマンドオーバーラン(ACCIGN)	0xA209_0308	-	○
	ミラー領域 2 に対する書込み(WTTM)	0xA209_0309	-	○
WorkFLASH01 パスエラー応答要因 レジスタ(WFCFG01_BERR)	訂正不能誤り検出(DED)	0xA209_2300	-	○
	書込み禁止違反(CRWE)	0xA209_2301	-	○
	アクセスサイズ違反(SIZE)	0xA209_2302	-	○
	予約領域アクセス(RESA)	0xA209_2305	-	○
	非特権書込み(UNACC)	0xA209_2306	-	○
	保護シーケンス違反(ECRWL)	0xA209_2307	-	○
	コマンドオーバーラン(ACCIGN)	0xA209_2308	-	○
	ミラー領域 2 に対する書込み(WTTM)	0xA209_2309	-	○

9) CR キャリブレーション

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
補正ユニット制御レジスタ(CU_CUCR1)	CLK 比較完了割込みフラグ(INT)	0xA398_0001	-	○



10) GPIO

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
ポート出力データ レジスタ(GPIO_PODR0)	ポート出力データビット(POD[0]~ POD[31])	0xA39C_1000~0xA39C_101F	○	○
データ方向レジスタ(GPIO_DDR0)	データ方向ビット(DD[0]~DD[31])	0xA39C_1020~0xA39C_103F	○	○
ポート出力データ レジスタ(GPIO_PODR1)	ポート出力データビット(POD[0]~ POD[29])	0xA39C_1040~0xA39C_105D	○	○
予約	-	0xA39C_105E	-	-
ポート出力データ レジスタ(GPIO_PODR1)	ポート出力データビット(POD[31])	0xA39C_105F	○	○
データ方向レジスタ(GPIO_DDR1)	データ方向ビット(DD[0]~DD[29])	0xA39C_1060~0xA39C_107D	○	○
予約	-	0xA39C_107E	-	-
データ方向レジスタ(GPIO_DDR1)	データ方向ビット(DD[31])	0xA39C_107F	○	○
ポート出力データ レジスタ(GPIO_PODR2)	ポート出力データビット(POD[0]~ POD[31])	0xA39C_1080~0xA39C_109F	○	○
データ方向レジスタ(GPIO_DDR2)	データ方向ビット(DD[0]~DD[31])	0xA39C_10A0~0xA39C_10BF	○	○
ポート出力データ レジスタ(GPIO_PODR3)	ポート出力データビット(POD[0]~ POD[6])	0xA39C_10C0~0xA39C_10C6	○	○
予約	-	0xA39C_10C7, 0xA39C_10C8	-	-
ポート出力データ レジスタ(GPIO_PODR3)	ポート出力データビット(POD[9]~ POD[30])	0xA39C_10C9~0xA39C_10DE	○	○
予約	-	0xA39C_10DF	-	-
データ方向レジスタ(GPIO_DDR3)	データ方向ビット(DD[0]~DD[6])	0xA39C_10E0~0xA39C_10E6	○	○
予約	-	0xA39C_10E7, 0xA39C_10E8	-	-
データ方向レジスタ(GPIO_DDR3)	データ方向ビット(DD[9]~DD[30])	0xA39C_10E9~0xA39C_10FE	○	○
予約	-	0xA39C_10FF	-	-
予約	-	0xA39C_1100~0xA39C_1105	-	-
ポート出力データ レジスタ(GPIO_PODR4)	ポート出力データビット(POD[6]~ POD[23])	0xA39C_1106~0xA39C_1117	○	○
予約	-	0xA39C_1118	-	-
ポート出力データ レジスタ(GPIO_PODR4)	ポート出力データビット(POD[25]~ POD[31])	0xA39C_1119~0xA39C_111F	○	○
予約	-	0xA39C_1120~0xA39C_1125	-	-
データ方向レジスタ(GPIO_DDR4)	データ方向ビット(DD[6]~DD[23])	0xA39C_1126~0xA39C_1137	○	○
予約	-	0xA39C_1138	-	-
データ方向レジスタ(GPIO_DDR4)	データ方向ビット(DD[25]~DD[31])	0xA39C_1139~0xA39C_113F	○	○
予約	-	0xA39C_1140~0xA39C_13FF	-	-

<注意事項>

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。

11) マルチファンクションシリアルインタフェース(UART)

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
予約	-	0xA400_0000	-	-
	-	0xA400_0002~0xA400_0004	-	-
	-	0xA400_0008~0xA400_000F	-	-
	-	0xA400_0011, 0xA400_0012	-	-
	-	0xA400_0014	-	-
	-	0xA400_0016	-	-
	-	0xA400_001C~0xA400_001F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS00_SACSR0)	シリアルタイム許可ビット(TMRE)	0xA400_0040	○	○
予約	-	0xA400_0045	-	-
シリアル補助制御ステータスレジスタ 0 (MFS00_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_0046	○	○
	タイム割込み許可ビット(TINTE)	0xA400_0047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS00_SACSR1)	タイム割込みフラグビット(TINT)	0xA400_0048	-	○
予約	-	0xA400_004B~0xA400_004D	-	-
シリアル補助制御ステータスレジスタ 1 (MFS00_SACSR1)	シリアルテストビット(STST)	0xA400_004F	○	○
予約	-	0xA400_0090~0xA400_0093	-	-
	-	0xA400_0098	-	-
	-	0xA400_009A	-	-
	-	0xA400_00C8	-	-
	-	0xA400_00CA~0xA400_00CE	-	-
	-	0xA400_00DB~0xA400_00DE	-	-
FIFO 制御レジスタ 0 (MFS00_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_0100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_0101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_0102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_0103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_0104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_0105	○	-
FIFO 制御レジスタ 1 (MFS00_FCR1)	FIFO 選択ビット(FSEL)	0xA400_0108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_0109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_010A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_010B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_010C	○	○
予約	-	0xA400_2000	-	-
	-	0xA400_2002~0xA400_2004	-	-
	-	0xA400_2008~0xA400_200F	-	-
	-	0xA400_2011, 0xA400_2012	-	-
	-	0xA400_2014	-	-
	-	0xA400_2016	-	-
	-	0xA400_201C~0xA400_201F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS01_SACSR0)	シリアルタイム許可ビット(TMRE)	0xA400_2040	○	○
予約	-	0xA400_2045	-	-



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
シリアル補助制御ステータスレジスタ 0 (MFS01_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_2046	○	○
	タイマ割込み許可ビット(TINTE)	0xA400_2047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS01_SACSR1)	タイマ割込みフラグビット(TINT)	0xA400_2048	-	○
予約	-	0xA400_204B~0xA400_204D	-	-
シリアル補助制御ステータスレジスタ 1 (MFS01_SACSR1)	シリアルテストビット(STST)	0xA400_204F	○	○
予約	-	0xA400_2090~0xA400_2093	-	-
	-	0xA400_2098	-	-
	-	0xA400_209A	-	-
	-	0xA400_20C8	-	-
	-	0xA400_20CA~0xA400_20CE	-	-
	-	0xA400_20DB~0xA400_20DE	-	-
FIFO 制御レジスタ 0(MFS01_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_2100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_2101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_2102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_2103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_2104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_2105	○	-
FIFO 制御レジスタ 1(MFS01_FCR1)	FIFO 選択ビット(FSEL)	0xA400_2108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_2109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_210A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_210B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_210C	○	○
予約	-	0xA400_4000	-	-
	-	0xA400_4002~0xA400_4004	-	-
	-	0xA400_4008~0xA400_400F	-	-
	-	0xA400_4011, 0xA400_4012	-	-
	-	0xA400_4014	-	-
	-	0xA400_4016	-	-
	-	0xA400_401C~0xA400_401F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS02_SACSR0)	シリアルタイマ許可ビット(TMRE)	0xA400_4040	○	○
予約	-	0xA400_4045	-	-
シリアル補助制御ステータスレジスタ 0 (MFS02_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_4046	○	○
	タイマ割込み許可ビット(TINTE)	0xA400_4047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS02_SACSR1)	タイマ割込みフラグビット(TINT)	0xA400_4048	-	○
予約	-	0xA400_404B~0xA400_404D	-	-
シリアル補助制御ステータスレジスタ 1 (MFS02_SACSR1)	シリアルテストビット(STST)	0xA400_404F	○	○
予約	-	0xA400_4090~0xA400_4093	-	-
	-	0xA400_4098	-	-
	-	0xA400_409A	-	-
	-	0xA400_40C8	-	-
	-	0xA400_40CA~0xA400_40CE	-	-
	-	0xA400_40DB~0xA400_40DE	-	-

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
FIFO 制御レジスタ 0 (MFS02_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_4100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_4101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_4102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_4103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_4104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_4105	○	-
FIFO 制御レジスタ 1 (MFS02_FCR1)	FIFO 選択ビット(FSEL)	0xA400_4108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_4109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_410A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_410B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_410C	○	○
予約	-	0xA400_6000	-	-
	-	0xA400_6002~0xA400_6004	-	-
	-	0xA400_6008~0xA400_600F	-	-
	-	0xA400_6011, 0xA400_6012	-	-
	-	0xA400_6014	-	-
	-	0xA400_6016	-	-
	-	0xA400_601C~0xA400_601F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS03_SACSR0)	シリアルタイマ許可ビット(TMRE)	0xA400_6040	○	○
予約	-	0xA400_6045	-	-
シリアル補助制御ステータスレジスタ 0 (MFS03_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_6046	○	○
	タイマ割込み許可ビット(TINTE)	0xA400_6047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS03_SACSR1)	タイマ割込みフラグビット(TINT)	0xA400_6048	-	○
予約	-	0xA400_604B~0xA400_604D	-	-
シリアル補助制御ステータスレジスタ 1 (MFS03_SACSR1)	シリアルテストビット(STST)	0xA400_604F	○	○
予約	-	0xA400_6090~0xA400_6093	-	-
	-	0xA400_6098	-	-
	-	0xA400_609A	-	-
	-	0xA400_60C8	-	-
	-	0xA400_60CA~0xA400_60CE	-	-
	-	0xA400_60DB~0xA400_60DE	-	-
FIFO 制御レジスタ 0 (MFS03_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_6100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_6101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_6102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_6103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_6104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_6105	○	-
FIFO 制御レジスタ 1 (MFS03_FCR1)	FIFO 選択ビット(FSEL)	0xA400_6108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_6109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_610A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_610B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_610C	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
予約	-	0xA400_8000	-	-
	-	0xA400_8002~0xA400_8004	-	-
	-	0xA400_8008~0xA400_800F	-	-
	-	0xA400_8011, 0xA400_8012	-	-
	-	0xA400_8014	-	-
	-	0xA400_8016	-	-
	-	0xA400_801C~0xA400_801F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS04_SACSR0)	シリアルタイム許可ビット(TMRE)	0xA400_8040	○	○
予約	-	0xA400_8045	-	-
シリアル補助制御ステータスレジスタ 0 (MFS04_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_8046	○	○
	タイム割込み許可ビット(TINTE)	0xA400_8047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS04_SACSR1)	タイム割込みフラグビット(TINT)	0xA400_8048	-	○
予約	-	0xA400_804B~0xA400_804D	-	-
シリアル補助制御ステータスレジスタ 1 (MFS04_SACSR1)	シリアルテストビット(STST)	0xA400_804F	○	○
予約	-	0xA400_8090~0xA400_8093	-	-
	-	0xA400_8098	-	-
	-	0xA400_809A	-	-
	-	0xA400_80C8	-	-
	-	0xA400_80CA~0xA400_80CE	-	-
	-	0xA400_80DB~0xA400_80DE	-	-
FIFO 制御レジスタ 0 (MFS04_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_8100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_8101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_8102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_8103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_8104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_8105	○	-
FIFO 制御レジスタ 1 (MFS04_FCR1)	FIFO 選択ビット(FSEL)	0xA400_8108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_8109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_810A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_810B	○	○
	再送データロスト検出許可ビット(FLSTE)	0xA400_810C	○	○

＜注意事項＞

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。

12) マルチファンクションシリアルインタフェース(CSIO)

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
予約	-	0xA400_0000	-	-
	-	0xA400_0002~0xA400_0004	-	-
	-	0xA400_0008~0xA400_000F	-	-
	-	0xA400_0011, 0xA400_0012	-	-
	-	0xA400_0014	-	-
	-	0xA400_0016	-	-
	-	0xA400_001C~0xA400_001F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS00_SACSR0)	シリアルタイム許可ビット(TMRE)	0xA400_0040	○	○
予約	-	0xA400_0045	-	-
シリアル補助制御ステータスレジスタ 0 (MFS00_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_0046	○	○
	タイム割込み許可ビット(TINTE)	0xA400_0047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS00_SACSR1)	タイム割込みフラグビット(TINT)	0xA400_0048	-	○
	チップセレクトエラーフラグビット(CSE)	0xA400_004B	-	○
	チップセレクトエラー割込み許可ビット (CSEIE)	0xA400_004C	○	○
	転送バイトエラー許可ビット(TBEEN)	0xA400_004D	○	○
	シリアルテストビット(STST)	0xA400_004F	○	○
	-	-	-	-
予約	-	0xA400_0090~0xA400_0093	-	-
	-	0xA400_0098	-	-
	-	0xA400_009A	-	-
	-	0xA400_00C8	-	-
	-	0xA400_00CA~0xA400_00CE	-	-
	-	0xA400_00DB~0xA400_00DE	-	-
	-	-	-	-
FIFO 制御レジスタ 0 (MFS00_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_0100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_0101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_0102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_0103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_0104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_0105	○	-
FIFO 制御レジスタ 1 (MFS00_FCR1)	FIFO 選択ビット(FSEL)	0xA400_0108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_0109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_010A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_010B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_010C	○	○
予約	-	0xA400_2000	-	-
	-	0xA400_2002~0xA400_2004	-	-
	-	0xA400_2008~0xA400_200F	-	-
	-	0xA400_2011, 0xA400_2012	-	-
	-	0xA400_2014	-	-
	-	0xA400_2016	-	-
	-	0xA400_201C~0xA400_201F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS01_SACSR0)	シリアルタイム許可ビット(TMRE)	0xA400_2040	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
予約	-	0xA400_2045	-	-
シリアル補助制御ステータスレジスタ 0 (MFS01_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_2046	○	○
	タイマ割込み許可ビット(TINTE)	0xA400_2047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS01_SACSR1)	タイマ割込みフラグビット(TINT)	0xA400_2048	-	○
	チップセレクトエラーフラグビット(CSE)	0xA400_204B	-	○
	チップセレクトエラー割込み許可ビット (CSEIE)	0xA400_204C	○	○
	転送バイトエラー許可ビット(TBEEN)	0xA400_204D	○	○
	シリアルテストビット(STST)	0xA400_204F	○	○
予約	-	0xA400_2090~0xA400_2093	-	-
	-	0xA400_2098	-	-
	-	0xA400_209A	-	-
	-	0xA400_20C8	-	-
	-	0xA400_20CA~0xA400_20CE	-	-
	-	0xA400_20DB~0xA400_20DE	-	-
FIFO 制御レジスタ 0 (MFS01_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_2100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_2101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_2102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_2103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_2104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_2105	○	-
FIFO 制御レジスタ 1 (MFS01_FCR1)	FIFO 選択ビット(FSEL)	0xA400_2108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_2109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_210A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_210B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_210C	○	○
予約	-	0xA400_4000	-	-
	-	0xA400_4002~0xA400_4004	-	-
	-	0xA400_4008~0xA400_400F	-	-
	-	0xA400_4011, 0xA400_4012	-	-
	-	0xA400_4014	-	-
	-	0xA400_4016	-	-
	-	0xA400_401C~0xA400_401F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS02_SACSR0)	シリアルタイマ許可ビット(TMRE)	0xA400_4040	○	○
予約	-	0xA400_4045	-	-
シリアル補助制御ステータスレジスタ 0 (MFS02_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_4046	○	○
	タイマ割込み許可ビット(TINTE)	0xA400_4047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS02_SACSR1)	タイマ割込みフラグビット(TINT)	0xA400_4048	-	○
	チップセレクトエラーフラグビット(CSE)	0xA400_404B	-	○
	チップセレクトエラー割込み許可ビット (CSEIE)	0xA400_404C	○	○
	転送バイトエラー許可ビット(TBEEN)	0xA400_404D	○	○
	シリアルテストビット(STST)	0xA400_404F	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
予約	-	0xA400_4090~0xA400_4093	-	-
	-	0xA400_4098	-	-
	-	0xA400_409A	-	-
	-	0xA400_40C8	-	-
	-	0xA400_40CA~0xA400_40CE	-	-
	-	0xA400_40DB~0xA400_40DE	-	-
FIFO 制御レジスタ 0 (MFS02_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_4100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_4101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_4102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_4103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_4104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_4105	○	-
FIFO 制御レジスタ 1 (MFS02_FCR1)	FIFO 選択ビット(FSEL)	0xA400_4108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_4109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_410A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_410B	○	○
	再送データロスト検出許可ビット (FLSTE)	0xA400_410C	○	○
予約	-	0xA400_6000	-	-
	-	0xA400_6002~0xA400_6004	-	-
	-	0xA400_6008~0xA400_600F	-	-
	-	0xA400_6011, 0xA400_6012	-	-
	-	0xA400_6014	-	-
	-	0xA400_6016	-	-
	-	0xA400_601C~0xA400_601F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS03_SACSR0)	シリアルタイマ許可ビット(TMRE)	0xA400_6040	○	○
予約	-	0xA400_6045	-	-
シリアル補助制御ステータスレジスタ 0 (MFS03_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_6046	○	○
	タイマ割込み許可ビット(TINTE)	0xA400_6047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS03_SACSR1)	タイマ割込みフラグビット(TINT)	0xA400_6048	-	○
	チップセレクトエラーフラグビット(CSE)	0xA400_604B	-	○
	チップセレクトエラー割込み許可ビット (CSEIE)	0xA400_604C	○	○
	転送バイトエラー許可ビット(TBEEN)	0xA400_604D	○	○
	シリアルテストビット(STST)	0xA400_604F	○	○
予約	-	0xA400_6090~0xA400_6093	-	-
	-	0xA400_6098	-	-
	-	0xA400_609A	-	-
	-	0xA400_60C8	-	-
	-	0xA400_60CA~0xA400_60CE	-	-
	-	0xA400_60DB~0xA400_60DE	-	-
FIFO 制御レジスタ 0 (MFS03_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_6100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_6101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_6102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_6103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_6104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_6105	○	-



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
FIFO 制御レジスタ 1 (MFS03_FCR1)	FIFO 選択ビット(FSEL)	0xA400_6108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_6109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_610A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_610B	○	○
	再送データロス検出許可ビット (FLSTE)	0xA400_610C	○	○
予約	-	0xA400_8000	-	-
	-	0xA400_8002~0xA400_8004	-	-
	-	0xA400_8008~0xA400_800F	-	-
	-	0xA400_8011, 0xA400_8012	-	-
	-	0xA400_8014	-	-
	-	0xA400_8016	-	-
	-	0xA400_801C~0xA400_801F	-	-
シリアル補助制御ステータスレジスタ 0 (MFS04_SACSR0)	シリアルタイム許可ビット(TMRE)	0xA400_8040	○	○
予約	-	0xA400_8045	-	-
シリアル補助制御ステータスレジスタ 0 (MFS04_SACSR0)	同期送信許可ビット(TSYNE)	0xA400_8046	○	○
	タイム割込み許可ビット(TINTE)	0xA400_8047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS04_SACSR1)	タイム割込みフラグビット(TINT)	0xA400_8048	-	○
	チップセレクトエラーフラグビット(CSE)	0xA400_804B	-	○
	チップセレクトエラー割込み許可ビット (CSEIE)	0xA400_804C	○	○
	転送バイトエラー許可ビット(TBEEN)	0xA400_804D	○	○
	シリアルテストビット(STST)	0xA400_804F	○	○
予約	-	0xA400_8090~0xA400_8093	-	-
	-	0xA400_8098	-	-
	-	0xA400_809A	-	-
	-	0xA400_80C8	-	-
	-	0xA400_80CA~0xA400_80CE	-	-
	-	0xA400_80DB~0xA400_80DE	-	-
FIFO 制御レジスタ 0 (MFS04_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_8100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_8101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_8102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_8103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_8104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_8105	○	-
FIFO 制御レジスタ 1 (MFS04_FCR1)	FIFO 選択ビット(FSEL)	0xA400_8108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_8109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_810A	-	○
	受信 FIFO アイドル検出許可ビット (FRIIE)	0xA400_810B	○	○
	再送データロス検出許可ビット (FLSTE)	0xA400_810C	○	○

＜注意事項＞

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。

13) マルチファンクションシリアルインタフェース(LIN インタフェース)

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
シリアルモードレジスタ(MFS00_SMR)	シリアルデータ出力許可ビット(SOE)	0xA400_0000	○	○
予約	-	0xA400_0002	-	-
シリアルモードレジスタ(MFS00_SMR)	ストップビット長選択ビット(SBL)	0xA400_0003	○	○
	予約	0xA400_0004	-	-
シリアル制御レジスタ(MFS00_SCR)	送信動作許可ビット(TXE)	0xA400_0008	○	○
	受信動作許可ビット(RXE)	0xA400_0009	○	○
	送信バスアイドル割込み許可ビット (TBIE)	0xA400_000A	○	○
	送信割込み許可ビット(TIE)	0xA400_000B	○	○
	受信割込み許可ビット(RIE)	0xA400_000C	○	○
	LIN Break Field 設定ビット(LBR)	0xA400_000D	○	-
	マスタ/スレーブ機能選択ビット(MS)	0xA400_000E	○	○
	プログラマブルクリアビット(UPCL)	0xA400_000F	○	-
予約	-	0xA400_0011, 0xA400_0012	-	-
拡張通信制御レジスタ (MFS00_ESCR)	LIN Break Field 検出割込み許可ビット (LBIE)	0xA400_0014	○	○
	拡張ストップビット長選択ビット(ESBL)	0xA400_0016	○	○
予約	-	0xA400_001C	-	-
シリアルステータスレジスタ (MFS00_SSR)	LIN Break Field 検出フラグビット(LBD)	0xA400_001D	-	○
予約	-	0xA400_001E	-	-
シリアルステータスレジスタ (MFS00_SSR)	受信エラーフラグクリアビット(REC)	0xA400_001F	○	-
シリアル補助制御ステータスレジスタ 0 (MFS00_SACSR0)	シリアルタイマ許可ビット(TMRE)	0xA400_0040	○	○
予約	-	0xA400_0045, 0xA400_0046	-	-
シリアル補助制御ステータスレジスタ 0 (MFS00_SACSR0)	タイマ割込み許可ビット(TINTE)	0xA400_0047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS00_SACSR1)	タイマ割込みフラグビット(TINT)	0xA400_0048	-	○
	自動ボーレート調整ビット(AUTE)	0xA400_004B	○	○
	シンクフィールド検出割込み許可ビット (SFDE)	0xA400_004C	○	○
	シンクフィールド検出フラグビット(SFD)	0xA400_004D	-	○
	シリアルテストビット(STST)	0xA400_004F	○	○
LIN アシストモード制御レジスタ (MFS00_LAMCR)	LIN アシストモード処理許可ビット (LAMEN)	0xA400_0090	○	○
	LIN ID レジスタ使用許可ビット(LIDEN)	0xA400_0091	○	○
	LIN チェックサムタイプ選択ビット (LCSTYP)	0xA400_0092	○	○
	LIN 送信データレジスタクリアビット (LTDRCL)	0xA400_0093	○	-
LIN アシストモード ステータスレジスタ(MFS00_LAMSR)	LIN 自動ヘッダ完了フラグビット(LAHC)	0xA400_0098	-	○
	LIN チェックサム演算完了フラグビット (LCSC)	0xA400_009A	-	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
LIN アシストモード割込み許可レジスタ (MFS00_LAMIER)	LIN 自動ヘッダ完了割込み許可ビット (LAHCIE)	0xA400_00C8	○	○
	LIN チェックサム演算完了割込み許可 ビット(LCSCIE)	0xA400_00CA	○	○
	LIN バスエラー割込み許可ビット (LBSERIE)	0xA400_00CB	○	○
	LIN Sync Data エラー割込み許可ビット (LSFERIE)	0xA400_00CC	○	○
	LIN ID パリティエラー割込み許可ビット (LPTERIE)	0xA400_00CD	○	○
	LIN チェックサムエラー割込み許可ビッ ト(LCSERIE)	0xA400_00CE	○	○
LIN アシストモードエラーステータスレ ジスタ (MFS00_LAMESR)	LIN バスエラーフラグビット(LBSER)	0xA400_00DB	-	○
	LIN Sync Data エラーフラグビット (LSFER)	0xA400_00DC	-	○
	LIN ID パリティエラーフラグビット (LPTER)	0xA400_00DD	-	○
	LIN チェックサムエラーフラグビット (LCSER)	0xA400_00DE	-	○
FIFO 制御レジスタ 0 (MFS00_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_0100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_0101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_0102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_0103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_0104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_0105	○	-
FIFO 制御レジスタ 1 (MFS00_FCR1)	FIFO 選択ビット(FSEL)	0xA400_0108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_0109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_010A	-	○
	受信 FIFO アイドル検出許可ビット(FRIIE)	0xA400_010B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_010C	○	○
シリアルモードレジスタ(MFS01_SMR)	シリアルデータ出力許可ビット(SOE)	0xA400_2000	○	○
予約	-	0xA400_2002	-	-
シリアルモードレジスタ(MFS01_SMR)	ストップビット長選択ビット(SBL)	0xA400_2003	○	○
	予約	0xA400_2004	-	-
シリアル制御レジスタ(MFS01_SCR)	送信動作許可ビット(TXE)	0xA400_2008	○	○
	受信動作許可ビット(RXE)	0xA400_2009	○	○
	送信バスアイドル割込み許可ビット (TBIE)	0xA400_200A	○	○
	送信割込み許可ビット(TIE)	0xA400_200B	○	○
	受信割込み許可ビット(RIE)	0xA400_200C	○	○
	LIN Break Field 設定ビット(LBR)	0xA400_200D	○	-
	マスタ/スレーブ機能選択ビット(MS)	0xA400_200E	○	○
	プログラマブルクリアビット(UPCL)	0xA400_200F	○	-
予約	-	0xA400_2011, 0xA400_2012	-	-
拡張通信制御レジスタ (MFS01_ESCR)	LIN Break Field 検出割込み許可ビット (LBIE)	0xA400_2014	○	○
	拡張ストップビット長選択ビット(ESBL)	0xA400_2016	○	○
予約	-	0xA400_201C	-	-

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
シリアルステータスレジスタ (MFS01_SSR)	LIN Break Field 検出フラグビット(LBD)	0xA400_201D	-	○
予約	-	0xA400_201E	-	-
シリアルステータスレジスタ (MFS01_SSR)	受信エラーフラグクリアビット(REC)	0xA400_201F	○	-
シリアル補助制御ステータスレジスタ 0 (MFS01_SACSR0)	シリアルタイム許可ビット(TMRE)	0xA400_2040	○	○
予約	-	0xA400_2045, 0xA400_2046	-	-
シリアル補助制御ステータスレジスタ 0 (MFS01_SACSR0)	タイマ割込み許可ビット(TINTE)	0xA400_2047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS01_SACSR1)	タイマ割込みフラグビット(TINT)	0xA400_2048	-	○
	自動ポーレート調整ビット(AUTE)	0xA400_204B	○	○
	シンクフィールド検出割込み許可ビット (SFDE)	0xA400_204C	○	○
	シンクフィールド検出フラグビット(SFD)	0xA400_204D	-	○
	シリアルテストビット(STST)	0xA400_204F	○	○
LIN アシストモード制御レジスタ (MFS01_LAMCR)	LIN アシストモード処理許可ビット (LAMEN)	0xA400_2090	○	○
	LIN ID レジスタ使用許可ビット(LIDEN)	0xA400_2091	○	○
	LIN チェックサムタイプ選択ビット (LCSTYP)	0xA400_2092	○	○
	LIN 送信データレジスタクリアビット (LTDRCL)	0xA400_2093	○	-
LIN アシストモードステータスレジスタ (MFS01_LAMSR)	LIN 自動ヘッダ完了フラグビット(LAHC)	0xA400_2098	-	○
	LIN チェックサム演算完了フラグビット (LCSC)	0xA400_209A	-	○
LIN アシストモード割込み許可レジスタ (MFS01_LAMIER)	LIN 自動ヘッダ完了割込み許可ビット (LAHCIE)	0xA400_20C8	○	○
	LIN チェックサム演算完了割込み許可 ビット(LCSCIE)	0xA400_20CA	○	○
	LIN バスエラー割込み許可ビット (LBSERIE)	0xA400_20CB	○	○
	LIN Sync Data エラー割込み許可ビット (LSFERIE)	0xA400_20CC	○	○
	LIN ID パリティエラー割込み許可ビット (LPTERIE)	0xA400_20CD	○	○
	LIN チェックサムエラー割込み許可ビッ ト(LCSERIE)	0xA400_20CE	○	○
LIN アシストモードエラーステータスレ ジスタ (MFS01_LAMESR)	LIN バスエラーフラグビット(LBSER)	0xA400_20DB	-	○
	LIN Sync Data エラーフラグビット (LSFER)	0xA400_20DC	-	○
	LIN ID パリティエラーフラグビット (LPTER)	0xA400_20DD	-	○
	LIN チェックサムエラーフラグビット (LCSER)	0xA400_20DE	-	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
FIFO 制御レジスタ 0(MFS01_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_2100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_2101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_2102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_2103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_2104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_2105	○	-
FIFO 制御レジスタ 1(MFS01_FCR1)	FIFO 選択ビット(FSEL)	0xA400_2108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_2109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_210A	-	○
	受信 FIFO アイドル検出許可ビット(FRIIE)	0xA400_210B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_210C	○	○
シリアルモードレジスタ(MFS02_SMR)	シリアルデータ出力許可ビット(SOE)	0xA400_4000	○	○
予約	-	0xA400_4002	-	-
シリアルモードレジスタ(MFS02_SMR)	ストップビット長選択ビット(SBL)	0xA400_4003	○	○
	予約	0xA400_4004	-	-
シリアル制御レジスタ(MFS02_SCR)	送信動作許可ビット(TXE)	0xA400_4008	○	○
	受信動作許可ビット(RXE)	0xA400_4009	○	○
	送信バスアイドル割込み許可ビット (TBIE)	0xA400_400A	○	○
	送信割込み許可ビット(TIE)	0xA400_400B	○	○
	受信割込み許可ビット(RIE)	0xA400_400C	○	○
	LIN Break Field 設定ビット(LBR)	0xA400_400D	○	-
	マスタ/スレーブ機能選択ビット(MS)	0xA400_400E	○	○
	プログラマブルクリアビット(UPCL)	0xA400_400F	○	-
予約	-	0xA400_4011, 0xA400_4012	-	-
拡張通信制御レジスタ(MFS02_ESCR)	LIN Break Field 検出割込み許可ビット (LBIE)	0xA400_4014	○	○
	拡張ストップビット長選択ビット(ESBL)	0xA400_4016	○	○
予約	-	0xA400_401C	-	-
シリアルステータスレジスタ (MFS02_SSR)	LIN Break Field 検出フラグビット(LBD)	0xA400_401D	-	○
予約	-	0xA400_401E	-	-
シリアルステータス レジスタ(MFS02_SSR)	受信エラーフラグクリアビット(REC)	0xA400_401F	○	-
シリアル補助制御ステータスレジスタ 0 (MFS02_SACSR0)	シリアルタイム許可ビット(TMRE)	0xA400_4040	○	○
予約	-	0xA400_4045, 0xA400_4046	-	-
シリアル補助制御ステータスレジスタ 0 (MFS02_SACSR0)	タイム割込み許可ビット(TINTE)	0xA400_4047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS02_SACSR1)	タイム割込みフラグビット(TINT)	0xA400_4048	-	○
	自動ボーレート調整ビット(AUTE)	0xA400_404B	○	○
	シンクフィールド検出割込み許可ビット (SFDE)	0xA400_404C	○	○
	シンクフィールド検出フラグビット(SFD)	0xA400_404D	-	○
	シリアルテストビット(STST)	0xA400_404F	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
LIN アシストモード制御レジスタ (MFS02_LAMCR)	LIN アシストモード処理許可ビット (LAMEN)	0xA400_4090	○	○
	LIN ID レジスタ使用許可ビット(LIDEN)	0xA400_4091	○	○
	LIN チェックサムタイプ選択ビット (LCSTYP)	0xA400_4092	○	○
	LIN 送信データレジスタクリアビット (LTDRCCL)	0xA400_4093	○	-
LIN アシストモードステータスレジスタ (MFS02_LAMSR)	LIN 自動ヘッダ完了フラグビット(LAHC)	0xA400_4098	-	○
	LIN チェックサム演算完了フラグビット (LCSC)	0xA400_409A	-	○
LIN アシストモード割込み許可レジスタ (MFS02_LAMIER)	LIN 自動ヘッダ完了割込み許可ビット (LAHCIE)	0xA400_40C8	○	○
	LIN チェックサム演算完了割込み許可 ビット(LCSCIE)	0xA400_40CA	○	○
	LIN バスエラー割込み許可ビット (LBSERIE)	0xA400_40CB	○	○
	LIN Sync Data エラー割込み許可ビット (LSFERIE)	0xA400_40CC	○	○
	LIN ID パリティエラー割込み許可ビット (LPTERIE)	0xA400_40CD	○	○
	LIN チェックサムエラー割込み許可ビッ ト(LCSERIE)	0xA400_40CE	○	○
LIN アシストモードエラーステータスレ ジスタ (MFS02_LAMESR)	LIN バスエラーフラグビット(LBSER)	0xA400_40DB	-	○
	LIN Sync Data エラーフラグビット (LSFER)	0xA400_40DC	-	○
	LIN ID パリティエラーフラグビット (LPTER)	0xA400_40DD	-	○
	LIN チェックサムエラーフラグビット (LCSER)	0xA400_40DE	-	○
FIFO 制御レジスタ 0(MFS02_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_4100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_4101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_4102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_4103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_4104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_4105	○	-
FIFO 制御レジスタ 1(MFS02_FCR1)	FIFO 選択ビット(FSEL)	0xA400_4108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_4109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_410A	-	○
	受信 FIFO アイドル検出許可ビット(FRIIE)	0xA400_410B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_410C	○	○
シリアルモードレジスタ(MFS03_SMR)	シリアルデータ出力許可ビット(SOE)	0xA400_6000	○	○
予約	-	0xA400_6002	-	-
シリアルモードレジスタ(MFS03_SMR)	ストップビット長選択ビット(SBL)	0xA400_6003	○	○
	予約	0xA400_6004	-	-



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
シリアル制御レジスタ(MFS03_SCR)	送信動作許可ビット(TXE)	0xA400_6008	○	○
	受信動作許可ビット(RXE)	0xA400_6009	○	○
	送信バスアイドル割込み許可ビット (TBIE)	0xA400_600A	○	○
	送信割込み許可ビット(TIE)	0xA400_600B	○	○
	受信割込み許可ビット(RIE)	0xA400_600C	○	○
	LIN Break Field 設定ビット(LBR)	0xA400_600D	○	-
	マスタ/スレーブ機能選択ビット(MS)	0xA400_600E	○	○
	プログラマブルクリアビット(UPCL)	0xA400_600F	○	-
予約	-	0xA400_6011, 0xA400_6012	-	-
拡張通信制御レジスタ(MFS03_ESCR)	LIN Break Field 検出割込み許可ビット (LBIE)	0xA400_6014	○	○
	拡張ストップビット長選択ビット(ESBL)	0xA400_6016	○	○
予約	-	0xA400_601C	-	-
シリアルステータスレジスタ (MFS03_SSR)	LIN Break Field 検出フラグビット(LBD)	0xA400_601D	-	○
予約	-	0xA400_601E	-	-
シリアルステータスレジスタ (MFS03_SSR)	受信エラーフラグクリアビット(REC)	0xA400_601F	○	-
シリアル補助制御ステータスレジスタ 0 (MFS03_SACSR0)	シリアルタイマ許可ビット(TMRE)	0xA400_6040	○	○
予約	-	0xA400_6045, 0xA400_6046	-	-
シリアル補助制御ステータスレジスタ 0 (MFS03_SACSR0)	タイマ割込み許可ビット(TINTE)	0xA400_6047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS03_SACSR1)	タイマ割込みフラグビット(TINT)	0xA400_6048	-	○
	自動ボーレート調整ビット(AUTE)	0xA400_604B	○	○
	シンクフィールド検出割込み許可ビット (SFDE)	0xA400_604C	○	○
	シンクフィールド検出フラグビット(SFD)	0xA400_604D	-	○
	シリアルテストビット(STST)	0xA400_604F	○	○
LIN アシストモード制御レジスタ (MFS03_LAMCR)	LIN アシストモード処理許可ビット (LAMEN)	0xA400_6090	○	○
	LIN ID レジスタ使用許可ビット(LIDEN)	0xA400_6091	○	○
	LIN チェックサムタイプ選択ビット (LCSTYP)	0xA400_6092	○	○
	LIN 送信データレジスタクリアビット (LTDRCCL)	0xA400_6093	○	-
LIN アシストモード ステータスレジスタ(MFS03_LAMSR)	LIN 自動ヘッダ完了フラグビット(LAHC)	0xA400_6098	-	○
	LIN チェックサム演算完了フラグビット (LCSC)	0xA400_609A	-	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
LIN アシストモード割込み許可レジスタ (MFS03_LAMIER)	LIN 自動ヘッダ完了割込み許可ビット (LAHCIE)	0xA400_60C8	○	○
	LIN チェックサム演算完了割込み許可 ビット(LCSCIE)	0xA400_60CA	○	○
	LIN バスエラー割込み許可ビット (LBSERIE)	0xA400_60CB	○	○
	LIN Sync Data エラー割込み許可ビット (LSFERIE)	0xA400_60CC	○	○
	LIN ID パリティエラー割込み許可ビット (LPTERIE)	0xA400_60CD	○	○
	LIN チェックサムエラー割込み許可ビッ ト(LCSERIE)	0xA400_60CE	○	○
LIN アシストモードエラーステータスレ ジスタ (MFS03_LAMESR)	LIN バスエラーフラグビット(LBSER)	0xA400_60DB	-	○
	LIN Sync Data エラーフラグビット (LSFER)	0xA400_60DC	-	○
	LIN ID パリティエラーフラグビット (LPTER)	0xA400_60DD	-	○
	LIN チェックサムエラーフラグビット (LCSER)	0xA400_60DE	-	○
FIFO 制御レジスタ 0(MFS03_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_6100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_6101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_6102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_6103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_6104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_6105	○	-
FIFO 制御レジスタ 1(MFS03_FCR1)	FIFO 選択ビット(FSEL)	0xA400_6108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_6109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_610A	-	○
	受信 FIFO アイドル検出許可ビット(FRIIE)	0xA400_610B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_610C	○	○
シリアルモードレジスタ(MFS04_SMR)	シリアルデータ出力許可ビット(SOE)	0xA400_8000	○	○
予約	-	0xA400_8002	-	-
シリアルモードレジスタ(MFS04_SMR)	ストップビット長選択ビット(SBL)	0xA400_8003	○	○
	予約	0xA400_8004	-	-
シリアル制御レジスタ(MFS04_SCR)	送信動作許可ビット(TXE)	0xA400_8008	○	○
	受信動作許可ビット(RXE)	0xA400_8009	○	○
	送信バスアイドル割込み許可ビット (TBIE)	0xA400_800A	○	○
	送信割込み許可ビット(TIE)	0xA400_800B	○	○
	受信割込み許可ビット(RIE)	0xA400_800C	○	○
	LIN Break Field 設定ビット(LBR)	0xA400_800D	○	-
	マスタ/スレーブ機能選択ビット(MS)	0xA400_800E	○	○
	プログラマブルクリアビット(UPCL)	0xA400_800F	○	-
予約	-	0xA400_8011, 0xA400_8012	-	-
拡張通信制御レジスタ(MFS04_ESCR)	LIN Break Field 検出割込み許可ビット (LBIE)	0xA400_8014	○	○
	拡張ストップビット長選択ビット(ESBL)	0xA400_8016	○	○
予約	-	0xA400_801C	-	-



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
シリアルステータスレジスタ (MFS04_SSR)	LIN Break Field 検出フラグビット(LBD)	0xA400_801D	-	○
予約	-	0xA400_801E	-	-
シリアルステータスレジスタ (MFS04_SSR)	受信エラーフラグクリアビット(REC)	0xA400_801F	○	-
シリアル補助制御ステータスレジスタ 0 (MFS04_SACSR0)	シリアルタイム許可ビット(TMRE)	0xA400_8040	○	○
予約	-	0xA400_8045, 0xA400_8046	-	-
シリアル補助制御ステータスレジスタ 0 (MFS04_SACSR0)	タイム割込み許可ビット(TINTE)	0xA400_8047	○	○
シリアル補助制御ステータスレジスタ 1 (MFS04_SACSR1)	タイム割込みフラグビット(TINT)	0xA400_8048	-	○
	自動ポーレート調整ビット(AUTE)	0xA400_804B	○	○
	シンクフィールド検出割込み許可ビット (SFDE)	0xA400_804C	○	○
	シンクフィールド検出フラグビット(SFD)	0xA400_804D	-	○
	シリアルテストビット(STST)	0xA400_804F	○	○
LIN アシストモード制御レジスタ (MFS04_LAMCR)	LIN アシストモード処理許可ビット (LAMEN)	0xA400_8090	○	○
	LIN ID レジスタ使用許可ビット(LIDEN)	0xA400_8091	○	○
	LIN チェックサムタイプ選択ビット (LCSTYP)	0xA400_8092	○	○
	LIN 送信データレジスタクリアビット (LTDRCL)	0xA400_8093	○	-
LIN アシストモードステータスレジスタ (MFS04_LAMSR)	LIN 自動ヘッダ完了フラグビット(LAHC)	0xA400_8098	-	○
	LIN チェックサム演算完了フラグビット (LCSC)	0xA400_809A	-	○
LIN アシストモード割込み許可レジスタ (MFS04_LAMIER)	LIN 自動ヘッダ完了割込み許可ビット (LAHCIE)	0xA400_80C8	○	○
	LIN チェックサム演算完了割込み許可 ビット(LCSCIE)	0xA400_80CA	○	○
	LIN バスエラー割込み許可ビット (LBSERIE)	0xA400_80CB	○	○
	LIN Sync Data エラー割込み許可ビット (LSFERIE)	0xA400_80CC	○	○
	LIN ID パリティエラー割込み許可ビット (LPTERIE)	0xA400_80CD	○	○
	LIN チェックサムエラー割込み許可ビッ ト(LCSERIE)	0xA400_80CE	○	○
LIN アシストモードエラーステータスレ ジスタ (MFS04_LAMESR)	LIN バスエラーフラグビット(LBSER)	0xA400_80DB	-	○
	LIN Sync Data エラーフラグビット (LSFER)	0xA400_80DC	-	○
	LIN ID パリティエラーフラグビット (LPTER)	0xA400_80DD	-	○
	LIN チェックサムエラーフラグビット (LCSER)	0xA400_80DE	-	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
FIFO 制御レジスタ 0(MFS04_FCR0)	FIFO1 動作許可ビット(FE1)	0xA400_8100	○	○
	FIFO2 動作許可ビット(FE2)	0xA400_8101	○	○
	FIFO1 リセットビット(FCL1)	0xA400_8102	○	-
	FIFO2 リセットビット(FCL2)	0xA400_8103	○	-
	FIFO ポインタ保存ビット(FSET)	0xA400_8104	○	-
	FIFO ポインタリロードビット(FLD)	0xA400_8105	○	-
FIFO 制御レジスタ 1(MFS04_FCR1)	FIFO 選択ビット(FSEL)	0xA400_8108	○	○
	送信 FIFO 割込み許可ビット(FTIE)	0xA400_8109	○	○
	送信 FIFO データ要求ビット(FDRQ)	0xA400_810A	-	○
	受信 FIFO アイドル検出許可ビット(FRIIE)	0xA400_810B	○	○
	再送データロス検出許可ビット(FLSTE)	0xA400_810C	○	○

<注意事項>

- スレーブで LIN Break 検出から LIN 自動ヘッダ受信完了確認(LAHC を読み出す)までビットバンドユニット経由での LAMESR/LAMIER レジスタ内のビット読出しは禁止です。
- マスタで LIN Break Field 設定から LIN 自動ヘッダ受信完了確認(LAHC を読み出す)までビットバンドユニット経由での LAMESR/LAMIER レジスタ内のビット読出しは禁止です。
- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。



14) ベースタイマ(PWM タイマ)

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
ステータス制御レジスタ(BT00_STC)	アンダフロー割込み要求ビット(UDIR)	0xA404_0080	-	○
	デューティー致割込み要求ビット(DTIR)	0xA404_0081	-	○
	トリガ割込み要求ビット(TGIR)	0xA404_0082	-	○
	アンダフロー割込み要求許可ビット(UDIE)	0xA404_0084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA404_0085	○	○
	トリガ割込み要求許可ビット(TGIE)	0xA404_0086	○	○
ステータス制御レジスタ(BT01_STC)	アンダフロー割込み要求ビット(UDIR)	0xA404_2080	-	○
	デューティー致割込み要求ビット(DTIR)	0xA404_2081	-	○
	トリガ割込み要求ビット(TGIR)	0xA404_2082	-	○
	アンダフロー割込み要求許可ビット(UDIE)	0xA404_2084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA404_2085	○	○
	トリガ割込み要求許可ビット(TGIE)	0xA404_2086	○	○
ステータス制御レジスタ(BT02_STC)	アンダフロー割込み要求ビット(UDIR)	0xA404_4080	-	○
	デューティー致割込み要求ビット(DTIR)	0xA404_4081	-	○
	トリガ割込み要求ビット(TGIR)	0xA404_4082	-	○
	アンダフロー割込み要求許可ビット(UDIE)	0xA404_4084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA404_4085	○	○
	トリガ割込み要求許可ビット(TGIE)	0xA404_4086	○	○
ステータス制御レジスタ(BT03_STC)	アンダフロー割込み要求ビット(UDIR)	0xA404_6080	-	○
	デューティー致割込み要求ビット(DTIR)	0xA404_6081	-	○
	トリガ割込み要求ビット(TGIR)	0xA404_6082	-	○
	アンダフロー割込み要求許可ビット(UDIE)	0xA404_6084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA404_6085	○	○
	トリガ割込み要求許可ビット(TGIE)	0xA404_6086	○	○
ステータス制御レジスタ(BT04_STC)	アンダフロー割込み要求ビット(UDIR)	0xA404_8080	-	○
	デューティー致割込み要求ビット(DTIR)	0xA404_8081	-	○
	トリガ割込み要求ビット(TGIR)	0xA404_8082	-	○
	アンダフロー割込み要求許可ビット(UDIE)	0xA404_8084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA404_8085	○	○
	トリガ割込み要求許可ビット(TGIE)	0xA404_8086	○	○
ステータス制御レジスタ(BT05_STC)	アンダフロー割込み要求ビット(UDIR)	0xA404_A080	-	○
	デューティー致割込み要求ビット(DTIR)	0xA404_A081	-	○
	トリガ割込み要求ビット(TGIR)	0xA404_A082	-	○
	アンダフロー割込み要求許可ビット(UDIE)	0xA404_A084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA404_A085	○	○
	トリガ割込み要求許可ビット(TGIE)	0xA404_A086	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
ステータス制御レジスタ (BT06_STC)	アンドフロー割込み要求ビット (UDIR)	0xA404_C080	-	○
	デューティー致割込み要求ビット (DTIR)	0xA404_C081	-	○
	トリガ割込み要求ビット (TGIR)	0xA404_C082	-	○
	アンドフロー割込み要求許可ビット (UDIE)	0xA404_C084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA404_C085	○	○
	トリガ割込み要求許可ビット (TGIE)	0xA404_C086	○	○
ステータス制御レジスタ (BT07_STC)	アンドフロー割込み要求ビット (UDIR)	0xA404_E080	-	○
	デューティー致割込み要求ビット (DTIR)	0xA404_E081	-	○
	トリガ割込み要求ビット (TGIR)	0xA404_E082	-	○
	アンドフロー割込み要求許可ビット (UDIE)	0xA404_E084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA404_E085	○	○
	トリガ割込み要求許可ビット (TGIE)	0xA404_E086	○	○
ステータス制御レジスタ (BT08_STC)	アンドフロー割込み要求ビット (UDIR)	0xA405_0080	-	○
	デューティー致割込み要求ビット (DTIR)	0xA405_0081	-	○
	トリガ割込み要求ビット (TGIR)	0xA405_0082	-	○
	アンドフロー割込み要求許可ビット (UDIE)	0xA405_0084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA405_0085	○	○
	トリガ割込み要求許可ビット (TGIE)	0xA405_0086	○	○
ステータス制御レジスタ (BT09_STC)	アンドフロー割込み要求ビット (UDIR)	0xA405_2080	-	○
	デューティー致割込み要求ビット (DTIR)	0xA405_2081	-	○
	トリガ割込み要求ビット (TGIR)	0xA405_2082	-	○
	アンドフロー割込み要求許可ビット (UDIE)	0xA405_2084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA405_2085	○	○
	トリガ割込み要求許可ビット (TGIE)	0xA405_2086	○	○
ステータス制御レジスタ (BT10_STC)	アンドフロー割込み要求ビット (UDIR)	0xA405_4080	-	○
	デューティー致割込み要求ビット (DTIR)	0xA405_4081	-	○
	トリガ割込み要求ビット (TGIR)	0xA405_4082	-	○
	アンドフロー割込み要求許可ビット (UDIE)	0xA405_4084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA405_4085	○	○
	トリガ割込み要求許可ビット (TGIE)	0xA405_4086	○	○
ステータス制御 レジスタ (BT11_STC)	アンドフロー割込み要求ビット (UDIR)	0xA405_6080	-	○
	デューティー致割込み要求ビット (DTIR)	0xA405_6081	-	○
	トリガ割込み要求ビット (TGIR)	0xA405_6082	-	○
	アンドフロー割込み要求許可ビット (UDIE)	0xA405_6084	○	○
	デューティー致割込み要求許可ビット (DTIE)	0xA405_6085	○	○
	トリガ割込み要求許可ビット (TGIE)	0xA405_6086	○	○



15) ベースタイマ(PPG タイマ)

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
ステータス制御レジスタ(BT00_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_0080	-	○
予約	-	0xA404_0081	-	-
ステータス制御レジスタ(BT00_STC)	トリガ割込み要求ビット(TGIR)	0xA404_0082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_0084	○	○
予約	-	0xA404_0085	-	-
ステータス制御レジスタ(BT00_STC)	トリガ割込み許可ビット(TGIE)	0xA404_0086	○	○
ステータス制御レジスタ(BT01_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_2080	-	○
予約	-	0xA404_2081	-	-
ステータス制御レジスタ(BT01_STC)	トリガ割込み要求ビット(TGIR)	0xA404_2082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_2084	○	○
予約	-	0xA404_2085	-	-
ステータス制御レジスタ(BT01_STC)	トリガ割込み許可ビット(TGIE)	0xA404_2086	○	○
ステータス制御レジスタ(BT02_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_4080	-	○
予約	-	0xA404_4081	-	-
ステータス制御レジスタ(BT02_STC)	トリガ割込み要求ビット(TGIR)	0xA404_4082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_4084	○	○
予約	-	0xA404_4085	-	-
ステータス制御レジスタ(BT02_STC)	トリガ割込み許可ビット(TGIE)	0xA404_4086	○	○
ステータス制御レジスタ(BT03_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_6080	-	○
予約	-	0xA404_6081	-	-
ステータス制御レジスタ(BT03_STC)	トリガ割込み要求ビット(TGIR)	0xA404_6082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_6084	○	○
予約	-	0xA404_6085	-	-
ステータス制御レジスタ(BT03_STC)	トリガ割込み許可ビット(TGIE)	0xA404_6086	○	○
ステータス制御レジスタ(BT04_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_8080	-	○
予約	-	0xA404_8081	-	-
ステータス制御レジスタ(BT04_STC)	トリガ割込み要求ビット(TGIR)	0xA404_8082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_8084	○	○
予約	-	0xA404_8085	-	-
ステータス制御レジスタ(BT04_STC)	トリガ割込み許可ビット(TGIE)	0xA404_8086	○	○
ステータス制御レジスタ(BT05_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_A080	-	○
予約	-	0xA404_A081	-	-
ステータス制御レジスタ(BT05_STC)	トリガ割込み要求ビット(TGIR)	0xA404_A082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_A084	○	○
予約	-	0xA404_A085	-	-
ステータス制御レジスタ(BT05_STC)	トリガ割込み許可ビット(TGIE)	0xA404_A086	○	○
ステータス制御レジスタ(BT06_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_C080	-	○
予約	-	0xA404_C081	-	-
ステータス制御レジスタ(BT06_STC)	トリガ割込み要求ビット(TGIR)	0xA404_C082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_C084	○	○
予約	-	0xA404_C085	-	-
ステータス制御レジスタ(BT06_STC)	トリガ割込み許可ビット(TGIE)	0xA404_C086	○	○
ステータス制御レジスタ(BT07_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_E080	-	○
予約	-	0xA404_E081	-	-
ステータス制御レジスタ(BT07_STC)	トリガ割込み要求ビット(TGIR)	0xA404_E082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_E084	○	○
予約	-	0xA404_E085	-	-

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
ステータス制御レジスタ(BT07_STC)	トリガ割込み許可ビット(TGIE)	0xA404_E086	○	○
ステータス制御レジスタ(BT08_STC)	アンダフロー割込み要求ビット(UDIR)	0xA405_0080	-	○
予約	-	0xA405_0081	-	-
ステータス制御レジスタ(BT08_STC)	トリガ割込み要求ビット(TGIR)	0xA405_0082	-	○
	アンダフロー割込み許可ビット(UDIE)	0xA405_0084	○	○
予約	-	0xA405_0085	-	-
ステータス制御レジスタ(BT08_STC)	トリガ割込み許可ビット(TGIE)	0xA405_0086	○	○
ステータス制御レジスタ(BT09_STC)	アンダフロー割込み要求ビット(UDIR)	0xA405_2080	-	○
予約	-	0xA405_2081	-	-
ステータス制御レジスタ(BT09_STC)	トリガ割込み要求ビット(TGIR)	0xA405_2082	-	○
	アンダフロー割込み許可ビット(UDIE)	0xA405_2084	○	○
予約	-	0xA405_2085	-	-
ステータス制御レジスタ(BT09_STC)	トリガ割込み許可ビット(TGIE)	0xA405_2086	○	○
ステータス制御レジスタ(BT10_STC)	アンダフロー割込み要求ビット(UDIR)	0xA405_4080	-	○
予約	-	0xA405_4081	-	-
ステータス制御レジスタ(BT10_STC)	トリガ割込み要求ビット(TGIR)	0xA405_4082	-	○
	アンダフロー割込み許可ビット(UDIE)	0xA405_4084	○	○
予約	-	0xA405_4085	-	-
ステータス制御レジスタ(BT10_STC)	トリガ割込み許可ビット(TGIE)	0xA405_4086	○	○
ステータス制御レジスタ(BT11_STC)	アンダフロー割込み要求ビット(UDIR)	0xA405_6080	-	○
予約	-	0xA405_6081	-	-
ステータス制御レジスタ(BT11_STC)	トリガ割込み要求ビット(TGIR)	0xA405_6082	-	○
	アンダフロー割込み許可ビット(UDIE)	0xA405_6084	○	○
予約	-	0xA405_6085	-	-
ステータス制御レジスタ(BT11_STC)	トリガ割込み許可ビット(TGIE)	0xA405_6086	○	○

＜注意事項＞

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。



16) ベースタイム(リロードタイム)

レジスタ名	ビット名	ビットバンド エイリアス アドレス	ビット セット	ビット クリア
ステータス制御レジスタ(BT00_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_0080	-	○
予約	-	0xA404_0081	-	-
ステータス制御レジスタ(BT00_STC)	トリガ割込み要求ビット(TGIR)	0xA404_0082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_0084	○	○
予約	-	0xA404_0085	-	-
ステータス制御レジスタ(BT00_STC)	トリガ割込み許可ビット(TGIE)	0xA404_0086	○	○
ステータス制御レジスタ(BT01_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_2080	-	○
予約	-	0xA404_2081	-	-
ステータス制御レジスタ(BT01_STC)	トリガ割込み要求ビット(TGIR)	0xA404_2082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_2084	○	○
予約	-	0xA404_2085	-	-
ステータス制御レジスタ(BT01_STC)	トリガ割込み許可ビット(TGIE)	0xA404_2086	○	○
ステータス制御レジスタ(BT02_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_4080	-	○
予約	-	0xA404_4081	-	-
ステータス制御レジスタ(BT02_STC)	トリガ割込み要求ビット(TGIR)	0xA404_4082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_4084	○	○
予約	-	0xA404_4085	-	-
ステータス制御レジスタ(BT02_STC)	トリガ割込み許可ビット(TGIE)	0xA404_4086	○	○
ステータス制御レジスタ(BT03_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_6080	-	○
予約	-	0xA404_6081	-	-
ステータス制御レジスタ(BT03_STC)	トリガ割込み要求ビット(TGIR)	0xA404_6082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_6084	○	○
予約	-	0xA404_6085	-	-
ステータス制御レジスタ(BT03_STC)	トリガ割込み許可ビット(TGIE)	0xA404_6086	○	○
ステータス制御レジスタ(BT04_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_8080	-	○
予約	-	0xA404_8081	-	-
ステータス制御レジスタ(BT04_STC)	トリガ割込み要求ビット(TGIR)	0xA404_8082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_8084	○	○
予約	-	0xA404_8085	-	-
ステータス制御レジスタ(BT04_STC)	トリガ割込み許可ビット(TGIE)	0xA404_8086	○	○
ステータス制御レジスタ(BT05_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_A080	-	○
予約	-	0xA404_A081	-	-
ステータス制御レジスタ(BT05_STC)	トリガ割込み要求ビット(TGIR)	0xA404_A082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_A084	○	○
予約	-	0xA404_A085	-	-
ステータス制御レジスタ(BT05_STC)	トリガ割込み許可ビット(TGIE)	0xA404_A086	○	○
ステータス制御レジスタ(BT06_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_C080	-	○
予約	-	0xA404_C081	-	-
ステータス制御レジスタ(BT06_STC)	トリガ割込み要求ビット(TGIR)	0xA404_C082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_C084	○	○
予約	-	0xA404_C085	-	-
ステータス制御レジスタ(BT06_STC)	トリガ割込み許可ビット(TGIE)	0xA404_C086	○	○
ステータス制御レジスタ(BT07_STC)	アンドフロー割込み要求ビット(UDIR)	0xA404_E080	-	○
予約	-	0xA404_E081	-	-
ステータス制御レジスタ(BT07_STC)	トリガ割込み要求ビット(TGIR)	0xA404_E082	-	○
	アンドフロー割込み許可ビット(UDIE)	0xA404_E084	○	○

レジスタ名	ビット名	ビットバンド エイリアス アドレス	ビット セット	ビット クリア
予約	-	0xA404_E085	-	-
ステータス制御レジスタ(BT07_STC)	トリガ割込み許可ビット(TGIE)	0xA404_E086	○	○
ステータス制御レジスタ(BT08_STC)	アンダフロー割込み要求ビット(UDIR)	0xA405_0080	-	○
予約	-	0xA405_0081	-	-
ステータス制御レジスタ(BT08_STC)	トリガ割込み要求ビット(TGIR)	0xA405_0082	-	○
	アンダフロー割込み許可ビット(UDIE)	0xA405_0084	○	○
予約	-	0xA405_0085	-	-
ステータス制御レジスタ(BT08_STC)	トリガ割込み許可ビット(TGIE)	0xA405_0086	○	○
ステータス制御レジスタ(BT09_STC)	アンダフロー割込み要求ビット(UDIR)	0xA405_2080	-	○
予約	-	0xA405_2081	-	-
ステータス制御レジスタ(BT09_STC)	トリガ割込み要求ビット(TGIR)	0xA405_2082	-	○
	アンダフロー割込み許可ビット(UDIE)	0xA405_2084	○	○
予約	-	0xA405_2085	-	-
ステータス制御レジスタ(BT09_STC)	トリガ割込み許可ビット(TGIE)	0xA405_2086	○	○
ステータス制御レジスタ(BT10_STC)	アンダフロー割込み要求ビット(UDIR)	0xA405_4080	-	○
予約	-	0xA405_4081	-	-
ステータス制御レジスタ(BT10_STC)	トリガ割込み要求ビット(TGIR)	0xA405_4082	-	○
	アンダフロー割込み許可ビット(UDIE)	0xA405_4084	○	○
予約	-	0xA405_4085	-	-
ステータス制御レジスタ(BT10_STC)	トリガ割込み許可ビット(TGIE)	0xA405_4086	○	○
ステータス制御レジスタ(BT11_STC)	アンダフロー割込み要求ビット(UDIR)	0xA405_6080	-	○
予約	-	0xA405_6081	-	-
ステータス制御レジスタ(BT11_STC)	トリガ割込み要求ビット(TGIR)	0xA405_6082	-	○
	アンダフロー割込み許可ビット(UDIE)	0xA405_6084	○	○
予約	-	0xA405_6085	-	-
ステータス制御レジスタ(BT11_STC)	トリガ割込み許可ビット(TGIE)	0xA405_6086	○	○

＜注意事項＞

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。



17) ベースタイム(PWC タイマ)

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
ステータス制御レジスタ(BT00_STC)	オーバフロー割込み要求ビット(OVIR)	0xA404_0080	-	○
予約	-	0xA404_0081, 0xA404_0082	-	-
ステータス制御レジスタ(BT00_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA404_0084	○	○
予約	-	0xA404_0085	-	-
ステータス制御レジスタ(BT00_STC)	測定終了割込み要求許可ビット(EDIE)	0xA404_0086	○	○
ステータス制御レジスタ(BT01_STC)	オーバフロー割込み要求ビット(OVIR)	0xA404_2080	-	○
予約	-	0xA404_2081, 0xA404_2082	-	-
ステータス制御レジスタ(BT01_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA404_2084	○	○
予約	-	0xA404_2085	-	-
ステータス制御レジスタ(BT01_STC)	測定終了割込み要求許可ビット(EDIE)	0xA404_2086	○	○
ステータス制御レジスタ(BT02_STC)	オーバフロー割込み要求ビット(OVIR)	0xA404_4080	-	○
予約	-	0xA404_4081, 0xA404_4082	-	-
ステータス制御レジスタ(BT02_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA404_4084	○	○
予約	-	0xA404_4085	-	-
ステータス制御レジスタ(BT02_STC)	測定終了割込み要求許可ビット(EDIE)	0xA404_4086	○	○
ステータス制御レジスタ(BT03_STC)	オーバフロー割込み要求ビット(OVIR)	0xA404_6080	-	○
予約	-	0xA404_6081, 0xA404_6082	-	-
ステータス制御レジスタ(BT03_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA404_6084	○	○
予約	-	0xA404_6085	-	-
ステータス制御レジスタ(BT03_STC)	測定終了割込み要求許可ビット(EDIE)	0xA404_6086	○	○
ステータス制御レジスタ(BT04_STC)	オーバフロー割込み要求ビット(OVIR)	0xA404_8080	-	○
予約	-	0xA404_8081, 0xA404_8082	-	-
ステータス制御レジスタ(BT04_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA404_8084	○	○
予約	-	0xA404_8085	-	-
ステータス制御レジスタ(BT04_STC)	測定終了割込み要求許可ビット(EDIE)	0xA404_8086	○	○
ステータス制御レジスタ(BT05_STC)	オーバフロー割込み要求ビット(OVIR)	0xA404_A080	-	○
予約	-	0xA404_A081, 0xA404_A082	-	-
ステータス制御レジスタ(BT05_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA404_A084	○	○
予約	-	0xA404_A085	-	-
ステータス制御レジスタ(BT05_STC)	測定終了割込み要求許可ビット(EDIE)	0xA404_A086	○	○
ステータス制御レジスタ(BT06_STC)	オーバフロー割込み要求ビット(OVIR)	0xA404_C080	-	○
予約	-	0xA404_C081, 0xA404_C082	-	-
ステータス制御レジスタ(BT06_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA404_C084	○	○
予約	-	0xA404_C085	-	-
ステータス制御レジスタ(BT06_STC)	測定終了割込み要求許可ビット(EDIE)	0xA404_C086	○	○
ステータス制御レジスタ(BT07_STC)	オーバフロー割込み要求ビット(OVIR)	0xA404_E080	-	○
予約	-	0xA404_E081, 0xA404_E082	-	-
ステータス制御レジスタ(BT07_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA404_E084	○	○
予約	-	0xA404_E085	-	-
ステータス制御レジスタ(BT07_STC)	測定終了割込み要求許可ビット(EDIE)	0xA404_E086	○	○
ステータス制御レジスタ(BT08_STC)	オーバフロー割込み要求ビット(OVIR)	0xA405_0080	-	○
予約	-	0xA405_0081, 0xA405_0082	-	-
ステータス制御レジスタ(BT08_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA405_0084	○	○
予約	-	0xA405_0085	-	-
ステータス制御レジスタ(BT08_STC)	測定終了割込み要求許可ビット(EDIE)	0xA405_0086	○	○
ステータス制御レジスタ(BT09_STC)	オーバフロー割込み要求ビット(OVIR)	0xA405_2080	-	○
予約	-	0xA405_2081, 0xA405_2082	-	-

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
ステータス制御レジスタ(BT09_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA405_2084	○	○
予約	-	0xA405_2085	-	-
ステータス制御レジスタ(BT09_STC)	測定終了割込み要求許可ビット(EDIE)	0xA405_2086	○	○
ステータス制御レジスタ(BT10_STC)	オーバフロー割込み要求ビット(OVIR)	0xA405_4080	-	○
予約	-	0xA405_4081, 0xA405_4082	-	-
ステータス制御レジスタ(BT10_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA405_4084	○	○
予約	-	0xA405_4085	-	-
ステータス制御レジスタ(BT10_STC)	測定終了割込み要求許可ビット(EDIE)	0xA405_4086	○	○
ステータス制御レジスタ(BT11_STC)	オーバフロー割込み要求ビット(OVIR)	0xA405_6080	-	○
予約	-	0xA405_6081, 0xA405_6082	-	-
ステータス制御レジスタ(BT11_STC)	オーバフロー割込み要求許可ビット(OVIE)	0xA405_6084	○	○
予約	-	0xA405_6085	-	-
ステータス制御レジスタ(BT11_STC)	測定終了割込み要求許可ビット(EDIE)	0xA405_6086	○	○

<注意事項>

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。



18) 32 ビットフリーランタイム

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
タイマ状態制御レジスタ(FRT00_TCCS)	タイマクリアビット(SCLR)	0xA410_0044	○	-
	タイマカウントモードビット(MODE)	0xA410_0045	○	○
	タイマ許可ビット(STOP)	0xA410_0046	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA410_0047	○	○
	コンペアクリア割込み要求許可ビット (ICRE)	0xA410_0048	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA410_0049	-	○
	0 検出要求許可ビット(IRQZE)	0xA410_004D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA410_004E	-	○
予約	-	0xA410_004F	-	-
タイマ状態制御レジスタ(FRT01_TCCS)	タイマクリアビット(SCLR)	0xA410_2044	○	-
	タイマカウントモードビット(MODE)	0xA410_2045	○	○
	タイマ許可ビット(STOP)	0xA410_2046	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA410_2047	○	○
	コンペアクリア割込み要求許可ビット (ICRE)	0xA410_2048	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA410_2049	-	○
	0 検出要求許可ビット(IRQZE)	0xA410_204D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA410_204E	-	○
予約	-	0xA410_204F	-	-
タイマ状態制御レジスタ(FRT02_TCCS)	タイマクリアビット(SCLR)	0xA410_4044	○	-
	タイマカウントモードビット(MODE)	0xA410_4045	○	○
	タイマ許可ビット(STOP)	0xA410_4046	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA410_4047	○	○
	コンペアクリア割込み要求許可ビット (ICRE)	0xA410_4048	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA410_4049	-	○
	0 検出要求許可ビット(IRQZE)	0xA410_404D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA410_404E	-	○
予約	-	0xA410_404F	-	-
タイマ状態制御レジスタ(FRT03_TCCS)	タイマクリアビット(SCLR)	0xA410_6044	○	-
	タイマカウントモードビット(MODE)	0xA410_6045	○	○
	タイマ許可ビット(STOP)	0xA410_6046	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA410_6047	○	○
	コンペアクリア割込み要求許可ビット (ICRE)	0xA410_6048	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA410_6049	-	○
	0 検出要求許可ビット(IRQZE)	0xA410_604D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA410_604E	-	○
予約	-	0xA410_604F	-	-
タイマ状態制御レジスタ(FRT04_TCCS)	タイマクリアビット(SCLR)	0xA410_8044	○	-
	タイマカウントモードビット(MODE)	0xA410_8045	○	○
	タイマ許可ビット(STOP)	0xA410_8046	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA410_8047	○	○
	コンペアクリア割込み要求許可ビット (ICRE)	0xA410_8048	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	コンパアクリア割込みフラグビット(ICLR)	0xA410_8049	-	○
	0 検出要求許可ビット(IRQZE)	0xA410_804D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA410_804E	-	○
予約	-	0xA410_804F	-	-

<注意事項>

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。

19) 32 ビットインプットキャプチャ

レジスタ名	ビット名	ビットバンド エイリアス アドレス	ビット セット	ビット クリア
インプットキャプチャ状態制御レジスタ (ICU00_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA414_0044	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA414_0045	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA414_0046	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA414_0047	-	○
インプットキャプチャ状態制御レジスタ (ICU02_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA414_2044	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA414_2045	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA414_2046	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA414_2047	-	○
インプットキャプチャ状態制御レジスタ (ICU04_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA414_4044	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA414_4045	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA414_4046	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA414_4047	-	○



20) 16 ビットフリーランタイム

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
タイマ状態制御レジスタ (FRT16B00_TCCS)	割込みマスクモードビット 2(MODE2)	0xA880_002B	○	○
	タイマクリアビット(SCLR)	0xA880_0034	○	-
	タイマカウントモードビット(MODE)	0xA880_0035	○	○
	タイマ許可ビット(STOP)	0xA880_0036	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA880_0037	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA880_0038	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA880_0039	-	○
	0 検出要求許可ビット(IRQZE)	0xA880_003D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA880_003E	-	○
	クロック選択ビット(ECKE)	0xA880_003F	○	○
タイマ状態制御レジスタ (FRT16B01_TCCS)	割込みマスクモードビット 2(MODE2)	0xA880_00AB	○	○
	タイマクリアビット(SCLR)	0xA880_00B4	○	-
	タイマカウントモードビット(MODE)	0xA880_00B5	○	○
	タイマ許可ビット(STOP)	0xA880_00B6	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA880_00B7	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA880_00B8	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA880_00B9	-	○
	0 検出要求許可ビット(IRQZE)	0xA880_00BD	○	○
	0 検出割込みフラグビット(IRQZF)	0xA880_00BE	-	○
	クロック選択ビット(ECKE)	0xA880_00BF	○	○
タイマ状態制御レジスタ (FRT16B02_TCCS)	割込みマスクモードビット 2(MODE2)	0xA880_012B	○	○
	タイマクリアビット(SCLR)	0xA880_0134	○	-
	タイマカウントモードビット(MODE)	0xA880_0135	○	○
	タイマ許可ビット(STOP)	0xA880_0136	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA880_0137	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA880_0138	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA880_0139	-	○
	0 検出要求許可ビット(IRQZE)	0xA880_013D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA880_013E	-	○
	クロック選択ビット(ECKE)	0xA880_013F	○	○
タイマ状態制御レジスタ (FRT16B03_TCCS)	割込みマスクモードビット 2(MODE2)	0xA880_01AB	○	○
	タイマクリアビット(SCLR)	0xA880_01B4	○	-
	タイマカウントモードビット(MODE)	0xA880_01B5	○	○
	タイマ許可ビット(STOP)	0xA880_01B6	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA880_01B7	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA880_01B8	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA880_01B9	-	○
	0 検出要求許可ビット(IRQZE)	0xA880_01BD	○	○
	0 検出割込みフラグビット(IRQZF)	0xA880_01BE	-	○
	クロック選択ビット(ECKE)	0xA880_01BF	○	○
タイマ状態制御レジスタ (FRT16B04_TCCS)	割込みマスクモードビット 2(MODE2)	0xA880_022B	○	○
	タイマクリアビット(SCLR)	0xA880_0234	○	-
	タイマカウントモードビット(MODE)	0xA880_0235	○	○
	タイマ許可ビット(STOP)	0xA880_0236	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA880_0237	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA880_0238	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA880_0239	-	○
	0 検出要求許可ビット(IRQZE)	0xA880_023D	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
タイマ状態制御 レジスタ(FRT16B05_TCCS)	0 検出割込みフラグビット(IRQZF)	0xA880_023E	-	○
	クロック選択ビット(ECKE)	0xA880_023F	○	○
	割込みマスクモードビット 2(MODE2)	0xA880_02AB	○	○
	タイマクリアビット(SCLR)	0xA880_02B4	○	-
	タイマカウントモードビット(MODE)	0xA880_02B5	○	○
	タイマ許可ビット(STOP)	0xA880_02B6	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA880_02B7	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA880_02B8	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA880_02B9	-	○
	0 検出要求許可ビット(IRQZE)	0xA880_02BD	○	○
タイマ状態制御 レジスタ(FRT16B06_TCCS)	0 検出割込みフラグビット(IRQZF)	0xA880_02BE	-	○
	クロック選択ビット(ECKE)	0xA880_02BF	○	○
	割込みマスクモードビット 2(MODE2)	0xA800_002B	○	○
	タイマクリアビット(SCLR)	0xA800_0034	○	-
	タイマカウントモードビット(MODE)	0xA800_0035	○	○
	タイマ許可ビット(STOP)	0xA800_0036	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA800_0037	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA800_0038	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA800_0039	-	○
	0 検出要求許可ビット(IRQZE)	0xA800_003D	○	○
タイマ状態制御 レジスタ(FRT16B07_TCCS)	0 検出割込みフラグビット(IRQZF)	0xA800_003E	-	○
	クロック選択ビット(ECKE)	0xA800_003F	○	○
	割込みマスクモードビット 2(MODE2)	0xA800_00AB	○	○
	タイマクリアビット(SCLR)	0xA800_00B4	○	-
	タイマカウントモードビット(MODE)	0xA800_00B5	○	○
	タイマ許可ビット(STOP)	0xA800_00B6	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA800_00B7	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA800_00B8	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA800_00B9	-	○
	0 検出要求許可ビット(IRQZE)	0xA800_00BD	○	○
タイマ状態制御 レジスタ(FRT16B08_TCCS)	0 検出割込みフラグビット(IRQZF)	0xA800_00BE	-	○
	クロック選択ビット(ECKE)	0xA800_00BF	○	○
	割込みマスクモードビット 2(MODE2)	0xA800_012B	○	○
	タイマクリアビット(SCLR)	0xA800_0134	○	-
	タイマカウントモードビット(MODE)	0xA800_0135	○	○
	タイマ許可ビット(STOP)	0xA800_0136	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA800_0137	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA800_0138	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA800_0139	-	○
	0 検出要求許可ビット(IRQZE)	0xA800_013D	○	○
タイマ状態制御 レジスタ(FRT16B09_TCCS)	0 検出割込みフラグビット(IRQZF)	0xA800_013E	-	○
	クロック選択ビット(ECKE)	0xA800_013F	○	○
	割込みマスクモードビット 2(MODE2)	0xA800_01AB	○	○
	タイマクリアビット(SCLR)	0xA800_01B4	○	-
	タイマカウントモードビット(MODE)	0xA800_01B5	○	○
	タイマ許可ビット(STOP)	0xA800_01B6	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA800_01B7	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA800_01B8	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA800_01B9	-	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	0 検出要求許可ビット(IRQZE)	0xA800_01BD	○	○
	0 検出割込みフラグビット(IRQZF)	0xA800_01BE	-	○
	クロック選択ビット(ECKE)	0xA800_01BF	○	○
タイマ状態制御 レジスタ(FRT16B10_TCCS)	割込みマスクモードビット 2(MODE2)	0xA800_022B	○	○
	タイマクリアビット(SCLR)	0xA800_0234	○	-
	タイマカウントモードビット(MODE)	0xA800_0235	○	○
	タイマ許可ビット(STOP)	0xA800_0236	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA800_0237	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA800_0238	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA800_0239	-	○
	0 検出要求許可ビット(IRQZE)	0xA800_023D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA800_023E	-	○
	クロック選択ビット(ECKE)	0xA800_023F	○	○
	クロック選択ビット(ECKE)	0xA800_023F	○	○
タイマ状態制御 レジスタ (FRT16B11_TCCS)	割込みマスクモードビット 2(MODE2)	0xA800_02AB	○	○
	タイマクリアビット(SCLR)	0xA800_02B4	○	-
	タイマカウントモードビット(MODE)	0xA800_02B5	○	○
	タイマ許可ビット(STOP)	0xA800_02B6	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA800_02B7	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA800_02B8	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA800_02B9	-	○
	0 検出要求許可ビット(IRQZE)	0xA800_02BD	○	○
	0 検出割込みフラグビット(IRQZF)	0xA800_02BE	-	○
	クロック選択ビット(ECKE)	0xA800_02BF	○	○
	クロック選択ビット(ECKE)	0xA800_02BF	○	○
タイマ状態制御 レジスタ(FRT16B12_TCCS)	割込みマスクモードビット 2(MODE2)	0xA808_002B	○	○
	タイマクリアビット(SCLR)	0xA808_0034	○	-
	タイマカウントモードビット(MODE)	0xA808_0035	○	○
	タイマ許可ビット(STOP)	0xA808_0036	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA808_0037	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA808_0038	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA808_0039	-	○
	0 検出要求許可ビット(IRQZE)	0xA808_003D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA808_003E	-	○
	クロック選択ビット(ECKE)	0xA808_003F	○	○
	クロック選択ビット(ECKE)	0xA808_003F	○	○
タイマ状態制御 レジスタ(FRT16B13_TCCS)	割込みマスクモードビット 2(MODE2)	0xA808_00AB	○	○
	タイマクリアビット(SCLR)	0xA808_00B4	○	-
	タイマカウントモードビット(MODE)	0xA808_00B5	○	○
	タイマ許可ビット(STOP)	0xA808_00B6	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA808_00B7	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA808_00B8	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA808_00B9	-	○
	0 検出要求許可ビット(IRQZE)	0xA808_00BD	○	○
	0 検出割込みフラグビット(IRQZF)	0xA808_00BE	-	○
	クロック選択ビット(ECKE)	0xA808_00BF	○	○
	クロック選択ビット(ECKE)	0xA808_00BF	○	○
タイマ状態制御 レジスタ(FRT16B14_TCCS)	割込みマスクモードビット 2(MODE2)	0xA808_012B	○	○
	タイマクリアビット(SCLR)	0xA808_0134	○	-
	タイマカウントモードビット(MODE)	0xA808_0135	○	○
	タイマ許可ビット(STOP)	0xA808_0136	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA808_0137	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA808_0138	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	コンベアクリア割込みフラグビット(ICLR)	0xA808_0139	-	○
	0 検出要求許可ビット(IRQZE)	0xA808_013D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA808_013E	-	○
	クロック選択ビット(ECKE)	0xA808_013F	○	○
タイマ状態制御 レジスタ(FRT16B15_TCCS)	割込みマスクモードビット 2(MODE2)	0xA808_01AB	○	○
	タイマクリアビット(SCLR)	0xA808_01B4	○	-
	タイマカウントモードビット(MODE)	0xA808_01B5	○	○
	タイマ許可ビット(STOP)	0xA808_01B6	○	○
	コンベアクリアバッファ許可ビット(BFE)	0xA808_01B7	○	○
	コンベアクリア割込み要求許可ビット(ICRE)	0xA808_01B8	○	○
	コンベアクリア割込みフラグビット(ICLR)	0xA808_01B9	-	○
	0 検出要求許可ビット(IRQZE)	0xA808_01BD	○	○
	0 検出割込みフラグビット(IRQZF)	0xA808_01BE	-	○
	クロック選択ビット(ECKE)	0xA808_01BF	○	○
タイマ状態制御 レジスタ(FRT16B16_TCCS)	割込みマスクモードビット 2(MODE2)	0xA808_022B	○	○
	タイマクリアビット(SCLR)	0xA808_0234	○	-
	タイマカウントモードビット(MODE)	0xA808_0235	○	○
	タイマ許可ビット(STOP)	0xA808_0236	○	○
	コンベアクリアバッファ許可ビット(BFE)	0xA808_0237	○	○
	コンベアクリア割込み要求許可ビット(ICRE)	0xA808_0238	○	○
	コンベアクリア割込みフラグビット(ICLR)	0xA808_0239	-	○
	0 検出要求許可ビット(IRQZE)	0xA808_023D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA808_023E	-	○
	クロック選択ビット(ECKE)	0xA808_023F	○	○
タイマ状態制御 レジスタ(FRT16B17_TCCS)	割込みマスクモードビット 2(MODE2)	0xA808_02AB	○	○
	タイマクリアビット(SCLR)	0xA808_02B4	○	-
	タイマカウントモードビット(MODE)	0xA808_02B5	○	○
	タイマ許可ビット(STOP)	0xA808_02B6	○	○
	コンベアクリアバッファ許可ビット(BFE)	0xA808_02B7	○	○
	コンベアクリア割込み要求許可ビット(ICRE)	0xA808_02B8	○	○
	コンベアクリア割込みフラグビット(ICLR)	0xA808_02B9	-	○
	0 検出要求許可ビット(IRQZE)	0xA808_02BD	○	○
	0 検出割込みフラグビット(IRQZF)	0xA808_02BE	-	○
	クロック選択ビット(ECKE)	0xA808_02BF	○	○
タイマ状態制御 レジスタ(FRT16B18_TCCS)	割込みマスクモードビット 2(MODE2)	0xA880_032B	○	○
	タイマクリアビット(SCLR)	0xA880_0334	○	-
	タイマカウントモードビット(MODE)	0xA880_0335	○	○
	タイマ許可ビット(STOP)	0xA880_0336	○	○
	コンベアクリアバッファ許可ビット(BFE)	0xA880_0337	○	○
	コンベアクリア割込み要求許可ビット(ICRE)	0xA880_0338	○	○
	コンベアクリア割込みフラグビット(ICLR)	0xA880_0339	-	○
	0 検出要求許可ビット(IRQZE)	0xA880_033D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA880_033E	-	○
	クロック選択ビット(ECKE)	0xA880_033F	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
タイマ状態制御 レジスタ(FRT16B19_TCCS)	割込みマスクモードビット 2(MODE2)	0xA800_032B	○	○
	タイマクリアビット(SCLR)	0xA800_0334	○	-
	タイマカウントモードビット(MODE)	0xA800_0335	○	○
	タイマ許可ビット(STOP)	0xA800_0336	○	○
	コンペアクリアバッファ許可ビット(BFE)	0xA800_0337	○	○
	コンペアクリア割込み要求許可ビット(ICRE)	0xA800_0338	○	○
	コンペアクリア割込みフラグビット(ICLR)	0xA800_0339	-	○
	0 検出要求許可ビット(IRQZE)	0xA800_033D	○	○
	0 検出割込みフラグビット(IRQZF)	0xA800_033E	-	○
	クロック選択ビット(ECKE)	0xA800_033F	○	○

21) 16 ビットアウトプットコンペア

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
コンペア制御レジスタ(OCU16B00_OCS)	コンペア動作許可ビット(CST0)	0xA880_0830	○	○
	コンペア動作許可ビット(CST1)	0xA880_0831	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA880_0832	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA880_0833	○	○
	コンペアー一致割込み許可ビット(IOE0)	0xA880_0834	○	○
	コンペアー一致割込み許可ビット(IOE1)	0xA880_0835	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA880_0836	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA880_0837	-	○
	出力レベルビット(OTD0)	0xA880_0838	○	○
	出力レベルビット(OTD1)	0xA880_0839	○	○
	出力レベル反転モードビット(CMOD)	0xA880_083C	○	○
	バッファ転送選択ビット(BTS0)	0xA880_083D	○	○
	バッファ転送選択ビット(BTS1)	0xA880_083E	○	○
コンペア制御レジスタ(OCU16B02_OCS)	コンペア動作許可ビット(CST0)	0xA880_08B0	○	○
	コンペア動作許可ビット(CST1)	0xA880_08B1	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA880_08B2	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA880_08B3	○	○
	コンペアー一致割込み許可ビット(IOE0)	0xA880_08B4	○	○
	コンペアー一致割込み許可ビット(IOE1)	0xA880_08B5	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA880_08B6	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA880_08B7	-	○
	出力レベルビット(OTD0)	0xA880_08B8	○	○
	出力レベルビット(OTD1)	0xA880_08B9	○	○
	出力レベル反転モードビット(CMOD)	0xA880_08BC	○	○
	バッファ転送選択ビット(BTS0)	0xA880_08BD	○	○
	バッファ転送選択ビット(BTS1)	0xA880_08BE	○	○
コンペア制御レジスタ(OCU16B04_OCS)	コンペア動作許可ビット(CST0)	0xA880_0930	○	○
	コンペア動作許可ビット(CST1)	0xA880_0931	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA880_0932	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA880_0933	○	○
	コンペアー一致割込み許可ビット(IOE0)	0xA880_0934	○	○
	コンペアー一致割込み許可ビット(IOE1)	0xA880_0935	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA880_0936	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA880_0937	-	○
	出力レベルビット(OTD0)	0xA880_0938	○	○
	出力レベルビット(OTD1)	0xA880_0939	○	○
	出力レベル反転モードビット(CMOD)	0xA880_093C	○	○
	バッファ転送選択ビット(BTS0)	0xA880_093D	○	○
	バッファ転送選択ビット(BTS1)	0xA880_093E	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
コンペア制御レジスタ(OCU16B06_OCS)	コンペア動作許可ビット(CST0)	0xA800_0830	○	○
	コンペア動作許可ビット(CST1)	0xA800_0831	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA800_0832	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA800_0833	○	○
	コンペアー一致割込み許可ビット(IE0)	0xA800_0834	○	○
	コンペアー一致割込み許可ビット(IE1)	0xA800_0835	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA800_0836	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA800_0837	-	○
	出力レベルビット(OTD0)	0xA800_0838	○	○
	出力レベルビット(OTD1)	0xA800_0839	○	○
	出力レベル反転モードビット(CMOD)	0xA800_083C	○	○
	バッファ転送選択ビット(BTS0)	0xA800_083D	○	○
	バッファ転送選択ビット(BTS1)	0xA800_083E	○	○
コンペア制御レジスタ(OCU16B08_OCS)	コンペア動作許可ビット(CST0)	0xA800_08B0	○	○
	コンペア動作許可ビット(CST1)	0xA800_08B1	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA800_08B2	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA800_08B3	○	○
	コンペアー一致割込み許可ビット(IE0)	0xA800_08B4	○	○
	コンペアー一致割込み許可ビット(IE1)	0xA800_08B5	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA800_08B6	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA800_08B7	-	○
	出力レベルビット(OTD0)	0xA800_08B8	○	○
	出力レベルビット(OTD1)	0xA800_08B9	○	○
	出力レベル反転モードビット(CMOD)	0xA800_08BC	○	○
	バッファ転送選択ビット(BTS0)	0xA800_08BD	○	○
	バッファ転送選択ビット(BTS1)	0xA800_08BE	○	○
コンペア制御レジスタ(OCU16B10_OCS)	コンペア動作許可ビット(CST0)	0xA800_0930	○	○
	コンペア動作許可ビット(CST1)	0xA800_0931	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA800_0932	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA800_0933	○	○
	コンペアー一致割込み許可ビット(IE0)	0xA800_0934	○	○
	コンペアー一致割込み許可ビット(IE1)	0xA800_0935	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA800_0936	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA800_0937	-	○
	出力レベルビット(OTD0)	0xA800_0938	○	○
	出力レベルビット(OTD1)	0xA800_0939	○	○
	出力レベル反転モードビット(CMOD)	0xA800_093C	○	○
	バッファ転送選択ビット(BTS0)	0xA800_093D	○	○
	バッファ転送選択ビット(BTS1)	0xA800_093E	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
コンペア制御レジスタ(OCU16B12_OCS)	コンペア動作許可ビット(CST0)	0xA808_0830	○	○
	コンペア動作許可ビット(CST1)	0xA808_0831	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA808_0832	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA808_0833	○	○
	コンペアー一致割込み許可ビット(IE0)	0xA808_0834	○	○
	コンペアー一致割込み許可ビット(IE1)	0xA808_0835	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA808_0836	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA808_0837	-	○
	出力レベルビット(OTD0)	0xA808_0838	○	○
	出力レベルビット(OTD1)	0xA808_0839	○	○
	出力レベル反転モードビット(CMOD)	0xA808_083C	○	○
	バッファ転送選択ビット(BTS0)	0xA808_083D	○	○
	バッファ転送選択ビット(BTS1)	0xA808_083E	○	○
コンペア制御レジスタ(OCU16B14_OCS)	コンペア動作許可ビット(CST0)	0xA808_08B0	○	○
	コンペア動作許可ビット(CST1)	0xA808_08B1	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA808_08B2	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA808_08B3	○	○
	コンペアー一致割込み許可ビット(IE0)	0xA808_08B4	○	○
	コンペアー一致割込み許可ビット(IE1)	0xA808_08B5	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA808_08B6	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA808_08B7	-	○
	出力レベルビット(OTD0)	0xA808_08B8	○	○
	出力レベルビット(OTD1)	0xA808_08B9	○	○
	出力レベル反転モードビット(CMOD)	0xA808_08BC	○	○
	バッファ転送選択ビット(BTS0)	0xA808_08BD	○	○
	バッファ転送選択ビット(BTS1)	0xA808_08BE	○	○
コンペア制御レジスタ(OCU16B16_OCS)	コンペア動作許可ビット(CST0)	0xA808_0930	○	○
	コンペア動作許可ビット(CST1)	0xA808_0931	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA808_0932	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA808_0933	○	○
	コンペアー一致割込み許可ビット(IE0)	0xA808_0934	○	○
	コンペアー一致割込み許可ビット(IE1)	0xA808_0935	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA808_0936	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA808_0937	-	○
	出力レベルビット(OTD0)	0xA808_0938	○	○
	出力レベルビット(OTD1)	0xA808_0939	○	○
	出力レベル反転モードビット(CMOD)	0xA808_093C	○	○
	バッファ転送選択ビット(BTS0)	0xA808_093D	○	○
	バッファ転送選択ビット(BTS1)	0xA808_093E	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
コンペア制御レジスタ(OCU16B18_OCS)	コンペア動作許可ビット(CST0)	0xA808_09B0	○	○
	コンペア動作許可ビット(CST1)	0xA808_09B1	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA808_09B2	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA808_09B3	○	○
	コンペアー一致割込み許可ビット(IE0)	0xA808_09B4	○	○
	コンペアー一致割込み許可ビット(IE1)	0xA808_09B5	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA808_09B6	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA808_09B7	-	○
	出力レベルビット(OTD0)	0xA808_09B8	○	○
	出力レベルビット(OTD1)	0xA808_09B9	○	○
	出力レベル反転モードビット(CMOD)	0xA808_09BC	○	○
	バッファ転送選択ビット(BTS0)	0xA808_09BD	○	○
	バッファ転送選択ビット(BTS1)	0xA808_09BE	○	○
コンペア制御レジスタ(OCU16B20_OCS)	コンペア動作許可ビット(CST0)	0xA808_0A30	○	○
	コンペア動作許可ビット(CST1)	0xA808_0A31	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA808_0A32	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA808_0A33	○	○
	コンペアー一致割込み許可ビット(IE0)	0xA808_0A34	○	○
	コンペアー一致割込み許可ビット(IE1)	0xA808_0A35	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA808_0A36	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA808_0A37	-	○
	出力レベルビット(OTD0)	0xA808_0A38	○	○
	出力レベルビット(OTD1)	0xA808_0A39	○	○
	出力レベル反転モードビット(CMOD)	0xA808_0A3C	○	○
	バッファ転送選択ビット(BTS0)	0xA808_0A3D	○	○
	バッファ転送選択ビット(BTS1)	0xA808_0A3E	○	○
コンペア制御レジスタ(OCU16B22_OCS)	コンペア動作許可ビット(CST0)	0xA808_0AB0	○	○
	コンペア動作許可ビット(CST1)	0xA808_0AB1	○	○
	アウトプットコンペアバッファ無効ビット(BUF0)	0xA808_0AB2	○	○
	アウトプットコンペアバッファ無効ビット(BUF1)	0xA808_0AB3	○	○
	コンペアー一致割込み許可ビット(IE0)	0xA808_0AB4	○	○
	コンペアー一致割込み許可ビット(IE1)	0xA808_0AB5	○	○
	コンペアー一致割込みフラグビット(IOP0)	0xA808_0AB6	-	○
	コンペアー一致割込みフラグビット(IOP1)	0xA808_0AB7	-	○
	出力レベルビット(OTD0)	0xA808_0AB8	○	○
	出力レベルビット(OTD1)	0xA808_0AB9	○	○
	出力レベル反転モードビット(CMOD)	0xA808_0ABC	○	○
	バッファ転送選択ビット(BTS0)	0xA808_0ABD	○	○
	バッファ転送選択ビット(BTS1)	0xA808_0ABE	○	○

22) 16 ビットインプットキャプチャ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
インプットキャプチャ状態制御レジスタ (ICU16B00_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA880_1034	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA880_1035	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA880_1036	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA880_1037	-	○
インプットキャプチャ状態制御レジスタ (ICU16B02_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA880_10B4	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA880_10B5	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA880_10B6	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA880_10B7	-	○
インプットキャプチャ状態制御レジスタ (ICU16B04_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA800_1034	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA800_1035	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA800_1036	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA800_1037	-	○
インプットキャプチャ状態制御レジスタ (ICU16B06_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA800_10B4	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA800_10B5	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA800_10B6	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA800_10B7	-	○
インプットキャプチャ状態制御レジスタ (ICU16B08_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA808_1034	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA808_1035	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA808_1036	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA808_1037	-	○
インプットキャプチャ状態制御レジスタ (ICU16B10_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA808_10B4	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA808_10B5	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA808_10B6	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA808_10B7	-	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
インプットキャプチャ状態制御レジスタ (ICU16B12_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA808_1134	○	○
	インプットキャプチャ 1 割込み要求許可 ビット(ICE1)	0xA808_1135	○	○
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA808_1136	-	○
	インプットキャプチャ 1 割込み要求フラ グビット(ICP1)	0xA808_1137	-	○
インプットキャプチャ状態制御レジスタ (ICU16B14_ICS)	インプットキャプチャ 0 割込み要求許可 ビット(ICE0)	0xA808_11B4	○	○
	予約	0xA808_11B5	-	-
	インプットキャプチャ 0 割込み要求フラ グビット(ICP0)	0xA808_11B6	-	○
	予約	0xA808_11B7	-	-

<注意事項>

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。

23) 4ch サンプルホールド付 12 ビット A/D コンバータ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
レンジ比較フラグレジスタ (ADC4SH00_ADRCIF)	レンジ比較割込み要因フラグビット (RCINT0)	0xA880_1AA0	-	○
	レンジ比較割込み要因フラグビット (RCINT1)	0xA880_1AA1	-	○
	レンジ比較割込み要因フラグビット (RCINT2)	0xA880_1AA2	-	○
	レンジ比較割込み要因フラグビット (RCINT3)	0xA880_1AA3	-	○
	レンジ比較割込み要因フラグビット (RCINT4)	0xA880_1AA4	-	○
	レンジ比較割込み要因フラグビット (RCINT5)	0xA880_1AA5	-	○
	レンジ比較割込み要因フラグビット (RCINT6)	0xA880_1AA6	-	○
	レンジ比較割込み要因フラグビット (RCINT7)	0xA880_1AA7	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH00_ADTS1)	割込み要求フラグビット(INT)	0xA880_1AEE	-	○
	A/D 起動要求中ビット(BUSY)	0xA880_1AEF	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH00_ADTS0)	割込み要求フラグビット(INT)	0xA880_1AFE	-	○
	A/D 起動要求中ビット(BUSY)	0xA880_1AFF	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH00_ADTS3)	割込み要求フラグビット(INT)	0xA880_1B0E	-	○
	A/D 起動要求中ビット(BUSY)	0xA880_1B0F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH00_ADTS2)	割込み要求フラグビット(INT)	0xA880_1B1E	-	○
	A/D 起動要求中ビット(BUSY)	0xA880_1B1F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH00_ADTS5)	割込み要求フラグビット(INT)	0xA880_1B2E	-	○
	A/D 起動要求中ビット(BUSY)	0xA880_1B2F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH00_ADTS4)	割込み要求フラグビット(INT)	0xA880_1B3E	-	○
	A/D 起動要求中ビット(BUSY)	0xA880_1B3F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH00_ADTS7)	割込み要求フラグビット(INT)	0xA880_1B4E	-	○
	A/D 起動要求中ビット(BUSY)	0xA880_1B4F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH00_ADTS6)	割込み要求フラグビット(INT)	0xA880_1B5E	-	○
	A/D 起動要求中ビット(BUSY)	0xA880_1B5F	-	○
レンジ比較フラグレジスタ (ADC4SH01_ADRCIF)	レンジ比較割込み要因フラグビット (RCINT0)	0xA800_1AA0	-	○
	レンジ比較割込み要因フラグビット (RCINT1)	0xA800_1AA1	-	○
	レンジ比較割込み要因フラグビット (RCINT2)	0xA800_1AA2	-	○
	レンジ比較割込み要因フラグビット (RCINT3)	0xA800_1AA3	-	○
	レンジ比較割込み要因フラグビット (RCINT4)	0xA800_1AA4	-	○
	レンジ比較割込み要因フラグビット (RCINT5)	0xA800_1AA5	-	○
	レンジ比較割込み要因フラグビット (RCINT6)	0xA800_1AA6	-	○
	レンジ比較割込み要因フラグビット (RCINT7)	0xA800_1AA7	-	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
A/D 起動要求/割込みステータスレジスタ (ADC4SH01_ADTS1)	割込み要求フラグビット(INT)	0xA800_1AEE	-	○
	A/D 起動要求中ビット(BUSY)	0xA800_1AEF	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH01_ADTS0)	割込み要求フラグビット(INT)	0xA800_1AFE	-	○
	A/D 起動要求中ビット(BUSY)	0xA800_1AFF	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH01_ADTS3)	割込み要求フラグビット(INT)	0xA800_1B0E	-	○
	A/D 起動要求中ビット(BUSY)	0xA800_1B0F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH01_ADTS2)	割込み要求フラグビット(INT)	0xA800_1B1E	-	○
	A/D 起動要求中ビット(BUSY)	0xA800_1B1F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH01_ADTS5)	割込み要求フラグビット(INT)	0xA800_1B2E	-	○
	A/D 起動要求中ビット(BUSY)	0xA800_1B2F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH01_ADTS4)	割込み要求フラグビット(INT)	0xA800_1B3E	-	○
	A/D 起動要求中ビット(BUSY)	0xA800_1B3F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH01_ADTS7)	割込み要求フラグビット(INT)	0xA800_1B4E	-	○
	A/D 起動要求中ビット(BUSY)	0xA800_1B4F	-	○
A/D 起動要求/割込みステータスレジスタ (ADC4SH01_ADTS6)	割込み要求フラグビット(INT)	0xA800_1B5E	-	○
	A/D 起動要求中ビット(BUSY)	0xA800_1B5F	-	○

24) 波形ジェネレータ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
16 ビットデッドタイム状態制御レジスタ 2 (WFG00_DTCR2)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE2)	0xA880_206B	○	○
	割込み要求フラグビット(TMIF2)	0xA880_206C	-	○
	GATE 信号制御ビット 4(GTEN4)	0xA880_206D	○	○
	GATE 信号制御ビット 5(GTEN5)	0xA880_206E	○	○
	出力極性制御ビット(DMOD2)	0xA880_206F	○	○
16 ビットデッドタイム状態制御レジスタ 1 (WFG00_DTCR1)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE1)	0xA880_2073	○	○
	割込み要求フラグビット(TMIF1)	0xA880_2074	-	○
	GATE 信号制御ビット 2(GTEN2)	0xA880_2075	○	○
	GATE 信号制御ビット 3(GTEN3)	0xA880_2076	○	○
	出力極性制御ビット(DMOD1)	0xA880_2077	○	○
16 ビットデッドタイム状態制御レジスタ 0 (WFG00_DTCR0)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE0)	0xA880_207B	○	○
	割込み要求フラグビット(TMIF0)	0xA880_207C	-	○
	GATE 信号制御ビット 0(GTEN0)	0xA880_207D	○	○
	GATE 信号制御ビット 1(GTEN1)	0xA880_207E	○	○
	出力極性制御ビット(DMOD0)	0xA880_207F	○	○
16 ビットデッドタイムリロード割込みレジ スタ(WFG00_DTIR)	16 ビットデッドタイム 0 リロード 割込み許可ビット(DTRIE0)	0xA880_2092	○	○
	16 ビットデッドタイム 0 リロード 割込みフラグビット(DTRIF0)	0xA880_2093	-	○
	16 ビットデッドタイム 1 リロード 割込み許可ビット(DTRIE1)	0xA880_2094	○	○
	16 ビットデッドタイム 1 リロード 割込みフラグビット(DTRIF1)	0xA880_2095	-	○
	16 ビットデッドタイム 2 リロード 割込み許可ビット(DTRIE2)	0xA880_2096	○	○
	16 ビットデッドタイム 2 リロード 割込みフラグビット(DTRIF2)	0xA880_2097	-	○
波形制御レジスタ 1(WFG00_SIGCR1)	ノイズキャンセル機能有効ビット (NRSL)	0xA880_20B5	○	○
	DTTI 割込みフラグビット(DTIF)	0xA880_20B6	-	○
	DTTI 割込みフラグビット(DTIE)	0xA880_20B7	○	○
16 ビットデッドタイム状態制御レジスタ 2 (WFG01_DTCR2)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE2)	0xA800_206B	○	○
	割込み要求フラグビット(TMIF2)	0xA800_206C	-	○
	GATE 信号制御ビット 4(GTEN4)	0xA800_206D	○	○
	GATE 信号制御ビット 5(GTEN5)	0xA800_206E	○	○
	出力極性制御ビット(DMOD2)	0xA800_206F	○	○
16 ビットデッドタイム状態制御レジスタ 1 (WFG01_DTCR1)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE1)	0xA800_2073	○	○
	割込み要求フラグビット(TMIF1)	0xA800_2074	-	○
	GATE 信号制御ビット 2(GTEN2)	0xA800_2075	○	○
	GATE 信号制御ビット 3(GTEN3)	0xA800_2076	○	○
	出力極性制御ビット(DMOD1)	0xA800_2077	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
16 ビットデッドタイム状態制御レジスタ 0 (WFG01_DTCR0)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE0)	0xA800_207B	○	○
	割込み要求フラグビット(TMIF0)	0xA800_207C	-	○
	GATE 信号制御ビット 0(GTEN0)	0xA800_207D	○	○
	GATE 信号制御ビット 1(GTEN1)	0xA800_207E	○	○
	出力極性制御ビット(DMOD0)	0xA800_207F	○	○
16 ビットデッドタイムリロード割込みレジ スタ(WFG01_DTIR)	16 ビットデッドタイム 0 リロード 割込み許可ビット(DTRIE0)	0xA800_2092	○	○
	16 ビットデッドタイム 0 リロード 割込みフラグビット(DTRIF0)	0xA800_2093	-	○
	16 ビットデッドタイム 1 リロード 割込み許可ビット(DTRIE1)	0xA800_2094	○	○
	16 ビットデッドタイム 1 リロード 割込みフラグビット(DTRIF1)	0xA800_2095	-	○
	16 ビットデッドタイム 2 リロード 割込み許可ビット(DTRIE2)	0xA800_2096	○	○
	16 ビットデッドタイム 2 リロード 割込みフラグビット(DTRIF2)	0xA800_2097	-	○
波形制御レジスタ 1(WFG01_SIGCR1)	ノイズキャンセル機能有効ビット (NRSL)	0xA800_20B5	○	○
	DTTI 割込みフラグビット(DTIF)	0xA800_20B6	-	○
	DTTI 割込みフラグビット(DTIE)	0xA800_20B7	○	○
16 ビットデッドタイム状態制御レジスタ 2 (WFG02_DTCR2)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE2)	0xA808_306B	○	○
	割込み要求フラグビット(TMIF2)	0xA808_306C	-	○
	GATE 信号制御ビット 4(GTEN4)	0xA808_306D	○	○
	GATE 信号制御ビット 5(GTEN5)	0xA808_306E	○	○
	出力極性制御ビット(DMOD2)	0xA808_306F	○	○
16 ビットデッドタイム状態制御レジスタ 1 (WFG02_DTCR1)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE1)	0xA808_3073	○	○
	割込み要求フラグビット(TMIF1)	0xA808_3074	-	○
	GATE 信号制御ビット 2(GTEN2)	0xA808_3075	○	○
	GATE 信号制御ビット 3(GTEN3)	0xA808_3076	○	○
	出力極性制御ビット(DMOD1)	0xA808_3077	○	○
16 ビットデッドタイム状態制御レジスタ 0 (WFG02_DTCR0)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE0)	0xA808_307B	○	○
	割込み要求フラグビット(TMIF0)	0xA808_307C	-	○
	GATE 信号制御ビット 0(GTEN0)	0xA808_307D	○	○
	GATE 信号制御ビット 1(GTEN1)	0xA808_307E	○	○
	出力極性制御ビット(DMOD0)	0xA808_307F	○	○
16 ビットデッドタイムリロード割込みレジ スタ(WFG02_DTIR)	16 ビットデッドタイム 0 リロード 割込み許可ビット(DTRIE0)	0xA808_3092	○	○
	16 ビットデッドタイム 0 リロード 割込みフラグビット(DTRIF0)	0xA808_3093	-	○
	16 ビットデッドタイム 1 リロード 割込み許可ビット(DTRIE1)	0xA808_3094	○	○
	16 ビットデッドタイム 1 リロード 割込みフラグビット(DTRIF1)	0xA808_3095	-	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	16 ビットデッドタイム 2 リロード 割込み許可ビット(DTRIE2)	0xA808_3096	○	○
	16 ビットデッドタイム 2 リロード 割込みフラグビット(DTRIF2)	0xA808_3097	-	○
波形制御レジスタ 1(WFG02_SIGCR1)	ノイズキャンセル機能有効ビット (NRSL)	0xA808_30B5	○	○
	DTTI 割込みフラグビット(DTIF)	0xA808_30B6	-	○
	DTTI 割込みフラグビット(DTIE)	0xA808_30B7	○	○
16 ビットデッドタイム状態制御レジスタ 2 (WFG03_DTCR2)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE2)	0xA808_326B	○	○
	割込み要求フラグビット(TMIF2)	0xA808_326C	-	○
	GATE 信号制御ビット 4(GTEN4)	0xA808_326D	○	○
	GATE 信号制御ビット 5(GTEN5)	0xA808_326E	○	○
	出力極性制御ビット(DMOD2)	0xA808_326F	○	○
16 ビットデッドタイム状態制御レジスタ 1 (WFG03_DTCR1)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE1)	0xA808_3273	○	○
	割込み要求フラグビット(TMIF1)	0xA808_3274	-	○
	GATE 信号制御ビット 2(GTEN2)	0xA808_3275	○	○
	GATE 信号制御ビット 3(GTEN3)	0xA808_3276	○	○
	出力極性制御ビット(DMOD1)	0xA808_3277	○	○
16 ビットデッドタイム状態制御レジスタ 0 (WFG03_DTCR0)	割込み要求許可ビット, ソフトウェア トリガビット(TMIE0)	0xA808_327B	○	○
	割込み要求フラグビット(TMIF0)	0xA808_327C	-	○
	GATE 信号制御ビット 0(GTEN0)	0xA808_327D	○	○
	GATE 信号制御ビット 1(GTEN1)	0xA808_327E	○	○
16 ビットデッドタイム リロード割込みレジスタ(WFG03_DTIR)	出力極性制御ビット(DMOD0)	0xA808_327F	○	○
	16 ビットデッドタイム 0 リロード 割込み許可ビット(DTRIE0)	0xA808_3292	○	○
	16 ビットデッドタイム 0 リロード 割込みフラグビット(DTRIF0)	0xA808_3293	-	○
	16 ビットデッドタイム 1 リロード 割込み許可ビット(DTRIE1)	0xA808_3294	○	○
	16 ビットデッドタイム 1 リロード 割込みフラグビット(DTRIF1)	0xA808_3295	-	○
	16 ビットデッドタイム 2 リロード 割込み許可ビット(DTRIE2)	0xA808_3296	○	○
	16 ビットデッドタイム 2 リロード 割込みフラグビット(DTRIF2)	0xA808_3297	-	○
波形制御レジスタ 1(WFG03_SIGCR1)	ノイズキャンセル機能有効ビット (NRSL)	0xA808_32B5	○	○
	DTTI 割込みフラグビット(DTIF)	0xA808_32B6	-	○
	DTTI 割込みフラグビット(DTIE)	0xA808_32B7	○	○



25) アップダウンカウンタ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
カウンタコントロールレジスタ (UDC16B00_CCRL)	カウンタクリア/ゲート機能選択ビット(CGSC)	0xA880_2842	○	○
	カウンタクリアビット(UDCC)	0xA880_2843	-	○
	リロード許可ビット(RLDE)	0xA880_2844	○	○
	コンペアクリア許可ビット(UCRE)	0xA880_2845	○	○
	カウンタライトビット(CTUT)	0xA880_2846	○	-
カウンタコントロールレジスタ (UDC16B00_CCRH)	内蔵プリスケラ選択ビット(CCLKS)	0xA880_284C	○	○
	カウント方向転換割込み許可ビット(CFIE)	0xA880_284D	○	○
	カウント方向転換フラグビット(CDCF)	0xA880_284E	-	○
	16 ビットモード許可設定ビット(M16E)	0xA880_284F	○	○
カウンタステータスレジスタ (UDC16B00_CSRL)	アンダフロー検出フラグビット(UDFF)	0xA880_2862	-	○
	オーバフロー検出フラグビット(OVFF)	0xA880_2863	-	○
	比較結果一致検出フラグビット(CMPF)	0xA880_2864	-	○
	オーバフロー/アンダフロー割込み許可ビット (UDIE)	0xA880_2865	○	○
	コンペア検出割込み許可ビット(CITE)	0xA880_2866	○	○
	カウント起動ビット(CSTR)	0xA880_2867	○	○
比較結果一致検出フラグレジスタ (UDC16B00_CMPFR)	比較結果一致検出フラグビット(CMPF0)	0xA880_2AC0	-	○
	比較結果一致検出フラグビット(CMPF1)	0xA880_2AC1	-	○
	比較結果一致検出フラグビット(CMPF2)	0xA880_2AC2	-	○
	比較結果一致検出フラグビット(CMPF3)	0xA880_2AC3	-	○
	比較結果一致検出フラグビット(CMPF4)	0xA880_2AC4	-	○
	比較結果一致検出フラグビット(CMPF5)	0xA880_2AC5	-	○
カウンタコントロールレジスタ (UDC16B01_CCRL)	カウンタクリア/ゲート機能選択ビット(CGSC)	0xA880_2C42	○	○
	カウンタクリアビット(UDCC)	0xA880_2C43	-	○
	リロード許可ビット(RLDE)	0xA880_2C44	○	○
	コンペアクリア許可ビット(UCRE)	0xA880_2C45	○	○
	カウンタライトビット(CTUT)	0xA880_2C46	○	-
カウンタコントロールレジスタ (UDC16B01_CCRH)	内蔵プリスケラ選択ビット(CCLKS)	0xA880_2C4C	○	○
	カウント方向転換割込み許可ビット(CFIE)	0xA880_2C4D	○	○
	カウント方向転換フラグビット(CDCF)	0xA880_2C4E	-	○
	16 ビットモード許可設定ビット(M16E)	0xA880_2C4F	○	○
カウンタステータスレジスタ (UDC16B01_CSRL)	アンダフロー検出フラグビット(UDFF)	0xA880_2C62	-	○
	オーバフロー検出フラグビット(OVFF)	0xA880_2C63	-	○
	比較結果一致検出フラグビット(CMPF)	0xA880_2C64	-	○
	オーバフロー/アンダフロー割込み許可ビット (UDIE)	0xA880_2C65	○	○
	コンペア検出割込み許可ビット(CITE)	0xA880_2C66	○	○
	カウント起動ビット(CSTR)	0xA880_2C67	○	○
比較結果一致検出フラグレジスタ (UDC16B01_CMPFR)	比較結果一致検出フラグビット(CMPF0)	0xA880_2EC0	-	○
	比較結果一致検出フラグビット(CMPF1)	0xA880_2EC1	-	○
	比較結果一致検出フラグビット(CMPF2)	0xA880_2EC2	-	○
	比較結果一致検出フラグビット(CMPF3)	0xA880_2EC3	-	○
	比較結果一致検出フラグビット(CMPF4)	0xA880_2EC4	-	○
	比較結果一致検出フラグビット(CMPF5)	0xA880_2EC5	-	○
カウンタコントロールレジスタ (UDC16B02_CCRL)	カウンタクリア/ゲート機能選択ビット(CGSC)	0xA800_2842	○	○
	カウンタクリアビット(UDCC)	0xA800_2843	-	○
	リロード許可ビット(RLDE)	0xA800_2844	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
カウンタコントロールレジスタ (UDC16B02_CCRH)	コンペアクリア許可ビット(UCRE)	0xA800_2845	○	○
	カウンタライトビット(CTUT)	0xA800_2846	○	-
	内蔵プリスケアラ選択ビット(CLKS)	0xA800_284C	○	○
	カウント方向転換割込み許可ビット(CFIE)	0xA800_284D	○	○
	カウント方向転換フラグビット(CDCF)	0xA800_284E	-	○
カウンタステータスレジスタ (UDC16B02_CSRL)	16 ビットモード許可設定ビット(M16E)	0xA800_284F	○	○
	アンダフロー検出フラグビット(UDFF)	0xA800_2862	-	○
	オーバフロー検出フラグビット(OVFF)	0xA800_2863	-	○
	比較結果一致検出フラグビット(CMPF)	0xA800_2864	-	○
	オーバフロー/アンダフロー割込み許可ビット (UDIE)	0xA800_2865	○	○
	コンペア検出割込み許可ビット(CITE)	0xA800_2866	○	○
	カウント起動ビット(CSTR)	0xA800_2867	○	○
比較結果一致検出フラグレジスタ (UDC16B02_CMPFR)	比較結果一致検出フラグビット(CMPF0)	0xA800_2AC0	-	○
	比較結果一致検出フラグビット(CMPF1)	0xA800_2AC1	-	○
	比較結果一致検出フラグビット(CMPF2)	0xA800_2AC2	-	○
	比較結果一致検出フラグビット(CMPF3)	0xA800_2AC3	-	○
	比較結果一致検出フラグビット(CMPF4)	0xA800_2AC4	-	○
	比較結果一致検出フラグビット(CMPF5)	0xA800_2AC5	-	○
カウンタコントロールレジスタ (UDC16B03_CCRL)	カウンタクリア/ゲート機能選択ビット(CGSC)	0xA800_2C42	○	○
	カウンタクリアビット(UDCC)	0xA800_2C43	-	○
	リロード許可ビット(RLDE)	0xA800_2C44	○	○
	コンペアクリア許可ビット(UCRE)	0xA800_2C45	○	○
	カウンタライトビット(CTUT)	0xA800_2C46	○	-
カウンタコントロールレジスタ (UDC16B03_CCRH)	内蔵プリスケアラ選択ビット(CLKS)	0xA800_2C4C	○	○
	カウント方向転換割込み許可ビット(CFIE)	0xA800_2C4D	○	○
	カウント方向転換フラグビット(CDCF)	0xA800_2C4E	-	○
	16 ビットモード許可設定ビット(M16E)	0xA800_2C4F	○	○
カウンタステータスレジスタ (UDC16B03_CSRL)	アンダフロー検出フラグビット(UDFF)	0xA800_2C62	-	○
	オーバフロー検出フラグビット(OVFF)	0xA800_2C63	-	○
	比較結果一致検出フラグビット(CMPF)	0xA800_2C64	-	○
	オーバフロー/アンダフロー割込み許可ビット (UDIE)	0xA800_2C65	○	○
	コンペア検出割込み許可ビット(CITE)	0xA800_2C66	○	○
	カウント起動ビット(CSTR)	0xA800_2C67	○	○
	比較結果一致検出フラグビット(CMPF0)	0xA800_2EC0	-	○
比較結果一致検出フラグレジスタ (UDC16B03_CMPFR)	比較結果一致検出フラグビット(CMPF1)	0xA800_2EC1	-	○
	比較結果一致検出フラグビット(CMPF2)	0xA800_2EC2	-	○
	比較結果一致検出フラグビット(CMPF3)	0xA800_2EC3	-	○
	比較結果一致検出フラグビット(CMPF4)	0xA800_2EC4	-	○
	比較結果一致検出フラグビット(CMPF5)	0xA800_2EC5	-	○



26) モータ演算アクセラレータ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
代表状態表示レジスタ(MVA00_MVARS)	演算終了代表表示ビット(CED)	0xA880_4060	-	○
	浮動小数点非正規化数エラー表示ビット (FDDEF)	0xA880_4061	-	○
	故障検出エラー表示ビット(FDEF)	0xA880_4062	-	○
	演算データ更新エラー代表表示ビット(UDEF)	0xA880_4063	-	○
	3相電流異常振幅検出エラー表示ビット (UACEF)	0xA880_4064	-	○
	予約	0xA880_4065	-	-
	3相2相直流電流値異常検出エラー表示ビッ ト(PCVCEF)	0xA880_4066	-	○
	オーバフロー表示ビット(OFLF)	0xA880_4068	-	○
	アンダフロー表示ビット(UFLF)	0xA880_4069	-	○
	演算オーバタイムエラー表示ビット(COTEF)	0xA880_406A	-	○
	R/D コンバータ診断エラー表示ビット (RDCCEF)	0xA880_406B	-	○
終了状態表示レジスタ(MVA00_MVAES)	角度演算終了表示ビット(AGCED)	0xA880_4070	-	○
	3相電流正規化終了表示ビット(CNED)	0xA880_4071	-	○
	3相2相直流変換終了表示ビット(DCCED)	0xA880_4072	-	○
	PID 制御終了表示ビット(PIDED)	0xA880_4073	-	○
	電流/電圧変換終了表示ビット(CVCED)	0xA880_4074	-	○
	2相3相交流変換終了表示ビット(ACCED)	0xA880_4075	-	○
代表状態表示レジスタ(MVA01_MVARS)	演算終了代表表示ビット(CED)	0xA800_4060	-	○
	浮動小数点非正規化数エラー表示ビット (FDDEF)	0xA800_4061	-	○
	故障検出エラー表示ビット(FDEF)	0xA800_4062	-	○
	演算データ更新エラー代表表示ビット(UDEF)	0xA800_4063	-	○
	3相電流異常振幅検出エラー表示ビット (UACEF)	0xA800_4064	-	○
	予約	0xA800_4065	-	-
	3相2相直流電流値異常検出エラー表示ビッ ト(PCVCEF)	0xA800_4066	-	○
	オーバフロー表示ビット(OFLF)	0xA800_4068	-	○
	アンダフロー表示ビット(UFLF)	0xA800_4069	-	○
	演算オーバタイムエラー表示ビット(COTEF)	0xA800_406A	-	○
	R/D コンバータ診断エラー表示ビット (RDCCEF)	0xA800_406B	-	○
終了状態表示レジスタ(MVA01_MVAES)	角度演算終了表示ビット(AGCED)	0xA800_4070	-	○
	3相電流正規化終了表示ビット(CNED)	0xA800_4071	-	○
	3相2相直流変換終了表示ビット(DCCED)	0xA800_4072	-	○
	PID 制御終了表示ビット(PIDED)	0xA800_4073	-	○
	電流/電圧変換終了表示ビット(CVCED)	0xA800_4074	-	○
	2相3相交流変換終了表示ビット(ACCED)	0xA800_4075	-	○

<注意事項>

- 予約のビットバンドエイリアスアドレスにアクセスしてはいけません。

27) R/D コンバータ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
RDC 異常割込み要求許可レジスタ (RDC00_RDCICER)	割込み許可ビット(INTE)	0xA880_6000	○	○
	割込み要求フラグビット(RDCEF)	0xA880_6001	-	○
正弦余弦変換入力レジスタ (RDC00_SCCIR)	SIN/COS 更新フラグビット(RDCUF)	0xA880_60DF	-	○
RDC 異常割込み要求許可レジスタ (RDC01_RDCICER)	割込み許可ビット(INTE)	0xA800_6000	○	○
	割込み要求フラグビット(RDCEF)	0xA800_6001	-	○
正弦余弦変換入力レジスタ (RDC01_SCCIR)	SIN/COS 更新フラグビット(RDCUF)	0xA800_60DF	-	○



28) 12 ビット A/D コンバータ

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC51)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2264	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2265	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2268	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2269	○	○
	リピート変換選択ビット(RPT)	0xA808_226A	○	○
	割込み要求許可ビット(INTE)	0xA808_226D	○	○
	割込み要求フラグビット(INT)	0xA808_226E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_226F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC50)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2274	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2275	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2278	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2279	○	○
	リピート変換選択ビット(RPT)	0xA808_227A	○	○
	割込み要求許可ビット(INTE)	0xA808_227D	○	○
	割込み要求フラグビット(INT)	0xA808_227E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_227F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC53)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2284	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2285	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2288	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2289	○	○
	リピート変換選択ビット(RPT)	0xA808_228A	○	○
	割込み要求許可ビット(INTE)	0xA808_228D	○	○
	割込み要求フラグビット(INT)	0xA808_228E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_228F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC52)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2294	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2295	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2298	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2299	○	○
	リピート変換選択ビット(RPT)	0xA808_229A	○	○
	割込み要求許可ビット(INTE)	0xA808_229D	○	○
	割込み要求フラグビット(INT)	0xA808_229E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_229F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC55)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_22A4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_22A5	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_22A8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_22A9	○	○
	リピート変換選択ビット(RPT)	0xA808_22AA	○	○
	割込み要求許可ビット(INTE)	0xA808_22AD	○	○
	割込み要求フラグビット(INT)	0xA808_22AE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_22AF	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC54)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_22B4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_22B5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_22B8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_22B9	○	○
	リピート変換選択ビット(RPT)	0xA808_22BA	○	○
	割込み要求許可ビット(INTE)	0xA808_22BD	○	○
	割込み要求フラグビット(INT)	0xA808_22BE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_22BF	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC57)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_22C4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_22C5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_22C8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_22C9	○	○
	リピート変換選択ビット(RPT)	0xA808_22CA	○	○
	割込み要求許可ビット(INTE)	0xA808_22CD	○	○
	割込み要求フラグビット(INT)	0xA808_22CE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_22CF	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC56)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_22D4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_22D5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_22D8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_22D9	○	○
	リピート変換選択ビット(RPT)	0xA808_22DA	○	○
	割込み要求許可ビット(INTE)	0xA808_22DD	○	○
	割込み要求フラグビット(INT)	0xA808_22DE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_22DF	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC59)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_22E4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_22E5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_22E8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_22E9	○	○
	リピート変換選択ビット(RPT)	0xA808_22EA	○	○
	割込み要求許可ビット(INTE)	0xA808_22ED	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	割込み要求フラグビット(INT)	0xA808_22EE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_22EF	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC8S)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_22F4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_22F5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_22F8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_22F9	○	○
	リピート変換選択ビット(RPT)	0xA808_22FA	○	○
	割込み要求許可ビット(INTE)	0xA808_22FD	○	○
	割込み要求フラグビット(INT)	0xA808_22FE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_22FF	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC11)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2304	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2305	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2308	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2309	○	○
	リピート変換選択ビット(RPT)	0xA808_230A	○	○
	割込み要求許可ビット(INTE)	0xA808_230D	○	○
	割込み要求フラグビット(INT)	0xA808_230E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_230F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC10)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2314	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2315	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2318	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2319	○	○
	リピート変換選択ビット(RPT)	0xA808_231A	○	○
	割込み要求許可ビット(INTE)	0xA808_231D	○	○
	割込み要求フラグビット(INT)	0xA808_231E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_231F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC13)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2324	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2325	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2328	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2329	○	○
	リピート変換選択ビット(RPT)	0xA808_232A	○	○
	割込み要求許可ビット(INTE)	0xA808_232D	○	○
	割込み要求フラグビット(INT)	0xA808_232E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_232F	-	○
A/D 起動トリガ制御 ステータスレジスタ(ADC12B_ADTC12)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2334	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2335	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2338	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2339	○	○
	リピート変換選択ビット(RPT)	0xA808_233A	○	○
	割込み要求許可ビット(INTE)	0xA808_233D	○	○
	割込み要求フラグビット(INT)	0xA808_233E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_233F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC15)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2344	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2345	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2348	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2349	○	○
	リピート変換選択ビット(RPT)	0xA808_234A	○	○
	割込み要求許可ビット(INTE)	0xA808_234D	○	○
	割込み要求フラグビット(INT)	0xA808_234E	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC14)	A/D 起動要求中ビット(BUSY)	0xA808_234F	-	○
	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2354	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2355	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2358	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2359	○	○
	リピート変換選択ビット(RPT)	0xA808_235A	○	○
	割込み要求許可ビット(INTE)	0xA808_235D	○	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC17)	割込み要求フラグビット(INT)	0xA808_235E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_235F	-	○
	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2364	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2365	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2368	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2369	○	○
	リピート変換選択ビット(RPT)	0xA808_236A	○	○
A/D 起動トリガ制御 ステータスレジスタ(ADC12B_ADTC16)	割込み要求許可ビット(INTE)	0xA808_236D	○	○
	割込み要求フラグビット(INT)	0xA808_236E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_236F	-	○
	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2374	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2375	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2378	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2379	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	リピート変換選択ビット(RPT)	0xA808_237A	○	○
	割込み要求許可ビット(INTE)	0xA808_237D	○	○
	割込み要求フラグビット(INT)	0xA808_237E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_237F	-	○
A/D 起動トリガ制御 ステータスレジスタ(ADC12B_ADTCS19)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2384	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2385	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2388	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2389	○	○
	リピート変換選択ビット(RPT)	0xA808_238A	○	○
	割込み要求許可ビット(INTE)	0xA808_238D	○	○
	割込み要求フラグビット(INT)	0xA808_238E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_238F	-	○
A/D 起動トリガ制御 ステータスレジスタ(ADC12B_ADTCS18)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2394	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2395	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2398	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2399	○	○
	リピート変換選択ビット(RPT)	0xA808_239A	○	○
	割込み要求許可ビット(INTE)	0xA808_239D	○	○
	割込み要求フラグビット(INT)	0xA808_239E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_239F	-	○
A/D 起動トリガ制御 ステータスレジスタ(ADC12B_ADTCS21)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_23A4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_23A5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_23A8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_23A9	○	○
	リピート変換選択ビット(RPT)	0xA808_23AA	○	○
	割込み要求許可ビット(INTE)	0xA808_23AD	○	○
	割込み要求フラグビット(INT)	0xA808_23AE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_23AF	-	○
A/D 起動トリガ制御 ステータスレジスタ(ADC12B_ADTCS20)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_23B4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_23B5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_23B8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_23B9	○	○
	リピート変換選択ビット(RPT)	0xA808_23BA	○	○
	割込み要求許可ビット(INTE)	0xA808_23BD	○	○
	割込み要求フラグビット(INT)	0xA808_23BE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_23BF	-	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC23)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_23C4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_23C5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_23C8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_23C9	○	○
	リピート変換選択ビット(RPT)	0xA808_23CA	○	○
	割込み要求許可ビット(INTE)	0xA808_23CD	○	○
	割込み要求フラグビット(INT)	0xA808_23CE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_23CF	-	○
A/D 起動トリガ制御 ステータスレジスタ(ADC12B_ADTC22)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_23D4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_23D5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_23D8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_23D9	○	○
	リピート変換選択ビット(RPT)	0xA808_23DA	○	○
	割込み要求許可ビット(INTE)	0xA808_23DD	○	○
	割込み要求フラグビット(INT)	0xA808_23DE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_23DF	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC25)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_23E4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_23E5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_23E8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_23E9	○	○
	リピート変換選択ビット(RPT)	0xA808_23EA	○	○
	割込み要求許可ビット(INTE)	0xA808_23ED	○	○
	割込み要求フラグビット(INT)	0xA808_23EE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_23EF	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC24)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_23F4	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_23F5	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_23F8	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_23F9	○	○
	リピート変換選択ビット(RPT)	0xA808_23FA	○	○
	割込み要求許可ビット(INTE)	0xA808_23FD	○	○
	割込み要求フラグビット(INT)	0xA808_23FE	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_23FF	-	○
A/D 起動トリガ制御 ステータスレジスタ(ADC12B_ADTC27)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2404	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2405	○	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2408	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2409	○	○
	リピート変換選択ビット(RPT)	0xA808_240A	○	○
	割込み要求許可ビット(INTE)	0xA808_240D	○	○
	割込み要求フラグビット(INT)	0xA808_240E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_240F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC26)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2414	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2415	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2418	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2419	○	○
	リピート変換選択ビット(RPT)	0xA808_241A	○	○
	割込み要求許可ビット(INTE)	0xA808_241D	○	○
	割込み要求フラグビット(INT)	0xA808_241E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_241F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC29)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2424	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2425	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2428	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2429	○	○
	リピート変換選択ビット(RPT)	0xA808_242A	○	○
	割込み要求許可ビット(INTE)	0xA808_242D	○	○
	割込み要求フラグビット(INT)	0xA808_242E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_242F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC28)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2434	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2435	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2438	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2439	○	○
	リピート変換選択ビット(RPT)	0xA808_243A	○	○
	割込み要求許可ビット(INTE)	0xA808_243D	○	○
	割込み要求フラグビット(INT)	0xA808_243E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_243F	-	○
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC31)	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2444	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2445	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2448	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2449	○	○
	リピート変換選択ビット(RPT)	0xA808_244A	○	○
	割込み要求許可ビット(INTE)	0xA808_244D	○	○

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
A/D 起動トリガ制御ステータスレジスタ (ADC12B_ADTC30)	割込み要求フラグビット(INT)	0xA808_244E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_244F	-	○
	コンペアレジスタバッファ転送制御ビット (BTS)	0xA808_2454	○	○
	コンペアレジスタバッファ機能制御ビット (BUFX)	0xA808_2455	○	○
	A/D データレジスタ保護解除選択ビット (PRTS)	0xA808_2458	○	○
	A/D データレジスタ保護有効ビット(PRT)	0xA808_2459	○	○
	リポート変換選択ビット(RPT)	0xA808_245A	○	○
	割込み要求許可ビット(INTE)	0xA808_245D	○	○
	割込み要求フラグビット(INT)	0xA808_245E	-	○
	A/D 起動要求中ビット(BUSY)	0xA808_245F	-	○
レンジ比較フラグレジスタ (ADC12B_ADRCIF)	レンジ比較割込み要因フラグビット(RCINT0)	0xA808_2A00	-	○
	レンジ比較割込み要因フラグビット(RCINT1)	0xA808_2A01	-	○
	レンジ比較割込み要因フラグビット(RCINT2)	0xA808_2A02	-	○
	レンジ比較割込み要因フラグビット(RCINT3)	0xA808_2A03	-	○
	レンジ比較割込み要因フラグビット(RCINT4)	0xA808_2A04	-	○
	レンジ比較割込み要因フラグビット(RCINT5)	0xA808_2A05	-	○
	レンジ比較割込み要因フラグビット(RCINT6)	0xA808_2A06	-	○
	レンジ比較割込み要因フラグビット(RCINT7)	0xA808_2A07	-	○
	レンジ比較割込み要因フラグビット(RCINT8)	0xA808_2A08	-	○
	レンジ比較割込み要因フラグビット(RCINT9)	0xA808_2A09	-	○
	レンジ比較割込み要因フラグビット (RCINT10)	0xA808_2A0A	-	○
	レンジ比較割込み要因フラグビット (RCINT11)	0xA808_2A0B	-	○
	レンジ比較割込み要因フラグビット (RCINT12)	0xA808_2A0C	-	○
	レンジ比較割込み要因フラグビット (RCINT13)	0xA808_2A0D	-	○
	レンジ比較割込み要因フラグビット (RCINT14)	0xA808_2A0E	-	○
	レンジ比較割込み要因フラグビット (RCINT15)	0xA808_2A0F	-	○
	レンジ比較割込み要因フラグビット (RCINT16)	0xA808_2A10	-	○
	レンジ比較割込み要因フラグビット (RCINT17)	0xA808_2A11	-	○
	レンジ比較割込み要因フラグビット (RCINT18)	0xA808_2A12	-	○
	レンジ比較割込み要因フラグビット (RCINT19)	0xA808_2A13	-	○
	レンジ比較割込み要因フラグビット (RCINT20)	0xA808_2A14	-	○
	レンジ比較割込み要因フラグビット (RCINT21)	0xA808_2A15	-	○
	レンジ比較割込み要因フラグビット (RCINT22)	0xA808_2A16	-	○



レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
	レンジ比較割込み要因フラグビット (RCINT23)	0xA808_2A17	-	○
	レンジ比較割込み要因フラグビット (RCINT24)	0xA808_2A18	-	○
	レンジ比較割込み要因フラグビット (RCINT25)	0xA808_2A19	-	○
	レンジ比較割込み要因フラグビット (RCINT26)	0xA808_2A1A	-	○
	レンジ比較割込み要因フラグビット (RCINT27)	0xA808_2A1B	-	○
	レンジ比較割込み要因フラグビット (RCINT28)	0xA808_2A1C	-	○
	レンジ比較割込み要因フラグビット (RCINT29)	0xA808_2A1D	-	○
	レンジ比較割込み要因フラグビット (RCINT30)	0xA808_2A1E	-	○
	レンジ比較割込み要因フラグビット (RCINT31)	0xA808_2A1F	-	○
スキャン変換制御ステータスレジスタ 0 (ADC12B_ADSCANS0)	連続・休止スキャン変換モード選択ビット (SCMD)	0xA808_2A3D	○	○
	スキャン変換完了割込み要求許可ビット (SCIE)	0xA808_2A3E	○	○
	スキャン変換完了割込み要因フラグビット (SCINT)	0xA808_2A3F	-	○

29) FlexRay

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
フラグレジスタ (FLXRY_CIF1F)	タイマ 0 割込み要求ビット (TREQ0)	0xA880_8040	-	○
	タイマ 1 割込み要求ビット (TREQ1)	0xA880_8041	-	○
	インプットバッファホストの DMA 要求フラグビット (DREQI)	0xA880_8042	-	○
	アウトプットバッファの DMA 要求フラグビット (DREQO)	0xA880_8043	-	○

30) FlexRay/RDC 専用クロック

レジスタ名	ビット名	ビットバンドエイリアス アドレス	ビット セット	ビット クリア
FlexRay/RDC PLL クロック出力コントロールフラグレジスタ (ERAYP_CLKR2F)	FlexRay/RDC 用 PLL アラーム割込み要求フラグビット (FPOVIR)	0xA888_004E	-	○
自動ギアコントロールフラグレジスタ (ERAYP_PLL2CTRLF)	ギアアップ割込みフラグビット (GRUP)	0xA888_0058	-	○
	ギアダウン割込みフラグビット (GRDN)	0xA888_005A	-	○





CHAPTER 22: DMA コントローラ

DMA コントローラの説明です。

1. 概要
2. 構成
3. 動作説明
4. レジスタ



1. 概要

DMA コントローラ(DMAC)は、CPUをほとんど介さない直接メモリアクセス(DMA)を実装しています。DMAC は N 個の DMA チャンネルを通して複雑なデータ転送を実行します。このセクションでは、DMA コントローラの特長について説明します。

DMA コントローラの特長

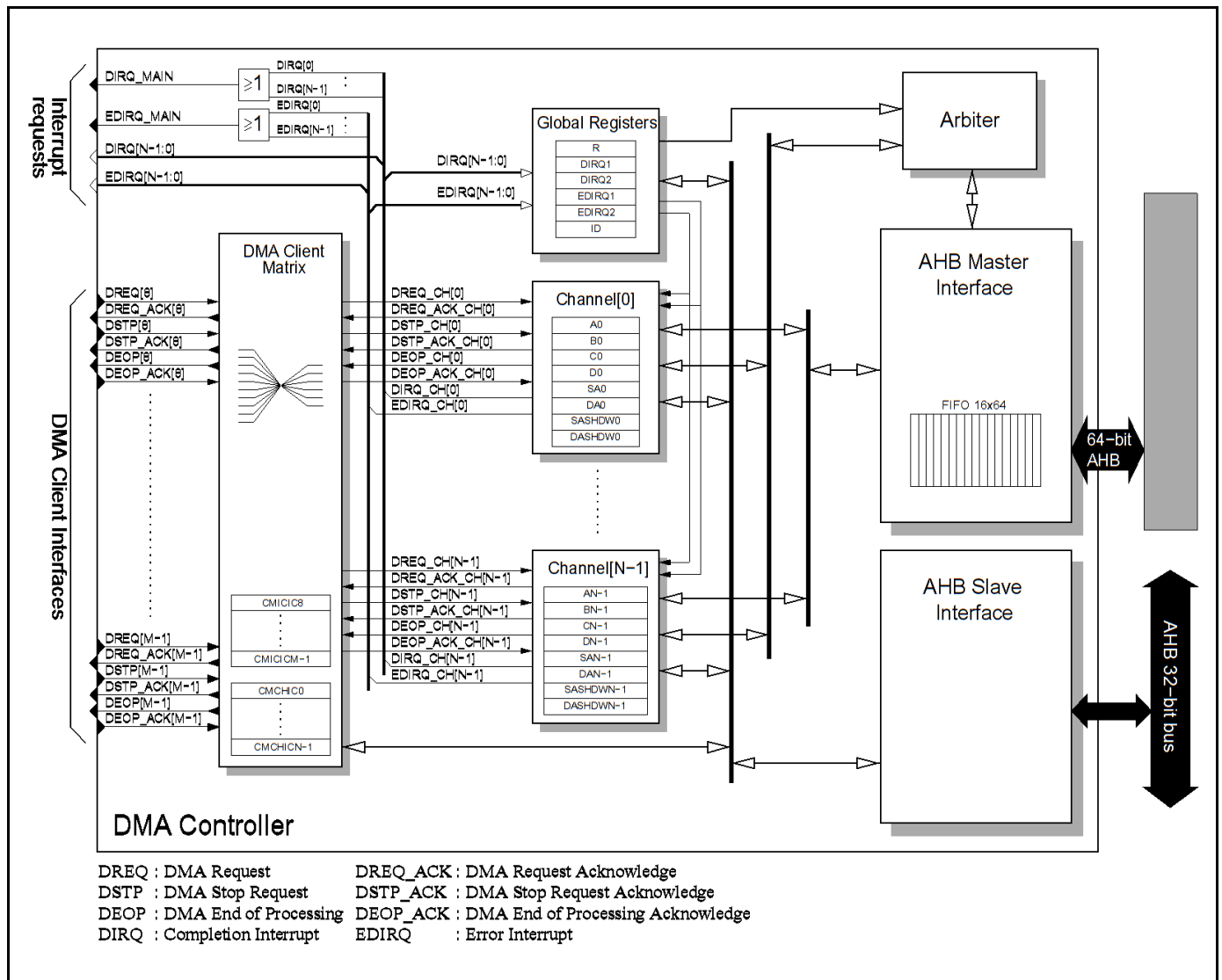
DMA コントローラによるデータ転送の特長を次に列挙します。

- 複数のチャンネルでデータを独立して転送できます。
- MCU 内部の多数の DMA クライアントを使用可能な DMA チャンネルに割り当てることができます。
- DMA チャンネル間で柔軟にプライオリティ付けできます(固定、動的またはラウンドロビン)。
- DMA 転送の要求元
 - ハードウェア要求(内部クライアント)
 - ソフトウェア要求(レジスタ書込み)
- 転送モード
 - ブロック転送, バースト転送
- アドレッシング: 全 32 ビット(インクリメント, デクリメントまたは固定)
- データタイプ: 8, 16, 32, 64 ビット幅データ

2. 構成

DMA コントローラのブロック図を示します。

図 2-1 DMA コントローラのブロック図





3. 動作説明

DMA コントローラの動作について説明します。

(1) DMA コントローラの特長

- DMA クライアントマトリクスで M 個の DMA クライアントを N 個の DMA チャンネルに経路接続できます。
- DMA トリガ。
 - ハードウェア要求(内部クライアント)
 - ソフトウェア要求
- 2つの転送モード。
 - ブロック転送
 - バースト転送
- 8, 16, 32, 64 ビット幅のデータ転送。
- マスタランザクションはユーザおよび特権モードで可能です。
- コンフィギュレーションレジスタへの書込みは特権モードかつ 8, 16, 32 ビット幅に限り可能です。不正アクセスはエラー応答になります。
- コンフィギュレーションレジスタの読出しはユーザモードおよび特権モードで可能です。
- 転送元と転送先アドレスのインクリメント/デクリメント/固定の選択ができます。
- 転送元と転送先のアクセス保護を独立に持ちます。
- 完了とエラー割込みを集中管理する割込みフラグレジスタを持ちます。
- ISR やデバッグ解析用にチャンネルごとに停止ステータスがあります。
- 転送元と転送先アドレスにシャドウレジスタを持ちます。
- デバッグイベント時の動作をコンフィギュレーションできます(続行, 中断, 停止)。
- 3つのチャンネルアービトレーションスキーム。
 - 固定プライオリティ
 - 動的プライオリティ
 - ラウンドロビン

(2) DMA コントローラのグローバル機能

DMAC の許可と中断

リセット後の DMA コントローラの動作は禁止されています。DMAC の動作を許可するためには、DMA 許可(DMAi_R:DE)を"1"に設定します。DMA 許可を"1"に設定すると、個々の DMA チャンネル許可(DMAi_An:EB)の設定が有効になります。DMA 許可を"0"に設定すると、DMAC 全体が禁止状態になります。DMA 許可を"0"に設定したとき DMA チャンネル上に未完了の転送が残っている場合、現在のデータブロックの転送が終わるまで転送は停止せず、終了後エラー割込みが発生します。このとき、これが DMA 転送の最後のデータブロックの場合には、完了割込みが発生します。保留中の DMA 転送があるが現在は動作していない DMA チャンネルは禁止状態になり、エラー割込みが発生します。許可されているがまだ DMA 転送を開始していない DMA チャンネル(チャンネルは許可されているが、転送要求をまだ受信していない)はエラー割込みを発行することなく単に禁止されるだけです。

DMA コントローラを完全に中断する場合は(全 DMA チャンネル), DMA 中断ビット(DMAi_R:DH) に 1 を書き込んでください。このビットが"1"に設定されると、すべての DMA チャンネルに中断要求が出され、このビットがクリアされるまで実行は停止します。DMA 中断がクリアされると、中断されていた DMA チャンネルはその中断点から処理を続行します。転送中に DMA 中断が"1"に設定された場合、現在転送中のデータブロックの転送後に中断されます。DMAC の転送元クロックドメインと DMAC の転送先クロックドメインのクロック比によっては、中断要求が発行されてから実際に DMAC の処理が中断されるまでかなり時間を要します。DMAC 全体の禁止と中断の要求条件は、DMA 停止/中断要求フラグ(DMAi_R:DSHR)で示されます。次の禁止または中断の要求条件がいずれも成立しない場合、DMA 停止/中断要求フラグは"0"です。

- DMAi_R:DE ビットが"0"に設定されている。
- DMAi_R:DH ビットが"1"に設定されている。

- DMAi_R:DBE="1"かつDMAi_R:DB[1:0]="10"(デバッグイベントで停止)で、かつデバッグイベントが保留である。
- DMAi_R:DBE="1"かつDMAi_R:DB[1:0]="01"(デバッグイベントで中断)で、かつデバッグイベントが保留である。

上記条件のいずれか1つが成立する場合、DMA 停止/中断要求フラグは"1"で、すべてのチャンネルのDMA 転送を中断あるいは停止する要求が発行されていることを示します。

全体的な中断や停止要求の後に全チャンネルが中断されるまたは停止に至る条件は、DMA 停止/中断ステータスフラグ(DMAi_R:DSHS)で示されます。未停止または未中断のチャンネルが1つ以上ある場合、DMA 停止/中断ステータスフラグは"0"で、全チャンネルが停止または中断状態の場合は"1"になります。

(3) DMAC デバッグ動作

DMA コントローラは、デバッグイベント(例、デバッガのブレークポイント)の発生時にあらかじめ定義した方法で動作するようにコンフィギュレーションすることができます。デバッグイベント動作機能は、デバッグ許可ビット(DMAi_R:DBE)で許可することができます。許可されている場合、DMAC の動作はデバッグ動作(DMAi_R:DB[1:0])の設定により異なります。この機能はリセットすると禁止になります。

全転送の停止(DMAi_R:DB[1:0]="10"), 全転送の中断(DMAi_R:DB[1:0]="01"), あるいはデバッグイベントにかかわらず処理を続行する(DMAi_R:DB[1:0]="00")などの動作をコンフィギュレーションすることができます。初期値は、デバッグイベントに関係なく、動作の続行です。

<注意事項>

- 本製品ではデバッグ機能は使いません。



3.1. DMA チャンネル

DMA チャンネルの動作の説明です。

(1) 動作モード

DMA チャンネルは 2 つのモードで動作します。

- ブロック転送モード
- パースト転送モード

モードはモード選択ビット(DMAi_Bn:MS[1:0])で設定する必要があります。リセット後は、チャンネルはブロック転送モードに設定されます。

(2) ブロック転送モード

ブロック転送モードでは、DMA クライアントは指定されたデータブロック数の転送を要求します。転送するブロック数は転送カウント(DMAi_An:TC[15:0])で指定します。各データブロックは DMA アービタの 1 つのアービトレーションフェーズで転送されます。各転送ブロックで DMA 転送要求(ハードウェア要求またはソフトウェア要求)が必要です。DMA クライアントまたはソフトウェアは、DMAC に設定したブロック数を転送し、DMA 転送が完了するまで、要求を出す必要があります。DMA 転送はすべてのデータブロックがエラーなしに転送された場合に正常終了となり、エラー条件が 1 つでも発生した場合は異常終了になります。

データブロックの転送ごとに DMA アービタはアービトレーションを繰返し、最も高いプライオリティを持つ次の要求チャンネルに進みます。アービトレーションは選択されたアービトレーションスキームと要求チャンネルのプライオリティ群によって異なります(アービトレーションの詳細については、「3.3 DMA アービタ」を参照してください)。

(3) DMA 転送要求

1. ハードウェア要求

チャンネルのハードウェア要求に対しては、入力選択(DMAi_An:IS[1:0])を"01"に設定する必要があります。DMA クライアントマトリクスを通してチャンネルと接続される DMA クライアントは、DREQ をアサートすることによりトリガを与えます。DMA クライアントマトリクスの機能とコンフィギュレーションについては「3.2 DMA クライアントマトリクス」を参照してください。

2. ソフトウェア要求

ソフトウェア要求に対しては、入力選択を"00"に設定し、ソフトウェアトリガ(DMAi_An:ST)を"1"に設定する必要があります。ソフトウェアトリガを"1"に設定できるのは、チャンネルがソフトウェアによるトリガを受信する準備ができていて(ソフトウェアトリガ準備(DMAi_Bn:SR)で示されます)、かつ保留になっているエラー条件がない(DMAi_Bn:SS[2:0]が"000"または"101")場合です。ソフトウェアトリガ準備が"0"のとき、ソフトウェアトリガを"1"に設定しようとしても無視されます。トリガが受け付けられるかまたはエラー条件が発生した場合、ソフトウェアトリガはハードウェアにより自動的にクリアされます。エラー条件には次のものがあります。

- ソフトウェアトリガの設定直後に DMA チャンネルが禁止された。
- デバッグイベントが発生し、すべての転送を停止するように DMAC がコンフィギュレーションされている。
- CPU がソフトウェアトリガを設定した後に AHB マスタインタフェースがエラー応答を受信した。

a) データブロック

データブロックは、ブロックカウント(DMAi_An:BC[3:0])と転送データ幅(DMAi_Bn:TW[1:0])を設定することにより決定されます。DMA コントローラは、転送元アドレス(DMAi_SAn:SA)を開始アドレスとする転送元のアドレス範囲から、転送先アドレス(DMAi_DAn:DA)を開始アドレスとする転送先アドレス範囲に、DMAi_An:BC + 1 回のデータ転送を行います。DMAi_An:BC が"0"に設定されている場合、転送元アドレス(DMAi_SAn:SA)から転送先アドレス(DMAi_DAn:DA)へのデータ転送は 1 回だけです。ブロックカウント(DMAi_An:BC[3:0])、ビートリミット(DMAi_An:BL[1:0])、オールターネート(DMAi_An:AL)、および転送デー

タ幅(DMAi_Bn:TW[1:0])を設定することにより、AHB マスタインタフェースが行う DMAi_An:BC + 1 回のデータ転送方法を定義します。次の表は DMAi_An:BC, DMAi_An:BL および DMAi_An:AL 間のすべての可能な組合せを示しています。これら 3 つで AHB 転送シーケンスが決まります。DMAi_Bn:TW[1:0]は転送データ量だけに影響します。

表 3-1 ブロックカウント, ビートリミット, オールターネートの組合せ

ブロックカウント	ビートリミット	オールターネート	AHB 転送シーケンス結果
0	SINGLE	0	1x SINGLE RD + 1x SINGLE WR
1	SINGLE	0	2x SINGLE RD + 2x SINGLE WR
2	SINGLE	0	3x SINGLE RD + 3x SINGLE WR
3	SINGLE	0	4x SINGLE RD + 4x SINGLE WR
4	SINGLE	0	5x SINGLE RD + 5x SINGLE WR
5	SINGLE	0	6x SINGLE RD + 6x SINGLE WR
6	SINGLE	0	7x SINGLE RD + 7x SINGLE WR
7	SINGLE	0	8x SINGLE RD + 8x SINGLE WR
8	SINGLE	0	9x SINGLE RD + 9x SINGLE WR
9	SINGLE	0	10x SINGLE RD + 10x SINGLE WR
10	SINGLE	0	11x SINGLE RD + 11x SINGLE WR
11	SINGLE	0	12x SINGLE RD + 12x SINGLE WR
12	SINGLE	0	13x SINGLE RD + 13x SINGLE WR
13	SINGLE	0	14x SINGLE RD + 14x SINGLE WR
14	SINGLE	0	15x SINGLE RD + 15x SINGLE WR
15	SINGLE	0	16x SINGLE RD + 16x SINGLE WR
0	SINGLE	1	1x (1x SINGLE RD + 1x SINGLE WR)
1	SINGLE	1	2x (1x SINGLE RD + 1x SINGLE WR)
2	SINGLE	1	3x (1x SINGLE RD + 1x SINGLE WR)
3	SINGLE	1	4x (1x SINGLE RD + 1x SINGLE WR)
4	SINGLE	1	5x (1x SINGLE RD + 1x SINGLE WR)
5	SINGLE	1	6x (1x SINGLE RD + 1x SINGLE WR)
6	SINGLE	1	7x (1x SINGLE RD + 1x SINGLE WR)
7	SINGLE	1	8x (1x SINGLE RD + 1x SINGLE WR)
8	SINGLE	1	9x (1x SINGLE RD + 1x SINGLE WR)
9	SINGLE	1	10x (1x SINGLE RD + 1x SINGLE WR)
10	SINGLE	1	11x (1x SINGLE RD + 1x SINGLE WR)
11	SINGLE	1	12x (1x SINGLE RD + 1x SINGLE WR)
12	SINGLE	1	13x (1x SINGLE RD + 1x SINGLE WR)
13	SINGLE	1	14x (1x SINGLE RD + 1x SINGLE WR)
14	SINGLE	1	15x (1x SINGLE RD + 1x SINGLE WR)
15	SINGLE	1	16x (1x SINGLE RD + 1x SINGLE WR)
0	INCR4	0	1x SINGLE RD + 1x SINGLE WR
1	INCR4	0	2x SINGLE RD + 2x SINGLE WR
2	INCR4	0	3x SINGLE RD + 3x SINGLE WR
3	INCR4	0	1x 4_BEAT RD + 1x 4_BEAT WR
4	INCR4	0	1x 4_BEAT RD + 1x SINGLE RD + 1x 4_BEAT WR + 1x SINGLE WR
5	INCR4	0	1x 4_BEAT RD + 2x SINGLE RD + 1x 4_BEAT WR + 2x SINGLE WR
6	INCR4	0	1x 4_BEAT RD + 3x SINGLE RD + 1x 4_BEAT WR + 3x SINGLE WR
7	INCR4	0	2x 4_BEAT RD + 2x 4_BEAT WR
8	INCR4	0	2x 4_BEAT RD + 1x SINGLE RD + 2x 4_BEAT WR + 1x SINGLE WR
9	INCR4	0	2x 4_BEAT RD + 2x SINGLE RD + 2x 4_BEAT WR + 2x SINGLE WR
10	INCR4	0	2x 4_BEAT RD + 3x SINGLE RD + 2x 4_BEAT WR + 3x SINGLE WR



ブロックカウント	ビートリミット	オールターネート	AHB 転送シーケンス結果
11	INCR4	0	3x 4_BEAT RD + 3x 4_BEAT WR
12	INCR4	0	3x 4_BEAT RD + 1x SINGLE RD + 3x 4_BEAT WR + 1x SINGLE WR
13	INCR4	0	3x 4_BEAT RD + 2x SINGLE RD + 3x 4_BEAT WR + 2x SINGLE WR
14	INCR4	0	3x 4_BEAT RD + 3x SINGLE RD + 3x 4_BEAT WR + 3x SINGLE WR
15	INCR4	0	4x 4_BEAT RD + 4x 4_BEAT WR
0	INCR4	1	1x SINGLE RD + 1x SINGLE WR
1	INCR4	1	2x (1x SINGLE RD + 1x SINGLE WR)
2	INCR4	1	3x (1x SINGLE RD + 1x SINGLE WR)
3	INCR4	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR)
4	INCR4	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 1x SINGLE RD + 1x SINGLE WR
5	INCR4	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 2x (1x SINGLE RD + 1x SINGLE WR)
6	INCR4	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 3x (1x SINGLE RD + 1x SINGLE WR)
7	INCR4	1	2x (1x 4_BEAT RD + 1x 4_BEAT WR)
8	INCR4	1	2x (1x 4_BEAT RD + 1x 4_BEAT WR) + 1x SINGLE RD + 1x SINGLE WR
9	INCR4	1	2x (1x 4_BEAT RD + 1x 4_BEAT WR) + 2x (1x SINGLE RD + 1x SINGLE WR)
10	INCR4	1	2x (1x 4_BEAT RD + 1x 4_BEAT WR) + 3x (1x SINGLE RD + 1x SINGLE WR)
11	INCR4	1	3x (1x 4_BEAT RD + 1x 4_BEAT WR)
12	INCR4	1	3x (1x 4_BEAT RD + 1x 4_BEAT WR) + 1x SINGLE RD + 1x SINGLE WR
13	INCR4	1	3x (1x 4_BEAT RD + 1x 4_BEAT WR) + 2x (1x SINGLE RD + 1x SINGLE WR)
14	INCR4	1	3x (1x 4_BEAT RD + 1x 4_BEAT WR) + 3x (1x SINGLE RD + 1x SINGLE WR)
15	INCR4	1	4x (1x 4_BEAT RD + 1x 4_BEAT WR)
0	INCR8	0	1x SINGLE RD + 1x SINGLE WR
1	INCR8	0	2x SINGLE RD + 2x SINGLE WR
2	INCR8	0	3x SINGLE RD + 3x SINGLE WR
3	INCR8	0	1x 4_BEAT RD + 1x 4_BEAT WR
4	INCR8	0	1x 4_BEAT RD + 1x SINGLE RD + 1x 4_BEAT WR + 1x SINGLE WR
5	INCR8	0	1x 4_BEAT RD + 2x SINGLE RD + 1x 4_BEAT WR + 2x SINGLE WR
6	INCR8	0	1x 4_BEAT RD + 3x SINGLE RD + 1x 4_BEAT WR + 3x SINGLE WR
7	INCR8	0	1x 8_BEAT RD + 1x 8_BEAT WR
8	INCR8	0	1x 8_BEAT RD + 1x SINGLE RD + 1x 8_BEAT WR + 1x SINGLE WR
9	INCR8	0	1x 8_BEAT RD + 2x SINGLE RD + 1x 8_BEAT WR + 2x SINGLE WR
10	INCR8	0	1x 8_BEAT RD + 3x SINGLE RD + 1x 8_BEAT WR + 3x SINGLE WR
11	INCR8	0	1x 8_BEAT RD + 1x 4_BEAT RD + 1x 8_BEAT WR + 1x 4_BEAT WR
12	INCR8	0	1x 8_BEAT RD + 1x 4_BEAT RD + 1x SINGLE RD + 1x 8_BEAT WR + 1x 4_BEAT WR + 1x SINGLE WR
13	INCR8	0	1x 8_BEAT RD + 1x 4_BEAT RD + 2x SINGLE RD + 1x 8_BEAT WR + 1x 4_BEAT WR + 2x SINGLE WR
14	INCR8	0	1x 8_BEAT RD + 1x 4_BEAT RD + 3x SINGLE RD + 1x 8_BEAT WR + 1x 4_BEAT WR + 3x SINGLE WR
15	INCR8	0	2x 8_BEAT RD + 2x 8_BEAT WR
0	INCR8	1	1x SINGLE RD + 1x SINGLE WR
1	INCR8	1	2x (1x SINGLE RD + 1x SINGLE WR)
2	INCR8	1	3x (1x SINGLE RD + 1x SINGLE WR)
3	INCR8	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR)
4	INCR8	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 1x SINGLE RD + 1x SINGLE WR
5	INCR8	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 2x (1x SINGLE RD + 1x SINGLE WR)
6	INCR8	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 3x (1x SINGLE RD + 1x SINGLE WR)
7	INCR8	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR)
8	INCR8	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x SINGLE RD + 1x SINGLE WR
9	INCR8	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 2x (1x SINGLE RD + 1x SINGLE WR)

ブロックカウント	ビートリミット	オールターネート	AHB 転送シーケンス結果
10	INCR8	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 3x (1x SINGLE RD + 1x SINGLE WR)
11	INCR8	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x (1x 4_BEAT RD + 1x 4_BEAT WR)
12	INCR8	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 1x SINGLE RD + 1x SINGLE WR
13	INCR8	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 2x (1x SINGLE RD + 1x SINGLE WR)
14	INCR8	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 3x (1x SINGLE RD + 1x SINGLE WR)
15	INCR8	1	2x (1x 8_BEAT RD + 1x 8_BEAT WR)
0	INCR16	0	1x SINGLE RD + 1x SINGLE WR
1	INCR16	0	2x SINGLE RD + 2x SINGLE WR
2	INCR16	0	3x SINGLE RD + 3x SINGLE WR
3	INCR16	0	1x 4_BEAT RD + 1x 4_BEAT WR
4	INCR16	0	1x 4_BEAT RD + 1x SINGLE RD + 1x 4_BEAT WR + 1x SINGLE WR
5	INCR16	0	1x 4_BEAT RD + 2x SINGLE RD + 1x 4_BEAT WR + 2x SINGLE WR
6	INCR16	0	1x 4_BEAT RD + 3x SINGLE RD + 1x 4_BEAT WR + 3x SINGLE WR
7	INCR16	0	1x 8_BEAT RD + 1x 8_BEAT WR
8	INCR16	0	1x 8_BEAT RD + 1x SINGLE RD + 1x 8_BEAT WR + 1x SINGLE WR
9	INCR16	0	1x 8_BEAT RD + 2x SINGLE RD + 1x 8_BEAT WR + 2x SINGLE WR
10	INCR16	0	1x 8_BEAT RD + 3x SINGLE RD + 1x 8_BEAT WR + 3x SINGLE WR
11	INCR16	0	1x 8_BEAT RD + 1x 4_BEAT RD + 1x 8_BEAT WR + 1x 4_BEAT WR
12	INCR16	0	1x 8_BEAT RD + 1x 4_BEAT RD + 1x SINGLE RD + 1x 8_BEAT WR + 1x 4_BEAT WR + 1x SINGLE WR
13	INCR16	0	1x 8_BEAT RD + 1x 4_BEAT RD + 2x SINGLE RD + 1x 8_BEAT WR + 1x 4_BEAT WR + 2x SINGLE WR
14	INCR16	0	1x 8_BEAT RD + 1x 4_BEAT RD + 3x SINGLE RD + 1x 8_BEAT WR + 1x 4_BEAT WR + 3x SINGLE WR
15	INCR16	0	1x 16_BEAT RD + 1x 16_BEAT WR
0	INCR16	1	1x SINGLE RD + 1x SINGLE WR
1	INCR16	1	2x (1x SINGLE RD + 1x SINGLE WR)
2	INCR16	1	3x (1x SINGLE RD + 1x SINGLE WR)
3	INCR16	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR)
4	INCR16	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 1x SINGLE RD + 1x SINGLE WR
5	INCR16	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 2x (1x SINGLE RD + 1x SINGLE WR)
6	INCR16	1	1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 3x (1x SINGLE RD + 1x SINGLE WR)
7	INCR16	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR)
8	INCR16	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x SINGLE RD + 1x SINGLE WR
9	INCR16	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 2x (1x SINGLE RD + 1x SINGLE WR)
10	INCR16	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 3x (1x SINGLE RD + 1x SINGLE WR)
11	INCR16	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x (1x 4_BEAT RD + 1x 4_BEAT WR)
12	INCR16	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 1x SINGLE RD + 1x SINGLE WR
13	INCR16	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 2x (1x SINGLE RD + 1x SINGLE WR)
14	INCR16	1	1x (1x 8_BEAT RD + 1x 8_BEAT WR) + 1x (1x 4_BEAT RD + 1x 4_BEAT WR) + 3x (1x SINGLE RD + 1x SINGLE WR)
15	INCR16	1	1x 16_BEAT RD + 1x 16_BEAT WR



＜注意事項＞

- $n_BEAT\ RD$ は、 n ビートインクリメンタルバースト($INCRn$)または n 回のシングル($SINGLE$)データ転送です。次の条件で1つ以上が成り立てば、 $n_BEAT\ RD$ は n 回の $SINGLE$ 転送になります。
- 固定転送元アドレス($DMAi_Dn:FS$)が"1"に設定されている。
- デクリメント転送元アドレス($DMAi_Dn:DES$)が"1"に設定されている。
- 読出しブロック転送が1KバイトのAHBアドレス境界を越える。

$n_BEAT\ WR$ は、 n ビートインクリメンタルバースト($INCRn$)または n 回のシングル($SINGLE$)データ転送です。次の条件で1つ以上が成立すると、 $n_BEAT\ WR$ は n 回の $SINGLE$ 転送です。

- 固定転送先アドレス($DMAi_Dn:FD$)が"1"に設定されている。
- デクリメント転送先アドレス($DMAi_Dn:DED$)が"1"に設定されている。
- 1KバイトのAHBアドレス境界を書込みブロック転送が越えている。

各読出しデータ転送の正常終了後、転送元シャドウアドレス($DMAi_SASHDWn:SASHDW$)がインクリメントまたはデクリメントされるか、あるいは変更されません。この動作は、固定転送元アドレス、デクリメント転送元アドレスまたは固定ブロック転送元アドレスの設定で決まります。転送先シャドウアドレス($DMAi_DASHDWn:DASHDW$)は、固定転送先アドレス、デクリメント転送先アドレスあるいは固定ブロック転送先アドレスの設定に関して同様の動作を示し、各書込みデータ転送の正常終了後に更新されます。次の表に可能な組合せとその動作結果を示します。

表 3-2 転送元シャドウアドレスの更新動作

$DMAi_Dn:FS$	$DMAi_Dn:DES$	$DMAi_Dn:FBS$	$DMAi_SASHDWn:SASHDW$ 更新動作の説明
0	0	0	$SASHDW$ は各読出しデータ転送の正常終了時にインクリメントされます。インクリメントされるアドレス長は転送データ幅によって異なります。
0	1	0	$SASHDW$ は各読出しデータ転送の正常終了時にデクリメントされます。デクリメントされるアドレス長は転送データ幅によって異なります。
0	X	1	$SASHDW$ は各読出しデータ転送の正常終了時にインクリメントされます。 $SASHDW$ はブロックの最後で $DMAi_SAn$ の格納値で更新されます。
1	X	X	$SASHDW$ の値は変わりません。

表 3-3 転送先シャドウアドレスの更新動作

$DMAi_Dn:FD$	$DMAi_Dn:DED$	$DMAi_Dn:FBD$	$DMAi_DASHDWn:DASHDW$ 更新動作の説明
0	0	0	$DASHDW$ は各書き込みデータ転送の正常終了時にインクリメントされます。インクリメントされるアドレス長は転送データ幅に依存します。
0	1	0	$DASHDW$ は各書き込みデータ転送の正常終了時にデクリメントされます。デクリメントされるアドレス長は転送データ幅に依存します。
0	X	1	$DASHDW$ は各書き込みデータ転送の正常終了時にインクリメントされます。 $DASHDW$ はブロックの最後で $DMAi_DAn$ の格納値で更新されます。
1	X	X	$DASHDW$ の値は変わりません。

図 3-1 に転送元シャドウアドレスの動作を例示します。

図 3-1 DMAi_SASHDWn:SASHDW の更新例

SA = 00002B30											
SASHDW[31:0]	Block 0 (BC=3)				Block 1 (BC=3)				Block 2 (BC=3)		
	1	2	3	4	1	2	3	4	1	2	3
	00002B30	00002B31	00002B32	00002B33	00002B34	00002B35	00002B36	00002B37	00002B38	00002B39	00002B3A
FS = 0 DES = 0 FBS = 0 TW[1:0] = 00											
SASHDW[31:0]	Block 0 (BC=3)				Block 1 (BC=3)				Block 2 (BC=3)		
	1	2	3	4	1	2	3	4	1	2	3
	00002B30	00002B2F	00002B2E	00002B2D	00002B2C	00002B2B	00002B2A	00002B29	00002B28	00002B27	00002B26
FS = 0 DES = 1 FBS = 0 TW[1:0] = 00											
SASHDW[31:0]	Block 0 (BC=3)				Block 1 (BC=3)				Block 2 (BC=3)		
	1	2	3	4	1	2	3	4	1	2	3
	00002B30	00002B32	00002B34	00002B36	00002B30	00002B32	00002B34	00002B36	00002B30	00002B32	00002B34
FS = 0 DES = X FBS = 1 TW[1:0] = 01											

DMA 転送の正常終了時, DMA 転送元アドレスまたは転送先アドレスは, それぞれ転送元シャドウアドレスまたは転送先シャドウアドレスに格納されている値で更新できます。これは更新転送元アドレス(DMAi_Dn:US)または更新転送先アドレス(DMAi_Dn:UD)のビットを使用してコンフィギュレーションすることができます。

b) DMA 転送データ長

DMA 転送データ長は次の式で計算します。

DMA 転送データ長(バイト) = データ転送回数 * (2^{転送データ幅/8-1})

= (DMAi_An:BC + 1) * (DMAi_An:TC + 1) * (2^{DMAi_Bn:TW})

転送カウント(DMAi_An:TC[15:0])は, 1 つの DMA 転送で転送されるブロックの個数を決定します。ブロックカウント(DMAi_An:BC[3:0])は各ブロックでのデータ転送の個数を決定します。

c) DMA 転送の完了とエラー処理

各 DMA チャンネルは DMA 転送の終了時に割込みを発生させます。これは DMA 転送の正常終了時の完了割込みか, またはエラー条件や停止要求が発生した場合のエラー割込みのどちらかになります。完了割込みは DIRQ のフラグ(DMAi_Bn:DQ)で, またエラー割込みは EDIRQ のフラグ(DMAi_Bn:EQ)で通知されます。各割込みに関連して DMA 転送終了コードがあり, 停止ステータス(DMAi_Bn:SS[2:0])にエンコードされています。

DMA 転送が正常終了して完了割込みが発生した場合, 停止ステータスは正常終了(DMAi_Bn:SS[2:0]="101")を示します。エラー終了でエラー割込みが発生した場合, 停止ステータスは次のいずれか 1 つを示します。

- 停止要求(DMAi_Bn:SS[2:0]="010")
- 転送元アクセスエラー(DMAi_Bn:SS[2:0]="011")
- 転送先アクセスエラー(DMAi_Bn:SS[2:0]="100")



次の場合、DMA 転送の要求クライアントの停止要求信号(DSTP)をアサートして、DMA 転送の実行中に停止要求を発生させることができます。

- DMA チャンネルが禁止される(DMAi_An:EB)。
- DMA コントローラ全体が禁止される(DMAi_R:DE)。
- DMA コントローラがデバッグイベント発生時に停止するようコンフィギュレーションされている場合に、デバッグイベントが発生する。

2 つの割込み(完了とエラー割込み)をそれぞれ完了割込みビット(DMAi_Bn:CI)とエラー割込みビット(DMAi_Bn:EI)でマスクすることができます。これらのビットが"1"に設定された場合、割込みはマスクされません。マスクされていない完了割込みはすべて論理和が取られ、割込みコントローラに通知されます。エラー割込みについても同様です。

すべての完了割込みフラグはチャンネルごとのレジスタに加えて、ソフトウェアでの処理を簡単にするため 2 つの 32 ビットレジスタ(DMAi_DIRQ1 と DMAi_DIRQ2)でも使用することができます。エラー割込みもすべて同様に処理することができ、DMAi_EDIRQ1 と DMAi_EDIRQ2 のレジスタで使用できます。

完了割込み DMAi_Bn:DQ は、クリア DIRQ(DMAi_Cn:CD)を設定することによりクリアする必要があります。エラー割込み EQ はクリア EDIRQ(DMAi_Cn:CE)を設定することによりクリアする必要があります。

DMAi_Bn:DQ または DMAi_Bn:EQ が"1"に設定された場合、停止ステータスは初期値(DMAi_Bn:SS[2:0]="000")に設定されます。

d) 転送元および転送先の保護

各 DMA チャンネルは転送元および転送先の保護情報を独立して定義することがあります。この情報は AHB マスタによって使用され、AHB プロトコルで定義されたアクセス保護を実装した周辺機能が使用できるように AHB 保護制御信号(HPROTM[3:0])にドライブされます。使用する場合、転送元アクセス保護(DMAi_Bn:SP[3:0])または転送先アクセス保護(DMAi_Bn:DP[3:0])により保護情報を通知する必要があります。DMA コントローラはデータ転送だけを行うため、DMAi_Bn:SP[0]および DMAi_Bn:DP[0]は常に"1"となります。転送元および転送先保護の初期値はキャッシュ不可、バッファ不可、特権アクセス、データアクセスです。

e) チャンネルの禁止と中断

リセット後、DMA チャンネルはデフォルトで禁止状態であり、DMA 転送サービスを開始する前に適切にコンフィギュレーションします。DMA チャンネルを許可するために、チャンネル許可ビット(DMAi_An:EB)を"1"に設定します。DMAi_An:EB を"1"に設定後、チャンネルは DMA 要求を待機します。

各 DMA チャンネルを独立して禁止状態にすることができます。これはチャンネル許可ビット(DMAi_An:EB)を"0"に設定することで可能です。このビットを任意の時点で"0"に設定できますが、設定タイミングによって影響が異なります。DMA 転送の実行中に DMAi_An:EB を"0"に設定した場合、転送は次の転送ギャップで停止し、エラー割込みが発生し、チャンネルは禁止状態になります。転送ギャップとは、DMAC があるデータブロックを転送し、AHB マスタインタフェースが数サイクルの間バス要求を解除することを意味します。保留中の割込みがある場合(DMAi_Bn:DQ="1"または DMAi_Bn:EQ="1")、または実行中の DMA 転送がない場合、DMAi_An:EB を"0"に設定することでチャンネルは禁止状態になりますがそれ以外の影響はありません。

チャンネルは、一時停止ビット(DMAi_An:PB)を"1"に設定することで中断できます。このビットを DMA 転送実行中に"1"に設定した場合、現在転送中のブロックの完了後に処理を中断します。転送要求を受信する前に"1"に設定された場合は、直ちに中断状態になります。このビットをクリアするとチャンネルは稼働状態になり、次の転送要求を待機して DMA 転送を続行するか、または保留中の転送要求がある場合は直ちに処理を続行します。

f) バースト転送モード

バースト転送モードは、ブロック転送モードとほとんど同じです。唯一の違いは、DMA 転送の要求です。ブロック転送モードではデータブロックごとに 1 つの要求が必要ですが、バースト転送モードでは全転送に対して DMA 転送の開始時に要求が 1 つだけ必要になります。2 番目以降のデータブロックに必要な要求は内部的に DMA コントローラ自体が生成します。

3.2. DMA クライアントマトリクス

DMA クライアントマトリクスの動作説明です。

(1) 概要

DMA クライアントマトリクスにより、M 個の DMA クライアントを N 個の DMA チャンネルに経路接続することができます。M は N より大きいか等しい数です。DMA チャンネルが転送を実行する DMA クライアントの選択については、クライアントインタフェース(DMAi_CMCHICn:CI)で設定します。内部 DMA クライアントは DMAi_CMICICm のレジスタでコンフィギュレーションします。

(2) 動作モード

各 DMA クライアントインタフェースは次のモードの 1 つで動作します。

1. 禁止モード

内部 DMA クライアント:

内部 DMA クライアントインタフェースは、どの DMA クライアントマトリクスチャンネルコンフィギュレーションレジスタ(DMAi_CMCHICn:CI)においても選択されていない場合、動作は禁止されています。内部 DMA クライアントインタフェースの再コンフィギュレーションは、禁止モード時に行う必要があります。

2. ノーマルモード

このモードでは、DMA チャンネルは指定(DMAi_CMCHICn:CI)された DMA クライアントに直接経路接続されています。このモードでの DMA クライアントマトリクスの動作は完全に透過的で、DMA クライアントが DMA チャンネルインタフェースに直接接続されているかのように動作します。

(3) 機能説明

DMA クライアントマトリクスの目的は、使用可能な DMA チャンネルを柔軟に使用することです。DMA クライアントマトリクスの設定はスタティックであることが想定されているため、ブートコード完了直後に行ってください。

a) DMA クライアントマトリクスの構造

DMA クライアントマトリクスは、各 DMA クライアントインタフェース m が DMA チャンネルインタフェース n に接続されるマトリクスです。

b) DMA クライアントマトリクスのコンフィギュレーション

DMA クライアントマトリクスは次のレジスタでコンフィギュレーションします。

- DMAC クライアントマトリクス内部クライアントコンフィギュレーションレジスタ(DMAi_CMICICm)
- DMAC クライアントマトリクスチャンネルインタフェースコンフィギュレーションレジスタ(DMAi_CMCHICn)

内部 DMA クライアントインタフェース"m"がどのチャンネルコンフィギュレーションレジスタ(DMAi_CMCHICn)でも選択されていない場合、コンフィギュレーションビットの要求応答動作 DMAi_CMICICm:BEHREQACK を使用して出力信号 DREQ_ACK[m]の動作を設定します。ユーザは DREQ_ACK[m]が非アクティブレベルをドライブするか、または DREQ[m]をその場合 DREQ_ACK[m]に接続するかを選択できます。後者を使用すれば、双方向ハンドシェイクプロトコルに違反することなく、ソフトウェアの誤動作で誤って設定された DMA 要求信号をリセットすることができます。

内部 DMA クライアントインタフェース"m"がどのチャンネルコンフィギュレーションレジスタ(DMAi_CMCHICn:CI)でも選択されていない場合、コンフィギュレーションビットの停止応答動作 DMAi_CMICICm:BEHSTPACK を使用して出力信号 DSTP_ACK[m]の動作を設定します。ユーザは DSTP_ACK[m]が非アクティブレベルをドライブするか、またはその場合、DSTP[m]を DSTP_ACK[m]に接続するかどうかを選択することができます。

DMAC クライアントマトリクスチャンネルインタフェースコンフィギュレーションレジスタは、最大9個の選択ビットを持っています。その機能については、次の説明を参照してください。



クライアントインタフェースの選択ビット `DMAi_CMCHICn:CI` により, DMA クライアントインタフェース `m` がどの DMA チャネルインタフェース `n` に接続するのかを指定します。これらのビットは, `DMAi_R:DE` と `DMAi_An:EB` を "1" に設定する前にコンフィギュレーションする必要があります。クライアントインタフェース番号は, バイナリ値で `DMAi_CMCHICn:CI` にプログラミングする必要があります。CI の設定により, CI の値で定義される DMA クライアントインタフェースと DMA チャネルインタフェース `n` が結び付けられます。同じ DMA クライアントインタフェースを 2 回以上 DMA クライアントマトリクスチャネルコンフィギュレーションレジスタで選択すると, DMAC は予想できない動作をするので避ける必要があります。

DMA クライアントを使用できるかどうかについては, デバイスによって異なります。DMA クライアントが使用できるかどうかについては, 『APPENDIX』の章の「割込み/NMI 要因および DMA 起動要因一覧」を参照してください。

(4) 初期化とアプリケーション情報

リセット

各 DMA クライアントマトリクスコンフィギュレーションビットのリセット状態を `DMAi_CMICICm` および `DMAi_CMCHICn` のレジスタの説明の中で示しています。要約すると, ハードウェアのリセット後, すべての内部 DMA クライアントインタフェースは禁止状態で, すべての信号のアクティブレベルは H に設定されています。また DMA チャネルインタフェース 0~N-1 は DMA クライアントインタフェース 0~N-1 に経路接続されるコンフィギュレーションになっています。

<注意事項>

- 同じ DMA クライアントインタフェースを 2 つ以上の DMA チャネルインタフェースで選択すると, DMAC は予測できない動作をします。このため, DMAC と 1 つ以上のチャネルを許可する前に, `DMAi_CMCHICn:CI` を適切にコンフィギュレーションする必要があります。

3.3. DMA アービタ

DMA アービタの動作説明です。

(1) 概要

DMA アービタは、グローバルコンフィギュレーションレジスタ(DMAi_R:PR)で選択したアービトレーションスキームに基づき DMA チャンネルを選択する役割があります。3つのアービトレーションスキームを使用できます。

- 固定プライオリティ
- 動的プライオリティ
- ラウンドロビン

アービトレーションスキームの詳細については、次節で説明します。アービトレーションスキームはいつでも変更できますが、有効になるのは現在実行中のデータ転送が次の転送ギャップで完了した後です。

(2) 固定プライオリティ

固定プライオリティアービトレーションスキームでは、DMA チャンネルはプライオリティ数(DMAi_Bn:PN)で設定可能な固定のプライオリティを持ちます。プライオリティ数 0 は最高のプライオリティで、プライオリティ数 127 は最低のプライオリティです。プライオリティ数が同じ複数の DMA チャンネルでは、最も小さいチャンネル番号 n を持つチャンネルが最も高いプライオリティを持ちます。DMAi_Bn:PN の初期値は 127 です。プライオリティ数はいつでも変更できますが、有効になるのは現在実行中のデータ転送が次の転送ギャップで完了した後です。表 3-4 に、8 つの DMA チャンネルのアービトレーション動作例を示します。

表 3-4 固定プライオリティのアービトレーション例

アービトレーションサイクル	要求 DMA チャンネル n	要求 DMA チャンネルの PN	認可される DMA チャンネル n
1	2	0	2
	4	2	
	7	6	
2	4	2	4
	7	6	
	8	5	
3	4	2	4
	7	6	
	8	5	
4	1	5	1
	7	6	
	8	5	
5	3	9	8
	7	6	
	8	5	



(3) 動的プライオリティ

動的プライオリティアービトレーションスキームは、固定プライオリティアービトレーションスキームを拡張したものです。DMA チャンネルのプライオリティは、チャンネルが認可されたかどうかに基づいて、動的に調整されます。チャンネル要求が認可された場合、その動的プライオリティ数には、DMAi_Bn:PN に格納されているプライオリティ数がロードされます。また、チャンネル要求が認可されなかった場合、その動的プライオリティ数は"1"減算されます。アービタは要求のある DMA チャンネルで最も小さい動的プライオリティ数を持つチャンネルに認可を与えます。2 個以上の要求チャンネルが同じ動的プライオリティ数を持つ場合、最も小さいチャンネル番号 n を持つ DMA チャンネルが最も高いプライオリティを持ち、アービトレーションプロセスを獲得します。プライオリティ数はいつでも変更できますが、有効になるのはそれがチャンネルによって再ロードされた後(そのチャンネルがアービトレーションを獲得した場合)です。表 3-5 に、4 個の DMA チャンネルのアービトレーション動作例を示します。

<注意事項>

- 再プログラミングされたチャンネルのプライオリティ数を直ちに有効にする場合(再プログラミングされたチャンネルがアービトレーションを獲得した後だけでなく)、アービトレーションスキームを固定プライオリティに変更し、その後、チャンネルの中断状態時に動的プライオリティに戻すことで、この動作を強制することができます。ただし、再プログラミングされたチャンネルだけでなく、すべてのチャンネルの動的プライオリティがプライオリティ数(DMAi_Bn:PN)で再ロードされることに注意してください。

表 3-5 動的プライオリティのアービトレーション例

アービトレーション サイクル	要求 DMA チャンネル		DMA チャンネルの 動的 PN	DMA チャンネルの PN	認可される DMA チャンネル n
1	ch. 0	Yes	1	1	0
	ch. 1	Yes	2	2	
	ch. 2	Yes	3	3	
	ch. 3	No	3	3	
2	ch. 0	No	1	1	1
	ch. 1	Yes	1	2	
	ch. 2	Yes	1	3	
	ch. 3	No	3	3	
3	ch. 0	No	1	1	2
	ch. 1	No	2	2	
	ch. 2	Yes	1	3	
	ch. 3	Yes	3	3	
4	ch. 0	No	1	1	1
	ch. 1	Yes	2	2	
	ch. 2	No	3	3	
	ch. 3	Yes	2	3	
5	ch. 0	No	1	1	3
	ch. 1	No	2	2	
	ch. 2	Yes	3	3	
	ch. 3	Yes	1	3	

(4) ラウンドロビン

ラウンドロビンアービトレーションスキームでは、DMA チャンネル 0 から DMA チャンネル n まで一方向かつ周期的に順番が循環して割り振られます。1 つの DMA チャンネル要求にはいつでも認可を与えることができます。これは順番が与えられたものとして定義します。順番は各転送ギャップで順送りされます。要求していない DMA チャンネルに順番を割り振ってアービトレーションフェーズを浪費しないために、順番の循環は厳密なラウンドロビンではありません。代わりに順番は循環方向で次に要求のある DMA チャンネルに割り振られます。先行する実行中 DMA チャンネルがない場合(初期状態に限り可)、要求していてかつ最も小さいチャンネル番号 n を持つ DMA チャンネルが最も高いプライオリティを持ち、アービトレーションプロセスを獲得します。表 3-6 に、8 つの DMA チャンネルのアービトレーション動作例を示します。

表 3-6 ラウンドロビンアービトレーション例

アービトレーションサイクル	要求 DMA チャンネル	認可される DMA チャンネル	前回実行の DMA チャンネル
1	2	2	なし
	4		
	7		
2	4	4	2
	7		
	8		
3	4	7	4
	7		
	8		
4	1	8	7
	4		
	8		
5	1	1	8
	4		
	7		

(5) アプリケーション情報

a) 固定プライオリティのアービトレーション

このアービトレーションスキームでは、最も高いプライオリティを持つチャンネルからの DMA チャンネル要求がサービス対象に選択されます。チャンネル 0 に最高のプライオリティを割り当てかつこのチャンネルが他のチャンネルより高いサービス要求率を持つように DMAC がプログラミングされている場合、このチャンネルが DMA コントローラの全帯域幅を占有する可能性があります。つまり、他のチャンネルはサービスを受けられなくなります。

b) 動的プライオリティアービトレーション

このアービトレーションスキームでは、より高いプライオリティレベルを許可されなかった要求チャンネルに次に割り振ることにより、転送サービスを受けられないままに終わるチャンネルが発生しないようにします。ただし、DMAC が適切にプログラミングされていない場合、このようなチャンネルの発生を防ぐことはできません。たとえば、チャンネル 0 に最も高いプライオリティを割り当てて一方で他のチャンネルがチャンネル 0 より高いプライオリティを得ることができない場合などです。さらにこのチャンネルのサービス要求率が他のチャンネルよりも高い場合、DMAC の全帯域幅を使用することになります。

c) ラウンドロビンアービトレーション

このアービトレーションスキームでは、チャンネル 0 がアービトレーションレート以上のサービス要求率を持つ場合でも、要求チャンネルがサービスを受けられないままに終わることはありません。



3.4. DMA AHB スレーブインタフェース

DMA コントローラのスレーブインタフェースの説明です。

DMA コントローラのシステムインタフェースで、このインタフェースを介してDMAC のレジスタにアクセスします。

(1) サポートするデータ転送

スレーブインタフェースは 8, 16 および 32 ビット長の AHB データ転送をサポートします。16 ビットおよび 32 ビットアクセスは、それぞれ 16 ビットおよび 32 ビットでアラインされたアドレスです。シングルデータおよび固定インクリメントバーストアクセスがサポートされます(SINGLE, INCR4, INCR8 および INCR16)。

<注意事項>

- DMA コントローラのレジスタへのすべての書込みは、特権モードで行う必要があります。

(2) データ転送応答

DMA AHB スレーブインタフェースは任意の種類のアクセスに対して、次の応答を返します。

- OK 応答
- エラー応答

エラー応答は、保護エラーまたはレジスタアクセスエラーが発生したアクセスに対して返されます。

a) 保護エラー

特権モードのみで書込み可能なレジスタへユーザモードで書込みを行った場合、保護エラーが発生します。

b) レジスタアクセスエラー

予約済みアドレス領域への読出しや書込みを試みた場合、レジスタアクセスエラーが発生します。

リードオンリレジスタへライトを試みた場合、レジスタアクセスエラーが発生します。

3.5. そのほかの情報

DMA コントローラを使う上での追加情報です。

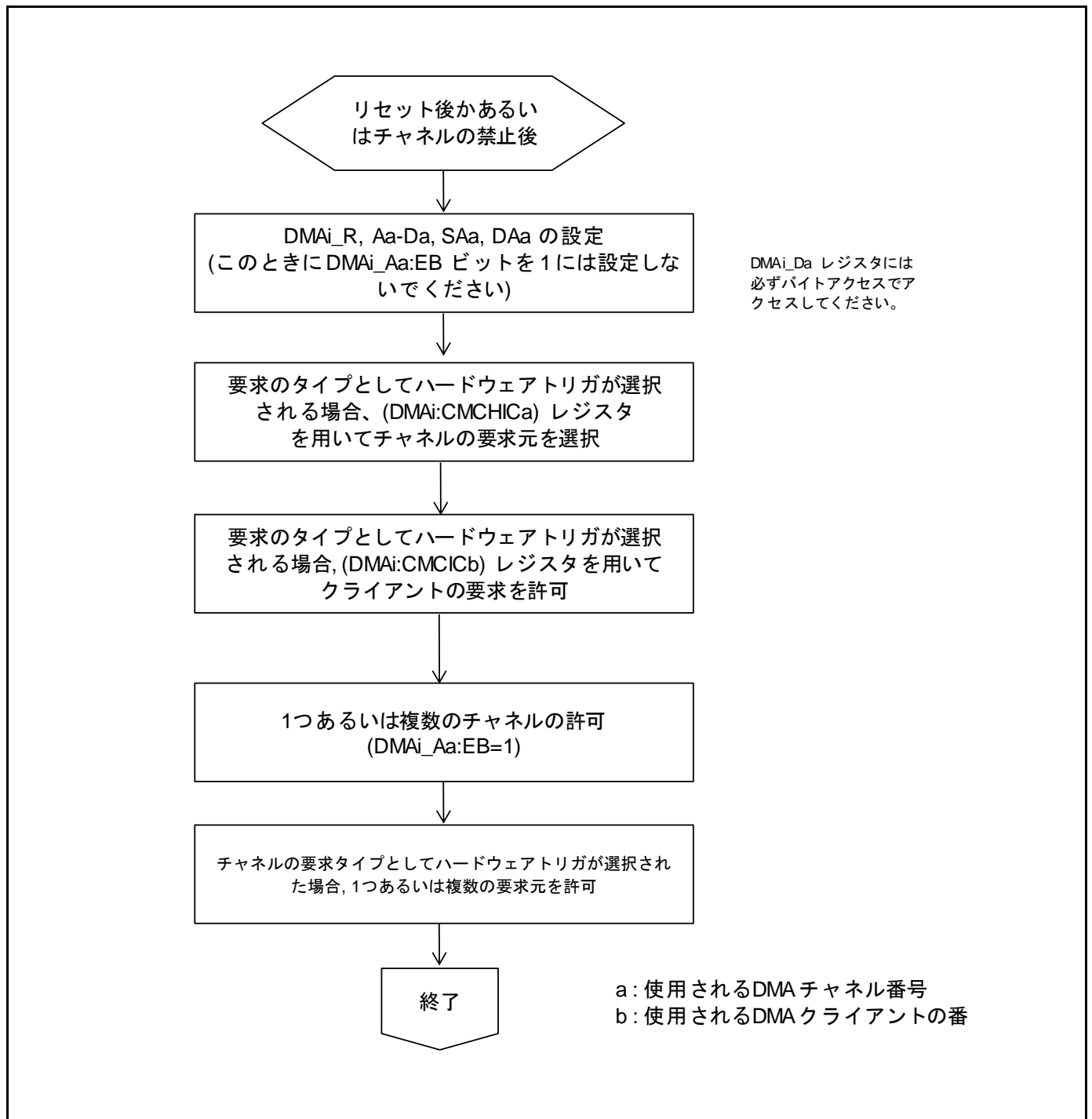
(1) PSS(Power Saving State)モードに設定する場合の注意

PSS モードに入る場合は、すべての DMA チャンネルは禁止に設定され、動作が停止しているようにしてください。

(2) 動作フロー

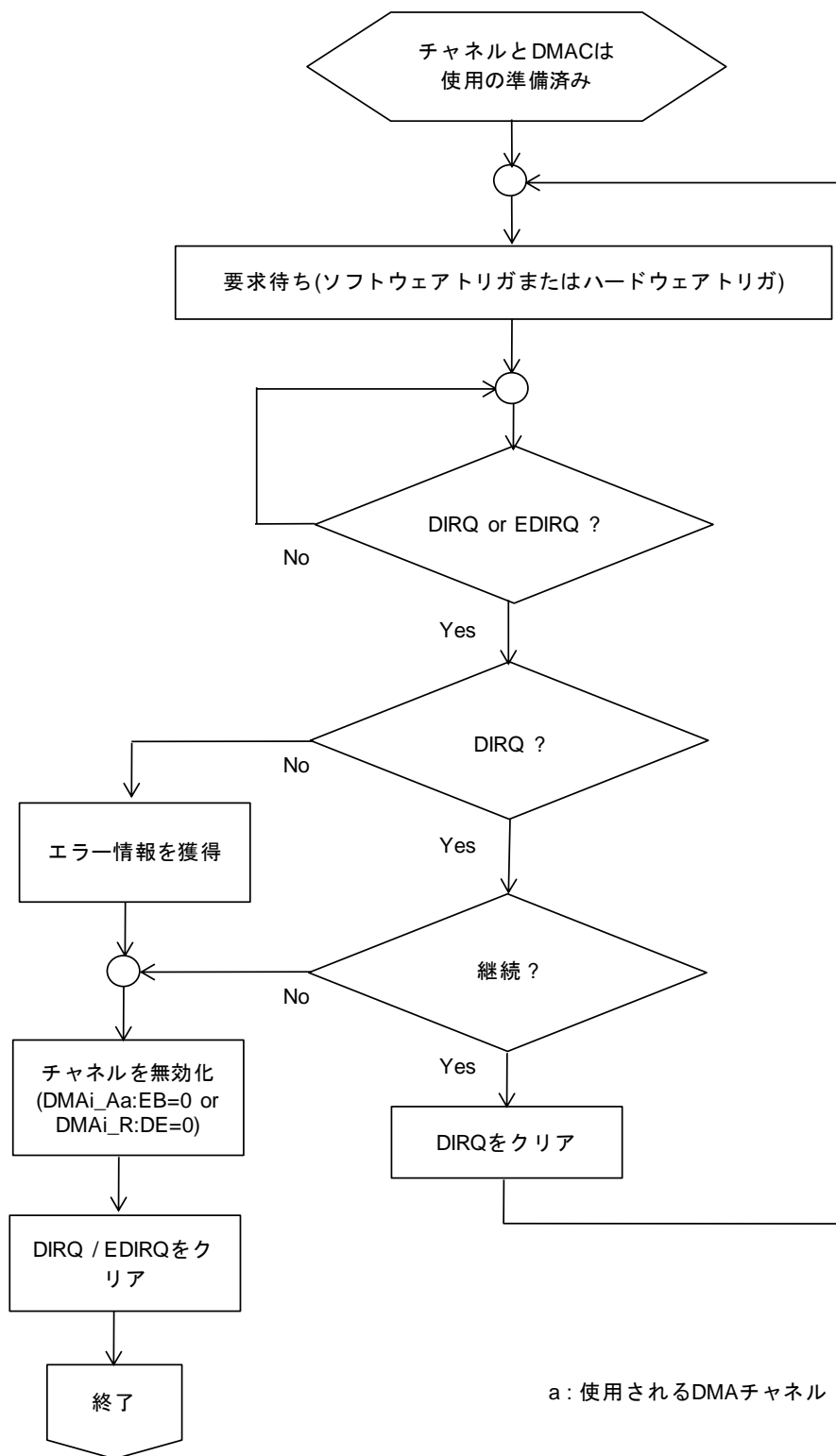
a) DMA チャンネルの設定と許可

図 3-2 DMA チャンネルの設定と許可のフロー



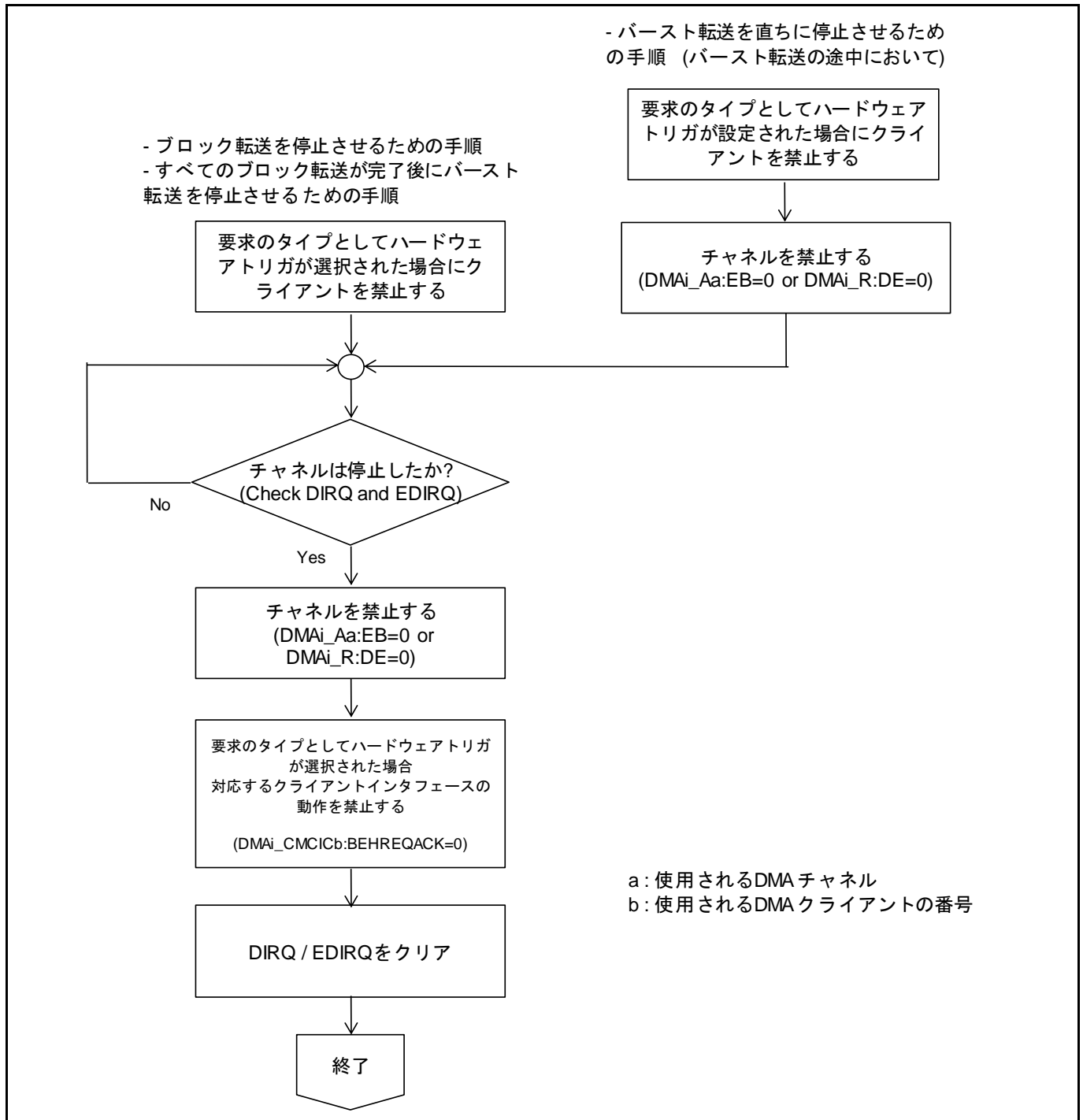
b) DMA 要求の取扱い

図 3-3 DMA 要求の取扱いのフロー



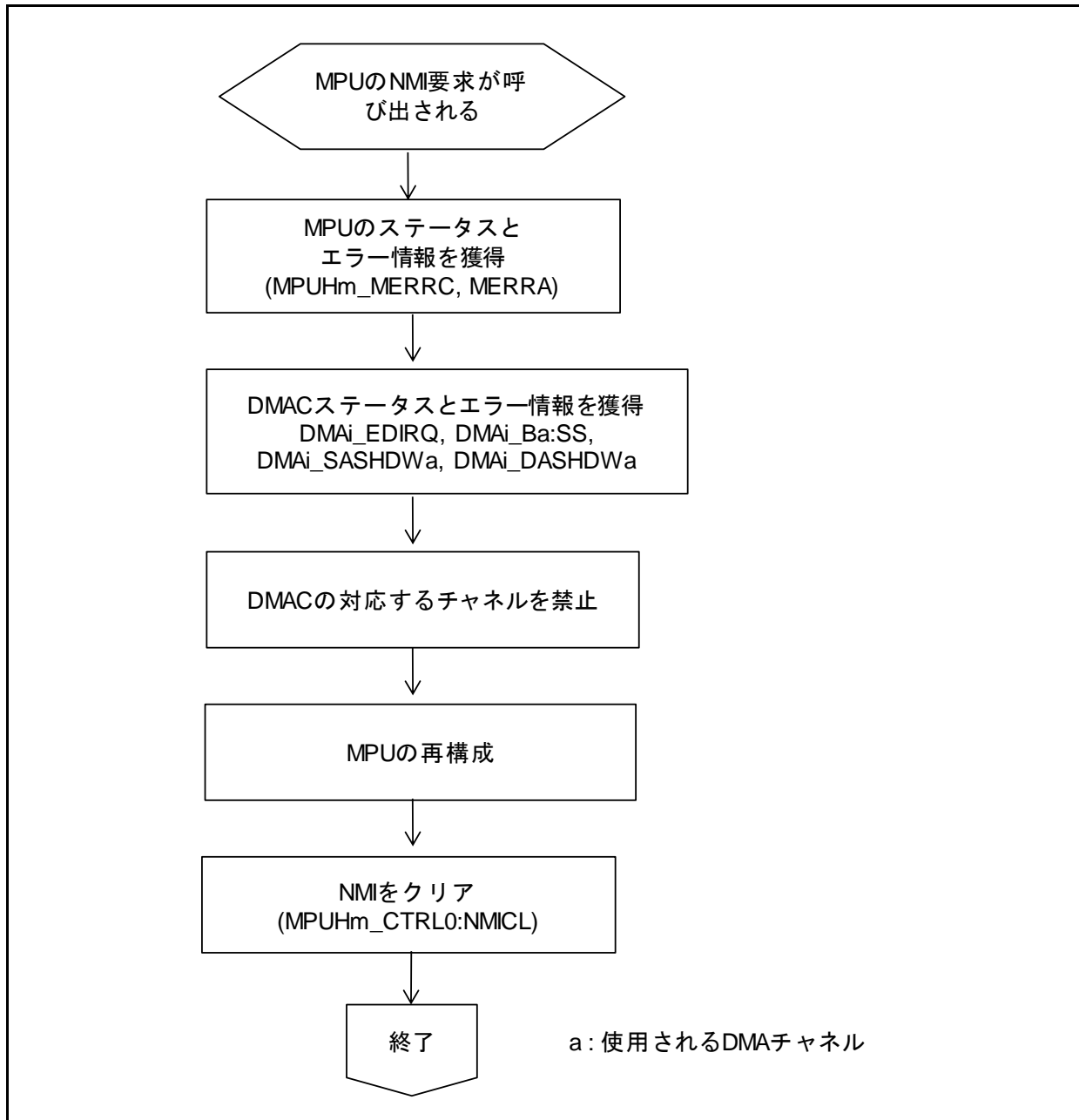
c) 転送停止

図 3-4 転送停止のフロー



d) DMAC 用 MPU の NMI 要求の取扱い

図 3-5 DMAC 用 MPU の NMI 要求の取扱いのフロー





4. レジスタ

ここではレジスタの説明をします。

表 4-1 DMA コントローラ レジスタ一覧

レジスタ略称	レジスタ名	参照先
DMAi_R	DMA コントローラグローバルコンフィギュレーションレジスタ	4.1
DMAi_DIRQ1	DMA コントローラグローバル完了割込み 1 レジスタ	4.2
DMAi_EDIRQ1	DMA コントローラグローバルエラー割込み 1 レジスタ	4.3
DMAi_EDIRQ2	DMA コントローラグローバルエラー割込み 2 レジスタ	4.4
DMAi_DIRQ2	DMA コントローラグローバル完了割込み 2 レジスタ	4.5
DMAi_ID	DMA コントローラ ID レジスタ	4.6
DMAi_An	DMA コントローラチャネルコンフィギュレーション A レジスタチャネル n	4.7
DMAi_Bn	DMA コントローラチャネルコンフィギュレーション B レジスタチャネル n	4.8
DMAi_SAn	DMA コントローラチャネルコンフィギュレーション転送元アドレスレジスタチャネル n	4.9
DMAi_DAn	DMA コントローラチャネルコンフィギュレーション転送先アドレスレジスタチャネル n	4.10
DMAi_Cn	DMA コントローラチャネルコンフィギュレーション C レジスタチャネル n	4.11
DMAi_Dn	DMA コントローラチャネルコンフィギュレーション D レジスタチャネル n	4.12
DMAi_En	DMA コントローラチャネルコンフィギュレーション E レジスタチャネル n	4.13
DMAi_SASHDWn	DMA コントローラチャネルコンフィギュレーション転送元アドレスシャドウレジスタチャネル n	4.14
DMAi_DASHDWn	DMA コントローラチャネルコンフィギュレーション転送先アドレスシャドウレジスタチャネル n	4.15
DMAi_CMICm	DMA コントローラクライアントマトリクス内部クライアントインタフェースコンフィギュレーションレジスタチャネル m	4.16
DMAi_CMCHICn	DMA コントローラクライアントマトリクスチャネルインタフェースコンフィギュレーションレジスタ n	4.17

"i"は DMAC のインスタンス番号を示します。本製品では"i"は 0 です。

"n"はチャネル番号を示します。本製品では"n"は 0,1,...,15 です。

"N"は DMAC のチャネル数を示します。本製品では"N"は 16 です。

"m"はクライアント番号を示します。本製品では"m"は 8,9,...,142 です。

"M"はクライアントインタフェース数を示します。本製品では"M"は 143 です。

4.1. DMA コントローラグローバルコンフィギュレーションレジスタ(DMAi_R)

このレジスタにより、DMA コントローラ全体の動作の許可や中断を行うことができます。DMA チャンネルアービタのアービトレーションスキームの選択やデバッグ機能の許可、デバッグイベント時の DMAC の動作の選択なども行うことができます。

Bit	31	30	29	28	27	26	25	24
Field	DE	DSHR	DBE	PR[1]	PR[0]	DH	DB[1]	DB[0]
R/W 属性	R/W	R,WX	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	1	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	DSHS
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	1

[bit31] DE: DMA 許可

このビットが"0"に設定されている場合、DMAC は禁止状態です。したがってすべての DMA チャンネルは DMAi_An:EB の設定に関係なく禁止されています。

このビットが"1"に設定されている場合、DMAC は許可状態で、チャンネルの許可は DMAi_An:EB に依存します。

このビットを DMA 転送中に"0"に設定した場合、転送中のチャンネルは次の転送ギャップで停止します。

この転送ギャップは、DMA 転送中でデータブロック転送後の短い時間に DMAC がバスアービタに対してバス要求をデアサートすることを意味します。これにより、バスが非常に長い DMA 転送によって完全にブロックされることがありません。

bit	説明
0	DMAC 全体の動作が禁止されている。
1	DMAC 全体の動作が許可されている。

[bit30] DSHR: DMA 停止/中断要求フラグ

すべてのチャンネルの DMA 転送を中断または禁止する要求が発行されたことを示します。

このビットは、次の条件がいずれも成立しない場合、ハードウェアによって"0"が設定されます。

このビットは、次の条件の 1 つ以上が成立する場合、ハードウェアによって"1"が設定されます。



DMA 停止/中断要求フラグの条件:

- DMAi_R:DE が"0"に設定されている(全チャネルが禁止状態)。
- DMAi_R:DH が"1"に設定されている(全チャネルが中断状態)。
- DMAi_R:DBE が"1"に設定され、かつ DMAi_R:DB[1:0]が"10"に設定され(デバッグイベントで停止)、かつ保留中のデバッグイベントがある。
- DMAi_R:DBE が"1"に設定され、かつ DMAi_R:DB[1:0]が"01"に設定され(デバッグイベントで中断)、かつ保留中のデバッグイベントがある。

bit	説明
0	全チャネルの DMA 転送を中断または禁止する条件がいずれも成立していない。
1	全チャネルの DMA 転送を中断または禁止する条件が 1 つ以上成立している。

[bit29] DBE: デバッグ許可

デバッグイベント(デバッグのブレークポイントなど)に DMAC が反応するかどうかを決定します。

デバッグイベント発生時の DMAC の動作は、コンフィギュレーションビットのデバッグ動作 (DMAi_R:DB[1:0])によって異なります。

bit	説明
0	DMAC はデバッグイベントには反応しない。
1	DMAC はデバッグイベントに反応する。反応はデバッグ動作(DMAi_R:DB[1:0]) の設定に依存する。

<注意事項>

- 本品種ではデバッグイベントは使用できません。

[bit28:27] PR[1:0]: プライオリティタイプ

DMAC アービタのアービトレーションスキームを選択します。動的プライオリティの場合、チャネルプライオリティは転送ギャップで更新されます。

bit[28:27]	説明
00	固定プライオリティ
01	動的プライオリティ
10	ラウンドロビン
11	Reserved

[bit26] DH: DMA 中断

このビットが"1"に設定されると DMA チャネルはすべて中断され、このビットが"0"に戻されるまで DMA 転送を実行しません。これをクリアした場合、中断された DMA 転送は中断点から処理を続行します。

DMA 転送中にこのビットが"1"に設定された場合、DMAC は転送を次の転送ギャップで中断します。

転送ギャップについては、DMAi_R:DE ビットの説明を参照してください。

[bit25:24] DB[1:0]: デバッグ動作

bit[25:24]	説明
00	デバッグイベントで DMAC は処理を続行する。
01	デバッグイベントで DMAC は全転送を中断する。
10	デバッグイベントで DMAC は全転送を停止する。
11	Reserved



＜注意事項＞
－ 本品種ではデバッグイベントは使用できません。

[bit23:1] Reserved: 予約ビット

[bit0] DSHS: DMA 停止/中断ステータスフラグ

bit	説明
0	最低 1 チャンネルは DMA 転送を実行中である。
1	全チャンネルの DMA 転送が中断または禁止されている。



4.2. DMA コントローラグローバル完了割込み 1 レジスタ(DMAi_DIRQ1)

DMA チャンネル 0 から 31 までの完了割込みフラグ(DMAi_Bn:DQ)をこのレジスタに集約します。

Bit	31	30	29	28	27	26	25	24
Field	DIRQ[31]	DIRQ[30]	DIRQ[29]	DIRQ[28]	DIRQ[27]	DIRQ[26]	DIRQ[25]	DIRQ[24]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	DIRQ[23]	DIRQ[22]	DIRQ[21]	DIRQ[20]	DIRQ[19]	DIRQ[18]	DIRQ[17]	DIRQ[16]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	DIRQ[15]	DIRQ[14]	DIRQ[13]	DIRQ[12]	DIRQ[11]	DIRQ[10]	DIRQ[9]	DIRQ[8]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	DIRQ[7]	DIRQ[6]	DIRQ[5]	DIRQ[4]	DIRQ[3]	DIRQ[2]	DIRQ[1]	DIRQ[0]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] DIRQ: グローバル完了割込み 1

チャンネル 0 から 31 までの DIRQ ステータスを通知するリードオンリレジスタです。特定のデバイスで使用できないチャンネルは,"0"が読み出されます。

4.3. DMA コントローラグローバルエラー割込み 1 レジスタ(DMAi_EDIRQ1)

DMA チャンネル 0 から 31 までのエラー割込みフラグ(DMAi_Bn:EQ)をこのレジスタに集約します。

Bit	31	30	29	28	27	26	25	24
Field	EDIRQ[31]	EDIRQ[30]	EDIRQ[29]	EDIRQ[28]	EDIRQ[27]	EDIRQ[26]	EDIRQ[25]	EDIRQ[24]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	EDIRQ[23]	EDIRQ[22]	EDIRQ[21]	EDIRQ[20]	EDIRQ[19]	EDIRQ[18]	EDIRQ[17]	EDIRQ[16]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	EDIRQ[15]	EDIRQ[14]	EDIRQ[13]	EDIRQ[12]	EDIRQ[11]	EDIRQ[10]	EDIRQ[9]	EDIRQ[8]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	EDIRQ[7]	EDIRQ[6]	EDIRQ[5]	EDIRQ[4]	EDIRQ[3]	EDIRQ[2]	EDIRQ[1]	EDIRQ[0]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] EDIRQ: グローバルエラー割込み 1

チャンネル 0 から 31 の EDIRQ ステータスを通知するリードオンリレジスタです。特定のデバイスで使用できないチャンネルは,"0"が読み出されます。



4.4. DMA コントローラグローバルエラー割込み 2 レジスタ(DMAi_EDIRQ2)

DMA チャンネル 32 から 63 までのエラー割込みフラグ(DMAi_Bn:EQ)をこのレジスタに集約します。

Bit	31	30	29	28	27	26	25	24
Field	EDIRQ[63]	EDIRQ[62]	EDIRQ[61]	EDIRQ[60]	EDIRQ[59]	EDIRQ[58]	EDIRQ[57]	EDIRQ[56]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	EDIRQ[55]	EDIRQ[54]	EDIRQ[53]	EDIRQ[52]	EDIRQ[51]	EDIRQ[50]	EDIRQ[49]	EDIRQ[48]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	EDIRQ[47]	EDIRQ[46]	EDIRQ[45]	EDIRQ[44]	EDIRQ[43]	EDIRQ[42]	EDIRQ[41]	EDIRQ[40]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	EDIRQ[39]	EDIRQ[38]	EDIRQ[37]	EDIRQ[36]	EDIRQ[35]	EDIRQ[34]	EDIRQ[33]	EDIRQ[32]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] EDIRQ: グローバルエラー割込み 2

チャンネル 32 から 63 の EDIRQ ステータスを通知するリードオンリレジスタです。特定のデバイスで使用できないチャンネルは, "0"が読み出されます。

4.5. DMA コントローラグローバル完了割込み 2 レジスタ(DMAi_DIRQ2)

DMA チャンネル 32 から 63 までの完了割込みフラグ(DMAi_Bn:DQ)をこのレジスタに集約します。

Bit	31	30	29	28	27	26	25	24
Field	DIRQ[63]	DIRQ[62]	DIRQ[61]	DIRQ[60]	DIRQ[59]	DIRQ[58]	DIRQ[57]	DIRQ[56]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	DIRQ[55]	DIRQ[54]	DIRQ[53]	DIRQ[52]	DIRQ[51]	DIRQ[50]	DIRQ[49]	DIRQ[48]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	DIRQ[47]	DIRQ[46]	DIRQ[45]	DIRQ[44]	DIRQ[43]	DIRQ[42]	DIRQ[41]	DIRQ[40]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	DIRQ[39]	DIRQ[38]	DIRQ[37]	DIRQ[36]	DIRQ[35]	DIRQ[34]	DIRQ[33]	DIRQ[32]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] DIRQ: グローバル完了割込み 2

チャンネル 32 から 63 の DIRQ ステータスを通知するリードオンリレジスタです。特定のデバイスで使用できないチャンネルは,"0"が読み出されます。



4.6. DMA コントローラ ID レジスタ(DMAi_ID)

本レジスタからは定数が読み出されます。本レジスタには機能はありません。

Bit	31	30	29	28	27	26	25	24
Field	MID[31]	MID[30]	MID[29]	MID[28]	MID[27]	MID[26]	MID[25]	MID[24]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	MID[23]	MID[22]	MID[21]	MID[20]	MID[19]	MID[18]	MID[17]	MID[16]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R1,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	1

Bit	15	14	13	12	11	10	9	8
Field	MID[15]	MID[14]	MID[13]	MID[12]	MID[11]	MID[10]	MID[9]	MID[8]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R1,WX	R0,WX	R1,WX
保護属性	WP							
初期値	0	0	0	0	0	1	0	1

Bit	7	6	5	4	3	2	1	0
Field	MID[7]	MID[6]	MID[5]	MID[4]	MID[3]	MID[2]	MID[1]	MID[0]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] MID[31:0]: Module Number

常に 0x00010500 が読み出されます。

4.7. DMA コントローラチャネルコンフィギュレーション A レジスタチャネル n(DMAi_An)

このレジスタで、DMA チャネルの動作を許可するかまたは中断するかを指定します。DMA 転送の要求元や、ブロックカウント、転送カウント、ビートリミット、オールターネート、タイムアウトなどの DMA 転送パラメータを指定します。

Bit	31	30	29	28	27	26	25	24
Field	EB	PB	ST	IS		AL	BL[1]	BL[0]
R/W 属性	R/W	R/W	R0,W	R/W		R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	00		0	0	0

Bit	23	22	21	20	19	18	17	16
Field	BC[3]	BC[2]	BC[1]	BC[0]	TO[3]	TO[2]	TO[1]	TO[0]
R/W 属性	R/W	R/W	R/W	R/W	R/W1	R/W1	R/W1	R/W1
保護属性	WP							
初期値	0	0	0	0	1	1	1	1

Bit	15	14	13	12	11	10	9	8
Field	TC[15]	TC[14]	TC[13]	TC[12]	TC[11]	TC[10]	TC[9]	TC[8]
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TC[7]	TC[6]	TC[5]	TC[4]	TC[3]	TC[2]	TC[1]	TC[0]
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31] EB: 許可ビット

DMA チャネルの動作を許可または禁止するために使用します。このビットが"1"に設定されている場合、チャネルは許可状態で DMA 転送開始の要求を待機します(その前に、DMAi_R:DE ビットを"1"に設定している必要があります)。このビットが"0"に設定されている場合、チャネルは禁止状態で DMA 転送を実行しません。DMA 転送中にこのビットが"0"に設定され、かつその転送が次の転送ギャップで完了しない場合、DMA 転送は終了します。これは強制終了とみなされ、エラー割込みが生成されます。DMA 転送の最後のブロックの処理中にこのビットが"0"に設定された場合、DMA 転送は次の転送ギャップで完了し完了割込みが生成されます。転送ギャップについては、DMAi_R:DE ビットの説明を参照してください。このビットは、DMA 転送後のチャネルの各コンフィギュレーションレジスタの再コンフィギュレーションに役立ちます。

bit	説明
0	チャネルは禁止状態
1	チャネルは許可状態

[bit30] PB: 一時停止ビット

このビットは DMA チャネルの転送を中断するために使用します。このビットを"1"に設定した場合、チャネルは転送を中断し、このビットがクリアされるまで DMA 転送を実行しません。



転送処理が行われていないときにこのビットを"1"に設定した場合、DMAC は直ちに中断状態になります。転送処理中にこのビットを"1"に設定した場合、次の転送ギャップで中断状態になります。DMA 転送が次の転送ギャップで完了する場合は、完了割込みが発行されます。

このビットが"0"に設定された場合、中断条件はクリアされ、DMACは次のDMA転送続行要求を待機します。

このビットはチャネルの各コンフィギュレーションレジスタを再コンフィギュレーションすることなく DMA 転送を中断するのに便利です。

bit	説明
0	チャネルを中断しない。
1	チャネルを中断する。

[bit29] ST: ソフトウェアトリガ

ソフトウェア要求を生成するために使用します。以下のすべての条件が成立している場合に、ソフトウェアトリガを発行できます。

- DMAi_Bn:SR="1"
- DMAi_Bn:SS は初期状態か正常終了
- DIRQ はクリアされている
- EDIRQ はクリアされている
- (ブロック転送の場合)前のブロックの転送は完了済み

このビットを"1"に設定すると、ソフトウェア要求が受信されたことにより DMA 転送が要求されます。ソフトウェアトリガが認識され、チャネルの内部的なサービス要求が設定されてソフトウェアトリガ準備 (DMAi_Bn:SR)が"0"に設定されると、DMAC はこのビットを"0"に設定します。DMAi_Bn:SR がそのステータスを"1"から"0"に変更したとき、ソフトウェア要求は成功したことになります。ST は読出し時"0"だけを返します。

bit	説明
0	ソフトウェア要求がない。
1	ソフトウェア要求

[bit28:27] IS[1:0]: 入力選択

DMA 転送要求の起動元を選択します。DMA 転送の起動元がソフトウェア要求の場合、IS[1:0]ビットを"00"に設定します。DMA 転送の起動元がハードウェア要求の場合、IS[1:0]ビットを"01"に設定します。

bit[28:27]	説明
00	ソフトウェア要求
01	ハードウェア要求
10	Reserved
11	Reserved

[bit26] AL: オールターネート

データ転送が読出しと書込みを交互に行うのか、連続的な読出しのあと連続的な書込みを行うのかを決定します。オールターネートが発生するのは、各インクリメント読出しバーストの後、および各シングルデータの読出し後です。

bit	説明
0	連続
1	オールターネート



[bit25:24] BL[1:0]: ビートリミット

ビートリミットは,AHB マスタが AHB バス上で作成できる DMA チャンネルの最大バースト長を制御します。

bit[25:24]	説明
00	シングル転送(SINGLE)
01	4 ビートインクリメントバースト(INCR4)
10	8 ビートインクリメントバースト(INCR8)
11	16 ビートインクリメントバースト(INCR16)

これらのビットをブロックカウントと組合せ,AHB インタフェースの転送バーストタイプを決定します。

[bit23:20] BC[3:0]: ブロックカウント

ブロックまたはバースト転送モードで 1 ブロックの全体の長さを指定します。

最大ブロックカウントは 16 です。例えば BC=4 の場合、データ転送数は 5(BC+1)です。

AHB マスタで生成されるバーストは、オールターネート、ブロックカウントおよびビートリミットの 3 つで決定されます。

[bit19:16] TO[3:0]: タイムアウト

このビットは Reserved です。書き込む場合は 0b1111 を書き込んでください。

[bit15:0] TC[15:0]: 転送カウント

ブロック、バースト転送の転送回数を指定します。最大転送回数は 65536 です。TC が 0 に設定された場合、転送は 1 回で、TC が 65535 に設定された場合 65536 回の転送が行われます。

バーストおよびブロック転送モードでは、DMA の処理終了(DEOP)が生成される前にチャンネルが行うデータ転送のブロック数を TC で表します。例えば TC=9 でかつ DMAi_An:BC=9 の場合、DEOP が生成される前に DMAC が行う転送の合計数 = (DMAi_An:BC+1) x (TC+1) = 10 x 10 = 100 転送になります。



4.8. DMA コントローラチャネルコンフィギュレーション B レジスタチャネル n (DMAi_Bn)

このレジスタには、エラーと完了割込みフラグおよび割込みマスクビットがあります。DMA 動作の停止ステータスもこのレジスタで使用できます。動作モード選択、転送データ幅、転送元および転送先保護情報がここにあります。ソフトウェアトリガ準備フラグは、DMA チャネルがソフトウェアトリガを受信できる準備状態を示します。固定および動的のプライオリティアービトラレシヨンスキームについて、DMA チャネルアービタのプライオリティ数をここで設定できます。

Bit	31	30	29	28	27	26	25	24
Field	DQ	EQ	MS[1]	MS[0]	TW		SR	Reserved
R/W 属性	R,WX	R,WX	R0,W	R/W	R/W		R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	00		0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	Reserved	Reserved	EI	CI	SS		
R/W 属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R,WX		
保護属性	WP							
初期値	0	0	0	0	0	000		

Bit	15	14	13	12	11	10	9	8
Field	SP[3]	SP[2]	SP[1]	SP[0]	DP[3]	DP	DP[1]	DP[0]
R/W 属性	R/W	R/W	R/W	R1,WX	R/W	R/W	R/W	R1,WX
保護属性	WP							
初期値	0	0	1	1	0	0	1	1

Bit	7	6	5	4	3	2	1	0
Field	Reserved	PN[6]	PN[5]	PN[4]	PN[3]	PN[2]	PN[1]	PN[0]
R/W 属性	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	1	1	1	1	1	1	1

[bit31] DQ: DIRQ フラグ

DMA 転送の正常終了時、DQ は"1"に設定されます。DMAi_Cn:CD(クリア DIRQ)ビットが"1"に設定された場合、DQ はハードウェアによってクリアされます。それ以外の場合、値は保持されます。

[bit30] EQ: EDIRQ フラグ

DMA 転送がエラー終了の場合、EQ が"1"に設定されます。DMAi_Cn:CE(クリア EDIRQ)ビットが"1"に設定された場合、EQ はハードウェアによってクリアされます。それ以外の場合、値は保持されます。

[bit29:28] MS[1:0]: モード選択

MS はチャンネルの転送モードを設定します。

bit[29:28]	説明
00	ブロック転送モード
01	バースト転送モード
10	Reserved
11	Reserved

[bit27:26] TW[1:0]: 転送データ幅

TW は DMA 転送のすべてのデータ転送に対してデータ幅を指定します。

bit[27:26]	説明
00	バイト
01	ハーフワード
10	ワード
11	ダブルワード

[bit25] SR: ソフトウェアトリガ準備

このビットは、DMA チャンネルがソフトウェア要求を受信する準備ができていることを通知するための条件の一部を表示します*。次の条件の発生時は、DMA チャンネルはソフトウェア要求を受信できる準備ができていません。次の条件が 1 つ以上成立する場合、SR はハードウェアにより"0"が設定されます。条件が何も成立していない場合は、SR はハードウェアにより"1"が設定されます。

- DMAi_R:DE="0"; DMAC は禁止状態
- DMAi_R:DH="1"; 全 DMA チャンネルが中断状態
- DMAi_An:EB="0"; DMA チャンネルは禁止状態
- DMAi_An:PB="1"; DMA チャンネルは中断状態
- DMAi_An:IS[1:0] != "00"; 入力選択がソフトウェアトリガに設定されていない
- DEBUG="1"かつ DMAi_R:DF = "1"かつ DMAi_R:DB[1:0]="01"または DMAi_R:DB[1:0]="10":デバッグフラグが設定されているがデバッグイベントは保留で、またデバッグ動作は HALT または STOP に設定されている。
- DMA 転送が実行中でソフトウェア要求が保留されている。

*: のこりの条件については「4.7 DMA コントローラチャンネルコンフィギュレーション A レジスタチャンネル n(DMAi_An)」の ST ビットの説明を参照してください。

[bit20] EI: エラー割込み許可

エラー割込み(EDIRQ)の発行を制御するために使用します。このビットが"1"に設定されている場合、次の転送エラーのためにエラー割込みを発生します。

- DSTP 信号で転送停止が要求された、または DMAi_An:EB もしくは DMAi_R:DE で転送が禁止された、またはデバッグイベントがあった(DMAi_R:DBE="1"かつ DMAi_R:DB[1:0]="10"の場合)
- 転送元アクセスエラーの場合
- 転送先アクセスエラーの場合

bit	説明
0	エラー割込み発行が禁止される。
1	エラー割込みの発行が許可される。



[bit19] CI: 完了割込み許可

完了割込み(DIRQ)の発行を制御するために使用します。このビットが"1"に設定されている場合、DMA 転送の正常終了時、完了割込みを発生します。

bit	説明
0	完了割込みの発行が禁止される。
1	完了割込みの発行が許可される。

[bit18:16] SS[2:0]: 停止ステータス

DMA 転送の終了コードを示すために使用します。エラーまたは完了割込みが発生した時点で SS はハードウェアによって設定されます。DMAi_Cn:CE または DMAi_Cn:CD が"1"に設定されると、ハードウェアは SS をクリアします。

bit[18:16]	説明
000	初期状態 Status : None
001	Reserved
010	停止要求 - DSTP - チャネル禁止 (DMAi_An:EB="0") - DMA 禁止 (DMAi_R:DE="0") - デバッグイベント (DMAi_R:DBE="1" and DMAi_R:DB[1:0]="10") Status : Stop
011	転送元アクセスエラー Status : Error
100	転送先アクセスエラー Status : Error
101	正常終了 Status : End
110	Reserved
111	Reserved

異なるイベントが同時に発生した場合、終了コードは次のプライオリティに基づいて表示されます。

1. リセット
2. 完了またはエラー割込み(DIRQ または EDIRQ)のクリア
3. 転送元アクセスエラー
4. 転送先アクセスエラー
5. 停止要求

<注意事項>

- 割込みビットがクリアされた場合、停止ステータスもクリアされます。

[bit15:12] SP[3:0]: 転送元アクセス保護

転送元アクセス保護を制御するために使用します。転送元にアクセス中、HPROTMはAHBアドレスフェーズの間 SP でドライブされます。

- SP[3]: "0": Not cacheable
- SP[3]: "1": Cacheable
- SP[2]: "0": Not bufferable
- SP[2]: "1": Bufferable
- SP[1]: "0": User access

- SP[1]: "1": Privileged access
- SP[0]: "0": Instruction access (DMAC はデータアクセスだけを行います。したがって、SP[0]は"1"に固定され、これに"0"を書き込んでも効果はありません)。
- SP[0]: "1": Data access

SP は保護制御機能をサポートする転送元に考慮されます。

[bit11:8] DP[3:0]: 転送先アクセス保護

転送先アクセス保護を制御するために使用します。転送先にアクセス中、HPROTMはAHBアドレスフェーズの間 DP でドライブされます。

- DP[3]: "0": Not cacheable
- DP[3]: "1": Cacheable
- DP[2]: "0": Not bufferable
- DP[2]: "1": Bufferable
- DP[1]: "0": User access
- DP[1]: "1": Privileged access
- DP[0]: "0": Instruction access (DMAC はデータアクセスだけを行います。したがって、DP[0]は"1"に固定され、これに"0"を書き込んでも効果はありません)。
- DP[0]: "1": Data access

DP を考慮するのは、保護制御機能をサポートする転送先だけです。

[bit6:0] PN[6:0]: プライオリティ数

プライオリティ数を指定するために使用します。アービトレーションスキームに固定プライオリティまたは動的プライオリティを選択した場合、プライオリティ数が必要です。ラウンドロビンアービトレーションスキームに選択した場合は意味を持ちません。低いプライオリティ数値を持つチャンネルのプライオリティがより高くなります。



4.9. DMAコントローラチャネルコンフィギュレーション転送元アドレスレジスタチャネル n(DMAi_SAn)

このレジスタは、チャネル n の DMA 転送の転送元アドレスを格納します。チャネル 0 から N-1 に対応して N 個の同一レジスタがあります。

Bit	31	30	29	28	27	26	25	24
Field	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] SA[31:0]: 転送元アドレス

DMA 転送を開始する転送元アドレスを指定します。1 つの DMA 転送の終了時点で、次のすべての条件が成立する場合、転送元アドレスは DMAi_SASHDWn の値で更新されます。

- 更新転送元アドレス(DMAi_Dn:US)が"1"
- 固定ブロック転送元アドレス(DMAi_Dn:FBS)が"0"
- 転送が正常終了

それ以外の場合、転送元アドレスはその値を保持します。

<注意事項>

- DMAi_SAn レジスタは、転送データ幅でアラインされたアドレスをロードする必要があります。アラインされていないアドレスをロードした場合、DMAC は転送データ幅の設定(DMAi_Bn:TW[1:0])に従ってそのアドレスをアラインされたアドレスに変換します。
- このレジスタを設定する前に、チャネルを禁止 (DMAi_R:DE="0"またはDMAi_An:EB="0")にしてください。

4.10. DMAコントローラチャネルコンフィギュレーション転送先アドレスレジスタチャネル n(DMAi_DAn)

このレジスタは、チャネル n の DMA 転送の転送先アドレスを格納します。チャネル 0 から N-1 に対応して N 個の同一のレジスタがあります。

Bit	31	30	29	28	27	26	25	24
Field	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] DA[31:0]: 転送先アドレス

DMA 転送を開始する転送先アドレスを指定します。1 つの DMA 転送の終了時点で、次のすべての条件が成立する場合、転送先アドレスは DMAi_DASHDWn の値で更新されます。

- 更新転送先アドレス(DMAi_Dn:UD)が"1"
- 固定ブロック転送先アドレス(DMAi_Dn:FBD)が"0"
- 転送が正常終了

それ以外の場合、転送先アドレスはその値を保持します。

<注意事項>

- DMAi_DAn レジスタは、転送データ幅でアラインされたアドレスをロードする必要があります。アラインされていないアドレスをロードした場合、DMAC は転送データ幅の設定(DMAi_Bn:TW[1:0])に従ってそのアドレスをアラインされたアドレスに変換します。
- このレジスタを設定する前に、チャネルを禁止 (DMAi_R:DE="0"またはDMAi_An:EB="0")にしてください。



4.11. DMA コントローラチャネルコンフィギュレーションC レジスタチャネル n(DMAi_Cn)

このレジスタは、DMAi_Bn レジスタに設定された割込みフラグをクリアするために使用します。このレジスタのビットに"1"を書き込むことにより、ソフトウェアはDMAi_Bn レジスタの対応するフラグをクリアすることができます。チャネル 0 から N-1 に対応して N 個の同一レジスタがあります。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	CE
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	CD
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:9] Reserved: 予約ビット

[bit8] CE: クリア EDIRQ

このビットをセットすると EDIRQ フラグビット(DMAi_Bn:EQ)がクリアされます。DMAC はこのビットを自動的にクリアします。

[bit7:1] Reserved: 予約ビット

[bit0] CD: クリア DIRQ

このビットをセットすると DIRQ フラグビット(DMAi_Bn:DQ)がクリアされます。DMAC はこのビットを自動的にクリアします。

4.12. DMA コントローラチャネルコンフィギュレーションD レジスタチャネル n(DMAi_Dn)

このレジスタは、DMA 転送に対する DMA チャネルのアドレッシング動作を制御します。転送元と転送先でアドレッシングを別々に選択することができます。

Bit	31	30	29	28	27	26	25	24
Field	FS	DES	US	FBS	Reserved	Reserved	Reserved	Reserved
R/W 属性	R/W	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	FD	DED	UD	FBD	Reserved	Reserved	Reserved	Reserved
R/W 属性	R/W	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

<注意事項>

- このレジスタには有効ビットのある位置へ 8 ビットアクセスでアクセスしてください。

[bit31] FS: 固定転送元アドレス

転送元アドレスを固定値に維持するために使用します。

bit	説明
0	転送元アドレスはインクリメントされる。
1	転送元アドレスは固定である。AHB マスタの転送元アクセスにシングル転送だけが行われる。

[bit30] DES: デクリメント転送元アドレス

このビットを設定した場合、AHB インタフェースの転送元アドレスは AHB 転送ごとにデクリメントされます。このモードでは、AHB マスタの転送元アクセスにシングル転送だけが行われます。

bit	説明
0	転送元アドレスはインクリメントされる。
1	転送元アドレスはデクリメントされる。



＜注意事項＞

- 固定転送元アドレス(DMAi_Dn:FS)は、デクリメント転送元アドレスよりも高いプライオリティを持ちます。このビットは、DMAi_Dn:FS = "0"かつ DMAi_Dn:FBS = "0"の場合に限り有効です。

[bit29] US: 更新転送元アドレス

bit	説明
0	DMA 転送の正常終了後, DMAi_SAn は更新されない。DMAi_SAn は維持される。
1	DMA 転送の正常終了後, DMAi_SAn は更新される。例えば, 最後の転送元アドレスが 0x0BF000FC で DMAi_Bn:TW[1:0] = 10(ワード)とすると, DMAi_SAn はアドレス 0x0BF00100 で更新される。

＜注意事項＞

- このビットは、DMAi_Dn:FBS = "0"の場合に限り有効です。

[bit28] FBS: 固定ブロック転送元アドレス

bit	説明
0	DMA 転送の最初のブロックの開始アドレスは DMAi_SAn の格納値に設定される。連続するブロックの開始アドレスは, 1 つ前のブロックの最終アドレスに続くアドレス(転送データ幅(DMAi_Bn:TW[1:0])に従う)。
1	各ブロックの開始アドレスは DMAi_SAn の格納値に設定される。

＜注意事項＞

- FBS の設定が有効になるのは、DMAi_Dn:FS="0"かつ (DMAi_Bn:MS="00"(ブロック転送モード)または DMAi_Bn:MS="01"(バースト転送モード)) の場合に限ります。

[bit15] FD: 固定転送先アドレス

転送先アドレスを固定値に維持するために使用します。

bit	説明
0	転送先アドレスはインクリメントされる。
1	転送先アドレスは固定である。AHB マスタの転送先アクセスはシングル転送だけが行われる。

[bit14] DED: デクリメント転送先アドレス

このビットが設定されている場合, AHB インタフェース上の転送先アドレスは AHB 転送ごとにデクリメントされます。このモードでは, AHB マスタの転送先アクセスはシングル転送だけが行われます。

bit	説明
0	転送先アドレスはインクリメントされる。
1	転送先アドレスはデクリメントされる。

＜注意事項＞

- 固定転送先アドレス(DMAi_Dn:FD)は、デクリメント転送先アドレスよりも高いプライオリティを持ちます。このビットは、DMAi_Dn:FD = "0"かつ DMAi_Dn:FBD = "0"の場合に限り有効です。



[bit13] UD: 更新転送先アドレス

bit	説明
0	DMA 転送の正常終了時, DMAi_DAn は更新されない。DMAi_DAn は維持される。
1	DMA 転送の正常終了時, DMAi_DAn は更新される。例えば, 最後の転送先アドレスが 0x0BF40010 で DMAi_Bn:TW [1:0]= 10(ワード)とすると, DMAi_DAn はアドレス 0x0BF40014 で更新される。

<注意事項>

- このビットは, DMAi_Dn:FBD="0"の場合に限り有効です。

[bit12] FBD: 固定ブロック転送先アドレス

bit	説明
0	DMA 転送の最初のブロックの開始アドレスは, DMAi_DAn の格納値に設定される。連続するブロックの開始アドレスは前ブロックの最終アドレスに続くアドレスである(転送データ幅(DMAi_Bn:TW[1:0])に従う)。
1	各ブロックの開始アドレスは, DMAi_DAn の格納値に設定される。

<注意事項>

- FBD の設定が有効になるのは, FD="0"かつ (DMAi_Bn:MS[1:0]="00"(ブロック転送モード)または DMAi_Bn:MS[1:0]="01"(バースト転送モード)) の場合に限りです。



4.13. DMAコントローラチャネルコンフィギュレーションEレジスタチャネルn(DMAi_En)

本レジスタには予約機能が割り当てられています。本レジスタを使用しないでください。

Bit	31	30	29	28	27	26	25	24
Field	EE	DC[14]	DC[13]	DC[12]	DC[11]	DC[10]	DC[9]	DC[8]
R/W 属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	DC[7]	DC[6]	DC[5]	DC[4]	DC[3]	DC[2]	DC[1]	DC[0]
R/W 属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	IC[15]	IC[14]	IC[13]	IC[12]	IC[11]	IC[10]	IC[9]	IC[8]
R/W 属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IC[7]	IC[6]	IC[5]	IC[4]	IC[3]	IC[2]	IC[1]	IC[0]
R/W 属性	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31] EE: Reserved

書き込む場合は"0"を書き込んでください。

[bit30:16] DC[14:0]: Reserved

書き込む場合は"0"を書き込んでください。

[bit15:0] IC[15:0]: Reserved

書き込む場合は"0"を書き込んでください。

4.14. DMAコントローラチャネルコンフィギュレーション転送元アドレスシャドウレジスタチャネル n(DMAi_SASHDWn)

このレジスタは、転送元アクセスエラーに備えて、チャネル n の DMA 転送で最後の転送元データのアドレスを保持します。DMA 転送が停止された場合、このレジスタは最後に正常転送されたデータに続く次のアドレスを格納します。チャネル 0 から N-1 に対応して N 個の同一レジスタがあります。

Bit	31	30	29	28	27	26	25	24
Field	SASHDW [31]	SASHDW [30]	SASHDW [29]	SASHDW [28]	SASHDW [27]	SASHDW [26]	SASHDW [25]	SASHDW [24]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	SASHDW [23]	SASHDW [22]	SASHDW [21]	SASHDW [20]	SASHDW [19]	SASHDW [18]	SASHDW [17]	SASHDW [16]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	SASHDW [15]	SASHDW [14]	SASHDW [13]	SASHDW [12]	SASHDW [11]	SASHDW [10]	SASHDW [9]	SASHDW [8]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	SASHDW [7]	SASHDW [6]	SASHDW [5]	SASHDW [4]	SASHDW [3]	SASHDW [2]	SASHDW [1]	SASHDW [0]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] SASHDW[31:0]: 転送元シャドウアドレス

DMA 転送の開始時、このレジスタは DMAi_SAn のコピーを保持しています。DMA 転送中、このレジスタは、DMAi_Dn:FS, DMAi_Dn:DES, DMAi_Dn:US および DMAi_Dn:FBS の設定に基づいてインクリメントまたはデクリメントされるか、あるいは一定値で変わりません。転送元アクセスエラーの場合、SASHDW はエラーを発生した読出しアクセスのアドレスを示します。DMA 転送を停止した場合、最後の読出しアクセスに続く次のアドレスを示します。

<注意事項>

- DMAi_SAn にアラインされていないアドレスが最初にロードされている場合、SASHDW のアドレスはアラインされていません。ただし、DMAC は、転送データ幅(DMAi_Bn:TW[1:0])の設定に従ってアラインされた SASHDW のアドレスへの読出しアクセスを行います。



4.15. DMAコントローラチャネルコンフィギュレーション転送先アドレスシャドウレジスタチャネル n(DMAi_DASHDWn)

このレジスタは、転送先アクセスエラーに備えて、チャネル n の DMA 転送で最後の転送先データのアドレスを保持します。DMA 転送が停止された場合、このレジスタは最後に正常転送されたデータに続く次のアドレスを格納します。チャネル 0 から N-1 に対応して N 個の同一レジスタがあります。

Bit	31	30	29	28	27	26	25	24
Field	DASHDW [31]	DASHDW [30]	DASHDW [29]	DASHDW [28]	DASHDW [27]	DASHDW [26]	DASHDW [25]	DASHDW [24]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	DASHDW [23]	DASHDW [22]	DASHDW [21]	DASHDW [20]	DASHDW [19]	DASHDW [18]	DASHDW [17]	DASHDW [16]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	DASHDW [15]	DASHDW [14]	DASHDW [13]	DASHDW [12]	DASHDW [11]	DASHDW [10]	DASHDW [9]	DASHDW [8]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	DASHDW [7]	DASHDW [6]	DASHDW [5]	DASHDW [4]	DASHDW [3]	DASHDW [2]	DASHDW [1]	DASHDW [0]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:0] DASHDW[31:0]: 転送先シャドウアドレス

DMA 転送の開始時、このレジスタは DMAi_DAn のコピーを保持しています。DMA 転送中、このレジスタは、DMAi_Dn:FD, DMAi_Dn:DED, DMAi_Dn:UD および DMAi_Dn:FBD の設定に基づいてインクリメントまたはデクリメントされるか、または一定値で変わりません。転送先アクセスエラーの場合、DASHDW はエラーを発生した書込みアクセスのアドレスを示します。DMA 転送を停止した場合は、最後の書込みアクセスに続く次のアドレスを示します。

<注意事項>

- アラインされていないアドレスが最初に DMAi_DAn にロードされている場合、DASHDW のアドレスはアラインされていません。ただし、DMAC は、転送データ幅(DMAi_Bn:TW[1:0])の設定に従ってアラインされた DASHDW のアドレスへの書込みアクセスを行います。

4.16. DMAコントローラクライアントマトリクス内部クライアントインタフェース スコンフィギュレーションレジスタ m(DMAi_CMICm)

内部クライアントインタフェース m を制御します。動作コンフィギュレーションビットは、DMA クライアントが選択されなかった場合に備えて、応答信号の動作を決定します。また、本レジスタは IRQ により DMA 要求を発行するペリフェラルに対し DMA 要求のイネーブル、ディセーブルを設定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	Reserved	Reserved	Reserved	BEHSTP ACK	Reserved	BEHREQ ACK	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R/W0	R/W	R0,WX	R/W	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

<注意事項>

- DMAi_CMIC8 と DMAi_CMIC9 では、27 ビット目(BEHSTPACK) の属性は"R/W"です。
DMAi_CMIC10~DMAi_CMIC142 では、27 ビット目(BEHSTPACK) の属性は"R0,WX"です。

[bit31:29] Reserved: 予約ビット

[bit28] Reserved: 予約ビット

書き込む場合は"0"を書き込んでください。

[bit27] BEHSTPACK: Behaviour Stop Acknowledge

クライアントインタフェースがチャネルコンフィギュレーションレジスタ(DMAi_CMCHICn)で選択されていない場合、BEHSTPACK は内部 DMA クライアントインタフェース"m"の出力信号 DSTP_ACK[m]の動作を設定します。



<注意事項>

- $DMAi_CMICICx$ ($x=10, 11, \dots, 142$) ビットは必ず"0"が読み出されます。

bit	説明
0	DSTP_ACK[m] は非アクティプロジックレベルを出力する。
1	DSTP[m] は直接 DSTP_ACK[m]に関連付けられている。

[bit26] Reserved: 予約ビット

[bit25] BEHREQACK : Behaviour Request Acknowledge

クライアントインタフェースがチャネルコンフィギュレーションレジスタ(DMAi_CMCHICn)で選択されていない場合, BEHREQACK は内部 DMA クライアントインタフェース"m"の出力信号 DREQ_ACK[m]の動作を設定します。

bit	説明(1)
0	DREQ_ACK[m]は非アクティプロジックレベルを出力する。
1	DREQ[m]は直接 DREQ_ACK[m]に関連付けられている。

また, 本ビットは, IRQ により DMA 要求を発行するペリフェラルにおいて, DMA 要求イネーブルの役割もあります。本ビットを変更する際はそのペリフェラルがディセーブルで IRQ を発行しない状態で変更してください。

bit	説明(2)
0	IRQ により DMA 要求が制御されるペリフェラルに対して: IRQ による DMA 要求は禁止される。
1	IRQ により DMA 要求が制御されるペリフェラルに対して: IRQ による DMA 要求は許可される。

[bit24:0] Reserved: 予約ビット

4.17. DMAコントローラクライアントマトリクスチャネルインタフェースコンフィギュレーションレジスタ n(DMAi_CMCHICn)

このレジスタでは、DMA チャンネル n に経路接続する DMA クライアントを指定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	CI[8]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	CI[7]	CI[6]	CI[5]	CI[4]	CI[3]	CI[2]	CI[1]	CI[0]
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	*1	*1	*1	*1

*1: DMAi_CMCHICn:CI[8:0] の初期値は "n"です

(例) DMAi_CMCHIC0:CI[8:0]の初期値=000000000
DMAi_CMCHIC5:CI[8:0]の初期値=000000101

[bit8:0] CI[8:0]: クライアントインタフェース

DMA チャンネル n が、CI のバイナリ値によって与えられる DMA クライアントと経路接続されることを指定します。



CHAPTER 23: メモリ保護 (AHB)

AMBA™ Advanced High Speed Bus(MPU AHB)のメモリ保護ユニットの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ
5. 使用上の注意



1. 概要

MPU AHB の特長とブロックダイアグラムについて説明します。

MPU AHB の特長

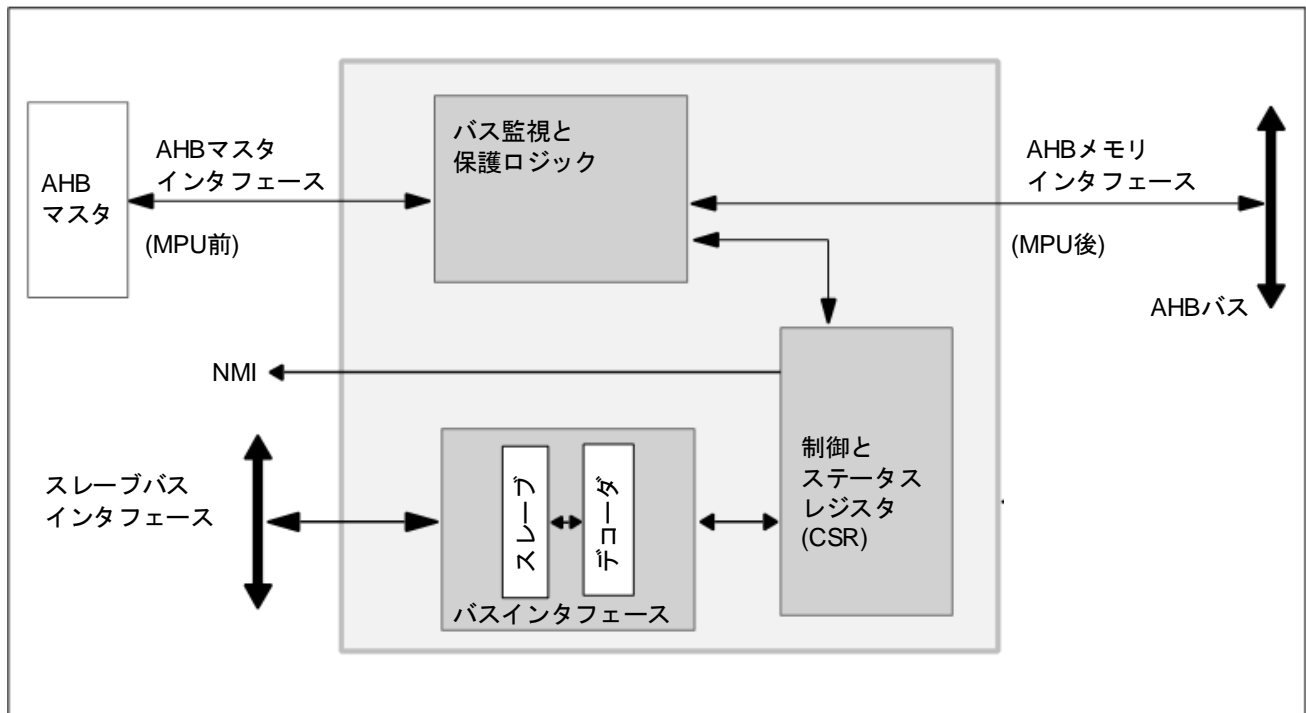
MPU AHB モジュールは AHB マスタのアクセスを監視し、承認されたアクセス許可のセットと照合して各アクセスをチェックします。アクセス許可(以下「許可属性」)は、「アクセス許可」ビットにより定義されます。このビットについては、MPU アクセス許可の節で説明します。MPU AHB は 8 個の領域と 1 個のバックグラウンド領域を提供します。各領域は対応するアクセス許可ビットを持ち、このビットがその特定領域に対する許可属性を定義します。メモリ空間への不正なアクセスは、マスク不可割込みを使って通知されます。MPU AHB はまた不正なバスアクセス情報を収集し、それを内部レジスタに格納します。MPU AHB モジュールの特長を列挙します。

- MPU AHB の 8 個の各領域は対応する開始アドレスと終了アドレスで指定します。
- バックグラウンド領域には全 4 G バイトのアドレス空間が含まれます。
- 不正アクセス時、MPU AHB は CPU に対して NMI を生成します。
- MPU AHB は不正アクセスを引き起こした AHB マスタバスアクセス情報を収集します。
- 8 ビット、16 ビットおよび 32 ビットバスアクセスで MPU AHB のレジスタを構成できます。
- ロックとその解除機能をサポートし、不正な書込みアクセスからレジスタを保護します。
- MPU AHB のレジスタの更新は、特権モードに限り可能です。
- MPU AHB のレジスタの書込みは、ロック解除のシーケンスの実行後に限り可能です。
- MPU 停止機能をサポートし、メモリ空間へのすべてのアクセスをブロックできます。
- 特権モードの上書き機能をサポートし、メモリ側の AHB インタフェースの特権属性を上書きできます。

2. 構成

MPU_AHB のブロックダイアグラムを示します。

図 2-1 MPU_AHB のブロックダイアグラム



a) バスインタフェース

バスマスタは MPU AHB モジュールにスレーブバスインタフェース経由でアクセスできます。

b) バス監視と保護ロジック

このロジックでは、AHB マスタインタフェースバス上の転送を監視します。これは現在の転送が属する領域(1 個または複数)を調べ、領域との照合に基づいて転送を許可します。許可できない違反があれば NMI 割込みを使って通知します。AHB マスタインタフェース上のすべての転送(許可違反を起こしたものを含めて)は、NMI がクリアされるまでブロックされます。

c) 制御とステータスレジスタ

MPU AHB の動作は、制御とステータスレジスタ(CSR)によって制御し監視できます。CSR の詳細については、「4. レジスタ」を参照してください。



3. 動作説明

MPU AHB の動作を説明します。

(1) MPU AHB 領域の粒度

MPU AHB は 8 つの各領域について開始アドレスと終了アドレスを提供します。MPU AHB 領域は 32 バイトの粒度で定義されます。

開始アドレスは領域の最初のアドレスを指定し、領域 1 から領域 8 までの各領域についてそれぞれ MPUHm_SADDR1 から MPUHm_SADDR8 のレジスタで指定されます。領域の粒度が 32 バイトのため、開始アドレスの最下位 5 ビットは常に 0 が読み出されます。

終了アドレスは領域 1 から領域 8 までの各領域についてそれぞれ MPUHm_EADDR1 から MPUHm_EADDR8 のレジスタで指定されます。終了アドレスレジスタの最下位 5 ビットはリードオンリビットで、読み出すと常に "1" です。これにより 32 バイトの粒度が保証されます。

(2) AHB バースト監視

AHB プロトコルは、4, 8, 16 ビートバーストを定義します。これはまた不定長バーストとシングル転送も定義しています。

AHB プロトコルでは、バースト内の各転送の間、次の転送アドレスが必ずバスにドライブされます。

MPU AHB のバス監視と保護ロジックは、AHB バーストトランザクション内の転送の各アドレスを監視します。各アドレスについて領域の一致が確かめられ、これにより、対応する許可属性が現在の転送属性と照合されます。

図 3-1 MPU AHB のタイミング例

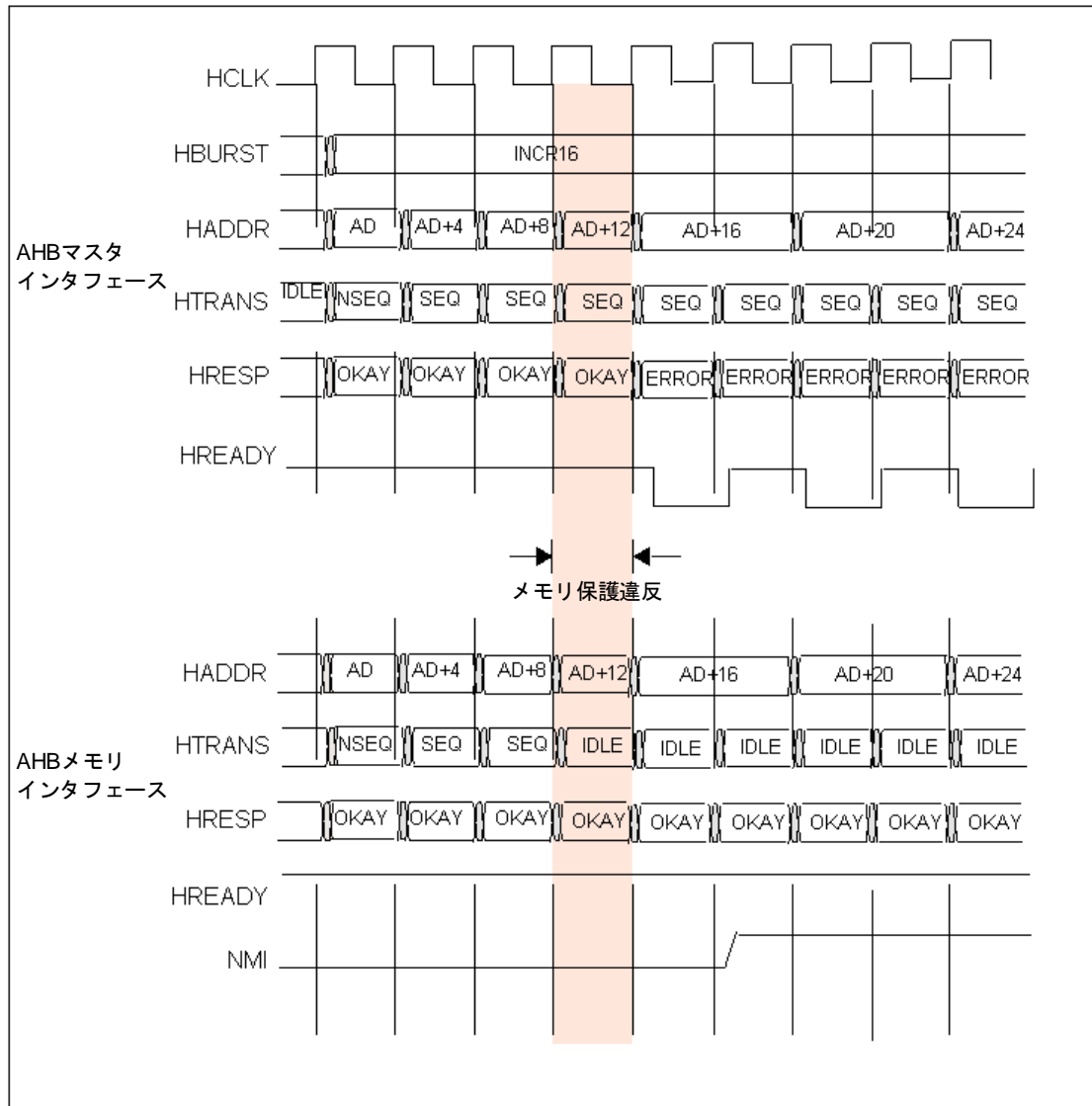


図 3-1 に MPU AHB の動作を示します。AHB マスタインタフェースで開始された固定長バースト(INCR16)を図示しています。MPU AHB は AHB 転送の各アドレスをチェックし、メモリ保護違反がないか確かめます。

- MPU AHB がアドレス AD +12 でメモリ保護違反を検出します。
- MPU AHB がそのインスタンスから AHB メモリインタフェースの HTRANS ラインに IDLE 転送のドライブを開始します。
- AD +12 のアドレスフェーズはアドレス AD +8 のデータフェーズのため、このフェーズは終了します。
- AD +12 のデータフェーズに対し、エラー応答が AHB マスタインタフェースに生成されます。
- MPUHm_CTRL0:NMI フラグが設定されます。

AHB マスタインタフェースのエラー応答は、NMI フラグがソフトウェアによってクリアされるまで生成されます。AHB 転送もまた、この間すべてブロックされます。

(3) MPU のプライオリティ決定

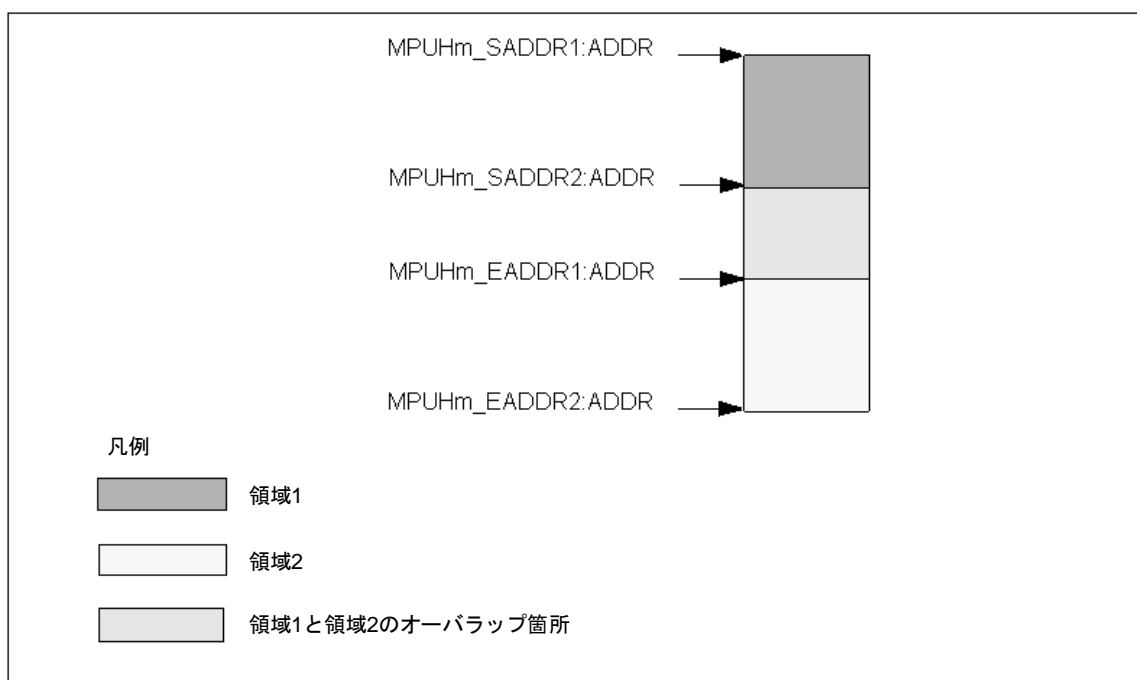
MPU AHB は 8 つの各領域について開始アドレスと終了アドレスを提供します。MPU AHB では領域が互いにオーバーラップすることが許可されます。このため、任意の転送の AHB アドレスが複数の領域と一致することがあります。

MPU は最大 8 個の領域をサポートし、各領域は領域 1、領域 2、領域 3 から領域 8 として識別されます。領域 8 のプライオリティが最も高く、領域 7 のプライオリティがその次に高くなります。領域 1 のプライオリティが 2 番目に低く、バックグラウンド領域のプライオリティが最も低くなります。

AHB 転送のアドレスが複数の領域と一致する場合、一致した領域の中で最も高いプライオリティを持つ領域に対応する許可属性が適用されます。

図 3-2 に領域 1 と領域 2 でオーバーラップする例を示します。

図 3-2 領域オーバーラップ例



(4) MPU アクセス許可

MPU AHB の領域制御レジスタ(MPUHm_CTRL1 から MPUHm_CTRL8)は、それぞれ領域 1 から領域 8 のアクセス許可を制御するために使用します。また、MPUHm_CTRL0 は、バックグラウンド領域のアクセス許可を制御するために使用します。

表 3-1 に、これらのレジスタのアクセス許可ビット(AP)と対応する許可属性を示します。

表 3-1 アクセス許可

AP ビット	特権モードアクセス	非特権モードアクセス	説明
000 (デフォルト)	アクセス不可	アクセス不可	すべてのバスアクセスはブロックされるので、メモリ保護違反を生成します。
001	リード、ライト	アクセス不可	読出しと書込みは特権モードに限り許可されます。非特権モードでのアクセスはメモリ保護違反を生成します。
010	リード、ライト	リードオンリ	特権モードの読出しと書込みは許可されます。読出しは非特権モードでも許可されます。非特権モードでの書込みはメモリ保護違反を生成します。
011	リード、ライト	リード、ライト	すべてのバス転送は許可されます。メモリ保護違反はこのモードでは生成されません。
100	アクセス不可	アクセス不可	すべてのバスアクセスはブロックされ、メモリ保護違反を生成します。
101	リードオンリ	アクセス不可	読出しは特権モードに限り許可されます。特権モードでの書込みや非特権モードでのアクセスはすべてメモリ保護違反を生成します。
110	リードオンリ	リードオンリ	特権モードおよび非特権モードの読出しは許可されます。書込みアクセスはすべてメモリ保護違反を生成します。
111	リード、ライト	リード、ライト	すべてのバス転送は許可されます。このモードではメモリ保護違反は生成されません。

(5) バス監視と保護ロジック

AHB マスタインタフェース上の転送はすべて監視され、許可されたアクセスがあるかどうかチェックされます。

- MPU AHB のバス監視と保護ロジックは、現在の転送のアドレスを各領域の開始アドレスと終了アドレスと比較し、領域の一致を調べて現在の転送が 8 個の定義された領域の中でどの領域と一致するかを判定します。
- MPU のプライオリティ決定の節で説明したように、AHB 転送アドレスは複数の領域と一致する場合があります。その場合、最も高いプライオリティを持つ領域の許可属性が、現在実行中の AHB マスタからの転送の属性と照合されます。
- 現在実行中の転送の属性が許可属性と合えば、現在のトランザクションは AHB メモリインタフェースに転送されます。
- その属性が許可属性と合わなければ、現在の転送はブロックされます。マスク不可割込み (MPUHm_CTRL0:NMI) フラグが設定されます。現在の転送のアドレスと制御情報は、MPUHm_MERRA と MPUHm_MERRC レジスタにそれぞれ格納されます。
- 以降すべての転送は、MPUHm_CTRL0:NMI フラグがソフトウェアによってクリアされるまで、ブロックされます。また AHB 転送アドレスの監視も、MPUHm_CTRL0:NMI フラグがクリアされるまで、ストールします。

転送がブロックされる場合、MPU AHB は次のように動作します。

- IDLE 転送を AHB メモリインタフェースにドライブします。
- エラー応答を AHB マスタインタフェースに生成します。



(6) MPU 停止機能

MPU AHB は MPU 停止機能をサポートします。

このモードが有効な場合、メモリ空間へのすべてのアクセスはブロックされ、MPU AHB は次のように動作します。

- IDLE 転送を AHB メモリインタフェースにドライブします。
- エラー応答を AHB マスタインタフェースに生成します。

MPU 停止機能に関連するレジスタのビットの詳細については、「4.1 MPU AHB 制御レジスタ(MPUHm_CTRL0)」を参照してください。

(7) 特権モードの上書き機能

MPU AHB は特権モードの上書き機能をサポートします。

このモードが有効な場合、後述の「4.1 MPU AHB 制御レジスタ(MPUHm_CTRL0)」で説明するように MPUHm_CTRL0:PROT ビットを設定することにより、AHB メモリインタフェース上の特権モード属性が設定されます。

<注意事項>

- メモリ保護違反を検出するバス監視と保護ロジックは、AHB マスタインタフェース上の特権モード属性を使用し、特権モードの上書き機能が有効な場合 MPUHm_CTRL0:PROT ビットを設定します。

4. レジスタ

MPU AHB モジュールには、その動作の構成やステータス監視のためのレジスタや、またメモリ保護違反の発生時に AHB マスタインタフェースから収集した情報を読み出すためのレジスタなど各種のレジスタがあります。

MPU AHB モジュールは、制御とステータスレジスタ(CSR)をマップするために 1 K バイトの MCU アドレス空間が割り当てられます。ここでは、MPU AHB に割り当てられたアドレス領域と MPU AHB の制御とステータスレジスタについて説明します。

MPU AHB では、次のレジスタを使用できます。

表 4-1 MPU AHB レジスタ一覧

レジスタ略称	レジスタ名	参照先
MPUHm_CTRL0	MPU AHB 制御レジスタ	4.1
MPUHm_NMIEN	MPU AHB NMI 許可レジスタ	4.2
MPUHm_MERRC	MPU AHB メモリエラー制御レジスタ	4.3
MPUHm_MERRA	MPU AHB メモリエラーアドレスレジスタ	4.4
MPUHm_CTRL1~8	MPU AHB 領域制御レジスタ	4.5
MPUHm_SADDR1~8	MPU AHB 開始アドレスレジスタ	4.6
MPUHm_EADDR1~8	MPU AHB 終了アドレスレジスタ	4.7
MPUHm_UNLOCK	MPU AHB ロック解除レジスタ	4.8
MPUHm_MID	MPU AHB モジュール ID レジスタ	4.9

レジスタ名の添字の"m"は、そのレジスタがモジュールのインスタンス"m"であることを示します。



4.1. MPU AHB 制御レジスタ(MPUHm_CTRL0)

MPU AHB 制御レジスタを使用して、ソフトウェアでMPU AHBを構成できます。このレジスタにはMPU AHBの監視や保護機能を可能にする許可ビットがあります。またバックグラウンド領域に許可属性を提供もできます。特権モードでの上書き機能や、MPU 停止機能を有効あるいは無効にするよう制御もできます。最後にMPU AHB ロックビットやマスク不可割込みフラグのステータスも通知します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	Reserved	Reserved	Reserved	Reserved	AP[2]	AP[1]	AP[0]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	MPUENC	MPUEN
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R,WX
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	PROT	POEN	MPU STOPEN	MPUSTOP	LST
R/W 属性	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R,WX	R,WX
保護属性	WPS							
初期値	0	0	0	0	0	0	0	1

Bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	NMICL	NMI
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,W	R,WX
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31:27] Reserved: 予約ビット

[bit26:24] AP[2:0]: バックグラウンド領域のアクセス許可

このビットはバックグラウンド領域に対するアクセス許可を制御するために使用します。このビットの詳細については、表 3-1 を参照してください。

<注意事項>

- バックグラウンド領域に対する AP[2:0] ビットへの書込みは、MPU が無効 (MPUHm_CTRL0:MPUEN=0 のとき) になっているときに限り可能です。
MPUHm_CTRL0:MPUENC=0 書込み後に、MPUHm_CTRL0:MPUEN ビットを確認してから本ビットをセットしてください。

[bit23:18] Reserved: 予約ビット

[bit17] MPUENC: MPU AHB 許可制御

bit	説明
0	MPU AHB の監視と保護機能を無効にする。
1	MPU AHB の監視と保護機能を有効にする。

MPU AHB の監視と保護機能が有効か無効かは MPUEN ビットで確認してください。

[bit16] MPUEN: MPU AHB 許可ステータス

bit	説明
0	MPU AHB の監視と保護機能は無効になっている。AHB マスタインタフェースからのすべてのアクセスは、保護されずに AHB メモリインタフェースに転送される。
1	MPU AHB の監視と保護機能は有効になっている。

[bit15:13] Reserved: 予約ビット**[bit12] PROT: 特権モード属性**

POEN = 1 の場合、AHB メモリインタフェース上の特権属性はこのビットによって制御されます。

bit	説明
0	非特権モード。
1	特権モード。

[bit11] POEN: 特権モード上書き機能許可

bit	説明
0	特権モード上書き機能は無効になっている。
1	特権モード上書き機能は有効になっている。

[bit10] MPUSTOPEN: MPU 停止機能の有効化

このビットは MPU 停止入力とともに MPU AHB の停止ステータスを制御します。

bit	説明
0	MPU 停止機能は無効になっている。
1	MPU 停止機能は有効になっている。

[bit9] MPUSTOP: MPU 停止ステータス

bit	説明
0	MPU AHB は停止モード状態ではない。
1	MPU AHB は停止モード状態である(MPUSTOPEN = 1)。このモード時はすべてのアクセスがブロックされる。

[bit8] LST: MPU ロックステータス

bit	説明
0	MPU AHB はロック解除されている。MPU AHB のレジスタの書込みが可能。
1	MPU AHB はロックされている。MPU AHB のレジスタ(MPUHm_UNLOCK レジスタを除いて)は書き込みできない。

[bit7:2] Reserved: 予約ビット

**[bit1] NMICL: NMI 割込みクリア**

bit	説明
0	無効。
1	NMI 割込みフラグをクリアする。

読み出すと"0"が読めます。

[bit0] NMI: NMI 割込みフラグ

この割込みフラグは, AHB 転送のメモリ保護違反が検出されたことを示します。

<注意事項>

- レジスタのビット MPUHm_CTRL0:AP[2:0], MPUHm_CTRL0:MPUSTOPEN, MPUHm_CTRL0:POEN および MPUHm_CTRL0:PROT は, MPU が無効のとき (MPUHm_CTRL0:MPUEN = 0) に限り, 書込みが可能です。MPU を無効にする際には, これらのビットへの同時書込みを行われないようにするため, bit[23:16]へバイトアクセスで書込みを行いMPUを無効にしてください。

4.2. MPU AHB NMI 許可レジスタ(MPUHm_NMIEN)

MPU AHB NMI 許可レジスタを使用して、ソフトウェアで NMI 許可ビットをリセットできます。NMI 許可ビットのデフォルト値は 1 です。ソフトウェアでこのビットをリセットできるのは、リセット操作後だけです。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	NMIEN
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	1

[bit0] NMIEN: NMI 割込み許可

このビットによって、NMI 割込みフラグを NMI 割込み信号に送出するかどうかを決定します。

bit	説明
0	NMI 割込みフラグは NMI 割込み信号をトリガしない
1	NMI 割込みフラグは NMI 割込み信号をトリガする

このビット値の変更はリセット後に限り可能です。



4.3. MPU AHB メモリエラー制御レジスタ(MPUHm_MERRC)

これはリードオンリレジスタで、メモリ保護違反が検出された AHB 転送の制御情報を提供します。このレジスタを読み出して AHB 転送の特権モードや転送モード(書込みまたは読出し)の情報を取得できます。本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	HPROT	HWRITE
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit1] HPROT: AHB 転送特権モード

このビットは、メモリ保護違反が検出された AHB 転送の HPROT 信号のステータスを通知します。

[bit0] HWRITE: AHB 転送モード

このビットは、メモリ保護違反が検出された AHB 転送の HWRITE 信号のステータスを通知します。

4.4. MPU AHB メモリエラーアドレスレジスタ(MPUHm_MERRA)

これは、メモリ保護違反が検出された AHB 転送のアドレスを通知するリードオンリレジスタです。本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31	30	29	28	27	26	25	24
Field	HADDR[31]	HADDR[30]	HADDR[29]	HADDR[28]	HADDR[27]	HADDR[26]	HADDR[25]	HADDR[24]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	HADDR[23]	HADDR[22]	HADDR[21]	HADDR[20]	HADDR[19]	HADDR[18]	HADDR[17]	HADDR[16]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	HADDR[15]	HADDR[14]	HADDR[13]	HADDR[12]	HADDR[11]	HADDR[10]	HADDR[9]	HADDR[8]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	HADDR[7]	HADDR[6]	HADDR[5]	HADDR[4]	HADDR[3]	HADDR[2]	HADDR[1]	HADDR[0]
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:0] HADDR[31:0]: AHB アドレス

メモリ保護違反が検出された AHB 転送のアドレスが読み出せます。



4.5. MPU AHB 領域制御レジスタ(MPUHm_CTRL1~8)

MPU AHB 領域制御レジスタは、特定領域へのアクセス許可を指定するために使用します。ソフトウェアでこのレジスタを使用して、特定領域を有効または無効にすることができます。領域 1 に対する MPUHm_CTRL1 制御レジスタを次に説明します。このデバイスで使用可能な領域の個数は、8 個です。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved					AP		
R/W 属性	R0,WX					R/W		
保護属性	WPS							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved						MPUENC	MPUEN
R/W 属性	R0,WX						R/W	R,WX
保護属性	WPS							
初期値	000000						0	0

[bit31:11] Reserved: 予約ビット

[bit10:8] AP[2:0]: アクセス許可

これらのビットは、領域 1 のアクセス許可を制御するために使用します。このビットの詳細については、表 3-1 を参照してください。

[bit7:2] Reserved: 予約ビット

[bit1] MPUENC: 許可制御

bit	説明
0	領域 1 のメモリ保護を無効にする。
1	領域 1 のメモリ保護を有効にする。

領域の許可ステータスは MPUHm_CTRL1:MPUEN ビットから読み出すことができます。

[bit0] MPUEN: 許可ステータス

bit	説明
0	領域 1 のメモリ保護は無効になっている。
1	領域 1 のメモリ保護は有効になっている。

<注意事項>

- アクセス許可ビット(MPUHm_CTRL1~8:AP)への書込みは、対応する領域が無効の場合(MPUHm_CTRL1~8:MPUEN = 0)または MPU が無効の場合(MPUHm_CTRL0:MPUEN = 0)に限り可能です。領域 1 のメモリ保護を無効にする際には、これらのビットへの同時書込みを行われないようにするため、bit[7:0]へバイトアクセスで書込みを行い領域 1 のメモリ保護を無効にしてください。領域 2~8 も同様です。



4.6. MPU AHB 開始アドレスレジスタ(MPUHm_SADDR1~8)

MPU AHB の各領域は、その領域の開始アドレスと終了アドレスを指定することにより定義できます。MPUHm_SADDR1~8 レジスタは、8 つの領域の開始アドレスを指定するために使用します。開始アドレスはその領域の最初のアドレスを示します。領域 1 の開始アドレスレジスタ MPUHm_SADDR1 を次に説明します。このデバイスで使用可能な領域の個数は、8 個です。

Bit	31	30	29	28	27	26	25	24
Field	SADDR[31]	SADDR[30]	SADDR[29]	SADDR[28]	SADDR[27]	SADDR[26]	SADDR[25]	SADDR[24]
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	SADDR[23]	SADDR[22]	SADDR[21]	SADDR[20]	SADDR[19]	SADDR[18]	SADDR[17]	SADDR[16]
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	SADDR[15]	SADDR[14]	SADDR[13]	SADDR[12]	SADDR[11]	SADDR[10]	SADDR[9]	SADDR[8]
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	SADDR[7]	SADDR[6]	SADDR[5]	SADDR[4]	SADDR[3]	SADDR[2]	SADDR[1]	SADDR[0]
R/W 属性	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R0,WX	R0, WX
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

[bit31:0] SADDR[31:0]: 開始アドレス

各領域の開始アドレスを設定します。

<注意事項>

- MPUHm_SADDR1~8 レジスタへの書込みは、対応する領域が無効の場合(MPUHm_CTRL1~8:MPUEN = 0)、または MPU が無効の場合(MPUHm_CTRL0:MPUEN = 0)に限り可能です。

4.7. MPU AHB 終了アドレスレジスタ(MPUHm_EADDR1~8)

MPU AHB の各領域は、その領域の開始アドレスと終了アドレスを指定することにより定義できます。MPUHm_EADDR1~8 レジスタは、8 つの領域の終了アドレスを指定するために使用します。終了アドレスはその領域の最後のアドレスを示します。領域 1 の終了アドレスレジスタ MPUHm_EADDR1 を次に説明します。このデバイスで使用可能な領域の個数は、8 個です。

Bit	31	30	29	28	27	26	25	24
Field	EADDR[31]	EADDR[30]	EADDR[29]	EADDR[28]	EADDR[27]	EADDR[26]	EADDR[25]	EADDR[24]
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	EADDR[23]	EADDR[22]	EADDR[21]	EADDR[20]	EADDR[19]	EADDR[18]	EADDR[17]	EADDR[16]
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	EADDR[15]	EADDR[14]	EADDR[13]	EADDR[12]	EADDR[11]	EADDR[10]	EADDR[9]	EADDR[8]
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WPS							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	EADDR[7]	EADDR[6]	EADDR[5]	EADDR[4]	EADDR[3]	EADDR[2]	EADDR[1]	EADDR[0]
R/W 属性	R/W	R/W	R/W	R1,WX	R1,WX	R1,WX	R1,WX	R1, WX
保護属性	WPS							
初期値	0	0	0	1	1	1	1	1

[bit31:0] EADDR[31:0]: 終了アドレス

各領域に終了アドレスを設定します。

<注意事項>

- MPUHm_EADDR1~8 レジスタへの書込みは、対応する領域が無効の場合(MPUHm_CTRL1~8:MPUEN = 0)、または MPU が無効の場合(MPUHm_CTRL0:MPUEN = 0)に限り可能です。



4.8. MPU AHB ロック解除レジスタ(MPUHm_UNLOCK)

ソフトウェアでこのレジスタを使用して、書き込みアクセスに対して MPU AHB のレジスタをロック (0x112ABB56)またはロック解除(0xACCABB56)することができます。

Bit	31-0
Field	UNLOCK
R/W 属性	R0,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] UNLOCK[31:0]: MPU AHB ロック解除

MPU AHB ロック解除レジスタは、ソフトウェアによる誤書き込みから MPU AHB モジュールを保護します。ロックを解除する特定の値をこのレジスタに書き込まない限り、MPU AHB レジスタを書き換えることはできません。特権モードの場合に限り、ロック解除のための適切な値を書き込むことができます。このレジスタを読み出すと、常に"0"が返されます。MPU AHB を再びロックするには、ロックするための別の特定値をソフトウェアで書き込む必要があります。ロック解除しないで MPU AHB レジスタに書き込みアクセスを行った場合や、ロック値またはロック解除の値以外の値をこのレジスタに書き込んだ場合、保護エラーになります。

- ロック 0x112ABB56
- ロック解除 0xACCABB56

<注意事項>

- 8 または 16 ビットの書き込みアクセスで、このレジスタに書き込むことはできません。このようなアクセスは保護エラーになります。

4.9. MPU AHB モジュール ID レジスタ(MPUHm_MID)

本レジスタには機能はありません。定数が読み出されます。本レジスタは読出し専用です。本レジスタに対する書込みはバスエラーを返します。

Bit	31	30	29	28	27	26	25	24
Field	MID[31]	MID[30]	MID[29]	MID[28]	MID[27]	MID[26]	MID[25]	MID[24]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	MID[23]	MID[22]	MID[21]	MID[20]	MID[19]	MID[18]	MID[17]	MID[16]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R1,WX	R1,WX	R0,WX	R1,WX
保護属性	-							
初期値	0	0	0	0	1	1	0	1

Bit	15	14	13	12	11	10	9	8
Field	MID[15]	MID[14]	MID[13]	MID[12]	MID[11]	MID[10]	MID[9]	MID[8]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	MID[7]	MID[6]	MID[5]	MID[4]	MID[3]	MID[2]	MID[1]	MID[0]
R/W 属性	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:0] MID[31:0]: モジュール ID

常に 0x000d0000 が読み出されます。



5. 使用上の注意

ここは「プログラマガイド」です。ここでは、MPU AHB モジュールのプログラミングのための使用上の注意事項を列挙しています。MPU AHB モジュールをプログラミングする前にこれらのガイドラインを読むことを推奨します。

(1) 使用上の全般的注意

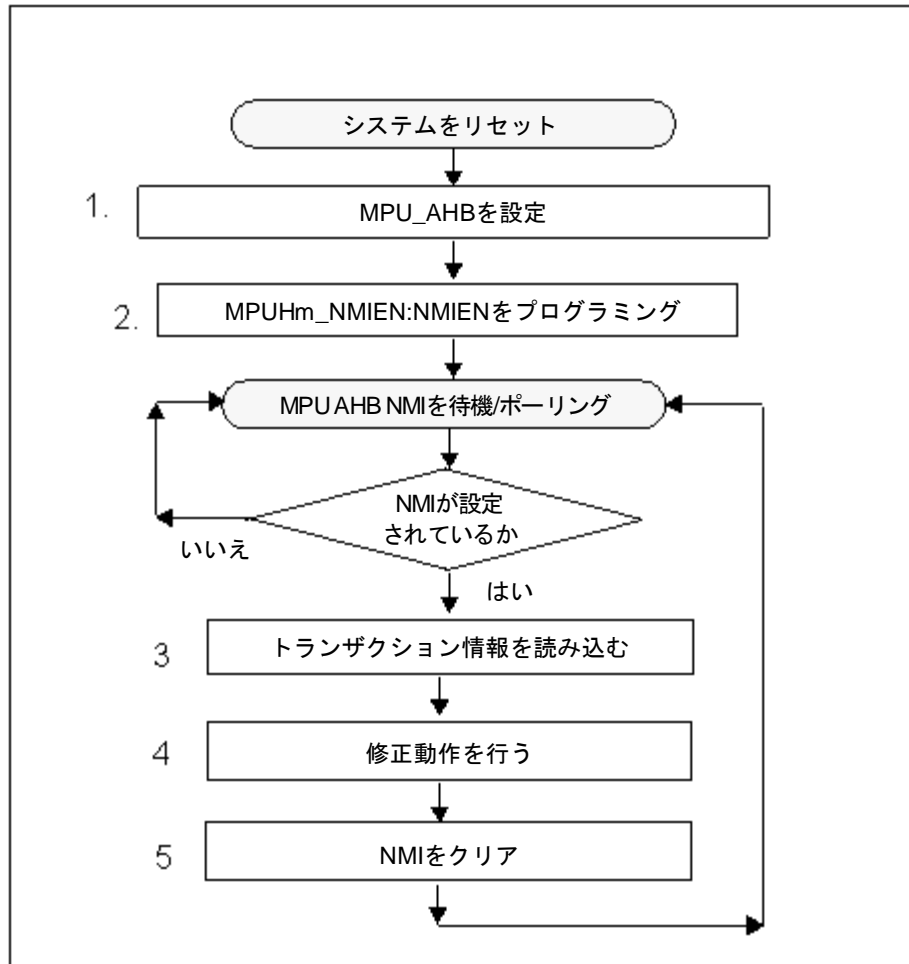
- レジスタに存在する予約ビットからは、"0"を読み出します。しかし将来の製品とソフトウェアの互換性を確保する観点から、プログラミングにあたっては予約ビットから読み出された値に意味を持たせないでください。
- MPU AHB はバス上の最初のメモリ保護違反の情報だけを格納します。このため、NMI 割込みフラグが設定されると、それ以降の AHB マスタインタフェースの監視は、MPUHm_CTRL0:NMI ビットがクリアされるまでストールします。つまり、MPUHm_CTRL0:NMI が設定されている間、MPU AHB ではバスで発生するすべてのメモリ保護違反が単に無視されます。

<注意事項>

- ソフトウェアの開発者は ISR のサイズを小さくして、MPU AHB の NMI 割込みが長い間放置されないようにしてください。

(2) MPU AHB モジュールのプログラミング手順

図 5-1 は MPU AHB モジュールの使用プログラムが守るべき一般的な手順を示しています。

図 5-1 プログラムのフローチャート

- ソフトウェアは適切な値をレジスタに書き込み、MPU AHB の設定を行います。
- 初期設定では、MPU AHB は MPUHm_CTRL0:NMI フラグを割込みコントローラを通して CPU に伝搬します。NMI フラグのポーリングによる検出を行う場合、ソフトウェアは MPUHm_NMIEN:NMIEN ビットを "0" にリセットできます。

<注意事項>

- MPUHm_NMIEN:NMIEN の書き込みはリセット後 1 回だけ可能です。このビットへの書き込みアクセスがそれ以降続いても、このビットのステータスに大きな影響を及ぼすことはありません。
- NMI がトリガされる場合(または NMI フラグのポーリングにおいて、ソフトウェアがポーリングサイクル間に MPUHm_CTRL0:NMI ステータスフラグが設定されていることを検出した場合)、CPU が呼び出されます。CPU は MPU AHB が収集し CSR に格納したステータス情報を読み出します。
 - ソフトウェアは保護違反のあったトランザクションの情報を診断し、修正動作(違反があった場合)を開始します。



5. ソフトウェアがステータスレジスタの情報を処理した後、ソフトウェアは MPUHm_CTRL0:NMICL ビットに"1"を書き込み、MPUHm_CTRL0:NMI フラグをクリアします。MPUHm_CTRL0:NMI フラグをクリアすることにより、MPU AHB は、メモリ保護違反をチェックするために、AHB マスタインタフェースの監視を再び開始できます。

<注意事項>

- ソフトウェアは修正動作を行う前に NMI フラグをクリアする場合があります。このため、ステップ 4 と 5 の順番を変更しても構いません。

CHAPTER 24: 時間保護

時間保護について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. その他



1. 概要

時間保護の概要について説明します。

現代的なオペレーティングシステム(とりわけ時間をトリガとするシステム)において、タスクに含まれる様々な時間的な動作を管理する必要があります。例えばタスクには以下の時間が含まれます。

- 全体の最大実行時間
- 実行開始から終了までのデッドライン
- 一定レベルの割込み禁止最大許容時間
- 割込み全面禁止最大許容時間
- 再起動の最小レート

要件を満たすために、CPU ごとに時間保護ユニットを搭載しハードウェアによるサポートを行います。

時間保護ユニットには次の機能があります。

- 同一のタイマを 8 個搭載しタイマ番号"**m**"で識別 ($m=0\sim7$)。
タイマごとに実行時間、ロック時間、到達時間間隔、デッドラインの保護などに使用。
- ノーマルモード/オーバフローモードを選択可能な 24 ビットアップカウンタ。
- NMI 割込み生成。
- エンドカウント/プリロード値設定。
- プリロード機能によるオーバフローモード時のプリロード値ロード。
- フリーラン機能によるタイマ自動リスタート。
- グローバルプリスケアラによるクロック分周 (分周比 $1/1\sim1/64$)。
システムクロックをタイマ個別プリスケアラへの入力に必要な周波数に分周。
- タイマ個別プリスケアラによるクロック分周(分周比 $1/1, 1/2, 1/4, 1/16$)
グローバルプリスケアラの出力クロックをさらに分周し、タイマで使用するクロックを生成。
- カレントカウント値の読出し。
- 各タイマ動作の開始、停止および再開を制御。
- 各タイマのステータス(停止中/動作中)の通知。
- レジスタアクセスのための AHB 64 ビットのスレーブインタフェースを搭載。
- タイマをストールするためのデバッグモードをサポート。

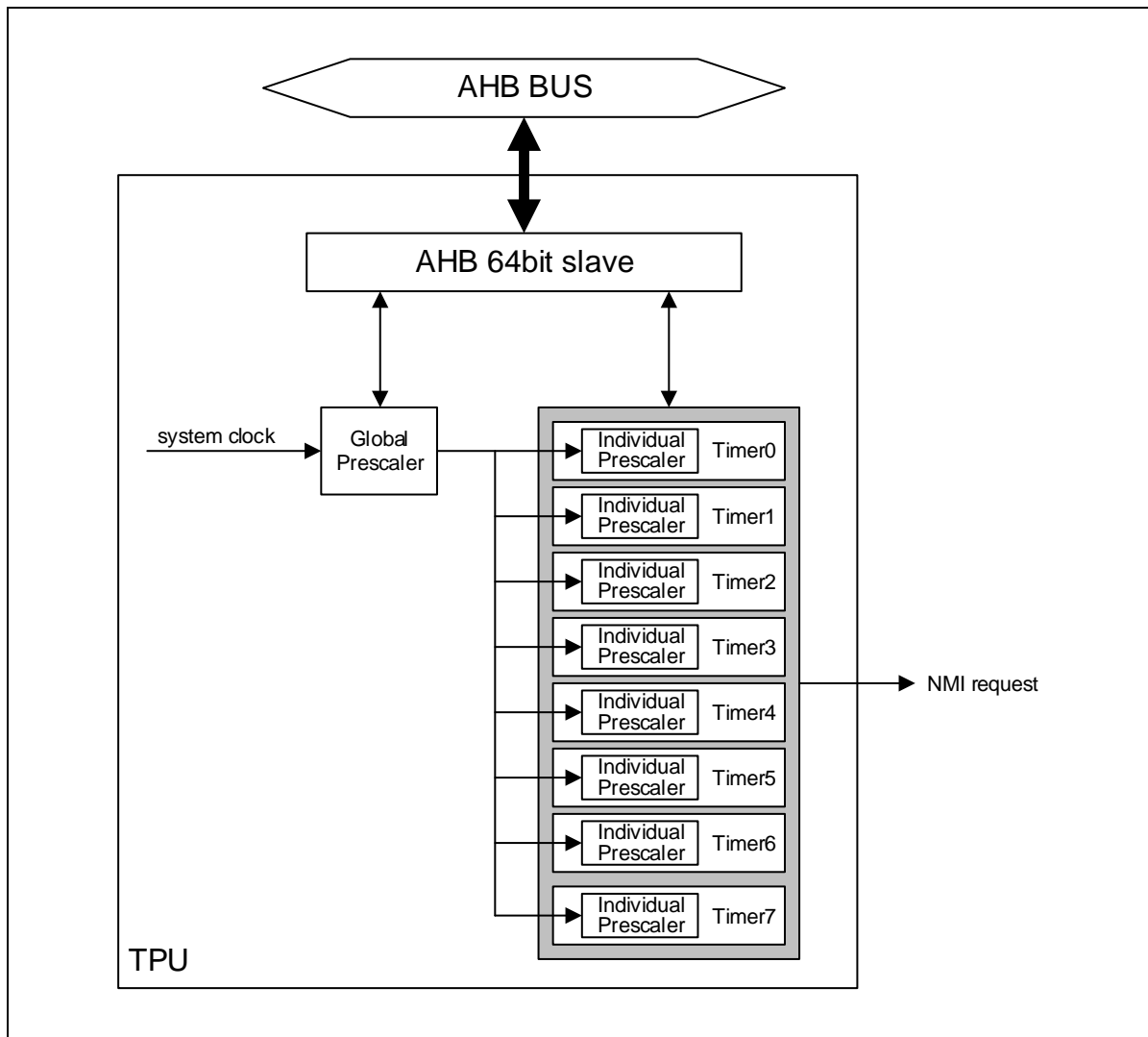
<注意事項>

- この章では時間保護ユニットを略称の TPU(Timing Protection Unit)で表記する場合があります。
- 時間保護ユニットで使用するレジスタの略称について、"TPUn_***"の"**n**"には CPU 番号が対応し、"TPUn_****m**"または"TPUn_***.****m**"の"**m**"にはタイマ番号が対応します。

2. 構成

時間保護ユニットのブロックダイアグラムについて説明します。

図 2-1 時間保護ユニット ブロックダイアグラム





3. 動作説明

時間保護ユニットの動作について説明します。

(1) ロック解除レジスタによるシーケンス保護

時間保護ユニットはロック解除レジスタ(TPUn_UNLOCK)を用いたシーケンス保護機能を搭載します。タイマ設定の更新を行うにはあらかじめ TPUn_UNLOCK にロック解除値を書き込み、ロック解除を行う必要があります。タイマ設定後はロック値を書き込むことにより、ロック状態に戻ります。

(2) タイマ動作モード

a) ノーマルモード

ノーマルモードにおける割込み要求発生条件は「タイマのカレントカウント値 \geq エンドカウント値」です。カウントアップしていくタイマのカレントカウント値をタイマ制御レジスタ 0 のエンドカウント/プリロード値設定ビット(TPUn_TCN0m:ECPL)で設定したエンドカウント値と比較し、カレントカウント値がエンドカウント値以上に達した場合、割込み要求が発生し、タイマ割込み要求レジスタの対応するビット(TPUn_TIR:IRm)が"1"になります。割込み要求が発生し、かつタイマ割込み許可レジスタの対応するビット(TPUn_TIE:IEm)が有効設定の場合、CPU_n への割込みが生成されます。

タイマ動作を開始する場合、タイマ制御レジスタ 0 の動作開始ビット(TPUn_TCN0m:START)に"1"を書き込みます。タイマがリセットされ、"0x000000"からカウントを開始します。タイマ動作中はタイマステータスレジスタの対応するビット(TPUn_TST:STm)が"1"になります。

割込み要求が発生した場合、タイマは自動的に停止します。

任意にタイマ動作を停止する場合、タイマ制御レジスタ 0 の動作停止ビット(TPUn_TCN0m:STOP)に"1"を書き込みます。タイマが停止したとき、TPUn_TST:STm が"0"になります。停止したタイマのカレントカウント値はストールされます。

タイマ動作を再開する場合、タイマ制御レジスタ 0 の動作再開ビット(TPUn_TCN0m:CONT)に"1"を書き込みます。タイマのカレントカウント値は停止時にストールされた値からカウントを開始します。タイマ動作中は TPUn_TST:STm が"1"になります。

b) オーバフローモード

オーバフローモードにおける割込み要求発生条件は「タイマのオーバフロー」です。タイマのカレントカウント値が"0xFFFFFFFF"から、さらにカウントアップが生じた場合、割込み要求が発生し、TPUn_TIR:IRm が"1"になります。割込み要求が発生し、かつ TPUn_TIE:IEm が有効設定の場合、CPU_n への割込みが生成されます。

動作の開始、停止、再開についてはノーマルモードと同様です。

c) デバッグモード

設定レジスタのデバッグモード有効/無効設定ビット(TPUn_CFG:DBGE)に"1"を書き込み、かつCPUがデバッグ状態になった場合、すべてのタイマが停止します。停止した各タイマのカレントカウント値はストールされます。この条件が解消されると、各タイマはすぐに動作を再開します。

デバッグ状態の定義については"CortexTM-R5 Revision:r1p2 Technical Reference Manual(ARM DDI 0460D)"の12.8を参照してください。

(3) プリロード機能

オーバフローモード時のカウント開始値を通常の"0"ではなく任意の値に変更する機能です。タイマ制御レジスタ 1 のプリロード機能有効/無効設定ビット(TPUn_TCN1m:PL)に"1"を書き込むことにより、有効になります。設定する任意のカウント開始値をプリロード値とよびます。プリロード値は TPUn_TCN0m:ECPL で設定します。

この機能はノーマルモードでは使用できません。

(4) フリーラン機能

割込み要求発生時にタイマを停止せず、自動的に再起動する機能です。タイマ制御レジスタ 1 のフリーラン機能有効/無効設定ビット(TPUn_TCN1m:FRT)に"1"を書き込むことにより、有効になります。

この機能はノーマルモード、オーバフローモードのどちらでも使用できます。

再起動時のカウント開始値は通常の動作開始時と同様で、ノーマルモード時は"0x000000"に、オーバフローモード時は"0x000000"またはプリロード値になります。

割込み要求発生後もタイマが再起動しているため、TPUn_TST:STm="1"のまま継続します。再び割込み要求発生条件に達した場合、TPUn_TIR:IRm が"1"になります。前に発生した割込み要求がクリアされていない場合は"1"のまま継続します。

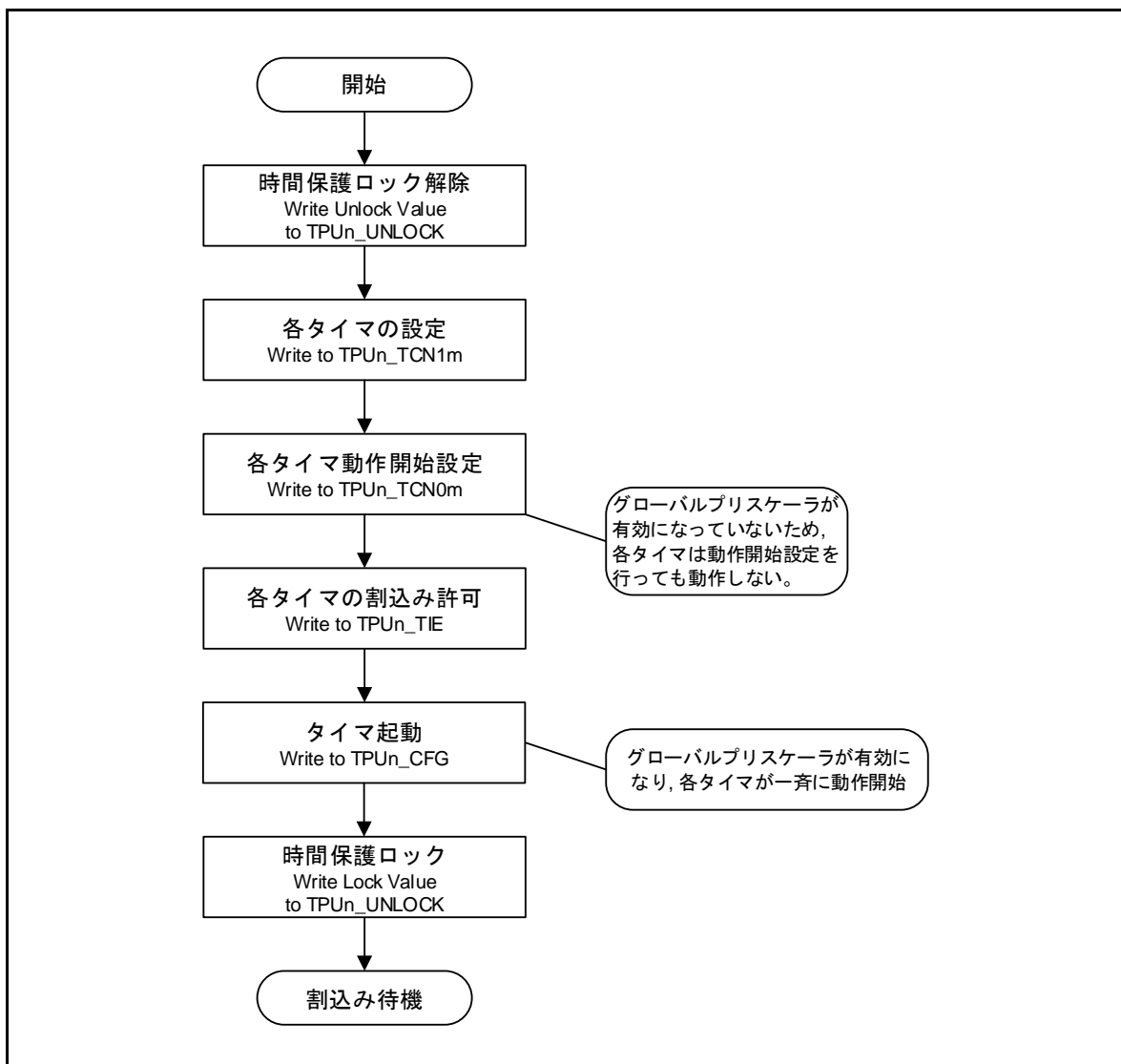
4. 設定手順例

時間保護ユニットの設定手順例について説明します。

(1) 初期状態から複数のタイマを同時に起動する場合

初期状態から複数のタイマを同時に起動する場合、グローバルプリスケアラの有効設定を起動のトリガに利用します。グローバルプリスケアラを有効にする前に、動作させたいタイマの $TPUn_TCN1m$, $TPUn_TCN0m$ を設定し、各タイマのステータスを動作中にします。この時点ではまだ各タイマのカウンタにクロックが供給されていないため実際は動作していません。グローバルプリスケアラの有効設定を行うことにより、事前に動作開始設定を行ったタイマが一斉に起動します。

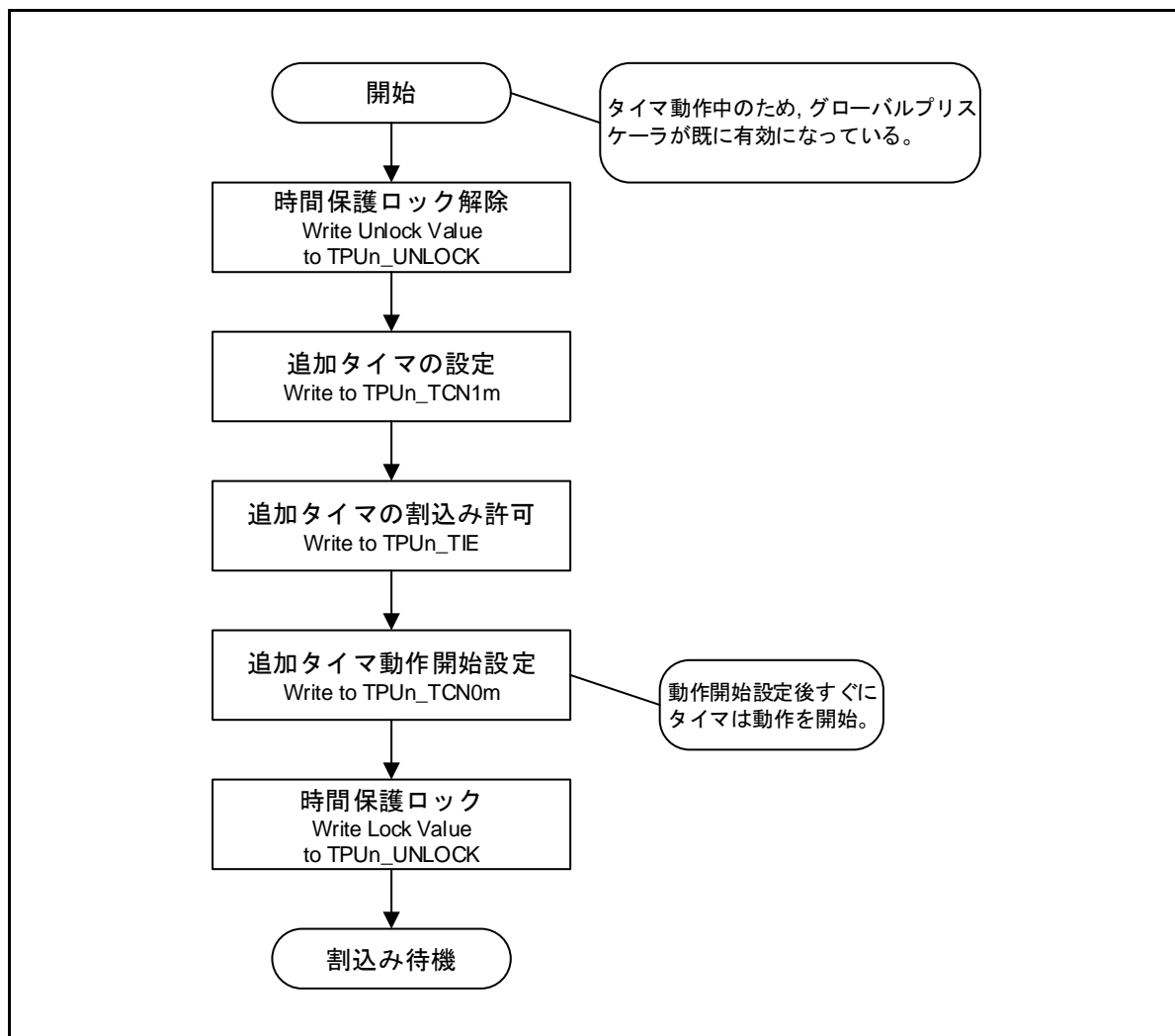
図 4-1 時間保護ユニット 設定フロー(初期状態から複数のタイマを同時に起動する場合)



(2) タイマ動作中に別のタイマを追加で起動する場合

いくつかのタイマが動作中で別のタイマを追加で起動する場合、既にグローバルプリスケアラは有効になっていて各タイマにクロックが供給されているため、追加するタイマの動作開始設定がそのまま起動のトリガになります。

図 4-2 時間保護ユニット 設定フロー(タイマ動作中に別のタイマを追加で起動する場合)

**<注意事項>**

- 既にグローバルプリスケアラが動作している状態でタイマを起動するため、タイマ動作開始設定時のグローバルプリスケアラの状態はタイミングによって異なります。そのため、割込み生成に要する実際の時間に誤差が生じる場合があります。例えば、グローバルプリスケアラの分周比の設定が 1/12 でタイマを起動させ、タイマ動作開始設定を行って 2 システムクロックサイクル後にグローバルクロックが出力するクロックの最初のクロックエッジが検出された場合、10 システムクロックサイクル分の誤差が生じることになります。誤差の最大値はグローバルプリスケアラの分周比によります。



5. レジスタ

時間保護ユニットで使用するレジスタについて説明します。

表 5-1 時間保護ユニット レジスタ一覧

レジスタ略称	レジスタ名	参照先
TPUn_UNLOCK	TPU ロック解除レジスタ	5.1
TPUn_LST	TPU ロックステータスレジスタ	5.2
TPUn_CFG	TPU 設定レジスタ	5.3
TPUn_TIR	TPU タイマ割込み要求レジスタ	5.4
TPUn_TST	TPU タイマステータスレジスタ	5.5
TPUn_TIE	TPU タイマ割込み許可レジスタ	5.6
TPUn_TCN0m	TPU タイマ m 制御レジスタ 0	5.7
TPUn_TCN1m	TPU タイマ m 制御レジスタ 1	5.8
TPUn_TCCm	TPU タイマ m カレントカウントレジスタ	5.9



5.1. TPU ロック解除レジスタ (TPUn_UNLOCK)

このレジスタは時間保護ユニットの各レジスタに対する書込みロックを制御します。

Bit	31-0
Field	UNLOCK
R/W 属性	R0,W
保護属性	WP
初期値	00000000_00000000_00000000_00000000

[bit31:0] UNLOCK[31:0]: 時間保護ユニットロック解除ビット

このビットは時間保護ユニットの設定レジスタに対する書込みロックを制御します。

このレジスタによるシーケンス保護の対象となるレジスタは TPUn_CFG, TPUn_TCN10～17 です。

bit[31:0]	説明
0xACC5A110	ロック解除値(書込みを許可します)
0xB10CACC5	ロック値(書込みを禁止します)
上記以外	設定禁止(バスエラーを返します)

<注意事項>

- このレジスタは、ロックステータスを判断するために全 32 ビットの値が必要です。よってこのレジスタへの書込みは 32 ビットで行う必要があります



5.2. TPU ロックステータスレジスタ (TPUn_LST)

このレジスタは時間保護ユニットのロックステータスを通知します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							LST
R/W 属性	R0,WX							R,WX
保護属性	-							
初期値	0000000							1

[bit31:1] Reserved: 予約ビット

[bit0] LST: 時間保護ユニットロックステータス

このビットは時間保護ユニットのロックステータスを通知します。

bit	説明
0	ロック解除状態
1	ロック状態

5.3. TPU 設定レジスタ (TPUn_CFG)

このレジスタは時間保護ユニットのグローバルプリスケアラの設定や割込み有効/無効の設定を行います。
またデバッグモードの有効/無効の設定も行います。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							DBGE
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	0000000							0

Bit	23	22	21	20	19	18	17	16
Field	GLBPSE	Reserved	GLBPS					
R/W 属性	R/W	R0.WX	R/W					
保護属性	WPS							
初期値	0	0	000000					

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,WX							
保護属性	WPS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved							INTE
R/W 属性	R0,WX							R/W
保護属性	WPS							
初期値	00000000							0

[bit31:25] Reserved: 予約ビット

[bit24] DBGE: デバッグモード有効/無効設定ビット

このビットはデバッグモードの有効/無効を設定します。

bit	説明
0	デバッグモード無効
1	デバッグモード有効

[bit23] GLBPSE: グローバルプリスケアラ有効/無効設定ビット

このビットはグローバルプリスケアラの有効/無効を設定します。無効に設定した場合、グローバルプリスケアラのカウンタが次のインクリメントパルス後に停止します。その結果すべてのタイマも停止します。

bit	説明
0	グローバルプリスケアラ無効
1	グローバルプリスケアラ有効

[bit22] Reserved: 予約ビット



[bit21:16] GLBPS[5:0]: グローバルプリスケアラ分周設定ビット

このビットはグローバルプリスケアラの分周比を設定します。入力されるシステムクロックは設定した分周比に応じて分周され、より低周波数のクロックが生成されます。分周後のクロックが各タイマに入力されます。

bit[21:16]	説明
00_0000	1/1
00_0001	1/2
00_0010	1/3
.	.
.	.
.	.
11_1111	1/64

[bit15:1] Reserved: 予約ビット

[bit0] INTE: 時間保護ユニット割込み有効/無効設定ビット

このビットは時間保護ユニット割込みの有効/無効を設定します。有効に設定した場合, CPU_n への割込みが生成されます。無効に設定した場合, CPU_n への割込みは生成されません。

bit	説明
0	時間保護ユニット割込み無効
1	時間保護ユニット割込み有効

<注意事項>

- デバッグモードの詳細については「3. 動作説明」を参照してください。
- TPU_n_CFG:INTE="1"かつ TPU_n_TIR:IRm="1"かつ TPU_n_TIE:IEm="1"のとき, CPU_n への割込みが生成されます。
- TPU_n_CFG:GLBPS="0b000000"かつ TPU_n_TCN1m:PS="0b00"でタイマ起動するのは禁止です。

5.4. TPU タイマ割込み要求レジスタ (TPUn_TIR)

このレジスタは各タイマの割込み要求ステータスを通知します。タイマごとに1ビットが割当てられ、ビット位置がタイマ番号"m"に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	IR7	IR6	IR5	IR4	IR3	IR2	IR1	IR0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:8] Reserved: 予約ビット

[bit7] IR7: タイマ 7 割込み要求ビット

[bit6] IR6: タイマ 6 割込み要求ビット

[bit5] IR5: タイマ 5 割込み要求ビット

[bit4] IR4: タイマ 4 割込み要求ビット

[bit3] IR3: タイマ 3 割込み要求ビット

[bit2] IR2: タイマ 2 割込み要求ビット

[bit1] IR1: タイマ 1 割込み要求ビット

[bit0] IR0: タイマ 0 割込み要求ビット

これらのビットは各タイマの割込み要求ステータスを通知します。タイマごとに割込み要求フラグが立っているか、または保留されている割込み要求があるかを通知します。

bit	説明
0	タイマ m 割込み要求なし
1	タイマ m 割込み要求あり

<注意事項>

- TPU_n_CFG:INTE="1"かつ TPU_n_TIR:IR_m="1"かつ TPU_n_TIE:IE_m="1"のとき, CPU_n への割込みが生成されます。



5.5. TPU タイマステータスレジスタ (TPUn_TST)

このレジスタは各タイマの動作ステータスを通知します。タイマごとに1ビットが割当てられ、ビット位置がタイマ番号"m"に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:8] Reserved: 予約ビット

[bit7] ST7: タイマ7ステータスビット

[bit6] ST6: タイマ6ステータスビット

[bit5] ST5: タイマ5ステータスビット

[bit4] ST4: タイマ4ステータスビット

[bit3] ST3: タイマ3ステータスビット

[bit2] ST2: タイマ2ステータスビット

[bit1] ST1: タイマ1ステータスビット

[bit0] ST0: タイマ0ステータスビット

これらのビットは各タイマの動作ステータスを通知します。各タイマが動作中か停止中かを確認できます。

bit	説明
0	タイマ m 停止中
1	タイマ m 動作中

5.6. TPU タイマ割込み許可レジスタ (TPUn_TIE)

このレジスタは各タイマの割込み有効/無効を設定します。タイマごとに1ビットが割当てられ、ビット位置がタイマ番号"m"に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WP
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	IE7	IE6	IE5	IE4	IE3	IE2	IE1	IE0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	WP							
初期値	0	0	0	0	0	0	0	0

[bit31:8] Reserved: 予約ビット

[bit7] IE7: タイマ 7 割込み有効/無効設定ビット

[bit6] IE6: タイマ 6 割込み有効/無効設定ビット

[bit5] IE5: タイマ 5 割込み有効/無効設定ビット

[bit4] IE4: タイマ 4 割込み有効/無効設定ビット

[bit3] IE3: タイマ 3 割込み有効/無効設定ビット

[bit2] IE2: タイマ 2 割込み有効/無効設定ビット

[bit1] IE1: タイマ 1 割込み有効/無効設定ビット

[bit0] IE0: タイマ 0 割込み有効/無効設定ビット

これらのビットは各タイマの割込みの有効/無効を設定します。有効に設定した場合、対応するタイマで発生した割込み要求により CPU_{Un} への割込みが生成されます。無効に設定した場合、割込み要求が発生しても CPU_{Un} への割込みは生成されません。

bit	説明
0	タイマ m 割込み無効
1	タイマ m 割込み有効

<注意事項>

- TPU_{Un}_CFG:INTE="1"かつ TPU_{Un}_TIR:IRm="1"かつ TPU_{Un}_TIE:IEm="1"のとき、CPU_{Un} への割込みが生成されます。



5.7. TPU タイマ m 制御レジスタ 0 (TPUn_TCN0m)

このレジスタは各タイマの動作を制御します。タイマの動作開始、停止および再開の制御とタイマ割込みの制御を行います。また、タイマのエンドカウント/プリロード値の設定も行います。タイマごとに同様のレジスタを搭載し、レジスタ略称の"m"がタイマ番号 m(0～7)に対応します。

Bit	31	30	29	28	27	26	25	24
Field	START	STOP	CONT	IES	IEC	IRC	Reserved	
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,WX	
保護属性	WP							
初期値	0	0	0	0	0	0	00	

Bit	23-0
Field	ECPL
R/W 属性	R/W
保護属性	WP
初期値	00000000_00000000_00000000

[bit31] START: タイマ動作開始ビット

このビットに"1"を書き込むことにより、タイマのリセットを行い、動作を開始します。

bit	説明
0	無効(動作に影響しません)
1	タイマ動作開始

[bit30] STOP: タイマ動作停止ビット

このビットに"1"を書き込むことにより、タイマの動作を停止します。タイマのリセットは行われません。

bit	説明
0	無効(動作に影響しません)
1	タイマ動作停止

[bit29] CONT: タイマ動作再開ビット

このビットに"1"を書き込むことにより、タイマを前回ストールされた状態から動作を再開します。

bit	説明
0	無効(動作に影響しません)
1	タイマ動作再開

[bit28] IES: タイマ割込み許可セットビット

このビットに"1"を書き込むことにより、タイマ割込み許可レジスタの対応するビットをセットします。
TPUn_TIE:IEm に"1"が書込まれます。

bit	説明
0	無効(動作に影響しません)
1	タイマ割込み有効



[bit27] IEC: タイマ割込み有効クリアビット

このビットに"1"を書き込むことにより、タイマ割込み許可レジスタの対応するビットをクリアします。
TPUn_TIE:IE_m に"0"が書込まれます。

bit	説明
0	無効(動作に影響しません)
1	タイマ割込み無効

[bit26] IRC: タイマ割込み要求クリアビット

このビットに"1"を書き込むことにより、タイマ割込み要求許可レジスタの対応するビットをクリアします。
TPUn_TIR:IR_m が"0"にクリアされます。

bit	説明
0	無効(動作に影響しません)
1	タイマ割込みフラグクリア

[bit25:24] Reserved: 予約ビット

[bit23:0] ECPL: エンドカウント/プリロード値設定ビット

このビットの設定値はタイマの動作モードがノーマルモードの場合はエンドカウント値として、オーバフローモードでかつプリロード機能有効の場合はプリロード値として使用します。
ノーマルモードの場合は、設定が直ちに反映されます。

<注意事項>

- START, STOP, CONT のうち複数のビットに同時に"1"が書込まれた場合, START>CONT>STOP の順で設定が優先されます。
- タイマの動作モード, エンドカウント/プリロード値の詳細については「3. 動作説明」を参照してください。
- TPU_n_TCN00~TPU_n_TCN07 でレジスタビット構成は共通です。



5.8. TPU タイマ m 制御レジスタ 1 (TPUn_TCN1m)

このレジスタは各タイマの動作を制御します。タイマの動作モード設定、個別プリスケアラの設定を行います。タイマごとに同様のレジスタを搭載し、レジスタ略称の"m"がタイマ番号 m(0~7)に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WPS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			PL	FRT	TMOD	PS	
R/W 属性	R0,WX			R/W	R/W	R/W	R/W	
保護属性	WPS							
初期値	000			0	0	0	00	

[bit31:5] Reserved: 予約ビット

[bit4] PL: プリロード機能有効/無効設定ビット

このビットはプリロード機能の有効/無効を設定します。プリロード機能はタイマの動作モードがオーバーフローモードの場合にのみ有効です。

bit	説明
0	プリロード機能無効
1	プリロード機能有効

[bit3] FRT: フリーラン機能有効/無効設定ビット

このビットはフリーラン機能の有効/無効を設定します。

bit	説明
0	フリーラン機能無効
1	フリーラン機能有効

[bit2] TMOD: タイマ動作モード設定ビット

このビットはタイマの動作モードを設定します。

bit	説明
0	ノーマルモード
1	オーバフローモード



[bit1:0] PS[1:0]: 個別プリスケラ分周設定ビット

このビットは個別プリスケラの分周比を設定します。個別プリスケラにはグローバルプリスケラの出力クロックが入力され、それがさらに設定した分周比に応じて分周され、タイマごとに異なる周波数のクロックが生成されます。

bit[1:0]	説明
00	1 分周
01	2 分周
10	4 分周
11	16 分周

＜注意事項＞

- タイマの動作モード、プリロード機能、フリーラン機能の詳細については「3. 動作説明」を参照してください。
- TPU_n_TCN10～TPU_n_TCN17 でレジスタビット構成は共通です。
- TPU_n_CFG:GLBPS="0b000000"かつ TPU_n_TCN1m:PS="0b00"でタイマ起動するのは禁止です。



5.9. TPU タイマ m カレントカウントレジスタ (TPUn_TCCm)

このレジスタは各タイマのカレントカウント値を通知します。タイマごとに同様のレジスタを搭載し、レジスタ略称の"m"がタイマ番号 m(0～7)に対応します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	23-0
Field	TCC
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000

[bit31:24] Reserved: 予約ビット

[bit23:0] TCC[23:0]: タイマカレントカウント値ビット

このビットはタイマのカレントカウント値を通知します。任意のタイミングで読み出せます。ただし、読出しによりタイマは停止せずカウントを継続するため、読出し値をCPU_nが認識した時点のタイマのカレントカウント値が読出し値と異なる場合があります。

<注意事項>

- TPU_n_TCC0～TPU_n_TCC7 でレジスタビット構成は共通です。

6. その他

時間保護ユニットの使用上の注意について説明します。

時間保護ユニットのレジスタアクセスでバスエラーを返す条件を以下に示します。

- TPU_n_UNLOCK によるシーケンス保護違反
- TPU_n_UNLOCK へのロック解除値, ロック値以外の書込み
- 特権保護違反
- レジスタ未定義領域のみアクセスする場合の読出し/書込み
- 書込み属性が **WX** のビット(レジスタ未定義領域を含む)のみアクセスする場合の書込み



CHAPTER 25: コア間通信

コア間通信について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. その他



1. 概要

コア間通信の概要について説明します。

マルチ CPU 構成の場合、ある CPU から別の CPU への割込みを行う必要があります。要件を満たすために、コア間通信ユニットを搭載しハードウェアによるサポートを行います。

コア間通信ユニットはメールボックスを介して CPU 間の割込み処理を実行します。8 個のメールボックスを搭載し、同時に 8 系統の割込みを処理できます。メールボックスは CPU 間で共有しているため、8 系統の割込み処理を効率的に使用できます。

コア間通信ユニットは 3 種類の動作モードをサポートします。

コア間通信ユニットはリクエストとアクノリッジの 2 種類の割込みをサポートします。通常の割込みをリクエストと呼び、リクエストを受信した CPU が受信したことをリクエスト送信元の CPU に通知するための割込みをアクノリッジとよびます。

コア間通信ユニットはリクエスト送信マスク機能と CPU 間データ受渡し機能を搭載します。

各メールボックスは設定およびステータス管理を行うレジスタセットを持ち、レジスタアクセスのための AHB 64 ビットのスレーブインタフェースを搭載します。

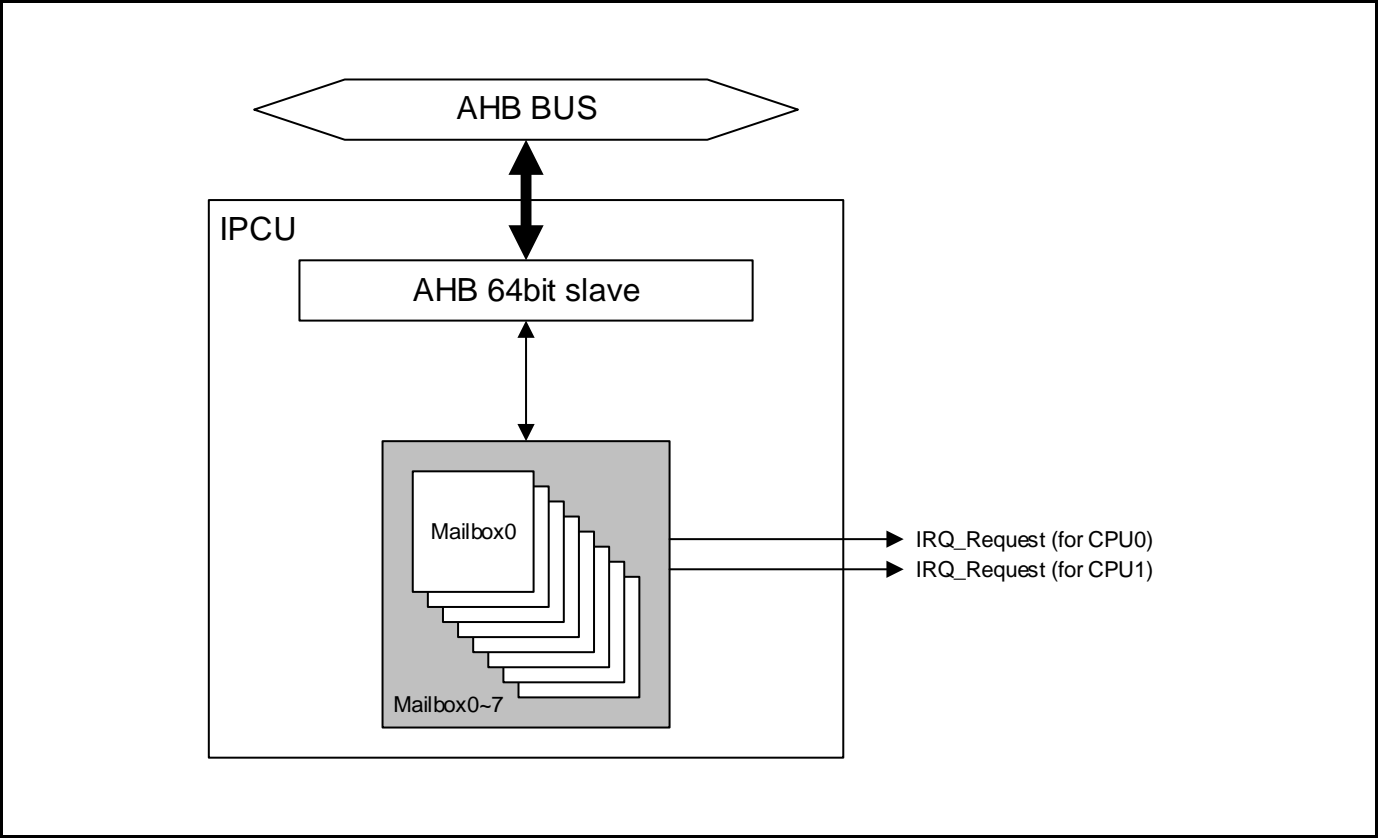
<注意事項>

- この章ではコア間通信ユニットを略称の IPCU (Inter Processor Communication Unit) で表記する場合があります。
- コア間通信ユニットで使用するレジスタの略称について、"IPCU_***n"または"IPCU_MBm***"または"IPCU_MBm***:***n"の"n"には CPU 番号が対応し、"m"にはメールボックス番号が対応します。

2. 構成

コア間通信ユニットのブロックダイアグラムについて説明します。

図 2-1 コア間通信ユニット ブロックダイアグラム





3. 動作説明

コア間通信ユニットの動作について説明します。

(1) メールボックスの占有と解放

リクエスト送信元の CPU はリクエストを送信するためにメールボックスを使用します。IPCU_MBSTR を読み出し、メールボックスの使用状況を確認します。使用可能なメールボックスがあれば、そのメールボックスのレジスタセットのリクエスト送信元設定レジスタの対応するビット(IPCU_MBmSRCR:SRCn)に"1"を書き込み、正しく書き込まれればメールボックスの占有が完了し、使用可能になります。リクエスト送信およびアクノリッジ受信(必要に応じて)の完了後、IPCU_MBmSRCR に"0x00000000"を書き込むことにより、メールボックスが解放されます。占有されているメールボックスのレジスタセットへのアクセスはメールボックスを占有したリクエスト送信元の CPU と送信先にセットされた CPU に制限されます。各レジスタのアクセスの制限については「5. レジスタ」、「6. その他」を参照してください。

a) メールボックスのレジスタセットのシーケンス保護

メールボックスのレジスタセットに含まれる各レジスタはどの CPU にも占有されていない状態では書き込むことができません。また、メールボックスが解放された場合、すべてのレジスタがクリアされます。

(2) 動作モード

コア間通信ユニットは 3 種類の動作モードをメールボックスごとに選択できます。

a) マニュアルモード

リクエスト送信先の CPU がリクエスト受信後に、リクエスト送信先クリアレジスタの対応するビット(IPCU_MBmDCR:DSTCn)に"1"を書き込み、リクエストをクリアし、アクノリッジセットレジスタの対応するビット(IPCU_MBmASR:ACKSn)に"1"を書き込み、アクノリッジをセットすることにより、リクエスト送信元の CPU へアクノリッジを送信するモードです。

b) 自動アクノリッジモード

リクエスト送信先の CPU がリクエスト受信後に、IPCU_MBmDCR:DSTCn に"1"を書き込み、リクエストをクリアすることにより、リクエスト送信元の CPU へアクノリッジを自動的に送信するモードです。

c) 自動クリアモード

リクエスト送信先の CPU がリクエスト受信後に、IPCU_MBmDCR:DSTCn に"1"を書き込み、リクエストをクリアすることにより、使用中のメールボックスのレジスタセットに含まれるすべてのレジスタをクリアし、メールボックスを自動的に解放するモードです。アクノリッジは送信しません。

(3) リクエスト送信マスク機能

リクエスト送信先の CPU に対して、リクエスト送信のマスクを個別に行う機能です。複数の CPU に同一のリクエストを送信する場合、一部送信先をマスクしてから送信を開始し、後にマスク解除することにより、送信タイミングに時間差を持たせることができます。

(4) CPU 間データ受渡し機能

メールボックスごとに 32 ビットの読み書き可能なレジスタを 9 個搭載し、CPU 間のデータ受渡しに使用します。リクエスト送信元の CPU がこのレジスタに受け渡したいデータを書込んでリクエストを送信し、リクエストを受信した CPU がデータを読み出す場合と、リクエストを受信した CPU がデータを書込んでアクノリッジを送信し、アクノリッジを受信したリクエスト送信元の CPU がデータを読み出す場合の 2 種類の使用方法があります。

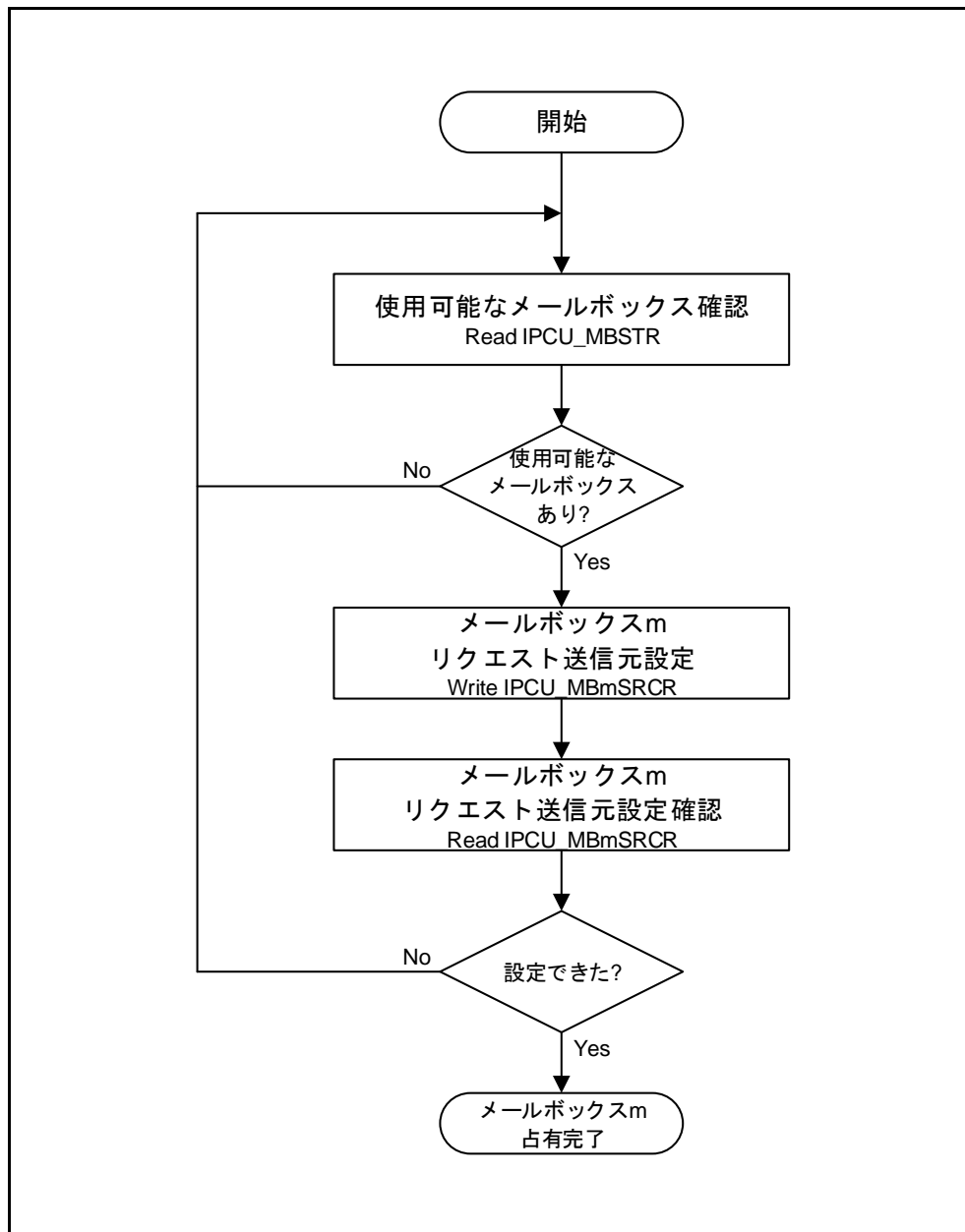
4. 設定手順例

コア間通信ユニットの設定手順例について説明します。

(1) メールボックスの占有

リクエスト送信元のCPUがメールボックスのステータスレジスタ(IPCU_MBSTR)を読み出してから、使用可能なメールボックスを確認し、メールボックスを占有するためにIPCU_MBmSRCRの書き込みを行うまでの間に、他CPUが先にIPCU_MBmSRCRに書き込む場合があります。そのためIPCU_MBmSRCRの書き込み後、IPCU_MBmSRCRを読み出して自CPUの書き込みが有効かどうかを確認する必要があります。

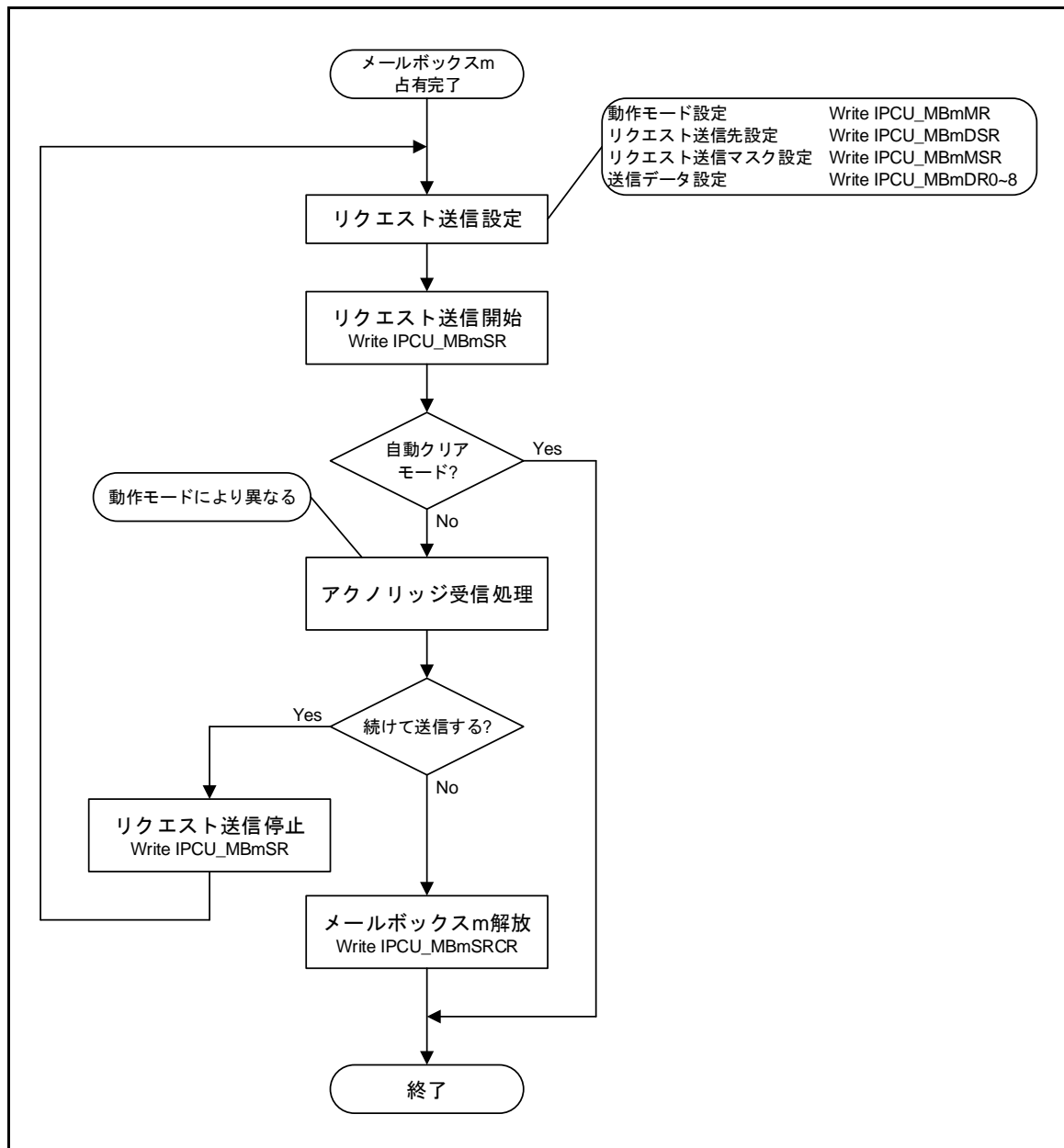
図 4-1 コア間通信ユニット 設定フロー(メールボックスの占有)



(2) リクエスト送信とメールボックスの解放

リクエスト送信元の CPU はメールボックス占有完了後、リクエスト送信のための各種レジスタの設定を行い、リクエスト送信レジスタのリクエスト送信ビット(IPCU_MBmSR:SEND)に"1"を書き込むことにより、リクエスト送信を開始します。自動クリアモード以外のモード時はリクエストを受信した CPU からのアクノリッジが送信されるため、アクノリッジを受信し各動作モードに応じた処理を行います。すべてのアクノリッジ送信先からのアクノリッジ受信処理が完了したら、そのリクエストについての処理は完了です。続けて別のリクエストを送信する場合はメールボックスを解放せず、いったん IPCU_MBmSR:SEND へ"0"を書込んで送信を停止します。各種レジスタを再設定した後、再度 IPCU_MBmSR:SEND へ"1"を書込んでリクエスト送信を開始します。リクエスト送信を終了する場合は IPCU_MBmSRCR をクリアし、メールボックスを解放します。メールボックスを解放することにより、自動的にメールボックスのレジスタセットに含まれるすべてのレジスタがクリアされるため、IPCU_MBmSR:SEND へ"0"を書き込む必要はありません。

図 4-2 コア間通信ユニット 設定フロー(リクエスト送信とメールボックスの解放)



(3) リクエスト受信処理とアクノリッジ受信処理

リクエストを受信した CPU はリクエストのクリアと動作モードに応じてアクノリッジの送信を行います。アクノリッジを受信したリクエスト送信元の CPU はアクノリッジをクリアします。これらの一連の設定手順は動作モードにより異なります。

CPU0 がメールボックス 0 を使用して CPU1 へリクエストを送信した場合を例に説明します。

a) マニュアルモード

1. CPU1 が割込みを検出します。
2. CPU1 が検出した割込みが送信されているメールボックス番号と割込みの種類(リクエストかアクノリッジか)を確認します。確認には以下の 2 種類の手段があります。
3. 割込みステータスレジスタ(IPCU_ISTR1)を読出します。IPCU_ISTR1:IST0 が"1"であることから、メールボックス 0 からの割込みであることがわかります。次に IPCU_MB0SRCR を読み出し、リクエスト送信元の CPU を確認します。自 CPU が割込み送信元でないことから、割込みの種類がリクエストであることがわかります。
4. メールボックスアドレスレジスタ(IPCU_MAR1)を読出します。IPCU_MAR1:MAR が"0x100"であることから、メールボックス 0 からの割込みであることがわかり、IPCU_MAR1:REQ が"1"であることから割込みの種類がリクエストであることがわかります。
5. CPU1 がデータレジスタ 0~8(IPCU_MB0DR0~8)を読み出し、CPU0 からのデータを受け取ります。
6. CPU1 が IPCU_MB0DCR:DSTC1 に"1"を書き込みます。これにより CPU0 からのリクエストがクリアされます。
7. CPU1 が IPCU_MB0ASR:ACKS1 に"1"を書き込みます。これにより CPU0 へアクノリッジが送信されます。
8. CPU0 が割込みを検出します。
9. CPU0 が検出した割込みが送信されているメールボックス番号と割込みの種類(リクエストかアクノリッジか)を確認します。確認には手順 2 と同様に以下の 2 種類の手段があります。
10. IPCU_ISTR0 を読出します。IPCU_ISTR0:IST0 が"1"であることから、メールボックス 0 からの割込みであることがわかります。次に IPCU_MB0SRCR を読み出し、リクエスト送信元の CPU を確認します。自 CPU が割込み送信元であることから、割込みの種類がアクノリッジであることがわかります。
11. IPCU_MAR0 を読出します。IPCU_MAR0:MAR が"0x100"であることから、メールボックス 0 からの割込みであることがわかり、IPCU_MAR0:ACK が"1"であることから割込みの種類がアクノリッジであることがわかります。
12. CPU0 がアクノリッジステータスレジスタ(IPCU_MB0ASTR)を読出します。IPCU_MB0ASTR:ACKST1 が"1"であることから、CPU1 からのアクノリッジであることがわかります。
13. CPU0 がアクノリッジクリアレジスタの対応するビット(IPCU_MB0ACR:ACKC1)に"1"を書き込みます。これにより CPU1 からのアクノリッジがクリアされます。

b) 自動アクノリッジモード

1. CPU1 が割込みを検出します。
2. CPU1 が検出した割込みが送信されているメールボックス番号と割込みの種類(リクエストかアクノリッジか)を確認します。確認には以下の 2 種類の手段があります。
3. IPCU_ISTR1 を読出します。IPCU_ISTR1:IST0 が"1"であることから、メールボックス 0 からの割込みであることがわかります。次に IPCU_MB0SRCR を読み出し、リクエスト送信元の CPU を確認します。自 CPU が割込み送信元でないことから、割込みの種類がリクエストであることがわかります。
4. IPCU_MAR1 を読出します。IPCU_MAR1:MAR が"0x100"であることから、メールボックス 0 からの割込みであることがわかり、IPCU_MAR1:REQ が"1"であることから割込みの種類がリクエストであることがわかります。
5. CPU1 が IPCU_MB0DR0~8 を読み出し、CPU0 からのデータを受け取ります。



6. CPU1 が IPCU_MB0DCR:DSTC1 に"1"を書き込みます。これにより CPU0 からのリクエストがクリアされ、同時に IPCU_MB0ASTR:ACKST1 が"1"になり CPU0 へアクノリッジが送信されます。
7. CPU0 が割込みを検出します。
8. CPU0 が検出した割込みが送信されているメールボックス番号と割込みの種類(リクエストかアクノリッジか)を確認します。確認には手順 2 と同様に以下の 2 種類の手段があります。
9. IPCU_ISTR0 を読出します。IPCU_ISTR0:IST0 が"1"であることから、メールボックス 0 からの割込みであることがわかります。次に IPCU_SRC_MB0 を読み出し、リクエスト送信元の CPU を確認します。自 CPU が割込み送信元であることから、割込みの種類がアクノリッジであることがわかります。
10. IPCU_MAR0 を読出します。IPCU_MAR0:MAR が"0x100"であることから、メールボックス 0 からの割込みであることがわかり、IPCU_MAR1:ACK が"1"であることから割込みの種類がアクノリッジであることがわかります。
11. CPU0 が IPCU_MB0ASTR を読出します。IPCU_MB0ASTR:ACKST1 が"1"であることから、CPU1 からのアクノリッジであることがわかります。
12. CPU0 が IPCU_MB0ACR:ACKC1 に"1"を書き込みます。これにより CPU1 からのアクノリッジがクリアされます。

c) 自動クリアモード

1. CPU1 が割込みを検出します。
2. CPU1 が検出した割込みが送信されているメールボックス番号と割込みの種類(リクエストかアクノリッジか)を確認します。確認には以下の 2 種類の手段があります。
3. IPCU_ISTR1 を読出します。IPCU_ISTR1:IST0 が"1"であることから、メールボックス 0 からの割込みであることがわかります。次に IPCU_MB0SRCR を読み出し、リクエスト送信元の CPU を確認します。自 CPU が割込み送信元でないことから、割込みの種類がリクエストであることがわかります。
4. IPCU_MAR1 を読出します。IPCU_MAR1:MAR が"0x100"であることから、メールボックス 0 からの割込みであることがわかり、IPCU_MAR1:REQ が"1"であることから割込みの種類がリクエストであることがわかります。
5. CPU1 が IPCU_MB0DR0~8 を読出し、CPU0 からのデータを受け取ります。
6. CPU1 が IPCU_MB0DCR:DSTC1 に"1"を書き込みます。これにより CPU0 からのリクエストがクリアされます。同時にメールボックスのレジスタセットに含まれるすべてのレジスタがクリアされ、メールボックスが解放されます。

5. レジスタ

コア間通信ユニットで使用されるレジスタについて説明します。

表 5-1 コア間通信ユニット レジスタ一覧

レジスタ略称	レジスタ名	参照先
IPCU_ISTRn	IPCU 割込みステータスレジスタ	5.1
IPCU_MARn	IPCU メールボックスアドレスレジスタ	5.2
IPCU_MBmSRCR	IPCU メールボックス m リクエスト送信元設定レジスタ	5.3
IPCU_MBmMR	IPCU メールボックス m 動作モード設定レジスタ	5.4
IPCU_MBmSR	IPCU メールボックス m リクエスト送信設定レジスタ	5.5
IPCU_MBmDSR	IPCU メールボックス m リクエスト送信先セットレジスタ	5.6
IPCU_MBmDCR	IPCU メールボックス m リクエスト送信先クリアレジスタ	5.7
IPCU_MBmDSTR	IPCU メールボックス m リクエスト送信先ステータスレジスタ	5.8
IPCU_MBmMSR	IPCU メールボックス m リクエスト送信マスクセットレジスタ	5.9
IPCU_MBmMCR	IPCU メールボックス m リクエスト送信マスククリアレジスタ	5.10
IPCU_MBmMSTR	IPCU メールボックス m リクエスト送信マスクステータスレジスタ	5.11
IPCU_MBmASR	IPCU メールボックス m アクノリッジセットレジスタ	5.12
IPCU_MBmACR	IPCU メールボックス m アクノリッジクリアレジスタ	5.13
IPCU_MBmASTR	IPCU メールボックス m アクノリッジステータスレジスタ	5.14
IPCU_MBmASRCR	IPCU メールボックス m アクノリッジ元ステータスレジスタ	5.15
IPCU_MBmDR0~8	IPCU メールボックス m データレジスタ 0~8	5.16
IPCU_MBSTR	IPCU メールボックスステータスレジスタ	5.17



5.1. IPCU 割込みステータスレジスタ (IPCU_ISTRn)

このレジスタは各 CPU が受信した割込みのステータスを通知します。CPU ごとに同様のレジスタを搭載し、レジスタ略称の "n" が CPU 番号 n(0~1)に対応します。メールボックスごとに 1 ビットが割当てられ、ビット位置がメールボックス番号 m(0~7)に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	IST7	IST6	IST5	IST4	IST3	IST2	IST1	IST0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:8] Reserved: 予約ビット

- [bit7] IST7: メールボックス 7 割込みステータスビット
- [bit6] IST6: メールボックス 6 割込みステータスビット
- [bit5] IST5: メールボックス 5 割込みステータスビット
- [bit4] IST4: メールボックス 4 割込みステータスビット
- [bit3] IST3: メールボックス 3 割込みステータスビット
- [bit2] IST2: メールボックス 2 割込みステータスビット
- [bit1] IST1: メールボックス 1 割込みステータスビット
- [bit0] IST0: メールボックス 0 割込みステータスビット

これらのビットはCPU_nが受信した割込みがどのメールボックス m から送信されているかを通知します。受信した割込みが複数の場合、割込みを送信したすべてのメールボックス m のビットが"1"になります。

bit	説明
0	メールボックス m から CPU _n への割込みなし
1	メールボックス m から CPU _n への割込みあり

<注意事項>

- IPCU_ISTR0~IPCU_ISTR1 でレジスタビット構成は共通です。

5.2. IPCU メールボックスアドレスレジスタ (IPCU_MARn)

このレジスタは各 CPU が受信した割込みのステータスを通知します。割込みを送信したメールボックスのアドレスと、その割込みがリクエストなのかアクノリッジなのかを通知します。CPU ごとに同様のレジスタを搭載し、レジスタ略称の "n" が CPU 番号 n(0~1)に対応します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved		ACK	REQ	MAR[11:8]			
R/W 属性	R0,WX		R,WX	R,WX	R,WX			
保護属性	-							
初期値	00		0	0	0000			

Bit	7	6	5	4	3	2	1	0
Field	MAR[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:14] Reserved: 予約ビット

[bit13] ACK: アクノリッジ通知ビット

このビットは通知している割込みの種類がアクノリッジか否かを通知します。

bit	説明
0	割込みの種類がアクノリッジではありません
1	割込みの種類がアクノリッジです

[bit12] REQ: リクエスト通知ビット

このビットは通知している割込みの種類がリクエストか否かを通知します。

bit	説明
0	割込みの種類がリクエストではありません
1	割込みの種類がリクエストです



[bit11:0] MAR[11:0]: 割込み送信メールボックスアドレス通知ビット

このビットは割込みを送信したメールボックスのアドレス(オフセット)を通知します。メールボックスのアドレスとはメールボックスごとのレジスタセットの先頭レジスタ(IPCU_MBmSRCR)のアドレスを指します。割込みが複数の場合、通知されるのは最初に割込みを送信したメールボックスのアドレスです。最初のメールボックスが送信した割込みがすべてクリアされると、次に送信したメールボックスのアドレスを通知します。

bit[11:0]	説明
0x000	CPU _n への割込みなし
0x100	メールボックス 0 から CPU _n への割込みあり
0x180	メールボックス 1 から CPU _n への割込みあり
0x200	メールボックス 2 から CPU _n への割込みあり
0x280	メールボックス 3 から CPU _n への割込みあり
0x300	メールボックス 4 から CPU _n への割込みあり
0x380	メールボックス 5 から CPU _n への割込みあり
0x400	メールボックス 6 から CPU _n への割込みあり
0x480	メールボックス 7 から CPU _n への割込みあり

<注意事項>

- ACK と REQ が同時に"1"になることはありません。
- IPCU_MAR0~IPCU_MAR1 でレジスタビット構成は共通です。



5.3. IPCU メールボックス m リクエスト送信元設定レジスタ (IPCU_MBmSRCR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つで、リクエスト送信元のCPUが書き込みます。各メールボックスのリクエスト送信元を設定します。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0～7)に対応します。CPU ごとに1ビットが割当てられ、ビット位置が CPU 番号 n(0～1)に対応します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R/W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						SRC1	SRC0
R/W 属性	R/W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit31:16] Reserved: 予約ビット

[bit15:2] Reserved: 予約ビット

このビットは"000000_00000000"以外の値の書き込みは禁止です。"000000_00000000"以外の値を書込んだ場合の動作は保証しません。



[bit1] SRC1: CPU1 リクエスト送信元設定ビット
[bit0] SRC0: CPU0 リクエスト送信元設定ビット

これらのビットはメールボックス m のリクエスト送信元を設定します。SRCn に"1"を書き込むことにより, CPU_n がメールボックス m を占有します。メールボックス m の使用が終了後, CPU_n が SRCn に"0"を書き込むことにより, メールボックス m を解放します。自 CPU に対応するビット以外のビットに"1"を書き込むことは禁止です。禁止の書き込みをした場合の動作は保証しません。

bit	説明	
	書き込み時	読出し時
0	CPU _n のリクエスト送信元設定を解除します	CPU _n はリクエスト送信元ではありません
1	CPU _n をリクエスト送信元に設定します	CPU _n はリクエスト送信元です

<注意事項>

- このレジスタの読出し値が"0x00000000"以外, つまりいずれかの CPU がメールボックス m を使用している場合, "0x****0000"以外の値の書き込みは無効です。"0x****0000"以外の値を書込んでもレジスタは更新されません。"0x****0000"を書込んでメールボックス m を解放する必要があります。
- このレジスタに"0x00000000"を書込んでメールボックス m を解放することにより, メールボックス m のレジスタセットに含まれるすべてのレジスタがクリアされ初期値に戻ります。
- このレジスタの使用方法および制限の詳細については「6. その他」を参照してください。
- IPCU_MB0SRCR~IPCU_MB7SRCR のレジスタビット構成は共通です。

5.4. IPCU メールボックス m 動作モード設定レジスタ (IPCU_MBmMR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つで、リクエスト送信元のCPUが書き込みます。各メールボックスの動作モードを設定します。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0~7)に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved					MODE		
R/W 属性	R0,WX					R/W		
保護属性	WS							
初期値	00000					000		

[bit31:3] Reserved: 予約ビット

[bit2:0] MODE: 動作モード設定ビット

このビットはメールボックス m の動作モードを設定します。

bit[2:0]	説明
000	マニュアルモード
001	
010	自動アクノリッジモード
011	
100	自動クリアモード
上記以外	設定禁止(設定時の動作は保証しません)

<注意事項>

- 以下の場合、このレジスタへの書き込みは無効となり、レジスタ更新は行われません。
 - IPCU_MBmSRCR が"0x00000000"(どのCPUもメールボックス未使用)
 - IPCU_MBmSR が"0x00000001"(リクエスト送信中)
- 各動作モードの詳細については「3. 動作説明」、 「4. 設定手順例」を参照してください。
- IPCU_MB0MR~IPCU_MB7MR でレジスタビット構成は共通です。



5.5. IPCU メールボックス m リクエスト送信レジスタ (IPCU_MBmSR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つで、リクエスト送信元のCPUが書き込みます。各メールボックスのリクエスト送信を制御します。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0〜7)に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	WS
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved							SEND
R/W 属性	R0,WX							R/W
保護属性	WS							
初期値	00000000							0

[bit31:1] Reserved: 予約ビット

[bit0] SEND: リクエスト送信ビット

このビットはメールボックス m のリクエスト送信のトリガになります。

bit	説明
0	リクエスト送信停止
1	リクエスト送信開始

<注意事項>

- 以下の場合、このレジスタへの書込みは無効となり、レジスタ更新は行われません。
- IPCU_MBmSRCR が"0x00000000" (どのCPUもメールボックス未使用)
- このレジスタの使用方法および制限の詳細については「6. その他」を参照してください。
- IPCU_MB0SR〜IPCU_MB7SR でレジスタビット構成は共通です。



5.6. IPCU メールボックス m リクエスト送信先セットレジスタ (IPCU_MBmDSR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つで、リクエスト送信元のCPUが書き込みます。各メールボックスのリクエスト送信先のセットを行います。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0〜7)に対応します。CPU ごとに1ビットが割当てられ、ビット位置が CPU 番号 n(0〜1)に対応します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	WS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						DSTS1	DSTS0
R/W 属性	R0,W0						R0,W	R0,W
保護属性	WS							
初期値	000000						0	0

[bit31:16] Reserved: 予約ビット

[bit15:2] Reserved: 予約ビット

このビットは"000000_00000000"以外の値の書き込みは禁止です。"000000_00000000"以外の値を書込んだ場合の動作は保証しません。



[bit1] DSTS1 : CPU1 リクエスト送信先セットビット

[bit0] DSTS0 : CPU0 リクエスト送信先セットビット

これらのビットはメールボックス *m* のリクエスト送信先のセットを行います。DSTS_n に"1"を書き込むことにより、CPU_n をメールボックス *m* のリクエスト送信先にセットします。これらのビットはセットのみ可能で、"0"の書き込みによるクリアはされません。実際の送信先は IPCU_MB_mDSTR で確認します。自 CPU に対応するビットに"1"を書き込み、自 CPU を送信先にセットすることは禁止です。禁止の書き込みをした場合の動作は保証しません。

bit	説明
0	無効(動作に影響しません)
1	CPU _n をメールボックス <i>m</i> のリクエスト送信先に設定

<注意事項>

- 以下の場合、このレジスタへの書き込みは無効となり、書き込みによる IPCU_MB_mDSTR のステータス更新は行われません。
 - IPCU_MB_mSR_{CR} が"0x00000000" (どの CPU もメールボックス未使用)
 - IPCU_MB_mSR が"0x00000001" (リクエスト送信中)
- IPCU_MB0DSTR~IPCU_MB7DSTR でレジスタビット構成は共通です。



5.7. IPCU メールボックス m リクエスト送信先クリアレジスタ (IPCU_MBmDCR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つで、リクエストを受信したCPUが書き込みます。各メールボックスのリクエスト送信先のクリアを行います。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0〜7)に対応します。CPU ごとに1ビットが割当てられ、ビット位置が CPU 番号 n(0〜1)に対応します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	WS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						DSTC1	DSTC0
R/W 属性	R0,W0						R0,W	R0,W
保護属性	WS							
初期値	000000						0	0

[bit31:16] Reserved: 予約ビット

[bit15:2] Reserved: 予約ビット

このビットは"000000_00000000"以外の値の書き込みは禁止です。"000000_00000000"以外の値を書込んだ場合の動作は保証しません。



[bit1] DSTC1 : CPU1 リクエスト送信先クリアビット

[bit0] DSTC0 : CPU0 リクエスト送信先クリアビット

これらのビットはメールボックス *m* のリクエスト送信先のクリアを行います。DSTC*n* に"1"を書き込むことにより、CPU*n* をメールボックス *m* のリクエスト送信先からクリアします。これらのビットはクリアのみ可能で、"0"の書き込みは動作に影響しません。実際の送信先ステータスは IPCU_MB*m*DSTR で確認します。自 CPU に対応するビット以外のビットに"1"を書き込むことは禁止です。また、元々送信先にセットされていない CPU に対応するビットへ"1"を書き込むことも禁止です。禁止の書き込みをした場合の動作は保証しません。

bit	説明
0	無効(動作に影響しません)
1	メールボックス <i>m</i> のリクエスト送信先から CPU <i>n</i> をクリア

<注意事項>

- 以下の場合、このレジスタへの書き込みは無効となり、書き込みによる IPCU_DSTST_MB*m* のステータス更新は行われません。
 - IPCU_MB*m*SR が"0x00000000"(どの CPU もメールボックス未使用)
 - IPCU_MB0DCR~IPCU_MB7DCR でレジスタビット構成は共通です。



5.8. IPCU メールボックス m リクエスト送信先ステータスレジスタ
(IPCU_MBmDSTR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つです。各メールボックスのリクエスト送信先のステータスを通知します。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0～7)に対応します。CPU ごとに1ビットが割当てられ、ビット位置が CPU 番号 n(0～1)に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						DSTST1	DSTST0
R/W 属性	R0,WX						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved: 予約ビット

[bit1] DSTST1: CPU1 リクエスト送信先ステータスビット

[bit0] DSTST0: CPU0 リクエスト送信先ステータスビット

これらのビットはメールボックス m のリクエスト送信先のステータスを通知します。DSTSTn が"1"の場合、CPU_nがメールボックス m のリクエスト送信先であることを示します。また、リクエスト送信先の CPU によりリクエストがクリアされた場合、その結果も反映されます。

bit	説明
0	CPU _n はメールボックス m のリクエスト送信先ではありません
1	CPU _n はメールボックス m のリクエスト送信先です

<注意事項>

- IPCU_MB0DSTR～IPCU_MB7DSTR でレジスタビット構成は共通です。



5.9. IPCU メールボックス m リクエスト送信マスクセットレジスタ (IPCU_MBmMSR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つで、リクエスト送信元のCPUが書き込みます。各メールボックスのリクエスト送信マスクのセットを行います。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0~7)に対応します。CPUごとに1ビットが割当てられ、ビット位置がCPU番号 n(0~1)に対応します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	WS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						MSKS1	MSKS0
R/W 属性	R0,W0						R0,W	R0,W
保護属性	WS							
初期値	000000						0	0

[bit31:16] Reserved: 予約ビット

[bit15:2] Reserved: 予約ビット

このビットは"000000_00000000"以外の値の書き込みは禁止です。"000000_00000000"以外の値を書込んだ場合の動作は保証しません。



[bit1] MSKS1 : CPU1 リクエスト送信マスクセットビット

[bit0] MSKS0 : CPU0 リクエスト送信マスクセットビット

これらのビットはメールボックス *m* のリクエスト送信マスクのセットを行います。MSKS*n* に"1"を書き込むことにより、CPU*n* へのメールボックス *m* のリクエスト送信マスクをセットします。これらのビットはセットのみ可能で、"0"の書き込みによるクリアはされません。実際の送信マスクステータスは IPCU_MB*m*MSTR で確認します。自 CPU に対応するビットに"1"を書き込むことは禁止です。禁止の書き込みをした場合の動作は保証しません。

bit	説明
0	無効(動作に影響しません)
1	CPU <i>n</i> へのメールボックス <i>m</i> のリクエスト送信をマスク

<注意事項>

- 以下の場合、このレジスタへの書き込みは無効となり、書き込みによる IPCU_MB*m*MSTR のステータス更新は行われません。
 - IPCU_MB*m*SRCR が"0x00000000" (どの CPU もメールボックス未使用)
 - IPCU_MB*m*SR が"0x00000001" (リクエスト送信中)
- マスク機能の詳細については「3. 動作説明」を参照してください。
- IPCU_MB0MSR~IPCU_MB7MSR でレジスタビット構成は共通です。



5.10. IPCU メールボックス m リクエスト送信マスククリアレジスタ (IPCU_MBmMCR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つで、リクエスト送信元のCPUが書き込みます。各メールボックスのリクエスト送信マスクのクリアを行います。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0~7)に対応します。CPUごとに1ビットが割当てられ、ビット位置がCPU番号 n(0~1)に対応します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	WS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						MSKC1	MSKC0
R/W 属性	R0,W0						R0,W	R0,W
保護属性	WS							
初期値	000000						0	0

[bit31:16] Reserved: 予約ビット

[bit15:2] Reserved: 予約ビット

このビットは"000000_00000000"以外の値の書き込みは禁止です。"000000_00000000"以外の値を書込んだ場合の動作は保証しません。



[bit1] MSKC1 : CPU1 リクエスト送信マスククリアビット
[bit0] MSKC0 : CPU0 リクエスト送信マスククリアビット

これらのビットはメールボックス m のリクエスト送信マスクのクリアを行います。MSKCn に"1"を書き込むことにより、CPU_n へのメールボックス m のリクエスト送信マスクをクリアします。これらのビットはクリアのみ可能で、"0"の書込みは動作に影響しません。実際の送信マスクステータスは IPCU_MBmMSTR で確認します。

bit	説明
0	無効(動作に影響しません)
1	CPU _n へのメールボックス m のリクエスト送信マスクをクリア

<注意事項>

- 以下の場合、このレジスタへの書込みは無効となり、書込みによる IPCU_MSKST_MBm のステータス更新は行われません。
 - IPCU_MBmSRCR が"0x00000000"(どの CPU もメールボックス未使用)
- マスク機能の詳細については「3. 動作説明」を参照してください。
- IPCU_MB0MCR~IPCU_MB7MCR でレジスタビット構成は共通です。



5.11. IPCU メールボックス m リクエスト送信マスクステータスレジスタ (IPCU_MBmMSTR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つです。各メールボックスのリクエスト送信マスクのステータスを通知します。メールボックスごとに同様のレジスタを搭載し レジスタ略称の"m"がメールボックス番号 m(0~7)に対応します。CPU ごとに1ビットが割当てられ、ビット位置が CPU 番号 n(0~1)に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						MSKST1	MSKST0
R/W 属性	R0,WX						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved : 予約ビット

[bit1] MSKST1 : CPU1 リクエスト送信マスクステータスビット

[bit0] MSKST0 : CPU0 リクエスト送信マスクステータスビット

これらのビットはメールボックス m のリクエスト送信マスクのステータスを通知します。MSKSTn が"1"の場合、CPU_n へのメールボックス m のリクエスト送信がマスクされていることを示します。

bit	説明
0	CPU _n へのメールボックス m のリクエスト送信はマスクされていない
1	CPU _n へのメールボックス m のリクエスト送信はマスクされている

<注意事項>

- マスク機能の詳細については「3. 動作説明」を参照してください。
- IPCU_MB0MSTR~IPCU_MB7MSTR でレジスタビット構成は共通です。

5.12. IPCU メールボックス m アクノリッジセットレジスタ (IPCU_MBmASR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つで、リクエストを受信したCPUが書き込みます。各メールボックスからのリクエストのクリア後にセットすることにより、アクノリッジを送信します。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0～7)に対応します。CPU ごとに1ビットが割当てられ、ビット位置がCPU 番号 n(0～1)に対応します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	WS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						ACKS1	ACKS0
R/W 属性	R0,W0						R0,W	R0,W
保護属性	WS							
初期値	000000						0	0

[bit31:16] Reserved : 予約ビット

[bit15:2] Reserved : 予約ビット

このビットは"000000_00000000"以外の値の書き込みは禁止です。"000000_00000000"以外の値を書込んだ場合の動作は保証しません。



[bit1] ACKS1 : CPU1 アクノリッジセットビット

[bit0] ACKS0 : CPU0 アクノリッジセットビット

これらのビットはメールボックス *m* のリクエストに対するアクノリッジのセットを行います。ACKS_n に "1" を書き込むことにより、CPU_n からのアクノリッジをセットします。これらのビットはセットのみ可能で、"0" の書き込みによるクリアはされません。実際の応答ステータスは IPCU_MBmASTR で確認します。自 CPU に対応するビット以外のビットに "1" を書き込むことは禁止です。また、既にセット済みのビットに再度 "1" を書き込むことも禁止です。禁止の書き込みをした場合の動作は保証しません。

bit	説明
0	無効(動作に影響しません)
1	メールボックス <i>m</i> のリクエストに対する CPU _n からのアクノリッジをセット

<注意事項>

- このレジスタはマニュアルモードでのみ使用できます。
- 以下の場合、このレジスタへの書き込みは無効となり、書き込みによる IPCU_MBmASTR のステータス更新は行われません。
 - IPCU_MBmSRCR が "0x00000000" (どの CPU もメールボックス未使用)
 - IPCU_MBmSR が "0x00000000" (リクエスト送信中ではない)
 - IPCU_MBmMR が "0x00000000", "0x00000001" 以外 (マニュアルモード以外)
- アクノリッジの詳細については「3. 動作説明」を参照してください。
- IPCU_MB0ASR~IPCU_MB7ASR でレジスタビット構成は共通です。

5.13. IPCU メールボックス m アクノリッジクリアレジスタ (IPCU_MBmACR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つで、リクエスト応答を受信したリクエスト送信元の CPU が書き込みます。各メールボックスのアクノリッジのクリアを行います。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の"m"がメールボックス番号 m(0~7)に対応します。CPU ごとに1ビットが割当てられ、ビット位置が CPU 番号 n(0~1)に対応します。

Bit	31-16
Field	Reserved
R/W 属性	R0,WX
保護属性	WS
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	WS							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						ACKC1	ACKC0
R/W 属性	R0,W0						R0,W	R0,W
保護属性	WS							
初期値	000000						0	0

[bit31:16] Reserved : 予約ビット

[bit15:2] Reserved : 予約ビット

このビットは"000000_00000000"以外の値の書き込みは禁止です。"000000_00000000"以外の値を書込んだ場合の動作は保証しません。



[bit1] ACKC1 : CPU1 アクノリッジクリアビット

[bit0] ACKC0 : CPU0 アクノリッジクリアビット

これらのビットはメールボックス *m* のリクエストに対するアクノリッジのクリアを行います。ACKC_n に "1"を書き込むことにより、CPU_n からのアクノリッジをクリアします。これらのビットはクリアのみ可能で、"0"の書き込みは動作に影響しません。実際の応答ステータスは IPCU_MBmASTR で確認します。

bit	説明
0	無効(動作に影響しません)
1	メールボックス <i>m</i> のリクエストに対する CPU _n からのアクノリッジをクリア

<注意事項>

- このレジスタは自動クリアモードでは使用できません。
- 以下の場合、このレジスタへの書き込みは無効となり、書き込みによる IPCU_MBmASTR のステータス更新は行われません。
 - IPCU_MBmSRCR が"0x00000000"(どの CPU もメールボックス未使用)
 - IPCU_MBmSR が"0x00000000"(リクエスト送信中ではない)
 - IPCU_MBmMR が"0x00000004"(自動クリアモード)
- アクノリッジの詳細については「3. 動作説明」を参照してください。
- IPCU_MB0ACR~IPCU_MB7ACR でレジスタビット構成は共通です。

5.14. IPCU メールボックス m アクノリッジステータスレジスタ (IPCU_MBmASTR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つです。各メールボックスのアクノリッジのステータスを通知します。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の "m" がメールボックス番号 m(0~7)に対応します。CPU ごとに1ビットが割当てられ、ビット位置が CPU 番号 n(0~1)に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						ACKST1	ACKST0
R/W 属性	R0,WX						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved : 予約ビット

[bit1] ACKST1 : CPU1 アクノリッジステータスビット

[bit0] ACKST0 : CPU0 アクノリッジステータスビット

これらのビットはメールボックス m のアクノリッジのステータスを通知します。ACKSTn が "1" の場合、CPU_n がメールボックス m のアクノリッジ送信元であることを示します。また、リクエスト送信元の CPU によりアクノリッジがクリアされた場合、その結果も反映されます。

bit	説明
0	CPU _n はメールボックス m のアクノリッジ送信元ではありません
1	CPU _n はメールボックス m のアクノリッジ送信元です

<注意事項>

- このレジスタは自動クリアモードでは使用できません。自動クリアモードでは読出し値が常に "0x00000000" になります。
- IPCU_MB0ASTR~IPCU_MB7ASTR でレジスタビット構成は共通です。



5.15. IPCU メールボックス m アクノリッジ送信元ステータスレジスタ (IPCU_MBmASRCR)

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つです。各メールボックスのアクノリッジのステータスを通知します。メールボックスごとに同様のレジスタを搭載し、レジスタ略称の "m" がメールボックス番号 m(0~7)に対応します。CPU ごとに1ビットが割当てられ、ビット位置が CPU 番号 n(0~1)に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						ACKSRC1	ACKSRC0
R/W 属性	R0,WX						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved : 予約ビット

[bit1] ACKSRC1 : CPU1 アクノリッジ元ステータスビット

[bit0] ACKSRC0 : CPU0 アクノリッジ元ステータスビット

これらのビットはメールボックス m のアクノリッジのステータスを通知します。ACKSTn が "1" の場合、CPU_n がメールボックス m のアクノリッジ送信元であることを示します。これらのビットは同時に複数が "1" になることはありません。複数のアクノリッジが送信された場合、最初にアクノリッジを送信した CPU に対応するビットのみが "1" になります。そして、リクエスト送信元の CPU によりアクノリッジがクリアされた場合、次に送信した CPU に対応するビットのみが "1" になります。

bit	説明
0	CPU _n はメールボックス m のアクノリッジ送信元ではありません
1	CPU _n はメールボックス m のアクノリッジ送信元です

<注意事項>

- このレジスタはマニュアルモードまたは自動アクノリッジモードでのみ使用できます。
- IPCU_MBmASTR がすべてのアクノリッジ送信元を通知するのに対して、このレジスタは1つの送信元のみ、送信の古い順に通知します。
- IPCU_MB0ASRCR~IPCU_MB7ASRCR でレジスタビット構成は共通です。



5.16. **IPCU メールボックス m データレジスタ 0～8 (IPCU_MBmDR0～8)**

このレジスタはメールボックスごとのレジスタセットに含まれるレジスタの1つです。このレジスタはCPU間で受け渡すデータを格納します。メールボックスごとに同様のレジスタを9個ずつ搭載し、レジスタ略称の"m"がメールボックス番号m(0～7)に対応し、レジスタ略称の末尾の数字がデータ番号(0～8)に対応します。

Bit	31-0
Field	DT
R/W 属性	R/W
保護属性	WS
初期値	00000000_00000000_00000000_00000000

[bit31:0] DT[31:0]: データビット

このビットはCPU間で受け渡すデータを格納します。

<注意事項>

- 以下の場合、このレジスタへの書込みは無効となり、レジスタ更新は行われません。
 - `IPCU_MBmSRCR` が"0x00000000" (どのCPUもメールボックス未使用)
 - `IPCU_MB0DR0～IPCU_MB7DR8` でレジスタビット構成は共通です。



5.17. IPCU メールボックス ステータスレジスタ (IPCU_MBSTR)

このレジスタは各メールボックスが使用可能かどうかのステータスを通知します。メールボックスごとに1ビットが割当てられ、ビット位置がメールボックス番号 $m(0 \sim 7)$ に対応します。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	MBST7	MBST6	MBST5	MBST4	MBST3	MBST2	MBST1	MBST0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:8] Reserved: 予約ビット

- [bit7] MBST7: メールボックス 7 ステータス
- [bit6] MBST6: メールボックス 6 ステータス
- [bit5] MBST5: メールボックス 5 ステータス
- [bit4] MBST4: メールボックス 4 ステータス
- [bit3] MBST3: メールボックス 3 ステータス
- [bit2] MBST2: メールボックス 2 ステータス
- [bit1] MBST1: メールボックス 1 ステータス
- [bit0] MBST0: メールボックス 0 ステータス

これらのビットは各メールボックスのステータスを通知します。MBST m が"1"の場合、メールボックス m が使用中であることを示します。

bit	説明
0	メールボックス m は使用可能
1	メールボックス m は別の CPU により使用中

<注意事項>

- このレジスタを読出してから、使用可能なメールボックスを確認し、メールボックスを占有するために IPCU_MBmSRCR の書き込みを行うまでの間に、ほかの CPU が IPCU_MBmSRCR に書き込む場合があります。IPCU_MBmSRCR の書き込み後、IPCU_MBmSRCR を読み出して自 CPU がメールボックスを占有できたかどうかを確認してください。

6. その他

コア間通信ユニットの使用上の注意について説明します。

メールボックスがある CPU により占有された場合、占有した CPU とリクエスト送信先に指定された CPU 以外の CPU がメールボックスレジスタセットの各レジスタに書き込むことは禁止です。また、リクエスト送信元の CPU と送信先の CPU が書き込めるレジスタはそれぞれ決められています。詳細については「5. レジスタ」の各レジスタの説明を参照してください。禁止の書き込みをした場合の動作は保証しません。

コア間通信ユニットはレジスタアクセスのマスタ(どの CPU からのアクセスか)を識別しません。そのため、禁止の書き込みをハードウェアで保護することができません。

コア間通信ユニットのレジスタアクセスでバスエラーを返す条件はありません。



CHAPTER 26: 排他アクセスメモリ(EAM)

排他アクセスメモリ(EAM)の概要, 構成, 動作およびメモリ領域について説明します。

1. 概要
2. 構成
3. 動作説明
4. 動作例
5. メモリ領域



1. 概要

排他アクセスメモリ(EAM)部の特長について説明します。

Cortex™-R5Fの各コアから、合アクセスが発生する場合に、本ブロックのメモリ領域に対して、AXIの排他コマンドを使用してアクセスすることにより、メモリ領域に対して排他アクセスを行えます。

特長

- 本ブロックは HPM 上の Slave として配置され、本メモリ領域に Cortex-R5F の各コアからの排他アクセスができます。
- 本ブロックには排他アクセス可能なメモリ領域が 48 バイトあります。
- 本ブロックによる排他処理はグローバルモニタに位置付けられます(ローカルモニタは Cortex-R5F に配置)。ローカルモニタおよびグローバルモニタの詳細については、『ARM® Architecture Reference Manual ARM®v7-A and ARM®v7-R edition(ARM DDI 0406B)』を参照してください。
- ID・アドレス範囲を 4 セットまで同時に排他アクセス監視できます。
- Write データ幅は 64 ビット
- Read データ幅は 64 ビット
- ID 幅は 8 ビット

<注意事項>

- EAM は ID・アドレス範囲を 4 セットまで同時に監視できますが、本製品では 2 セットです。

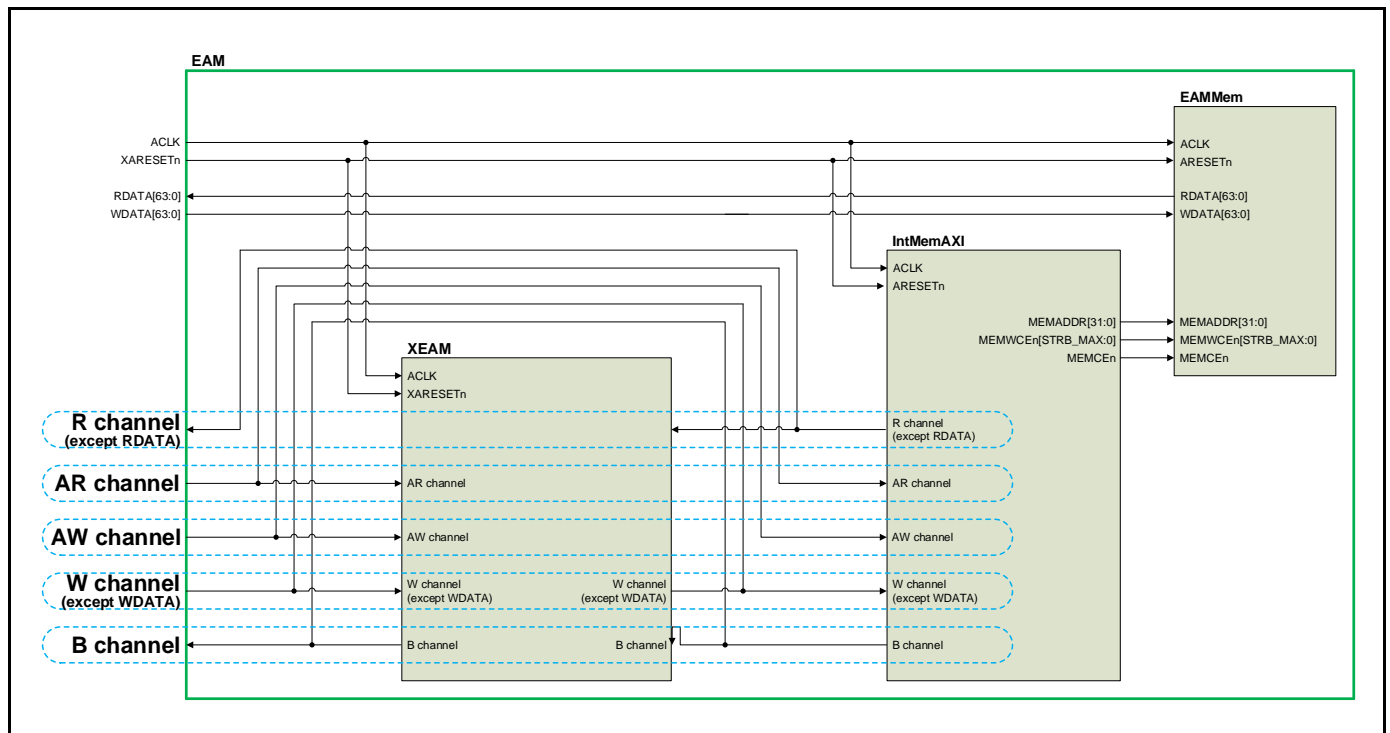
2. 構成

排他アクセスメモリ (EAM) の構成を示します。

2.1. ブロックダイアグラム

排他アクセスメモリ (EAM) のブロックダイアグラムを示します。

図 2-1 排他アクセスメモリ (EAM) ブロックダイアグラム



－ XEAM

排他アクセスを処理します。

ID・アドレス範囲を4セットまで同時に監視できます。

IntMemAXI

AXI インタフェースからメモリインタフェースへの変換を行います。

－ EAMMem

メモリ領域として48バイトの容量を持ち、メモリインタフェースにより読出し・書込みを行います。



3. 動作説明

各命令に対しての動作を説明します。

説明中の LDR_x, STR_x, LDREX_x, STREX_x などのコマンド表記中の"x"は、各コマンドのサイズを表しており、
"D"=Doubleword, " " =Word, "H"=Halfword, "B"=Byte を示します(Word には、"x"のサフィックスはありません)。

3.1. 転送全般

通常命令(STRx, LDRx など), 排他命令(STREXx, LDREXx など)についての動作概略を説明します。

- 本ブロックは HPM の Slave として配置され, Master からの排他アクセス(通常アクセスも)を受信・処理します。
- 本ブロック内メモリ領域は 48 バイトの容量を持っています。本メモリ領域は排他アクセスに対応しており, 通常 Read(LDRx)・通常 Write(STRx)および排他ロード(LDREXx)・排他ストア(STREXx)が実行できます。
- 本ブロック内 IntMemAXI はアドレスバッファを搭載していないため, WID を持たず, 通常 Write(STRx), 排他ストア命令(STREXx)共にインタリーブすることなく処理します。アドレスとデータ 1 対ずつしか処理しないため, Master において転送方法を考慮してください。
- 本ブロックは AxCACHE, AxPROT は非対応です。



3.2. 通常アクセス

通常命令(STRx, LDRx など)についての動作を説明します。

(1) Read 命令(LDRx)

- Master からの Read 命令(LDRx)により, EAMMem の該当アドレスの読出しを行います。

(2) Write 命令(STRx)

- Master からの Write 命令(STRx)により, EAMMem の該当アドレスへの書込みを行います。

3.3. 排他アクセス

排他命令(STREXx, LDREXx など)についての動作概略を説明します。

- Master からの排他ロード命令(LDREXx)・排他ストア命令(STREXx)に対して、ID(WID を除く)およびアドレスの監視を 4 セットまで同時に行います。
- 排他アクセスか通常アクセスかは、ARLOCK[1:0] (Read)または AWLOCK[1:0] (Write)によって判定します。ARLOCK[1:0]="0b01"のときを排他ロード、AWLOCK[1:0]="0b01"のときを排他ストアとして扱い、それ以外のときは通常 Read(LDRx)・Write(STRx)として扱います。



3.3.1. 排他ロード命令(LDREXx)

排他ロード命令(LDREXx)についての動作を説明します。

本セクションで記載する転送例の表は以下のルールで記載しています。

- 転送例の表は、時系列順に上から記載します。
- ただし、同時受信欄に「+」の記載がある転送どうしは同時受信を表します。
- ADD(Address) A, B, C, D はアドレス範囲が一部も重ならないアドレス、ADD(Address) A, ADD(Address) @A などはアドレス範囲が一部重なる場合を示しています。
- 排他ロード命令(LDREXx)を受信した場合、1つのIDに対して1つのアドレスの監視を行います。
- 排他ロード命令(LDREXx)の監視は、異なるIDおよびアドレスに対して4セット行います(IDとアドレスをセットとして保持するレジスタを以降は監視レジスタと表現します)。
- 排他ロード命令(LDREXx)が以下の条件によって排他アクセス NG と判定された場合、Master へ返すレスポンス(RRESP[1:0])をOKAY("0b00")とし、以下の条件以外は排他アクセス OK としEXOKAY("0b01")を送出します。
 1. 通常 Write(STRx)と排他ロード命令(LDREXx)を同時受信し、さらに両者が同一アドレスまたはアドレス範囲が1部でも重なっている場合は、排他ロード命令(LDREXx)を排他アクセス NG とします(このとき、通常 Write(STRx)は正常に Write され、排他アクセス NG と判定された排他ロード命令(LDREXx)の情報は監視レジスタに保持しません)。
 2. 排他ストア命令(STREXx)と排他ロード命令(LDREXx)を同時受信し、さらに両者が同一アドレスまたはアドレス範囲が一部でも重なっている場合は、排他ロード命令(LDREXx)を排他アクセス NG とします(このとき、排他ストア命令(STREXx)は正常に処理され、排他アクセス NG と判定された排他ロード命令(LDREXx)の情報は監視レジスタに保持しません)。
 3. Master からの排他ロード命令(LDREXx)がシングルバースト(ARLENS[3:0]="0b0000", ARBURSTS[1:0]="0b01")以外で送出された場合は排他アクセス NG とします。
 4. 排他ロード命令(LDREXx)を受信したとき、監視レジスタに既に4つの排他ロード命令(LDREXx)を保持しており、かつ受信した排他ロード命令(LDREXx)のIDが監視レジスタ内の値と一致せず、アドレス範囲の一部も重ならない場合、排他アクセス NG とします(排他アクセス NG と判定された排他ロード命令(LDREXx)の情報は監視レジスタに保持しません)。

以下に上記 1. の通常 Write(STRx)と排他ロード命令(LDREXx)を同時受信し、同一アドレスだった場合の動作例を示します。

表 3-1 通常 Write(STRx)と排他ロード命令(LDREXx)を同時受信し、同一アドレスだった場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
+	STRx	1	A	OKAY								
+	LDREXx	0	A	OKAY								
	LDREXx	3	B	EXOKAY	3	B						
+	STRx	0	C	OKAY	3	B						
+	LDREXx	2	C	OKAY	3	B						

以下に上記 2. の排他ストア命令(STREXx)と排他ロード命令(LDREXx)を同時受信した場合の動作例を示します。

表 3-2 排他ストア命令(STREXx)と排他ロード命令(LDREXx)を同時受信し、両者が同一アドレスだった場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
+	STREXx	0	B	OKAY	0	A						
+	LDREXx	1	B	OKAY	0	A						
	STREXx	0	A	EXOKAY								

表 3-3 排他ストア命令(STREXx)と排他ロード命令(LDREXx)を同時受信し、両者が別アドレスだった場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
+	STREXx	0	B	OKAY	0	A						
+	LDREXx	1	A	EXOKAY	1	A						
	STREXx	1	A	EXOKAY								

表 3-4 排他ストア命令(STREXx)と排他ロード命令(LDREXx)を同時受信し、両者が別アドレスだった場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
+	STREXx	0	A	EXOKAY								
+	LDREXx	1	B	EXOKAY	1	B						
	STREXx	1	B	EXOKAY								



以下に上記 4. のアドレス範囲の一部も重ならない場合およびアドレス範囲の一部が重なる場合の動作例を示します。

表 3-5 (監視レジスタ内に保持した ID と別 ID で)アドレス範囲の一部も重ならない排他ロード命令(LDREXx)を受信した場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	B	EXOKAY	0	A	1	B				
	LDREXx	2	C	EXOKAY	0	A	1	B	2	C		
	LDREXx	3	D	EXOKAY	0	A	1	B	2	C	3	D
	LDREXx	4	E	OKAY	0	A	1	B	2	C	3	D

表 3-6 (監視レジスタ内に保持した ID と同一 ID で)アドレス範囲の一部が重なる排他ロード命令(LDREXx)を受信した場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	B	EXOKAY	0	A	1	B				
	LDREXx	2	C	EXOKAY	0	A	1	B	2	C		
	LDREXx	3	D	EXOKAY	0	A	1	B	2	C	3	D
	LDREXx	3	@A	EXOKAY			1	B	2	C	3	@A

3.3.2. 排他ストア命令(STREXx)

排他ストア命令(STREXx)についての動作を説明します。

本セクションで記載する転送例の表は以下のルールで記載しています。

- 転送例の表は、時系列順に上から記載します。
- ただし、同時受信欄に「+」の記載がある転送どうしは同時受信を表します。
- ADD(Address) A, B, C, D はアドレス範囲が一部も重ならないアドレス、ADD(Address) A, ADD(Address) @A などはアドレス範囲が一部重なる場合を示しています。
- 排他ストア命令(STREXx)が排他アクセス OK の場合、IntMemAXI に対して Write コマンドに特に何も加工せず Write コマンドを送出します。
- 排他ストア命令(STREXx)が以下の条件の場合、排他アクセス NG と判定し、IntMemAXI に対して Write Strobe を落とし(0x00) で、データの更新がされない Write コマンドを送出します。Master へ返すレスポンスは(BRESP[1:0])を OKAY("0b00")とし、以下の条件以外は排他アクセス OK とし EXOKAY("0b01")を送出します。
 1. 監視レジスタに保持している排他ロード命令(LDREXx)と異なる排他ストア命令(STREXx)を受信した場合は排他アクセス NG とします(通常 Write(STRx)により、内部に保持している排他ロード命令(LDREXx)がクリアされた場合を含む)。
 2. Master からの排他ストア命令(STREXx)がシングルバースト(AWLENS[3:0]="0b0000", AWBURSTS[1:0]="0b01")以外で送出された場合は排他アクセス NG とします。



以下に上記 1. の動作例を示します。

表 3-7 監視レジスタ内容と異なる排他ストア命令(STREXx)を受信した場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	B	EXOKAY	0	A	1	B				
	LDREXx	2	C	EXOKAY	0	A	1	B	2	C		
	LDREXx	3	D	EXOKAY	0	A	1	B	2	C	3	D
	STREXx	0	E	OKAY	0	A	1	B	2	C	3	D

表 3-8 通常 Write(STRx)により監視レジスタがクリアされた場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	B	EXOKAY	0	A	1	B				
	STRx	0	A	OKAY			1	B				
	STREXx	0	A	OKAY			1	B				

4. 動作例

Master からの排他アクセスに対して本ブロックの動作について示します。

本セクションで記載する転送例の表は以下のルールで記載しています。

- 転送例の表は、時系列順に上から記載します。
- ただし、同時受信欄に「+」の記載がある転送どうしは同時受信を表します。
- ADD(Address) A, B, C, D はアドレス範囲が一部も重ならないアドレス、ADD(Address) A, ADD(Address) @A などはアドレス範囲が一部重なる場合を示しています。

以下に Master から排他アクセスを受信した場合の本ブロックの動作例を示します。

表 4-1 排他ロード命令(LDREXx)の ID とアドレス範囲が異なっている場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	B	EXOKAY	0	A	1	B				
	LDREXx	2	C	EXOKAY	0	A	1	B	2	C		
	LDREXx	3	D	EXOKAY	0	A	1	B	2	C	3	D
	STREXx	0	A	EXOKAY			1	B	2	C	3	D
	STREXx	1	B	EXOKAY					2	C	3	D
	STREXx	2	C	EXOKAY							3	D
	STREXx	3	D	EXOKAY								

表 4-2 排他ロード命令(LDREXx)の ID が異なり、アドレス範囲が同じ場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	A	EXOKAY	1	A						
	LDREXx	2	A	EXOKAY	2	A						
	LDREXx	3	A	EXOKAY	3	A						
	STREXx	0	A	OKAY	3	A						
	STREXx	1	A	OKAY	3	A						
	STREXx	2	A	OKAY	3	A						
	STREXx	3	A	EXOKAY								

表 4-3 同じアドレス範囲にたいして異なる ID の排他ストア命令(STREXx)が来た場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	STREXx	1	A	OKAY	0	A						
	LDREXx	1	A	EXOKAY	1	A						
	STREXx	2	A	OKAY	1	A						
	LDREXx	2	A	EXOKAY	2	A						
	STREXx	3	A	OKAY	2	A						
	LDREXx	3	A	EXOKAY	3	A						
	STREXx	0	A	OKAY	3	A						

2 行目: STREXx が排他アクセス NG の場合、監視レジスタはそのまま保持

3 行目: LDREXx のアドレス範囲が同じ場合、LDREXx の ID に書換え



表 4-4 排他ロード命令(LDREXx)のIDとアドレス範囲と、排他ストア命令(STREXx)のIDとアドレス範囲が異なっている場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	B	EXOKAY	0	A	1	B				
	LDREXx	2	C	EXOKAY	0	A	1	B	2	C		
	LDREXx	3	D	EXOKAY	0	A	1	B	2	C	3	D
	STREXx	0	D	OKAY			1	B	2	C	3	D
	STREXx	1	C	OKAY					2	C	3	D
	STREXx	2	B	OKAY							3	D
	STREXx	3	A	OKAY								

表 4-5 排他ロード命令(LDREXx)の順番と排他ストア命令(STREXx)の順番が異なっている場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	B	EXOKAY	0	A	1	B				
	LDREXx	2	C	EXOKAY	0	A	1	B	2	C		
	LDREXx	3	D	EXOKAY	0	A	1	B	2	C	3	D
	STREXx	3	D	EXOKAY	0	A	1	B	2	C		
	STREXx	2	C	EXOKAY	0	A	1	B				
	STREXx	1	B	EXOKAY	0	A						
	STREXx	0	A	EXOKAY								

表 4-6 排他ロード命令(LDREXx)を 5 回受信した場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	B	EXOKAY	0	A	1	B				
	LDREXx	2	C	EXOKAY	0	A	1	B	2	C		
	LDREXx	3	D	EXOKAY	0	A	1	B	2	C	3	D
	LDREXx	0	E	EXOKAY	0	E	1	B	2	C	3	D
	STREXx	0	A	OKAY			1	B	2	C	3	D
	STREXx	1	B	EXOKAY					2	C	3	D
	STREXx	2	C	EXOKAY							3	D
	STREXx	3	D	EXOKAY								
	STREXx	0	E	OKAY								

5 行目: 同一 ID で別アドレス範囲の LDREXx によって書換え

6 行目: 監視レジスタが(5 行目で)書き換えられているため OKAY

表 4-7 排他ロード命令(LDREXx)を5回受信した場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	LDREXx	1	B	EXOKAY	0	A	1	B				
	LDREXx	2	C	EXOKAY	0	A	1	B	2	C		
	LDREXx	3	D	EXOKAY	0	A	1	B	2	C	3	D
	LDREXx	4	E	OKAY	0	A	1	B	2	C	3	D
	STREXx	0	A	EXOKAY			1	B	2	C	3	D
	STREXx	1	B	EXOKAY					2	C	3	D
	STREXx	2	C	EXOKAY							3	D
	STREXx	3	D	EXOKAY								
	STREXx	4	E	OKAY								

5 行目: 4 つ保持している ID とは別 ID なため、監視レジスタは書換えなし。LDREXx=OKAY

表 4-8 排他ストア命令(STREXx) が排他ロード命令(LDREXx)の前に来た場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	STREXx	0	A	OKAY								
	LDREXx	0	A	EXOKAY	0	A						

1 行目: 監視レジスタ内に監視対象がない状態のとき STREXx を受信したため OKAY

表 4-9 同一アドレスにたいして通常 Write(STRx)が排他ロード命令(LDREXx)と排他ストア命令(STREXx)の間にあった場合(通常 Write を受けたときは、監視レジスタはクリア)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
	STRx	0	A	OKAY								
	STREXx	0	A	OKAY								
	LDREXx	0	B	EXOKAY	0	B						
	STRx	1	B	OKAY								
	STREXx	0	B	OKAY								

2 行目: 排他ロード命令(LDREXx)と同じ ID, 同じアドレスにたいしての通常 Write(STRx)

6 行目: 排他ロード命令(LDREXx)と異なる ID, 同じアドレスにたいしての通常 Write(STRx)

表 4-10 排他ロード命令(LDREXx)と排他ストア命令(STREXx)が同時の場合(STREXx と同時の場合は STREXx 優先)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	1	A	EXOKAY	1	A						
+	LDREXx	2	A	OKAY	1	A						
+	STREXx	0	A	OKAY	1	A						

3 行目: 監視レジスタと ID が一致しないため、STREXx=OKAY, 監視レジスタのクリアなし

2 行目: 同時受信の STREXx とアドレスが一致しているため、LDREXx=OKAY, 監視レジスタの更新なし



表 4-11 排他ロード命令(LDREXx)と排他ストア命令(STREXx)が同時の場合(STREXx と同時の場合は STREXx 優先)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	1	A	EXOKAY	1	A						
+	LDREXx	2	B	EXOKAY	2	B						
+	STREXx	1	A	EXOKAY								

3 行目: 監視レジスタと ID, アドレス共に一致しているため, STREXx=EXOKAY, 監視レジスタをクリア

2 行目: 同時受信の STREXx とアドレスが一致していないため, 新たな監視対象として監視レジスタに保持

表 4-12 排他ロード命令(LDREXx) と排他ストア命令(STREXx)が同時の場合(STREXx と同時の場合は STREXx 優先)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	1	A	EXOKAY	1	A						
+	LDREXx	1	B	EXOKAY	1	B						
+	STREXx	0	A	OKAY	1	A						

3 行目: 監視レジスタと ID が一致しないため, STREXx=OKAY, 監視レジスタのクリアなし

2 行目: 同時受信の STREXx とアドレスが一致していない, かつ監視レジスタと同一 ID のため, 監視レジスタを更新

表 4-13 排他ロード命令(LDREXx)と排他ストア命令(STREXx)が同時の場合(STREXx と同時の場合は STREXx 優先)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
+	LDREXx	1	A	EXOKAY	1	A						
+	STREXx	0	B	OKAY								

2 行目: 監視レジスタに監視対象がないため(STREXx 受信以前に LDREXx を受信していない)STREXx=OKAY

1 行目: 同時受信の STREXx とアドレスが一致していないため, 新たな監視対象として監視レジスタに保持

表 4-14 排他ロード命令(LDREXx)と通常 Write(STRx)を同時受信, 同一アドレスの場合(同一アドレス範囲にたいして通常 Write と同時受信した場合は LDREXx に OKAY を返す)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
+	LDREXx	0	A	OKAY								
+	STRx	1	A	OKAY								

2 行目: 通常 Write(STRx)なためレスポンスは OKAY

1 行目: 通常 Write(STRx)と同一アドレスなため LDREXx=OKAY

表 4-15 排他ロード命令(LDREXx)と通常 Write(STRx)を同時受信, 同一アドレスの場合(同一アドレス範囲にたいして通常 Write と同時受信した場合は LDREXx に OKAY を返す)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	1	B	EXOKAY	1	B						
+	LDREXx	0	B	OKAY								
+	STRx	2	B	OKAY								
	STREXx	1	B	OKAY								

3 行目: 監視レジスタと同一アドレス範囲の場合, 監視レジスタをクリア

2 行目: 通常 Write(STRx)と同一アドレスのため LDREXx=OKAY

4 行目: 通常 Write(STRx)によって監視レジスタがクリアさせているため STREXx=OKAY

表 4-16 排他ロード命令(LDREXx)と通常 Write(STRx)を同時受信, アドレス範囲が一致しない場合

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
+	LDREXx	0	A	EXOKAY	0	A						
+	STRx	1	B	OKAY								

表 4-17 排他ロード命令(LDREXx)の後排他ストア命令(STREXx)が来ない場合(STREXx が来るまで監視)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXx	0	A	EXOKAY	0	A						
			0	A						
			0	A						
			0	A						

表 4-18 アドレス範囲が一部でも重なっているとき, 上書き後に前の監視対象アドレスの排他ストア命令(STREXx)を受信した場合(アドレス範囲 A, @A が一部でも重なっているとき, 監視対象を上書き)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREX	0	A	EXOKAY	0	A						
	LDREXD	0	@A	EXOKAY	0	@A						
	STREX	0	A	OKAY	0	@A						
	STREXD	0	@A	EXOKAY								

2 行目: アドレス範囲が一部でも重なっているため後発のアドレス範囲によって上書き

3 行目: 前のアドレス範囲にたいする STREX(監視対象のアドレスと完全一致してない)には OKAY を返す。
OKAY のときは WSTRB を落として該当範囲の書換えを阻止しているため, 監視対象は継続



表 4-19 アドレス範囲が一部でも重なっているとき、上書き後に前の監視対象アドレスの排他ストア命令(STREXx)を受信した場合(アドレス範囲 A, @A が一部でも重なっているとき、監視対象を上書き)

同時受信	転送種別	AxID	ADD	レスポンス	監視レジスタ 1		監視レジスタ 2		監視レジスタ 3		監視レジスタ 4	
					ID	ADD	ID	ADD	ID	ADD	ID	ADD
	LDREXD	0	@A	EXOKAY	0	@A						
	LDREX	0	A	EXOKAY	0	A						
	STREXD	0	@A	OKAY	0	A						
	STREX	0	A	EXOKAY								

2 行目：アドレス範囲が一部でも重なっているため後発のアドレス範囲によって上書き

3 行目：前のアドレス範囲にたいする STREXD(監視対象のアドレスと完全一致してない)には OKAY を返す。OKAY のときは WSTRB を落として該当範囲の書換えを阻止しているため、監視対象は継続



5. メモリ領域

排他アクセスメモリ (EAM)のメモリ領域について示します。

表 5-1 EAM メモリ一覧

メモリ略称	メモリ名	参照先
Exclusive Access Memory	排他アクセスメモリ	5.1



5.1. 排他アクセスメモリ(Exclusive Access Memory)

排他アクセスメモリ(EAM)に搭載する 48 バイトのメモリ(Exclusive Access Memory)は、すべて排他アクセスができます。本メモリ領域に特別なアクセス制限はありません。

Base+0x0000_0000

Bit	31-0
Field	Exclusive Access Memory
R/W 属性	R/W
保護属性	—
初期値	00000000_00000000_00000000_00000000

:

:

Base+0x0000_002C

Bit	31-0
Field	Exclusive Access Memory
R/W 属性	R/W
保護属性	—
初期値	00000000_00000000_00000000_00000000

(Base+0x0000_0000~Base+0x0000_002C)

[bit31:0] Exclusive Access Memory: 排他アクセスメモリ

排他アクセスデータの書込み, 読出しができます。



CHAPTER 27: I/O ポート

I/O ポートについて説明します。

1. 概要
2. 構成
3. 設定手順例
4. レジスタ
5. 使用上の注意



1. 概要

I/O ポートの概要について説明します。

汎用入出力モジュールを持ち、外部端子は I/O ポートとして利用できます。外部端子の割り当て設定や内部リソースへの入力設定ができます。

(1) 汎用入出力モジュール(GPIO)

汎用入出力モジュールにより外部端子は I/O ポートとして使用できます。汎用入出力モジュールは 5 つの GPIO ポートから構成されます。1 つの GPIO ポートには 32 チャンネル用意されており、外部端子に対応しています。例えば外部端子 P216 は GPIO ポート 2 のチャンネル 16 の設定が対応しています。

キーコード機能を搭載した型格の場合、特定のレジスタへの書込みに、キーコード設定が必要です。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。

(2) ポート設定モジュール(PPC)

ポート設定モジュールは外部端子からの入力または外部端子への出力の設定を行います。外部端子ごとに設定できます。

- 出力有効表示
- 入力/出力のステータス表示
- プルアップ設定
- 入力レベル設定
- 出力駆動能力設定
- 入力遮断設定
- 出力(GPIO, リソース)の機能選択

キーコード機能を搭載した型格の場合、特定のレジスタへの書込みに、キーコード設定が必要です。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。

(3) リソース入力設定モジュール(RIC)

リソース入力設定モジュールはリソースの入力として、外部端子からの入力や別の内部リソースからの出力を選択します。

2. 構成

I/O ポートのブロックダイアグラムについて説明します。

I/O ポートの構成図を図 2-1、図 2-2 に示します。

図 2-1 GPIO /と PPC の構成図

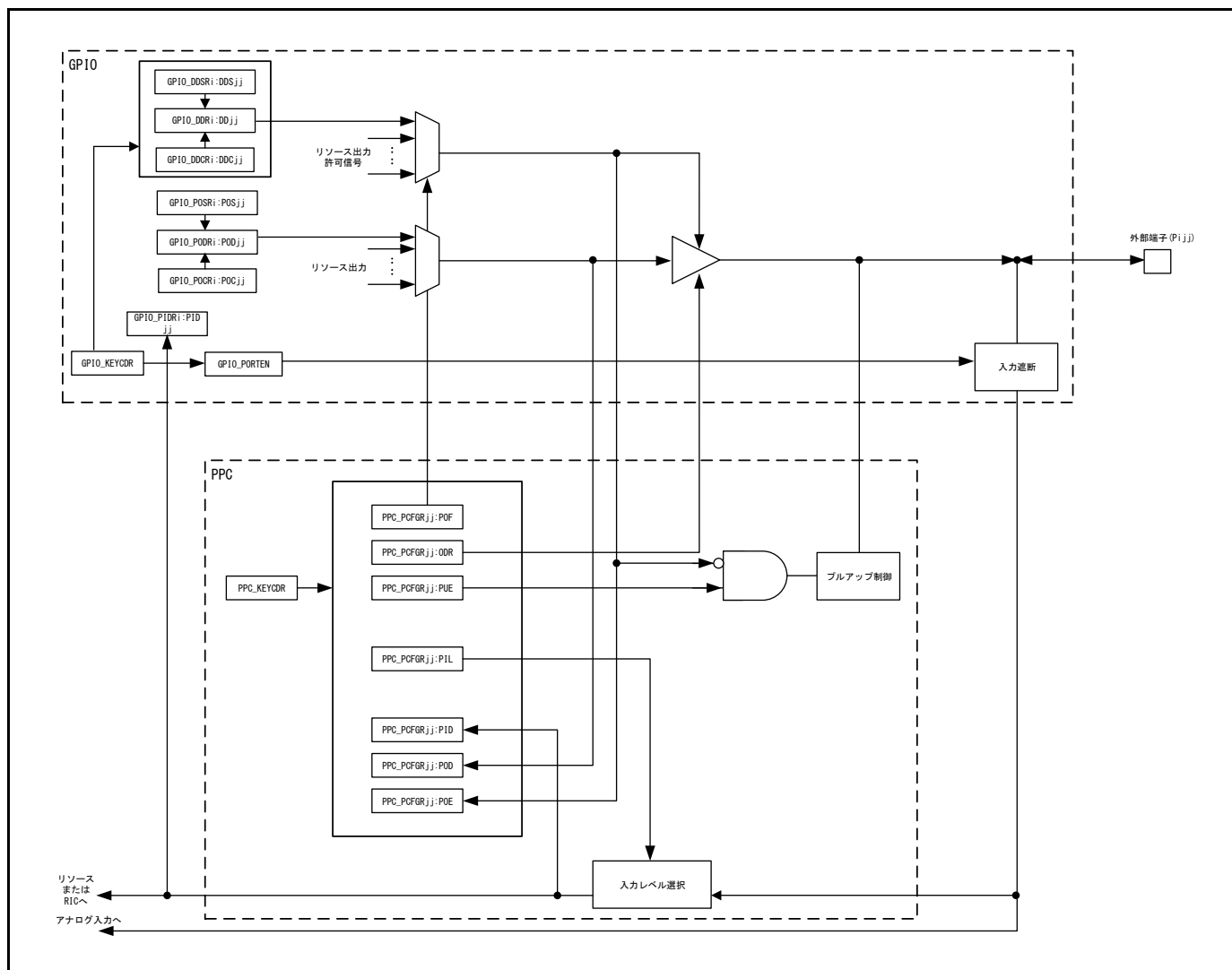
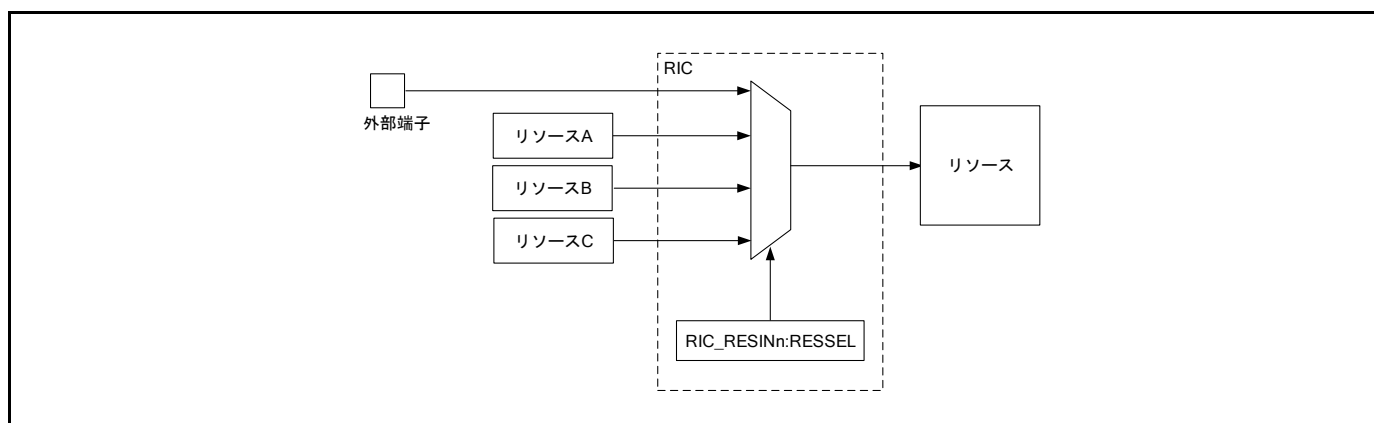


図 2-2 RIC の構成図

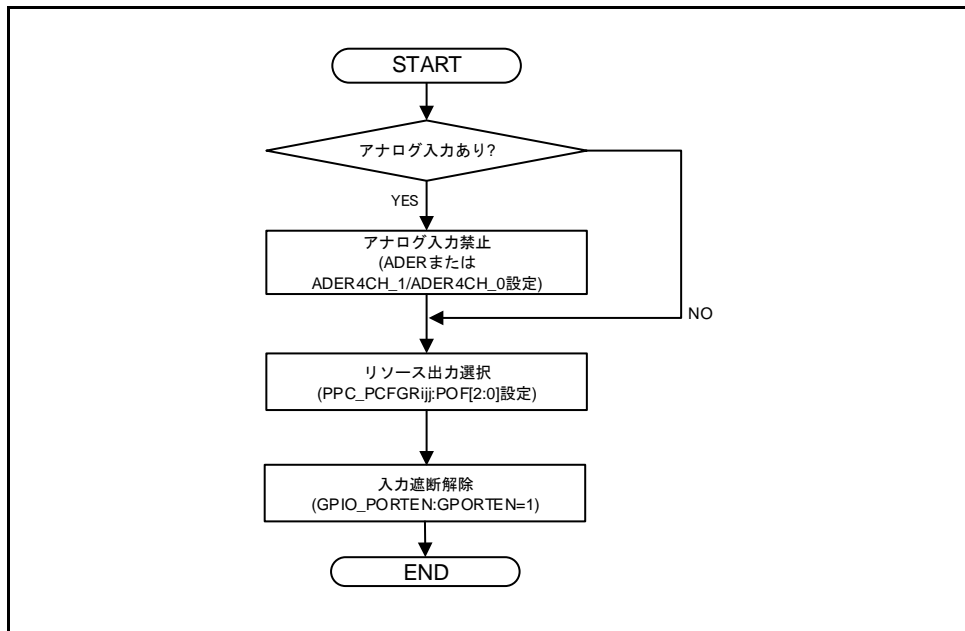


3. 設定手順例

I/O ポートの設定手順例について説明します。

(1) ペリフェラル入出力(双方向) 端子の割当て

図 3-1 ペリフェラル入出力(双方向)端子の設定手順

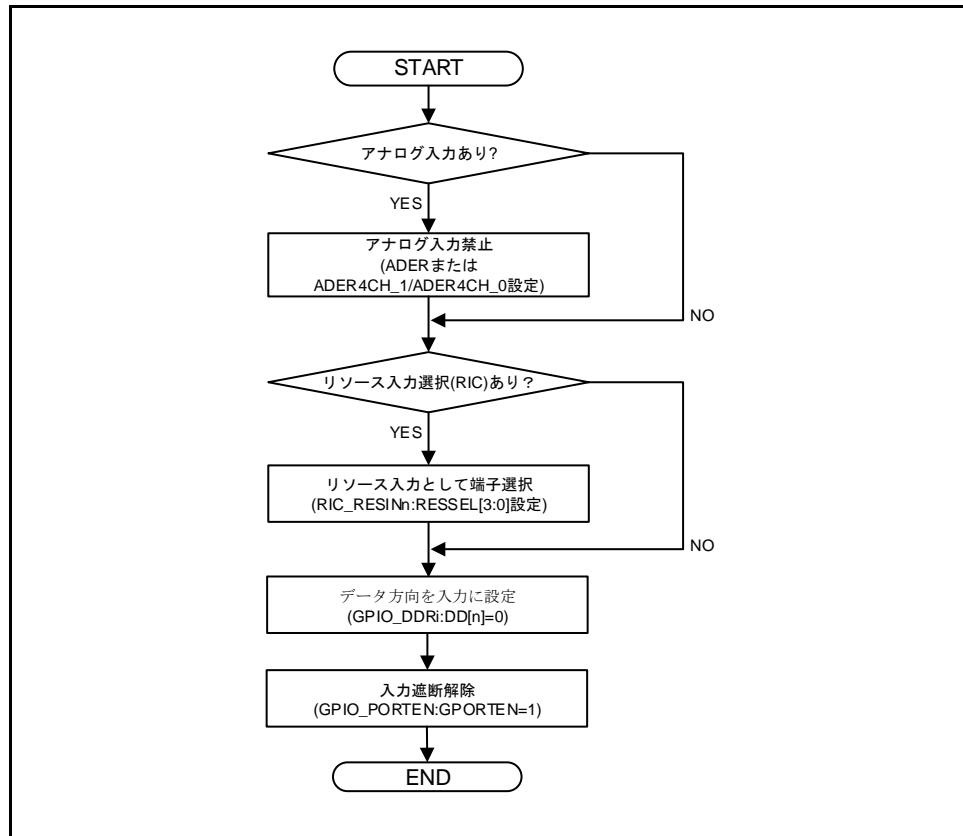


<注意事項>

- 下記のレジスタはキーコード対象レジスタです。
 - アナログ入力制御レジスタ(ADER)
 - 4ch ADC アナログ入力許可レジスタ(ADER4CH_1, ADER4CH_0)
 - ポート許可レジスタ(GPIO_PORTEN)
- アナログ入力禁止設定については『12ビットA/DコンバータA/D起動コンペア』と『12ビット4chA/Dコンバータインタフェース』の章を参照してください。

(2) リソース入力端子の割当て(外部端子のリソース入力選択)

図 3-2 リソース入力端子の設定手順

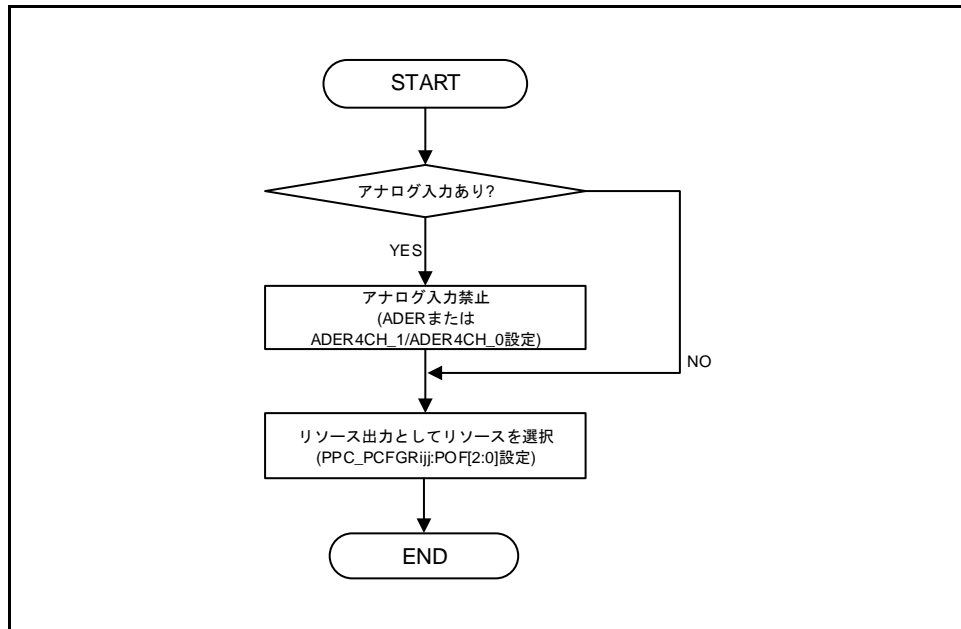


<注意事項>

- 下記のレジスタはキーコード対象レジスタです。
 - アナログ入力制御レジスタ(ADER)
 - 4ch ADC アナログ入力許可レジスタ(ADER4CH_1, ADER4CH_0)
 - データ方向レジスタ(GPIO_DDRi)
 - ポート許可レジスタ(GPIO_PORTEN)
- アナログ入力禁止設定については『12ビットA/DコンバータA/D起動コンペア』と『12ビット4chA/Dコンバータインタフェース』の章を参照してください。

(3) リソース出力端子の割当て

図 3-3 リソース出力端子の設定手順

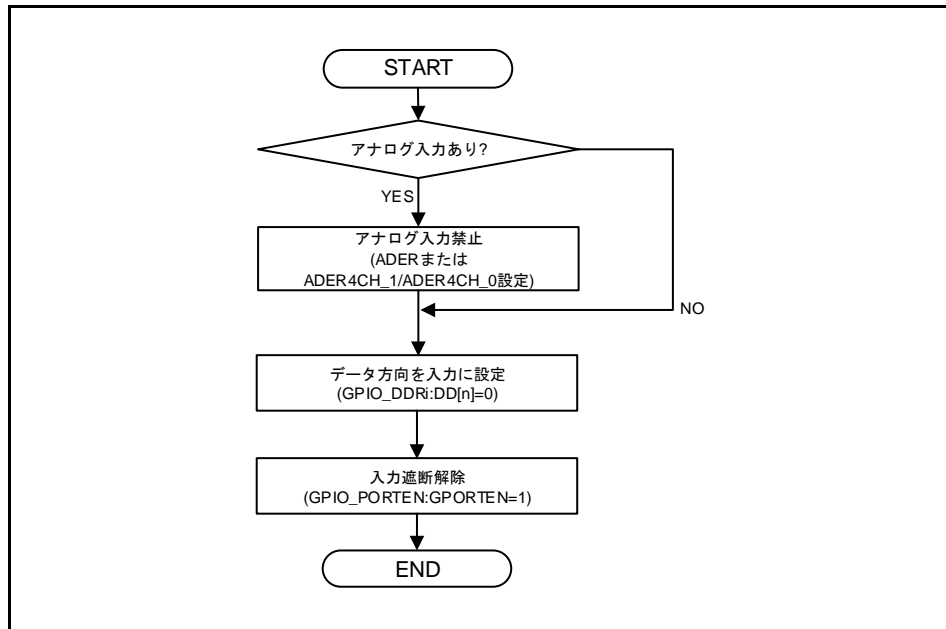


<注意事項>

- 下記のレジスタはキーコード対象レジスタです。
 - アナログ入力制御レジスタ(ADER)
 - 4ch ADC アナログ入力許可レジスタ(ADER4CH_1, ADER4CH_0)
 - ポート設定レジスタ(PPC_PCFGRIj)
- アナログ入力禁止設定については『12 ビット A/D コンバータ A/D 起動コンペア』と『12 ビット 4ch A/D コンバータインタフェース』の章を参照してください。

(4) ポート機能(入力)の割当て

図 3-4 ポート機能(入力)の設定手順

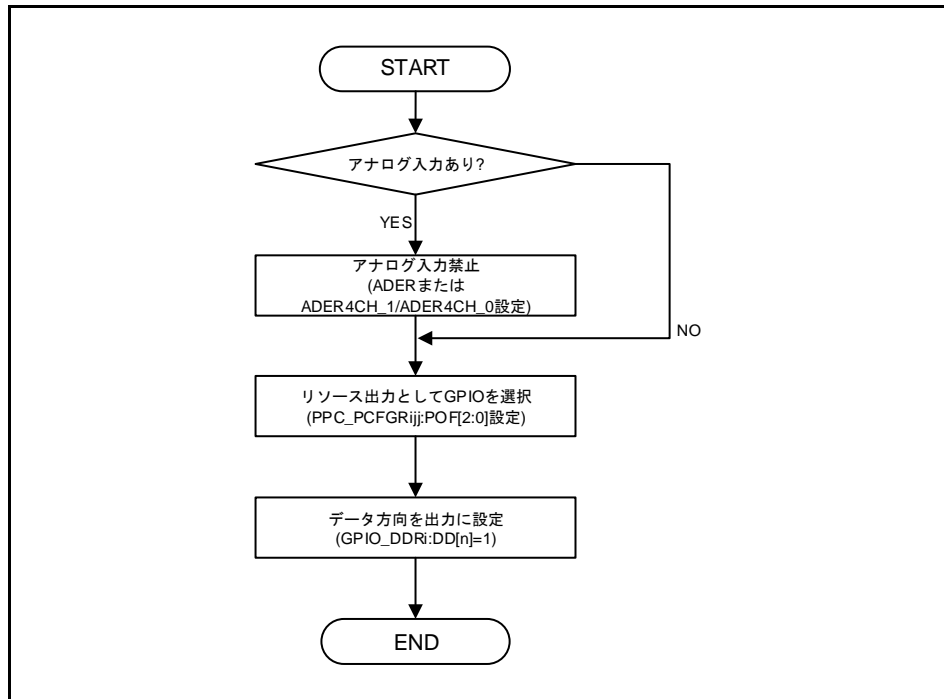


<注意事項>

- 下記のレジスタはキーコード対象レジスタです。
 - アナログ入力制御レジスタ(ADER)
 - 4ch ADC アナログ入力許可レジスタ(ADER4CH_1, ADER4CH_0)
 - データ方向レジスタ(GPIO_DDRi)
 - ポート許可レジスタ(GPIO_PORTEN)
- アナログ入力禁止設定については『12 ビット A/D コンバータ A/D 起動コンペア』と『12 ビット 4ch A/D コンバータインタフェース』の章を参照してください。

(5) ポート機能(出力)の割当て

図 3-5 ポート機能(出力)の設定手順

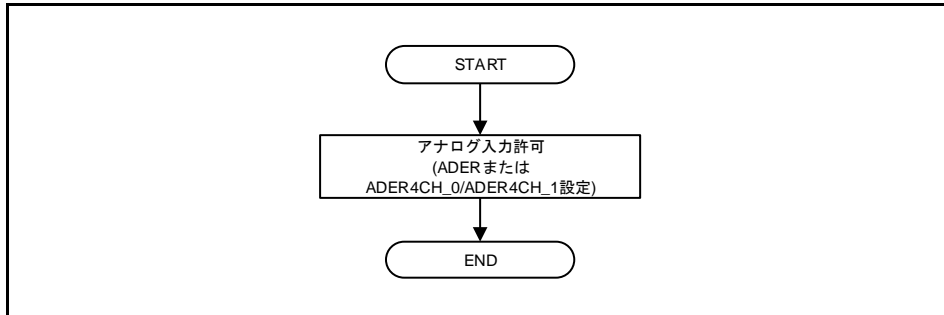


<注意事項>

- 下記のレジスタはキーコード対象レジスタです。
 - アナログ入力制御レジスタ(ADER)
 - 4ch ADC アナログ入力許可レジスタ(ADER4CH_1, ADER4CH_0)
 - ポート設定レジスタ(PPC_PCFGRIj)
- アナログ入力禁止設定については『12ビットA/DコンバータA/D起動コンペア』と『12ビット4chA/Dコンバータインタフェース』の章を参照してください。

(6) A/D コンバータ入力割当て

図 3-6 A/D コンバータ入力の設定手順

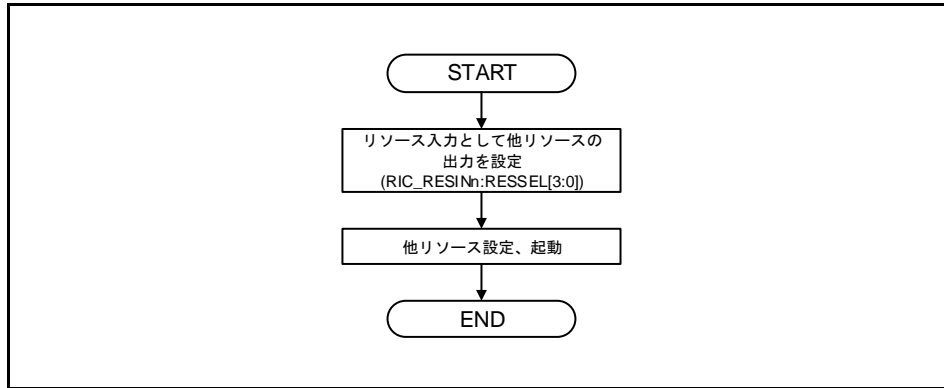


<注意事項>

- 下記のレジスタはキーコード対象レジスタです。
 - アナログ入力制御レジスタ(ADER)
 - 4ch ADC アナログ入力許可レジスタ(ADER4CH_1, ADER4CH_0)
 - ポート許可レジスタ(GPIO_PORTEN)
- アナログ入力許可設定については『12 ビット A/D コンバータ A/D 起動コンペア』と『12 ビット 4ch A/D コンバータインタフェース』の章を参照してください。

(7) リソース入力選択(他リソース出力の選択)

図 3-7 リソース入力選択(他リソース出力)の設定手順



<注意事項>

- リソース入力選択の詳細は『APPENDIX』の章の「I/O ポートの各種設定」の「リソース入力選択」を参照してください。

4. レジスタ

I/O ポートのレジスタ一覧について説明します。

表 4-1 I/O ポート レジスタ一覧

レジスタ略称	レジスタ名	参照先
GPIO_DDRi	データ方向レジスタ	4.1
GPIO_DDSDi	データ方向セットレジスタ	4.2
GPIO_DDCRi	データ方向クリアレジスタ	4.3
GPIO_PODRi	ポート出力データレジスタ	4.4
GPIO_POSRi	ポート出力セットレジスタ	4.5
GPIO_POCRi	ポート出力クリアレジスタ	4.6
GPIO_PIDRi	ポート入力データレジスタ	4.7
GPIO_PORTEN	ポート入力許可レジスタ	4.8
GPIO_KEYCDR	GPIO キーコードレジスタ	4.9
PPC_PCFGRijj	ポート設定レジスタ	4.10
PPC_KEYCDR	PPC キーコードレジスタ	4.11
RIC_RESINn	リソース入力設定レジスタ	4.12

i:GPIO ポート番号(i=0~4)

jj:GPIO チャンネル番号(jj=00~31)

n:選択できるリソース入力の数(n=0~11)



4.1. データ方向レジスタ (GPIO_DDRi) (i=0~4)

端子の入出力方向を設定します。ポート設定レジスタ(PPC_PCFGRIj)のポート出力機能選択ビット(POF[2:0])によってGPIOを選択した場合、GPIO_DDRi設定が有効になります。本レジスタは直接書き込みをするか、データ方向セットレジスタ(GPIO_DDSDi)とデータ方向クリアレジスタ(GPIO_DDCRi)を使用してセットまたはクリアできます。

Bit	31-0
Field	DD
R/W 属性	R/W
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit n] DD[n] : データ方向選択ビット (n=0~31)

bit	説明
0	入力に設定されます。
1	出力に設定されます。

<注意事項>

- キーコード機能を搭載した型格では本レジスタ書き込みにGPIO キーコードレジスタ(GPIO_KEYCDR)の設定が必要です。キーコード解除前に本レジスタに書き込みを行った場合はバスエラー応答を返します。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。



4.2. データ方向セットレジスタ (GPIO_DDSRi) (i=0~4)

データ方向選択ビット(GPIO_DDRi:DD31~DD0)をセットするために使用します。

Bit	31-0
Field	DDS
R/W 属性	R0,W
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit n] DDS[n] : データ方向セットビット (n=0~31)

bit	説明
0	何も影響しません。
1	データ方向選択ビット(GPIO_DDRi:DD31~DD0)が"1"にセットされます。

<注意事項>

- キーコード機能を搭載した型格では本レジスタ書込みにGPIO キーコードレジスタ(GPIO_KEYCDR)の設定が必要です。キーコード解除前に本レジスタに書込みを行った場合はバスエラー応答を返します。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。



4.3. データ方向クリアレジスタ (GPIO_DDCRi) (i=0~4)

データ方向選択ビット(GPIO_DDRi:DD31~DD0)をクリアするために使用します。

Bit	31-0
Field	DDC
R/W 属性	R0,W
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit n] DDC[n]: データ方向クリアビット (n=0~31)

bit	説明
0	何も影響しません。
1	データ方向選択ビット(GPIO_DDRi:DD31~DD0)が"0"にクリアされます。

<注意事項>

- キーコード機能を搭載した型格では本レジスタ書込みにGPIO キーコードレジスタ(GPIO_KEYCDR)の設定が必要です。キーコード解除前に本レジスタに書込みを行った場合はバスエラー応答を返します。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。



4.4. ポート出力データレジスタ (GPIO_PODR*i*) (*i*=0~4)

ポートの出力値を設定するレジスタです。設定値はポート出力が選択されているとき(GPIO_DDR*i*:DD31~DD0=1) 有効です。本レジスタは直接書き込みをするか、ポート出力セットレジスタ(GPIO_POSR*i*)とポート出力クリアレジスタ(GPIO_POCR*i*)を使用してセットまたはクリアできます。

Bit	31-0
Field	POD
R/W 属性	R/W
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit *n*] POD[*n*] : ポート出力データビット (*n*=0~31)

bit	説明
0	"L"を出力します。
1	"H"を出力します。



4.5. ポート出力セットレジスタ (GPIO_POSRi) (i=0~4)

ポート出力データビット(GPIO_PODRi:POD31~POD0)をセットするために使用します。

Bit	31-0
Field	POS
R/W 属性	R0,W
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit n] POS[n]: ポート出力セットビット (n=0~31)

bit	説明
0	何も影響しません。
1	ポート出力データビット(GPIO_PODRi:POD31~POD0)が"1"にセットされます。



4.6. ポート出力クリアレジスタ (GPIO_POCRi) (i=0~4)

ポート出力データビット(GPIO_PODRi:POD31~POD0)をクリアするために使用します。

Bit	31-0
Field	POC
R/W 属性	R0,W
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit n] POC[n] : ポート出力クリアビット (n=0~31)

bit	説明
0	何も影響しません。
1	ポート出力データビット(GPIO_PODRi:POD31~POD0)が"0"にクリアされます。



4.7. ポート入力データレジスタ (GPIO_PIDR*i*) (*i*=0~4)

入力データ値を示します。グローバル入力遮断解除ビット(GPIO_PORTEN:GPORTEN)が"1"の場合、入力レベル選択ビット(PPC_PCFGRIj*j*:PIL[1:0])の設定にしたがって、入力データを示します。グローバル入力遮断解除ビット(GPIO_PORTEN:GPORTEN)が"0"の場合、ポート入力データレジスタからは不定が読み出されます。

Bit	31-0
Field	PID
R/W 属性	R,WX
保護属性	-
初期値	XXXXXXXX_XXXXXXXX_XXXXXXXX_XXXXXXXX

[bit *n*] PID[*n*] : ポート入力データレジスタ (*n*=0~31)

bit	説明
0	"L"が入力されています。
1	"H"が入力されています。

4.8. ポート入力許可レジスタ (GPIO_PORTEN)

ポートの入力遮断を設定するレジスタです。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						CPORTEN	GPORTEN
R/W 属性	R0,WX						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved: 予約ビット

[bit1] CPORTEN: シリアル書込み用端子入力遮断解除ビット

シリアル書込み用端子の入力遮断が解除されます。グローバル入力遮断解除ビット(GORTEN)の設定にかかわらず、本ビットによりシリアル書込み用端子の入力遮断を解除できます。

bit	説明
0	何もしません。
1	シリアル書込み用端子(マルチファンクションシリアルインタフェース ch.0)の入力遮断が解除されます。

[bit0] GPORTEN: グローバル入力遮断解除ビット

bit	説明
0	端子を入力遮断にします。
1	入力遮断が解除されます。

<注意事項>

- キーコード機能を搭載した型格では本レジスタ書込みにGPIO キーコードレジスタ(GPIO_KEYCDR)の設定が必要です。キーコード解除前に本レジスタに書込みを行った場合はバスエラー応答を返します。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。



4.9. GPIO キーコードレジスタ (GPIO_KEYCDR)

誤書き込み保護機能を有するレジスタの書き込み設定をするレジスタです。本レジスタに所定の方法によって書き込まないと、対象のレジスタへの書き込みは無効です。キーコード機能非搭載の型格の場合、本レジスタにアクセスしても動作に影響はありません。

Bit	31	30	29	28	27	26	25	24
Field	KEY		SIZE		Reserved			
R/W 属性	R0,W		R0,W		R0,WX			
保護属性	-							
初期値	00		00		0000			

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	RADR[14:8]						
R/W 属性	R0,WX	R0,W						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	RADR[7:0]							
R/W 属性	R0,W							
保護属性	-							
初期値	00000000							

[bit31:30] KEY[1:0]: キーコードビット

キーコード設定ビットです。本ビットに"0b00", "0b01", "0b10", "0b11" の順番で連続的に書き込んでください。書き込む順番が異なった時点から、キーコード設定は無効となり最初から設定しなおしてください。

bit[31:30]	説明
00	第 1 キーコード
01	第 2 キーコード
10	第 3 キーコード
11	第 4 キーコード

[bit29:28] SIZE[1:0]: アクセスサイズビット

キーコード対象レジスタに書き込む際のアクセスサイズを設定します。キーコード"0b00", "0b01", "0b10", "0b11" を順番に書き込む際、本ビットには同じデータを書き込んでください。

bit[29:28]	説明
00	バイトアクセスを設定
01	ハーフワードアクセスを設定
10	ワードアクセスを設定
11	予約



[bit27:15] Reserved: 予約ビット

[bit14:0] RADR[14:0]: ポートアドレスビット

キーコード対象レジスタのアドレス下位 15 ビットを設定します。キーコード "0b00", "0b01", "0b10", "0b11" を順番に書き込む際、本ビットには同じデータを書き込んでください。

bit[14:0]	説明
-	キーコード対象レジスタのアドレス下位 15 ビットを設定

<注意事項>

- KEY[1:0]に書き込む順番が "0b00", "0b01", "0b10", "0b11" と異なった時点から、キーコード設定は無効となり最初から設定しなおしてください。
- キーコード "0b00", "0b01", "0b10", "0b11" を書き込む途中、SIZE[1:0] または RADR[14:0]に異なるデータを書いた時点から、キーコード設定は無効となり最初から設定しなおしてください。
- キーコード解除後に異なるアクセスサイズまたはアドレスで書き込むと、キーコード設定は無効となりますので最初から設定しなおしてください。
- キーコード対象レジスタは下記のレジスタです。
 - データ方向レジスタ(GPIO_DDRi)
 - データ方向セットレジスタ(GPIO_DDSDRi)
 - データ方向クリアレジスタ(GPIO_DDCLRi)
 - ポート入力許可レジスタ(GPIO_PORTEN)
- 本レジスタはワードアクセスのみ有効です。
- キーコード "0b00", "0b01", "0b10", "0b11" を書き込む途中に本レジスタと解除処理中のキーコード対象レジスタ(RADRによって設定したレジスタ) 以外のレジスタへのアクセスがあってもキーコード保護解除処理には影響ありません。



4.10. ポート設定レジスタ (PPC_PCFGRIj) (i=0~4, jj=00~31)

外部端子の状態表示と各種設定をします。

Bit	15	14	13	12	11	10	9	8
Field	POE	POD	PID	Reserved	PIL		PUE	Reserved
R/W 属性	R,WX	R,WX	R,WX	R0,WX	R/W		R/W	R0,WX
保護属性	-							
初期値	0	0	X	0	00		0	0

Bit	7	6	5	4	3	2	1	0
Field	ODR		Reserved			POF		
R/W 属性	R/W		R0,WX			R/W		
保護属性	-							
初期値	00		000			000		

下記のポート設定レジスタはありません。

- i=1, jj=30
- i=3, jj=7~8, 31
- i=4, jj=0~5, 24

[bit15] POE: ポート出力許可ビット

端子出力が有効かを示します。

bit	説明
0	端子出力はハイインピーダンスです。
1	端子出力は有効です。

[bit14] POD: ポート出力データビット

端子に出力される値を示します。

本ビットはポート出力許可ビット(POE)が"1"のときのみ有効です。

bit	説明
0	"L"が出力されます。
1	"H"が出力されます。

[bit13] PID: ポート入力データビット

入力レベルビット(PIL[1:0])によって選択された端子に入力される値を示します。

グローバル入力遮断解除ビット(GPIO_GPORTEN)が"0"のとき、本ビットは不定です。

bit	説明
0	端子入力は"L"です。
1	端子入力は"H"です。

[bit12] Reserved: 予約ビット

[bit11:10] PIL[1:0]: 入力レベルビット

端子入力レベルを選択します。

bit[11:10]	説明
00	タイプ A
01	タイプ B
10	タイプ C
11	タイプ D

詳細は『APPENDIX』の章の「I/O ポートの各種設定」の「入力レベル設定」を参照してください。

[bit9] PUE: プルアップ許可ビット

入力状態時にプルアップの有無を設定します。

bit	説明
0	プルアップなし
1	プルアップあり

[bit8] Reserved: 予約ビット

[bit7:6] ODR[1:0]: ポート出力駆動選択ビット

ポートの出力駆動能力を選択します。

bit[7:6]	説明
00	タイプ A
01	タイプ B
10	タイプ C
11	タイプ D

詳細は『APPENDIX』の章の「I/O ポートの各種設定」の「出力駆動能力設定」を参照してください。

[bit5:3] Reserved: 予約ビット

[bit2:0] POF[2:0]: ポート出力機能選択ビット

ポートへ出力する機能を選択します。

bit[2:0]	説明
000	リソース A 出力
001	リソース B 出力
010	リソース C 出力
011	リソース D 出力
100	リソース E 出力
101	リソース F 出力
110	リソース G 出力
111	リソース H 出力

詳細は『APPENDIX』の章の「I/O ポートの各種設定」の「出力リソース選択」を参照してください。

<注意事項>

- キーコード機能を搭載した型格では本レジスタ書込みに PPC キーコードレジスタ(PPC_KEYCDR)の設定が必要です。キーコード解除前に本レジスタに書込みを行った場合はバスエラー応答を返します。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。



4.11. PPC キーコードレジスタ (PPC_KEYCDR)

誤書き込み保護機能を有するレジスタの書き込み設定をするレジスタです。本レジスタに所定の方法によって書き込まないと、対象のレジスタへの書き込みは無効です。キーコード機能非搭載の型格の場合、本レジスタにアクセスしても動作に影響はありません。

Bit	31	30	29	28	27	26	25	24
Field	KEY		SIZE		Reserved			
R/W 属性	R0,W		R0,W		R0,WX			
保護属性	-							
初期値	00		00		0000			

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	RADR[14:8]						
R/W 属性	R0,WX	R0,W						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	RADR[7:0]							
R/W 属性	R0,W							
保護属性	-							
初期値	00000000							

[bit31:30] KEY[1:0]: キーコードビット

キーコード設定ビットです。本ビットに"0b00", "0b01", "0b10", "0b11" の順番で連続的に書き込んでください。書き込む順番が異なった時点から、キーコード設定は無効となり最初から設定しなおしてください。

bit[31:30]	説明
00	第 1 キーコード
01	第 2 キーコード
10	第 3 キーコード
11	第 4 キーコード

[bit29:28] SIZE[1:0]: アクセスサイズビット

キーコード対象レジスタに書き込む際のアクセスサイズを設定します。キーコード"0b00", "0b01", "0b10", "0b11" を順番に書き込む際、本ビットには同じデータを書き込んでください。

bit[29:28]	説明
00	バイトアクセスを設定
01	ハーフワードアクセスを設定
10	ワードアクセスを設定
11	予約



[bit27:15] Reserved: 予約ビット

[bit14:0] RADR[14:0]: ポートアドレスビット

キーコード対象レジスタのアドレス下位 15 ビットを設定します。キーコード "0b00", "0b01", "0b10", "0b11" を順番に書き込む際、本ビットには同じデータを書き込んでください。

bit[14:0]	説明
-	キーコード対象レジスタのアドレス下位 15 ビットを設定

<注意事項>

- KEY[1:0]に書き込む順番が "0b00", "0b01", "0b10", "0b11" と異なった時点から、キーコード設定は無効となり最初から設定しなおしてください。
- キーコード "0b00", "0b01", "0b10", "0b11" を書き込む途中、SIZE[1:0] または RADR[14:0]に異なるデータを書いた時点から、キーコード設定は無効となり最初から設定しなおしてください。
- キーコード解除後に異なるアクセスサイズまたはアドレスで書き込むと、キーコード設定は無効となりますので最初から設定しなおしてください。
- キーコード対象レジスタはポート設定レジスタ(PPC_PCFGRijj)です。
- 本レジスタはワードアクセスのみ有効です。
- キーコード "0b00", "0b01", "0b10", "0b11" を書き込む途中に本レジスタと解除処理中のキーコード対象レジスタ(RADRによって設定したレジスタ) 以外のレジスタへのアクセスがあってもキーコード保護解除処理には影響ありません。



4.12. リソース入力設定レジスタ (RIC_RESINn) (n=0~11)

リソースの入力として、外部端子入力や別の内部リソースの出力から選択します。

(1) リソース入力設定レジスタ 0~9(RIC_RESINn(n=0~9))

Bit	15	14	13	12	11	10	9	8
Field	Reserved				Reserved			
R/W 属性	R0,WX				R0,W0			
保護属性	-							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	Reserved				RESSEL			
R/W 属性	R0,WX				R/W			
保護属性	-							
初期値	0000				0000			

[bit15:12] Reserved: 予約ビット

[bit11:8] Reserved: 予約ビット

[bit7:4] Reserved: 予約ビット

[bit3:0] RESSEL[3:0]: リソース選択ビット

リソースへの入力を選択します。

bit[3:0]	説明
0000	ソース A
0001	ソース B
0010	ソース C
0011	ソース D
0100	ソース E
0101	ソース F
0110	ソース G
0111	ソース H
1000	ソース I
1001	ソース J
1010	ソース K
1011	ソース L
1100	ソース M
1101	ソース N
1110	ソース O
1111	ソース P

ソースの割り当ては『APPENDIX』の章の「I/O ポートの各種設定」の「リソース入力選択」を参照してください。

(2) リソース入力設定レジスタ 10(RIC_RESIN10)

Bit	15	14	13	12	11	10	9	8	
Field	Reserved				Reserved				PORTSEL
R/W 属性	R0,WX				R0,W0				R/W
保護属性	-								
初期値	0000				000				0

Bit	7	6	5	4	3	2	1	0
Field	Reserved				RESSEL			
R/W 属性	R0,WX				R/W			
保護属性	-							
初期値	0000				0000			

[bit15:12] Reserved: 予約ビット

[bit11:9] Reserved: 予約ビット

[bit8] PORTSEL: リソース選択ビット

ベースタイム ch.0, ch.2, ch.4 への外部起動トリガ要因を選択します。

bit	説明
0	ベースタイム ch.0, ch.2, ch.4 に対応する外部端子入力
1	波形ジェネレータ 0 (ch.0, ch.2, ch.4) の GATE 出力 (接続先) 波形ジェネレータ ch.0 → ベースタイム ch.0 波形ジェネレータ ch.2 → ベースタイム ch.2 波形ジェネレータ ch.4 → ベースタイム ch.4

[bit7:4] Reserved: 予約ビット

[bit3:0] RESSEL[3:0]: リソース選択ビット

リソースへの入力を選択します。

bit[3:0]	説明
0000	ソース A
0001	ソース B
0010	ソース C
0011	ソース D
0100	ソース E
0101	ソース F
0110	ソース G
0111	ソース H
1000	ソース I
1001	ソース J
1010	ソース K
1011	ソース L



bit[3:0]	説明
1100	ソース M
1101	ソース N
1110	ソース O
1111	ソース P

ソースの割り当ては『APPENDIX』の章の「I/O ポートの各種設定」の「リソース入力選択」を参照してください。

(3) リソース入力設定レジスタ 11(RIC_RESIN11)

Bit	15	14	13	12	11	10	9	8	
Field	Reserved				Reserved				PORTSEL
R/W 属性	R0,WX				R0,W0				R/W
保護属性	-								
初期値	0000				000				0

Bit	7	6	5	4	3	2	1	0
Field	Reserved				RESSEL			
R/W 属性	R0,WX				R/W			
保護属性	-							
初期値	0000				0000			

[bit15:12] Reserved: 予約ビット

[bit11:9] Reserved: 予約ビット

[bit8] PORTSEL: リソース選択ビット

ベースタイム ch.6, ch.8, ch.10 への外部起動トリガ要因を選択します。

bit	説明
0	ベースタイム ch.6, ch.8, ch.10 に対応する外部端子入力
1	波形ジェネレータ 1 (ch.6, ch.8, ch.10)の GATE 出力 (接続先) 波形ジェネレータ ch.6 → ベースタイム ch.6 波形ジェネレータ ch.8 → ベースタイム ch.8 波形ジェネレータ ch.10 → ベースタイム ch.10

[bit7:4] Reserved: 予約ビット

[bit3:0] RESSEL[3:0]: リソース選択ビット

リソースへの入力を選択します。

bit[3:0]	説明
0000	ソース A
0001	ソース B
0010	ソース C
0011	ソース D
0100	ソース E
0101	ソース F
0110	ソース G
0111	ソース H
1000	ソース I
1001	ソース J
1010	ソース K
1011	ソース L



bit[3:0]	説明
1100	ソース M
1101	ソース N
1110	ソース O
1111	ソース P

ソースの割り当ては『APPENDIX』の章の「I/O ポートの各種設定」の「リソース入力選択」を参照してください。

5. 使用上の注意

I/O ポートの使用上の注意について説明します。

汎用入出力ポートの切換え(入力から出力, もしくは出力から入力)を行った場合, 一瞬(2, 3ns)のグリッジが発生する場合があります。





CHAPTER 28: CR キャリブレーション

CR キャリブレーションについて説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ

1. 概要

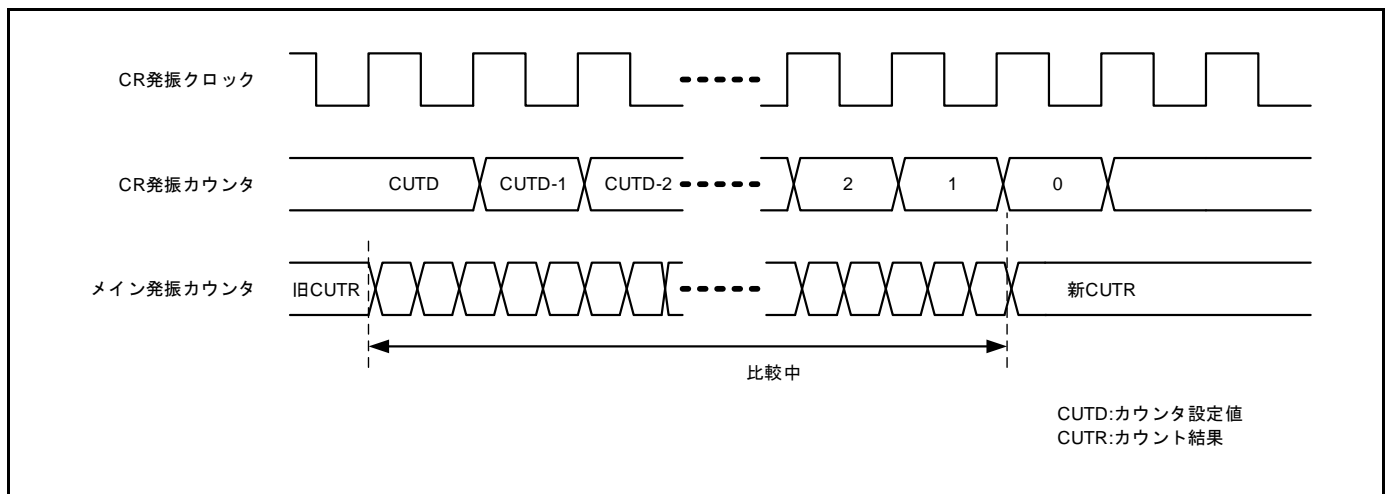
CR キャリブレーションの概要について説明します。

高速 CR 発振器はトリミングを設定することによって、周波数の補正ができます。高速 CR 発振回路の周波数補正のためのカウント値を計算することによって、トリミング値を決定できます。

CR 発振補正

CR クロック駆動のカウンタで設定された期間、メインクロック駆動のカウンタを駆動させ、計測することによって(図 1-1)、クロック誤差を測定できます。

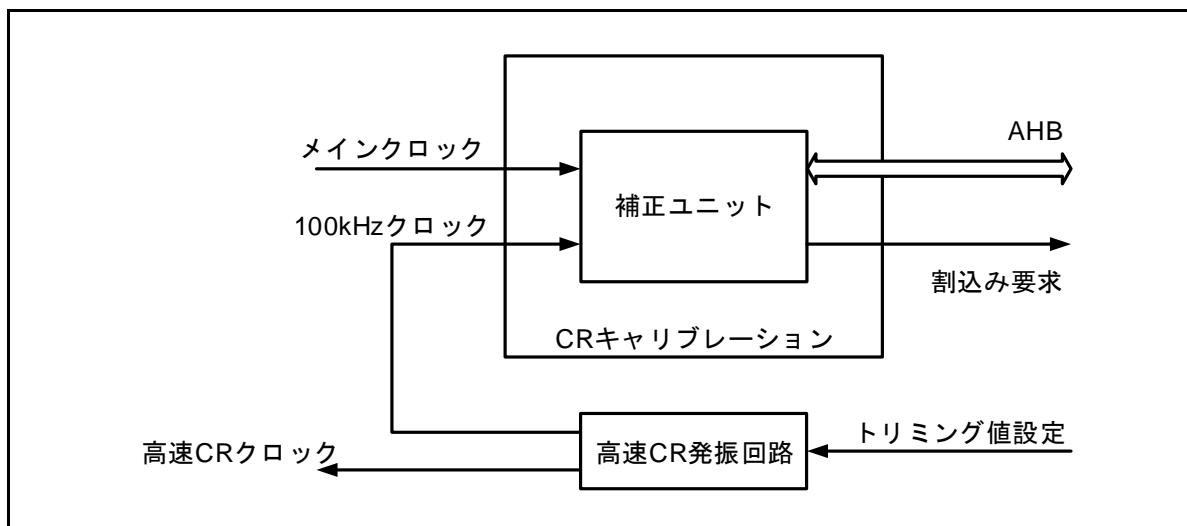
図 1-1 各クロック駆動カウンタ比較



2. 構成

CR キャリブレーションの構成について説明します。

図 2-1 CR キャリブレーション構成図



<注意事項>

- トリミング値の設定は、『クロックシステム』の章の高速CR発振制御レジスタ(SYSC_CRCNTR)を参照してください。



3. 動作説明

CR キャリブレーションの動作について説明します。

CR クロックの周波数測定(誤差測定)について示します。測定には、以下のレジスタを使用します。詳細は「4. レジスタ」を参照してください。

- 補正ユニット制御レジスタ 1(CUCR1)
- 補正ユニットを制御します。
- CR クロックタイマデータレジスタ 1(CUTD1)
- 測定期間の設定値を格納します (CR クロック駆動)。
- メイン発振タイマデータレジスタ(CUTR1)
- メイン発振タイマのカウント結果が格納されます。

3.1. CR クロックの周波数算出

周波数算出の手続き

1. CR クロックタイマデータレジスタ 1(CUTD1)設定
2. 割込み許可ビット(CUCR1:INTEN)に"1"を設定
3. 補正開始ビット(CUCR1:STRT)に"1"を設定
4. 割込み待ちループ
5. 割込み発生
6. メイン発振タイマデータレジスタ 1(CUTR1)読出し
7. CUTR1:CUTD1 で、「メインクロック周波数 : CR クロック周波数」の比が計算できます。

3.2. CR クロック周波数補正

周波数補正手順を示します。

(1) 最大周波数(Fmax)測定

クロックシステムの高速 CR 発振制御レジスタ(SYSC_CRCNTR)の CRTRM[7:0]ビットを"0b1111_1111"とし、補正ユニットによる誤差測定から CR クロックの最大周波数(Fmax)を算出します。

(2) 最小周波数(Fmin)測定

クロックシステムの高速 CR 発振制御レジスタ(SYSC_CRCNTR)の CRTRM[7:0]ビットを"0b0000_0000"とし、補正ユニットによる誤差測定から CR クロックの最小周波数(Fmin)を算出します。

(3) トリミング値算出

1 ステップあたりの周波数(Fstep)次式の n に 0~255 を代入し、トリミング後の周波数 Ftrm が 100kHz に最も近くなる n の値を算出します。

$$Fstep = (Fmax - Fmin) / 255 \quad (Fstep: \text{トリミング値 1 ステップあたりの周波数})$$

$$Ftrm = Fmin + Fstep * n$$

(4) トリミング値設定

算出したトリミング値(n)をクロックシステムの高速 CR 発振制御レジスタ(SYSC_CRCNTR)の CRTRM[7:0]ビットに設定します。

<注意事項>

- プロファイル更新で、メイン、高速 CR クロックを停止した場合のカウンタ値は無効になります。STRT ビットに"0"書込みを行い停止させてから、もう一度"1"書込みをやりなおしてください。



4. レジスタ

CR キャリブレーションのレジスタについて説明します。

表 4-1 にレジスタ一覧を示します。

表 4-1 レジスタ一覧

レジスタ略称	レジスタ名	参照先
CU_CUCR1	補正ユニット制御レジスタ 1	4.1
CU_CUTD1	CR クロックタイマデータレジスタ 1	4.2
CU_CUTR1	メイン発振タイマデータレジスタ 1	4.3
CU_CUCRC1	補正ユニット制御クリアレジスタ 1	4.4

4.1. 補正ユニット制御レジスタ 1(CU_CUCR1)

CR 発振補正ユニットの補正開始と割込みのクリア、割込み許可を設定します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R1,WX							
保護属性	-							
初期値	11111111							

Bit	7	6	5	4	3	2	1	0
Field	Reserved	Reserved		STRT	Reserved		INT	INTEN
R/W 属性	R/W0	R0,WX		R,W	R0,WX		R,W	R/W
保護属性	-							
初期値	0	00		0	00		0	0

[bit15:8] Reserved: 予約ビット

[bit7] Reserved: 予約ビット

"1"の書込みは禁止です。"1"を書き込んだ場合の動作は保証しません。

[bit6:5] Reserved: 予約ビット

[bit4] STRT(calibration STaRT): 補正開始

メインクロック, CR クロックから生成された 100kHz 駆動カウンタを開始させます。比較が完了したとき, INT ビットが"1"に設定されます。

"0"を設定した場合, 比較を中止します。比較中に"1"書込みを行っても影響はありません。比較が完了した場合, "0"にクリアされます。

bit	説明
0	比較中止
1	比較開始(比較中)

[bit3:2] Reserved: 予約ビット

[bit1] INT(calibration INTerrupt): 割込み

比較が完了したとき, "1"が設定されます。INTEN ビットに"1"が設定されている場合は割込みが発生します。"0"書込みでクリアされます。

CU_CUCRC1 レジスタの INTC ビットに"1"を設定することによって, 本ビットは"0"にクリアされます。

[bit0] INTEN(calibration INTerrupt ENable): 割込み許可

INT ビットが設定された際の割込みの有無を設定します。

bit	説明
0	割込み無効
1	割込み有効



4.2. CR クロックタイマデータレジスタ 1(CU_CUTD1)

CR クロック駆動カウンタ駆動期間を設定します。

Bit	15-0
Field	TDD
R/W 属性	R/W
保護属性	-
初期値	11000011_01010000

[bit15:0] TDD[15:0](Timer Data Data): タイマデータ

比較期間を CR クロック数で設定します。

bit[15:0]	説明
0x0000	65536
0x0001	1
0x0002	2
0x0003	3
...	...
0xC350	50000
...	...
0xFFFD	65533
0xFFFE	65534
0xFFFF	65535



4.3. メイン発振タイマデータレジスタ 1(CU_CUTR1)

CUTD1 で設定された期間内のメインクロック駆動カウンタ数を表示します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	23-0
Field	TDR
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000

[bit31:24] Reserved: 予約ビット

[bit23:0] TDR[23:0](Timer Data Register): タイマデータ

比較期間内でカウントされたカウンタ数を表示します。比較完了後に読み出してください。

比較中の読出し値は不定で、書込みは無効です。

bit[23:0]	説明
0x00_0000	0
0x00_0001	1
0x00_0002	2
0x00_0003	3
...	...
0xFF_FFFD	16777213
0xFF_FFFE	16777214
0xFF_FFFF	16777215



4.4. 補正ユニット制御クリアレジスタ 1(CU_CUCRC1)

CR 発振補正ユニットの割込みをクリアします。

Bit	31-8
Field	Reserved
R/W 属性	R0,WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						INTC	Reserved
R/W 属性	R0,WX						R0,W	R0,WX
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved: 予約ビット

[bit1] INTC(INT Clear): 割込みクリア

読出し値は"0"です。"1"が書き込まれた場合, CUCR1 レジスタの INT ビットがクリアされます。

bit	説明
0	影響なし
1	割込みクリア

[bit0] Reserved: 予約ビット

CHAPTER 29: CRC

CRC について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ



1. 概要

CRC(Cyclic Redundancy Check)は誤り検出方式の一種です。入力データ列を高次の多項式とみなして、あらかじめ定められた生成多項式(Generator Polynomial)で割ったときの余りが CRC コードです。通常は、データ列の後ろに CRC コードを付けて送信し、受信データに対して同様に生成多項式で割り算を行い、余りがなければ受信データは正しいと判断します。

CCITT CRC16 と IEEE-802.3 CRC32 を計算できます。生成多項式はこれら 2 つ用の数値に固定されているため、ほかの生成多項式に基づく CRC 値の計算はできません。

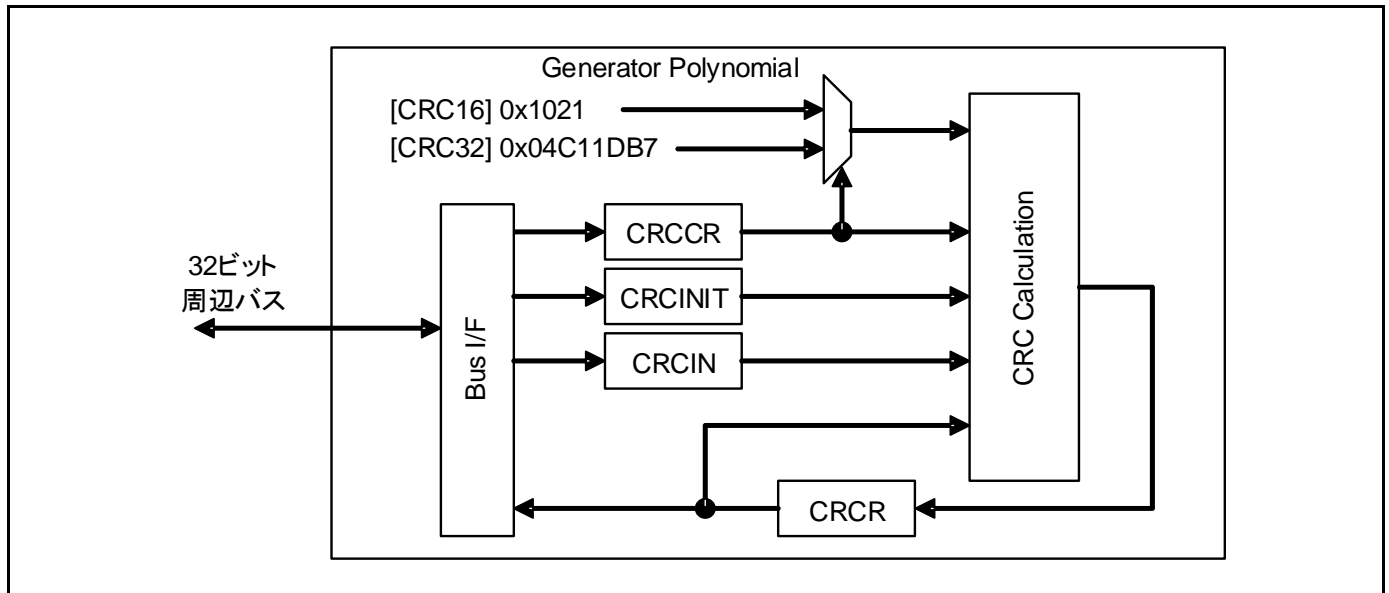
搭載されている CRC には以下の特長があります。

- CCITT CRC16 生成多項式 : "0x1021"
- IEEE-802.3 CRC32 生成多項式 : "0x04C11DB7"

2. 構成

CRC の構成図を示します。

図 2-1 CRC の構成図



- CRCCR(CRC 制御レジスタ)
CRC 計算の制御を行います。
- CRCINIT(初期値レジスタ)
CRC 計算の初期値を設定します。
- CRCIN(Input Data レジスタ)
CRC 計算の入力データを設定します。
- CRCCR(CRC レジスタ)
CRC 計算の結果を出力します。
- CRC Calculation
CRC 計算を行う回路です。



3. 動作説明

CRC の動作について説明します。

(1) CRC の定義

[CCITT CRC16 Standard]

生成多項式	"0x1021"	(CRCCR: CRC32="0")
初期値	"0xFFFF"	
Final XOR 値	"0x0000"	(CRCCR: FXOR="0")
ビットオーダー	MSB First	(CRCCR: LSBFST="0")
出力ビットオーダー	MSB First	(CRCCR: CRCLSF="0")
(入出力のバイトオーダーは任意に設定可能)		

[IEEE-802.3 CRC32 Ethernet Standard]

生成多項式	"0x04C11DB7"	(CRCCR: CRC32="1")
初期値	"0xFFFF_FFFF"	
Final XOR 値	"0xFFFF_FFFF"	(CRCCR: FXOR="1")
ビットオーダー	"LSB First"	(CRCCR: LSBFST="1")
出力ビットオーダー	"LSB First"	(CRCCR: CRCLSF="1")
(入出力のバイトオーダーは任意に設定可能)		

(2) リセット動作

リセット時は、初期値レジスタ(CRCINIT)と CRC レジスタ(CRCCR)を、"0xFFFF_FFFF"に設定します。その他は"0"クリアです。

(3) 初期化

初期化ビット(CRCCR: INIT)による初期化の場合、初期値レジスタの値を CRC レジスタ(CRCCR)にロードします。

(4) バイトオーダーとビットオーダー

バイトオーダーとビットオーダーの処理方法について、例を用いて説明します。

次の 1 ワードを CRC 演算器に入力します。

133.82.171.1 = "0b10000101" "0b01010010" "0b10101011" "0b00000001"

バイトオーダーをビッグエンディアン(CRCCR: LTLEND="0")に設定した場合、バイト単位の送信順序は下記になります。

"0b10000101" "0b01010010" "0b10101011" "0b00000001"
(1 番目) (2 番目) (3 番目) (4 番目)

ビットオーダーを LSB First(CRCCR: LSBFST="1")に設定した場合、ビット単位の送信順序は下記になります。

"0b10100001" "0b01001010" "0b11010101" "0b10000000"
(先頭) (最後)

<注意事項>

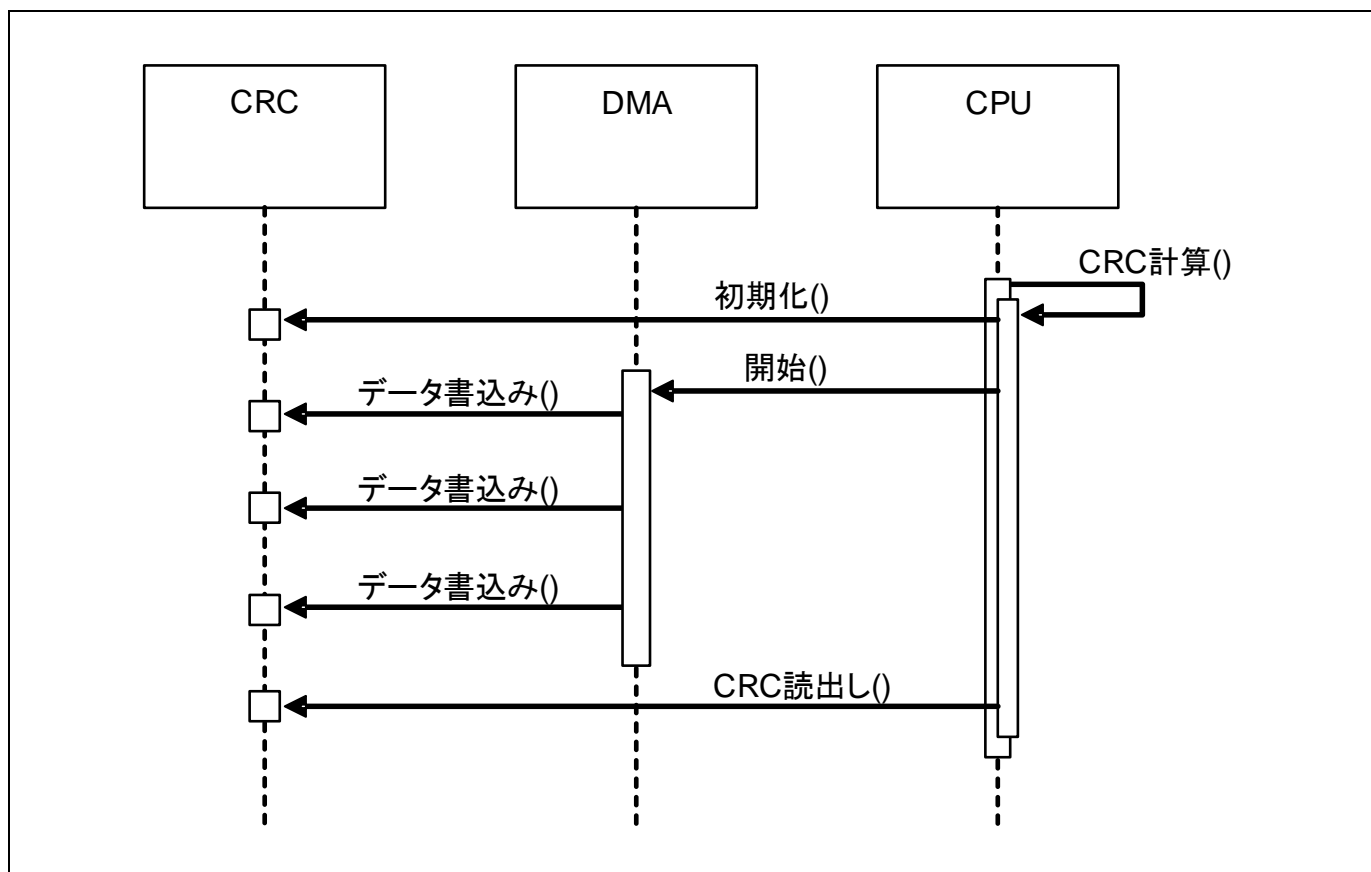
- CRCCR: CRCLTE="1"のとき、CRC 結果は、CRC16、CRC32 とともに 32 ビット幅でのバイト並び換えとなります。
- 特に CRC16 のときは、bit31~16 の位置に出力となりますので注意が必要です。

3.1. CRC 計算シーケンス

初期値レジスタ(CRCINIT)の設定, CRC16/32 の選択(CRCCR: CRC32), バイトオーダー/ビットオーダーの設定(CRCCR: LTLEND, CRCCR: LSBFST)は, 既にされているとします。

(初期値が 0xFFFFFFFF でよい場合は, 初期値レジスタ(CRCINIT)の設定操作は省略できます。)

図 3-1 CRC 計算シーケンス



- 初期化は, 初期値ビット(CRCCR:INIT)への"1"書き込みで行ってください。CRC レジスタ(CRCCR)に初期値レジスタの値がロードされます。
- 入力データ書込みは, Input Data レジスタ(CRCIN)への書き込みで行ってください。書き込み操作により, CRC 計算が開始されます。また, 連続書き込みやシーケンス中に異なるビット幅書き込みの混在ができます。
- CRC コード取得は, CRC レジスタ(CRCCR)の読出しで行ってください。

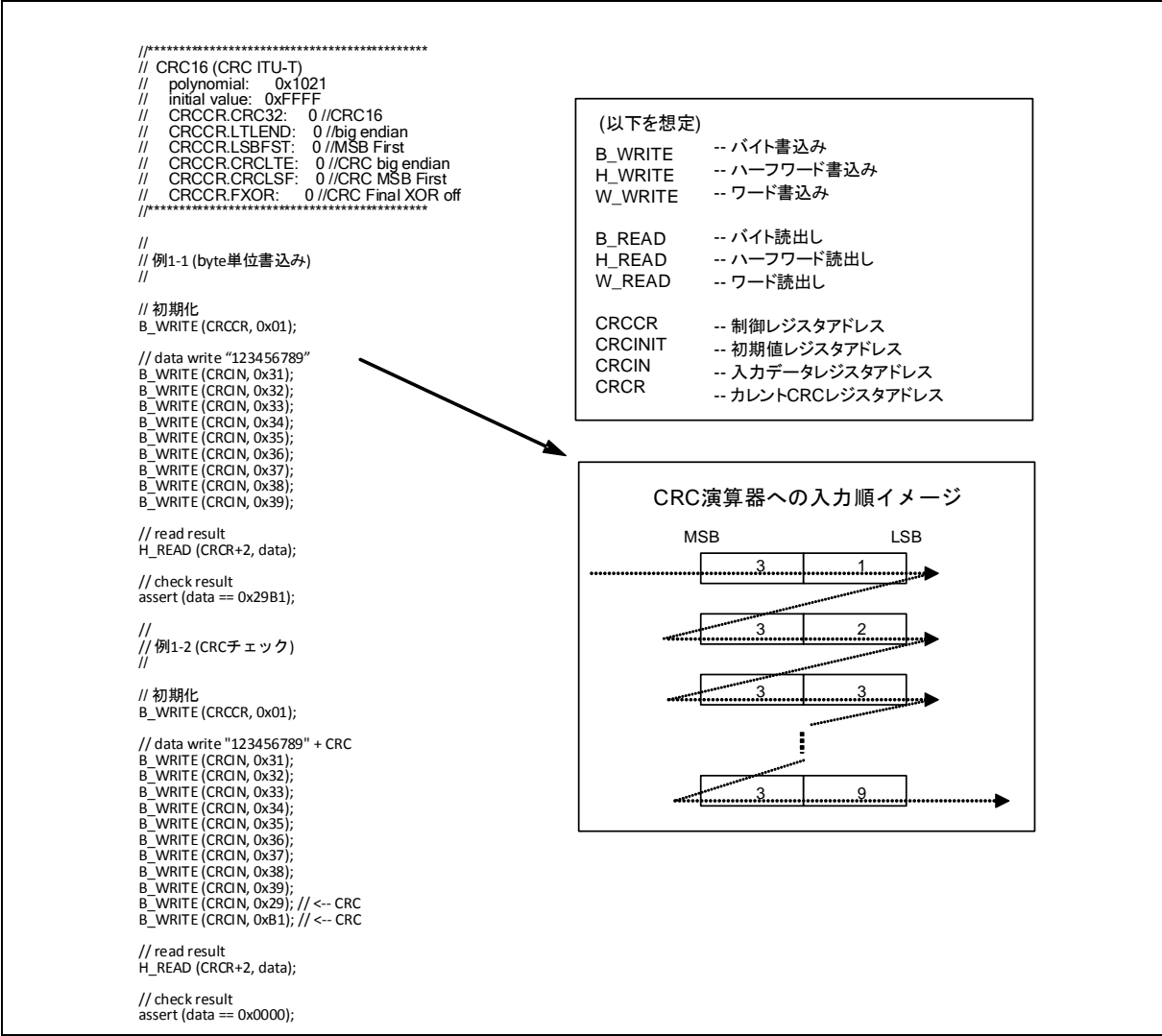


3.2. CRC 使用例

CRC の使用例を示します。

(1) 使用例 1 CRC16, バイト入力固定

図 3-2 使用例 1 (CRC16, バイト入力固定, コアのバイトオーダー : ビッグエンディアン)



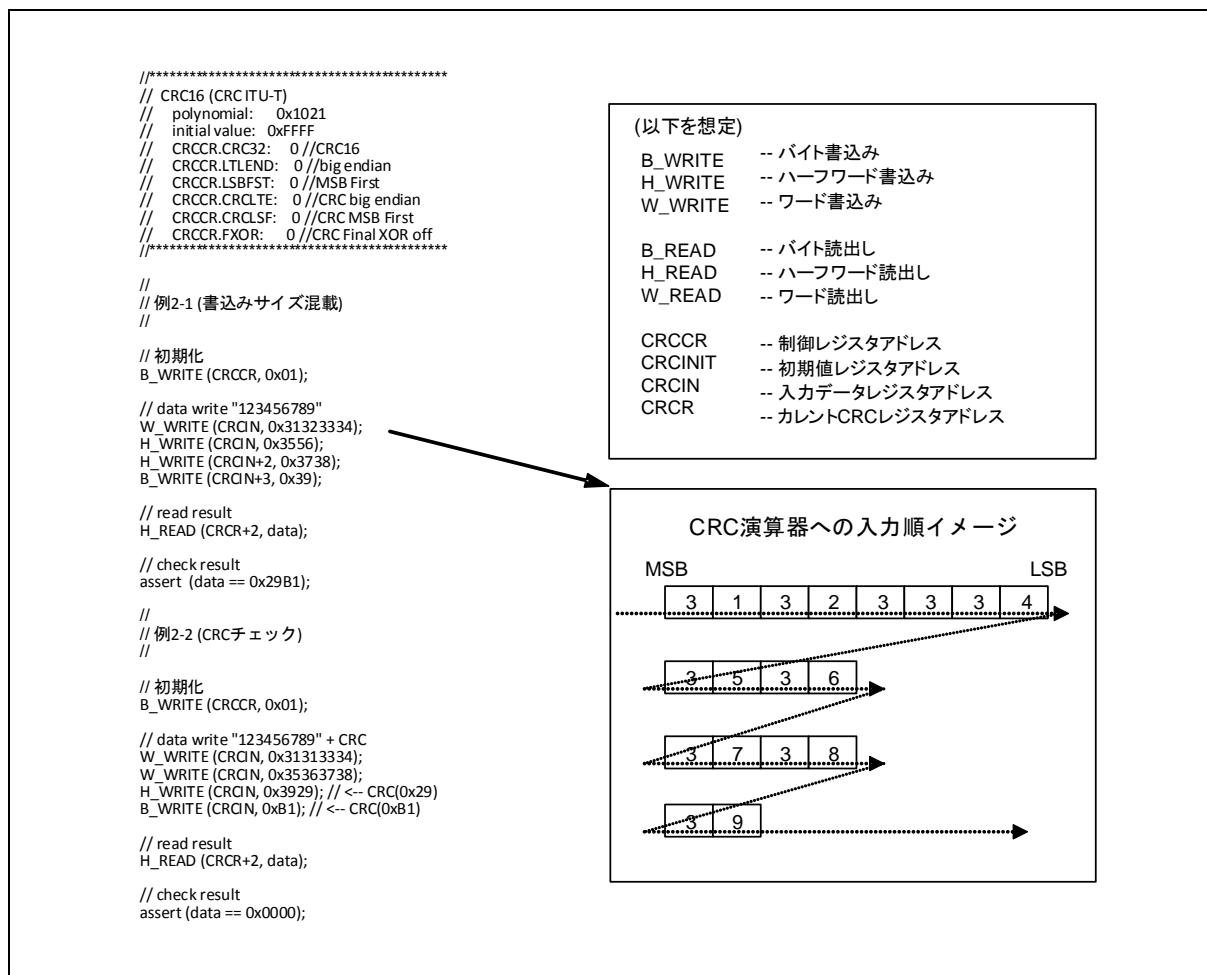
- バイト/ハーフワードの書込み位置は任意です。本使用例では+0の位置に連続して書き込んでいます。
- CRC16で, CPU, CRC結果のバイトオーダーと, CRCCR(CRCレジスタ)の出力位置, 読出しアドレスを表 3-1に示します。

表 3-1 CPU, CRC 結果のバイトオーダーと CRCCR の読出しアドレス

コアのバイトオーダー	CRC 結果のバイトオーダー	CRCCR への出力位置	CRCCR H_READ アドレス
ビッグエンディアン	ビッグエンディアン	bit15~bit0	CRCCR+2
ビッグエンディアン	リトルエンディアン	Bit31~bit16	CRCCR+0
リトルエンディアン	ビッグエンディアン	bit15~bit0	CRCCR+0
リトルエンディアン	リトルエンディアン	Bit31~bit16	CRCCR+2

(2) 使用例 2 CRC16, 入力ビット幅異種混在

図 3-3 使用例 2 (CRC16, 入力ビット幅異種混在, コアのバイトオーダー : ビッグエンディアン)

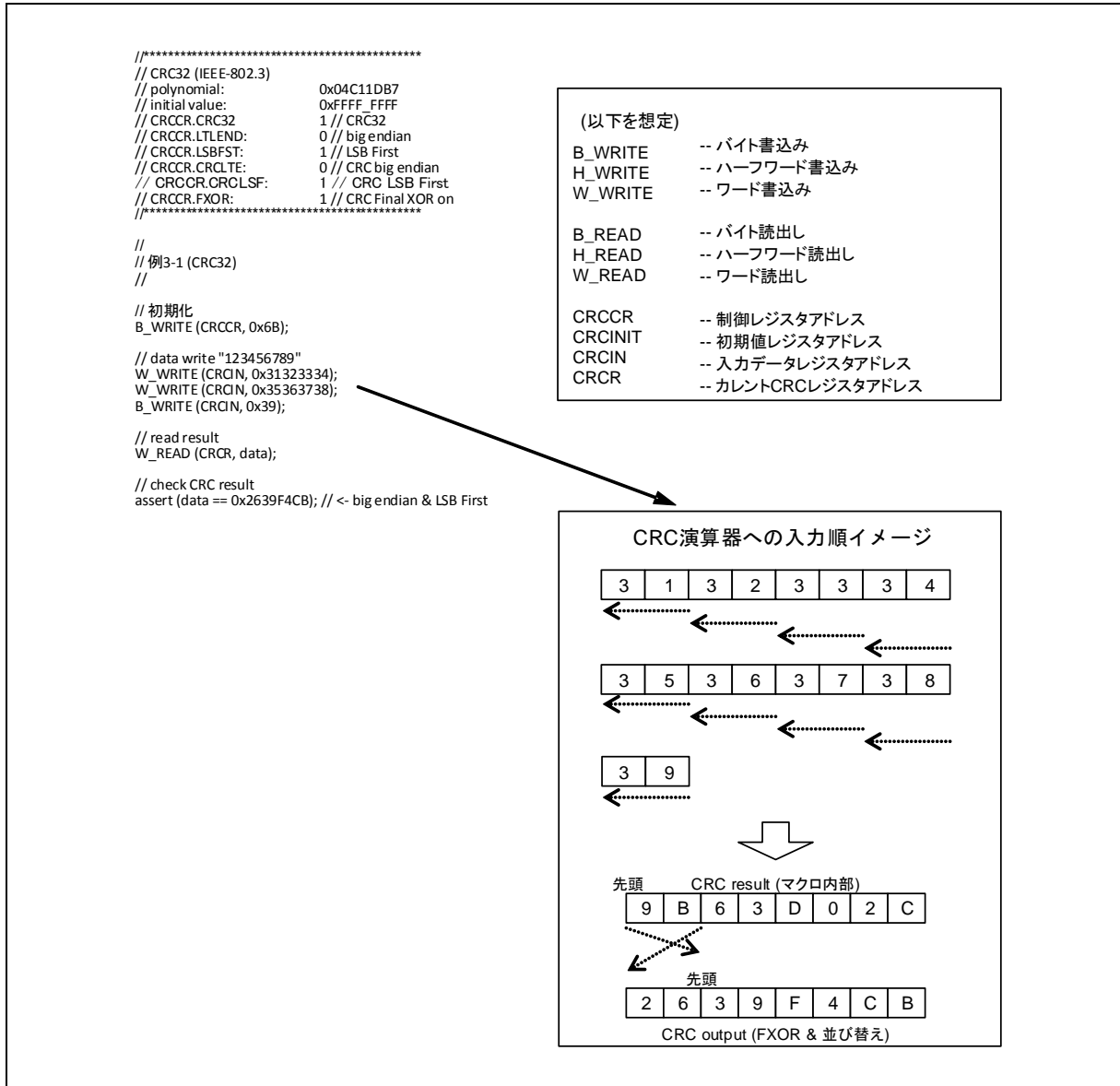


- － バイトオーダー, ビットオーダーを正しく設定し, CRC 演算器へのビット入力順が同じ場合, 書き込み幅は任意に設定できます。

例えば, 基本をワード書き込みとし, 最後に 1, 2, 3 バイトの端数が出た場合に, バイト/ハーフワード書き込みが混在するケースに対応できます。

(3) 使用例 3 CRC32, バイトオーダー : ビッグエンディアン

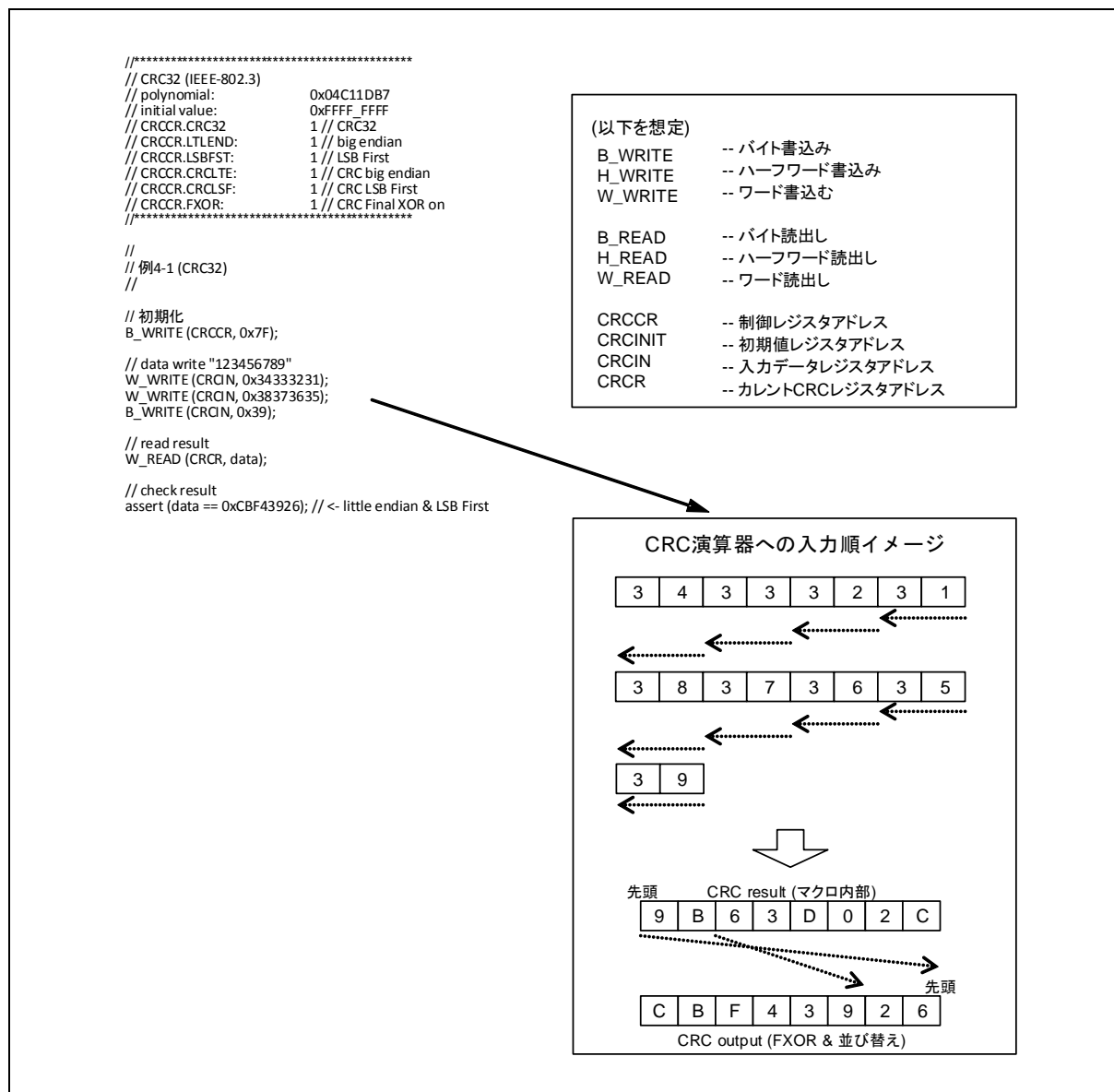
図 3-4 使用例 3 (CRC32, バイトオーダー : ビッグエンディアン)



- CRC32(IEEE-802.3)のときは、ビットオーダーは LSB First です。バイトオーダーはビッグエンディアン、リトルエンディアンのどちらでも対応できます。上図はビッグエンディアンの場合を示しています。

(4) 使用例 4 CRC32, バイトオーダー : リトルエンディアン

図 3-5 使用例 4 (CRC32, バイトオーダー : リトルエンディアン)



- CRC32(IEEE-802.3)のときは、ビットオーダーは LSB First で、バイトオーダーはビッグエンディアン、リトルエンディアンのどちらでも対応可能です。上図はリトルエンディアンの場合を示しています。
- CRC 結果のビット反転が不要な場合は、下記どちらかの処理をすることによって、現在の結果に対するビット反転を解除できます。
 - 初期化を"0x3F"で行って演算を行う
 - データ入力後に、CRCCR:FXOR ビットを"0"(例えば CRCCR="0x3E")にする



4. レジスタ

CRC のレジスタについて説明します。

すべてのレジスタ名(略称)にはプレフィックス「CRCxx_」が付きます。

xx はチャンネル番号(00, 01)です。

表 4-1 にレジスタ一覧を示します。

表 4-1 レジスタ一覧

レジスタ略称	レジスタ名	参照先
CRCCR	CRC 制御レジスタ	4.1
CRCINIT	初期値レジスタ	4.2
CRCIN	Input Data レジスタ	4.3
CRCR	CRC レジスタ	4.4

4.1. CRC 制御レジスタ(CRCCR)

CRC 計算を制御します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	FXOR	CRCLSF	CRCLTE	LSBFST	LTLEND	CRC32	INIT
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6] FXOR: Final XOR 制御ビット

CRC 結果を XOR 値と XOR して出力します。

XOR 値は 0xFFFFFFFF で、FXOR=1 時はビット反転となります。

CRC レジスタの後段で処理を行うため、設定後すぐに CRC 結果読出し値に反映されます。

bit	説明
0	なし
1	あり

[bit5] CRCLSF: CRC 結果ビットオーダ設定ビット

バイト内のビット並び換えを行います。

CRC レジスタの後段で処理を行うため、設定後すぐに CRC 結果読出し値に反映されます。

bit	説明
0	MSB First
1	LSB First

[bit4] CRCLTE: CRC 結果バイトオーダ設定ビット

ワード内のバイトオーダ並び換えを行います。

CRC レジスタの後段で処理を行うため、設定後すぐに CRC 結果読出し値に反映されます。

CRC16 の場合に本ビットを"1"に設定した場合、bit31～16 に出力されます。

bit	説明
0	ビッグエンディアン
1	リトルエンディアン

[bit3] LSBFST: ビットオーダ設定ビット

バイト(8 ビット)の先頭ビットを指定します。

LTLEND の設定と組み合わせて、4 通りの処理順を指定できます。

bit	説明
0	MSB First
1	LSB First



[bit2] LTLEND: バイトオーダー設定ビット

書き込み幅におけるバイト配置順を指定します。

bit	説明
0	ビッグエンディアン
1	リトルエンディアン

[bit1] CRC32: CRC モード選択ビット

bit	説明
0	CRC16
1	CRC32

[bit0] INIT: 初期化ビット

"1"を書き込むと、初期化が行われます。

初期化によって、初期値レジスタの値が CRC レジスタにロードされます。

初期化は、CRC 計算の最初に必ず一度実行してください。

bit	説明	
	書き込み時	読み出し時
0	無効	常に"0"がリードされます。
1	初期化	



4.2. 初期値レジスタ(CRCINIT)

CRC 計算の初期値を保存します。

Bit	31-0
Field	D
R/W 属性	R/W
保護属性	-
初期値	11111111_11111111_11111111_11111111

[bit31:0] D[31:0]: CRC 初期値ビット

bit[31:0]	説明
	CRC 計算の初期値

CRC16 のときは, D[15:0]を使用し, D[31:16]は無視します。



4.3. Input Data レジスタ (CRCIN)

CRC 計算の入力データを設定してください。

Bit	31-0
Field	D
R/W 属性	R/W
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] D[31:0]: CRC 入力ビット

ビット幅は 8, 16, 32 に対応でき、混在もできます。

bit[31:0]	説明
	CRC 計算の入力データ

バイト書込み、ハーフワード書込み時の書込み位置は任意です。取り得るアドレス位置は下記のとおりです。

- バイト書込み: +0, +1, +2, +3
- ハーフワード書込み: +0, +2



4.4. CRC レジスタ(CRCR)

CRC 計算の結果を出力します。計算開始前に必ず初期化してください。

Bit	31-0
Field	D
R/W 属性	R,WX
保護属性	-
初期値	11111111_11111111_11111111_11111111

[bit31:0] D[31:0]: CRC 結果ビット

CRC 計算の結果を読み出せます。初期化ビット(CRCCR:INIT)に"1"を書き込むと、初期値レジスタ(CRCINIT)の値がロードされます。

CRC 計算の入力データを Input Data レジスタ(CRCIN)に書き込むと、1 周辺クロックサイクル経過後に、CRC 計算結果が設定されます。すべての入力データ書き込みが完了したとき、最終的な CRC コードを保持しています。

CRC16 の場合は、バイトオーダがビッグエンディアン(CRCLTE=0)のときは D[15:0]、リトルエンディアン(CRCLTE=1)のときは D[31:16]の位置に結果が出力されます。

bit[31:0]	説明
	CRC 計算結果



CHAPTER 30: CAN

CAN について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ



1. 概要

CAN の章構成について説明します。

CAN は CAN, CAN コントローラ, CAN メッセージ RAM ECC の 3 つの章で構成されます。

CAN は拡張機能について説明しています。

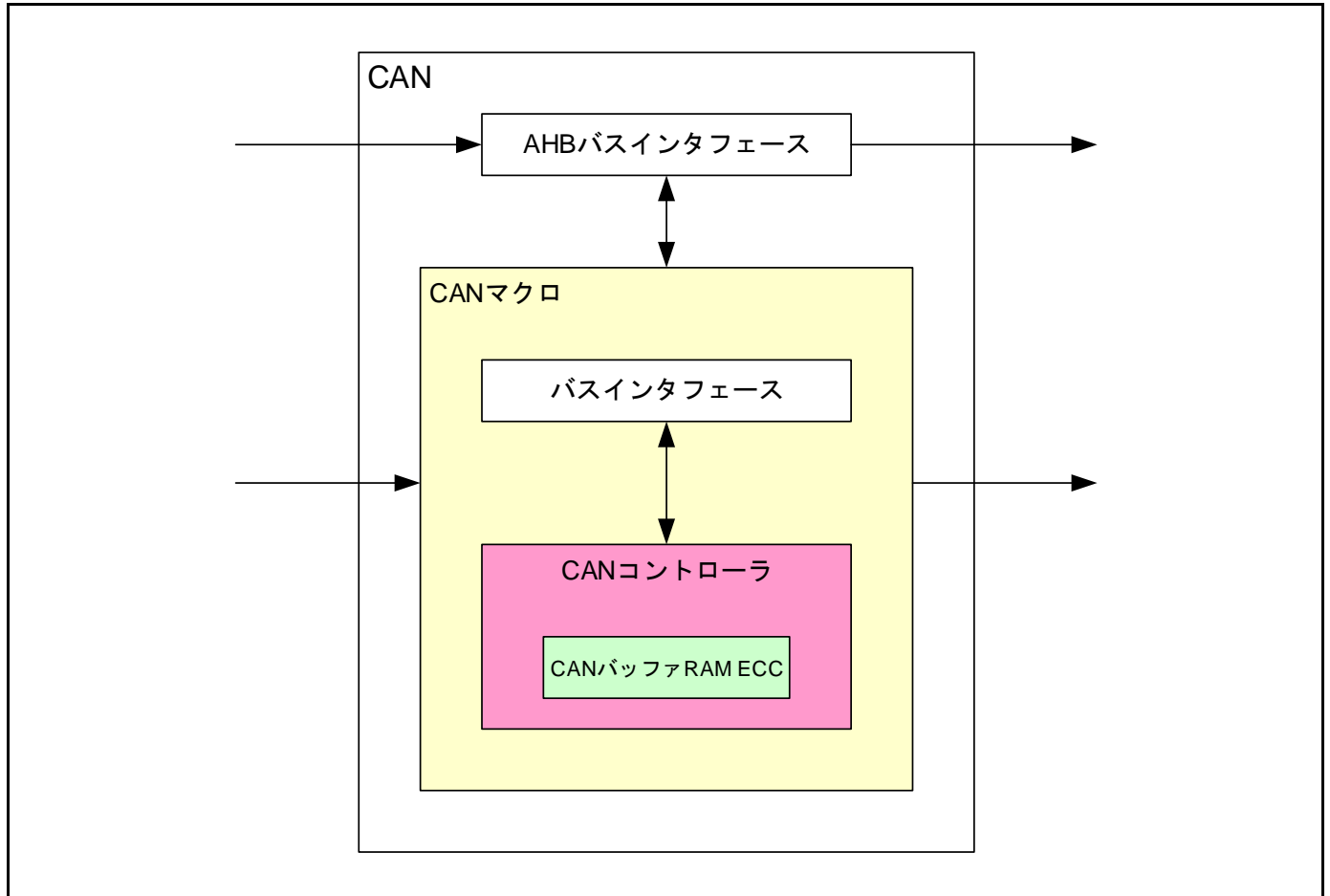
<注意事項>

- CAN コントローラについては、『CAN コントローラ』の章を参照してください。
- CAN メッセージ RAM ECC については、『CAN メッセージ RAM ECC』の章を参照してください。

2. 構成

CAN のブロックダイアグラムを示します。

図 2-1 CAN ブロックダイアグラム



- AHB バスインタフェース
CAN マクロを AHB 接続するために信号変換を行います。
- バスインタフェース
CAN コントローラを AHB 接続するために信号変換を行います。
- CAN コントローラ
CAN の制御を行います。
- CAN バッファ RAM ECC
 - CAN のメッセージオブジェクトを保存します。
 - ECC 機能により、メッセージ RAM のデータエラーの検出や訂正を行います。



3. 動作説明

CAN の拡張機能について説明します。

以下の機能について説明します。

- CAN 割込み要求一括読出し

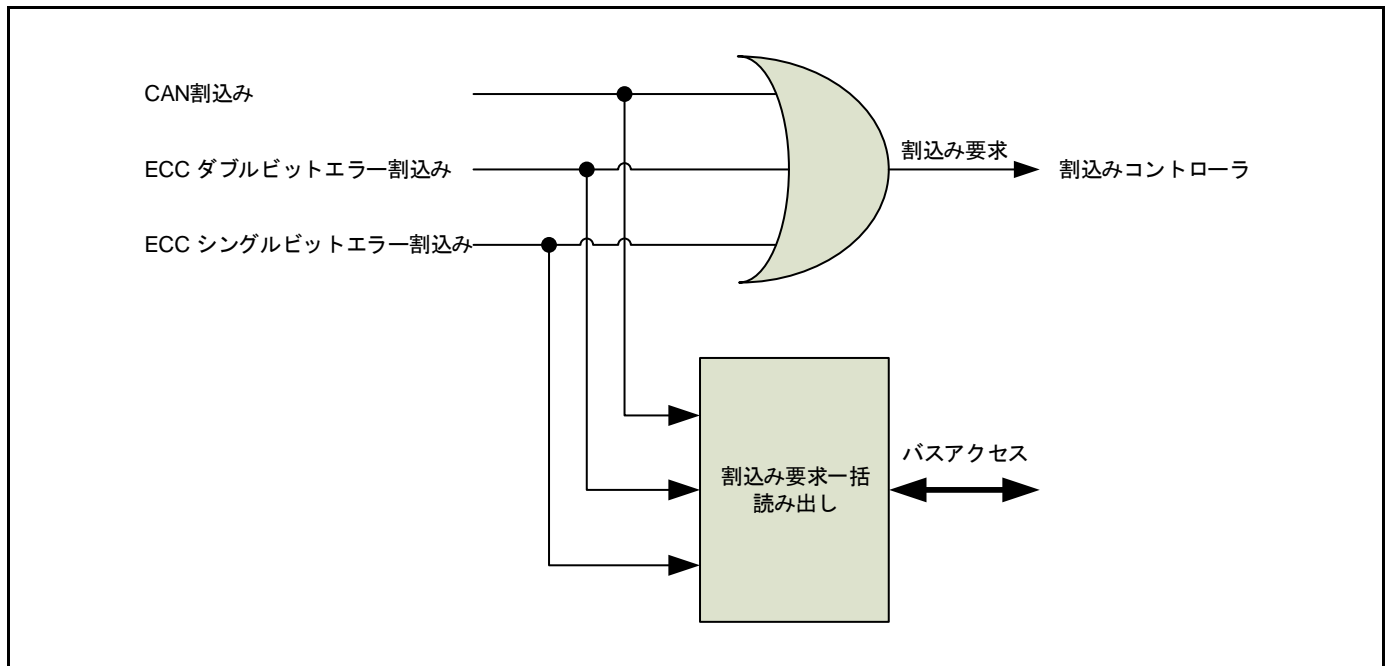
3.1. CAN 割込み要求一括読出し

CAN 割込み要求一括読出し機能について説明します。

CAN の割込みハンドラ内において、CAN 割込み要求一括読出しレジスタを読み出し、"1" に設定されたビット位置により割込み要求の原因がわかります。

図 3-1 に割込み要求の構成を示します。

図 3-1 割込み要求の構成





4. レジスタ

CAN のレジスタについて説明します。

CAN には以下のレジスタがあります。

- 全体コントロールレジスタ
- メッセージインタフェースレジスタ
- メッセージオブジェクトレジスタ
- メッセージハンドラレジスタ
- メッセージ RAM ECC レジスタ
- 拡張機能レジスタ

1024 バイトのアドレス空間が割り当てられ、ワード、ハーフワード、バイトアクセスができます。

<注意事項>

- 全体コントロールレジスタ、メッセージインタフェースレジスタ、メッセージオブジェクトレジスタ、メッセージハンドラレジスタは、『CAN コントローラ』の章を参照してください。
- メッセージ RAM ECC レジスタは、『CAN メッセージ RAM ECC』の章を参照してください。

表 4-1 拡張機能レジスタ一覧

レジスタ略称	レジスタ名	参照先
CANxx_CIRRR	CAN 割込み要求一括読出しレジスタ	4.1

xx=00, 01, 02

4.1. CAN 割込み要求一括読出しレジスタ (CANxx_CIRRR)

CAN 割込みと ECC 割込み(ダブルビットエラー割込み, シングルビットエラー割込み)は 1 つの割込みベクタに割り当てられています。CAN 割込み要求一括読出しレジスタを読み出すことによって、どの割込みが発生しているかを確認できます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved					ECCSEI	ECCDEI	CANINT
R/W 属性	R0,WX					R,WX	R,WX	R,WX
保護属性	-							
初期値	00000					0	0	0

[bit7:3] Reserved: 予約ビット

[bit2] ECCSEI: シングルビットエラー割込みビット

CAN メッセージ RAM ECC のシングルビットエラー割込み要求の状態を示します。

bit	説明
0	割込み要求なし
1	割込み要求あり

[bit1] ECCDEI: ダブルビットエラー割込みビット

CAN メッセージ RAM ECC のダブルビットエラー割込み要求の状態を示します。

bit	説明
0	割込み要求なし
1	割込み要求あり

[bit0] CANINT: CAN 割込みビット

CAN 割込み要求の状態を示します。

bit	説明
0	割込み要求なし
1	割込み要求あり



CHAPTER 31: CAN コントローラ

CAN コントローラについて説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ



1. 概要

CAN コントローラは、シリアル通信用の標準プロトコルである CAN プロトコル ver2.0A/B に準拠しています。CAN は自動車や FA などの工業分野に広く使用されています。

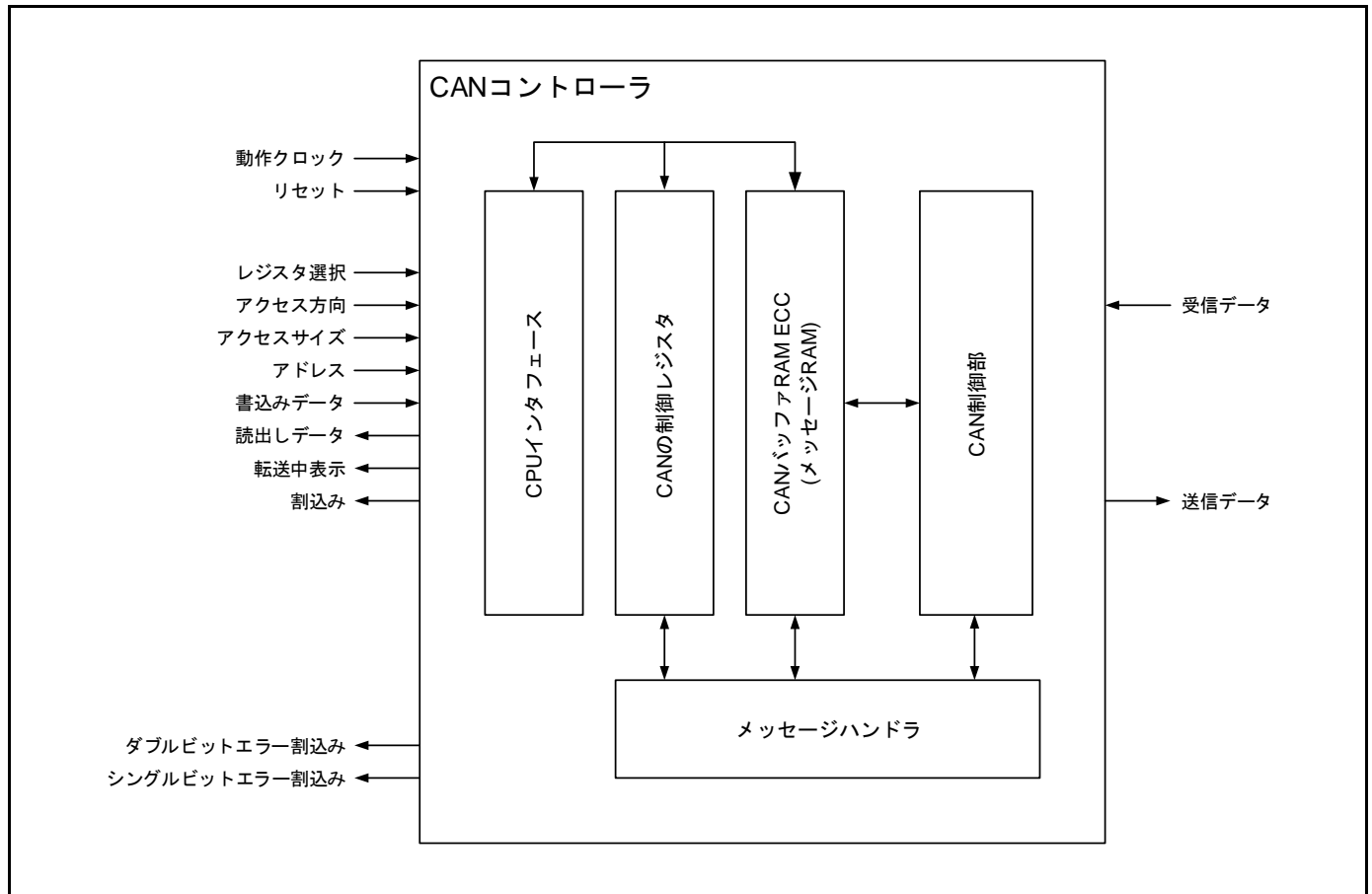
CAN コントローラには以下の特長があります。

- CAN プロトコル ver2.0A/B をサポート
- 1MBit/s までのビットレートをサポート
- メッセージオブジェクトごとの識別マスク
- プログラマブル FIFO モードをサポート(複数の受信メッセージオブジェクトを連結)
- マスク可能な割込み
- 64 メッセージオブジェクトをサポート
- 自己テスト動作用プログラマブルループバックモードをサポート
- メッセージインタフェースレジスタを介したメッセージオブジェクトの読出し/書込み

2. 構成

CAN コントローラのブロックダイアグラムを示します。

図 2-1 CAN コントローラブロックダイアグラム



- CAN 制御部
CAN プロトコルと送受信メッセージ転送のためのシリアル/パラレル変換用のシフトレジスタを制御します。
- CAN バッファ RAM ECC(メッセージ RAM)
メッセージオブジェクトを格納します。
- CAN の制御レジスタ
CAN で使用されるすべてのレジスタです。
- メッセージハンドラ
メッセージ RAM と CAN 制御部を制御します。
- CPU インタフェース
内部バスのインタフェースを制御します。



3. 動作説明

CAN コントローラの動作と機能について説明します。

以下の機能について説明します。

- メッセージオブジェクト
- メッセージ送信動作
- メッセージ受信動作
- FIFO バッファ機能
- 割込み機能
- ビットタイミング
- テストモード
- ソフトウェア初期化
- CAN ウェイクアップ機能

3.1. メッセージオブジェクト

メッセージ RAM のメッセージオブジェクトとインタフェースについて説明します。

(1) メッセージオブジェクト

メッセージ RAM のメッセージオブジェクト設定 (MsgVal, NewDat, IntPnd, TxRqst ビットを除く) は、ハードウェアリセットによって初期化されません。そのため、ハードウェアリセット後、以下のいずれかの方法でメッセージオブジェクトを初期化してください。

1. メッセージインタフェースを用いすべてのメッセージオブジェクトを初期化する。
2. 使用するメッセージオブジェクトのみメッセージインタフェースレジスタ経由で初期化する。使用しないメッセージオブジェクトは MsgVal を "0" のままにし、初期化を行わない。

また、CAN ビットタイミングレジスタの設定は CAN 制御レジスタの Init ビットが "1" のときに行ってください。

メッセージオブジェクトの設定は、メッセージインタフェースレジスタ (IFx コマンドマスクレジスタ, IFx アービトリゼーションレジスタ, IFx メッセージ制御レジスタ, IFx データレジスタ) に設定した後、IFx コマンド要求レジスタへのメッセージ番号を書き込んでください。この書き込みによって、そのメッセージインタフェースレジスタのデータが指定されたメッセージオブジェクトへ転送されます。

CAN 制御レジスタの Init ビットが "0" にクリアされると CAN コントローラは動作を開始します。受容フィルタを通過した受信メッセージは、メッセージ RAM へ格納されます。送信要求が保留されているメッセージは、メッセージ RAM から CAN コントローラのシフトレジスタへ転送された後、CAN バスへの送信が行われます。

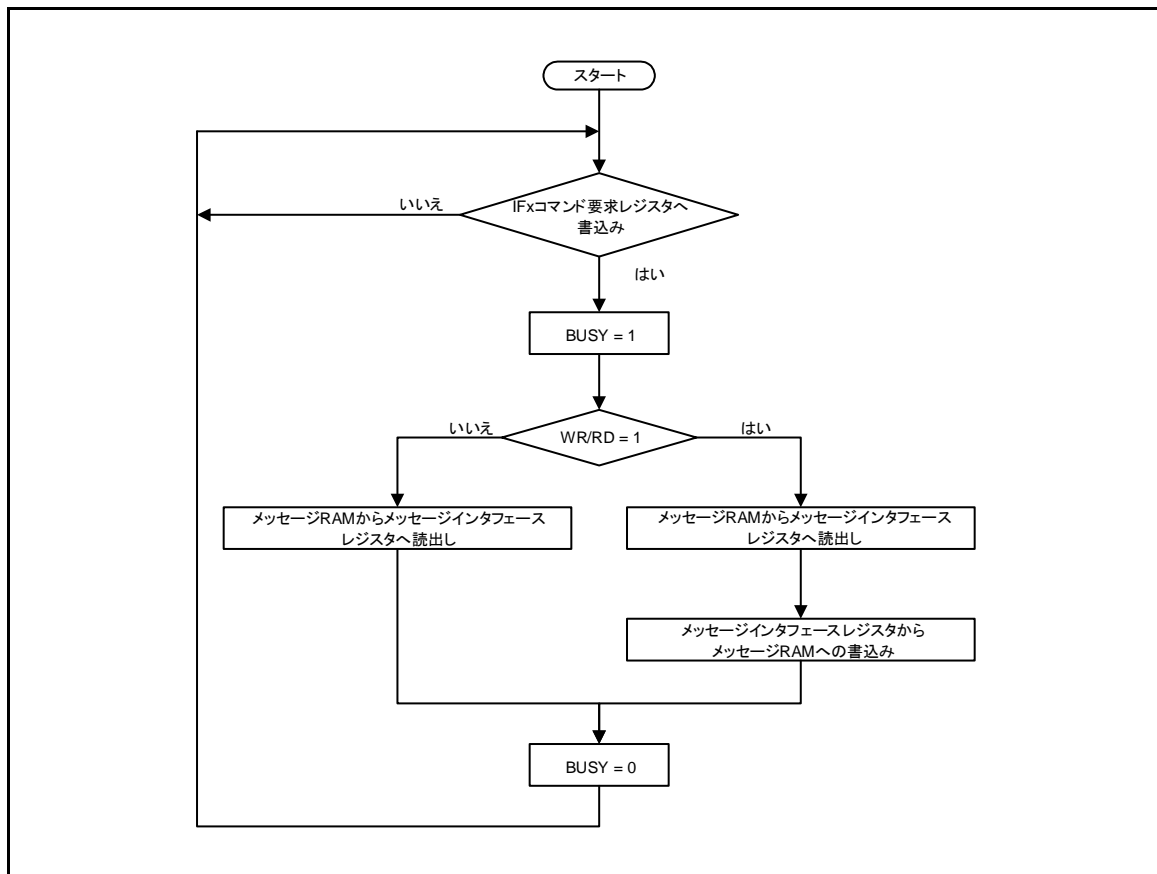
メッセージインタフェースレジスタ経由で、CPU は受信メッセージの読出しと送信メッセージの更新を行います。また CPU への割込みは、CAN 制御レジスタおよび、IFx メッセージ制御レジスタ (メッセージオブジェクト) の設定に従って実行されます。

(2) メッセージ RAM とのデータ送受信

メッセージインタフェースレジスタとメッセージ RAM とのデータ転送を開始することによって、IFx コマンド要求レジスタの BUSY ビットは "1" に設定されます。転送完了後、BUSY ビットは "0" にクリアされます。(図 3-1 参照)

IFx コマンドマスクレジスタは、1 つのメッセージオブジェクトの全データ転送か、データの部分転送を行うかを選択します。メッセージ RAM の構造上、メッセージオブジェクトの単一ビット/バイトの書き込みは不可能です。このため、常に 1 つのメッセージオブジェクトの全データがメッセージ RAM へ書き込まれます。したがって、メッセージインタフェースレジスタからメッセージ RAM へのデータ転送は、リードモディファイライトサイクルを実行しています。

図 3-1 メッセージインタフェースレジスタとメッセージ RAM のデータ転送



3.2. メッセージ送信動作

送信メッセージオブジェクトの設定方法および送信動作について説明します。

(1) メッセージ送信

メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送がない場合、CAN メッセージ有効レジスタの MsgVal ビットと CAN 送信要求レジスタの TxRqst ビットを評価します。送信要求を保留している中で、有効なメッセージオブジェクトの中で最高優先度のメッセージオブジェクトが、送信用のシフトレジスタへ転送されます。そのとき対応するメッセージオブジェクトの NewDat ビットは"0"にリセットされます。

正常に送信が完了したとき、メッセージオブジェクトに新たなデータがない(NewDat="0")場合は、TxRqst ビットは"0"にリセットされます。TxIE が"1"に設定されている場合は、送信成功後に IntPnd ビットが"1"に設定されます。CAN コントローラが CAN バス上で調停に負けた場合、あるいは転送中にエラーが発生した場合は、CAN バスがアイドルになり次第、直ちにメッセージの再送信が行われます。

(2) 送信優先度

メッセージオブジェクトの送信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 64(搭載している最大メッセージオブジェクト番号)が最低優先度です。したがって、2 つ以上の送信要求が保留されている場合、対応するメッセージオブジェクトの小さい番号順に転送が行われます。

<注意事項>

- 下記の処理(1~3)を実施した場合、後述のいずれかのイベントが発生するまでメッセージが送信されない可能性があります。
処理:
 - 1. 優先順位が最下位のメッセージオブジェクトを送信に使用している
 - 2. TxRqst ビットに"1"を設定したが、送信中止のため、TxRqst ビットに"0"を設定した
 - 3. 2 の設定後に、再度 TxRqst ビットに"1"を設定したイベント:
 - CAN バス上に有効なメッセージが流れる
 - ほかのメッセージオブジェクトに対して送信要求が発行される
 - Init ビットによって CAN が初期化される
- システム上、もし送信を中止する状況が発生する場合は、下記手順を行ってください。
 - 1. 下記いずれかを実行する
 - 送信メッセージオブジェクトとして優先順位が最下位のメッセージオブジェクトを使用しない
 - 送信中止後、上記のいずれかのイベントを発生させる
 - 2. 再度 TxRqst に"1"を設定する
 - TxRqst ビットが"1"のときにメッセージオブジェクトの ID[28:0], DLC[3:0], Xtd, Data7~Data0 のメッセージオブジェクトを変更した場合、変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されない可能性があります。このため、TxRqst ビットが"0"のときにそれらを変更してください。



(3) 送信メッセージオブジェクトの設定

表 3-1 に送信オブジェクトの初期化方法を示します。

表 3-1 送信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	1	0	0	0	appl.	0	appl.	0

IFx アービトレーションレジスタ(ID[28:0]と Xtd ビット)は、アプリケーションで与えられ、送信メッセージの ID およびメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID[28:18]が使用され、ID[17:0]は無効です。拡張フレーム(29 ビット ID)を設定した場合は、ID[28: 0]が使用されます。

TxIE ビットに"1"を設定した場合、メッセージオブジェクトの送信成功後に IntPnd ビットが"1"に設定されます。

RmtEn ビットに"1"を設定した場合、一致するリモートフレームを受信後、TxRqst ビットに"1"が設定され、データフレームが自動的に送信されます。

データレジスタ(DLC[3:0], Data0~Data7)の設定は、アプリケーションで与えられます。

UMask="1"のとき、IFx マスクレジスタ(Msk[28:0], UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つリモートフレームを受信し、その後、送信を許可(TxRqst ビットに"1"を設定)するために使用されます。詳細は「3.3 メッセージ受信動作」のリモートフレームを参照してください。

<注意事項>

- MDir ビットは常に"1"を設定してください。

(4) 送信メッセージオブジェクトの更新

CPUは、送信メッセージオブジェクトのデータをメッセージインタフェースレジスタ経由で更新できます。

送信メッセージオブジェクトのデータは、対応する IFx データレジスタの 4 バイト単位(IFx データレジスタ A, IFx データレジスタ B 単位)で書き込まれます。そのため 1 バイトだけ送信メッセージオブジェクトを変更することはできません。

8 バイトのデータを更新するときは、IFx コマンドマスクレジスタへ"0x0087", IFx コマンド要求レジスタへメッセージ番号を書き込んでください。これにより、送信メッセージオブジェクトのデータ更新(8 バイトデータ)と TxRqst ビットへの"1"書き込みが同時に行われます。

NewDat ビットと TxRqst ビットが共に"1"に設定された場合、送信を開始することによって NewDat ビットは"0"にリセットされます。

<注意事項>

- データを更新する場合は、IFx データレジスタ A もしくは IFx データレジスタ B の 4 バイト単位で行ってください。
- TxRqst ビットが"1"のときにメッセージオブジェクトの ID[28:0], DLC[3:0], Xtd, Data7~Data0 のメッセージオブジェクトを変更した場合、変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されない可能性があるため TxRqst ビットが"0"のときにそれらを変更してください。

3.3. メッセージ受信動作

受信メッセージオブジェクトの設定方法および受信動作について説明します。

(1) 受信メッセージの受容フィルタ

メッセージのアービトレーションおよびコントロールフィールド(ID + IDE + RTR + DLC)が CAN コントローラ受信用シフトレジスタへ完全にシフトされると、有効メッセージオブジェクトとの一致比較のためにメッセージ RAM のスキャンが開始されます。

このとき、メッセージ RAM のメッセージオブジェクトから調停フィールドとマスクデータ(MsgVal, UMask, NewDat, EoB を含む)がロードされ、メッセージオブジェクトとシフトレジスタの調停フィールドがマスクデータを含んで比較されます。

この動作は、"メッセージオブジェクトとシフトレジスタの調停フィールドが一致検出されるまで"または"メッセージ RAM の最終ワードに到達するまで"繰り返し実行されます。一致が検出されると、メッセージ RAM のスキャンは停止され、受信フレームのタイプ(データフレームまたはリモートフレーム)により、CAN コントローラは処理を行います。

(2) 受信優先度

メッセージオブジェクトの受信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 64(搭載している最大メッセージオブジェクト番号)が最低優先度です。したがって、受容フィルタで2つ以上一致した場合は、メッセージ番号の小さい番号が受信メッセージオブジェクトとなります。

(3) データフレーム受信

CAN コントローラは、受容フィルタで一致したメッセージオブジェクトのメッセージ RAM へ、シフトレジスタから受信メッセージを転送します。この格納するデータは、データバイトだけではなく、すべてのアービトレーションフィールドおよびデータ長コードも格納します。これは、IFx マスクレジスタがマスク設定されている場合でも実行されます(ID とデータバイトの対応を保持するために格納されます)。

NewDat ビットは、新たなデータが受信されると"1"に設定されます。CPU がメッセージオブジェクトを読み出したときには、NewDat ビットを"0"にリセットしてください。メッセージ受信時に、既に NewDat ビットが"1"の場合は、その前のデータが失われたことを示すため、MsgLst ビットが"1"に設定されます。

RxIE ビットが"1"に設定されている場合、メッセージオブジェクトの受信によって CAN 割込みペンディングレジスタの IntPnd ビットに"1"を設定します。そのとき、そのメッセージオブジェクトの TxRqst ビットは"0"にリセットされます。これは、リモートフレーム送信処理中に、要求データフレームを受信した場合、送信処理を防ぐために行われます。

(4) リモートフレーム

リモートフレーム受信時の動作は、下記の3つの処理があります。一致するメッセージオブジェクトの設定より、リモートフレーム受信時の処理が選択されます。

1. Dir="1"(送信方向), RmtEn="1", UMask="1"または"0"

一致したリモートフレームの受信を行い、このメッセージオブジェクトの TxRqst ビットのみ"1"に設定し、リモートフレームに対するデータフレームの自動返信(送信)を行います(TxRqst ビット以外のメッセージオブジェクトは変更されません)。

2. Dir="1"(送信方向), RmtEn="0", UMask="0"

受信したリモートフレームがメッセージオブジェクトと一致したとしても、受信しないでリモートフレームを無効にします(このメッセージオブジェクトの TxRqst ビットは変更されません)。

3. Dir="1"(送信方向), RmtEn="0", UMask="1"

受信したリモートフレームがメッセージオブジェクトと一致した場合、このメッセージオブジェクトの TxRqst ビットは"0"にリセットされ、リモートフレームは受信データフレームのように処理されます。受信したアービトレーションフィールドとコントロールフィールド(ID + IDE + RTR + DLC)は、メッセージ



RAM のメッセージオブジェクトへ格納され、このメッセージオブジェクトの NewDat ビットが"1"に設定されます。メッセージオブジェクトのデータフィールドは変更されません。

(5) 受信メッセージオブジェクトの設定

表 3-2 に受信メッセージオブジェクトの初期化方法を示します。

表 3-2 受信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	0	0	0	appl.	0	0	0	0

IFx アービトレーションレジスタ(ID[28:0], Xtd ビット)は、アプリケーションによって与えられます。受容フィルタに用いられる受信メッセージ ID とメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID[28: 18]が使用され、ID[17: 0]は無効です。また、標準フレームが受信されると、ID[17: 0]は"0"にリセットされます。拡張フレーム(29 ビット ID)を設定した場合は、ID[28: 0]を使用します。

RxIE ビットが"1"に設定された場合、受信データフレームがメッセージオブジェクトへ格納されると IntPnd ビットが"1"に設定されます。

データ長コード(DLC[3:0])は、アプリケーションによって与えられます。CAN コントローラが、受信データフレームをメッセージオブジェクトへ格納するとき、受信データ長コードと 8 バイトのデータを格納します。データ長コードが 8 未満の場合は、メッセージオブジェクトの残りのデータは不定データが書込まれます。

UMask="1"のとき、IFx マスクレジスタ(Msk[28:0], UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つデータフレームの受信を許可するために使用します。詳細は「3.3 メッセージ受信動作」のデータフレーム受信を参照してください。

<注意事項>

- MDir ビットは常に"1"を設定してください。

(6) 受信メッセージの処理

CPU は、メッセージインタフェースレジスタを介して、受信メッセージをいつでも読み出せます。

受信メッセージ処理の例を示します。IFx コマンドマスクレジスタに"0x007F"、メッセージオブジェクトのメッセージ番号を IFx コマンド要求レジスタに書き込んでください。この手順によって、指定されたメッセージ番号の受信メッセージをメッセージ RAM からメッセージインタフェースレジスタに転送します。このとき、IFx コマンドマスクレジスタの設定により、メッセージオブジェクトの NewDat ビットと IntPnd ビットを"0"にクリアできます。

受信メッセージの処理は、受容フィルタにより一致した場合、メッセージを受信します。メッセージオブジェクトで受容フィルタのマスクを使用している場合は、マスク設定されたデータが受容フィルタから除外され、そのメッセージを受信するか判断します。

NewDat ビットは、メッセージオブジェクトが最後に読み出されてから、新しいメッセージが受信されたかを示します。

MsgLst ビットは、受信したデータがメッセージオブジェクトから読み出されない状態で次の受信データを受信したために前のデータを失ってしまったことを示します。MsgLst ビットは自動的にリセットされません。

リモートフレーム送信処理中に、受容フィルタにより一致するデータフレームが受信された場合には、TxRqst ビットは自動的に"0"にリセットされます。

3.4. FIFO バッファ機能

受信メッセージ処理におけるメッセージオブジェクトの FIFO バッファの構成および動作について説明します。

(1) FIFO バッファの構成

FIFO バッファの受信メッセージオブジェクトの構成は、EoB ビットを除いて、受信メッセージオブジェクトの構成と同じです(「3.3 メッセージ受信動作」の受信メッセージオブジェクトの設定を参照してください)。

FIFO バッファは、2 つ以上の受信メッセージオブジェクトを連結して使用します。この FIFO バッファへ受信メッセージを格納するためには、受信メッセージオブジェクトの ID とマスクを使用する場合はそれらの設定を一致させなければなりません。

FIFO バッファのメッセージオブジェクトのうち、メッセージ番号が小さいメッセージオブジェクトから順に受信データを格納します。FIFO バッファの最後の受信メッセージオブジェクトは、EoB ビットに"1"を設定し、FIFO バッファの終わりを示してください。(FIFO バッファ構成を使用するメッセージオブジェクトの最終メッセージオブジェクト以外は、EoB ビットに"0"を設定してください)。

<注意事項>

- FIFO バッファで使用するメッセージオブジェクトの ID とマスク設定は、必ず同じ設定にしてください。
- FIFO バッファを使用しない場合は、必ず EoB ビットに"1"を設定してください。

(2) FIFO バッファによるメッセージ受信

受信メッセージが、FIFO バッファの ID と一致した場合は、FIFO バッファの最小メッセージ番号の受信メッセージオブジェクトから順に格納されます。

FIFO バッファの受信メッセージオブジェクトへメッセージが格納されると、この受信メッセージオブジェクトの NewDat ビットが"1"に設定されます。EoB ビットが"0"の受信メッセージオブジェクトへ NewDat ビットを設定した場合、最後の受信メッセージオブジェクト(EoB ビット="1")に到達するまで、受信メッセージオブジェクトが保護されます。この間、CAN コントローラによる FIFO バッファ書込みは行われません。

下記両者を満たす場合、次に受信されたメッセージが最終メッセージオブジェクトへ書き込まれるため、メッセージは上書きされます。

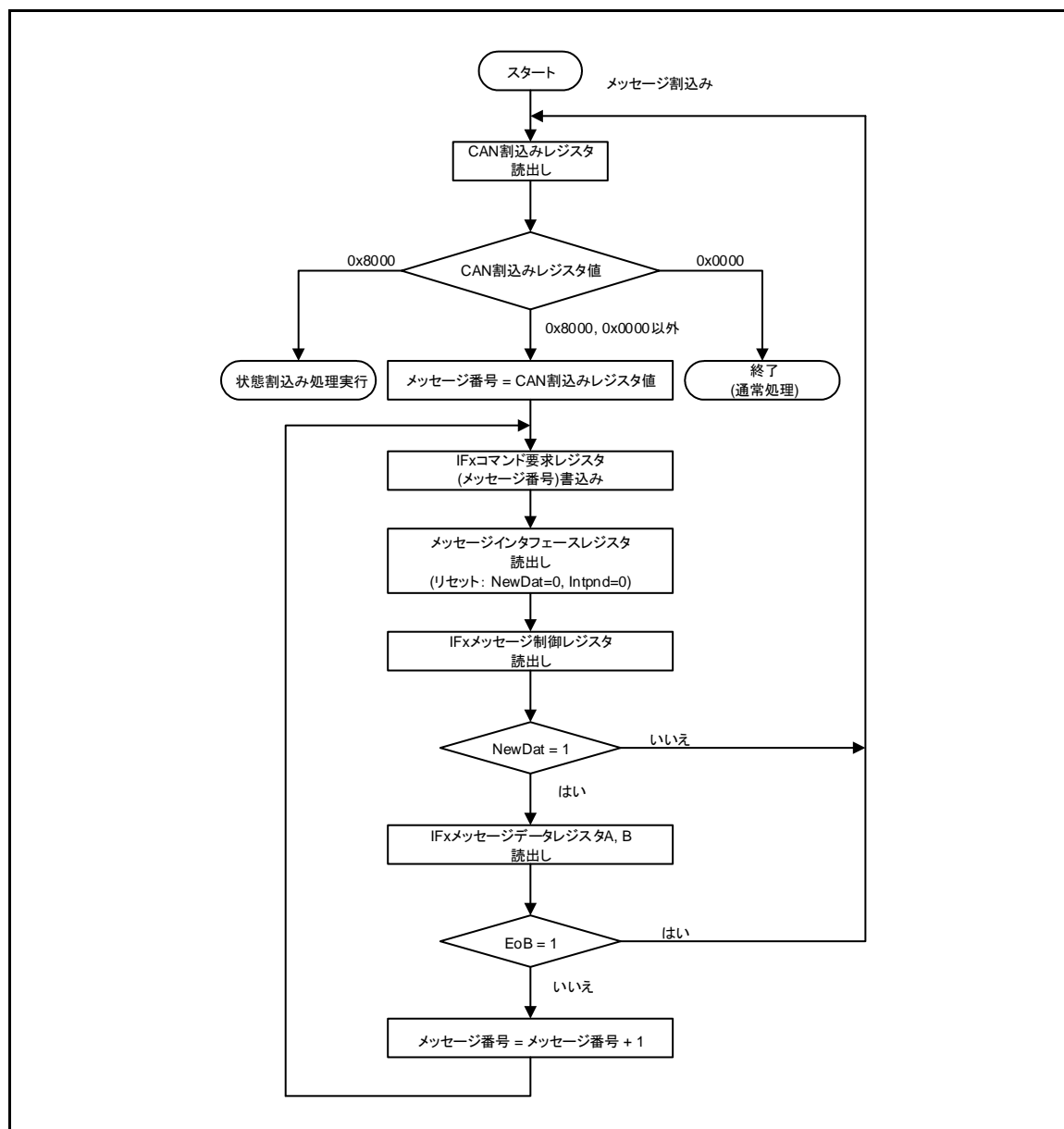
- 最終 FIFO バッファまで有効なデータが格納された
- 受信メッセージオブジェクトの NewDat ビットに"0"書込み(書込み保護の解除)が行われない

(3) FIFO バッファからの読出し

CPU が受信メッセージオブジェクトの内容を読み出すには、IFx コマンド要求レジスタへ受信メッセージ番号を書き込むことによって、メッセージインタフェースレジスタに転送され読み出せます。このとき、IFx コマンドマスクレジスタの WR/RD を "0" (読出し) および, TxRqst/NewDat="1", CIP="1" に設定し, NewDat ビットと IntPnd ビットを "0" にリセットしてください。

FIFO バッファの機能を保証するために, FIFO バッファの受信メッセージオブジェクトは, 必ず最小のメッセージ番号から読み出してください。

図 3-2 に FIFO バッファで連結されるメッセージオブジェクトの CPU の処理方法を示します。

図 3-2 FIFO バッファの CPU 処理

3.5. 割込み機能

ステータス割込み(IntId="0x8000")およびメッセージ割込み(IntId=メッセージ番号)による割込み処理について説明します。

複数の割込みが保留中である場合、CAN 割込みレジスタは、保留中の最高優先度の割込みコードを示します。割込みコードの設定された時間順は無視され、常に優先順位の高い割込みコードが表示されます。CPU がクリアするまで割込みコードは保持されます。

ステータス割込み(IntId ビットの"0x8000")は、最高優先度です。

メッセージ割込みの優先度は、メッセージ番号の小さいメッセージが高く、大きいメッセージが低くなります。

メッセージ割込みは、メッセージオブジェクトの IntPnd ビットのクリアによってクリアされます。ステータス割込みは、CAN ステータスレジスタの読出しでクリアされます。

CAN 割込みペンディングレジスタの IntPnd ビットは、メッセージオブジェクトの割込みの有無を示します。保留中の割込みがないときは、IntPnd ビットは"0"を示します。

CAN 制御レジスタの IE ビットおよび IFx メッセージ制御レジスタの TxIE ビット、RxIE ビットに"1"を設定している状態で IntPnd ビットが"1"になった場合、CPU への割込み信号がアクティブになります。割込み信号は、CAN 割込みペンディングレジスタが"0"にクリアされる(割込み要因リセット)か、CAN 制御レジスタの IE ビットが"0"にリセットされるまでアクティブ状態を保持します。

CAN 割込みレジスタの"0x8000"は、CAN コントローラによって CAN ステータスレジスタが更新されたことを示します。この割込みが最高優先度です。CAN ステータスレジスタの更新による割込みは、CAN 制御レジスタの EIE ビットと SIE ビットにより、CAN 割込みレジスタへの設定許可または禁止を制御できます。また、CPU への割込み信号の制御は、CAN 制御レジスタの IE ビットで行えます。

CAN ステータスレジスタの RxOk ビット、TxOk ビット、LEC ビットは、CPU からの書込みにより更新(リセット)できます。しかし、その書込みにより割込みの更新を行うことはできません。

CAN 割込みレジスタの"0x8000"、"0x0000"以外は、メッセージ割込みが保留中であることを示し、優先度の高い保留中のメッセージ割込みを示します。

CAN 割込みレジスタは、IE がリセットされた場合でも更新されます。

CPU へのメッセージ割込みの原因は、CAN 割込みレジスタまたは CAN 割込みペンディングレジスタで確認できます(「4.4 メッセージハンドラレジスタ」を参照してください)。メッセージ割込みをクリアする場合、同時にメッセージデータを読み出すことは可能です。CAN 割込みレジスタで示されているメッセージ割込みをクリアした場合、次に優先度の高い割込みが CAN 割込みレジスタに設定されます。これにより、次の割込み処理を待つこととなります。割込みがない場合には、CAN 割込みレジスタは"0x0000"を示します。

<注意事項>

- CAN ステータスレジスタの書込みアクセスによる、ステータス割込み(IntId="0x8000")は発生しません。

3.6. ビットタイミング

ビットタイミングについての概要と CAN コントローラにおけるビットタイミングについて説明します。

CAN ネットワークの各 CAN ノードは、それぞれクロック発振器(通常は水晶発振器)を持っています。ビットタイムのタイムパラメータは、CAN ノードごとに個別に構成できます。CAN ノードの発振周期が異なっても、共通のビットレートを作り出せます。

これらの発振器の周波数は、温度や電圧の変化、コンポーネントの悪化により少し異なります。その変動が発振器の許容範囲内である限りは、CAN ノードはビットストリームへ再同期化することによって異なるビットレートを補償できます。

CAN 仕様に準じて、ビットタイムは 4 つの区分に分けられ(図 3-3 参照)、同期化部(Sync_Seg)、伝送時間部(Prop_Seg)、フェイズバッファ部 1(Phase_Seg1)、フェイズバッファ部 2(Phase_Seg2)で構成されます。それぞれの区分は、プログラマブルな時間量(表 3-3 参照)から成ります。ビットタイムの基本単位時間(tq)は、CAN コントローラのシステムクロック fsys とボーレートプリスケアラ(BRP)で定義されます。

$$tq = BRP / f_{sys}$$

CAN のシステムクロック fsys は、Clock 入力の周波数です。同期化部の Sync_Seg は、CAN バスのエッジを期待するビットタイム内のタイミングです。伝送時間部の Prop_Seg は、CAN ネットワーク内の物理的遅延時間を補償します。フェイズバッファ部の Phase_Seg1、Phase_Seg2 は、サンプリングポイントを定義します。再同期化ジャンプ幅(SJW)は、エッジフェーズエラーを補償するために再同期化時のサンプリングポイントの移動幅を定義します。

図 3-3 ビットタイミング

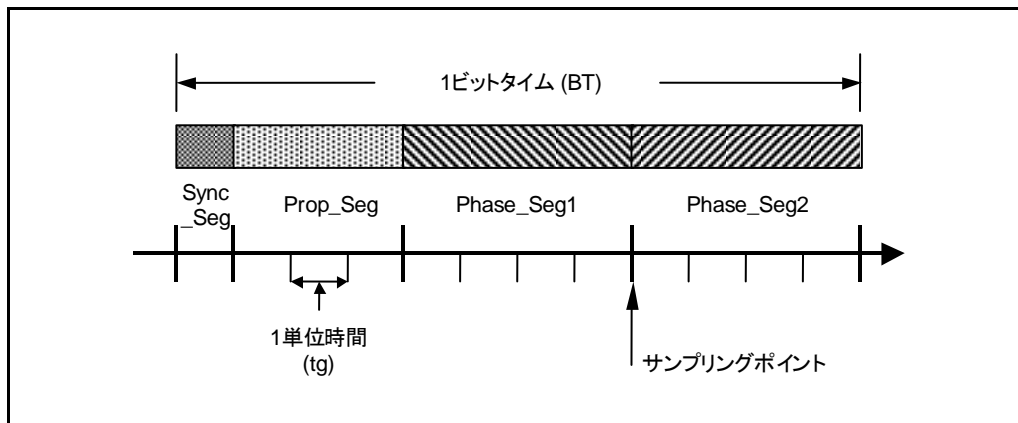


表 3-3 CAN ビットタイムのパラメータ

パラメータ	レンジ	機能
BRP	[1~32]	時間量の長さ tq の定義
Sync_Seg	1 tq	固定長 システムクロックへの同期化
Prop_Seg	[1~8] tq	物理遅延時間の補償
Phase_Seg1	[1~8] tq	サンプリングポイント前のエッジフェーズエラー保証 同期化により一時的に長くされる可能性があります
Phase_Seg2	[1~8] tq	サンプリングポイント後のエッジフェーズエラー保証 同期化により一時的に短くされる可能性があります
SJW	[1~4] tq	再同期化ジャンプ幅 どちらかのフェイズバッファ部より長くなることはありません

次に CAN コントローラにおけるビットタイミングを示します。

図 3-4 CAN コントローラにおけるビットタイミング

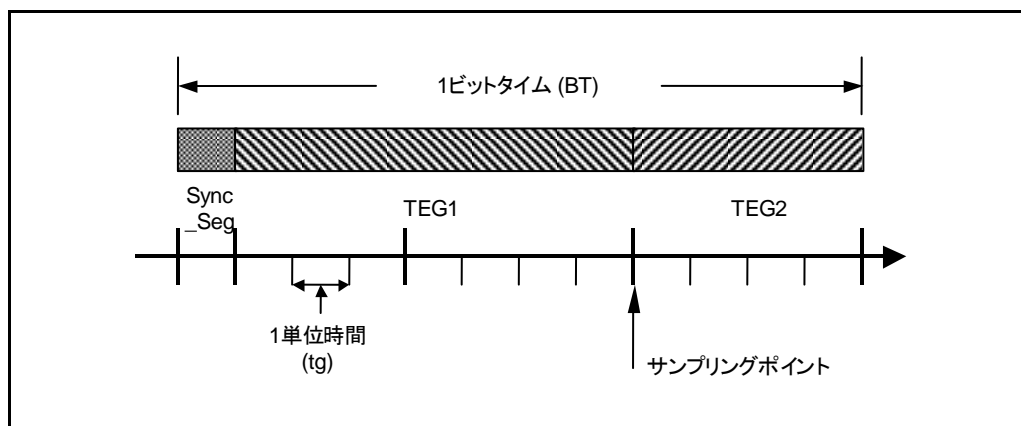


表 3-4 CAN コントローラのパラメータ

パラメータ	レンジ	機能
BRPE, BRP	[0~1023]	時間量の長さ tq の定義 CAN ビットタイミングレジスタおよびプリスケアラ拡張レジスタにより 最大 1024 までプリスケアラを拡張できます。
Sync_Seg	1 tq	システムクロックへの同期化 固定長
TSeg1	[1~15] tq	サンプリングポイント前のタイムセグメントです。 Prop_Seg と Phase_Seg1 の和に相当します。 CAN ビットタイミングレジスタにより制御できます。
TSeg2	[0~7] tq	サンプリングポイント後のタイムセグメントです。 Phase_Seg2 に相当します。 CAN ビットタイミングレジスタにより制御できます。
SJW	[0~3] tq	再同期化ジャンプ幅です。 CAN ビットタイミングレジスタにより制御できます。

各パラメータの関係を以下に示します。

$$\begin{aligned}
 tq &= ([BRPE, BRP] + 1) / f_{sys} \\
 BT &= Sync_Seg + TEG1 + TEG2 \\
 &= (1 + (TSeg1 + 1) + (TSeg2 + 1)) \times tq \\
 &= (3 + TSeg1 + TSeg2) \times tq
 \end{aligned}$$

3.7. テストモード

テストモードの設定方法および動作について説明します。

(1) テストモード設定

CAN 制御レジスタの **Test** ビットに"1"を設定することによってテストモードになります。テストモードに設定した場合、CAN テストレジスタの **Tx1, Tx0, LBack, Silent, Basic** ビットが有効となります。

CAN 制御レジスタの **Test** ビットを"0"にリセットすることにより、CAN テストレジスタの **Rx** ビットを除くすべての機能を無効にします。

(2) サイレントモード

CAN テストレジスタの **Silent** ビットを"1"に設定することにより、CAN コントローラをサイレントモードに設定できます。

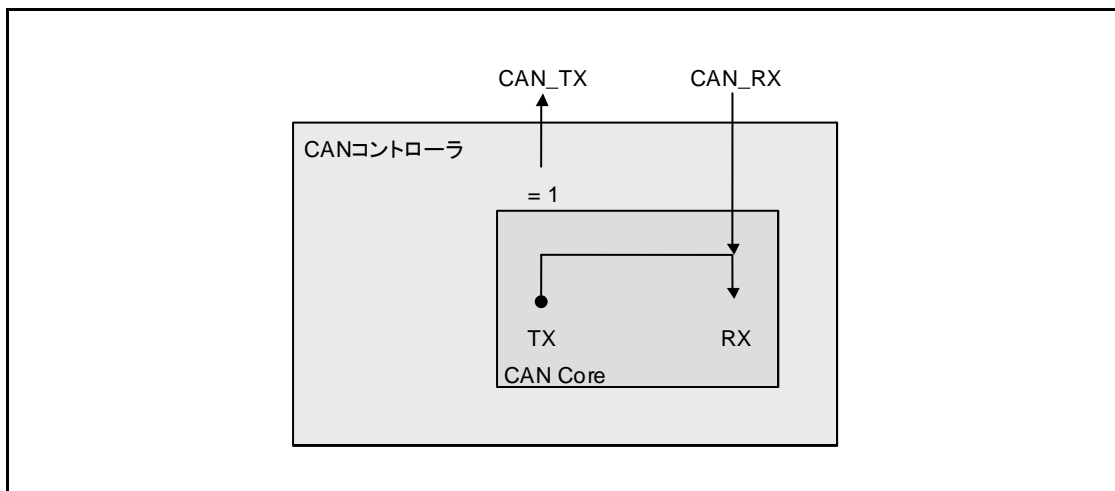
サイレントモードでは、データフレームとリモートフレームを受信可能であるが、CAN バス上にはレセッシブのみ出力し、メッセージおよび **ACK** の送信を行いません。

CAN コントローラがドミナントビット(**ACK** ビット、オーバーロードフラグ、アクティブエラーフラグ)の送信を要求された場合、CAN コントローラ内部の折り返し回路で **RX** 側に送信されます。この動作では、CAN バス上においてレセッシブ状態であっても、CAN コントローラは内部で折り返し送信されたドミナントビットを受信します。

サイレントモードでは、ドミナントビット(**ACK** ビット、エラーフラグ)送信による影響がない状態で、CAN バス上のトラフィック解析ができます。

図 3-5 にサイレントモードでの信号 **CAN_TX** と **CAN_RX** の CAN コントローラへの接続を示します。

図 3-5 サイレントモードでの CAN コントローラ



(3) ループバックモード

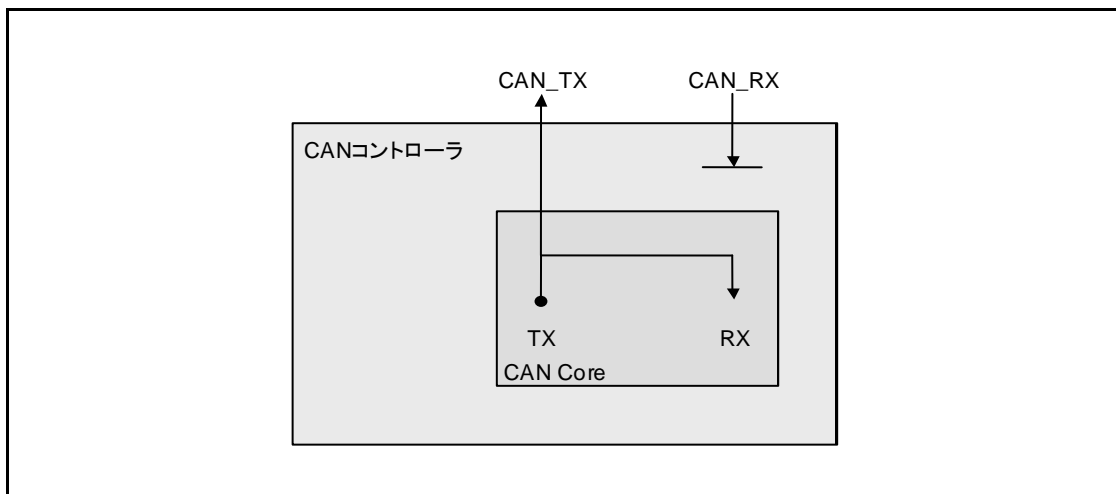
CAN テストレジスタの LBack ビットを"1"に設定することにより、CAN コントローラをループバックモードに設定できます。

ループバックモードは、自己診断機能に使用できます。

ループバックモードでは、CAN コントローラ内部で TX 側と RX 側が接続され、CAN コントローラが送信したメッセージを、RX 側で受信したメッセージとして扱い、受容フィルタを通過したメッセージは、受信バッファに格納します。

図 3-6 にループバックモードでの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 3-6 ループバックモードの CAN コントローラ

**<注意事項>**

- ループバックモードでは CAN コントローラは外部信号から独立するため、データ/リモートフレームのアクノリッジスロットでのドミナントビットはサンプリングされません。そのため通常、CAN コントローラはアクノリッジエラーが発生しますが、本テストモードではアクノリッジエラーは発生しません。

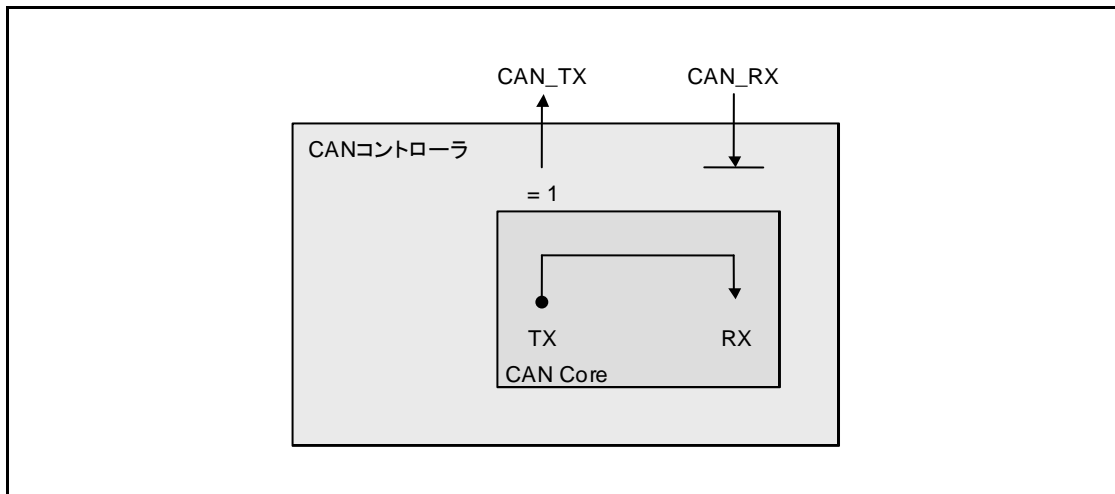
(4) サイレントモードとループバックモードの結合

CAN テストレジスタの LBack ビットと Silent ビットを同時に "1" に設定することにより、ループバックモードとサイレントモードを結合させ動作することが可能です。

このモードは、「ホットセルフテスト」用に使用できます。「ホットセルフテスト」とは、信号 CAN_TX にはレセシブの固定出力、信号 CAN_RX からの入力は無効となるため、CAN システムの動作に影響がない状態でテストできることを意味しています。

図 3-7 にサイレントモードとループバックモードの結合したときの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 3-7 サイレントモードとループバックモードの結合された CAN コントローラ



(5) ベーシックモード

CAN テストレジスタの Basic ビットを "1" に設定することにより、CAN コントローラをベーシックモードに設定できます。

ベーシックモードでは、CAN コントローラは、メッセージ RAM を使用せずに動作します。

IF1 メッセージインタフェースレジスタは、送信制御用として使用されます。

メッセージ送信を行う場合、まず、IF1 メッセージインタフェースレジスタに送信する内容を設定します。次に、IF1 コマンド要求レジスタの BUSY ビットに "1" を設定することによって送信を要求します。BUSY ビットが "1" に設定されている間、IF1 メッセージインタフェースレジスタをロックしている、または送信が保留されていることを示します。

BUSY ビットに "1" が設定されると CAN コントローラは以下の動作を行います。

CAN バスがバスアイドルになった場合すぐに、IF1 メッセージインタフェースレジスタの内容を、送信用シフトレジスタへロードし、送信を開始します。正常に送信完了した場合、BUSY ビットが "0" にリセットされ、ロックされていた IF1 メッセージインタフェースレジスタを開放します。

送信が保留されているときに、IF1 コマンド要求レジスタの BUSY ビットを "0" にリセットすることによっていつでも中断できます。また、送信中に BUSY ビットを "0" にリセットした場合、調停負けやエラーなどの場合に行われる再送信を停止します。

IF2 メッセージインタフェースレジスタは、受信制御用として使用されます。

メッセージの受信は、受容フィルタを使用せずにすべて受信します。IF2 コマンド要求レジスタの BUSY ビットを "1" に設定することにより、受信したメッセージの内容を読み出すことが可能となります。

BUSY ビットに "1" が設定されると CAN コントローラは以下の動作を行います。

- 受信したメッセージ(受信用のシフトレジスタの内容)を受容フィルタなしで、IF2 メッセージインタフェースレジスタへ格納します。

新しいメッセージが IF2 メッセージインタフェースレジスタに格納された場合、CAN コントローラが NewDat ビットを "1" に設定します。また、NewDat ビットが "1" のときに、さらに新しいメッセージを受信した場合は、CAN コントローラが MsgLst ビットを "1" に設定します。

<注意事項>

- ベーシックモードでは、制御/状態ビットに関係するすべてのメッセージオブジェクトと IFx コマンドマスクレジスタの制御モード設定は無効です。
- コマンド要求レジスタのメッセージ番号は無効です。
- IF2 メッセージ制御レジスタの NewDat ビットと MsgLst ビットは通常時と同様に動作し、データ長コード(DLC)は受信された DLC を示し、ほかの制御ビットは "0" として読み出されます。

(6) 信号 CAN_TX のソフトウェア制御

CAN 送信信号である CAN_TX は、4 つの出力機能あります。

- シリアルデータ出力(通常出力)
- CAN コントローラのビットタイミングをモニタするための、CAN サンプリングポイント信号出力
- ドミナント固定出力
- レセッシブ固定出力

ドミナントおよびレセッシブの固定出力は、CAN 受信信号の CAN_RX モニタ機能と共に、CAN バスの物理層のチェックに使用できます。

信号 CAN_TX の出力モードは、CAN テストレジスタの Tx1 と Tx0 ビットにより制御可能です。

<注意事項>

- CAN メッセージ送信もしくはループバックモード、サイレントモード、ベーシックモードを使用する際は、CAN_TX をシリアルデータ出力に設定してください。



3.8. ソフトウェア初期化

ソフトウェアによる初期化について説明します。

ソフトウェアでの初期化要因を以下に示します。

- ハードウェアリセット
- CAN 制御レジスタの Init ビットの設定
- バスオフ状態への遷移

ハードウェアリセットではメッセージオブジェクト(MsgVal, NewDat, IntPnd, TxRqst ビットを除く)は初期化されません。それ以外はすべて初期化されます。そのため、ハードウェアリセット後、以下のいずれかの方法でメッセージオブジェクトを初期化してください。

1. メッセージインタフェースレジスタ経由ですべてのメッセージオブジェクトを初期化する。
2. 使用するメッセージオブジェクトのみメッセージインタフェースレジスタ経由で初期化する。使用しないメッセージオブジェクトは MsgVal を"0"のままにし、初期化を行わない。

また、CAN ビットタイミングレジスタを設定する場合には、CAN 制御レジスタの Init ビットを"0"にクリアする前に設定してください。

CAN 制御レジスタの Init ビットは、以下の条件で"1"に設定されます。

- CPU からの"1"書込み
- ハードウェアリセット
- バスオフ

Init ビットが"1"に設定されると、CAN バスの全メッセージ送受信は停止され、CAN バス出力の信号 CAN_TX はレセプション出力となります。(信号 CAN_TX のソフトウェア制御時は除く)

Init ビットに"1"を設定した場合、エラーカウンタは変化しませんし、レジスタも変更されません。

CAN 制御レジスタの Init ビットと CCE ビットが"1"に設定されると、ボーレート制御用の CAN ビットタイミングレジスタと CAN プリスケアラ拡張レジスタへの設定が可能となります。

Init ビットを"0"にリセットすることによりソフトウェア初期化を終了します。

Init ビットが"0"にリセットされてから、連続した 11 ビットのレセプションの発生(=バスアイドル)を待つことにより、CAN バス上のデータ転送と同期化した後、メッセージの転送が行われます。

通常動作中にメッセージオブジェクトのマスク、ID, Xtd, EoB, RmtEn を変更する場合、MsgVal を無効に設定してから変更してください。



3.9. CAN ウェイクアップ機能

CAN の RX 端子と外部割込み端子を接続することによって、CAN の受信動作でウェイクアップできます。

(1) CAN ウェイクアップ機能で使用する端子について

RX0 端子と INT0 端子、RX1 端子と INT1 端子、または RX2 端子と INT2 端子は共有しているので、ウェイクアップ機能を使用できます。

表 3-5 に CAN ウェイクアップ機能と RX 端子および INT 端子の関係を示します。

表 3-5 CAN ウェイクアップ機能と RX 端子および INT 端子の関係

	RX 端子	割込み機能
CAN0	RX0	INT0
CAN1	RX1	INT1
CAN2	RX2	INT2

(2) CAN ウェイクアップ機能について

CAN の受信データにより PSS から復帰できます。

<注意事項>

- ウェイクアップ機能を使用する場合は、PSS に移行する前に外部割込みの設定を行っておく必要があります。



4. レジスタ

CAN レジスタを掲載し、それぞれのレジスタの詳細機能を説明します。

すべてのレジスタ名(略称)にはプレフィックス「CANxx_」が付きます。xx はチャンネル番号(00, 01, 02)です。

CAN レジスタは、256 バイトのアドレス空間が割り当てられています。メッセージ RAM への CPU のアクセスは、メッセージインタフェースレジスタを介して行います。



4.1. 全体コントロールレジスタ

CAN プロトコル制御および動作モードを制御し、ステータス情報を提供します。

表 4-1 全体コントロールレジスタ一覧

レジスタ略称	レジスタ名	参照先
CTRLR	CAN 制御レジスタ	4.1.1
STATR	CAN ステータスレジスタ	4.1.2
ERRCNT	CAN エラーカウンタ	4.1.3
BTR	CAN ビットタイミングレジスタ	4.1.4
INTR	CAN 割込みレジスタ	4.1.5
TESTR	CAN テストレジスタ	4.1.6
BRPER	CAN ブリスケーラ拡張レジスタ	4.1.7



4.1.1. CAN 制御レジスタ(CTRLR)

CAN コントローラの動作モードを制御します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Test	CCE	DAR	Reserved	EIE	SIE	IE	Init
R/W 属性	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	1

[bit15:8] Reserved: 予約ビット

[bit7] Test: テストモード許可ビット

bit	説明
0	通常動作
1	テストモード

<注意事項>

- Test ビットに"1"を設定する場合, Init ビットが"1"のときに設定してください。

[bit6] CCE: ビットタイミングレジスタ書き込み許可ビット

bit	説明
0	CAN ビットタイミングレジスタおよび CAN プリスケール拡張レジスタへの書き込みを禁止します。
1	CAN ビットタイミングレジスタおよび CAN プリスケール拡張レジスタへの書き込みを許可します。Init ビットが"1"のときに有効です。

[bit5] DAR: 自動再送禁止ビット

bit	説明
0	調停負けまたはエラー検出時のメッセージの自動再送を許可します。
1	自動再送を禁止します。

CAN 仕様(ISO11898, 6.3.3 リカバリ処理 参照)より, CAN コントローラは調停負けあるいは転送中のエラー検出によりフレームの自動再送を行います。自動再送する場合は, DAR ビットに"0"を設定してください。CAN を Time Triggered CAN(TTCAN, ISO11898-1 参照)環境で動作させるためには, DAR ビットに"1"を設定してください。

<注意事項>

- DAR ビットに"1"を設定したモードでは, メッセージオブジェクト(メッセージオブジェクトについては「4.3 メッセージオブジェクト」を参照してください)の TxRqst ビットと NewDat ビットの動作が以下ようになります。

- フレーム送信を開始したとき、メッセージオブジェクトの TxRqst ビットが"0"にリセットされますが、NewDat ビットは設定されたままです。
- フレーム送信が正常終了したとき、NewDat ビットは"0"にリセットされます。

送信が調停負けもしくはエラー検出した場合、NewDat ビットは設定されたままです。

送信を再開するためには、CPU により TxRqst ビットに"1"を設定してください。

- フレーム送出中(TxRqst="1")に CAN 制御レジスタ(CTRLR)の DAR ビットを"0"から"1"に変更した場合、送出中のフレームがもう一度送出されますので DAR ビットを変更する場合、Init ビットが"1"のときに変更してください。
- DAR ビットに"1"を設定して、複数のメッセージオブジェクトによる送信を行った場合、以下の動作になります。
- フレーム送信開始前または送信中にほかのメッセージオブジェクトの TxRqst ビットに"1"が設定された場合(複数のメッセージオブジェクトの TxRqst ビットに"1"が設定された場合)、フレーム送信の開始時、設定されたすべての TxRqst ビットが"0"にリセットされ、その中で優先順位の高いメッセージオブジェクトのデータが送信されます。

フレーム送信が正常終了した場合、送信されたメッセージオブジェクトの NewDat ビットが"0"にリセットされ、そのときメッセージオブジェクトの TxIE ビットが"1"の場合、メッセージオブジェクトの IntPnd ビットは"1"に設定されます。

ほかのメッセージオブジェクトはフレーム送信開始時、TxRqst ビットが"0"にリセットされたためにフレーム送信は行われません。

NewDat ビットまたは IntPnd ビットによってどのメッセージオブジェクトが送信されたかを確認後、送信したいメッセージオブジェクトに対し、再度 TxRqst ビットと NewDat ビットに"1"を設定してください。

[bit4] Reserved: 予約ビット

[bit3] EIE: エラー割込みコード許可ビット

bit	説明
0	CAN ステータスレジスタの BOff または EWarn ビットの変化により、CAN 割込みレジスタへの割込みコードの設定を禁止します。
1	CAN ステータスレジスタの BOff または EWarn ビットの変化により、CAN 割込みレジスタへのステータス割込みコードの設定を許可します。

[bit2] SIE: ステータス割込みコード許可ビット

bit	説明
0	CAN ステータスレジスタの TxOk, RxOk または LEC ビットの変化により、CAN 割込みレジスタへの割込みコードの設定を禁止します。
1	CAN ステータスレジスタの TxOk, RxOk または LEC ビットの変化により、CAN 割込みレジスタへのステータス割込みコードの設定を許可します。CPU からの書き込みによって発生した TxOk, RxOk, LEC ビットの変化は CAN 割込みレジスタには設定されません。

[bit1] IE: 割込み許可ビット

bit	説明
0	割込みの発生を禁止します。
1	割込みの発生を許可します。

[bit0] Init: 初期化ビット

bit	説明
0	CAN コントローラ動作可能
1	初期化

<注意事項>

- バスオフリカバリシーケンス(CAN 仕様 Rev. 2.0 参照)は, Init ビットの設定/解除によって短縮はできません。デバイスがバスオフになった場合, CAN コントローラ自身が Init ビットを"1"に設定し, すべてのバス動作を停止します。バスオフ状態から Init ビットを"0"にクリアした場合, バスアイドルが連続的に 129 回(11 ビットのレセツプを 1 回とする)発生するまでバス動作を停止状態にします。バスオフリカバリシーケンス実行後, エラーカウンタをリセットします。
- バスオフリカバリシーケンス中に Init ビットに"1"を設定し, 再度 Init ビットに"0"を設定した場合, バスオフリカバリシーケンスを最初から実施します(11 ビットのレセツプを 1 回として 129 回再度実施)。
- CAN ビットタイミングレジスタへの書込みは, Init および CCE ビットに"1"を設定してください。
- 送受信途中で Init ビットに"1"を設定した場合, 即送受信を中止します。
- 送信中, Init ビットに"1"を設定する場合, 送信完了後(TxRqst="0")に Init ビットに"1"を設定してください。
もし, 送信中, Init ビットに"1"を設定した場合は下記の手順を実施してください。
 1. Init ビットへ"1"を設定後に送信要求ビット(TxRqst)が"1"に設定されているメッセージオブジェクトに対し, 送信キャンセル(TxRqst="0")を実行してください。
 2. Init ビットへ"0"を設定してください。
 3. 送信する場合は 2 の設定から 2 ビットタイム経過後に, メッセージオブジェクトの送信要求ビット(TxRqst)に"1"を設定してください。
- 低消費電力モードへ遷移する前および供給クロックを変更する前に Init ビットに"1"を書込んで CAN コントローラを初期化状態しなければなりません。
- 次のレジスタにより, CAN インタフェースに供給するクロックの分周比を変更する場合は, Init ビットに"1"を設定し, CAN コントローラを停止した状態で行ってください。
 - CAN ビットタイミングレジスタ(BTR)
 - CAN プリスケアラ拡張レジスタ(BRPER)
 - CAN プリスケアラの CAN PLL クロック制御レジスタ(CANP_CANPCK)

4.1.2. CAN ステータスレジスタ (STATR)

CAN ステータスおよび CAN バス状態を表示します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	BOff	EWarn	EPass	RxOk	TxOk	LEC		
R/W 属性	R,WX	R,WX	R,WX	R,W	R,W	R,W		
保護属性	-							
初期値	0	0	0	0	0	000		

[bit15:8] Reserved: 予約ビット

[bit7] BOff: バスオフビット

bit	説明
0	CAN コントローラはバスオフ状態でないことを示します。
1	CAN コントローラはバスオフ状態であることを示します。

[bit6] EWarn: ワーニングビット

bit	説明
0	送信と受信カウンタが共に 96 未満であることを示します。
1	送信または受信カウンタが 96 以上であることを示します。

[bit5] EPass: エラーパッシブビット

bit	説明
0	送信と受信カウンタが共に 128 未満(エラーアクティブ状態)であることを示します。
1	受信カウンタの RP ビットが"1"または送信カウンタが 128 以上 255 以下(エラーパッシブ状態)であることを示します。

[bit4] RxOk: メッセージ正常受信ビット

bit	説明
0	CAN バス上で正常なメッセージ通信が行われていない またはバスアイドル状態であることを示します。
1	CAN バス上で正常なメッセージ通信が行われたことを示します。



[bit3] TxOk: メッセージ正常送信ビット

bit	説明
0	バスアイドル状態もしくは正常なメッセージ送信が行われていないことを示します。
1	正常なメッセージ送信が行われたことを示します。

＜注意事項＞

- RxOk および TxOk ビットは、CPU によってのみリセットされます。

[bit2:0] LEC[2:0]: ラストエラーコードビット

bit[2:0]	説明	
	状態	機能
0	正常	正常に送信または受信されたことを示します。
1	Stuff エラー	メッセージ内において 6 ビット以上連続してドミナントまたはレセッシブを検出したことを示します。
2	Form エラー	受信されたフレームの固定フォーマット部に誤りを検出したことを示します。
3	Ack エラー	送信メッセージに対し、ほかのノードからアクノリッジされなかったことを示します。
4	Bit1 エラー	調停フィールドを除くメッセージの送信データにおいて、レセッシブを送信したにも関わらずドミナントを検出したことを示します。
5	Bit0 エラー	メッセージの送信データにおいて、ドミナントを送信したにも関わらずレセッシブを検出したことを示します。 バスリカバリ中には、11 ビットのレセッシブを検出するごとに設定されます。このビットを読み出すことによりバスリカバリシーケンスを監視できます。
6	CRC エラー	受信したメッセージの CRC データと計算した CRC の結果が一致しなかったことを示します。
7	未検出	CPU によって LEC ビットに "7" の書き込みを行ってから、LEC 値で "7" を読み出した場合、その期間は送受信しなかったことを示します。(バスアイドル状態)

LEC ビットは CAN バス上で発生した最後のエラーを示すコードを保持します。メッセージがエラーなしで転送(受信/送信)完了したとき、"0"にクリアされます。未検出コード"7"は、コード更新をチェックするために CPU によって設定されます。

＜注意事項＞

- EIE ビットが"1"のときに BOff および EWarn ビットが変化した場合、もしくは SIE ビットが"1"のときに RxOk, TxOk および LEC ビットが変化した場合、ステータス割込みコード(0x8000)は、CAN 割込みレジスタに設定されます。
- RxOk, TxOk ビットは CPU の書き込みによって更新されるため、CAN コントローラによって設定された RxOk, TxOk ビットが消えてしまいます。もし RxOk, TxOk ビットを使用する場合には、RxOk または TxOk ビットが"1"に設定されてから(45×BT)時間以内にクリアしてください。BT は 1 ビットタイムを示します。
- SIE ビットが"1"のとき、LEC ビットの変化による割込みが発生した場合には CAN ステータスレジスタに書き込まないでください。
- EPass ビットの変化あるいは RxOk, TxOk および LEC ビットへの CPU 書き込み動作では割込みは発生しません。
- BOff ビットが"1"になった場合、EPass ビット、EWarn ビットは"1"の状態になっています。また、EPass ビットが"1"になった場合、EWarn ビットは"1"の状態になっています。
- 本レジスタを読み出すことにより、CAN 割込みレジスタのステータス割込み(0x8000)はクリアされます。

4.1.3. CAN エラーカウンタ(ERRCNT)

受信エラーパッシブ表示および受信エラーカウンタ、送信エラーカウンタを示します。

Bit	15	14	13	12	11	10	9	8
Field	RP	REC						
R/W 属性	R,WX	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	TEC							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit15] RP: 受信エラーパッシブ表示

bit	説明
0	受信エラーカウンタはエラーパッシブ状態でないことを示します。
1	受信エラーカウンタは CAN 仕様で定義されているエラーパッシブ状態に到達したことを示します。

[bit14:8] REC[6:0]: 受信エラーカウンタ

受信エラーカウンタ値。受信エラーカウンタ値の範囲は 0~127 です。

受信エラーカウンタが 128 以上になる場合、RP ビットに"1"を設定し、受信エラーカウンタは更新されません。

例)

RP=0, REC[6:0]=127, 受信エラーで+8 される場合、
その結果は、RP=1, REC[6:0]=127
RP=0, REC[6:0]=126, 受信エラーで+8 される場合、
その結果は、RP=1, REC[6:0]=126
RP=0, REC[6:0]=119, 受信エラーで+8 される場合、
その結果は、RP=0, REC[6:0]=127
RP=1, REC[6:0]=126, 正常受信された場合、
その結果は、RP=0, REC[6:0]=125

[bit7:0] TEC[7:0]: 送信エラーカウンタ

送信エラーカウンタ値。送信エラーカウンタ値の範囲は 0~255 です。

送信エラーカウンタが 256 以上になる場合、CAN 制御レジスタの Init ビットに"1"を設定し、送信エラーカウンタは更新されません。

例)

Init=0, TEC[7:0]=255, 送信エラーで+8 される場合、
その結果は、Init=1, TEC[7:0]=255
Init=0, TEC[7:0]=254, 送信エラーで+8 される場合、
その結果は、Init=1, TEC[7:0]=254
Init=0, TEC[7:0]=247, 送信エラーで+8 される場合、
その結果は、Init=0, TEC[7:0]=255



4.1.4. CAN ビットタイミングレジスタ(BTR)

プリスケアラおよびビットタイミングを設定します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	TSeg2			TSeg1			
R/W 属性	R0,W0	R/W			R/W			
保護属性	-							
初期値	0	010			0011			

Bit	7	6	5	4	3	2	1	0
Field	SJW		BRP					
R/W 属性	R/W		R/W					
保護属性	-							
初期値	00		000001					

[bit15] Reserved: 予約ビット

[bit14:12] TSeg2[2:0]: タイムセグメント 2 設定ビット

有効設定値は 0~7 です。TSeg2+1 の値がタイムセグメント 2 になります。

タイムセグメント 2 は, CAN 仕様のフェーズバッファ部 2(Phase_Seg2)に相当します。

[bit11:8] TSeg1[3:0]: タイムセグメント 1 設定ビット

有効設定値は 1~15 です。"0"の設定は禁止です。TSeg1+1 の値がタイムセグメント 1 になります。

タイムセグメント 1 は, CAN 仕様の伝送時間部(Prop_Seg) + フェーズバッファ部 1(Phase_Seg1)に相当します。

[bit7:6] SJW[1:0]: 再同期化ジャンプ幅設定ビット

有効設定値は 0~3 です。SJW+1 の値が再同期ジャンプ幅です。

[bit5:0] BRP[5:0]: ボーレートプリスケアラ設定ビット

有効設定値は 0~63 です。BRP+1 の値がボーレートプリスケアラになります。

システムクロック(fsys)を分周して, CAN コントローラの基本単位時間(tq)を決定します。

<注意事項>

- CAN 制御レジスタの CCE ビットと Init ビットが"1"に設定されているときに, CAN ビットタイミングレジスタおよびCAN プリスケアラ拡張レジスタを設定してください。

4.1.5. CAN 割込みレジスタ (INTR)

メッセージ割込みコードおよびステータス割込みコードを表示します。

Bit	15-0
Field	IntId
R/W 属性	R, WX
保護属性	-
初期値	00000000_00000000

[bit15:0] IntId[15:0]: 割込みコード

bit[15:0]	説明
0x0000	割込みなし
0x0001~0x0040	割込み要因はメッセージオブジェクトの番号を示します。 (メッセージ割込みコード)
0x0041~0x7FFF	未使用
0x8000	CAN ステータスレジスタの変化による割込みを示します。 (ステータス割込みコード)
0x8001~0xFFFF	未使用

複数の割込みコードが保留中である場合、CAN 割込みレジスタは優先度の高い割込みコードを示します。割込みコードが CAN 割込みレジスタに設定されていても優先度の高い割込みコードが発生した場合には、CAN 割込みレジスタは優先度の高い割込みコードに更新されます。

優先度の高い割込みコードは、ステータス割込みコード(0x8000)、メッセージ割込み(0x0001, 0x0002, 0x0003,, 0x0040)の順になります。

IntId ビットが"0x0000"以外で、CAN 制御レジスタの IE ビットが"1"に設定されると、CPU への割込み信号がアクティブになります。IntId の値が"0x0000"になる(割込み要因がリセットされる)もしくは CAN 制御レジスタの IE ビットが"0"にリセットされると、割込み信号はインアクティブになります。

対象となるメッセージオブジェクト(メッセージオブジェクトについては「4.3 メッセージオブジェクト」を参照してください)の IntPnd ビットを"0"にクリアすることによってメッセージ割込みコードはクリアされます。

ステータス割込みコードは CAN ステータスレジスタを読み出すことでクリアされます。

<注意事項>

- CAN 割込みレジスタを読み出す際はハーフワードまたはワードでアクセスしてください。



4.1.6. CAN テストレジスタ (TESTR)

テストモードの設定および信号 CAN_RX のモニタを行います。

動作については、「3.7 テストモード」を参照してください。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Rx	Tx		LBack	Silent	Basic	Reserved	
R/W 属性	R,WX	R/W		R/W	R/W	R/W	R0,W0	
保護属性	-							
初期値	X	00		0	0	0	00	

[bit15:8] Reserved: 予約ビット

[bit7] Rx: 信号 CAN_RX モニタビット

初期値は CAN バス上のレベルが表示されます。

bit	説明
0	CAN バスはドミナントであることを示します。
1	CAN バスはレセッシブであることを示します。

[bit6:5] Tx[1:0]: 信号 CAN_TX コントロールビット

bit[6:5]	説明
00	通常動作
01	サンプリングポイントが信号 CAN_TX に出力されます。
10	信号 CAN_TX にドミナントを出力します。
11	信号 CAN_TX にレセッシブを出力します。

[bit4] LBack: ループバックモード

bit	説明
0	ループバックモードを禁止します。
1	ループバックモードを許可します。

[bit3] Silent: サイレントモード

bit	説明
0	サイレントモードを禁止します。
1	サイレントモードを許可します。



[bit2] Basic: ベーシックモード

bit	説明
0	ベーシックモードを禁止します。
1	ベーシックモードを許可します。 IF1 レジスタは送信メッセージとして, IF2 レジスタは受信メッセージとして使用されます。

[bit1:0] Reserved: 予約ビット

<注意事項>

- CAN 制御レジスタの Test ビットを"1"に設定した後, 本レジスタへ書込んでください。テストモードが有効となるのは, CAN 制御レジスタの Test ビットが"1"のときです。途中で CAN 制御レジスタの Test ビットを"0"に設定した場合, テストモードから通常モードになります。
- Tx[1:0]ビットを"0b00"以外に設定した場合, メッセージは送信できません。



4.1.7. CAN プリスケーラ拡張レジスタ (BRPER)

CAN ビットタイミングで設定したプリスケーラと組み合わせることにより、CAN コントローラで使用するプリスケーラを拡張します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved				BRPE			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0000			

[bit15:4] Reserved: 予約ビット

[bit3:0] BRPE[3:0]: ボーレートプリスケーラ拡張ビット

CAN ビットタイミングレジスタの BRP と BRPE を組み合わせることにより、1023 までボーレートプリスケーラを拡張できます。

{BRPE(MSB:4 ビット), BRP(LSB:6 ビット)} + 1 の値が CAN コントローラのプリスケーラ値になります。

4.2. メッセージインタフェースレジスタ

CPUからメッセージRAMへのアクセスを制御するために2組のメッセージインタフェースレジスタを提供します。

メッセージRAMへのCPUアクセスを制御するために使用される2組のメッセージインタフェースレジスタがあります。この2組のレジスタは、転送された(する)データ(メッセージオブジェクト)をバッファすることで、メッセージRAMへのCPUアクセスとCANコントローラからのアクセスの競合を回避します。メッセージオブジェクト(メッセージオブジェクトについては、「4.3 メッセージオブジェクト」を参照してください)は、メッセージインタフェースレジスタとメッセージRAM間を一度に転送します。

テストベシックモードを除き、2組のメッセージインタフェースレジスタの機能は同一で、独立して動作可能です。例えば、IF1のメッセージインタフェースレジスタをメッセージRAMへの書き込み動作中に、IF2のメッセージインタフェースレジスタをメッセージRAMからの読出しに使用することも可能です。表 4-2 に2組のメッセージインタフェースレジスタを示します。

メッセージインタフェースレジスタは、コマンドレジスタ(コマンド要求、コマンドマスクレジスタ)と、このコマンドレジスタによって制御されるメッセージオブジェクトレジスタ(マスク、アービトレーション、メッセージ制御、データレジスタ)から構成されます。コマンドマスクレジスタは、データ転送の方向とメッセージオブジェクトのどの部分が転送されるのかを示します。コマンド要求レジスタは、メッセージ番号の選択と、コマンドマスクレジスタに設定された動作を行います。

表 4-2 メッセージインタフェースレジスタ一覧

レジスタ略称	レジスタ名	参照先
IF1CREQ	IF1 コマンド要求レジスタ	4.2.1
IF1CMSK	IF1 コマンドマスクレジスタ	4.2.2
IF1MSK1	IF1 マスクレジスタ 1	4.2.3
IF1MSK2	IF1 マスクレジスタ 2	4.2.3
IF1ARB1	IF1 アービトレーションレジスタ 1	4.2.4
IF1ARB2	IF1 アービトレーションレジスタ 2	4.2.4
IF1MCTR	IF1 メッセージ制御レジスタ	4.2.5
IF1DTA1	IF1 データ A レジスタ 1	4.2.6
IF1DTA2	IF1 データ A レジスタ 2	4.2.6
IF1DTB1	IF1 データ B レジスタ 1	4.2.6
IF1DTB2	IF1 データ B レジスタ 2	4.2.6
IF2CREQ	IF2 コマンド要求レジスタ	4.2.1
IF2CMSK	IF2 コマンドマスクレジスタ	4.2.2
IF2MSK1	IF2 マスクレジスタ 1	4.2.3
IF2MSK2	IF2 マスクレジスタ 2	4.2.3
IF2ARB1	IF2 アービトレーションレジスタ 1	4.2.4
IF2ARB2	IF2 アービトレーションレジスタ 2	4.2.4
IF2MCTR	IF2 メッセージ制御レジスタ	4.2.5
IF2DTA1	IF2 データ A レジスタ 1	4.2.6
IF2DTA2	IF2 データ A レジスタ 2	4.2.6
IF2DTB1	IF2 データ B レジスタ 1	4.2.6
IF2DTB2	IF2 データ B レジスタ 2	4.2.6



4.2.1. IFx コマンド要求レジスタ(IFxCREQ)

メッセージ RAM のメッセージ番号の選択とメッセージ RAM とメッセージオブジェクトレジスタ間の転送を行います。また、テストのベーシックモードでは、IF1 を送信制御用に IF2 を受信制御用として使用します。

Bit	15	14	13	12	11	10	9	8
Field	BUSY	Reserved						
R/W 属性	R/W	R0,W0						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	Message Number							
R/W 属性	R/W							
保護属性	-							
初期値	00000001							

IFx コマンド要求レジスタへメッセージ番号を書き込むとすぐにメッセージ RAM とメッセージオブジェクトレジスタ(マスク、アービトレーション、メッセージ制御、データレジスタ)とのメッセージ転送が開始されます。この書き込み動作で、BUSY ビットが"1"に設定され、BUSY ビットが"1"の間転送処理中であることを示します。その転送が終了したとき、BUSY ビットが"0"にリセットされます。

BUSY ビットが"1"のときに、CPU からメッセージインタフェースレジスタへアクセスが発生した場合、BUSY ビットが"0"になるまで(コマンド要求レジスタ書き込み後、Clock で 3~6 サイクル)、CPU はウェイトします。

テストのベーシックモードでは、BUSY ビットの使用方法が異なります。IF1 コマンド要求レジスタは、送信メッセージとして使用され、BUSY ビットに"1"を設定することによりメッセージ送信開始を指示します。メッセージ転送が正常終了したとき、BUSY ビットは"0"にリセットされます。また、BUSY ビットを"0"にリセットすることにより、いつでもメッセージ転送を中断させることが可能です。

IF2 コマンド要求レジスタは、受信メッセージとして使用され、BUSY ビットを"1"に設定することにより、受信したメッセージを IF2 メッセージインタフェースレジスタに格納します。

[bit15] BUSY: ビジーフラグビット

- テストベーシックモード以外

bit	説明
0	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理を行っていないことを示します。
1	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理中であることを示します。



テストベーシックモード

－ IF1 コマンド要求レジスタ

bit	説明
0	メッセージ送信を禁止します。
1	メッセージ送信を許可します。

－ IF2 コマンド要求レジスタ

bit	説明
0	メッセージ受信を禁止します。
1	メッセージ受信を許可します。

[bit14:8] Reserved: 予約ビット

[bit7:0] Message Number[7:0]: メッセージ番号(64 メッセージオブジェクト)

bit[7:0]	説明
0x00, 0x80, 0xC0	設定禁止です。 設定した場合, "0x40"として解釈され, "0x40"が読み出されます。
0x01～0x40	処理を行うメッセージ番号を設定します。
0x41～0x7F, 0x81～0xBF, 0xC1～0xFF	設定禁止です。設定した場合, "0x01～0x3F"として解釈され, 解釈された値が読み出されます。

<注意事項>

- － BUSY ビットは, 読出し/書込みができます。テストのベーシックモード時以外は, このビットに何を書いても動作に影響しません(ベーシックモードについては「3.7 テストモード」を参照してください)。



4.2.2. IFx コマンドマスクレジスタ(IFxCMSK)

メッセージインタフェースレジスタとメッセージ RAM 間の転送方向を制御し、どのデータを更新するかを設定します。また、テストのベーシックモードの場合、本レジスタは無効です。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	WR/RD	Mask	Arb	Control	CIP	TxRqst/ NewDat	Data A	Data B
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:8] Reserved: 予約ビット

[bit7] WR/RD: 書き込み/読出し制御ビット

bit	説明
0	メッセージ RAM からデータを読み出すことを示します。メッセージ RAM からの読出しは IFx コマンド要求レジスタへの書き込みによって実行されます。メッセージ RAM から読み出すデータは、Mask, Arb, Control, CIP, TxRqst/NewDat, Data A, Data B ビットの設定に依存します。
1	メッセージ RAM へデータを書き込むことを示します。メッセージ RAM への書き込みは IFx コマンド要求レジスタへの書き込みによって実行されます。メッセージ RAM への書き込みデータは、Mask, Arb, Control, CIP, TxRqst/NewDat, Data A, Data B ビットの設定に依存します。

<注意事項>

- リセット後、メッセージ RAM のデータは不定です。メッセージ RAM のデータが不定状態でメッセージ RAM のデータを読み出すことは禁止です。

IFx コマンドマスクレジスタの[bit6:0]は、転送方向(WR/RD ビット)の設定により違った意味になります。

転送方向が書き込みの場合(WR/RD="1")

[bit6] Mask: マスクデータ更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} のマスクデータ(ID マスク + MDir + MXtd)を更新しないことを示します。
1	メッセージオブジェクト ^{*1} のマスクデータ(ID マスク + MDir + MXtd)を更新することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit5] Arb: アービトレーションデータ更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} のアービトレーションデータ(ID + Dir + Xtd + MsgVal)を更新しないことを示します。
1	メッセージオブジェクト ^{*1} のアービトレーションデータ(ID + Dir + Xtd + MsgVal)を更新することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit4] Control: 制御データ更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} の制御データ(IFx メッセージ制御レジスタ)を更新しないことを示します。
1	メッセージオブジェクト ^{*1} の制御データ(IFx メッセージ制御レジスタ)を更新することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit3] CIP: 割込みクリアビット

"0"または"1"を設定しても CAN コントローラへの動作に影響を与えません。

[bit2] TxRqst/NewDat: メッセージ送信要求ビット

bit	説明
0	メッセージオブジェクト ^{*1} およびCAN 送信要求レジスタの TxRqst ビットを変更しないことを示します。
1	メッセージオブジェクト ^{*1} およびCAN 送信要求レジスタの TxRqst ビットに"1"を設定(送信要求)することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit1] Data A: データ 0~3 更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} のデータ 0~3 を更新しないことを示します。
1	メッセージオブジェクト ^{*1} のデータ 0~3 を更新することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit0] Data B: データ 4～7 更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} のデータ 4～7 を更新しないことを示します。
1	メッセージオブジェクト ^{*1} のデータ 4～7 を更新することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

<注意事項>

- IFx コマンドマスクレジスタの TxRqst/NewDat ビットが"1"に設定されると、IFx メッセージ制御レジスタの TxRqst ビットの設定は無効です。
- テストのベーシックモードの場合は本レジスタは無効です。

転送方向が読出しの場合(WR/RD="0")

[bit6] Mask: マスクデータ更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} から IFx マスクレジスタ 1, 2 ヘッダ(ID マスク + MDir + MXtd)を転送しないことを示します。
1	メッセージオブジェクト ^{*1} から IFx マスクレジスタ 1, 2 ヘッダ(ID マスク + MDir + MXtd)を転送することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit5] Arb: アービトレーションデータ更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} から IFx アービトレーション 1, 2 ヘッダ(ID + Dir + Xtd + MsgVal)を転送しないことを示します。
1	メッセージオブジェクト ^{*1} から IFx アービトレーション 1, 2 ヘッダ(ID + Dir + Xtd + MsgVal)を転送することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit4] Control: 制御データ更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} から IFx メッセージ制御レジスタヘッダを転送しないことを示します。
1	メッセージオブジェクト ^{*1} から IFx メッセージ制御レジスタヘッダを転送することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit3] CIP: 割込みクリアビット

bit	説明
0	メッセージオブジェクト ^{*1} および CAN 割込みペンディングレジスタの IntPnd ビットを保持することを示します。
1	メッセージオブジェクト ^{*1} および CAN 割込みペンディングレジスタの IntPnd ビットを"0"にクリアすることを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit2] TxRqst/NewDat: データ更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} および CAN データ更新レジスタの NewDat ビットを保持することを示します。
1	メッセージオブジェクト ^{*1} および CAN データ更新レジスタの NewDat ビットを"0"にクリアすることを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit1] Data A: データ 0～3 更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} および CAN データレジスタ A1, A2 のデータを保持することを示します。
1	メッセージオブジェクト ^{*1} および CAN データレジスタ A1, A2 のデータを更新することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

[bit0] Data B: データ 4～7 更新ビット

bit	説明
0	メッセージオブジェクト ^{*1} および CAN データレジスタ B1, B2 のデータを保持することを示します。
1	メッセージオブジェクト ^{*1} および CAN データレジスタ B1, B2 のデータを更新することを示します。

*1: 「4.3 メッセージオブジェクト」を参照してください。

<注意事項>

- メッセージオブジェクトへの読出しアクセスにより, IntPnd および NewDat ビットは"0"にリセットできます。ただし, IFx メッセージ制御レジスタの IntPnd および NewDat ビットには, 読出しアクセスによりリセットされる前の IntPnd, NewDat ビットが格納されます。
- テストのベーシックモードでは無効です。



4.2.3. IFx マスクレジスタ 1/2(IFxMSK1, IFxMSK2)

メッセージ RAM のメッセージオブジェクトマスクデータを書込み/読出しするために用いられます。また、テストのベーシックモードでは、設定されているマスクデータは無効です。

(1) IFx マスクレジスタ 2

Bit	15	14	13	12	11	10	9	8
Field	MXtd	MDir	Reserved	Msk[28:24]				
R/W 属性	R/W	R/W	R1,W1	R/W				
保護属性	-							
初期値	1	1	1	11111				

Bit	7	6	5	4	3	2	1	0
Field	Msk[23:16]							
R/W 属性	R/W							
保護属性	-							
初期値	11111111							

(2) IFx マスクレジスタ 1

Bit	15-0
Field	Msk[15:0]
R/W 属性	R/W
保護属性	-
初期値	11111111_11111111

各ビット(フィールド)説明については「4.3 メッセージオブジェクト」を参照してください。

4.2.4. IFx アービトレーションレジスタ 1/2 (IFxARB1, IFxARB2)

メッセージRAMのメッセージオブジェクトアービトレーションデータを書込み/読出しするために用いられます。また、テストのベーシックモードの場合は無効です。

(1) IFx アービトレーションレジスタ 2

Bit	15	14	13	12	11	10	9	8
Field	MsgVal	Xtd	Dir	ID[28:24]				
R/W 属性	R/W	R/W	R/W	R/W				
保護属性	-							
初期値	0	0	0	00000				

Bit	7	6	5	4	3	2	1	0
Field	ID[23:16]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

(2) IFx アービトレーションレジスタ 1

Bit	15-0
Field	ID[15:0]
R/W 属性	R/W
保護属性	-
初期値	00000000_00000000

各ビット(フィールド)説明については「4.3 メッセージオブジェクト」を参照してください。

<注意事項>

- 送信途中でメッセージオブジェクトの MsgVal ビットを"0"にクリアした場合、送信が完了した時点で CAN ステータスレジスタの TxOk ビットは"1"になります。ただし、メッセージオブジェクトおよび CAN 送信要求レジスタの TxRqst ビットは"0"にクリアされません。このため、メッセージインタフェースレジスタによって TxRqst ビットを"0"にクリアしてください。



4.2.5. IFx メッセージ制御レジスタ (IFxMCTR)

メッセージ RAM のメッセージオブジェクト制御データを書込み/読出しするために用いられます。また、テストのベーシックモードでは、IF1 メッセージ制御レジスタは無効です。IF2 メッセージ制御レジスタの NewDat ビットと MsgLst ビットは通常の動作を行い、データ長コード(DLC)は受信したメッセージの DLC を表示します。その他の制御ビットは無効("0")として動作します。

Bit	15	14	13	12	11	10	9	8
Field	NewDat	MsgLst	IntPnd	UMask	TxIE	RxIE	RmtEn	TxRqst
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	EoB	Reserved			DLC			
R/W 属性	R/W	R0,W0			R/W			
保護属性	-							
初期値	0	000			0000			

各ビット(フィールド)説明については「4.3 メッセージオブジェクト」を参照してください。

<注意事項>

- TxRqst, NewDat および IntPnd ビットは、IFx コマンドマスクレジスタの WR/RD ビットの設定によって以下のような動作になります。
転送方向が書込みの場合(IFx コマンドマスクレジスタ : WR/RD="1")
 - IFx コマンドマスクレジスタの TxRqst/NewDat ビットが"0"に設定されている場合のみ、本レジスタの TxRqst ビットが有効です。
転送方向が読出しの場合(IFx コマンドマスクレジスタ : WR/RD="0")
 - IFx コマンドマスクレジスタの CIP ビットを"1", IFx コマンド要求レジスタへの書込みによりメッセージオブジェクトおよび CAN 割込みペンディングレジスタの IntPnd ビットをリセットした場合、本レジスタにはリセットされる前の IntPnd ビットが格納されます。
 - IFx コマンドマスクレジスタの TxRqst/NewDat ビットを"1", IFx コマンド要求レジスタへの書込みによりメッセージオブジェクトおよび CAN データ更新レジスタの NewDat ビットをリセットした場合、本レジスタにはリセットする前の NewDat ビットが格納されます。

4.2.6. IFx データ A/B レジスタ 1/2(IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)

メッセージ RAM のメッセージオブジェクト送受信データを書込み/読出しするために用いられます。データフレームの送受信のみ使用され、リモートフレームの送受信には使用されません。

Bit	15-0
Field	Data
R/W 属性	R/W
保護属性	-
初期値	00000000_00000000

[bit15:0] Data[15:0]: メッセージオブジェクト送受信データ

Data : Data0～Data7

(1) エンディアンによるデータとアドレスの関係

		addr+3	addr+2	addr+1	addr+0
IFx データレジスタ	IFx データ A レジスタ 1(リトルエンディアン)			Data1	Data0
	IFx データ A レジスタ 2(リトルエンディアン)	Data3	Data2		
	IFx データ B レジスタ 1(リトルエンディアン)			Data5	Data4
	IFx データ B レジスタ 2(リトルエンディアン)	Data7	Data6		
IFx データミラー	IFx データ A レジスタ 2(ビッグエンディアン)			Data2	Data3
	IFx データ A レジスタ 1(ビッグエンディアン)	Data0	Data1		
	IFx データ B レジスタ 2(ビッグエンディアン)			Data6	Data7
	IFx データ B レジスタ 1(ビッグエンディアン)	Data4	Data5		

(2) 送信メッセージデータの設定

設定したデータは、MSB(bit7, bit15)より開始して Data0, Data1, ..., Data7 の順で送信されます。

(3) 受信メッセージデータの格納

受信メッセージデータは、MSB(bit7, bit15)より開始して Data0, Data1, ..., Data7 の順で格納されます。

<注意事項>

- 受信メッセージデータが8 バイトより少ない場合は、データレジスタの残りのバイトには不定データが書込まれます。
- メッセージオブジェクトへの転送は、Data A もしくは Data B の4 バイト単位で行われますので、4 バイトのうちある一部のデータだけを更新することはできません。



4.3. メッセージオブジェクト

メッセージ RAM には、64 のメッセージオブジェクトがあります。メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避するために、CPU はメッセージオブジェクトへ直接、アクセスはできません。これらのアクセスは、IFx メッセージインタフェースレジスタ経由で行います。

メッセージオブジェクトの構成

UMask	Msk	MXtd	MDir	EoB	NewDat		MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
MsgVal	ID	Xtd	Dir	DLC	Data0	Data1	Data2	Data3	Data4	Data5	Data6	Data7

＜注意事項＞

- メッセージオブジェクトは、CAN 制御レジスタの Init ビット、ハードウェアリセットでは初期化されません。詳細は「3.1 メッセージオブジェクト」を参照してください。

メッセージオブジェクトの機能

ID, Xtd, Dir ビットは、メッセージを送信する場合、ID とメッセージの種類に使用されます。メッセージを受信する場合、Msk, MXtd, MDir ビットと共に受容フィルタで使用されます。

受容フィルタを通過したデータフレームもしくはリモートフレームの ID, IDE, RTR, DLC および DATA は、メッセージオブジェクトの ID, Xtd, Dir, DLC, Data7～Data0 に格納されます。Xtd は拡張フレームか標準フレームかを示し、Xtd ビットが"1"の場合、29 ビット ID(拡張フレーム)を、Xtd ビットが"0"の場合は、11 ビット ID(標準フレーム)を受信します。

受信したデータフレームもしくはリモートフレームが1つ以上のメッセージオブジェクトと一致した場合は、一致した最小のメッセージ番号に格納されます。詳細は「3.3 メッセージ受信動作」の受信メッセージの受容フィルタを参照してください。

MsgVal: 有効メッセージビット

bit	説明
0	メッセージオブジェクトは無効です。 メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。 メッセージの送受信が可能です。

＜注意事項＞

- CAN 制御レジスタの Init ビットを"0"にリセットする前に未使用のメッセージオブジェクトの MsgVal ビットを"0"にリセットしてください。
- ID, Xtd, Dir, DLC を変更する前には、メッセージオブジェクトの MsgVal ビットを必ず"0"にリセットしてください。
- 送信中に MsgVal ビットを"0"に設定した場合、送信が完了した時点で CAN ステータスレジスタの TxOk ビットは"1"になります。ただし、メッセージオブジェクトおよび CAN 送信要求レジスタの TxRqst ビットは"0"にクリアされません。このため、メッセージインタフェースレジスタによって TxRqst ビットを"0"にクリアしてください。

UMask: 受容マスク許可ビット

bit	説明
0	Msk, MXtd, MDir ビットを使用しません。
1	Msk, MXtd, MDir ビットを使用します。

<注意事項>

- CAN 制御レジスタの Init ビットが"1"のとき、あるいは MsgVal ビットが"0"のときに UMask ビットを変更してください。
- Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask の設定により動作が異なります
 - UMask が"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NewDat ビットは"1"に設定され、データは変更しません(データフレームのように取り扱います)。
 - UMask が"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。

ID: メッセージ ID

	説明
ID[28:0]	29 ビット ID(拡張フレーム)を指示します。
ID[28:18]	11 ビット ID(標準フレーム)を指示します。

Msk: ID マスク

bit	説明
0	メッセージオブジェクトの ID と対応するビットをマスクします。
1	メッセージオブジェクトの ID と対応するビットをマスクしません。

Xtd: 拡張 ID 許可ビット

bit	説明
0	メッセージオブジェクトは 11 ビット ID(標準フレーム)が使用されます。
1	メッセージオブジェクトは 29 ビット ID(拡張フレーム)が使用されます。

MXtd: 拡張 ID マスクビット

bit	説明
0	メッセージオブジェクトの Xtd ビットに設定した値と、受信したフレームの IDE ビットの値の比較を行いません。受信したフレームの IDE ビットにしたがって標準フレームの ID として比較するか、拡張フレームの ID として比較するか決定します。
1	メッセージオブジェクトの Xtd ビットに設定した値と、受信したフレームの IDE ビットの値の比較を行います。

<注意事項>

- 11 ビット ID(標準フレーム)がメッセージオブジェクトに設定されると、受信したデータフレームの ID は、ID[28:18]へ書込まれます。ID マスクは、Msk[28:18]が使用されます。

Dir: メッセージ方向ビット

bit	説明
0	受信方向を示します。 TxRqst ビットが"1"に設定されると、リモートフレームの送信を行い、TxRqst ビットが"0"のときは、受容フィルタを通過したデータフレームを受信します。
1	送信方向を示します。 TxRqst が"1"に設定されると、データフレームを送信します。TxRqst ビットが"0"で RmtEn ビットが"1"に設定されている場合、受容フィルタを通過したリモートフレームの受信によって、CAN コントローラ自身が TxRqst ビットを"1"に設定します。

MDir: メッセージ方向マスクビット

bit	説明
0	受容フィルタでメッセージ方向ビット(Dir ビット)をマスクします。
1	受容フィルタでメッセージ方向ビット(Dir ビット)をマスクしません。

<注意事項>

- MDir ビットは常に"1"を設定してください。

EoB: エンドオブバッファビット(詳細は「3.4 FIFO バッファ機能」を参照してください)

bit	説明
0	メッセージオブジェクトは FIFO バッファとして使用され、最終メッセージでないことを示します。
1	単一メッセージオブジェクトまたは FIFO バッファの最終メッセージオブジェクトを示します。

<注意事項>

- EoB ビットは、2~64 メッセージの FIFO バッファを構成するために使用します。
- 単一メッセージオブジェクト(FIFO を使用しない場合)は、必ず EoB ビットに"1"を設定してください。

NewDat: データ更新ビット

Bit	説明
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

MsgLst: メッセージロスト

bit	説明
0	メッセージロストは発生していません。
1	メッセージロストが発生しています。

<注意事項>

- MsgLst ビットは Dir ビットが"0"のとき(受信方向)のみ有効です。

RxIE: 受信割込みフラグイネーブルビット

bit	説明
0	フレーム受信成功後, IntPnd ビットは変更されません。
1	フレーム受信成功後, IntPnd ビットが"1"に設定されます。

TxIE: 送信割込みフラグイネーブルビット

bit	説明
0	フレーム送信成功後, IntPnd ビットは変更されません。
1	フレーム送信成功後, IntPnd ビットが"1"に設定されます。

IntPnd: 割込みペンディングビット

bit	説明
0	割込み要因がありません。
1	割込み要因があります。 ほかに優先度の高い割込みがない場合は, CAN 割込みレジスタの IntId ビットはこのメッセージオブジェクトを示します。

RmtEn: リモートイネーブル

bit	説明
0	リモートフレームの受信で, TxRqst ビットは変更されません。
1	Dir ビットが"1"でリモートフレームを受信した場合, TxRqst ビットが"1"に設定されます。

<注意事項>

- Dir ビットが"1"かつ RmtEn ビットが"0"のとき, UMask ビットの設定により動作が異なります
- UMask ビットが"1"の場合は, 受容フィルタを通過しリモートフレームを受信したとき, TxRqst ビットを"0"にリセットします。そのとき, 受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納します。NewDat ビットは"1"に設定され, データは変更しません(データフレームのように取り扱います)。
- UMask ビットが"0"の場合は, リモートフレーム受信に対し, TxRqst ビットはそのまま保持し, リモートフレームを無視します。

TxRqst: 送信要求ビット

bit	説明
0	送信アイドル状態(送信中でもないし, 送信待ち状態でもない)を示します。
1	送信中または, 送信待ちであることを示します。

DLC: データ長コード

	説明
0~8	データフレーム長は 0~8 バイトです。
9~15	設定禁止です。 設定された場合は, 8 バイト長です。

<注意事項>

- データフレームを受信した場合, データ長コード(DLC)には, 受信した DLC が格納されます。

**Data0～Data7: データ 0～データ 7**

	説明
Data0	CAN データフレームの最初のデータバイト
Data1	CAN データフレームの 2 番目のデータバイト
Data2	CAN データフレームの 3 番目のデータバイト
Data3	CAN データフレームの 4 番目のデータバイト
Data4	CAN データフレームの 5 番目のデータバイト
Data5	CAN データフレームの 6 番目のデータバイト
Data6	CAN データフレームの 7 番目のデータバイト
Data7	CAN データフレームの 8 番目のデータバイト

<注意事項>

- CAN バスへのシリアル出力は, MSB(bit7 もしくは bit15)より出力します。
- 受信メッセージデータが 8 バイトより少ない場合は, データレジスタの残りのバイトには不定が書込まれます。
- メッセージオブジェクトへの転送は, Data A もしくは Data B の 4 バイト単位で行われますので, 4 バイトのうちある一部のデータだけの更新はできません。

4.4. メッセージハンドラレジスタ

すべて読出し専用です。メッセージオブジェクトの TxRqst, NewDat, IntPnd, MsgVal ビットと IntId ビットは、ステータスを表示します。

表 4-3 メッセージハンドラレジスタ一覧

レジスタ略称	レジスタ名	参照先
TREQ1	CAN 送信要求レジスタ 1	4.4.1
TREQ2	CAN 送信要求レジスタ 2	4.4.1
TREQ3	CAN 送信要求レジスタ 3	4.4.1
TREQ4	CAN 送信要求レジスタ 4	4.4.1
NEWDT1	CAN データ更新レジスタ 1	4.4.2
NEWDT2	CAN データ更新レジスタ 2	4.4.2
NEWDT3	CAN データ更新レジスタ 3	4.4.2
NEWDT4	CAN データ更新レジスタ 4	4.4.2
INTPND1	CAN 割込みペンディングレジスタ 1	4.4.3
INTPND2	CAN 割込みペンディングレジスタ 2	4.4.3
INTPND3	CAN 割込みペンディングレジスタ 3	4.4.3
INTPND4	CAN 割込みペンディングレジスタ 4	4.4.3
MSGVAL1	CAN メッセージ有効レジスタ 1	4.4.4
MSGVAL2	CAN メッセージ有効レジスタ 2	4.4.4
MSGVAL3	CAN メッセージ有効レジスタ 3	4.4.4
MSGVAL4	CAN メッセージ有効レジスタ 4	4.4.4



4.4.1. CAN 送信要求レジスタ 1/2/3/4(TREQ1, TREQ2, TREQ3, TREQ4)

全メッセージオブジェクトの TxRqst ビットを表示します。TxRqst ビットを読み出すことにより、どのメッセージオブジェクトの送信要求がペンディング中であるかチェックできます。

(1) CAN 送信要求レジスタ 4 (TREQ4)

Bit	15	14	13	12	11	10	9	8
Field	TxRqst64	TxRqst63	TxRqst62	TxRqst61	TxRqst60	TxRqst59	TxRqst58	TxRqst57
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TxRqst56	TxRqst55	TxRqst54	TxRqst53	TxRqst52	TxRqst51	TxRqst50	TxRqst49
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TxRqst64～TxRqst49: 送信要求ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

(2) CAN 送信要求レジスタ 3 (TREQ3)

Bit	15	14	13	12	11	10	9	8
Field	TxRqst48	TxRqst47	TxRqst46	TxRqst45	TxRqst44	TxRqst43	TxRqst42	TxRqst41
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TxRqst40	TxRqst39	TxRqst38	TxRqst37	TxRqst36	TxRqst35	TxRqst34	TxRqst33
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TxRqst48～TxRqst33: 送信要求ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

(3) CAN 送信要求レジスタ 2 (TREQ2)

Bit	15	14	13	12	11	10	9	8
Field	TxRqst32	TxRqst31	TxRqst30	TxRqst29	TxRqst28	TxRqst27	TxRqst26	TxRqst25
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TxRqst24	TxRqst23	TxRqst22	TxRqst21	TxRqst20	TxRqst19	TxRqst18	TxRqst17
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TxRqst32～TxRqst17: 送信要求ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

(4) CAN 送信要求レジスタ 1 (TREQ1)

Bit	15	14	13	12	11	10	9	8
Field	TxRqst16	TxRqst15	TxRqst14	TxRqst13	TxRqst12	TxRqst11	TxRqst10	TxRqst9
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TxRqst8	TxRqst7	TxRqst6	TxRqst5	TxRqst4	TxRqst3	TxRqst2	TxRqst1
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TxRqst16～TxRqst1: 送信要求ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。



TxRqst ビットのセット/リセット条件を以下に示します。

- セット条件
 - IFx コマンドマスクレジスタの WR/RD ビットに"1", TxRqst ビットに"1"を設定して, IFx コマンド要求レジスタへの書き込みにより特定のメッセージオブジェクトの TxRqst ビットに設定できます。
 - IFx コマンドマスクレジスタの WR/RD ビットに"1", TxRqst ビットに"0", Control ビットに"1", IFx メッセージ制御レジスタの TxRqst ビットに"1"を設定して, IFx コマンド要求レジスタへの書き込みにより特定のメッセージオブジェクトの TxRqst ビットに設定できます。
 - Dir ビットが"1", RmtEn ビットが"1"に設定し, 受容フィルタを通過したリモートフレームの受信により設定されます。
- リセット条件
 - IFx コマンドマスクレジスタの WR/RD ビットに"1", TxRqst ビットに"0", Control ビットに"1", IFx メッセージ制御レジスタの TxRqst ビットに"0"を設定して, IFx コマンド要求レジスタへの書き込みにより特定のメッセージオブジェクトの TxRqst ビットをリセットできます。
 - フレームの送信が正常終了したとき, リセットされます。
 - Dir ビットが"1", RmtEN ビットが"0", UMask ビットが"1"の場合, 受容フィルタを通過したリモートフレームの受信によりリセットされます。

<注意事項>

- 下記の処理(1~3)を実施した場合, 後述のいずれかのイベントが発生するまでメッセージが送信されない可能性があります。
 処理
 1. 優先順位が最下位のメッセージオブジェクトを送信に使用している
 2. TxRqst ビットに"1"を設定したが, 送信中止のため, TxRqst ビットに"0"を設定した
 3. 2 の設定後に, 再度 TxRqst ビットに"1"を設定した
 イベント
 - CAN バス上に有効なメッセージが流れる
 - ほかのメッセージオブジェクトに対して送信要求が発行される
 - Init ビットによって CAN が初期化される
- システム上, もし送信を中止する状況が発生する場合は, 下記手順を行ってください。
 1. 下記いずれかを実行する
 - 送信メッセージオブジェクトとして優先順位が最下位のメッセージオブジェクトを使用しない
 - 送信中止後, 上記のいずれかのイベントを発生させる
 2. 再度 TxRqst ビットに"1"を設定する
- TxRqst ビットが"1"のときにメッセージオブジェクトの ID[28:0], DLC[3:0], Xtd, Data7~Data0 のメッセージオブジェクトを変更した場合, 変更前後のメッセージオブジェクトが混在して送出されたり, 変更後のメッセージオブジェクトが送出されない可能性があるので TxRqst ビットが"0"のときにそれらを変更してください。

4.4.2. CAN データ更新レジスタ 1/2/3/4(NEWDT1, NEWDT2, NEWDT3, NEWDT4)

全メッセージオブジェクトの NewDat ビットを表示します。NewDat ビットを読み出すことにより、どのメッセージオブジェクトのデータが更新されたかチェックできます。

(1) CAN データ更新レジスタ 4 (NEWDT4)

Bit	15	14	13	12	11	10	9	8
Field	NewDat64	NewDat63	NewDat62	NewDat61	NewDat60	NewDat59	NewDat58	NewDat57
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NewDat56	NewDat55	NewDat54	NewDat53	NewDat52	NewDat51	NewDat50	NewDat49
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] NewDat64～NewDat49: データ更新ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

(2) CAN データ更新レジスタ 3 (NEWDT3)

Bit	15	14	13	12	11	10	9	8
Field	NewDat48	NewDat47	NewDat46	NewDat45	NewDat44	NewDat43	NewDat42	NewDat41
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NewDat40	NewDat39	NewDat38	NewDat37	NewDat36	NewDat35	NewDat34	NewDat33
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] NewDat48～NewDat33: データ更新ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。



(3) CAN データ更新レジスタ 2 (NEWDT2)

Bit	15	14	13	12	11	10	9	8
Field	NewDat32	NewDat31	NewDat30	NewDat29	NewDat28	NewDat27	NewDat26	NewDat25
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NewDat24	NewDat23	NewDat22	NewDat21	NewDat20	NewDat19	NewDat18	NewDat17
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] NewDat32～NewDat17: データ更新ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

(4) CAN データ更新レジスタ 1 (NEWDT1)

Bit	15	14	13	12	11	10	9	8
Field	NewDat16	NewDat15	NewDat14	NewDat13	NewDat12	NewDat11	NewDat10	NewDat9
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NewDat8	NewDat7	NewDat6	NewDat5	NewDat4	NewDat3	NewDat2	NewDat1
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] NewDat16～NewDat1: データ更新ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

NewDat ビットのセット/リセット条件を以下に示します。

- セット条件
 - IFx コマンドマスクレジスタの WR/RD ビットに"1", Control ビットに"1", IFx メッセージ制御レジスタの NewDat ビットに"1"を設定して, IFx コマンド要求レジスタの書込みにより特定オブジェクトに設定できます。
 - 受容フィルタを通過したデータフレームの受信によりセットされます。
 - Dir ビットが"1", RmtEn ビットが"0", UMask ビットが"1"の場合, 受容フィルタを通過したリモートフレームの受信により設定されます。
- リセット条件
 - IFx コマンドマスクレジスタの WR/RD ビットに"0", NewDat ビットに"1"を設定した場合, IFx コマンド要求レジスタの書込みにより特定のメッセージオブジェクトの NewDat ビットをリセットできます。
 - IFx コマンドマスクレジスタの WR/RD ビットに"1", Control ビットに"1", IFx メッセージ制御レジスタの NewDat ビットに"0"を設定して, IFx コマンド要求レジスタの書込みにより特定のメッセージオブジェクトの NewDat ビットをリセットできます。
 - 送信用シフトレジスタ(内部レジスタ)へデータを転送終了後, リセットされます。



4.4.3. CAN 割込みペンディングレジスタ 1/2/3/4 (INTPND1, INTPND2, INTPND3, INTPND4)

全メッセージオブジェクトの IntPnd ビットを表示します。IntPnd ビットを読み出すことにより、どのメッセージオブジェクトが割込みペンディング中であるかチェックできます。

(1) CAN 割込みペンディングレジスタ 4 (INTPND4)

Bit	15	14	13	12	11	10	9	8
Field	IntPnd64	IntPnd63	IntPnd62	IntPnd61	IntPnd60	IntPnd59	IntPnd58	IntPnd57
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IntPnd56	IntPnd55	IntPnd54	IntPnd53	IntPnd52	IntPnd51	IntPnd50	IntPnd49
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] IntPnd64~IntPnd49: 割込みペンディングビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	割込み要因がありません。
1	割込み要因があります。

(2) CAN 割込みペンディングレジスタ 3 (INTPND3)

Bit	15	14	13	12	11	10	9	8
Field	IntPnd48	IntPnd47	IntPnd46	IntPnd45	IntPnd44	IntPnd43	IntPnd42	IntPnd41
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IntPnd40	IntPnd39	IntPnd38	IntPnd37	IntPnd36	IntPnd35	IntPnd34	IntPnd33
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] IntPnd48~IntPnd33: 割込みペンディングビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	割込み要因がありません。
1	割込み要因があります。

(3) CAN 割込みペンディングレジスタ 2 (INTPND2)

Bit	15	14	13	12	11	10	9	8
Field	IntPnd32	IntPnd31	IntPnd30	IntPnd29	IntPnd28	IntPnd27	IntPnd26	IntPnd25
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IntPnd24	IntPnd23	IntPnd22	IntPnd21	IntPnd20	IntPnd19	IntPnd18	IntPnd17
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] IntPnd32～IntPnd17: 割込みペンディングビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	割込み要因がありません。
1	割込み要因があります。

(4) CAN 割込みペンディングレジスタ 1 (INTPND1)

Bit	15	14	13	12	11	10	9	8
Field	IntPnd16	IntPnd15	IntPnd14	IntPnd13	IntPnd12	IntPnd11	IntPnd10	IntPnd9
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	IntPnd8	IntPnd7	IntPnd6	IntPnd5	IntPnd4	IntPnd3	IntPnd2	IntPnd1
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] IntPnd16～IntPnd1: 割込みペンディングビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	割込み要因がありません。
1	割込み要因があります。



IntPnd ビットのセット/リセット条件を以下に示します。

- セット条件
 - TxIE ビットが"1"に設定されている場合、フレームの正常送信完了により設定されます。
 - RxIE ビットが"1"に設定されている場合、受容フィルタを通過したフレームの正常受信完了により設定されます。
 - IFx コマンドマスクレジスタの WR/RD ビットに"1", Control ビットに"1", IFx メッセージ制御レジスタの IntPnd ビットに"1"を設定して、IFx コマンド要求レジスタの書き込みにより、特定のメッセージオブジェクトの IntPnd ビットを設定できます。
- リセット条件
 - IFx コマンドマスクレジスタの WR/RD ビットに"0", CIP ビットに"1"を設定して、IFx コマンド要求レジスタの書き込みにより特定のメッセージオブジェクトの IntPnd ビットをリセットできます。
 - IFx コマンドマスクレジスタの WR/RD ビットに"1", Control ビットに"1", IFx メッセージ制御レジスタの IntPnd ビットに"0"を設定して、IFx コマンド要求レジスタの書き込みにより特定のメッセージオブジェクトの IntPnd ビットをリセットできます。

4.4.4. CAN メッセージ有効レジスタ 1/2/3/4(MSGVAL1, MSGVAL2, MSGVAL3, MSGVAL4)

全メッセージオブジェクトの MsgVal ビットを表示します。MsgVal ビットを読み出すことにより、どのメッセージオブジェクトが有効であるかチェックできます。

(1) CAN メッセージ有効レジスタ 4 (MSGVAL4)

Bit	15	14	13	12	11	10	9	8
Field	MsgVal64	MsgVal63	MsgVal62	MsgVal61	MsgVal60	MsgVal59	MsgVal58	MsgVal57
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	MsgVal56	MsgVal55	MsgVal54	MsgVal53	MsgVal52	MsgVal51	MsgVal50	MsgVal49
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] MsgVal64～MsgVal49: メッセージ有効ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	メッセージオブジェクトは無効です。メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。メッセージの送受信が可能です。

(2) CAN メッセージ有効レジスタ 3 (MSGVAL3)

Bit	15	14	13	12	11	10	9	8
Field	MsgVal48	MsgVal47	MsgVal46	MsgVal45	MsgVal44	MsgVal43	MsgVal42	MsgVal41
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	MsgVal40	MsgVal39	MsgVal38	MsgVal37	MsgVal36	MsgVal35	MsgVal34	MsgVal33
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] MsgVal48～MsgVal33: メッセージ有効ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	メッセージオブジェクトは無効です。メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。メッセージの送受信が可能です。



(3) CAN メッセージ有効レジスタ 2 (MSGVAL2)

Bit	15	14	13	12	11	10	9	8
Field	MsgVal32	MsgVal31	MsgVal30	MsgVal29	MsgVal28	MsgVal27	MsgVal26	MsgVal25
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	MsgVal24	MsgVal23	MsgVal22	MsgVal21	MsgVal20	MsgVal19	MsgVal18	MsgVal17
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] MsgVal32～MsgVal17: メッセージ有効ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	メッセージオブジェクトは無効です。メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。メッセージの送受信が可能です。

(4) CAN メッセージ有効レジスタ 1 (MSGVAL1)

Bit	15	14	13	12	11	10	9	8
Field	MsgVal16	MsgVal15	MsgVal14	MsgVal13	MsgVal12	MsgVal11	MsgVal10	MsgVal9
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	MsgVal8	MsgVal7	MsgVal6	MsgVal5	MsgVal4	MsgVal3	MsgVal2	MsgVal1
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] MsgVal16～MsgVal1: メッセージ有効ビット

数字はメッセージオブジェクト番号に対応しています。

bit	説明
0	メッセージオブジェクトは無効です。メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。メッセージの送受信が可能です。

MsgVal ビットのセット/リセット条件を以下に示します。

- セット条件

IFx コマンドマスクレジスタの WR/RD ビットに "1", Arb ビットに "1", IFx アービトレーションレジスタ 2 の MsgVal ビットに "1" を設定して, IFx コマンド要求レジスタへの書込みにより特定のメッセージオブジェクトの MsgVal ビットを設定できます。

- リセット条件

IFx コマンドマスクレジスタの WR/RD ビットに "1", Arb ビットに "1", IFx アービトレーションレジスタ 2 の MsgVal ビットに "0" を設定して, IFx コマンド要求レジスタへの書込みにより特定のメッセージオブジェクトの MsgVal ビットをリセットできます。



CHAPTER 32: CAN メッセージ RAM ECC

CAN メッセージ RAM ECC について説明します。

1. 概要
2. 構成
3. 割込み
4. 動作説明
5. ECC エラーの処理
6. レジスタ
7. 使用上の注意事項



1. 概要

CAN メッセージ RAM は CAN のメッセージオブジェクトを保存します。CAN メッセージ RAM の ECC 機能により、メッセージ RAM のデータエラーの検出や訂正ができます。

CAN メッセージ RAM ECC 機能には以下の特長があります。

- メッセージ RAM の 136 ビット幅に対し、2 ビットエラー検出、1 ビット訂正
- エラー検出、訂正により CAN コントローラの停止および動作継続選択可能
- メッセージ RAM のエラー発生機能をサポート

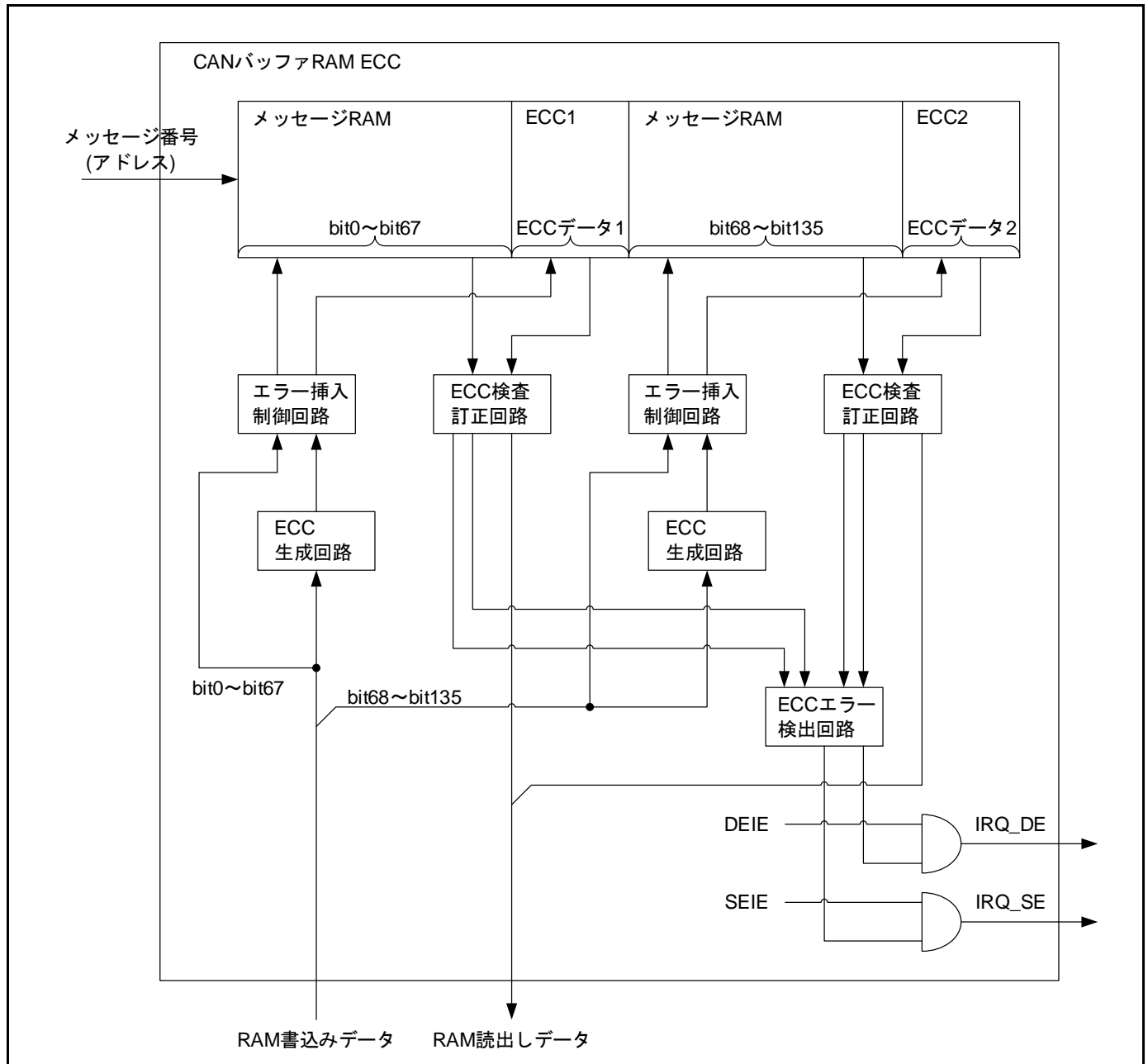
<注意事項>

- CAN コントローラについては、『CAN コントローラ』の章を参照してください。

2. 構成

CAN メッセージ RAM ECC のブロックダイアグラムを示します。

図 2-1 CAN メッセージ RAM ECC ブロックダイアグラム



- メッセージ RAM
136 ビット×64 ワードの RAM で構成され、各メッセージボックスのメッセージオブジェクトを保存します。
- ECC1/ECC2
8 ビットで構成し、メッセージ RAM の bit67~bit0 の ECC データを ECC1、メッセージ RAM の bit135~bit68 の ECC データを ECC2 に保存します。
- ECC 生成回路
メッセージ RAM に書き込むデータから、ECC データを生成します。



- エラー挿入制御回路
ECC エラーを発生させる ECC データを生成するか、正常な ECC データをそのまま出力するか制御する回路です。
- ECC 検査訂正回路
メッセージ RAM のデータと ECC データを組み合わせて検査し、シングルビットエラー検出とそのときのデータ訂正およびダブルビットエラー検出を行います。
- ECC エラー検出回路
2 組のシングルビットエラーとダブルビットエラーから CANEESR:DEI と CANEESR:SEI を生成します。



3. 割込み

サポートしている割込みを示します。

表 3-1 CAN メッセージ RAM ECC の割込み制御ビットと割込み要因

割込みの種類	割込要求 フラグビット	フラグ レジスタ	割込み要因	割込み要因 許可ビット	割込み要求 フラグのクリア
ダブルビット エラー割込み	DEI	CANEESR	2 ビットのデータ エラー	CANEECR:DEIE	ダブルビットエラークリアビット (CANEESCR:DEIC)への"1"書込み
シングルビット エラー割込み	SEI	CANEESR	1 ビットのデータ エラー	CANEECR:SEIE	シングルビットエラークリアビット (CANEESCR:SEIC)への"1"書込み



4. 動作説明

CAN メッセージ RAM ECC の動作と機能について説明します。

以下の機能について説明します。

- メッセージ RAM ECC 生成
- メッセージ RAM ECC 検査
- メッセージ RAM ECC エラー挿入機能

4.1. メッセージ RAM ECC 生成

CAN メッセージ RAM は 136 ビット幅で構成されていて、そのほかに ECC データ用に 16 ビットが追加されます。CAN メッセージ RAM に書き込み時、書き込みデータからシンドロームにしたがって ECC データを生成し、書き込みデータといっしょに書き込みます。



4.2. メッセージ RAM ECC 検査

メッセージオブジェクトをメッセージ RAM から読み出し時、ECC データも同時に読み出し、メッセージオブジェクトのデータが正しいかシンドロームにしたがって計算し、検査を行います。

(1) ECC 検査

ECC 検査した結果、メッセージオブジェクトのデータが RAM 不良などにより間違ったデータと判断された場合、動作は以下のとおりです。

- 1 ビットのみデータが間違った場合(シングルビットエラー)

シングルビットエラー発生ビット(CANEESR:SEI)を"1"に設定し、CAN ECC シングルビットエラーアドレスレジスタ(CANSEEAR)にメッセージ番号を設定します。その間違った 1 ビットのデータは訂正され、正常なメッセージオブジェクトのデータになります。

- 2 ビットのデータが間違った場合(ダブルビットエラー)

ダブルビットエラー発生ビット(CANEESR:DEI)を"1"に設定し、CAN ECC ダブルビットエラーアドレスレジスタ(CANDEEAR)にメッセージ番号を設定します。その間違ったデータは訂正されず、間違ったデータのままメッセージオブジェクトのデータとして取扱います。

各エラービット(CANEESR:SEI, CANEESR:DEI)に対応した割込み許可ビットが"1"に設定されている場合は、エラービットに"1"が設定されると同時に割込みが発生します。

(2) エラー検出による CAN コントローラ停止

メッセージ RAM の検査でエラーが発生した場合、CAN コントローラの初期化ビット(CTRLR:Init)を"1"に設定して CAN コントローラを停止させることができます。以下のいずれかの条件で CAN コントローラの初期化ビット(CTRLR:Init)を"1"に設定します。

- ダブルビットエラーCAN 停止ビット(CANECCR:DEIXS)が"1"で送信開始時、メッセージRAMからメッセージオブジェクトを読み出し、ダブルビットエラーが検出された(CANEESR:DEI="1")場合
- シングルビットエラーCAN 停止ビット(CANECCR:SEIXS)が"1"で送信開始時、メッセージRAMからメッセージオブジェクトを読み出し、シングルビットエラーが検出された(CANEESR:SEI="1")場合

(3) ECC 検査の無効化

電源投入後、メッセージ RAM の内容は不定のため、各メッセージオブジェクトの ECC 検査は無効にしています。以下の条件で各メッセージオブジェクトの ECC 検査は無効から有効になります。

- CAN コントローラのインタフェースレジスタ経由でメッセージ番号が指定されたメッセージオブジェクトに書き込まれた場合

例えば、CAN コントローラの IFx コマンドマスクレジスタ(IFxCMSK)の RD/WR ビットに"1"、IFx コマンド要求レジスタ(IFxCREQ)の Message Number に"0x01"を設定した場合、メッセージオブジェクト 1 の ECC 検査が無効から有効になります。

ECC 検査は以下のいずれかの条件で有効から無効になります。

- ハードウェアリセット(全メッセージオブジェクトが有効から無効になります)
- CAN ECC エラー制御レジスタ(CANECCR)の CEIVEN ビットが"1"のとき、CAN コントローラの CAN メッセージ有効レジスタ(MSGVAL1~MSGVAL4)の MsgVal64~MsgVal1 の各ビットが"1"から"0"に変更された場合(変更されたビットに対応したメッセージオブジェクトが有効から無効になります)

＜注意事項＞

- 送信中, CAN コントローラがメッセージ RAM を読み出しますが, そのとき ECC エラーが発生しても CAN コントローラを停止しません。また, 送信中, CAN コントローラのインタフェース経由でメッセージ RAM を読み出して ECC エラーが発生しても CAN コントローラを停止しません。
- 送信中, 送信メッセージオブジェクトに対し, CAN コントローラの TxRqst=NewDat="1" を設定して送信データの上書きが発生した場合, メッセージ RAM を読み出します。そのとき, ECC エラーが検出され, エラーによる CAN コントローラの停止機能が有効な場合, CAN コントローラは送信中でも停止します。
- CAN コントローラがベーシックモード (TESTR: BASIC="1") 時, メッセージ RAM を使用しませんのでダブルビットエラー CAN 停止ビット (CANEECR: DEIXS), シングルビットエラー CAN 停止ビット (CANEECR: SEIXS), 各割込み許可ビット (CANEECR: DEIE, CANEECR: SEIE) に "0" を設定してください。
- CAN コントローラの初期化ビット (CTRLR: Init) が "1" に設定されるタイミングはエラー検出後, 1 動作クロック後です。
- DEIXS ビットおよび SEIXS ビットの変更は CAN コントローラが停止中 (CTRLR: Init="1") のときに行ってください。
- ECC エラーによって CAN コントローラが停止した場合, そのエラービット (CANEECSR: DEI または CANEECSR: SEI) が "1" で対応する CAN 停止ビット (CANEECR: DEIXS または CANEECR: SEIXS) が "1" のとき, CAN コントローラの初期化ビットは "1" のままです。CAN コントローラの初期化ビットを "0" にしたい場合, 以下のいずれかの処理をしてから CAN コントローラの初期化ビットに "0" を設定してください。
 - CAN コントローラを停止したエラービットのクリア
 - CAN コントローラを停止した CAN 停止ビットへの "0" 書込み

ただし, エラービットをクリアせずに再度, CAN 停止ビットへ "1" 書込みを行った場合, CAN コントローラの初期化ビットが "1" に設定されます。
- CAN コントローラの CAN メッセージ有効レジスタ (MSGVAL1 ~ MSGVAL4) の MsgVal64 ~ MsgVal1 の各ビットが "1" から "0" に変更する際, ECC 検査が無効になる前に一度メッセージ RAM から読み出します。そのため, ECC エラーが検出される場合があります。



4.3. メッセージ RAM ECC エラー挿入機能

ECC エラー発生時のプログラムの検証に使用されます。

メッセージ RAM に ECC エラーが発生するようにデータを書き込み、メッセージ RAM を読み出すことでシングルビットエラーまたはダブルビットエラーを発生させます。エラーの割込み許可が設定されている場合は、割込みが発生し、割込み処理の中に ECC エラー処理がプログラムされている場合は、ECC エラー処理が正常に動作するかどうか確認できます。

設定方法

メッセージ RAM の読出しおよび送受信時の設定方法は以下のとおりです。

－ メッセージ RAM の読出し

1. CAN ECC エラー挿入制御レジスタ(CANEFECR)に設定

FERR="1"にし、EY[9]～EY[0]、EI[15]～EI[0]ビットのエラーを挿入させたいビットに"1"を設定します。

2. CAN コントローラのインタフェースレジスタからメッセージ RAM へ書き込む^{*1}

CAN ECC エラー挿入制御レジスタ(CANEFECR)にしたがってビットを反転してメッセージ RAM に書き込みます。

3. CAN コントローラのインタフェースレジスタ経由でメッセージ RAM のデータを読出し^{*1}

メッセージ RAM を読み出すことによって ECC エラーが発生します。

^{*1}: メッセージ RAM の読み書きは CAN コントローラを参照してください。

－ 送信時

1. は「メッセージ RAM の読出し」と同じ設定手順です。

1. CAN ECC エラー挿入制御レジスタ(CANEFECR)に設定

2. CAN コントローラのインタフェースレジスタに送信要求を設定

CAN ECC エラー挿入制御レジスタ(CANEFECR)にしたがってビットを反転してメッセージ RAM へ書き込むと同時に送信が開始します。送信が開始したあと最初にメッセージ RAM が読み出されるのでそのときに ECC エラーが発生します。

－ 受信(メッセージ RAM スキャン)時

「メッセージ RAM の読出し」と同じ手順で設定し、受信を待ちます。

受信時に ID などメッセージ RAM がスキャンされ、ECC エラーが発生します。

－ 受信(受信完了)時

1. CAN コントローラのインタフェースレジスタからメッセージ RAM へ書き込む

正常なメッセージオブジェクトがメッセージ RAM へ書き込まれます。

2. CAN ECC エラー挿入制御レジスタ(CANEFECR)に設定

FERR="1"にし、EY[9]～EY[0]、EI[15]～EI[0]ビットのエラーを挿入させたいビットに"1"を設定し、受信完了するまで待ちます。

3. CAN コントローラのインタフェースレジスタ経由でメッセージ RAM を読み出すことによって ECC エラーが発生します。

5. ECC エラーの処理

ECC エラーが発生し、そのエラーに対し割込み許可にしていた場合、割込み処理の中でそのエラーに対処しなければなりません。その割込み処理例について以下に示します。

- － ダブルビットエラーの発生したメッセージオブジェクトからほかのメッセージオブジェクトを使用する場合(CAN コントローラを停止しない場合)

1. CAN ECC ステータスレジスタを読み出し

ECC エラーの種類を確認します。

2. ダブルビットエラーのとき、ほかのメッセージオブジェクトへ書き込み

エラーの発生したメッセージオブジェクトの ID など使用していないメッセージオブジェクトへ書き込み、ほかのメッセージオブジェクトを使用します。

3. CAN ECC エラー制御レジスタ(CANEECR)の CEIVEN ビットに"1"を設定

エラーの発生したメッセージオブジェクトを ECC 検査の対象外にするために、ECC 検査無効化を可能にします。

4. エラーが発生したメッセージオブジェクトの IFx アービトレーションレジスタ 2(IFxARB2)の MsgVal ビットに"0"を設定し、IFx コマンドマスクレジスタ(IFxCMASK)の RD/WR ビットに"1"、IFx コマンド要求レジスタ(IFxCREQ)の Message Number にメッセージ番号を設定

上記設定によって、MsgVal ビットが"1"から"0"に変更したメッセージオブジェクトが ECC 検査対象外になります。

5. CAN ECC エラー制御レジスタ(CANEECR)の CEIVEN ビットに"0"を設定

ECC 検査無効化を禁止にします。

6. CAN ECC エラーステータスクリアレジスタ(CANEESCR)の DEIC ビットに"1"を設定

ダブルビットエラーをクリアします。4.を実行することによってメッセージ RAM を読み出すのでそのとき、ダブルビットエラーが発生します。そのため、ECC エラー検査無効化後にダブルビットエラーをクリアしてください。

- － ダブルビットエラーの発生したメッセージオブジェクトからほかのメッセージオブジェクトを使用する場合(CAN コントローラを停止する場合)

1.から 6.までは「CAN コントローラを停止しない場合」と同じ設定手順です。

7. CAN 制御レジスタ(CTRLR)の Init ビットに"0"を設定

CAN bus に参加します。ダブルビットエラーを示すビット(CANEESR:DEI)が"1"のとき、Init ビットに"0"が書き込まれません。そのため、ダブルビットエラーをクリアしたあと、Init ビットに"0"を書き込んでください。



6. レジスタ

CAN メッセージ RAM ECC 機能のレジスタについて説明します。

すべてのレジスタ名(略称)にはプレフィックス「CANxx_」が付きます。xx はチャンネル番号(00, 01, 02)です。

表 6-1 CAN メッセージ RAM ECC 機能レジスタ一覧

レジスタ略称	レジスタ名	参照先
CANEECR	CAN ECC エラー制御レジスタ	6.1
CANEESR	CAN ECC エラーステータスレジスタ	6.2
CANEESCR	CAN ECC エラーステータスクリアレジスタ	6.3
CANDEEAR	CAN ECC ダブルビットエラーアドレスレジスタ	6.4
CANSEEAR	CAN ECC シングルビットエラーアドレスレジスタ	6.5
CANEFECR	CAN ECC エラー挿入制御レジスタ	6.6



6.1. CAN ECC エラー制御レジスタ(CANEECR)

ECC 検査時にシングルビットエラー訂正またはダブルビットエラー検出が発生した場合、割込みを許可するかどうかの設定を行います。また、ECC エラー検出時、CAN コントローラの停止/継続の設定も行います。

Bit	7	6	5	4	3	2	1	0
Field	Reserved			CEIVEN	DEIXS	SEIXS	DEIE	SEIE
R/W 属性	R0,W0			R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	000			0	0	0	0	0

[bit7:5] Reserved: 予約ビット

[bit4] CEIVEN: ECC 検査無効許可ビット

bit	説明
0	ECC 検査無効を禁止します。
1	ECC 検査無効を許可します。

- CEIVEN="0"のとき、CAN コントローラの CAN メッセージ有効レジスタ(MSGVAL1～MSGVAL4)の MsgVal64～MsgVal1 の各ビットの立下りが検出されても ECC 検査は無効にしません。
- CEIVEN="1"のとき、CAN コントローラの CAN メッセージ有効レジスタ(MSGVAL1～MSGVAL4)の MsgVal64～MsgVal1 の各ビットの立下りが検出された場合、そのメッセージオブジェクトは有効から無効になります。

<注意事項>

- CAN コントローラの CAN メッセージ有効レジスタ(MSGVAL1～MSGVAL4)の MsgVal64～MsgVal1 の各ビットが"1"から"0"に変更する際、ECC 検査が無効になる前に一度メッセージ RAM から読み出します。そのため、ECC エラーが検出される場合があります。

**[bit3] DEIXS: ダブルビットエラーCAN 停止ビット**

bit	説明
0	CAN コントローラの通信を継続します。
1	CAN コントローラの通信を停止します。

- DEIXS="0"のとき、ダブルビットエラーが検出されても CAN コントローラは通信を継続します。
- DEIXS="1"で送信開始時、ダブルビットエラーが検出された場合、CAN コントローラの CAN 制御レジスタ(CTRLR)の Init ビットに"1"を設定して CAN コントローラを停止します。

<注意事項>

- 送信中、CAN コントローラがメッセージRAMを読み出しますが、そのときエラーが発生しても CAN コントローラを停止しません。また、送信中、CAN コントローラのインタフェース経由でメッセージRAMを読み出してエラーが発生しても CAN コントローラを停止しません。
- 送信中、送信メッセージオブジェクトに対し、CAN コントローラの TxRqst=NewDat="1"を設定して送信データの上書きが発生した場合、メッセージRAMを読み出します。そのとき、ECC エラーが検出され、エラーによる CAN コントローラの停止機能が有効な場合、CAN コントローラは送信中でも停止します。
- CAN コントローラがベーシックモード(TESTR: BASIC="1")時、メッセージRAMを使用しませんのでダブルビットエラーCAN停止ビット(CANEECR:DEIXS)、シングルビットエラーCAN停止ビット(CANEECR:SEIXS)、各割込み許可ビット(CANEECR:DEIE, CANEECR:SEIE)に"0"を設定してください。
- CAN コントローラの初期化ビット(CTRLR:Init)が"1"に設定されるタイミングはエラー検出後、1 動作クロック後です。
- DEIXS ビットおよび SEIXS ビットの変更は CAN コントローラが停止中(CTRLR:Init="1")のときに行ってください。
- ECCエラーによってCAN コントローラが停止した場合、CAN停止ビットが"1"で対応するエラービットが"1"のとき、CAN コントローラの初期化ビットは"1"のままです。CAN コントローラの初期化ビットを"0"にしたい場合、以下のいずれかの処理をしてから CAN コントローラの初期化ビットに"0"を設定してください。
 - CAN コントローラを停止したエラービットのクリア
 - CAN コントローラを停止した CAN 停止ビットへの"0"書込み

ただし、エラービットをクリアせずに再度、CAN 停止ビットへ"1"書込みを行った場合、CAN コントローラの初期化ビットが"1"に設定されます。

[bit2] SEIXS: シングルビットエラー-CAN 停止ビット

bit	説明
0	CAN コントローラの通信を継続します。
1	CAN コントローラの通信を停止します。

- SEIXS="0"のとき、シングルビットエラーが検出されても CAN コントローラは通信を継続します。
- SEIXS="1"で送信開始時、シングルビットエラーが検出された場合、CAN コントローラの CAN 制御レジスタ(CTRLR)の Init ビットに"1"を設定して CAN コントローラを停止します。

<注意事項>

- 送信中、CAN コントローラがメッセージRAMを読み出しますが、そのときエラーが発生しても CAN コントローラを停止しません。また、送信中、CAN コントローラのインタフェース経由でメッセージRAMを読み出してエラーが発生しても CAN コントローラを停止しません。
 - 送信中、送信メッセージオブジェクトに対し、CAN コントローラの TxRqst=NewDat="1"を設定して送信データの上書きが発生した場合、メッセージRAMを読み出します。そのとき、ECC エラーが検出され、エラーによる CAN コントローラの停止機能が有効な場合、CAN コントローラは送信中でも停止します。
 - CAN コントローラがベーシックモード(TESTR: BASIC="1")時、メッセージRAMを使用しませんのでダブルビットエラー-CAN停止ビット(CANEECR: DEIXS)、シングルビットエラー-CAN停止ビット(CANEECR: SEIXS)、各割込み許可ビット(CANEECR: DEIE, CANEECR: SEIE)に"0"を設定してください。
 - CAN コントローラの初期化ビット(CTRLR: Init)が"1"に設定されるタイミングはエラー検出後、1 動作クロック後です。
 - SEIXS ビットの変更は CAN コントローラが停止中(CTRLR: Init="1")のときに行ってください。
 - ECC エラーによって CAN コントローラが停止した場合、CAN 停止ビットが"1"で対応するエラービットが"1"のとき、CAN コントローラの初期化ビットは"1"のままです。CAN コントローラの初期化ビットを"0"にしたい場合、以下のいずれかの処理をしてから CAN コントローラの初期化ビットに"0"を設定してください。
 - CAN コントローラを停止したエラービットのクリア
 - CAN コントローラを停止した CAN 停止ビットへの"0"書込み
- ただし、エラービットをクリアせずに再度、CAN 停止ビットへ"1"書込みを行った場合、CAN コントローラの初期化ビットが"1"に設定されます。

[bit1] DEIE: ダブルビットエラー要因割込み許可ビット

bit	説明
0	ダブルビットエラー(CANEECR: DEI)による割込みを禁止します。
1	ダブルビットエラー(CANEECR: DEI)による割込みを許可します。

- DEIE="0"のとき、ダブルビットエラーが検出(CANEECR: DEI="1")されても信号 IRQ_DE は"L"のままです。
- DEIE="1"のとき、ダブルビットエラーが検出(CANEECR: DEI="1")された場合、信号 IRQ_DE は"H"になり、割込みを要求します。

[bit0] SEIE: シングルビットエラー要因割込み許可ビット

bit	説明
0	シングルビットエラー(CANEECR: SEI)による割込みを禁止します。
1	シングルビットエラー(CANEECR: SEI)による割込みを許可します。

- SEIE="0"のとき、シングルビットエラーが検出(CANEECR: SEI="1")されても信号 IRQ_SE は"L"のままです。



- － SEIE="1"のとき、シングルビットエラーが検出(CANESR:SEI="1")された場合、信号 IRQ_SE は"H"になり、割込みを要求します。

6.2. CAN ECC エラーステータスレジスタ(CANEESR)

ECC 検査時シングルビットエラー訂正およびダブルビットエラー検出が実施されたかどうかを表示します。有効ビットが"1"になった場合、CAN ECC エラーステータスクリアレジスタ(CANEESCR)でクリアしない限り"1"を保持します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved						DEI	SEI
R/W 属性	R0,W0						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

[bit7:2] Reserved: 予約ビット

[bit1] DEI: ダブルビットエラー発生ビット

bit	説明
0	ダブルビットエラーを検出していないことを示します。
1	ダブルビットエラーを検出したことを示します。

- DEI ビットが"1"のとき、このビットを"0"にクリアするには、CAN ECC エラーステータスクリアレジスタ(CANEESCR)の DEIC ビットに"1"を設定してください。

<注意事項>

- DEI ビットが"1"のとき、メッセージRAMを読み出し、ほかのメッセージ番号でダブルビットエラーが発生しても CAN ECC ダブルビットエラーアドレスレジスタ(CANDEEAR)は更新されず、前の値を保持します。
- DEI ビットが"1"でもシングルビットエラーは検出できます。

[bit0] SEI: シングルビットエラー発生ビット

bit	説明
0	シングルビットエラーを検出していないことを示します。
1	シングルビットエラーを検出したことを示します。

- SEI ビットが"1"のとき、このビットを"0"にクリアするには、CAN ECC エラーステータスクリアレジスタ(CANEESCR)の SEIC ビットに"1"を設定してください。

<注意事項>

- SEI ビットが"1"のとき、メッセージRAMを読み出し、ほかのメッセージ番号でシングルビットエラーが発生しても CAN ECC シングルビットエラーアドレスレジスタ(CANSEEAR)は更新されず、前の値を保持します。
- SEI ビットが"1"でもダブルビットエラーは検出できます。



6.3. CAN ECC エラーステータスクリアレジスタ(CANEESCR)

CAN ECC エラーステータスレジスタのビットをクリアします。

Bit	7	6	5	4	3	2	1	0
Field	Reserved						DEIC	SEIC
R/W 属性	R0,W0						R0,W	R0,W
保護属性	-							
初期値	000000						0	0

[bit7:2] Reserved: 予約ビット

[bit1] DEIC: ダブルビットエラークリアビット

bit	説明
0	影響なし。
1	ダブルビットエラー発生ビット(CANEESR:DEI)を"0"にします。

[bit0] SEIC: シングルビットエラークリアビット

bit	説明
0	影響なし。
1	シングルビットエラー発生ビット(CANEESR:SEI)を"0"にします。

6.4. CAN ECC ダブルビットエラーアドレスレジスタ(CANDEEAR)

ECC 検査時ダブルビットエラー検出が実施されたとき、その発生したメッセージ番号(メッセージ RAM のアドレス)を保持します。本レジスタは CAN ECC ステータスレジスタ(CANEESR)の DEI ビットが"1"のとき、有効です。CAN ECC ステータスレジスタ(CANEESR)の DEI ビットが"1"の間、その値は保持されます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved	DMN						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000001						

[bit15:7] Reserved: 予約ビット

[bit6:0] DMN[6:0]: ダブルエラーメッセージ番号ビット

bit[6:0]	説明
0x01	ダブルビットエラーがメッセージ番号 1 で発生したことを表示します。
0x02	ダブルビットエラーがメッセージ番号 2 で発生したことを表示します。
.....
0x3F	ダブルビットエラーがメッセージ番号 63 で発生したことを表示します。
0x40	ダブルビットエラーがメッセージ番号 64 で発生したことを表示します。

- CAN ECC ステータスレジスタ(CANEESR)の DEI ビットが"1"のとき、DMN は有効です。
- CAN ECC ステータスレジスタ(CANEESR)の DEI ビットが"1"の間、その値は保持されます。



6.5. CAN ECC シングルビットエラーアドレスレジスタ(CANSEEAR)

ECC 検査時シングルビットエラー検出が実施されたとき、その発生したメッセージ番号(メッセージ RAM のアドレス)を保持します。本レジスタは CAN ECC ステータスレジスタ(CANEESR)の SEI ビットが"1"のとき、有効です。CAN ECC ステータスレジスタ(CANEESR)の SEI ビットが"1"の間、その値は保持されます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved	SMN						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000001						

[bit15:7] Reserved: 予約ビット

[bit6:0] SMN[6:0]: シングルエラーメッセージ番号ビット

bit[6:0]	説明
0x01	シングルビットエラーがメッセージ番号 1 で発生したことを表示します。
0x02	シングルビットエラーがメッセージ番号 2 で発生したことを表示します。
.....
0x3F	シングルビットエラーがメッセージ番号 63 で発生したことを表示します。
0x40	シングルビットエラーがメッセージ番号 64 で発生したことを表示します。

- CAN ECC ステータスレジスタ(CANEESR)の SEI ビットが"1"のとき、SMN は有効です。
- CAN ECC ステータスレジスタ(CANEESR)の SEI ビットが"1"の間、その値は保持されます。



6.6. CAN ECC エラー挿入制御レジスタ(CANEFECR)

エラーを発生させるバイトとビットを指定します。

Bit	31	30	29	28	27	26	25	24
Field	FERR	Reserved					EY[9:8]	
R/W 属性	R/W	R0,W0					R/W	
保護属性	-							
初期値	0	00000					00	

Bit	23	22	21	20	19	18	17	16
Field	EY[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	15-0							
Field	EI							
R/W 属性	R/W							
保護属性	-							
初期値	00000000_00000000							

[bit31] FERR: エラー挿入許可ビット

bit	説明
0	エラーデータ書込みを禁止します。
1	エラーデータ書込みを許可します。

FERR ビットが"1"のとき, EY, EI にしたがって CAN コントローラのインタフェースレジスタ経由でメッセージ RAM へ転送するときにエラーデータが書き込まれます。

[bit30:26] Reserved: 予約ビット



[bit25:16] EY[9:0]: エラーバイト指定ビット

	説明
EY[0]	メッセージ RAM の bit15～bit0 がエラー対象です。
EY[1]	メッセージ RAM の bit31～bit16 がエラー対象です。
EY[2]	メッセージ RAM の bit47～bit32 がエラー対象です。
EY[3]	メッセージ RAM の bit63～bit48 がエラー対象です。
EY[4]	メッセージ RAM の bit79～bit64 がエラー対象です。
EY[5]	メッセージ RAM の bit95～bit80 がエラー対象です。
EY[6]	メッセージ RAM の bit111～bit96 がエラー対象です。
EY[7]	メッセージ RAM の bit127～bit112 がエラー対象です。
EY[8]	メッセージ RAM の bit135～bit128 がエラー対象です。
EY[9]	メッセージ RAM の bit151～bit136(ECC 用ビット)がエラー対象です。

- "1"が設定された場合、指定されたメッセージ RAM の 2 バイトの範囲がエラー対象です。
 - 例 1) EY[0]="1", EY[1:9]="0"の場合、メッセージ RAM の bit15～bit0 がエラー対象。
 - 例 2) EY[0]=EY[3]="1", EY[1]=EY[2]=EY[4:9]="0"の場合、メッセージ RAM の bit15～bit0, bit63～bit48 がエラー対象。
- EY の各ビットがすべて"0"の場合、エラーデータは書き込まれません。
- EY[8]はメッセージ RAM の 1 バイトの範囲がエラー対象となり、EI[7:0]でビット指定してください。

[bit15:0] EI[15:0]: エラービット指定ビット

	説明
EI[0]	EY で指定された 2 バイトのうち, bit0 がエラー対象です。
EI[1]	EY で指定された 2 バイトのうち, bit1 がエラー対象です。
EI[2]	EY で指定された 2 バイトのうち, bit2 がエラー対象です。
EI[3]	EY で指定された 2 バイトのうち, bit3 がエラー対象です。
EI[4]	EY で指定された 2 バイトのうち, bit4 がエラー対象です。
EI[5]	EY で指定された 2 バイトのうち, bit5 がエラー対象です。
EI[6]	EY で指定された 2 バイトのうち, bit6 がエラー対象です。
EI[7]	EY で指定された 2 バイトのうち, bit7 がエラー対象です。
EI[8]	EY で指定された 2 バイトのうち, bit8 がエラー対象です。
EI[9]	EY で指定された 2 バイトのうち, bit9 がエラー対象です。
EI[10]	EY で指定された 2 バイトのうち, bit10 がエラー対象です。
EI[11]	EY で指定された 2 バイトのうち, bit11 がエラー対象です。
EI[12]	EY で指定された 2 バイトのうち, bit12 がエラー対象です。
EI[13]	EY で指定された 2 バイトのうち, bit13 がエラー対象です。
EI[14]	EY で指定された 2 バイトのうち, bit14 がエラー対象です。
EI[15]	EY で指定された 2 バイトのうち, bit15 がエラー対象です。

- CAN コントローラのインタフェースレジスタ経由で書き込む際"1"が設定されている場合, 指定された 2 バイトのうち, 指定されたビットが反転されて書き込まれます。
 - 例 1) EY[3]="1", EY[0:2]=EY[4:9]="0", EI[3]="1", EI[0:2]=EI[4:15]="0" の場合, メッセージ RAM の bit51 に対し, 反転して書き込む。その他のビットはそのまま書き込む。
 - 例 2) EY[0]=EY[3]="1", EY[1]=EY[2]=EY[4:9]="0", EI[3]="1", EI[0:2]=EI[4:15]="0" の場合, メッセージ RAM の bit3 と bit51 に対し, 反転して書き込む。その他のビットはそのまま書き込む。
- EI の各ビットがすべて"0"の場合, エラーデータは書き込まれません。



7. 使用上の注意事項

CAN メッセージ RAM ECC を使用する上で、注意すべき事項について説明します。

ECC 検査について

- 送信中, CAN コントローラがメッセージ RAM を読み出しますが、そのときエラーが発生しても CAN コントローラを停止しません。また、送信中, CAN コントローラのインタフェース経由でメッセージ RAM を読み出してエラーが発生しても CAN コントローラを停止しません。
- CAN コントローラがベーシックモード (TESTR: BASIC="1") 時、メッセージ RAM を使用しませんのでダブルビットエラー CAN 停止ビット (CANEECR: DEIXS), シングルビットエラー CAN 停止ビット (CANEECR: SEIXS), 各割込み許可ビット (CANEECR: DEIE, CANEECR: SEIE) に "0" を設定してください。
- CAN コントローラの初期化ビット (CTRLR: Init) が "1" に設定されるタイミングはエラー検出後、1 動作クロック後です。
- CAN 停止ビット (CANEECR: DEIXS ビットおよび CANEECR: SEIXS ビット) の変更は CAN コントローラが停止中 (CTRLR: Init="1") のときに行ってください。
- ECC エラーによって CAN コントローラが停止した場合、CAN 停止ビットが "1" で対応するエラービットが "1" のとき、CAN コントローラの初期化ビットは "1" のままです。CAN コントローラの初期化ビットを "0" にしたい場合、以下のいずれかの処理をしてから CAN コントローラの初期化ビットに "0" を設定してください。
 - CAN コントローラを停止したエラービットのクリア
 - CAN コントローラを停止した CAN 停止ビットへの "0" 書込み
 ただし、エラービットをクリアせずに再度、CAN 停止ビットへ "1" 書込みを行った場合、CAN コントローラの初期化ビットが "1" に設定されます。
- CAN コントローラの CAN メッセージ有効レジスタ (MSGVAL1 ~ MSGVAL4) の MsgVal64 ~ MsgVal1 の各ビットが "1" から "0" に変更する際、ECC 検査が無効になる前に一度メッセージ RAM から読み出します。そのため、ECC エラーが検出される場合があります。

CHAPTER 33: CAN プリスケーラ

CAN プリスケーラについて説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ



1. 概要

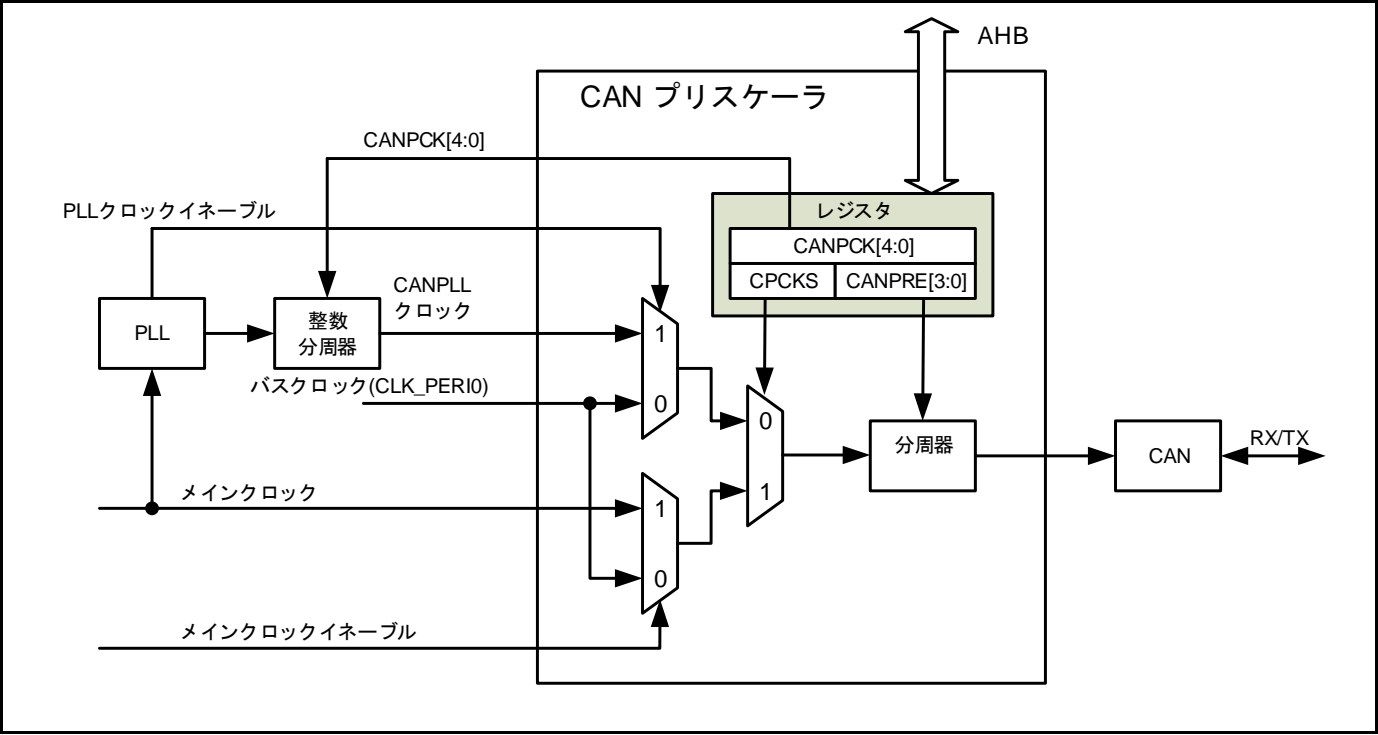
クロックシステムより供給される各クロックソースから CAN へ供給される CAN クロックの生成を行います。

- CAN プリスケーラのソースクロックとして、PLL クロックから生成された CANPLL クロック、バスクロックおよびメインクロックから選択できます。
 - CANPLL クロック/バスクロックは PLL クロックの発振安定状態を示す PLL クロックイネーブル信号により切り換わります。詳細は『クロックシステム』の章および『低消費電力』の章を参照してください。
 - メインクロック/バスクロックはメインクロックの発振安定状態を示すメインクロックイネーブル信号により切り換わります。詳細は『クロックシステム』の章および『低消費電力』の章を参照してください。
- CAN システムクロック周期を変更可能な分周器を搭載しており、設定により入力クロックを 1~12 分周したクロックを出力します。

2. 構成

CAN プリスケーラのブロックダイアグラムを示します。

図 2-1 CAN プリスケーラブロックダイアグラム





3. 動作説明

CAN プリスケーラの動作について説明します。

(1) CAN システムクロック設定

a) CANPLL クロック

CANPLL クロックは PLL 発振クロックを整数分周したクロックです。CAN プリスケーラ内の分周器と組み合わせて所望の CAN システムクロックを生成できます。

CPCKS を "0" に設定してください。

CANPCK[4:0] を設定することによって CANPLL クロックを決定してください。

分周の値を設定するにあたり CANPCK[4:0] は "0x01" (2 分周) 以上を設定してください。

$$\text{CANPLL クロック} = \text{PLL 発振クロック} / (\text{CANPCK} + 1)$$

決定された CANPLL クロックに対して CANPRE[3:0] で分周する値を設定してください。

PLL 発振クロックが 400MHz の場合、CANPCK により CANPLL クロックを 80MHz 以下にすることを推奨します。

例) PLL 発振クロック : 400MHz (PLL クロック 200MHz) から CAN システムクロック 16MHz 生成する場合、以下のいずれかの設定をしてください。

1. PLL 発振クロック 400MHz を 25 分周して 16MHz を生成します。

CPCKS : "0"
CANPCK[4:0] : "0x18" (25 分周)
CANPRE[3:0] : "0x0" (1 分周)

2. PLL 発振クロック 400MHz を 5 分周し、CANPLL クロックを 80MHz とし、さらに CAN プリスケーラ分周器において 5 分周して 16MHz を生成します。

CPCKS : "0"
CANPCK[4:0] : "0x04" (5 分周)
CANPRE[3:0] : "0xC" または "0xD" (5 分周)

b) バスクロック

CANPRE[3:0] で分周する値を設定してください。

c) メインクロック

CPCKS を "1" に設定し、CANPRE[3:0] で分周する値を設定してください。

詳細は「4. レジスタ」および『クロックシステム』の章を参照してください。

<注意事項>

- CAN プリスケーラ設定ビットの変更は、CAN 制御レジスタの初期化ビット (CTRLR:Init) を "1" に設定し、すべてのバス動作を停止させた後に行ってください。
- レジスタの設定により CAN インタフェースに供給するクロックは 16MHz 以下としてください。
- PLL 発振クロックは偶数分周して PLL クロックを生成するためのクロックです。



4. レジスタ

CAN プリスケーラのレジスタについて説明します。

表 4-1 レジスタ一覧

レジスタ略称	レジスタ名	参照先
CANP_CANPRE	CAN プリスケーラ制御レジスタ	4.1
CANP_CANPCK	CANPLL クロック制御レジスタ	4.2



4.1. CAN プリスケーラ制御レジスタ (CANP_CANPRE)

CAN システムクロックプリスケーラを設定します。

レジスタの値を変更する場合は、CAN 制御レジスタ (CANxx_CTRLR) の初期化ビット (Init) を "0x1" に設定し、すべてのバス動作を停止してください。

Bit	31-8
Field	Reserved
R/W 属性	R0, WX
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved			CPCKS	CANPRE			
R/W 属性	R0,WX			R/W	R/W			
保護属性	-							
初期値	000			0	0000			

[bit31:5] Reserved: 予約ビット

[bit4] CPCKS: CAN プリスケーラクロック選択

CAN プリスケーラのソースクロックを選択します。

bit	説明
0	CANPLL クロック/CLK_PERI0 (バスクロック)
1	メイン発振クロック/CLK_PERI0 (バスクロック)

CANPLL クロック、メインクロック停止時はバスクロックが選択されます。

[bit3:0] CANPRE[3:0]: CAN プリスケーラ設定ビット

CAN システムクロック周波数を設定します。

bit[3:0]	説明	入力 CAN プリスケーラクロック (MHz)			
		160	128	80	48
0000	1/1 周期が選択されます	160.0	128.0	80.0	48.0
0001	1/2 周期が選択されます	80.0	64.0	40.0	24.0
001X	1/4 周期が選択されます	40.0	32.0	20.0	12.0
01XX	1/8 周期が選択されます	20.0	16.0	10.0	6.0
1000	2/3 周期が選択されます Duty は 67% です	106.7	85.3	53.3	32.0
1001	1/3 周期が選択されます	53.3	42.7	26.7	16.0
1010	1/6 周期が選択されます	26.7	21.3	13.3	8.0
1011	1/12 周期が選択されます	13.3	10.7	6.7	4.0
110X	1/5 周期が選択されます	32.0	25.6	16.0	9.6
111X	1/10 周期が選択されます	16.0	12.8	8.0	4.8

X: don't care



4.2. CAN PLL クロック制御レジスタ(CANP_CANPCK)

CAN プリスケーラに入力される CANPLL クロックを設定します。

レジスタの値を変更する場合は, CAN 制御レジスタ(CTRLR)の初期化ビット(Init)を"1"に設定し, すべてのバス動作を停止してください。

Bit	31-8							
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000_00000000_00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved			CANPCK				
R/W 属性	R0,WX			R/W				
保護属性	-							
初期値	000			00001				

[bit31:5] Reserved: 予約ビット

[bit4:0] CANPCK[4:0]: プリスケーラクロック選択

CAN プリスケーラに入力される CANPLL クロックの周波数を選択します。

PLL 発振クロックに対して, CANPCK[4:0]の値に 1 加算した値によって分周されたクロックが CANPLL クロックになります。2～32 分周が可能です。

CANPCK[4:0]="0x00" (1 分周)は設定してはいけません。

$CANPLL \text{ クロック} = PLL \text{ 発振周波数} / (CANPCK + 1)$

例) PLL 発振クロック = 400MHz, CANPCK = "0x18"の場合,

$CAN \text{ PLL クロック} = 400 / (24 + 1) = 16 \text{ [MHz]}$

になります。

bit[4:0]	説明
00000	禁止
00001	PLLout/2
00010	PLLout/3
00011	PLLout/4
.....
11101	PLLout/30
11110	PLLout/31
11111	PLLout/32

PLLout : PLLout 発振周波数





CHAPTER 34: マルチファンクションシリアルインタフェース

マルチファンクションシリアルインタフェースについて説明します。

1. 概要
2. 構成



1. 概要

マルチファンクションシリアルインタフェースには以下の特長があります。

インタフェースモード

マルチファンクションシリアルインタフェースは動作モードの設定により、以下のインタフェースモードが選択可能です。

- UART0(非同期ノーマルシリアルインタフェース)
- UART1(非同期マルチプロセッサシリアルインタフェース)
- CSIO(クロック同期式シリアルインタフェース) (SPI に対応可能)
- LIN(LIN インタフェース)

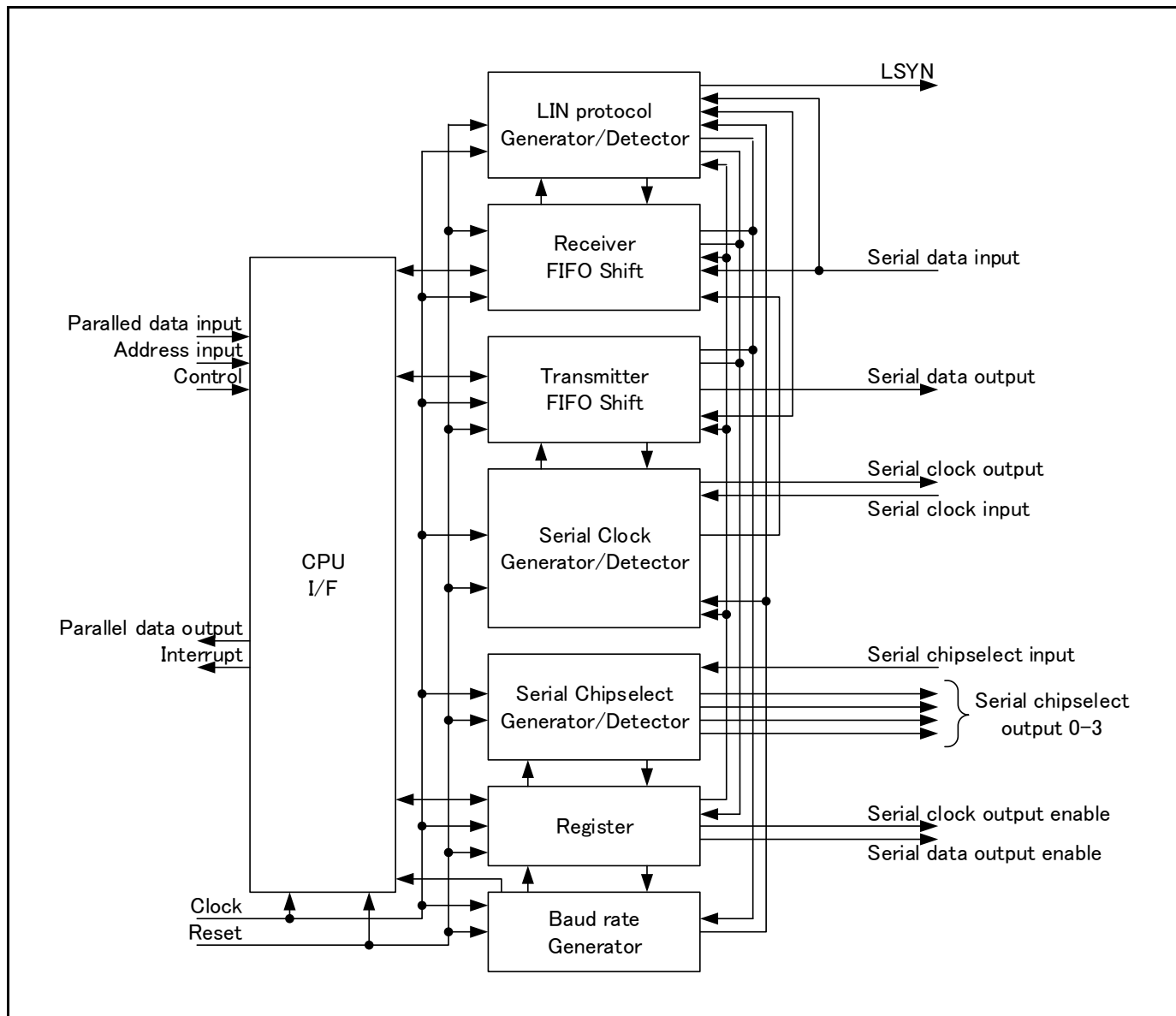
<注意事項>

- 各インタフェースの詳細は、『UART』、『CSIO』、『LIN インタフェース(v2.1)』の章を参照してください。

2. 構成

マルチファンクションシリアルインタフェースの構成について説明します。

図 2-1 マルチファンクションシリアルインタフェースの構成図





各ブロックの説明

a) Baud rate Generator

専用ボーレートジェネレータとして機能する 15 ビットリロードカウンタです。リロード値に対する 15 ビットレジスタから構成され、外部クロックまたは内部クロックより、送受信クロックおよび LIN Break Field 検出クロックを生成します。また、送信リロードカウンタのカウント値を BGR1, BGR0 から読み出せます。

b) Receiver/FIFO Shift

受信シフトレジスタ、受信 FIFO、受信ビットカウンタ、スタートビット検出回路、および受信パリティカウンタから構成されます。受信ビットカウンタは、受信データビットをカウントして、設定したデータ長に応じて 1 データの受信を完了すると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。このとき、受信割込みが許可されていれば受信割込み要求を発生します。スタートビット検出回路は、シリアル入力信号からスタートビットを検出し、スタートビットの立下りエッジに同期して、リロードカウンタに信号を送ります。受信パリティカウンタは、受信データのパリティを計算します。

受信シフトレジスタは SIN(Serial data input) 端子から入力された受信データをビットシフトしながら取り込み、受信が完了すると RDR レジスタまたは受信 FIFO 使用時は受信 FIFO に受信データを転送します。

c) Transmitter/FIFO Shift

送信シフトレジスタ、送信ビットカウンタ、送信スタート回路、送信パリティカウンタから構成されます。送信ビットカウンタは、送信データビットをカウントして、設定したデータ長に応じて 1 データを送信します。送信ビットカウンタが書き込みデータの送信開始を示すシリアルステータスレジスタにフラグをセットします。このとき、送信割込みが許可されていれば送信割込み要求を発生します。送信スタート回路は、TDR レジスタのデータ書き込みで送信動作を開始します。送信パリティカウンタは、パリティありの場合、送信するデータのパリティビットを生成します。

送信シフトレジスタは TDR レジスタまたは送信 FIFO 使用時は送信 FIFO に書き込まれたデータを送信シフトレジスタに転送し、ビットシフトしながら SOUT(Serial data output) 端子に出力します。

d) Serial Clock Generator/Detector

Serial Clock Generator は CSIO のマスタ動作時に、シリアルクロックを生成します。

Serial Clock Detector は CSIO のスレーブ動作時にシリアルクロックを検出します。検出したシリアルクロックの同期し、シリアルデータの送受信が行われます。

e) LIN protocol Generator/Detector

LIN protocol Detector は LIN マスタノードがメッセージヘッダを送信すると、LIN Break Field を検出します。LIN Break Field が検出されると、LIN Break Field 検出フラグビット(SSR:LBD)が"1"に設定されます。LIN Sync Field の 1 回目と 5 回目の立下りエッジを検出し、LIN マスタノードが送信する実際のシリアルクロック同期を測定するために、キャプチャへ内部信号(LSYN) を出力します。

LIN protocol Generator は拡張ステータス制御レジスタの LIN Break Field 長選択ビットにより選択された長さの LIN Break Field を生成します。

f) Serial Chipselect Generator/Detector

Serial Chipselect Generator は CSIO モードのマスタ時に各チップセレクト端子の制御を行います。

Serial Chipselect Detector は CSIO モードのスレーブ時にチップセレクト入力の状態を監視します。

g) Register

各レジスタの設定部です。

h) CPU I/F

バスと Register とのインタフェース部です。

CHAPTER 35: UART(非同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの動作モード 0, 1 でサポートしている UART(非同期シリアルインタフェース)機能について説明します。

1. 概要
2. 割込み
3. 動作説明
4. シリアルタイマの動作
5. テストモード
6. 専用ボーレートジェネレータ
7. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー
8. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー
9. レジスタ
10. 使用上の注意



1. 概要

UART(非同期シリアルインタフェース)は、外部装置と非同期通信(調歩同期)をするための、汎用のシリアルデータ通信インタフェースです。双方向通信機能(ノーマルモード)、マスタ/スレーブ型通信機能(マルチプロセッサモード:マスタ/スレーブ両方サポート)をサポートしています。また、送信/受信用のFIFOを搭載しています。

UART(非同期シリアルインタフェース)の機能

項目		機能
1	データ	<ul style="list-style-type: none"> - 全二重ダブルバッファ(FIFO 未使用時) - 送信/受信 FIFO(サイズ 64 バイト : FIFO 使用時)
2	シリアル入力	バスクロックにより 3 回オーバーサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送形式	非同期
4	ボーレート	<ul style="list-style-type: none"> - 専用ボーレートジェネレータ(15 ビットリロードカウンタ構成) - 外部クロック入力をリロードカウンタにより調節可能。
5	データ長	- 5~9 ビット(ノーマルモード時), 7, 8 ビット(マルチプロセッサモード時)
6	信号方式	NRZ(Non Return to Zero), 反転 NRZ
7	スタートビット検出	<ul style="list-style-type: none"> - スタートビット立下りエッジに同期(NRZ 方式の場合) - スタートビット立上りエッジに同期(反転 NRZ 方式の場合)
8	受信エラー検出	<ul style="list-style-type: none"> - フレーミングエラー - オーバランエラー - パリティエラー*1
9	同期送信機能	- シリアルタイマに同期し、定期的にデータを自動送信可能
10	タイマ機能	<ul style="list-style-type: none"> - 16 ビットシリアルタイマを搭載 - 動作クロックの分周値選択可能(1~256 分周)
11	割込み要求	<ul style="list-style-type: none"> - 受信割込み (受信完了, フレーミングエラー, オーバランエラー, パリティエラー*1) - 送信割込み(送信データエンプティ, 送信バスアイドル) - 送信 FIFO 割込み (送信 FIFO が割込みトリガレベル以下のときまたは送信 FIFO がエンプティのとき) - 送受信とも DMA 転送サポート機能あり - ステータス割込み(シリアルタイマ割込み)
12	マスタ/スレーブ型通信機能 (マルチプロセッサモード)	1(マスタ) 対 n(スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)
13	FIFO オプション	<ul style="list-style-type: none"> - 送受信 FIFO 搭載(送信 FIFO 64 バイト, 受信 FIFO 64 バイト) - 送信 FIFO と受信 FIFO を選択可能 - 送信データ再送可能 - 受信 FIFO 割込みタイミングをソフトウェアにより可変可能 - 独立して FIFO リセットサポート

*1: パリティエラーはノーマルモード時のみ。

2. 割込み

UART には、送受信割込みおよびステータス割込みがあります。次に示す要因により割込み要求を発生させられます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合。
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合。
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求。
- シリアルタイマの比較値(STMCR)とシリアルタイマ値(STMCR)が一致



UART の割り込み

UART の割り込み制御ビットと割り込み要因は表 2-1 のようになっています。

表 2-1 UART の割り込み制御ビットと割り込み要因

割り込みの種類	割り込み要求フラグビット	フラグレジスタ	動作モード		割り込み要因	割り込み要因許可ビット	割り込み要求フラグのクリア
			0	1			
受信	RDRF	SSR	○	○	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
					FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
					FRIIE ビットが"1"で受信		
					FIFO に有効なデータが存在した状態において8ビット時間以上の受信アイドル状態検出		
	ORE	SSR	○	○	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	○	○	フレーミングエラー		
	PE	SSR	○	×	パリティエラー		
送信	TDRE	SSR	○	○	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) ^{*1}
	TBI	SSR	○	○	送信動作なし	SCR:TBIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) ^{*1}
	FDRQ	FCR1	○	○	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
ステータス	TINT	SACSR	○	○	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINTE	タイマ割り込みフラグビット(SACSR:TINT)への"0"書込み

*1 : TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

2.1. 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了(SSR:RDRF)および受信エラーの発生(SSR:PE, ORE, FRE)があります。

受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)または受信エラーが発生(SSR:PE, ORE, FRE=1)した場合、各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

<注意事項>

- 受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。

図 2-1 RDRF(受信データフル)フラグビットのセットタイミング

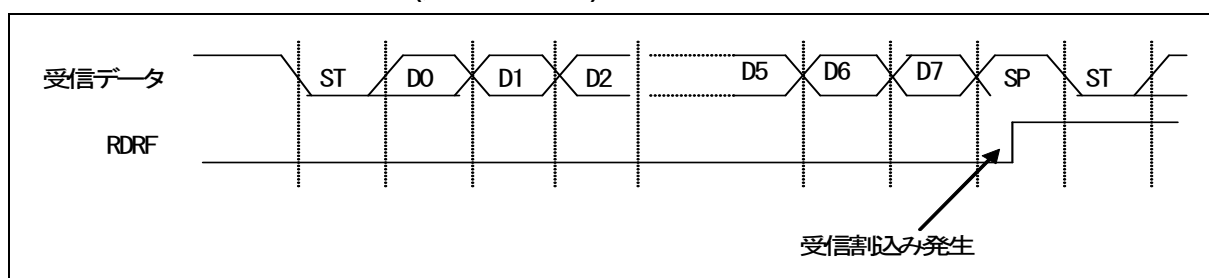
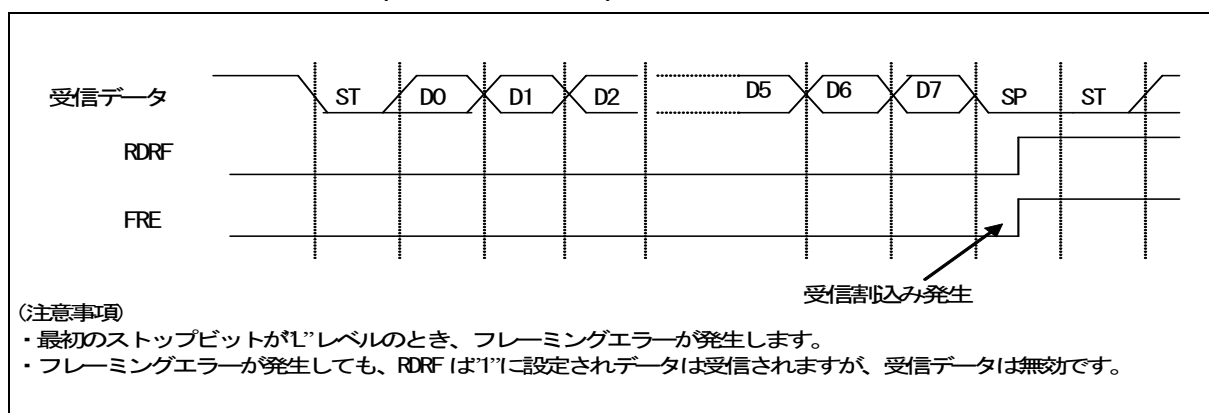


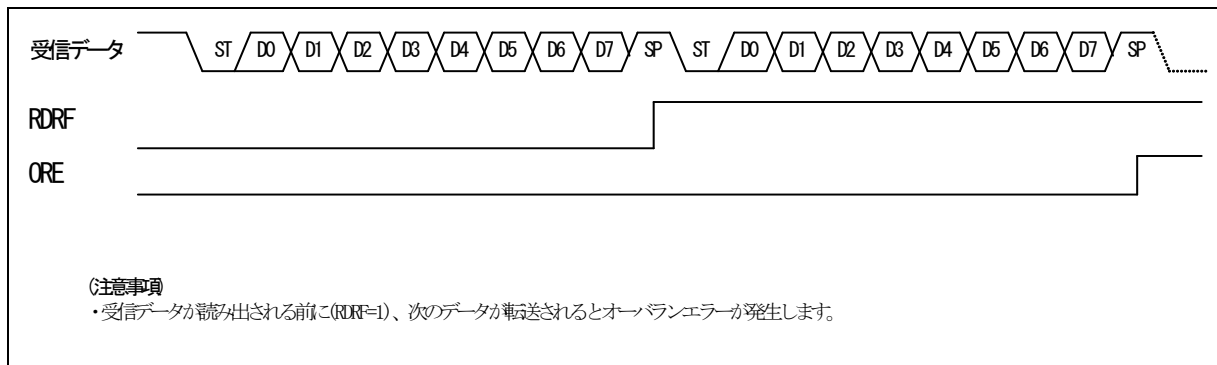
図 2-2 FRE(フレーミングエラー)フラグビットのセットタイミング



<注意事項>

- 受信時、ストップビットのサンプリングポイントと同時または1~2バスクロック前に下記を検出した場合、そのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空ける必要があります。
- シリアルデータの立下りエッジ(ESCR:INV=0 の場合)
- シリアルデータの立上りエッジ(ESCR:INV=1 の場合)

図 2-3 ORE (オーバランエラー)フラグビットのセットタイミング



2.2. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは, FBYTE レジスタ(FBYTE)の設定値分を受信した場合に発生します。

受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は, FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合, シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき, 受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方とも満たす場合において, 受信アイドル状態がボーレートクロックで 8 クロック以上続くと, 割込みフラグ(SSR:RDRF)が"1"に設定されます。
 - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
 - 受信 FIFO に存在するデータ数が転送数に達しない
- 8 クロックカウント中, RDR を読み出すとそのカウンタは 0 にリセットされ, 再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合, 再度, カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと, 受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で, 次のデータを受信した場合, オーバランエラー(SSR:ORE=1)が発生します。

図 2-4 受信 FIFO 使用時の受信割込み発生タイミング

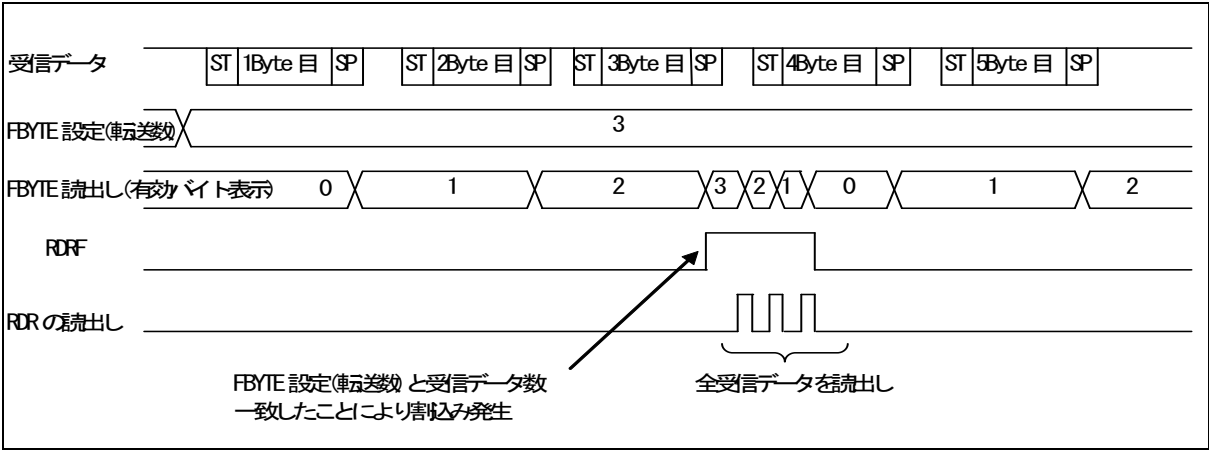
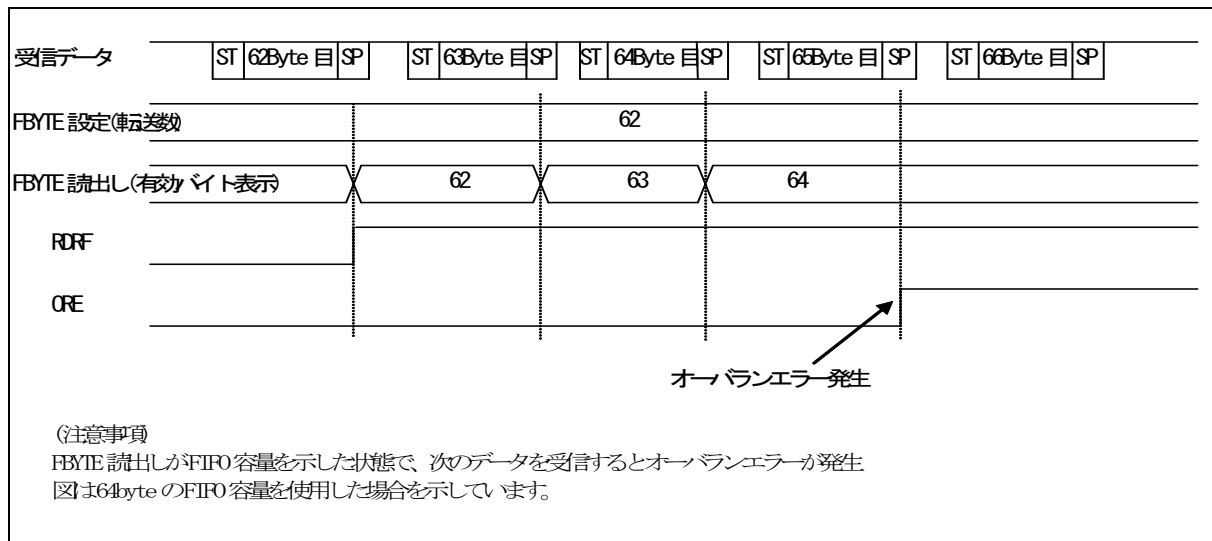


図 2-5 ORE (オーバーランエラー)フラグビットのセットタイミング



2.3. 送信割込み発生とフラグセットのタイミング

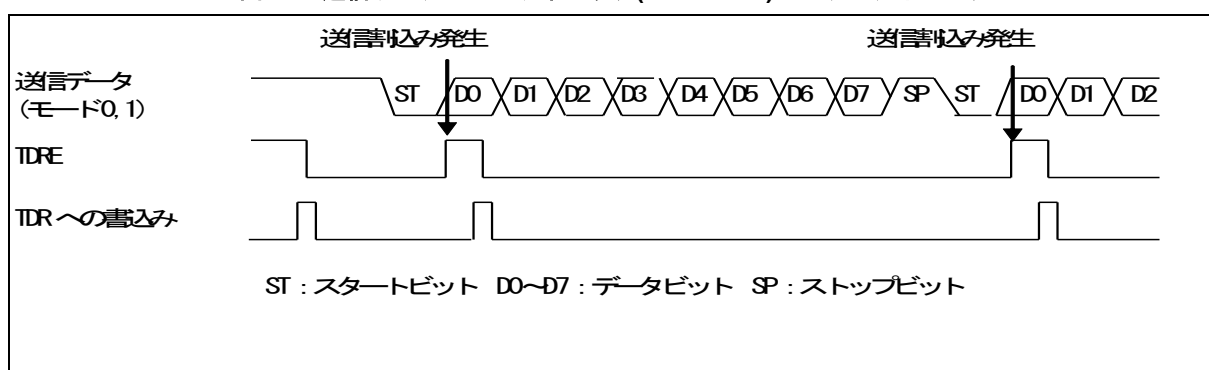
送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)、送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

(1) 送信割込み発生とフラグセットのタイミング

a) 送信データエンプティフラグ(SSR:TDRE)のセットタイミング

送信データレジスタ(TDR)に書込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)です。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDRE ビットは読出し専用ビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

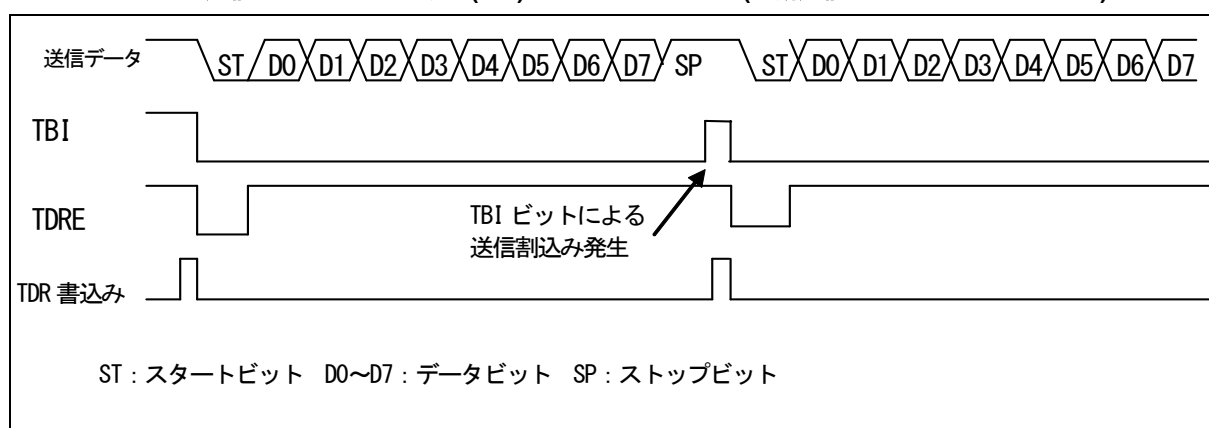
図 2-6 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



b) 送信バスアイドルフラグ(SSR:TBI)のセットタイミング

送信データレジスタが空(SSR:TDRE=1)で送信動作をしていないとき、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データを書き込むと SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 2-7 送信バスアイドルフラグ(TBI)のセットタイミング(同期送信禁止 SACSR:TSYNE=0)



<注意事項>

- 同期送信時(SACSR:TSYNE=1)は、転送バイト数(TBYTE)に設定した回数のデータ送信終了後に送信データレジスタが空(SSR:TDRE=0)であれば、SSR:TBI ビットは"1"に設定されます。

2.4. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

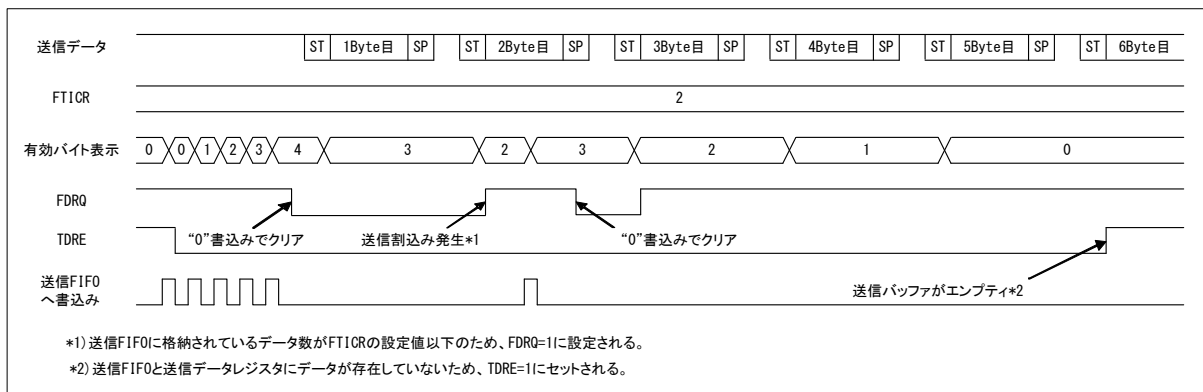
送信 FIFO 使用時の割込みは、送信 FIFO に格納されているデータ数が、FTICR レジスタ(FTICR)の設定数以下のときに発生します。

送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生は、FTICR レジスタの設定値によって決定されます。

- 送信 FIFO に格納されているデータ数が FTICR レジスタの設定値以下である場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになった場合 FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ(FBYTE) または送信 FIFO 割込み制御レジスタ(FTICR)を読み出すことにより確認できます。
FBYTE=0x00, FTICR=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 2-8 送信 FIFO 使用時の送信割込み発生タイミング



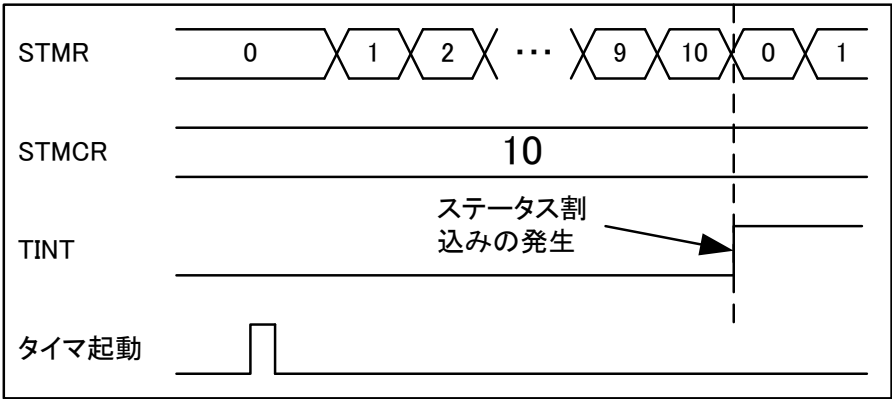
2.5. タイマ割り込み発生とフラグセットのタイミング

タイマ割り込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致した場合に発生します。

タイマ割り込みの発生とフラグセットのタイミング

- シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致した場合、タイマ割り込みフラグ(SACSR:TINT)が"1"にセットされます。
- このとき、タイマ割り込み許可(SACSR: TINT=1)されているとステータス割り込みが発生します。

図 2-9 タイマ割り込み発生タイミング





3. 動作説明

UART は、モード 0 の双方向シリアル非同期通信、モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

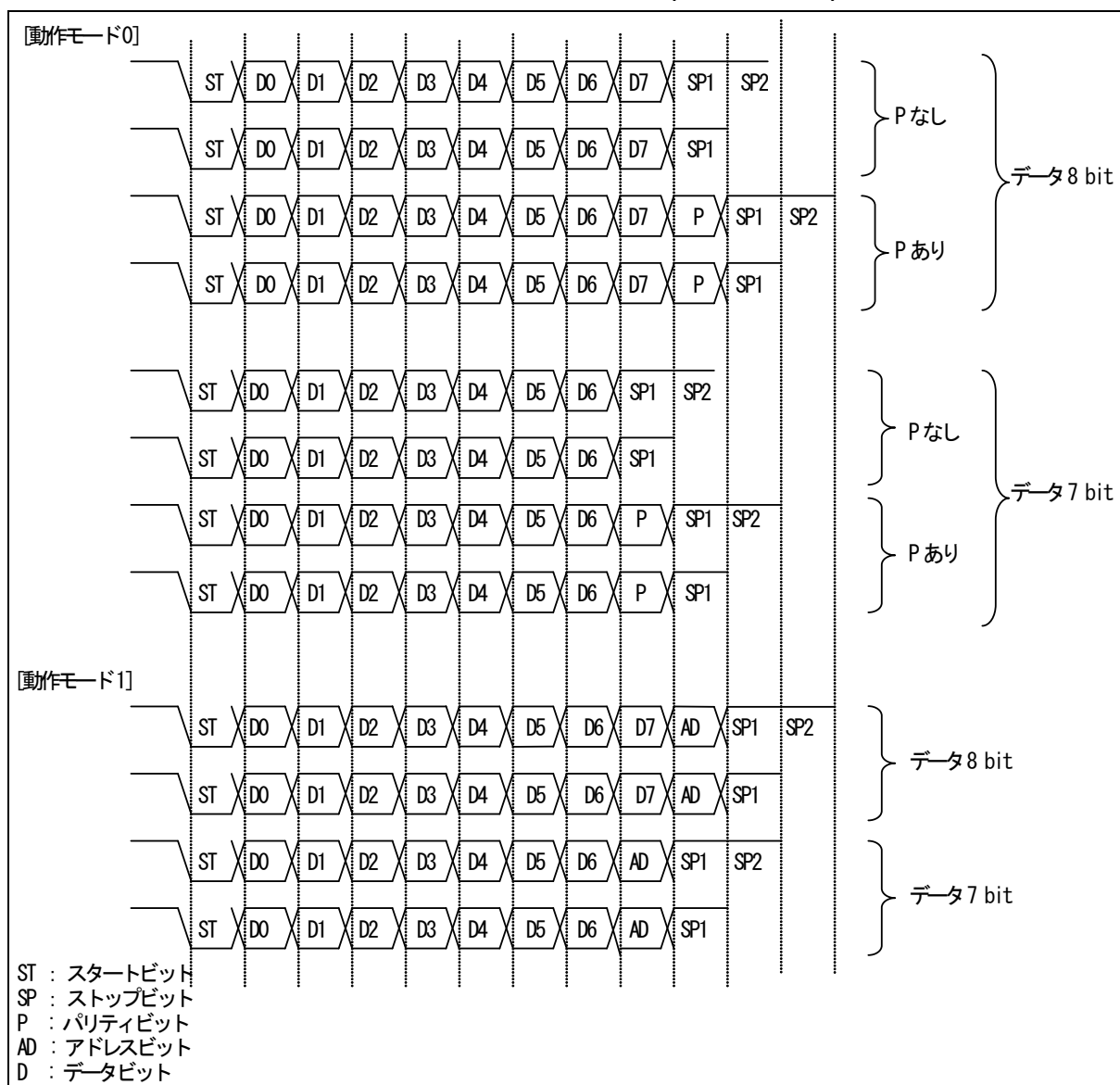
UART の動作

a) 送受信データフォーマット

- 送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
- データ転送方向(LSB ファーストまたは MSB ファースト)は、シリアルモードレジスタ(SMR)の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
- 動作モード 0(通常モード)のとき、パリティは、あり/なしの選択ができます。
- 動作モード 1(マルチプロセッサモード)のとき、パリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマットを図 3-1 に示します。

図 3-1 送受信データフォーマット例(動作モード0, 1)



＜注意事項＞

- 上図は、データ長7, 8ビットに設定した場合を示しています(データ長は、動作モード0の場合、5～9ビットまで設定できます)。
- シリアルモードレジスタ(SMR)のBDSビットを"1"(MSBファースト)に設定した場合、ビットはD7, D6, D5, . . . , D1, D0(P)の順で処理されます。
- データ長をXビット長に設定した場合、送受信データレジスタ(RDR/TDR)の下位Xビットが有効です。

b) 送信動作

- シリアルステータスレジスタ(SSR)の送信データエンプティフラグビット(TDRE)が"1"であれば、送信データレジスタ(TDR)に送信データを書き込みます(送信FIFOが許可されている場合にはTDRE=0でも送信データを書き込むことは可能)。
- 送信データを送信データレジスタ(TDR)に書き込むと、送信データエンプティフラグビット(SSR:TDRE)は"0"に設定されます。



- シリアル制御レジスタの送信動作許可ビット(SCR:TXE)を"1"に設定した場合、送信データは送信シフトレジスタにロードされスタートビットから順に送信が開始されます。
- 送信が開始されると、送信データエンプティフラグビット(SSR:TDRE)は再び"1"に設定されます。このとき、送信割込が許可(SCR:TIE=1)されていれば、送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書き込みます。

<注意事項>

- 送信データエンプティフラグビット(SSR:TDRE)は初期値が"1"のため、送信割込みが許可(SCR:TIE)されると直ちに送信割込みが発生します。
- FIFO 送信データ要求ビット(FCR1:FDRQ)は初期値が"1"のため、FIFO 送信割込みが許可(FCR1:FTIE=1)されると直ちに送信割込みが発生します。

c) 受信動作

- 受信動作が許可(SCR:RXE=1)されると、受信動作を行います。
- スタートビットを検出した後、拡張通信制御レジスタ(ESCR:PEN, P, L2~0)およびシリアルモードレジスタ(SMR:BDS)に設定されているデータフォーマットに従って1フレームデータの受信が行われます。スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を3回バスクロックでサンプリングし、多数決)通過後に立下り(ESCR:INV=0 の場合)または立上り(ESCR:INV=1 の場合)を検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。
- 1フレームの受信が完了した場合、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。このとき、受信割込みが許可(SCR:RIE=1)されている場合、受信割込みが発生します。
- 受信データを読み出す際には、1フレームデータの受信完了後に受信データを読み出し、シリアルステータスレジスタ(SSR)のエラーフラグの状態を確認してください。受信エラーが発生している場合には、エラー処理を行ってください。
- 受信データの読出しで、受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。
- 受信 FIFO が許可されている場合、受信 FBYTE に設定された分のフレームを受信したときに受信データフルフラグビット(SSR:RDRF)は"1"に設定されます。
- 下記条件を両方満たす場合において、受信アイドル状態がボーレートクロックで8クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
 - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
 - 受信 FIFO に存在するデータ数が転送数に達しない
- 8クロックカウント中、RDR を読み出すとそのカウンタは0にリセットされ、再度8クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは0にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度カウントを開始します。
- 受信 FIFO が許可されている場合、シリアルステータスレジスタ(SSR)のエラーフラグが"1"に設定されると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット(SSR:RDRF)を"1"に設定しません (ただし、オーバランエラーの場合、RDRF フラグは"1"に設定されます)。受信 FBYTE の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ(SSR)のエラーフラグが"0"にクリアされないと受信 FIFO は許可されません。
- 受信 FIFO が許可されている場合、受信 FIFO にデータがなくなると受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。

<注意事項>

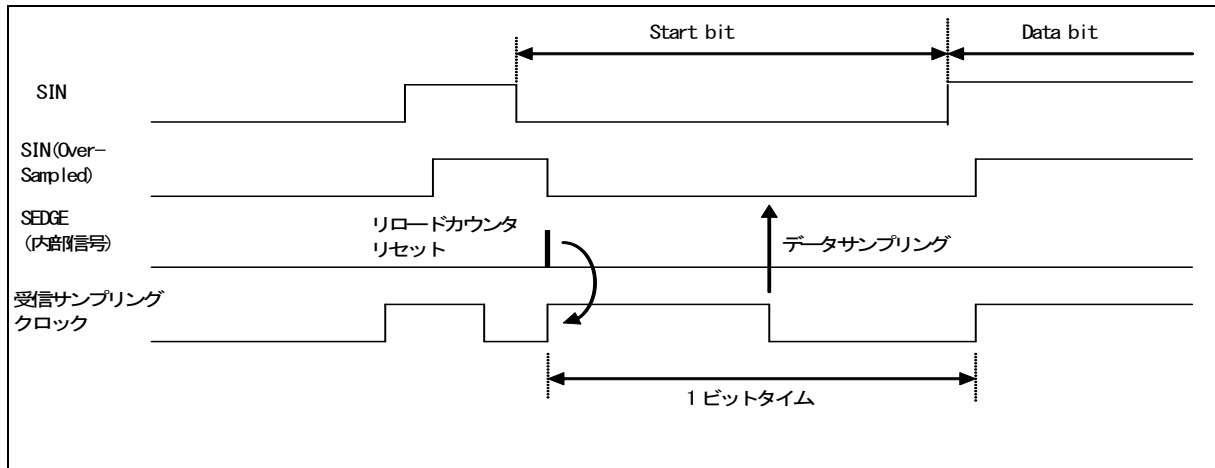
- 受信データレジスタ(RDR)のデータは、受信データレジスタフルフラグビット(SSR:RDRF)が"1"に設定され、受信エラーが発生しなかった場合(SSR:PE, ORE, FRE=0)に有効です。
- ノイズフィルタ(シリアルデータ入力を3回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズがフィルタを通過してしまうと間違ったデータを受信してしまいます。その対策としてノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または1~2バスクロック前に下記を検出した場合、そのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空ける必要があります。
 - シリアルデータの立下リエッジ(ESCR:INV=0 の場合)
 - シリアルデータの立上リエッジ(ESCR:INV=1 の場合)

d) クロック選択

- 内部クロックまたは外部クロックを使用できます。
- 外部クロックを使用する場合は、BGR1:EXT=1 に設定します。この場合、外部クロックが、ボーレートジェネレータによって分周されます。

e) スタートビット検出

- 非同期モード時は, SIN 信号の立下りエッジによってスタートビットを認識します。
このため受信動作許可(SCR:RXE=1)しても, SIN 信号の立下りエッジが入力されないと, 受信動作を開始しません。
- スタートビットの立下りエッジを検出した場合, ボーレートジェネレータの受信リロードカウンタはリセットされ, 再リロードしカウントダウンを開始します。これによって, 常にデータの中心でサンプリングします。

図 3-2 スタートビット検出**f) ストップビット**

- 1ビットから4ビット長を選択できます。
- 受信データフルフラグビット(SSR:RDRF)は, 最初のストップビットを検出した場合に"1"に設定されます。

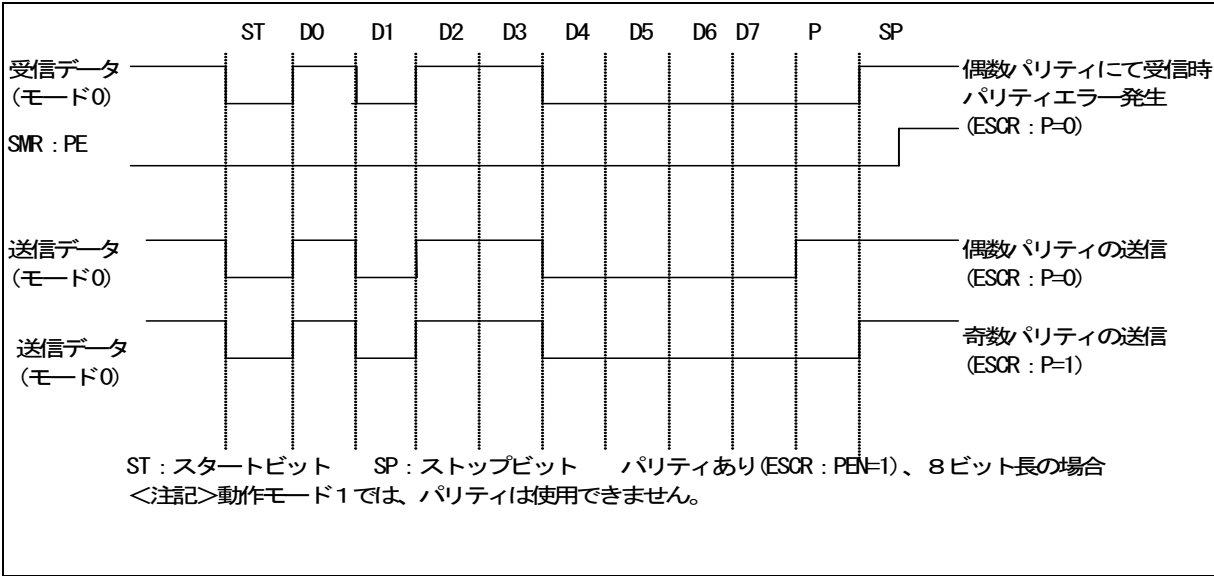
g) エラー検出

- 動作モード0のとき, パリティエラー, オーバランエラー, フレーミングエラーが検出できます。
- 動作モード1のとき, オーバランエラー, フレーミングエラーが検出できます。パリティエラーは検出できません。

h) パリティビット

- パリティビットの付加は, 動作モード0の場合のみ設定できます。パリティ許可ビット(ESCR:PEN)でパリティの有無を, パリティ選択ビット(ESCR:P)で偶数パリティ/奇数パリティを設定できます。
- 動作モード1のとき, パリティを使用できません。
- パリティ有効時の送受信データを図 3-3 に示します。

図 3-3 パリティ有効時の動作

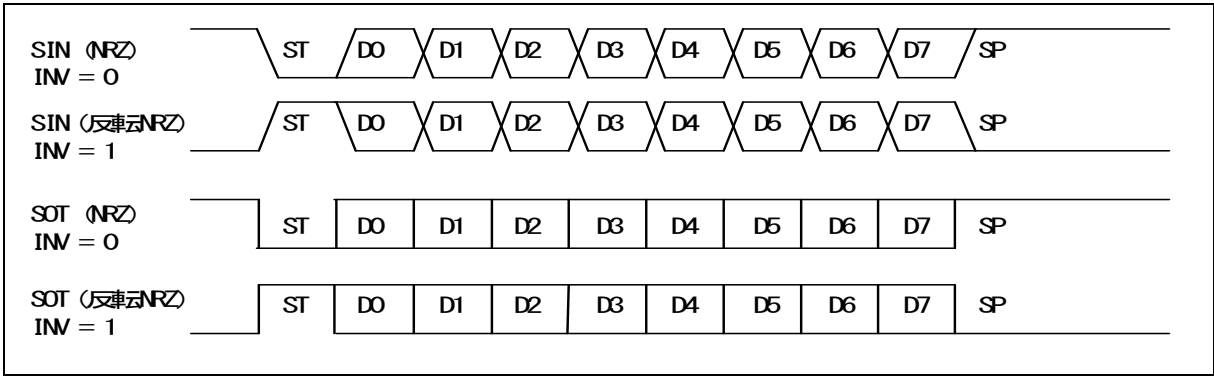


i) データ信号方式

拡張通信制御レジスタの INV ビットの設定によって、NRZ(Non Return to Zero)信号方式(ESCR:INV=0)または反転 NRZ 信号方式(ESCR:INV=1)を選択できます。

NRZ 信号方式および反転 NRZ 信号方式を図 3-4 に示します。

図 3-4 NRZ (Non Return to zero)信号方式および反転 NRZ 信号方式



j) データ転送方式

データビット転送方法を LSB ファーストまたは MSB ファーストを選択できます。



4. シリアルタイマの動作

シリアルタイマは、タイマ機能または同期送信機能のいずれかに利用できます。

シリアルタイマの動作

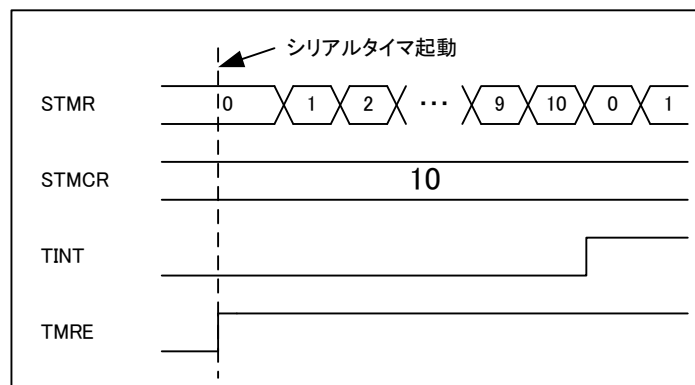
シリアルタイマの起動方法

シリアルタイマの起動方法はシリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットします。

- シリアルタイマ許可ビット(SACSR:TMRE)による起動

シリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットしたときにシリアルタイマは起動し、シリアルタイマレジスタ(STMR)が0からカウントを開始します。

図 4-1 シリアルタイマ許可ビットによる起動(STMCR=10, TSYNE=0)



シリアルタイマの停止方法

シリアルタイマ許可ビット(SACSR:TMRE)を"0"に設定した場合、シリアルタイマは停止します。このときシリアルタイマレジスタ(STMR)の値は保持されます。

タイマ動作

同期送信許可ビット(SACSR:TSYNE)が"0"のときに、シリアルタイマはタイマとして動作します。

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、タイマ割込みフラグ(SACSR:TINT)を"1"にセットし、シリアルタイマレジスタ(STMR)は0にリセットされます。

図 4-2 タイマ動作(STMCR=10, SACSRTCYSNE=0)

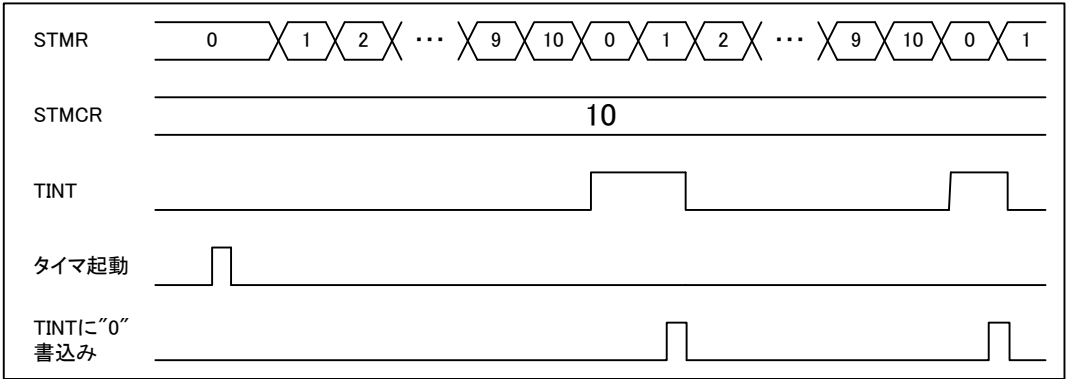


図 4-3 シリアルタイマの初期設定のフローチャート

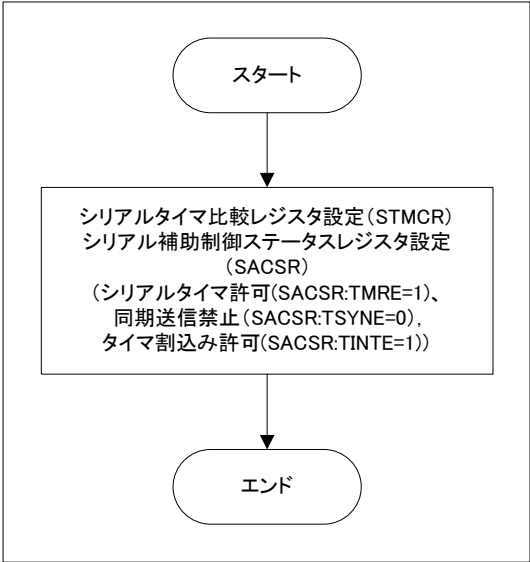
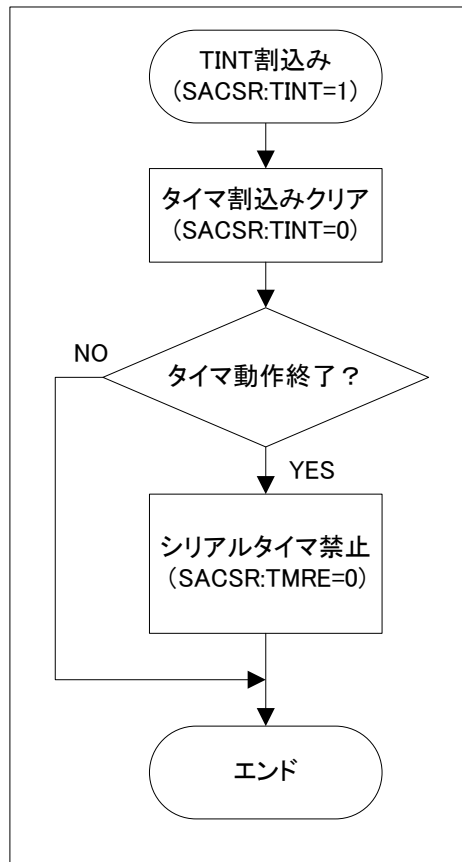


図 4-4 シリアルタイマの割込み処理のフローチャート

**<注意事項>**

- 同期送信禁止(SACSR:TSYNE=0)でタイマ比較レジスタ(STMCR)が"0x0000"に設定された状態で、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV3~0)が"0b0000"に設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。

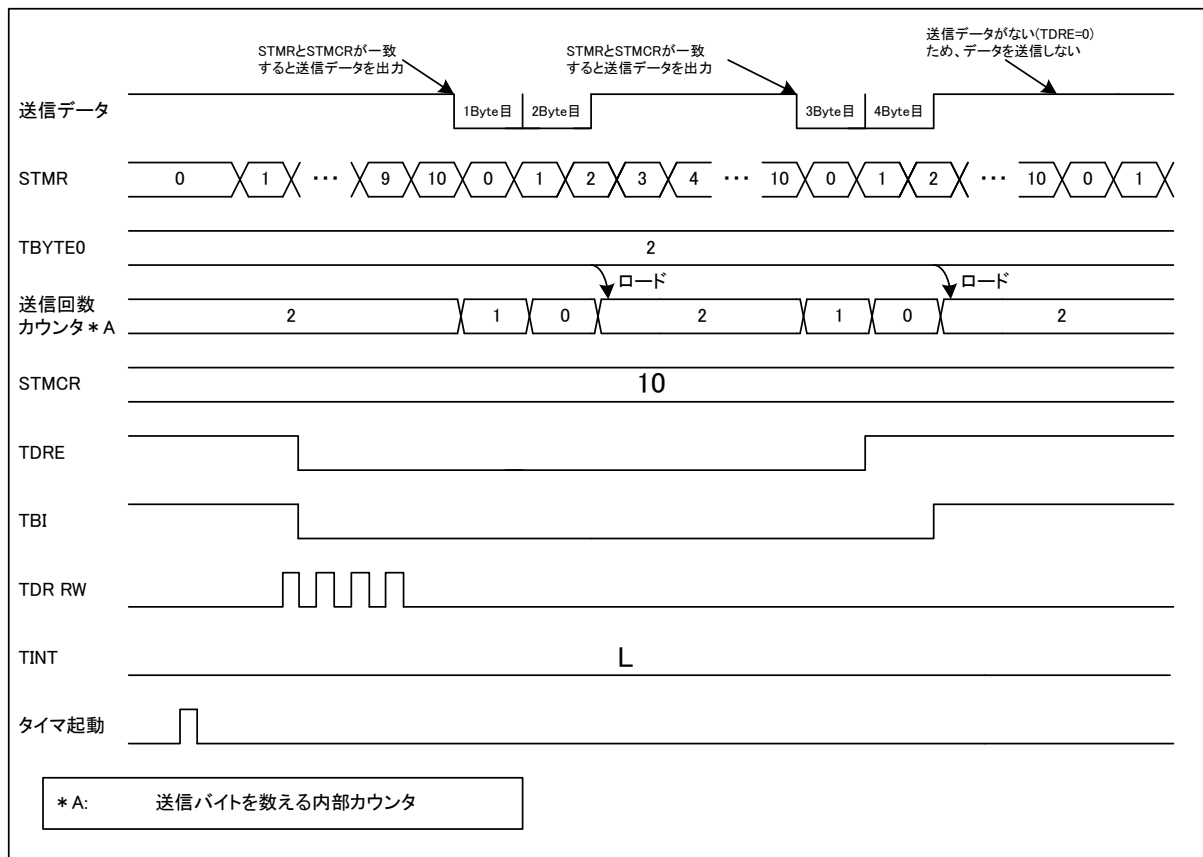
タイマに同期した送信動作

同期送信許可ビット(SACSR:TSYNE)が"1"のときに、シリアルタイマは同期送信に利用されます。

タイマに同期した送信は以下のように動作します。

1. 送信データレジスタにデータがある状態(SSR:TDRE=0)で、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致する場合、送信動作が開始し、シリアルタイマレジスタ(STMR)は0にリセットされます。TBYTE0 に設定したデータ数だけ送信し続けます。
2. TBYTE0 に設定したデータ数のデータ送信を完了した後、送信動作は次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで停止します。

図 4-5 タイマに同期した送信動作(SACSR:TSYNE=1, STMR=10, TBYTE0=2)



同期送信許可(SACSR:TSYNE=1)でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときに下記の条件の場合、送信は起動されません。

- 送信禁止(SCR:TXE=0)時
- 送信データレジスタに有効なデータがない(SSR:TDRE=1)場合

ただし、送信データレジスタに有効なデータがない(SSR:TDRE=1)場合に同期送信許可(SACSR:TSYNE=1)でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときは、送信データを送信データレジスタへ書き込むと即送信が開始します。

TBYTE に設定したデータ数の送信完了後に送信データレジスタ(TDR)に有効な送信データがある(SSR:TDRE=0)場合、その送信データは次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで送信されません。

ただし、同期送信許可(SACSR:TSYNE=1)で送信動作中(SSR:TBI=0)にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、送信予約します。送信予約した場合、TBYTE0 に設定した回数だけ送信後、送信は停止せず、次の送信が開始されます。

なお、送信予約は下記のいずれかの条件で解除されます。

- プログラマブルリセット(SCR:UPCL=1)
- 送信禁止(SCR:TXE=0)

図 4-6 タイマに同期した送信の初期設定フローチャート

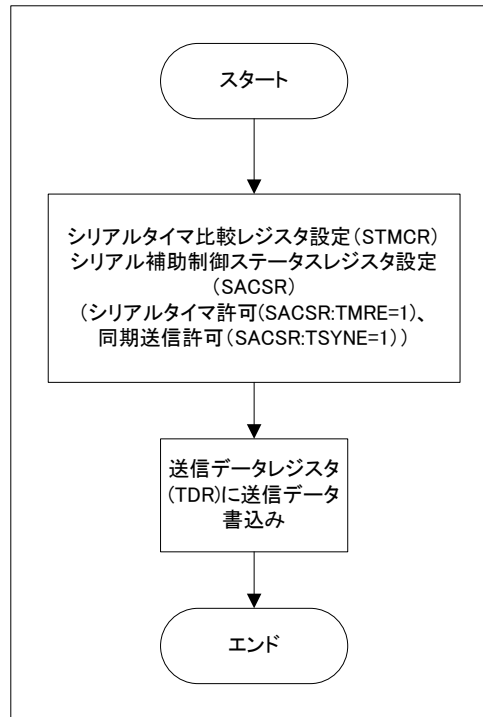
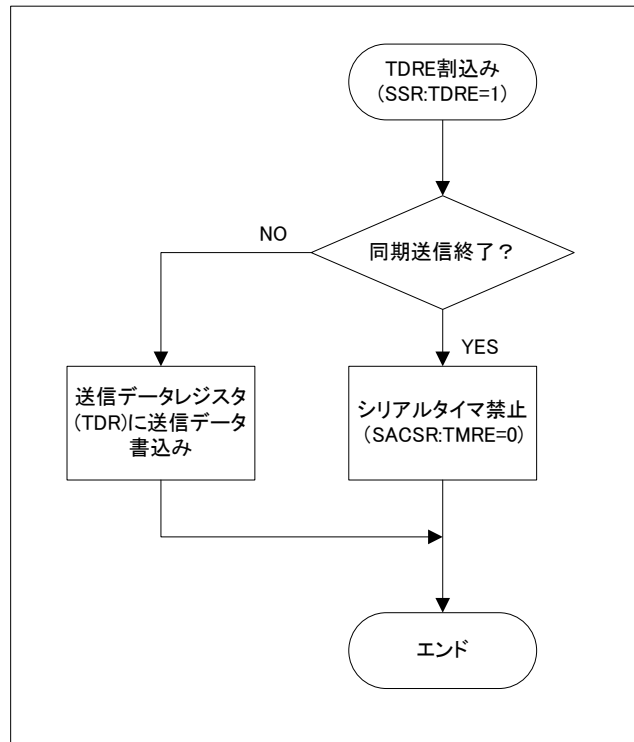


図 4-7 タイマに同期した送信の割込み処理フローチャート



＜注意事項＞

- TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1)場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。

5. テストモード

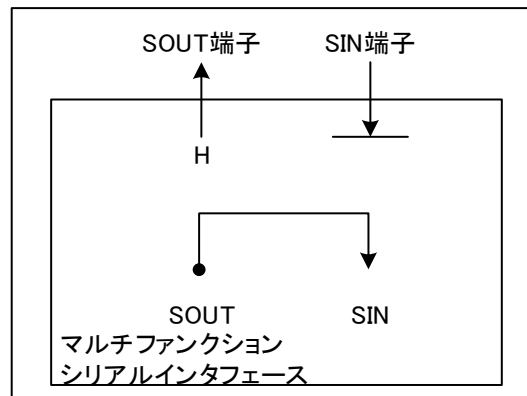
テストモードの動作について説明します。

シリアルテストモード

シリアルテストモード許可時(SACSR:STST=1), マルチファンクションシリアルインタフェース内部でSOUTとSINが接続され, SOUTから送信されるデータをそのままSINより受信できます。

シリアルテストモード許可時(SACSR:STST=1), 端子SOUTは"H"固定となり, 端子SINに入力されたデータは無視されます。

図 5-1 シリアルテストモード



<注意事項>

- シリアルテストモード許可ビット(SACSR:STST)は送受信禁止(SCR:TXE=RXE=0)のときのみ変更できます。

6. 専用ボーレートジェネレータ

UART の送受信クロックソースは、次のいずれかを選択できます。

- 専用ボーレートジェネレータ(リロードカウンタ)
- 外部クロックをボーレートジェネレータに入力(リロードカウンタ)

UART ボーレート選択

ボーレートは次の 2 種類の中から 1 種類を選択できます。

a) 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択(BGR1:EXT=0)してください。

b) 専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(BGR1:EXT=1)してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

<注意事項>

- 外部クロックの設定(BGR1:EXT=1)は、リロードカウンタが停止した状態(BGR1/0=0x0000)で行ってください。
- 外部クロックに設定(BGR1:EXT=1)した場合、外部クロックの"H"幅, "L"幅は2 バスクロック以上必要です。



6.1. ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

(1) ボーレートの計算

2つの15ビットリロードカウンタは、ボーレートジェネレータレジスタ1,0(BGR1, BGR0)で設定します。ボーレートの計算式を以下に示します。

(1)リロード値:

$$V = \Phi / b - 1$$

V : リロード値 b : ボーレート Φ : バスクロック周波数、外部クロック周波数

(2)計算例

バスクロック16MHz、内部クロック使用、ボーレート19200bpsに設定する場合のリロード値は次のようになります。

リロード値:

$$V = (16 \times 1000000) / 19200 - 1 = 832$$

よって、ボーレートは

$$b = (16 \times 1000000) / (832 + 1) = 19208\text{bps}$$

(3)ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差}(\%) = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) バスクロック20MHz、目標ボーレート153600bpsに設定する場合

$$\text{リロード値} = (20 \times 1000000) / 153600 - 1 = 129$$

$$\text{ボーレート(計算値)} = (20 \times 1000000) / (129 + 1) = 153846 \text{ (bps)}$$

$$\text{誤差}(\%) = (153846 - 153600) / 153600 \times 100 = 0.16 \text{ (\%)}$$

<注意事項>

- リロード値を"0"に設定した場合、リロードカウンタは停止します。
- リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック1サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
- リロード値は4以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- 許容ボーレート範囲につきましてはマクロへ入力されるクロックのジッタによる影響も考慮してください。

(2) 各バスクロック周波数に対するリロード値とボーレート設定例

リロード値とボーレートの設定例を示します。

表 6-1 リロード値とボーレート設定値

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	-	4	0	5	0	7	0
2.5M	-	-	-	-	-	-	7	0	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	312	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	0.06	555	-0.08	693	0.06	832	0.04	1110	0.01
19200	416	-0.08	520	-0.03	832	0.04	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	2082	0.02	2499	0	3332	0.01
7200	1110	0.01	1388	<0.01	2221	0.01	2777	<0.01	3332	0.01	4443	0.01
4800	1666	-0.02	2082	0.02	3332	0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1/0 レジスタの設定値(10 進)
- ERR : ボーレート誤差(%)



表 6-2 リロード値とボーレート設定例(続き)

ボーレート (bps)	40 MHz		48 MHz		72 MHz		80MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	9	0	11	0	17	0	19	0
2.5M	15	0	-	-	-	-	31	0
2M	19	2	23	0	35	0	39	0
1M	39	0	47	0	71	0	79	0
500000	79	0	95	0	143	0	159	0
460800	86	-0.22	103	0.16	155	0.16	173	-0.22
250000	159	0	191	0	287	0	319	0
230400	173	-0.22	207	0.16	312	-0.16	346	0.06
153600	259	0.16	312	-0.16	468	-0.05	520	-0.03
125000	319	0	383	0	575	0	639	0
115200	346	0.06	416	-0.08	624	0	693	0.06
76800	520	-0.03	624	0	937	-0.05	1041	-0.03
57600	693	0.06	832	0.04	1249	0	1388	<0.01
38400	1041	-0.03	1249	0	1874	0	2082	0.02
28800	1388	<0.01	1666	-0.02	2499	0	2777	<0.01
19200	2082	0.02	2499	0	3749	0	4166	-0.01
10417	3839	<0.01	4607	<0.01	6911	<0.01	7679	0
9600	4166	<0.01	4999	0	7499	0	8332	0
7200	5555	<0.01	6666	<0.01	9999	0	11110	0
4800	8332	<0.01	9999	0	14999	0	16666	0
2400	16666	<0.01	19999	0	29999	0	-	-
1200	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-

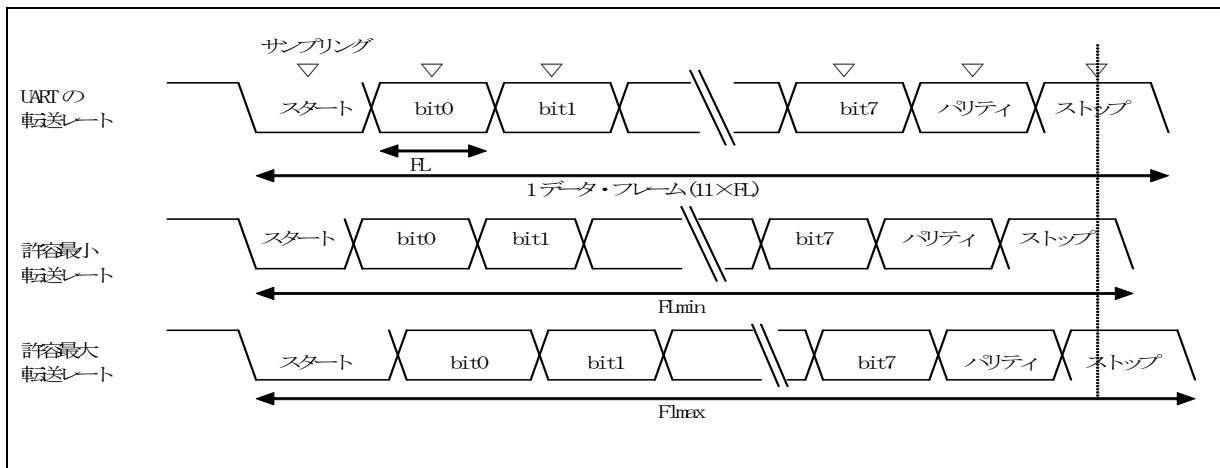
- Value : BGR1/0 レジスタの設定値(10 進)
- ERR : ボーレート誤差(%)

(3) 受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。

受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 6-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後はBGR1/0レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、以下のとおりです。

サンプリング・タイミングのマージンをバスクロック(ϕ)の1クロック分とした場合、許容最小転送レート(FLmin)は以下のとおりです。

$$FLmin = (11bit \times (V+1) - (V+1)/2 + 2) / \phi = (21V+25)/2 \phi \text{ (s)} \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

したがって、受信可能な送信先の最大ボーレート(BGmax)は以下のとおりです。

$$BGmax = 11/FLmin = 22 \phi / (21V+25) \text{ (bps)} \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

許容最大転送レート(FLmax)データを受信する場合、11ビット目の受信データの始点にてサンプリングが行われます。

よって、許容最大転送レート(FLmax)は以下のとおりです。

$$10/11 \times FLmax = (11bit \times (V+1) - (V+1)/2) / \phi \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

$$FLmax = (21/20 \times 11 \times (V+1)) / \phi$$

サンプリング・タイミングのマージン(ϕ)を2クロック分とした場合、許容最大転送レート(FLmax)は以下のとおりです。

$$FLmax = (21/20 \times 11 \times (V+1) - 2) / \phi = (231V+191)/20 \phi \text{ (s)} \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

したがって、受信可能な送信先の最小ボーレート(BGmin)は以下のとおりです。

$$BGmin = 11/FLmax = 220 \phi / (231V+191) \text{ (bps)} \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

前述の最小/最大ボーレート値の算出式から, UART と送信先とのボーレートの許容誤差を求めると以下のとおりです。

表 6-3 リロード値とボーレートの許容誤差

リロード値(V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+2.98%	-3.24%
50	+4.37%	-4.44%
100	+4.56%	-4.60%
200	+4.66%	-4.68%
32767	+4.76%	-4.76%

<注意事項>

- 受信の精度は, 1 フレームのビット数, バスクロック, リロード値に依存します。バスクロックが高く, 分周比が高くなるほど精度は高いです。

(4) 外部クロック

ボーレートジェネレータレジスタ(BGR1)の EXT ビットに"1"を書き込むと, ボーレートジェネレータで外部クロックを分周します。

<注意事項>

- 外部クロック信号は UART で内部クロックに同期します。したがって, 同期化不可能な外部クロックの場合, 動作が不安定です。

(5) リロードカウンタの機能

リロードカウンタには, 送信リロードカウンタと受信リロードカウンタがあり, 専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており, 外部クロックまたは内部クロックより送受信クロックを生成します。

(6) カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと, リロードカウンタはカウントを開始します。

(7) 再スタート

リロードカウンタは下記の条件で再スタートします。

a) 送信/受信リロードカウンタ共通

- プログラマブルリセット(SCR:UPCL ビット)

b) 受信リロードカウンタ

- 非同期モードでのスタートビット立下りエッジ検出

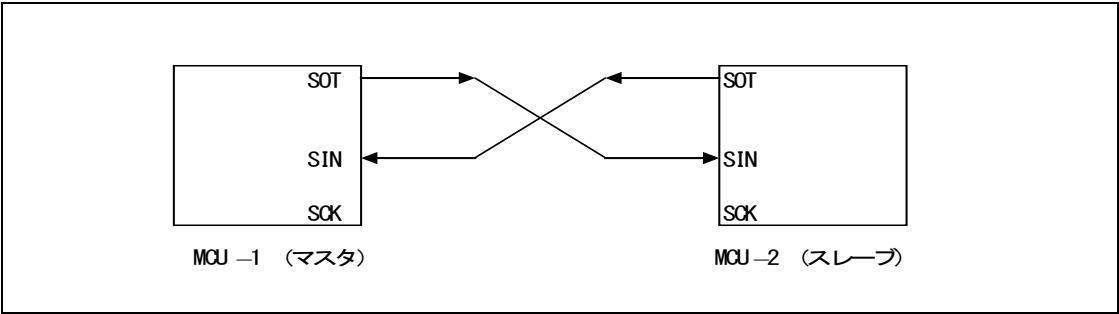
7. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー

動作モード 0 では、非同期シリアル双方向の通信ができます。

(1) デバイス間接続

動作モード 0(通常モード)では、双方向通信を選択します。図 7-1 に示すように 2 つのデバイスを相互に接続します。

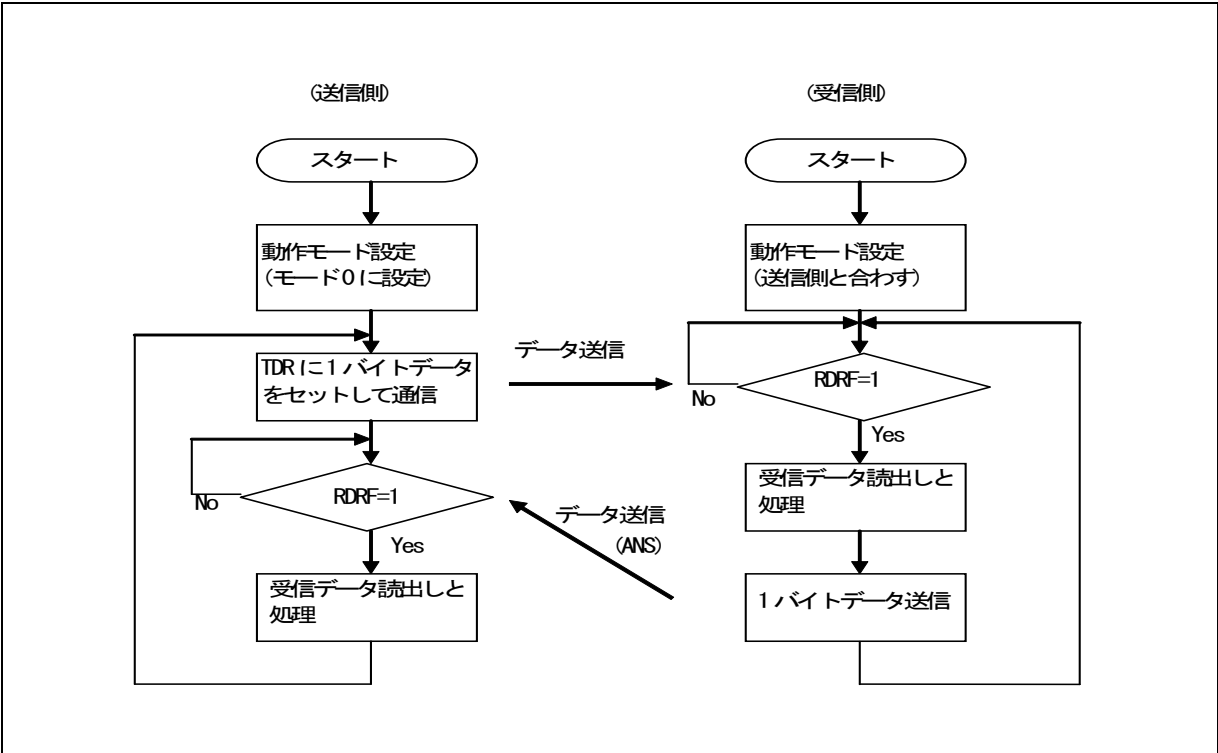
図 7-1 UART 動作モード 0 の双方向通信の接続例



(2) フローチャート

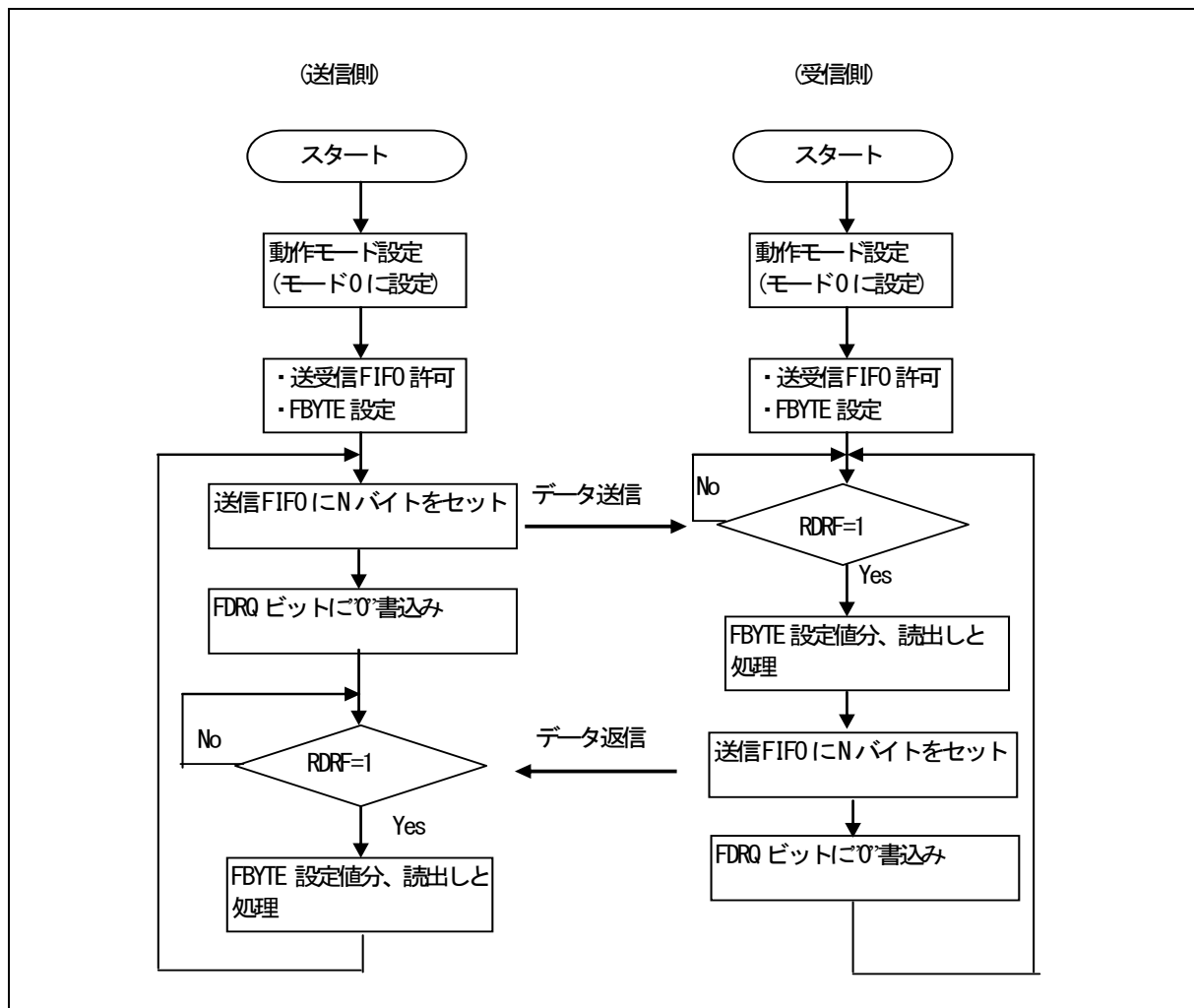
a) FIFO 未使用時

図 7-2 双方向通信フローチャートの例 (FIFO 未使用時)



b) FIFO 使用時

図 7-3 双方向通信フローチャートの例 (FIFO 使用時)



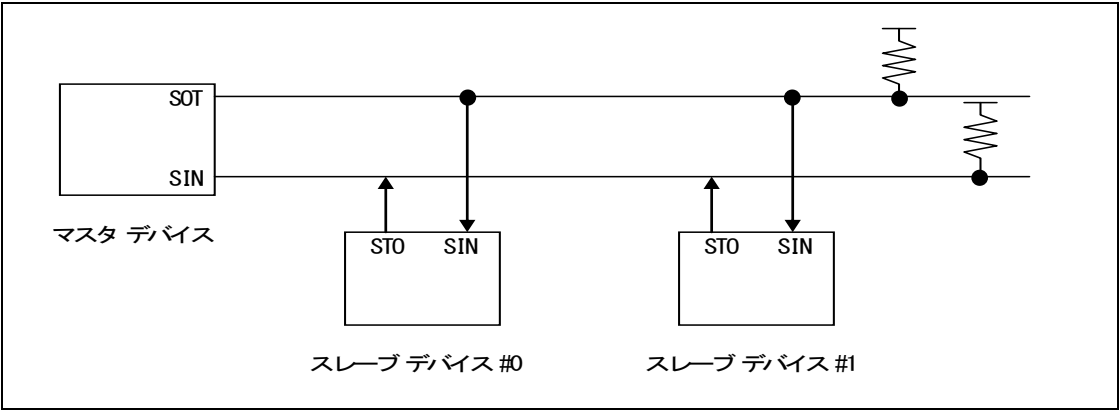
8. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー

動作モード 1(マルチプロセッサモード)では、複数デバイスのマスタ/スレーブ接続による通信できます。マスタ/スレーブとして使用できます。

(1) デバイス間接続

マスタ/スレーブ型通信では、図に示すように2本の共通通信ラインに1つのマスタデバイスと複数のスレーブデバイスを接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

図 8-1 UART のマスタ/スレーブ型通信の接続例



(2) 機能選択

マスタ/スレーブ型通信では、表 8-1 に示すように動作モードとデータ転送方式を選択してください。

表 8-1 マスタ/スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタデバイス	スレーブデバイス				
アドレス送受信	モード 1 (A/D ビット送信)	モード 1 (A/D ビット受信)	AD = 1+7 または 8 ビット アドレス	無	1 ビット または 2 ビット	LSB または MSB ファースト
データ送受信			AD = 0+7 または 8 ビット データ			

<注意事項>

- 動作モード 1 では送受信データ(TDR/RDR)はワードアクセスで行ってください。

通信手順

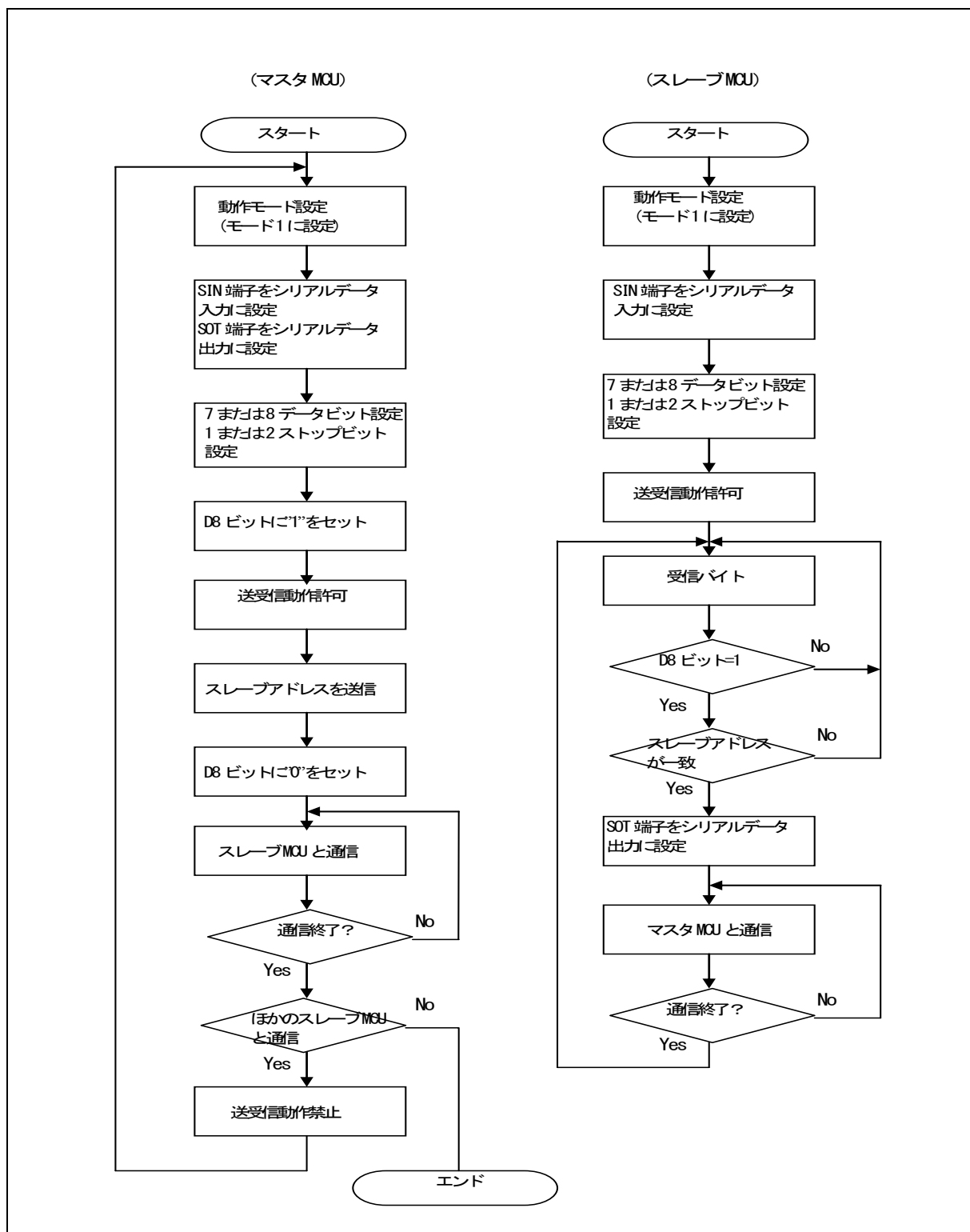
通信はマスタデバイスがアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを"1"としたデータで、通信先となるスレーブデバイスを選択します。各スレーブデバイスはプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタデバイスとの通信(通常データ)をします。

図 8-2, 図 8-3 にマスタ/スレーブ型通信(マルチプロセッサモード)のフローチャートを示します。

(3) フローチャート

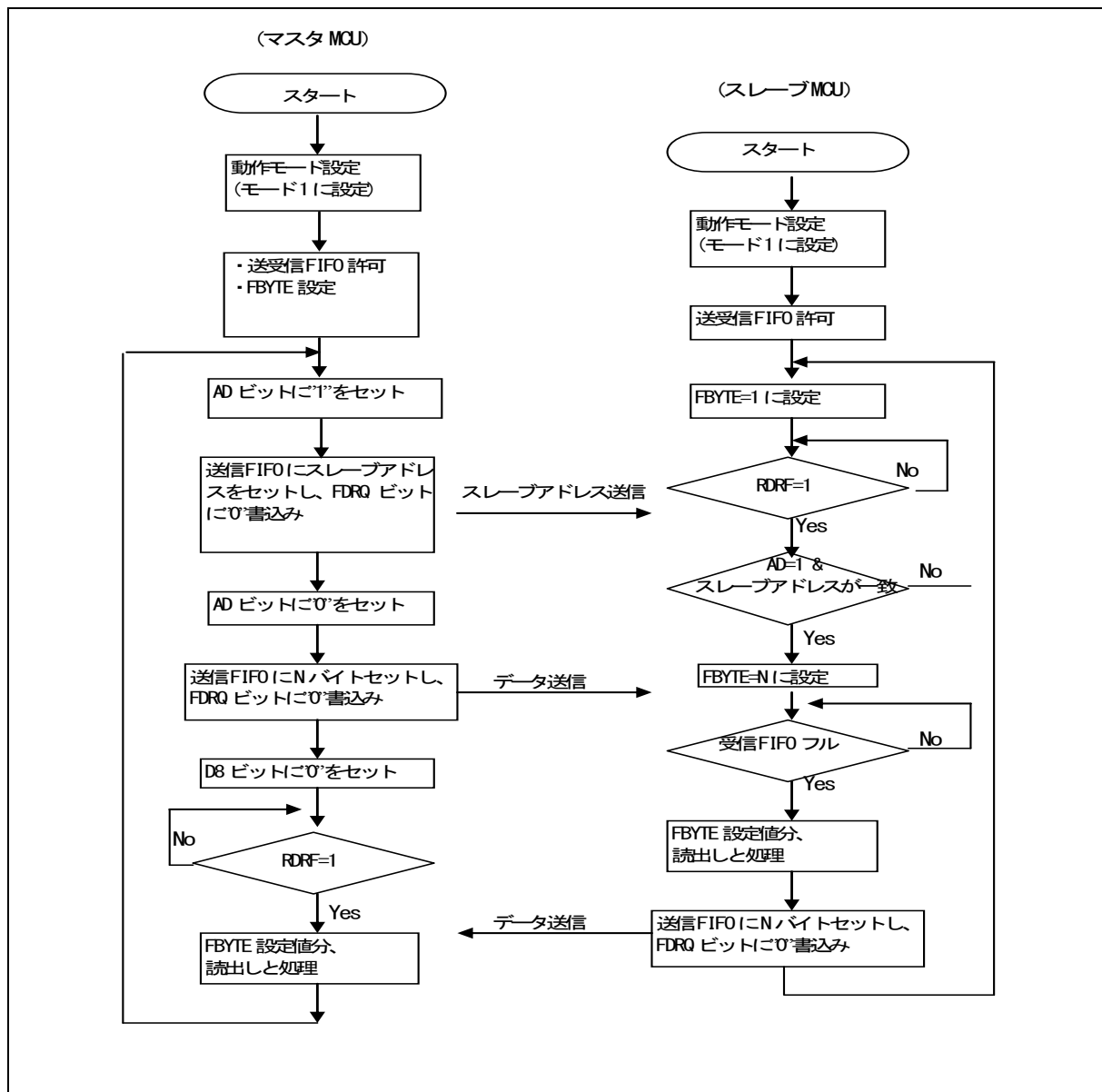
a) FIFO 未使用時

図 8-2 マスタ/スレーブ型通信フローチャートの例 (FIFO 未使用時)



b) FIFO 使用時

図 8-3 マスタ/スレーブ型通信フローチャートの例 (FIFO 使用時)



9. レジスタ

UART(非同期シリアルインタフェース)のレジスタ一覧を示します。

すべてのレジスタにはプレフィックス「MFSxx_」が付きます。xx はチャネル番号(00, 01, 02, 03, 04)です。

表 9-1 UART(非同期シリアルインタフェース)のレジスタ一覧

レジスタ略称	レジスタ名	参照先
SCR	シリアル制御レジスタ	9.1
SMR	シリアルモードレジスタ	9.2
SSR	シリアルステータスレジスタ	9.3
ESCR	拡張通信制御レジスタ	9.4
RDR/TDR	受信データレジスタ/送信データレジスタ	9.5
SACSR	シリアル補助制御ステータスレジスタ	9.6
STMR	シリアルタイマレジスタ	9.7
STMCR	シリアルタイマ比較レジスタ	9.8
TBYTE0	転送バイトレジスタ 0	9.9
BGR0/1	ボーレートジェネレータレジスタ 0/1	9.10
FCR1	FIFO 制御レジスタ 1	9.11
FCR0	FIFO 制御レジスタ 0	9.12
FBYTE	FIFO バイトレジスタ	9.13
FTICR	送信 FIFO 割込み制御レジスタ	9.14
SACSRC	シリアル補助制御ステータスクリアレジスタ	9.15
FCR1C	FIFO 制御クリアレジスタ 1	9.16
FCR0C	FIFO 制御クリアレジスタ 0	9.17
SACSRS	シリアル補助制御ステータスセットレジスタ	9.18
FCR1S	FIFO 制御セットレジスタ 1	9.19
FCR0S	FIFO 制御セットレジスタ 0	9.20

**動作モード**

UART(非同期シリアルインタフェース)は、2つの異なるモードで動作します。シリアルモードレジスタ(SMR)の MD2~0 によって決定されます。

表 9-2 UART(非同期シリアルインタフェース)の動作モード

動作モード	MD2	MD1	MD0	種類
0	0	0	0	UART0 (非同期ノーマルモード)
1	0	0	1	UART1 (非同期マルチプロセッサモード)

9.1. シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信の許可/禁止、送受信割込みの許可/禁止、送信バスアイドル割込みの許可/禁止、UART リセットができます。

Bit	15	14	13	12	11	10	9	8
Field	UPCL	Reserved		RIE	TIE	TBIE	RXE	TXE
R/W 属性	R0,W	R0,W0		R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	00		0	0	0	0	0

*本レジスタの下位バイト[bit7:0]はシリアルモードレジスタ(SMR)です。

[bit15] UPCL: プログラマブルクリアビット

UART の内部状態を初期化するビットです。

"1"を設定した場合:

- UART を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信およびステータス割込み要因(SSR:PE, FRE, ORE, RDRF, TDRE, TBI, SACS:R:TINT)は"0b0000110"に初期化されます。

"0"を設定した場合:

影響ありません。

bit	説明	
	書き込み時	読出し時
0	影響なし	常に"0"を読み出します
1	プログラマブルクリア	

<注意事項>

- 割込み禁止に設定した後に、即座にプログラマブルクリアを実行してください。
- FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。
- プログラマブルクリアを実行(SCR:UPCL=1)してもシリアルタイムレジスタ(STMR)の値はクリアされません。

[bit14:13] Reserved: 予約ビット

[bit12] RIE: 受信割込み許可ビット

- CPU への受信割込み要求出力を許可/禁止するビットです。
- RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(SSR:PE, ORE, FRE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE: 送信割込み許可ビット

- CPU への送信割込み要求出力を許可/禁止するビットです。



- TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE: 送信バスアイドル割込み許可ビット

- CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
- TBIE ビットと TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE: 受信動作許可ビット

UART の受信動作を許可/禁止します。

- "0"に設定した場合：受信動作が禁止されます。
- "1"に設定した場合：受信動作が許可されます。

bit	説明
0	受信禁止
1	受信許可

<注意事項>

- 受信動作許可(RXE=1)にしても、スタートビットの立下リエッジ(NRZ フォーマット(ESCR:INV=0)の場合)が入力されないと受信動作を開始しません(反転 NRZ フォーマット(ESCR:INV=1)の場合は、立上リエッジが入力されるまで受信動作を開始しません)。
- 受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。

[bit8] TXE: 送信動作許可ビット

UART の送信動作を許可/禁止します。

- "0"に設定した場合：送信動作が禁止されます。
- "1"に設定した場合：送信動作が許可されます。

bit	説明
0	送信禁止
1	送信許可

<注意事項>

- 送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

9.2. シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定、転送方向、データ長、ストップビット長の選択およびシリアルデータとクロックの端子への出力許可/禁止の設定を行います。

Bit	7	6	5	4	3	2	1	0
Field	MD2	MD1	MD0	Reserved	SBL	BDS	Reserved	SOE
R/W 属性	R/W	R/W	R/W	R/W0	R/W	R/W	R0,W0	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:5] MD2～0: 動作モード設定ビット

非同期シリアルインタフェースの動作モードを設定します。

"0b000": 動作モード 0(非同期ノーマルモード)に設定されます。

"0b001": 動作モード 1(非同期マルチプロセッサモード)に設定されます。

"0b010": 動作モード 2(クロック同期モード)に設定されます。

"0b011": 動作モード 3(LIN 通信モード)に設定されます。

bit[7:5]	説明
000	動作モード 0(非同期ノーマルモード)
001	動作モード 1(非同期マルチプロセッサモード)
010	動作モード 2(クロック同期モード)
011	動作モード 3(LIN 通信モード)
上記以外	設定禁止

*動作モード 2 については『CSIO』の章を、動作モード 3 については『LIN インタフェース』の章を参照してください。

<注意事項>

- 動作モードを切り換える場合は、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。
- 動作モード設定後、各レジスタを設定してください。

[bit4] Reserved: 予約ビット

[bit3] SBL: ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL=0, ESCR:ESBL=0 に設定した場合：ストップビットは 1 ビットに設定されます。

SBL=1, ESCR:ESBL=0 に設定した場合：ストップビットは 2 ビットに設定されます。

SBL=0, ESCR:ESBL=1 に設定した場合：ストップビットは 3 ビットに設定されます。

SBL=1, ESCR:ESBL=1 に設定した場合：ストップビットは 4 ビットに設定されます。

bit	説明	
0	ESCR:ESBL=0	1 ビット
	ESCR:ESBL=1	3 ビット
1	ESCR:ESBL=0	2 ビット
	ESCR:ESBL=1	4 ビット

**<注意事項>**

- 受信時は、常にストップビットの1ビット目だけを検出します。
- 本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。

[bit2] BDS: 転送方向選択ビット

転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0)最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

<注意事項>

- 本ビットは、送受信が禁止(SCR:TXE=SCR:RXE=0)のときに設定してください。

[bit1] Reserved: 予約ビット**[bit0] SOE: シリアルデータ出力許可ビット**

シリアルデータの出力を許可/禁止するビットです。

"0"に設定した場合 : SOUT 端子は汎用入出力ポートに設定されます。

"1"に設定した場合 : SOUT 端子はシリアルデータ出力端子(SOUT)に設定されます。

bit	説明
0	汎用入出力ポート
1	シリアルデータ出力端子

<注意事項>

- SOT 端子はリソース出力端子としても設定する必要があります。設定方法は『I/O ポート』の章を参照してください。

9.3. シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信の状態の確認、受信エラーフラグの確認、また、受信エラーフラグをクリアします。

Bit	15	14	13	12	11	10	9	8
Field	REC	Reserved	PE	FRE	ORE	RDRF	TDRE	TBI
R/W 属性	R0,W	R0,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	1	1

*本レジスタの下位バイト[bit7:0]は拡張通信制御レジスタ(ESCR)です。

[bit15] REC: 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の PE, FRE, ORE フラグをクリアするビットです。

- "1"書込みで、エラーフラグがクリアされます。
- "0"書込みは、影響しません。

bit	説明	
	書込み時	読出し時
0	影響なし	常に"0"を読み出します
1	受信エラーフラグ(PE, FRE, ORE)のクリア	

[bit14] Reserved: 予約ビット

[bit13] PE: パリティエラーフラグビット(動作モード 0 のみ機能)

- ESCR:PEN=1 で受信時にパリティエラーが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- PE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	パリティエラーなし
1	パリティエラーあり

[bit12] FRE: フレーミングエラーフラグビット

- 受信時にフレーミングエラーが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- FRE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	フレーミングエラーなし
1	フレーミングエラーあり

[bit11] ORE: オーバーランエラーフラグビット



- 受信時にオーバーランが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバーランエラーなし
1	オーバーランエラーあり

[bit10] RDRF: 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時に、以下の条件が両方満たされ、受信アイドル状態がボーレートクロックで8クロック以上続いた場合、RDRF が"1"に設定されます。
 - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
 - 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている
- 8クロックカウント中、RDR を読み出すとそのカウンタは0にリセットされ、再度8クロックをカウントします。
- 受信 FIFO 使用時は、受信 FIFO を読み出して受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ RDR がエンプティ
1	受信データレジスタ RDR にデータが存在

<注意事項>

- 受信 FIFO 使用時、RDRF が"1"になった後、受信 FIFO をリセット(FCR0:FCL2, FCL1=1)しても RDRF は"0"になりません。そのため、受信 FIFO リセット後に RDRF を"0"にするためには、受信禁止状態(SCR:RXE=0)で受信データレジスタをダミーで読み出してください。

[bit9] TDRE: 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
- TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合、TDRE ビットは"1"に設定されます。
- 送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ TDR にデータが存在
1	送信データレジスタがエンプティ

[bit8] TBI: 送信バスアイドルフラグビット

- UART が送信動作をしていないことを示すビットです。



- 送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"に設定されます。
- 送信データレジスタがエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。
- シリアル制御レジスタ(SCR)のUPCLビットに"1"をセットした場合、TBIビットは"1"に設定されます。
- 本ビットが"1"で、送信バスアイドル割込許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし



9.4. 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定、パリティビットの許可/禁止、パリティビットの選択、シリアルデータフォーマットの反転、ストップビット長の選択の設定ができます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	ESBL	INV	PEN	P	L2	L1	L0
R/W 属性	R/W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6] ESBL: 拡張ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL=0, ESCR:ESBL=0 に設定した場合：ストップビットは 1 ビットに設定されます。

SBL=1, ESCR:ESBL=0 に設定した場合：ストップビットは 2 ビットに設定されます。

SBL=0, ESCR:ESBL=1 に設定した場合：ストップビットは 3 ビットに設定されます。

SBL=1, ESCR:ESBL=1 に設定した場合：ストップビットは 4 ビットに設定されます。

bit	説明	
0	SMR:SBL=0	1 ビット
	SMR:SBL=1	2 ビット
1	SMR:SBL=0	3 ビット
	SMR:SBL=1	4 ビット

<注意事項>

- 受信時は、常にストップビットの 1 ビット目だけを検出します。
- 本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。

[bit5] INV: 反転シリアルデータフォーマットビット

シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。

bit	説明
0	NRZ フォーマット
1	反転 NRZ フォーマット

[bit4] PEN: パリティ許可ビット(動作モード 0 のみ機能)

パリティビットの付加(送信時)と検出(受信時)を行うかどうかを設定します。

- "0"に設定した場合：パリティビットは付加されません。
- "1"に設定した場合：パリティビットは付加されます。

bit	説明
0	パリティ禁止
1	パリティ許可

<注意事項>

- 動作モード 1 のときは、本ビットは内部で"0"に固定されます。

[bit3] P: パリティ選択ビット(動作モード0のみ機能)

パリティあり(ESCR:PEN=1)に設定した場合に、奇数パリティ"1"、偶数パリティ"0"のいずれかに設定します。

- "0"に設定した場合：偶数パリティに設定されます。
- "1"に設定した場合：奇数パリティに設定されます。

bit	説明
0	偶数パリティ
1	奇数パリティ

[bit2:0] L2~0: データ長選択ビット

送受信データのデータ長を指定します。

- "0b000"に設定した場合：データ長は8ビットに設定されます。
- "0b001"に設定した場合：データ長は5ビットに設定されます。
- "0b010"に設定した場合：データ長は6ビットに設定されます。
- "0b011"に設定した場合：データ長は7ビットに設定されます。
- "0b100"に設定した場合：データ長は9ビットに設定されます。

bit[2:0]	説明
000	8ビット長
001	5ビット長
010	6ビット長
011	7ビット長
100	9ビット長
上記以外	設定禁止

<注意事項>

- 動作モード1では、データ長は7,8ビットに設定してください。そのほかの設定は禁止です。



9.5. 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は、受信データレジスタとして機能し、書込んだ場合は送信データレジスタとして機能します。

FIFO 動作許可の場合、RDR/TDR アドレスは FIFO 読出し/書込みアドレスです。

(1) 受信データレジスタ(RDR)

Bit	15	14	13	12	11	10	9	8
Field	Reserved							D8
R/W 属性	R0							R
保護属性	-							
初期値	0000000							0

Bit	7	6	5	4	3	2	1	0
Field	D7	D6	D5	D4	D3	D2	D1	D0
R/W 属性	R	R	R	R	R	R	R	R
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit8:0] D8~0: 受信データ

受信データレジスタ(RDR)は、シリアルデータ受信用の9ビットのデータバッファレジスタです。

- シリアル入力端子(SIN 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- データ長に応じ、以下のように上位ビットに"0"が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9ビット	X	X	X	X	X	X	X	X	X
8ビット	0	X	X	X	X	X	X	X	X
7ビット	0	0	X	X	X	X	X	X	X
6ビット	0	0	0	X	X	X	X	X	X
5ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合(SCR:RIE=1)、受信割込み要求が発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態を読み出してください。受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
- 受信エラーが発生(SSR:PE, ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効です。
- 動作モード 1(マルチプロセッサモード)では、7ビット、8ビット長の動作となり、受信した AD ビットは、D8 ビットに格納されます。
- 9ビット長転送および動作モード 1 の場合 RDR の読出しは 16 ビットアクセスで行います。

<注意事項>

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が "1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。

- 受信FIFO使用時に、受信エラーが発生(SSR:PE, ORE, FREのいずれかが "1")した場合、受信FIFOの許可ビットはクリアされ、受信データは受信FIFOに格納しません。



(2) 送信データレジスタ(TDR)

Bit	15	14	13	12	11	10	9	8
Field	Reserved							D8
R/W 属性	WX							W
保護属性	-							
初期値	1111111							1

Bit	7	6	5	4	3	2	1	0
Field	D7	D6	D5	D4	D3	D2	D1	D0
R/W 属性	W	W	W	W	W	W	W	W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

[bit8:0] D8~0: 送信データ

送信データレジスタ(TDR)は、シリアルデータ送信用の9ビットのデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1), 送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されます。送信データはシリアルデータに変換されて、シリアルデータ出力端子(SOUT 端子)から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データに設定されます。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9ビット	X	X	X	X	X	X	X	X	X
8ビット	無効	X	X	X	X	X	X	X	X
7ビット	無効	無効	X	X	X	X	X	X	X
6ビット	無効	無効	無効	X	X	X	X	X	X
5ビット	無効	無効	無効	無効	X	X	X	X	X

- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書き込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"のとき、送信データを書き込みます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書き込みは、送信割込みの発生後または送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データは書き込みません。
- 動作モード1(マルチプロセッサモード)では、7ビット、8ビット長の動作となり、ADビットの送信は、D8ビットへの書き込みにより行います。
- 9ビット長転送および動作モード1の場合、TDR への書き込みは16ビットアクセスで行ってください。

<注意事項>

- 送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため、書き込み値と読出し値が異なります。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

9.6. シリアル補助制御ステータスレジスタ(SACSR)

シリアル補助制御ステータスレジスタ(SACSR)は、シリアルテスト動作の制御、シリアルタイマの起動方法の選択、タイマ割込みの許可/禁止、同期送信の許可/禁止、シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/禁止の設定ができます。

Bit	15	14	13	12	11	10	9	8
Field	STST	Reserved				Reserved		TINT
R/W 属性	R/W	R0,W0				R/W0		R,W
保護属性	-							
初期値	0	0000				00		0

Bit	7	6	5	4	3	2	1	0
Field	TINTE	TSYNE	Reserved	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
R/W 属性	R/W	R/W	R/W0	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15] STST: シリアルテストビット

シリアルテストモードの許可または禁止を選択します。

シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータをそのまま SIN より受信できます。

シリアルテストモード許可時、端子 SOUT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

SACSRC:STSTC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

SACSRs:STSTS ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=0, SCR:RXE=0)のときのみ変更できます。

[bit14:9] Reserved: 予約ビット

[bit8] TINT: タイマ割込みフラグ

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。

本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき、ステータス割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットへの"1"書き込みは無効です。

SACSRC:TINTC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

bit	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり



＜注意事項＞

- ソフトウェアリセット(SCR:UPCL=1)を行うと、本ビットは"0"にリセットされます。
- 同期送信許可ビット(TSYNE)が"1"のとき、本ビットは"1"にセットされません。

[bit7] TINTe: タイマ割込み許可ビット

CPU へのタイマ割込みの許可/禁止するビットです。

本ビットが"1"でタイマ割込みフラグ(TINT)が"1"の場合、ステータス割込み要求を出力します。

SACSR: TINTEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

SACSR: TINTES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6] TSYNE: 同期送信許可ビット

同期送信を許可または禁止を選択します。

本ビットが"1"で以下の場合、送信が起動されます。

- タイマに同期した送信時にシリアルタイマレジスタ(STMCR)とシリアルタイマ比較レジスタ(STMCR)が一致
- SACSR: TSYNEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- SACSR: TSYNES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	同期送信を禁止 シリアルタイマはタイマとして使用されます。
1	同期送信を許可 シリアルタイマはタイマとして使用されません。

＜注意事項＞

- 本ビットはシリアルタイマ許可ビット(TMRE)が"0"のときのみ変更できます。
- 同期送信許可時(TSYNE=1)に送信が禁止(SCR:TXE=0)で、以下の場合でも送信は起動されません。
- タイマに同期した送信時にシリアルタイマレジスタ(STMCR)とシリアルタイマ比較レジスタ(STMCR)が一致

[bit5] Reserved: 予約ビット

[bit4:1] TDIV3~0: タイマ動作クロック分周ビット

シリアルタイマの分周比を設定します。

bit[4:1]	説明						
	分周比	$\phi=8\text{MHz}$	$\phi=10\text{MHz}$	$\phi=16\text{MHz}$	$\phi=20\text{MHz}$	$\phi=24\text{MHz}$	$\phi=32\text{MHz}$
0000	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0001	$\phi/2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0010	$\phi/4$	500ns	400ns	250ns	200ns	166.67ns	125ns
0011	$\phi/8$	1 μs	800ns	500ns	400ns	333.33ns	250ns
0100	$\phi/16$	2 μs	1.6 μs	1 μs	800ns	666.67ns	500ns
0101	$\phi/32$	4 μs	3.2 μs	2 μs	1.6 μs	1.33 μs	1 μs

bit[4:1]	説明						
	分周比	$\phi=8\text{MHz}$	$\phi=10\text{MHz}$	$\phi=16\text{MHz}$	$\phi=20\text{MHz}$	$\phi=24\text{MHz}$	$\phi=32\text{MHz}$
0110	$\phi/64$	8 μs	6.4 μs	4 μs	3.2 μs	2.67 μs	2 μs
0111	$\phi/128$	16 μs	12.8 μs	8 μs	6.4 μs	5.33 μs	4 μs
1000	$\phi/256$	32 μs	25.6 μs	16 μs	12.8 μs	10.67 μs	8 μs

ϕ : バスクロック

<注意事項>

- 本ビットはシリアルタイム許可ビット(TMRE)が"0"のときのみ変更できます。
- 上記の設定以外は禁止です。

[bit0] TMRE: シリアルタイム許可ビット

- シリアルタイムの動作を許可または禁止を選択します。
- SACSRC:TMREC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- SACSRS:TMRES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	シリアルタイムの動作を停止 停止時、シリアルタイムレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイムレジスタ(STMR)の値を"0"に初期化し、シリアルタイムの動作を開始

<注意事項>

- シリアルタイムによる同期送信を行う場合、送信禁止のとき、本ビットを"0"から"1"に変更してください。



9.7. シリアルタイマレジスタ(STMR)

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

Bit	15	14	13	12	11	10	9	8
Field	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TM15~0: タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3~0 で設定)ごとに 1 が加算されます。

<注意事項>

- タイマ動作開始時、本ビットは"0"に初期化されます。

9.8. シリアルタイマ比較レジスタ (STMCR)

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

Bit	15	14	13	12	11	10	9	8
Field	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TC15~0: コンペアビット

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ(STMCR)と比較され、シリアルタイマレジスタ(STMCR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致した場合シリアルタイマレジスタを0にします。そのとき、同期送信禁止(SACSR:TSYNE=0)の場合はタイマ割込みフラグ(SACSR:TINT)を"1"にし、同期送信許可(SACSR:TSYNE=1)の場合は送信を起動します。

下記の動作が行われる間隔は(STMCR:TC+1)×タイマ動作クロック(SACSR:TDIV3~0 で設定)です。

- SACSR:TINT が"1"に設定される
- シリアルタイマに同期した送信で送信起動が行われる

<注意事項>

- 以下のすべての条件が成り立つ場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
 - 同期送信禁止(SACSR:TSYNE=0)
 - 本レジスタに"0x0000"を設定
 - タイマ動作中
 - タイマ動作クロック分周値(SACSR:TDIV3~0)を"0b0000"に設定

シリアルタイマ禁止(SACSR:TMRE=0)のときのみ、本レジスタは変更できます。



9.9. 転送バイトレジスタ 0(TBYTE0)

転送バイト(TBYTE0)は、各シリアルチップセレクト端子のアクティブ時の転送データ数を示します。

Bit	7	6	5	4	3	2	1	0
Field	TBYTE							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit7:0] TBYTE[7:0]: 転送データ数表示ビット

転送バイトレジスタ 0(TBYTE0)は同期送信に使用されます。同期送信により送信動作が開始したとき、TBYTE0 に設定した値のデータ数を転送されます。

bit	説明
書込み時	TBYTE への書込み
読出し時	TBYTE の設定値

<注意事項>

- 本ビットに"0x00"を設定した場合、転送回数は8回です。

9.10. ボーレートジェネレータレジスタ 0/1 (BGR1~0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

Bit	15	14	13	12	11	10	9	8
Field	EXT	BGR1						
R/W 属性	R/W	R/W						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	BGR0							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit15] EXT: 外部クロック選択ビット

リロードカウンタのクロックソースを内部クロックで使用するか、外部クロックで使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。

bit	説明
0	内部クロック使用
1	外部クロック使用

[bit14:8] BGR1[6:0]: ボーレートジェネレータレジスタ 1

Bit	説明
書き込み時	リロードカウンタビット 8~14 に書き込みます
読み出し時	BGR1 の設定値を読み出します

[bit7:0] BGR0[7:0]: ボーレートジェネレータレジスタ 0

bit	説明
書き込み時	リロードカウンタビット 0~7 に書き込みます
読み出し時	BGR0 の設定値を読み出します

<注意事項>

- ボーレートジェネレータレジスタ(BGR1, BGR0)への書き込みは、16ビットでアクセスしてください。
- ボーレートジェネレータレジスタ(BGR1, BGR0)の設定値を変更した場合、カウンタ値が"0x0000"になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR1/0 の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。
- リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
- BGR1/0へは、4以上の値を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ 1, 0(BGR1, BGR0)に 0 を書き込み、プログラマブルクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。



9.11. FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ 1(FCR1)は、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

Bit	15	14	13	12	11	10	9	8
Field	Reserved		Reserved	FLSTE	FRIIE	FDRQ	FTIE	FSEL
R/W 属性	R/W0		R0,WX	R/W	R/W	R,W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	1	0	0

*本レジスタの下位バイト[bit7:0]は FIFO 制御レジスタ 0(FCR0)です。

[bit15:13] Reserved: 予約ビット

[bit12] FLSTE: 再送データロス検出許可ビット

FIFO 再送データロスフラグ(FLST)検出を許可するビットです。

FCR1C:FLSTEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

FCR1S:FLSTES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

"0"に設定した場合 : FLST ビット検出禁止

"1"に設定した場合 : FLST ビット検出許可

bit	説明
0	データロス検出禁止
1	データロス検出許可

<注意事項>

- 本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。

[bit11] FRIIE: 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

FCR1C:FRIIEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

FCR1S:FRIIES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

"0"に設定した場合 : 受信アイドル状態検出禁止

"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- 受信 FIFO を使用する場合、本ビットを"1"に設定してください。

[bit10] FDRQ: 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。

本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、FIFO 送信割込み要求を出力します。

FCR1C:FDRQC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

FDRQ セット条件

- 送信 FIFO 割込み制御未使用時
 - FBYTE(送信用)=0 (送信 FIFO がエンプティ)
 - 送信 FIFO のリセット
- 送信 FIFO 割込み制御使用時
 - FTICR 設定値 \geq FTICR 読出し値(送信 FIFO の格納データ数が割込みトリガレベル以下)
 - 送信 FIFO のリセット

FDRQ リセット条件

- 本ビットへの"0"書込み。
- 送信 FIFO がフルになった場合。

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>

- 送信 FIFO 許可のときに"0"書込みは有効です。
- FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。
- 本ビットに"1"を設定した場合動作に影響を与えません。
- 本ビットが"0"のとき FSEL ビットの変更は禁止です。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット (FCR1:FDRQ)に"0"を書込んで割込み要求をクリアしてください。

[bit9] FTIE: 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

FCR1C:FTIEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

FCR1S:FTIES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL: FIFO 選択ビット

送受信 FIFO を選択するビットです。



FCR1C:FSELC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

FCR1S:FSELS ビットに"1"を設定することによって、本ビットは"1"に設定されます。

"0"に設定した場合：送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割当てられます。

"1"に設定した場合：送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>

- 本ビットは, FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。
- 本ビットを変更する場合は, FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。
- FDRQ=0 のときに本ビットの変更は禁止です。

9.12. FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止、FIFO リセット、読出しポインタの保存、再送信設定を行います。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
R/W 属性	R0,W0	R,WX	R,W	R0,W	R0,W	R0,W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6] FLST: FIFO 再送データロスフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO の書込みポインタと FSET ビットによって保存した読出しポインタが一致しているときに FIFO へ書き込んだ(上書きした)場合

FLST リセット条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存した読出しポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロスなし
1	データロスあり

[bit5] FLD: FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータを読出しポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。

再送設定が完了した場合、本ビットは"0"に設定されます。

本ビットはセットレジスタのビット FCR0S:FLDS を"1"に設定した場合、セットされます。

bit	説明
0	リロードしません
1	リロード実行

<注意事項>

- 本ビットが"1"に設定されている間は読出しポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。
- FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。
- TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書き込み、送信 FIFO 許可後 SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。

[bit4] FSET: FIFO ポインタ保存ビット



送信 FIFO の読出しポインタを保存するビットです。

通信前に読出しポインタを保存した状態で、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送できます。

本ビットはセットレジスタのビット FCR0S:FSETS を"1"に設定した場合、セットされます。

"1"に設定した場合：現在の読出しポインタの値を保存します。

"0"に設定した場合：影響しません。

bit	説明	
	書き込み時	読出し時
0	保存しません	常に"0"を読出し
1	読出しポインタ値保存	

<注意事項>

- 送信バイト数(FBYTE)が0を示しているときに本ビットを"1"に設定してください。

[bit3] FCL2: FIFO2 リセットビット

FIFO2 をリセットするビットです。

本ビットを"1"に設定する場合、FIFO2 の内部状態を初期化します。

FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

本ビットはセットレジスタのビット FCR0S:FCL2S を"1"に設定した場合、セットされます。

bit	説明	
	書き込み時	読出し時
0	影響なし	常に"0"を読出し
1	FIFO2 リセット	

<注意事項>

- 送受信を禁止してから、FIFO2 リセットを実行してください。
- 送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
- FBYTE2 レジスタの有効データ数は0に設定されます。

[bit2] FCL1: FIFO1 リセットビット

FIFO1 をリセットするビットです。

本ビットを"1"に設定する場合、FIFO1 の内部状態を初期化します。

FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

本ビットはセットレジスタのビット FCR0S:FCL1S を"1"に設定した場合、セットされます。

bit	説明	
	書き込み時	読出し時
0	影響なし	常に"0"を読出し
1	FIFO1 リセット	

<注意事項>

- 送受信を禁止してから、FIFO1 リセットを実行してください。
- 送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
- FBYTE1 レジスタの有効データ数は0に設定されます。

[bit1] FE2: FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだときに FIFO2 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書き込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された状態で、受信エラーが発生した場合、本ビットは"0"にクリアされます。その後、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットの設定を変更してください。
- 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。
- 本ビットはクリアレジスタのビット FCR0C:FE2C を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR0S:FE2S を"1"に設定した場合、セットされます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1: FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し(FCR1:FSEL=0)、本ビットに"1"を書き込んだときに FIFO1 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書き込み、TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された状態で、受信エラーが発生した場合、本ビットは"0"にクリアされます。その後、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)、受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"または"0"を設定してください。
- 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットの設定を変更してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。
- 本ビットはクリアレジスタのビット FCR0C:FE1C を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR0S:FE1S を"1"に設定した場合、セットされます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可



9.13. FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

Bit	15	14	13	12	11	10	9	8
Field	FBYTE2							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	FBYTE1							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

[bit15:8] FBYTE2[7:0]: FIFO2 データ数表示ビット

[bit7:0] FBYTE1[7:0]: FIFO1 データ数表示ビット

FBYTE レジスタは、FIFO に書き込みまたは受信した有効なデータ数を示します。FCR1:FSEL ビットによる設定を以下に示します。

bit	説明	
	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は"0x08"です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致する場合、割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の条件を両方満たす場合、受信アイドル状態がボーレートクロックで8クロック以上続くと割込みフラグ(RDRF)が"1"に設定されます。
 - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
 - 受信 FIFO に存在するデータ数が転送数に達しない
- 8クロックカウント中、RDR を読み出すとそのカウンタは0にリセットされ、再度8クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは0にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度カウントを開始します。

FBYTE2, FBYTE1: FIFO2 データ数表示ビット, FIFO1 データ数表示ビット

bit	説明
書き込み時	転送数を設定
読出し時	有効なデータ数を読み出します

読出し時(有効なデータ数)

送信時 : FIFO に書込まれ、送信されていないデータ数

受信時 : FIFO に受信されたデータ数

書き込み時(転送数)

送信時 : "0x00"設定

受信時 : 受信割込み発生時のデータ数設定

表 9-3 FIFO の格納可能なデータ数について

FIFO 容量	動作モード	データ長	最大 FBYTE 数	格納可能データ数
16BYTE	モード 0	5～8 ビット	16	16
	モード 0	9 ビット	8	8
	モード 1	すべて		
32BYTE	モード 0	5～8 ビット	32	32
	モード 0	9 ビット	16	16
	モード 1	すべて		
64BYTE	モード 0	5～8 ビット	64	64
	モード 0	9 ビット	32	32
	モード 1	すべて		
128BYTE	モード 0	5～8 ビット	128	128
	モード 0	9 ビット	64	64
	モード 1	すべて		

＜注意事項＞

- 送信 FIFO の FBYTE レジスタには"0x00"を設定してください。
- 受信 FIFO の FBYTE は"1"以上のデータを設定してください。
- 受信を禁止してから変更してください。
- FIFO 容量を超える設定は禁止です。



9.14. 送信 FIFO 割込み制御レジスタ(FTICR)

送信 FIFO 割込み制御レジスタ(FTICR)は、FIFO の送信有効データ数による割込みの設定を行います。

Bit	15	14	13	12	11	10	9	8
Field	FTICR2							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	FTICR1							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

[bit15:8] FTICR2[7:0]: FIFO2 データ数表示ビット

[bit7:0] FTICR1[7:0]: FIFO1 データ数表示ビット

FTICR レジスタは、送信 FIFO の送信有効データ数(残量)による割込みトリガレベルを設定します。

FCR1:FSEL ビットによる設定を以下に示します。

bit	説明	
	送信 FIFO 選択	送信 FIFO 割込み制御レジスタ
0	FIFO1	FTICR1
1	FIFO2	FTICR2

- FTICR レジスタの割込みを発生させる有効データ数の初期値は"0x00"です。
- 送信 FIFO の FTICR に送信割込みを発生させるデータ数を設定します。この設定されたデータ数と送信 FIFO の有効データ数(FTICR もしくは FBYTE)の表示が一致または小さくなった場合、割込みフラグ(FDRQ)が"1"に設定されます。
- FTICR の設定は、「 $FTICR \leq \text{FIFO 容量} - 2$ 」になるように設定してください。
- 読出し時、FIFO の有効なデータ数を表示します。
- 送信 FIFO：送信 FIFO に書き込まれ送信されていないデータ数
- 受信 FIFO：受信 FIFO に受信され読み出されていないデータ数

bit	説明
書き込み時	割込みを発生させる有効なデータ数を設定
読出し時	有効なデータ数を読出し

<注意事項>

- FIFO 容量を超えた設定は禁止です。
- 設定値の読出しはできません。
- 送信時の FIFO データ数表示は、送信データ書き込み数から 1 減算した値が有効なデータ数として表示されます。これは、TDR レジスタに送信されていないデータが存在しているときに送信データを

書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。

- 受信時の FIFO データ数表示は、受信 FIFO に受信され読み出されていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。



9.15. シリアル補助制御ステータスクリアレジスタ(SACSRC)

シリアル補助制御ステータスクリアレジスタ(SACSRC)は、シリアル補助制御ステータスレジスタ(SACSR)にあるビットをクリアできます。

Bit	15	14	13	12	11	10	9	8
Field	STSTC	Reserved						TINTC
R/W 属性	R0,W	R0,W0						R0,W
保護属性	-							
初期値	0	000000						0

Bit	7	6	5	4	3	2	1	0
Field	TINTEC	TSYNEC	Reserved					TMREC
R/W 属性	R0,W	R0,W	R0,W0					R0,W
保護属性	-							
初期値	0	0	00000					0

[bit15] STSTC: シリアルテストビットをクリア

本ビットに"1"を書き込むと SACSR:STST は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に本ビットは常に"0"を読み出します。

[bit14:9] Reserved: 予約ビット

[bit8] TINTC: タイマ割込みフラグをクリア

本ビットに"1"を書き込むと SACSR:TINT は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit7] TINTEC: タイマ割込み許可ビットをクリア

本ビットに"1"を書き込むと SACSR:TINTE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit6] TSYNEC: 同期送信許可ビットをクリア

本ビットに"1"を書き込むと SACSR:TSYNE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit5:1] Reserved: 予約ビット

[bit0] TMREC: シリアルタイマ許可ビットをクリア

本ビットに"1"を書き込むと SACSR:TMRE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



9.16. FIFO 制御クリアレジスタ 1(FCR1C)

FIFO 制御クリアレジスタ 1(FCR1C)は、FIFO 制御レジスタ 1(FCR1)にあるビットをクリアできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved			FLSTEC	FRIIEC	FDRQC	FTIEC	FSELC
R/W 属性	R0,W0			R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	000			0	0	0	0	0

*本レジスタの下位バイト[bit7:0]は FIFO 制御レジスタ 0(FCR0C)です。

[bit15:13] Reserved: 予約ビット

[bit12] FLSTEC: 再送データロス検出許可ビットをクリア

本ビットに"1"を書き込むと FCR1:FLSTE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit11] FRIIEC: 受信 FIFO アイドル検出許可ビットをクリア

本ビットに"1"を書き込むと FCR1:FRIIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit10] FDRQC: 送信 FIFO データ要求ビットをクリア

本ビットに"1"を書き込むと FCR1:FDRQ は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit9] FTIEC: 送信 FIFO 割込み許可ビットをクリア

本ビットに"1"を書き込むと FCR1:FTIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit8] FSELC: FIFO 選択ビットをクリア

本ビットに"1"を書き込むと FCR1:FSEL は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



9.17. **FIFO 制御クリアレジスタ 0(FCR0C)**

FIFO 制御クリアレジスタ 0(FCR0C)は、FIFO 制御レジスタ 0(FCR0)にあるビットをクリアできます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved						FE2C	FE1C
R/W 属性	R0,W0						R0,W	R0,W
保護属性	-							
初期値	00000						0	0

[bit7:2] Reserved: 予約ビット

[bit1] FE2C: FIFO2 動作許可ビットをクリア

本ビットに"1"を書き込むと FCR0:FE2 は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit0] FE1C: FIFO1 動作許可ビットをクリア

本ビットに"1"を書き込むと FCR0:FE1 は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



9.18. シリアル補助制御ステータスセットレジスタ(SACSRs)

シリアル補助制御ステータスセットレジスタ(SACSRs)は、シリアル補助制御ステータスレジスタ(SACSR)にあるビットをセットできます。

Bit	15	14	13	12	11	10	9	8
Field	STSTS	Reserved						
R/W 属性	R0,W	R0,W0						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	TINTES	TSYNES	Reserved					TMRES
R/W 属性	R0,W	R0,W	R0,W0					R0,W
保護属性	-							
初期値	0	0	00000					0

[bit15] STSTS: シリアルテストビットをセット

本ビットに"1"を書き込むと SACSR:STST は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit14:8] Reserved: 予約ビット

[bit7] TINTES: タイマ割込み許可ビットをセット

本ビットに"1"を書き込むと SACSR:TINTE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit6] TSYNES: 同期送信許可ビットをセット

本ビットに"1"を書き込むと SACSR:TSYNE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit5:1] Reserved: 予約ビット

[bit0] TMRES: シリアルタイマ許可ビットをセット

本ビットに"1"を書き込むと SACSR:TMRE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

9.19. FIFO 制御セットレジスタ 1(FCR1S)

FIFO 制御セットレジスタ 1(FCR1S)は、FIFO 制御レジスタ 1(FCR1)にあるビットをセットできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved			FLSTES	FRIIES	Reserved	FTIES	FSELS
R/W 属性	R0,W0			R0,W	R0,W	R0,W0	R0,W	R0,W
保護属性	-							
初期値	000			0	0	0	0	0

*本レジスタの下位バイト[bit7:0]は FIFO 制御セットレジスタ 0(FCR0S)です。

[bit15:13] Reserved: 予約ビット

[bit12] FLSTES: 再送データロス検出許可ビットをセット

本ビットに"1"を書き込むと FCR1:FLSTE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit11] FRIIES: 受信 FIFO アイドル検出許可ビットをセット

本ビットに"1"を書き込むと FCR1:FRIIE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit10] Reserved: 予約ビット

[bit9] FTIES: 送信 FIFO 割込み許可ビットをセット

本ビットに"1"を書き込むと FCR1:FTIE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit8] FSELS: FIFO 選択ビットをセット

本ビットに"1"を書き込むと FCR1:FSEL は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



9.20. FIFO 制御セットレジスタ 0(FCR0S)

FIFO 制御セットレジスタ 0(FCR0S)は、FIFO 制御レジスタ 0(FCR0)にあるビットをセットできます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved		FLDS	FSETS	FCL2S	FCL1S	FE2S	FE1S
R/W 属性	R0,W0		R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit7:6] Reserved: 予約ビット

[bit5] FLDS: FIFO ポインタリロードビットをセット

本ビットに"1"を書き込むと FCR0:FLD は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit4] FSETS: FIFO ポインタ保存ビットをセット

本ビットに"1"を書き込むと FCR0:FSET は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit3] FCL2S: FIFO2 リセットビットをセット

本ビットに"1"を書き込むと FCR0:FCL2 は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit2] FCL1S: FIFO1 リセットビットをセット

本ビットに"1"を書き込むと FCR0:FCL1 は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit1] FE2S: FIFO2 動作許可ビットをセット

本ビットに"1"を書き込むと FCR0:FE2 は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit0] FE1S: FIFO1 動作許可ビットをセット

本ビットに"1"を書き込むと FCR0:FE1 は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

10. 使用上の注意

UART 使用上の注意を以下に示します。

DMA 転送時の注意

UART の割込み要因発生を利用して, DMA コントローラを起動できます。

UART から DMA コントローラを起動する前に, DMA コントローラの設定を行ってください。DMA 転送を行う場合, 1 ブロックの全体の長さ(ブロックカウント)は 1 のみサポートされます(DMAi_An:BC=0)。

DMA コントローラの設定, 詳細については『DMA コントローラ』の章を参照してください



CHAPTER 36: CSIO(クロック同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの機能のうち、動作モード2でサポートしているCSIO機能について説明します。

1. 概要
2. 割込み
3. 動作
4. シリアルタイマの動作
5. シリアルチップセレクトの動作
6. テストモード
7. 専用ボーレートジェネレータ
8. レジスタ
9. 使用上の注意



1. 概要

CSIO(クロック同期シリアルインタフェース)は、外部装置と同期通信をするための、汎用のシリアルデータ通信インタフェースです(SPIに対応します)。また、送信/受信(最大 64 バイト)の FIFO を搭載しています。

CSIO (クロック同期シリアルインタフェース)の機能

項目		機能
1	データバッファ	<ul style="list-style-type: none"> - 全二重ダブルバッファ(FIFO 未使用時) - 送信/受信 FIFO(最大各 64 バイト) (FIFO 使用時)
2	転送形式	<ul style="list-style-type: none"> - クロック同期(スタートビット/ストップビットなし) - マスタ/スレーブ機能 - SPI に対応 (マスタ/スレーブ両方サポート)
3	ボーレート	<ul style="list-style-type: none"> - 専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成, マスタ動作時) - 外部クロック入力可能(スレーブ動作時)
4	データ長	- 5~16, 20, 24, 32 ビットに可変可能
5	受信エラー検出	- オーバランエラー
6	割込み要求	<ul style="list-style-type: none"> - 受信割込み(受信完了, オーバランエラー) - 送信割込み(送信データエンプティ, 送信パスアイドル, チップエラー割込み) - 送信 FIFO 割込み (送信 FIFO が割込みトリガレベル以下のときまたは送信 FIFO がエンプティのとき) - 送受信とも DMA 転送サポート機能あり - ステータス割込み(シリアルタイマ割込み)
7	シリアルチップセレクト	<ul style="list-style-type: none"> - チャンネル 0: シリアルチップセレクト機能なし - チャンネル 1: シリアルチップセレクト機能なし - チャンネル 2: シリアルチップセレクト機能なし - チャンネル 3: シリアルチップセレクト機能なし - チャンネル 4: 4 チャンネル制御(単独制御, ラウンド制御) - セットアップ/ホールド/ディセレクト時間を可変に設定可能 - 各チャンネルでアクティブレベル選択可能
8	同期送信機能	シリアルタイマに同期し, 定期的にデータを自動送信可能
9	タイマ機能	<ul style="list-style-type: none"> - 16 ビットシリアルタイマを搭載 - 動作クロック分周値選択可能(1~256 分周)
10	同期モード	マスタまたはスレーブ機能
11	端子アクセス	シリアルデータ出力端子を"1"設定可能
12	FIFO オプション	<ul style="list-style-type: none"> - 送受信 FIFO 搭載(最大容量:送信 FIFO 64 バイト, 受信 FIFO 64 バイト) - 送信 FIFO と受信 FIFO を選択可能 - 送信データ再送可能 - 受信 FIFO 割込みタイミングをソフトウェアで可変可能 - 独立して FIFO リセットサポート

2. 割込み

CSIO (クロック同期シリアルインタフェース)の割込みには、受信割込み、送信割込みおよびステータス割込みがあります。次に示す要因で割込み要求を発生させられます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求
- シリアルタイマの比較値(STMCR)とシリアルタイマ値(STMCR)が一致
- チップセレクトエラー発生



CSIO の割込み

CSIO の割込み制御ビットと割込み要因を表 2-1 に示します。

表 2-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
	CSE	SACSR	スレーブモード(SCR:MS=1) 時, 送信動作中にシリアルチップセレクト端子がインアクティブマスタモード(SCR:MS=0) 時, 送信回数が TBYTE の設定値以下で次の送信データが TDR に書き込まれていない(SSR:TDRE=1)	SACSR:CSEIE	シリアルチップセレクトフラグビット(SACSR:CSE)への"0"書込み
ステータス	TINT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み

*1: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

2.1. 受信割込み発生とフラグセットのタイミング

受信時の割込みは、受信完了(SSR:RDRF) および受信エラーの発生(SSR:ORE)があります。

受信割込み発生とフラグセットのタイミング

最終データビットを検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1) または受信エラーが発生(SSR:ORE=1)したとき、各フラグがセットされます。そのとき、受信割込みが許可(SSR:RIE=1)されていると受信割込みが発生します。

<注意事項>

- 受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。

図 2-1 受信動作とフラグセットのタイミング

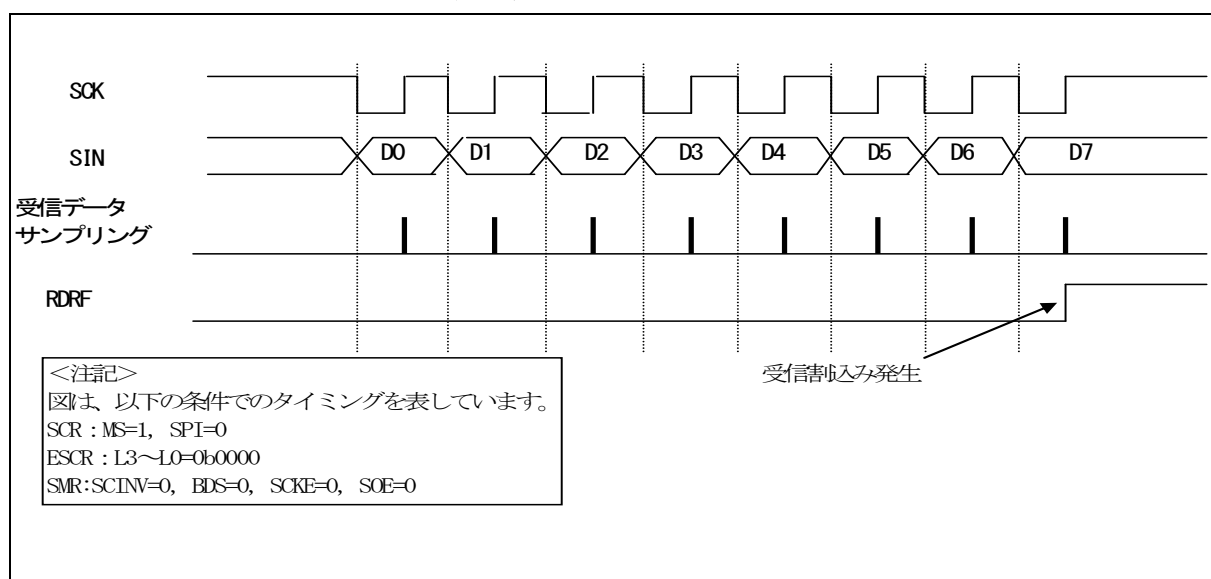
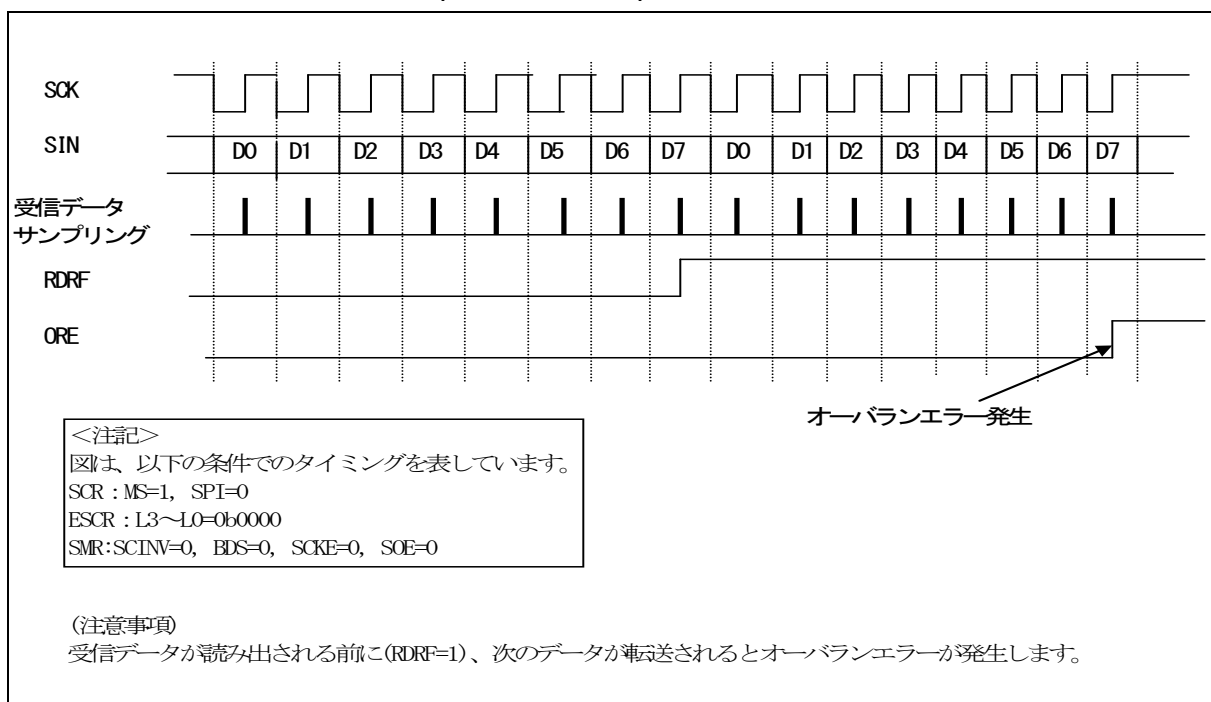


図 2-2 ORE(オーバランエラー) フラグセットタイミング



2.2. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信した場合に発生します。

受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みが発生します。
- 下記条件を両方満たす場合において、受信アイドル状態がボーレートクロックで8クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
 - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
 - 受信 FIFO に存在するデータ数が転送数に達しない
- 8クロックカウント中、RDR を読み出すとそのカウンタは0にリセットされ、再度8クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは0にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信した場合、オーバランエラー(SSR:ORE=1)が発生します。

図 2-3 受信 FIFO 使用時の受信割込み発生タイミング

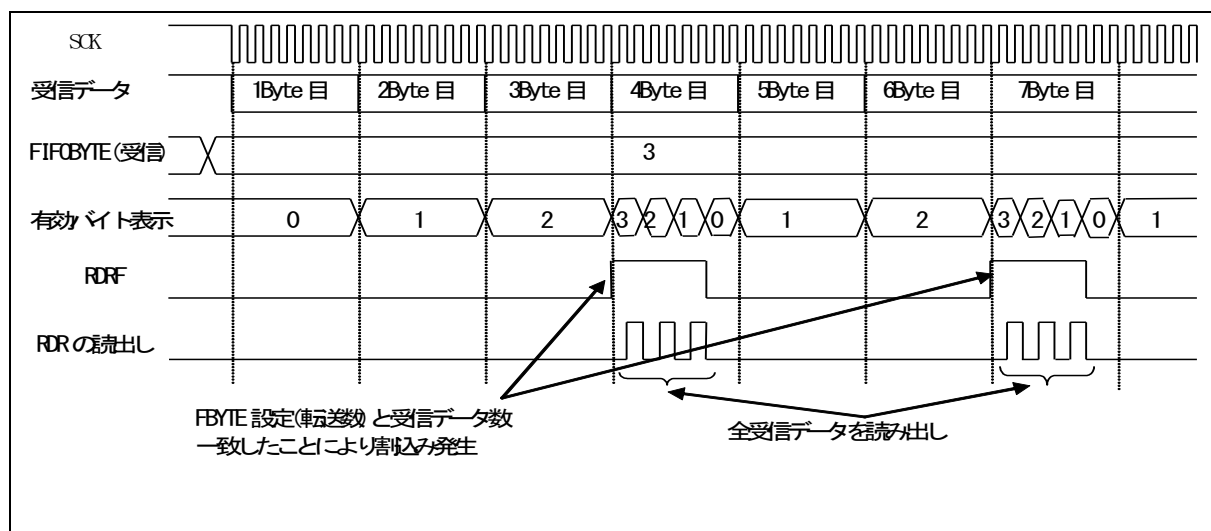
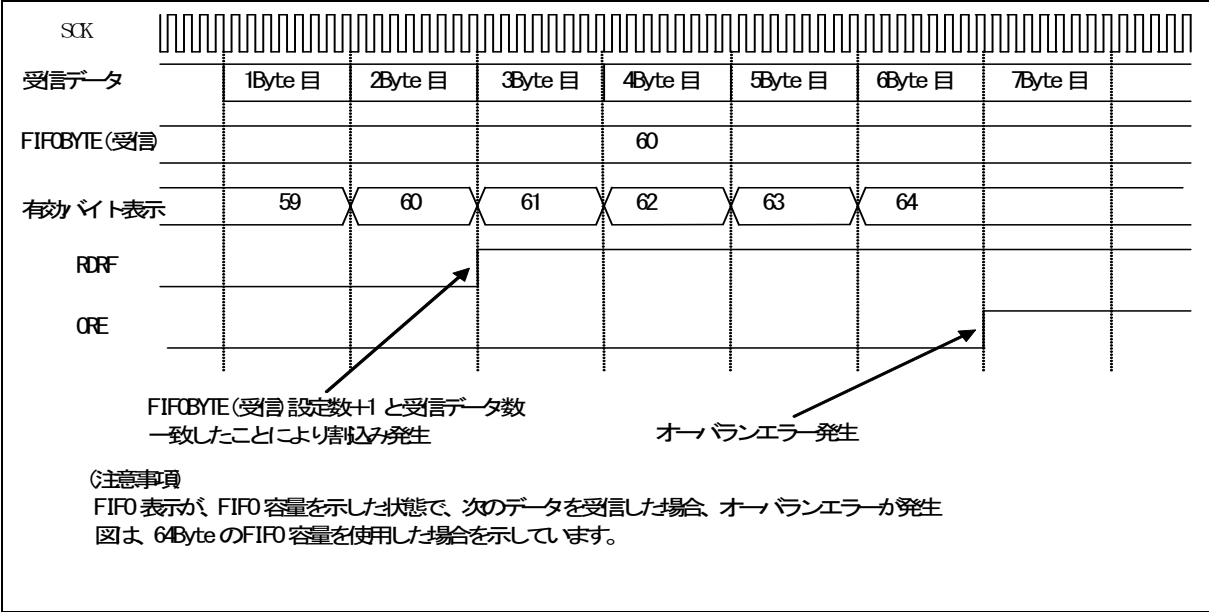




図 2-4 ORE (オーバーランエラー) フラグビットのセットタイミング



2.3. 送信割込み発生とフラグセットのタイミング

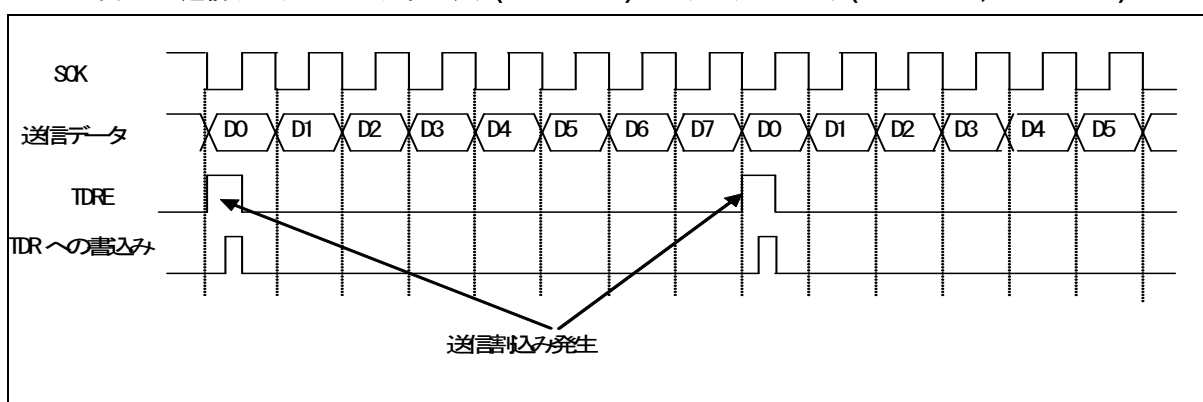
送信時の割込みは、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

(1) 送信割込み発生とフラグセットのタイミング

a) 送信データエンプティフラグ(SSR:TDRE)のセットタイミング

送信データレジスタ(TDR)に書込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)になります。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDRE ビットはリードオンリビットなので、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

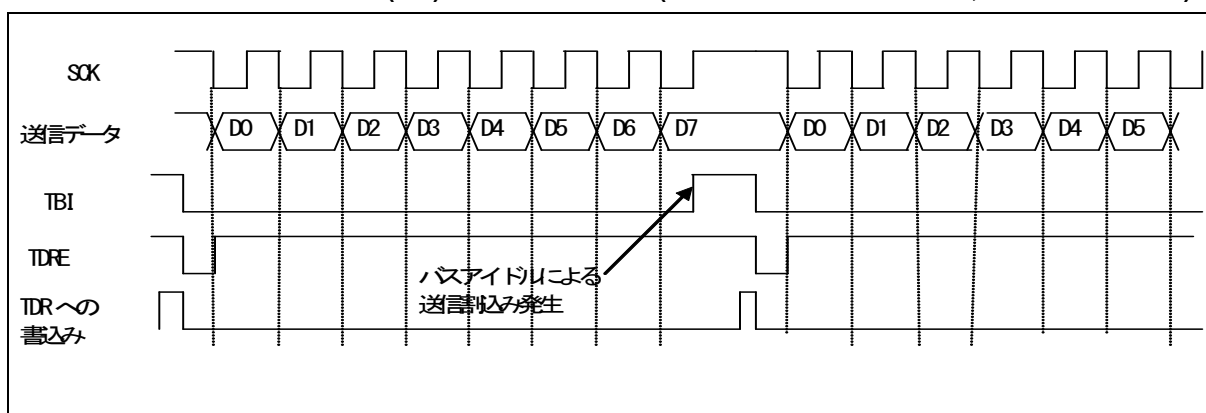
図 2-5 送信データエンプティフラグ(SSR:TDRE)のセットタイミング(SCR:MS=0, SCR:SPI=0)



b) 送信バスアイドルフラグ(SSR:TBI)のセットタイミング

送信データレジスタがエンプティ(SSR:TDRE=1)で送信動作をしていないとき、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットした場合、SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 2-6 送信バスアイドルフラグ(TBI)のセットタイミング(SCSCR:CSEN3~0=0b0000, SACSR:TSYNE=0)





2.4. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO に格納されているデータ数が、FTICR レジスタ(FTICR)の設定数以下のときに発生します。

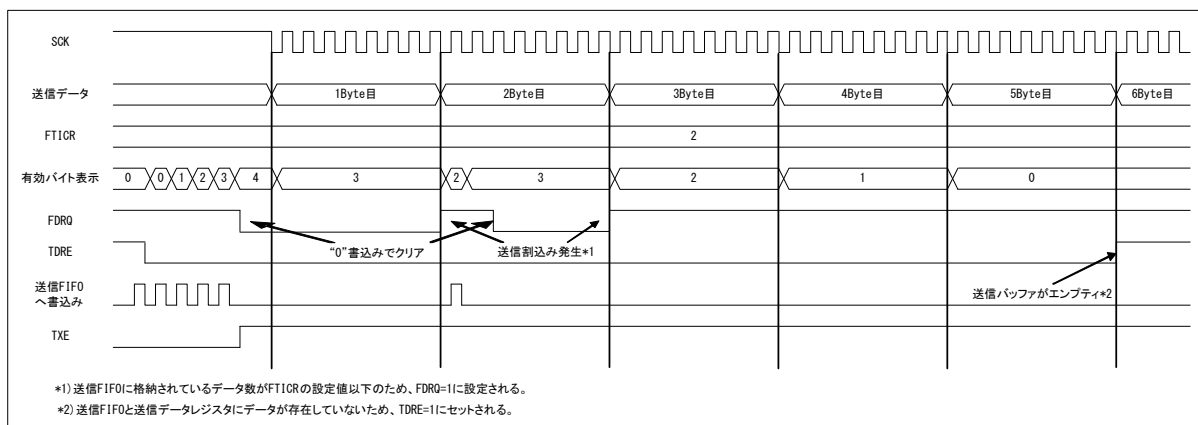
送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込み発生は、FTICR レジスタの設定値によって決定されます。

- 送信 FIFO に格納されているデータ数が FTICR レジスタの設定値以下である場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
- このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになった場合 FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"です。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ(FBYTE), または送信 FIFO 割込み制御レジスタ(FTICR)を読み出すことで確認できます。

FBYTE=0x00, FTICR=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 2-7 送信 FIFO 使用時の送信割込み発生タイミング





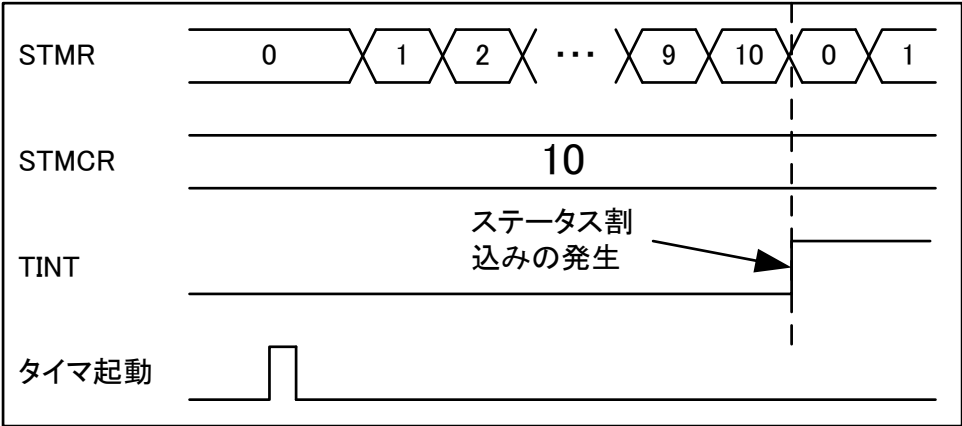
2.5. タイマ割込み発生とフラグセットのタイミング

タイマ割込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致した場合に発生します。

タイマ割込みの発生とフラグセットのタイミング

- シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致した場合、タイマ割込みフラグ(SACSR:TINT)が"1"にセットされます。
このとき、タイマ割込み許可(SACSR : TINTE=1)されているとステータス割込みが発生します。

図 2-8 タイマ割込み発生タイミング



2.6. チップセレクトエラー発生とフラグセットのタイミング

チップセレクトエラーは、マスタモード(SCR:MS=0) 時に、TBYTE の設定値より少ないフレーム数しか送信していない場合に送信データレジスタ(TDR)に有効なデータがない(SSR:TDRE=1) ときに発生します。また、スレーブモード(SCR:MS=1)の送信動作中にシリアルチップセレクト端子がインアクティブになった場合チップセレクトエラーは発生します。

(1) チップセレクトエラーの発生とフラグセットのタイミング

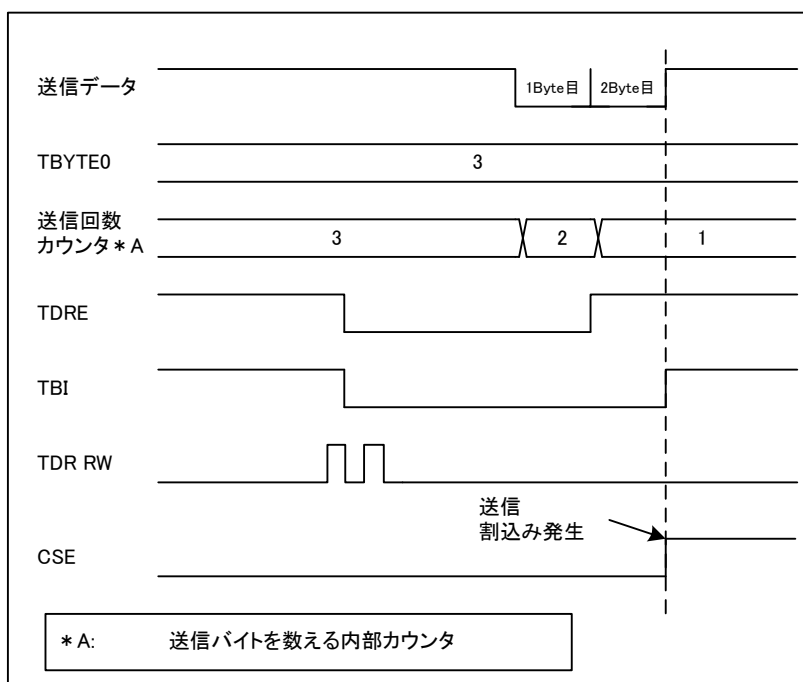
a) マスタモード(SCR:MS=0)

チップセレクトエラーは、転送バイトエラー許可(TBEEN=1)で以下のいずれかのとき、TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1) 場合、発生します。

- チップセレクト使用時
- シリアルタイマによる同期送信使用時

このとき、チップセレクトエラー割込み許可(SACSR:CSEIE=1)されていると送信割込みが発生します。

図 2-9 チップセレクトエラー発生タイミング(SCSCR:CSEN3~0=0b0000, SACSR:TSYNE=1)



<注意事項>

- シリアルチップセレクト使用時、チップセレクトエラー発生後からディセレクト時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定されます。また、ホールドディレイ時間中に送信データを送信データレジスタ(TDR)書き込んでも送信動作は開始せず、ディセレクト時間経過後にチップセレクトエラーフラグ(SACSR:CSE)は"1"に設定されます。
- チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データを送信データレジスタ(TDR)に書き込んでも送信動作は開始しません。
- 同期送信使用時でチップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、以下の条件でも送信動作は開始しません。
 - シリアルタイマに同期した送信時にリアルタイムレジスタ(STMR)とシリアルタイム比較レジスタが一致

b) スレーブモード(SCR:MS=1)

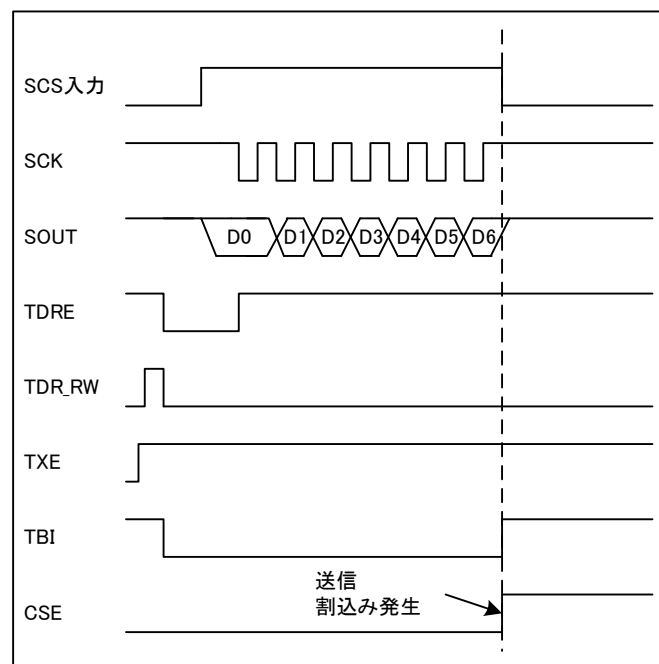
以下のいずれかのときにチップセレクトがインアクティブになるとチップセレクトエラーとなります。

- シリアルクロック動作中
- 送信モジュールが idle 状態でないときでシリアルクロックが変化したとき

idle 状態でないときは、送信データが準備されていてシリアルクロックが入力されれば送信が始まるという状態です。

このとき、チップセレクトエラー割込み許可(SACSR:CSEIE=1)されていると送信割込みが発生します。

図 2-10 チップセレクトエラー発生タイミング(CSLVL=0, SCR:SPI=0)



<注意事項>

- 送信データレジスタ(TDR)がエンプティ(SSR:TDRE=1)で、シリアルチップセレクトエラー(SACSR:CSE=1)が発生した場合、ボーレートの周期以内に本ビットは"1"になります。



3. 動作

転送方式はクロック同期式です。

3.1. ノーマル転送(I)

(1) 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～16, 20, 24, 32 ビット

(2) レジスタの設定

ノーマル転送(I)に必要な、レジスタの設定値を以下に示します。

SCR:SPI*¹=0, SMR:MD2～0=0b010, SCINV*¹=0

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

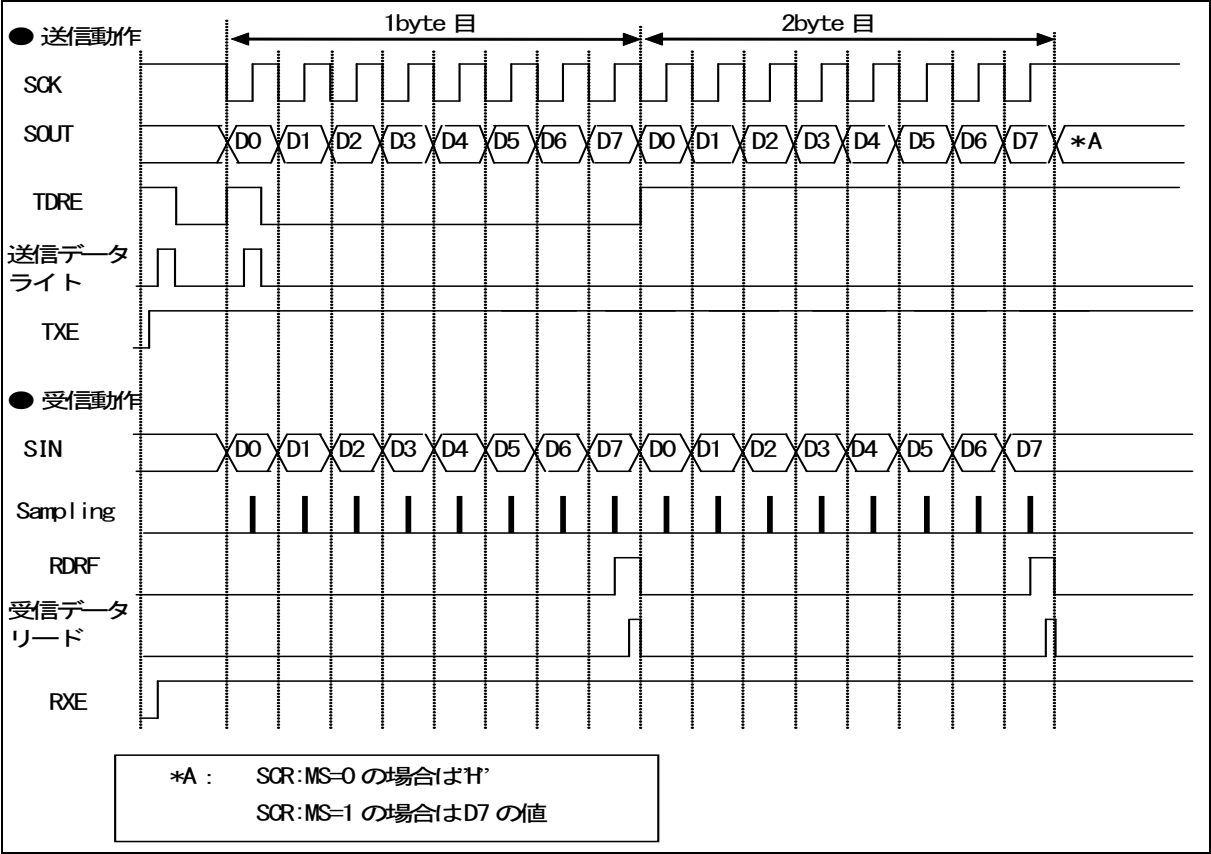
*1: 条件により設定するビットが異なります。表 5-2 を参照してください。

<注意事項>

- 上記ビット以外のレジスタは使用方法に合わせて設定してください。

(3) ノーマル転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)

図 3-1 ノーマル転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)





(4) マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3~0=0b0000)

a) 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1) および受信動作禁止(SCR:RXE=0)にした後, TDR に送信データを書き込むと, SSR:TDRE=0 に設定されます。これにより, シリアルクロック(SCK) 出力の立下りエッジに同期して, 送信データが出力されます。
2. 最初の 1 ビット目の送信データが出力されると, SSR:TDRE=1 に設定されます。このため, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき, 2 バイト目の送信データを書き込みます。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1) および受信動作許可(SCR:RXE=1)に設定した場合, TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで, 受信データがサンプリングされます。
2. 最後のビットを受信した場合, SSR:RDRF=1 に設定されます。このとき, 受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと, SSR:RDRF は"0"にクリアされます。

<注意事項>

- 受信動作のみを行う場合, シリアルクロック(SCK)を出力させるために TDR ヘダミーデータを書き込んでください。
- 送受信 FIFO 許可時は, 転送させたいフレーム分 FBYTE レジスタに設定することによって, 設定値分のフレームのシリアルクロック(SCK)が出力されます。

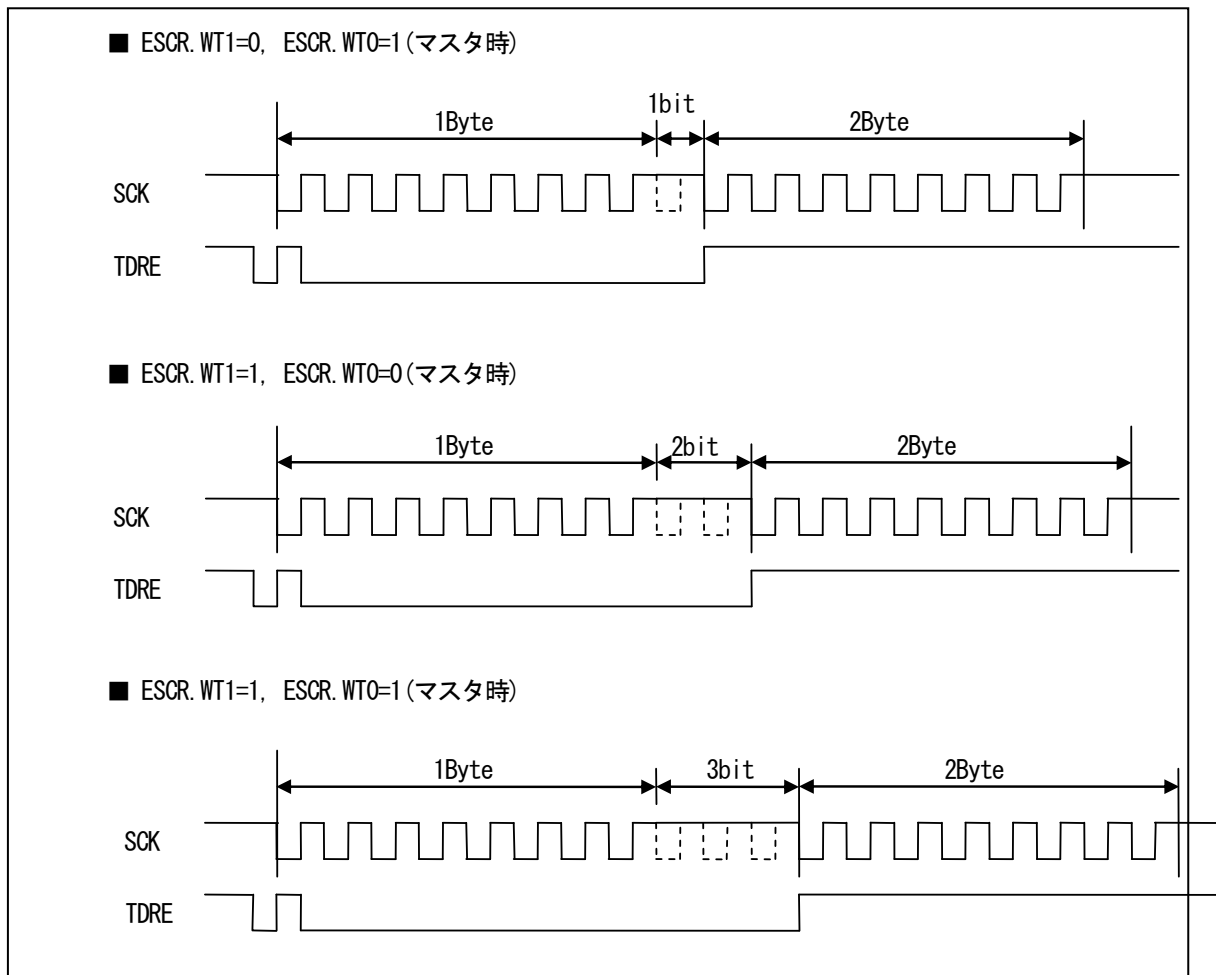
c) 送受信動作

1. 送受信動作を同時に行う場合は, シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと, SSR:TDRE=0 となりシリアルクロック(SCK) 出力の立下りエッジに同期して, 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合, SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

d) 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合、Frame 間にウェイトが挿入されます。

図 3-2 ウェイト動作



**(5) スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)****a) 送信動作**

1. シリアルデータ出力許可(SMR:SOE=1) および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、シリアルクロック(SCK) 入力の下りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

<注意事項>

- 送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。

b) 受信動作

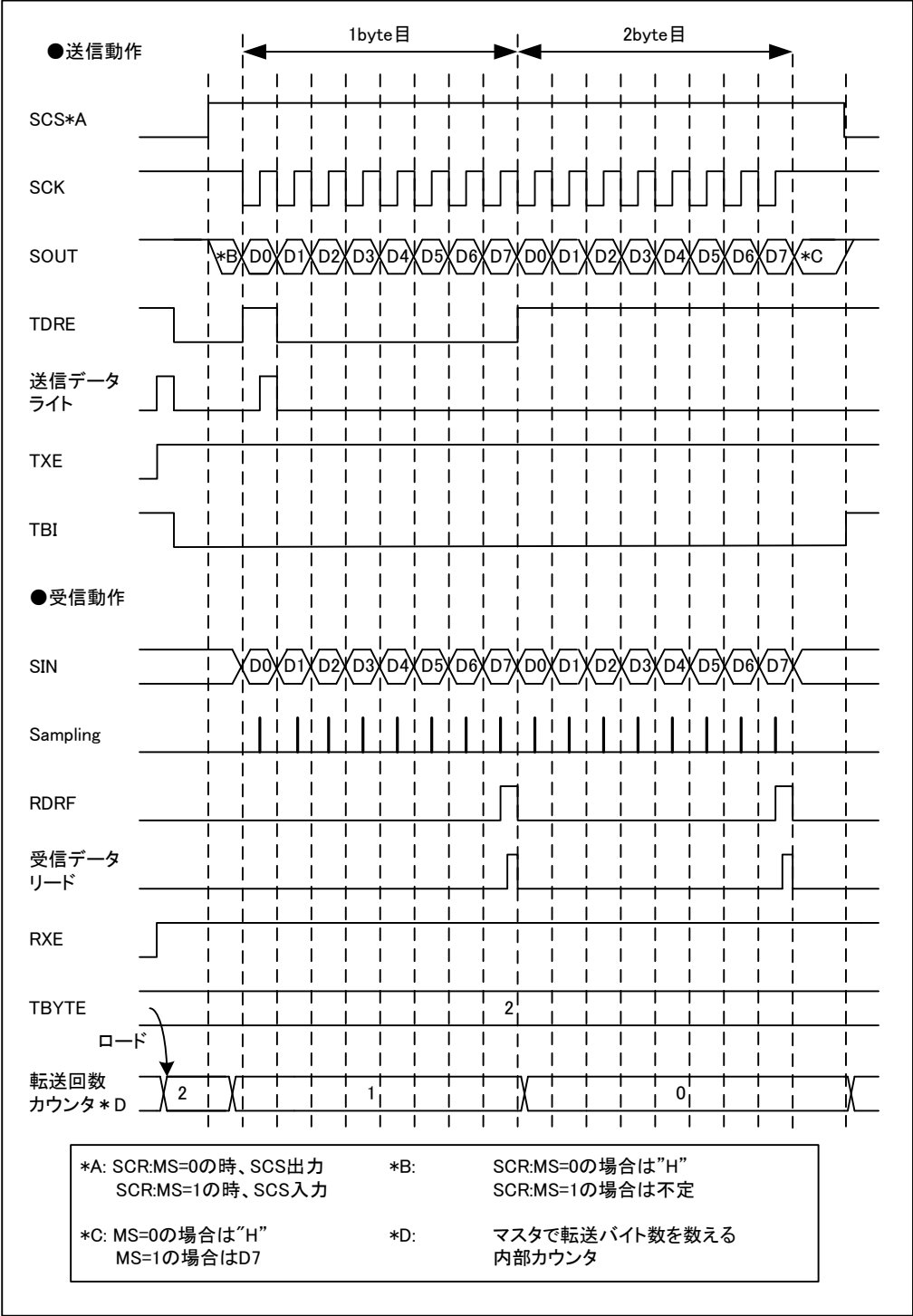
1. シリアルデータ出力禁止(SMR:SOE=0) および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

c) 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1)、送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK) 入力の下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 入力の上りエッジでサンプリングします。受信データの最後のビットを受信した場合に SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

(6) ノーマル転送(I) タイミングチャート(シリアルチップセレクト端子使用時)

図 3-3 ノーマル転送(I) タイミングチャート(シリアルチップセレクト端子使用時)



**(7) マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)**

*: n には使用するシリアルチップセレクト端子番号が入ります。

a) 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK) 出力の立下りエッジに同期して、送信データを出力します。
2. 最初の1ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。
3. TBYTE で設定している回数のデータ送信終了後、シリアルクロックが停止します。
4. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし、TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック出力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後、シリアルクロックが停止します。
5. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

<注意事項>

- 受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

c) 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にします。
2. TDR に送信データを書き込むと SSR:TDRE=0 になります。その後、シリアルチップセレクト端子(SCS)がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、シリアルクロック出力を開始します。シリアルクロック出力を開始した後、シリアルクロック(SCK) 出力の立下りエッジに同期して、送信データを出力します。最初の1ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。
3. 送受信動作中は受信データをシリアルクロック(SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されている

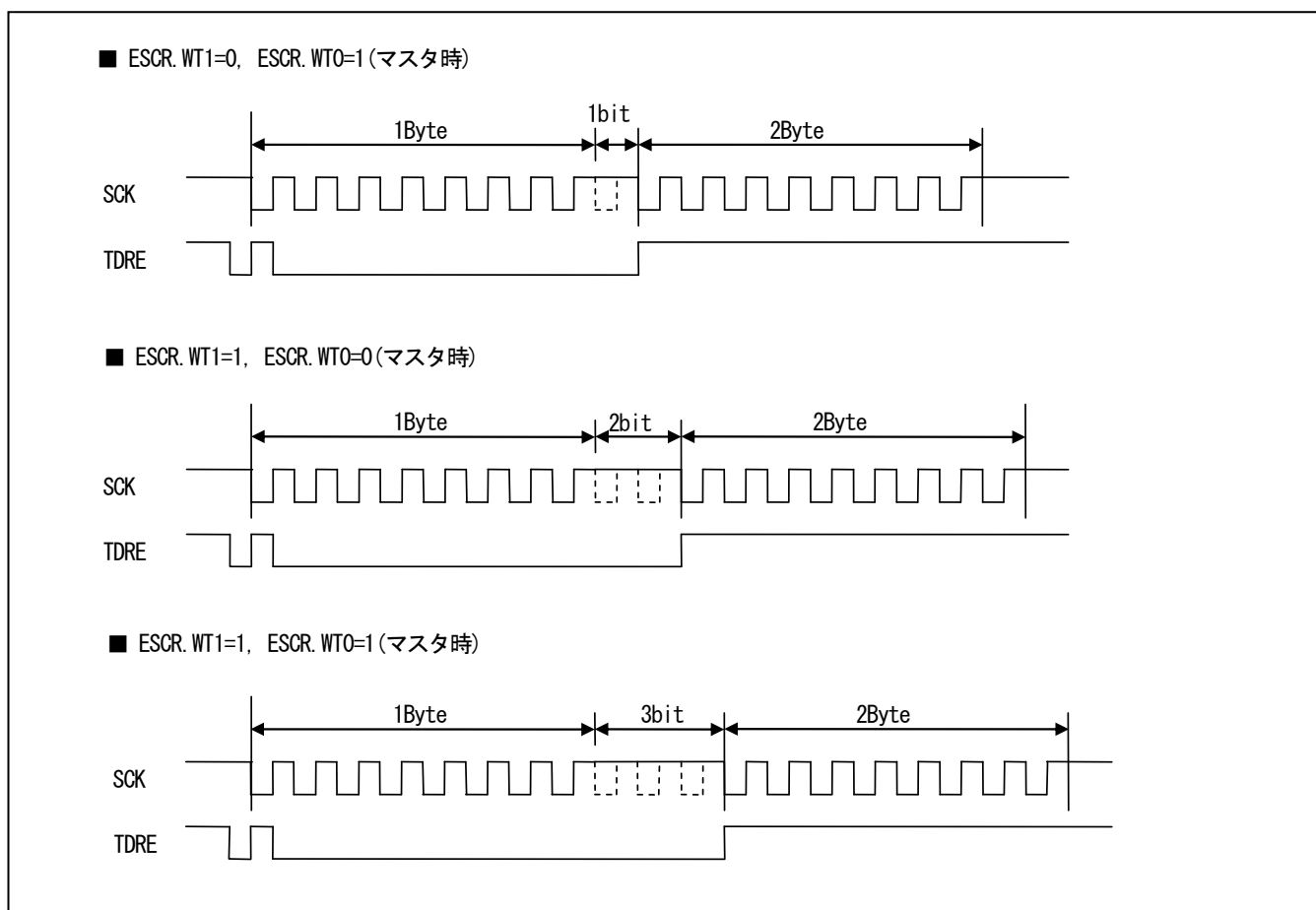
と、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロックが停止します。
5. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

d) 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。

図 3-4 ウェイト動作





(8) スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0)

a) 送信動作

1. シリアルデータ出力許可(SMR:SOE=1) および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになった場合送信動作を開始し、シリアルクロック(SCK) 入力の立下りエッジに同期して、送信データを出力します。
3. 最初の1ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合送信動作を終了し、シリアル出力端子(SOUT)が"H"になります。

<注意事項>

- 送信動作許可後(SCR:TXE=1)、最初のTDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初のTDR への送信データ書込みはSSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0) および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになった場合受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合受信動作を終了します。

c) 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1)、送受信動作許可(SCR:TXE, RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、シリアルチップセレクト端子(SCS)がアクティブになった場合送受信動作が開始し、シリアルクロック(SCK) 入力の立下りエッジに同期して、送信データを出力します。最初の1ビット目の送信データが出力されるとSSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。
3. 送受信動作中に受信データをシリアルクロック(SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すとSSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合送受信動作が停止し、シリアル出力端子(SOUT)が"H"になります。



3.2. ノーマル転送(Ⅱ)

(1) 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～16, 20, 24, 32 ビット

(2) レジスタの設定

ノーマル転送(Ⅱ)に必要な、レジスタの設定値を以下に示します。

SCR:SPI*¹=0, SMR:MD2～0=0b010, SCINV*¹=1

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

*1: 条件により設定するビットが異なります。表 5-2 を参照してください。

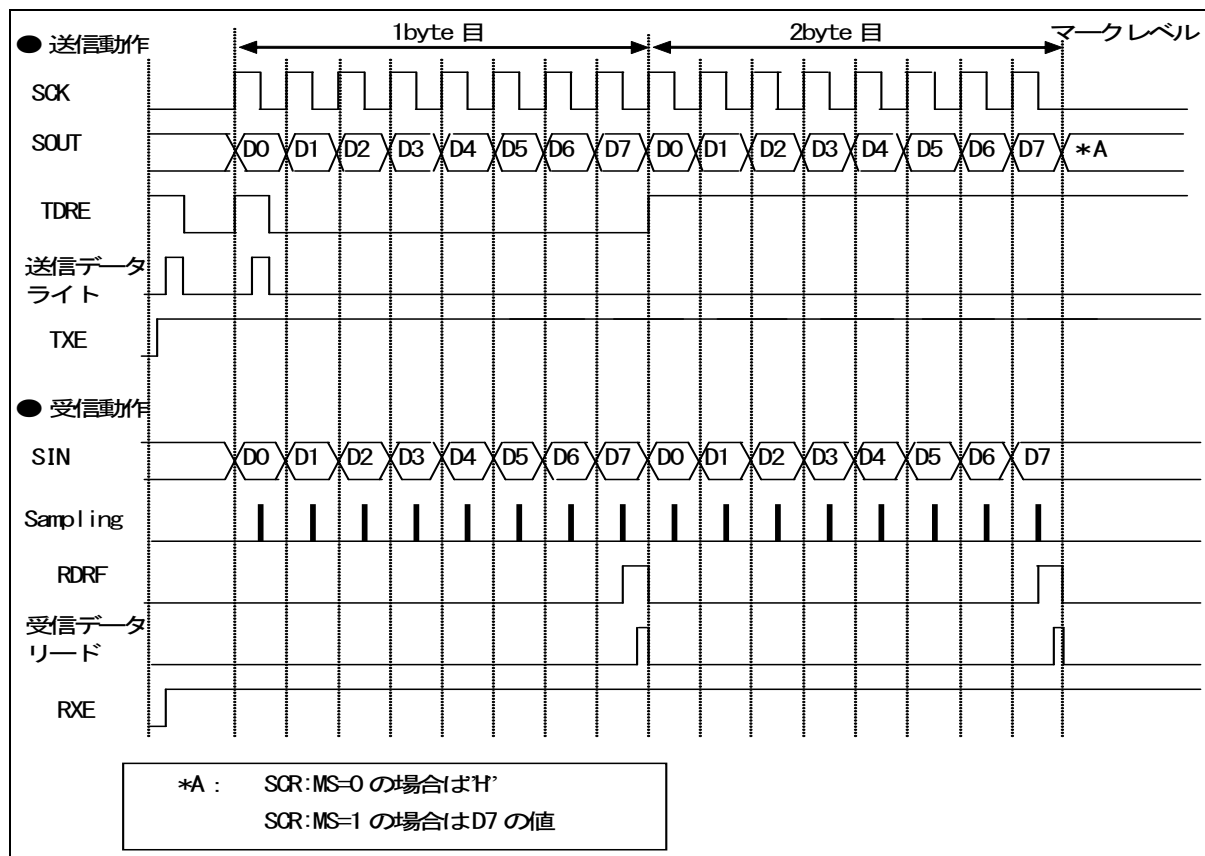
<注意事項>

- 上記以外のレジスタは使用方法に合わせて設定してください。



(3) ノーマル転送(Ⅱ) タイミングチャート(シリアルチップセレクト端子未使用時)

図 3-5 ノーマル転送(Ⅱ) タイミングチャート(シリアルチップセレクト端子未使用時)



(4) マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3~0=0b0000)**a) 送信動作**

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1) および受信動作禁止(SCR:RXE=0)にし, TDR に送信データを書き込むと, SSR:TDRE=0 に設定されます。これにより, シリアルクロック(SCK)出力の立上りエッジに同期して, 送信データが出力されます。
2. 最初の 1 ビット目の送信データが出力されると, SSR:TDRE=1 に設定されます。このため, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき, 2 バイト目の送信データを書き込みます。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1) および受信動作許可(SCR:RXE=1)に設定した場合, TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立下りエッジで, 受信データがサンプリングされます。
2. 最後のビットを受信した場合, SSR:RDRF=1 に設定されます。このとき, 受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと, SSR:RDRF は"0"にクリアされます。

<注意事項>

- 受信動作のみを行う場合, シリアルクロック(SCK)を出力させるために TDR ヘダミーデータを書き込んでください。
- 送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することによって, 設定値分のフレームのシリアルクロック(SCK)が出力されます。

c) 送受信動作

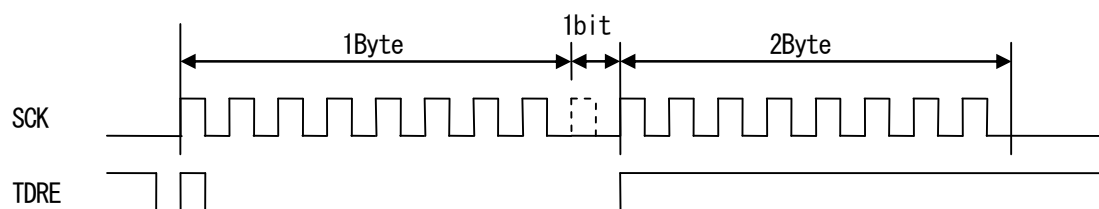
1. 送受信動作を同時に行う場合は, シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと, SSR:TDRE=0 となりシリアルクロック(SCK)出力の立上りエッジに同期して, 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合, SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

d) 連続データ送信または受信ウェイト動作

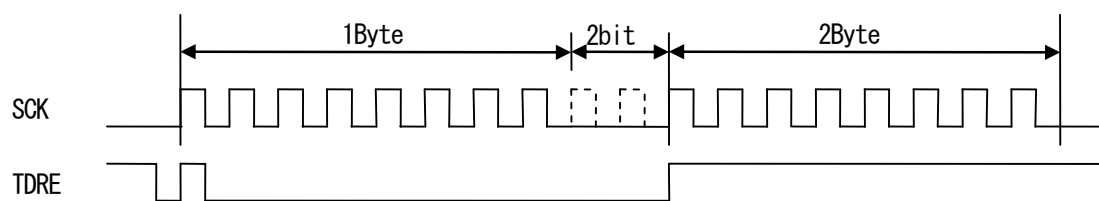
連続データ送信または受信に対し, (ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合, Frame 間にウェイトが挿入されます。

図 3-6 ウェイト動作

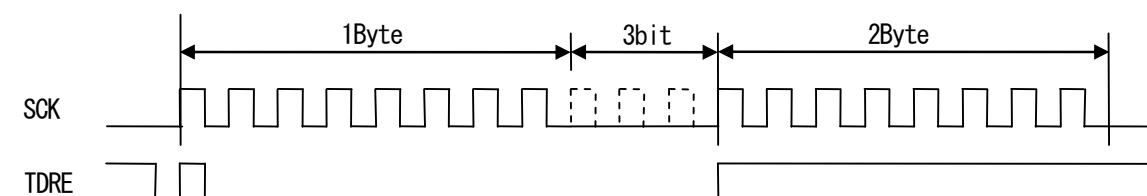
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



(5) スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)**a) 送信動作**

1. シリアルデータ出力許可(SMR:SOE=1) および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、シリアルクロック(SCK) 入力の上りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

<注意事項>

- 送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0) および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

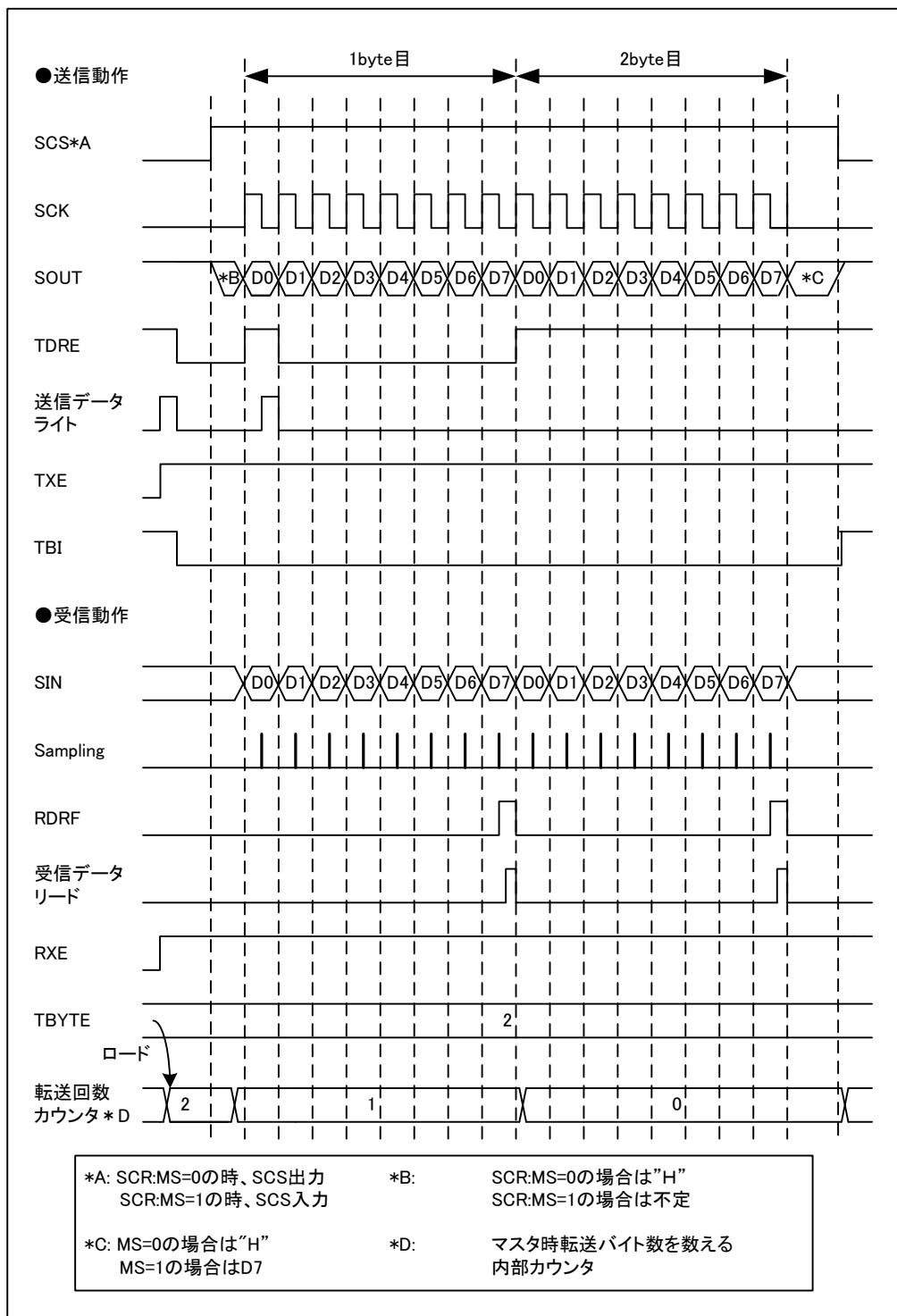
c) 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1)、送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK) 入力の上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 入力の下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。



(6) ノーマル転送(Ⅱ) タイミングチャート(シリアルチップセレクト端子使用時)

図 3-7 ノーマル転送(Ⅱ) タイミングチャート(シリアルチップセレクト端子使用時)



(7) マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSEn=1)

*: n には使用するシリアルチップセレクト端子番号が入ります。

a) 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし, TDR に送信データを書き込むと, SSR:TDRE=0 になります。その後, シリアルチップセレクト端子(SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, シリアルクロック出力を開始します。シリアルクロック出力が開始した後, シリアルクロック(SCK) 出力の立上りエッジに同期して, 送信データを出力します。
2. 最初の1ビット目の送信データが出力されると, SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2バイト目の送信データを書き込むことができます。
3. TBYTE で設定している回数のデータ送信終了後, シリアルクロックを停止します。
4. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS)がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし, TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, シリアルクロック出力を開始します。シリアルクロック出力が開始した後, シリアルクロック出力(SCK)の立下りエッジで, 受信データをサンプリングします。
2. 最後のビットを受信した場合, SSR:RDRF=1 となり, 受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと, SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後, シリアルクロックを停止します。
5. シリアルクロックが停止してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS)がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

<注意事項>

- 受信動作のみを行う場合, シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時は, 転送させたいフレーム分 FBYTE レジスタに設定することによって, 設定値分のフレームのシリアルクロック(SCK)が出力されます。

c) 送受信動作

1. 送受信動作を同時に行う場合は, シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと SSR:TDRE=0 になります。その後, シリアルチップセレクト端子(SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, シリアルクロック出力を開始します。シリアルクロック出力を開始した後, シリアルクロック(SCK) 出力の立上りエッジに同期して, 送信データを出力します。最初の1ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2バイト目の送信データを書き込むことができます。
3. 送受信動作中は受信データをシリアルクロック(SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合, SSR:RDRF=1 となり, 受信割込み許可(SCR:RIE=1)されている

と、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

4. TBYTE で設定している回数のデータ送受信終了後、シリアルクロック出力を停止します。

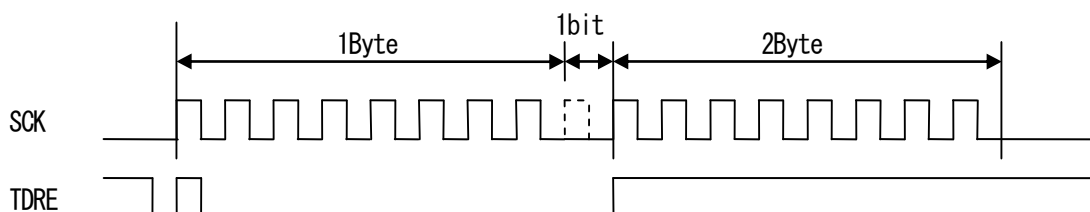
シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子(SCS)がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

d) 連続データ送信または受信ウェイト動作

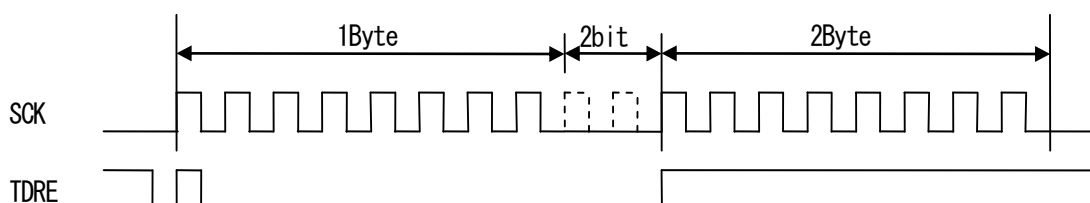
連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。

図 3-8 ウェイト動作

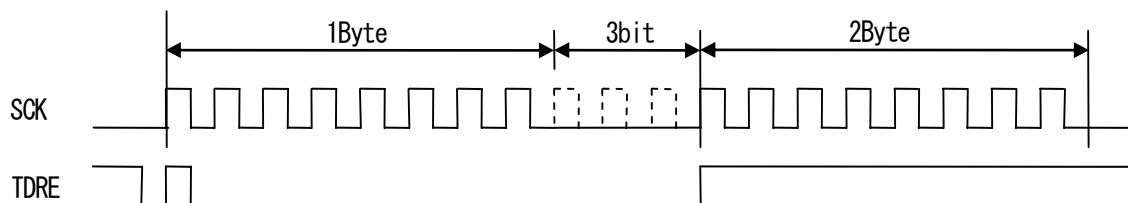
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



(8) スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0, SCSCR:SCAM=0)

a) 送信動作

1. シリアルデータ出力許可(SMR:SOE=1) および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになった場合送信動作を開始し、シリアルクロック(SCK) 入力の立上りエッジに同期して、送信データを出力します。
3. 最初の1ビット目の送信データが出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合送信動作を停止し、シリアル出力端子(SOUT)が"H"になります。

<注意事項>

- 送信動作許可後(SCR:TXE=1)、最初のTDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初のTDR への送信データ書込みはSSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0) および受信動作許可(SCR:RXE=1)でシリアルチップセレクト端子(SCS)がアクティブになった場合受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合受信動作を停止します。

c) 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1)、送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。その後、シリアルチップセレクト端子(SCS)がアクティブになった場合送受信動作が開始し、シリアルクロック(SCK) 入力の立上りエッジに同期して、送信データを出力します。最初の1ビット目の送信データが出力されるとSSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2バイト目の送信データを書き込むことができます。
3. 送受信動作中に受信データをシリアルクロック(SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すとSSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合送受信動作停止し、シリアル出力端子(SOUT)が"H"になります。



3.3. SPI 転送(I)

(1) 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5~16, 20, 24, 32 ビット

(2) レジスタの設定

SPI 転送(I)に必要な、レジスタの設定値を以下に示します。

SCR:SPI^{*1}=1, SMR:MD2~0=0b010, SCINV^{*1}=0

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

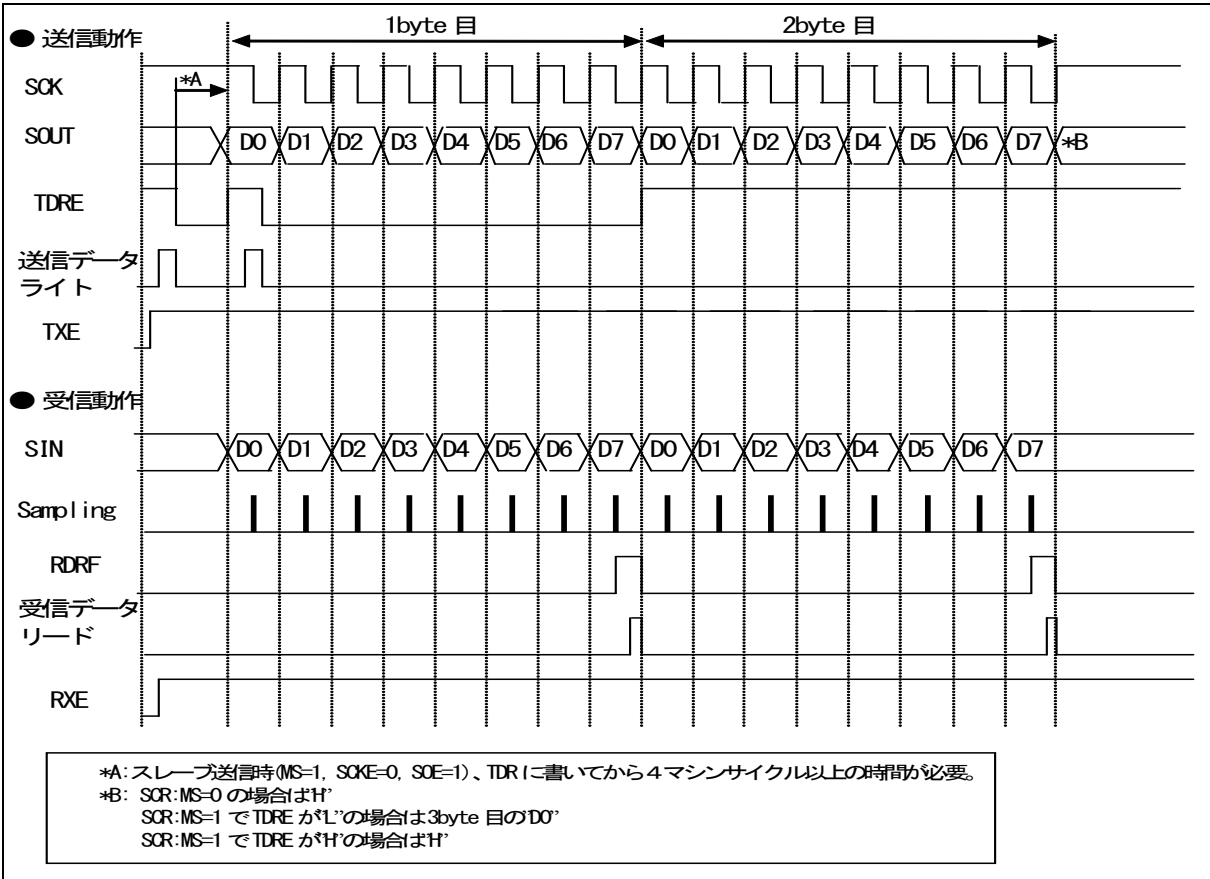
*1: 条件により設定するビットが異なります。表 5-2 を参照してください。

<注意事項>

- 上記以外のレジスタは使用方法に合わせて設定してください。

(3) SPI 転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)

図 3-9 SPI 転送(I) タイミングチャート(シリアルチップセレクト端子未使用時)



**(4) マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3~0=0b0000)****a) 送信動作**

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1) および受信動作禁止(SCR:RXE=0) にし, TDR に送信データを書き込むと, SSR:TDRE=0 に設定されます。これにより, 1 ビット目が出力されます。その後, シリアルクロック(SCK) 出力の立上りエッジに同期して, 送信データが出力されます。
2. 最初のシリアルクロック(SCK) 出力の立下りエッジの半サイクル前で, SSR:TDRE=1 に設定されます。このため, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき, 2 バイト目の送信データを書き込みます。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1) および受信動作許可(SCR:RXE=1) に設定した場合, TDR にダミーデータを書き込むとシリアルクロック(SCK) 出力の立下りエッジで, 受信データがサンプリングされます。
2. 最後のビットを受信した場合, SSR:RDRF=1 に設定されます。このとき, 受信割込み許可(SCR:RIE=1) されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと, SSR:RDRF は"0"にクリアされます。

<注意事項>

- 受信動作のみを行う場合, シリアルクロック(SCK)を出力させるために TDR ヘダミーデータを書き込んでください。
- 送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することによって, 設定値分のフレームのシリアルクロック(SCK)が出力されます。

c) 送受信動作

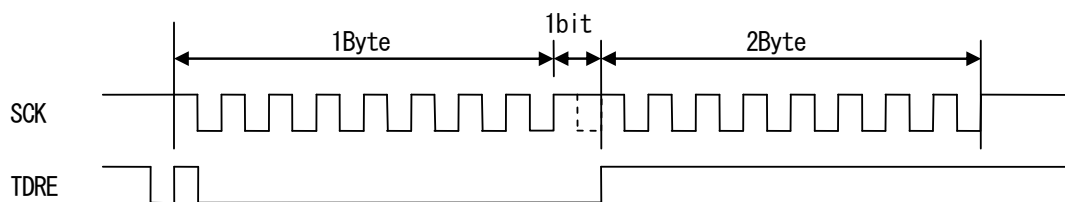
1. 送受信動作を同時に行う場合は, シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと, SSR:TDRE=0 となり 1 ビット目が出力されます。その後, シリアルクロック(SCK) 出力の立上りエッジに同期して, 送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で, SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合, SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

d) 連続データ送信または受信ウェイト動作

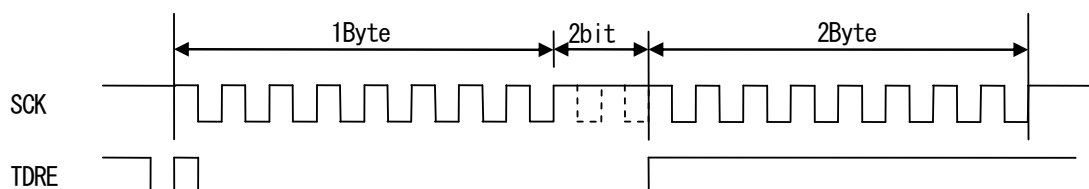
連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合、Frame 間にウェイトが挿入されます。

図 3-10 ウェイト動作

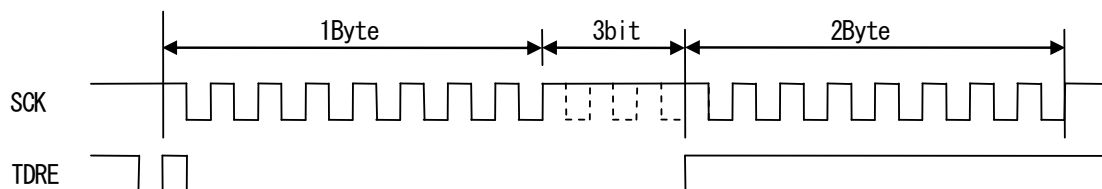
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



**(5) スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)****a) 送信動作**

1. シリアルデータ出力許可(SMR:SOE=1) および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK) 出力の立上りエッジに同期して、送信データを出力します。
2. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

<注意事項>

- 送信動作許可後(SCR:TXE=1), 最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1), 最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0) および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

c) 送受信動作

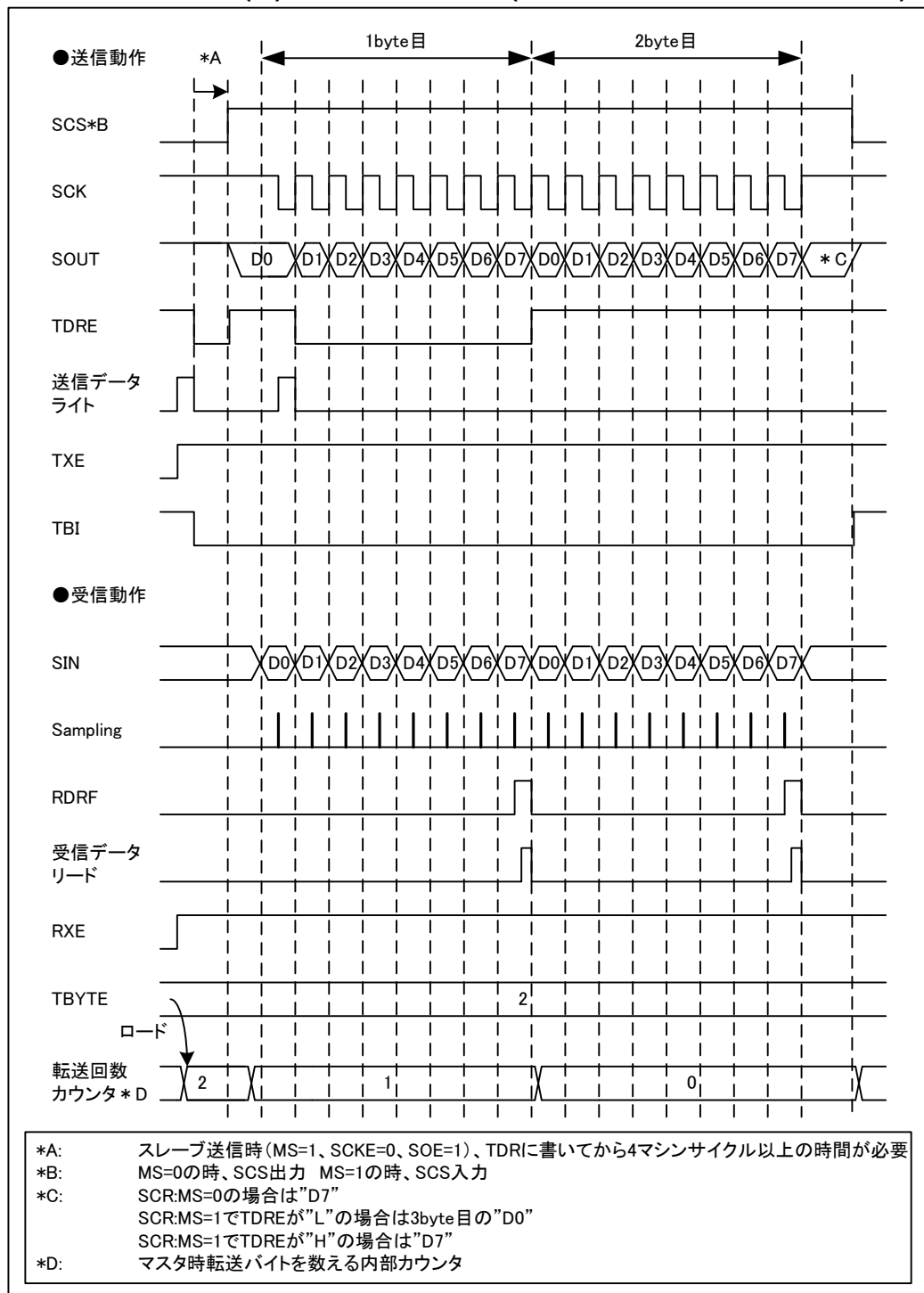
1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK) 入力の上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

d) 受信動作から送信動作への連続的な切換え

1. シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1) および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。
2. 受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。
3. 受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0) および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

(6) SPI 転送(I) タイミングチャート(シリアルチップセレクト端子使用時)

図 3-11 SPI 転送(I) タイミングチャート(シリアルチップセレクト端子使用時)



**(7) マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)**

*:n には使用するシリアルチップセレクト端子番号が入ります。

a) 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし, TDR に送信データを書き込むと, SSR:TDRE=0 になります。その後, 1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, シリアルクロック出力が開始します。シリアルクロック出力開始後, シリアルクロック(SCK)出力の立上りエッジに同期して, 送信データを出力します。
2. 最初のシリアルクロック(SCK) 出力の立下りエッジの半サイクル前で, SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。
3. TBYTE で設定している回数のデータ送信終了後, シリアルクロック出力を停止します。
4. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS)がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし, TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, シリアルクロック出力を開始します。シリアルクロック出力開始した後, シリアルクロック(SCK) 出力の立下りエッジで, 受信データをサンプリングします。
2. 最後のビットを受信した場合, SSR:RDRF=1 となり, 受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。
3. このとき, 受信データ(RDR)を読み出せます。
4. 受信データ(RDR)を読み出すと, SSR:RDRF は"0"にクリアされます。
5. TBYTE で設定している回数のデータ受信終了後, シリアルクロック出力を停止します。
6. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS)がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

<注意事項>

- 受信動作のみを行う場合, シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することによって, 設定値分のフレームのシリアルクロック(SCK)が出力されます。

c) 送受信動作

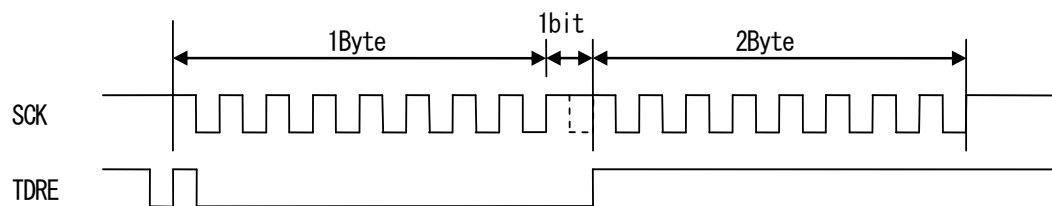
1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと, SSR:TDRE=0 に設定されます。その後, 1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, シリアルクロック出力が開始します。シリアルクロック出力開始後, シリアルクロック(SCK) 出力の立上りエッジに同期して, 送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で, SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合, SSR:RDRF=1 となり, 受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後, シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS)がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

d) 連続データ送信または受信ウェイト動作

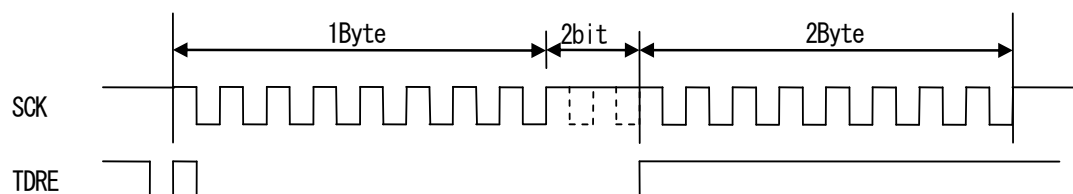
連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。

図 3-12 ウェイト動作

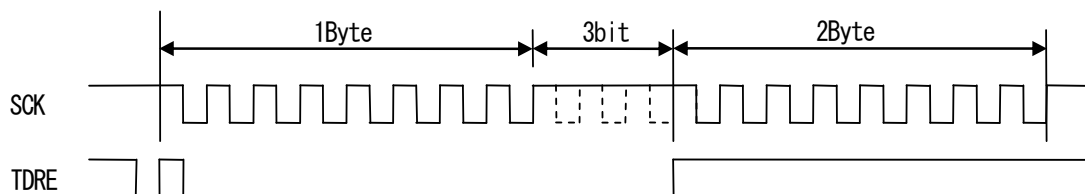
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



(8) スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0)**a) 送信動作**

1. シリアルデータ出力許可(SMR:SOE=1) および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになった場合送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック(SCK) 出力の立上りエッジに同期して、送信データを出力します。
3. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合送信動作を停止し、シリアル出力端子(SOUT)が"H"になります。

<注意事項>

- 送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときにおこなってください。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0) および受信動作許可(SCR:RXE=1) でシリアルチップセレクト端子(SCS)がアクティブになった場合受信動作が開始し、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
3. このとき、受信データ(RDR)を読み出せます。
4. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
5. シリアルチップセレクト端子(SCS)がインアクティブになった場合受信動作を停止します。

c) 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1)、送受信動作許可(SCR:TXE, RXE=1)にします。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。シリアルチップセレクト端子(SCS)がアクティブになった場合送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK) 入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合送受信動作が停止し、シリアル出力端子(SOUT)が"H"になります。



3.4. SPI 転送(Ⅱ)

(1) 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5~16, 20, 24, 32 ビット

(2) レジスタの設定

SPI 転送(Ⅱ)に必要な、レジスタの設定値を以下に示します。

SCR:SPI^{*1}=1, SMR:MD2~0=0b010, SCINV^{*1}=1

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

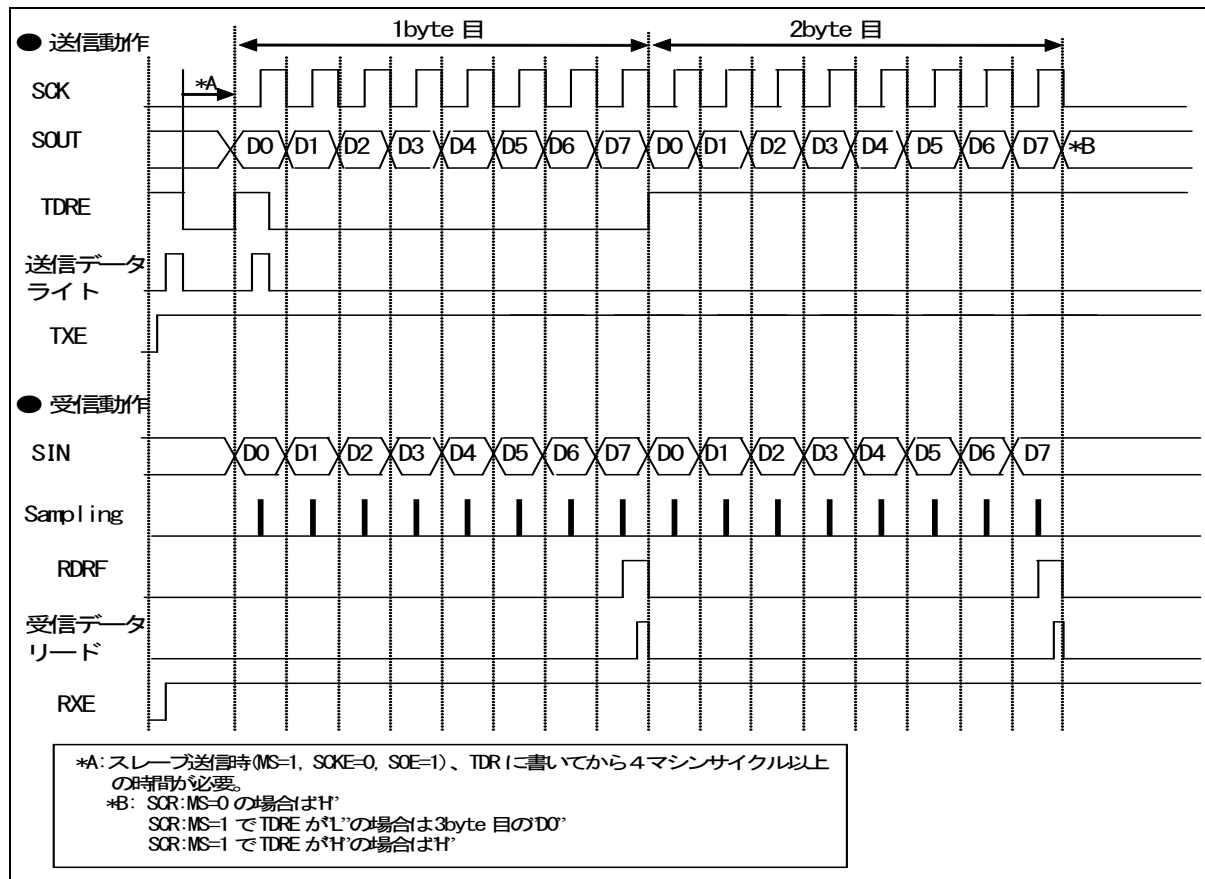
*1: 条件により設定するビットが異なります。表 5-2 を参照してください。

<注意事項>

- 上記以外のレジスタは使用方法に合わせて設定してください。

(3) SPI 転送(Ⅱ) タイミングチャート(シリアルチップセレクト端子未使用時)

図 3-13 SPI 転送(Ⅱ) タイミングチャート(シリアルチップセレクト端子未使用時)





(4) マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3~0=0b0000)

a) 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1) および受信動作禁止(SCR:RXE=0) にし, TDR に送信データを書き込むと, SSR:TDRE=0 に設定されます。これにより, シリアルクロック(SCK) 出力の立下りエッジに同期して, 送信データが出力されます。
2. 最初のシリアルクロック(SCK) 出力の立上りエッジの半サイクル前で, SSR:TDRE=1 に設定されます。このため, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき, 2 バイト目の送信データを書き込みます。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1) および受信動作許可(SCR:RXE=1) に設定した場合, TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで, 受信データがサンプリングされます。
2. 最後のビットを受信した場合, SSR:RDRF=1 に設定されます。このとき, 受信割込み許可(SCR:RIE=1) されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと, SSR:RDRF は"0"にクリアされます。

<注意事項>

- 受信動作のみを行う場合, シリアルクロック(SCK)を出力させるために TDR ヘダミーデータを書き込んでください。
- 送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することによって, 設定値分のフレームのシリアルクロック(SCK)が出力されます。

c) 送受信動作

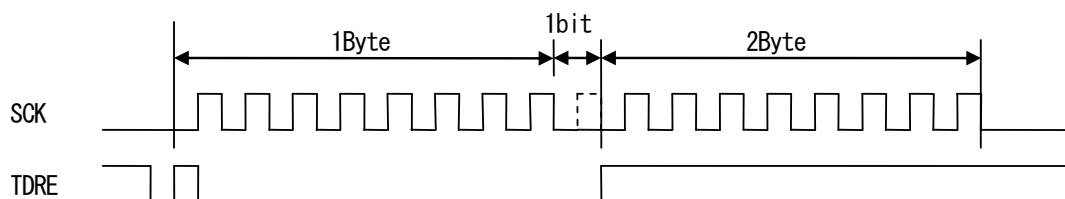
1. 送受信動作を同時に行う場合は, シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと, SSR:TDRE=0 となり 1 ビット目が出力されます。その後, シリアルクロック(SCK) 出力の立下りエッジに同期して, 送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で, SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合 SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

d) 連続データ送信または受信ウェイト動作

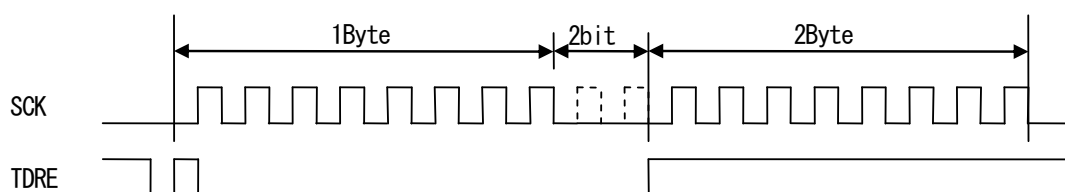
連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合、Frame 間にウェイトが挿入されます。

図 3-14 ウェイト動作

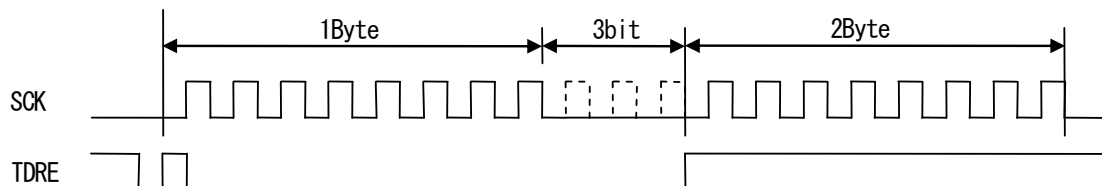
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



**(5) スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)****a) 送信動作**

1. シリアルデータ出力許可(SMR:SOE=1) および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK) 入力の立下りエッジに同期して、送信データを出力します。
2. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

<注意事項>

- 送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときに行ってください。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0) および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

c) 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1)、送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK) 入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

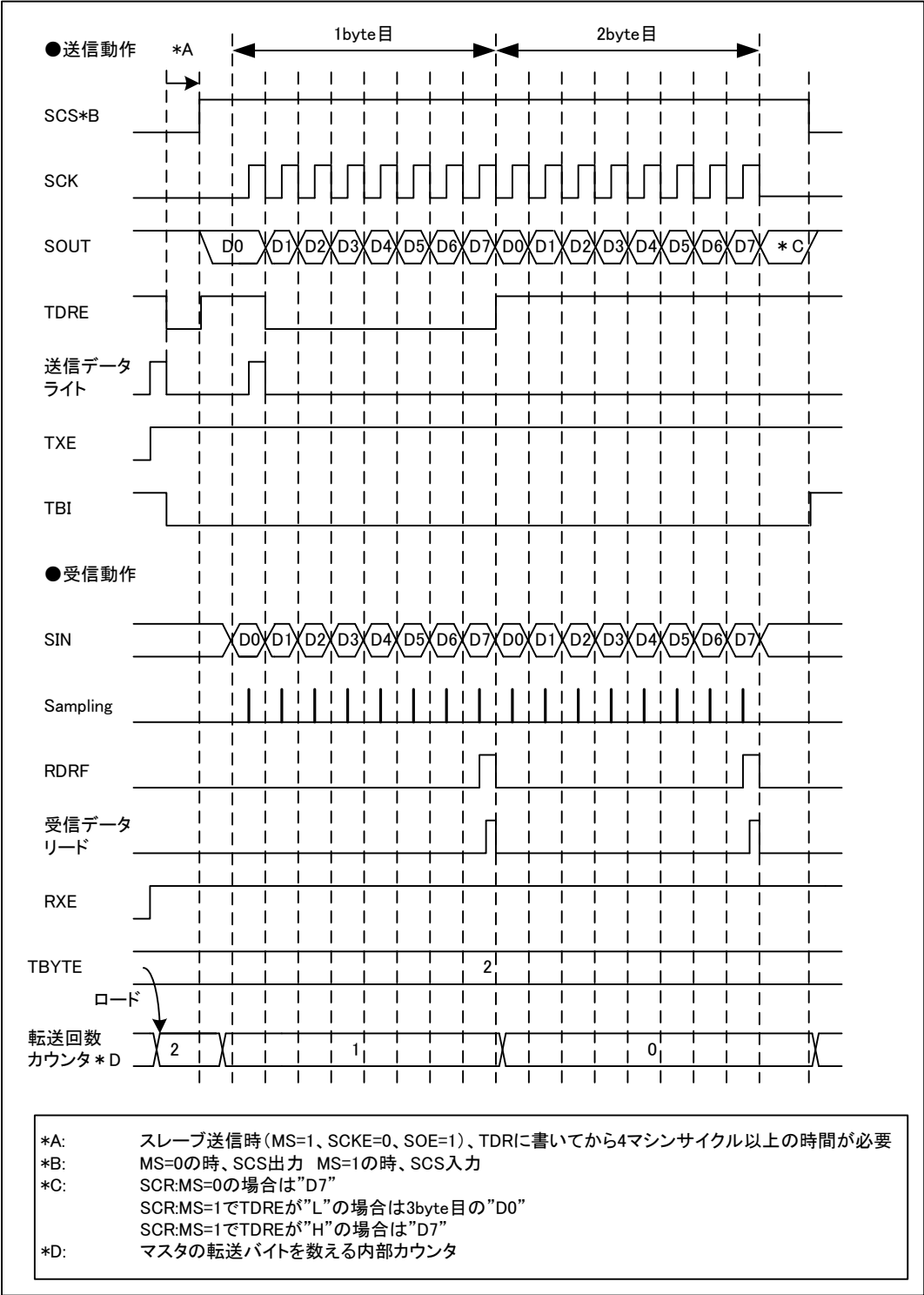
d) 受信動作から送信動作への連続的な切換え

1. シリアルデータ出力禁止(SMR:SOE=0)、受信割込み許可(SCR:RIE=1)、受信動作許可(SCR:RXE=1) および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。
2. 受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。
3. 受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1)、受信割込み禁止(SCR:RIE=0) および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

(6) SPI 転送(Ⅱ) タイミングチャート(シリアルチップセレクト端子使用時)



図 3-15 SPI 転送(Ⅱ) タイミングチャート(シリアルチップセレクト端子使用時)



**(7) マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)**

*:n には使用するシリアルチップセレクト端子番号が入ります。

a) 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1), 受信動作禁止(SCR:RXE=0)にし, TDR に送信データを書き込むと, SSR:TDRE=0 に設定されます。その後, 1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, シリアルクロック出力が開始します。シリアルクロック出力開始後, シリアルクロック(SCK) 出力の立下りエッジに同期して, 送信データを出力します。
2. 最初のシリアルクロック(SCK) 出力の立下りエッジの半サイクル前で, SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。
3. TBYTE で設定している回数のデータ送信終了後, シリアルクロック出力を停止します。
4. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS)がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1), 受信動作許可(SCR:RXE=1)にし, TDR にダミーデータを書き込むとシリアルチップセレクト端子(SCS)がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, シリアルクロック出力を開始します。シリアルクロック出力を開始した後, シリアルクロック(SCK) 出力の立上りエッジで, 受信データをサンプリングします。
2. 最後のビットを受信した場合, SSR:RDRF=1 となり, 受信割込み許可(SCR:RIE=1)されていると, 受信割込み要求を出力します。このとき, 受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと, SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ受信終了後, シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子(SCS)がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

<注意事項>

- 受信動作のみを行う場合, シリアルクロック(SCK)を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することによって, 設定値分のフレームのシリアルクロック(SCK)が出力されます。

c) 送受信動作

1. 送受信動作を同時に行う場合は, シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと, SSR:TDRE=0 に設定されます。その後, 1 ビット目が出力されると同時にシリアルチップセレクト端子(SCS)がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, シリアルクロック出力を開始します。シリアルクロック出力開始後, シリアルクロック(SCK) 出力の立下りエッジに同期して, 送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で, SSR:TDRE=1 となり, 送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

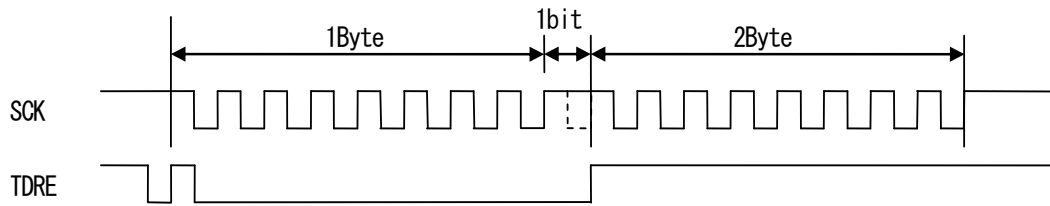
3. 受信データをシリアルクロック(SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合,SSR:RDRF=1 となり,受信割込み許可(SCR:RIE=1)されていると,受信割込み要求を出力します。このとき,受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. TBYTE で設定している回数のデータ送受信終了後,シリアルクロック出力を停止します。
5. シリアルクロック出力を停止してからシリアルチップセレクト端子のホールド時間経過後,シリアルチップセレクト端子(SCS)がインアクティブになります。ただし,このときにシリアルチップセレクトアクティブレベル(SCSCR:SCAM=1)が保持されている場合はシリアルチップセレクト端子(SCS)はアクティブ状態を保持します。

d) 連続データ送信または受信ウェイト動作

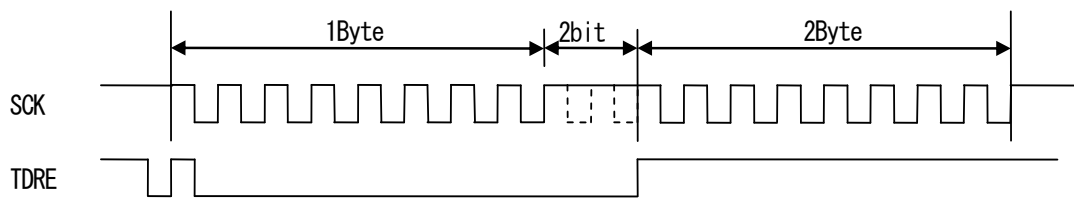
連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。

図 3-16 SPI ウェイト動作

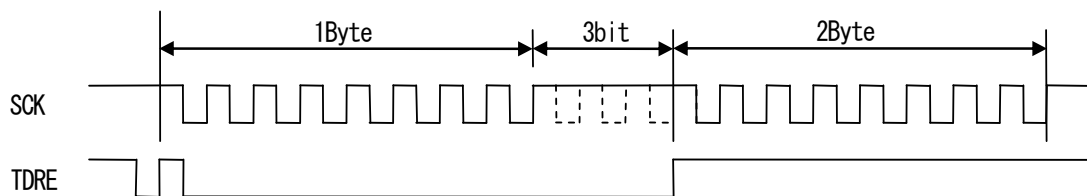
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



(8) スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0)**a) 送信動作**

1. シリアルデータ出力許可(SMR:SOE=1) および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。
2. シリアルチップセレクト端子(SCS)がアクティブになった場合送信動作を開始し1ビット目が出力されます。送信動作開始後、シリアルクロック(SCK) 出力の立下りエッジに同期して、送信データを出力します。
3. 送信データの1ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合送信動作を終了し、シリアル出力端子(SOUT)が"H"になります。

<注意事項>

- 送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みは SSR:TBI=1 でシリアルクロック(SCK)がマークレベルのときにおこなってください。

b) 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0) および受信動作許可(SCR:RXE=1) でシリアルチップセレクト端子(SCS)がアクティブになった場合受信動作が開始し、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合受信動作を停止します。

c) 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1)、送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。シリアルチップセレクト端子(SCS)がアクティブになった場合送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック(SCK) 入力の立下りエッジに同期して、送信データを出力します。送信データの1ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
3. 受信データをシリアルクロック(SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。
4. シリアルチップセレクト端子(SCS)がインアクティブになった場合送受信動作を停止し、シリアル出力端子(SOUT)が"H"になります。

4. シリアルタイマの動作

シリアルタイマは、タイマ機能または同期送信機能のいずれかに利用できます。

シリアルタイマの動作

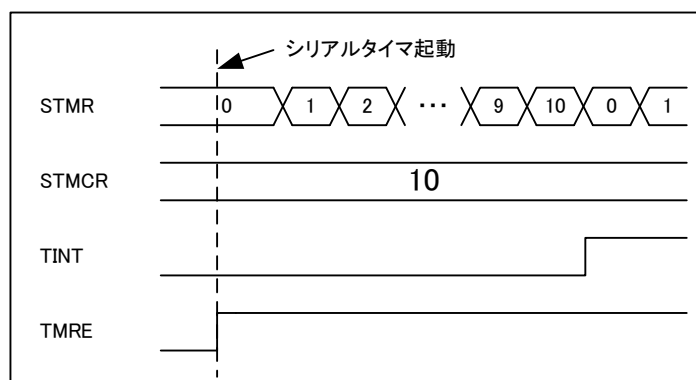
a) シリアルタイマの起動方法

シリアルタイマの起動方法はシリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットする方法があります。

- シリアルタイマ許可ビット(SACSR:TMRE)による起動

シリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットした場合、シリアルタイマは起動し、シリアルタイマレジスタ(STMR)が 0 からカウントを開始します。

図 4-1 シリアルタイマ許可ビットによる起動(STMCR=10, TSYNE=0)



b) シリアルタイマの停止方法

シリアルタイマ許可ビット(SACSR:TMRE)を"0"に設定した場合、シリアルタイマは停止します。このときシリアルタイマレジスタ(STMCR)の値は保持されます。

c) タイマ動作

同期送信許可ビット(SACSR:TSYNE)が"0"のときに、シリアルタイマはタイマとして動作します。

シリアルタイマレジスタ(STMCR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、タイマ割込みフラグ(SACSR:TINT)を"1"にセットし、シリアルタイマレジスタ(STMCR)は0にリセットされます。

図 4-2 タイマ動作(STMCR=10, SACSR:TSYNE=0)

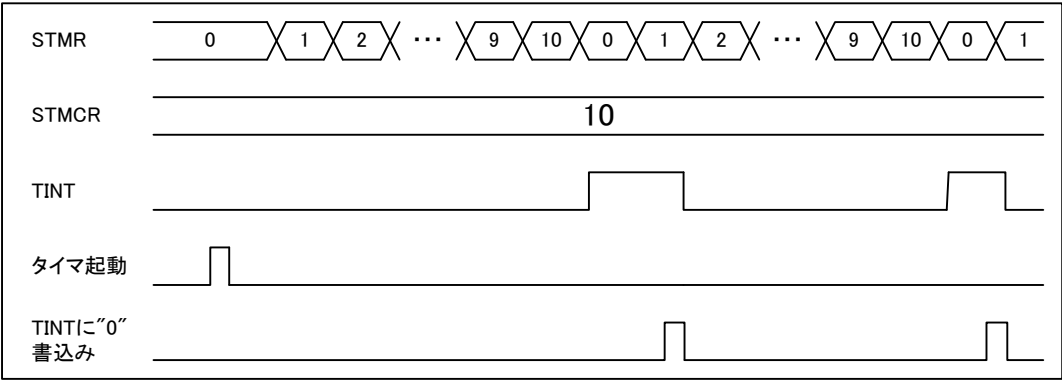


図 4-3 シリアルタイマの初期設定のフローチャート

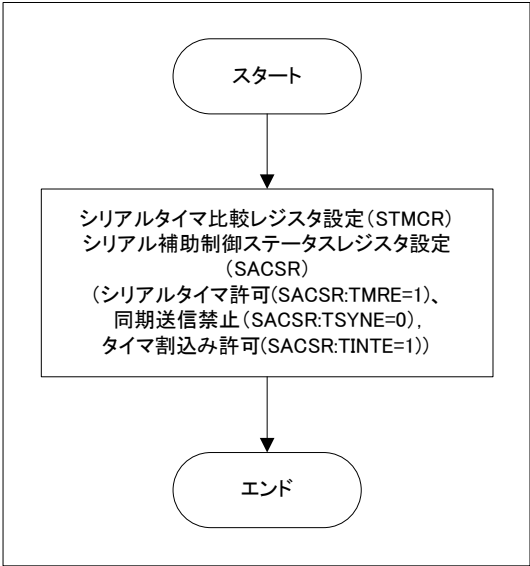
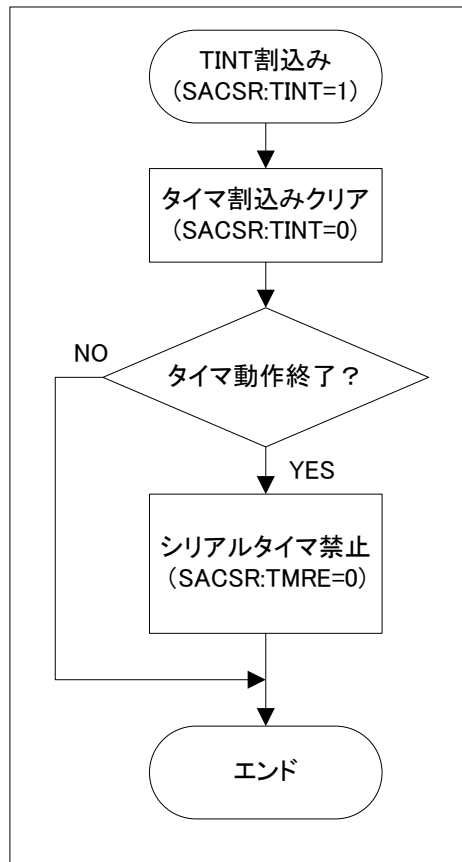


図 4-4 シリアルタイマの割込み処理のフローチャート

**<注意事項>**

- 同期送信禁止(SACSR:TSYNE=0)でタイマ比較レジスタ(STMCR)に0x0000を設定された状態で、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV3~0)が0b0000に設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。

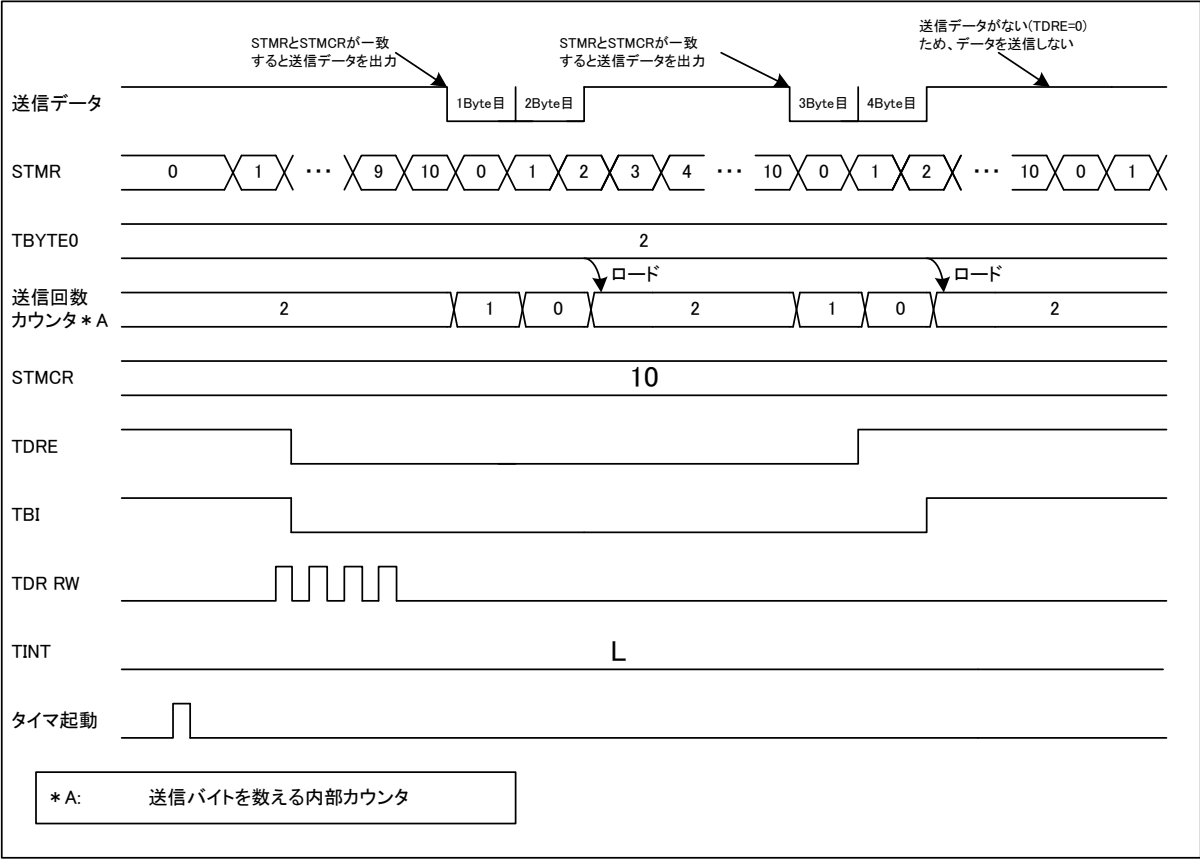
d) タイマに同期した送信動作

同期送信許可ビット(SACSR:TSYNE)が"1"のときに、シリアルタイマは同期送信に利用されます。

タイマに同期した送信は以下のように動作します。

1. 送信データレジスタにデータがある(SSR:TDRE=0) 場合、シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、送信動作が開始し、シリアルタイマレジスタ(STMR)は0にリセットされます。TBYTE0 に設定したデータ数だけ送信し続けます。
2. TBYTE0 に設定したデータ数のデータ送信を完了した後、送信動作は次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで停止します。

図 4-5 タイマに同期した送信動作(STMR=10, TBYTE0=2, SACSR:TSYNE=1)





同期送信許可(SACSR:TSYNE=1)でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときに下記の条件の場合、送信は起動されません。

- 送信禁止(SCR:TXE=0) 時
- スレーブモード(SCR:MS=1) 時
- チップセレクトエラー(SACSR:CSE=1) 発生時
- 送信データレジスタに有効なデータがない(SSR:TDRE=1) 場合

ただし、送信データレジスタに有効なデータがない(SSR:TDRE=1) 場合に同期送信許可(SACSR:TSYNE=1)でシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致したときは、送信データを送信データレジスタへ書き込むと即送信が開始します。

TBYTE に設定したデータ数の送信完了後に送信データレジスタ(TDR)に有効な送信データがある(SSR:TDRE=0) 場合、その送信データは次にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致するまで送信されません。

ただし、同期送信許可(SACSR:TSYNE=1)で送信動作中(SSR:TBI=0)にシリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、送信予約します。送信予約した場合、TBYTE0 に設定した回数だけ送信後、送信は停止せず、次の送信が開始されます。

なお、送信予約は下記の何れかの条件で解除されます。

- プログラマブルリセット(SCR:UPCL=1)
- 送信禁止(SCR:TXE=0)
- チップセレクトエラー(SACSR:CSE=1)

同期受信動作を行う場合、シリアルデータ出力禁止(SMR:SOE=0)、送信動作許可(SCR:TXE=1)、受信動作許可(SCR:RXE=1)にし、受信回数分だけ TDR にダミーデータを書き込んでください。

図 4-6 タイマに同期した送信の初期設定のフローチャート

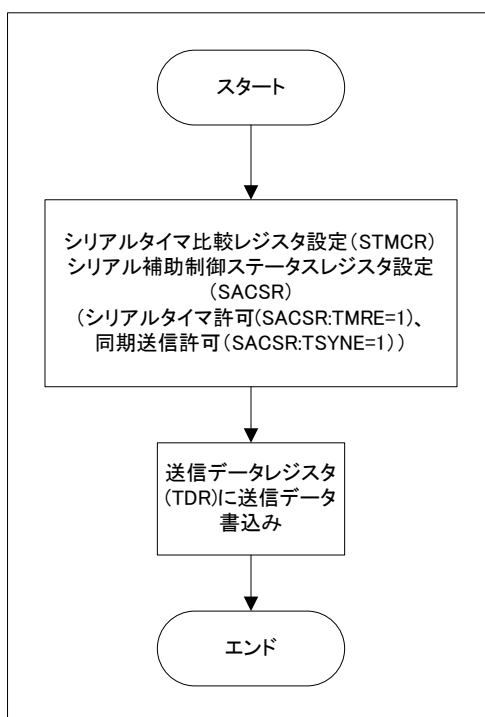
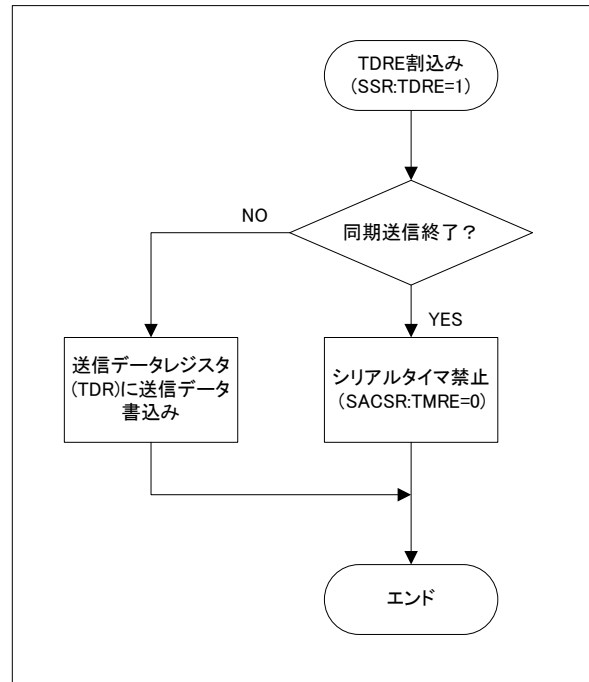


図 4-7 タイマに同期した送信の割込み処理のフローチャート



<注意事項>

- TBYTE の設定値のデータフレームを送信する前に送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1) 場合、以下の動作を行います。
- 転送バイトエラー許可(TBEEN=1)の場合、チップセレクトエラー(SACSR:CSE=1)が発生します。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。
- 転送バイトエラー禁止(TBEEN=0)の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。



5. シリアルチップセレクトの動作

シリアルチップセレクト動作について示します。

a) マスタモードの動作(SCR:MS=0)

マスタモード(SCR:MS=0)時、シリアルチップセレクト端子は以下のように動作します。

1. シリアルチップセレクト動作許可(SCSCR:CSENn=1)で送信許可中(SCR:TXE=1)に送信データを書き込むとシリアルチップセレクト端子はアクティブになります。
2. シリアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。
3. TBYTE で設定した回数のデータ送受信動作後、シリアルクロックを停止します。
4. シリアルクロックを停止してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子はインアクティブになります。

図 5-1 シリアルチップセレクト動作(マスタ送信(MS=0), 通常転送(SPI=0), SCINV=0)

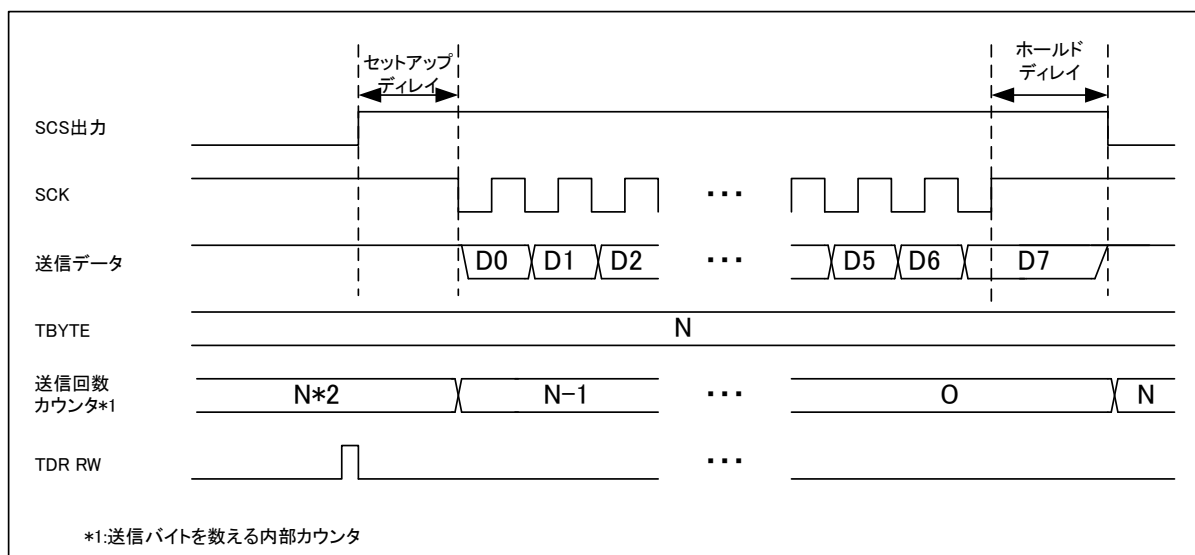
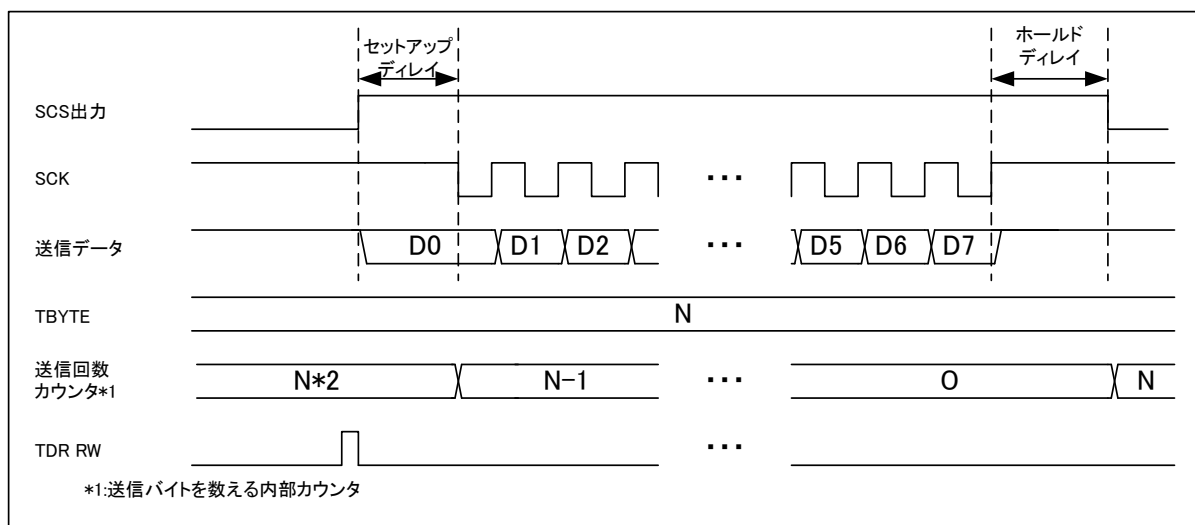


図 5-2 シリアルチップセレクト動作(マスタ送信(MS=0), SPI 転送(SPI=1), SCINV=0)



<注意事項>

- シリアルチップセレクト端子がアクティブ時に送信禁止(SCR:TXE=0)およびソフトウェアリセット(SCR:UPCL=1)にした場合、シリアルチップセレクト端子はインアクティブになります。
- シリアルチップセレクト端子のアクティブ状態を保持していない(SCSCR:SCAM=0) 場合、シリアルチップセレクト端子がインアクティブになり、ディセレクト時間経過後に送信データが空(SSR:TDRE=1)の場合に送信バスアイドル(SSR:TBI=1)になります。
- マスタモード時(SCR:MS=0)時、SCSCR:CSEN3~0 を 0b0000 に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。
- TBYTE の設定値より少ないフレーム数しか送信していないときに 1 フレーム送信が完了した時点で送信データレジスタ(TDR)に有効な送信データがない(SSR:TDRE=1) 場合、以下の動作を行います。
 - 転送バイトエラー許可(TBEEN=1)の場合、チップセレクトエラー(SACSR:CSE=1)が発生します。チップセレクトエラー(SACSR:CSE=1)が発生してからホールドディレイ時間経過後、シリアルチップセレクト端子はインアクティブになります。チップセレクトエラーフラグ(SACSR:CSE)に"1"が設定されている場合、送信データレジスタ(TDR)に送信データが書き込まれても送信動作を開始しません。
 - 転送バイトエラー禁止(TBEEN=0)の場合、送信データレジスタ(TDR)に送信データが書き込まれるまで送信動作を停止します。このとき、シリアルチップセレクト端子はアクティブです。送信データレジスタ(TDR)に送信データが書き込まれると送信動作を再開します。

b) シリアルチップセレクトのタイミング調整

マスタモード(SCR:MS=0)でシリアルチップセレクト動作許可(SCSCR:CSEn=1)の場合、シリアルチップセレクトタイミングレジスタ(SCSTR3~0)を調整することによってセットアップディレイ、ホールドディレイおよびディセレクト時間を調節することができます。

- セットアップディレイ時間
シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間です。セットアップディレイ時間の規定は図 5-3 と図 5-4 を参照してください。
チップセレクトセットアップディレイビット(SCSTR1:CSSU7~0)で調整できます。
- ホールドディレイ時間
シリアルクロックの出力を終了してからシリアルチップセレクト端子がインアクティブになるまでの時間です。ホールドディレイ時間の規定は図 5-3 と図 5-4 を参照してください。
チップセレクトホールドディレイビット(SCSTR0:CSDH7~0)で調整できます。
- ディセレクト時間
シリアルチップセレクト端子がインアクティブになってから次にシリアルチップセレクト端子がアクティブになるまでの最小時間です。ディセレクト時間中に送信データを送信データレジスタ(TDR)に書込んでも、ディセレクト時間終了までシリアルチップセレクト端子はアクティブになりません。ディセレクト時間の規定は図 5-3 と図 5-4 を参照してください。
チップセレクトディセレクトビット(SCSTR3~2:CSDS15~0)で調整できます。

図 5-3 タイミング調整(通常転送(SPI=0), SCINV=0)

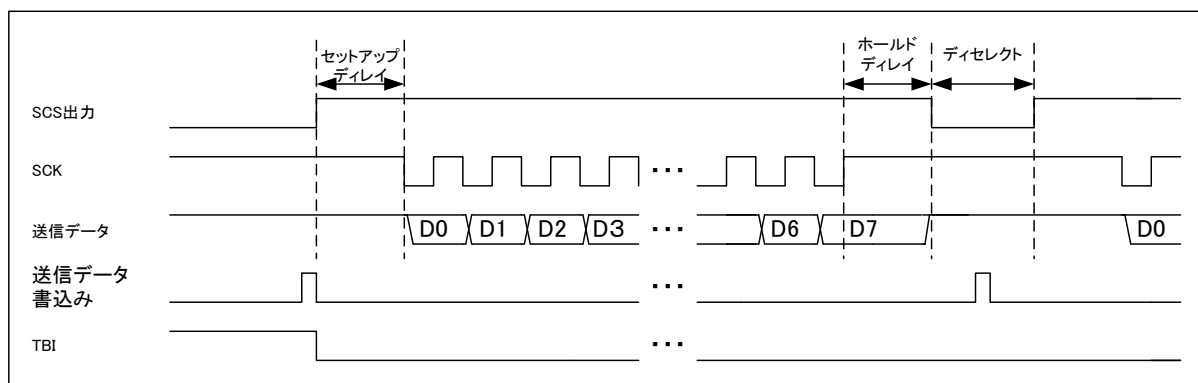
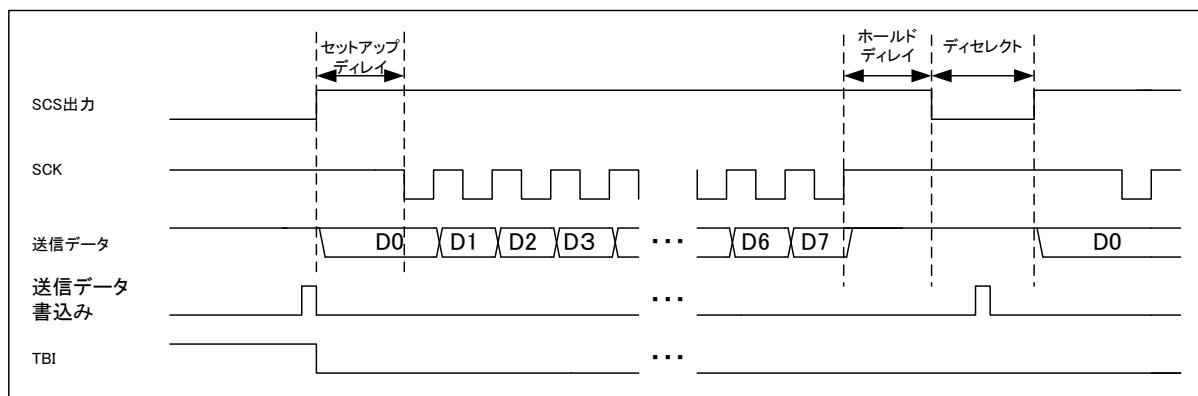


図 5-4 タイミング調整(SPI 転送(SPI=1), SCINV=0)

**<注意事項>**

- 通常転送(SCR:SPI=0)でホールドディレイ時間なし(SCSTR0:CSHD7~0=0x00)のとき、最終ビットのサンプリングより先にチップセレクト端子がインアクティブになる可能性があります。その場合は、SCSTR0:CSHD7~0の値を増やすことで、調節してください。
- SPI転送(SCR:SPI=1)でセットアップディレイ時間なし(SCSTR1:CSSU7~0=0x00)のとき、最初のビットのサンプリングより後にチップセレクト端子がアクティブになる可能性があります。その場合は、SCSTR1:CSSU7~0の値を増やすことで、調節してください。

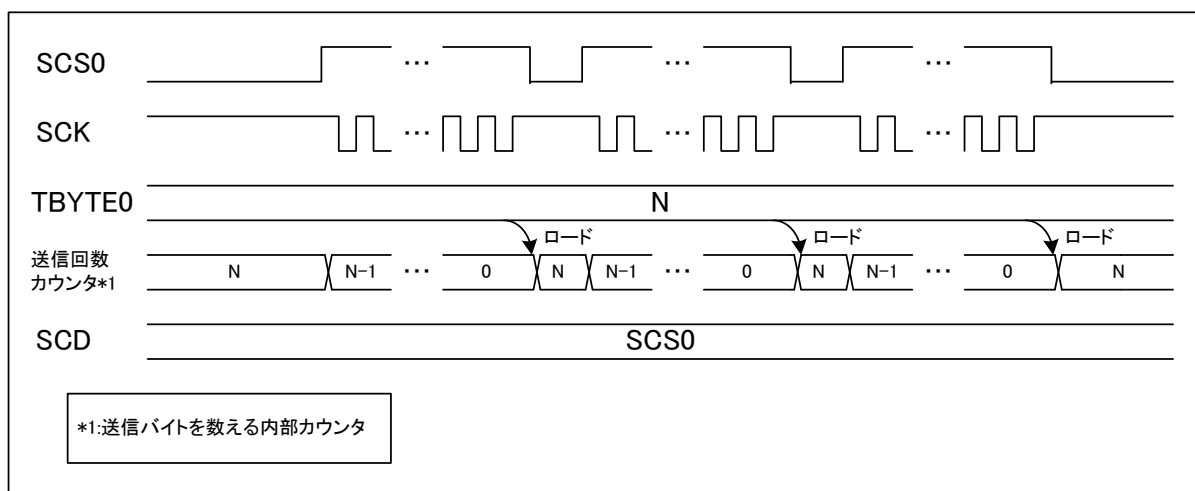
c) チップセレクト端子の単独動作(マスタモード(SCR:MS=0) 時のみ有効)

シリアルチップセレクト開始ビット(SCSCR:SST1~0)とシリアルチップセレクト終了ビット(SCSCR:SED1~0)が等しい場合、その設定されたシリアルチップセレクト端子のみで動作します。

シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTEで設定している回数のデータ送受信ごとにシリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=1)の場合の動作は「e) シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード(SCR:MS=0) 時のみ有効)」を参照してください。

図 5-5 チップセレクトの単独動作(SST1~0=0, SED1~0=0, CSEN0=1, SCAM=0)

**<注意事項>**

- 単独動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間, ホールド時間, ディセレクト時間)は有効です。

シリアルチップセレクト開始ビット(SCSCR:SST1~0)とシリアルチップセレクト終了ビット(SCSCR:SED1~0)が異なる場合、複数のシリアルチップセレクト端子が順番にアクティブになります。

1. シリアルチップセレクト出力許可(SCSCR:CSOE=1)で送信許可中(SCR:TXE=1)に送信データを書き込むと、シリアルチップセレクト開始ビット(SCSCR:SST1~0)で指定したシリアルチップセレクト端子からアクティブになります。
2. シリアルチップセレクトアクティブ非保持(SCSCR:SCAM=0)のとき、TBYTE に設定した回数のデータ送受信の終了後、シリアルチップセレクト端子はインアクティブになります。その後、前にアクティブになったシリアルチップセレクト端子番号に+1 したシリアルチップセレクト端子がアクティブになります。^{*1}

ただし、次にアクティブになるシリアルチップセレクト端子が禁止(SCSCR:CSEn=0)されていた場合、そのシリアルチップセレクト端子のアクティブにならず、スキップされます。
3. アクティブになっているシリアルチップセレクト端子番号とシリアルチップセレクト終了ビット(SCSCR:SED1~0)で指定したシリアルチップセレクト端子が一致している場合、シリアルチップセレクト開始ビット(SCSCR:SST1~0)で指定したシリアルチップセレクト端子が次にアクティブになります。

*1: 前にアクティブになったシリアルチップセレクトが端子0の場合は端子1, 端子1の場合は端子2, 端子2の場合は端子3, 端子3の場合は端子0がアクティブになります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持(SCSCR:SCAM=1)の場合の動作は「e」シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード(SCR:MS=0) 時のみ有効)」を参照してください。

図 5-6 はシリアルチップセレクト端子の開始端子が SCS0(SST1~0=0)で終了端子が SCS3(SED1~0=3)の場合のタイミングチャートです。

Timing diagram showing the relationship between SCS signals, SCK, TBYTE signals, and the transmission counter.

Signals shown:

- SCS0, SCS1, SCS2, SCS3 (Chip Selects)
- SCK (Serial Clock)
- TBYTE0, TBYTE1, TBYTE2, TBYTE3 (Data Bytes)
- 送信回数カウンタ*1 (Transmission Counter)
- SCD (Serial Command Data)

The diagram illustrates the sequence of data transmission and chip select activation. The counter shows the sequence of transmitted bytes: N, M, L, I, N, 0. The SCD signal shows the sequence of chip selects used: SCS0, SCS1, SCS2, SCS3, SCS0.

* 1: 送信バイトを数える内部カウンタ

図 5-7 はシリアルチップセレクト端子の開始端子が SCS1(SST1~0=1)で終了端子が SCS2(SED1~0=2)の場合のタイミングチャートです。

図 5-7 チップセレクトのラウンド動作(SST1~0=1, SED1~0=2, CSEN3=0, CSEN2=1, CSEN1=1, CSEN0=0, SCAM=0)

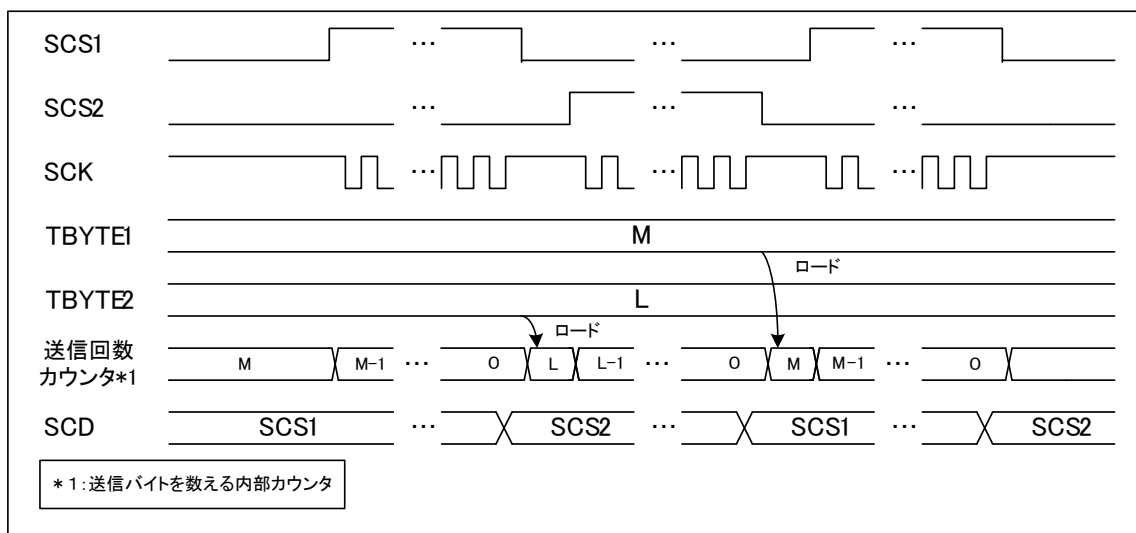
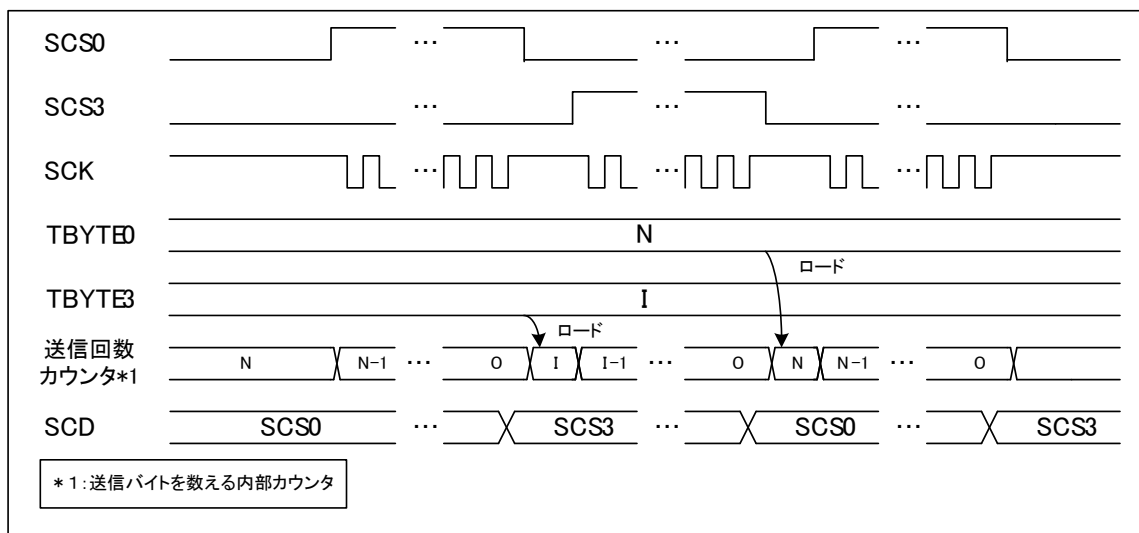


図 5-8 はシリアルチップセレクト端子の開始端子が SCS0(SST1~0=0)で終了端子が SCS3(SED1~0=3)で、チップセレクト端子 1 および 2 が禁止(CSEN1~2=0b00)の場合のタイミングチャートです。シリアルチップセレクト端子は端子 0 がアクティブになった後、端子 1 および 2 を飛ばして、端子 3 がアクティブになります。

図 5-8 チップセレクトのラウンド動作(SST1~0=0, SED1~0=3, CSEN3=1, CSEN2=0, CSEN1=0, CSEN0=1, SCAM=0)



<注意事項>

- 以下の何れかの場合、シリアルチップセレクト開始ビット(SCSCR:SST1~0)で指定したシリアルチップセレクト端子からアクティブになります。
 - 送信動作禁止(SCR:TXE=0)から送信動作許可(SCR:TXE=1)に変更した場合
 - ソフトウェアリセット(SCR:UPCL=1)を行った場合
- ラウンド動作時、シリアルチップセレクト端子のタイミング調整(セットアップ時間、ホールド時間、ディセレクト時間)は有効です。



e) シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード(SCR:MS=0) 時のみ有効)

シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)を"1"に設定して送信動作を開始した場合、シリアルチップセレクト端子はアクティブ状態に保持されます。

表 5-1 シリアルチップセレクトアクティブ保持ビット(SCSCR:SCAM)

現在の状態	現在の SCSCR:SCAM ビット	現在の SSR: TDRE ビット	次の状態
送信中 (送信回数<TBYTE)	0	-	TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
	1		
TBYTE の設定数の回数のフレームを送信終了	0	0	ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ。ディセレクト時間経過後、次の送信を開始
		1	ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ。ディセレクト時間経過後、次の送信が書き込まれるまで送信停止
	1	1	シリアルチップセレクトのアクティブ状態保持
		0	シリアルチップセレクトのアクティブ状態で、送信動作継続 再度、TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
チップセレクトエラー(SACSR:CSE=1)を発生	-	-	SCAM の設定に関係なく、ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ
ソフトウェアリセットを実行(SCR:UPCL=1)	-	-	SCAM の設定に関係なく、即シリアルチップセレクト端子をインアクティブ
送信禁止(SCR:TXE=0)			

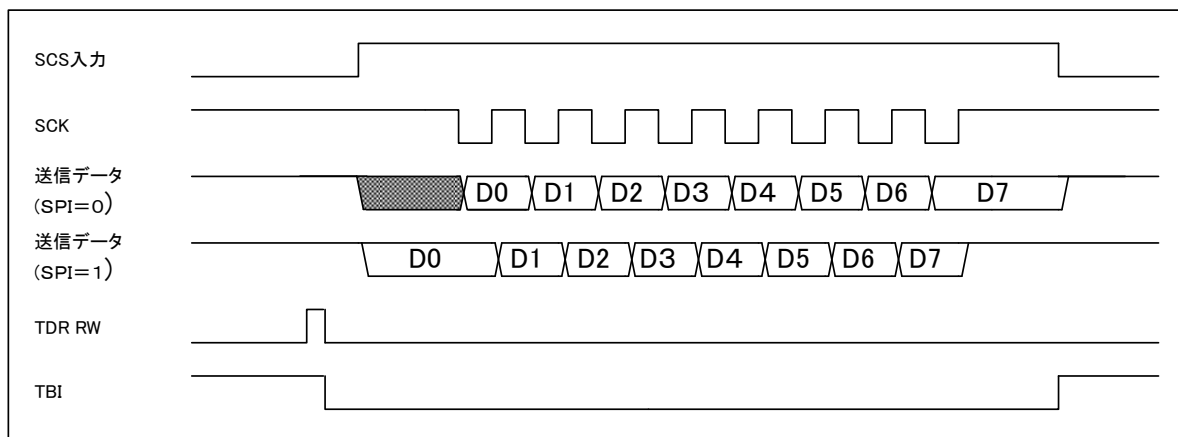
<注意事項>

- 以下のすべての条件が成り立つ場合、シリアルチップセレクト端子は保持されず、ホールドディレイ時間経過後にシリアルチップセレクト端子はインアクティブになり、チップセレクトエラー(SACSR:CSE=1)を発生します。
 - 転送バイトエラー許可(SACSR:TBEEN=1)
 - TBYTE に設定した回数のデータ送受信を終了していない場合
 - 送信データレジスタ(TDR)が空(SSR:TDRE=1)の場合

f) スレーブモードの動作(SCR:MS=1)

シリアルチップセレクト端子0(SCS0)が許可(SCSCR:CSEN0=1)でシリアルチップセレクト端子入力がアクティブになった場合、シリアルクロック(SCK)に同期して、送信動作または受信動作を行います。その後、シリアルチップセレクト端子入力がインアクティブになった場合、送信動作または受信動作を終了します。

図 5-9 スレーブモード時のシリアルチップセレクト動作(スレーブ送信, SCINV=0)



<注意事項>

- シリアルチップセレクト端子入力がインアクティブ時にシリアルクロックが入力されても動作しません。
- 受信動作中に最後にビットをサンプリングする前にシリアルチップセレクト入力が入インアクティブになった場合、受信中のデータは消去されます。
- 送信動作中にシリアルチップセレクト入力が入インアクティブになった場合、送信中のデータは消去され、チップセレクトエラーが発生(SACSR:CSE)します。
- TDR が空(SSR:TDRE=1)のとき、送信シフトレジスタが空になる、またはシリアルチップセレクト端子入力が入インアクティブになった場合送信バスアイドル(SSR:TBI=1)になります。
- スレーブモード(SCR:MS=1) 時、SCSCR:CSEN0 を"0"に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。



g) シリアルチップセレクト端子のフォーマット設定

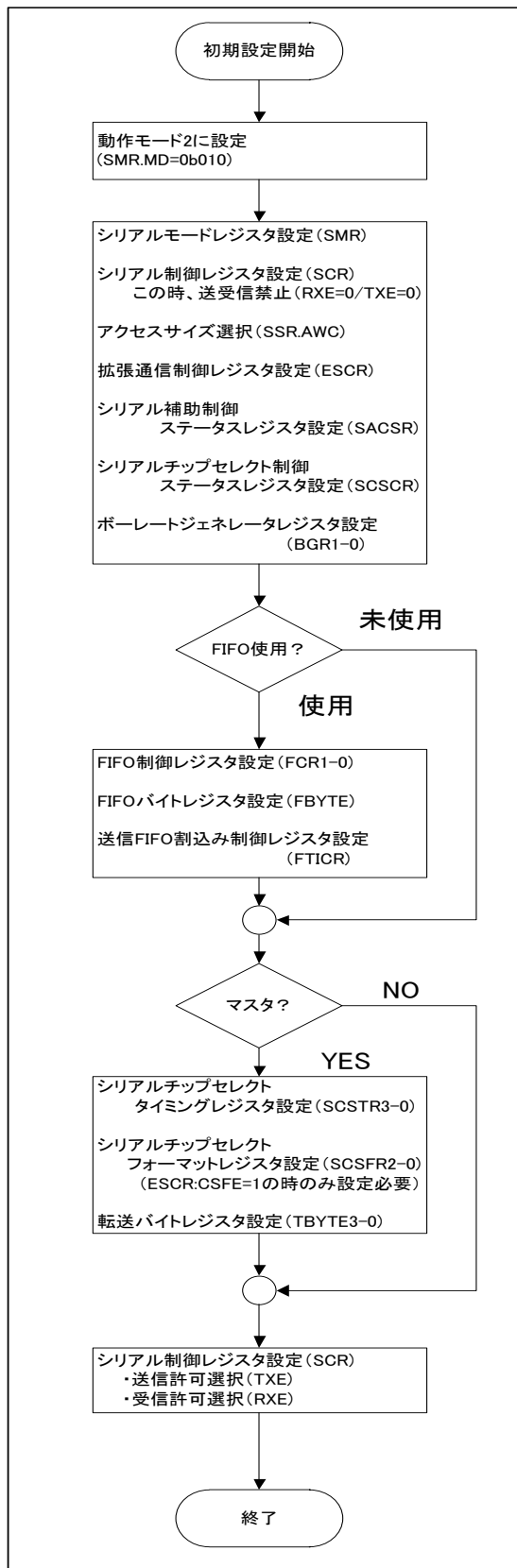
各シリアルチップセレクト端子のチップセレクトのアクティブレベル, シリアルクロックのマークレベル, SPIモードの許可・禁止, シリアルデータ出力のデータ方向およびデータ長は表 5-2 示すビットで設定できます。

表 5-2 シリアルチップセレクト端子のフォーマット設定

条件		チップセレクトの アクティブレベル	シリアルクロックの 反転	SPI 設定	データ方向	データ長
チップセレクト フォーマット許可 (ESCR:CSFE=1)で マスタモード (SCR:MS=0)	シリアルチップセレクト 端子 0 出力	SCSCR0:SCLVL	SMR:SCINV	SCR:SPI	SMR:BDS	ESCR: L3~0
	シリアルチップセレクト 端子 1 出力	SCSFR0: CS1SCLVL	SCSFR0: CS1SCINV	SCSFR0: CS1SPI	SCSFR0: CS1BDS	SCSFR0: CS1L3~0
	シリアルチップセレクト 端子 2 出力	SCSFR1: CS2SCLVL	SCSFR1: CS2SCINV	SCSFR1: CS2SPI	SCSFR1: CS2BDS	SCSFR1: CS2L3~0
	シリアルチップセレクト 端子 3 出力	SCSFR2: CS3SCLVL	SCSFR2: CS3SCINV	SCSFR2: CS3SPI	SCSFR2: CS3BDS	SCSFR2: CS3L3~0
チップセレクトフォーマット禁止 (ESCR:CSFE=0)		SCSCR0:SCLVL	SMR:SCINV	SCR:SPI	SMR:BDS	ESCR: L3~0
スレーブモード (MS=1)						
チップセレクト未使用時(CSEN3~0=0b0000)						

h) 初期設定フロー

図 5-10 チップセレクトの初期設定フロー



6. テストモード

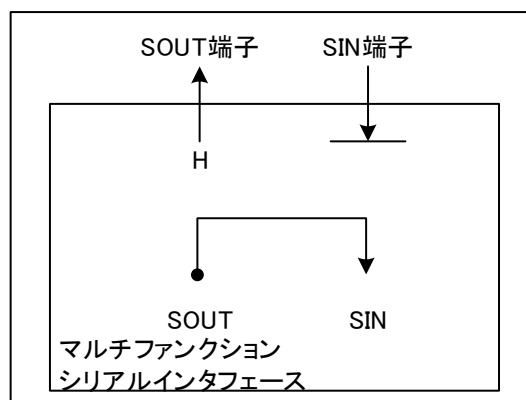
テストモードの動作について説明します。

シリアルテストモード

シリアルテストモード許可時(SACSR:STST=1), マルチファンクションシリアルインタフェース内部でSOUTとSINが接続され, SOUTから送信されるデータをそのままSINより受信することができます。

シリアルテストモード許可時(SACSR:STST=1), 端子SOUTは"H"固定となり, 端子SINに入力されたデータは無視されます。

図 6-1 シリアルテストモード



<注意事項>

- シリアルテストモード許可ビット(SACSR:STST)は送受信禁止(SCR:TXE=RXE=0)のときのみ変更可能です。

7. 専用ボーレートジェネレータ

専用ボーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

CSIO(クロック同期シリアルインタフェース) ボーレート選択

専用ボーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

[1] マスタ動作時

- 専用ボーレートジェネレータで内部クロックを分周させて、ボーレートを選択します。
- 2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で15ビットのリロード値を設定することにより、ボーレートを選択できます。
- リロードカウンタは設定された値で内部クロックを分周します。

[2] スレーブ動作時

- スレーブ動作時(SCR:MS=1)は、専用ボーレートジェネレータは機能しません。(クロック入力端子 SCK から入力された、外部クロックを直接使用します。)

<注意事項>

- 受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。



7.1. ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

(1) ボーレートの計算

2つの15ビットリロードカウンタは、ボーレートジェネレータレジスタ1, 0(BGR1, BGR0)で設定します。ボーレートの計算式を以下に示します。

a) リロード値:

$$V = \Phi / b - 1$$

V : リロード値 b : ボーレート Φ : バスクロック周波数

b) 計算例

バスクロック16MHz、内部クロック使用、ボーレート19200bpsに設定する場合のリロード値は次のようになります。

リロード値:

$$V = (16 \times 1000000) / 19200 - 1 = 832$$

よって、ボーレートは

$$b = (16 \times 1000000) / (832 + 1) = 19208\text{bps}$$

c) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差}(\%) = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) バスクロック20MHz、目標ボーレート153600bpsに設定する場合

$$\text{リロード値} = (20 \times 1000000) / 153600 - 1 = 129$$

$$\text{ボーレート(計算値)} = (20 \times 1000000) / (129 + 1) = 153846 \text{ (bps)}$$

$$\text{誤差}(\%) = (153846 - 153600) / 153600 \times 100 = 0.16 \text{ (\%)}$$

<注意事項>

- リロード値を"0"に設定した場合、リロードカウンタは停止します。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅はSMR:SCINVビットとSCR:SPIビットの設定によって以下ようになります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
- ノーマル転送(SCR:SPI=0)でシリアルクロックのマークレベル"H"(SMR:SCINV=0)の場合、またはSPI転送(SCR:SPI=1)でシリアルクロックのマークレベル"L"(SMR:SCINV=1)の場合にシリアルクロックの"H"幅がバスクロック1サイクル分長くなります。
- ノーマル転送(SCR:SPI=0)でシリアルクロックのマークレベル"L"(SMR:SCINV=1)の場合、またはSPI転送(SCR:SPI=1)でシリアルクロックのマークレベル"H"(SMR:SCINV=0)の場合にシリアルクロックの"L"幅がバスクロック1サイクル分長くなります。
- リロード値は3以上を設定してください。
- 許容ボーレート範囲につきましてはマクロへ入力されるクロックのジッタによる影響も考慮してください。

(2) 各バスクロック周波数に対するリロード値とボーレート設定例

リロード値とボーレートの設定例を示します。

表 7-1 リロード値とボーレート設定例

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	7	0	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153600	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76800	103	0.16	129	0.16	207	0.16	259	0.16	312	-0.16	416	-0.08
57600	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38400	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28800	277	-0.08	346	0.06	555	-0.08	693	0.06	832	0.04	1110	0.01
19200	416	-0.08	520	-0.03	832	0.04	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	2082	0.01	2499	0	3332	0.01
7200	1110	0.01	1388	<0.01	2221	0.01	2777	<0.01	3332	0.01	4443	0.01
4800	1666	-0.02	2082	-0.02	3332	0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1/0 レジスタの設定値
- ERR : ボーレート誤差(%)



表 7-2 リロード値とボーレート設定例(続き)

ボーレート (bps)	40 MHz		48 MHz		72 MHz		80MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	4	0	5	0	8	0	9	0
6M	-	-	7	0	11	0	-	-
5M	7	0	-	-	-	-	15	0
4M	9	0	11	0	17	0	19	0
2.5M	15	0	-	-	-	-	31	0
2M	19	0	23	0	35	0	39	0
1M	39	0	47	0	71	0	79	0
500000	79	0	95	0	143	0	159	0
460800	86	-0.22	103	0.16	155	0.16	173	-0.22
250000	159	0	191	0	287	0	319	0
230400	173	-0.22	207	0.16	312	-0.16	346	0.06
153600	259	0.16	312	-0.16	468	-0.05	520	-0.03
125000	319	0	383	0	575	0	639	0
115200	346	0.06	416	-0.08	624	0	693	0.06
76800	520	-0.03	624	0	937	-0.05	1041	-0.03
57600	693	0.06	832	0.04	1249	0	1388	<0.01
38400	1041	-0.03	1249	0	1874	0	2082	0.01
28800	1388	<0.01	1666	-0.02	2499	0	2777	<0.01
19200	2082	0.01	2499	0	3749	0	4166	-0.01
10417	3839	<0.01	4607	<0.01	6911	<0.01	7679	0
9600	4166	<0.01	4999	0	7499	0	8332	0
7200	5555	<0.01	6666	<0.01	9999	0	11110	0
4800	8332	<0.01	9999	0	14999	0	16666	0
2400	16666	<0.01	19999	0	29999	0	-	-
1200	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-

- Value : BGR1/0 レジスタの設定値
- ERR : ボーレート誤差(%)

(3) リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあります。専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

(4) カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

(5) 再スタート

リロードカウンタは下記の条件で再スタートします。

送信/受信リロードカウンタ共通

プログラマブルリセット(SCR:UPCL ビット)

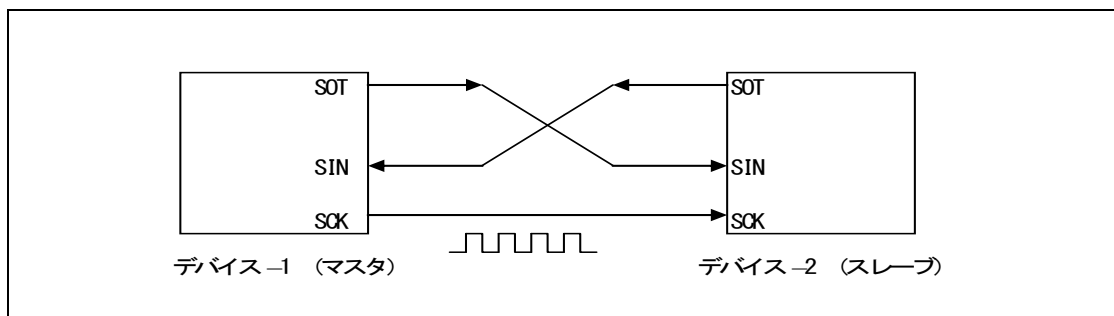
7.2. CSIO(クロック同期シリアルインタフェース) 設定手順とプログラムフロー

CSIO(クロック同期シリアルインタフェース)では、シリアル双方向送信ができます。

デバイス間接続

CSIO(クロック同期シリアルインタフェース)では、双方向通信を選択します。図 7-1 に示すように 2 つのデバイスを相互に接続します。

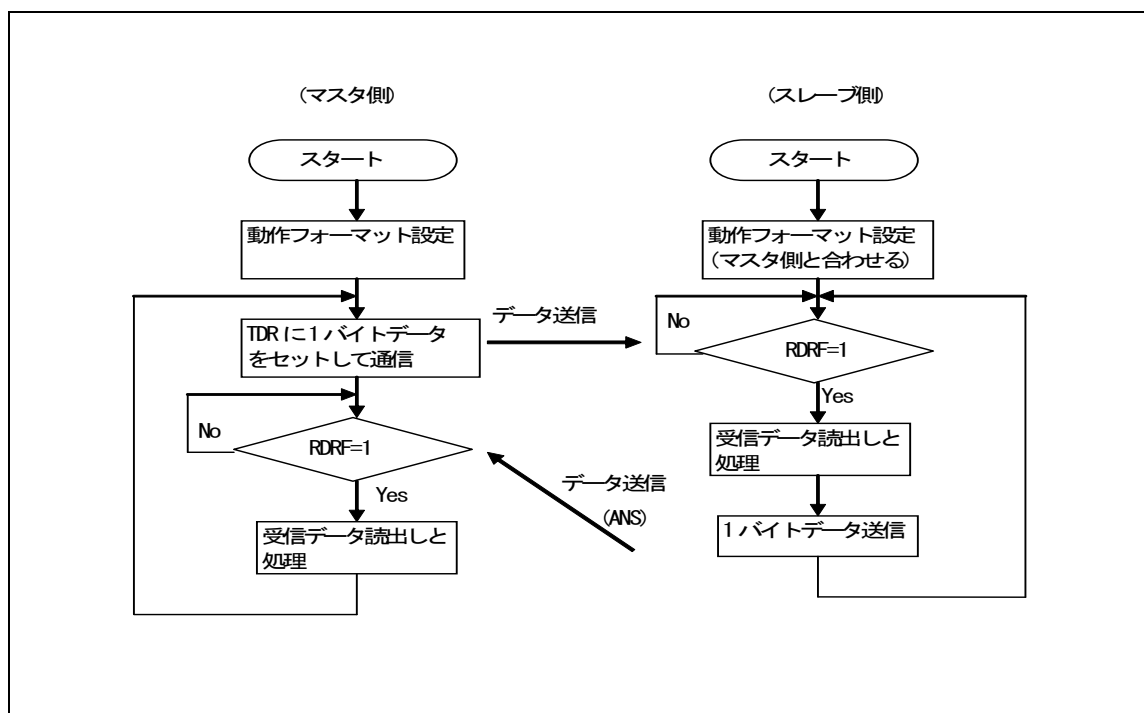
図 7-1 CSIO(クロック同期シリアルインタフェース)の双方向通信の接続例



(1) フローチャート

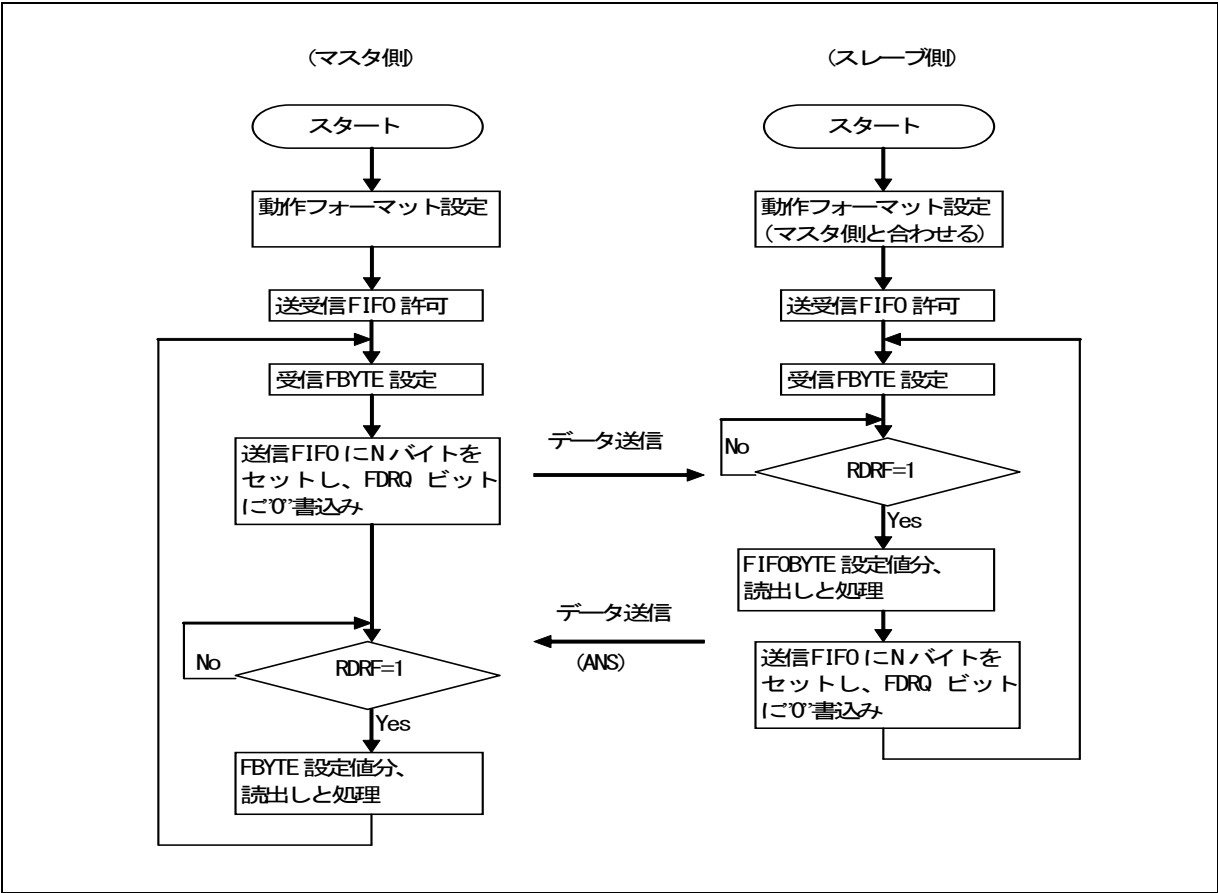
a) FIFO 未使用時

図 7-2 双方向通信フローチャートの例 (FIFO 未使用時)



b) FIFO 使用時

図 7-3 双方向通信フローチャートの例 (FIFO 使用時)





8. レジスタ

CSIO(クロック同期シリアルインタフェース)のレジスタ一覧を示します。

すべてのレジスタにはプレフィックス「MFSxx_」が付きます。xx はチャネル番号(00, 01, 02, 03, 04)です。

表 8-1 CSIO(クロック同期シリアルインタフェース)のレジスタ一覧

レジスタ略称	レジスタ名	参照先
SCR	シリアル制御レジスタ	8.1
SMR	シリアルモードレジスタ	8.2
SSR	シリアルステータスレジスタ	8.3
ESCR	拡張通信制御レジスタ	8.4
RDR/TDR	受信データレジスタ/送信データレジスタ	8.5
SACSR	シリアル補助制御ステータスレジスタ	8.6
STMR	シリアルタイマレジスタ	8.7
STMCR	シリアルタイマ比較レジスタ	8.8
SCSCR	シリアルチップセレクト制御ステータスレジスタ	8.9
SCSTR3~0	シリアルチップセレクトタイミングレジスタ	8.10
SCSFR2~0	シリアルチップセレクトフォーマットレジスタ	8.11
TBYTE3~0	転送バイトレジスタ	8.12
BGR0/1	ボーレートジェネレータレジスタ	8.13
FCR1	FIFO 制御レジスタ 1	8.14
FCR0	FIFO 制御レジスタ 0	8.15
FBYTE	FIFO バイトレジスタ	8.16
FTICR	送信 FIFO 割込み制御レジスタ	8.17
SACSRC	シリアル補助制御ステータスクリアレジスタ	8.18
FCR1C	FIFO 制御クリアレジスタ 1	8.19
FCR0C	FIFO 制御クリアレジスタ 0	8.20
SACSRS	シリアル補助制御ステータスセットレジスタ	8.21
FCR1S	FIFO 制御セットレジスタ 1	8.22
FCR0S	FIFO 制御セットレジスタ 0	8.23

8.1. シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止、送信アイドル割込みの許可/禁止、送受信動作の許可/禁止の設定を行います。また、SPIに接続するための設定、CSIOをリセットできます。

Bit	15	14	13	12	11	10	9	8
Field	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE
R/W 属性	R0,W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

本レジスタの下位バイト[bit7:0]はシリアルモードレジスタ(SMR)です。

[bit15] UPCL: プログラマブルクリアビット

CSIOの内部状態を初期化するビットです。

"1"を設定した場合:

- CSIOを直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は保持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/0レジスタの設定値をリロードし、再スタートします。
- すべての送受信およびステータス割込み要因(SSR:TDRE, TBI, RDRF, ORE, SACS:R:TINT, CSE)は初期化されます。
- 全シリアルチップセレクト端子がインアクティブになります。

"0"を設定した場合:

動作に影響はありません。

リード時は、常に"0"が読出されます。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	プログラマブルクリア	

<注意事項>

- 割込み禁止に設定した後に、プログラマブルクリアを実行(SCR:UPCL=1)してください。
- FIFO使用時は、FIFO禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。
- プログラマブルクリアを実行(SCR:UPCL=1)してもシリアルタイムレジスタ(STMR)の値はクリアされません。

[bit14] MS: マスタ/スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

- "0"に設定した場合: マスタモードに設定されます。
- "1"に設定した場合: スレーブモードに設定されます。

bit	説明
0	マスタモード
1	スレーブモード

<注意事項>

- スレーブモードを選択した場合、SMR:SCKE=0であれば、外部クロックが直接入力されます。
- 本ビットは、送受信が禁止(TXE~RXE=0)のときに設定してください。



- MS ビット設定後に、受信許可(RXE=1)に設定してください。
- スレーブモードかつ SPI モードで送信 FIFO を使用する場合、SSR レジスタの AWC ビットに"1"を設定してください。

[bit13] SPI: SPI 対応ビット

- 本ビットは、SPI に対応した通信をさせるためのビットです。マスタモード(SCR:MS=0)でチップセレクト使用时、シリアルチップセレクト端子 0 の通信に使用されます。
- "0"に設定した場合：ノーマル同期通信を行います。
- "1"に設定した場合：SPI に対応します。

bit	説明
0	ノーマル同期転送
1	SPI 対応

<注意事項>

- 本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。
- 本ビットは下記の何れかで使用されます。
 - チップセレクト端子禁止(SCSCR:CSEN3~0=0b0000)のとき
 - スレーブモード(SCR:MS=1)のとき
 - チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき
 - チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子 0 がアクティブのとき
- スレーブモードかつ SPI モードで送信 FIFO を使用する場合、SSR レジスタの AWC ビットに"1"を設定してください。
- マスタモードでノーマルモード時にシリアルチップセレクトを使用する場合は、以下のいずれかの条件を満たすように設定してください。
 - $\text{ボーレート周期}[ns] < \text{SCSTR0:CSHD7} \sim 0 \times \text{バスクロック周期} \times 2^{\text{SCSCR:CDIV2} \sim 0} + 3 \times \text{バスクロック周期}[ns]$
 - $\text{SCSTR0:CSHD7} \sim 0 \times \text{バスクロック周期} \times 2^{\text{SCSCR:CDIV2} \sim 0} + \text{SCSTR1:CSSU7} \sim 0 \times \text{バスクロック周期} \times 2^{\text{SCSCR:CDIV2} \sim 0} [ns] < \text{ボーレート周期} - 2 \times \text{バスクロック周期}[ns]$
- SPI モード時にシリアルチップセレクトアクティブ保持機能(SCSCR:SCAM=1)を使う場合、送信・受信ウェイト(ESCR:WT[1:0])を"0b00"に設定してください。

[bit12] RIE: 受信割込み許可ビット

- CPU への受信割込み要求出力を許可/禁止するビットです。
- RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(ORE)が"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE: 送信割込許可ビット

- CPU への送信割込み要求出力を許可/禁止するビットです。
- TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE: 送信バスアイドル割込み許可ビット

- CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
- TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE: 受信動作許可ビット

CSIO の受信動作を許可/禁止します。

- "0"に設定した場合：データフレーム受信動作が禁止されます。
- "1"に設定した場合：データフレーム受信動作が許可されます。

bit	説明
0	受信禁止
1	受信許可

<注意事項>

- 受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。
- MS ビットおよび SMR:SCINV ビット設定後に、受信許可(RXE=1)に設定してください。

[bit8] TXE: 送信動作許可ビット

CSIO の送信動作を許可/禁止します。

- "0"に設定した場合：データフレーム送信動作が禁止されます。
- "1"に設定した場合：データフレーム送信動作が許可されます。

bit	説明
0	送信禁止
1	送信許可

<注意事項>

- 送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。
- マスタモード(SCR:MS=0)でシリアルチップセレクト使用(SCSCR:CSEN=1)時、送信禁止後、プログラマブルリセット(SCR:UPCL=1)を行ってください。



8.2. シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定、転送方向、データ長、シリアルクロックの反転およびシリアルデータとクロックの端子への出力許可/禁止の設定を行います。

Bit	7	6	5	4	3	2	1	0
Field	MD2	MD1	MD0	Reserved	SCINV	BDS	SCKE	SOE
R/W 属性	R/W	R/W	R/W	R/W0	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:5] MD2~0: 動作モード設定ビット

動作モードを設定します。

"0b000": 動作モード 0(非同期ノーマルモード)に設定されます。

"0b001": 動作モード 1(非同期マルチプロセッサモード)に設定されます。

"0b010": 動作モード 2(クロック同期モード)に設定されます。

"0b011": 動作モード 3(LIN 通信モード)に設定されます。

bit[7:5]			説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
上記以外			設定禁止

動作モード 2 のレジスタおよび動作について説明します。

動作モード 0/1 については『UART』の章を、動作モード 3 については『LIN インタフェース』の章を参照してください。

<注意事項>

- 動作モードを切り換える場合には、プログラマブルクリア実行(SCR:UPCL=1) 後、続けて動作モードを切り換えてください。
- 動作モード設定後、各レジスタを設定してください。

[bit4] Reserved: 予約ビット

[bit3] SCINV: シリアルクロック反転ビット

シリアルクロックフォーマットを反転するビットです。マスタモード(SCR:MS=0)でチップセレクト使用时、シリアルチップセレクト端子 0 の通信に使用されます。

"0"に設定した場合:

- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI転送では、シリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI転送では、シリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:

- シリアルクロック出力のマークレベルを"L"にします。

- 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI転送では、シリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI転送では、シリアルクロックの立上りエッジでサンプリングします。

bit	説明
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

＜注意事項＞

- 本ビットは、シリアルクロック出力禁止(SCKE=0)のときに設定してください。
- SCINV ビット設定後に、受信許可(SCR:RXE=1)に設定してください。
- 本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。
- 本ビットは下記の何れかで使用されます。
 - チップセレクト端子禁止(SCSCR:CSEN3~0=0b0000)のとき
 - スレーブモード(SCR:MS=1)のとき
 - チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき
 - チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子0がアクティブのとき
- シリアルテストモード許可時(SACSR:STST=1), 本ビットを"0"に設定してください。

[bit2] BDS: 転送方向選択ビット

転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0) 最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子0の通信に使用されます。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

＜注意事項＞

- 本ビットは、送受信が禁止(SCR:TXE=RXE=0)のときに設定してください。
- 本ビットは下記の何れかで使用されます。
 - チップセレクト端子禁止(SCSCR:CSEN3~0=0b0000)のとき
 - スレーブモード(SCR:MS=1)のとき
 - チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき
 - チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子0がアクティブのとき

[bit1] SCKE: シリアルクロック出力許可ビット

シリアルクロックの入出力ポートを制御するビットです。

"0"に設定した場合 : SCK 端子は汎用入出力ポートまたはシリアルクロック入力端子になります。

"1"に設定した場合 : シリアルクロック出力端子となり、送信動作中にクロックを出力します。

bit	説明
0	汎用入出力ポートまたはシリアルクロック入力端子
1	シリアルクロック出力端子

**<注意事項>**

- SCK 端子をシリアルクロック入力(SCKE=0)として使用する場合は、汎用入出力ポートを入力ポートに設定してください。
- SCINV ビット設定後にシリアルクロック出力許可(SCKE=1)に設定してください。
- SCK 端子はリソース出力端子としても設定してください。設定方法は『I/O ポート』の章を参照してください。

[bit0] SOE: シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

"0"に設定した場合 : SOUT 端子は汎用入出力ポートです。

"1"に設定した場合 : SOUT 端子はシリアルデータ出力端子(SOUT)です。

bit	説明
0	汎用入出力ポート
1	シリアルデータ出力端子

<注意事項>

- SOT 端子はリソース出力端子としても設定してください。設定方法は『I/O ポート』の章を参照してください。

8.3. シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認、受信エラーフラグの確認または受信エラーフラグのクリアを行います。

Bit	15	14	13	12	11	10	9	8
Field	REC	Reserved		AWC	ORE	RDRF	TDRE	TBI
R/W 属性	R0,W	R0,W0		R/W	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	00		0	0	0	1	1

*本レジスタの下位バイト[bit7:0]は拡張通信制御レジスタ(ESCR)です。

[bit15] REC: 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の ORE フラグをクリアするビットです。

- "1"書込みで、エラーフラグがクリアされます。
- "0"書込みは、影響しません。

リードした場合、常に"0"が読出されます。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	受信エラーフラグ(ORE)のクリア	

[bit14:13] Reserved: 予約ビット

[bit12] AWC: アクセス幅制御ビット

送信データレジスタ(TDR)と受信データレジスタ(RDR)へのアクセス時に 16 または 32 ビットアクセスを行うかを選択するビットです。

bit	説明
0	16 ビットアクセス
1	32 ビットアクセス

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0)で TDR と RDR が空(SSR:TDRE=1, SSR:RDRF=0)のときのみ変更してください。
- データ長が 20, 24, 32 ビットの場合は、本ビットに"1"を設定してください。
- スレーブモードかつ SPI モードで送信 FIFO を使用する場合、SSR レジスタの AWC ビットに"1"を設定してください。

[bit11] ORE: オーバランエラーフラグビット

- 受信時にオーバランが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。



bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF: 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- RDR に受信データがロードされると,"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。
 - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
 - 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている
- 8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。
- 受信 FIFO 使用時は、受信 FIFO を読み出して受信 FIFO がエンプティになった場合"0"にクリアされます。

bit	説明
0	受信データレジスタ RDR が空
1	受信データレジスタ RDR にデータが存在する

＜注意事項＞

- 受信 FIFO 使用時、RDRF が"1"になった後、受信 FIFO をリセット(FCR0:FCL2, FCL1=1)しても RDRF は"0"になりません。そのため、受信 FIFO リセット後に RDRF を"0"にするためには、受信禁止状態(SCR:RXE=0)で受信データレジスタをダミーリードしてください。

[bit9] TDRE: 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- TDR に送信データを書き込むと,"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"を設定した場合、TDRE ビットは"1"になります。
- 送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ TDR にデータが存在する
1	送信データレジスタが空

[bit8] TBI: 送信バスアイドルフラグビット

- CSIO が送信動作をしていないことを示すビットです。
- 送信データレジスタ(TDR)へデータを書きこんだ場合に本ビットは"0"になります。
- 送信データレジスタ(TDR)がエンプティ(TDRE=1)で、シリアルチップセレクト端子がディセレクトされて送信動作をしていない場合に本ビットが"1"になります。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合、TDRE ビットは"1"になります。
- 本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中



1	送信動作なし
---	--------

<注意事項>

- 送信データレジスタ(TDR)がエンプティ(TDRE=1)で、シリアルチップセレクトエラー(CSE=1)が発生した場合、ボーレートの周期以内に本ビットは"1"になります。



8.4. 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定、シリアル出力の"H"固定の設定ができます。

Bit	7	6	5	4	3	2	1	0
Field	SOP	L3	CSFE	WT1	WT0	L2	L1	L0
R/W 属性	R0,W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] SOP: シリアル出力端子セットビット

- シリアル出力端子を"H"に設定するビットです。本ビットに"1"を書いたときに SOUT 端子を"H"にしますが、その後、本ビットに"0"を書く必要はありません。
- リードした場合、常に"0"が読み出されます。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	SOT 端子を"H"に設定	

<注意事項>

- シリアルデータ送信中に、本ビットの設定はしないでください。

[bit5] CSFE: シリアルチップセレクトフォーマット許可ビット

シリアルチップセレクト端子ごとのフォーマット設定を許可、または禁止をします。

本ビットが"1"に設定されているとき、シリアルチップセレクト端子ごとに以下の設定を行います。

- シリアルチップセレクトのインアクティブレベル
- シリアルクロックのマークレベル
- SPI 転送/ノーマル転送の選択
- シリアルデータの転送方向
- シリアルデータのデータ長

bit	説明
0	すべてのシリアルチップセレクト端子で同一のデータフォーマットおよびクロックフォーマットを設定
1	シリアルチップセレクト端子ごとにデータフォーマットおよびクロックフォーマットを設定

<注意事項>

- 本ビットの設定は下記の何れかの場合、無効です。
 - チップセレクト端子禁止(SCSCR0: CSEN3~0=0b0000)のとき
 - スレーブモード(SCR:MS=1)のとき
- 本ビットは送信禁止(SCR:TXE=0)のときに設定してください。

[bit4:3] WT1~0: データ送受信ウェイト選択ビット

マスタ時、連続データの送信または受信に対し、ウェイト数を指定します。スレーブ時は"00"の動作です。

- "00"に設定した場合：連続的に SCK が出力されます。
- "01"に設定した場合：1 ビット時間ウェイト後 SCK が出力されます。
- "10"に設定した場合：2 ビット時間ウェイト後 SCK が出力されます。
- "11"に設定した場合：3 ビット時間ウェイト後 SCK が出力されます。

bit[4:3]	説明
00	0 ビット
01	1 ビット
10	2 ビット
11	3 ビット

<注意事項>

- SPI モード時に送信・受信ウェイト(ESCR:WT[1:0])を設定してシリアルチップセレクトアクティブ保持機能(SCSCR:SCAM=1)を使う場合、転送データサイズは2以上(TBYTE \geq 2)を設定してください。
- SPI モード時にシリアルチップセレクトアクティブ保持機能(SCSCR:SCAM=1)を使う場合、送信・受信ウェイト(ESCR:WT[1:0])を"0b00"に設定してください。

[bit6, bit2:0] L3~0: データ長選択ビット

送受信データのデータ長を指定します。マスタモード(SCR:MS=0)でチップセレクト使用時、シリアルチップセレクト端子0の通信に使用されます。

bit6, bit[2:0]	説明
0000	8 ビット長
0001	5 ビット長
0010	6 ビット長
0011	7 ビット長
0100	9 ビット長
0101	10 ビット長
0110	11 ビット長
0111	12 ビット長
1000	13 ビット長
1001	14 ビット長
1010	15 ビット長
1011	16 ビット長
1100	20 ビット長
1101	24 ビット長
1110	32 ビット長

<注意事項>

- 上記設定以外は禁止です。
- 本ビットは下記の何れかで使用されます。
 - チップセレクト端子禁止(SCSCR:CSEN3~0=0b0000)のとき
 - スレーブモード(SCR:MS=1)のとき
 - チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)のとき
 - チップセレクトのデータフォーマット許可(ESCR:CSFE=1)でシリアルチップセレクト端子0がアクティブのとき



8.5. 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。

(1) 受信データレジスタ(RDR)

Bit	31	30	29	28	27	26	25	24
Field	D31	D30	D29	D28	D27	D26	D25	D24
R/W 属性	R	R	R	R	R	R	R	R
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	D23	D22	D21	D20	D19	D18	D17	D16
R/W 属性	R	R	R	R	R	R	R	R
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	D15	D14	D13	D12	D11	D10	D9	D8
R/W 属性	R	R	R	R	R	R	R	R
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	D7	D6	D5	D4	D3	D2	D1	D0
R/W 属性	R	R	R	R	R	R	R	R
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:0] D31~0: 受信データ

受信データレジスタ(RDR)は、シリアルデータ受信用の 32 ビットのデータバッファレジスタです。

- シリアル入力端子(SIN 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- データ長に応じ、下位ビットから受信データが格納され、それ以外のビットは"0"に設定されます。例：データ長が 8 ビットで 0x45 を受信した場合 D7~0=0x45, D31~8=0
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合は(SCR:RIE=1), 受信割込み要求が発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます
- 受信エラーが発生(SSR:ORE)した場合、受信データレジスタ(RDR)のデータは無効です。
- RDR の読出しを行う場合、以下のようにアクセスしてください。
 - SSR:AWC=0 の場合、RDR の下位 16 ビットに対して 16 ビットアクセス
 - SSR:AWC=1 の場合、32 ビットアクセス

＜注意事項＞

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになった場合 RDRF が"0"にクリアされます。
- 受信 FIFO 使用時に、受信エラーが発生(SSR:ORE)した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。
- AWC=0 のとき、D31～16 にアクセスしてはいけません。



(2) 送信データレジスタ(TDR)

Bit	31	30	29	28	27	26	25	24
Field	D31	D30	D29	D28	D27	D26	D25	D24
R/W 属性	W	W	W	W	W	W	W	W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	23	22	21	20	19	18	17	16
Field	D23	D22	D21	D20	D19	D18	D17	D16
R/W 属性	W	W	W	W	W	W	W	W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	15	14	13	12	11	10	9	8
Field	D15	D14	D13	D12	D11	D10	D9	D8
R/W 属性	W	W	W	W	W	W	W	W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	7	6	5	4	3	2	1	0
Field	D7	D6	D5	D4	D3	D2	D1	D0
R/W 属性	W	W	W	W	W	W	W	W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

[bit31:0] D31~0: 送信データ

送信データレジスタ(TDR)は、シリアルデータ送信用の 32 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に(SSR:TXE=1), 送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOUT 端子)から送出されます
- データ長に応じ、下位ビットから送信データが格納され、それ以外のビットは"無効"です。例：データ長が 8 ビットで 0x45 を送信する場合 D7~0=0x45, D31~8 は無効。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データを書き込むことはできません。
- TDR への書込みを行う場合、以下のようにアクセスしてください。
 - SSR:AWC=0 の場合、TDR の下位 16 ビットに対して 16 ビットアクセス
 - SSR:AWC=1 の場合、32 ビットアクセス

<注意事項>

- 送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読み出し専用のレジスタです。2つのレジスタは同一アドレスに配置されているため書き込み値と読み出し値が異なります。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。
- AWC=0 のとき、D31~16 にアクセスしてはいけません。

送信データレジスタ(TDR)と送信データエンプティフラグの関係

16 ビットアクセス(SSR:AWC=0)の場合、TDR レジスタは 16 ビット境界になり、1 回の書き込みで 16 ビットずつ、送信データが格納されます。また、TDR レジスタに 32 ビットの送信データがある場合、送信データエンプティフラグ(SSR:TDRE)は"0"になります。

32 ビットアクセス(SSR:AWC=1)の場合、TDR レジスタは 32 ビット境界になり、1 回の書き込みで 32 ビットずつ、送信データが格納されます。

データアクセス幅	TDR レジスタ格納 データ数	TBI フラグ	TDRE フラグ	送信
16 ビットアクセス (SSR:AWC=0)	0 ビット	1	1*1	送信不可
	16 ビット	0		送信可能
	32 ビット		0	
32 ビットアクセス (SSR:AWC=1)	0 ビット	1	1	送信不可
	32 ビット	0	0	送信可能

*1: SSR:AWC=0 において、TDR レジスタの格納データ数が 0 のときに 16 ビットデータを書き込むと、一度 TDRE=0 となりその後 TDRE=1 となります。



8.6. シリアル補助制御ステータスレジスタ(SACSR)

シリアル補助制御ステータスレジスタ(SACSR)は、シリアルテスト動作の制御、シリアルタイマの起動方法の選択、タイマ割込みの許可/禁止、同期送信の許可/禁止、シリアルタイマの動作クロックの分周値、およびシリアルタイマの許可/禁止の設定ができます。

Bit	15	14	13	12	11	10	9	8
Field	STST	Reserved	TBEEN	CSEIE	CSE	Reserved		TINT
R/W 属性	R/W	R0,W0	R/W	R/W	R,W	R/W0		R,W
保護属性	-							
初期値	0	0	0	0	0	00		0

Bit	7	6	5	4	3	2	1	0
Field	TINTE	TSYNE	Reserved	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
R/W 属性	R/W	R/W	R/W0	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15] STST: シリアルテストビット

シリアルテストモードの許可、または禁止を選択します。

シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータをそのまま SIN より受信することができます。

シリアルテストモード許可時、端子 SOUT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

- 本ビットはクリアレジスタのビット SACSRC:STSTC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSRS:STSTS を"1"に設定した場合、セットされます。

bit	説明
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=0, SCR:RXE=0)のときのみ変更可能です。
- 本ビットはスレーブモード(SCR:MS=1) のときに"0"に設定してください。

[bit14] Reserved: 予約ビット

[bit13] TBEEN: 転送バイトエラー許可ビット

マスタモード時(SCR:MS=0)にシリアルチップセレクトエラーの発生の許可/禁止を選択します。

詳細は「2.6 チップセレクトエラー発生とフラグセットのタイミング」を参照してください。

- 本ビットはクリアレジスタのビット SACSRC:TBEENC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSRS:TBEENS を"1"に設定した場合、セットされます。

bit	説明
0	マスタモード(SCR:MS=0) 時のチップセレクトエラー発生を禁止
1	マスタモード(SCR:MS=0) 時のチップセレクトエラー発生を許可

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時に変更してください。

[bit12] CSEIE: チップセレクトエラー割込み許可ビット

- チップセレクトエラー割込み要求出力を許可/禁止するビットです。
- CSEIE ビットとチップセレクトエラーフラグビット(CSE)が"1"の場合、送信割込み要求を出力します。
- 本ビットはクリアレジスタのビット SACSRC:CSEIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSRS:CSEIES を"1"に設定した場合、セットされます。

bit	説明
0	チップセレクトエラー割込み禁止
1	チップセレクトエラー割込み許可

[bit11] CSE: チップセレクトエラーフラグビット

本ビットはチップセレクトエラーの発生の有無を示します。

詳細は「2.6 チップセレクトエラー発生とフラグセットのタイミング」を参照してください。

本ビットが"1"でチップセレクトエラー割込み許可ビット(CSEIE)が"1"のとき、送信割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットへの"1"書込みは無効です。

本ビットはクリアレジスタのビット SACSRC:CSEC を"1"に設定した場合、リセットされます。

bit	説明
0	チップセレクトエラーなし
1	チップセレクトエラーあり

<注意事項>

- ソフトウェアリセット(SCR:UPCL=1)を行うと、本ビットは"0"にリセットされます。
- スレーブモード(SCR:MS=1)でシリアルチップセレクト未使用(SCSCR:CSEN0=0) 時、本ビットは"1"にセットされません。
- チップセレクトエラー発生(CSE=1)時、送信を禁止(SCR:TXE=0)に設定後、本ビットに"0"を書き込んでください。送信を再開させる場合、本ビットに"0"を書き込み後、送信許可(SCR:TXE=1) および送信データバッファ(TDR)へ送信データの書込みを行ってください。
- スレーブ送信時にシリアルチップセレクト入力に1バスクロック以上のノイズが発生した場合、本ビットが"1"に設定される場合があります。その場合は、マスタの転送終了後に送信を再開させてください。

[bit10:9] Reserved: 予約ビット**[bit8] TINT: タイマ割込みフラグ**

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。

本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき、ステータス割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットへの"1"書込みは無効です。

本ビットはクリアレジスタのビット SACSRC:TINTC を"1"に設定した場合、リセットされます。



bit	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

<注意事項>

- ソフトウェアリセット(SCR:UPCL=1)を行うと、本ビットは"0"にリセットされます。
- 同期送信許可ビット(TSYNE)が"1"のとき、本ビットは"1"にセットされません。

[bit7] TINT: タイマ割込み許可ビット

CPU へのタイマ割込みの許可/禁止するビットです。

本ビットが"1"でタイマ割込みフラグ(TINT)が"1"の場合、ステータス割込み要求を出力します。

- 本ビットはクリアレジスタのビット SACSRC:TINTEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSRS:TINTES を"1"に設定した場合、セットされます。

bit	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6] TSYNE: 同期送信許可ビット

同期送信を許可、または禁止を選択します。

本ビットが"1"で以下の場合、送信が起動されます。

- タイマに同期した送信時にシリアルタイマレジスタ(STMCR)とシリアルタイマ比較レジスタ(STMCR)が一致
- 本ビットはクリアレジスタのビット SACSRC:TSYNEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSRS:TSYNES を"1"に設定した場合、セットされます。

bit	説明
0	同期送信を禁止 シリアルタイマはタイマとして使用されます。
1	同期送信を許可 シリアルタイマはタイマとして使用されません。

<注意事項>

- 本ビットはシリアルタイマ許可ビット(TMRE)が"0"のときのみ変更可能です。
- 同期送信許可時(TSYNE=1)に送信が禁止(SCR:TXE=0)の場合、以下の場合でも送信は起動されません。
- タイマに同期した送信時にシリアルタイマレジスタ(STMCR)とシリアルタイマ比較レジスタ(STMCR)が一致
- スレーブモード(SCR:MS=1) 時、本ビットは内部で"0"に固定されます。

[bit5] Reserved: 予約ビット

[bit4:1] TDIV3~0: タイマ動作クロック分周ビット

シリアルタイマの分周比を設定します。

bit[4:1]	説明						
	分周比	$\phi=8\text{MHz}$	$\phi=10\text{MHz}$	$\phi=16\text{MHz}$	$\phi=20\text{MHz}$	$\phi=24\text{MHz}$	$\phi=32\text{MHz}$
0000	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0001	$\phi/2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0010	$\phi/4$	500ns	400ns	250ns	200ns	166.67ns	125ns
0011	$\phi/8$	1 μs	800ns	500ns	400ns	333.33ns	250ns
0100	$\phi/16$	2 μs	1.6 μs	1 μs	800ns	666.67ns	500ns
0101	$\phi/32$	4 μs	3.2 μs	2 μs	1.6 μs	1.33 μs	1 μs
0110	$\phi/64$	8 μs	6.4 μs	4 μs	3.2 μs	2.67 μs	2 μs
0111	$\phi/128$	16 μs	12.8 μs	8 μs	6.4 μs	5.33 μs	4 μs
1000	$\phi/256$	32 μs	25.6 μs	16 μs	12.8 μs	10.67 μs	8 μs

 ϕ : バスクロック**<注意事項>**

- 本ビットはシリアルタイマ許可ビット(TMRE)が"0"のときのみ変更可能です。
- 上記の設定以外は禁止です。

[bit0] TMRE: シリアルタイマ許可ビット

シリアルタイマの動作を許可、または禁止を選択します。

- 本ビットはクリアレジスタのビット SACSRC:TMREC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSRS:TMRES を"1"に設定した場合、セットされます。

bit	説明
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合、シリアルタイマレジスタ(STMR)の値を"0"に初期化し、シリアルタイマの動作を開始

<注意事項>

- シリアルタイマによる同期送信を行う場合、送信禁止のとき、本ビットを"0"から"1"に変更してください。



8.7. シリアルタイマレジスタ(STMR)

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

Bit	15	14	13	12	11	10	9	8
Field	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TM15~0: タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3~0で設定)ごとに1が加算されます。

<注意事項>

- タイマ動作開始時、本ビットは"0"に初期化されます。

8.8. シリアルタイマ比較レジスタ(STMCR)

シリアルタイマ比較レジスタ(STMCR)は、シリアルタイマのタイマの比較値を設定します。

Bit	15	14	13	12	11	10	9	8
Field	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TC15~0: コンペアビット

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ(STMCR)と比較され、シリアルタイマレジスタ(STMCR)が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致した場合シリアルタイマレジスタを"0"にします。そのとき、同期送信禁止(SACSR:TSYNE=0)の場合はタイマ割込みフラグ(SACSR:TINT)を"1"にし、同期送信許可(SACSR:TSYNE=1)の場合は送信を起動します。

下記の動作が行われる間隔は(STMCR:TC+1)×タイマ動作クロック(SACSR:TDIV3~0で設定)です。

- SACSR:TINT が"1"に設定される。
- シリアルタイマに同期した送信で送信起動が行われる。

<注意事項>

- 以下のすべての条件が成り立つ場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
 - 同期送信禁止(SACSR:TSYNE=0)
 - 本レジスタに 0x0000 を設定
 - タイマ動作中
 - タイマ動作クロック分周値(SACSR:TDIV3~0)に 0b0000 に設定
- シリアルタイマ禁止(SACSR:TMRE=0)のときのみ、本レジスタは変更可能です。



8.9. シリアルチップセレクト制御ステータスレジスタ(SCSCR)

シリアルチップセレクト制御ステータスレジスタ(SCSCR)は、シリアルチップセレクトの開始端子および終了端子の選択、シリアルチップセレクトの出力端子の表示、シリアルチップセレクトのアクティブレベルの保持、シリアルチップセレクトの反転、シリアルチップセレクト端子の出力許可/禁止の設定を行います。

Bit	15	14	13	12	11	10	9	8
Field	SST1	SST0	SED1	SED0	SCD1	SCD0	SCAM	CDIV2
R/W 属性	R/W	R/W	R/W	R/W	R,WX	R,WX	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	CDIV1	CDIV0	CSLVL	CSEN3	CSEN2	CSEN1	CSEN0	CSOE
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	1	0	0	0	0	0

[bit15:14] SST1~0: シリアルチップセレクト開始ビット

シリアルチップセレクトを開始する端子を選択します。

送信禁止(SCR:TXE=0)から送信許可(SCR:TXE=1)にし送信データがTDRにかきこまれていると、本ビットで設定したシリアルチップセレクト端子から順番にアクティブになります。

bit[15:14]	説明
00	SCS0
01	SCS1
10	SCS2
11	SCS3

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- シリアルチップセレクト開始ビット(SST1~0)とシリアルチップセレクト終了ビット(SED1~0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子のみアクティブになります。
- スレーブモード(SCR:MS=1) 時、本ビットの設定は無効です。
- シリアルチップセレクト許可(CSEN=1)されているシリアルチップセレクト端子のみアクティブになります。
- マスタモード(SCR:MS=0)時でシリアルチップセレクト使用时、本ビットに設定したシリアルチップセレクト端子はシリアルチップセレクト許可(CSEN=1)に設定してください。
- ノーマル転送でラウンド動作させる場合は、以下のいずれかの設定を行ってください。
 - 各シリアルチップセレクトのデータフォーマットを共通にする(ESCR:CSFE=0)
 - 各シリアルチップセレクトのデータフォーマットが異なる場合(ESCR:CSFE=1)は以下の条件下で使用してください。

受信 FIFO を許可に設定する。

シリアルチップセレクトのホールドディレイを 2 以上に設定する(SCSTR0:CSHD7~0≥2)

各シリアルチップセレクトのデータ長を 9 ビット以下、または 10 ビット以上に設定する。

[bit13:12] SED1~0: シリアルチップセレクト終了ビット

シリアルチップセレクトが終了する端子を選択します。

本ビットで設定したシリアルチップセレクト端子までアクティブになった場合、次にアクティブになるシリアルチップセレクト端子はシリアルチップセレクト開始ビット(SST1~0)で指定した端子です。

bit[13:12]	説明
00	SCS0
01	SCS1
10	SCS2
11	SCS3

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- シリアルチップセレクト開始ビット(SST1~0)とシリアルチップセレクト終了ビット(SED1~0)に同じ値を設定した場合、設定されたシリアルチップセレクト端子のみアクティブになります。
- シリアルチップセレクト許可(CSEN=1)されているシリアルチップセレクト端子のみアクティブになります。
- スレーブモード(SCR:MS=1) 時、本ビットの設定は無効です。
- マスタモード(SCR:MS=0)でシリアルチップセレクト使用時、本ビットに設定したシリアルチップセレクト端子はシリアルチップセレクト許可(CSEN=1)に設定してください。
- ノーマル転送でラウンド動作させる場合は、以下のいずれかの設定を行ってください。
 - 各シリアルチップセレクトのデータフォーマットを共通にする(ESCR:CSFE=0)
 - 各シリアルチップセレクトのデータフォーマットが異なる場合(ESCR:CSFE=1)は以下の条件下で使用してください。

受信 FIFO を許可に設定する。

シリアルチップセレクトのホールドディレイを 2 以上に設定する(SCSTR0:CSHD7~0≥2)

各シリアルチップセレクトのデータ長を 9 ビット以下、または 10 ビット以上に設定する。

[bit11:10] SCD1~0: シリアルチップセレクト表示ビット

シリアルチップセレクト端子がアクティブになっている端子を表示します。

bit[11:10]	説明
00	SCS0
01	SCS1
10	SCS2
11	SCS3

<注意事項>

- シリアルチップセレクト端子がインアクティブの場合は次にアクティブになるシリアルチップセレクト端子を表示します。
- 本ビットはスレーブモード(SCR:MS=1)、ソフトウェアリセット(SCR:UPCL=1)、または送信禁止(SCR:TXE=0) 時は"0b00"になります。

[bit9] SCAM: シリアルチップセレクトアクティブ保持ビット

シリアルチップセレクト端子のアクティブ状態の保持、または非保持を選択します。

詳細は「5. シリアルチップセレクトの動作」の「e) シリアルチップセレクトアクティブ保持動作(SCSCR:SCAM=1) (マスタモード(SCR:MS=0) 時のみ有効)」を参照してください。

bit	説明
0	シリアルチップセレクト端子のアクティブ状態を非保持
1	シリアルチップセレクト端子のアクティブ状態を保持



<注意事項>

- 送信禁止(SCR:TXE=0)およびソフトウェアリセット(SCR:UPCL=1)の場合、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。
- シリアルチップセレクトエラー発生(SACSR:CSE=1)時、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。
- SPIモード時にシリアルチップセレクトアクティブ保持機能(SCSCR:SCAM=1)を使う場合、送信・受信ウェイト(ESCR:WT[1:0])を"0b00"に設定してください。

[bit8:6] CDIV2~0: シリアルチップセレクトタイミング動作クロック分周ビット

シリアルチップセレクトタイミング動作クロックの分周比を設定します。

bit[8:6]	説明						
	分周比	$\phi=8\text{MHz}$	$\phi=10\text{MHz}$	$\phi=16\text{MHz}$	$\phi=20\text{MHz}$	$\phi=24\text{MHz}$	$\phi=32\text{MHz}$
000	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
001	$\phi/2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns
010	$\phi/4$	500ns	400ns	250ns	200ns	166.67ns	125ns
011	$\phi/8$	1 μs	800ns	500ns	400ns	333.33ns	250ns
100	$\phi/16$	2 μs	1.6 μs	1 μs	800ns	666.67ns	500ns
101	$\phi/32$	4 μs	3.2 μs	2 μs	1.6 μs	1.33 μs	1 μs
110	$\phi/64$	8 μs	6.4 μs	4 μs	3.2 μs	2.67 μs	2 μs
111	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns

ϕ : バスクロック

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0)時のみ変更可能です。
- スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。
- 上記の設定以外は禁止です。

[bit5] CSLVL: シリアルチップセレクトレベル設定ビット

シリアルチップセレクト端子のインアクティブ時のレベルを"H",または"L"に選択します。

本ビットはチップセレクト端子0が対象です。

bit	説明
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0)時のみ変更可能です。
- 本ビットの設定は下記の何れかで使用します。
 - スレーブモード(SCR:MS=1)時
 - チップセレクトのデータフォーマット禁止(ESCR:CSFE=0)時
 - チップセレクトのデータフォーマット許可(ESCR:CSFE=1)シリアルチップセレクト端子0がアクティブのとき

[bit4:1] CSEN3~0: シリアルチップセレクト許可ビット

各シリアルチップセレクト端子の許可、または禁止を選択します。

CSEN3ビットがSCS3端子、CSEN2ビットがSCS2端子、CSEN1ビットがSCS1端子、CSEN0ビットがSCS0端子に対応します。

スレーブモード(SCR:MS=1)の場合, CSEN0ビットのみでシリアルチップ端子の許可, または禁止を設定します。

bit	説明
0	シリアルチップセレクト端子の動作を禁止
1	シリアルチップセレクト端子の動作を許可

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- マスタモード時(SCR:MS=0) 時, CSEN3~0 を 0b0000 に設定した場合, シリアルチップセレクト端子に依存しないで送受信動作を行います。
- スレーブモード(SCR:MS=1) 時, CSEN0 を "0" に設定した場合, シリアルチップセレクト端子に依存しないで送受信動作を行います。
- 使用しないシリアルチップセレクト端子は禁止に設定してください。
- マスタモードでノーマルモード時にシリアルチップセレクトを使用する場合は, 以下のいずれかの条件を満たすように設定してください。
 - $\text{ボーレート周期} / 2[\text{ns}] < \text{SCSTR0:CSHD7} \sim 0 \times \text{バスクロック周期} \times 2^{\text{SCSCR:CDIV2} \sim 0} + 3 \times \text{バスクロック周期}[\text{ns}]$
 - $\text{SCSTR0:CSHD7} \sim 0 \times \text{バスクロック周期} \times 2^{\text{SCSCR:CDIV2} \sim 0} + \text{SCSTR1:CSSU7} \sim 0 \times \text{バスクロック周期} \times 2^{\text{SCSCR:CDIV2} \sim 0} [\text{ns}] < \text{ボーレート周期} - 2 \times \text{バスクロック周期}[\text{ns}]$

[bit0] CSOE: シリアルチップセレクト出力許可ビット

シリアルチップセレクト端子の出力を許可または禁止に設定します。

bit	説明
0	すべてのシリアルチップセレクト端子の出力を禁止
1	すべてのシリアルチップセレクト端子の出力を許可

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレーブモード(SCR:MS=1) 時, 本ビットは "0" に設定してください。



8.10. シリアルチップセレクトタイミングレジスタ(SCSTR3~0)

シリアルチップセレクトタイミングレジスタ(SCSTR3~0)は、シリアルチップセレクトのセットアップディレイ時間、シリアルチップセレクトのホールドディレイ時間およびシリアルチップセレクトのディセレクト時間の設定を行います。

Bit	31	30	29	28	27	26	25	24
Field	CSDS15	CSDS14	CSDS13	CSDS12	CSDS11	CSDS10	CSDS9	CSDS8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:16] CSDS15~0: シリアルチップディセレクトビット

シリアルチップセレクト端子がインアクティブになってから、次にシリアルチップセレクト端子がアクティブになるまでの最小時間を設定します。

bit[31:16]	説明
000・・・000	ディセレクト最小時間なし(5 バスクロック時間)
000・・・001	1×シリアルチップセレクトタイミング動作クロック
000・・・010	2×シリアルチップセレクトタイミング動作クロック
・・・・・・・	・
111・・・110	65534×シリアルチップセレクトタイミング動作クロック
111・・・111	65533×シリアルチップセレクトタイミング動作クロック

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0)時のみ変更可能です。
- スレープモード(SCR:MS=1)時、本ビットの設定は無効です。
- ディセレクト時間の設定にかかわらず、シリアルチップセレクト端子がインアクティブになってから、次にアクティブになるまでは最小5 バスクロック時間以上かかります。
- SCSTR3-2:CSDS15~0=0x0001 かつ SCSCR:CDIV2~0=0b000 に設定してはいけません。

[bit15:8] CSSU7~0: シリアルチップセレクトセットアップディレイビット

シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間を設定します。本ビットに 0x00 を設定した場合、シリアルクロックが出力されるタイミングとシリアルチップセレクト端子がアクティブになるタイミングは同時です。

bit[15:8]	説明
00000000	シリアルクロック出力開始とシリアルチップセレクト端子のアクティブになるタイミングが同時
00000001	1×シリアルチップセレクトタイミング動作クロック
00000010	2×シリアルチップセレクトタイミング動作クロック
.....	.
11111110	254×シリアルチップセレクトタイミング動作クロック
11111111	255×シリアルチップセレクトタイミング動作クロック

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレーブモード(SCR:MS=1) 時, 本ビットの設定は無効です。

[bit7:0] CSHD7~0: シリアルチップセレクトホールドディレイビット

シリアルクロックの出力が終了してからシリアルチップセレクト端子がインアクティブになるまでの時間を設定します。

本ビットを 0x00 に設定した場合、シリアルクロックの出力が終了するタイミングとシリアルチップセレクト端子がインアクティブになるタイミングは同時です。

bit[7:0]	説明
00000000	シリアルクロック出力終了とシリアルチップセレクト端子のインアクティブになるタイミングが同時
00000001	1×シリアルチップセレクトタイミング動作クロック
00000010	2×シリアルチップセレクトタイミング動作クロック
.....	.
11111110	254×シリアルチップセレクトタイミング動作クロック
11111111	255×シリアルチップセレクトタイミング動作クロック

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレーブモード(SCR:MS=1) 時, 本ビットの設定は無効です。



8.11. シリアルチップセレクトフォーマットレジスタ(SCSFR2~0)

シリアルチップセレクトフォーマットレジスタ(SCSFR2~0)は、各シリアルチップセレクトのチップセレクトのアクティブレベルの選択、シリアルクロックの反転、SPIに接続するための設定、シリアルデータ出力のデータ方向およびデータ長の設定を行います。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R1,WX							
保護属性	-							
初期値	11111111							

Bit	23	22	21	20	19	18	17	16
Field	CS3CSLVL	CS3SCINV	CS3SPI	CS3BDS	CS3L3	CS3L2	CS3L1	CS3L0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	CS2CSLVL	CS2SCINV	CS2SPI	CS2BDS	CS2L3	CS2L2	CS2L1	CS2L0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	CS1CSLVL	CS1SCINV	CS1SPI	CS1BDS	CS1L3	CS1L2	CS1L1	CS1L0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	0	0	0	0	0	0	0

[bit31:24] Reserved: 予約ビット

[bit23] CS3CSLVL: チップセレクト 3 のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 3 のインアクティブ時のレベルを選択します。

bit	説明
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0)時のみ変更可能です。
- スレーブモード(SCR:MS=1)時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。

[bit22] CS3SCINV: チップセレクト 3 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 3 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0"に設定した場合:

- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送の場合はシリアルクロックの立下りエッジ, SPI 転送の場合はシリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送の場合はシリアルクロックの立上りエッジ, SPI 転送の場合はシリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:

- シリアルクロック出力のマークレベルを"L"にします。
- 送信データは、ノーマル転送の場合はシリアルクロックの立上りエッジ, SPI 転送の場合はシリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送の場合はシリアルクロックの立下りエッジ, SPI 転送の場合はシリアルクロックの立上りエッジでサンプリングします。

bit	説明
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0)時のみ変更可能です。
- スレーブモード(SCR:MS=1)時, 本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき, 本ビットの設定は無効です。

[bit21] CS3SPI: シリアルチップセレクト端子 3 の SPI 対応ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき, シリアルチップセレクト端子 3 がアクティブ時に SPI に対応した通信をさせるためのビットです。

- "0"に設定した場合: ノーマル同期通信を行います。
- "1"に設定した場合: SPI に対応します。

bit	説明
0	ノーマル同期転送
1	SPI 対応

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0)時のみ変更可能です。
- スレーブモード(SCR:MS=1)時, 本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき, 本ビットの設定は無効です。

[bit20] CS3BDS: チップセレクト端子 3 の転送方向選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき, シリアルチップセレクト端子 3 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0) 最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0)時のみ変更可能です。
- スレーブモード(SCR:MS=1)時, 本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき, 本ビットの設定は無効です。



[bit19:16] CS3L3~0: シリアルチップセレクト端子 3 のデータ長選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 3 がアクティブ時に送受信データのデータ長を指定します。

bit[19:16]	説明
0000	8 ビット長
0001	5 ビット長
0010	6 ビット長
0011	7 ビット長
0100	9 ビット長
0101	10 ビット長
0110	11 ビット長
0111	12 ビット長
1000	13 ビット長
1001	14 ビット長
1010	15 ビット長
1011	16 ビット長
1100	20 ビット長
1101	24 ビット長
1110	32 ビット長

<注意事項>

- 上記設定以外は禁止です。
- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレープモード(SCR:MS=1) 時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。

[bit15] CS2CSLVL: チップセレクト 2 のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 のインアクティブ時のレベルを選択します。

bit	説明
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレープモード(SCR:MS=1) 時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。

[bit14] CS2SCINV: チップセレクト 2 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0"に設定した場合:

- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送の場合はシリアルクロックの立下りエッジ、SPI 転送の場合はシリアルクロックの立上りエッジに同期して出力します。

- 受信データは、ノーマル転送の場合はシリアルクロックの立上りエッジ、SPI 転送の場合はシリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:

- シリアルクロック出力のマークレベルを"L"にします。
- 送信データは、ノーマル転送の場合はシリアルクロックの立上りエッジ、SPI 転送の場合はシリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送の場合はシリアルクロックの立下りエッジ、SPI 転送の場合はシリアルクロックの立上りエッジでサンプリングします。

bit	説明
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレーブモード(SCR:MS=1) 時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。

[bit13] CS2SPI: シリアルチップセレクト端子 2 の SPI 対応ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時に SPI に対応した通信をさせるためのビットです。

- "0"に設定した場合：ノーマル同期通信を行います。
- "1"に設定した場合：SPI に対応します。

bit	説明
0	ノーマル同期転送
1	SPI 対応

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレーブモード(SCR:MS=1) 時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。

[bit12] CS2BDS: チップセレクト端子 2 の転送方向選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子 2 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0) 最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレーブモード(SCR:MS=1) 時、本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき、本ビットの設定は無効です。

[bit11:8] CS2L3~0: シリアルチップセレクト端子 2 のデータ長選択ビット



チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子2がアクティブ時に送受信データのデータ長を指定します。

bit[11:8]	説明
0000	8 ビット長
0001	5 ビット長
0010	6 ビット長
0011	7 ビット長
0100	9 ビット長
0101	10 ビット長
0110	11 ビット長
0111	12 ビット長
1000	13 ビット長
1001	14 ビット長
1010	15 ビット長
1011	16 ビット長
1100	20 ビット長
1101	24 ビット長
1110	32 ビット長

<注意事項>

- 上記設定以外は禁止です。
- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スLEEPモード(SCR:MS=1) 時, 本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき, 本ビットの設定は無効です。

[bit7] CS1CSLVL: チップセレクト1のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子1のインアクティブ時のレベルを選択します。

bit	説明
0	インアクティブレベルを"L"
1	インアクティブレベルを"H"

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スLEEPモード(SCR:MS=1) 時, 本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき, 本ビットの設定は無効です。

[bit6] CS1SCINV: チップセレクト1のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき、シリアルチップセレクト端子1がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0"に設定した場合:

- シリアルクロック出力のマークレベルを"H"にします。
- 送信データは、ノーマル転送の場合はシリアルクロックの立下りエッジ, SPI 転送の場合はシリアルクロックの立上りエッジに同期して出力します。
- 受信データは、ノーマル転送の場合はシリアルクロックの立上りエッジ, SPI 転送の場合はシリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:

- シリアルクロック出力のマークレベルを"L"にします。
- 送信データは、ノーマル転送の場合はシリアルクロックの立上りエッジ, SPI 転送の場合はシリアルクロックの立下りエッジに同期して出力します。
- 受信データは、ノーマル転送の場合はシリアルクロックの立下りエッジ, SPI 転送の場合はシリアルクロックの立上りエッジでサンプリングします。

bit	説明
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレープモード(SCR:MS=1) 時, 本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき, 本ビットの設定は無効です。

[bit5] CS1SPI: シリアルチップセレクト端子 1 の SPI 対応ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき, シリアルチップセレクト端子 1 がアクティブ時に SPI に対応した通信をさせるためのビットです。

- "0"に設定した場合 : ノーマル同期通信を行います。
- "1"に設定した場合 : SPI に対応します。

bit	説明
0	ノーマル同期転送
1	SPI 対応

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレープモード(SCR:MS=1) 時, 本ビットの設定は無効です。
 - チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき, 本ビットの設定は無効です。

[bit4] CS1BDS: チップセレクト端子 1 の転送方向選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき, シリアルチップセレクト端子 1 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト, BDS=0) 最上位ビット側から先に転送するか(MSB ファースト, BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

＜注意事項＞

- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレープモード(SCR:MS=1) 時, 本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき, 本ビットの設定は無効です。

[bit3:0] CS1L3~0 : シリアルチップセレクト端子 1 のデータ長選択ビット

チップセレクトのデータフォーマット許可(ESCR:CSFE=1)のとき, シリアルチップセレクト端子 1 がアクティブ時に送受信データのデータ長を指定します。



bit[3:0]	説明
0000	8 ビット長
0001	5 ビット長
0010	6 ビット長
0011	7 ビット長
0100	9 ビット長
0101	10 ビット長
0110	11 ビット長
0111	12 ビット長
1000	13 ビット長
1001	14 ビット長
1010	15 ビット長
1011	16 ビット長
1100	20 ビット長
1101	24 ビット長
1110	32 ビット長

<注意事項>

- 上記設定以外は禁止です。
- 本ビットは送受信禁止(SCR:TXE=RXE=0) 時のみ変更可能です。
- スレーブモード(SCR:MS=1) 時, 本ビットの設定は無効です。
- チップセレクトのデータフォーマットが禁止(ESCR:CSFE=0)のとき, 本ビットの設定は無効です。

8.12. 転送バイトレジスタ(TBYTE3~0)

転送バイト(TBYTE3~0)は、各シリアルチップセレクト端子のアクティブ時の転送データ数を設定します。

Bit	31	30	29	28	27	26	25	24
Field	TBYTE3							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	TBYTE2							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	TBYTE1							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	TBYTE0							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit31:24] TBYTE3[7:0]: 転送データ数表示ビット 3

[bit23:16] TBYTE2[7:0]: 転送データ数表示ビット 2

[bit15:8] TBYTE1[7:0]: 転送データ数表示ビット 1

[bit7:0] TBYTE0[7:0]: 転送データ数表示ビット 0

転送バイトレジスタは、各シリアルチップセレクト端子のアクティブ時の転送データ数を設定できます。シリアルチップセレクト端子がアクティブ後、本ビットに設定した値のデータ数の転送を完了した場合、シリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子 0(SCS0)は TBYTE0、シリアルチップセレクト端子 1(SCS1)は TBYTE1、シリアルチップセレクト端子 2(SCS2)は TBYTE2、シリアルチップセレクト端子 3(SCS3)は TBYTE3 に対応します。

シリアルチップセレクト禁止(SCSCR:CSEN3~0=0b0000)のとき、転送バイトレジスタ 0(TBYTE0)はタイマに同期した送信に使用されます。タイマに同期した送信により送信動作が開始した後、TBYTE0 に設定した値のデータ数を転送します。

送信動作中(SSR:TBI=0)に本ビットの値を変更した場合、変更前に設定した転送データ数の送信動作を終了後に変更後の転送データ数の設定が有効になります。

bit	説明
ライト	TBYTE への書込み
リード	TBYTE の設定値

**<注意事項>**

- 本ビットに 0x00 を設定した場合、転送回数は 8 回です。
- スレーブモード(SCR:MS=1) 時、本ビットの設定は無効です。

8.13. ボーレートジェネレータレジスタ 1, 0(BGR1~0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BRG0)は、シリアルクロックの分周比を設定します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	0							

Bit	7	6	5	4	3	2	1	0
Field	BGR0							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit15] Reserved: 予約ビット

[bit14:8] BGR1[6:0]: ボーレートジェネレータレジスタ 1

bit	説明
ライト	リロードカウンタビット 8~14 に書き込み
リード	BGR1 の設定値の読出し

[bit7:0] BGR0[7:0]: ボーレートジェネレータレジスタ 0

bit	説明
ライト	リロードカウンタビット 0~7 に書き込み
リード	BGR0 の設定値の読出し

<注意事項>

- ボーレートジェネレータレジスタ(BGR1, BGR0)への書き込みは、16 ビットアクセスで行ってください。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は SCINV ビットの設定によって以下ようになります。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
SMR:SCINV=0 のとき、シリアルクロックの"H"幅がバスクロック 1 サイクル分長くなります。
SMR:SCINV=1 のとき、シリアルクロックの"L"幅がバスクロック 1 サイクル分長くなります。
- リロード値は 3 以上を設定してください。
- ボーレートジェネレータレジスタ(BGR1, BGR0)の設定値を変更した場合、カウンタ値が 0x0000 になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR1/0 の設定値を変更した後、CSIO リセット(SCR:UPCL)を実行してください。
- 受信 FIFO 使用時、受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)を"1"に設定しスレーブモードで動作させる場合、BGR1/0 にボーレートを設定してください。



8.14. FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

Bit	15	14	13	12	11	10	9	8
Field	Reserved		Reserved	FLSTE	FRIIE	FDRQ	FTIE	FSEL
R/W 属性	R0,W0		R0,W0	R/W	R/W	R,W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	1	0	0

*本レジスタの下位バイト[bit7:0]は FIFO 制御レジスタ 0(FCR0)です。

[bit15:13] Reserved: 予約ビット

[bit12] FLSTE: 再送データロスト検出許可ビット

FLST ビット検出を許可するビットです。

- 本ビットはクリアレジスタのビット FCR1C:FLSTEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR1S:FLSTES を"1"に設定した場合、セットされます。

"0"に設定した場合 : FLST ビット検出禁止

"1"に設定した場合 : FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

- 本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。

[bit11] FRIIE: 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

- 本ビットはクリアレジスタのビット FCR1C:FRIIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR1S:FRIIES を"1"に設定した場合、セットされます。

"0"に設定した場合 : 受信アイドル状態検出禁止

"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- 受信 FIFO を使用する場合、本ビットを"1"に設定してください。

[bit10] FDRQ: 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。

本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力されます。

- 本ビットはクリアレジスタのビット FCR1C:FDRQC を"1"に設定した場合、リセットされます。

FDRQ セット条件

- 送信 FIFO 割込み制御未使用時
 - FBYTE(送信用)=0 (送信 FIFO がエンプティ)
 - 送信 FIFO のリセット
- 送信 FIFO 割込み制御使用時
 - FTICR 設定値 \geq FTICR 読出し値(送信 FIFO の格納データ数が割込みトリガレベル以下)
 - 送信 FIFO のリセット

FDRQ リセット条件

- 本ビットへの"0"書込み。
- 送信 FIFO がフルになった場合。

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>

- FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。
- 送信 FIFO 許可のときに"0"書込みは有効です。
- 本ビットが"0"のときに FSEL ビットの変更は禁止です。
- 本ビットに"1"を設定した場合動作に影響を与えません。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書込んで割込み要求をクリアしてください。

[bit9] FTIE: 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

- 本ビットはクリアレジスタのビット FCR1C:FTIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR1S:FTIES を"1"に設定した場合、セットされます。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL: FIFO 選択ビット

送受信 FIFO を選択するビットです。

- 本ビットはクリアレジスタのビット FCR1C:FSELC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR1S:FSELS を"1"に設定した場合、セットされます。

"0"に設定した場合：送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割当てられます。

"1"に設定した場合：送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>

- 本ビットは、FIFO リセット(FCL2, FCL1=1)によってクリアされません。



- 本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。
- FDRQ=0 のときに本ビットの変更は禁止です。

8.15. FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止、FIFO リセット、リードポインタの保存、再送信設定を行います。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
R/W 属性	R0,W0	R,WX	R,W	R0,W	R0,W	R0,W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6] FLST: FIFO 再送データロスフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ場合

FLST リセット条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロスなし
1	データロスあり

[bit5] FLD: FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。

再送設定が完了した場合、本ビットは"0"です。

- 本ビットはセットレジスタのビット FCR0S:FLDS を"1"に設定した場合、セットされます。

bit	説明
0	リロードしません
1	リロード実行

<注意事項>

- 本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。
- FIFO 許可状態または送信中、本ビットに"1"を設定することは禁止です。
- SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書き込み、送信 FIFO 許可後、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。

[bit4] FSET: FIFO ポインタ保存ビット



送信 FIFO のリードポインタを保存するビットです。

送信前にリードポインタを保存した状態で、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

－ 本ビットはセットレジスタのビット FCR0S:FSETS を"1"に設定した場合、セットされます。

"1"に設定した場合：現在のリードポインタの値を保存します。

"0"に設定した場合：影響しません。

bit	説明	
	ライト	リード
0	保存しません	常に"0"をリード
1	保存実行	

<注意事項>

- － 送信バイト数(FBYTE)が0を示しているときに本ビットを"1"に設定してください。

[bit3] FCL2: FIFO2 リセットビット

FIFO2 をリセットするビットです。

本ビットを"1"に設定した場合、FIFO2 の内部状態を初期化します。

FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

本ビットはセットレジスタのビット FCR0S:FCL2S を"1"に設定した場合、セットされます。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	FIFO2 リセット	

<注意事項>

- － 送受信を禁止してから、FIFO2 リセットを実行してください。
- － 送信 FIFO 割込み許可ビットを"0"にしてからリセットを実行してください。
- － FBYTE2 レジスタの有効データ数は0です。

[bit2] FCL1: FIFO1 リセットビット

FIFO1 をリセットするビットです。

本ビットを"1"に設定した場合、FIFO1 の内部状態を初期化します。

FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

本ビットはセットレジスタのビット FCR0S:FCL1S を"1"に設定した場合、セットされます。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	FIFO1 リセット	

<注意事項>

- － 送受信を禁止してから、FIFO1 リセットを実行してください。
- － 送信 FIFO 割込み許可ビットを"0"にしてからリセットを実行してください。
- － FBYTE1 レジスタの有効データ数は0です。

[bit1] FE2: FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書込んだときに FIFO2 にデータが存在し、CSIO が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書き込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された状態で、受信エラーが発生した場合、本ビットは"0"にクリアされます。その後、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)、受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"または"0"を設定してください。
- 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0) 後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットの設定を変更してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。
- 本ビットはクリアレジスタのビット FCR0C:FE2C を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR0S:FE2S を"1"に設定した場合、セットされます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1: FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し(FCR1:FSEL=0)、本ビットに"1"を書込んだときに FIFO1 にデータが存在し、CSIO が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書き込み、TIE ビットと TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された状態で、受信エラーが発生した場合、本ビットは"0"にクリアされます。その後、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)、受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"または"0"を設定してください。
- 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0) 後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットの設定を変更してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。
- 本ビットはクリアレジスタのビット FCR0C:FE1C を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR0S:FE1S を"1"に設定した場合、セットされます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可



8.16. FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

Bit	15	14	13	12	11	10	9	8
Field	FBYTE2							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	FBYTE1							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

[bit15:8] FBYTE2[7:0]: FIFO2 データ数表示ビット

[bit7:0] FBYTE1[7:0]: FIFO1 データ数表示ビット

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットによる設定を以下にします。

bit	説明	
	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致した場合、割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の条件を両方満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ(RDRF)が"1"に設定されます。
 - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
 - 受信 FIFO に存在するデータ数が転送数に達しない
- 8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- マスタ動作で、データを受信する場合(マスタ受信)、SCR:TIE ビットと SCR:TBIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに"0"を書きます。その後、SCR:TXE ビットが"1"のとき設定データ分のシリアルクロックが出力され、設定値分データを受信することができます。SCR:TIE ビット、SCR:TBIE ビットに"1"を設定したい場合には FCR1:FDRQ が "1"になった後に"1"に設定してください。
- TDR に送信データを 1 回書き込むと、送信 FIFO の FBYTE が+1 されます。
- RDR から受信データを 1 回読み出すと、受信 FIFO の FBYTE が-1 されます。

- FBYTE2, FBYTE1: FIFO2 データ数表示ビット, FIFO1 データ数表示ビット

ライト	転送数を設定
リード	有効なデータ数を読み出し

リード(有効なデータ数)

送信時 : FIFO に書込まれ、送信されていないデータ数

受信時 : FIFO に受信されたデータ数

ライト(転送数)

送信時 : 0x00 設定

受信時 : 受信割込み発生 of データ数設定

FIFO 容量	データ長	SSR:AWC	最大 FBYTE 数	格納可能データ数
16BYTE	5~16 ビット	0	8	8
		1	4	4
	20, 24, 32 ビット	1	4	
32BYTE	5~16 ビット	0	16	16
		1	8	8
	20, 24, 32 ビット	1	8	
64BYTE	5~16 ビット	0	32	32
		1	16	16
	20, 24, 32 ビット	1	16	
128BYTE	5~16 ビット	0	64	64
		1	32	32
	20, 24, 32 ビット	1	32	

<注意事項>

- マスタ動作で、データを受信するとき以外、送信 FIFO の FBYTE には 0x00 を設定してください。
- マスタ動作でデータを受信するときの送信データ数の設定は送信 FIFO がエンプティで SCR:TIE ビット、SSR:TBIE ビットが"0"のときに行ってください。
- マスタ動作でデータを受信中に受信禁止(SCR:RXE=0)にする場合には、送信 FIFO を禁止にしてから送受信を禁止にしてください。
- 受信 FIFO の FBYTE には"1"以上のデータを設定してください。
- 受信 FIFO の FBYTE の変更は受信を禁止してから変更してください。
- FIFO 容量を超えた設定は禁止です。



8.17. 送信 FIFO 割込み制御レジスタ (FTICR)

送信 FIFO 割込み制御レジスタ (FTICR)は、FIFO の送信有効データ数による割込みの設定を行います。

Bit	15	14	13	12	11	10	9	8
Field	FTICR2							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	FTICR1							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

[bit15:8] FTICR2[7:0]: FIFO2 データ数表示ビット

[bit7:0] FTICR1[7:0]: FIFO1 データ数表示ビット

FTICR レジスタは、送信 FIFO の送信有効データ数(残量)による割込みトリガレベルを設定します。

FCR1:FSEL ビットによる設定を以下に示します。

bit	説明	
	送信 FIFO 選択	送信 FIFO 割込み制御レジスタ
0	FIFO1	FTICR1
1	FIFO2	FTICR2

- FTICR レジスタの割込みを発生させる有効なデータ数の初期値は 0x00 です。
- 送信 FIFO の FTICR に送信割込みを発生させるデータ数を設定します。この設定されたデータ数と送信 FIFO の有効データ数(FTICR もしくは FBYTE)の表示が一致、または小さくなった場合、割込みフラグ(FDRQ)が"1"に設定されます。
- FTICR の設定は、「FTICR ≤ FIFO 容量 - 2」になるように設定してください。
- 読出し時、FIFO の有効なデータ数を表示します。
- 送信 FIFO：送信 FIFO に書き込まれ送信されていないデータ数
- 受信 FIFO：受信 FIFO に受信され読出しされていないデータ数

FTICR2, FTICR1: FIFO2 データ数表示ビット, FIFO1 データ数表示ビット

ライト	割込みを発生させる有効なデータ数を設定
リード	有効なデータ数を読出し

<注意事項>

- FIFO 容量を超えた設定は禁止です。
- 設定値の読出しはできません。
- 送信時の FIFO データ数表示は、送信データ書込み数から 1 減算した値が有効なデータ数として表示されます。これは、TDR レジスタに送信されていないデータが存在しているときに送信データを書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。
- 受信時の FIFO データ数表示は、受信 FIFO に受信され読出しされていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。
- DMA 転送においてブロック転送を行う場合、設定できるブロックサイズは 1 のみです。

8.18. シリアル補助制御ステータスクリアレジスタ(SACSRC)

シリアル補助制御ステータスクリアレジスタ(SACSRC)は、シリアル補助制御ステータスレジスタ(SACSR)にあるビットをクリアすることができます。

Bit	15	14	13	12	11	10	9	8
Field	STSTC	Reserved	TBEENC	CSEIEC	CSEC	Reserved		TINTC
R/W 属性	R0,W	R0,W0	R0,W	R0,W	R0,W	R0,W0		R0,W
保護属性	-							
初期値	0	0	0	0	0	00		0

Bit	7	6	5	4	3	2	1	0
Field	TINTEC	TSYNEC	Reserved					TMREC
R/W 属性	R0,W	R0,W	R0,W0					R0,W
保護属性	-							
初期値	0	0	00000					0

[bit15] STSTC: シリアルテストクリアビット

本ビットに"1"を書き込むと SACSR:STST は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit14] Reserved: 予約ビット

[bit13] TBEENC: 転送バイトエラー許可クリアビット

本ビットに"1"を書き込むと SACSR:TBEEN は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit12] CSEIEC: チップセレクトエラー割込み許可クリアビット

本ビットに"1"を書き込むと SACSR:CSEIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit11] CSEC: チップセレクトエラーフラグクリアビット

本ビットに"1"を書き込むと SACSR:CSE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit10:9] Reserved: 予約ビット

[bit8] TINTC: タイマ割込みフラグクリアビット

本ビットに"1"を書き込むと SACSR:TINT は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit7] TINTEC: タイマ割込み許可クリアビット



本ビットに"1"を書き込むと SACSR:TINTE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit6] TSYNEC: 同期送信許可クリアビット

本ビットに"1"を書き込むと SACSR:TSYNE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit5:1] Reserved: 予約ビット

[bit0] TMREC: シリアルタイム許可クリアビット

本ビットに"1"を書き込むと SACSR:TMRE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

8.19. FIFO 制御クリアレジスタ 1(FCR1C)

FIFO 制御クリアレジスタ 1(FCR1C)は、FIFO 制御レジスタ 1(FCR1)にあるビットをクリアすることができます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved			FLSTEC	FRIIEC	FDRQC	FTIEC	FSELC
R/W 属性	R0,W0			R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	000			0	0	0	0	0

*本レジスタの下位バイト[bit7:0]は FIFO 制御レジスタ 0(FCR0C)です。

[bit15:13] Reserved: 予約ビット

[bit12] FLSTEC: 再送データロス検出許可クリアビット

本ビットに"1"を書き込むと FCR1:FLSTE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit11] FRIIEC: 受信 FIFO アイドル検出許可クリアビット

本ビットに"1"を書き込むと FCR1:FRIIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit10] FDRQC: 送信 FIFO データ要求クリアビット

本ビットに"1"を書き込むと FCR1:FDRQ は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit9] FTIEC: 送信 FIFO 割込み許可クリアビット

本ビットに"1"を書き込むと FCR1:FTIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit8] FSELC: FIFO 選択クリアビット

本ビットに"1"を書き込むと FCR1:FSEL は"0"にリセットされます。

本ビットへの"0"書込みは無効です。



8.20. FIFO 制御クリアレジスタ 0(FCR0C)

FIFO 制御クリアレジスタ 0(FCR0C)は、FIFO 制御レジスタ 0(FCR0)にあるビットをクリアすることができます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved						FE2C	FE1C
R/W 属性	R0,W0						R0,W	R0,W
保護属性	-							
初期値	000000						0	0

[bit7:2] Reserved: 予約ビット

[bit1] FE2C: FIFO2 動作許可クリアビット

本ビットに"1"を書き込むと FCR0:FE2 は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

[bit0] FE1C: FIFO1 動作許可クリアビット

本ビットに"1"を書き込むと FCR0:FE1 は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

8.21. シリアル補助制御ステータスセットレジスタ(SACSRs)

シリアル補助制御ステータスセットレジスタ(SACSRs)は、シリアル補助制御ステータスレジスタ(SACSR)にあるビットをセットすることができます。

Bit	15	14	13	12	11	10	9	8
Field	STSTS	Reserved	TBEENS	CSEIES	Reserved			
R/W 属性	R0,W	R0,W0	R0,W	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

Bit	7	6	5	4	3	2	1	0
Field	TINTES	TSYNES	Reserved					TMRES
R/W 属性	R0,W	R0,W	R0,W0					R0,W
保護属性	-							
初期値	0	0	00000					0

[bit15] STSTS: シリアルテストセットビット

本ビットに"1"を書き込むと SACSR:STST は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit14] Reserved: 予約ビット

[bit13] TBEENS: 転送バイトエラー許可セットビット

本ビットに"1"を書き込むと SACSR:TBEEN は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit12] CSEIES: チップセレクトエラー割込み許可セットビット

本ビットに"1"を書き込むと SACSR:CSEIE は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit11:8] Reserved: 予約ビット

[bit7] TINTES: タイマ割込み許可セットビット

本ビットに"1"を書き込むと SACSR:TINTE は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit6] TSYNES: 同期送信許可セットビット

本ビットに"1"を書き込むと SACSR:TSYNE は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit5:1] Reserved: 予約ビット

**[bit0] TMRES: シリアルタイム許可セットビット**

本ビットに"1"を書き込むと SACSr:TMRE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

8.22. FIFO 制御セットレジスタ 1(FCR1S)

FIFO 制御セットレジスタ 1(FCR1S)は、FIFO 制御レジスタ 1(FCR1)にあるビットをセットすることができます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved			FLSTES	FRIIES	Reserved	FTIES	FSELS
R/W 属性	R0,W0			R0,W	R0,W	R0,W0	R0,W	R0,W
保護属性	-							
初期値	000			0	0	0	0	0

*本レジスタの下位バイト[bit7:0]は FIFO 制御セットレジスタ 0(FCR0S)です。

[bit15:13] Reserved: 予約ビット

[bit12] FLSTES: 再送データロス検出許可セットビット

本ビットに"1"を書き込むと FCR1:FLSTE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

[bit11] FRIIES: 受信 FIFO アイドル検出許可セットビット

本ビットに"1"を書き込むと FCR1:FRIIE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

[bit10] Reserved: 予約ビット

[bit9] FTIES: 送信 FIFO 割込み許可セットビット

本ビットに"1"を書き込むと FCR1:FTIE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

[bit8] FSELS : FIFO 選択セットビット

本ビットに"1"を書き込むと FCR1:FSEL は"1"にセットされます。

本ビットへの"0"書込みは無効です。



8.23. FIFO 制御セットレジスタ 0(FCR0S)

FIFO 制御セットレジスタ 0(FCR0S)は、FIFO 制御レジスタ 0(FCR0)にあるビットをセットすることができます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved		FLDS	FSETS	FCL2S	FCL1S	FE2S	FE1S
R/W 属性	R0,W0		R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit7:6] Reserved : 予約ビット

[bit5] FLDS: FIFO ポインタリロードセットビット

本ビットに"1"を書き込むと FCR0:FLD は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit4] FSETS : FIFO ポインタ保存セットビット

本ビットに"1"を書き込むと FCR0:FSET は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit3] FCL2S : FIFO2 リセットセットビット

本ビットに"1"を書き込むと FCR0:FCL2 は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit2] FCL1S : FIFO1 リセットセットビット

本ビットに"1"を書き込むと FCR0:FCL1 は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit1] FE2S : FIFO2 動作許可セットビット

本ビットに"1"を書き込むと FCR0:FE2 は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

[bit0] FE1S : FIFO1 動作許可セットビット

本ビットに"1"を書き込むと FCR0:FE1 は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

9. 使用上の注意

CSIO 使用上の注意を以下に示します。

DMA 転送時の注意

CSIO の割込み要因発生を利用して, DMA コントローラを起動できます。

CSIO から DMA コントローラを起動する前に, DMA コントローラの設定を行ってください。DMA 転送を行う場合, 1 ブロックの全体の長さ(ブロックカウント)は 1 のみサポートされます(DMAi_An:BC=0)。

DMA コントローラの設定, 詳細については『DMA コントローラ』の章を参照してください



CHAPTER 37: LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1))

マルチファンクションシリアルインタフェース機能のうち、動作モード3でサポートしているLIN通信機能について説明します。LIN通信機能には、LINヘッダ部を割込み機能を用いて送信/受信するマニュアルモードと、LINヘッダ部を自動で送信/受信するアシストモードの2つのモードがあります。

1. 概要
2. 割込み
3. シリアルタイマの動作
4. テストモード
5. 専用ボーレートジェネレータ
6. 動作
7. 動作モード3(LIN通信モード)設定手順とプログラムフロー
8. レジスタ
9. 使用上の注意



1. 概要

1.1. マニュアルモード

LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1))は、LIN バスに対応するための機能をサポートしています。また、送信/受信(最大 各 64 バイト)の FIFO を搭載しています。

LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1))の機能(マニュアルモード)

項目		機能
1	データバッファ	<ul style="list-style-type: none"> - 全二重ダブルバッファ(FIFO 未使用時) - 送信/受信 FIFO(最大各 64 バイト) (FIFO 使用時)
2	シリアル入力	バスクロックで 3 回オーバーサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送モード	非同期
4	ボーレート	<ul style="list-style-type: none"> - 専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) - 外部クロックをリロードカウンタで調節可能。 - Sync Field 受信によるボーレート自動調整
5	データ長	8 ビット
6	信号方式	NRZ(Non Return to Zero)
7	スタートビット検出	スタートビット立下りエッジに同期。
8	受信エラー検出	<ul style="list-style-type: none"> - フレーミングエラー - オーバランエラー
9	割込み要求	<ul style="list-style-type: none"> - 受信割込み (受信完了、フレーミングエラー、オーバランエラー) - 送信割込み(送信データエンプティ、送信バスアイドル) - ステータス割込み(LIN Break Field 検出、シリアルタイム割込み) - ICU への割込み要求 (LIN Sync Field 検出:LSYN) - 送信 FIFO 割込み (送信 FIFO が割込みしきい値以下のときまたは送信 FIFO がエンプティのとき) - 送受信とも DMA 転送サポート機能あり
10	タイマ機能	<ul style="list-style-type: none"> - 16 ビットシリアルタイムを搭載 - 動作クロックの分周値選択可能(1~256 分周)
11	LIN バスオプション	<ul style="list-style-type: none"> - LIN プロトコル Revision 2.1 に対応 - マスタデバイス動作 - スレーブデバイス動作 - LIN Break Field 生成(13~16 ビット長に変更可) - LIN Break デリミタ生成(1~4 ビット長に変更可) - LIN Break Field 検出 - インプットキャプチャに接続している LIN Sync Field のスタート/ストップエッジ検出
12	FIFO オプション	<ul style="list-style-type: none"> - 送受信 FIFO 搭載(最大容量:送信 FIFO 64 バイト、受信 FIFO 64 バイト) - 送信 FIFO と受信 FIFO を選択可能 - 送信データ再送可能 - 受信 FIFO 割込みタイミングをソフトウェアで可変可能 - 独立した FIFO リセットサポート

<注意事項>

- LIN の Wake Up 機能はサポートしていません。

1.2. アシストモード

LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1))は、LIN バスに対応するための機能をサポートしています。LIN 通信におけるヘッダ部の自動送信/自動検出が可能です。また、送信/受信(最大 各 64 バイト)の FIFO を搭載しています。

LIN インタフェース(v2.1) (LIN 通信制御インタフェース(v2.1))の機能(アシストモード)

項目		機能
1	データバッファ	<ul style="list-style-type: none"> - 全二重ダブルバッファ(FIFO 未使用時) - 送信/受信 FIFO(最大各 64 バイト)(FIFO 使用時)
2	シリアル入力	バスクロックで 3 回オーバーサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送モード	非同期
4	ボーレート	<ul style="list-style-type: none"> - 専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) - 外部クロックをリロードカウンタで調節可能。 - Sync Field 受信によるボーレート自動調整
5	データ長	8 ビット
6	信号方式	NRZ(Non Return to Zero)
7	スタートビット検出	スタートビット立下りエッジに同期。
8	受信エラー検出	<ul style="list-style-type: none"> - <送信側の自己チェックにより検出> - LIN バスエラー - <送信側の自己チェックおよび受信側で検出> - フレーミングエラー - オーバランエラー - LIN ID パリティエラー - LIN チェックサムエラー - <自動ボーレート調整禁止の受信側で検出> - LIN Sync Data エラー
9	割込み要求	<ul style="list-style-type: none"> - 送信割込み <ul style="list-style-type: none"> ➢ データ送信割込み(送信データエンプティ, 送信バスアイドル) ➢ 送信 FIFO 割込み(送信 FIFO が割込みしきい値以下のときまたは送信 FIFO がエンプティのとき) - 受信割込み <ul style="list-style-type: none"> ➢ データ受信割込み(受信完了) ➢ 受信 FIFO 割込み(受信 FIFO が割込みしきい値以上のとき) ➢ 各種エラー割込み(LIN バスエラー, LIN Sync Data エラー, LIN ID パリティエラー, フレーミングエラー, オーバランエラー, LIN チェックサムエラー) - ステータス割込み <ul style="list-style-type: none"> ➢ 自動ヘッダ完了割込み ➢ シンクフィールド検出割込み ➢ チェックサム演算完了割込み - 送受信とも DMA 転送サポート機能あり
10	タイマ機能	<ul style="list-style-type: none"> - 16 ビットシリアルタイマを搭載 - 動作クロックの分周値選択可能(1~256 分周)
11	LIN バスオプション	<ul style="list-style-type: none"> - LIN プロトコル Revision 2.1 に対応 - マスタ/スレーブデバイスのヘッダ自動送信/受信 <ul style="list-style-type: none"> ➢ LIN Break Field 生成(13~20 ビット長に可変可能) ➢ LIN Break デリミタ生成(1~4 ビット長に可変可能) ➢ Sync Field の自動生成および自動データ値(0x55)チェック ➢ ID Field のパリティ自動生成/チェック ➢ チェックサムの自動生成/チェック(標準/拡張に対応)



項目		機能
12	FIFO オプション	<ul style="list-style-type: none"> - 送受信 FIFO 搭載(最大容量:送信 FIFO64 バイト, 受信 FIFO 64 バイト) - 送信 FIFO と受信 FIFO を選択可能 - 送信データ再送可能 - 送信/受信 FIFO 割込みタイミングをソフトウェアで可変可能 - 独立した FIFO リセットサポート
13	LIN 通信テスト機能	<ul style="list-style-type: none"> - シリアル通信テスト機能 - 疑似障害発生機能(LIN バスエラー, LIN ID パリティエラー, LIN チェックサムエラー, LIN Sync Data エラー, フレーミングエラー)

＜注意事項＞

- LIN の Wake Up 機能はサポートしていません。

2. 割り込み

2.1. マニュアルモード

LIN インタフェース(v2.1)には、受信割り込み、送信割り込みおよびステータス割り込みがあります。マニュアルモードの場合は、次に示す要因で割り込み要求を発生させることができます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求
- LIN Break Field 検出
- LIN Sync Field 検出
- シリアルタイマの比較値(STMCR)とシリアルタイマ値(STMCR)が一致

LIN インタフェース(v2.1)の割り込み(マニュアルモード)

マニュアルモードにおける、LIN インタフェース(v2.1)の割り込み制御ビットと割り込み要因を「表 2-1」に示します。

表 2-1 LIN インタフェース(v2.1)の割り込み制御ビットと割り込み要因(マニュアルモード)

割り込みの種類	割り込み要求フラグビット	フラグレジスタ	割り込み要因	割り込み要因許可ビット	割り込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	フレーミングエラー		
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビット(FCR0:FE1 or FCR0:FE2)が"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ(TDR)への書込み、LIN Break Field 設定ビット(LBR)への"1"書込みまたは送信 FIFO 動作許可ビット(FCR0:FE1 or FCR0:FE2)が"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*1
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
ステータス (マニュアルモード)	LBD	SSR	LIN Break Field 検出	ESCR:LBIE	SSR:LBD ビットへの"0"書込み
	SFD	SACSR	Sync Field 検出	SACSR:SFD E	シンクフィールド検出フラグ(SACSR : SFD)への"0"書込み
	TINT	SACSR	シリアルタイマレジスタ(STMCR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR:TINT E	タイマ割り込みフラグビット(SACSR:TINT)への"0"書込み



割込みの種類	割込み要求 フラグ ビット	フラグ レジスタ	割込み要因	割込み 要因許可 ビット	割込み要求 フラグのクリア
インプット キャプチャ *2	ICP0	ICS0	LIN Sync Field の1回目 の立下りエッジ	ICS0:ICE0	ICP0 をディセーブル
	ICP0	ICS0	LIN Sync Field の5回目 の立下りエッジ		

*1: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

*2: 自動ボーレート調整が有効(SACSR:AUTE=1)の場合、本割込みは発生しません。

2.1.1. 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了(SSR:RDRF)および受信エラーの発生(SSR:ORE, FRE)があります。

受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)または受信エラーが発生(SSR:ORE, FRE=1)したとき、各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

<注意事項>

- 受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。

図 2-1 RDRF(受信データフル)フラグビットのセットタイミング

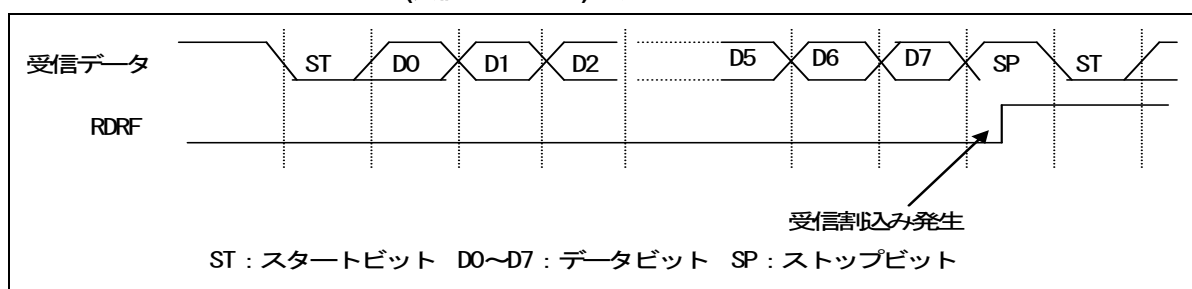
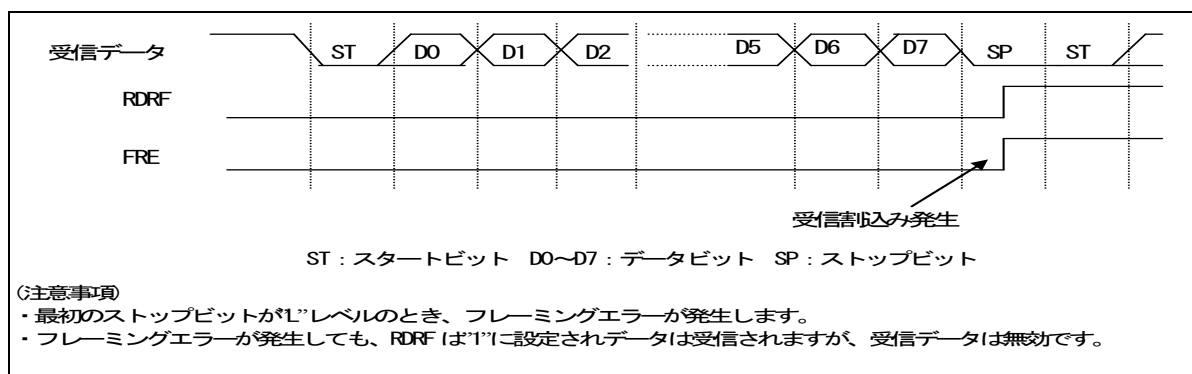


図 2-2 FRE (フレーミングエラー)フラグビットのセットタイミング

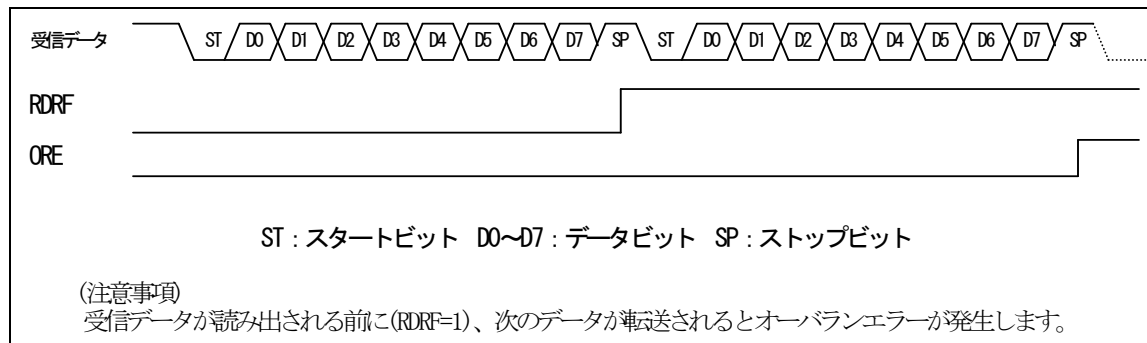


<注意事項>

- 受信時、ストップビットのサンプリングポイントと同時または1~2バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のデータを正常に受信できなくなる場合があります。連続してフレームを出力する場合にはフレームの間隔を空けてください。



図 2-3 ORE (オーバーランエラー)フラグビットのセットタイミング



2.1.2. 受信 FIFO 使用時の割り込み発生とフラグセットのタイミング

受信 FIFO 使用時の割り込みは、FIFO バイトレジスタ(FBYTE)の設定値分受信した場合に発生します。

受信 FIFO 使用時の受信割り込み発生とフラグセットのタイミング

受信 FIFO 使用時の割り込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が "1"に設定されます。このとき、受信割り込み許可(SCR:RIE)されていると受信割り込みを発生します。
- 受信 FIFO に存在するデータが"1"以上、下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割り込みフラグ(SSR:RDRF)が"1"に設定されます。
 - 受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1 "
 - 受信 FIFO に存在するデータ数が転送数に達しない
- 8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した後、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で次のデータを受信した場合、オーバランエラー(SSR:ORE=1)が発生します。

図 2-4 受信 FIFO 使用時の受信割り込み発生タイミング

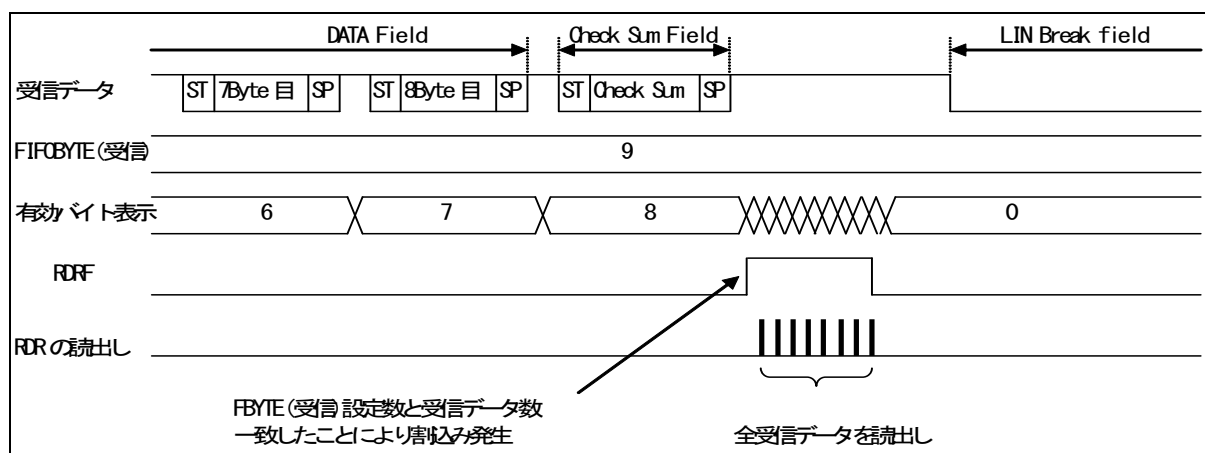
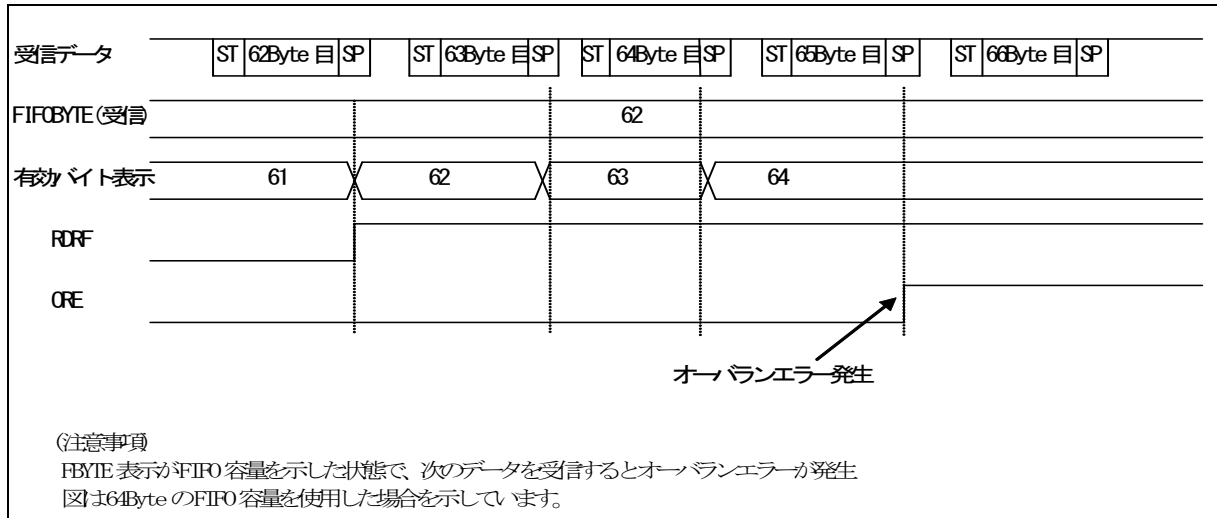




図 2-5 ORE (オーバーランエラー)フラグビットのセットタイミング



2.1.3. 送信割り込み発生とフラグセットのタイミング

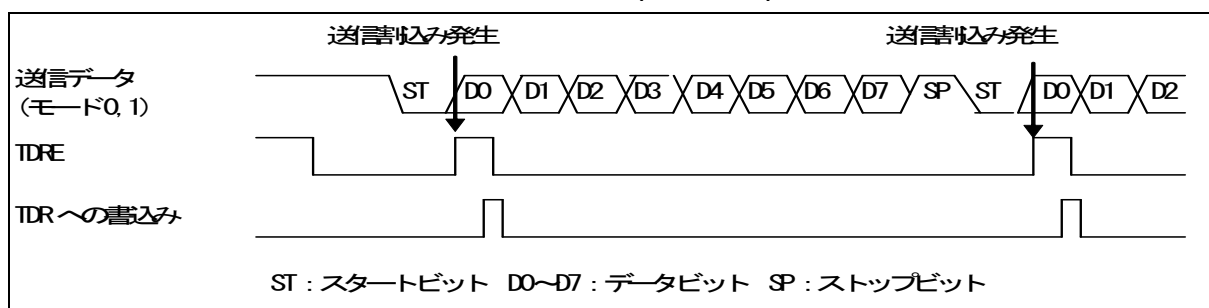
送信時の割り込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)で送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

送信割り込み発生とフラグセットのタイミング

送信データエンプティフラグ(TDRE)のセットタイミング

送信データレジスタ(TDR)に書込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)に設定されます。そのとき、送信割り込みが許可(SCR:TIE=1)されていると、送信割り込みが発生します。TDRE ビットはリードオンリビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

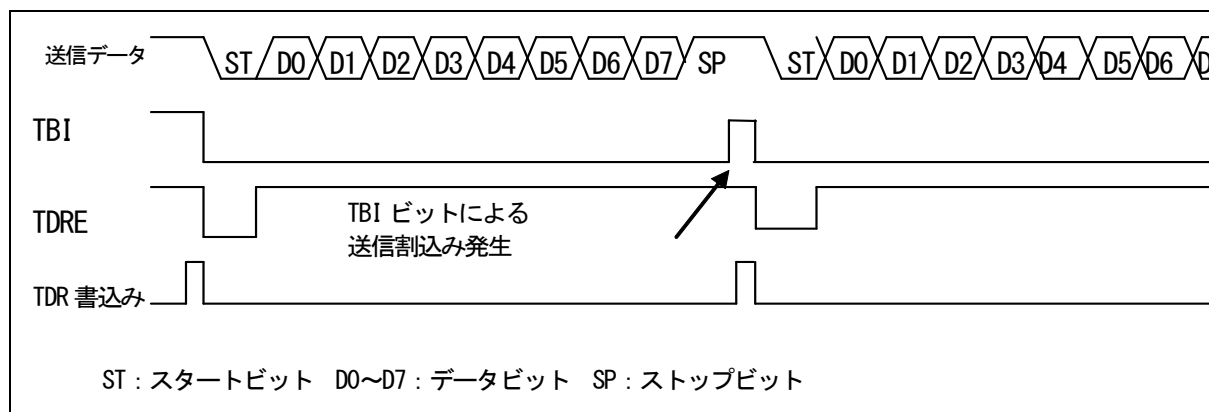
図 2-6 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



送信バスアイドルフラグ(TBI)のセットタイミング

送信データレジスタがエンプティ(SSR:TDRE=1)で送信動作をしていないとき、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割り込み許可(SCR:TBIE=1)されていると、送信割り込みが発生します。送信データレジスタ(TDR)に送信データをセットした場合、TBI ビットおよび送信割り込み要求はクリアされます。

図 2-7 送信バスアイドルフラグ(TBI)のセットタイミング





2.1.4. 送信 FIFO 使用時の割り込み発生とフラグセットのタイミング

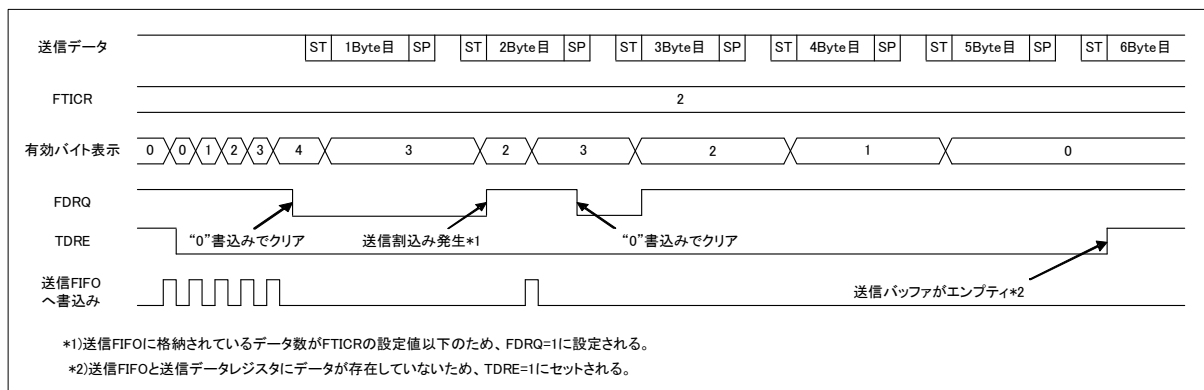
送信 FIFO 使用時の割り込みは、送信 FIFO に格納されているデータ数が、送信 FIFO 割り込み制御レジスタ(FTICR)の設定数以下のときに発生します。

送信 FIFO 使用時の送信割り込み発生とフラグセットのタイミング

送信 FIFO 使用時の割り込み発生は、FTICR レジスタの設定値によって決定されます。

- 送信 FIFO に格納されているデータ数が FTICR レジスタの設定値以下である場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
- このとき、FIFO 送信割り込み許可(FCR1:FTIE=1)されていると送信割り込みが発生します。
- 送信割り込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書込んで割り込み要求をクリアしてください。
- 送信 FIFO がフルになった場合 FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。送信 FIFO 割り込み制御レジスタ(FTICR)を読み出すことでも確認可能です。
FBYTE=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 2-8 送信 FIFO 使用時の送信割り込み発生タイミング



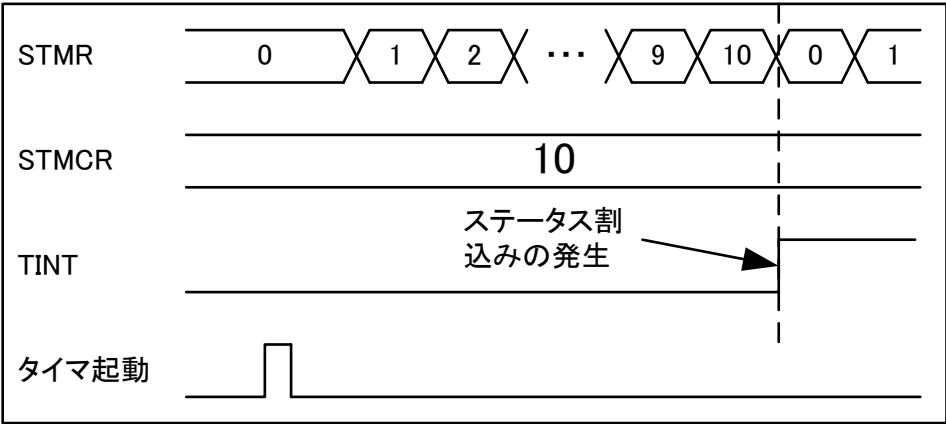
2.1.5. タイマ割り込み発生とフラグセットのタイミング

タイマ割り込みは、シリアルタイマレジスタ(STMR)がシリアルタイマ比較レジスタ(STMCR)と一致した場合に発生します。

タイマ割り込みの発生とフラグセットのタイミング

- シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタが一致した場合、タイマ割り込みフラグ(SACSR:TINT)が"1"に設定されます。
このとき、タイマ割り込み許可(SACSR : TINTE=1)されているとステータス割り込みが発生します。

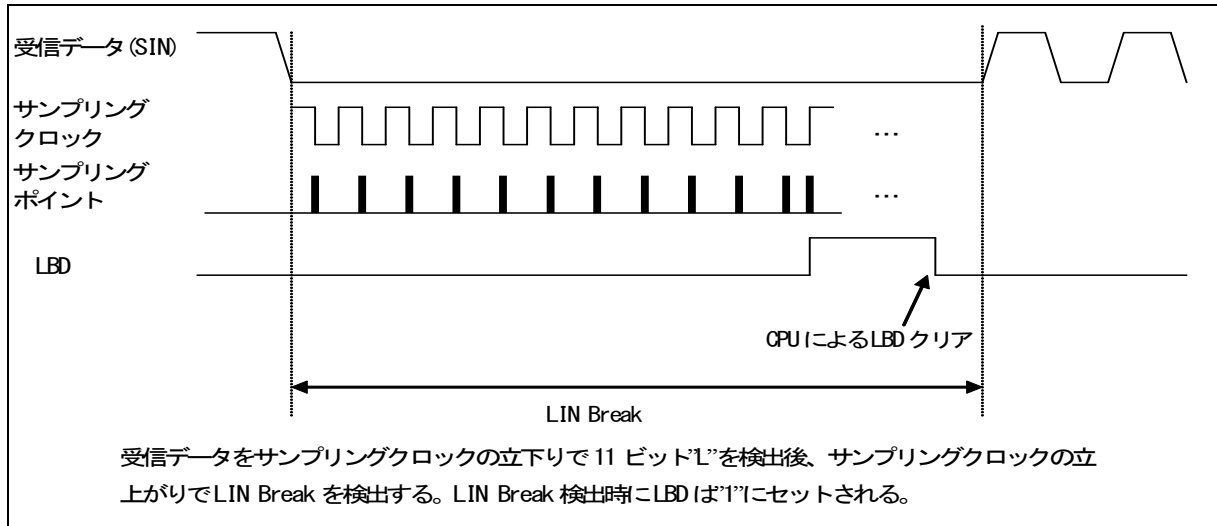
図 2-9 タイマ割り込み発生タイミング



2.1.6. LIN Break Field 検出フラグ(LBD)のセットタイミング

シリアル入力(SIN)が 11 ビット幅以上 "0"入力されると、LBD ビットは "1"に設定されます。このとき、LIN Break Field 割込みが許可(ESCR:LBIE=1)されているとステータス割込みが発生します。

図 2-10 LBD(LIN Break Field 検出)フラグセットタイミング



<注意事項>

- LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラー(SSR:FRE=1)を検出します。

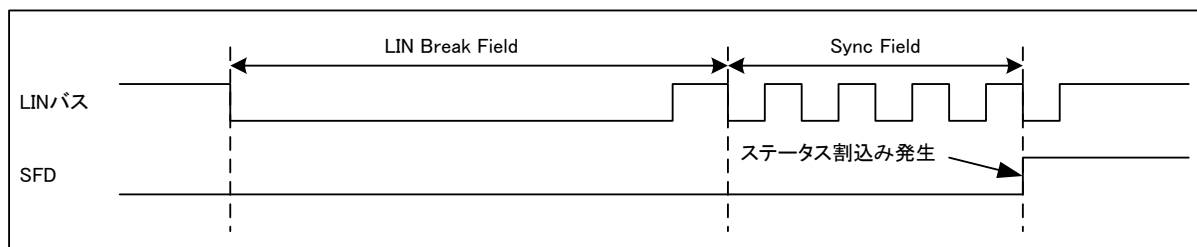
2.1.7. シンクフィールド検出割込み発生とフラグセットのタイミング

シンクフィールド検出割込みは、Sync Field の検出を完了した場合に発生します。

シンクフィールド検出割込み発生とフラグセットのタイミング

- 自動ボーレート調整許可(SACSR:AUTE=1)において SyncField で LIN バスの 5 回目の立下りを検出した場合、シンクフィールド検出フラグ(SACSR:SFD)は"1"にセットされます。
- このとき、シンクフィールド割込みが許可(SACSR : SFDE=1)されているとステータス割込みが発生します。

図 2-11 シンクフィールド検出割込み発生タイミング





2.2. アシストモード

LIN インタフェース(v2.1)には、受信割込みと送信割込みおよびステータス割込みがあります。アシストモードの場合は、次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル(送信動作なし)
- 送信 FIFO データ要求
- LIN Break Field 検出
- LIN Sync Field 検出
- シリアルタイマの比較値(STMCR)とシリアルタイマ値(STMCR)が一致
- LIN 自動ヘッダ完了またはチェックサム演算完了を検出

LIN インタフェース(v2.1)の割込み(アシストモード)

アシストモードにおける、LIN インタフェース(v2.1)の割込み制御ビットと割込み要因を表 2-2 に示します。

表 2-2 LIN インタフェース(v2.1)の割込み制御ビットと割込み要因(アシストモード)

割込みの種類	割込要求 フラグ ビット	フラグ レジスタ	割込み要因	割込み要因 許可ビット	割込み要求 フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー	LAMIER: LBSERIE	受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	フレーミングエラー		LAMESR:LBSER への"0"書込み
	LBSE	LAMES R	LIN バスエラーの検出		
	LSFER	LAMES R	LIN Sync Data エラーの検出		
	LPTE	LAMES R	LIN ID パリティエラーの検出		
	LCSE	LAMES R	LIN チェックサムエラーの検出		LAMESR:LCSE への"0"書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビット(FCR0:FE1 or FCR0:FE2)が"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ(TDR)への書込み、LIN Break Field 設定ビット(LBR)への"1"書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO の格納データ数が FTICR 設定値以下またはエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
ステータス	LBD	SSR	LIN Break Field 検出	ESCR:LBIE	SSR:LBD ビットへの"0"書込み

割込みの種類	割込み要求 フラグ ビット	フラグ レジスタ	割込み要因	割込み要因 許可ビット	割込み要求 フラグのクリア
(アシスト モード)	SFD	SACSR	Sync Field 検出	SACSR: SFDE	シンクフィールド検出フラグ(SACSR : SFD)への"0"書込み
	TINT	SACSR	シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致	SACSR: TINTE	タイマ割込みフラグビット(SACSR:TINT)への"0"書込み
	LAHC	LAMSR	自動ヘッダ完了	LAMIER: LAHCIE	LAMSR: LAHC への"0"書込み または ID レジスタ(LAMRID)の読出し
	LCSC	LAMSR	チェックサム演算完了	LAMIER: LCSCIE	LAMSR:LCSC への"0"書込み

*1: TDRE ビットが"0"になってから TIE ビットを"1"にしてください。



2.2.1. アシストモードにおける受信割り込み発生とフラグセットのタイミング

受信時の割り込みとしては、受信完了(SSR:RDRF)、受信エラーの発生(SSR:ORE, FRE, LAMESR:LBSE, LSFER, LPTER, LCSER)があります。

(1) 受信完了割り込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)の場合、以下の各フィールドのストップビットが検出されるごとに、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したときフラグがセット(SSR:RDRF=1)されます。このとき受信割り込みが許可(SCR:RIE=1)されている場合、受信割り込みが発生します。

- レスポンスの Data Field
- ID レジスタを使用しない設定(LAMCR:LIDEN=0)の場合の ID Field

受信データフルフラグビット(SSR:RDRF)のセットタイミングについては、マニュアルモードの、「2.1.1 受信割り込み発生とフラグセットのタイミング」と同様です。図 2-1 を参照してください。

<注意事項>

- 受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。
- ID Field の受信に LIN アシストモード受信 ID レジスタを使用する設定(LAMCR:LIDEN=1)のとき、ID Field を受信した場合、受信 ID 値は受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。
- スレーブ動作において、ID Field の受信に受信データレジスタ(RDR)を使用する設定(LAMCR:LIDEN=0)のとき、ID Field を受信した場合、受信 ID 値が受信データレジスタ(RDR)に格納され、受信データフルフラグビットがセット(SSR:RDRF=1)されます。このとき LIN 自動ヘッダ完了フラグのセット(LAMESR:LAHC=1)により ID 値を確認してください。
- Sync Field およびチェックサムは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。

(2) フレーミングエラー割り込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)の場合は、Sync Field、ID Field、データ、チェックサムの受信においてストップビットで"L"レベルが検出された場合、フレーミングエラーが検出し、フレーミングエラーフラグがセット(SSR:FRE=1)されます。受信割り込みが許可(SCR:RIE=1)されている場合、受信割り込みが発生します。また、Sync Field、ID Field を送信しているマスタノードやデータ、チェックサムを送信しているマスタまたはスレーブノードは、送信したデータの自己チェックを行い、ストップビットで"L"レベルが検出されるとフレーミングエラーを検出し、フレーミングエラーフラグがセット(SSR:FRE=1)されます。受信割り込みが許可(SCR:RIE=1)されている場合、受信割り込みが発生します。

また、フレーミングエラーが検出されると、アシストモードによるヘッダおよびレスポンスの送受信処理は停止します。

フレーミングエラーフラグがセットされている(SSR:FRE=1)間、受信 FIFO の動作許可ビットはクリア(FCR0:FE1=0 or FCR0:FE2=0)されます。

フレーミングエラーフラグビット(SSR:FRE)のセットタイミングについては、マニュアルモードにおける、「2.1.1 受信割り込み発生とフラグセットのタイミング」と同様です。図 2-2 を参照してください。

(3) オーバランエラー割り込み発生とフラグセットのタイミング

受信データが読み出される前に(SSR:RDRF=1)、次のデータの受信が検出された場合、オーバランエラーが検出されます。受信が完了したとき(SSR:RDRF=1)、オーバランエラーフラグがセット(SSR:ORE=1)されます。受信割り込みが許可(SCR:RIE=1)されている場合、受信割り込みが発生します。

また、オーバランエラーが検出されると、アシストモードによるヘッダ部およびレスポンス部の受信処理は停止します。

オーバランエラーフラグがセットされている(SSR:ORE=1)間、受信 FIFO の動作許可ビットはクリア(FCR0:FE1=0 or FCR0:FE2=0)されます。

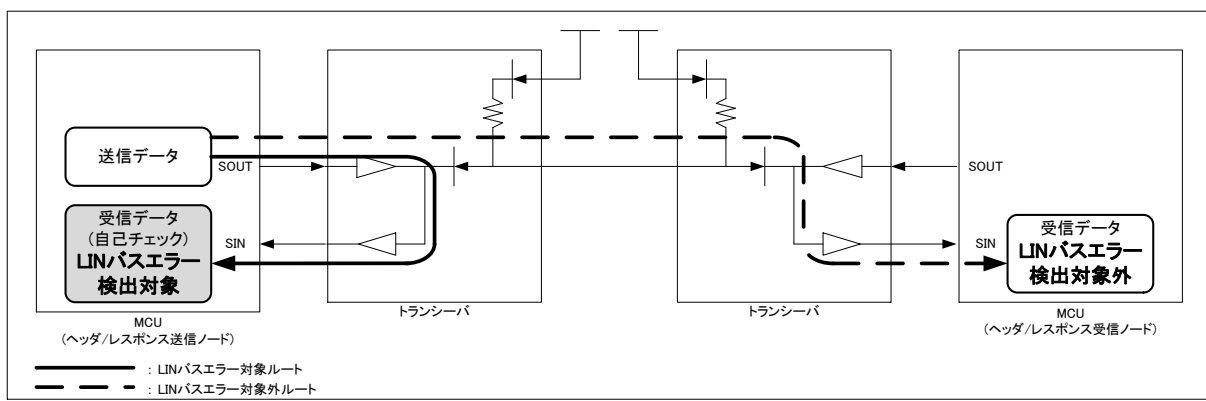
オーバランエラーフラグビット(SSR:ORE)のセットタイミングについては、マニュアルモードにおける、「2.1.1 受信割込み発生とフラグセットのタイミング」と同様です。図 2-3 を参照してください。

(4) LIN バスエラー検出割込み発生とフラグセットのタイミング

LIN バスエラー検出は、アシストモード(LAMCR:LAMEN=1)時、ヘッダ/レスポンスを送信する側の自己チェックにより行います。ヘッダ/レスポンスを受信する側は LIN バスエラー検出を行えません。

LIN バスエラー検出対象を図 2-12 に示します。

図 2-12 LIN バスエラー検出対象



LIN バスエラーの検出範囲は、LIN Break と、Sync Field/ID Field/Data Field/Check Sum Field のスタートビットおよびバイトデータです。ストップビットは LIN バスエラーの検出範囲外です。ストップビットが"L"レベル検出された場合は、フレーミングエラーが検出(SSR:FRE=1)されます。

また、LIN バスエラーが検出されると、アシストモードによるヘッダ部およびレスポンス部の送信処理は停止します。

ID Field 送信完了時に LIN バスエラーが発生した場合でも、LIN 自動ヘッダ完了フラグ(LAMSR:LAHC=1)はセットされます。

a) マスタ側における、LIN バスエラー検出割込み発生とフラグセットのタイミング

マスタ側(SCR:MS=0)は、ヘッダ/レスポンス送信時に LIN バスエラー検出を行います。

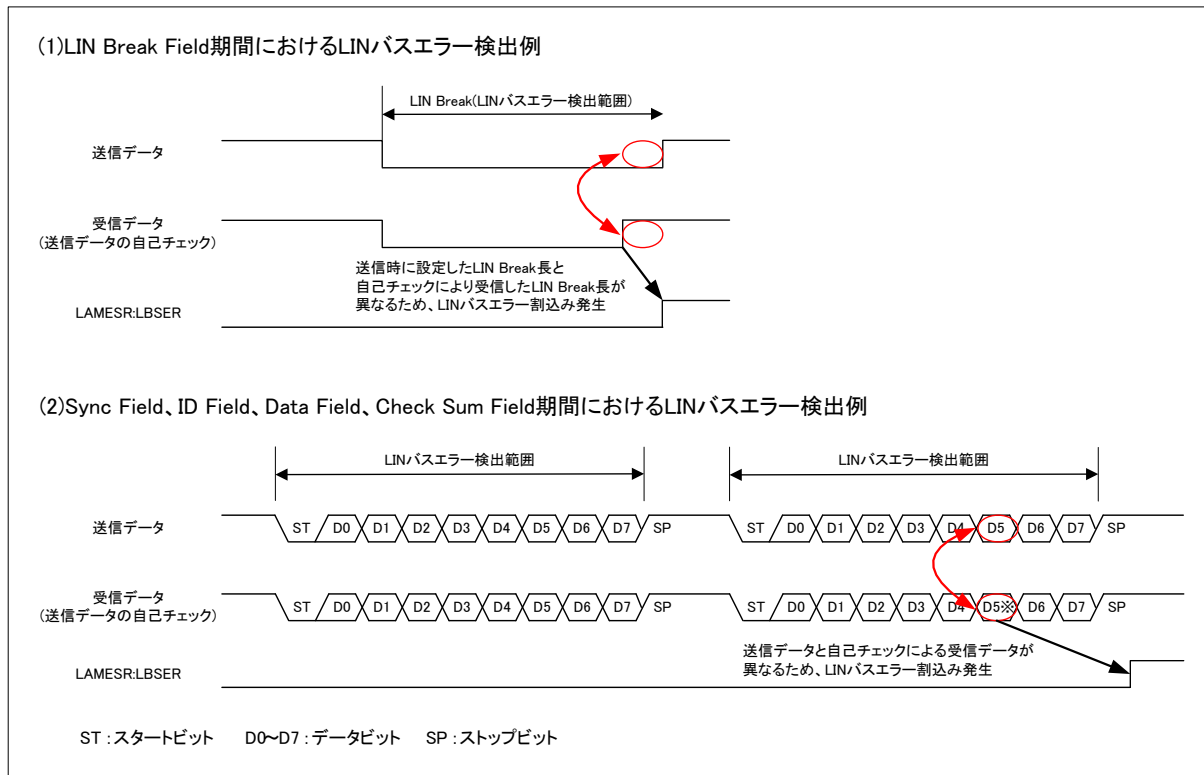
送信 LIN Break 長と受信 LIN Break 長もしくは送信データと受信データの比較を行い、異常を検出した場合、LIN バスエラーを検出しフラグがセット(LAMESR:LBSE=1)されます。割込みを許可(LAMIER:LBSEIE=1)に設定している場合、受信割込みが発生します。

b) スレーブ側における、LIN バスエラー検出割込み発生とフラグセットのタイミング

スレーブ側(SCR:MS=1)は、レスポンス送信時に LIN バスエラー検出を行います。

送信データと受信データの比較を行い、異常を検出した場合、LIN バスエラーを検出しフラグがセット(LAMESR:LBSE=1)されます。割込みを許可(LAMIER:LBSEIE=1)に設定している場合、受信割込みが発生します。

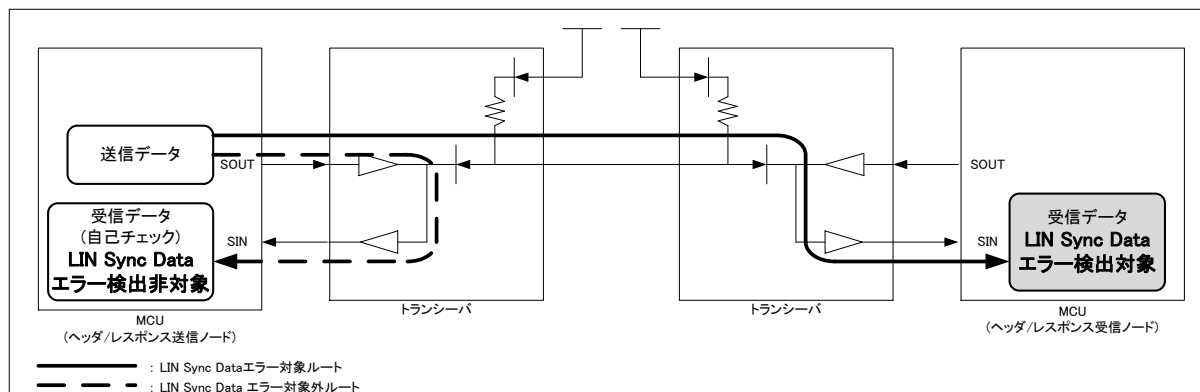
図 2-13 LIN バスエラー検出フラグ(LAMESR:LBSESR)のセットタイミング



(5) LIN Sync Data エラー検出割込み発生とフラグセットのタイミング

LIN Sync Data エラー検出は、アシストモード(LAMCR:LAMEN=1)に設定したスレーブモード(SCR:MS=1)で自動ポーレート調整禁止(SACSR:AUTE=0)時に行います。

LIN Sync Data エラー検出対象を図 2-14 に示します。

図 2-14 LIN Sync Data エラー検出対象

LIN Sync Data エラーの検出範囲は、Sync Field 期間のスタートビットおよびバイトデータです。ストップビットは LIN Sync Data エラーの検出範囲外です。ストップビットが"L"レベル検出された場合は、フレーミングエラーが検出(SSR:FRE=1)されます。

ポーレート自動調整禁止時における、LIN Sync Data エラー検出割込み発生とフラグセットのタイミング

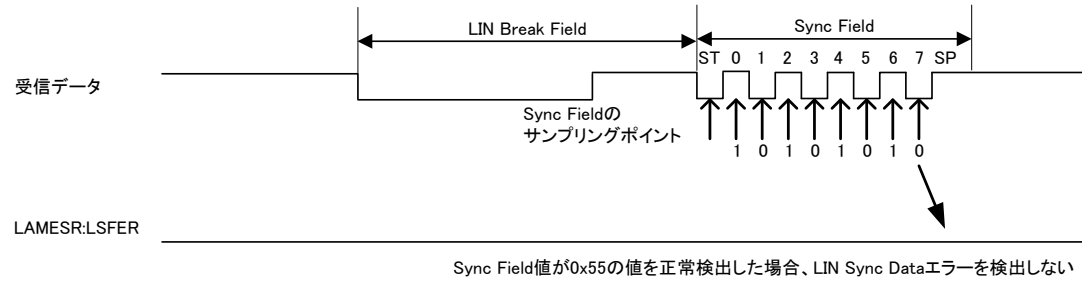
自動ポーレート調整禁止(SACSR:AUTE=0)に設定したスレーブモード(SCR:MS=1)では、Sync Field のデータ値のチェックを行い、0x55 以外の値を検出した場合、LIN Sync Data エラーを検出しフラグがセット(LAMESR:LSFER=1)されます。そのとき、割込みを許可(LAMIER:LSFERIE=1)に設定している場合、受信割込みが発生します。



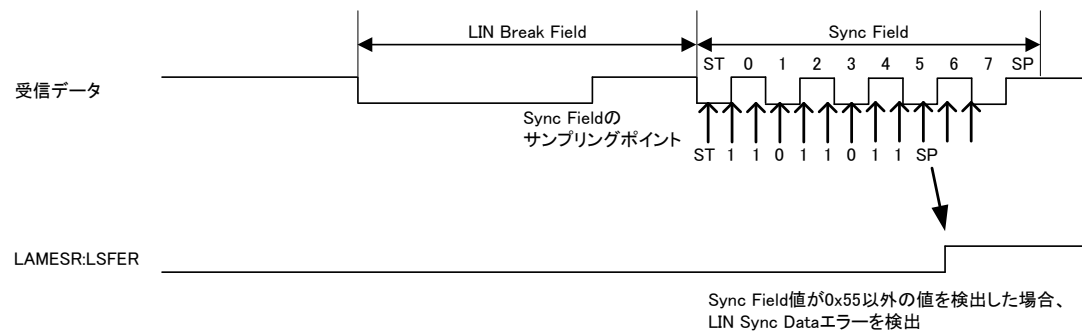
図 2-15 LIN Sync Data エラー検出フラグ(LAMESR:LSFER)のセットタイミング(自動ボーレート調整禁止時)

自動ボーレート調整禁止時におけるLIN Sync Fieldエラー検出例

(1)正常時



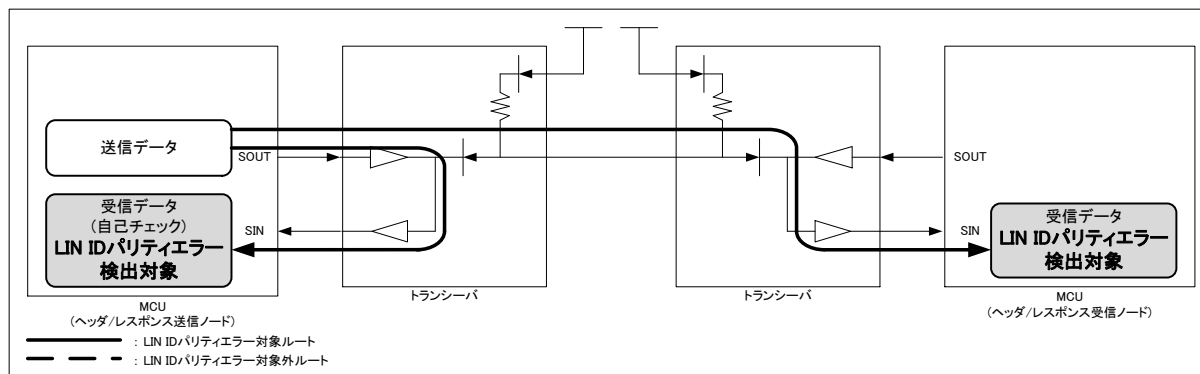
(2)エラー発生時



(6) LIN ID パリティエラー検出フラグ割込み発生とフラグセットのタイミング

LIN ID パリティエラー検出は、アシストモード(LAMCR:LAMEN=1)時、ID Field を送信するマスタの自己チェック、および ID Field を受信するスレーブで行います。

LIN ID パリティエラー検出対象を図 2-16 に示します。

図 2-16 LIN ID パリティエラー検出対象

LIN ID パリティエラーの検出範囲は、ID データとパリティのバイトデータです。スタートビットとストップビットは LIN ID パリティエラー検出範囲外です。ストップビットで"L"レベルが検出された場合、フレーミングエラー(SSR:FRE=1)になります。

LIN アシストモード(LAMCR:LAMEN=1)は、自動ヘッダ送受信中に LIN ID パリティエラーが発生した場合、自動ヘッダ完了フラグはセット(LAMSR:LAHC=1)されます。

LIN ID パリティエラーを検出した場合、アシストモードによるレスポンスの送受信処理は停止します。

a) マスタにおける、LIN ID パリティエラー検出割込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)に設定したマスタ(SCR:MS=0)は、ID Field 送信時に LIN ID パリティエラー検出を行います。マスタは、送信データレジスタ(TDR)またはLIN アシストモード送信 ID レジスタ(LAMTID)で設定した 6 ビットの Frame ID に対してパリティ演算を行い、ID Field を自動生成して送信します。

自己チェックによって ID Field を受信し、Frame ID 値に対するパリティ演算結果と受信したパリティ値が異なる場合、LIN ID パリティエラーを検出しフラグがセット(LAMESR:LPTER=1)されます。

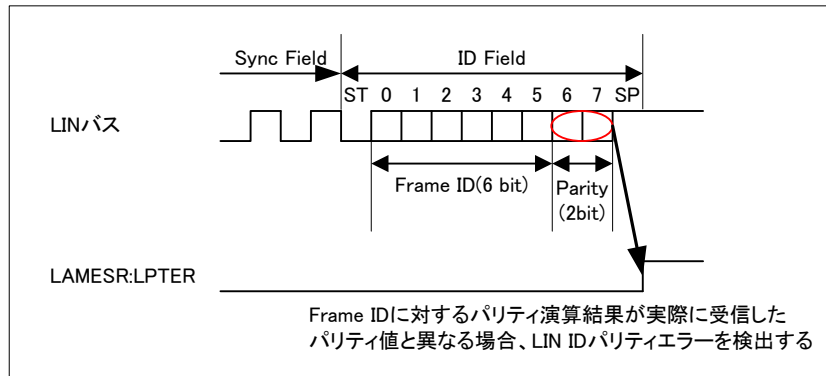
そのとき、割込みを許可(LAMIER:LPTERIE=1)に設定している場合、受信割込みが発生します。

b) スレーブにおける、LIN ID パリティエラー検出割込み発生とフラグセットのタイミング

アシストモード(LAMCR:LAMEN=1)に設定したスレーブ(SCR:MS=1)は、ID Field 受信時に LIN ID パリティエラー検出を行います。ID Field を受信し、Frame ID 値に対するパリティ演算結果と受信したパリティ値が異なる場合、LIN ID パリティエラーを検出しフラグがセット(LAMESR:LPTER=1)されます。

そのとき、割込みを許可(LAMIER:LPTERIE=1)に設定している場合、受信割込みが発生します。

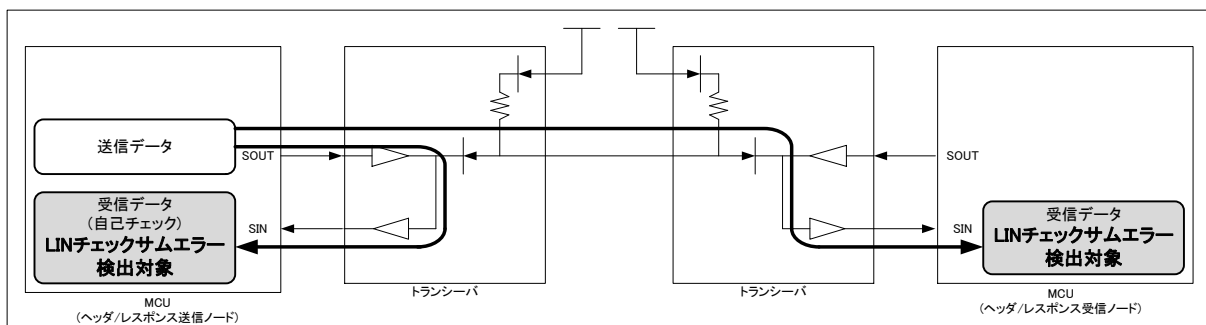
図 2-17 LIN ID パリティエラー検出フラグ(LAMESR:LPTER)のセットタイミング

**(7) LIN チェックサムエラー検出フラグ割り込み発生とフラグセットのタイミング**

LIN チェックサムエラー検出は、アシストモード(LAMCR:LAMEN=1)時、チェックサムを送信する側の自己チェックおよびチェックサムを受信する側で行います。

LIN チェックサムエラー検出対象を図 2-18 に示します。

図 2-18 LIN チェックサムエラー検出対象



自動送信するチェックサムの演算方法は、LAMCR:LCSTYP ビットにより標準(対象：データ)/拡張(対象：ID Field+データ)を選択します。

a) 標準チェックサム演算設定における、LIN チェックサムエラー検出割り込み発生とフラグセットのタイミング

標準チェックサム演算設定時(LAMCR:LCSTYP=0)、レスポンス(データ、チェックサム)を送信する側は設定した LIN データ長 (LAMCR:LDL3~0) 分の送信データでチェックサム演算を行い、最終データの送信後にチェックサムを自動的に送信します。

レスポンス(データ、チェックサム)受信する側は、設定した LIN データ長 (LAMCR:LDL3~0) 分の受信データでチェックサム演算を行い、受信したチェックサムと演算結果の値が異なる場合、LIN チェックサムエラーを検出しフラグがセット(LAMESR:LCSER=1)されます。

そのとき、割り込みを許可(LAMIER:LCSERIE=1)に設定している場合、受信割り込みが発生します。

b) 拡張チェックサム演算設定における、LIN チェックサムエラー検出割り込み発生とフラグセットのタイミング

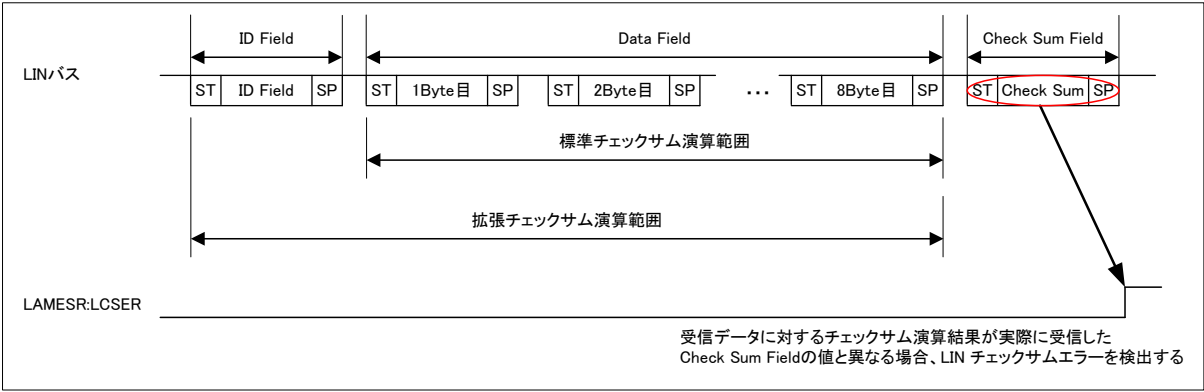
拡張チェックサム演算設定時(LAMCR:LCSTYP=1)、レスポンス(データ、チェックサム)を送信する側は ID Field の値と設定した LIN データ長 (LAMCR:LDL3~0) 分の送信データでチェックサム演算を行い、最終データの送信後にチェックサムを自動的に送信します。



レスポンス(データ, チェックサム)受信する側は, ID Field の値と設定した LIN データ長(LAMCR:LDL3~0) 分の受信データでチェックサム演算を行い, 受信したチェックサムと演算結果の値が異なる場合, LIN チェックサムエラーを検出しフラグがセット(LAMESR;LCSER=1)されます。

そのとき, 割り込みを許可(LAMIER: LCSERIE =1)に設定している場合, 受信割り込みが発生します。

図 2-19 LIN チェックサムエラー検出フラグ(LAMESR:LCSER)のセットタイミング



- <注意事項>
- 標準/拡張チェックサム演算設定に関係なく、ヘッダ部およびレスポンス部のデータでエラー(LIN バスエラー, LIN ID パリティエラー, LIN Sync Data エラー, フレーミングエラー)を検出した場合、アシストモードによる処理が停止しチェックサム演算は実行しません。



2.2.2. 受信 FIFO 使用時の割り込み発生とフラグセットのタイミング

マニュアルモードにおける「2.1.2 受信 FIFO 使用時の割り込み発生とフラグセットのタイミング」と同様です。

2.2.3. 送信割り込み発生とフラグセットのタイミング

送信時の割り込みとしては、SSR:TDRE フラグと SSR:TBI フラグにより発生します。

送信割り込み発生とフラグセットのタイミング

a) 送信データエンプティフラグ(TDRE)のセットタイミング

マニュアルモードにおける、「2.1.3 送信割り込み発生とフラグセットのタイミング」と同様です。

b) 送信バスアイドルフラグ(TBI)のセットタイミング

以下のすべての条件が成り立つ場合に送信バスアイドルフラグビット(SSR:TBI)は"1"に設定されます。このとき、送信バスアイドル割り込み許可(SCR:TBIE=1)されていると、送信割り込みが発生します。

- 送信データレジスタがエンプティ(SSR:TDRE=1)で送信動作をしていない
- アシストモード(LAMCR:LAMEN=1)のマスタ動作(SCR:MS=0)において、ヘッダ送信動作(LIN Break Field, Sync Field, ID Field)を行っていない
- アシストモード(LAMCR:LAMEN=1)において、レスポンス送信動作(データ, チェックサム)を行っていない

また、以下の何れかの場合、送信バスアイドルフラグビット(SSR:TBI)および送信割り込み要求はクリアされます。

- 送信データレジスタ(TDR)に送信データを書込み
(送信データレジスタがエンプティでない(SSR:TDRE=0))
- アシストモード(LAMCR:LAMEN=1)のマスタ動作(SCR:MS=0)において、ヘッダ送信動作(LIN Break Field, Sync Field, ID Field) 中
- アシストモード(LAMCR:LAMEN=1)において、レスポンス送信動作(データ, チェックサム)中

図 2-20 送信バスアイドルフラグ(TBI)のセットタイミング(マスタレスポンス送信, ID レジスタ使用時)

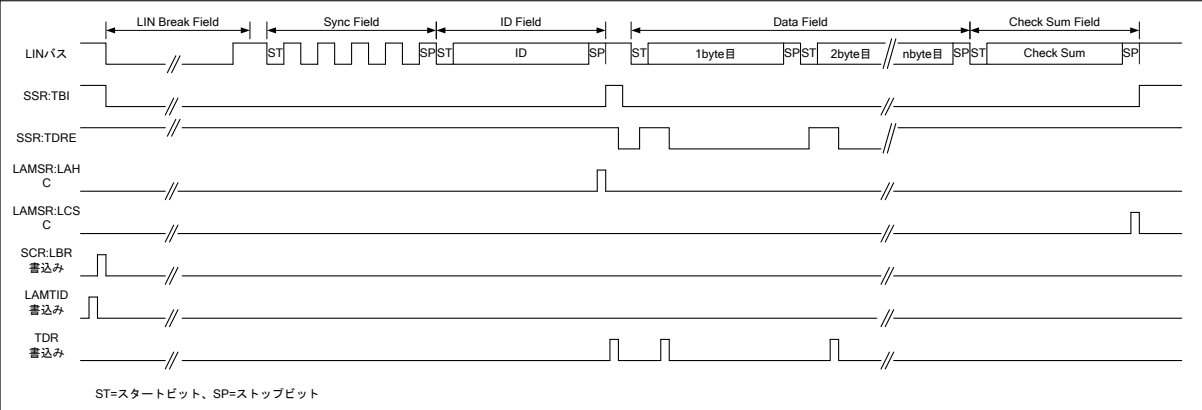


図 2-21 送信バスアイドルフラグ(TBI)のセットタイミング(マスタレスポンス送信, ID レジスタ未使用時)

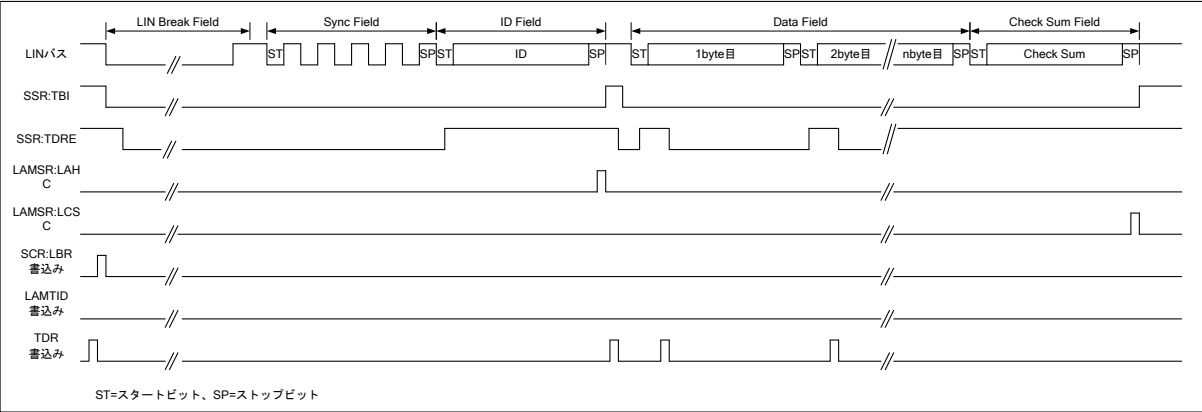
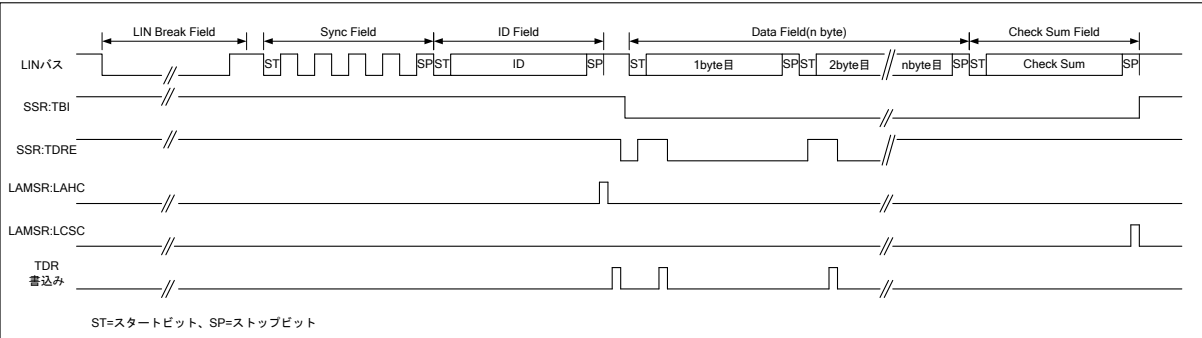


図 2-22 送信バスアイドルフラグ(TBI)のセットタイミング(スレーブレスポンス送信時)





2.2.4. 送信 FIFO 使用時の割り込み発生とフラグセットのタイミング

マニュアルモードにおける、「2.1.4 送信 FIFO 使用時の割り込み発生とフラグセットのタイミング」と同様です。

2.2.5. タイマ割り込み発生とフラグセットのタイミング

マニュアルモードにおける「2.1.5 タイマ割り込み発生とフラグセットのタイミング」と同様です。

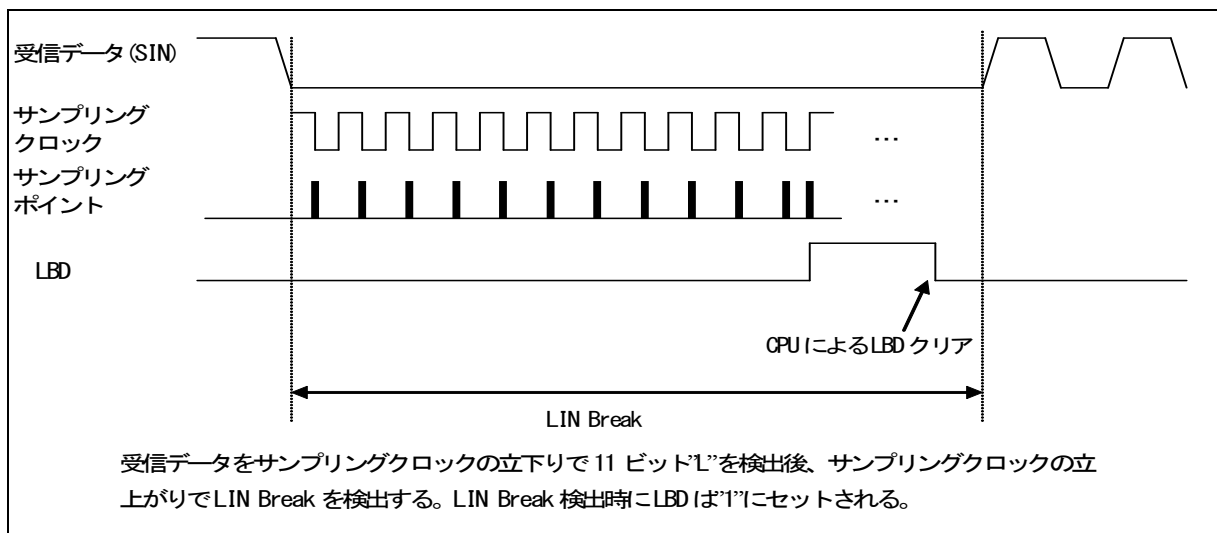
2.2.6. アシストモードにおけるステータス割り込み発生とフラグセットのタイミング

アシストモードにおけるステータス割り込みは、LIN Break Field 検出時(SSR:LBD)、シンクフィールド検出時(SACSR:SFD)、自動ヘッダ完了時(LAMSR:LAHC)、チェックサム演算完了時(LAMSR:LCSC)に発生します。

(1) LIN Break Field 検出フラグ(LBD)のセットタイミング

シリアル入力(SIN)が 11 ビット幅以上"0"入力されると、LBD ビットは"1"に設定されます。このとき、LIN Break Field 割り込みが許可(ESCR:LBIE=1)されているとステータス割り込みが発生します。

図 2-23 LBD(LIN Break Field 検出)フラグセットタイミング



<注意事項>

- LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。

(2) シンクフィールド検出割込みとフラグセットのタイミング

シンクフィールド検出割込みとフラグセットのタイミングは、自動ボーレート調整ビット(SACSR:AUTE)の設定値によって以下のように変わります。

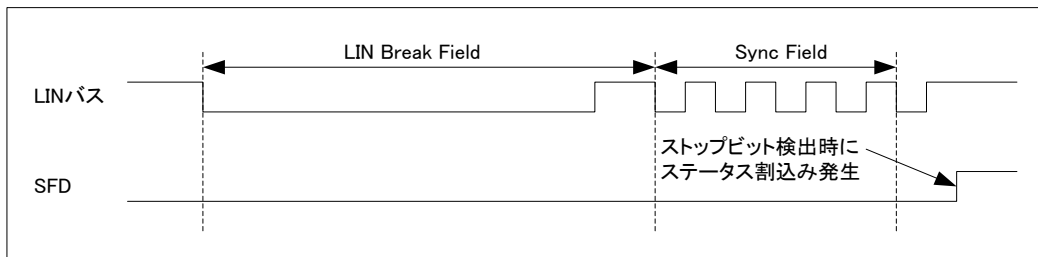
- － 自動ボーレート調整 ON(SACSR:AUTE=1)の場合

マニュアルモードにおける「2.1.7 シンクフィールド検出割込み発生とフラグセットのタイミング」と同様です。

- － 自動ボーレート調整 OFF(SACSR:AUTE=0)の場合

Sync Field のストップビット検出時、シンクフィールド検出フラグがセット(SACSR:SFD=1)されます。割込みが許可(SACSR:SFDE=1)されている場合、ステータス割込みが発生します

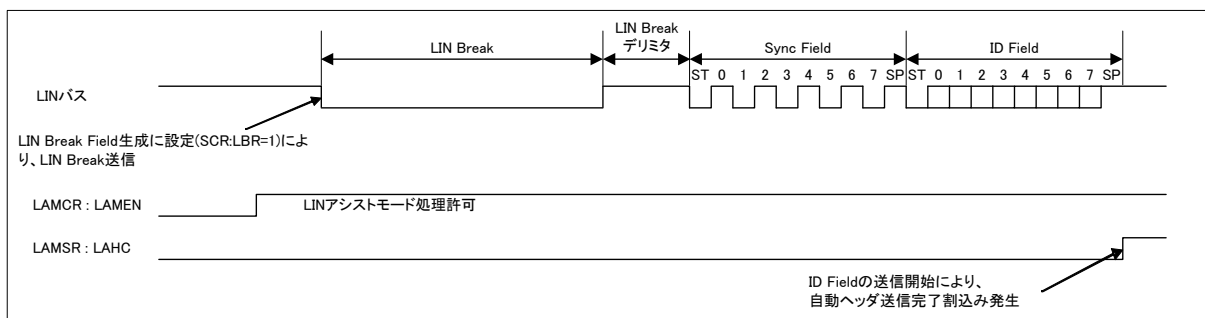
図 2-24 自動ボーレート調整 OFF 時(SACSR:AUTE=0)の、シンクフィールド検出フラグ(SACSR:SFD)のセットタイミング

**(3) 送信時の自動ヘッダ完了割込みとフラグセットのタイミング**

LIN アシストモード(LAMCR:LAMEN=1)に設定したマスタは、LIN Break～ID Field までのヘッダ送信が完了したとき、フラグがセット(LAMSR:LAHC=1)されます。割込みが許可(LAMIER:LAHCIE=1)されている場合、ステータス割込みが発生します。

LIN アシストモードは、ID Field 期間において LIN バスエラー/LIN ID パリティエラー/フレーミングエラーが発生した場合でも、自動ヘッダ完了フラグはセット(LAMSR:LAHC=1)されます。ただし、LIN アシストモードによるレスポンス部の送受信処理は停止します。

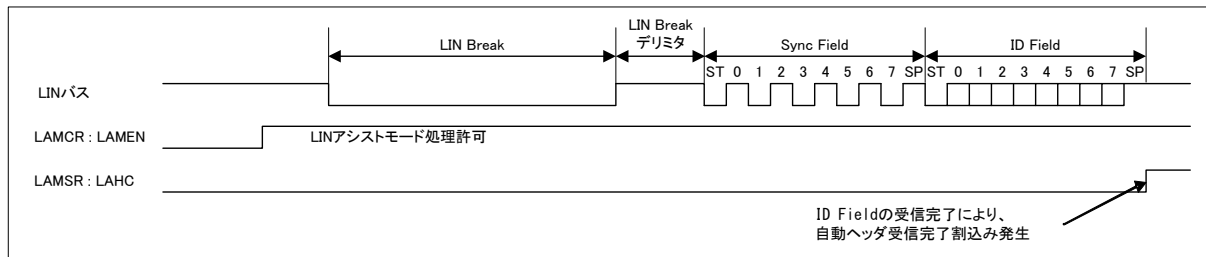
図 2-25 自動ヘッダ完了フラグ(LAMSR:LAHC)のセットタイミング

**(4) 受信時の自動ヘッダ受信完了割込みとフラグセットのタイミング**

LIN アシストモード(LAMCR:LAMEN=1)に設定したスレーブは、LIN Break～ID Field までのヘッダ受信が完了したとき、フラグがセット(LAMSR:LAHC=1)されます。割込みが許可(LAMIER:LAHCIE=1)されている場合、ステータス割込みが発生します。

LIN アシストモードは、ID Field 期間において LIN バスエラー/LIN ID パリティエラー/フレーミングエラーが発生した場合でも、自動ヘッダ完了フラグはセット(LAMSR:LAHC=1)されます。ただし、LIN アシストモードによるレスポンス部の送受信処理は停止します。

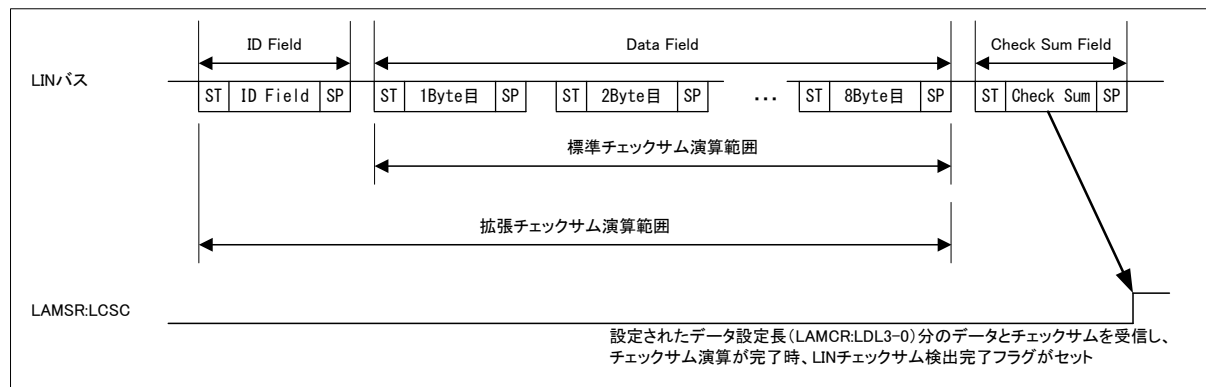
図 2-26 自動ヘッダ完了フラグ(LAMSR:LAHC)のセットタイミング

**(5) LIN チェックサム検出完了フラグ割込み発生とフラグセットのタイミング**

チェックサム検出は、アシストモード(LAMCR:LAMEN=1)に設定した場合、チェックサムを送信する側の自己チェックおよびチェックサムを受信する側で行います。設定されたデータ設定長(LAMCR:LDL3~0)分のデータとチェックサムを受信した場合、チェックサム演算が完了し、フラグがセット(LAMSR:LCSC=1)されます。割込みが許可(LAMIER:LCSCIE=1)されている場合、ステータス割込みが発生します。

チェックサムの受信が完了した場合、受信チェックサム値は RDR レジスタに格納されず SSR:RDRF は"1"にセットされません。FIFO 使用時は受信 FIFO へは格納されません。

図 2-27 LIN チェックサム検出完了フラグ(LAMSR:LCSC)のセットタイミング

**<注意事項>**

- データ設定長(LAMCR:LDL3~0)分の最終データでフレーミングエラーを検出した場合、チェックサム演算は停止します。
- チェックサムでフレーミングエラーを検出した場合、チェックサム演算結果は表示されますが、このときの演算結果は保証されません。

3. シリアルタイマの動作

シリアルタイマは、タイマ機能が利用できます。

(1) シリアルタイマの動作

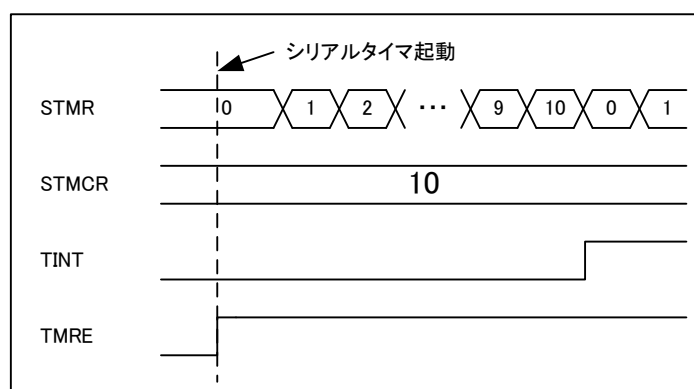
a) シリアルタイマの起動方法

シリアルタイマの起動方法はシリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットする方法、Sync Field により起動させる方法の2種類あります。

- シリアルタイマ許可ビット(SACSR:TMRE)による起動

シリアルタイマ許可ビット(SACSR:TMRE)を"1"にセットした後、シリアルタイマは起動し、シリアルタイマレジスタ(STMR)が0からカウントを開始します。

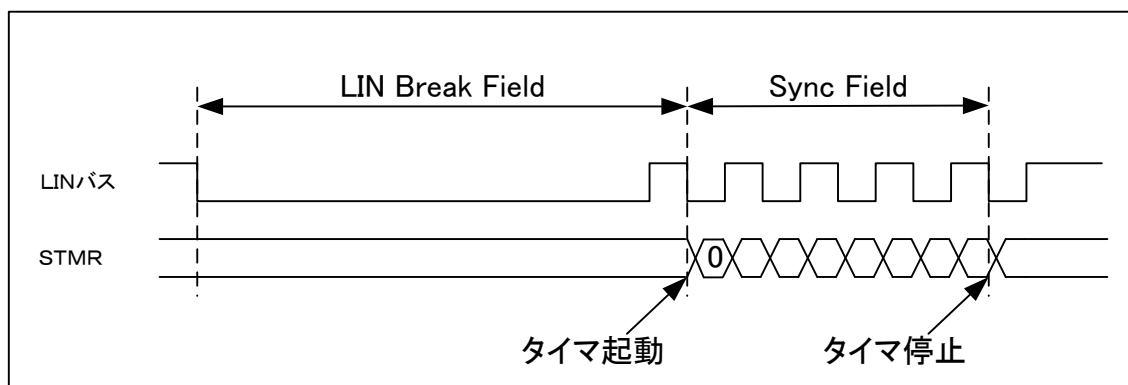
図 3-1 シリアルタイマ許可ビットによる起動(STMCR=10)



- Sync Field 受信による起動

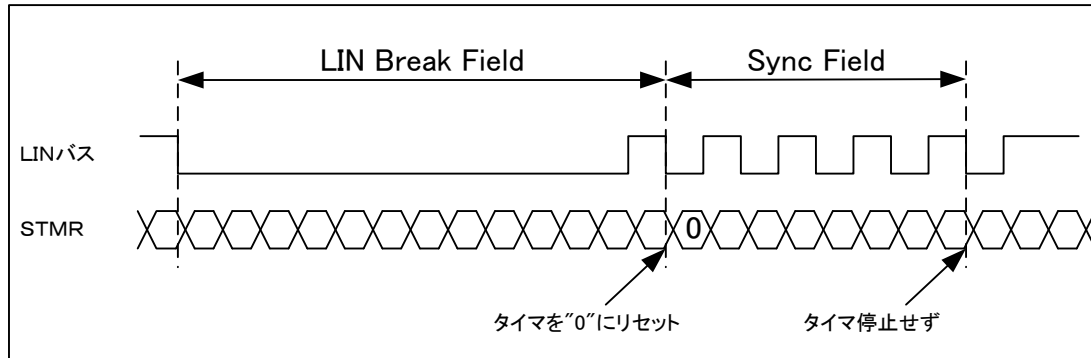
シリアルタイマ停止中で自動ボーレート調整ビット(SACSR:AUTE)が"1"のとき、Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した後、シリアルタイマは起動し、シリアルタイマレジスタ(STMR)が0からカウントします。

図 3-2 シリアルタイマ停止中に Sync Field 受信(SACSR:AUTE=1, TMRE=0)



シリアルタイマ動作中で自動ボーレート調整ビット(SACSR:AUTE)が"1"のとき、Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した後、シリアルタイマレジスタ(STMR)が0からカウントします。

図 3-3 シリアルタイム動作中に Sync Field 受信(SACSR:AUTE=1, TMRE=1)



b) シリアルタイムの停止方法

以下の条件のときに停止します。

- 自動ボーレート調整ビット(AUTE)が"0"のとき、シリアルタイム許可ビット(SACSR:TMRE)を"0"にリセットした場合、シリアルタイムは停止します。このときシリアルタイムレジスタ(STMR)の値は保持されます。
- 自動ボーレート調整ビット(AUTE)が"1"でシリアルタイム許可ビット(SACSR:TMRE)が"1"のとき、Sync Field 受信中外でシリアルタイム許可ビット(SACSR:TMRE)を"0"にリセットした場合にシリアルタイムは停止します。このときシリアルタイムレジスタ(STMR)の値は保持されます。
- 自動ボーレート調整ビット(AUTE)が"1"でシリアルタイム許可ビット(SACSR:TMRE)が"0"のとき、Sync Field の5回目の立下りエッジをLINインタフェース(v2.1)が検出した場合、シリアルタイムは停止し、シリアルタイムレジスタ(STMR)の値は保持されます。

<注意事項>

- 自動ボーレート調整ビット(AUTE)が"1"でシリアルタイム許可ビット(SACSR:TMRE)を"1"のとき、Sync Field の5回目の立下りエッジをLINインタフェース(v2.1)が検出してもシリアルタイムは停止せず、動作を継続します。

c) タイマ動作

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、タイマ割込みフラグ(SACSR:TINT)を"1"にセットし、シリアルタイマレジスタ(STMR)は0にリセットされます。

図 3-4 タイマ動作(STMCR=10)

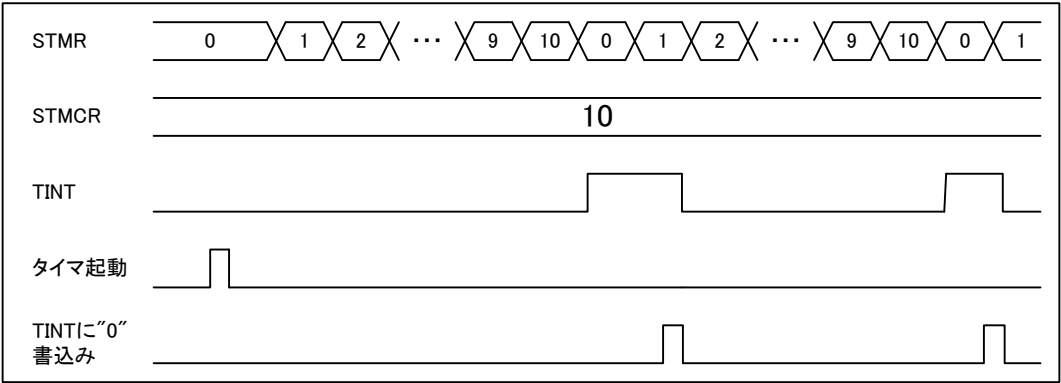


図 3-5 シリアルタイマの初期設定のフローチャート

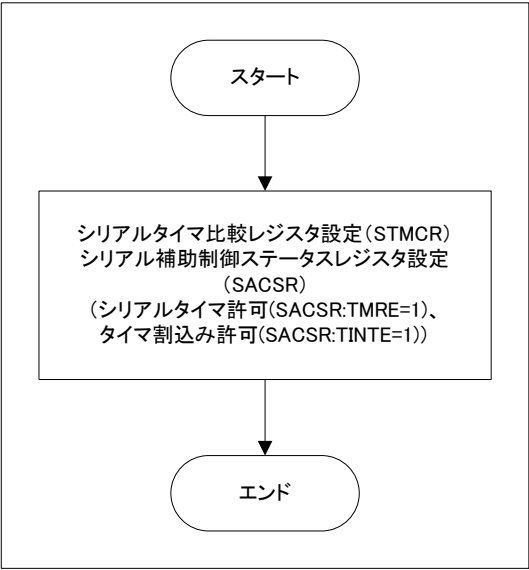
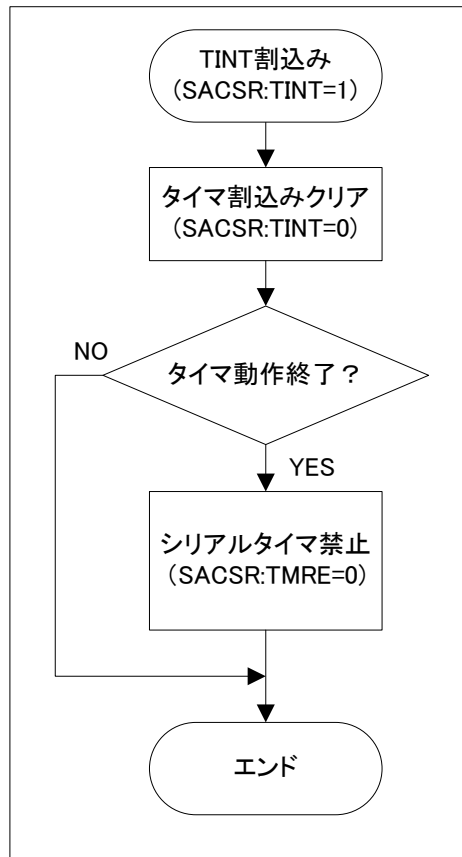


図 3-6 シリアルタイマの割込み処理のフローチャート

**<注意事項>**

- タイマ比較レジスタ(STMCR)に 0x0000 を設定された状態で、タイマ動作中でタイマ動作クロックの分周値(SACSR:TDIV3~0)が 0b0000 に設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
- 自動ボーレート調整ビット(SACSR:AUTE)を"1"にセットされている場合、Sync Field を受信後にシリアルタイマレジスタ(STMR)は"0"にリセットされます。

4. テストモード

テストモードの動作について説明します。

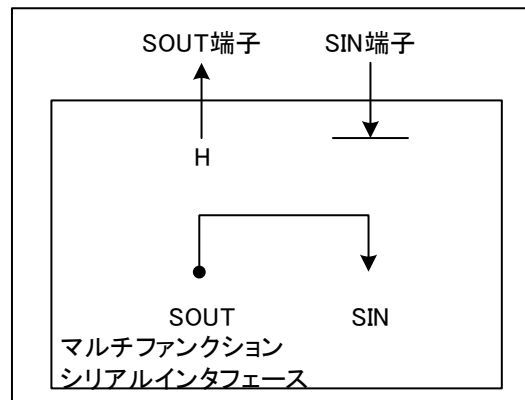
4.1. マニュアルモード

シリアルテストモード

シリアルテストモード許可時(SACSR:STST=1), マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され, SOUT から送信されるデータをそのまま SIN より受信できます。

シリアルテストモード許可時(SACSR:STST=1), 端子 SOUT は"H"固定となり, 端子 SIN に入力されたデータは無視されます。

図 4-1 シリアルテストモード



<注意事項>

- シリアルテストモード許可ビット(SACSR:STST)は送受信禁止(SCR:TXE=RXE=0)のときのみ変更可能です。
- マニュアルモード(LAMCR:LAMEN=0)の場合, 疑似エラーテストモードに設定してはいけません。



4.2. アシストモード

(1) シリアルテストモード

マニュアルモードにおける、「シリアルテストモード」と同様です。

ただし、LIN アシストモード(LAMCR:LAMEN=1)は、マスタノード(SCR:MS=0)のみシリアルテストを実行できます。シリアルテストの結果確認は、送受信フラグおよびステータスフラグにより行います。送受信フラグおよびステータスフラグに関しては、表 2-2 を参照してください。

<注意事項>

- LIN アシストモード(LAMCR:LAMEN=1)におけるスレーブノード(SCR:MS=1)のシリアルテストはできません。
- LIN アシストモード(LAMCR:LAMEN=1)におけるマスタノード(SCR:MS=0)のシリアルテストは、送信データ(Sync Field, ID Field, レスポンスのデータおよびチェックサム)の受信データレジスタ(RDR)による読出しはできません。

(2) 疑似エラーテストモード

アシストモード(LAMCR:LAMEN=1)は、LIN バスエラー、LIN Sync Data エラー、LIN ID パリティエラー、LIN チェックサムエラー、フレーミングエラーを疑似的に発生させることが可能です。これらのエラーは、複数同時に発生させることができます。

また、シリアルテストモードの併用により以下の自己診断が可能です。

- 疑似 LIN バスエラーテストモード
- 疑似 LIN ID パリティエラーテストモード
- 疑似 LIN チェックサムエラーテストモード
- 疑似フレーミングエラーテストモード

a) 疑似エラーテストモードの起動方法

疑似エラーテストモードを起動するためには、キーコード制御ビット(LAMERT:KEY1~0)に下記の手順で書き込みを行い、疑似障害設定を有効にしてください。

- (KEY1~0=0b00)+疑似障害設定値を書き込み
- (KEY1~0=0b01)+疑似障害設定値(前回と同じ値) を書き込み
- (KEY1~0=0b10)+疑似障害設定値(前回と同じ値) を書き込み
- (KEY1~0=0b11)+疑似障害設定値(前回と同じ値) を書き込み
- 4 回目の書き込み時、疑似障害設定値が有効になります。

本設定手順に従わない場合(書き込み手順の途中で、ほかのレジスタに書き込みや読出しを行う場合、書き込み値が正しくないときおよび書き込み手順の途中で本レジスタに読出しを行う場合)、書き込みは無効です。

疑似障害設定を解除する場合も、設定と同様の手順により行ってください。

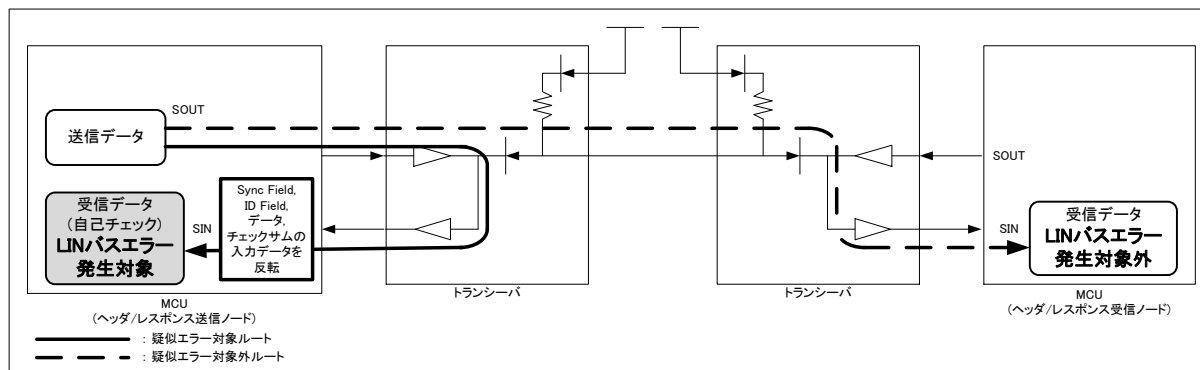
<注意事項>

- アシストモードで以下の疑似エラーを発生させた場合、LIN 通信動作が停止します。
 - LIN バスエラー
 - LIN ID パリティエラー
 - フレーミングエラー
- マニュアルモード(LAMCR:LAMEN=0)の場合、疑似エラーテストモードに設定してはいけません。

b) 疑似 LIN バスエラーテストモードの概要

疑似 LIN バスエラーテストは、データを送信したノードがそのデータ受信したときにデータを反転して受信します。

図 4-2 疑似 LIN バスエラーテストモードの概要



疑似 LIN バスエラーテストモードを起動するためには、疑似エラーテストモードの起動方法で、LIN バスエラー疑似障害設定ビットをセット(LAMERT:LBSERT=1)してください。

疑似 LIN バスエラーテストモードの起動は、以下の動作を行います。

－ マスタ

Sync Field, ID Field, データ, チェックサムを送信します。

LINバスエラー疑似障害設定(LAMERT:LBSERT=1)されたときより、受信データがストップビットのタイミングで反転され、自己チェック時にLINバスエラーが発生し、フラグビット(LAMESR: LBSER)に"1"が設定されます。

－ スレーブ

データ, チェックサムのを送信します。

LINバスエラー疑似障害設定(LAMERT:LBSERT=1)されたときより、受信データがストップビットのタイミングで反転され、自己チェック時にLINバスエラーが発生し、フラグビット(LAMESR: LBSER)に"1"が設定されます。

<注意事項>

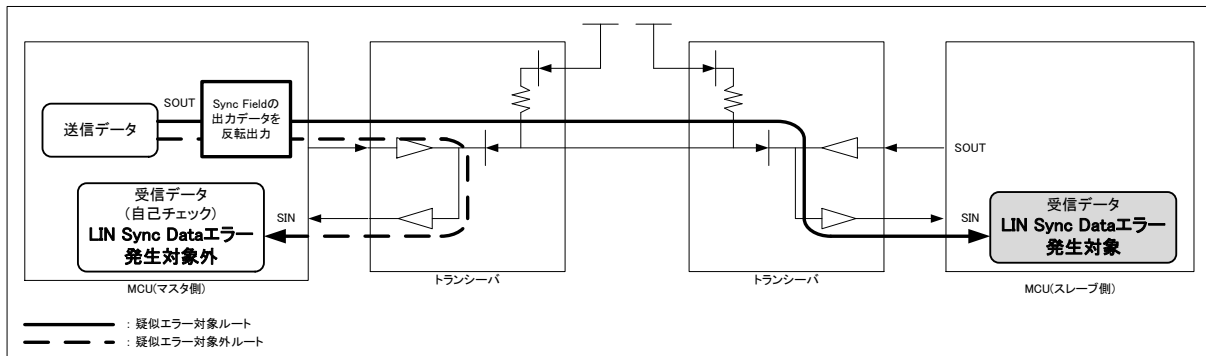
- － LINバスエラー検出(LAMESR: LBSER=1)により、アシストモードのヘッダ部およびレスポンス部の送受信処理は停止します。
- － ヘッダ送信時またはレスポンス送信時のみ、本テストモードを有効にしてください。

c) 疑似 LIN Sync Data エラーテストモードの概要

疑似 LIN Sync Data エラーテストは、Sync Field 値(0x55)を反転して送信します。

Sync Field を送信するマスタは、疑似 LIN Sync Data エラーを検出できません。

図 4-3 疑似 LIN Sync Data エラーテストモードの概要



疑似 LIN Sync Data エラーテストモードを起動するためには、疑似エラーテストモードの起動方法で、LIN Sync Data エラー疑似障害設定ビットを有効(LAMERT:LSFERT=1)に設定してください。

Sync Field のスタートビット前に疑似 LIN Sync Data エラー疑似障害設定(LAMERT:LSFERT=1)されたマスタが、Sync Field 送信時に値(0x55)をすべて反転出力します。

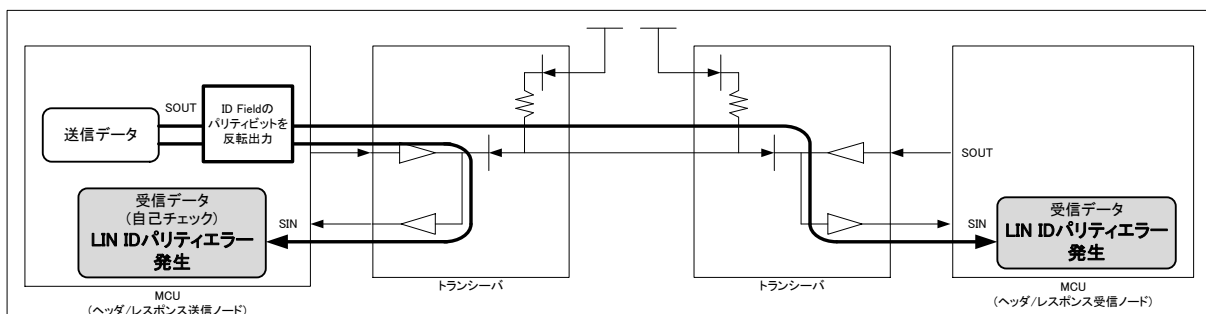
<注意事項>

- LIN Sync Data エラーの検出は、アシストモード(LAMCR:LAMEN=1)のスレーブ(SCR:MS=1)において検出します。
- LIN Sync Data エラー検出(LAMESR:LSFER=1)により、アシストモードのヘッダ受信およびレスポンスの送受信処理は停止します。
- マスタモード/スレーブモード共に設定可能ですが、マスタモードのみ疑似 LIN Sync Data エラーを発生させることができます。
- LIN 通信開始前(SCR:LBR=1)までに設定してください。
- 本ビットをセット(LAMERT:LSFERT=1)する場合は、LIN バスエラー疑似障害設定ビットも一緒にセット(LAMERT:LBSERT=1)してください。

d) 疑似 LIN ID パリティエラーテストモードの概要

疑似 LIN ID パリティエラーテストは、パリティビットを反転して送信します。

図 4-4 疑似 LIN ID パリティエラーテストモードの概要



疑似 LIN ID パリティエラーテストモードを起動するためには、疑似エラーテストモードの起動方法で、LIN ID パリティエラー疑似障害設定ビットを有効(LAMERT:LPTERT=1)に設定してください。

ID Field のスタートビット前に疑似 LIN ID パリティエラー疑似障害設定(LAMERT:LPTERT=1)されたマスタは、ID Field 送信時に ID Field 内のパリティ値(2 ビット)をすべて反転出力します。

ID Field の受信時に、LIN ID パリティエラーが発生し、フラグビット(LAMESR:LPTER)に"1"がセットされます。

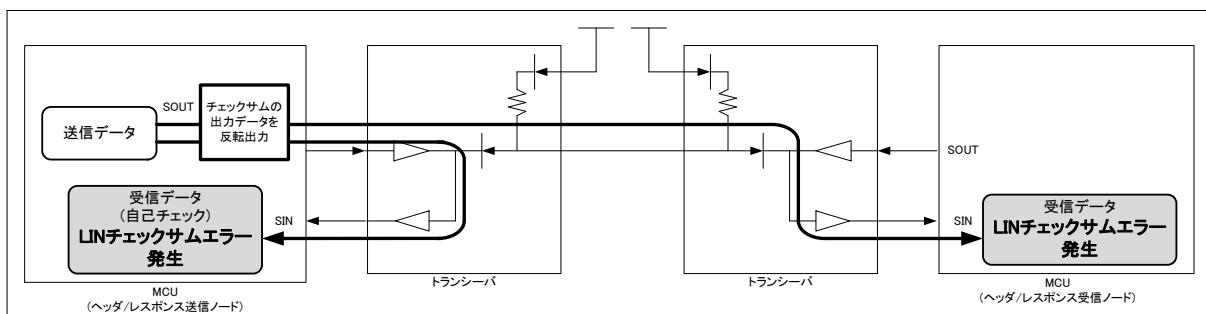
<注意事項>

- LIN ID パリティエラー検出(LAMESR: LPTER=1)により、アシストモードのレスポンスの送受信処理は停止します。
- マスタモード/スレーブモード共に設定可能ですが、マスタモードのみ疑似LINパリティエラーを発生させることができます。
- LIN 通信開始前まで(SCR:LBR=1)に設定してください。

e) 疑似 LIN チェックサムエラーテストモードの概要

疑似 LIN チェックサムエラーテストは、チェックサムデータを反転して送信します。

図 4-5 疑似 LIN チェックサムエラーテストモードの概要



疑似 LIN チェックサムエラーテストモードを起動するためには、疑似エラーテストモードの起動方法で、LIN チェックサムエラー疑似障害設定ビットを有効(LAMERT:LCSERT=1)に設定してください。

チェックサムの送信時に、チェックサムデータを反転して送信します。そのとき LIN バスを監視しているため、フラグビット(LAMESR:LCSER)に"1"がセットされます。

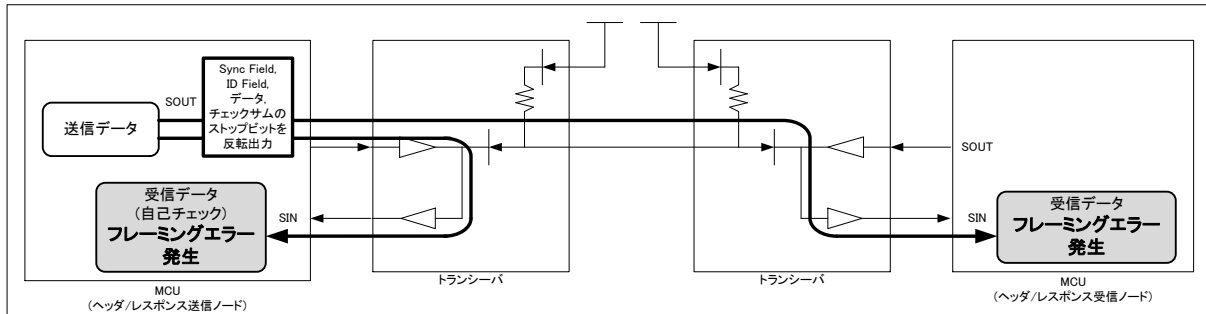
<注意事項>

- マスタモード時は、LIN 通信開始前までに(SCR:LBR=1)に設定してください。
- スレーブモード時は、レスポンス送信前までに設定してください。

f) 疑似フレーミングエラーテストモードの概要

疑似フレーミングエラーテストは、ストップビットを反転して送信します。

図 4-6 疑似フレーミングエラーテストモードの概要



疑似フレーミングエラーテストモードを起動するためには、疑似エラーテストモードの起動方法で、フレーミングエラー疑似障害設定ビットを有効(LAMERT:FRET=1)に設定してください。

疑似フレーミングエラーテストモードの起動は、以下の動作を行います。

- マスタ

各 Field のストップビット前にフレーミングエラー疑似障害設定(LAMERT:FRET=1)されると、Sync Field, ID Field, データ, チェックサムの送信時、ストップビットの値("H"レベル)を反転出力します。受信時に、フレーミングエラーが発生し、フラグビット(SSR: FRE)に"1"が設定されます。

- スレーブ

各 Field のストップビット前にフレーミングエラー疑似障害設定(LAMERT:FRET=1)されると、データ, チェックサムの送信時、ストップビットの値("H"レベル)を反転出力します。受信時に、フレーミングエラーが発生し、フラグビット(SSR: FRE)に"1"が設定されます。

<注意事項>

- フレーミングエラー検出(SSR: FRE=1)により、アシストモードのヘッダ部およびレスポンス部の送受信処理は停止します。

5. 専用ボーレートジェネレータ

LIN インタフェース(v2.1)送受信クロックソースは、次のいずれかを選択できます。

- 専用ボーレートジェネレータ(リロードカウンタ)
- 外部クロックをボーレートジェネレータに入力(リロードカウンタ)

(1) LIN インタフェース(v2.1)ボーレート

ボーレートは次の 2 種類の中から 1 種類を選択できます。

a) 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0(BGR1~0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択(BGR1:EXT=0)してください。

b) 専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0(BGR1~0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(BGR1:EXT=1)してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

<注意事項>

- 外部クロックの設定(BGR1:EXT=1)は、リロードカウンタが停止した状態(BGR1~0=0x0000)で行ってください。
- 外部クロックに設定(BGR1:EXT=1)した場合、外部クロックの"H"幅, "L"幅は2 バスクロック以上必要です。



5.1. ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

(1) ボーレートの計算

2つの15ビットリロードカウンタは、ボーレートジェネレータレジスタ1,0(BGR1~0)で設定します。

ボーレートの計算式を以下に示します。

(1)リロード値:

$$V = \Phi / b - 1$$

V : リロード値 b : ボーレート Φ : バスクロック周波数、外部クロック周波数

(2)計算例

バスクロック16MHz、内部クロック使用、ボーレート19200bpsに設定する場合のリロード値は次のようになります。

リロード値:

$$V = (16 \times 1000000) / 19200 - 1 = 832$$

よって、ボーレートは

$$b = (16 \times 1000000) / (832 + 1) = 19208\text{bps}$$

(3)ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差}(\%) = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) バスクロック20MHz、目標ボーレート153600bpsに設定する場合

$$\text{リロード値} = (20 \times 1000000) / 153600 - 1 = 129$$

$$\text{ボーレート(計算値)} = (20 \times 1000000) / (129 + 1) = 153846 \text{ (bps)}$$

$$\text{誤差}(\%) = (153846 - 153600) / 153600 \times 100 = 0.16 \text{ (\%)}$$

<注意事項>

- リロード値を"0"に設定した場合、リロードカウンタは停止します。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック1サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
- リロード値は3以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- 許容ボーレート範囲につきましてはマクロへ入力されるクロックのジッタによる影響も考慮してください。

(2) 各バスクロック周波数に対するリロード値とボーレート設定例

リロード値とボーレートの設定例を示します。

表 5-1 リロード値とボーレート設定例

ボー レート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	7	0	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500k	15	0	19	0	31	0	39	0	47	0	63	0
460.8k	-	-	-	-	-	-	-	-	51	0.16	-	-
250k	31	0	39	0	63	0	79	0	95	0	127	0
230.4k	-	-	-	-	-	-	86	-0.22	103	0.16	138	-0.08
153.6k	51	0.16	64	0.16	103	0.16	129	0.16	155	0.16	207	0.16
125k	63	0	79	0	127	0	159	0	191	0	255	0
115.2k	-	-	86	-0.22	138	-0.08	173	-0.22	207	0.16	277	-0.08
76.8k	103	0.16	129	0.16	207	0.16	259	0.16	312	-0.16	416	-0.08
57.6k	138	-0.08	173	-0.22	277	-0.08	346	0.06	416	-0.08	555	-0.08
38.4k	207	0.16	259	0.16	416	-0.08	520	-0.03	624	0	832	0.04
28.8k	277	-0.08	346	0.06	555	-0.08	693	0.06	832	0.04	1110	0.01
19.2k	416	-0.08	520	-0.03	832	0.04	1041	-0.03	1249	0	1666	-0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	-0.03	1666	-0.02	2082	0.02	2499	0	3332	0.01
7200	1110	0.01	1388	<0.01	2221	0.01	2777	<0.01	3332	0.01	4443	0.01
4800	1666	-0.02	2082	0.02	3332	0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<0.01
1200	6666	<0.01	8332	<0.01	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1~0 レジスタの設定値
- ERR : ボーレート誤差(%)



表 5-2 リロード値とボーレート設定例(続き)

ボーレート (bps)	40 MHz		48 MHz		72 MHz		80MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	4	0	5	0	8	0	9	0
6M	-	-	7	0	11	0	-	-
5M	7	0	-	-	-	-	15	0
4M	9	0	11	0	17	0	19	0
2.5M	15	0	-	-	-	-	31	0
2M	19	0	23	0	35	0	39	0
1M	39	0	47	0	71	0	79	0
500000	79	0	95	0	143	0	159	0
460800	86	-0.22	103	0.16	155	0.16	173	-0.22
250000	159	0	191	0	287	0	319	0
230400	173	-0.22	207	0.16	312	-0.16	346	0.06
153600	259	0.16	312	-0.16	468	-0.05	520	-0.03
125000	319	0	383	0	575	0	639	0
115200	346	0.06	416	-0.08	624	0	693	0.06
76800	520	-0.03	624	0	937	-0.05	1041	-0.03
57600	693	0.06	832	0.04	1249	0	1388	<0.01
38400	1041	-0.03	1249	0	1874	0	2082	0.01
28800	1388	<0.01	1666	-0.02	2499	0	2777	<0.01
19200	2082	0.02	2499	0	3749	0	4166	-0.01
10417	3839	<0.01	4607	<0.01	6911	<0.01	7679	0
9600	4166	<0.01	4999	0	7499	0	8332	0
7200	5555	<0.01	6666	<0.01	9999	0	11110	0
4800	8332	<0.01	9999	0	14999	0	16666	0
2400	16666	<0.01	19999	0	29999	0	-	-
1200	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	-	-
300	-	-	-	-	-	-	-	-

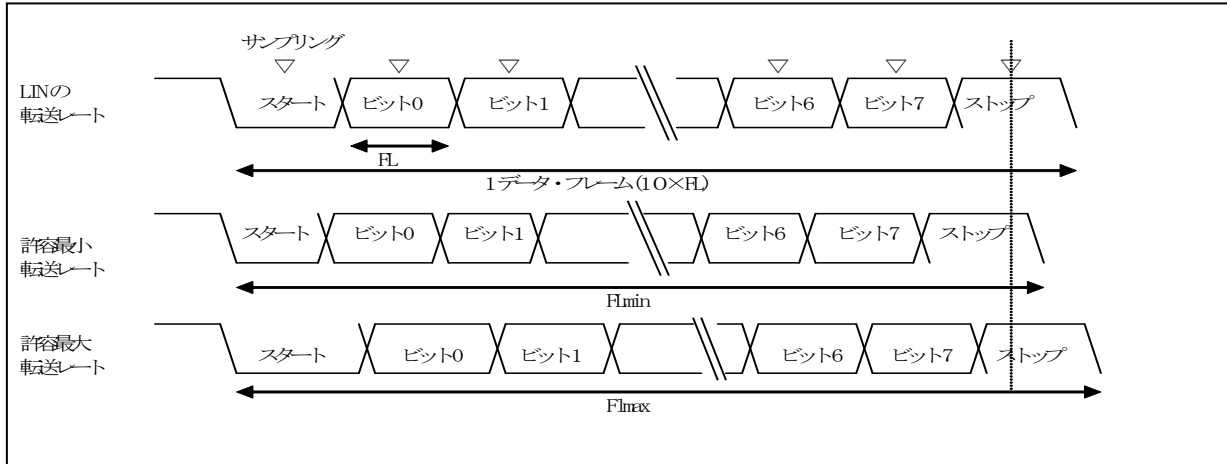
- Value : BGR1~0 レジスタの設定値
- ERR : ボーレート誤差(%)

(3) 受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。

受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 5-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後はBGR1～0レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット)までが間に合えば正常に受信できます。

これを 10 ビット受信に当てはめると理論上、以下のとおりです。

サンプリング・タイミングのマージンをバスクロック(ϕ)の 1 クロック分とした場合、許容最小転送レート(FLmin)は以下のとおりです。

$$FL_{min} = (10\text{bit} \times (V+1) - (V+1)/2 + 2) / \phi = (19V+23)/2 \phi \text{ (s)} \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

したがって、受信可能な送信先の最大ボーレート(BGmax)は以下のとおりです。

$$BG_{max} = 10/FL_{min} = 20 \phi / (19V+23) \text{ (bps)} \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

許容最大転送レート(FLmax)データを受信する場合、10 ビット目の受信データの始点においてサンプリングが行われます。

よって、許容最大転送レート(FLmax)は以下のとおりです。

$$9/10 \times FL_{max} = (10\text{bit} \times (V+1) - (V+1)/2) / \phi \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

$$FL_{max} = (19/18 \times 10 \times (V+1)) / \phi$$

サンプリング・タイミングのマージン(ϕ)を 2 クロック分とした場合、許容最大転送レート(FLmax)は以下のとおりです。

$$9/10 \times FL_{max} = (10\text{bit} \times (V+1) - (V+1)/2 - 2) / \phi \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

$$FL_{max} = (19/18 \times 10 \times (V+1) - 40/18) / \phi = (190V+150)/20 \phi \text{ (s)} \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$

したがって、受信可能な送信先の最小ボーレート(BGmin)は以下のとおりです。

$$BG_{min} = 10/FL_{max} = 18 \phi / (19V+15) \text{ (bps)} \quad V: \text{リロード値} \quad \phi: \text{バスクロック}$$



前述の最小/最大ボーレート値の算出式から, LIN インタフェース(v2.1)と送信先とのボーレートの許容誤差を求めると以下のとおりです。

リロード値(V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+3.28%	-3.41%
50	+4.83%	-4.87%
100	+5.04%	-5.07%
200	+5.15%	-5.16%
32767	+5.26%	-5.26%

<注意事項>

- 受信の精度は, 1 フレームのビット数, バスクロック, リロード値に依存します。バスクロックが高く, 分周比が高くなるほど精度は高いです。

(4) 外部クロック

ボーレートジェネレータレジスタ(BGR1)の EXT ビットに"1"を書き込むと, ボーレートジェネレータで外部クロックを分周します。

<注意事項>

- 外部クロック信号は LIN インタフェース(v2.1)で内部クロックに同期します。したがって, 同期化不可能な外部クロックの場合, 動作が不安定です。

(5) リロードカウンタの機能

リロードカウンタには, 送信リロードカウンタと受信リロードカウンタがあり, 専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており, 外部クロックまたは内部クロックより送受信クロックを生成します。

(6) カウントの開始

ボーレートジェネレータレジスタ(BGR1~0)にリロード値を書き込むと, リロードカウンタはカウントを開始します。

(7) 再スタート

リロードカウンタは下記の条件で再スタートします。

a) 送信/受信リロードカウンタ共通

- プログラマブルリセット(SCR:UPCL ビット)

b) 受信リロードカウンタ

- 非同期モード時のスタートビット立下りエッジ検出

6. 動作

LIN インタフェース(v2.1)は、マスタ/スレーブ双方向 LIN 通信で動作します。

6.1. マニュアルモード

マニュアルモード時の動作を示します。

(1) マスタ動作

a) マスタ動作の選択

マスタとして動作させるためには、SCR:MS ビットを"0"に設定してください。

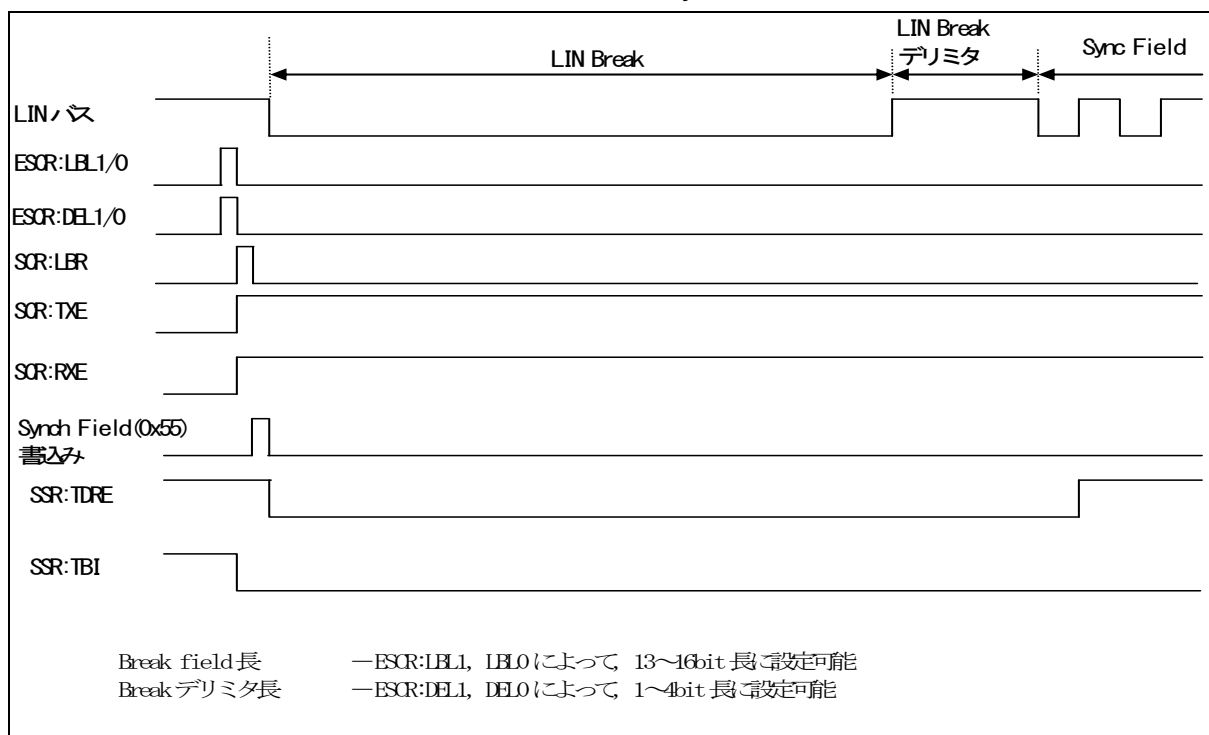
b) LIN Break Field 送信 ~ Sync Field 送信

- LIN Break Field 長の選択(ESCR:LBL1~0)および、LIN Break Field デリミタ長の選択(ESCR:DEL1~0)ができます。
- 送信動作許可(SCR:TXE=1)し、SCR:LBR ビット(LIN Break Field 設定ビット)に"1"を設定した場合、LIN Break Field が送信されます。
- Sync Field は、送信データレジスタ(TDR)に 0x55 を書き込むことで送信されます。

<注意事項>

- SCR:LBR ビット(LIN Break Field 設定ビット)に"1"を設定した後に、送信データレジスタ(TDR)に 0x55 を設定してください。
- SCR:RXE ビット(受信動作許可ビット)に"1"を設定していても LIN Break Field 部分は受信動作を行いません。

図 6-1 LIN Break Field ~ Sync Field の送信

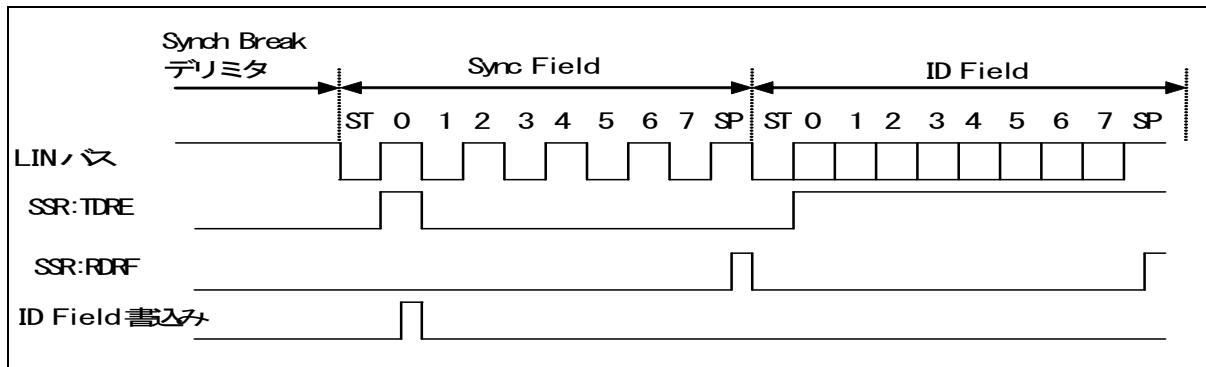




c) Sync Field 送信 ~ ID Field 送信

- Sync Field(0x55)の最初の 1 ビット目が送信されると, SSR:TDRE(送信データエンプティ)ビットが"1"に設定されます。
このとき, 送信割込み許可(SCR:TIE=1)されていると, 送信割込みが発生します。
- 送信割込みが発生したら, ID Field を送信データレジスタ(TDR)に書き込むことができます。
- 受信割込みが発生したら, 送信データと受信したデータを比較し, エラーが発生していないことを確認します。
- ID Field は, データ長 8 ビットで, LSB ファーストで出力されます。

図 6-2 Sync Field ~ ID Field の送信



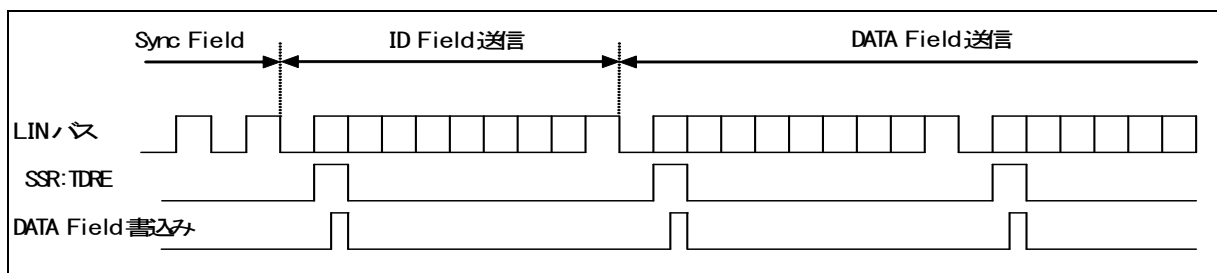
d) ID Field 送信 ~ DATA Field 送受信

DATA Field をスレーブデバイスに送信するか, 受信するかを選択します。

(DATA Field を送信する場合)

ID Field の 1 ビット目が送信されると, SSR:TDRE=1 に設定されます。このとき, DATA Field の書き込みが可能です。

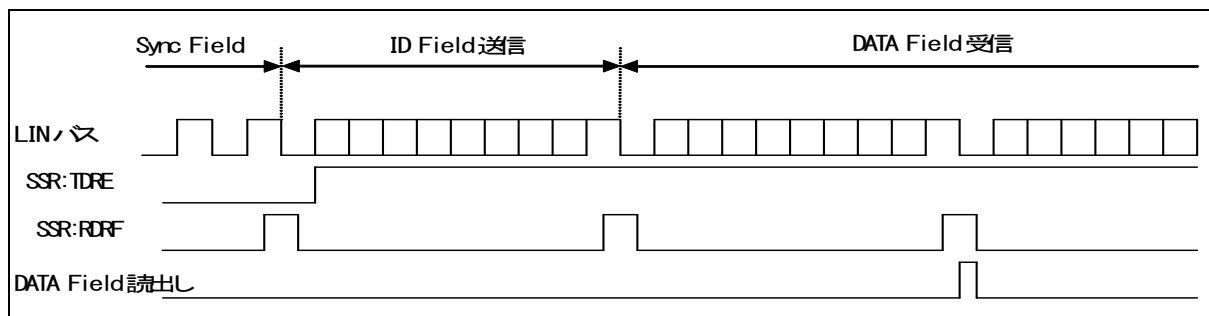
図 6-3 ID Field 送信~DATA Field 送信



(DATA Field を受信する場合)

- ID Field の 1 ビット目が送信されると, SSR:TDRE=1 に設定されますが, 送信データを書き込まないでください。
- また, 送信割込み禁止(SCR:TIE=0)にしてください。
- DATA Field を受信した場合, SSR:RDRF が 1 に設定されます。このとき, 受信割込み許可(SCR:RIE=1)されていると受信割込みが発生します。
- スタートビットの検出条件は, ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし, 多数決)通過後に立下りを検出し, サンプリングポイントでその通過後のデータが"L"を検出した場合です。

図 6-4 ID Field 送信～DATA Field 受信



<注意事項>

- ノイズフィルタ(シリアルデータ入力を3回バスクロックでサンプリングして多数決)は内蔵しています。しかしノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または1～2バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。

e) マスタ動作タイミングチャート(FIFO 未使用時)

図 6-5 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時)

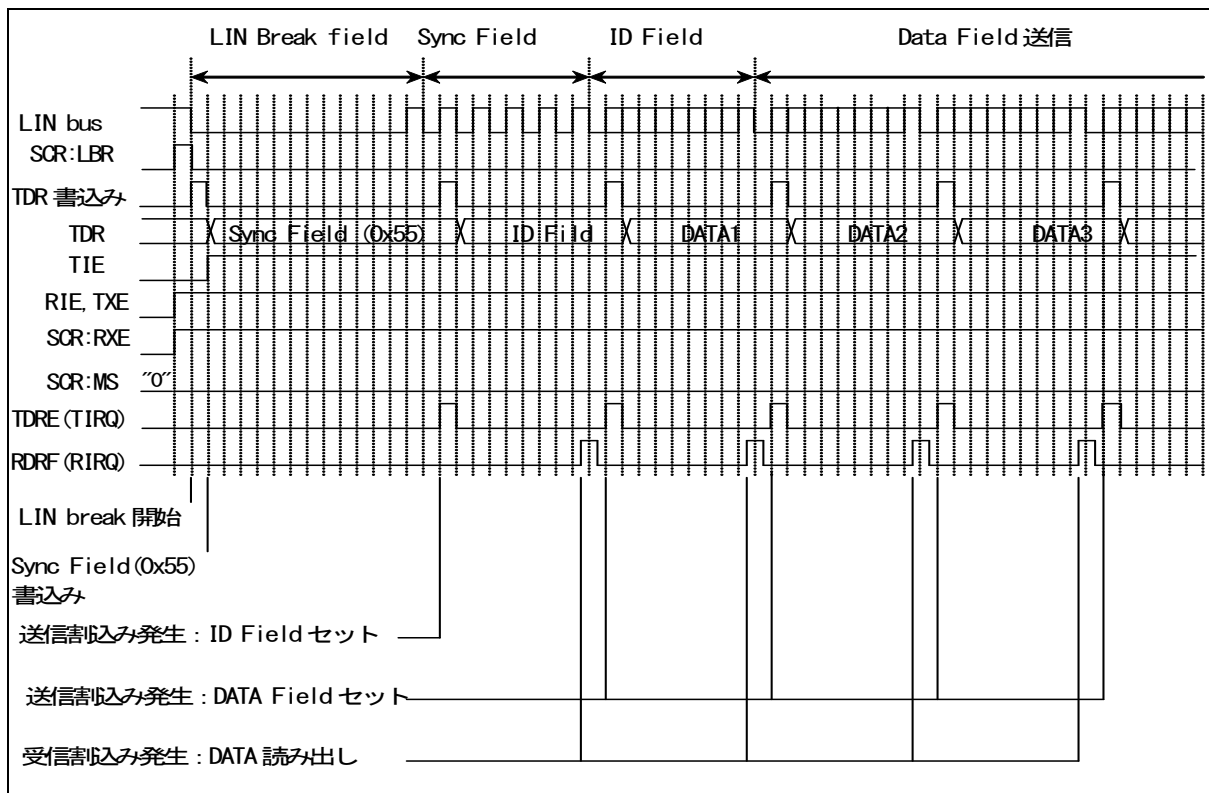
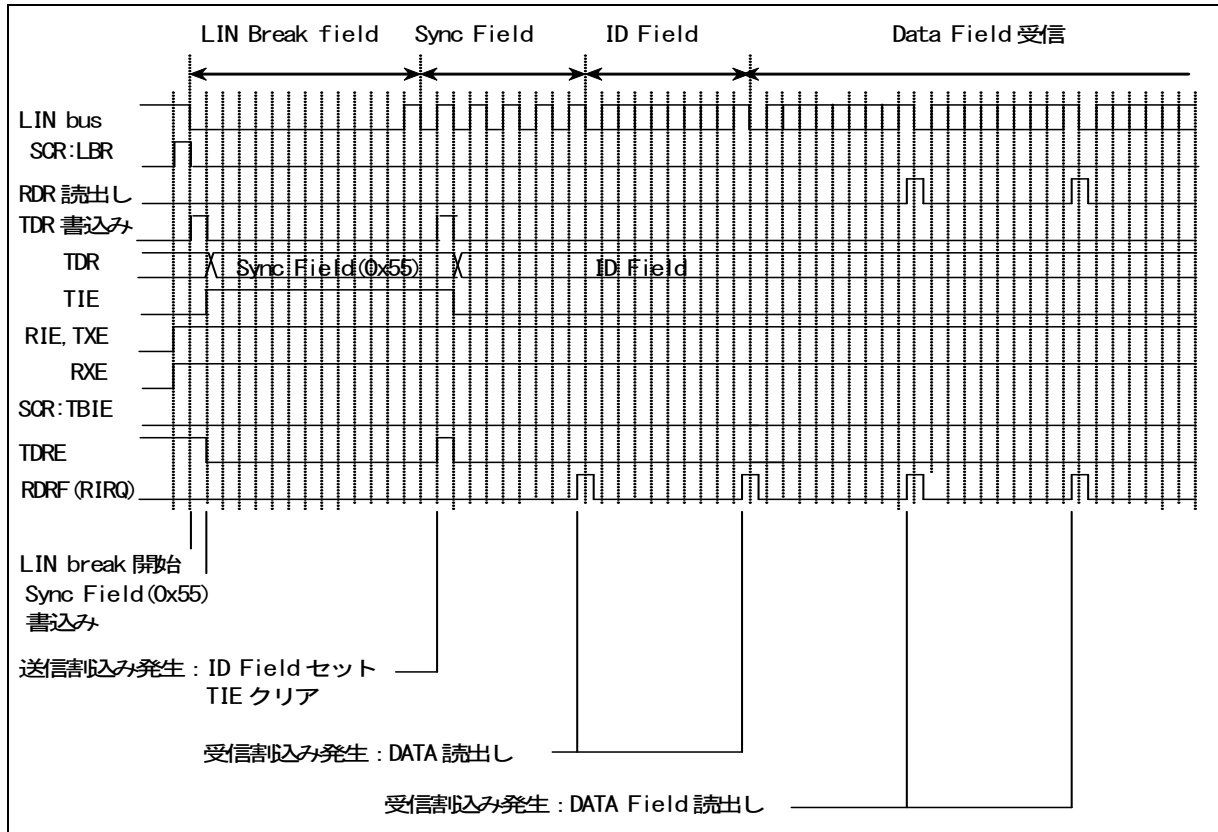




図 6-6 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時)



f) マスタ動作タイミングチャート(FIFO 使用時)

図 6-7 LIN バスタイミング (DATA Field 送信時:FIFO 使用時)

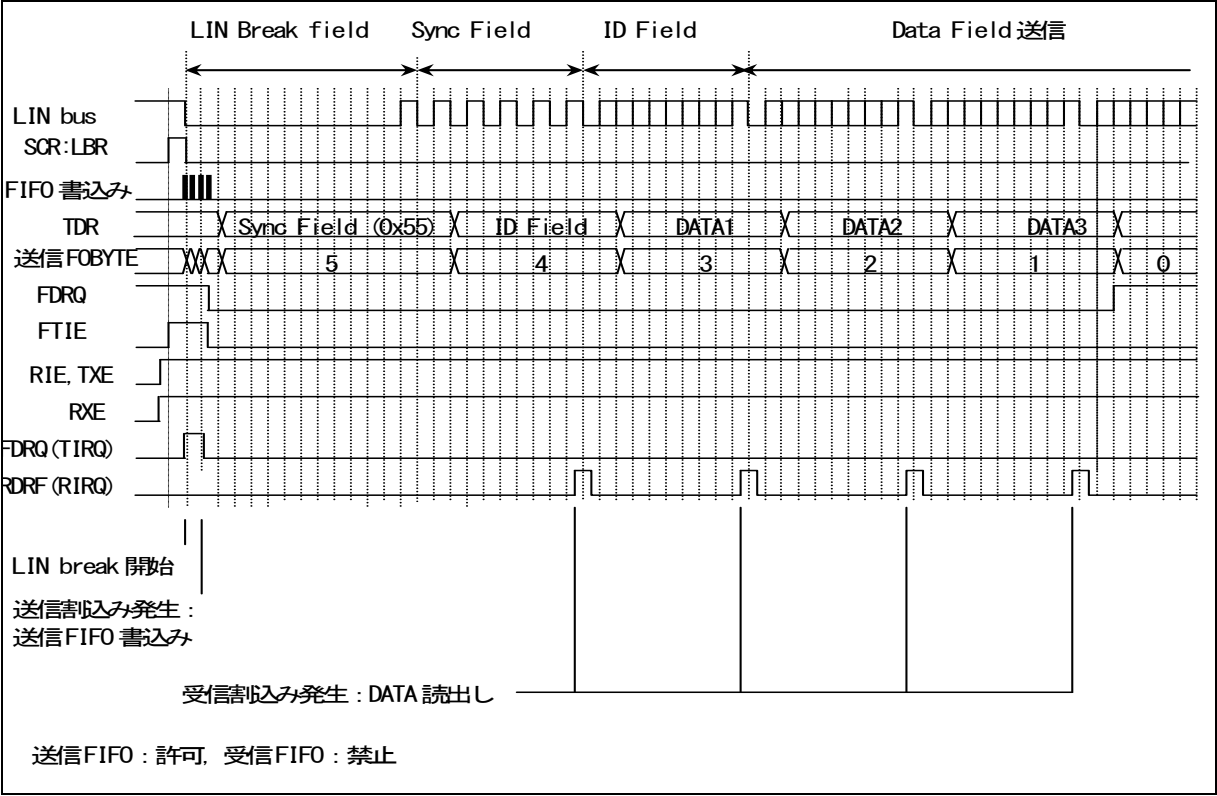
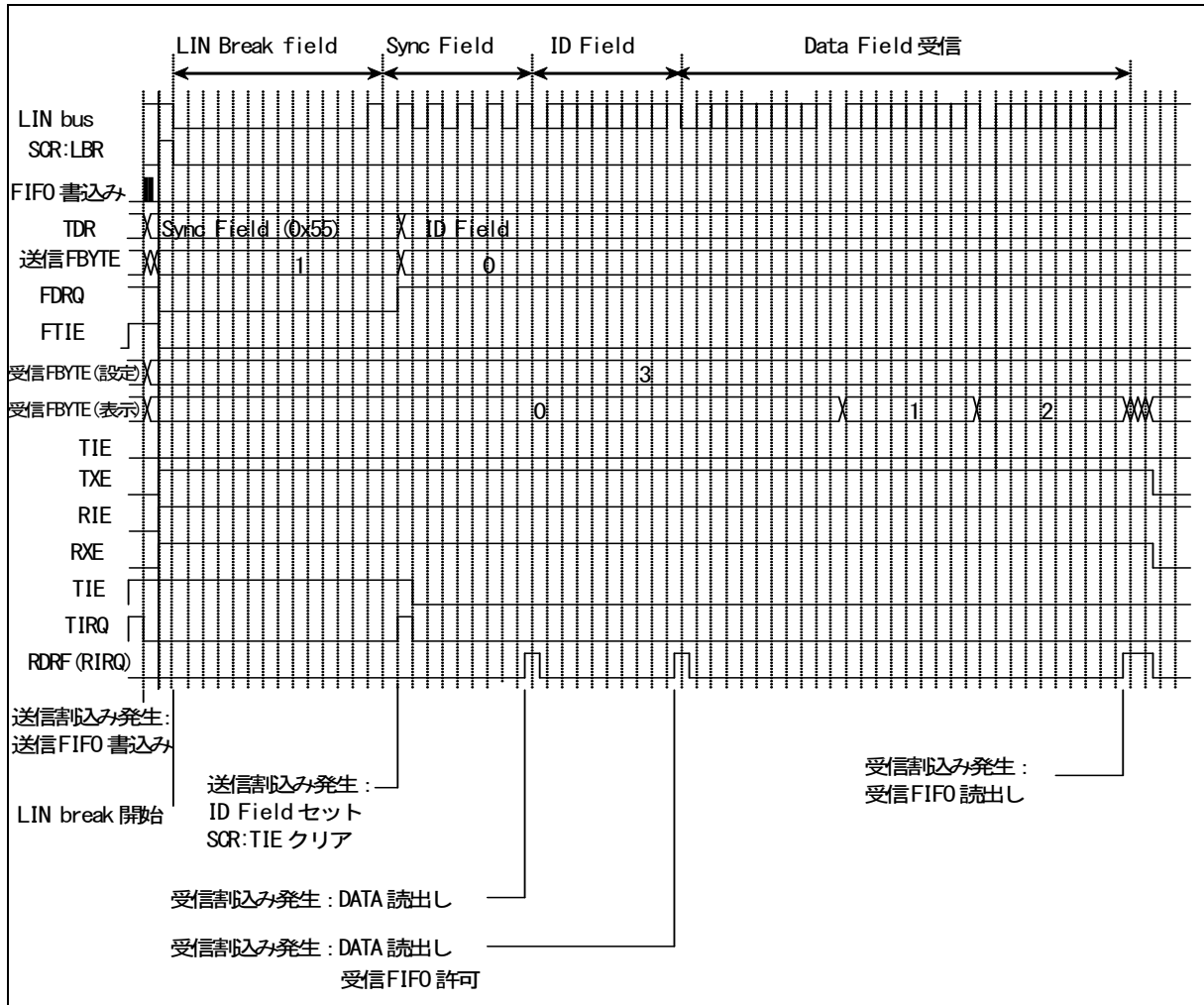




図 6-8 LIN バスタイミング (DATA Field 受信時:FIFO 使用時)



(2) スレーブ動作

a) スレーブ動作の選択

スレーブとして動作させるためには、SCR:MS ビットを"1"に設定してください。

b) LIN Break Field 受信 ~ Sync Field 受信

LIN Break Field 受信~Sync Field 受信で自動ボーレート調整の実施の有無の確認方法には下記の 2 つの方法があります。

- BGR と STMR を比較する方法
- SACS:BST ビットを確認する方法

それらの方法を使用した処理は以下のとおりです。

1. BGR と STMR を比較する方法

- (1) 自動ボーレート調整を有効(SACS:AUTE=1)に設定します。
- (2) LIN Break Field が入力されると 11 ビット目で LIN Break Field 検出(SSR:LBD=1)されます。
このとき、ESCR : LBIE ビットが"1"にセットされているとステータス割込みを発生します。LIN Break Field 検出(SSR:LBD=1)後、シリアルタイマを禁止(SACS:TMRE=0)に設定します。
- (3) Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、シリアルタイマレジスタ(STMR)を 0 に初期化します。
- (4) Sync Field の 5 番目の立下りエッジを検出した場合、シンクフィールド検出フラグ(SACS:SFD)を"1"にセットします。
- (5) Sync Field の 5 番目の立下りエッジを検出した場合、シンクフィールド検出フラグ(SACS:SFD)は"1"に設定されます。このとき、下記を確認して自動ボーレート調整の有無を確認します。

自動ボーレート調整が行われた場合は、Sync Field を検出(SACS:SFD=1)時にシリアルタイマレジスタ(STMR)とボーレートジェネレータレジスタ(BGR)の読出し値が等しくなります

自動ボーレート調整が行われていない場合は、Sync Field を検出(SACS:SFD=1)時にシリアルタイマレジスタ(STMR)とボーレートジェネレータレジスタ(BGR)の読出し値が異なります

2. SACS:BST ビットを使用する方法

- (1) 自動ボーレート調整を有効(SACS:AUTE=1)に設定します。
- (2) LIN Break Field が入力されると 11 ビット目で LIN Break Field 検出(SSR:LBD=1)されます。
このとき、ESCR : LBIE ビットが"1"にセットされているとステータス割込みを発生します。
- (3) Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、シリアルタイマレジスタ(STMR)を 0 に初期化します。
- (4) Sync Field の 5 番目の立下りエッジを検出した場合、シンクフィールド検出フラグ(SACS:SFD)を"1"にセットします。
- (5) Sync Field の 5 番目の立下りエッジの検出時、シリアルタイマレジスタ(STMR)の値によって以下のよう動作します。
 - シリアルタイマレジスタ(STMR)の値がシンクフィールド下限レジスタ(SFLR)以上でシンクフィールド上限レジスタ(SFUR)以下の場合、ボーレートジェネレータレジスタ(BGR)にシリアルタイマレジスタ(STMR)の値が設定され、ボーレート設定フラグ(SACS:BST)が"1"にセットされます。
 - シリアルタイマレジスタ(STMR)の値がシンクフィールド下限レジスタ(SFLR)未満か、シンクフィールド上限レジスタ(SFUR)を超えた場合、ボーレートジェネレータレジスタ(BGR)は変更されず、ボーレート設定フラグ(SACS:BST)が"0"にリセットされます。



図 6-9 LIN Break Field 受信 ~ Sync Field 受信(STMR が SFUR 以下 SFLR 以上の場合)

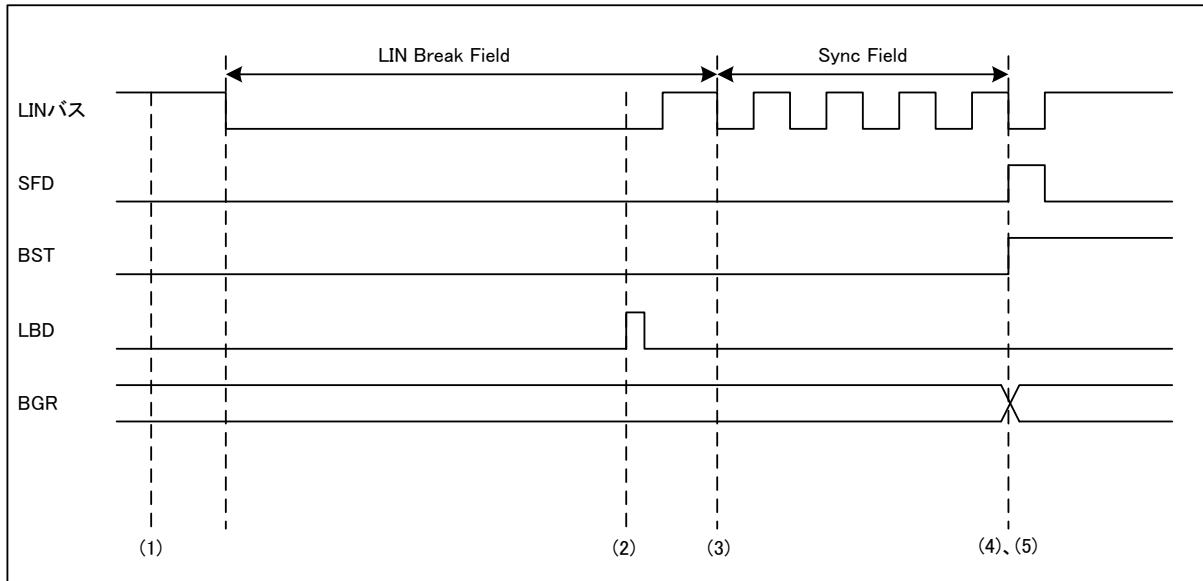
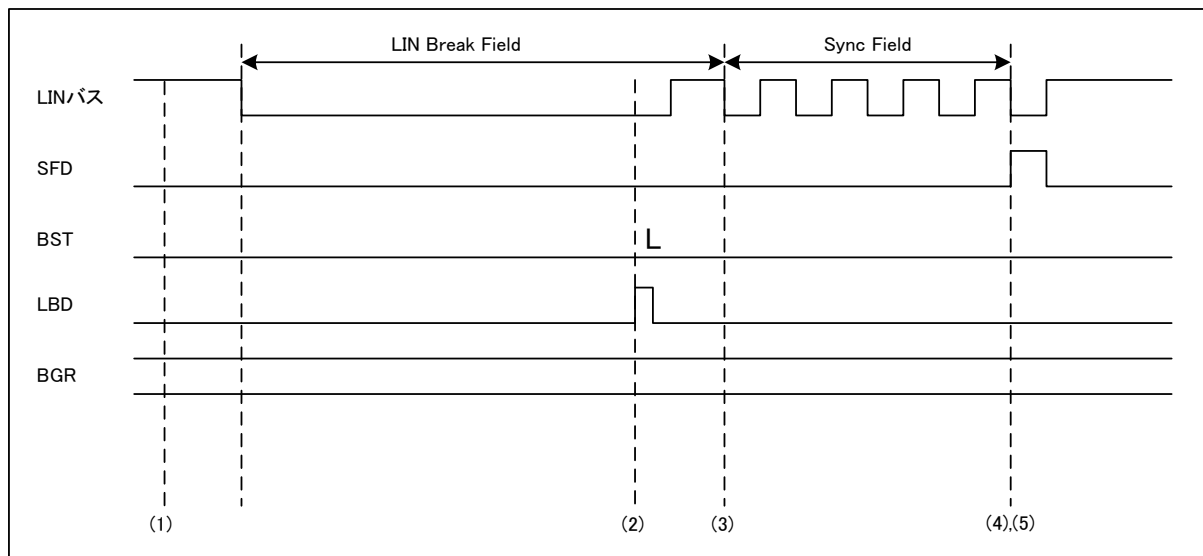


図 6-10 LIN Break Field 受信 ~ Sync Field 受信(STMR が SFUR 以下 SFLR 以上でない場合)



＜注意事項＞

- LIN Break Field および Sync Field 時は, 受信禁止(SCR:RXE=0)に設定してください。

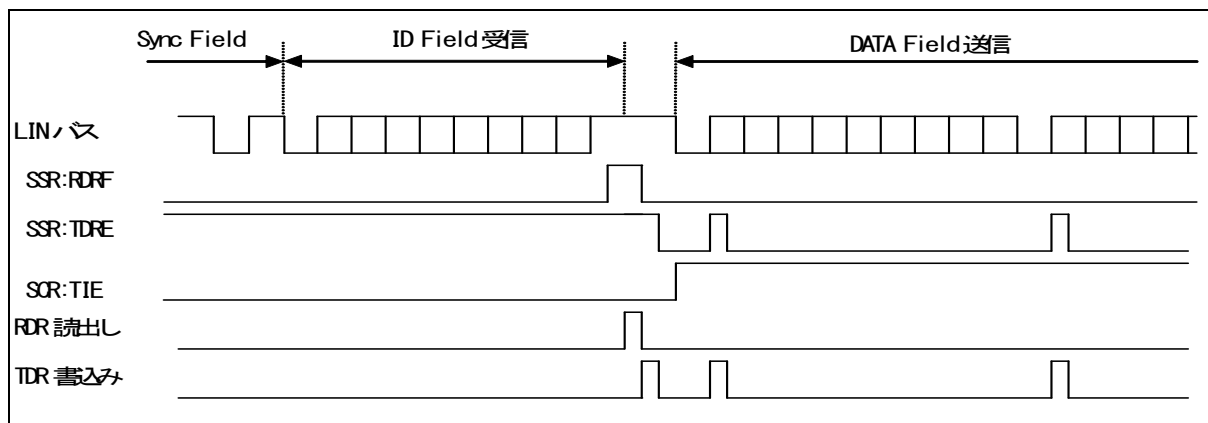
c) ID Field 受信 ~ DATA Field 送受信

ID Field を受信した後、マスタへ DATA Field を送信するか、受信するかを選択できます。

(DATA Field を送信する場合)

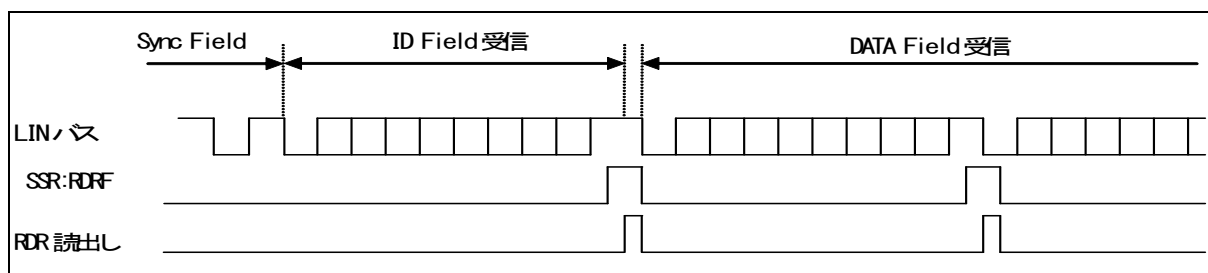
ID Field 受信後、送信データレジスタ(TDR)にデータを書き込んでください。このとき、送信割込み許可(SCR:TIE=1)しておいてください。

図 6-11 ID Field 受信 ~ DATA Field 送信

**(DATA Field を受信する場合)**

- DATA Field 受信ごとに、SSR:RDRF が "1"に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を3回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。

図 6-12 ID Field 受信 ~ DATA Field 受信

**<注意事項>**

- ノイズフィルタ(シリアルデータ入力を3回バスクロックでサンプリングして多数決)は内蔵しています。しかし、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または1~2バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。



d) スレーブ動作タイミングチャート

図 6-13 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時, SACSR:AUTE=1)

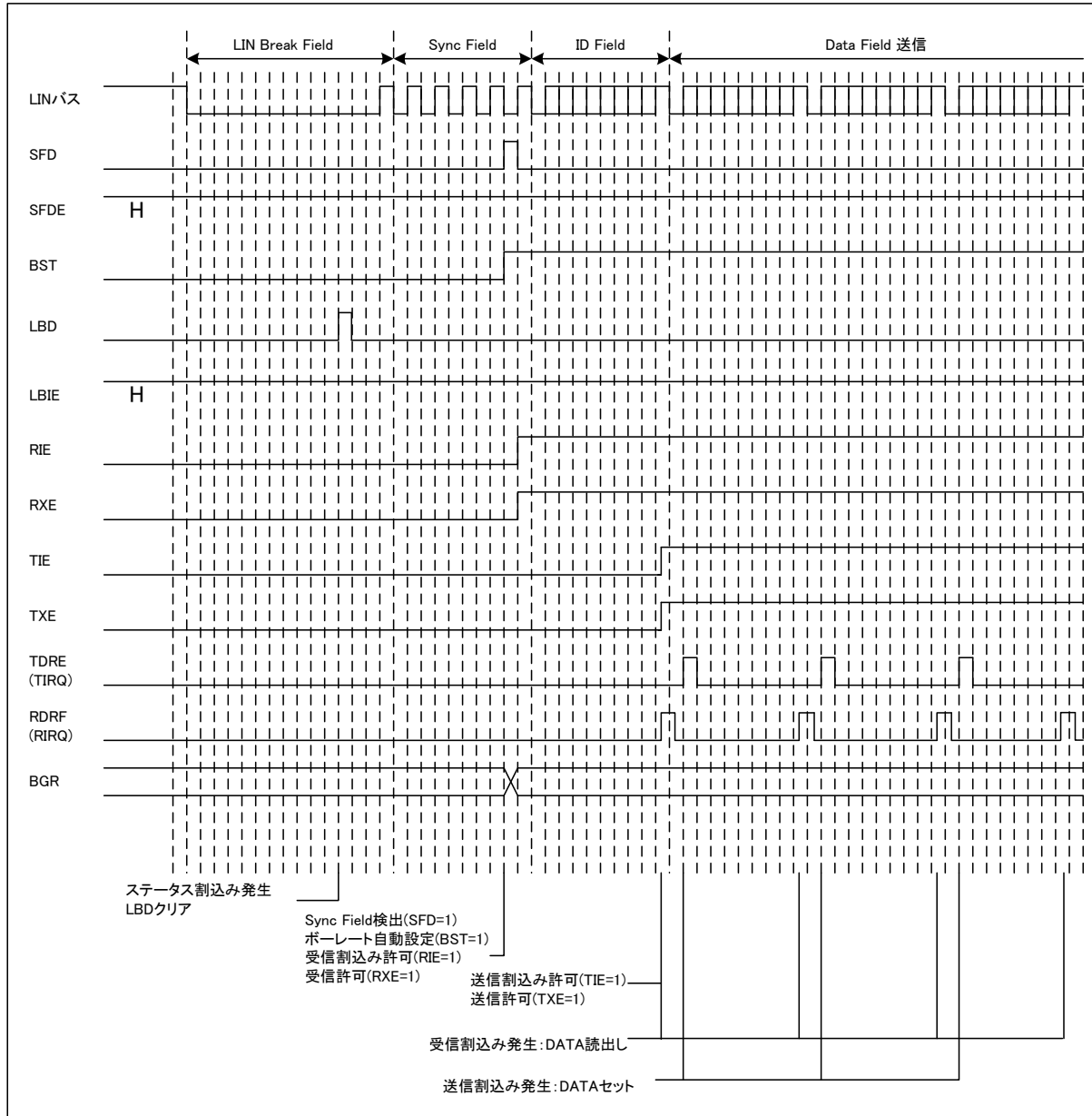
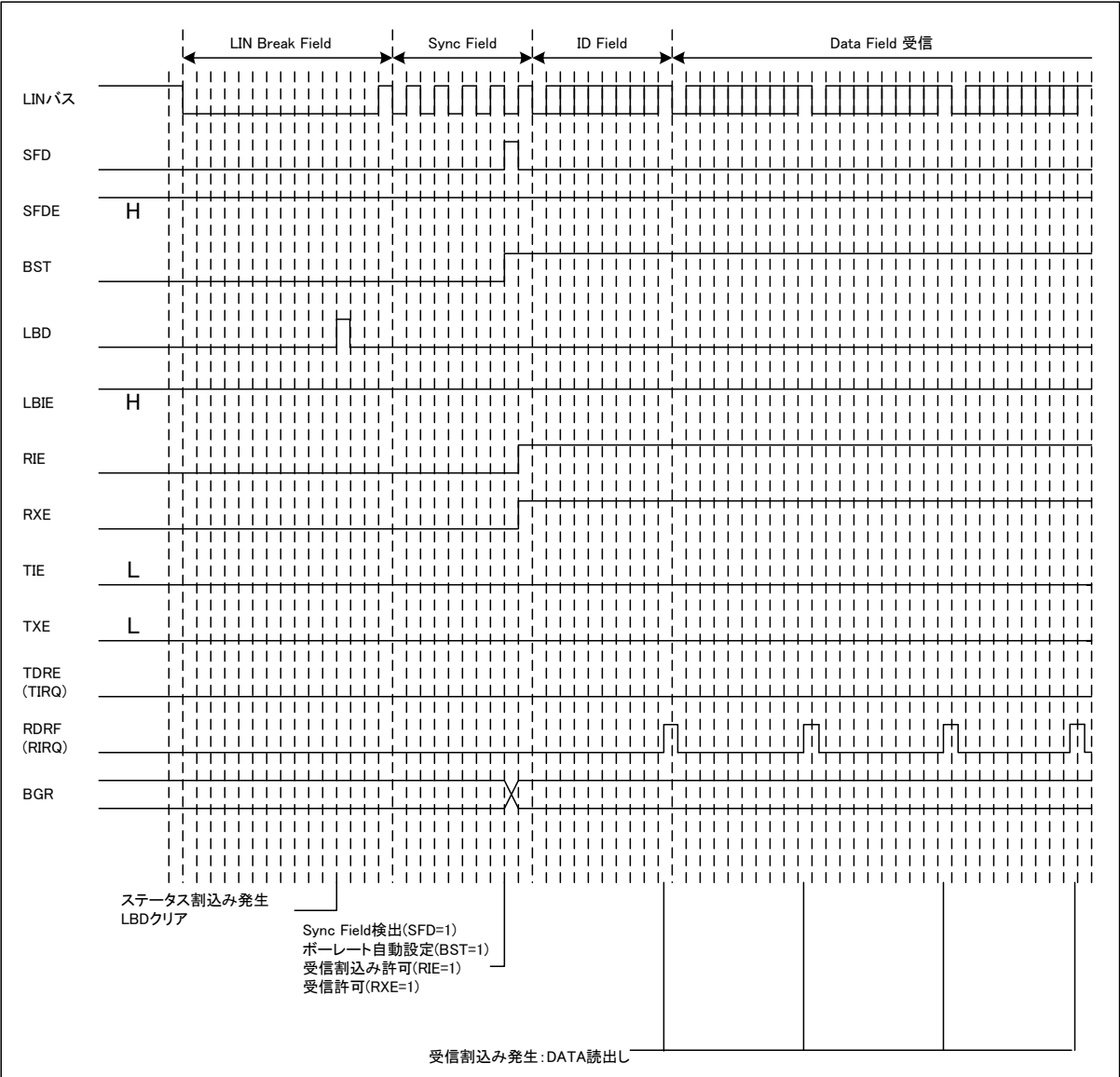




図 6-14 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時, SACS:R:AUTE=1)





FIFO 使用時

図 6-15 LIN バスタイミング (DATA Field 送信時:FIFO 使用時, SACS: AUTE=1)

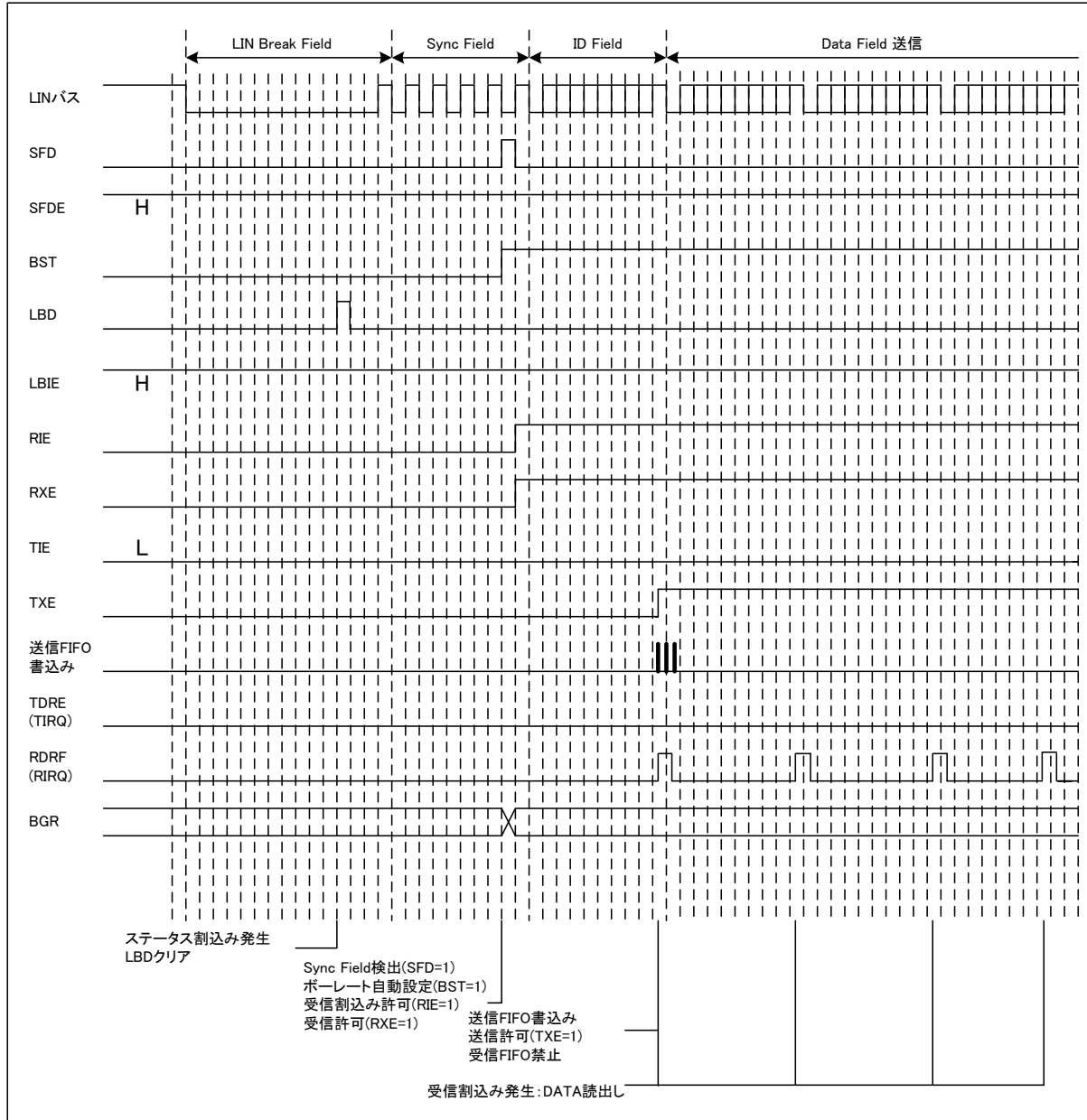
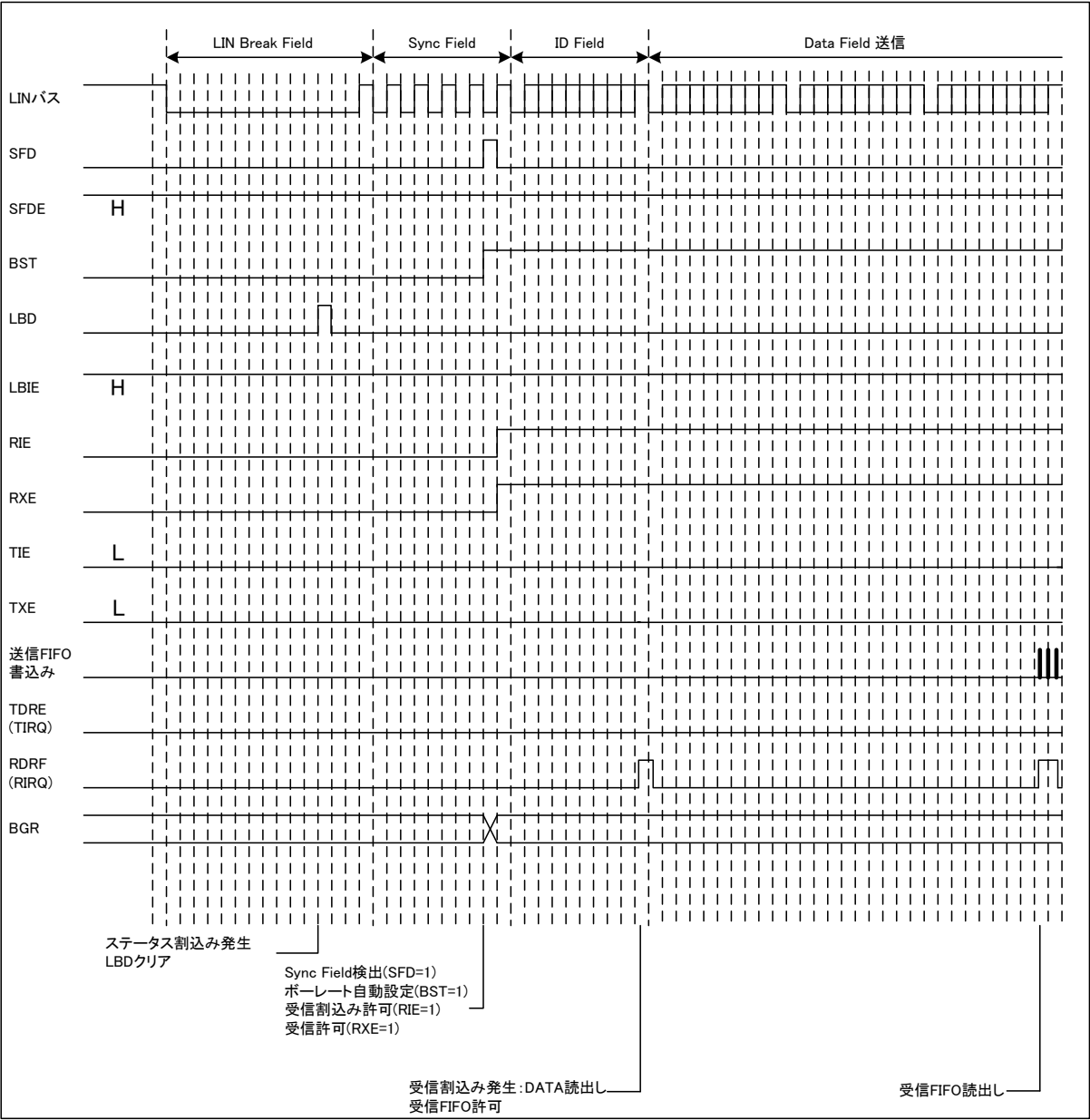




図 6-16 LIN バスタイミング (DATA Field 受信時:FIFO 使用時, SACS: AUTE=1)





6.2. アシストモード

アシストモードは、LIN ヘッダの自動送受信および、以下の生成・検出を行います。

- ID Field のパリティ生成・検出
- チェックサムの生成・検出
- LIN バスエラー検出

(1) マスタ動作

a) 自動ヘッダ送信設定

アシストモードにおいて自動ヘッダ送信を行うには、初期設定後に SCR:LBR ビット(LIN Break Field 設定ビット)を"1"に設定してください。"1"に設定することにより、LIN Break Field ～ Sync Field ～ ID Field までを自動で送信します。以下に送信設定を示します。

- マスタとして動作させるために、SCR:MS ビット(マスタ/スレーブ機能選択ビット)を"0"に設定してください。
- LAMCR:LAMEN ビット(LIN アシストモード処理許可ビット)を"1"に設定してください。
- LIN Break Field 長の選択(ESCR:LBL2～0)および、LIN Break Field デリミタ長の選択(ESCR:DEL1～0)を設定してください。
- ストップビット長の選択(SMR:SBL と ESCR:ESBL)を設定してください。
- ID 送信にアシストモード送信 ID レジスタ(LAMTID)を使用する場合、LAMCR:LIDEN ビット(LIN ID レジスタイネーブルビット)を"1"に設定してください。
ID 送信にデータ送信レジスタ(TDR)を使用する場合、LAMCR:LIDEN ビット(LIN ID レジスタ使用許可ビット)を"0"に設定してください。
- ID 送信に選択したレジスタに ID 値を設定してください。
- ID に対応した LIN データ長(LAMCR:LDL3～0)を設定してください。
- 標準または拡張チェックサムの選択(LAMCR:LCSTYP)を設定してください。
- LIN Break Field 割込み許可ビットを禁止(ESCR:LBIE=0)設定にしてください。LIN Break Field 割込み許可ビットを許可(ESCR:LBIE=1)設定した場合、LIN Break Field は、マスタ側でも検出されるため、ステータス割込み(SSR:LBD ビット(LIN Break Field 検出フラグ))が発生します。
- シンクフィールド検出割込み許可ビットを禁止(SACSR:SFDE=0)設定にしてください。シンクフィールド検出割込み許可ビットを許可(SACSR:SFDE=1)設定した場合、Sync Field はマスタ側でも検出されるため、ステータス割込み(SACSR:SFD ビット(シンクフィールド検出フラグ))が発生します。
- 受信動作許可ビット(SCR:RXE)を"0"(受信禁止)に設定してください。

b) LIN Break Field～ID Field の送信

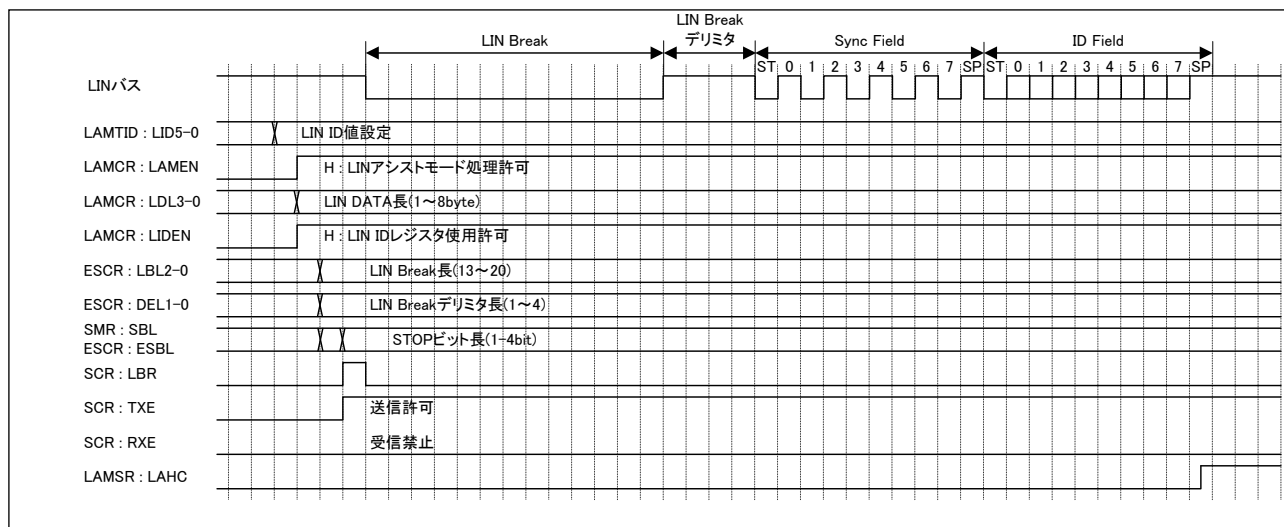
- 送信動作許可ビット(SCR:TXE)を"1"(送信動作許可)に設定してください。
- LIN Break Field 設定ビット(SCR:LBR)を"1" (LIN Break Field 生成)に設定してください。ESCR:LBL2～0 で設定した LIN Break Field が送信されます。
- マスタ側はマスタが送信した LIN Break Field を受信し、バスエラーをチェックします。
- LIN Break Field 送信後、ESCR:DEL1～0 で設定された LIN Break Field デリミタを送信します。
- LIN Break Field デリミタ送信後、Sync Field(0x55 固定値)を送信します。
- マスタ側はマスタが送信した Sync Field を受信し、バスエラー/フレーミングエラーをチェックします。
- Sync Field 送信後、設定された ID Field 値を送信します。ID Field 値は、LAMCR:LIDEN ビット(LIN ID レジスタ使用許可ビット)が"0"の場合は送信データレジスタ(TDR)に設定されている値を、LAMCR:LIDEN ビット(LIN ID レジスタ使用許可ビット)が"1"の場合は LIN アシストモード送信 ID レジスタ(LAMTID)に設定されている値が送信されます。
- ID Field 送信に送信データレジスタ(TDR)を使用する場合(LAMCR:LIDEN=0)、ID Field の最初の 1 ビット目が送信されると、SSR:TDRE(送信データエンプティ)ビットが"1"に設定されます。このとき、送信割込み許可(SCR:TIE=1)されていると、送信割込みが発生します。
- 送信割込み(TDRE)が発生したら、送信データを送信データレジスタ(TDR)に書き込むことができます。
- ID Field は、データ長 8 ビットで、LSB ファーストで出力されます。ID Field 内の LIN パリティは自動で計算されます。
- マスタ側はマスタが送信した ID Field を受信し、バスエラー/フレーミングエラーをチェックします。

- ID Field の送信が完了すると LIN 自動ヘッダ完了フラグがセット(LAMSR:LAHC=1)されます。このとき LIN 自動ヘッダ送信完了割込み許可ビットを許可(LAMIER:LAHCIE=1) されている場合、ステータス割込みが発生します。
- 以下のエラーが発生した場合、送信は停止します。
 - LIN バスエラー
 - LIN ID パリティエラー
 - フレーミングエラー

<注意事項>

- ヘッダ送信設定(LBR 起動(SCR:LBR=1)~LIN 自動ヘッダ完了(LAMSR:LAHC=1))は自動ヘッダ送信設定を変更してはいけません。
- アシストモードのマスタのヘッダ送信期間中は、受信禁止設定(SCR:RXE=0)にしてください。
- アシストモードのマスタ動作時の Sync Field および ID Field の送信データ値は、RDR レジスタに格納できません。
- LIN アシストモード送信ID レジスタ(LAMTID)を使用せず、レスポンスデータを受信する場合、ID Field の1ビット目が送信されると、SSR:TDRE=1に設定されますが、データを書き込まないでください。また、送信割込み禁止(SCR:TIE=0)にしてください。
- LIN アシストモード送信ID レジスタ(LAMTID)を使用し、レスポンスデータを受信する場合、LIN Break Field 設定ビット(SCR:LBR)を"1"に設定後、送信データレジスタ(TDR)への書き込みが可能です。データを書き込まないでください。

図 6-17 LIN Break Field ~ ID Field の送信



c) アシストモード処理中の LIN Break Field 再送信

LIN Break Field 設定(SCR:LBR=1)を行う場合は、以下のタイミングで行ってください。

- ヘッダ送信完了後(LAMSR:LAHC=1)
- レスポンス送受信完了後(LAMSR:LCSC=1)



d) DATA Field 送受信

DATA Field をスレーブデバイスに送信するか、受信するかを選択します。

(DATA Field を送信する場合)

- LIN アシストモード送信 ID レジスタ(LAMTID)を使用しない場合、ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されます。このとき、DATA Field の書込みが可能です。
- LIN アシストモード送信 ID レジスタ(LAMTID)を使用する場合、LIN Break Field 設定ビット(SCR:LBR)を"1"に設定後、DATA Field の書込みが可能です。
- LIN Break Field 設定ビット(SCR:LBR)を"1"に設定後、レスポンス送信開始までに、送信許可設定(SCR:TXE=1)します。
- LIN アシストモードは、チェックサムの演算を自動で行います。チェックサムの演算は、LIN チェックサムタイプ選択ビット(LAMCR:LCSTYP)によって演算方法の選択ができます。
- チェックサムの演算が完了した場合、チェックサム演算完了フラグ(LAMSR:LCSC)をセットします。このとき、チェックサム演算完了割込み許可ビットがセット(LAMIER:LCSCIE=1)されている場合、ステータス割込みが発生します。
- レスポンス送信完了(LAMSR:LCSC=1)後、送信禁止設定(SCR:TXE=0)します。

<注意事項>

- アシストモード動作時のレスポンス送信中、受信許可設定(SCR:RXE=1)にしないでください。
- アシストモード動作時のレスポンス送信データ(Data Field, チェックサム)は、RDR レジスタに格納できません。
- FIFO を使用する場合は、LIN Break Field 設定ビット(SCR:LBR)を"1"(LIN Break Field 生成ビット)に設定した後に、FIFO にデータを書き込んでください。
- レスポンス送信において、LIN データ長を 0 バイト長(LAMCR:LDL3~0=0b0000)設定した場合、チェックサムを自動演算し送信するために、TDR レジスタにダミー書込み(書込み値は don't care)してください。このときの TDR 設定値はチェックサム演算に影響しません。
- LIN データ長を 0 バイト長(LAMCR:LDL3~0=0b0000)設定したときのチェックサム値は以下です。
 - 標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF です。
 - 拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値です。
- レスポンスデータ送信中に送信データ長(LAMCR:LDL3~0)を書き換えないでください。

図 6-18 ID Field 送信～DATA Field 送信(ID レジスタを使用する場合, FIFO 未使用)

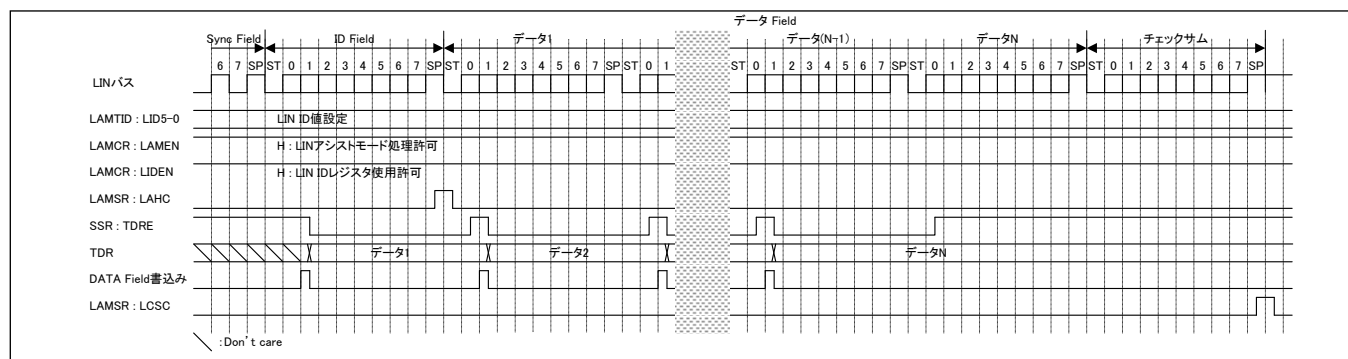
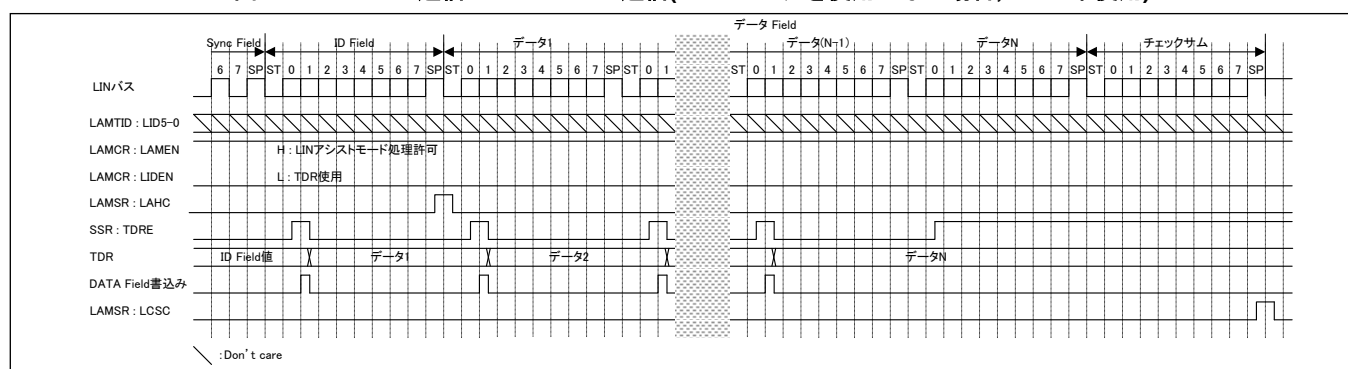


図 6-19 ID Field 送信～DATA Field 送信(ID レジスタを使用しない場合, FIFO 未使用)

**(DATA Field を受信する場合)**

- LIN 自動ヘッダ完了(LAMSR:LAHC=1)からレスポンス受信開始までに、受信許可設定(SCR:RXE=1)および送信禁止設定(SCR:TXE=0)にしてください。
- DATA Field を受信した場合, SSR:RDRF が 1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると受信割込みが発生します。
- チェックサムの受信が完了すると LIN チェックサム演算完了フラグがセット(LAMSR:LCSC=1)されます。このとき、チェックサム演算完了割込み許可ビットが許可(LAMIER:LCSCIE=1)されている場合、ステータス割込みが発生します。
- チェックサム受信完了(LAMSR:LCSC=1)後、受信禁止設定(SCR:RXE=0)にしてください。

<注意事項>

- 受信時、ストップビットのサンプリングポイントと同時または1～2バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。
- アシストモード動作時のレスポンス受信のチェックサム値は、RDR レジスタに格納されません。
- LIN データ長を 0 バイト長(LAMCR:LDL3～0=0b0000)設定したときのチェックサム値は以下です。
 - 標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF です。
 - 拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値です。
- レスポンスデータ受信中に受信データ長(LAMCR:LDL3～0)を書き換えしないでください。



図 6-20 ID Field 送信～DATA Field 受信(ID レジスタを使用する場合, FIFO 未使用)

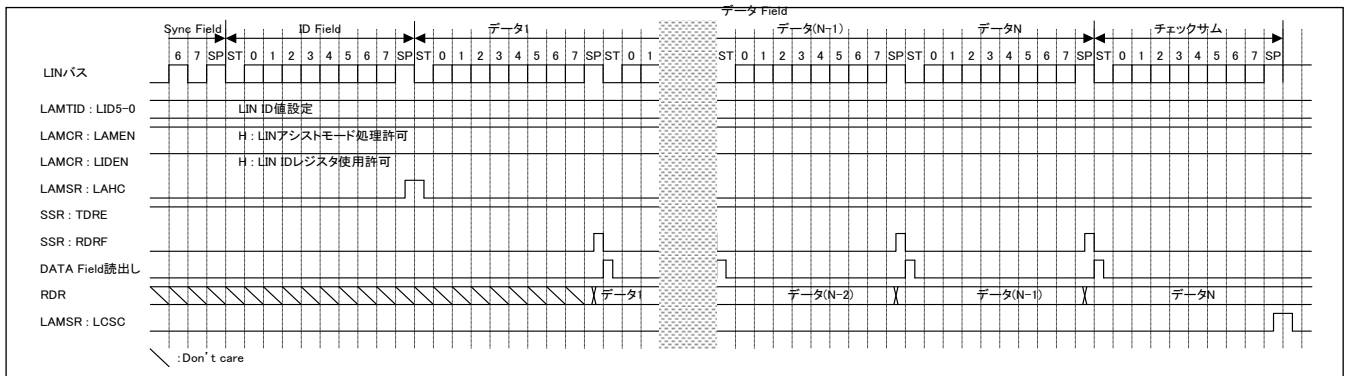
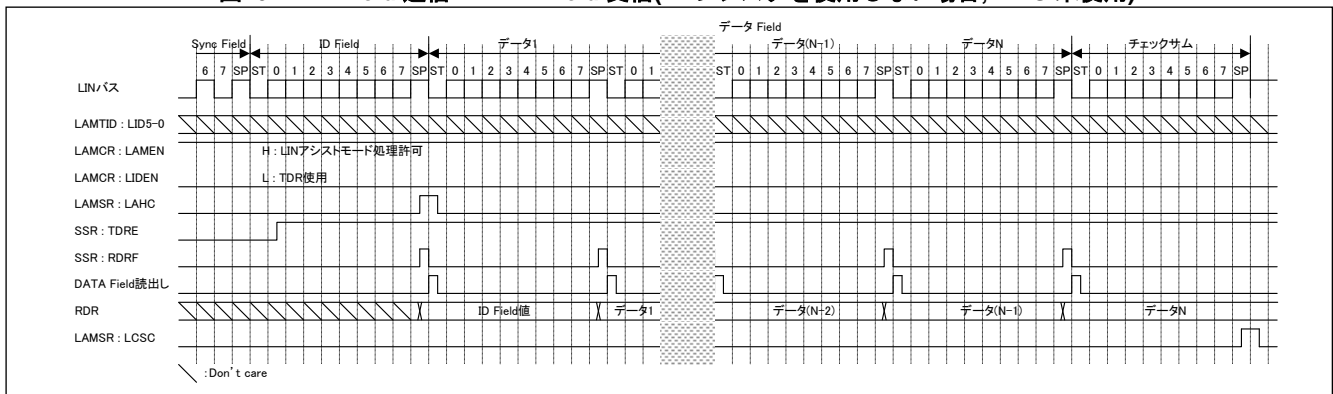


図 6-21 ID Field 送信～DATA Field 受信(ID レジスタを使用しない場合, FIFO 未使用)



e) マスタ動作タイムチャート(FIFO 未使用時)

図 6-22 LIN バスタイミング(ID レジスタ使用, DATA Field 送信, FIFO 未使用)

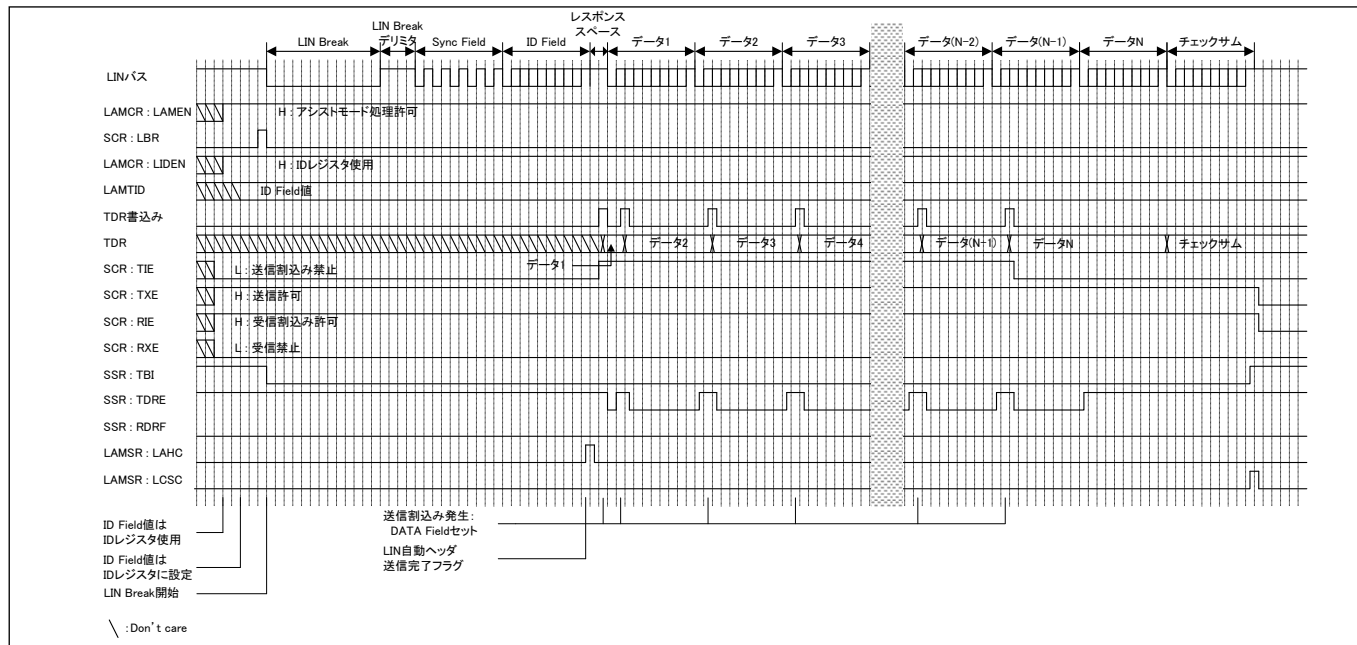


図 6-23 LIN バスタイミング(ID レジスタ未使用, DATA Field 送信, FIFO 未使用)

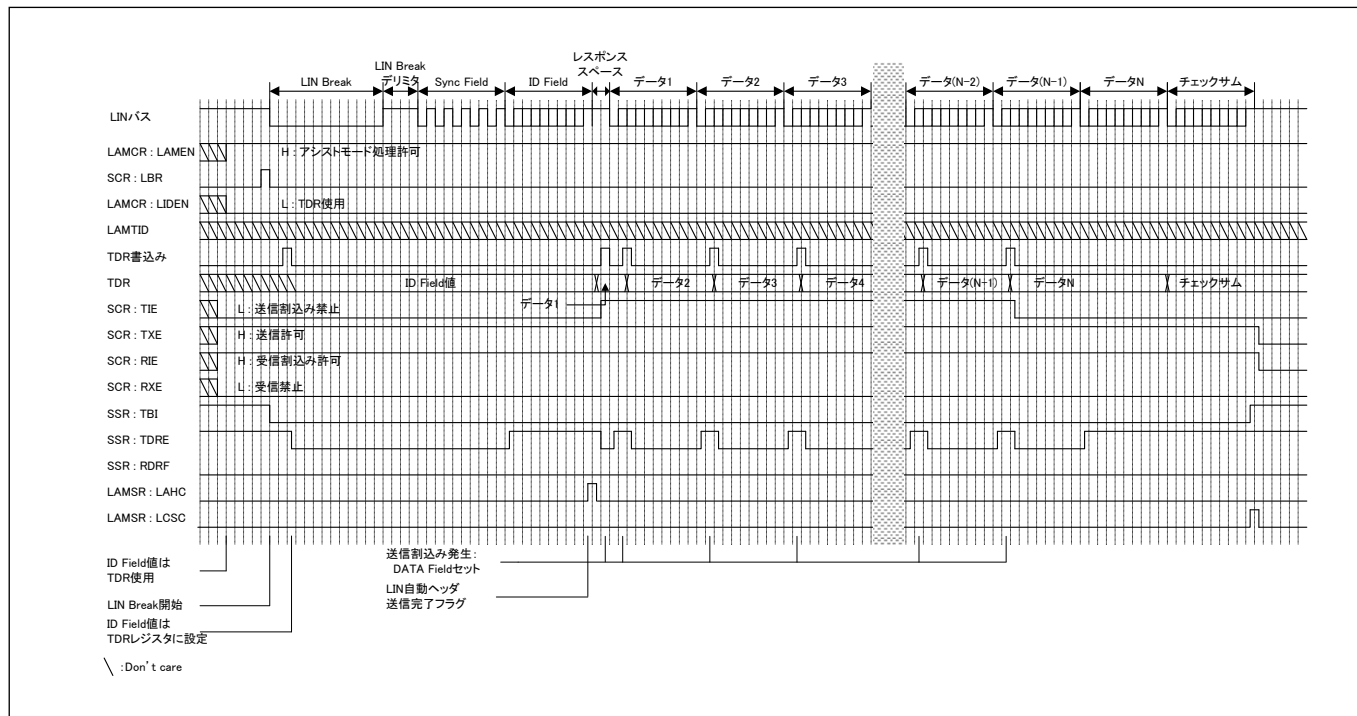




図 6-24 LIN バスタイミング(ID レジスタ使用, DATA Field 受信, FIFO 未使用)

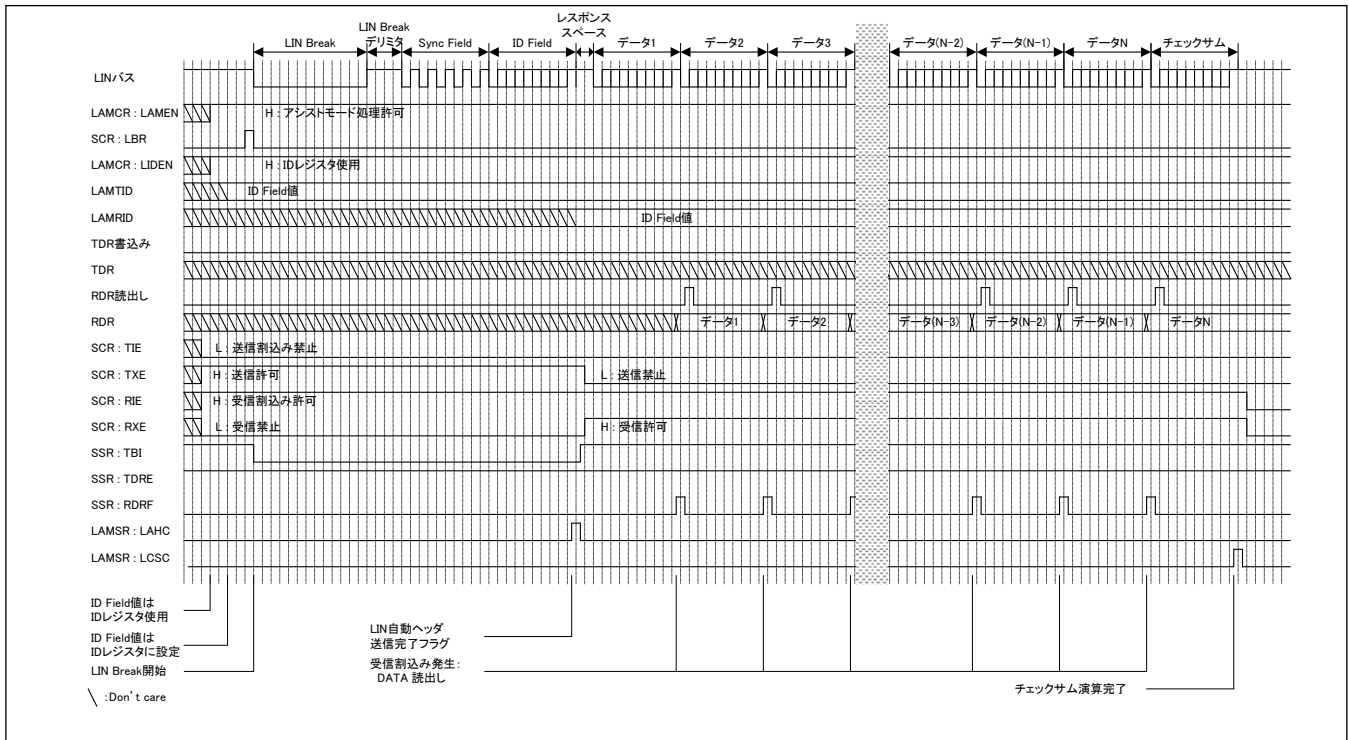


図 6-25 LIN バスタイミング(ID レジスタ未使用, DATA Field 受信, FIFO 未使用)

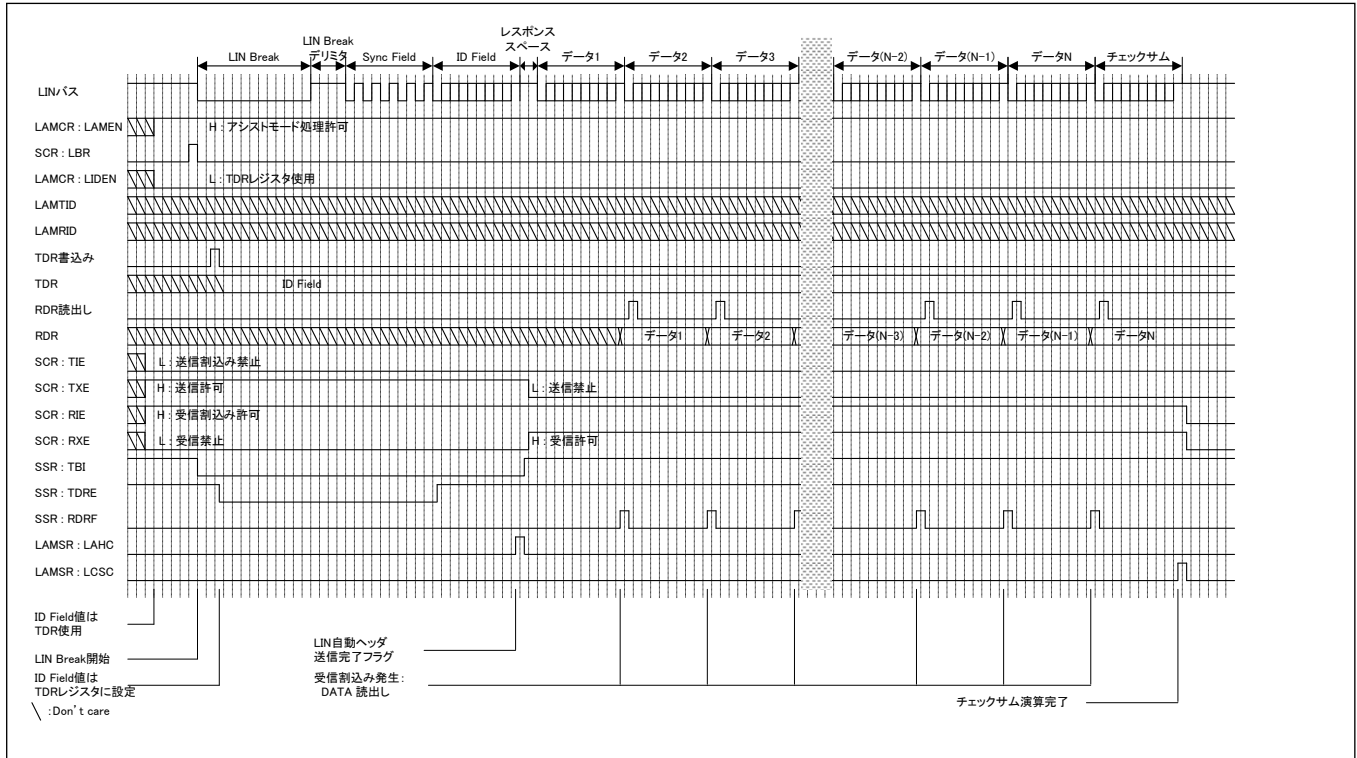




図 6-26 LIN バスタイミング(ID レジスタ使用, DATA Field 送信, FIFO 使用)

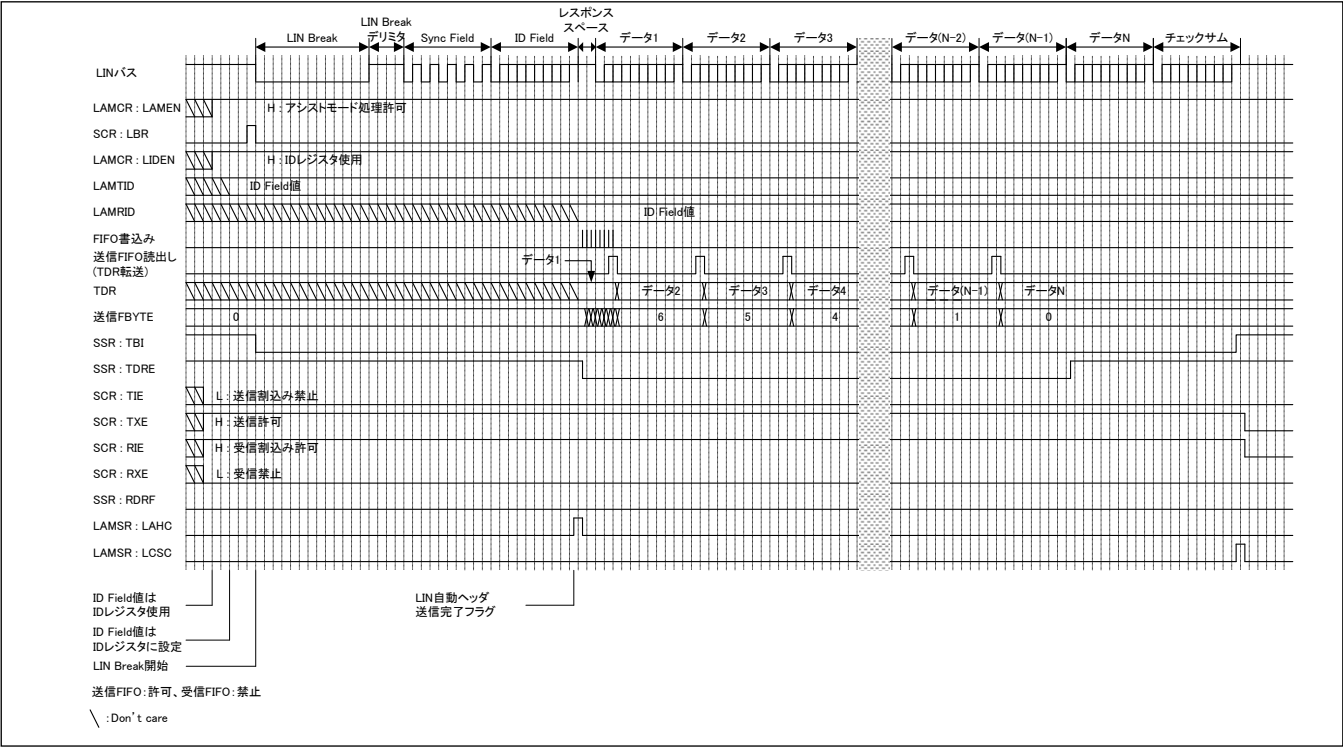


図 6-27 LIN バスタイミング(ID レジスタ未使用, DATA Field 送信, FIFO 使用)

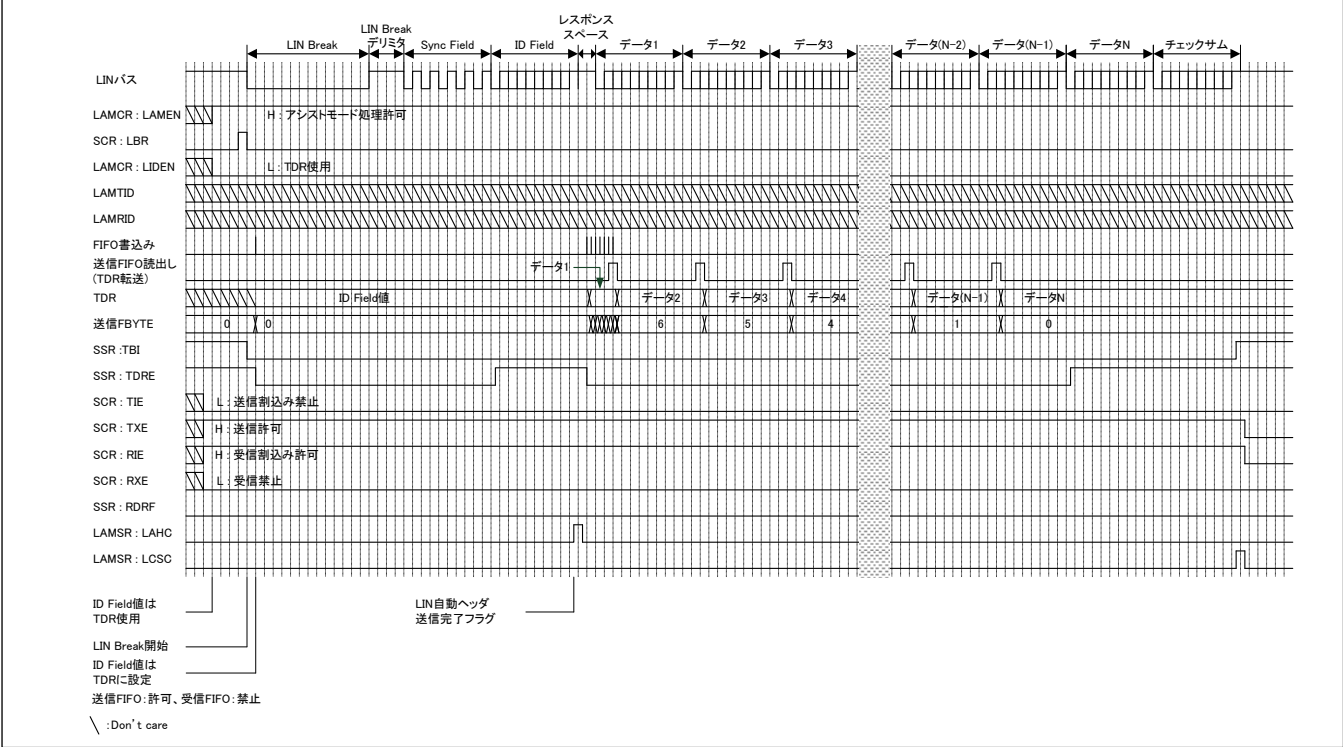




図 6-28 LIN バスタイミング(ID レジスタ使用, DATA Field 受信, FIFO 使用)

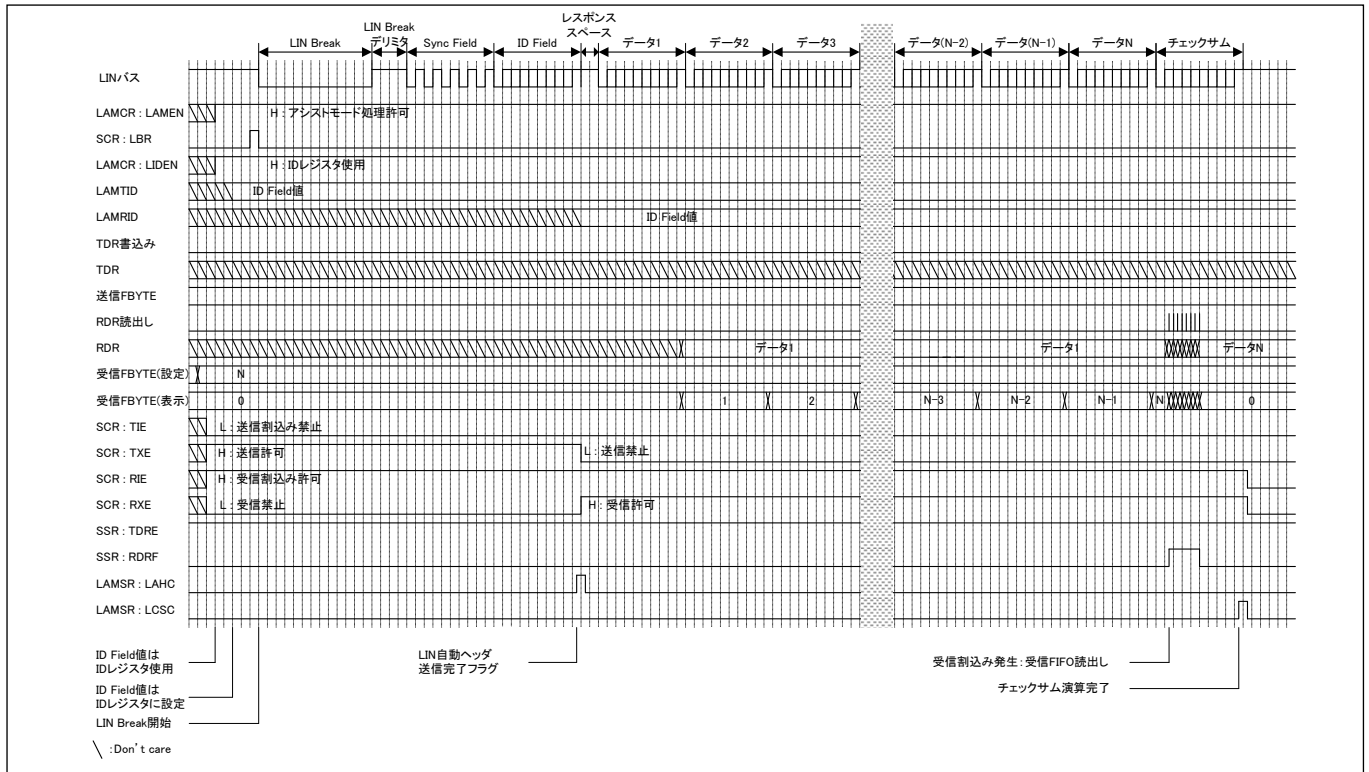
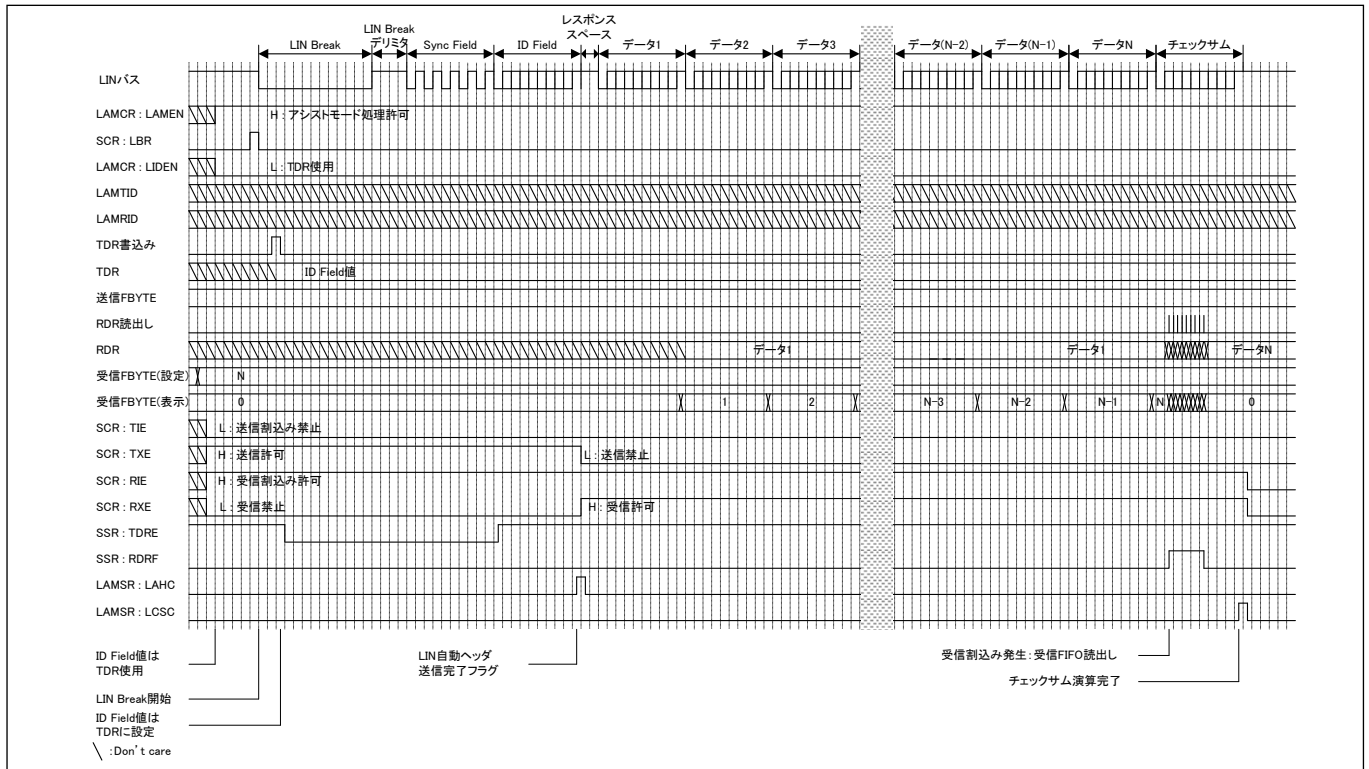


図 6-29 LIN バスタイミング(ID レジスタ未使用, DATA Field 受信, FIFO 使用)



(2) スレーブ動作

a) 自動ヘッダ受信設定

- アシストモードにおいて自動ヘッダ受信を行うためには、以下の設定を行ってください。
- スレーブとして動作させるために、SCR:MS ビット(マスタ/スレーブ機能選択ビット)を"1"に設定してください。
- LINアシストモードとして動作させるためには、LAMCR:LAMEN ビット(LINアシストモード処理許可ビット)を"1"に設定してください。
- ストップビット長の選択(SMR:SBL と ESCR:ESBL)を設定してください。
- ID 受信にアシストモード受信 ID レジスタ(LAMRID)を使用する場合、LAMCR:LIDEN ビット(LIN ID レジスタイネーブルビット)を"1"に設定してください。
ID 受信にデータ受信レジスタ(RDR)を使用する場合、LAMCR:LIDEN ビット(LIN ID レジスタ使用許可ビット)を"0"に設定してください。
- ボーレート調整を自動で行う場合は、SACSR:AUTE ビット(自動ボーレート調整ビット)を"1"に設定してください。
- 受信許可ビット(SCR:RXE)を"0"(受信禁止)に設定してください。

b) LIN Break Field 受信 ~ ID Field 受信

(1) LIN Break Field が入力されると 11 ビット目で LIN Break Field が検出(SSR:LBD=1)されます。このとき、ESCR:LBIE ビットが"1"に設定されているとステータス割込みが発生します。

以下の動作は、自動ボーレート調整を行う場合の動作です。

(2) Sync Field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、シリアルタイムレジスタ(STMR)を 0 に初期化します。

(3) Sync Field の 5 番目の立下りエッジを検出した場合、シンクフィールド検出フラグ(SACSR:SFD)を"1"にセットします。このとき、SACSR:SFDE ビットが"1"に設定されているとステータス割込みが発生します。

(4) Sync Field の 5 番目の立下りエッジの検出時、シリアルタイムレジスタ(STMR)の値によって以下のように動作します。

- シリアルタイムレジスタ(STMR)の値がシンクフィールド下限レジスタ(SFLR)以上でシンクフィールド上限レジスタ(SFUR)以下の場合、ボーレートジェネレーターレジスタ(BGR)にシリアルタイムレジスタ(STMR)の値が設定され、ボーレート設定フラグ(SACSR:BST)が"1"にセットされます。
- シリアルタイムレジスタ(STMR)の値がシンクフィールド下限レジスタ(SFLR)未満か、シンクフィールド上限レジスタ(SFUR)を超えた場合、ボーレートジェネレーターレジスタ(BGR)は変更されず、ボーレート設定フラグ(SACSR:BST)が"0"にリセットされます。



図 6-30 LIN Break Field ~ ID Field の受信(STMR が SFUR 以下, SFLR 以上の場合)

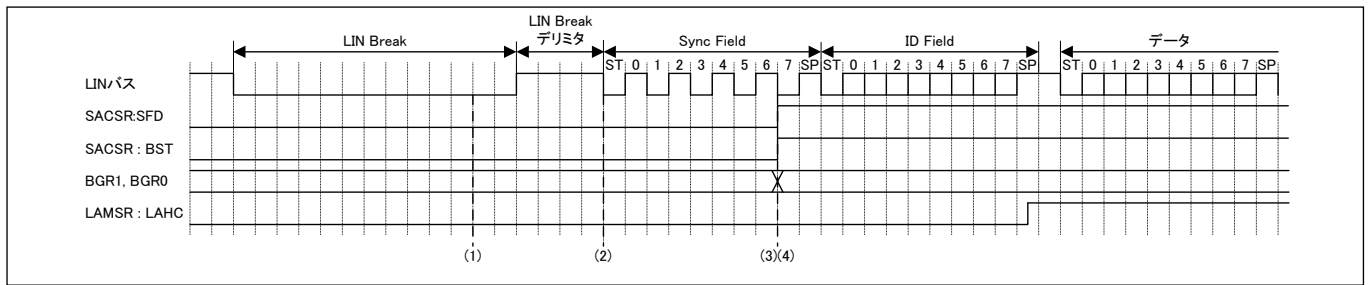
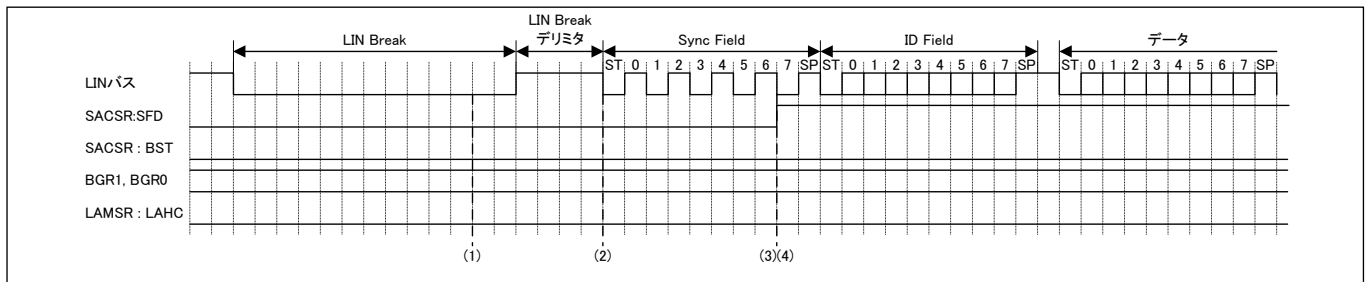


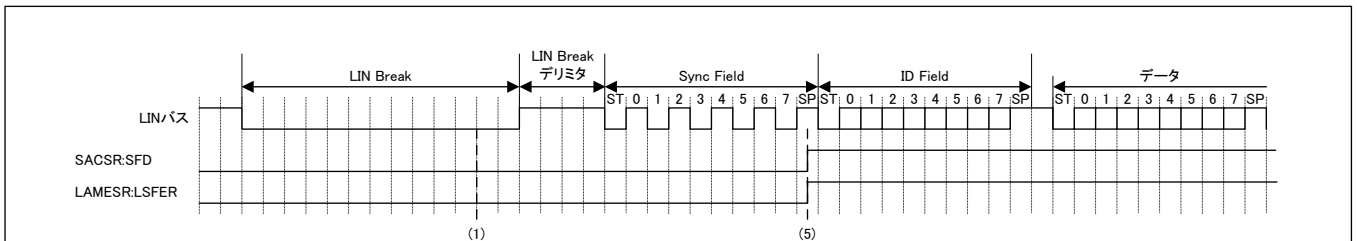
図 6-31 LIN Break Field ~ ID Field の受信(STMR が SFUR 以下, SFLR 以上でない場合)



以下の動作は、自動ボーレート調整を行わない場合の動作です。

(5) 自動ボーレート調整を行わない場合は, SACSRS:AUTE ビット(自動ボーレート調整ビット)を"0"に設定してください。Sync Field 値をデータとして扱い, Sync Field 値が 0x55 かの確認を行います。0x55 の場合は, シンクフィールド検出フラグ(SACSRS:SFD)が"1"にセットされます。0x55 以外の場合は, Sync Data エラーフラグビット(LAMESR:LSFER)が"1"にセットされます。

図 6-32 LIN Break Field ~ ID Field の受信(自動ボーレート調整を行わない場合)



以下の動作は、自動ボーレート調整の有無にかかわらず共通の動作です。

(6) LIN アシストモード時の自動ヘッダ受信が終了すると LAMSR:LAHC ビット(LIN 自動ヘッダ完了フラグ)が"1"に設定されます。ID Field で LIN パリティエラー(LAMESR:LPTER=1)が発生した場合も LAMSR:LAHC ビット(LIN 自動ヘッダ完了フラグ)が"1"になります。LAMSR:LAHC ビットが"1"にセットされた場合は, エラーが検出されていないことを確認してください。

(7) ID Field を正常に受信した場合, チェックサムタイプ(LAMCR:LCSTYP)と LIN データ長設定ビット(LAMCR:LDL3~0)を設定してください。

図 6-33 LIN Break Field ~ ID Field の受信(パリティエラーが発生した場合)

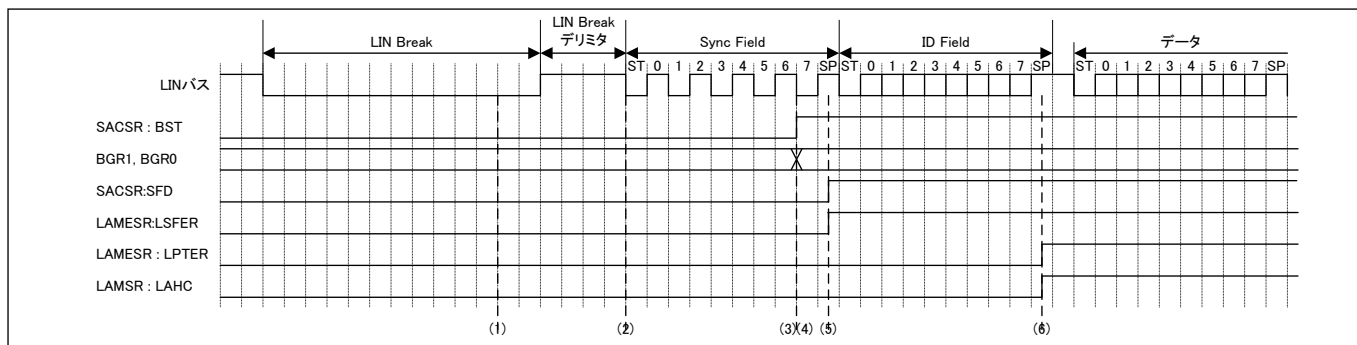
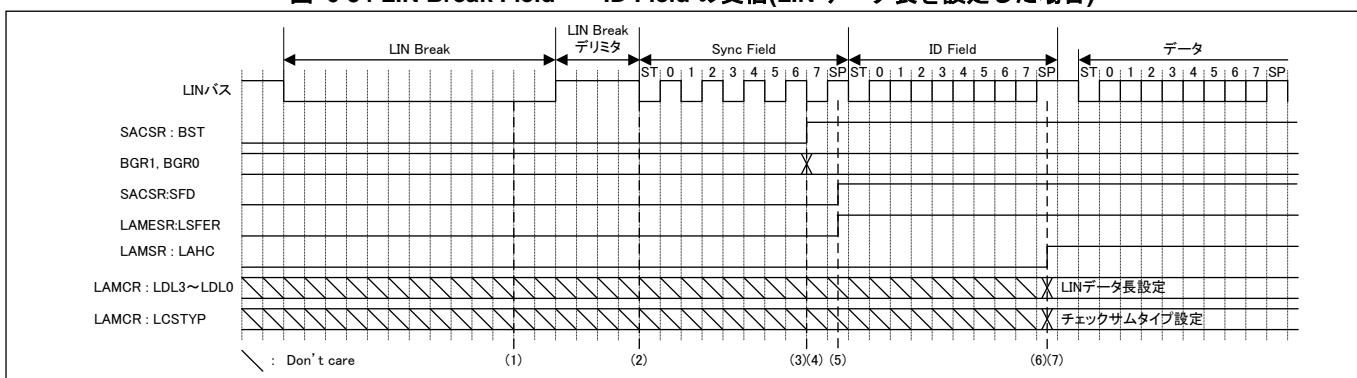


図 6-34 LIN Break Field ~ ID Field の受信(LIN データ長を設定した場合)



＜注意事項＞

- アシストモードのスレーブのヘッダ受信中は、受信禁止設定(SCR:RXE=0)してください。
- アシストモードのスレーブのヘッダ受信中は、送信許可ビット(SCR:TXE)の設定は無視されます。
- アシストモードのスレーブ動作時の Sync Field 値は、受信データレジスタ(RDR)に格納できません。
- スレーブ動作において、ID Field の受信に受信データレジスタ(RDR)を使用する設定 (LAMCR:LIDEN=0)のとき、ID Field を受信した場合、受信 ID 値が受信データレジスタ(RDR)に格納され、受信データフルフラグビットがセット(SSR:RDRF=1)されます。このとき LIN 自動ヘッダ完了フラグのセット(LAMSR:LAHC=1)により ID 値を確認してください。
- 自動ボーレート調整なし(SACSR:BST=0)と判断した場合も ID Field を継続して受信し、LIN 自動ヘッダ完了フラグ(LAMSR:LAHC=1)やエラーフラグがセットされる場合があります。そのため LIN 自動ヘッダ完了フラグ(LAMSR:LAHC)が"1"に設定されたときに、ボーレート設定フラグを確認してください。



c) ID Field 受信 ~ DATA Field 送受信

ID Field を受信した後、マスタへ DATA Field を送信するか、受信するかを選択できます。

(DATA Field を送信する場合)

- 受信した ID Field の値から、チェックサムタイプ(LAMCR:LCSTYP)と LIN データ長設定ビット(LAMCR:LDL3~0)を設定してください。
- ID Field 受信後、送信データレジスタ(TDR)にデータを書込んでください。このとき、送信許可(SCR:TXE=1)および送信割込み許可(SCR:TIE=1)にしてください。
- LIN データ長設定ビット(LAMCR:LDL3~0)を基にチェックサム演算を行い、最終データ送信後にチェックサムを自動で送信します。
- チェックサムの演算は、LIN チェックサムタイプ選択ビット(LAMCR:LCSTYP)によって演算方法の選択ができます。
- チェックサムデータを受信した場合、チェックサム演算完了フラグ(LAMSR:LCSC)をセットします。このとき、チェックサム演算完了割込み許可ビットがセット(LAMIER:LCSCIE=1)されている場合、ステータス割込みが発生します。
- チェックサム演算完了(LAMSR:LCSC=1)後、送信禁止設定(SCR:TXE=0)にしてください。

<注意事項>

- アシストモード動作時のレスポンス送信中に受信禁止設定(SCR:RXE=0)にしてください。
- アシストモード動作時のレスポンス送信データ(Data, Checksum)は、受信データレジスタ(RDR)に格納できません。
- レスポンス送信において、LIN データ長を 0 バイト長(LAMCR:LDL3~0=0b0000)設定した場合、チェックサムを自動演算し送信するために、TDR レジスタにダミー書き込み(書き込み値は don't care)してください。このときの TDR 設定値はチェックサム演算に影響しません。
- LIN データ長を 0 バイト長(LAMCR:LDL3~0=0b0000)設定したときのチェックサム値は以下です。
 - 標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF です。
 - 拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値です。

図 6-35 ID Field 受信 ~ DATA Field の送信(ID レジスタを使用する場合)

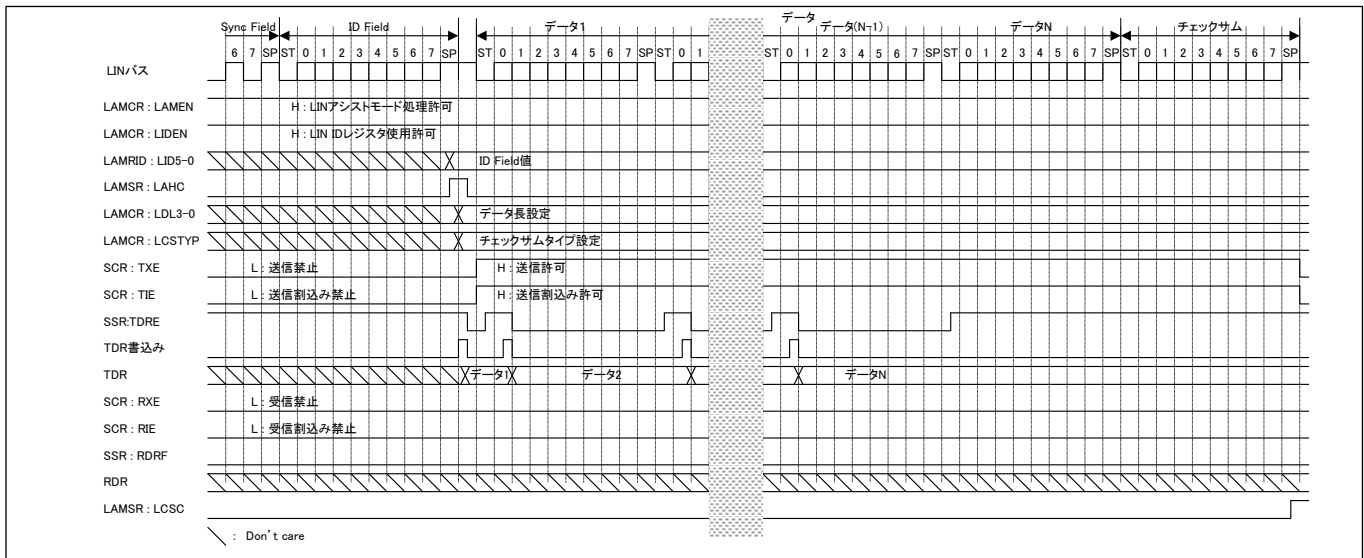
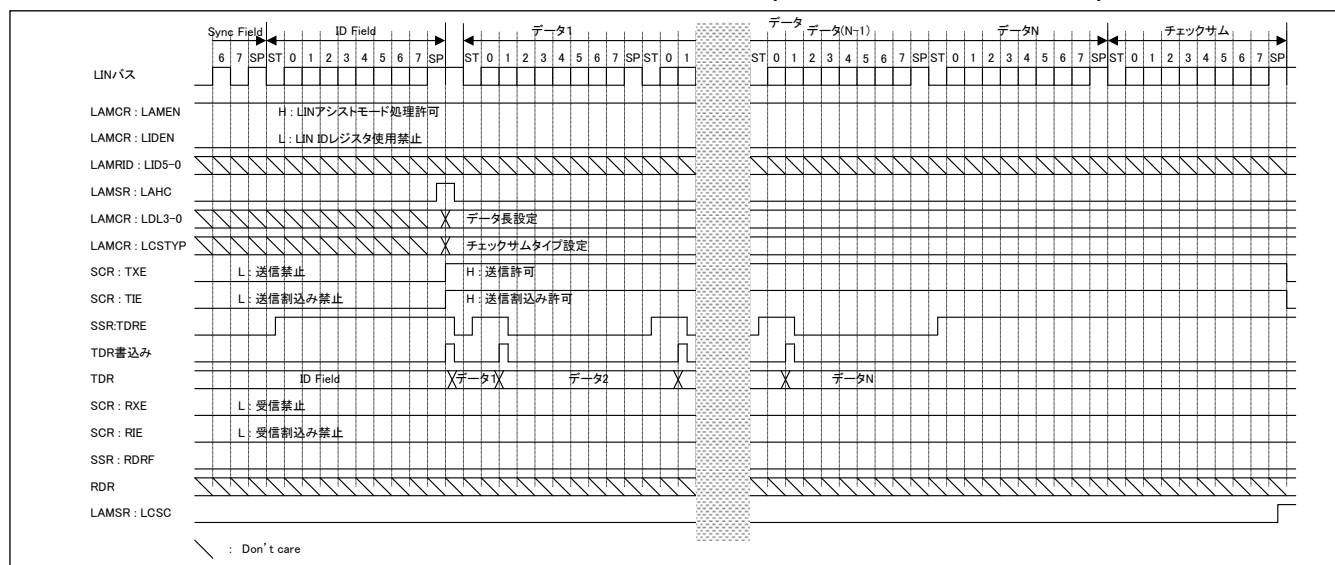


図 6-36 ID Field 受信 ~ DATA Field の送信(ID レジスタを使用しない場合)



(DATA Field を受信する場合)

- 受信した ID Field の値から、チェックサムタイプ(LAMCR:LCSTYP)と LIN データ長設定ビット(LAMCR:LDL3~0)を設定してください。
- 受信許可設定(SCR:RXE=1)してください。
- チェックサムの演算を自動で行います。チェックサムの演算は、LIN チェックサムタイプ選択ビット(LAMCR:LCSTYP)によって演算方法の選択ができます。
- DATA Field 受信ごとに、SSR:RDRF が"1"に設定されます。受信割込み許可(SCR:RIE=1)がされている場合、受信割込みが発生します。
- チェックサム演算完了フラグがセット(LCSC=1)されたときに、チェックサムエラーを確認してください。このときチェックサム演算完了割込みが許可されているとステータス割込みが発生し、チェックサムエラー割込みが許可されていると受信割込みが発生します。
- チェックサム受信完了(LAMSR:LCSC=1)後、受信禁止設定(SCR:RXE=0)します。

＜注意事項＞

- 受信時、ストップビットのサンプリングポイントと同時または1~2バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。
- アシストモード動作時のレスポンス受信のチェックサム値は、受信データレジスタ(RDR)に格納されません。
- LIN データ長を 0 バイト長(LAMCR:LDL3~0=0b0000)設定したときのチェックサム値は以下です。
 - 標準チェックサム設定(LAMCR:LCSTYP=0)時、チェックサム値は 0xFF です。
 - 拡張チェックサム設定(LAMCR:LCSTYP=1)時、チェックサム値は ID Field の反転値です。
- スレープ動作において LIN 通信速度が 19.2kbps の場合、自動ヘッダ完了フラグがセット(LAMSR:LAHC=1)されてから約 25μs 以内に、チェックサムタイプ(LAMCR:LCSTYP)、LIN データ長(LAMCR:LDL3~0)、送信許可禁止(SCR:TXE)、送信割込み許可禁止(SCR:TIE)、受信許可禁止(SCR:RXE)、受信割込み許可禁止(SCR:RIE)を設定してください(LIN 通信の 1 周期時間 / 2 以内に設定してください)。



図 6-37 ID Field 受信 ~ DATA Field の受信(ID レジスタを使用する場合)

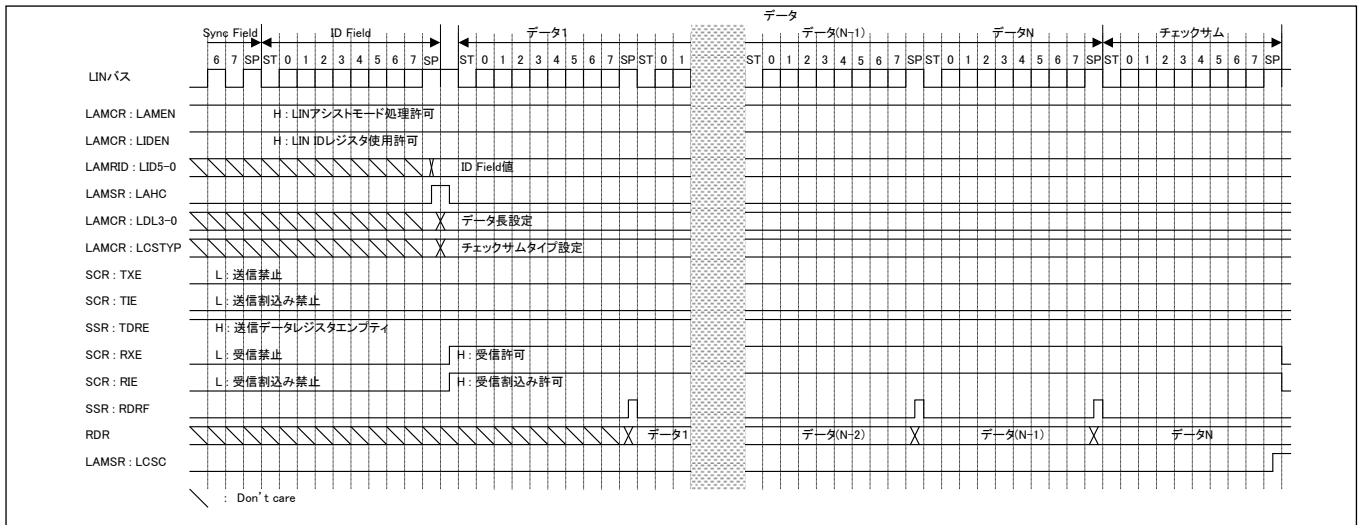
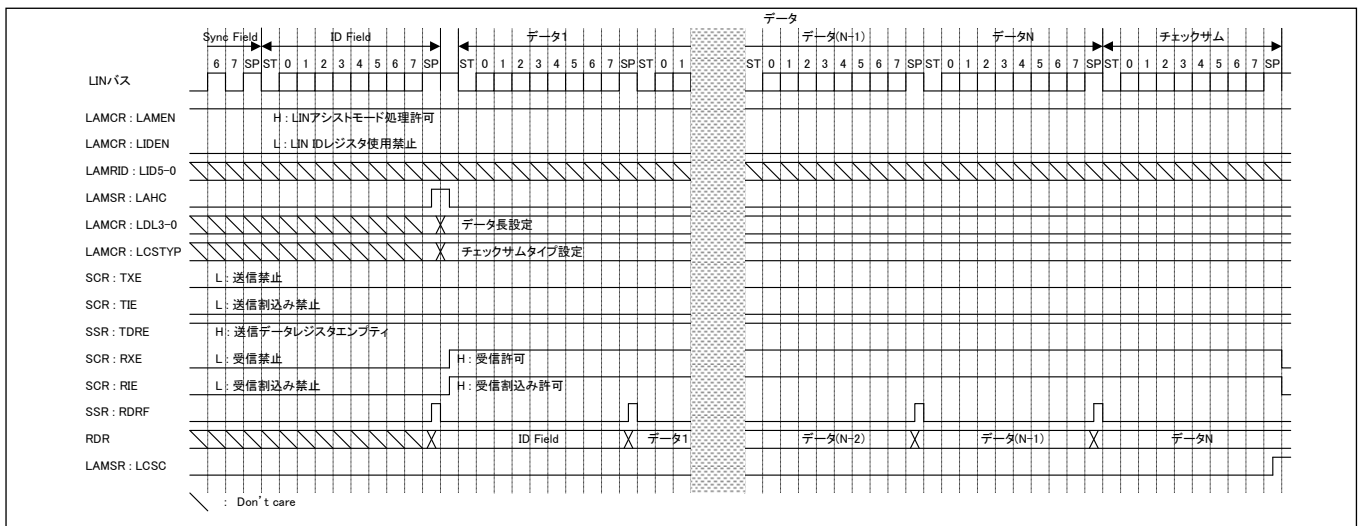


図 6-38 ID Field 受信 ~ DATA Field の受信(ID レジスタを使用しない場合)



アシストモード処理中の LIN Break Field 受信

Sync Field~Checksum で LIN Break Field(SSR:LBD=1)を検出した場合、以下の手順が必要です。

- 受信禁止設定(SCR:RXE=0)および送信禁止設定(SCR:TXE=0)にしてください。
- エラーフラグのクリアをしてください。
- LIN Break Field 検出前の受信データを破棄してください。
 - 受信 FIFO を使用している場合は、受信 FIFO 動作禁止(FCR0:FE1=0 or FCR0:FE2=0)した後、受信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行ってください。
 - 次に受信データレジスタをクリアするために RDR レジスタを読み出してください。
- LIN Break Field 検出前の送信データを破棄してください。
 - 送信 FIFO を使用している場合は、送信 FIFO 動作禁止(FCR0:FE1=0 or FCR0:FE2=0)した後、送信 FIFO リセット(FCR0:FCL1=1 or FCR0:FCL2=1)を行います。
 - 次に送信データレジスタクリアを実行(LAMCR:LTDRCL=1)し、送信バスアイドル状態にしてください。

スレーブ動作タイミングチャート

図 6-39 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時, SACS: AUTE=1, ID レジスタ使用)

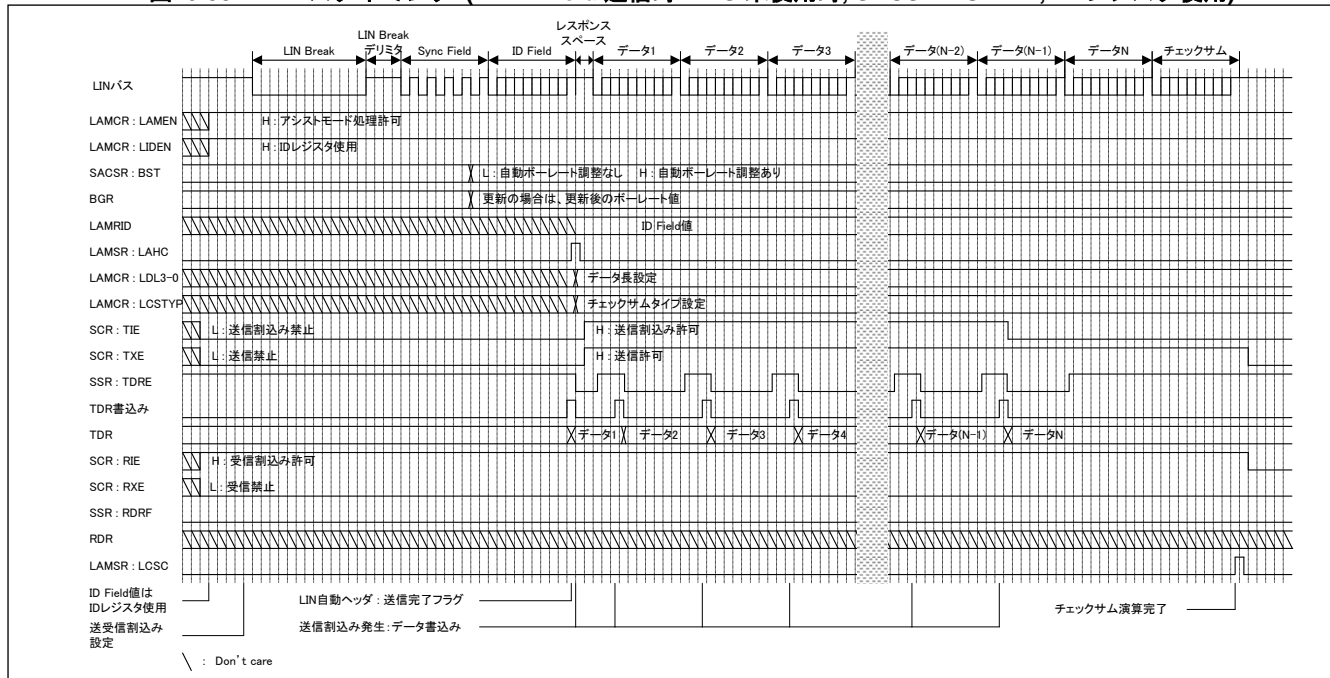


図 6-40 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時, SACS: AUTE=1, ID レジスタ未使用)

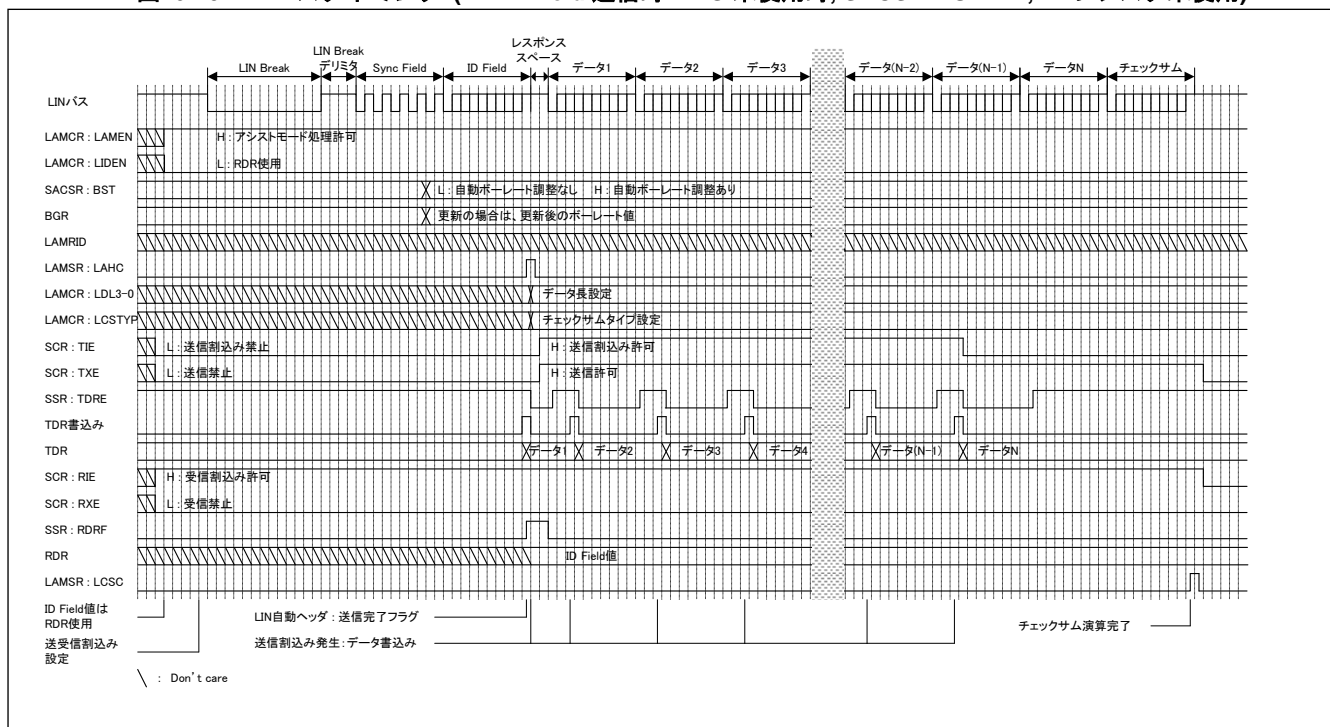




図 6-41 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時, SACS: AUTE=1, ID レジスタ使用)

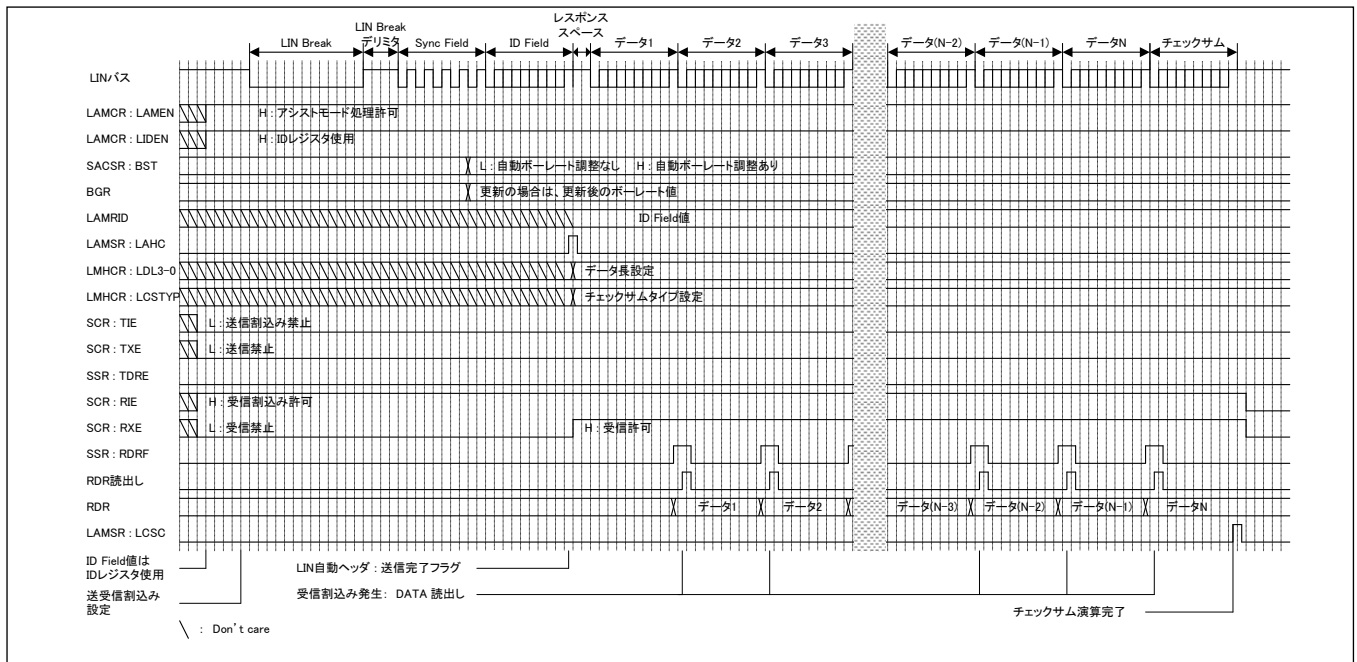


図 6-42 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時, SACS: AUTE=1, ID レジスタ未使用)

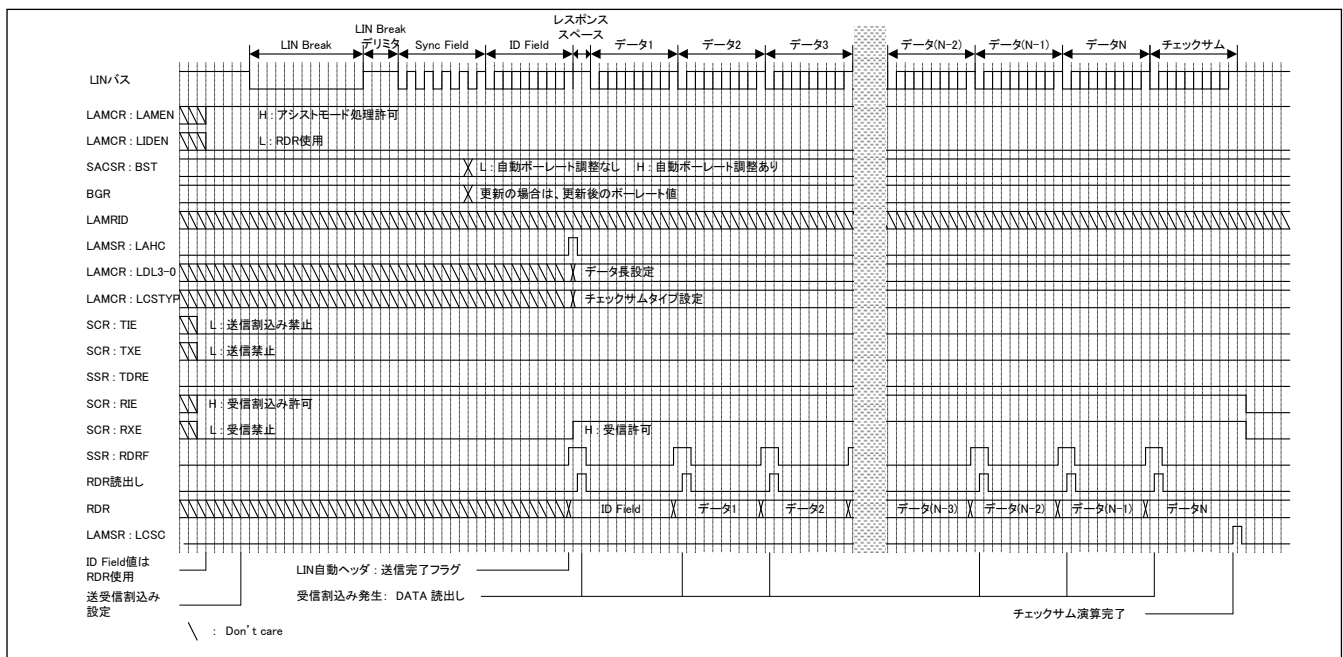


図 6-43 LIN バスタイミング (DATA Field 送信時:FIFO 使用時, SACS:R:AUTE=1, ID レジスタ使用)

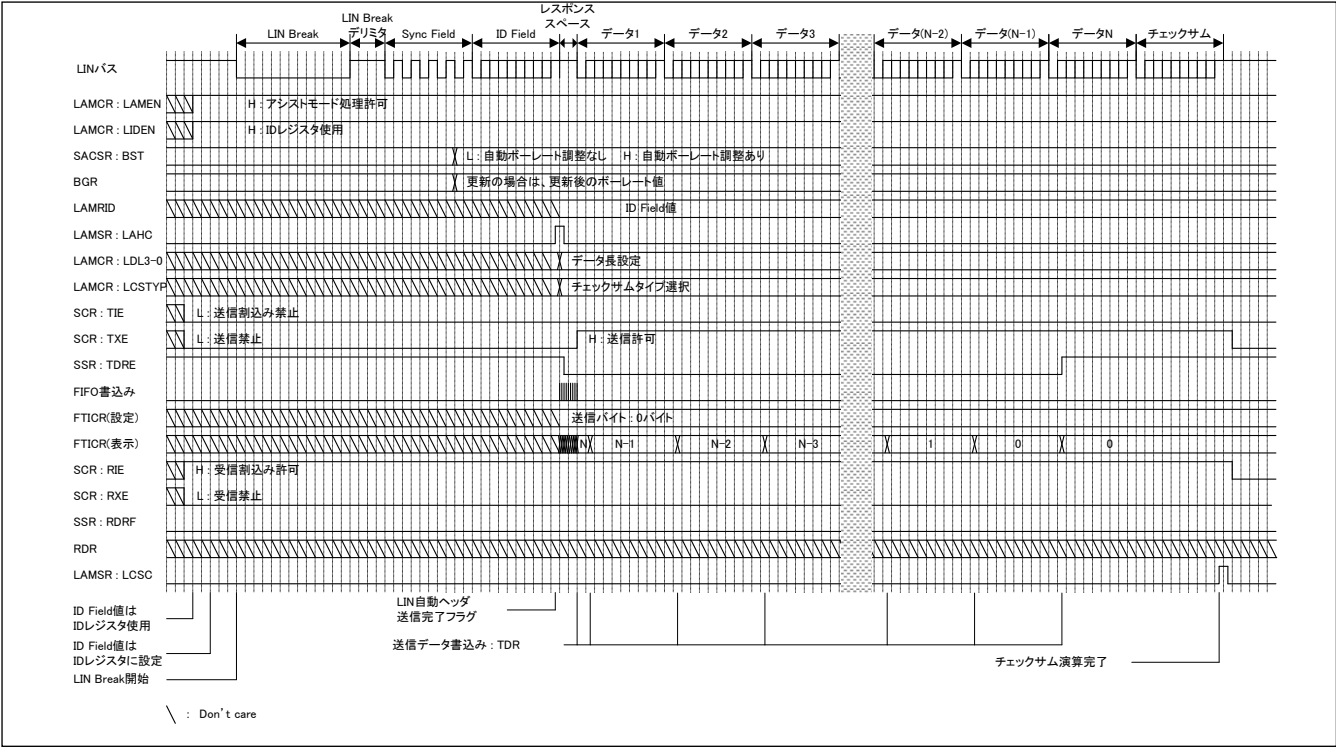


図 6-44 LIN バスタイミング (DATA Field 送信時:FIFO 使用時, SACS:R:AUTE=1, ID レジスタ未使用)

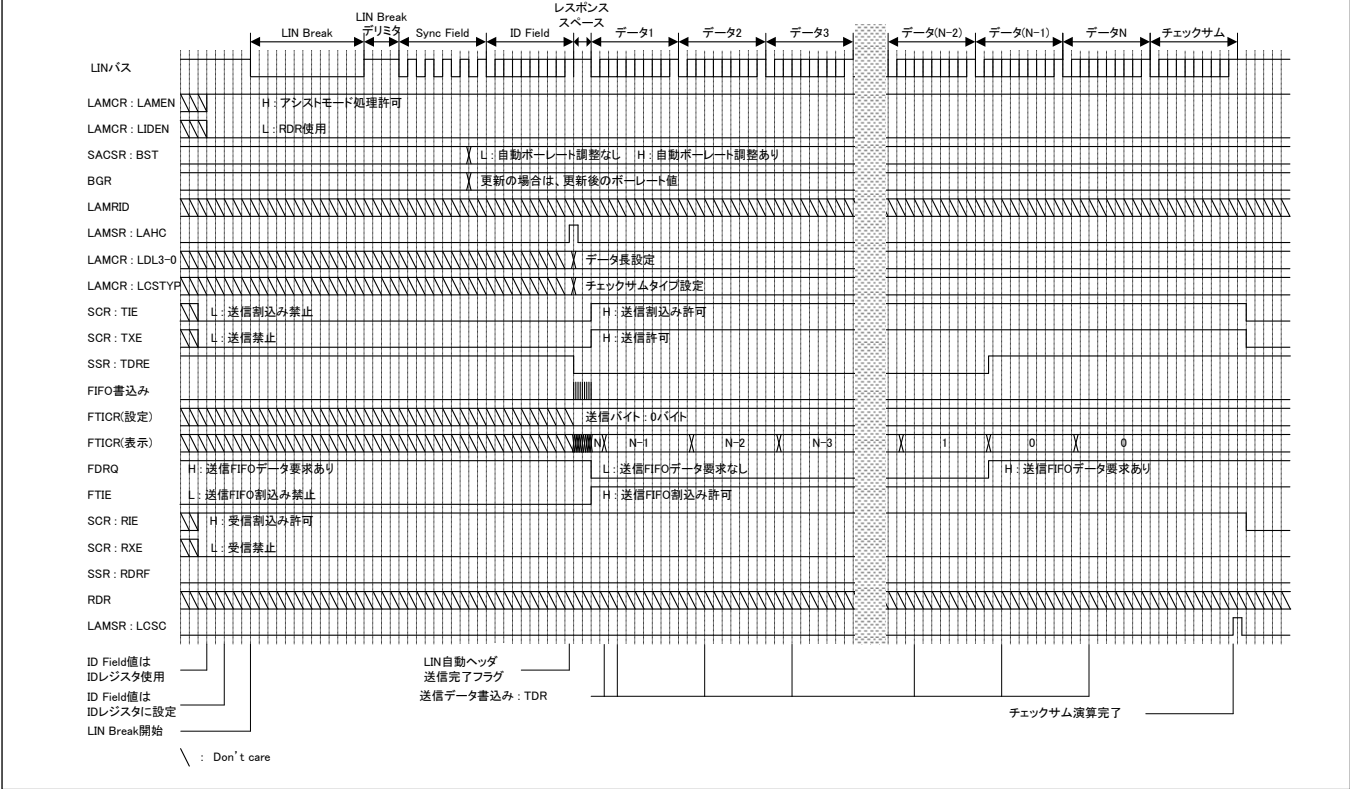


図 6-45 LIN バスタイミング (DATA Field 受信時:FIFO 使用時, SACSR:AUTE=1, ID レジスタ使用)

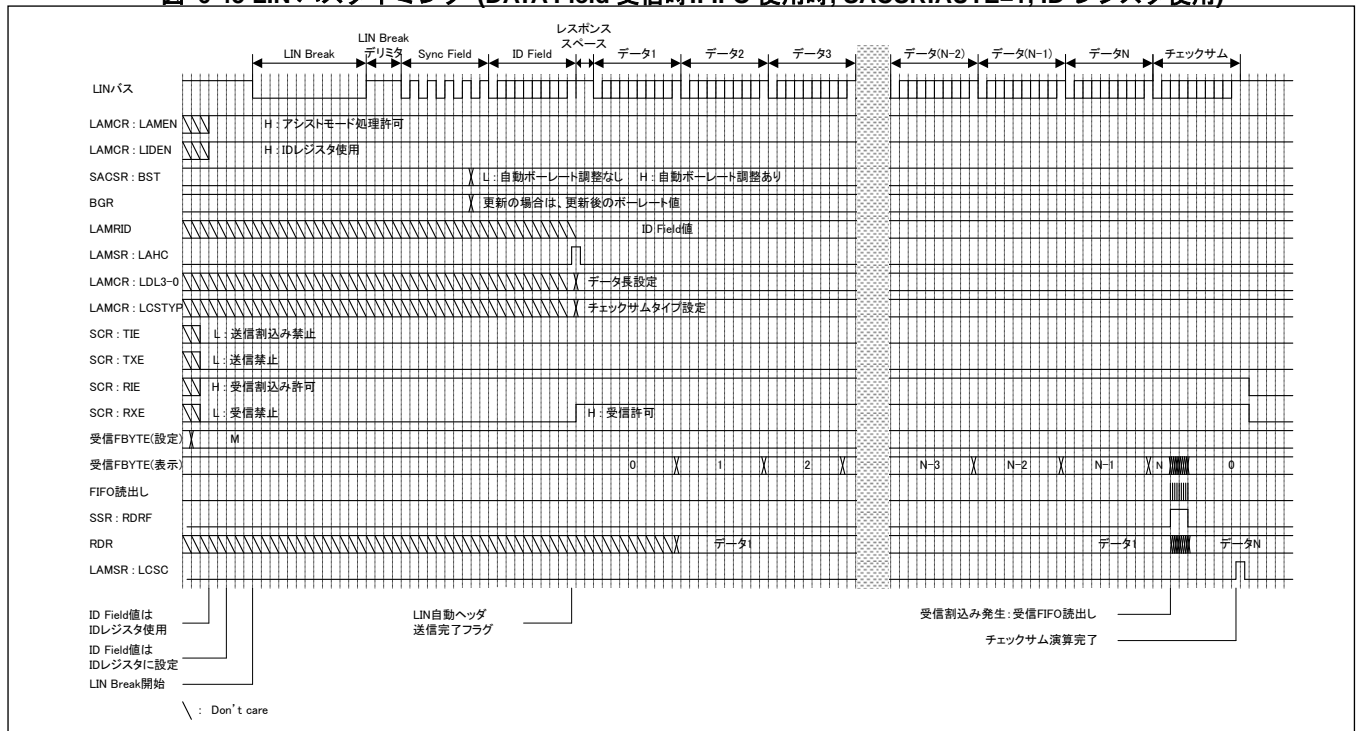
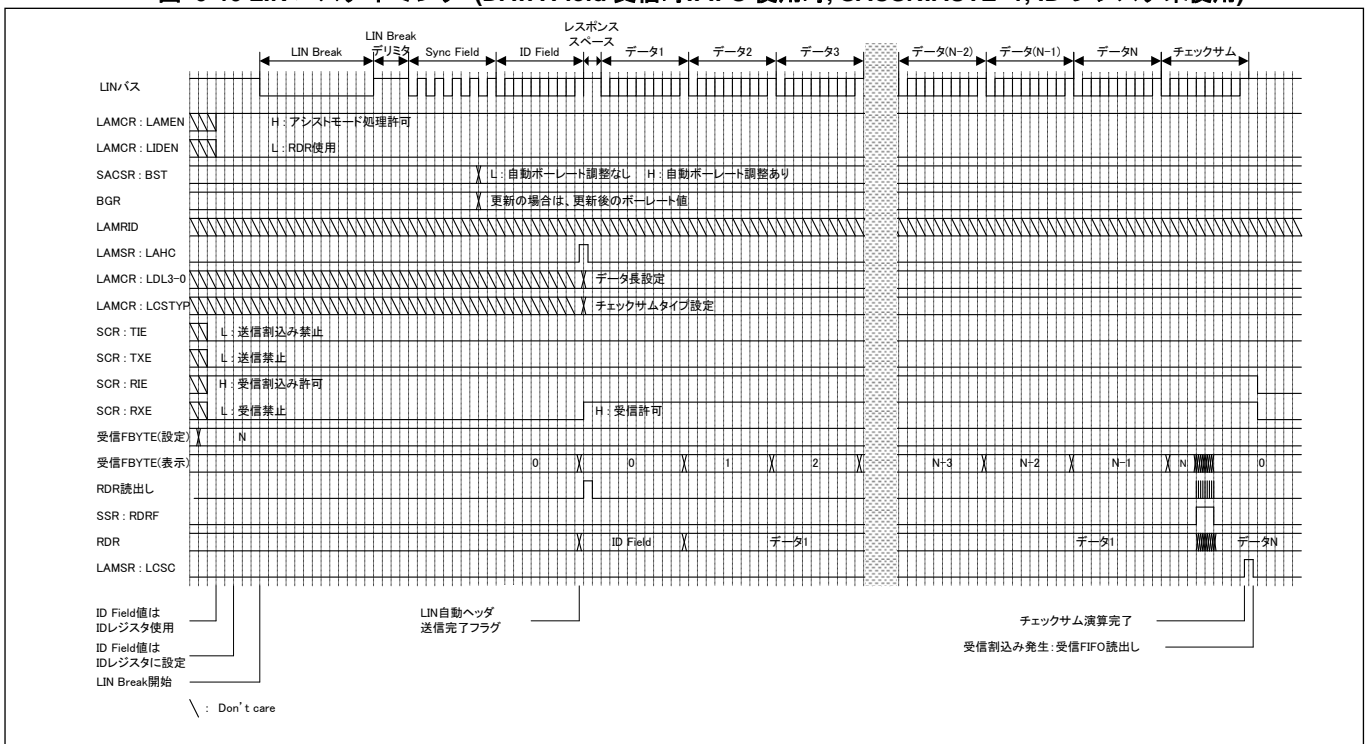


図 6-46 LIN バスタイミング (DATA Field 受信時:FIFO 使用時, SACSR:AUTE=1, ID レジスタ未使用)



7. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー

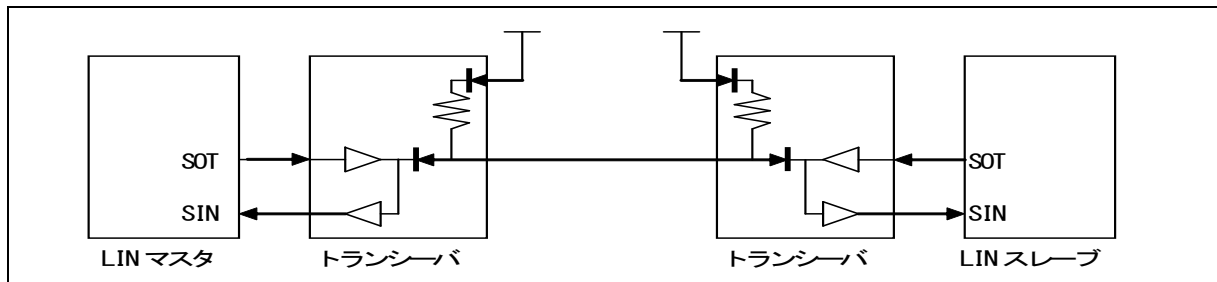
動作モード 3(LIN 通信モード)は、LIN マスタシステムもしくは、LIN スレーブシステムに使用できます。

(1) レジスタの設定

a) MCU 間接続

1 つの LIN マスタと LIN スレーブの通信システムを図 7-1 に示します。LIN インタフェース(v2.1)は、LIN マスタまたは、LIN スレーブとして動作できます。

図 7-1 LIN バスシステムの通信例





7.1. マニュアルモード

マニュアルモードにおける、マスタ側およびスレーブ側のフローチャート例を示します。

フローチャート例

a) マスタ動作

図 7-2 LIN 通信マスタモードフローチャート例(FIFO 未使用)

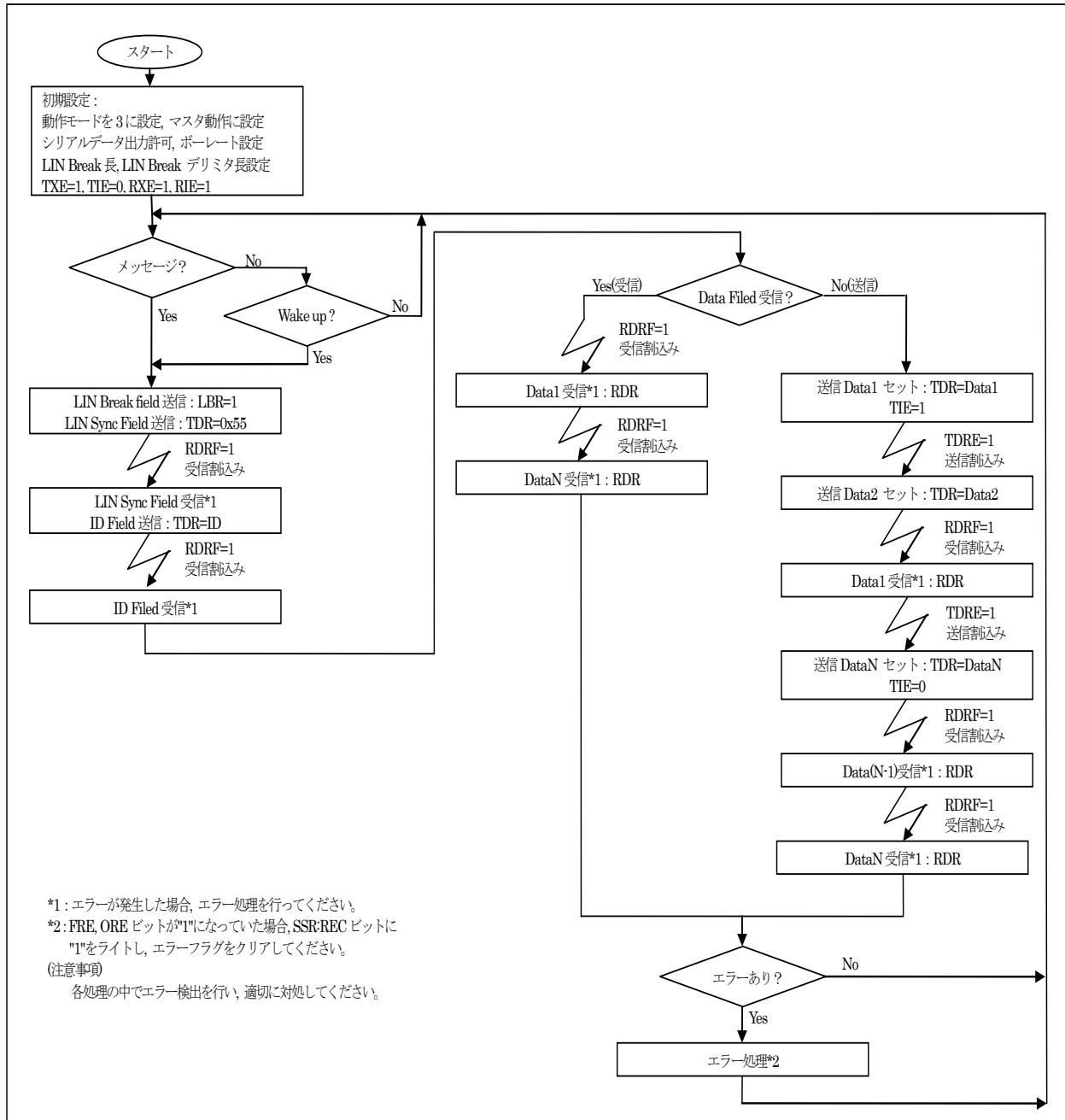
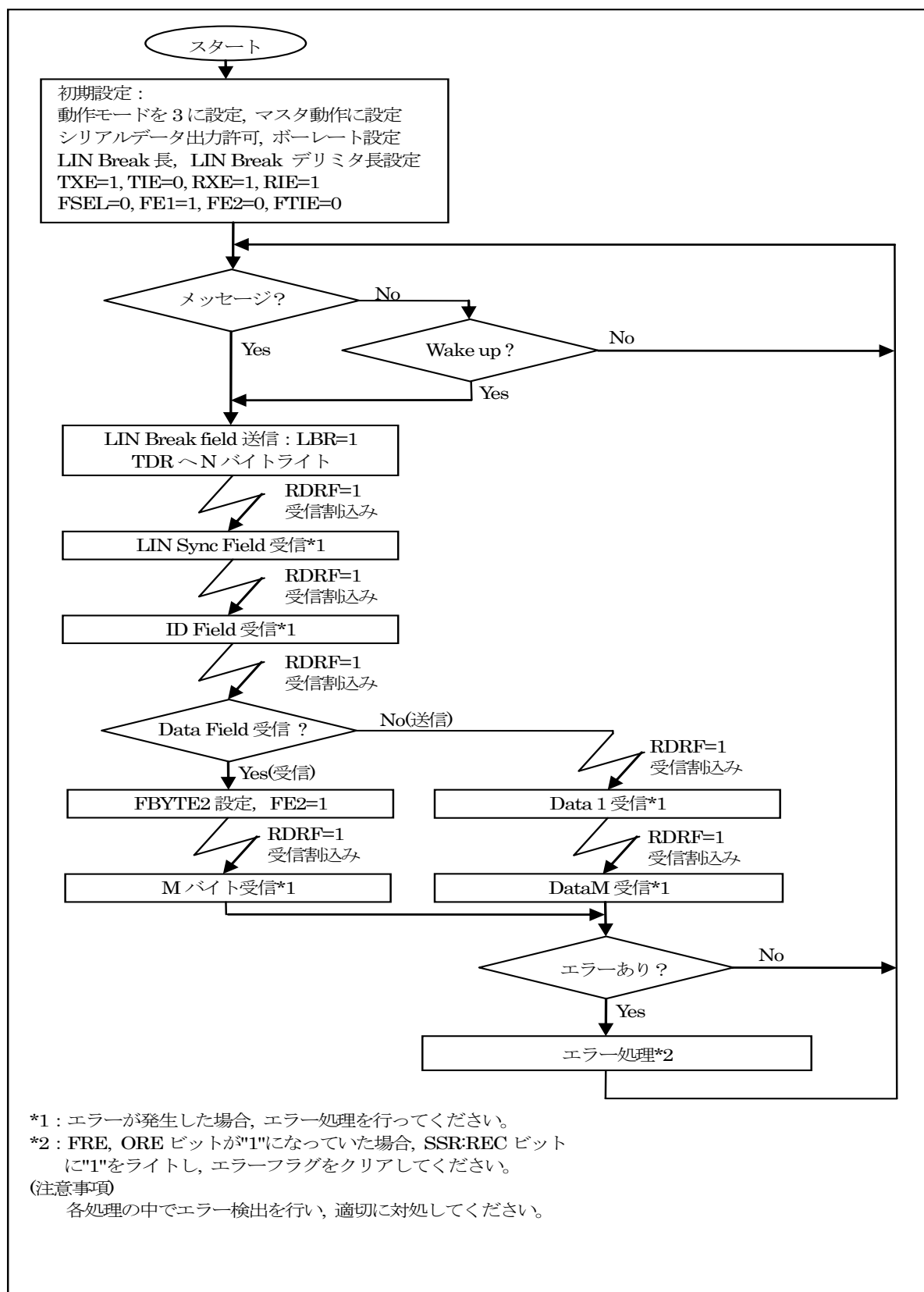


図 7-3 LIN 通信マスターモードフローチャート例(FIFO 使用)



b) スレーブ動作

図 7-4 LIN 通信スレーブモードフローチャート例(FIFO 未使用, 自動ポーレート調整許可(SACSR:AUTE=1))

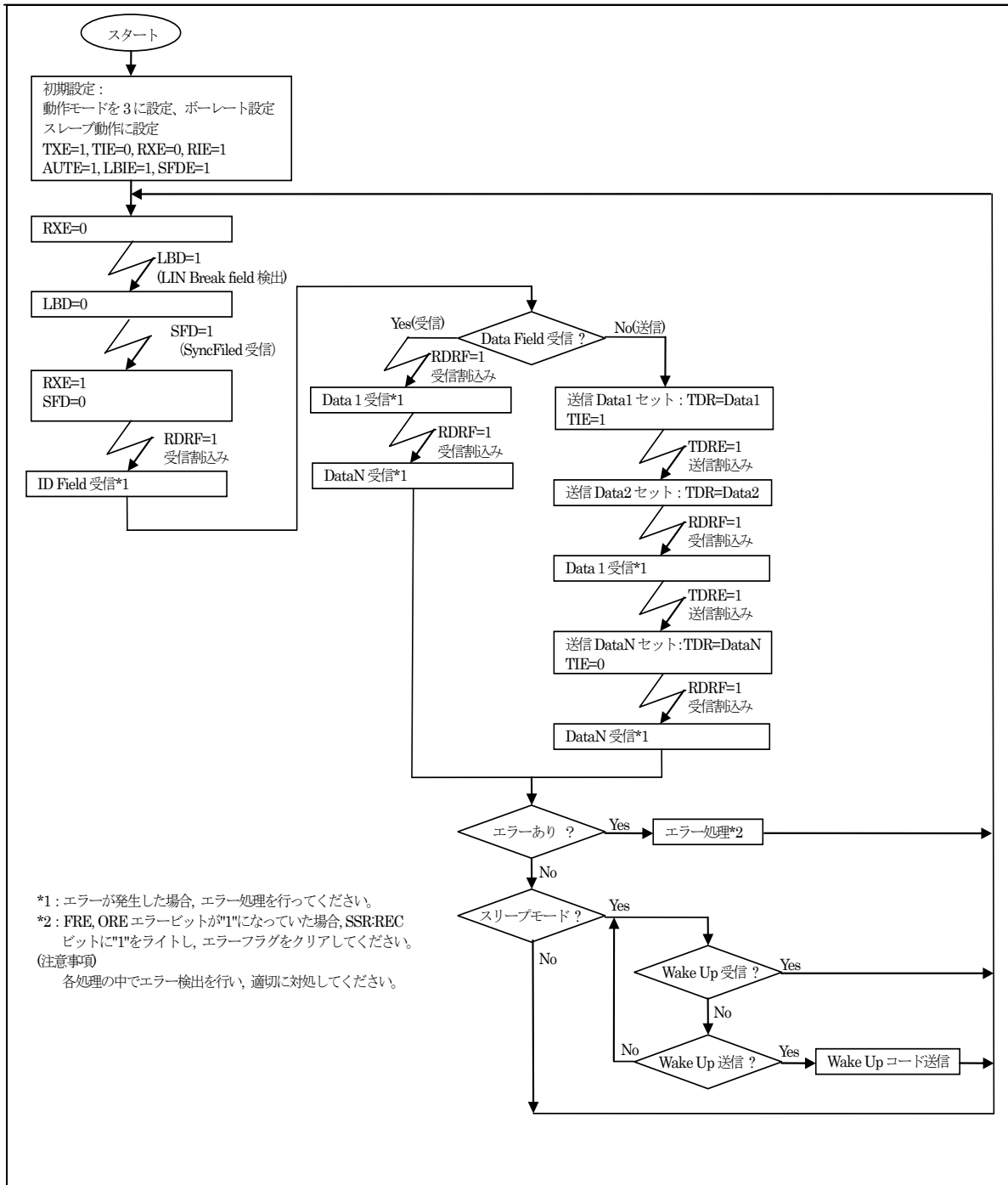
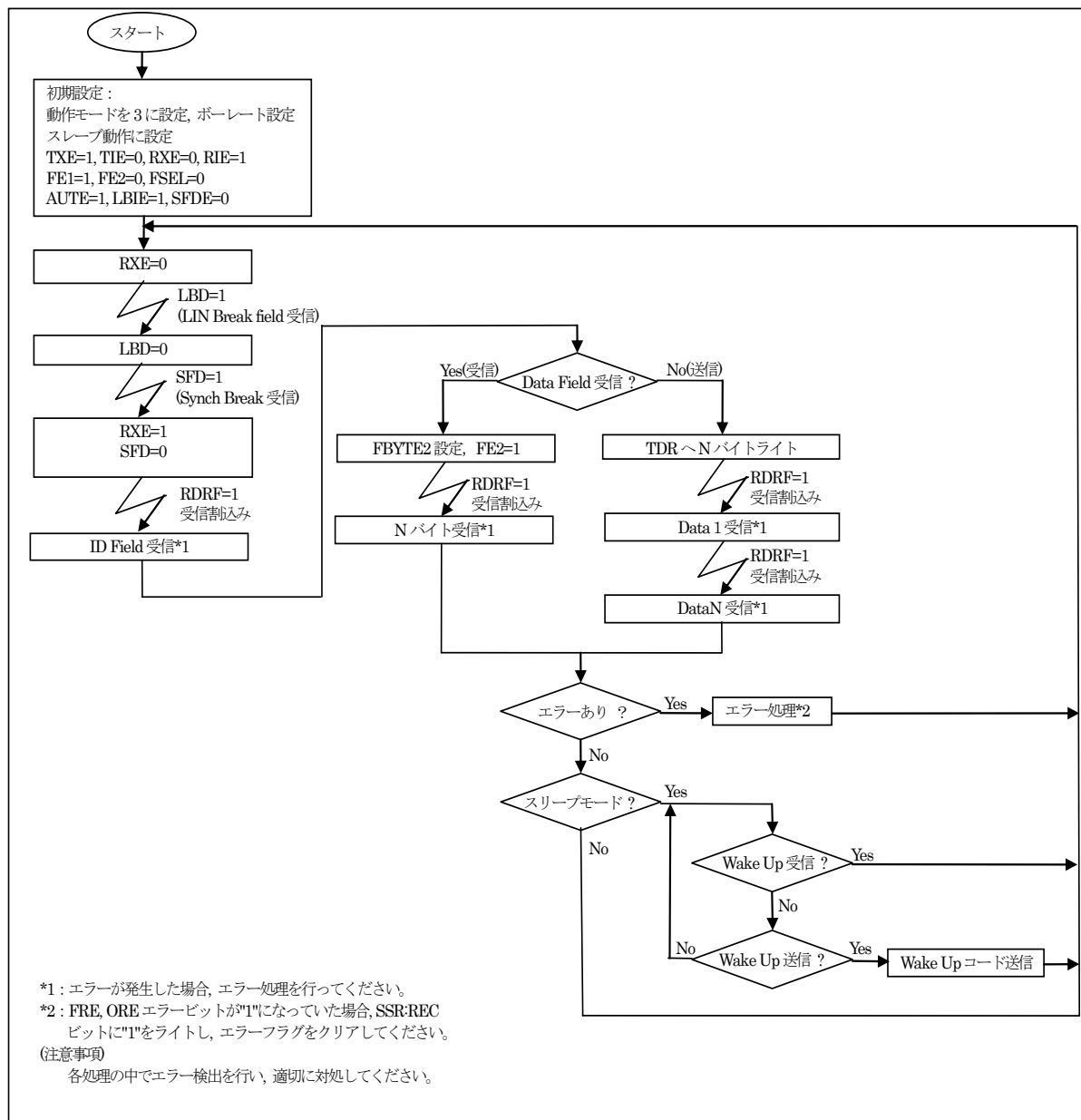


図 7-5 LIN 通信スレープモードフローチャート例(FIFO 使用, 自動ボーレート調整許可(SACSR:AUTE=1))





7.2. アシストモード

アシストモードモードにおける、マスタ側およびスレーブ側のフローチャート例を示します。

フローチャート例

次ページからフローチャート例を記載します。

表記説明

ソフトウェア処理

ハードウェア処理

スタート

初期設定1:
動作モード3設定 (SMRMD2=0~3)、マスタモード設定 (SCRMS=0)、シリアルデータ出力許可 (SMR-SOE=1)、
ボーレート設定 (BGR)、自動ボーレート調整禁止 (SACSR-AUTE=0)、
LIN Break長設定 (ESCR-LBL2=0)、LIN Breakデリミタ長設定 (ESCR-DEL1=0)、ストップビット長設定 (SMR-SBL, ESCR-SBL)、
LINアシストモード処理許可 (LAMCRLAMEN=1)、LIN IDレジスタ使用設定 (LAMCRLIDEN)

初期設定2:
LIN ID設定 (LAMTID)、LINデータ長設定 (LAMCRLDL3=0)、LINチェックサムタイプ設定 (LAMCRLCSTYP)、
LIN Break割込み禁止 (ESCR-LBIE=0)、Sync Field割込み禁止 (SACSR-SFDE=0)、送信バースアイドル割込み禁止 (SCR-TBIE=0)、
LIN自動ヘッダ完了割込み許可 (LAMIERLAHCIE=1)、LINチェックサム演算完了割込み許可 (LAMIERLCSIE=1)、
送信動作許可 (SCR-TXE=1)、送信割込み禁止 (SCR-TIE=0)、受信動作禁止 (SCR-RXE=0)、受信割込み許可 (SCR-RIE=1)

LIN Break Field 送信起動 (SCR-LBR=1)

LIN Break Field 送信
LIN Break Field 受信

LINバスエラーなし?

NO
受信割込み
エラー処理

YES
Sync Field 送信 (0x55)
Sync Field 受信

LINバスエラー、
フレームングエラーなし?

NO
受信割込み
エラー処理

YES
IDレジスタ使用?

YES(使用)
ID Field 送信 (ID=LAMTID)
ID Field 受信 (LAMRID)

NO(未使用)
送信ID設定 (TDR)
ID Field 送信 (ID=TDR)
ID Field 受信 (LAMRID, RDR)

LINバスエラー、フレームングエラー、
IDバリエーションなし?

NO
受信割込み
エラー処理

YES
LAMSR-LAHC=1 LIN自動ヘッダ完了
割込みクリア (LAMSR-LAHC=0)

ヘッダ処理
レスポンス処理

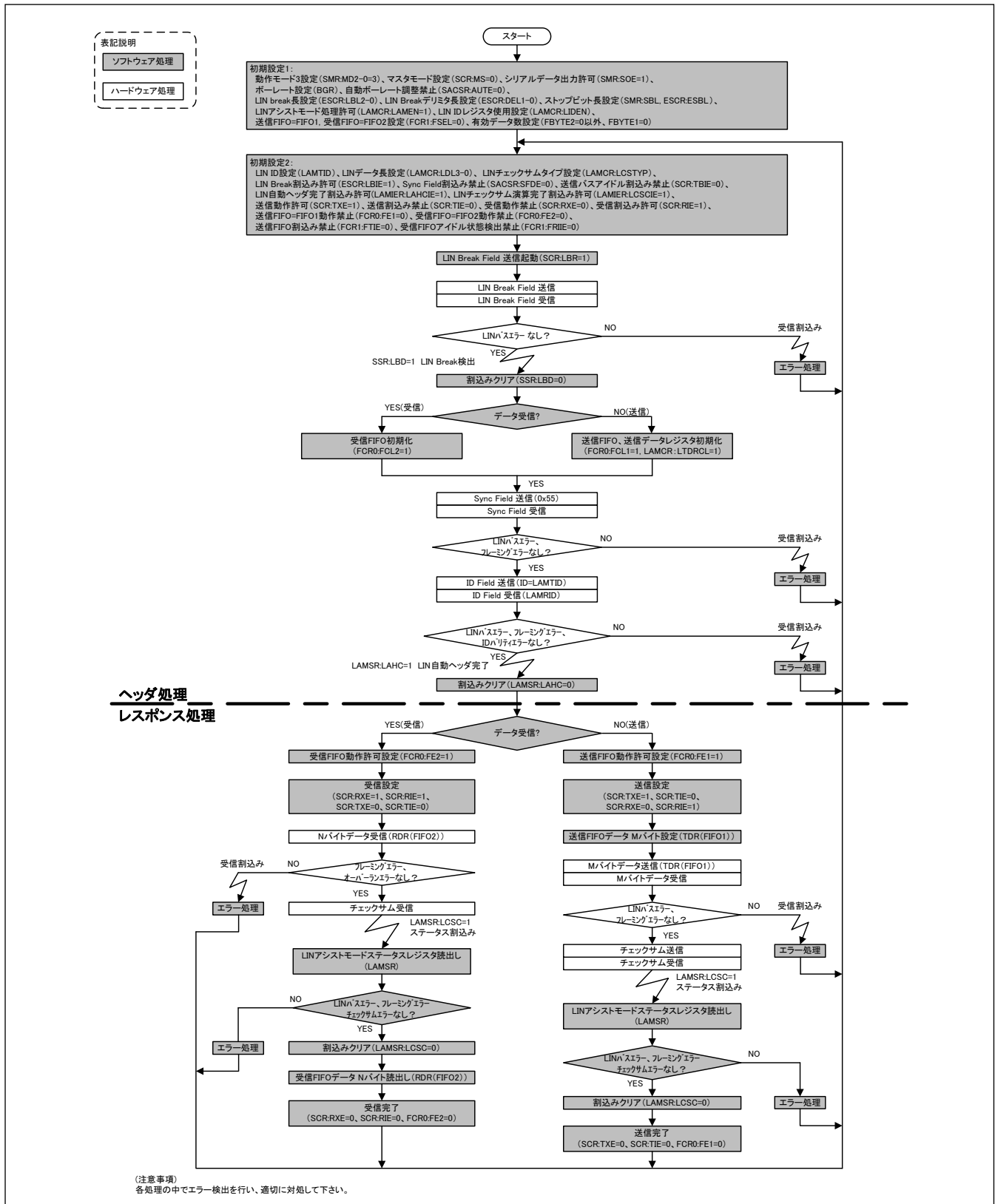
データ受信?

YES(受信)
LDL = 0 ?
NO
受信設定 (SCR-RXE=1, SCR-RIE=1, SCR-TXE=0, SCR-TIE=0)
データN受信 (RDR)
フレームングエラー、
オーバーランエラーなし?
NO
データ受信完了?
YES
LAMSR-RDRF=1
または、SSR-RDRF=1
受信割込み
受信データN読出し (RDR)
LDL=受信データ数?
YES
フレームングエラー、
オーバーランエラーなし?
NO
チェックサム受信完了?
YES
LAMSR-LCSC=1
ステータス割込み
LINアシストモードステータスレジスタ読出し (LAMSR)
フレームングエラー、オーバーランエラー、
チェックサムエラーなし?
YES
割込みクリア (LAMSR-LCSC=0)
受信完了 (SCR-RXE=0, SCR-RIE=0)
エラー処理

NO(送信)
送信設定 (SCR-TXE=1, SCR-TIE=1, SCR-RXE=0, SCR-RIE=1)
LAMSR-TDRE=1
または、SSR-TDRE=1
送信割込み
送信データM設定 (TDR)
LDL = 0 ?
NO
LINバスエラー、
フレームングエラーなし?
YES
データ送信開始?
YES
LAMSR-TDRE=1
または、SSR-TDRE=1
送信割込み
LDL=送信データ数?
YES
送信割込み禁止 (SCR-TIE=0)
LINバスエラー、
フレームングエラーなし?
NO
チェックサム送信完了?
YES
LAMSR-LCSC=1
ステータス割込み
LINアシストモードステータスレジスタ読出し (LAMSR)
LINバスエラー、フレームングエラー、
チェックサムエラーなし?
YES
割込みクリア (LAMSR-LCSC=0)
送信完了 (SCR-TXE=0, SCR-TIE=0, SCR-RIE=0)
エラー処理

(注意事項)
各処理の中でエラー検出を行い、適切に対処して下さい。

図 7-7 LIN 通信マスタモードフローチャート例(アシストモード/FIFO 使用)



★LIN通信スレープモードフローチャート例(FIFO未使用、自動ポーレート調整許可)
 ■アシストモードでFIFO未使用、自動ポーレート調整許可

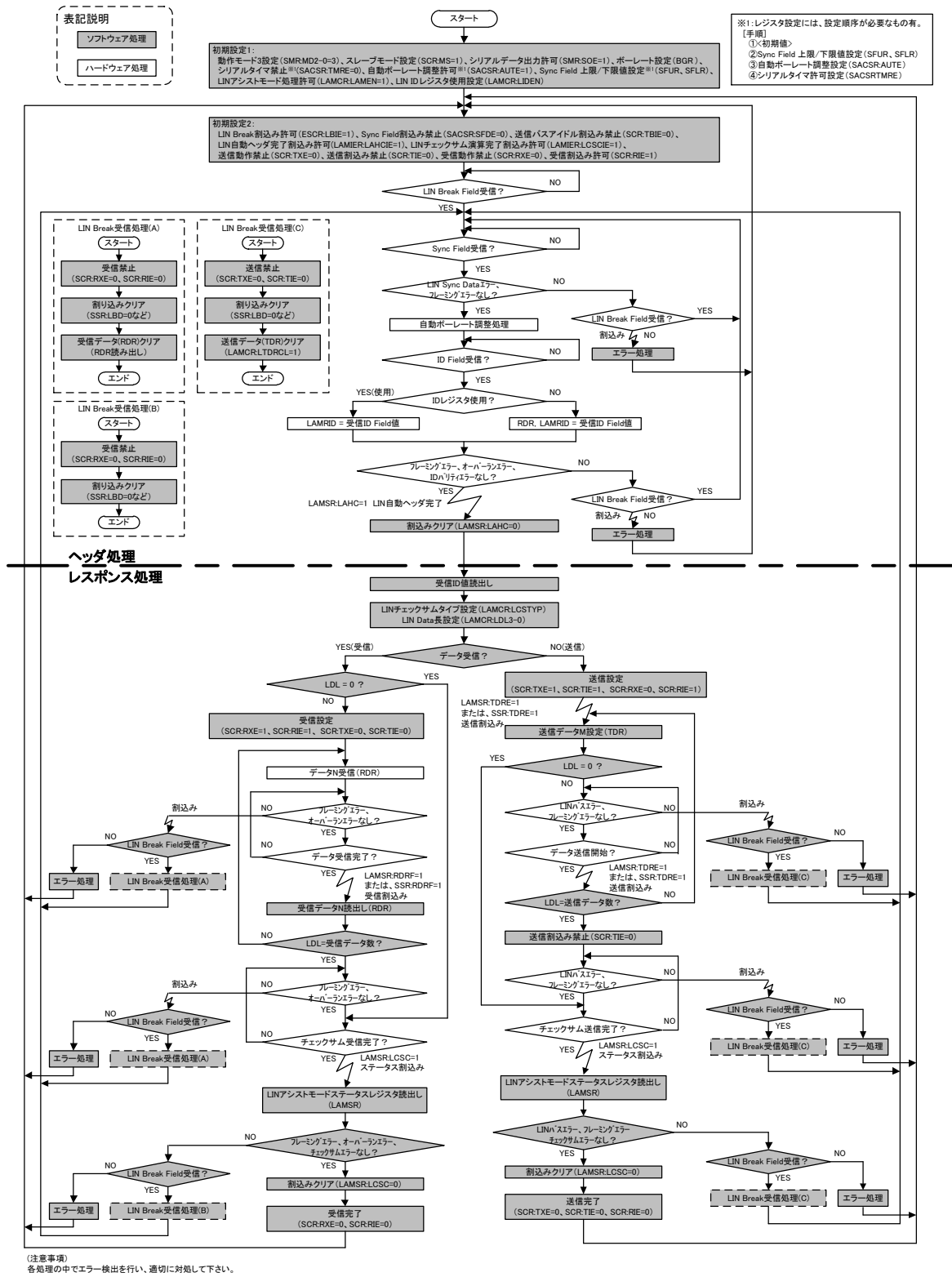
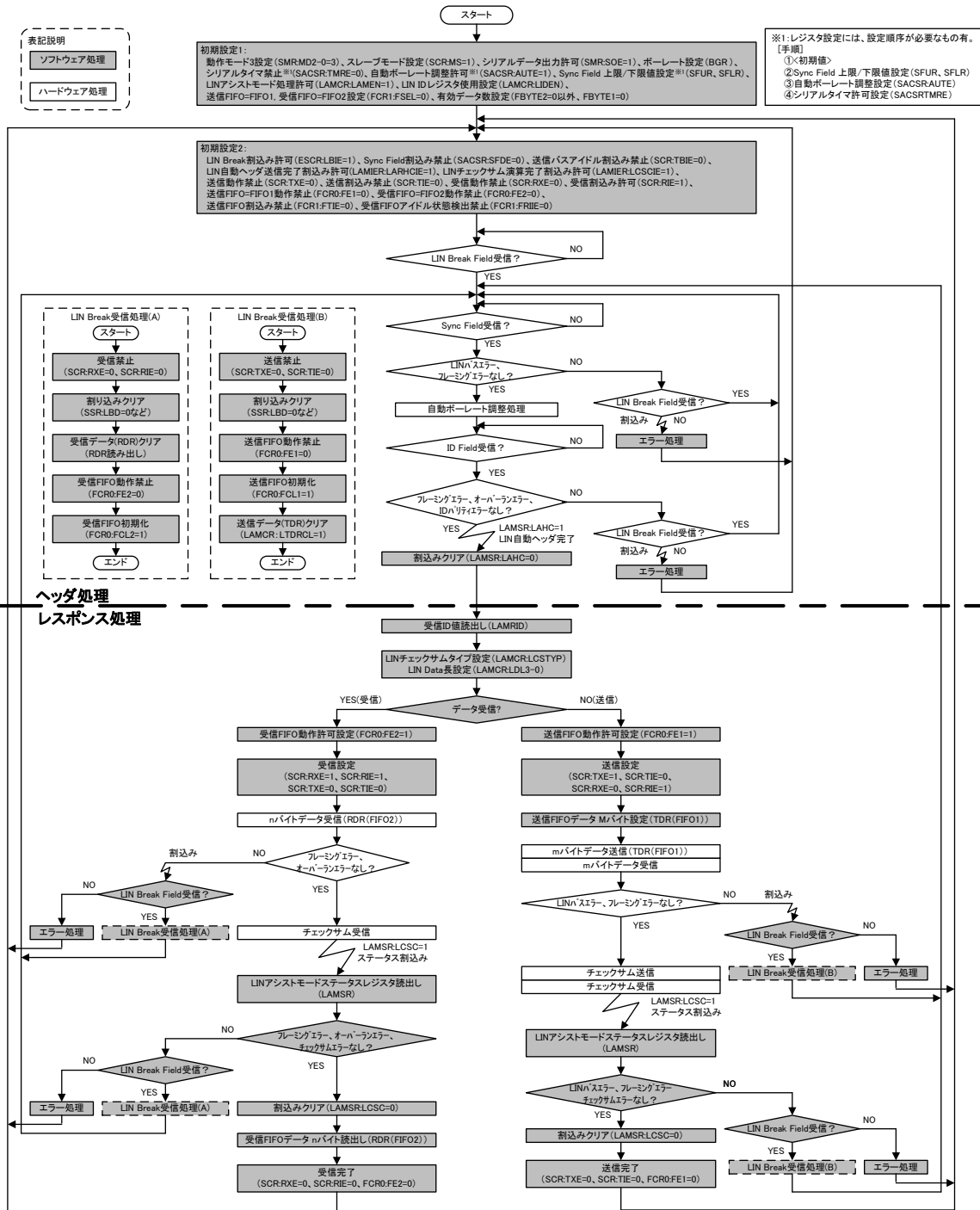


図 7-9 LIN 通信スレーブモードフローチャート例(アシストモード/FIFO 使用)

★LIN通信スレーブモードフローチャート例(FIFO使用、自動ボーレート調整許可)

■アシストモードでFIFOを使用し、自動ボーレート調整許可



8. レジスタ

LIN インタフェース(v2.1)のレジスタ一覧を示します。

すべてのレジスタにはプレフィックス「MFSxx_」が付きます。xx はチャンネル番号(00, 01, 02, 03, 04)です。

表 8-1 LIN インタフェース(v2.1)のレジスタ一覧

レジスタ略称	レジスタ名	参照先
SCR	シリアル制御レジスタ	8.1
SMR	シリアルモードレジスタ	8.2
SSR	シリアルステータスレジスタ	8.3
ESCR	拡張通信制御レジスタ	8.4
RDR/TDR	受信データレジスタ/送信データレジスタ	8.5
SACSR	シリアル補助制御ステータスレジスタ	8.6
STMR	シリアルタイマレジスタ	8.7
STMCR	シリアルタイマ比較レジスタ	8.8
SFUR	シンクフィールド上限レジスタ	8.9
SFLR	シンクフィールド下限レジスタ	8.10
BGR0/1	ボーレートジェネレータレジスタ	8.11
LAMSR	LIN アシストモードステータスレジスタ	8.12
LAMCR	LIN アシストモード制御レジスタ	8.13
LAMIER	LIN アシストモード割込み許可レジスタ	8.14
LAMTID /LAMRID	LIN アシストモード送信/受信 ID レジスタ	8.15
LAMESR	LIN アシストモードエラーステータスレジスタ	8.16
LAMERT	LIN アシストモード障害試験レジスタ	8.17
FCR1	FIFO 制御レジスタ 1	8.18
FCR0	FIFO 制御レジスタ 0	8.19
FBYTE	FIFO バイトレジスタ	8.20
FTICR	送信 FIFO 割込み制御レジスタ	8.21
SCRC	シリアル制御クリアレジスタ	8.22
SMRC	シリアルモードクリアレジスタ	8.23
SSRC	シリアルステータスクリアレジスタ	8.24
ESCRC	拡張通信制御クリアレジスタ	8.25
SACSRC	シリアル補助制御ステータスクリアレジスタ	8.26
LAMSRC	LIN アシストモードステータスクリアレジスタ	8.27
LAMCRC	レジスタ:ステータスレジスタ	8.28
LAMIERC	LIN アシストモード割込み許可クリア	8.29
LAMESRC	LIN アシストモードエラーステータスクリアレジスタ	8.30
FCR1C	FIFO 制御クリアレジスタ 1	8.31
FCR0C	FIFO 制御クリアレジスタ 0	8.32
SCRS	シリアル制御セットレジスタ	8.33
SMRS	シリアルモードセットレジスタ	8.34
SSRS	シリアルステータスセットレジスタ	8.35
ESCRS	拡張通信制御セットレジスタ	8.36
SACSRS	シリアル補助制御ステータスセットレジスタ	8.37
LAMCRS	LIN アシストモード制御セットレジスタ	8.38
LAMIERs	LIN アシストモード割込み許可セットレジスタ	8.39
FCR1S	FIFO 制御セットレジスタ 1	8.40
FCR0S	FIFO 制御セットレジスタ 0	8.41



8.1. シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止、送信アイドル割込みの許可/禁止、送受信動作の許可/禁止の設定を行います。また、LIN Break Field 生成、LIN インタフェース(v2.1)リセットの設定があります。

Bit	15	14	13	12	11	10	9	8
Field	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE
R/W 属性	R0,W	R/W	R0,W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

*本レジスタの下位バイト[bit7:0]はシリアルモードレジスタ(SMR)です。

[bit15] UPCL: プログラマブルクリアビット

- LIN インタフェース(v2.1)の内部状態を初期化するビットです。
- 本ビットはセットレジスタのビット SCRS:UPCLS を"1"に設定した場合、セットされます。
- "1"を設定した場合:
 - LIN インタフェース(v2.1)を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
 - ボーレートジェネレータは、BGR1~0 レジスタの設定値をリロードし、再スタートします。
 - すべての送受信およびステータス割込み要因(SSR:TDRE, TBI, RDRF, FRE, ORE, LBD, SACSR:TINT, SFD, LAMSR:LER, SER, RDRF, TDRE, TBI, LCSC, LAHC, LAMESR:LCSER, LPTER, LSFER, LBSER)は初期化されます。
 - ボーレート設定フラグ(SACSR:BST)は初期化されます。
- "0"を設定した場合:
 - 影響ありません。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	プログラマブルクリア	

<注意事項>

- 割込み禁止に設定した後に、プログラマブルクリアを実行してください。
- FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。
- プログラマブルクリアにより送信/受信 FIFO はクリアされません。
- プログラマブルクリアを実行(SCR:UPCL=1)してもシリアルタイムレジスタ(STMR)の値はクリアされません。

[bit14] MS: マスタ/スレーブ機能選択ビット

- マスタまたはスレーブモードを選択します。
- 本ビットはクリアレジスタのビット SCRC:MSC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SCRS:MSS を"1"に設定した場合、セットされます。

bit	説明
0	マスタモード
1	スレーブモード

[bit13] LBR: LIN Break Field 設定ビット(マスタ動作のみ機能)

- LIN マニュアルモード動作(LAMCR: LAMEN =0)のとき,
 - 本ビットに"1"を設定した場合, ESCR:LBL1~0 ビットおよび, ESCR:DEL1~0 で設定された長さの LIN Break Field と LIN Break デリミタを生成します。
- LIN アシストモード動作(LAMCR: LAMEN =1)のとき,
 - 本ビットに"1"を設定した場合, ESCR:LBL2~0 ビットおよび, ESCR:DEL1~0 で設定された長さの LIN Break Field と LIN Break デリミタを生成した後, Sync Field および ID Field を送信します。
- 本ビットはセットレジスタのビット SCRS:LBR を"1"に設定した場合, セットされます。

ライトした場合:

"0"をライト : 影響しません。

"1"をライト : LIN マニュアルモード動作(LAMCR: LAMEN =0)の場合,

LIN Break Field を生成します。

LIN アシストモード動作(LAMCR: LAMEN =1)の場合,

LIN Break Field を生成し, Sync Field および ID Field を送信します。

リードした場合:

常に"0"が読み出されます。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	LIN マニュアルモード時, LIN Break Field 生成 LIN アシストモード時, LIN Break Field ~ ID Field まで送信	

<注意事項>

- マスタ動作(MS=0)のみ機能します。
- ヘッダ送信中およびレスポンス送受信中に本ビットを"1"に設定してはいけません。
- プログラマブルクリア実行(UPCL=1 書込み)と同時に, LBR セット(LBR=1 書込み)した場合, プログラマブルクリアが優先されます。

[bit12] RIE: 受信割込み許可ビット

- CPU への受信割込み要求出力を許可/禁止するビットです。
- RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または, エラーフラグビット(SSR:FRE, ORE)のいずれかが"1"の場合, 受信割込み要求を出力します。
- 本ビットはクリアレジスタのビット SCRC:RIEC を"1"に設定した場合, リセットされます。
- 本ビットはセットレジスタのビット SCRS:RIES を"1"に設定した場合, セットされます。

bit	説明
0	受信割込み禁止
1	受信割込み許可

**[bit11] TIE: 送信割込み許可ビット**

- CPU への送信割込み要求出力を許可/禁止するビットです。
- TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。
- 本ビットはクリアレジスタのビット SCRC:TIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SCRS:TIES を"1"に設定した場合、セットされます。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE: 送信バスアイドル割込み許可ビット

- CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
- TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。
- 本ビットはクリアレジスタのビット SCRC:TBIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SCRS:TBIES を"1"に設定した場合、セットされます。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE: 受信動作許可ビット

- LIN インタフェース(v2.1)の受信動作を許可/禁止します。
- 本ビットはクリアレジスタのビット SCRC:RXEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SCRS:RXES を"1"に設定した場合、セットされます。
- "0"に設定した場合: データフレーム受信動作が禁止されます。
- "1"に設定した場合: データフレーム受信動作が許可されます。

bit	説明
0	受信禁止
1	受信許可

<注意事項>

- 受信動作許可(RXE=1)にしても、スタートビットの立下りエッジが入力されないと受信動作を開始しません。
- マスタ動作時, LIN Break Field 送信中, 受信動作が許可(RXE=1)状態でもデータは受信しません。
- マニュアルモード(LAMCR:LAMEN=0)時, 受信中に受信動作を禁止(RXE=0)した場合には, 直ちに受信動作を停止します。
- アシストモード(LAMCR:LAMEN=1)時, ヘッダの送受信期間およびレスポンス送信期間は受信禁止設定(RXE=0)してください。
- アシストモード(LAMCR:LAMEN=1)時のヘッダ受信中に受信動作を禁止(RXE=0)としても, ヘッダ受信動作は停止しません。停止させたい場合は, 受信禁止設定(RXE=0)かつマニュアルモード(LAMCR:LAMEN=0)に設定してください。
- アシストモード(LAMCR:LAMEN=1)時のレスポンス受信中に受信動作を禁止(RXE=0)した場合には, 直ちに受信動作を停止します。
- LIN Break Field 受信時, 受信許可(RXE=1)設定されている場合, フレーミングエラー検出(SSR:FRE=1)します。



[bit8] TXE: 送信動作許可ビット

- LIN インタフェース(v2.1)の送信動作を許可/禁止します。
- 本ビットはクリアレジスタのビット SCRC:TXEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SCRS:TXES を"1"に設定した場合、セットされます。
- "0"に設定した場合：データフレーム送信動作が禁止されます。
- "1"に設定した場合：データフレーム送信動作が許可されます。

bit	説明
0	送信禁止
1	送信許可

<注意事項>

- マニュアルモード(LAMCR:LAMEN=0)時、送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。
- アシストモード(LAMCR:LAMEN=1)時のヘッダ送信中に送信動作を禁止(TXE=0)としても、ヘッダ送信動作は停止しません。停止させたい場合は、送信禁止設定(TXE=0)かつマニュアルモード(LAMCR:LAMEN=0)に設定してください。
- アシストモード(LAMCR:LAMEN=1)時のレスポンス送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。



8.2. シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定、転送方向、データ長、ストップビット長の選択およびシリアルデータとクロックの端子への出力許可/禁止の設定を行います。

Bit	7	6	5	4	3	2	1	0
Field	MD2	MD1	MD0	Reserved	SBL	Reserved		SOE
R/W 属性	R/W	R/W	R/W	R/W0	R/W	R0,W0		R/W
保護属性	-							
初期値	0	0	0	0	0	00		0

[bit7:5] MD2～0: 動作モード設定ビット

動作モードを設定します。

"0b000": 動作モード 0(非同期ノーマルモード)に設定されます。

"0b001": 動作モード 1(非同期マルチプロセッサモード)に設定されます。

"0b010": 動作モード 2(クロック同期モード)に設定されます。

"0b011": 動作モード 3(LIN 通信モード)に設定されます。

bit			説明
MD2	MD1	MD0	
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
上記以外			設定禁止

- 動作モード 3 のレジスタおよび動作について説明します。
- 動作モード 0/1 については『UART』の章を、動作モード 2 については『CSIO』の章を参照してください。

<注意事項>

- 動作モードを切り換える場合は、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。
- 動作モード設定後、各レジスタを設定してください。

[bit4] Reserved: 予約ビット

[bit3] SBL: ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

- 本ビットはクリアレジスタのビット SMRC:SBLC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SMRS:SBLS を"1"に設定した場合、セットされます。
- SBL=0, ESCR:ESBL=0 に設定した場合 : ストップビットは 1 ビットに設定されます。
- SBL=1, ESCR:ESBL=0 に設定した場合 : ストップビットは 2 ビットに設定されます。
- SBL=0, ESCR:ESBL=1 に設定した場合 : ストップビットは 3 ビットに設定されます。
- SBL=1, ESCR:ESBL=1 に設定した場合 : ストップビットは 4 ビットに設定されます。

bit	説明	
0	ESCR:ESBL=0	1 ビット
	ESCR:ESBL=1	3 ビット
1	ESCR:ESBL=0	2 ビット
	ESCR:ESBL=1	4 ビット

<注意事項>

- 受信時は、常にストップビットの 1 ビット目だけを検出します。
- 本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。

[bit2:1] Reserved: 予約ビット**[bit0] SOE: シリアルデータ出力許可ビット**

シリアルデータの出力を許可/禁止するビットです。

- 本ビットはクリアレジスタのビット SMRC:SOEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SMRS:SOES を"1"に設定した場合、セットされます。
- "0"に設定した場合 : SOUT 端子は汎用入出力ポートに設定されます。
- "1"に設定した場合 : SOUT 端子はシリアルデータ出力端子(SOUT)に設定されます。

bit	説明
0	汎用入出力ポート
1	シリアルデータ出力端子

<注意事項>

- SOT 端子はリソース出力端子として設定してください。設定方法は『I/O ポート』の章を参照してください。



8.3. シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認、受信エラーフラグの確認、LIN Break Field の検出または受信エラーフラグのクリアを行います。

Bit	15	14	13	12	11	10	9	8
Field	REC	Reserved	LBD	FRE	ORE	RDRF	TDRE	TBI
R/W 属性	R0,W	R0,W0	R,W	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	1	1

*本レジスタの下位バイト[bit7:0]は拡張通信制御レジスタ(ESCR)です。

[bit15] REC: 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)のFRE, OREおよび、LINアシストモードステータスレジスタ(LAMSR)のSER フラグをクリアするビットです。

- 本ビットはセットレジスタのビット SSRS:RECS を"1"に設定した場合、セットされます。
- "1"書込みで、エラーフラグがクリアされます。
- "0"書込みは、影響しません。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	受信エラーフラグ (FRE, ORE, LAMSR:SER)のクリア	

[bit14] Reserved: 予約ビット

[bit13] LBD: LIN Break Field 検出フラグビット

LIN Break Field 検出を示すビットです。

シリアル入力(SIN)が 11 ビット幅以上"L"入力されると、LBD ビットは"1"に設定されます。このとき、LIN Break Field 割込み許可ビット(LBIE)が"1"に設定されていると、ステータス割込みが発生します。

本ビットはクリアレジスタのビット SSRC:LBDC を"1"に設定した場合、リセットされます。

(リードした場合)

"1"の場合 : LIN Break Field が検出されています。

"0"の場合 : LIN Break Field が検出されていません。

(ライトした場合)

"0"をライトした場合 : LBD ビットをクリアします。

"1"をライトした場合 : 影響しません。

bit	説明	
	ライト	リード
0	LBD フラグクリア	LIN Break Field 検出なし
1	影響なし	LIN Break Field 検出あり

[bit12] FRE: フレーミングエラーフラグビット

- 受信時にフレーミングエラーが発生した場合、"1"に設定されます。シリアルステータスレジスタ(SSR)のREC ビットに"1"を書き込むとクリアされます。

- FRE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	フレーミングエラーなし
1	フレーミングエラーあり

<注意事項>

- LIN Break Field 受信時、受信許可設定(SCR:RXE=1)されている場合、LIN Break Field 検出する前にフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。
- アシストモード(LAMCR:LAMEN)において、LIN Break Field を検出し ID Field 受信完了までの間に、続けて新たな LIN Break がマスタより送信された場合、新たな LIN Break Field の 10 ビット目の"L"レベルで受信禁止設定(SCR:RXE=0)に関係なくフレーミングエラーを検出します。ただし、正常にヘッダ受信を停止することなく動作します。

[bit11] ORE: オーバランエラーフラグビット

- 受信時にオーバランが発生した場合、"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
- ORE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合、受信データレジスタ(RDR)のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF: 受信データフルフラグビット

- 受信データレジスタ(RDR)の状態を示すフラグです。
- RDR に受信データがロードされると"1"に設定されます。受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
- RDRF ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO を読み出して受信 FIFO がエンプティになった場合"0"にクリアされます。

bit	説明
0	受信データレジスタ RDR がエンプティ
1	受信データレジスタ RDR にデータが存在する

<注意事項>

- 受信 FIFO 使用時、RDRF が"1"になった後、受信 FIFO をリセット(FCR0:FCL2, FCL1=1)しても RDRF は"0"になりません。そのため、受信 FIFO リセット後に RDRF を"0"にするためには、受信禁止状態(SCR:RXE=0)で受信データレジスタをダミーリードしてください。
- アシストモード(LAMCR:LAMEN=1)のスレーブ(SCR:MS=1)動作において、ID Field の受信に受信データレジスタ(RDR)を使用する設定(LAMCR:LIDEN=0)の場合、受信 ID Field 値が受信データレジスタ(RDR)にロードされると受信データフルフラグビットがセット(RDRF=1)されます。また、同時に LIN 自動ヘッダ完了フラグもセット(LAMSR:LAHC=1)されます。
- アシストモード(LAMCR:LAMEN=1)のスレーブ(SCR:MS=1)動作において、ID Field の受信に LIN アシストモード受信 ID レジスタを使用する設定(LAMCR:LIDEN=1)のとき、ID Field を受信した場合、



受信ID値は受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。

- Sync Field およびチェックサムは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。
- 送信した各フィールドのデータは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。

[bit9] TDRE: 送信データエンプティフラグビット

- 送信データレジスタ(TDR)の状態を示すフラグです。
- TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
- TDRE ビットと TIE ビットが"1"の場合、送信割込み要求を出力します。
- シリアル制御レジスタ(SCR)の UPCL ビットに"1"を書き込むと TDRE ビットは"1"に設定されます。
- アシストモード(LAMCR:LAMEN=1)のマスタ(SCR:MS=0)動作において、ID Field 送信に送信データレジスタ(TDR)を使用する場合(LAMCR:LIDEN=0)、ID Field の最初の1ビット目が送信されると、送信データエンプティフラグがセット(TDRE=1)されます
- 送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ TDR にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI: 送信バスアイドルフラグビット

- LIN インタフェース(v2.1)が送信動作をしていないことを示すビットです。
- 送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"に設定されます。
- 送信データレジスタ(TDR)がエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。
- マニュアルモード(LAMCR:LAMEN=0)の場合

LIN Break Field が設定(SMR:LBR=1)された場合に本ビットは"0"に設定されます。

LIN Break Field 送信が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。

- アシストモード(LAMCR:LAMEN=1)の場合

マスタ(SCR:MS=0)のヘッダ送信中本ビットは"0"に設定されます。

ヘッダ送信(ID Field 送信)が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。

レスポンス送信中本ビットは"0"に設定されます。

レスポンス送信(チェックサム送信)が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。

- 本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

8.4. 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、LIN Break Field 割込みの許可/禁止、LIN Break Field の検出、LIN Break Field 長、LIN Break デリミタ長の設定、ストップビット長の選択を行います。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	ESBL	LBL2	LBIE	LBL1	LBL0	DEL1	DEL0
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6] ESBL: 拡張ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

- 本ビットはクリアレジスタのビット ESCRC:ESBLC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット ESCRS:ESBLS を"1"に設定した場合、セットされます。

SBL=0, ESCR:ESBL=0 に設定した場合：ストップビットは 1 ビットに設定されます。

SBL=1, ESCR:ESBL=0 に設定した場合：ストップビットは 2 ビットに設定されます。

SBL=0, ESCR:ESBL=1 に設定した場合：ストップビットは 3 ビットに設定されます。

SBL=1, ESCR:ESBL=1 に設定した場合：ストップビットは 4 ビットに設定されます。

bit	説明	
0	SMR:SBL=0	1 ビット
	SMR:SBL=1	2 ビット
1	SMR:SBL=0	3 ビット
	SMR:SBL=1	4 ビット

<注意事項>

- 受信時は、常にストップビットの 1 ビット目だけを検出します。
- 本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。
- アシストモード(LAMCR:LAMEN=1)の場合、LIN Break Field 設定(SCR:LBR=1)前に本ビットを設定してください。

[bit4] LBIE: LIN Break Field 検出割込み許可ビット

LIN Break Field 検出割込みを許可/禁止するビットです。

LIN Break Field 検出フラグ(LBD)が"1"のとき、割込みが許可(LBIE=1)されると受信割込みが発生します。

- 本ビットはクリアレジスタのビット ESCRC:LBIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット ESCRS:LBIES を"1"に設定した場合、セットされます。

bit	説明
0	LIN Break Field 検出割込み禁止
1	LIN Break Field 検出割込み許可

[bit5, bit3:2] LBL2~0: LIN Break Field 長選択ビット(マスタ動作のみ機能)

- これらのビットは、LIN Break Field の生成時間を何ビット分とするかを設定します。
- シリアル制御レジスタ(SCR)の LBR ビットに"1"を設定(LIN Break Field 送信)する前に、本ビットを設定してください。



- スレーブ動作時, LIN Break Field 検出タイミングは, 本ビットの設定値によらず, 常に11ビット目で検出します。

bit5, bit[3:2]	説明
000	13 ビット長
001	14 ビット長
010	15 ビット長
011	16 ビット長
100	17 ビット長
101	18 ビット長
110	19 ビット長
111	20 ビット長

<注意事項>

- 本機能は, マスタ動作(SCR:MS=0)のみ機能します。
- LIN Break Field 設定(SCR:LBR=1)前に本ビットを設定してください。
- マニュアルモード(LAMCR:LAMEN=0)の場合, 13ビット長から16ビット長までしか動作しません。そのため, LBL2 に常に"0"を設定してください。

[bit1:0] DEL1~0: LIN Break デリミタ長選択ビット(マスタ動作のみ機能)

- これらのビットは, LIN Break デリミタ長を何ビット分とするかを設定します。
- シリアル制御レジスタ(SCR)の LBR ビットを"1"に設定(LIN Break Field 送信)する前に, 本ビットを設定してください。

bit[1:0]	説明
00	1 ビット長
01	2 ビット長
10	3 ビット長
11	4 ビット長

<注意事項>

- 本機能は, マスタ動作(SCR:MS=0)のみ機能します。
- アシストモード(LAMCR:LAMEN=1)の場合, LIN Break Field 設定(SCR:LBR=1)前に本ビットを設定してください。

8.5. 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。

受信データレジスタ(RDR)

Bit	7	6	5	4	3	2	1	0
Field	D7	D6	D5	D4	D3	D2	D1	D0
R/W 属性	R	R	R	R	R	R	R	R
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:0] D7~0: 受信データ

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

- シリアル入力端子(SIN 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合は(SCR:RIE=1)、受信割込み要求を発生します。
- 受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
- 受信エラーが発生(SSR:ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効です。

<注意事項>

- 受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。
- アシストモード(LAMCR:LAMEN=1)時は以下の動作です。

スレーブ動作において、ID Field の受信に LIN アシストモード受信 ID レジスタを使用する設定(LAMCR:LIDEN=1)のとき、ID Field を受信した場合、受信 ID 値は受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。

スレーブ動作において、ID Field の受信に受信データレジスタ(RDR)を使用する設定(LAMCR:LIDEN=0)のとき、ID Field を受信した場合、受信 ID 値が受信データレジスタ(RDR)に格納され、受信データフルフラグビットがセット(SSR:RDRF=1)されます。このとき LIN 自動ヘッダ完了フラグのセット(LAMSR:LAHC=1)により ID 値を確認してください。

Sync Field およびチェックサムは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。

送信した各フィールドのデータは、受信データレジスタ(RDR)に格納されず受信データフルフラグビット(SSR:RDRF)はセットされません。

受信エラー(SSR:FRE, ORE, LAMESR:LCSE, LSFER, LBSE, LPTER)が発生した場合、アシストモードの送受信処理は停止します。このとき、レスポンス受信処理は、受信許可設定(SCR:RXE=1)にかかわらず受信データレジスタへの受信データの格納動作は停止します。

- 受信 FIFO 使用時は以下の動作です。

受信 FIFO に所定のデータ数を受信したら RDRF が "1"に設定されます。

受信 FIFO がエンプティになった場合 RDRF が "0"にクリアされます。

受信エラーが発生(SSR:ORE, FRE のいずれかが "1")した場合、受信 FIFO の許可ビットはクリアされ受信データは受信 FIFO に格納しません。



送信データレジスタ(TDR)

Bit	7	6	5	4	3	2	1	0
Field	D7	D6	D5	D4	D3	D2	D1	D0
R/W 属性	W	W	W	W	W	W	W	W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

[bit7:0] D7～0: 送信データ

送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOUT 端子)から送出されます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データがシリアル送信データレジスタ(TDR)に書込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データは書き込みません。

<注意事項>

- 送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2つのレジスタは同一アドレスに配置されているため書き込み値と読出し値が異なります。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。
- 以下のすべての条件が成立する場合、上位2ビットデータは無視されます。
 - LIN ハードウェアアシストモード(LAMCR:LAMEN=1)
 - ID DATA レジスタを使用しない(LAMCR:LIDEN=0)
 - ID DATA を送信する

8.6. シリアル補助制御ステータスレジスタ(SACSR)

シリアル補助制御ステータスレジスタ(SACSR)は、シリアルテスト動作の制御、自動ボーレート調整の許可/禁止、シンクフィールド割込みの許可/禁止、シリアルタイマの起動方法の選択、タイマ割込みの許可/禁止、シリアルタイマの動作クロックの分周値およびシリアルタイマの許可/禁止の設定ができます。

Bit	15	14	13	12	11	10	9	8
Field	STST	BST	SFD	SFDE	AUTE	Reserved		TINT
R/W 属性	R/W	R,WX	R,W	R/W	R/W	R/W0		R,W
保護属性	-							
初期値	0	0	0	0	0	00		0

Bit	7	6	5	4	3	2	1	0
Field	TINTE	Reserved	Reserved	TDIV3	TDIV2	TDIV1	TDIV0	TMRE
R/W 属性	R/W	R0,W0	R/W0	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15] STST: シリアルテストビット

シリアルテストモードの許可または禁止を選択します。

シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータはそのまま SIN より受信できます。

シリアルテストモード許可時、端子 SOUT は"H"固定となり、端子 SIN に入力されたデータは無視されます。

- 本ビットはクリアレジスタのビット SACSRC:STSTC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSRS:STSTS を"1"に設定した場合、セットされます。

bit	説明
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

<注意事項>

- 本ビットは送受信禁止(SCR:TXE=0, SCR:RXE=0)の時のみ変更可能です。

**[bit14] BST: ポーレート設定フラグ**

Sync Field 受信による自動ポーレート調整が行われたこと示します。

Sync Field で LIN バスの 5 回目の立下りを検出した場合、本ビットは更新されます。

bit	説明	
	ライト	リード
0	影響なし	自動ポーレート調整がなし
1		自動ポーレート調整があり

<注意事項>

- 自動ポーレート調整禁止(AUTE=0)の時、本ビットは"0"に固定されます。
- ソフトウェアリセット(SCR:UPCL=1)を行うと、本ビットは"0"にリセットされます。
- シンクフィールド検出フラグ(SACSR:SFD)が"1"の時のみ、本ビットは有効です。
- 本ビットへの書き込みは無効です。

[bit13] SFD: シンクフィールド検出フラグ

Sync Field を検出したことを示します。

本ビットは Sync Field で LIN バスの 5 回目の立下りを検出した場合に"1"に設定されます。

本ビットが"1"でシンクフィールド検出割込み許可ビット(SFDE)が"1"の時、ステータス割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットはクリアレジスタのビット SACSRC:SFDC を"1"に設定した場合、リセットされます。

bit	説明	
	ライト	リード
0	クリア	Sync Field を検出なし
1	影響なし	Sync Field を検出あり

<注意事項>

- ソフトウェアリセット(SCR:UPCL=1)を行うと、本ビットは"0"にリセットされます。
- 本ビットへの"1"書き込みは無効です。
- マスタモード(SCR:MS=0)およびスレーブモード(SCR:MS=1)共に本ビットは有効です。

[bit12] SFDE: シンクフィールド検出割込み許可ビット

CPU へのシンクフィールド割込みの許可/禁止するビットです。

本ビットが"1"でシンクフィールド検出フラグ(SFD)が"1"の場合、ステータス割込み要求を出力します。

本ビットはクリアレジスタのビット SACSRC:SFDEC を"1"に設定した場合、リセットされます。

本ビットはセットレジスタのビット SACSR:SFDSE を"1"に設定した場合、セットされます。

bit	説明
0	シンクフィールド検出による割込みを禁止
1	シンクフィールド検出による割込みを許可

[bit11] AUTE: 自動ポーレート調整ビット

自動ポーレート調整を許可/禁止するビットです。

- 本ビットはクリアレジスタのビット SACSRC:AUTEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSR:AUTES を"1"に設定した場合、セットされます。

bit	説明
0	自動ボーレート調整を禁止
1	自動ボーレート調整を許可

<注意事項>

- マスタモード(SCR:MS=0)時、本ビットは内部で"0"に固定されます。
- 本ビットが"1"のとき、タイマ動作クロック分周ビット(TDIV3~0)は0x3(8分周)に設定されます。
- シリアルタイマ許可ビット(TMRE)が"0"のときのみ本ビットは"0"から"1"に変更可能です。

[bit10:9] Reserved: 予約ビット

[bit8] TINT: タイマ割込みフラグ

シリアルタイマレジスタ(STMR)とシリアルタイマ比較レジスタ(STMCR)が一致した場合、シリアルタイマレジスタ(STMR)は"0"になり、本ビットは"1"に設定されます。

本ビットが"1"でタイマ割込み許可ビット(TINTE)が"1"のとき、ステータス割込み要求を出力します。

本ビットに"0"を書き込むと"0"にリセットされます。

本ビットへの"1"書込みは無効です。

本ビットはクリアレジスタのビット SACSRC:TINTC を"1"に設定した場合、リセットされます。

bit	説明	
	ライト	リード
0	クリア	タイマ割込み要求なし
1	影響なし	タイマ割込み要求あり

<注意事項>

- ソフトウェアリセット(SCR:UPCL=1)を行うと、本ビットは"0"にリセットされます。

[bit7] TINTE: タイマ割込み許可ビット

CPU へのタイマ割込みの許可/禁止するビットです。

本ビットが"1"でタイマ割込みフラグ(TINT)が"1"の場合、ステータス割込み要求を出力します。

- 本ビットはクリアレジスタのビット SACSRC:TINTEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSRS:TINTES を"1"に設定した場合、セットされます。

bit	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6:5] Reserved: 予約ビット

[bit4:1] TDIV3~0: タイマ動作クロック分周ビット

シリアルタイマの分周比を設定します。

bit				説明						
TDIV 3	TDIV 2	TDIV 1	TDIV 0	分周比	$\phi =$ 8MHz	$\phi =$ 10MHz	$\phi =$ 16MHz	$\phi =$ 20MHz	$\phi =$ 24MHz	$\phi =$ 32MHz
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	$\phi/2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns



0	0	1	0	$\phi/4$	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	$\phi/8$	1 μ s	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	$\phi/16$	2 μ s	1.6 μ s	1 μ s	800ns	666.67ns	500ns
0	1	0	1	$\phi/32$	4 μ s	3.2 μ s	2 μ s	1.6 μ s	1.33 μ s	1 μ s
0	1	1	0	$\phi/64$	8 μ s	6.4 μ s	4 μ s	3.2 μ s	2.67 μ s	2 μ s
0	1	1	1	$\phi/128$	16 μ s	12.8 μ s	8 μ s	6.4 μ s	5.33 μ s	4 μ s
1	0	0	0	$\phi/256$	32 μ s	25.6 μ s	16 μ s	12.8 μ s	10.67 μ s	8 μ s

ϕ : バスクロック

<注意事項>

- 本ビットはシリアルタイム許可ビット(TMRE)が"0"のときのみ変更可能です。
- 上記の設定以外は禁止です。

[bit0] TMRE: シリアルタイム許可ビット

シリアルタイムの動作を許可または禁止を選択します。

- 本ビットはクリアレジスタのビット SACSRC:TMREC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット SACSRS:TMRES を"1"に設定した場合、セットされます。

bit	説明
0	シリアルタイムの動作を停止 停止時, シリアルタイムレジスタ(STMR)の値は保持
1	本ビットを"0"から"1"に変更した場合, シリアルタイムレジスタ(STMR)の値を"0"に初期化し, シリアルタイムの動作を開始

8.7. シリアルタイマレジスタ(STMR)

シリアルタイマレジスタ(STMR)は、シリアルタイマのタイマ値を示します。

Bit	15	14	13	12	11	10	9	8
Field	TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TM15~0: タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック(SACSR:TDIV3~0 で設定)ごとに 1 が加算されます。

<注意事項>

- タイマ動作開始時、本ビットは"0"に初期化されます。



8.8. シリアルタイム比較レジスタ (STMCR)

シリアルタイム比較レジスタ(STMCR)は、シリアルタイムのタイマの比較値を設定します。

Bit	15	14	13	12	11	10	9	8
Field	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:0] TC15~0: コンペアビット

シリアルタイムの比較値を設定します。

本ビットはシリアルタイムレジスタ(STMR)と比較され、シリアルタイムレジスタ(STMR)が更新されるタイミングで本ビットとシリアルタイムレジスタの値が一致した場合シリアルタイムレジスタを0にします。そのとき、タイマ割込みフラグ(SACSR:TINT)を"1"にします。

<注意事項>

- 本レジスタに 0x0000 を設定された状態で、タイマ動作中でタイマ動作クロックの分周値 (SACSR:TDIV3~0)が 0b0000 に設定されている場合、タイマ割込みフラグ(SACSR:TINT)は"1"に固定されます。
- シリアルタイム禁止(SACSR:TMRE=0)のときのみ、本レジスタは変更可能です。
- 下記の条件をすべて満たす場合、ボーレート調整を行う前にシリアルタイムレジスタ(STMR)が 0x0000 にリセットされてしまう場合があります。そのため、自動ボーレート調整ビット (SACSR:AUTE)が"1"のとき、本ビットはシンクフィールド上限ビット(SFUR)で設定した値より大きな値を設定してください。
 - 自動ボーレート調整ビット(SACSR:AUTE)が"1"のとき
 - 本ビットがシンクフィールド上限ビット(SFUR)で設定した値以下の場合

8.9. シンクフィールド上限レジスタ(SFUR)

シンクフィールド上限レジスタ(SFUR)は、自動ボーレート調整でボーレートジェネレータレジスタに設定可能な値の上限値を設定します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	TU14	TU13	TU12	TU11	TU10	TU9	TU8
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TU7	TU6	TU5	TU4	TU3	TU2	TU1	TU0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15] Reserved: 予約ビット

[bit14:0] TU14~0: 上限ビット

自動ボーレート調整でボーレートジェネレータレジスタ(BGR)に設定可能な値の上限値を設定します。

自動ボーレート調整ビット(SACSR:AUTE)が"1"でスレーブモード(SCR:MS=1)のとき、Sync Field 受信後のシリアルタイムレジスタ(STMR)値が本ビット以下でシンクフィールド下限レジスタ(SFLR)以上ですと、ボーレートジェネレータレジスタ(BGR)にシリアルタイムレジスタ(STMR)値が設定されます。

<注意事項>

- 自動ボーレート調整ビット(SACSR:AUTE)が"0"のとき、変更可能です。



8.10. シンクフィールド下限レジスタ(SFLR)

シンクフィールド下限レジスタ(SFLR)は、自動ボーレート調整でボーレートジェネレータレジスタに設定可能な値の下限値を設定します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	TL14	TL13	TL12	TL11	TL10	TL9	TL8
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	TL7	TL6	TL5	TL4	TL3	TL2	TL1	TL0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15] Reserved: 予約ビット

[bit14:0] TL14~0: 下限ビット

自動ボーレート調整でボーレートジェネレータレジスタ(BGR)に設定可能な値の下限値を設定します。

自動ボーレート調整ビット(SACSR:AUTE)が"1"でスレーブモード(SCR:MS=1)のとき、Sync Field 受信後のシリアルタイムレジスタ(STMR)値がシンクフィールド上限レジスタ(SFUR)以下で本ビット以上ですと、ボーレートジェネレータレジスタ(BGR)にシリアルタイムレジスタ(STMR)値が設定されます。

<注意事項>

- 自動ボーレート調整ビット(SACSR:AUTE)が"0"のとき、変更可能です。

8.11. ボーレートジェネレータレジスタ 1, 0(BGR1~0)

ボーレートジェネレータレジスタ 1, 0 (BGR1~0)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

Bit	15	14	13	12	11	10	9	8
Field	EXT	BGR1						
R/W 属性	R/W	R/W						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	BGR0							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit15] EXT: 外部クロック選択ビット

リロードカウンタのクロックソースを内部クロックで使用するか、外部クロックで使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。

bit	説明
0	内部クロック使用
1	外部クロック使用

[bit14:8] BGR1[6:0]: ボーレートジェネレータレジスタ 1

[bit7:0] BGR0[7:0]: ボーレートジェネレータレジスタ 0

- ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
- BGR1 は上位ビット, BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定リロード値の読出しが可能です。
- ボーレートジェネレータレジスタ 1, 0 (BGR1~0)にリロード値を書き込むとリロードカウンタはカウントを開始します。

bit	説明
ライト	リロードカウンタビット 8~14 に書込み
リード	BGR1 の設定値の読出し

bit	説明
ライト	リロードカウンタビット 0~7 に書込み
リード	BGR0 の設定値の読出し

<注意事項>

- ボーレートジェネレータレジスタ(BGR1~0)への書込みは、16 ビットアクセスで行ってください。
- ボーレートジェネレータレジスタ(BGR1~0)の設定値を変更した場合、カウンタ値が"0x0000"になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR1~0 の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。



- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
- リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ 1, 0(BGR1~0)に 0 を書き込み、プログラマブルクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。

8.12. LIN アシストモードステータスレジスタ(LAMSR)

LIN アシストモードステータスレジスタ(LAMSR)は、自動ヘッダ送受信状態の確認、受信エラーフラグの確認を行います。

Bit	15	14	13	12	11	10	9	8
Field	LER	SER	RDRF	TDRE	TBI	LCSC	Reserved	LAHC
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,W	R0,W0	R,W
保護属性	-							
初期値	0	0	0	1	1	0	0	0

*本レジスタの下位バイト[bit7:0]は LIN アシストモード制御レジスタ(LAMCR)です。

[bit15] LER: LIN 代表エラーフラグビット

以下いずれかのエラーが発生した場合, "1"に設定されます。エラーフラグビットの設定条件およびクリア条件は, LIN アシストモードエラーステータスレジスタ(LAMESR)の各ビット説明を参照してください。

- LIN バスエラーフラグビット(LBSER)
- LIN Sync Data エラーフラグビット(LSFER)
- LIN ID パリティエラーフラグビット(LPTEP)
- LIN チェックサムエラーフラグビット(LCSER)

bit	説明
0	エラーなし
1	エラーあり

<注意事項>

- マニュアルモード(LAMCR:LAMEN=0)の場合、本ビットの読出し値は常に"0"です。

[bit14] SER: シリアルインタフェース代表エラーフラグビット

- 以下いずれかのエラーが発生した場合, "1"に設定されます。エラーフラグビットの設定条件およびクリア条件は, シリアルステータスレジスタ(SSR)の各ビット説明を参照してください。

- フレーミングエラーフラグビット(FRE)
- オーバランエラーフラグビット(ORE)

bit	説明
0	エラーなし
1	エラーあり

<注意事項>

- LIN モードのとき本ビットは有効です。

[bit13] RDRF: 受信データフルフラグビット

シリアルステータスレジスタ(SSR)の受信データフルフラグビット(RDRF)と同じです。ビット説明は, シリアルステータスレジスタ(SSR)を参照してください。

<注意事項>

- LIN モードのとき本ビットは有効です。

**[bit12] TDRE: 送信データエンプティフラグビット**

シリアルステータスレジスタ(SSR)の送信データエンプティフラグビット(TDRE)と同じです。ビット説明は、シリアルステータスレジスタ(SSR)を参照してください。

<注意事項>

- LIN モードのとき本ビットは有効です。

[bit11] TBI: 送信バスアイドルフラグビット

- シリアルステータスレジスタ(SSR)の送信バスアイドルフラグビット(TBI)と同じです。ビット説明は、シリアルステータスレジスタ(SSR)を参照してください。

<注意事項>

- LIN モードのとき本ビットは有効です。

[bit10] LCSC: LIN チェックサム演算完了フラグビット

- LIN チェックサム演算の完了を示すフラグです。
- アシストモード(LAMCR:LAMEN=1)の受信動作時に、設定されたデータ設定長(LAMCR:LDL3~0)分のデータとチェックサムを受信した場合、チェックサム演算が完了し"1"に設定されます。
- LIN チェックサム演算完了フラグビット(LCSC)とチェックサム演算完了割込み許可ビット(LCSCIE)が"1"の場合、ステータス割込み要求を出力します。

(リードした場合)

"1"の場合：チェックサム演算完了が検出されています。

"0"の場合：チェックサム演算完了が検出されていません。

(ライトした場合)

"0"をライトした場合：LCSC ビットをクリアします。

"1"をライトした場合：影響しません。

bit	説明	
	ライト	リード
0	LCSC フラグクリア	チェックサム演算中 もしくは、チェックサム演算開始待ち
1	影響なし	チェックサム演算完了

<注意事項>

- 本ビットはクリアレジスタのビット LAMSRC:LCSCC を"1"に設定した場合、リセットされます。
- アシストモード(LAMCR:LAMEN=1)のとき、本ビットは有効です。

[bit9] Reserved: 予約ビット**[bit8] LAHC: LIN 自動ヘッダ完了フラグビット**

- LIN 自動ヘッダの状態を示すフラグです。
- アシストモード(LAMCR:LAMEN=1)時に、LIN ヘッダを受信すると"1"に設定されます。
- LIN 自動ヘッダ完了フラグビット(LAHC)とLIN 自動ヘッダ完了割込み許可ビット(LAHCIE)が"1"の場合、ステータス割込み要求を出力します。



- 本ビットに"1"が設定された後に LIN 自動ヘッダ受信 ID レジスタ(LAMRID)の読出しを行うと"0"に設定されます。

(リードした場合)

"1"の場合 :LIN 自動ヘッダ完了が検出されています。

"0"の場合 :LIN 自動ヘッダ完了が検出されていません。

(ライトした場合)

"0"をライトした場合 :LAHC ビットをクリアします。

"1"をライトした場合 : 影響しません。

bit	説明	
	ライト	リード
0	LAHC フラグクリア	LIN 自動ヘッダ受信 もしくは、受信待ち
1	影響なし	LIN 自動ヘッダ受信完了

＜注意事項＞

- 本ビットはクリアレジスタのビット LAMSRC:LAHCC を"1"に設定した場合、リセットされます。
- アシストモード(LAMCR:LAMEN=1)のとき、本ビットは有効です。



8.13. LIN アシストモード制御レジスタ(LAMCR)

LIN アシストモード制御レジスタ(LAMCR)は、LIN 自動ヘッダ処理の許可、LIN ID レジスタの使用許可、LIN チェックサムタイプの選択、LIN アシストモード時にTDRのクリアおよびLIN データ長の設定を行います。

Bit	7	6	5	4	3	2	1	0
Field	LDL3	LDL2	LDL1	LDL0	LTDRCL	LCSTYP	LIDEN	LAMEN
R/W 属性	R/W	R/W	R/W	R/W	R0,W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:4] LDL3~0: LIN データ長設定ビット

- LIN のレスポンスデータ長 0~8 バイトを設定します。
- 設定値は、データ長の値を設定してください。
- 送信動作の場合、本データ長分のデータを送信します。
- 受信動作の場合、本データ長分のデータを受信します。

bit				説明
0	0	0	0	0 バイト長
0	0	0	1	1 バイト長
0	0	1	0	2 バイト長
0	0	1	1	3 バイト長
0	1	0	0	4 バイト長
0	1	0	1	5 バイト長
0	1	1	0	6 バイト長
0	1	1	1	7 バイト長
1	0	0	0	8 バイト長
上記以外				設定禁止

<注意事項>

- 本機能は、LIN アシストモード動作(LAMEN=1)のときのみ有効です。
- マスタの場合はLIN Break field 生成(SCR:LBR=1)前に設定してください。
- スレーブの場合はレスポンス送受信開始前までに設定してください。

[bit3] LTDRCL: LIN 送信データレジスタクリアビット

- 送信データレジスタ(TDR)のクリアを行うビットです。
- "1"に設定した場合：送信データエンプティフラグビット(SSR:TDRE)と送信バスアイドルフラグビット(SSR:TBI)を"1"にセットします。
- "0"に設定した場合：動作に影響はありません。
- 本ビットはセットレジスタのビット LAMCRS:LTDRCLS を"1"に設定した場合、セットされます。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	送信データエンプティフラグビット(SSR:TDRE)と送信バスアイドルフラグビット(SSR:TBI)を"1"にセット	

<注意事項>

- 送信データレジスタクリアにより送信 FIFO はリセットされません。

- 送信 FIFO を使用している場合、送信 FIFO をクリア(FCR0:FCL1 or FCR0:FCL2)後に送信データレジスタクリアを実行してください。
- 送信中に本ビットに"1"を設定してはいけません。

[bit2] LCSTYP: LIN チェックサムタイプ選択ビット

LIN のチェックサムタイプを選択します。

- 本ビットはクリアレジスタのビット LAMCRC:LCSTYPC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット LAMCRS:LCSTYPS を"1"に設定した場合、セットされます。

"0"に設定した場合：標準チェックサムが選択されます。

"1"に設定した場合：拡張チェックサムが選択されます。

bit	説明
0	標準チェックサム
1	拡張チェックサム

<注意事項>

- 本機能は、LIN アシストモード(LAMEN=1)のときのみ有効です。
- マスタの場合は LIN Break Field 生成(SCR:LBR=1)前に設定してください。
- スレーブの場合はレスポンス送受信開始前までに設定してください。

[bit1] LIDEN: LIN ID レジスタ使用許可ビット

LIN アシストモード送信/受信 ID レジスタ(LAMTID/LAMRID)を使用するかどうかを設定します。

- 本ビットはクリアレジスタのビット LAMCRC:LIDENC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット LAMCRS:LIDENS を"1"に設定した場合、セットされます。

(マスタ(SCR:MS=0)の場合)

"0"に設定した場合：LIN ID Field の送信データとして送信データレジスタ(TDR)に書込まれたデータが使用されます。

"1"に設定した場合：LIN ID Field の送信データとして LIN アシストモード送信 ID レジスタ(LAMTID)に設定されたデータが使用されます。

(スレーブ(SCR:MS=1)の場合)

"0"に設定した場合：LIN ID Field のデータを受信すると受信データレジスタ(RDR)に格納されます。

"1"に設定した場合：LIN ID Field のデータを受信すると LIN アシストモード受信 ID レジスタ(LAMRID)に格納されます。

bit	説明	
	マスタ	スレーブ
0	送信データレジスタ(TDR)を使用	受信データレジスタ(RDR)を使用
1	LIN アシストモード送信 ID レジスタ(LAMTID)を使用	LIN アシストモード受信 ID レジスタ(LAMRID)を使用

<注意事項>

- 本機能は、LIN アシストモード(LAMEN=1)のときのみ有効です。

[bit0] LAMEN: LIN アシストモード処理許可ビット

LIN アシストモードを使用するかどうかを設定します。

- 本ビットはクリアレジスタのビット LAMCRC:LAMENC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット LAMCRS:LAMENS を"1"に設定した場合、セットされます。



"0"に設定した場合 :LIN マニュアルモードに設定されず。

"1"に設定した場合 :LIN アシストモードに設定されます。

bit	説明
0	マニュアルモード
1	アシストモード

<注意事項>

- マニュアルモード時, LIN の送受信禁止(SCR:RXE=0 , SCR=TXE=0)のときに本ビットを変更してください。
- アシストモード時, 本ビットはLIN 動作中に変更してはいけません。
- 本ビットを変更する場合は, 本ビットを変更後, 続けてプログラマブルクリア(SCR:UPCL=1)を実行してください。

8.14. LIN アシストモード割込み許可レジスタ(LAMIER)

LIN アシストモード割込み許可レジスタ(LAMIER)は、LIN 自動ヘッダ完了割込みの許可/禁止、LIN チェックサム演算完了割込み許可/禁止、LIN バスエラー割込みの許可/禁止、LIN ID パリティエラー割込みの許可/禁止、LIN Sync Data エラー割込み許可/禁止および LIN チェックサムエラー割込みの許可/禁止の設定を行います。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	LCSERIE	LPTERIE	LSFERIE	LBSERIE	LCSCIE	Reserved	LAHCIE
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

*本レジスタの下位バイト[bit7:0]は LIN アシストモード送信/受信 ID レジスタ(LAMTID/LAMRID)です。

<注意事項>

- 本レジスタは8ビットアクセスでアクセスしてください。

[bit15] Reserved: 予約ビット

[bit14] LCSERIE: LIN チェックサムエラー割込み許可ビット

- CPU への LIN チェックサムエラー割込み要求出力を許可/禁止するビットです。
- LCSERIE ビットと LAMESR: LCSER ビットが"1"の場合、受信割込み要求を出力します。
- 本ビットはクリアレジスタのビット LAMIERC:LCSERIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット LAMIERC:LCSERIEC を"1"に設定した場合、セットされます。

bit	説明
0	LIN チェックサムエラー割込み禁止
1	LIN チェックサムエラー割込み許可

[bit13] LPTERIE: LIN ID パリティエラー割込み許可ビット

- CPU への LIN ID パリティエラー割込み要求出力を許可/禁止するビットです。
- LPTERIE ビットと LAMESR: LPTER ビットが"1"の場合、受信割込み要求を出力します。
- 本ビットはクリアレジスタのビット LAMIERC:LPTERIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット LAMIERC:LPTERIEC を"1"に設定した場合、セットされます。

bit	説明
0	LIN ID パリティエラー割込み禁止
1	LIN ID パリティエラー割込み許可

[bit12] LSFERIE: LIN Sync Data エラー割込み許可ビット

- CPU への LIN Sync Data エラー割込み要求出力を許可/禁止するビットです。
- LSFERIE ビットと LAMESR:LSFER ビットが"1"の場合、受信割込み要求を出力します。
- 本ビットはクリアレジスタのビット LAMIERC:LSFERIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット LAMIERC:LSFERIEC を"1"に設定した場合、セットされます。

bit	説明
0	LIN Sync Data エラー割込み禁止
1	LIN Sync Data エラー割込み許可

[bit11] LBserie: LIN バスエラー割込み許可ビット



- CPU への LIN バスエラー割込み要求出力を許可/禁止するビットです。
- LBSERIE ビットと LAMESR: LBSER ビットが"1"の場合、受信割込み要求を出力します。
- 本ビットはクリアレジスタのビット LAMIERC:LBSERIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット LAMIERC:LBSERIEC を"1"に設定した場合、セットされます。

bit	説明
0	LIN バスエラー割込み禁止
1	LIN バスエラー割込み許可

[bit10] LCSCIE: LIN チェックサム演算完了割込み許可ビット

- CPU への LIN チェックサム演算完了割込み要求出力を許可/禁止するビットです。
- LCSCIE ビットと LAMSR: LCSC ビットが"1"の場合、ステータス割込み要求を出力します。
- 本ビットはクリアレジスタのビット LAMIERC:LCSCIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット LAMIERC:LCSCIEC を"1"に設定した場合、セットされます。

bit	説明
0	LIN チェックサム演算完了割込み禁止
1	LIN チェックサム演算完了割込み許可

[bit9] Reserved: 予約ビット

[bit8] LAHCIE: LIN 自動ヘッダ完了割込み許可ビット

- CPU への LIN 自動ヘッダ完了割込み要求出力を許可/禁止するビットです。
- LAHCIE ビットと LAMSR: LAHC ビットが"1"の場合、ステータス割込み要求を出力します。
- 本ビットはクリアレジスタのビット LAMIERC:LAHCIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット LAMIERC:LAHCIEC を"1"に設定した場合、セットされます。

bit	説明
0	LIN 自動ヘッダ完了割込み禁止
1	LIN 自動ヘッダ完了割込み許可



8.15. LIN アシストモード送信/受信 ID レジスタ (LAMTID/LAMRID)

LIN アシストモード送信/受信 ID レジスタ (LAMTID/LAMRID)は、受信 LIN ID パリティ表示および 送信 LIN ID 設定、受信 ID 表示を行います。

LIN アシストモード送信 ID レジスタ (LAMTID)

Bit	7	6	5	4	3	2	1	0
Field	Reserved		LID5	LID4	LID3	LID2	LID1	LID0
R/W 属性	W0		W	W	W	W	W	W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit7:6] Reserved: 予約ビット

[bit5:0] LID5～0: LIN ID 設定ビット

(ライトした場合)

アシストモードのマスタ設定時, LIN ID レジスタ使用許可ビット (LIDEN)が使用許可の場合, LIN ID Field のデータを設定します。

<注意事項>

- 本機能は, LIN アシストモード (LAMCR: LAMEN =1)のときのみ有効です。



LIN アシストモード受信 ID レジスタ(LAMRID)

Bit	7	6	5	4	3	2	1	0
Field	P1	P0	LID5	LID4	LID3	LID2	LID1	LID0
R/W 属性	R	R	R	R	R	R	R	R
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:6] P1~0: LIN ID パリティ表示ビット

(リードした場合)

アシストモードのスレーブ設定時, LIN ID レジスタ使用許可ビット(LIDEN)が使用許可の場合, 受信した LIN ID Field のパリティ値を表示します。

[bit5:0] LID5~0: LIN ID 設定/表示ビット

(リードした場合)

アシストモードのスレーブ設定時, LIN ID レジスタ使用許可ビット(LIDEN)が使用許可の場合, 受信した LIN ID Field のデータを表示します。

<注意事項>

- 本機能は, LIN アシストモード(LAMCR: LAMEN=1)のときのみ有効です。
- LIN ID パリティエラーが発生しても, 本レジスタに受信した ID Field のデータを表示します。

8.16. LIN アシストモードエラーステータスレジスタ(LAMESR)

LIN アシストモードエラーステータスレジスタ(LAMESR)は、LIN チェックサムエラー、LIN Sync Data エラー、LIN ID パリティエラーおよび LIN バスエラーのフラグの確認を行います。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	LCSER	LPTER	LSFER	LBSER	Reserved		
R/W 属性	R0,W0	R,W	R,W	R,W	R,W	R0,W0		
保護属性	-							
初期値	0	0	0	0	0	000		

*本レジスタの下位バイト[bit7:0]は LIN アシストモード障害試験レジスタ(LAMERT)です。

<注意事項>

- 本レジスタは 8 ビットアクセス、16 ビットアクセスのいずれかでアクセスしてください。

[bit15] Reserved: 予約ビット

[bit14] LCSER: LIN チェックサムエラーフラグビット

- LIN チェックサムエラーが発生した場合、"1"に設定されます。
- 本エラーフラグビットのクリアは、"0"書込みを行ってください。
- LCSER ビットと LCSEIE ビットが"1"の場合、受信割込み要求を出力します。
- 本ビットはクリアレジスタのビット LAMESRC:LCSERC を"1"に設定した場合、リセットされます。

bit	説明	
	ライト	リード
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

<注意事項>

- 本機能は、LIN アシストモード(LAMCR: LAMEN=1)のときのみ有効です。

[bit13] LPTER: LIN ID パリティエラーフラグビット

- LIN ID パリティエラーが発生した場合、"1"に設定されます。
- 本エラーフラグビットのクリアは、"0"書込みを行ってください。
- LPTER ビットと LPTEIE ビットが"1"の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合、そのとき受信した ID Field のデータが LIN 受信 ID レジスタ(LAMRID) または受信データレジスタ(RDR)に表示されます。
- 本ビットはクリアレジスタのビット LAMESRC:LPTEIC を"1"に設定した場合、リセットされます。

bit	説明	
	ライト	リード
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

<注意事項>

- 本機能は、LIN アシストモード(LAMCR: LAMEN=1)のときのみ有効です。

[bit12] LSFER: LIN Sync Data エラーフラグビット



- スレーブモード(SCR:MS=1)の自動ボーレート調整禁止(SACSR: AUTE=0)時, Sync Field 値が 0x55 であるかどうかを検出します。
- スレーブモード(SCR:MS=1)の自動ボーレート調整禁止(SACSR: AUTE=0)で, Sync Field 値が 0x55 以外
のとき, LIN Sync Data エラーが"1"に設定されます。
- 本エラーフラグビットのクリアは, "0"書込みを行ってください。
- LSFER ビットと LSFERIE ビットが"1"の場合, 受信割込み要求を出力します。
- 本ビットはクリアレジスタのビット LAMESRC:LSFERC を"1"に設定した場合, リセットされます。

bit	説明	
	ライト	リード
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

<注意事項>

- 本機能は, LIN アシストモード(LAMCR: LAMEN=1)のときのみ有効です。

[bit11] LBSER: LIN バスエラーフラグビット

- LIN バスエラーが発生した場合, "1"に設定されます。
- 本エラーフラグビットのクリアは, "0"書込みを行ってください。
- LBSER ビットと LBSER IE ビットが"1"の場合, 受信割込み要求を出力します。
- ID Field とデータフィールドで本フラグがセットされた場合, エラー発生した受信データは受信データ
レジスタ(RDR)に格納されます。
- 本ビットはクリアレジスタのビット LAMESRC:LBSERC を"1"に設定した場合, リセットされます。

bit	説明	
	ライト	リード
0	エラーフラグのクリア	エラーなし
1	影響なし	エラーあり

<注意事項>

- 本機能は, LIN アシストモード(LAMCR: LAMEN=1)のときのみ有効です。

[bit10:8] Reserved: 予約ビット

8.17. LIN アシストモード障害試験レジスタ (LAMERT)

LIN アシストモード障害試験レジスタ (LAMERT) は、キーコード制御ビットと疑似障害設定ビットの設定により、フレーミングエラー、LIN バスエラー、LIN Sync Data エラー、LIN ID パリティエラーおよび LIN チェックサムエラーの疑似障害設定を行います。

Bit	7	6	5	4	3	2	1	0
Field	KEY1	KEY0	Reserved	LCSERT	LPTERT	LSFERT	LBSERT	FRET
R/W 属性	R0,W	R0,W	R0,W0	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

<注意事項>

- マニュアルモード (LAMCR:LAMEN=0) の場合、疑似エラーテストモードに設定してはいけません。本レジスタは 8 ビットアクセス、16 ビットアクセスのいずれかでアクセスしてください。

[bit7:6] KEY1~0: キーコード制御ビット

- 以下の疑似障害設定を有効にするキーコードレジスタです。
 - フレーミングエラー疑似障害設定ビット (FRET)
 - LIN バスエラー疑似障害設定ビット (LBSERT)
 - LIN Sync Data エラー疑似障害設定ビット (LSFERT)
 - LIN ID パリティエラー疑似障害設定ビット (LPTERT)
 - LIN チェックサムエラー疑似障害設定ビット (LCSERT)
- 疑似障害設定を行う場合は、以下の手順で書き込みを行ってください。
 - (KEY1~0=0b00)+疑似障害設定値を書き込み
 - (KEY1~0=0b01)+疑似障害設定値(前回と同じ値) を書き込み
 - (KEY1~0=0b10)+疑似障害設定値(前回と同じ値) を書き込み
 - (KEY1~0=0b11)+疑似障害設定値(前回と同じ値) を書き込み
 - 4 回目の書き込み時、疑似障害設定値が有効になります。
- 本設定手順に従わない場合(書き込み手順の途中で、ほかのレジスタに書き込みや読出しを行う場合、書き込み値が正しくない場合および書き込み手順の途中で本レジスタに読出しを行う場合)、書き込みは無効です。
- 疑似障害設定を解除する場合も、設定と同様の手順により行ってください。

<注意事項>

- アシストモードで以下のエラーが発生した場合、アシストモードが停止します。
 - LIN バスエラー
 - LIN フレーミングエラー
 - LIN Sync Data エラー
 - LIN ID パリティエラー
 - LIN チェックサムエラー

[bit5] Reserved: 予約ビット

[bit4] LCSERT: LIN チェックサムエラー疑似障害設定ビット

- LIN チェックサムエラーの発生を制御するビットです。
- アシストモード時、レスポンスデータ送信前に本ビットの設定を"1" (エラー発生あり) にしてください。チェックサム送信時にチェックサムを反転して出力します。反転されたチェックサムを受信した場合、LIN チェックサムエラーが発生し、フラグビット (LAMESR: LCSER) に"1" が設定されます。



- 本ビットは、設定解除(=0)されるまで、疑似障害機能は有効となりエラーが発生します。

bit	説明
0	エラー発生なし
1	エラー発生あり

[bit3] LPTERT: LIN ID パリティエラー疑似障害設定ビット

- LIN ID パリティエラーの発生を制御するビットです。
- アシストモードのマスタ設定(SCR:MS=0)時, Lin Break Field 設定前(SCR:LBR=0)に本ビットの設定を"1" (エラー発生あり)にしてください。ID Field 送信時に ID パリティビット(2 ビット)を反転して出力します。反転された ID パリティの ID Field を受信した場合, LIN ID パリティエラーが発生し, フラグビット(LAMESR: LPTER)に"1"が設定されます。
- 本ビットは、設定解除(=0)されるまで、疑似障害機能は有効となりエラーが発生します。

bit	説明
0	エラー発生なし
1	エラー発生あり

[bit2] LSFERT: LIN Sync Data エラー疑似障害設定ビット

- LIN Sync Data エラーの発生を制御するビットです。
- アシストモードのマスタ設定(SCR:MS=0)Lin Break Field 設定前(SCR:LBR=0)に本ビットの設定を"1" (エラー発生あり)にしてください。LIN Sync Field の全ビットを反転して出力します。
- 本ビットは、設定解除(=0)されるまで疑似障害機能は有効となり, SyncField の送信は反転し続けます。

bit	説明
0	エラー発生なし
1	エラー発生あり

<注意事項>

- 本ビットをセット(LSFERT=1)する場合は, LIN バスエラー疑似障害設定ビットも一緒にセット(LBSERT=1)してください。

[bit1] LBSERT: LIN バスエラー疑似障害設定ビット

- LIN バスエラーの発生を制御するビットです。
- アシストモードのマスタ設定時, 送信した各 Field(Sync Field, ID Field, データ, チェックサム)において本ビットの設定が"1"(エラー発生あり)のとき, LIN バスエラーが発生し, フラグビット(LAMESR: LBSER)に"1"が設定されます。
- アシストモードのスレーブ設定時, レスポンス送信した各 Field(データ, チェックサム)において本ビットの設定が"1"(エラー発生あり)のとき, LIN バスエラーが発生し, フラグビット(LAMESR: LBSER)に"1"が設定されます。
- 本ビットは、設定解除(=0)されるまで、疑似障害機能は有効となりエラーが発生します。

bit	説明
0	エラー発生なし
1	エラー発生あり

<注意事項>

- LIN Break Field の LIN バスエラー疑似障害設定はできません。

[bit0] FRET: フレーミングエラー疑似障害設定ビット

- LIN フレーミングエラーの発生を制御するビットです。



- アシストモード時、各Field(Sync Field, ID Field, データ、チェックサム)において本ビットの設定が"1"(エラー発生あり)のとき、ストップビットを反転して出力します。反転したストップビットを受信した場合、フレーミングエラーが発生し、フラグビット(SSR: FRE)に"1"が設定されます。
- 本ビットは、設定解除(=0)されるまで、疑似障害機能は有効となりエラーが発生します。

bit	説明
0	エラー発生なし
1	エラー発生あり



8.18. FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

Bit	15	14	13	12	11	10	9	8
Field	Reserved		Reserved	FLSTE	FRIIE	FDRQ	FTIE	FSEL
R/W 属性	R/W0		R0,WX	R/W	R/W	R,W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	1	0	0

*本レジスタの下位バイト[bit7:0]は FIFO 制御レジスタ 0(FCR0)です。

[bit15:13] Reserved: 予約ビット

[bit12] FLSTE: 再送データロスト検出許可ビット

FLST ビット検出を許可するビットです。

- 本ビットはクリアレジスタのビット FCR1C:FLSTEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR1S:FLSTES を"1"に設定した場合、セットされます。

bit	説明
0	データロスト検出禁止(FLST ビット検出禁止)
1	データロスト検出許可(FLST ビット検出許可)

<注意事項>

- 本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。

[bit11] FRIIE: 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

- 本ビットはクリアレジスタのビット FCR1C:FRIIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR1S:FRIIES を"1"に設定した場合、セットされます。

"0"に設定した場合：受信アイドル状態検出禁止

"1"に設定した場合：受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

<注意事項>

- 受信 FIFO を使用する場合、本ビットを"1"に設定してください。

[bit10] FDRQ: 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。

本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信割込み許可(FTIE=1)されていると、送信割込み要求を出力します。

本ビットはクリアレジスタのビット FCR1C:FDRQC を"1"に設定した場合、リセットされます。

FDRQ セット条件

- 送信 FIFO 割込み制御未使用時
 - FBYTE(送信用)=0 (送信 FIFO がエンプティ)
 - 送信 FIFO のリセット
- 送信 FIFO 割込み制御使用時
 - FTICR 設定値 \geq FTICR 読出し値(送信 FIFO の格納データ数が割込みトリガレベル以下)
 - 送信 FIFO のリセット

FDRQ クリア条件

- 本ビットへの"0"書込み。
- 送信 FIFO がフルになった場合。

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

<注意事項>

- FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。
- 送信 FIFO 許可のときに"0"書込みは有効です。
- 本ビットが"0"のときに FSEL ビットの変更は禁止です。
- 本ビットに"1"を設定した場合は意味を持ちません。
- 設定値以下のとき、"0"書き込みは禁止です。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット (FCR1:FDRQ)に"0"を書込んで割込み要求をクリアしてください。

[bit9] FTIE: 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに送信割込みが発生します。

- 本ビットはクリアレジスタのビット FCR1C:FTIEC を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR1S:FTIES を"1"に設定した場合、セットされます。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL: FIFO 選択ビット

送受信 FIFO を選択するビットです。

- 本ビットはクリアレジスタのビット FCR1C:FSELc を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR1S:FSELs を"1"に設定した場合、セットされます。

"0"に設定した場合：送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割当てられます。

"1"に設定した場合：送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

<注意事項>

- 本ビットは、FIFO リセット(FCL2, FCL1=1)によってクリアされません。
- 本ビットを変更する場合は、FIFO 動作禁止(FE2, FE1=0)にしてから行ってください。
- FDRQ=0 のときに本ビットの変更は禁止です。
- FIFO バイトレジスタ(FBYTE)および送信 FIFO 割込み制御レジスタ(FTICR)の設定前に、FIFO 選択ビット(FSEL)を設定してください。



- *FIFO* バイトレジスタ(FBYTE)と同時にアクセスはできません。

8.19. FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止、FIFO リセット、リードポインタの保存、再送信設定を行います。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
R/W 属性	R0,W0	R,WX	R,W	R,W	R0,W	R0,W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6] FLST: FIFO 再送データロスフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ場合

FLST クリア条件

- FIFO リセット(FCL への"1"書込み)
- FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロスなし
1	データロスあり

[bit5] FLD: FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。

再送設定が完了した場合、本ビットは"0"に設定されます。

本ビットはセットレジスタのビット FCR0S:FLDS を"1"に設定した場合、セットされます。

bit	説明
0	リロードしない
1	リロード実行

＜注意事項＞

- 本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。
- FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。
- TIE ビット TBIE ビットは"0"にしてから本ビットに"1"を書き込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを"1"にしてください。

[bit4] FSET: FIFO ポインタ保存ビット



送信 FIFO のリードポインタを保存するビットです。

送信前にリードポインタを保存した状態で、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

本ビットはセットレジスタのビット FCR0S:FSETS を"1"に設定した場合、セットされます。

"1"に設定した場合：現在のリードポインタの値を保存します。

"0"に設定した場合：影響しません。

bit	説明
0	保存しない
1	保存実行

＜注意事項＞

- 送信バイト数(FBYTE)が0を示しているときに本ビットを"1"に設定してください。

[bit3] FCL2: FIFO2 リセットビット

FIFO2 をリセットするビットです。

本ビットを"1"に設定した場合、FIFO2 の内部状態を初期化します。

FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

本ビットはセットレジスタのビット FCR0S:FCL2S を"1"に設定した場合、セットされます。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	FIFO2 リセット	

＜注意事項＞

- 送受信を禁止してから、FIFO2 リセットを実行してください。
- 送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
- FBYTE2 レジスタの有効データ数は0に設定されます。
- TDR レジスタおよびRDR レジスタは初期化されません。

[bit2] FCL1: FIFO1 リセットビット

FIFO1 をリセットするビットです。

本ビットを"1"に設定にした場合、FIFO1 の内部状態を初期化します。

FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

- 本ビットはセットレジスタのビット FCR0S:FCL1S を"1"に設定した場合、セットされます。

bit	説明	
	ライト	リード
0	影響なし	常に"0"をリード
1	FIFO1 リセット	

＜注意事項＞

- 送受信を禁止してから、FIFO1 リセットを実行してください。
- 送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
- FBYTE1 レジスタの有効データ数は0に設定されます。
- TDR レジスタおよびRDR レジスタは初期化されません。

[bit1] FE2: FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

- FIFO2 を使用する場合、本ビットに"1"を設定してください。
- FIFO2 を送信 FIFO に設定し、本ビットに"1"を書込んだときに FIFO2 にデータが存在し、LIN インタフェース(v2.1)が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書き込み、TIE ビットと TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された状態で受信エラーが発生した場合、本ビットは"0"にクリアされます。その後、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)、受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"または"0"を設定してください。
- 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
- 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO2 を禁止にしても FIFO2 の状態は保持されます。
- 本ビットはクリアレジスタのビット FCR0C:FE2C を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR0S:FE2S を"1"に設定した場合、セットされます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1: FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し、本ビットに"1"を書込んだときに FIFO1 にデータが存在し、LIN インタフェース(v2.1)が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書き込み、TIE ビットと TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された状態で受信エラーが発生した場合、本ビットは"0"にクリアされます。その後、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)、受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"または"0"を設定してください。
- 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE1=0)ときに本ビットに"0"を設定してください。
- 受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。
- 本ビットはクリアレジスタのビット FCR0C:FE1C を"1"に設定した場合、リセットされます。
- 本ビットはセットレジスタのビット FCR0S:FE1S を"1"に設定した場合、セットされます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可



8.20. FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

Bit	15	14	13	12	11	10	9	8
Field	FBYTE2							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	FBYTE1							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

[bit15:8] FBYTE2[7:0]: FIFO2 データ数表示ビット

[bit7:0] FBYTE1[7:0]: FIFO1 データ数表示ビット

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットによる設定を以下に示します。

bit	説明	
	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。よって、FSEL により選択された送信 FIFO の FBYTE の転送数に 0x00 を設定してください。
- 受信 FIFO の FBYTE の転送数に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致した場合、割込みフラグ(RDRF)が"1"に設定されます。
- 以下の条件を両方満たす場合、受信アイドル状態がポーレートクロックで 8 クロック以上続くと割込みフラグ(RDRF)が"1"に設定されます。
 - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
 - 受信 FIFO に存在するデータ数が転送数に達しない
- 8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

FBYTE2, FBYTE1: FIFO2 データ数表示ビット, FIFO1 データ数表示ビット

ライト	転送数を設定
リード	有効なデータ数を読出し

リード(有効なデータ数)

送信時：送信 FIFO に書込まれ、送信されていないデータ数

受信時：受信 FIFO に受信され読出されていないデータ数

ライト(転送数)

送信時：0x00 設定

受信時：受信割込み発生時のデータ数設定

表 8-2 FIFO の格納可能なデータ数について

FIFO 容量	最大 FBYTE 数	格納可能データ数
16BYTE	16	16
32BYTE	32	32
64BYTE	64	64
128BYTE	128	128

<注意事項>

- 送信 FIFO の FBYTE には 0x00 を設定してください。
- 受信 FIFO の FBYTE は "1"以上のデータを設定してください。
- 受信を禁止してから変更してください。
- FIFO 容量を超えた設定は禁止です。
- FIFO 選択ビット(FCR1:FSEL)設定後、FIFO バイトレジスタ(FBYTE)を設定してください。
- FIFO 選択ビット(FCR1:FSEL)と FIFO バイトレジスタ(FBYTE)は同時に設定はできません。
- 送信時の FIFO データ数表示は、送信データ書き込み数から 1 減算した値が有効なデータ数として表示されます。これは、TDR レジスタに送信されていないデータが存在しているときに送信データを書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。
- 受信時の FIFO データ数表示は、受信 FIFO に受信され読出されていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。



8.21. 送信 FIFO 割込み制御レジスタ (FTICR)

送信 FIFO 割込み制御レジスタ (FTICR)は、FIFO の送信有効データ数による割込みの設定を行います。

Bit	15	14	13	12	11	10	9	8
Field	FTICR2							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	FTICR1							
R/W 属性	R,W							
保護属性	-							
初期値	00000000							

[bit15:8] FTICR2[7:0]: FIFO2 データ数表示ビット

[bit7:0] FTICR1[7:0]: FIFO1 データ数表示ビット

FTICR レジスタは、送信 FIFO の送信有効データ数(残量)による割込みのしきい値を設定します。FCR1:FSEL ビットによる設定を以下に示します。

bit	説明	
0	FIFO1	FTICR1
1	FIFO2	FTICR2

- FTICR レジスタの割込みを発生させる有効なデータ数の初期値は 0x00 です。
- 送信 FIFO の FTICR に送信割込みを発生させるデータ数を設定します。この設定されたデータ数と送信 FIFO の有効データ数(FTICR もしくは FBYTE)の表示が一致または小さくなった場合、割込みフラグ(FDRQ)が"1"に設定されます。
- FTICR の設定は、「FTICR ≤ FIFO 容量 - 2」になるように設定してください。
- 読出し時、FIFO の有効なデータ数を表示します。
 - 送信 FIFO：送信 FIFO に書き込まれ送信されていないデータ数
 - 受信 FIFO：受信 FIFO に受信され読出されていないデータ数

FTICR2, FTICR1: FIFO2 データ数表示ビット, FIFO1 データ数表示ビット

ライト	割込みを発生させる有効なデータ数を設定
リード	有効なデータ数を読出し

<注意事項>

- FIFO 容量を超えた設定は禁止です。
- 設定値の読出しはできません。
- 送信時の FIFO データ数表示は、送信データ書き込み数から 1 減算した値が有効なデータ数として表示されます。これは、TDR レジスタに送信されていないデータが存在しているときに送信データを書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。
- 受信時の FIFO データ数表示は、受信 FIFO に受信され読出されていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。

8.22. シリアル制御クリアレジスタ(SCRC)

シリアル制御クリアレジスタ(SCRC)は、シリアル制御レジスタ(SCR)にあるビットをクリアできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	MSC	Reserved	RIEC	TIEC	TBIEC	RXEC	TXEC
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

*本レジスタの下位バイト[bit7:0]はシリアルモードクリアレジスタ(SMRC)です。

[bit15] Reserved: 予約ビット

[bit14] MSC: マスタ/スレーブ機能選択ビットをクリア

本ビットに"1"を書き込むと SCR:MS は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit13] Reserved: 予約ビット

[bit12] RIEC: 受信割込み許可ビットをクリア

本ビットに"1"を書き込むと SCR:RIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit11] TIEC: 送信割込み許可ビットをクリア

本ビットに"1"を書き込むと SCR:TIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit10] TBIEC: 送信バスアイドル割込み許可ビットをクリア

本ビットに"1"を書き込むと SCR:TBIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit9] RXEC: 受信動作許可ビットをクリア

本ビットに"1"を書き込むと SCR:RXE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit8] TXEC: 送信動作許可ビットをクリア

本ビットに"1"を書き込むと SCR:TXE は"0"にリセットされます。



本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



8.23. シリアルモードクリアレジスタ(SMRC)

シリアルモードクリアレジスタ(SMRC)は、シリアルモードレジスタ(SMR)にあるビットをクリアできます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				SBLC	Reserved		SOEC
R/W 属性	R0,W0				R0,W	R0,W0		R0,W
保護属性	-							
初期値	0000				0	00		0

[bit7:4] Reserved: 予約ビット

[bit3] SBLC: ストップビット長選択ビットクリア

本ビットに"1"を書き込むと SMR:SBL は"0"にリセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit2:1] Reserved: 予約ビット

[bit0] SOEC: シリアルデータ出力許可ビットクリア

本ビットに"1"を書き込むと SMR:SOE は"0"にリセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。



8.24. シリアルステータスクリアレジスタ(SSRC)

シリアルステータスクリアレジスタ(SSRC)は、シリアルステータスレジスタ(SSR)にあるビットをクリアできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved		LBDC	Reserved				
R/W 属性	R0,W0		R0,W	R0,W0				
保護属性	-							
初期値	00		0	00000				

*本レジスタの下位バイト[bit7:0]は拡張通信制御クリアレジスタ(ESCRC)です。

[bit15:14] Reserved: 予約ビット

[bit13] LBDC: LIN Break Field 検出フラグビットをクリア

本ビットに"1"を書き込むと SSR:LBD は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit12:8] Reserved: 予約ビット



8.25. 拡張通信制御クリアレジスタ(ESCRC)

拡張通信制御クリアレジスタ(ESCRC)は、拡張通信制御レジスタ(ESCR)にあるビットをクリアできます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	ESBLC	Reserved	LBIEC	Reserved			
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit7] Reserved: 予約ビット

[bit6] ESBLC: 拡張ストップビット長選択ビットクリア

本ビットに"1"を書き込むと ESCR:ESBL は"0"にリセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit5] Reserved: 予約ビット

[bit4] LBIEC : LIN Break Field 検出割込み許可ビットクリア

本ビットに"1"を書き込むと ESCR:LBIE は"0"にリセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit3:0] Reserved : 予約ビット



8.26. シリアル補助制御ステータスクリアレジスタ(SACSRC)

シリアル補助制御ステータスクリアレジスタ(SACSRC)は、シリアル補助制御ステータスレジスタ(SACSR)にあるビットをクリアできます。

Bit	15	14	13	12	11	10	9	8
Field	STSTC	Reserved	SFDC	SFDEC	AUTEC	Reserved		TINTC
R/W 属性	R0,W	R0,W0	R0,W	R0,W	R0,W	R0,W0		R0,W
保護属性	-							
初期値	0	0	0	0	0	00		0

Bit	7	6	5	4	3	2	1	0
Field	TINTEC	Reserved						TMREC
R/W 属性	R0,W	R0,W0						R0,W
保護属性	-							
初期値	0	000000						0

[bit15] STSTC: シリアルテストクリアビット

本ビットに"1"を書き込むと SACSR:STST は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit14] Reserved: 予約ビット

[bit13] SFDC: シンクフィールド検出フラグクリアビット

本ビットに"1"を書き込むと SACSR:SFD は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit12] SFDEC: シンクフィールド検出割込み許可クリアビット

本ビットに"1"を書き込むと SACSR:SFDE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit11] AUTEC: 自動ポーレート調整クリアビット

本ビットに"1"を書き込むと SACSR:AUTE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit10:9] Reserved: 予約ビット

[bit8] TINTC : タイマ割込みフラグクリアビット

本ビットに"1"を書き込むと SACSR:TINT は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit7] TINTEC : タイマ割込み許可クリアビット

本ビットに"1"を書き込むと SACSR:TINTE は"0"にリセットされます。
本ビットへの"0"書込みは無効です。
本ビットは常に"0"を読み出します。

[bit6:1] Reserved : 予約ビット

[bit0] TMREC : シリアルタイマ許可クリアビット

本ビットに"1"を書き込むと SACSR:TMRE は"0"にリセットされます。
本ビットへの"0"書込みは無効です。
本ビットは常に"0"を読み出します。



8.27. LIN アシストモードステータスクリアレジスタ(LAMSRC)

LINアシストモードステータスクリアレジスタ(LAMSRC)は、LINアシストモードステータスレジスタ(LAMSR)にあるビットをクリアできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved					LCSCC	Reserved	LAHCC
R/W 属性	R0,W0					R0,W	R0,W0	R0,W
保護属性	-							
初期値	00000					0	0	0

*本レジスタの下位バイト[bit7:0]は LIN アシストモード制御クリアレジスタ(LAMCRC)です。

[bit15:11] Reserved: 予約ビット

[bit10] LCSCC: LIN チェックサム演算完了フラグクリアビット

本ビットに"1"を書き込むと LAMSR:LCSC は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit9] Reserved: 予約ビット

[bit8] LAHCC: LIN 自動ヘッダ完了フラグクリアビット

本ビットに"1"を書き込むと LAMSR:LAHC は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

8.28. LIN アシストモード制御クリアレジスタ(LAMCRC)

LINアシストモード制御クリアレジスタ(LAMCRC)は、LINアシストモード制御レジスタ(LAMCR)にあるビットをクリアできます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved					LCSTYPC	LIDENC	LAMENC
R/W 属性	R0,W0					R0,W	R0,W	R0,W
保護属性	-							
初期値	00000					0	0	0

[bit7:3] Reserved: 予約ビット

[bit2] LCSTYPC: LIN チェックサムタイプ選択クリアビット

本ビットに"1"を書き込むと LAMCR:LCSTYP は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit1] LIDENC: LIN ID レジスタ使用許可クリアビット

本ビットに"1"を書き込むと LAMCR:LIDEN は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit0] LAMENC: LIN アシストモード処理許可クリアビット

本ビットに"1"を書き込むと LAMCR:LAMEN は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



8.29. LIN アシストモード割込み許可クリアレジスタ(LAMIERC)

LIN アシストモード割込み許可クリアレジスタ(LAMIERC)は、LIN アシストモード割込み許可レジスタ(LAMIER)にあるビットをクリアできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	LCSERIEC	LPTERIEC	LSFERIEC	LBSERIEC	LCSCIEC	Reserved	LAHCIEC
R/W 属性	R0,W0	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W0	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

[bit15] Reserved: 予約ビット

[bit14] LCSERIEC: LIN チェックサムエラー割込み許可クリアビット

本ビットに"1"を書き込むと LAMIER:LCSERIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit13] LPTERIEC: LIN ID パリティエラー割込み許可クリアビット

本ビットに"1"を書き込むと LAMIER:LPTERIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit12] LSFERIEC: LIN Sync Data エラー割込み許可クリアビット

本ビットに"1"を書き込むと LAMIER:LSFERIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit11] LBSEIEC: LIN パスエラー割込み許可クリアビット

本ビットに"1"を書き込むと LAMIER:LBSEIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit10] LCSCIEC: LIN チェックサム演算完了割込み許可クリアビット

本ビットに"1"を書き込むと LAMIER:LCSCIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit9] Reserved: 予約ビット

[bit8] LAHCIEC: LIN 自動ヘッダ完了割込み許可クリアビット

本ビットに"1"を書き込むと LAMIER:LAHCIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit7:0] Reserved: 予約ビット



8.30. LIN アシストモードエラーステータスクリアレジスタ(LAMESRC)

LIN アシストモードエラーステータスクリアレジスタ(LAMESRC)は、LIN アシストモードエラーステータスレジスタ(LAMESR)にあるビットをクリアできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	LCSERC	LPTEC	LSFERC	LBSERC	Reserved		
R/W 属性	R0,W0	R0,W	R0,W	R0,W	R0,W	R0,W0		
保護属性	-							
初期値	0	0	0	0	0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

[bit15] Reserved: 予約ビット

[bit14] LCSERC: LIN チェックサムエラーフラグクリアビット

本ビットに"1"を書き込むと LAMESR:LCSERC は"0"にリセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit13] LPTEC: LIN ID パリティエラーフラグクリアビット

本ビットに"1"を書き込むと LAMESR:LPTEC は"0"にリセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit12] LSFERC: LIN Sync Data エラーフラグクリアビット

本ビットに"1"を書き込むと LAMESR:LSFERC は"0"にリセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit11] LBSERC: LIN バスエラーフラグクリアビット

本ビットに"1"を書き込むと LAMESR:LBSERC は"0"にリセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit10:0] Reserved: 予約ビット

8.31. FIFO 制御クリアレジスタ 1(FCR1C)

FIFO 制御クリアレジスタ 1(FCR1C)は、FIFO 制御レジスタ 1(FCR1)にあるビットをクリアできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved			FLSTEC	FRIIEC	FDRQC	FTIEC	FSELC
R/W 属性	R0,W0			R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	000			0	0	0	0	0

*本レジスタの下位バイト[bit7:0]は FIFO 制御クリアレジスタ 0(FCR0C)です。

[bit15:13] Reserved : 予約ビット

[bit12] FLSTEC : 再送データロス検出許可クリアビット

本ビットに"1"を書き込むと FCR1:FLSTE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit11] FRIIEC : 受信 FIFO アイドル検出許可クリアビット

本ビットに"1"を書き込むと FCR1:FRIIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit10] FDRQC : 送信 FIFO データ要求クリアビット

本ビットに"1"を書き込むと FCR1:FDRQ は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit9] FTIEC : 送信 FIFO 割込み許可クリアビット

本ビットに"1"を書き込むと FCR1:FTIE は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit8] FSELC : FIFO 選択クリアビット

本ビットに"1"を書き込むと FCR1:FSEL は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



8.32. FIFO 制御クリアレジスタ 0(FCR0C)

FIFO 制御クリアレジスタ 0(FCR0C)は、FIFO 制御レジスタ 0(FCR0)にあるビットをクリアできます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved						FE2C	FE1C
R/W 属性	R0,W0						R0,W	R0,W
保護属性	-							
初期値	000000						0	0

[bit7:2] Reserved: 予約ビット

[bit1] FE2C: FIFO2 動作許可クリアビット

本ビットに"1"を書き込むと FCR0:FE2 は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit0] FE1C: FIFO1 動作許可クリアビット

本ビットに"1"を書き込むと FCR0:FE1 は"0"にリセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

8.33. シリアル制御セットレジスタ (SCRS)

シリアル制御セットレジスタ (SCRS) は、シリアル制御レジスタ (SCR) にあるビットをセットできます。

Bit	15	14	13	12	11	10	9	8
Field	UPCLS	MSS	LBRS	RIES	TIES	TBIES	RXES	TXES
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

*本レジスタの下位バイト [bit7:0] はシリアルモードセットレジスタ (SMRS) です。

[bit15] UPCLS: プログラマブルクリアセットビット

本ビットに "1" を書き込むと SCR:UPCL は "1" にセットされます。

本ビットへの "0" 書込みは無効です。

本ビットは常に "0" を読み出します。

[bit14] MSS : マスタ/スレーブ機能選択セットビット

本ビットに "1" を書き込むと SCR:MS は "1" にセットされます。

本ビットへの "0" 書込みは無効です。

本ビットは常に "0" を読み出します。

[bit13] LBRS: LIN Break Field 設定セットビット (マスタ動作のみ機能)

本ビットに "1" を書き込むと SCR:LBR は "1" にセットされます。

本ビットへの "0" 書込みは無効です。

本ビットは常に "0" を読み出します。

[bit12] RIES: 受信割込み許可セットビット

本ビットに "1" を書き込むと SCR:RIE は "1" にセットされます。

本ビットへの "0" 書込みは無効です。

本ビットは常に "0" を読み出します。

[bit11] TIES: 送信割込み許可セットビット

本ビットに "1" を書き込むと SCR:TIE は "1" にセットされます。

本ビットへの "0" 書込みは無効です。

本ビットは常に "0" を読み出します。

[bit10] TBIES : 送信バスアイドル割込み許可セットビット

本ビットに "1" を書き込むと SCR:TBIE は "1" にセットされます。

本ビットへの "0" 書込みは無効です。

本ビットは常に "0" を読み出します。

[bit9] RXES : 受信動作許可セットビット



本ビットに"1"を書き込むと SCR:RXE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit8] TXES : 送信動作許可セットビット

本ビットに"1"を書き込むと SCR:TXE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



8.34. シリアルモードセットレジスタ(SMRS)

シリアルモードセットレジスタ(SMRS)は、シリアルモードレジスタ(SMR)にあるビットをセットできます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				SBLS	Reserved		SOES
R/W 属性	R0,W0				R0,W	R0,W0		R0,W
保護属性	-							
初期値	0000				0	00		0

[bit7:4] Reserved: 予約ビット

[bit3] SBLS: ストップビット長選択セットビット

本ビットに"1"を書き込むと SMR:SBL は"1"にセットされます。
本ビットへの"0"書込みは無効です。
本ビットは常に"0"を読み出します。

[bit2:1] Reserved: 予約ビット

[bit0] SOES: シリアルデータ出力許可セットビット

本ビットに"1"を書き込むと SMR:SOE は"1"にセットされます。
本ビットへの"0"書込みは無効です。
本ビットは常に"0"を読み出します。



8.35. シリアルステータスセットレジスタ(SSRS)

シリアルステータスセットレジスタ(SSRS)は、シリアルステータスレジスタ(SSR)にあるビットをセットできます。

Bit	15	14	13	12	11	10	9	8
Field	RECS	Reserved						
R/W 属性	R0,W	R0,W0						
保護属性	-							
初期値	0	0000000						

*本レジスタの下位バイト[bit7:0]は拡張通信制御セットレジスタ(ESCRS)です。

[bit15] RECS: 受信エラーフラグクリアセットビット

本ビットに"1"を書き込むと SSR:REC は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit14:8] Reserved: 予約ビット



8.36. 拡張通信制御セットレジスタ(ESCRS)

拡張通信制御セットレジスタ(ESCRS)は、拡張通信制御レジスタ(ESCR)にあるビットをセットできます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	ESBLS	Reserved	LBIES	Reserved			
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit7] Reserved: 予約ビット

[bit6] ESBLS: 拡張ストップビット長選択セットビット

本ビットに"1"を書き込むと ESCR:ESBL は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit5] Reserved: 予約ビット

[bit4] LBIES: LIN Break Field 検出割込み許可セットビット

本ビットに"1"を書き込むと ESCR:LBIE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit3:0] Reserved: 予約ビット



8.37. シリアル補助制御ステータスセットレジスタ(SACSRs)

シリアル補助制御ステータスセットレジスタ(SACSRs)は、シリアル補助制御ステータスレジスタ(SACSR)にあるビットをセットできます。

Bit	15	14	13	12	11	10	9	8
Field	STSTS	Reserved		SFDES	AUTES	Reserved		
R/W 属性	R0,W	R0,W0		R0,W	R0,W	R0,W0		
保護属性	-							
初期値	0	00		0	0	000		

Bit	7	6	5	4	3	2	1	0
Field	TINTES	Reserved						TMRES
R/W 属性	R0,W	R0,W0						R0,W
保護属性	-							
初期値	0	000000						0

[bit15] STSTS: シリアルテストセットビット

本ビットに"1"を書き込むと SACSR:STST は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit14:13] Reserved: 予約ビット

[bit12] SFDES: シンクフィールド検出割込み許可セットビット

本ビットに"1"を書き込むと SACSR:SFDE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit11] AUTES: 自動ボーレート調整セットビット

本ビットに"1"を書き込むと SACSR:AUTE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit10:8] Reserved: 予約ビット

[bit7] TINTES: タイマ割込み許可セットビット

本ビットに"1"を書き込むと SACSR:TINTE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit6:1] Reserved: 予約ビット

[bit0] TMRES: シリアルタイム許可セットビット

本ビットに"1"を書き込むと SACSR:TMRE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



8.38. LIN アシストモード制御セットレジスタ(LAMCRS)

LIN アシストモード制御セットレジスタ(LAMCRS)は、LIN アシストモード制御レジスタ(LAMCR)にあるビットをセットできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved				LTDRCLS	LCSTYPS	LIDENS	LAMENS
R/W 属性	R0,W0				R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0000				0	0	0	0

[bit15:4] Reserved: 予約ビット

[bit3] LTDRCLS: LIN 送信データレジスタクリアセットビット

本ビットに"1"を書き込むと LAMCR:LTDRCLS は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit2] LCSTYPS: LIN チェックサムタイプ選択セットビット

本ビットに"1"を書き込むと LAMCR:LCSTYP は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit1] LIDENS: LIN ID レジスタ使用許可セットビット

本ビットに"1"を書き込むと LAMCR:LIDEN は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit0] LAMENS: LIN アシストモード処理許可セットビット

本ビットに"1"を書き込むと LAMCR:LAMEN は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

8.39. LIN アシストモード割込み許可セットレジスタ(LAMIERs)

LIN アシストモード割込み許可セットレジスタ(LAMIERs)は、LIN アシストモード割込み許可レジスタ(LAMIER)にあるビットをセットできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	LC SERIES	LP T E R I E S	LS F E R I E S	LB S E R I E S	LC S C I E S	Reserved	LA H C I E S
R/W 属性	R0,W0	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W0	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

[bit15] Reserved: 予約ビット

[bit14] LC SERIES: LIN チェックサムエラー割込み許可セットビット

本ビットに"1"を書き込むと LAMIER:LC SERIE は"1"にセットされます。
本ビットへの"0"書込みは無効です。
本ビットは常に"0"を読み出します。

[bit13] LP T E R I E S: LIN ID パリティエラー割込み許可セットビット

本ビットに"1"を書き込むと LAMIER:LP T E R I E は"1"にセットされます。
本ビットへの"0"書込みは無効です。
本ビットは常に"0"を読み出します。

[bit12] LS F E R I E S: LIN Sync Data エラー割込み許可セットビット

本ビットに"1"を書き込むと LAMIER:LS F E R I E は"1"にセットされます。
本ビットへの"0"書込みは無効です。
本ビットは常に"0"を読み出します。

[bit11] LB S E R I E S: LIN バスエラー割込み許可セットビット

本ビットに"1"を書き込むと LAMIER:LB S E R I E は"1"にセットされます。
本ビットへの"0"書込みは無効です。
本ビットは常に"0"を読み出します。

**[bit10] LCSCIES : LIN チェックサム演算完了割込み許可セットビット**

本ビットに"1"を書き込むと LAMIER:LCSCIE は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit9] Reserved : 予約ビット**[bit8] LAHCIES : LIN 自動ヘッダ完了割込み許可セットビット**

本ビットに"1"を書き込むと LAMIER:LAHCIE は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit7:0] Reserved : 予約ビット

8.40. FIFO 制御セットレジスタ 1(FCR1S)

FIFO 制御セットレジスタ 1(FCR1S)は、FIFO 制御レジスタ 1(FCR1)にあるビットをセットできます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved			FLSTES	FRIIES	Reserved	FTIES	FSELS
R/W 属性	R0,W0			R0,W	R0,W	R0,W0	R0,W	R0,W
保護属性	-							
初期値	000			0	0	0	0	0

*本レジスタの下位バイト[bit7:0]は FIFO 制御セットレジスタ 0(FCR0S)です。

[bit15:13] Reserved: 予約ビット

[bit12] FLSTES: 再送データロス検出許可セットビット

本ビットに"1"を書き込むと FCR1:FLSTE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit11] FRIIES: 受信 FIFO アイドル検出許可セットビット

本ビットに"1"を書き込むと FCR1:FRIIE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit10] Reserved: 予約ビット

[bit9] FTIES: 送信 FIFO 割込み許可セットビット

本ビットに"1"を書き込むと FCR1:FTIE は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。

[bit8] FSELS: FIFO 選択セットビット

本ビットに"1"を書き込むと FCR1:FSEL は"1"にセットされます。

本ビットへの"0"書込みは無効です。

本ビットは常に"0"を読み出します。



8.41. FIFO 制御セットレジスタ 0(FCR0S)

FIFO 制御セットレジスタ 0(FCR0S)は、FIFO 制御レジスタ 0(FCR0)にあるビットをセットできます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved		FLDS	FSETS	FCL2S	FCL1S	FE2S	FE1S
R/W 属性	R0,W0		R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit7:6] Reserved: 予約ビット

[bit5] FLDS: FIFO ポインタリロードセットビット

本ビットに"1"を書き込むと FCR0:FLD は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit4] FSETS: FIFO ポインタ保存セットビット

本ビットに"1"を書き込むと FCR0:FSET は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit3] FCL2S: FIFO2 リセットセットビット

本ビットに"1"を書き込むと FCR0:FCL2 は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit2] FCL1S: FIFO1 リセットセットビット

本ビットに"1"を書き込むと FCR0:FCL1 は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit1] FE2S: FIFO2 動作許可セットビット

本ビットに"1"を書き込むと FCR0:FE2 は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

[bit0] FE1S: FIFO1 動作許可セットビット

本ビットに"1"を書き込むと FCR0:FE1 は"1"にセットされます。

本ビットへの"0"書き込みは無効です。

本ビットは常に"0"を読み出します。

9. 使用上の注意

LIN インタフェース(V2.1) 使用上の注意を以下に示します。

DMA 転送時の注意

LIN インタフェースの割込み要因発生を利用して, DMA コントローラを起動できます。

LIN インタフェースから DMA コントローラを起動する前に, DMA コントローラの設定を行ってください。
DMA 転送を行う場合, 1 ブロックの全体の長さ(ブロックカウント)は1のみサポートされます(DMAi_An:BC=0)。

DMA コントローラの設定, 詳細については『DMA コントローラ』の章を参照してください



CHAPTER 38: ベースタイマ

ベースタイマの機能と動作について示します。

1. 概要
2. 構成
3. 動作説明
4. 32 ビットモード動作
5. 割込み
6. DMA コントローラ(DMAC)の起動
7. レジスタ
8. 使用上の注意
9. 機能別説明



1. 概要

ベースタイマは、タイマ制御レジスタの FMD2, 1, 0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。選択可能な各種タイマの概要を以下に示します。

(1) モード設定と各種タイマ機能の関係

表 1-1 モード設定と各種タイマ機能

FMD2, FMD1, FMD0 ビット設定	機能
0b000	リセットモード
0b001	16 ビット PWM タイマ
0b010	16 ビット PPG タイマ
0b011	16/32 ビットリロードタイマ
0b100	16/32 ビット PWC タイマ

(2) リセットモード

リセットモードは、ベースタイマのマクロをリセットした状態(各レジスタは初期値)です。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったんリセットモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、マクロのリセット後は本モードの設定なしにタイマ機能や T32 ビットを設定できます。

(3) 16 ビット PWM タイマ

16 ビットのダウンカウンタ、周期設定用バッファ付き 16 ビットのデータレジスタ、デューティ設定用バッファ付き 16 ビットのコンペアレジスタ、端子制御部から構成されます。

周期、デューティのデータはバッファ付きレジスタに格納するため、タイマ動作中に書換えが可能です。

16 ビットのダウンカウンタのカウントクロックは、内部クロック 8 種類(周辺クロックの 1/4/16/128/256/512/1024/2048 分周)と、外部イベント 3 種類(立上りエッジ、立下りエッジ、両エッジ検出)から選択できます。

アンダフローによってカウントを停止するワンショットモードと、再ロードしてカウントを繰り返す連続モードが選択できます。

16 ビット PWM タイマの起動はソフトウェアトリガと外部イベント 3 種類(立上りエッジ、立下りエッジ、両エッジ検出)から選択できます。

(4) 16 ビット PPG タイマ

16 ビットのダウンカウンタ、H 幅設定用 16 ビットのデータレジスタ、L 幅設定用 16 ビットのデータレジスタ、端子制御部から構成されます。

16 ビットのダウンカウンタのカウントクロックは、内部クロック 8 種類(周辺クロックの 1/4/16/128/256/512/1024/2048 分周)と、外部イベント 3 種類(立上りエッジ、立下りエッジ、両エッジ検出)から選択できます。

アンダフローによってカウントを停止するワンショットモードと、再ロードしてカウントを繰り返す連続モードが選択できます。

16 ビット PPG タイマの起動はソフトウェアトリガと外部イベント 3 種類(立上りエッジ、立下りエッジ、両エッジ検出)から選択できます。

(5) 16/32 ビットリロードタイマ

16 ビットのダウンカウンタ, 16 ビットのリロードレジスタ, 端子制御部から構成されます。

16 ビットのダウンカウンタのカウントクロックは, 内部クロック 8 種類(周辺クロックの 1/4/16/128/256/512/1024/2048 分周)と, 外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

アンダフローによってカウントを停止するワンショットモードと, 再ロードしてカウントを繰り返す連続モードが選択できます。

16/32 ビットリロードタイマの起動はソフトウェアトリガと外部イベント 3 種類(立上りエッジ, 立下りエッジ, 両エッジ検出)から選択できます。

(6) 16/32 ビット PWC タイマ

16 ビットのアップカウンタ, 測定入力端子, 制御レジスタから構成されます。

外部からのパルス入力によって, 任意イベント間の時間を測定します。

基準となるカウントクロックは, 内部クロック 8 種類(1/4/16/128/256/512/1024/2048 分周)から選択できます。

各種測定モード	"H"パルス幅(↑～↓) / "L"パルス幅(↓～↑)
	立上り周期(↑～↑) / 立下り周期(↓～↓)
	エッジ間測定(↑または↓～↓または↑)

測定終了時に割込み要求を発生できます。

1 回のみの測定か, 連続測定かを選択できます。

2. 構成

図 2-1～図 2-4 に各モード別におけるベースタイマのブロックダイアグラムを示します。

図 2-1 16 ビット PWM タイマのブロックダイアグラム

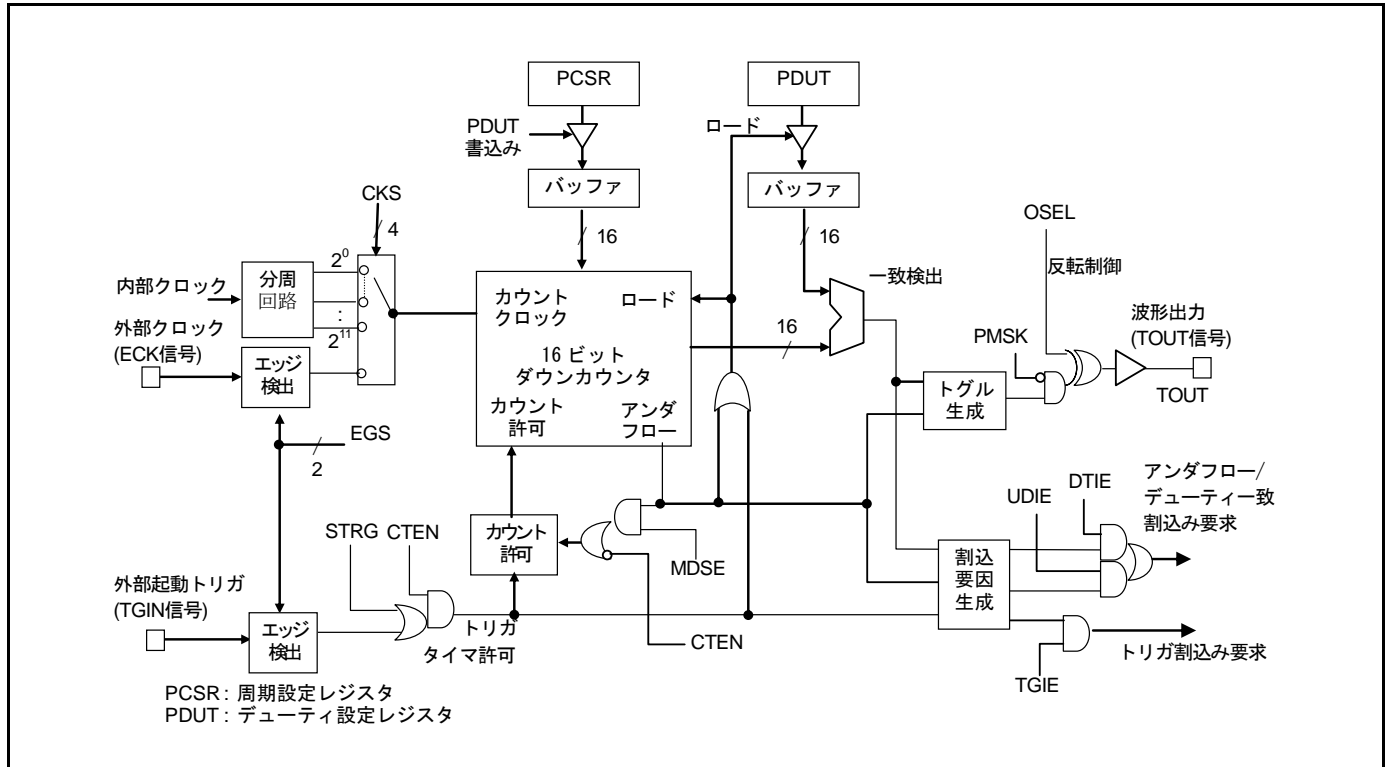


図 2-2 16 ビット PPG タイマのブロックダイアグラム

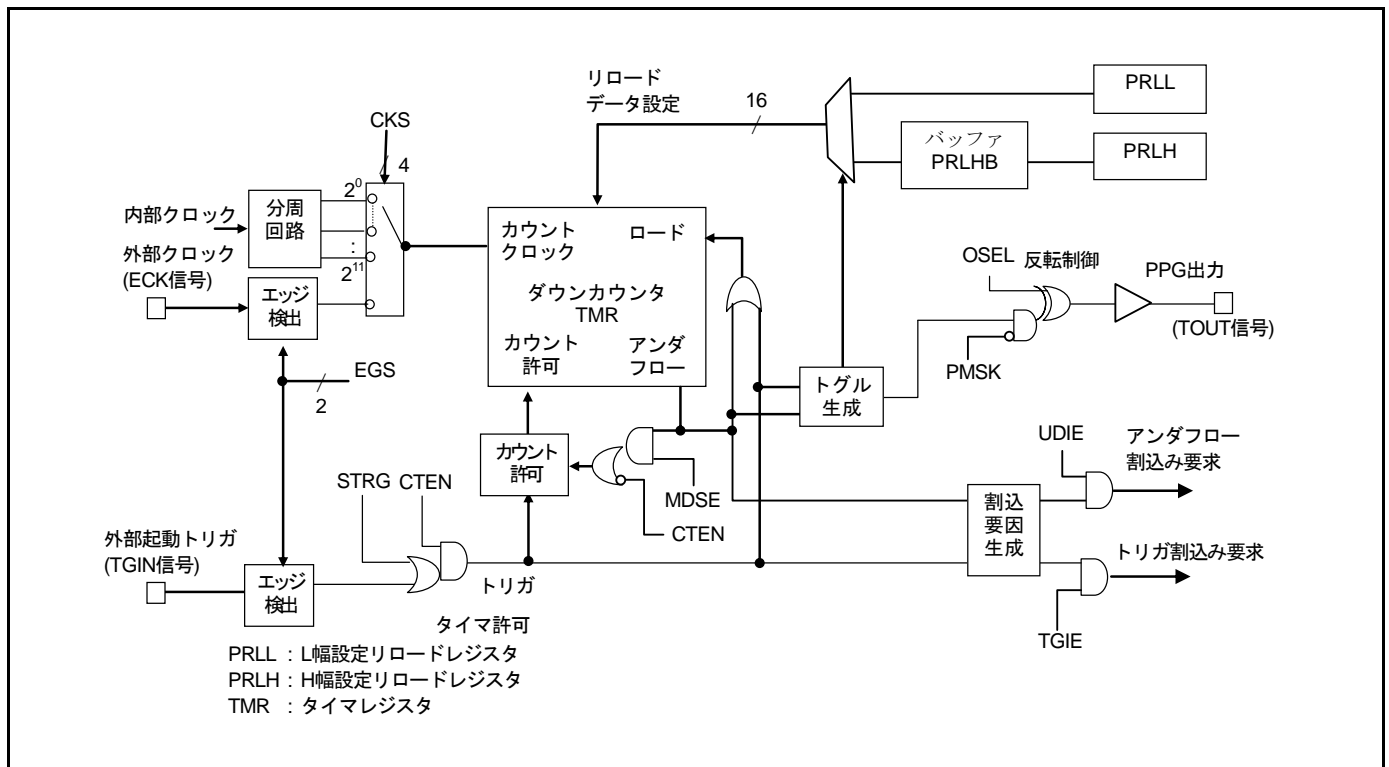
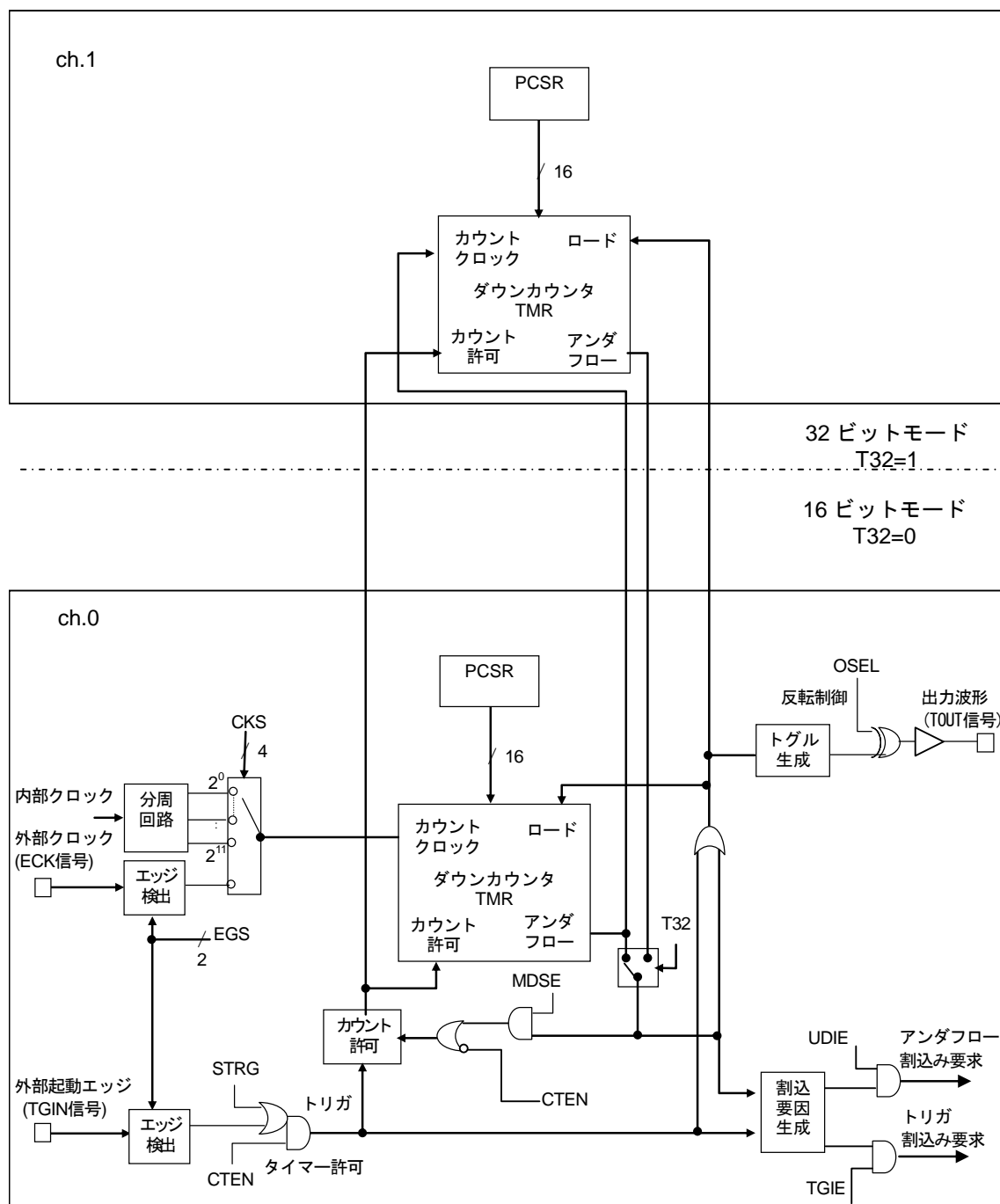
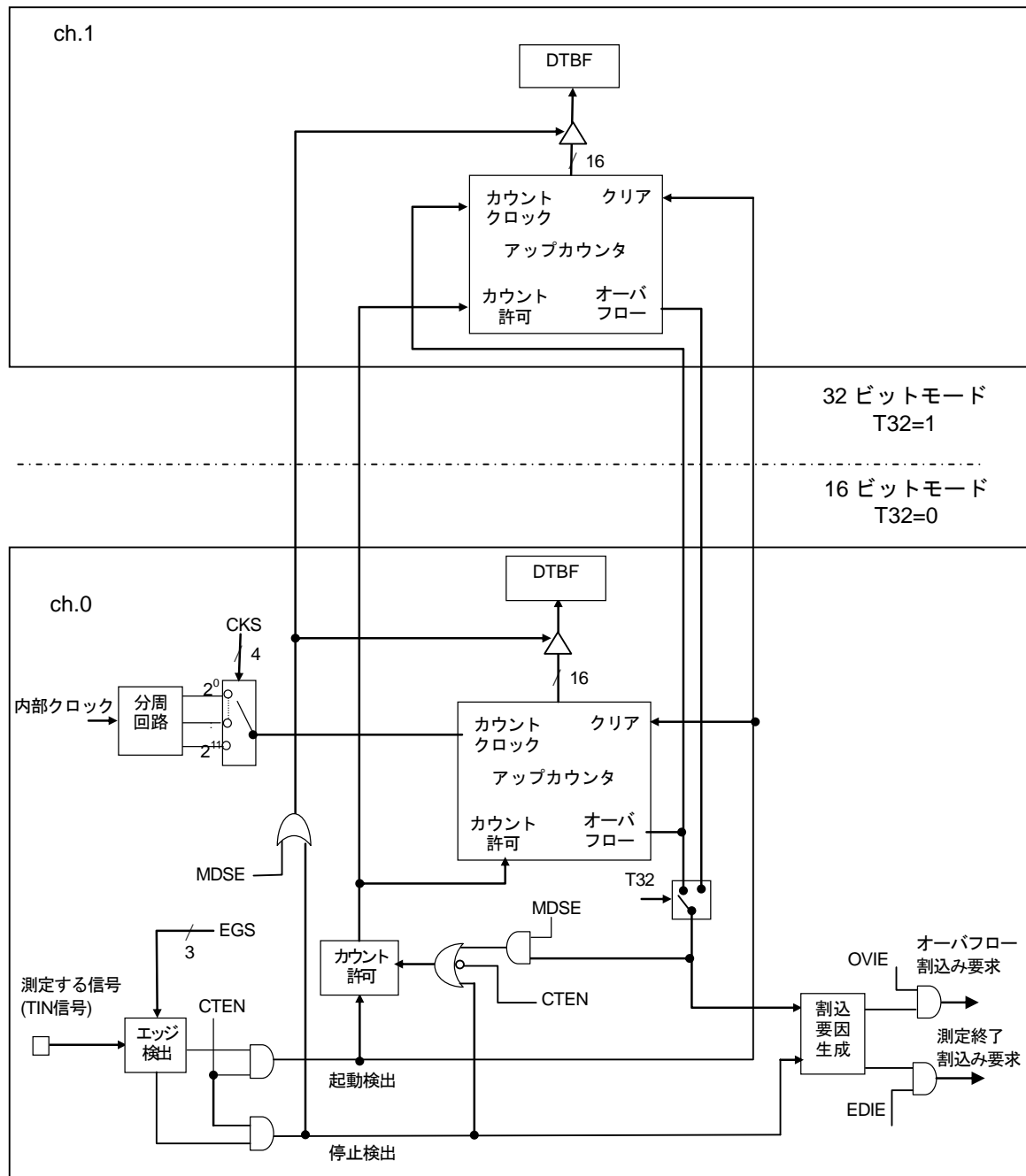


図 2-3 16/32 ビットリロードタイマ(チャネル 1, チャネル 0)のブロックダイヤグラム



ch.1 PCSR	: ベースタイム1周期設定レジスタ
ch.1 TMR	: ベースタイム1タイムレジスタ
ch.0 PCSR	: ベースタイム0周期設定レジスタ
ch.0 TMR	: ベースタイム0タイムレジスタ

図 2-4 16/32 ビット PWC タイマ(チャンネル 1, チャンネル 0)のブロックダイアグラム



ch.1 DTBF : ベースタイマ1データバッファレジスタ
ch.0 DTBF : ベースタイマ0データバッファレジスタ

3. 動作説明

ベースタイマの動作について説明します。

ベースタイマの動作

a) リセットモード

リセットモードは、ベースタイマのマクロをリセットした状態(各レジスタは初期値)です。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったんリセットモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、マクロのリセット後は本モードの設定なしにタイマ機能や T32 ビットを設定できます。32 ビットモード設定時にリセットモードを偶数チャンネルに設定した場合、奇数チャンネルも同時にリセットされるため、奇数チャンネルに対してリセットモードを設定する必要はありません。

b) 16 ビット PWM タイマ

16 ビット PWM タイマは、トリガ起動により周期設定した値からダウンカウントが開始されます。その際まず"L"レベルが出力されます。16 ビットダウンカウンタがデューティ設定レジスタに設定されている値と一致したとき、出力は"H"レベルに反転します。その後カウンタがアンダフローになったとき、再度出力は"L"レベルに反転します。これにより、周期とデューティが任意の波形を生成できます。

c) 16 ビット PPG タイマ

16 ビット PPG タイマは、トリガ起動により"L"幅設定リロードレジスタに設定されている値からダウンカウントが開始されます。その際まず"L"レベルが出力されます。アンダフローになったときに出力が"H"レベルに反転します。引き続き H 幅設定リロードレジスタに設定されている値からダウンカウントを開始し、アンダフローになったときに出力が"L"レベルに反転します。これにより、任意の"L"幅、"H"幅の波形を生成できます。

d) 16 ビットリロードタイマ

16 ビットリロードタイマは、トリガ起動により周期設定した値からダウンカウントが開始されます。16 ビットダウンカウンタがアンダフローになったときに割込みフラグが設定されます。出力レベルは MDSE ビットの設定によってアンダフローごとに反転されるトグル出力か、カウント開始によって"H"を、アンダフローによって"L"を出力するパルス出力です。

e) 32 ビットリロードタイマ

基本動作は 16 ビットリロードタイマと同じですが、偶数チャンネルと奇数チャンネルの 2 チャンネルを使用することによって、32 ビットリロードタイマとして動作します。その際は、偶数チャンネルが下位 16 ビットタイマ動作を行い、奇数チャンネルが上位 16 ビットタイマ動作を行います。割込み制御、出力波形制御は偶数チャンネルの設定にのみ従います。周期を設定する場合は、先に上位レジスタ(奇数チャンネル)に書き込んだ後に下位レジスタ(偶数チャンネル)に書き込んでください。

タイマ値を読み出す場合は、先に下位レジスタ(偶数チャンネル)を読み出した後に上位レジスタ(奇数チャンネル)を読み出してください。

f) 16 ビット PWC タイマ

PWC タイマは、設定した測定開始エッジの入力によって 16 ビットアップカウンタを起動させ、測定終了エッジの検出によってカウンタを停止します。この間のカウンタ値がパルス幅としてデータバッファレジスタに格納されます。

g) 32 ビット PWC タイマ

基本動作は 16 ビット PWC タイマと同じですが、偶数チャンネルと奇数チャンネルの 2 チャンネルを使用することによって、32 ビット PWC タイマとして動作します。その際は、偶数チャンネルが下位 16 ビットカウント動作を行い、奇数チャンネルが上位 16 ビットカウント動作を行います。割込み制御は偶数チャンネルの設定にのみ従います。測定値またはカウンタ値を読み出す場合は、先に下位レジスタ(偶数チャンネル)を読み出した後に上位レジスタ(奇数チャンネル)を読み出してください。

4. 32 ビットモード動作

リロードタイマ、PWC は 2 チャンネル使用することによって、32 ビットモード動作が可能です。以下に、32 ビットモード機能における基本機能/動作について示します。

(1) 32 ビットモード機能

ベースタイマを 2 チャンネル組み合わせて 32 ビットデータのリロードタイマまたは 32 ビットデータの PWC タイマ動作を実現する機能です。偶数チャンネルの下位 16 ビットタイマ・カウンタ値を読み出す際に、奇数チャンネルの上位 16 ビットタイマ・カウンタ値も取り込むため、動作中のタイマ・カウンタ値も読み出せます。

(2) 32 ビットモード設定

まず偶数チャンネルの TMCR レジスタの FMD2, FMD1, FMD0 ビットを"0b000"(リセットモード)にして状態をリセットしてください。その後 16 ビットモード時と同様にリロードタイマ、PWC タイマの選択設定と動作設定をしてください。さらに TMCR レジスタの T32 ビットにも"1"を書き込むことによって 32 ビット動作モードに設定されます。奇数チャンネルの T32 ビットは"0"のままにしてください。リセットモードの設定も必要ありません。さらにリロードタイマの場合は、奇数チャンネルの周期設定レジスタに 32 ビットのうちの、上位 16 ビットのリロード値を設定してください。その後に偶数チャンネルの周期設定レジスタに下位 16 ビットのリロード値を設定してください。

32 ビット動作モードへの移行は T32 ビット書き込み後、直ちに反映されるため、両チャンネルともカウント停止の状態を設定を変更してください。

32 ビットモードから 16 ビットモードへの移行は、偶数チャンネルの TMCR レジスタの FMD2, FMD1, FMD0 ビットを"0b000"(リセットモード)にしてください。これにより、偶数、奇数の両チャンネルの状態がリセットされ、それぞれのチャンネルに 16 ビットモード時の設定ができます。

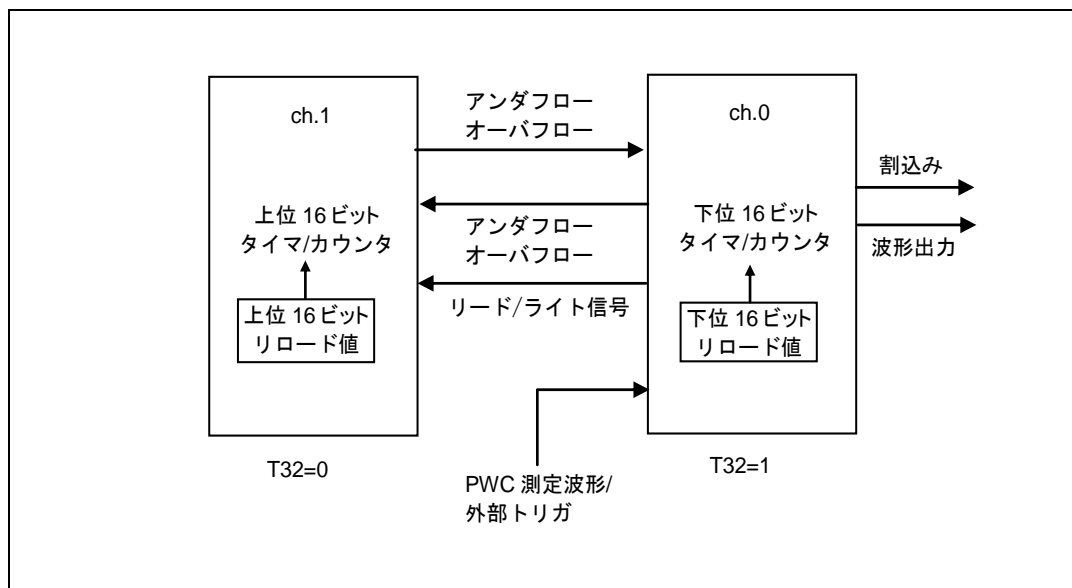
(3) 32 ビットモード動作

32 ビットモード設定の後、リロードタイマまたは PWC タイマを、偶数チャンネルの制御によって起動した場合、偶数チャンネルのタイマ/カウンタは下位 16 ビット動作を行います。また奇数チャンネルのタイマ/カウンタは上位 16 ビット動作を行います。

32 ビットモード時の動作は偶数チャンネルの設定に従い、奇数チャンネルの設定は(リロードタイマ時の周期設定レジスタを除き) 無視されます。タイマ起動、波形出力、割込み信号も偶数チャンネルのものが有効です(奇数チャンネルは"L"固定にマスクされます)。

図 4-1 にチャンネル 1、チャンネル 0 の場合の構成を示します。

図 4-1 32 ビットモード動作の構成(チャンネル 1, チャンネル 0 の場合)



5. 割込み

ベースタイマの各機能における割込み要求フラグ、割込み許可ビットと割込み要因をまとめた一覧を示します。

機能ごとの割込み制御ビットと割込み要因

機能ごとの割込み制御ビットと割込み要因を表 5-1 に示します。

表 5-1 各モードにおける割込み制御ビットと割込み要因

機能	ステータス制御レジスタ(STC)		
	割込み要求フラグビット	割込み要求許可ビット	割込み要因
PWM タイマ機能	UDIR : bit0	UDIE : bit4	アンダフロー検出
	DTIR : bit1	DTIE : bit5	デューティ一致検出
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出
PPG タイマ機能	UDIR : bit0	UDIE : bit4	アンダフロー検出
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出
リロードタイマ機能	UDIR : bit0	UDIE : bit4	アンダフロー検出
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出
PWC タイマ機能	OVIR : bit0	OVIE : bit4	オーバフロー検出
	EDIR : bit2	EDIE : bit6	測定終了検出

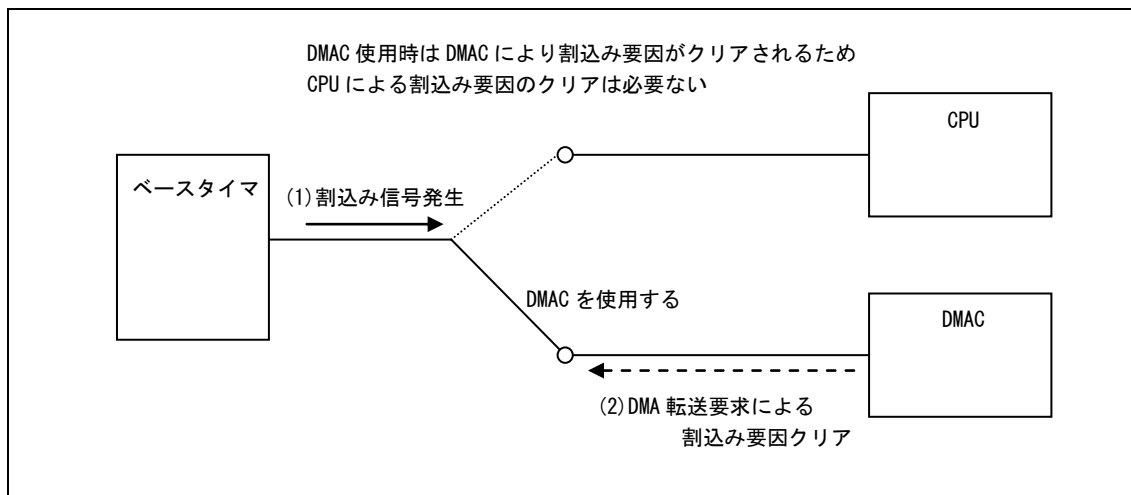
6. DMA コントローラ(DMAC)の起動

ベースタイマの割り込み要求の発生を利用して DMAC を起動できます。

ベースタイマの割り込み要因を利用した DMA 転送動作

ベースタイマの割り込み要因の発生を利用して, DMAC を起動できます。図 6-1 にベースタイマによる DMAC 起動の概要を示します。

図 6-1 ベースタイマによる DMAC 起動の概要



ベースタイマから DMAC を起動する前に, DMAC の設定を行ってください。DMAC の設定, 詳細については『DMA コントローラ』の章を参照してください。

7. レジスタ

ベースタイマの各モードのレジスタ一覧を示します。

すべてのレジスタにはプレフィックス「BTxx_」が付きます。xx はチャンネル番号(00~11)です。

表 7-1 16 ビット PWM タイマ選択時のレジスタ一覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.1.6
TMCR2	タイマ制御レジスタ 2	9.1.6
STC	ステータス制御レジスタ	9.1.6
STCC	ステータス制御クリアレジスタ	9.1.6
STCS	ステータス制御セットレジスタ	9.1.6
PCSR	PWM 周期設定レジスタ	9.1.7
PDUT	PWM デューティ設定レジスタ	9.1.8
TMR	タイマレジスタ	9.1.9

表 7-2 16 ビット PPG タイマ選択時のレジスタ一覧

レジスタ略称	レジスタ名	参照先
TMCR	タイマ制御レジスタ	9.2.6
TMCR2	タイマ制御レジスタ 2	9.2.6
STC	ステータス制御レジスタ	9.2.6
STCC	ステータス制御クリアレジスタ	9.2.6
STCS	ステータス制御セットレジスタ	9.2.6
PRL	L 幅設定リロードレジスタ	9.2.7
PRLH	H 幅設定リロードレジスタ	9.2.8
TMR	タイマレジスタ	9.2.9



表 7-3 リロードタイマ選択時のレジスタ一覧

レジスタ略称	レジスタ名	参照先
TMCRR	タイマ制御レジスタ	9.3.3
TMCRR2	タイマ制御レジスタ 2	9.3.3
STC	ステータス制御レジスタ	9.3.3
STCC	ステータス制御クリアレジスタ	9.3.3
STCS	ステータス制御セットレジスタ	9.3.3
PCSR	周期設定レジスタ	9.3.4
TMR	タイマレジスタ	9.3.5

表 7-4 PWC タイマ選択時のレジスタ一覧

レジスタ略称	レジスタ名	参照先
TMCRR	タイマ制御レジスタ	9.4.2
TMCRR2	タイマ制御レジスタ 2	9.4.2
STC	ステータス制御レジスタ	9.4.2
STCC	ステータス制御クリアレジスタ	9.4.2
STCS	ステータス制御セットレジスタ	9.4.2
DTBF	データバッファレジスタ	9.4.3

8. 使用上の注意

ベースタイマの使用上の注意を以下に示します。

(1) レジスタアクセス時の注意

ステータス制御レジスタ(STC) アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットを"0"にクリアする際は、ステータス制御クリアレジスタ(STCC)の該当ビットに"1"を書き込むことによってクリアしてください。
- 本レジスタの特定ビットを"1"に設定する際は、ステータス制御セットレジスタ(STCS)の該当ビットに"1"を書き込むことで設定してください。
- 全ビット書込み時のみ本レジスタに直接書込みができます。

(2) 各タイマ使用においてプログラムによる設定をする場合の注意

- TMCR2 レジスタ, TMCR レジスタの以下に示すビットを動作中に書き換えることを禁止です。書換えは必ず起動前か停止後に行ってください。

[TMCR2: bit8], [TMCR: bit14:12]	CKS3~CKS0: クロック選択ビット
[TMCR: bit10:8]	EGS2, EGS1, EGS0: 測定エッジ選択ビット
[TMCR: bit7]	T32: 32 ビットタイマ選択ビット
	(リロードタイマ・PWC 機能選択時)
[TMCR: bit6:4]	FMD2~FMD0: タイマ機能選択ビット
[TMCR: bit2]	MDSE: 測定モード(単発/連続) 選択ビット
- TMCR レジスタの FMD2~FMD0 ビットを"0b000"のリセットモードに設定したときはベースタイマの全レジスタは初期化されます。このため、すべてのレジスタに対して再設定が必要です。
- TMCR レジスタの FMD2~FMD0 ビットを"0b000"のリセットモードに設定したときは TMCR レジスタの FMD2~FMD0 ビット以外のビットへの設定は無視されて初期化されます。

(3) 16 ビット PWM/PPG/リロードタイマの使用上の注意

- 割込み要求フラグセットタイミングとクリアタイミングが重複した場合には、フラグセットが優先され、クリア動作は無効です。
- ダウンカウンタは、ロードとカウントのタイミングが重複した場合には、ロード動作が優先されます。
- TMCR レジスタの FMD2, FMD1, FMD0 ビットによるタイマ機能の設定後に周期設定、デューティ設定、H 幅設定、L 幅設定をしてください。
- ワンショットモードにおいてカウント終了時に再起動を検出した場合は、カウント値をリロードして再起動が開始されます。

(4) PWC タイマの使用上の注意

- カウント起動許可ビット(CTEN)に"1"を書き込んだ場合、カウンタがクリアされます。起動許可前にカウンタ中にあったデータは無効です。
- システムリセット・リセットモードから PWC モードの設定(FMD=0b100)と測定開始設定(CTEN=1)を同時にした場合、直前の測定信号の状態によって動作する場合があります。
- 連続測定モードにおいて再起動を設定したときに、同時に測定開始エッジを検出した場合は、直ちにカウントを"0x0001"から開始されます。
- カウント動作を開始した後に再起動を行う場合は、タイミングによっては以下に示すような動作が発生する場合があります。
 - パルス幅単発測定モード時、測定終了エッジと同時であった場合再起動を行って測定開始エッジ待ち状態ですが、測定終了フラグ(EDIR)は設定されます。
 - パルス幅連続測定モード時、測定終了エッジと同時であった場合、再起動を行って測定開始エッジ待ち状態ですが、測定終了フラグ(EDIR)は設定され、その時点における測定結果は DTBF に転送されます。

以上のように、動作中の再起動時には、フラグの動作に注意して割込み制御などを行ってください。

9. 機能別説明

ベースタイマの各機能について説明します。

ベースタイマの機能

1. PWM タイマ機能
2. PPG タイマ機能
3. リロードタイマ機能
4. PWC タイマ機能



9.1. PWM タイマ機能

ベースタイマは、タイマ制御レジスタの FMD2, 1, 0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。PWM を設定したときのタイマ機能の説明を示します。

1. 16 ビット PWM タイマ動作
2. ワンショット動作
3. 割込み要因とタイミングチャート
4. 出力波形
5. PWM タイマ動作フロー
6. PWM タイマ選択時のタイマ制御レジスタ (TMCR, TMCR2), ステータス制御レジスタ (STC), ステータス制御クリアレジスタ (STCC), ステータス制御セットレジスタ (STCS)
7. PWM 周期設定レジスタ (PCSR)
8. PWM デューティ設定レジスタ (PDUT)
9. タイマレジスタ (TMR)

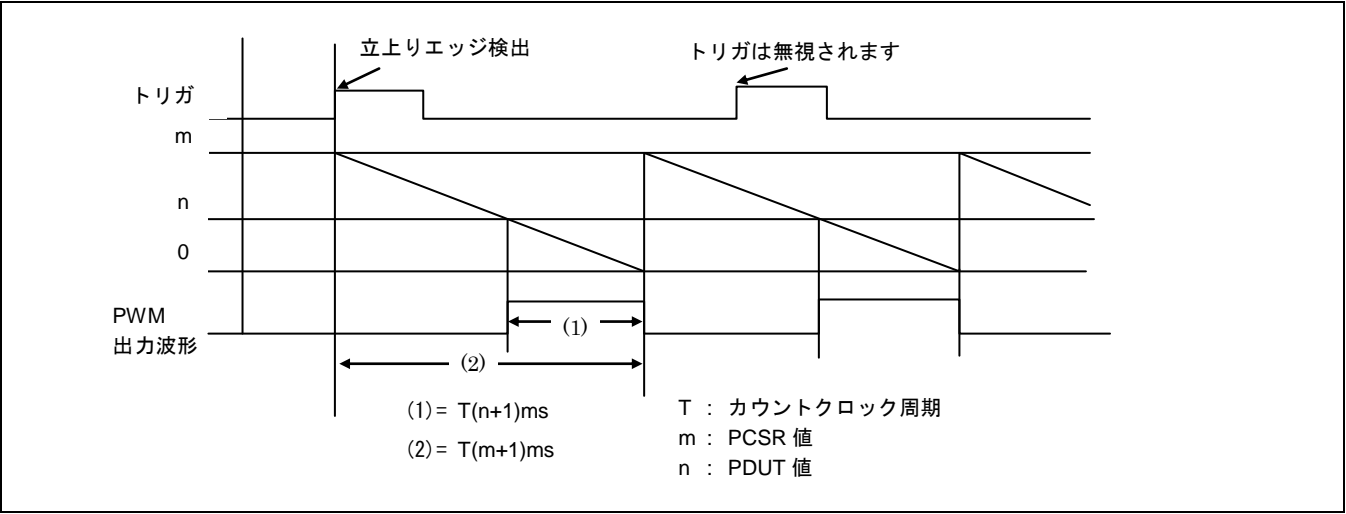
9.1.1. 16ビットPWMタイマ動作

PWM動作の場合、トリガの検出時より設定周期の波形を単発または連続して出力できます。出力パルスの周期は、PCSR値を変えることにより制御できます。またデューティ比は、PDUT値を変えることにより制御できます。PCSRにデータを書き込んだ後は、必ずPDUTへの書き込みを行ってください。

連続動作

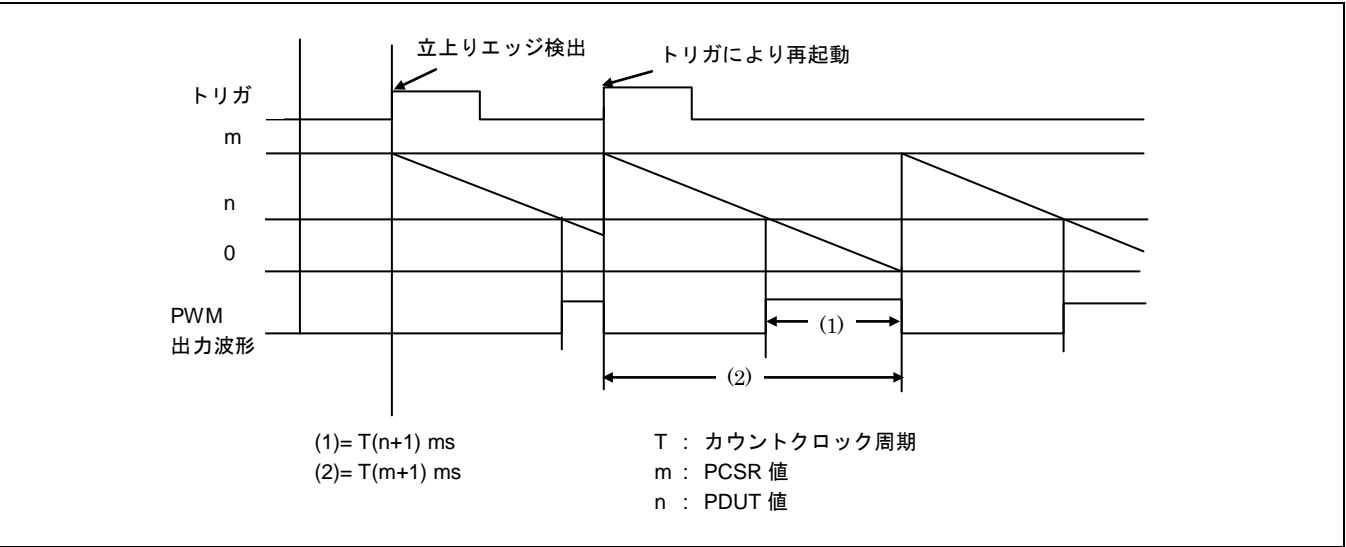
a) 再起動禁止の場合(RTGEN=0)

図 9-1 PWM動作のタイミングチャート(再起動禁止の場合)



b) 再起動許可の場合(RTGEN=1)

図 9-2 PWM動作のタイミングチャート(再起動許可の場合)



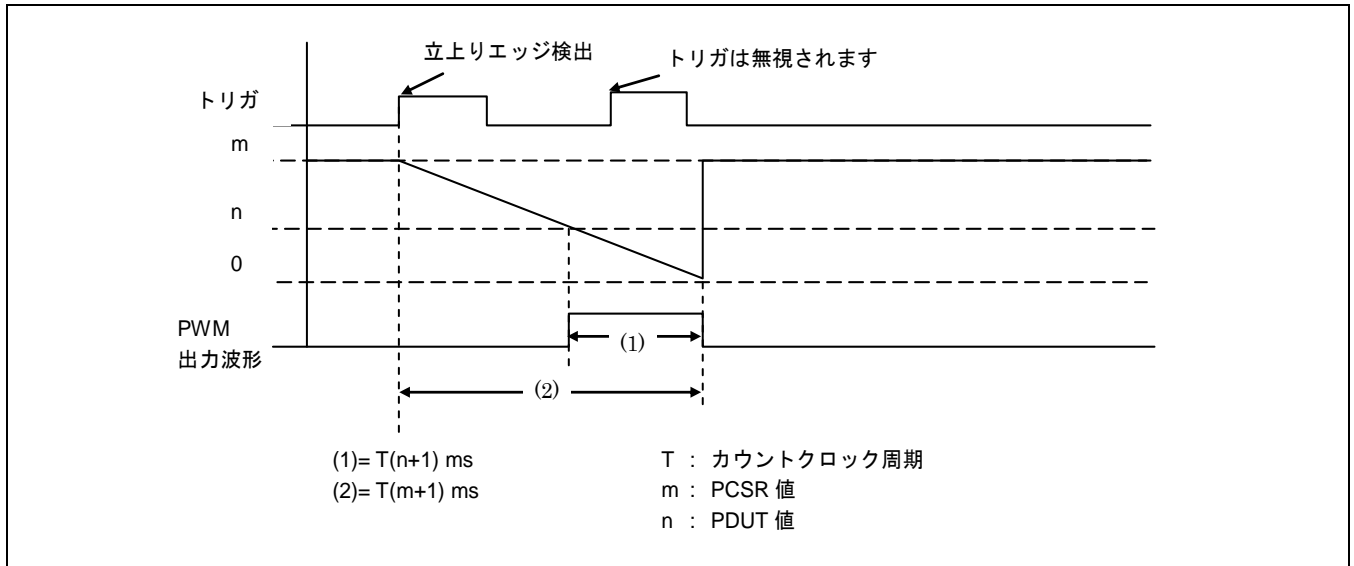
9.1.2. ワンショット動作

ワンショット動作の場合、トリガにより任意の幅の単一パルスを出力できます。再起動許可の場合は、動作中にエッジ検出することによってカウンタがリロードされます。

ワンショット動作

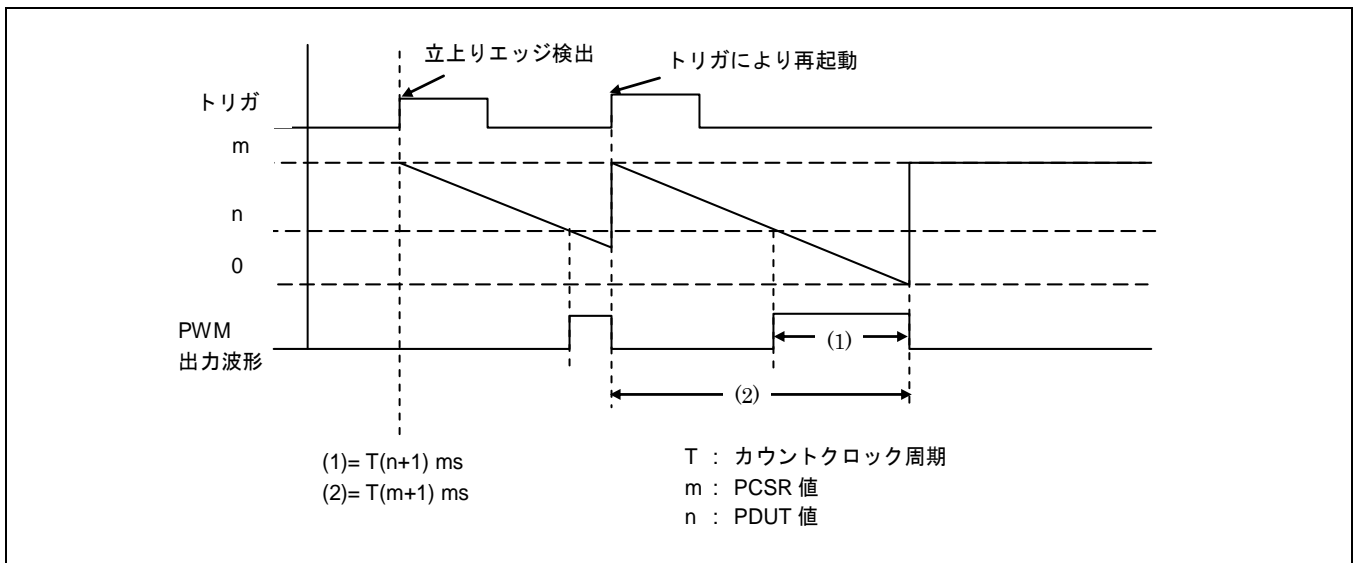
a) 再起動禁止の場合(RTGEN=0)

図 9-3 ワンショット動作のタイミングチャート(トリガ再起動禁止)



b) 再起動許可の場合(RTGEN=1)

図 9-4 ワンショット動作のタイミングチャート(トリガ再起動許可)



9.1.3. 割込み要因とタイミングチャート

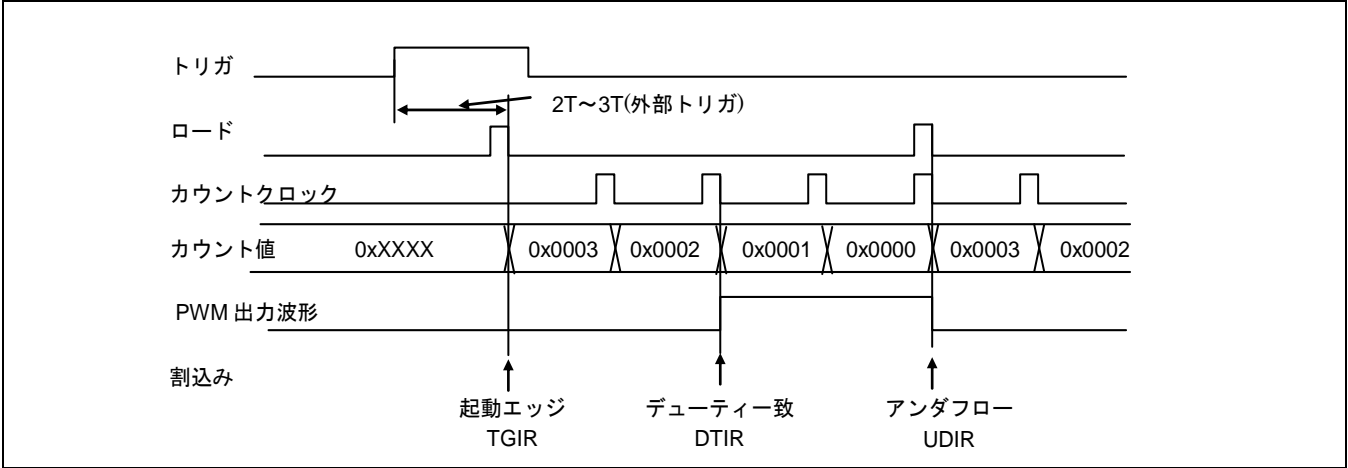
割込み要因とタイミングチャートについて示します。

割込み要因とタイミングチャート(PWM 出力：通常極性)

トリガが入力されて、カウンタ値がロードされるまでの時間として、ソフトウェアトリガ時は T 、外部トリガ時は $2T \sim 3T$ (T : 周辺クロックサイクル)が必要です。

図 9-5 に周期設定値=3、デューティ値=1 の場合の、割込み要因とタイミングチャートを示します。

図 9-5 PWM タイマの割込み要因とタイミングチャート



9.1.4. 出力波形

PWM 出力について示します。

PWM 出力オール"L"またはオール"H"の出力方法

図 9-6 に PWM 出力をオール"L"にする出力方法を、図 9-7 にオール"H"にする出力方法を示します。

図 9-6 PWM 出力をオール"L"レベルにする例

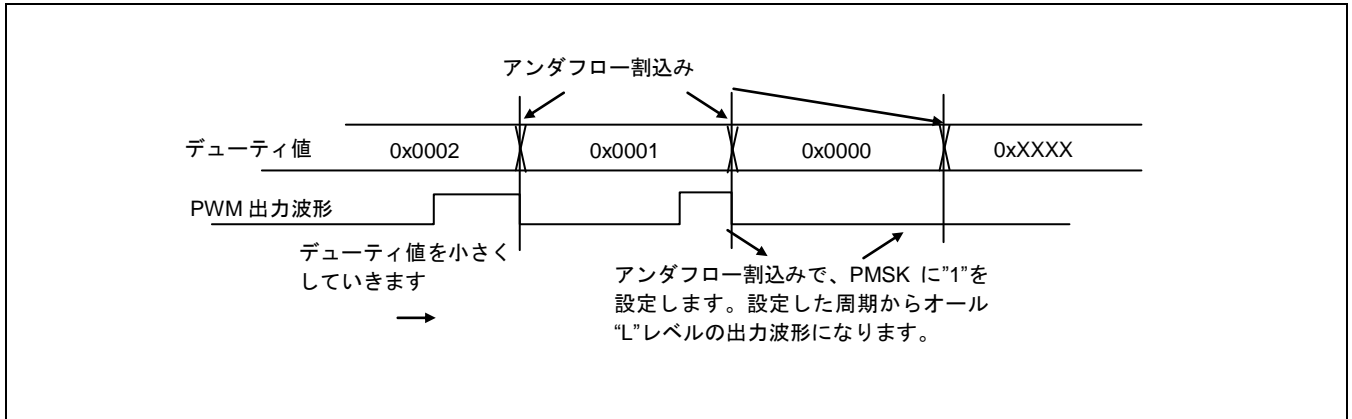
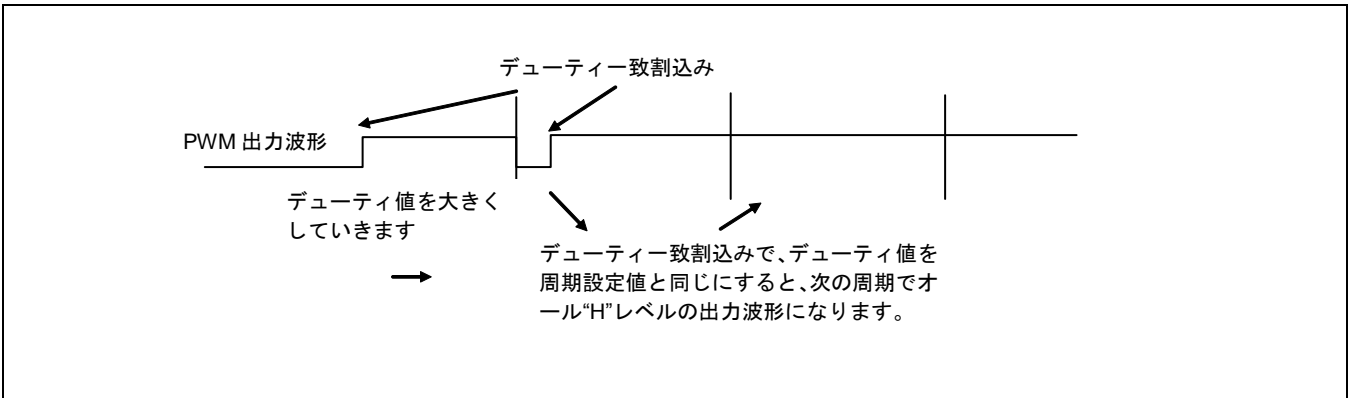


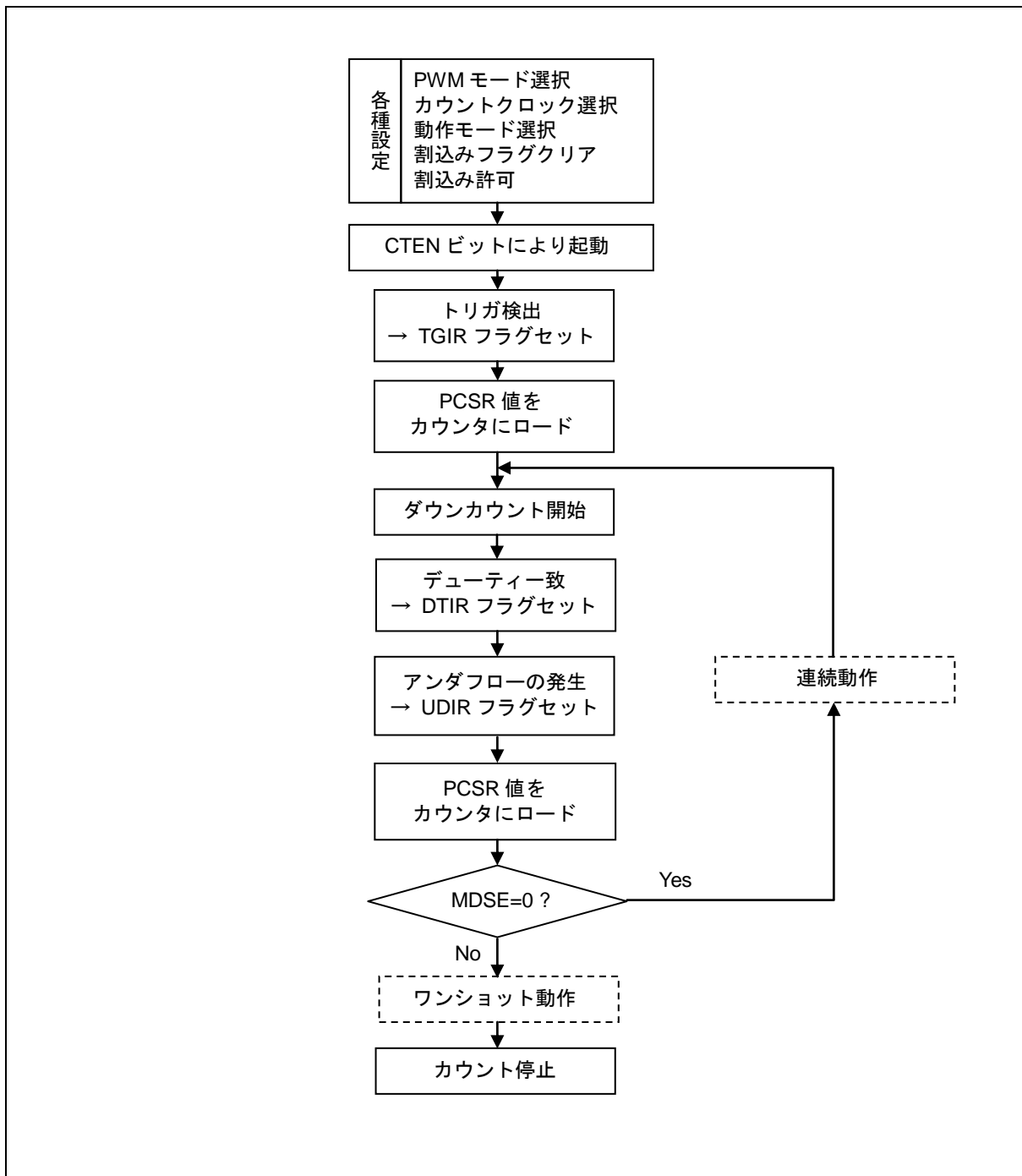
図 9-7 PWM 出力をオール"H"レベルにする例



9.1.5. PWM タイマ動作フロー

PWM タイマの動作フローを示します。

図 9-8 PWM タイマ動作フロー





9.1.6. PWM タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC), ステータス制御クリアレジスタ(STCC), ステータス制御セットレジスタ(STCS)

タイマ制御レジスタ(TMCR)は, PWM タイマを制御します。PWM タイマ動作中に書換えが不可能なビットがあるため注意してください。

ステータス制御レジスタ(STC)への書込みについての詳細は, 「8. 使用上の注意」を参照してください。

(1) タイマ制御レジスタ(TMCR 上位バイト)

Bit	15	14	13	12	11	10	9	8
Field	Reserved	CKS2	CKS1	CKS0	RTGEN	PMSK	EGS1	EGS0
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15] Reserved: 予約ビット

[bit14:12, TMCR2:bit8] CKS3~CKS0: カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は, 設定を変えると直ちに反映されます。したがって CKS3~CKS0 の変更はカウント停止(CTEN="0")の状態で行ってください。ただし, CTEN ビットへの"1"書込みと同時に変更することは可能です。

TMCR2:bit8, TMCR:bit14:12				説明
CKS3	CKS2	CKS1	CKS0	
0	0	0	0	ϕ
0	0	0	1	ϕ /4
0	0	1	0	ϕ /16
0	0	1	1	ϕ /128
0	1	0	0	ϕ /256
0	1	0	1	外部クロック(立上りエッジイベント)
0	1	1	0	外部クロック(立下りエッジイベント)
0	1	1	1	外部クロック(両エッジイベント)
1	0	0	0	ϕ /512
1	0	0	1	ϕ /1024
1	0	1	0	ϕ /2048
上記以外				設定禁止

ϕ は周辺クロック

[bit11] RTGEN: 再起動許可ビット

ソフトウェアトリガまたはトリガ入力による再起動を許可するビットです。

bit	説明
0	再起動禁止
1	再起動許可

[bit10] PMSK: パルス出力マスクビット

- PWM 出力波形の出力波形レベルを制御します。



- ビットが"0"のときは PWM 波形がそのまま出力されます。
- ビットが"1"のときは、周期やデューティ設定の値にかかわらず PWM 出力が L 出力にマスクされます。

bit	説明
0	通常出力
1	L 出力に固定

＜注意事項＞

- ビット 3 の OSEL が反転出力に設定されている場合に、PMSK を"1"にすることによって H 出力にマスクされます。

[bit9:8] EGS1～EGS0: トリガ入力エッジ選択ビット

- 外部起動要因として、入力波形に対する有効エッジを選択し、トリガの条件を設定します。
- 初期値または"0b00"の設定の場合、入力波形に対する有効エッジが選択されていない状態のため外部波形による起動はかかりません。
- EGS1, EGS0 の変更はカウント停止状態(CTEN="0")で行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit[9:8]	説明
00	トリガ入力無効
01	立上りエッジ
10	立下りエッジ
11	両エッジ

＜注意事項＞

- EGS1, EGS0 の設定にかかわらず、STRG ビットに"1"を書き込んだ場合ソフトウェアトリガは有効化されます。



(2) タイマ制御レジスタ(TMCR 下位バイト)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6:4] FMD2～FMD0: タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD2, FMD1, FMD0 ビットに"0b001"を設定した場合 PWM 機能が選択されます。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
1	0	1	設定禁止
1	1	0	
1	1	1	

[bit3] OSEL: 出力極性指定ビット

- PWM 出力の極性を設定します。

極性	リセット後	デューティー致	アンダフロー
通常	"L"出力		
反転	"H"出力		

bit	説明
0	通常極性
1	反転極性

[bit2] MDSE: モード選択ビット

- 連続してパルスを出力する動作か、単一パルスを出力するワンショット動作かを選択します。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit	説明
0	連続動作
1	ワンショット動作



[bit1] CTEN: カウント動作許可ビット

- ダウンカウンタの動作を許可するビットです。
- カウンタが動作許可状態(CTEN ビットが"1")のときに"0"を書き込んだ場合カウンタは停止します。

bit	説明
0	停止
1	動作許可

[bit0] STRG: ソフトウェアトリガビット

- CTEN ビットが"1"のときに STRG ビットに"1"を書き込んだ場合ソフトウェアトリガがかかります。

bit	説明
0	無効
1	ソフトウェアによる起動開始

<注意事項>

- CTEN ビットと STRG ビットを同時に"1"を書き込んだ場合でも、ソフトウェアトリガがかかります。
- EGS1, EGS0 の設定にかかわらず, STRG ビットに"1"を書き込んだ場合ソフトウェアトリガは有効化されます。



(3) タイマ制御レジスタ 2(TMCR2)

Bit	15	14	13	12	11	10	9	8
Field	Reserved							CKS3
R/W 属性	R0,W0							R/W
保護属性	-							
初期値	0000000							0

(注意事項) 本レジスタは STC レジスタの上位に配置されます。

[bit15:9] Reserved: 予約ビット

[bit8] CKS3: カウントクロック選択ビット

「(1) タイマ制御レジスタ(TMCR 上位バイト)」の「カウントクロック選択ビット」を参照してください。

(4) ステータス制御レジスタ(STC)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	TGIE	DTIE	UDIE	Reserved	TGIR	DTIR	UDIR
R/W 属性	R0,W0	R/W	R/W	R/W	R0,W0	R,W	R,W	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

(注意事項) 本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] Reserved: 予約ビット

[bit6] TGIE: トリガ割込み要求許可ビット

- STC:TGIR ビットの割込み要求を制御します。
- TGIE ビットが許可されていて STC:TGIR ビットが設定されると CPU に割込み要求を発生します。
- STCC:TGIEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- STCS:TGIES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] DTIE: デューティ一致割込み要求許可ビット

- STC:DTIR ビットの割込み要求を制御します。
- DTIE ビットが許可されていて STC:DTIR ビットが設定されると CPU に割込み要求を発生します。
- STCC:DTIEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- STCS:DTIES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit4] UDIE: アンダフロー割込み要求許可ビット

- STC:UDIR ビットの割込み要求を制御します。
- UDIE ビットが許可されていて STC:UDIR ビットが設定されると CPU に割込み要求を発生します。
- STCC:UDIEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- STCS:UDIES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] Reserved: 予約ビット

[bit2] TGIR: トリガ割込み要求ビット

- ソフトウェアトリガまたはトリガ入力の検出をしたときに TGIR ビットが"1"に設定されます。
- TGIR ビットは"0"書込みにより、"0"にクリアされます。
- STCC:TGIRC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- TGIR ビットに"1"書込みしてもビット値には影響しません。



bit	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit1] DTIR: デューティ一致割込み要求ビット

- カウント値がデューティ設定値と一致したときに DTIR ビットが"1"に設定されます。
- DTIR ビットは"0"書込みによりクリアされます。
- STCC:DTIRC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- DTIR ビットに"1"書込みしてもビット値には影響しません。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit0] UDIR: アンダフロー割込み要求ビット

- カウント値が"0x0000"→"0xFFFF"へのアンダフロー時に UDIR ビットが"1"に設定されます。
- UDIR ビットは"0"書込みによりクリアされます。
- STCC:UDIRC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- UDIR ビットに"1"書込みしてもビット値には影響しません。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

(5) ステータス制御クリアレジスタ (STCC)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	TGIEC	DTIEC	UDIEC	Reserved	TGIRC	DTIRC	UDIRC
R/W 属性	R0,W0	R0,W	R0,W	R0,W	R0,W0	R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6] TGIEC: トリガ割込み要求許可クリアビット

本ビットに"1"を書き込んだ場合, STC:TGIE ビットは"0"に設定されます。

bit	説明
0	無効
1	TGIE ビットを"0"に設定

[bit5] DTIEC: デューティ一致割込み要求許可クリアビット

本ビットに"1"を書き込んだ場合, STC:DTIE ビットは"0"に設定されます。

bit	説明
0	無効
1	DTIE ビットを"0"に設定

[bit4] UDIEC: アンダフロー割込み要求許可クリアビット

本ビットに"1"を書き込んだ場合, STC:UDIE ビットは"0"に設定されます。

bit	説明
0	無効
1	UDIE ビットを"0"に設定

[bit3] Reserved: 予約ビット

[bit2] TGIRC: トリガ割込み要求クリアビット

本ビットに"1"を書き込んだ場合, STC:TGIR ビットが"0"に設定されます。

bit	説明
0	無効
1	TGIR ビットを"0"に設定

[bit1] DTIRC: デューティ一致割込み要求ビット

本ビットに"1"を書き込んだ場合, STC:DTIR ビットは"0"に設定されます。

bit	説明
0	無効
1	DTIR ビットを"0"に設定



[bit0] UDIRC: アンダフロー割込み要求クリアビット

本ビットに"1"を書き込んだ場合, STC:UDIR ビットは"0"に設定されます。

bit	説明
0	無効
1	UDIR ビットを"0"に設定

(6) ステータス制御セットレジスタ(STCS)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	TGIES	DTIES	UDIES	Reserved			
R/W 属性	R0,W0	R0,W	R0,W	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit7] Reserved: 予約ビット

[bit6] TGIES: トリガ割込み要求許可セットビット

本ビットに"1"を書き込んだ場合, STC:TGIE ビットは"1"に設定されます。

bit	説明
0	無効
1	TGIE ビットを"1"に設定

[bit5] DTIES: デューティ一致割込み要求許可セットビット

本ビットに"1"を書き込んだ場合, STC:DTIE ビットは"1"に設定されます。

bit	説明
0	無効
1	DTIE ビットを"1"に設定

[bit4] UDIES: アンダフロー割込み要求許可セットビット

本ビットに"1"を書き込んだ場合, STC:UDIE ビットは"1"に設定されます。

bit	説明
0	無効
1	UDIE ビットを"1"に設定

[bit3:0] Reserved: 予約ビット



9.1.7. PWM 周期設定レジスタ(PCSR)

PWM 周期設定レジスタ(PCSR)は、周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は、起動時とアンダフロー時に行われます。

Bit	15-0
Field	PCSR
R/W 属性	R/W
保護属性	-
初期値	XXXXXXXX_XXXXXXXX

[bit15:0] PCSR[15:0]: PWM 周期設定レジスタ

周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は起動時とアンダフロー時に行われます。

周期設定レジスタの初期設定時および書換え時は、周期設定レジスタの書き込み後に必ずデューティ設定レジスタへの書き込み動作を行ってください。

- PCSR レジスタは 16 ビットデータアクセスしてください。
- PCSR レジスタは TMCr レジスタの FMD2, FMD1, FMD0 ビットによって PWM 機能設定後に周期設定してください。



9.1.8. PWM デューティ設定レジスタ(PDUT)

PWM デューティ設定レジスタ(PDUT)はデューティを設定するためのバッファ付きレジスタです。バッファの転送は、アンダフローで行われます。

Bit	15-0
Field	PDUT
R/W 属性	R/W
保護属性	-
初期値	XXXXXXXX_XXXXXXXX

[bit15:0] PDUT[15:0]: PWM デューティ設定レジスタ

デューティを設定するためのバッファ付きレジスタです。バッファからの転送はアンダフローで行われます。

周期設定レジスタの値とデューティ設定レジスタの値を同じに設定した場合、通常極性時にオール"H"が、反転極性時にオール"L"が出力されます。

PCSR<PDUT となるような値を設定した場合、通常極性時にオール"L"が、反転極性時にオール"H"が出力されます。

- PDUT レジスタは 16 ビットデータアクセスしてください。
- PDUT レジスタは TMCР レジスタの FMD2, FMD1, FMD0 ビットによって PWM 機能設定後にデューティ設定してください。



9.1.9. タイマレジスタ(TMR)

タイマレジスタ(TMR)は、16 ビットダウンカウンタの値を読み出せます。

Bit	15-0
Field	TMR
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000

[bit15:0] TMR[15:0]: タイマレジスタ

16 ビットダウンカウンタの値を読み出せます。

TMR レジスタは 16 ビットデータアクセスしてください。

9.2. PPG タイマ機能

ベースタイマは、タイマ制御レジスタの FMD2, 1, 0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。PPG を設定したときのタイマ機能の説明を示します。

1. 16 ビット PPG タイマ動作
2. 連続動作
3. ワンショット動作
4. 割込み要因とタイミングチャート
5. PPG タイマ動作フロー
6. PPG タイマ選択時のタイマ制御レジスタ (TMCR, TMCR2), ステータス制御レジスタ (STC), ステータス制御クリアレジスタ (STCC), ステータス制御セットレジスタ (STCS)
7. L 幅設定リロードレジスタ (PRLl)
8. H 幅設定リロードレジスタ (PRLH)
9. タイマレジスタ (TMR)

9.2.1. 16ビット PPG タイマ動作

PPG タイマ動作は、出力パルスのL幅とH幅をそれぞれのリロードレジスタに設定することによって、任意の出力パルスを制御できます。

(1) 動作概要

16ビット長のリロードレジスタがL幅設定用とH幅設定用の2本とH幅設定のバッファが1本あります(PRL, PRLH, PRLHB)。

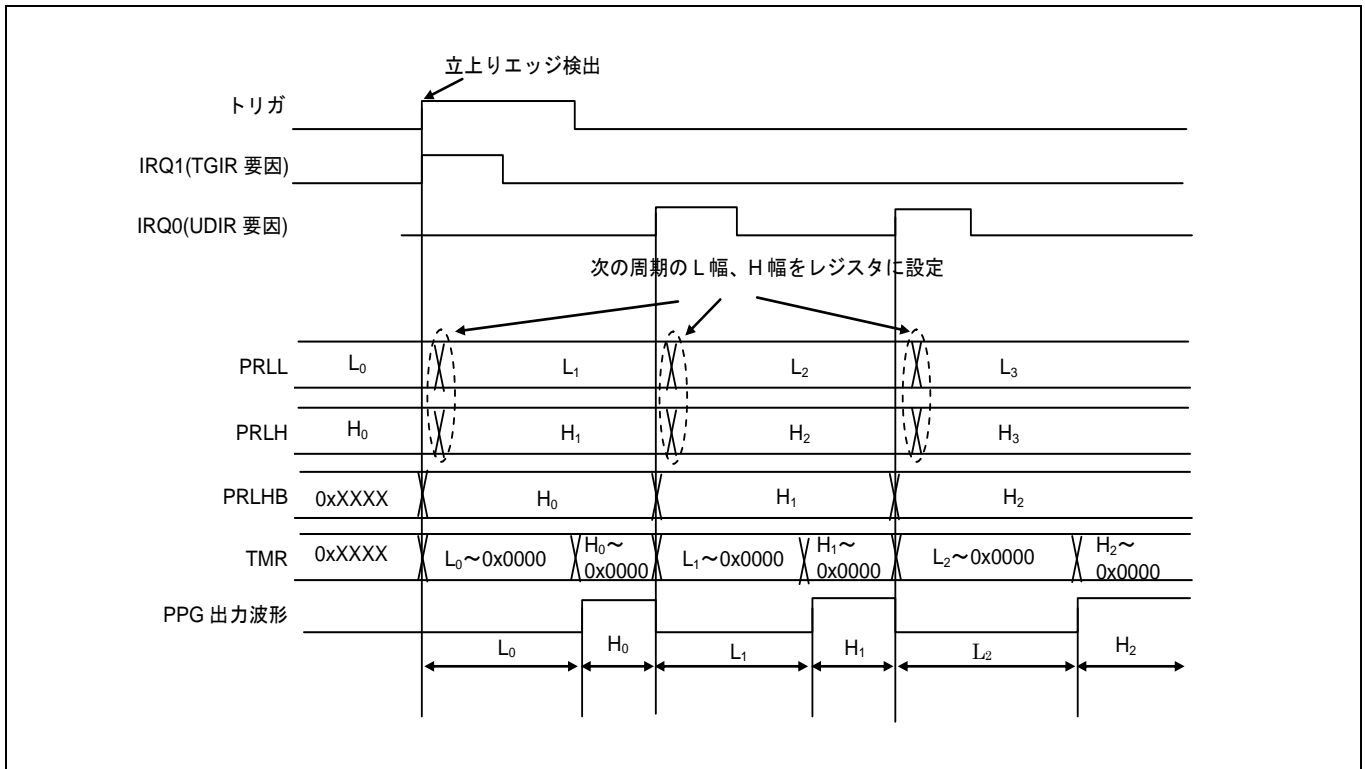
起動トリガにより、16ビットダウンカウンタに最初はPRLの設定値がロードされ、同時にPRLHBにPRLHの設定値が転送されます。PPG出力はレベルを"L"にして、カウンタクロックごとにダウンカウントしていきます。アンダフローの検出によりPRLHBの値がカウンタにリロードされ、PPG出力波形を反転してダウンカウントしていきます。再度アンダフローの検出でPPG出力波形を反転し、PRLの設定値をカウンタにリロードし、PRLHの設定値がPRLHBに転送されます。

本動作によって、出力波形は各リロードレジスタ値に対応したL幅、H幅をもつパルス出力を示します。

(2) リロードレジスタへの書き込みタイミング

リロードレジスタPRL, PRLHへのデータの書き込みは起動トリガ検出時と、アンダフロー割込み要因(UDIR)が設定されてから、次の周期に移るまでの間に行います。その際に設定するデータは次の周期の設定です。PRL, PRLHに設定したデータは起動トリガ検出時とH幅カウント終了時のアンダフロー時にTMRとPRLHBにそれぞれ自動転送されます。PRLHBに転送されたデータはL幅カウント終了時のアンダフロー時にTMRに自動でリロードされます。

図 9-9 リロードレジスタ書き込みタイミングチャート

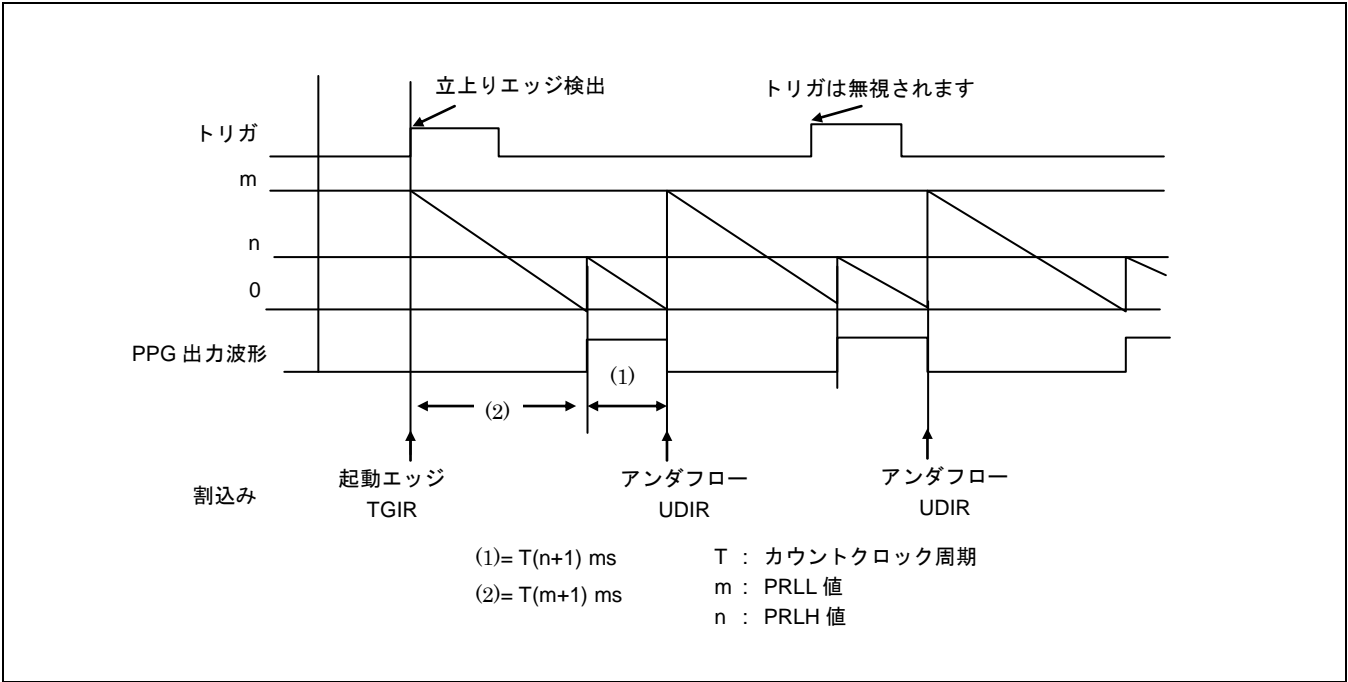


9.2.2. 連続動作

連続動作の場合は、各割込み要因のセットタイミングでL幅とH幅を更新することにより、任意のパルスを連続出力できます。再起動許可の場合は、動作中にエッジを検出するとカウンタはリロードされます。

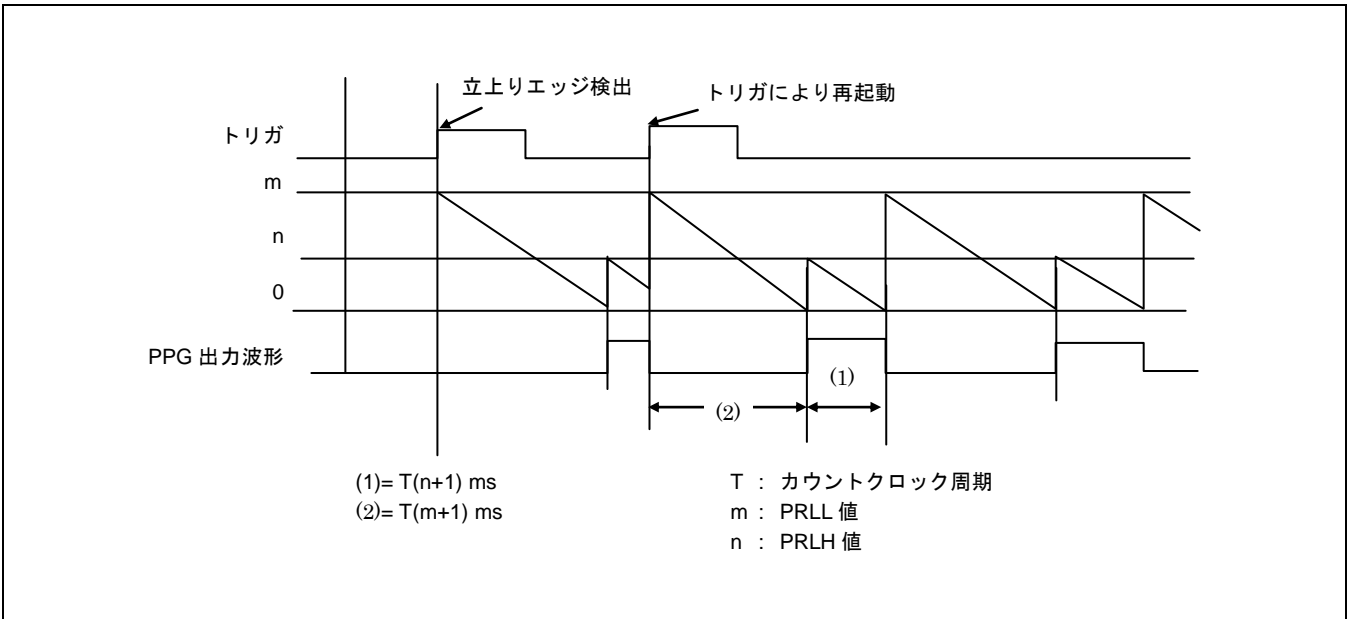
a) 再起動禁止の場合(RTGEN=0)

図 9-10 PPG 動作のタイミングチャート(再起動禁止の場合)



b) 再起動許可の場合(RTGEN=1)

図 9-11 PPG 動作のタイミングチャート(再起動許可の場合)

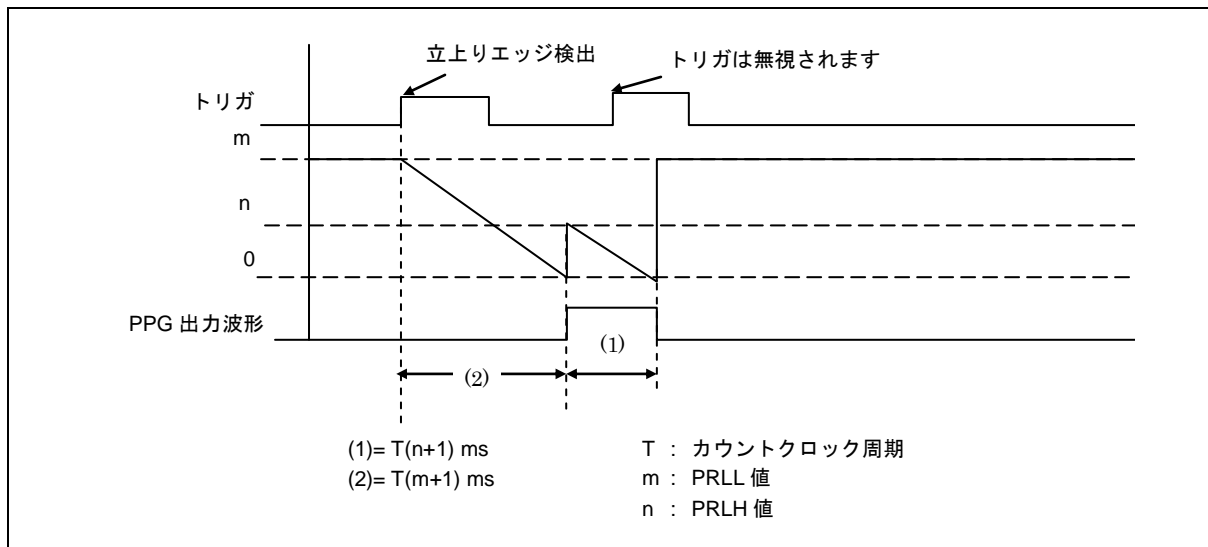


9.2.3. ワンショット動作

ワンショット動作のとき、トリガにより任意の幅の単一パルスを出力できます。再起動許可の場合は、動作中にエッジを検出するとカウンタがリロードされます。

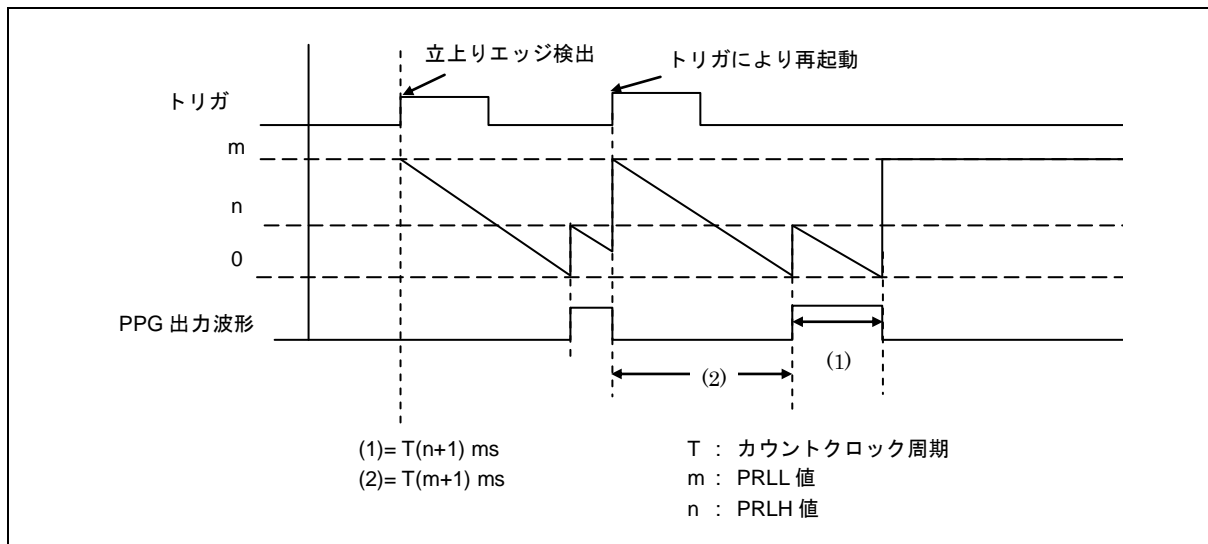
a) 再起動禁止の場合(RTGEN=0)

図 9-12 ワンショット動作のタイミングチャート(トリガ再起動禁止)



b) 再起動許可の場合(RTGEN=1)

図 9-13 ワンショット動作のタイミングチャート(トリガ再起動許可)



c) リロード値とパルス幅の関係

16 ビット長のリロードレジスタに書かれた値を+1 した値に、カウントクロックの周期を掛けた値が出力されるパルス幅です。したがってリロードレジスタ値が"0x0000"のときはカウントクロック 1 周期のパルス幅です。またリロードレジスタ値が"0xFFFF"のときはカウントクロック 65536 周期のパルス幅です。パルス幅の計算式は以下のとおりです。

$$PL = T \times (L + 1)$$

PL : "L"パルスの幅

$$PH = T \times (H + 1)$$

PH : "H"パルスの幅

T : カウントクロック周期

L : PRLH 値

H : PRLH 値

9.2.4. 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

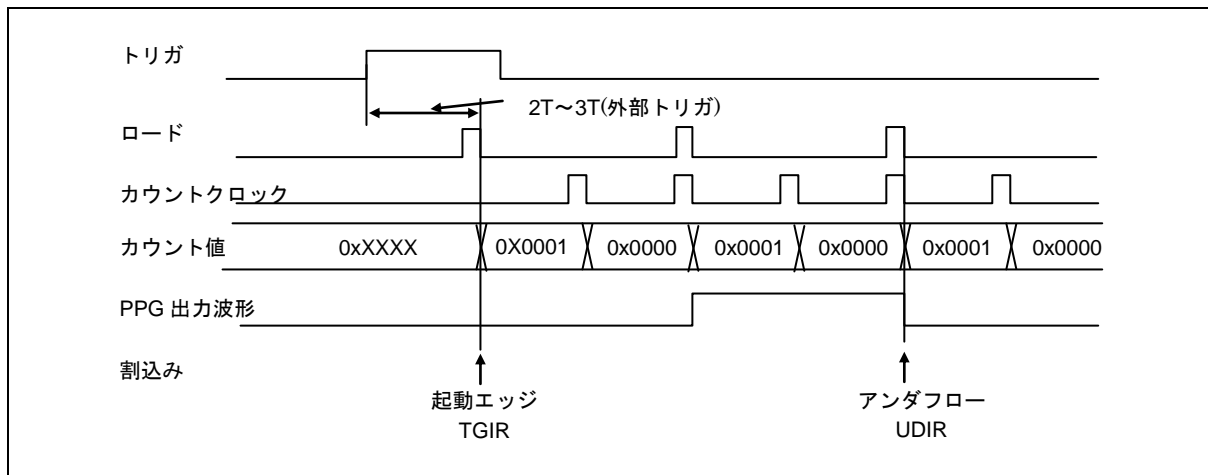
割込み要因とタイミングチャート(PPG 出力：通常極性)

トリガがかかってからカウンタ値がロードされるまで、ソフトウェアトリガ時はTを、外部トリガ時は2T～3T(T: 周辺クロックサイクル)を必要とします。

割込み要因は PPG 起動トリガ検出時と、"H"レベル出力時のアンダフロー検出時に設定されます。

図 9-14 に、L 幅設定値=1, H 幅設定値=1 の場合の、割込み要因とタイミングチャートを示します。

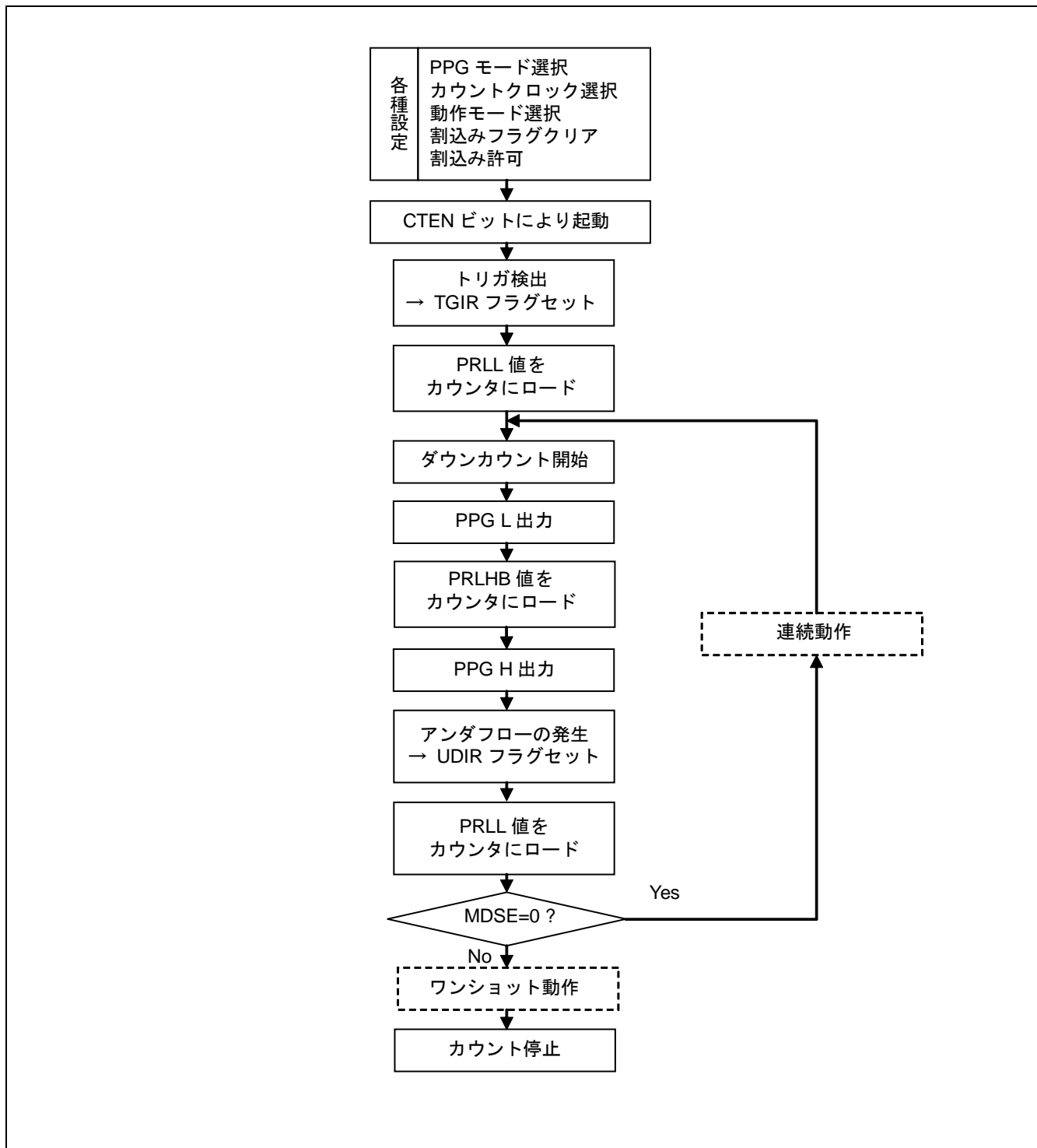
図 9-14 PPG タイマの割込み要因とタイミングチャート



9.2.5. PPG タイマ動作フロー

PPG タイマの動作フローを示します。

図 9-15 PPG タイマ動作フロー





9.2.6. PPG タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC), ステータス制御クリアレジスタ(STCC), ステータス制御セットレジスタ(STCS)

タイマ制御レジスタ(TMCR)は, PPG タイマを制御します。PPG タイマ動作中に書換えが不可能なビットがあるため注意してください。

ステータス制御レジスタ(STC)への書込みについての詳細は, 「8. 使用上の注意」を参照してください。

(1) タイマ制御レジスタ(TMCR 上位バイト)

Bit	15	14	13	12	11	10	9	8
Field	Reserved	CKS2	CKS1	CKS0	RTGEN	PMSK	EGS1	EGS0
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15] Reserved: 予約ビット

[bit14:12, TMCR2:bit8] CKS3~CKS0: カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は, 設定を変えると直ちに反映されます。したがって CKS3~CKS0 の変更はカウント停止状態(CTEN="0")で行ってください。ただし, CTEN ビットへの"1"書込みと同時に変更することは可能です。

TMCR2:bit8, TMCR:bit14:12				説明
CKS3	CKS2	CKS1	CKS0	
0	0	0	0	ϕ
0	0	0	1	$\phi /4$
0	0	1	0	$\phi /16$
0	0	1	1	$\phi /128$
0	1	0	0	$\phi /256$
0	1	0	1	外部クロック(立上りエッジイベント)
0	1	1	0	外部クロック(立下りエッジイベント)
0	1	1	1	外部クロック(両エッジイベント)
1	0	0	0	$\phi /512$
1	0	0	1	$\phi /1024$
1	0	1	0	$\phi /2048$
上記以外				設定禁止

ϕ は周辺クロック

[bit11] RTGEN: 再起動許可ビット

ソフトウェアトリガまたはトリガ入力による再起動を許可するビットです。

bit	説明
0	再起動禁止
1	再起動許可

[bit10] PMSK: パルス出力マスクビット

- PPG 出力波形の出力波形レベルを制御します。



- "0"のときは PPG 波形がそのまま出力されます。
- "1"のときは、周期やデューティ設定の値にかかわらず PPG 出力は"L"出力にマスクされます。

bit	説明
0	通常出力
1	L 出力に固定

＜注意事項＞

- ビット 3 の OSEL が反転出力に設定されている場合に、PMSK を"1"にすると H 出力にマスクされます。

[bit9:8] EGS1～EGS0: トリガ入力エッジ選択ビット

- 外部起動要因として、入力波形に対する有効エッジを選択し、トリガの条件を設定します。
- 初期値または"0b00"の設定の場合、入力波形に対する有効エッジが選択されていない状態のため外部波形による起動はかかりません。
- EGS1, EGS0 の変更はカウント停止状態(CTEN="0")で行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit[9:8]	説明
00	トリガ入力無効
01	立上りエッジ
10	立下りエッジ
11	両エッジ

＜注意事項＞

- EGS1, EGS0 の設定にかかわらず、STRG ビットに"1"を書き込んだ場合、ソフトウェアトリガは有効化されます。



(2) タイマ制御レジスタ(TMCR 下位バイト)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6:4] FMD2～FMD0: タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD2, FMD1, FMD0 ビットに"0b010"を設定すると PPG 機能が選択されます。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
1	0	1	設定禁止
1	1	0	
1	1	1	

[bit3] OSEL: 出力極性指定ビット

PPG 出力の極性を設定します。

極性	リセット後	L 幅カウンタ終了	H 幅カウンタ終了
通常	"L"出力		
反転	"H"出力		

bit	説明
0	通常極性
1	反転極性

[bit2] MDSE: モード選択ビット

- 連続してパルスを出力する動作か、単一パルスを出力するワンショット動作かを選択します。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit	説明
0	連続動作
1	ワンショット動作



[bit1] CTEN: カウント動作許可ビット

- ダウンカウンタの動作を許可するビットです。
- カウンタが動作許可状態(CTEN ビットが"1")のときに"0"を書き込んだ場合、カウンタは停止します。

bit	説明
0	停止
1	動作許可

[bit0] STRG: ソフトウェアトリガビット

CTEN ビットが"1"のときに STRG ビットに"1"を書き込んだ場合、ソフトウェアトリガがかかります。

bit	説明
0	無効
1	ソフトウェアによる起動開始

<注意事項>

- CTEN ビットと STRG ビットを同時に"1"を書き込んだ場合でも、ソフトウェアトリガがかかります。
- EGS1, 0 の設定にかかわらず、STRG ビットに"1"を書き込んだ場合、ソフトウェアトリガは有効化されます。



(3) タイマ制御レジスタ 2(TMCR2)

Bit	15	14	13	12	11	10	9	8
Field	Reserved							CKS3
R/W 属性	R0,W0							R/W
保護属性	-							
初期値	0000000							0

(注意事項) 本レジスタは STC レジスタの上位に配置されます。

[bit15:9] Reserved: 予約ビット

[bit8] CKS3: カウントクロック選択ビット

「(1) タイマ制御レジスタ(TMCR 上位バイト)」の「カウントクロック選択ビット」を参照してください。

(4) ステータス制御レジスタ(STC)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	TGIE	Reserved	UDIE	Reserved	TGIR	Reserved	UDIR
R/W 属性	R0,W0	R/W	R0,W0	R/W	R0,W0	R,W	R0,W0	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

(注意事項) 本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] Reserved: 予約ビット

[bit6] TGIE: トリガ割込み要求許可ビット

- STC:TGIR ビットの割込み要求を制御します。
- TGIE ビットが許可されていて STC:TGIR ビットが設定されると CPU に割込み要求が発生します。
- STCC:TGIEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- STCS:TGIES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] Reserved: 予約ビット

[bit4] UDIE: アンダフロー割込み要求許可ビット

- STC:UDIR ビットの割込み要求を制御します。
- UDIE ビットが許可されていて STC:UDIR ビットが設定されると CPU に割込み要求が発生します。
- STCC:UDIEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- STCS:UDIES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] Reserved: 予約ビット

[bit2] TGIR: トリガ割込み要求ビット

- ソフトウェアトリガまたはトリガ入力の検出をしたときに TGIR ビットが"1"に設定されます。
- TGIR ビットは"0"書込みにより"0"にクリアされます。
- STCC:TGIRC ビットに"1"を設定することによって、本ビットは"0"にクリアされます。
- TGIR ビットに"1"書込みしてもビット値には影響しません。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit1] Reserved: 予約ビット



[bit0] UDIR: アンダフロー割込み要求ビット

- H 幅設定した値からのカウント中においてカウント値が"0x0000"→"0xFFFF"へアンダフロー変化したときに UDIR ビットが"1"に設定されます。
- UDIR ビットは"0"書込みにより"0"にクリアされます。
- STCC:UDIRC ビットに"1"を設定することによって、本ビットは"0"にクリアされます。
- UDIR ビットに"1"書込みしてもビット値には影響しません。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

(5) ステータス制御クリアレジスタ(STCC)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	TGIEC	Reserved	UDIEC	Reserved	TGIRC	Reserved	UDIRC
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W0	R0,W	R0,W0	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6] TGIEC: トリガ割込み要求許可クリアビット

本ビットに"1"を書き込んだ場合, STC:TGIE ビットが"0"に設定されます。

bit	説明
0	無効
1	TGIE ビットを"0"に設定

[bit5] Reserved: 予約ビット

[bit4] UDIEC: アンダフロー割込み要求許可クリアビット

本ビットに"1"を書き込んだ場合, STC:UDIE ビットが"0"に設定されます。

bit	説明
0	無効
1	UDIE ビットを"0"に設定

[bit3] Reserved: 予約ビット

[bit2] TGIRC: トリガ割込み要求クリアビット

本ビットに"1"を書き込んだ場合, STC:TGIR ビットが"0"に設定されます。

bit	説明
0	無効
1	TGIR ビットを"0"に設定

[bit1] Reserved : 予約ビット

[bit0] UDIRC: アンダフロー割込み要求クリアビット

本ビットに"1"を書き込んだ場合, STC:UDIR ビットが"0"に設定されます。

bit	説明
0	無効
1	UDIR ビットを"0"に設定



(6) ステータス制御セットレジスタ(STCS)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	TGIES	Reserved	UDIES	Reserved			
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit7] Reserved: 予約ビット

[bit6] TGIES: トリガ割込み要求許可セットビット

本ビットに"1"を書き込んだ場合, STC:TGIE ビットが"1"に設定されます。

bit	説明
0	無効
1	TGIE ビットを"1"に設定

[bit5] Reserved: 予約ビット

[bit4] UDIES: アンダフロー割込み要求許可セットビット

本ビットに"1"を書き込んだ場合, STC:UDIE ビットが"1"に設定されます。

bit	説明
0	無効
1	UDIE ビットを"1"に設定

[bit3:0] Reserved: 予約ビット



9.2.7. L 幅設定リロードレジスタ(PRL)

L 幅設定リロードレジスタ(PRL)は、PPG 出力波形の L 幅を設定するためのレジスタです。タイマレジスタへの転送は、起動トリガ検出時か、H 幅カウント終了後のアンダフローの状態で行われます。

Bit	15-0
Field	PRL
R/W 属性	R/W
保護属性	-
初期値	XXXXXXXX_XXXXXXXX

[bit15:0] PRL[15:0]: L 幅設定リロードレジスタ

PPG 出力波形の L 幅を設定するためのレジスタです。タイマレジスタへの転送は起動トリガ検出時と H 幅カウント終了時のアンダフローで行われます。

- PRL レジスタは 16 ビットデータアクセスしてください。
- PRL レジスタは TMC R レジスタの FMD2, FMD1, FMD0 ビットによって PPG 機能設定後に L 幅設定してください。



9.2.8. H 幅設定リロードレジスタ(PRLH)

H 幅設定リロードレジスタ(PRLH)は、PPG 出力波形の H 幅を設定するためのバッファ付きレジスタです。PRLH からバッファレジスタへの転送は起動トリガ検出時と H 幅カウント終了後のアンダフローで行われます。バッファレジスタからタイマレジスタへの転送は、L 幅カウント終了時のアンダフローで行われます。

Bit	15-0
Field	PRLH
R/W 属性	R/W
保護属性	-
初期値	XXXXXXXX_XXXXXXXX

[bit15:0] PRLH[15:0]: H 幅設定リロードレジスタ

PPG 出力波形の H 幅を設定するためのレジスタです。PRLH からバッファレジスタへの転送は起動トリガ検出時と H 幅カウント終了時のアンダフローで行われます。バッファレジスタからタイマレジスタへの転送は L 幅カウント終了時のアンダフローで行われます。

- PRLH レジスタは 16 ビットデータアクセスしてください。
- PRLH レジスタは TMCR レジスタの FMD2, FMD1, FMD0 ビットによって PPG 機能設定後に H 幅設定してください。



9.2.9. タイマレジスタ(TMR)

タイマレジスタ(TMR)は、16 ビットダウンカウンタの値を読み出せます。

Bit	15-0
Field	TMR
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000

[bit15:0] TMR[15:0]: タイマレジスタ

16 ビットダウンカウンタの値を読み出せます。

TMR レジスタは 16 ビットデータアクセスしてください。

9.3. リロードタイマ機能

ベースタイマは、タイマ制御レジスタの FMD2, 1, 0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。リロードタイマを設定したときのタイマ機能の説明を示します。

1. 16 ビットリロードタイマの動作
2. リロードタイマ動作フロー
3. リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC), ステータス制御クリアレジスタ(STCC), ステータス制御セットレジスタ(STCS)
4. 周期設定レジスタ(PCSR)
5. タイマレジスタ(TMR)

9.3.1. 16ビットリロードタイマの動作

リロードタイマ動作は、カウントクロックに同期して周期設定レジスタに設定する値からカウントダウンを実行します。カウント値0になったときにカウントを終了するか、周期設定を自動でロードしてカウントダウンを停止するまで継続動作します。

(1) 内部クロック選択時のカウント動作

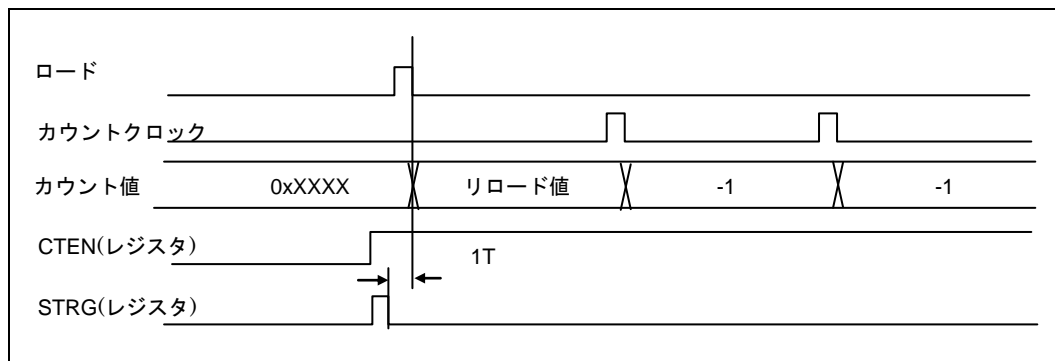
カウント許可と同時にカウント動作を開始したい場合は、タイマ制御レジスタのCTENビットとSTRGビットの両方に"1"を書き込んでください。STRGビットによるトリガ入力、タイマが起動状態のとき(CTEN=1)は動作モードにかかわらず常に有効です。

カウント動作を許可し、ソフトウェアトリガまたは外部トリガによってタイマを起動することによって、周期設定レジスタの値をカウンタにロードしてカウントダウンが開始されます。

カウンタスタートのトリガが設定されてから周期設定レジスタのデータがカウンタへロードされるまでに、1T(T: 周辺クロックサイクル)の時間がかかります。

図 9-16 に、ソフトウェアトリガによるカウンタの起動および動作を示します。

図 9-16 内部クロック選択時のカウント動作



(2) アンダフロー動作

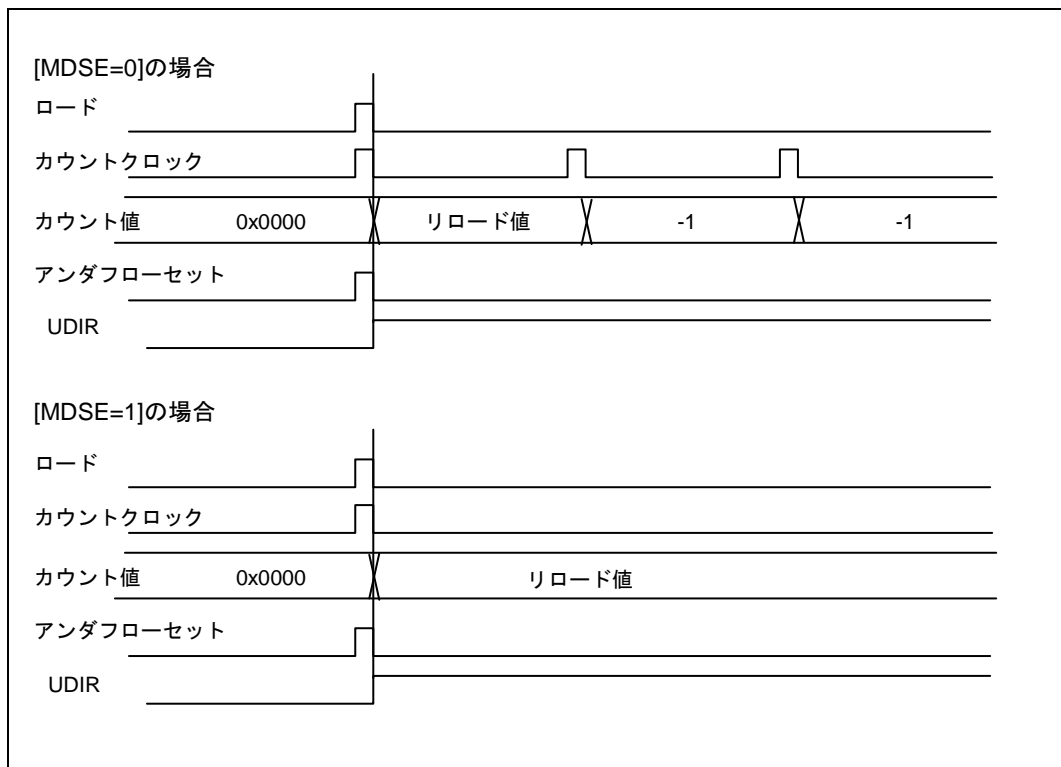
カウンタの値が 0x0000 から 0xFFFF になる場合にアンダフローが発生します。したがって、〔周期設定レジスタの設定値+1〕カウントにおいてアンダフローが発生します。

アンダフロー発生時には、周期設定レジスタ(PCSR)の内容がカウンタへロードされます。タイマ制御レジスタ(TMCR)の MDSE ビットが"0"のときはカウント動作が継続されます。MDSE ビットが"1"のときは、ロードしたカウンタ値のまま停止します。

アンダフローによりステータス制御レジスタ(STC)の UDIR ビットが設定されます。その際 UDIE ビットが"1"の状態であれば割込み要求が発生します。

図 9-17 に、アンダフロー動作のタイミングチャートを示します。

図 9-17 アンダフロー動作のタイミングチャート

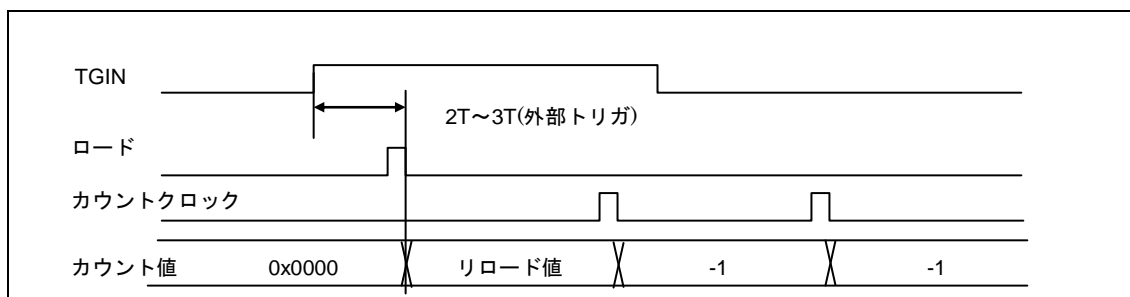


(3) 入力端子機能の動作

TGIN 端子はトリガ入力として使用できます。TGIN 端子に有効エッジが入力されると周期設定レジスタの内容をカウンタにロードしてカウント動作が開始されます。トリガがかかってから、カウンタ値がロードされるまで、 $2T \sim 3T$ (T: 周辺クロックサイクル) を必要とします。

図 9-18 に、有効エッジ指定を立上りエッジにした場合のトリガ入力動作を示します。

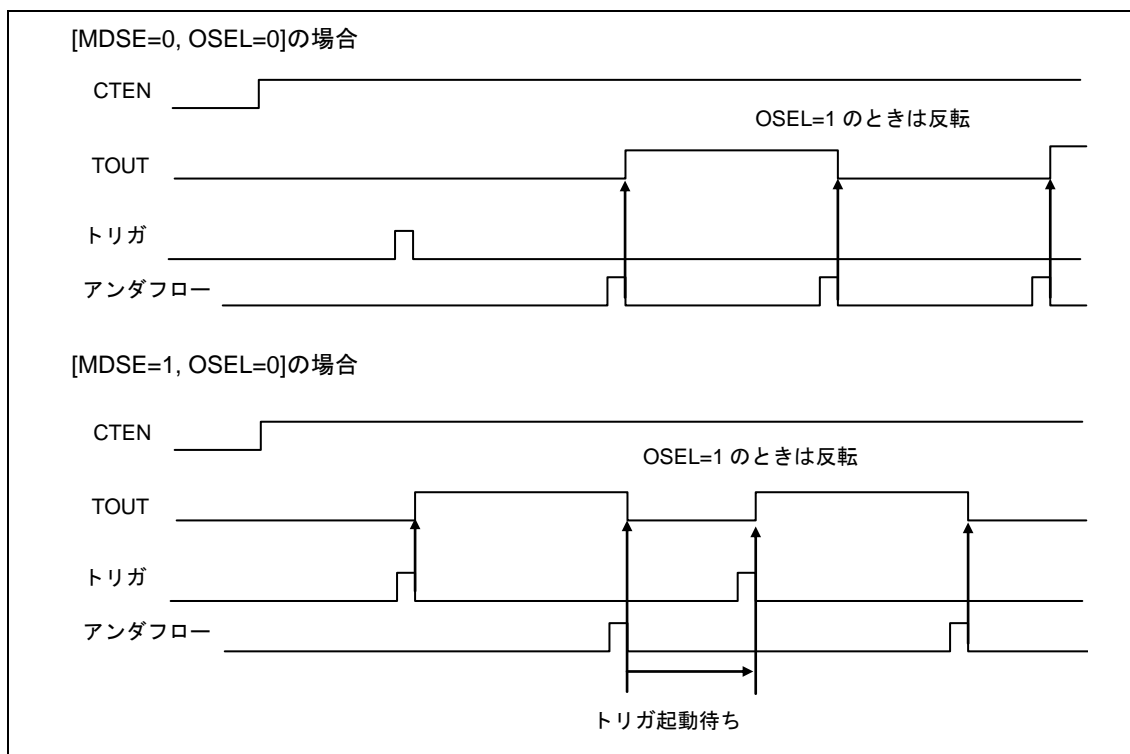
図 9-18 トリガ入力の動作

**(4) 出力端子機能の動作**

TOUT 出力端子は、リロードモード時はアンダフローにより反転されるトグル出力として、ワンショットモード時はカウント中を示すパルス出力として機能します。出力極性は、タイマ制御レジスタ (TMCR) の OSEL ビットにより設定できます。OSEL=0 の場合トグル出力は初期値が "0" で、ワンショットパルス出力は、カウント中 "1" を出力します。OSEL=1 にした場合、出力波形は反転します。

図 9-19 に、出力端子機能動作のタイミングチャートを示します。

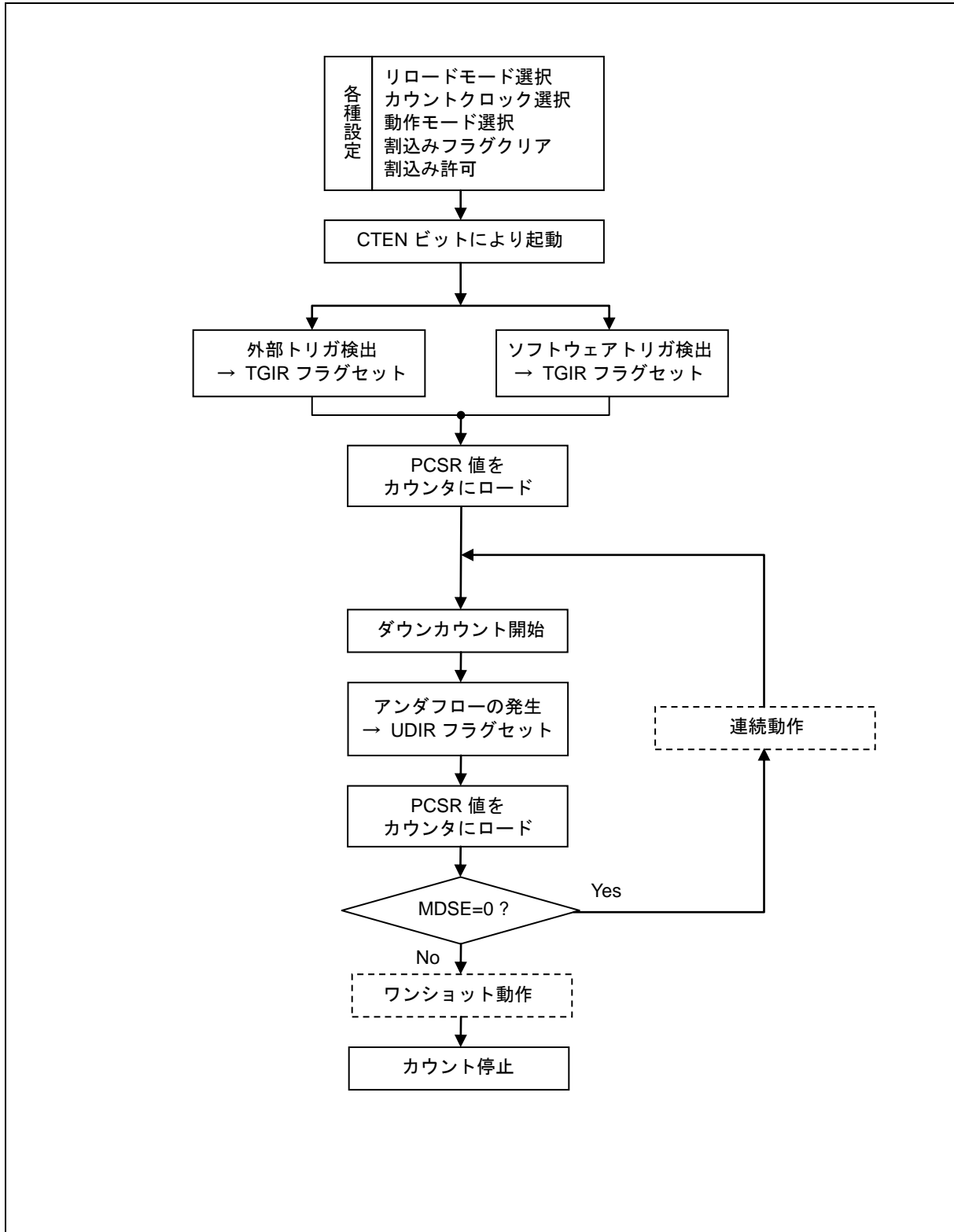
図 9-19 出力端子機能動作のタイミングチャート



9.3.2. リロードタイマ動作フロー

リロードタイマの動作フローを示します。

図 9-20 リロードタイマ動作フロー



9.3.3. リロードタイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC), ステータス制御クリアレジスタ(STCC), ステータス制御セットレジスタ(STCS)

タイマ制御レジスタ(TMCR)は、タイマの動作を制御します。

ステータス制御レジスタ(STC)への書き込みについての詳細は、「8. 使用上の注意」を参照してください。

(1) タイマ制御レジスタ(TMCR 上位バイト)

Bit	15	14	13	12	11	10	9	8
Field	Reserved	CKS2	CKS1	CKS0	Reserved		EGS1	EGS0
R/W 属性	R0,W0	R/W	R/W	R/W	R0,W0		R/W	R/W
保護属性	-							
初期値	0	0	0	0	00		0	0

[bit15] Reserved: 予約ビット

[bit14:12, TMCR2:bit8] CKS3~CKS0: カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されます。したがって CKS3~CKS0 の変更はカウント停止状態(CTEN="0")で行ってください。ただし、CTEN ビットへの"1"書き込みと同時に変更することは可能です。

TMCR2:bit8, TMCR:bit14:12				説明
CKS3	CKS2	CKS1	CKS0	
0	0	0	0	ϕ
0	0	0	1	$\phi /4$
0	0	1	0	$\phi /16$
0	0	1	1	$\phi /128$
0	1	0	0	$\phi /256$
0	1	0	1	外部クロック(立上りエッジイベント)
0	1	1	0	外部クロック(立下りエッジイベント)
0	1	1	1	外部クロック(両エッジイベント)
1	0	0	0	$\phi /512$
1	0	0	1	$\phi /1024$
1	0	1	0	$\phi /2048$
上記以外				設定禁止

ϕ は周辺クロック

[bit11:10] Reserved: 予約ビット

[bit9:8] EGS1~EGS0: トリガ入力エッジ選択ビット

- 外部起動要因として、入力波形に対する有効エッジを選択し、トリガの条件を設定します。
- 初期値または"0b00"の設定の場合、入力波形に対する有効エッジが選択されていない状態のため外部波形による起動はかかりません。
- EGS1, EGS0 の変更はカウント停止状態(CTEN="0")で行ってください。ただし CTEN ビットへの"1"書き込みと同時に変更することは可能です。



bit[9:8]	説明
00	トリガ入力無効
01	外部トリガ(立上りエッジ)
10	外部トリガ(立下りエッジ)
11	外部トリガ(両エッジ)

<注意事項>

- EGS1, EGS0 の設定にかかわらず, STRG ビットに"1"を書き込んだ場合, ソフトウェアトリガは有効化されます。

(2) タイマ制御レジスタ(TMCR 下位バイト)

Bit	7	6	5	4	3	2	1	0
Field	T32	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] T32: 32 ビットタイマ選択ビット

- 32 ビットタイマ機能を選択するビットです。
- FMD2, FMD1, FMD0 ビットに"0b011"を設定して、リロードタイマ機能を選択している場合、T32 ビットを"1"に設定することによって 32 ビットタイマモードとして動作します。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です(32 ビットモード動作を参照してください)。

bit	説明
0	16 ビットタイマモード
1	32 ビットタイマモード

[bit6:4] FMD2～FMD0: タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD2, FMD1, FMD0 ビットに"0b011"を設定することによってリロードタイマ機能が選択されます。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
上記以外			設定禁止

[bit3] OSEL: 出力極性指定ビット

- タイマ出力のレベルを通常のまま出力するか反転させるかを選択します。
- TMCR:MDSE ビットとの組合せにより次のように出力波形を生成します。

MDSE	OSEL	出力波形
0	0	カウント開始時"L"のトグル出力
0	1	カウント開始時"H"のトグル出力
1	0	カウント中"H"の矩形(くけい)波
1	1	カウント中"L"の矩形(くけい)波

bit	説明
0	通常極性
1	反転極性



[bit2] MDSE: モード選択ビット

- MDSE ビットを"0"に設定した場合、リロードモードが選択されます。カウント値が"0x0000"→"0xFFFF"へのアンダフローと同時に周期設定レジスタ(PCSR) 値をカウンタにロードしてカウント動作を続けます。
- MDSE ビットを"1"に設定した場合、ワンショットモードが選択されます。カウント値が"0x0000"→"0xFFFF"へのアンダフローにより動作を停止します。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit	説明
0	リロードモード
1	ワンショットモード

[bit1] CTEN: タイマ許可ビット

- ダウンカウンタの動作を許可するビットです。
- カウンタが動作許可状態(CTEN ビットが"1")のときに"0"を書き込んだ場合、カウンタは停止します。

bit	説明
0	停止
1	動作許可

[bit0] STRG: ソフトウェアトリガビット

CTEN ビットが"1"のときに STRG ビットに"1"を書き込んだ場合、ソフトウェアトリガがかかります。

bit	説明
0	無効
1	ソフトウェアによる起動開始

<注意事項>

- CTEN ビットと STRG ビットを同時に"1"を書き込んだ場合でも、ソフトウェアトリガがかかります。
- EGS1, EGS0 の設定にかかわらず、STRG ビットに"1"を書き込んだ場合、ソフトウェアトリガは有効化されます。



(3) タイマ制御レジスタ 2(TMCR2)

Bit	15	14	13	12	11	10	9	8
Field	Reserved							CKS3
R/W 属性	R0,W0							R/W
保護属性	-							
初期値	0000000							0

(注意事項) 本レジスタは STC レジスタの上位に配置されます。

[bit15:9] Reserved: 予約ビット

[bit8] CKS3: カウントクロック選択ビット

「(1) タイマ制御レジスタ(TMCR 上位バイト)」の「カウントクロック選択ビット」を参照してください。



(4) ステータス制御レジスタ(STC)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	TGIE	Reserved	UDIE	Reserved	TGIR	Reserved	UDIR
R/W 属性	R0,W0	R/W	R0,W0	R/W	R0,W0	R,W	R0,W0	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

(注意事項) 本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] Reserved: 予約ビット

[bit6] TGIE: トリガ割込み要求許可ビット

- STC:TGIR ビットの割込み要求を制御します。
- TGIE ビットが許可されていて STC:TGIR ビットが設定されると, CPU に割込み要求を発生します。
- STCC:TGIEC ビットに"1"を設定することによって, 本ビットは"0"に設定されます。
- STCS:TGIES ビットに"1"を設定することによって, 本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] Reserved: 予約ビット

[bit4] UDIE: アンダフロー割込み要求許可ビット

- STC:UDIR ビットの割込み要求を制御します。
- UDIE ビットが許可されていて STC:UDIR ビットが設定されると, CPU に割込み要求を発生します。
- STCC:UDIEC ビットに"1"を設定することによって, 本ビットは"0"に設定されます。
- STCS:UDIES ビットに"1"を設定することによって, 本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] Reserved: 予約ビット

[bit2] TGIR: トリガ割込み要求ビット

- ソフトウェアトリガまたはトリガ入力の検出をしたときに TGIR ビットが"1"に設定されます。
- TGIR ビットは"0"書込みにより"0"にクリアされます。
- STCC:TGIRC ビットに"1"を設定することによって, 本ビットは"0"にクリアされます。
- TGIR ビットに"1"書込みしてもビット値には影響しません。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

[bit1] Reserved: 予約ビット



[bit0] UDIR: アンダフロー割込み要求ビット

- カウント値が"0x0000"→"0xFFFF"へアンダフロー変化したときに UDIR ビットが"1"に設定されます。
- UDIR ビットは"0"書込みにより"0"にクリアされます。
- STCC:UDIRC ビットに"1"を設定することによって、本ビットは"0"にクリアされます。
- UDIR ビットに"1"書込みしてもビット値には影響しません。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出



(5) ステータス制御クリアレジスタ(STCC)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	TGIEC	Reserved	UDIEC	Reserved	TGIRC	Reserved	UDIRC
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W0	R0,W	R0,W0	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] Reserved: 予約ビット

[bit6] TGIEC: トリガ割込み要求許可クリアビット

本ビットに"1"を書き込んだ場合, STC:TGIE ビットは"0"に設定されます。

bit	説明
0	無効
1	TGIE ビットを"0"に設定

[bit5] Reserved: 予約ビット

[bit4] UDIEC: アンダフロー割込み要求許可クリアビット

本ビットに"1"を書き込んだ場合, STC:UDIE ビットは"0"に設定されます。

bit	説明
0	無効
1	UDIE ビットを"0"に設定

[bit3] Reserved : 予約ビット

[bit2] TGIRC: トリガ割込み要求クリアビット

本ビットに"1"を書き込んだ場合, STC:TGIR ビットは"0"に設定されます。

bit	説明
0	無効
1	TGIR ビットを"0"に設定

[bit1] Reserved: 予約ビット

[bit0] UDIRC: アンダフロー割込み要求クリアビット

本ビットに"1"を書き込んだ場合, STC:UDIR ビットは"0"に設定されます。

bit	説明
0	無効
1	UDIR ビットを"0"に設定

(6) ステータス制御セットレジスタ(STCS)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	TGIES	Reserved	UDIES	Reserved			
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit7] Reserved: 予約ビット

[bit6] TGIES: トリガ割込み要求許可セットビット

本ビットに"1"を書き込んだ場合, STC:TGIE ビットは"1"に設定されます。

bit	説明
0	無効
1	TGIE ビットを"1"に設定

[bit5] Reserved: 予約ビット

[bit4] UDIES: アンダフロー割込み要求許可セットビット

本ビットに"1"を書き込んだ場合, STC:UDIE ビットは"1"に設定されます。

bit	説明
0	無効
1	UDIE ビットを"1"に設定

[bit3:0] Reserved: 予約ビット



9.3.4. 周期設定レジスタ(PCSR)

周期設定レジスタ(PCSR)は、カウントの初期値を保持するレジスタです。32ビットモード時には、偶数チャネルの場合、下位 16 ビットのカウン初期値です。奇数チャネルの場合は上位 16 ビットのカウン初期値です。リセット時の初期値は不定です。レジスタへのアクセスは、必ず 16 ビットデータ転送命令によって行ってください。

Bit	15-0
Field	PCSR
R/W 属性	R/W
保護属性	-
初期値	XXXXXXXX_XXXXXXXX

[bit15:0] PCSR[15:0]: 周期設定レジスタ

周期を設定するためのレジスタです。タイマレジスタへの転送はアンダフローで行われます。

- PCSR レジスタは 16 ビットデータでアクセスしてください。
- PCSR レジスタは TMCR レジスタの FMD2, FMD1, FMD0 ビットでリロードタイマ機能の設定後に周期設定してください。
- 32ビットモードでPCSRレジスタにデータを書き込む場合、上位16ビットデータ(奇数チャネルのデータ)から先にアクセスした後に、下位16ビットデータ(偶数チャネルのデータ)にアクセスしてください。



9.3.5. タイマレジスタ(TMR)

タイマレジスタ(TMR)は、タイマのカウンタ値を読み出すことができるレジスタです。32 ビットモード時には、偶数チャネルは下位 16 ビットのカウンタ値を示します。奇数チャネルは上位 16 ビットのカウンタ値を示します。初期値は不定です。

このレジスタの読出しは、必ず 16 ビットデータ転送命令で行ってください。

Bit	15-0
Field	TMR
R/W 属性	R,WX
保護属性	-
初期値	XXXXXXXX_XXXXXXXX

[bit15:0] TMR[15:0]: タイマレジスタ

- 16 ビットダウンカウンタの値を読み出せます。
- TMR レジスタは 16 ビットデータでアクセスしてください。
 - 32 ビットモードで TMR レジスタを読み出す場合、下位 16 ビットデータ(偶数チャネルのデータ)から先に読み出した後に、上位 16 ビットデータ(奇数チャネルのデータ)を読み出してください。



9.4. PWC タイマ機能

ベースタイマは、タイマ制御レジスタの FMD2, 1, 0 ビットの設定により, 16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択できます。PWC を設定したときのタイマ機能の説明を示します。

1. PWC タイマの動作
2. PWC タイマ選択時のタイマ制御レジスタ (TMCR, TMCR2), ステータス制御レジスタ (STC), ステータス制御クリアレジスタ (STCC), ステータス制御セットレジスタ (STCS)
3. データバッファレジスタ (DTBF)

9.4.1. PWC タイマの動作

PWC タイマにはパルス幅測定機能があります。8 種類のカウントクロックを選択でき、入力パルスの任意イベント間の時間・周期をカウンタで測定できます。以下に、パルス幅測定機能における基本機能/動作について示します。

(1) パルス幅測定機能

起動後、カウンタを"0x0000"にクリアし、設定した測定開始エッジが入力されるまでは、カウント動作は行われません。測定開始エッジが検出されると"0x0001"からカウントアップを開始し、測定終了エッジが検出されるとカウントを停止します。この間のカウント値がパルス幅としてレジスタに保存されます。

測定終了時およびオーバーフロー発生時に割込み要求が発生できます。

測定終了後は、測定モードに応じて以下のように動作します。

- 単発測定モード時 動作を停止します。
- 連続測定モード時 カウント値をバッファレジスタに転送後、再度測定開始エッジが入力されるまでカウントを停止します。

図 9-21 パルス幅測定動作(単発測定モード/"H"幅測定)

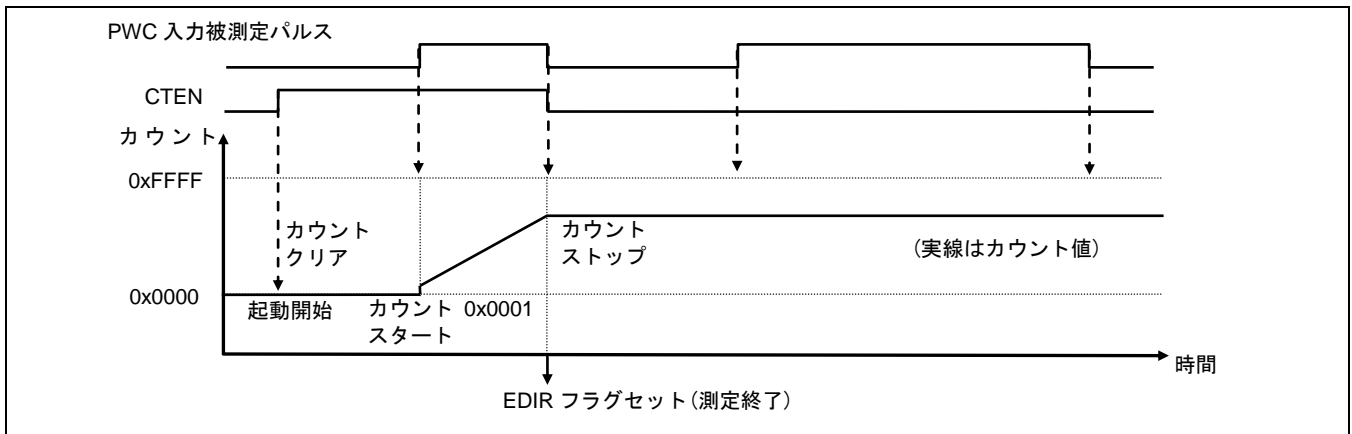
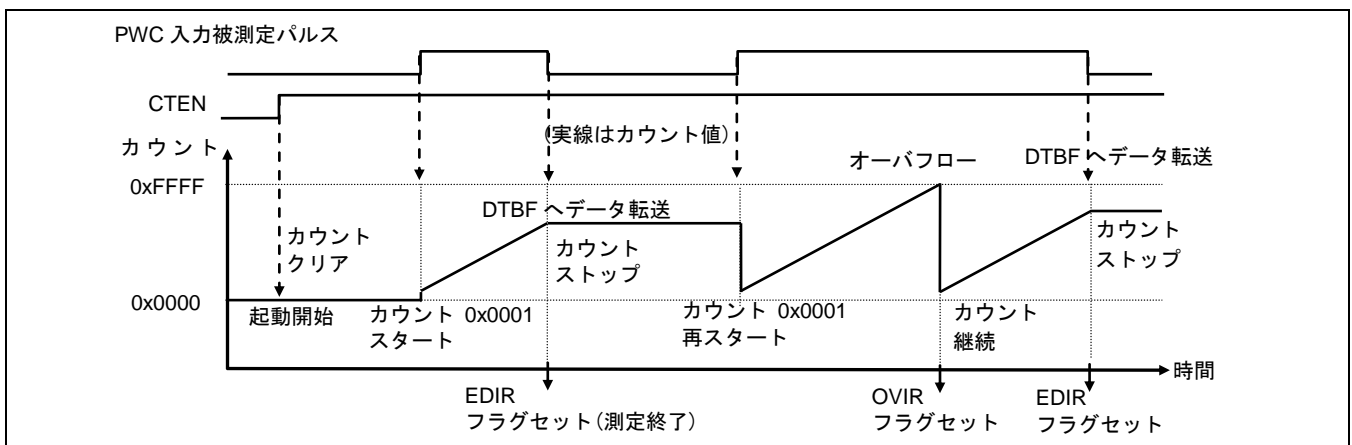


図 9-22 パルス幅測定動作(連続測定モード/"H"幅測定)





(2) カウントクロックの選択

カウンタのカウントクロックは, TMCR2: CKS3:bit8, TMCR: CKS2~CKS0: bit14:12 の設定によって, 8 種類選択できます。表 9-1 は選択できるカウントクロックです。

表 9-1 カウントクロック選択

TMCR2, TMCR レジスタ	選択される内部カウントクロック
CKS3, CKS2, CKS1, CKS0 ビット	
0b0000	周辺クロック [初期値]
0b0001	周辺クロックの 4 分周
0b0010	周辺クロックの 16 分周
0b0011	周辺クロックの 128 分周
0b0100	周辺クロックの 256 分周
0b0101	設定禁止
0b0110	
0b0111	
0b1000	周辺クロックの 512 分周
0b1001	周辺クロックの 1024 分周
0b1010	周辺クロックの 2048 分周
上記以外	設定禁止

リセット後の初期値は, 周辺クロックが選択されています。

カウントクロックの選択は, 必ずカウンタ起動前に行ってください。

(3) 動作モードの選択

各動作モード/測定モードの選択は, TMCR を設定してください。

動作モードの設定 … TMCR: EGS2~EGS0: bit10:8 (測定エッジの選択)

測定モードの設定 … TMCR: MDSE: bit2 (単発測定/連続測定の選択)

表 9-2 動作モード選択一覧

動作モード		MDSE	EGS2	EGS1	EGS0
↑~↓ "H"パルス幅測定	連続測定 : バッファ有効	0	0	0	0
	単発測定 : バッファ無効	1	0	0	0
↑~↑ 立上りエッジ間周期測定	連続測定 : バッファ有効	0	0	0	1
	単発測定 : バッファ無効	1	0	0	1
↓~↓ 立下りエッジ間周期測定	連続測定 : バッファ有効	0	0	1	0
	単発測定 : バッファ無効	1	0	1	0
↑ or ↓~↓ or ↑ 全エッジ間測定	連続測定 : バッファ有効	0	0	1	1
	単発測定 : バッファ無効	1	0	1	1
↓~↑ "L"パルス幅測定	連続測定 : バッファ有効	0	1	0	0
	単発測定 : バッファ無効	1	1	0	0
設定禁止		0	1	0	1
		1	1	0	1
		0	1	1	0
		1	1	1	0
		0	1	1	1
		1	1	1	1

リセット後の初期値は, H パルス幅測定 - 連続測定モードが選択されています。

動作モードの選択は, 必ずカウンタ起動前に行ってください。

(4) パルス幅測定の起動と停止

各動作の起動/再起動/強制停止は、TMCR: CTEN ビットを設定してください。

パルス幅測定 of 起動/再起動は CTEN ビットに、"1" を書き込むことにより機能し、強制停止は CTEN ビットに "0" を書き込むことにより機能します。

(5) 起動後の動作

パルス幅測定モードの起動後の動作は、測定開始エッジが入力されるまでカウントは行われません。測定開始エッジ検出後、16 ビットアップカウンタは "0x0001" からカウントを開始します。

(6) 再起動

起動後、動作中に再度起動を行う (CTEN ビットが "1" の状態で再度 "1" を書き込む) ことを再起動とよびます。再起動した場合、以下のような動作が行われます。

- 測定開始エッジ待ち状態の場合 :
動作に影響はありません。
- 測定中の場合 :
カウントを "0x0000" にクリアし、再度測定開始のエッジを待ちます。この際に、測定終了エッジ検出と再起動が同時になった場合、測定終了フラグ (EDIR) が設定され、連続測定モード時は測定結果が DTBF に転送されます。

(7) 停止について

単発測定モードの場合は、カウンタのオーバフローまたは測定終了により、自動的にカウント動作を停止するため、特に意識する必要はありません。連続測定モードや自動停止する前に停止させたい場合は、強制停止してください。

(8) カウンタのクリアと初期値

16 ビットアップカウンタは、以下に示す場合に "0x0000" にクリアされます。

- リセット時
- TMCR: CTEN ビットに、"1" を書き込んだとき (再起動時も含む)

16 ビットアップカウンタは、以下に示す場合に "0x0001" に初期化されます。

- 測定開始エッジ検出時

(9) パルス幅測定動作詳細

a) 単発測定と連続測定

パルス幅測定には、1 回のみの測定を行うモードと、連続して測定を行うモードがあります。各モードは TMCR の MDSE ビットによって選択します (「(3) 動作モードの選択」を参照してください)。両モードにおける相違点は以下のとおりです。

単発測定モード :

1 回目の測定終了エッジが入力されるとカウンタのカウントは停止し、STC 中の測定終了フラグ (EDIR) が設定され、以降の測定は行われません。
ただし、同時に再起動された場合は測定開始待ち状態です。

連続測定モード :

測定終了エッジが入力されるとカウンタのカウントは停止し、STC 中の測定終了フラグ (EDIR) が設定され、再度測定開始エッジが入力されるまでカウントを停止します。再度測定開始エッジが入力されるとカウンタを "0x0001" に初期化して測定を開始します。測定終了時カウンタの測定結果は DTBF に転送されます。

測定モードの選択/変更は、必ずカウンタ停止中に行ってください。

b) 測定結果データ

単発測定モードと連続測定モードのとき、測定結果とカウンタ値の扱いおよび DTBF の機能に違いがあります。両モードにおける測定結果の相違点は以下のとおりです。



単発測定モード：

DTBF を動作中に読み出すと測定中のカウント値が得られます。
DTBF を測定終了後に読み出すと測定結果データが得られます。

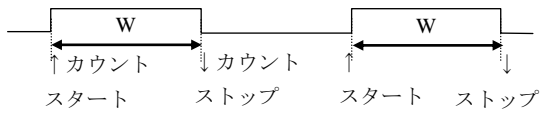
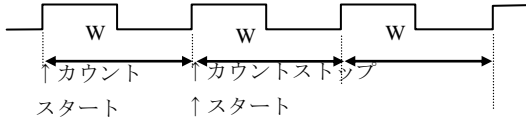
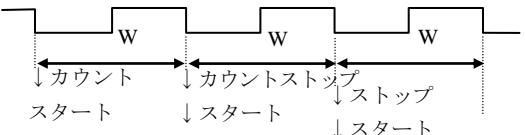
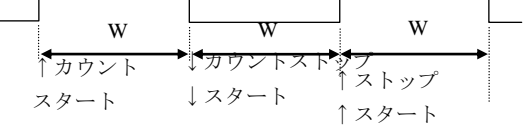
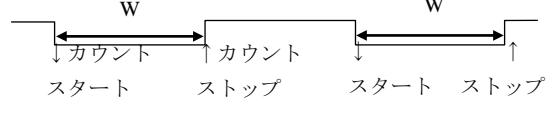
連続測定モード：

測定終了時、カウンタ内の測定結果は DTBF に転送されます。
DTBF を読み出すと直前の測定結果が得られ、測定動作中も前回の測定結果を保持しています。測定中のカウント値は読み出せません。
連続測定モードにおいて、測定結果を読み出さないうちに次の測定が終了してしまった場合、前回の測定結果は新しい測定結果に消されてしまいます。この際 STC 中のエラーフラグ(ERR)が設定されます。エラーフラグ(ERR)は、DTBF を読み出すと自動的にクリアされます。

c) 測定モードとカウント動作

入力されたパルスのどこを測定するかによって、測定モードは5種類のうちから選択できます。表 9-3 は、測定モードとカウント動作です。

表 9-3 測定モードとカウント動作

測定モード	EGS2, 1, 0	測定内容(W : 測定するパルス幅)
"H"パルス幅測定	0b000	 <p>"H"期間の幅を測定します。 カウント(測定) 開始 : 立上りエッジ検出時 カウント(測定) 終了 : 立下りエッジ検出時</p>
立上りエッジ間 周期測定	0b001	 <p>立上りエッジ間の周期を測定します。 カウント(測定) 開始 : 立上りエッジ検出時 カウント(測定) 終了 : 立上りエッジ検出時</p>
立下りエッジ間 周期測定	0b010	 <p>立下りエッジ間の周期を測定します。 カウント(測定) 開始 : 立下りエッジ検出時 カウント(測定) 終了 : 立下りエッジ検出時</p>
全エッジ間 パルス幅測定	0b011	 <p>連続して入力されるエッジ間の幅を測定します。 カウント(測定) 開始 : エッジ検出時 カウント(測定) 終了 : エッジ検出時</p>
"L"パルス幅測定	0b100	 <p>"L"期間の幅を測定します。 カウント(測定) 開始 : 立下りエッジ検出時 カウント(測定) 終了 : 立上りエッジ検出時</p>

どの測定モードでも、測定起動においてカウンタは"0x0000"にクリアされた後、測定開始エッジが入力されるまではカウンタはカウント動作を行いません。測定開始エッジ入力されると、測定終了エッジが入力されるまでの間は、カウントクロックごとにアップカウントを続けます。

連続測定モードの場合において、全エッジ間パルス幅測定や周期測定などを行った場合、終了エッジが次の測定開始エッジです。



d) パルス幅/周期算出方法

測定終了後, DTBF に得られた測定結果データから, 被測定パルス幅/周期算出方法は以下のように求められます。

$TW = n \times t$	TW	: 被測定パルス幅/周期
	n	: DTBF 内の測定結果データ
	t	: カウントクロックの周期

e) 割込み要求発生

2つの割込み要求を発生できます。

- カウンタのオーバフローによる割込み要求

測定中にカウントアップによりオーバフローが発生した場合オーバフローフラグ(OVIR)が設定され, オーバフロー割込み要求が許可されていると割込み要求が発生します。

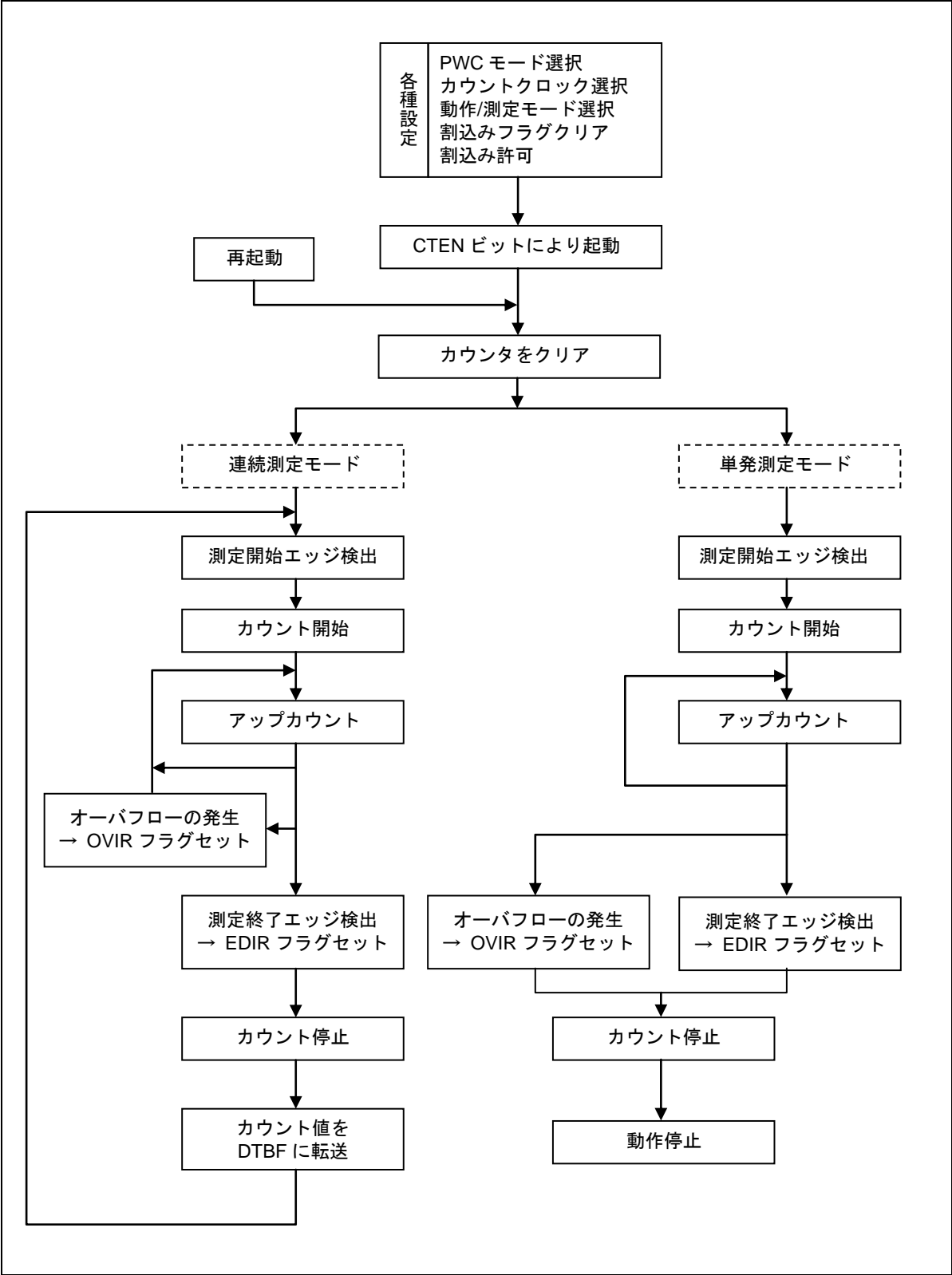
- 測定終了による割込み要求

測定終了エッジを検出した場合, STC 中の測定終了フラグ(EDIR)が設定され, 測定終了割込み要求が許可されていると割込み要求が発生します。

測定終了フラグ(EDIR)は, 測定結果 DTBF を読み出すと自動的に"0"にクリアされます。

f) パルス幅測定動作フロー

図 9-23 パルス幅測定動作フロー





9.4.2. PWC タイマ選択時のタイマ制御レジスタ(TMCR, TMCR2), ステータス制御レジスタ(STC), ステータス制御クリアレジスタ(STCC), ステータス制御セットレジスタ(STCS)

タイマ制御レジスタ(TMCR)は、タイマの動作制御をします。

ステータス制御レジスタ(STC)への書込みについての詳細は、「8. 使用上の注意」を参照してください。

(1) タイマ制御レジスタ(TMCR 上位バイト)

Bit	15	14	13	12	11	10	9	8
Field	Reserved	CKS2	CKS1	CKS0	Reserved	EGS2	EGS1	EGS0
R/W 属性	R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15] Reserved: 予約ビット

[bit14:12, TMCR2:bit8] CKS3~CKS0: カウントクロック選択ビット

- 16 ビットダウンカウンタのカウントクロックを選択します。
- カウントクロックの変更は、設定を変えると直ちに反映されるため、CKS3~CKS0の変更はカウント停止状態(CTEN="0")で行ってください。ただし、CTEN ビットへの"1"書込みと同時に変更することは可能です。

TMCR2:bit8, TMCR:bit14:12				説明
CKS3	CKS2	CKS1	CKS0	
0	0	0	0	ϕ
0	0	0	1	$\phi /4$
0	0	1	0	$\phi /16$
0	0	1	1	$\phi /128$
0	1	0	0	$\phi /256$
0	1	0	1	設定禁止
0	1	1	0	
0	1	1	1	
1	0	0	0	$\phi /512$
1	0	0	1	$\phi /1024$
1	0	1	0	$\phi /2048$
上記以外				設定禁止

ϕ は周辺クロック

[bit11] Reserved: 予約ビット



[bit10:8] EGS2～EGS0: 測定エッジ選択ビット

- 測定エッジの条件を設定します。
- EGS2, EGS1, EGS0 の変更はカウント停止状態(CTEN="0")で行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit10	bit9	bit8	説明
0	0	0	"H"パルス幅測定(↑～↓)
0	0	1	立上りエッジ間周期測定(↑～↑)
0	1	0	立下りエッジ間周期測定(↓～↓)
0	1	1	全エッジ間パルス幅測定(↑ or ↓～↓ or ↑)
1	0	0	"L"パルス幅測定(↓～↑)
1	0	1	設定禁止
1	1	0	
1	1	1	



(2) タイマ制御レジスタ(TMCR 下位バイト)

Bit	7	6	5	4	3	2	1	0
Field	T32	FMD2	FMD1	FMD0	Reserved	MDSE	CTEN	Reserved
R/W 属性	R/W	R/W	R/W	R/W	R0,W0	R/W	R,W	R0,W0
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7] T32: 32 ビットタイマ選択ビット

- 32 ビットタイマ機能を選択するビットです。
- FMD2, FMD1, FMD0 ビットに"0b100"を設定して、PWC 機能を選択している場合、T32 ビットを"1"に設定することによって 32 ビット PWC モードとして動作します。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です(32 ビットモード動作を参照してください)。

bit	説明
0	16 ビットタイマモード
1	32 ビットタイマモード

[bit6:4] FMD2～FMD0: タイマ機能選択ビット

- タイマ機能を選択するビットです。
- FMD2, FMD1, FMD0 ビットに"0b100"を設定した場合、PWC タイマ機能が選択されます。
- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit6	bit5	bit4	説明
0	0	0	リセットモード
0	0	1	PWM 機能選択
0	1	0	PPG 機能選択
0	1	1	リロードタイマ機能選択
1	0	0	PWC 機能選択
1	0	1	設定禁止
1	1	0	
1	1	1	

[bit3] Reserved: 予約ビット

[bit2] MDSE: モード選択ビット

- 変更はタイマ停止中(CTEN="0")に行ってください。ただし CTEN ビットへの"1"書込みと同時に変更することは可能です。

bit	説明
0	連続測定モード(バッファレジスタ有効)
1	単発測定モード(1 回測定後に停止)



[bit1] CTEN: タイマ許可ビット

- アップカウンタの起動または再起動を許可するビットです。
- カウンタが動作許可状態(CTEN ビットが"1")のときに"1"を書き込んだ場合、再起動となり、カウンタはクリアされ、測定開始エッジ待ち状態になります。
- カウンタが動作許可状態(CTEN ビットが"1")のときに"0"を書き込んだ場合、カウンタは停止します。
- 単発測定モードの場合、測定終了後に CTEN は"0"にクリアされます。

bit	説明
0	停止
1	動作許可

[bit0] Reserved：予約ビット



(3) タイマ制御レジスタ 2(TMCR2)

Bit	15	14	13	12	11	10	9	8
Field	Reserved							CKS3
R/W 属性	R0,W0							R/W
保護属性	-							
初期値	0000000							0

(注意事項) 本レジスタは STC レジスタの上位に配置されます。

[bit15:9] Reserved: 予約ビット

[bit8] CKS3: カウントクロック選択ビット

「(1) タイマ制御レジスタ(TMCR 上位バイト)」の「カウントクロック選択ビット」を参照してください。

(4) ステータス制御レジスタ(STC)

Bit	7	6	5	4	3	2	1	0
Field	ERR	EDIE	Reserved	OVIE	Reserved	EDIR	Reserved	OVIR
R/W 属性	R,WX	R/W	R0,W0	R/W	R0,W0	R,WX	R0,W0	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

(注意事項) 本レジスタの上位バイトには TMCR2 レジスタが配置されます。

[bit7] ERR: エラーフラグビット

- 連続測定モード時において、DTBF レジスタの測定結果を読み出さないうちに、次の測定が終了してしまったことを示すフラグです。この場合、DTBF レジスタの値は新しい測定結果に更新されて1つ前の測定結果は消失します。
- 測定は ERR ビット値に関係なく続行されます。
- ERR ビットは測定結果(DTBF)を読み出すことにより、"0"にクリアされます。

bit	説明
0	正常状態
1	読み出していない測定結果に次の測定結果が上書きされた

[bit6] EDIE: 測定終了割込み要求許可ビット

- STC:EDIR ビットの割込み要求を制御します。
- EDIE ビットが許可されていて STC:EDIR ビットが設定されると CPU に割込み要求を発生します。
- STCC:EDIEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- STCS:EDIES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit5] Reserved: 予約ビット**[bit4] OVIE: オーバフロー割込み要求許可ビット**

- STC:OVIR ビットの割込み要求を制御します。
- OVIE ビットが許可されていて STC:OVIR ビットが設定されると CPU に割込み要求を発生します。
- STCC:OVIEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。
- STCS:OVIES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] Reserved: 予約ビット**[bit2] EDIR: 測定終了割込み要求ビット**

- 測定終了したことを示、終了時にフラグが"1"に設定されます。
- EDIR ビットは測定結果(DTBF)を読み出すことにより、"0"にクリアされます。



bit	説明
0	測定結果(DTBF)を読み出し
1	割込み要因の検出

[bit1] Reserved: 予約ビット

[bit0] OVIR: オーバフロー割込み要求ビット

- カウント値が"0xFFFF"→"0x0000"へのオーバフロー時にフラグが"1"に設定されます。
- OVIR ビットは"0"書込みにより, "0"にクリアされます。
- STCC:OVIRC ビットに"1"を設定することによって, 本ビットは"0"にクリアされます。
- OVIR ビットに"1"を書き込んだ場合ビット値には影響しません。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

(5) ステータス制御クリアレジスタ(STCC)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	EDIEC	Reserved	OVIEC	Reserved			OVIRC
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W0			R0,W
保護属性	-							
初期値	0	0	0	0	000			0

[bit7] Reserved: 予約ビット

[bit6] EDIEC: 測定終了割込み要求許可クリアビット

本ビットに"1"を書き込んだ場合, STC:EDIE ビットは"0"に設定されます。

bit	説明
0	無効
1	EDIE ビットを"0"に設定

[bit5] Reserved: 予約ビット

[bit4] OVIEC: オーバフロー割込み要求許可クリアビット

本ビットに"1"を書き込んだ場合, STC:OVIE ビットは"0"に設定されます。

bit	説明
0	無効
1	OVIE ビットを"0"に設定

[bit3:1] Reserved: 予約ビット

[bit0] OVIRC: オーバフロー割込み要求クリアビット

本ビットに"1"を書き込んだ場合, STC:OVIR ビットは"0"に設定されます。

bit	説明
0	無効
1	OVIR ビットを"0"に設定



(6) ステータス制御セットレジスタ(STCS)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	EDIES	Reserved	OVIES	Reserved			
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit7] Reserved: 予約ビット

[bit6] EDIES: 測定終了割込み要求許可セットビット

本ビットに"1"を書き込んだ場合, STC:EDIE ビットは"1"に設定されます。

bit	説明
0	無効
1	EDIE ビットを"1"に設定

[bit5] Reserved: 予約ビット

[bit4] OVIES: オーバフロー割込み要求許可セットビット

本ビットに"1"を書き込んだ場合, STC:OVIE ビットは"1"に設定されます。

bit	説明
0	無効
1	OVIE ビットを"1"に設定

[bit3:0] Reserved: 予約ビット



9.4.3. **データバッファレジスタ(DTBF)**

データバッファレジスタ(DTBF)は、PWC タイマの測定値またはカウント値を読み出すことができるレジスタです。32 ビットモード時には、偶数チャネルは下位 16 ビットのカウンタ値を示します。奇数チャネルは上位 16 ビットのカウンタ値を示します。

レジスタの読出しは、必ず 16 ビットデータ転送命令で行ってください。

Bit	15-0
Field	DTBF
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000

[bit15:0] DTBF[15:0]: データバッファレジスタ

- DTBF レジスタは連続測定モード、単発測定モードのいずれにおいても、読出しのみ可能なレジスタです。
- 連続測定モード時(TMCR: MDSE: bit2=0)は、前回の測定結果を保持するバッファレジスタとして使用されます。
- 単発測定モード時(TMCR: MDSE: bit2=1)は、DTBF レジスタでアップカウンタを直接アクセスします。カウント中も読出し可能な状態で、カウンタ値が読み出せます。測定終了後は測定結果がそのまま保存されます。
- DTBF レジスタは 16 ビットデータでアクセスしてください。



CHAPTER 39: ベースタイマ入出力選択機能

ベースタイマ入出力選択機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ



1. 概要

ベースタイマ入出力選択機能の概要について説明します。

ベースタイマ入出力選択機能は、入出力モードを設定することにより、ベースタイマへの信号の入出力方法を選択する機能です。

チャンネル搭載されたベースタイマは、タイマ機能を切り換えることによってチャンネルごとに次のいずれかのタイマとして使用可能であり、それぞれの機能において入出力方法を選択できます。

入出力端子の接続は7パターンから選択できます。

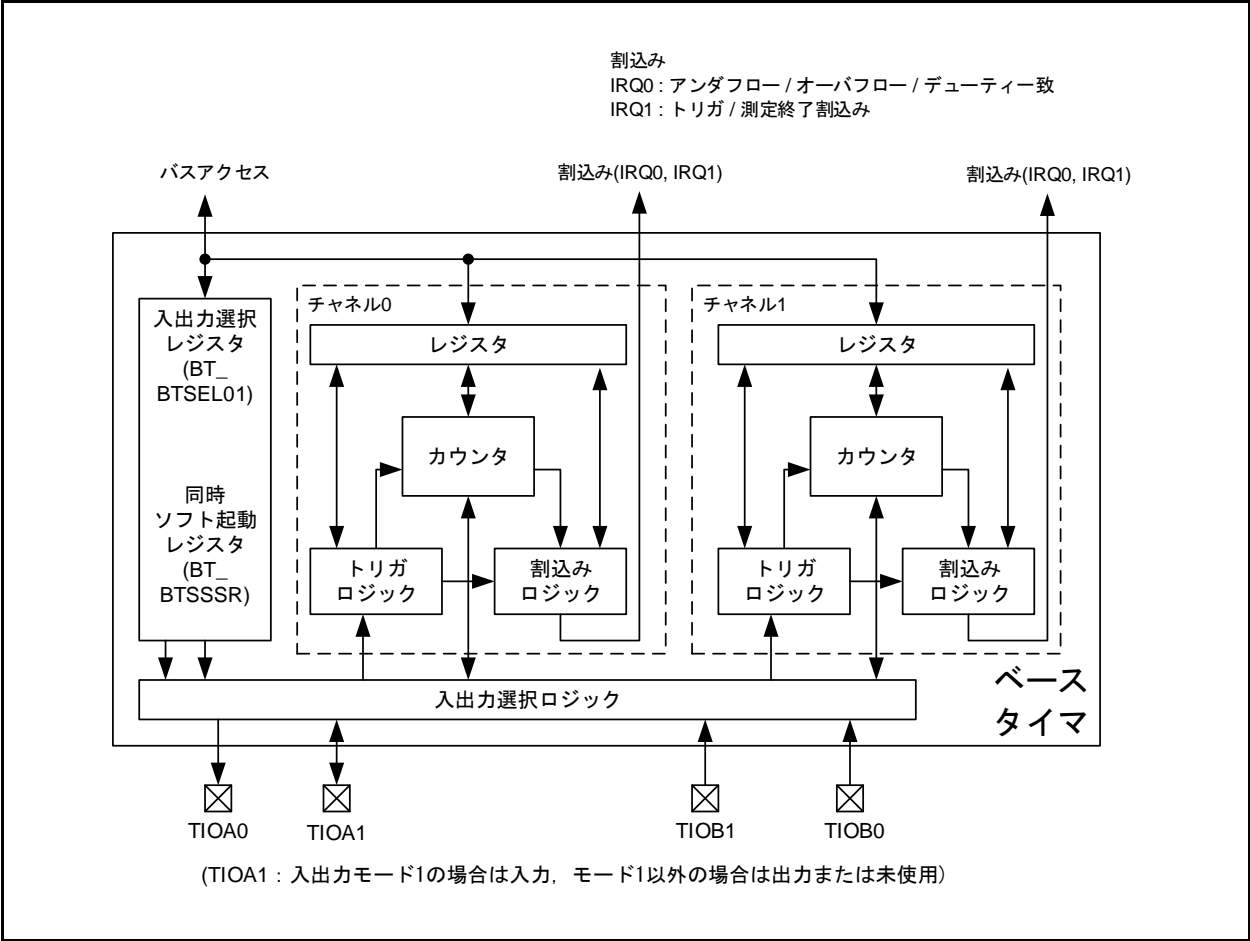
- 16ビットタイマ標準モード
- 32ビットタイマフル機能モード
- PPGトリガ2チャンネル共有モード
- タイマ起動/停止モード
- 同時ソフト起動モード
- タイマ起動/停止, 同時ソフト起動モード
- タイマ起動モード

32ビットリロードタイマおよび32ビットPWCタイマは搭載されるベースタイマのチャンネル番号 m (m は偶数) とチャンネル番号 n ($n = m + 1$) の2チャンネルを使用することによって実現できます。

2. 構成

ベースタイマおよび入出力選択機能の構成について説明します。

図 2-1 ブロックダイアグラム



チャンネル 0, チャンネル 1 の場合



3. 動作説明

ベースタイマの入出力割り当てについて説明します。

タイマを使用する前に、入出力モード選択ビット(BTSEL01)によってベースタイマの入出力設定を行ってください。次の7通りから選択できます。

- 入出力モード0:16ビットタイマ標準モード
ベースタイマを1チャンネルごとに個別に動作させるモードです。
- 入出力モード1:32ビットタイマフルモード
ベースタイマの偶数チャンネルの信号を個別に外部端子に割り当てて動作させるモードです。
- 入出力モード2:外部トリガ共有モード
2チャンネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。2チャンネルのベースタイマを同時に起動できます。
- 入出力モード4:タイマ起動/ 停止モード
偶数チャンネルから奇数チャンネルの起動/ 停止を制御するモードです。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジ*によって起動し、立下りエッジ*によって停止されます。
- 入出力モード5:同時ソフト起動モード
ソフトウェアから複数のチャンネルを同時に起動するモードです。
- 入出力モード6:ソフト起動タイマ起動/ 停止モード
偶数チャンネルから奇数チャンネルの起動/ 停止を制御するモードです。偶数チャンネルはソフトウェアによって起動されます。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジ*によって起動し、立下りエッジ*によって停止されます。
- 入出力モード7:タイマ起動モード
偶数チャンネルから奇数チャンネルの起動を制御するモードです。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジ*によって起動されます。

*:トリガ入力選択ビット(BTxx_TMCR:EGS)によって設定してください。

図 3-1 入出力モード 0 (16 ビットタイマ標準モード)のブロックダイアグラム

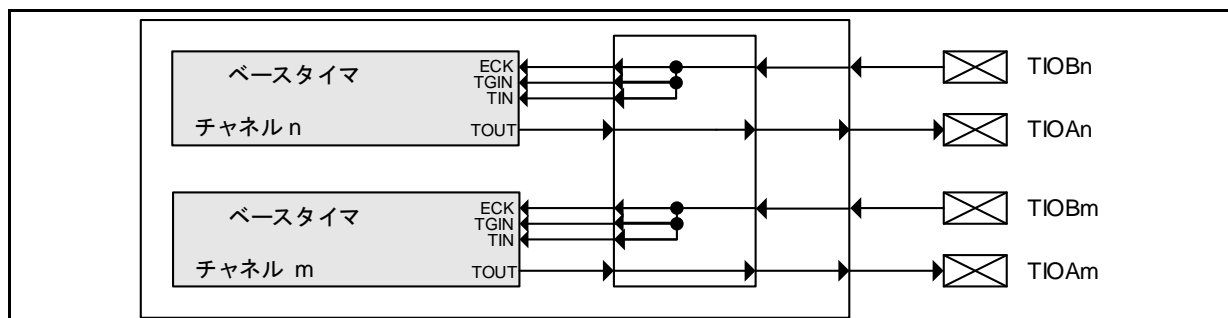


図 3-2 入出力モード 1 (32 ビットタイマフルモード)のブロックダイアグラム

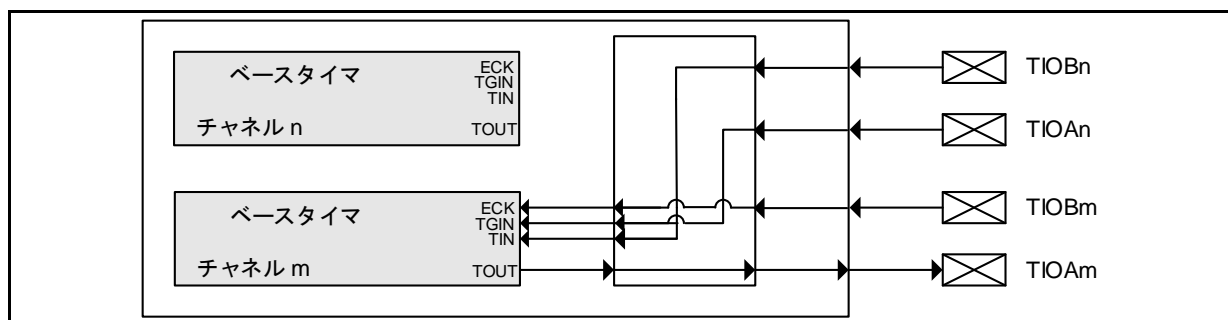


図 3-3 入出力モード 2 (PPG トリガ 2 チャンネル共有モード)のブロックダイアグラム

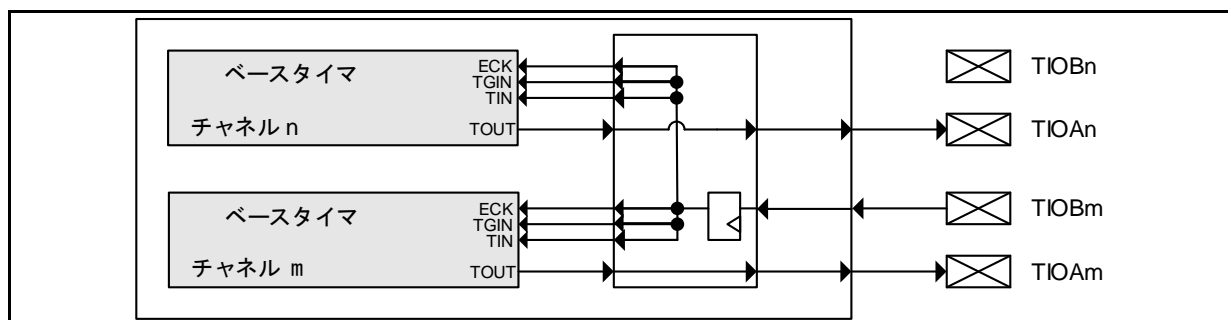


図 3-4 入出力モード 4 (タイマ起動/停止モード)のブロックダイアグラム

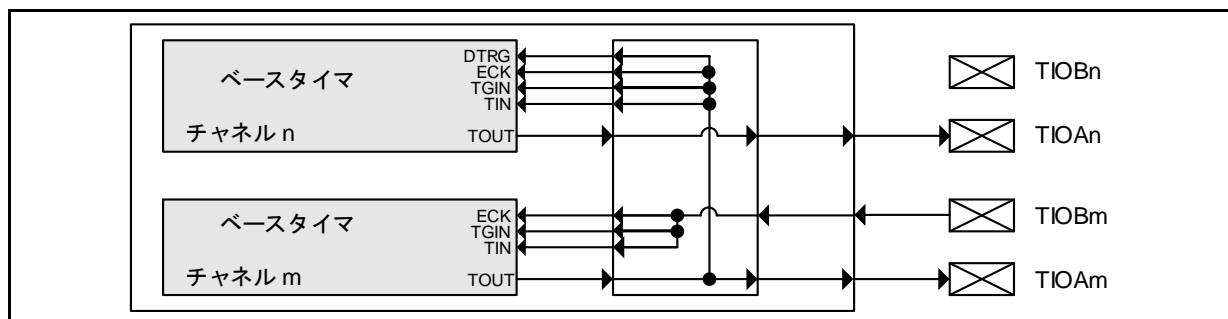


図 3-5 入出力モード 5 (同時ソフト起動モード)のブロックダイアグラム

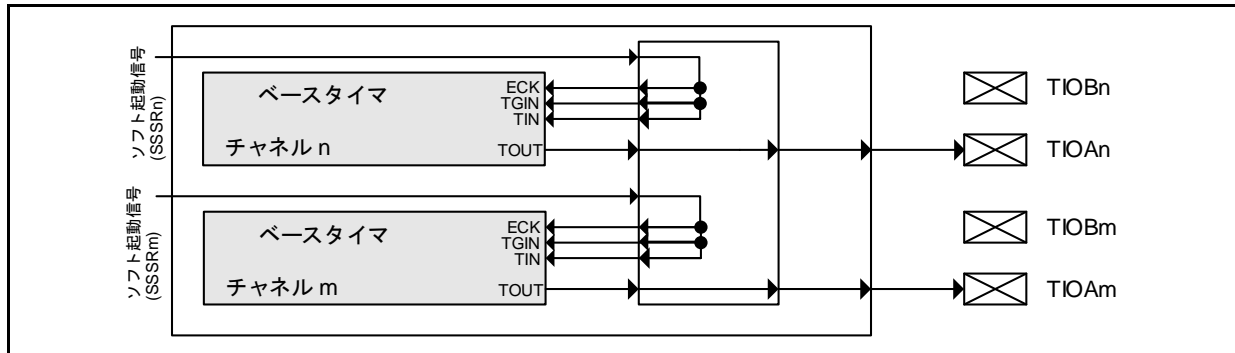


図 3-6 入出力モード 6 (タイマ起動/停止, 同時ソフト起動モード)のブロックダイアグラム

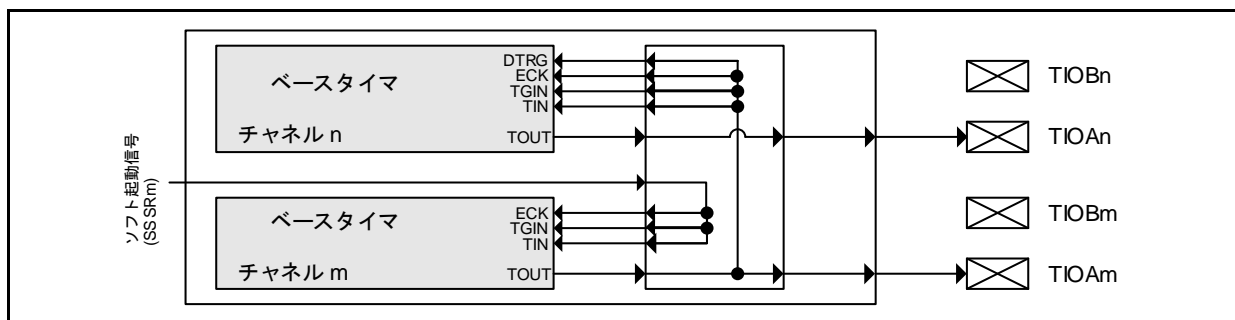
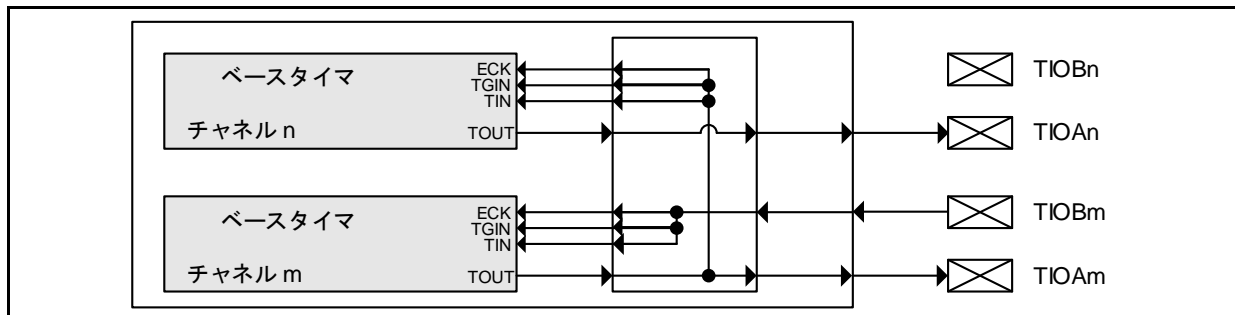


図 3-7 入出力モード 7 (タイマ起動モード)のブロックダイアグラム



<注意事項>

- 入出力モード1に設定した場合は、対応する奇数チャンネルの TIOAn を GPIO 設定によって、ポート入力モードに設定してください。



4. レジスタ

ベースタイマ入出力選択機能のレジスタについて説明します。

表 4-1 ベースタイマ入出力選択レジスタ一覧

レジスタ略称	レジスタ名	参照先
BT_BTSEL01	入出力選択レジスタ(チャンネル 0, 1)	4.1
BT_BTSEL23	入出力選択レジスタ(チャンネル 2, 3)	4.1
BT_BTSEL45	入出力選択レジスタ(チャンネル 4, 5)	4.1
BT_BTSEL67	入出力選択レジスタ(チャンネル 6, 7)	4.1
BT_BTSEL89	入出力選択レジスタ(チャンネル 8, 9)	4.1
BT_BTSEL1011	入出力選択レジスタ(チャンネル 10, 11)	4.1
BT_BTSSSR	同時ソフト起動レジスタ	4.2



4.1. 入出力選択レジスタ(BT_BTSEL01, BT_BTSEL23, BT_BTSEL45, BT_BTSEL67, BT_BTSEL89, BT_BTSEL1011)

入出力選択レジスタのビット構成について示します。

ベースタイマのチャンネル $m(m:0 \text{ または偶数})$ とチャンネル $n(n = m + 1: \text{奇数})$ の 2 チャンネルの入出力モードを下記接続に設定するビットです。

Bit	31-8
Field	Reserved
R/W 属性	R1,WX
保護属性	-
初期値	1111111_11111111_1111111

Bit	7	6	5	4	3	2	1	0
Field	Reserved				BTSEL01			
R/W 属性	R1,WX				R/W			
保護属性	-							
初期値	1111				0000			

[bit31:4] Reserved: 予約ビット

[bit3:0] BTSEL01[3:0]: 入出力モード選択ビット

ベースタイマのチャンネル m とチャンネル n の 2 チャンネルの入出力モードを下記接続に設定するビットです。

bit[3:0]	説明
0000	入出力モード 0: 16 ビットタイマ標準モード
0001	入出力モード 1: 32 ビットタイマフルモード
0010	入出力モード 2: PPG トリガ 2 チャンネル共有モード
0011	設定禁止
0100	入出力モード 4: タイマ起動/停止モード
0101	入出力モード 5: 同時ソフト起動モード
0110	入出力モード 6: タイマ起動/停止, 同時ソフト起動モード
0111	入出力モード 7: タイマ起動モード
1xxx	設定禁止

x: don't care

<注意事項>

- 本レジスタはリセットモードへの設定(TMCR: FMD2 ~ 0 = "0b000")によって初期化できません。本レジスタはリセットモードに設定してから書き換えてください。

4.2. 同時ソフト起動レジスタ(BT_BTSSSR)

同時ソフト起動レジスタのビット構成について示します。

入出力モード 5, 6 における入力信号です。本レジスタを使用して、すべてのチャンネルに同時にトリガを発生させることができます。

Bit	31-16
Field	Reserved
R/W 属性	R1,WX
保護属性	-
初期値	11111111_11111111

Bit	15	14	13	12	11	10	9	8
Field	Reserved				SSSR11	SSSR10	SSSR9	SSSR8
R/W 属性	R1, WX				R1,W	R1,W	R1,W	R1,W
保護属性	-							
初期値	1111				1	1	1	1

Bit	7	6	5	4	3	2	1	0
Field	SSSR7	SSSR6	SSSR5	SSSR4	SSSR3	SSSR2	SSSR1	SSSR0
R/W 属性	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W	R1,W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

[bit31:12] Reserved: 予約ビット

[bit11:0] SSSR11~SSSR0: 同時ソフト起動ビット

入出力モード 5, 6 における入力信号です。接続は「3. 動作説明」の各入出力モードブロックダイアグラムを参照してください。

"1"を書き込むことによって、対応したチャンネルを起動させることができ、"0"書込みは無効です。チャンネル番号 0~11 の最大 12 チャンネルまで同時に起動できます。

bit[X]	説明
0	何もしません。
1	"1"パルスを入力に割り当て、対応したチャンネルを起動します。

[X]はベースタイマのチャンネル番号を示し、0 から 11 までの値です。





CHAPTER 40: 32 ビットフリーランタイム

32 ビットフリーランタイムの機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ
5. 使用上の注意



1. 概要

32ビットフリーランタイムは、32ビットのアップカウントまたはアップダウンカウントモードをサポートしています。32ビットインプットキャプチャと併せて使用でき、入力パルス幅と外部クロックサイクルを測定できます。

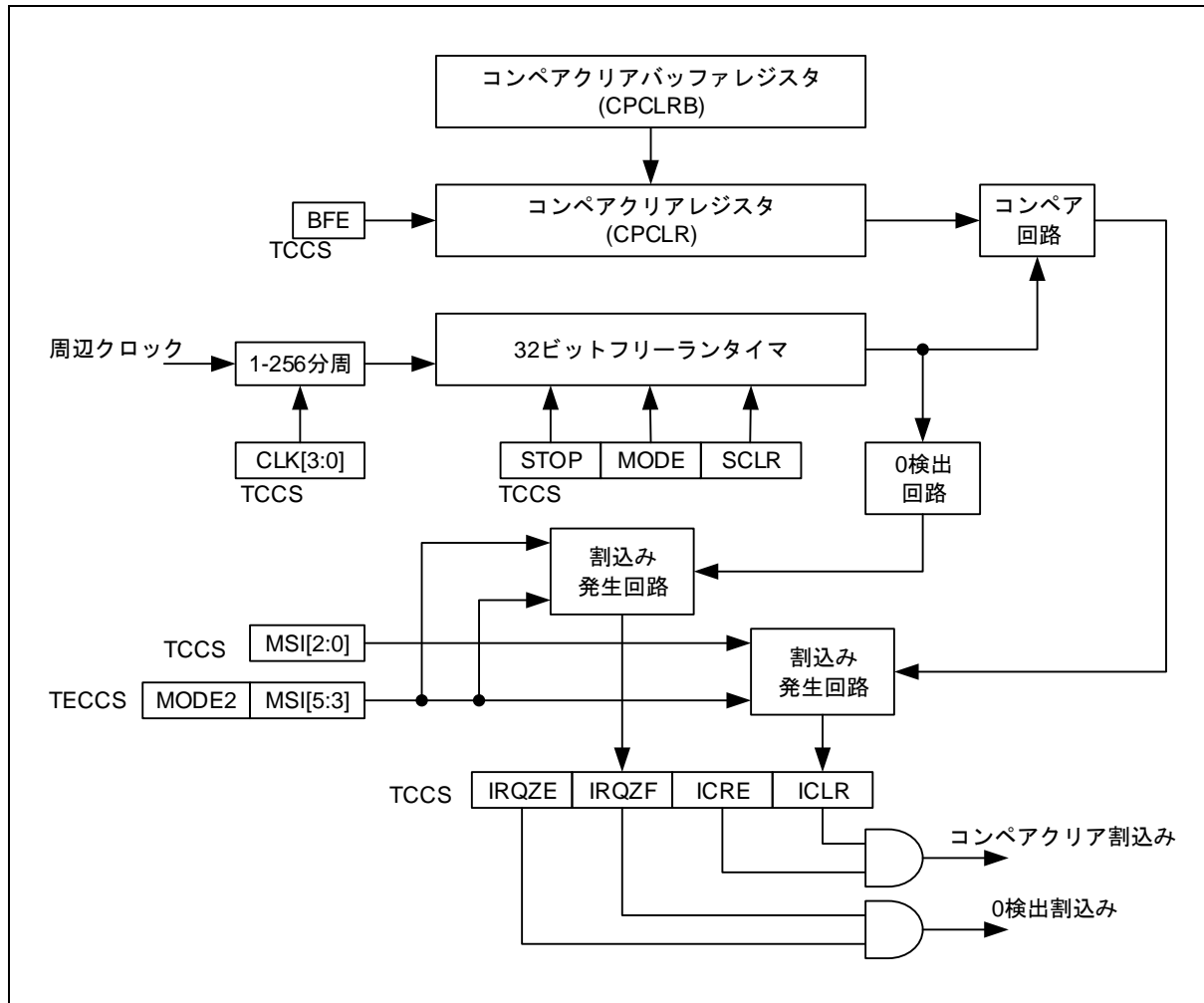
機能

- 32ビットフリーランタイムは32ビットアップダウンカウンタ、制御レジスタ、32ビットコンペアクリアレジスタ、32ビットコンペアクリアバッファレジスタおよびプリスケアラから構成されます。
- 9種類のカウンタ動作クロック(ϕ , $\phi/2$, $\phi/4$, $\phi/8$, $\phi/16$, $\phi/32$, $\phi/64$, $\phi/128$, $\phi/256$)を選択できます(ϕ : 周辺クロック)。
- コンペアクリア割込みは、コンペアクリアレジスタと32ビットカウンタが比較され、一致した場合に生成されます。0検出割込みは、32ビットカウンタがカウント値"0x00000000"を検出したときに生成されます。
- コンペアクリアレジスタには、バッファレジスタがあります(バッファレジスタに書き込まれたデータはコンペアクリアレジスタへ転送されます)。32ビットカウンタが停止している場合、バッファにデータが書き込まれると転送は直ちに実行されます。32ビットカウンタが動作中の場合、カウント値"0x00000000"が検出されるとバッファからデータが転送されます。
- ハードウェアリセット、ソフトウェアクリア、およびアップカウントモードにおいてコンペアクリアレジスタとカウント値が一致したときに、カウント値は"0x00000000"にリセットされます。
- 32ビットカウンタの出力値は、インプットキャプチャのクロックカウントとして使用できます。

2. 構成

32 ビットフリーランタイムの構成図を示します。

図 2-1 32 ビットフリーランタイムの構成図





3. 動作説明

32 ビットフリーランタイムの動作概要について説明します。

(1) 32 ビットフリーランタイムの動作

32 ビットフリーランタイムは、タイマ許可設定(TCCS:STOP)後、タイマデータレジスタ(TCDT)に設定されている値からカウント動作を開始します。32 ビットインプットキャプチャがフリーランタイムに接続されている場合、タイマカウント値は、32 ビットインプットキャプチャの基準時間として使用されます。

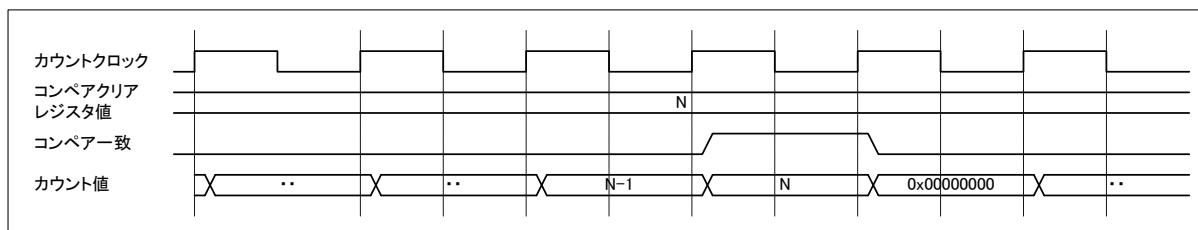
(2) カウンタクリア

フリーランタイムのカウント値は、下記のいずれかの場合、0x00000000 にクリアされます。

- アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE=0)のとき、コンペアクリアレジスタ(CPCLR)との一致が検出された場合
- フリーランタイム動作中(タイマ状態制御レジスタ(TCCS)の STOP=0)に、タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)に"1"が書き込まれた場合
- フリーランタイム停止中(タイマ状態制御レジスタ(TCCS)の STOP=1)に、タイマデータレジスタ(TCDT)に"0x00000000"が書き込まれた場合
- ハードウェアリセットされた場合、リセットされるとカウンタは直ちにクリアされます。

タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)に"1"が書き込まれた場合、またはコンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

図 3-1 32 ビットフリーランタイムのクリアタイミング



<注意事項>

- 停止中に、タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)に"1"が書き込まれても、フリーランタイムのカウント値はクリアされません。

(3) タイマモード

フリーランタイムは、以下のどちらかのモードを選択できます。

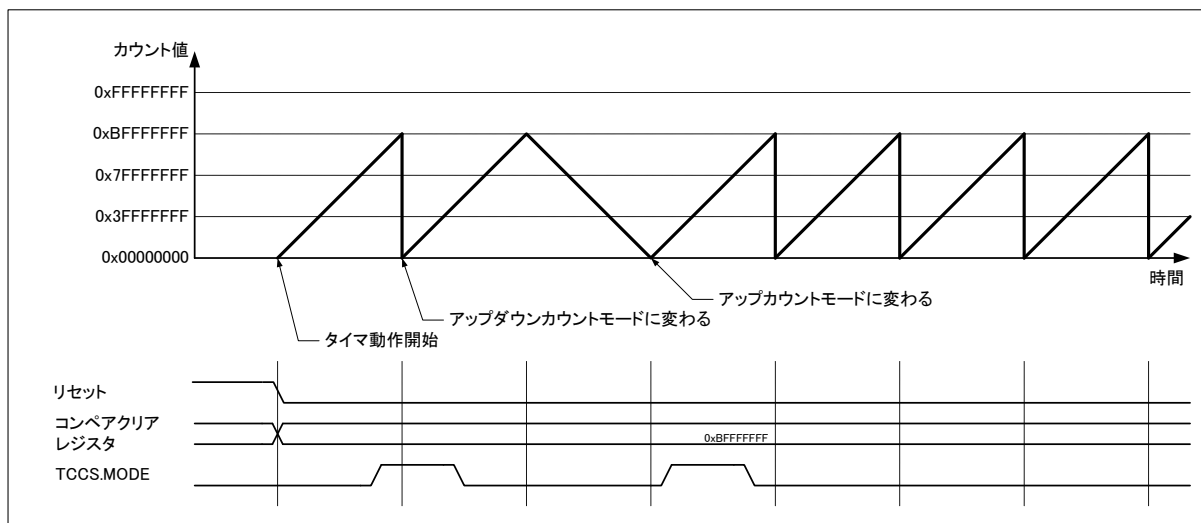
- アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE=0)
- アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE=1)

アップカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ(TCDT)からカウントを開始し、カウント値がコンペアクリアレジスタ(CPCLR)の値と一致するまでカウントアップし、カウンタは"0x00000000"にクリアされて再びカウントアップされます。

アップダウンカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ(TCDT)からカウントを開始し、カウント値がコンペアクリアレジスタ(CPCLR)の値と一致するまでカウントアップし、カウンタがアップカウントからダウンカウントに変わり、カウント値が"0x00000000"に達するまでカウントダウンして再びカウントアップされます。

タイマ状態制御レジスタ(TCCS)のタイマカウントモードビット(MODE)には、タイマが動作中でも停止していても、いつでも値を書き込めます。タイマ動作中にタイマカウントモードビットに書き込まれた値はバッファに入れられ、カウント値が"0x00000000"になった場合モードが変わります。

図 3-2 タイマモードの変更(タイマ動作中)

**(4) コンペアクリアバッファ**

コンペアクリアレジスタ(CPCLR)には、有効/無効の選択ができるバッファ機能が存在します。バッファ機能が有効(タイマ状態制御レジスタ(TCCS)の BFE=1)の場合は、コンペアクリアバッファレジスタ(CPCLRB)に書き込まれたデータは、カウント値 0x00000000 が検出されると CPCLR レジスタに転送されます。バッファ機能が無効(タイマ状態制御レジスタ(TCCS)の BFE=0)の場合は、データはコンペアクリアレジスタ(CPCLR)に直接書き込みます。

図 3-3 コンペアクリアバッファが無効(タイマ状態制御レジスタ(TCCS)の BFE=0)時のアップカウントモードによる動作

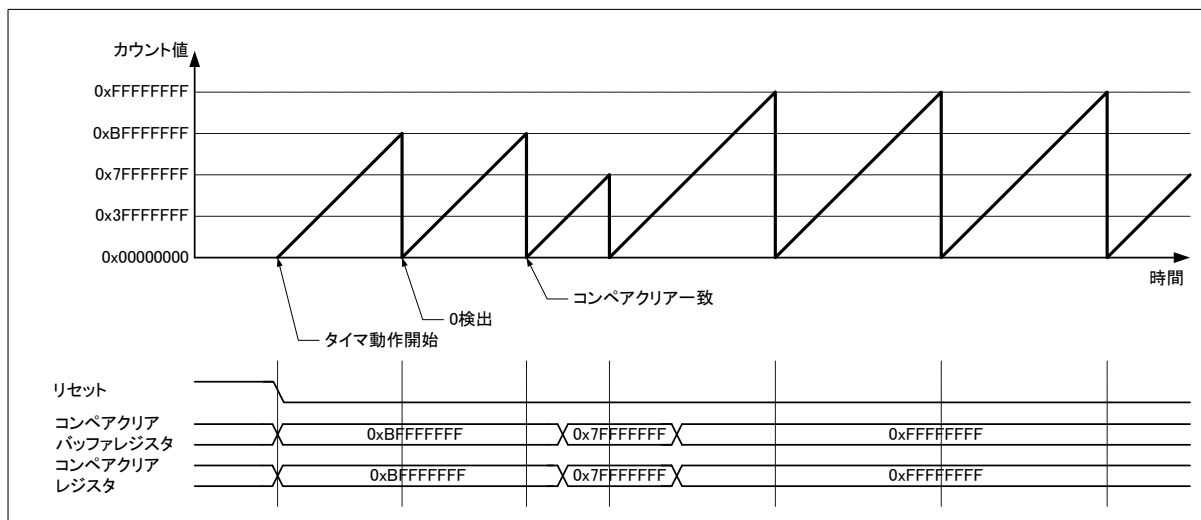




図 3-4 コンペアクリアバッファが有効(タイマ状態制御レジスタ(TCCS)の BFE=1)時のアップカウントモードによる動作

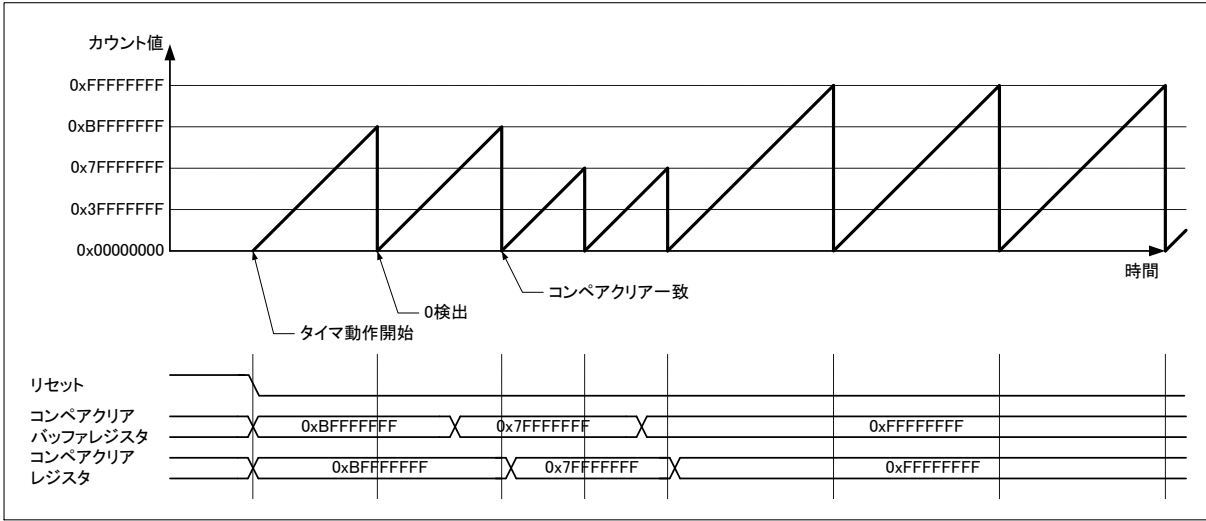
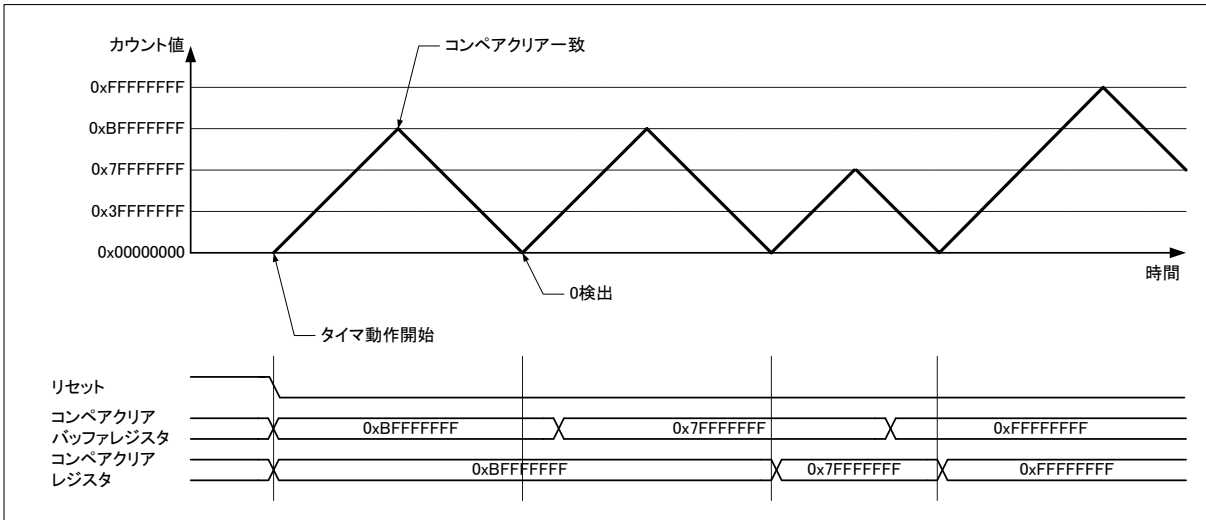


図 3-5 コンペアクリアバッファが有効(タイマ状態制御レジスタ(TCCS)の BFE=1)時のアップダウンカウントモードによる動作



(5) タイマ割込み

32 ビットフリーランタイムは、以下の 2 つの割込みを生成できます。

- コンペアクリア割込み
- 0 検出割込み

コンペアクリア割込みは、カウント値がコンペアクリアレジスタの値と一致したときに生成されます。0 検出割込みは、カウント値が"0x00000000"に達したときに生成されます。

<注意事項>

- タイマクリア(タイマ状態制御レジスタ(TCCS)の SCLR=1)のとき、0 検出割込みは生成しません。

図 3-6 アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE=0)において生成された割込み

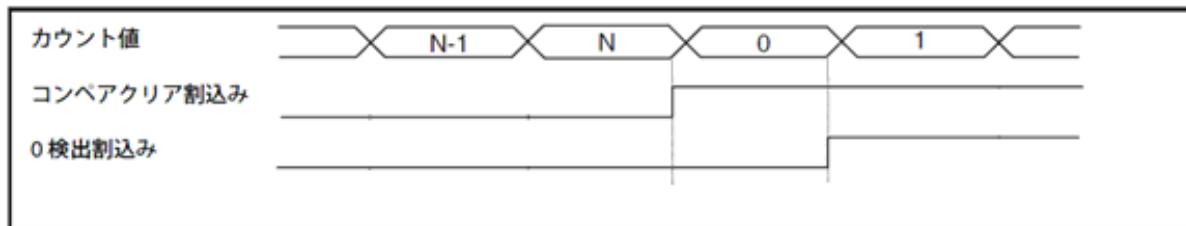
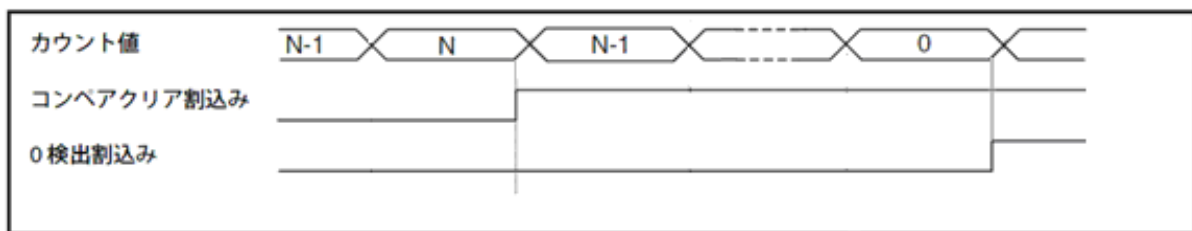


図 3-7 アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE=1)において生成された割込み

**(6) 割込みマスク機能**

0 検出割込み, コンペアクリア割込みのどちらか, もしくは両方をマスクできます。

以下にどちらか 1 つの割込みをマスクする場合について説明します。

- タイマ状態制御レジスタ(TCCS)の割込みマスク選択ビット(MSI2～MSI0)を設定することにより割込み要求フラグをマスクできます。割込みマスク選択ビット(MSI2～MSI0)は, マスクカウント値が"0b000"に達したときに値をリロードする 3 ビットリロードダウンレジスタビットです。マスクカウント値は割込みマスク選択ビット(MSI2～MSI0)に直接書くことによってもロードできます。マスクカウント数は, 割込みマスク選択ビット(MSI2～MSI0)に設定された値です。マスクカウント値(MSI2～MSI0)が "0b000"になった場合, 割込み要求フラグはマスクされません。
- 割込み要求はカウントモード(タイマ状態制御レジスタ(TCCS)の MODE)によってマスク制御が異なります。アップカウントモード(MODE=0)においては, コンペアクリア割込み要求フラグのみをマスクでき, 0 検出割込みは, タイマカウンタ値 0x00000000 が検出されるたびに生成されます。アップダウンカウントモード(MODE=1)においては, 0 検出割込み要求フラグのみをマスクできます。

以下に両方の割込み要求をマスクする場合について説明します。

- フリーランタイムがアップダウンカウントモード(MODE=1)の場合のみ, タイマ拡張制御レジスタ(TECCS)の MODE2=1, かつタイマ状態制御レジスタ(TCCS)の MODE=1 にしたときに両方の割込みマスクができます。
- 0 検出割込みマスク用にはタイマ状態制御レジスタ(TCCS)の MSI2～MSI0 ビットが使用されます。コンペアクリア割込みマスク用にはタイマ拡張制御レジスタ(TECCS)の MSI5～MSI3 ビットが使用されます。

<注意事項>

- タイマクリア(タイマ状態制御レジスタ(TCCS)の SCLR=1)は, 0 検出割込みを生成しません。



図 3-8 アップカウントモードにおいてマスクされるコンペアクリア割込み

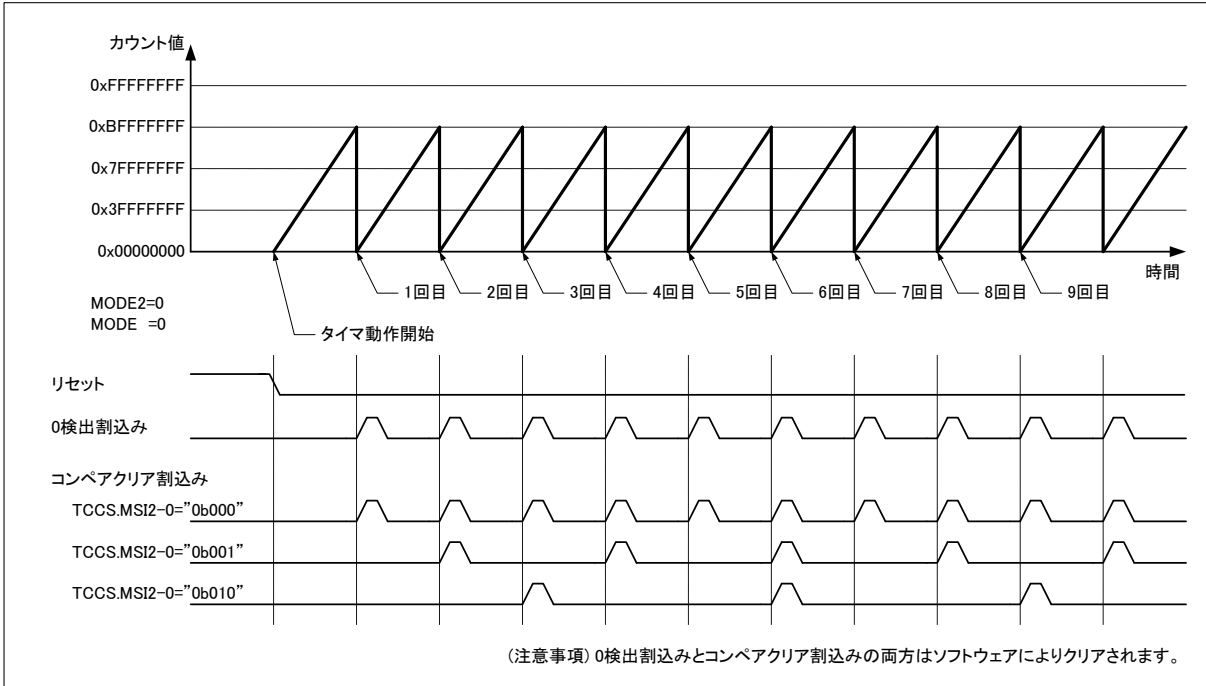


図 3-9 アップダウンカウントモードにおいてマスクされる 0 検出割込み

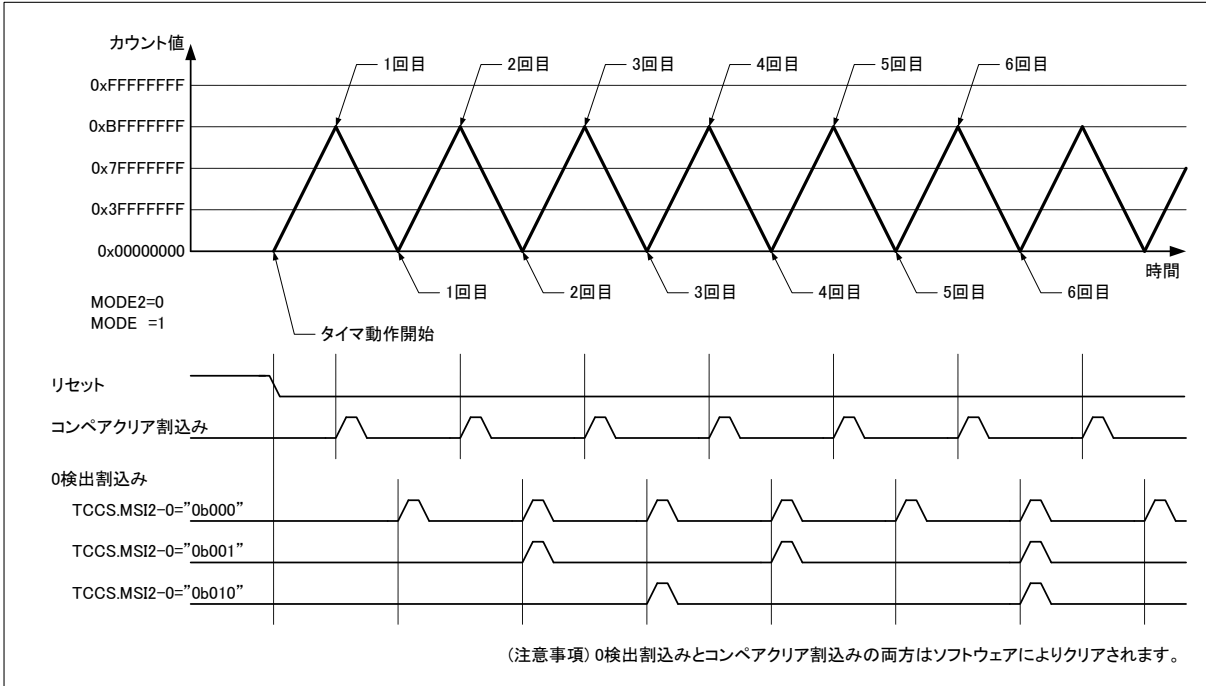
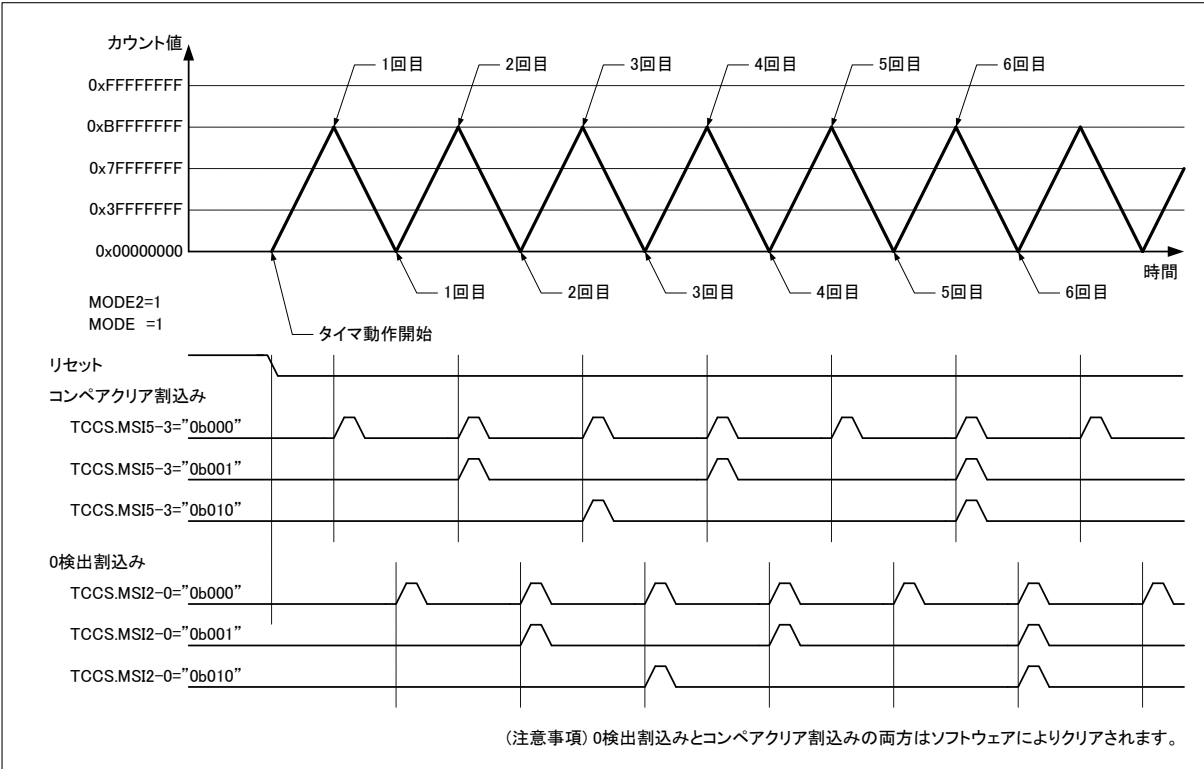


図 3-10 アップダウンカウントモードにおいてマスクされる 0 検出割込みとコンペアクリア割込み





3.1. 割込み

32 ビットフリーランタイムの割込みには、コンペア割込みと 0 検出割込みの 2 種類があります。
フリーランタイムの割込み制御ビットと割込み要因をに示します。

表 3-1 フリーランタイムの割込み制御ビットと割込み要因

制御ビットおよび要因	フリーランタイム	
	コンペアクリア	0 検出
割込み要求フラグビット	タイマ状態制御レジスタ(TCCS)のコンペアクリア割込みフラグビット(ICLR)	タイマ状態制御レジスタ(TCCS)の 0 検出割込みフラグビット(IRQZF)
割込み要求許可ビット	タイマ状態制御レジスタ(TCCS)のコンペアクリア割込み要求許可ビット(ICRE)	タイマ状態制御レジスタ(TCCS)の 0 検出割込み要求許可ビット(IRQZE)
割込み要因	フリーランタイム値がコンペアクリアレジスタ(CPCLR)値と一致	フリーランタイム値が"0x00000000"になる

フリーランタイムの値がコンペアクリアレジスタ(CPCLR)と一致したとき、タイマ状態制御レジスタ(TCCS)のコンペアクリア割込みフラグ(ICLR)に"1"がセットされます。この状態において割込み要求が許可(タイマ状態制御レジスタ(TCCS)の ICRE=1)に設定されると、割込み要求信号(MIRQ)からは"H"が出力されます。

フリーランタイムの値が"0x00000000"になった場合、タイマ状態制御レジスタ(TCCS)の 0 検出割込みフラグ(IRQZF)に"1"がセットされます。この状態において割込み要求が許可(タイマ状態制御レジスタ(TCCS)の IRQZE=1)に設定されると、割込み要求信号(ZIRQ)からは"H"が出力されます。

4. レジスタ

32 ビットフリーランタイムのレジスタ一覧を示します。

すべてのレジスタにはプレフィックス「FRTxx」が付きます。xx はチャンネル番号(00, 01, 02, 03, 04)です。

表 4-1 32 ビットフリーランタイムのレジスタ一覧

レジスタ略称	レジスタ名	参照先
CPCLRB/CPCLR	コンペアクリアバッファレジスタ, コンペアクリアレジスタ	4.1
TCDDT	タイマデータレジスタ	4.2
TCCS	タイマ状態制御レジスタ	4.3
TECCS	タイマ拡張制御レジスタ	4.4
TCCSC	タイマ状態制御クリアレジスタ	4.5
TCCSS	タイマ状態制御セットレジスタ	4.6



4.1. コンペアクリアバッファレジスタ(CPCLRB)/コンペアクリアレジスタ(CPCLR)

コンペアクリアバッファレジスタ(CPCLRB)は、コンペアクリアレジスタ(CPCLR)のバッファレジスタです。
両レジスタは同じアドレスに存在します。

(1) コンペアクリアバッファレジスタ(CPCLRB)

Bit	31-0
Field	CL
R/W 属性	W
保護属性	-
初期値	1111111_11111111_11111111_11111111

[bit31:0] CL[31:0]: コンペアクリア値バッファビット

コンペアクリアバッファレジスタ(CPCLRB)は、コンペアクリアレジスタ(CPCLR)と同じアドレスに存在するバッファレジスタです。

バッファ機能を無効(タイマ状態制御レジスタ(TCCS)のBFE=0)に設定またはフリーランタイムが停止した場合、コンペアクリアバッファレジスタ(CPCLRB)の値は直ちにコンペアクリアレジスタ(CPCLR)へ転送されます。

バッファ機能を有効(タイマ状態制御レジスタ(TCCS)のBFE=1)に設定した場合、フリーランタイムのカウント値 0x00000000 が検出されたときに、コンペアクリアバッファレジスタ(CPCLRB)の値がコンペアクリアレジスタ(CPCLR)へ転送されます。

<注意事項>

- コンペアクリアバッファレジスタ(CPCLRB)には、"0x00000000"を設定してはいけません。レジスタへアクセスする場合は、ワードアクセス命令を使用してください。



(2) コンペアクリアレジスタ(CPCLR)

Bit	31-0
Field	CL
R/W 属性	R
保護属性	-
初期値	11111111_11111111_11111111_11111111

[bit31:0] CL[31:0]: コンペアクリア値ビット

コンペアクリアレジスタ(CPCLR)は、フリーランタイムのカウント値と比較するために使用されます。

アップカウントモード(タイマ状態制御レジスタ(TCCS)のMODE=0)においては、レジスタ値がフリーランタイムのカウント値と一致したときに、フリーランタイムのカウント値は"0x00000000"にリセットされます。

アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)のMODE=1)においては、コンペアクリアレジスタ(CPCLR)値とフリーランタイムのカウント値が一致したときに、フリーランタイムはアップカウントからダウンカウントに変わります。また0検出時にはダウンカウントからアップカウントに変わります。

<注意事項>

- レジスタへアクセスする場合は、ワードアクセス命令を使用してください。



4.2. タイマデータレジスタ(TCDT)

タイマデータレジスタ(TCDT)は、フリーランタイムのカウント値を読み出します。またフリーランタイムのカウント値を設定できます。

Bit	31-0
Field	T
R/W 属性	R,W
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] T[31:0]: タイマデータ値ビット

タイマデータレジスタ(TCDT)は、フリーランタイムのカウント値を読み出すために使用されます。

カウント値はレジスタへ値を書き込むことによって設定できます。ただし、値の書き込みはフリーランタイムの停止中(タイマ状態制御レジスタ(TCCS)の STOP=1)に行ってください。

フリーランタイムのカウント値は、下記のいずれかの場合、"0x00000000"にクリアされます。

- ハードウェアリセットされた場合、リセットされるとカウンタは直ちにクリアされます。
- フリーランタイム動作中(タイマ状態制御レジスタ(TCCS)の STOP=0)にタイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)の"1"が書き込まれた場合
- アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE=0)におけるコンペアクリアレジスタ(CPCLR)とタイマカウント値の一致が検出された場合
- フリーランタイム停止中(タイマ状態制御レジスタ(TCCS)の STOP=1)に、タイマデータレジスタ(TCDT)に"0x00000000"が書き込まれた場合

タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)に"1"が書き込まれた場合、またはコンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

<注意事項>

- フリーランタイム停止中(タイマ状態制御レジスタ(TCCS)の STOP=1)に、タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)を"1"に設定しても、フリーランタイムは"0x00000000"にクリアされません。
- レジスタへアクセスする場合は、ワードアクセス命令を使用してください。

4.3. タイマ状態制御レジスタ(TCCS)

タイマ状態制御レジスタ(TCCS)は、フリーランタイムの動作を制御するために使用するレジスタです。本レジスタへの書き込みについての詳細は、「5. 使用上の注意」を参照してください。

Bit	31-16
Field	Reserved
R/W 属性	R1,WX
保護属性	-
初期値	11111111_11111111

Bit	15	14	13	12	11	10	9	8
Field	Reserved	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE
R/W 属性	R/W0	R,W	R/W	R,W	R,W	R,W	R,W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	BFE	STOP	MODE	SCLR	CLK			
R/W 属性	R/W	R/W	R/W	R0,W	R/W			
保護属性	-							
初期値	0	1	0	0	0000			

[bit31:15] Reserved: 予約ビット

[bit14] IRQZF: 0 検出割込みフラグビット

フリーランタイムのカウント値が 0x00000000 のとき, "1"が設定されます。

"0"を書き込んだ場合, 本ビットは"0"に設定されます。

"1"を書き込んだ場合, 本ビットは影響を受けません。

TCCSC:IRQZFC ビットに"1"を設定することによって, 本ビットは"0"に設定されます。

bit	説明	
	読出し時	書き込み時
0	ゼロは検出されない	"0"に設定
1	ゼロが検出される	影響を受けない

<注意事項>

- フリーランタイム動作中(タイマ許可ビット STOP=0)のタイマクリア(SCLR への"1"書き込み)の場合は, "1"に設定されません。
- アップダウンカウントモード(MODE=1)においては, 割込みマスク選択ビット(MSI2~MSI0)によって設定した割込みが発生したときに"1"が設定されます。割込みが発生しないときは, "1"は設定されません。
- アップカウントモード(MODE=0)においては, 割込みマスク選択ビット(MSI2~MSI0)の値とは無関係に 0 検出が発生するたびに"1"が設定されます。

[bit13] IRQZE: 0 検出要求許可ビット

"1"を設定し, 0 検出割込みフラグビット(IRQZF)が"1"に設定されると, CPU に対する割込み要求が生成されます。



TCCSC:IRQZEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

TCCSS:IRQZES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit12:10] MSI2～MSI0: 割込みマスク選択ビット

タイマ拡張制御レジスタ(TECCS)の(MODE2=0)のとき

- これらのビットは、アップカウントモード(MODE=0)のときは、コンペアクリア割込みフラグのマスク回数を設定するために使用されます。アップダウンカウントモードビット(MODE=1)のときは、0 検出割込みフラグのマスク回数を設定するために使用されます。
- "0b000"を設定した場合、割込みフラグはマスクされません。

タイマ拡張制御レジスタ(TECCS)の(MODE2=1)のとき

- これらのビットは、アップダウンカウントモード(MODE=1)のときは、0 検出割込みフラグのマスク回数を設定するために使用されます。
- アップカウントモード(MODE=0)のときの設定は禁止です。

bit[12:10]			説明
MSI2	MSI1	MSI0	
0	0	0	1 回目の一致が発生したときに割込みフラグ生成
0	0	1	2 回目の一致が発生したときに割込みフラグ生成
0	1	0	3 回目の一致が発生したときに割込みフラグ生成
0	1	1	4 回目の一致が発生したときに割込みフラグ生成
1	0	0	5 回目の一致が発生したときに割込みフラグ生成
1	0	1	6 回目の一致が発生したときに割込みフラグ生成
1	1	0	7 回目の一致が発生したときに割込みフラグ生成
1	1	1	8 回目の一致が発生したときに割込みフラグ生成

<注意事項>

- 読出し値はマスクカウンタ値です。マスクカウンタはデクリメントカウンタです。
- 書き込み時の書き込みデータは、マスクレジスタへ書き込まれます。
- フリーランタイム動作中(タイマ許可ビットSTOP=0)のときは、マスクレジスタへの書き込み値は、マスクカウンタが0b000になったときのみ、カウンタへリロードされます。
- フリーランタイム停止中(タイマ許可ビットSTOP=1)のときは、マスクレジスタへの書き込み値は、直ちにマスクカウンタへリロードされます。

[bit9] ICLR: コンペアクリア割込みフラグビット

コンペアクリアレジスタ(CPCLR)値とフリーランタイム値が一致した場合に"1"に設定されます。

"0"を書き込んだ場合、本ビットは"0"にクリアされます。

"1"を書き込んだ場合、本ビットは影響を受けません。

TCCSC:ICLRC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

bit	説明	
	読出し時	書き込み時
0	コンペアクリア一致なし	"0"に設定
1	コンペアクリア一致あり	影響を受けない

<注意事項>

- アップカウントモード(MODE=0)の場合は、割込みマスク選択ビット(MSI2～MSI0)によって設定した割込みフラグが発生したときに"1"が設定されます。割込みが発生しないときは"1"は設定されません。
- アップダウンカウントモード(MODE=1)の場合は、割込みマスク選択ビット(MSI2～MSI0)の値とは無関係に、コンペアクリアが発生するたびに"1"にセットされます。

[bit8] ICRC: コンペアクリア割込み要求許可ビット

"1"を設定し、コンペアクリア割込みフラグビット(ICLR)が"1"に設定されると、CPUに対する割込み要求が生成されます。

TCCSC:ICREC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

TCCSS:ICRES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit7] BFE: コンペアクリアバッファ許可ビット

コンペアクリアバッファレジスタ(CPCLRB)を有効にするために使用されます。

"0"を設定した場合:

コンペアクリアバッファレジスタ(CPCLRB)は無効です。したがってコンペアクリアレジスタ(CPCLR)に直接書き込めます。

"1"を設定した場合:

コンペアクリアバッファレジスタ(CPCLRB)は有効です。コンペアクリアバッファレジスタ(CPCLRB)に書き込まれて保持されていたデータは、フリーランタイムのカウント値"0x00000000"が検出されると、コンペアクリアレジスタ(CPCLR)へ転送されます。

TCCSC:BFEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

TCCSS:BFES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	コンペアクリアバッファを無効にする
1	コンペアクリアバッファを有効にする

[bit6] STOP: タイマ許可ビット

フリーランタイムのカウントを停止/開始するために使用されます。

"0"を設定した場合、フリーランタイムのカウントが開始されます。

"1"を設定した場合、フリーランタイムのカウントが停止されます。

TCCSC:STOPC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

TCCSS:STOPS ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	カウントを許可(カウント開始)
1	カウントを禁止(カウント停止)

[bit5] MODE: タイマカウントモードビット

フリーランタイムのカウントモードを選択するために使用されます。



"0"を設定した場合:

アップカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタ(CPCLR)と一致して 0x00000000 にリセットされるまでカウントアップし、その後再びカウントアップされます。

"1"を設定した場合:

アップダウンカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタ(CPCLR)と一致するまでカウントアップし、その後ダウンカウントに変わります。カウント値が 0x00000000 に達したときに再びアップカウントに変わります。

タイマが動作中(タイマ許可ビット STOP=0)の状態でも停止(STOP=1)していても書き込めます。タイマが動作中の場合は、書き込まれた値はバッファに入れられ、その後タイマ値が 0x00000000 になったときバッファの値によりカウントモードが設定されます。

TCCSC:MODEC ビットに"1"を設定することによって、本ビットは"0"に設定されます。

TCCSS:MODES ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明
0	アップカウントモード
1	アップダウンカウントモード

[bit4] SCLR: タイマクリアビット

フリーランタイムの初期化に使用されます。

フリーランタイム値の初期化:

フリーランタイム動作中(タイマ許可ビット STOP=0)に"1"を設定した場合、フリーランタイムは、次のカウントクロックにおいて 0 に初期化されます。

フリーランタイム停止中(タイマ許可ビット STOP=1)に"1"を設定した場合、フリーランタイムは初期化されません。

フリーランタイムのカウント方向の初期化:

"1"を設定した後、フリーランタイムを再び動作(タイマ許可ビット STOP=0)させた場合、フリーランタイムは常にアップカウントから動作が開始されます。

フリーランタイムがダウンカウント中に動作を停止(タイマ許可ビット STOP=1)し、本ビットに"1"を設定した後、フリーランタイムを再び動作(タイマ許可ビット STOP=0)させた場合でも、フリーランタイムはアップカウントから動作が開始されます。

TCCSS:SCLRS ビットに"1"を設定することによって、本ビットは"1"に設定されます。

bit	説明	
	読出し時	書き込み時
0	常に"0"を読出し	カウンタは初期化されない
1		カウンタを"0x00000000"に初期化

<注意事項>

- 本ビットに"1"を設定しても、0 検出割込みは生成されません。
- "1"を設定した後、次のカウントクロックの前に"0"を書き込むとタイマクリアは行われません。
- アップダウンカウントモードにおいて、ダウンカウント中に SCLR"1"書き込み後、タイマカウントの更新タイミング以前に SCLR"0"書き込みを実施した場合、カウント値は更新されずにアップカウントに変化します。

[bit3:0] CLK[3:0]: クロック周波数選択ビット

フリーランタイムのカウントクロック周波数を選択するために使用されます。

クロック周波数は、これらのビットが設定されるとすぐに変更されます。

bit[3:0]	説明					
	カウントクロック	$\phi=40\text{MHz}$	$\phi=20\text{MHz}$	$\phi=10\text{MHz}$	$\phi=5\text{MHz}$	$\phi=2.5\text{MHz}$
0000	ϕ	25ns	50ns	100ns	200ns	400ns
0001	$\phi/2$	50ns	100ns	200ns	400ns	800ns
0010	$\phi/4$	100ns	200ns	400ns	800ns	1.6 μs
0011	$\phi/8$	200ns	400ns	800ns	1.6 μs	3.2 μs
0100	$\phi/16$	400ns	800ns	1.6 μs	3.2 μs	6.4 μs
0101	$\phi/32$	800ns	1.6 μs	3.2 μs	6.4 μs	12.8 μs
0110	$\phi/64$	1.6 μs	3.2 μs	6.4 μs	12.8 μs	25.6 μs
0111	$\phi/128$	3.2 μs	6.4 μs	12.8 μs	25.6 μs	51.2 μs
1000	$\phi/256$	6.4 μs	12.8 μs	25.6 μs	51.2 μs	102.4 μs
その他の設定は 禁止	-	-	-	-	-	-

ϕ : 周辺クロック



4.4. タイマ拡張制御レジスタ(TECCS)

タイマ拡張制御レジスタ(TECCS)は、フリーランタイムの動作を制御する拡張制御レジスタです。

Bit	31-16
Field	Reserved
R/W 属性	R1,WX
保護属性	-
初期値	11111111_11111111

Bit	15	14	13	12	11	10	9	8
Field	Reserved				MODE2	MSI5	MSI4	MSI3
R/W 属性	R0,WX				R/W	R,W	R,W	R,W
保護属性	-							
初期値	0000				0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R1,WX							
保護属性	-							
初期値	11111111							

[bit31:12] Reserved: 予約ビット

[bit11] MODE2: 割込みマスクモードビット 2

フリーランタイムがアップダウンカウントモード(タイマ状態制御レジスタ(TCCS)のMODE=1)のとき、0 検出割込みとコンペアクリア割込みを、それぞれ独立してマスクするために使用されます。

フリーランタイムがアップダウンカウントモード(タイマ状態制御レジスタ(TCCS)のMODE=1)のとき、本ビットに"1"を設定した場合、本レジスタのコンペアクリア割込みマスク選択(MSI5～MSI3)に設定した値が有効となり、コンペアクリア割込みフラグは設定した回数マスクされます。0 検出割込みフラグのマスク回数は、タイマ状態制御レジスタ(TCCS)の割込みマスク選択ビット(MSI2～MSI0)に設定した値が有効です。

bit		説明
MODE2	MODE*	
0	0	MSI5～MSI3 の設定値は無効
0	1	MSI5～MSI3 の設定値は無効
1	0	設定禁止(動作は保証されません)
1	1	MSI5～MSI3 の設定値は有効

*: タイマ状態制御レジスタ(TCCS)の MODE

<注意事項>

- フリーランタイムがアップカウントモードのとき、本ビットに"1"を設定した場合の動作は保証されません。



[bit10:8] MSI5～MSI3: コンペアクリア割込みマスク選択ビット

本ビットは、コンペアクリア割込みフラグのマスク回数を設定するために使用され、割込みマスクモードビット 2(MODE2)が"1"に設定され、かつフリーランタイムがアップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE=1)の時のみ有効です。

0 検出割込みフラグのマスク回数はタイマ状態制御レジスタ(TCCS)の MSI2～MSI0 によって設定されます。

"0b000"を設定した場合、コンペアクリア割込みフラグはマスクされません。

bit[10:8]			説明
MSI5	MSI4	MSI3	
0	0	0	1 回目の一致が発生したときに割込みフラグ生成
0	0	1	2 回目の一致が発生したときに割込みフラグ生成
0	1	0	3 回目の一致が発生したときに割込みフラグ生成
0	1	1	4 回目の一致が発生したときに割込みフラグ生成
1	0	0	5 回目の一致が発生したときに割込みフラグ生成
1	0	1	6 回目の一致が発生したときに割込みフラグ生成
1	1	0	7 回目の一致が発生したときに割込みフラグ生成
1	1	1	8 回目の一致が発生したときに割込みフラグ生成

<注意事項>

- 読出し値はマスクカウンタ値です。マスクカウンタはデクリメントカウンタです。
- 書込み時の書込みデータは、マスクレジスタへ書き込まれます。
- フリーランタイム動作中(タイマ状態制御レジスタ(TCCS)のタイマ許可ビット STOP=0)のときは、マスクレジスタへの書込み値は、マスクカウンタが 0b000 になった時のみ、カウンタへリロードされます。
- フリーランタイム停止中(タイマ状態制御レジスタ(TCCS)のタイマ許可ビット STOP=1)のときは、マスクレジスタへの書込み値は、直ちにマスクカウンタへリロードされます。

[bit7:0] Reserved: 予約ビット



4.5. タイマ状態制御クリアレジスタ(TCCSC)

タイマ状態制御クリアレジスタ(TCCSC)は、タイマ状態制御レジスタ(TCCS)のビットをクリアするために使用するレジスタです。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved	IRQZFC	IRQZEC	Reserved			ICLRC	ICREC
R/W 属性	R0,W0	R0,W	R0,W	R0,W0			R0,W	R0,W
保護属性	-							
初期値	0	0	0	000			0	0

Bit	7	6	5	4	3	2	1	0
Field	BFEC	STOPC	MODEC	Reserved				
R/W 属性	R0,W	R0,W	R0,W	R0,W0				
保護属性	-							
初期値	0	0	0	00000				

[bit31:15] Reserved: 予約ビット

[bit14] IRQZFC: IRQZF クリアビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)の0 検出フラグビット(IRQZF)は"0"に設定されます。

bit	説明
0	本ビットおよび TCCS:IRQZF ビットに影響を与えない
1	TCCS:IRQZF ビットを"0"に設定

[bit13] IRQZEC: IRQZE クリアビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)の0 検出要求許可ビット(IRQZE)は"0"に設定されます。

bit	説明
0	本ビットおよび TCCS:IRQZE ビットに影響を与えない
1	TCCS:IRQZE ビットを"0"に設定

[bit12:10] Reserved: 予約ビット

[bit9] ICLRC: ICLR クリアビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のコンペアクリアビット(ICLR)は"0"に設定されます。

bit	説明
0	本ビットおよび TCCS:ICLR ビットに影響を与えない
1	TCCS:ICLR ビットを"0"に設定

[bit8] ICREC: ICRE クリアビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のコンペアクリア割込み要求許可ビット(ICRE)は"0"に設定されます。

bit	説明
0	本ビットおよび TCCS:ICRE ビットに影響を与えない
1	TCCS:ICRE ビットを"0"に設定

[bit7] BFEC: BFE クリアビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のコンペアクリアバッファ許可ビット(BFE)は"0"に設定されます。

bit	説明
0	本ビットおよび TCCS:BFE ビットに影響を与えない
1	TCCS:BFE ビットを"0"に設定

[bit6] STOPC: STOP クリアビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のタイマ許可ビット(STOP)は"0"に設定されます。

bit	説明
0	本ビットおよび TCCS:STOP ビットに影響を与えない
1	TCCS:STOP ビットを"0"に設定

[bit5] MODEC: MODE クリアビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のタイマカウントモードビット(MODE)は"0"に設定されます。

bit	説明
0	本ビットおよび TCCS:MODE ビットに影響を与えない
1	TCCS:MODE ビットを"0"に設定

[bit4:0] Reserved: 予約ビット



4.6. タイマ状態制御セットレジスタ(TCCSS)

タイマ状態制御セットレジスタ(TCCSS)は、タイマ状態制御レジスタ(TCCS)のビットをセットするために使用するレジスタです。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved		IRQZES	Reserved				ICRES
R/W 属性	R0,W0		R0,W	R0,W0				R0,W
保護属性	-							
初期値	00		0	0000				0

Bit	7	6	5	4	3	2	1	0
Field	BFES	STOPS	MODES	SCLRS	Reserved			
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit31:14] Reserved: 予約ビット

[bit13] IRQZES: IRQZE セットビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)の0 検出要求許可ビット(IRQZE)は"1"に設定されます。

bit	説明
0	本ビットおよび TCCS:IRQZE ビットに影響を与えない
1	TCCS:IRQZE ビットを"1"に設定

[bit12:9] Reserved: 予約ビット

[bit8] ICRES: ICRE セットビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のコンペアクリア割込み要求許可ビット(ICRE)は"1"に設定されます。

bit	説明
0	本ビットおよび TCCS:ICRE ビットに影響を与えない
1	TCCS:ICRE ビットを"1"に設定

[bit7] BFES: BFE セットビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のコンペアクリアバッファ許可ビット(BFE)は"1"に設定されます。

bit	説明
0	本ビットおよび TCCS:BFE ビットに影響を与えない
1	TCCS:BFE ビットを"1"に設定

[bit6] STOPS: STOP セットビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のタイマ許可ビット(STOP)は"1"に設定されます。

bit	説明
0	本ビットおよび TCCS:STOP ビットに影響を与えない
1	TCCS:STOP ビットを"1"に設定

[bit5] MODES: MODE セットビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のタイマカウントモードビット(MODE)は"1"に設定されます。

bit	説明
0	本ビットおよび TCCS:MODE ビットに影響を与えない
1	TCCS:MODE ビットを"1"に設定

[bit4] SCLRS: SCLR セットビット

"1"が書き込まれた場合、タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)は"1"に設定されます。

bit	説明
0	本ビットおよび TCCS:SCLR ビットに影響を与えない
1	TCCS:SCLR ビットを"1"に設定

[bit3:0] Reserved: 予約ビット

5. 使用上の注意

32 ビットフリーランタイムの使用上の注意を以下に示します。

(1) レジスタアクセス時の注意

a) コンペアクリアレジスタ(CPCLR), コンペアクリアバッファレジスタ(CPCLRB)アクセス時
コンペアクリアレジスタ(CPCLR), コンペアクリアバッファレジスタ(CPCLRB)に対してはワードアクセス命令を使用してください。

b) タイマ状態制御レジスタ(TCCS)アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、タイマ状態制御クリアレジスタ(TCCSC)の該当ビットに"1"を書き込むことによってクリアしてください。
- 本レジスタの特定ビットをセットする際は、タイマ状態制御セットレジスタ(TCCSS)の該当ビットに"1"を書き込むことによってセットしてください。
- 全ビット書込み時のみ本レジスタに直接書き込めます。
- 通常の読出しの場合、MSI2～MSI0 からは割込みマスクカウンタ値が読み出されます。

c) タイマ拡張制御レジスタ(TECCS)アクセス時

通常の読出しの場合、MSI5～MSI3 からは割込みマスクカウンタ値が読み出されます。

(2) フリーランタイムの動作上の注意

プログラムによる設定時

- ハードウェアリセットを実行した場合、カウント値が"0x00000000"にリセットされますが、0 検出割込みフラグはセットされません。
- タイマモードビット(タイマ状態制御レジスタ(TCCS)の MODE)には、バッファがあるため、0 検出後に、設定されたタイマモードが有効になります。
- タイマクリア(タイマ状態制御レジスタ(TCCS)の SCLR=1)はタイマを初期化しますが、0 検出割込みを生成しません。
- コンペアクリアレジスタ(CPCLR)値とカウント値が一致しているときにカウントを開始する場合は、コンペアクリアフラグはセットされません。
- コンペアクリアレジスタ(CPCLR)値は、0x00000000 以外の値となるように設定してください。仮に設定した場合は、以下の動作になるためご注意ください。
 - タイマモードビット(タイマ状態制御レジスタ(TCCS)の MODE)がアップカウントモード(MODE=0)のときは、カウント値が 0x00000000 に更新されてからカウント値は 0x00000000 固定となり、0 検出割込みフラグとコンペアクリアフラグがカウントクロックごとにセットされ続けます。
 - タイマカウントモードビット(タイマ状態制御レジスタ(TCCS)の MODE)がアップダウンカウントモード(MODE=1)のときは、カウント値は"0x00000000"から"0xFFFFFFFF"までのアップカウント動作が繰り返されます。0 検出割込みフラグとコンペアクリアフラグはカウント値が 0x00000000 と一致したときに"1"にセットされます。



CHAPTER 41: 32 ビットインプット キャプチャ

32 インプットキャプチャの機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ
5. 使用上の注意



1. 概要

32 ビットインプットキャプチャは、32 ビットフリーランタイムのタイム値から、入力パルス幅と外部クロックサイクルの測定を行います。

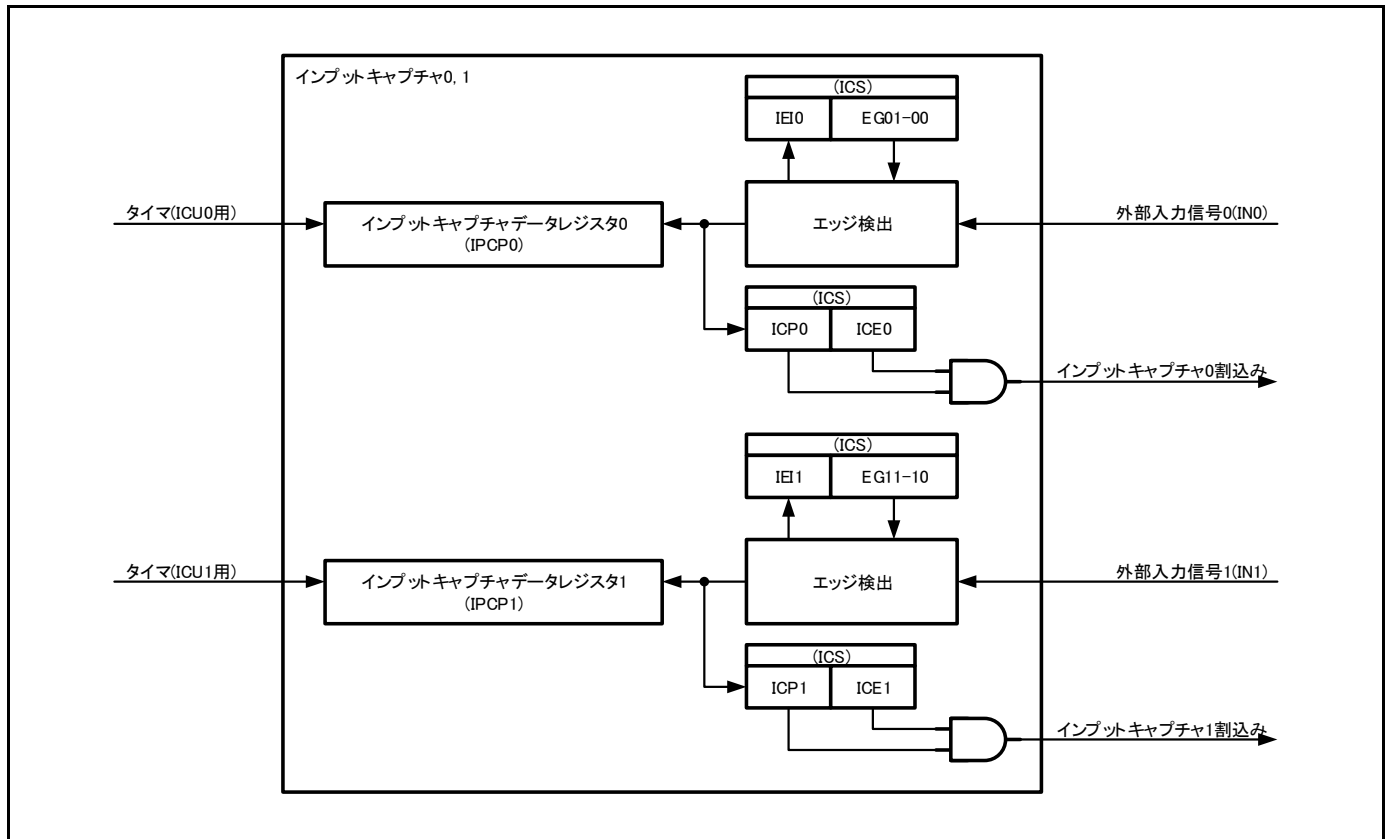
機能

- 2つのインプットキャプチャから構成されます。各チャネルを個別に動作させられます。
- インプットキャプチャは、各々独立した外部入力信号(IN0, IN1)と、各端子に対応するインプットキャプチャデータレジスタおよびインプットキャプチャ制御レジスタから構成されます。外部入力信号においてエッジ信号を検出した場合、フリーランタイムの値をインプットキャプチャデータレジスタへ格納し、また割込みも同時に生成されます。
- 外部入力信号は3種類のトリガエッジ(立上りエッジ、立下りエッジおよび両エッジ)から選択でき、トリガエッジが立上りエッジか立下りエッジかを示すレジスタがあります。
- 割込みは外部入力信号から有効エッジが検出されると生成されます。

2. 構成

32 ビットインプットキャプチャの構成図を示します。

図 2-1 32 ビットインプットキャプチャの構成図



<注意事項>

- フリーランタイムカウンタ出力と、外部入力信号の選択については、『I/O ポート』の章のリソース入力設定レジスタ(RIC_RESINn) (n=0~11)と、『APPENDIX』の章の「I/O ポートの各種設定」の「リソース入力選択」を参照してください。



3. 動作説明

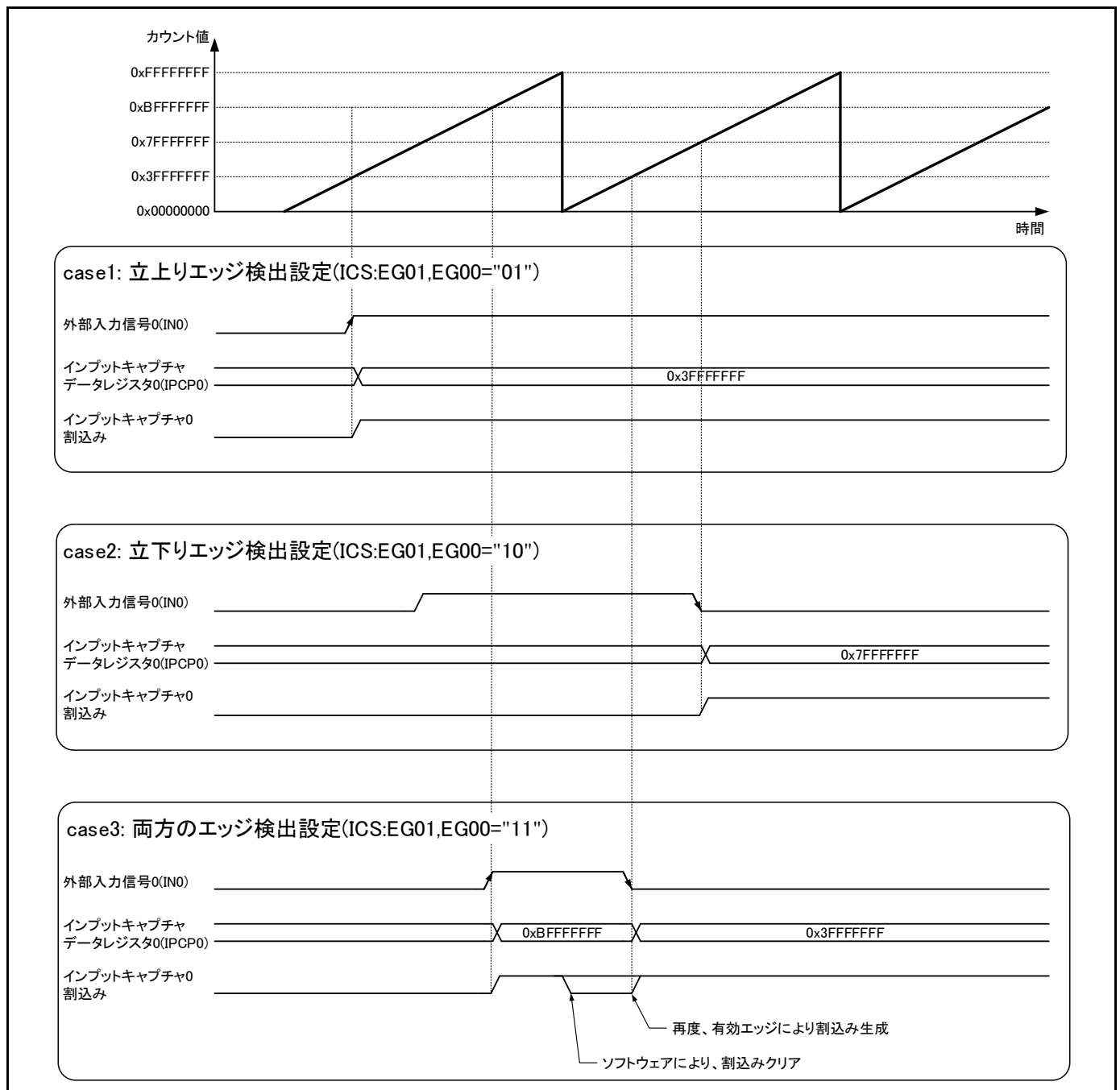
32 ビットインプットキャプチャの動作概要について説明します。

(1) 32 ビットインプットキャプチャの動作

32 ビットインプットキャプチャは、指定された有効なエッジを検出するために使用されます。有効なエッジが検出されると割込みフラグがセットされ、32 ビットフリーランタイムの値がインプットキャプチャデータレジスタへロードされます。

(2) インプットキャプチャの動作タイミング

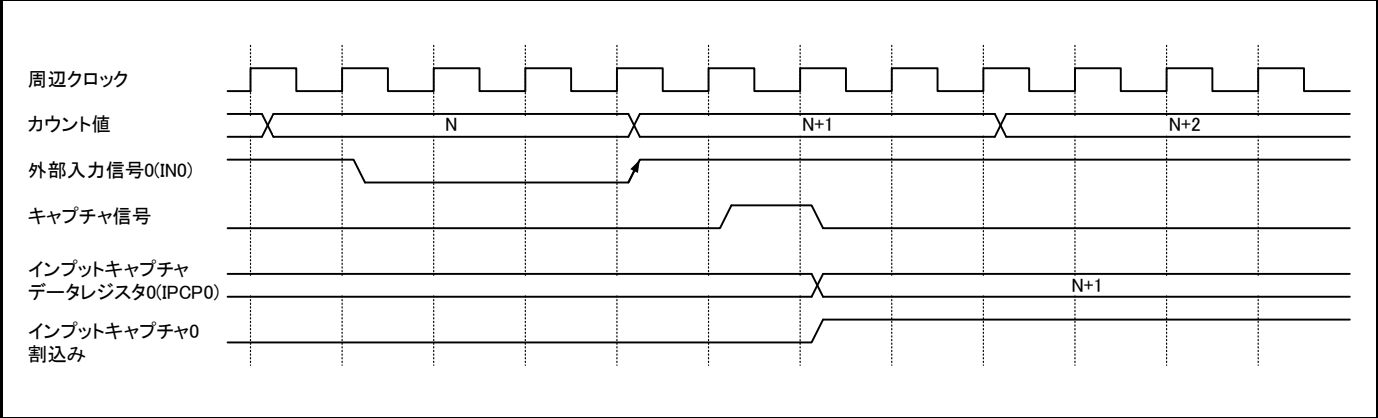
図 3-1 インプットキャプチャタイミング例





(3) インプットキャプチャ入力タイミング

図 3-2 入力信号に対するインプットキャプチャタイミング例





3.1. 割込み

32 ビットインプットキャプチャの割込みには、外部入力信号によるインプットキャプチャ割込みがあります。

インプットキャプチャ割込み

インプットキャプチャの割込み制御ビットと割込み要因を表 3-1 に示します。

表 3-1 インプットキャプチャ 1/0 の割込み制御ビットと割込み要因

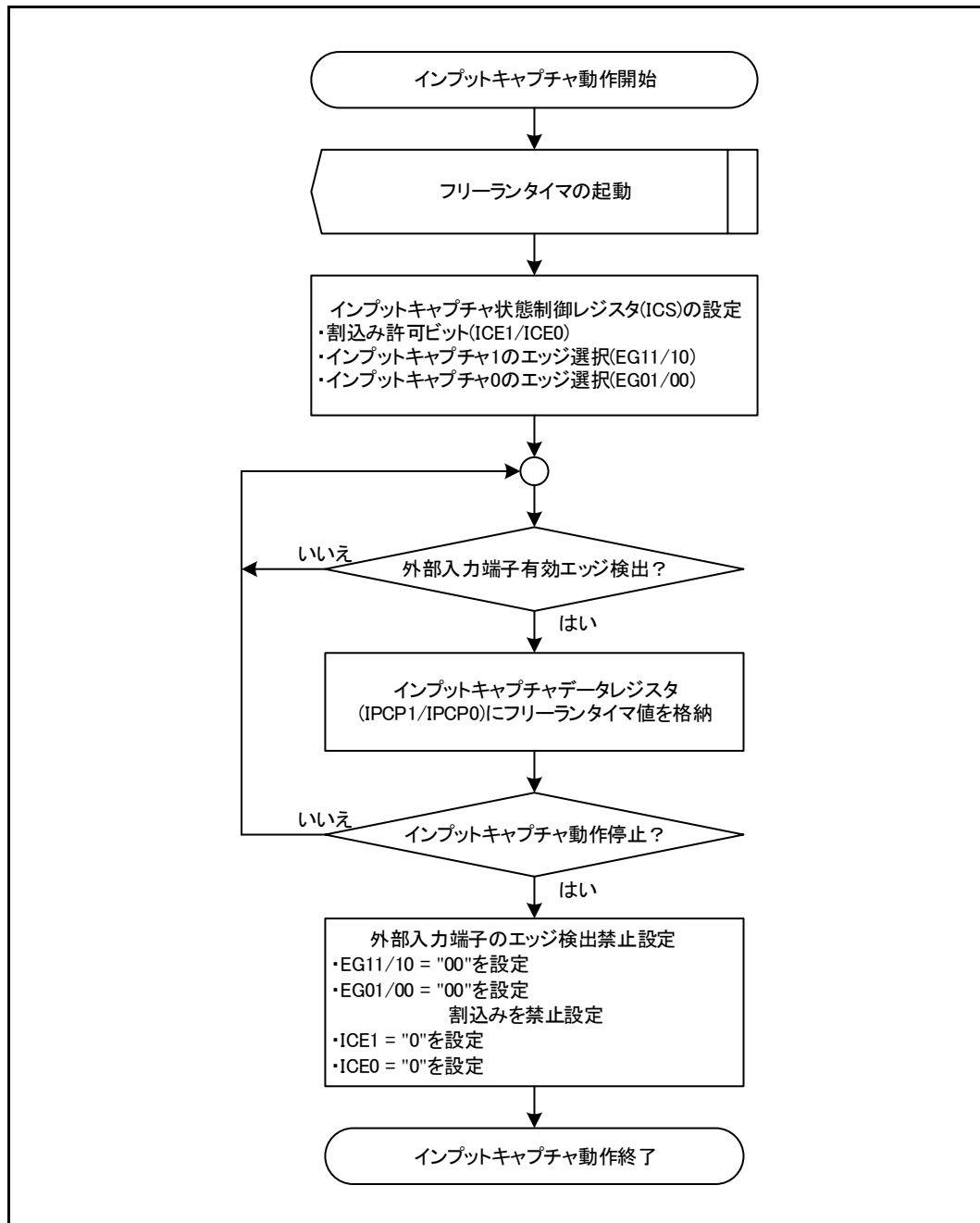
制御ビットおよび要因	インプットキャプチャ 1/0
割込み要求フラグビット	インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグビット(ICP1, ICP0)
割込み要求許可ビット	インプットキャプチャ状態制御レジスタ(ICS)の割込み要求許可ビット(ICE1, ICE0)
割込み要因	有効なエッジが外部入力信号(IN1, IN0)において検出される

有効なエッジが外部入力信号(IN1, IN0)において検出されると、インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグ(ICP1, ICP0)が"1"にセットされます。この状態において割込み要求が許可(インプットキャプチャ状態制御レジスタ(ICS)の ICE1, ICE0="0b11")に設定されると、割込み要求は割込みコントローラへ出力されます。

3.2. 設定手順例

32 ビットインプットキャプチャの設定手順例を示します。

図 3-3 32 ビットインプットキャプチャ動作設定手順例





4. レジスタ

32 ビットインプットキャプチャのレジスタ一覧を示します。

すべてのレジスタにはプレフィックス「ICUxx_」が付きます。xx はチャンネル番号(00, 02, 04)です。

表 4-1 32 ビットインプットキャプチャのレジスタ一覧

レジスタ略称	レジスタ名	参照先
IPCP0/IPCP1	インプットキャプチャデータレジスタ 0/1	4.1
ICS	インプットキャプチャ状態制御レジスタ	4.2
ICSC	インプットキャプチャ状態制御クリアレジスタ	4.3
ICSS	インプットキャプチャ状態制御セットレジスタ	4.4



4.1. インプットキャプチャデータレジスタ 0/1(IPCP0, IPCP1)

インプットキャプチャデータレジスタ 0/1(IPCP0, IPCP1)は、外部入力信号の有効エッジが検出されたときのフリーランタイムのカウント値を保持するために使います。

(1) インプットキャプチャデータレジスタ 0(IPCP0)

Bit	31-0
Field	CP
R/W 属性	R,WX
保護属性	-
初期値	XXXXXXXX_XXXXXXXX_XXXXXXXX_XXXXXXXX

[bit31:0] CP[31:0]: インプットキャプチャデータ値ビット

インプットキャプチャデータレジスタ 0(IPCP0)は、外部入力信号 IN0 信号の有効エッジが検出されたときのフリーランタイム値を格納するために使用されます。

説明中のフリーランタイムはインプットキャプチャに接続されているフリーランタイムの動作状態を示します。

<注意事項>

- レジスタへアクセスする場合は、ワードアクセス命令を使用してください。



(2) インプットキャプチャデータレジスタ 1(IPCP1)

Bit	31-0
Field	CP
R/W 属性	R,WX
保護属性	-
初期値	XXXXXXXX_XXXXXXXX_XXXXXXXX_XXXXXXXX

[bit31:0] CP[31:0]: インプットキャプチャデータ値ビット

インプットキャプチャデータレジスタ 1(IPCP1)は、外部入力信号 IN1 信号の有効エッジが検出されたときのフリーランタイム値を格納するために使用されます。

説明中のフリーランタイムはインプットキャプチャに接続されているフリーランタイムの動作状態を示します。

<注意事項>

- レジスタへアクセスする場合は、ワードアクセス命令を使用してください。

4.2. インプットキャプチャ状態制御レジスタ(ICS)

インプットキャプチャ状態制御レジスタ(ICS)は、エッジ選択、割込み要求許可、割込み要求フラグを制御するために使用されます。またインプットキャプチャ 0/1 において検出された有効なエッジを示すためにも使用されます。

本レジスタへの書込みについての詳細は、「5. 使用上の注意」を参照してください。

Bit	31-16
Field	Reserved
R/W 属性	R1,WX
保護属性	-
初期値	11111111_11111111

Bit	15	14	13	12	11	10	9	8
Field	Reserved						IEI1	IEI0
R/W 属性	R1,WX						R,WX	R,WX
保護属性	-							
初期値	111111						0	0

Bit	7	6	5	4	3	2	1	0
Field	ICP1	ICP0	ICE1	ICE0	EG1		EG0	
R/W 属性	R,W	R,W	R/W	R/W	R/W		R/W	
保護属性	-							
初期値	0	0	0	0	00		00	

[bit31:10] Reserved: 予約ビット

[bit9] IEI1: 有効エッジ指示ビット(インプットキャプチャ 1)

- インプットキャプチャデータレジスタ 1 の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。
- 立下りエッジが検出されると,"0"が設定されます。
- 立上りエッジが検出されると,"1"が設定されます。

bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

<注意事項>

- エッジ選択ビット(EG11, EG10)が"0b00"の場合、読出し値は意味がありません。
- エッジ選択ビット(EG11, EG10)が"0b00"以外の場合、割込み要求フラグ(ICP1)がセットされるときに更新されます。

[bit8] IEI0: 有効エッジ指示ビット(インプットキャプチャ 0)

- インプットキャプチャデータレジスタ 0 の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。
- 立下りエッジが検出されると,"0"が設定されます。
- 立上りエッジが検出されると,"1"が設定されます。



bit	説明
0	立下りエッジ検出
1	立上りエッジ検出

<注意事項>

- エッジ選択ビット(EG01, EG00)が"0b00"の場合、読出し値は意味がありません。
- エッジ選択ビット(EG01, EG00)が"0b00"以外の場合、割込み要求フラグ(ICP0)が"1"に設定されるときに更新されます。

[bit7] ICP1: 割込み要求フラグビット(インプットキャプチャ 1)

- インプットキャプチャ 1 の割込み要求フラグとして使用されます。
- 外部入力端子(IN1)に有効エッジが検出されると直ちに"1"が設定されます。
- 割込み要求許可ビット(ICE1)が"1"のとき、本ビットに"1"が設定されると、直ちに割込みを生成します。
- "0"を設定した場合、本ビットは"0"に設定されます。
- "1"を設定した場合、本ビットは影響を受けません。
- ICSC:ICPIC ビットに"1"を設定することによって、"0"にクリアされます。

bit	説明	
	読出し時	書込み時
0	有効エッジが検出されない	"0"にクリアされる
1	有効エッジが検出される	影響を受けない

[bit6] ICP0: 割込み要求フラグビット(インプットキャプチャ 0)

- インプットキャプチャ 0 の割込み要求フラグとして使用されます。
- 外部入力端子(IN0)に有効エッジが検出されると直ちに"1"が設定されます。
- 割込み要求許可ビット(ICE0)が"1"のとき、本ビットに"1"が設定されると、直ちに割込みを生成します。
- "0"を設定した場合、本ビットは"0"にクリアされます。
- "1"を設定した場合、本ビットは影響を受けません。
- ICSC:ICP0C ビットに"1"を設定することによって、"0"にクリアされます。

bit	説明	
	読出し時	書込み時
0	有効エッジが検出されない	"0"にクリアされる
1	有効エッジが検出される	影響を受けない

[bit5] ICE1: 割込み要求許可ビット(インプットキャプチャ 1)

- インプットキャプチャ 1 の割込み要求を許可するために使用されます。
- 本ビットが"1"のとき、割込み要求フラグビット(ICP1)が"1"に設定されると、インプットキャプチャ 1 割込みが生成されます。
- ICSC:ICE1C ビットに"1"を設定することによって、"0"に設定されます。
- ICSS:ICE1S ビットに"1"を設定することによって、"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit4] ICE0: 割込み要求許可ビット(インプットキャプチャ 0)

- インプットキャプチャ 0 の割込み要求を許可するために使用されます。
- 本ビットが"1"のとき、割込み要求フラグビット(ICP0)が"1"に設定されると、インプットキャプチャ 0 割込みが生成されます。



- ICSC:ICE0C ビットに"1"を設定することによって,"0"に設定されます。
- ICSS:ICE0S ビットに"1"を設定することによって,"1"に設定されます。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3:2] EG1[1:0]: エッジ選択ビット(インプットキャプチャ 1)

インプットキャプチャ 1 の動作を有効にするために使用し、外部入力信号(IN1)の有効エッジを指定します。

bit[3:2]	説明
00	エッジは検出されない(停止)
01	立上りエッジが検出される
10	立下りエッジが検出される
11	両方のエッジが検出される

[bit1:0] EG0[1:0]: エッジ選択ビット(インプットキャプチャ 0)

インプットキャプチャ 0 の動作を有効にするために使用し、外部入力信号(IN0)の有効エッジを指定します。

bit[1:0]	説明
00	エッジは検出されない(停止)
01	立上りエッジが検出される
10	立下りエッジが検出される
11	両方のエッジが検出される



4.3. インプットキャプチャ状態制御クリアレジスタ(ICSC)

インプットキャプチャ状態制御クリアレジスタ(ICSC)は、インプットキャプチャ状態制御レジスタ(ICS)のビットをクリアするレジスタです。

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	ICP1C	ICP0C	ICE1C	ICE0C	Reserved			
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit31:8] Reserved: 予約ビット

[bit7] ICP1C: ICP1 クリアビット

"1"が書き込まれた場合、インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグビット(インプットキャプチャ 1) (ICP1)が"0"に設定されます。

bit	説明
0	ICS:ICP1 ビットに影響を与えない
1	ICS:ICP1 ビットを"0"にクリア

[bit6] ICP0C: ICP0 クリアビット

"1"が書き込まれた場合、インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグビット(インプットキャプチャ 0) (ICP0)が"0"に設定されます。

bit	説明
0	ICS:ICP0 ビットに影響を与えない
1	ICS:ICP0 ビットを"0"にクリア

[bit5] ICE1C: ICE1 クリアビット

"1"が書き込まれた場合、インプットキャプチャ状態制御レジスタ(ICS)の割込み要求許可ビット(インプットキャプチャ 1) (ICE1)ICS:ICE1 ビットが"0"に設定されます。

bit	説明
0	ICS:ICE1 ビットに影響を与えない
1	ICS:ICE1 ビットを"0"にクリア



[bit4] ICE0C: ICE0 クリアビット

"1"が書き込まれた場合、インプットキャプチャ状態制御レジスタ(ICS)の割込み要求許可ビット(インプットキャプチャ 0) (ICE0)が"0"に設定されます。

bit	説明
0	ICS:ICE0 ビットに影響を与えない
1	ICS:ICE0 ビットを"0"にクリア

[bit3:0] Reserved: 予約ビット



4.4. インプットキャプチャ状態制御セットレジスタ(ICSS)

インプットキャプチャ状態制御セットレジスタ(ICSS)は、インプットキャプチャ状態制御レジスタ(ICS)のビットを"1"に設定するレジスタです。

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved		ICE1S	ICE0S	Reserved			
R/W 属性	R0,W0		R0,W	R0,W	R0,W0			
保護属性	-							
初期値	00		0	0	0000			

[bit31:6] Reserved: 予約ビット

[bit5] ICE1S: ICE1 セットビット

"1"が書き込まれた場合、インプットキャプチャ状態制御レジスタ(ICS)の割込み要求許可ビット(インプットキャプチャ 1) (ICE1)が"1"に設定されます。

bit	説明
0	ICS:ICE1 ビットに影響を与えない
1	ICS:ICE1 ビットを"1"に設定

[bit4] ICE0S: ICE0 セットビット

"1"が書き込まれた場合、インプットキャプチャ状態制御レジスタ(ICS)の割込み要求許可ビット(インプットキャプチャ 0) (ICE0)が"1"に設定されます。

bit	説明
0	ICS:ICE0 ビットに影響を与えない
1	ICS:ICE0 ビットを"1"に設定

[bit3:0] Reserved: 予約ビット

5. 使用上の注意

32 ビットインプットキャプチャの使用上の注意を以下に示します。

(1) レジスタアクセス時の注意

a) インプットキャプチャデータレジスタ 0/1(IPCP0, IPCP1)へのアクセス時

インプットキャプチャデータレジスタ 0/1(IPCP0, IPCP1)に対してはワードアクセス命令を使用してください。

b) インプットキャプチャ状態制御レジスタ(ICS)アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、インプットキャプチャ状態制御クリアレジスタ(ICSC)の該当ビットに"1"を書き込むことによってクリアしてください。
- 本レジスタの特定ビットをセットする際は、インプットキャプチャ状態制御セットレジスタ(ICSS)の該当ビットに"1"を書き込むことによってセットしてください。
- 全ビット書込み時のみ本レジスタに直接書込みができます。

c) 割込み処理時の注意

- インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグ(ICP1, ICP0)が"1"にセットされた後、割込みルーチンが処理されるまでの間に外部入力信号(IN0, IN1)のレベルが切り換わると、インプットキャプチャ状態制御レジスタ(ICS)の有効エッジ指示(IEI1, IEI0)は検出された最新のエッジを示します。

(2) インプットキャプチャの動作上の注意

キャプチャタイミングについて

インプットキャプチャは周辺クロックタイミングで動作するため、キャプチャ分解能は1周辺クロックです。またキャプチャデータはフリーランタイムのタイマカウンタ値なるため、分解能は1 タイマカウントです。





CHAPTER 42: FlexRay/RDC 専用クロック

FlexRay/RDC 専用クロックについて説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意

1. 概要

FlexRay/RDC 専用クロックの概要を説明します。

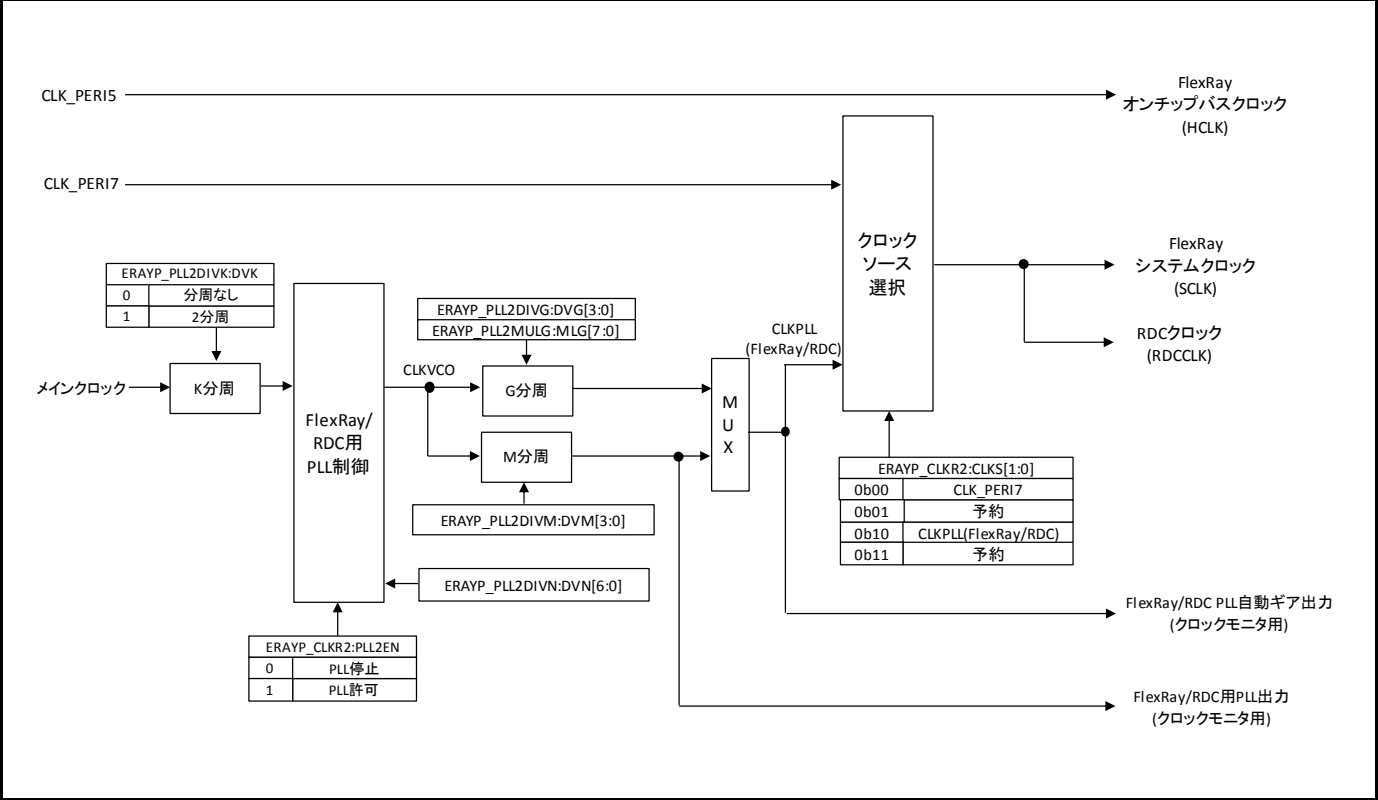
本品種は CPU コアのソースクロック用の PLL とは別に FlexRay/RDC 用の PLL を搭載しています。本モジュールは、FlexRay/RDC 用の PLL 発振制御とクロック制御を行います。下記の特長をもっています。

- 自由にプログラムできる PLL 通倍率
- 電圧降下および電圧サージを防ぐためのクロック自動ギアのアップダウン機能
- FlexRay システムクロック (SCLK) と RDC クロック (RDCCLK) のソース選択機能
- FlexRay/RDC 用 PLL マクロのデッドロック状態検出による割込み発生機能

2. 構成

FlexRay/RDC 専用クロックの構成を示します。

図 2-1 FlexRay/RDC 専用クロックの構成



3. 動作説明

FlexRay/RDC 専用クロックの動作説明をします。

(1) FlexRay/RDC 用 PLL 制御

初期化後、FlexRay/RDC 用 PLL 発振は停止します。停止中に FlexRay/RDC 用 PLL の出力はクロックソースとして選択できません。

プログラム開始後、まずクロックソースとして使用する FlexRay/RDC 用 PLL の乗数を設定し、FlexRay/RDC 用 PLL がロックされるまで待機してから、クロックソースを変更します。ロックされるまで 200 μ s 以上待ってください。FlexRay/RDC 用 PLL の出力がクロックソースとして選択されている場合は、FlexRay/RDC 用 PLL を停止できません。

レジスタへの書込みによる影響はありません。停止モードに変更する場合など、FlexRay/RDC 用 PLL を停止する場合は、まずクロックソースとして CLK_PERI7 を選択してから、FlexRay/RDC 用 PLL を停止してください。

(2) FlexRay/RDC 用 PLL 乗数

FlexRay/RDC 用 PLL 乗数設定を初期値以外の値に変更する場合、プログラム実行開始後、FlexRay/RDC 用 PLL を許可する前またはそれと同時に、これを設定してください。

乗数設定を変更した後、FlexRay/RDC 用 PLL ロック時間を待機してからクロックソースを切り換えます。

FlexRay/RDC 用 PLL がロックされるまで待機する場合は、メインクロックタイマ割込みを使用することを推奨します。

通常動作中の FlexRay/RDC 用 PLL 乗数設定を変更するためには、まずクロックソースを FlexRay/RDC 用 PLL 以外に変更してください。上記の場合と同様に、乗数設定を変更した後、FlexRay/RDC 用 PLL ロック時間を待機してからクロックソースを変更します。

(3) クロック自動ギアのアップダウン

クロックソースを発振から高周波数 PLL 出力(またはその逆)に切り換えるときに電圧の降下やサージを回避するために、FlexRay/RDC 用 PLL インタフェースにはクロックをスムーズにギアアップおよびギアダウンする回路が実装されています。

主な機能は、2つの分周カウンタ(M分周カウンタとG分周カウンタ)を使用して実装されています。M分周カウンタでは、PLL フィードバックにターゲットの周波数が指定されています。

もう一方のG分周カウンタでは、G分周設定(ERAYP_PLL2DIVG:DVG[3:0])で指定されているプログラマブルな分周から、M分周設定(ERAYP_PLL2DIVM:DVM[3:0])で指定されているターゲットの周波数に上昇し、M分周設定(ERAYP_PLL2DIVM:DVM[3:0])からプログラマブルな終了周波数(ERAYP_PLL2DIVG:DVG[3:0])まで周波数が低下します。

システムクロックを低周波数から高周波数に変えたり(ギアアップ)、高周波数から低周波数に変えたりする(ギアダウン)場合は、DVG[3:0]>DVM[3:0]設定のみが、有効なクロックギア仕様です。

周波数ステップは、以下のように PLL 出力周波数の通倍で実行されます。

発振器 4MHz、M=4、N=80(つまり、PLL 出力=320MHz、FlexRay/RDC への周波数出力=80MHz とすると、N=80 という周波数通倍になります)。

ギアデバイダは、任意の偶数デバイダに設定できます。

(4) FlexRay/RDC 用 PLL の CSV 制御

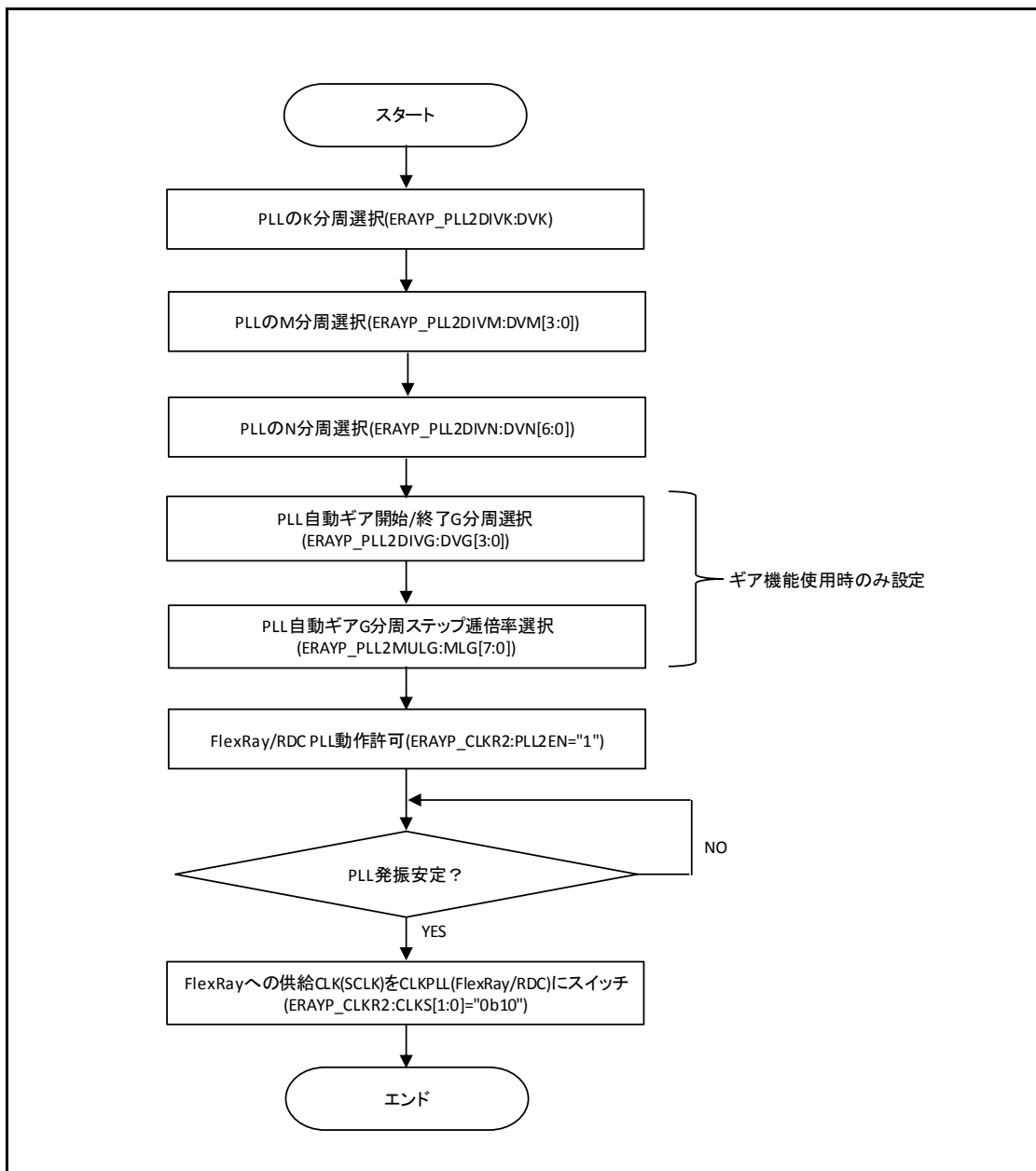
FlexRay/RDC 用 PLL の CSV 制御については『クロックスーパーバイザ』の章のサブシステム PLL クロックスーパーバイザの設定を参照してください。

4. 設定手順例

FlexRay/RDC 専用クロックの設定手順例を示します。

(1) クロック設定の手順

図 4-1 クロック設定手順



FlexRay/RDC PLL の安定待ちにはメインクロックタイマを使用してください。

＜注意事項＞

- クロックソースとして CLKPLL(FlexRay/RDC)を選択(ERAYP_CLKR2:CLKS[1:0]="0b10")後に ERAYP_PLL2DIVK, ERAYP_PLL2DIVM, ERAYP_PLL2DIVN, ERAYP_PLL2DIVG, ERAYP_PLL2MULG レジスタの値は変更できません。



(2) 推奨設定

表 4-1 推奨設定

メインクロック (MCLK) [MHz]	周波数パラメータ			FlexRay/RDC 用 PLL 出力(CLKVC0) [MHz]	FlexRay/RDC クロック (SCLK/RDCCLK) [MHz]
	DVK	DVM[3:0]	DVN[6:0]		
4	0	0b0011	0b100_1111	320	80
20	1	0b0011	0b001_1111	320	80

FlexRay/RDC を使用するときは、上記の表の値を設定することを推奨します。

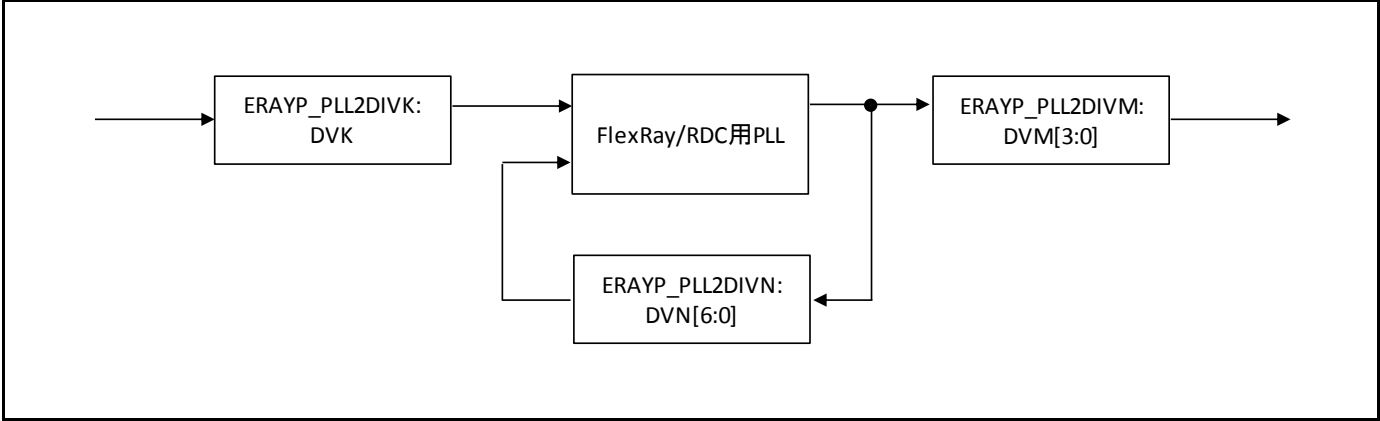
<注意事項>

- FlexRay/RDC 専用クロックは 80MHz に設定してください。

(3) 周波数計算

- FlexRay/RDC 用 PLL 入力周波数=(メインクロック周波数)/(ERAYP_PLL2DIVK:DVK 分周比)
- FlexRay/RDC 用 PLL 通倍率=(ERAYP_PLL2DIVN:DVN[6:0]通倍率)
- FlexRay/RDC 用 PLL 出力周波数=(FlexRay/RDC 用 PLL 入力クロック周波数)×FlexRay/RDC 用 PLL 通倍率
- FlexRay/RDC クロック周波数=(FlexRay/RDC 用 PLL マクロ発振クロック周波数)/(ERAYP_PLL2DIVM:DVM[3:0] 分周比)

図 4-2 FlexRay/RDC 専用クロックの構成



<注意事項>

- FlexRay/RDC 用 PLL マクロ発振クロック周波数は上限および下限があります。下記の範囲を超えないように PLL の通倍率を設定してください。
 $200\text{MHz} \leq \text{PLL マクロ発振クロック周波数} \leq 400\text{MHz}$

(4) クロック自動ギアの手順例

1. 選択した周波数とギア時間に従って FlexRay/RDC PLL インタフェースレジスタ (ERAYP_PLL2DIVN, ERAYP_PLL2DIVM, ERAYP_PLL2DIVG, ERAYP_PLL2MULG) を設定します。
2. FlexRay/RDC 用 PLL を ON にします (ERAYP_CLKR2:PLL2EN="1")。
3. ギアをアップまたはダウンに切り換えた後に割込みを受信した場合は、対応する割込み許可も許可します (ERAYP_PLL2CTRL:IEUP, ERAYP_PLL2CTRL:IEDN)。
4. PLL 安定待ち時間まで待機します。
5. クロックソースを CLKPLL (FlexRay/RDC) に切り換えます (ERAYP_CLKR2:CLKS[1:0]="0b00" → "0b10")。
6. クロックソースを CLK_PERI7 に戻す前に ERAYP_PLL2CTRL:GRUP まで待機するか、または ERAYP_CLKR2 レジスタ内のビットを変更する前に ERAYP_PLL2CTRL:GRUP="1" の設定を確認します。
7. クロックソースを CLK_PERI7 に切り換えます (ERAYP_CLKR2:CLKS[1:0]="0b10" → "0b00")。
8. クロックソースを CLKPLL (FlexRay/RDC) に戻す前に ERAYP_PLL2CTRL:GRDN ギアダウンフラグ (ポーリングまたは割込み) まで待機するか、または ERAYP_CLKR2 レジスタ内のビットを変更する前に ERAYP_PLL2CTRL:GRDN="1" の設定を確認します。
9. FlexRay/RDC 用 PLL を OFF にします (ERAYP_CLK2:PLL2EN="0")。

(5) クロック自動ギアアップダウンの設定例

ERAYP_PLL2DIVG:DVG[3:0]=4, ERAYP_PLL2MULG:MLG[7:0]=20 の場合、発振から PLL に切り換わるときに以下のギアアップが行われます。

1. ステップ:1 サイクルの 16.0 MHz (16.0 MHz は、20 サイクルの PLL 出力です)
 2. ステップ:2 サイクルの 16.8 MHz (16.8 MHz は、19 サイクルの PLL 出力です)
 3. ステップ:3 サイクルの 17.8 MHz (17.8 MHz は、18 サイクルの PLL 出力です)
 - :
 16. ステップ:16 サイクルの 64.0 MHz (64.0 MHz は、5 サイクルの PLL 出力です)
 17. ステップ:17 サイクルの 80.0 MHz (80.0 MHz は、4 サイクルの PLL 出力です)
 18. ステップ:18 サイクルの 106.7 MHz (106.7MHz は、3 サイクルの PLL 出力です)
 19. ステップ:19 サイクルの 160.0 MHz (160.0 MHz は、2 サイクルの PLL 出力です)
- 最終ステップへの遷移によって到達したターゲットの周波数 (ここでは 16. から 17.)

ギア逡倍率レジスタ内で逡倍値を設定すると、各ステップが逡倍されます。開始周波数を生成してからターゲットの周波数に達するまでの時間は、以下の式で計算できます。

$$duration = mul \cdot t \cdot \left[\sum_{k=1}^i k \cdot (i - k + 1) - \sum_{k=j+1}^i k \cdot (i - k + 1) \right]$$

この式は、以下の式と同じです(最初の和の項の有限の算術級数は、以下に帰着します)。

$$duration = mul \cdot t \cdot \left[\frac{i \cdot (i + 1) \cdot (i + 2)}{6} - \sum_{k=j+1}^i k \cdot (i - k + 1) \right]$$

i=G, j=G-M, mul=MULG, t=1/f(PLLOUT)

上記の設定では、開始周波数からターゲット周波数までの時間が 9262500ps(約 9.3μs)である 1483PLL 出力クロックサイクルと同じです。



5. レジスタ

FlexRay/RDC 専用クロックのレジスタ一覧を示します。

表 5-1 FlexRay/RDC 専用クロックのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ERAYP_CSVR	FlexRay/RDC 用 PLL の CSV 制御レジスタ	5.1
ERAYP_PLL2DIVM	FlexRay/RDC PLL 分周(M 分周) 選択レジスタ	5.2
ERAYP_PLL2DIVN	FlexRay/RDC PLL 通倍率(N 分周) 選択レジスタ	5.3
ERAYP_PLL2DIVG	FlexRay/RDC PLL 自動ギア通倍率(G 分周) 選択レジスタ	5.4
ERAYP_PLL2MULG	FlexRay/RDC PLL G 分周ステップ通倍率選択レジスタ	5.5
ERAYP_PLL2CTRL	自動ギアコントロールレジスタ	5.6
ERAYP_PLL2DIVK	FlexRay/RDC PLL 通倍率(K 分周) 選択レジスタ	5.7
ERAYP_CLKR2	FlexRay/RDC PLL クロック出力コントロールレジスタ	5.8
ERAYP_PLL2CTRLF	自動ギアコントロールフラグレジスタ	5.9
ERAYP_CLKR2F	FlexRay/RDC PLL クロック出力コントロールフラグレジスタ	5.10
ERAYP_PLL2CTRLC	自動ギアコントロールクリアレジスタ	5.11
ERAYP_CLKR2C	FlexRay/RDC PLL クロック出力コントロールクリアレジスタ	5.12



5.1. FlexRay/RDC 用 PLL の CSV 制御レジスタ(ERAYP_CSVR)

FlexRay/RDC 用 PLL の CSV の ON/OFF 制御と、異常検出した際の NMI/リセット発生を選択できます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved						CSVSEL	CSVEN
R/W 属性	R0,WX						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit7:2] Reserved: 予約ビット

[bit1] CSVSEL: CSV 異常検出セレクト

FlexRay/RDC 用 PLL の異常検出時に NMI を発生させるか、リセットを発生させるかを選択できます。

bit	説明
0	異常検出時に NMI を発生させる(初期値)
1	異常検出時にリセットを発生させる

[bit0] CSVEN: CSV イネーブル

FlexRay/RDC 用 PLL の CSV 機能の有効無効を選択できます。

bit	説明
0	FlexRay/RDC 用 PLL の CSV 機能無効(初期値)
1	FlexRay/RDC 用 PLL の CSV 機能有効



5.2. FlexRay/RDC PLL 分周(M 分周) 選択レジスタ(ERAYP_PLL2DIVM)

FlexRay/RDC PLL クロックの分周を選択します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				DVM			
R/W 属性	R0,WX				R/W			
保護属性	-							
初期値	0000				0000			

[bit7:4] Reserved: 予約ビット

[bit3:0] DVM[3:0]: CLKVCO M 分周選択

bit[3:0]	説明
0000	CLKVCO(分周なし) (初期値)
0001	CLKVCO 2 分周
0010	CLKVCO 3 分周
0011	CLKVCO 4 分周
0100	CLKVCO 5 分周
0101	CLKVCO 6 分周
0110	CLKVCO 7 分周
0111	CLKVCO 8 分周
...	...
1111	CLKVCO 16 分周

<注意事項>

- M 分周カウンタに対して分周なしを選択できますが、これは推奨値ではありません。生成される出力クロックは、奇数のクロックデューティ比です (PLL 直接出力)。“1”以上の分周比および偶数の分周比(2, 4, 6 など)を常に選択してください。
- M 分周カウンタに対して奇数の分周比(3, 5, 7 など)を選択できますが、これは推奨値ではありません。生成される出力クロックは、奇数のクロックデューティ比です。偶数の分周比(2, 4, 6 など)を常に選択してください。
- クロックソースとしてCLKPLL(FlexRay/RDC)を選択する(ERAYP_CLKR2:CLKS[1:0]="0b10")と、レジスタ値は変更できません。
- ERAYP_PLL2DIVM および ERAYP_PLL2DIVN レジスタを変更する場合は、PLL を停止 (ERAYP_CLKR2:PLL2EN="0")した後に PLL を許可する(ERAYP_CLKR2:PLL2EN="1") ことを推奨します。

5.3. FlexRay/RDC PLL 通倍率(N 分周) 選択レジスタ(ERAYP_PLL2DIVN)

PLL 入力クロックから FlexRay/RDC PLL クロックへの通倍率を選択します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	DVN						
R/W 属性	R0,WX	R/W						
保護属性	-							
初期値	0	0000000						

[bit7] Reserved: 予約ビット

[bit6:0] DVN[6:0]: メインクロック N 分周選択

bit[6:0]	説明
000_0000	メインクロック(分周なし)(初期値)
000_0001	メインクロック 2 分周
000_0010	メインクロック 3 分周
000_0011	メインクロック 4 分周
000_0100	メインクロック 5 分周
000_0101	メインクロック 6 分周
000_0110	メインクロック 7 分周
000_0111	メインクロック 8 分周
...	...
111_1111	メインクロック 128 分周

<注意事項>

- クロックソースとしてCLKPLL(FlexRay/RDC)を選択する(ERAYP_CLKR2:CLKS[1:0]="0b10")と、レジスタ値は変更できません。
- ERAYP_PLL2DIVM およびERAYP_PLL2DIVN レジスタを変更する場合は、FlexRay/RDC 用 PLL を停止(ERAYP_CLKR2:PLL2EN="0")した後に FlexRay/RDC 用 PLL を許可(ERAYP_CLKR2:PLL2EN="1")することを推奨します。



5.4. FlexRay/RDC PLL 自動ギア逡倍率(G 分周) 選択レジスタ(ERAYP_PLL2DIVG)

FlexRay/RDC PLL クロックのギア逡倍率を選択します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				DVG			
R/W 属性	R0,WX				R/W			
保護属性	-							
初期値	0000				0000			

[bit7:4] Reserved: 予約ビット

[bit3:0] DVG[3:0]: PLL 自動ギア開始/終了 G 分周選択

bit[3:0]	説明
0000	自動ギア禁止(初期値)
0001	CLKVCO 2 分周
0010	CLKVCO 3 分周
0011	CLKVCO 4 分周
0100	CLKVCO 5 分周
0101	CLKVCO 6 分周
0110	CLKVCO 7 分周
0111	CLKVCO 8 分周
...	...
1111	CLKVCO 16 分周

<注意事項>

- この機能の使用方法的詳細については、「3. 動作説明」の「(3) クロック自動ギアのアップダウン」を参照してください。
- G 分周カウンタに対して奇数の分周比(3, 5, 7 など)を選択できますが、これは推奨値ではありません。偶数の分周比(2, 4, 6 など)を常に選択してください。
- クロックソースとしてCLKPLL(FlexRay/RDC)を選択する(ERAYP_CLKR2:CLKS[1:0]="0b10")と、レジスタ値は変更できません。

5.5. FlexRay/RDC PLL G 分周ステップ通倍率選択レジスタ(ERAYP_PLL2MULG)

自動ギアのステップ通倍率を選択します。

Bit	7	6	5	4	3	2	1	0
Field	MLG							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit7:0] MLG[7:0]: PLL 自動ギア G 分周ステップ通倍率選択

bit[7:0]	説明
0000_0000	G 分周ステップ×1(初期値)
0000_0001	G 分周ステップ×2
0000_0010	G 分周ステップ×3
0000_0011	G 分周ステップ×4
0000_0100	G 分周ステップ×5
0000_0101	G 分周ステップ×6
0000_0110	G 分周ステップ×7
0000_0111	G 分周ステップ×8
...	...
1111_1111	G 分周ステップ×256

<注意事項>

- この機能の使用方法の詳細については、「(5) クロック自動ギアアップダウンの設定例」を参照してください。
- クロックソースとしてCLKPLL(FlexRay/RDC)を選択する(ERAYP_CLKR2:CLKS[1:0]="0b10")と、レジスタ値は変更できません。



5.6. 自動ギアコントロールレジスタ(ERAYP_PLL2CTRL)

自動ギアの動作制御を設定します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				IEDN	Reserved	IEUP	Reserved
R/W 属性	R0,WX				R/W	R0,WX	R/W	R0,WX
保護属性	-							
初期値	0000				0	0	0	0

[bit7:4] Reserved: 予約ビット

[bit3] IEDN: 割込み許可ギアダウン

bit	説明
0	ギアダウン割込み禁止(初期値)
1	ギアダウン割込み許可

ギアをダウンに切り換えた後に割込みを受信したい場合、割込み許可設定を行ってください。

[bit2] Reserved: 予約ビット

[bit1] IEUP: 割込み許可ギアアップ

bit	説明
0	ギアアップ割込み禁止(初期値)
1	ギアアップ割込み許可

ギアをアップに切り換えた後に割込みを受信したい場合、割込み許可設定を行ってください。

[bit0] Reserved: 予約ビット



5.7. FlexRay/RDC PLL 通倍率(K 分周) 選択レジスタ(ERAYP_PLL2DIVK)

FlexRay/RDC PLL クロックの分周選択を行います。

Bit	7	6	5	4	3	2	1	0
Field	Reserved							DVK
R/W 属性	R0,WX							R/W
保護属性	-							
初期値	0000000							0

[bit7:1] Reserved: 予約ビット

[bit0] DVK: メインクロック K 分周選択

FlexRay/RDC PLL 入力クロックのメインクロック分周を以下に示すように選択します。

bit	説明
0	メインクロック(分周なし)(初期値)
1	メインクロック 2 分周

<注意事項>

- クロックソースとしてCLKPLL(FlexRay/RDC)を選択する(ERAYP_CLKR2:CLKS[1:0]="0b10")と、レジスタ値は変更できません。
- FlexRay/RDC PLL 入力クロックのメインクロックを20MHzに設定する場合、本ビットを"1"に設定してください。設定例に関しては「4.設定手順例」を参照してください。



5.8. FlexRay/RDC PLL クロック出力コントロールレジスタ(ERAYP_CLKR2)

FlexRay/RDC の動作制御を設定します。

Bit	7	6	5	4	3	2	1	0
Field	FPOVF	Reserved	FPOVIE	Reserved	Reserved	PLL2EN	CLKS	
R/W 属性	R,WX	R0,WX	R/W	R0,W0	R/W0	R/W	R/W	
保護属性	-							
初期値	0	0	0	0	0	0	00	

[bit7] FPOVF: FlexRay/RDC 用 PLL アラームフラグ

FlexRay/RDC 用 PLL マクロがデッドロック状態を検出したことを示すフラグです。

bit	説明
0	通常ロック状態(初期値)
1	デッドロック状態

[bit6] Reserved: 予約ビット

[bit5] FPOVIE: FlexRay/RDC 用 PLL アラーム割込み要求許可

FlexRay/RDC 用 PLL アラーム割込み要求フラグビットが"1"になったとき, FlexRay/RDC 用 PLL アラーム割込み要求を発生させるかを設定します。

bit	説明
0	割込み要求禁止(初期値)
1	割込み要求許可

[bit4] Reserved: 予約ビット

[bit3] Reserved: 予約ビット

[bit2] PLL2EN: FlexRay/RDC 用 PLL 選択許可

FlexRay/RDC 用 PLL の動作を以下のように設定します。

bit	説明
0	FlexRay/RDC PLL 停止(初期値)
1	FlexRay/RDC PLL 動作許可

CLKPLL(FlexRay/RDC)がクロックソースとして選択されている(CLKS[1:0]="0b10") ときに FlexRay/RDC PLL 動作許可ビット(PLL2EN)を変更することは禁止されています。



[bit1:0] CLKS[1:0]: SCLK 出力選択

FlexRay/RDC PLL インタフェースから出力される SCLK, RDCCLK の選択を以下のように設定します。

bit[1:0]	説明
00	CLK_PERI7 (初期値)
01	予約
10	CLKPLL(FlexRay/RDC)
11	予約

FlexRay/RDC を使用する場合は, CLKS[1:0]="0b10"に設定してください。

<注意事項>

- SCLK 出力選択ビット(CLK[1:0])は FlexRay/RDC 用 PLL 選択許可ビット(PLL2EN)が"1"のときのみ書込み可能です。



5.9. 自動ギアコントロールフラグレジスタ(ERAYP_PLL2CTRLF)

ギアアップ割込みフラグとギアダウン割込みフラグを示します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved					GRDN	Reserved	GRUP
R/W 属性	R0,WX					R,WX	R0,WX	R,WX
保護属性	-							
初期値	00000					0	0	0

[bit7:3] Reserved: 予約ビット

[bit2] GRDN: 割込みフラグギアダウン

bit	説明
0	ギアダウン割込み非アクティブ(初期値)
1	ギアダウン割込みアクティブ

G 分周カウンタがプログラムされた終了値に達すると、クロックソースが CLKPLL(FlexRay/RDC)から CLK_PERI7 に切り換わるときにこのフラグが設定されます。

[bit1] Reserved: 予約ビット

[bit0] GRUP: 割込みフラグギアアップ

bit	説明
0	ギアアップ割込み非アクティブ(初期値)
1	ギアアップ割込みアクティブ

G 分周カウンタが M 分周カウンタで定義されている終了値に達すると、クロックソースが CLK_PERI7 から CLKPLL(FlexRay/RDC)に切り換わるときにこのフラグが設定されます。



5.10. FlexRay/RDC PLL クロック出力コントロールフラグレジスタ
(ERAYP_CLKR2F)

FlexRay/RDC 用 PLL アラーム割込み要求フラグを示します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	FPOVIR	Reserved					
R/W 属性	R0,WX	R,WX	R0,WX					
保護属性	-							
初期値	0	0	000000					

[bit7] Reserved: 予約ビット

[bit6] FPOVIR: FlexRay/RDC 用 PLL アラーム割込み要求フラグ

- FlexRay/RDC 用 PLL マクロのアラーム割込み要求を示すフラグです。
- 本ビットが"1"かつFlexRay/RDC用PLLアラーム割込み要求(FPOVIE)が"1"のとき, FlexRay/RDC用PLLアラーム割込みを発生します。

bit	説明
0	通常ロック状態(初期値)
1	デッドロック状態

[bit5:0] Reserved: 予約ビット



5.11. 自動ギアコントロールクリアレジスタ (ERAYP_PLL2CTRLC)

自動ギアコントロールレジスタのビットをクリアします。

Bit	7	6	5	4	3	2	1	0
Field	Reserved					GRDNC	Reserved	GRUPC
R/W 属性	R0,W0					R0,W	R0,W0	R0,W
保護属性	-							
初期値	00000					0	0	0

[bit7:3] Reserved: 予約ビット

[bit2] GRDNC: 割込みフラグギアダウンクリア

"1"書き込み時, ERAYP_PLL2CTRL レジスタの GRDN ビットが"0"にクリアされます。

bit	説明
0	割込みフラグギアダウンをクリアしません
1	割込みフラグギアダウンをクリアします

[bit1] Reserved: 予約ビット

[bit0] GRUPC: 割込みフラグギアアップクリア

"1"書き込み時, ERAYP_PLL2CTRL レジスタの GRUP ビットが"0"にクリアされます。

bit	説明
0	割込みフラグギアアップをクリアしません
1	割込みフラグギアアップをクリアします



5.12. FlexRay/RDC PLL クロック出力コントロールクリアレジスタ
(ERAYP_CLKR2C)

FlexRay/RDC PLL クロック出力コントロールレジスタのビットをクリアします。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	FPOVIRC	Reserved					
R/W 属性	R0,W0	R0,W	R0,W0					
保護属性	-							
初期値	0	0	000000					

[bit7] Reserved: 予約ビット

[bit6] FPOVIRC: FlexRay/RDC 用 PLL アラーム割込み要求フラグクリア

"1"書き込み時, ERAYP_CLKR2 レジスタの FPOVIR ビットがクリアされます。

bit	説明
0	FlexRay/RDC 用 PLL アラーム割込み要求フラグをクリアしません
1	FlexRay/RDC 用 PLL アラーム割込み要求フラグをクリアします

[bit5:0] Reserved: 予約ビット



6. 使用上の注意

FlexRay/RDC 専用クロックの使用上の注意を説明します。

(1) クロック

FlexRay を設定するときは CLK_PERI7 を止めないでください。

(2) クロック自動ギア

クロック自動ギア機能を使用する場合は、ギアアップおよびギアダウンのフラグ(ERAYP_PLL2CTRL:GRUP, ERAYP_PLL2CTRL:GRDN)を使用して、この機能の現在の状態を確認することを推奨します。これにより、完了前の設定変更によって発生するクロックシステム内での誤作動を防げます。

CHAPTER 43: クロックモニタ

クロックモニタの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ
5. 使用上の注意



1. 概要

クロックモニタの概要について説明します。

クロックモニタは、内部のクロック信号を外部の端子に出力するマクロです。クロックモニタには端子に出力する前にクロック信号を分周する機能があり、外部回路がMCU機能と同期する際にクロック信号を使用できます。

クロックモニタの特長

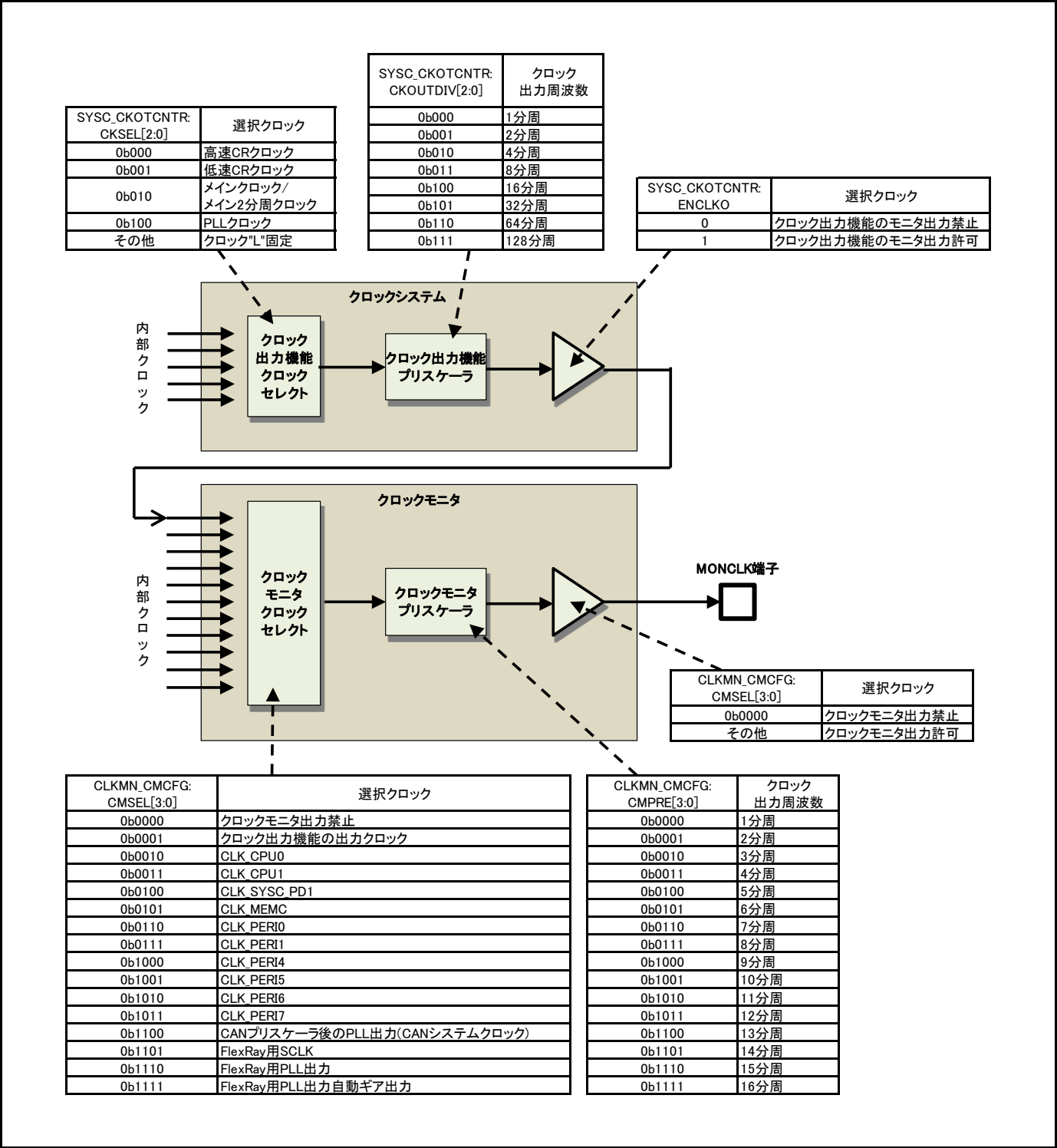
クロックモニタの特長を以下に示します。

- フォーマット：内部クロック信号を分周して端子に出力(MONCLK)
- チャネル：1
- 分周：CLK/1～CLK/16
- 高速CRクロック，低速CRクロック，メインクロック/メイン2分周クロック，PLLクロックは，2, 4, 8, 16, 32, 64, 128 分周を別途設定可能
- グリッチのない出力を可能とする
- プログラム可能なマークレベル(クロック出力を許可する前に"L"または"H"を出力)
- 割込み：なし
- ストップモード時はクロック出力を停止し，ハイインピーダンス状態になる

2. 構成

クロックモニタの構成を示します。

図 2-1 クロックモニタ構成図





3. 動作説明

クロックモニタの動作について説明します。

図 3-1 クロック出力機能

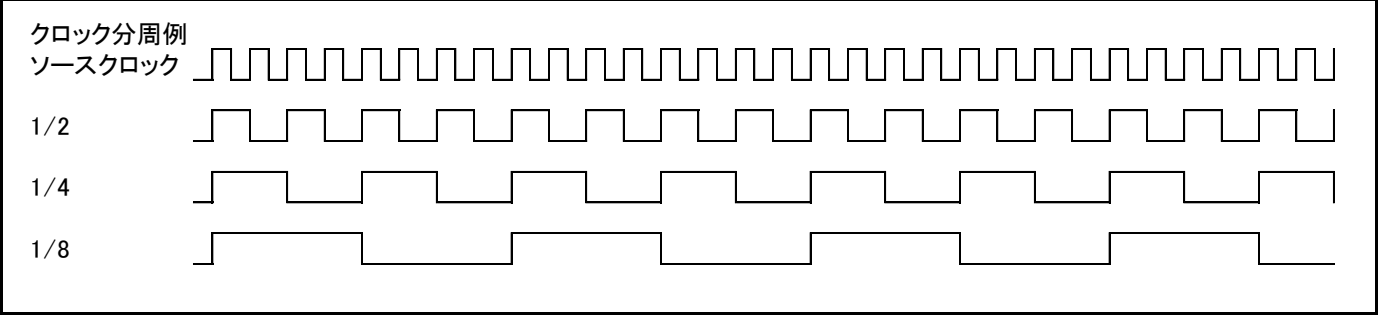
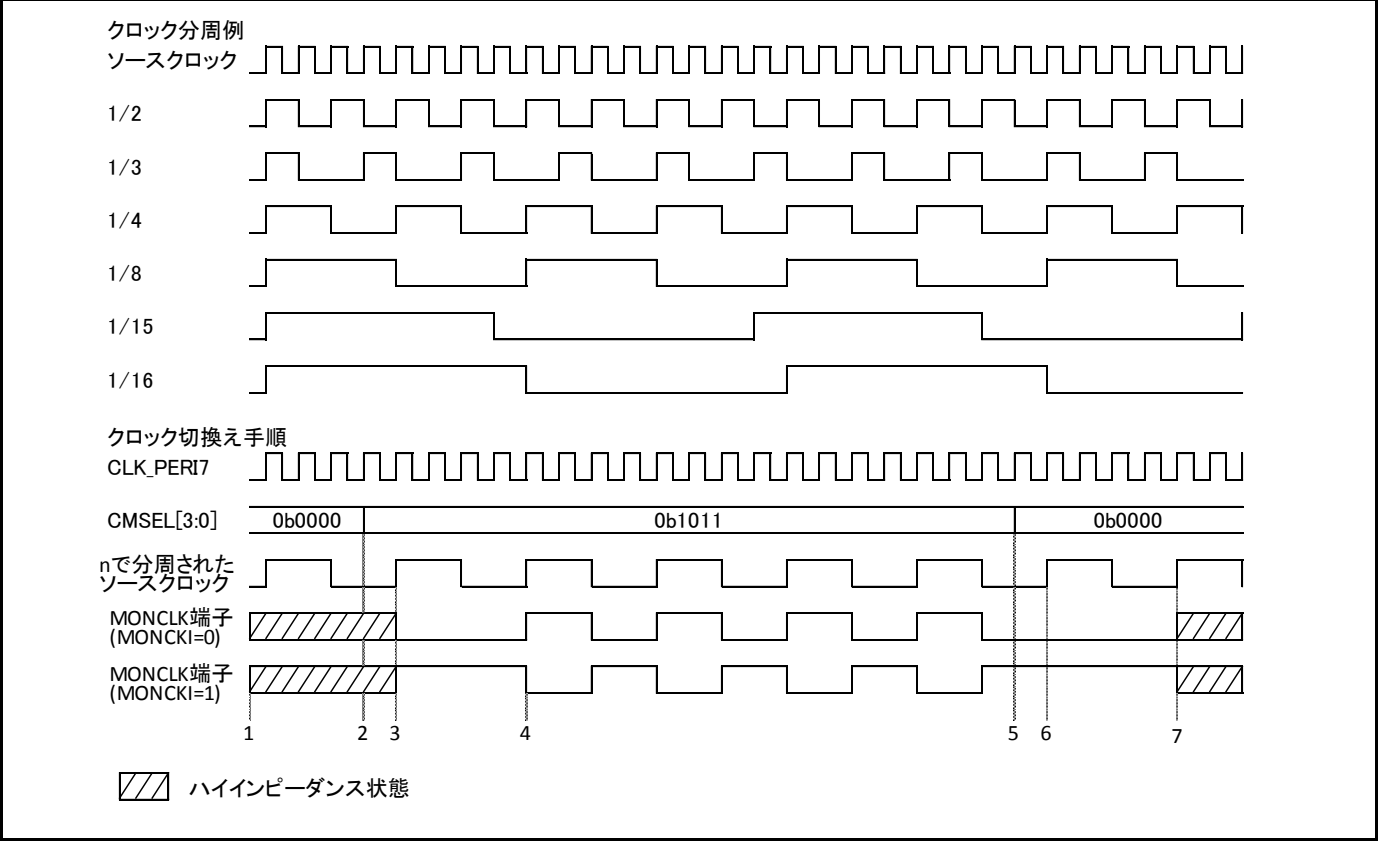


図 3-2 クロックモニタ



1. MONCLK 端子がハイインピーダンス状態です。
2. CMSEL[3:0] ビットが 0b0000(選択クロックなし)から選択クロック(プリスケアラ)に設定されます。
3. MONCLK 端子は、内部(プリスケールされた) クロックの 1 周期の間、出力"L"ステータス(MONCKI ビットが"1"に設定されている場合は出力"H")に変わります。
4. 選択(プリスケアラ) 内部クロックの 1 周期後、MONCLK はその選択(プリスケアラ) 内部クロックを出力します。
5. CMSEL[3:0]ビットが選択クロックから 0b0000(選択クロックなし)に設定されます。
6. MONCLK 端子は、内部(プリスケールされた) クロック 1 周期の間、出力"L"ステータス(MONCKI ビットが"1"に設定されている場合は出力"H")に変わります。
7. MONCLK 端子がハイインピーダンス状態に切り換わります。



4. レジスタ

クロックモニタのレジスタ一覧を示します。

表 4-1 クロックモニタのレジスタ一覧

レジスタ略称	レジスタ名	参照先
CLKMN_CMCFG	クロックモニタ制御レジスタ	4.1
CLKMN_CSCFG	クロック制御レジスタ	4.2

クロック出力機能の設定については『クロックシステム』の章の「クロック出力機能制御レジスタ (SYSC_CKOTCNTR)」を参照してください。



4.1. クロックモニタ制御レジスタ(CLKMN_CMCFG)

モニタするクロックの選択とそのクロックの分周設定をします。

Bit	7	6	5	4	3	2	1	0
Field	CMPRE				CMSEL			
R/W 属性	R/W				R/W			
保護属性	-							
初期値	0000				0000			

[bit7:4] CMPRE[3:0]: クロックモニタ出力周波数プリスケラビット

クロックモニタ端子に対するクロック信号の出力周波数を指定します。

bit[7:4]	説明
0000	1 分周のソースクロック(CMSEL による選択) (初期値)
0001	2 分周のソースクロック(CMSEL による選択)
0010	3 分周のソースクロック(CMSEL による選択)
0011	4 分周のソースクロック(CMSEL による選択)
0100	5 分周のソースクロック(CMSEL による選択)
0101	6 分周のソースクロック(CMSEL による選択)
0110	7 分周のソースクロック(CMSEL による選択)
0111	8 分周のソースクロック(CMSEL による選択)
1000	9 分周のソースクロック(CMSEL による選択)
1001	10 分周のソースクロック(CMSEL による選択)
1010	11 分周のソースクロック(CMSEL による選択)
1011	12 分周のソースクロック(CMSEL による選択)
1100	13 分周のソースクロック(CMSEL による選択)
1101	14 分周のソースクロック(CMSEL による選択)
1110	15 分周のソースクロック(CMSEL による選択)
1111	16 分周のソースクロック(CMSEL による選択)

[bit3:0] CMSEL[3:0] : クロックモニタ出力ソースクロック選択ビット

bit[3:0]	説明
0000	MONCLK 出力禁止(ハイインピーダンス) (初期値)
0001	クロック出力機能の出力クロック
0010	CLK_CPU0
0011	CLK_CPU1
0100	CLK_SYSC_PD1
0101	CLK_MEMC
0110	CLK_PERI0
0111	CLK_PERI1
1000	CLK_PERI4
1001	CLK_PERI5
1010	CLK_PERI6
1011	CLK_PERI7
1100	CAN ブリスケーラ後の PLL 出力(CAN システムクロック)
1101	FlexRay 用 SCLK
1110	FlexRay 用 PLL 出力
1111	FlexRay 用 PLL 自動ギア出力

<注意事項>

- このレジスタを書き換える際には制限事項があります。「5. 使用上の注意」を参照してください。



4.2. クロック制御レジスタ (CLKMN_CSCFG)

クロックモニタ端子のマークレベルを設定します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved	Reserved	Reserved	MONCKI	Reserved			
R/W 属性	R/W0	R0,WX	R/W0	R/W	R/W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit15] Reserved: 予約ビット

[bit14] Reserved: 予約ビット

[bit13] Reserved: 予約ビット

[bit12] MONCKI: クロックモニタ MONCLK インバータ

bit	説明
0	MONCLK マークレベルが低レベル(初期値)
1	MONCLK マークレベルが高レベル

[bit11:8] Reserved: 予約ビット

<注意事項>

- このレジスタを書き換える際には制限事項があります。「5. 使用上の注意」を参照してください。

5. 使用上の注意

クロックモニタの使用上の注意を説明します。

グリッチフリースイッチングのために、クロックソース(CMSEL[3:0]) またはプリスケアラ比(CMPRE[3:0]) を変えるとき、以下の手順に従って操作してください。

- CMPRE[3:0]ビットは、CMSEL[3:0]ビットが"0b0000"のときのみ書き込めます。
- CMPRE[3:0]ビットは、同じ書込み時にCMSEL[3:0]ビットに"0b0000"が書き込まれたときのみ書き込めます。
- CLKMN_CMCFG:CMSEL[3:0] 設定後、モニタクロック分周の2サイクル以内はCLKMN_CMCFG:CMPRE[3:0]とCLKMN_CSCFG:MONCKIを書き換えしないでください。
- クロックソースとして何か選択されている状態(CMSEL[3:0]が"0b0000"以外)から、別の有効なクロックを選択する場合は、1度CMSEL[3:0]を"0b0000"に書き換え、CMSEL[3:0]を読み返して"0b0000"になっていることを確認してから、CMSEL[3:0]に目的のクロックの設定値を書き込んでください。
- モニタクロックとして選択したクロックがモニタ中に停止した場合は、再度その選択したクロックが動き始めるか、リセットされるまでは、どのレジスタを書き換えても反映されません。

(アクセス例)

1. アクセス

CLKMN_CMCFG:CMSEL[3:0]=0b0000

CLKMN_CMCFG:CMPRE[3:0]=プリスケアラ

2. アクセス

CLKMN_CMCFG:CMSEL[3:0]=クロック

CLKMN_CSCFG:MONCKI フラグも上記と同様に、CMSEL[3:0]が"0b0000"のときのみ書き込めます。

モニタ出力可能な周波数は50MHzまでです。それ以上の周波数のクロックをモニタする場合は必ず分周して使用してください。





CHAPTER 44: FlexRay コントローラ

FlexRay コントローラの機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ



1. 概要

FlexRay コントローラは、FlexRay プロトコル仕様書 v2.1 にしたがって通信を行います。最大システムクロック(80MHz)を指定することで、ビットレートは 10Mbit/s に設定されます。

FlexRay コントローラの概要

FlexRay ネットワーク通信のために、最大 254 データバイト長のメッセージバッファが配置可能です。メッセージ記憶領域は、最大 128 個のメッセージバッファを持つシングルポートのメッセージ RAM から成り立ちます。すべてのメッセージ処理に関しての機能は、メッセージハンドラが行います。その機能とは下記のものであります。

- アクセプタンスフィルタ
- 2つの FlexRay チャネルプロトコルコントローラとメッセージ RAM 間のメッセージ転送
- 送信スケジューリング管理
- メッセージステータス情報の提供

FlexRay コントローラのレジスタは、ホストによってアクセスできます。これらのレジスタは、下記を設定/制御/モニタするために使用されます。

- FlexRay チャネルプロトコルコントローラ
- メッセージハンドラ
- グローバルタイムユニット
- システムユニバーサルコントロール
- フレームおよびシンボルのプロセッシング
- ネットワークマネジメント
- 割込み制御
- インプット/アウトプットバッファを介したメッセージ RAM へのアクセス

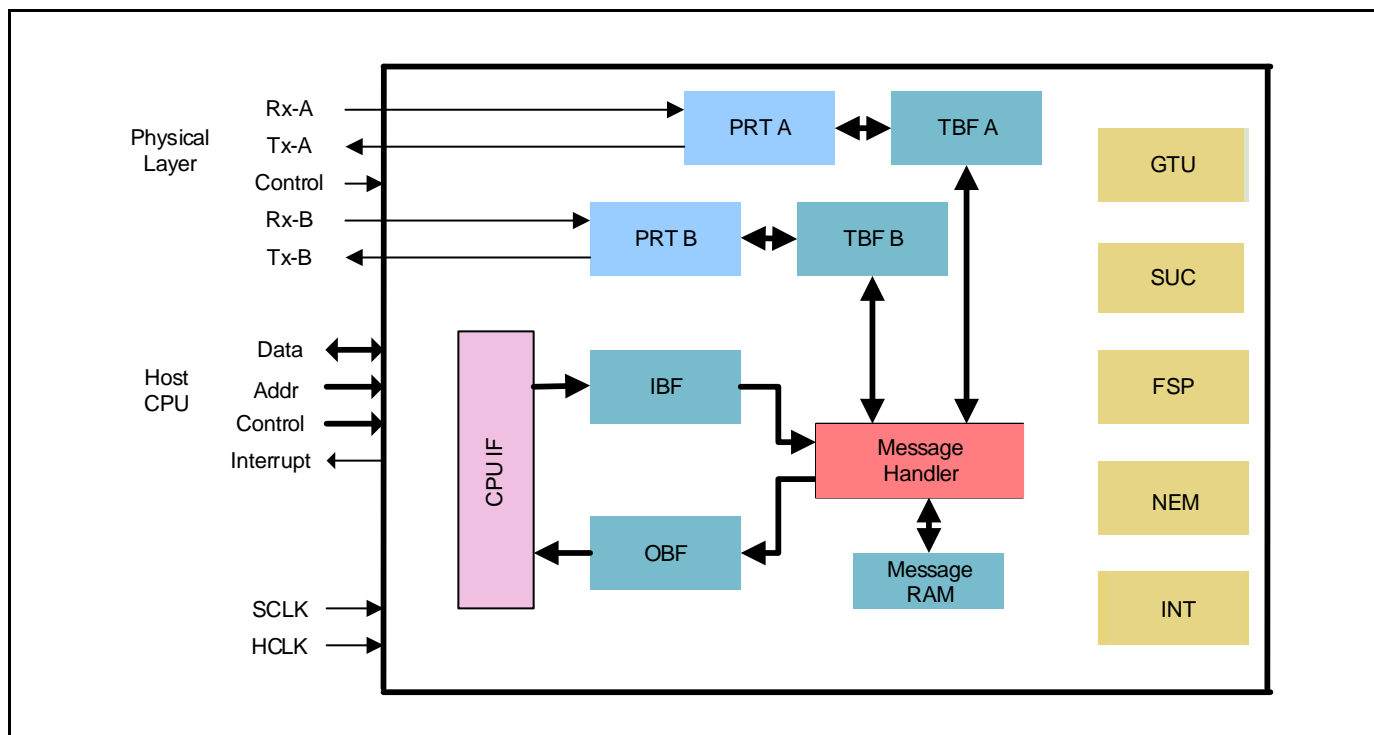
FlexRay コントローラは次の機能をサポートします。

- FlexRay プロトコル仕様書 v2.1 対応
- 各チャネルで最大 10 Mbit/s のビットレート
- 最大 128 個のメッセージバッファ構成可能
- 8K バイトのメッセージ RAM(次の記憶容量に相当)
 - 最大 48 バイトのデータセクションで 128 メッセージバッファ
 - 最大 254 バイトのデータセクションで 30 メッセージバッファ
- 可変長のメッセージバッファ構成
- 1つの構成可能な受信 FIFO
- 各メッセージバッファは、受信バッファ、送信バッファ、あるいは受信 FIFO の一部として構成可能
- インプットバッファとアウトプットバッファを介してメッセージバッファへのホストアクセス
 - インプットバッファ: メッセージ RAM に転送されるメッセージを格納する
 - アウトプットバッファ: メッセージ RAM から読出したメッセージを格納する
- スロットカウンタ, サイクルカウンタ, チャネルに対するフィルタリング
- マスク可能な割込み
- ネットワークマネジメントのサポート

2. 構成

FlexRay コントローラの構成を示します。

図 2-1 FlexRay コントローラの構成図



各ブロックの機能説明

(1) CPU インタフェース(CIF:CPU Interface)

ホスト CPU を FlexRay コントローラに接続します。

(2) インプットバッファ(IBF:Input Buffer)

メッセージ RAM に構成されたメッセージバッファに書き込むために使用されます。

ホスト CPU は、インプットバッファから特定のメッセージバッファにヘッダセクションおよびデータセクションを書き込むことができます。

メッセージハンドラはインプットバッファからメッセージ RAM の選択したメッセージバッファにデータを転送します。

(3) アウトプットバッファ(OBF:Output Buffer)

メッセージ RAM に構成されたメッセージバッファを読み出すために使用されます。

メッセージハンドラは、選択されたメッセージバッファからアウトプットバッファへデータを転送します。

このデータ転送完了後、ホスト CPU は、アウトプットバッファから転送されたメッセージバッファのヘッダセクションおよびデータセクションを読み出すことができます。

(4) メッセージハンドラ(MHD:Message Handler)

メッセージハンドラは、以下のコンポーネント間のデータ転送を制御します。

- インプット/ アウトプットバッファとメッセージ RAM



- 2つのFlexRay プロトコルコントローラの一時記憶バッファ RAM とメッセージ RAM

(5) メッセージ RAM(MRAM: Message RAM)

メッセージ RAM は、コンフィギュレーション・データ(ヘッダとデータ)を 128 個の FlexRay メッセージバッファをストアするシングルポート RAM から構成されます。

(6) 一時記憶バッファ RAM(TBF A/B: Transient Buffer RAM)

2 個のメッセージのデータセクションをストアします。

(7) FlexRay チャネルプロトコルコントローラ(PRT A/B: FlexRay Channel Protocol Controller)

FlexRay チャネルプロトコルコントローラは、シフトレジスタと FlexRay プロトコル FSM から構成されます。

以下の機能を提供します。

- ビットタイミングのチェックと制御
- FlexRay のフレームとシンボルの受信/送信
- ヘッダ CRC のチェック
- フレーム CRC の生成/チェック
- バスドライバへの接続

また、本ブロックは、以下のブロックと接続します。

- 物理レイア(バスドライバ)
- 一時記憶バッファ RAM
- メッセージハンドラ
- グローバルタイムユニット
- システムユニバーサルコントロール
- フレームエンドシンボルプロセッシング
- ネットワークマネジメント
- 割込み制御

(8) グローバルタイムユニット(GTU: Global Time Unit)

グローバルタイムユニットは、以下の機能を提供します。

- マイクロティック生成
- マクロティック生成
- FTM アルゴリズムによるフォルトトレラントクロック同期化
 - レート補正
 - オフセット補正
- サイクルカウンタ
- スタティックセグメントのタイミング制御
- ダイナミックセグメント(ミニスロット) のタイミング制御
- 外部クロック補正のサポート

(9) システムユニバーサルコントロール(SUC: System Universal Control)

システムユニバーサルコントロールは、以下の機能を制御します。

- コンフィギュレーション
- ウェイクアップ
- スタートアップ
- ノーマルオペレーション
- パッシブオペレーション

- モニタモード

(10) フレームアンドシンボルプロセッシング(FSP: Frame and Symbol Processing)

フレームアンドシンボルプロセッシングは、以下の機能を制御します。

- フレームとシンボルの正しいタイミングのチェック
- 受信フレームの構文と意味的な正当性テスト
- スロットステータスフラグの設定

(11) ネットワークマネジメント(NEM: Network Management)

ネットワークマネジメントは、以下の機能を提供します。

- ネットワークマネジメントベクタのハンドリング

(12) 割込み制御(INT: Interrupt Control)

割込み制御は、以下の機能を行います。

- エラーと割込みフラグの供給
- 割込み原因のイネーブル/ディセーブル制御
- 2つのモジュール割込みラインへの割込み原因の割り当て制御
- 2つのモジュール割込みラインのイネーブル/ディセーブル
- 2つの割込みタイマ管理
- ウォッチタイムキャプチャリングの停止



3. 動作説明

FlexRay のプロトコル機能について記述します。FlexRay プロトコルのさらに詳しい情報については、FlexRay プロトコル仕様書 V2.1 を参照してください。

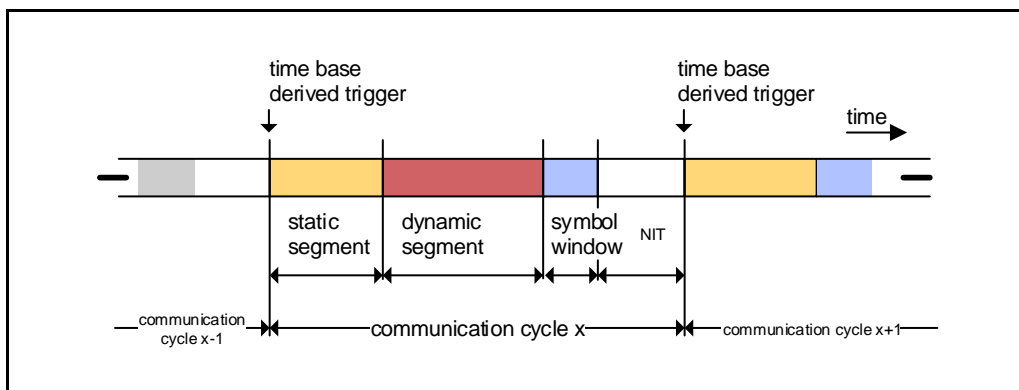
3.1. コミュニケーションサイクル

FlexRay コミュニケーションサイクルは下記の要素から成り立ちます。

- スタティックセグメント
- ダイナミックセグメント(オプション)
- シンボルウィンドウ(オプション)
- ネットワークアイドルタイム(NIT)

ネットワークコミュニケーションタイム(NCT)は、スタティックセグメント、ダイナミックセグメント、シンボルウィンドウから構成されます。各コミュニケーションチャネルについてスロットカウンタは1でスタートし、そしてダイナミックセグメントの終わりまでカウントアップします。また両チャネルは、同期化された同じマクロティックを使用しています。

図 3-1 コミュニケーションサイクルの構造



(1) スタティックセグメント

スタティックセグメントは、下記の特長を持ちます。

- スロットは、(利用可能である場合) バスガーディアンによって保護される
- 各スタティックスロットのアクションポイントにおいて、フレーム送信が開始される
- ペイロード長は両チャネルの全フレームで同じである

パラメータ: スタティックスロット数 GTUC7:NSS[9:0]

スタティックスロット長 GTUC7:SSL[9:0]

スタティックフレームデータ長 MHDC:SFDL[6:0]

アクションポイントオフセット GTUC9:APO[5:0]

(2) ダイナミックセグメント

ダイナミックセグメントは、下記の特長を持ちます。

- (利用可能であっても) バスガーディアン無効、すべてのコントローラはバスアクセスを持つ
- スロット長は可変であり、両チャンネルでも異なる
- ミニスロットアクションポイントにおいて、送信が開始される

パラメータ: ミニスロット数 GTUC8:NMS[12:0]

ミニスロット長 GTUC8:MSL[5:0]

ミニスロットアクションポイントオフセット GTUC9:MAPO[4:0]

送信終了ミニスロット値 MHDC:SLT[12:0]

(3) シンボルウィンドウ

FlexRay プロトコル仕様書 V2.1 は、3 つのシンボルを定義します。

- ウェイクアップシンボル(WUS): WAKEUP ステートのみで送信される
- コリジョン回避シンボル(CAS): STARTUP ステートのみで送信される
- メディアアクセステストシンボル(MTS): バスガーディアンをテストするために NORMAL_ACTIVE ステートで送信される

シンボルウィンドウ期間中、1 チャンネルにつき 1MTS シンボルが送信されます。

シンボルウィンドウは、下記の特長を持ちます。

- 1 つのシンボルを送信
- MTS シンボルの送信は、シンボルウィンドウアクションポイントでスタートする。

パラメータ: アクションポイントオフセット GTUC9:APO[5:0]

ネットワークアイドルタイム開始 GTUC4:NIT[13:0]

(4) ネットワークアイドルタイム (NIT: Network Idle Time)

ネットワークアイドルタイム(NIT)の間、FlexRay コントローラは以下のタスクを実行します。

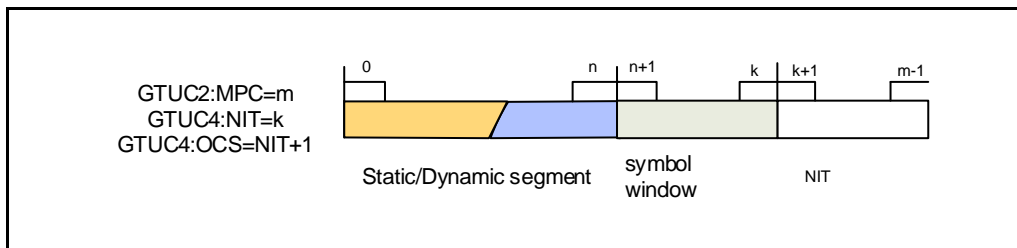
- クロック補正時間(オフセットとレート)を計算する
- オフセット補正開始後、各マクロティックにオフセット補正を実施する
- クラスタサイクル関連のタスクを実行する

パラメータ: ネットワークアイドルタイム開始 GTUC4:NIT[13:0]

オフセット補正開始 GTUC4:OCS[13:0]

(5) NIT の開始, およびオフセット補正開始の設定

図 3-2 NIT の開始, およびオフセット補正開始の設定



1 サイクル当りのマイクロティック数 $gMacroPerCycle$ を m として, $GTUC2:MPC = m$ にて設定します。また, スタティック/ダイナミックセグメントが, マクロティック 0 で開始し, マクロティック n で終了します。

$n =$ スタティックセグメント長 + ダイナミックセグメントオフセット

+ ダイナミックセグメント長 - 1MT

$= gNumberOfStaticSlots \cdot gdStaticSlot + dynamic\ segment\ offset$

+ $gNumberOfMinislots \cdot gdMinislot - 1MT$

スタティックセグメント長については, $GTUC7:SSL$ および $GTUC7:NSS$ にて設定します。

ダイナミックセグメント長については, $GTUC8:MSL$ および $GTUC8:NMS$ にて設定します。

ダイナミックセグメントオフセットは, 次のように求められます。

if $gdActionPointOffset \leq gdMinislotActionPointOffset$:

ダイナミックセグメントオフセット = 0 MT

else if $gdActionPointOffset > gdMinislotActionPointOffset$:

ダイナミックセグメントオフセット = $gdActionPointOffset - gdMinislotActionPointOffset$

NIT がマクロティック $k+1$ で開始し $m-1$ サイクルの最終マクロティックで終了する場合, 次のように設定します。

$GTUC4:NIT = k$

また, オフセット補正開始については, 次の条件を満たすように設定します。

$GTUC4:OCS \geq GTUC4:NIT + 1 = k+1$

スタティック/ダイナミックセグメントの終了と NIT 開始の間のシンボルウィンドウ長については, $k-n$ で計算されます。

3.2. 通信モード

FlexRay プロトコル v2.1 はタイムトリガ分散(TT-D)モードをサポートします。タイムトリガ分散(TT-D)モードによる通信モードを説明します。

タイムトリガ分散モード (TT-D: Time-triggered Distributed)

TT-D モードでは、以下の通信モードが可能です。

- 純粋なスタティック: 最小 2 スタティックスロット+シンボルウィンドウ(オプション)
- 混合のスタティック/ダイナミック: 最小 2 スタティックスロット+ダイナミックセグメント+シンボルウィンドウ(オプション)

タイムトリガ分散モードの動作には、最小限 2 つのコールドスタートノードが必要です。また、クラスタスタートアップのためには、2 つの障害のないコールドスタートノードが必要です。それぞれのスタートアップフレームは同期フレームでなければなりません。すべてのコールドスタートノードは同期ノードとなります。



3.3. クロック同期

TT-D モードでは、分散クロック同期が使用されます。ほかのノードからの同期フレームの受信タイミングを測ることで、各ノードはクラスタに同期します。

3.3.1. グローバルタイム

各ノードは、それぞれが個別のクロックを持つにもかかわらず、グローバルタイムの概念で動作しています。グローバルタイムは2つの値のベクタ、すなわちサイクル(サイクルカウンタ)とサイクルタイム(マクロティックカウンタ)から成り立ちます。

- マクロティック(MT) = FlexRay ネットワークのタイム測定の基本単位
(マクロティックはマイクロティック(μ T)の整数倍)
- サイクル = 1 コミュニケーションサイクルの期間を表す単位
(サイクルはマクロティック(MT)で表される)

3.3.2. ローカルタイム

ノードの内部では、マイクロティック単位の精度でノードの動作時刻が決められています。マイクロティックとは、個別ノードのシステムクロックから得られた、コントローラ個別の時間単位です。そのため、同ノードの異なるコントローラで、異なった時間を持つ場合があります。そのローカルタイムの誤差測定の精度は、マイクロティック単位(μ T)です。

- マクロティック生成順序: システムクロック → プリスケラ → マイクロティック(μ T)
- μ T = FlexRay コントローラでの時間測定の基本単位(クロック補正は μ T 単位で実行される)
- サイクルカウンタ + マクロティックカウンタ = ノードのグローバルタイムのローカルビュー

3.3.3. 同期化プロセス

クロック同期化の手段として、同期フレームが使用されます。事前に設定された同期ノードだけが、同期フレームを送信可能です。2 チャンネルクラスタにおいて、同期ノードは同期フレームを両チャンネルに送信しなければなりません。

FlexRay での同期化のために、以下の制約があります。

- 1 つのコミュニケーションサイクルで、1 ノードにつき最大 1 つの同期フレーム
- 1 つのコミュニケーションサイクルで、1 クラスタにつき最大 15 の同期フレーム
- クロック同期化のために、すべてのノードがあらかじめ設定された同期フレーム数(GTUC2:SNM[3:0])を使用しなければならない。
- 最低 2 つの同期ノードがクロック同期化とスタートアップのために必要とされる。

クロック同期化のために、スタティックセグメント期間に受信された同期フレームについて、期待された受信時間と観測された受信時間との間の時間偏差が測定されます。補正時間の計算は、FTM アルゴリズムを使用することによって NIT(オフセット: すべてのサイクル, レート: 奇数サイクル)期間に行われます。詳しくは、FlexRay プロトコル仕様書 V2.1 の 8 章を参照してください。

(1) オフセット(フェーズ)補正

- 現在のサイクルの時間偏差が測定される。
- 2つのチャンネルを持つノードでは、各チャンネルで測定された値で小さい方の値が計算値として採用される。
- 全コミュニケーションサイクルの NIT の期間に計算される。
- 偶数サイクルで計算されたオフセット補正值は、エラーチェックのみのために使用される。
- リミット値と照合され、エラーチェックされる。
- 補正值は、 μT の符号付き整数である。
- 補正は奇数サイクルで実行される。オフセット補正開始からサイクルの終了(NIT の終わり)までの各マイクロティックに渡って分配され、各ノードの次のサイクル開始位置をシフトして現在のサイクルを数 MT 長くしたり短くしたりする。

(2) レート(周波数)補正

- 偶数サイクルと奇数サイクルの各時間偏差の差分(差分偏差時間)が測定される。
- 2つのチャンネルを持つノードでは、各チャンネルで測定された差分偏差時間の平均が計算値として採用される。
- 奇数コミュニケーションサイクルの NIT の期間に計算される。
- クラスタドリフトダンピングは、グローバルな制動(ダンピング)値を使用して実行される。
- リミット値と照合され、エラーチェックされる。
- 補正值は、 μT の符号付き整数である。
- 補正は次の偶数/奇数サイクルペアで実行される。1 サイクルを構成する各マイクロティックに分配され、各ノードの次サイクルペアの開始位置をシフトして現在のサイクルを数 μT 長くしたり短くしたりする。

(3) シンクフレーム送信

シンクフレーム送信はバッファ 0 および 1 からのみ可能です。メッセージバッファ 1 は、シンクフレームが 2 つのチャンネル上に異なるペイロードを持っている場合、シンクフレーム送信のために使用します。この場合、MRC:SPLM ビットを"1"にしなければなりません。

シンクフレームの送信に使用されるメッセージバッファはキースロット ID で構成されなければならない、DEFAULT_CONFIG か CONFIG ステートのみで設定できます。

シンクフレームを送信するノードは、SUCC1:TXSY を"1"にセットします。

3.3.4. 外部クロック同期化

ノーマルオペレーションの間、独立クラスタでは著しくドリフトが発生することがあります。独立クラスタの中で同期オペレーションが必要とされる場合は、それぞれのクラスタ中のノードで同期が行われるとしても、外部クロック同期化が必要です。これは、そのクラスタに対して、ホストがオフセット補正時間およびレート補正時間を推論することで、達成可能となります。

- 外部オフセット/レート補正值は、符号付整数である。
- 外部オフセット/レート補正值は、計算されたオフセット/レート補正值に追加される。
- 総数のオフセット/レート補正時間(外部+内部)は、設定されたリミット値とチェックされる。



3.4. エラーハンドリング

FlexRay に実装されているエラーハンドリングは、ノード中に下位レイヤプロトコルエラーが存在している間に、その影響を受けていないノード間の通信が保証されることを前提にしています。場合によっては、FlexRay コントローラのノーマルオペレーションを再開する動作が、アプリケーションプログラムに実装される必要があります。エラーハンドリングステートが遷移することで EIR:PEMC が "1" にセットされます。そして、割込みが有効ならば割込みが発生します。実際のエラーモードは、CCEV:ERRM[1:0]によって表示されます。

表 3-1 POC のエラーモード

エラーモード	機能
ACTIVE (green)	フルオペレーション ステート：NORMAL_ACTIVE FlexRay コントローラは完全に同期し、クラスタ全体のクロック同期をサポートします。 EIR レジスタおよび SIR レジスタからエラー割込みフラグと状態割込みフラグを読み出すことによって、エラー状態やステータス変化の情報が取得可能です。割込み有効ならば割込みが発生します。
PASSIVE (yellow)	限定オペレーション ステート：NORMAL_PASSIVE, FlexRay コントローラ自己復帰可能 FlexRay コントローラはフレームとシンボルを送信するのを停止しますが、受信したフレームは処理可能です。クロック同期は、受信フレームに基づいて継続して行われ、クラスタ全体の能動的なクロック同期は行われません。 EIR レジスタおよび SIR レジスタからエラー割込みフラグと状態割込みフラグを読み出すことによって、エラー状態やステータス変化の情報が取得可能です。割込み有効ならば割込みが発生します。
COMM_HALT (red)	オペレーション停止 ステート：HALT, FlexRay コントローラ自己復帰不可 FlexRay コントローラはフレームとシンボル処理、クロック同期化処理とマクロティック生成を停止します。 EIR レジスタおよび SIR レジスタからエラー割込みフラグと状態割込みフラグを読み出すことによって、エラー状態やステータス変化の情報が取得可能です。バスドライバは停止されます。

3.4.1. クロック補正フェイルカウンタ

クロック補正フェイルカウンタが、PASSIVE 遷移クロック補正損失最大時間 SUCC3:WCP[3:0]に達したとき、NORMAL_ACTIVE ステートから NORMAL_PASSIVE ステートへ遷移します。また、クロック補正フェイルカウンタが、HALT 遷移クロック補正損失最大時間 SUCC3:WCF[3:0]に達したとき、NORMAL_ACTIVE ステート/NORMAL_PASSIVE ステートから HALT ステートに遷移します。

クロック補正フェイルカウンタ CCEV:CCFC[3:0]は、スタートアップフェーズを経過した後、ノードのクロック補正時間を計算することのできない期間をモニタできます。オフセット補正信号消失 SFS:MOCS あるいはレート補正信号消失 SFS:MRCS のどちらかで"1"にセットされていれば、クロック補正フェイルカウンタは奇数のコミュニケーションサイクルの終わりでインクリメントされます。

クロック補正フェイルカウンタは、オフセット補正信号消失 SFS:MOCS とレート補正信号消失 SFS:MRCS が"1"にセットされていなければ、奇数のコミュニケーションサイクルの終わりで 0 になります。

クロック補正フェイルカウンタは、HALT 遷移クロック補正損失最大時間 SUCC3:WCF[3:0]に達したとき、インクリメントは停止します(すなわち、最大値においてカウンタをインクリメントしても、ゼロには戻りません)。クロック補正フェイルカウンタは、CONFIG ステートから READY ステートへ遷移したとき、もしくはノーマルアクティブステートになるとき、0 になります。

<注意事項>

- SUCC1:HCSE がセットされていないならば、HALT 状態への遷移はされません。

3.4.2. パッシブ・アクティブ間状態遷移必要サイクルペア数カウンタ

パッシブ・アクティブ間状態遷移必要サイクルペア数カウンタ SUCC1:PTAC[4:0]は、NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへの POC の遷移を制御します。SUCC1:PTA[4:0]は、NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへ遷移する前の、クロック補正時間が有効な偶数/奇数サイクルペアの数を定義します。SUCC1:PTA[4:0]が 0 に設定されている場合、NORMAL_PASSIVE から NORMAL_ACTIVE ステートに遷移はできません。

3.4.3. HALT コマンド

ホストがエラー状態を検出した場合、SUCC1:CMD[3:0]="0110"(CHI コマンド HALT)を設定することで、HALT ステートに遷移できます。

NORMAL_ACTIVE ステートあるいは NORMAL_PASSIVE ステートにて実行されるとき、POC は現在のサイクルの終わりににおいて HALT ステートへ遷移します。ほかのステートで実行されるとき、SUCC1:CMD[3:0]が"0000"=command_not_accepted になり、EIR:CNA が"1"にセットされます。割込み有効なら割込みが発生します。

3.4.4. FREEZE コマンド

ホストが深刻なエラー状態を検出した場合、SUCC1:CMD[3:0]="0111"(CHI コマンド FREEZE)を設定することによって、HALT ステートに遷移できます。このコマンドは、現在の POC ステートにかかわらず、HALT ステートへの状態遷移を引き起こします。HALT ステート状態への遷移は CCSV:PSL[5:0]から読むことができます。

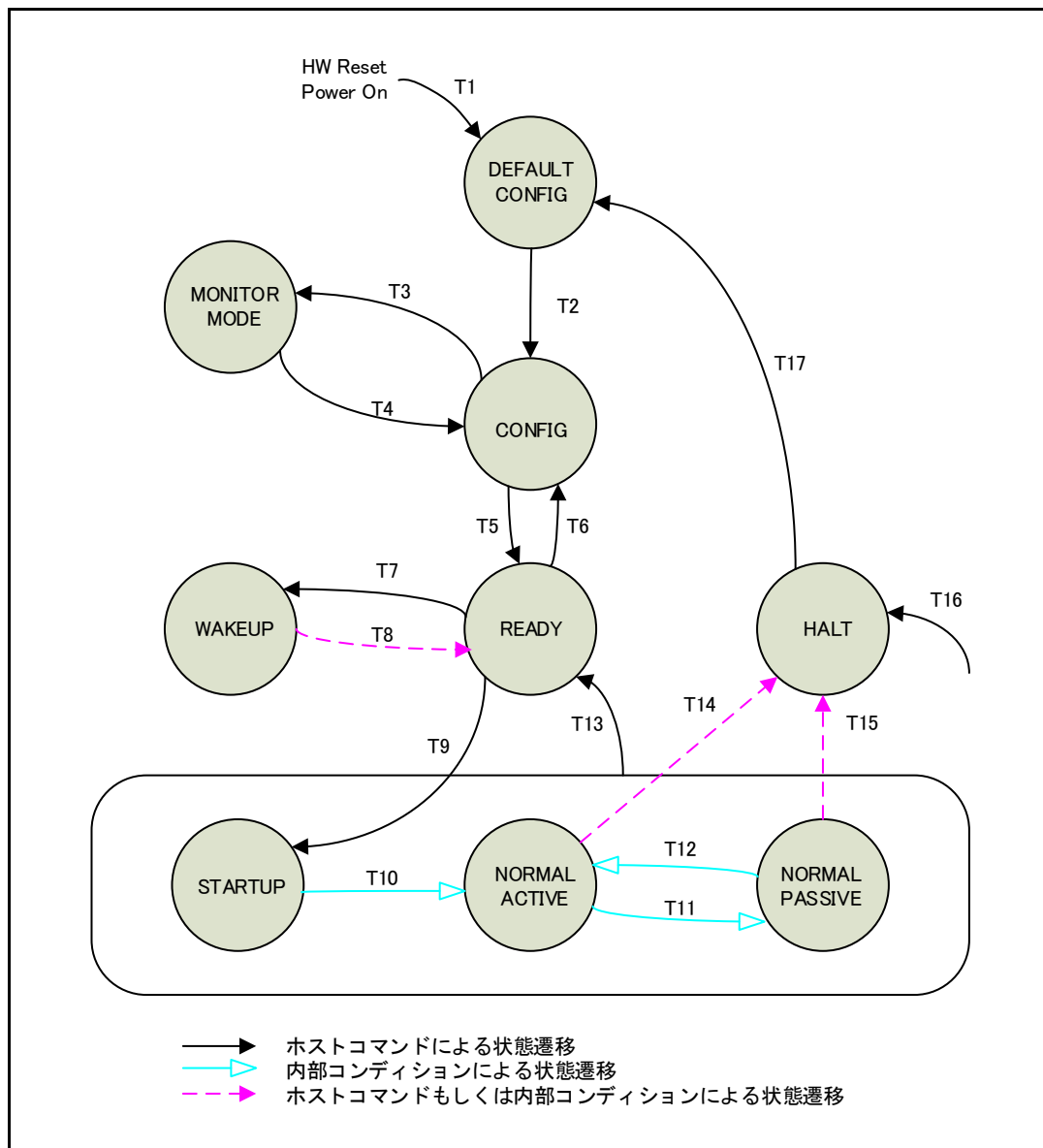
<注意事項>

- SUCC1:HCSE がセットされていないなら、HALT 状態への遷移はされません。

3.5. 通信コントローラステート

3.5.1. 通信コントローラステート

図 3-3 通信コントローラ(CC)のステートダイアグラム



状態遷移は、ホストによるソフトウェアリセット、外部端子/RXDA/RXDB, POC ステートマシーン、および CHI コマンドベクタ SUCC1:CMD[3:0]によって制御されます。

SUCC1:CMD[3:0]=0111 (CHI コマンド FREEZE)を設定した場合、すべてのステートから HALT ステートに遷移します。

表 3-2 FlexRay コントローラのステート遷移表

Tn	状態	From	To
1	- ハードリセット	All States	DEFAULT_CONFIG
2	- コンフィグコマンド SUCC1:CMD[3:0]="0001"(CHI コマンド CONFIG)の設定	DEFAULT_CONFIG	CONFIG
3	- アンロックシーケンス(モニタモードコマンドによる) SUCC1:CMD[3:0]="1011"(CHI コマンド MONITOR_MODE)の設定	CONFIG	MONITOR_MODE
4	- コンフィグコマンド SUCC1:CMD[3:0]="0001"(CHI コマンド CONFIG)の設定	MONITOR_MODE	CONFIG
5	- アンロックシーケンス(レディコマンドによる) SUCC1:CMD[3:0]="0010"(CHI コマンド READY)の設定	CONFIG	READY
6	- コンフィグコマンド SUCC1:CMD[3:0]="0001"(CHI コマンド CONFIG)の設定	READY	CONFIG
7	- ウェイクアップコマンド SUCC1:CMD[3:0]="0011"(CHI コマンド WAKEUP)の設定	READY	WAKEUP
8	- 正常なウェイクアップパターン送信 - WUP の受信 - フレームヘッダの受信 - ウェイクアップコリジョンの発生 - レディコマンド SUCC1:CMD[3:0] = "0010"(CHI コマンド READY)の設定	WAKEUP	READY
9	- ランコマンド SUCC1:CMD[3:0]="0100"(CHI コマンド RUN)の設定	READY	STARTUP
10	- スタートアップの成功	STARTUP	NORMAL_ACTIVE
11	- クロック補正フェイルカウンタが SUCC3:WCF[3:0]の設定値に達した	NORMAL_ACTIVE	NORMAL_PASSIVE
12	- クロック補正時間の有効なサイクルペア数が UCC1:PTA[4:0]の設定値に達した	NORMAL_PASSIVE	NORMAL_ACTIVE
13	- レディコマンド SUCC1:CMD[3:0]="0010"(CHI コマンド READY)の設定	STARTUP, NORMAL_ACTIVE, NORMAL_PASSIVE	READY
14	- クロック補正フェイルカウンタが SUCC3:WCF[3:0]の設定値に達し, SUCC1:HCSE が"1"にセットされた - ホルトコマンド SUCC1:CMD[3:0]="0110"(コマンド HALT)の設定	NORMAL_ACTIVE	HALT
15	- クロック補正フェイルカウンタが SUCC3:WCF[3:0]の設定値に達し, SUCC1:HCSE が"1"にセットされた - ホルトコマンド SUCC1:CMD[3:0]="0110"(コマンド HALT)の設定	NORMAL_PASSIVE	HALT
16	- フリーズコマンド SUCC1:CMD[3:0]="0111"(CHI コマンド FREEZE)の設定	All States	HALT
17	- コンフィグコマンド SUCC1:CMD[3:0]="0001"(CHI コマンド CONFIG)の設定	HALT	DEFAULT_CONFIG



3.5.2. DEFAULT_CONFIG ステート

DEFAULT_CONFIG ステートでは、FlexRay コントローラは停止します。すべての設定レジスタはアクセス可能であり、端子 RXDA/RXDB/TXDA/TXDB/TXEN はインアクティブです。次の場合、このステートに状態遷移します。

- ハードリセットを実施したとき
- HALT ステートから遷移するとき

DEFAULT_CONFIG ステートから CONFIG ステートに遷移するには、SUCC1:CMD=0001 の書き込みを行います。

3.5.3. CONFIG ステート

CONFIG ステートで FlexRay コントローラは停止します。すべての設定レジスタはアクセス可能であり、端子 RXDA/RXDB/TXDA/TXDB/TXEN はインアクティブです。このステートは、FlexRay コントローラ設定を初期化するために使用されます。

下記の場合に、このステートに状態遷移します。

- DEFAULT_CONFIG ステートから遷移したとき
- MONITOR_MODE ステートもしくは READY ステートから遷移したとき

HALT ステートと DEFAULT_CONFIG ステート経由でこのステートに状態遷移した場合、ステータス情報と設定を解析できます。CONFIG ステートから遷移する前に、設定漏れがないこと確認してください。

CONFIG ステートから遷移するために、「4.2.1 ロックレジスタ(LCK(Lock Register))」で記述されているアンロックシーケンスを実行しなければなりません。CONFIG ステートのアンロックの後、次のステートに遷移するために SUCC1:CMD に書き込みを行わなければなりません。

<注意事項>

- メッセージバッファステータスレジスタ(MHDS, TXRQ1/2/3/4, NDAT1/2/3/4, MBSC1/2/3/4)とメッセージRAMに格納されているステータスデータは、CONFIG ステートから READY ステートへの遷移によって影響を受けません。

3.5.4. MONITOR_MODE

CONFIG ステートのアンロックと `SUCC1:CMD="1011"` 書込みの後、`MONITOR_MODE` に遷移します。このモードで FlexRay フレームとウェイクアップパターンの受信が可能となります。受信したフレームの時間の完全性はチェックされません。一時的な受信フレームの整合はチェックされません。したがって、サイクルカウンタフィルタリングはサポートされません。このモードは、例えば FlexRay ネットワークのスタートアップが失敗する場合に備えたデバッグ目的のために使用することができます。`SUCC1:CMD="0001"` 書込みの後、CONFIG ステートへ遷移します。

`MONITOR_MODE` では最初の動作は無効になります。これは、1 つのチャンネル上で受け取るために単に受信メッセージバッファが形成されるかもしれないことを意味します。受信フレームは、フレーム ID のメッセージバッファへ格納され、チャンネルを受信します。無効フレームはデータフレームのように扱われます。フレーム受信のみの後に、状態ビット `MBS:VFRA`, `MBS:VFRB`, `MBS:MLST`, `MBS:RCIS`, `MBS:SFIS`, `MBS:SYNS`, `MBS:NFIS`, `MBS:PPIS`, `MBS:RESS` は有効な値になります。`MONITOR_MODE` では、受信 FIFO は利用できません。

`MONITOR_MODE` では、CAS と MTS シンボルを見分けることができません。これらのシンボルの 1 つがチャンネル上に検出された場合、`SIR:MTSA` か、`SIR:MTSB` がセットされます。`SIR:CAS` は `MONITOR_MODE` では機能しません。



3.5.5. READY ステート

CONFIG ステートのロック解除と SUCC1:CMD="0010" 書き込みの後, READY ステートへ遷移します。このステートから WAKEUP ステートに遷移してクラスタウェイクアップ, あるいはこのステートから STARTUP へ遷移してコールドスタート, またあるいはこのステートから実行中のクラスタの中への統合がそれぞれ可能です。

SUCC1:CMD="0010" (CHI コマンド READY) の書き込みを行ったとき, 次を示す各ステートから READY ステートに状態遷移します。

- CONFIG ステート
- WAKEUP ステート
- STARTUP ステート
- NORMAL_ACTIVE ステート
- NORMAL_PASSIVE ステート

下記の書き込みを行ったとき, READY ステートからそれぞれのステートに遷移します。

- SUCC1:CMD=0001 (CHI コマンド CONFIG) の書き込みを行うことによって CONFIG ステートへ
- SUCC1:CMD=0011 (CHI コマンド WAKEUP) の書き込みを行うことによって WAKEUP ステートへ
- SUCC1:CMD=0100 (CHI コマンド RUN) の書き込みを行うことによって STARTUP ステートへ

<注意事項>

- ステータスビット(MHDS[14:0]), レジスタ(TXRQ1/2/3/4), メッセージRAMのステータスデータは, レディからスタートアップステートまで POC の変化に影響されません。

3.5.6. WAKEUP ステート

下記に、FlexRay コントローラ用にウェイクアップの設定について説明します。

次の条件で、READY ステートから WAKEUP ステートに遷移します。

- SUCC1:CMD[3:0]=0011(CHI コマンド WAKEUP)の書き込みを行ったとき

次の条件で、WAKEUP ステートから READY ステートに遷移します。

- 正常なウェイクアップパターンの送信が完了した後
- WUP を受信した後
- WUP のコリジョン検出後
- フレームヘッダの受信の後
- SUCC1:CMD[3:0]=0010(CHI コマンド READY)の書き込みを行ったとき

クラスタのウェイクアップを行うために、ウェイクアップはコミュニケーションスタートアップの前に実行してください。バスドライバは、チャンネル上のウェイクアップパターンを受信した場合、そのノードのほかのコンポーネントをウェイクアップさせます。クラスタ中で少なくとも1つのノードが、ウェイクアップパターンを発生します。

ホストは、ウェイクアップ手続きのすべてを制御します。まず、バスドライバと FlexRay コントローラからクラスタの状態を参照し、FlexRay コントローラ(さらに、利用可能であればバスガーディアン)を設定し、クラスタのウェイクアップを行います。この FlexRay コントローラの設定によって、利用可能なそれぞれのチャンネルに対し、別々に特別なウェイクアップパターンを送信できます。FlexRay コントローラは、ウェイクアップステートの間だけ、ウェイクアップパターンを認識してください。

ウェイクアップは、1 回につき 1 つのチャンネルにしか行えません。CONFIG ステートの間、SUCC1:WUCS を書き込むことで、ウェイクアップチャンネルを設定してください。このチャンネル上で、実行中の通信に影響を及ぼさないことは保証できますが、スタートアップフェーズからの正常動作を全ノードについて確認することはできないので、ウェイクアップチャンネルに接続した全ノードがウェイクアップパターンの送信によってウェイクアップされたかどうかを保証することはできません。また、2 チャンネルシステムにおいては、1 つのチャンネルにしかウェイクアップパターンを送信できません。システムスタートアップが必要なコールドスタートノードは、コミュニケーションスタートアップをはじめる前に、残りのチャンネルをウェイクアップさせます。このウェイクアップ手続きでは、シングルチャンネルに接続するノードが同時にウェイクアップパターンを送信しても、1 つのノードがウェイクアップパターンを送信するような状態になります。さらに、ウェイクアップパターンは、信号の衝突から立ち直るのが早いため、2 つのノードが同時にウェイクアップパターンを送信することによってその衝突が生じたとしても、ほかのノードをウェイクアップさせることができます。

ウェイクアップの後、FlexRay コントローラは READY ステートに遷移し、フラグ SIR:WST を"1"にセットすることによって、ウェイクアップステータス変化を通知します。ウェイクアップステータスベクタは、CCSV:WSV[2:0]から読み出すことができます。有効なウェイクアップパターンを受信した場合、SIR:WUPA、SIR:WUPB のいずれかのフラグが"1"にセットされます。

図 3-4 WAKEUP ステートの POC 構成

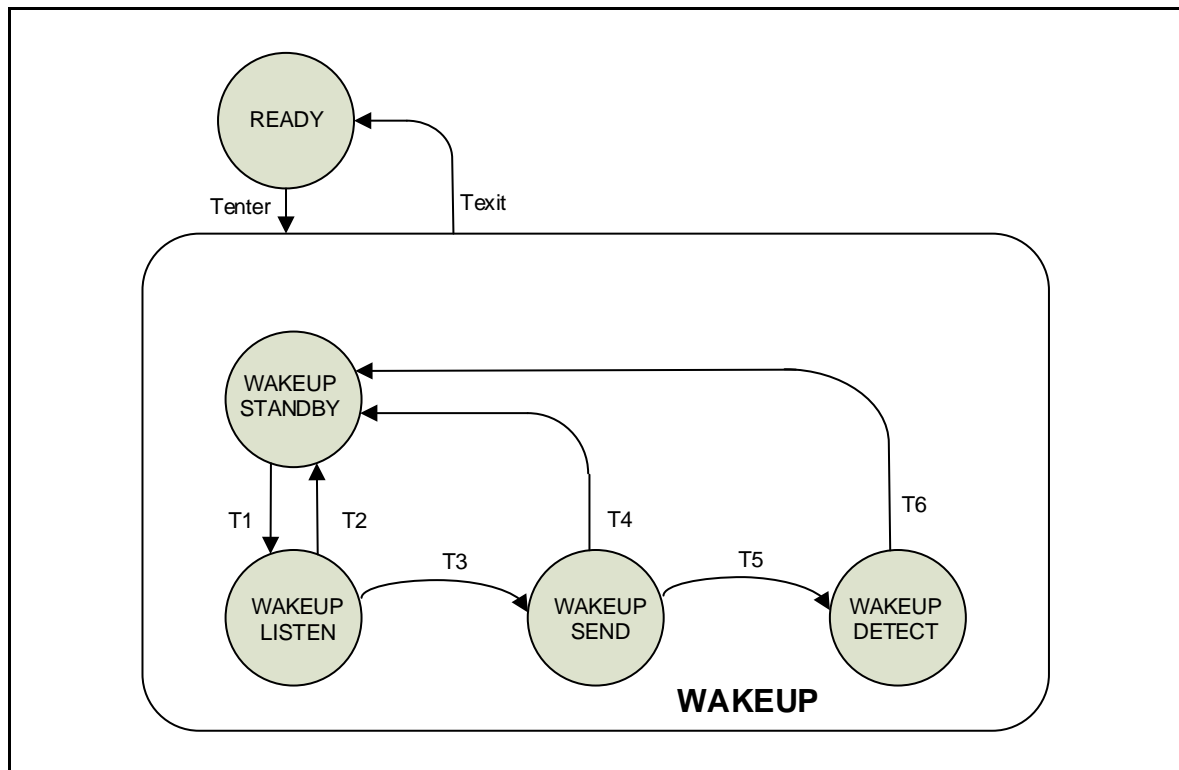


表 3-3 WAKEUP ステート遷移

Tn	機能	From	To
Enter	- ウェイクアップコマンド SUCC1:CMD[3:0]="0011" (CHI コマンド WAKEUP)の設定	READY	WAKEUP
1	- ウェイクアップコマンド SUCC1:CMD[3:0]="0011" (CHI コマンド WAKEUP)の設定	WAKEUP_STANDBY	WAKEUP_LISTEN
2	- SUCC1:WUCSによって選択されたウェイクアップチャンネル で WUP 受信した - 有効なチャンネルのどちらかでフレームヘッダを受信した	WAKEUP_LISTEN	WAKEUP_STANDBY
3	- タイマイベントが発生した	WAKEUP_LISTEN	WAKEUP_SEND
4	- 正常にウェイクアップパターンの送信が完了した	WAKEUP_SEND	WAKEUP_STANDBY
5	- コリジョンが検出された	WAKEUP_SEND	WAKEUP_DETECT
6	- ウェイクアップタイムアウトした - SUCC1:WUCSによって選択されたウェイクアップチャンネル で WUP を受信した - 有効なチャンネルのどちらかでフレームヘッダを受信した	WAKEUP_DETECT	WAKEUP_STANDBY
Exit	- ウェイクアップが完了した(T2, T4, T6 後) - レディコマンド SUCC1:CMD[3:0]="0010" (CHI コマンド READY)の設定 (この CHI コマンドは、同時に WAKEUP_STANDBY ステータス にリセットする)	WAKEUP	READY

WAKEUP_LISTEN ステートは、ウェイクアップタイムとウェイクアップノイズタイムによって制御され、その2つのタイムは、パラメータであるリスンタイムアウト値SUCC2:LT[20:0]とリスンタイムアウトノイズ値SUCC2:LTN[3:0]によって制御されます。リスンタイムアウトは、ノイズのない環境下で早いクラスタウェイクアップが有効であり、一方リスンタイムアウトノイズは、ノイズ干渉の多い環境下でのウェイクアップが有効です。

WAKEUP_SEND ステートでは、設定されたチャンネル上にウェイクアップパターンを送信し、その衝突をチェックします。WAKEUP ステートから READY ステートに遷移した後、CMD[3:0]=0100(CHI コマンド RUN)によって STARTUP ステートへ遷移させなければなりません。WAKEUP_DETECT ステートでは、WAKEUP_SEND ステートで検出されたウェイクアップコリジョンの原因識別が可能です。その識別は、SUCC2:LT[20:0]によって設定されたリスンタイムアウトを超過したときに中止されます。ほかのノードによるウェイクアップパターンの検出、もしくはフレームヘッダの受信のどちらかによって、直接 READY ステートへ遷移します。そうでなければ、リスンタイムアウトを超過した後に、WAKEUP_DETECT ステートから遷移することになります。この場合は、ウェイクアップコリジョンの原因は不明です。

ホストは、ウェイクアップ中に起こり得る障害を意識し、それに対しての対処をしなければなりません。ウェイクアップを起こさせるノードのスタートアップは、もう1つのコールドスタートノードがウェイクアップし初期設定されるのにかかる最小時間まで、延期することを推奨します。FlexRay プロトコル仕様書 V2.1 では、2つの異なる FlexRay コントローラを使用して、2つのチャンネルをウェイクアップさせることを推奨しています。

(1) ホストの動作

ホストは、2つのチャンネルのウェイクアップを調整し、特定のチャンネルをウェイクアップさせるか決定しなければなりません。ウェイクアップパターンの送信は、ホストによって開始されます。対向側のバスドライバはウェイクアップパターンを検出し、ローカルホストにそれを通知します。

下記のウェイクアップ手順は、ホストによって制御されます(1 チャンネルのウェイクアップ手順)。

- CONFIG ステートで FlexRay コントローラを設定する
 - ビット SUCC1:WUCS の設定によるウェイクアップチャンネルを選択する。
- WUP が受信されたかどうかの、バスドライバをチェックする。
- 選択されたウェイクアップチャンネルのバスドライバを起動する。
- READY ステートに遷移するために、SUCC1:CMD[3:0]=0010 の書込みを行う。
- SUCC1:CMD[3:0]=0011 の書込みを行うことによって、設定されたチャンネルのウェイクアップを開始する。
- FlexRay コントローラは WAKEUP ステートへ遷移する。
- ウェイクアップ完了後、FlexRay コントローラは READY ステートへの遷移、およびウェイクアップステータス(CCSV:POCS[5:0])の表示を行う
- ほかのノードがウェイクアップし設定できるような、前もって定めた時間分ウェイトする。
- コールドスタートノードの場合は、下記の手順を行う
 - 2 チャンネルのクラスタ構成では、ほかのチャンネルが WUP になるのを待つ
 - SUCC1:CMD[3:0]=1001(CHI コマンド ALLOW_COLDSTART)の書込みを行うことで、コールドスタート禁止フラグ CCSV:CSI をリセットする。
- SUCC1:CMD[3:0]=0100(CHI コマンド RUN)の書込みを行うことによって、STARTUP ステートに遷移する

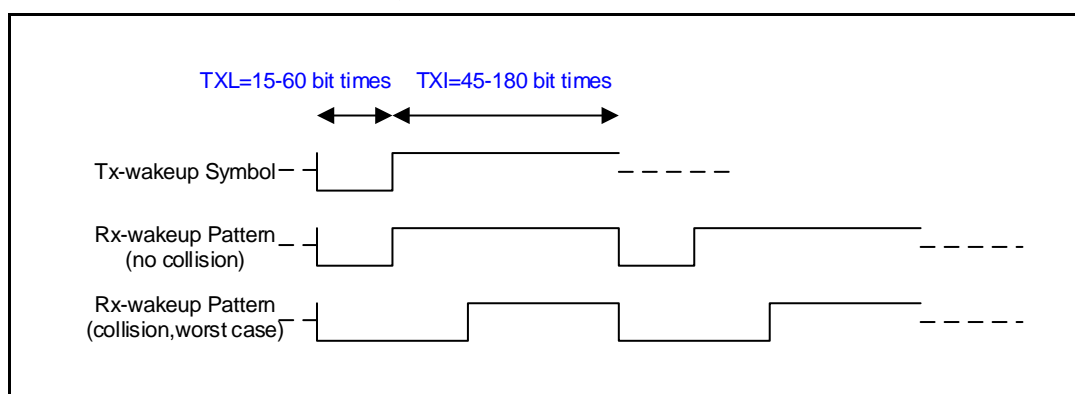
- 下記のウェイクアップ手順は、バスドライバによって引き起こされます。
- ウェイクアップがバスドライバによって識別される。
- バスドライバがホストへウェイクアップイベントを通知する。
- ホストが、FlexRay コントローラを設定する。
- 必要ならば、ホストは下記のことを行う。
 - 2 番目のチャンネルのウェイクアップコマンド
 - ほかのノードが自らをウェイクアップし設定できるような、前もって定めたウェイト
- SUCC1:CMD[3:0]=0100(CHI コマンド RUN)の書き込みを行うことによって、STARTUP ステートへ遷移する。

(2) ウェイクアップパターン (WUP: Wakeup pattern)

ウェイクアップパターン(WUP)は、少なくとも 2 つのウェイクアップシンボル(WUS)で作成されます。ウェイクアップシンボルとウェイクアップパターンは、PRTC1 レジスタおよび PRTC2 レジスタによって設定されます。

- シングルチャンネルウェイクアップ、ウェイクアップシンボルは同時間において両チャンネルに送信できない。
- 少なくとも 2 つのウェイクアップパターンを送信するノードがある環境で、ウェイクアップシンボルは信号の衝突から立ち直るのが早い。
(2 つのオーバーラップしているウェイクアップシンボルはいつでも識別可能)
- ウェイクアップシンボルは、クラスタのすべてのノードで同じでなければならない。
- ウェイクアップシンボルの Low 時間は、PRTC2:TXL[5:0]によって設定される
- バス上の活動をリスンするために使用されるウェイクアップシンボルアイドルタイムは、PRTC2:TXI[7:0]によって設定される。
- ウェイクアップパターンは、ウェイクアップに必要な少なくとも 2 つの送信ウェイクアップシンボルで構成される
- 反復回数(2 から 63 の反復)は、PRTC1:RWP[5:0]によって設定可能である。
- ウェイクアップシンボル受信ウィンドウ長は、PRTC1:RXW[8:0]によって設定される。
- ウェイクアップ受信 Low 時間は、PRTC2:RXL[5:0]によって設定される。
- ウェイクアップ受信アイドルフェーズ時間は、PRTC2:RXI[5:0]によって設定される。

図 3-5 ウェイクアップパターンのタイミング



3.5.7. STARTUP ステート

コールドスタートされるノードは、最初に、接続されている両チャンネルがウェイクアップされていることを STARTUP ステートにて確認する必要があります。

すべてのノードとスターがウェイクアップと設定を終了するために必要な時間を、想定することはできません。少なくとも2つのノードがクラスタコミュニケーションのスタートアップのために必要なので、ウェイクアップを生じさせるノードのスタートアップは、もう1つのコールドスタートノードのウェイクアップ・初期設定・スタートアップするためにかかる最小時間まで、延期することを推奨します。

すべてのノードとスターが完全にウェイクアップ・設定完了されるその遅延時間は、目安として約数 100ms 必要です(ただし、使用するハードウェアに依存します)。

スタートアップは、同時にすべてのチャンネル上で行われます。スタートアップの間、ノードはスタートアップフレームのみを送信します。

障害に耐性のある分散スタートアップの手順が、全ノードの初期同期化のためにあらかじめ用意されています。一般に、ノードは下記に示される手順(図 3-3 参照)を通じて、NORMAL_ACTIVE ステートに遷移します。

- スケジュール同期化を始めるコールドスタート手順(リーディングコールドスタートノード)
- ほかのコールドスタートノードに参加するコールドスタート手順(フォロ잉コールドスタートノード)
- 既存コミュニケーションスケジュールに統合するインテグレーション手順(すべてのほかのノード)

コールドスタートの試行は、コリジョン回避シンボル(CAS)の送信で開始されます。CAS を送信したコールドスタートノードのみが、CAS の後に最初の 4 サイクルでフレーム送信します。その後、ほかのコールドスタートノードが参加し、次にそのほかすべてのノードがクラスタに参加します。

コールドスタートノードは、SUCC1:TXST と SUCC1:TXSY に"1"を設定することによって、キースロットに同期フレームを送信します。メッセージバッファ 0 は、スタートアップフレームが送信されるスロット番号を定義するキースロット ID を持ちます。スタートアップフレームのフレームヘッダにおいて、スタートアップフレームインジケータが"1"にセットされます。

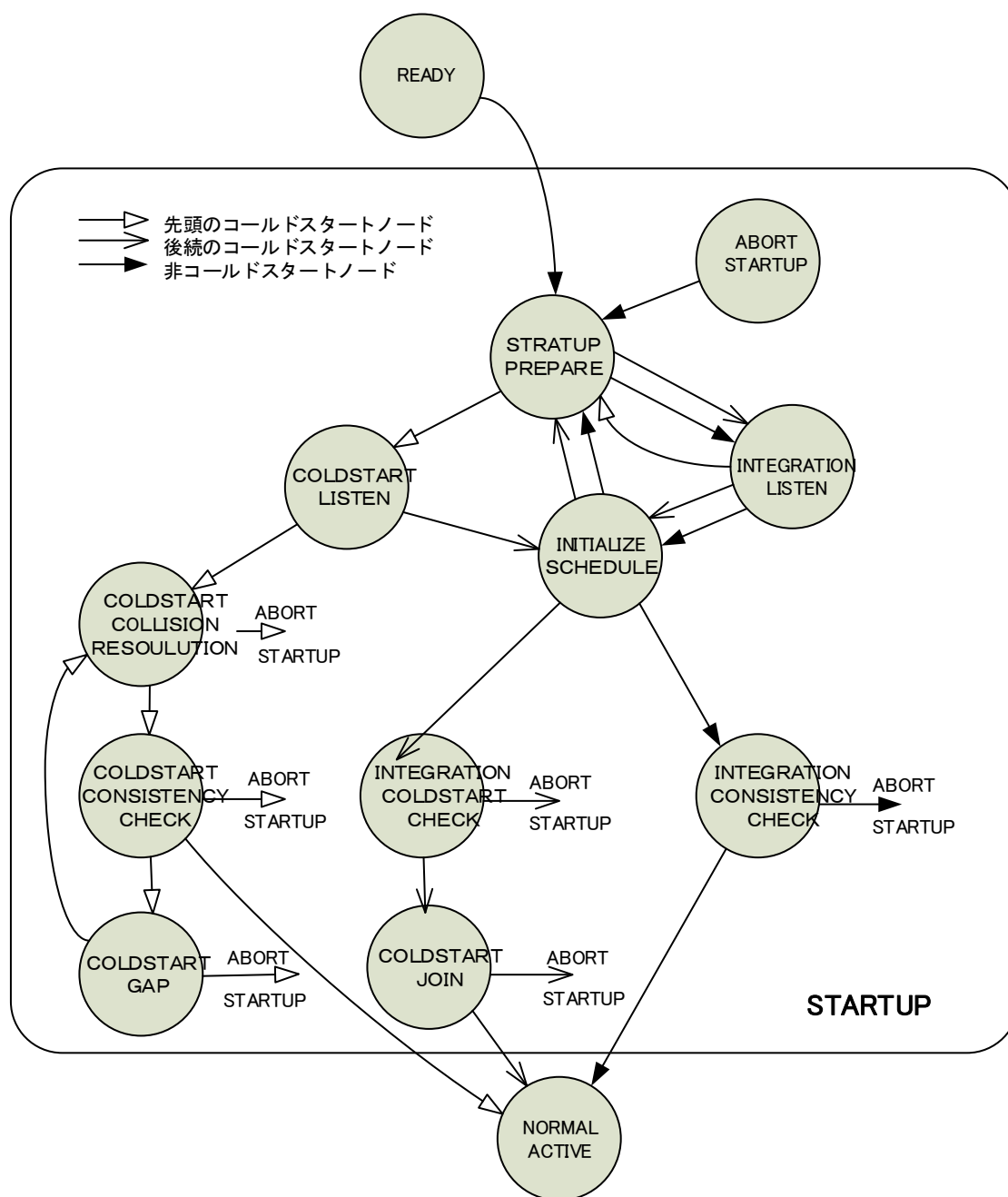
スタートアップフレームが送信された後、メッセージバッファ 0 の送信要求フラグ TXRQ1:TXR0 は、"0"にリセットされます。メッセージバッファ 0 からデータフレームを送信したいのならば、NORMAL_ACTIVE ステートへ遷移した後に、IBCR レジスタ経由で TXRQ1:TXR0 へ"1"を設定しなければなりません。設定しない場合、メッセージバッファ 0 に格納されたフレーム ID に対応したスロットの中に、ヌルフレームが送信されます。

3 つ以上で構成されるクラスタで、少なくとも 3 つのノードがコールドスタートノードであるように設定されなければなりません。2 つのノードで構成されるクラスタで、両ノードはコールドスタートノードでなければなりません。少なくとも 2 つの障害のないコールドスタートノードは、クラスタのスタートアップに必要です。

各スタートアップフレームも、同期フレームでなければなりません。そのため、すべてのコールドスタートノードは同期ノードでもあります。コールドスタートの試行回数は、SUCC1:CSA[4:0]によって設定されます。

非コールドスタートノードがクラスタに統合するためには、別のノードから少なくとも 2 つのスタートアップフレームを必要とします。コールドスタートノードがスタートアップを終える前に、非コールドスタートノードが統合を始めるかもしれませんが、少なくとも 2 つのコールドスタートノードがスタートアップを終えるまで、非コールドスタートノードはスタートアップを終了することはありません。

非コールドスタートノードとコールドスタートノードの両方が、TDMA(時分割多重アクセス)スケジュール情報を得てから同期フレームを受信したとき、すぐにインテグレーション手順を通じて受動的な統合を開始します。その統合の間、ノードはグローバルクロック(レートとオフセット)へ自身のクロックを適合させ、自身のサイクルタイムをネットワークのグローバルサイクルと整合します。その後、これらの設定は、すべての利用可能なネットワークノードで一貫性を持つためにチェックされます。ノードは、これらのチェックをパスしたときのみ能動的にコミュニケーションに参加できます。



(1) コールドスタート禁止モード

コールドスタート禁止モード(CCSV:CSI=1)においては、ノードはクラスタコミュニケーションを初期化することができません。それは、コールドスタート手順によってスタートアップを開始することが禁止されることを意味します。そのようなノードは、実行中のクラスタに統合するか、あるいはほかのコールドスタートノードがクラスタコミュニケーションの初期化を始めた後、スタートアップフレームを送信できます。

コールドスタート禁止ビット CCSV:CSI は、POC が READY ステートの間に設定可能です。このビットは、SUCC1:CMD[3:0]=1001 (CHI コマンド ALLOW_COLDSTART)によって、クリアしてください。

(2) スタートアップタイムアウト

FlexRay コントローラは、2つのタイムアウト値(スタートアップタイムアウトとスタートアップノイズタイムアウト)をサポートする2つの異なる μT タイマを提供します。この2つのタイマは、COLDSTART_LISTEN ステートに遷移したときに開始します。この2つのうちいずれかのタイマが終了したとき、ノードはコミュニケーションを開始するために、ほかのノード検出フェーズを終了(COLDSTART_LISTEN ステートから別のステートに遷移)します。

<注意事項>

- スタートアップタイムとスタートアップノイズタイムは、それぞれウェイクアップタイムとウェイクアップノイズタイムと同一であり、SUCC2:LT[20:0]と SUCC2:LTN[3:0]が使用されます。

a) スタートアップタイムアウト

スタートアップタイムアウトは、ほかのノード間でコミュニケーションが成立しているかどうか、もしくは少なくとも1つのコールドスタートノードがほかのノードの統合を要求しているかどうかを決定するために、ノードで使用されるリスンタイムを制限します。スタートアップタイムは、SUCC2:LT[20:0] (pdListenTimeout)にて設定されます。

スタートアップタイムは $\text{pdListenTimeout} = \text{SUCC2:LT}[20:0]$

スタートアップタイムは、下記によって再起動されます。

- COLDSTART_LISTEN ステートへの遷移
- COLDSTART_LISTEN ステートでの、両チャネルのアイドルステートへの到達

スタートアップタイムは下記によって停止します。

- COLDSTART_LISTEN ステートにいる間に、設定されたチャネルのうち1つのチャネルでコミュニケーションが検出された場合
- COLDSTART_LISTEN ステートから別のステートに遷移したとき

いったんスタートアップタイムが制限時間を過ぎた場合、タイマのオーバフローも周期的なリスタートも発生しません。タイマ状態は、今後の処理のために保持されます。

b) スタートアップノイズタイムアウト

スタートアップタイムとスタートアップノイズタイムは、STARTUP_PREPARE ステートから COLDSTART_LISTEN ステートへ遷移したときに開始します。スタートアップノイズタイムアウトは、ノイズが発生している環境下でスタートアップ手順の信頼性を改善するために使用されます。

スタートアップノイズタイムアウトは、SUCC2:LTN[3:0]によって決定されます。

スタートアップノイズタイムは

$$\text{pdListenTimeout} \cdot \text{gListenNoize} = \text{SUCC2:LT}[20:0] \cdot (\text{SUCC2:LTN}[3:0] + 1)$$

スタートアップノイズタイムアウトは、次のように計算されます。

$$\text{SUCC2:LT}[20:0] + (\text{SUCC2:LTN}[3:0] \times \text{SUCC2:LT}[20:0])$$

スタートアップノイズタイムは、下記の場合に再起動されます。



- COLDSTART_LISTEN ステートへの遷移
- COLDSTART_LISTEN ステートでの、正常にデコードされたヘッダもしくは CAS シンボルの受信

スタートアップノイズタイマは、COLDSTART_LISTEN ステートから別のステートに遷移したとき停止します。

いったんスタートアップタイマが制限時間を過ぎた場合、タイマのオーバフローも周期的なリスタートも発生しません。タイマ状態は、今後の処理のために保持されます。スタートアップノイズタイマは、任意のチャネルでコミュニケーションが検知されると再起動しません。つまりこのタイムアウトは、ノイズの発生している環境下においてもノードがコミュニケーションクラスタを開始可能なことを保証するために用意された、万一のための解決方法として定義されています。

(3) リーディングコールドスタートノードの起動過程(コールドスタートを開始する)

コールドスタートノードが COLDSTART_LISTEN ステートにあるとき、そのノードは接続されているチャネルの状態を監視します。

コミュニケーションが検出されない場合、ノードは COLDSTART_COLLISION_RESOLUTION ステートに遷移し、コールドスタートを開始します。CAS シンボルの最初の送信が、最初の通常サイクルに行われます。このサイクルを、サイクル 0 とよびます。

サイクル 0 から、ノードはそのスタートアップフレームを送信します。各コールドスタートノードがコールドスタート可能となるまで、あるいはいくつかのノードが同時に CAS シンボルを送信しコールドスタート手順からスタートアップを開始することがあります。この状態は、CAS 送信後の最初の 4 サイクル間に解決されます。

コールドスタート開始するノードが、この 4 サイクルの間に CAS シンボルもしくはフレームヘッダを受信した場合、再び COLDSTART_LISTEN ステートに遷移します。その結果、クラスタ中の 1 ノードだけがこのコールドスタート手順を継続します。サイクル 4 では、ほかのコールドスタートノードが、自分のスタートアップフレームを送信し始めます。

COLDSTART_COLLISION_RESOLUTION ステートでの 4 サイクルの後に、コールドスタートを開始するノードは、COLDSTART_CONSISTENCY_CHECK ステートに遷移します。そのノードは、サイクル 4, 5 からすべてのスタートアップフレームを集め、クロック補正を行います。クロック補正がエラーなく行われ、少なくとも 1 つの有効なスタートアップフレームのペアを受信した場合、COLDSTART_CONSISTENCY_CHECK から NORMAL_ACTIVE ステートに遷移します。

コールドスタート試行回数は、SUCC1:CSA[4:0]によって設定されます。コールドスタートの残存試行回数は、CCSV:RCA[4:0]から読み出すことが可能です。残存試行回数は、コールドスタート試行が行われるたびにデクリメントされます。残存試行回数が 1 より大きい場合、COLDSTART_LISTEN ステートに遷移でき、残存試行回数が 0 より大きい場合、COLDSTART_COLLISION_RESOLUTION ステートに遷移できます。コールドスタート試行回数が 1 の場合、クラスタに統合することは可能ですが、コールドスタートは禁止されます。

(4) フォローイングコールドスタートノードの起動過程(リーディングコールドスタートノードに反応する)

コールドスタートノードが COLDSTART_LISTEN ステートに遷移したとき、リーディングコールドスタートノードからサイクルスケジュールとクロック補正を得るために、スタートアップフレームの有効なペアを受信しようとしています。

1 番目の有効なスタートアップフレームを受信した場合、すぐに、INITIALIZE_SCHEDULE ステートに遷移します。また、2 番目の有効なスタートアップフレームを受信し、サイクルスケジュールを得ることができた場合、INTEGRATION_COLDSTART_CHECK ステートに遷移します。INTEGRATION_COLDSTART_CHECK ステートにおいては、クロック補正は正確に実行できることが保証され、また、リーディングコールドスタートノード(フォローイングコールドスタートノードは、このノードに合わせてスケジュールを初期化する)が利用可能であることも保証されています。フォローイングコールドスタートノードは、すべての同期フレームを集め、後続するサイクルペアにてクロック補正を実行します。クロック補正がエラーを示さない場合、かつそのノードが同じノードから十分なフレームを受信し続ける場合、COLDSTART_JOIN ステートに遷移します。

COLDSTART_JOIN ステートにおいて、フォローイングコールドスタートノードは、自分自身のスタートアップフレームを送信し始めて、次のサイクルでもそのフレームを送信し続けます。それによって、リーディン

グールドスタートノードとそれに参加するノードは、それらのサイクルスケジュールがお互いに同期されているかどうかチェックできます。クロック補正によってエラーが検出された場合、参加するノードはクラスタ統合を中止します。このステートにあるノードが、偶数サイクル中に少なくとも1つの有効なスタートアップフレームを受信し、かつすべてのサイクルペア中に少なくとも1つの有効なスタートアップフレームのペアを受信した場合、そのノードは **COLDSTART_JOIN** ステートから **NORMAL_ACTIVE** ステートに遷移します。それゆえ、フォローイングコールドスタートノードは、リーディングコールドスタートノードよりも、少なくとも1サイクル遅れて **STARTUP** ステートから **NORMAL_ACTIVE** ステートに遷移します。

(5) 非コールドスタートノードの起動過程

非コールドスタートノードが **INTEGRATION_LISTEN** ステートにあるとき、そのノードは接続されているチャネルの状態を監視します。

1 番目の有効なスタートアップフレームを受信した場合、すぐに **INITIALIZE_SCHEDULE** ステートに遷移します。また、2 番目の有効なスタートアップフレームを受信し、サイクルスケジュールを得ることができた場合、**INTEGRATION_CONSISTENCY_CHECK** ステートに遷移します。

INTEGRATION_CONSISTENCY_CHECK ステートにおいて非コールドスタートノードは、クロック補正が正常に動いているか、十分な数のコールドスタートノード(少なくとも2つ)がサイクルスケジュールに対して同期が取れたスタートアップフレームを送信しているかを検証します。クロック補正は動作しており、そのときに何らかのエラーが検出された場合、統合は中止されます。このステートにおける最初の偶数サイクルの間、2つの有効なスタートアップフレームか、またはこの非コールドスタートノードが統合した別ノードからの有効なスタートアップフレームのいずれかが受信されなければいけません。そうでなければ、そのノードは統合を中止します。

このステートにおける最初のサイクルペアの間、2つの有効なスタートアップフレームのペアか、またはこの非コールドスタートノードが統合した別ノードからの有効なスタートアップフレームのペアのいずれかが受信されなければいけません。そうでなければ、そのノードは統合を中止します。最初のサイクルペアの後、2つ以上の有効なスタートアップフレームが偶数サイクル以内に受信されなかった場合、または2つ以上の有効なスタートアップフレームのペアが1サイクルペア以内に受信されなかった場合、スタートアップは中止されます。

このステートにあるノードが、**STARTUP** ステートから **NORMAL_ACTIVE** ステートに遷移するためには、2つのサイクルペアに対して、それぞれ2つの有効なスタートアップフレームのペアを受信してください。その結果として、そのノードはコールドスタートを開始したノードの後の少なくとも1つのサイクルペア、かつ奇数サイクル番号を付された1サイクルの終了において、**STARTUP** ステートから **NORMAL_ACTIVE** ステートに遷移します。



3.5.8. NORMAL_ACTIVE ステート

最初の CAS シンボルを送信するノードと 1 つの追加のノードが、NORMAL_ACTIVE ステートに遷移した場合、すぐに、クラスタ全体のスタートアップフェーズが終了します。NORMAL_ACTIVE ステートで、すべての送信メッセージはその送信タイミングがスケジュールされます。これは、同期フレームと同様、すべてのデータフレームを含みます。レートとオフセットの測定が、すべての偶数サイクル(偶数/奇数サイクルのペアが要求される)で開始されます。

FlexRay コントローラは、NORMAL_ACTIVE ステートで通常の通信機能をサポートします。

- 設定どおりに FlexRay バス上の送受信を行う。
- クロック同期化は動作中である。

FlexRay コントローラは、NORMAL_ACTIVE ステートから下記のステートに遷移します。

- SUCC1:CMD[3:0]=0110(CHI コマンド HALT)の書き込みを行うことによって、現サイクルの終了後に HALT ステートへ
- SUCC1:CMD[3:0]=0111(CHI コマンド FREEZE)の書き込みを行うことによって、即座に HALT ステートへ
- ACTIVE から COMM_HALT へエラーステートが変化したために、HALT ステートへ
- ACTIVE から PASSIVE へエラーステートが変化したために、NORMAL_PASSIVE ステートへ
- SUCC1:CMD[3:0]=0010 (CHI コマンド READY)の書き込みを行うことによって、READY ステートへ

3.5.9. NORMAL_PASSIVE ステート

ACTIVE から PASSIVE にエラーステートが変化したとき、NORMAL_ACTIVE ステートから NORMAL_PASSIVE ステートに遷移します。

NORMAL_PASSIVE ステートで、ノードはすべてのフレームを受信可能です(ノードが完全に同期され、そしてクロック同期が実行できる)。ただし、NORMAL_ACTIVE ステートと比べて、ノードは能動的にコミュニケーションに参加しません。これは、シンボルとフレームのいずれも送信しないことを意味します。

NORMAL_PASSIVE ステートでは、下記の動作が行われます。

- FlexRay バス上のフレームを受信する。
- FlexRay バス上にフレームもシンボルも送信しない。
- クロック同期化は動作中である。

FlexRay コントローラは、NORMAL_PASSIVE ステートから下記のステートに遷移します。

- SUCC1:CMD[3:0]=0110 (CHI コマンド HALT)の書き込みを行うことによって、現サイクルの終了後に HALT ステートへ
- SUCC1:CMD[3:0]=0111 (CHI コマンド FREEZE)の書き込みを行うことによって、即座に HALT ステートへ
- PASSIVE から COMM_HALT へエラーステートが変化したために、HALT ステートへ
- PASSIVE から ACTIVE へエラーステートが変化したために、NORMAL_ACTIVE へ
(このエラーステート変化は、CCEV:PTAC[4:0]と SUCC1:PTA[4:0] -1 が一致したとき発生する。)
- SUCC1:CMD[3:0]=0010 (CHI コマンド READY)の書き込みを行うことによって、READY ステートへ

3.5.10. HALT ステート

このステートで、すべてのコミュニケーション(送受信)は停止します。

次の場合、FlexRay コントローラは HALT ステートに遷移します。

- SUCC1:CMD[3:0]=0110 (CHI コマンド HALT)の書き込みを行ったとき、NORMAL_ACTIVE もしくは NORMAL_PASSIVE ステートから遷移
- SUCC1:CMD[3:0]=0111 (CHI コマンド FREEZE)の書き込みを行ったとき、すべてのステートから遷移
- クロック補正フェタルカウンタが HALT 遷移クロック補正損失最大時間 WCF[3:0]に達したとき、NORMAL_ACTIVE ステートから遷移。SUCC1:HCSE を"1"にセット
- クロック補正フェタルカウンタが HALT 遷移クロック補正損失最大時間 WCF[3:0]に達したとき、NORMAL_PASSIVE ステートから遷移。SUCC1:HCSE を"1"にセット

次の場合、FlexRay コントローラはこのステートから DEFAULT_CONFIG ステートへ遷移します。

- SUCC1:CMD[3:0]=0001 (CHI コマンド CONFIG)の書き込みを行ったとき

SUCC1:CMD[3:0]=0110 (CHI コマンド HALT)の書き込みを行うとき、ビット CCSV:HRQ を"1"にセットし、そして次のサイクルが終了した後に HALT ステートに遷移します。

SUCC1:CMD[3:0]=0111 (CHI コマンド FREEZE)の書き込みを行うとき、すぐに HALT ステートに遷移し、ビット CCSV:FSI が"1"にセットされます。

HALT ステートへの遷移が起こった状態は CCSV:PSL[5:0]から読むことができます。



3.6. ネットワークマネジメント

発生したネットワークマネジメント(NM)ベクタは、レジスタ NMV1…3 から読み出すことができます。FlexRay コントローラは、ペイロードブリアンブルインジケータ(PPI)がセットされたすべての受信有効NMフレーム中の全 NM ベクタ上で、ビット OR 演算を実行します。NM フレームとして設定できるのは、スタティックフレームだけです。また、NM ベクタはそれぞれのサイクルの終了後に更新されます。

NM ベクタの長さは、NEMC:NML[3:0]によって 0 から 12 バイトに設定できます。NM ベクタ長は、クラスタのすべてのノードで同一に設定しなければなりません。

PPI ビットがセットされたフレームの送信バッファ設定のために、各送信バッファのヘッダセクションの PPIT ビットは、WRHS1:PPIT を通じて設定されなければなりません。さらに、それぞれの送信バッファのデータセクションに NM 情報の書込みを行わなければなりません。

NM ベクタを評価する仕組みは、アプリケーションにて実装してください。

<注意事項>

- メッセージバッファが、ネットワーク管理フレームの送信/ 受信のために設定された場合、そのメッセージバッファのヘッダ2の中で設定されたペイロード長は一致するか、あるいはNEMC:NML[3:0]に設定された NM ベクタ長より大きくなければなりません。HALT 状態を通過したとき、サイクルカウントは増加しません、したがって、NM ベクタをアップデートしません。この場合、NMV1…3 は以前のサイクルからの値を保持します。

3.7. フィルタリングとマス킹

現在のスロット、サイクルカウンタ値、チャンネルID(チャンネルA, B)とメッセージバッファの設定の比較によって、フィルタリングが行われます。それらの比較による情報一致が発生した場合、メッセージバッファについて更新/送信が行われます。

フィルタリングは下記で行われます。

- スロットカウンタ
- サイクルカウンタ
- チャンネルID

送受信時のフィルタリング用に下記のフィルタの組合せが可能です。

- スロットカウンタ+チャンネルID
- スロットカウンタ+チャンネルID+サイクルカウンタ

メッセージバッファに受信メッセージを格納するためには、すべての設定されたフィルタは受信メッセージの情報と一致しなければなりません。

<注意事項>

- FIFO用アクセプタンスフィルタは、FIFOリジェクションフィルタとFIFOリジェクションフィルタマスクによって設定されます。

メッセージは、設定されたチャンネルに、設定されたフレームIDに対応しているタイムスロットに送信されます。サイクルカウンタフィルタリングが有効の場合、設定されたサイクルフィルタ値も一致しなければなりません。

3.7.1. スロットカウンタフィルタリング

すべての送受信バッファは、ヘッダセクション中にフレームIDを含んでいます。フレームIDは、送受信バッファに対応するスロットに割り当てるために、現在のスロットカウンタ値と比較されます。

2つ以上のバッファが同じフレームIDかつ同じチャンネルIDに設定されている場合、かつそのバッファが同じスロットに対して一致するサイクルカウンタフィルタ値を持っている場合、最も低いバッファ番号のメッセージバッファが使われます。

3.7.2. サイクルカウンタフィルタリング

サイクルカウンタフィルタリングは、サイクルセットの概念に基づいています。フィルタリングのために、サイクルセットの要素の1つが一致した場合、フィルタとの一致が検出されます。サイクルセットは、各メッセージバッファのヘッダセクション1でのサイクルコードフィールドによって定義されます。

メッセージバッファ0が、SUCC1:TXST, SUCC1:TXSY, SUCC1:TSMの各ビットの設定によって、スタートアップ/同期フレーム、もしくはシングルスロットフレームを格納するように設定されている場合、メッセージバッファ0のサイクルカウンタフィルタリングを無効にしてください。

<注意事項>

- FlexRayネットワークの異なったノードの間のサイクルカウンタフィルタリングによってのスタティックタイムスロットの共有が許されていません。

サイクルセットに属しているサイクル数の設定は、表 3-4 で記述されているとおりです。



表 3-4 サイクルセットの定義

サイクルコード	サイクルカウンタ値との一致
000000x	all Cycles
000001c	every second Cycle at $(\text{Cycle Count}) \bmod 2 = c$
00001cc	every fourth Cycle at $(\text{Cycle Count}) \bmod 4 = cc$
0001ccc	every eighth Cycle at $(\text{Cycle Count}) \bmod 8 = ccc$
001cccc	every sixteenth Cycle at $(\text{Cycle Count}) \bmod 16 = cccc$
01ccccc	every thirty-second Cycle at $(\text{Cycle Count}) \bmod 32 = ccccc$
1cccccc	every sixty-fourth Cycle at $(\text{Cycle Count}) \bmod 64 = ccccccc$

下記の表 3-5 は、サイクルカウンタフィルタリングのために使用される有効なサイクルセットのいくつかの例を示しています。

表 3-5 有効なサイクルセットの例

サイクルコード	サイクルカウンタ値との一致
0000011	1-3-5-7-.....-63
0000100	0-4-8-12-.....-60
0001110	6-14-22-30-.....-62
0011000	8-24-40-56
0100011	3-35
1001001	9

受信されたメッセージは、メッセージを受信しているサイクル間のサイクルカウンタ値が、受信バッファのサイクルセットの要素に一致している場合のみ、格納されます。ほかのフィルタ基準も同じく満たされなければなりません。

送信バッファの内容は、サイクル設定の要素と現在のサイクルカウンタ値が一致したとき、設定したチャンネルに送信されます。ほかのフィルタ基準も同じく満たされなければなりません。

3.7.3. チャネル ID フィルタリング

メッセージRAM中の各メッセージバッファのヘッダセクション中に、2ビットチャネルフィルタリングフィールド(CHA, CHB)があります。それは、受信バッファのためのフィルタとして、そして送信バッファのための制御フィールドとしての役割を果たします(下記表 3-6 を参照)。

表 3-6 チャネルフィルタリング設定

CHA	CHB	送信バッファ(送信フレーム)	受信バッファ(受信フレームを保存)
1	1	両 ch (スタティックセグメントのみ)	Ach または Bch (最初の有効フレームを保存, スタティックセグメントのみ)
1	0	Ach	Ach
0	1	Bch	Bch
0	0	転送なし	フレーム無視

スロットカウンタフィルタリングとサイクルカウンタフィルタリング基準を満たしたとき、送信バッファの内容は、チャネルフィルタリングフィールドで指定されたチャネルに送信されます。ただし、両チャネルに送信するようにセットアップ(CHA と CHB を設定)されることが許されるのは、スタティックセグメントにおいてのみです。

スロットカウンタフィルタリングとサイクルカウンタフィルタリング基準を満たしたとき、有効受信フレームは、それらがチャネルフィルタリングフィールドで指定されたチャネルで受信されたときに、格納されます。ただし、両チャネルでフレーム受信するようにセットアップ(CHA と CHB を設定)されることが許されるのは、スタティックセグメントにおいてのみです。

<注意事項>

- メッセージバッファがダイナミックセグメントに設定され、そして両方のチャネルフィルタリングフィールドのビット(CHA, CHB)が"1"に設定された場合、フレームは送信されず、受信フレームは無視されます(CHA = CHB = 0 の機能と同じ)。

3.7.4. FIFO フィルタリング

FIFO フィルタリングのために、1つのリジェクトフィルタと1つのリジェクトフィルタマスクが用意されています。リジェクトフィルタは、チャネルフィルタ FRF:CH[1:0]、フレーム ID フィルタ FRF:FID[10:0]、サイクルカウンタフィルタ FRF:CYF[6:0]から構成されます。FRF レジスタ、FRFM レジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで設定できます。

FIFO のグループに属しているメッセージバッファのヘッダセクションのフィルタ設定は、無視されます。7ビットサイクルカウンタフィルタ FRF:CYF[6:0]はサイクルセットを指定し、フレーム ID フィルタとチャネルフィルタが適用されるコミュニケーションサイクルを決定します。このレジスタにより指定されたサイクルセットによって、フレーム ID フィルタとチャネルフィルタが適用されないサイクルの間、すべてのフレームは受信されません。

設定されたリジェクションフィルタとリジェクションフィルタマスクによるフィルタリングによって、チャネル ID、フレーム ID、サイクルカウンタがリジェクトされない場合、なおかつ専用の受信バッファに一致しない場合、有効な受信フレームは FIFO に格納されます。



3.8. 送信手順

3.8.1. スタティックセグメント

スタティックセグメントについて、送信が保留されているいくつかのメッセージがある場合、次の送信スロットに対応するフレーム ID を持っているメッセージが次の送信メッセージとして選択されます。

スタティックセグメントに割り当てられた送信バッファのデータセクションは、前のタイムスロットの終了までに更新できます。これは、このタイムスロットの最後にインプットバッファコマンドリクエストレジスタに書き込むことで、インプットバッファからのメッセージ転送が開始されなければならないことを意味します。

3.8.2. ダイナミックセグメント

ダイナミックセグメントについて、送信が保留されているいくつかのメッセージがある場合、そのうち優先度の高い(フレーム ID が最も小さい)メッセージが、次に送信メッセージとして選択されます。また、ダイナミックセグメントにおいては、チャンネル A とチャンネル B で異なったスロットカウンタ列が発生することがあります(両方のチャンネルで違ったフレーム ID で同時送信する場合)。

ダイナミックセグメントに割り当てられた送信バッファのデータセクションは、前のスロットの終了までに更新できます。これは、このタイムスロットの最後にインプットバッファコマンドリクエストレジスタに書き込むことで、インプットバッファからのメッセージ転送が開始されなければならないことを意味します。

送信終了ミニスロット値 `MHDC:SLT[12:0]` は、現サイクルのダイナミックセグメントにおいて、フレームの送信を禁止する前の、送信可能な最大ミニスロット値を定義します。

3.8.3. 送信バッファ

メッセージバッファは、各メッセージバッファのヘッダセクションの `CFG` ビットを、`WRHS1` を通じて "1" に設定することによって、送信バッファとして使用できます。送信バッファを FlexRay コントローラのチャンネルに割り当てるには、以下の方法があります。

- スタティックセグメント: チャンネル A もしくはチャンネル B, チャンネル A とチャンネル B
- ダイナミックセグメント: チャンネル A もしくはチャンネル B

メッセージバッファ 0 は、`SUCC1:TXST`, `SUCC1:TXSY`, `SUCC1:TSM` によって設定されるようにスタートアップフレーム、同期フレームを格納する専用バッファ、あるいは指定シングルスロットフレーム専用バッファとして使用されます。この場合、メッセージバッファ 0 は `DEFAULT_CONFIG` ステートまたは `CONFIG` ステートのみで再設定できます。これは、どんなノードでもコミュニケーションサイクルごとに大抵 1 つのスタートアップフレーム/同期フレームを送信することを保証します。ほかのメッセージバッファからのスタートアップフレーム/同期フレームの送信は不可能です。

スタティックセグメントもしくはダイナミックセグメント送信用に設定されたバッファ 0 以外の全メッセージバッファは、`MRC:SEC[1:0]` の設定により実行中に再設定可能です(「3.11.1 メッセージバッファ再設定」を参照)。ただし、メッセージ RAM 中のデータパーティションは、ヘッダパーティション中のデータポイントによって参照されているため、メッセージバッファのヘッダセクション中のペイロード長とデータポイントを再設定したときに、誤ったメッセージバッファの構成をする恐れがあります。

メッセージバッファが実行中に再設定された場合(ヘッダセクションが更新された場合)、このメッセージバッファは各コミュニケーションサイクルにて送信されない場合があります。FlexRay コントローラは、ヘッダ CRC を計算する機能を持たないため、すべての送信バッファに対してヘッダ CRC を提供しなければなりません。ネットワークマネジメントが必要とされる場合、ホストは各メッセージバッファのヘッダセクション中の `PPIT` ビットを "1" に設定して、メッセージバッファのデータセクションにネットワークマネジメント情報の書き込みを行わなければなりません(「3.6 ネットワークマネジメント」を参照)。

ペイロード長フィールドには、2 バイト単位のペイロード長が格納されます。設定されているスタティック送信バッファのペイロード長が `MHDC:SFDL[6:0]` の設定より短い場合、スタティックフレームのペイロード長を保証するためにパディングバイトが挿入されます。パディングバイトは、"0" で示されます。

＜注意事項＞

- － 奇数ペイロード長(PLC=1, 3, 5, …)の場合には、メッセージバッファの最後に 16 ビットのゼロを書かなければなりません。

各送信バッファは、送信モードフラグ TXM によって送信モードを設定できます。このビットが"1"に設定されている場合、送信メッセージはシングルショットモードで送信されます。このビットが"0"に設定されているならば、送信メッセージはコンティニューアスモードで送信されます。

シングルショットモードでは、各メッセージバッファの TXR フラグは送信終了後に"0"にクリアされます。そのとき初めて、送信バッファを次に送信するメッセージで上書きできます。コンティニューアスモードでは、各メッセージバッファの TXR フラグは送信終了後に"0"にクリアされません。この場合、フィルタ基準が一致するごとに、フレームが送信されます。IBCM:STXRH ビットが"0"に設定される間、IBCR レジスタにそれぞれのメッセージバッファ番号を書き込むことで、TXR フラグを"0"にクリアできます。

2つ以上の送信バッファがフィルタ基準を満たす場合は、最も低いバッファ番号の送信バッファが、各スロット中の送信に使われます。

3.8.4. フレーム送信

送信用のメッセージバッファを用意するために、下記の手順が必要です。

- － WRHS1, WRHS2, WRHS3 を通じてメッセージ RAM 中の送信バッファを設定する
- － WRDSn を通じて、送信バッファのデータセクションにデータの書き込みを行う
- － IBCR レジスタにターゲットバッファ番号を書き込むことで、インプットバッファからメッセージ RAM への設定とメッセージデータの転送を行う
- － IBCM レジスタをメッセージ送信するように設定した場合、それぞれのメッセージバッファの送信要求フラグ TXR は、インプットバッファからの転送が完了した場合、すぐに"1"にセットされ、メッセージバッファは送信待ちとなる。
- － TRXQ1/2/3/4 レジスタ中の、それぞれの TXR ビット(TXR=0)をチェックすることによって、メッセージバッファが送信完了したかどうかを確認できる(ただし、シングルショットモードのみ)。

送信完了後、TXRQ1/2/3/4 のそれぞれの TXR フラグは"0"にクリアされます(シングルショットモード)。そして、そのメッセージバッファのヘッダセクションのビット MBI が"1"に設定されている場合、SIR:TXI が"1"にセットされます。割込み有効ならば割込みが発生します。

3.8.5. マルフレーム送信

スタティックセグメントで送信時間前に送信要求フラグが"1"にセットされず、さらにほかの送信バッファでフィルタ基準に一致するものがない場合、FlexRay コントローラはマルフレームインジケータが"0"、ペイロードデータが"0"にクリアされたマルフレームを送信します。

下記の場合、マルフレームが送信されます。

- － フィルタ基準に一致し、最も低いバッファ番号のメッセージバッファについて、その送信要求フラグがセットされていない(TXR=0)場合
- － 全送信バッファが、現在のサイクルに一致しないサイクルカウンタフィルタを持っている場合。この場合、メッセージバッファステータス MBS は更新されない。

マルフレームは、ダイナミックセグメントでは送信されません。



3.9. 受信手順

3.9.1. 受信バッファ

メッセージバッファは、各メッセージバッファのヘッダセクションの CFG ビットを、WRHS1 を通じて "0" に設定することによって、専用の受信バッファとして使用できます。受信バッファを FlexRay コントローラのチャンネルに割り当てるには、以下の方法があります。

- スタティックセグメント: チャンネル A もしくはチャンネル B, チャンネル A とチャンネル B
- ダイナミックセグメント: チャンネル A もしくはチャンネル B

FlexRay コントローラは受信バッファに対して、フィルタ基準に一致したフレームの全要素(フレーム CRC を除く)を格納します。

スタティックセグメントまたはダイナミックセグメント用に設定された全受信メッセージバッファは、MRC.SEC [1:0] の設定によって、実行中に再設定が可能です(「3.11.1 メッセージバッファ再設定」を参照)。

ただし、実行中にメッセージバッファのヘッダセクションが再設定された場合、各コミュニケーションサイクルの受信メッセージがロストされる恐れがあります。

2 つ以上のバッファがフィルタ基準に一致した場合、最下位メッセージバッファ番号を持つ受信バッファが受信メッセージによって更新されます。

3.9.2. フレーム受信

受信用のメッセージバッファを準備するために、下記の手順が必要です。

- WRHS1, WRHS2, WRHS3 を通じて、メッセージ RAM 中の受信バッファを設定する。
- IBCR レジスタにターゲットメッセージバッファ番号の書き込みを行うことによって、インプットバッファからメッセージ RAM へ設定を転送する。

このステップが実行されると、メッセージバッファはアクティブな受信バッファとして機能し、メッセージが受信されるたびにアクセプタンスフィルタリング処理が行われます。最初にフィルタ基準に一致した受信バッファは、受信メッセージによって更新されます。

有効なペイロードセグメントがメッセージバッファのデータセクションに格納されたならば、NDAT1/2/3/4 レジスタ中の各 ND フラグが "1" にセットされます。また、そのメッセージバッファのヘッダセクション中の MBI ビットが "1" にセットされている場合、SIR:RXI フラグが "1" にセットされます。割込みが有効ならば割込みが発生します。

メッセージバッファを更新するときに、ND ビットが既に "1" にセットされている場合は、受信メッセージバッファの MBS:MLST がセットされ、未処理のメッセージデータが失われます。

スロット中にフレームがない場合、あるいはヌルフレーム、破壊フレームのいずれかがスロットで受信された場合、このスロット用に設定されたメッセージバッファのデータセクションは更新されません。この場合、各メッセージバッファステータスフラグだけが、更新されます。

メッセージバッファのヘッダセクション中のステータスフラグが更新されたとき、MBSC1/2/3/4 レジスタの各 MBS フラグが "1" にセットされます。そのメッセージバッファのヘッダセクションのビット MBI が "1" にセットされている場合、SIR:MBSI フラグは "1" にセットされます。割込みが有効ならば割込みが発生します。受信フレームのペイロード長 PLR[6:0] が、各メッセージバッファのヘッダセクションの PLC[6:0] で設定された値より長いならば、メッセージバッファに格納されたデータフィールドはその長さになるように切り捨てられます。

アウトプットバッファ(OBF)とメッセージ RAM 間のデータ転送は、「3.11.2 メッセージ RAM へのホストアクセス」の「b) メッセージ RAM からアウトプットバッファへのデータ転送」で詳細に説明されます。

<注意事項>

- ND と MBS フラグは、受信されたメッセージのペイロードデータとヘッダがそれぞれアウトプットバッファに転送されるとき、"0"にクリアされます。

3.9.3. Null フレーム受信

受信した Null フレームのペイロードセグメントは、受信バッファに反映されません。Null フレームが受信された場合、受信バッファのヘッダセクションは受信 Null フレームによって更新されます。

受信したメッセージバッファのヘッダセクションの Null フレームインジケータ NFI は、"0"にクリアされます。

メッセージバッファのヘッダセクション中のステータスフラグが更新されたとき、MBSC1/2/3/4 レジスタ中の各 MBS フラグが"1"にセットされます。そのメッセージバッファのヘッダセクションのビット MBI が"1"に設定されている場合、SIR:MBSI フラグは"1"にセットされます。割込み有効ならば割込みが発生します。

3.10. FIFO 機能

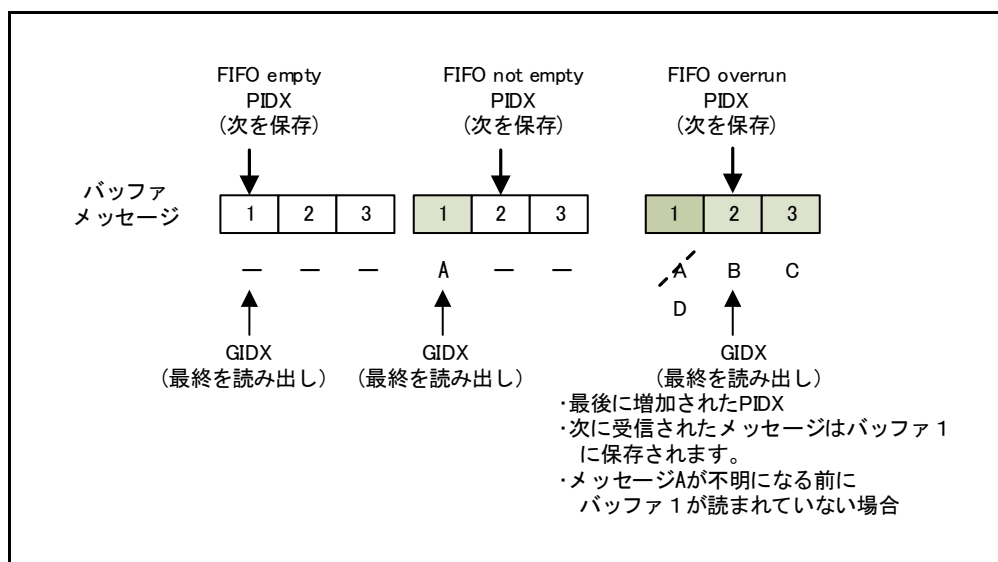
3.10.1. 詳細

メッセージバッファの 1 グループが、FIFO バッファとして設定できます。FIFO メッセージグループに属しているメッセージバッファは、レジスタマップ中で隣接しており、MRC:FFB[7:0]によって参照されたメッセージバッファで開始し、MRC:LCB[7:0]によって参照されたメッセージバッファで終了します。最大 127 のメッセージバッファを FIFO に割り当てることが可能です。専用受信バッファのフィルタ条件に一致せず、設定された FIFO フィルタ条件に一致するすべての有効な受信メッセージが、FIFO に格納されます。この場合、指定された FIFO メッセージバッファ中のフレーム ID、ペイロード長、受信サイクルカウント、ステータスビットが、受信フレームによって上書きされます。またビット SIR:RFNE は FIFO がエンプティでないことを示し、ビット SIR:RFF は受信 FIFO がフルになるときに"1"にセットされ、EIR:RFO ビットは FIFO オーバーランが検出されたことを示します。割り込み有効ならば割り込みが発生します。

FIFO は、それ自身と結び付けられた 2 つのインデックスレジスタ、PUT Index(PIDX)レジスタと GETIndex(GIDX)レジスタを持っています。PIDX レジスタは、FIFO 中で次のメッセージが格納される場所を示します。新しいメッセージが受信されたとき、そのメッセージは PIDX レジスタによって指定されたメッセージバッファに書込まれます。そのとき、PIDX レジスタ値はインクリメントされ、次のメッセージが格納されるメッセージバッファを示します。PIDX レジスタ値が FIFO 中の最も高いメッセージバッファ番号を超えて増加する場合、PIDX レジスタには FIFO 中で最も低いメッセージバッファ番号の値になります。GIDX レジスタは、読出される FIFO 中の次のメッセージバッファを指定するために使用されます。FIFO メッセージグループに属しているメッセージバッファの内容をアウトプットバッファへ転送した後、GIDX レジスタ値はインクリメントされます。PIDX レジスタと GIDX レジスタに対し、アクセスはできません。

PIDX レジスタ値が GIDX レジスタ値に達したとき、FIFO はフルになります。FIFO 中で最も古いメッセージが読出される前に次のメッセージが書込まれたとき、PIDX レジスタ値と GIDX レジスタ値は両方ともインクリメントされ、新しいメッセージが FIFO 中の最も古いメッセージを上書きします。これによって、EIR:RFO フラグが"1"にセットされます。

図 3-7 FIFO ステータス: エンプティ、非エンプティ、オーバーラン



PIDX レジスタ値と GIDX レジスタ値が異なるとき、FIFO 非エンプティ状態が検出され、フラグ SIR:RFNE が"1"にセットされます。これは、FIFO 中に少なくとも 1 つの受信したメッセージが存在することを示します。図 3-7 では、FIFO 中に 3 つのメッセージバッファを持つ場合の FIFO エンプティ、FIFO 非エンプティ、FIFO オーバーランの 3 つの状態について説明しています。

FIFO リジェクションフィルタ(FRF)は、メッセージをリジェクトするためのフィルタパターンを定義します。そのフィルタは、チャネルフィルタ、フレーム ID、サイクルカウンタフィルタから構成されます。FRF:RSS ビットが"1"に設定されているならば、スタティックセグメントで受信されるすべてのメッセージが、その

FIFO フィルタによってリジェクトされます。FRF:RNF ビットが"1"に設定されているならば、受信したヌルフレームは FIFO に格納されません。

FIFO リジェクションフィルタマスク (FRFM) は、FIFO リジェクションフィルタレジスタのフレーム ID フィルタ中で、リジェクトフィルタリングにおいてどのビットを使用しないかを指定します。

3.10.2. FIFO の設定

FIFO に属しているすべてのメッセージバッファについて、ペイロード長 PLC[6:0] は、WRHS2 を通じて同じ値に設定してください。また、メッセージ RAM 中の各メッセージバッファについて、データセクションの先頭 32 ビットワードへのデータポインタは、WRHS3 を通じて設定してください。

アクセプタンスフィルタに要求されるすべての情報は、FIFO リジェクションフィルタと FIFO リジェクションフィルタマスクにて設定されるため、FIFO に属している各メッセージバッファのヘッダセクションでは、そのフィルタ条件は設定する必要はありません。

<注意事項>

- RX 割込みの発生を避けるために WRHS1:MBI を"0"にし、FIFO としてメッセージバッファに MBI ビットをプログラムすることを推奨します。受信フレームのペイロード長が各メッセージバッファのヘッダセクションでの PLC[6:0] の設定値より大きいならば、FIFO のメッセージバッファに格納されるデータフィールドは、PLC[6:0] の長さに切り捨てられます。



3.10.3. FIFO へのアクセス

FIFO から読み出すためには、FIFO の最初のメッセージバッファ番号(MRC:FFB[7:0]によって参照される)を OBCR レジスタに対して書き込むことにより、メッセージ RAM からアウトプットバッファへ転送してください。そのことにより、GIDX レジスタによって指定されたメッセージバッファは、アウトプットバッファに転送されます。この転送の後、GIDX レジスタ値はインクリメントされます。

3.11. メッセージハンドリング

メッセージハンドリングは、インプット/アウトプットバッファとメッセージ RAM 間、そしてメッセージ RAM と 2 つの一時記憶バッファ RAM 間のデータ転送を制御します。内部 RAM へのすべてのアクセスは、32+1 ビット単位で行われます。追加ビットはパリティチェックのために使用されます。

メッセージ RAM に格納されるメッセージバッファへのアクセスは、メッセージハンドリングステートマシンの制御下で行われます。これは、2 つの FlexRay チャンネルプロトコルコントローラとメッセージ RAM へのホスト間のアクセスの衝突を回避する役割を果たします。

スタティックセグメントに割り当てられるメッセージバッファのフレーム ID は、1 から GTUC7:NSS[9:0]までの範囲にしてください。ダイナミックセグメントに割り当てられるメッセージバッファのフレーム ID は、GTUC7:NSS[9:0]+1 から 2047 までの範囲にしてください。

専用受信バッファ(スタティックセグメントまたはダイナミックセグメント)のフィルタ条件に一致しない受信メッセージは、そのメッセージが FIFO リジェクションフィルタのフィルタ条件に一致した場合に、(設定されているならば)受信 FIFO に格納されます。

3.11.1. メッセージバッファ再設定

アプリケーションが 128 個より多くのメッセージバッファを必要とする場合、スタティックメッセージバッファおよびダイナミックメッセージバッファは、FlexRay コントローラの動作中に再設定される場合があります。これは、インプットバッファレジスタ WRHS1...3 を通じて、それぞれのメッセージバッファのヘッダセクションを更新することで実行されます。

再設定は、メッセージ RAM 設定レジスタ中の MRC:SEC[1:0]のコントロールビットを通じて有効としなければなりません。

再設定が始まる以前に、メッセージバッファが受信フレームにより更新されなかった場合、あるいはメッセージバッファの送信メッセージが送信されなかった場合、そのメッセージは失われます。

再設定されたメッセージバッファについて、フレーム ID の再設定によって送受信する準備ができるタイミングは、ヘッダセクションの更新が終わったときの現行のスロットカウンタのステートに依存します。そのため、再設定されたメッセージバッファは、その再設定がなされるサイクルによっては、メッセージバッファが受信フレームにより更新されなかったり、あるいはメッセージバッファの送信メッセージが送信されなかったりする場合があります。

メッセージ RAM スキャンは完了しなくとも NIT のスタートで終了する。2 から 15 スロットのメッセージ RAM スキャンは実サイクルのスロット 1 の初めからスタートする。スロット 1 のメッセージ RAM スキャンは、次のサイクルのスロット 1 用に設定されたメッセージバッファがあっても、メッセージ RAM の各スキャンと平行してチェックすることにより、サイクルに以前に行われます。

最初のダイナミックメッセージバッファの番号は MRC:FDB[7:0]で設定されます。CC がダイナミックセグメントにある間、メッセージ RAM スキャンがスタートした場合、スキャンは MRC:FDB[7:0]に設定されたメッセージバッファ番号で始まります。

メッセージバッファを次のサイクルのスロット 1 で使用するために再設定する場合、次のようにしなければなりません。

- スロット 1 用に再設定されるメッセージバッファが「スタティックバッファ」の場合、実サイクルのスタティックセグメントで最後のメッセージ RAM スキャンがこのメッセージバッファを評価する前に再設定します。
- スロット 1 用に再設定されるメッセージバッファが「スタティック+ダイナミックバッファ」の場合、実サイクルの最後のメッセージ RAM スキャンがこのメッセージバッファを評価する前に再設定します。
- NIT のスタートはメッセージ RAM スキャンを終了します。メッセージ RAM スキャンがこのときまで再設定されたメッセージバッファを評価していなかった場合、メッセージバッファは次のサイクルの間考慮されません。

<注意事項>

- メッセージバッファの再設定は、メッセージ損失につながる可能性があるため、十分に注意して行わなければなりません。連続サイクルでの再設定を行った場合、メッセージバッファが受信フレー



ムにより全く更新されなかったり、あるいはメッセージバッファの送信メッセージが全く送信されなかったりする場合があります。

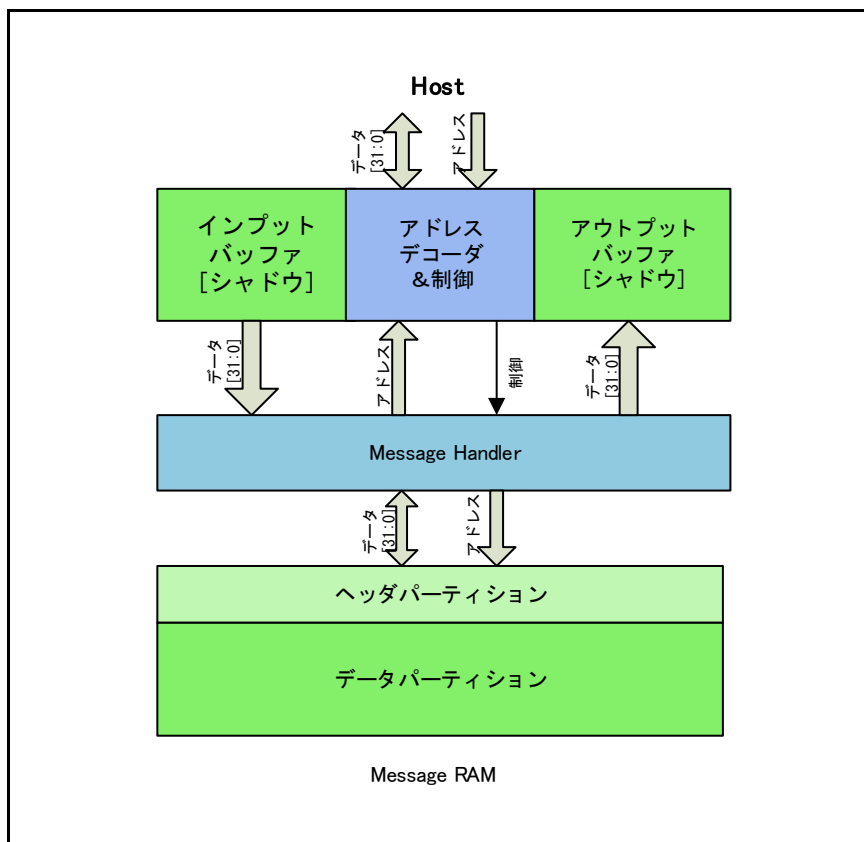
3.11.2. メッセージ RAM へのホストアクセス

インプットバッファとメッセージ RAM 間、メッセージ RAM とアウトプットバッファ間のメッセージ転送は、それぞれ転送対象となるメッセージバッファの番号を IBCR レジスタ、OBCR レジスタに書き込むことで開始されます。

IBCM レジスタ、および OBCM レジスタは、選択されたメッセージバッファのヘッダセクションとデータセクションを読み出し/書き込みするために別々に使用できます。IBCM:STXRH ビットに"1"を設定した場合、IBCM:STXRS ビットが"1"にセットされ、選択されたメッセージバッファが更新された後、メッセージバッファの送信要求フラグ TXR は自動的に"1"にセットされます。IBCM:STXRH ビットに"0"を設定した場合、IBCM:STXRS ビットが"0"にクリアされ、選択されたメッセージバッファの送信要求フラグ TXR は"0"にクリアされます。このクリア動作は、コンティニューアスモードで稼働しているメッセージバッファから送信をストップするために使用できます。

インプットバッファ(IBF)とアウトプットバッファ(OBF)は、ダブルバッファで構成されます。このダブルバッファ構成のうちのIBFホスト/OBFホストは、ホストからアクセス可能であり、もう一方のIBFシャドウ/OBFシャドウは、IBF/OBF とメッセージ RAM 間のデータ転送のためにメッセージハンドラからアクセスされます。

図 3-8 メッセージ RAM へのホストアクセス

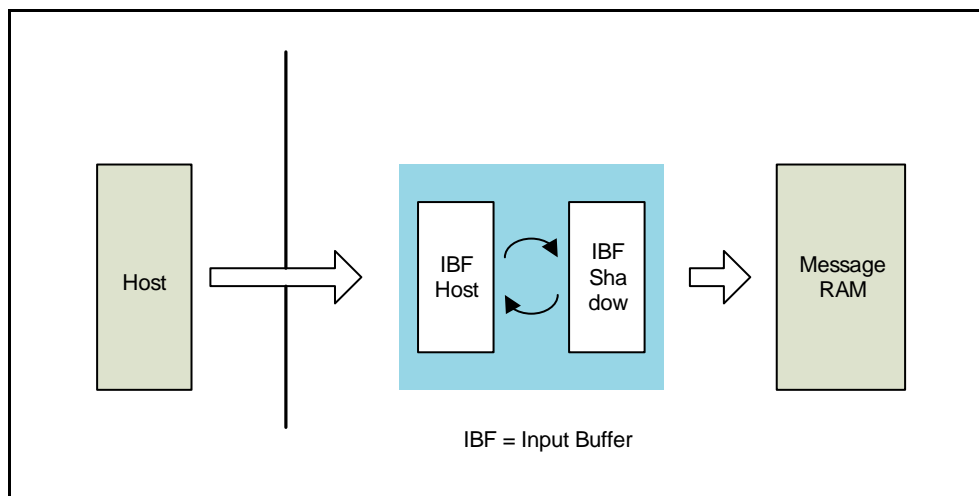


a) インプットバッファからメッセージ RAM へのデータ転送

メッセージRAMのメッセージバッファを設定/更新するために、データをWRDS_nに、さらにヘッダをWRHS1…3に書き込みを行わなければなりません。IBCMを設定することによって、特定の動作が選択されます。

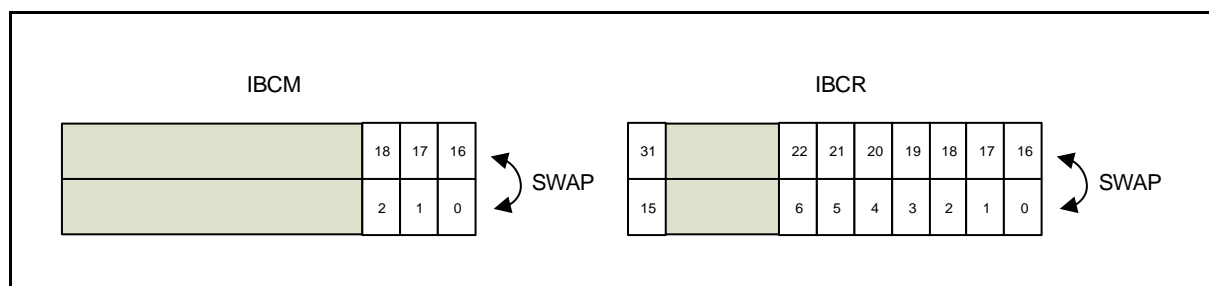
IBCR:IBRH[6:0]へのメッセージRAMのターゲットメッセージバッファ番号の書き込みが行われることにより、IBFホストとIBFシャドウが入れ替わります(図 3-9 参照)。

図 3-9 インพุットバッファの2重バッファ構造



さらに、IBCM レジスタと IBCR レジスタでのビットについても、IBF の各セクションに対する関連付けを保つために、交換されます(図 3-10 参照)。

図 3-10 IBCM レジスタと IBCR レジスタのビット交換



この書き込み動作によって、IBCR:IBSYS は"1"にセットされます。メッセージハンドラは、IBCR:IBRS[6:0]によって選択されたメッセージ RAM 中のメッセージバッファに、IBF シャドウの内容を送信し始めます。

IBF シャドウからメッセージ RAM 中のターゲットメッセージバッファヘデータを転送している間に、IBF ホストへ次のメッセージの書き込みが可能です。IBF シャドウとメッセージ RAM 間の転送が完了した後にビット IBCR:IBSYS は"0"にクリアされた後、IBCR:IBRH[6:0]に次のターゲットメッセージバッファ番号の書き込みを行うことで、メッセージ RAM への次の転送が開始されます。

IBCR:IBRH[6:0]への書き込みが IBCR:IBSYS="1"の間に発生した場合、IBCR:IBSYH は"1"にセットされます。IBF シャドウからメッセージ RAM へのデータ転送が完了したとき、IBCR:IBSYH は"0"にクリアされ、IBCR:IBSYS には"1"が保持され、そしてメッセージ RAM への次の転送が開始されます。さらに、IBCR:IBRH[6:0]と IBCR:IBRS[6:0]に格納されているメッセージバッファ番号と、コマンドマスクフラグは同時に入れ替わります。

インプットバッファの設定手順の例:

IBF を通じて, 1 番目のメッセージバッファを設定/更新します。

WRDSn へ, データセクションの書込み

WRHS1...3 へ, ヘッダセクションの書込み

コマンドマスクの書込み: IBCM:LHSH, IBCM:LDSH, IBCM:STXRH への書込み

対象メッセージバッファへのデータ転送要求: IBCR:IBRH[6:0]への書込み

IBF を通じて, 2 番目のメッセージバッファを設定/更新します。

WRDSn へ, データセクションの書込み

WRHS1...3 へ, ヘッダセクションの書込み

コマンドマスクの書込み: IBCM:LHSH, IBCM:LDSH, IBCM:STXRH への書込み

対象メッセージバッファへのデータ転送要求: IBCR:IBSYH が"0"にクリアされた後の, IBCR:IBRH[6:0]への書込み

IBF を通じて, 3 番目のメッセージバッファを設定/更新します。

...(以下, 2 番目のメッセージバッファの設定/更新の手順のくりかえし)

<注意事項>

- IBCR:IBSYH が"1"のとき, インプットバッファへのアクセスはエラーフラグ EIR:IIBA を"1"にセットします。この場合アクセスは無効となります。

表 3-7 インプットバッファコマンドマスクビットの割り当て

位置	アクセス	ビット	機能
18		STXRS	送信要求シャドウの開始または終了を設定
17	r	LDSS	データセクションシャドウ開始または終了を読み出す
16	r	LHSS	ヘッダセクションシャドウ開始または終了を読み出す
2	r/w	STXRH	送信要求ホストを設定
1	r/w	LDSH	データセクションホストを読み出す
0	r/w	LHSH	ヘッダセクションホストを読み出す

表 3-8 インプットバッファリクエストマスクビットの割り当て

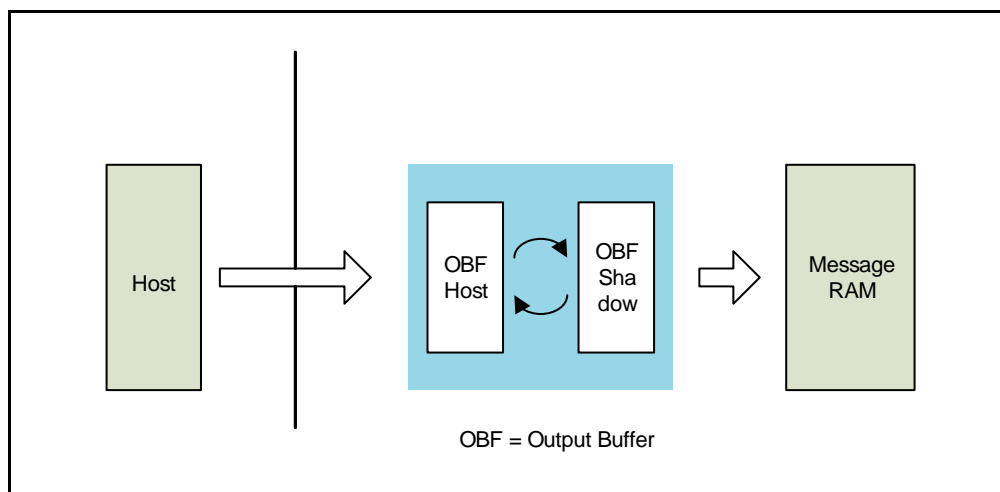
位置	アクセス	ビット	機能
31	r	IBSYS	IBF ビジーシャドウ, 進行中の IBF シャドウからメッセージ RAM への転送開始信号
22...16	r	IBRS[6:0]	IBF 要求シャドウ, 現在および最終更新したメッセージ・バッファ番号
15	r	IBSYH	IBF ビジーホスト, IBRH[6:0]により参照されるメッセージ・バッファの未定の転送要求
6...0	r/w	IBRH[6:0]	IBF 要求ホスト, 次に更新されるメッセージ・バッファ番号

b) メッセージ RAM からアウトプットバッファへのデータ転送

メッセージ RAM からメッセージバッファを読み出すためには、OBCM にて設定されているようなデータ転送を引き起こすため、OBCR レジスタへの書き込みを行わなければいけません。転送が完了した後、RDDS_n, RDHS1...3, MBS からの転送されたデータを読み出すことができます。

メッセージ RAM 中の転送元メッセージバッファのバッファ番号は、OBCR:OBR[6:0]で設定します。

図 3-11 アウトプットバッファの 2 重バッファ構造

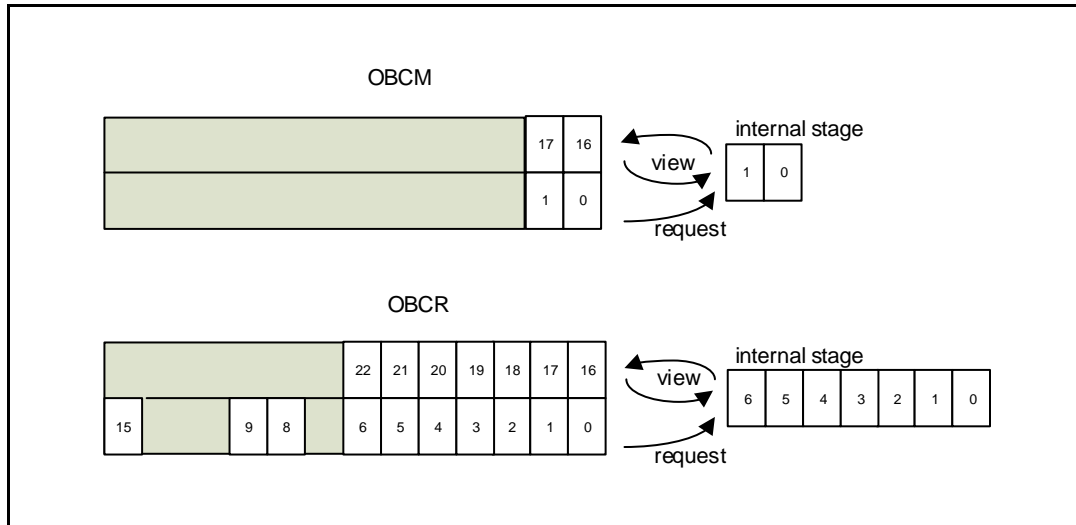


OBCM:RHSS, OBCM:RDSS, OBCM:RHSB, OBCM:RDSB の各ビットと OBCR:OBR[6:0], OBCR:OBRH[6:0] の各ビットと同様に、OBF ホストと OBF シャドウは、OBCR:VIEW ビットと OBCR:REQ ビットの設定によって交換されます。

OBCR:REQ ビットを"1"に設定することで、OBCM:RHSS, OBCM:RDSS, OBCR:OBR[6:0]の各ビットは、内部レジスタにコピーされます(図 3-12 参照)。

OBCR:REQ を"1"に設定した後、OBCR:OBSYS は"1"にセットされ、OBCR:OBR[6:0]によって選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が開始されます。メッセージ RAM と OBF シャドウ間の転送が完了した後、OBCR:OBSYS ビットは"0"にクリアされます。OBCR:OBSYS が"0"の間、OBCR:REQ および OBCR:VIEW は"1"に設定できます。

図 3-12 OBCM レジスタと OBCR レジスタのビット交換



OBF ホストと OBF シャドウは、ビット OBCR:OBSYS が"0"の間、OBCR:VIEW に"1"を設定することによって交換可能です(図 3-11 参照)。さらに、ビット OBCR:OBRH[6:0]と OBCM:RHSB および OBCM:RDSH が内部レジスタと交換されます。その内部レジスタには、OBCR:VIEW に"1"を設定する前に OBCR:OBRH[6:0]と OBCM:RHSB および OBCM:RDSH からコピーされた内容が格納されているため、その交換によって、OBCR:OBRH[6:0]から読出せるメッセージバッファ番号と OBCM:RHSB および OBCM:RDSH から読出せるマスク設定が、OBF ホストから読出せる転送データと一致することを保障します(図 3-12 参照)。

この交換の後、メッセージハンドラが次のメッセージをメッセージ RAM から OBF シャドウへ転送可能である間に、OBF ホストから転送済メッセージバッファを読み出せます。OBSYS が"0"の間に、REQ と VIEW を同時に"1"に設定した場合、OBSYS は"1"にセットされます。そして、OBF ホストと OBF シャドウは入れ替わります。さらに、マスクビットの OBCM:RDSH と OBCM:RHSB は内部レジスタにスワップされて、各アウトプットバッファ転送に対応します。その後、OBRH[6:0]は内部レジスタにコピーされます。そして、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへ転送開始します。転送が進行中である間、CPU は OBF ホストから前の転送で移されたメッセージバッファを読むことができます。メッセージ RAM と OBF シャドウの間の転送が完了したとき、OBSYS ビットは"0"にクリアされます。

アウトプットバッファの設定手順の例:

OBF シャドウに対する 1 番目のメッセージバッファへの転送要求コマンドマスクの書込み: OBCM:RHSB および OBCM:RDSH への書込み

1 番目のメッセージバッファの転送要求: OBCR:OBRH[6:0]およびOBCR:REQ への書込み OBCR:OBSYS が"0"にクリアされるまでの待機

OBF シャドウに対する 2 番目のメッセージバッファへの転送要求, OBF ホストからの 1 番目のメッセージバッファの読出し

コマンドマスクの書込み: OBCM:RHSB, OBCM:RDSH への書込み

1 番目のメッセージについて OBF のホスト・シャドウ間の交換, 2 番目のメッセージの転送要求:

OBCR:VIEW, OBCR:REQ, OBCR:OBRH[6:0]への書込み

1 番目のメッセージの読出し

OBCR:OBSYS が"0"にクリアされるまでの待機

OBF シャドウに対する 3 番目のメッセージバッファへの転送要求, OBF ホストからの 2 番目のメッセージバッファの読出し

コマンドマスクの書込み: OBCM:RHSB, OBCM:RDSH の書込み

2 番目のメッセージについて OBF のホスト・シャドウ間の交換, 3 番目のメッセージの転送要求:

OBCR:VIEW, OBCR:REQ, OBCR:OBRH[6:0]への書込み

2 番目のメッセージの読出し

OBCR:OBSYS が"0"にクリアされるまでの待機



・・・(同じ手順のくりかえし)

OBF ホストからの n 番目のメッセージバッファの読出し(これ以上のメッセージバッファ転送は要求されないとする) n 番目のメッセージについて OBF のホスト・シャドウ間の交換: OBCR:VIEW への書込み

(OBCR:OBR[6:0]には書込まない)

n 番目のメッセージの読出し

表 3-9 アウトプットバッファコマンドマスクビットの割り当て

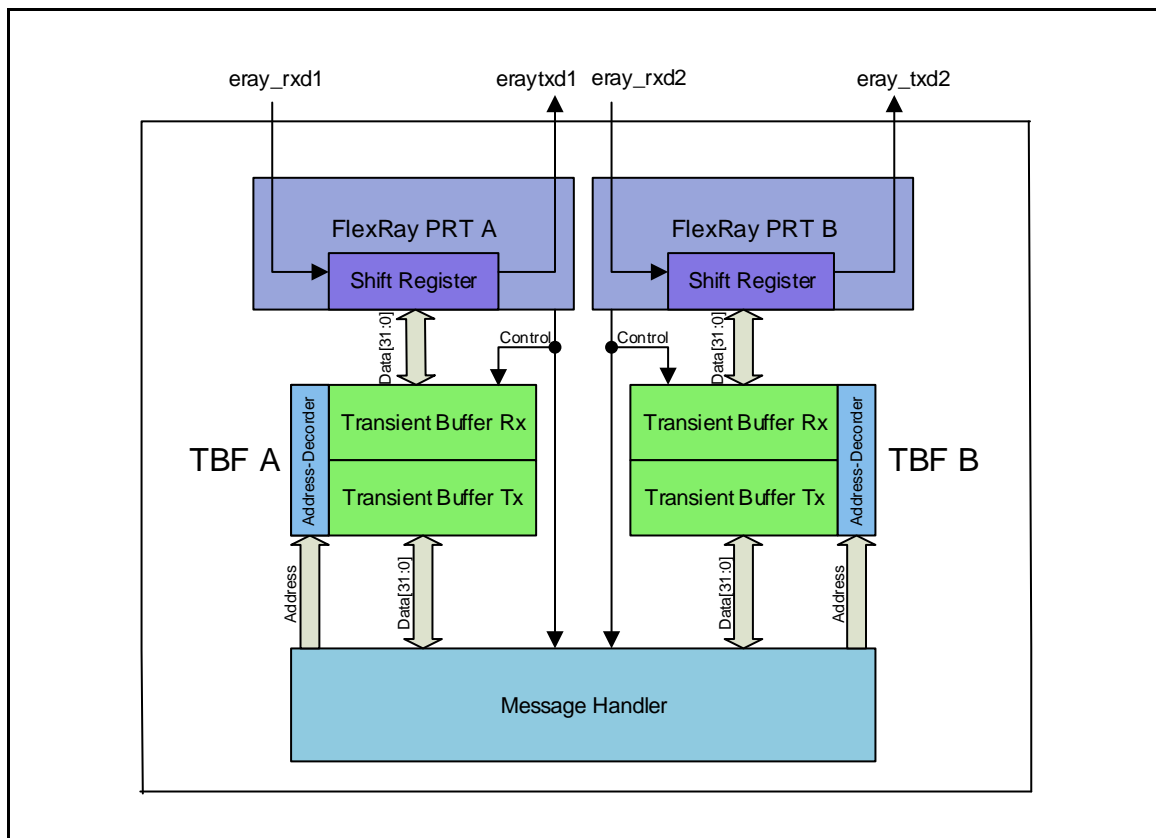
位置	アクセス	ビット	機能
17	r	RDSH	ホストアクセスに利用可能なデータセクション
16	r	RHSH	ホストアクセスに利用可能なヘッダセクション
1	r/w	RDSS	データセクションシャドウを読み出す
0	r/w	RHSS	ヘッダセクションシャドウを読み出す

表 3-10 アウトプットバッファリクエストマスクビットの割り当て

位置	アクセス	ビット	機能
22...16	r	OBRH[6:0]	OBF 要求ホスト, ホストアクセスに利用可能なメッセージ・バッファ番号
15	r	OBSYS	OBF ビジーシャドウ, 進行中のメッセージ RAMOBF からシャドウへの転送開始信号
9	r/w	REQ	メッセージ RAM から OBF シャドウへの要求転送
8	r/w	VIEW	OBF シャドウを表示, OBF シャドウと OBF ホストを交換
6...0	r/w	OBR[6:0]	OBF 要求シャドウ, 次に要求されるメッセージ・バッファ番号

2つの一時記憶バッファ RAM(TBF A, B)は、2つの FlexRay チャネルプロトコルコントローラとメッセージ RAM 間の転送でデータをバッファするために使用されます。

図 3-13 一時記憶バッファ RAM へのアクセス

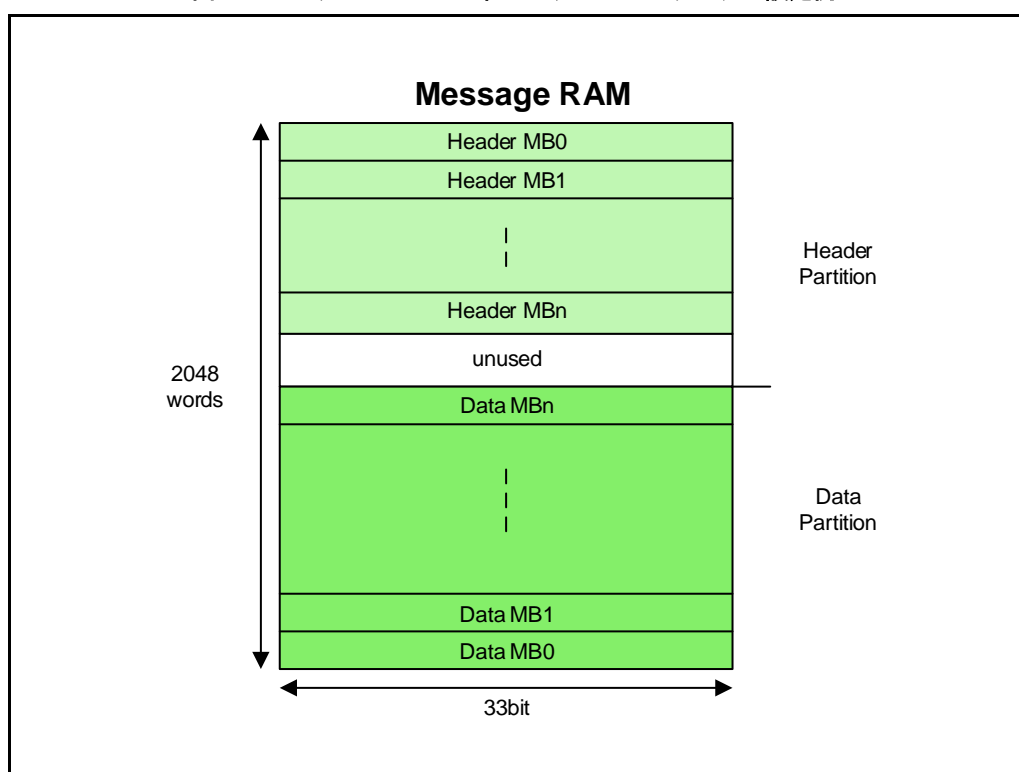


3.12. メッセージ RAM

メッセージ RAM へのホストアクセスと FlexRay メッセージの送受信間の衝突を回避するため、メッセージ RAM のメッセージバッファに直接アクセスはできません。アクセスは、インプットバッファとアウトプットバッファを介して処理されます。メッセージ RAM は、最大 128 個のメッセージバッファを格納することができます。

メッセージ RAM は、2048 バイト×33 ビット=67,584 ビットで編成され、各 32 ビットデータはパリティビットによって保護されています。FlexRay フレームごとに可変長(0 から 254)のデータバイト数を持つことができるように、メッセージ RAM は図 3-14 に示すような構造になっています。データパーティションはメッセージ RAM 中の(MRC:LCB +1)×4 ワードから始まります(1 ワード=32+1 ビット)。

図 3-14 メッセージ RAM 中のメッセージバッファの設定例



ヘッダパーティション

設定されたメッセージバッファのヘッダセクションを格納します。

最大、128 メッセージバッファをサポートする。

各メッセージバッファは、4 ワード(1 ワード=32+1 ビット)のヘッダセクションを持つ。

各メッセージバッファのヘッダ 3 は、データパーティション中の各データセクションに対する 11-bit のデータポインタを持つ。

データパーティション

異なったデータ長でデータセクションを格納できる可変長の記憶領域です。様々なデータ長における最大メッセージバッファ数を、下記に示します。

それぞれのデータセクションが、254 バイト長で、30 メッセージバッファ。

それぞれのデータセクションが、128 バイト長で、56 メッセージバッファ。

それぞれのデータセクションが、48 バイト長で、128 メッセージバッファ。

＜注意事項＞

- ヘッダパーティション+データパーティションの使用領域が、2048 ワード(1 ワード=33 ビット)以内となるように設定してください。



3.12.1. ヘッダパーティション

メッセージバッファステータスとメッセージバッファの設定要素は、以下の図 3-15 に示されるように、メッセージ RAM のヘッダパーティションに格納されています。メッセージバッファのヘッダセクションの設定は、IBF(WRHS1...3)を介して行われ、ヘッダセクションからの読出しは、OBF(RDHS1...3+MBS)を介して行われます。各メッセージバッファのデータセクションの開始位置を定義するために、ヘッダセクション中でデータポインタを設定してください。また、データポインタは実行中に修正しないでください。FIFO メッセージグループに属しているメッセージバッファの(再)設定は、DEFAULT_CONFIG ステートまたは CONFIG ステートで行ってください。各メッセージバッファのヘッダセクションは、メッセージ RAM のヘッダパーティションで 4 ワード(1 ワード=32+1 ビット)を占領します。メッセージバッファ 0 のヘッダセクションは、メッセージ RAM の先頭から開始されます。

送信バッファのヘッダ CRC については、計算により求めてください。

受信されたペイロード長 PLR[6:0], 受信サイクルカウンタ RCC[5:0], 受信チャネルインジケータ RCI, スタートアップフレームインジケータ SFI, 同期フレームインジケータ SYN, マルフレームインジケータ NFI, ペイロードプリアンブルインジケータ PPI, 予約ビット RES は、有効な受信フレーム(有効なマルフレームも含む)によって更新されます。

設定された各メッセージバッファのヘッダの 4 ワード領域に、それぞれメッセージバッファステータス MBS を持ちます。

図 3-15 メッセージ RAM 中のメッセージバッファのヘッダセクション

Bit Word	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	P			M B I	T X M	P I T	C F G	C H B	C H A																								
1	P																																
2	P																																
3	P																																
...	P																																
...	P																																

フレーム構成	(PPIT, CFG, FrameID, Payload Length Configured)
フィルタ構成	(CHB, CHA, Cycle Code)
メッセージバッファ制御	(MIB, TXM)
メッセージ RAM 構成	(データポインタ)
受信フレームからの更新	(受信されたペイロード長, RES, PPI, NFI, SYN, SFI, RCI はサイクルカウントを受信)
メッセージバッファ	(MLST, ESB, ESA, TCIB, TCIA, SVOB, SVOA, CEOB, CEOA, SEOB, SEOA, VFRB,
ステータス MBS	VFRA, RESS, PPIS, NFIS, SYNS, SFIS, RCIS, サイクルカウントステータス, FTA, FTB)
パリティビット	
未使用	

ヘッダ 1

以下のパラメータについて、WRHS1 を通じて書込み、RDHS1 を通じて読出しを行います。

フレーム ID - スロットカウンタフィルタリングの設定

サイクルコード - サイクルカウンタフィルタリングの設定

CHA, CHB - チャネルフィルタリングの設定

CFG - メッセージバッファの設定: 受信/送信

PPIT - ペイロードブリアンブルインジケータの送信

TXM - 送信モードの設定: シングルショット/コンティニューアス

MBI - メッセージバッファ送受信割込みの有効フラグ

ヘッダ 2

以下のパラメータについて、WRHS2 を通じて書込み、RDHS2 を通じて読出しを行います。

ヘッダ CRC - 送信バッファ: フレームヘッダセグメントを元に計算により求める

- 受信バッファ: 受信フレームによって更新される

設定ペイロード長 - 設定されたデータセクション長(2 バイト単位)

受信ペイロード長 - 受信フレーム中に格納されているペイロードセグメント長(2 バイト単位)

ヘッダ 3

以下のパラメータについて、WRHS3 を通じて書込み、RDHS3 を通じて読出しを行います。

データポインタ - データパーティション中の対応するデータセクションの開始位置へのポインタ

以下のパラメータについて、RDHS3 を通じて読出しを行います。これは受信バッファにのみ有効で、受信フレームによって更新されます。

受信サイクルカウント - 受信フレームから格納されるサイクルカウント値

RCI - 受信チャネルインジケータ

SFI - スタートアップフレームインジケータ

SYN - 同期フレームインジケータ

NFI - ノルフレームインジケータ

PPI - ペイロードブリアンブルインジケータ

RES - 予約ビット

ヘッダ 4

MBS を通じて読出しを行います。これは設定されたスロットの終わりにて更新されます。

以下のパラメータについて、送信バッファおよび受信バッファについて有効です。

VFRA - チャネル A 受信有効フレーム

VFRB - チャネル B 受信有効フレーム

SEOA - チャネル A シンタックスエラー

SEOB - チャネル B シンタックスエラー

CEOA - チャネル A コンテンツエラー

CEOB - チャネル B コンテンツエラー

SVOA - チャネル A スロット境界障害

SVOB - チャネル B スロット境界障害

以下のパラメータについて、送信バッファについてのみ有効です。

TCIA - チャネル A 送信コリジョンインジケータ

TCIB - チャネル B 送信コリジョンインジケータ



以下のパラメータについて、受信バッファについてのみ有効です。

ESA - チャネル A エンプティスロット

ESB - チャネル B エンプティスロット

MLST - メッセージ消失

FTA - チャネル A フレーム送信

FTB - チャネル B フレーム送信

Cycle Count Status - ステータス更新時の実サイクルカウント

RCIS - チャネルインジケータ受信

SFIS - スタートアップフレームインジケータステータス

SYNS - シンクフレームインジケータステータス

NFIS - ノルフレームインジケータステータス

PPIS - ペイロードプレアンブルインジケータステータス

RESS - リザーブビットステータス

3.12.2. データパーティション

メッセージRAMのデータパーティションは、ヘッダパーティションで定義されるように受信/送信用に設定されたメッセージバッファのデータセクションを格納します。各メッセージバッファ用に、データバイトの数は0から254バイトまで設定可能です。ホストインタフェースとメッセージRAM間のデータ転送と、2つのFlexRayチャネルプロトコルコントローラのシフトレジスタとメッセージRAM間のデータ転送を最適化するために、メッセージRAMビット幅は、32ビット+1パリティビットで設定されます。

データパーティションは、ヘッダパーティションの直後から開始されます。メッセージRAM中でメッセージバッファを設定する場合、データポインタがデータパーティション以内のアドレスを指し示すように設定してください。下記の図 3-16 は、設定されたメッセージバッファのデータセクションについてのメッセージRAMのデータパーティションへの格納方法について、その例を示すものです。

メッセージバッファ中のデータセクションの始点と終点は、メッセージバッファのヘッダセクションにて設定されたデータポインタとペイロード長で決定されます。これにより、メッセージバッファのRAM空間を、異なったデータ長でフレキシブルに利用できます。

データセクションのサイズが、2バイト単位の奇数ならば、最後の32ビットワード中にある残りの16ビットは使用されません(図 3-16 を参照)。

図 3-16 メッセージRAM中のデータセクション構造の例

Bit Word	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
...	P	unused								unused								unused								unused							
...	P	unused								unused								unused								unused							
...	P	MBn Data3								MBn Data2								MBn Data1								MBn Data0							
...	P							
...	P							
...	P	MBn Data(m)								MBn Data(m-1)								MBn Data(m-2)								MBn Data(m-3)							
...	P							
...	P							
...	P							
...	P	MB1 Data3								MB1 Data2								MB1 Data1								MB1 Data0							
...	P							
...	P	MBn Data(K)								MBn Data(K-1)								MBn Data(K-2)								MBn Data(K-3)							
2046	P	MB0 Data3								MB0 Data2								MB0 Data1								MB0 Data0							
2047	P	unused								unused								MB0 Data5								MB0 Data4							

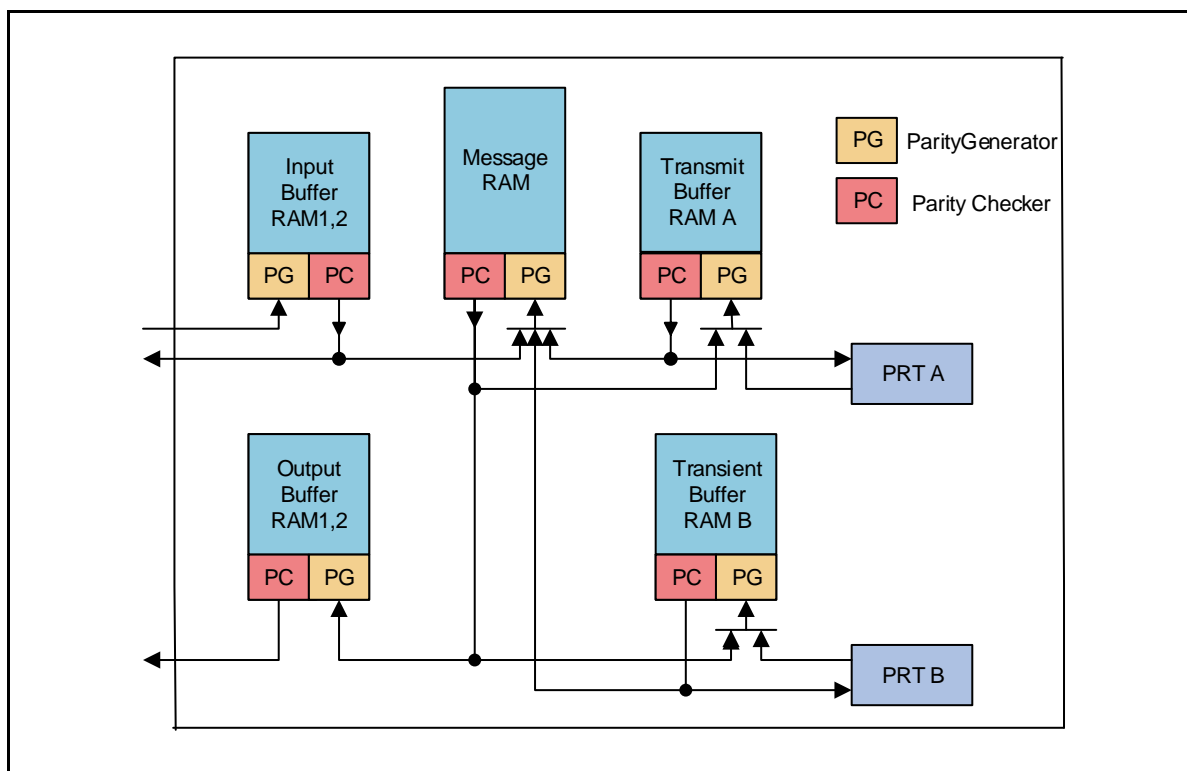
3.12.3. パリティチェック

FlexRay コントローラには、7つの RAM ブロックに格納されるデータの完全性を保証する、パリティチェックメカニズムが実装されています。その RAM ブロックは、図 3-17 に示すように接続されているパリティジェネレータ/チェッカを持ち、その RAM ブロックにデータが書込まれるとき、パリティジェネレータはパリティビットを生成します。FlexRay コントローラは、偶数パリティを使用します(32 ビットワード中の「1」の数が偶数であることで、0 のパリティビットが生成されます)。そしてパリティビットは、それぞれのデータと一緒に格納されます。また、パリティは、データが RAM ブロックから読出されるごとにチェックされます。FlexRay コントローラの内部データバスは 32 ビットの幅を持っています。

パリティエラーが検出された場合、それぞれのエラーフラグは「1」にセットされます。そのパリティエラーフラグ(MHDS:PIBF, MHDS:POBF, MHDS:PMR, MHDS:PTBF1, MHDS:PTBF2)と障害メッセージバッファインジケータ(MHDS:FMBD, MHDS:MFMB, MHDS:FMB[6:0])はメッセージハンドラステータスレジスタの中にあります。これらのエラーフラグは、エラー割込みフラグ EIR:PERR を制御します。

図 3-17 は、RAM ブロック間とパリティジェネレータ/チェッカ間のデータパスを示します。

図 3-17 パリティの生成とチェック



<注意事項>

- パリティジェネレータとパリティチェッカは、RAM ブロックとは独立のブロックです。

パリティエラーを検出した場合、下記のことが実行されます。

すべてのケース:

- MHDS レジスタのそれぞれのパリティエラーフラグがセットされる。
- パリティエラーフラグ EIR:PERR がセットされる、割込み有効ならば、割込みが発生する。

特殊なケース:

1) インพุットバッファ RAM1,2 →メッセージ RAM のデータ転送中のパリティエラー

a) ヘッダ、データの転送、または、データの転送:

- MHDS:PIBF ビットがセットされる。
- MHDS:FMBD ビットは、MHDS:FMB[6:0]が更新されたことを示すためにセットされる。
- MHDS:FMB[6:0]は、障害のあるメッセージバッファの番号を表示する。
- パリティエラーの生じた送信バッファについては、送信要求ビットはセットされない。

b) データの転送

メッセージ RAM から各メッセージのヘッダ部分を読むときのパリティエラー

- MHDS:PMR ビットがセットされる。
- MHDS:FMBD ビットは、MHDS:FMB[6:0]が更新されたことを示すためにセットされる。
- MHDS:FMB[6:0]は、障害のあるメッセージバッファの番号を表示する。
- メッセージバッファのデータをアップデートしません。
- パリティエラーの生じた送信バッファについては、送信要求ビットはセットされない。

2) インพุットバッファ RAM1,2→ホストのデータ転送中のパリティエラー

- MHDS:PIBF ビットがセットされる。

3) メッセージ RAM のヘッダセクションをスキャン中のパリティエラー

- MHDS:PMR ビットがセットされる。
- MHDS:FMBD ビットは、MHDS:FMB[6:0]が読出されたことを表示するためにセットされる。
- MHDS:FMB[6:0]は、障害のあるメッセージバッファの番号を表示する。
- パリティエラーの生じたメッセージバッファは無視される。

4) メッセージ RAM →一時記憶バッファ RAM1,2 のデータ転送中のパリティエラー

- MHDS:PMR がセットされる
- MHDS:FMBD は、MHDS:FMB[6:0]が読出されたことを表示するためにセットされる。
- MHDS:FMB[6:0]は、障害のあるメッセージバッファの番号を表示する。
- 障害のあるメッセージバッファからのフレーム送信は停止される。

5) 一時記憶バッファ RAM1,2→チャネルプロトコルコントローラ 1,2 のデータ転送中のパリティエラー

- MHDS:PTBF1,2 がセットされる。
- 障害のある一時記憶バッファからのフレーム送信は停止される。

6) 一時記憶バッファ RAM1,2 →メッセージ RAM のデータ転送中のパリティエラー

- MHDS:PTBF1,2 がセットされる。
- MHDS:FMBD は、MHDS:FMB [6:0]が更新されたことを表示するためにセットされる。
- MHDS:FMB[6:0]は、障害のあるメッセージバッファの番号を表示する。

7) メッセージ RAM →アウトプットバッファ RAM のデータ転送中のパリティエラー

- MHDS:PMR がセットされる。
- MHDS:FMBD は、MHDS:FMB[6:0]が読出されたことを表示するためにセットされる。
- MHDS:FMB[6:0]は、障害のあるメッセージバッファの番号を表示する。

8) アウトプットバッファ RAM →ホストのデータ転送中のパリティエラー

- MHDS:POBF がセットされる。

9) 一時記憶バッファ RAM1,2 のデータ読み取り中のパリティエラー



メッセージハンドラが一時記憶バッファ RAM1, 2 からネットワークマネジメント情報(PPI="1")を備えたフレームを読む際、パリティエラーが発生した場合、そのフレームに対応するネットワーク管理ベクタレジスタ MV1…3 は更新されません。

3.12.4. パリティエラーの取扱い

転送によるパリティエラーの修復。

(1) 自己修復

- 入力バッファ RAM1, 2
- 出力バッファ RAM1, 2
- メッセージ RAM のデータ
- 一時的なバッファ RAM A
- 一時的なバッファ RAM B

以上におけるパリティエラーの発生については、CPU アクセスか FlexRay 通信によって上書きすることで自己修復が可能です。

(2) クリア RAM コマンド

DEFAULT_CONFIG か CONFIG ステート時、CLEAR_RAMs コマンドはすべてのモジュール内部の RAM をゼロに初期化します。

(3) ヘッダ部分の一時的なアンロック

ロックされたメッセージバッファのヘッダ部分のパリティエラーは、インプットバッファからロックされたバッファのヘッダ部分までの転送で修復できます。

この転送において、IBCR(メッセージバッファ数を指定する) への書込みはCONFIG ステートからのアンロックに先行しなければなりません(「4.2.1 ロックレジスタ(LCK(Lock Register))」を参照)。

その単一転送において、各メッセージ・バッファヘッダがアンロックされ、FIFOに属するか、またはMRC:SEC[1:0]によってロックが属すかどうかにかかわらず、データのアップデートをします。

3.13. 割込み

エラー発生、ステータス変更の検出、フレームの送受信、タイマイイベントのいずれかが生じたとき、それらの割込みがすぐに発生するような割込み端子が用意されています。これによって、エラー状態、ステータス変更、タイマイイベントに対してすばやく対応できます。ただし、あまりにも多くの割込みを発生させた場合、アプリケーションに要求される動作速度を満たさなくなる可能性があります。そのため、FlexRay コントローラは、それぞれの割込み別に有効/無効を設定できる機能をサポートします。

下記の場合、割込みが発生します。

- エラーが検出された
- ステータスフラグがセットされた
- タイマが設定された値に達した
- インพุットバッファからメッセージバッファもしくはメッセージ RAM からアウトプットバッファのメッセージ転送が完了した
- ストップウォッチイベントが発生した

ステータス変更またはエラー発生の際のイベント表示と割込み生成は、2つの独立したタスクで動作します。割込みが有効であるかどうかにかかわらず、各イベントが表示されます。EIR レジスタと SIR レジスタを読み出すことによって、現在のエラー情報とステータス情報を得ることができます。

表 3-11 モジュール割込みフラグと割込みライン有効フラグ一覧(1/2)

レジスタ	ビット	機能
EIR	PEMC POC	エラーモード変更フラグ
	CNA	コマンド無効通知フラグ
	SFBM	フレーム数不足フラグ
	SFO	同期フレーム数超過フラグ
	CCF	クロック補正フェイルフラグ
	CCL	CHI コマンドロックフラグ
	PERR	パリティエラーフラグ
	RFO	受信 FIFO オーバランフラグ
	EFA	エンプティ FIFO アクセスフラグ
	IIBA	イリーガルインพุットバッファアクセスフラグ
	IOBA	イリーガルアウトプットバッファアクセスフラグ
	MHF	メッセージハンドラ制約フラグ
	EDA	チャネル A エラー検出フラグ
	LTVA	チャネル A 送信障害検出フラグ
	TABA	チャネル A スロット境界超過送信検出フラグ
	EDB	チャネル B エラー検出フラグ
	LTVB	チャネル B 送信障害検出フラグ
	TABB	チャネル B スロット境界超過送信検出フラグ

表 3-12 モジュール割込みフラグと割込みライン有効フラグ一覧(2/2)

レジスタ	ビット	機能
SIR	WST	WST ウェイクアップステータスフラグ
	CAS	CAS コリジョン回避シンボルフラグ
	CYCS	CYCS コミュニケーションサイクル開始フラグ
	TXI	TXI 送信完了フラグ
	RXI	RXI 受信完了フラグ
	RFNE	RFNE 受信 FIFO フラグ
	RFF	RFF 受信 FIFO フルフラグ
	NMVC	NMVC ネットワークマネジメントベクタ変更フラグ
	TI0	TI0 タイマ 0 フラグ
	TI1	TI1 タイマ 1 フラグ
	TIBC	TIBC インプットバッファ転送完了フラグ
	TOBC	TOBC アウトプットバッファ転送完了フラグ
	SWE	SWE ストップウォッチイベントフラグ
	SUCS	SUCS スタートアップ成功フラグ
	MBSI	MBSI メッセージバッファステータス変更フラグ
	SDS	SDS ダイナミックセグメント開始フラグ
	WUPA	WUPA チャネル A ウェイクアップパターン受信フラグ
	MTSA	MTSA チャネル A MTS 受信フラグ
	WUPB	WUPB チャネル B ウェイクアップパターン受信フラグ
	MTSB	MTSB チャネル B MTS 受信フラグ
ILE	EINT0	EINT0 割込み端子 INT0 有効フラグ
	EINT1	EINT1 割込み端子 INT1 有効フラグ

割込み端子 INT0, INT1 は、有効な割込みによって制御されます。さらに、それぞれの 2 つの割込み端子 INT0, INT1 は、ILE:EINT0 と ILE:EINT1 を設定することによって個別に有効/無効の選択が可能です。

割込みタイマ 0 と割込みタイマ 1 によって生成される 2 つのタイマ割込みは、16 ビットノンマルチプレックスバスモード時端子 INT2, 16 ビットマルチプレックスバスモード時 INT2, INT3 で利用可能です。それらは、T0C レジスタと TIC レジスタを介して設定できます。

ストップウォッチイベントは入力ピン STOPWT によって発生します。

IBF/OBF とメッセージ RAM 間のデータ転送が完了したとき、SIR:TIBC, SIR:TOBC の各ビットは"1"にセットされます。



4. レジスタ

FlexRay コントローラは 2K バイトのアドレス空間(0x0000 から 0x07FF)を持ち、そのレジスタは 32 ビットのレジスタとして構成されます。メッセージ RAM へのホストアクセス(ホスト CPU からのアクセス)は、インプットバッファとアウトプットバッファを通じて実施されます。それらのバッファは、ホストアクセスとメッセージ送受信の間の競合を避けるために、メッセージ RAM へ転送されるデータ、およびメッセージ RAM から転送されるデータをバッファします。

利用可能なメッセージバッファ数 N は、構成されたメッセージバッファのペイロード長に依存します。メッセージバッファの最大数は 128 個、最大ペイロード長は 254 バイトです。

メッセージバッファの割り当ては、下記の図 4-1 に従います。

メッセージバッファは、3 つの連続したグループに分類されます。

- スタティックバッファ
 - スタティックセグメントに割り当てられる送受信バッファ
- スタティック+ダイナミックバッファ
 - スタティックセグメント、またはダイナミックセグメントに割り当てられる送受信バッファ
- FIFO
 - 受信 FIFO

メッセージバッファの割り当ては、DEFAULT_CONFIG ステートまたは CONFIG ステートにおいてメッセージ RAM 設定レジスタ MRC を設定することによって、変更できます。

1 番目のグループは、スタティックメッセージバッファとして動作します。

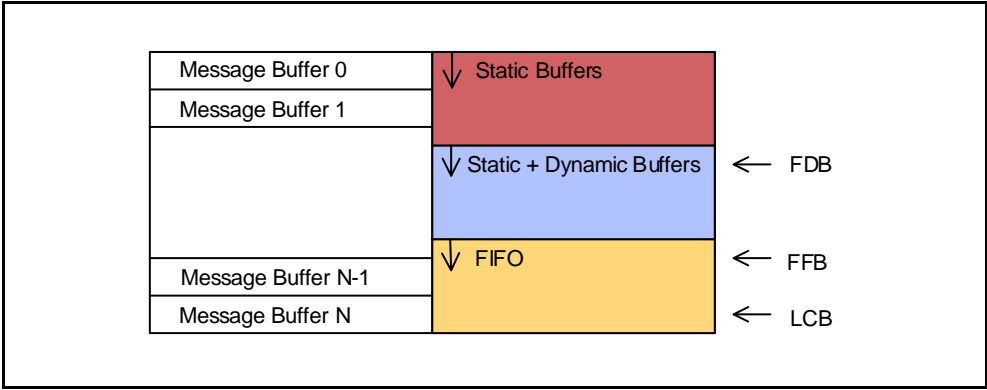
2 番目のグループは、スタティック/ダイナミックのメッセージバッファとして動作します。このグループに属するメッセージバッファは、MRC:SEC[1:0]の状態によっては、動作中にダイナミックセグメントからスタティックセグメントへ、またはスタティックセグメントからダイナミックセグメントへと再設定されることがあります。

3 番目のグループに属しているメッセージバッファは、1 つの受信 FIFO に連結されます。

メッセージバッファ 0 は、SUCC1:TXST, SUCC1:TXSY, SUCC1:TSM の設定によって、スタートアップ/同期フレームあるいはシングルスロットフレーム(SINGLE スロットモードにて送信するフレーム)を格納し、それを送信するために使用されるスタティックメッセージバッファです。メッセージバッファ 0 は、キースロット ID が組み込まれている必要があり、DEFAULT_CONFIG または CONFIG ステートのみで(再)設定できます。

図 4-1 中の FDB, FFB, LCB は、それぞれ先頭ダイナミックバッファ番号 MRC:FDB[7:0]、先頭 FIFO バッファ番号 MRC:FFB[7:0]、最終メッセージバッファ番号 MRC:LCB[7:0]を表します。

図 4-1 メッセージバッファの割り当て



- <注意事項>
- FlexRay コントローラの全レジスタは、32 ビットアクセスとします。



FlexRay コントローラのレジスタ

FlexRay コントローラのすべてのレジスタにはプレフィックス(FLXRY_)が付きます。

表 4-1 FlexRay コントローラのレジスタ一覧

レジスタ略称	レジスタ名		参照先
CIF0	カスタマレジスタ	バージョンインフォメーションレジスタ	4.1.1
CIF1		制御レジスタ	4.1.2
CIF1F		フラグレジスタ	4.1.3
CIF1C		フラグクリアレジスタ	4.1.4
LCK	特殊レジスタ	ロックレジスタ	4.2.1
EIR	割込み関連レジスタ	エラー割込みレジスタ	4.3.1
SIR		ステータス割込みレジスタ	4.3.2
EILS		エラー割込み端子選択レジスタ	4.3.3
SILS		ステータス割込み端子選択レジスタ	4.3.4
EIES		エラー割込み有効レジスタ(set)	4.3.5
EIER		エラー割込み有効レジスタ(reset)	4.3.5
SIES		ステータス割込み有効レジスタ(set)	4.3.6
SIER		ステータス割込み有効レジスタ(reset)	4.3.6
ILE		割込み端子有効レジスタ	4.3.7
T0C		タイマ0 設定レジスタ 0	4.3.8
T1C		タイマ0 設定レジスタ 1	4.3.9
STPW1		ストップウォッチレジスタ 1	4.3.10
STPW2		ストップウォッチレジスタ 2	4.3.11
SUCC1	通信コントローラ(CC) 制御レジスタ	SUC 設定レジスタ 1	4.4.1
SUCC2		SUC 設定レジスタ 2	4.4.2
SUCC3		SUC 設定レジスタ 3	4.4.3
NEMC		NEM 設定レジスタ	4.4.4
PRTC1		PRT 設定レジスタ 1	4.4.5
PRTC2		PRT 設定レジスタ 2	4.4.6
MHDC		MHD 設定レジスタ	4.4.7
GTUC1		GTU 設定レジスタ 1	4.4.8
GTUC2		GTU 設定レジスタ 2	4.4.9
GTUC3		GTU 設定レジスタ 3	4.4.10
GTUC4		GTU 設定レジスタ 4	4.4.11
GTUC5		GTU 設定レジスタ 5	4.4.12
GTUC6		GTU 設定レジスタ 6	4.4.13
GTUC7		GTU 設定レジスタ 7	4.4.14
GTUC8		GTU 設定レジスタ 8	4.4.15
GTUC9		GTU 設定レジスタ 9	4.4.16
GTUC10		GTU 設定レジスタ 10	4.4.17
GTUC11		GTU 設定レジスタ 11	4.4.18

レジスタ略称		レジスタ名	参照先
CCSV		CC ステータスペクタレジスタ	4.5.1
CCEV		CC エラーベクタレジスタ	4.5.2
SCV		スロットカウンタ値レジスタ	4.5.3
MTCCV		マクロティックおよびサイクルカウンタ値レジスタ	4.5.4
RCV		レート補正值レジスタ	4.5.5
OCV		オフセット補正值レジスタ	4.5.6
SFS		同期フレームステータスレジスタ	4.5.7
SWNIT		シンボルウィンドウ, および NIT ステータスレジスタ	4.5.8
ACS		集合チャネルステータスレジスタ	4.5.9
ESID1		偶数サイクル同期フレーム ID レジスタ 1	4.5.10
ESID2		偶数サイクル同期フレーム ID レジスタ 2	4.5.10
ESID3		偶数サイクル同期フレーム ID レジスタ 3	4.5.10
ESID4		偶数サイクル同期フレーム ID レジスタ 4	4.5.10
ESID5		偶数サイクル同期フレーム ID レジスタ 5	4.5.10
ESID6		偶数サイクル同期フレーム ID レジスタ 6	4.5.10
ESID7		偶数サイクル同期フレーム ID レジスタ 7	4.5.10
ESID8		偶数サイクル同期フレーム ID レジスタ 8	4.5.10
ESID9		偶数サイクル同期フレーム ID レジスタ 9	4.5.10
ESID10		偶数サイクル同期フレーム ID レジスタ 10	4.5.10
ESID11		偶数サイクル同期フレーム ID レジスタ 11	4.5.10
ESID12	通信コントローラ(CC) ステータスレジスタ	偶数サイクル同期フレーム ID レジスタ 12	4.5.10
ESID13		偶数サイクル同期フレーム ID レジスタ 13	4.5.10
ESID14		偶数サイクル同期フレーム ID レジスタ 14	4.5.10
ESID15		偶数サイクル同期フレーム ID レジスタ 15	4.5.10
OSID1		奇数サイクル同期フレーム ID レジスタ 1	4.5.11
OSID2		奇数サイクル同期フレーム ID レジスタ 2	4.5.11
OSID3		奇数サイクル同期フレーム ID レジスタ 3	4.5.11
OSID4		奇数サイクル同期フレーム ID レジスタ 4	4.5.11
OSID5		奇数サイクル同期フレーム ID レジスタ 5	4.5.11
OSID6		奇数サイクル同期フレーム ID レジスタ 6	4.5.11
OSID7		奇数サイクル同期フレーム ID レジスタ 7	4.5.11
OSID8		奇数サイクル同期フレーム ID レジスタ 8	4.5.11
OSID9		奇数サイクル同期フレーム ID レジスタ 9	4.5.11
OSID10		奇数サイクル同期フレーム ID レジスタ 10	4.5.11
OSID11		奇数サイクル同期フレーム ID レジスタ 11	4.5.11
OSID12		奇数サイクル同期フレーム ID レジスタ 12	4.5.11
OSID13		奇数サイクル同期フレーム ID レジスタ 13	4.5.11
OSID14		奇数サイクル同期フレーム ID レジスタ 14	4.5.11
OSID15		奇数サイクル同期フレーム ID レジスタ 15	4.5.11
NMV1		ネットワークマネジメントレジスタ 1	4.5.12
NMV2		ネットワークマネジメントレジスタ 2	4.5.12
NMV3		ネットワークマネジメントレジスタ 3	4.5.12



レジスタ略称		レジスタ名	参照先
MRC	メッセージバッファ 制御レジスタ	メッセージ RAM 設定レジスタ	4.6.1
FRF		FIFO リジェクションフィルタレジスタ	4.6.2
FRFM		FIFO リジェクションフィルタマスクレジスタ	4.6.3
FCL		FIFO クリティカルレベルレジスタ	4.6.4
MHDS	メッセージバッファ ステータスレジスタ	メッセージハンドラステータスレジスタ	4.7.1
LDTS		最終ダイナミック送信スロットレジスタ	4.7.2
FSR		FIFO ステータスレジスタ	4.7.3
MHDF		メッセージハンドラコンストレインフラグ	4.7.4
TXRQ1		送信要求レジスタ 1	4.7.5
TXRQ2		送信要求レジスタ 2	4.7.5
TXRQ3		送信要求レジスタ 3	4.7.5
TXRQ4		送信要求レジスタ 4	4.7.5
NDAT1		ニューデータレジスタ 1	4.7.6
NDAT2		ニューデータレジスタ 2	4.7.6
NDAT3		ニューデータレジスタ 3	4.7.6
NDAT4		ニューデータレジスタ 4	4.7.6
MBSC1		メッセージバッファステータス変更レジスタ 1	4.7.7
MBSC2		メッセージバッファステータス変更レジスタ 2	4.7.7
MBSC3		メッセージバッファステータス変更レジスタ 3	4.7.7
MBSC4		メッセージバッファステータス変更レジスタ 4	4.7.7
CREL	アイディンティフィ ケーションレジスタ	コアリリースレジスタ	4.8.1
ENDN		エンディアンレジスタ	4.8.2
WRDSn	インプットバッファ	ライトデータセクションレジスタ [1~64]	4.9.1
WRHS1		ライトヘッダセクションレジスタ 1	4.9.2
WRHS2		ライトヘッダセクションレジスタ 2	4.9.3
WRHS3		ライトヘッダセクションレジスタ 3	4.9.4
IBCM		インプットバッファコマンドマスクレジスタ	4.9.5
IBCR		インプットバッファコマンドリクエストレジスタ	4.9.6
RDDS _n	アウトプットバッファ	リードデータセクションレジスタ [1~64]	4.10.1
RDHS1		リードヘッダセクションレジスタ 1	4.10.2
RDHS2		リードヘッダセクションレジスタ 2	4.10.3
RDHS3		リードヘッダセクションレジスタ 3	4.10.4
MBS		メッセージバッファステータスレジスタ	4.10.5
OBCM		アウトプットバッファコマンドマスクレジスタ	4.10.6
OBCR		アウトプットバッファコマンドリクエストレジスタ	4.10.7

4.1. カスタマレジスタ

カスタマレジスタにはバージョンインフォメーション, FlexRay制御(DMAサポート, 割込みレジスタ, FlexRayリセット, バッファデータ SWAP)があります。

4.1.1. バージョンインフォメーションレジスタ(CIF0)

Bit	31	30	29	28	27	26	25	24
Field	VERSION							
R/W 属性	R,WX							
保護属性	-							
初期値	00000100							

Bit	23	22	21	20	19	18	17	16
Field	VERSION							
R/W 属性	R,WX							
保護属性	-							
初期値	11111111							

Bit	15	14	13	12	11	10	9	8
Field	VERSION							
R/W 属性	R,WX							
保護属性	-							
初期値	01110000							

Bit	7	6	5	4	3	2	1	0
Field	VERSION							
R/W 属性	R,WX							
保護属性	-							
初期値	11111111							

[bit31:24] メーカー ID コードビット

メーカー ID コードが設定されています。0x04 が読み出されます。書込みは無効です。

[bit23:16] 版数ビット

LSI の版数を示します。0xFF が読み出されます。書込みは無効です。

[bit15:8] LSI 識別番号ビット

LSI 識別番号を示します。MB 番号の下 3 桁を 16 進表示します。0x70 が読み出されます。書込みは無効です。



[bit7:0] FlexRay IP 識別ビット

FlexRay IP 識別番号を示します。0xFF が読み出されます。本ビットが 0xFF を示している場合、CREL レジスタに IP 情報が入っていますので CREL レジスタを必要であれば読出してください。書込みは無効です。

4.1.2. 制御レジスタ(CIF1)

Bit	31	30	29	28	27	26	25	24
Field	Reserved	DLVLO	DMODO	DENBO	Reserved	DLVLI	DMODI	DENBI
R/W 属性	R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	RESET		SWAP	Reserved	TENB1	Reserved	TENB0
R/W 属性	R0,W0	R0,W		R/W	R0,W0	R/W	R0,W0	R/W
保護属性	-							
初期値	0	00		0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

[bit31] Reserved: 予約ビット

[bit30] DLVLO: OUTPUT バッファの DMA レベル/エッジ選択ビット

レジスタ DMODO=0 時のレジスタ DREQO の表示内容:

"0"に設定した場合 : DREQO はアウトプットバッファビジーを表示

"1"に設定した場合 : DREQO はアウトプットバッファビジーの反転を表示

レジスタ DMODO=1 時のアウトプットバッファビジーのエッジ検出方法:

"0"に設定した場合 : アウトプットバッファビジーの立下りエッジ検出

"1"に設定した場合 : アウトプットバッファビジーの立上りエッジ検出

bit	説明	
	DMODO=0	DMODO=1
0	DMA 要求レベルはアウトプットバッファビジー	DMA 要求はアウトプットバッファビジーの立下りエッジ
1	DMA 要求レベルはアウトプットバッファビジーの反転	DMA 要求はアウトプットバッファビジーの立上りエッジ



<注意事項>

- DLVLO の設定に対応したアウトプットバッファビジーのエッジ検出結果(検出した場合, "1")は保持されています。エッジ検出結果は, DMODO="0"の間は参照できません。

[bit29] DMODO: アウトプットバッファの DMA トリガモード選択ビット

レジスタ DREQO および DMA 要求の出力情報選択:

"0"に設定した場合 : アウトプットバッファビジーを出力

"1"に設定した場合 : アウトプットバッファビジーのエッジ検出状態を出力

bit	説明
0	アウトプットバッファビジーレベル
1	アウトプットバッファビジーエッジ

<注意事項>

- DMODO は, レジスタ DREQO および DMA 要求へ出力する情報のセクタです。
- エッジ検出を無効にする機能はありません。エッジ検出は常に有効です。

[bit28] DEMBO: アウトプットバッファの DMA 要求出力許可ビット

"0"に設定した場合 : DMA 要求出力禁止

"1"に設定した場合 : DMA 要求出力許可

bit	説明
0	禁止
1	許可

[bit27] Reserved: 予約ビット**[bit26] DLVLI: インプットバッファホストの DMA レベル/エッジ選択ビット**

レジスタ DMODI=0 時のレジスタ DREQI の表示内容:

"0"に設定した場合 : DREQI はインプットバッファホストビジーを表示

"1"に設定した場合 : DREQI はインプットバッファホストビジーの反転を表示

レジスタ DMODI=1 時のインプットバッファホストビジーのエッジ検出方法:

"0"に設定した場合 : インプットバッファホストビジーの立下りエッジ検出

"1"に設定した場合 : インプットバッファホストビジーの立上りエッジ検出

bit	説明	
	DMODI=0	DMODI=1
0	DMA 要求レベルはインプットバッファホストビジー	DMA 要求はインプットバッファホストビジーの立下りエッジ
1	DMA 要求レベルはインプットバッファホストビジーの反転	DMA 要求はインプットバッファホストビジーの立上りエッジ

<注意事項>

- DLVLI の設定に対応したインプットバッファホストビジーのエッジ検出結果(検出した場合, "1")は保持されています。エッジ検出結果は, DMODI=0 の間は参照できません。

[bit25] DMODI: インプットバッファホストの DMA トリガモード選択ビット

レジスタ DREQI および DMA 要求の出力情報選択

"0"に設定した場合：インプットバッファホストビジーを出力

"1"に設定した場合：インプットバッファホストビジーのエッジ検出状態を出力

bit	説明
0	インプットバッファホストビジーレベル
1	インプットバッファホストビジーエッジ

<注意事項>

- DMODI は、レジスタ DREQI および DMA 要求へ出力する情報のセクタです。エッジ検出を無効にする機能はありません。エッジ検出は常に有効です。

[bit24] DENBI: インプットバッファホストの DMA 要求出力許可ビット

"0"に設定した場合：DMA 要求出力禁止

"1"に設定した場合：DMA 要求出力許可

bit	説明
0	禁止
1	許可

[bit23:15] Reserved: 予約ビット

[bit14:13] RESET[1:0]: FlexRay リセットビット

キーコード対応です。

リセットレジスタへの書込みが"00" → "01" → "10" → "11" と続いた場合、FlexRay マクロに対してリセットを出力します。

<注意事項>

- キーコード書込みの途中で読出しまたは、リセットビットが含まれないアドレスへの書込みを実行した場合、キーコード書込みを中断したとみなします。再度リセットする場合は"00"から書き直してください。
- ビットマスク機能がないため、リセット以外のビットの書込み値に注意が必要です。設定値の保持が必要な bit は前値を書込んでください。ただし TREQ1, TREQ0, DREQ0, DREQI は"0"書込みで割込みクリアをしてもらうため、割込みクリアの必要がない場合は"1"書込みを推奨します。
- FlexRay のアドレス空間が対象となる DMA 転送の完了前のキーコード書込みは、キーコード書込み中に DMA が開始されてキーコード書込み中断となります。
- "00"書込みは、常にキーコードの開始と判断します。"00"書込みによるキーコード書込み中断は同時に新たなキーコード書込み開始と判断します。

例)

開始	中断&開始	リセット出力
↓	↓	↓
"00" → "01" → "00" → "01" → "10" → "11"		

[bit12] SWAP: バッファデータ SWAP イネーブルビット

バイトスワップの選択

RAM 領域に以下の設定が反映されます。

"0"に設定した場合：スワップ無効([31:24] [23:16] [15:8] [7:0])

"1"に設定した場合：スワップ有効([7:0] [15:8] [23:16] [31:24])



レジスタアクセスには影響はありません。

bit	説明
0	SWAP オフ
1	SWAP オン

[bit11] Reserved: 予約ビット

[bit10] TENB1: タイマ 1 割込み許可ビット

"0"に設定した場合: 割込み禁止

"1"に設定した場合: 割込み許可

bit	説明
0	出力マスク("0"固定)
1	タイマ 1 の立上りエッジを選択

[bit9] Reserved: 予約ビット

[bit8] TENB0: タイマ 0 割込み許可ビット

"0"に設定した場合: 割込み禁止

"1"に設定した場合: 割込み許可

bit	説明
0	出力マスク("0"固定)
1	タイマ 0 の立上りエッジを選択

[bit7:0] Reserved: 予約ビット

4.1.3. フラグレジスタ(CIF1F)

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved				DREQO	DREQI	TREQ1	TREQ0
R/W 属性	R0,W0				R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0000				0	0	0	0

[bit31:4] Reserved: 予約ビット

[bit3] DREQO: アウトプットバッファの DMA 要求フラグビット

読出し時は DMA 要求の有無を表示。

DMODO=0 のとき：アウトプットバッファビジーのレベルを表示(DLVLO により反転)。

DMODO=1 のとき：アウトプットバッファビジーのエッジ検出された DMA 要求を表示(レベル出力)。

書込み時は、無効です。フラグビットのクリアは CIF1C レジスタから行います。

bit	説明	
	読出し時	書込み時
0	DMA 要求なし	無効
1	DMA 要求あり	

<注意事項>

- DREQOC への"1"書込みによる DMA 要求クリアは、エッジ検出による DMA 要求に対してのみ可能です。
- エッジ検出による DMA 要求は、DMA 転送の発生によっても"0"クリアされます。
- エッジ検出による DMA 要求は、クリアされるまで"1"の状態を維持します。エッジ検出の前にクリアしてください。
- エッジ検出による DMA 要求は保持されており、この保持内容は DMODO=1 に設定されると DMA 要求が発生します。DMODO=0→1 に設定を変更する場合、DMODO=0 の期間に検出されたエッジ検出結果が、DMODO=1 に設定を変更した場合、そのまま出力されることとなります。DMODO=1 に変更後のエッジ検出を期待する場合、DMODO 変更前にクリアしてください。
- DMA 要求のエッジ検出と DREQOC のクリアが同時に発生した場合、DMA 要求が優先されクリアは無視されます。クリアするためには、再度 DREQOC へのクリア動作が必要です。
- DENBO=1 のときの DREQO の読出し内容と DMA 要求の内容は、同一です。



[bit2] DREQI: インพุットバッファホストの DMA 要求フラグビット

読出し時は DMA 要求の有無を表示。

DMODI=0 のとき：インพุットバッファホストビジーのレベルを表示(DLVLI により反転)。

DMODI=1 のとき：インพุットバッファホストビジーのエッジ検出された DMA 要求を表示(レベル出力)。

書込み時は、無効です。フラグビットのクリアは CIF1C レジスタから行います。

bit	説明	
	読出し時	書込み時
0	DMA 要求なし	無効
1	DMA 要求あり	

<注意事項>

- DREQIC への"0"書込みによる DMA 要求クリアは、エッジ検出による DMA 要求に対してのみ可能です。
- エッジ検出による DMA 要求は、DMA 転送の発生によっても"0"クリアされます。
- エッジ検出による DMA 要求は、クリアされるまで"1"の状態を維持します。エッジ検出の前にクリアしてください。
- エッジ検出による DMA 要求は保持されており、この保持内容は DMODI=1 に設定されると DMA 要求が発生します。DMODI=0→1 に設定を変更する場合、DMODI=0 の期間に検出されたエッジ検出結果が、DMODI=1 に設定を変更した場合、そのまま出力されることになります。DMODI=1 に変更後のエッジ検出を期待する場合、DMODI 変更前にクリアしてください。
- DMA 要求のエッジ検出と DREQIC のクリアが同時に発生した場合、DMA 要求が優先されクリアは無視されます。クリアするためには、再度 DREQIC へのクリア動作が必要です。
- DENBI=1 のときの DREQI の読出し内容と DMA 要求の内容は、同一です。

[bit1] TREQ1: タイマ 1 割込み要求ビット

読出し時は、TREQ1 の割込み要求を表示

TENB0=0 のとき：タイマ 1 のレベルを表示

TENB0=1 のとき：タイマ 1 の立上りエッジ検出で"1"を表示(レベル出力)

書込み時は、無効です。フラグビットのクリアは CIF1C レジスタから行います。

bit	説明	
	読出し時	書込み時
0	タイマ 1 割込み要求なし	無効
1	タイマ 1 割込み要求あり	

<注意事項>

- エッジ検出による割込み要求は保持されており、この保持内容は TENB1=1 に設定されると割込み要求が発生します。TENB1=0→1 に設定を変更する場合、TENB1=0 の期間に検出されたエッジ検出結果が、TENB1=1 に設定を変更した場合、そのまま出力されることになります。TENB1=1 に変更後のエッジ検出を期待する場合、TENB1 変更前にクリアしてください。
- TREQ1 の割込み要求と TREQ1C のクリアが同時に発生した場合、クリアは無視されます。クリアするためには、再度 TREQ1C へのクリア動作が必要です。



[bit0] TREQ0: タイマ 0 割込み要求ビット

読出し時は, TREQ0 の割込み要求を表示

TENB1=0 のとき : タイマ 0 のレベルを表示

TENB1=1 のとき : タイマ 0 の立上りエッジ検出で"1"を表示(レベル出力)

書込み時は, 無効です。フラグビットのクリアは CIF1C レジスタから行います。

bit	説明	
	読出し時	書込み時
0	タイマ 0 割込み要求なし	無効
1	タイマ 0 割込み要求あり	

<注意事項>

- エッジ検出によるは割込み要求は保持されており, この保持内容は TENB0=1 に設定されると割込み要求が発生します。TENB0=0→1 に設定を変更する場合, TENB0=0 の期間に検出されたエッジ検出結果が, TENB0=1 に設定を変更した場合, そのまま出力されることになります。TENB0=1 に変更後のエッジ検出を期待する場合, TENB0 変更前にクリアしてください。
- TREQ0 の割込み要求と TREQ0C のクリアが同時に発生した場合, クリアは無視されます。クリアするためには, 再度 TREQ0C へのクリア動作が必要です。



4.1.4. フラグクリアレジスタ(CIF1C)

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved				DREQOC	DREQIC	TREQ1C	TREQ0C
R/W 属性	R0,W0				R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0000				0	0	0	0

[bit31:4] Reserved: 予約ビット

[bit3] DREQOC: アウトプットバッファの DMA 要求クリアビット

読出し時、常に"0"が読出されます。フラグの状態は CIF1F レジスタを読み出してください。

書込み時は、エッジ検出による DMA 要求をクリア

"0"に設定した場合：無効

"1"に設定した場合：DMA 要求クリア

bit	説明
0	無効
1	DMA 要求クリア

<注意事項>

- 書込み動作時、エッジ検出による DMA 要求に対するクリアの必要がない場合"0"を書込んでください。
- DREQOC への"1"書込みによる DMA 要求クリアは、エッジ検出による DMA 要求に対してのみ可能です。
- エッジ検出による DMA 要求は、DMA 転送の発生によっても"0"クリアされます。
- エッジ検出による DMA 要求は、クリアされるまで"1"の状態を維持します。エッジ検出の前にクリアしてください。
- エッジ検出による DMA 要求は保持されており、この保持内容は DMODO=1 に設定されると DMA 要求が発生します。DMODO=0→1 に設定を変更する場合、DMODO=0 の期間に検出されたエッジ検出結果が、DMODO=1 に設定を変更した場合、そのまま出力されることとなります。DMODO=1 に変更後のエッジ検出を期待する場合、DMODO 変更前にクリアしてください。
- DMA 要求のエッジ検出と DREQOC のクリアが同時に発生した場合、DMA 要求が優先されクリアは無視されます。クリアするためには、再度 DREQOC へのクリア動作が必要です。

[bit2] DREQIC: インพุットバッファホストの DMA 要求クリアビット

読出し時、常に"0"が読出されます。フラグの状態は CIFIF レジスタを読み出してください。

書込み時は、エッジ検出による DMA 要求をクリア

"0"に設定した場合：無効

"1"に設定した場合：DMA 要求クリア

bit	説明
0	無効
1	DMA 要求クリア

<注意事項>

- 書込み動作時、エッジ検出による DMA 要求に対するクリアの必要がない場合"0"を書込んでください。
- DREQIC への"1"書込みによる DMA 要求クリアは、エッジ検出による DMA 要求に対してのみ可能です。
- エッジ検出による DMA 要求は、DMA 転送の発生によっても"0"クリアされます。
- エッジ検出による DMA 要求は、クリアされるまで"1"の状態を維持します。エッジ検出の前にクリアしてください。
- エッジ検出による DMA 要求は保持されており、この保持内容は DMODI=1 に設定されると DMA 要求が発生します。DMODI=0→1 に設定を変更する場合、DMODI=0 の期間に検出されたエッジ検出結果が、DMODI=1 に設定を変更した場合、そのまま出力されることになります。DMODI=1 に変更後のエッジ検出を期待する場合、DMODI 変更前にクリアしてください。
- DMA 要求のエッジ検出と DREQI のクリアが同時に発生した場合、DMA 要求が優先されクリアは無視されます。クリアするためには、再度 DREQIC へのクリア動作が必要です。

[bit1] TREQ1C: タイマ 1 割込み要求クリアビット

読出し時、常に"0"が読出されます。フラグの状態は CIFIF レジスタを読み出してください。

書込み時は、TREQ1 の割込み要求クリア

"0"に設定した場合：無効

"1"に設定した場合：タイマ割込み要求クリア

bit	説明
0	無効
1	タイマ 1 割込み要求クリア

<注意事項>

- エッジ検出による割込み要求は保持されており、この保持内容は TENB1=1 に設定されると割込み要求が発生します。TENB1=0→1 に設定を変更する場合、TENB1=0 の期間に検出されたエッジ検出結果が、TENB1=1 に設定を変更した場合、そのまま出力されることになります。TENB1=1 に変更後のエッジ検出を期待する場合、TENB1 変更前にクリアしてください。
- TREQ1 の割込み要求と TREQ1C のクリアが同時に発生した場合、クリアは無視されます。クリアするためには、再度 TREQ1C へのクリア動作が必要です。

**[bit0] TREQ0C: タイマ 0 割込み要求クリアビット**

読出し時、常に"0"が読出されます。フラグの状態は CIFIF レジスタを読み出してください。

書込み時は、TREQ0 の割込み要求クリア

"0"に設定した場合：タイマ割込み要求クリア

"1"に設定した場合：無効

bit	説明
0	無効
1	タイマ 0 割込み要求クリア

<注意事項>

- エッジ検出によるは割込み要求は保持されており、この保持内容は TENB0=1 に設定されると割込み要求が発生します。TENB0=0→1 に設定を変更する場合、TENB0=0 の期間に検出されたエッジ検出結果が、TENB0=1 に設定を変更した場合、そのまま出力されることになります。TENB0=1 に変更後のエッジ検出を期待する場合、TENB0 変更前にクリアしてください。
- TREQ0 の割込み要求と TREQ0C のクリアが同時に発生した場合、クリアは無視されます。クリアするためには、再度 TREQ0C へのクリア動作が必要です。

4.2. 特殊レジスタ

4.2.1. ロックレジスタ(LCK(Lock Register))

ロックレジスタは書き込み専用です。レジスタ読出しでは、0x00000000 を返します。

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	CLK							
R/W 属性	R0,W							
保護属性	-							
初期値	00000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] CLK[7:0]: 設定ロックキー(Configuration Lock Key)ビット

SUCC1:CMD[3:0]=0010 (READY コマンド)の書き込みによって CONFIG ステートを抜ける前に、CLK[7:0]に連続した 2 つの書き込み(アンロックシーケンス)を行わなければなりません。下記にその書き込み手順を示しますが、その書き込みアクセス手順の間にほかの書き込みをした場合、依然として CONFIG ステートにあるため、下記の手順は繰り返さなければなりません。

1 番目の書き込み: LCK:CLK[7:0]=1100_1110 (0xCE)

2 番目の書き込み: LCK:CLK[7:0]=0011_0001 (0x31)

3 番目の書き込み: SUCC1:CMD[3:0]=0010 (CHI コマンド READY)

<注意事項>

- ホストは、すべてのビットフィールドの読出し/書き込みに 32 ビットアクセスを使用します。



4.3. 割込み関連レジスタ

4.3.1. エラー割込みレジスタ(EIR(Error Interrupt Register))

下記に記載されているエラーが検出されると、それに対応するフラグが"1"にセットされます。そのフラグは、対応するビットに"1"を書き込むことで"0"にクリアされ、それまではセットされた値を維持します。"0"を書き込んでも影響はありません。ハードリセットによって、このレジスタは"0"にクリアされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved					TABB	LTVB	EDB
R/W 属性	R0,W0					R/W	R/W	R/W
保護属性	-							
初期値	00000					0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved					TABA	LTVA	EDA
R/W 属性	R0,W0					R/W	R/W	R/W
保護属性	-							
初期値	00000					0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved				MHF	IOBA	IIBA	EFA
R/W 属性	R0,W0				R/W	R/W	R/W	R/W
保護属性	-							
初期値	0000				0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	RFO	PERR	CCL	CCF	SFO	SFBM	CNA	PEMC
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:27] Reserved: 予約ビット

[bit26] TABB: チャンネル B スロット境界超え送信検出フラグ(Transmission Across Boundary Channel B)ビット

チャンネル B にてスロットの境界線を超えた送信が生じたことを通知します。

bit	説明
0	チャンネル B でスロット境界を超えた送信が未検出である
1	チャンネル B でスロット境界を超えた送信が検出された

[bit25] LTVB: チャンネル B 送信障害検出フラグ(Latest Transmit Violation Channel B)ビット
 チャンネル B での最新の送信障害検出を示します。

bit	説明
0	チャンネル B で送信障害が未検出である
1	チャンネル B で最新の送信障害が検出された

[bit24] EDB: チャンネル B エラー検出フラグ(Error Detected on Channel B)ビット

ACS:SEDB, ACS:CEDB, ACS:CIB, ACS:SBVB のうち 1 つが"0" から"1" に変更された場合, "1"にセットされます。

bit	説明
0	チャンネル B でのエラー未検出
1	チャンネル B でのエラー検出

[bit23:19] Reserved : 予約ビット

[bit18] TABA: チャンネル A スロット境界超え送信検出フラグ(Transmission Across Boundary Channel A)ビット

チャンネル A にてスロットの境界線を超えた送信が生じたことを通知します。

bit	説明
0	チャンネル A でスロット境界を超えた送信が未検出である
1	チャンネル A でスロット境界を超えた送信が検出された

[bit17] LTVA: チャンネル A 送信障害検出フラグ(Latest Transmit Violation Channel A)ビット

チャンネル A での最新の送信障害を示します。

bit	説明
0	チャンネル A で送信障害が未検出である
1	チャンネル A で最新の送信障害が検出された

[bit16] EDA: チャンネル A エラー検出フラグ(Error Detected on Channel A)ビット

ACS:SEDA, ACS:CEDA, ACS:CIA, ACS:SBVA のうち 1 つが"0"から"1"に変化した場合, "1"にセットされます。

bit	説明
0	チャンネル A でのエラー未検出
1	チャンネル A でのエラー検出

[bit15:12] Reserved: 予約ビット

**[bit11] MHF: メッセージハンドラ制約フラグ(Message Handler Constraints Flag)ビット**

フラグはメッセージハンドラの制約状態を示します。MHDF:SNUA, MHDF:SNUB, MHDF:FNFA, MHDF:FNFB, MHDF:TBFA, MHDF:TBFB, MHDF:WAHP フラグのいずれかが, "0"から"1"に変化したときセットされます。

bit	説明
0	メッセージハンドラフェイル未検出
1	メッセージハンドラフェイル検出

[bit10] IOBA: イリーガルアウトプットバッファアクセスフラグ(Illegal Output buffer Access)ビット

OBCR:OBSYSが"1"にセットされている間、ホストがメッセージRAMからアウトプットバッファへのメッセージバッファの転送を要求したとき, "1"にセットされます。

bit	説明
0	アウトプットバッファへの不正なホストアクセスなし
1	アウトプットバッファへの不正なホストアクセス発生

[bit9] IIBA: イリーガルインプットバッファアクセスフラグ(Illegal Input Buffer Access)ビット

ホストがインプットバッファを通じてメッセージバッファの変更を要求したとき, および下記の条件において, "1"にセットされます。

- 1) CONFIG または DEFAULT_CONFIG ではないステート時に、ホストが次の変更をするために、インプットバッファコマンド要求レジスタに書き込みを行った場合
 - メッセージバッファ0をキースロット送信用(スタートアップフレーム/同期フレームの送信, あるいは SINGLE スロットモードにおけるフレーム送信)に設定している場合の、そのバッファのヘッダセクション変更
 - MRC:SEC[1:0]="01"の間, MRC:FDB[7:0]より小さいバッファ番号のスタティックメッセージバッファのヘッダセクション変更
 - MRC:SEC[1:0]="1x"の間, スタティック/ダイナミックメッセージバッファのヘッダセクションの変更
 - 受信 FIFO に属するメッセージバッファのヘッダセクション, あるいはデータセクション変更
- 2) IBCR:IBSYHが"1"にセットされている間、ホストがインプットバッファのレジスタに書き込みを行った場合

bit	説明
0	インプットバッファへの不正なホストアクセスなし
1	インプットバッファへの不正なホストアクセス発生

[bit8] EFA: エンプティ FIFO アクセスフラグフラグ(Empty FIFO Access)ビット

受信 FIFO がエンプティ状態のとき、ホストがアウトプットバッファを通じて受信 FIFO からメッセージ転送を要求した場合, "1"にセットされます。

bit	説明
0	受信 FIFO のエンプティ状態におけるホストアクセスなし
1	受信 FIFO のエンプティ状態におけるホストアクセス発生

[bit7] RFO: 受信 FIFO オーバランフラグ(Receive FIFO Overrun)ビット

受信 FIFO オーバランが検出された場合, "1"にセットされます。このフラグは, 受信 FIFO を読み出すとクリアされます。

bit	説明
0	受信 FIFO オーバラン未検出
1	受信 FIFO オーバラン検出

[bit6] PERR: パリティエラーフラグ(Parity Error)ビット

パリティエラーを通知します。FlexRay コントローラの RAM ブロックの 1 つから読み出す間にパリティエラーを検出した場合, このフラグは"1"にセットされます。MHDS レジスタ中のパリティエラーフラグが"0"にクリアされると, このフラグは"0"にクリアされます。「4.7.1 メッセージハンドラステータスレジスタ(MHDS (Message Handler Status))」を参照してください。

bit	説明
0	パリティエラー未検出
1	パリティエラー検出

[bit5] CCL: CHI コマンドロックフラグ(CHI Command Locked)ビット

前の CHI コマンドの実行が完了していない理由で, SUCC1:CMD[3:0]が"0000"にリセットされたことを示します。この場合, CNA ビットも"1"にセットされます。

bit	説明
0	CHI コマンドが受理された
1	CHI コマンドが受理されなかった

[bit4] CCF: クロック補正フェイルフラグ(Clock Correction Failure)ビット

下記エラーのいずれかが発生した場合, サイクルの終わりにおいて"1"にセットされます。

- レート補正の消失
- オフセット補正の消失
- クロック補正リミットの超過

クロック補正ステータスは, CCEV レジスタと SFS レジスタでモニタ可能です。このフラグは, スタートアップ間にセットされる場合があるため, そのため NORMAL_ACTIVE ステートに状態遷移後, このフラグをクリアしてください。

bit	説明
0	クロック補正エラーなし
1	クロック補正の失敗

[bit3] SFO: 同期フレーム数超過フラグ(Sync Frame Overflow)ビット

前のコミュニケーションサイクル間の同期フレーム受信数か, ダブルサイクル(even/odd)の間に受信した異なる同期フレーム ID 数のどちらかが GTUC2:SNM[3:0]で定義された同期フレームの最大数を越えた場合, "1"にセットされます。

bit	説明
0	受信した同期フレーム数が GTUC2:SNM[3:0]の設定値以下である
1	受信した同期フレーム数が GTUC2:SNM[3:0]の設定値よりも大きい

[bit2] SFBM: 同期フレーム数不足フラグ(Sync Frames Below Minimum)ビット



前のコミュニケーションサイクル間の同期フレーム受信数が、FlexRay プロトコルによって必要とされる最小値未満の場合、"1"にセットされます。このフラグは、スタートアップ中にセットされる場合があるため、NORMAL_ACTIVE ステートに状態遷移後、このフラグをクリアしてください。

bit	説明
0	同期ノード:1 つ以上の同期フレームが受信された 非同期ノード:2 つ以上の同期フレームが受信された
1	受信された同期フレームの数が必要とされる最小値未満である

[bit1] CNA: コマンド無効通知フラグ(Command Not Accepted) ビット

要求されたコマンドが現状の POC ステートでは使用できなかった、あるいは CHI コマンドがロックされた(CCL="1")という理由で、SUCC1:CMD[3:0]が"0000"にリセットされたことを示します。

bit	説明
0	CHI コマンドが受理された
1	CHI コマンドが受理されなかった

[bit0] PEMC: POC エラーモード変更フラグ(POC Error Mode Changed)ビット

CCEV:ERRM[1:0]にて示されるエラーモードが変更された場合、"1"にセットされます。

bit	説明
0	エラーモードが変更されていない
1	エラーモードが変更された

4.3.2. ステータス割込みレジスタ(SIR (Status Interrupt Register))

下記に記載されているイベントの1つが検出されると、それに対応するフラグが"1"にセットされます。そのフラグは、対応するビットに"1"を書き込むことでクリアされ、それまではセットされた値を維持します。"0"を書き込んでも影響はありません。ハードリセットによって、このレジスタはクリアされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						MTSB	WUPB
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved						MTSA	WUPA
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

Bit	15	14	13	12	11	10	9	8
Field	SDS	MBSI	SUCS	SWE	TOBC	TIBC	TI1	TI0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NMVC	RFCL	RFNE	RXI	TXI	CYCS	CAS	WST
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:26] Reserved: 予約ビット

[bit25] MTSB: チャンネル B の MTS 受信フラグ(MTS Received on Channel B)ビット
(vSS!ValidMTSB)

前のシンボルウィンドウの間、メディアアクセステストシンボル(MTS)がチャンネル B で受信されたことを示します。シンボルウィンドウの終わりにおいて更新されます。

bit	説明
0	チャンネル B で MTS シンボルが受信されていない
1	チャンネル B で MTS シンボルを受信した

**[bit24] WUPB: チャンネル B ウェイクアップパターン受信フラグ(Wakeup Pattern Channel B) ビット**

CCがウェイクアップ、レディ、スタートアップ状態もしくはモニタモードの場合、ウェイクアップパターンをチャンネル B で受信したとき, "1"にセットされます。

bit	説明
0	チャンネル B でウェイクアップパターンが受信されていない
1	チャンネル B でウェイクアップパターンを受信した

[bit23:18] Reserved: 予約ビット**[bit17] MTSA: チャンネル A の MTS 受信フラグ(MTS Received on Channel A) ビット (vSSIValidMTSA)**

前のシンボルウィンドウの間、メディアアクセステストシンボル(MTS)がチャンネル A で受信されたことを示します。シンボルウィンドウの終わりににおいて更新されます。

bit	説明
0	チャンネル A で MTS シンボルが受信されていない
1	チャンネル A で MTS シンボルを受信した

[bit16] WUPA: チャンネル A ウェイクアップパターン受信フラグ(Wakeup Pattern Channel A) ビット

CCがウェイクアップ、レディ、スタートアップ状態もしくはモニタモードの場合、ウェイクアップパターンをチャンネル A で受信したとき, "1"にセットされます。

bit	説明
0	チャンネル A でウェイクアップパターンが受信されていない
1	チャンネル A でウェイクアップパターンを受信した

[bit15] SDS: ダイナミックセグメント開始フラグ(Start of Dynamic Segment) ビット

ダイナミックセグメントが開始されたとき, "1"にセットされます。

bit	説明
0	ダイナミックセグメントが開始されていない
1	ダイナミックセグメントが開始された

[bit14] MBSI: メッセージバッファステータス変更フラグ(Message Buffer Status Interrupt) ビット

メッセージバッファの MBI ビットが"1"にセットされ、メッセージバッファステータス(MBS)が変化した場合(図 3-16 を参照)に, "1"にセットされます。

bit	説明
0	MBI が"1"でセットされているメッセージバッファのステータスに変化していない
1	MBI が"1"でセットされている少なくとも 1 つのメッセージバッファステータスに変化した

[bit13] SUCS: スタートアップ成功フラグ(Startup Completed Successfully) ビット

スタートアップが成功して NORMAL_ACTIVE ステートに設定されたとき, "1"にセットされます。

bit	説明
0	スタートアップが成功していない
1	スタートアップが成功した

[bit12] SWE: ストップウォッチイベントフラグ(Stop Watch Event)ビット

ストップウォッチ起動後、サイクルカウンタとマクロティック値がストップウォッチレジスタに格納されます(「4.3.10 ストップウォッチレジスタ 1(STPW1 (Stop Watch Register 1))」参照)。

bit	説明
0	ストップウォッチイベントが発生していない
1	ストップウォッチイベントの発生

[bit11] TOBC: アウトプットバッファ転送完了フラグ(Transfer Output Buffer Completed)ビット

メッセージ RAM からアウトプットバッファへ転送が完了し、OBCR:OBSYS がリセットされた場合, "1"にセットされます。

bit	説明
0	メッセージ RAM とアウトプットバッファ間の転送が完了していない
1	メッセージ RAM とアウトプットバッファ間の転送が完了した

[bit10] TIBC: インプットバッファ転送完了フラグビット(Transfer Input Buffer Completed)ビット

インプットバッファからメッセージ RAM への転送が完了し、IBCR:IBSYS がリセットされた場合, "1"にセットされます。

bit	説明
0	インプットバッファとメッセージ RAM 間の転送が完了していない
1	インプットバッファとメッセージ RAM 間の転送が完了した

[bit9] TI1: タイマ 1 フラグ(Timer Interrupt 1)ビット

タイマ 1 の値と TIC の値が一致した場合, "1"にセットされます。

bit	説明
0	タイマ 1 の値と TIC の値が一致しない
1	タイマ 1 の値と TIC の値が一致した

[bit8] TI0: タイマ 0 フラグ(Timer Interrupt 0)ビット

タイマ 0 の値と T0C の値が一致した場合, "1"にセットされます。

bit	説明
0	タイマ 0 の値と T0C の値が一致しない
1	タイマ 0 の値と T0C の値が一致した



[bit7] NMVC: ネットワークマネジメントベクタ変更フラグ(Network Management Vector Changed)ビット

ネットワークマネジメントベクタの変更を示します。

bit	説明
0	ネットワークマネジメントベクタが変更されていない
1	ネットワークマネジメントベクタが変更された

[bit6] RFCL: 受信 FIFO フルフラグ(Receive FIFO Critical Level)ビット

受信 FIFO レベル(FSR:RFFL[7:0])が制約レベル(FCL:CL[7:0])以上のときに, "1"にセットされます。

bit	説明
0	受信 FIFO レベルが制約レベル未満である
1	受信 FIFO レベルが制約レベル以上である

[bit5] RFNE: 受信 FIFO フラグ(Receive FIFO Not Empty)ビット

有効なフレームが受信 FIFO に格納されている場合, "1"にセットされます。

bit	説明
0	受信 FIFO がエンプティである
1	受信 FIFO がエンプティでない

[bit4] RXI: 受信完了フラグ(Receive Interrupt)ビット

各メッセージバッファの MBI ビットに"1"がセットされていれば, 受信した有効フレームのペイロードセグメントが受信バッファに格納されたとき, "1"にセットされます(図 3-16 を参照)。

bit	説明
0	MBI ビットに"1"がセットされた受信バッファ中で, データセクションが更新されていない
1	MBI ビットに"1"がセットされた受信バッファ中の, 少なくとも 1 つのデータセクションが更新された

[bit3] TXI: 送信完了フラグ(Transmit Interrupt)ビット

各メッセージバッファの MBI ビットに"1"がセットされていれば, フレーム送信が成功した後に"1"にセットされます(図 3-16 を参照)。

bit	説明
0	MBI ビットに"1"がセットされた送信バッファから, フレームが送信されていない
1	MBI ビットに"1"がセットされた送信バッファから, 少なくとも 1 つのフレームの送信に成功した

[bit2] CYCS: コミュニケーションサイクル開始フラグ(Cycle Start Interrupt)ビット

コミュニケーションサイクルが始まった場合, "1"にセットされます。

bit	説明
0	コミュニケーションサイクルが開始されていない
1	コミュニケーションサイクルが開始された



[bit1] CAS: コリジョン回避シンボルフラグ(Collision Avoidance Symbol)ビット

CAS が受信された場合, "1"にセットされます。

bit	説明
0	コリジョン回避シンボルが受信されていない
1	コリジョン回避シンボルが受信された

[bit0] WST: ウェイクアップステータスフラグ(Wakeup Status)ビット

CCSV:WSV[2:0]が UNDEFINED 以外に変化した場合, このフラグが"1"にセットされます。

bit	説明
0	ウェイクアップステータス遷移なし
1	ウェイクアップステータス遷移あり



4.3.3. エラー割込み端子選択レジスタ (EILS (Error Interrupt Line Select))

EIR レジスタ中のエラー割込みフラグによって生成される割込みを、下記のどちらかの割込み端子に割り当てるかを決定します。

1 = 割込みが INT1 端子に割りつけられた

0 = 割込みが INTO 端子に割りつけられた

Bit	31	30	29	28	27	26	25	24
Field	Reserved					TABBL	LTVBL	EDBL
R/W 属性	R0,W0					R/W	R/W	R/W
保護属性	-							
初期値	00000					0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved					TABAL	LTVAL	EDAL
R/W 属性	R0,W0					R/W	R/W	R/W
保護属性	-							
初期値	00000					0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved				MHFL	IOBAL	IIBAL	EFAL
R/W 属性	R0,W0				R/W	R/W	R/W	R/W
保護属性	-							
初期値	0000				0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	RFOL	PERRL	CCLL	CCFL	SFOL	SFBML	CNAL	PEMCL
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:27] Reserved: 予約ビット

[bit26] TABBL: チャンネル B スロット境界超え送信検出割込み端子選択(Transmission Across Boundary Channel B Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit25] LTVBL: チャンネル B 送信障害検出割込み端子選択(Latest Transmit Violation Channel B Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit24] EDBL: チャンネル B エラー検出割込み端子選択(Error Detected on Channel B Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit23:19] Reserved: 予約ビット

[bit18] TABAL: チャンネル A スロット境界超え送信検出割込み端子選択(Transmission Across Boundary Channel A Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit17] LTVAL: チャンネル A 送信障害検出割込み端子選択(Latest Transmit Violation Channel A Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit16] EDAL: チャンネル A エラー検出割込み端子選択(Error Detected on Channel A Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit15:12] Reserved: 予約ビット

[bit11] MHFL: メッセージハンドラ制約フラグ割込み端子選択(Message Handler Constraints Flag Interrupt line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit10] IOBAL: イリーガルアウトプットバッファアクセス割込み端子選択(Illegal Output Buffer Access Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた



[bit9] IIBAL: イリーガルインプットバッファアクセス割込み端子選択(Illegal Input Buffer Access Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit8] EFAL: エンプティ FIFO アクセス割込み端子選択(Empty FIFO Access Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit7] RFOL: 受信 FIFO オーバラン割込み端子選択(Receive FIFO Overrun Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit6] PERRL: パリティエラー割込み端子選択(Parity Error Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit5] CCLLCHI: コマンドロック割込み端子選択(CHI Command Locked Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit4] CCFL: クロック補正フェイル割込み端子選択(Clock Correction Failure Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit3] SFOL: 同期フレーム数超過割込み端子選択(Sync Frame Overflow Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit2] SFBML: 同期フレーム数不足割込み端子選択(Sync Frames Below Minimum Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit1] CNAL: コマンド無効通知割込み端子選択(Command Not Accepted Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit0] PEMCLPOC: エラーモード変更割込み端子選択(POC Error Mode Changed Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた



4.3.4. ステータス割込み端子選択レジスタ (SILS (StatusInterruptLineSelect))

SIR レジスタ中のステータス割込みフラグによって生成される割込みを、下記のどちらの割込み端子に割り当てるかを決定します。

1 = 割込みが INT1 端子に割りつけられた

0 = 割込みが INTO 端子に割りつけられた

Bit	31	30	29	28	27	26	25	24
Field	Reserved						MTSBL	WUPBL
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						1	1

Bit	23	22	21	20	19	18	17	16
Field	Reserved						MTSAL	WUPAL
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						1	1

Bit	15	14	13	12	11	10	9	8
Field	SDSL	MBSIL	SUCSL	SWEL	TOBCL	TIBCL	TI1L	TI0L
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	7	6	5	4	3	2	1	0
Field	NMVCL	RFCLL	RFNEL	RXIL	TXIL	CYCSL	CASL	WSTL
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

[bit31:26] Reserved: 予約ビット

[bit25] MTSBL: チャンネル B の MTS 受信割込み端子選択(Media Access Test Symbol Channel B Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit24] WUPBL: チャンネル B ウェイクアップパターン受信割込み端子選択(Wakeup Pattern Channel B Interrupt Line)ビット

bit	説明
0	割込みが INTO 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit23:18] Reserved: 予約ビット

[bit17] MTSAL: チャンネル A の MTS 受信割込み端子選択(Media Access Test Symbol Channel A Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit16] WUPAL: チャンネル A ウェイクアップパターン受信割込み端子選択(Wakeup Pattern Channel A Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit15] SDSL: ダイナミックセグメント開始割込み端子選択(Start of Dynamic Segment Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit14] MBSIL: メッセージバッファステータス変更割込み端子選択(Message Buffer Status Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit13] SUCSL: スタートアップ成功割込み端子選択(Startup Completed Successfully Interrupt Line) ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit12] SWEL: ストップウォッチイベント割込み端子選択(Stop Watch Event Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた



[bit11] TOBCL: アウトプットバッファ転送完了割込み端子選択(Transfer Output Buffer Completed Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit10] TIBCL: インプットバッファ転送完了割込み端子選択(Transfer Input Buffer Completed Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit9] TI1L: タイマ 1 割込み端子選択(Timer Interrupt 1 Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit8] TI0L: タイマ 0 割込み端子選択(Timer Interrupt 0 Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit7] NMVCL: ネットワークマネジメントベクタ変更割込み端子選択(Network Management Vector Changed Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit6] RFCLL: 受信 FIFO クリティカルレベル割込み端子選択(Receive FIFO Critical Level Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit5] RFNEL: 受信 FIFO 割込み端子選択(Receive FIFO Not Empty Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit4] RXIL: 受信完了割込み端子選択(Receive Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit3] TXIL: 送信完了割込み端子選択(Transmit Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit2] CYCSL: コミュニケーションサイクル開始割込み端子選択(Cycle Start Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit1] CASL: コリジョン回避シンボル割込み端子選択(Collision Avoidance Symbol Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた

[bit0] WSTL: ウェイクアップステータス割込み端子選択(Wakeup Status Interrupt Line)ビット

bit	説明
0	割込みが INT0 端子に割りつけられた
1	割込みが INT1 端子に割りつけられた



4.3.5. エラー割込み有効レジスタ (EIES, EIER(Error Interrupt Enable Set /Reset))

このレジスタを設定することで、エラー割込みレジスタ EIR 中のどのステータス変更で割込みを発生させるかを決定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved					TABBE	LTVBE	EDBE
R/W 属性	R0,W0					R/W	R/W	R/W
保護属性	-							
初期値	00000					0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved					TABAE	LTVAE	EDAE
R/W 属性	R0,W0					R/W	R/W	R/W
保護属性	-							
初期値	00000					0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved				MHFE	IOBAE	IIBAE	EFAE
R/W 属性	R0,W0				R/W	R/W	R/W	R/W
保護属性	-							
初期値	0000				0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	RFOE	PERRE	CCLE	CCFE	SFOE	SFBME	CNAE	PEMCE
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

割込み有効フラグは、EIES レジスタに"1"書き込みを行うことによって有効に設定され、EIER レジスタに"1"書き込みを行うことによって無効に設定されます。いずれのレジスタについても、"0"を書き込むことでは、この有効フラグは変更されません。

両方のレジスタからは同じ値が読出されます。

bit	説明
0	割込み無効
1	割込み有効

[bit31:27] Reserved: 予約ビット

[bit26] TABBE: チャンネル B スロット境界超え送信検出割込み有効フラグ(Transmission Across Boundary Channel B Interrupt Enable)ビット

[bit25] LTVBE: チャンネル B 送信障害検出割込み有効フラグ(Latest Transmit Violation Channel B Interrupt Enable)ビット

[bit24] EDBE: チャンネル B エラー検出割込み有効フラグ(Error Detected on Channel B Interrupt Enable)ビット

[bit23:19] Reserved: 予約ビット

[bit18] TABAE: チャンネル A スロット境界超え送信検出割込み有効フラグ(Transmission Across Boundary Channel A Interrupt Enable)ビット

[bit17] LTVAE: チャンネル A 送信障害検出割込み有効フラグ(Latest Transmit Violation Channel A Interrupt Enable)ビット

[bit16] EDAE: チャンネル A エラー検出割込み有効フラグ(Error Detected on Channel A Interrupt Enable)ビット

[bit15:12] Reserved: 予約ビット

[bit11] MHFE: メッセージハンドラ制約フラグ割込み有効フラグ(Message Handler Constraints Flag Interrupt Enable)ビット

[bit10] IOBAE: イリーガルアウトプットバッファアクセス割込み有効フラグ(Illegal Output Buffer Access Interrupt Enable)ビット

[bit9] IIBAE: イリーガルインプットバッファアクセス割込み有効フラグ(Illegal Input Buffer Access Interrupt Enable)ビット

[bit8] EFAE: エンプティ FIFO アクセス割込み有効フラグ(Empty FIFO Access Interrupt Enable)ビット

[bit7] RFOE: 受信 FIFO オーバラン割込み有効フラグ(Receive FIFO Overrun Interrupt Enable)ビット

[bit6] PERRE: パリティエラー割込み有効フラグ(Parity Error Interrupt Enable)ビット

[bit5] CCLECHI: コマンドロック割込み有効フラグ(CHI Command Locked Interrupt Enable)ビット

[bit4] CCFE: クロック補正フェイル割込み有効フラグ(Clock Correction Failure Interrupt Enable)ビット

[bit3] SFOE: 同期フレーム数超過割込み有効フラグ(Sync Frame Overflow Interrupt Enable)ビット



[bit2] SFBME: 同期フレーム数不足割込み有効フラグ(Sync Frames Below Minimum Interrupt Enable)ビット

[bit1] CNAE: コマンド無効通知割込み有効フラグ(Command Not Accepted Interrupt Enable)ビット

[bit0] PEMCEPOC: エラーモード変更割込み有効フラグ(POC Error Mode Changed Interrupt Enable)ビット

4.3.6. ステータス割込み有効レジスタ (SIES, SIER (Status Interrupt Enable Set / Reset))

このレジスタを設定することで、ステータス割込みレジスタ SIR 中のどのステータス変更で割込みを発生させるかを決定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						MTSBE	WUPBE
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved						MTSAE	WUPAE
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

Bit	15	14	13	12	11	10	9	8
Field	SDSE	MBSTE	SUCSE	SWEE	TOBCE	TIBCE	TI1E	TI0E
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	NMVCE	RFCLC	RFNEE	RXIE	TXIE	CYCSE	CNSE	WSTE
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

割込み有効フラグは、SIES レジスタに"1"書き込みを行うことによって有効に設定され、SIER レジスタに"1"書き込みを行うことによって無効に設定されます。いずれのレジスタについても、"0"を書き込むことでは、この有効フラグは変更されません。

両方のレジスタからは同じ値が読出されます。

bit	説明
0	割込み無効
1	割込み有効

[bit31:26] Reserved: 予約ビット

[bit25] MTSBE: チャンネル B の MTS 受信割込み有効フラグ(MTS Received on Channel B Interrupt Enable)ビット

[bit24] WUPBE: チャンネル B ウェイクアップパターン受信割込み有効フラグ(Wakeup Pattern Channel B Interrupt Enable)ビット



[bit23:18] Reserved: 予約ビット

[bit17] MTSAE: チャネル A の MTS 受信割込み有効フラグ(MTS Received on Channel A Interrupt Enable)ビット

[bit16] WUPAE: チャネル A ウェイクアップパターン受信割込み有効フラグ(Wakeup Pattern Channel A Interrupt Enable)ビット

[bit15] SDSE: ダイナミックセグメント開始割込み有効フラグ(Start of Dynamic Segment Interrupt Enable)ビット

[bit14] MBSIE: メッセージバッファステータス変更割込み有効フラグ(Message Buffer Status Interrupt Enable)ビット

[bit13] SUCSE: スタートアップ成功割込み有効フラグ(Startup Completed Successfully Interrupt Enable)ビット

[bit12] SWEE: ストップウォッチイベント割込み有効フラグ(Stop Watch Event Interrupt Enable)ビット

[bit11] TOBCE: アウトプットバッファ転送完了割込み有効フラグ(Transfer Output Buffer Completed Interrupt Enable)

[bit10] TIBCE: インプットバッファ転送完了割込み有効フラグ(Transfer Input Buffer Completed Interrupt Enable)ビット

[bit9] TI1E: タイマ 1 割込み有効フラグ(Timer Interrupt 1 Enable)ビット

[bit8] TI0E: タイマ 0 割込み有効フラグ(Timer Interrupt 0 Enable)ビット

[bit7] NMVCE: ネットワークマネジメントベクタ変更割込み有効フラグ(Network Management Vector Changed Interrupt Enable)ビット

[bit6] RFCLE: 受信 FIFO クリティカルレベル割込み有効フラグ(Receive FIFO Critical Level Interrupt Enable)ビット

[bit5] RFNEE: 受信 FIFO 割込み有効フラグ(Receive FIFO Not Empty Interrupt Enable)ビット

[bit4] RXIE: 受信完了割込み有効フラグ(Receive Interrupt Enable)ビット

[bit3] TXIE: 送信完了割込み有効フラグ(Transmit Interrupt Enable)ビット

[bit2] CYCSE: コミュニケーションサイクル開始割込み有効フラグ(Cycle Start Interrupt Enable)ビット

[bit1] CASE: コリジョン回避シンボル割込み有効フラグ(Collision Avoidance Symbol Interrupt Enable)ビット

[bit0] WSTE: ウェイクアップステータス割込み有効フラグ(Wakeup Status Interrupt Enable)ビット



4.3.7. 割込み端子有効レジスタ(ILE (Interrupt Line Enable))

2つの割込み端子(INT0, INT1)について、ビット EINT0 とビット EINT1 を"1"に設定することで、個々に割込み有効/無効にできます。

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved						EINT1	EINT0
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit31:2] Reserved: 予約ビット

[bit1] EINT1: 割込み端子 INT1 有効フラグ(Enable Interrupt Line 1)ビット

bit	説明
0	割込み端子(INT1)が無効
1	割込み端子(INT1)が有効

[bit0] EINT0: 割込み端子 INT0 有効フラグ(Enable Interrupt Line 0)ビット

bit	説明
0	割込み端子(INT0)が無効
1	割込み端子(INT0)が有効

4.3.8. タイマ 0 設定レジスタ(T0C (Timer 0 Configuration))

タイマ 0 割込みが発生する時間を、サイクルカウントおよびマクロティック単位で指定します。タイマ 0 割込みが発生したとき、割込み出力 INT2 は 1 マクロティックの間"1"にセットされ、SIR:TI0 が"1"にセットされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		T0MO[13:8]					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		000000					

Bit	23	22	21	20	19	18	17	16
Field	T0MO[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved	T0CC						
R/W 属性	R0,W0	R/W						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	Reserved						T0MS	T0RC
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit31:30] Reserved: 予約ビット

[bit29:16] T0MO[13:0]: タイマ 0 マクロティックオフセット設定(Timer 0 Macro tick Offset)ビット

サイクルセットで設定された各サイクルの最初から、どのくらいのオフセット時間経過後にタイマ 0 割込みを発生させるかを、マクロティック単位で設定します。そのサイクルセットは、T0CC にて設定します。

[bit15] Reserved: 予約ビット

[bit14:8] T0CC[6:0]: タイマ 0 サイクルコード設定(Timer 0 Cycle Code)ビット

タイマ 0 割込み発生のために使用されるサイクルセットを決定するコードです。サイクルコードの設定の詳細は、「3.7.2 サイクルカウンタフィルタリング」を参照してください。

[bit7:2] Reserved: 予約ビット

**[bit1] T0MS: タイマ 0 動作モード選択(Timer 0 Mode Select)ビット**

bit	説明
0	シングルショットモード
1	コンティニュアスモード

[bit0] T0RC: タイマ 0 動作制御(Timer 0 Run Control)ビット

bit	説明
0	タイマ 0 停止
1	タイマ 0 ランニング

<注意事項>

- NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートから別のステートに状態遷移する場合、もしくは T0RC を "0" にクリアすることによってタイマ 0 が停止する場合は、割込み出力 INT2 は直ちに "L" を出力します。タイマ 0 はマクロティックカウンタ値の対価として得られ、タイマ 0 専用カウンタはありません。

4.3.9. タイマ 1 設定レジスタ(T1C (Timer 1 Configuration))

タイマ 1 が指定マクロティック数に達したとき、タイマ 1 割込みが発生します。また、割込み出力 INT3 は 1 マクロティックの間"1"にセットされ、SIR:TI1 が"1"にセットされます。

POC が NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートのときに、タイマ 1 は動作可能です。それ以外のステートでは、タイマ 1 は動作を停止します。

タイマ 1 を再設定するときは、T1RC ビットに"0"書込みを行うことで、タイマを止めなければなりません。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		T1MC[13:8]					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		000000					

Bit	23	22	21	20	19	18	17	16
Field	T1MC[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000010							

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						T1MS	T1RC
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit31:30] Reserved: 予約ビット

[bit29:16] T1MC[13:0]: タイマ 1 マクロティックカウント (Timer 1 Macro tick Count) ビット

タイマ 1 が設定したマクロティックカウントと一致したとき、タイマ 1 割込みが発生します。

有効値 : 2 から 16383 MT (コンティニューアスモード)

1 から 16383 MT (シングルショットモード)

[bit15:2] Reserved: 予約ビット

**[bit1] T1MS: タイマ 1 動作モード選択(Timer 1 Mode Select)ビット**

bit	説明
0	シングルショットモード
1	コンティニュアスモード

[bit0] T1RC: タイマ 1 動作制御(Timer 1 Run Control)ビット

bit	説明
0	タイマ 1 停止
1	タイマ 1 ランニング

<注意事項>

- NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートから別のステートに状態遷移する場合、もしくは T1RC を "0" にクリアすることによってタイマ 0 が停止する場合は、割込み出力 INT3 は直ちに "L" を出力します。

4.3.10. ストップウォッチレジスタ 1(STPW1 (Stop Watch Register 1))

ストップウォッチは、STOPWT ピンの立下りもしくは立下りエッジ入力、または割込み 0, 1 の発生、もしくはホストがビット SSWT に "1" 書込みを行うことによって起動されます。マクロティックカウンタの加算は、ストップウォッチ起動の次に開始し、実際のサイクルカウンタ値とマクロティック値は、このストップウォッチレジスタ(ストップウォッチイベント)に格納されます。

また、これらの値をホストから読み出せます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		SMTV[13:8]					
R/W 属性	R0,W0		R,WX					
保護属性	-							
初期値	00		000000					

Bit	23	22	21	20	19	18	17	16
Field	SMTV[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved		SCCV					
R/W 属性	R0,W0		R,WX					
保護属性	-							
初期値	00		000000					

Bit	7	6	5	4	3	2	1	0
Field	Reserved	EINT1	EINT0	EETP	SSWT	EDGE	SWMS	ESWT
R/W 属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:30] Reserved: 予約ビット

[bit29:16] SMTV[13:0]: ストップウォッチイベント発生マクロティック値(Stopped MacrotickValue)ビット

ストップウォッチイベントが発生したときのマクロティックカウンタ値です。有効値は、0 から 15999 です。

[bit15:14] Reserved: 予約ビット

[bit13:8] SCCV[5:0]: ストップウォッチイベント発生サイクルカウンタ値(Stopped Cycle Counter Value)ビット

ストップウォッチイベントが発生したときのサイクルカウンタ値です。有効値は、0 から 63 です。

[bit7] Reserved: 予約ビット



[bit6] EINT1: 割込み 1 トリガ許可(Enable Interrupt 1 Trigger)ビット

ESWT=1 の場合、割込み 1 イベントをストップウォッチトリガとする。

bit	説明
0	禁止
1	許可

[bit5] EINT0: 割込み 0 トリガ許可(Enable Interrupt 0 Trigger)ビット

ESWT=1 の場合、割込み 0 のイベントをストップウォッチトリガとする。

bit	説明
0	禁止
1	許可

[bit4] EETP: 外部トリガピン許可(Enable External Trigger Pin)ビット

ESWT=1 の場合、入力ピン STOPWT のエッジ信号をストップウォッチトリガとする。

bit	説明
0	禁止
1	許可

[bit3] SSWT: ソフトウェアストップウォッチトリガ(Software Stop Watch Trigger)ビット

ホストがこのビットを"1"にセットした場合、ストップウォッチが起動されます。実際のサイクルカウンタ値とマクロティック値がストップウォッチレジスタに格納された後、このビットは"0"にクリアされます。本ビットは ESWT=0 の間、書込み可能です。

bit	説明
0	ソフトウェアトリガをクリアする
1	ソフトウェアトリガによってストップウォッチが起動される

[bit2] EDGE: ストップウォッチトリガエッジ選択(Stop Watch Trigger Edge Select)ビット

bit	説明
0	立下り
1	立上り

[bit1] SWMS: ストップウォッチモード選択(Stop Watch Mode Select)ビット

bit	説明
0	単発
1	連続



[bit0] ESWT: ストップウォッチトリガ許可(Enable Stop Watch Trigger)ビット

ストップウォッチトリガが許可されると、入力ピン STOPWT のエッジ信号あるいは割込み 0, 1 信号(INT0 または INT1 の立上りエッジ)によってストップウォッチを起動します。シングルショットモードにおいては実行サイクルカウンタとマクロティック値がストップウォッチレジスタに格納された後、このビットは "0" にリセットされます。

bit	説明
0	禁止
1	許可

<注意事項>

- ビット ESWT および SSWT は、"1" に同時にセットできません。この場合、書込みアクセスは無視されます。また、両方のビットはそれらの前の値を維持します。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されてもよい。



4.3.11. ストップウォッチレジスタ 2(STPW2 (Stop Watch Register 2))

チャンネル A, B ストップウォッチカウンタ値をホストから読み出せます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved					SSCVB[10:8]		
R/W 属性	R0,W0					R,WX		
保護属性	-							
初期値	00000					000		

Bit	23	22	21	20	19	18	17	16
Field	SSCVB[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved					SCCVA[10:8]		
R/W 属性	R0,W0					R,WX		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	SCCVA[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:27] Reserved: 予約ビット

[bit26:16] SSCVB[10:0]: チャンネル B ストップウォッチカウンタ値(Stop Watch Captured Slot Counter Value Channel B)ビット

イベント発生時のチャンネル B ストップウォッチカウンタ値(0 to 2047)

[bit15:11] Reserved: 予約ビット

[bit10:0] SCCVA[10:0]: チャンネル A ストップウォッチカウンタ値(Stop Watch Captured Slot Counter Value Channel A)ビット

イベント発生時のチャンネル A ストップウォッチカウンタ値(0 to 2047)

4.4. 通信コントローラ(CC)制御レジスタ

この節では、FlexRay の通信コントローラ(CC)を制御するレジスタについて説明します。FlexRay プロトコル仕様では、アプリケーション設定データは CONFIG ステート中に設定することを要求しています。

DEFAULT_CONFIG ステートにおいては設定レジスタへの書込みがロックされていないため注意してください。

ハードリセットが入力されると DEFAULT_CONFIG ステートに遷移し、各レジスタが初期化されます。プロトコル操作コントローラ(POC)を DEFAULT_CONFIG ステートから CONFIG ステートへ遷移させるためには、CMD[3:0]=0001 (CHI コマンド CONFIG)を設定してください。さらに、CONFIG ステートから READY ステートに遷移させるためには、「4.2.1 ロックレジスタ(LCK(Lock Register))」で記述されている手順にしたがってください。

アスタリスク(*)マークが付いたすべてのビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートにおいて更新できます。



4.4.1. SUC 設定レジスタ 1(SUCC1 (SUC Configuration Register 1))

Bit	31	30	29	28	27	26	25	24
Field	Reserved				CCHB*	CCHA*	MTSB*	MTSA*
R/W 属性	R0,W0				R/W	R/W	R/W	R/W
保護属性	-							
初期値	0000				1	1	0	0

Bit	23	22	21	20	19	18	17	16
Field	HCSE*	TSM*	WUCS*	PTA*				
R/W 属性	R/W	R/W	R/W	R/W				
保護属性	-							
初期値	0	1	0	00000				

Bit	15	14	13	12	11	10	9	8
Field	CSA*					Reserved	TXSY*	TXST*
R/W 属性	R/W					R0,W0	R/W	R/W
保護属性	-							
初期値	00010					0	0	0

Bit	7	6	5	4	3	2	1	0
Field	PBSY	Reserved			CMD			
R/W 属性	R,WX	R0,W0			R/W			
保護属性	-							
初期値	0	000			0000			

[bit31:28] Reserved: 予約ビット

[bit27] CCHB: チャンネル B 接続有無(Connected to Channel B) (pChannels)ビット

ノードがチャンネル B に接続するかどうかを設定します。

bit	説明
0	ノードをチャンネル B に接続しない
1	ノードをチャンネル B に接続する

[bit26] CCHA: チャンネル A 接続有無(Connected to Channel A) (pChannels)ビット

ノードがチャンネル A に接続するかどうかを設定します。

bit	説明
0	ノードをチャンネル A に接続しない
1	ノードをチャンネル A に接続する

[bit25] MTSB: チャンネル B の MTS シンボル送信有無(Select Channel B for MTS Transmission)ビット

MTS シンボル送信のために、チャンネル B を使用するかどうかを選択します。デフォルトでは"0"にクリアされ、DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更可能です。

bit	説明
0	MTS シンボルの送信のために、チャンネル B を不使用とする
1	MTS シンボルの送信のために、チャンネル B を使用する

<注意事項>

- MTSA, B は「4.2.1 ロックレジスタ(LCK(Lock Register))」のアンロックシーケンスで直接、SUCC1 レジスタに書き込みする場合、DEFAULT_CONFIG もしくは CONFIG ステート以外からも変化します。これは CHI コマンド SEND_MTS に結合されます。MTSA と MTSB が同時にセットされた場合、CMD[3:0]=1000 の書き込みによって、MTS シンボルは両方のチャンネルに送信されます。

[bit24] MTSA: チャンネル A の MTS シンボル送信有無(Select Channel A for MTS Transmission) ビット

MTS シンボル送信のために、チャンネル A を使用するかどうかを選択します。デフォルトでは"0"にクリアされ、DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更可能です。

bit	説明
0	MTS シンボルの送信のために、チャンネル A を不使用とする
1	MTS シンボルの送信のために、チャンネル A を使用する

[bit23] HCSE: クロック同期エラーによる停止有無 (Halt due to Clock Sync Error) ビット (pAllowHaltDueToClock)

クロック同期エラーによる HALT ステートへの状態遷移を制御します。このビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

bit	説明
0	クロック同期エラーが発生しても、NORMAL_PASSIVE ステートを維持する
1	クロック同期エラーの発生により、HALT ステートに遷移する

[bit22] TSM: 送信スロットモード選択 (Transmission Slot Mode) (pSingleSlotEnabled) ビット

初期の送信スロットモードを選択します。SINGLE スロットモードにおいては、事前に設定されたキースロットのみで送信します。キースロット ID は、MRC:SPLM ビットに従う各メッセージバッファ 0, 1 とメッセージバッファ 0 のヘッダセクションで構成されます。TSM="1" の場合、各メッセージバッファ 0, 1 とメッセージバッファ 0 は、DEFAULT_CONFIG または CONFIG だけで構成できます。ALL スロットモードで、全スロットを使用した送信が可能です。

このビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。ただし、NORMAL_ACTIVE ステートあるいは NORMAL_PASSIVE ステートの間、CMD[3:0]=0101 に書き込むことで ALL_SLOT コマンドを適用したときに、ALL スロットモードに移行できます。TSM は、書き込み専用ビットです。現行のスロットモードは、CCSV:SLM[1:0]によってモニタされます。

bit	説明
0	ALL スロットモード
1	SINGLE スロットモード

[bit21] WUCS: ウェイクアップパターン送信チャンネル選択 (Wakeup Channel Select) ビット (pWakeupChannel)

ウェイクアップパターンを送信するチャンネルを選択します。DEFAULT_CONFIG ステートまたは CONFIG ステートでないとき、このビットの変更は無視されます。

bit	説明
0	チャンネル A にてウェイクアップパターンを送信する



1	チャンネル B にてウェイクアップパターンを送信する
---	----------------------------

[bit20:16] PTA [4:0]: パッシブ・アクティブ間状態遷移必要サイクルペア数(Passive to Active)ビット(pAllowPassiveToActive)

NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへ遷移する場合に必要な有効クロック補正時間について、連続の偶数/奇数サイクルペア数を定義します。"00000"に設定された場合、NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートに遷移することができません。このビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。有効値は、0 から 31 の偶数/奇数サイクルペア数です。

[bit15:11] CSA[4:0]: コールドスタート試行回数(Cold Start Attempts) (gColdStartAttempts)ビット

コールドスタートノードのネットワークのスタートアップについて、ほかのノードから有効なレスポンスを受け取れない場合にスタートアップを繰り返す、その許容試行回数の最大値を定義します。この値は、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。クラスタの全ノードで同一でなければなりません。有効値は、2 から 31 です。

[bit10] Reserved: 予約ビット

[bit9] TXSY: 同期フレームのキースロット送信有無(Transmit Sync Frame in Key Slot)ビット(pKeySlotUsedForSync)

キースロットが同期フレームを送信するために使用されるかどうかを定義します。このビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートにおいてのみ変更可能です。

bit	説明
0	キースロットが、同期フレームの送信に使われない。 シンクでもコールドスタートでもない。
1	キースロットが、同期フレームの送信に使われる。 シンクである。

<注意事項>

- スタートアップフレームを送信するためには、TXST および TXSY の両方を"1"に設定してください。

[bit8] TXST: スタートアップフレームのキースロット送信有無(Transmit Startup Frame in Key Slot)ビット(pKeySlotUsedForStartup)

キースロットがスタートアップフレームを送信するために使われるかどうかを定義します。このビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートにおいてのみ変更可能です。

bit	説明
0	キースロットが、スタートアップフレームの送信に使われない。 コールドスタートにない。
1	キースロットが、スタートアップフレームの送信に使われる。 コールドスタートにある。

[bit7] PBSY: POC ビジー (POC Busy)ビット

POC がビジーで、コマンドを受け入れることができないことを示します。PBSY=1 のとき、CMD[3:0]は書込みに対してロックされます。ハードリセット後、内部 RAM の初期化中"1"にセットされます。

bit	説明
0	POC がアイドル状態である。CMD [3:0]は書き込み可能である
1	POC がビジー。CMD [3:0]はロックされる

[bit6:4] Reserved: 予約ビット**[bit3:0] CMD[3:0]: CHI コマンドベクタ(CHI Command Vector)ビット**

この CHI コマンドベクタは、いつでも書き込み可能ですが、特定のコマンドは特定の POC ステートでのみ有効です。コマンドが有効でない場合はそのコマンドは実行されず、CHI コマンドベクタ CMD[3:0]は、"0000"(command_not_accepted)にリセットされ、EIR:CNA が"1"にセットされます。前の CHI コマンドがまだ完了していない場合、EIR:CCL が EIR:CNA と共に"1"にセットされた場合、CHI コマンドを繰り返してください。HALT ステートを除いて、ある POC ステートの間に、それと同じ POC ステートへの変更コマンドを適用したとき、このコマンドは無視され、EIR:CNA もセットされません。

bit[3:0]	説明
0000	command_not_accepted
0001	CONFIG
0010	READY
0011	WAKEUP
0100	RUN
0101	ALL_SLOTS
0110	HALT
0111	FREEZE
1000	SEND_MTS
1001	ALLOW_COLDSTART
1010	RESET_STATUS_INDICATORS
1011	MONITOR_MODE
1100	CLEAR_RAMs
1101	Reserved
1110	Reserved
1111	Reserved

CMD[3:0]の読出しは、受け付けられた最後の CHI コマンドを示します。実際の POC 状態は CCSV:POCS[5:0] にモニタされます。"Reserved"の CHI コマンドは、ハードウェアテスト機能に属します。

一般に、CHI コマンドを設定する前に、ホストは SUCC1:PBSY をチェックしなければなりません。

command_not_accepted

CMD[3:0]=0000 の書き込みは、下記のうち 1 つが該当した場合、CMD[3:0]=0000 にリセットされます。

- 無効なコマンドが設定された場合
- 内部 POC ステート変更期間にコマンドが設定された場合
- CHI コマンド実行中に新しいコマンドが設定された場合
- command_not_accepted を設定した場合

コマンドが有効でない場合はそのコマンドは実行されず、CHI コマンドベクタ CMD[3:0] は、"0000"(command_not_accepted)にリセットされ、EIR:CNA が"1"にセットされます。割込み有効であるならば割込みが発生します。

CONFIG



DEFAULT_CONFIG ステート, READY ステート, MONITOR_MODE ステートにて CMD[3:0]=0001 を設定したとき, CONFIG ステートに遷移します。HALT ステートにて CMD[3:0]=0001 を設定したとき, DEFAULT_CONFIG ステートに遷移します。ほかのステートにて CMD[3:0]=0001 を設定したとき, CMD[3:0]=0000 (command_not_accepted) にリセットされます。

READY

CONFIG ステート, NORMAL_ACTIVE ステート, NORMAL_PASSIVE ステート, STARTUP ステート, WAKEUP ステートにて CMD[3:0]=0010 を設定したとき, READY ステートに遷移します。ほかのステートで CMD[3:0]=0010 を設定したとき, CMD[3:0]=0000 (command_not_accepted) にリセットされます。

WAKEUP

READY ステートで CMD[3:0]=0011 を設定したとき, WAKEUP ステートに遷移します。ほかのステートで CMD[3:0]=0011 を設定したとき, CMD[3:0]=0000 (command_not_accepted) にリセットされます。

RUN

READY ステートで CMD[3:0]=0100 を設定したとき, STARTUP ステートに遷移します。ほかのステートで CMD[3:0]=0100 を設定したとき, CMD[3:0]=0000 (command_not_accepted) にリセットされます。

ALL_SLOTS

NORMAL_ACTIVE ステートと NORMAL_PASSIVE ステートにて CMD[3:0]=0101 を設定したとき, そのサイクルの次の終了においてスタートアップ/統合の成功後に, SINGLE スロットモードから ALL スロットモードに移行します。ほかのステートで CMD[3:0]=0101 を設定したとき, CMD[3:0]=0000 (command_not_accepted) にリセットされます。

HALT

NORMAL_ACTIVE ステートと NORMAL_PASSIVE ステートで CMD[3:0]=0110 を設定したとき, 停止要求ビット CCSV:HRQ に "1" をセットし, そのサイクルの次の終了において HALT ステートに遷移します。ほかのステートで CMD[3:0]=0110 を設定したとき, CMD[3:0]=0000 (command_not_accepted) にリセットされます。

FREEZE

CMD[3:0]=0111 を設定したとき, フリーズステータスインジケータ CCSV:FSI を "1" にセットし, 直ちに HALT ステートに遷移します。これは, すべてのステートにて設定可能です。

SEND_MTS

ALL スロットモード (CCSV:SLM[1:0]=11) に設定した後に NORMAL_ACTIVE ステートで CMD[3:0]=1000 を設定したとき, MTSA, MTSB にて設定したチャンネル上に, 次のシンボルウィンドウ中にシングル MTS シンボルを送信します。ほかのステートにて CMD[3:0]=1000 を設定したとき, CMD[3:0]=0000 (command_not_accepted) にリセットされます。

ALLOW_COLDSTART

DEFAULT_CONFIG, CONFIG, HALT 以外のステートで CMD[3:0]=1001 を設定したとき, ノードのコールドスタートを有効にするために CCSV:CSI を "0" にクリアします。DEFAULT_CONFIG ステート, CONFIG ステート, HALT ステート, または MONITOR_MODE で CMD[3:0]=1001 を設定したとき, CMD[3:0]=0000 (command_not_accepted) にリセットされます。また, コールドスタートを有効にするため TXST と TXSY の両方をセットすることも必要です。

RESET_STATUS_INDICATORS

CMD[3:0]=1010 を設定したとき, CCSV:CSNI, CCSV:CSAI と CCSV:WSV[2:0] ステータスフラグをリセットします。READY ステートと STARTUP ステートで実行され, ほかのステートでは CMD[3:0]=0000 (command_not_accepted) にリセットされます。

CLEAR_RAM

DEFAULT_CONFIG ステートまたは CONFIG ステートで CMD[3:0]=1100 を設定したとき, MHDS:CRAM は "1" にセットされます。ほかのステートで CMD[3:0]=1100 を設定したとき, CMD[3:0]=0000 (command_not_accepted) にリセットされます。ハードリセットの後も, MHDS:CRAM は "1" にセットされます。MHDS:CRAM を "1" に設定することによって, すべての内部 RAM ブロックがゼロに初期化されます。RAM

の初期化の間、PBSY は POC ビジーを示します。CHI コマンド CLEAR_RAM(CMD[3:0]="1100")実行中、設定レジスタやステータスレジスタへのアクセスは可能です。

FlexRay コントローラの内部 RAM ブロックの初期化は、2048HCLK サイクルを必要とします。ハードリセットの後、もしくは CMD[3:0]=1100(CHI コマンド CLEAR_RAM)の設定後、内部 RAM ブロックの初期化中に、IBF や OBF へアクセスしてはいけません。

CMD[3:0]=1100 の設定前に、メッセージ RAM と IBF/OBF 間に何も転送されていないことを確認しなければなりません。

この設定は、メッセージバッファステータスレジスタ(MHDS, TXRQ1/2/3/4, NDAT1/2/3/4, MBSC1/2/3/4)をリセットします。

<注意事項>

- CLEAR_RAM と SEND_MTS コマンドを除く受け付けられたコマンドは、そのフレームで POC がビジーでなく変化がないならば、CHI 立下りから、どちらかより遅い HCLK か SCLK の 8 サイクル以内に SCLK ドメインの POC ステートを変化します。レジスタ CCSV の読出しは SCLK から HCLK ドメインまでの同期と CPU インタフェースで遅れます。最大の追加デレイは HCLK と SCLK のより遅いクロックの 12 サイクルです。



MONITOR_MODE

CONFIG ステートで CMD[3:0]=1011 を設定したとき、MONITOR_MODE に遷移します。このモードでは、FlexRay フレームとウェイクアップパターンを受信でき、コーディングエラーも検出可能です。ただし、受信フレームの時間の完全性はチェックされません。このモードは、デバッグ目的のために使用できます。例えば、FlexRay ネットワークのスタートアップが失敗する場合に、その原因解析のために使用されます。ほかのステートで CMD[3:0]=1011 を設定したとき、CMD[3:0]=0000 (command_not_accepted) にリセットされます。

表 4-2 FlexRay プロトコル仕様の CHI コマンドと CMD[3:0]の対応(概要)

CHI コマンド	処理場所(POC 状態)	CHI コマンドベクタ CMD[3:0]
ALL_SLOTS	POC:normal active, POC:normal passive	ALL_SLOTS
ALLOW_COLDSTART	All except POC:default config POC:config, POC:halt	ALLOW_COLDSTART
CONFIG	POC:default config, POC:ready	CONFIG
CONFIG_COMPLETE	POC:config	Unlock sequence & READY
DEFAULT_CONFIG	POC:halt	CONFIG
FREEZE	All	FREEZE
HALT	POC:normal active, POC:normal passive	HALT
READY	All except POC:default config, POC:config, POC:ready, POC:halt	READY
RUN	POC:ready	RUN
WAKEUP	POC:ready	WAKEUP

4.4.2. SUC 設定レジスタ 2(SUCC2 (SUC Configuration Register 2))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved				LTN*			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0001			

Bit	23	22	21	20	19	18	17	16
Field	Reserved			LT[20:16]*				
R/W 属性	R0,W0			R/W				
保護属性	-							
初期値	000			00000				

Bit	15-0
Field	LT[15:0]*
R/W 属性	R/W
保護属性	-
初期値	00000101_00000100

[bit31:28] Reserved: 予約ビット

[bit27:24] LTN[3:0]: リスнтаイムアウトノイズ値(Listen Timeout Noise)ビット
(gListenNoise-1)

ノイズが発生している環境の下での、スタートアップおよびウェイクアップのリスンタイムアウト用の上限値を、pdListenTimeout の倍数として設定します。"gListenNoise"が取りうる値の範囲は、2 から 16 です。LTN[3:0]はクラスタのすべてのノードで同一でなければなりません。

[bit23:21] Reserved: 予約ビット

[bit20:0] LT[20:0]: リスнтаイムアウト値(Listen Timeout)ビット(pdListenTimeout)

スタートアップおよびウェイクアップのリスンタイムアウトを μT 単位で設定します。"pdListenTimeout"が取りうる値の範囲は、1284 から 1283846 μT です。

<注意事項>

- ウェイクアップおよびスタートアップのノイズタイムアウト時間は、下記のように計算されます。

$$\text{pdListenTimeout} \cdot \text{gListenNoise} = \text{LT}[20:0] \cdot (\text{LTN}[3:0] + 1)$$



4.4.3. SUC 設定レジスタ 3(SUCC3 (SUC Configuration Register 3))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	WCF*				WCP*			
R/W 属性	R/W				R/W			
保護属性	-							
初期値	0001				0001			

[bit31:8] Reserved: 予約ビット

[bit7:4] WCF [3:0]: HALT 遷移クロック補正損失最大時間(Maximum Without Clock Correction Fatal)ビット(gMaxWithoutClockCorrectionFatal)

NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートから HALT ステートへの状態遷移を引き起こすクロック補正損失時間を、連続した偶数/奇数サイクルペア数にて定義します。クラスタのすべてのノードで同一でなければなりません。有効値は 1 から 15 サイクルペア数です。

[bit3:0] WCP[3:0]: PASSIVE 遷移クロック補正損失最大時間(Maximum Without Clock Correction Passive)ビット (gMaxWithoutClockCorrectionPassive)

NORMAL_ACTIVE ステートから NORMAL_PASSIVE ステートへの状態遷移を引き起こすクロック補正損失時間を、連続した偶数/奇数サイクルペア数にて定義します。クラスタのすべてのノードで同一でなければなりません。有効値は 1 から 15 サイクルペア数です。

<注意事項>

- SUCC1:HCSE がセットされていないならば、HALT ステートへの遷移はありません。



4.4.4. NEM 設定レジスタ(NEMC (NEM Configuration Register))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved				NML*			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0000			

[bit31:4] Reserved: 予約ビット

[bit3:0] NML[3:0]: ネットワークマネジメントベクタ長(Network Management Vector Length)ビット(gNetworkManagementVectorLength)

これらのビットは、ネットワークマネジメントベクタの長さを設定します。構成された長さは、クラスタのすべてのノードで同一でなければなりません。有効値は 0 から 12 バイトです。



4.4.5. PRT 設定レジスタ 1(PRTC1 (PRT Configuration Register 1))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	RWP*						Reserved	RXW[8]*
R/W 属性	R/W						R0,W0	R/W
保護属性	-							
初期値	000010						0	0

Bit	23	22	21	20	19	18	17	16
Field	RXW[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	01001100							

Bit	15	14	13	12	11	10	9	8
Field	BRP*		SPP*		Reserved	CASM6	CASM5*	CASM4*
R/W 属性	R/W		R/W		R0,W0	R,WX	R/W	R/W
保護属性	-							
初期値	00		00		0	1	1	0

Bit	7	6	5	4	3	2	1	0
Field	CASM3*	CASM2*	CASM1*	CASM0	TSST*			
R/W 属性	R/W	R/W	R/W	R/W	R/W			
保護属性	-							
初期値	0	0	1	1	0011			

[bit31:26] RWP[5:0]: ウェイクアップパターン送信回数(Repetitions of Tx Wakeup Pattern) ビット(pWakeupPattern)

ウェイクアップシンボルの送信回数を設定します。有効値は 2 から 63 です。

[bit25] Reserved: 予約ビット

[bit24:16] RXW[8:0]: ウェイクアップシンボル受信ウィンドウ長(Wakeup Symbol Receive Window Length)ビット (gdWakeupSymbolRxWindow)

ノードが受信するウェイクアップパターンのウィンドウ長を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 76 から 301 ビット時間です。

[bit15:14] BRP[1:0]: ボーレートプリスケラ(Baud Rate Prescaler)ビット (gdSampleClockPeriod, pSamplePerMicrotick)

FlexRay バス上のボーレートを設定します。1 ビット時間は常に、8 サンプル($gdSampleClockPeriod \times 8$)で構成されます。システムクロック SCLK の設定については、『FlexRay/RDC 専用クロック』の章を参照してください。

00:

$gdSampleClockPeriod = 1/SCLK(s)$

pSamplesPerMicrotick = 2

01:

gdSampleClockPeriod = 2/SCLK(s)

pSamplesPerMicrotick = 1

10, 11:

gdSampleClockPeriod = 4/SCLK(s)

pSamplesPerMicrotick = 1

[bit13:12] SPP[1:0]: ストローブポイントポジション(Strobe Point Position) ビット

サンプルカウント数を定義します。SPP[1:0]によって定義された回数分サンプリングを行い、それによって観測されたサンプル値(High/Low)の多数決によってビットの値(High/Low)を決定します。

00, 11= Sample 5

01 = Sample 4

10 = Sample 6

<注意事項>

- FlexRay プロトコル 2.1 では、SPP[1:0]=00 です。交互のストローブポイント位置は、物理層で非対称を補償するのに用いることができます。

[bit11] Reserved: 予約ビット

[bit10:4] CASM[6:0]: コリジョン回避シンボル上限(Collision Avoidance Symbol Max)ビット (gdCASRxLowMax)

コリジョン回避シンボル(CAS)に使われるアクセプタンスウィンドウ長の上限を定義します。CASM ビット 6 は 1 固定です。有効値は 67 から 99 ビットタイムです。

[bit3:0] TSST[3:0]: 送信開始シーケンス時間(Transmission Start Sequence Transmitter)ビット (gdTSSTransmitter)

送信開始シーケンス(TSS)時間をビットタイム単位(1 ビットタイム= $4\mu\text{T} = 100\text{ns}@10\text{Mbps}$)で定義します。クラスタのすべてのノードで同一でなければなりません。有効値は 3 から 15 ビットタイムです。



4.4.6. PRT 設定レジスタ 2(PRTC2 (PRT Configuration Register 2))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		TXL*					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		001111					

Bit	23	22	21	20	19	18	17	16
Field	TXI*							
R/W 属性	R/W							
保護属性	-							
初期値	00101101							

Bit	15	14	13	12	11	10	9	8
Field	Reserved		RXL*					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		001010					

Bit	7	6	5	4	3	2	1	0
Field	Reserved		RXI*					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		001110					

[bit31:30] Reserved: 予約ビット

[bit29:24] TXL[5:0]: ウェイクアップシンボル送信 Low 時間(Wakeup Symbol Transmit Low) ビット(gdWakeupSymbolTxLow)

ノードが送信するウェイクアップシンボルの Low 時間を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 15 から 60 ビット時間です。

[bit23:16] TXI[7:0]: ウェイクアップシンボル送信アイドルフェーズ時間(Wakeup Symbol Transmit Idle)ビット (gdWakeupSymbolTxIdle)

ノードが送信するウェイクアップシンボルのアイドルフェーズ時間を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 45 から 180 ビット時間です。

[bit15:14] Reserved: 予約ビット

[bit13:8] RXL[5:0]: ウェイクアップ受信 Low 時間(Wakeup Symbol Receive Low)ビット (gdWakeupSymbolRxLow)

ノードが受信するウェイクアップシンボルの Low 時間を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 10 から 55 ビット時間です。

[bit7:6] Reserved: 予約ビット

[bit5:0] RXI[5:0]: ウェイクアップ受信アイドルフェーズ時間(Wakeup Symbol Receive Idle)ビット (gdWakeupSymbolRxIdle)

ノードが受信するウェイクアップシンボルのアイドルフェーズ時間を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 14 から 59 ビット時間です。



4.4.7. MHD 設定レジスタ (MHDC (MHD Configuration Register))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved			SLT[12:8]*				
R/W 属性	R0,W0			R/W				
保護属性	-							
初期値	000			00000				

Bit	23	22	21	20	19	18	17	16
Field	SLT[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved	SFDL*						
R/W 属性	R0,W0	R/W						
保護属性	-							
初期値	0	0000000						

[bit31:29] Reserved: 予約ビット

[bit28:16] SLT[12:0]: 送信終了ミニスロット値(Start of Latest Transmit)ビット (pLatestTx)

ダイナミックセグメントでフレーム送信が禁止される直前の、最大ミニスロット値を設定します。SLT[12:0] が"0"に設定されている場合、ダイナミックセグメントにはデータが送信されません。有効値は、0 から 7981 ミニスロットです。

[bit15:7] Reserved: 予約ビット

[bit6:0] SFDL[6:0]: スタティックフレームデータ長(Static Frame Data Length)ビット (gPayloadLengthStatic)

スタティックセグメントにて送信される全フレームについて、クラスタ全体のペイロード長を設定します。このビットの設定値に対して、実際のペイロード長は 2 倍のバイト長になります。ペイロード長は、クラスタのすべてのノードで同一でなければなりません。有効値は 0 から 127 です。

4.4.8. GTU 設定レジスタ 1(GTUC1 (GTU Configuration Register 1))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved				UT[19:16]*			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0000			

Bit	15-0							
Field	UT[15:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000010_10000000							

[bit31:20] Reserved: 予約ビット

[bit19:0] UT[19:0]: マイクロティック(Microtick per Cycle)ビット (pMicroPerCycle)

コミュニケーションサイクルのマイクロティックを設定します。有効値は 640 から 640000μT です。



4.4.9. GTU 設定レジスタ 2(GTUC2 (GTU Configuration Register 2))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved				SNM*			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0010			

Bit	15	14	13	12	11	10	9	8
Field	Reserved		MPC[13:8]*					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		000000					

Bit	7	6	5	4	3	2	1	0
Field	MPC[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00001010							

[bit31:20] Reserved: 予約ビット

[bit19:16] SNM[3:0]: 最大同期ノード(Sync Node Max)ビット(gSyncNodeMax)

同期フレーム(同期フレームインジケータ SYN に "1" がセットされたフレーム)を送信するノードの最大数を設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 2 から 15 です。

[bit15:14] Reserved: 予約ビット

[bit13:0] MPC[13:0]: マクロティック(Macrotick Per Cycle)ビット(gMacroPerCycle)

コミュニケーションサイクルのマクロティックを設定します。サイクル長はクラスタのすべてのノードで同一でなければなりません。有効値は 10 から 16000MT です。

4.4.10. GTU 設定レジスタ 3(GTUC3 (GTU Configuration Register 3))

このレジスタは DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	MIOB*						
R/W 属性	R0,W0	R/W						
保護属性	-							
初期値	0	0000010						

Bit	23	22	21	20	19	18	17	16
Field	Reserved	MIOA*						
R/W 属性	R0,W0	R/W						
保護属性	-							
初期値	0	0000010						

Bit	15	14	13	12	11	10	9	8
Field	UIOB*							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	UIOA*							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit31] Reserved: 予約ビット

[bit30:24] MIOB[6:0]: チャンネル B マクロティック初期オフセット(Macrotick Initial Offset Channel B)ビット(pMacroInitialOffset [B])

チャンネル B のセカンダリ・タイム・リファレンス・ポイント後のマクロティック境界と、スタティックスロット境界の間のマクロティック数を指定します。この値は、ノミナルマクロティック時間に基づいています。クラスタのすべてのノードで同一でなければなりません。有効値は 2 から 72MT です。

[bit23] Reserved: 予約ビット

[bit22:16] MIOA[6:0]: チャンネル A マクロティック初期オフセット(Macrotick Initial Offset Channel A)ビット(pMacroInitialOffset [A])

チャンネル A のセカンダリ・タイム・リファレンス・ポイント後のマクロティック境界と、スタティックスロット境界の間のマクロティック数を指定します。この値は、ノミナルマクロティック時間に基づいています。クラスタのすべてのノードで同一でなければなりません。有効値は 2 から 72MT です。

[bit15:8] UIOA[7:0]: チャンネル B マイクロティック初期オフセット(Microtick Initial Offset Channel B)ビット(pMicroInitialOffset [B])

チャンネル B のセカンダリ・タイム・リファレンス・ポイント後のマクロティック境界と、実タイム・リファレンス・ポイントの間のマイクロティック数を設定します。パラメータは、pDelayCompensation[B]に依存し、独立してそれぞれのチャンネルに設定されなければなりません。有効値は 0 から 240μT です。

**[bit7:0] UIOA[7:0]: チャンネル A マイクロティック初期オフセット(Microtick Initial Offset Channel A)ビット(pMicroInitialOffset [A])**

チャンネル A のセカンダリ・タイム・リファレンス・ポイント後のマイクロティック境界と、実タイム・リファレンス・ポイントの間のマイクロティック数を設定します。パラメータは、pDelayCompensation[A]に依存し、独立してそれぞれのチャンネルに設定されなければなりません。有効値は 0 から 240 μ T です。

4.4.11. GTU 設定レジスタ 4(GTUC4 (GTU Configuration Register 4))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。NIT[13:0]と OCS[13:0]の設定の詳細については「3.1 コミュニケーションサイクル」の「(5) NIT の開始, およびオフセット補正開始の設定」を参照してください。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		OCS[13:8]*					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		000000					

Bit	23	22	21	20	19	18	17	16
Field	OCS[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00001000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved		NIT[13:8]*					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		000000					

Bit	7	6	5	4	3	2	1	0
Field	NIT[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000111							

[bit31:30] Reserved: 予約ビット

[bit29:16] OCS[13:0]: オフセット補正開始(Offset Correction Start)ビット
(gOffsetCorrectionStart - 1)

NIT フェーズの中でオフセット補正開始位置を決定し、サイクルのスタート位置から数えて計算されます。クラスタのすべてのノードで同一でなければなりません。有効値は 8 から 15998MT です。

[bit15:14] Reserved: 予約ビット

[bit13:0] NIT[13:0]: ネットワークアイドルタイム開始 (Network Idle Time Start)ビット
(gMacroPerCycle - gdNIT - 1)

マクロティック数で表されたコミュニケーションサイクルの終わりににおけるネットワークアイドルタイム NIT のスタートポイントを設定します。MacroTick = gMacroPerCycle - gdNIT - 1 の条件を満たせば、NIT が開始されます。クラスタのすべてのノードで同一でなければなりません。有効値は 7 から 15997MT です。



4.4.12. GTU 設定レジスタ 5(GTUC5 (GTU Configuration Register 5))

このレジスタは DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	DEC*							
R/W 属性	R/W							
保護属性	-							
初期値	00001110							

Bit	23	22	21	20	19	18	17	16
Field	Reserved			CDD*				
R/W 属性	R0,W0			R/W				
保護属性	-							
初期値	000			00000				

Bit	15	14	13	12	11	10	9	8
Field	DCB*							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	DCA*							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit31:24] DEC[7:0]: デコーディング補正值(Decoding Correction)ビット (pDecodingCorrection)

プライマリタイムリファレンスポイントの決定のために使用されるデコーディング補正值を設定します。
有効値は 14 から 143 μ T です。

[bit23:21] Reserved: 予約ビット

[bit20:16] CDD[4:0]: クラスタドリフトダンピング(Cluster Drift Damping)ビット (pClusterDriftDamping)

丸め込み累積を最小にするために、クロック同期化で使用するクラスタドリフトダンピングを設定します。
有効値は 0 から 20 μ T です。

**[bit15:8] DCB[7:0]: チャンネル B 受信遅延補正(Delay Compensation Channel B)ビット
(pDelayCompensation [B])**

チャンネル B における受信遅延の補正のために使用されます。これは 0.0125 から 0.05 μ s の範囲の想定された伝播遅延を、マイクロティック単位で設定された cPropagationDelayMax まで保証します。実際には、すべての同期するノードの最小伝播遅延時間が適用されなければなりません。有効値は 0 から 200 μ T です。

**[bit7:0] DCA[7:0]: チャンネル A 受信遅延補正(Delay Compensation Channel A)ビット
(pDelayCompensation [A])**

チャンネル A における受信遅延の補正のために使用されます。これは 0.0125 から 0.05 μ s の範囲の想定された伝播遅延を、マイクロティック単位で設定された cPropagationDelayMax まで保証します。実際には、すべての同期するノードの最小伝播遅延時間が適用されなければなりません。有効値は 0 から 200 μ T です。



4.4.13. GTU 設定レジスタ 6(GTUC6 (GTU Configuration Register 6))

このレジスタは DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved					MOD[10:8]*		
R/W 属性	R0,W0					R/W		
保護属性	-							
初期値	00000					000		

Bit	23	22	21	20	19	18	17	16
Field	MOD[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000010							

Bit	15	14	13	12	11	10	9	8
Field	Reserved					ASR[10:8]*		
R/W 属性	R0,W0					R/W		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	ASR[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit31:27] Reserved: 予約ビット

[bit26:16] MOD[10:0]: 最大オシレータドリフト(Maximum Oscillator Drift)ビット(pdMaxDrift)

1 コミュニケーションサイクル上の非同期的な 2 つのノード間で、最大ドリフトオフセットを μT 単位で設定します。有効値は 2 から 1923 μT です。

[bit15:11] Reserved: 予約ビット

[bit10:0] ASR[10:0]: アクセプタンススタートアップ範囲(Accepted Startup Range)ビット(pdAcceptedStartupRange)

スタートアップフレームに対する測定誤差の拡張範囲を、マイクロティック数にて設定します。有効値は 0 から 1875 μT です。

4.4.14. GTU 設定レジスタ 7(GTUC7 (GTU Configuration Register 7))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						NSS[9:8]*	
R/W 属性	R0,W0						R/W	
保護属性	-							
初期値	000000						00	

Bit	23	22	21	20	19	18	17	16
Field	NSS[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000010							

Bit	15	14	13	12	11	10	9	8
Field	Reserved						SSL[9:8] [*]	
R/W 属性	R0,W0						R/W	
保護属性	-							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	SSL[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000100							

[bit31:26] Reserved: 予約ビット

[bit25:16] NSS[9:0]: スタティックスロット数(Number of Static Slots)ビット
(gNumberOfStaticSlots)

サイクルでスタティックスロットの数を設定します。最低 2 つのコールドスタートノードが FlexRay ネットワークのスタートアップのために構成されなければなりません。スタティックスロット数はクラスタのすべてのノードで同一でなければなりません。有効値は 2 から 1023 です。

[bit15:10] Reserved: 予約ビット

[bit9:0] SSL[9:0]: スタティックスロット長(Static Slot Length)ビット(gdStaticSlot)

マクロティックでスタティックスロットの期間を設定します。スタティックスロット長はクラスタのすべてのノードで同一でなければなりません。有効値は 4 から 659MT です。



4.4.15. GTU 設定レジスタ 8(GTUC8 (GTU Configuration Register 8))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved			NMS[12:8]*				
R/W 属性	R0,W0			R/W				
保護属性	-							
初期値	000			00000				

Bit	23	22	21	20	19	18	17	16
Field	NMS[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved		MSL*					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		000010					

[bit31:29] Reserved: 予約ビット

[bit28:16] NMS[12:0]: ミニスロット数(Number of Minislots)ビット (gNumberOfMinislots)

1つのサイクルのダイナミックセグメント以内でのミニスロット数を設定します。ミニスロット数はクラスタのすべてのノードで同一でなければなりません。有効値は0から7986です。

[bit15:6] Reserved: 予約ビット

[bit5:0] MSL[5:0]: ミニスロット長(Minislot Length)ビット (gdMinislot)

マクロティックでミニスロットの期間を設定します。ミニスロット長はクラスタのすべてのノードで同一でなければなりません。有効値は2から63MTです。

4.4.16. GTU 設定レジスタ 9(GTUC9 (GTU Configuration Register 9))

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved						DSI*	
R/W 属性	R0,W0						R/W	
保護属性	-							
初期値	000000						00	

Bit	15	14	13	12	11	10	9	8
Field	Reserved			MAPO*				
R/W 属性	R0,W0			R/W				
保護属性	-							
初期値	000			00001				

Bit	7	6	5	4	3	2	1	0
Field	Reserved		APO*					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		000001					

[bit31:18] Reserved: 予約ビット

[bit17:16] DSI[1:0]: ダイナミックスロットアイドルフェーズ(Dynamic Slot Idle Phase)ビット (gdDynamicSlotIdlePhase)

ダイナミックスロット中のアイドルフェーズ時間を設定します。その時間は、アイドル検出時間以上でなければなりません。クラスタのすべてのノードは同一でなければなりません。有効値は0から2 ミニスロットです。

[bit15:13] Reserved: 予約ビット

[bit12:8] MAPO[4:0]: ミニスロットアクションポイントオフセット(Minislot Action Point Offset) ビット (gdMinislotActionPointOffset)

ダイナミックセグメントのミニスロット以内のアクションポイントオフセットを、マクロティックで設定します。クラスタのすべてのノードは同一でなければなりません。有効値は1から31MTです。

[bit7:6] Reserved: 予約ビット

**[bit5:0] APO[5:0]: アクションポイントオフセット(Action Point Offset)ビット
(gdActionPointOffset)**

スタティックスロットとシンボルウィンドウ以内のアクションポイントオフセットを、マクロティックで設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 1 から 63 MT です。

4.4.17. GTU 設定レジスタ 10(GTUC10 (GTU Configuration Register 10))

このレジスタは DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved					MRC[10:8]*		
R/W 属性	R0,W0					R/W		
保護属性	-							
初期値	00000					000		

Bit	23	22	21	20	19	18	17	16
Field	MRC[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000010							

Bit	15	14	13	12	11	10	9	8
Field	Reserved		MOC[13:8]*					
R/W 属性	R0,W0		R/W					
保護属性	-							
初期値	00		000000					

Bit	7	6	5	4	3	2	1	0
Field	MOC[7:0]*							
R/W 属性	R/W							
保護属性	-							
初期値	00000101							

[bit31:27] Reserved : 予約ビット

[bit26:16] MRC[10:0]: 最大レート補正值(Maximum Rate Correction)ビット
(pRateCorrectionOut)

内部クロック同期アルゴリズムによって使用される, 許容最大レート補正值を設定します。内部レート補正と外部レート補正(絶対値)の合計は, この値と照合されます。有効値は 2 から 1923 μ T です。

[bit15:14] Reserved: 予約ビット

[bit13:0] MOC[13:0]: 最大オフセット補正值(Maximum Offset Correction)ビット
(pOffsetCorrectionOut)

内部クロック同期アルゴリズム(絶対値)によって使用される, 許容最大オフセット補正值を設定します。内部オフセット補正と外部オフセット補正の合計は, この値と照合されます。有効値は 5 から 15266 μ T です。



4.4.18. GTU 設定レジスタ 11(GTUC11 (GTU Configuration Register 11))

Bit	31	30	29	28	27	26	25	24
Field	Reserved					ERC*		
R/W 属性	R0,W0					R/W		
保護属性	-							
初期値	00000					000		

Bit	23	22	21	20	19	18	17	16
Field	Reserved					EOC*		
R/W 属性	R0,W0					R/W		
保護属性	-							
初期値	00000					000		

Bit	15	14	13	12	11	10	9	8
Field	Reserved						ERCC	
R/W 属性	R0,W0						R/W	
保護属性	-							
初期値	000000						00	

Bit	7	6	5	4	3	2	1	0
Field	Reserved						EOCC	
R/W 属性	R0,W0						R/W	
保護属性	-							
初期値	000000						00	

[bit31:27] Reserved: 予約ビット

**[bit26:24] ERC[2:0]: 外部レート補正(External Rate Correction)ビット
(pExternRateCorrection)**

内部のクロック同期化アルゴリズムによって使用される外部レート補正値を、マイクロティックで設定します。その値は、計算されたレート補正値に対して加算、あるいはレート補正力から減算するために使用されます。その値の適用は、NIT の間に実行されます。DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。有効値は 0 から 7 μ T です。

[bit23:19] Reserved: 予約ビット

**[bit19:16] EOC[2:0]: 外部オフセット補正(External Offset Correction)ビット
(pExternOffsetCorrection)**

内部のクロック同期化アルゴリズムによって使用される外部オフセット補正値を、マイクロティックで設定します。その値は、計算されたオフセット補正値に対して加算、あるいはオフセット補正値から減算するために使用されます。その値の適用は、NIT の間に実行されます。DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。有効値は 0 から 7 μ T です。

[bit15:10] Reserved: 予約ビット



**[bit9:8] ERCC[1:0]: 外部レート補正制御(External Rate Correction Control)ビット
(vExternRateControl)**

下記に示した設定値を, ERCC[1:0]に書き込むことによって, 外部レート補正が有効になります。NIT の外側で変更してください。

bit[9:8]	説明
00	外部レート補正值なし
01	
10	計算されたレート補正值から外部レート補正值分を減算する
11	計算されたレート補正值に外部レート補正值分を加算する

[bit7:2] Reserved: 予約ビット

**[bit1:0] EOCC[1:0]: 外部オフセット補正制御(External Offset Correction Control)ビット
(vExternOffsetControl)**

下記に示した設定値を, EOCC[1:0]に書き込むことによって, 外部オフセット補正が有効になります。NIT の外側で変更してください。

bit[1:0]	説明
00	外部オフセット補正值なし
01	
10	計算されたオフセット補正值から外部オフセット補正值分を減算する
11	計算されたオフセット補正值に外部オフセット補正值分を加算する



4.5. 通信コントローラ(CC)ステータスレジスタ

オンチップバスクロック(HCLK)の周波数によって、ステータスペクタの情報は逐次、ホストがステータスペクタをポーリングするより速く変化します。

4.5.1. CC ステータスペクタレジスタ (CCSV (CC Status Vector))

Bit	31	30	29	28	27	26	25	24
Field	Reserved		PSL					
R/W 属性	R0,W0		R,WX					
保護属性	-							
初期値	00		000000					

Bit	23	22	21	20	19	18	17	16
Field	RCA					WSV		
R/W 属性	R,WX					R,WX		
保護属性	-							
初期値	00010					000		

Bit	15	14	13	12	11	10	9	8
Field	Reserved	CSI	CSAI	CSNI	Reserved		SLM	
R/W 属性	R0,W0	R,WX	R,WX	R,WX	R0,W0		R,WX	
保護属性	-							
初期値	0	1	0	0	00		00	

Bit	7	6	5	4	3	2	1	0
Field	HRQ	FSI	POCS					
R/W 属性	R,WX	R,WX	R,WX					
保護属性	-							
初期値	0	0	000000					

[bit31:30] Reserved: 予約ビット

[bit29:24] PSL[5:0]: POC ステータスログ(POC Status Log)ビット

HALT ステート前の POCS[5:0]ステータスを示します。HALT ステート時にセットされます。HALT ステート中に FREEZE コマンドで HALT になり、FSI はまだセットされません、すなわち、FREEZE コマンドで HALT ステートに達しませんでした。HALT ステートでなくなると"000000"にリセットされます。

[bit23:19] RCA[4:0]: コールドスタート試行残存回数(Remaining Coldstart Attempts)
(vRemainingColdstartAttempts)

コールドスタート試行の残り回数を示します。RUN コマンドは SUCC1:CSA[4:0]で設定されるコールドスタート試行回数の最大数にこのカウンタをリセットします。CONFIG と DEFAULT_CONFIG ステートでの初期値もまた SUCC1:CSA[4:0]の値です。



[bit18:16] WSV[2:0]: ウェイクアップステータス(Wakeup Status) ビット (vPOC!WakeupStatus)

現在のウェイクアップステータスを示します(「3.5.6 WAKEUP ステート」参照)。CHI 命令によるリセット, RESET_STATUS_INDICATORS または DEFAULT_CONFIG からの CONFIG への移行によってリセットされます。

bit[18:16]	説明
000	UNDEFINED: ウェイクアップが開始されていない。
001	RECEIVED_HEADER: WAKEUP_LISTEN ステートにおいて、いずれかのチャネル上にエラーなしのフレームヘッダを受信したことによって、ウェイクアップが終了するときにセットされます。
010	RECEIVED_WUP: WAKEUP_LISTEN ステートにおいて、指定のウェイクアップチャネル上で有効なウェイクアップパターンを受信したことによって、ウェイクアップが終了した場合にセットされます。
011	COLLISION_HEADER: ウェイクアップパターン送信中に、どちらかのチャネル上で有効ヘッダの受信によりコリジョンを検出したことによって、ウェイクアップが停止した場合にセットされます。
100	COLLISION_WUP: ウェイクアップパターン送信中に、指定のウェイクアップチャネル上で有効ウェイクアップパターンの受信によりコリジョンを検出したことによって、ウェイクアップが停止した場合にセットされます。
101	COLLISION_UNKNOWN: 有効ウェイクアップパターンもしくは有効フレームヘッダのいずれも受信せずに、ウェイクアップタイマが所定の時間を経過したことによって、WAKEUP_DETECT ステートより遷移してウェイクアップが停止したときセットされます。
110	TRANSMITTED: ウェイクアップパターンの送信が正常に完了したときセットされます。
111	Reserved

[bit15] Reserved: 予約ビット

[bit14] CSI: コールドスタート禁止(Cold Start Inhibit) ビット (vColdStartInhibit)

ノードがコールドスタートから無効にされることを示します。このフラグは, CHI 命令による READY によって READY ステートにあるときはいつでも"1"にセットされます。このフラグは, SUCC1:CMD[3:0] ="1001"(CHI コマンド ALLOW_COLDSTART)の設定によって、リセットされます。

bit	説明
0	ノードのコールドスタート可能
1	ノードのコールドスタート不可

[bit13] CSAI: コールドスタート中止インジケータ(Coldstart Abort Indicator) ビット

コールドスタートが中止されたことを示します。CHI 命令によるリセット, RESET_STATUS_INDICATORS または HALT からの DEFAULT_CONFIG の移行, または READY から STARTUP ステートの移行によってリセットされます。

[bit12] CSNI: コールドスタートノイズインジケータ(Coldstart Noise Indicator) ビット (vColdStartNoise)

コールドスタートプロシージャがノイズの多い条件下で実行されたことを示します。CHI 命令によるリセット、RESET_STATUS_INDICATORS または HALT からの DEFAULT_CONFIG の移行、または READY から STARTUP ステートの移行によってリセットされます。

[bit11:10] Reserved: 予約ビット

[bit9:8] SLM[1:0]: スロットモード(Slot Mode) ビット (vPOC!SlotMode)

READY, STARTUP, NORMAL_ACTIVE, および NORMAL_PASSIVE ステートにおいて、現在の POC のスロットモードを表示します。デフォルト値は SINGLE スロットモードです。SUCC1:TSM によって ALL に変更されます。NORMAL_ACTIVE ステートあるいは NORMAL_PASSIVE ステートで、CHI コマンド CMD[3:0]="0101"(ALL_SLOTS)を設定したとき、スロットモードが SINGLE スロットモードから ALL_PENDING を経由して ALL スロットモードに変更されます。ほかのすべてのステートのときは、SINGLE スロットモードになります。

bit[9:8]	説明
00	SINGLE スロットモード
01	Reserved
10	ALL_PENDING
11	ALL スロットモード

[bit7] HRQ: 停止要求(Halt Request) ビット (vPOC!CHIHaltRequest)

コミュニケーションサイクルの終わりににおいて、HALT ステートに状態遷移するようにホストから要求されたことを示します。HALT から DEFAULT_CONFIG ステート移行時または READY ステートに遷移した場合にリセットされます。

[bit6] FSI: フリーズステータスインジケータ(Freeze Status Indicator) ビット (vPOC!Freeze)

CMD[3:0]="0111"(CHI コマンド FREEZE) が設定されたか、あるいは直ちに HALT ステートへの状態遷移が必要なエラーが生じたために、HALT ステートに遷移したことを示します。HALT から DEFAULT_CONFIG ステート移行時にリセットされます。

[bit5:0] POC[5:0] POC : ステート(Protocol Operation Control Status) ビット

現在の POC の実行ステートを表示します(000000~001111)。

bit[5:0]	説明
000000	DEFAULT_CONFIG ステート
000001	READY ステート
000010	NORMAL_ACTIVE ステート
000011	NORMAL_PASSIVE ステート
000100	HALT ステート
000101	MONITOR_MODE ステート
000110~001110	Reserved
001111	CONFIG ステート

ウェイクアップ手順における現在の POC ステートを表示します(010000~011111)。

bit[5:0]	説明
010000	WAKEUP_STANDBY ステート
010001	WAKEUP_LISTEN ステート
010010	WAKEUP_SEND ステート



H A R D W A R E M A N U A L

010011	WAKEUP_DETECT ステート
010100 ～ 011111	Reserved

スタートアップ手順における現在の POC ステートを表示します(100000～111111)。

bit[5:0]	説明
100000	STARTUP_PREPARE ステート
100001	COLDSTART_LISTEN ステート
100010	COLDSTART_COLLISION_RESOLUTION ステート
100011	COLDSTART_CONSISTENCY_CHECK ステート
100100	COLDSTART_GAP ステート
100101	COLDSTART_JOIN ステート
100110	INTEGRATION_COLDSTART_CHECK ステート
100111	INTEGRATION_LISTEN ステート
101000	INTEGRATION_CONSISTENCY_CHECK ステート
101001	INITIALIZE_SCHEDULE ステート
101010	ABORT_STARTUP ステート
101011	STARTUP_SUCCESS ステート
101011～111111	Reserved

4.5.2. CC エラーベクタレジスタ(CCEV (CC Error Vector))

HALT から DEFAULT_CONFIG ステート移行時または READY ステートに遷移した場合にリセットされます。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved			PTAC				
R/W 属性	R0,W0			R,WX				
保護属性	-							
初期値	000			00000				

Bit	7	6	5	4	3	2	1	0
Field	ERRM		Reserved		CCFC			
R/W 属性	R,WX		R0,W0		R,WX			
保護属性	-							
初期値	00		00		0000			

[bit31:13] Reserved: 予約ビット

[bit12:8] PTAC[4:0]: パッシブ・アクティブ間状態遷移必要サイクルペア数カウンタ (Passive to Active Count) ビット (vAllowPassiveToActive)

ノードが NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへ遷移するのを待つ間に、レート補正時間とオフセット補正時間が有効であることによってパスした連続の偶数/奇数サイクルペアの数を示します。そのステート遷移は、PTAC[4:0] が SUCC1:PTA [4:0] -1 に一致したとき行われます。

[bit7:6] ERRM[1:0]: エラーモード(Error Mode) ビット (vPOC!ErrorMode)

POC の現在のエラーモードを表示します。

bit[7:6]	説明
00	ACTIVE
01	PASSIVE
10	COMM_HALT
11	Reserved

[bit5:4] Reserved: 予約ビット

**[bit3:0] CCFC[3:0]: クロック補正フェイルカウンタ(Clock Correction Failed Counter) ビット (vClockCorrectionFailed)**

オフセット補正消失エラーもしくはレート補正消失エラーのどちらかが発生している場合、奇数コミュニケーションサイクルの終わりに1つ増加されます。オフセット補正消失エラーとレート補正消失エラーのいずれも発生していない場合は、奇数コミュニケーションサイクルの終わりで"0"にリセットされます。クロック補正フェイルカウンタは15でストップします。

4.5.3. スロットカウンタ値レジスタ(SCV (Slot Counter Value))

CONFIG ステートからの移行時, または STARTUP ステートに遷移したとき, レジスタはリセットされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved					SCCB[10:8]		
R/W 属性	R0,W0					R,WX		
保護属性	-							
初期値	00000					000		

Bit	23	22	21	20	19	18	17	16
Field	SCCB[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved					SCCA[10:8]		
R/W 属性	R0,W0					R,WX		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	SCCA[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:27] Reserved: 予約ビット

[bit26:16] SCCB[10:0]: チャンネル B スロットカウンタ(Slot Counter Channel B) ビット (vSlotCounter [B])

チャンネル B の現在のスロットカウンタ値を示します。この値は, コミュニケーションサイクルの開始において 1 になり, 各スタティックスロットの終わりでそのサイクルの終わりまでインクリメントされます。有効値は 0 から 2047 です。

[bit15:11] Reserved: 予約ビット

[bit10:0] SCCA[10:0]: チャンネル A スロットカウンタ(Slot Counter Channel A) ビット (vSlotCounter [A])

チャンネル A の現在のスロットカウンタ値を示します。この値は, コミュニケーションサイクルの開始において 1 になり, 各スタティックスロットの終わりでそのサイクルの終わりまでインクリメントされます。有効値は 0 から 2047 です。



4.5.4. マクロティックおよびサイクルカウンタ値レジスタ (MTCCV (Macrotick and Cycle Counter Value))

CONFIG ステートからの移行時、または STARTUP ステートに遷移したとき、レジスタはリセットされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved		CCV					
R/W 属性	R0,W0		R,WX					
保護属性	-							
初期値	00		000000					

Bit	15	14	13	12	11	10	9	8
Field	Reserved		MTV[13:8]					
R/W 属性	R0,W0		R,WX					
保護属性	-							
初期値	00		000000					

Bit	7	6	5	4	3	2	1	0
Field	MTV[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:22] Reserved: 予約ビット

[bit21:16] CCV[5:0]: サイクルカウンタ値(Cycle Counter Value) ビット (vCycleCounter)

現在のサイクルカウンタ値を示します。この値は、コミュニケーションサイクルの開始において、インクリメントされます。有効値は 0 から 63 です。

[bit15:14] Reserved: 予約ビット

[bit13:0] MTV[13:0]: マクロティック値(Macrotick Value) ビット (vMacrotick)

現在のマクロティック値を示します。この値は、コミュニケーションサイクルの開始において 0 になり、そのサイクルの終わりまでインクリメントされます。有効値は 0 から 15999 です。

4.5.5. レート補正值レジスタ(RCV (Rate Correction Value))

レジスタは CONFIG ステートから出るか, STARTUP ステートに入るとリセットされます。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved				RCV[11:8]			
R/W 属性	R0,W0				R,WX			
保護属性	-							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	RCV[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:12] Reserved: 予約ビット

[bit11:0] RCV[11:0]: レート補正值(Rate Correction Value) ビット (vRateCorrection)

レート補正值(2の補数)を示します。これは、最大レート補正值 GTUC10:MRC[10:0]で制限される前の、コントローラ内部で計算されたレート補正值です。値が最大レート補正值をこえると、SFS:RCLR フラグは"1"にセットされます。



4.5.6. オフセット補正值レジスタ(OCV (Offset Correction Value))

レジスタは CONFIG ステートから出るか, STARTUP ステートに入るとリセットされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved				OCV[18:16]			
R/W 属性	R0,W0				R,WX			
保護属性	-							
初期値	00000				000			

Bit	15-0							
Field	OCV[15:0]							
RW 属性	R,WX							
保護属性	-							
初期値	00000000_00000000							

[bit31:19] Reserved: 予約ビット

[bit18:0] OCV[18:0]: オフセット補正值(Offset Correction Value) ビット (vOffsetCorrection)

オフセット補正值(2 の補数) を示します。これは、最大オフセット補正值 GTUC10:MOC[10:0]で制限される前の、内部で計算されたオフセット補正值です。値が最大オフセット補正值をこえると, SFS:OCLR フラグは"1"にセットされます。

<注意事項>

- 外部レート/オフセット補正值は、最大レート/オフセット補正值にて制限されたレート/オフセット補正值に加算されます。

4.5.7. 同期フレームステータスレジスタ(SFS (Sync Frame Status))

1 コミュニケーションサイクルで有効同期フレームの最大値は 15 です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved				RCLR	MRCS	OCLR	MOCS
R/W 属性	R0,W0				R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0000				0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	VSBO				VSBE			
R/W 属性	R,WX				R,WX			
保護属性	-							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	VSAO				VSAE			
R/W 属性	R,WX				R,WX			
保護属性	-							
初期値	0000				0000			

[bit31:20] Reserved: 予約ビット

[bit19] RCLR: レート補正限界値到達(Rate Correction Limit Reached) ビット

レート補正値が GTUC10:MRC[10:0]で定義される限界値を超過したことを示します。このフラグは、オフセット補正フェーズの開始において更新されます。

bit	説明
0	レート補正値が限界値を超過していない
1	レート補正値が限界値を超過した

[bit18] MRCS: レート補正信号消失(Missing Rate Correction Signal) ビット

偶数/奇数の同期フレーム・ペアが受信されなかったためにレート補正の計算が行われなかったことを示します。このフラグは、オフセット補正フェーズ開始において更新されます。

bit	説明
0	レート補正信号が有効
1	レート補正信号の損失

[bit17] OCLR: オフセット補正限界値到達(Offset Correction Limit Reached) ビット



オフセット補正値が GTUC10:MOC[13:0] で定義される限界値を超過したことを示します。このフラグは、オフセット補正フェーズ開始において更新されます。

bit	説明
0	オフセット補正値が限界値を超過していない
1	オフセット補正値が限界値を超過した

[bit16] MOCS: オフセット補正信号消失(Missing Offset Correction Signal) ビット

同期フレームが受信されなかったためにオフセット補正の計算が行われなかったことを示します。このフラグは、オフセット補正フェーズ開始において更新されます。

bit	説明
0	オフセット補正信号が有効
1	オフセット補正信号の消失

[bit15:12] VSBO[3:0]: チャンネル B 有効同期フレーム, 奇数コミュニケーションサイクル(Valid Sync Frames Channel B, odd communication cycle) ビット

チャンネル B の奇数コミュニケーションサイクルで受信された、有効な同期フレームの数を表示します。同期フレームの送信が SUCC1:TXSY によって許可されるならば、値は 1 ずつ増加します。この値は、奇数コミュニケーションサイクルごとの NIT の期間中更新されます。

<注意事項>

- 上記のビットフィールドは、それぞれのチャンネルが SUCC1:CCHA または SUCC1:CCHB によって割り当てられた場合のみ有効となります。

[bit11:8] VSBE[3:0]: チャンネル B 有効同期フレーム, 偶数コミュニケーションサイクル(Valid Sync Frames Channel B, even communication cycle) ビット

チャンネル B の偶数コミュニケーションサイクルで受信された、有効な同期フレームの数を表示します。同期フレームの送信が SUCC1:TXSY によって許可されるならば、値は 1 ずつ増加します。この値は、偶数コミュニケーションサイクルごとの NIT の期間中更新されます。

[bit7:4] VSAO[3:0]: チャンネル A 有効同期フレーム, 奇数コミュニケーションサイクル(Valid Sync Frames Channel A, odd communication cycle) ビット

チャンネル A の奇数コミュニケーションサイクルで受信された、有効な同期フレームの数を表示します。同期フレームの送信が SUCC1:TXSY によって許可されるならば、値は 1 ずつ増加します。この値は、奇数コミュニケーションサイクルごとの NIT の期間中更新されます。

[bit3:0] VSAE[3:0]: チャンネル A 有効同期フレーム, 偶数コミュニケーションサイクル(Valid Sync Frames Channel A, even communication cycle) ビット

チャンネル A の偶数コミュニケーションサイクルで受信された、有効な同期フレームの数を表示します。同期フレームの送信が SUCC1:TXSY によって許可されるならば、値は 1 ずつ増加します。この値は、偶数コミュニケーションサイクルごとの NIT の期間中更新されます。

4.5.8. シンボルウィンドウ, および NIT ステータスレジスタ(SWNIT (Symbol Window and NIT Status))

下記にシンボルウィンドウ関連のステータス情報を持つビットを示します。これらは、各チャネルのシンボルウィンドウの終了にて更新されます。スタートアップ中は更新されません。

レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved				SBNB	SENB	SBNA	SENA
R/W 属性	R0,W0				R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0000				0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	MTSB	MTSA	TCSB	SBSB	SESB	TCSA	SBSA	SESA
R/w 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:12] Reserved: 予約ビット

[bit11] SBNB: チャネル B の NIT 間スロット境界障害(Slot Boundary Violation during NIT Channel B) ビット(vSS!BViolationB)

bit	説明
0	チャネル B において、NIT の間にスロット境界障害が検出されていない
1	チャネル B において、NIT の間にスロット境界障害が検出された

[bit10] SENB: チャネル B の NIT 間シンタックスエラー(Syntax Error during NIT Channel B) ビット (vSS!SyntaxErrorB)

bit	説明
0	チャネル B において、NIT の間にシンタックスエラーが検出されていない
1	チャネル B において、NIT の間にシンタックスエラーが検出された

[bit9] SBNA: チャネル A の NIT 間スロット境界障害(Slot Boundary Violation during NIT Channel A) ビット (vSS!BViolationA)

bit	説明
0	チャネル A において、NIT の間にスロット境界障害が検出されていない
1	チャネル A において、NIT の間にスロット境界障害が検出された

[bit8] SENA: チャネル A の NIT 間シンタックスエラー(Syntax Error during NIT Channel A) ビット (vSS!SyntaxErrorA)



bit	説明
0	チャンネル A において, NIT の間にシンタックスエラーが検出されていない
1	チャンネル A において, NIT の間にシンタックスエラーが検出された

[bit7] MTSB: チャンネル B メディアアクセステストシンボル検出(MTS Received on Channel B) ビット (vSS!ValidMTSB)

メディアアクセステストシンボルが前のシンボルウィンドウのチャンネル B に受信されました。シンボルウィンドウ終端の各チャンネルの CC で、アップデートされます。また、このビットが"1"に設定されるとき、割込みフラグの SIR:MTSA は"1"にセットされます。

bit	説明
0	チャンネル B に MTS シンボルが検出されていない
1	チャンネル B に MTS シンボルが検出された

下記に NIT に関連するステータス情報を持つビットを示します。これらは、各チャンネルの NIT の終了にて更新されます。

[bit6] MTSA: チャンネル A メディアアクセステストシンボル検出(MTS Received on Channel A) ビット (vSS!ValidMTSA)

メディアアクセステストシンボルが前のシンボルウィンドウのチャンネル A に受信されました。

シンボルウィンドウ終端の各チャンネルの CC で、アップデートされます。また、このビットが"1"に設定されるとき、割込みフラグの SIR:MTSA は"1"にセットされます。

bit	説明
0	チャンネル A に MTS シンボルが検出されていない
1	チャンネル A に MTS シンボルが検出された

[bit5] TCSB: チャンネル B シンボルウィンドウ送信コリジョン検出(Transmission Conflict in Symbol Window Channel B) ビット (vSS!TxConflictB)

bit	説明
0	チャンネル B のシンボルウィンドウ中に送信コリジョンが検出されていない
1	チャンネル B のシンボルウィンドウ中に送信コリジョンが検出された

[bit4] SBSB: チャンネル B シンボルウィンドウスロット境界障害(Slot Boundary Violation in Symbol Window Channel B) ビット (vSS!BViolationB)

bit	説明
0	チャンネル B のシンボルウィンドウ中にスロット境界障害が検出されていない
1	チャンネル B のシンボルウィンドウ中にスロット境界障害が検出された

[bit3] SESB: チャンネル B シンボルウィンドウシンタックスエラー(Syntax Error in Symbol Window Channel B) ビット(vSS!SyntaxErrorB)

bit	説明
0	チャンネル B のシンボルウィンドウ中にシンタックスエラーが検出されていない
1	チャンネル B のシンボルウィンドウ中にシンタックスエラーが検出された

[bit2] TCSA: チャネル A シンボルウィンドウ送信コリジョン検出(Transmission Conflict in Symbol Window Channel A) ビット (vSS!TxConflictA)

bit	説明
0	チャネル A のシンボルウィンドウ中に送信コリジョンが検出されていない
1	チャネル A のシンボルウィンドウ中に送信コリジョンが検出された

[bit1] SBSA: チャネル A シンボルウィンドウスロット境界障害(Slot Boundary Violation in Symbol Window Channel A) ビット (vSS!BViolationA)

bit	説明
0	チャネル A のシンボルウィンドウ中にスロット境界障害が検出されていない
1	チャネル A のシンボルウィンドウ中にスロット境界障害が検出された

[bit0] SESA: チャネル A シンボルウィンドウシンタックスエラー(Syntax Error in Symbol Window Channel A) ビット (vSS!SyntaxErrorA)

bit	説明
0	チャネル A のシンボルウィンドウ中にシンタックスエラーが検出されていない
1	チャネル A のシンボルウィンドウ中にシンタックスエラーが検出された



4.5.9. 集合チャネルステータスレジスタ (ACS (Aggregated Channel Status))

このレジスタは、すべての通信スロットに対する送受信の割り当てに関係なく、その通信スロットのチャネル移動中に発生したステータスを提供します。また、このレジスタには、シンボルウィンドウと NIT からのステータスデータも含まれています。そのステータスデータは、各スロット(次のスロットの終わりで最新のもの)の後に更新されます。

このレジスタの各フラグは、対応するビット位置に"1"書き込みを行うことでクリアされます。"0"書き込みは、フラグに影響を与えません。レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

Bit	31-16																																	
Field	Reserved																																	
R/W 属性	R0,W0																																	
保護属性	-																																	
初期値	00000000_00000000																																	

Bit	15	14	13	12	11	10	9	8
Field	Reserved			SBVB	CIB	CEDB	SEDB	VFRB
R/W 属性	R0,W0			R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	000			0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved			SBVA	CIA	CEDA	SEDA	VFRA
R/W 属性	R0,W0			R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	000			0	0	0	0	0

[bit31:13] Reserved: 予約ビット

[bit12] SBVB: チャネル B スロット境界障害(Slot Boundary Violation on Channel B) ビット (vSS!BViolationB)

1つ以上のスロット境界障害がスタティックスロット、ダイナミックスロット、シンボルウィンドウ、NIT のいずれかの間にチャネル B で観測されたことを示します。

bit	説明
0	チャネル B で、スロット境界障害が観測されていない
1	チャネル B で、スロット境界障害が観測された

<注意事項>

- 1つのフレームだけがスロットにあり、そしてスロットの終わりのスロットバウンダリがアイドルフェーズになるならば、フラグ CIA と CIB のセット条件も満たされます。SEDB, CIB, CEDB, SBVB フラグのいずれかが、"0"から"1"に変化したとき、割込みフラグ EIR:EDB は"1"にセットされます。SEDA, CEDA, CIA, SBVA フラグのうちいずれかが、"0"から"1"に変化したとき、割込みフラグ EIR:EDA は"1"にセットされます。

[bit11] CIB: チャネル B 付加通信検出 (Communication Indicator Channel B) ビット

1 つ以上の有効フレームが、チャンネル B の何らかの付加通信を含んでいたスロットで受信されたことを示します。すなわち、1 つ以上のスロットが有効フレームを受信し、なおかつシンタックスエラー、コンテンツエラー、スロット境界障害のいずれかの組合せがあったことを意味します。

bit	説明
0	チャンネル B で、いかなる付加通信を含んだフレームも受信していない
1	チャンネル B で、何らかの付加通信を含んだフレームを受信した

[bit10] CEDB: チャンネル B コンテンツエラー検出(Content Error Detected on Channel B) ビット (vSSI.ContentErrorB)

コンテンツエラーを含む 1 つ以上のフレームが、チャンネル B のスタティックスロットまたはダイナミックスロットで受信されたことを示します。

bit	説明
0	チャンネル B でコンテンツエラーを含むフレームが受信されていない
1	チャンネル B でコンテンツエラーを含むフレームが受信された

[bit9] SEDB: チャンネル B シンタックスエラー検出(Syntax Error Detected on Channel B) ビット (vSSI.SyntaxErrorB)

スタティックスロット、ダイナミックスロット、シンボルウィンドウ、NIT のいずれかで、1 つ以上のシンタックスエラーがチャンネル B 上で観測されたことを示します。

bit	説明
0	チャンネル B でシンタックスエラーが観測されていない
1	チャンネル B でシンタックスエラーが観測された

[bit8] VFRB: チャンネル B 有効フレーム受信(Valid Frame Received on Channel B) ビット (vSSI.ValidFrameB)

1 つ以上の有効フレームが、チャンネル B のスタティックスロットまたはダイナミックスロットで受信されたことを示します。

bit	説明
0	チャンネル B に有効なフレームが受信されていない
1	チャンネル B に有効なフレームが受信された

[bit7:5] Reserved: 予約ビット

[bit4] SBVA: チャンネル A スロット境界障害(Slot Boundary Violation on Channel A) ビット (vSSI.BViolationA)

1 つ以上のスロット境界障害がスタティックスロット、ダイナミックスロット、シンボルウィンドウ、NIT のいずれかの間にチャンネル A で観測されたことを示します。

bit	説明
0	チャンネル A で、スロット境界障害が観測されていない
1	チャンネル A で、スロット境界障害が観測された

[bit3] CIA: チャンネル A 付加通信検出 (Communication Indicator Channel A) ビット

1 つ以上の有効フレームが、チャンネル A の何らかの付加通信を含んでいたスロットで受信されたことを示します。すなわち、1 つ以上のスロットが有効フレームを受信し、なおかつシンタックスエラー、コンテンツエラー、スロット境界障害のいずれかの組合せがあったことを意味します。



bit	説明
0	チャンネル A で、いかなる付加通信を含んだフレームも受信していない
1	チャンネル A で、何らかの付加通信を含んだフレームを受信した

[bit2] CEDA: チャンネル A コンテンツエラー検出(Content Error Detected on Channel A) ビット (vSSIContentErrorA)

コンテンツエラーを含む1つ以上のフレームが、チャンネル A のスタティックスロットまたはダイナミックスロットで受信されたことを示します。

bit	説明
0	チャンネル A でコンテンツエラーを含むフレームは受信されていない
1	チャンネル A でコンテンツエラーを含むフレームが受信された

[bit1] SEDA: チャンネル A シンタックスエラー検出(Syntax Error Detected on Channel A) ビット (vSSISyntaxErrorA)

スタティックスロット、ダイナミックスロット、シンボルウィンドウ、NIT のいずれかで、1つ以上のシンタックスエラーがチャンネル A で観測されたことを示します。

bit	説明
0	チャンネル A でシンタックスエラーが観測されていない
1	チャンネル A でシンタックスエラーが観測された

[bit0] VFRA: チャンネル A 有効フレーム受信(Valid Frame Received on Channel A) ビット (vSSIValidFrameA)

1つ以上の有効フレームが、チャンネル A のスタティックスロットまたはダイナミックスロットで受信されたことを示します。

bit	説明
0	チャンネル A に有効なフレームが受信されていない
1	チャンネル A に有効なフレームが受信された

4.5.10. 偶数サイクル同期フレーム ID レジスタ (ESIDn (Even Sync ID [1…15]))

ESID1 から ESID15 の 15 のレジスタは、偶数コミュニケーションサイクルで受信された同期フレームのフレーム ID を昇順で格納し、gSyncNodeMax のリミットまでクロック同期のために使用されます。そのため、受信同期フレーム ID で最も小さいものは、レジスタ ESID1 に格納されます。ノードが、偶数コミュニケーションサイクルにて同期フレームを送信する場合、レジスタ ESID1 が送信同期フレーム ID を格納し、RXEA, RXEB がセットされます。レジスタの値は、各偶数コミュニケーションサイクルの NIT の間に更新されます。レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	RXEB	RXEA	Reserved				EID[9:8]	
R/W 属性	R,WX	R,WX	R0,W0				R,WX	
保護属性	-							
初期値	0	0	0000				00	

Bit	7	6	5	4	3	2	1	0
Field	EID[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:16] Reserved: 予約ビット

[bit15] RXEB: 偶数サイクル同期フレームチャネル B 受信(Received Even Sync ID on Channel B) ビット

偶数サイクルで、同期 ID に対応している同期フレームがチャネル B で受信されたことを示します。またはノードは、キースロット = EID[9:0] (ESID1 のみ) のシンクノードに構成されます。

bit	説明
0	同期フレームがチャネル B で受信されていない/送信同期フレームではない
1	同期フレームがチャネル B で受信された/送信同期フレーム

[bit14] RXEA: 偶数サイクル同期フレームチャネル A 受信(Received Even Sync ID on Channel A) ビット

偶数サイクルで、同期 ID に対応している同期フレームがチャネル A で受信されたことを示します。またはノードは、キースロット = EID[9:0] (ESID1 のみ) のシンクノードに構成されます。

bit	説明
0	同期フレームがチャネル A で受信されていない/送信同期フレームではない
1	同期フレームがチャネル A で受信された/送信同期フレーム

[bit13:10] Reserved: 予約ビット



[bit9:0] EID[9:0]: 偶数サイクル同期フレーム ID(Even Sync ID) ビット (vsSyncIDListA, B even)

偶数コミュニケーションサイクルの同期フレーム ID を示します。

4.5.11. 奇数サイクル同期フレーム ID レジスタ(OSIDn (Odd Sync ID [1…15]))

OSID1 から OSID15 の 15 のレジスタは、奇数または偶数コミュニケーションサイクルで受信された同期フレームのフレーム ID を昇順で格納し、gSyncNodeMax のリミットまでクロック同期のために使用されます。そのため、受信同期フレーム ID で最も小さいものは、レジスタ OSID1 に格納されます。ノードが、奇数コミュニケーションサイクルにて同期フレームを送信する場合、レジスタ OSID1 が送信同期フレーム ID を格納し、RXOA、RXOB がセットされます。レジスタの値は、各奇数コミュニケーションサイクルの NIT の間に更新されます。レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	RXOB	RXOA	Reserved				OID[9:8]	
R/W 属性	R,WX	R,WX	R0,W0				R,WX	
保護属性	-							
初期値	0	0	0000				00	

Bit	7	6	5	4	3	2	1	0
Field	OID[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:16] Reserved: 予約ビット

[bit15] RXOB: 奇数サイクル同期フレームチャンネル B 受信(Received Odd Sync ID on Channel B) ビット

奇数サイクルで、同期 ID に対応している同期フレームがチャンネル B で受信されたことを示します。またはノードは、キースロット=OID[9:0] (OSID1 のみ) のシンクノードに構成されます。

bit	説明
0	同期フレームがチャンネル B 上で受信されていない/送信同期フレームではない
1	同期フレームがチャンネル B 上で受信された/送信同期フレーム

[bit14] RXOA: 奇数サイクル同期フレームチャンネル A 受信(Received Odd Sync ID on Channel A) ビット

奇数サイクルで、同期 ID に対応している同期フレームがチャンネル A で受信されたことを示します。またはノードは、キースロット=OID[9:0] (OSID1 のみ) のシンクノードに構成されます。

bit	説明
0	同期フレームがチャンネル A 上で受信されていない/送信同期フレームではない
1	同期フレームがチャンネル A 上で受信された/送信同期フレーム

[bit13:10] Reserved: 予約ビット



[bit9:0] OID[9:0]: 奇数サイクル同期フレームID(Odd Sync ID) ビット (vsSyncIDListA, B odd)
奇数コミュニケーションサイクルの同期フレーム ID を示します。



4.5.12. ネットワークマネジメントレジスタ [1…3] (NMVn (Network Management Vector [1…3]))

3つのネットワークマネジメントレジスタは、発生したNM ベクタ(構成可能な0から12バイト)を格納します。そのNMベクタは、各チャネルで受信した各NMベクタ(PPI="1"である有効なスタディックフレーム) のビット単位の OR 演算によって生成されます。NORMAL_ACTIVE ステート, NORMAL_PASSIVE ステートのいずれかである限りにおいては、各コミュニケーションサイクルの終了において、NM ベクタが更新されます。CONFIG ステートから移行するときまたは STARTUP ステートへ移行するとき、NM ベクタはリセットされます。

設定された NM ベクタ長を超える NMVn レジスタは有効ではありません。

Bit	31-0
Field	NM
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] NM[31:0]: NM ベクタビット

以下の図 4-2 は、ネットワークマネジメントベクタでのバイトデータの割り当てを示します。

図 4-2 ネットワークマネジメントベクタでのバイトデータの割り当て

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word																																
NMV1	Data3								Data2								Data1								Data0							
NMV2	Data7								Data6								Data5								Data4							
NMV3	Data11								Data10								Data9								Data8							



4.6. メッセージバッファ制御レジスタ

4.6.1. メッセージ RAM 設定レジスタ(MRC (Message RAM Configuration))

メッセージRAM設定レジスタは、スタティックセグメント、ダイナミックセグメントとFIFOに割り当てるメッセージバッファを定義します。このレジスタは、DEFAULT_CONFIG ステートまたはCONFIG ステートの間でのみ書き込み可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved					SPLM*	SEC*	
R/W 属性	R0,W0					R/W	R/W	
保護属性	-							
初期値	00000					0	01	

Bit	23	22	21	20	19	18	17	16
Field	LCB*							
R/W 属性	R/W							
保護属性	-							
初期値	10000000							

Bit	15	14	13	12	11	10	9	8
Field	FFB*							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	FDB*							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit31:27] Reserved: 予約ビット

[bit26] SPLM: シンクフレームペイロードマルチプレックス(Sync Frame Payload Multiplex) ビット

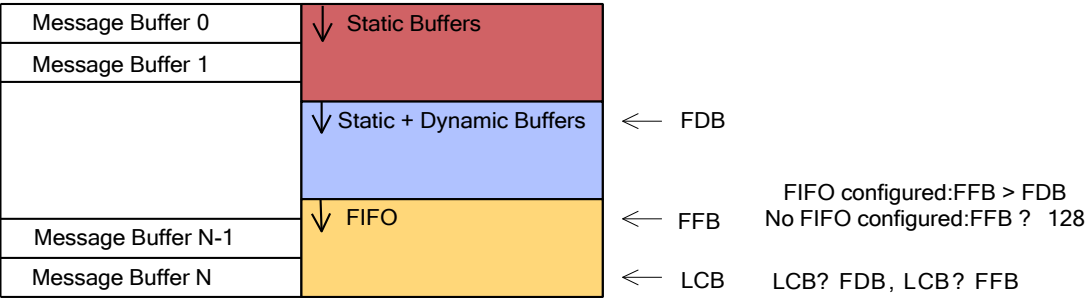
ノードがシンクノード(SUCCI:TXSY="1")として設定された場合、もしくは単スロットモード(SUCCI:TSM="1")の場合、このビットは有効になります。このビットが"1"にセットされた場合、メッセージバッファ 0 と 1 は、チャンネル A, B 上に異なるペイロードデータを持つシンクフレーム送信専用となります。このビットが"0"にセットされた場合、シンクフレームは、両方のチャンネル上に同じペイロードデータを持ってメッセージバッファ 0 から送信されます。メッセージバッファ 0 のチャンネルフィルタ設定にしたがって、メッセージバッファ 1 を選ばなければならないことに注意してください。

bit	説明
0	メッセージバッファ 0, 1 共、再設定がロックされています
1	メッセージバッファ 0 は再設定がロックされています



<注意事項>

- ノードがシンクノード(SUCC1:TXSY= 1)として設定された場合、もしくは単一スロットモード(SUCC1:TSM= 1)の場合、各メッセージバッファ0, 1はシンクフレームもしくは単一スロットフレームとして用意され、またノード仕様のキースロットIDで設定されなければならない。ノードがシンクノード(SUCC1:TXSY= 0)または単一スロットメッセージバッファ0, 1として設定されなかった場合、各メッセージバッファ0, 1はほかのメッセージバッファのように扱われます。



FDB[7:0], FFB[7:0], LCB[7:0]が正しく設定されていることを、確認してください。正しく設定されていない場合、動作保障されません。CCは誤った配置をチェックしません。

<注意事項>

- ヘッダセクションの最大数は128です。これは最大128のメッセージバッファが設定されることができることを意味します。1つのデータセクションの最大長は254バイトです。データセクション長は、それぞれのメッセージバッファで異なった設定が可能です。詳細については、「3.12 メッセージRAM」を参照してください。2つ以上のメッセージバッファがサイクルフィルタリングでスロット1に割り当てられる場合、「スタティックバッファ」か「スタティック+ダイナミックバッファ」セクションの始めに配置しなければなりません。FlexRayプロトコル仕様では、各ノードがそのキースロットにフレームを送らなければなりません。そのため、メッセージバッファ0はキースロットの送信のために予約されます。このため、127のメッセージバッファの最大数をFIFO割り当てることができます。それにもかかわらず、スタティックセグメントに送信スロットのない構成の非プロトコルも動作を続けます。WRHS2:PLC[6:0]およびWRHS3:DP[10:0]を通してFIFOに属しているすべてのメッセージバッファのデータセクション長とペイロードは、同一に設定してください。CCがDEFAULT_CONFIGかCONFIGステートにない場合、FIFOに属するメッセージバッファの再設定はロックされます。



[bit25:24] SEC[1:0]: セキュアバッファ(Secure Buffer)ビット

DEFAULT_CONFIG ステートまたは CONFIG ステートの場合は、このビットは無効です。一時的なアンロックについては、「3.12.4 パリティエラーの取扱い」を参照してください。

bit[25:24]	説明
00	バッファ番号が FFB 以下の、メッセージバッファの再設定が可能である 例外: シンクフレーム送信か、単一スロットモードでは、運用メッセージバッファ 0(SPLM が"1"ならば、メッセージバッファ 1 も)は常にロックされます。
01	FDB より小さい番号のメッセージバッファは再設定がロックされている。 また、バッファ番号が FDB 以上の、スタティックセグメントに設定されているメッセージバッファは送信不可能である
10	すべてのメッセージバッファの再設定がロックされている
11	すべてのメッセージバッファの再設定がロックされている。

また、バッファ番号が FDB 以上の、スタティックセグメントに設定されているメッセージバッファは送信不可能である。

[bit23:16] LCB[7:0]: 最終メッセージバッファ番号(Last Configured Buffer)ビット

bit[23:16]	説明
0...127	メッセージバッファ数が(LCB+1)である
≥ 128	設定されたメッセージバッファは存在しない

[bit15:8] FFB[7:0]: 先頭 FIFO バッファ番号(First Buffer of FIFO)ビット

bit[15:8]	説明
0	すべてのメッセージバッファは FIFO 領域に割り当てられる
1~127	FFB から LCB のメッセージバッファは FIFO 領域に割り当てられる
≥ 128	FIFO 領域に割り当てられるメッセージバッファは存在しない

[bit7:0] FDB[7:0]: 先頭ダイナミックバッファ番号(First Dynamic Buffer)ビット

bit[7:0]	説明
0	スタティックセグメントに排他的に設定されているバッファグループは存在しない
1~127	0 から FDB-1 のメッセージバッファはスタティックセグメントに割り当てられる
≥ 128	ダイナミックセグメントに設定されているバッファは存在しない

4.6.2. FIFO リジェクションフィルタレジスタ(FRF (FIFO Rejection Filter))

FIFO リジェクションフィルタレジスタでは、受信フレームのチャネル、フレーム ID、サイクルカウントと比較されるビット列が設定されます。このレジスタは、FIFO リジェクションフィルタマスクレジスタと組み合わせることによって、メッセージが FIFO によってリジェクトされるかどうかを決定します。このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートの間のみで書込み可能です。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							RNF*
R/W 属性	R0,W0							R/W
保護属性	-							
初期値	0000000							1

Bit	23	22	21	20	19	18	17	16
Field	RSS*	CYF*						
R/W 属性	R/W	R/W						
保護属性	-							
初期値	1	0000000						

Bit	15	14	13	12	11	10	9	8
Field	Reserved			FID[10:6]*				
R/W 属性	R0,W0			R/W				
保護属性	-							
初期値	000			00000				

Bit	7	6	5	4	3	2	1	0
Field	FID[5:0]*						CH*	
R/W 属性	R/W						R/W	
保護属性	-							
初期値	000000						00	

[bit31:25] Reserved: 予約ビット

[bit24] RNF: ノルフレーム拒否(Reject Null Frames) ビット

このビットが"1"にセットされた場合、受信されたノルフレームは FIFO に格納されません。

bit	説明
0	ノルフレームは FIFO に格納される
1	すべてのノルフレームは FIFO に格納されない

[bit23] RSS: スタティックセグメント中メッセージ拒否(Reject in Static Segment) ビット

このビットが"1"にセットされた場合、FIFO はダイナミックセグメント中のメッセージのみを受信します。

bit	説明
0	スタティックセグメントとダイナミックセグメント中のメッセージが受信される
1	スタティックセグメント中のメッセージは受信されない

[bit22:16] CYF[6:0]: サイクルコードフィルタ(Cycle Code Filter) ビット



7ビットサイクルカウンタフィルタはサイクルセットを指定し、フレームIDフィルタとチャネルフィルタが適用されるコミュニケーションサイクルを決定します。このレジスタにより指定されたサイクルセットによって、フレームIDフィルタとチャネルフィルタが適用されないサイクルの間、すべてのフレームは受信されません。サイクルカウンタフィルタの設定についての詳細については、「3.7.2 サイクルカウンタフィルタリング」を参照してください。

[bit15:13] Reserved: 予約ビット

[bit12:2] FID[10:0]: フレーム ID フィルタ(Frame ID Filter)ビット

フレーム ID が FIFO で拒絶されることを示します。レジスタ FRFM の追構成で、対応するフレーム ID フィルタビット(さらなるリジェクトフレーム ID をもたらす)は無視されます。FRFM:MFID[10:0]がゼロのとき、このフィルタ値に 0 のフレーム ID を設定した場合、FIFO はすべてのフレーム ID を受信します。

0…2047 = フレーム ID フィルタ値

[bit1:0] CH[1:0]: チャネルフィルタ(Channel Filter) ビット

bit[1:0]	説明
00	両チャネルで受信
01	チャネル B でのみ受信
10	チャネル A でのみ受信
11	受信不可

<注意事項>

- 両チャネルでの受信が設定されている場合、たとえそれらが同一のフレームであっても、スタティックセグメント中の両フレームが(チャネル A とチャネル B から)FIFO に格納されます。

4.6.3. FIFO リジェクションフィルタマスクレジスタ(FRFM (FIFO Rejection Filter Mask))

FIFO リジェクションフィルタマスクレジスタは、リジェクションフィルタリングを行うために、FRF:FID の比較対象ビットを指定します。このレジスタ中のあるビットに"1"が設定されていると対応する FRF:FID のビットと比較が行われません。このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートの間でのみ書込みを行えます。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved			MFID[10:6]*				
R/W 属性	R0,W0			R/W				
保護属性	-							
初期値	000			00000				

Bit	7	6	5	4	3	2	1	0
Field	MFID[5:0]*						Reserved	
R/W 属性	R/W						R0,W0	
保護属性	-							
初期値	000000						00	

[bit31:13] Reserved: 予約ビット

[bit12:2] MFID[10:0]: マスクフレーム ID フィルタ (Mask Frame ID Filter) ビット

bit[12:2]	説明
0	対応するフレーム ID フィルタビットはリジェクションフィルタリングのために使用される
1	対応するフレーム ID フィルタビットを無視する

[bit1:0] Reserved : 予約ビット



4.6.4. FIFO クリティカルレベルレジスタ(FCL (FIFO Critical Level))

このレジスタは DEFAULT_CONFIG ステートまたは CONFIG ステートの間でのみ書込み可能です。

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	CL*							
R/W 属性	R/W							
保護属性	-							
初期値	10000000							

[bit31:8] Reserved: 予約ビット

[bit7:0] CL[7:0]: クリティカルレベル(Critical Level) ビット

受信 FIFO フィルレベル FSR:RFFL[7:0]の値が本レジスタ値以上のとき、クリティカルレベルフラグ FSR:RFCLをセットします。128以上の値をセットした場合はクリティカルレベルフラグ FSR:RFCLはセットされません。また SIR:RFCL 信号もセットされ、割込み許可ならば割込み信号を発生します。

4.7. メッセージバッファステータスレジスタ

4.7.1. メッセージハンドラステータスレジスタ (MHDS (Message Handler Status))

このレジスタの書き込み可能なビットについては、そこに"1"を書き込むことによってクリアされます。"0"を書き込んで、そのビットに影響はありません。ハードリセットによって、このレジスタはクリアされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	MBU						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	23	22	21	20	19	18	17	16
Field	Reserved	MBT						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	15	14	13	12	11	10	9	8
Field	Reserved	FMB						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	CRAM	MFMB	FMBD	PTBF2	PTBF1	PMR	POBF	PIBF
R/W 属性	R,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31] Reserved: 予約ビット

[bit30:24] MBU[6:0]: 更新メッセージバッファ番号(Message Buffer Updated)ビット

最後に更新されたメッセージバッファの番号を示します。このメッセージバッファに対応する, NDAT1/2/3/4 レジスタと MBSC1/2/3/4 レジスタ中の ND と MBS フラグも更新されます。

<注意事項>

- MBT[6:0]と MBU[6:0]は CONFIG ステートから移行するときもしくは STARTUP ステートになるときリセットされます。

[bit23] Reserved: 予約ビット

[bit22:16] MBT[6:0]: 送信メッセージバッファ番号(Message Buffer Transmitted)ビット

最後に正常送信されたメッセージバッファの番号を示します。メッセージバッファが、シングルショットモードに設定されている場合, TXRQ1/2/3/4 レジスタのそれぞれの TXR フラグはリセットされます。



[bit15] Reserved: 予約ビット

[bit14:8] FMB[6:0]: 障害メッセージエラー(Faulty Message Buffer)ビット

以下の場合で、パリティエラーが発生したときのメッセージバッファ番号を示します。

- メッセージバッファを読出した場合
 - インプットバッファもしくは一時記憶バッファ 1, 2 からメッセージバッファにデータを転送した場合
- この値は、フラグ PIBF, PMR, PTBF1, PTBF2, FMBD の 1 つが設定されたときのみ有効です。このフラグはフラグ FMBD がリセットされた後に更新されます。FMBD フラグがセットされている間、アップデートしません。

[bit7] CRAM: 全内部 RAM クリア(Clear all internal RAM's)ビット

CHI コマンド CLEAR_RAM(CMD[3:0]="1100")が実行中(全内部 RAM ブロックの全ビットに"0"を書込んでいる)かどうかを示します。このビットは、ハードリセット、もしくは CHI コマンド CLEAR_RAM によって"1"にセットされます。

bit	説明
0	CHI コマンド CLEAR_RAM が実行中でない
1	CHI コマンド CLEAR_RAM が実行中である

[bit6] MFMB: 2重障害メッセージバッファ検出(Multiple Faulty Message Buffers detected)ビット

bit	説明
0	ほかに障害のあるメッセージバッファはない
1	FMBD フラグが設定されている間、ほかの障害のあるメッセージバッファが検出された

[bit5] FMBD: 障害メッセージバッファ検出(Faulty Message Buffer Detected)ビット

bit	説明
0	障害のあるメッセージバッファはない
1	FMB[6:0]によって参照されたメッセージバッファは、パリティエラーによる障害エラーを持つ

[bit4] PTBF2: 一時記憶バッファ RAM B 読出し時パリティエラー検出(Parity Error Transient Buffer RAM B)ビット

bit	説明
0	パリティエラーが生じていない
1	一時記憶バッファ RAM B を読出したときに、パリティエラーが生じた

<注意事項>

- PIBF, POBF, PMR, PTBF1, PTBF2 のいずれかが"0"から"1"に変化したとき、EIR:PERR は"1"にセットされます。

[bit3] PTBF1: 一時記憶バッファ RAM A 読出し時パリティエラー検出(Parity Error Transient Buffer RAM A)ビット

bit	説明
0	パリティエラーが生じていない
1	一時記憶バッファ RAM A を読出したときに、パリティエラーが生じた

[bit2] PMR: メッセージ RAM 読出し時パリティエラー検出(Parity Error Message RAM)ビット

bit	説明
0	パリティエラーが生じていない
1	メッセージ RAM を読出したときに、パリティエラーが生じた

[bit1] POBF: アウトプットバッファ RAM1, 2 読出し時パリティエラー検出(Parity Error Output Buffer RAM 1, 2)ビット

bit	説明
0	パリティエラーが生じていない
1	アウトプットバッファ RAM1, 2 を読出したときにパリティエラーが生じた

[bit0] PIBF: インプットバッファ RAM1, 2 読出し時パリティエラー検出(Parity Error Input Buffer RAM 1, 2)ビット

bit	説明
0	パリティエラーが生じていない
1	インプットバッファ RAM1, 2 を読出したときにパリティエラーが生じた



4.7.2. 最終ダイナミック送信スロットレジスタ(LDTS (Last Dynamic Transmit Slot))

レジスタは CONFIG ステートから移行するときもしくは STARTUP ステートになるとき、または CHI コマンド CLEAR_RAM(CMD[3:0]="1100")によってリセットされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved					LDTB[10:8]		
R/W 属性	R0,W0					R,WX		
保護属性	-							
初期値	00000					000		

Bit	23	22	21	20	19	18	17	16
Field	LDTB[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved					LDTA[10:8]		
R/W 属性	R0,W0					R,WX		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	LDTA[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:27] Reserved: 予約ビット

[bit26:16] LDTB[10:0]: 最終ダイナミック送信チャネル B)(Last Dynamic Transmission Channel B)ビット

チャネル B における最後のフレーム送信時の、ダイナミックセグメント内の vSlotCounter[B]値を示します。ダイナミックセグメントの終わりで更新され、ダイナミックセグメント中にフレームが送信されない場合は、0 になります。

[bit15:11] Reserved: 予約ビット

[bit10:0] LDTA[10:0]: 最終ダイナミック送信チャネルA (Last Dynamic Transmission Channel A) ビット

チャネルAにおける最後のフレーム送信時の、ダイナミックセグメント内のvSlotCounter[A]値を示します。ダイナミックセグメントの終わりで更新され、ダイナミックセグメント中にフレームが送信されない場合は、0になります。



4.7.3. FIFO ステータスレジスタ(FSR (FIFO Status Register))

レジスタは CONFIG ステートから移行するときもしくは STARTUP ステートになるとき、または CHI コマンド CLEAR_RAM(CMD[3:0]="1100")によってリセットされます。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	RFFL							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved					RFO	RFCL	RFNE
R/W 属性	R0,W0					R,WX	R,WX	R,WX
保護属性	-							
初期値	00000					0	0	0

[bit31:16] Reserved: 予約ビット

[bit15:8] RFFL[7:0]: 受信 FIFO フィルレベル(Receive FIFO Fill Level)ビット

ホストによってまだ読まれない FIFO バッファの数。最大値は 128 です。

[bit7:3] Reserved: 予約ビット

[bit2] RFO: 受信 FIFO オーバラン(Receive FIFO Overrun)ビット

受信 FIFO のオーバランが検知された場合、セットされます。オーバランの場合、最も古いメッセージが上書きされます。さらに、割込みフラグ EIR:RFO はセットされます。フラグは、FIFO 読出しによってクリアされます。

bit	説明
0	受信 FIFO はオーバランしていない
1	受信 FIFO はオーバランしている

[bit1] RFCL: 受信 FIFO はクリティカルレベル(Receive FIFO Critical Level)ビット

受信 FIFO フィルレベル RFFL[7:0]が、設定されたクリティカルレベル FCL:CL[7:0]と一致しているかまたは大きい場合、このフラグがセットされます。また、以下に下がると直ちにクリアされます。RFCL が"0"から"1"にセットされるとき SIR:RFCL は"1"にセットされ、有効な場合、割込みが生成されます。

bit	説明
0	受信 FIFO はクリティカルレベル以下である
1	受信 FIFO はクリティカルレベルにある



[bit0] RFNE: 受信 FIFO は空でない(Receive FIFO Not Empty)ビット

有効フレーム(データあるいはリジェクションマスクに依存するヌルフレーム)を受信し, FIFO に格納されたときセットされます。さらに, 割込みフラグ SIR:RFNE がセットされます。ホストが FIFO からすべてのメッセージを読んだ後, ビットがリセットされます。

bit	説明
0	受信 FIFO は空である
1	受信 FIFO は空ではない



4.7.4. メッセージハンドラコンストレインフラグ(MHDF (Message Handler Constraints Flags))

このレジスタ中の書込み可能なビットについては、そこに"1"を書き込むことによってクリアされます。"0"を書込んで、そのビットに影響はありません。ハードリセットによって、このレジスタはクリアされます。レジスタは CONFIG ステートから移行するときもしくは STARTUP ステートになるとき、または CHI コマンド CLEAR_RAM (CMD[3:0]="1100")によってリセットされます。

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved							WAHP
R/W 属性	R0,W0							R/W
保護属性	-							
初期値	00000000							0

Bit	7	6	5	4	3	2	1	0
Field	TNSB	TNSA	TBFB	TBFA	FNFB	FNFA	SNUB	SNUA
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:9] Reserved: 予約ビット

[bit8] WAHP: ヘッダパーティション書込み(Write Attempt to Header Partition)ビット

DEFAULT_CONFIG と CONFIG ステート以外るとき、メッセージハンドラがメッセージバッファの不完全な配置によりメッセージ RAM のヘッダ分割にメッセージデータを書込もうとする場合セットされます。書込みは意図しない書込みアクセスからヘッダ分割を保護するためには実行されません。

bit	説明
0	ヘッダパーティション未書込み
1	ヘッダパーティション書込み

<注意事項>

- SNUA, SNUB, FNFA, FNFB, TBFA, TBFB, TNSA, TNSB, WAHP 信号の"0"から"1"変化は EIR:MHF 割込みフラグを"1"にセットします。

[bit7] TNSB: チャンネル B トランスミッションノットスタート(Transmission Not Started Channel B)ビット

メッセージハンドラが構成されたスロットのアクションポイントのチャンネル B に予定されているトランスミッションを始める準備ができていなかった場合セットされます。

bit	説明
0	チャンネル B のトランスミッションは開始
1	チャンネル B のトランスミッションは開始されませんでした

[bit6] TNSA: チャネル A トランスミッションノットスタート(Transmission Not Started Channel A)ビット

メッセージハンドラが構成されたスロットのアクションポイントのチャネル A に予定されているトランスミッションを始める準備ができていなかった場合セットされます。

bit	説明
0	チャネル A のトランスミッションは開始
1	チャネル A のトランスミッションは開始されませんでした

[bit5] TBFB: チャネル B トランジェントバッファアクセスフェイル(Transient Buffer Access Failure B) ビット

PRT B によって要求された TBF B への読取りまたは書込みのアクセスが、使用可能時間内に完成できなかった場合セットされます。

bit	説明
0	TBF B のアクセスに失敗ありません
1	TBF B のアクセスに失敗しました

[bit4] TBFA: チャネル A トランジェントバッファアクセスフェイル(Transient Buffer Access Failure A) ビット

PRT A によって要求された TBF A への読取りまたは書込みのアクセスが、使用可能時間内に完了できなかった場合セットされます。

bit	説明
0	TBF A のアクセスに失敗ありません
1	TBF A のアクセスに失敗しました

[bit3] FNFB: チャネル B シーケンス未終了(Find Sequence Not Finished Cannel B)ビット

メッセージハンドラがオーバーロードにより、チャネル B に関してファインドシーケンス(メッセージバッファとの一致のためにメッセージ RAM のスキャン)を終了できなかった場合セットされます。

bit	説明
0	チャネル B のシーケンス未終了は検出されません
1	チャネル B のシーケンス未終了を検出しました

[bit2] FNFA: チャネル A シーケンス未終了(Find Sequence Not Finished Cannel A)ビット

メッセージハンドラがオーバーロードにより、チャネル A に関してファインドシーケンス(メッセージバッファとの一致のためにメッセージ RAM のスキャン)を終了できなかった場合セットされます。

bit	説明
0	チャネル A のシーケンス未終了は検出されません
1	チャネル A のシーケンス未終了を検出しました

[bit1] SNUB: チャネル B ステータス未更新(Status Not Updated Channel B)ビット

メッセージハンドラがオーバーロードにより、チャネル B に関してメッセージバッファのステータス MBS を更新できなかった場合セットされます。

bit	説明
0	チャネル B の MBS 更新時にオーバーロードにありません
1	チャネル B の MBS は更新されていません



[bit0] SNUA: チャンネル A ステータス未更新(Status Not Updated Channel A)ビット

メッセージハンドラがオーバーロードにより、チャンネル A に関してメッセージバッファのステータス MBS を更新できなかった場合セットされます。

bit	説明
0	チャンネル A の MBS 更新時にオーバーロードにありません
1	チャンネル A の MBS は更新されていません

4.7.5. 送信要求レジスタ 1/2/3/4(TXRQ1/2/3/4 (Transmission Request 1/2/3/4))

この4つのレジスタは、すべての設定されたメッセージバッファの TXR フラグ状態を反映します。設定されたメッセージバッファの数が 128 より小さい場合、残りの TXR フラグは意味を持ちません。

(1) TXRQ4

Bit	31-0
Field	TXR[127:96]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] TXR[127:96]: 送信要求(Transmission Request)ビット

フラグが"1"に設定されている場合、それに該当するメッセージバッファが送信バッファとして設定されており、そのメッセージバッファについて送信が進行中であることを示します。シングルショットモードにおいては、送信完了後にそのフラグがリセットされます。

(2) TXRQ3

Bit	31-0
Field	TXR[95:64]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] TXR[95:64]: 送信要求(Transmission Request)ビット

フラグが"1"に設定されている場合、それに該当するメッセージバッファが送信バッファとして設定されており、そのメッセージバッファについて送信が進行中であることを示します。シングルショットモードにおいては、送信完了後にそのフラグがリセットされます。

**(3) TXRQ2**

bit	31-0
Field	TXR[63:32]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] TXR [63:32]: 送信要求(Transmission Request)ビット

フラグが"1"に設定されている場合、それに該当するメッセージバッファが送信バッファとして設定されており、そのメッセージバッファについて送信が進行中であることを示します。シングルショットモードにおいては、送信完了後にそのフラグがリセットされます。

(4) TXRQ1

Bit	31-0
Field	TXR[31:0]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] TXR [31:0]: 送信要求(Transmission Request)ビット

フラグが"1"に設定されている場合、それに該当するメッセージバッファが送信バッファとして設定されており、そのメッセージバッファについて送信が進行中であることを示します。シングルショットモードにおいては、送信完了後にそのフラグがリセットされます。

4.7.6. ニューデータレジスタ 1/2/3/4(NDAT1/2/3/4 (New Data 1/2/3/4))

この4つのレジスタは、すべての設定されたメッセージバッファのNDフラグ状態を反映します。メッセージバッファが送信バッファとして設定されているならば、そのメッセージバッファに対応するNDフラグは意味を持ちません。設定されたメッセージバッファの数が128より小さいならば、残りのNDフラグは、意味を持ちません。レジスタはCONFIGステートから移行するときもしくはSTARTUPステートになるときリセットされます。

(1) NDAT4

Bit	31-0
Field	ND[127:96]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] ND[127:96]: ニューデータ(New Data)ビット

このフラグは、設定されたメッセージバッファフィルタを通過した有効な受信フレームによって、それぞれのメッセージバッファのデータセクションが更新されるとき"1"にセットされます。無効フレームの受信には受信FIFOへのメッセージバッファを除き、フラグはセットされません。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると"0"にクリアされます。

(2) NDAT3

Bit	31-0
Field	ND[95:64]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] ND[95:64]: ニューデータ(New Data) ビット

このフラグは、設定されたメッセージバッファフィルタを通過した有効な受信フレームによって、それぞれのメッセージバッファのデータセクションが更新されるとき"1"にセットされます。無効フレームの受信には受信FIFOへのメッセージバッファを除き、フラグはセットされません。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると"0"にクリアされます。

**(3) NDAT2**

Bit	31-0
Field	ND[63:32]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] ND[63:32]: ニューデータ(New Data) ビット

このフラグは、設定されたメッセージバッファフィルタを通過した有効な受信フレームによって、それぞれのメッセージバッファのデータセクションが更新される時に"1"にセットされます。無効フレームの受信には受信 FIFO へのメッセージバッファを除き、フラグはセットされません。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると"0"にクリアされます。

(4) NDAT1

Bit	31-0
Field	ND[31:0]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] ND[31:0]: ニューデータ(New Data) ビット

このフラグは、設定されたメッセージバッファフィルタを通過した有効な受信フレームによって、それぞれのメッセージバッファのデータセクションが更新される時に"1"にセットされます。無効フレームの受信には受信 FIFO へのメッセージバッファを除き、フラグはセットされません。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると"0"にクリアされます。

4.7.7. メッセージバッファステータス変更レジスタ 1/2/3/4 (MBSC1/2/3/4 (Message Buffer Status Changed 1/2/3/4))

この4つのレジスタは、すべての設定されたメッセージバッファの MBC フラグの状態を反映します。設定されたメッセージバッファの数が 128 より小さいならば、残りの MBC フラグは意味を持ちません。レジスタは CONFIG ステートから移行するときもしくは STARTUP ステートになるときリセットされます。

(1) MBSC4

Bit	31-0
Field	MBC[127:96]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] MBC[127:96]: メッセージバッファステータス変更(Message Buffer Status Changed) ビット

このフラグは、それぞれのメッセージバッファの状態フラグ(VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB) が変更されると"1"にセットされます。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると"0" にクリアされます。

(2) MBSC3

Bit	31-0
Field	MBC[95:64]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] MBC[95:64]: メッセージバッファステータス変更(Message Buffer Status Changed) ビット

このフラグは、それぞれのメッセージバッファの状態フラグ(VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB) が変更されると"1"にセットされます。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると"0"にクリアされます。

**(3) MBSC2**

bit	31-0
Field	MBC[63:32]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] MBC[63:32]: メッセージバッファステータス変更(Message Buffer Status Changed) ビット

このフラグは、それぞれのメッセージバッファの状態フラグ(VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB)が変更されると"1"にセットされます。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると"0"にクリアされます。

(4) MBSC1

Bit	31-0
Field	MBC[31:0]
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000_00000000_00000000

[bit31:0] MBC[31:0]: メッセージバッファステータス変更(Message Buffer Status Changed) ビット

このフラグは、それぞれのメッセージバッファの状態フラグ(VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB)が変更されると"1"にセットされます。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると"0"にクリアされます。

4.8. アイデンティフィケーションレジスタ

4.8.1. コアリリースレジスタ (CREL (Core Release Register))

Bit	31	30	29	28	27	26	25	24
Field	REL				STEP[7:4]			
R/W 属性	R,WX				R,WX			
保護属性	-							
初期値	0001				0000			

Bit	23	22	21	20	19	18	17	16
Field	STEP[3:0]				YEAR			
R/W 属性	R,WX				R,WX			
保護属性	-							
初期値	0011				1001			

Bit	15	14	13	12	11	10	9	8
Field	MON							
R/W 属性	R,WX							
保護属性	-							
初期値	00000010							

Bit	7	6	5	4	3	2	1	0
Field	DAY							
R/W 属性	R,WX							
保護属性	-							
初期値	00000110							

[bit31:28] REL[3:0]: リリース(Core Release)ビット

1 桁(BCD) 0x1 が読み出されます。

[bit27:20] STEP[7:0]: リリースステップ(Step of Core Release)ビット

2 桁(BCD) 0x03 が読み出されます。

[bit19:16] YEAR[3:0]: 年(Design Time Stamp, Year)ビット

1 桁(BCD) 0x9 が読み出されます。

[bit15:8] MON[7:0]: 月(Design Time Stamp, Month)ビット

2 桁(BCD) 0x02 が読み出されます。

[bit7:0] DAY[7:0]: 日付(Design Time Stamp, Day)ビット

2 桁(BCD) 0x06 が読み出されます。



4.8.2. エンディアンレジスタ (ENDN (Endian Register))

Bit	31-0
Field	ETV
R/W 属性	R, WX
保護属性	-
初期値	10000111_01100101_01000011_00100001

[bit31:0] ETV[31:0]: エンディアンテスト値(Endianness Test Value)ビット

テスト値 0x87654321

4.9. インプットバッファ

インプットバッファは、インプットバッファホストとインプットバッファシャドウのダブルバッファで構成されます。ホストがインプットバッファホストに書き込み可能な間に、インプットバッファシャドウからメッセージRAMへ転送されます。インプットバッファは、選択されたメッセージバッファへ転送するためのヘッダセクションとデータセクションを格納します。また、メッセージRAMのメッセージバッファの構成と送信バッファのデータセクション更新のために使用されます。

インプットバッファから、メッセージRAM中のメッセージバッファのヘッダセクションを更新した場合、「4.10.5 メッセージバッファステータスレジスタ(MBS (Message Buffer Status))」にて示されるように、メッセージバッファステータスは、ゼロに自動的にリセットされます。

受信FIFOに属するメッセージバッファのヘッダセクションは、DEFAULT_CONFIGステートまたはCONFIGステートでのみ変更してください。

インプットバッファ(IBF)とメッセージRAM間のデータ転送は、「3.11.2 メッセージRAMへのホストアクセス」の「a) インプットバッファからメッセージRAMへのデータ転送」で詳細に説明されます。



4.9.1. ライトデータセクションレジスタ(WRDSn (Write Data Section [1~64]))

メッセージバッファのデータセクションに転送するためのデータを設定します。このデータ(DWn)は、DW1(バイト 0, バイト 1)から DWPL(PL=ペイロード長によって定義された 2 バイト単位 of データ数)まで、送信される順番にしたがってメッセージ RAM に書込まれます。

Bit	31	30	29	28	27	26	25	24
Field	MD[31:24]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	MD[23:16]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	MD[15:8]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	MD[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit31:0] MD[31:0]: メッセージデータ(Message Data)ビット

MD[31:24] = DW2n, byte4n-1

MD[23:16] = DW2n, byte4n-2

MD[15:8] = DW2n-1, byte4n-3

MD[7:0] = DW2n-1, byte4n-4

<注意事項>

- DW127 は WRDS64:MD[15:0]に配置されます。この場合 WRDS64:MD[31:16]は未使用(不定データ)です。インプットバッファ RAM は、ハードリセットの終了、または CHI コマンド CLEAR_RAM (CMD[3:0]=1100)によって、ゼロに初期化されます。FlexRay バスの転送順は WRDSn[7:0], WRDSn[15:8], WRDSn[23:16], WRDSn[31:24], の各 msb ビットからです。ホスト CPU のエンディアンにどう合わせるかをチェックするためには、レジスタ ENDN を読んでください。

4.9.2. ライトヘッダセクションレジスタ 1(WRHS1 (Write Header Section 1))

Bit	31	30	29	28	27	26	25	24
Field	Reserved		MBI	TXM	PPIT	CFG	CHB	CHA
R/W 属性	R0,W0		R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	CYC						
R/W 属性	R0,W0	R/W						
保護属性	-							
初期値	0	0000000						

Bit	15	14	13	12	11	10	9	8
Field	Reserved					FID[10:8]		
R/W 属性	R0,W0					R/W		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	FID[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit31:30] Reserved: 予約ビット

[bit29] MBI: メッセージバッファ割込み(Message Buffer Interrupt)ビット

各メッセージバッファに対して、送受信割込みを有効にします。受信バッファにメッセージが受信された後、SIR:RXI または SIR:MBSI が"1"にセットされます。送信バッファから正常にメッセージが送信された後、SIR:TXI フラグが"1"にセットされます。

bit	説明
0	対応するメッセージバッファの送受信割込みが無効
1	対応するメッセージバッファの送受信割込みが有効

[bit28] TXM: 送信モード(Transmission Mode)ビット

このビットは、送信モードを選択するビットです(「3.8.3 送信バッファ」参照)。

bit	説明
0	コンティニュアスモード
1	シングルショットモード



[bit27] PPIT: ペイロードプリアンブルインジケータ送信(Payload Preamble Indicator Transmit) ビット

送信フレームにおいて、ペイロードプリアンブルインジケータの状態を制御するために使用されます。このビットがスタティックメッセージバッファにセットされる場合、それぞれのメッセージバッファはネットワークマネジメント情報を保持します。このビットがダイナミックメッセージバッファにセットされる場合、ペイロードセグメントの最初の2バイトは、メッセージ ID フィルタリングに使用されます。受信フレームのメッセージ ID フィルタリングは、FlexRay コントローラではサポートされていません。

bit	説明
0	ペイロードプリアンブルインジケータを設定しない
1	ペイロードプリアンブルインジケータを設定する

[bit26] CFG: メッセージバッファコンフィギュレーションビット(Message Buffer Configuration Bit) ビット

各バッファを、送信バッファまたは受信バッファとして設定するために使用されます。受信 FIFO に属しているメッセージバッファに関しては、無効となります。

bit	説明
0	対応するバッファが、受信バッファとして設定されている
1	対応するバッファが、送信バッファとして設定されている

[bit25:24] CHA, CHB: チャネルフィルタ制御(Channel Filter Control)ビット

各バッファに関連付けられるこの2ビットのチャネルフィルタリングフィールドは、受信バッファのフィルタとしての機能と、送信バッファのための制御フィールドとしての機能を持ちます。

CHA	CHB	送信バッファ(送信フレーム)	受信バッファ(受信フレームを保存)
1	1	両 ch (スタティックセグメントのみ)	Ach または Bch (最初の有効フレームを保存, スタティックセグメントのみ)
1	0	Ach	Ach
0	1	Bch	Bch
0	0	転送なし	フレーム無視

<注意事項>

- メッセージバッファがダイナミックセグメントのために設定され、チャネルフィルタ制御(CHA, CHB)の両ビットが"1"に設定された場合、フレームは送信されず、受信フレームは無視されます(CHA = CHB = 0 と同じ機能)。

[bit23] Reserved: 予約ビット

[bit22:16] CYC[6:0]: サイクルコード(Cycle Code)ビット

この7ビットコードは、サイクルカウンタフィルタリングに使用されるサイクルセットを決定します。サイクルコードの設定についての詳細は、「3.7.2 サイクルカウンタフィルタリング」を参照してください。

[bit15:11] Reserved: 予約ビット

[bit10:0] FID[10:0]: フレーム ID(Frame ID)ビット

選択されたメッセージバッファのフレーム ID を示します。フレーム ID は、それぞれのメッセージ送受信のためにスロット番号を定義しています。フレーム ID="0"のメッセージバッファは無効です。

4.9.3. ライトヘッダセクションレジスタ 2(WRHS2 (Write Header Section 2))

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved	PLC						
R/W 属性	R0,W0	R/W						
保護属性	-							
初期値	0	0000000						

Bit	15	14	13	12	11	10	9	8
Field	Reserved					CRC[10:8]		
R/W 属性	R0,W0					R/W		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	CRC[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit31:23] Reserved: 予約ビット

[bit22:16] PLC[6:0]: 設定ペイロード長 (Payload Length Configured) ビット

ホストによって設定されたデータセクションの長さ(2バイト単位の数)を示します。スタティックセグメント中の、MHDC:SFDL[6:0]にて設定されたスタティックフレームペイロード長は、すべてのスタティックフレームのペイロード長を定義します。PLC[6:0]によって設定されたペイロード長が MHDC:SFDL[6:0]の設定より短い場合、スタティックフレームのペイロード長を保証するためにパディングバイトが挿入されます。パディングバイトは、"0"で示されます(「3.8.3 送信バッファ」参照)。

[bit15:11] Reserved: 予約ビット

[bit10:0] CRC[10:0]: ヘッダ CRC(Header CRC)ビット(vRF!Header!HeaderCRC)

受信バッファ: 設定は必要ない。

送信バッファ: ヘッダ CRC はホストによって計算され設定されます。

ヘッダ CRC の計算のために、フレームのペイロード長はホストに伝えなければならない。スタティックセグメントでの、すべてのフレームのペイロード長は MHDC:SFDL[6:0]で設定されます。



4.9.4. ライトヘッダセクションレジスタ 3(WRHS3 (Write Header Section 3))

Bit	31-16
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000

Bit	15	14	13	12	11	10	9	8
Field	Reserved					DP[10:8]		
R/W 属性	R0,W0					R/W		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	DP[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit31:11] Reserved: 予約ビット

[bit10:0] DP[10:0]: データポインタ(Data Pointer)ビット

メッセージバッファのデータセクションの先頭 32 ビットデータに対するポインタを示します。

4.9.5. インプットバッファコマンドマスクレジスタ (IBCM (Input Buffer Command Mask))

IBCR レジスタによって選択されたメッセージバッファの更新方法を設定します。IBF ホストと IBF シャドウが交換されたとき、マスクビット LSHH, LDSS, STXRH とマスクビット LHSS, LDSS, STXRS も同様に交換されます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved					STXRS	LDSS	LHSS
R/W 属性	R0,W0					R,WX	R,WX	R,WX
保護属性	-							
初期値	00000					0	0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved					STXRH	LDSS	LHSH
R/W 属性	R0,W0					R/W	R/W	R/W
保護属性	-							
初期値	00000					0	0	0

[bit31:19] Reserved: 予約ビット

[bit18] STXRS: 送信要求フラグシャドウの設定(Set Transmission Request Shadow)ビット

bit	説明
0	TXR フラグをリセットしている
1	TXR フラグをセットし、送信バッファ中のメッセージを開放している。または、それらの操作が終了した

[bit17] LDSS: データセクションシャドウのロード(Load Data Section Shadow)ビット

bit	説明
0	データセクションはインプットバッファからメッセージ RAM へ転送されていない
1	データセクションをインプットバッファからメッセージ RAM へ転送中である。または転送終了した

[bit16] LHSS: ヘッダセクションシャドウのロード(Load Header Section Shadow)ビット



bit	説明
0	ヘッダセクションはインプットバッファからメッセージ RAM へ転送されていない
1	ヘッダセクションをインプットバッファからメッセージ RAM へ転送中である。または転送終了した

[bit15:3] Reserved: 予約ビット**[bit2] STXRH: 送信要求フラグホストの設定(Set Transmission Request Host)ビット**

このビットが"1"に設定されている場合、選択されたメッセージバッファの TXR フラグが TXRQ1/2/3/4 レジスタ中で"1"にセットされ、その送信バッファ中のメッセージが開放されます。シングルショットモードにおいては、このフラグは送信完了後にクリアされます。

bit	説明
0	TXR フラグをリセットする
1	TXR フラグをセットし、送信バッファ中のメッセージを開放する

[bit1] LDSH: データセクションホストのロード(Load Data Section Host)ビット

bit	説明
0	データセクションは転送されない
1	データセクションをインプットバッファからメッセージ RAM へ転送する

[bit0] LSH: ヘッダセクションホストのロード(Load Header Section Host)ビット

bit	説明
0	ヘッダセクションは転送されない
1	ヘッダセクションをインプットバッファからメッセージ RAM へ転送する

4.9.6. インプットバッファコマンドリクエストレジスタ (IBCR (Input Buffer Command Request))

IBRH[6:0]へメッセージ RAM 中のターゲットメッセージバッファ番号の書き込みを行ったとき、IBF ホストと IBF シャドウは交換されます。さらに、IBRH[6:0]と IBRS[6:0]に格納するメッセージバッファ番号も同じく交換されます(「3.11.2 メッセージ RAM へのホストアクセス」の「a) インプットバッファからメッセージ RAM へのデータ転送」を参照)。

この書き込み動作で IBSYS ビットは"1"にセットされます。それから、メッセージハンドラは IBRS[6:0]によって選択されたメッセージ RAM 中のメッセージバッファへ、IBF シャドウの内容を転送し始めます。

IBF シャドウからメッセージ RAM 中のメッセージバッファヘデータを転送する間、IBF ホストに次の送信メッセージを書き込むことができます。IBF シャドウとメッセージ RAM との間で転送が完了した後、IBSYS は"0"にクリアされます。そして、IBRH[6:0]に次の送信メッセージのターゲットメッセージバッファ番号を書き込むことで、メッセージ RAM への次の転送が開始されます。

IBRH[6:0]への書き込みが IBSYS="1"の間に発生した場合、IBSYH は"1"にセットされます。IBF シャドウからメッセージ RAM への現在のデータ転送が完了した後に、IBF ホストと IBF シャドウは交換され、同時に IBRH[6:0]と IBRS[6:0]に格納するメッセージバッファ番号も同じく交換されます。そのとき、IBSYH が"0"にリセットされます。このとき IBSYS に"1"設定が残っているならば、メッセージ RAM へ次の転送が開始されます。

IBSYS, IBSYH の両方に"1"設定されている間に、このインプットバッファレジスタへの書き込みを行った場合、エラーフラグ EIR:IIBA が"1"にセットされます。この場合、インプットバッファは変更されません。

Bit	31	30	29	28	27	26	25	24
Field	IBSYS	Reserved						
R/W 属性	R,WX	R0,W0						
保護属性	-							
初期値	0	0000000						

Bit	23	22	21	20	19	18	17	16
Field	Reserved	IBRS						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	15	14	13	12	11	10	9	8
Field	IBSYH	Reserved						
R/W 属性	R,WX	R0,W0						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	Reserved	IBRH						
R/W 属性	R0,W0	R/W						
保護属性	-							
初期値	0	0000000						

[bit31] IBSYS: インプットバッファシャドウビジー(Input Buffer Busy Shadow)ビット

IBRH[6:0]に書込まれた後、このフラグは"1"にセットされます。IBF シャドウとメッセージ間の転送が完了したとき、IBSYS が"0"にクリアされます。



IBRH[6:0]に書込まれた後、このフラグは"1"にセットされます。IBF シャドウとメッセージ間の転送が完了したとき、IBSYS が"0"にクリアされます。

RAM 間の転送が完了したとき、IBSYS が"0"にクリアされます。

bit	説明
0	IBF シャドウとメッセージ RAM 間の転送終了
1	IBF シャドウとメッセージ RAM 間の転送実行中

[bit30:23] Reserved: 予約ビット

[bit22:16] IBRS[6:0]: インพุットバッファシャドウ転送リクエスト(Input Buffer Request Shadow)ビット

現在更新された、もしくは最近更新されたターゲットメッセージバッファ番号を示します。有効値は 0x00 から 0x7F (0 から 127)です。

[bit15] IBSYH: インพุットバッファホストビジー(Input Buffer Busy Host)ビット

IBSYS がまだ"1"である間に IBRH[6:0]に書込みが行われた場合、このフラグは"1"にセットされます。IBF シャドウとメッセージ RAM との間で現在のデータ転送が完了した後、このフラグは"0"にクリアされます。

bit	説明
0	メッセージの転送が保留されていない
1	メッセージの転送が保留されている

[bit14:7] Reserved: 予約ビット

[bit6:0] IBRH[6:0]: インพุットバッファホスト転送リクエスト(Input Buffer Request Host)ビット

インพุットバッファからデータ転送するためのメッセージ RAM 中のターゲットメッセージバッファ番号を選択します。有効値は 0x00 から 0x7F (0 から 127)です。

4.10. アウトプットバッファ

アウトプットバッファは、アウトプットバッファホストとアウトプットバッファシャドウのダブルバッファで構成されており、メッセージ RAM からメッセージバッファを読み出すために使用されます。ホストがアウトプットバッファホストを読み出し可能な間に、選択されたメッセージバッファをメッセージ RAM からアウトプットバッファシャドウに対して転送します。メッセージ RAM とアウトプットバッファ(OBF)間のデータ転送の詳細は、「3.11.2 メッセージ RAM へのホストアクセス」の「b) メッセージ RAM からアウトプットバッファへのデータ転送」を参照してください。



4.10.1. リードデータセクションレジスタ(RDDSn (Read Data Section [1~64]))

メッセージバッファのデータセクションから読出されたデータを設定します。このデータ(DW_n)は、DW1(バイト 0, バイト 1)から DWPL (PL=ペイロード長によって定義された 2 バイト単位のデータ数)まで、受信された順序にしたがってメッセージ RAM から読出されます。

Bit	31	30	29	28	27	26	25	24
Field	MD[31:24]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	MD[23:16]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	MD[15:8]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	MD[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:0] MD[31:0]: メッセージデータ (Message Data) ビット

MD[31:24] = DW2_n, byte4_n-1

MD[23:16] = DW2_n, byte4_n-2

MD[15:8] = DW2_n-1, byte4_n-3

MD[7:0] = DW2_n-1, byte4_n-4

<注意事項>

- DW127 は RDDS64:MD[15:0]に配置されます, この場合 RDDS64:MD[31:16]は未使用(不定データ)です。アウトプットバッファ RAM は, ハードリセットを終了, または CHI コマンド CLEAR_RAM (CMD[3:0]="1100")によって, ゼロに初期化されます。

4.10.2. リードヘッダセクションレジスタ 1(RDHS1 (Read Header Section 1))

Bit	31	30	29	28	27	26	25	24
Field	Reserved		MBI	TXM	PPIT	CFG	CHB	CHA
R/W 属性	R0,W0		R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	00		0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved	CYC						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	15	14	13	12	11	10	9	8
Field	Reserved					FID[10:8]		
R/W 属性	R0,W0					R,WX		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	FID[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:30] Reserved: 予約ビット

WRHS1 を通じて設定する値を下記に示します。

[bit29] MBI: メッセージバッファ割込み(Message Buffer Interrupt)ビット

[bit28] TXM: 送信モード(Transmission Mode)ビット

[bit27] PPIT: ペイロードプリアンブルインジケータ送信(Payload Preamble Indicator Transmit)ビット

[bit26] CFG: メッセージバッファコンフィギュレーションビット(Message Buffer Configuration Bit)

[bit25:24] CHA, CHB: チャネルフィルタコントロール(Channel Filter Control)ビット

[bit23] Reserved: 予約ビット

[bit22:16] CYC[6:0]: サイクルコード(Cycle Code)ビット



[bit15:11] Reserved: 予約ビット

[bit10:0] FID[10:0]: フレーム ID(Frame ID)ビット

メッセージRAMから読出されたメッセージバッファが受信FIFOに属している場合, CYC[6:0], CHA, CHB, CFG, PPIT, TXM, MBI が"0"にリセットされている間, FID[10:0]は受信したフレーム ID を保持します。

4.10.3. リードヘッダセクションレジスタ 2(RDHS2 (Read Header Section 2))

Bit	31	30	29	28	27	26	25	24
Field	Reserved	PLR						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	23	22	21	20	19	18	17	16
Field	Reserved	PLC						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	15	14	13	12	11	10	9	8
Field	Reserved						CRC[10:8]	
R/W 属性	R0,W0						R,WX	
保護属性	-							
初期値	00000						000	

Bit	7	6	5	4	3	2	1	0
Field	CRC[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31] Reserved: 予約ビット

[bit30:24] PLR[6:0]: 受信ペイロード長 (Payload Length Received) ビット
(vRF!Header!Length)

受信フレームによって更新されたペイロード長の値を表します。

受信ペイロード長および設定ペイロード長に関して、メッセージがメッセージバッファへ格納される際、次のような動作になります。

bit	説明
PLR[6:0] > PLC[6:0]	メッセージバッファに格納されたペイロードデータは、設定された PLC[6:0] あるいは PLC [6:0] +1 のペイロード長に切り詰められます。
PLR[6:0] ≤ PLC[6:0]	受信ペイロードデータは、メッセージバッファのデータセクションへ格納されます。PLC [6:0] に設定されたデータセクションの残りのデータバイトは、不定データで満たされます。
PLR[6:0] =0	メッセージバッファのデータセクションは不定データで満たされます。
PLC[6:0] =0	メッセージバッファのデータセクションはありません。データはメッセージバッファのデータセクションへ格納されません。

<注意事項>

- メッセージ RAM は 4 バイト構成です。受信データがメッセージバッファのデータセクションへ格納される場合、メッセージバッファに書込まれた 2 バイト単位のデータワード数は、次の偶数値に丸められた PLC[6:0] です。受信 FIFO へのすべてのメッセージバッファに対して PLC [6:0] は同一に設定します。ヘッダ 2 はデータフレームだけから更新されます。



[bit23] Reserved: 予約ビット

[bit22:16] PLC[6:0]: 設定ペイロード長 (Payload Length Configured) ビット

ホストによって設定されたデータセクションの長さ (2 バイト単位の数) を表します。

[bit15:11] Reserved: 予約ビット

[bit10:0] CRC[10:0]: ヘッダ CRC(Header CRC) ビット (vRF!Header!HeaderCRC)

受信バッファ: ヘッダ CRC は受信フレームによって更新されます。

送信バッファ: インพุットバッファからのメッセージ転送によって設定されたヘッダ CRC が表示されます

4.10.4. リードヘッダセクションレジスタ 3(RDHS3 (Read Header Section 3))

Bit	31	30	29	28	27	26	25	24
Field	Reserved		RES	PPI	NFI	SYN	SFI	RCI
R/W 属性	R0,W0		R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	00		0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved		RCC					
R/W 属性	R0,W0		R,WX					
保護属性	-							
初期値	00		000000					

Bit	15	14	13	12	11	10	9	8
Field	Reserved					DP[10:8]		
R/W 属性	R0,W0					R,WX		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	DP[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit31:30] Reserved: 予約ビット

[bit29] RES: 予約ビット(Reserved Bit) ビット (vRF!Header!Reserved)

受信した予約ビットの状態を反映します。

<注意事項>

- ヘッダ 3 はデータフレームだけから更新されます。

**[bit28] PPI: ペイロードプリアンブルインジケータ (Payload Preamble Indicator) ビット (vRF!Header!PPIIndicator)**

ネットワークマネジメントベクタあるいはメッセージ ID が、受信したフレームのペイロードセグメントの中に含まれているかどうかを示します。

bit	説明
0	受信フレームのペイロードセグメントはネットワークマネジメントベクタもメッセージ ID も含まれていない
1	スタティクセグメント: ペイロードの最初に、ネットワークマネジメントベクタが含まれている ダイナミックセグメント: ペイロードの最初に、メッセージ ID が含まれている

[bit27] NFI: ヌルフレームインジケータ (Null Frame Indicator) ビット (vRF!Header!NFIIndicator)

このビットが"0"の場合、受信したフレームのペイロードセグメントには、有効なデータがありません。

bit	説明
0	受信フレームが、ヌルフレームである
1	受信フレームが、ヌルフレームではない

[bit26] SYN: 同期フレームインジケータ (Sync Frame Indicator) ビット (vRF!Header!SyFIndicator)

受信したフレームが、同期フレームであることを示します。

bit	説明
0	受信フレームが同期フレームでない
1	受信フレームが同期フレームである

[bit25] SFI: スタートアップフレームインジケータ (Startup Frame Indicator) ビット (vRF!Header!SuFIndicator)

受信したフレームが、スタートアップフレームであることを示します。

bit	説明
0	受信フレームがスタートアップフレームでない
1	受信フレームがスタートアップフレームである

[bit24] RCI: 受信チャネルインジケータ (Received on Channel Indicator) ビット (vSS!Channel)

それぞれの受信バッファを更新する受信フレームが、どのチャネルから受け取られたかを示します。

bit	説明
0	チャネル B にてフレーム受信した
1	チャネル A にてフレーム受信した

[bit23:22] Reserved: 予約ビット**[bit21:16] RCC[5:0]: 受信サイクルカウンタ (Receive Cycle Count) ビット (vRF!Header!CycleCount)**

受信したフレームにより更新されるサイクルカウンタ値を表します。

[bit15:11] Reserved: 予約ビット

[bit10:0] DP[10:0]: データポインタ(Data Pointer) ビット

メッセージバッファのデータセクションの先頭 32 ビットデータに対するポインタを示します。



4.10.5. メッセージバッファステータスレジスタ(MBS (Message Buffer Status))

メッセージバッファステータスは、そのメッセージバッファに割り当てられたスロットの次のスロットの終わりで、割り当てられたチャンネルに関して更新されます。ある 1 つのメッセージバッファに 1 つだけ(A または B) チャンネルが割り当てられている場合、その片方のチャンネルのステータスフラグは"0"にクリアされます。1 つのメッセージバッファに両方のチャンネルが割り当てられている場合、両チャンネルのステータスフラグが更新されます。

メッセージバッファステータスは常に、メッセージバッファに割り当てられた最新のスロットの状態を示します。ホストが入力バッファを通してメッセージバッファを更新する場合、すべての MBS フラグは IBCM ビットがセットされていてもリセットされます。送受信フィルタリングについての詳細は、「3.7 フィルタリングとマスキング」、「3.8 送信手順」、「3.9 受信手順」を参照してください。メッセージハンドラがフラグ VFRA, VFRA, SEOA, SEOB, CEOA, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB のうちの 1 つを変更する場合は常に、レジスタ MBSC1/2/3/4 のそれぞれのメッセージバッファの MBC フラグがセットされます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved		RESS	PPIS	NFIS	SYNS	SFIS	RCIS
R/W 属性	R0,W0		R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	00		0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved		CCS					
R/W 属性	R0,W0		R,WX					
保護属性	-							
初期値	00		000000					

Bit	15	14	13	12	11	10	9	8
Field	FTB	FTA	Reserved	MLST	ESB	ESA	TCIB	TCIA
R/W 属性	R,WX	R,WX	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

• 受信バッファに関するステータスフラグ

[bit31:30] Reserved: 予約ビット

[bit29] RESS: リザーブビットステータス(Received Bit Status)ビット(vRFIHeader!Reserved)
受信リザーブビットの状態を示します。リザーブビットは、"0"として送信されます。

[bit28] PPIS: ペイロードプリアンブルインジケータステータス(Payload Preamble Indicator Status)ビット (vRFIHeader!PPIIndicator)

ペイロードブリアンブルインジケータは、ネットワークマネジメントペクタあるいはメッセージ ID が受信フレームのペイロードセグメント内に含まれるかどうか定義します。

bit	説明
0	含まれない
1	スタティックセグメント: ネットワークマネジメントあり ダイナミックセグメント: メッセージ ID あり

[bit27] NFIS: ヌルフレームインジケータステータス(Null Frame Indicator Status) ビット (vRF!Header!NFIndicator)

bit	説明
0	レシーブフレームはヌルフレームです
1	レシーブフレームはヌルフレームではない

[bit26] SYNS: シンクフレームインジケータステータス(Sync Frame Indicator Status) ビット (vRF!Header!SyFIndicator)

bit	説明
0	シンクフレーム受信なし
1	シンクフレーム受信あり

[bit25] SFIS: スタートアップフレームインジケータステータス(Startup Frame Indicator Status) ビット (vRF!Header!SuFIndicator)

bit	説明
0	スタートアップフレーム受信なし
1	スタートアップフレーム受信あり

[bit24] RCIS: チャネルインジケータステータス受信(Received on Chanel Indicator Status) ビット (vSS!Cahnnel)

bit	説明
0	チャネル B で、フレーム受信
1	チャネル A で、フレーム受信

[bit23:22] Reserved: 予約ビット

[bit21:16] CCS[5:0]: サイクルカウンタステータス(Cycle Count Status) ビット

ステータスが更新されたとき、サイクルカウントされます。

受信バッファ (CFG="0") では、次のステータスビットは有効および無効なフレームデータの両方から更新されます。有効なフレームが受け取られなかった場合、前の値が維持されます。

送信バッファでは意味がなく、無視します。

[bit15] FTB: チャネル B フレーム転送(Frame Transmitted on Channel B) ビット

チャネル B にデータフレームを送信したことを示します。

bit	説明
0	チャネル B でデータフレームが送信されていない



1	チャンネル B でデータフレームが送信された
---	------------------------

[bit14] FTA: チャンネル A フレーム転送(Frame Transmitted on Channel A) ビット

チャンネル A にデータフレームを送信したことを示します。

bit	説明
0	チャンネル A でデータフレームが送信されていない
1	チャンネル A でデータフレームが送信された

<注意事項>

- ホストのみが FTA および FTB をリセットできます。したがって、ビットが"1"にセットされるとき、サイクルカウンタステータス CCS[5:0]は有効です。

[bit13] Reserved: 予約ビット**[bit12] MLST: メッセージロスト(Message Lost) ビット**

メッセージバッファが新しいメッセージに上書きされる前に、メッセージが読出されなかった場合セットされます。受信 FIFO へのメッセージバッファを除き、ヌルフレームの受信は影響しません。IBF へのメッセージバッファ書込み、もしくは OBF からメッセージバッファを読み出すことによってメッセージバッファの ND フラグがリセットされた後に新しいメッセージがメッセージバッファに保存されると、フラグはリセットされます。

bit	説明
0	メッセージロストなし
1	読出されなかったメッセージが上書きされた

[bit11] ESB: チャンネル B エンプティスロット(Empty Slot Channel B) ビット

エンプティスロットでは、バスがアイドル状態、すなわちフレーム送信が検出されないことを意味します。この状態は、スタティックスロット並びにダイナミックスロットでチェックされます。

bit	説明
0	チャンネル B で、割り当てられたスロット中ではバスがアイドル状態でない
1	チャンネル B で、割り当てられたスロット中ではバスがアイドル状態である

[bit10] ESA: チャンネル A エンプティスロット(Empty Slot Channel A) ビット

エンプティスロットでは、バスがアイドル状態、すなわちフレーム送信が検出されないことを意味します。この状態は、スタティックスロット並びにダイナミックスロットでチェックされます。

bit	説明
0	チャンネル A で、割り当てられたスロット中ではバスがアイドル状態でない
1	チャンネル A で、割り当てられたスロット中ではバスがアイドル状態である

• 送信バッファに関するステータスフラグ**[bit9] TCIB: チャンネル B 送信コリジョンインジケータ(Transmission Conflict Indication Channel B)ビット (vSS!TxConflictB)**

送信コリジョンがチャンネル B で検出されたとき、このビットが"1" にセットされます。

bit	説明
0	チャンネル B で送信コリジョンが検出されていない

1	チャンネル B で送信コリジョンが検出された
---	------------------------

[bit8] TCIA: チャンネル A 送信コリジョンインジケータ (Transmission Conflict Indication Channel A) ビット (vSS!TxConflictA)

送信コリジョンがチャンネル A で検出されたとき、このビットが"1" にセットされます。

bit	説明
0	チャンネル A で送信コリジョンが検出されていない
1	チャンネル A で送信コリジョンが検出された

• 受信、および送信バッファに関するステータスフラグ

[bit7] SVOB: チャンネル B 境界障害 (Slot Boundary Violation Observed on Channel B) ビット (vSS!BViolationB)

スロット境界障害が、チャンネル B に割り当てられたスロットで検出されたことを示します。すなわち、設定されたスロットの開始もしくは終了において、チャンネルがアクティブであることを意味します。

bit	説明
0	チャンネル B でスロット境界障害が検出されていない
1	チャンネル B でスロット境界障害が検出された

[bit6] SVOA: チャンネル A 境界障害 (Slot Boundary Violation Observed on Channel A) ビット (vSS!BViolationA)

スロット境界障害が、チャンネル A に割り当てられたスロットで検出されたことを示します。すなわち、設定されたスロットの開始もしくは終了において、チャンネルがアクティブであることを意味します。

bit	説明
0	チャンネル A でスロット境界障害が検出されていない
1	チャンネル A でスロット境界障害が検出された

[bit5] CEOB: チャンネル B コンテンツエラー (Content Error Observed on Channel B) ビット (vSS!ContentErrorB)

コンテンツエラーが、チャンネル B に割り当てられたスロットで検出されたことを示します。

bit	説明
0	チャンネル B でコンテンツエラーが検出されていない
1	チャンネル B でコンテンツエラーが検出された

[bit4] CEOA: チャンネル A コンテンツエラー (Content Error Observed on Channel A) ビット (vSS!ContentErrorA)

コンテンツエラーが、チャンネル A に割り当てられたスロットで検出されたことを示します。

bit	説明
0	チャンネル A でコンテンツエラーが検出されていない
1	チャンネル A でコンテンツエラーが検出された

[bit3] SEOB: チャンネル B シンタックスエラー (Syntax Error Observed on Channel B) ビット (vSS!SyntaxErrorB)

シンタックスエラーが、チャンネル B に割り当てられたスロットで検出されたことを示します。



bit	説明
0	チャンネル B でシンタックスエラーが検出されていない
1	チャンネル B でシンタックスエラーが検出された

[bit2] SEOA: チャンネル A シンタックスエラー(Syntax Error Observed on Channel A)ビット (vSS!SyntaxErrorA)

シンタックスエラーが、チャンネル A に割り当てられたスロットで検出されたことを示します。

bit	説明
0	チャンネル A でシンタックスエラーが検出されていない
1	チャンネル A でシンタックスエラーが検出された

[bit1] VFRB: チャンネル B 受信有効フレーム(Valid Frame Received on Channel B)ビット (vSS!ValidFrameB)

有効フレームがチャンネル B で受信されたとき, "1" にセットされます。

bit	説明
0	チャンネル B で有効なフレームが受信されていない
1	チャンネル B で有効なフレームが受信された

[bit0] VFRA: チャンネル A 受信有効フレーム(Valid Frame Received on Channel A)ビット (vSS!ValidFrameA)

有効フレームがチャンネル A で受信されたとき, "1" にセットされます。

bit	説明
0	チャンネル A で有効なフレームが受信されていない
1	チャンネル A で有効なフレームが受信された

4.10.6. アウトプットバッファコマンドマスクレジスタ (OBCM (Output Buffer Command Mask))

OBCR レジスタによって選択されたメッセージバッファによる、アウトプットバッファの更新方法を設定します。メッセージバッファ転送が OBCR:REQ によって要求されると、マスクビットの RDSS と RHSS は内部レジスタにコピーされます。OBF ホストと OBF シェドウが交換されると、マスクビット RDSH, RHSH とマスクビット RDSS, RHSS も同様に交換されます。アウトプットバッファ(OBF)とメッセージ RAM 間のデータ転送は「3.11.2 メッセージ RAM へのホストアクセス」の「b) メッセージ RAM からアウトプットバッファへのデータ転送」で詳細に説明されます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved						RDSH	RHSH
R/W 属性	R0,W0						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						RDSS	RHSS
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit31:18] Reserved: 予約ビット

[bit17] RDSH: データセクションホスト読出し(Read Data Section Host)ビット

bit	説明
0	データセクションは読出されていない
1	データセクションをメッセージ RAM からアウトプットバッファへ転送する



<注意事項>

- メッセージ RAM から OBF シャドウヘヘッダセクション転送が完了した後, MBSC1/2/3/4 レジスタ中の選択されたメッセージバッファのメッセージバッファステータス変更フラグ MBS が"0"にクリアされます。メッセージ RAM から OBF シャドウヘデータセクション転送が完了した後, NDAT1/2/3/4 レジスタ中の選択されたメッセージバッファのニューデータフラグ ND が"0"にクリアされます。

[bit16] RHSH: ヘッダセクションホスト読出し(Read Header Section Host)ビット

bit	説明
0	ヘッダセクションは読出されていない
1	ヘッダセクションをメッセージ RAM からアウトプットバッファへ転送する

[bit15:2] Reserved: 予約ビット**[bit1] RDSS: データセクションシャドウ読出し(Read Data Section Shadow)ビット**

bit	説明
0	データセクションは読出されない
1	データセクションをメッセージ RAM からアウトプットバッファへ転送する

[bit0] RHSS: ヘッダセクションシャドウ読出し(Read Header Section Shadow)ビット

bit	説明
0	ヘッダセクションは読出されない
1	ヘッダセクションをメッセージ RAM からアウトプットバッファへ転送する

4.10.7. アウトプットバッファコマンドリクエストレジスタ(OBCR (Output Buffer Command Request))

OBSYS が"0"の間に、REQ を"1"に設定した場合、OBSYS は"1"にセットされます。OBR[6:0]は内部レジスタにコピーされ、マスクビットの OBCM:RDSS と OBCM:RHSS は内部レジスタ OBCM にコピーされます。それから、OBR[6:0]によって選択されたメッセージバッファを、メッセージバッファから OBF シャドウへ転送開始します。メッセージバッファと OBF シャドウ間の転送完了後、OBSYS ビットは"0"にクリアされます。

OBSYS が"0"の間に、VIEW を"1"に設定した場合、OBF ホストと OBF シャドウは入れ替わります。さらに、マスクビット OBCM:RDSH と OBCM:RHSB は内部レジスタ OBCM に交換されて、各アウトプットバッファ転送に対応します。OBRH[6:0]は CPU がアクセス可能なメッセージバッファの数を示します。

OBSYS が"0"の間に、REQ と VIEW を同時に"1"に設定した場合、OBSYS は"1"にセットされます。そして、OBF ホストと OBF シャドウは入れ替わります。さらに、マスクビットの OBCM:RDSH と OBCM:RHSB は内部レジスタにスワップされて、各アウトプットバッファ転送に対応します。その後、OBR[6:0]は内部レジスタにコピーされます。そして、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへ転送開始します。転送が進行中である間、CPU は OBF ホストから前の転送で移されたメッセージバッファを読むことができます。メッセージ RAM と OBF シャドウの間の転送が完了したとき、OBSYS ビットは"0"にクリアされます。

OBSYS が"1"の間に、このアウトプットバッファレジスタへの書き込みを行った場合、エラーフラグ EIR:IOBA が"1"にセットされます。この場合、アウトプットバッファは変更されません。アウトプットバッファとメッセージ RAM 間のデータ転送は「3.11.2 メッセージ RAM へのホストアクセス」の「b) メッセージ RAM からアウトプットバッファへのデータ転送」で詳細に説明されます。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved	OBRH						
R/W 属性	R0,W0	R,WX						
保護属性	-							
初期値	0	0000000						

Bit	15	14	13	12	11	10	9	8
Field	OBSYS	Reserved					REQ	VIEW
R/W 属性	R,WX	R0,W0					R/W	R/W
保護属性	-							
初期値	0	00000					0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved	OBRs						
R/W 属性	R0,W0	R/W						
保護属性	-							
初期値	0	0000000						



[bit22:16] OBRH[6:0]: アウトプットバッファホスト転送リクエスト(Output Buffer Request Host)ビット

RDHS[1…3], MBS, RDDS[1…64]を経由して現在アクセスが可能なメッセージバッファ番号を示します。VIEW へ"1"の書き込みを行うことによって OBF シャドウと OBF ホストが入れ替わり、そのようにすることで転送されたメッセージバッファはアクセス可能となります。有効値は, 0x00 から 0x7F(0 から 127)です。

[bit15] OBSYS: アウトプットバッファシャドウビジー(Output Buffer Shadow Busy)ビット

ビット REQ が"1"に設定された後, このフラグは"1"にセットされます。メッセージ RAM と OBF シャドウ間の転送が完了したとき, OBSYS が"0"にクリアされます。

bit	説明
0	メッセージ RAM と OBF シャドウ間の転送が実行中でない
1	メッセージ RAM と OBF シャドウ間の転送が実行中である

[bit14:10] Reserved: 予約ビット

[bit9] REQ: メッセージ RAM 転送要求(Request Message RAM Transfer)ビット

OBRH[6:0]によって指定されたメッセージバッファを, メッセージ RAM 中から OBF シャドウへ転送開始します。OBSYS が"0"の間のみ書き込み可能です。

bit	説明
0	メッセージ RAM から OBF シャドウへの転送要求なし
1	メッセージ RAM から OBF シャドウへの転送が要求される

[bit8] VIEW: シャドウバッファ・ホストバッファ入れ替え(View Shadow Buffer)ビット

OBF シャドウと OBF ホスト間を入れ替えます。OBSYS が"0"の間のみ書き込み可能です。

bit	説明
0	OBF シャドウと OBF ホストを入れ替えない
1	OBF シャドウと OBF ホストを入れ替える

[bit7] Reserved: 予約ビット

[bit6:0] OBRM[6:0]: アウトプットバッファシャドウ転送リクエスト (Output Buffer Request Shadow)ビット

メッセージ RAM から OBF シャドウへ転送するためのメッセージバッファ番号を示します。有効値は, 0x00 から 0x7F(0 から 127)です。受信 FIFO の先頭メッセージバッファ番号がこのレジスタに書込まれた場合, GET Index (GIDX, 「3.10 FIFO 機能」を参照)によって指定されたメッセージバッファを OBF シャドウへ転送します。

CHAPTER 45: アップダウンカウンタ

8 ビット/16 ビットアップダウンカウンタの機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ
5. 使用上の注意



1. 概要

イベント入力端子 3 本, 16 ビットアップダウンカウンタ, 16 ビットリロード/コンペアレジスタ, 16 ビットカウンタコンペアレジスタと, それらの制御回路から構成されるアップダウンカウンタです。設定により 8 ビットカウンタ, または 16 ビットカウンタの選択が可能です。

アップダウンカウンタの機能

8/16 ビットカウンタ選択

"0x00"~"0xFF"または"0x0000"~"0xFFFF"の範囲でカウントが可能です。

カウントクロック選択による動作モードの選択

－ タイマモード

タイマモード時は, 周辺クロックを 2 分周, または 8 分周して生成された内部クロックに同期しカウントダウンします。

- － 周辺クロックの 2 分周クロック
- － 周辺クロックの 8 分周クロック

－ アップ/ダウンカウントモード

アップ/ダウンカウントモード時には, 2 本の外部端子入力(AIN/BIN) 信号のエッジを検出しカウントします。

- － 立下りエッジ検出
- － 立上りエッジ検出
- － 立上り/立下りの両エッジ検出
- － エッジ検出禁止(カウント禁止)

－ 位相差カウントモード(2 通倍/4 通倍)

位相差カウントモードは, 2 本の外部端子から入力される信号の位相差をカウントします。

位相差カウントモードは, モータなどのエンコーダのカウントに適し, エンコーダの A 相, B 相, Z 相出力をそれぞれ入力することで, 高精度で回転角度, 回転数などのカウントを容易に行うことが可能です。

位相差カウントモードには 2 通倍モードと 4 通倍モードがあり, それぞれカウント方法が異なります。

表 1-1 アップダウンカウンタの動作モード

動作モード	カウントタイミング	カウント方向
タイマモード	内部クロック(周辺クロック)	ダウン
アップ/ダウンカウントモード	外部入力クロック	アップ/ダウン
位相差(2/4 通倍) カウントモード	外部入力信号位相	アップ/ダウン

ZIN 端子は, 2 種の機能を選択可能(すべての動作モードで有効)

- － カウンタクリア機能
- － ゲート機能

コンペア機能とリロード機能

それぞれの機能のみ、また、合わせても動作可能です。両機能を合わせて使用することで任意幅でのアップダウンカウントを行うことが可能です。

- コンペア機能

リロード/コンペアレジスタの設定値とカウンタ値の一致を検出(コンペア)し、次のアップカウントタイミグでカウンタをクリアし、カウントを続けます。

- リロード機能

アンダフローが発生したとき、リロード値をカウンタにロードし、カウントを続けます。

- コンペア/リロードの両機能

- コンペア/リロード禁止(カウント禁止)

カウンタコンペアレジスタによる比較結果一致機能とバッファ転送機能

- 比較結果一致検出機能

カウンタコンペアレジスタの設定値とカウンタ値の一致を検出(コンペア)し、そのままカウントを続けます。設定値の一部のビットをマスクし、設定値の残りのビットとカウンタの値との比較一致を調べることができます。

- バッファ転送機能

オーバフローが発生したときにカウンタコンペアバッファ転送レジスタの設定値を比較結果一致検出機能に使用するカウンタコンペアレジスタに転送できます。本機能を使用しない場合はバッファ転送レジスタへの書込みと同時に、対応するカウンタコンペアレジスタへの転送を行います。

カウント方向フラグにより、直前のカウント方向を識別可能**割込み要求**

次の場合に割込みの発生をそれぞれ個別に制御可能。

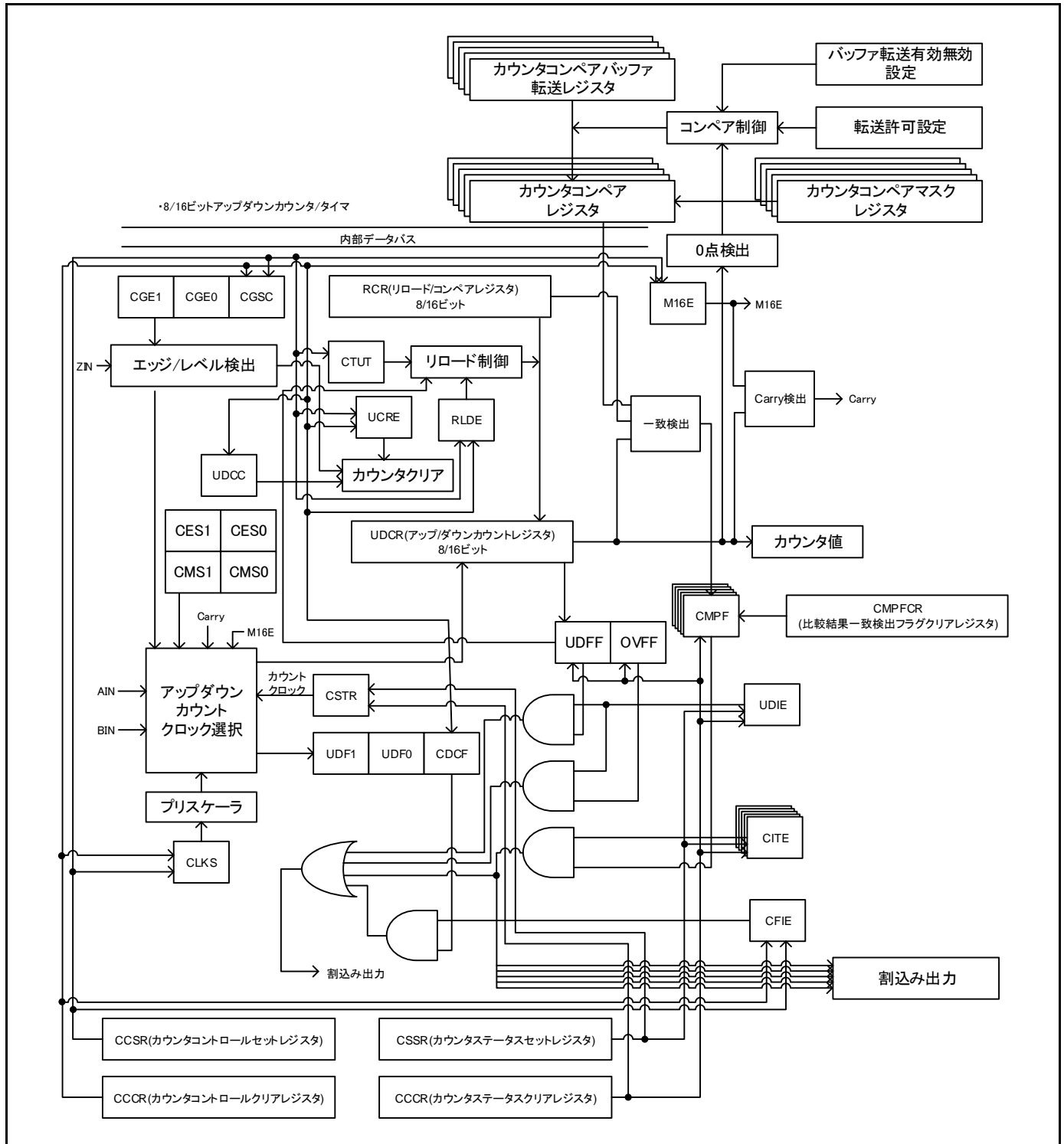
- カウント方向が反転したとき。
- カウンタの値があらかじめ設定した値と一致(コンペア)したとき。
- オーバフロー、アンダフロー(リロード)が発生したとき。

2. 構成

アップダウンカウンタの構成を示します。

図 2-1 にアップダウンカウンタの構成図を示します。

図 2-1 アップダウンカウンタの構成図



3. 動作説明

アップダウンカウンタの動作概要について説明します。

(1) カウンタ動作モード選択

アップダウンカウンタの動作モードは、CCR レジスタの CMS[1:0] ビットで選択します。

表 3-1 カウンタ動作モード

CMS[1:0]		説明
0	0	タイマモード(ダウンカウント) [初期値]
0	1	アップ/ダウンカウントモード
1	0	位相差カウントモード 2 通倍
1	1	位相差カウントモード 4 通倍

－ タイマモード[ダウンカウント]

タイマモードでは、内部プリスケアラの出力をダウンカウントします。内部プリスケアラについては、CCR_H レジスタの CLKS ビットによって 2 周辺クロックサイクル/8 周辺クロックサイクルの選択が可能です。

－ アップ/ダウンカウントモード

アップ/ダウンカウントモードでは、外部端子 AIN および BIN の入力をカウントすることでアップダウンカウントを行います。AIN 端子の入力はアップカウントを、BIN 端子の入力はダウンカウントをそれぞれ制御します。

AIN 端子、BIN 端子の入力はエッジ検出され、CCR_H レジスタの CES[1:0] ビットによって検出エッジの選択が可能です。

表 3-2 カウント用クロックエッジ

CES[1:0]		説明
0	0	エッジ検出禁止 [初期値]
0	1	立下りエッジ検出
1	0	立上りエッジ検出
1	1	立上り/立下り両エッジ検出

－ 位相差カウントモード(2 通倍/4 通倍)

位相差カウントモードでは、エンコーダの出力信号 A 相、B 相の位相差をカウントするため、AIN 端子の入力エッジ検出時に BIN 端子の入力レベルを検出し、カウントを行います。

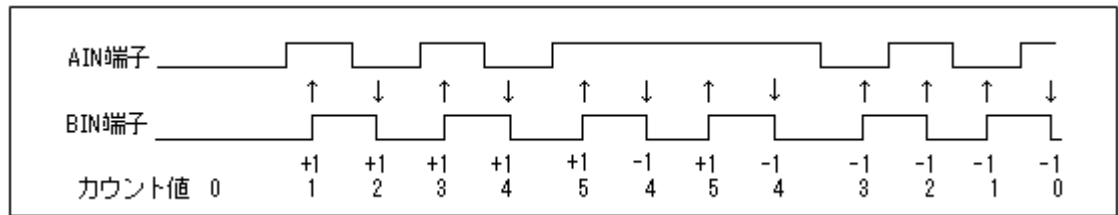
2 通倍/4 通倍モードでは、AIN 端子入力と BIN 端子入力の位相差について、AIN の方が早い場合にアップカウントを、BIN の方が早い場合にダウンカウントを行います。

2 通倍モードでは、BIN 端子の立上り/立下り両方のエッジのタイミングで AIN 端子の値を検出することでカウントを行います。このとき次のように実行されます。

表 3-3 カウント方法

BIN 端子のエッジ	AIN 端子のレベル	カウント
立上り ↑	"H" レベル	アップカウント
立上り ↑	"L" レベル	ダウンカウント
立下り ↓	"H" レベル	ダウンカウント
立下り ↓	"L" レベル	アップカウント

図 3-1 位相差カウントモード(2 通倍) 動作概略

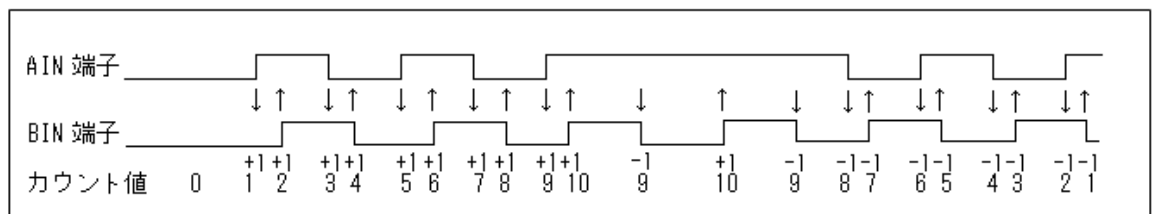


4 通倍モードでは、BIN 端子の立上り/立下り両エッジのタイミングで AIN 端子の値を検出し、また AIN 端子の立下り/立上り両エッジのタイミングで BIN 端子の値を検出することでカウントを行います。このとき、以下のように実行されます。

表 3-4 カウント方法

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向
BIN 端子	立上りエッジ	AIN 端子	"H"レベル	カウントアップ
			"L"レベル	カウントダウン
	立下りエッジ		"H"レベル	カウントダウン
			"L"レベル	カウントアップ
AIN 端子	立上りエッジ	BIN 端子	"H"レベル	カウントダウン
			"L"レベル	カウントアップ
	立下りエッジ		"H"レベル	カウントアップ
			"L"レベル	カウントダウン

図 3-2 位相差カウントモード(4 通倍) 動作概略



エンコーダ出力のカウントの際には A 相を AIN 端子に、B 相を BIN 端子に、Z 相を ZIN 端子に入力することで、高精度で回転角度や回転数のカウント、回転方向の検出などが可能です。なお、このカウントモード選択時は、CCR_H レジスタの CES[1:0] ビットによる検出エッジの選択は無効です。

(2) リロード/コンペア機能

本カウンタでは、リロード機能およびコンペアによるクリア機能を有しています。この2つの機能は組み合わせて処理を行うことが可能です。CCRL レジスタの RLDE, UCRE ビットの設定例を示します。

表 3-5 カウント用クロックエッジ

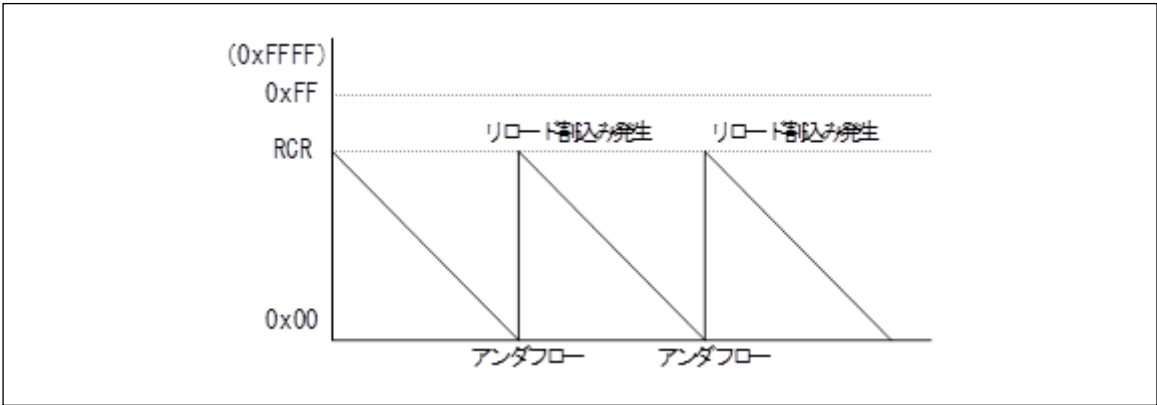
RLDE	UCRE	説明
0	0	リロード/コンペアによるクリア禁止[初期値]
0	1	コンペアによるクリア許可
1	0	リロード許可
1	1	リロード/コンペアによるクリア許可

－ リロード機能

リロード機能起動時には、アンダフロー発生次のダウンカウントクロックのタイミングで RCR の値を UDCR に転送します。このとき、CSRL レジスタの UDFF ビットがセットされるとともに、割込み許可設定の場合、割込み要求を発生します。

ダウンカウントを行わないモードでは、本機能の起動は有効から無効となります。

図 3-3 リロード機能動作概略

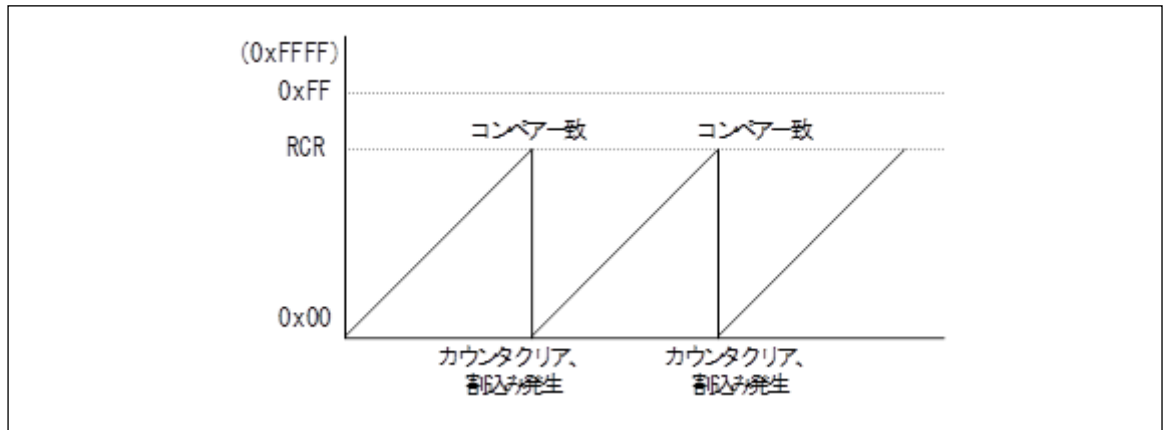


－ コンペアによるクリア機能

コンペアによるクリア機能は、タイマモード以外のすべてのモードで使用可能です。コンペア機能時は、RCR と UDCR の値が一致した場合に、CMPF ビットがセットされるとともに、割込み許可設定の場合、割込み要求を発生します。また、次のアップカウントクロックのタイミングで UDCR をクリアします(ダウンカウントではクリアされません)。

アップカウントを行わないモードでは、本機能の起動は有効から無効となります。

図 3-4 コンペアによるクリア機能動作



(3) カウント方向フラグ

カウント方向フラグ(UDF[1:0])は、アップ/ダウンカウント時に、直前のカウントがアップカウントであったかダウンカウントであったかを示します。AIN, BIN 両端子の入力から生成されたカウントクロックから判断して、カウントのたびにフラグを書き換えます。モータの制御などで、現在の回転方向を知りたい場合はこのフラグを参照することで判断できます。

表 3-6 カウント方向フラグ

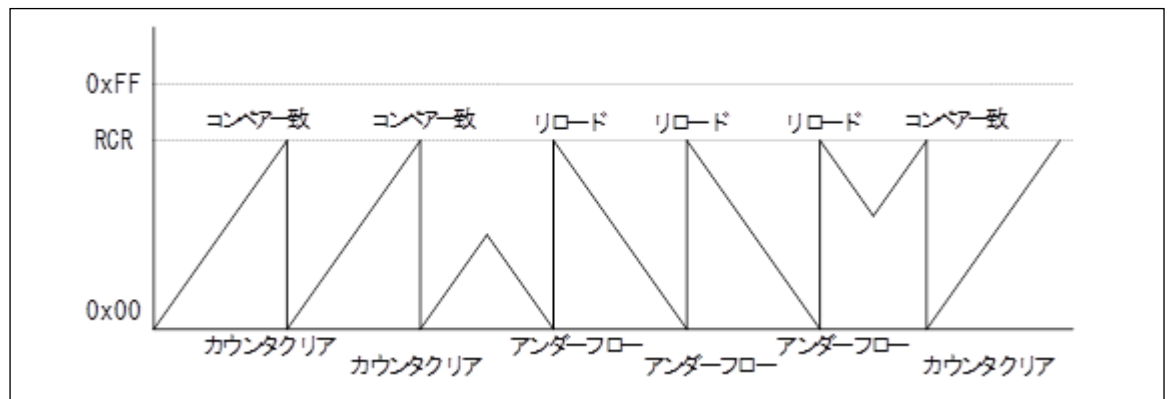
UDF[1:0]		説明
0	0	入力なし[初期値]
0	1	ダウンカウント
1	0	アップカウント
1	1	アップ/ダウン同時発生(カウントは行われない)

(4) リロード/コンペア機能同時起動

リロード/コンペア機能の両起動時は、任意幅でのアップ/ダウンカウントが可能です。

リロード機能により、アンダフロー時に RCR の値を UDCR に転送します。また、コンペア機能により、RCR と UDCR の値が一致した場合に UDCR をクリアします。この両機能を利用して、"0x0000"～RCR の間でアップ/ダウンカウントを行います。

図 3-5 リロード/コンペア機能同時起動時動作概略

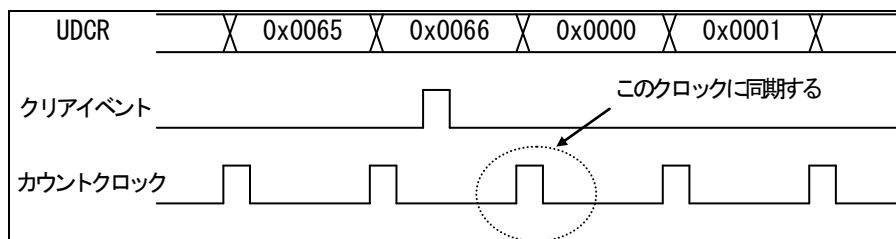


コンペアー一致時またはリロード(アンダフロー)時にCPUに割込みを発生することができます。また、これらの割込み出力のイネーブルは個別に制御可能です。

UDCR に対して、クリアを行う場合のタイミングは、カウント起動中と停止中では異なります。カウント動作中のソフトウェアによるリロード(CCR レジスタの CTUT ビットへの"1"書込み)は禁止です。

カウント動作中にクリアのイベントが発生した場合は、すべてカウントクロックに同期して行われます。

図 3-6 クリアイベント発生タイミング

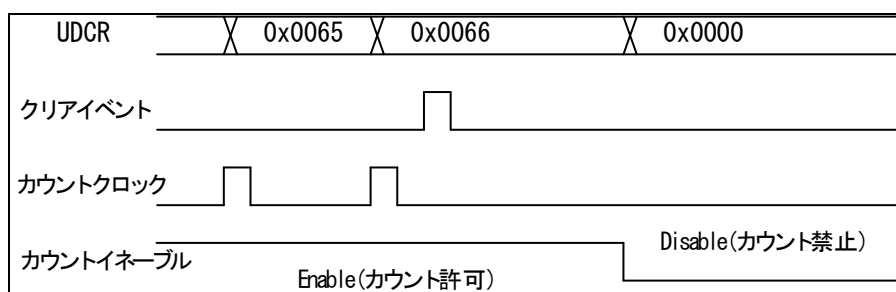


<参考>

カウント動作中のアンダフローによるリロードは、すべてカウントクロックに同期して行われます。

カウント動作中にクリアのイベントが発生した場合で、カウントクロック同期待ち(同期させるためのカウント入力を待っている状態)のままカウントを停止させた場合は、停止した時点でクリアが行われます。

図 3-7 クリアイベント発生タイミング





カウント中にリロードおよびクリアのイベントが発生した場合は、イベント発生時点で処理が行われます。コンペアによるクリアについては、UDCR と RCR の値が一致し、さらにアップカウントが行われたときにクリアが行われます。UDCR と RCR の値が一致した場合においても、その後、ダウンカウントやカウント停止になった場合にはクリアは行われません。

クリア/リロードのタイミングについては、クリアはリセット入力以外のすべてのイベントで、リロードもすべてのイベントにおいて上記タイミングに従います。

クリアイベントとリロードイベントが同時に発生した場合はクリアイベントを優先します。

(5) UDCR へのデータの書込み

UDCR へは直接データを書き込むことはできません。UDCR に任意の値を書き込む場合は、以下のような手順で書き込んでください。

1. UDCR に書き込むデータを、まず RCR に書き込む。(RCR のデータは失われるので注意)
2. CCR の CTUT ビットに"1"を書き込むことにより、RCR から UDCR にデータが転送される。

以上の動作は、カウント停止中(CSRL の CSTR ビットが"0"のとき)に行ってください。

<注意事項>

- 誤ってカウント中に CCR レジスタの CTUT ビットに"1"を書き込んだとき、書き込んだタイミングで RCR の値が UDCR に転送されます。

カウンタのクリアについては、上記以外に以下の方法があります。

- リセット入力によるクリア
- ZIN 端子からのエッジ入力によるクリア
- CCR の UDCC ビットに"0"を書き込むことによるクリア
- コンペアによるクリア

これらの書込みは、カウント起動/停止にかかわらず行えます。

(6) カウントクリア/ゲート機能

ZIN 端子は CCR レジスタの CGSC ビットによって、カウントクリア機能またはゲート機能を選択して使用可能です。

カウントクリア機能起動時は、ZIN 端子によりカウンタのクリアを行います。ZIN 端子のどのエッジ入力でカウントを行うかを CCRL レジスタの CGE[1:0] ビットで制御可能です。

ゲート機能起動時は、ZIN 端子によりカウントのイネーブル/ディセーブルを行います。ZIN 端子のどのレベル入力でイネーブルとするかを CCR レジスタの CGE[1:0] ビットで制御可能です。本機能はすべてのモードで有効です。

表 3-7 ZIN 端子の機能

CGSC	説明
0	カウンタクリア機能[初期値]
1	ゲート機能

表 3-8 カウントクリア/ゲート機能

CGE[1:0]		カウンタクリア機能選択時(CGSC="0")	ゲート機能選択時(CGSC="1")
0	0	エッジ検出禁止[初期値]	レベル検出禁止[初期値] (カウントディセーブル)
0	1	立下りエッジ	"L"レベル
1	0	立上りエッジ	"H"レベル
1	1	設定禁止	設定禁止

(7) カウント方向転換フラグ

カウント方向転換フラグ(CDCF)は、カウント方向がアップ/ダウンで変わった場合にセットされます。また、このフラグがセットされると同時に CPU に対して割込み要求を発生させることができます。この割込みとカウント方向フラグを参照することにより、カウント方向の変化の向きを判断できます。

ただし、方向転換の期間が短く、連続して発生した場合などは、方向転換後のフラグの示す方向が元に戻り、同一方向となる場合がありますので注意してください。

表 3-9 カウント方向転換フラグ

CDCF	説明
0	方向転換は行われていない[初期値]
1	方向転換が 1 回以上行われた

(8) コンペア検出フラグ

コンペア検出フラグ(CMPF)は、カウント動作中に UDCR の値と RCR の値が一致したときにセットされます。カウントアップ/ダウン一致のほか、リロードイベント発生による一致、カウント起動時に既に一致している場合もセットされます。

(9) 比較結果一致検出フラグ

比較結果一致検出フラグ(CMPF0～5)はカウント動作中にUDCRの値とCMPR0～5の値が一致したときにセットされます(例: CMPR3=UDCR のとき CMPF3 セット)。CMPMSKR0～5 によって対応する CMPR0～5 の一部のビットがマスクされている場合、マスクされていない残りの CMPF0～5 の各ビットと UDCR が一致しているときに CMPF0～5 はセットされます(例: CMPR5="0xFFFF", CMPMSK5R="0x0FFF" のとき UDCR="0x0FFF" までカウントされたところで、CMPF5 がセットされる)。カウント動作停止中、CMPF0～5 はセットされません。

図 3-8 カウンタコンペアレジスタによる比較結果一致検出動作

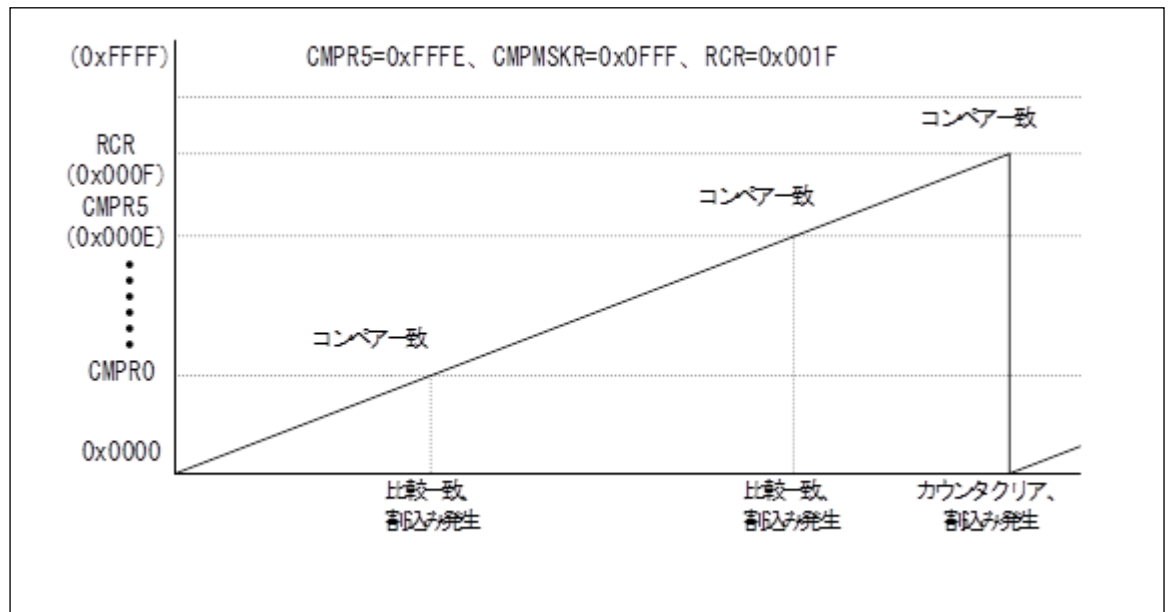


図 3-9 カウンタコンペアレジスタによる割込みタイミング

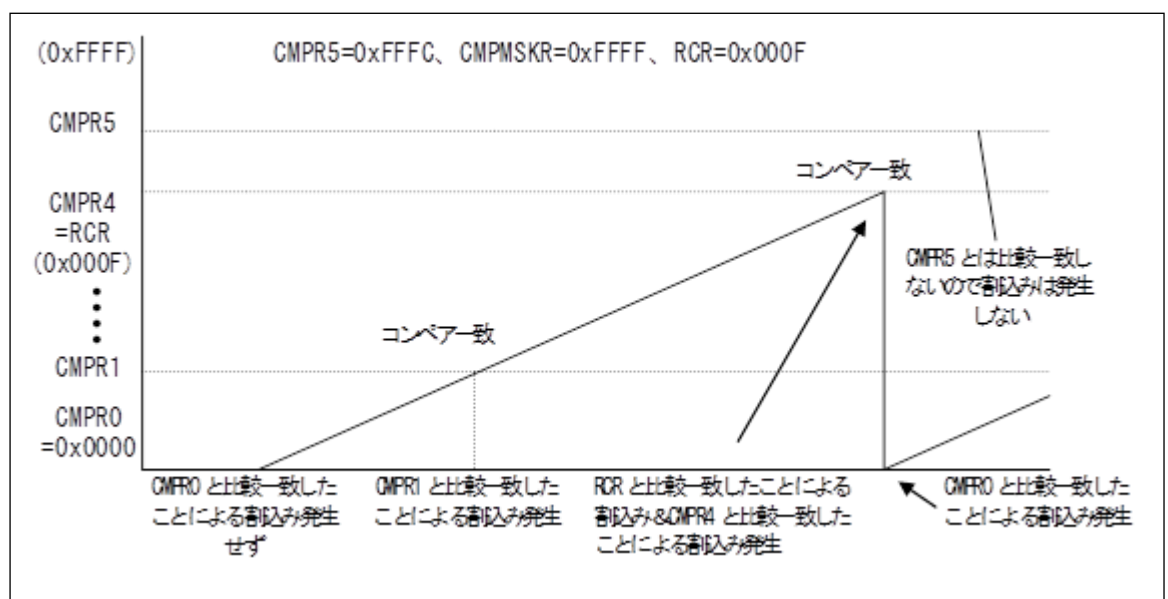
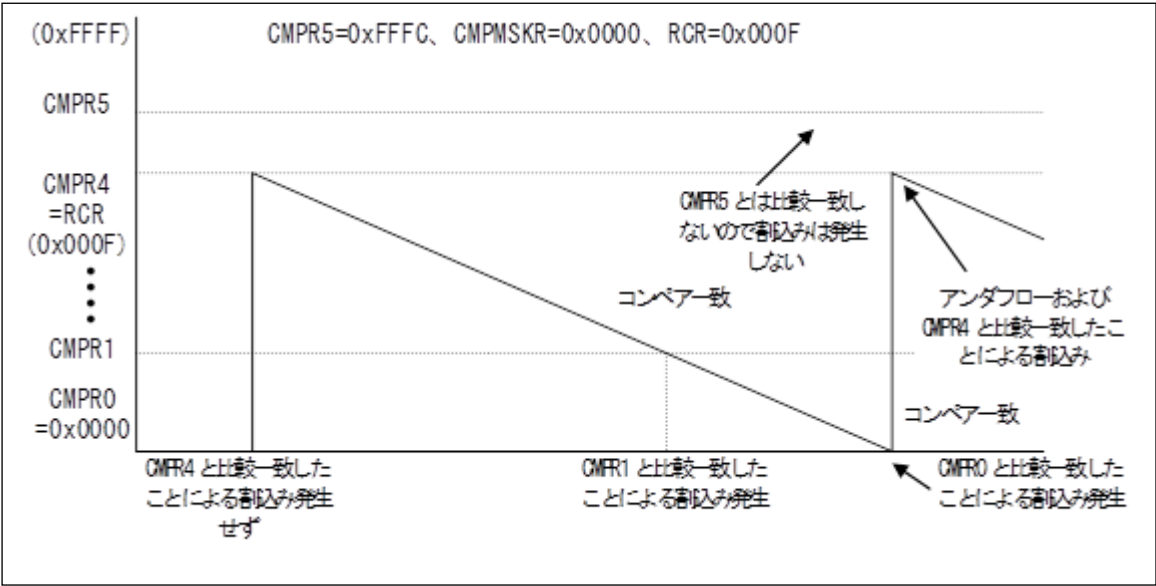


図 3-10 カウンタコンペアレジスタによる割込みタイミング



(10) カウンタコンペアレジスタの更新

カウンタコンペアレジスタはカウンタコンペアバッファ転送レジスタ経由で更新できます。その更新する条件は下表のとおりです。

表 3-10 カウンタコンペアレジスタの更新条件

BTC[1:0]		説明
0	0	CMPBR0～5 の値は CMPR0～5 に転送されません
0	1	オーバフローまたは RCR 一致によるカウントクリアと同時に、CMPBR0～5 の値が CMPR0～5 にバッファ転送されます
1	0	CMPBR0～5 に書き込むと同時に、CMPR0～5 にも書込まれます。
1	1	BTC[1:0]=0b10 の場合と同様

<注意事項>

- BTC[1:0]=0b00 または 0b01 から、BTC[1:0]=0b10 または 0b11 へ変更した場合、変更後のクロック立上りで CMPBR0～5 の値が CMPR0～5 に書込まれます。

図 3-11 BTC[1:0]=0b00 の場合の更新タイミング

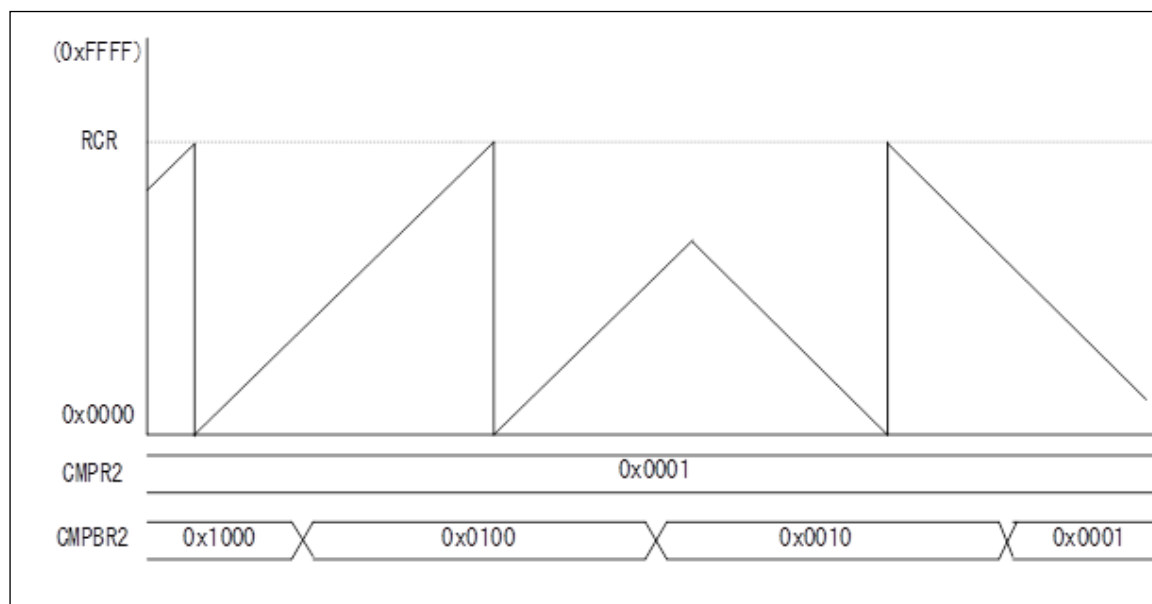


図 3-12 BTC[1:0]=0b01 の場合の更新タイミング

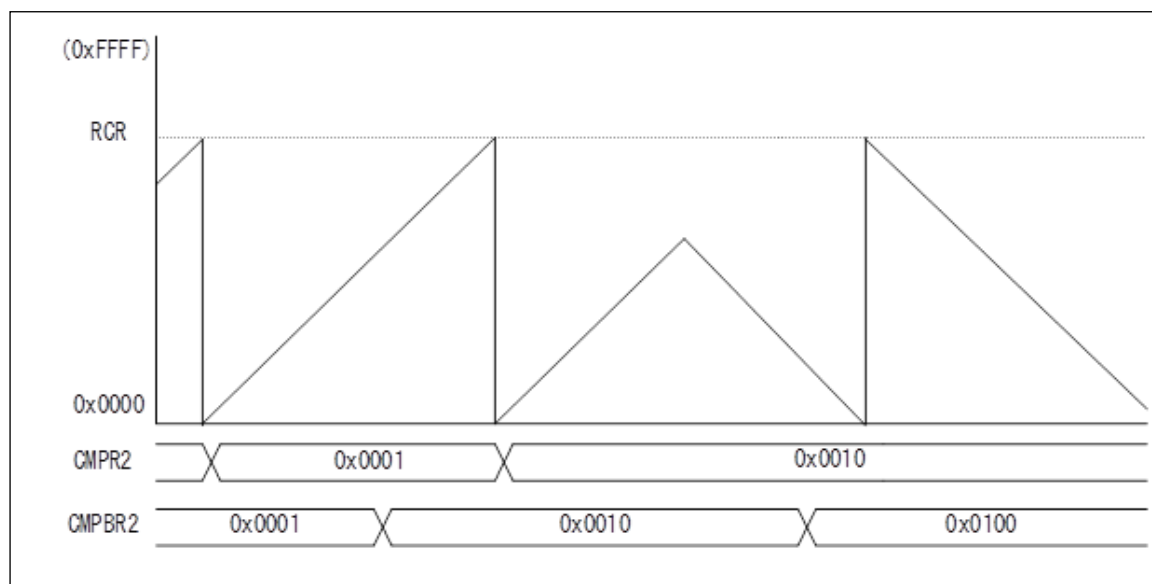


図 3-13 BTC[1:0]=0b10 または 0b11 の場合の更新タイミング

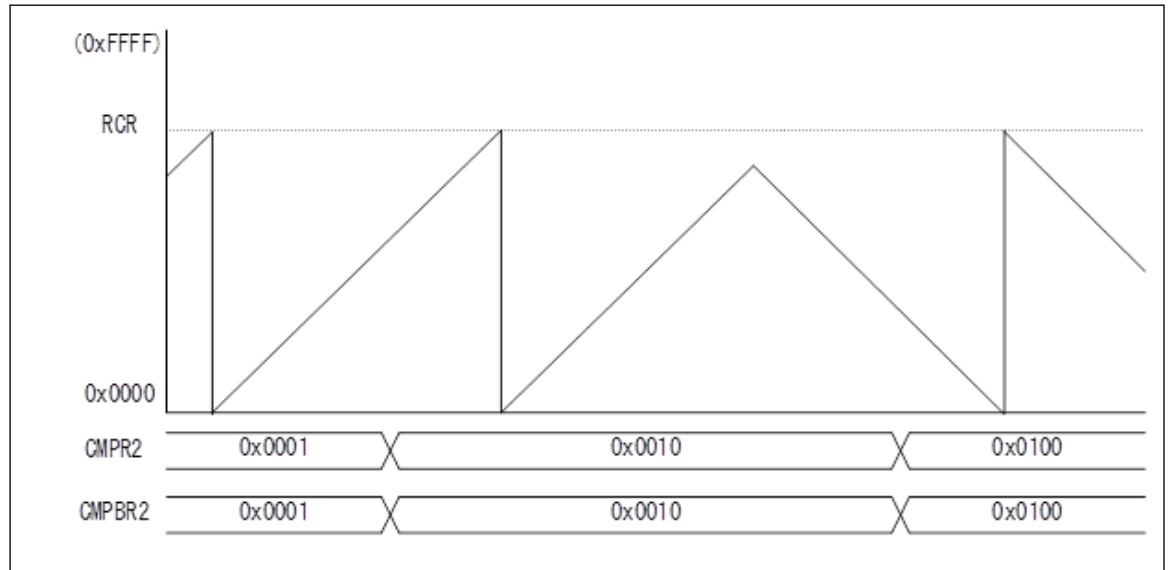
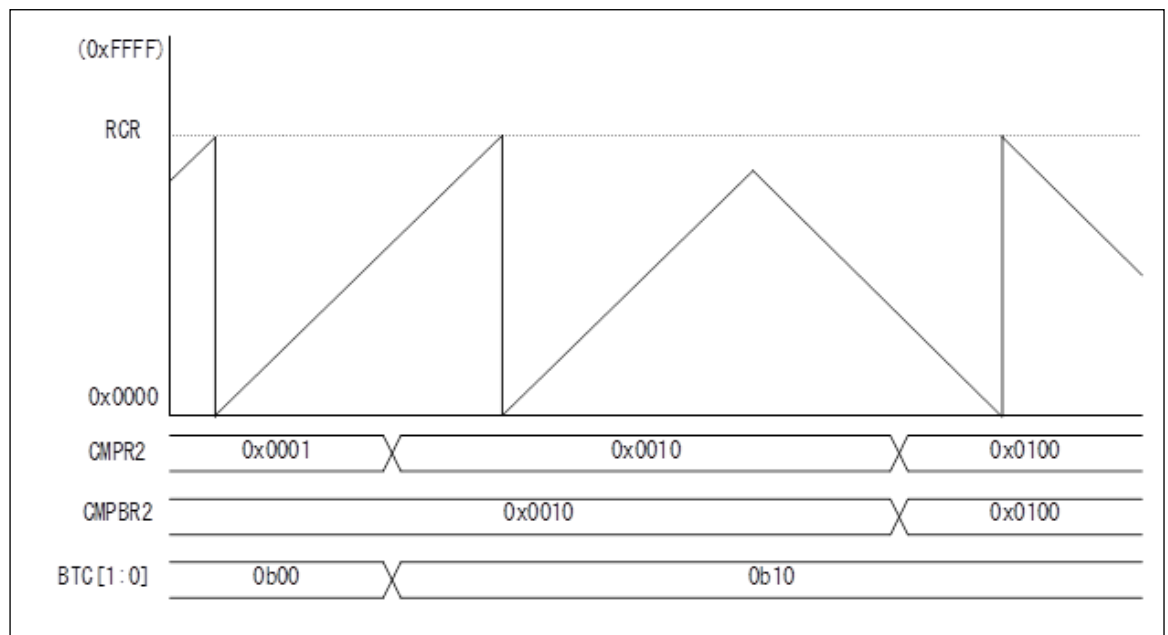


図 3-14 BTC[1:0]="0b00"から"0b10"に変更した場合の更新タイミング



(11) 8 ビット/16 ビットカウンタ動作

アップダウンカウンタは、8 ビットアップダウンカウンタ、または 16 ビットアップダウンカウンタとして使用できます。CCR レジスタの M16E ビットに"0"を書き込むことにより 8 ビットモードとなり、"1"を書き込むことにより 16 ビットモードとなります。

- 8 ビットモード (M16E="0")
アップダウンカウンタレジスタ下位 (UDCRL) のみを利用します。リロード/コンペア値は、リロードコンペアレジスタ下位 (RCRL) にバイトで書き込んでください。
- 16 ビットモード (M16E="1")
アップダウンカウンタレジスタ (UDCR) の上位バイトと下位バイトの両方を利用します。リロード/コンペア値は、リロードコンペアレジスタ (RCR) にハーフワードで書き込んでください。



(12) 割込み発生タイミング

表 3-11 カウンタコンペアレジスタの更新条件

割込みフラグ	フラグセット割込み	リロード	クリア
CDCF (カウント方向転換フラグ)	カウント方向が変わったカウント時に、セットと同時に割込み発生	-	-
CMPF (コンペア検出フラグ)	アップカウント/ダウンカウント/ リロードカウント起動時に、RCR と UDCR が一致した場合に、フラ グセットと同時に割込み発生	-	RCR と UDCR の一致を次のアップ カウントタイミングで UDCR をク リア(ダウンカウント時はクリアさ れません)
OVFF (オーバフロー検出フラグ)	カウント"0xFFFF"の次のアップカ ウントタイミングで、フラグセット と同時に割込み発生	-	カウント"0xFFFF"の次のカウント タイミングで UDCR をクリア
UDFF (アンダフロー検出フラグ)	カウント"0x0000"の次のダウンカ ウントタイミングで、フラグセット と同時に割込み発生	カウント"0x0000"の次のカウント タイミングで RCR の値を UDCR に転送	-
CMPFn(n=0~5) (比較結果一致検出フラグ)	CMPRn(n=0~5)と UDCR が一致し た場合にフラグセットと同時に割 込み発生	-	-

(8 ビットモード時のカウント値はそれぞれ"0x00", "0xFF"です)

RCR はリロード値とコンペア値を兼用しているため、リロードが実行された場合、コンペア検出フラグが必ずセットされます。

クリア機能を有効にしたダウンカウント実行時、コンペア一致が発生した後にアップカウントが行われた場合、クリアが発生します。

4. レジスタ

アップダウンカウンタのレジスタ一覧を示します。

アップダウンカウンタのレジスタにはプレフィックス(UDC16Bxx_)が付きます。xx はチャンネル番号を表します。

表 4-1 アップダウンカウンタのレジスタ一覧

レジスタ略称	レジスタ名	参照先
UDC16Bxx_UDCRH, UDC16Bxx_UDCRL	アップダウンカウントレジスタ	4.1
UDC16Bxx_RCRH, UDC16Bxx_RCRL	リロードコンペアレジスタ	4.2
UDC16Bxx_CSRL	カウンタステータスレジスタ	4.3
UDC16Bxx_CCRH, UDC16Bxx_CCRL	カウンタコントロールレジスタ	4.4
UDC16Bxx_CMPRHn, UDC16Bxx_CMPRLn (n=0~5)	カウンタコンペアレジスタ	4.5
UDC16Bxx_CMPBRHn, UDC16Bxx_CMPBRLn (n=0~5)	カウンタコンペアバッファ転送レジスタ	4.6
UDC16Bxx_CPM SKRHn, UDC16Bxx_CPM SKRLn (n=0~5)	カウンタコンペアマスクレジスタ	4.7
UDC16Bxx_CMPFR	比較結果一致検出フラグレジスタ	4.8
UDC16Bxx_CITER	比較結果一致割込み許可レジスタ	4.9
UDC16Bxx_CBTR	バッファ転送設定レジスタ	4.10
UDC16Bxx_CCSRH, UDC16Bxx_CCSRL	カウンタコントロールセットレジスタ	4.11
UDC16Bxx_CCCRH, UDC16Bxx_CCCRL	カウンタコントロールクリアレジスタ	4.12
UDC16Bxx_CSSRL	カウンタステータスセットレジスタ	4.13
UDC16Bxx_CSCRL	カウンタステータスクリアレジスタ	4.14
UDC16Bxx_CMPFCR	比較結果一致検出フラグクリアレジスタ	4.15

xx: チャンネル番号(xx=00~03)



4.1. アップダウンカウンタレジスタ(UDCR)

アップダウンカウンタレジスタ(UDCR)は、8/16 ビットカウンタレジスタです。内部回路からの入力、内部プリスケアラ、または AIN 端子、BIN 端子の入力によってアップ/ダウンカウンタを行います。16 ビットカウンタモードでは、16 ビットカウンタレジスタとして動作します。8 ビットカウンタモードでは UDCRL の値のみ有効です。16 ビットカウンタモードでは UDCRH、UDCRL の値が有効です。

(1) アップダウンカウンタレジスタ上位(UDCRH)

Bit	15	14	13	12	11	10	9	8
Field	D[15:8]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

(2) アップダウンカウンタレジスタ下位(UDCRL)

Bit	7	6	5	4	3	2	1	0
Field	D[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit15:0] D[15:0]: アップダウンカウンタ値ビット

D[15:0]は、直接書き込み動作を行うことができません。本レジスタに書き込みを行う場合は、RCR を介して行ってください。本レジスタに書き込みたい値をまず RCR に書き込み、その後 CCRL レジスタの CTUT ビットに"1"を書き込むことで RCR から本レジスタに転送されます(ソフトウェアによるリロード)。

<注意事項>

- 16 ビットカウンタモード(CCRH:M16E="1")のときは、UDCR はハーフワードで読み出してください。
- 8 ビットカウンタモード(CCRH:M16E="0")のときは、UDCRL の値のみ有効です。

4.2. リロードコンペアレジスタ(RCR)

リロードコンペアレジスタ(RCR)は、8/16 ビットリロードコンペアレジスタです。本レジスタにより、リロード値およびコンペア値を設定します。リロード値とコンペア値は同一であり、リロード機能およびコンペア機能(クリア機能付)を起動することで"0x00"～本レジスタ値の間(16 ビットカウンタモード時: "0x0000"～本レジスタ値)でアップ/ダウンカウントが可能です。8 ビットカウンタモードでは RCRL の値のみ有効です。16 ビットカウンタモードでは RCRH, RCRL の値が有効です。

(1) リロードコンペアレジスタ上位(RCRH)

Bit	15	14	13	12	11	10	9	8
Field	D[15:8]							
R/W 属性	RX,W							
保護属性	-							
初期値	00000000							

(2) リロードコンペアレジスタ下位(RCRL)

Bit	7	6	5	4	3	2	1	0
Field	D[7:0]							
R/W 属性	RX,W							
保護属性	-							
初期値	00000000							

[bit15:0] D[15:0]: リロードコンペア値ビット

D[15:0]は書き込み可能で、読出しはできません。カウント停止中に CCR レジスタの CTUT ビットに"1"を書き込むことで、本レジスタの値を UDCR に転送できます。(ソフトウェアによるリロード)

<注意事項>

- 16 ビットカウンタモード(CCRH:M16E="1") のときは、RCR にハーフワードで書き込んでください。
- 8 ビットカウンタモード(CCRH:M16E="0") のときは、RCRL にバイトで書き込んでください。



4.3. カウンタステータスレジスタ(CSRL)

カウンタステータスレジスタ(CSRL)により、アップダウンカウンタの状態の確認、および割込みの制御を行います。本レジスタへの書き込みについての詳細は、「5. 使用上の注意」を参照してください。

Bit	7	6	5	4	3	2	1	0
Field	CSTR	CITE	UDIE	CMPF	OVFF	UDFF	UDF	
R/W 属性	R/W	R/W	R/W	R,W	R,W	R,W	R,WX	
保護属性	-							
初期値	0	0	0	0	0	0	00	

[bit7] CSTR: カウント起動ビット

- UDCR のカウント動作の起動/停止を制御するビットです。
- このビットは, CSCRL レジスタの CSTRC ビットに"1"を設定することで, "0"にクリアされます。
- このビットは, CSSRL レジスタの CSTRS ビットに"1"を設定することで, "1"にセットされます。

bit	説明
0	カウント動作停止
1	カウント動作起動

[bit6] CITE: コンペア検出割込み許可ビット

- CMPF がセットされた(比較結果の一致) 場合に, CPU への割込み出力を行うかの許可/禁止を制御するビットです。
- このビットは, CSCRL レジスタの CITEC ビットに"1"を設定することで, "0"にクリアされます。
- このビットは, CSSRL レジスタの CITES ビットに"1"を設定することで, "1"にセットされます。

bit	説明
0	コンペア検出割込み禁止
1	コンペア検出割込み許可

[bit5] UDIE: オーバフロー/アンダフロー割込み許可ビット

- OVFF/UDFF がセットされた(オーバフロー/アンダフローの発生) 場合に, CPU への割込み出力の許可/禁止を制御するビットです。
- このビットは, CSCRL レジスタの UDIEC ビットに"1"を設定することで, "0"にクリアされます。
- このビットは, CSSRL レジスタの UDIES ビットに"1"を設定することで, "1"にセットされます。

bit	説明
0	オーバフロー/アンダフロー割込み禁止
1	オーバフロー/アンダフロー割込み許可

[bit4] CMPF: コンペア検出割込みフラグビット

- UDCR の値と RCR の値の比較結果が一致したことを示すフラグです。
- "0"書き込みでクリアされます。
- "1"書き込みは無視され, 本ビットの値は変化しません。
- このビットは, CSCRL レジスタの CMPFC ビットに"1"を設定することで, "0"にクリアされます。

bit	説明
0	比較結果が一致していない
1	比較結果が一致

[bit3] OVFF: オーバフロー検出割込みフラグビット

- オーバフローの発生を示すフラグです。
- "0"書込みでクリアされます。
- "1"書込みは無視され、本ビットの値は変化しません。
- このビットは、CSCRL レジスタの OVFFC ビットに"1"を設定することで、"0"にクリアされます。

bit	説明
0	オーバフローなし
1	オーバフローあり

オーバフローは、カウンタの値が"0xFFFF"(8 ビットモード時は"0xFF") のときにカウントアップしたときに発生します。

[bit2] UDF: アンダフロー検出割込みフラグビット

- アンダフローの発生を示すフラグです。
- "0"書込みでクリアされます。
- "1"書込みは無視され、本ビットの値は変化しません。
- このビットは、CSCRL レジスタの UDFC ビットに"1"を設定することで、"0"にクリアされます。

bit	説明
0	アンダフローなし
1	アンダフローあり

アンダフローは、カウンタの値が"0x0000"(8 ビットモード時は"0x00")のときに、カウントダウンしたときに発生します。

[bit1:0] UDF[1:0]: アップダウンフラグビット

- 直前のカウント動作(アップ/ダウン)を示すビットです。
- 書込みは影響しません。

bit[1:0]	説明
00	入力なし
01	ダウンカウント
10	アップカウント
11	アップ/ダウン同時発生



4.4. カウンタコントロールレジスタ(CCR)

カウンタコントロールレジスタ(CCR)は、アップダウンカウンタの動作モードを制御するレジスタです。本レジスタへの書き込みについての詳細は、「5. 使用上の注意」を参照してください。

(1) カウントコントロールレジスタ上位(CCRH)

Bit	15	14	13	12	11	10	9	8
Field	M16E	CDCF	CFIE	CLKS	CMS		CES	
R/W 属性	R/W	R,W	R/W	R/W	R/W		R/W	
保護属性	-							
初期値	0	0	0	0	00		00	

[bit15] M16E: 16 ビットモード許可設定ビット

- 8 ビット/16 ビット動作モード選択ビットです。
- このビットは, CCCRH レジスタの M16EC ビットに"1"を設定することで, "0"にクリアされます。
- このビットは, CCSRH レジスタの M16ES ビットに"1"を設定することで, "1"にセットされます。

bit	説明
0	8 ビット動作モード
1	16 ビット動作モード

[bit14] CDCF: カウント方向転換検出フラグビット

- カウント方向が変わった場合にセットされるフラグです。カウント起動中にカウント方向がアップ→ダウン, またはダウン→アップに換わった場合に"1"にセットされます。
- "0"書込みでクリアされます。
- "1"書込みは無視され, 本ビットの値は変化しません。
- このビットは, CCCRH レジスタの CDCFC ビットに"1"を設定することで, "0"にクリアされます。

bit	説明
0	方向転換は行われていない
1	方向転換が 1 回以上行われた

リセット直後のカウント方向はダウンカウント方向になっています。したがって, リセット直後のアップカウント時は CDCF に"1"がセットされます。

[bit13] CFIE: カウント方向転換割込み許可ビット

- CDCF がセットされた場合の, CPU に対しての割込み出力を制御するビットです。カウント起動中に 1 度でもカウント方向が換わった場合に割込みを発生します。
- このビットは, CCCRH レジスタの CFIEC ビットに"1"を設定することで, "0"にクリアされます。
- このビットは, CCSRH レジスタの CFIES ビットに"1"を設定することで, "1"にセットされます。

bit	説明
0	方向転換割込み禁止
1	方向転換割込み許可

[bit12] CLKS: 内蔵プリスケラ選択ビット

- タイマモード選択時に, 内蔵プリスケラの周波数を選択するビットです。
- タイマモードでのみ有効で, このときはダウンカウントのみです。
- このビットは, CCCRH レジスタの CLKSC ビットに"1"を設定することで, "0"にクリアされます。
- このビットは, CCSRH レジスタの CLKSS ビットに"1"を設定することで, "1"にセットされます。



bit	説明
0	2 周辺クロックサイクル
1	8 周辺クロックサイクル

[bit11:10] CMS[1:0]: カウントモード選択ビット
カウントモードを選択するビットです。

bit[11:10]	説明
00	タイマモード(ダウンカウント)
01	アップ/ダウンカウントモード
10	位相差カウントモード 2 通倍
11	位相差カウントモード 4 通倍

[bit9:8] CES[1:0]: カウントクロックエッジ選択ビット

- アップ/ダウンカウントモード時において、内部回路の入力、外部端子 AIN および BIN の検出エッジを選択するビットです。
- アップ/ダウンカウントモード以外では、この設定は無効です。

bit[9:8]	説明
00	エッジ検出禁止
01	立下りエッジ検出
10	立上りエッジ検出
11	立上り/立下り両エッジ検出



(2) カウントコントロールレジスタ下位(CCRL)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	CTUT	UCRE	RLDE	UDCC	CGSC	CGE	
R/W 属性	R0,W0	R0,W	R/W	R/W	R1,W	R/W	R/W	
保護属性	-							
初期値	0	0	0	0	1	0	00	

[bit7] Reserved: 予約ビット

[bit6] CTUT: カウンタライトビット

- RCR から UDCR へのデータ転送を行います。
- CTUT に"1"を書込んだとき RCR から UDCR にデータが転送されます。
- "0"書込みは無効であり、読出し値は常に"0"です。
- カウント動作中(CSRL の CSTR ビットが"1"のとき)に本ビットに"1"を書込まないでください。
- このビットは, CCSRL レジスタの CTUTS ビットに"1"を設定することで, "1"にセットされます。

[bit5] UCRE: コンペアクリア許可ビット

- コンペアによる UDCR のクリアを制御するビットです。カウンタクリア許可時に UDCR がリロードコンペアレジスタ(RCR) 値と一致したとき, 次のアップカウント時に UDCR をクリアします。
- コンペア以外の UDCR クリア機能(ZIN 端子によるものなど)には影響しません。
- このビットは, CCCRL レジスタの UCREC ビットに"1"を設定することで, "0"にクリアされます。
- このビットは, CCSRL レジスタの UCRES ビットに"1"を設定することで, "1"にセットされます。

bit	説明
0	カウンタクリア禁止
1	カウンタクリア許可

[bit4] RLDE: リロード許可ビット

- リロード機能の動作を制御するビットです。リロード機能許可時に UDCR がアンダフローを発生した場合に RCR の値を UDCR に転送します。
- このビットは, CCCRL レジスタの RLDEC ビットに"1"を設定することで, "0"にクリアされます。
- このビットは, CCSRL レジスタの RLDES ビットに"1"を設定することで, "1"にセットされます。

bit	説明
0	リロード機能禁止
1	リロード機能許可

[bit3] UDCC: カウンタクリアビット

- UDCR をクリアするビットです。このビットに"0"を書き込んだとき UDCR が"0x0000"にクリアされます。"1"書込みは無効であり、読出し値は常に"1"です。
- このビットは, CCCRL レジスタの UDCCC ビットに"1"を設定することで, "0"にクリアされます。

[bit2] CGSC: カウンタクリア/ゲート機能選択ビット

- 外部端子 ZIN の機能を選択するビットです。
 - カウンタクリア機能
ZIN 端子から有効エッジが入力されたとき, UDCR が"0x0000"にクリアされます。



- ゲート機能
ZIN 端子から有効レベルが入力される間、カウンタ動作します。
- このビットは、CCCRL レジスタの CGSCC ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、CCSRL レジスタの CGSCS ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	カウンタクリア機能
1	ゲート機能

[bit1:0] CGE[1:0]: CGSC 動作(エッジ/レベル) 選択ビット

外部端子 ZIN の検出エッジ/レベルを選択するビットです。

bit[1:0]	説明	
	カウンタクリア機能選択時(CGSC="0")	ゲート機能選択時(CGSC="1")
00	エッジ検出禁止	レベル検出禁止(カウントディセーブル)
01	立下りエッジ	"L"レベル
10	立上りエッジ	"H"レベル
11	設定禁止	設定禁止



4.5. カウンタコンペアレジスタ(CMPR0~5)

カウンタコンペアレジスタ(CMPR0~5)は、コンペア値とアップダウンカウンタのカウンタ値を比較するために使用するレジスタです。コンペア値はカウントアップ時にカウントされた値と比較する値です。

(1) カウンタコンペアレジスタ上位(CMPRH0~5)

Bit	15	14	13	12	11	10	9	8
Field	D[15:8]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

(2) カウンタコンペアレジスタ下位(CMPRL0~5)

Bit	7	6	5	4	3	2	1	0
Field	D[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit15:0] D[15:0]

<注意事項>

- 16 ビットカウンタモード(CCRH:M16E="1")のときは、CMPR0~5 はハーフワードで読み出してください。
- 8 ビットカウンタモード(CCRH:M16E="0")のときは、CMPRL 0~5 の値のみ有効です。このとき、CMPRH0~5 は CMPBRH0~5 から転送された値が読み出されます。



4.6. カウンタコンペアバッファ転送レジスタ(CMPBR0～5)

カウンタペアバッファ転送レジスタ(CMPBR0～5)は、カウンタコンペアレジスタ(CMPR0～CMPR5) 用の16ビットレジスタです。8ビットカウンタモード(CCRH:M16E="0")のときは CMPBRL0～5 のみ有効です。

(1) カウンタコンペアバッファ転送レジスタ上位(CMPBRH0～5)

Bit	15	14	13	12	11	10	9	8
Field	D[15:8]							
R/W 属性	RX,W							
保護属性	-							
初期値	00000000							

(2) カウンタコンペアバッファ転送レジスタ下位(CMPBRL0～5)

Bit	7	6	5	4	3	2	1	0
Field	D[7:0]							
R/W 属性	RX,W							
保護属性	-							
初期値	00000000							

[bit15:0] D[15:0]

<注意事項>

- 16ビットカウンタモード(CCRH:M16E="1")のときは、CMPBR0～5にハーフワードで書き込んでください。
- 8ビットカウンタモード(CCRH:M16E="0")のときは、CMPBRL0～5にバイトで書き込んでください。



4.7. カウンタコンペアマスクレジスタ(CMPMSKR0~5)

カウンタコンペアレジスタ(CMPR0~5)のコンペア値に対し、比較対象外にするかどうかをビット単位で設定するレジスタです。CMPR0~5 が CMPMSKR0~5 にそれぞれ対応しております。8 ビットカウンタモード(CCRH:M16E="0")のときは CMPMSKRL のみ有効です。

(1) カウンタコンペアマスクレジスタ上位(CMPMSKRH0~5)

Bit	15	14	13	12	11	10	9	8
Field	DM15	DM14	DM13	DM12	DM11	DM10	DM9	DM8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

(2) カウンタコンペアマスクレジスタ下位(CMPMSKRL0~5)

Bit	7	6	5	4	3	2	1	0
Field	DM7	DM6	DM5	DM4	DM3	DM2	DM1	DM0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

[bit15:0] DM15~DM0: コンペア比較マスクビット

該当するコンペアレジスタ(CMPR0~5)のコンペア値に対し、比較対象外にするかどうかをビット単位で設定します。

bit	説明
0	ビット比較しない(一致したものとして処理する)
1	ビット比較する

(設定例)

CMPR0 の下位 12 ビットをコンペア比較する場合、CMPMSKR0 に"0x0FFF"を書き込んでください。

<注意事項>

- 16 ビットカウンタモード(CCRH:M16E="1")のときは、CMPMSKR0~5 にハーフワードで書き込んでください。
- 8 ビットカウンタモード(CCRH:M16E="0")のときは、CMPMSKRL0~5 にバイトで書き込んでください。

4.8. 比較結果一致検出フラグレジスタ(CMPFR)

カウンタの値がカウンタコンペアレジスタ(CMPR0~5)に設定した値と一致したことを示します。このビットが"1"のときに CITER:CITE0~5 ビットが"1"に設定された場合、比較結果一致割込み要求が発生します。本レジスタへの書き込みについてはの詳細は、「5. 使用上の注意」を参照してください。

Bit	7	6	5	4	3	2	1	0
Field	Reserved		CMPF5	CMPF4	CMPF3	CMPF2	CMPF1	CMPF0
R/W 属性	R0,W0		R,W	R,W	R,W	R,W	R,W	R,W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit7:6] Reserved: 予約ビット

[bit5:0] CMPF5~CMPF0: 比較結果一致検出フラグビット

- カウンタの値がカウンタコンペアレジスタ(CMPR0~5)に設定した値と一致したかどうかを示します。
- "0"書き込みでクリアされます。
- "1"書き込みは無視され、本ビットの値は変化しません。
- このビットは、CMPFCR レジスタの CMPFnC(n=0~5)ビットに"1"を設定することで、"0"にクリアされます。

bit	説明
0	カウンタの値がカウンタコンペアレジスタ(CMPR0~5)に設定した値と一致していない
1	カウンタの値がカウンタコンペアレジスタ(CMPR0~5)に設定した値と一致した

(動作例)

CMPMSKR0="0xFFFF"のとき、CMPF0 はカウンタと CMPR0 が一致したときにセットされます。

<注意事項>

- CMPFn(n=0~5) クリア時に UDCR=CMPRn となっている場合、CMPFn はセットされません。
- バッファ転送時(CBTR:BTC[1:0]=0b10), CMPBRn(n=0~5)に0が設定されてCMPBRn(n=0~5)からCMPRn(n=0~5) に転送された場合、UDCR と CMPRn(n=0~5)は0 で一致しますが、そのときCMPFn(n=0~5)はセットされません。



4.9. 比較結果一致割込み許可フラグレジスタ(CITER)

カウンタの値が、カウンタコンペアレジスタ 0～5(CMPR0～5)に設定した値と一致したとき(CMPF0～5="1")に、比較一致割込み要求を発生するかどうかを設定します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved		CITE5	CITE4	CITE3	CITE2	CITE1	CITE0
R/W 属性	R0,W0		R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit7:6] Reserved: 予約ビット

[bit5:0] CITE5～CITE0: 比較結果一致割込み許可ビット

比較一致割込み要求の発生を許可/禁止します。

bit	説明
0	比較結果一致割込み要求の発生を禁止します。
1	比較結果一致割込み要求の発生を許可します。

4.10. バッファ転送設定レジスタ(CBTR)

カウンタコンペアバッファ転送レジスタ(CMPBR0~5)からカウンタコンペアレジスタ(CMPR0~5)にコンペア値の同時転送を設定するレジスタです。

Bit	7	6	5	4	3	2	1	0
Field	Reserved						BTC	
R/W 属性	R0,W0						R/W	
保護属性	-							
初期値	000000						00	

[bit7:2] Reserved: 予約ビット

[bit1:0] BTC[1:0]: バッファ転送制御ビット

- カウンタコンペアバッファ転送レジスタ(CMPBR0~5)からカウンタコンペアレジスタ(CMPR0~5)への転送を制御します。
- BTC[1:0]の関係は以下の表のとおりです。BTC[1:0]を変更した場合、即時バッファ転送タイミングは変更されます。

bit[1:0]	説明
00	CMPBR0~5 の値は CMPR0~5 に転送されません
01	オーバフローまたはRCR一致によるカウントクリアと同時に、CMPBR0~5 の値が CMPR0~5 にバッファ転送されます
10	CMPBR0~5 に書き込むと同時に、CMPR0~5 にも書込まれます。
11	BTC[1:0]=0b10 の場合と同様

<注意事項>

- BTC[1:0]=0b00 または 0b01 から、BTC[1:0]=0b10 または 0b11 へ変更した場合、変更後のクロック立上りで CMPBR0~5 の値が CMPR0~5 に書込まれます。



4.11. カウンタコントロールセットレジスタ(CCSR)

カウンタコントロールレジスタ(CCR)のビットをセットするためのレジスタです。

(1) カウンタコントロールセットレジスタ上位(CCSRH)

Bit	15	14	13	12	11	10	9	8
Field	M16ES	Reserved	CFIES	CLKSS	Reserved			
R/W 属性	R0,W	R0,W0	R0,W	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit15] M16ES: 16 ビットモード許可セットビット

- "1"が書き込まれた場合, CCR レジスタの M16E ビットをセットします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの M16E ビットに影響を与えない
1	CCR レジスタの M16E ビットをセットする

[bit14] Reserved: 予約ビット

[bit13] CFIES: カウント方向転換割込み許可セットビット

- "1"が書き込まれた場合, CCR レジスタの CFIE ビットをセットします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの CFIE ビットに影響を与えない
1	CCR レジスタの CFIE ビットをセットする

[bit12] CLKSS: 内部プリスケラ選択セットビット

- "1"が書き込まれた場合, CCR レジスタの CLKS ビットをセットします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの CLKS ビットに影響を与えない
1	CCR レジスタの CLKS ビットをセットする

[bit11:8] Reserved: 予約ビット

(2) カウンタコントロールセットレジスタ下位(CCSRL)

Bit	7	6	5	4	3	2	1	0
Field	Reserved	CTUTS	UCRES	RLDES	Reserved	CGSCS	Reserved	
R/W 属性	R0,W0	R0,W	R0,W	R0,W	R0,W0	R0,W	R0,W0	
保護属性	-							
初期値	0	0	0	0	0	0	00	

[bit7] Reserved: 予約ビット

[bit6] CTUTS: カウンタライトセットビット

- "1"が書き込まれた場合, CCR レジスタの CTUT ビットに"1"を書き込みます。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの CTUT ビットに影響を与えない
1	CCR レジスタの CTUT ビットに"1"を書き込みます

[bit5] UCRES: コンペアクリア許可セットビット

- "1"が書き込まれた場合, CCR レジスタの UCRES ビットをセットします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの UCRES ビットに影響を与えない
1	CCR レジスタの UCRES ビットをセットする

[bit4] RLDES: リロード許可セットビット

- "1"が書き込まれた場合, CCR レジスタの RLDE ビットをセットします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの RLDE ビットに影響を与えない
1	CCR レジスタの RLDE ビットをセットする

[bit3] Reserved: 予約ビット

[bit2] CGSCS: カウンタクリア/ゲート機能選択セットビット

- "1"が書き込まれた場合, CCR レジスタの CGSC ビットをセットします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの CGSC ビットに影響を与えない
1	CCR レジスタの CGSC ビットをセットする

[bit1:0] Reserved: 予約ビット



4.12. カウンタコントロールクリアレジスタ(CCCR)

カウンタコントロールレジスタ(CCR)のビットをクリアするためのレジスタです。

(1) カウンタコントロールクリアレジスタ上位(CCCRH)

Bit	15	14	13	12	11	10	9	8
Field	M16EC	CDCFC	CFIEC	CLKSC	Reserved			
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit15] M16EC: 16 ビットモード許可クリアビット

- "1"が書き込まれた場合, CCR レジスタの M16E ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの M16E ビットに影響を与えない
1	CCR レジスタの M16E ビットをクリアする

[bit14] CDCFC: カウント方向転換検出クリアビット

- "1"が書き込まれた場合, CCR レジスタの CDCF ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの CDCF ビットに影響を与えない
1	CCR レジスタの CDCF ビットをクリアする

[bit13] CFIEC: カウント方向転換割込み許可クリアビット

- "1"が書き込まれた場合, CCR レジスタの CFIE ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの CFIE ビットに影響を与えない
1	CCR レジスタの CFIE ビットをクリアする

[bit12] CLKSC: 内部プリスケール選択クリアビット

- "1"が書き込まれた場合, CCR レジスタの CLKS ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの CLKS ビットに影響を与えない
1	CCR レジスタの CLKS ビットをクリアする

[bit11:8] Reserved: 予約ビット

(2) カウンタコントロールクリアレジスタ下位(CCCRL)

Bit	7	6	5	4	3	2	1	0
Field	Reserved		UCREC	RLDEC	UDCCC	CGSCC	Reserved	
R/W 属性	R0,W0		R0,W	R0,W	R0,W	R0,W	R0,W0	
保護属性	-							
初期値	00		0	0	0	0	00	

[bit7:6] Reserved: 予約ビット

[bit5] UCREC: コンペアクリア許可クリアビット

- "1"が書き込まれた場合, CCR レジスタの UCRE ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの UCRE ビットに影響を与えない
1	CCR レジスタの UCRE ビットをクリアする

[bit4] RLDEC: リロード許可クリアビット

- "1"が書き込まれた場合, CCR レジスタの RLDE ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの RLDE ビットに影響を与えない
1	CCR レジスタの RLDE ビットをクリアする

[bit3] UDCCC: カウンタクリアクリアビット

- "1"が書き込まれた場合, CCR レジスタの UDCC ビットに"0"を書き込みます。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの UDCC ビットに影響を与えない
1	CCR レジスタの UDCC ビットに"0"を書き込みます

[bit2] CGSCC: カウンタクリア/ゲート機能選択クリアビット

- "1"が書き込まれた場合, CCR レジスタの CGSC ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CCR レジスタの CGSC ビットに影響を与えない
1	CCR レジスタの CGSC ビットをクリアする

[bit1:0] Reserved: 予約ビット



4.13. カウンタステータスセットレジスタ(CSSRL)

カウンタステータスレジスタ(CSRL)のビットをセットするためのレジスタです。

Bit	7	6	5	4	3	2	1	0
Field	CSTRS	CITES	UDIES	Reserved				
R/W 属性	R0,W	R0,W	R0,W	R0,W0				
保護属性	-							
初期値	0	0	0	00000				

[bit7] CSTRS: カウント起動セットビット

- "1"が書き込まれた場合, CSRL レジスタの CSTR ビットをセットします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CSRL レジスタの CSTR ビットに影響を与えない
1	CSRL レジスタの CSTR ビットをセットする

[bit6] CITES: コンペア検出割込み許可セットビット

- "1"が書き込まれた場合, CSRL レジスタの CITE ビットをセットします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CSRL レジスタの CITE ビットに影響を与えない
1	CSRL レジスタの CITE ビットをセットする

[bit5] UDIES: オーバフロー/アンダフロー割込み許可セットビット

- "1"が書き込まれた場合, CSRL レジスタの UDIE ビットをセットします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CSRL レジスタの UDIE ビットに影響を与えない
1	CSRL レジスタの UDIE ビットをセットする

[bit4:0] Reserved: 予約ビット

4.14. カウンタステータスクリアレジスタ(CSCRL)

カウンタステータスレジスタ(CSRL)のビットをクリアするためのレジスタです。

Bit	7	6	5	4	3	2	1	0
Field	CSTRC	CITEC	UDIEC	CMPFC	OVFFC	UDFFC	Reserved	
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W0	
保護属性	-							
初期値	0	0	0	0	0	0	00	

[bit7] CSTRC: カウント起動クリアビット

- "1"が書き込まれた場合, CSRL レジスタの CSTR ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CSRL レジスタの CSTR ビットに影響を与えない
1	CSRL レジスタの CSTR ビットをクリアする

[bit6] CITEC: コンペア検出割込み許可クリアビット

- "1"が書き込まれた場合, CSRL レジスタの CITE ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CSRL レジスタの CITE ビットに影響を与えない
1	CSRL レジスタの CITE ビットをクリアする

[bit5] UDIEC: オーバフロー/アンダフロー割込み許可クリアビット

- "1"が書き込まれた場合, CSRL レジスタの UDIE ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CSRL レジスタの UDIE ビットに影響を与えない
1	CSRL レジスタの UDIE ビットをクリアする

[bit4] CMPFC: 比較結果一致検出フラグクリアビット

- "1"が書き込まれた場合, CSRL レジスタの CMPF ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CSRL レジスタの CMPF ビットに影響を与えない
1	CSRL レジスタの CMPF ビットをクリアする

[bit3] OVFFC: オーバフロー検出フラグクリアビット

- "1"が書き込まれた場合, CSRL レジスタの OVFF ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CSRL レジスタの OVFF ビットに影響を与えない
1	CSRL レジスタの OVFF ビットをクリアする

**[bit2] UDFFC: アンダフロー検出フラグクリアビット**

- "1"が書き込まれた場合, CSRL レジスタの UDFF ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CSRL レジスタの UDFF ビットに影響を与えない
1	CSRL レジスタの UDFF ビットをクリアする

[bit1:0] Reserved: 予約ビット



4.15. 比較結果一致検出フラグクリアレジスタ(CMPFCR)

CMPFCR レジスタの CMPF5～CMPF0 をクリアするためのレジスタです。

Bit	7	6	5	4	3	2	1	0
Field	Reserved		CMPF5C	CMPF4C	CMPF3C	CMPF2C	CMPF1C	CMPF0C
R/W 属性	R0,W0		R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit7:6] Reserved: 予約ビット

[bit5:0] CMPF5C～CMPF0C: 比較結果一致検出クリアビット

- "1"が書き込まれた場合, CMPFCR レジスタの CMPF5～CMPF0 ビットをクリアします。
- 読出し時は, 常に"0"が読み出されます。

bit	説明
0	CMRFR レジスタの CMPF5～CMPF0 ビットに影響を与えない
1	CMRFR レジスタの CMPF5～CMPF0 ビットをクリアする

(設定例)

CMPFCR:CMF5 をクリアする場合は CMPF5C に"1"を書き込んでください。



5. 使用上の注意

アップダウンカウンタの使用上の注意を以下に示します。

(1) レジスタアクセス時の注意

a) カウンタステータスレジスタ(CSRL)アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、カウンタステータスクリアレジスタ(CSCRL)の該当ビットに"1"を書き込むことでクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、カウンタステータスセットレジスタ(CSSRL)の該当ビットに"1"を書き込むことでセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書き込みできます。

b) カウンタコントロールレジスタ(CCRH, CCRL)アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、カウンタコントロールクリアレジスタ(CCCRH, CCCRL)の該当ビットに"1"を書き込むことでクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、カウンタコントロールセットレジスタ(CCSRH, CCSRL)の該当ビットに"1"を書き込むことでセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書き込みできます。

c) 比較結果一致検出フラグレジスタ(CMPFR)アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、比較結果一致検出フラグクリアレジスタ(CMPFCR)の該当ビットに"1"を書き込むことでクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書き込みできます。

(2) アップダウンカウンタ動作上の注意

- リセット直後のカウント方向はダウンカウント方向になっています。したがって、リセット直後のアップカウントでは方向転換が行われたことを示す CDCF ビットに"1"がセットされます。
- アップダウンカウントレジスタ(UDCR)が FULL カウントになった場合、キャリーなしでカウントを続けます。見かけ上、アップダウンカウントレジスタがクリアされカウントを続けます。
- AIN, BIN, ZIN 端子の最小パルス幅は、『データシート』を参照してください。

CHAPTER 46: 16 ビットフリーランタイム

16 ビットフリーランタイムの機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ
5. 使用上の注意

1. 概要

16ビットフリーランタイムは、16ビットのアップカウントまたはアップダウンカウントモードをサポートしています。16ビットインプットキャプチャ、16ビットアウトプットコンペアと併せて使用でき、入力パルス幅と外部クロックサイクルを測定できます。

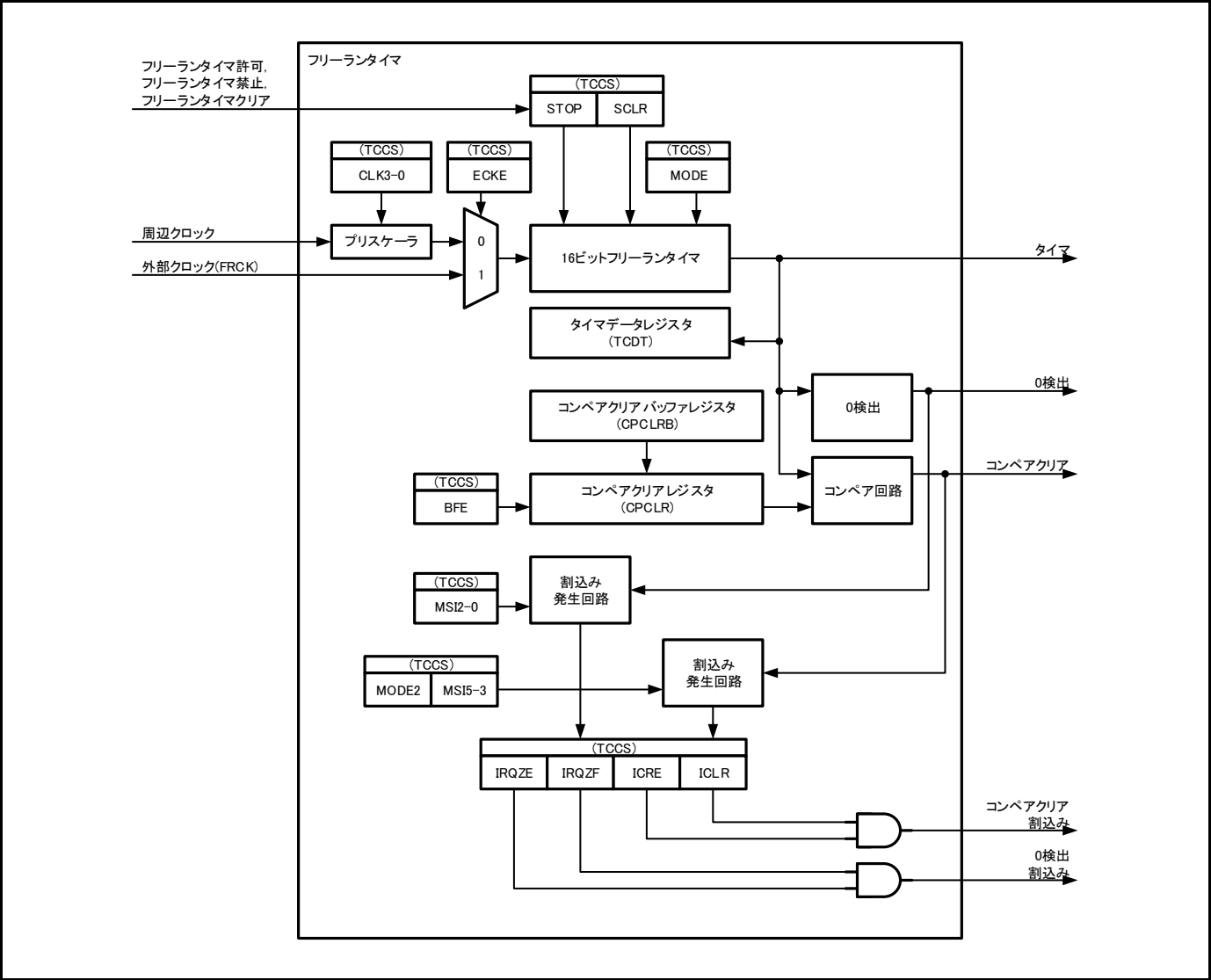
16 ビットフリーランタイムの機能

- 16ビットフリーランタイムは16ビットアップダウンカウンタ、制御レジスタ、16ビットコンペアクリアレジスタ、16ビットコンペアクリアバッファレジスタおよびプリスケアラから構成されます。
- 9種類のカウンタ動作クロック (ϕ , $\phi/2$, $\phi/4$, $\phi/8$, $\phi/16$, $\phi/32$, $\phi/64$, $\phi/128$, $\phi/256$)を選択できます (ϕ : 周辺クロック)。
- コンペアクリア割込みは、コンペアクリアレジスタと16ビットフリーランタイムが比較され、一致した場合に生成されます。0検出割込みは、16ビットフリーランタイムがカウント値"0x0000"を検出したときに生成されます。
- コンペアクリアレジスタには、選択可能なバッファレジスタがあります (このバッファレジスタに書き込まれたデータはコンペアクリアレジスタへ転送されます)。16ビットフリーランタイムが停止している場合、バッファにデータが書き込まれると転送は直ちに実行されます。16ビットフリーランタイムが動作中の場合、タイマ値"0x0000"が検出されるとバッファからデータが転送されます。
- ハードウェアリセットやソフトウェアクリア、あるいはアップカウントモードにおいてコンペアクリアレジスタとのコンペア一致が発生した場合、カウント値は "0x0000"にリセットされます。
- 16ビットフリーランタイムの出力値は、アウトプットコンペアとインプットキャプチャとA/D起動コンペアのクロックカウントとして使用できます。

2. 構成

16 ビットフリーランタイムの構成を示します。
図 2-1 に 16 ビットフリーランタイムの構成図を示します。

図 2-1 16 ビットフリーランタイムの構成図





3. 動作説明

16 ビットフリーランタイムの動作概要について説明します。

(1) 16 ビットフリーランタイムの動作

16 ビットフリーランタイムは、タイマ許可設定(TCCS:STOP) 後、タイマデータレジスタ (TCDT) に設定されている値からカウント動作を開始します。16ビットアウトプットコンペア, 16ビットインプットキャプチャがフリーランタイムに接続されている場合、そのタイマカウント値は、16ビットアウトプットコンペアと16ビットインプットキャプチャの基準時間として使用されます。

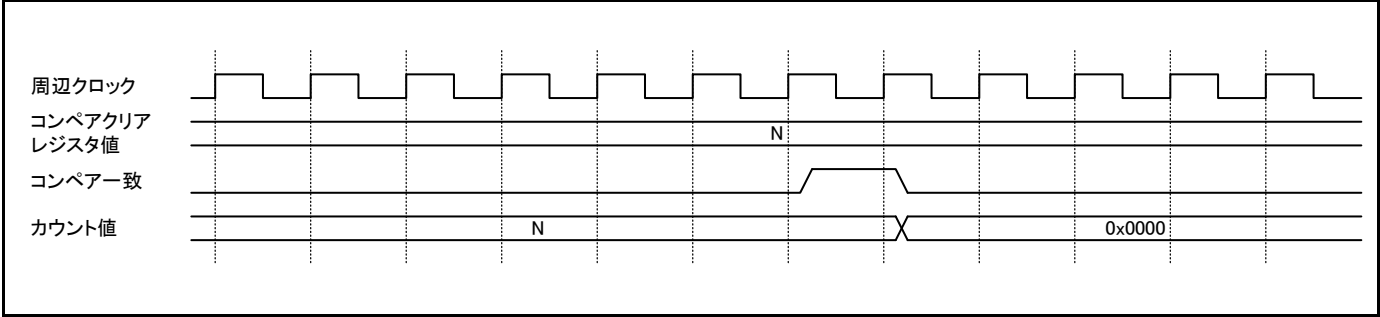
(2) カウンタクリア

16 ビットフリーランタイムのカウント値は、下記のいずれかの場合、"0x0000"にクリアされます。

- アップカウントモード(タイマ状態制御レジスタ(TCCS)のMODE="0") のとき、コンペアクリアレジスタ(CPCLR)との一致が検出された場合
- 16 ビットフリーランタイム動作中(タイマ状態制御レジスタ(TCCS)の STOP="0")に、タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)に"1"が書き込まれた場合
- 16 ビットフリーランタイム停止中(タイマ状態制御レジスタ(TCCS)の STOP="1")に、タイマデータレジスタ(TCDT)に"0x0000"が書き込まれた場合
- ハードウェアリセットされた場合(リセットされるとカウンタは直ちにクリアされます。)

タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)に"1"が書き込まれた場合、または、コンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

図 3-1 16 ビットフリーランタイムのクリアタイミング



<注意事項>

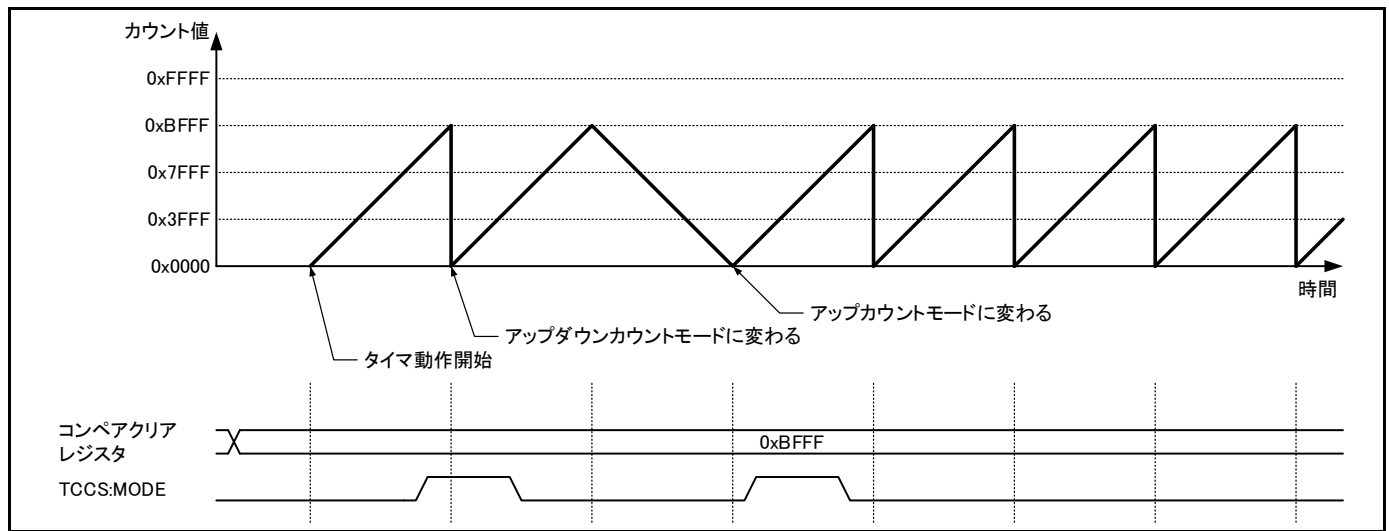
- 停止中に、タイマ状態制御レジスタ(TCCS)の タイマクリアビット(SCLR)に "1"が書き込まれても、16 ビットフリーランタイムのカウント値はクリアされません。
- アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE=1)に TCDT レジスタに "0x0000"を書き込むと、意図しないカウントを行う可能性があります。アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE=1)の TCDT レジスタの設定手順については「4.2 タイマデータレジスタ(TCDT)」を参照してください。

(3) タイマモード

- 16 ビットフリーランタイムでは、以下のどちらかのモードを選択できます。
 - アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE="0")
 - アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE="1")
- アップカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ(TCDT)からカウントを開始し、カウント値がコンペアクリアレジスタ (CPCLR) の値と一致するまでカウントアップし、カウンタは"0x0000"にクリアされて再びカウントアップします。

- － アップダウンカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ (TCDT) からカウントを開始し、カウント値がコンペアクリアレジスタ (CPCLR) の値と一致するまでカウントアップし、カウントがアップカウントからダウンカウントに変わり、カウント値が"0x0000"に達するまでカウントダウンして再びカウントアップします。
- － タイマ状態制御レジスタ(TCCS)のタイマカウントモードビット(MODE)には、タイマが動作中であっても停止していても、いつでも値を書き込むことができます。タイマ動作中にこのビットに書き込まれた値はバッファに入れられ、カウント値が"0x0000"になるとモードが変わります。

図 3-2 タイマモードの変更(タイマ動作中)



(4) コンペアクリアバッファ

コンペアクリアレジスタ (CPCLR) には、有効/無効の選択ができるバッファ機能が存在します。バッファ機能が有効 (タイマ状態制御レジスタ(TCCS)の BFE="1")の場合は、コンペアクリアバッファレジスタ (CPCLRB) に書き込まれたデータは、16ビットフリーランタイム値"0"が検出されると CPCLR レジスタに転送されます。バッファ機能が無効(タイマ状態制御レジスタ(TCCS)の BFE="0")の場合は、データはコンペアクリアレジスタ (CPCLR)に直接書き込むことができます。

図 3-3 コンペアクリアバッファが無効(タイマ状態制御レジスタ(TCCS)の BFE="0")時のアップカウントモードによる動作

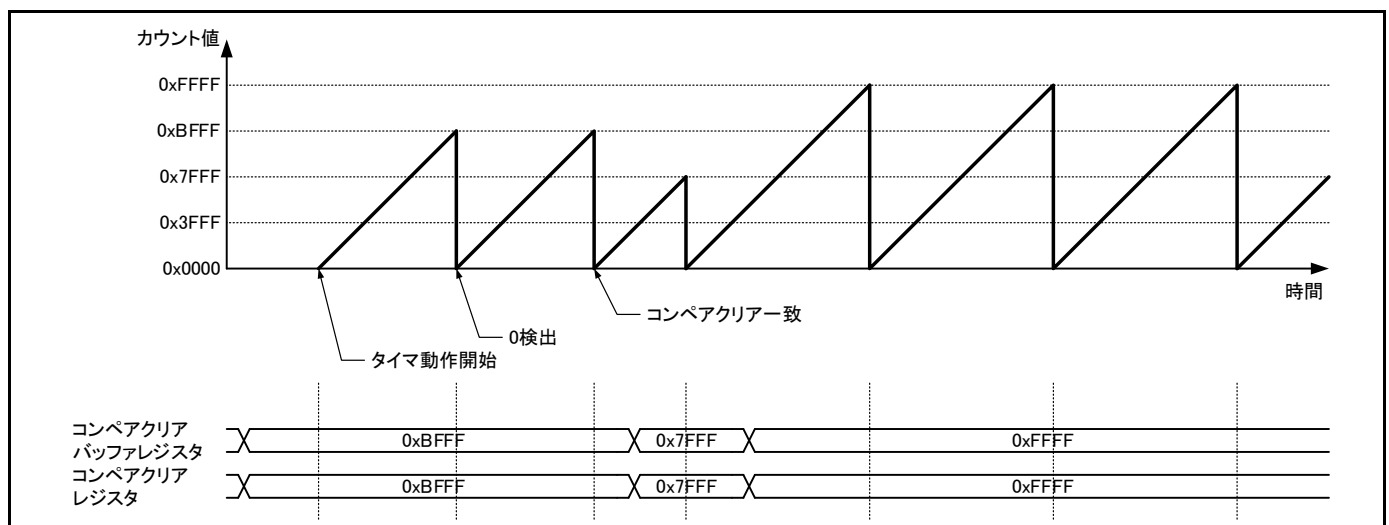




図 3-4 コンペアクリアバッファが有効(タイマ状態制御レジスタ(TCCS)の BFE="1")時のアップカウントモードによる動作

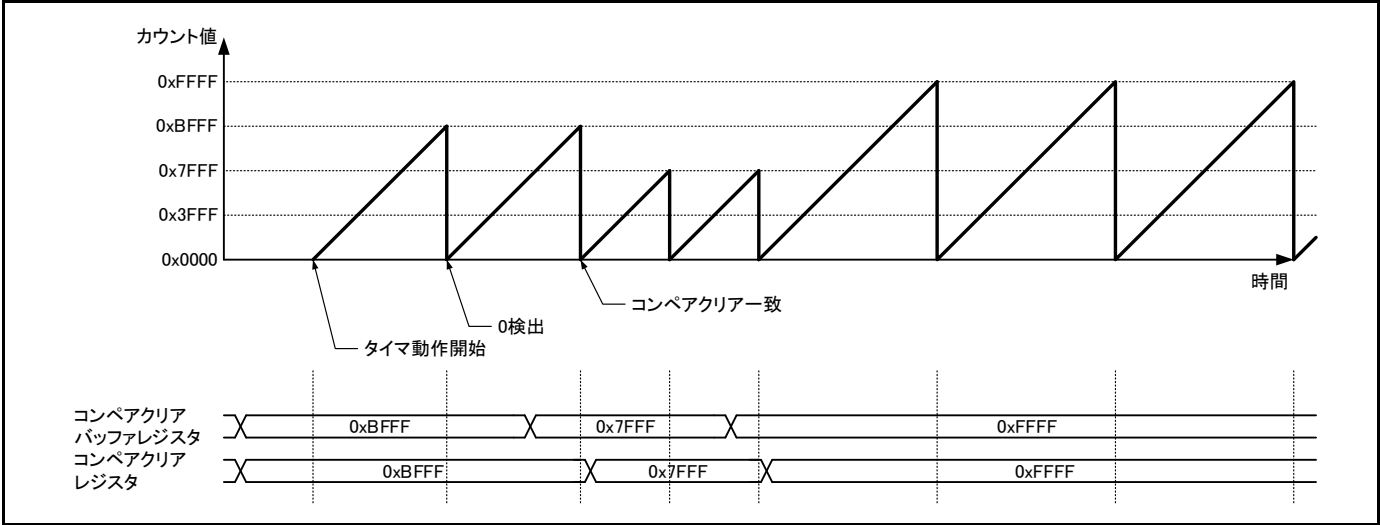
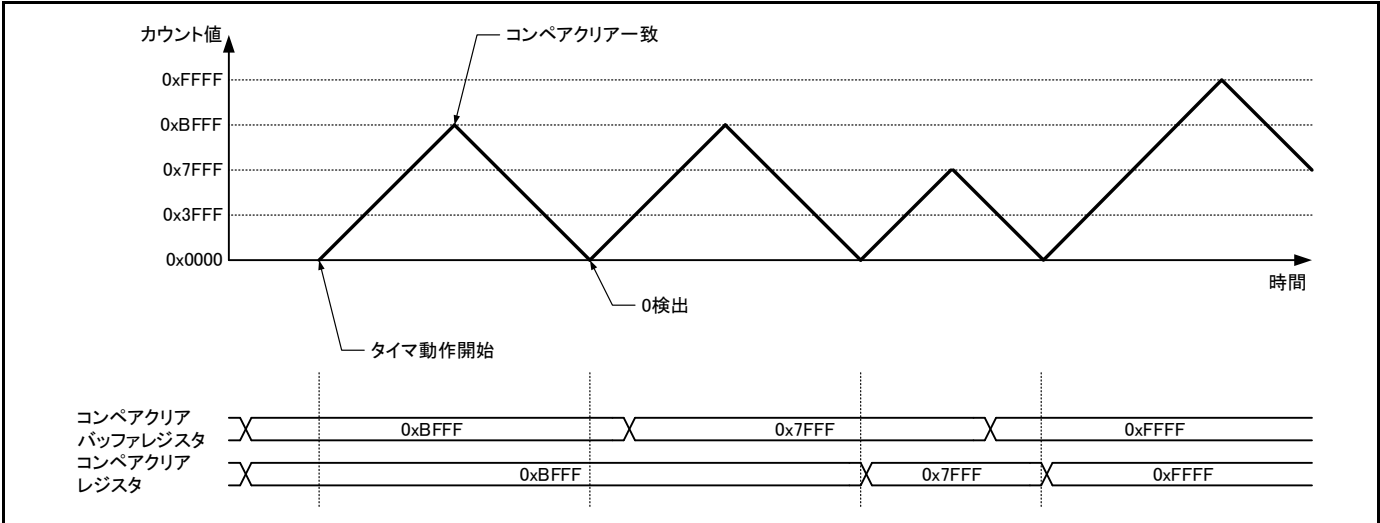


図 3-5 コンペアクリアバッファが有効(タイマ状態制御レジスタ(TCCS)の BFE="1")時のアップダウンカウントモードによる動作



(5) タイマ割込み

16 ビットフリーランタイムでは、以下の 2 つの割込みを生成できます。

- コンペアクリア割込み
- 0 検出割込み

コンペアクリア割込みは、タイマ値がコンペアクリアレジスタの値と一致した場合に生成されます。0 検出割込みは、カウント値が"0x0000"に達した場合に生成されます。

0 検出とコンペアクリア検出は、16 ビットフリーランタイムのカウントが許可されて、カウント値が現在の値から次の値に更新されてから、検出を開始します。

<注意事項>

- タイマクリア(タイマ状態制御レジスタ(TCCS)の SCLR="1")の場合は、0 検出割込みは生成しません。

図 3-6 アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE="0")において生成された割込み

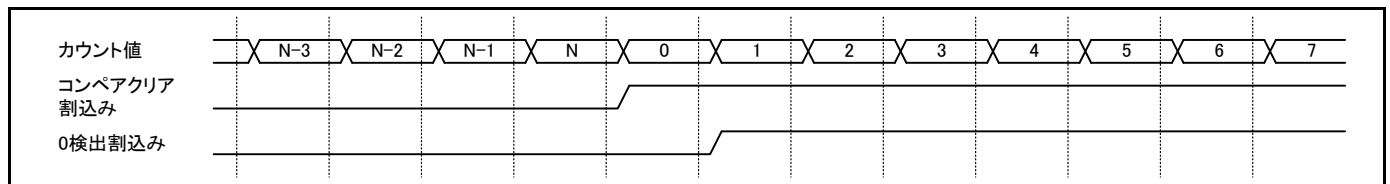
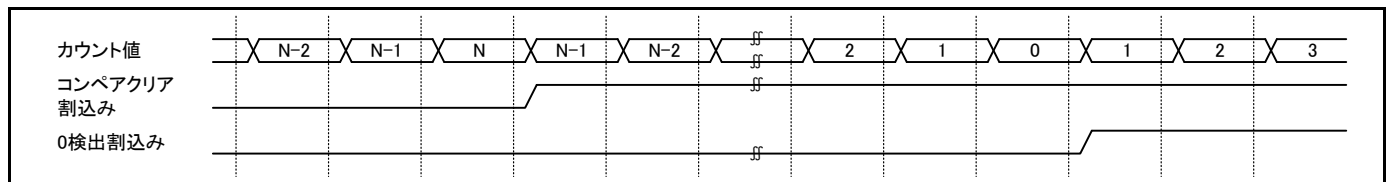


図 3-7 アップダウンカウントモード (タイマ状態制御レジスタ(TCCS)の MODE="1")において生成された割込み



(6) 割込みマスク機能

0 検出割込み、コンペアクリア割込みのどちらか、もしくは両方をマスクできます。

以下にどちらか 1 つの割込みをマスクする場合について説明します。

- タイマ状態制御レジスタ(TCCS)の 割込みマスク選択ビット(MSI2～MSI0)を設定することによって割込み要求フラグをマスクできます。割込みマスク選択ビット(MSI2～MSI0)は、マスクカウント値が "0b000"になると値をリロードする 3 ビットリロードダウンレジスタビットです。マスクカウント値は割込みマスク選択ビット(MSI2～MSI0)に直接書くことによってもロードできます。マスクカウント数は、割込みマスク選択ビット(MSI2～MSI0)に設定された値です。マスクカウント値(MSI2～MSI0)が "0b000"になると、割込み要求フラグはマスクされません。
- 割込み要求はカウントモード(タイマ状態制御レジスタ(TCCS)の MODE)によってマスク制御が異なります。アップカウントモード(MODE="0") 時は、コンペアクリア割込み要求フラグのみをマスクでき、0 検出割込みは、タイマカウンタ値"0"が検出されるたびに生成されます。アップダウンカウントモード(MODE="1") 時は、0 検出割込み要求フラグのみをマスクできます。

以下に両方の割込み要求をマスクする場合について説明します。

- フリーランタイムがアップダウンカウントモード(MODE="1") 時のみ、タイマ状態制御レジスタ(TCCS)の MODE2="1", かつタイマ状態制御レジスタ(TCCS)の MODE="1"にすることによって両方の割込みマスクができます。
- 0 検出割込みマスク用にはタイマ状態制御レジスタ(TCCS)の割込みマスク選択ビット(MSI2～MSI0)を使用します。コンペアクリア割込みマスク用にはタイマ状態制御レジスタ(TCCS)のコンペアクリア割込みマスク選択ビット(MSI5～MSI3)を使用します。

<注意事項>

- タイマクリア(タイマ状態制御レジスタ(TCCS)の SCLR="1")は、0 検出割込みを生成しません。



図 3-8 アップカウントモードにおいてマスクされるコンペアクリア割込み

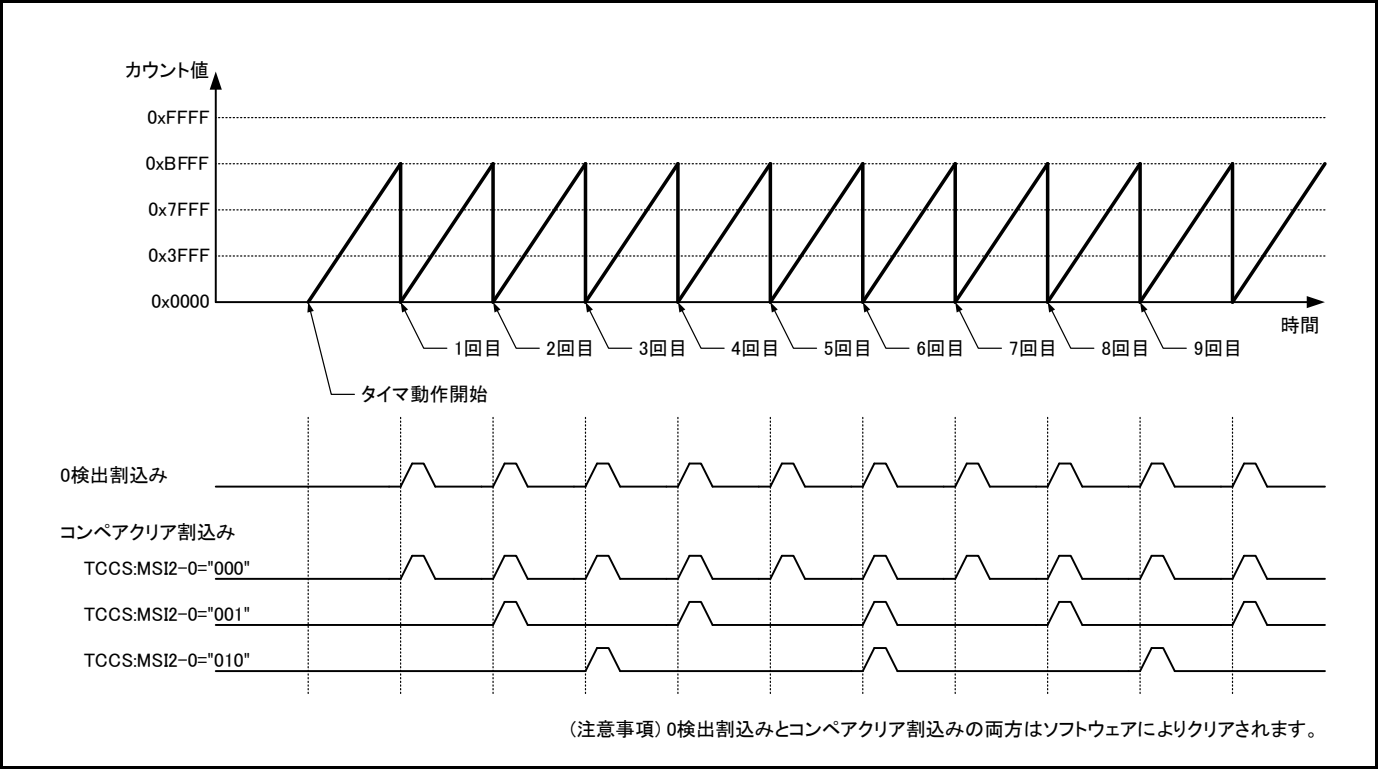


図 3-9 アップダウンカウントモードにおいてマスクされる 0 検出割込み

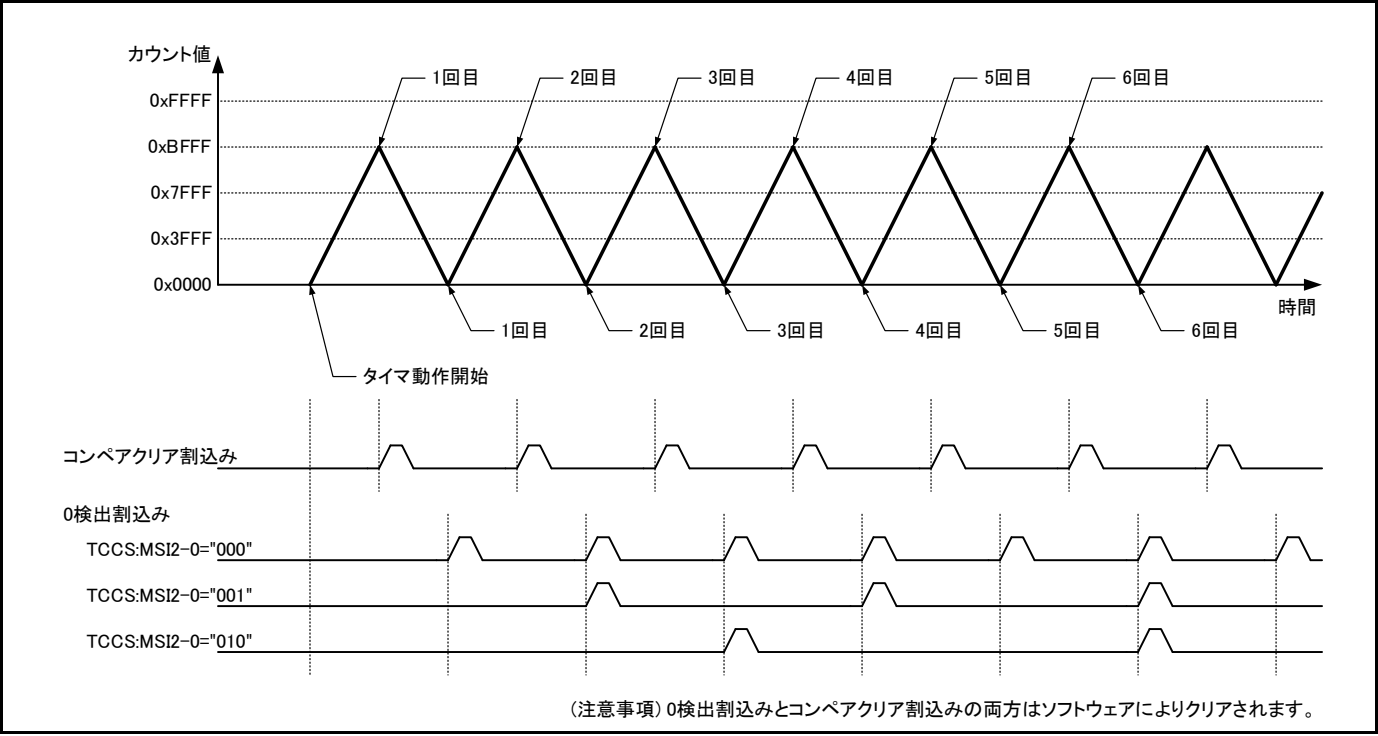
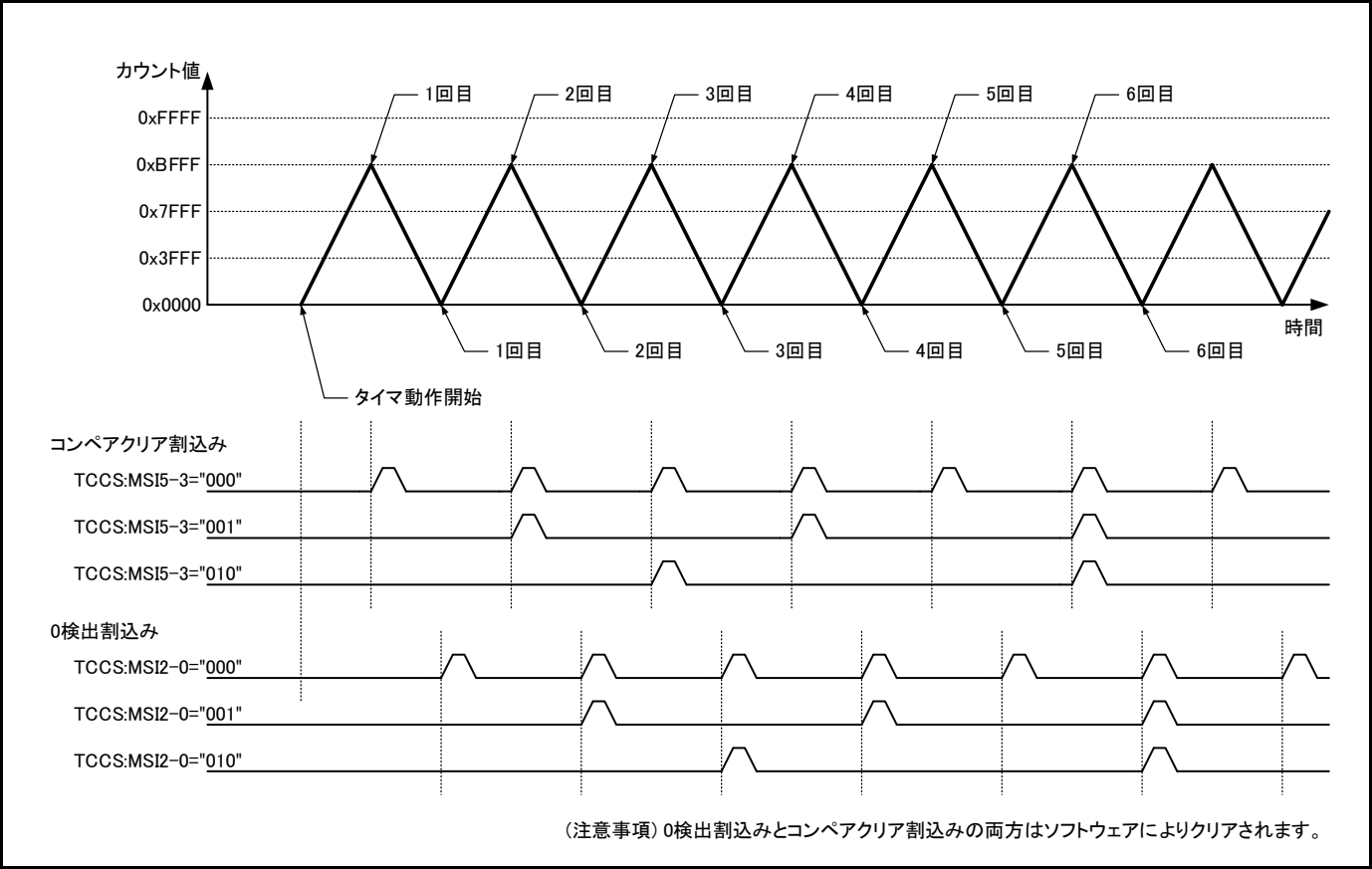


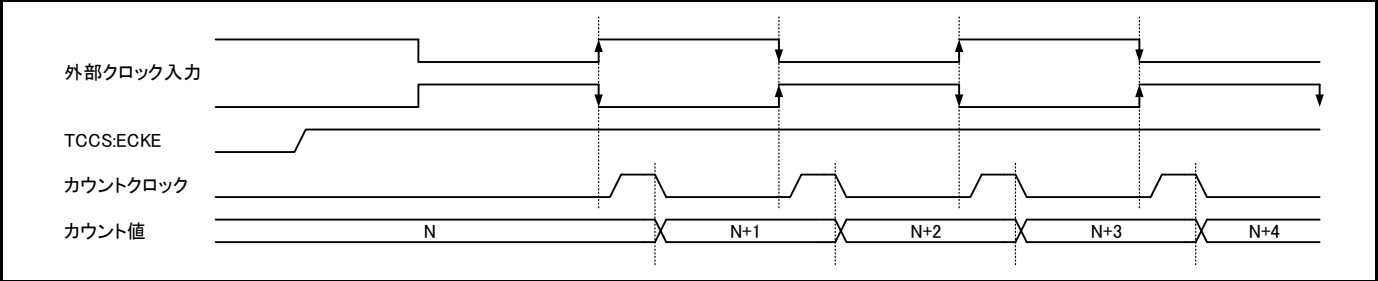
図 3-10 アップダウンカウントモードにおいてマスクされる 0 検出割込みとコンペアクリア割込み



(7) 選択された外部カウントクロック

16 ビットフリーランタイムは、入力クロック(周辺クロックまたは外部クロック) に基づいてカウントします。外部クロックモード(タイマ状態制御レジスタ(TCCS)のECKE="1") が選択されると、16ビットフリーランタイムは外部クロック入力(FRCK)の初期値が "H"の場合、外部クロック入力の立上りエッジによってカウントを開始します。その後は両エッジによってカウントします。外部クロック入力の初期値が "L"の場合、外部クロック入力の立下りエッジによってカウントを開始します。その後は両エッジによってカウントアップします。

図 3-11 16 ビットフリーランタイムのカウントタイミング(アップカウントモード時)



<注意事項>

- 外部クロック入力の場合、カウントは外部クロックの両エッジによって行います。



3.1. 16 ビットフリーランタイムの割込み

16 ビットフリーランタイムの割込みには、コンペア割込みと 0 検出割込みの 2 種類があります。

16 ビットフリーランタイム割込み

16 ビットフリーランタイムの割込み制御ビットと割込み要因を表 3-1 に示します。

表 3-1 フリーランタイムの割込み制御ビットと割込み要因

	フリーランタイム	
	コンペアクリア	0 検出
割込み要求フラグビット	タイマ状態制御レジスタ(TCCS)の コンペアクリア割込みフラグビット(ICLR)	タイマ状態制御レジスタ(TCCS)の 0 検出割込みフラグビット(IRQZF)
割込み要求許可ビット	タイマ状態制御レジスタ(TCCS)の コンペアクリア割込み要求許可ビット(ICRE)	タイマ状態制御レジスタ(TCCS)の 0 検出割込み要求許可ビット(IRQZE)
割込み要因	フリーランタイム値がコンペアクリアレジ スタ(CPCLR)値 と一致する	フリーランタイム値が"0x0000 "になる

16 ビットフリーランタイムの値がコンペアクリアレジスタ(CPCLR)と一致した場合、タイマ状態制御レジスタ (TCCS)のコンペアクリア割込みフラグ(ICLR)に"1"がセットされます。この状態において割込み要求が許可(タイマ状態制御レジスタ(TCCS)の ICRE="1") に設定されると、割込み要求が割込みコントローラへ出力されます。

フリーランタイムの値が "0x0000"になると、タイマ状態制御レジスタ(TCCS)の 0 検出割込みフラグ(IRQZF)に"1"がセットされます。この状態において割込み要求が許可(タイマ状態制御レジスタ(TCCS)の IRQZE="1") に設定されると、割込み要求が割込みコントローラへ出力されます。



4. レジスタ

16 ビットフリーランタイムのレジスタ一覧を示します。

16 ビットフリーランタイムのレジスタにはプレフィックス「FRT16Bxx_」が付きます。xx はチャネル番号と対応しています。

表 4-1 16 ビットフリーランタイムのレジスタ一覧

レジスタ略称	レジスタ名	参照先
FRT16Bxx_CPCLRB/ FRT16Bxx_CPCLR	コンペアクリアバッファレジスタ/ コンペアクリアレジスタ	4.1
FRT16Bxx_TCDT	タイマデータレジスタ	4.2
FRT16Bxx_TCCS	タイマ状態制御レジスタ	4.3
FRT16Bxx_TCCSC	タイマ状態クリアレジスタ	4.4
FRT16Bxx_TCCSS	タイマ状態セットレジスタ	4.5

xx:チャネル番号(xx=00～19)



4.1. コンペアクリアバッファレジスタ(CPCLRB)/コンペアクリアレジスタ(CPCLR)

コンペアクリアバッファレジスタ(CPCLRB)は、コンペアクリアレジスタ(CPCLR)のバッファレジスタです。
両レジスタは同じアドレスに存在します。

(1) コンペアクリアバッファレジスタ(CPCLRB)

Bit	31-16
Field	CL
R/W 属性	W
保護属性	-
初期値	11111111_11111111

[bit31:16] CL[15:0]: コンペアクリア値バッファビット

- コンペアクリアバッファレジスタ(CPCLRB)は、コンペアクリアレジスタ(CPCLR)と同じアドレスに存在するバッファレジスタです。
- バッファ機能を無効(タイマ状態制御レジスタ(TCCS)の BFE="0")にした場合または 16 ビットフリーランタイムが停止した場合、コンペアクリアバッファレジスタ(CPCLRB)の値は直ちにコンペアクリアレジスタ(CPCLR)へ転送されます。
- バッファ機能を有効(タイマ状態制御レジスタ(TCCS)の BFE="1")にした場合、16 ビットフリーランタイムのカウント値"0"が検出されたときに、コンペアクリアバッファレジスタ(CPCLRB)の値がコンペアクリアレジスタ(CPCLR)へ転送されます。

<注意事項>

- コンペアクリアバッファレジスタ(CPCLRB)には、"0x0000"を設定してはいけません。
- このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令を使用してください。

(2) コンペアクリアレジスタ(CPCLR)

Bit	31-16
Field	CL
R/W 属性	R
保護属性	-
初期値	11111111_11111111

[bit31:16] CL[15:0]: コンペアクリア値ビット

- コンペアクリアレジスタ(CPCLR)は、16 ビットフリーランタイムのカウンタ値と比較するために使用します。
- アップカウントモード(タイマ状態制御レジスタ(TCCS)のMODE="0") 時は、このレジスタ値が16ビットフリーランタイムのカウンタ値と一致した場合、16ビットフリーランタイムのカウンタ値は"0x0000"にリセットされます。
- アップダウンカウントモード(タイマ状態制御レジスタ(TCCS)のMODE="1") 時は、コンペアクリアレジスタ(CPCLR) 値と 16 ビットフリーランタイムのカウンタ値が一致した場合、フリーランタイムはアップカウントからダウンカウントに変わります。また、0検出時にはダウンカウントからアップカウントに変わります。

<注意事項>

- このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令を使用してください。



4.2. タイマデータレジスタ(TCDT)

タイマデータレジスタ(TCDT)は、フリーランタイムのカウント値を読み出します。また、フリーランタイムのカウント値を設定できます。

Bit	15-0
Field	T
R/W 属性	R/W
保護属性	-
初期値	00000000_00000000

[bit15:0] T[15:0]: タイマデータ値ビット

- タイマデータレジスタ(TCDT)は、フリーランタイムのカウント値を読み出すために使用します。
- カウント値はこのレジスタへ値を書き込むことによって設定できます。ただし、値の書き込みはフリーランタイムの停止中(タイマ状態制御レジスタ(TCCS)の STOP="1")でなければなりません。
- 16 ビットフリーランタイムのカウント値は、下記のいずれかの場合、"0x0000"にクリアされます。
 - ハードウェアリセットされた場合(リセットされるとカウンタは直ちにクリアされます。)
 - 16 ビットフリーランタイム動作中(タイマ状態制御レジスタ(TCCS)の STOP="0")に、タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)に"1"が書き込まれた場合
 - アップカウントモード(タイマ状態制御レジスタ(TCCS)の MODE="0")時におけるコンペアクリアレジスタ(CPCLR)とタイマカウント値の一致
 - 16 ビットフリーランタイム停止中(タイマ状態制御レジスタ(TCCS)の STOP="1")に、タイマデータレジスタ(TCDT)に"0x0000"が書き込まれた場合
- タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)に"1"が書き込まれた場合、または、コンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

<注意事項>

- フリーランタイム停止中(タイマ状態制御レジスタ(TCCS)の STOP="1")に、タイマ状態制御レジスタ(TCCS)のタイマクリアビット(SCLR)を"1"に設定しても、フリーランタイムは"0x0000"にクリアされません。
- このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令を使用してください。
- アップダウンカウントモード中(タイマ状態制御レジスタ(TCCS)の MODE=1)にカウント値を書き込むと、意図しないカウントを行う可能性があります。アップダウンモード中(タイマ状態制御レジスタ(TCCS)の MODE=1)にカウント値を書き込む場合、次の手順で書き込んでください。
 1. 16 ビットフリーランタイムのカウントを停止する(タイマ状態制御レジスタ(TCCS)の STOP への"1"書き込み)。
 2. タイマデータレジスタにカウント値を設定する。
 3. ソフトウェアクリアを行う(タイマ状態制御レジスタ(TCCS)の SCLR への"1"書き込み)。
 4. 16 ビットフリーランタイムのカウントを開始する。

4.3. タイマ状態制御レジスタ(TCCS)

タイマ状態制御レジスタ(TCCS)は、フリーランタイムの動作を制御するために使用するレジスタです。本レジスタへの書き込みについての詳細は、「5. 使用上の注意」を参照してください。

Bit	31	30	29	28	27	26	25	24
Field	ECKE	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE
R/W 属性	R/W	R,W	R/W	R,W	R,W	R,W	R,W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	BFE	STOP	MODE	SCLR	CLK			
R/W 属性	R/W	R,W	R/W	R0,W	R/W			
保護属性	-							
初期値	0	1	0	0	0000			

Bit	15	14	13	12	11	10	9	8
Field	Reserved				MODE2	MSI5	MSI4	MSI3
R/W 属性	R0,W0				R/W	R,W	R,W	R,W
保護属性	-							
初期値	0000				0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R1,W1							
保護属性	-							
初期値	11111111							

[bit31] ECKE: クロック選択ビット

- このビットは 16 ビットフリーランタイムのカウントクロックとして周辺クロックまたは外部クロックを選択します。
- このビットに"0"を設定した場合、周辺クロックが選択されます。カウントクロック周波数を選択するためには、クロック周波数選択ビット(CLK[3:0])も選択しなければなりません。
- このビットに"1"を設定した場合、外部クロックが選択され、外部クロック(FRCK)端子からクロック入力されます。
- このビットは、TCCSC レジスタの ECKEC ビットに"1"を設定することによって、"0"にクリアされます。
- このビットは、TCCSS レジスタの ECKES ビットに"1"を設定することによって、"1"にセットされます。

bit	説明
0	周辺クロック
1	外部クロック

<注意事項>

- カウントクロックは、このビットが変更されると直ちに変更されます。したがって 16 ビットフリーランタイムをアウトプットコンペア、インプットキャプチャと接続している場合、アウトプットコンペア、インプットキャプチャが停止しているときに本ビットを変更してください。



[bit30] IRQZF: 0 検出割込みフラグビット

- 16 ビットフリーランタイムのカウント値が"0x0000"のとき、このビットに"1"がセットされます。
- このビットに"0"を書込んだ場合、このビットは"0"にクリアされます。
- このビットに"1"を書込んだ場合、このビットは影響を受けません。
- このビットは、TCCSC レジスタの IRQZFC ビットに"1"を設定することによって"0"にクリアされます。

bit	説明	
	読出し時	書込み時
0	ゼロは検出されない	このビットをクリアする
1	ゼロが検出される	このビットに影響を与えない

<注意事項>

- フリーランタイム動作中(タイマ許可ビット STOP="0")の、タイマクリア(SCLR への"1"書込み)の場合は、このビットは"1"にセットされません。
- アップダウンカウントモード(MODE="1") 時は、割込みマスク選択ビット(MSI2～MSI0 が"0b000"以外)によって設定した割込みが発生したときにこのビットに"1"がセットされます。割込みが発生しないときは、このビットに"1"はセットされません。
- アップカウントモード(MODE="0") 時は、割込みマスク選択ビット(MSI2～MSI0)の値とは無関係にこのビットは 0 検出が発生するたびに"1"がセットされます。

[bit29] IRQZE: 0 検出割込み要求許可ビット

- このビットに"1"を設定し、0 検出割込みフラグビット(IRQZF)が"1"にセットされると、CPU に対する割込み要求が生成されます。
- このビットは、TCCSC レジスタの IRQZEC ビットに"1"を設定することによって、"0"にクリアされます。
- このビットは、TCCSS レジスタの IRQZES ビットに"1"を設定することによって、"1"にセットされます。

bit	説明
0	割込み要求を禁止する
1	割込み要求を許可する

[bit28:26] MSI2～MSI0: 割込みマスク選択ビット

- タイマ状態制御レジスタ(TCCS)の MODE2="0"のとき
 - これらのビットは、アップカウントモード(MODE="0")のときは、コンペアクリア割込みフラグのマスク回数を設定するために使用します。アップダウンカウントモードビット(MODE="1")のときは、0 検出割込みフラグのマスク回数を設定するために使用します。
 - このビットに"0b000"を設定した場合、割込みフラグはマスクされません。
- タイマ状態制御レジスタ(TCCS)の MODE2="1"のとき
 - これらのビットは、アップダウンカウントモード(MODE="1")のときは、0 検出割込みフラグのマスク回数を設定するために使用します。
 - アップカウントモード(MODE="0") 時の設定は禁止します。

bit[28:26]			説明
MSI2	MSI1	MSI0	
0	0	0	1 回目の一致が発生したとき割込みフラグ生成
0	0	1	2 回目の一致が発生したとき割込みフラグ生成
0	1	0	3 回目の一致が発生したとき割込みフラグ生成
0	1	1	4 回目の一致が発生したとき割込みフラグ生成
1	0	0	5 回目の一致が発生したとき割込みフラグ生成
1	0	1	6 回目の一致が発生したとき割込みフラグ生成
1	1	0	7 回目の一致が発生したとき割込みフラグ生成
1	1	1	8 回目の一致が発生したとき割込みフラグ生成

<注意事項>

- 読出し値はマスクカウンタ値です。
- 書き込み時の書き込みデータは、マスクレジスタへ書き込まれます。
- フリーランタイム動作中(タイマ許可ビットSTOP="0")のときは、マスクレジスタへの書き込み値は、マスクカウンタが0になったときのみ、カウンタへリロードされます。
- フリーランタイム停止中(タイマ許可ビットSTOP="1")のときは、マスクレジスタへの書き込み値は、直ちにマスクカウンタへリロードされます。

[bit25] ICLR: コンペアクリア割込みフラグビット

- コンペアクリアレジスタ(CPCLR) 値とフリーランタイム値が一致した場合、"1"にセットされます。
- このビットに"0"を書込んだ場合、このビットは"0"にクリアされます。
- このビットに"1"を書込んだ場合、このビットは影響を受けません。
- このビットは、TCCSC レジスタの ICLRC ビットに"1"を設定することによって"0"にクリアされます。

bit	説明	
	読出し時	書き込み時
0	コンペアクリア一致なし	このビットをクリアする
1	コンペアクリア一致あり	このビットに影響を与えない

<注意事項>

- アップカウントモード(MODE="0")のときは、割込みマスク選択ビット(MSI2～MSI0)によって設定した割込みフラグが発生したときにこのビットに"1"がセットされます。割込みが発生しないときは、このビットに"1"はセットされません。
- アップダウンカウントモード(MODE="1") 時は、割込みマスク選択ビット(MSI2～MSI0)の値とは無関係に、このビットはコンペアクリアが発生するたびに"1"にセットされます。

[bit24] ICRE: コンペアクリア割込み要求許可ビット

- このビットに"1"を設定し、コンペアクリア割込みフラグビット(ICLR)が"1"にセットされると、CPU に対する割込み要求が生成されます。
- このビットは、TCCSC レジスタの ICREC ビットに"1"を設定することによって、"0"にクリアされます。
- このビットは、TCCSS レジスタの ICRES ビットに"1"を設定することによって、"1"にセットされます。

bit	説明
0	割込み要求を禁止する
1	割込み要求を許可する

[bit23] BFE: コンペアクリアバッファ許可ビット

- このビットはコンペアクリアバッファレジスタ (CPCLRB)を有効にするために使用します。
- このビットに"0"を設定した場合：
コンペアクリアバッファレジスタ (CPCLRB)は無効になります。したがって、コンペアクリアレジスタ (CPCLR) に直接書き込むことが可能です。
- このビットに"1"を設定した場合：
コンペアクリアバッファレジスタ (CPCLRB)は有効になります。コンペアクリアバッファレジスタ (CPCLRB)に書き込まれて保持されていたデータは、16 ビットフリーランタイムのカウント値"0"が検出されると、コンペアクリアレジスタ(CPCLR)へ転送されます。
- このビットは、TCCSC レジスタの BFEC ビットに"1"を設定することによって、"0"にクリアされます。
- このビットは、TCCSS レジスタの BFES ビットに"1"を設定することによって、"1"にセットされます。

bit	説明
0	コンペアクリアバッファを無効にする
1	コンペアクリアバッファを有効にする



[bit22] STOP: タイマ許可ビット

- このビットはフリーランタイムのカウンタを停止/開始するために使用します。
- このビットに "0"を設定した場合：
フリーランタイムのカウンタを開始します。
- このビットに "1"を設定した場合：
フリーランタイムのカウンタを停止します。
- フリーランタイム停止中(本ビット="1")に、タイマクリアビット(SCLR)に"1"を設定してもフリーランタイムは初期化されません。
- このビットは、タイマ同時起動許可レジスタ(TCGSE)の FRT ビットが"1"のときに、タイマ同時起動レジスタ(TCGS)の GSTOP ビットに指定した値が反映されます。タイマ同時起動許可レジスタ(TCGSE) およびタイマ同時起動レジスタ(TCGS)については『フリーランタイムセクタ・同時起動』の章を参照してください。
- このビットは、TCCSC レジスタの STOPC ビットに"1"を設定することによって、"0"にクリアされます。
- このビットは、TCCSS レジスタの STOPS ビットに"1"を設定することによって、"1"にセットされます。

bit	説明
0	カウンタを許可する(カウンタ開始する)
1	カウンタを禁止する(カウンタ停止する)

[bit21] MODE: タイマカウンタモードビット

- このビットは、フリーランタイムのカウンタモードを選択するために使用します。
- このビットに "0"を設定した場合：
アップカウンタモードが選択されます。タイマは、カウンタ値がコンペアクリアレジスタ(CPCLR)と一致して"0x0000"にリセットされるまでカウンタアップし、その後、再びカウンタアップします。
- このビットに"1"を設定した場合：
アップダウンカウンタモードが選択されます。タイマは、カウンタ値がコンペアクリアレジスタ(CPCLR)と一致するまでカウンタアップし、その後、ダウンカウンタに変わります。カウンタ値が"0x0000"になると再びアップカウンタに変わります。
- このビットは、タイマが動作中(タイマ許可ビット STOP="0")の状態であっても停止(STOP="1")していても書き込みが可能です。タイマが動作中の場合は、このビットに書き込まれた値はバッファに入れられ、その後、タイマ値が"0x0000"になるとバッファの値によりカウンタモードがセットされます。
- このビットは、TCCSC レジスタの MODEC ビットに"1"を設定することによって、"0"にクリアされます。
- このビットは、TCCSS レジスタの MODES ビットに"1"を設定することによって、"1"にセットされます。

bit	説明
0	アップカウンタモード
1	アップダウンカウンタモード

[bit20] SCLR: タイマクリアビット

- このビットは、16 ビットフリーランタイムの初期化に使用します。
- 16 ビットフリーランタイム値の初期化：
16ビットフリーランタイム動作中(タイマ許可ビット STOP="0")に、このビットに"1"を設定した場合、16 ビットフリーランタイムは、次のカウンタクロックによって"0x0000"に初期化されます。16 ビットフリーランタイム停止中(タイマ許可ビット STOP="1")に、このビットに"1"を設定した場合、16 ビットフリーランタイムは初期化されません。
- 16 ビットフリーランタイムのカウンタ方向の初期化：
 - 16 ビットフリーランタイム動作中(タイマ許可ビット STOP="0")にこのビットに"1"を設定した場合、初期化後、アップカウンタ方向にカウンタ動作を行います。
 - 16 ビットフリーランタイム停止中(タイマ許可ビット STOP="1")にこのビットに"1"を設定し、16 ビットフリーランタイムを再び動作(タイマ許可ビット STOP="0")させた場合、16 ビットフリーランタイムは常にアップカウンタから動作を開始します。

- 16ビットフリーランタイムがダウンカウント中に動作を停止(タイマ許可ビット STOP="1")し、このビットに "1"を設定した後、16ビットフリーランタイムを再び動作(タイマ許可ビット STOP="1")させた場合でも、16ビットフリーランタイムはアップカウントから動作を開始します。
- なお、タイマカウントモードビット(MODE)の設定は変更されません。本カウント方向の初期化動作は16ビットフリーランタイムの動作中および停止中にかかわらず行います。
- 読出し値は、必ず"0"です。
- このビットは、タイマ同時起動許可レジスタ(TCGSE)の FRT ビットが"1"のときに、タイマ同時起動レジスタ(TCGS)の GSCLR ビットに指定した値が反映されます。タイマ同時起動許可レジスタ(TCGSE)およびタイマ同時起動レジスタ(TCGS)については『フリーランタイムセクタ・同時起動』の章を参照してください。
- このビットは、TCCSS レジスタの SCLRS ビットに"1"を設定することによって、"1"にセットされます。

bit	説明	
	読出し時	書込み時
0	常に"0"を読み出します	カウンタを初期化しません
1		カウンタを"0x0000"に初期化

<注意事項>

- このビットに"1"を設定しても、0 検出割込みは生成されません。
- "1"を設定した後、次のカウントクロックの前に"0"を書き込むとタイマクリアは行われません。
- アップダウンカウントモードにおいて、ダウンカウント中に SCLR"1"書込み後、タイマカウントの更新タイミング以前に SCLR"0"書込みを実施した場合、カウント値は更新されずにアップカウントに変化します。

[bit19:16] CLK[3:0]: クロック周波数選択ビット

- このビットは、16ビットフリーランタイムのカウントクロック周波数を選択するために使用します。
- クロック周波数は、これらのビットが設定されると直に変更されます。

bit[19:16]	説明					
	カウント クロック	$\phi=40\text{MHz}$	$\phi=20\text{MHz}$	$\phi=10\text{MHz}$	$\phi=5\text{MHz}$	$\phi=2.5\text{MHz}$
0000	ϕ	25ns	50ns	100ns	200ns	400ns
0001	$\phi/2$	50ns	100ns	200ns	400ns	800ns
0010	$\phi/4$	100ns	200ns	400ns	800ns	1.6 μs
0011	$\phi/8$	200ns	400ns	800ns	1.6 μs	3.2 μs
0100	$\phi/16$	400ns	800ns	1.6 μs	3.2 μs	6.4 μs
0101	$\phi/32$	800ns	1.6 μs	3.2 μs	6.4 μs	12.8 μs
0110	$\phi/64$	1.6 μs	3.2 μs	6.4 μs	12.8 μs	25.6 μs
0111	$\phi/128$	3.2 μs	6.4 μs	12.8 μs	25.6 μs	51.2 μs
1000	$\phi/256$	6.4 μs	12.8 μs	25.6 μs	51.2 μs	102.4 μs
その他の設定は禁止	-	-	-	-	-	-

ϕ : 周辺クロック

[bit15:12] Reserved: 予約ビット

[bit11] MODE2: 割込みマスクモードビット 2

- 16ビットフリーランタイムがアップダウンモード(タイマ状態制御レジスタ(TCCS)の MODE="1")のとき、検出割込みとコンペアクリア割込みを、それぞれ独立してマスクするために使用します。



- 16 ビットフリーランタイムがアップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE ="1")のとき、このビットに"1"を設定した場合、本レジスタのコンペアクリア割込みマスク選択(MSI5～MSI3)に設定した値が有効となり、コンペアクリア割込みフラグを設定した回数マスクします。0 検出割込みフラグのマスク回数は、タイマ状態制御レジスタ(TCCS)の割込みマスク選択ビット(MSI2～MSI0)に設定した値が有効となります。
- このビットは、TCCSC レジスタの MODE2C ビットに"1"を設定することによって、"0"にクリアされます。
- このビットは、TCCSS レジスタの MODE2S ビットに"1"を設定することによって、"1"にセットされます。

bit		説明
MODE2	MODE*	
0	0	MSI5～MSI3 の設定値は無効
0	1	MSI5～MSI3 の設定値は無効
1	0	設定禁止(動作は保証されません)
1	1	MSI5～MSI3 の設定値は有効

* : タイマ状態制御レジスタ(TCCS)の bit

<注意事項>

- 16 ビットフリーランタイムがアップカウントモードのとき、このビットに"1"を設定した場合の動作は保証されません。

[bit10:8] MSI5～MSI3: コンペアクリア割込みマスク選択ビット

- このビットは、割込みマスクモードビット 2(MODE2="1")のとき、かつ 16 ビットフリーランタイムがアップダウンカウントモード(タイマ状態制御レジスタ(TCCS)の MODE ="1")のときのみ有効で、コンペアクリア割込みフラグのマスク回数を設定するために使います。
- 0 検出割込みフラグのマスク回数はタイマ状態制御レジスタ(TCCS)の MSI2～MSI0 によって設定します。
- このビットに"0b000"を設定した場合、コンペアクリア割込みフラグはマスクされません。

bit[10:8]			説明
0	0	0	1 回目の一致が発生したとき割込みフラグ生成
0	0	1	2 回目の一致が発生したとき割込みフラグ生成
0	1	0	3 回目の一致が発生したとき割込みフラグ生成
0	1	1	4 回目の一致が発生したとき割込みフラグ生成
1	0	0	5 回目の一致が発生したとき割込みフラグ生成
1	0	1	6 回目の一致が発生したとき割込みフラグ生成
1	1	0	7 回目の一致が発生したとき割込みフラグ生成
1	1	1	8 回目の一致が発生したとき割込みフラグ生成

<注意事項>

- 読出し値はマスクカウンタ値です。
- 書き込み時の書き込みデータは、マスクレジスタへ書き込まれます。
- 16 ビットフリーランタイム動作中(タイマ状態制御レジスタ(TCCS)のタイマ許可ビット STOP="0")のときは、マスクレジスタへの書き込み値は、マスクカウンタが0 になったときのみ、カウンタヘリロードされます。
- 16 ビットフリーランタイム停止中(タイマ状態制御レジスタ(TCCS)のタイマ許可ビット STOP="1")のときは、マスクレジスタへの書き込み値は、直ちにマスクカウンタヘリロードされます。

[bit7:0] Reserved: 予約ビット

4.4. タイマ状態クリアレジスタ(TCCSC)

タイマ状態クリアレジスタ(TCCSC)は、タイマ状態制御レジスタ(TCCS)のビットをクリアするために使用します。

Bit	31	30	29	28	27	26	25	24
Field	ECKEC	IRQZFC	IRQZEC	Reserved			ICLRC	ICREC
R/W 属性	R0,W	R0,W	R0,W	R0,W0			R0,W	R0,W
保護属性	-							
初期値	0	0	0	000			0	0

Bit	23	22	21	20	19	18	17	16
Field	BFEC	STOPC	MODEC	Reserved				
R/W 属性	R0,W	R0,W	R0,W	R0,W0				
保護属性	-							
初期値	0	0	0	00000				

Bit	15	14	13	12	11	10	9	8
Field	Reserved				MODE2C	Reserved		
R/W 属性	R0,W0				R0,W	R0,W0		
保護属性	-							
初期値	0000				0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

[bit31] ECKEC: クロック選択クリアビット

bit	説明
0	クロック選択ビットをクリアしません
1	クロック選択ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、クロック選択ビット(ECKE)は"0"にクリアされます。

[bit30] IRQZFC: 0 検出割込みフラグクリアビット

bit	説明
0	割込みフラグをクリアしません
1	割込みフラグをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、0 検出割込みフラグビット(IRQZF)は"0"にクリアされます。

[bit29] IRQZEC: 0 検出要求許可クリアビット

bit	説明
0	0 検出要求許可ビットをクリアしません
1	0 検出要求許可ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, 0 検出要求許可ビット(IRQZE)は"0"にクリアされます。

[bit28:26] Reserved: 予約ビット

[bit25] ICLRC: コンペアクリア割込みフラグクリアビット

bit	説明
0	割込みフラグをクリアしません
1	割込みフラグをクリアします

- 本ビットに"1"を書き込むと, コンペアクリア割込みフラグビット(ICLR)は"0"にクリアされます。

[bit24] ICREC: コンペアクリア割込み要求許可クリアビット

bit	説明
0	コンペア割込み要求許可ビットをクリアしません
1	コンペア割込み要求許可ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペア割込み要求許可ビット(ICRE)は"0"にクリアされます。

[bit23] BFEC: コンペアクリアバッファ許可クリアビット

bit	説明
0	コンペアクリアバッファ許可ビットをクリアしません
1	コンペアクリアバッファ許可ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアクリアバッファ許可ビット(BFE)は"0"にクリアされます。

[bit22] STOPC: タイマ許可クリアビット

bit	説明
0	タイマ許可ビットをクリアしません
1	タイマ許可ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, タイマ許可ビット(STOP)は"0"にクリアされます。

[bit21] MODEC: タイマカウントモードクリアビット

bit	説明
0	タイマカウントモードビットをクリアしません
1	タイマカウントモードビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, タイマカウントモードビット(MODE)は"0"にクリアされます。



[bit20:12] Reserved: 予約ビット

[bit11] MODE2C: 割込みマスクモードビット2クリアビット

bit	説明
0	割込みマスクモードビット2をクリアしません
1	割込みマスクモードビット2をクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, 割込みマスクモードビット2 (MODE2)は"0"にクリアされます。

[bit10:0] Reserved: 予約ビット



4.5. タイマ状態セットレジスタ(TCCSS)

タイマ状態クリアレジスタ(TCCSS)は、タイマ状態制御レジスタ(TCCS)のビットをセットするために使用します。

Bit	31	30	29	28	27	26	25	24
Field	ECKES	Reserved	IRQZES	Reserved				ICRES
R/W 属性	R0,W	R0,W0	R0,W	R0,W0				R0,W
保護属性	-							
初期値	0	0	0	0000				0

Bit	23	22	21	20	19	18	17	16
Field	BFES	STOPS	MODES	SCLRS	Reserved			
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

Bit	15	14	13	12	11	10	9	8
Field	Reserved				MODE2S	Reserved		
R/W 属性	R0,W0				R0,W	R0,W0		
保護属性	-							
初期値	0000				0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

[bit31] ECKES: クロック選択セットビット

bit	説明
0	クロック選択ビットをセットしません
1	クロック選択ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、クロック選択ビット(ECKE)は"1"にセットされます。

[bit30] Reserved: 予約ビット

[bit29] IRQZES: 0 検出要求許可セットビット

bit	説明
0	0 検出要求許可ビットをセットしません
1	0 検出要求許可ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、0 検出要求許可ビット(IRQZE)は"1"にセットされます。

[bit28:25] Reserved: 予約ビット

[bit24] ICRES: コンペアクリア割込み要求許可セットビット

bit	説明
0	コンペア割込み要求許可ビットをセットしません
1	コンペア割込み要求許可ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペア割込み要求許可ビット(ICRE)は"1"にセットされます。

[bit23] BFES: コンペアクリアバッファ許可セットビット

bit	説明
0	コンペアクリアバッファ許可ビットをセットしません
1	コンペアクリアバッファ許可ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアクリアバッファ許可ビット(BFE)は"1"にセットされます。

[bit22] STOPS: タイマ許可セットビット

bit	説明
0	タイマ許可ビットをセットしません
1	タイマ許可ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, タイマ許可ビット(STOP)は"1"にセットされます。

[bit21] MODES: タイマカウントモードセットビット

bit	説明
0	タイマカウントモードビットをセットしません
1	タイマカウントモードビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, タイマカウントモードビット(MODE) は"1"にセットされます。

[bit20] SCLRS: タイマクリアセットビット

bit	説明
0	タイマクリアビットをセットしません
1	タイマクリアビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, タイマクリアビット(SCLR) は"1"にセットされます。

[bit19:12] Reserved: 予約ビット**[bit11] MODE2S: 割込みマスクモードビット 2 セットビット**

bit	説明
0	割込みマスクモードビット 2 をセットしません
1	割込みマスクモードビット 2 をセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, 割込みマスクモードビット 2(MODE2) は"1"にセットされます。

[bit10:0] Reserved :予約ビット

5. 使用上の注意

16 ビットフリーランタイムの使用上の注意を以下に示します。

(1) レジスタアクセス時の注意

a) コンペアクリアレジスタ(CPCLR), コンペアクリアバッファレジスタ(CPCLRB) アクセス時
コンペアクリアレジスタ(CPCLR), コンペアクリアバッファレジスタ(CPCLRB)に対してはハーフワードもしくはワードアクセス命令を使用してください。

b) タイマ状態制御レジスタ(TCCS) アクセス時

- 本レジスタはビットバンドエイリアス領域からの書き込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、タイマ状態クリアレジスタ(TCCSC)の該当ビットに"1"を書き込むことによってクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、タイマ状態セットレジスタ(TCCSS)の該当ビットに"1"を書き込むことによってセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書き込み時のみ本レジスタに直接書き込みできます。
- MSI2～MSI0/ MSI5～MSI3 からは割込みマスクカウンタ値が読み出されます。割込みマスク選択値を読み出すことはできません。

(2) フリーランタイムの動作上の注意

プログラムによる設定時

- ハードウェアリセットを実行した場合、カウント値が"0x0000"になりますが、0検出割込みフラグはセットされません。
- タイマモードビット(タイマ状態制御レジスタ(TCCS)の MODE) には、バッファがあるため、0 検出後に、設定されたタイマモードが有効になります。
- タイマクリア(タイマ状態制御レジスタ(TCCS)の SCLR ="1") はタイマを初期化しますが、0 検出割込みを生成しません。
- コンペアクリアレジスタ(CPCLR) 値とカウント値が一致しているときにカウントを開始する場合は、コンペアクリアフラグはセットされません。
- コンペアクリアレジスタ(CPCLR) 値は、"0x0000"以外の値となるように設定してください。仮に設定した場合は、以下の動作となりますのでご注意ください。
 - タイマモードビット(タイマ状態制御レジスタ(TCCS) レジスタの MODE)がアップカウントモード(MODE="0")のときは、カウント値が"0x0000"に更新されてからカウント値は"0x0000"固定となり、0 検出割込みフラグとコンペアクリアフラグがカウントクロックごとにセットされ続けます。
 - タイマカウントモードビット(タイマ状態制御レジスタ(TCCS) レジスタの MODE)がアップダウンカウントモード(MODE="1")のときは、カウント値は"0x0000"から"0xFFFF"までのアップカウント動作を繰り返します。0 検出割込みフラグとコンペアクリアフラグはカウント値が"0x0000"と一致した場合、"1"にセットされます。



CHAPTER 47: フリーランタイムセクタ・同時起動

16 ビットフリーランタイムのセクタ機能, 同時起動機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意



1. 概要

16ビットフリーランタイムのセクタと同時起動の概要について説明します。

フリーランタイムは3個のフリーランタイム同時起動, 18個(各1chで計18ch)の16ビットフリーランタイム, 3個のフリーランタイムセクタから構成されます。

(1) フリーランタイムセクタの機能

- フリーランタイム選択レジスタによって, 16ビットフリーランタイムの割り当てを, 16ビットアウトプットコンペア, 16ビットインプットキャプチャ, A/D起動コンペア, 4ch A/D起動コンペアから選択できます。
- フリーランタイムセクタは3個搭載されており, それぞれ16ビットフリーランタイム ch.0～ch.5, ch.6～ch.11, ch.12～ch.17 に対応しています。

(2) フリーランタイム同時起動の機能

- 指定した16ビットフリーランタイムを同時起動/クリアできます。
- フリーランタイム同時起動を許可する各16ビットフリーランタイムのタイマ状態レジスタ(TCCS)のタイマ許可ビット(STOP) およびタイマクリアビット(SCLR)を同時に制御します。
- 同時起動/クリアを行わない場合, 各16ビットフリーランタイムはタイマ状態レジスタ(TCCS)のタイマ許可ビット(STOP) およびタイマクリアビット(SCLR)を設定することにより, 個別に起動/クリア可能です。
- フリーランタイム同時起動は3個搭載されており, それぞれ16ビットフリーランタイム ch.0～ch.5, ch.6～ch.11, ch.12～ch.17 の制御を行えます。
- 16ビットフリーランタイム ch.6～ch.11 は起動ソースを切り換えて使用できます。その場合, 16ビットフリーランタイム ch.6～ch.17 を同時に起動/クリアできます。

(3) フリーランタイム方向表示の機能

- フリーランタイム方向表示レジスタを読み出すことにより, 現在のカウント方向を知ることができます。
- フリーランタイムカウント方向表示レジスタは3個搭載されており, それぞれフリーランタイム ch.0～ch.5, ch.6～ch.11, ch.12～ch.17 に対応しています。

2. 構成

16ビットフリーランタイムのセクタと同時起動の構成図を示します。

(1) フリーランタイムセクタの構成

図 2-1 フリーランタイムセクタ 0/1 の構成

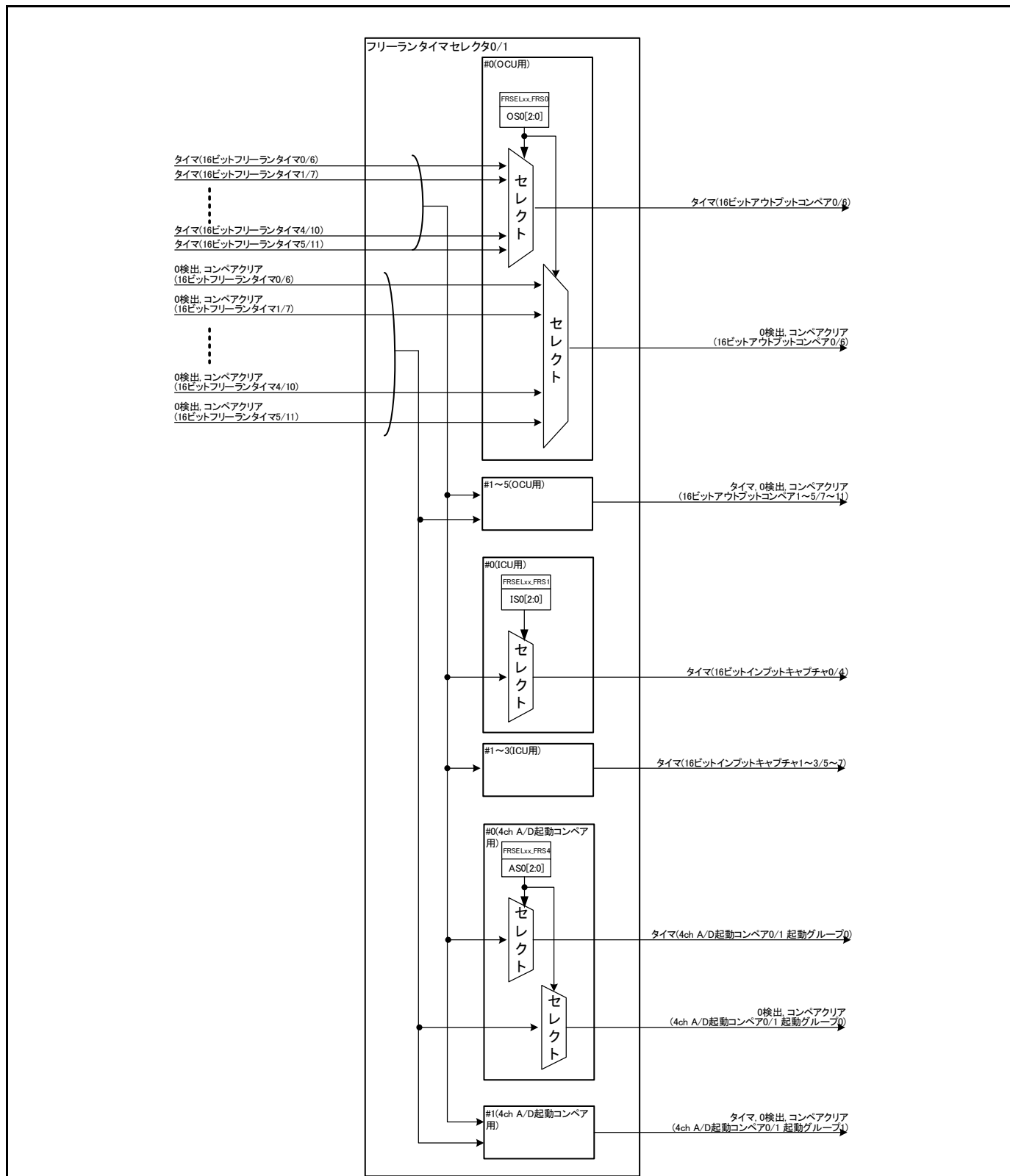
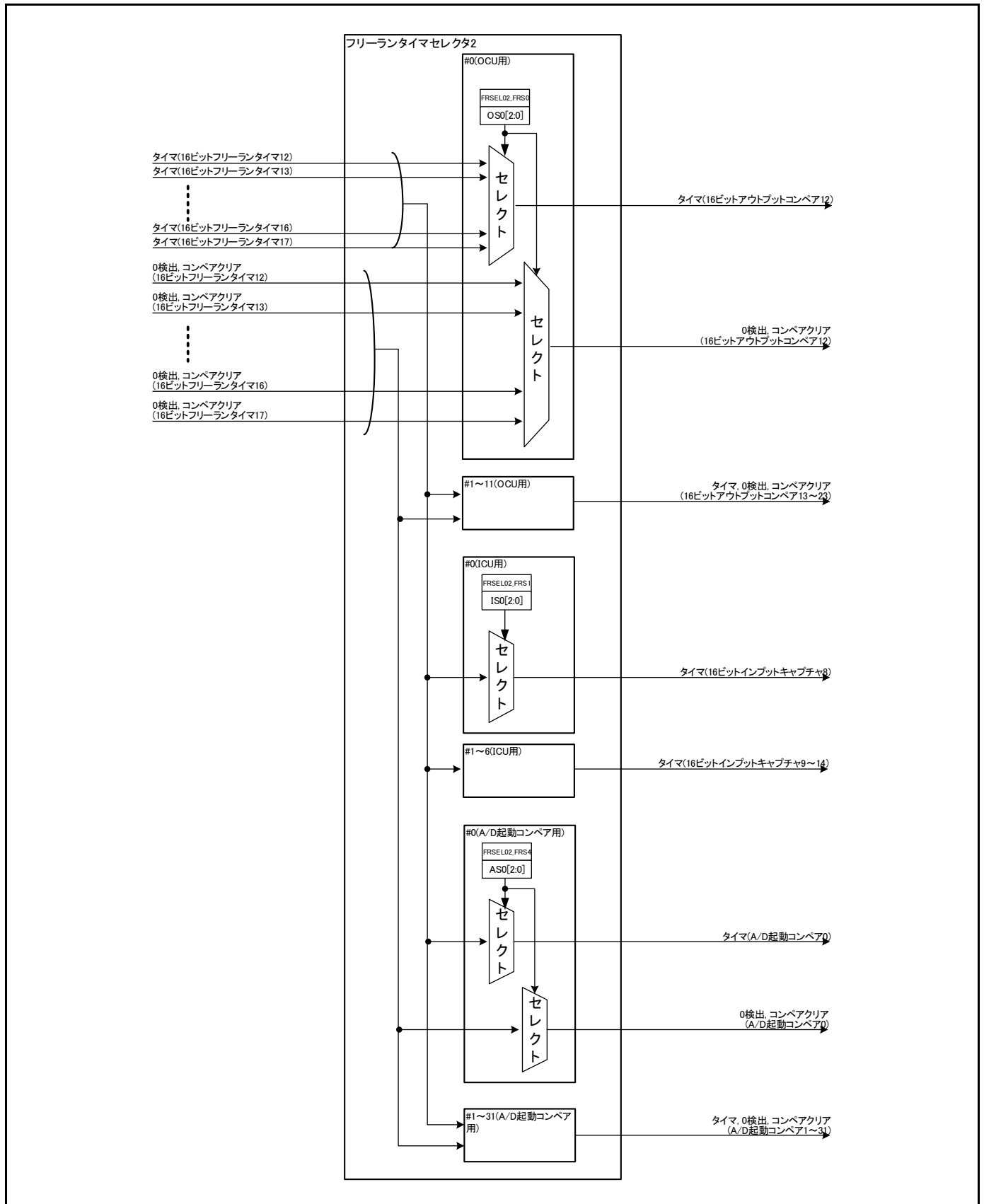
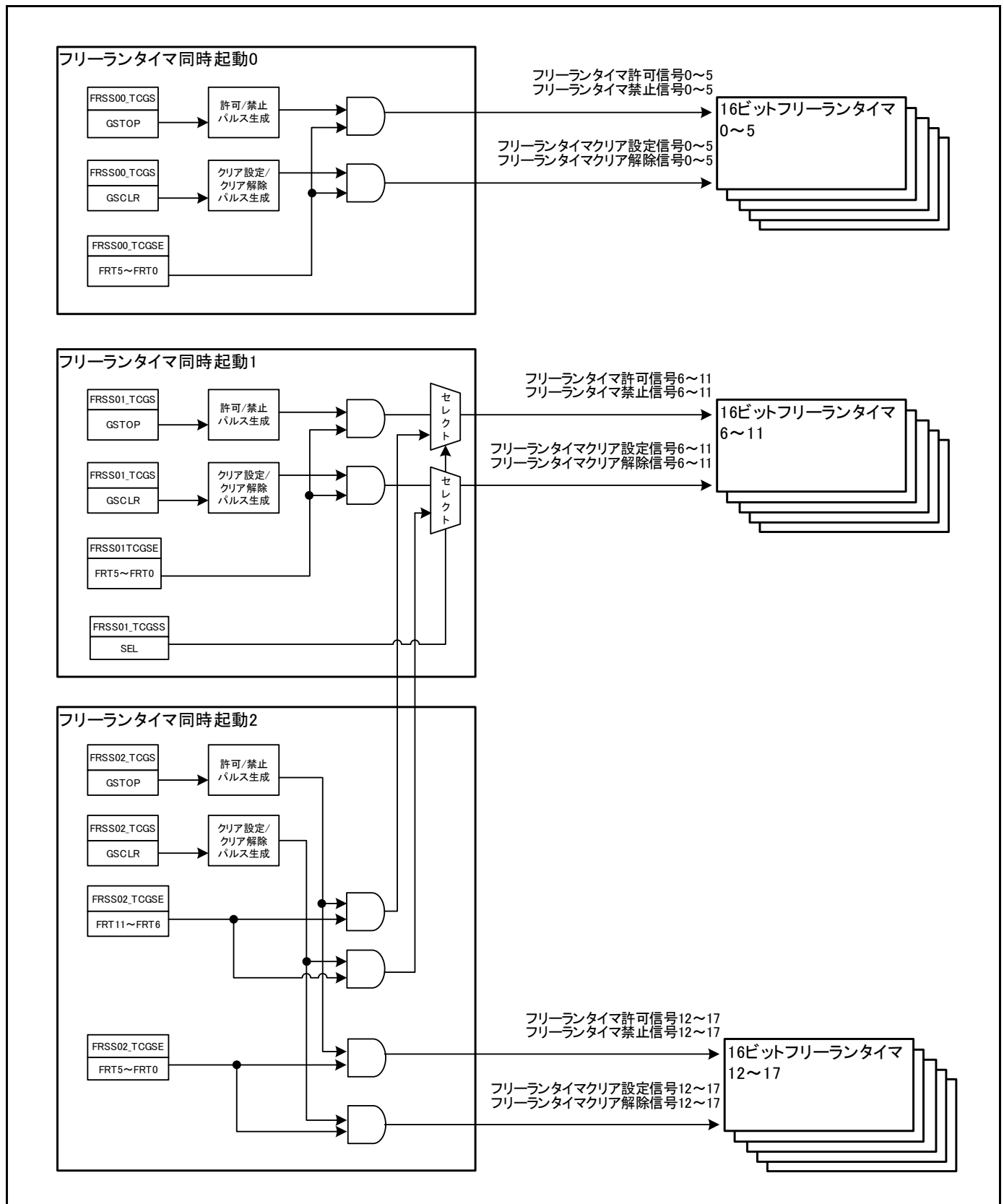


図 2-2 フリーランタイムセクタ 2 の構成



(2) フリーランタイム同時起動の構成

図 2-3 フリーランタイム同時起動の構成





3. 動作説明

16ビットフリーランタイムのセレクトと同時起動の動作について説明します。

(1) フリーランタイムセレクトの動作

- フリーランタイム選択レジスタによって、フリーランタイムの割り当てを、16ビットアウトプットキャプチャ、16ビットインプットキャプチャ、A/D 起動コンペア、4ch A/D 起動コンペアから選択できます。
- フリーランタイムセレクトは3個搭載されており、それぞれ16ビットフリーランタイム ch.0～ch.5, ch.6～ch.11, ch.12～ch.17 に対応しています。

接続先のリソースと対応するレジスタの関係は次のとおりです。

表 3-1 フリーランタイムセレクト 0 のリソース・レジスタ対応表

フリーランタイム	リソース	レジスタ
フリーランタイム ch.0～ch.5	16ビットアウトプットコンペア ch.0	FRSEL00_FRS0:OS0[2:0]
	16ビットアウトプットコンペア ch.1	FRSEL00_FRS0:OS1[2:0]
	16ビットアウトプットコンペア ch.2	FRSEL00_FRS0:OS2[2:0]
	16ビットアウトプットコンペア ch.3	FRSEL00_FRS0:OS3[2:0]
	16ビットアウトプットコンペア ch.4	FRSEL00_FRS0:OS4[2:0]
	16ビットアウトプットコンペア ch.5	FRSEL00_FRS0:OS5[2:0]
	16ビットインプットキャプチャ ch.0	FRSEL00_FRS1:IS0[2:0]
	16ビットインプットキャプチャ ch.1	FRSEL00_FRS1:IS1[2:0]
	16ビットインプットキャプチャ ch.2	FRSEL00_FRS1:IS2[2:0]
	16ビットインプットキャプチャ ch.3	FRSEL00_FRS1:IS3[2:0]
	4ch A/D 起動コンペア 0 起動グループ 0	FRSEL00_FRS4:AS0[2:0]
	4ch A/D 起動コンペア 0 起動グループ 1	FRSEL00_FRS4:AS1[2:0]

表 3-2 フリーランタイムセレクト 1 のリソース・レジスタ対応表

フリーランタイム	リソース	レジスタ
フリーランタイム ch.6～ch.11	16ビットアウトプットコンペア ch.6	FRSEL01_FRS0:OS0[2:0]
	16ビットアウトプットコンペア ch.7	FRSEL01_FRS0:OS1[2:0]
	16ビットアウトプットコンペア ch.8	FRSEL01_FRS0:OS2[2:0]
	16ビットアウトプットコンペア ch.9	FRSEL01_FRS0:OS3[2:0]
	16ビットアウトプットコンペア ch.10	FRSEL01_FRS0:OS4[2:0]
	16ビットアウトプットコンペア ch.11	FRSEL01_FRS0:OS5[2:0]
	16ビットインプットキャプチャ ch.4	FRSEL01_FRS1:IS0[2:0]
	16ビットインプットキャプチャ ch.5	FRSEL01_FRS1:IS1[2:0]
	16ビットインプットキャプチャ ch.6	FRSEL01_FRS1:IS2[2:0]
	16ビットインプットキャプチャ ch.7	FRSEL01_FRS1:IS3[2:0]
	4ch A/D 起動コンペア 1 起動グループ 0	FRSEL01_FRS4:AS0[2:0]
	4ch A/D 起動コンペア 1 起動グループ 1	FRSEL01_FRS4:AS1[2:0]

表 3-3 フリーランタイムセレクト 2 のリソース・レジスタ対応表

フリーランタイム	リソース	レジスタ
フリーランタイム ch.12～ch.17	16 ビットアウトプットコンペア ch.12	FRSEL02_FRS0:OS0[2:0]
	16 ビットアウトプットコンペア ch.13	FRSEL02_FRS0:OS1[2:0]
	16 ビットアウトプットコンペア ch.14	FRSEL02_FRS0:OS2[2:0]
	16 ビットアウトプットコンペア ch.15	FRSEL02_FRS0:OS3[2:0]
	16 ビットアウトプットコンペア ch.16	FRSEL02_FRS0:OS4[2:0]
	16 ビットアウトプットコンペア ch.17	FRSEL02_FRS0:OS5[2:0]
	16 ビットインプットキャプチャ ch.8	FRSEL02_FRS1:IS0[2:0]
	16 ビットインプットキャプチャ ch.9	FRSEL02_FRS1:IS1[2:0]
	16 ビットインプットキャプチャ ch.10	FRSEL02_FRS1:IS2[2:0]
	16 ビットインプットキャプチャ ch.11	FRSEL02_FRS1:IS3[2:0]
	16 ビットアウトプットコンペア ch.18	FRSEL02_FRS2:OS0[2:0]
	16 ビットアウトプットコンペア ch.19	FRSEL02_FRS2:OS1[2:0]
	16 ビットアウトプットコンペア ch.20	FRSEL02_FRS2:OS2[2:0]
	16 ビットアウトプットコンペア ch.21	FRSEL02_FRS2:OS3[2:0]
	16 ビットアウトプットコンペア ch.22	FRSEL02_FRS2:OS4[2:0]
	16 ビットアウトプットコンペア ch.23	FRSEL02_FRS2:OS5[2:0]
	16 ビットインプットキャプチャ ch.12	FRSEL02_FRS3:IS0[2:0]
	16 ビットインプットキャプチャ ch.13	FRSEL02_FRS3:IS1[2:0]
	16 ビットインプットキャプチャ ch.14	FRSEL02_FRS3:IS2[2:0]
	A/D 起動コンペア 0	FRSEL02_FRS4:AS0[2:0]
	A/D 起動コンペア 1	FRSEL02_FRS4:AS1[2:0]
	A/D 起動コンペア 2	FRSEL02_FRS4:AS2[2:0]
	A/D 起動コンペア 3	FRSEL02_FRS4:AS3[2:0]
	A/D 起動コンペア 4	FRSEL02_FRS4:AS4[2:0]
	A/D 起動コンペア 5	FRSEL02_FRS4:AS5[2:0]
	A/D 起動コンペア 6	FRSEL02_FRS4:AS6[2:0]
	A/D 起動コンペア 7	FRSEL02_FRS4:AS7[2:0]
	A/D 起動コンペア 8	FRSEL02_FRS5:AS8[2:0]
	A/D 起動コンペア 9	FRSEL02_FRS5:AS9[2:0]
	A/D 起動コンペア 10	FRSEL02_FRS5:AS10[2:0]
	A/D 起動コンペア 11	FRSEL02_FRS5:AS11[2:0]
	A/D 起動コンペア 12	FRSEL02_FRS5:AS12[2:0]
	A/D 起動コンペア 13	FRSEL02_FRS5:AS13[2:0]
	A/D 起動コンペア 14	FRSEL02_FRS5:AS14[2:0]
	A/D 起動コンペア 15	FRSEL02_FRS5:AS15[2:0]
	A/D 起動コンペア 16	FRSEL02_FRS6:AS16[2:0]
	A/D 起動コンペア 17	FRSEL02_FRS6:AS17[2:0]
	A/D 起動コンペア 18	FRSEL02_FRS6:AS18[2:0]
	A/D 起動コンペア 19	FRSEL02_FRS6:AS19[2:0]
	A/D 起動コンペア 20	FRSEL02_FRS6:AS20[2:0]
	A/D 起動コンペア 21	FRSEL02_FRS6:AS21[2:0]
	A/D 起動コンペア 22	FRSEL02_FRS6:AS22[2:0]
	A/D 起動コンペア 23	FRSEL02_FRS6:AS23[2:0]
	A/D 起動コンペア 24	FRSEL02_FRS7:AS24[2:0]
	A/D 起動コンペア 25	FRSEL02_FRS7:AS25[2:0]
	A/D 起動コンペア 26	FRSEL02_FRS7:AS26[2:0]
	A/D 起動コンペア 27	FRSEL02_FRS7:AS27[2:0]
	A/D 起動コンペア 28	FRSEL02_FRS7:AS28[2:0]



フリーランタイム	リソース	レジスタ
フリーランタイム ch.12～ch.17	A/D 起動コンペア 29	FRSEL02_FRS7:AS29[2:0]
	A/D 起動コンペア 30	FRSEL02_FRS7:AS30[2:0]
	A/D 起動コンペア 31	FRSEL02_FRS7:AS31[2:0]

表 3-4 レジスタ設定値対応表

レジスタ設定値	フリーランタイムセクタ 0	フリーランタイムセクタ 1	フリーランタイムセクタ 2
000	フリーランタイム ch.0 (初期状態)	フリーランタイム ch.6 (初期状態)	フリーランタイム ch.12 (初期状態)
001	フリーランタイム ch.1	フリーランタイム ch.7	フリーランタイム ch.13
010	フリーランタイム ch.2	フリーランタイム ch.8	フリーランタイム ch.14
011	フリーランタイム ch.3	フリーランタイム ch.9	フリーランタイム ch.15
100	フリーランタイム ch.4	フリーランタイム ch.10	フリーランタイム ch.16
101	フリーランタイム ch.5	フリーランタイム ch.11	フリーランタイム ch.17
110	設定禁止(動作を保証しません)		
111			

＜注意事項＞

- フリーランタイム選択レジスタを設定する前に必ずフリーランタイムを停止させてください。

(2) フリーランタイム同時起動の動作

- 指定した 16 ビットフリーランタイムを同時起動/クリアできます。
- フリーランタイム同時起動を許可する各 16 ビットフリーランタイムのタイム状態レジスタ(TCCS)のタイム許可ビット(STOP) およびタイムクリアビット(SCLR)を同時に制御します。
- 同時起動/クリアを行わない場合、各 16 ビットフリーランタイムはタイム状態レジスタ(TCCS)のタイム許可ビット(STOP) およびタイムクリアビット(SCLR)を設定することにより、個別に起動/クリア可能です。
- フリーランタイム同時起動は3個搭載されており、それぞれ 16 ビットフリーランタイム ch.0～ch.5, ch.6～ch.11, ch.12～ch.17 の制御を行えます。
- 16 ビットフリーランタイム ch.6～ch.11 は起動ソースを切り換えて使用できます。その場合、16 ビットフリーランタイム ch.6～ch.17 を同時に起動/クリアできます。

(3) フリーランタイムカウント方向表示の動作

- － フリーランタイムカウント方向表示レジスタを読み出すことにより、現在のカウント情報を知ることができます。
- － フリーランタイムカウント方向表示レジスタは3個搭載されており、それぞれフリーランタイム ch.0～ch.5, ch.6～ch.11, ch.12～ch.17 に対応しています。

フリーランタイムのチャンネルと対応するレジスタの関係は次のとおりです。

表 3-5 フリーランタイムカウント方向表示のリソース・レジスタ対応表

フリーランタイム	レジスタ
ch.0	FRCD00_FRTCDD:DOWN0
ch.1	FRCD00_FRTCDD:DOWN1
ch.2	FRCD00_FRTCDD:DOWN2
ch.3	FRCD00_FRTCDD:DOWN3
ch.4	FRCD00_FRTCDD:DOWN4
ch.5	FRCD00_FRTCDD:DOWN5
ch.6	FRCD01_FRTCDD:DOWN0
ch.7	FRCD01_FRTCDD:DOWN1
ch.8	FRCD01_FRTCDD:DOWN2
ch.9	FRCD01_FRTCDD:DOWN3
ch.10	FRCD01_FRTCDD:DOWN4
ch.11	FRCD01_FRTCDD:DOWN5
ch.12	FRCD02_FRTCDD:DOWN0
ch.13	FRCD02_FRTCDD:DOWN1
ch.14	FRCD02_FRTCDD:DOWN2
ch.15	FRCD02_FRTCDD:DOWN3
ch.16	FRCD02_FRTCDD:DOWN4
ch.17	FRCD02_FRTCDD:DOWN5

4. 設定手順例

フリーランタイム同時起動の設定手順例を示します。

(FRSS01_TCGSS:SEL=1)時の設定手順例

FRSS01_TCGSS:SELビットを"1"に設定し、異なるバスの16ビットフリーランタイム(ch.6～ch.11とch.12～ch.17)を同時に起動する場合の設定手順例を示します。

図 4-1 TCGSS:SEL=1 時の設定手順例

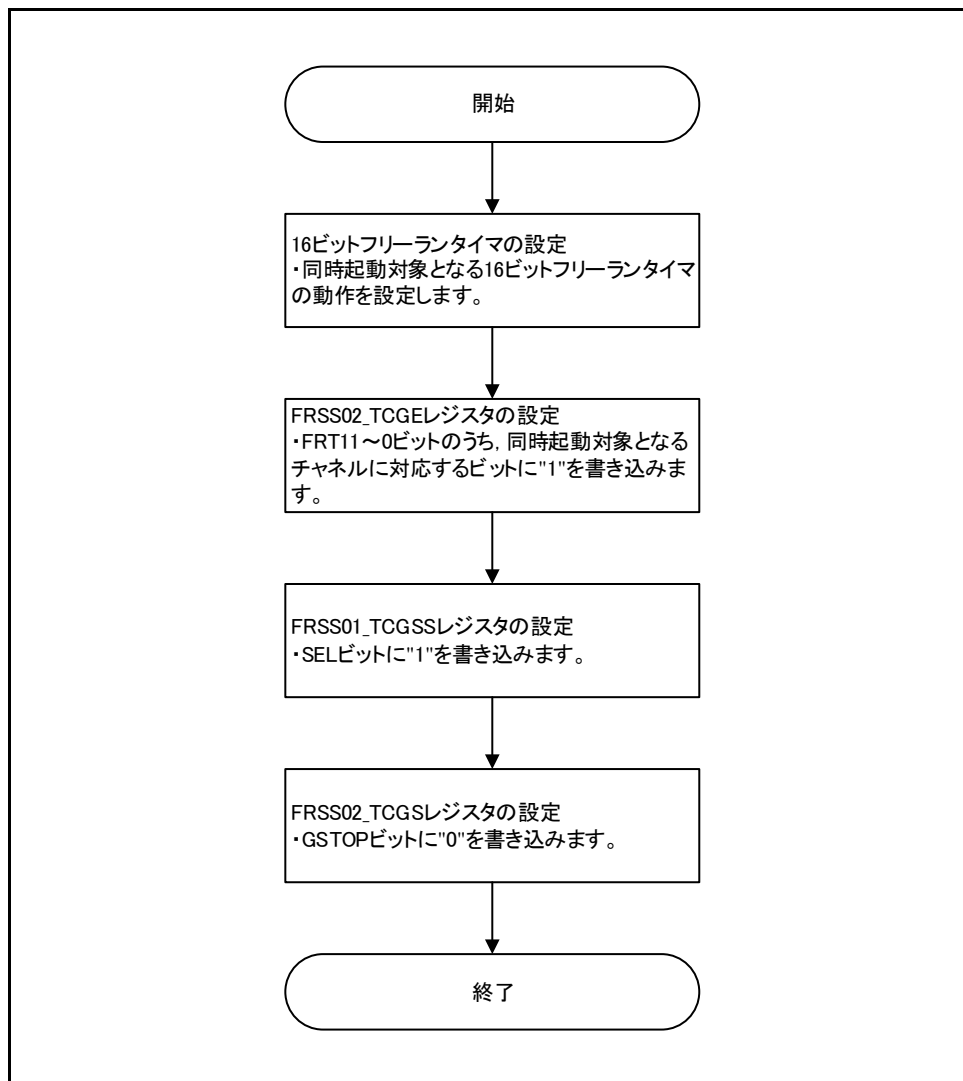
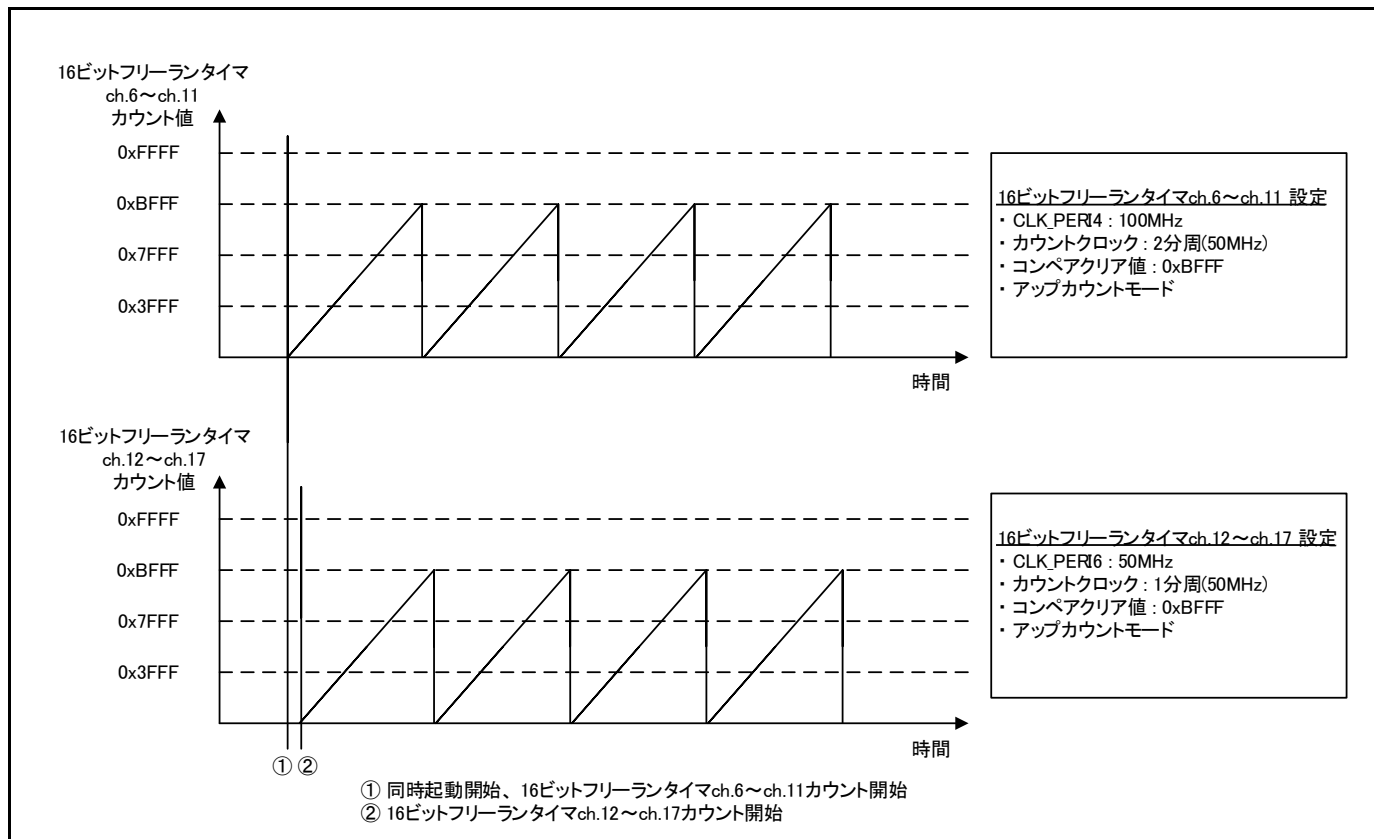


図 4-2 同時起動タイミング例



16ビットフリーランタイムch.6~ch.11はCLK_PERI4、ch.12~ch.17はCLK_PERI6で動作します。CLK_PERI4とCLK_PERI6の周波数が異なる場合は、同時起動開始後、カウント開始までにずれ(図4-2の①~②の区間)が存在します。

カウント開始までのずれはCLK_PERI4とCLK_PERI6の分周比によって決まり、以下の式で求められます。

$$2(\text{CLK_PERI4 周波数} / \text{CLK_PERI6 周波数} - 1) \times \text{CLK_PERI4 サイクル}$$

CLK_PERI4とCLK_PERI6の周波数が同じ場合、同時にカウントが開始されます。



5. レジスタ

16 ビットフリーランタイムのセクタと同時起動のレジスタについて説明します。

表 5-1 フリーランタイムセクタのレジスタ一覧

レジスタ略称	レジスタ名	参照先
FRSEL00_FRS0/ FRSEL01_FRS0/ FRSEL02_FRS0	フリーランタイム選択レジスタ 0	5.1.1
FRSEL00_FRS1/ FRSEL01_FRS1/ FRSEL02_FRS1	フリーランタイム選択レジスタ 1	5.1.1
FRSEL02_FRS2	フリーランタイム選択レジスタ 2	5.1.1
FRSEL02_FRS3	フリーランタイム選択レジスタ 3	5.1.1
FRSEL00_FRS4/ FRSEL01_FRS4/ FRSEL02_FRS4	フリーランタイム選択レジスタ 4	5.1.1
FRSEL02_FRS5	フリーランタイム選択レジスタ 5	5.1.1
FRSEL02_FRS6	フリーランタイム選択レジスタ 6	5.1.1
FRSEL02_FRS7	フリーランタイム選択レジスタ 7	5.1.1

表 5-2 フリーランタイム同時起動のレジスタ一覧

レジスタ略称	レジスタ名	参照先
FRSS00_TCGS/ FRSS01_TCGS/ FRSS02_TCGS	タイマ同時起動レジスタ	5.2.1
FRSS00_TCGSE/ FRSS01_TCGSE/ FRSS02_TCGSE	タイマ同時起動許可レジスタ	5.2.2
FRSS01_TCGSS	タイマ同時起動ソース選択レジスタ	5.2.3

表 5-3 フリーランタイムカウント方向表示のレジスタ一覧

レジスタ略称	レジスタ名	参照先
FRCD00_FRTCDD/ FRCD01_FRTCDD/ FRCD02_FRTCDD	フリーランタイムカウント方向表示レジスタ	5.3.1

5.1. フリーランタイムセレクトのレジスタ

フリーランタイムセレクトのレジスタはフリーランタイム選択レジスタがあります。

5.1.1. フリーランタイム選択レジスタ(FRSELxx_FRSn)

フリーランタイム選択レジスタ(FRSELxx_FRSn) (n=0~7)は、各 16 ビットインプットキャプチャ、16 ビットアウトプットコンペア、A/D 起動コンペア、4ch A/D 起動コンペアに対して、それぞれ 6 チャンネルずつある 16 ビットフリーランタイムのいずれかを割り当てるかを設定します。

(1) フリーランタイム選択レジスタ 0 (FRSELxx_FRS0) (xx=00, 01, 02)

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R1,W1							
保護属性	-							
初期値	11111111							

Bit	23	22	21	20	19	18	17	16
Field	Reserved	OS5			Reserved	OS4		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	15	14	13	12	11	10	9	8
Field	Reserved	OS3			Reserved	OS2		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved	OS1			Reserved	OS0		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

[bit31:24] Reserved: 予約ビット

[bit23, 19, 15, 11, 7, 3] Reserved: 予約ビット

[bit22:20] OS5[2:0]: 16 ビットアウトプットコンペア ch.5/ch.11/ch.17 用フリーランタイム選択ビット

[bit18:16] OS4[2:0]: 16 ビットアウトプットコンペア ch.4/ch.10/ch.16 用フリーランタイム選択ビット

[bit14:12] OS3[2:0]: 16 ビットアウトプットコンペア ch.3/ch.9/ch.15 用フリーランタイム選択ビット



[bit10:8] OS2[2:0]: 16 ビットアウトプットコンペア ch.2/ch.8/ch.14 用フリーランタイム選択ビット

[bit6:4] OS1[2:0]: 16 ビットアウトプットコンペア ch.1/ch.7/ch.13 用フリーランタイム選択ビット

[bit2:0] OS0[2:0]: 16 ビットアウトプットコンペア ch.0/ch.6/ch.12 用フリーランタイム選択ビット

16 ビットアウトプットコンペアに対して割り当てるフリーランタイムを設定します。

bit[2:0]	機能
000	フリーランタイム ch.0/ch.6/ch.12
001	フリーランタイム ch.1/ch.7/ch.13
010	フリーランタイム ch.2/ch.8/ch.14
011	フリーランタイム ch.3/ch.9/ch.15
100	フリーランタイム ch.4/ch.10/ch.16
101	フリーランタイム ch.5/ch.11/ch.17
その他	設定禁止(動作を保証しません)

<注意事項>

- このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

(2) フリーランタイム選択レジスタ 2 (FRSEL02_FRS2)

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R1,W1							
保護属性	-							
初期値	11111111							

Bit	23	22	21	20	19	18	17	16
Field	Reserved	OS11			Reserved	OS10		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	15	14	13	12	11	10	9	8
Field	Reserved	OS9			Reserved	OS8		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved	OS7			Reserved	OS6		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

[bit31:24] Reserved: 予約ビット

[bit23, 19, 15, 11, 7, 3] Reserved: 予約ビット

[bit22:20] OS11[2:0]: 16 ビットアウトプットコンペア ch.23 用フリーランタイム選択ビット

[bit18:16] OS10[2:0]: 16 ビットアウトプットコンペア ch.22 用フリーランタイム選択ビット

[bit14:12] OS9[2:0]: 16 ビットアウトプットコンペア ch.21 用フリーランタイム選択ビット

[bit10:8] OS8[2:0]: 16 ビットアウトプットコンペア ch.20 用フリーランタイム選択ビット

[bit6:4] OS7[2:0]: 16 ビットアウトプットコンペア ch.19 用フリーランタイム選択ビット

[bit2:0] OS6[2:0]: 16 ビットアウトプットコンペア ch.18 用フリーランタイム選択ビット

16 ビットアウトプットコンペアに対して割り当てるフリーランタイムを設定します。

bit[2:0]	機能
000	フリーランタイム ch.12
001	フリーランタイム ch.13
010	フリーランタイム ch.14
011	フリーランタイム ch.15
100	フリーランタイム ch.16



bit[2:0]	機能
101	フリーランタイム ch.17
その他	設定禁止(動作を保証しません)

<注意事項>

- このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

(3) フリーランタイム選択レジスタ 1 (FRSELxx_FRS1) (xx=00, 01, 02)

Bit	31-16
Field	Reserved
R/W 属性	R1,W1
保護属性	-
初期値	11111111_11111111

Bit	15	14	13	12	11	10	9	8
Field	Reserved	IS3			Reserved	IS2		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved	IS1			Reserved	IS0		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

[bit31:16] Reserved: 予約ビット

[bit15, 11, 7, 3] Reserved: 予約ビット

[bit14:12] IS3[2:0]: 16 ビットインプットキャプチャ ch.3/ch.7/ch.11 用フリーランタイム選択ビット

[bit10:8] IS2[2:0]: 16 ビットインプットキャプチャ ch.2/ch.6/ch.10 用フリーランタイム選択ビット

[bit6:4] IS1[2:0]: 16 ビットインプットキャプチャ ch.1/ch.5/ch.9 用フリーランタイム選択ビット

[bit2:0] IS0[2:0]: 16 ビットインプットキャプチャ ch.0/ch.4/ch.8 用フリーランタイム選択ビット

16 ビットインプットキャプチャに割り当てるフリーランタイムを設定します。

bit[2:0]	機能
000	フリーランタイム ch.0/ch.6/ch.12
001	フリーランタイム ch.1/ch.7/ch.13
010	フリーランタイム ch.2/ch.8/ch.14
011	フリーランタイム ch.3/ch.9/ch.15
100	フリーランタイム ch.4/ch.10/ch.16
101	フリーランタイム ch.5/ch.11/ch.17
その他	設定禁止(動作を保証しません)

<注意事項>

- このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。



(4) フリーランタイム選択レジスタ 3 (FRSEL02_FRS3)

Bit	31-16
Field	Reserved
R/W 属性	R1,W1
保護属性	-
初期値	11111111_11111111

Bit	15	14	13	12	11	10	9	8
Field	Reserved					IS6		
R/W 属性	R0,W0					R/W		
保護属性	-							
初期値	00000					000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved	IS5			Reserved	IS4		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

[bit31:16] Reserved: 予約ビット

[bit15:11, 7, 3] Reserved: 予約ビット

[bit10:8] IS6[2:0]: 16 ビットインプットキャプチャ ch.14 用フリーランタイム選択ビット

[bit6:4] IS5[2:0]: 16 ビットインプットキャプチャ ch.13 用フリーランタイム選択ビット

[bit2:0] IS4[2:0]: 16 ビットインプットキャプチャ ch.12 用フリーランタイム選択ビット

16 ビットインプットキャプチャに対して割り当てるフリーランタイムを設定します。

bit[2:0]	機能
000	フリーランタイム ch.12
001	フリーランタイム ch.13
010	フリーランタイム ch.14
011	フリーランタイム ch.15
100	フリーランタイム ch.16
101	フリーランタイム ch.17
その他	設定禁止(動作を保証しません)

<注意事項>

- このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

(5) フリーランタイム選択レジスタ 4 (FRSELxx_FRS4) (xx=00, 01)

Bit	31-8
Field	Reserved
R/W 属性	R0,W0
保護属性	-
初期値	00000000_00000000_00000000

Bit	7	6	5	4	3	2	1	0
Field	Reserved	AS1			Reserved	AS0		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

[bit31:7, 3] Reserved: 予約ビット

[bit6:4] AS1[2:0]: 4ch A/D 起動コンペア 起動グループ 1 用フリーランタイム選択ビット

[bit2:0] AS0[2:0]: 4ch A/D 起動コンペア 起動グループ 0 用フリーランタイム選択ビット

A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

bit[2:0]	説明
000	フリーランタイム ch.0/ch.6
001	フリーランタイム ch.1/ch.7
010	フリーランタイム ch.2/ch.8
011	フリーランタイム ch.3/ch.9
100	フリーランタイム ch.4/ch.10
101	フリーランタイム ch.5/ch.11
その他	設定禁止(動作を保証しません)

<注意事項>

- このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。



(6) フリーランタイム選択レジスタ 4 (FRSEL02_FRS4)

Bit	31	30	29	28	27	26	25	24
Field	Reserved	AS7			Reserved	AS6		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	23	22	21	20	19	18	17	16
Field	Reserved	AS5			Reserved	AS4		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	15	14	13	12	11	10	9	8
Field	Reserved	AS3			Reserved	AS2		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved	AS1			Reserved	AS0		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

[bit31, 27, 23, 19, 15, 11, 7, 3] Reserved: 予約ビット

[bit30:28] AS7[2:0]: A/D 起動コンペア 7 用フリーランタイム選択ビット

[bit26:24] AS6[2:0]: A/D 起動コンペア 6 用フリーランタイム選択ビット

[bit22:20] AS5[2:0]: A/D 起動コンペア 5 用フリーランタイム選択ビット

[bit18:16] AS4[2:0]: A/D 起動コンペア 4 用フリーランタイム選択ビット

[bit14:12] AS3[2:0]: A/D 起動コンペア 3 用フリーランタイム選択ビット

[bit10:8] AS2[2:0]: A/D 起動コンペア 2 用フリーランタイム選択ビット

[bit6:4] AS1[2:0]: A/D 起動コンペア 1 用フリーランタイム選択ビット

[bit2:0] AS0[2:0]: A/D 起動コンペア 0 用フリーランタイム選択ビット

A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

bit[2:0]	説明
000	フリーランタイム ch.12
001	フリーランタイム ch.13
010	フリーランタイム ch.14
011	フリーランタイム ch.15



bit[2:0]	説明
100	フリーランタイム ch.16
101	フリーランタイム ch.17
その他	設定禁止(動作を保証しません)

- ＜注意事項＞
- このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。



(7) フリーランタイム選択レジスタ 5 (FRSEL02_FRS5)

Bit	31	30	29	28	27	26	25	24
Field	Reserved	AS15			Reserved	AS14		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	23	22	21	20	19	18	17	16
Field	Reserved	AS13			Reserved	AS12		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	15	14	13	12	11	10	9	8
Field	Reserved	AS11			Reserved	AS10		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved	AS9			Reserved	AS8		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

[bit31, 27, 23, 19, 15, 11, 7, 3] Reserved: 予約ビット

[bit30:28] AS15[2:0]: A/D 起動コンペア 15 用フリーランタイム選択ビット

[bit26:24] AS14[2:0]: A/D 起動コンペア 14 用フリーランタイム選択ビット

[bit22:20] AS13[2:0]: A/D 起動コンペア 13 用フリーランタイム選択ビット

[bit18:16] AS12[2:0]: A/D 起動コンペア 12 用フリーランタイム選択ビット

[bit14:12] AS11[2:0]: A/D 起動コンペア 11 用フリーランタイム選択ビット

[bit10:8] AS10[2:0]: A/D 起動コンペア 10 用フリーランタイム選択ビット

[bit6:4] AS9[2:0]: A/D 起動コンペア 9 用フリーランタイム選択ビット

[bit2:0] AS8[2:0]: A/D 起動コンペア 8 用フリーランタイム選択ビット

A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

bit[2:0]	説明
000	フリーランタイム ch.12
001	フリーランタイム ch.13
010	フリーランタイム ch.14
011	フリーランタイム ch.15



bit[2:0]	説明
100	フリーランタイム ch.16
101	フリーランタイム ch.17
その他	設定禁止(動作を保証しません)

- ＜注意事項＞
- このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。



(8) フリーランタイム選択レジスタ 6 (FRSEL02_FRS6)

Bit	31	30	29	28	27	26	25	24
Field	Reserved	AS23			Reserved	AS22		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	23	22	21	20	19	18	17	16
Field	Reserved	AS21			Reserved	AS20		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	15	14	13	12	11	10	9	8
Field	Reserved	AS19			Reserved	AS18		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved	AS17			Reserved	AS16		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

[bit31, 27, 23, 19, 15, 11, 7, 3] Reserved : 予約ビット

[bit30:28] AS23[2:0] : A/D 起動コンペア 23 用フリーランタイム選択ビット

[bit26:24] AS22[2:0] : A/D 起動コンペア 22 用フリーランタイム選択ビット

[bit22:20] AS21[2:0] : A/D 起動コンペア 21 用フリーランタイム選択ビット

[bit18:16] AS20[2:0] : A/D 起動コンペア 20 用フリーランタイム選択ビット

[bit14:12] AS19[2:0] : A/D 起動コンペア 19 用フリーランタイム選択ビット

[bit10:8] AS18[2:0] : A/D 起動コンペア 18 用フリーランタイム選択ビット

[bit6:4] AS17[2:0] : A/D 起動コンペア 17 用フリーランタイム選択ビット

[bit2:0] AS16[2:0] : A/D 起動コンペア 16 用フリーランタイム選択ビット

A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

bit[2:0]	説明
000	フリーランタイム ch.12
001	フリーランタイム ch.13
010	フリーランタイム ch.14
011	フリーランタイム ch.15



bit[2:0]	説明
100	フリーランタイム ch.16
101	フリーランタイム ch.17
その他	設定禁止(動作を保証しません)

- ＜注意事項＞
- このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。



(9) フリーランタイム選択レジスタ 7 (FRSEL02_FRS7)

Bit	31	30	29	28	27	26	25	24
Field	Reserved	AS31			Reserved	AS30		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	23	22	21	20	19	18	17	16
Field	Reserved	AS29			Reserved	AS28		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	15	14	13	12	11	10	9	8
Field	Reserved	AS27			Reserved	AS26		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

Bit	7	6	5	4	3	2	1	0
Field	Reserved	AS25			Reserved	AS24		
R/W 属性	R0,W0	R/W			R0,W0	R/W		
保護属性	-							
初期値	0	000			0	000		

[bit31, 27, 23, 19, 15, 11, 7, 3] Reserved: 予約ビット

[bit30:28] AS31[2:0]: A/D 起動コンペア 31 用フリーランタイム選択ビット

[bit26:24] AS30[2:0]: A/D 起動コンペア 30 用フリーランタイム選択ビット

[bit22:20] AS29[2:0]: A/D 起動コンペア 29 用フリーランタイム選択ビット

[bit18:16] AS28[2:0]: A/D 起動コンペア 28 用フリーランタイム選択ビット

[bit14:12] AS27[2:0]: A/D 起動コンペア 27 用フリーランタイム選択ビット

[bit10:8] AS26[2:0]: A/D 起動コンペア 26 用フリーランタイム選択ビット

[bit6:4] AS25[2:0]: A/D 起動コンペア 25 用フリーランタイム選択ビット

[bit2:0] AS24[2:0]: A/D 起動コンペア 24 用フリーランタイム選択ビット

A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

bit[2:0]	説明
000	フリーランタイム ch.12
001	フリーランタイム ch.13
010	フリーランタイム ch.14
011	フリーランタイム ch.15



bit[2:0]	説明
100	フリーランタイム ch.16
101	フリーランタイム ch.17
その他	設定禁止(動作を保証しません)

- ＜注意事項＞
- このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。



5.2. フリーランタイム同時起動のレジスタ

フリーランタイム同時起動のレジスタには、タイマ同時起動レジスタ、タイマ同時起動許可レジスタ、タイマ同時起動ソース選択レジスタがあります。

5.2.1. タイマ同時起動レジスタ(FRSSxx_TCGS) (xx=00, 01, 02)

タイマ状態起動レジスタ(TCGS)はフリーランタイムの同時タイマ許可、および同時タイマクリアを制御するために使用します。同時タイマ許可、および同時タイマクリアするフリーランタイムは同時起動許可レジスタ(TCGSE)で指定します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						GSTOP	GSCLR
R/W 属性	R0,W0						R0,W	R0,W
保護属性	-							
初期値	000000						0	0

[bit31:26] Reserved: 予約ビット

[bit25] GSTOP: 同時タイマ許可ビット

bit	説明	
	読出し時	書込み時
0	常に"0"を読み出す	カウントを同時許可する(カウントを開始する)
1		カウントを同時禁止する(カウントを停止する)

- このビットは、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイムのカウントを同時停止/同時開始するために使用します。
- このビットに"0"を設定した場合:
タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイムの 16 ビットフリーランタイムのカウントを開始します。また、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイムのタイマ状態制御レジスタ(TCCS)の STOP ビットを"0"にします。
- このビットに"1"を設定した場合:
タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイムの 16 ビットフリーランタイムのカウントを停止します。また、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイムのタイマ状態制御レジスタ(TCCS)の STOP ビットを"1"にします。
- 読出し値は、必ず"0"です。

[bit24] GSCLR: 同時タイマクリアビット

bit	説明	
	読出し時	書込み時
0	常に"0"を読み出す	カウンタを初期化しない
1		カウンタを"0x0000"に同時初期化

- このビットは、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイム 16 ビットフリーランタイムを"0x0000"に初期化するために使用します。
- このビットに"1"を設定した場合:
タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイムの 16 ビットフリーランタイムを初期化します。また、タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイムのタイマ状態制御レジスタ(TCCS)の SCLR ビットを"1"にします。

- このビットに"0"を設定した場合:
タイマ同時起動許可レジスタ(TCGSE)で指定したフリーランタイムの16ビットフリーランタイムの初期化指示を解除します。また、タイマ同時起動許可レジスタ(TCGSE) で指定したフリーランタイムのタイマ状態制御レジスタ(TCCS)の SCLR ビットを"0"にします。
- 読出し値は、必ず"0"です。



5.2.2. タイマ同時起動許可レジスタ (FRSSxx_TCGSE)

タイマ同時起動許可レジスタ (FRSSxx_TCGSE) は、同時起動/クリアを許可するフリーランタイムを設定します。

(1) タイマ同時起動許可レジスタ 0 (FRSS00_TCGSE)/ タイマ同時起動許可レジスタ 1 (FRSS01_TCGSE)

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	7	6	5	4	3	2	1	0
Field	Reserved		FRT5	FRT4	FRT3	FRT2	FRT1	FRT0
R/W 属性	R0,W0		R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit15:6] Reserved: 予約ビット

[bit5:0] FRT5～FRT0: 同時起動/クリア設定

bit	説明
0	同時起動/クリアしない
1	同時起動/クリアする

- 同時起動/クリアを許可するフリーランタイムを設定します。
- 本ビットに"0"を設定した場合:
タイマ同時起動レジスタ (TCGS) の設定時に、フリーランタイムが起動またはクリアされません。
- 本ビットに"1"を設定した場合:
タイマ同時起動レジスタ (TCGS) の設定時に、フリーランタイムが起動またはクリアされます。

(2) タイマ同時起動許可レジスタ 2(FRSS02_TCGSE)

Bit	15	14	13	12	11	10	9	8
Field	Reserved				FRT11	FRT10	FRT9	FRT8
R/W 属性	R0,W0				R/W	R/W	R/W	R/W
保護属性	-							
初期値	0000				0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	FRT7	FRT6	FRT5	FRT4	FRT3	FRT2	FRT1	FRT0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15:12] Reserved: 予約ビット

[bit11:6] FRT11～FRT6: 同時起動/クリア設定ビット

bit	説明
0	同時起動/クリアしない(フリーランタイム同時起動 1)
1	同時起動/クリアする(フリーランタイム同時起動 1)

- 本ビットはフリーランタイム同時起動2からフリーランタイム同時起動1を制御する際に使用します。
- 本ビットによりフリーランタイム同時起動 1 を制御する際は、タイマ同時起動選択レジスタ(TCGSS)の SEL ビットを"1"に設定してください。

[bit5:0] FRT5～FRT0 : 同時起動/クリア設定ビット

bit	説明
0	同時起動/クリアしない(フリーランタイム同時起動 2)
1	同時起動/クリアする(フリーランタイム同時起動 2)

- 同時起動/クリアを許可するフリーランタイムを設定します。
- 本ビットに"0"を設定した場合:
タイマ同時起動レジスタ(TCGS)の設定時に、フリーランタイムが起動またはクリアされません。
- 本ビットに"1"を設定した場合:
タイマ同時起動レジスタ(TCGS)の設定時に、フリーランタイムが起動またはクリアされます。



5.2.3. タイマ同時起動ソース選択レジスタ(FRSS01_TCGSS)

タイマ同時起動ソース選択レジスタ(FRSS01_TCGSS)は、別のバスの同時起動と連動したタイマ許可/クリアを行うために使用します。本レジスタはフリーランタイム同時起動 1 のみ搭載されています。

Bit	7	6	5	4	3	2	1	0
Field	Reserved							SEL
R/W 属性	R0,W0							R/W
保護属性	-							
初期値	0000000							0

[bit7:1] Reserved: 予約ビット

[bit0] SEL: 同時起動ソース選択

bit	説明
0	フリーランタイム同時起動 1 の設定が有効
1	フリーランタイム同時起動 2 の設定が有効

フリーランタイム ch.6～ch.11 に対する同時起動ソースを選択します。

－ 本ビットに"0"を設定した場合:

同時起動ソースとして、フリーランタイム同時起動 1 のタイマ同時起動許可レジスタ (FRSS01_TCGSE:FRT5～FRT0)が有効になります。フリーランタイム同時起動 2 のタイマ同時起動許可レジスタ (FRSS01_TCGSE:FRT11～FRT6)は無効になります。

－ 本ビットに"1"を設定した場合:

同時起動ソースとして、フリーランタイム同時起動 2 のタイマ同時起動許可レジスタ (FRSS01_TCGSE:FRT11～FRT6)が有効になります。フリーランタイム同時起動 1 のタイマ同時起動許可レジスタ (FRSS01_TCGSE:FRT5～FRT0)は無効になります。



5.3. フリーランタイムカウンタ方向表示のレジスタ

フリーランタイムカウンタ方向表示のレジスタには、フリーランタイムカウンタ方向表示レジスタがあります。

5.3.1. フリーランタイムカウンタ方向表示レジスタ(FRCDxx_FRTCDD) (xx=00, 01, 02)

フリーランタイムカウンタ方向表示レジスタは、16 ビットフリーランタイムのカウンタ方向を示します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved		DOWN5	DOWN4	DOWN3	DOWN2	DOWN1	DOWN0
R/W 属性	R0,W0		R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit7:6] Reserved: 予約ビット

[bit5:0] DOWN5～DOWN0: カウンタ方向表示ビット

bit	説明
0	アップカウンタ(初期値)
1	ダウンカウンタ

- 16 ビットフリーランタイムの現在のカウンタ方向を表示します。
- カウンタ停止中は無効です。(カウンタ停止前の状態によるため)



6. 使用上の注意

16 ビットフリーランタイムのセクタと同時起動の使用上の注意を以下に示します。

フリーランタイムセクタの使用上の注意

必ずフリーランタイムの停止中に選択設定を行ってください。



CHAPTER 48: 16 ビットインプット キャプチャ

16 ビットインプットキャプチャの機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ
5. 使用上の注意



1. 概要

16 ビットインプットキャプチャはインプットキャプチャレジスタおよびインプットキャプチャ制御レジスタから構成されます。外部に 16 ビットフリーランタイムが接続され、16 ビットフリーランタイムの値がインプットキャプチャレジスタに格納されます。

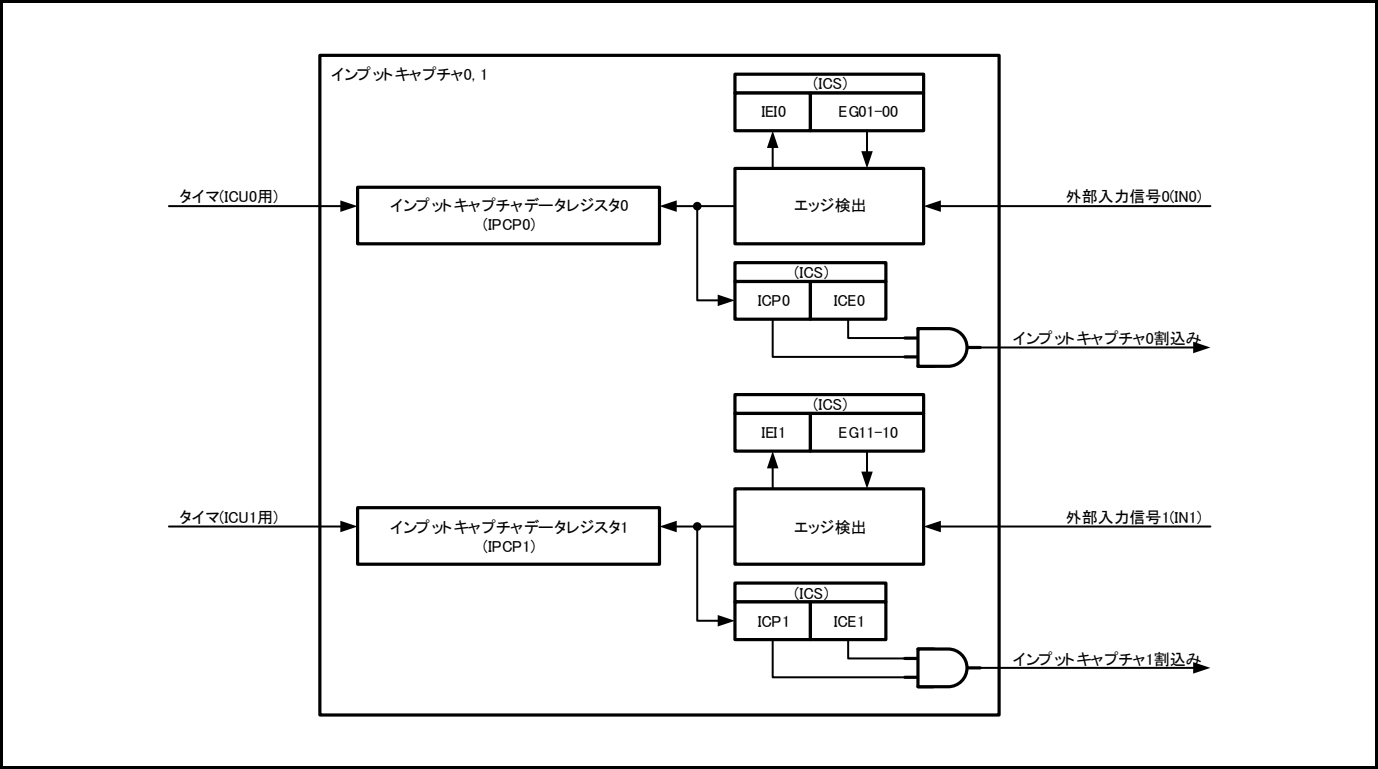
16 ビットインプットキャプチャの機能

- インプットキャプチャは、2 つの独立した外部入力信号と、この端子に対応するキャプチャレジスタおよびキャプチャ制御レジスタから構成されます。外部入力信号のエッジを検出した場合、16 ビットフリーランタイムの値をインプットキャプチャレジスタへ格納することができ、また、割込みも同時に生成されます。
- 外部入力信号の 3 種類のトリガエッジ(立上りエッジ、立下りエッジ、およびその両方のエッジ)を選択でき、また、トリガエッジが立上りエッジであるか立下りエッジであるかを示すレジスタがあります。
- 割込みは外部入力信号からの有効エッジが検出されると生成されます。
- 各コンペアユニットに対応するフリーランタイムのチャンネルを任意に設定できます。
- インプットキャプチャの各チャンネルは、複数あるフリーランタイムのいずれかを選択して使用できます。可能な組み合わせについては『フリーランタイムセクタ・同時起動』の章の構成を参照してください。

2. 構成

16 ビットインプットキャプチャの構成を示します。
図 2-1 に 16 ビットインプットキャプチャの構成図を示します。

図 2-1 16 ビットインプットキャプチャの構成図(ch.0, ch.1 の場合)





3. 動作説明

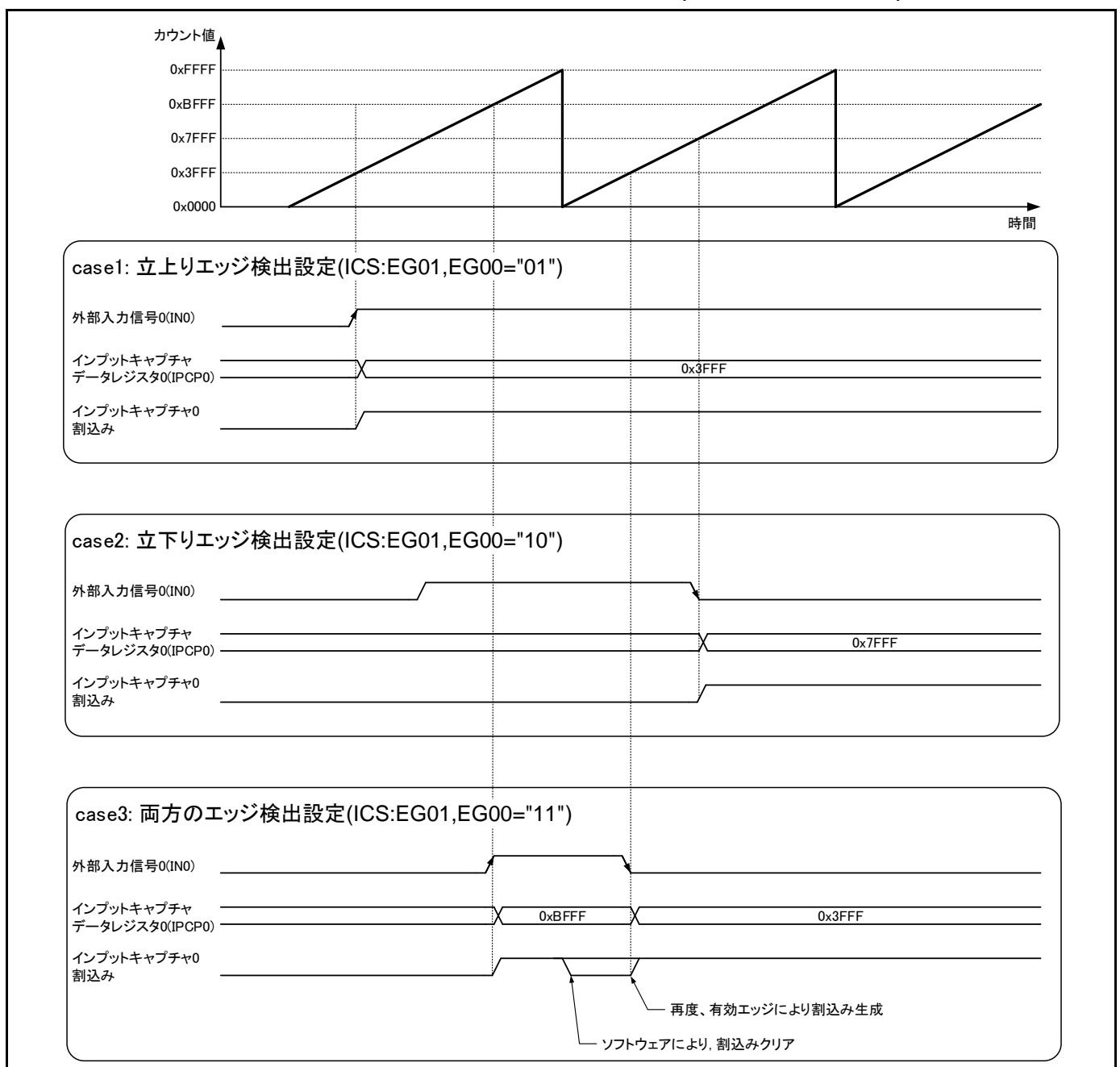
16 ビットインプットキャプチャの動作概要について説明します。

(1) 16 ビットインプットキャプチャの動作

16 ビットインプットキャプチャは、指定された有効なエッジを検出するために使用します。有効なエッジが検出されると割込みフラグがセットされ、16ビットフリーランタイムの値がインプットキャプチャデータレジスタへロードされます。

(2) インプットキャプチャの動作

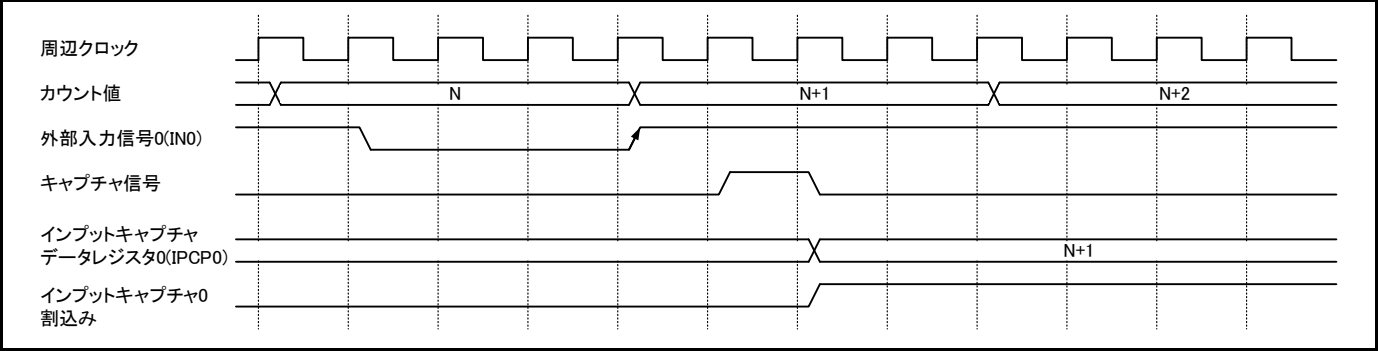
図 3-1 16 ビットインプットキャプチャタイミング例(インプットキャプチャ 0)





(3) 16 ビットインプットキャプチャ入力タイミング

図 3-2 入力信号に対する 16 ビットインプットキャプチャタイミング例(インプットキャプチャ 0 で立上リエッジ検出設定時 (ICS:EG01, EG00="00"))





3.1. 16 ビットインプットキャプチャの割込み

16 ビットインプットキャプチャの割込みには、外部入力信号によるインプットキャプチャ割込みがあります。有効なエッジが検出されると割込み要求が発生します。

16 ビットインプットキャプチャ割込み

16 ビットインプットキャプチャの割込み制御ビットと割込み要因を表 3-1 に示します。

表 3-1 16 ビットインプットキャプチャ 1, 0 の割込み制御ビットと割込み要因

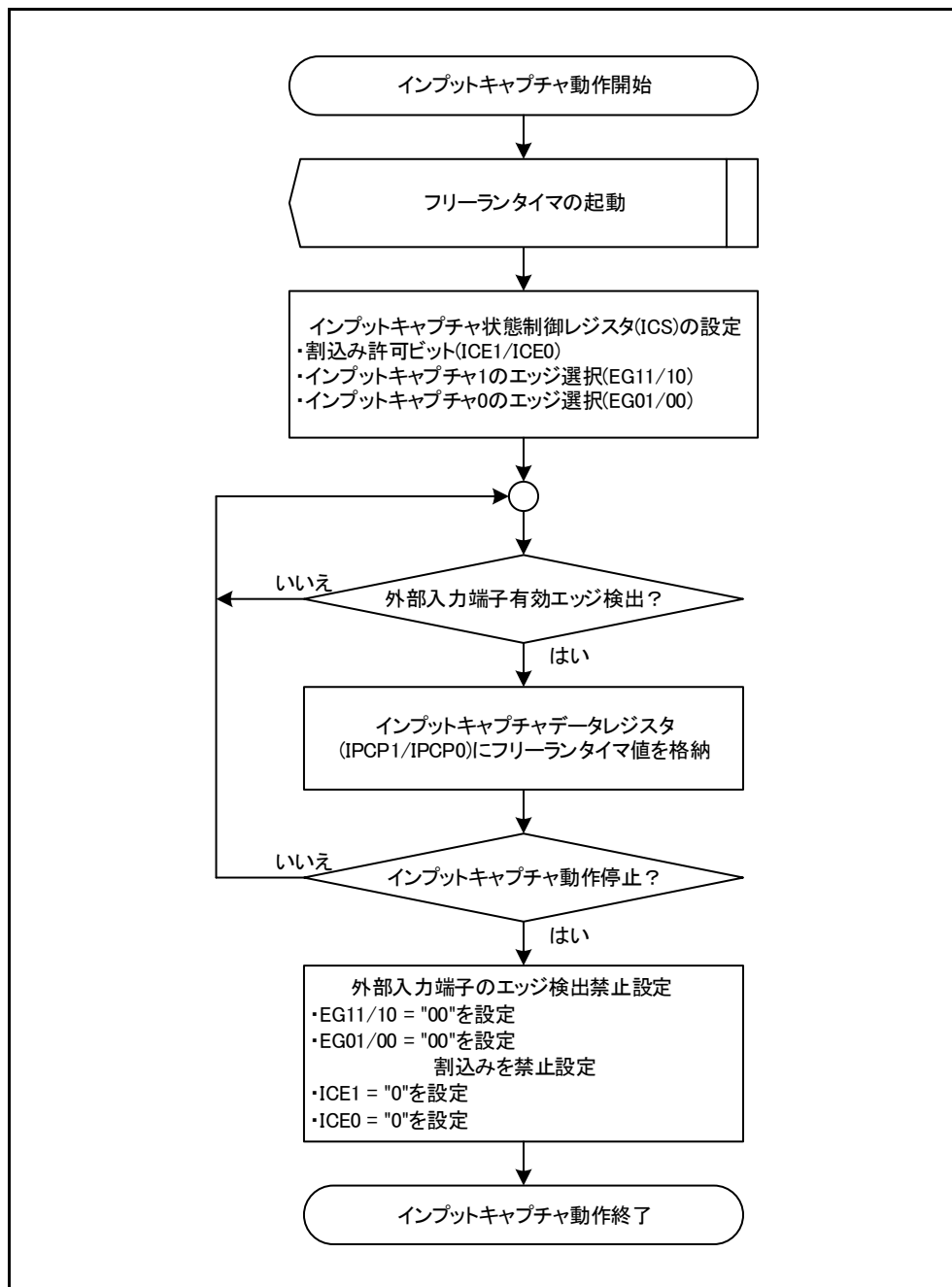
	16 ビットインプットキャプチャ 1, 0
割込み要求フラグビット	インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグビット(ICP1, ICP0)
割込み要求許可ビット	インプットキャプチャ状態制御レジスタ(ICS)の割込み要求許可ビット(ICE1, ICE0)
割込み要因	有効なエッジが外部入力信号(IN1, IN0)によって検出される

16 ビットインプットキャプチャでは、有効なエッジが外部入力信号(IN1, IN0)によって検出されると、インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグ(ICP1, ICP0)が"1"にセットされます。この状態において割込み要求が許可(インプットキャプチャ状態制御レジスタ(ICS)のICE1, ICE0="0b11")に設定されると、割込み要求は割込みコントローラへ出力されます。

3.2. 設定手順例

16 ビットインプットキャプチャの設定手順例を示します。

図 3-3 16 ビットインプットキャプチャ動作設定手順例





4. レジスタ

16 ビットインプットキャプチャのレジスタ一覧を示します。

16 ビットインプットキャプチャのすべてのレジスタにはプレフィックス(ICU16Bxx_)が付きます。xx はチャネル番号を表します。

表 4-1 16 ビットインプットキャプチャのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ICU16Bxx_IPCP0, ICU16Bxx_IPCP1	インプットキャプチャデータレジスタ 0, 1	4.1
ICU16Bxx_ICS	インプットキャプチャ状態制御レジスタ	4.2
ICU16Bxx_ICSC	インプットキャプチャ状態クリアレジスタ	4.3
ICU16Bxx_ICSS	インプットキャプチャ状態セットレジスタ	4.4

xx: チャネル番号(xx=00, 02, 04, 06, 08, 10, 12, 14)



4.1. インプットキャプチャデータレジスタ 0, 1(IPCP0, IPCP1)

インプットキャプチャデータレジスタ 0, 1(IPCP0, IPCP1)は、外部入力信号の有効エッジが検出されたときのフリーランタイムのカウント値を保持するために使います。

(1) インプットキャプチャデータレジスタ 0(IPCP0)

Bit	31-16
Field	CP
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000

[bit31:16] CP[15:0]: インプットキャプチャデータ値ビット

- インプットキャプチャデータレジスタ 0(IPCP0)は、外部入力信号(IN0)の有効エッジが検出されたときのフリーランタイム値を格納するために使用します。
- 説明中のフリーランタイムはインプットキャプチャに接続されている 16 ビットフリーランタイムの動作状態を示します。

<注意事項>

- 本レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令を使用してください。本レジスタにデータを書き込むことはできません。



(2) インプットキャプチャデータレジスタ 1(IPCP1)

Bit	15-0
Field	CP
R/W 属性	R,WX
保護属性	-
初期値	00000000_00000000

[bit15:0] CP[15:0]: インプットキャプチャデータ値ビット

- インプットキャプチャデータレジスタ 1(IPCP1)は、外部入力信号(IN1)の有効エッジが検出されたときのフリーランタイム値を格納するために使用します。
- 説明中のフリーランタイムはインプットキャプチャに接続されている 16 ビットフリーランタイムの動作状態を示します。

<注意事項>

- 本レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令を使用してください。本レジスタにデータを書き込むことはできません。

4.2. インプットキャプチャ状態制御レジスタ(ICS)

インプットキャプチャ状態制御レジスタ(ICS) は、エッジ選択、割込み要求許可、割込み要求フラグを制御するために使用します。また、インプットキャプチャ 0, 1 において検出された有効なエッジを示すためにも使用します。本レジスタへの書き込みについての詳細は、「5. 使用上の注意」を参照してください。

Bit	31	30	29	28	27	26	25	24
Field	Reserved						IEI1	IEI0
R/W 属性	R0,W0						R,WX	R,WX
保護属性	-							
初期値	000000						0	0

Bit	23	22	21	20	19	18	17	16
Field	ICP1	ICP0	ICE1	ICE0	EG1		EG0	
R/W 属性	R/W	R/W	R/W	R/W	R/W		R/W	
保護属性	-							
初期値	0	0	0	0	00		00	

[bit31:26] Reserved: 予約ビット

[bit25] IEI1: 有効エッジ指示ビット(インプットキャプチャ 1)

- このビットは、インプットキャプチャデータレジスタ 1 の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。
- 立下りエッジが検出されると、このビットに"0"がセットされます。
- 立上りエッジが検出されると、このビットに"1"がセットされます。
- このビットは、読出し専用ビットです。

bit	説明
0	立下りエッジが検出される
1	立上りエッジが検出される

<注意事項>

- エッジ選択ビット(EG1[1:0])が"0b00"の場合、読出し値は意味がありません。
- エッジ選択ビット(EG1[1:0])が"0b00"以外の場合、割込み要求フラグ(ICP1)がセットされるときに更新されます。

[bit24] IEI0: 有効エッジ指示ビット(インプットキャプチャ 0)

- このビットは、インプットキャプチャデータレジスタ 0 の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。
- 立下りエッジが検出されると、このビットに"0"がセットされます。
- 立上りエッジが検出されると、このビットに"1"がセットされます。
- このビットは、読出し専用ビットです。

bit	説明
0	立下りエッジが検出される。
1	立上りエッジが検出される



＜注意事項＞

- エッジ選択ビット(EG0[1:0])が"0b00"の場合、読出し値は意味がありません。
- エッジ選択ビット(EG0[1:0])が"0b00"以外の場合、割込み要求フラグ(ICP0)がセットされるときに更新されます。

[bit23] ICP1: 割込み要求フラグビット(インプットキャプチャ 1)

- このビットは、インプットキャプチャ 1 の割込み要求フラグとして使用します。
- このビットは、外部入力信号(IN1)に有効エッジが検出されると直ちに"1"がセットされます。
- 割込み要求許可ビット(ICE1)が"1"のとき、本ビットに"1"がセットされると、直ちに割込みを生成します。
- このビットに"0"を設定した場合：このビットは"0"にクリアされます。
- このビットに"1"を設定した場合：このビットは影響を受けません。
- このビットは、ICSC レジスタの ICPC1 ビットに"1"を設定することによって、"0"にクリアされます。

bit	説明	
	読出し時	書込み時
0	有効エッジが検出されない	このビットはクリアされる
1	有効エッジが検出される	このビットは影響を受けない

＜注意事項＞

- ハードウェアによるセットとソフトウェアクリア("0"書込み)によるクリアが同時に発生した場合は、ハードウェアによるセットが優先されます。

[bit22] ICP0: 割込み要求フラグビット(インプットキャプチャ 0)

- このビットは、インプットキャプチャ 0 の割込み要求フラグとして使用します。
- このビットは、外部入力信号(IN0)に有効エッジが検出されると直ちに"1"がセットされます。
- 割込み要求許可ビット(ICE0)が"1"のとき、本ビットに"1"がセットされると、直ちに割込みを生成します。
- このビットに"0"を設定した場合：このビットは"0"にクリアされます。
- このビットに"1"を設定した場合：このビットは影響を受けません。
- このビットは、ICSC レジスタの ICPC0 ビットに"1"を設定することによって、"0"にクリアされます。

bit	説明	
	読出し時	書込み時
0	有効エッジが検出されない	このビットはクリアされる
1	有効エッジが検出される	このビットは影響を受けない

＜注意事項＞

- ハードウェアによるセットとソフトウェアクリア("0"書込み)によるクリアが同時に発生した場合は、ハードウェアによるセットが優先されます。

[bit21] ICE1: 割込み要求許可ビット(インプットキャプチャ 1)

- このビットはインプットキャプチャ 1 の割込み要求を許可するために使用します。
- 本ビットが"1"のとき、割込み要求フラグビット(ICP1) がセットされると、インプットキャプチャ 1 割込みが生成されます。
- このビットは、ICSC レジスタの ICEC1 ビットに"1"を設定することによって、"0"にクリアされます。
- このビットは、ICSS レジスタの ICES1 ビットに"1"を設定することによって、"1"にセットされます。

bit	説明
0	割込み要求を禁止する
1	割込み要求を許可する

[bit20] ICE0: 割込み要求許可ビット(インプットキャプチャ 0)

- このビットはインプットキャプチャ 0 の割込み要求を許可するために使用します。
- 本ビットが"1"のとき、割込み要求フラグビット(ICP0) がセットされると、インプットキャプチャ 0 割込みが生成されます。
- このビットは、ICSC レジスタの ICEC0 ビットに"1"を設定することによって、"0"にクリアされます。
- このビットは、ICSS レジスタの ICES0 ビットに"1"を設定することによって、"1"にセットされます。

bit	説明
0	割込み要求を禁止する
1	割込み要求を許可する

[bit19:18] EG1[1:0]: エッジ選択ビット(インプットキャプチャ 1)

これらビットは、インプットキャプチャ 1 の動作を有効にするために使用し、外部入力信号(IN1)の有効エッジを指定します。

bit[19:18]	説明
00	エッジは検出されない(停止)
01	立上りエッジが検出される
10	立下りエッジが検出される
11	両方のエッジが検出される

[bit17:16] EG0[1:0]: エッジ選択ビット(インプットキャプチャ 0)

これらビットは、インプットキャプチャ 0 の動作を有効にするために使用し、外部入力信号(IN0)の有効エッジを指定します。

bit[17:16]	説明
00	エッジは検出されない(停止)
01	立上りエッジが検出される
10	立下りエッジが検出される
11	両方のエッジが検出される

<注意事項>

- 本レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令を使用してください。



4.3. インプットキャプチャ状態クリアレジスタ(ICSC)

インプットキャプチャ状態クリアレジスタ(ICSC) は、インプットキャプチャ状態制御レジスタ(ICS)のビットをクリアするために使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	ICPC1	ICPC0	ICEC1	ICEC0	Reserved			
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W0			
保護属性	-							
初期値	0	0	0	0	0000			

[bit31:24] Reserved: 予約ビット

[bit23] ICPC1: 割込み要求クリアビット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、割込み要求フラグビット(ICP1)をクリアします。

bit	説明
0	割込みフラグをクリアしません
1	割込みフラグをクリアします

[bit22] ICPC0: 割込み要求クリアビット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、割込み要求フラグビット(ICP0)をクリアします。

bit	説明
0	割込みフラグをクリアしません
1	割込みフラグをクリアします

[bit21] ICEC1: 割込み要求許可クリアビット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、要求許可ビット(ICE1)は"0"にクリアされます。

bit	説明
0	割込み要求許可ビットをクリアしません
1	割込み要求許可ビットをクリアします



[bit20] ICEC0: 割込み要求許可クリアビット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, 割込み要求許可ビット(ICE0)は"0"にクリアされます。

bit	説明
0	割込み要求許可ビットをクリアしません
1	割込み要求許可ビットをクリアします

[bit19:16] Reserved: 予約ビット

<注意事項>

- 本レジスタへアクセスする場合は, ハーフワードもしくはワードアクセス命令を使用してください。



4.4. インプットキャプチャ状態セットレジスタ(ICSS)

インプットキャプチャ状態セットレジスタ(ICSS) は、インプットキャプチャ状態制御レジスタ(ICS)のビットをセットするために使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

Bit	23	22	21	20	19	18	17	16
Field	Reserved		ICES1	ICES0	Reserved			
R/W 属性	R0,W0		R0,W	R0,W	R0,W0			
保護属性	-							
初期値	00		0	0	0000			

[bit31:22] Reserved: 予約ビット

[bit21] ICES1: 割込み要求許可セットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むと、割込み要求許可ビット(ICES1)は"1"にセットされます。

bit	説明
0	割込み要求許可ビットをセットしません
1	割込み要求許可ビットをセットします

[bit20] ICES0: 割込み要求許可セットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むと、割込み要求許可ビット(ICES0)は"1"にセットされます。

bit	説明
0	割込み要求許可ビットをセットしません
1	割込み要求許可ビットをセットします

[bit19:16] Reserved: 予約ビット

<注意事項>

- 本レジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令を使用してください。

5. 使用上の注意

16 ビットインプットキャプチャの使用上の注意を以下に示します。

(1) レジスタアクセス時の注意

a) インプットキャプチャデータレジスタ 0, 1(IPCP0, 1)へのアクセス時

インプットキャプチャデータレジスタ 0, 1(IPCP0, IPCP1)に対してはハーフワードもしくはワードアクセス命令を使用してください。

b) インプットキャプチャ状態制御レジスタ(ICS)へのアクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、タイマ状態クリアレジスタ(ICSC)の該当ビットに"1"を書き込むことによってクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、タイマ状態セットレジスタ(ICSS)の該当ビットに"1"を書き込むことによってセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書込みできます。

(2) 割込み処理時の注意

インプットキャプチャ状態制御レジスタ(ICS)の割込み要求フラグ(ICP1, ICP0)が"1"にセットされた後、割込みルーチンが処理されるまでの間に外部入力信号(IN0, IN1)のレベルが切り換わると、インプットキャプチャ状態制御レジスタ(ICS)の有効エッジ指示ビット(IEI1, IEI0) は検出された最新のエッジを示します。



CHAPTER 49: 16 ビットアウトプットコンペア

16 ビットアウトプットコンペアの機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ
5. 使用上の注意



1. 概要

16 ビットアウトプットコンペアは、アウトプットコンペアレジスタ、コンペア出力ラッチ、コンペア制御レジスタ、コンペアモード制御レジスタから構成されます。外部に 16 ビットフリーランタイムが接続され、16 ビットフリーランタイムの値とアウトプットコンペアレジスタが比較され、アウトプットコンペアの出力信号を制御します。

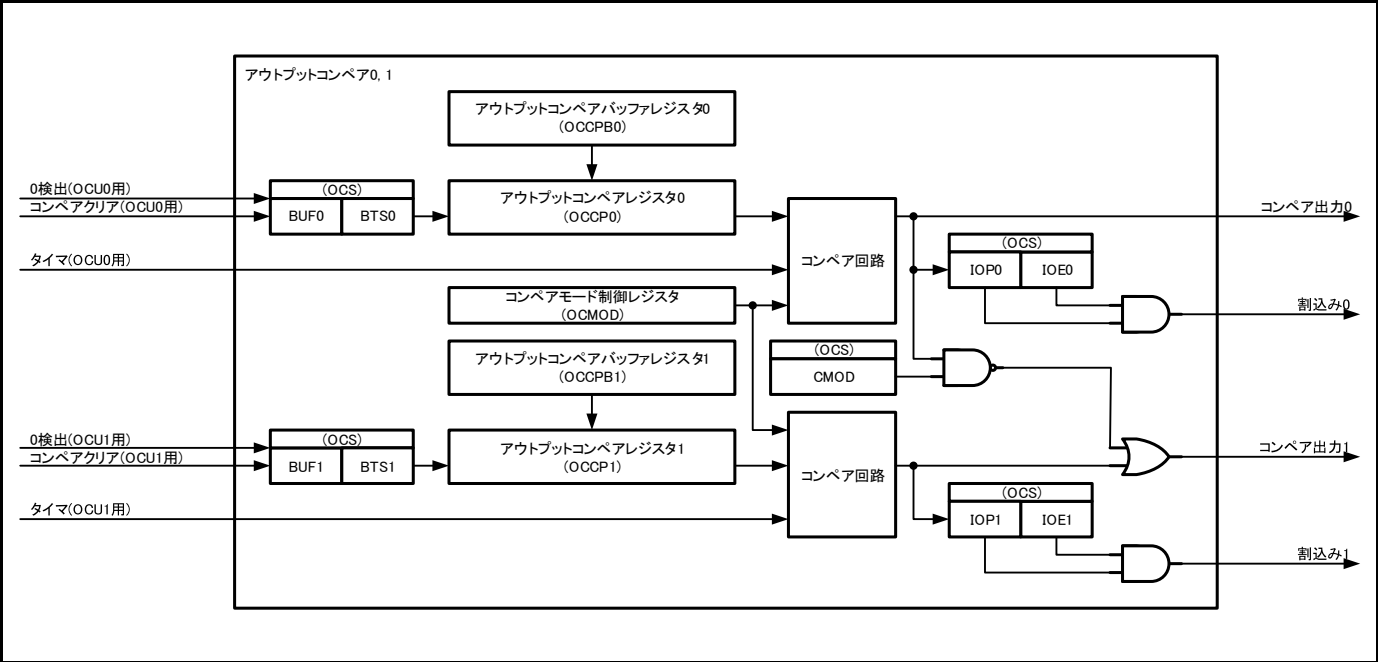
16 ビットアウトプットコンペアの機能

- 16 ビットアウトプットコンペアは、アウトプットコンペアレジスタ、コンペア出力ラッチ、コンペア制御レジスタ、コンペアモード制御レジスタから構成されます。16 ビットフリーランタイム値とアウトプットコンペアレジスタが一致した場合、割込みが生成され、出力レベルが反転します。
- 2 つのアウトプットコンペアレジスタを対(ペア)にして出力信号を制御できます。2 つのアウトプットコンペアレジスタを一緒に使用することによって出力信号を反転させます。
- 各出力信号の初期値を設定できます。
- 割込みはアウトプットコンペアレジスタが 16 ビットフリーランタイムと一致した場合に生成されます。
- アウトプットコンペアの各チャネルは、複数ある 16 ビットフリーランタイムのいずれかを選択して使用できます。可能な組み合わせについては『フリーランタイムセクタ・同時起動』の章の「構成」を参照してください。

2. 構成

16 ビットアウトプットコンペアの構成を示します。

図 2-1 16 ビットアウトプットコンペアの構成図(ch.0, ch.1 の場合)





3. 動作説明

16 ビットアウトプットコンペアの動作概要について説明します。

(1) 16 ビットアウトプットコンペアの動作

アウトプットコンペアは、"指定されたアウトプットコンペアレジスタに設定されている値"と"16ビットフリーランタイマの値"を比較し、一致が検出された場合は、割込みフラグが設定されて出力レベルが反転します。16ビットフリーランタイマがアップカウントモードの場合、カウントピークとアウトプットコンペアレジスタ値が一致したときはコンペア一致信号を無視します。

(2) 16 ビットアウトプットコンペアの動作(反転モード, OCMOD の MODn="0" (n=0~1))

a) コンペア動作は、各チャネル(コンペア制御レジスタ(OCS)のCMOD="0")において実行できません。

図 3-1 出力初期値が"0"のときにアウトプットコンペアレジスタ 0 とアウトプットコンペアレジスタ 1 を別々に使用した際の出力波形例(フリーランタイマはアップカウントモード)

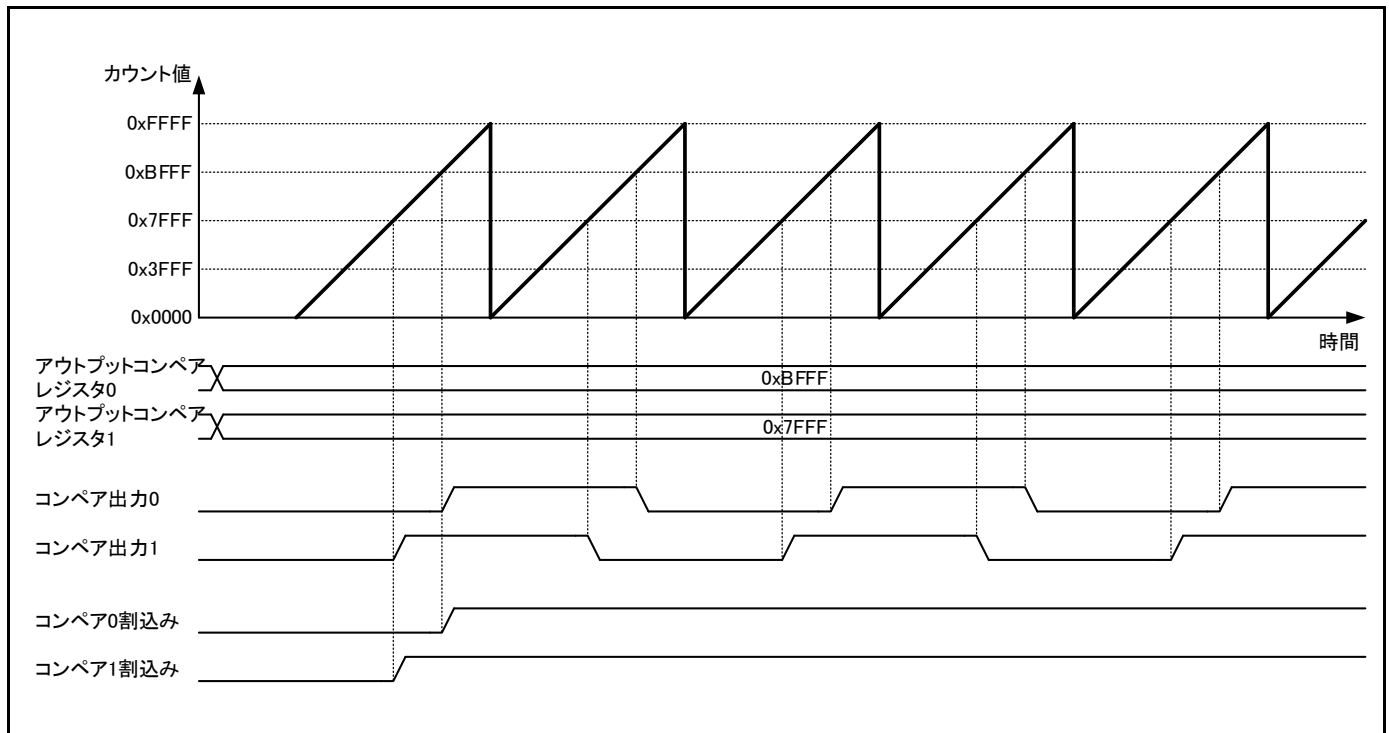
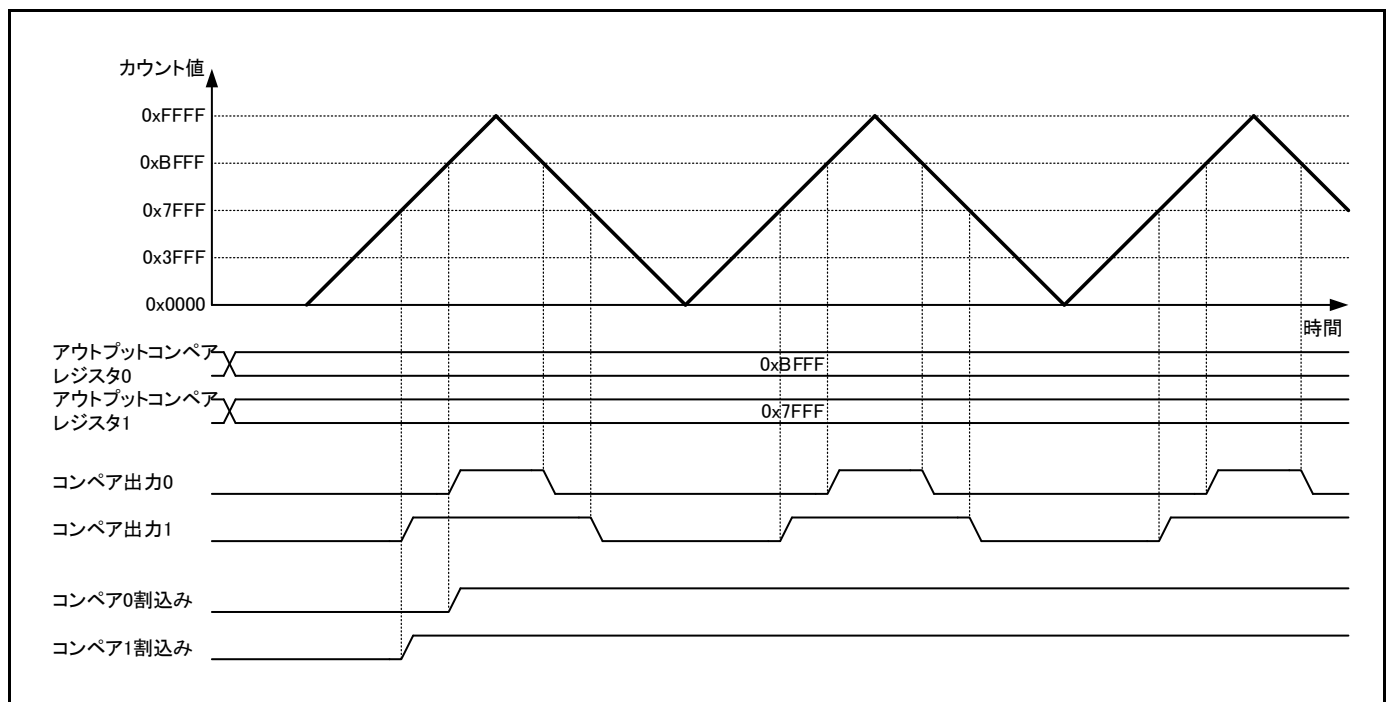


図 3-2 出力初期値が"0"のときにアウトプットコンペアレジスタ 0 とアウトプットコンペアレジスタ 1 を別々に使用した際の出力波形例(フリーランタイムはアップダウンカウントモード)



b) 出力レベルは、一対のコンペア制御レジスタ(OCS)の CMOD="1")を使用して変更できます。

図 3-3 出力初期値が"0"のときにアウトプットコンペアレジスタ 0 とアウトプットコンペアレジスタ 1 を一対で使用した際の出力波形例(フリーランタイムはアップカウントモード)

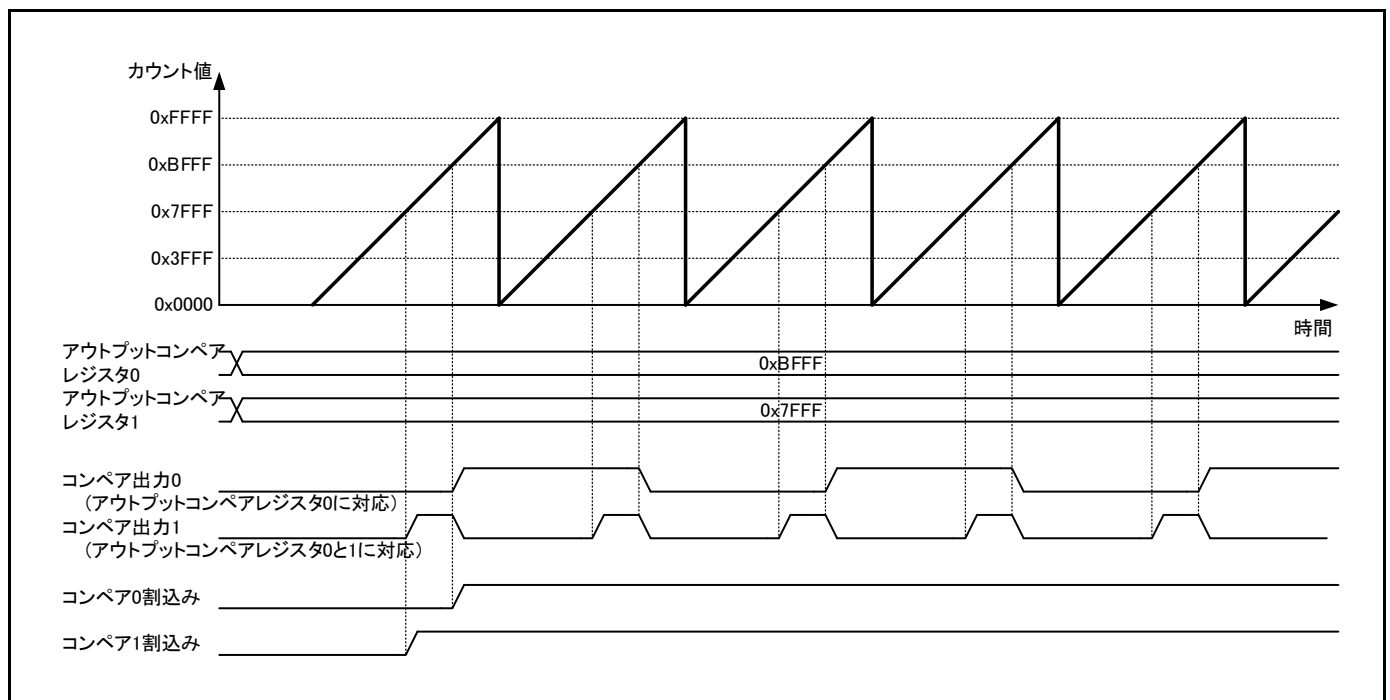
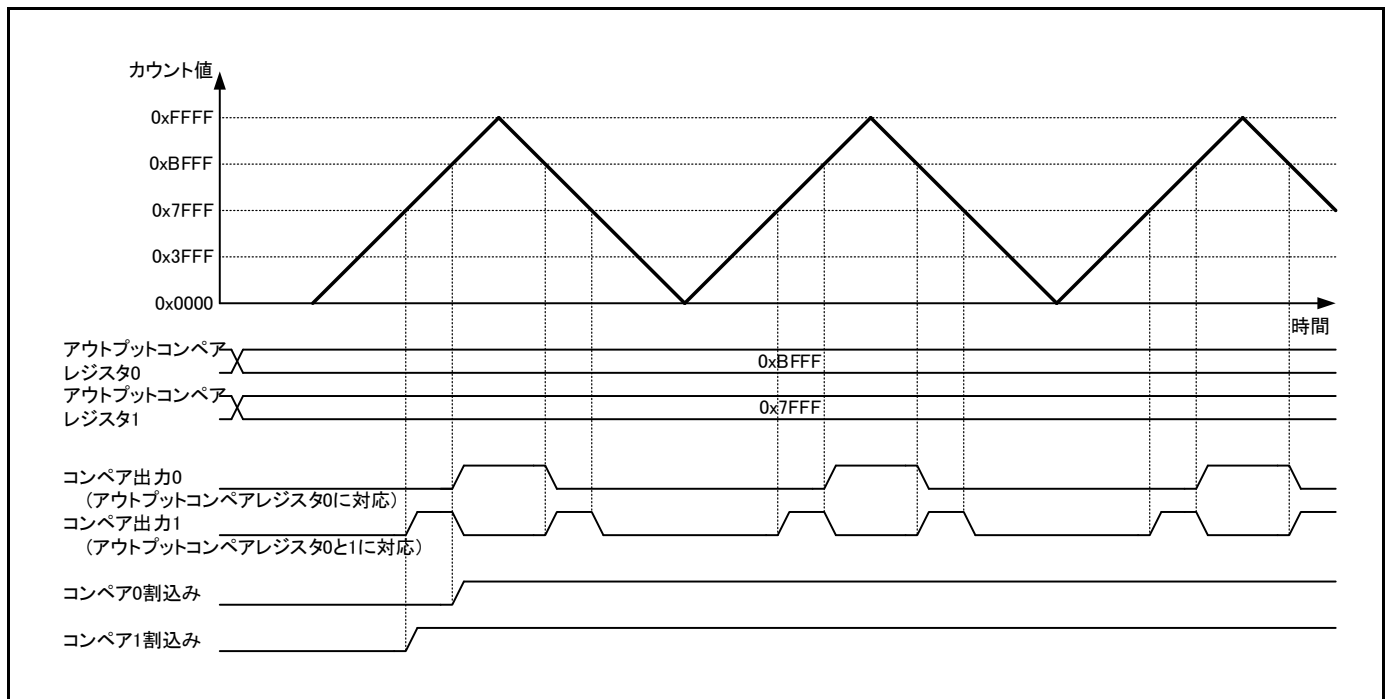


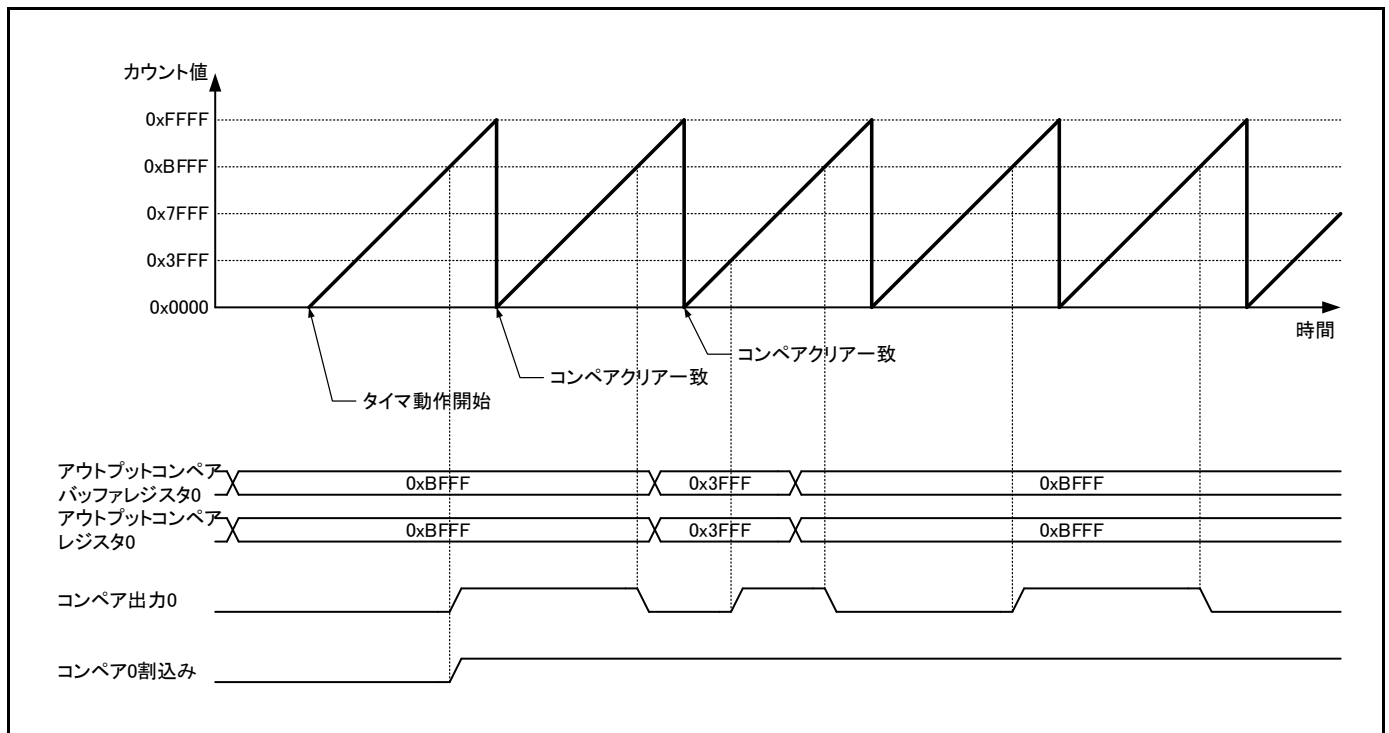


図 3-4 出力初期値が"0"のときにアウトプットコンペアレジスタ 0 とアウトプットコンペアレジスタ 1 を同時に使用した際の出力波形例(フリーランタイムはアップダウンカウントモード)



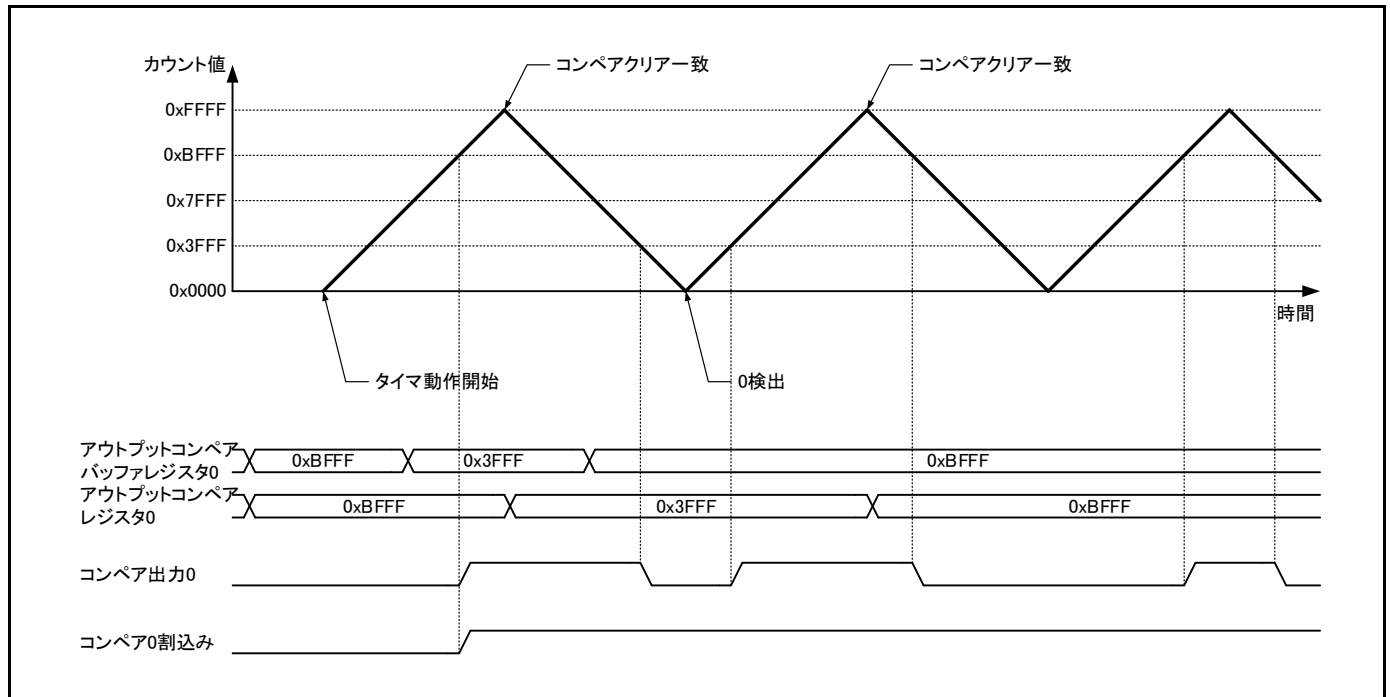
c) アウトプットコンペアバッファが無効になったときの出力レベル

図 3-5 アウトプットコンペアバッファが無効になっているときの出力波形例(フリーランタイムはアップカウントモード)



d) コンペアクリア一致発生時にアウトプットコンペアバッファが選択されたときの出力レベル

図 3-6 アウトプットコンペアバッファが有効になったときの出力波形例(フリーランタイムはアップダウンカウントモード)



(3) 16 ビットアウトプットコンペアの動作

(セット/リセットモード, OCMOD の MODn="1" (n=0~1))

図 3-7 16 ビットアウトプットコンペアの動作(セット/リセットモード) #1

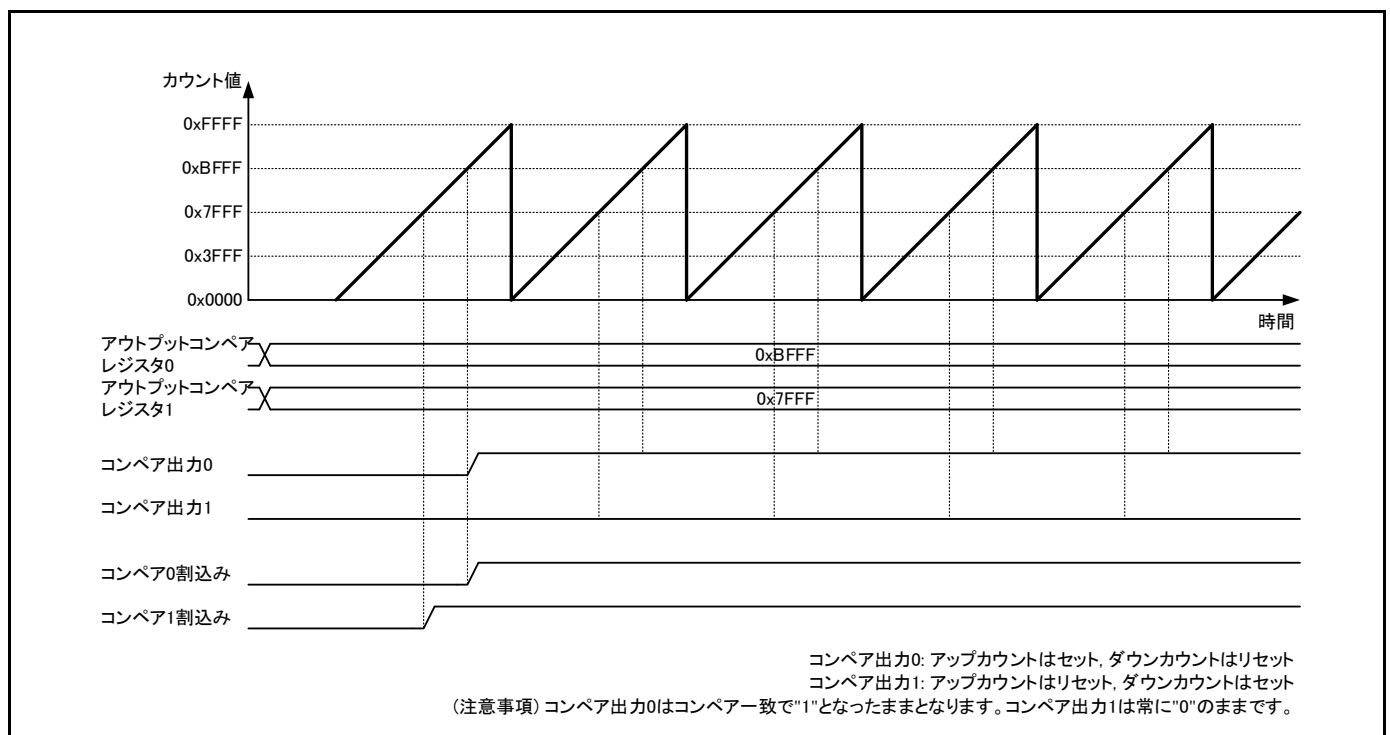
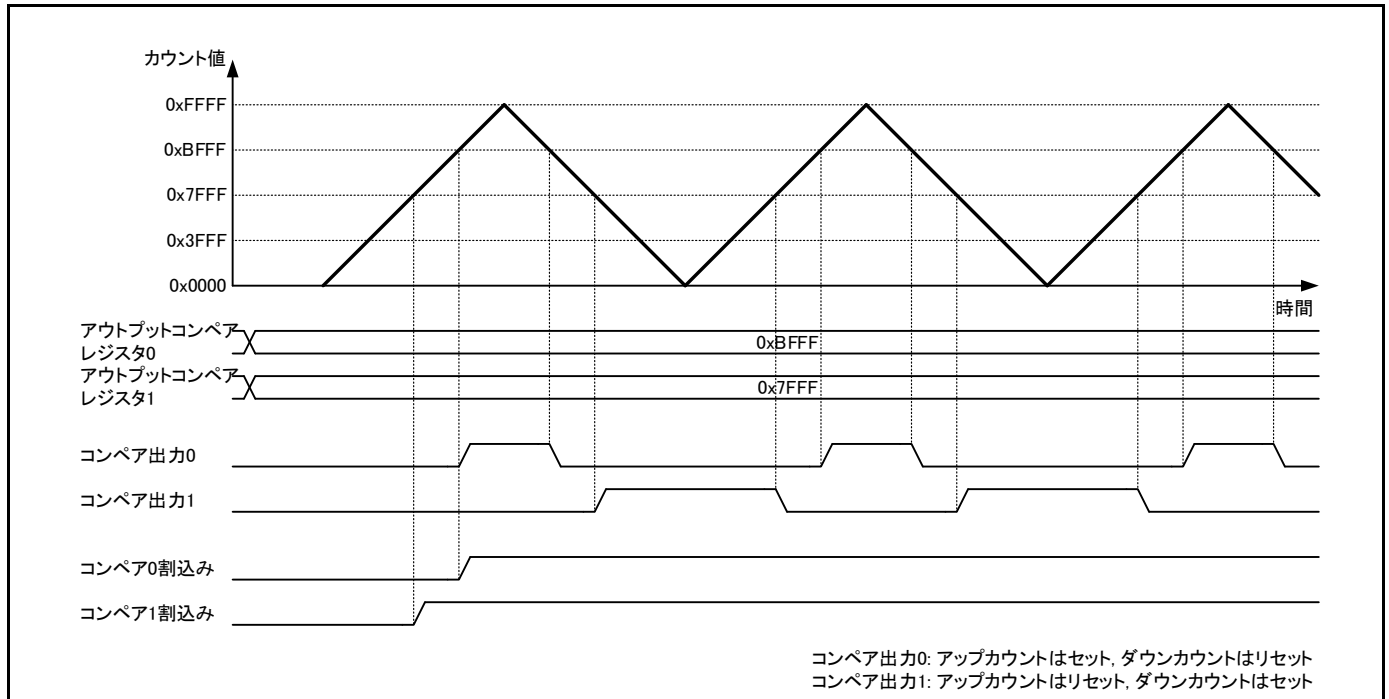




図 3-8 16 ビットアウトプットコンペアの動作(セット/リセットモード) #2

**(4) 16 ビットアウトプットコンペアタイミング**

フリーランタイムがアウトプットコンペアレジスタ値と一致した場合、アウトプットコンペアはコンペアー一致信号を生成して出力を反転して割込みを生成します。コンペアー一致が発生した場合、出力はカウンタのカウントタイミングと同期して反転します。

図 3-9 アウトプットコンペアレジスタ割込みタイミング

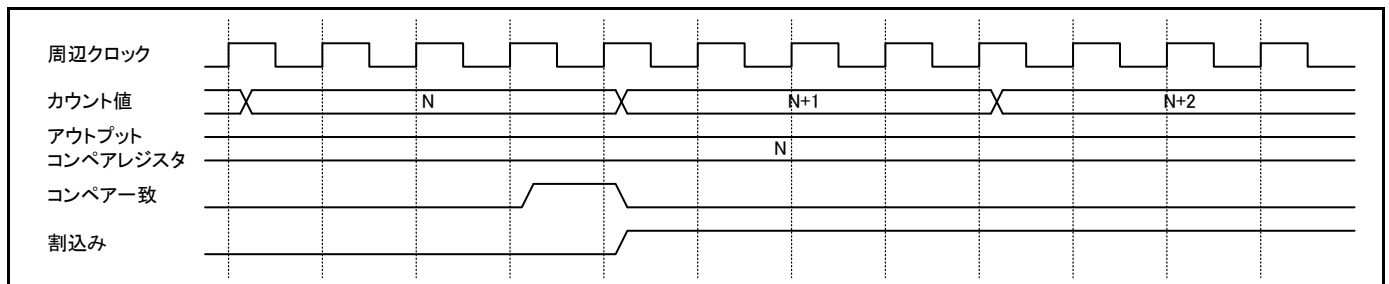
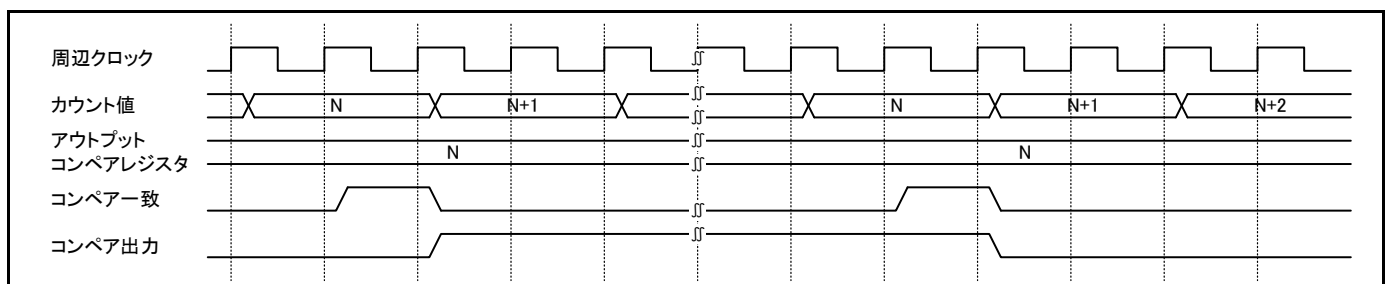


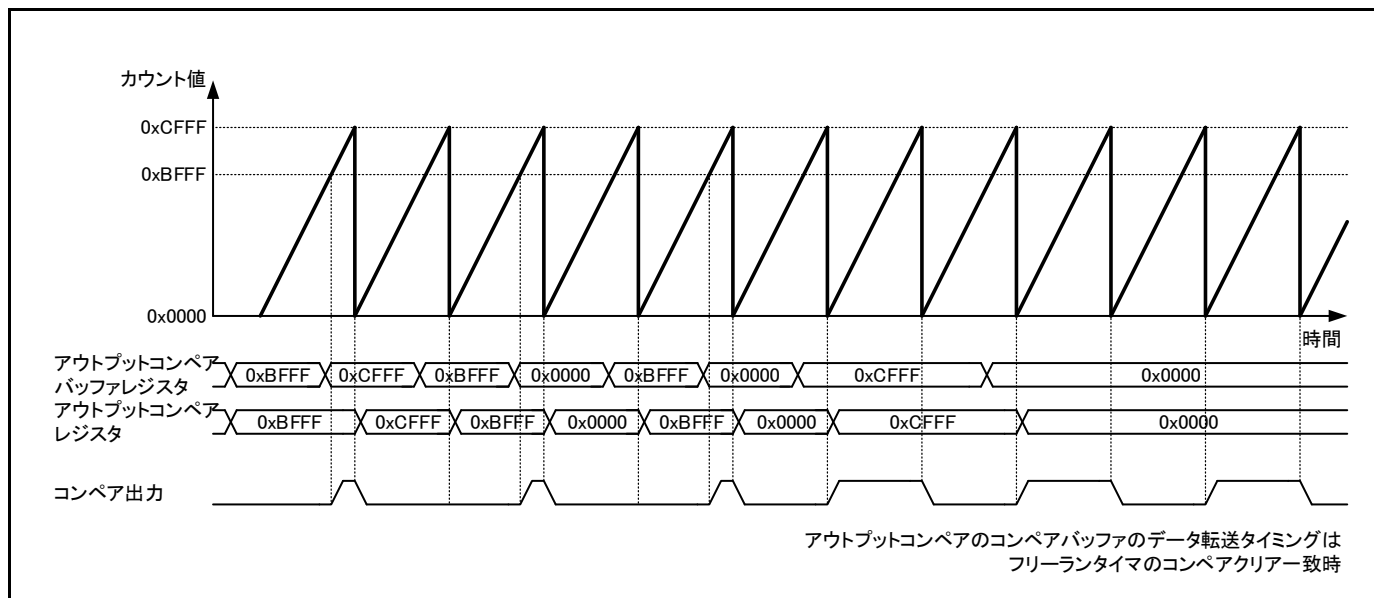
図 3-10 コンペア出力の変化タイミング



(5) 16 ビットアウトプットコンペアとフリーランタイマの動作について

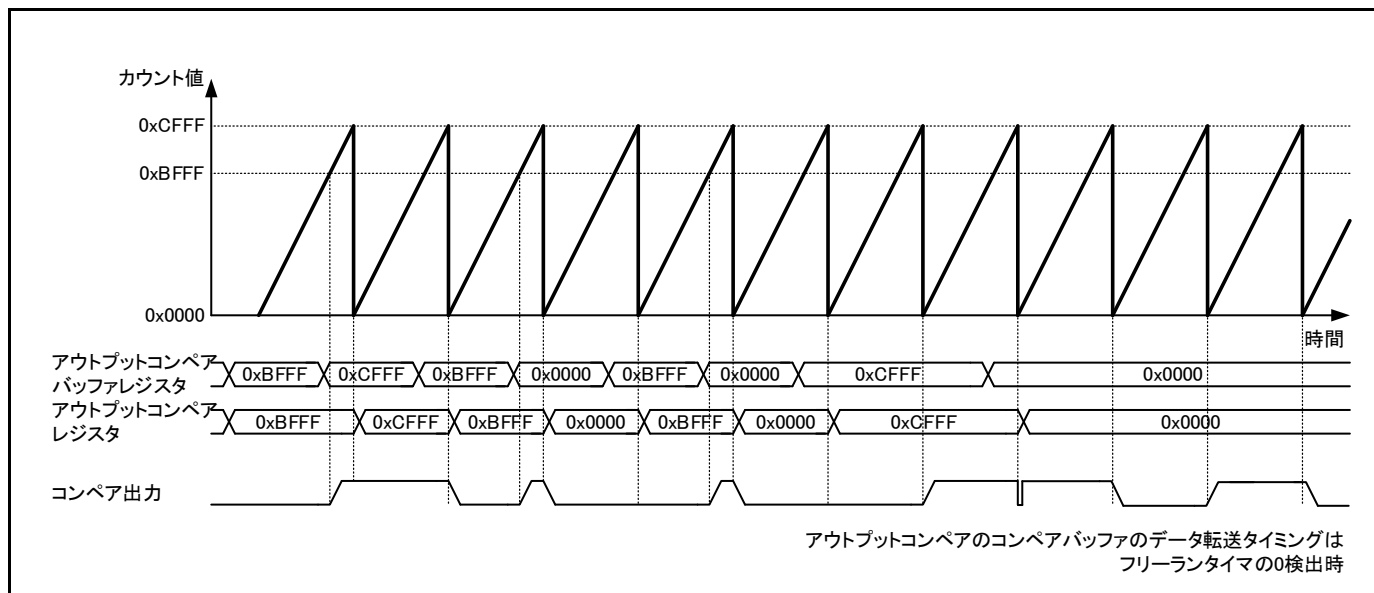
a) フリーランタイマがアップカウントの場合 #1

図 3-11 フリーランタイマがアップカウントの場合 #1



b) フリーランタイマがアップカウントの場合 #2

図 3-12 フリーランタイマがアップカウントの場合 #2

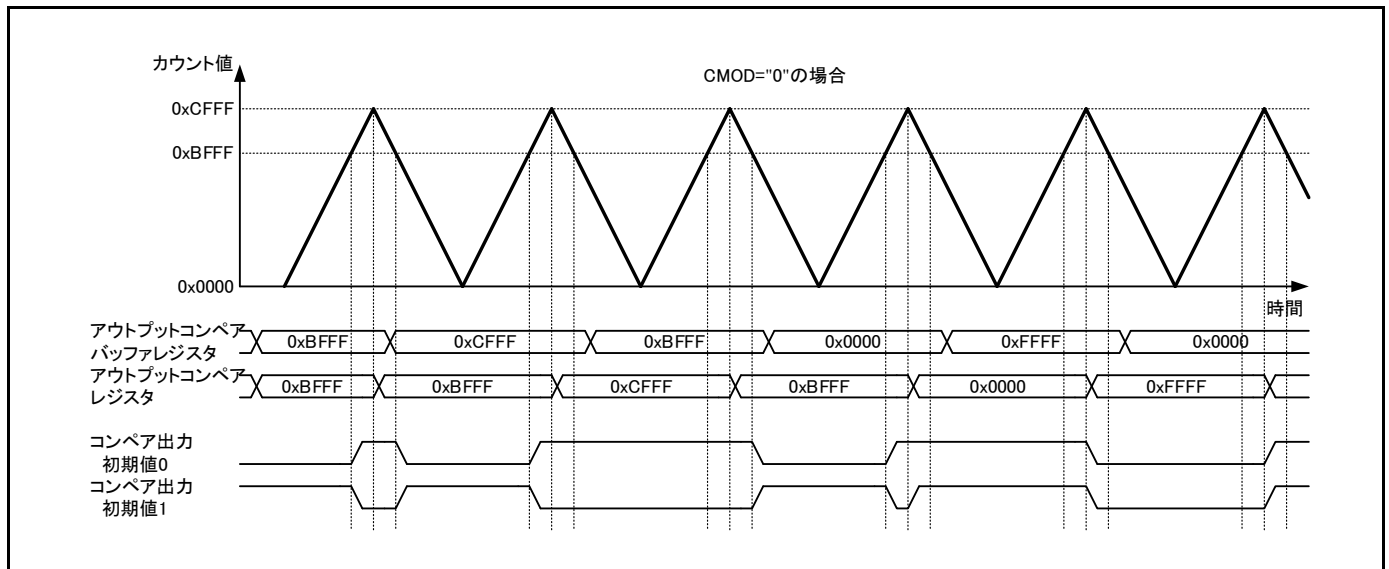


c) フリーランタイムがアップダウンカウントの場合 #1

- アウトプットコンペアのアウトプットコンペアバッファのデータ転送タイミングはフリーランタイムのコンペアクリア一致時
- アウトプットコンペア出力が一致時、出力反転モードの場合

<注意事項>

- アウトプットコンペアレジスタ値を"0x0000"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"H"にセットされます(OCS の CMOD="1"時は"0"にリセット)。
- アウトプットコンペアレジスタ値を"0xFFFF"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます(OCS の CMOD="1"時は"1"にセット)。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのアウトプットコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイム動作開始時に1度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とアウトプットコンペアレジスタ値をともに"0xFFFF"に設定した場合、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます。

図 3-13 フリーランタイムがアップダウンカウントの場合 #1**d) フリーランタイムがアップダウンカウントの場合 #2**

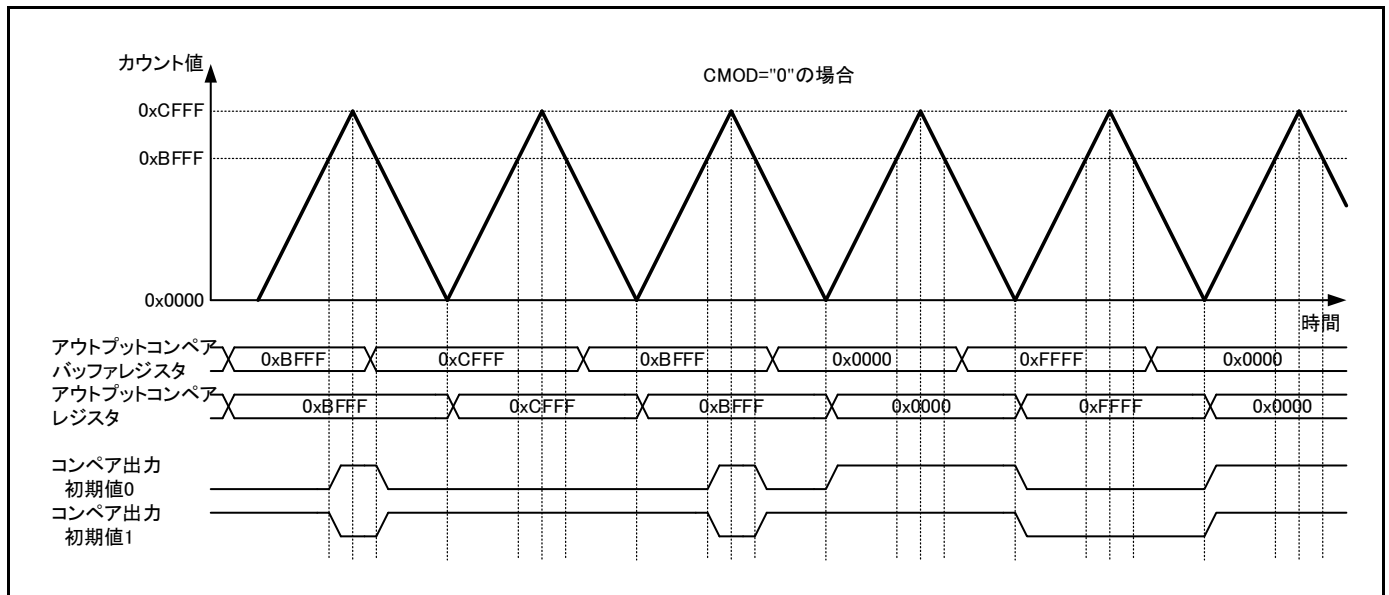
- アウトプットコンペアのアウトプットコンペアバッファのデータ転送タイミングはフリーランタイムの0検出時
- アウトプットコンペア出力が一致時、出力反転モードの場合

<注意事項>

- アウトプットコンペアレジスタ値を"0x0000"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"H"にセットされます(OCS の CMOD="1"時は"0"にリセット)。
- アウトプットコンペアレジスタ値を"0xFFFF"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます(OCS の CMOD="1"時は"1"にセット)。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのアウトプットコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイム動作開始時に1度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とアウトプットコンペアレジスタ値をともに

に"0xFFFF"に設定した場合、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます。

図 3-14 フリーランタイムがアップダウンカウントの場合 #2



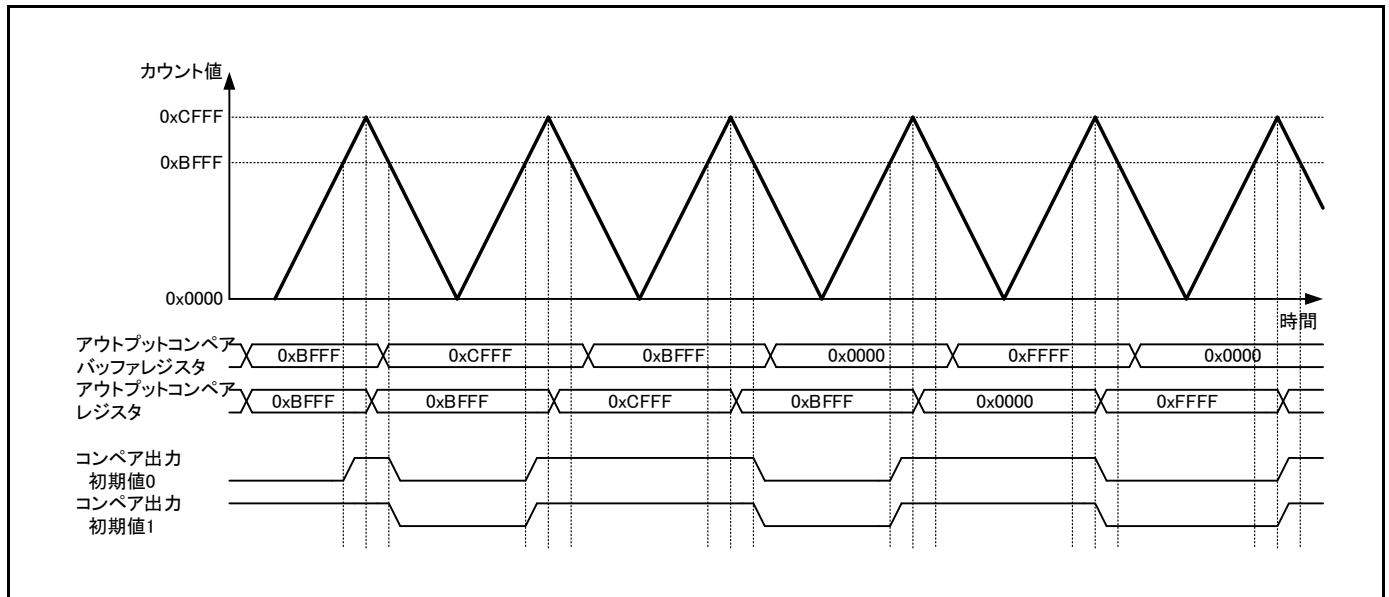
e) フリーランタイムがアップダウンカウントの場合 #3

- アウトプットコンペアのアウトプットコンペアバッファのデータ転送タイミングはフリーランタイムのコンペアクリア一致時
- アウトプットコンペア出力をアップカウント時の一致では"1"にセット、ダウンカウント時の一致では"0"にリセットする場合(OCS の CMOD="0")

<注意事項>

- アウトプットコンペアレジスタ値を"0x0000"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"H"にセットされます。
- アウトプットコンペアレジスタ値を"0xFFFF"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのアウトプットコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイム動作開始時に1度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とアウトプットコンペアレジスタ値をともに"0xFFFF"に設定した場合、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます。

図 3-15 フリーランタイムがアップダウンカウントの場合 #3



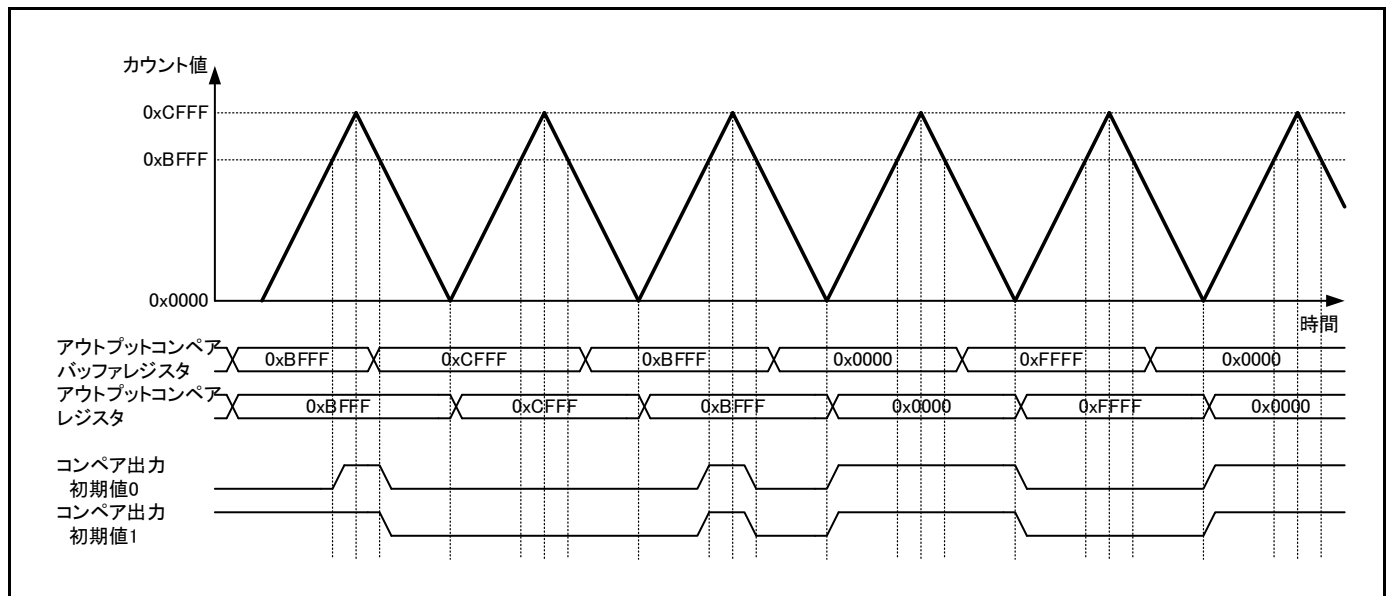
f) フリーランタイムがアップダウンカウントの場合 #4

- アウトプットコンペアのアウトプットコンペアバッファのデータ転送タイミングはフリーランタイムの0検出時
- アウトプットコンペア出力をアップカウント時の一致では"1"にセット、ダウンカウント時の一致では"0"にリセットする場合(OCS の CMOD="0")

<注意事項>

- アウトプットコンペアレジスタ値を"0x0000"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"H"にセットされます。
- アウトプットコンペアレジスタ値を"0xFFFF"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのアウトプットコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイム動作開始時に1度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とアウトプットコンペアレジスタ値をともに"0xFFFF"に設定した場合、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます。

図 3-16 フリーランタイムがアップダウンカウントの場合 #4



g) フリーランタイムがアップダウンカウントの場合 #5

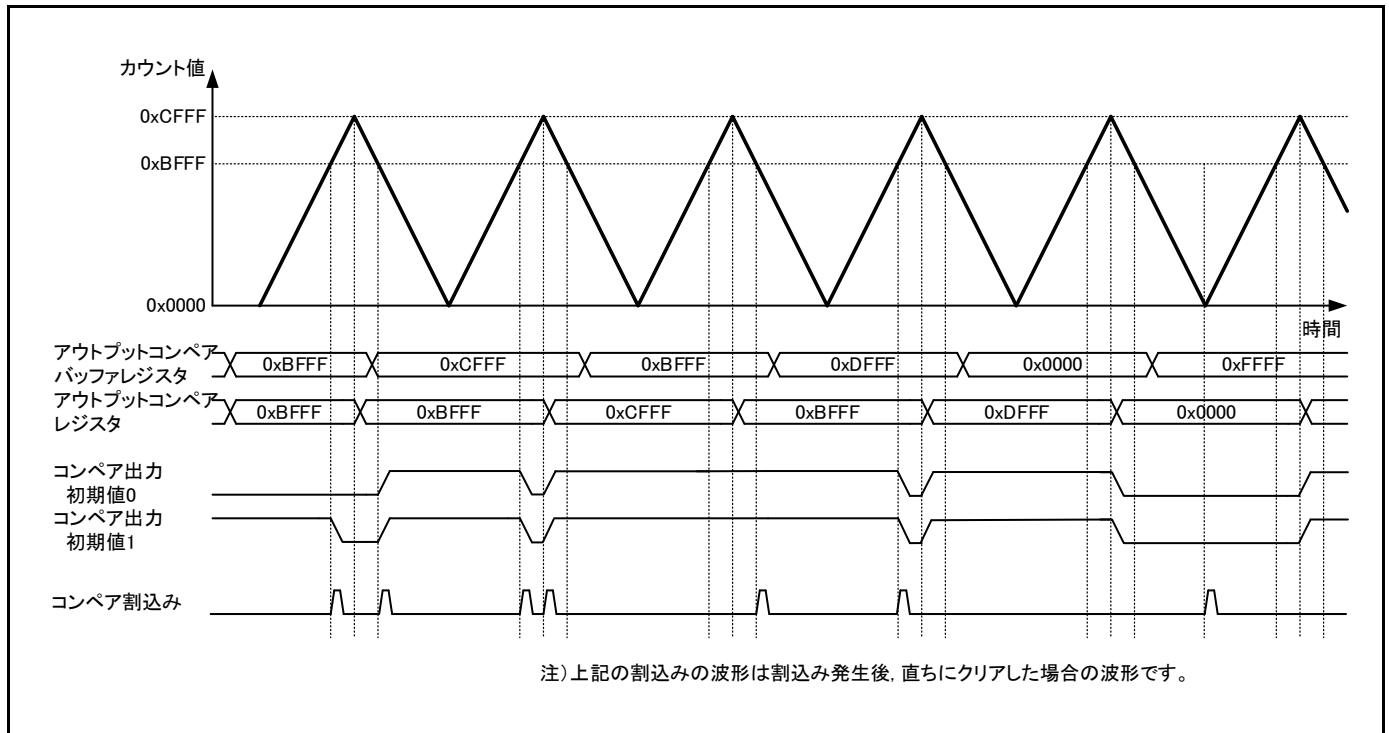
- アウトプットコンペアのアウトプットコンペアバッファのデータ転送タイミングはフリーランタイムのコンペアクリア一致時
- アウトプットコンペア出力をアップカウント時の一致では"0"にセット、ダウンカウント時の一致では"1"にリセットする場合(OCS の CMOD="1")

<注意事項>

- アウトプットコンペアレジスタ値を"0x0000"に設定したとき、フリーランタイムのコンペアクリア一致時に、コンペア出力は"L"になります。
- アウトプットコンペアレジスタ値をフリーランタイムのコンペアクリアレジスタ値以上に設定したとき、フリーランタイムのコンペアクリア一致時に、コンペア出力は"H"になります。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのアウトプットコンペアレジスタの値が一致したときには比較が行われ、割込みフラグが発生します。



図 3-17 フリーランタイムがアップダウンカウントの場合 #5



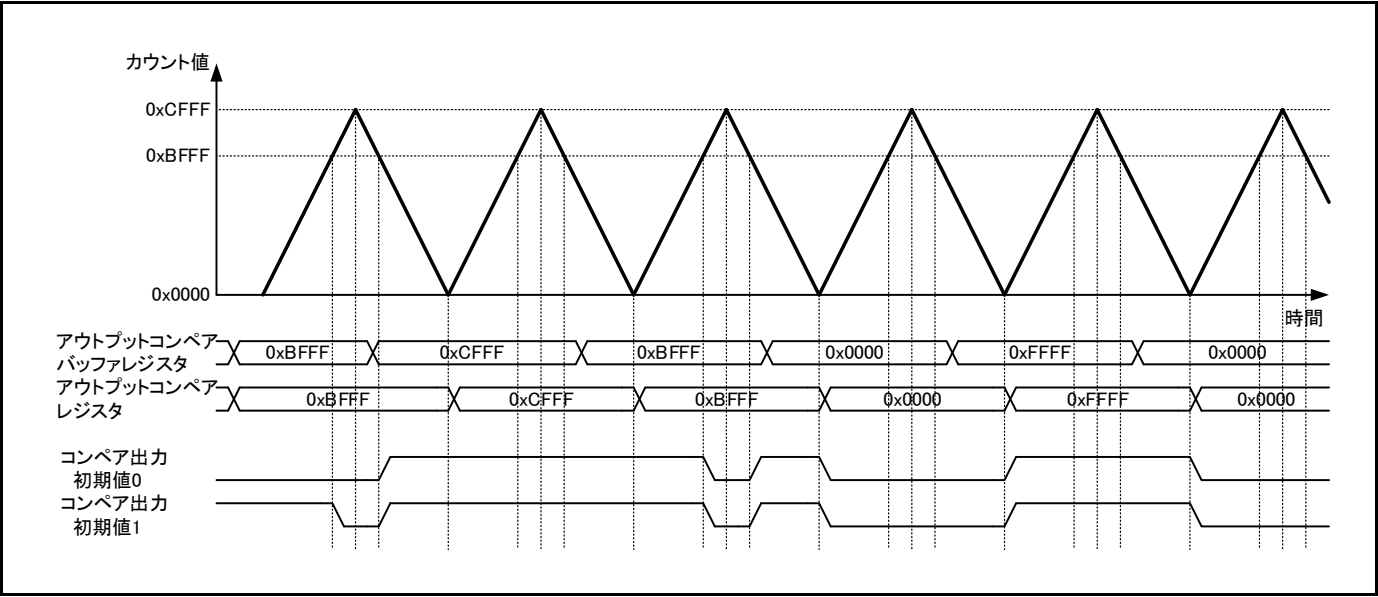
h) フリーランタイムがアップダウンカウントの場合 #6

- アウトプットコンペアのアウトプットコンペアバッファのデータ転送タイミングはフリーランタイムの0検出時
- アウトプットコンペア出力をアップカウント時の一致では"0"にセット、ダウンカウント時の一致では"1"にリセットする場合(OCSのCMOD="1")

<注意事項>

- アウトプットコンペアレジスタ値を"0x0000"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます。
- アウトプットコンペアレジスタ値を"0xFFFF"に設定したとき、フリーランタイムのカウント値にかかわらず、コンペア出力は"H"にセットされます。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのアウトプットコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイム動作開始時に1度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とアウトプットコンペアレジスタ値をともに"0xFFFF"に設定した場合、フリーランタイムのカウント値にかかわらず、コンペア出力は"L"にリセットされます。

図 3-18 フリーランタイムがアップダウンカウントの場合 #6





3.1. 16 ビットアウトプットコンペアの割込み

16ビットアウトプットコンペアの割込みは、16ビットフリーランタイム値とアウトプットコンペアレジスタが一致したときに割込みが発生します。

16 ビットアウトプットコンペアの割込み

16ビットアウトプットコンペアの割込み制御ビットと割込み要因を表 3-1 に示します。

表 3-1 16 ビットアウトプットコンペアの割込み制御ビットと割込み要因

	16 ビットアウトプットコンペア 0	16 ビットアウトプットコンペア 1
割込み要求フラグビット	コンペア制御レジスタ(OCS)の コンペアー一致割込みフラグビット(IOP0)	コンペア制御レジスタ(OCS)の コンペアー一致割込みフラグビット(IOP1)
割込み要求許可ビット	コンペア制御レジスタ(OCS)の コンペアー一致割込み要求許可ビット(IOE0)	コンペア制御レジスタ(OCS)の コンペアー一致割込み要求許可ビット(IE1)
割込み要因	16 ビットフリーランタイム値がアウトプット コンペアレジスタ 0(OCCP0)と一致する	16 ビットフリーランタイム値がアウトプット コンペアレジスタ 1(OCCP1)と一致する

16 ビットフリーランタイム値がアウトプットコンペアレジスタ 0(OCCP0)と一致したとき、コンペア制御レジスタ(OCS)の IOP0 が"1"に設定されます。また、16 ビットフリーランタイム値がアウトプットコンペアレジスタ 1(OCCP1)と一致したとき、コンペア制御レジスタ(OCS)の IOP1 が"1"に設定されます。この状態において割込み要求が許可(OCS の IOE1/IOE0="1")の場合、割込み要求が割込みコントローラへ出力されます。

4. レジスタ

16 ビットアウトプットコンペアのレジスタ一覧を示します。

16 ビットアウトプットコンペアのすべてのレジスタにはプレフィックス(OCU16Bxx_)が付きます。xx はチャネル番号を表します。

表 4-1 16 ビットアウトプットコンペアのレジスタ一覧

レジスタ略称	レジスタ名	参照先
OCU16Bxx_OCCPB0/O CU16Bxx_OCCP0	アウトプットコンペアバッファレジスタ 0, アウトプットコンペアレジスタ 0	4.1
OCU16Bxx_OCCPB1/O CU16Bxx_OCCP1	アウトプットコンペアバッファレジスタ 1, アウトプットコンペアレジスタ 1	4.2
OCU16Bxx_OCS	コンペア制御レジスタ	4.3
OCU16Bxx_OCMOD	コンペアモード制御レジスタ	4.4
OCU16Bxx_OCSC	コンペア制御クリアレジスタ	4.5
OCU16Bxx_OCSS	コンペア制御セットレジスタ	4.6

xx: チャネル番号(xx=00, 02, 04, 06, 08, 10, 12, 14, 16, 18, 20, 22)



4.1. アウトプットコンペアバッファレジスタ 0(OCCPB0)/アウトプットコンペアレジスタ 0(OCCP0)

アウトプットコンペアバッファレジスタ 0(OCCPB0)は、アウトプットコンペアレジスタ 0(OCCP0) 用の 16 ビットバッファレジスタです。

アウトプットコンペアレジスタ 0(OCCP0)は、16 ビットフリーランタイムのカウント値と比較するために使用する 16 ビットレジスタです。

アウトプットコンペアバッファレジスタ 0(OCCPB0)とアウトプットコンペアレジスタ 0(OCCP0) レジスタは、両方とも同じアドレスに存在しています。

(1) アウトプットコンペアバッファレジスタ 0(OCCPB0)

Bit	31-16
Field	OP
R/W 属性	W
保護属性	-
初期値	00000000_00000000

[bit31:16] OP[15:0]: コンペア値バッファビット

アウトプットコンペアバッファレジスタ 0は、アウトプットコンペアレジスタ 0(OCCP0) 用のバッファレジスタです。バッファ機能が無効になるか(コンペア制御レジスタ(OCS)の BUF0="1")またはフリーランタイムが停止した場合、アウトプットコンペアバッファレジスタの値は直ちにアウトプットコンペアレジスタへ転送されます。バッファ機能が有効になると(コンペア制御レジスタ(OCS)の BUF0="0"), 値はコンペア制御レジスタ(OCS)の転送選択ビット(BTS0)にしたがってコンペアクリア一致時または 0 検出時に転送されます。

<注意事項>

- 本レジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令をご使用ください。

(2) アウトプットコンペアレジスタ 0(OCCP0)

Bit	31-16
Field	OP
R/W 属性	R
保護属性	-
初期値	00000000_00000000

[bit31:16] OP[15:0]: コンペア値ビット

- アウトプットコンペアレジスタ 0 は、16 ビットフリーランタイマのカウント値と比較するために使用する 16 ビットレジスタです。タイマの動作を有効にする前にアウトプットコンペアバッファレジスタ 0(OCCPB0)に値を設定してください。
- アウトプットコンペアレジスタ 0 の値が 16 ビットフリーランタイマのカウント値と一致した場合、コンペア信号が生成され、アウトプットコンペア割込みフラグビット(コンペア制御レジスタ(OCS)の IOP0)が設定されます。出力レベルが設定されると(コンペア制御レジスタ(OCS)の OTD0)、アウトプットコンペアレジスタ 0(OCCP0)に対応するコンペア出力レベルを反転させることができます。
- 以下のすべての条件を満足し、本レジスタ値に 16 ビットフリーランタイマのピーク値以上の値を設定した場合、バッファ転送直後にコンペア出力は"H"となります。また、"0x0000"を設定した場合、バッファ転送直後にコンペア出力は"L"となります。
 - フリーランタイマがアップダウンカウント
 - コンペア制御レジスタ(OCS)の BUF0 ビット="0"(バッファ機能有効)
 - コンペア制御レジスタ(OCS)の BTS0 ビット="1"(コンペアクリア一致時転送)
 - コンペア制御レジスタ(OCS)の CMOD ビット="1"
 - コンペアモード制御レジスタ(OCMOD)の MOD ビット="1"
- 上記のすべての条件を満足しないとき、本レジスタ値と 16 ビットフリーランタイマのアップダウンモード時のピーク値と一致しても、コンペア信号は生成されません。また、CMOD ビットの設定によって以下ようになります。
 - コンペア制御レジスタ(OCS)の CMOD ビット="1"のとき
本レジスタ値に"0xFFFF"を設定した場合、16 ビットフリーランタイマの値や反転モードにかかわらず、コンペア出力は"H"となります。"0x0000"を設定した場合、コンペア出力は"L"となります。
 - コンペア制御レジスタ(OCS)の CMOD ビット="0"のとき
本レジスタ値に"0xFFFF"を設定した場合、16 ビットフリーランタイマの値や反転モードにかかわらずコンペア出力は"L"となります。"0x0000"を設定した場合、コンペア出力は"H"となります。

<注意事項>

- 本レジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令をご使用ください。



4.2. アウトプットコンペアバッファレジスタ 1(OCCPB1)/アウトプットコンペアレジスタ 1(OCCP1)

アウトプットコンペアバッファレジスタ 1(OCCPB1)は、アウトプットコンペアレジスタ 1(OCCP1) 用の 16 ビットバッファレジスタです。

アウトプットコンペアレジスタ 1(OCCP1)は、16 ビットフリーランタイムのカウント値と比較するために使用する 16 ビットレジスタです。

アウトプットコンペアバッファレジスタ 1(OCCPB1)とアウトプットコンペアレジスタ 1(OCCP1) レジスタは、両方とも同じアドレスに存在しています。

(1) アウトプットコンペアバッファレジスタ 1(OCCPB1)

Bit	15-0
Field	OP
R/W 属性	W
保護属性	-
初期値	00000000_00000000

[bit15:0] OP[15:0]: コンペア値バッファビット

アウトプットコンペアバッファレジスタ 1は、アウトプットコンペアレジスタ 1(OCCP1) 用のバッファレジスタです。バッファ機能が無効になるか(コンペア制御レジスタ(OCS)の BUF1="1")またはフリーランタイムが停止した場合、アウトプットコンペアバッファレジスタの値は直ちにアウトプットコンペアレジスタへ転送されます。バッファ機能が有効になると(コンペア制御レジスタ(OCS)の BUF1="0"), 値はコンペア制御レジスタ(OCS)の転送選択ビット(BTS1)にしたがってコンペアクリア一致時または 0 検出時に転送されます。

<注意事項>

- 本レジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令をご使用ください。

(2) アウトプットコンペアレジスタ 1(OCCP1)

Bit	15-0
Field	OP
R/W 属性	R
保護属性	-
初期値	00000000_00000000

[bit15:0] OP[15:0]: コンペア値ビット

- アウトプットコンペアレジスタ 1 は 16 ビットフリーランタイマのカウント値と比較するために使用する 16 ビットレジスタです。タイマの動作を有効にする前にアウトプットコンペアバッファレジスタ 1(OCCPB1)に値を設定してください。
- アウトプットコンペアレジスタ 1 の値が 16 ビットフリーランタイマのカウント値と一致した場合、コンペア信号が生成され、アウトプットコンペア割込みフラグビット(コンペア制御レジスタ(OCS)の IOP1)が設定されます。出力レベルが設定されると(コンペア制御レジスタ(OCS)の OTD1), アウトプットコンペアレジスタ 1(OCCP1)に対応するコンペア出力レベルを反転させることができます。
- 以下のすべての条件を満足し、本レジスタ値に 16 ビットフリーランタイマのピーク値以上の値を設定した場合、バッファ転送直後にコンペア出力は"H"となります。また、"0x0000"を設定した場合、バッファ転送直後にコンペア出力は"L"となります。
 - フリーランタイマがアップダウンカウント
 - コンペア制御レジスタ(OCS)の BUF1 ビット="0"(バッファ機能有効)
 - コンペア制御レジスタ(OCS)の BTS1 ビット="1"(コンペアクリア一致時転送)
 - コンペア制御レジスタ(OCS)の CMOD ビット="1"
 - コンペアモード制御レジスタ(OCMOD)の MOD ビット="1"
- 上記のすべての条件を満足しないとき、本レジスタ値と 16 ビットフリーランタイマのアップダウンモード時のピーク値と一致しても、コンペア信号は生成されません。また、CMOD ビットの設定によって以下ようになります。
 - コンペア制御レジスタ(OCS)の CMOD ビット="1"のとき
本レジスタ値に"0xFFFF"を設定した場合、16 ビットフリーランタイマの値や反転モードにかかわらず、コンペア出力は"H"となります。"0x0000"を設定した場合、コンペア出力は"L"となります。
 - コンペア制御レジスタ(OCS)の CMOD ビット="0"のとき
本レジスタ値に"0xFFFF"を設定した場合、16 ビットフリーランタイマの値や反転モードにかかわらずコンペア出力は"L"となります。"0x0000"を設定した場合、コンペア出力は"H"となります。

<注意事項>

- 本レジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令をご使用ください。



4.3. コンペア制御レジスタ(OCS)

コンペア制御レジスタ(OCS)は、コンペア出力0/コンペア出力1の出力レベル、出力許可、出力レベル反転モード、コンペア動作許可、コンペア一致割込み許可およびコンペア一致割込みフラグを制御するために使用します。本レジスタへの書き込みについての詳細は、「5. 使用上の注意」を参照してください。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	BTS1	BTS0	CMOD	Reserved		OTD1	OTD0
R/W 属性	R0,W0	R/W	R/W	R/W	R/W0		R,W	R,W
保護属性	-							
初期値	0	1	1	0	00		0	0

Bit	23	22	21	20	19	18	17	16
Field	IOP1	IOP0	IOE1	IOE0	BUF1	BUF0	CST1	CST0
R/W 属性	R,W	R,W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	1	1	0	0

[bit31] Reserved: 予約ビット

[bit30] BTS1: バッファ転送選択ビット

- 本ビットは、アウトプットコンペアバッファレジスタ 1(OCCPB1)からアウトプットコンペアレジスタ 1(OCCP1)へのデータ転送時期を選択するために使用します。
- 本ビットに"0"を設定した場合：
データ転送は、16 ビットフリーランタイムのカウント値"0"が検出されると起動します。
- 本ビットに"1"を設定した場合：
データ転送は、16 ビットフリーランタイムでコンペアクリア一致が発生した場合に起動します。
- このビットは、OCSC レジスタの BTSC1 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの BTSS1 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明
0	0 検出が発生した場合、転送が起動(ch.1)
1	コンペアクリア一致が発生した場合、転送が起動(ch.1)

[bit29] BTS0: バッファ転送選択ビット

- 本ビットは、アウトプットコンペアバッファレジスタ 0(OCCPB0)からアウトプットコンペアレジスタ 0(OCCP0)へのデータ転送時期を選択するために使用します。
- 本ビットに"0"を設定した場合：
データ転送は、16 ビットフリーランタイムのカウント値"0"が検出されると起動します。
- 本ビットに"1"を設定した場合：
データ転送は、16 ビットフリーランタイムでコンペアクリア一致が発生した場合に起動します。
- このビットは、OCSC レジスタの BTSC0 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの BTSS0 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明
0	0 検出が発生した場合、転送が起動(ch.0)
1	コンペアクリア一致が発生した場合、転送が起動(ch.0)

[bit28] CMOD: 出力レベル反転モードビット

本ビットは、一致が発生した場合にコンペア出力レベル反転モードを直ちに切り換えるために使用します。

－ 本ビットに"0"を設定した場合：

コンペアモード制御レジスタ：MODn="0"のとき

－ n=0 の場合

コンペア出力 0 は、16 ビットフリーランタイムとアウトプットコンペアレジスタ 0(OCCP0)が一致した場合、直ちに反転します。

－ n=1 の場合

コンペア出力 1 は、16 ビットフリーランタイムとアウトプットコンペアレジスタ 1(OCCP1)が一致した場合、直ちに反転します。

コンペアモード制御レジスタ：MODn="1"のとき

－ アップカウントモード時に一致したときは、"1"にセット

－ ダウンカウントモード時に一致したときは、"0"にリセット

－ 本ビットに"1"を設定した場合：

コンペアモード制御レジスタ：MODn="0"のとき

－ n=0 の場合

コンペア出力 0 は、16 ビットフリーランタイムとアウトプットコンペアレジスタ 0(OCCP0)が一致した場合、直ちに反転します。

－ n=1 の場合

コンペア出力 1 は、16 ビットフリーランタイムとアウトプットコンペアレジスタ(OCCP0 または OCCP1)が一致した場合、直ちに反転します。

－ アウトプットコンペアレジスタ(OCCP0 と OCCP1)が同じ値の場合

1つのアウトプットコンペアレジスタが使用される場合と同じ動作になります。

コンペアモード制御レジスタ：MODn="1"のとき

－ アップカウントモード時に一致したときは、"0"にリセット

－ ダウンカウントモード時に一致したときは、"1"にセット

このビットは、OCSC レジスタの CMODC ビットに"1"をセットすることによっても"0"にクリアされます。

このビットは、OCSS レジスタの CMODS ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明	
	コンペアモード制御レジスタ:MODn="0"	コンペアモード制御レジスタ:MODn="1"
0	<p>n=0 の場合 コンペア出力0は、アウトプットコンペアレジスタ 0(OCCP0)との一致が発生した場合、直ちに反転する。</p> <p>n=1 の場合 コンペア出力1は、アウトプットコンペアレジスタ 1(OCCP1)との一致が発生した場合、直ちに反転する。</p>	<p>アップカウント時の一致時は"1"にセット ダウンカウント時の一致時は"0"にリセット</p>
1	<p>n=0 の場合 コンペア出力0は、アウトプットコンペアレジスタ 0(OCCP0)との一致が発生した場合、直ちに反転する。</p> <p>n=1 の場合 コンペア出力1は、アウトプットコンペアレジスタ (OCCP0またはOCCP1)との一致が発生した場合、直ちに反転する。</p>	<p>アップカウント時の一致時は"0"にセット ダウンカウント時の一致時は"1"にリセット</p>

[bit27:26] Reserved: 予約ビット



[bit25] OTD1: 出力レベルビット

- 本ビットは、アウトプットコンペア出力 1 レベルを変更するために使用します。
- アウトプットコンペア出力 1 の初期値は"L"です。
- 値を書き込む場合は、必ず前もってコンペア動作を停止させてください。このビットの読出し値は、アウトプットコンペア値(コンペア出力 1)を示します。
- このビットは、OCSC レジスタの OTDC1 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの OTDS1 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明	
	読出し時	書き込み時
0	コンペア出力 1 の現在の出力値	コンペア出力 1 が"L"を出力
1		コンペア出力 1 が"H"を出力

<注意事項>

- 本ビットは、コンペア制御レジスタ(OCS)の CST1="0"のとき、書き込みが可能です。

[bit24] OTD0: 出力レベルビット

- 本ビットは、アウトプットコンペア出力 0 レベルを変更するために使用します。
- アウトプットコンペア出力 0 の初期値は"L"です。
- 値を書き込む場合は、必ず前もってコンペア動作を停止させてください。このビットの読出し値は、アウトプットコンペア値(コンペア出力 0)を示します。
- このビットは、OCSC レジスタの OTDC0 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの OTDS0 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明	
	読出し時	書き込み時
0	コンペア出力 0 の現在の出力値	コンペア出力 0 が"L"を出力
1		コンペア出力 0 が"H"を出力

<注意事項>

- 本ビットは、コンペア制御レジスタ(OCS)の CST0="0"のとき、書き込みが可能です。

[bit23] IOP1: コンペア一致割込みフラグビット

- 本ビットは、アウトプットコンペアレジスタ 1(OCCP1)が 16 ビットフリーランタイムの値と一致したことを示す割込みフラグです。
- 本ビットは、アウトプットコンペアレジスタ 1 の値が 16 ビットフリーランタイム値に一致した場合に "1" が設定されます。
- コンペア一致割込み許可ビット (IOE1) が許可 ("1") になっている間に本ビットが設定されると、アウトプットコンペア割込みが発生します。
- 本ビットに "0" を設定した場合：本ビットはクリアされます。
- 本ビットに "1" を設定した場合：本ビットは影響を受けません。
- OCSC レジスタの IOPC1 ビットに "1" をセットすることによっても "0" にクリアされます。

bit	説明	
	読出し時	書込み時
0	アウトプットコンペアレジスタ 1(OCCP1)のコンペア一致割込みが発生しない	このビットをクリアする
1	アウトプットコンペアレジスタ 1(OCCP1)のコンペア一致割込みが発生する	このビットに影響を与えない

<注意事項>

- ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit22] IOP0: コンペア一致割込みフラグビット

- 本ビットは、アウトプットコンペアレジスタ 0(OCCP0)が 16 ビットフリーランタイムの値と一致したことを示す割込みフラグです。
- 本ビットは、アウトプットコンペアレジスタ 0 の値が 16 ビットフリーランタイム値に一致した場合に "0" が設定されます。
- コンペア一致割込み許可ビット (IOE0) が許可 ("1") になっている間に本ビットが設定されると、アウトプットコンペア割込みが発生します。
- 本ビットに "0" を設定した場合：本ビットはクリアされます。
- 本ビットに "1" を設定した場合：本ビットは影響を受けません。
- OCSC レジスタの IOPC0 ビットに "1" をセットすることによっても "0" にクリアされます。

bit	説明	
	読出し時	書込み時
0	アウトプットコンペアレジスタ 0(OCCP0)のコンペア一致割込みが発生しない	このビットをクリアする
1	アウトプットコンペアレジスタ 0(OCCP0)のコンペア一致割込みが発生する	このビットに影響を与えない

<注意事項>

- ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。



[bit21] IOE1: コンペア一致割込み許可ビット

- 本ビットは、アウトプットコンペアレジスタ 1(OCCP1)のアウトプットコンペア割込みを許可するために使用します。
- 本ビットに"1"が書き込まれている間にコンペア一致割込みフラグビット(IOP1)が設定されると、アウトプットコンペア割込みが発生します。
- このビットは、OCSC レジスタの IOEC1 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの IOES1 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明
0	アウトプットコンペアレジスタ 1(OCCP1)のコンペア一致割込みを禁止する
1	アウトプットコンペアレジスタ 1(OCCP1)のコンペア一致割込みを許可する

[bit20] IOE0: コンペア一致割込み許可ビット

- 本ビットは、アウトプットコンペアレジスタ 0(OCCP0)のアウトプットコンペア割込みを許可するために使用します。
- 本ビットに"1"が書き込まれている間にコンペア一致割込みフラグビット(IOP0)が設定されると、アウトプットコンペア割込みが発生します。
- このビットは、OCSC レジスタの IOEC0 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの IOES0 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明
0	アウトプットコンペアレジスタ 0(OCCP0)のコンペア一致割込みを禁止する
1	アウトプットコンペアレジスタ 0(OCCP0)のコンペア一致割込みを許可する

[bit19] BUF1: アウトプットコンペアバッファ無効ビット

- 本ビットは、アウトプットコンペアレジスタ 1(OCCP1)のバッファ機能を無効にするために使用します。
- 本ビットに"0"を設定した場合、バッファ機能が有効になります。
- このビットは、OCSC レジスタの BUFC1 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの BUFS1 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明
0	アウトプットコンペアレジスタ 1(OCCP1)のアウトプットコンペアバッファを有効にする
1	アウトプットコンペアレジスタ 1(OCCP1)のアウトプットコンペアバッファを無効にする

[bit18] BUF0: アウトプットコンペアバッファ無効ビット

- 本ビットは、アウトプットコンペアレジスタ 0(OCCP0)のバッファ機能を無効にするために使用します。
- 本ビットに"0"を設定した場合、バッファ機能が有効になります。
- このビットは、OCSC レジスタの BUFC0 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの BUFS0 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明
0	アウトプットコンペアレジスタ 0(OCCP0)のアウトプットコンペアバッファを有効にする
1	アウトプットコンペアレジスタ 0(OCCP0)のアウトプットコンペアバッファを無効にする



[bit17] CST1: コンペア動作許可ビット

- 本ビットは、16ビットフリーランタイムとアウトプットコンペアレジスタ 1(OCCP1)の間のコンペア動作を許可するために使用します。
- コンペア動作を許可する場合は、必ず前もってアウトプットコンペアレジスタ 1(OCCP1)とフリーランタイムのタイマデータレジスタに値を書き込んでください。
- アウトプットコンペアと接続されているフリーランタイムが停止中の場合、コンペア動作を行いません。
- このビットは、OCSC レジスタの CSTC1 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの CSTS1 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明
0	アウトプットコンペアレジスタ 1(OCCP1)のコンペア動作を禁止にする
1	アウトプットコンペアレジスタ 1(OCCP1)のコンペア動作を許可にする

[bit16] CST0: コンペア動作許可ビット

- 本ビットは、16ビットフリーランタイムとアウトプットコンペアレジスタ 0(OCCP0)の間のコンペア動作を許可するために使用します。
- コンペア動作を許可する場合は、必ず前もってアウトプットコンペアレジスタ 0(OCCP0)とフリーランタイムのタイマデータレジスタに値を書き込んでください。
- アウトプットコンペアと接続されているフリーランタイムが停止中の場合、コンペア動作を行いません。
- このビットは、OCSC レジスタの CSTC0 ビットに"1"をセットすることによっても"0"にクリアされます。
- このビットは、OCSS レジスタの CSTS0 ビットに"1"をセットすることによっても"1"にセットされます。

bit	説明
0	アウトプットコンペアレジスタ 0(OCCP0)のコンペア動作を禁止にする
1	アウトプットコンペアレジスタ 0(OCCP0)のコンペア動作を許可にする



4.4. コンペアモード制御レジスタ(OCMOD)

コンペアモード制御レジスタ(OCMOD)は、コンペアー一致時の出力レベルを反転モードもしくはセット、リセットを行うかを制御します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							
R/W 属性	R1,W1							
保護属性	-							
初期値	11111111							

Bit	7	6	5	4	3	2	1	0
Field	Reserved						MOD1	MOD0
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						0	0

[bit15:2] Reserved: 予約ビット

[bit1] MOD1: コンペアー一致モード設定ビット

- 本ビットによりコンペア出力 1 のコンペアー一致時の動作を指示します。
- "0"のときは、一致時に出力値を反転します。
- "1"のときは、一致時に出力値を"1"にセット、もしくは"0"にリセットします。セット/リセットの切換えはコンペア制御レジスタ(OCS)の CMOD ビット(ch.0 と ch.1 において共通)によって設定します。

bit	説明
0	前出力値の反転
1	コンペア制御レジスタ(OCS)の CMOD ビットの設定により"1"にセットもしくは"0"にリセット

<注意事項>

- 値を書き込む場合は、必ず前もってコンペア動作を停止させてください。

[bit0] MOD0: コンペアー一致モード設定ビット

- 本ビットによりコンペア出力 0 のコンペアー一致時の動作を指示します。
- "0"のときは、一致時に出力値を反転します。
- "1"のときは、一致時に出力値を"1"にセット、もしくは"0"にリセットします。セット/リセットの切換えはコンペア制御レジスタ(OCS)の CMOD ビット(ch.0 と ch.1 において共通)によって設定します。

bit	説明
0	前出力値の反転
1	コンペア制御レジスタ(OCS)の CMOD ビットの設定により"1"にセットもしくは"0"にリセット

<注意事項>

- 値を書き込む場合は、必ず前もってコンペア動作を停止させてください。

4.5. コンペア制御クリアレジスタ(OCSC)

コンペア制御クリアレジスタ(OCSC)は、コンペア制御レジスタ(OCS)のビットをクリアするために使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	BTSC1	BTSC0	CMODC	Reserved		OTDC1	OTDC0
R/W 属性	R0,W0	R0,W	R0,W	R0,W	R0,W0		R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	00		0	0

Bit	23	22	21	20	19	18	17	16
Field	IOPC1	IOPC0	IOEC1	IOEC0	BUFC1	BUFC0	CSTC1	CSTC0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31] Reserved: 予約ビット

[bit30] BTSC1: バッファ転送選択クリアビット

bit	説明
0	バッファ転送選択ビットをクリアしません
1	バッファ転送選択ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、バッファ転送選択ビット(BTSC1)は"0"にクリアされます。

[bit29] BTSC0: バッファ転送選択クリアビット

bit	説明
0	バッファ転送選択ビットをクリアしません
1	バッファ転送選択ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、バッファ転送選択ビット(BTSC0)は"0"にクリアされます。

[bit28] CMODC: 出力レベル反転モードクリアビット

bit	説明
0	出力レベル反転モードビットをクリアしません
1	出力レベル反転モードビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、出力レベル反転モードビット(CMOD)は"0"にクリアされます。

[bit27:26] Reserved: 予約ビット



[bit25] OTDC1: 出力レベルクリアビット

bit	説明
0	出力レベルビットをクリアしません
1	出力レベルビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, 出力レベルビット(OTD1)は"0"にクリアされます。

[bit24] OTDC0: 出力レベルクリアビット

bit	説明
0	出力レベルビットをクリアしません
1	出力レベルビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, 出力レベルビット(OTD0)は"0"にクリアされます。

[bit23] IOPC1: 割込み要求クリアビット

bit	説明
0	コンペアー一致割込みフラグビットをクリアしません
1	コンペアー一致割込みフラグビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアー一致割込みフラグビット(IOP1)は"0"にクリアされます。

[bit22] IOPC0: 割込み要求クリアビット

bit	説明
0	コンペアー一致割込みフラグビットをクリアしません
1	コンペアー一致割込みフラグビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに "1"を書き込むと, コンペアー一致割込みフラグビット(IOP0)は"0"にクリアされます。

[bit21] IOEC1: コンペアー一致割込み許可クリアビット

bit	説明
0	コンペアー一致割込み許可ビットをクリアしません
1	コンペアー一致割込み許可ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアー一致割込み許可ビット(IOE1)は"0"にクリアされます。

[bit20] IOEC0: コンペアー一致割込み許可クリアビット

bit	説明
0	コンペアー一致割込み許可ビットをクリアしません
1	コンペアー一致割込み許可ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアー一致割込み許可ビット(IOE0)は"0"にクリアされます。

[bit19] BUFC1: コンペアバッファ無効クリアビット

bit	説明
0	コンペアバッファ無効ビットをクリアしません
1	コンペアバッファ無効ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアバッファ無効ビット(BUFC1)は"0"にクリアされます。

[bit18] BUFC0: コンペアバッファ無効クリアビット

bit	説明
0	コンペアバッファ無効ビットをクリアしません
1	コンペアバッファ無効ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアバッファ無効ビット(BUFC0)は"0"にクリアされます。

[bit17] CSTC1: コンペア動作許可クリアビット

bit	説明
0	コンペア動作許可ビットをクリアしません
1	コンペア動作許可ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペア動作許可ビット(CST1)は"0"にクリアされます。

[bit16] CSTC0: コンペア動作許可クリアビット

bit	説明
0	コンペア動作許可ビットをクリアしません
1	コンペア動作許可ビットをクリアします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペア動作許可ビット(CST0)は"0"にクリアされます。



4.6. コンペア制御セットレジスタ(OCSS)

コンペア制御セットレジスタ(OCSS)は、コンペア制御レジスタ(OCS)のビットをセットするために使用します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved	BTSS1	BTSS0	CMODS	Reserved		OTDS1	OTDS0
R/W 属性	R0,W0	R0,W	R0,W	R0,W	R0,W0		R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	00		0	0

Bit	23	22	21	20	19	18	17	16
Field	Reserved		IOES1	IOES0	BUFS1	BUFS0	CSTS1	CSTS0
R/W 属性	R0,W0		R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit31] Reserved: 予約ビット

[bit30] BTSS1: バッファ転送選択セットビット

bit	説明
0	バッファ転送選択ビットをセットしません
1	バッファ転送選択ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、バッファ転送選択ビット(BTS1)は"1"にセットされます。

[bit29] BTSS0: バッファ転送選択セットビット

bit	説明
0	バッファ転送選択ビットをセットしません
1	バッファ転送選択ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、バッファ転送選択ビット(BTS0)は"1"にセットされます。

[bit28] CMODS: 出力レベル反転モードセットビット

bit	説明
0	出力レベル反転モードビットをセットしません
1	出力レベル反転モードビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと、出力レベル反転モードビット(CMOD)は"1"にセットされます。

[bit27:26] Reserved: 予約ビット

[bit25] OTDS1: 出力レベルセットビット

bit	説明
0	出力レベルビットをセットしません
1	出力レベルビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, 出力レベルビット(OTD1)は"1"にセットされます。

[bit24] OTDS0: 出力レベルセットビット

bit	説明
0	出力レベルビットをセットしません
1	出力レベルビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, 出力レベルビット(OTD0)は"1"にセットされます。

[bit23:22] Reserved: 予約ビット

[bit21] IOES1: コンペアー一致割込み許可セットビット

bit	説明
0	コンペアー一致割込み許可ビットをセットしません
1	コンペアー一致割込み許可ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアー一致割込み許可ビット(IOE1)は"1"にセットされます。

[bit20] IOES0: コンペアー一致割込み許可セットビット

bit	説明
0	コンペアー一致割込み許可ビットをセットしません
1	コンペアー一致割込み許可ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアー一致割込み許可ビット(IOE0)は"1"にセットされます。

[bit19] BUFS1: コンペアバッファ無効セットビット

bit	説明
0	コンペアバッファ無効ビットをセットしません
1	コンペアバッファ無効ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアバッファ無効ビット(BUF1)は"1"にセットされます。

[bit18] BUFS0: コンペアバッファ無効セットビット

bit	説明
0	コンペアバッファ無効ビットをセットしません
1	コンペアバッファ無効ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペアバッファ無効ビット(BUF0)は"1"にセットされます。



[bit17] CSTS1: コンペア動作許可セットビット

bit	説明
0	コンペア動作許可ビットをセットしません
1	コンペア動作許可ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペア動作許可ビット(CST1)は"1"にセットされます。

[bit16] CSTS0: コンペア動作許可セットビット

bit	説明
0	コンペア動作許可ビットをセットしません
1	コンペア動作許可ビットをセットします

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと, コンペア動作許可ビット(CST0)は"1"にセットされます。

5. 使用上の注意

16 ビットアウトプットコンペアの使用上の注意を以下に示します。

- CMOD=1 でかつ OCCP0=OCCP1 の設定の場合、コンペア一致が発生するとポートは1回のみ反転します。
- アウトプットコンペア出力の出力レベルの指定をするときには、コンペア動作を停止させてから行ってください。
- コンペアモードビットを CMOD=1 にした場合でも、割込み動作は OCU0, OCU1 それぞれ独立で発生します。

レジスタアクセス時の注意

コンペア制御レジスタ(OCS) アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、コンペア状態クリアレジスタ(OCSC)の該当ビットに"1"を書き込むことによってクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、コンペア状態セットレジスタ(OCSS)の該当ビットに"1"を書き込むことによってセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書込みできます。





CHAPTER 50: 12 ビット A/D コンバータ インタフェース

12 ビット A/D コンバータインタフェースの概要, レジスタ構成/機能, および動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意



1. 概要

12 ビット A/D コンバータには、RC 逐次比較変換方式によってアナログ入力電圧を 12 ビットのデジタル値に変換する機能があります。A/D 起動トリガ入力により、A/D 変換を行います。A/D 変換中に再度 A/D 起動トリガが入力された場合、A/D 変換を再起動します。また、A/D 変換キャンセル入力信号により、強制停止機能もサポートします。

12 ビット A/D コンバータインタフェースの機能

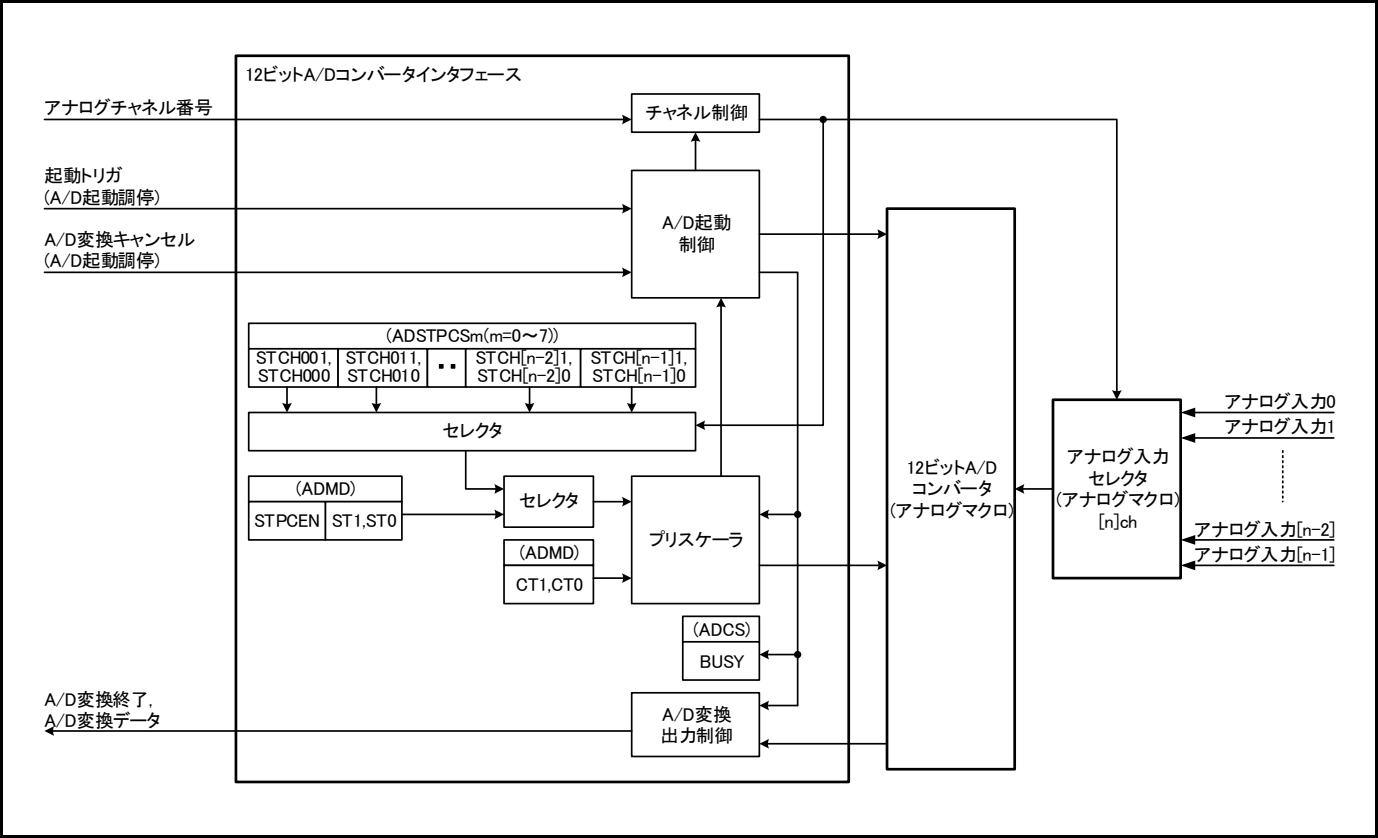
アナログ入力端子に入力されたアナログ電圧(入力電圧)をデジタル値に A/D 変換する機能があり、次の特長があります。

- 変換方式は、サンプルホールド回路付き RC 逐次変換比較方式です。
- アナログ入力端子はプログラムによって選択できます (A/D 起動コンペア部によって設定します)。
- 起動信号はパルス信号で入力されます。
- A/D 変換は、1 回の起動要因の入力によって 1 回の変換を行います。
- A/D 変換中に、再度、起動信号が入力された場合、再起動を行います。(再起動機能)
- A/D 変換中に、A/D 変換キャンセル信号を受信すると、現在の処理を停止/初期化します。(強制停止機能)
- サンプリング時間の設定は、全チャネル共通のサンプリング時間設定とチャネルごとのサンプリング時間設定の選択ができます。

2. 構成

12 ビット A/D コンバータインタフェースのブロックダイアグラムを示します。

図 2-1 12 ビット A/D コンバータインタフェースの構成(n=32)





3. 動作説明

12 ビット A/D コンバータインタフェースの動作の説明をします。

3.1. 12 ビット A/D コンバータインタフェースの動作

12 ビット A/D コンバータインタフェースは, A/D 変換を制御します。

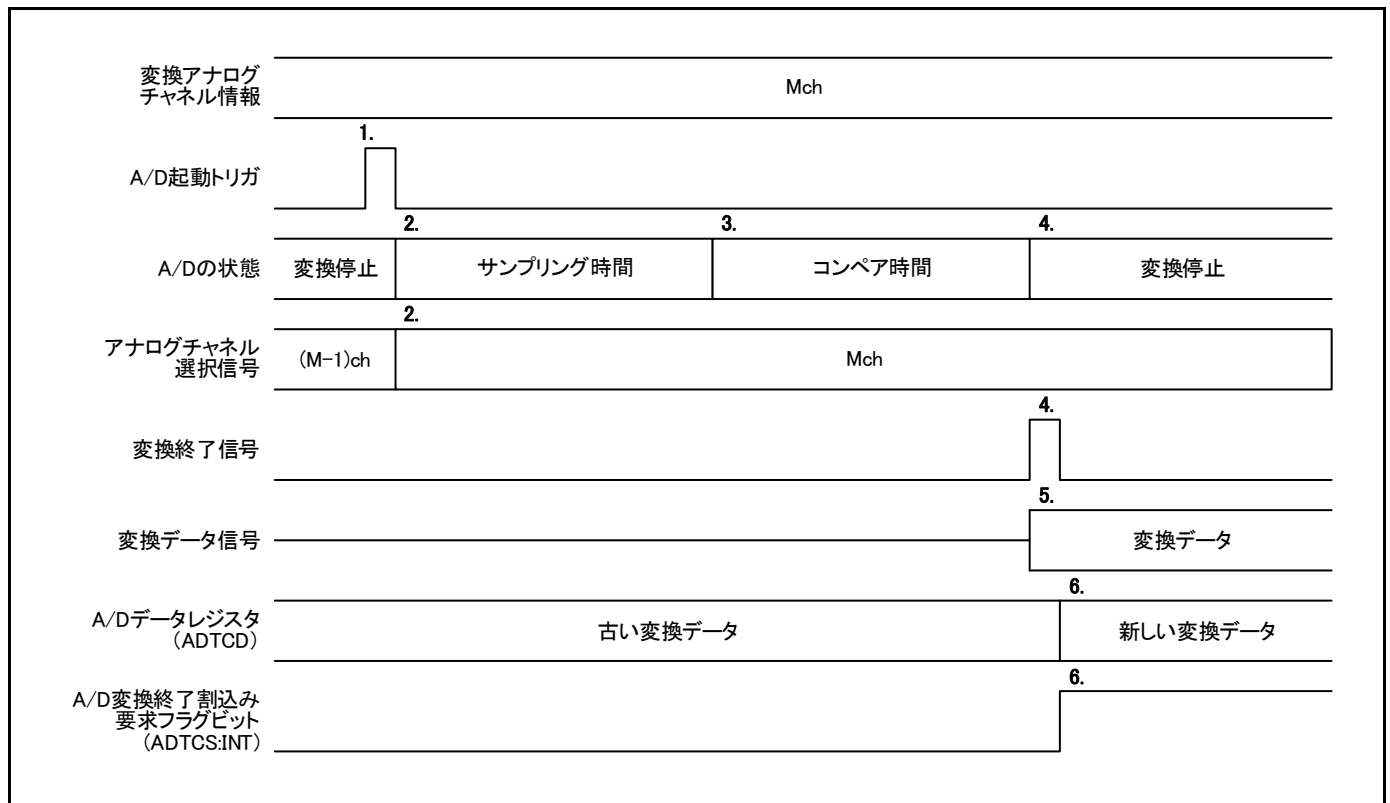
3.1.1. 起動要因について

A/D 変換の起動要因は, 起動トリガ信号がパルス信号で入力されます。

3.1.2. A/D 変換について

A/D 変換は, 1 回の起動トリガの入力によって 1 回の変換を行います。

図 3-1 12 ビット A/D コンバータインタフェースの動作タイミング

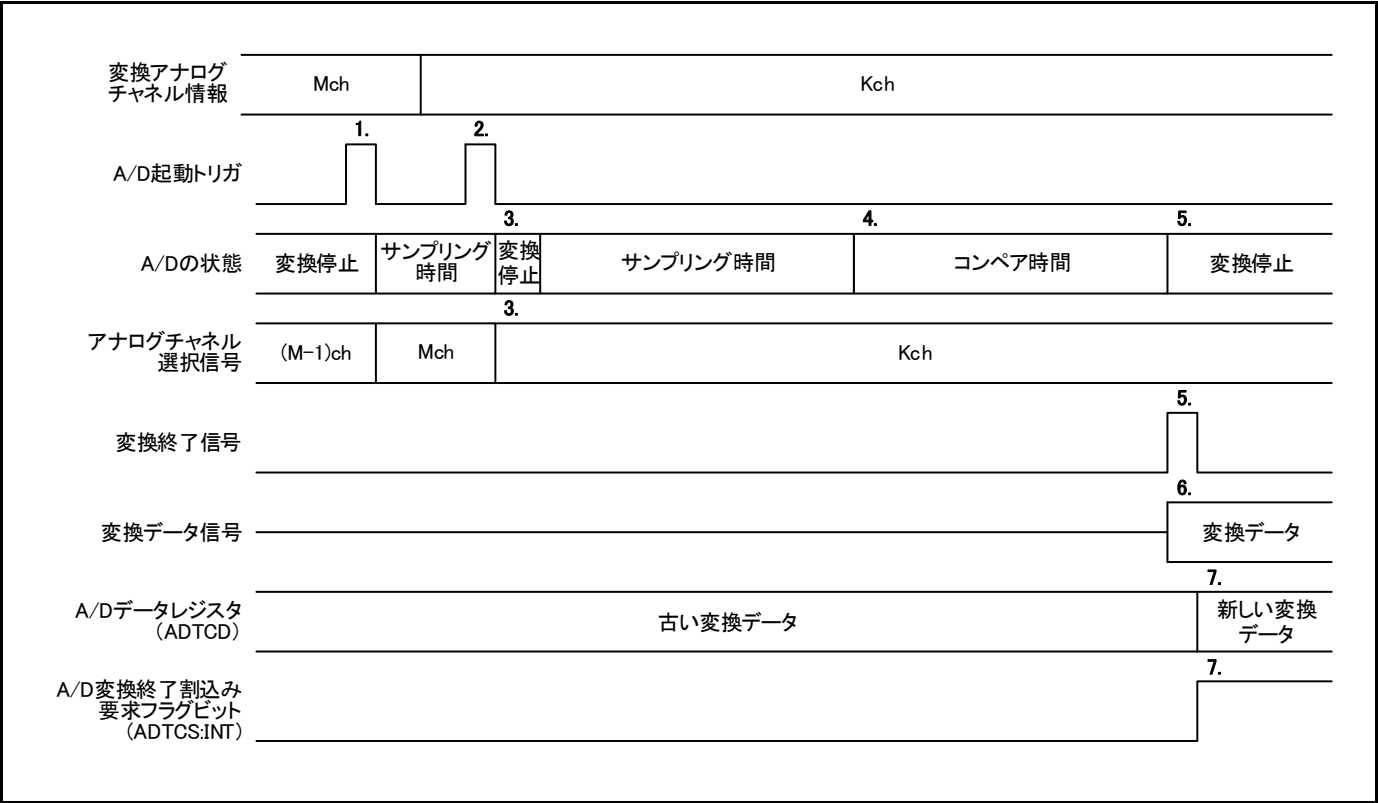


1. A/D 起動トリガのパルス信号入力により A/D 変換を開始します。
2. 1. の A/D 起動トリガのパルス信号を受けて, サンプルング動作を開始します。また, アナログチャンネル情報を保持し, アナログチャンネル選択信号を出力します。
3. サンプルング時間経過後に, コンペア動作を開始します。
4. コンペア時間経過後に, 変換終了信号が出力され変換を終了します。
5. A/D 変換データを出力します。
6. 新しい変換データを A/D 起動コンペアの A/D データレジスタ (ADTCD) に格納します。また, A/D 起動コンペアの A/D 変換終了による割り込み要求フラグビット (ADTCS:INT) が "1" にセットされます。

3.1.3. 再起動について

A/D変換中に、起動トリガ信号入力があった場合、現在の変換を停止/初期化して、A/D変換を再起動します。そのため、A/D変換の再起動は、通常起動(A/D変換停止中のA/D変換開始)に比べて数クロック(12ビットA/Dコンバータのクロック)遅れて開始されます。

図 3-2 12 ビット A/D コンバータインタフェースの再起動の動作タイミング



1. A/D 起動トリガのパルス信号入力により A/D 変換を開始します。
2. A/D 変換中に起動トリガ信号が入力されたため A/D 変換を再起動します。
3. 2.の A/D 起動の再起動により、1.により変換していた A/D 変換は停止/初期化されます。また、アナログチャンネル情報からアナログチャンネル選択信号を取得し直し新たにサンプリング動作を開始します。
4. サンプリング時間経過後に、コンペア動作を開始します。
5. コンペア時間経過後に、変換終了信号が出力され変換を終了します。
6. A/D 変換データを出力します。
7. 新しい変換データを A/D 起動コンペアの A/D データレジスタ(ADTCD)に格納します。また、A/D 起動コンペアの A/D 変換終了による割込み要求フラグビット(ADTCS:INT)が"1"にセットされます。

3.1.4. A/D 変換キャンセルについて

A/D 変換中に、A/D 変換キャンセル信号を受信すると、現在の変換を停止/初期化します。

3.1.5. アナログチャンネル選択制御

起動トリガのほかに、変換を行うアナログチャンネル情報が入力されます。起動トリガのアクティブ時のアナログチャンネル情報を保持し、アナログチャンネル選択に使用します。



3.1.6. A/D 変換時間について

A/D 変換時間は、サンプリング時間とコンペア時間を合わせた時間です。

(1) サンプリング時間

サンプリング時間は、チャンネルごとのサンプリング時間設定許可ビット(ADMD:STPCEN)により、チャンネルごともしくは共通の設定によって行うか選択できます。

- ADMD:STPCEN="0"の場合、全チャンネル共通のサンプリング時間です。サンプリング時間の設定は、サンプリング時間設定ビット(ADMD:ST[1:0])によって行います。
- ADMD:STPCEN="1"の場合、チャンネルごとにサンプリング時間を設定できます。チャンネルごとのサンプリング時間の設定は、チャンネルごとのサンプリング時間設定ビット(ADSTPCS:STCHn1, STCHn0 : n=00~31)によって行います。

表 3-1 周辺クロック周波数に対するサンプリング時間

ST[1:0] STCHn1, STCHn0	機能	サンプリング時間(周辺クロック周波数)			
		40MHz	32MHz	24MHz	16MHz
00	12 周辺クロックサイクル	300ns	375ns	500ns	750ns
01	18 周辺クロックサイクル	450ns	562.5ns	750ns	1125ns
10	24 周辺クロックサイクル	600ns	750ns	1000ns	1500ns
11	48 周辺クロックサイクル	1200ns	1500ns	2000ns	3000ns

<注意事項>

- サンプリング時間は、A/D コンバータの推奨値の範囲内となるように設定してください。
- 推奨値の範囲外では正常なアナログ変換値が得られない場合があります。
- 推奨値については『データシート』を参照してください。

(2) コンペア時間

コンペア時間は、コンペア時間設定ビット(ADMD:CT[1:0])に設定します。

表 3-2 周辺クロック周波数に対するコンペア時間

CT[1:0]	機能	コンペア時間(周辺クロック周波数)			
		40MHz	32MHz	24MHz	16MHz
00	28 周辺クロックサイクル	700ns	875ns	1166.7ns	1750ns
01	42 周辺クロックサイクル	1050ns	1312.5ns	1750ns	2625ns
10	56 周辺クロックサイクル	1400ns	1750ns	2333.4ns	3500ns
11	112 周辺クロックサイクル	2800ns	3500ns	4666.7ns	7000ns

<注意事項>

- コンペア時間は、A/D コンバータの推奨値の範囲内となるように設定してください。
- 推奨値の範囲外では正常なアナログ変換値が得られない場合があります。
- 推奨値については『データシート』を参照してください。

3.1.7. A/D 変換終了, A/D データ取込み

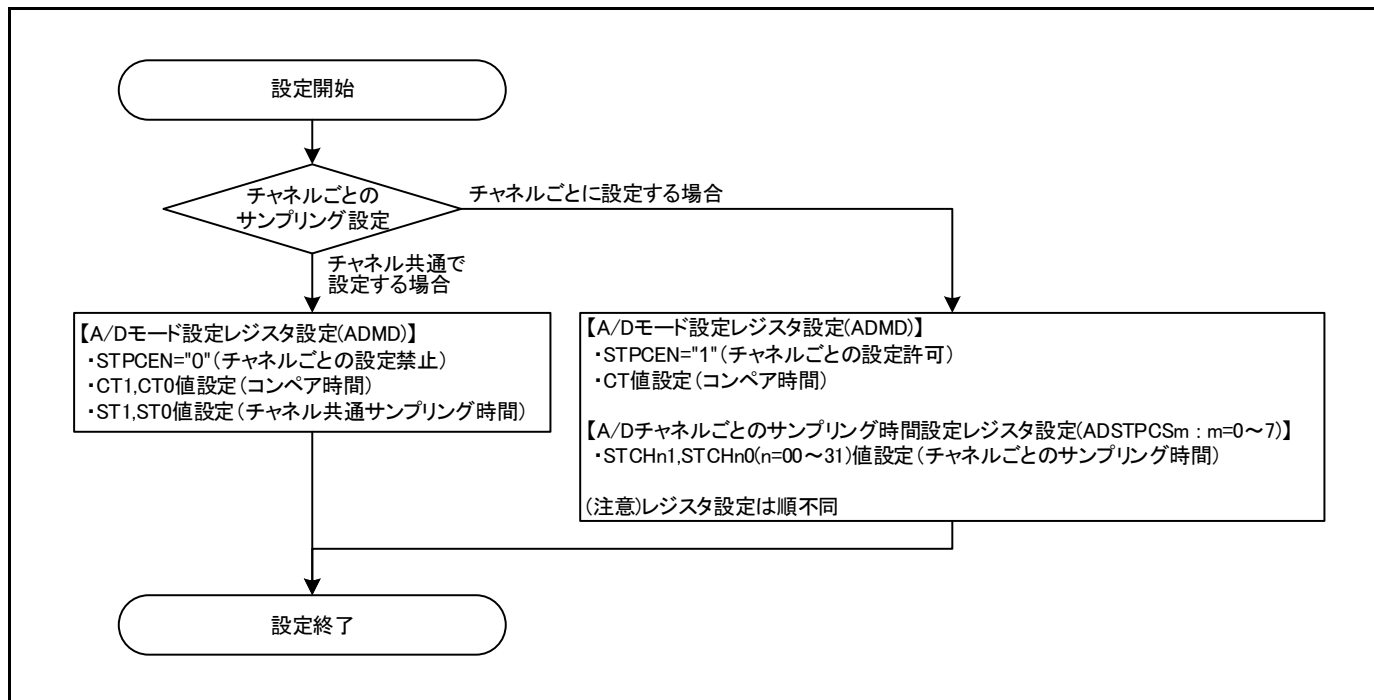
A/D 変換が再起動やキャンセルが行われずに正常終了(既定のサイクル数が経過)した場合、受信した変換データを取り込んで出力します。その際、A/D 変換終了信号を生成します。

4. 設定手順例

12 ビット A/D コンバータインタフェースの設定手順例を示します。

12 ビット A/D コンバータインタフェースの動作モード設定

図 4-1 12 ビット A/D コンバータインタフェースの動作モード設定手順例



<注意事項>

- 12 ビット A/D コンバータインタフェースの動作モードを設定する場合は、必ず変換動作前の A/D 動作が停止している状態(ADCS:BUSY="0")で行ってください。



5. レジスタ

12 ビット A/D コンバータインタフェースのレジスタ一覧を示します。

12 ビット A/D コンバータインタフェースのレジスタにはプレフィックス(ADC12B_)が付きます。

表 5-1 12 ビット A/D コンバータインタフェースのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ADCS	A/D 制御ステータスレジスタ	5.1.1
ADCH	A/D チャネルステータスレジスタ	5.1.2
ADMD	A/D モード設定レジスタ	5.1.3
ADSTPCSm(m=0~7)	A/D チャネルごとのサンプリング時間設定レジスタ m	5.1.4

5.1. 12 ビット A/D コンバータインタフェースのレジスタ

12 ビット A/D コンバータインタフェースには、A/D 制御ステータスレジスタ、A/D チャネルステータスレジスタ、A/D モード設定レジスタ、および A/D チャネルごとのサンプリング時間設定レジスタがあります。

5.1.1. A/D 制御ステータスレジスタ(ADCS)

A/D 制御ステータスレジスタ(ADCS)は、A/D 変換動作中もしくは A/D 変換停止中を表示します。

Bit	15	14	13	12	11	10	9	8
Field	BUSY	Reserved						
R/W 属性	R,WX	R0,W0						
保護属性	-							
初期値	0	0000000						

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

[bit15] BUSY: A/D 変換中ビット

bit	説明
0	A/D 変換停止中
1	A/D 変換動作中

- A/D コンバータの動作表示ビットです。
- 読出し時、A/D 変換中ビット(BUSY)が"0"であれば A/D 変換停止中の状態であることを示し、"1"であれば A/D 変換動作中の状態であることを示します。
- 書込みは、変化せずほかへの影響はありません。

[bit14:0] Reserved: 予約ビット



5.1.2. A/D チャネルステータスレジスタ(ADCH)

A/D チャネルステータスレジスタ(ADCH)は、A/D 変換中に、変換中のアナログチャネル番号が確認できます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved			CH				
R/W 属性	R0,W0			R,WX				
保護属性	-							
初期値	000			00000				

[bit7:5] Reserved: 予約ビット

[bit4:0] CH[4:0]: アナログチャネルビット

bit[4:0]	説明
00000	チャネル 0
00001	チャネル 1
:	:
00110	チャネル 6
00111	チャネル 7
01000	チャネル 8
:	:
01110	チャネル 14
01111	チャネル 15
10000	チャネル 16
10001	チャネル 17
:	:
11110	チャネル 30
11111	チャネル 31

A/D 変換中に、変換中のアナログチャネル番号の確認を行うことができるビットです。

5.1.3. A/D モード設定レジスタ(ADMD)

A/D モード設定レジスタ(ADMD)は、A/D 変換のコンペア時間やサンプリング時間を設定する機能があります。

Bit	7	6	5	4	3	2	1	0
Field	STPCEN	Reserved			CT		ST	
R/W 属性	R/W	R0,W0			R/W		R/W	
保護属性	-							
初期値	0	000			00		00	

[bit7] STPCEN: チャンネルごとのサンプリング時間設定許可ビット

bit	説明
0	チャンネルごとのサンプリング時間設定禁止
1	チャンネルごとのサンプリング時間設定許可

- A/D 変換時のサンプリング時間設定をチャンネルごともしくは共通の設定によって行うか選択するビットです。
- STPCEN="0"の場合、全チャンネル共通のサンプリング時間になります。サンプリング時間の設定は、サンプリング時間設定ビット(ADMD:ST[1:0])によって行います。
- STPCEN="1"の場合、チャンネルごとにサンプリング時間を設定できます。チャンネルごとのサンプリング時間の設定は、A/D チャンネルごとのサンプリング時間設定ビット(ADSTPCS:STCHn1, STCHn0 : n=00～31)によって行います。

[bit6:4] Reserved: 予約ビット

[bit3:2] CT[1:0]: コンペア時間設定ビット

bit[3:2]	説明
00	28 周辺クロックサイクル(A/D クロック出力：周辺クロック/2)
01	42 周辺クロックサイクル(A/D クロック出力：周辺クロック/3)
10	56 周辺クロックサイクル(A/D クロック出力：周辺クロック/4)
11	112 周辺クロックサイクル(A/D クロック出力：周辺クロック/8)

- A/D 変換時のコンペア時間を選択するビットです。
- アナログ入力を取り込まれた(サンプリング時間経過) 後、コンペア時間設定ビット(CT[1:0])に設定された時間後に変換結果のデータが確定します。

<注意事項>

- コンペア時間は、A/D コンバータの推奨値の範囲内となるように設定してください。
- 推奨値の範囲外では正常なアナログ変換値が得られない場合があります。
- 推奨値については『データシート』を参照してください。
- コンペア時間設定ビット(CT[1:0])の書換えは、必ず変換動作前の A/D 動作が停止している状態(ADCS:BUSY="0")で行ってください。



[bit1:0] ST[1:0]: サンプルング時間設定ビット

bit1:0	説明
00	12 周辺クロックサイクル(A/D クロック出力：周辺クロック/2)
01	18 周辺クロックサイクル(A/D クロック出力：周辺クロック/3)
10	24 周辺クロックサイクル(A/D クロック出力：周辺クロック/4)
11	48 周辺クロックサイクル(A/D クロック出力：周辺クロック/8)

- A/D 変換時のサンプルング時間を選択するビットです。
- サンプルング時間設定ビット(ST[1:0])は、チャネルごとのサンプルング時間設定許可ビット (ADMD:STPCEN)が"0"に設定されている場合に有効です。
- A/D が起動されると、サンプルング時間設定ビット(ST[1:0])に設定された時間、アナログ入力に取り込まれます。

<注意事項>

- サンプルング時間は、A/D コンバータの推奨値の範囲内となるように設定してください。
- 推奨値の範囲外では正常なアナログ変換値が得られない場合があります。
- 推奨値については『データシート』を参照してください。
- サンプルング時間設定ビット(ST[1:0])の書換えは、必ず変換動作前の A/D 動作が停止している状態 (ADCS:BUSY="0")で行ってください。

5.1.4. A/D チャンネルごとのサンプリング時間設定レジスタ m (ADSTPCSm) (m=0~7)

A/D チャンネルごとのサンプリング時間設定レジスタ(ADSTPCS)は、A/D 変換のサンプリング時間をチャンネルごとに設定します。

Bit	7	6	5	4	3	2	1	0
Field	STCH (m×4+3)1	STCH (m×4+3)0	STCH (m×4+2)1	STCH (m×4+2)0	STCH (m×4+1)1	STCH (m×4+1)0	STCH (m×4)1	STCH (m×4)0
R/W 属性	R/W		R/W		R/W		R/W	
保護属性	-							
初期値	00		00		00		00	

[bit7:0] STCHn1, STCHn0 (n=00~31): チャンネルごとのサンプリング時間設定ビット

STCHn1, STCHn0	説明
00	12 周辺クロックサイクル(A/D クロック出力: 周辺クロック/2)
01	18 周辺クロックサイクル(A/D クロック出力: 周辺クロック/3)
10	24 周辺クロックサイクル(A/D クロック出力: 周辺クロック/4)
11	48 周辺クロックサイクル(A/D クロック出力: 周辺クロック/8)

- A/D 変換時のサンプリング時間をチャンネルごとに選択するビットです。
- チャンネルごとのサンプリング時間設定許可ビット(ADMD:STPCEN)が"1"の場合に、チャンネルごとのサンプリング時間設定(STCHn1, STCHn0)が有効になります。
- 設定チャンネルとアナログチャンネルの対応を以下に示します。

表 5-2 チャンネルごとのサンプリング時間設定とアナログチャンネル対応

チャンネルごとのサンプリング時間設定ビット ADSTPCS0~7	アナログチャンネル番号
STCH001, STCH000	チャンネル 0
STCH011, STCH010	チャンネル 1
:	:
STCH061, STCH060	チャンネル 6
STCH071, STCH070	チャンネル 7
STCH081, STCH080	チャンネル 8
:	:
STCH141, STCH140	チャンネル 14
STCH151, STCH150	チャンネル 15
:	:
STCH301, STCH300	チャンネル 30
STCH311, STCH310	チャンネル 31

<注意事項>

- サンプリング時間は、A/D コンバータの推奨値の範囲内となるように設定してください。
- 推奨値の範囲外では正常なアナログ変換値が得られない場合があります。
- 推奨値については『データシート』を参照してください。
- チャンネルごとのサンプリング時間設定ビット(STCHn1, STCHn0)の書換えは、必ず変換動作前のA/D動作が停止している状態(ADCS:BUSY="0")で行ってください。



6. 使用上の注意

12 ビット A/D コンバータインタフェースの使用上の注意を以下に示します。

a) 周辺クロック周波数の制限について

周辺クロック周波数の制限については『データシート』を参照してください。

b) サンプリング時間・コンペア時間の設定について

サンプリング時間およびコンペア時間が 12 ビット A/D コンバータの推奨値の範囲内となるように、ADMD:ST[1:0]/ADSTPCS:STCHn1, STCHn0(n=00~31) および ADMD:CT[1:0] ビットを設定してください。

c) ADMD レジスタおよび ADSTPCS の設定について

A/D モード設定レジスタ(ADMD) および A/D チャンネルごとのサンプリング時間設定レジスタ(ADSTPCS)のビットの書換えは、必ず変換動作前の A/D 変換動作が停止している状態(ADCS:BUSY="0")で行ってください。



CHAPTER 51: 12 ビット A/D コンバータ A/D 起動コンペア

12 ビット A/D コンバータの A/D 起動コンペアの機能と動作について示します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意



1. 概要

A/D 起動コンペアは、32 チャンネルの 12 ビット A/D コンバータを制御します。

A/D 起動コンペアの機能

a) アナログ入力制御

32 チャンネルのアナログ入力の許可/禁止を選択できます。

b) 起動チャンネル

- A/D 起動要求制御および A/D 変換データ格納を起動チャンネル単位で行います。
- 各起動チャンネルは、次のレジスタによって構成されます。
 - コンペアバッファレジスタ(ADCOMPB)/コンペアレジスタ(ADCOMP)
 - A/D 起動トリガ制御ステータスレジスタ(ADTCS)
 - A/D データレジスタ(ADTCD)
 - A/D 起動トリガ拡張制御レジスタ(ADTECS)
 - レンジ比較制御ステータスレジスタ(ADRCSS)
 - レンジ比較閾値超過フラグレジスタ(ADRCOT)
 - レンジ比較フラグレジスタ(ADRCIF)
 - 起動チャンネル変換回数設定レジスタ(ADNCS)
 - データ保護状態フラグレジスタ(ADPRTF)
 - 起動チャンネル変換回数完了フラグレジスタ(ADEOCF)

c) A/D 起動要求

- 各起動チャンネルは、次の A/D 起動要求要因から選択できます。なお、起動チャンネル内では、A/D 変換(起動要求)中の再起動はできません。
 - ソフトウェア
 - 外部トリガ(立下りエッジ)
 - ベースタイマ(立上りエッジ)
 - コンペア一致
- ソフトウェア起動は、任意の起動チャンネルを選択できます。
- 外部トリガ、ベースタイマ起動は、12 ビット A/D コンバータの各ユニットに対応しています。
 - 外部トリガ 0, ベースタイマ ch.4 : 12 ビット A/D コンバータユニット 0
- コンペア一致起動は、16 ビットフリーランタイム値と各起動チャンネルのコンペアレジスタが一致したときに A/D 起動要求を行います。
- コンペア一致起動では、16 ビットフリーランタイム値とコンペアレジスタが一致したとき、次のいずれかによって A/D 起動要求を行います。
 - 16 ビットフリーランタイムのアップカウント時のみ
 - 16 ビットフリーランタイムのダウンカウント時のみ
 - 16 ビットフリーランタイムのアップ/ダウンカウントの双方
- A/D 起動要求は、起動チャンネルごとに以下に分類し出力します。
 - ソフトウェア起動による A/D 起動要求
 - 外部トリガまたはベースタイマによる A/D 起動要求
 - コンペア一致起動による A/D 起動要求
- 起動チャンネルごとに、起動要求はシングルモードまたはリピートモードを選択できます。
 - シングルモードの場合は、1 回の起動要因によって 1 回の起動要求を行います。A/D 変換は 1 回行われ、起動要求は A/D 変換終了によって解除されます。
 - リピートモードの場合は、1 回の起動要因によって起動要求を継続して行います。A/D 変換は繰返し実行され、起動要求はリピートモードが解除されるまで継続します。

d) A/D 変換データ

- A/D 変換終了時に、A/D データレジスタに変換データを格納します。A/D データレジスタは、起動チャネルごとに存在します。
- 各 A/D データレジスタ内には、エラーフラグビットおよびエラーステータスビットが存在し、A/D 変換データの状態を確認できます。

e) データ保護機能

- 各 A/D データレジスタは、データ保護機能を設定できます。なお、データ保護機能はコンペア一致起動以外の要因のときに働きます。
- データ保護機能が有効時、A/D データレジスタのデータ読出しと割込みフラグクリアを行うまで、A/D 起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。また、割込みフラグのクリアを保護条件に含めるか選択ができます。
- A/D 変換要求中または変換中は、A/D 起動要求中ビットにより通知されます。また、現在の A/D 変換要求または変換を強制終了したい場合は、A/D 起動要求中ビットに"0"を書き込むことによりできます。

f) A/D 変換回数を指定したスキャン変換

- 起動チャネルごとに A/D 変換回数を指定したスキャン変換ができます。
- A/D 変換回数を指定したスキャン変換は、12 ビット A/D コンバータのユニットあたりに 1 種類の設定ができます。
- A/D 変換回数の指定は、1 回～4 回を選択できます。
- A/D 変換回数を指定したスキャン変換は、連続スキャン変換モードと休止スキャン変換モードの選択ができます。
 - 連続スキャン変換モードは、指定された起動チャネルが順次起動されます。スキャン変換の最終チャネルの変換を終了するとスキャン変換の最初から反復実行します。
 - 休止スキャン変換モードは、指定された起動チャネルが順次起動されます。スキャン変換の最終起動チャネルの変換を終了すると停止します。次の起動要因が入力されるとスキャン変換を最初から実行します。ただし、スキャン変換途中の起動要因入力は無視されます。

g) レンジ比較機能

- 起動チャネルごとに、レンジ比較できます。
- 上下限閾値の設定を最大 4 種類設定できます。各起動チャネルは、4 種類の上下限閾値設定の中から 1 つの組合せを選択しレンジ比較を実行します。
- レンジ比較は、上下限閾値の範囲内もしくは範囲外確認の選択ができます。
- レンジ比較結果は、連続検出機能によりノイズ除去ができます。連続検出機能は、レンジ比較結果を連続検出によりレンジ比較フラグをセットします。
- 連続検出回数は、1 回～7 回を選択できます。
- レンジ比較結果の連続検出回数の状態が確認できます。
- レンジ比較の範囲外確認の場合、上限閾値超過もしくは下限閾値未満の検出状態が確認できます。

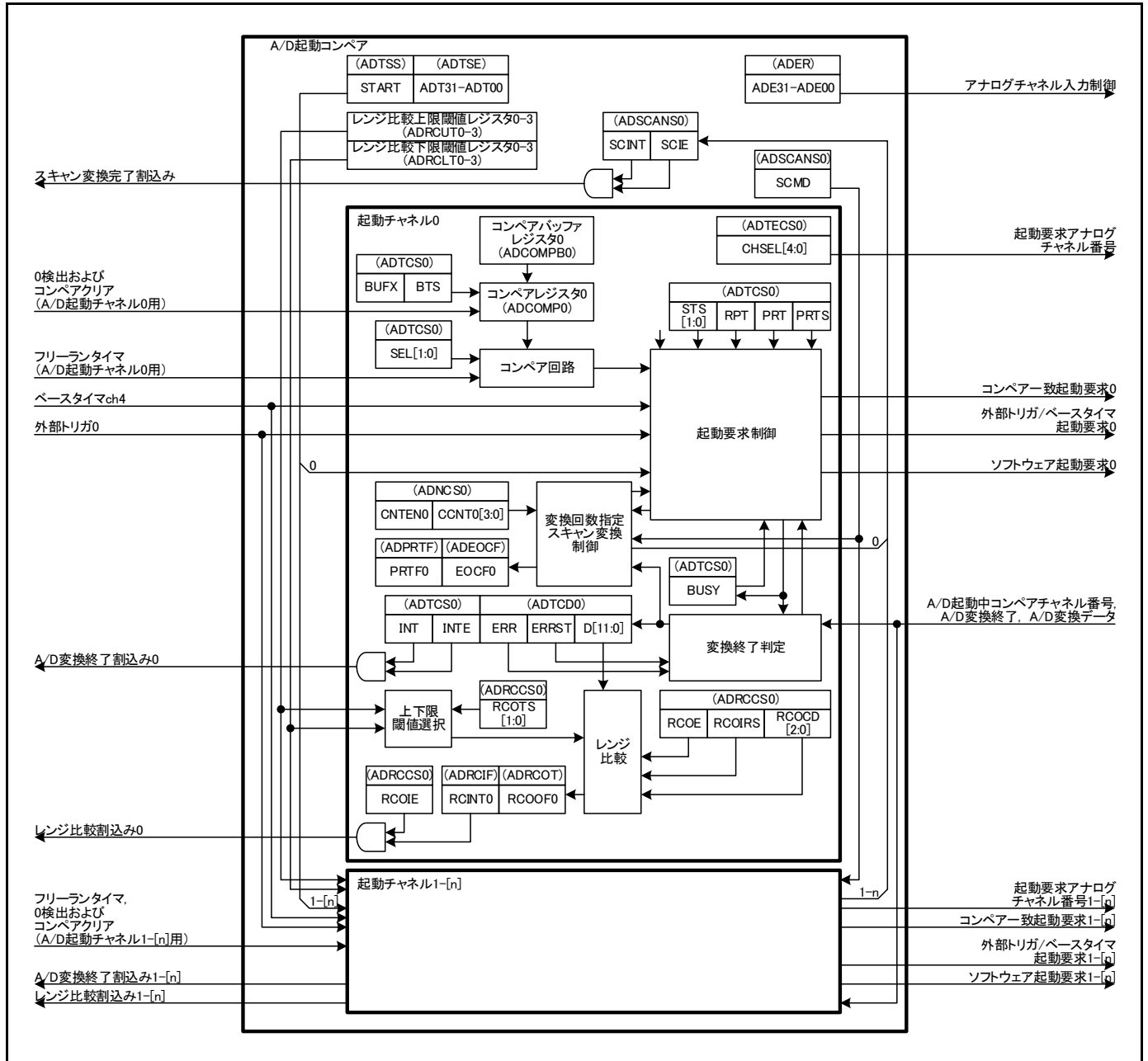
h) 割込み要求

- 各起動チャネルは、A/D 変換終了時に、割込み要求を発生できます。
- 各起動チャネルは、A/D 変換終了後に実行されるレンジ比較の割込み要求を発生できます。
- A/D 変換回数を指定したスキャン変換は、最終起動チャネルのスキャン変換を完了すると、スキャン変換完了の割込み要求を発生できます。

2. 構成

A/D 起動コンペアのブロックダイアグラムを示します。

図 2-1 A/D 起動コンペアの構成





3. 動作説明

A/D 起動コンペアの動作について説明します。

3.1. A/D 起動コンペアの割込み

A/D 起動コンペアの割込み制御ビットと割込み要因を示します。

(1) A/D 変換終了割込み

表 3-1 A/D 変換終了割込みによる割込み制御ビットと割込み要因

	A/D 変換終了割込み
割込み要求フラグビット	A/D 起動トリガ制御ステータスレジスタ(ADTCS)の INT:bit14
割込み要求許可ビット	A/D 起動トリガ制御ステータスレジスタ(ADTCS)の INTE:bit13
割込み要因	A/D 変換結果の A/D データレジスタ(ADTCD)への書き込み

A/D 起動コンペアは、A/D 変換終了時に A/D 変換終了割込み要求を発生できます。また、A/D 変換終了割込みは、起動チャンネル単位で制御できます。

A/D 変換結果が A/D データレジスタ(ADTCD)にセットされると、割込み要求フラグビット(ADTCS:INT)が"1"にセットされます。このとき、割込み要求許可ビットが許可(ADTCS:INTE="1")されていると割込みコントローラに割込み要求を出力します。

(2) 変換回数指定によるスキャン変換完了割込み

表 3-2 変換回数指定によるスキャン変換完了による割込み制御ビットと割込み要因

	変換回数指定によるスキャン変換完了割込み
割込み要求フラグビット	スキャン変換制御ステータスレジスタ(ADSCANS)の SCINT:bit7
割込み要求許可ビット	スキャン変換制御ステータスレジスタ(ADSCANS)の SCIE:bit6
割込み要因	変換回数指定のスキャン変換における最終起動チャンネルの指定回数の A/D 変換完了後

A/D 起動コンペアは、変換回数指定によるスキャン変換を実行した際に、最終起動チャンネルの指定回数の A/D 変換完了時に割込み要求を発生できます。また、変換回数指定によるスキャン変換完了割込みは、12 ビット A/D コンバータのユニット単位で制御されます。

変換回数指定によるスキャン変換の最終起動チャンネルの指定回数の A/D 変換が完了すると、スキャン変換完了割込み要因フラグビット(ADSCANS:SCINT)が"1"にセットされます。このとき、スキャン変換完了割込み要求許可ビットが許可(ADSCANS:SCIE="1")されていると割込みコントローラに割込み要求を出力します。また、変換回数指定によるスキャン変換の制御は、変換回数指定スキャン変換実行許可ビット(ADNCS:CNTEN)と変換回数指定ビット(ADNCS:CCNT1, CCNT0)により行います。



(3) レンジ比較割込み

表 3-3 レンジ比較割込みによる割込みビットと割込み要因

	レンジ比較割込み
割込み要求フラグビット	レンジ比較フラグレジスタ(ADRCIF)の RCINT[n]:bit[n]
割込み要求許可ビット	レンジ比較制御ステータスレジスタ(ADRCSS[n])の RCOIE:bit3
割込み要因	レンジ比較実行による連続検出機能判定後

(n=該当する起動チャネル)

A/D 起動コンペアは、レンジ比較実行許可されているとき、A/D データレジスタ(ADTCD)に格納された変換結果をレンジ比較の上限閾値設定レジスタ 0~3(ADRCUT0~3)/下限閾値設定レジスタ 0~3(ADRCUT0~3)の内 1 つの組合せとレンジ比較します。レンジ比較した結果の連続性を確認できた場合、レンジ比較割込み要求を発生できます。また、レンジ比較割込みは、起動チャネル単位で制御できます。

レンジ比較実行許可(ADRCSS:RCOE="1")時、A/D 変換結果が A/D データレジスタ(ADTCD)にセットされると、レンジ比較が実行されます。レンジ比較実行は、範囲内・範囲外確認選択ビット(ADRCSS:RCOIRS)によりレンジ比較条件を選択できます。

- 範囲外確認(ADRCSS:RCOIRS="0")を選択した場合のレンジ比較条件
 - 下限閾値設定レジスタ > A/D 変換結果
 - または
 - 上限閾値設定レジスタ < A/D 変換結果
- 範囲内確認(ADRCSS:RCOIRS="1")を選択した場合のレンジ比較条件
 - 下限閾値設定レジスタ ≤ A/D 変換結果
 - かつ
 - 上限閾値設定レジスタ ≥ A/D 変換結果

レンジ比較条件を連続検出すると、レンジ比較割込み要因フラグビット(ADRCIF:RCINT)が"1"にセットされます。このとき、レンジ比較割込み要求許可ビットが許可(ADRCSS:RCOIE="1")されていると割込みコントローラに割込み要求を出力します。レンジ比較割込み要求が出力するタイミングは、A/D 変換終了割込みより周辺クロックで 2 サイクル遅れます。また、連続検出回数は、連続検出回数指定ビット(ADRCSS:RCOCD[2:0])によって 1 回~7 回を選択できます。

3.2. A/D 起動コンペア動作

ソフトウェア、外部トリガ、ベースタイマ、コンペア一致(16ビットフリーランタイムの値がコンペアレジスタ値と一致したとき)のいずれかによって、A/D 起動要求ができます。

3.2.1. A/D 起動

A/D 起動要求は起動チャンネルごとに制御し、32 チャンネルあるアナログチャンネルごとに生成できます。

起動チャンネルは、ソフトウェア、外部トリガ(立下り)、ベースタイマ(立上り)、コンペア一致(16ビットフリーランタイムとコンペアレジスタ値が一致したとき)のいずれかによって、A/D 起動調停に対して A/D 起動要求信号を生成します。A/D 起動要求信号は、起動チャンネルごとに、「ソフトウェア起動要求」、「外部トリガ/ベースタイマ起動要求」、「コンペア一致起動要求」の3つがあり、排他的に要求します。

該当チャンネルの A/D 変換終了によって A/D 起動要求がクリアされ、A/D データレジスタに変換データが格納されます。その際、割込みを発生できます。

なお、起動チャンネル内では、A/D 起動要求中(ADRC:BUSY="1")に起動要因が発生しても起動要求の再起動は行いません。

3.2.2. A/D 起動許可

A/D 起動要因は、A/D 起動要因選択ビット(ADTCS:STS[1:0])によって選択します。ソフトウェア、外部トリガ、ベースタイマ、コンペア一致のいずれかが選択されます。選択された起動要因が発生したときに、A/D 起動調停に対して A/D 起動要求信号を発生します。A/D 起動を行わない起動チャンネルに対しては、ソフトウェア起動を選択(ADTCS:STS[1:0]="0b00")し、さらに A/D ソフトウェア起動チャンネル選択レジスタ(ADTSE)の該当チャンネルをソフトウェア起動禁止(ADT[n]="0")にすることにより、A/D 起動要求を禁止できます。

3.2.3. フリーランタイム入力

コンペア一致に使用する 16 ビットフリーランタイム入力は、起動チャンネルごとに独立して入力されます。

3.2.4. アナログチャンネル選択

アナログチャンネル選択ビット(ADTECS:CHSEL[4:0])により、A/D 変換するアナログチャンネルを選択できます。

3.2.5. ソフトウェア起動

A/D 起動要因選択ビットをソフトウェア起動(ADTCS:STS[1:0]="0b00")に設定します。

A/D ソフトウェア起動チャンネル選択レジスタ(ADTSE)によって、ソフトウェア起動したい起動チャンネルを起動許可設定(ADT[n]="1")します。起動許可設定した複数の起動チャンネルに対して、同時に起動要求が発生できます。

そして、A/D 変換起動(ソフトウェア)ビット(ADTSS:START)に"1"を書き込むことにより、ソフトウェア起動要求信号がセットされます。

3.2.6. 外部トリガ起動

A/D 起動要因選択ビットを外部トリガ起動(ADTCS:STS[1:0]="0b01")に設定します。

外部トリガの立下りを検出すると、外部トリガ/ベースタイマの起動要求信号がセットされます。



3.2.7. ベースタイマ起動

A/D 起動要因選択ビットをベースタイマ起動(ADTCS:STS[1:0]="0b10")に設定します。ベースタイマの立上りを検出すると、外部トリガ/ベースタイマの起動要求信号がセットされます。

<注意事項>

- ベースタイマ起動を使用する場合は、ベースタイマの"16/32 ビットリロードタイマ機能"をご使用ください。

3.2.8. コンペアー致起動

A/D 起動要因選択ビットをコンペアー致起動(ADTCS:STS[1:0]="0b11")に設定します。

起動チャンネルごとにコンペアレジスタ(ADCOMP)を持ち、16 ビットフリーランタイムとコンペアレジスタ値(ADCOMP:CMP[15:0])が一致したときに、コンペアー致起動要求をセットします。

コンペアレジスタ(ADCOMP)には、起動したいタイマ値を設定します。16 ビットフリーランタイムの 0 検出時と同タイミングで A/D 起動要求を行いたい場合は"0x0000"を設定してください。また、16 ビットフリーランタイムのコンペアクリア時と同タイミングで A/D 起動を行いたい場合は、16 ビットフリーランタイムのコンペアクリア値と同じ値を設定してください。

(1) コンペアー致起動の動作モード

コンペアー致機能の動作モードは、カウント方向選択ビット(ADTCS:SEL[1:0])により制御します。

カウント方向選択ビット(ADTCS:SEL[1:0])は、コンペアレジスタ値(ADCOMP:CMP[15:0])と 16 ビットフリーランタイムとの比較の、アップ/ダウンカウント双方時、アップカウント時のみ、ダウンカウント時のみを選択します。また、カウント方向選択ビット(ADTCS:SEL[1:0])を"0b11"にセットすると、16 ビットフリーランタイムとコンペアレジスタ値(ADCOMP:CMP[15:0])が一致しても、A/D 起動調停に対して起動要求信号を発生しません。

表 3-4 カウント方向選択ビット(ADTCS:SEL[1:0])の制御内容

ADTCS SEL[1:0]	機能	参照図
00	アップ/ダウンカウント双方時	図 3-1
01	アップカウント時のみ	図 3-2
10	ダウンカウント時のみ	図 3-3
11	コンペア禁止	—

起動チャンネル0をアップ/ダウンカウント双方時、起動チャンネル1をアップカウント時のコンペアー致起動による A/D 起動する場合の動作例を図 3-4 に示します。

図 3-1 ADTCS:SEL[1:0]="0b00" : アップ/ダウンカウント双方時コンペア一致時起動

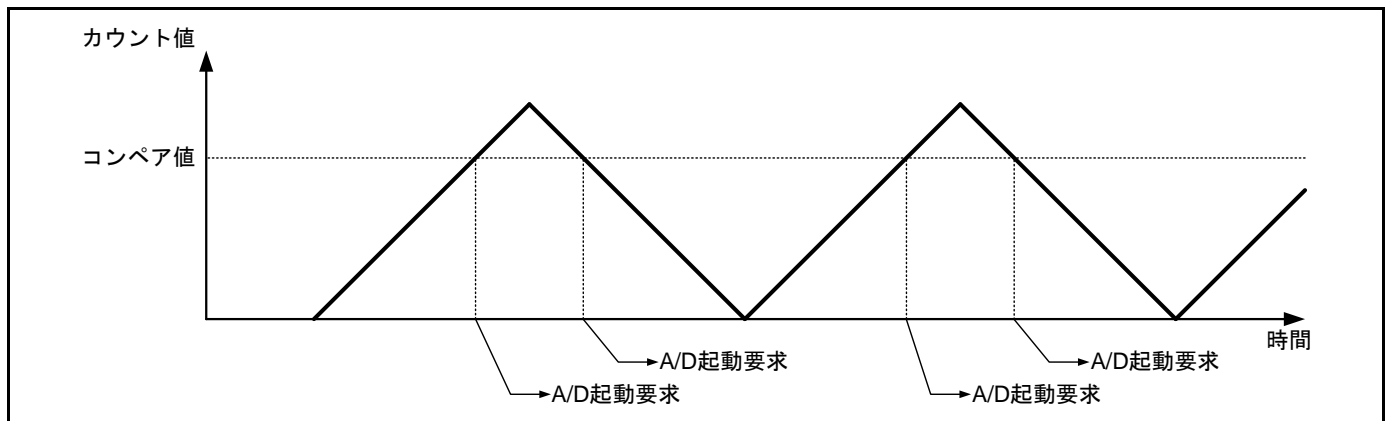


図 3-2 ADTCS:SEL[1:0]="0b01" : アップカウント時のみコンペア一致時起動

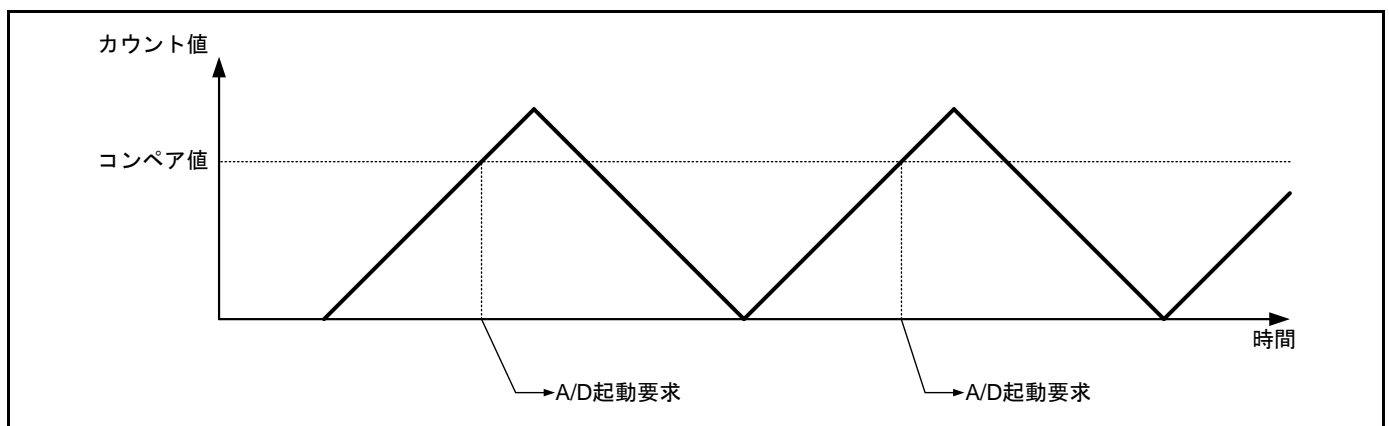


図 3-3 ADTCS:SEL[1:0]="0b10" : ダウンカウント時のみコンペア一致時起動

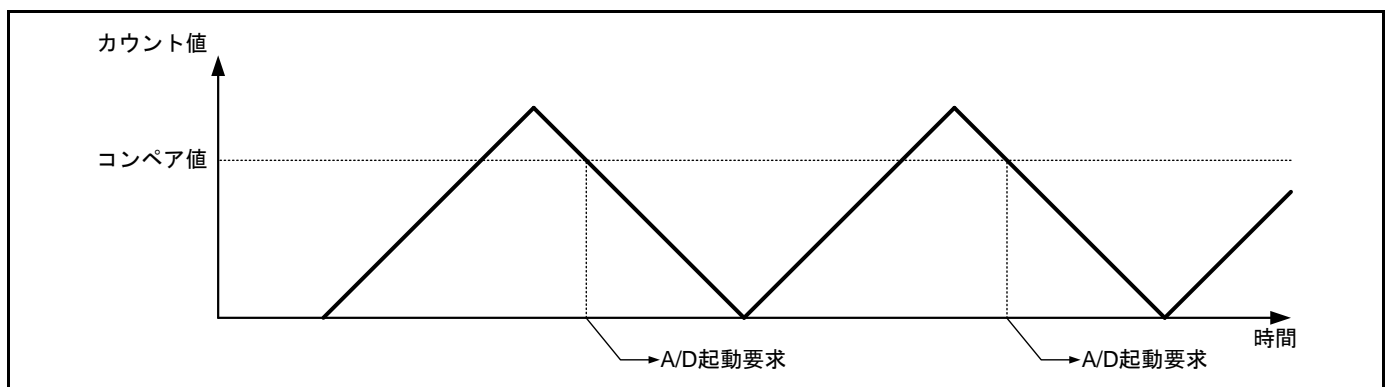
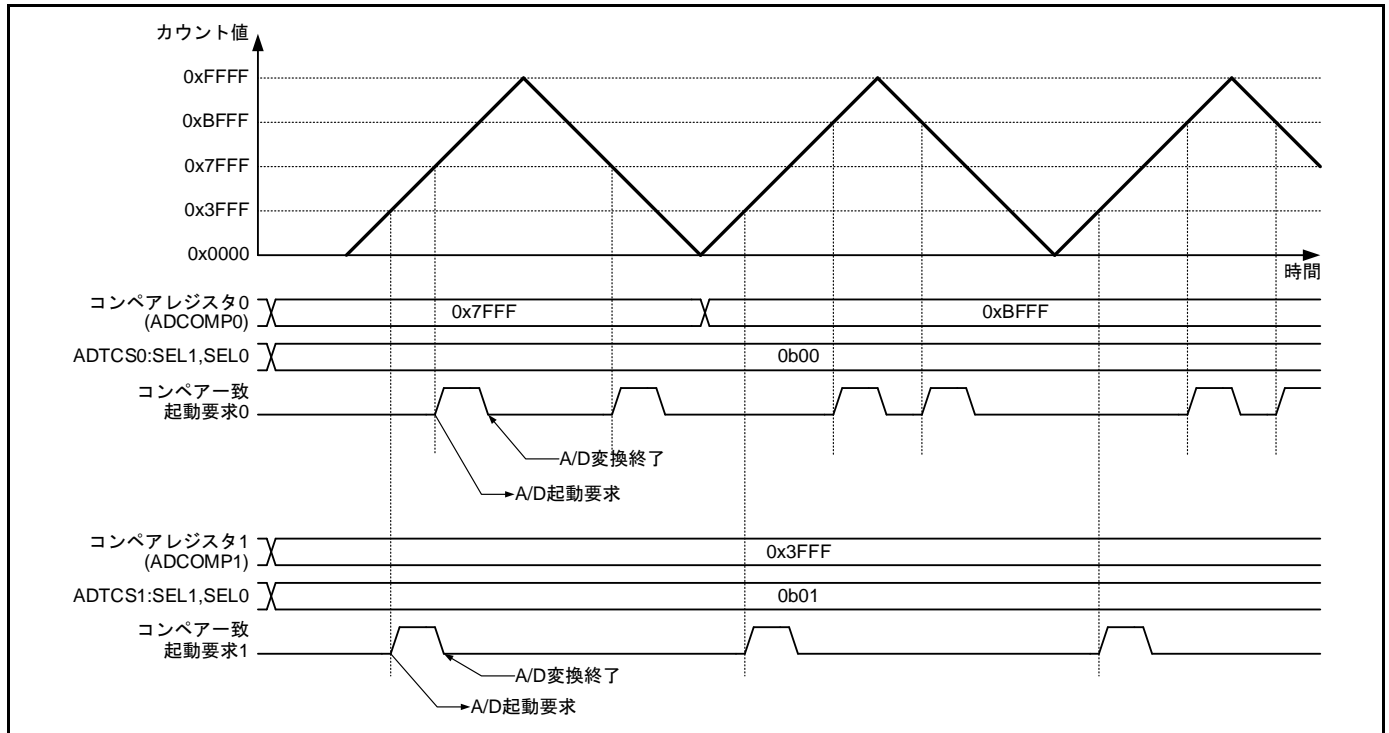
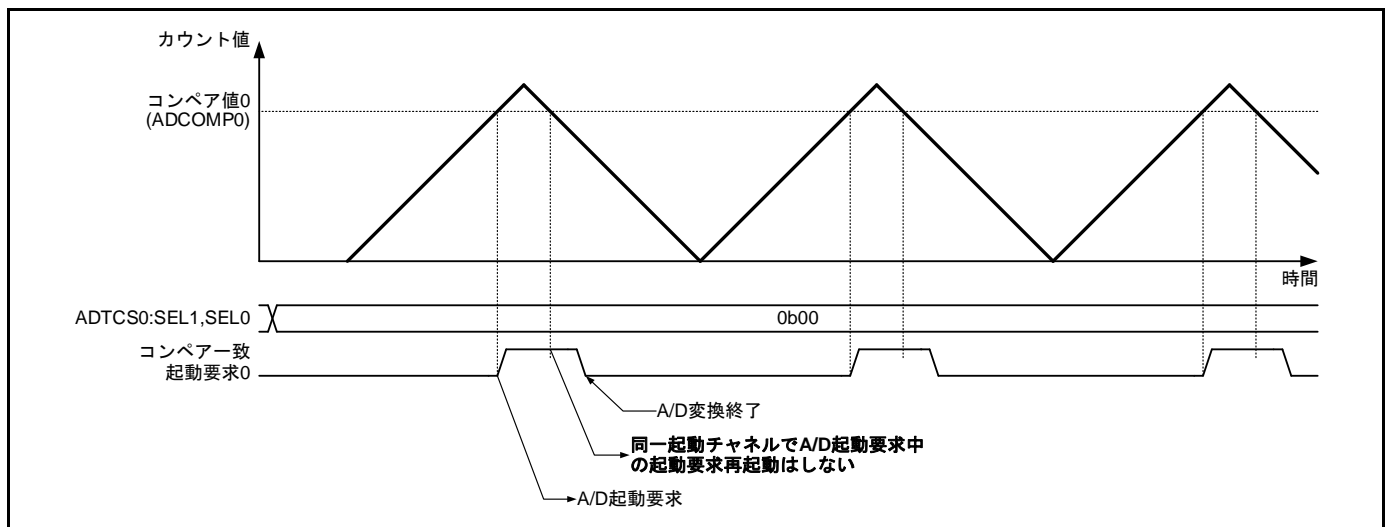


図 3-4 起動チャンネル 0:アップ/ダウンカウント双方時、起動チャンネル 1:アップカウント時のコンペアー一致起動例

**(2) コンペアー一致起動のコンペア値の設定について**

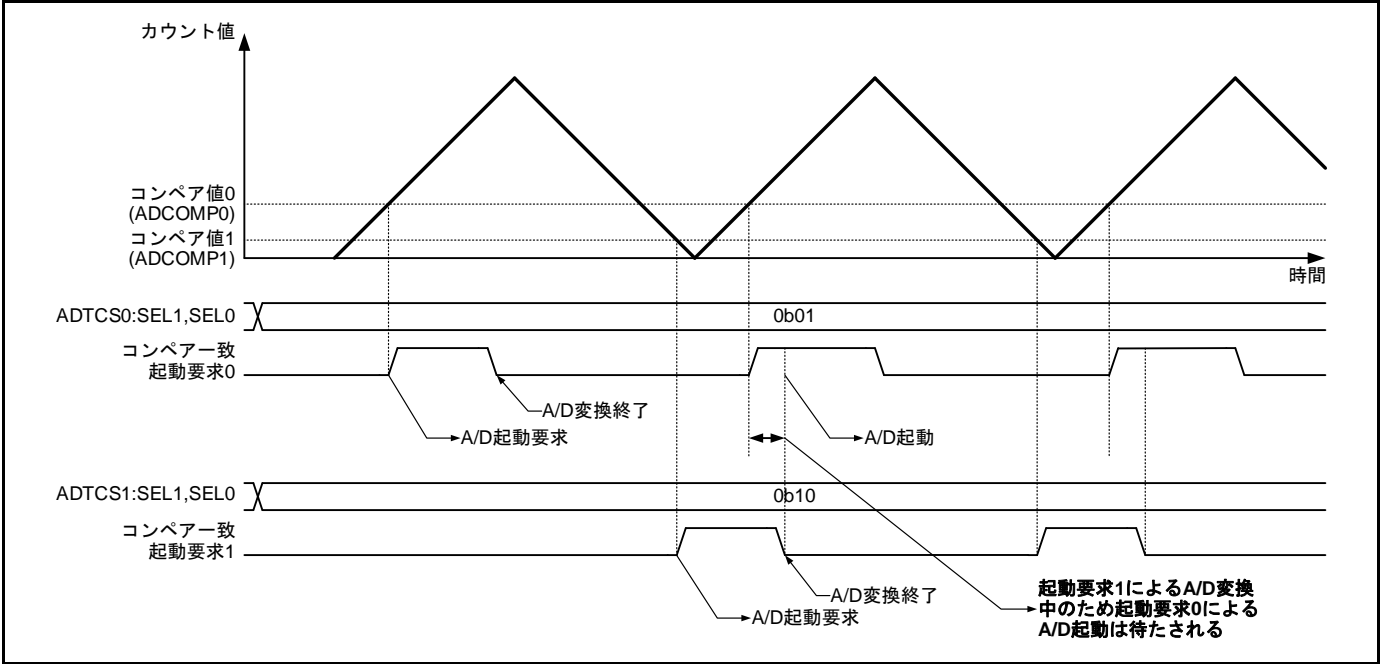
コンペアー一致起動を行う同一起動チャンネル内において、コンペアー一致の発生間隔が A/D の変換時間よりも短い場合、A/D 変換中に発生したコンペアー一致は無視されます。

図 3-5 同一起動チャンネルにおいてコンペアー一致の発生間隔が A/D の変換時間よりも短い場合



また、同一 A/D コンバータユニットを起動する起動チャンネル間において、コンペアー一致の発生間隔が A/D の変換時間よりも短い場合、A/D 変換中に発生した起動要求による A/D 変換開始は待たされます。意図したタイミングで A/D 変換が開始されず、遅れて A/D 変換が開始します。

図 3-6 起動チャンネル間においてコンペア一致の発生間隔が A/D の変換時間よりも短い場合



(3) コンペア一致起動のコンペアレジスタバッファ機能

コンペアレジスタバッファ機能制御ビット(ADTCS:BUFEX)により、コンペアレジスタのバッファ機能使用の有無を選択できます。コンペアレジスタバッファ機能制御ビット(ADTCS:BUFEX)に"0"を書き込むとコンペアレジスタのバッファ機能が有効になります。

バッファ機能有効時(ADTCS:BUFEX="0")のバッファから転送するタイミングは、コンペアレジスタバッファ転送制御ビット(ADTCS:BTS)により選択できます。ADTCS:BTS="1"のときにはコンペアクリア時、ADTCS:BTS="0"のときには0 検出時に、コンペアバッファレジスタ(ADCOMPB)に書き込まれた値がコンペアレジスタ(ADCOMP)に転送されます。

表 3-5 コンペアバッファレジスタからコンペアレジスタへの転送条件

ADTCS		コンペアバッファレジスタ(ADCOMPB)から コンペアレジスタ(ADCOMP)への転送条件
BUFEX	BTS	
0	0	16 ビットフリーランタイムの 0 検出時もしくは、16 ビットフリーランタイム停止中
0	1	16 ビットフリーランタイムのコンペアクリア時もしくは、16 ビットフリーランタイム停止中
1	0 or 1	バッファ機能未使用(直ちに転送)



図 3-7 コンペアレジスタ 0:バッファ機能有効, コンペアレジスタ 1:バッファ機能無効

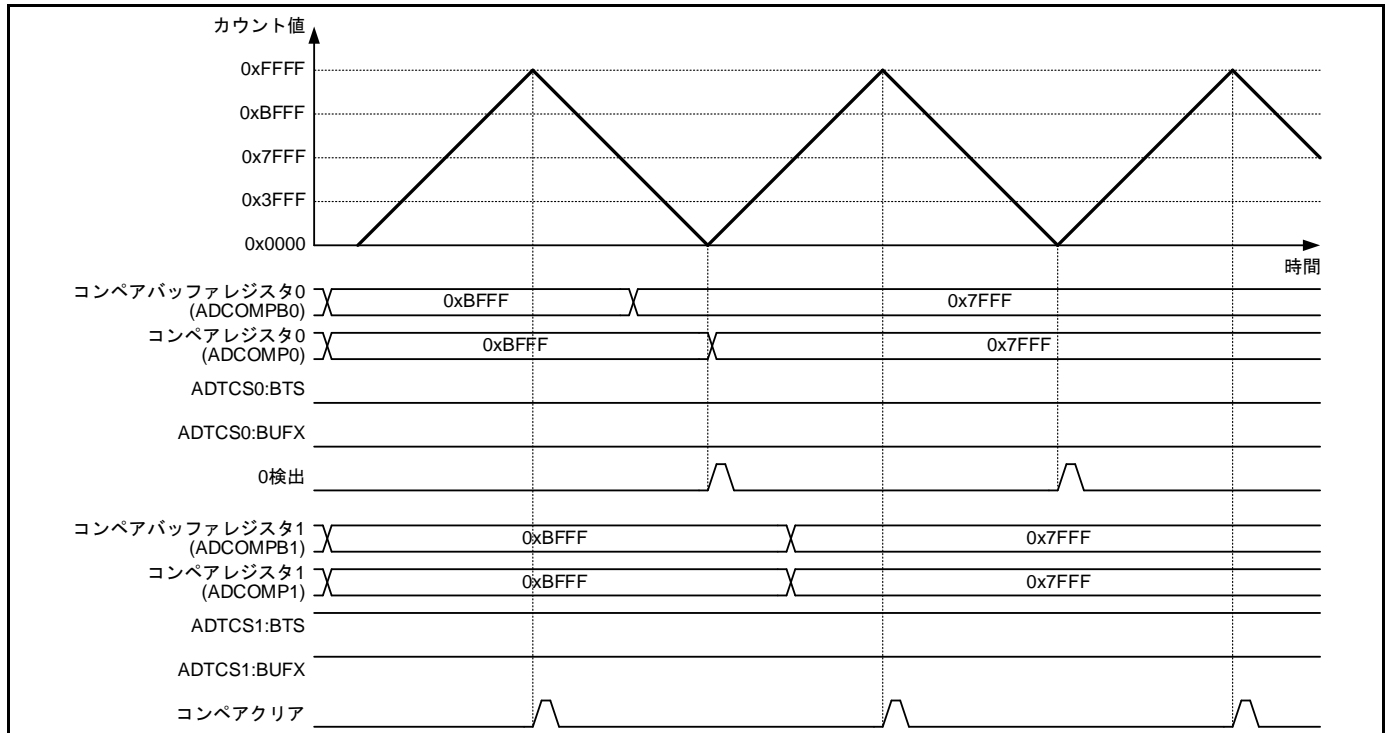


図 3-8 16ビットフリーランタイムアップカウント時, コンペアクリアレジスタと一致したときのコンペアレジスタデータ転送タイミング

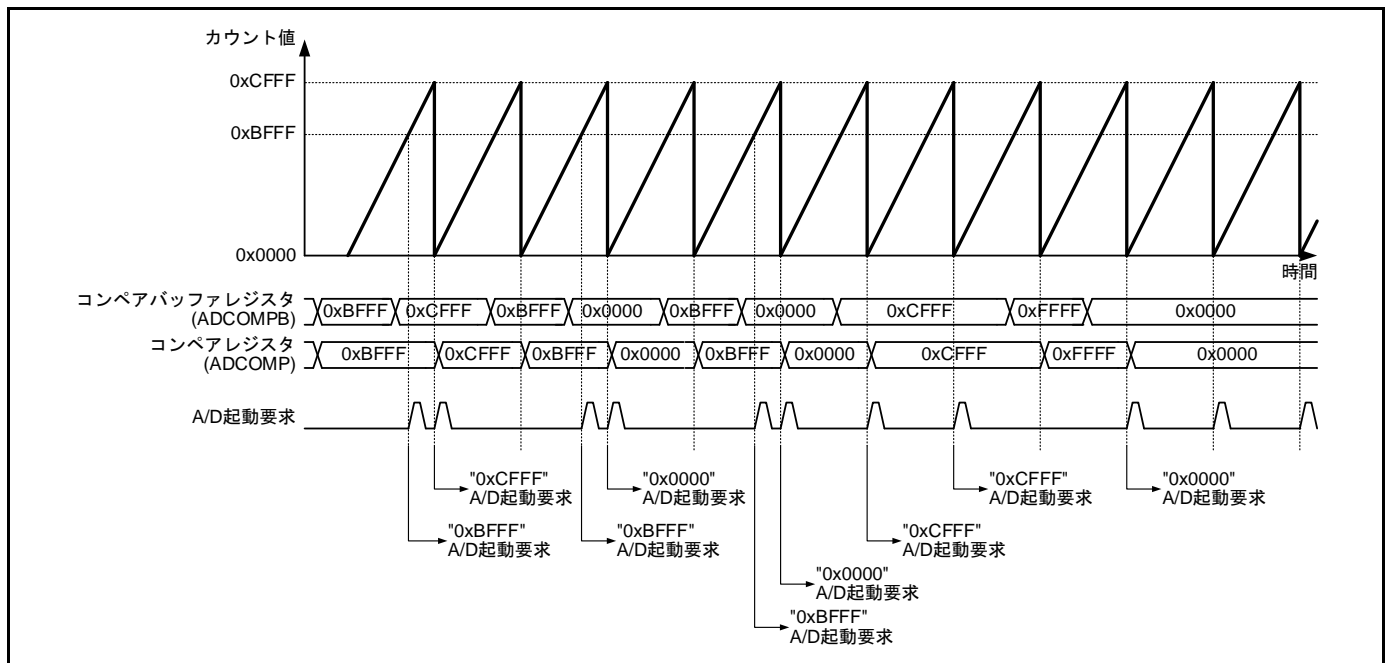


図 3-9 16 ビットフリーランタイムアップカウント時, 0 検出時のコンペアレジスタデータ転送タイミング

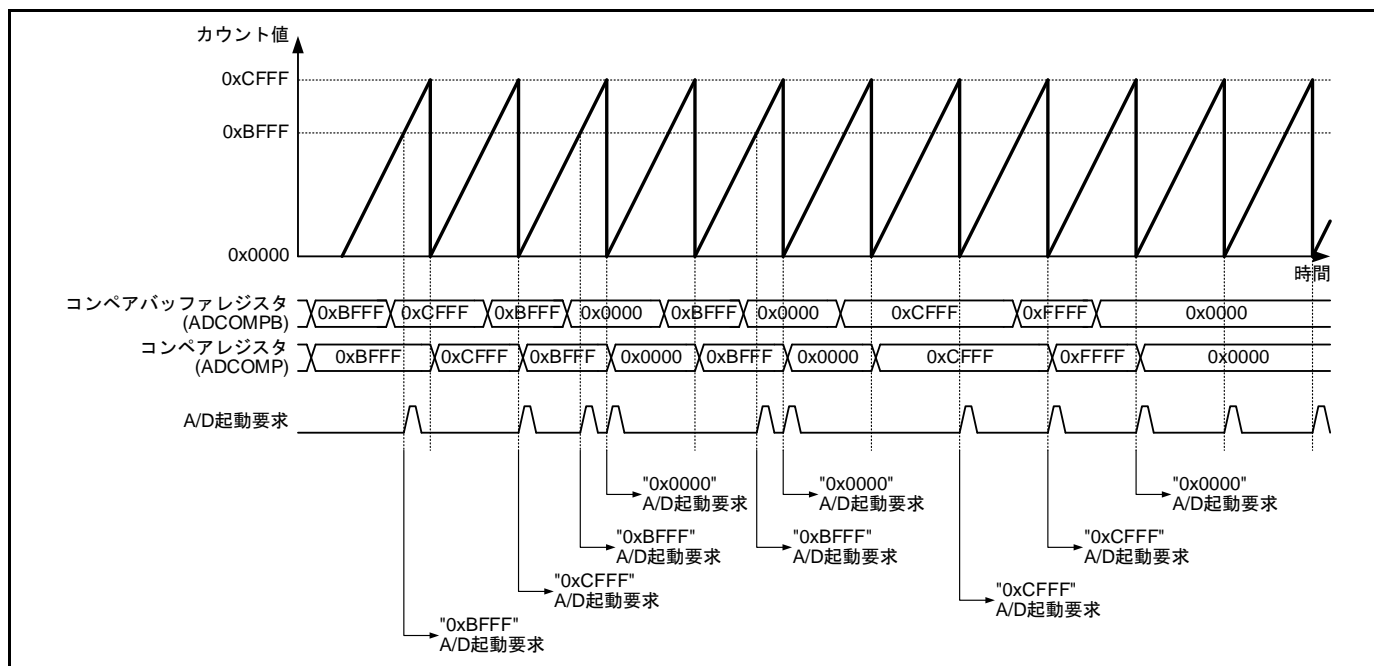


図 3-10 16 ビットフリーランタイムアップダウンカウント時, コンペアクリアレジスタと一致したときのコンペアレジスタデータ転送タイミング

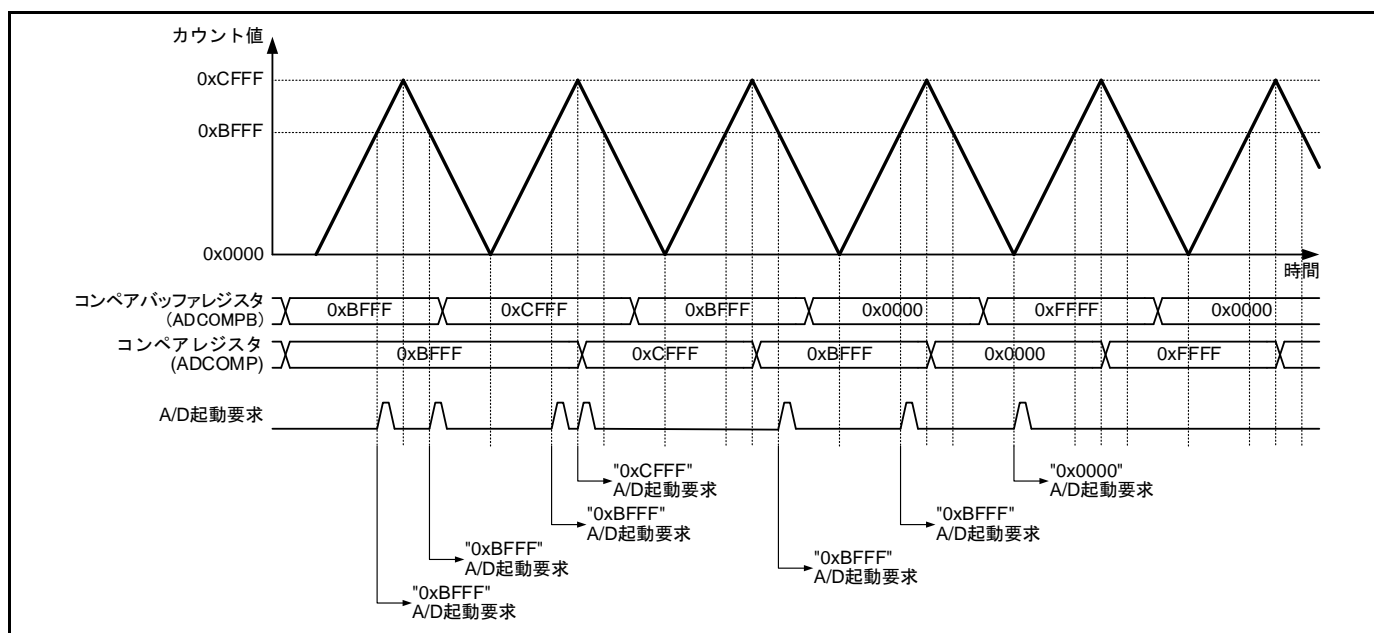
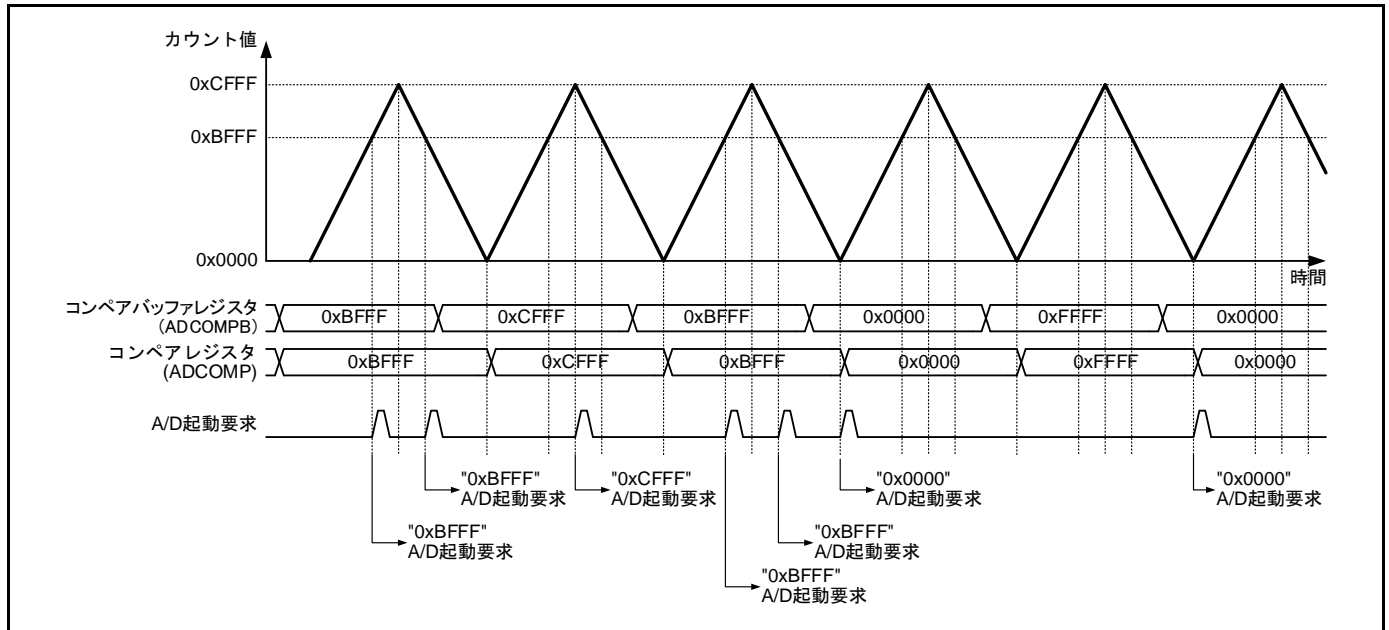


図 3-11 16 ビットフリーランタイムアップダウンカウンタ時、0 検出時のコンペアレジスタデータ転送タイミング



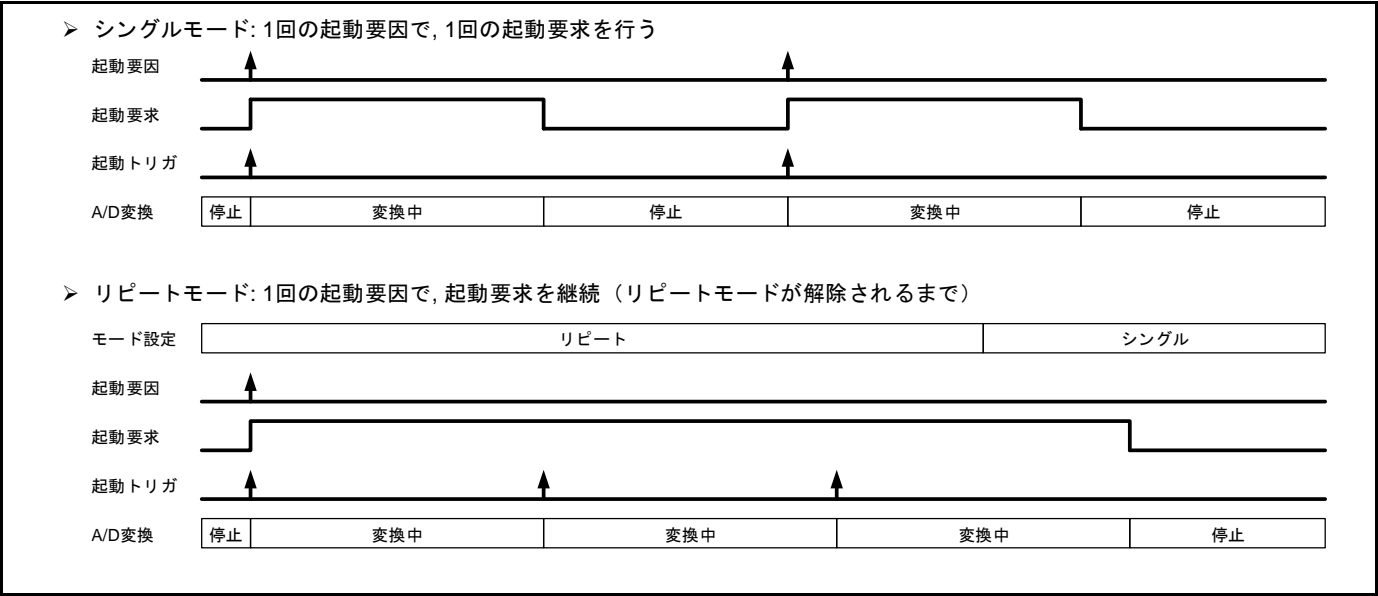


3.2.9. 起動要求モード

起動チャネルごとに起動要求モードを設定できます。起動要求モードはシングルモードとリピートモードの2つです。リピート変換選択ビット(ADTCS:RPT)によって設定します。

- シングルモード(ADTCS:RPT="0")の場合は, 1 回の起動要因によって 1 回の起動要求を行います。A/D 変換は 1 回行われ, 起動要求は A/D 変換終了によって解除されます。
- リピートモード(ADTCS:RPT="1")の場合は, 1 回の起動要因によって起動要求を継続して行います。A/D 変換は繰り返し実行され, 起動要求はリピートモードが解除されるまで継続されます。

図 3-12 起動要求モード





3.2.10. A/D 変換データ

A/D 変換結果データは、起動チャネルごとに A/D データビット(ADTCD:D[11:0])に格納されます。

また、データ保護機能無効(ADTCS:PRT="0")またはコンペア一致起動(ADTCS:STS[1:0]="0b11")のとき、変換データエラーフラグビット(ADTCD:ERR)および変換データエラーステータスビット(ADTCD:ERRST)により、A/D データビット(ADTCD:D[11:0])に格納されている A/D 変換データの状態を確認できます。変換データエラーフラグビット(ADTCD:ERR)、および変換データエラーステータスビット(ADTCD:ERRST)の動作については、図 3-13 を参照してください。

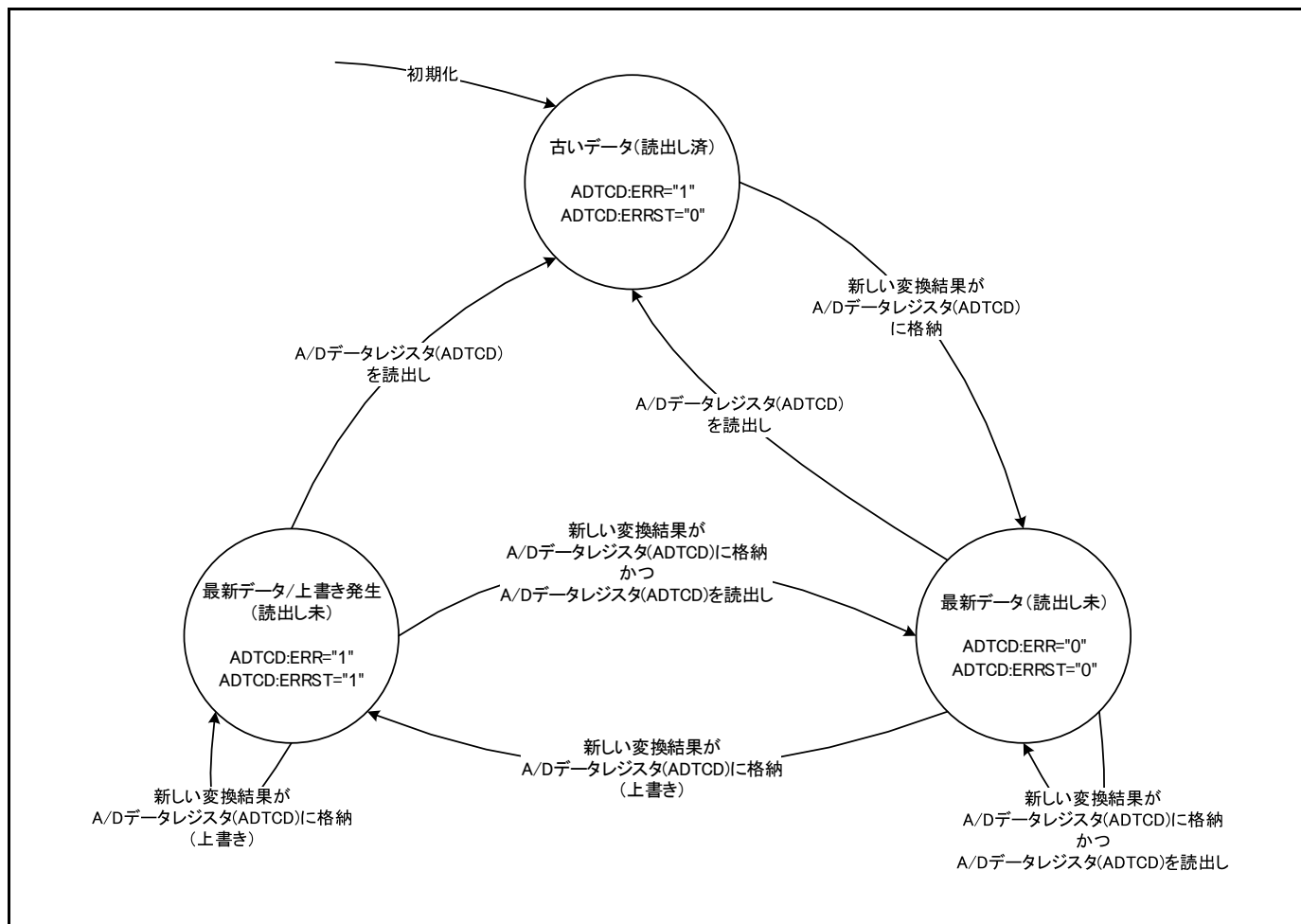
データ保護機能有効(ADTCS:PRT="1")かつ、コンペア一致起動(ADTCS:STS[1:0]="0b11")以外の要因のとき、変換データエラーフラグビット(ADTCD:ERR)は"0"、変換データエラーステータスビット(ADTCD:ERRST)は"0"に固定されます。

表 3-6 A/D 変換データの状態確認(データ保護機能無効(ADTCS:PRT="0")またはコンペア一致起動(ADTCS:STS[1:0]="0b11")時)

ADTCD:ERR	ADTCD:ERRST	A/D 変換データ状態
0	0	最新データ(読出し未)
0	1	—(意味を持ちません)
1	0	古いデータ(読出し済) (注意)初期値
1	1	最新データ/上書き発生(未読出し) (注意)データ破棄あり

ADTCD:ERR, ADTCD:ERRST="0b01"の組み合わせは、ハードウェア的に発生することはありません。

図 3-13 A/D 変換データの状態制御(データ保護機能無効(ADTCS:PRT="0")またはコンペア一致起動(ADTCS:STS[1:0]="0b11"))



3.2.11. データ保護機能

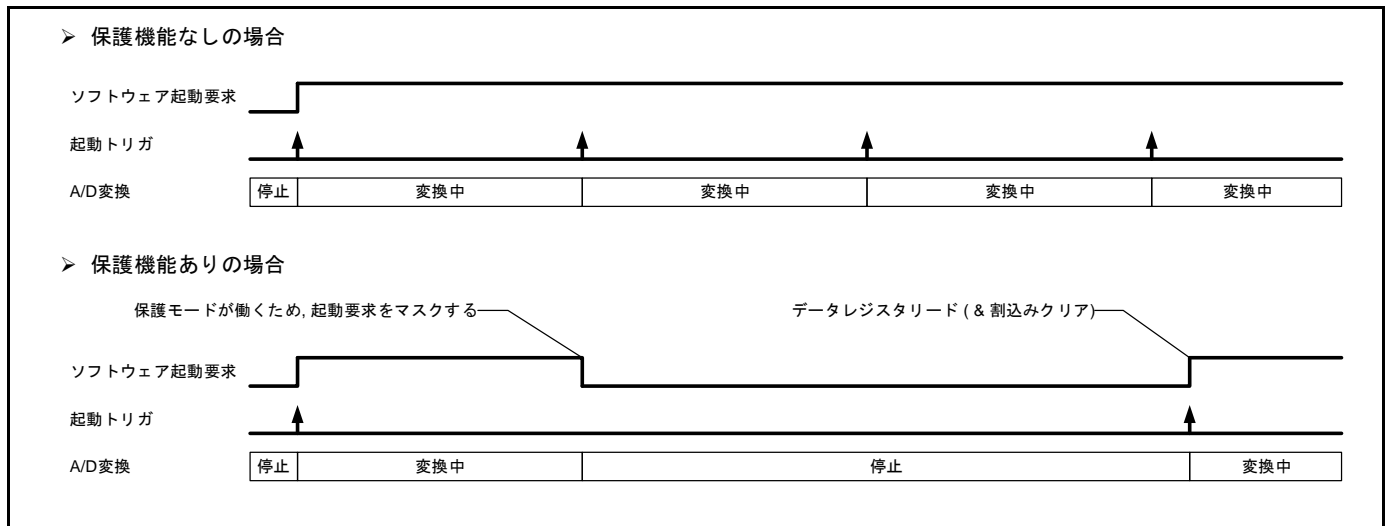
各起動チャンネルの A/D データレジスタ(ADTCD)は、データ保護機能を設定できます。

データ保護機能は、A/D データレジスタ保護有効ビット(ADTCS:PRT)によって設定します。なお、データ保護機能はコンペア一致起動(ADTCS:STS[1:0]="0b11")以外の要因のときに働きます。

データ保護機能が有効(ADTCS:PRT="1")時、A/D データレジスタ(ADTCD)に変換結果が格納されるとデータ保護状態になります。データ保護状態の解除条件は、A/D データレジスタ保護解除選択ビット(ADTCS:PRTS)により選択できます。データ保護状態中は、次の起動要因が発生しても起動要求信号をマスク(非アクティブ)することによって、未読出しの A/D データレジスタ(ADTCD)のデータが次の A/D 変換データで上書きされることを保護します。

- A/D データレジスタ保護解除選択ビット(ADTCS:PRTS)が"0"の場合、A/D データレジスタ(ADTCD)のデータ読出しと割込みフラグ(ADTCS:INT)のクリアがされるまで、起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。
- A/D データレジスタ保護解除選択ビット(ADTCS:PRTS)が"1"の場合、A/D データレジスタ(ADTCD)のデータ読出しがされるまで、起動要求がマスクされます。

図 3-14 データ保護機能(リポートモード(ADTCS:RPT="1")時のソフトウェア起動要求例)



3.2.12. スキャン変換モードについて

スキャン変換は、起動チャネルの小さい起動チャネル番号より順次 A/D 変換を行う動作です。また、スキャン変換は、12 ビット A/D コンバータのユニット当りに 1 種類の設定ができます。

スキャン変換は、以下の動作ができます。

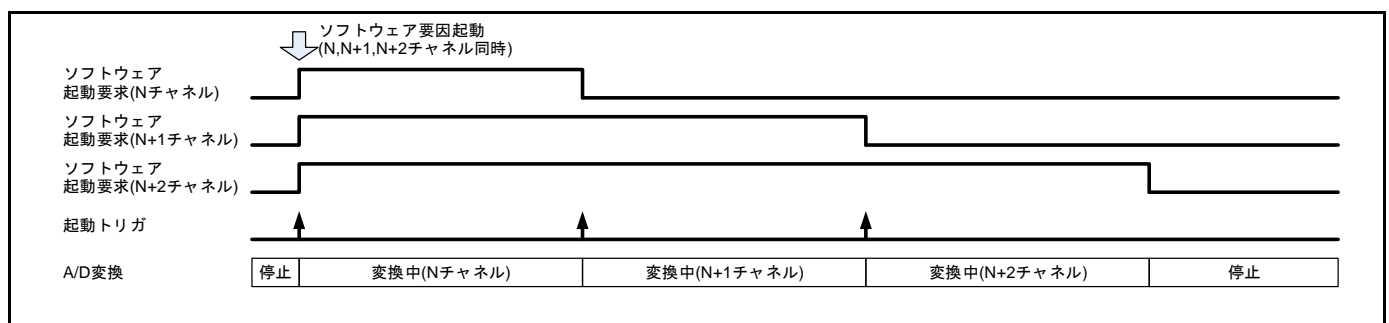
- (1) シングルスキャン変換
- (2) 連続スキャン変換
- (3) チャネルごとの変換回数指定時の連続スキャン変換
- (4) チャネルごとの変換回数指定時の休止スキャン変換

(1) シングルスキャン変換

シングルスキャン変換は、スキャン変換対象の各起動チャネルに対し、リピート変換選択ビットをシングルモード(ADTCS:RPT="0")設定し、A/D 起動を同一起動要因かつ同時に行うことにより実行されます。

スキャン変換の順序は、後段の A/D 起動調停により A/D 起動された起動チャネルの小さい起動チャネル番号から順次 A/D 変換を行います。最終起動チャネルの A/D 変換が終了するとスキャン変換を停止します。

図 3-15 シングルスキャン変換



(2) 連続スキャン変換

連続スキャン変換は、スキャン変換対象の各起動チャネルに対し、リピート変換選択ビットをリピートモード(ADTCS:RPT="1"), かつデータ保護機能有効(ADTCS:PRT="1")設定し、A/D 起動を同一起動要因かつ同時に行うことにより実行されます。

同じ A/D コンバータのユニットに対応する起動チャネル間において、リピートモード(ADTCS:RPT="1")が複数設定される場合、後段の A/D 起動調停では、優先順位に従って、ある 1 つのチャネルのみを処理します。

よって、リピートモード(ADTCS:RPT="1")が複数の起動チャネルによって設定される場合は、それらの起動チャネルはデータ保護機能を有効(ADTCS:PRT="1")にして使用してください。

- データ保護機能無効(ADTCS:PRT="0")の場合

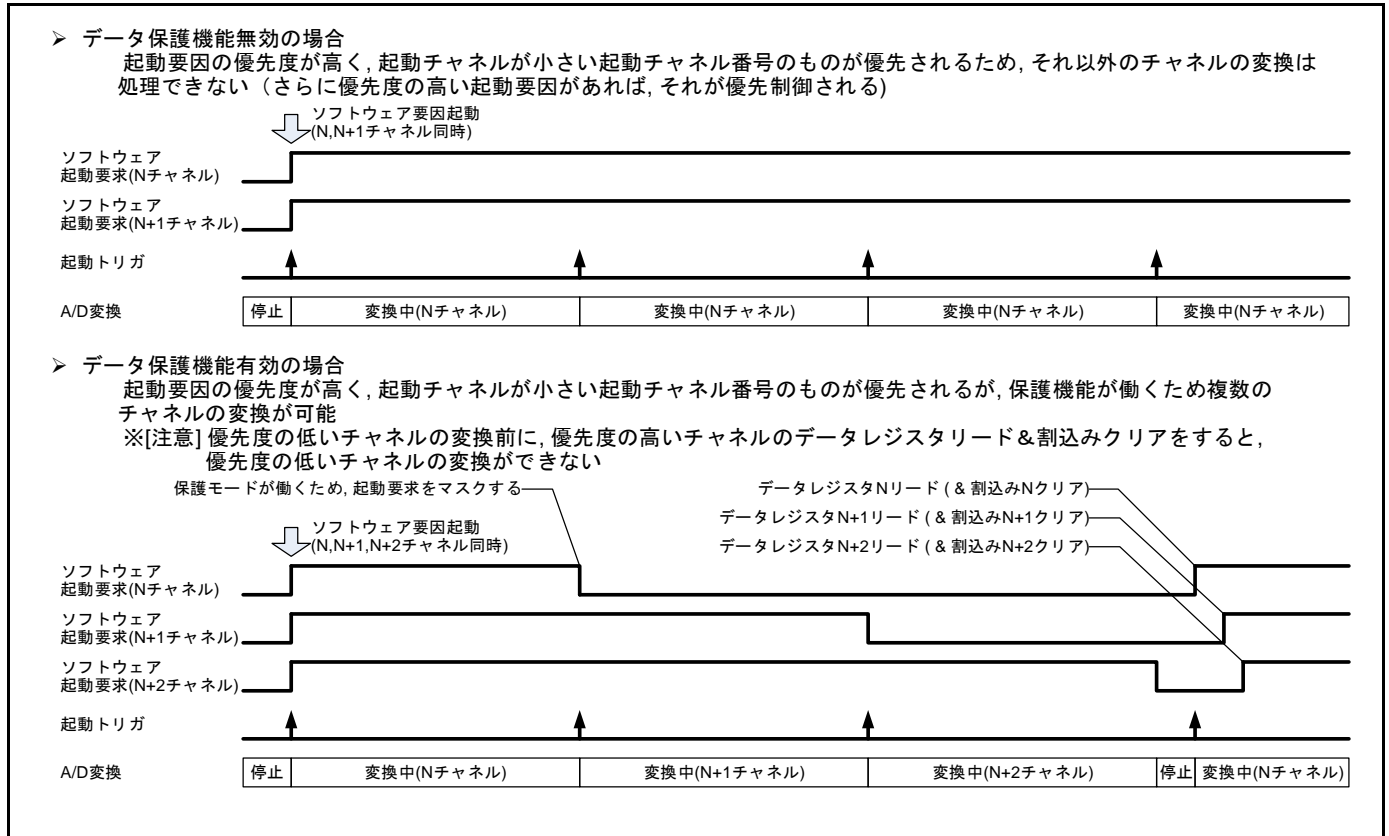
A/D 起動調停では、起動要因の優先度が高く、起動チャネルが小さい起動チャネル番号のものが優先されます。リピートモード設定(ADTCS:RPT="1")した場合、起動要求を継続して出力します。このため、優先度が劣る起動チャネルの変換は実行されません。

- データ保護機能有効(ADTCS:PRT="1")の場合

A/D 起動調停では、起動要因の優先度が高く、起動チャネルが小さい起動チャネル番号のものが優先されます。リピートモード設定(ADTCS:RPT="1")した場合、起動要求を継続して出力します。しかし、A/D データレジスタ(ADTCD)に A/D 変換結果を格納するとデータ保護状態となり、起動要求をマスクします。これにより、次の起動チャネルの変換が実行できます。

<注意事項>

データ保護機能有効(ADTCS:PRT="1")によってリピートモード(ADTCS:RPT="1")を複数設定する場合、優先度の低い起動チャンネルの変換前に、優先度が高い起動チャンネルのデータ保護状態を解除すると、優先度の低い起動チャンネルの変換は実行されません。

図 3-16 連続スキャン変換**(3) チャンネルごとの変換回数指定時の連続スキャン変換**

チャンネルごとの変換回数指定時の連続スキャン変換は、連続スキャン変換モードを設定 (ADSCANS:SCMD="0")し、かつスキャン変換対象の各起動チャンネルに対し、リピート変換選択ビットをリピートモード(ADTCS:RPT="1"), 変換回数指定スキャン変換実行許可(ADNCS:CNTEN="1"), かつ変換回数指定 (ADNCS:CCNT[1:0] ="回数")設定し、A/D 起動を同一起動要因かつ同時に行うことにより実行されます。

チャンネルごとの変換回数指定時の連続スキャン変換は、スキャン変換対象の起動チャンネルの小さい起動チャンネル番号から変換回数指定(ADNCS:CCNT[1:0])の A/D 変換を行い、完了すると次の起動チャンネルの A/D 変換に移行します。また、変換回数指定の A/D 変換が完了した起動チャンネルは、変換回数完了フラグビット (ADEOCF:EOCF)によって確認できます。そして、最終起動チャンネルの変換回数指定の A/D 変換が完了するとスキャン変換完了割込み要因フラグ(ADSCANS:SCINT)を"1"にセットし、自動的にスキャン変換を最初から反復実行します。また、各起動チャンネルの変換回数完了フラグビット(ADEOCF:EOCF)は、スキャン変換を最初から反復実行するとき、自動的に"0"にクリアされます。

変換回数指定(ADNCS:CCNT[1:0])は、起動チャンネルごとに 1 回～4 回を選択できます。

データ保護機能は、無効・有効を起動チャンネルごとに選択できます。また、データ保護機能有効 (ADTCS:PRT="1")時は、データ保護状態を起動チャンネルごとにデータ保護状態フラグビット(ADPRTF:PRTF)によって確認できます。

－ データ保護機能無効(ADTCS:PRT="0")の場合

A/D 変換は、隙間なく連続実行します。A/D 変換データは、データ保護されず、起動チャンネルにおいて最後に A/D 変換したデータが格納されています。



- データ保護機能有効(ADTCS:PRT="1")の場合
A/D 変換データは、データ保護されます。よって、同一起動チャンネルにおける A/D 変換は、データ保護期間中は A/D 変換を停止します。ただし、異なる起動チャンネルにスキャン変換が移行した場合は、A/D データレジスタ(ADTCD)も異なるため A/D 変換が隙間なく連続実行します。

<注意事項>

- 連続スキャン変換の場合、スキャン変換対象の最後の起動チャンネルの変換回数完了フラグ(ADEOCF:EOCF)は、"1"にセットされますが、すぐに自動的に"0"クリアされます。
- 連続スキャン変換の最終チャンネルより大きい起動チャンネルにスキャン変換対象と同じ起動要因を設定した場合、最終チャンネルより大きい起動チャンネルは、連続スキャン変換の最終チャンネルが完了した後、後段の A/D 起動調停により 1 回評価されます。
- データ保護機能は、コンペア一致起動(ADTCS:STS[1:0]="0b11")以外の要因のときに働きます。
- データ保護機能有効(ADTCS:PRT="1")の場合、次のスキャン変換が反復実行する前に、データ保護状態を解除してください。データ保護状態の起動チャンネルは A/D 変換を実行しません。

図 3-17 チャンネルごとの変換回数指定時の連続スキャン変換(データ保護機能無効(ADTCS:PRT="0")の場合)

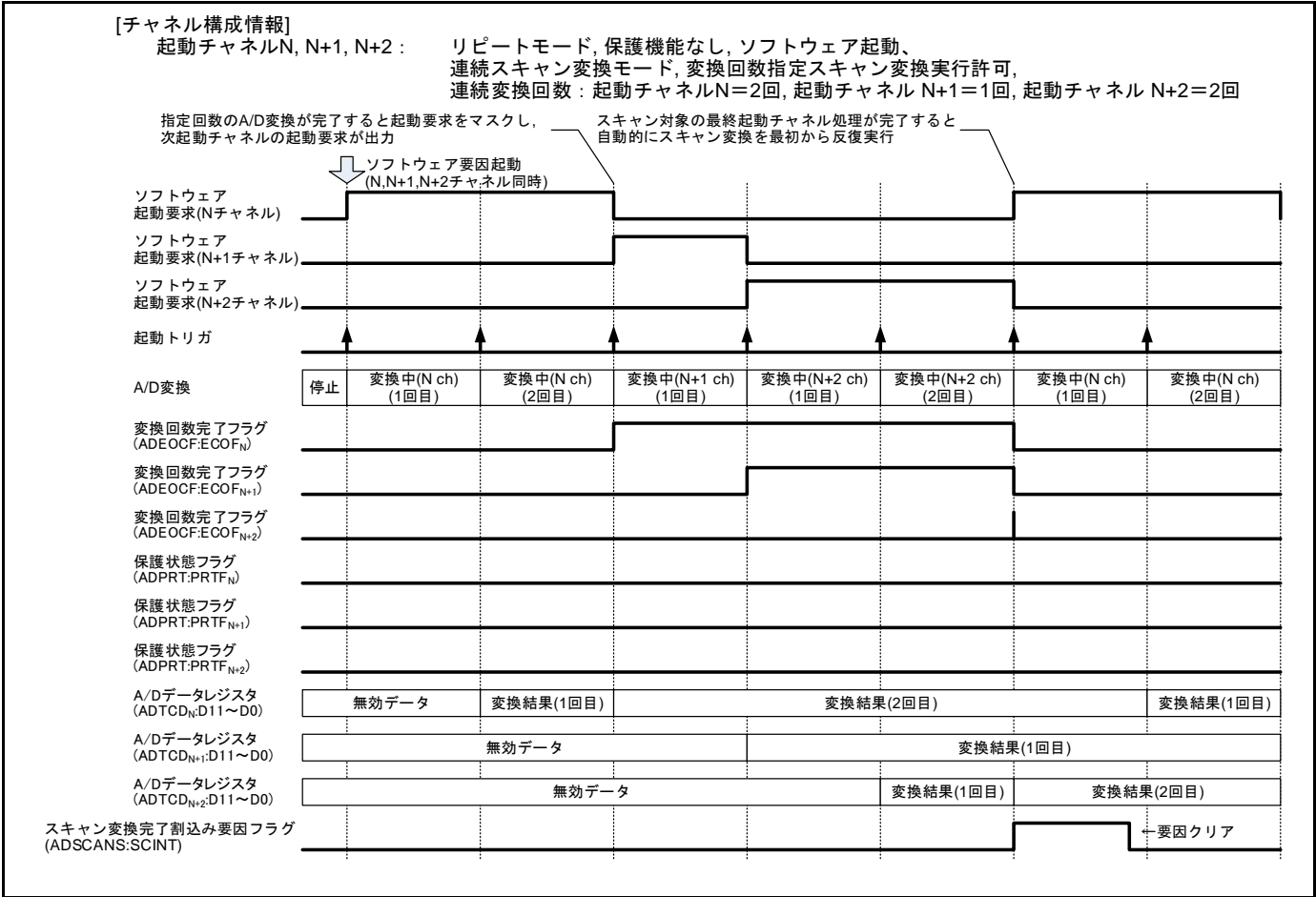
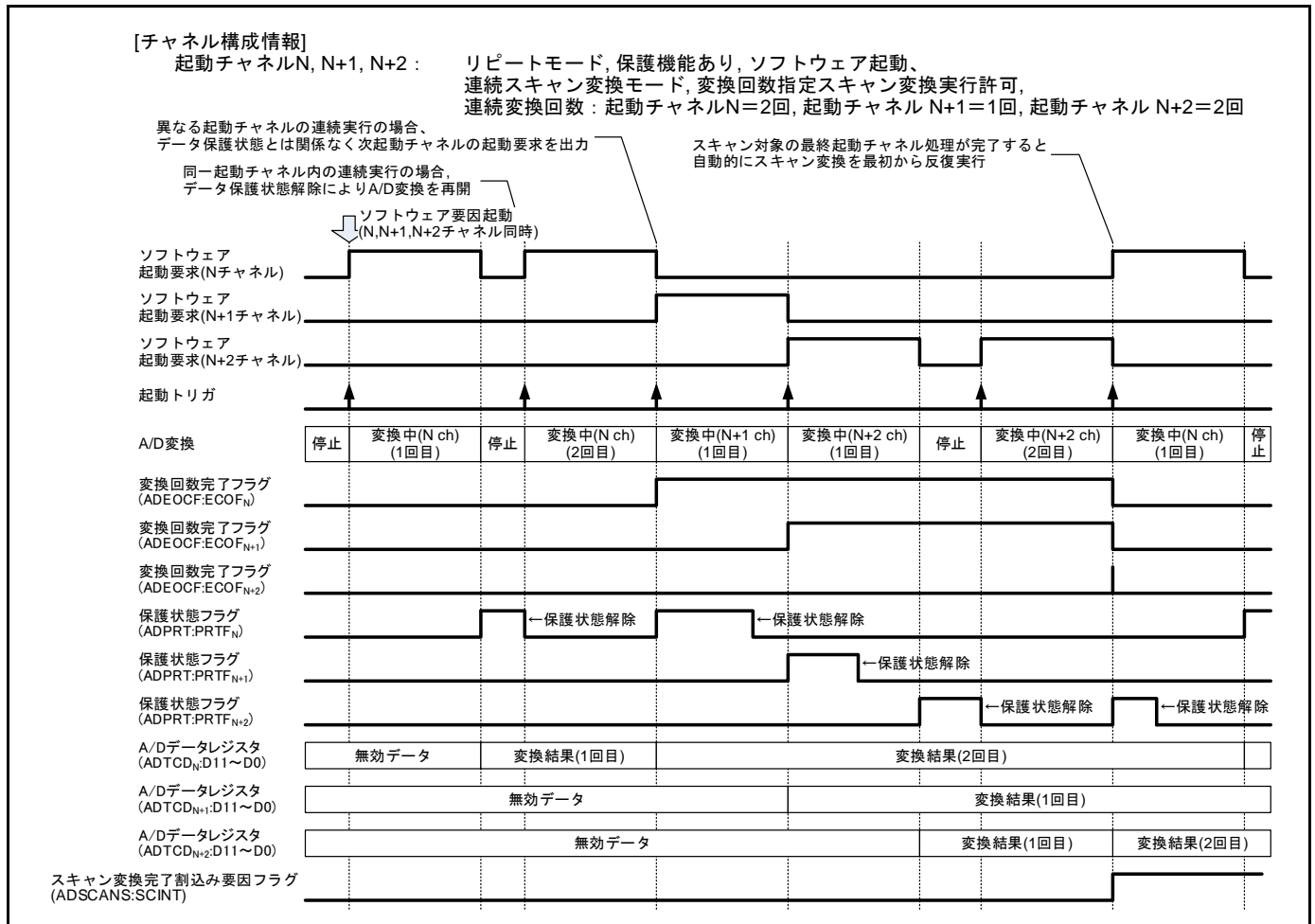


図 3-18 チャンネルごとの変換回数指定時の連続スキャン変換(データ保護機能有効(ADTCS:PRT="1")の場合)



(4) チャンネルごとの変換回数指定時の休止スキャン変換

チャンネルごとの変換回数指定時の休止スキャン変換は、休止スキャン変換モードを設定 (ADSCANS:SCMD="1")し、かつスキャン変換対象の各起動チャンネルに対し、リピート変換選択ビットをリピートモード(ADTCS:PRT="1"), 変換回数指定スキャン変換実行許可(ADNCS:CNTEN="1"), かつ変換回数指定 (ADNCS:CCNT[1:0]="回数")設定し、A/D 起動を同一起動要因かつ同時に行うことにより実行されます。

チャンネルごとの変換回数指定時の休止スキャン変換は、スキャン変換対象の起動チャンネルの小さい起動チャンネル番号から変換回数指定(ADNCS:CCNT[1:0])の A/D 変換を行い、完了すると次の起動チャンネルの A/D 変換に移行します。また、変換回数指定の A/D 変換が完了した起動チャンネルは、変換回数完了フラグビット (ADEOCF:EOCF)によって確認できます。そして、最終起動チャンネルの変換回数指定の A/D 変換が完了するとスキャン変換完了割り込み要因フラグ(ADSCANS:SCINT)を"1"にセットし、スキャン変換は休止状態になります。スキャン変換の再開(休止状態から復帰)は、スキャン変換対象のどれか1つでも A/D 起動要因が発生すると行われます。また、各起動チャンネルの変換回数完了フラグビット(ADEOCF:EOCF)は、スキャン変換の再開(休止状態から復帰)により自動的に"0"にクリアされます。

変換回数指定(ADNCS:CCNT[1:0])は、起動チャンネルごとに1回~4回を選択できます。

データ保護機能は、無効・有効を起動チャンネルごとに選択できます。また、データ保護機能有効 (ADTCS:PRT="1")時は、データ保護状態を起動チャンネルごとにデータ保護状態フラグビット(ADPRTF:PRTF)によって確認できます。

－ データ保護機能無効(ADTCS:PRT="0")の場合

スキャン変換が休止状態以外の A/D 変換は、隙間なく連続実行します。A/D 変換データは、データ保護されず、起動チャンネルにおいて最後に A/D 変換したデータが格納されています。

- データ保護機能有効(ADTCS:PRT="1")の場合

A/D 変換データは、データ保護されます。よって、同一起動チャネルにおける A/D 変換は、データ保護期間中は A/D 変換を停止します。ただし、異なる起動チャネルにスキャン変換が移行した場合は、A/D データレジスタ(ADTCD)も異なるため A/D 変換が隙間なく連続実行します。

＜注意事項＞

- 休止スキャン変換の最終チャネルより大きい起動チャネルにスキャン変換対象と同じ起動要因を設定した場合、最終チャネルより大きい起動チャネルは、休止期間中のみA/D変換の実行ができます。
- データ保護機能は、コンペア一致起動(ADTCS:STS[1:0]="0b11")以外の要因のときに働きます。
- データ保護機能有効(ADTCS:PRT="1")の場合、次のスキャン変換が開始される前に、データ保護状態を解除してください。データ保護状態の起動チャネルはA/D変換を実行しません。

図 3-19 チャンネルごとの変換回数指定時の休止スキャン変換(データ保護機能無効(ADTCS:PRT="0")の場合)

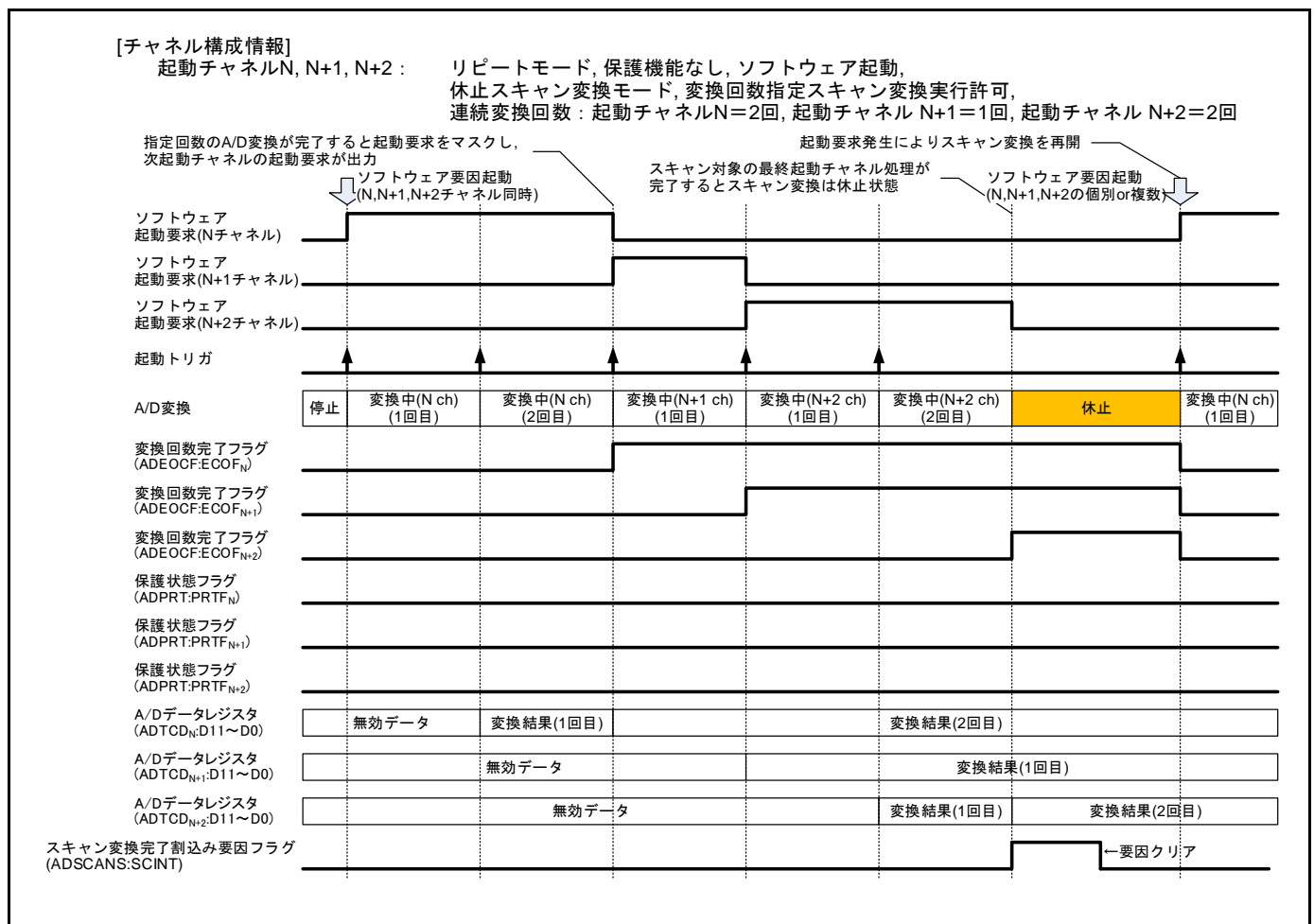




図 3-20 チャンネルごとの変換回数指定時の休止スキャン変換(データ保護機能有効(ADTCS:PRT="1")の場合)

[チャンネル構成情報]

起動チャンネルN, N+1, N+2 : リポートモード, 保護機能あり, ソフトウェア起動 (N~N+2チャンネルをスキャン変換),
休止スキャン変換モード, 変換回数指定スキャン変換実行許可,
連続変換回数: 起動チャンネルN=2回, 起動チャンネル N+1=1回, 起動チャンネル N+2=2回

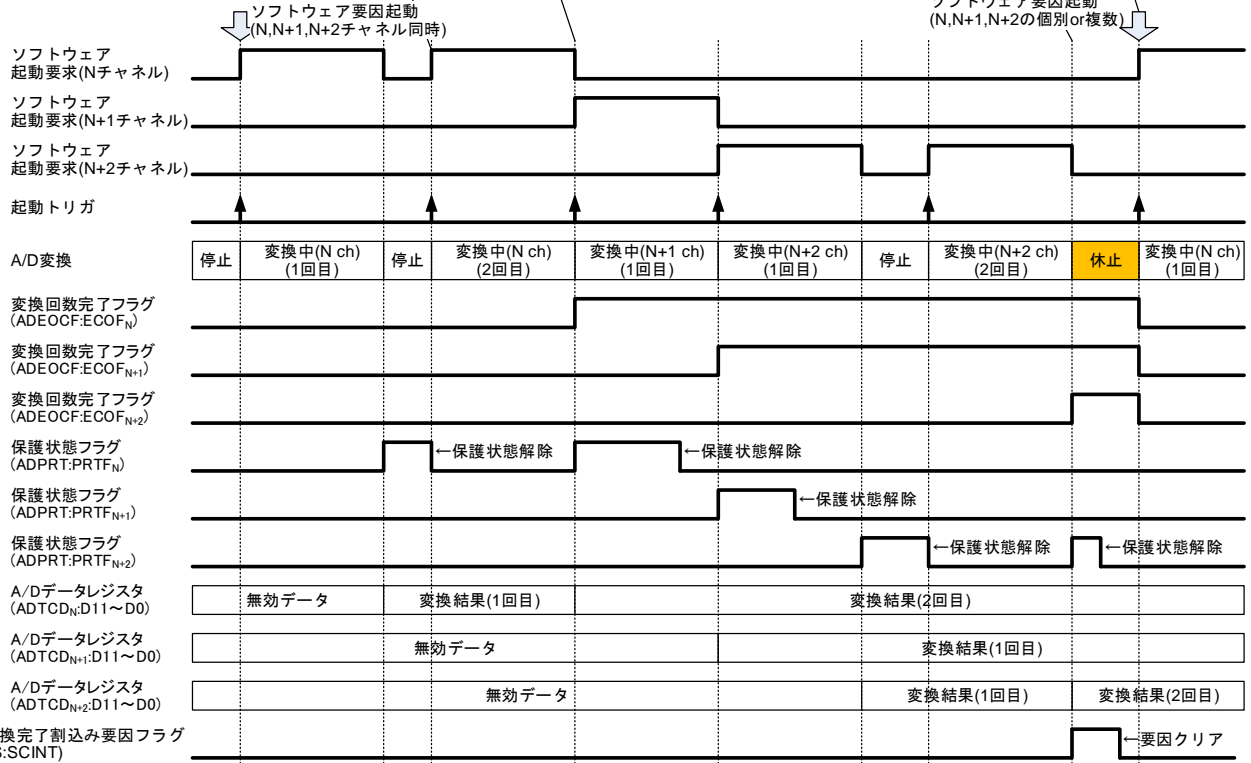
異なる起動チャンネルの連続実行の場合、
データ保護状態とは関係なく次起動チャンネルの起動要求を出力

同一起動チャンネル内の連続実行の場合、
データ保護状態解除によりA/D変換を再開

起動要求発生によりスキャン変換を再開

スキャン対象の最終起動チャンネル処理が完了すると
スキャン変換は休止状態

ソフトウェア要因起動
(N,N+1,N+2の個別or複数)

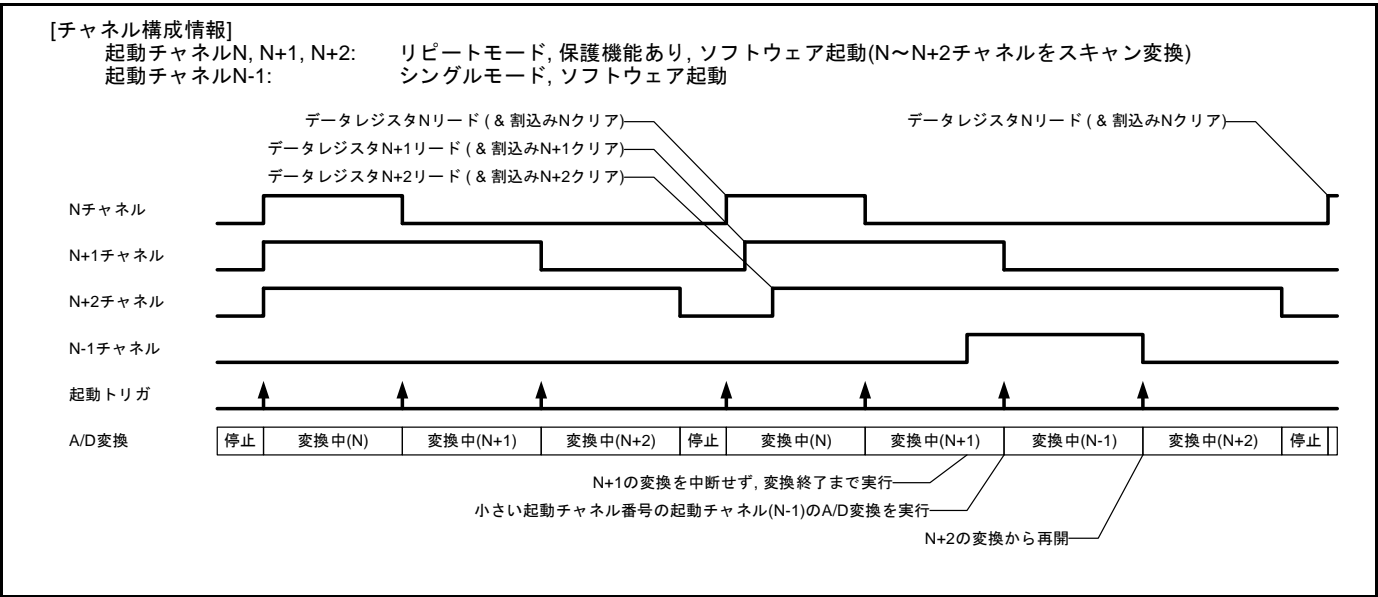


3.2.13. スキャン変換中の他起動チャンネルの高優先起動要求動作について

同じ A/D コンバータのユニットに対応する起動チャンネル間においてスキャン変換する場合、スキャン変換対象のチャンネル以外からの起動要求があった場合、起動要因および起動チャンネル番号により起動チャンネルが優先制御されます。なお、優先制御は、後段の A/D 起動調停によって行われます。

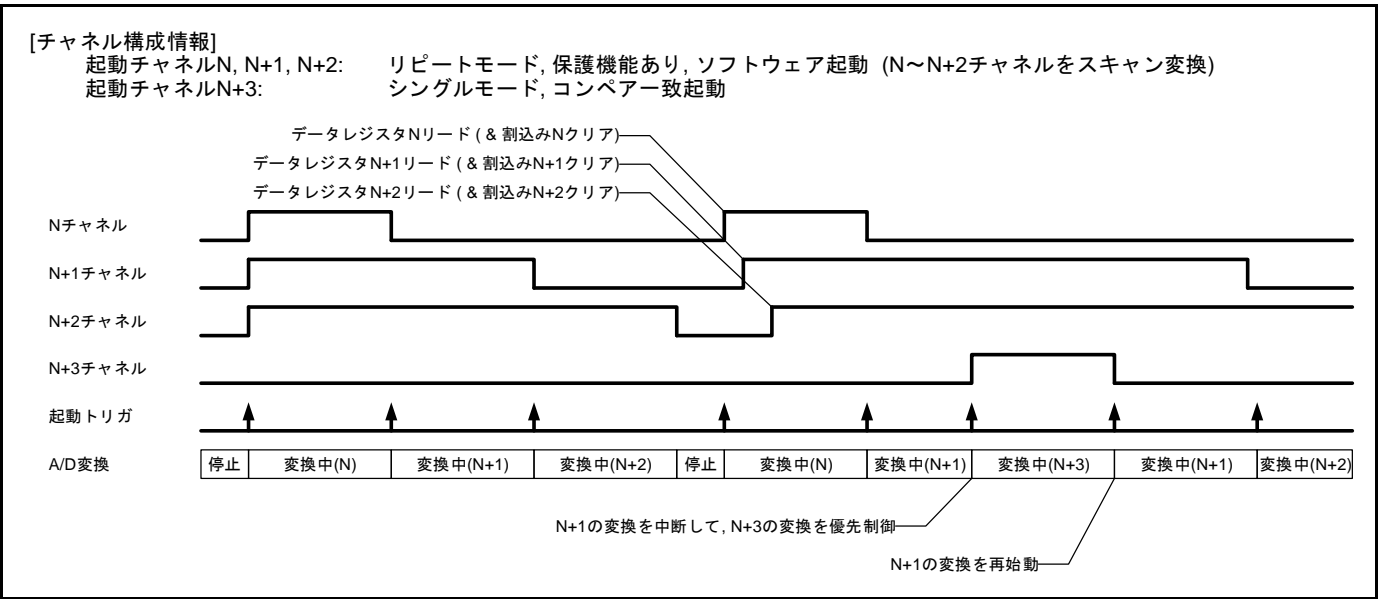
同一起動要因かつスキャン変換を行う起動チャンネルよりも小さい起動チャンネル番号の起動チャンネルから発生した場合には、実行中の A/D 変換終了後にスキャン変換を一時停止して、小さい起動チャンネル番号からの起動チャンネルの A/D 変換終了後に、一時停止したスキャン変換を再開します。

図 3-21 連続スキャン変換時、小さい起動チャンネル番号からの同一起動要因要求の動作



スキャン変換を行う起動チャンネルよりも優先度の高い起動要因がほかの起動チャンネルから発生した場合には、スキャン変換を中断して、高優先の A/D 変換終了後に、中断したスキャン変換の起動チャンネルから A/D 変換を再始動します。

図 3-22 連続スキャン変換時、他起動チャンネルからの高優先起動要因要求の動作





3.2.14. 起動要求の強制終了

A/D 起動要求中または変換中は、A/D 起動要求中ビット(ADTCS:BUSY)により通知されます。また、現在の A/D 起動要求または変換を強制終了したい場合には、BUSY クリアビット(ADTCSC[n]:BUSYC)へ"1"を書き込むかまたは A/D 起動要求中ビット(ADTCS:BUSY)に"0"を書き込みます。

3.2.15. レンジ比較機能

(1) レンジ比較上下限閾値設定

上限閾値設定レジスタ(ADRCUT)および下限閾値設定レジスタ(ADRCLT)は、4 種類の設定ができます。4 種類の上下限閾値設定レジスタの組合せから起動チャネルごとの上下限閾値選択ビット(ADRCSS:RCOTS[1:0])により 1 つを選択します。

表 3-7 レンジ比較上下限閾値選択

上下限閾値選択ビット (ADRCSS:RCOTS[1:0])	選択結果
00	上限閾値設定レジスタ 0(ADRCUT0)/下限閾値設定レジスタ 0(ADRCLT0)
01	上限閾値設定レジスタ 1(ADRCUT1)/下限閾値設定レジスタ 1(ADRCLT1)
10	上限閾値設定レジスタ 2(ADRCUT2)/下限閾値設定レジスタ 2(ADRCLT2)
11	上限閾値設定レジスタ 3(ADRCUT3)/下限閾値設定レジスタ 3(ADRCLT3)

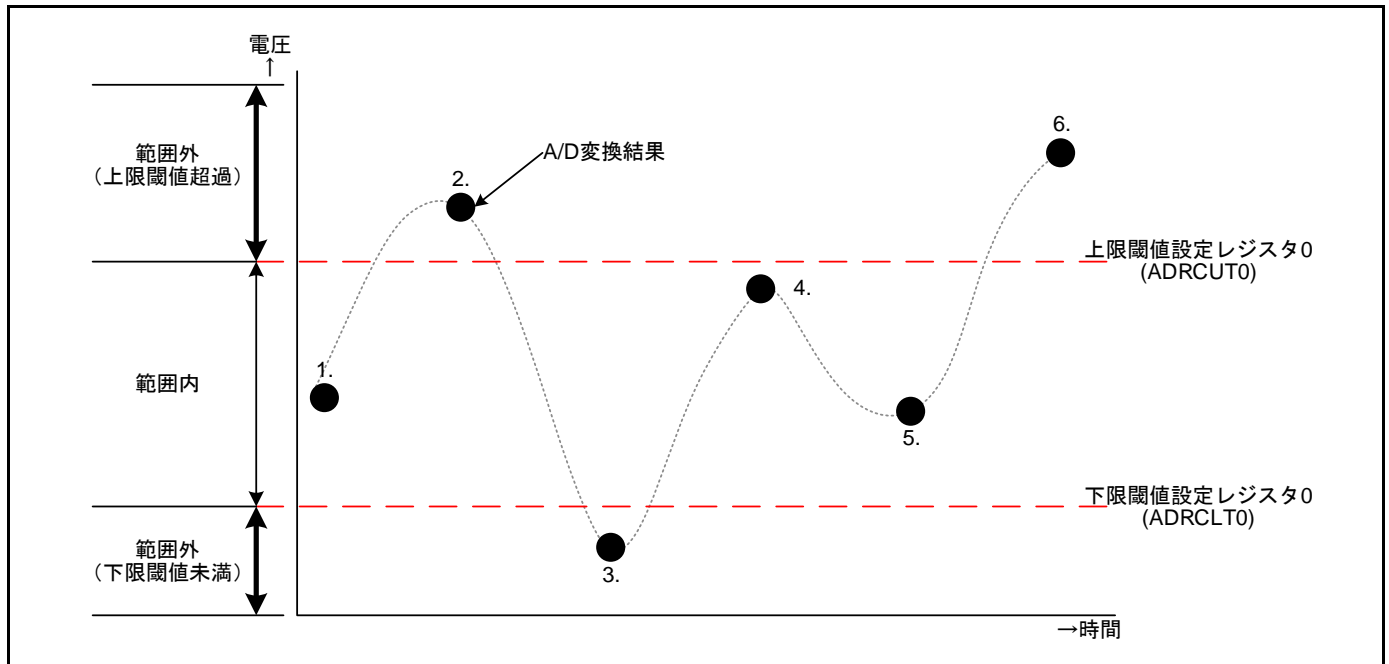
(2) レンジ比較動作

レンジ比較は、レンジ比較許可設定(ADRCSS:RCOE="1")時、A/D 変換が終了し A/D データビット (ADTCD:D[11:0])に格納されると実行します。レンジ比較は、レンジ比較上下限閾値選択ビット (ADRCSS:RCOTS[1:0])により選択した上下限閾値設定レジスタ(ADRCUT/ADRCLT)と A/D データビット (ADTCD:D[11:0])を比較します。レンジ比較結果は、連続検出機能に入力されます。

表 3-8 レンジ比較条件

レンジ比較結果	範囲外確認 (ADRCSS:RCOIRS="0")	範囲内確認 (ADRCSS:RCOIRS="1")
範囲外(上限閾値超過) A/D データビット > 上限閾値設定レジスタ 図 3-23 : 2., 6.	検出	未検出
範囲内 A/D データビット ≥ 下限閾値設定レジスタ かつ A/D データビット ≤ 上限閾値設定レジスタ 図 3-23 : 1., 4., 5.	未検出	検出
範囲外(下限閾値未満) A/D データビット < 下限閾値設定レジスタ 図 3-23 : 3.	検出	未検出

図 3-23 レンジ比較条件



(3) レンジ比較結果の連続検出機能

連続検出機能は、レンジ比較結果の連続検出を行い、ノイズなどを除去します。

レンジ比較結果の検出状態をレンジ比較連続検出回数指定設定(ADRCSS:RCOCD[2:0])により設定した回数を連続検出したとき、レンジ比較割込み要因フラグビット(ADRCIF:RCINT)に"1"を設定します。連続検出中に1度でもレンジ比較結果において未検出となった場合、連続検出測定は0回にクリアされ測定をやり直します。

表 3-9 連続検出機能動作条件

連続検出測定動作	<ul style="list-style-type: none"> - 起動チャネルごとに制御します。 - レンジ比較実行許可設定(ADRCSS:RCOE="1")時は常に動作します。
連続検出回数	<ul style="list-style-type: none"> - 連続検出回数指定(ADRCSS:RCOCD[2:0])により、1回～7回を選択できます。 - 連続検出回数状態表示(ADRCSS:RCOCD[2:0])により、検出回数の状態を確認できます。
クリア条件	<ul style="list-style-type: none"> - レンジ比較実行禁止設定(ADRCSS:RCOE="0")時 - レンジ比較結果において未検出時
インクリメント条件	<ul style="list-style-type: none"> - レンジ比較結果において検出時 <p>ただし、連続検出回数指定(ADRCSS:RCOCD[2:0])に到達した場合、連続検出回数指定値で停止します。</p>

<注意事項>

- 範囲外確認(ADRCSS:RCOIRS="0")時、レンジ比較結果が上限閾値超過状態から下限閾値未満状態に変化しても、連続検出測定は、0回にクリアせず連続検出を継続します。
- レンジ比較結果の連続検出回数状態を初期化したい場合、A/D変換未要求中(ADTCS:BUSY="0")に、レンジ比較実行禁止設定のあと許可設定(ADRCSS:RCOE="0"→"1")にしてください。
- 連続検出によるレンジ比較割込み要因フラグ(ADRCIF:RCINT)の"1"セットは、A/D変換終了割込みによる割込み制御ビットのフラグセット(ADTCS:INT="1")から周辺クロックで2クロック後に行われます。



(4) レンジ比較超過フラグ制御

レンジ比較の範囲外確認(ADRCSS:RCOIRS="0")の場合、上限閾値超過または下限閾値未満の表示は、起動チャンネルごとにレンジ比較閾値超過フラグビット(ADRCOT:RCOOF[n])によって確認できます。

表 3-10 レンジ比較閾値超過フラグ判定条件

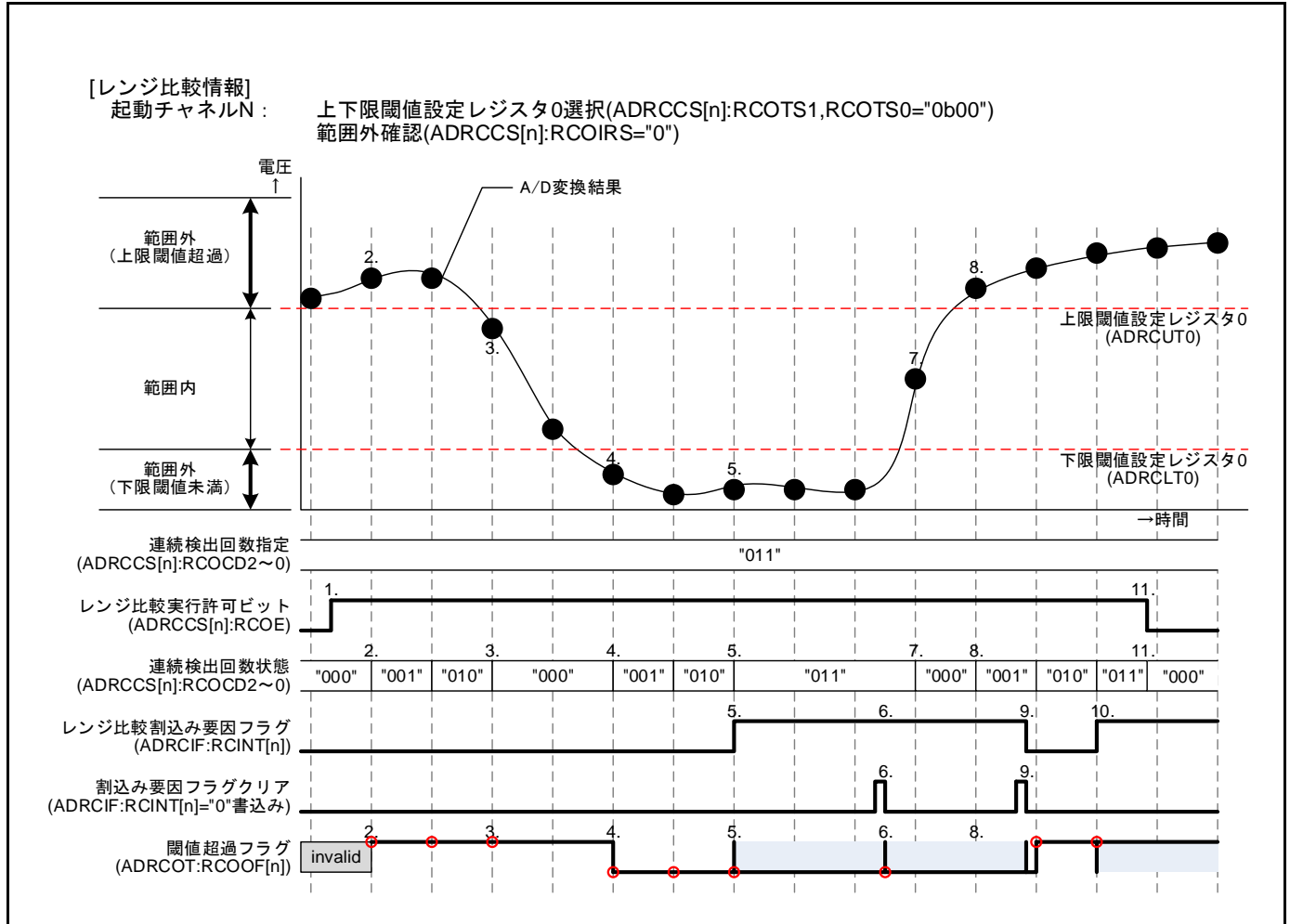
レンジ比較結果	レンジ比較閾値超過フラグビット(ADRCOT:RCOOF)	
	範囲外確認 (ADRCSS:RCOIRS="0")	範囲内確認 (ADRCSS:RCOIRS="1")
範囲外(上限閾値超過) A/D データビット>上限閾値設定レジスタ	"1"	前値保持
範囲内 A/D データビット≧下限閾値設定レジスタ かつ A/D データビット≦上限閾値設定レジスタ	前値保持	前値保持
範囲外(下限閾値未満) A/D データビット<下限閾値設定レジスタ	"0"	前値保持

また、レンジ比較閾値超過フラグビット(ADRCOT:RCOOF)は、レンジ比較割込み要因フラグ(ADRCIF:RCINT)が"1"にセットされている間は、レンジ比較閾値超過フラグビット(ADRCOT:RCOOF)にセットされている内容を保持します。



(5) レンジ比較動作例

図 3-24 レンジ比較動作例



- レンジ比較実行禁止設定(ADRCCS[n]:RCOE="0")時、連続検出回数状態(ADRCCS[n]:RCOCD[2:0])を"0b000"に初期化します。
レンジ比較実行許可設定(ADRCCS[n]:RCOE="1")によりレンジ比較動作開始します。
- レンジ比較結果が上限閾値超過により、連続回数検出状態(ADRCCS[n]:RCOCD[2:0])をインクリメント実施します。
また、閾値超過フラグは上限閾値超過(ADRCOT:RCOOF[n]="1")を通知します。
- 連続検出回数指定値(ADRCCS[n]:RCOCD[2:0]="0b011")前にレンジ比較結果が範囲内を検出したため、連続検出回数状態を初期化(ADRCCS[n]:RCOCD[2:0]="0b000")します。
また、閾値超過フラグ(ADRCOT:RCOOF[n])は前値を保持します。
- レンジ比較結果が下限閾値未満により、連続回数検出状態(ADRCCS[n]:RCOCD[2:0])をインクリメント実施します。
また、閾値超過フラグは下限閾値未満(ADRCOT:RCOOF[n]="0")を通知します。
- レンジ比較結果が連続的に連続検出回数指定値(ADRCCS[n]:RCOCD[2:0]="0b011")に到達したことにより、レンジ比較割込み要因フラグ(ADRCIF:RCINT[n])は"1"にセットされます。
また、閾値超過フラグ(ADRCOT:RCOOF[n])は、レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1")されたときの閾値超過状態をセットし、レンジ比較割込み要因フラグクリア(ADRCIF:RCINT[n]="0")されるまで保持します。

6. レンジ比較割込み要因フラグクリア(ADRCIF:RCINT[n]="0")と連続検出状態が競合した場合、連続検出状態によるセット動作が優先されます。レンジ比較割込み要因フラグはセット(ADRCIF:RCINT[n]="1")状態、閾値超過フラグ(ADRCOT:RCOOF[n])は、閾値超過状態を再セットします。
7. レンジ比較結果が範囲内のとき、レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1")状態でも、連続検出回数状態は初期化(ADRCSS[n]:RCOCD[2:0]="0b000")されます。
8. レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1")状態でも、レンジ比較結果が上限閾値超過により、連続回数検出状態(ADRCSS[n]:RCOCD[2:0])をインクリメント実施します。
ただし、レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1")状態のため、閾値超過フラグ(ADRCOT:RCOOF[n])は前値を保持します。
9. レンジ比較割込み要因フラグクリア(ADRCIF:RCINT[n]="0")により、レンジ比較割込み要因フラグはクリア(ADRCIF:RCINT[n]="0")されます。
また、閾値超過フラグ(ADRCOT:RCOOF[n])の保持状態も解除されます。
10. レンジ比較結果が連続的に連続検出回数指定値(ADRCSS[n]:RCOCD[2:0]="0b011")に到達したことにより、レンジ比較割込み要因フラグ(ADRCIF:RCINT[n])は"1"にセットされます。
また、閾値超過フラグ(ADRCOT:RCOOF[n])は、レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1")されたときの閾値超過状態をセットし、レンジ比較割込み要因フラグクリア(ADRCIF:RCINT[n]="0")されるまで保持します。
11. レンジ比較実行禁止設定(ADRCSS[n]:RCOE="0")時、連続検出回数状態(ADRCSS[n]:RCOCD[2:0])を"0b000"に初期化します。
また、レンジ比較割込み要因フラグ(ADRCIF:RCINT[n])および閾値超過フラグ(ADRCOT:RCOOF[n])は、レンジ比較実行禁止設定(ADRCSS[n]:RCOE="0")によりクリアされません。

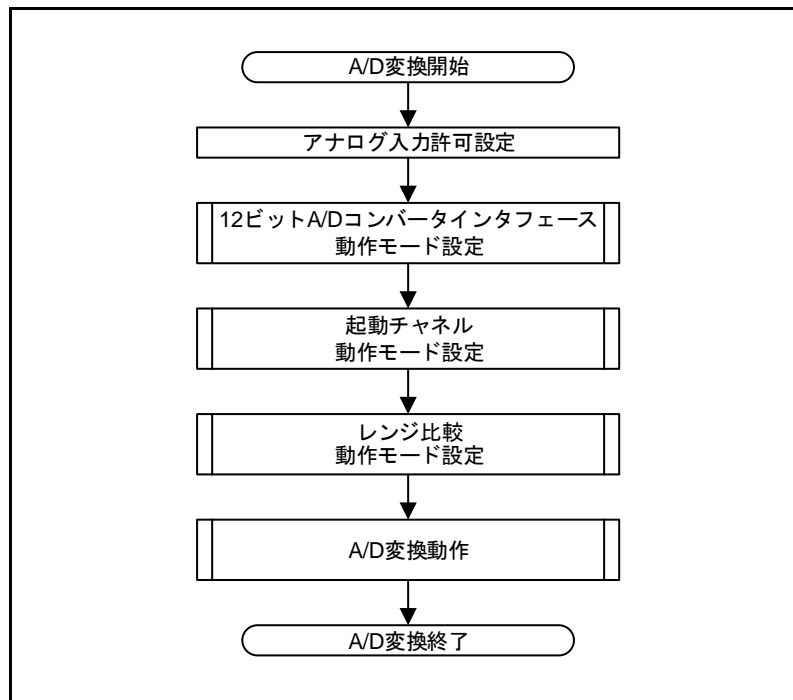
4. 設定手順例

A/D 起動コンペアの設定手順例を示します。

4.1. 1 つのチャンネルを A/D 変換する場合の設定手順例

A/D 変換する場合の設定手順例を図 4-1 に示します。

図 4-1 A/D 変換の設定手順例



(1) アナログ入力許可設定

アナログ入力許可の設定は、アナログ入力制御レジスタ(ADER:ADE0～ADE31)によって行います。アナログ入力制御レジスタ(ADER:ADE0～ADE31)の設定については、『5.1.1 アナログ入力制御レジスタ(ADER)』を参照してください。

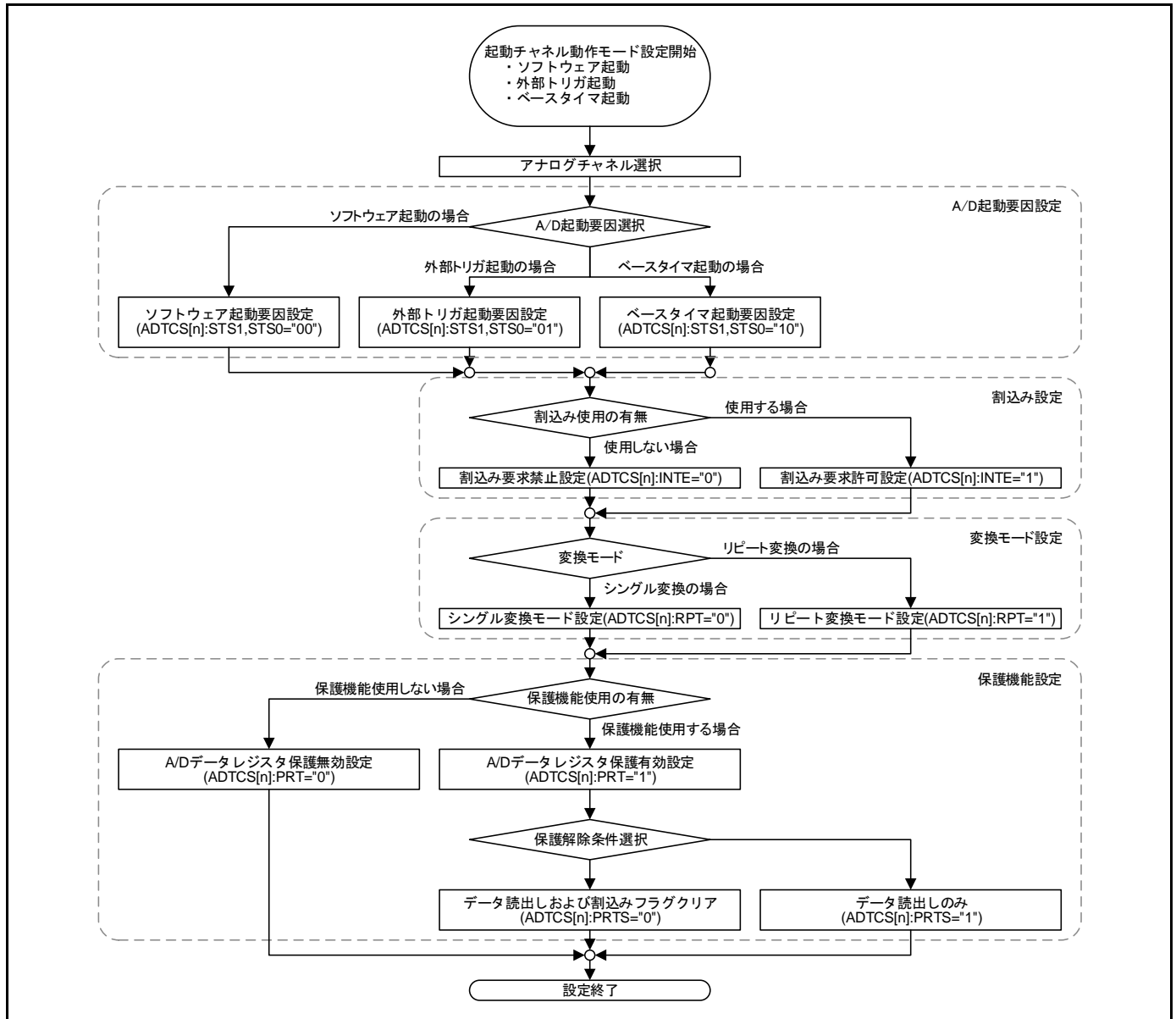
(2) 12 ビット A/D コンバータインタフェース動作モード設定

12 ビット A/D コンバータインタフェースの動作モード設定は、『12 ビット A/D コンバータインタフェース』の章の設定手順例を参照してください。

(3) 起動チャネル動作モード設定

a) ソフトウェア・外部トリガ・ベースタイマ起動の設定例

図 4-2 ソフトウェア・外部トリガ・ベースタイマ起動の設定例



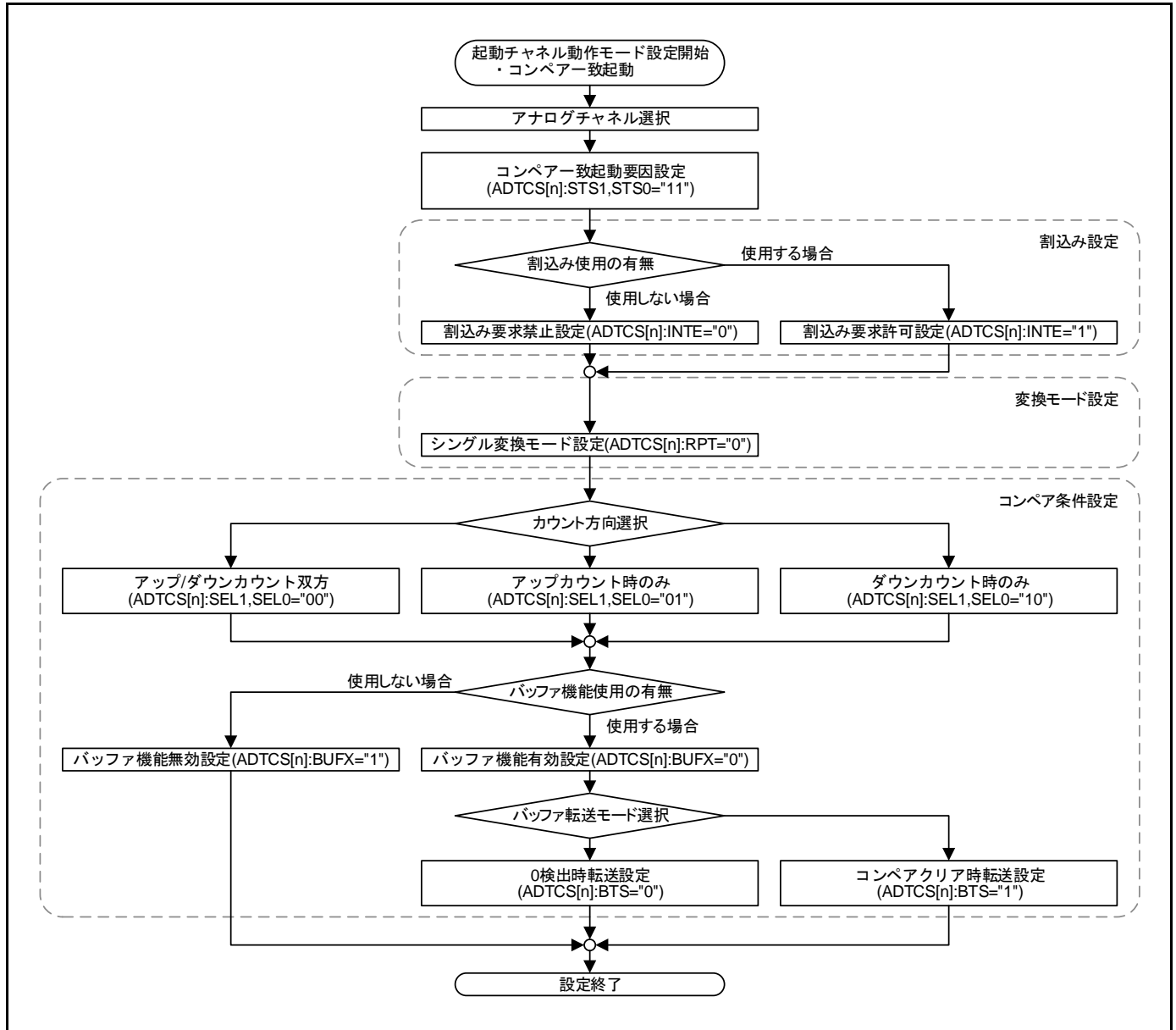
上記設定内容は順不同で設定できます。

- 該当起動チャネルのアナログチャネル選択ビット(ADTECS[n]:CHSEL[4:0])にアナログチャネルを設定します。
- コンペア一致起動モード(ADTCS:STS[1:0]="0b11")以外の場合は、下記の制御ビットは意味を持ちませんので設定不要(初期値の設定保持です)。
 - コンペア値バッファビット(ADCOMPB[n]:CMP[15:0])
 - コンペア値ビット(ADCOMP[n]:CMP[15:0])
 - カウント方向選択ビット(ADTCS[n].SEL[1:0])
 - コンペアレジスタバッファ機能制御ビット(ADTCS[n]:BUFX)
 - コンペアレジスタバッファ転送制御ビット(ADTCS[n]:BTS)



b) コンペアー一致起動の設定例

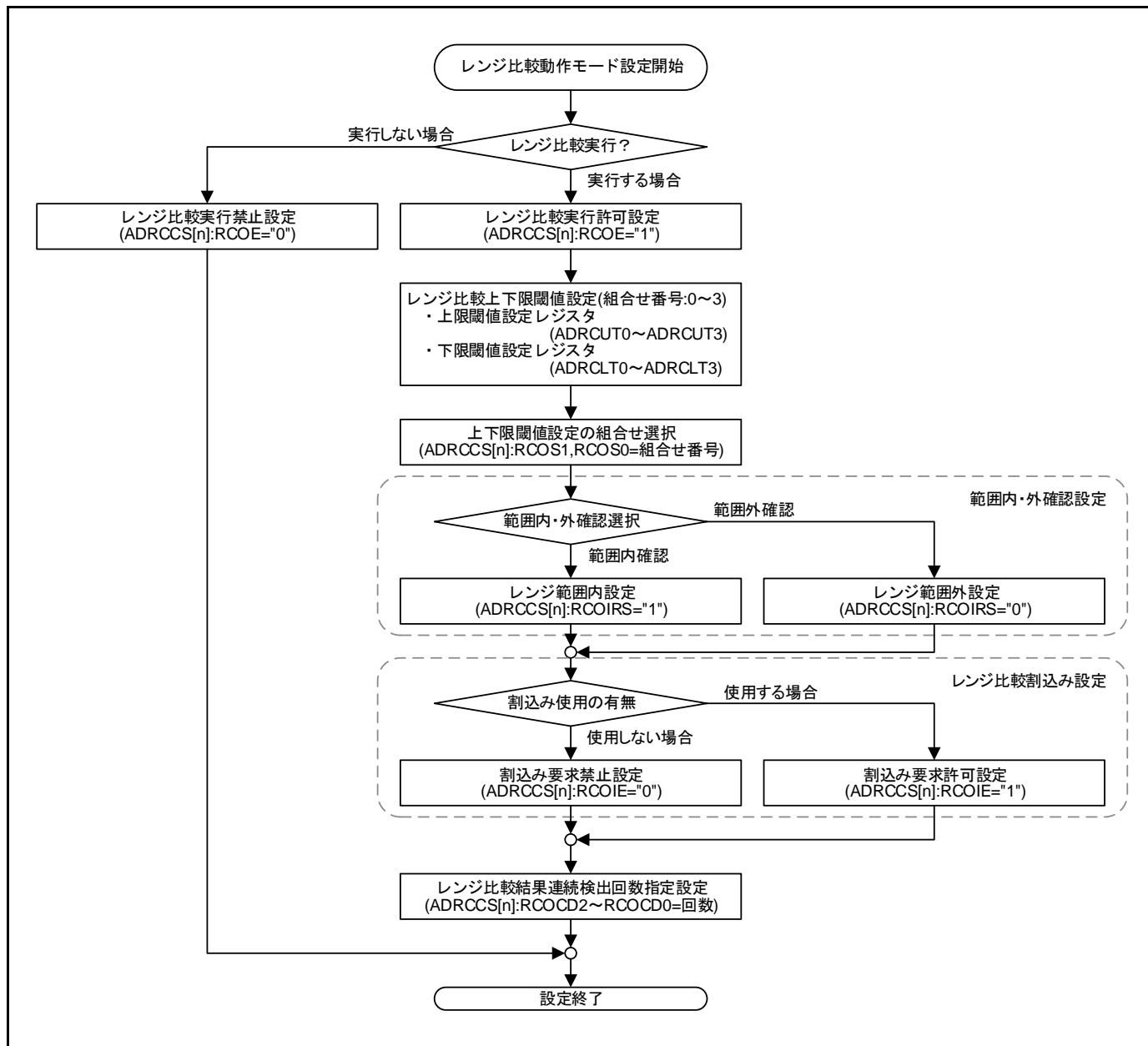
図 4-3 コンペアー一致起動の設定例



- 上記設定内容は順不同で設定できます。
- 該当起動チャネルのアナログチャネル選択ビット(ADTCS[n]:CHSEL[4:0])にアナログチャネルを設定します。
- コンペアー一致起動モード(ADTCS:STS[1:0]="0b11")の場合は、下記の制御ビットはドントケアになりますので設定不要(初期値の設定保持)です。
 - A/D データレジスタ保護有効ビット(ADTCS[n]:PRT)
 - A/D データレジスタ保護解除選択ビット(ADTCS[n]:PRTS)

(4) レンジ比較動作モードの設定例

図 4-4 レンジ比較動作モードの設定例



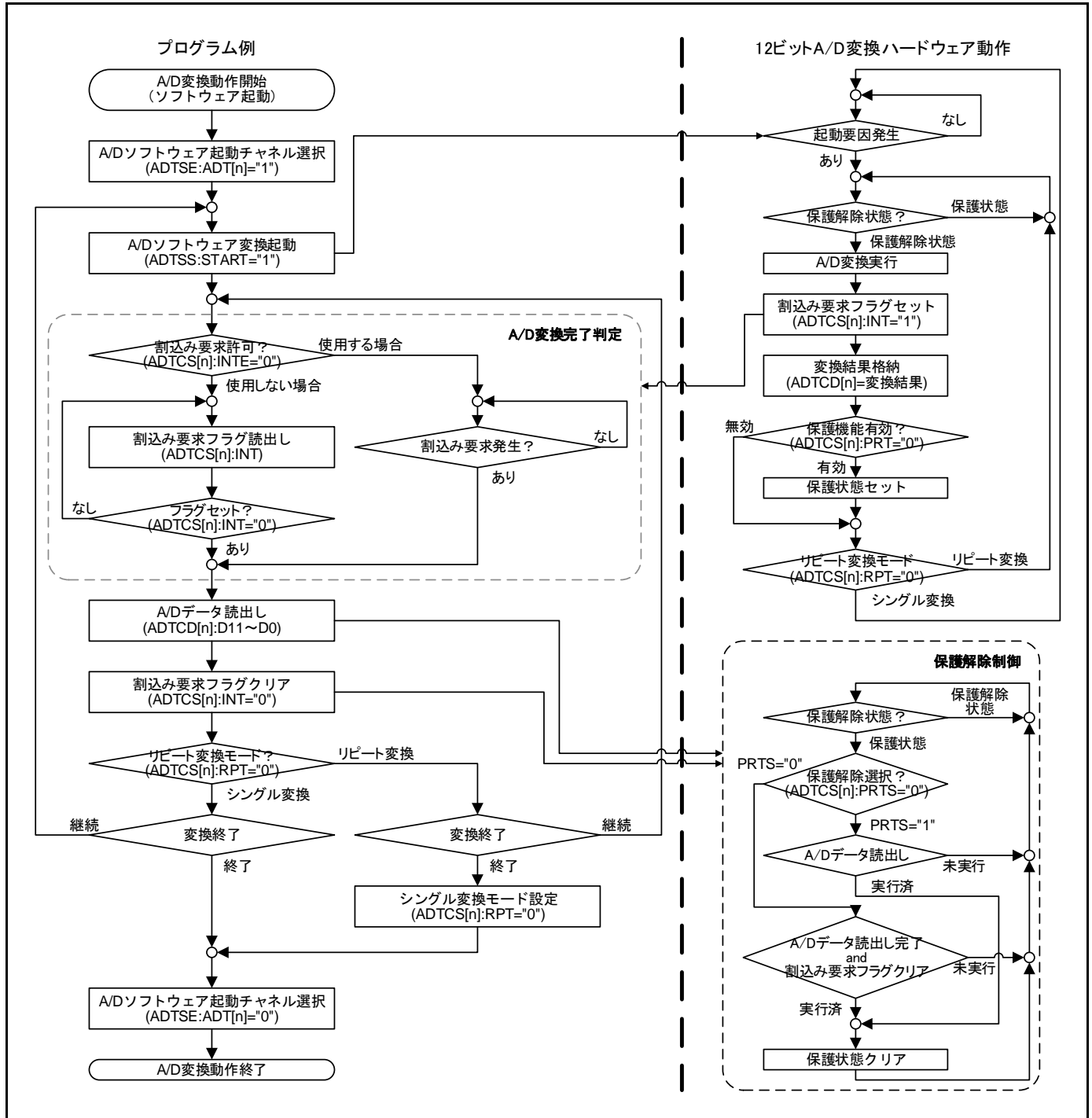
- 上記設定内容は順不同で設定できます。
- レンジ比較上下限閾値は4種類を設定できます。
- 上下限閾値設定のペア選択は、4種類のレンジ比較上下限閾値の設定から1種類を選択します。



(5) A/D 変換動作

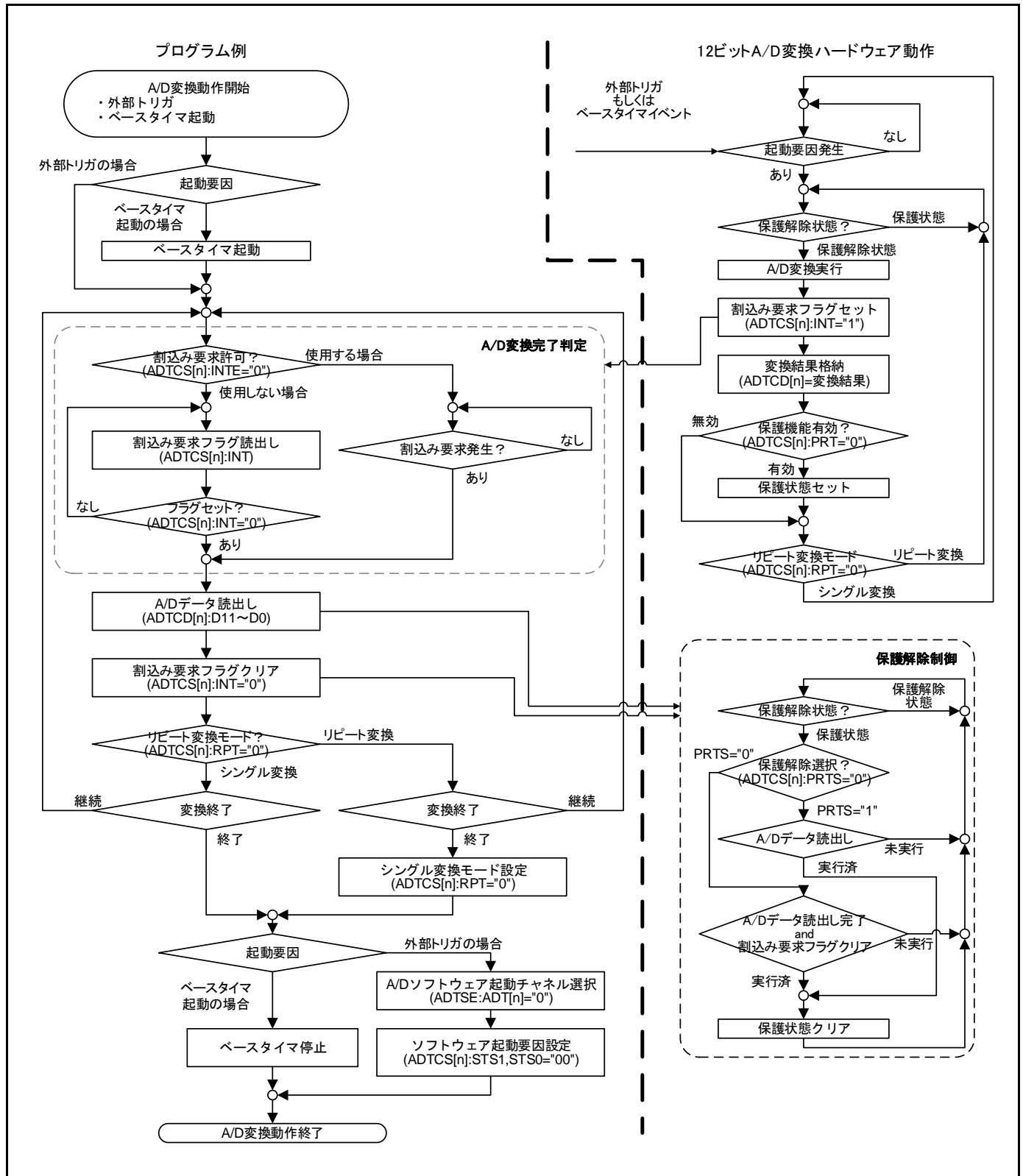
a) ソフトウェア起動時の A/D 変換動作例

図 4-5 ソフトウェア起動時の A/D 変換動作例



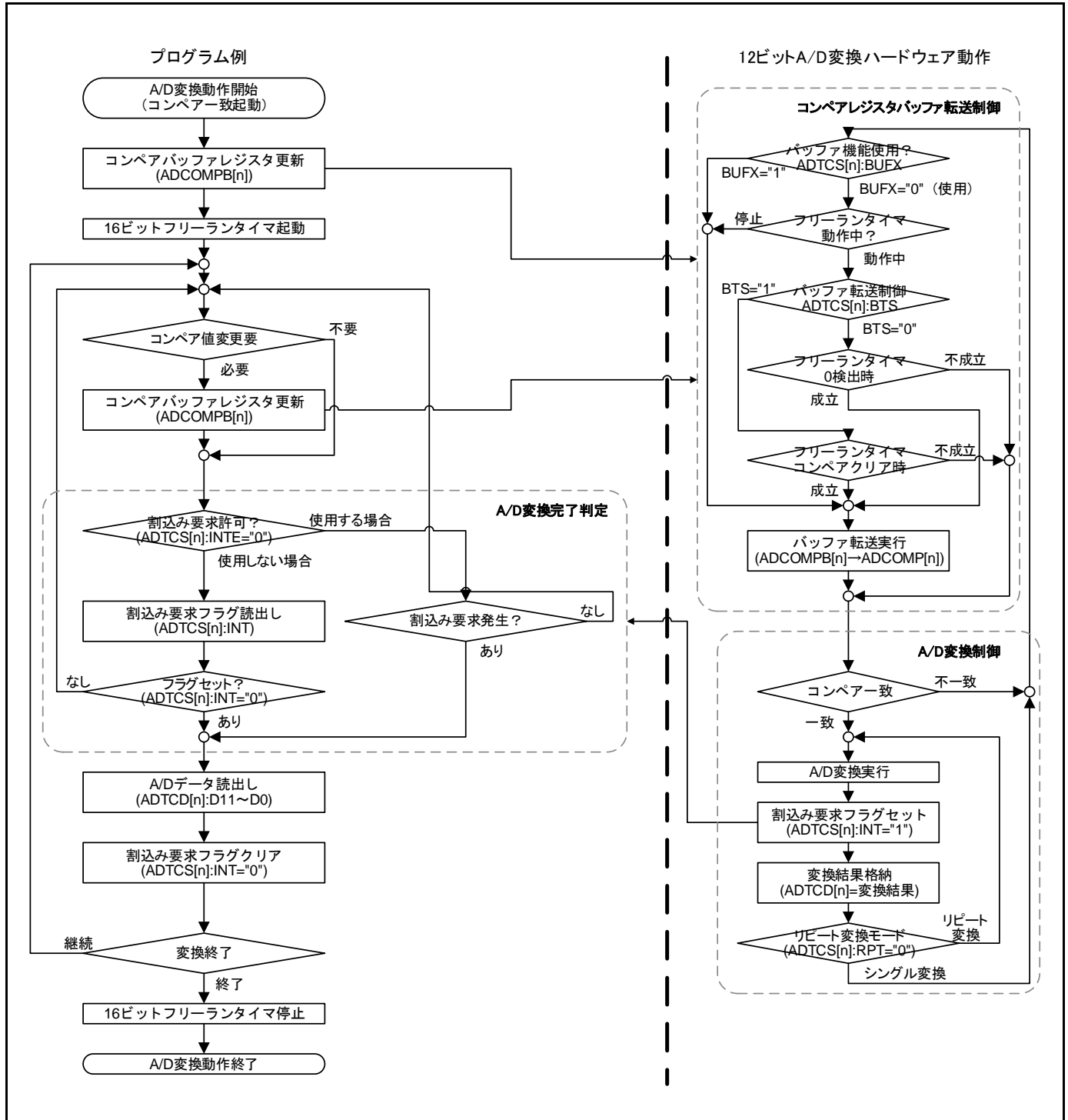
b) 外部トリガ・ベースタイマ起動時の A/D 変換動作例

図 4-6 外部トリガ・ベースタイマ起動時の A/D 変換動作例



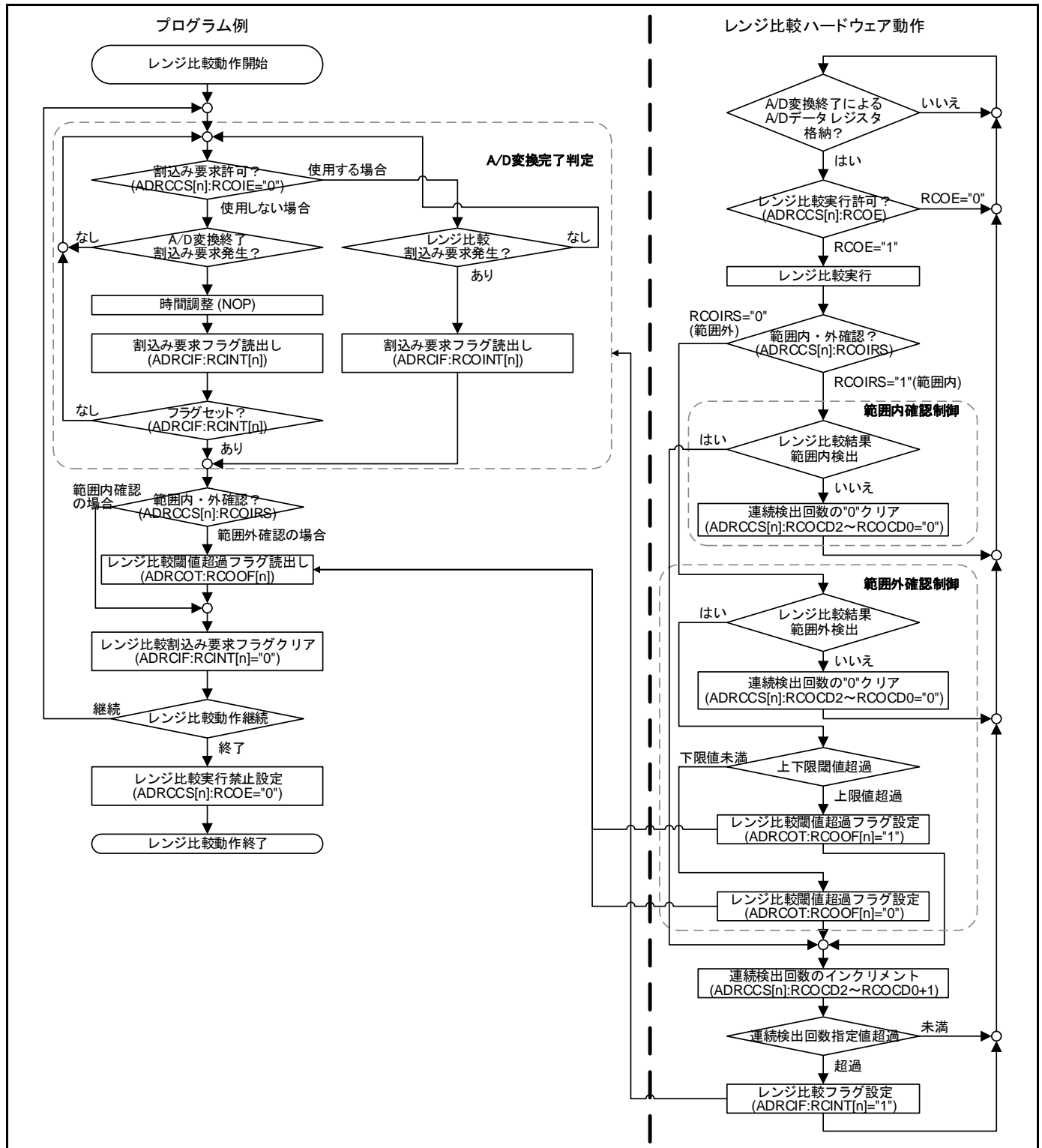
c) コンペアー致起動時の A/D 変換動作例

図 4-7 コンペアー致起動時の A/D 変換動作例



d) レンジ比較の動作例

図 4-8 レンジ比較の動作例



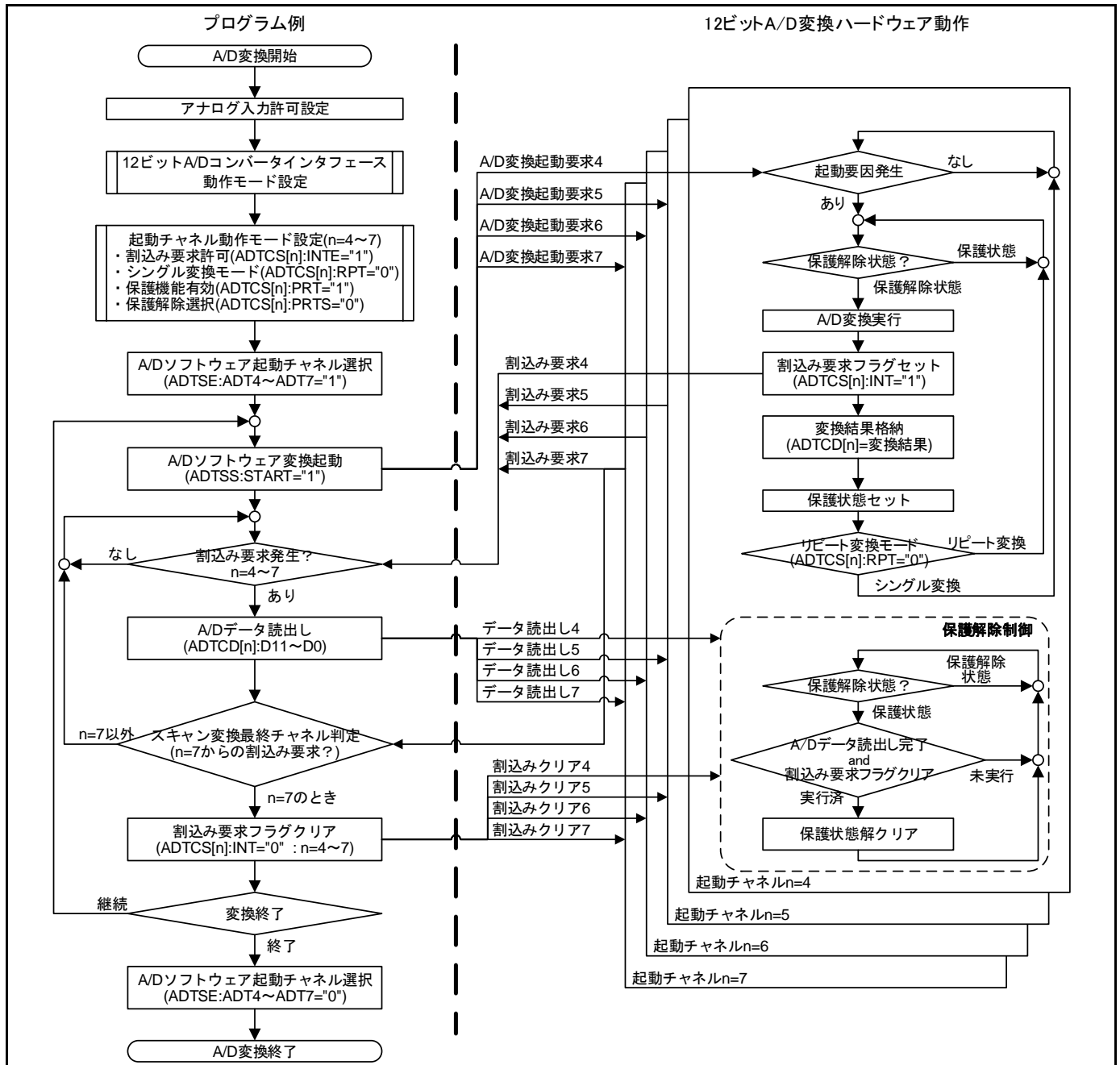
- レンジ比較ハードウェア動作によるレンジ比較動作実行は、A/D 変換終了により A/D データレジスタに変換結果が格納されたタイミングより開始します。よって、A/D 変換終了による割込み要求から周辺クロックで 2 サイクル遅延してレンジ比較結果が反映されます。
- レンジ比較は、起動チャネル単位で実行します。

4.2. スキャン変換時の設定手順例

(1) シングルスキャン変換時の設定手順例

4つの起動チャンネル(起動チャンネル4～起動チャンネル7)かつソフトウェア起動する場合のシングルスキャン変換の設定手順例を示します。

図 4-9 シングルスキャン変換時の設定手順例



ソフトウェア起動は、スキャン対象の起動チャンネルに対応する A/D ソフトウェア起動チャンネル選択ビット (ADTSE:ADT) を "1" に設定し、A/D ソフトウェア変換起動ビット (ADTSS:START) に "1" を書き込むと、同時に A/D 変換起動要求信号を 1 回のみ発生し起動チャンネルが動作します。

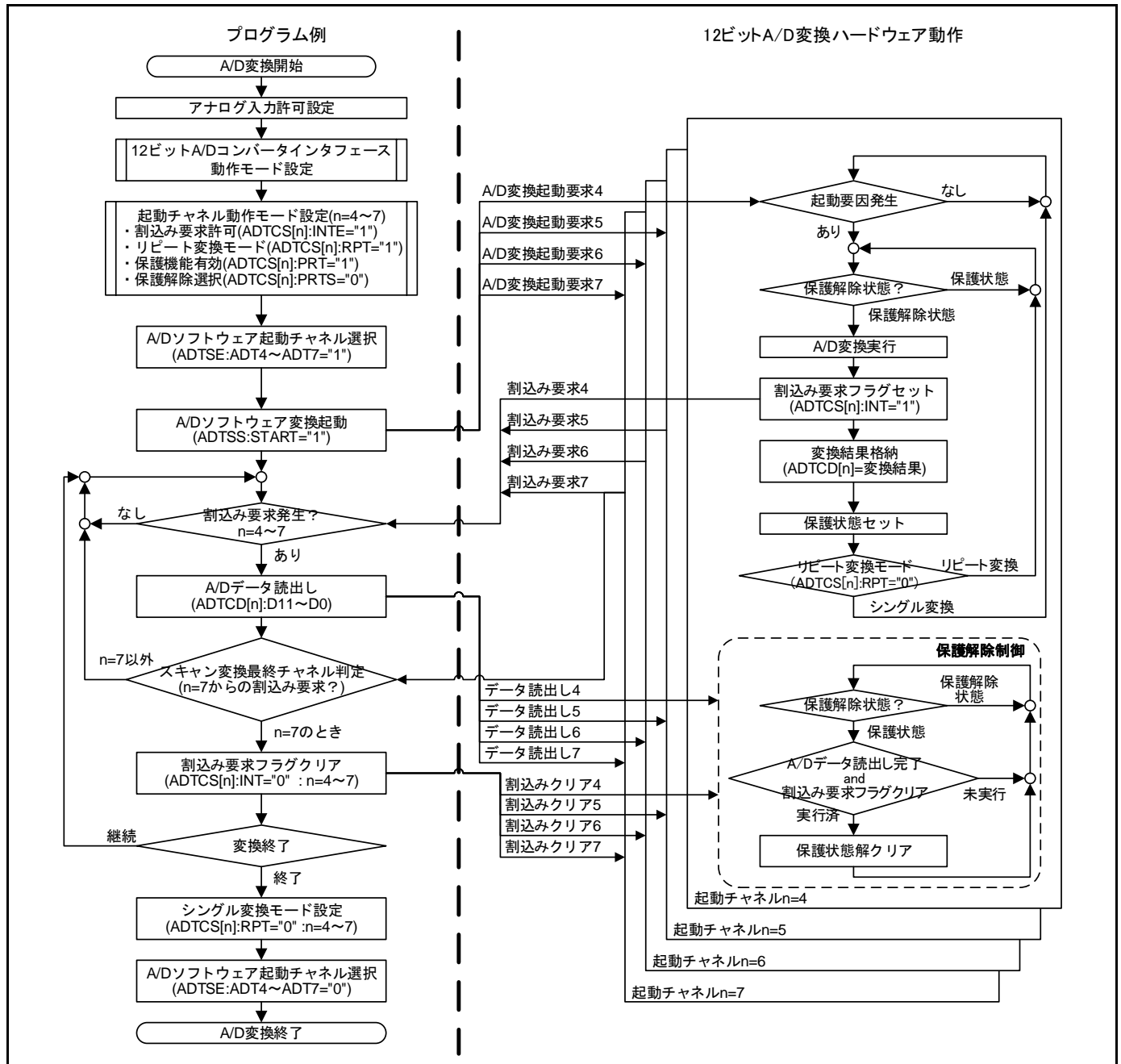
- 最終起動チャンネルのスキャン変換終了後に、各起動チャンネルのデータ保護状態を解除してください。スキャン変換途中においてデータ保護状態を解除した場合、スキャン変換が順番とおりに実行されません。
- ソフトウェア起動する前に、各起動チャンネルのデータ保護状態は解除してください。データ保護状態のまま A/D 変換起動されると、スキャン変換が順番とおりに実行されません。
- スキャン変換する順番は、起動チャンネルの小さい起動チャンネル番号より行います。よって、起動チャンネル内のアナログチャンネル選択ビット(ADTECS[n]:CHSEL[4:0])の設定により、スキャン変換するアナログチャンネルの順番をプログラムできます。



(2) 連続スキャン変換時の設定手順例

4つの起動チャンネル(起動チャンネル4～起動チャンネル7)かつソフトウェア起動する場合の連続スキャン変換の設定手順例を示します。

図 4-10 連続スキャン変換時の設定手順例



- ソフトウェア起動は、スキャン対象の起動チャンネルに対応するA/Dソフトウェア起動チャンネル選択ビット(ADTSE:ADT)を"1"に設定し、A/Dソフトウェア変換起動ビット(ADTSS:START)に"1"を書き込むと、同時にA/D変換起動要求信号を継続的に発生し起動チャンネルが動作します。
- 次のスキャン変換を開始するために最終起動チャンネルのスキャン変換終了後に、各起動チャンネルのデータ保護状態を解除してください。スキャン変換途中においてデータ保護状態を解除した場合、スキャン変換が順番とおりに実行されません。
- ソフトウェア起動する前に、各起動チャンネルのデータ保護状態は解除してください。データ保護状態のままA/D変換起動されると、スキャン変換が順番とおりに実行されません。

- － スキャン変換する順番は、起動チャンネルの小さい起動チャンネル番号より行います。よって、起動チャンネル内のアナログチャンネル選択ビット(ADTECS[n]:CHSEL[4:0])の設定により、スキャン変換するアナログチャンネルの順番をプログラムできます。

(3) チャンネルごとの変換回数指定による連続スキャン変換時の設定手順例

4つの起動チャンネル(起動チャンネル4～起動チャンネル7)かつソフトウェア起動する場合のチャンネルごとに変換回数指定による連続スキャン変換の設定手順例を示します。

プログラム例

A/D変換開始

アナログ入力許可設定

12ビットA/Dコンバータインターフェイス動作モード設定

起動チャネル動作モード設定 (n=4~7)

- ・ 割込み要求許可 (ADTCS[n]:INT=“1”)
- ・ リピート変換モード (ADTCS[n]:RPT=“1”)
- ・ 保護機能有効 (ADTCS[n]:PRT=“1”)
- ・ 保護解除選択 (ADTCS[n]:PRTS=“0”)

変換回数指定スキャン変換動作モード設定

連続スキャンモード設定 (ADSCANS:SCMD=“0”)

スキャン変換完了割込み要求許可設定 (ADSCANS:SCIE=“1”)

(4~7)チャネルごとの変換回数指定

- ・ 変換回数許可設定 (n=2,3) (ADNCS:CNTEN(n*2)=“1”)
- ・ (ADNCS:CNTEN(n*2+1)=“1”)
- ・ 変換回数設定 (n=2,3) (ADNCS:CCNT(n*2)1,0=回数)
- ・ (ADNCS:CCNT(n*2+1)1,0=回数)

A/Dソフトウェア起動チャネル選択 (ADTSE:ADT4~ADT7=“1”)

A/Dソフトウェア変換起動 (ADTSS:START=“1”)

なし

割込み要求発生? (n=4~7)

あり

A/Dデータ読出し (ADTCD[n]:D11~D0)

割込み要求フラグクリア (ADTCS[n]:INT=“0”)

未発生

スキャン変換完了割込み発生? ADSCANS:SCINT

発生

スキャン変換完了割込み要因フラグクリア (ADSCANS:SCINT=“0”)

継続

変換終了

終了

A/D起動要求強制停止設定 (ADTCS[n]:BUSY=“0” :n=4~7)

A/Dソフトウェア起動チャネル選択 (ADTSE:ADT4~ADT7=“0”)

A/D変換終了

12ビットA/D変換ハードウェア動作

A/D変換起動要求4

A/D変換起動要求5

A/D変換起動要求6

A/D変換起動要求7

起動要因発生

なし

あり

保護解除状態?

保護状態

保護解除状態

前チャネル指定回数変換終了 ADEOCF:EOCF(n-1)

いいえ

はい

A/D変換実行

割込み要求フラグセット (ADTCS[n]:INT=“1”)

変換結果格納 (ADTCDn=変換結果)

保護状態セット (ADPRTF:PRTF[n]=“1”)

指定回数完了?

未達

達成

変換回数完了フラグセット (ADEOCF:EOCF[n]=“1”)

リピート変換モード (ADTCS[n]:RPT=“0”)

シングル変換

リピート変換

変換回数完了フラグセット? (ADEOCF:EOCF[n])

クリア状態

セット状態

未完

完了

スキャン変換完了割込み要因設定 (ADSCANS:SCINT=“1”)

変換回数完了フラグクリア (ADEOCF:EOCF[n]=“0”)

リピート変換モード (ADTCS[n]:RPT=“0”)

リピート変換

シングル変換

保護解除制御

保護解除状態?

保護解除状態

保護状態

A/Dデータ読出し完了 and 割込み要求フラグクリア 実行済

未実行

保護状態クリア (ADPRTF:PRTF[n]=“0”)

起動チャネルn=4

起動チャネルn=5

起動チャネルn=6

起動チャネルn=7

データ読出し4

データ読出し5

データ読出し6

データ読出し7

割込みクリア4

割込みクリア5

割込みクリア6

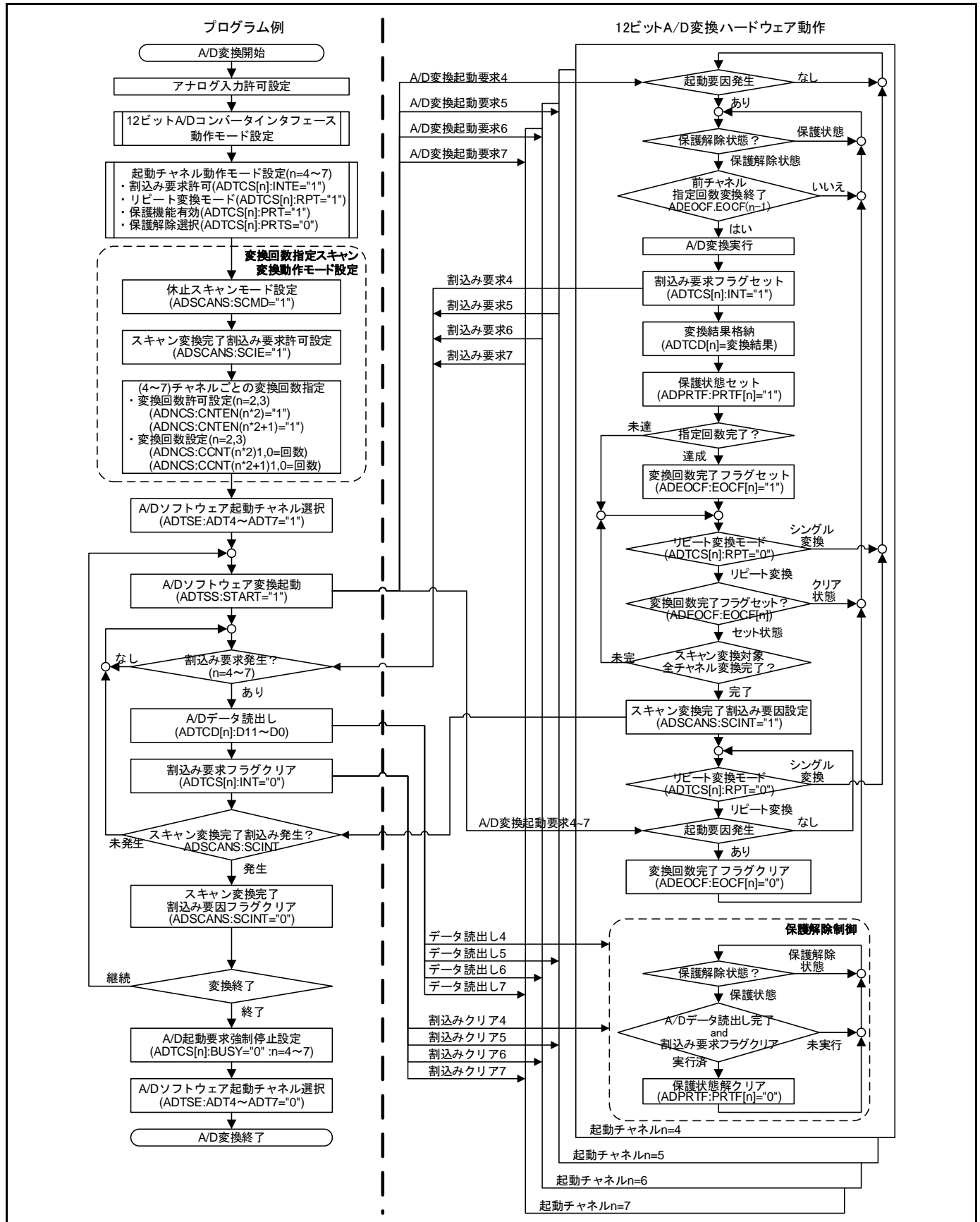
割込みクリア7

- ソフトウェア起動は、スキャン対象の起動チャンネルに対応するすべての A/D ソフトウェア起動チャンネル選択ビット(ADTSE:AST)を"1"に設定し、A/D ソフトウェア変換起動ビット(ADTSS:START)に"1"を書き込むと、A/D 変換起動要求信号を継続的に発生し起動チャンネルが動作します。
- 次のスキャン変換は、最終起動チャンネルの指定された変換回数を終了すると自動的に開始されます。
- データ保護状態の解除タイミングに制約はありません。ただし、起動チャンネルがデータ保護状態の場合、データ保護状態が解除されるまでスキャン変換は停止します。
- スキャン変換する順番は、起動チャンネルの小さい起動チャンネル番号より行います。よって、起動チャンネル内のアナログチャンネル選択ビット(ADTECS[n]:CHSEL[4:0])の設定により、スキャン変換するアナログチャンネルの順番をプログラムできます。
- チャンネルごとの変換回数指定によるスキャン変換動作中において、スキャン対象の起動チャンネルの一部のみを A/D 起動要求停止することはできません。スキャン対象の起動チャンネルを変更する場合は、スキャン対象の起動チャンネルのすべてを停止した後にチャンネルごとの変換回数指定の設定を行い、スキャン対象の起動チャンネルを再度起動してください。

(4) チャンネルごとの変換回数指定による休止スキャン変換時の設定手順例

4つの起動チャンネル(起動チャンネル4～起動チャンネル7)かつソフトウェア起動する場合のチャンネルごとに変換回数指定による休止スキャン変換の設定手順例を示します。

図 4-12 チャンネルごとの変換回数指定による休止スキャン変換時の設定手順例



- ソフトウェア起動は、スキャン対象の起動チャンネルに対応するすべての A/D ソフトウェア起動チャンネル選択ビット(ADTSE:ADT)を"1"に設定し、A/D ソフトウェア変換起動ビット(ADTSS:START)に"1"を書き込むと、A/D 変換起動要求信号を継続的に発生し起動チャンネルが動作します。
- 最終起動チャンネルの指定された変換回数を終了すると休止状態になります。
- 休止状態からのスキャン変換の再開は、スキャン変換対象の 1 つでも起動要因が発生すると行われます。
- データ保護状態の解除タイミングに制約はありません。ただし、起動チャンネルがデータ保護状態の場合、データ保護状態が解除されるまでスキャン変換は停止します。
- スキャン変換する順番は、起動チャンネルの小さい起動チャンネル番号より行います。よって、起動チャンネル内のアナログチャンネル選択ビット(ADTECS[n]:CHSEL[4:0])の設定により、スキャン変換するアナログチャンネルの順番をプログラムできます。
- チャンネルごとの変換回数指定によるスキャン変換動作中において、スキャン対象の起動チャンネルの一部のみを A/D 起動要求停止することはできません。スキャン対象の起動チャンネルを変更する場合は、スキャン対象の起動チャンネルのすべてを停止した後にチャンネルごとの変換回数指定の設定を行い、スキャン対象の起動チャンネルを再度起動してください。



5. レジスタ

A/D 起動コンペアのレジスタ一覧を示します。

表 5-1 アナログ入力制御のレジスタ一覧

レジスタ略称	レジスタ名	参照先
ADER	アナログ入力制御レジスタ (キーコード対象レジスタ)	5.1.1
KEYCDR	キーコードレジスタ	5.1.2

12 ビット A/D コンバータ A/D 起動コンペアのレジスタにはプレフィックス(ADC12B_)が付きます。

表 5-2 A/D 起動コンペアのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ADC12B_ADTSS	A/D ソフトウェア起動レジスタ	5.2.1
ADC12B_ADTSE	A/D ソフトウェア起動チャネル選択レジスタ	5.2.2
ADC12B_ADCOMP[n]	コンペアバッファレジスタ[n]	5.2.3
ADC12B_ADCOMP[n]	コンペアレジスタ[n]	5.2.3
ADC12B_ADTCS[n]	A/D 起動トリガ制御ステータスレジスタ[n]	5.2.4
ADC12B_ADTCD[n]	A/D データレジスタ[n]	5.2.5
ADC12B_ADTECS[n]	A/D 起動トリガ拡張制御レジスタ[n]	5.2.6
ADC12B_ADRCUT0~3	上限閾値設定レジスタ 0~3	5.2.7
ADC12B_ADRCLT0~3	下限閾値設定レジスタ 0~3	5.2.8
ADC12B_ADRCCS[n]	レンジ比較制御ステータスレジスタ[n]	5.2.9
ADC12B_ADRCOT	レンジ比較閾値超過フラグレジスタ	5.2.10
ADC12B_ADRCIF	レンジ比較フラグレジスタ	5.2.11
ADC12B_ADSCANS0	スキャン変換制御ステータスレジスタ 0	5.2.12
ADC12B_ADNCS[m]	起動チャネル変換回数設定レジスタ[m]	5.2.13
ADC12B_ADPRTF	データ保護状態フラグレジスタ	5.2.14
ADC12B_ADEOCF	起動チャネル変換回数完了フラグレジスタ	5.2.15
ADC12B_ADTCS[n]	A/D 起動トリガ制御ステータスクリアレジスタ[n]	5.2.16
ADC12B_ADRCIFC	レンジ比較フラグクリアレジスタ	5.2.17
ADC12B_ADSCANSC0	スキャン変換制御ステータスクリアレジスタ 0	5.2.18
ADC12B_ADTCSS[n]	A/D 起動トリガ制御ステータスセットレジスタ[n]	5.2.19
ADC12B_ADSCANSS0	スキャン変換制御ステータスセットレジスタ 0	5.2.20

m=0~15, n=0~31

5.1. アナログ入力制御のレジスタ

アナログ入力制御のレジスタには、アナログ入力制御レジスタとキーコードレジスタがあります。

5.1.1. アナログ入力制御レジスタ(ADER)

アナログ入力制御レジスタ(ADER) は、アナログ入力を制御するレジスタです。

Bit	31	30	29	28	27	26	25	24
Field	ADE31	ADE30	ADE29	ADE28	ADE27	ADE26	ADE25	ADE24
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	23	22	21	20	19	18	17	16
Field	ADE23	ADE22	ADE21	ADE20	ADE19	ADE18	ADE17	ADE16
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	15	14	13	12	11	10	9	8
Field	ADE15	ADE14	ADE13	ADE12	ADE11	ADE10	ADE09	ADE08
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	7	6	5	4	3	2	1	0
Field	ADE07	ADE06	ADE05	ADE04	ADE03	ADE02	ADE01	ADE00
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	1	1	1	1	1	1	1	1

[bit31:0] ADE31～ADE00: アナログ入力許可ビット

bit[31:0]	説明
0	ポート入力/出力モード
1	アナログ入力モード

- アナログ入力端子を制御します。
- このビットが"0"の場合、アナログ入力は禁止されます。
- このビットが"1"の場合、アナログ入力は許可されます。

<注意事項>

- キーコード機能を搭載した型格では、本レジスタへの書き込みにはキーコード設定が必要です。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。



5.1.2. キーコードレジスタ(KEYCDR)

誤書き込み保護機能を有するレジスタ(ADER, ADER4CH_1/ADER4CH_0)の書き込み設定をするレジスタです。本レジスタに所定の方法で書き込まないと、対象のレジスタへの書き込みは無効です。本レジスタはワードアクセスのみ有効です。キーコード機能非搭載の型格の場合、本レジスタへのアクセスは動作に影響ありません。

Bit	31	30	29	28	27	26	25	24
Field	KEY		SIZE		Reserved			
R/W 属性	R0,W		R0,W		R0,WX			
保護属性	-							
初期値	00		00		0000			

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved				ADR[11:8]			
R/W 属性	R0,WX				R0,W			
保護属性	-							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	ADR[7:0]							
R/W 属性	R0,W							
保護属性	-							
初期値	00000000							

[bit31:30] KEY[1:0]

キーコード設定ビットです。本ビットに"0b00", "0b01", "0b10", "0b11" の順番で連続的に書く必要があります。書き込む順番が異なった時点で、キーコード設定は無効となり最初から設定しなおす必要があります。

bit[31:30]	説明
00	第 1 キーコード
01	第 2 キーコード
10	第 3 キーコード
11	第 4 キーコード



[bit29:28] SIZE[1:0]

キーコード対象レジスタに書き込む際のアクセスサイズを設定します。キーコードの KEY[1:0]を"0b00", "0b01", "0b10", "0b11" 順番に書き込む際、本ビットには同じデータを書いてください。

bit[29:28]	説明
00	バイトアクセス設定
01	ハーフワードアクセス設定
10	ワードアクセス設定
11	予約

[bit27:12] Reserved：予約ビット

[bit11:0] ADR[11:0]

キーコード対象レジスタのアドレス下位 12 ビットを設定します。キーコードの KEY[1:0]を "0b00", "0b01", "0b10", "0b11" 順番に書き込む際本ビットには同じデータを書いてください。

bit[11:0]	説明
	キーコード対象レジスタのアドレス下位 12 ビットを設定

<注意事項>

- キーコード設定に関する注意事項を以下に記します。
 - KEY[1:0]を"0b00", "0b01", "0b10", "0b11"の順番で連続的に 4 回書く必要があります。順番が異なった時点で、キーコード設定は無効となり最初から設定しなおしになります。
 - KEY[1:0]を 4 回書く際の SIZE[1:0], ADR[11:0]は 4 回同じものを書く必要があります。違うものを書いた場合は、キーコード設定は無効となり最初から設定しなおしになります。
 - KEY[1:0]を書いている途中に、KEYCDR レジスタの読出しがあった場合はキーコード設定は無効となり最初から設定しなおしになります。
 - KEY[1:0]を書いている途中に、ADR[11:0]に設定しているアドレスアクセスがあった場合はキーコード設定は無効となり最初から設定しなおしになります。それ以外のレジスタにアクセスがあった場合は無効となりません。KEY[1:0]の続きを書き込むことによってキーコード設定は有効になります。
 - KEY[1:0]を正常に設定した後、KEYCDR:ADR[11:0]に設定したアドレスに対して 1 度アクセスすると、再度アクセスする際はもう 1 度キーコード設定が必要です。



5.2. A/D 起動コンペアのレジスタ

A/D 起動コンペアには、A/D ソフトウェア起動レジスタ、A/D ソフトウェア起動チャンネル選択レジスタ、コンペアバッファレジスタ、コンペアレジスタ、A/D 起動トリガ制御ステータスレジスタおよび A/D データレジスタ、A/D 起動トリガ拡張制御レジスタ、上限閾値設定レジスタ、下限閾値設定レジスタ、レンジ比較制御ステータスレジスタ、レンジ比較閾値超過フラグレジスタ、レンジ比較フラグレジスタ、スキャン変換制御ステータスレジスタ、起動チャンネル変換回数設定レジスタ、データ保護状態フラグレジスタおよび起動チャンネル変換完了フラグレジスタがあります。

5.2.1. A/D ソフトウェア起動レジスタ(ADTSS)

A/D ソフトウェア起動レジスタ(ADTSS)は、12 ビット A/D コンバータの A/D 起動要求を行うレジスタです。なお、起動するチャンネルは、A/D ソフトウェア起動チャンネル選択レジスタ(ADTSE)により制御されます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved							START
R/W 属性	R0,W0							R0,W
保護属性	-							
初期値	0000000							0

[bit7:1] Reserved: 予約ビット

[bit0] START: A/D 変換起動ビット(ソフトウェア)

bit	説明	
	読出し時	書込み時
0	常に"0"が読み出されます	A/D 変換起動しない
1		A/D 変換起動する

- A/D 変換動作をソフトウェアによって起動するビットです。
- START ビット"1"を書き込むと A/D 変換が起動します。なお、起動するチャンネルは、A/D ソフトウェア起動チャンネル選択レジスタ(ADTSE)により制御します。
- START ビットによる変換の再起動はできません。

5.2.2. A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)

A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)は、A/D 起動要求を行う起動チャネルを選択するレジスタです。

Bit	31	30	29	28	27	26	25	24
Field	ADT31	ADT30	ADT29	ADT28	ADT27	ADT26	ADT25	ADT24
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	ADT23	ADT22	ADT21	ADT20	ADT19	ADT18	ADT17	ADT16
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	ADT15	ADT14	ADT13	ADT12	ADT11	ADT10	ADT9	ADT8
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	ADT7	ADT6	ADT5	ADT4	ADT3	ADT2	ADT1	ADT0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:0] ADT31~ADT0: ソフトウェア起動チャネル選択ビット

bit	説明
0	ソフトウェア起動禁止
1	ソフトウェア起動許可

- 起動チャネルごとにソフトウェア起動を制御します。なお、複数の起動チャネルに対しソフトウェア起動を許可設定すると、許可設定された複数の起動チャネルを同時にソフトウェア起動できます。
- ADT ビットが"0"の場合、ソフトウェア起動は禁止されます。
- ADT ビットが"1"の場合、ソフトウェア起動は許可されます。



5.2.3. コンペアバッファレジスタ[n] (ADCOMPB[n]) /コンペアレジスタ[n] (ADCOMP[n]) (n=0~31)

コンペアバッファレジスタ(ADCOMPB)は、コンペアレジスタ(ADCOMP) 用の 16 ビットバッファレジスタです。

コンペアレジスタ(ADCOMP)は、16 ビットフリーランタイムの値と一致したときに A/D コンバータを起動させます。

ADCOMPB レジスタと ADCOMP レジスタは、同一アドレスに存在しています。

(1) コンペアバッファレジスタ (ADCOMPB[n], n=0~31)

Bit	15-0
Field	CMP
R/W 属性	W
保護属性	-
初期値	00000000_00000000

[bit15:0] CMP[15:0]: コンペア値バッファビット

bit[15:0]	説明
	コンペア値バッファ

- コンペアバッファレジスタは、コンペアレジスタ(ADCOMP) 用のバッファレジスタです。
- バッファ機能が無効時(コンペアレジスタバッファ機能制御ビット(ADTCS:BUFX)が"1")または16 ビットフリーランタイムが停止するとコンペア値バッファの設定値は直ちにコンペアレジスタ(ADCOMP)へ転送されます。
- バッファ機能が有効時(コンペアレジスタバッファ機能制御ビット(ADTCS:BUFX)が"0"), コンペア値バッファの設定値は、16 ビットフリーランタイムのコンペアクリアレジスタと一致したときもしくは0 検出時にコンペアレジスタ(ADCOMP)へ転送されます。

<注意事項>

- コンペアバッファレジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令をご使用ください。



(2) コンペアレジスタ(ADCOMP[n], n=0~31)

Bit	15-0
Field	CMP
R/W 属性	R
保護属性	-
初期値	00000000_00000000

[bit15:0] CMP[15:0]: コンペア値ビット

bit[15:0]	説明
	コンペア値

- コンペアレジスタ(ADCOMP)のコンペア値の更新は、コンペアバッファレジスタ(ADCOMPB)を介して行います。
- コンペアレジスタ(ADCOMP)は、16 ビットフリーランタイムのカウント値と比較するためのコンペア値を格納するレジスタで、16 ビットフリーランタイムとコンペア値が一致したとき A/D 起動要求を出力します。
- コンペアレジスタに格納されたコンペア値は、すぐに 16 ビットフリーランタイムと比較します。
- カウント方向選択ビット(ADTCS[n]:SEL[1:0])が"0b11"のとき、コンペアー一致起動動作を行いません。

<注意事項>

- コンペアレジスタへ読出しは、ハーフワードもしくはワードアクセス命令をご使用ください。



5.2.4. A/D 起動トリガ制御ステータスレジスタ[n] (ADTCS[n]) (n=0~31)

A/D 起動トリガ制御ステータスレジスタ(ADTCS)は、A/D 起動要求確認、割込み要求の許可/禁止、割込み要求の状態の確認、起動要因選択、変換モード選択、保護機能制御、コンペア動作に使用するコンペア値の選択およびコンペア値のバッファ制御を行います。本レジスタへの書き込みについての詳細は、「6. 使用上の注意」を参照してください。

Bit	15	14	13	12	11	10	9	8
Field	BUSY	INT	INTE	STS		RPT	PRT	PRTS
R/W 属性	R,W	R,W	R/W	R/W		R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	00		0	0	0

Bit	7	6	5	4	3	2	1	0
Field	SEL		BUFX	BTS	Reserved			
R/W 属性	R/W		R/W	R/W	R0,W0			
保護属性	-							
初期値	00		1	0	0000			

[bit15] BUSY: A/D 起動要求中ビット

bit	説明	
	読出し時	書き込み時
0	A/D 起動未要求	A/D 起動要求強制停止
1	A/D 起動要求中または変換中	変化なし、ほかへの影響なし

- A/D 起動要求または変換の動作表示ビットです。
- 読出し時、BUSY ビットが"0"であれば A/D 変換未要求であることを示し、"1"であれば A/D 変換要求中または変換中であることを示します。
- 書き込み時、BUSY ビットへの"0"の書き込みによって A/D 起動要求または変換を強制停止します。"1"の書き込みでは、変化せずほかへの影響はありません。
- このビットは、ADTCS[n]レジスタの BUSYC ビットに"1"を設定することで、"0"にクリアされます。

[bit14] INT: 割込み要求フラグビット

bit	説明	
	読出し時	書き込み時
0	A/D 変換未終了	ビットクリア
1	A/D 変換終了	変化なし、ほかへの影響なし

- A/D 変換によって A/D データレジスタ(ADTCD)にデータがセットされると、INT ビットは"1"にセットされます。
- INT ビットと割込み要求許可ビット(ADTCS:INTE)が"1"のときに割込み要求を発生します。
- 書き込み時は、"0"で INT ビットがクリアされ、"1"では変化せずほかへの影響はありません。
- INT ビットは A/D 変換終了割込みクリア信号が"H"のときクリアされます。
- このビットは、ADTCS[n]レジスタの INTC ビットに"1"を設定することで、"0"にクリアされます。

<注意事項>

- ソフトウェアクリア(INT="0"書き込み)または割込みクリア信号("H")によるクリアと、ハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

[bit13] INTE: 割込み要求許可ビット

bit	説明
0	割込み要求出力の禁止
1	割込み要求出力の許可

- CPU への割込み要求出力の許可/禁止を制御するビットです。
- INTE ビットと割込み要求フラグビット(ADTCS:INT)が"1"のときに割込み要求を発生します。

[bit12:11] STS[1:0]: A/D 起動要因選択ビット

bit[12:11]	説明
00	ソフトウェア起動
01	外部トリガ起動(立下りエッジ)
10	ベースタイム起動(立上りエッジ)
11	コンペア一致起動

- STS1[1:0]ビットは、A/D 変換の起動要因の選択を行います。

<注意事項>

- A/D 起動要因選択ビット(STS[1:0])は、書換えと同時に更新されます。A/D 起動要因選択ビット(STS[1:0])の変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(ADTCS:BUSY="1")でないときに行ってください。
- A/D 起動要求を行わない場合、A/D 起動要因選択ビット(ADTCS:STS[1:0])をソフトウェア起動("0b00")に設定し、A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)の該当ビット(起動チャネル)をソフトウェア起動禁止設定(ADTSE:ADT="0")としてください。
- A/D 起動要因選択ビット(STS[1:0])を設定する場合、必ず 16 ビットフリーランタイムが停止していることを確認してください。
- ベースタイム起動を使用する場合は、ベースタイムの"16/32 ビットリロードタイム機能"をご使用ください。

[bit10] RPT: リピート変換選択ビット

bit	説明
0	シングル変換モード
1	リピート変換モード

- A/D 変換のモードを設定します。
- RPT ビットを"0"に設定した場合、シングル変換モードになります。1回の起動要因によって1回のA/D変換要求を行います。A/D 変換を1回行います。
- RPT ビットを"1"に設定した場合、リピート変換モードになります。1回の起動要因によってA/D 変換要求を継続します。A/D 変換はシングル変換モードに設定されるまで繰返し行われます。

[bit9] PRT: A/D データレジスタ保護有効ビット

bit	説明
0	保護無効
1	保護有効

- PRT ビットを"1"に設定した場合、A/D データレジスタへの上書きを保護します。なお、保護機能はコンペア一致起動(ADTCS:STS[1:0]="0b11")以外の要因のとき働きます。
- A/D データレジスタに変換データが格納された後、A/D データレジスタ保護要因選択ビット(ADTCS:PRTS)によって設定される要因が発生するまで次の起動要求をマスクして、A/D データレジスタへの上書きを保護します。



＜注意事項＞

- A/D データレジスタ保護有効ビット(PRT)は、A/D 変換を動作させる前に設定してください。A/D 変換要求中(ADTCS:BUSY="1")またはA/D データレジスタが保護されている状態で、A/D データレジスタ保護有効ビット(PRT)の設定を変更してはいけません。

[bit8] PRTS: A/D データレジスタ保護解除選択ビット

bit	説明
0	データ読出しおよび割込みフラグクリア
1	データ読出し

- A/D データレジスタ保護機能有効時(ADTCS:PRT="1")に、起動要求のマスク解除条件を選択します。
- PRTS ビットを"0"に設定した場合、A/D データレジスタ(ADTCD)の読出しと割込み要求フラグビット(ADTCS:INT)のクリアが保護解除条件(順不同)となります。
- PRTS ビットを"1"に設定した場合、A/D データレジスタ(ADTCD)の読出しが保護解除条件となります。

＜注意事項＞

- A/D データレジスタ保護解除選択ビット(PRTS)は、A/D 変換を動作させる前に設定してください。A/D 変換要求中(ADTCS:BUSY="1")またはA/D データレジスタが保護されている状態で、A/D データレジスタ保護解除選択ビット(PRTS)の設定を変更してはいけません。

[bit7:6] SEL[1:0]: カウント方向選択ビット

bit[7:6]	説明
00	アップ/ダウンカウント双方時
01	アップカウント時のみ
10	ダウンカウント時のみ
11	コンペア禁止

- 16 ビットフリーランタイムとのコンペアー一致条件を選択します。
- SEL[1:0] ビットを"0b00"設定した場合、16 ビットフリーランタイムがアップカウント/ダウンカウント中のいずれでもコンペアー一致動作を行います。
- SEL[1:0] ビットを"0b01"設定した場合、16 ビットフリーランタイムがアップカウント中にのみコンペアー一致動作を行います。
- SEL[1:0] ビットを"0b10"設定した場合、16 ビットフリーランタイムがダウンカウント中にのみコンペアー一致動作を行います。
- SEL[1:0] ビットを"0b11"設定した場合、コンペア動作を行いません。
- 選択している 16 ビットフリーランタイムが停止中は、コンペア動作を行いません。

＜注意事項＞

- 16 ビットフリーランタイムがアップカウントモードのとき、カウント方向選択ビット(SEL[1:0])を"0b10"に設定することを禁止します。

[bit5] BUFX: コンペアレジスタバッファ機能制御ビット

bit	説明
0	バッファ機能有効
1	バッファ機能無効

- BUFX ビットを"0"に設定した場合、バッファ機能は有効になります。
- BUFX ビットを"1"に設定した場合、バッファ機能は無効になります。



[bit4] BTS: コンペアレジスタバッファ転送制御ビット

bit	説明
0	0 検出時
1	コンペアクリア時

- コンペアレジスタのバッファ機能有効(ADTCS:BUFX="0")時の転送条件を設定します。
- コンペアレジスタのバッファ機能有効(ADTCS:BUFX="0")時, BTS 設定が有効です。
- BTS ビットを"0"に設定した場合, 16 ビットフリーランタイムの 0 検出時にコンペアバッファレジスタ (ADCOMPB)のコンペア値がコンペアレジスタ (ADCOMP)に転送されます。
- BTS ビットを"1"に設定した場合, 16 ビットフリーランタイムのコンペアクリアレジスタに一致したときにコンペアバッファレジスタ (ADCOMPB)のコンペア値がコンペアレジスタ (ADCOMP)に転送されます。

<注意事項>

- コンペアレジスタバッファ転送制御ビット(BTS)を設定する場合, 必ず 16 ビットフリーランタイムが停止していることを確認してください。

[bit3:0] Reserved: 予約ビット



5.2.5. A/D データレジスタ[n] (ADTCD[n]) (n=0~31)

A/D データレジスタ(ADTCD)は、A/D 変換結果を格納するレジスタです。

Bit	15	14	13	12	11	10	9	8
Field	ERR	ERRST	Reserved		D[11:8]			
R/W 属性	R,WX	R,WX	R0,W0		R,WX			
保護属性	-							
初期値	1	0	00		0000			

Bit	7	6	5	4	3	2	1	0
Field	D[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit15] ERR: 変換データエラーフラグビット

bit	説明
0	変換データは正常です。
1	変換データは正常ではありません。

- A/D変換データに対するエラーの有無を示します。エラー内容については、ERRビットが"1"のとき、変換データエラーステータスビット(ADTCD:ERRST)により確認できます。
- ERRビットの動作については、「3.2.10 A/D 変換データ」を参照してください。
- なお、A/D データレジスタ保護機能が有効(ADTCS:PRT="1")かつ、コンペア一致起動(ADTCS:STS[1:0]="0b11")以外の要因のときは、"0"が読み出されます。

[bit14] ERRST: 変換データエラーステータスビット(ERR="1"のみ有効)

bit	説明
0	変換データは古い結果です。
1	変換データは新しいデータに上書きされたものです。

- ERRビットが"1"のとき、A/D 変換データのエラー内容を示すフラグです。
- ERRビットが"1"かつERRSTビットが"0"のとき、CPU 読出しによる変換結果が古いことを示します。
- ERRビットが"1"かつERRSTビットが"1"のとき、CPU 読出しによる変換結果は、CPU による旧変換結果の読出しが完了しないまま、新しい変換結果の上書きにより旧変換データが失われたことを示します。
- ERRSTビットの動作については、「3.2.10 A/D 変換データ」を参照してください。
- なお、A/D データレジスタ保護機能が有効(ADTCS:PRT="1")かつ、コンペア一致起動(ADTCS:STS[1:0]="0b11")以外の要因のときは、"0"が読み出されます。

[bit13:12] Reserved: 予約ビット



[bit11:0] D[11:0]: A/D データビット

bit[11:0]	説明
	変換データ

- A/D 変換の結果が格納され,A/D データビット(D[11:0])は, 1 回の変換終了ごとに書き換えられます。
- 通常は, 最終変換値が格納されます。

<注意事項>

- A/D データレジスタ(ADTCD)に書込みを行わないでください。



5.2.6. A/D 起動トリガ拡張制御レジスタ[n] (ADTECS[n]) (n=0~31)

A/D 起動トリガ拡張制御レジスタ(ADTECS)は、アナログ入力チャネルの選択を行います。

Bit	15	14	13	12	11	10	9	8
Field	Reserved							Reserved
R/W 属性	R0,W0							R/W0
保護属性	-							
初期値	0000000							0

Bit	7	6	5	4	3	2	1	0
Field	Reserved			CHSEL				
R/W 属性	R0,W0			R/W				
保護属性	-			-				
初期値	000			00000				

[bit15:9] Reserved: 予約ビット

[bit8] Reserved: 予約ビット

[bit7:5] Reserved: 予約ビット

[bit4:0] CHSEL[4:0]: アナログチャネル選択ビット

bit[4:0]					説明
0	0	0	0	0	チャネル 0
0	0	0	0	1	チャネル 1
:					:
0	0	1	1	0	チャネル 6
0	0	1	1	1	チャネル 7
0	1	0	0	0	チャネル 8
:					:
0	1	1	1	0	チャネル 14
0	1	1	1	1	チャネル 15
1	0	0	0	0	チャネル 16
:					:
1	1	1	1	0	チャネル 30
1	1	1	1	1	チャネル 31

- 指定した値のアナログチャネルを選択します。

<注意事項>

- A/D 変換要求中(ADTCS:BUSY="1"), アナログチャネル選択ビット(CHSEL[4:0])を変更してはいけません。



5.2.7. 上限閾値設定レジスタ 0~3(ADRCUT0~3)

上限閾値設定レジスタ(ADRCUT)は、レンジ比較において使用する上限閾値を設定します。また、上限閾値は 4 種類の設定ができます。

Bit	15	14	13	12	11	10	9	8	
Field	Reserved					C[11:8]			
R/W 属性	R0,W0					R/W			
保護属性	-								
初期値	0000					0000			

Bit	7	6	5	4	3	2	1	0
Field	C[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit15:12] Reserved: 予約ビット

[bit11:0] C[11:0]: 上限閾値ビット

bit[11:0]	説明
	上限閾値

- レンジ比較において使用する上限閾値を設定します。

<注意事項>

- A/D 変換要求中(ADTCS:BUSY="1")に上限閾値ビット(C[11:0])を変更してはいけません。



5.2.8. 下限閾値設定レジスタ 0~3(ADRCLT0~3)

下限閾値設定レジスタ(ADRCLT)は、レンジ比較において使用する下限閾値を設定します。また、下限閾値は4種類の設定ができます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved				C[11:8]			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	C[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit15:12] Reserved: 予約ビット

[bit11:0] C[11:0]: 下限閾値ビット

bit[11:0]	説明
	下限閾値

- レンジ比較において使用する下限閾値を設定します。

<注意事項>

- A/D 変換要求中(ADTCS:BUSY="1")に下限閾値ビット(C[11:0])を変更してはいけません。

5.2.9. レンジ比較制御ステータスレジスタ[n] (ADRCSS[n]) (n=0~31)

レンジ比較制御ステータスレジスタ(ADRCSS)は、連続検出回数指示および状態確認、範囲内/範囲外確認選択、レンジ比較割込み要求の許可/禁止、レンジ比較実行許可/禁止および上下限閾値の選択を行います。

Bit	7	6	5	4	3	2	1	0
Field	RCOCD			RCOIRS	RCOIE	RCOE	RCOTS	
R/W 属性	R,W			R/W	R/W	R/W	R/W	
保護属性	-							
初期値	000			0	0	0	00	

[bit7:5] RCOCD[2:0]: 連続検出回数指定・状態表示ビット

bit[7:5]	説明	
	読出し時	書き込み時
000	連続検出状態：0回(初期値)	設定禁止
001	連続検出状態：1回	連続検出1回指定(初期値)
010	連続検出状態：2回	連続検出2回指定
011	連続検出状態：3回	連続検出3回指定
100	連続検出状態：4回	連続検出4回指定
101	連続検出状態：5回	連続検出5回指定
110	連続検出状態：6回	連続検出6回指定
111	連続検出状態：7回	連続検出7回指定

- レンジ比較結果の連続検出回数指定および連続検出回数の状態表示するビットです。
- レンジ比較結果が連続回数指定値に到達すると対応する起動チャンネルのレンジ比較割込み要因フラグビット(ADRCIF:RCINT[n])に"1"を設定します。また、連続検出状態は連続回数指定値で停止します。
- 読出し時は、書き込み時に設定した連続検出回数指定ではなく、連続検出状態が読み出されます。

<注意事項>

- A/D 変換要求中(ADTCS:BUSY="1")に連続検出回数指定・状態表示ビット(RCOCD[2:0])を変更してはいけません。
- レンジ比較実行許可中(ADRCSS:RCOE="1")に連続検出回数指定・状態表示ビット(RCOCD[2:0])を変更してはいけません。
- 連続検出回数指定・状態表示ビット(RCOCD[2:0])に"0b000"を設定してはいけません。

[bit4] RCOIRS: 範囲内・範囲外確認選択ビット

bit	説明
0	範囲外を確認
1	範囲内を確認

- A/Dデータビット(ADTCD:D[11:0])が、上下限閾値選択ビット(ADRCSS:RCOTS[1:0])により選択した上限閾値ビット(ADRCUT:C[11:0])と下限閾値ビット(ADRCLT:C[11:0])に対して、範囲内または範囲外のレンジ比較条件を選択します。
- 範囲外確認(RCOIRS="0")時のレンジ比較条件は以下です。
A/Dデータビット(ADTCD:D[11:0]) > 上限閾値ビット(ADRCUT:C[11:0])
または
A/Dデータビット(ADTCD:D[11:0]) < 下限閾値ビット(ADRCLT:C[11:0])
- 範囲内確認時(RCOIRS="1")のレンジ比較条件は以下です。
A/Dデータビット(ADTCD:D[11:0]) ≤ 上限閾値ビット(ADRCUT:C[11:0])
かつ
A/Dデータビット(ADTCD:D[11:0]) ≥ 下限閾値ビット(ADRCLT:C[11:0])



- 範囲外確認(RCOIRS="0")のレンジ比較検出時、閾値超過フラグビット(ADRCOT.RCOOF)により上限閾値超過もしくは下限閾値未満の確認ができます。

<注意事項>

- A/D 変換要求中(ADTCS.BUSY="1")に範囲内・範囲外確認選択ビット(RCOIRS)を変更してはいけません。

[bit3] RCOIE: レンジ比較割込み要求許可ビット

bit	説明
0	レンジ比較割込み禁止
1	レンジ比較割込み許可

- 対応する起動チャネルのレンジ比較割込み要因フラグビット(ADRCIF:RCINT[n])が"1"にセット状態、かつレンジ比較割込み要求許可設定(RCOIE="1")されている場合、割込み要求が発生します。

[bit2] RCOE: レンジ比較実行許可ビット

bit	説明
0	レンジ比較実行禁止
1	レンジ比較実行許可

- レンジ比較実行の許可/禁止を選択します。
- レンジ比較実行許可ビット(RCOE)が"0"のとき、レンジ比較実行は禁止されます。また、連続検出回数状態は,"0b000"に初期化されます。
- レンジ比較実行許可ビット(RCOE)が"1"のとき、レンジ比較実行は許可されます。

[bit1:0] RCOTS[1:0]: 上下限閾値選択ビット

bit[1:0]	説明
00	上限閾値設定レジスタ 0/下限閾値設定レジスタ 0 を選択
01	上限閾値設定レジスタ 1/下限閾値設定レジスタ 1 を選択
10	上限閾値設定レジスタ 2/下限閾値設定レジスタ 2 を選択
11	上限閾値設定レジスタ 3/下限閾値設定レジスタ 3 を選択

- 4 種類の上限閾値設定レジスタ 0~3(ADRCUT0~3)/下限閾値設定レジスタ 0~3(ADRCLT0~3)から 1 つの組合せを選択します。

<注意事項>

- A/D 変換要求中(ADTCS.BUSY="1")に上下限閾値選択ビット(RCOTS[1:0])を変更してはいけません。

5.2.10. レンジ比較閾値超過フラグレジスタ(ADRCOT)

レンジ比較閾値超過フラグレジスタ(ADRCOT)は、範囲外確認設定においてレンジ比較した結果、上限閾値超過または下限閾値未満を表示します。

Bit	31	30	29	28	27	26	25	24
Field	RCOOF31	RCOOF30	RCOOF29	RCOOF28	RCOOF27	RCOOF26	RCOOF25	RCOOF24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	RCOOF23	RCOOF22	RCOOF21	RCOOF20	RCOOF19	RCOOF18	RCOOF17	RCOOF16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	RCOOF15	RCOOF14	RCOOF13	RCOOF12	RCOOF11	RCOOF10	RCOOF9	RCOOF8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	RCOOF7	RCOOF6	RCOOF5	RCOOF4	RCOOF3	RCOOF2	RCOOF1	RCOOF0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:0] RCOOF31~RCOOF0: 閾値超過フラグビット

bit	説明
0	下限閾値未満 (A/D データ < 下限閾値ビット)
1	上限閾値超過 (A/D データ > 上限閾値ビット)

- 範囲外確認(ADRCSS:RCOIRS="0")時、レンジ比較結果が上限閾値設定レジスタより大きい(RCOOF="1"), もしくは下限閾値設定レジスタより小さい(RCOOF="0")状態を表示します。
- 範囲外確認(ADRCSS:RCOIRS="0")時、レンジ比較結果が範囲内の場合、閾値超過フラグビットは前値保持となります。
- 対応する起動チャンネルのレンジ比較割込み要因フラグビット(ADRCIF:RCINT[n])が"1"にセット状態の場合、範囲外確認(ADRCSS:RCOIRS="0")でレンジ比較結果は範囲外を検出しても、閾値超過フラグビット(RCOOF)は更新されず前値保持となります。
- 範囲内確認(ADRCSS:RCOIRS="1")時、閾値超過フラグビットは意味を持ちません。(前値保持となります。)



5.2.11. レンジ比較フラグレジスタ(ADRCIF)

レンジ比較フラグレジスタ(ADRCIF)は、レンジ比較結果の連続検出による割込み要因を表示します。本レジスタへの書込みについての詳細は、「6. 使用上の注意」を参照してください。

Bit	31	30	29	28	27	26	25	24
Field	RCINT31	RCINT30	RCINT29	RCINT28	RCINT27	RCINT26	RCINT25	RCINT24
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	RCINT23	RCINT22	RCINT21	RCINT20	RCINT19	RCINT18	RCINT17	RCINT16
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	RCINT15	RCINT14	RCINT13	RCINT12	RCINT11	RCINT10	RCINT9	RCINT8
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	RCINT7	RCINT6	RCINT5	RCINT4	RCINT3	RCINT2	RCINT1	RCINT0
R/W 属性	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:0] RCINT31~RCINT0: レンジ比較割込み要因フラグビット

bit	説明	
	読出し時	書込み時
0	レンジ比較割込み要因クリア状態	ビットクリア
1	レンジ比較結果の連続検出による割込み要因発生状態	変化なし、ほかへの影響なし

- 対応する起動チャンネルのレンジ比較結果の連続検出によって RCINT[n] ビットは"1"にセットされます。
- 対応する起動チャンネルの RCINT[n] ビットとレンジ比較割込み要求許可(ADRCSS[n]:RCOIE)が"1"のとき、レンジ比較割込み要求を発生します。
- 書込み時は、"0"で RCINT ビットがクリアされ、"1"では変化せずほかへの影響はありません。
- ADRCIFC レジスタの RCINTC ビットに"1"を設定することで"0"にクリアされます。

<注意事項>

- ソフトウェアクリア(RCINT="0"書込み)と、ハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

5.2.12. スキャン変換制御ステータスレジスタ 0(ADSCANS0)

スキャン変換制御ステータスレジスタ(ADSCANS)は、変換回数指定時の連続・休止スキャンモード選択、スキャン変換完了割込み要求の許可/禁止、スキャン変換完了割込み要求状態表示を行います。本レジスタへの書込みについての詳細は、「6. 使用上の注意」を参照してください。

Bit	7	6	5	4	3	2	1	0
Field	SCINT	SCIE	SCMD	Reserved				
R/W 属性	R,W	R/W	R/W	R0,W0				
保護属性	-							
初期値	0	0	0	00000				

[bit7] SCINT: スキャン変換完了割込み要因フラグビット

bit	説明	
	読出し時	書込み時
0	チャンネルごとの変換回数指定時のスキャン変換完了割込み要因クリア状態	ビットクリア
1	チャンネルごとの変換回数指定時のスキャン変換完了による割込み要因発生状態	変化なし、ほかへの影響なし

- チャンネルごとの変換回数指定時のスキャン変換完了により、SCINT ビットは"1"にセットされます。
- SCINT ビットとスキャン変換完了割込み要求許可(ADSCANS:SCIE)が"1"のとき、変換回数指定時のスキャン変換完了割込み要求が発生します。
- 書込み時は、"0"で SCINT ビットがクリアされ、"1"では変化せずほかへの影響はありません。
- ADSCANS0 レジスタの SCINTC ビットに"1"を設定することで"0"にクリアされます。

<注意事項>

- ソフトウェアクリア(SCINT="0"書込み)と、ハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

[bit6] SCIE: スキャン変換完了割込み要求許可ビット

bit	説明
0	スキャン変換完了割込み禁止
1	スキャン変換完了割込み許可

- スキャン変換完了割込み要因フラグビット(ADSCANS:SCINT)が"1"にセット状態、かつスキャン変換完了割込み要求許可設定(SCIE="1")されている場合、割込み要求が発生します。
- このビットは、ADSCANS0 レジスタの SCIEC ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、ADSCANS0 レジスタの SCIES ビットに"1"を設定することで、"1"にセットされます。

[bit5] SCMD: 連続・休止スキャン変換モード選択ビット

bit	説明
0	連続スキャン変換モード
1	休止スキャン変換モード

- チャンネルごとの変換回数指定時のスキャン変換モードを選択します。
- SCMD ビットが"0"のとき、連続スキャン変換モードを選択します。
- SCMD ビットが"1"のとき、休止スキャン変換モードを選択します。
- このビットは、ADSCANS0 レジスタの SCMDC ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、ADSCANS0 レジスタの SCMDS ビットに"1"を設定することで、"1"にセットされます。



[bit4:0] Reserved: 予約ビット

5.2.13. 起動チャネル変換回数設定レジスタ[m] (ADNCS[m]) (m=0~15)

起動チャネル変換回数設定レジスタ(ADNCS)は、起動チャネルごとに変換回数指定スキャン変換実行許可/禁止選択、変換回数指定の設定を行います。

Bit	7	6	5	4	3	2	1	0
Field	CNTEN (m*2+1)	Reserved	CCNT (m*2+1) 1	CCNT (m*2+1) 0	CNTEN (m*2)	Reserved	CCNT (m*2) 1	CCNT (m*2) 0
R/W 属性	R/W	R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7, bit3] CNTEN[n]: 変換回数指定スキャン変換実行許可ビット[n] (n=0~31)

bit	説明
0	変換回数指定スキャン変換実行禁止
1	変換回数指定スキャン変換実行許可

(n=0~31)

- 起動チャネルごとに変換回数指定スキャン変換実行の許可/禁止を設定します。
- チャネルごとに変換回数指定によるスキャン変換は、12 ビット A/D コンバータのユニット単位で 1 つのスキャン変換グループのみ制御できます。
- 変換回数指定スキャン変換実行許可ビット(CNTEN)が"0"のとき、設定された起動チャネルは、変換回数指定スキャン変換対象から除外されます。
- 変換回数指定スキャン変換実行許可ビット(CNTEN)が"1"のとき、設定された起動チャネルは、変換回数指定スキャン変換対象に組み込まれます。

<注意事項>

- 変換回数指定スキャン変換実行許可 (CNTEN="1")する場合、リピート変換モード(ADRC:RPT="1")にしてください。リピート変換モード以外の場合は変換回数指定のスキャン変換は正常に行われません。
- 対応する起動チャネルが A/D 変換要求中(ADTCS[n]:BUSY="1")に、変換回数指定スキャン変換実行許可ビット(CNTEN[n])を変更してはいけません。

[bit6, bit2] Reserved: 予約ビット

[bit5, bit4, bit1, bit0] CCNT[n]1, CCNT[n]0: 変換回数指定ビット(n=0~31)

CCNT[n]1, CCNT[n]0	説明
00	変換回数 1 回指示
01	変換回数 2 回指示
10	変換回数 3 回指示
11	変換回数 4 回指示

(n=0~31)

- 起動チャネルの変換回数指定スキャン変換実行許可(ADNCS.CNTEN="1")時、スキャン変換回数を制御します。

<注意事項>

- 対応する起動チャネルが A/D 変換要求中(ADTCS[n]:BUSY="1")に、変換回数指定ビット(CCNT[n]1, CCNT[n]0)を変更してはいけません。



5.2.14. データ保護状態フラグレジスタ(ADPRTF)

データ保護状態フラグレジスタ(ADPRTF)は、起動チャンネルごとの A/D データレジスタ(ADTCD)の保護状態を表示します。

Bit	31	30	29	28	27	26	25	24
Field	PRTF31	PRTF30	PRTF29	PRTF28	PRTF27	PRTF26	PRTF25	PRTF24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	PRTF23	PRTF22	PRTF21	PRTF20	PRTF19	PRTF18	PRTF17	PRTF16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	PRTF15	PRTF14	PRTF13	PRTF12	PRTF11	PRTF10	PRTF9	PRTF8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	PRTF7	PRTF6	PRTF5	PRTF4	PRTF3	PRTF2	PRTF1	PRTF0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:0] PRTF31~PRTF0: データ保護状態フラグビット

bit	説明
0	データ保護状態ではありません。
1	データ保護状態です。

- 起動チャンネルごとの A/D データレジスタ(ADTCD[n])に対するデータ保護状態を表示します。
- 書込み動作は、データ保護状態に対し影響しません。

5.2.15. 起動チャネル変換完了フラグレジスタ(ADEOCF)

起動チャネル変換完了フラグレジスタ(ADEOCF)は、変換回数指定スキャン変換時の起動チャネルごとの変換回数完了状態を表示します。

Bit	31	30	29	28	27	26	25	24
Field	EOCF31	EOCF30	EOCF29	EOCF28	EOCF27	EOCF26	EOCF25	EOCF24
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	23	22	21	20	19	18	17	16
Field	EOCF23	EOCF22	EOCF21	EOCF20	EOCF19	EOCF18	EOCF17	EOCF16
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	15	14	13	12	11	10	9	8
Field	EOCF15	EOCF14	EOCF13	EOCF12	EOCF11	EOCF10	EOCF9	EOCF8
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	1	1	1	1	1	1	1	1

Bit	7	6	5	4	3	2	1	0
Field	EOCF7	EOCF6	EOCF5	EOCF4	EOCF3	EOCF2	EOCF1	EOCF0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	1	1	1	1	1	1	1	1

[bit31:0] EOCF31～EOCF0: 変換回数完了フラグビット

bit	説明
0	変換回数指定の回数分未完了
1	変換回数指定の回数分完了

- 対応する起動チャネルの変換回数指定スキャン変換実行許可(ADNCS:CNTEN[n]="1")時、変換回数完了フラグビット(EOCF)の表示は有効です。
- 指定した回数(ADNCS:CCNT[1:0])のスキャン変換の実行完了の状態を表示します。
- EOCF="0"時は、指定回数のスキャン変換をまだ完了していません。
- EOCF="1"時は、指定回数のスキャン変換を完了しました。
- A/D 起動未要求(ADTCS:BUSY="0") 時、もしくはスキャン変換が最初から再開されたときに、変換回数完了フラグビット(EOCF)は"0"にクリアされます。
- 書き込み動作は、データ保護状態に対し影響しません。

<注意事項>

- 対応する起動チャネルの変換回数指定スキャン変換実行禁止(ADNCS:CNTEN[n]="0")時、変換回数完了フラグビット(EOCF[n])の読み出しデータは意味を持ちません。
- 連続スキャン変換モード(ADSCAN:SCMD="0")時、スキャン変換の最終チャネルに設定された変換回数完了フラグビット(EOCF)は、スキャン変換終了後すぐに最初から再開されるため、"1"にセットされてもすぐに"0"にクリアされます。



5.2.16. A/D 起動トリガ制御ステータスクリアレジスタ[n] (ADTCSC[n]) (n=0~31)

A/D 起動トリガ制御ステータスクリアレジスタ(ADTCSC[n] (n=0~31))は A/D 起動トリガ制御ステータスレジスタ(ADTCS[n] (n=0~31))のビットをクリアするために使用します。

Bit	15	14	13	12	11	10	9	8
Field	BUSYC	INTC	INTEC	Reserved		RPTC	PRTC	PRTSC
R/W 属性	R0,W	R0,W	R0,W	R0,W0		R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	00		0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved		BUFXC	BTSC	Reserved			
R/W 属性	R0,W0		R0,W	R0,W	R0,W0			
保護属性	-							
初期値	00		0	0	0000			

[bit15] BUSYC: BUSY クリアビット

bit	説明
0	変化なし, ほかに影響なし
1	BUSY ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:BUSY ビットをクリアします。

[bit14] INTC: INT クリアビット

bit	説明
0	変化なし, ほかに影響なし
1	INT ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:INT ビットをクリアします。

[bit13] INTEC: INTE クリアビット

bit	説明
0	変化なし, ほかに影響なし
1	INTE ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:INTE ビットをクリアします。

[bit12:11] Reserved: 予約ビット

[bit10] RPTC: RPT クリアビット

bit	説明
0	変化なし, ほかに影響なし
1	RPT ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:RPT ビットをクリアします。

[bit9] PRTC : PRT クリアビット

bit	説明
0	変化なし, ほかに影響なし
1	PRT ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:PRT ビットをクリアします。

[bit8] PRISC: PRIS クリアビット

bit	説明
0	変化なし, ほかに影響なし
1	PRIS ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:PRIS ビットをクリアします。

[bit7:6] Reserved: 予約ビット

[bit5] BUFXC: BUFX クリアビット

bit	説明
0	変化なし, ほかに影響なし
1	BUFX ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:BUFX ビットをクリアします。

[bit4] BTSC: BTS クリアビット

bit	説明
0	変化なし, ほかに影響なし
1	BTS ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:BTS ビットをクリアします。

[bit3:0] Reserved: 予約ビット



5.2.17. レンジ比較フラグクリアレジスタ(ADRCIFC)

レンジ比較フラグクリアレジスタ(ADRCIFC)は、レンジ比較フラグレジスタ(ADRCIF)のビットをクリアするために使用します。

Bit	31	30	29	28	27	26	25	24
Field	RCINTC31	RCINTC30	RCINTC29	RCINTC28	RCINTC27	RCINTC26	RCINTC25	RCINTC24
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	23	22	21	20	19	18	17	16
Field	RCINTC23	RCINTC22	RCINTC21	RCINTC20	RCINTC19	RCINTC18	RCINTC17	RCINTC16
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
Field	RCINTC15	RCINTC14	RCINTC13	RCINTC12	RCINTC11	RCINTC10	RCINTC9	RCINTC8
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
Field	RCINTC7	RCINTC6	RCINTC5	RCINTC4	RCINTC3	RCINTC2	RCINTC1	RCINTC0
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31:0] RCINTC31~RCINTC0: レンジ比較割込み要因フラグクリアビット

bit	説明
0	変化なし, ほかに影響なし
1	RCINT[n] (n=0~31) ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADRCIF:RCINT[n]ビットをクリアします。

5.2.18. スキャン変換制御ステータスクリアレジスタ 0 (ADSCANSC0)

スキャン変換制御ステータスクリアレジスタ 0(ADSCANSC0)は、スキャン変換制御ステータスレジスタ (ADSCANS0)のビットをクリアするために使用します。

Bit	7	6	5	4	3	2	1	0
Field	SCINTC	SCIEC	SCMDC	Reserved				
R/W 属性	R0,W	R0,W	R0,W	R0,W0				
保護属性	-							
初期値	0	0	0	00000				

[bit7] SCINTC: スキャン変換完了割込み要因フラグクリアビット

bit	説明
0	変化なし、ほかへの影響なし
1	SCINT ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADSCANSC0:SCINT ビットをクリアします。

[bit6] SCIEC: スキャン変換完了割込み要求許可クリアビット

bit	説明
0	変化なし、ほかへの影響なし
1	SCIE ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADSCANSC0:SCIE ビットをクリアします。

[bit5] SCMDC: 連続・休止スキャン変換モード選択クリアビット

bit	説明
0	変化なし、ほかへの影響なし
1	SCMD ビットのクリア

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADSCANSC0:SCMD ビットをクリアします。

[bit4:0] Reserved: 予約ビット



5.2.19. A/D 起動トリガ制御ステータスセットレジスタ[n] (ADTCSS[n]) (n=0~31)

A/D 起動トリガ制御ステータスセットレジスタ(ADTCSS[n] (n=0~31))は A/D 起動トリガ制御ステータスレジスタ(ADTCS[n] (n=0~31))のビットをセットするために使用します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved		INTES	Reserved		RPTS	PRTS	PRTSS
R/W 属性	R0,W0		R0,W	R0,W0		R0,W	R0,W	R0,W
保護属性	-							
初期値	00		0	00		0	0	0

Bit	7	6	5	4	3	2	1	0
Field	Reserved		BUFXS	BTSS	Reserved			
R/W 属性	R0,W0		R0,W	R0,W	R0,W0			
保護属性	-							
初期値	00		0	0	0000			

[bit15:14] Reserved: 予約ビット

[bit13] INTES: INTE セットビット

bit	説明
0	変化なし, ほかに影響なし
1	INTE ビットのセット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:INTE ビットをセットします。

[bit12:11] Reserved: 予約ビット

[bit10] RPTS: RPT セットビット

bit	説明
0	変化なし, ほかに影響なし
1	RPT ビットのセット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:RPT ビットをセットします。

[bit9] PRTS: PRT セットビット

bit	説明
0	変化なし, ほかに影響なし
1	PRT ビットのセット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:PRT ビットをセットします。

[bit8] PRTSS: PRTS セットビット

bit	説明
0	変化なし, ほかへの影響なし
1	PRTS ビットのセット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:PRTS ビットをセットします。

[bit7:6] Reserved: 予約ビット

[bit5] BUFXS: BUFX セットビット

bit	説明
0	変化なし, ほかへの影響なし
1	BUFX ビットのセット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:BUFX ビットをクリアします。

[bit4] BTSS: BTS セットビット

bit	説明
0	変化なし, ほかへの影響なし
1	BTS ビットのセット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADTCS:BTS ビットをセットします。

[bit3:0] Reserved: 予約ビット



5.2.20. スキャン変換制御ステータスセットレジスタ 0 (ADSCANSS0)

スキャン変換制御ステータスセットレジスタ 0(ADSCANSS0)は、スキャン変換制御ステータスレジスタ (ADSCAN0)のビットをセットするために使用します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved	SCIES	SCMDS	Reserved				
R/W 属性	R0,W0	R0,W	R0,W	R0,W0				
保護属性	-							
初期値	0	0	0	00000				

[bit7] Reserved: 予約ビット

[bit6] SCIES: スキャン変換完了割込み要因フラグセットビット

bit	説明
0	変化なし, ほかへの影響なし
1	SCIE ビットのセット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADSCANSC0:SCIE ビットをセットします。

[bit5] SCMDS: 連続・休止スキャン変換モード選択セットビット

bit	説明
0	変化なし, ほかへの影響なし
1	SCMD ビットのセット

- 読出し時, "0"が読み出されます。
- 本ビットに"1"を書き込むと ADSCANSC0:SCMD ビットをセットします。

[bit4:0] Reserved: 予約ビット

6. 使用上の注意

A/D 起動コンペアの使用上の注意を以下に示します。

(1) レジスタアクセス時の注意

a) A/D 起動トリガ制御ステータスレジスタ(ADTCSC[n] (n=0~31))アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、A/D 起動トリガ制御ステータスクリアレジスタ(ADTCSC[n] (n=0~31))の該当ビットに"1"を書き込むことでクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、A/D 起動トリガ制御ステータスセットレジスタ(ADTCSS[n] (n=0~31))の該当ビットに"1"を書き込むことでセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書込みできます。

b) レンジ比較フラグレジスタ(ADRCIF)アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、レンジ比較フラグクリアレジスタ(ADRCIFC)の該当ビットに"1"を書き込むことでクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書込みできます。

c) SCAN 変換制御ステータスレジスタ 0(ADSCANS0)アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、SCAN 変換制御ステータスクリアレジスタ 0 (ADSCANS0)の該当ビットに"1"を書き込むことでクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、SCAN 変換制御ステータスセットレジスタ 0 (ADSCANS0)の該当ビットに"1"を書き込むことでセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書込みできます。

(2) A/D 起動コンペアの使用上の注意

a) 選択設定について

必ず 16 ビットフリーランタイムの停止中に選択設定を行ってください。

b) A/D データレジスタ保護設定について

A/D データレジスタ保護有効ビット(ADTC:PRT)および A/D データレジスタ保護解除選択ビット(ADTC:PRTS)の設定は、A/D 変換を動作させる前に設定してください。A/D 変換要求中(ADTC:BUSY="1")および A/D データレジスタが保護されている状態で、PRT ビットおよび PRTS ビットの設定を変更してはいけません。

A/D データレジスタの保護機能の解除を行う場合は、A/D 変換停止後(ADTC:BUSY="0")に、A/D データレジスタ保護解除選択ビット(ADTC:PRTS)に設定した保護解除の動作を行うか、もしくは、A/D データレジスタ保護有効ビットにより保護機能を無効(ADTC:PRT="0")としてください。

仮に、A/D データレジスタが保護されている状態で、PRTS ビットを変更した場合、A/D データレジスタの保護を解除するためには、PRTS ビットの変更後に、PRTS ビットに設定した保護解除の動作(A/D データレジスタの読出しや、割込み要求フラグビットへの 0 書込みによるクリア動作)を行ってください。例えば、PRT="1"かつ PRTS="1"の状態で A/D データレジスタが保護されている状態で、割込み要求フラグビットのクリアを



行ってから `PRTS="0"`とした場合、保護解除するためには、A/D データレジスタの読出しと、再度、割込み要求フラグビットへの 0 書込みによるクリア動作が必要です。

c) コンペアー一致起動について

コンペアレジスタ(ADCOMP)に"0x0000"および 16 ビットフリーランタイムのコンペアクリアレジスタの設定値と同じ値を設定した場合、カウント方向選択ビット(ADTCS:SEL[1:0])の設定によるカウント方向がアップもしくはダウンに関係なく、コンペアー一致時に A/D 起動要求信号が発生します。

d) A/D 起動トリガ制御ステータスレジスタのカウント方向選択ビット設定について

16ビットフリーランタイムがアップカウントモードのとき、カウント方向選択ビットの設定をダウンカウントのみ(ADTCS:SEL[1:0]="0b10")にすることを禁止します。

e) レンジ比較について

レンジ比較の実行タイミングは、A/D 変換終了時に A/D 変換結果が A/D データレジスタ(ADTCD)にセットされた後に行います。よって、A/D 変換終了割込み要求を発生から周辺クロックで 2 サイクル遅れてレンジ比較結果が連続検出回数状態表示ビット(ADRCSS:RCOCD[2:0])、閾値超過フラグビット(ADRCOT:RCOOF)、レンジ比較割込み要因フラグビット(ADRCIF:RCINT)に反映され、またレンジ比較割込み要求が発生します。

レンジ比較の範囲外確認(ADRCSS:RCOIRS="0")の場合、レンジ比較結果が上限閾値超過状態から下限閾値未満状態に変化しても、連続検出測定は、0 回にクリアせず連続検出を継続します。

レンジ比較結果の連続検出回数状態を初期化したい場合、A/D 変換未要求中(ADTCS:BUSY="0")に、レンジ比較実行禁止設定のあと許可設定(ADRCSS:RCOE="0"→"1")にしてください。

f) チャンネルごとの変換回数指定を使用しない連続スキャン変換について

同じ A/D コンバータのユニットに対応する起動チャンネル間において、リピートモード(ADTCS:RPT="1")が複数設定される場合、後段の A/D 起動調停では、優先順位に従って、ある 1 つのチャンネルのみを処理することになります。よって、リピートモード(ADTCS:RPT="1")が複数の起動チャンネルによって設定される場合は、これらの起動チャンネルはデータ保護機能を有効(ADTCS:PRT="1")にして使用してください。

同じ A/D コンバータのユニットに対応する起動チャンネル間において、リピートモード(ADTCS:RPT="1")が複数設定される場合、優先度の低い起動チャンネルの変換前に、優先度が高い起動チャンネルのデータ保護状態を解除すると、優先度の低い起動チャンネルの変換は実行されません。よって、連続スキャン変換の最終起動チャンネル実行前にデータ保護状態を解除すると、低優先の起動チャンネルが実行されずスキャン変換を正常に実行されません。

g) チャンネルごとの変換回数指定時のスキャン変換について

変換回数指定スキャン変換実行許可 (ADNCS:CNTE="1")した起動チャンネルは、リピート変換モード(ADRCSS:RPT="1")にしてください。

チャンネルごとの変換回数指定時の連続スキャン変換モード(ADSCANS:SCMD="0")時、スキャン変換の最終チャンネルに設定された変換回数完了フラグビット(ADEOCF:EOCF)は、スキャン変換終了後すぐに最初から再開されるため、"1"にセットされてもすぐに"0"にクリアされます。

チャンネルごとの変換回数指定時の連続スキャン変換モード(ADSCANS:SCMD="0")時、連続スキャン変換の最終チャンネルより大きい起動チャンネルにスキャン変換対象と同じ起動要因を設定した場合、最終チャンネルより大きい起動チャンネルは、連続スキャン変換の最終チャンネルが完了した後、後段の A/D 起動調停により 1 回評価されます。

チャンネルごとの変換回数指定時の休止スキャン変換モード(ADSCANS:SCMD="1")時、休止スキャン変換の最終チャンネルより大きい起動チャンネルにスキャン変換対象と同じ起動要因を設定した場合、最終チャンネルより大きい起動チャンネルは、休止期間中のみ A/D 変換の実行ができます。

データ保護機能有効(ADTCS:PRT="1")の場合において、データ保護状態の解除タイミングは制約がありません。ただし、スキャン変換する起動チャンネルがデータ保護状態の場合、データ保護状態が解除されるまでスキャン変換は停止します。

CHAPTER 52: 12 ビット A/D コンバータ 調停

12 ビット A/D コンバータ調停の概要および動作について説明します。

1. 概要
2. 構成
3. 動作説明



1. 概要

12 ビット A/D コンバータ調停は A/D 変換中に再度 A/D 起動トリガが入力された場合、A/D 変換を再起動します。また、A/D 変換キャンセル入力信号により、強制停止機能もサポートします。

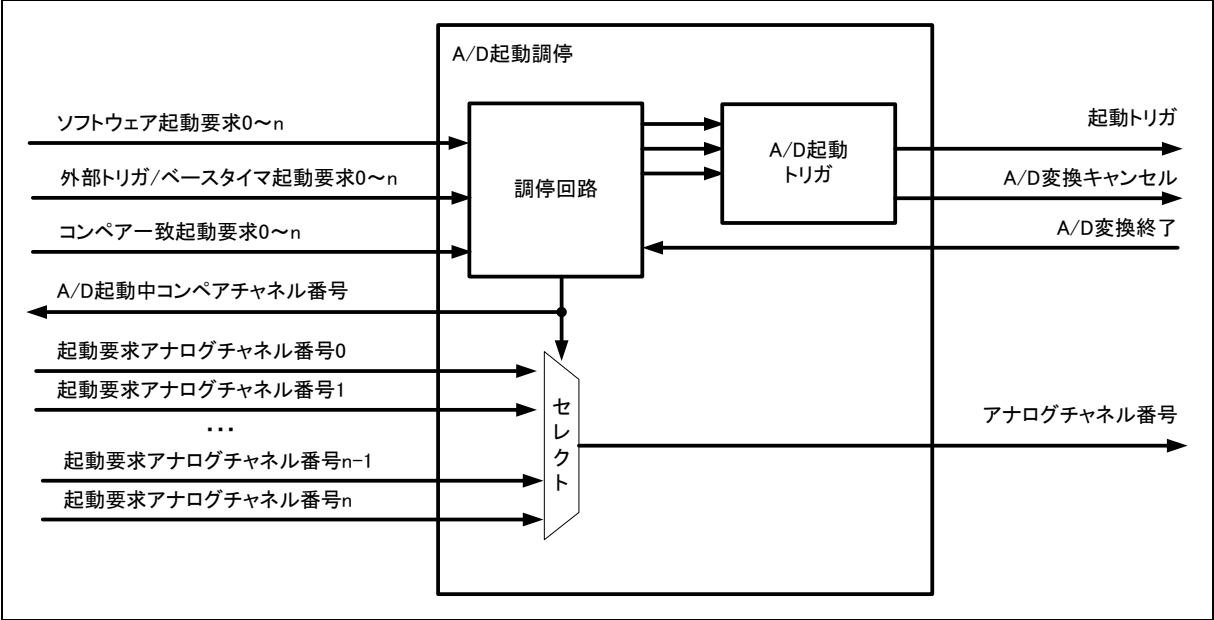
A/D 起動調停の機能

- A/D 起動調停は、調停回路、A/D 起動トリガ生成、およびアナログチャネル番号選択によって構成されます。
- A/D 起動コンペアからの起動要求の調停を行い、起動トリガ、A/D 変換キャンセル信号、およびアナログチャネル番号を生成します。
- 起動トリガは、各 A/D 起動コンペアからの起動要求から 1 つを選択して生成します。A/D 起動調停では、各 A/D 起動コンペアの起動要求が競合した場合、優先制御を行います。優先順位は、「起動チャネルの若い番号」(チャネル番号による優先制御)、および「コンペアー致 > 外部トリガ/ベースタイマ > ソフトウェア起動」(起動要因による優先制御)です。選択されなかった起動要求は待たされ、処理中の A/D 変換が終了すると再度調停が行われます。なお、起動要因による優先制御は、A/D 変換中も行われます。その際、現在の変換は中断され、優先度の高い起動要因が処理されます。中断した起動要因は、優先度の高い変換終了後に再度調停されチャネル番号および起動要因による優先度の高いものがなければ、処理が再起動されます。
 - A/D 変換停止中に優先度が同じ起動要因が発生した場合:
起動チャネルの若い番号のものから処理します。
 - A/D 変換停止中に優先度が異なる起動要因が発生した場合:
優先度の高い起動要因から処理します。
 - A/D 変換中に優先度の高い起動要因が発生した場合:
現在の変換を中断して優先度の高い起動要因を処理します。その変換後に再度調停され、中断した起動要因を再起動します。
 - A/D 変換中に優先度の低い起動要因が発生した場合:
現在の変換終了後に再度調停され、優先度の低い起動要因を処理します。
 - A/D 変換中に優先度が同じ起動要因が発生した場合:
現在の変換終了後に再度調停され、優先度が同じ起動要因を処理します。
- 変換キャンセル信号は、変換中の起動要因が非アクティブになり、ほかの起動要因もアクティブでないときに、現在の変換処理を強制終了するために生成します。
- アナログチャネル番号は、起動要求調停結果の起動チャネルから入力される起動要求アナログ番号が選択されます。

2. 構成

12 ビット A/D コンバータ A/D 起動調停の構成について説明します。

図 2-1 A/D 起動調停の構成(n=31)





3. 動作説明

12 ビット A/D コンバータ A/D 起動調停の動作について説明します。

3.1. A/D 起動調停の動作

A/D 起動調停の動作について説明します。

A/D 起動コンペアからの A/D 起動要求の調停を行い、A/D 起動トリガを生成します。また A/D 変換するアナログチャネルを決定します。

3.1.1. A/D 起動トリガ調停

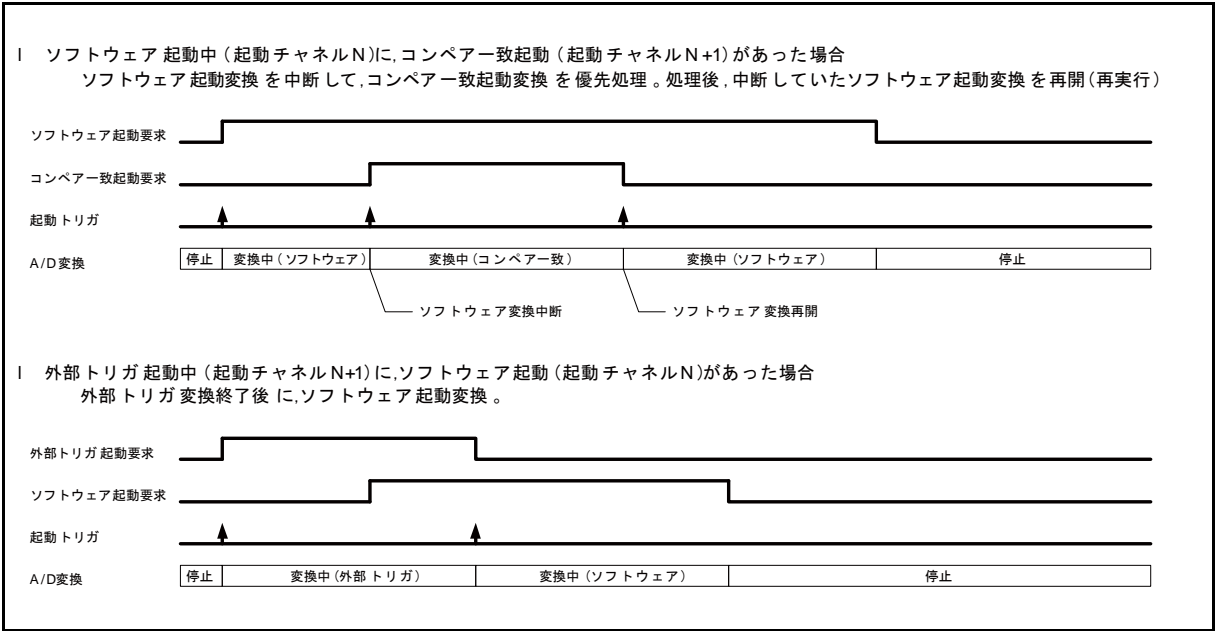
A/D 起動トリガ調停について説明します。

A/D 起動コンペアのチャンネルごとの起動要求から 1 つを選択して A/D 起動トリガを生成します。起動要求は A/D 起動コンペアの各チャンネルからそれぞれソフトウェア起動要求、外部トリガ/ベースタイマ起動要求、コンペア一致起動要求の 3 つが入力されて、A/D 起動トリガ信号が生成されます。起動要求が競合した場合、コンペアチャンネル番号の小さいものが優先されます。選択されなかった起動要求は待たされ、処理中の A/D 変換が終了すると再度調停が行われます。

起動調停の起動要因による優先順位は、「コンペア一致起動要求>外部トリガ/ ベースタイマ起動要求>ソフトウェア起動要求」です。なお、同じ優先度の起動要因の場合、若い起動チャンネル番号のものが優先されます。

- A/D 変換停止中に優先度が同じ起動要因が発生した場合：
起動チャンネルの若い番号のものから処理します。
- A/D 変換停止中に優先度が異なる起動要因が発生した場合：
優先度の高い起動要因から処理します。
- A/D 変換中に優先度の高い起動要因が発生した場合：
現在の変換を中断して優先度の高い起動要因を処理します。その変換後に再度調停をして、中断した起動要因を再処理します。
- A/D 変換中に優先度の低い起動要因が発生した場合：
現在の変換終了後に再度調停をして、優先度の低い起動要因を処理します。
- A/D 変換中に優先度が同じ起動要因が発生した場合：
現在の変換終了後に再度調停をして、優先度が同じ起動要因を処理します。

図 3-1 起動調停





3.1.2. アナログチャネル選択

アナログチャネル選択について説明します。

A/D 起動コンペアからは A/D 起動要求と共に A/D 変換を行うアナログチャネル番号が入力されます。

A/D 起動調停では、選択された A/D 起動コンペアチャネルの起動要求アナログチャネル番号を選択します。

3.1.3. A/D 変換キャンセル機能

A/D 変換キャンセル機能について説明します。

A/D 変換中に、要求元の起動要求が非アクティブになったとき、現在の変換処理を強制終了させるために A/D 変換キャンセル信号を生成します。なお、要求元の起動要求が非アクティブになったときに他起動チャネルの起動要因がアクティブであれば、A/D 変換キャンセル信号は生成せず、アクティブな起動要因による A/D 起動トリガの生成を行います。

CHAPTER 53: 波形ジェネレータ

波形ジェネレータの機能について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ
5. 使用上の注意



1. 概要

波形ジェネレータは、3つの16ビットデッドタイムレジスタ、3つの16ビットデッドタイム状態制御レジスタ、16ビットデッドタイムリロード割込みレジスタ、波形制御レジスタ、PPG出力制御レジスタから構成されます。

波形ジェネレータの機能

- 波形ジェネレータは、3つの16ビットデッドタイムレジスタ、3つの16ビットデッドタイム状態制御レジスタ、16ビットデッドタイムリロード割込みレジスタ、16ビットデッドタイムマイナス制御レジスタ、波形制御レジスタ、PPG出力制御レジスタから構成されます
- 波形ジェネレータは、コンペア出力(OUT0~OUT5入力)、PPG入力0/2/4、ノンオーバーラップ3相波形出力(インバータ制御用)およびDCチョップパルス波形出力を生成できます。
- 16ビットデッドタイムのデッドタイムに基づいて、ノンオーバーラップ波形出力を生成できます(デッドタイムタイマ機能)。
- 2チャンネルモード時にリアルタイムアウトプットを動作させることにより、ノンオーバーラップ波形出力を生成できます(デッドタイムタイマ機能)。
- リアルタイムアウトプットコンペア一致を検出したとき、GATE信号が生成され、この信号によりPPGタイマの動作が開始または停止します(GATE機能)*。
- リアルタイムアウトプットコンペア一致が検出されると、16ビットデッドタイムがアクティブになり、PPG動作の制御用GATE信号を生成することによって、PPGタイマを容易に開始または停止させることができます(GATE機能)*。
- DTTI入力を使用することによって、強制的に停止を制御できます。
- ソフトウェアDTTIビット(SIGCR2:DTTI)により、強制的に停止を制御することも可能です。
- モータ演算アクセラレータからのDTTIを使用することによって、強制的に停止を制御することも可能です。
- DTTI入力およびソフトウェアDTTIビット(SIGCR2:DTTI)による強制停止の動作により、波形ジェネレータ出力を強制的に禁止し、ポート設定レジスタ(PPC_PCFGRij)のPOF[2:0]ビットの設定にかかわらず、汎用ポートとして機能させることができます。
- 波形ジェネレータ0,1のDTTI割込み要求は、それぞれ異常検出力端子ch.0(ERDS0)、ch.1(ERDS1)へ出力できます。

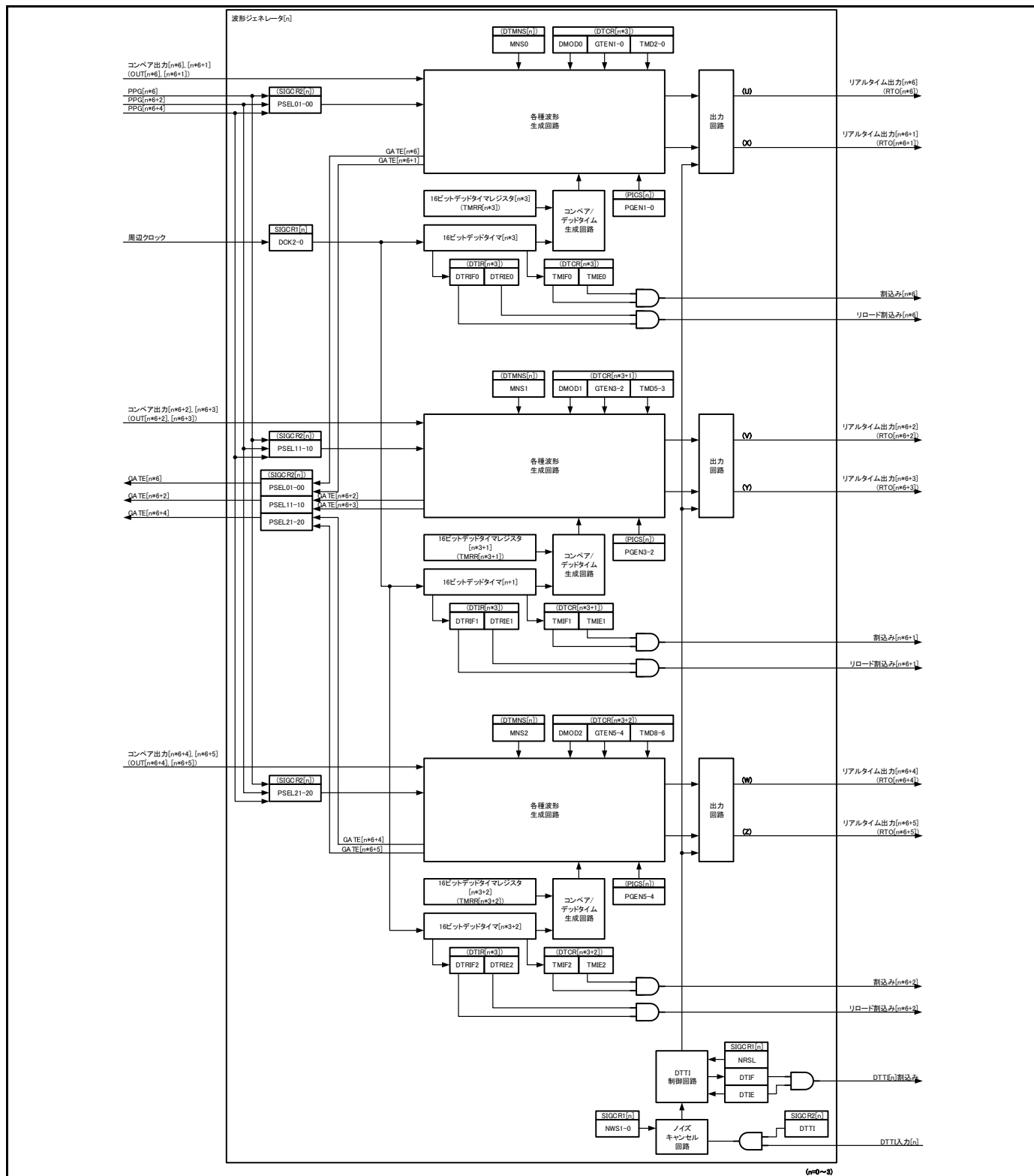
*: 本品種では、PPGタイマの動作停止はサポートしていません。

2. 構成

波形ジェネレータの構成を示します。

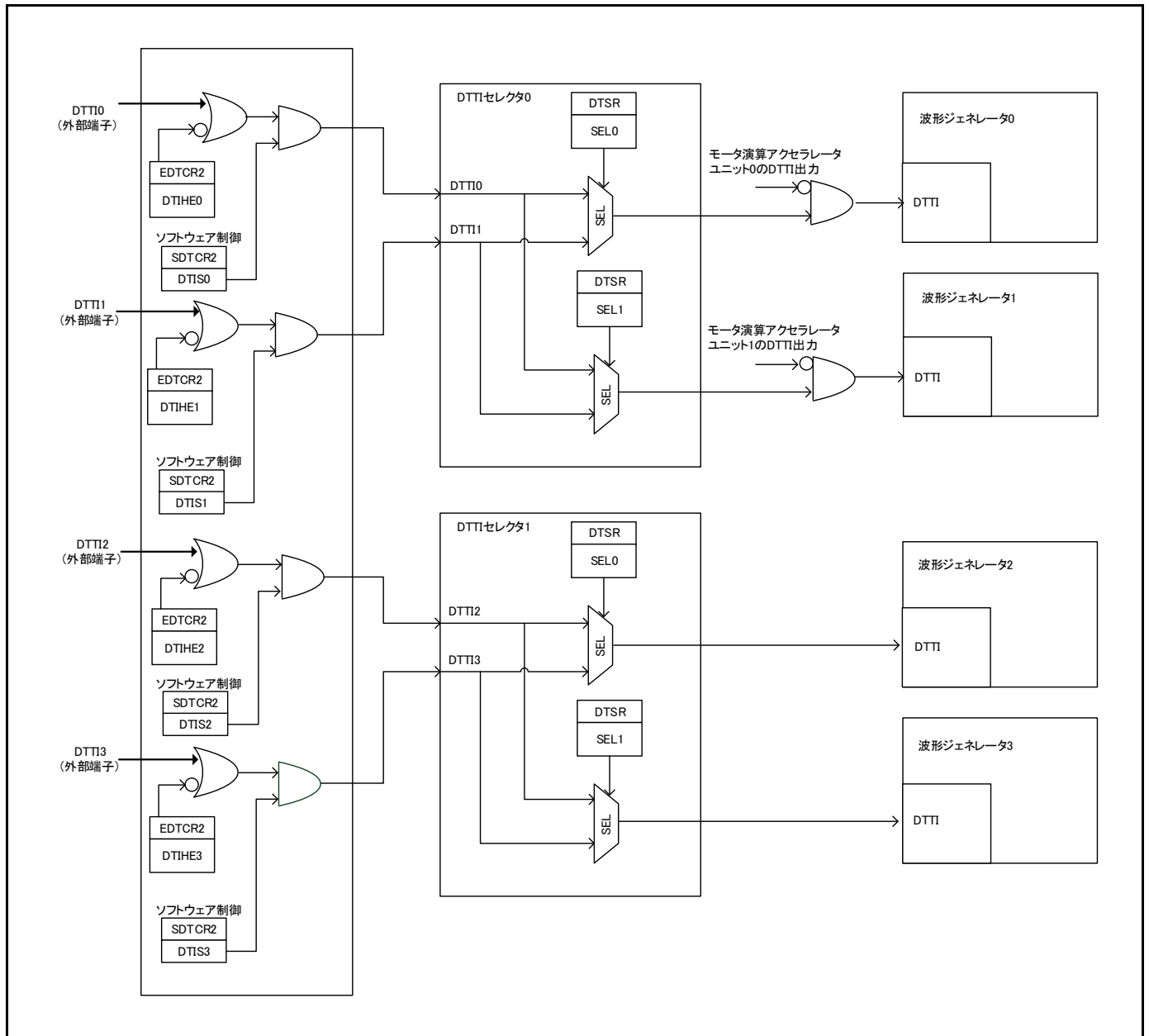
(1) 波形ジェネレータの構成図

図 2-1 波形ジェネレータの構成図



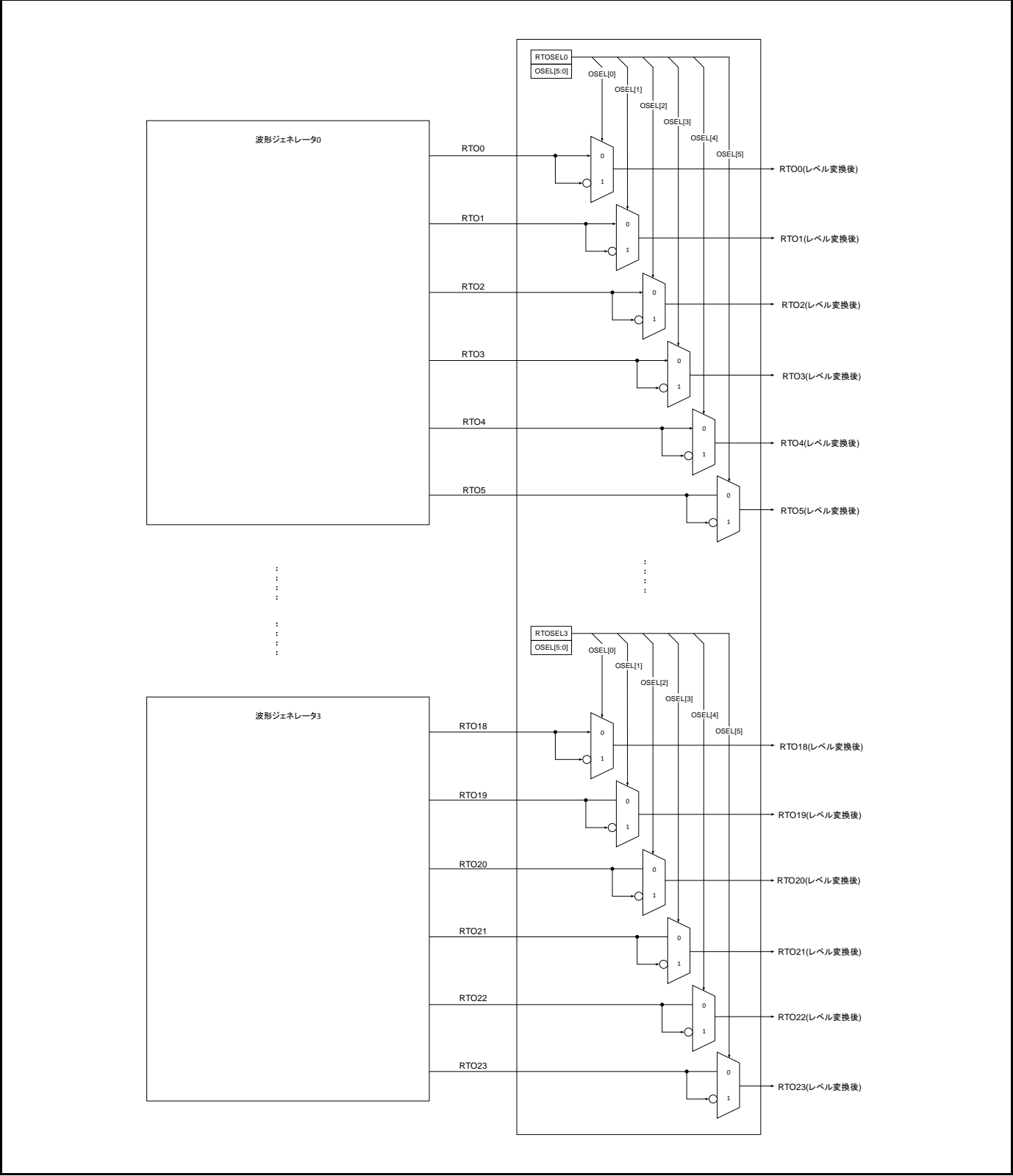
(2) DTTI 入力信号の構成図

図 2-2 DTTI の構成図



(3) RTO 出力信号制御の構成図

図 2-3 RTO 信号制御の構成図





3. 動作説明

波形ジェネレータの動作概要について説明します。

(1) 波形ジェネレータの動作

波形ジェネレータは、リアルタイム出力(RTO0~RTO5), 16 ビット PPG タイマ 0/2/4, 16 ビットデッドタイム 0/1/2 を使用して様々な波形(デッドタイムを含む)を生成できます。

(2) RTO0~RTO5 出力と GATE 信号状態

表 3-1 RTO0~RTO5 出力/GATE 信号状態とビット設定

DTCR レジスタ				PICS レジスタ	RTO _n 出力 ^{*4}	GATE 信号
TMD2	TMD1	TMD0	GTEN _n ^{*4}	PGEN _n ^{*4}		
0	0	0	X	X	コンペア出力 OUT _n ^{*4} (16 ビットアウトプットコンペア出力)	常に"0"
0	0	1	0/1	0	コンペア出力 OUT _n ^{*4} (16 ビットアウトプットコンペア出力)	(OUT _n ^{*4} かつ GTEN _n ^{*4})*2
			0	1	OUT _n ^{*4} が"H"の期間に PPG0/PPG2/PPG4 のパルスを出力 ^{*1}	常に"0"
			1	1	OUT _n ^{*4} が"H"の期間に GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	(OUT0/OUT1/ OUT2/OUT3/ OUT4/OUT5)
0	1	0	0/1	0	OUT0, OUT1 の立上りエッジにより 16 ビットデッドタイム 0 を起動し, 16 ビットデッドタイム 0 がアンダフローするまで"H" を出力	GTEN _n ^{*4} かつタイマ動作期間 中は"H"を出力 ^{*3}
			0/1	0	OUT2, OUT3 の立上りエッジにより 16 ビットデッドタイム 1 を起動し, 16 ビットデッドタイム 1 がアンダフローするまで"H" を出力	
			0/1	0	OUT4, OUT5 の立上りエッジにより 16 ビットデッドタイム 2 を起動し, 16 ビットデッドタイム 2 がアンダフローするまで"H" を出力	
		0	0	1	OUT0, OUT1 の立上りエッジにより 16 ビットデッドタイム 0 を起動し, 16 ビットデッドタイム 0 がアンダフローするまで PPG0/PPG2/PPG4 のパルスを出力 ^{*1}	常に"0"
			0	1	OUT2, OUT3 の立上りエッジにより 16 ビットデッドタイム 1 を起動し, 16 ビットデッドタイム 1 がアンダフローするまで PPG0/PPG2/PPG4 のパルスを出力 ^{*1}	
			0	1	OUT4, OUT5 の立上りエッジにより 16 ビットデッドタイム 2 を起動し, 16 ビットデッドタイム 2 がアンダフローするまで PPG0/PPG2/PPG4 のパルスを出力 ^{*1}	
		1	1	1	OUT0, OUT1 の立上りエッジにより 16 ビットデッドタイム 0 を起動し, 16 ビットデッドタイム 0 がアンダフローするまで, GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	タイマ動作 期間中は"H"を出力 ^{*3}
			1	1	OUT2, OUT3 の立上りエッジにより 16 ビットデッドタイム 1 を起動し, 16 ビットデッドタイム 1 がアンダフローするまで, GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	
			1	1	OUT4, OUT5 の立上りエッジにより 16 ビットデッドタイム 2 を起動し, 16 ビットデッドタイム 2 がアンダフローするまで, GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	

DTCR レジスタ				PICS レジスタ	RTO _n 出力 ^{*4}	GATE 信号
1	0	0	X	X	OUT1 でノンオーバーラップ信号を生成	常に"0"
			X	X	OUT3 でノンオーバーラップ信号を生成	
			X	X	OUT5 でノンオーバーラップ信号を生成	
1	1	1	0	X	設定禁止	-
			1	X	設定禁止	-
その他					常に"0"	常に"0"

*1: あらかじめ使用するチャンネルを PPG0/PPG2/PPG4 のうちから選択し, PPG を起動してください。

*2: GTEN_n^{*4} ビットに"1"を設定した OUT_n^{*4} から GATE 信号が生成されます。

*3: GTEN_n^{*4} ビットに"1"を設定した OUT_n^{*4} によって起動されるタイマの動作期間中に, GATE 信号が生成されます。複数の GTEN_n^{*4} ビットに"1"を設定した場合, GATE 信号は各々のタイマ動作期間中の信号を OR した信号となります。

*4: n=0~5

<注意事項>

- RTO0 出力, RTO1 出力は, 16 ビットデッドタイム状態制御レジスタ 0(DTCR0)の TMD2~TMD0 により, RTO2 出力, RTO3 出力は 16 ビットデッドタイム状態制御レジスタ 1(DTCR1)の TMD5~TMD3 により, RTO4 出力, RTO5 出力は 16 ビットデッドタイム状態制御レジスタ 2(DTCR2)の TMD8~TMD6 により制御されます。

(3) PPG 出力制御

RTO0~RTO5 出力への PPG 出力は, PPG 出力制御レジスタ(PICS)の PGEN5~PGEN0 で許可にできます。

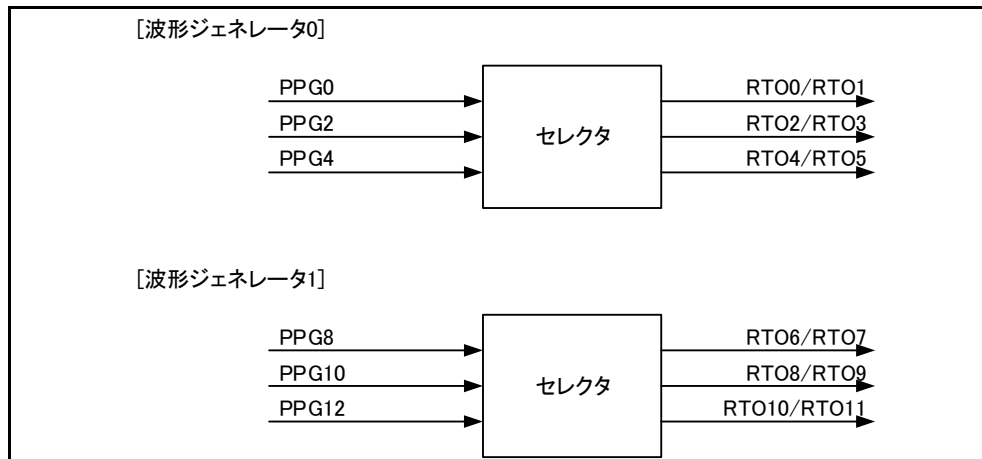
(4) ゲートトリガされた PPG 出力

波形ジェネレータではリアルタイム出力 RTO0~RTO5 により, GATE 信号を生成できます。1 つの 16 ビットデッドタイム 0, 1, 2 で 2 つのリアルタイム出力(RTO0/RTO2/RTO4, RTO1/RTO3/RTO5)が操作され, 6 つの別々のゲート信号が生成されます。これら 6 つのゲート信号は論理和がとられて GATE 信号を生成し, PPG カウンタのトリガとなります。また, PGEN0~PGEN5 信号を用いると, PPG のみを使用することで RTO0~RTO5 出力に 6 つの異なる波形を出力できます。

<注意事項>

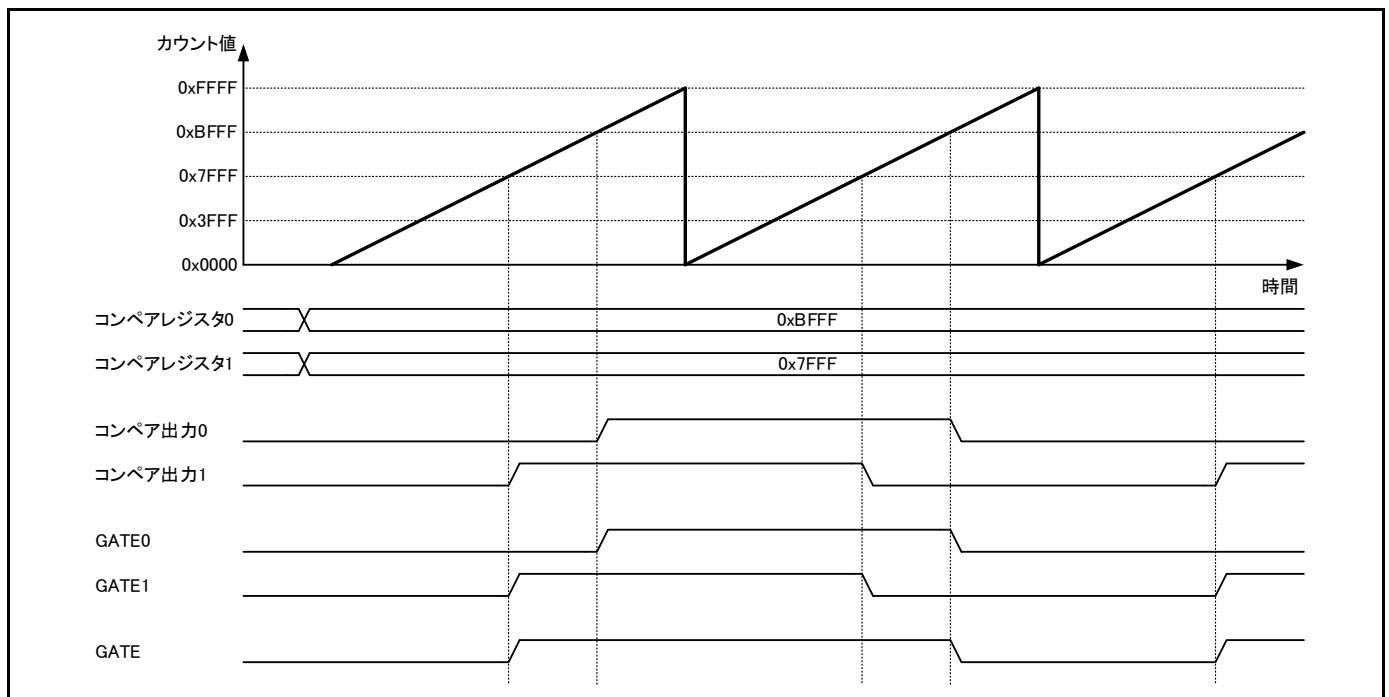
- 一例として波形ジェネレータ0を例にしています。波形ジェネレータ1の場合、選択可能なPPG チャネルは以下の図に示したとおりです。

図 3-1 波形ジェネレータと PPG の組み合わせ



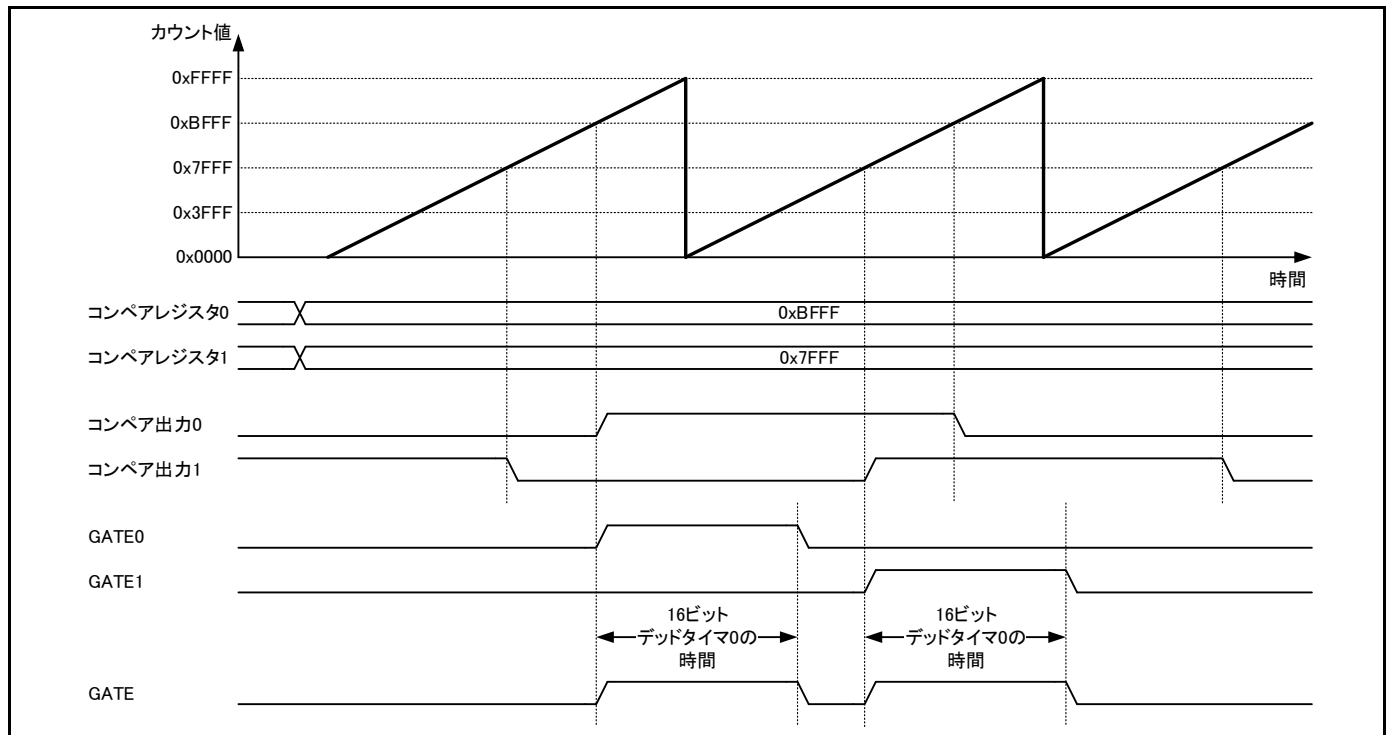
a) GTENn がアクティブであり、各 OUTn が"H"であるとき(16 ビットデッドタイム状態制御 (DTCR0, DTCR1, DTCR2)の TMD8~TMD0 が"0b001")の GATE 信号生成

図 3-2 OUTn(n=0~5)が"H"のときの GATE 信号の生成



b) GTENn がアクティブ(DTCR0, DTCR1, DTCR2 レジスタの TMD8~TMD0="0b010")であるときの OUTn 立上りエッジから 16 ビットデッドタイム 0, 1, 2 アンダフローまでにおける GATE 信号の生成

図 3-3 OUTn 立上りエッジから 16 ビットデッドタイムアンダフローまでにおける GATE 信号の生成



<注意事項>

- 各 16 ビットデッドタイムは、2 つの OUT に対して使用されます。すなわち、16 ビットデッドタイム 0 は OUT0 と OUT1 に対して使用され、16 ビットデッドタイム 1 は OUT2 と OUT3 に対して使用され、16 ビットデッドタイム 2 は OUT4 と OUT5 に対して使用されます。したがって、OUT を使用して、既に動作中のタイマの起動はしないでください。起動を行った場合、GATE 信号出力が拡張され、その結果、誤動作が発生する場合があります。

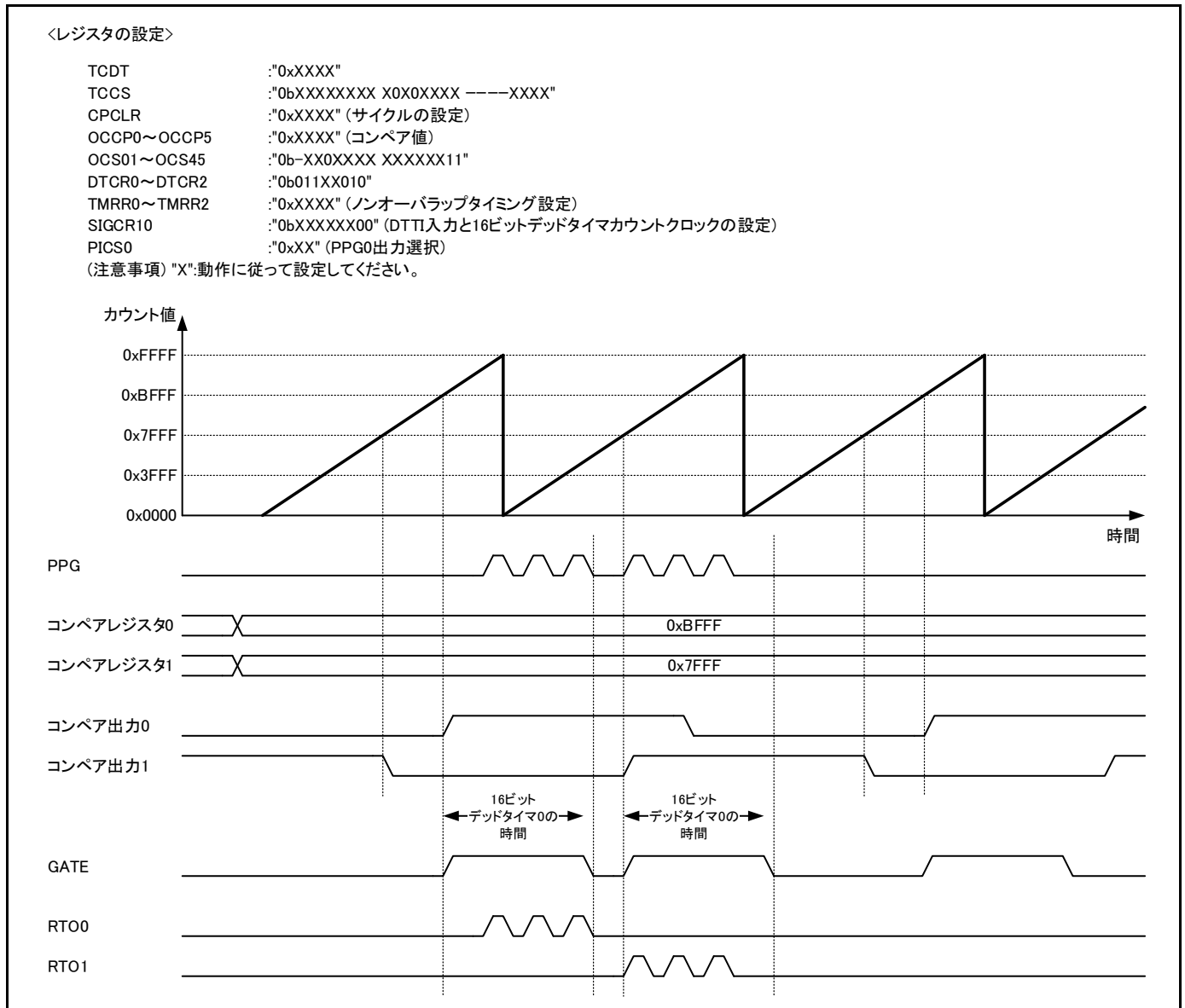
(5) タイマモードの動作

OUT0~OUT5 入力の立上りエッジが検出されると、16 ビットデッドタイムに値がリロードされて、16 ビットデッドタイムがダウンカウントを開始します。PPG タイマは、16 ビットデッドタイムでアンダフローが発生するまで RTO0~RTO5 出力へ出力し続けます。



a) OUT 立上りエッジから 16 ビットデッドタイムアンダフローまでにおける PPG 出力パルス生成(DTCR0, DTCR1, DTCR2 レジスタの TMD8~TMD0="0b010")

図 3-4 TMD2~TMD0 が"0b010"のときに生成される波形



＜注意事項＞

- 各 16 ビットデッドタイムは、2 つの OUT に対して使用されます。すなわち、16 ビットデッドタイム 0 は OUT0 と OUT1 に対して使用され、16 ビットデッドタイム 1 は OUT2 と OUT3 に対して使用され、16 ビットデッドタイム 2 は OUT4 と OUT5 に対して使用されます。したがって、OUT を使用して、既に動作中のタイマの起動はしないでください。起動を行った場合、GATE 信号出力が拡張され、その結果、誤動作が発生する場合があります。

(6) デッドタイムタイマモード時の動作

デッドタイムジェネレータは、コンペア出力(OUT1, OUT3, OUT5)を入力し、外部端子(RTO0~RTO5)へノンオーバーラップ信号(反転信号)を出力します。

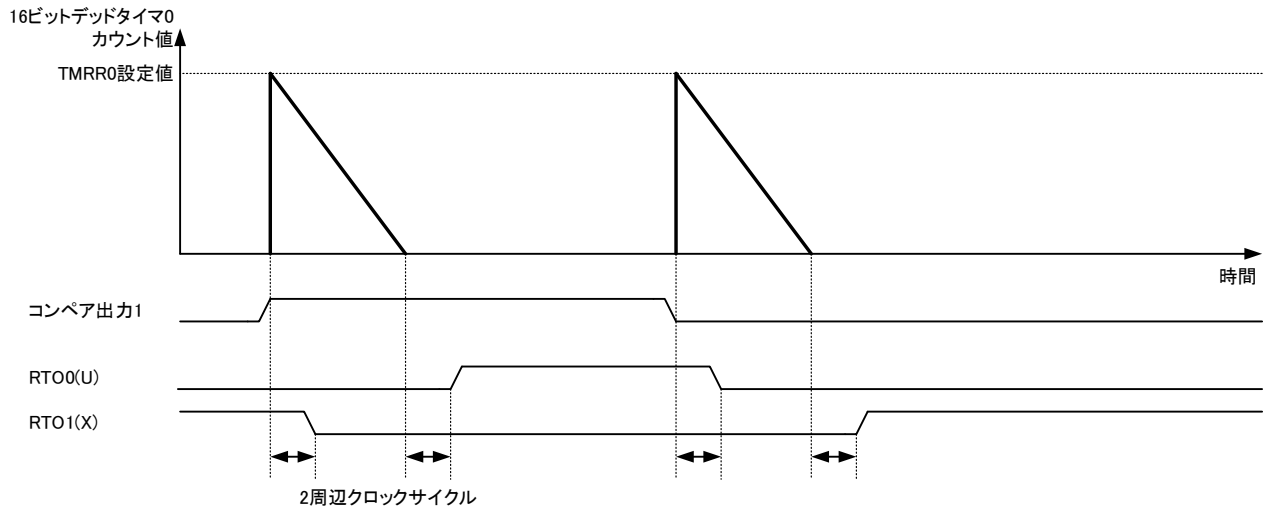
a) 通常極性の OUT1, OUT3, OUT5 によるノンオーバーラップ信号生成(16 ビットデッドタイマ制御レジスタ(DTCR0, DTCR1, DTCR2)の TMD8~TMD0="0b100")

DTCR0, DTCR1, DTCR2 レジスタの DMOD2~DMOD0 が"0"(通常極性)であるノンオーバーラップ信号を選択した場合、16 ビットデッドタイマレジスタ(TMRR0~TMRR2)に設定されているノンオーバーラップ時間に相当する遅延が適用されます。この遅延は OUT1, OUT3, OUT5 入力の立上りエッジまたは立下りエッジで適用されます。設定されているノンオーバーラップ時間よりも OUT1, OUT3, OUT5 のエッジ変化時間が小さい場合は、16 ビットデッドタイマは、その次の RT エッジでデッドタイマが起動してから再度起動するまでの時間分の値からダウンカウントを再開します。再起動されたデッドタイマのダウンカウントが終了する前に、もう 1 度デッドタイマが起動される場合は、TMRR0~TMRR2 レジスタ値からダウンカウントを再開します。

図 3-5 通常極性のコンペア出力によるノンオーバーラップ信号生成

〈レジスタの設定〉

TCDT : "0XXXX"
TCCS : "0bX-XXXXXX X0X0XXXX ----XXXX"
CPCLR : "0XXXX" (サイクルの設定)
OCCP0~OCCP5 : "0XXXX" (コンペア値)
OCS01~OCS45 : "0b-XX1XXXX XXXXX11"
DTCR0~DTCR2 : "0b0XXXX100"
TMRR0~TMRR2 : "0XXXX" (ノンオーバーラップタイミング設定)
DTMNS0 : "0bXX---000"
SIGCR10 : "0bXXXXXX00" (DTTI入力と16ビットデッドタイムカウンタクロックの設定)
(注意事項) "X":動作に従って設定してください。

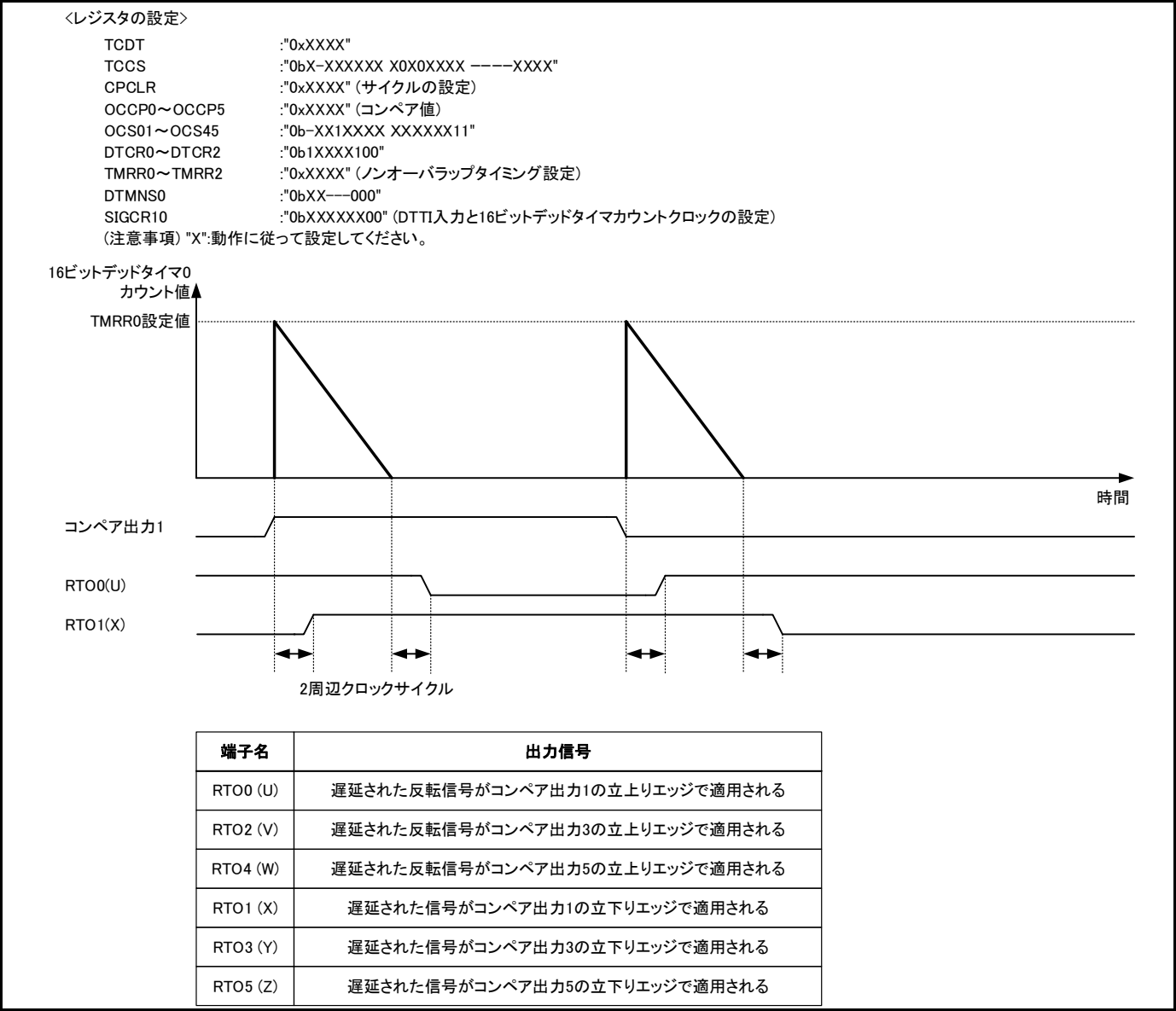


端子名	出力信号
RTO0 (U)	遅延された信号がコンペア出力1の立上りエッジで適用される
RTO2 (V)	遅延された信号がコンペア出力3の立上りエッジで適用される
RTO4 (W)	遅延された信号がコンペア出力5の立上りエッジで適用される
RTO1 (X)	遅延された反転信号がコンペア出力1の立下りエッジで適用される
RTO3 (Y)	遅延された反転信号がコンペア出力3の立下りエッジで適用される
RTO5 (Z)	遅延された反転信号がコンペア出力5の立下りエッジで適用される

b) 反転極性の OUT1, OUT3, OUT5 によるノンオーバーラップ信号生成(16 ビットデッドタイム制御レジスタ(DTCR0, DTCR1, DTCR2)の TMD8~TMD0="0b100")

DTCR0, DTCR1, DTCR2 レジスタの DMOD2~DMOD0 が "1" (反転極性) であるノンオーバーラップ信号を選択した場合、16 ビットデッドタイムレジスタ(TMRR0~TMRR2)に設定されているノンオーバーラップ時間に相当する遅延が適用されます。この遅延は OUT1, OUT3, OUT5 入力の立上りエッジまたは立下りエッジで適用されます。設定されているノンオーバーラップ時間よりも OUT1, OUT3, OUT5 のエッジ変化時間が小さい場合は、16 ビットデッドタイムは、その次の RT エッジでデッドタイムが起動してから再度起動するまでの時間分の値からダウンカウントを再開します。再起動されたデッドタイムのダウンカウントが終了する前に、もう 1 度デッドタイムが起動される場合は、TMRR0~TMRR2 レジスタ値からダウンカウントを再開します。

図 3-6 反転極性のコンペア出力によるノンオーバーラップ信号生成



(7) デッドタイムタイマモード時の動作 (マイナス制御)

16ビットデッドタイムマイナス制御レジスタ(DTMNS)により、ノンオーバーラップ時間をマイナス制御(DTMNSレジスタのMNSxビット="1")できます。

a) 通常極性の OUT1, OUT3, OUT5 によるマイナス制御のノンオーバーラップ信号生成(16ビットデッドタイム制御レジスタ(DTCR0, DTCR1, DTCR2)のTMD8~TMD0="0b100")

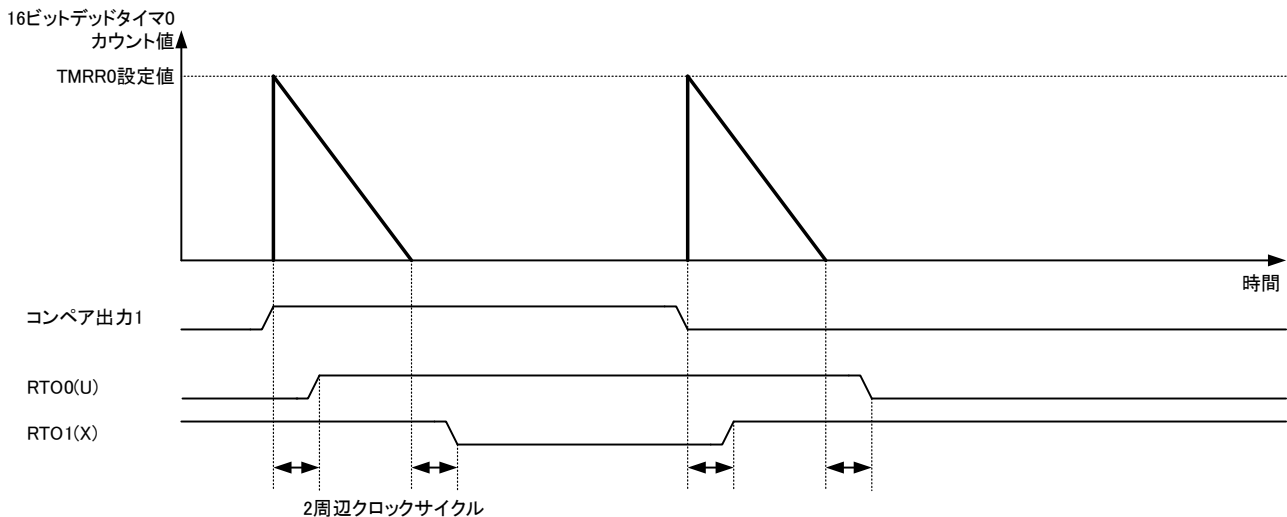
信号生成は、マイナス制御をしない反転極性のノンオーバーラップ信号のU/V/WとX/Y/Zの出力をX/Y/ZとU/V/Wと出力することにより行います。

図 3-7 通常極性の DTMNS レジスタの MNSn ビット="1"(マイナス設定)によるノンオーバーラップ信号生成

〈レジスタの設定〉

TC DT : "0xXXXX"
 TC CS : "0bX-XXXXXX X0X0XXX ----X-XXX"
 CPCLR : "0xXXXX" (サイクルの設定)
 OCCP0~OCCP5 : "0xXXXX" (コンペア値)
 OCS01~OCS45 : "0b-XX1XXXX XXXXXX11"
 DTCR0~DTCR2 : "0b1XXXX100"
 TMRR0~TMRR2 : "0xXXXX" (ノンオーバーラップタイミング設定)
 DTMNS0 : "0bXX--111"
 SIGCR10 : "0bXXXXXX00" (DTTI入力と16ビットデッドタイムカウントクロックの設定)

(注意事項) "X":動作に従って設定してください。



端子名	出力信号
RTO0 (U)	遅延された信号がコンペア出力1の立下りエッジで適用される
RTO2 (V)	遅延された信号がコンペア出力3の立下りエッジで適用される
RTO4 (W)	遅延された信号がコンペア出力5の立下りエッジで適用される
RTO1 (X)	遅延された反転信号がコンペア出力1の立上りエッジで適用される
RTO3 (Y)	遅延された反転信号がコンペア出力3の立上りエッジで適用される
RTO5 (Z)	遅延された反転信号がコンペア出力5の立上りエッジで適用される

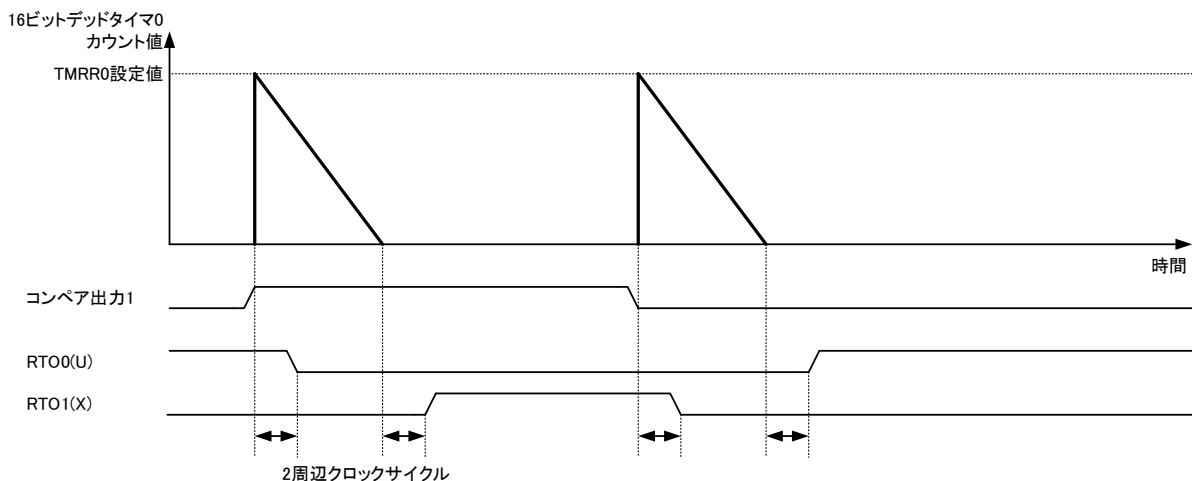
b) 反転極性の OUT1, OUT3, OUT5 によるノンオーバーラップ信号生成(16 ビットデッドタイム制御レジスタ(DTCR0, DTCR1, DTCR2)の TMD8~TMD0="0b100")

信号生成は、マイナス制御をしない通常極性のノンオーバーラップ信号の U/V/W と X/Y/Z の出力を X/Y/Z と U/V/W と出力することにより行います。

図 3-8 反転極性の DTMNS レジスタの MNSn ビット="1"(マイナス設定)によるノンオーバーラップ信号生成

〈レジスタの設定〉

TCDT : "0xXXXX"
 TCCS : "0bX-XXXXXX X0X0XXXX ---XXXX"
 CPCLR : "0xXXXX" (サイクルの設定)
 OCCP0~OCCP5 : "0xXXXX" (コンペア値)
 OCS01~OCS45 : "0b-XX1XXXX XXXXXX11"
 DTCR0~DTCR2 : "0b0XXXX100"
 TMRR0~TMRR2 : "0xXXXX" (ノンオーバーラップタイミング設定)
 DTMNS0 : "0bXX---111"
 SIGCR10 : "0bXXXXXX00" (DTTI入力と16ビットデッドタイムカウンタクロックの設定)
 (注意事項) "X":動作に従って設定してください。



端子名	出力信号
RT00 (U)	遅延された反転信号がコンペア出力1の立下りエッジで適用される
RT02 (V)	遅延された反転信号がコンペア出力3の立下りエッジで適用される
RT04 (W)	遅延された反転信号がコンペア出力5の立下りエッジで適用される
RT01 (X)	遅延された信号がコンペア出力1の上立ちエッジで適用される
RT03 (Y)	遅延された信号がコンペア出力3の上立ちエッジで適用される
RT05 (Z)	遅延された信号がコンペア出力5の上立ちエッジで適用される

(8) デッドタイムタイマモード時の動作 (使用上の注意)

a) 信号生成

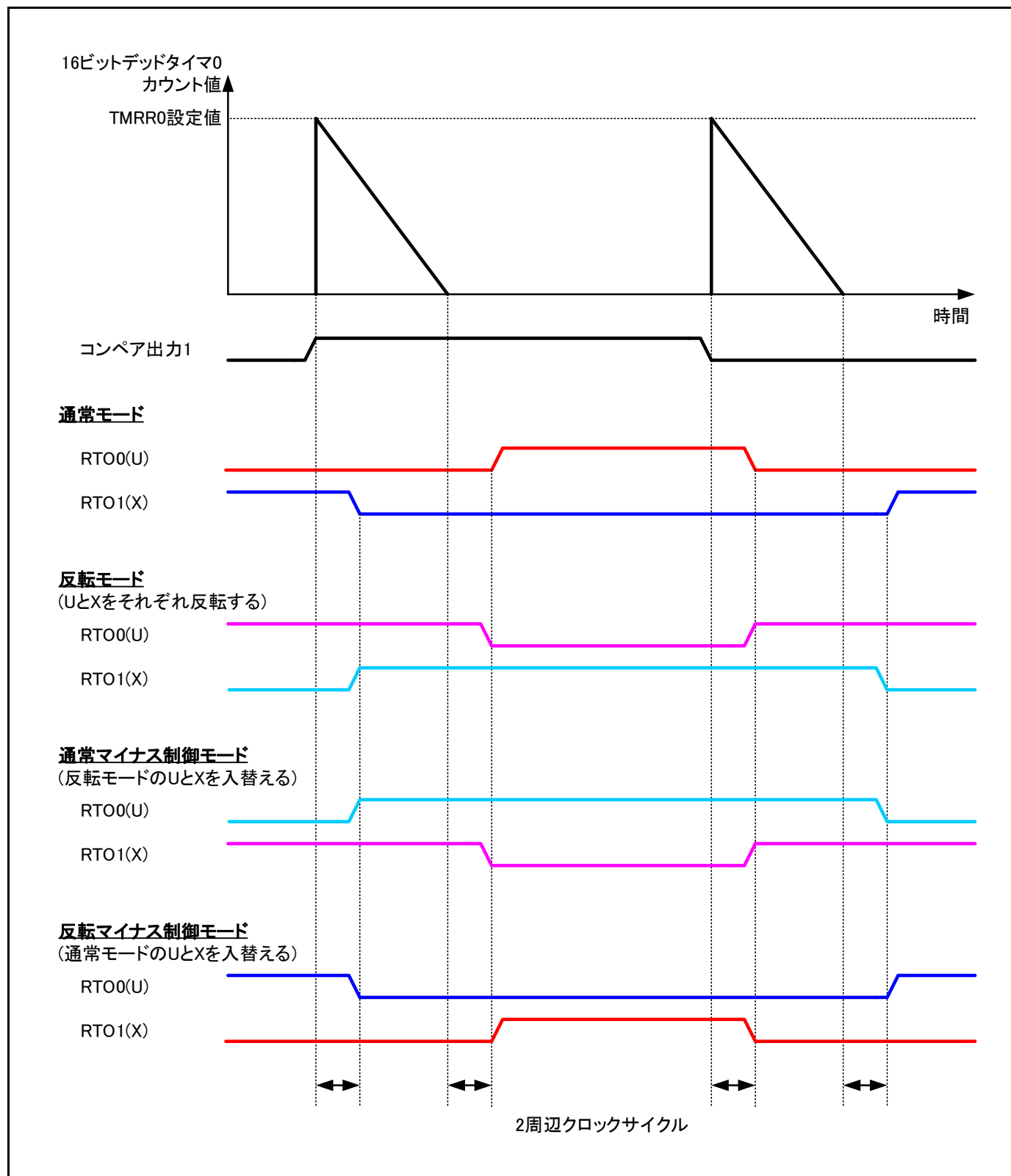
基本は、通常モードです。

反転モードは、通常モードの U と X の信号レベルをそれぞれ反転して出力します。

通常マイナス制御モードは、通常モードの U と X の信号レベルをそれぞれ反転して、U と X を入れ替えて出力します。

反転マイナス制御モードは、通常モードの U と X を入れ替えて出力します。

図 3-9 デッドタイムタイマモード時の信号生成



通常モードおよび反転マイナス制御モードの場合、X(または U)が"L"固定で出力されます。

図 3-10 コンペア出力の"H"レベル区間が大きく、デッドタイムのアンダフローが発生する前にリロードされる場合

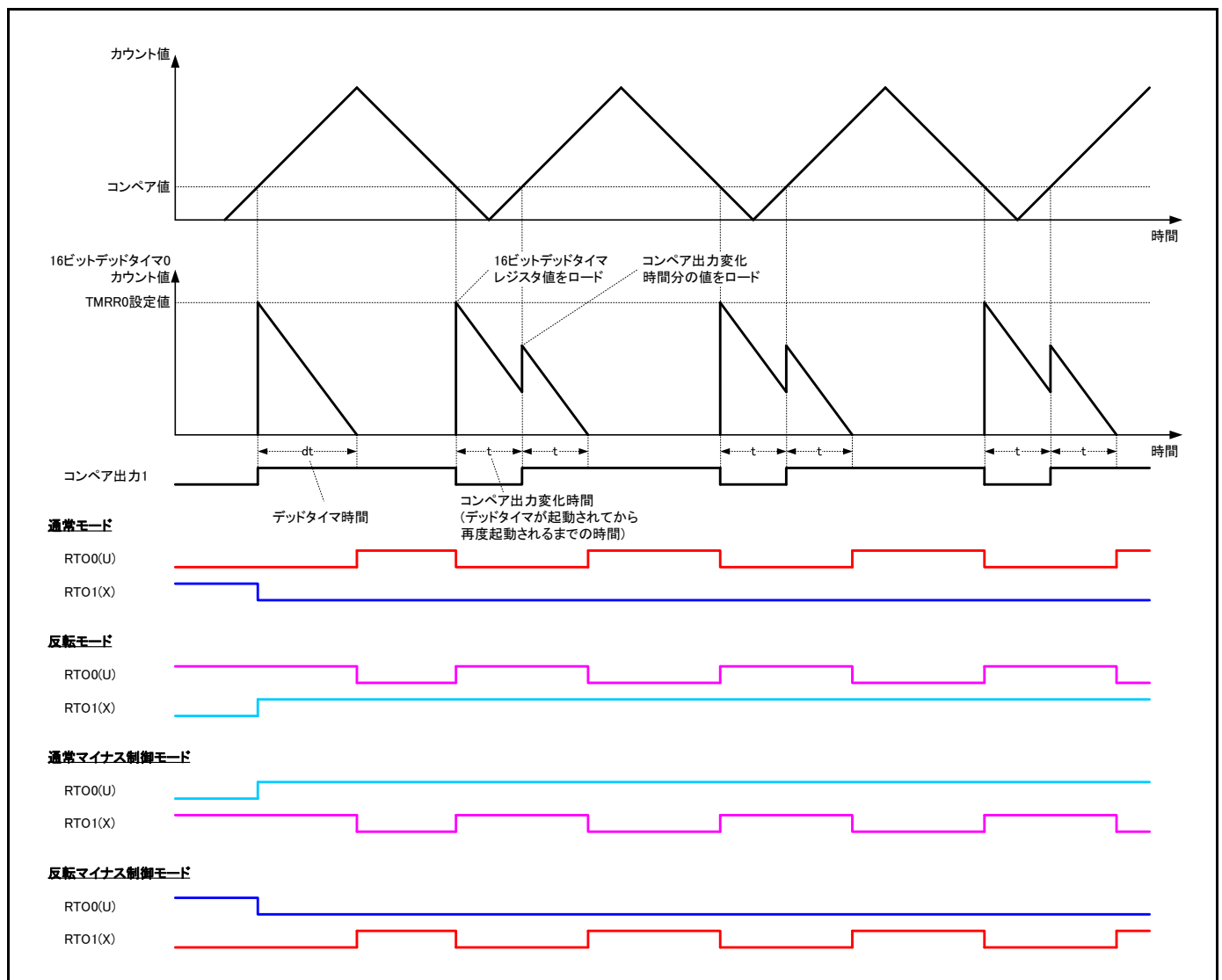
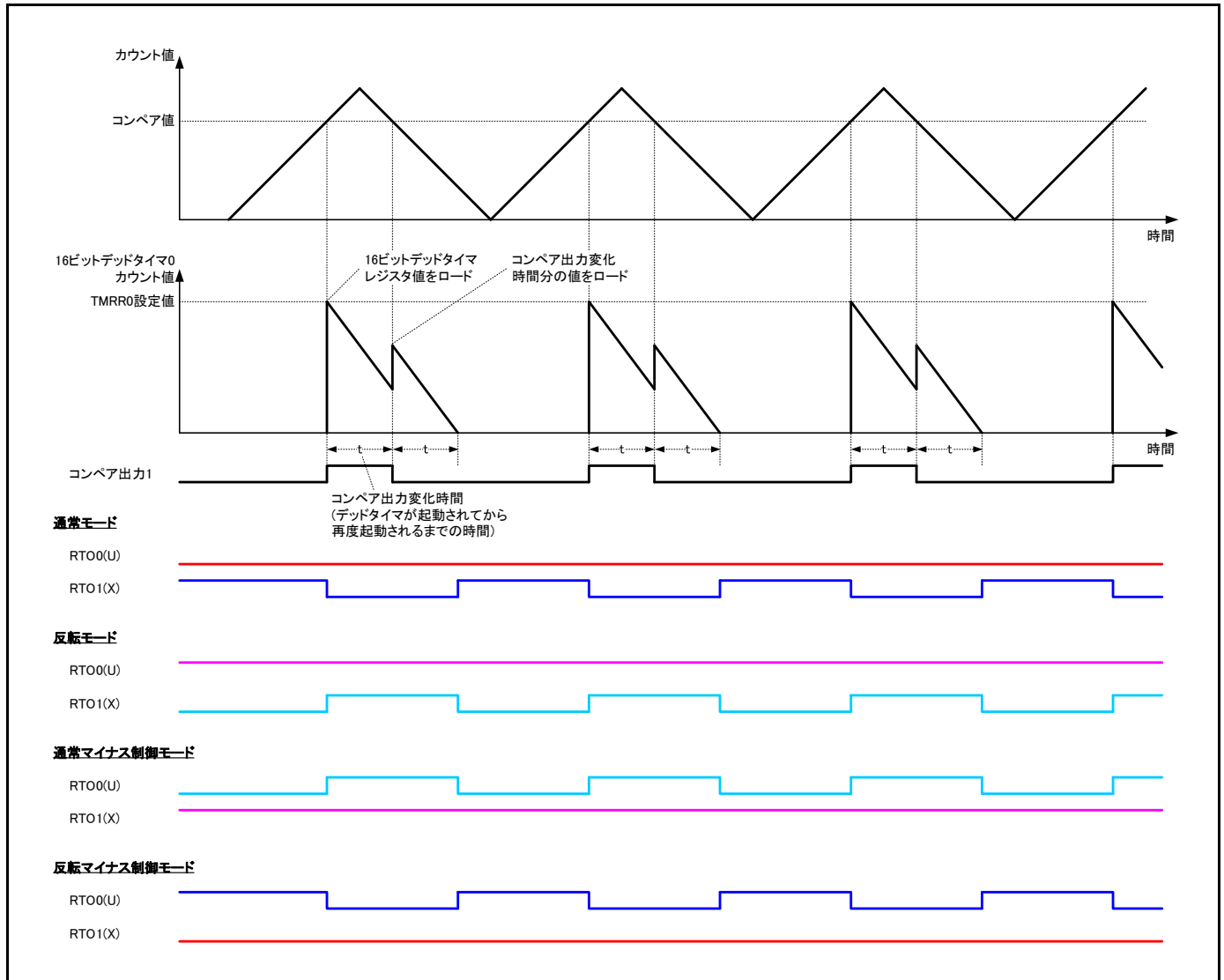


図 3-11 コンペア出力の"H"レベル区間が小さく、デッドタイムのアンダフローが発生する前にリロードされる場合



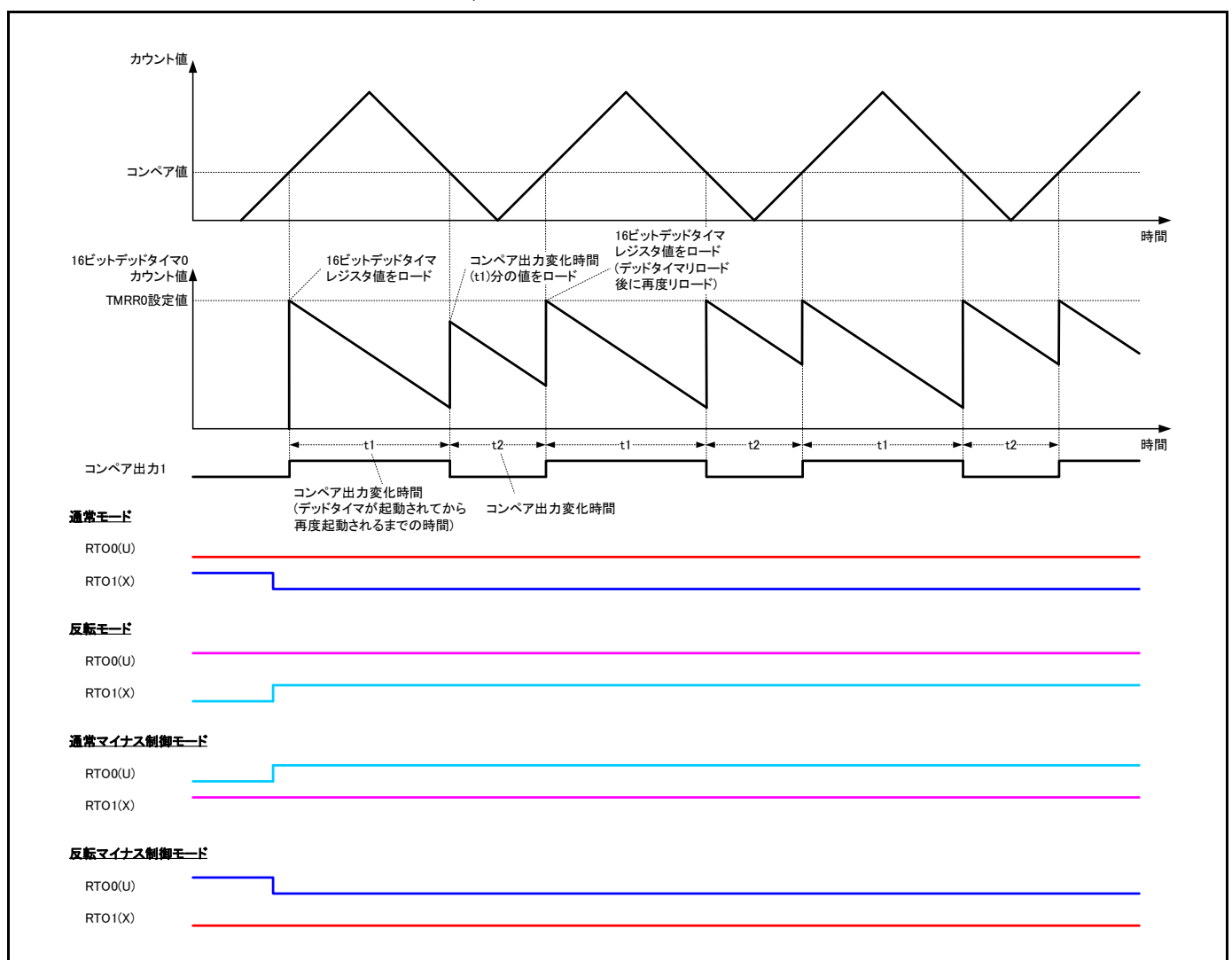
c) コンペア出力変化時間が小さく、デッドタイムのアンダフローが発生する前にリロードされ続ける場合 (デッドタイムのリロードが続く場合)

コンペア出力変化時間が小さく、デッドタイムのアンダフローが発生する前にリロードされ続けるような16ビットデッドタイムレジスタ(TMRR[n])の設定は禁止とします。

もし、上記設定を行うと、通常モードおよび反転マイナス制御モードの場合、X および U が "L" 固定で出力されます。通常マイナス制御モードおよび反転モードでは、X および U が "H" 固定で出力されます。

なお、デッドタイム動作中にタイマのアンダフローが発生する前にリロードされる場合は、16ビットデッドタイムリロード割込みレジスタ(DTIR)の割込み要求フラグビットがセットされ、割込みが許可されている場合、割込みが通知されます。

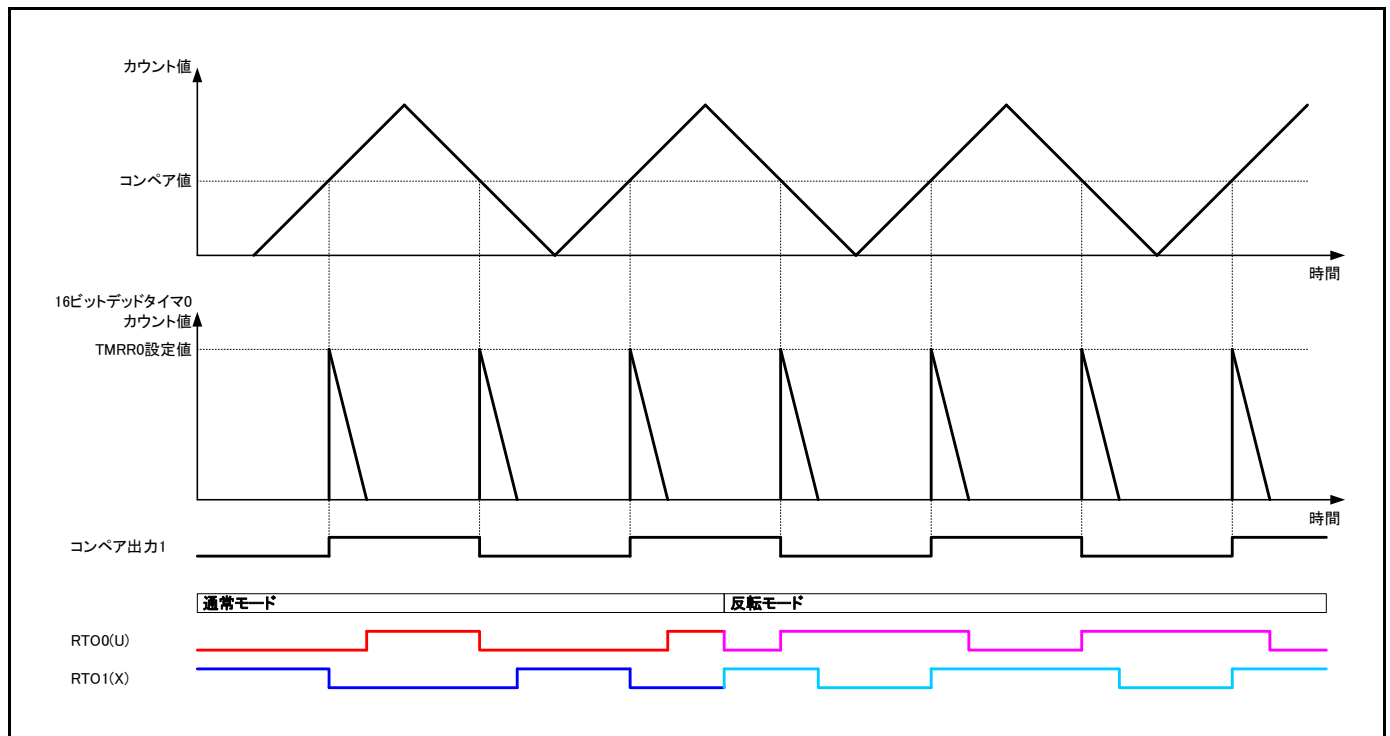
図 3-12 コンペア出力変化時間が小さく、デッドタイムのアンダフローが発生する前にリロードされ続ける場合



d) デッドタイムタイマモード動作中の通常モードから反転モードへの変更

デッドタイムタイマモード動作中に、通常モードから反転モードに変更した場合、U と X の変化点が重なります。通常モードから反転モードへの変更は即時に行いますので、ご注意ください。

図 3-13 デッドタイムタイマモード動作中の通常モードから反転モードへの変更

**e) デッドタイムタイマモード動作中のマイナス制御モードの変更**

デッドタイムタイマモード動作中に、マイナス制御モードを変更する場合、U と X の変化点が重ならないように、マイナス制御モードの設定の反映を、デッドタイマが未動作およびトリガ入力(コンペア出力)が"L"のときに行います。

図 3-14 デッドタイムタイマモード動作中の通常モードから通常マイナス制御モードへの変更#1

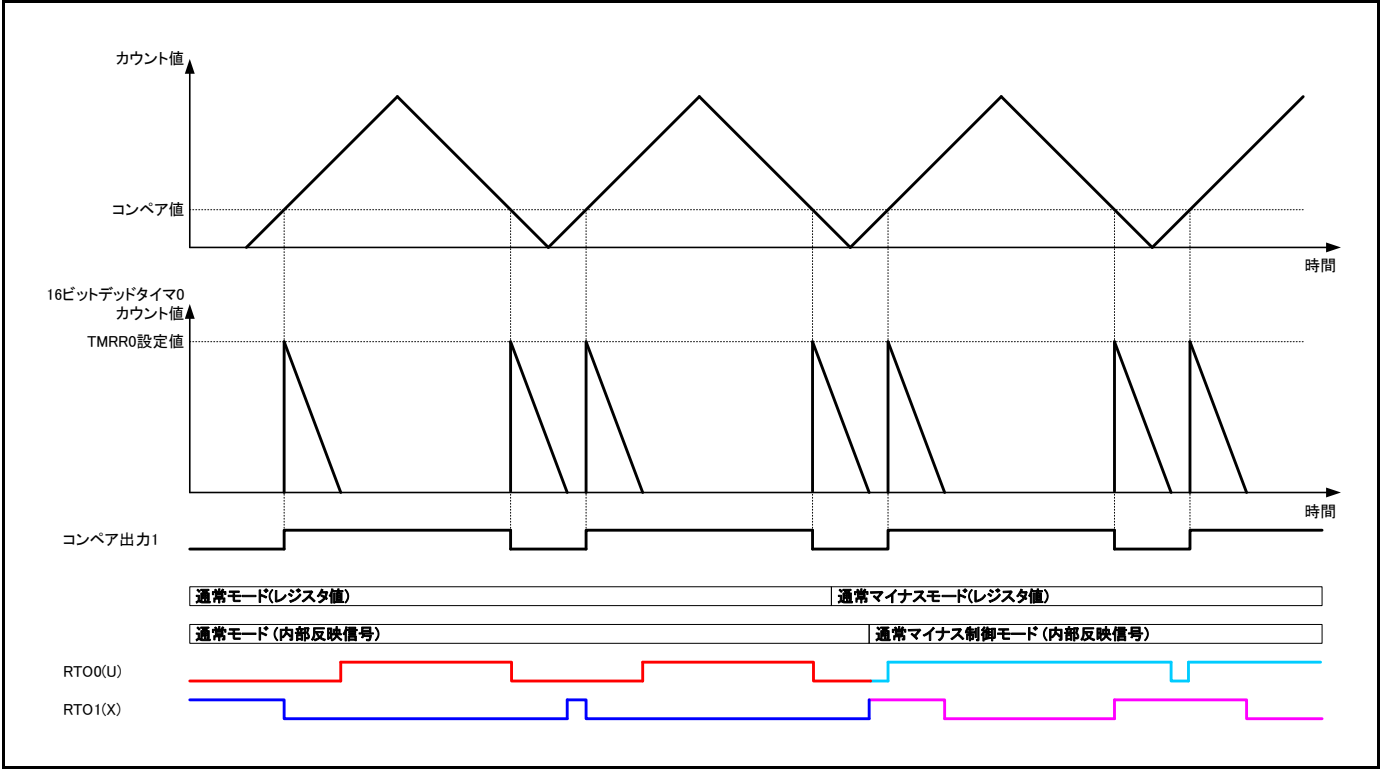
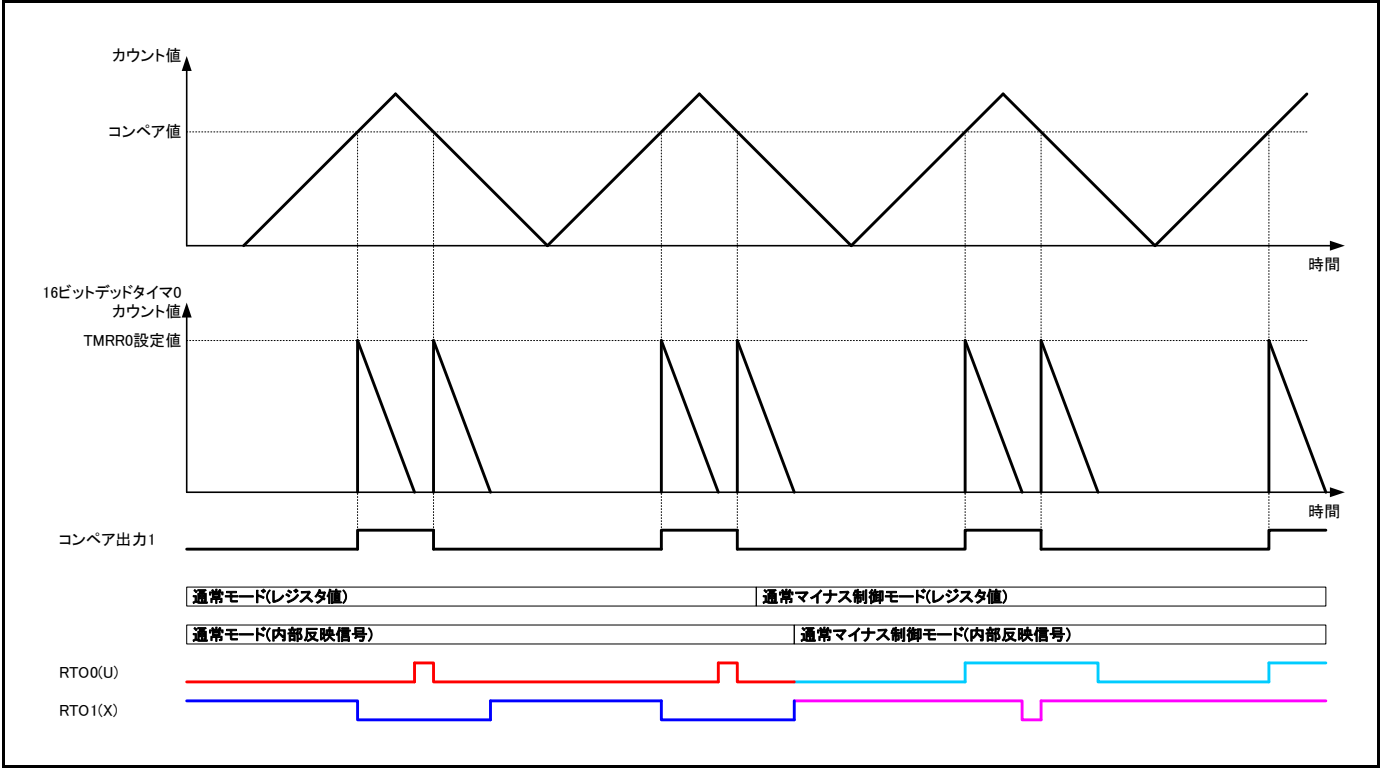


図 3-15 デッドタイムタイマモード動作中の通常モードから通常マイナス制御モードへの変更#2





(9) DTTI 入力制御の動作

波形制御レジスタ 1(SIGCR1)の DTTI 有効ビット(DTIE)に"1"を設定した場合、RTO0～RTO5 出力を DTTI 入力で制御できます。DTTI 入力の"L"が検出されると、RTO0～RTO5 出力はポート機能に切替わります。これは、割込みフラグ(SIGCR1 レジスタの DTIF)がクリアされるまで継続されます。波形ジェネレータモジュール外部にて、外部端子からの DTTI 信号の有効/無効制御とソフトウェア DTTI の生成を行います。また、2チャンネル中 1 チャンネルを選択する DTTI セクタモジュールがあります。これらの設定・制御によって上記 DTTI 入力源が確立されます(図 2-2 参照)。

(10) DTTI 入力の動作

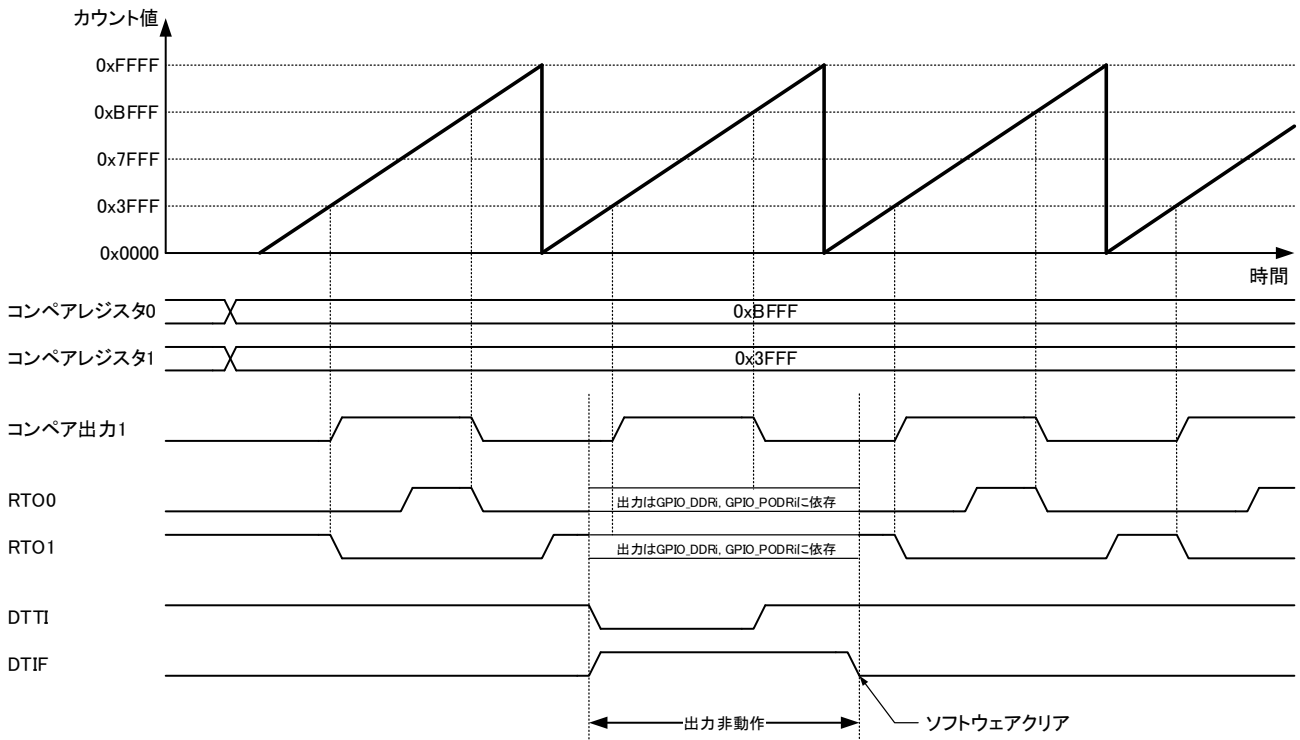
DTTI 入力の"L"が検出された場合でも、波形ジェネレータが動作している間はタイマ動作を継続します。

図 3-16 DTTI 入力の有効のときの動作

〈レジスタの設定〉

TC DT : "0XXXX"
 TC CS : "0bXXXXXXXX X0X0XXX ----XXX"
 CPCLR : "0XXXX" (サイクルの設定)
 OSCP0～OSCP5 : "0XXXX" (コンペア値)
 OCS01～OCS45 : "0b-XX1XXXX XXXXXX11"
 DTCR0～DTCR2 : "0b011XX010"
 TMR0～TMR2 : "0XXXX" (ノンオーバーラップタイミング設定)
 SIGCR10 : "0b1XXXXX00" (DTTI 入力と16ビットデッドタイムカウンタクロックの設定)

(注意事項) "X": 動作に従って設定してください。



(11) 波形制御レジスタ 2(SIGCR2)の DTTI の動作

波形制御レジスタ 2 の DTTI の出力は, DTTI 入力と OR をとって DTTI 入力となるようになっています。したがって, 本レジスタを"0"に設定した場合, 常に DTTI 入力状態となり, DTTI 入力は無意味です。本レジスタに, "1"を書き込んでクリアした場合, DTTI 入力の値が用いられます。

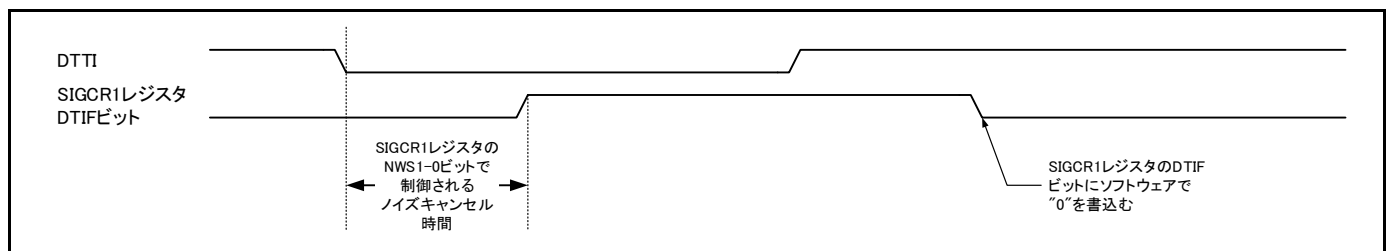
(12) DTTI 入力ノイズキャンセル機能

波形制御レジスタ 1(SIGCR1)の NRS1 に"1"を設定した場合, DTTI 入力のノイズキャンセル機能が有効になります。ノイズキャンセル機能が有効になると, 出力端子(RTO0~RTO5)を非動作レベルに固定するために要する時間が 4, 8, 16 または 32 周辺クロックサイクル(SIGCR1 レジスタの NWS[1:0]で選択)だけ遅延します。ノイズキャンセル回路はリソースを使用するので, 発振が停止するモード(停止モードなど) 時において DTTI 入力が有効になった場合でも入力は無効になります。

(13) DTTI 割込み

DTTI の"L"レベルが検出されると, ノイズキャンセル時間が経過した後で DTTI 割込みフラグ(SIGCR1 レジスタの DTIF)に"1"が設定され, 割込み要求は割込みコントローラへ送信されます。

図 3-17 DTTI 割込みタイミング

**<注意事項>**

- ノイズキャンセル時間内に SIGCR1 レジスタの NWS[1:0]ビットの値が変化した場合, さらに大きな(NWS[1:0])ノイズサイクル値が有効になります。
- SIGCR1 レジスタの DTIF は, ソフトウェアでのみクリアできます。

(14) 波形ジェネレータ出力レベル変換制御

外部に接続されるスイッチ極性に合わせて波形ジェネレータの出力レベルを個別に設定できます。(図 2-3 参照)



3.1. 波形ジェネレータの割込み

波形ジェネレータの割込みには、アンダフロー割込みと DTTI 割込みがあります。

波形ジェネレータの割込み制御ビットと割込み要因を表 3-2 と表 3-3 に示します。

表 3-2 波形ジェネレータの割込み制御ビットと割込み要因#1

	16 ビットデッドタイム 0/1/2			DTTI
割込み要求 フラグビット	16 ビットデッドタイム 状態制御レジスタ 0 (DTCR0)の TMIF0	16 ビットデッドタイム 状態制御レジスタ 1 (DTCR1)の TMIF1	16 ビットデッドタイム 状態制御レジスタ 2 (DTCR2)の TMIF2	波形制御レジスタ 1 (SIGCR1)の DTIF
割込み要求 許可ビット	16 ビットデッドタイム 状態制御レジスタ 0 (DTCR0)の TMIE0	16 ビットデッドタイム 状態制御レジスタ 1 (DTCR1)の TMIE1	16 ビットデッドタイム 状態制御レジスタ 2 (DTCR2)の TMIE2	-
割込み要因	16 ビットデッドタイム 0 の アンダフロー	16 ビットデッドタイム 1 の アンダフロー	16 ビットデッドタイム 2 の アンダフロー	DTTI で"L"レベルが 検出される

波形ジェネレータでは、16ビットデッドタイムのアンダフローが発生し、かつ16ビットデッドタイム状態制御レジスタ(DTCR)の TMD2~0/TMD5~3/TMD8~6 が"0b000"または"0b001"のとき、16ビットデッドタイム状態制御レジスタ(DTCR)の TMIF0/TMIF1/TMIF2 には"1"が設定されます。

この状態において割込み要求が許可(16ビットデッドタイム状態制御レジスタ(DTCR)の TMIE0/TMIE1/TMIE2="1")になると、割込み要求は割込みコントローラへ出力されます。

表 3-3 波形ジェネレータの割込み制御ビットと割込み要因#2

	16 ビットデッドタイム 0/1/2		
割込み要求 フラグビット	16 ビットデッドタイム リロード割込みレジスタ (DTIR)の DTRIF0	16 ビットデッドタイム リロード割込みレジスタ (DTIR)の DTRIF1	16 ビットデッドタイム リロード割込みレジスタ(DTIR)の DTRIF2
割込み要求 許可ビット	16 ビットデッドタイム リロード割込みレジスタ (DTIR)の DTRIE0	16 ビットデッドタイム リロード割込みレジスタ (DTIR)の DTRIE1	16 ビットデッドタイム リロード割込みレジスタ(DTIR)の DTRIE2
割込み要因	16 ビットデッドタイム 動作中のアンダフロー 発生前にリロードが発生	16 ビットデッドタイム 動作中のアンダフロー 発生前にリロードが発生	16 ビットデッドタイム 動作中のアンダフロー 発生前にリロードが発生

16ビットデッドタイム動作中に、タイマのアンダフローが発生する前にリロードが発生した場合、割込み要求フラグビットがセットされます。対応する割込み要求許可ビットが許可されているとき、割込み要求は割込みコントローラへ出力されます。

4. レジスタ

波形ジェネレータのレジスタ一覧を示します。

波形ジェネレータの一部を除くレジスタにはプレフィックス(WFGxx_)が付きます。xxはユニット番号(xx=00～03)に対応しています。

表 4-1 波形ジェネレータのレジスタ一覧

レジスタ略称	レジスタ名	参照先
WFGxx_TMRR0/ WFGxx_TMRR1/ WFGxx_TMRR2	16 ビットデッドタイムレジスタ 0 16 ビットデッドタイムレジスタ 1 16 ビットデッドタイムレジスタ 2	4.1
WFGxx_DTCR0/ WFGxx_DTCR1/ WFGxx_DTCR2	16 ビットデッドタイム状態制御レジスタ 0 16 ビットデッドタイム状態制御レジスタ 1 16 ビットデッドタイム状態制御レジスタ 2	4.2
WFGxx_DTIR	16 ビットデッドタイムリロード割込みレジスタ	4.3
WFGxx_DTMNS	16 ビットデッドタイムマイナス制御レジスタ	4.4
WFGxx_SIGCR1/WFGxx_SIGCR2	波形制御レジスタ 1, 波形制御レジスタ 2	4.5
WFGxx_PICS	PPG 出力制御レジスタ	4.6
WFGxx_DTCRC0/ WFGxx_DTCRC1/ WFGxx_DTCRC2	16 ビットデッドタイム状態制御クリアレジスタ 0 16 ビットデッドタイム状態制御クリアレジスタ 1 16 ビットデッドタイム状態制御クリアレジスタ 2	4.7
WFGxx_DTIRC	16 ビットデッドタイムリロード割込みクリアレジスタ	4.8
WFGxx_SIGCR1C	波形制御クリアレジスタ 1	4.9
WFGxx_DTCRS0/ WFGxx_DTCRS1/ WFGxx_DTCRS2	16 ビットデッドタイム状態制御セットレジスタ 0 16 ビットデッドタイム状態制御セットレジスタ 1 16 ビットデッドタイム状態制御セットレジスタ 2	4.10
WFGxx_DTIRS	16 ビットデッドタイムリロード割込みセットレジスタ	4.11
WFGxx_SIGCR1S	波形制御セットレジスタ 1	4.12
WFG02_DTISR/ WFG03_DTISR	DTTI 選択レジスタ 0(波形ジェネレータ 0/1 用) DTTI 選択レジスタ 1(波形ジェネレータ 2/3 用)	4.13
SDTCR2	ソフトウェア DTTI 制御レジスタ	4.14
EDTCR2	外部 DTTI 入力制御レジスタ	4.15
RTOSEL3/ RTOSEL2/ RTOSEL1/ RTOSEL0	RTO 出力レベル変換レジスタ 3 RTO 出力レベル変換レジスタ 2 RTO 出力レベル変換レジスタ 1 RTO 出力レベル変換レジスタ 0	4.16

xx: ユニット番号(xx=00, 01, 02, 03)



4.1. 16 ビットデッドタイムレジスタ n(WFGxx_TMRRn)(n=0~2)

16 ビットデッドタイムレジスタ n(WFGxx_TMRRn) (n=0~2)は、16 ビットデッドタイムのコンペア値を設定します。

(1) 16 ビットデッドタイムレジスタ 0, 2(WFGxx_TMRR0, WFGxx_TMRR2)

Bit	31-16
Field	TR
R/W 属性	R/W
保護属性	-
初期値	00000000_00000001

[bit31:16] TR[15:0]: 16 ビットデッドタイムコンペア値ビット

- 16 ビットデッドタイムのコンペア値を設定します。
- 本レジスタ値は、16 ビットデッドタイムが動作を開始したときリロードされます。
- タイマ動作中にこれらのレジスタに値が再書き込みされると、この新しい値は次のタイマ開始/動作時に有効になります。
- デッドタイムタイマモード時は、これらのレジスタはノンオーバーラップ時間を設定するために使用します。
- ノンオーバーラップ時間 = (設定値) × 選択されたクロック
- タイマモード時は、これらのレジスタはPPG タイマ動作のGATE 時間を設定するために使用します。
GATE 時間 = (設定値) × 選択されたクロック

<注意事項>

- 本レジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令を使用してください。
- 本レジスタに"0x0000"を設定しないでください。

(2) 16 ビットデッドタイムレジスタ 1(WFGxx_TMRR1)

Bit	15-0
Field	TR
R/W 属性	R/W
保護属性	-
初期値	00000000_00000001

[bit15:0] TR[15:0]: 16 ビットデッドタイムコンペア値ビット

- 16 ビットデッドタイムのコンペア値を格納するために使用します。
- 本レジスタ値は、16 ビットデッドタイムが動作を開始したときリロードされます。
- タイマ動作中にこれらのレジスタに値が再書き込みされると、この新しい値は次のタイマ開始/動作時に有効になります。
- デッドタイムタイマモード時は、これらのレジスタはノンオーバーラップ時間を設定するために使用します。
ノンオーバーラップ時間 = (設定値) × 選択されたクロック
- タイマモード時は、これらのレジスタはPPG タイマ動作のGATE 時間を設定するために使用します。
GATE 時間 = (設定値) × 選択されたクロック

<注意事項>

- 本レジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令を使用してください。
- 本レジスタに"0x0000"を設定しないでください。



4.2. 16 ビットデッドタイム状態制御レジスタ n (WFGxx_DTCRn) (n=0~2)

16 ビットデッドタイム状態制御レジスタ n (WFGxx_DTCRn)は、波形ジェネレータの動作モード、割込み要求許可、割込み要求フラグ、GATE 信号許可、および出力レベル極性を制御するために使用します。本レジスタへの書き込みについての詳細は、「5. 使用上の注意」を参照してください。

(1) 16 ビットデッドタイム状態制御レジスタ 0(WFGxx_DTCR0)

Bit	31	30	29	28	27	26	25	24
Field	DMOD0	GTEN1	GTEN0	TMIF0	TMIE0	TMD2	TMD1	TMD0
R/W 属性	R/W	R/W	R/W	R,W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit31] DMOD0: 出力極性制御ビット

- このビットは、デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。
- このビットを設定した場合、U/V/W の出力極性は反転します。
- このビットは、DTCRC0 レジスタの DMODC0 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS0 レジスタの DMODS0 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	通常極性出力
1	反転極性出力

<注意事項>

- このビットは、デッドタイムタイマモードが選択されていない場合(TMD2="0")は意味がありません。

[bit30] GTEN1: GATE 信号制御ビット 1

- このビットは、アウトプットコンペアのコンペア出力 1 で PPG タイマの起動、停止を制御します。
- 0 に設定した場合、PPG タイマの起動、停止を行いません。
- 1 に設定した場合、PPG タイマの起動、停止を行います。
- このビットは、DTCRC0 レジスタの GTENC1 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS0 レジスタの GTENS1 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	GATE 信号は、アウトプットコンペアのコンペア出力 1 で制御されない(非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力 1 で制御される(同期モード)

[bit29] GTEN0: GATE 信号制御ビット 0

- このビットは、アウトプットコンペアのコンペア出力 0 で PPG タイマの起動、停止を制御します。
- 0 に設定した場合、PPG タイマの起動、停止を行いません。
- 1 に設定した場合、PPG タイマの起動、停止を行います。
- このビットは、DTCRC0 レジスタの GTENC0 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS0 レジスタの GTENS0 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	GATE 信号は、アウトプットコンペアのコンペア出力 0 で制御されない(非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力 0 で制御される(同期モード)

[bit28] TMIF0：割込み要求フラグビット

- このビットは、16 ビットデッドタイムの割込み要求フラグとして使用します。
- このビットは、16 ビットデッドタイムでアンダフローが発生した場合に"1"が設定されます。
- このビットに"0"を書き込むと、このビットはクリアされます。"1"を書き込んでも、このビットは影響されません。
- このビットは、DTCRC0 レジスタの TMIFC0 ビットに"1"を設定することで、"0"にクリアされます。

bit	説明	
	読出し時	書き込み時
0	カウンタのアンダフローが検出されない	このビットはクリアされる
1	カウンタのアンダフローが検出された	このビットは影響を受けない

<注意事項>

- このビットは、TMD2～TMD0 が"0b000"または"0b001"の場合のみ機能し、ほかの値の場合は必ず"0"になります。
- ソフトウェアクリア("0"書き込み)とハードウェアセット(16 ビットデッドタイム0 でアンダフローが発生する)が同時に発生した場合は、ハードウェアセットがソフトウェアクリアよりも優先され、このビットはセットされます。

[bit27] TMIE0：割込み要求許可ビット、ソフトウェアトリガビット

- このビットは、16 ビットデッドタイムのソフトウェアトリガビットおよび割込み許可ビットとして使用します。
- TMD2～TMD0 が"0b000"または"0b001"の場合、このビットは16 ビットデッドタイムのソフトウェアトリガとして使用されます。このビットを"0"から"1"へ変更した場合、16 ビットデッドタイムのトリガとなり、値がリロードされ、ダウンカウントが開始します。
- このビットが"1"であり、割込み要求フラグビット(TMIF0)が"1"の場合、割込み要求がCPU へ送られます。
- このビットは、DTCRC0 レジスタの TMIEC0 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS0 レジスタの TMIES0 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	16 ビットデッドタイムでアンダフローが発生しても割込みを生成しない
1	16 ビットデッドタイムでアンダフローが発生した場合、割込みを生成する

<注意事項>

- 16 ビットデッドタイムを再度トリガとする場合には、このビットに"1"を書き込む前に必ず"0"を書き込んでください。

[bit26:24] TMD2～TMD0：動作モードビット

- これらのビットは、波形ジェネレータの動作モードを選択するために使用します。
- TMD2～TMD0 が"0b000"の場合、アウトプットコンペアのコンペア出力0 とコンペア出力1 の信号は、RTO0 と RTO1 のそれぞれから出力されます。また、16 ビットデッドタイムはリロードタイムとしても使用できます。
- TMD2～TMD0 が"0b001"の場合、アウトプットコンペアのコンペア出力0 とコンペア出力1 の信号は、PPG 出力が禁止(PPG 出力制御レジスタ(PICS)の PGEN0 ="0", PGEN1 ="0")になると、RTO0 と RTO1 のそれぞれから出力されます。PPG 出力が許可(PPG 出力制御レジスタ(PICS)の PGEN0 ="1", PGEN1 ="1")になると、アウトプットコンペアのコンペア出力0 とコンペア出力1 の信号が"H"の間に PPG パルスが、RTO0 と RTO1 のそれぞれから出力されます。また、16 ビットデッドタイムはリロードタイムとしても使用できます。
- TMD2～TMD0 が"0b010"の場合、アウトプットコンペアのコンペア出力0 とコンペア出力1 の立上りエッジがトリガとなり、16 ビットデッドタイムが起動します。PPG 出力禁止(PPG 出力制御レジスタ(PICS)



の PGEN0 ="0", PGEN1 ="0")の場合, 16 ビットデッドタイムが起動から停止するまで RTO0 と RTO1 のそれぞれから "H" を出力します。PPG 出力許可(PPG 出力制御レジスタ(PICS)の PGEN0 ="1", PGEN1 ="1")の場合, 16 ビットデッドタイムが起動から停止するまで RTO0 と RTO1 のそれぞれから PPG パルスを出力します(タイマモード)。アウトプットコンペアのコンペア出力 0 は RTO0 を制御し, アウトプットコンペアのコンペア出力 1 は RTO1 を制御します。

- TMD2~TMD0 が "0b100" の場合, アウトプットコンペアのコンペア出力 0, コンペア出力 1 の各信号に対し, ノンオーバーラップ信号を生成し, RTO0 と RTO1 に出力します。(デッドタイムタイマモード)

TMD2, TMD1, TMD0	説明
000	アウトプットコンペア出力信号を出力する
001	PPG 出力禁止の場合, アウトプットコンペア出力信号を出力する。 PPG 出力許可の場合, アウトプットコンペア出力信号が "H" の間に PPG パルスを出力する
010	アウトプットコンペア信号の立上りエッジがトリガとなり, 16 ビットデッドタイムが起動する。 PPG 出力禁止の場合, 16 ビットデッドタイムが開始から停止するまで "H" を出力する。 PPG 出力許可の場合, 16 ビットデッドタイムが開始から停止するまで PPG パルスを出力する。 (タイマモード)
100	アウトプットコンペア出力信号でノンオーバーラップ信号を生成する(デッドタイムタイマモード)
111	禁止
その他	禁止

(2) 16 ビットデッドタイム状態制御レジスタ 1(WFGxx_DTCR1)

Bit	23	22	21	20	19	18	17	16
Field	DMOD1	GTEN3	GTEN2	TMIF1	TMIE1	TMD5	TMD4	TMD3
R/W 属性	R/W	R/W	R/W	R,W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit23] DMOD1: 出力極性制御ビット

- このビットは、デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。
- このビットを設定した場合、U/V/W の出力極性は反転します。
- このビットは、DTCRC1 レジスタの DMODC1 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS1 レジスタの DMODS1 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	通常極性出力
1	反転極性出力

<注意事項>

- このビットは、デッドタイムタイマモードが選択されていない場合(TMD5="0")は意味がありません。

[bit22] GTEN3: GATE 信号制御ビット 3

- このビットは、アウトプットコンペアのコンペア出力 3 で PPG タイマの起動、停止を制御します。
- 0 に設定した場合、PPG タイマの起動、停止を行いません。
- 1 に設定した場合、PPG タイマの起動、停止を行います。
- このビットは、DTCRC1 レジスタの GTENC3 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS1 レジスタの GTENS3 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	GATE 信号は、アウトプットコンペアのコンペア出力 3 で制御されない(非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力 3 で制御される(同期モード)

[bit21] GTEN2: GATE 信号制御ビット 2

- このビットは、アウトプットコンペアのコンペア出力 2 で PPG タイマの起動、停止を制御します。
- 0 に設定した場合、PPG タイマの起動、停止を行いません。
- 1 に設定した場合、PPG タイマの起動、停止を行います。
- このビットは、DTCRC1 レジスタの GTENC2 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS1 レジスタの GTENS2 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	GATE 信号は、アウトプットコンペアのコンペア出力 2 で制御されない(非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力 2 で制御される(同期モード)

[bit20] TMIF1: 割込み要求フラグビット

- このビットは、16 ビットデッドタイムの割込み要求フラグとして使用します。
- このビットは、16 ビットデッドタイムでアンダフローが発生した場合"1"が設定されます。
- このビットに"0"を書き込むと、このビットはクリアされます。"1"を書き込んでも、このビットは影響されません。
- このビットは、DTCRC1 レジスタの TMIFC1 ビットに"1"を設定することで、"0"にクリアされます。



bit	説明	
	読出し時	書き込み時
0	カウンタのアンダフローが検出されない	このビットはクリアされる
1	カウンタのアンダフローが検出された	このビットは影響を受けない

＜注意事項＞

- このビットは、TMD5～TMD3が"0b000"または"0b001"の場合のみ機能し、ほかの値の場合は必ず"0"になります。
- ソフトウェアクリア("0"書き込み)によるクリアとハードウェアによるセット(16ビットデッドタイム0でアンダフローが発生する)が同時に発生した場合は、ハードウェアによるセットが優先されます。

[bit19] TMIE1: 割込み要求許可ビット, ソフトウェアトリガビット

- このビットは、16ビットデッドタイムのソフトウェアトリガビットおよび割込み許可ビットとして使用します。
- TMD5～TMD3が"0b000"または"0b001"の場合、このビットは16ビットデッドタイムのソフトウェアトリガとして使用されます。このビットを"0"から"1"へ変更した場合、16ビットデッドタイムのトリガとなり、値がリロードされ、ダウンカウントが開始します。
- このビットが"1"であり、割込み要求フラグビット(TMIF1)が"1"の場合、割込み要求がCPUへ送られます。
- このビットは、DTCRC1レジスタのTMIEC1ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS1レジスタのTMIES1ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	16ビットデッドタイムでアンダフローが発生しても割込みを生成しない
1	16ビットデッドタイムでアンダフローが発生した場合、割込みを生成する

＜注意事項＞

- 16ビットデッドタイムを再度トリガとする場合には、このビットに"1"を書き込む前に必ず"0"を書き込んでください。

[bit18:16] TMD5～TMD3: 動作モードビット

- これらのビットは、波形ジェネレータの動作モードを選択するために使用します。
- TMD5～TMD3が"0b000"の場合、アウトプットコンペアのコンペア出力2とコンペア出力3は、RTO2とRTO3のそれぞれから出力されます。また、16ビットデッドタイムはリロードタイムとしても使用できます。
- TMD5～TMD3が"0b001"の場合、アウトプットコンペアのコンペア出力2とコンペア出力3の信号は、PPG出力が禁止(PPG出力制御レジスタ(PICS)のPGEN2="0", PGEN3="0")になると、RTO2とRTO3のそれぞれから出力されます。PPG出力が許可(PPG出力制御レジスタ(PICS)のPGEN2="1", PGEN3="1")になると、アウトプットコンペアのコンペア出力2とコンペア出力3の信号が"H"の間にPPGパルスが、RTO2とRTO3のそれぞれから出力されます。また、16ビットデッドタイムはリロードタイムとしても使用できます。
- TMD5～TMD3が"0b010"の場合、アウトプットコンペアのコンペア出力2とコンペア出力3の立上りエッジがトリガとなり、16ビットデッドタイムが起動します。PPG出力禁止(PPG出力制御レジスタ(PICS)のPGEN2="0", PGEN3="0")の場合、16ビットデッドタイムが開始から停止するまでRTO2とRTO3のそれぞれから"H"を出力します。PPG出力許可の場合、16ビットデッドタイムが開始から停止するまでRTO2とRTO3のそれぞれからPPGパルスを出力します(タイムモード)。アウトプットコンペアのコンペア出力2はRTO2を制御し、アウトプットコンペアのコンペア出力3はRTO3を制御します。
- TMD5～TMD3が"0b100"の場合、アウトプットコンペアのコンペア出力2、コンペア出力3の各信号に対し、ノンオーバーラップ信号を生成し、RTO2とRTO3に出力します。(デッドタイムタイムモード)



TMD5TMD4TMD3	説明
000	アウトプットコンペア出力信号を出力する
001	PPG 出力禁止の場合, アウトプットコンペア出力信号を出力する。 PPG 出力許可の場合, アウトプットコンペア出力信号が"H"の間に PPG パルスを出力する
010	アウトプットコンペア信号の立上りエッジがトリガとなり, 16 ビットデッドタイムが起動する。 PPG 出力禁止の場合, 16 ビットデッドタイムが開始から停止するまで"H"を出力する。 PPG出力許可の場合, 16ビットデッドタイムが開始から停止するまでPPGパルスを出力する。 (タイマモード)
100	アウトプットコンペア出力信号でノンオーバーラップ信号を生成する(デッドタイムタイマモード)
111	禁止
その他	禁止



(3) 16 ビットデッドタイム状態制御レジスタ 2(WFGxx_DTCR2)

Bit	15	14	13	12	11	10	9	8
Field	DMOD2	GTEN5	GTEN4	TMIF2	TMIE2	TMD8	TMD7	TMD6
R/W 属性	R/W	R/W	R/W	R,W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit15] DMOD2: 出力極性制御ビット

- このビットは、デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。
- このビットを設定した場合、U/V/W の出力極性は反転します。
- このビットは、DTCRC2 レジスタの DMODC2 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS2 レジスタの DMODS2 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	通常極性出力
1	反転極性出力

<注意事項>

- このビットは、デッドタイムタイマモードが選択されていない場合(TMD8="0")は意味がありません。

[bit14] GTEN5: GATE 信号制御ビット 5

- このビットは、アウトプットコンペアのコンペア出力 5 で PPG タイマの起動、停止を制御します。
- "0"に設定した場合、PPG タイマの起動、停止を行いません。
- "1"に設定した場合、PPG タイマの起動、停止を行います。
- このビットは、DTCRC2 レジスタの GTENC5 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS2 レジスタの GTENS5 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	GATE 信号は、アウトプットコンペアのコンペア出力 5 で制御されない(非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力 5 で制御される(同期モード)

[bit13] GTEN4: GATE 信号制御ビット 4

- このビットは、アウトプットコンペアのコンペア出力 4 で PPG タイマの起動、停止を制御します。
- "0"に設定した場合、PPG タイマの起動、停止を行いません。
- "1"に設定した場合、PPG タイマの起動、停止を行います。
- このビットは、DTCRC2 レジスタの GTENC4 ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS2 レジスタの GTENS4 ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	GATE 信号は、アウトプットコンペアのコンペア出力 4 で制御されない(非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力 4 で制御される(同期モード)

[bit12] TMIF2: 割込み要求フラグビット

- このビットは、16 ビットデッドタイムの割込み要求フラグとして使用します。
- このビットは、16 ビットデッドタイムでアンダフローが発生した場合、"1"が設定されます。
- このビットに"0"を書き込むと、このビットはクリアされます。"1"を書き込んでも、このビットは影響されません。
- このビットは、DTCRC2 レジスタの GTENC2 ビットに"1"を設定することで、"0"にクリアされます。

bit	説明	
	読出し時	書き込み時
0	カウンタのアンダフローが検出されない	このビットはクリアされる
1	カウンタのアンダフローが検出された	このビットは影響を受けない

＜注意事項＞

- このビットは、TMD8～TMD6が"0b000"または"0b001"の場合のみ機能し、ほかの値の場合は必ず"0"になります。
- ソフトウェアクリア("0"書き込み)によるクリアとハードウェアによるセット(16ビットデッドタイム0でアンダフローが発生する)が同時に発生した場合は、ハードウェアによるセットが優先されます。

[bit11] TMIE2: 割込み要求許可ビット, ソフトウェアトリガビット

- このビットは、16ビットデッドタイムのソフトウェアトリガビットおよび割込み許可ビットとして使用します。
- TMD8～TMD6が"0b000"または"0b001"の場合、このビットは16ビットデッドタイムのソフトウェアトリガとして使用されます。このビットを"0"から"1"へ変更した場合、16ビットデッドタイムのトリガとなり、値がリロードされ、ダウンカウントが開始します。
- このビットが"1"であり、割込み要求フラグビット(TMIF2)が"1"の場合、割込み要求がCPUへ送られます。
- このビットは、DTCRC2レジスタのTMIEC2ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、DTCRS2レジスタのTMIES2ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	16ビットデッドタイムでアンダフローが発生しても割込みを生成しない
1	16ビットデッドタイムでアンダフローが発生した場合、割込みを生成する

＜注意事項＞

- 16ビットデッドタイムを再度トリガとする場合には、このビットに"1"を書き込む前に必ず"0"を書き込んでください。

[bit10:8] TMD8～TMD6: 動作モードビット

- これらのビットは、波形ジェネレータの動作モードを選択するために使用します。
- TMD8～TMD6が"0b000"の場合、アウトプットコンペアのコンペア出力4とコンペア出力5の信号は、RTO4とRTO5のそれぞれから出力されます。また、16ビットデッドタイムはリロードタイムとしても使用できます。
- TMD8～TMD6が"0b001"の場合、アウトプットコンペアのコンペア出力4とコンペア出力5の信号は、PPG出力が禁止(PPG出力制御レジスタ(PICS)のPGEN4="0", PGEN5="0")になると、RTO4とRTO5のそれぞれから出力されます。PPG出力が許可(PPG出力制御レジスタ(PICS)のPGEN4="1", PGEN5="1")になると、アウトプットコンペアのコンペア出力4とコンペア出力5の信号が"H"の間にPPGパルスが、RTO4とRTO5のそれぞれから出力されます。また、16ビットデッドタイムはリロードタイムとしても使用できます。
- TMD8～TMD6が"0b010"の場合、各OUT信号の立上りエッジがトリガとなり、16ビットデッドタイムが起動します。PPG出力禁止の場合、16ビットデッドタイムが停止するまで"H"を出力します。PPG出力許可の場合、16ビットデッドタイムが停止するまでPPGパルスを出力します。(タイムモード)
- TMD8～TMD6が"0b100"の場合、OUT信号でノンオーバーラップ信号を生成します。(デッドタイムタイムモード)



TMD8TMD7TMD6	説明
000	アウトプットコンペア出力信号を出力する
001	PPG 出力禁止の場合, アウトプットコンペア出力信号を出力する。 PPG 出力許可の場合, アウトプットコンペア出力信号が"H"の間に PPG パルスを出力する。
010	アウトプットコンペア信号の立上りエッジがトリガとなり, 16ビットデッドタイムが起動する。 PPG 出力禁止の場合, 16 ビットデッドタイムが開始から停止するまで"H"を出力する。 PPG 出力許可の場合, 16 ビットデッドタイムが開始から停止するまで PPG パルスを出力する。 (タイマモード)
100	アウトプットコンペア出力信号でノンオーバーラップ信号を生成する(デッドタイムタイマモード)
111	禁止
その他	禁止

4.3. 16 ビットデッドタイマリロード割込みレジスタ(WFGxx_DTIR)

16 ビットデッドタイマリロード割込みレジスタ(WFGxx_DTIR)は、タイマがアンダフローする前にリロードされるときの割込み要求、および割込み要求許可を制御するために使用します。本レジスタへの書込みについての詳細は、「5. 使用上の注意」を参照してください。

Bit	23	22	21	20	19	18	17	16
Field	DTRIF2	DTRIE2	DTRIF1	DTRIE1	DTRIF0	DTRIE0	Reserved	
R/W 属性	R,W	R/W	R,W	R/W	R,W	R/W	R0,W0	
保護属性	-							
初期値	0	0	0	0	0	0	00	

[bit23] DTRIF2: 16 ビットデッドタイマ 2 リロード割込みフラグビット

- 16 ビットデッドタイマ 2 において、タイマがアンダフローする前にリロードされると、このビットは "1" にセットされます。
- このビットと割込み要求許可ビット(DTIR:DTRIE2)が "1" のときに割込み要求を発生します。
- 書込み時は、"0" でこのビットがクリアされ、"1" では変化せずほかへの影響はありません。
- このビットは、DTIRC レジスタの DTRIFC2 ビットに "1" を設定することで、"0" にクリアされます。

bit	説明	
	読出し時	書込み時
0	デッドタイマのリロードが検出されない	このビットはクリアされる
1	デッドタイマのリロードが検出された	このビットは影響を受けない

<注意事項>

- ソフトウェアクリア("0"書込み)によるクリアとハードウェアによるセットが同時に発生した場合は、ハードウェアによるセットが優先されます。

[bit22] DTRIE2: 16 ビットデッドタイマ 2 リロード割込み許可ビット

- CPU への割込み出力の許可/禁止をするビットです。
- このビットと割込み要求フラグビット(DTIR:DTRIF2)が "1" のときに割込み要求を発生します。
- このビットは、DTIRC レジスタの DTRIEC2 ビットに "1" を設定することで、"0" にクリアされます。
- このビットは、DTIRS レジスタの DTRIES2 ビットに "1" を設定することで、"1" にセットされます。

bit	説明
0	16 ビットデッドタイマでリロードが発生しても割込みを生成しない
1	16 ビットデッドタイマでリロードが発生した場合、割込みを生成する。

[bit21] DTRIF1: 16 ビットデッドタイマ 1 リロード割込みフラグビット

- 16 ビットデッドタイマ 1 において、タイマがアンダフローする前にリロードされると、このビットは "1" にセットされます。
- このビットと割込み要求許可ビット(DTIR:DTRIE1)が "1" のときに割込み要求を発生します。
- 書込み時は、"0" でこのビットがクリアされ、"1" では変化せずほかへの影響はありません。
- このビットは、DTIRC レジスタの DTRIFC1 ビットに "1" を設定することで、"0" にクリアされます。

bit	説明	
	読出し時	書込み時
0	デッドタイマのリロードが検出されない	このビットはクリアされる
1	デッドタイマのリロードが検出された	このビットは影響を受けない



＜注意事項＞

- － ソフトウェアクリア("0"書き込み)によるクリアとハードウェアによるセットが同時に発生した場合は、ハードウェアによるセットが優先されます。

[bit20] DTRIE1: 16 ビットデッドタイム 1 リロード割込み許可ビット

- － CPU への割込み出力の許可/禁止をするビットです。
- － このビットと割込み要求フラグビット(DTIR:DTRIF1)が"1"のときに割込み要求が発生します。
- － このビットは, DTIRC レジスタの DTRIEC1 ビットに"1"を設定することで, "0"にクリアされます。
- － このビットは, DTIRS レジスタの DTRIES1 ビットに"1"を設定することで, "1"にセットされます。

bit	説明
0	16 ビットデッドタイムでリロードが発生しても割込みを生成しない
1	16 ビットデッドタイムでリロードが発生した場合, 割込みを生成する。

[bit19] DTRIF0: 16 ビットデッドタイム 0 リロード割込みフラグビット

- － 16 ビットデッドタイム 0 において, タイマがアンダフローする前にリロードされると, このビットは "1"にセットされます。
- － このビットと割込み要求許可ビット(DTIR:DTRIE0)が"1"のときに割込み要求が発生します。
- － 書き込み時は, "0"でこのビットがクリアされ, "1"では変化せずほかへの影響はありません。
- － このビットは, DTIRC レジスタの DTRIFC0 ビットに"1"を設定することで, "0"にクリアされます。

bit	説明	
	読出し時	書き込み時
0	デッドタイムのリロードが検出されない	このビットをクリアする
1	デッドタイムのリロードが検出された	このビットに影響を与えない

＜注意事項＞

- － ソフトウェアクリア("0"書き込み)によるクリアとハードウェアによるセットが同時に発生した場合は、ハードウェアによるセットが優先されます。

[bit18] DTRIE0: 16 ビットデッドタイム 0 リロード割込み許可ビット

- － CPU への割込み出力の許可/禁止をするビットです。
- － このビットと割込み要求フラグビット(DTIR:DTRIF0)が"1"のときに割込み要求が発生します。
- － このビットは, DTIRC レジスタの DTRIEC0 ビットに"1"を設定することで, "0"にクリアされます。
- － このビットは, DTIRS レジスタの DTRIES0 ビットに"1"を設定することで, "1"にセットされます。

bit	説明
0	16 ビットデッドタイムでリロードが発生しても割込みを生成しない
1	16 ビットデッドタイムでリロードが発生した場合, 割込みを生成する。

[bit17:16] Reserved: 予約ビット

4.4. 16 ビットデッドタイムマイナス制御レジスタ(WFGxx_DTMNS)

16ビットデッドタイムマイナス制御レジスタ(WFGxx_DTMNS)は、デッドタイム機能のマイナス制御を設定します。

本レジスタはキー許可ビット(KEY[1:0])を持っており、デッドタイム機能選択ビット(MNS2～MNS0)の設定には注意が必要です。

MNS2～MNS0 ビットに設定する際は、KEY[1:0]="0b00"と MNS2～MNS0="設定したい値" → KEY[1:0]="0b01"と MNS2～MNS0="設定したい値(前回と同じ値)" → KEY[1:0]="0b10"と MNS2～MNS0="設定したい値(前回と同じ値)" → KEY[1:0]="0b11"と MNS2～MNS0="設定したい値(前回と同じ値)"と連続して書き込みます。MNS2～MNS0 は 4 回目の書き込み時(KEY[1:0]="0b11"の書き込み時)に値が反映されます。このフローに従わない場合は(書き込みフローの途中でほかのレジスタに書き込みや読出しを行う場合、書き込み値が正しくないときおよび書き込みフローの途中で本レジスタに読出しを行う場合)本レジスタへの書き込みは無効となります。

Bit	7	6	5	4	3	2	1	0
Field	KEY		Reserved			MNS2	MNS1	MNS0
R/W 属性	R0,W		R0,W0			R,W	R,W	R,W
保護属性	-							
初期値	00		000			0	0	0

[bit7:6] KEY[1:0]: キー許可ビット

- MNS2～MNS0 の設定に使用するキーコードレジスタです。
- MNS2～MNS0 ビットに設定する際は、KEY[1:0]="0b00"と MNS2～MNS0="設定したい値" → KEY[1:0]="0b01"と MNS2～MNS0="設定したい値(前回と同じ値)" → KEY[1:0]="0b10"と MNS2～MNS0="設定したい値(前回と同じ値)" → KEY[1:0]="0b11"と MNS2～MNS0="設定したい値(前回と同じ値)"と連続して書き込みます。MNS2～MNS0 は 4 回目の書き込み時(KEY[1:0]="0b11"の書き込み時)に値が反映されます。
- このフローに従わない場合は(書き込みフローの途中でほかのレジスタに書き込みや読出しを行う場合、書き込み値が正しくないときおよび書き込みフローの途中で本レジスタに読出しを行う場合)本レジスタへの書き込みは無効となります。
- 読出し時、"0"が読み出されます。

[bit5:3] Reserved: 予約ビット

[bit2] MNS2: デッドタイム機能選択ビット

- RTO4 出力と RTO5 出力のデッドタイム機能の制御を選択します。
- "0"に設定した場合:デッドタイム機能のマイナス制御を行いません。
- "1"に設定した場合:デッドタイム機能のマイナス制御を行います。
- 設定する際は、KEY[1:0]ビットを使用した書き込みフローにしたがって行ってください。

bit	説明
0	デッドタイム機能のマイナス制御を行いません
1	デッドタイム機能のマイナス制御を行います。



[bit1] MNS1: デッドタイム機能選択ビット

- RTO2 出力と RTO3 出力のデッドタイム機能の制御を選択します。
- "0"に設定した場合:デッドタイム機能のマイナス制御を行いません。
- "1"に設定した場合:デッドタイム機能のマイナス制御を行います。
- 設定する際は, KEY[1:0]ビットを使用した書込みフローにしたがって行ってください。

bit	説明
0	デッドタイム機能のマイナス制御を行いません
1	デッドタイム機能のマイナス制御を行います。

[bit0] MNS0: デッドタイム機能選択ビット

- RTO0 出力と RTO1 出力のデッドタイム機能の制御を選択します。
- "0"に設定した場合:デッドタイム機能のマイナス制御を行いません。
- "1"に設定した場合:デッドタイム機能のマイナス制御を行います。
- 設定する際は, KEY[1:0]ビットを使用した書込みフローにしたがって行ってください。

bit	説明
0	デッドタイム機能のマイナス制御を行いません
1	デッドタイム機能のマイナス制御を行います。

4.5. 波形制御レジスタ 1/2(WFGxx_SIGCR1, WFGxx_SIGCR2)

波形制御レジスタ 1/2(WFGxx_SIGCR1, WFGxx_SIGCR2)は、動作クロック周波数、ノイズキャンセル機能有効、DTTI 有効、および DTTI 割込みを制御するために使用します。本レジスタへの書き込みについての詳細は、「5. 使用上の注意」を参照してください。

(1) 波形制御レジスタ 1(WFGxx_SIGCR1)

Bit	23	22	21	20	19	18	17	16
Field	DTIE	DTIF	NRSL	DCK			NWS	
R/W 属性	R/W	R,W	R/W	R/W			R/W	
保護属性	-							
初期値	0	0	0	000			00	

[bit23] DTIE: DTTI 有効ビット

- このビットは、RTO0～RTO5 出力の出力レベル制御用 DTTI 信号を有効にするために使用します。
- このビットは、SIGCR1C レジスタの DTIEC ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、SIGCR1S レジスタの DTIES ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	DTTI を無効にする。
1	DTTI を有効にする。

[bit22] DTIF: DTTI 割込みフラグビット

- このビットは、DTTI の割込みフラグです。
- DTTI 入力が無効になり (DTIE="1"), DTTI の"L"レベルが検出されると、このビットが設定され、割込み要求が発生します。
- DTTI 入力が無効な場合 (DTIE="1"), 波形ジェネレータ 0, 1 の DTTI 割込み要求は、それぞれ異常検出出力端子 ch.0(ERDS0), ch.1(ERDS1)へ出力できます。
- このビットに"0"を設定した場合: このビットはクリアされます。
- このビットに"1"を設定した場合: このビットは影響を受けません。
- このビットは、SIGCR1C レジスタの DTIFC ビットに"1"を設定することで、"0"にクリアされます。

bit	説明	
	読出し時	書き込み時
0	割込み要求なし。	このビットはクリアされる
1	割込み要求あり。	このビットは影響を受けない

<注意事項>

- ノイズキャンセル機能が有効になった場合 (NRSL="1")にノイズパルスが発生した場合、このビットには"1"が設定されます。
- ハードウェアによるセット (DTTI の"L"レベル検出)とソフトウェアクリア ("0"書き込み)によるクリアが同時に発生した場合は、ハードウェアによるセットが優先されます。
- DTTI 割込み要求を外部端子に出力するためには、I/O ポートのポート設定レジスタ (PPC_PCFGRIj) の POF[2:0]ビットによる設定が必要です。詳細は、『I/O ポート』の章および、『APPENDIX』の章の「I/O ポートの各種設定」の「出力リソース選択」を参照してください。



[bit21] NRSL: ノイズキャンセル機能有効ビット

- このビットは、ノイズキャンセル機能を有効にするために使用します。
- ノイズキャンセル回路は、カウンタでオーバフローが発生するまで"L"レベルが保持されると、DTTI入力信号を受け取ります。カウンタは、"L"レベル入力で操作される N ビットカウンタです。
- N は、NWS[1:0]の設定に基づいて 2, 3, 4 または 5 のいずれかの値になります。
- このビットは、SIGCR1C レジスタの NRSLC ビットに"1"を設定することで、"0"にクリアされます。
- このビットは、SIGCR1S レジスタの NRSLS ビットに"1"を設定することで、"1"にセットされます。

bit	説明
0	DTTI のノイズキャンセル回路が無効
1	DTTI のノイズキャンセル回路が有効

<注意事項>

- ノイズパルス幅をキャンセルするためには、約 2n 周辺クロックが必要です。
- ノイズキャンセル回路を選択した場合、周辺クロックが停止するモード(停止モードなど)時は、DTTI が無効になります。

[bit20:18] DCK[2:0]: 動作クロック選択ビット

これらのビットは、16 ビットデッドタイムの動作クロックを選択するために使用します。

bit[2:0]	説明
000	ϕ
001	$\phi/2$
010	$\phi/4$
011	$\phi/8$
100	$\phi/16$
101	$\phi/32$
110	$\phi/64$
111	禁止

ϕ : 周辺クロック

[bit17:16] NWS[1:0]: DTTI ノイズ幅選択ビット

これらのビットは、除去する DTTI ノイズパルス幅を選択するために使用します。

bit[17:16]	説明
00	4 周辺クロックサイクルノイズをキャンセル
01	8 周辺クロックサイクルノイズをキャンセル
10	16 周辺クロックサイクルノイズをキャンセル
11	32 周辺クロックサイクルノイズをキャンセル

(2) 波形制御レジスタ 2(WFGxx_SIGCR2)

Bit	7	6	5	4	3	2	1	0
Field	PSEL2		PSEL1		PSEL0		Reserved	DTTI
R/W 属性	R/W		R/W		R/W		R0,W0	R/W
保護属性	-							
初期値	00		00		00		0	1

[bit7:6] PSEL2[1:0]: PPG 入力チャネル選択ビット(RTO4, RTO5)

- このビットは, RTO4 出力, RTO5 出力用の PPG 入力を選択するために使用します。
- また, PPG への GATE 出力先の選択にも使用します。
- "0b11"は設定禁止です。

bit[7:6]	説明
00	PPG0
01	PPG2
10	PPG4
11	設定禁止(動作を保証しません)

[bit5:4] PSEL1[1:0]: PPG 入力チャネル選択ビット(RTO2, RTO3)

- このビットは, RTO2 出力, RTO3 出力用の PPG 入力を選択するために使用します。
- また, PPG への GATE 出力先の選択にも使用します。
- "0b11"は設定禁止です。

bit[5:4]	説明
00	PPG0
01	PPG2
10	PPG4
11	設定禁止(動作を保証しません)

[bit3:2] PSEL0[1:0]: PPG 入力チャネル選択ビット(RTO0, RTO1)

- このビットは, RTO0 出力, RTO1 出力用の PPG 入力を選択するために使用します。
- また, PPG への GATE 出力先の選択にも使用します。
- "0b11"は設定禁止です。

bit[3:2]	説明
00	PPG0
01	PPG2
10	PPG4
11	設定禁止(動作を保証しません)

[bit1] Reserved: 予約ビット



[bit0] DTTI: ソフトウェア DTTI ビット

- "0"を書き込むと DTTI のセットとなります。
- "1"を書き込むとクリアされます。

bit	説明
0	DTTI セット
1	DTTI クリア

<注意事項>

- DTTI入力と OR をとっているため、ソフトウェア DTTI ビットは DTTI 入力のレベルに依存します。

4.6. PPG 出力制御レジスタ(WFGxx_PICS)

PPG 出力制御レジスタ(WFGxx_PICS)は、PPG 出力を制御するために使用します。

Bit	31	30	29	28	27	26	25	24
Field	PGEN5	PGEN4	PGEN3	PGEN2	PGEN1	PGEN0	Reserved	
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	
保護属性	-							
初期値	0	0	0	0	0	0	00	

[bit31] PGEN5: PPG 出力許可ビット

このビットは RTO5 出力への PPG 出力を選択するために使用します。

bit	説明
0	RTO5 出力への PPG 出力を禁止する。
1	RTO5 出力への PPG 出力を許可する。

[bit30] PGEN4: PPG 出力許可ビット

このビットは RTO4 出力への PPG 出力を選択するために使用します。

bit	説明
0	RTO4 出力への PPG 出力を禁止する。
1	RTO4 出力への PPG 出力を許可する。

[bit29] PGEN3: PPG 出力許可ビット

このビットは RTO3 出力への PPG 出力を選択するために使用します。

bit	説明
0	RTO3 出力への PPG 出力を禁止する。
1	RTO3 出力への PPG 出力を許可する。

[bit28] PGEN2: PPG 出力許可ビット

このビットは RTO2 出力への PPG 出力を選択するために使用します。

bit	説明
0	RTO2 出力への PPG 出力を禁止する。
1	RTO2 出力への PPG 出力を許可する。

[bit27] PGEN1: PPG 出力許可ビット

このビットは RTO1 出力への PPG 出力を選択するために使用します。

bit	説明
0	RTO1 出力への PPG 出力を禁止する。
1	RTO1 出力への PPG 出力を許可する。



[bit26] PGEN0: PPG 出力許可ビット

このビットは RTO0 出力への PPG 出力を選択するために使用します。

bit	説明
0	RTO0 出力への PPG 出力を禁止する。
1	RTO0 出力への PPG 出力を許可する。

[bit25:24] Reserved: 予約ビット

4.7. 16 ビットデッドタイム状態制御クリアレジスタ n (WFGxx_DTCRCn) (n=0~2)

16 ビットデッドタイム状態制御クリアレジスタ n (WFGxx_DTCRCn)は、16 ビットデッドタイム状態制御レジスタ n (WFGxx_DTCRn)のビットをクリアするために使用します。

(1) 16 ビットデッドタイム状態制御クリアレジスタ 0(WFGxx_DTCRC0)

Bit	31	30	29	28	27	26	25	24
Field	DMODC0	GTENC1	GTENC0	TMIFC0	TMIEC0	Reserved		
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W0		
保護属性	-							
初期値	0	0	0	0	0	000		

[bit31] DMODC0: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで、WFGxx_DTCR0 レジスタの DMOD0 ビットが"0"にクリアされます。

bit	説明
0	DMOD0 ビットをクリアしません。
1	DMOD0 ビットをクリアします。

[bit30] GTENC1: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで、WFGxx_DTCR0 レジスタの GTEN1 ビットが"0"にクリアされます。

bit	説明
0	GTEN1 ビットをクリアしません。
1	GTEN1 ビットをクリアします。

[bit29] GTENC0: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで、WFGxx_DTCR0 レジスタの GTEN0 ビットが"0"にクリアされます。

bit	説明
0	GTEN0 ビットをクリアしません。
1	GTEN0 ビットをクリアします。

[bit28] TMIFC0: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで、WFGxx_DTCR0 レジスタの TMIF0 ビットがクリアされます。

bit	説明
0	TMIF0 ビットをクリアしません。
1	TMIF0 ビットをクリアします。



[bit27] TMIEC0: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR0 レジスタの TMIE0 ビットが"0"にクリアされます。

bit	説明
0	TMIE0 ビットをクリアしません。
1	TMIE0 ビットをクリアします。

[bit26:24] Reserved: 予約ビット

(2) 16 ビットデッドタイム状態制御クリアレジスタ 1(WFGxx_DTCRC1)

Bit	23	22	21	20	19	18	17	16
Field	DMODC1	GTENC3	GTENC2	TMIFC1	TMIEC1	Reserved		
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W0		
保護属性	-							
初期値	0	0	0	0	0	000		

[bit23] DMODC1: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC1 レジスタの DMOD1 ビットが"0"にクリアされます。

bit	説明
0	DMOD1 ビットをクリアしません。
1	DMOD1 ビットをクリアします。

[bit22] GTENC3: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC1 レジスタの GTEN3 ビットが"0"にクリアされます。

bit	説明
0	GTEN3 ビットをクリアしません。
1	GTEN3 ビットをクリアします。

[bit21] GTENC2: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC1 レジスタの GTEN2 ビットが"0"にクリアされます。

bit	説明
0	GTEN2 ビットをクリアしません。
1	GTEN2 ビットをクリアします。

[bit20] TMIFC1: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC1 レジスタの TMIF1 ビットがクリアされます。

bit	説明
0	TMIF1 ビットをクリアしません。
1	TMIF1 ビットをクリアします。

[bit19] TMIEC1: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC1 レジスタの TMIE1 ビットが"0"にクリアされます。

bit	説明
0	TMIE1 ビットをクリアしません。
1	TMIE1 ビットをクリアします。

[bit18:16] Reserved: 予約ビット



(3) 16 ビットデッドタイム状態制御クリアレジスタ 2(WFGxx_DTCRC2)

Bit	15	14	13	12	11	10	9	8
Field	DMODC2	GTENC5	GTENC4	TMIFC2	TMIEC2	Reserved		
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W0		
保護属性	-							
初期値	0	0	0	0	0	000		

[bit15] DMODC2: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC2 レジスタの DMOD2 ビットが"0"にクリアされます。

bit	説明
0	DMOD2 ビットをクリアしません。
1	DMOD2 ビットをクリアします。

[bit14] GTENC5: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC2 レジスタの GTEN5 ビットが"0"にクリアされます。

bit	説明
0	GTEN5 ビットをクリアしません。
1	GTEN5 ビットをクリアします。

[bit13] GTENC4: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC2 レジスタの GTEN4 ビットが"0"にクリアされます。

bit	説明
0	GTEN4 ビットをクリアしません。
1	GTEN4 ビットをクリアします。

[bit12] TMIFC2: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC2 レジスタの TMIF2 ビットがクリアされます。

bit	説明
0	TMIF2 ビットをクリアしません。
1	TMIF2 ビットをクリアします。

[bit11] TMIEC2: 割込み要求フラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCRC2 レジスタの TMIE2 ビットが"0"にクリアされます。

bit	説明
0	TMIE2 ビットをクリアしません。
1	TMIE2 ビットをクリアします。

[bit10:8] Reserved: 予約ビット

4.8. 16 ビットデッドタイムリロード割込みクリアレジスタ(WFGxx_DTIRC)

16 ビットデッドタイムリロード割込みクリアレジスタ(WFGxx_DTIRC)は、16 ビットデッドタイムリロード割込みレジスタ(WFGxx_DTIR)のビットをクリアするために使用します。

Bit	23	22	21	20	19	18	17	16
Field	DTRIFC2	DTRIEC2	DTRIFC1	DTRIEC1	DTRIFC0	DTRIEC0	Reserved	
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W0	
保護属性	-							
初期値	0	0	0	0	0	0	00	

[bit23] DTRIFC2: 16 ビットデッドタイム 2 リロード割込みフラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTIR レジスタの DTRIF2 ビットがクリアされます。

bit	説明
0	DTRIF2 ビットをクリアしません。
1	DTRIF2 ビットをクリアします。

[bit22] DTRIEC2: 16 ビットデッドタイム 2 リロード割込み許可ビットクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTIR レジスタの DTRIE2 ビットが"0"にクリアされます。

bit	説明
0	DTRIE2 ビットをクリアしません。
1	DTRIE2 ビットをクリアします。

[bit21] DTRIFC1: 16 ビットデッドタイム 1 リロード割込みフラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTIR レジスタの DTRIF1 ビットがクリアされます。

bit	説明
0	DTRIF1 ビットをクリアしません。
1	DTRIF1 ビットをクリアします。

[bit20] DTRIEC1: 16 ビットデッドタイム 1 リロード割込み許可ビットクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTIR レジスタの DTRIE1 ビットが"0"にクリアされます。

bit	説明
0	DTRIE1 ビットをクリアしません。
1	DTRIE1 ビットをクリアします。

[bit19] DTRIFC0: 16 ビットデッドタイム 0 リロード割込みフラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTIR レジスタの DTRIF0 ビットがクリアされます。

bit	説明
0	DTRIF0 ビットをクリアしません。
1	DTRIF0 ビットをクリアします。

**[bit18] DTRIEC0: 16 ビットデッドタイム 0 リロード割込み許可ビットクリアビット**

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTIR レジスタの DTRIE0 ビットが"0"にクリアされます。

bit	説明
0	DTRIE0 ビットをクリアしません。
1	DTRIE0 ビットをクリアします。

[bit17:16] Reserved: 予約ビット

4.9. 波形制御クリアレジスタ 1(WFGxx_SIGCR1C)

波形制御クリアレジスタ 1(WFGxx_SIGCR1C)は、波形制御レジスタ 1(WFGxx_SIGCR1)のビットをクリアするために使用します。

Bit	23	22	21	20	19	18	17	16
Field	DTIEC	DTIFC	NRSLC	Reserved				
R/W 属性	R0,W	R0,W	R0,W	R0,W0				
保護属性	-							
初期値	0	0	0	00000				

[bit23] DTIEC: DTTI 入力有効ビットクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_SIGCR1 レジスタの DTIE ビットが"0"にクリアされます。

bit	説明
0	DTIE ビットをクリアしません。
1	DTIE ビットをクリアします。

[bit22] DTIFC: DTTI 割込みフラグクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_SIGCR1 レジスタの DTIF ビットがクリアされます。

bit	説明
0	DTIF ビットをクリアしません。
1	DTIF ビットをクリアします。

[bit21] NRSLC: ノイズキャンセル機能有効ビットクリアビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_SIGCR1 レジスタの NRSL ビットが"0"にクリアされます。

bit	説明
0	NRSL ビットをクリアしません。
1	NRSL ビットをクリアします。

[bit20:16] Reserved: 予約ビット



4.10. 16 ビットデッドタイム状態制御セットレジスタ n (WFGxx_DTCRSn) (n=0~2)

16 ビットデッドタイム状態制御セットレジスタ n(WFGxx_DTCRSn)は、16 ビットデッドタイム状態制御レジスタ(WFGxx_DTCRn)のビットをセットするために使用します。

(1) 16 ビットデッドタイム状態制御セットレジスタ 0(WFGxx_DTCRS0)

Bit	31	30	29	28	27	26	25	24
Field	DMODS0	GTENS1	GTENS0	Reserved	TMIES0	Reserved		
R/W 属性	R0,W	R0,W	R0,W	R0,W0	R0,W	R0,W0		
保護属性	-							
初期値	0	0	0	0	0	000		

[bit31] DMODS0: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR0 レジスタの DMOD0 ビットが"1"にセットされます。

bit	説明
0	DMOD0 ビットをセットしません。
1	DMOD0 ビットをセットします。

[bit30] GTENS1: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR0 レジスタの GTEN1 ビットが"1"にセットされます。

bit	説明
0	GTEN1 ビットをセットしません。
1	GTEN1 ビットをセットします。

[bit29] GTENS0: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR0 レジスタの GTEN0 ビットが"1"にセットされます。

bit	説明
0	GTEN0 ビットをセットしません。
1	GTEN0 ビットをセットします。

[bit28] Reserved: 予約ビット



[bit27] TMIES0: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR0 レジスタの TMIE0 ビットが"1"にセットされます。

bit	説明
0	TMIE0 ビットをセットしません。
1	TMIE0 ビットをセットします。

[bit26:24] Reserved: 予約ビット



(2) 16 ビットデッドタイム状態制御セットレジスタ 1(WFGxx_DTCRS1)

Bit	23	22	21	20	19	18	17	16
Field	DMODS1	GTENS3	GTENS2	Reserved	TMIES1	Reserved		
R/W 属性	R0,W	R0,W	R0,W	R0,W0	R0,W	R0,W0		
保護属性	-							
初期値	0	0	0	0	0	000		

[bit23] DMODS1: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR1 レジスタの DMOD1 ビットが"1"にセットされます。

bit	説明
0	DMOD1 ビットをセットしません。
1	DMOD1 ビットをセットします。

[bit22] GTENS3: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR1 レジスタの GTEN3 ビットが"1"にセットされます。

bit	説明
0	GTEN3 ビットをセットしません。
1	GTEN3 ビットをセットします。

[bit21] GTENS2: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR1 レジスタの GTEN2 ビットが"1"にセットされます。

bit	説明
0	GTEN2 ビットをセットしません。
1	GTEN2 ビットをセットします。

[bit20] Reserved: 予約ビット

[bit19] TMIES1: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR1 レジスタの TMIE1 ビットが"1"にセットされます。

bit	説明
0	TMIE1 ビットをクリアしません。
1	TMIE1 ビットをクリアします。

[bit18:16] Reserved: 予約ビット

(3) 16 ビットデッドタイム状態制御セットレジスタ 2(WFGxx_DTCRS2)

Bit	15	14	13	12	11	10	9	8
Field	DMODS2	GTENS5	GTENS4	Reserved	TMIES2	Reserved		
R/W 属性	R0,W	R0,W	R0,W	R0,W0	R0,W	R0,W0		
保護属性	-							
初期値	0	0	0	0	0	000		

[bit15] DMODS2: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR2 レジスタの DMOD2 ビットが"1"にセットされます。

bit	説明
0	DMOD2 ビットをセットしません。
1	DMOD2 ビットをセットします。

[bit14] GTENS5: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR2 レジスタの GTEN5 ビットが"1"にセットされます。

bit	説明
0	GTEN5 ビットをセットしません。
1	GTEN5 ビットをセットします。

[bit13] GTENS4: 割込み要求フラグビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR2 レジスタの GTEN4 ビットが"1"にセットされます。

bit	説明
0	GTEN4 ビットをセットしません。
1	GTEN4 ビットをセットします。

[bit12] Reserved: 予約ビット**[bit11] TMIES2: 割込み要求フラグビットセットビット**

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTCR2 レジスタの TMIE2 ビットが"1"にセットされます。

bit	説明
0	TMIE2 ビットをセットしません。
1	TMIE2 ビットをセットします。

[bit10:8] Reserved: 予約ビット



4.11. 16 ビットデッドタイムリロード割込みセットレジスタ(WFGxx_DTIRS)

16 ビットデッドタイムリロード割込みセットレジスタ(WFGxx_DTIRC)は、16 ビットデッドタイムリロード割込みレジスタ(WFGxx_DTIR)のビットをセットするために使用します。

Bit	23	22	21	20	19	18	17	16
Field	Reserved	DTRIES2	Reserved	DTRIES1	Reserved	DTRIES0	Reserved	
R/W 属性	R0,W0	R0,W	R0,W0	R0,W	R0,W0	R0,W	R0,W0	
保護属性	-							
初期値	0	0	0	0	0	0	00	

[bit23] Reserved: 予約ビット

[bit22] DTRIES2: 16 ビットデッドタイム 2 リロード割込み許可ビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTIR レジスタの DTRIE2 ビットが"1"にセットされます。

bit	説明
0	DTRIE2 ビットをセットしません。
1	DTRIE2 ビットをセットします。

[bit21] Reserved: 予約ビット

[bit20] DTRIES1: 16 ビットデッドタイム 1 リロード割込み許可ビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTIR レジスタの DTRIE1 ビットが"1"にセットされます。

bit	説明
0	DTRIE1 ビットをセットしません。
1	DTRIE1 ビットをセットします。

[bit19] Reserved: 予約ビット

[bit18] DTRIES0: 16 ビットデッドタイム 0 リロード割込み許可ビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_DTIR レジスタの DTRIE0 ビットが"1"にセットされます。

bit	説明
0	DTRIE0 ビットをセットしません。
1	DTRIE0 ビットをセットします。

[bit17:16] Reserved: 予約ビット



4.12. 波形制御セットレジスタ 1(WFGxx_SIGCR1S)

波形制御セットレジスタ 1(WFGxx_SIGCR1S)は、波形制御レジスタ 1(WFGxx_SIGCR1)のビットをセットするために使用します。

Bit	23	22	21	20	19	18	17	16
Field	DTIES	Reserved	NRSLS	Reserved				
R/W 属性	R0,W	R0,W0	R0,W	R0,W0				
保護属性	-							
初期値	0	0	0	00000				

[bit23] DTIES: DTTI 入力有効ビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_SIGCR1 レジスタの DTIE ビットが"1"にセットされます。

bit	説明
0	DTIE ビットをセットしません。
1	DTIE ビットをセットします。

[bit22] Reserved: 予約ビット

[bit21] NRSL: ノイズキャンセル機能有効ビットセットビット

- 読出し時, "0"が読出されます。
- 本ビットに"1"を書き込むことで, WFGxx_SIGCR1 レジスタの NRSL ビットが"1"にセットされます。

bit	説明
0	NRSL ビットをセットしません。
1	NRSL ビットをセットします。

[bit20:16] Reserved: 予約ビット



4.13. DTTI 選択レジスタ(WFG02_DTSR, WFG03_DTSR)

DTTI 選択レジスタ(WFG02_DTSR, WFG03_DTSR) は各波形ジェネレータに対して、2 入力ある DTTI 入力のいずれを割り当てるかを設定します。WFG02_DTSR が波形ジェネレータ 0, 1 への DTTI 入力を選択し、WFG03_DTSR が波形ジェネレータ 2, 3 への DTTI 入力を選択します。

(1) DTTI 選択レジスタ(WFG02_DTSR)

Bit	31	30	29	28	27	26	25	24
Field	Reserved						SEL1	SEL0
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						1	0

[bit31:26] Reserved: 予約ビット

[bit25] SEL1: 波形ジェネレータ 1 用 DTTI 入力選択ビット

bit	説明
0	DTTI0
1	DTTI1

<注意事項>

- このビットを設定する前に、必ず波形ジェネレータが停止していることを確認してください。
- DTTI0 は、外部 DTTI 入力許可後の外部 DTTI(DTTI0 端子)と、ソフトウェア DTTI0(SDTCR2: DTIS0)を AND した信号です。
- DTTI1 は、外部 DTTI 入力許可後の外部 DTTI(DTTI1 端子)と、ソフトウェア DTTI1(SDTCR2: DTIS1)を AND した信号です。

[bit24] SEL0: 波形ジェネレータ 0 用 DTTI 入力選択ビット

bit	説明
0	DTTI0
1	DTTI1

<注意事項>

- このビットを設定する前に、必ず波形ジェネレータが停止していることを確認してください。
- DTTI0 は、外部 DTTI 入力許可後の外部 DTTI(DTTI0 端子)と、ソフトウェア DTTI0(SDTCR2: DTIS0)を AND した信号です。
- DTTI1 は、外部 DTTI 入力許可後の外部 DTTI(DTTI1 端子)と、ソフトウェア DTTI1(SDTCR2: DTIS1)を AND した信号です。

(2) DTTI 選択レジスタ(WFG03_DTSR)

Bit	31	30	29	28	27	26	25	24
Field	Reserved						SEL1	SEL0
R/W 属性	R0,W0						R/W	R/W
保護属性	-							
初期値	000000						1	0

[bit31:26] Reserved: 予約ビット

[bit25] SEL1: 波形ジェネレータ 3 用 DTTI 入力選択ビット

bit	説明
0	DTTI2
1	DTTI3

<注意事項>

- このビットを設定する前に、必ず波形ジェネレータが停止していることを確認してください。
- DTTI2 は、外部 DTTI 入力許可後の外部 DTTI(DTTI2 端子)と、ソフトウェア DTTI2(SDTCR2: DTIS2)を AND した信号です。
- DTTI3 は、外部 DTTI 入力許可後の外部 DTTI(DTTI3 端子)と、ソフトウェア DTTI3(SDTCR2: DTIS3)を AND した信号です。

[bit24] SEL0: 波形ジェネレータ 2 用 DTTI 入力選択ビット

bit	説明
0	DTTI2
1	DTTI3

<注意事項>

- このビットを設定する前に、必ず波形ジェネレータが停止していることを確認してください。
- DTTI2 は、外部 DTTI 入力許可後の外部 DTTI(DTTI2 端子)と、ソフトウェア DTTI2(SDTCR2: DTIS2)を AND した信号です。
- DTTI3 は、外部 DTTI 入力許可後の外部 DTTI(DTTI3 端子)と、ソフトウェア DTTI3(SDTCR2: DTIS3)を AND した信号です。



4.14. ソフトウェア DTTI 制御レジスタ (SDTCR2)

レジスタによりソフトウェア制御で波形ジェネレータへの DTTI 入力を生成します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				DTIS3	DTIS2	DTIS1	DTIS0
R/W 属性	R0,WX				R/W	R/W	R/W	R/W
保護属性	-							
初期値	0000				1	1	1	1

[bit7:4] Reserved: 予約ビット

[bit3:0] DTIS3～DTIS0: 波形ジェネレータ制御ビット

bit	説明
0	ソフトウェア DTTI セット。該当する波形ジェネレータ出力を停止します。
1	ソフトウェア DTTI クリア。該当する波形ジェネレータ出力の停止を解除します。

- DTIS_n と波形ジェネレータの関係は、DTTI 選択レジスタ (WFG02_DTISR, WFG03_DTISR) によって選択されます。
- DTIS_n (n=0～3) に "0" を書き込むと該当する波形ジェネレータの出力を停止します。
- 本レジスタは動的に変更可能です。



4.15. 外部 DTTI 入力制御レジスタ(EDTCR2)

EDTCR2 レジスタにより外部 DTTI 入力の有効無効を制御します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				DTIHE3	DTIHE2	DTIHE1	DTIHE0
R/W 属性	R0,W0				R/W	R/W	R/W	R/W
保護属性	-							
初期値	0000				0	0	0	0

[bit7:4] Reserved: 予約ビット

[bit3:0] DTIHE3~DTIHE0: 外部 DTTI 入力制御ビット

bit	説明
0	外部 DTTI 入力禁止
1	外部 DTTI 入力許可

- DTIHE n と波形ジェネレータの関係は、DTTI 選択レジスタ(WFG02_DTISR, WFG03_DTISR)によって選択されます。
- 本レジスタは動的に変更可能です。



4.16. 出力レベル変換レジスタ (RTOSELn) (n=0~3)

波形ジェネレータ出力の極性を設定します。

(1) RTOSEL3 出力レベル変換レジスタ 3(RTOSEL3)

Bit	31	30	29	28	27	26	25	24
Field	Reserved		OSEL5	OSEL4	OSEL3	OSEL2	OSEL1	OSEL0
R/W 属性	R0,WX		R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit31:30] Reserved: 予約ビット

[bit29:24] OSEL5~OSEL0: 出力極性指定ビット(波形ジェネレータユニット 3)

bit[29:24]	説明
0	通常出力
1	反転出力

本レジスタは動的に変更可能です。

(2) RTOSEL2 出力レベル変換レジスタ 2(RTOSEL2)

Bit	23	22	21	20	19	18	17	16
Field	Reserved		OSEL5	OSEL4	OSEL3	OSEL2	OSEL1	OSEL0
R/W 属性	R0,WX		R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit23:22] Reserved: 予約ビット

[bit21:16] OSEL5~OSEL0: 出力極性指定ビット(波形ジェネレータユニット 2)

bit[21:16]	説明
0	通常出力
1	反転出力

本レジスタは動的に変更可能です。

(3) RTOSEL1 出力レベル変換レジスタ 1(RTOSEL1)

Bit	15	14	13	12	11	10	9	8
Field	Reserved		OSEL5	OSEL4	OSEL3	OSEL2	OSEL1	OSEL0
R/W 属性	R0,WX		R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit15:14] Reserved: 予約ビット

[bit13:8] OSEL5～OSEL0: 出力極性指定ビット(波形ジェネレータユニット 1)

bit[13:8]	説明
0	通常出力
1	反転出力

本レジスタは動的に変更可能です。

(4) RTOSEL0 出力レベル変換レジスタ 0(RTOSEL0)

Bit	7	6	5	4	3	2	1	0
Field	Reserved		OSEL5	OSEL4	OSEL3	OSEL2	OSEL1	OSEL0
R/W 属性	R0,WX		R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	00		0	0	0	0	0	0

[bit7:6] Reserved: 予約ビット

[bit5:0] OSEL5～OSEL0: 出力極性指定ビット(波形ジェネレータユニット 0)

bit[5:0]	説明
0	通常出力
1	反転出力

本レジスタは動的に変更可能です。



5. 使用上の注意

波形ジェネレータの使用上の注意を以下に示します。

(1) レジスタアクセス時の注意

a) 16 ビットデッドタイム状態制御レジスタ n(DTCRn) アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、16 ビットデッドタイム状態制御クリアレジスタ n (DTCRCn) の該当ビットに"1"を書き込むことでクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、16 ビットデッドタイム状態制御セットレジスタ n (DTCRSn) の該当ビットに"1"を書き込むことでセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書き込みできます。

b) 16 ビットデッドタイムリロード割込みレジスタ(DTIR) アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、16 ビットデッドタイムリロード割込みクリアレジスタ (DTIRC) の該当ビットに"1"を書き込むことでクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、16 ビットデッドタイムリロード割込みセットレジスタ(DTIRS) の該当ビットに"1"を書き込むことでセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書き込みできます。

c) 波形制御レジスタ 1(SIGCR1) アクセス時

- 本レジスタはビットバンドエイリアス領域からの書込みに対応しています。ビットバンドエイリアス領域については、『ビットバンドユニット』の章を参照してください。
- 本レジスタの特定ビットをクリアする際は、波形制御クリアレジスタ 1 (SIGCR1C) の該当ビットに"1"を書き込むことでクリアしてください。本レジスタの特定ビットのみを直接クリアすることは禁止です。
- 本レジスタの特定ビットをセットする際は、波形制御セットレジスタ 1 (SIGCR1S) の該当ビットに"1"を書き込むことでセットしてください。本レジスタの特定ビットのみを直接セットすることは禁止です。
- 全ビット書込み時のみ本レジスタに直接書き込みできます。

(2) プログラムによる設定上の注意

- 波形ジェネレータが動作中(DTCR[n]レジスタのTMD2～TMD0/TMD5～TMD3/TMD8～TMD6が"0b001", "0b010" または"0b100")に、16 ビットデッドタイム状態制御レジスタ(DTCR[n])のTMD8, TMD5, TMD2, TMD7, TMD4, TMD1, TMD6, TMD3, TMD0 ビット値を変更する場合は、トリガソースおよび16 ビットデッドタイムがカウント中でないことを必ず確認してください。この操作を行わない場合は、以前のトリガでスケジュールされた出力が原因となり、予期しない波形が RTO 出力から出力されます。ただし、RTO 出力は、タイマでアンダフローが発生したり、新しいトリガソースで再トリガされた場合、正常動作に戻ります。
- トリガソースとは、DTCR[n]レジスタのTMD8～TMD0 が"0b001"の場合は"RT の"H"レベル"であり、TMD8～TMD0 ビットが"0b010"の場合は"RT の立上りエッジ"であり、TMD8～TMD0 ビットが"0b100"の場合は、"RT の立上りまたは立下りエッジ"です。例えば、TMD8～TMD0 ビットが"0b100"から"0b010"へ変更した場合、下記の手順を実行できます。
 1. 16 ビットデッドタイムレジスタ(TMRR[n])を"0x0001"のような非常に小さな値に設定する。
 2. RTO1, RTO3, RTO5 の出力を"L"または"H"に設定し、タイマ 0, 1, 2 でアンダフローが発生するまで待つ。

3. モードビット(TMD8～TMD0)および対応する設定を変更する。
 4. 修正された出力波形が1マシンサイクル後、RTO出力に現れる。
- タイマがカウント中に16ビットデッドタイムレジスタ(TMRR[n])に値が書き込まれると、この新しい値は次のタイマトリガ時に有効になります。タイマレジスタへアクセスする場合は、必ずハーフワードもしくはワード転送命令をご使用ください。
 - タイマがカウントしていない場合のみ、波形制御レジスタ1(SIGCR1)のDCK[2:0]を変更してください。
 - ノイズキャンセル機能が無効になった場合のみ、波形制御レジスタ1(SIGCR1)のNWS[1:0]を変更してください。





CHAPTER 54: R/D コンバータ

R/D コンバータについて説明します。

1. 概要



1. 概要

R/D コンバータの概要について説明します。

R/D コンバータは、外部のレゾルバからマイコンに入力されるアナログ信号を A/D 変換して得られる値に対して演算を施し、角度および角速度を算出します。

また、レゾルバとのインタフェース信号に短絡、断線などの物理的な異常が発生した場合には、異常の通知も行います。

さらに、トラッキングループ処理(追従補完演算処理) 中の演算結果を監視し、異常がある場合は警告を発生します。

1.1. 特長

- 動作モード設定機能
- 角度パラメータと角速度パラメータの独立取得
- トラッキングループ警告
- 各種異常検出
- 正弦/余弦出力機能

CHAPTER 55: D/A コンバータ

D/A コンバータは、デジタル信号をアナログ信号に変換する周辺機能です。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意



1. 概要

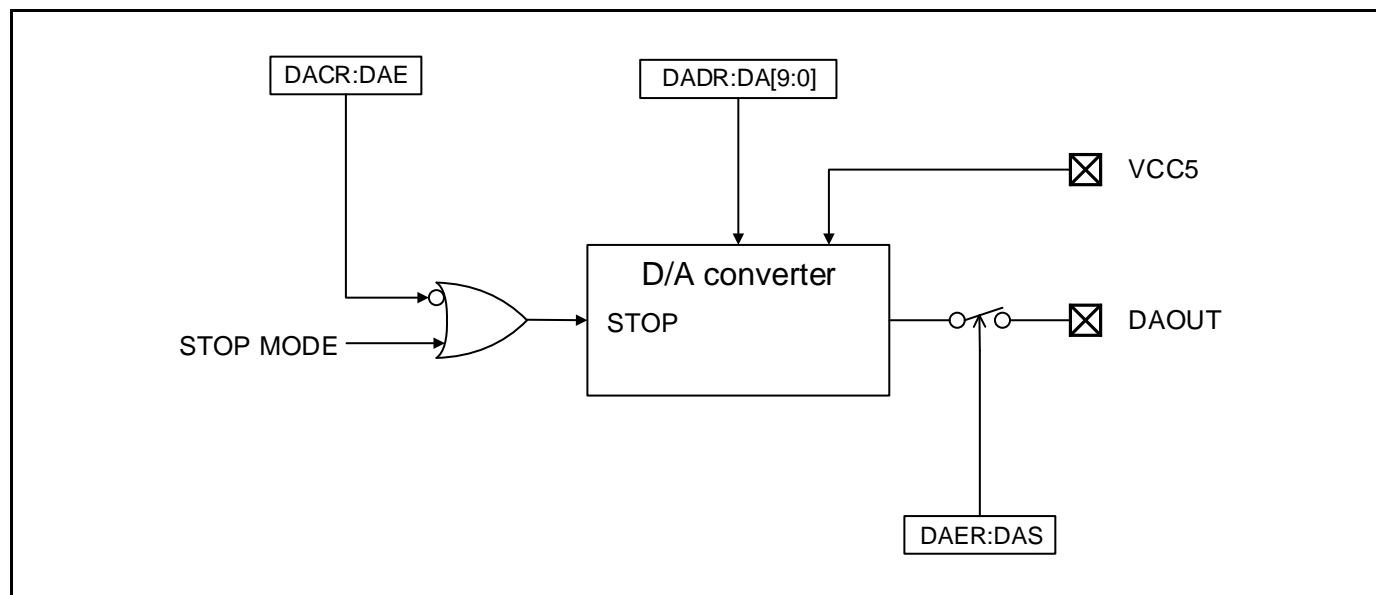
D/A コンバータの概要を説明します。

D/A コンバータは、デジタル信号をアナログ信号に変換する周辺機能です。D/A コンバータの分解能は 10 ビットです。

2. 構成

D/A コンバータの構成を示します。

図 2-1 D/A コンバータのブロックダイヤグラム





3. 動作説明

D/A コンバータの動作について説明します。

D/A コンバータは、D/A データレジスタ(DACxx_DADR)に書き込まれた値から出力電圧を算出し、DAOUT 端子からアナログ電圧を出力します。

D/A データレジスタ(DACxx_DADR)の DA[9:0]ビットに値を書き込み、D/A コントロールレジスタ(DACxx_DACR)の DAE ビットに"1"を書き込むと、D/A コンバータからアナログ電圧が出力されます。

D/A コントロールレジスタ(DACxx_DACR)の DAE ビットに"0"を書き込んだ場合は、D/A コンバータからの出力端子 DAOUT はハイインピーダンス状態になります。また、DAE ビットに"1"を書き込んだ場合でも、本 LSI がストップモードに遷移すると、出力端子 DAOUT はハイインピーダンス状態になります。

D/A コントロールレジスタ(DACxx_DACR)の DAE ビットに"1"を書き込み、D/A コンバータからの出力を許可した場合に出力できる電圧の範囲は 0.0V から $1023/1024 \times VCC5$ V です。

4. 設定手順例

D/A コンバータを使用する際の設定手順について説明します。

(1) DAOUT 端子から出力する場合

1 から 4 の手順で設定してください。

1. 端子を汎用入出力(GPIO)機能側に設定してください(DACxx_DAER:DAS="0")。
2. D/A コンバータの出力電圧を設定してください(DACxx_DADR:DA[9:0])。
3. D/A コンバータ出力を許可してください(DACxx_DACR:DAE="1")。
4. 端子を D/A 出力側へ設定してください(DACxx_DAER:DAS="1")。

(2) DAOUT 端子からの出力を禁止する場合

次のいずれかを設定してください。

- D/A 出力端子をポート機能側にしてください。(DACxx_DAER:DAS="0")
- D/A コンバータの出力を禁止してください。(DACxx_DACR:DAE="0")



5. レジスタ

D/A コンバータ内のレジスタについて説明します。

表 5-1 D/A コンバータのレジスタ一覧

レジスタ略称	レジスタ名	参照先
DACxx_DACR	D/A コントロールレジスタ	5.1
DACxx_DADR	D/A データレジスタ	5.2
DACxx_DAER	アナログ出力制御レジスタ	5.3
DACxx_KEYCDR	キーコードレジスタ	5.4

xx:チャネル番号(xx=00, 01)



5.1. D/A コントロールレジスタ(DACxx_DACR)

DAOUT 端子からの出力を許可します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							DAE
R/W 属性	R0,WX							R/W
保護属性	-							
初期値	0000000							0

[bit31:25] Reserved: 予約ビット

[bit24] DAE: D/A 出力許可ビット

bit	説明
0	出力禁止。"0"の書込みによって, DAOUT 端子はハイインピーダンス状態になります。
1	出力許可。DACxx_DADR:DA[9:0]に設定された値に対応する電圧が出力されます。



5.2. D/A データレジスタ(DACxx_DADR)

DAOUT 端子に出力される電圧を設定します。

Bit	15	14	13	12	11	10	9	8
Field	Reserved						DA[9:8]	
R/W 属性	R0,WX						R/W	
保護属性	-							
初期値	000000						XX	

Bit	7	6	5	4	3	2	1	0
Field	DA[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	XXXXXXXX							

[bit15:10] Reserved: 予約ビット

[bit9:0] DA[9:0]: D/A 出力値

符号なし 10 ビット整数値で DAOUT 端子に出力される電圧を設定します。DA[9:0]に設定する値と出力電圧の関係を下記に示します。

bit[9:0]	出力電圧 (理論値)
0b00_0000_0000	$0/1024 \times VCC5$
0b00_0000_0001	$1/1024 \times VCC5$
0b00_0000_0010	$2/1024 \times VCC5$
...	...
0b11_1111_1101	$1021/1024 \times VCC5$
0b11_1111_1110	$1022/1024 \times VCC5$
0b11_1111_1111	$1023/1024 \times VCC5$



5.3. アナログ出力制御レジスタ(DACxx_DAER)

DAOUT 端子の機能を選択します。

Bit	31	30	29	28	27	26	25	24
Field	Reserved							DAS
R/W 属性	R0,WX							R/W
保護属性	-							
初期値	0000000							0

[bit31:25] Reserved: 予約ビット

[bit24] DAS: アナログ出力制御ビット

bit	説明
0	DAOUT 端子の機能は、ポート(デジタル)です。
1	DAOUT 端子の機能は、アナログ出力です。

<注意事項>

- キーコード機能を搭載した型格では、本レジスタへの書込みにはキーコード設定が必要です。キーコード機能の有無については『データシート』の「型格オプション」を参照してください。



5.4. キーコードレジスタ(DACxx_KEYCDR)

誤書き込み保護機能を有するレジスタ(DACxx_DAER)の書き込みを設定するレジスタです。本レジスタに所定の方法で書き込むことによってのみ、対象のレジスタへ書き込めます。本レジスタはワードアクセスのみ有効です。キーコード機能非搭載の型格の場合、本レジスタへのアクセスは動作に影響ありません。

Bit	31	30	29	28	27	26	25	24
Field	KEY		SIZE		Reserved			
R/W 属性	R0,W		R0,W		R0,WX			
保護属性								
初期値	00		00		0000			

Bit	23	22	21	20	19	18	17	16
Field	Reserved							
R/W 属性	R0,WX							
保護属性	-							
初期値	00000000							

Bit	15	14	13	12	11	10	9	8
Field	Reserved				ADR[11:8]			
R/W 属性	R0,WX				R0,W			
保護属性	-							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	ADR[7:0]							
R/W 属性	R0,W							
保護属性	-							
初期値	00000000							

[bit31:30] KEY[1:0]

キーコード設定ビットです。本ビットに"0b00", "0b01", "0b10", "0b11"の順番で連続的に書き込んでください。書き込む順番が異なった場合はその時点で、キーコード設定は無効となります。この場合は、最初から設定しなおしてください。

bit[31:30]	説明
00	第 1 キーコード
01	第 2 キーコード
10	第 3 キーコード
11	第 4 キーコード



[bit29:28] SIZE[1:0]

キーコード対象レジスタに書き込む際のアクセスサイズを設定します。キーコードの KEY[1:0]を"0b00", "0b01", "0b10", "0b11"の順番に書き込む際、本ビットには同じデータを書いてください。

bit[29:28]	説明
00	バイトアクセス設定
01	ハーフワードアクセス設定
10	ワードアクセス設定
11	予約

[bit27:12] Reserved: 予約ビット

[bit11:0] ADR[11:0]

キーコード対象レジスタのアドレス下位 12 ビットを設定します。キーコードの KEY[1:0]を"0b00", "0b01", "0b10", "0b11"の順番に書き込む際、本ビットには同じデータを書いてください。

bit[11:0]	説明
キーコード対象レジスタのアドレス下位 12 ビットを設定	

<注意事項>

- KEY[1:0]を"0b00", "0b01", "0b10", "0b11"の順番で連続的に 4 回書き込んでください。順番が異なった場合はその時点で、キーコード設定は無効となります。この場合は、最初から設定しなおしになります。
- KEY[1:0]を 4 回書く際の SIZE[1:0], ADR[11:0]は 4 回同じものを書き込んでください。違うものを書いた場合は、キーコード設定は無効となります。この場合は、最初から設定しなおしてください。
- KEY[1:0]を書いている途中に、DACxx_KEYCDR レジスタの読出しがあった場合はキーコード設定は無効となります。この場合は、最初から設定しなおしてください。
- KEY[1:0]を書いている途中に ADR[11:0]に設定しているアドレスにアクセスがあった場合は、キーコード設定は無効となります。この場合は、最初から設定しなおしになります。それ以外のレジスタにアクセスがあった場合は、キーコードは有効です。KEY[1:0]の続きを書き込むことによってキーコード設定は有効になります。
- KEY[1:0]を正常に設定した後、DACxx_KEYCDR:ADR[11:0]に設定したアドレスに対して 1 度アクセスすると、再度アクセスする際はもう 1 度キーコード設定が必要です。



6. 使用上の注意

D/A コンバータの使用上の注意について説明します。

端子機能切換え時の待ち時間

端子の機能を汎用入出力(GPIO)にしている場合(アナログ出力を行っていない場合), 内部のアナログ出力用アンプはパワーダウン状態です。そのため, アナログ出力制御レジスタ(DACxx_DAER)の DAS ビットへ"1"を書き込み, 端子機能をアナログ出力に切り換えてから, アナログ出力を行うためには, 最大 10 μ s の時間が必要です。

CHAPTER 56: 12 ビット 4ch A/D コンバー タインタフェース

12 ビット 4ch A/D コンバータインタフェースの概要, レジスタ構成, および動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意



1. 概要

12 ビット 4ch A/D コンバータには、RC 逐次比較変換方式によって 4ch のアナログ入力電圧を同時にサンプリングし、シリアルに 12 ビットのデジタル値に変換する機能があります。A/D 起動トリガ入力により、A/D 変換を行います。A/D 変換中に再度 A/D 起動トリガが入力された場合、A/D 変換を再起動します。また、A/D 変換キャンセル入力信号により、強制停止機能もサポートします。

12 ビット 4ch A/D コンバータインタフェースの機能

アナログ入力端子に入力されたアナログ電圧(入力電圧)をデジタル値に A/D 変換する機能があり、次の特長があります。

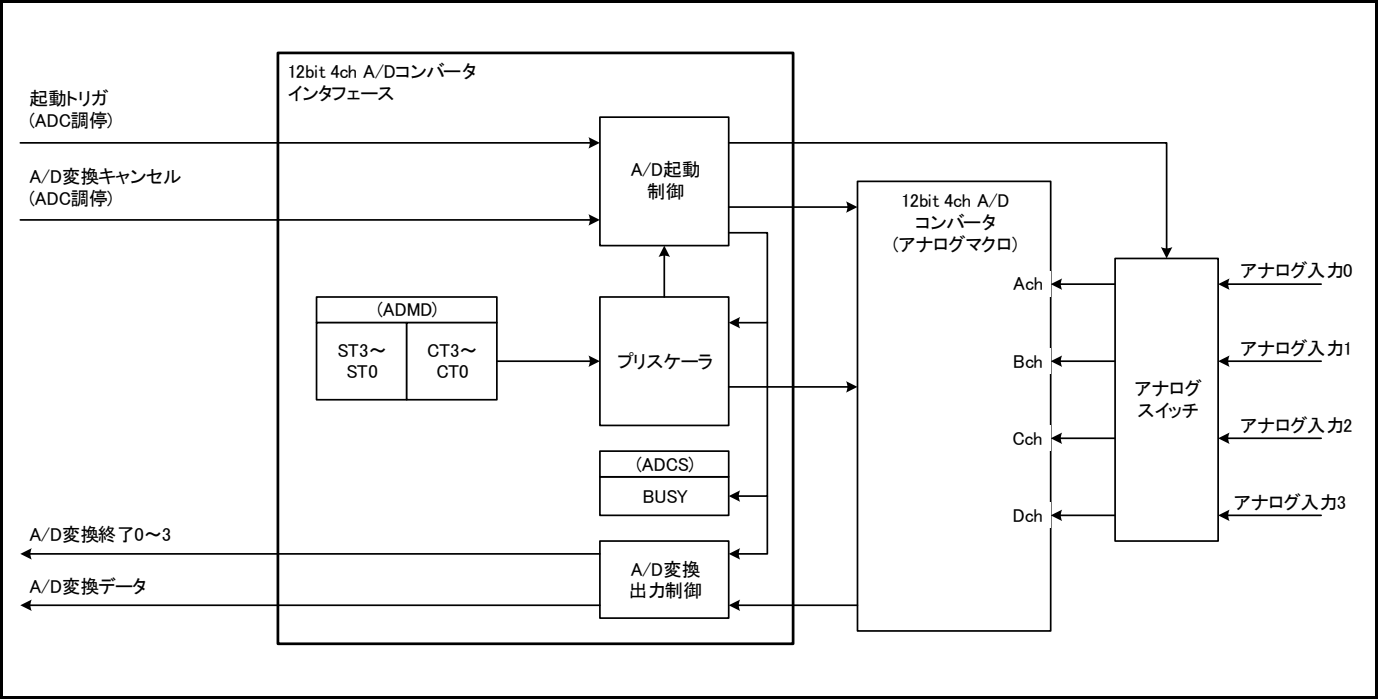
- 変換方式は、サンプルホールド回路付き RC 逐次変換比較方式です。
- アナログ入力端子はプログラムによって最大 4ch 選択できます。(A/D インタフェースによって設定します。)
- 起動信号はパルス信号で入力されます。
- A/D 変換は、1 回の起動要因の入力によって最大 4ch 分の変換を 1 回行います。
- A/D 変換中に、再度、起動信号が入力された場合、再起動を行います。(再起動機能)
- A/D 変換中に、A/D 変換キャンセル信号を受信すると、現在の処理を停止/初期化します。(強制停止機能)



2. 構成

12 ビット 4ch A/D コンバータインタフェースのブロックダイアグラムを示します。

図 2-1 12 ビット 4ch A/D コンバータインタフェースの構成





3. 動作説明

12 ビット 4ch A/D コンバータインタフェースの動作を説明します。

3.1. 12 ビット 4ch A/D コンバータインタフェースの動作

12 ビット 4ch A/D コンバータインタフェースは, A/D 変換を制御します。

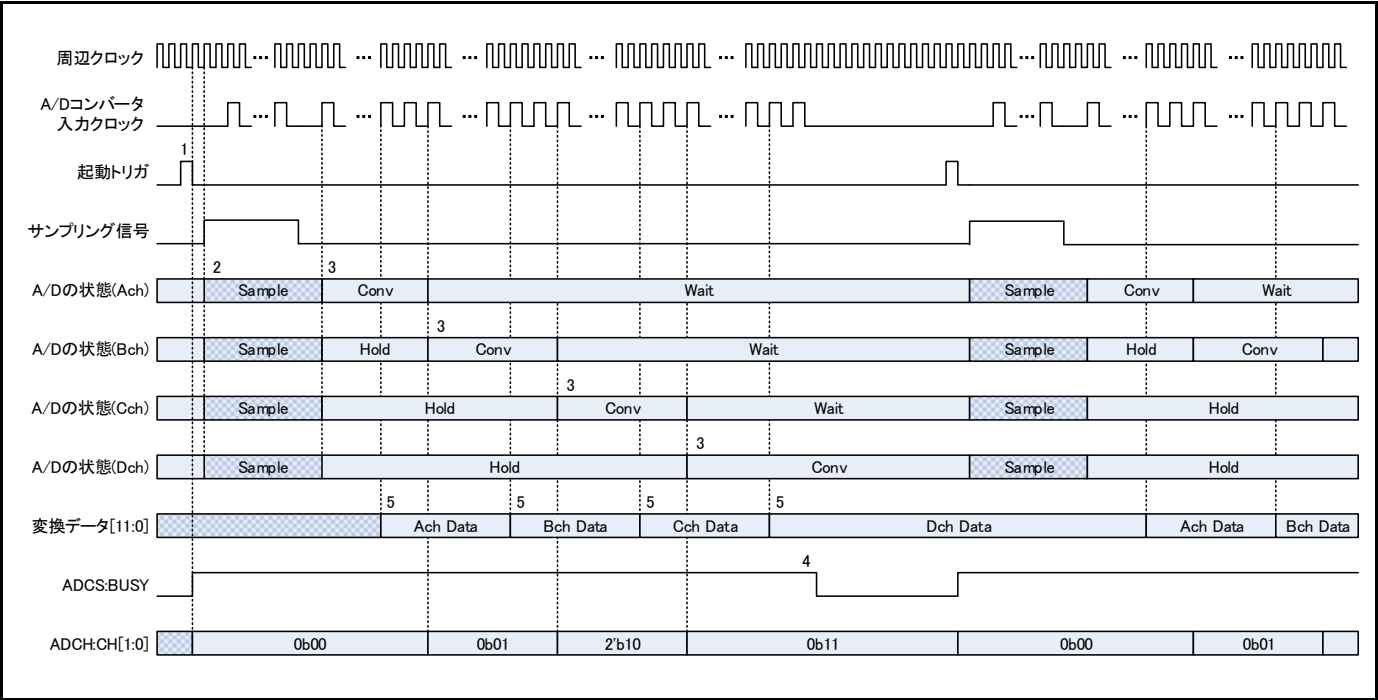
3.1.1. 起動要因について

A/D 変換の起動要因は、起動トリガ信号がパルス信号で入力されます。

3.1.2. A/D 変換について

A/D 変換は、1 回の起動トリガの入力によって 1 回の変換を行います。

図 3-1 12 ビット 4ch A/D コンバータインタフェースの動作タイミング(4ch 動作時)



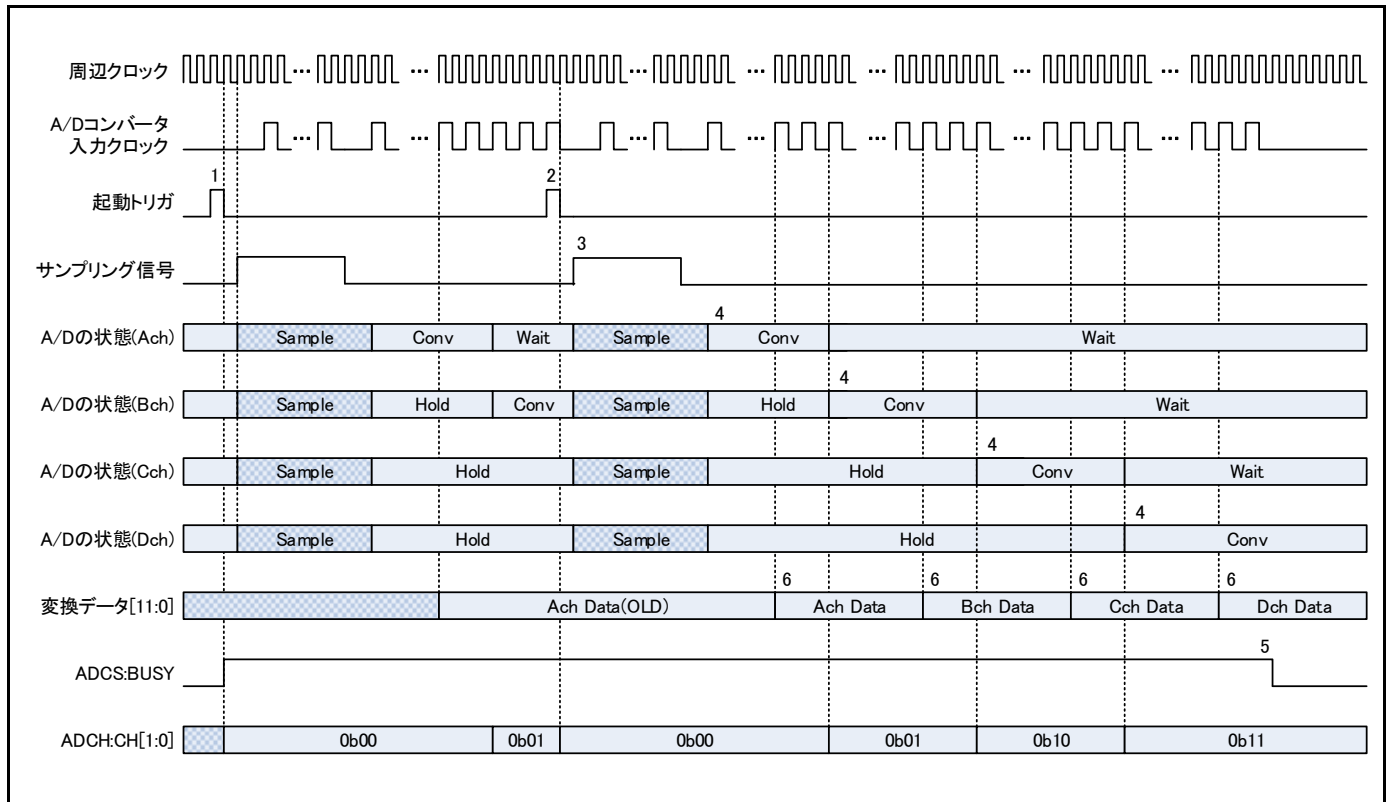
1. A/D 起動トリガ信号入力により A/D 変換を開始します。
2. 1. の A/D 起動トリガ信号を受けて、4ch 同時にサンプリング動作を開始します。
3. サンプリング時間経過後に、Ach からコンペア動作を開始し、Dch までシリアルにコンペア動作を行います。
4. 各チャネルのコンペア時間経過後に、各チャネルの変換終了信号が出力され、4ch すべて変換完了しますと A/D 変換を終了します。
5. 各チャネルの変換終了ごとに A/D 変換データをシリアルで出力します。
6. 新しい変換データを A/D 起動コンペアの A/D データレジスタ (ADTCD) に格納します。



3.1.3. 再起動について

A/D 変換中に、起動トリガ信号入力があった場合、現在の変換を停止/初期化して、A/D 変換を再起動します。そのため、A/D 変換の再起動は、通常起動(A/D 変換停止中の A/D 変換開始)に比べて数クロック(12 ビット 4ch A/D コンバータのクロック)遅れて開始されます。

図 3-2 12 ビット 4ch A/D コンバータインタフェースの再起動の動作タイミング



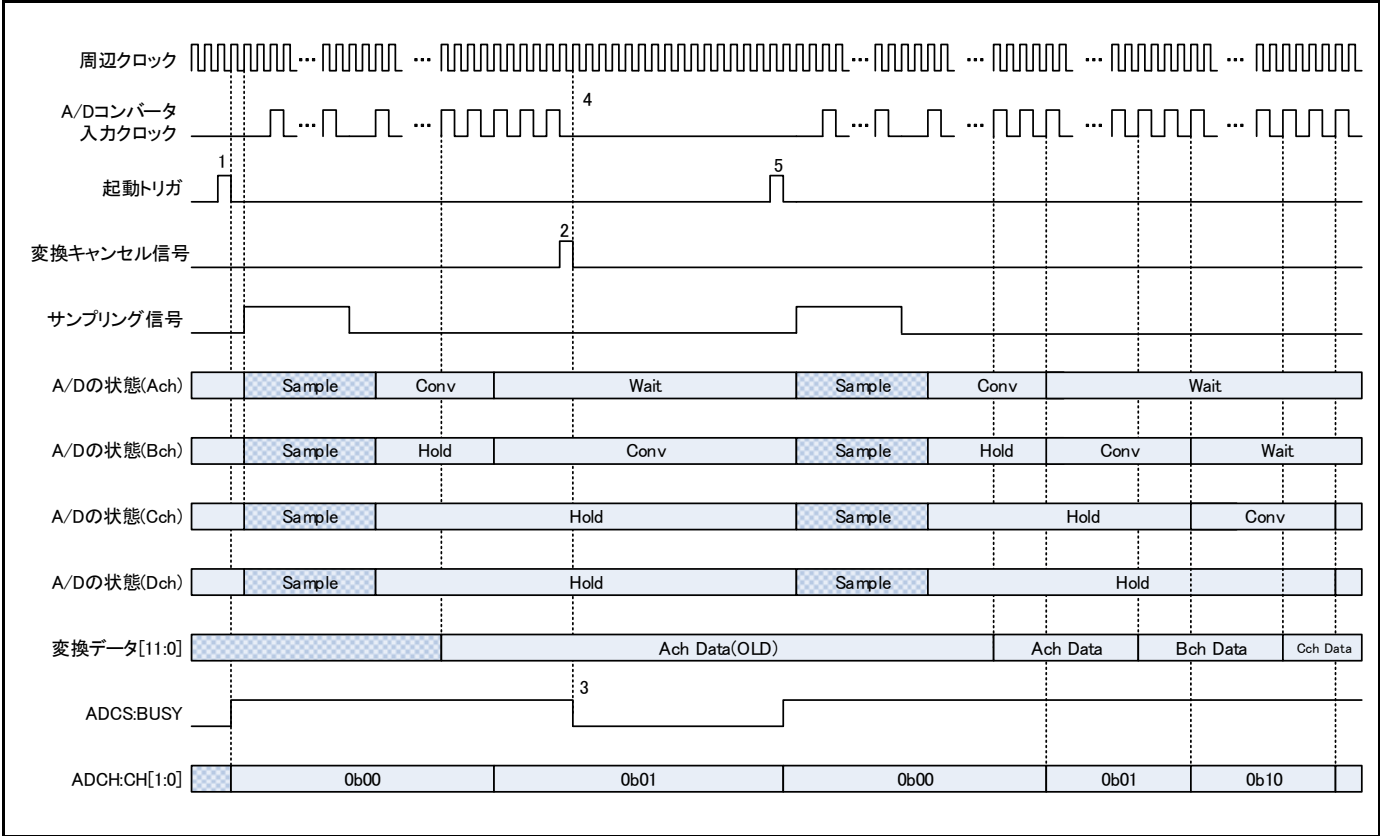
1. A/D 起動トリガのパルス信号入力により A/D 変換を開始します。
2. A/D 変換中に起動トリガ信号が入力されたため A/D 変換を再起動します。
3. 2.の A/D 起動の再起動により、1.により変換していた A/D 変換は停止/初期化されます。
4. サンプリング時間経過後に、Achからコンペア動作を開始し、DchまでシリアルにA/D変換を行います。
5. 各チャンネルのコンペア時間経過後に、変換終了信号が出力されます。設定した全チャンネルの変換終了信号が出力されると変換を終了します。
6. A/D 変換データを出力します。
7. 新しい変換データを A/D 起動コンペアの A/D データレジスタ (ADTCD) に格納します。



3.1.4. A/D 変換キャンセルについて

A/D 変換中に、A/D 変換キャンセル信号を受信しますと、現在の変換を停止/初期化します。

図 3-3 12 ビット 4ch A/D コンバータインタフェースの変換キャンセルの動作タイミング



1. A/D 起動トリガのパルス信号入力により A/D 変換を開始します。
2. A/D 変換中に信号が入力された変換キャンセル信号のため A/D 変換をキャンセルします。
3. 2.の A/D 変換のキャンセルにより、1.により変換していた A/D 変換は停止/初期化されます。
4. 2.の A/D 変換のキャンセルにより、A/D コンバータへの入力クロックは停止します。
5. 再び A/D 起動トリガのパルス信号が入力されると A/D 変換を開始します。



3.1.5. A/D 変換時間について

A/D 変換時間は、サンプリング時間とコンペア時間を合わせた時間です。

(1) サンプリング時間

全チャンネル共通のサンプリング時間です。サンプリング時間の設定は、サンプリング時間設定ビット (ADMD:ST[3:0])によって行います。

表 3-1 周辺クロック周波数に対するサンプリング時間

ST[3:0]	機能	A/D クロック	サンプリング時間(周辺クロック周波数)					
			100MHz	80MHz	64MHz	40MHz	32MHz	20MHz
0000	12 周辺クロックサイクル	周辺クロック/1	120ns	150ns	188ns	300ns	375ns	600ns
0001	24 周辺クロックサイクル	周辺クロック/2	240ns	300ns	375ns	600ns	750ns	1200ns
0010	36 周辺クロックサイクル	周辺クロック/3	360ns	450ns	563ns	900ns	1125ns	1800ns
0011	48 周辺クロックサイクル	周辺クロック/4	480ns	600ns	750ns	1200ns	1500ns	2400ns
0100	60 周辺クロックサイクル	周辺クロック/5	600ns	750ns	938ns	1500ns	1875ns	3000ns
0101	72 周辺クロックサイクル	周辺クロック/6	720ns	900ns	1125ns	1800ns	2250ns	3600ns
0110	84 周辺クロックサイクル	周辺クロック/7	840ns	1050ns	1313ns	2100ns	2625ns	4200ns
0111	96 周辺クロックサイクル	周辺クロック/8	960ns	1200ns	1500ns	2400ns	3000ns	4800ns
1000	108 周辺クロックサイクル	周辺クロック/9	1080ns	1350ns	1688ns	2700ns	3375ns	5400ns
1001	120 周辺クロックサイクル	周辺クロック/10	1200ns	1500ns	1875ns	3000ns	3750ns	6000ns
1010	132 周辺クロックサイクル	周辺クロック/11	1320ns	1650ns	2063ns	3300ns	4125ns	6600ns
1011	144 周辺クロックサイクル	周辺クロック/12	1440ns	1800ns	2250ns	3600ns	4500ns	7200ns
1100	156 周辺クロックサイクル	周辺クロック/13	1560ns	1950ns	2438ns	3900ns	4875ns	7800ns
1101	168 周辺クロックサイクル	周辺クロック/14	1680ns	2100ns	2625ns	4200ns	5250ns	8400ns
1110	180 周辺クロックサイクル	周辺クロック/15	1800ns	2250ns	2813ns	4500ns	5625ns	9000ns
1111	192 周辺クロックサイクル	周辺クロック/16	1920ns	2400ns	3000ns	4800ns	6000ns	9600ns

網掛けの部分の設定は、12 ビット 4ch A/D コンバータの推奨値の範囲外のため設定禁止です。

<注意事項>

- サンプリング時間は、A/D コンバータの推奨値の範囲内となるように設定してください。
- 推奨値の範囲外では正常なアナログ変換値が得られない場合があります。
- 推奨値についてはデータシートを参照してください。
- ST[3:0]=0b0000 は禁止設定です。設定しますとサンプリング期間に 12 ビット 4ch A/D コンバータにクロックが供給されません。

(2) コンペア時間

コンペア時間は、コンペア時間設定ビット(ADMD:CT[3:0])に設定します。

表 3-2 周辺クロック周波数に対するコンペア時間(4ch 分)

CT[3:0]	機能	AD クロック	コンペア時間(周辺クロック周波数)					
			100MHz	80MHz	64MHz	40MHz	32MHz	20MHz
0000	56 周辺クロックサイクル	周辺クロック/1	560ns	700ns	875ns	1400ns	1750ns	2800ns
0001	112 周辺クロックサイクル	周辺クロック/2	1120ns	1400ns	1750ns	2800ns	3500ns	5600ns
0010	168 周辺クロックサイクル	周辺クロック/3	1680ns	2100ns	2625ns	4200ns	5250ns	8400ns
0011	224 周辺クロックサイクル	周辺クロック/4	2240ns	2800ns	3500ns	5600ns	7000ns	11200ns
0100	280 周辺クロックサイクル	周辺クロック/5	2800ns	3500ns	4375ns	7000ns	8750ns	14000ns
0101	336 周辺クロックサイクル	周辺クロック/6	3360ns	4200ns	5250ns	8400ns	10500ns	16800ns
0110	392 周辺クロックサイクル	周辺クロック/7	3920ns	4900ns	6125ns	9800ns	12250ns	19600ns
0111	448 周辺クロックサイクル	周辺クロック/8	4480ns	5600ns	7000ns	11200ns	14000ns	22400ns
1000	504 周辺クロックサイクル	周辺クロック/9	5040ns	6300ns	7875ns	12600ns	15750ns	25200ns
1001	560 周辺クロックサイクル	周辺クロック/10	5600ns	7000ns	8750ns	14000ns	17500ns	28000ns
1010	616 周辺クロックサイクル	周辺クロック/11	6160ns	7700ns	9625ns	15400ns	19250ns	30800ns
1011	672 周辺クロックサイクル	周辺クロック/12	6720ns	8400ns	10500ns	16800ns	21000ns	33600ns
1100	728 周辺クロックサイクル	周辺クロック/13	7280ns	9100ns	11375ns	18200ns	22750ns	36400ns
1101	784 周辺クロックサイクル	周辺クロック/14	7840ns	9800ns	12250ns	19600ns	24500ns	39200ns
1110	840 周辺クロックサイクル	周辺クロック/15	8400ns	10500ns	13125ns	21000ns	26250ns	42000ns
1111	896 周辺クロックサイクル	周辺クロック/16	8960ns	11200ns	14000ns	22400ns	28000ns	44800ns

－ 網掛けの部分の設定は、12 ビット 4ch A/D コンバータの推奨値の範囲外のため設定禁止です。

－ コンペア時間の周辺クロックサイクル数=14×変換チャンネル数×AD クロックの分周率

例) CT[3:0]=0b0011, 変換チャンネル数=3ch の場合,

コンペア時間の周辺クロックサイクル数=14×3×4=168(周辺クロックサイクル)

<注意事項>

- － コンペア時間は、A/D コンバータの推奨値の範囲内となるように設定してください。
- － 推奨値の範囲外では正常なアナログ変換値が得られない場合があります。
- － 推奨値についてはデータシートを参照してください。
- － CT[3:0]=0b0000 は禁止設定です。設定しますとコンペア期間に 12 ビット 4ch A/D コンバータにクロックが供給されません。



3.1.6. A/D 変換終了, A/D データ取込み

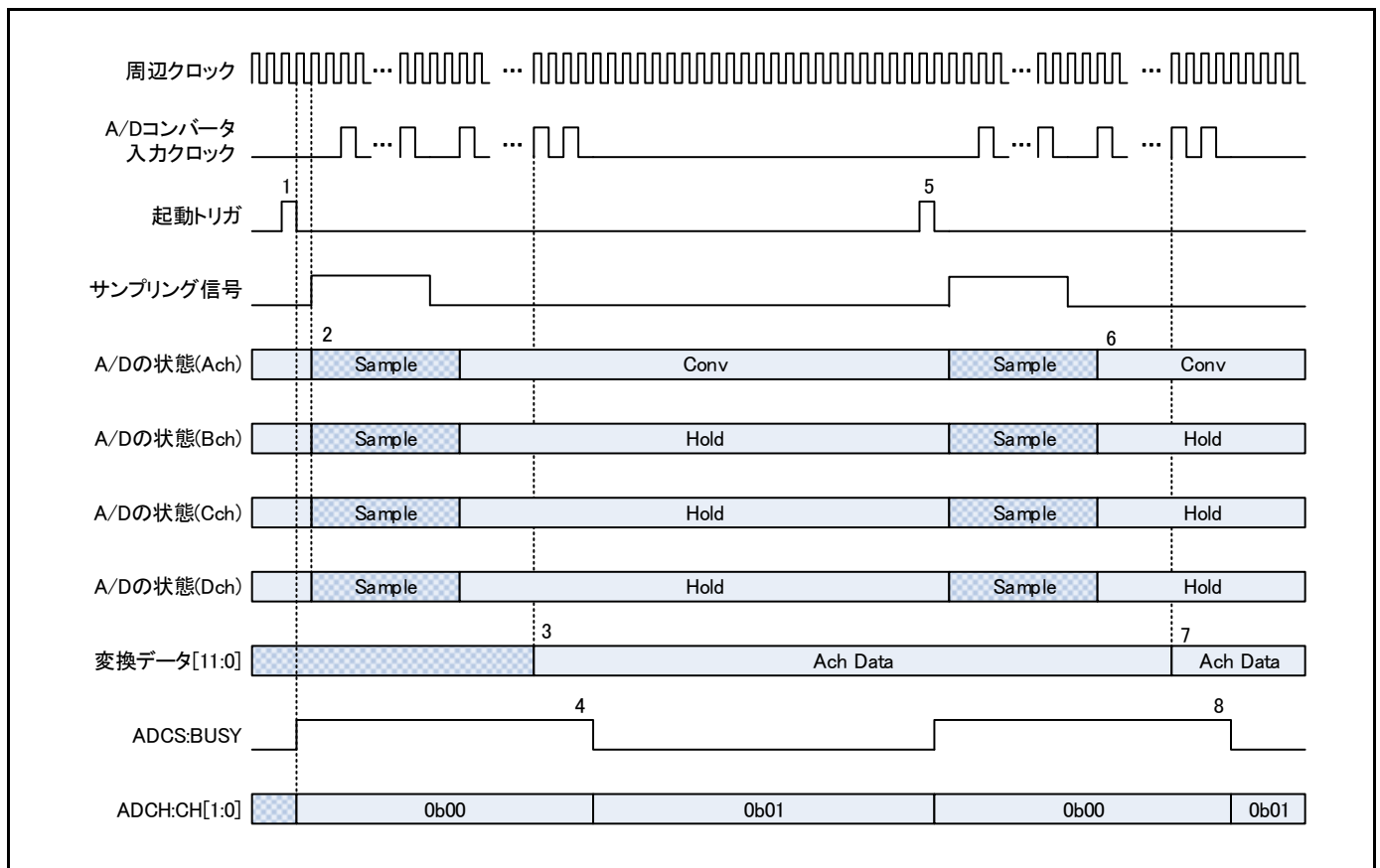
A/D 変換が再起動やキャンセルが行われずに正常終了(既定のサイクル数が経過)した場合、受信した変換データを取り込んで出力します。その際、A/D 変換終了信号を生成します。

3.1.7. 変換 ch 選択モード

変換するチャンネル数を 1~4ch から選択することができます。変換チャンネル数の設定は、A/D 変換 ch 選択ビット(ADCHSEL:ADCSL[1:0])によって行います。

- 1ch 選択した場合、Ach のみ変換します。
- 2ch 選択した場合、Ach, Bch の順番で変換します。
- 3ch 選択した場合、Ach, Bch, Cch の順番で変換します。

図 3-4 12 ビット 4ch A/D コンバータインタフェースの動作タイミング(1ch 動作時)



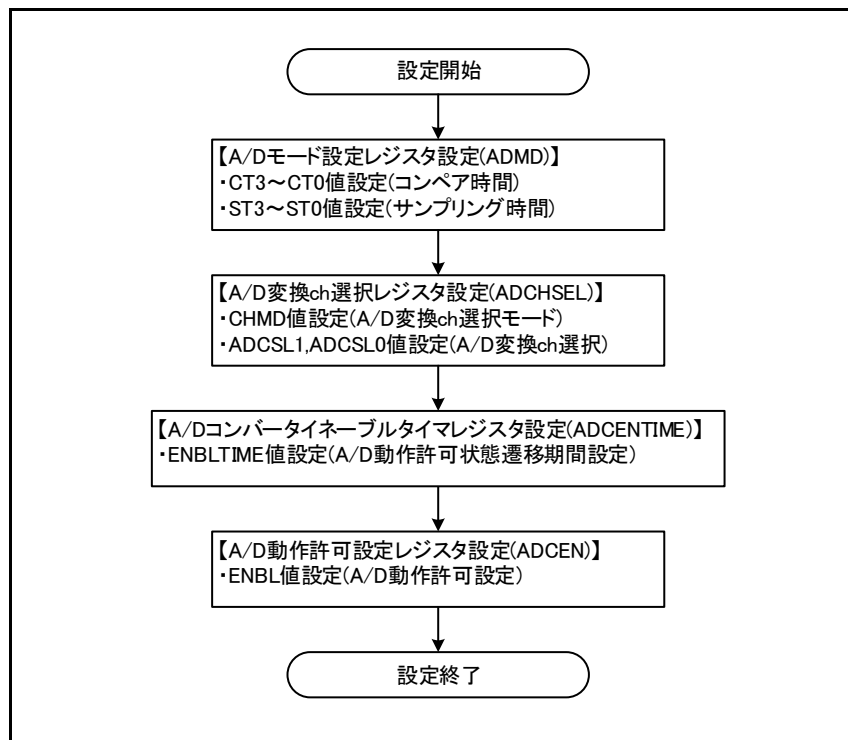
1. A/D 起動トリガのパルス信号入力により、A/D 変換を開始します。
2. Ach の A/D 変換を行います。
3. 2. の A/D 変換完了により、A/D 変換データを出力します。
4. このとき、Bch~Dch は変換されずに、ADCS:BUSY が "L" になり、A/D 変換が終了します。
5. 新しい A/D 起動トリガのパルス信号入力により、A/D 変換を開始します。
6. 2. と同じく、Ach は A/D 変換を行います。
7. A/D 変換完了後、A/D 変換データを出力します。
8. Bch~Dch は変換されず、ADCS:BUSY 信号が "L" となり、A/D 変換を終了します。

4. 設定手順例

12 ビット 4ch A/D コンバータインタフェースの設定手順例を示します。

12 ビット 4ch A/D コンバータインタフェースの動作モード設定

図 4-1 12 ビット 4ch A/D コンバータインタフェースの動作モード設定手順例



<注意事項>

- A/D モード設定レジスタ(ADMD), A/D 変換ch 選択レジスタ(ADCHSEL), A/D コンバータイネーブルタイムレジスタ(ADCENTIME), およびA/D 動作許可設定レジスタ(ADCEN)のビットの設定は, 必ず変換動作前のA/D 動作が停止している状態(ADCS:BUSY="0")で行ってください。



5. レジスタ

12 ビット 4ch A/D コンバータインタフェースのレジスタ一覧を示します。

4chADC アナログ入力許可レジスタを除く, 12 ビット 4ch A/D コンバータインタフェースのレジスタにはプレフィックス「ADC4SHxx_」が付きます。xx はユニット番号と対応しています。

表 5-1 12 ビット 4ch A/D コンバータインタフェースのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ADC4SHxx_ADCS	A/D 制御ステータスレジスタ	5.1.1
ADC4SHxx_ADCH	A/D チャネルステータスレジスタ	5.1.2
ADC4SHxx_ADMD	A/D モード設定レジスタ	5.1.3
ADC4SHxx_ADCHSEL	A/D 変換 ch 選択レジスタ	5.1.4
ADC4SHxx_ADCEN	A/D 動作許可設定レジスタ	5.1.5
ADC4SHxx_ADCENTIME	A/D コンバータイネーブルタイムレジスタ	5.1.6
ADER4CH_1/ADER4CH_0	4ch ADC アナログ入力許可レジスタ	5.1.7

xx:ユニット番号(xx=00, 01)

5.1. 12 ビット 4ch A/D コンバータインタフェースのレジスタ

12 ビット 4ch A/D コンバータインタフェースには、A/D 制御ステータスレジスタ、A/D チャネルステータスレジスタ、A/D モード設定レジスタ、A/D 変換 ch 選択レジスタ、および A/D 動作許可設定レジスタがあります。

5.1.1. A/D 制御ステータスレジスタ(ADCS)

A/D 制御ステータスレジスタ(ADCS)は、A/D 変換動作中もしくは A/D 変換停止中を表示します。

Bit	7	6	5	4	3	2	1	0
Field	BUSY	READY	Reserved					
R/W 属性	R,WX	R,WX	R0,W0					
保護属性	-							
初期値	0	0	000000					

[bit7] BUSY: A/D 変換中ビット

bit	説明
0	A/D 変換停止中
1	A/D 変換動作中(起動→設定した ch 数分の変換終了まで)

- A/D コンバータの動作表示ビットです。
- 読み出し時、A/D 変換中ビット(BUSY)が"0"であれば A/D 変換停止中の状態であることを示し、"1"であれば A/D 変換動作中の状態であることを示します。
- 書き込みは、変化せずほかへの影響はありません。

[bit6] READY: 動作許可状態ビット

bit	説明
0	動作停止状態
1	動作許可状態

- 12 ビット 4ch A/D コンバータが動作許可状態か否かを示すビットです。
- 動作許可状態のときのみ A/D 変換を行えます。
- 動作停止状態のときは、A/D 変換要求により A/D 変換を実行しますが、A/D 変換の結果は保障されません。
- A/D 変換中に動作停止状態となった場合、A/D 変換は中断せず実行されますが、A/D 変換の結果は保障されません。

[bit5:0] Reserved : 予約ビット



5.1.2. A/D チャネルステータスレジスタ(ADCH)

A/D チャネルステータスレジスタ(ADCH)は、A/D 変換中に、変換中のアナログチャネル番号が確認できます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved						CH	
R/W 属性	R0,W0						R,WX	
保護属性	-							
初期値	000000						00	

[bit7:2] Reserved: 予約ビット

[bit1:0] CH[1:0]: アナログチャネルビット

bit[1:0]	説明
00	チャネル 0(Ach) 起動開始→チャネル 0(Ach) 変換終了まで。
01	チャネル 1(Bch) チャネル 0(Ach) 変換終了→チャネル 1(Bch) 変換終了まで。
10	チャネル 2(Cch) チャネル 1(Bch) 変換終了→チャネル 2(Cch) 変換終了まで。
11	チャネル 3(Dch) チャネル 2(Cch) 変換終了→チャネル 3(Dch) 変換終了まで。

- A/D 変換中に、変換中のアナログチャネル番号の確認を行うことができるビットです。
- ADCS.BUSY=1 のときに有効な値です。ADCS.BUSY=0 のときは意味を持ちません。

5.1.3. A/D モード設定レジスタ(ADMD)

A/D モード設定レジスタ(ADMD)は、A/D 変換のコンペア時間やサンプリング時間を設定する機能があります。

Bit	15	14	13	12	11	10	9	8
Field	Reserved				CT			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0001			

Bit	7	6	5	4	3	2	1	0
Field	Reserved				ST			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0001			

[bit15:12] Reserved: 予約ビット

[bit11:8] CT[3:0]: コンペア時間設定ビット

bit[11:8]	説明
0000	14 周辺クロックサイクル(設定禁止) (A/D クロック出力：周辺クロック/1)
0001	28 周辺クロックサイクル (A/D クロック出力：周辺クロック/2)
0010	42 周辺クロックサイクル (A/D クロック出力：周辺クロック/3)
0011	56 周辺クロックサイクル (A/D クロック出力：周辺クロック/4)
0100	70 周辺クロックサイクル (A/D クロック出力：周辺クロック/5)
0101	84 周辺クロックサイクル (A/D クロック出力：周辺クロック/6)
0110	98 周辺クロックサイクル (A/D クロック出力：周辺クロック/7)
0111	112 周辺クロックサイクル (A/D クロック出力：周辺クロック/8)
1000	126 周辺クロックサイクル (A/D クロック出力：周辺クロック/9)
1001	140 周辺クロックサイクル (A/D クロック出力：周辺クロック/10)
1010	154 周辺クロックサイクル (A/D クロック出力：周辺クロック/11)
1011	168 周辺クロックサイクル (A/D クロック出力：周辺クロック/12)
1100	182 周辺クロックサイクル (A/D クロック出力：周辺クロック/13)
1101	196 周辺クロックサイクル (A/D クロック出力：周辺クロック/14)



bit[11:8]	説明
1110	210 周辺クロックサイクル (A/D クロック出力：周辺クロック/15)
1111	224 周辺クロックサイクル (A/D クロック出力：周辺クロック/16)

- A/D 変換時のコンペア時間を選択するビットです。
- アナログ入力を取り込まれた(サンプリング時間経過) 後、コンペア時間設定ビット(CT[3:0])に設定された時間後に変換結果のデータが確定します。
- 1ch あたりのコンペア時間に必要なサイクル数を示します。4ch 使用する場合は、4 倍のサイクル数が必要です。

＜注意事項＞

- コンペア時間は、12 ビット 4ch A/D コンバータの推奨値の範囲内となるように設定してください。
- 推奨値の範囲外では正常なアナログ変換値が得られない場合があります。
- 推奨値についてはデータシートを参照してください。
- コンペア時間設定ビット(CT[3:0])の書換えは、必ず変換動作前の A/D 動作が停止している状態 (ADCS:BUSY="0")で行ってください。
- A/D モード設定レジスタ(ADMD)の CT[3:0]に 0b0000 は設定禁止です。設定しますと 12 ビット 4ch A/D コンバータのコンペア期間に、12 ビット 4ch A/D コンバータにクロックが供給されません。

[bit7:4] Reserved：予約ビット

[bit3:0] ST[3:0]：サンプリング時間設定ビット

bit[3:0]	説明
0000	12 周辺クロックサイクル(設定禁止) (A/D クロック出力：周辺クロック/1)
0001	24 周辺クロックサイクル (A/D クロック出力：周辺クロック/2)
0010	36 周辺クロックサイクル (A/D クロック出力：周辺クロック/3)
0011	48 周辺クロックサイクル (A/D クロック出力：周辺クロック/4)
0100	60 周辺クロックサイクル (A/D クロック出力：周辺クロック/5)
0101	72 周辺クロックサイクル (A/D クロック出力：周辺クロック/6)
0110	84 周辺クロックサイクル (A/D クロック出力：周辺クロック/7)
0111	96 周辺クロックサイクル (A/D クロック出力：周辺クロック/8)
1000	108 周辺クロックサイクル (A/D クロック出力：周辺クロック/9)
1001	120 周辺クロックサイクル (A/D クロック出力：周辺クロック/10)
1010	132 周辺クロックサイクル (A/D クロック出力：周辺クロック/11)
1011	144 周辺クロックサイクル (A/D クロック出力：周辺クロック/12)
1100	156 周辺クロックサイクル (A/D クロック出力：周辺クロック/13)



bit[3:0]	説明
1101	168 周辺クロックサイクル (A/D クロック出力：周辺クロック/14)
1110	180 周辺クロックサイクル (A/D クロック出力：周辺クロック/15)
1111	192 周辺クロックサイクル (A/D クロック出力：周辺クロック/16)

- A/D 変換時のサンプリング時間を選択するビットです。
- A/D が起動されると、サンプリング時間設定ビット(ST[3:0])に設定された時間、アナログ入力に取り込まれます。

<注意事項>

- サンプリング時間は、12 ビット 4ch A/D コンバータの推奨値の範囲内となるように設定してください。
- 推奨値の範囲外では正常なアナログ変換値が得られない場合があります。
- 推奨値についてはデータシートを参照してください。
- サンプリング時間設定ビット(ST[3:0])の書換えは、必ず変換動作前の A/D 動作が停止している状態 (ADCS:BUSY="0")で行ってください。
- A/D モード設定レジスタ(ADMD)の ST[3:0]に 0b0000 は設定禁止です。設定しますと 12 ビット 4ch A/D コンバータのサンプリング期間に、12 ビット 4ch A/D コンバータにクロックが供給されません。



5.1.4. A/D 変換 ch 選択レジスタ(ADCHSEL)

A/D 変換 ch 選択レジスタ(ADCHSEL)は、A/D 変換チャンネル数を設定します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved				ADCSL		Reserved	CHMD
R/W 属性	R0,W0				R/W		R0,W0	R/W
保護属性	-							
初期値	0000				00		0	0

[bit7:4] Reserved: 予約ビット

[bit3:2] ADCSL[1:0]: A/D 変換 ch 選択ビット

bit[3:2]	説明
00	Ach～Dch の全チャンネルの A/D 変換を行います
01	Ach のみ 1ch の A/D 変換を行います
10	Ach と Bch の 2ch の A/D 変換を行います
11	Ach と Bch と Cch の 3ch の A/D 変換を行います

- A/D 変換 ch 選択モードにおいて、変換するチャンネルを選択します。
- CHMD=0 のときは、本設定は無効です。

[bit1] Reserved: 予約ビット

[bit0] CHMD: A/D 変換 ch 選択モードビット

bit	説明
0	A/D 4ch 変換モード(初期値)
1	A/D 変換 ch 選択モード

- A/D 4ch 変換モードか、A/D 変換 ch 選択モードかを選択します。

<注意事項>

- A/D 変換 ch 選択モードビット(CHMD)と A/D 変換 ch 選択ビット(ADCSL1, ADCSL0)の書換えは、必ず変換動作前の A/D 動作が停止している状態(ADCS:BUSY="0")で行ってください。



5.1.5. A/D 動作許可設定レジスタ(ADCEN)

A/D 動作許可レジスタ(ADCEN)は、12 ビット 4ch A/D コンバータの動作許可状態に設定します。

Bit	7	6	5	4	3	2	1	0
Field	Reserved							ENBL
R/W 属性	R0,W0							R/W
保護属性	-							
初期値	0000000							0

[bit7:1] Reserved: 予約ビット

[bit0] ENBL: 12 ビット 4ch A/D 動作許可ビット

bit	説明
0	動作停止
1	動作許可

12 ビット 4ch A/D コンバータを動作許可にするビットです。

ENBL ビットに"1"を書き込むことによって、動作許可状態遷移期間後に 12 ビット 4ch A/D コンバータは動作許可状態となります。また、このビットに"0"を書き込むことによって、12 ビット 4ch A/D コンバータは動作停止状態となります(ADCS:READY ビットが"0"になります)。

<注意事項>

- 12 ビット 4ch A/D 動作許可ビット(ENBL)の書換えは、必ず変換動作前の A/D 動作が停止している状態(ADCS:BUSY="0")で行ってください。
- CPU を時計モード、ストップモードに設定するときには、ENBL="0"を設定し、A/D コンバータを動作停止状態にしてください。



5.1.6. A/D コンバータイネーブルタイムレジスタ(ADCENTIME)

12 ビット 4ch A/D コンバータの動作許可状態遷移期間サイクル数を設定します。

Bit	31-0
Field	ENBLTIME
R/W 属性	R/W
保護属性	-
初期値	11111111_11111111_11111111_11111111

[bit31:0] ENBLTIME[31:0]: 動作許可状態遷移サイクル選択ビット

bit[31:0]	説明
0x0000_0000	動作許可状態遷移期間サイクル数を選択するビットです。
...	
0xFFFF_FFFF	

動作許可状態遷移時間=周辺クロック×(ENBLTIME+1)

例) ENBLTIME[31:0]=0x000F_423F, 周辺クロック=100MHz(10ns)の場合,

動作許可遷移時間 = 10ns×(999999+1) = 10000000ns = 10ms

ADCE:ENBL ビットに"1"を書き込みますと, ADCENTIME:ENBLTIME に設定した動作許可状態遷移サイクル数を初期値としたダウンカウンタが起動します。

<注意事項>

- ADCEN:ENBL ビットへの"1"書込みから, ADCS:READY ビット"1"になるまでの期間の ENBLTIME[31:0]ビットの書換えは禁止です。
- A/D コンバータイネーブルタイムレジスタは 32 ビットのレジスタです。ワードアクセスのみ対応しています。バイトアクセス, ハーフワードアクセスには対応していません。
- 動作許可状態遷移サイクル選択ビット(ENBLTIME[31:0])の書換えは, 必ず変換動作前の A/D 動作が停止している状態(ADCS:BUSY="0")で行ってください。



5.1.7. 4ch ADC アナログ入力許可レジスタ(ADER4CH_1, ADER4CH_0)

4chADC アナログ入力許可レジスタ(ADER4CH_1, ADER4CH_0)は, 4ch ADC のアナログ入力を制御するレジスタです。

(1) 4ch ADC アナログ入力許可レジスタ(ADER4CH_1)

Bit	15	14	13	12	11	10	9	8
Field	Reserved				ADE4C1U3	ADE4C1U2	ADE4C1U1	ADE4C1U0
R/W 属性	R0,W0				R/W	R/W	R/W	R/W
保護属性	-							
初期値	0000				1	1	1	1

[bit15:12] Reserved: 予約ビット

[bit11:8] ADE4C1U3～ADE4C1U0: 4ch ADC アナログ入力許可ビット

bit[11:8]	説明
0	ポート入力/ 出力モード
1	アナログ入力モード

<注意事項>

- キーコード機能を搭載した型格では, 本レジスタへの書込みにはキーコード設定が必要です。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。
- 設定方法は, 『12 ビット A/D コンバータ A/D 起動コンペア』の章の「キーコードレジスタ(KEYCDR)」を参照してください。



(2) 4ch ADC アナログ入力許可レジスタ (ADER4CH_0)

Bit	7	6	5	4	3	2	1	0
Field	Reserved				ADE4C0U3	ADE4C0U2	ADE4C0U1	ADE4C0U0
R/W 属性	R0,W0				R/W	R/W	R/W	R/W
保護属性	-							
初期値	0000				1	1	1	1

[bit7:4] Reserved: 予約ビット

[bit3:0] ADE4C0U3～ADE4C0U0: 4ch ADC アナログ入力許可ビット

bit[3:0]	説明
0	ポート入力/ 出力モード
1	アナログ入力モード

<注意事項>

- キーコード機能を搭載した型格では、本レジスタへの書込みにはキーコード設定が必要です。キーコード機能の有無は『データシート』の「型格オプション」を参照してください。
- 設定方法は、『12 ビット A/D コンバータ A/D 起動コンペア』の章の「キーコードレジスタ (KEYCDR)」を参照してください。

6. 使用上の注意

12 ビット 4ch A/D コンバータインタフェースの使用上の注意を以下に示します。

12 ビット 4ch A/D コンバータインタフェースの使用上の注意

a) 周辺クロック周波数の制限について

周辺クロック周波数の制限についてはデータシートを参照してください。

b) サンプリング時間・コンペア時間の設定について

サンプリング時間およびコンペア時間が 12 ビット 4ch A/D コンバータの推奨値の範囲内となるように、ADMD:ST[3:0] および ADMD:CT[3:0] ビットを設定してください。

c) ADMD レジスタ, ADCHSEL レジスタ, ADCENTIME レジスタ, および ADCEN レジスタの設定について

A/D モード設定レジスタ (ADMD), A/D 変換 ch 選択レジスタ (ADCHSEL), A/D コンバータイネーブルタイマレジスタ (ADCENTIME), および A/D 動作許可設定レジスタ (ADCEN) のビットの書換えは、必ず変換動作前の A/D 変換動作が停止している状態 (ADCS:BUSY="0") で行ってください。

d) A/D コンバータイネーブルタイマの設定について

ADCEN:ENBL ビットへの "1" 書込みから, ADCS:READY ビット "1" になるまでの期間の ENBLTIME[31:0] ビットの手換えは禁止です。

CPU を時計モード, ストップモードに設定するときには, ENBL="0" を設定し, A/D コンバータを動作停止状態にしてください。

e) ADCENTIME レジスタのアクセスサイズについて

A/D コンバータイネーブルタイマレジスタ (ADCENTIME) は 32 ビットのレジスタです。ワードアクセスのみ対応しています。バイトアクセス, ハーフワードアクセスには対応していません。

f) ADMD レジスタの設定について

A/D モード設定レジスタ (ADMD) の ST[3:0] に 0b0000 は設定禁止です。設定しますと 12 ビット 4ch A/D コンバータのサンプリング期間に, 12 ビット 4ch A/D コンバータにクロックが供給されません。

A/D モード設定レジスタ (ADMD) の CT[3:0] に 0b0000 は設定禁止です。設定しますと 12 ビット 4ch A/D コンバータのコンペア期間に, 12 ビット 4ch A/D コンバータにクロックが供給されません。





CHAPTER 57: 12 ビット 4chA/D コンバータ A/D 起動コンペア

12 ビット 4chA/D コンバータの A/D 起動コンペアの機能と動作について示します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ
6. 使用上の注意



1. 概要

A/D 起動コンペアは、12 ビット 4ch A/D コンバータを制御します。

(1) A/D 起動コンペアの機能

a) 起動チャネル

- A/D 起動要求制御および A/D 変換データ格納を起動チャネル単位で行います。
- A/D 起動要求は、起動グループ単位(起動グループ 0: 起動チャネル 0~3, 起動グループ 1: 起動チャネル 4~7)で行います。
- 起動チャネルは、12 ビット 4ch A/D コンバータの 1 ユニットに対応しています。
- 起動チャネル 0~7 : 12 ビット 4ch A/D コンバータユニット
- 各起動チャネルは、次のレジスタによって構成されます。(n=0~7)
 - コンペアバッファレジスタ(ADCOMPB[n])/コンペアレジスタ(ADCOMP[n])
 - A/D 起動トリガ制御レジスタ(ADTC[n])
 - A/D 起動要求/割込みステータスレジスタ(ADTS[n])
 - A/D 起動要求/割込みクリアレジスタ(ADTSC[n])
 - A/D データレジスタ(ADTCD[n])
 - レンジ比較制御ステータスレジスタ(ADRCSS[n])
 - レンジ比較閾値超過フラグレジスタ(ADRCOT)
 - レンジ比較フラグレジスタ(ADRCIF)
 - レンジ比較フラグクリアレジスタ(ADRCIFC)
 - データ保護状態フラグレジスタ(ADPRTF)

b) A/D 起動要求

- 各起動チャネルは、次の A/D 起動要求要因から選択できます。なお、起動チャネル内では、A/D 変換(起動要求)中の再起動はできません。
 - ソフトウェア
 - 外部トリガ(立下りエッジ)
 - ベースタイマ(立上りエッジ)
 - コンペア一致
- 外部トリガ、ベースタイマ起動は、12 ビット 4ch A/D コンバータに対応しています。
 - 外部トリガ 0(4ADTG0) : 12 ビット 4ch A/D コンバータユニット 0
 - 外部トリガ 1(4ADTG1) : 12 ビット 4ch A/D コンバータユニット 1
 - ベースタイマ ch.0 : 12 ビット 4ch A/D コンバータユニット 0
 - ベースタイマ ch.2 : 12 ビット 4ch A/D コンバータユニット 1
- コンペア一致起動は、16 ビットフリーランタイム値と各起動チャネルのコンペアレジスタが一致したときに A/D 起動要求を行います。
- コンペア一致起動では、16 ビットフリーランタイム値とコンペアレジスタが一致したとき、次のいずれかによって A/D 起動要求を行います。
 - 16 ビットフリーランタイムのアップカウント時のみ
 - 16 ビットフリーランタイムのダウンカウント時のみ
 - 16 ビットフリーランタイムのアップ/ダウンカウントの双方
- A/D 起動要求は、起動チャネルごとに以下に分類し出力します。
 - ソフトウェア起動による A/D 起動要求
 - 外部トリガまたはベースタイマによる A/D 起動要求
 - コンペア一致起動による A/D 起動要求
- 起動チャネルごとに、起動要求はシングルモードまたはリピートモードを選択できます。
 - シングルモードの場合は、1 回の起動要因によって 1 回の起動要求を行います。A/D 変換は 1 回行われ、起動要求は A/D 変換終了によって解除されます。
 - リピートモードの場合は、1 回の起動要因によって起動要求を継続して行います。A/D 変換は繰返し実行され、起動要求はリピートモードが解除されるまで継続します。

c) A/D 変換データ

- A/D 変換終了時に、A/D データレジスタに変換データを格納します。A/D データレジスタは、起動チャネルごとに存在します。
- 各A/Dデータレジスタ内には、エラーフラグビットおよびエラーステータスビットが存在し、A/D変換データの状態を確認できます。

d) データ保護機能

- 各A/Dデータレジスタは、データ保護機能を設定できます。なお、データ保護機能はコンペア一致起動以外の要因のときに働きます。
- データ保護機能が有効時、A/D データレジスタのデータ読出しと割込みフラグクリアを行うまで、A/D 起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。また、割込みフラグのクリアを保護条件に含めるか選択ができます。
- A/D 変換要求中または変換中は、A/D 起動要求中ビットにより通知されます。また、現在の A/D 変換要求または変換を強制終了したい場合は、A/D 起動要求/割込みクリアレジスタ(ADTSC[n])の A/D 起動要求クリアビット(ADTSC[n]:BUSYC)に"1"を書き込むことによりできます。
- データ保護機能は、変換中の全チャネルの変換終了後に有効になります。

e) レンジ比較機能

- 起動チャネルごとに、レンジ比較できます。
- 上下限閾値の設定を最大 4 種類設定できます。起動チャネルは、4 種類の上下限閾値設定の中から 1 つの組合せを選択しレンジ比較を実行します。
- レンジ比較は、上下限閾値の範囲内もしくは範囲外確認の選択ができます。
- レンジ比較結果は、連続検出機能によりノイズ除去ができます。連続検出機能は、レンジ比較結果を連続検出によりレンジ比較フラグをセットします。
- 連続検出回数は、1 回～7 回を選択できます。
- レンジ比較結果の連続検出回数の状態が確認できます。
- レンジ比較の範囲外確認の場合、上限閾値超過もしくは下限閾値未満の検出状態が確認できます。

f) 割込み要求

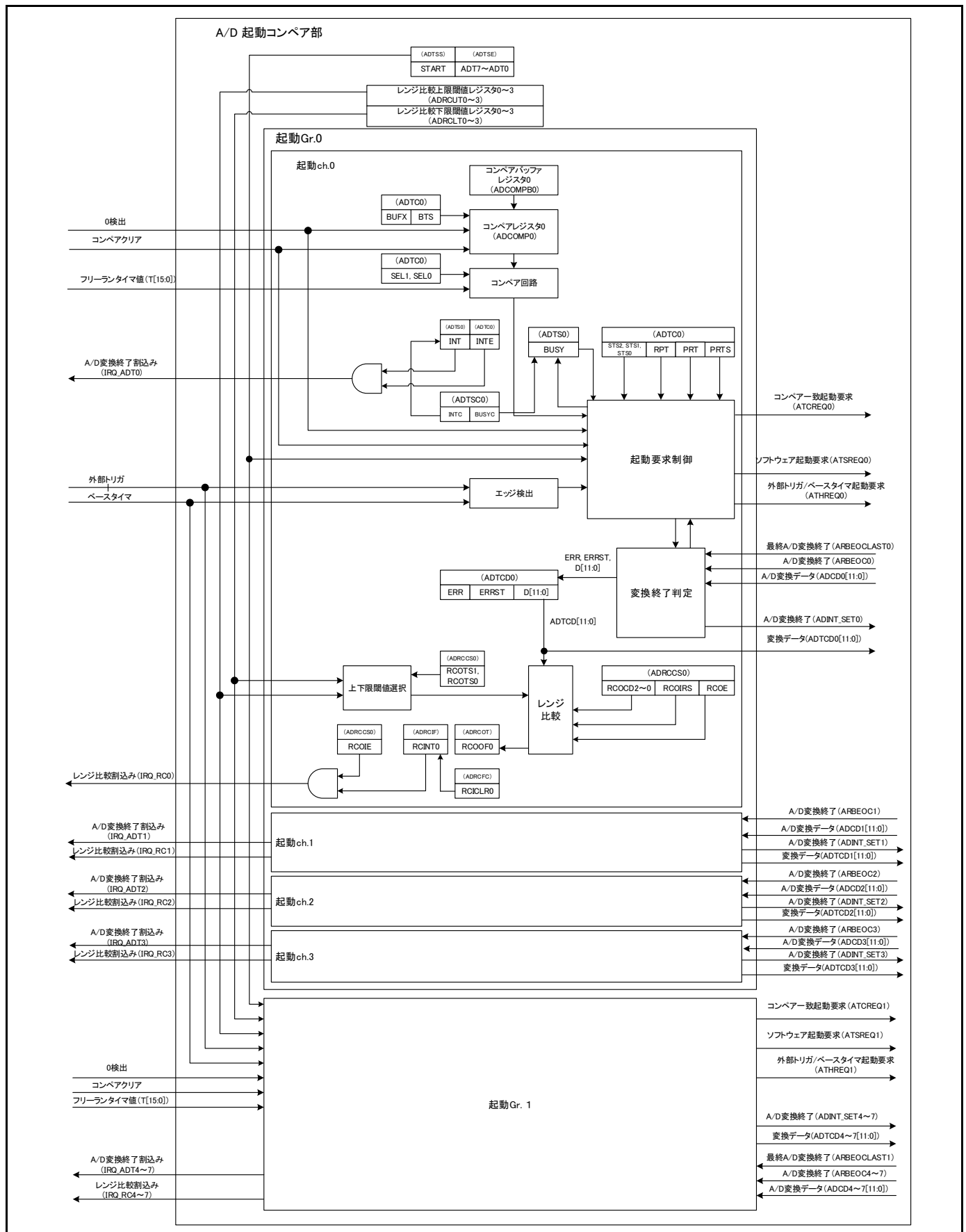
- 各起動チャネルは、A/D 変換終了時に、割込み要求を発生できます。
- 各起動チャネルは、A/D 変換終了後に実行されるレンジ比較の割込み要求を発生できます。
- レンジ比較割込み要求は、モータ演算アクセラレータの DTTI 入力要因としても使用できます。



2. 構成

A/D 起動コンペアのブロックダイアグラムを示します。

図 2-1 A/D 起動コンペアの構成





3. 動作説明

A/D 起動コンペアの動作の説明をします。

3.1. A/D 起動コンペアの割込み

A/D 起動コンペアの割込み制御ビットと割込み要因を示します。

(1) A/D 変換終了割込み

表 3-1 A/D 変換終了割込みによる割込み制御ビットと割込み要因

	A/D 変換終了割込み
割込み要求フラグビット	A/D 起動要求/割込みステータスレジスタ(ADTS[n])の INT:bit14
割込み要求許可ビット	A/D 起動トリガ制御レジスタ(ADTC[n])の INTE:bit13
割込み要因	全チャネルの変換終了信号

(n=該当する起動チャネル 0~7)

A/D 起動コンペアは、全チャネルの A/D 変換終了時に A/D 変換終了割込み要求を発生できます。また、A/D 変換終了割込みは、起動チャネル単位で制御できます。

全チャネルの A/D 変換が終了したタイミングで、割込み要求フラグビット(ADTS[n]:INT)が"1"にセットされます。このとき、割込み要求許可ビットが許可(ADTC[n]:INTE="1")されていると割込みコントローラに割込み要求を出力します。

(2) レンジ比較割込み

表 3-2 レンジ比較割込みによる割込みビットと割込み要因

	レンジ比較割込み
割込み要求フラグビット	レンジ比較フラグレジスタ(ADRCIF)の RCINT[n]:bit[n]
割込み要求許可ビット	レンジ比較制御ステータスレジスタ(ADRCCS[n])の RCOIE:bit3
割込み要因	レンジ比較実行による連続検出機能判定後

(n=該当する起動チャネル 0~7)

A/D 起動コンペアは、レンジ比較実行許可されているとき、A/D データレジスタ(ADTCD[n])に格納された変換結果をレンジ比較の上限閾値設定レジスタ 0~3(ADRCUT0~3)/下限閾値設定レジスタ 0~3(ADRCLT0~3)の内 1 つの組合せとレンジ比較します。レンジ比較した結果の連続性を確認できた場合、レンジ比較割込み要求を発生できます。また、レンジ比較割込みは、起動チャネル単位で制御できます。

レンジ比較実行許可(ADRCCS[n]:RCOE="1") 時、A/D 変換結果が A/D データレジスタ(ADTCD[n])にセットされると、レンジ比較が実行されます。レンジ比較実行は、範囲内・範囲外確認選択ビット(ADRCCS[n]:RCOIRS)によりレンジ比較条件を選択できます。

- 範囲外確認(ADRCCS[n]:RCOIRS="0")を選択した場合のレンジ比較条件
 - 下限閾値設定レジスタ > A/D 変換結果
 - または
 - 上限閾値設定レジスタ < A/D 変換結果
- 範囲内確認(ADRCCS[n]:RCOIRS="1")を選択した場合のレンジ比較条件
 - 下限閾値設定レジスタ ≤ A/D 変換結果
 - かつ
 - 上限閾値設定レジスタ ≥ A/D 変換結果

レンジ比較条件が連続検出されると、レンジ比較割込み要因フラグビット(ADRCIF:RCINT[n])が"1"にセットされます。このとき、レンジ比較割込み要求許可ビットが許可(ADRCCS[n]:RCOIE="1")されていると割込みコントローラに割込み要求を出力します。レンジ比較割込み要求が出力するタイミングは、変換が最後のチャネルのみ A/D 変換終了割込みより遅れ、それ以外のチャネルは A/D 変換終了割込みより早くなります。また、連続検出回数は、連続検出回数指定ビット(ADRCCS[n]:RCOCD[2:0])によって 1 回～7 回を選択できます。



3.2. A/D 起動コンペア動作(n=0~7)

ソフトウェア、外部トリガ、ベースタイマ、コンペア一致(16ビットフリーランタイマの値がコンペアレジスタ値と一致したとき)のいずれかにおいて、A/D 起動要求ができます。

3.2.1. A/D 起動(n=0~7)

A/D 起動要求は、起動チャンネルごとにレジスタが存在するため、起動チャンネルごとに設定し、制御できる仕組みはありますが、起動要求は、起動グループごと(起動グループ0: 起動チャンネル0~3, 起動グループ1: 起動チャンネル4~7)にしかできないため、起動チャンネル0, 起動チャンネル4に以下に説明する設定を行い、その他の起動チャンネル1~3, 起動チャンネル5~7は、ソフトウェア起動かつリピート変換モードを設定してください。

起動チャンネルは、ソフトウェア、外部トリガ(立下り)、ベースタイマ(立上り)、コンペア一致(16ビットフリーランタイマとコンペアレジスタ値が一致したとき)のいずれかによって、A/D 起動調停に対してA/D 起動要求信号を生成します。A/D 起動要求信号は、起動チャンネルごとに、「ソフトウェア起動要求」、「外部トリガ/ベースタイマ」、「コンペア一致起動要求」の3つがあり、排他的に要求します。

A/D 変換が終了したとき、A/D 起動要求がクリアされ、A/D データレジスタに変換データが格納されます。全チャンネルの変換が終了したタイミングで変換した全チャンネル同時に、A/D 変換終了割込みを発生できます。

なお、起動チャンネル内では、A/D 起動要求中(ADTS[n]:BUSY="1")に起動要因が発生しても起動要求の再起動は行いません。

＜注意事項＞

- 起動チャンネル0 または 4 で、A/D 変換を開始する前に下記の設定をしてください。
 - 起動チャンネル1~3, 起動チャンネル5~7 は、A/D 起動トリガ制御レジスタ(ADTC[1]~ADTC[3], ADTC[5]~ADTC[7])によって、常にソフトウェア起動かつリピート変換モードを設定してください。
 - 起動チャンネル1~3, 起動チャンネル5~7 は、A/D ソフトウェア起動チャンネル選択レジスタ(ADTSE)によるソフトウェア起動許可とA/D ソフトウェア起動レジスタ(ADTSS)によるA/D 変換起動を設定してください。
(起動チャンネル1~3 使用時の設定)
 - 2 チャンネル選択時: ADTSE:ADT1 ビットを"1"に設定
 - 3 チャンネル選択時: ADTSE:ADT1, ADT2 ビット"1"に設定
 - 4 チャンネル選択時: ADTSE:ADT1, ADT2, ADT3 ビットを"1"に設定

3.2.2. A/D 起動許可(n=0~7)

A/D 起動要因は、A/D 起動要因選択ビット(ADTC[n]:STS[2:0])によって選択されます。ソフトウェア、外部トリガ、ベースタイマ、コンペア一致のいずれかが選択されます。選択された起動要因が発生したときに、A/D 起動調停に対して A/D 起動要求信号を発生します。

A/D 起動を行わない起動チャネルに対しては、ソフトウェア起動を選択(ADTC[n]:STS[2:0]="0b000")し、さらに A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)の該当チャネルをソフトウェア起動禁止(ADTSE:ADT[n]="0")にすることにより、A/D 起動要求を禁止できます。

3.2.3. フリーランタイム入力

フリーランタイムは 12 ビット A/D コンバータのコンペア一致の入力として使用できます。

3.2.4. ソフトウェア起動(n=0~7)

A/D 起動要因選択ビットをソフトウェア起動(ADTC[n]:STS[2:0]="0b000")に設定します。

A/D 変換起動(ソフトウェア)ビット(ADTSS:START)に"1"を書き込むことにより、ソフトウェア起動要求信号がセットされます。

3.2.5. 外部トリガ起動(n=0~7)

A/D 起動要因選択ビットを外部トリガ起動(ADTC[n]:STS[2:0]="0b001")に設定します。

外部トリガは 12 ビット A/D コンバータの各ユニットに対応しています。

外部トリガ : 起動チャネル 0~7 (12 ビット 4ch A/D コンバータユニット)

外部トリガ入力は、起動グループ 0、起動グループ 1 に共通の入力となっており、起動グループごとに入力タイミングを変えることはできません。

外部トリガの立下りを検出したとき、外部トリガ/ベースタイマの起動要求信号がセットされます。

3.2.6. ベースタイマ起動(n=0~7)

A/D 起動要因選択ビットをベースタイマ起動(ADTC[n]:STS[2:0]="0b010")に設定します。

ベースタイマは、12 ビット 4ch A/D コンバータに対応しています。

— ベースタイマ : 起動チャネル 0~7 (12 ビット 4ch A/D コンバータユニット)

ベースタイマ入力は、起動グループ 0、起動グループ 1 に共通の入力となっており、起動グループごとに入力タイミングを変えることはできません。

ベースタイマの立上りを検出したとき、外部トリガ/ベースタイマの起動要求信号がセットされます。



3.2.7. コンペアー致起動(n=0~7)

A/D 起動要因選択ビットをコンペアー致起動(ADTC[n]:STS[2:0]="0b011")に設定します。

コンペアレジスタ(ADCOMP[n])を持ち、16ビットフリーランタイムとコンペアレジスタ値(ADCOMP[n]:CMP[15:0])が一致したときに、コンペアー致起動要求をセットします。

コンペアレジスタ(ADCOMP[n])には、起動したいタイマ値を設定します。16ビットフリーランタイムの0検出時と同タイミングでA/D起動要求を行いたい場合は"0x0000"を設定してください。また、16ビットフリーランタイムのコンペアクリア時と同タイミングでA/D起動を行いたい場合は、16ビットフリーランタイムのコンペアクリア値と同じ値を設定してください。

(1) コンペアー致起動の動作モード

コンペアー致機能の動作モードは、カウント方向選択ビット(ADTC[n]:SEL[1:0])により制御します。

カウント方向選択ビット(ADTC[n]:SEL[1:0])は、コンペアレジスタ値(ADCOMP[n]:CMP[15:0])と16ビットフリーランタイムとの比較の、アップ/ダウンカウント双方時、アップカウント時のみ、ダウンカウント時のみを選択します。また、カウント方向選択ビット(ADTC[n]:SEL[1:0])を"0b11"にセットした場合、16ビットフリーランタイムとコンペアレジスタ値(ADCOMP[n]:CMP[15:0])が一致しても、A/D 起動調停に対して起動要求信号を発生しません。

表 3-3 カウント方向選択ビット(ADTC[n]:SEL[1:0])の制御内容

ADTC[n] SEL[1:0]	機能	参照図
00	アップ/ダウンカウント双方時	図 3-1
01	アップカウント時のみ	図 3-2
10	ダウンカウント時のみ	図 3-3
11	コンペア禁止	—

<注意事項>

- コンペアレジスタ(ADCOMP[n])に"0x0000"および16ビットフリーランタイムのコンペアクリアレジスタの設定値と同じ値を設定した場合、カウント方向選択ビット(ADTC[n]:SEL[1:0])の設定によるカウント方向がアップもしくはダウンに関係なく、コンペアー致時にA/D 起動要求信号が発生します。

図 3-1 ADTC[n]:SEL[1:0]="0b00" : アップ/ダウンカウント双方時コンペア一致時起動

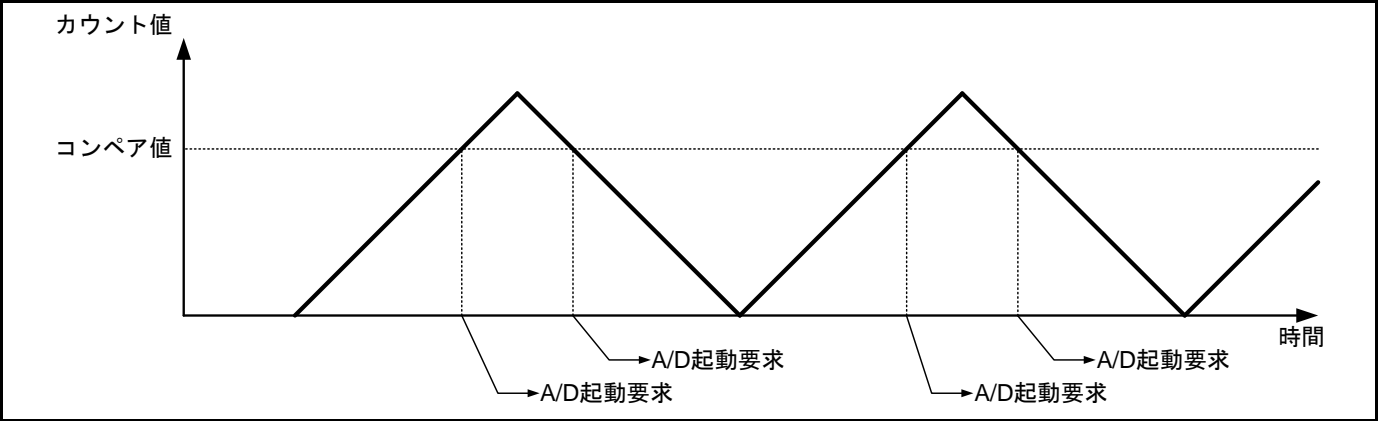


図 3-2 ADTC[n]:SEL[1:0]="0b01" : アップカウント時のみコンペア一致時起動

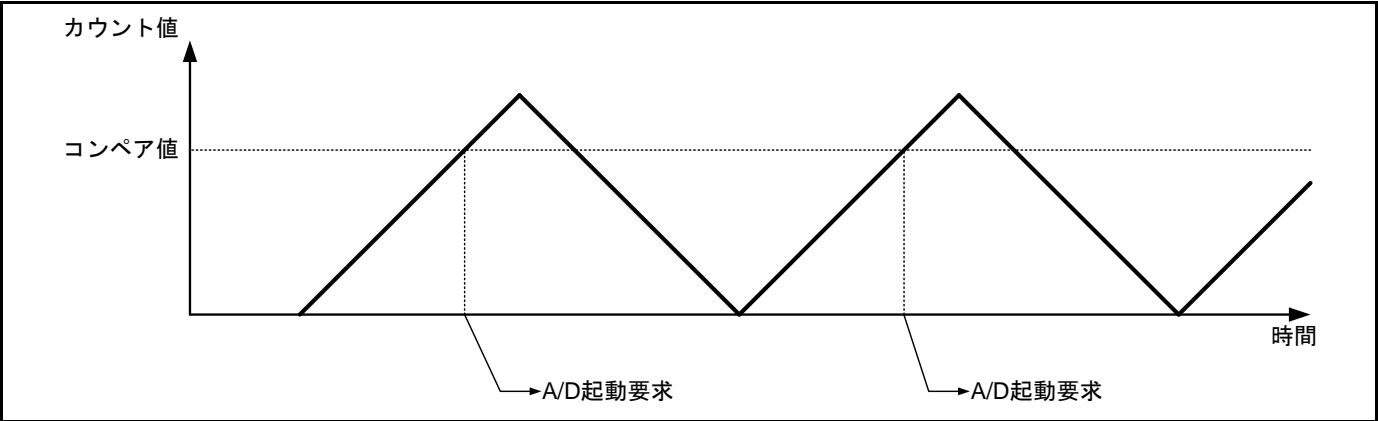
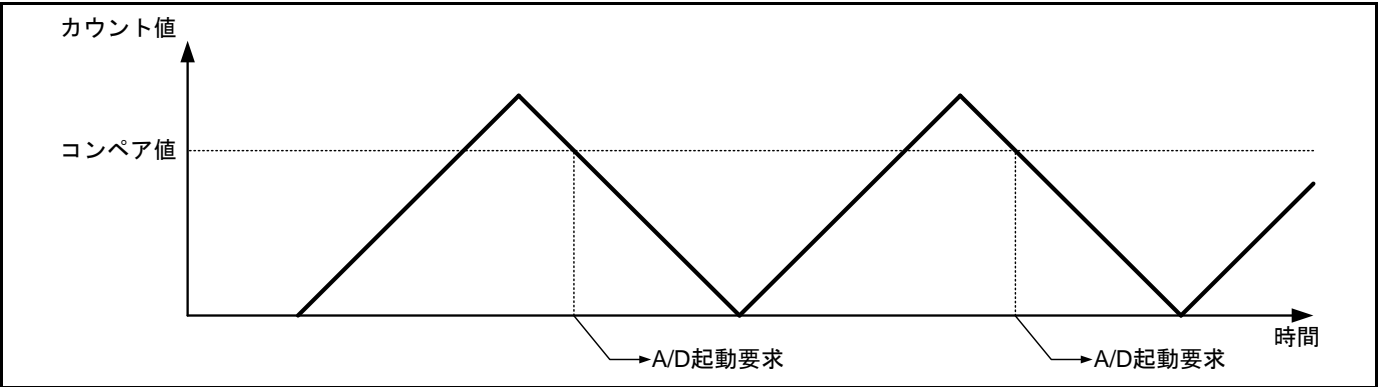
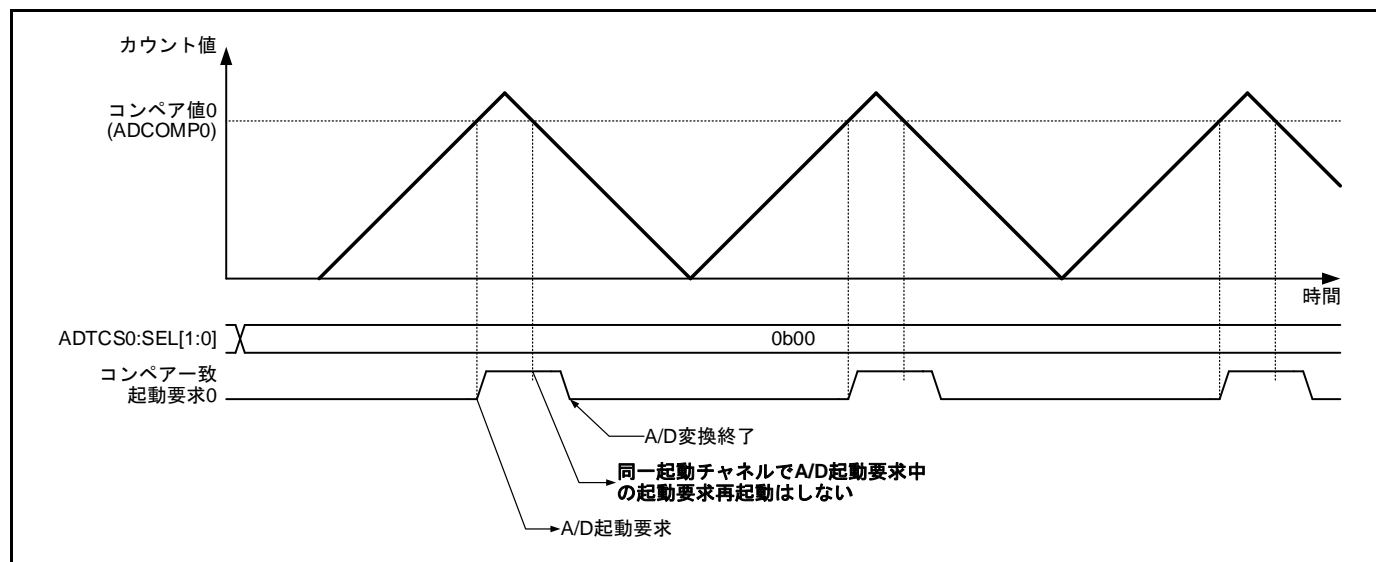


図 3-3 ADTC[n]:SEL[1:0]="0b10" : ダウンカウント時のみコンペア一致時起動



(2) コンペア一致起動のコンペア値の設定について

コンペア一致起動を行う同一起動チャンネル内で、コンペア一致の発生間隔がA/Dの変換時間よりも短い場合、A/D変換中に発生したコンペア一致は無視されます。

図 3-4 同一起動チャンネルでコンペア一致の発生間隔が A/D の変換時間よりも短い場合

また、同一 A/D コンバータユニットを起動する起動チャンネル間において、コンペア一致の発生間隔が A/D の変換時間よりも短い場合、A/D 変換中に発生した起動要求による A/D 変換開始は待たされます。意図したタイミングで A/D 変換が開始されず、遅れて A/D 変換が開始します。

(3) コンペア一致起動のコンペアレジスタバッファ機能

コンペアレジスタバッファ機能制御ビット(ADTC[n]:BUFEX)により、コンペアレジスタのバッファ機能使用の有無を選択できます。コンペアレジスタバッファ機能制御ビット(ADTC[n]:BUFEX)に"0"を書き込むとコンペアレジスタのバッファ機能が有効になります。

バッファ機能有効時(ADTC[n]:BUFEX="0")のバッファから転送するタイミングは、コンペアレジスタバッファ転送制御ビット(ADTC[n]:BTS)により選択できます。ADTC[n]:BTS="1"のときにはコンペアクリア時、ADTC:BTS="0"のときには0検出時に、コンペアバッファレジスタ(ADCOMPB[n])に書き込まれた値がコンペアレジスタ(ADCOMP[n])に転送されます。

表 3-4 コンペアバッファレジスタからコンペアレジスタへの転送条件

ADTC[n]		コンペアバッファレジスタ(ADCOMPB[n])から コンペアレジスタ(ADCOMP[n])への転送条件
BUFEX	BTS	
0	0	16ビットフリーランタイムの0検出時 もしくは16ビットフリーランタイム停止中
0	1	16ビットフリーランタイムのコンペアクリア時 もしくは、16ビットフリーランタイム停止中
1	0 or 1	バッファ機能未使用 (直ちに転送)

Figure 10-10 is a timing diagram illustrating the A/D converter's operation. The diagram shows the relationship between the counter value (カウント値), comparison buffer register (コンペアバッファレジスタ), comparison register (コンパアレジスタ), and A/D start request (A/D起動要求) over time (時間).

The counter value (カウント値) is shown on the top axis, ranging from 0x0000 to 0xCFFF. The comparison buffer register (コンペアバッファレジスタ) and comparison register (コンパアレジスタ) are shown on the middle axes, with values 0xBFFF, 0xCFFF, 0x0000, and 0xFFFF. The A/D start request (A/D起動要求) is shown on the bottom axis as a series of pulses.

The diagram illustrates the sequence of events for the A/D converter. The counter value increases linearly. When it reaches a value in the comparison buffer register (0xBFFF or 0xCFFF), the A/D start request is triggered. When it reaches a value in the comparison register (0x0000 or 0xFFFF), the A/D start request is also triggered. The A/D start request is a pulse that occurs when the counter value reaches a value in the comparison buffer register or comparison register.

Figure 10 illustrates the A/D conversion start timing. The diagram shows the relationship between the A/D counter value, comparison buffer register (ADCOMPB), comparison register (ADCOMP), and the A/D start request signal over time.

- Count Value (カウント値):** The counter value increases linearly from 0x0000 to 0xCFFF and then resets to 0x0000. The maximum value shown is 0xCFFF.
- Comparison Buffer Register (コンペアバッファレジスタ (ADCOMPB)):** The register contains a sequence of values: 0xBFFF, 0xCFFF, 0xBFFF, 0x0000, 0xBFFF, 0x0000, 0xCFFF, 0xFFFF, 0x0000.
- Comparison Register (コンペアレジスタ (ADCOMP)):** The register contains a sequence of values: 0xBFFF, 0xCFFF, 0xBFFF, 0x0000, 0xBFFF, 0x0000, 0xCFFF, 0xFFFF, 0x0000.
- A/D Start Request (A/D起動要求):** The signal is generated when the counter value matches the comparison register value. The diagram shows pulses corresponding to the start of conversion for each comparison value.

The diagram shows the timing of the A/D start request signal relative to the counter value and the comparison register values. The start request signal is generated when the counter value matches the comparison register value.



図 3-7 16 ビットフリーランタイムアップダウンカウント時、コンペアクリアレジスタと一致したときのコンペアレジスタデータ転送タイミング

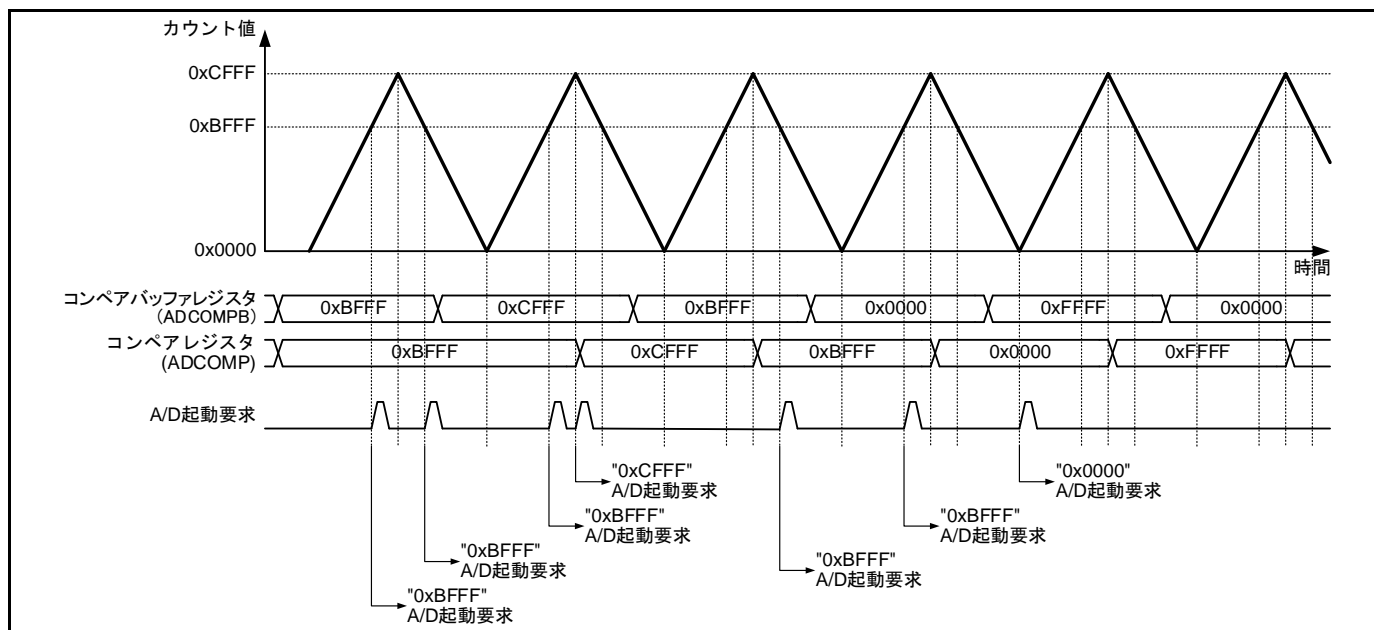
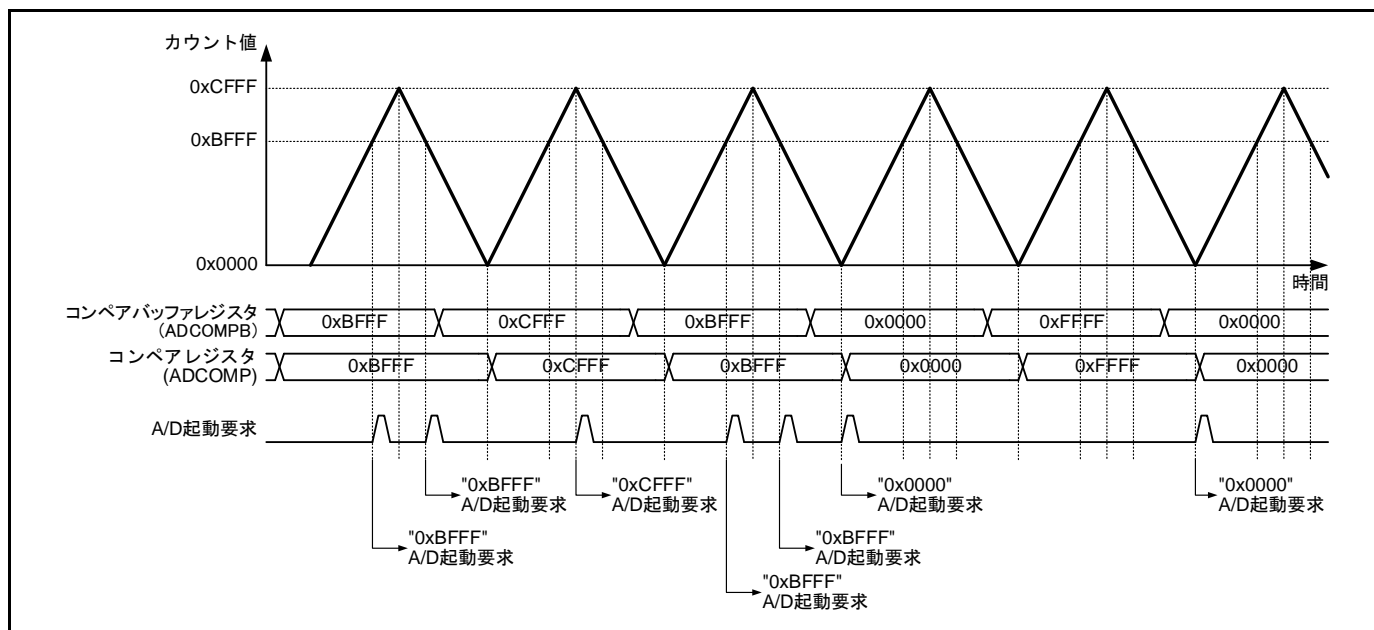


図 3-8 16 ビットフリーランタイムアップダウンカウント時、0 検出時のコンペアレジスタデータ転送タイミング



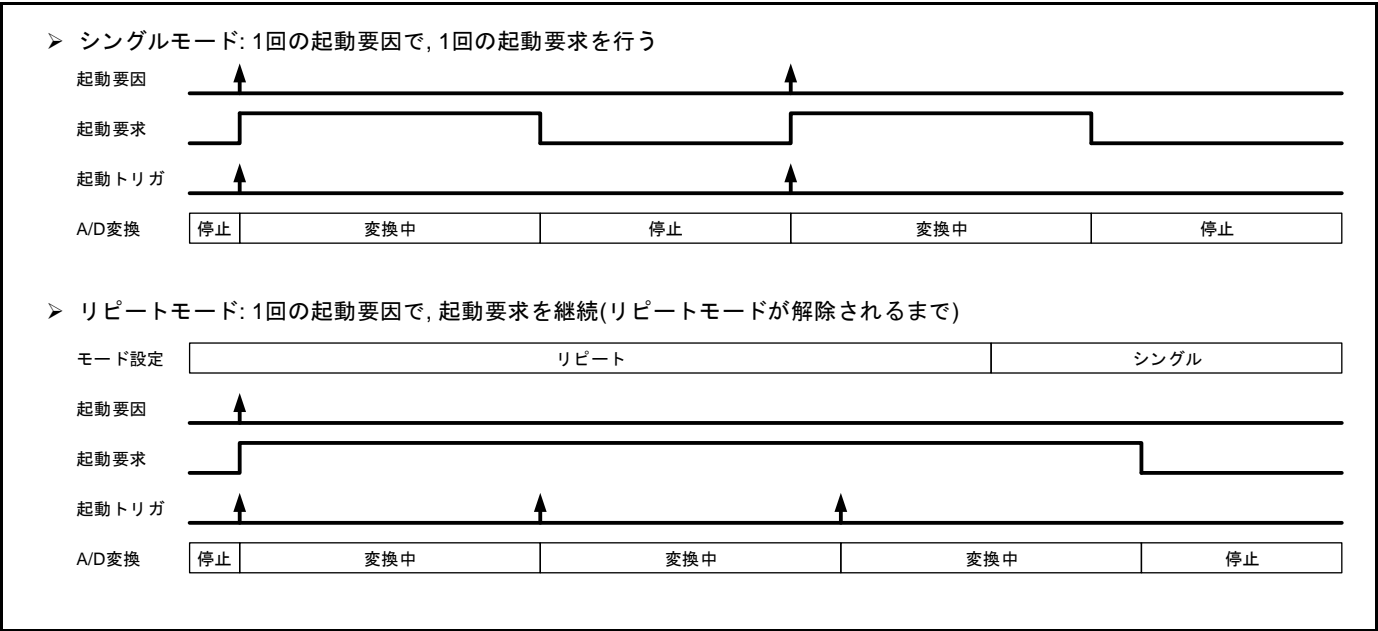


3.2.8. 起動要求モード(n=0~7)

起動チャンネルごとに起動要求モードを設定できます。起動要求モードはシングルモードとリピートモードの2つです。リピート変換選択ビット(ADTC[n]:RPT)によって設定されます。

- シングルモード(ADTC[n]:RPT="0")の場合は、1回の起動要因によって1回の起動要求を行います。A/D変換は1回(チャンネル0~チャンネル3)行われ、起動要求はA/D変換終了によって解除されます。
- リピートモード(ADTC[n]:RPT="1")の場合は、1回の起動要因によって起動要求を継続して行います。A/D変換は繰り返し実行され、起動要求はリピートモードが解除されるまで継続します。
- 起動要求モードの設定をA/D変換終了割込み後に行った場合は、設定後の次の変換が終了するタイミングで有効になります。

図 3-9 起動要求モード





3.2.9. A/D 変換データ(n=0~7)

A/D 変換結果データは、A/D データビット(ADTCD[n]:D[11:0])に格納されます。

また、データ保護機能無効(ADTC[n]:PRT="0")またはコンペア一致起動

(ADTC[n]:STS[2:0]="0b011") 時、変換データエラーフラグビット(ADTCD[n]:ERR), および変換データエラーステータスビット(ADTCD[n]:ERRST)により、A/D データビット(ADTCD[n]:D[11:0])に格納されている A/D 変換データの状態を確認できます。変換データエラーフラグビット(ADTCD:ERR), および変換データエラーステータスビット(ADTCD:ERRST)の動作については、図 3-10 を参照してください。

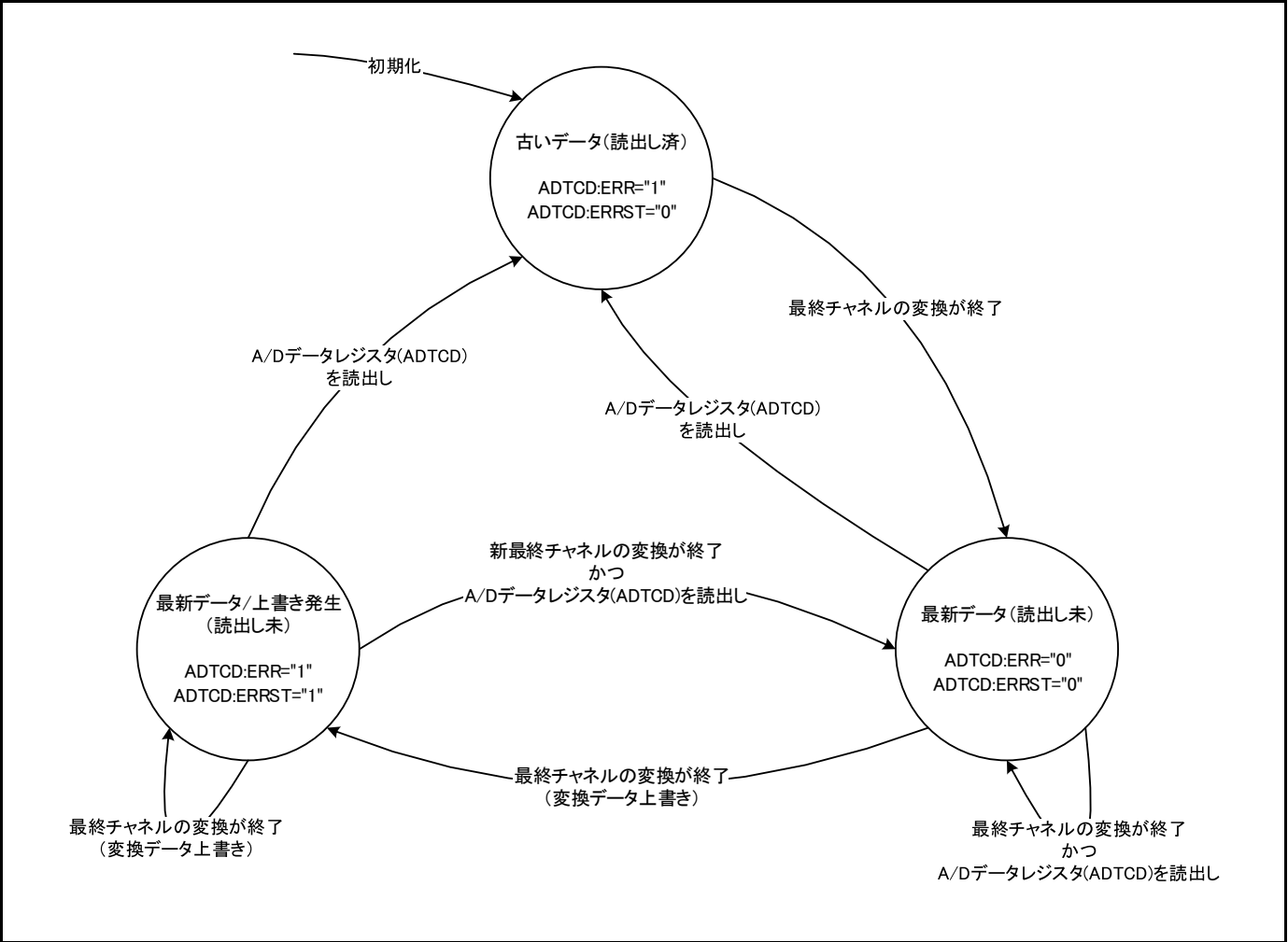
データ保護機能有効(ADTC[n]:PRT="1") 時、変換データエラーフラグビット(ADTCD[n]:ERR)は"0", 変換データエラーステータスビット(ADTCD[n]:ERRST)は"0"に固定されます。

表 3-5 A/D 変換データの状態確認(データ保護機能無効(ADTC[n]:PRT="0") またはコンペア一致起動(ADTC[n]:STS[2:0]="0b011")時)

ADTCD[n]:ERR	ADTCD[n]:ERRST	A/D 変換データ状態
0	0	最新データ(読出し未)
0	1	—(意味を持ちません)
1	0	古いデータ(読出し済) (注意)初期値
1	1	最新データ/上書き発生(未読出し) (注意)データ破棄あり

ADTCD[n]:ERR, ADTCD[n]:ERRST="0b01" の組み合わせは、ハードウェア的に発生することはありません。

図 3-10 A/D 変換データの状態制御(データ保護機能無効(ADTCS:PRT="0")またはコンペアー致起動(ADTC[n]:STS[2:0]="0b011")時)



<注意事項>

- 変換データエラーフラグビット(ADTCD[n]:ERR),および変換データエラーステータスビット(ADTCD[n]:ERRST)は, 設定した最終チャンネルの変換データがA/Dデータレジスタ(ADTCD[n])に格納されるタイミングで更新されます。

表 3-6 ADTCD[n]:ERR, ADTCD[n]:ERRST 変化タイミング例(n=0~7)

起動要求モード	データ保護機能	起動要因	ADTCD[n]:ERR, ADTCD[n]:ERRST 変化タイミング
シングルモード (ADTC[n]:RPT="0") (n=0~7)	無効(ADTC[n]:PRT="0") (n=0~7)	コンペアー致起動 (ADTC[n]:STS[2:0]="0b011") (n=0~7)	A/D 起動要求中ビット (ADTS[n]:BUSY)が"1"から "0"に変化するタイミング(n=0, 4)
		コンペアー致起動以外	
	有効(ADTC[n]:PRT="1") (n=0~7)	コンペアー致起動 (ADTC[n]:STS[2:0]="0b011") (n=0~7)	ADTCD[n]:ERR, ADTCD[n]:ERRST は"0"に固定
		コンペアー致起動以外	



起動要求モード	データ保護機能	起動要因	ADTCD[n]:ERR, ADTCD[n]:ERRST 変化タイミング
リピートモード (ADTC[n]:RPT="1") (n=0~7)	無効(ADTC[n]:PRT="0") (n=0~7)	コンペアー一致起動 (ADTC[n]:STS[2:0]="0b011") (n=0~7)	割込み要求フラグビット (ADTS[n]:INT)が"0"から "1"に変化するタイミング(n=0~7)
		コンペアー一致起動以外	
	有効(ADTC[n]:PRT="1") (n=0~7)	コンペアー一致起動 (ADTC[n]:STS[2:0]="0b011") (n=0~7)	ADTCD[n]:ERR, ADTCD[n]:ERRST は"0"に固定
		コンペアー一致起動以外	

3.2.10. データ保護機能

A/D データレジスタ(ADTCD[n])は、データ保護機能を設定できます。

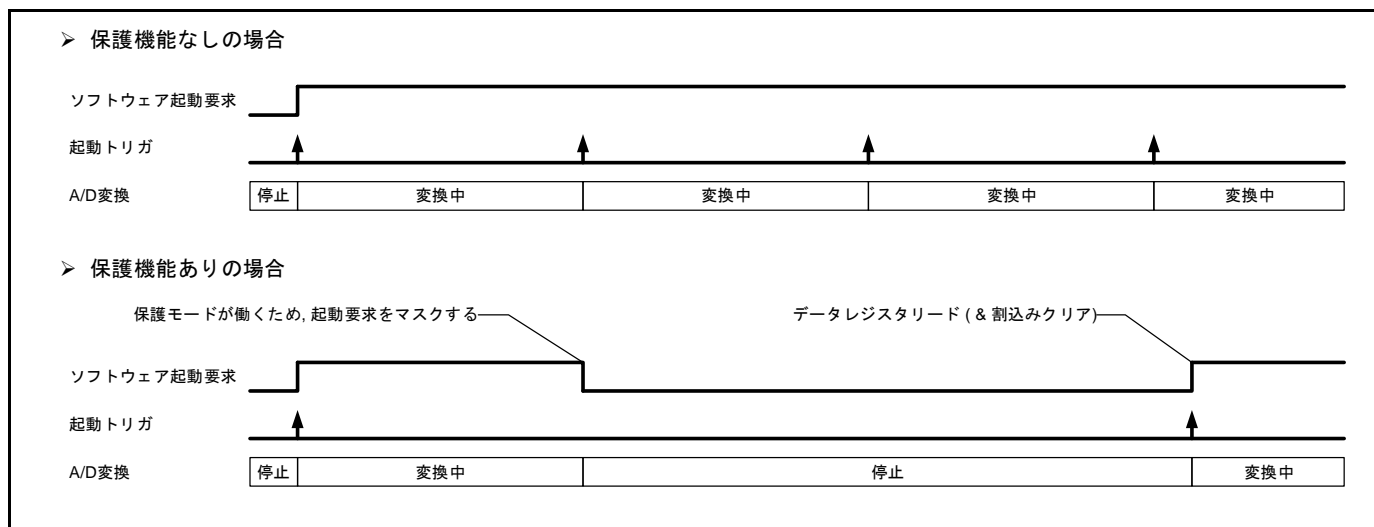
データ保護機能は、A/D データレジスタ保護有効ビット(ADTC[n]:PRT)によって設定されます。なお、データ保護機能はコンペアー致起動(ADTC[n]:STS[2:0]="0b011") 以外の要因のときに働きます。

データ保護機能が有効(ADTC[n]:PRT="1") 時、A/D データレジスタ(ADTCD[n])に変換結果が格納されるとデータ保護状態になります。データ保護状態の解除条件は、A/D データレジスタ保護解除選択ビット(ADTC[n]:PRTS)により選択できます。データ保護状態中は、次の起動要因が発生しても起動要求信号をマスク(非アクティブ)することによって、未読出しの A/D データレジスタ(ADTCD[n])のデータが次の A/D 変換データで上書きされることを保護します。

- A/D データレジスタ保護解除選択ビット(ADTC[n]:PRTS)が"0"の場合、A/D データレジスタ(ADTCD[n])のデータ読出しと割込みフラグ(ADTS[n]:INT)のクリアがされるまで、起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。
- A/D データレジスタ保護解除選択ビット(ADTC[n]:PRTS)が"1"の場合、A/D データレジスタ(ADTCD[n])のデータ読出しがされるまで、起動要求がマスクされます。

データ保護機能は、すべての変換チャネルの変換終了後に有効になります。

図 3-11 データ保護機能(リピートモード(ADTC[n]:RPT="1") 時のソフトウェア起動要求例)

**<注意事項>**

- 起動チャネル 0 または 4 のデータ保護機能設定(ADTC[0]:PRT="1"または ADTC[4]:PRT="1")時、起動チャネル 0 または 4 の A/D データレジスタ保護解除選択ビットが"1"(ADTC[0]:PRTS="1"または ADTC[4]:PRTS="1")の状態、起動チャネル 0 または 4 の A/D データレジスタ(ADTCD[0]または ADTCD[4])を読み出すとデータ保護設定が解除されます。
- 起動チャネル 0 または 4 の A/D データレジスタ保護解除選択ビットが"0"(ADTC[0]:PRTS="0"または ADTC[4]:PRTS="0")の状態、起動チャネル 0 または 4 の A/D データレジスタ(ADTCD[0]または ADTCD[4])を読み出し、起動チャネル 0 または 4 の A/D 変換終了割込みのクリアが行われるとデータ保護設定が解除されます。
- データ保護設定の解除から、起動チャネル 1~3 または起動チャネル 5~7 の A/D データレジスタ(ADTCD[1]~ADTCD[3]または ADTCD[5]~ADTCD[7])の読み出しが遅れ、次の A/D 変換結果が書き込まれるまでに読み出しが行われない場合、起動チャネル 1~3 または起動チャネル 5~7 の A/D データレジスタ(ADTCD[1]~ADTCD[3]または ADTCD[5]~ADTCD[7])にはデータが上書きされます。このような上書きを回避するためには、起動チャネル 1~3 または起動チャネル 5~7 の A/D データレジスタの読み出しの後に、起動チャネル 0 または 4 の A/D データレジスタの読み出しを行ってください。

3.2.11. 起動要求の強制終了

A/D 起動要求中または変換中は、A/D 起動要求中ビット(ADTS[n]:BUSY)により通知されます。また、現在の A/D 起動要求または変換を強制終了したい場合には、A/D 起動要求クリアビット(ADTSC[n]:BUSYC)に"1"を書き込みます。

3.2.12. レンジ比較機能

(1) レンジ比較上下限閾値設定

上限閾値設定レジスタ(ADRCUT) および下限閾値設定レジスタ(ADRCLT)は、4 種類の設定ができます。4 種類の上下限閾値設定レジスタの組合せから起動チャンネルごとの上下限閾値選択ビット (ADRCSS[n]:RCOTS[1:0])により 1 つを選択します。

表 3-7 レンジ比較上下限閾値選択

上下限閾値選択ビット (ADRCSS[n]:RCOTS[1:0])	選択結果
00	上限閾値設定レジスタ 0(ADRCUT0)/下限閾値設定レジスタ 0(ADRCLT0)
01	上限閾値設定レジスタ 1(ADRCUT1)/下限閾値設定レジスタ 1(ADRCLT1)
10	上限閾値設定レジスタ 2(ADRCUT2)/下限閾値設定レジスタ 2(ADRCLT2)
11	上限閾値設定レジスタ 3(ADRCUT3)/下限閾値設定レジスタ 3(ADRCLT3)

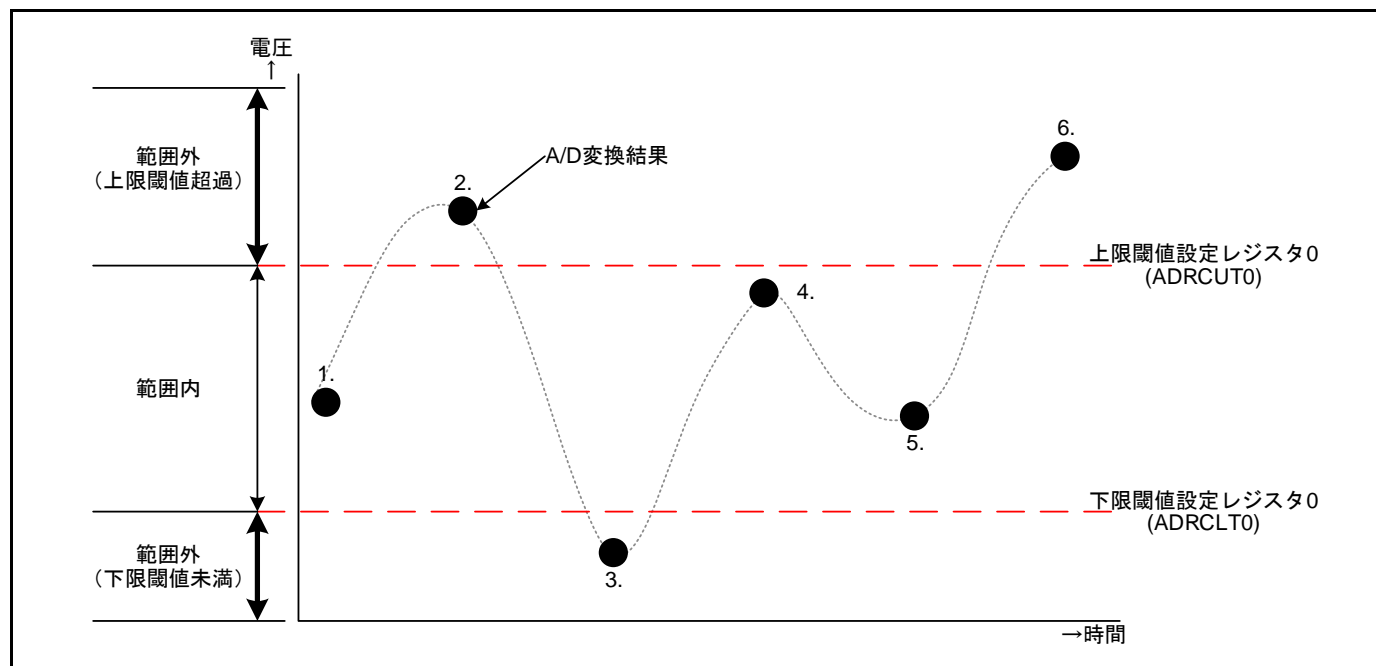
(2) レンジ比較動作

レンジ比較は、レンジ比較許可設定(ADRCSS[n]:RCOE="1") 時、A/D 変換が終了し A/D データビット (ADTCD[n]:D[11:0])に格納されると実行します。レンジ比較は、レンジ比較上下限閾値選択ビット (ADRCSS[n]:RCOTS[1:0])により選択した上下限閾値設定レジスタ(ADRCUT/ADRCLT)と A/D データビット (ADTCD[n]:D[11:0])を比較します。レンジ比較結果は、連続検出機能に入力されます。

表 3-8 レンジ比較条件

レンジ比較結果	範囲外確認 (ADRCSS[n]:RCOIRS="0")	範囲内確認 (ADRCSS[n]:RCOIRS="1")
範囲外(上限閾値超過) A/D データビット > 上限閾値設定レジスタ (図 3-12 : 2. , 6.)	検出	未検出
範囲内 A/D データビット \geq 下限閾値設定レジスタ かつ A/D データビット \leq 上限閾値設定レジスタ (図 3-12 : 1. , 4. , 5.)	未検出	検出
範囲外(下限閾値未満) A/D データビット < 下限閾値設定レジスタ (図 3-12 : 3.)	検出	未検出

図 3-12 レンジ比較条件



(3) レンジ比較結果の連続検出機能

連続検出機能は、レンジ比較結果の連続検出を行い、ノイズなどを除去します。

レンジ比較結果の検出状態をレンジ比較連続検出回数指定設定(ADRCSS[n]:RCOCD[2:0])により設定した回数を連続検出したとき、レンジ比較割込み要因フラグビット(ADRCIF:RCINT)に"1"を設定します。連続検出中に1度でもレンジ比較結果で未検出となった場合、連続検出測定は0回にクリアされ測定をやり直します。

表 3-9 連続検出機能動作条件

連続検出測定動作	<ul style="list-style-type: none"> - 起動チャネルごとに制御します。 - レンジ比較実行許可設定(ADRCSS[n]:RCOE="1") 時は常に動作します。
連続検出回数	<ul style="list-style-type: none"> - 連続検出回数指定(ADRCSS[n]:RCOCD[2:0])により、1回～7回を選択できます。 - 連続検出回数状態表示(ADRCSS[n]:RCOCD[2:0])により、検出回数の状態を確認できます。
クリア条件	<ul style="list-style-type: none"> - レンジ比較実行禁止設定(ADRCSS[n]:RCOE="0") 時 - レンジ比較結果において未検出時
インクリメント条件	<ul style="list-style-type: none"> - レンジ比較結果において検出時 <p>ただし、連続検出回数指定(ADRCSS[n]:RCOCD[2:0])に到達した場合、連続検出回数指定値で停止します。</p>

＜注意事項＞

- 範囲外確認(ADRCSS[n]:RCOIRS="0") 時、レンジ比較結果が上限閾値超過状態から下限閾値未満状態に変化しても、連続検出測定は、0 回にクリアせず連続検出を継続します。
- レンジ比較結果の連続検出回数状態を初期化したい場合、A/D 変換未要求中(ADTS[n]:BUSY="0")に、レンジ比較実行禁止設定のあと許可設定(ADRCSS[n]:RCOE="0"→"1")にしてください。
- 連続検出によるレンジ比較割込み要因フラグ(ADRCIF:RCINT[n])の"1"セットは、最終変換チャネル以外は、A/D 変換終了割込みによる割込み制御ビットのフラグセット(ADTS[n]:INT="1")より先に、最終変換チャネルは A/D 変換終了割込みによる割込み制御ビットのフラグセット(ADTS[n]:INT="1")より後に行われます。

(4) レンジ比較超過フラグ制御

レンジ比較の範囲外確認(ADRCSS[n]:RCOIRS="0")の場合、上限閾値超過または下限閾値未満の表示は、起動チャネルごとにレンジ比較閾値超過フラグビット(ADRCOT:RCOOF[n])によって確認できます。

表 3-10 レンジ比較閾値超過フラグ判定条件

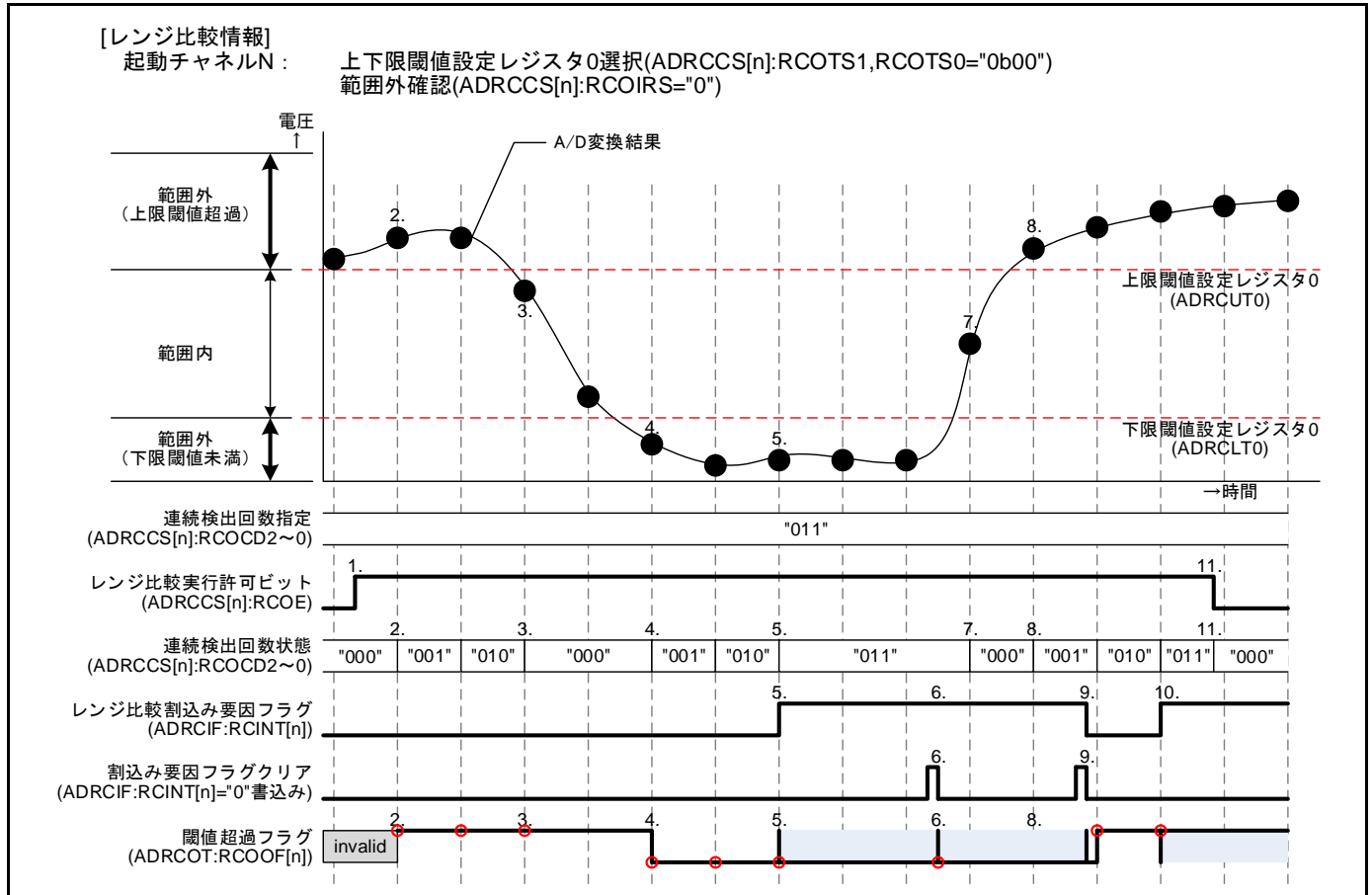
レンジ比較結果	レンジ比較閾値超過フラグビット(ADRCOT:RCOOF[n])	
	範囲外確認 (ADRCSS[n]:RCOIRS="0")	範囲内確認 (ADRCSS[n]:RCOIRS="1")
範囲外(上限閾値超過) A/D データビット > 上限閾値設定レジスタ	"1"	前値保持
範囲内 A/D データビット ≥ 下限閾値設定レジスタ かつ A/D データビット ≤ 上限閾値設定レジスタ	前値保持	前値保持
範囲外(下限閾値未満) A/D データビット < 下限閾値設定レジスタ	"0"	前値保持

また、レンジ比較閾値超過フラグビット(ADRCOT:RCOOF[n])は、レンジ比較割込み要因フラグ(ADRCIF:RCINT[n])が"1"にセットされている間は、レンジ比較閾値超過フラグビット(ADRCOT:RCOOF[n])にセットされている内容を保持します。



(5) レンジ比較動作例

図 3-13 レンジ比較動作例



- レンジ比較実行禁止設定(ADRCSS[n]:RCOE="0")時、連続検出回数状態(ADRCSS[n]:RCOCD[2:0])を"0b000"に初期化します。
レンジ比較実行許可設定(ADRCSS[n]:RCOE="1")によりレンジ比較動作開始します。
- レンジ比較結果が上限閾値超過により、連続回数検出状態(ADRCSS[n]:RCOCD[2:0])をインクリメント実施します。
また、閾値超過フラグは上限閾値超過(ADRCOT:RCOOF[n]="1")を通知します。
- 連続検出回数指定値(ADRCSS[n]:RCOCD[2:0]="0b011")前にレンジ比較結果が範囲内を検出したため、連続検出回数状態を初期化(ADRCSS[n]:RCOCD[2:0]="0b000")します。
また、閾値超過フラグ(ADRCOT:RCOOF[n])は前値を保持します。
- レンジ比較結果が下限閾値未満により、連続回数検出状態(ADRCSS[n]:RCOCD[2:0])をインクリメント実施します。
また、閾値超過フラグは下限閾値未満(ADRCOT:RCOOF[n]="0")を通知します。
- レンジ比較結果が連続的に連続検出回数指定値(ADRCSS[n]:RCOCD[2:0]="0b011")に到達したことにより、レンジ比較割込み要因フラグ(ADRCIF:RCINT[n])は"1"にセットされます。
また、閾値超過フラグ(ADRCOT:RCOOF[n])は、レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1")されたときの閾値超過状態をセットし、レンジ比較割込み要因フラグクリア(ADRCIF:RCINT[n]C="1")されるまで保持します。
- レンジ比較割込み要因フラグクリア(ADRCIF:RCINT[n]C="1")と連続検出状態が競合した場合、連続検出状態によるセット動作が優先されます。レンジ比較割込み要因フラグはセット(ADRCIF:RCINT[n]="1")状態、閾値超過フラグ(ADRCOT:RCOOF[n])は、閾値超過状態を再セットします。

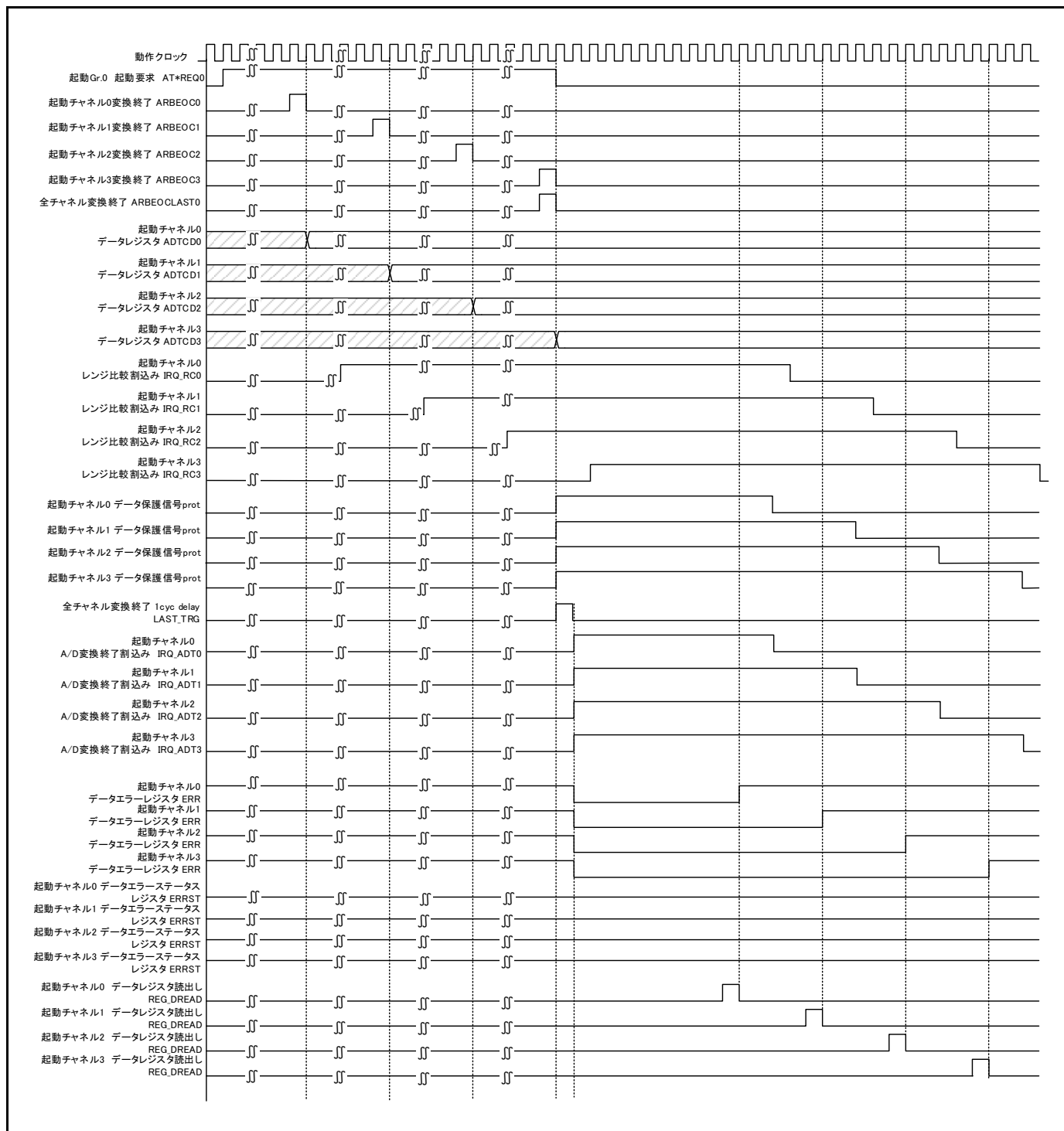
7. レンジ比較結果が範囲内のとき、レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1")状態でも、連続検出回数状態は初期化(ADRCSS[n]:RCOCD[2:0]="0b000")されます。
8. レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1") 状態でも、レンジ比較結果が上限閾値超過により、連続回数検出状態(ADRCSS[n]:RCOCD[2:0])をインクリメント実施します。
ただし、レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1")状態のため、閾値超過フラグ(ADRCOT:RCOOF[n])は前値を保持します。
9. レンジ比較割込み要因フラグクリア(ADRCIFC:RCINT[n]C="1")により、レンジ比較割込み要因フラグはクリア(ADRCIF:RCINT[n]="0")されます。
また、閾値超過フラグ(ADRCOT:RCOOF[n])の保持状態も解除されます。
10. レンジ比較結果が連続的に連続検出回数指定値(ADRCSS[n]:RCOCD[2:0]="0b011")に到達したことにより、レンジ比較割込み要因フラグ(ADRCIF:RCINT[n])は"1"にセットされます。
また、閾値超過フラグ(ADRCOT:RCOOF[n])は、レンジ比較割込み要因フラグセット(ADRCIF:RCINT[n]="1")されたときの閾値超過状態をセットし、レンジ比較割込み要因フラグクリア(ADRCIFC:RCINT[n]C="1")されるまで保持します。
11. レンジ比較実行禁止設定(ADRCSS[n]:RCOE="0") 時、連続検出回数状態(ADRCSS[n]:RCOCD[2:0])を"0b000"に初期化します。
また、レンジ比較割込み要因フラグ(ADRCIF:RCINT[n]) および閾値超過フラグ(ADRCOT:RCOOF[n])は、レンジ比較実行禁止設定(ADRCSS[n]:RCOE="0")によりクリアされません。



3.3. 動作タイミング例

動作タイミングの例について説明します。(n=該当する起動チャンネル0～7)

図 3-14 動作タイミング例



A/D 起動コンペアは、A/D 起動要因選択ビット(ADTC[n]:STS[2:0])によって選択された起動要因をトリガとして、起動要求を出力します。

起動チャンネル単位の A/D 変換が終了したタイミングで変換終了信号が入力されます。

A/D 起動コンペアは、変換終了信号が"1"のタイミングで起動チャネルそれぞれのデータレジスタに変換データを書き込みます。このとき、データエラーフラグビットは、変化しません。レンジ比較機能が有効であれば、起動チャネルごとに別々のタイミングでレンジ比較を実行し、割込み通知の条件を満たした場合にはレンジ比較割込みが発生します。

全チャネルの変換が終了したタイミングで、最後の変換終了信号と同時に全チャネル変換終了信号が入力されます。

A/D 起動コンペアは、全チャネル変換終了信号を受け、起動要求をオフにします。全チャネルの A/D 変換終了割込みが有効になっている場合、全チャネルの A/D 変換終了割込みが同時に発生します。最後のチャネルのレンジ比較割込みは、A/D 変換終了割込みより遅いタイミングで発生します。データ保護機能が設定されている場合、保護機能が有効になります。A/D データレジスタ保護解除選択ビット(ADTC[n]:PRTS)が"1"に設定されていると、A/D データレジスタ(ADTCD[n])の読出しが保護解除条件となり、読出しを行うと保護が解除されます。データエラーフラグビットは、全チャネル同時に"0"となり、最新データが格納されていることを示し、A/D データレジスタ(ADTCD[n])の読出しを行うと、"1"になります。



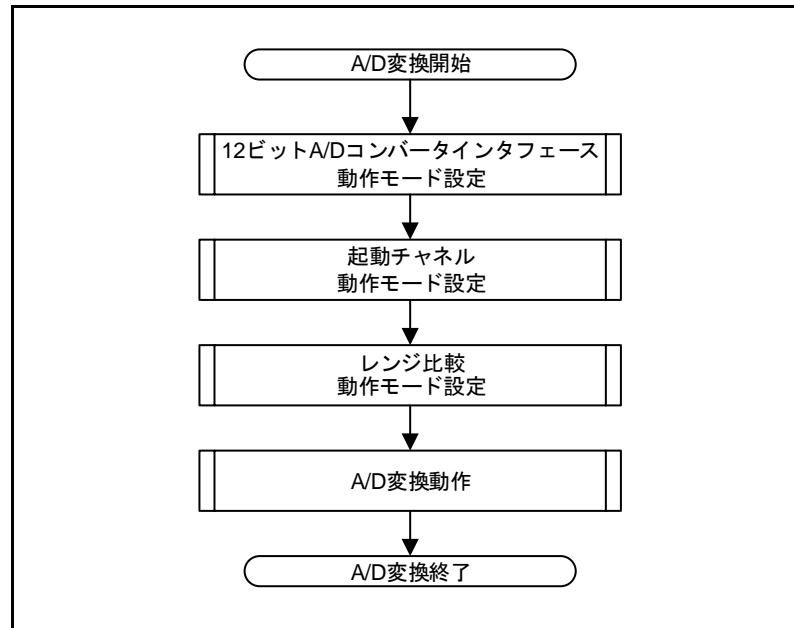
4. 設定手順例

A/D 起動コンペアの設定手順例を示します。

4.1. A/D 変換する場合の設定手順例

A/D 変換する場合の設定手順例を図 4-1 に示します。

図 4-1 A/D 変換の設定手順例



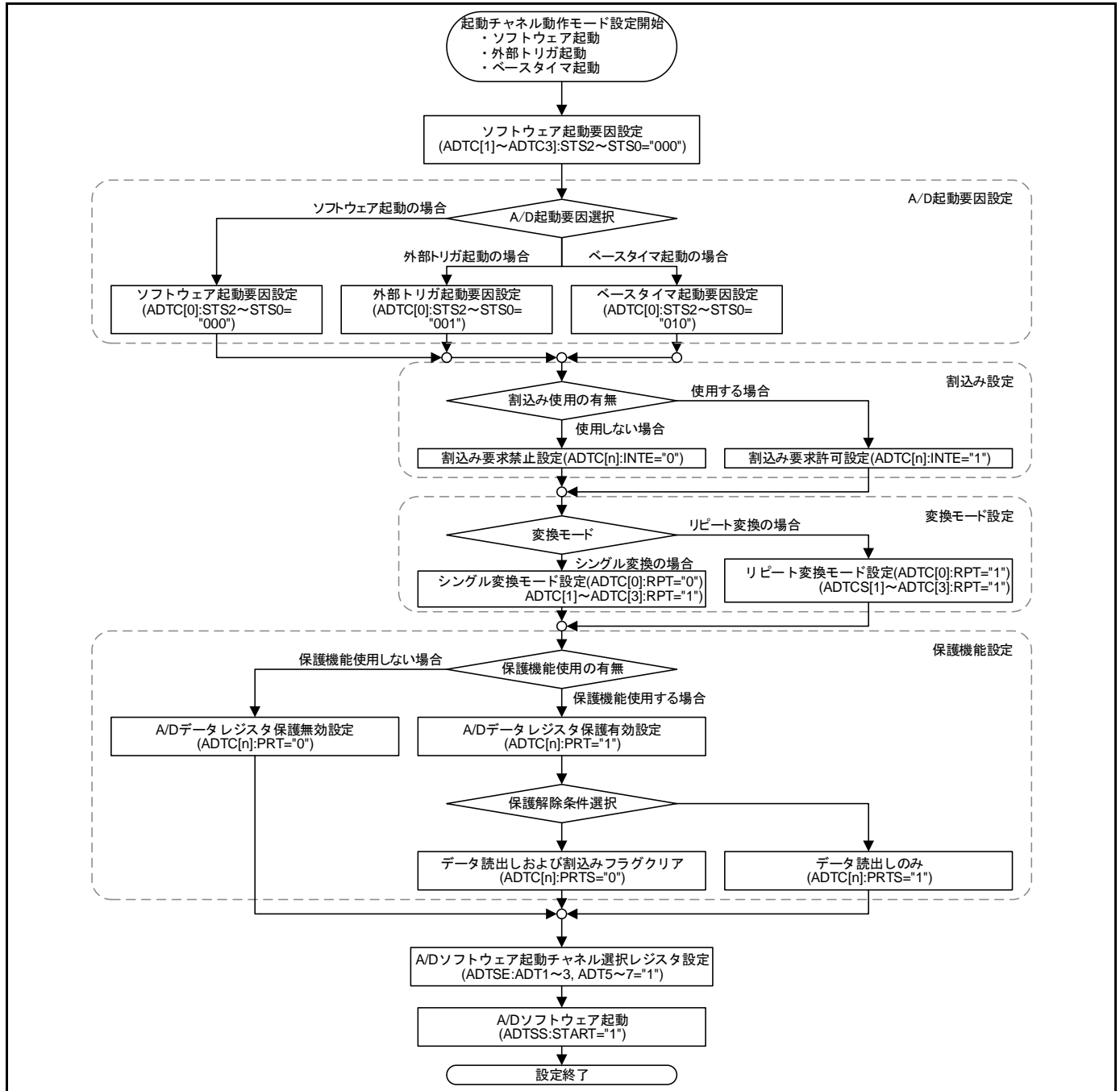
(1) 12 ビット A/D コンバータインタフェース動作モード設定

12 ビット A/D コンバータインタフェースの動作モード設定は、『12 ビット 4chA/D コンバータインタフェース』の章の設定手順例を参照してください。

(2) 起動チャネル動作モード設定

a) ソフトウェア・外部トリガ・ベースタイマ起動の設定例

図 4-2 ソフトウェア・外部トリガ・ベースタイマ起動の設定例

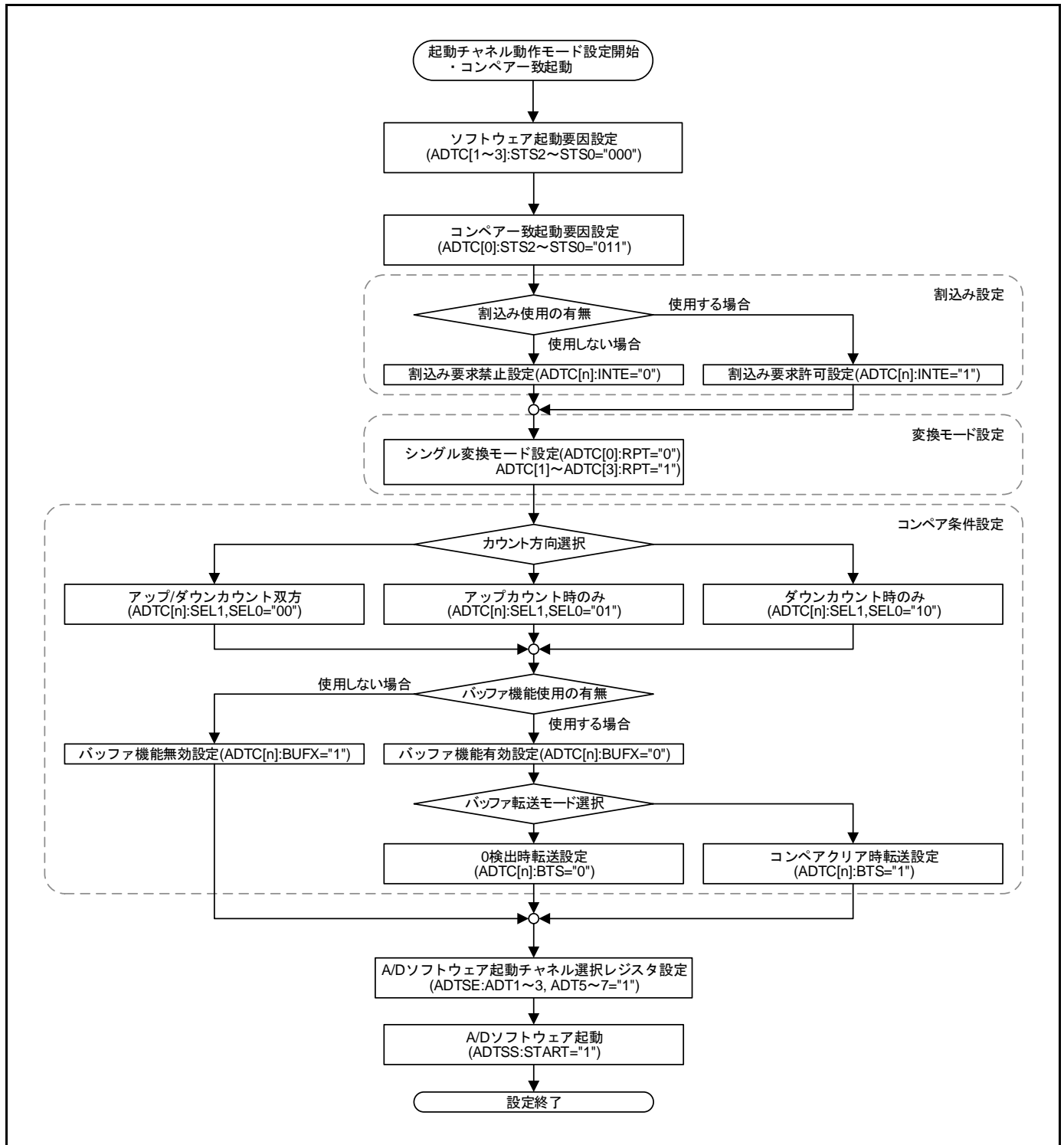


- 上記設定内容は順不同で設定できます。
- コンペア一致起動モード(ADTC[n]:STS[2:0]="0b011") 以外の場合は、下記の制御ビットは意味を持ちませんので設定不要(初期値の設定保持)です。
 - コンペア値バッファビット(ADCOMPB[n]:CMP[15:0])
 - コンペア値ビット(ADCOMP[n]:CMP[15:0])
 - カウント方向選択ビット(ADTC[n]:SEL[1:0])
 - コンペアレジスタバッファ機能制御ビット(ADTC[n]:BUFX)
 - コンペアレジスタバッファ転送制御ビット(ADTC[n]:BTS)



b) コンペアー致起動の設定例

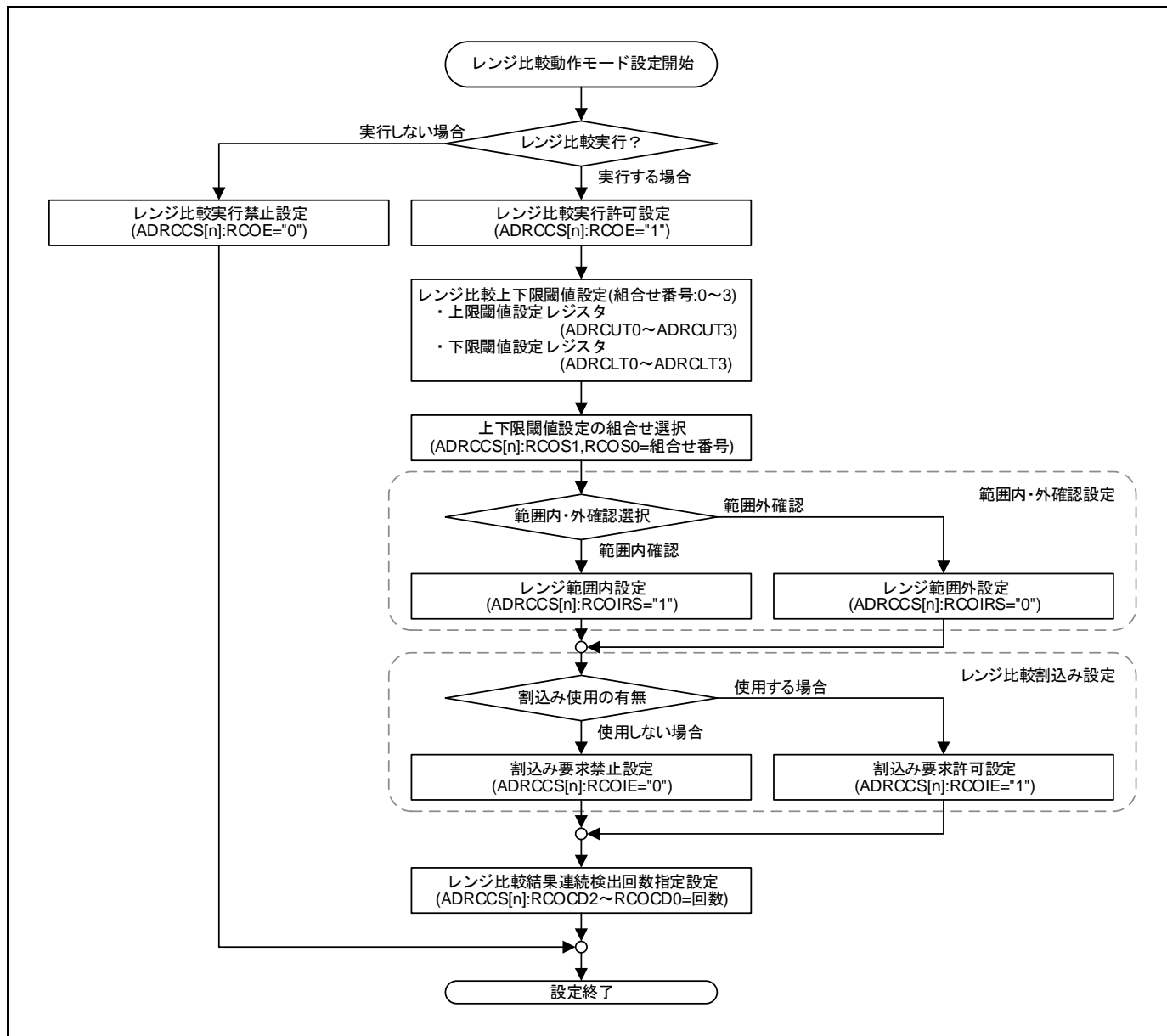
図 4-3 コンペアー致起動の設定例



- 上記設定内容は順不同で設定できます。
- コンペアー致起動モード(ADTC[n]:STS[2:0]="0b011")の場合は、下記の制御ビットはドントケアになりますので設定不要(初期値の設定保持)です。
 - A/D データレジスタ保護有効ビット(ADTC[n]:PRT)
 - A/D データレジスタ保護解除選択ビット(ADTC[n]:PRTS)

c) レンジ比較動作モードの設定例

図 4-4 レンジ比較動作モードの設定例



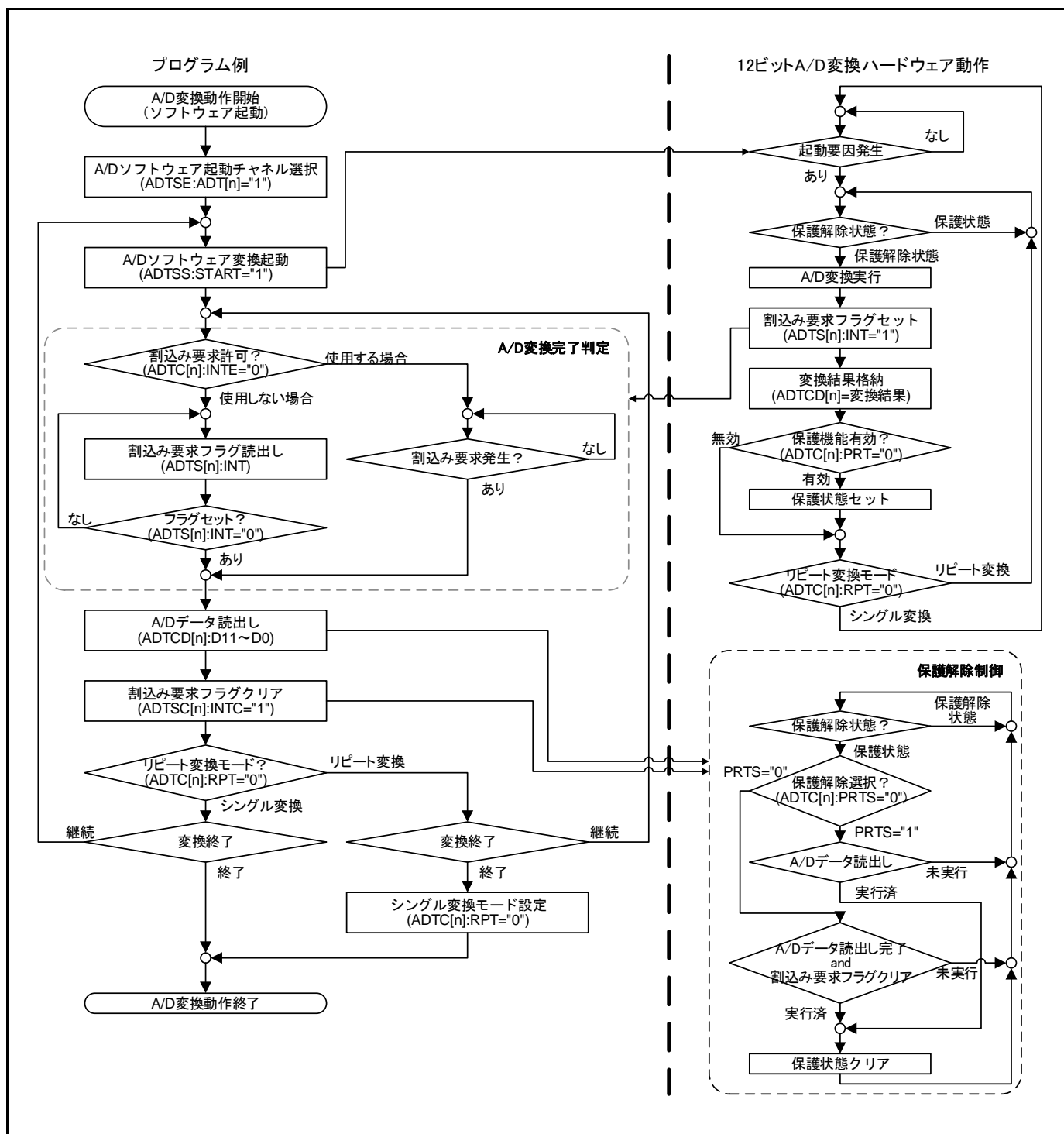
- 上記設定内容は順不同で設定できます。
- レンジ比較上下限閾値は 4 種類を設定できます。
- 上下限閾値設定のペア選択は、4 種類のレンジ比較上下限閾値の設定から 1 種類を選択します。



(3) A/D 変換動作

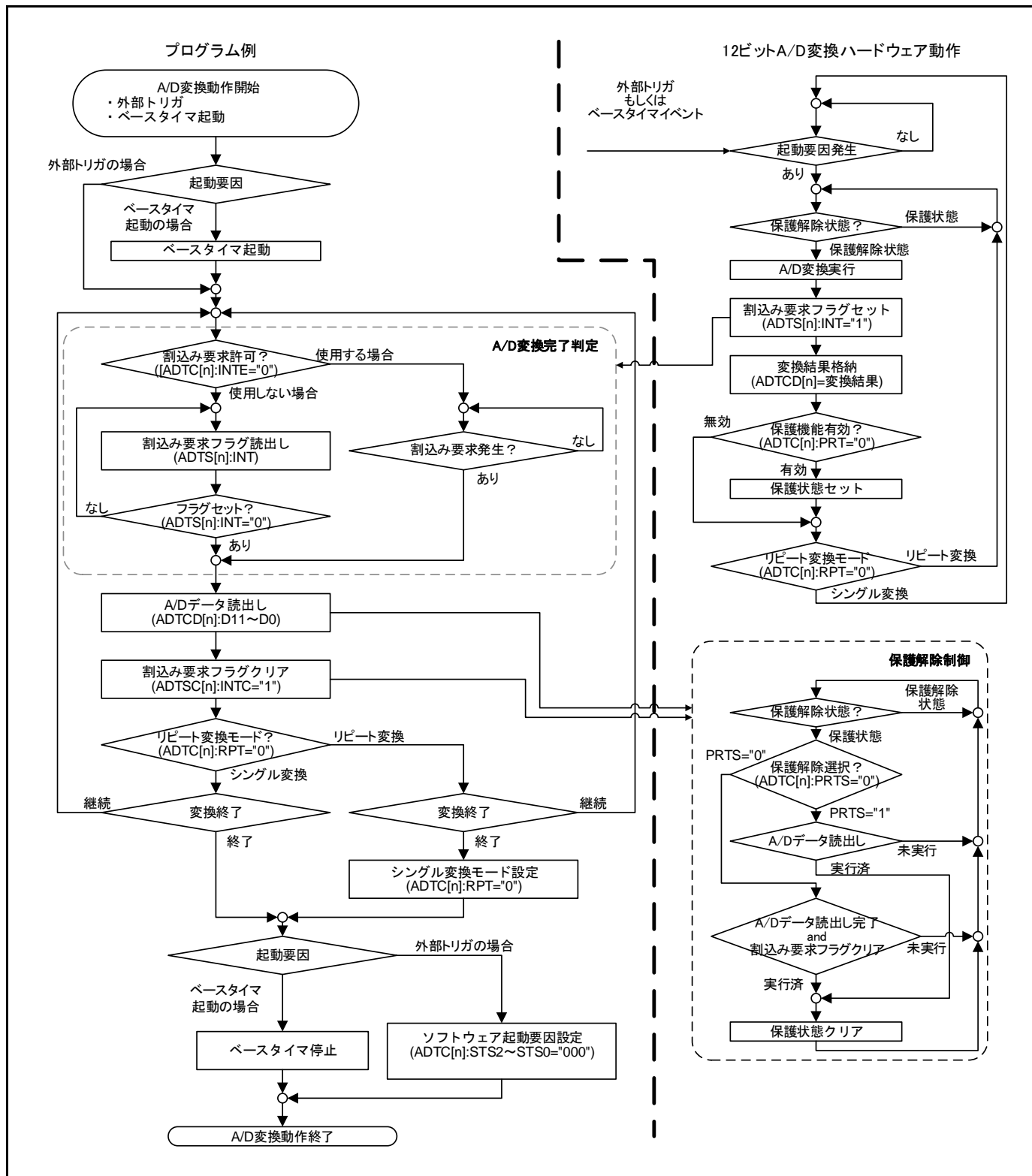
a) ソフトウェア起動時の A/D 変換動作例

図 4-5 ソフトウェア起動時の A/D 変換動作例



b) 外部トリガ・ベースタイマ起動時の A/D 変換動作例

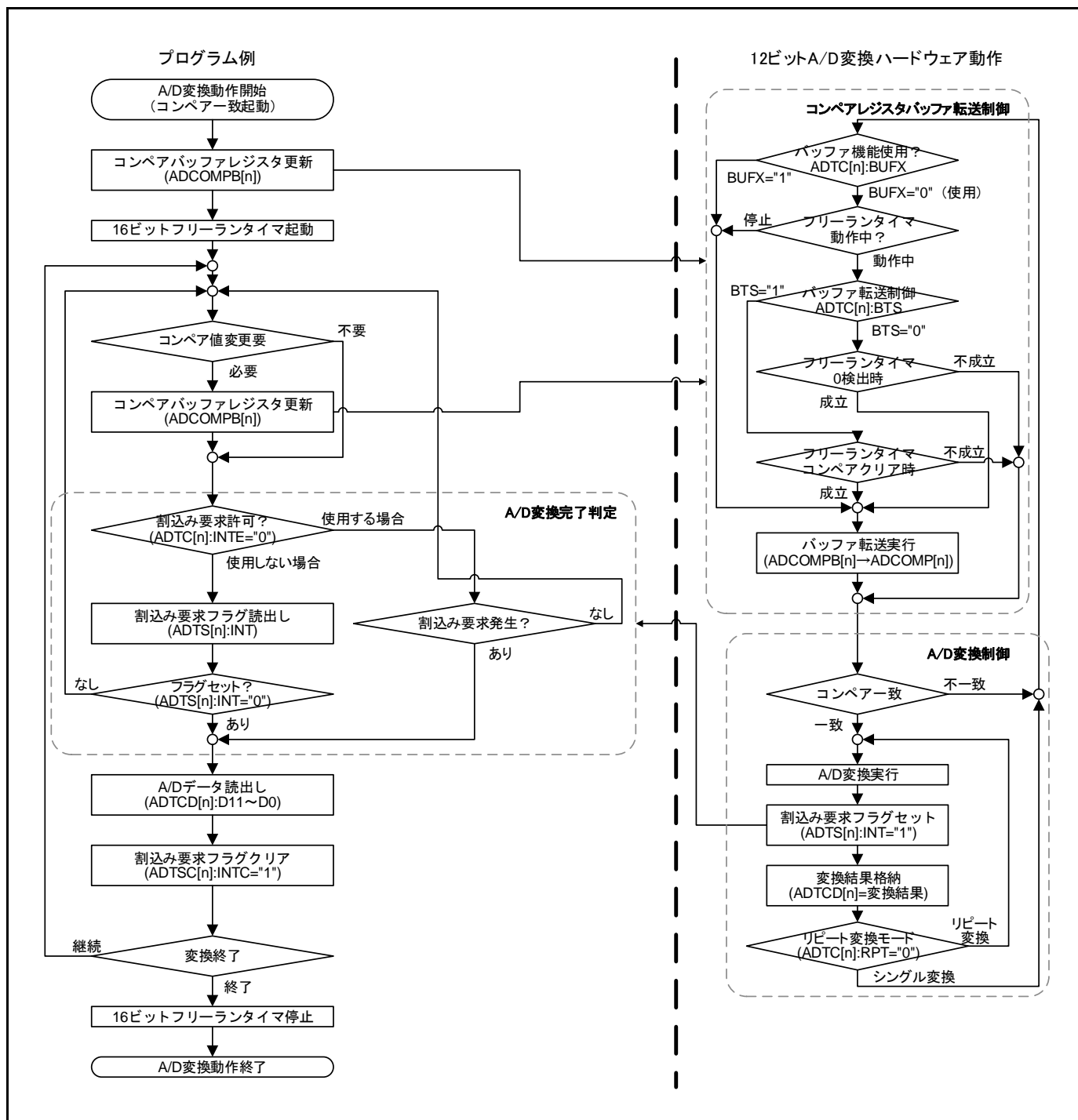
図 4-6 外部トリガ・ベースタイマ起動時の A/D 変換動作例





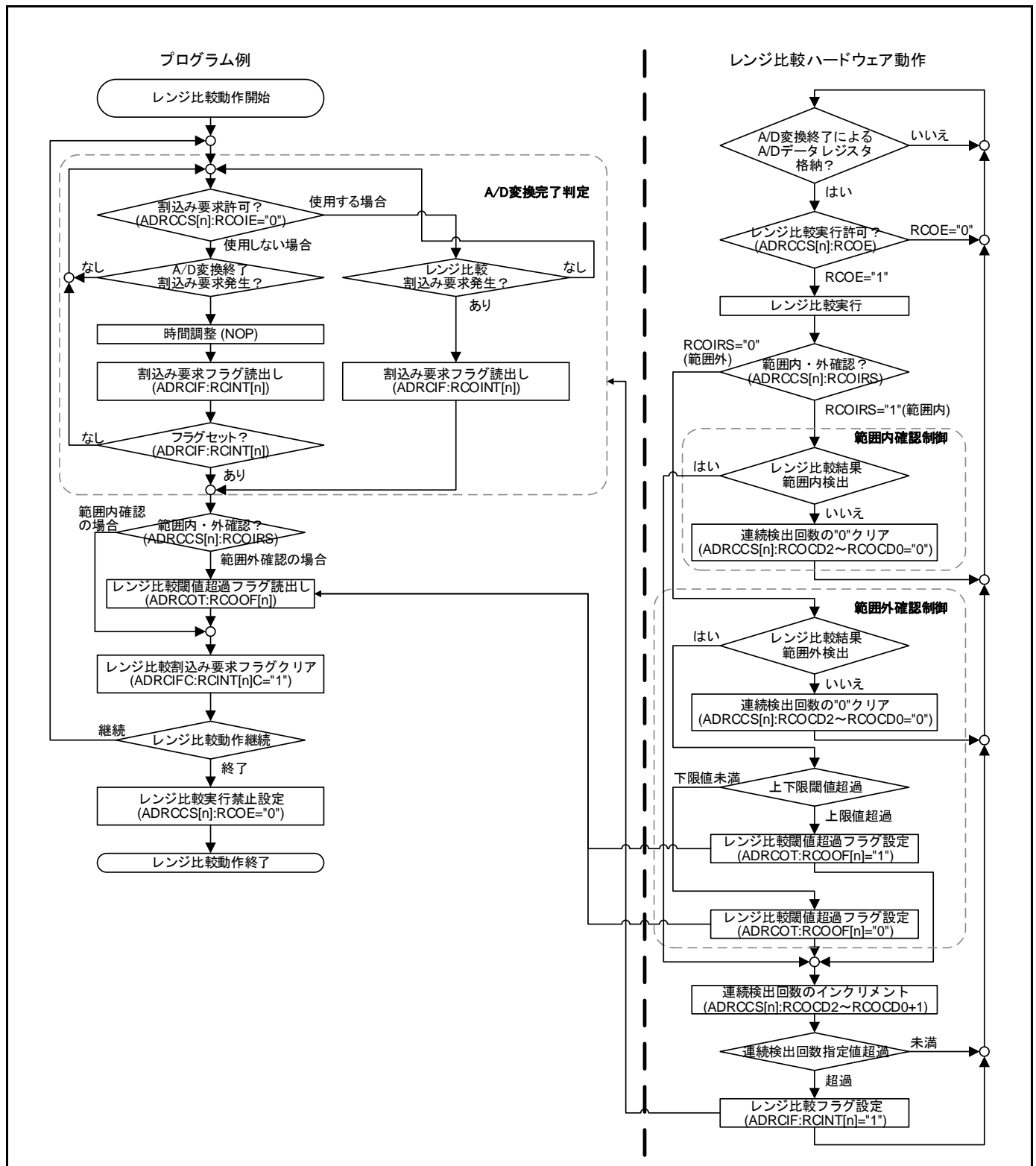
c) コンペアー一致起動時の A/D 変換動作例

図 4-7 コンペアー一致起動時の A/D 変換動作例



d) レンジ比較の動作例

図 4-8 レンジ比較の動作例



- レンジ比較ハードウェア動作によるレンジ比較動作実行は、A/D 変換終了により A/D データレジスタに変換結果が格納されたタイミングより開始します。
- レンジ比較は、起動チャネル単位で実行します。



5. レジスタ

A/D 起動コンペアのレジスタ一覧を示します。

4ch A/D 起動コンペアのレジスタにはプレフィックス(ADC4SHxx_)が付きます。xx はユニット番号に対応します。

表 5-1 A/D 起動コンペアのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ADTSS	A/D ソフトウェア起動レジスタ	5.2.1
ADTSE	A/D ソフトウェア起動チャネル選択レジスタ	5.2.2
ADCOMPB[n]	コンペアバッファレジスタ[n]	5.2.3
ADCOMP[n]	コンペアレジスタ[n]	5.2.3
ADTC[n]	A/D 起動トリガ制御レジスタ[n]	5.2.4
ADTS[n]	A/D 起動要求/割込みステータスレジスタ[n]	5.1.5
ADTSC[n]	A/D 起動要求/割込みクリアレジスタ[n]	5.1.6
ADTCD[n]	A/D データレジスタ[n]	5.2.5
ADRCUT0~3	上限閾値設定レジスタ 0~3	5.2.7
ADRCLT0~3	下限閾値設定レジスタ 0~3	5.2.8
ADRCES[n]	レンジ比較制御ステータスレジスタ[n]	5.2.9
ADRCOT	レンジ比較閾値超過フラグレジスタ	5.2.10
ADRCIF	レンジ比較フラグレジスタ	5.2.11
ADRCIFC	レンジ比較フラグクリアレジスタ	5.1.13
ADPRTF	データ保護状態フラグレジスタ	5.2.14

xx: ユニット番号(xx=00, 01)

n: チャネル番号(n=0~7)

5.1. A/D 起動コンペアのレジスタ

A/D 起動コンペアには、A/D ソフトウェア起動レジスタ、A/D ソフトウェア起動チャネル選択レジスタ、コンペアバッファレジスタ、コンペアレジスタ、A/D 起動トリガ制御レジスタ、A/D 起動要求/割込みステータスレジスタ、A/D 起動要求/割込みクリアレジスタ、および A/D データレジスタ、A/D 起動トリガ拡張制御レジスタ、上限閾値設定レジスタ、下限閾値設定レジスタ、レンジ比較制御ステータスレジスタ、レンジ比較フラグクリアレジスタ、レンジ比較閾値超過フラグレジスタ、レンジ比較フラグレジスタ、データ保護状態フラグレジスタがあります。



5.1.1. A/D ソフトウェア起動レジスタ(ADTSS)

A/D ソフトウェア起動レジスタ(ADTSS)は, 12 ビット A/D コンバータの A/D 起動要求を行うレジスタです。
 なお, 起動するチャンネルは, A/D ソフトウェア起動チャンネル選択レジスタ(ADTSE)により制御されます。

Bit	7	6	5	4	3	2	1	0
Field	Reserved							START
R/W 属性	R0,W0							R0,W
保護属性	-							
初期値	0000000							0

[bit7:1] Reserved: 予約ビット

[bit0] START: A/D 変換起動ビット(ソフトウェア)

bit	説明
0	A/D 変換起動しない
1	A/D 変換起動する

- A/D 変換動作をソフトウェアによって起動するビットです。
- START ビット"1"を書き込むと A/D 変換が起動します。なお, 起動するチャンネルは, A/D ソフトウェア起動チャンネル選択レジスタ(ADTSE)により制御します。
- START ビットによる変換の再起動はできません。
- 読み出した場合は, 書込んだ値と異なり, 常に"0"が読み出されます。



5.1.2. A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)

A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)は, A/D 起動要求を行う起動チャネルを選択するレジスタです。

Bit	7	6	5	4	3	2	1	0
Field	ADT7	ADT6	ADT5	ADT4	ADT3	ADT2	ADT1	ADT0
R/W 属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:0] ADT7～ADT0: ソフトウェア起動チャネル選択ビット

bit[7:0]	説明
0	ソフトウェア起動禁止
1	ソフトウェア起動許可

- ADTSE:ADT ビットが"0"の場合, ソフトウェア起動は禁止されます。
- ADTSE:ADT ビットが"1"の場合, ソフトウェア起動は許可されます。



5.1.3. コンペアバッファレジスタ[n] (ADCOMPB[n]) /コンペアレジスタ[n] (ADCOMP[n]) (n=0~7)

コンペアバッファレジスタ(ADCOMPB[n])は、コンペアレジスタ(ADCOMP[n]) 用の 16 ビットバッファレジスタです。

コンペアレジスタ(ADCOMP[n])は、16 ビットフリーランタイムの値と一致したときに A/D コンバータを起動させます。

ADCOMPB[n] レジスタと ADCOMP[n] レジスタは、同一アドレスに存在しています。

(1) コンペアバッファレジスタ(ADCOMPB[n] , n=0~7)

Bit	15-0
Field	CMP
R/W 属性	W
保護属性	-
初期値	00000000_00000000

[bit15:0] CMP[15:0]: コンペア値バッファビット

bit[15:0]	説明
コンペア値バッファ	

ADCOMPB[0] , ADCOMPB[4]

- コンペアバッファレジスタ(ADCOMPB[n])は、コンペアレジスタ(ADCOMP[n]) 用のバッファレジスタです。
- バッファ機能が無効時(コンペアレジスタバッファ機能制御ビット(ADTC[n]:BUFX)が"1"), または 16 ビットフリーランタイムが停止したとき、コンペア値バッファの設定値は直ちにコンペアレジスタ(ADCOMP[n])へ転送されます。
- バッファ機能が有効時(コンペアレジスタバッファ機能制御ビット(ADTC[n]:BUFX)が"0"), コンペア値バッファの設定値は、16 ビットフリーランタイムのコンペアクリアレジスタと一致したときもしくは 0 検出時にコンペアレジスタ(ADCOMP[n])へ転送されます。

<注意事項>

- コンペアバッファレジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令をご使用ください。
- 本レジスタは、ADCOMPB[0] および ADCOMPB[4]のみ設定してください。ADCOMPB[1]~ADCOMPB[3] , ADCOMPB[5]~ADCOMPB[7] レジスタへ設定しても設定値は無視されますので、ADCOMPB[1]~ADCOMPB[3] , ADCOMPB[5]~ADCOMPB[7]への設定はしないでください。



(2) コンペアレジスタ(ADCOMP[n] , n=0~7)

Bit	15-0
Field	CMP
R/W 属性	R
保護属性	-
初期値	00000000_00000000

ADCOMP[0] , ADCOMP[4]

[bit15:0] CMP[15:0]: コンペア値ビット

bit[15:0]	説明
コンペア値	

- コンペアレジスタ(ADCOMP[n])のコンペア値の更新は、コンペアバッファレジスタ(ADCOMPB[n])を介して行います。
- コンペアレジスタ(ADCOMP)は、16 ビットフリーランタイムのカウント値と比較するためのコンペア値を格納するレジスタで、16 ビットフリーランタイムとコンペア値が一致したとき A/D 起動要求を出力します。
- コンペアレジスタに格納されたコンペア値は、すぐに 16 ビットフリーランタイムと比較します。
- カウント方向選択ビット(ADTC[n]:SEL[1:0])が"0b11"のとき、コンペア一致起動動作を行いません。

<注意事項>

- コンペアレジスタへの読出しは、ハーフワードもしくはワードアクセス命令をご使用ください。
- 本レジスタは、ADCOMPB[1]~ADCOMPB[3] , ADCOMPB[5]~ADCOMPB[7] レジスタへの設定値は無視されますので ADCOMP[0] および ADCOMP[4]のみコンペア値が更新されます。



5.1.4. A/D 起動トリガ制御レジスタ[n] (ADTC[n]) (n=0~7)

A/D 起動トリガ制御レジスタ(ADTC[n])は、割込み要求の許可/禁止、起動要因選択、変換モード選択、保護機能制御、コンペア動作に使用するコンペア値の選択、およびコンペア値のバッファ制御を行います。

Bit	15	14	13	12	11	10	9	8
Field	Reserved		INTE	Reserved		RPT	PRT	PRTS
R/W 属性	R0,W0		R/W	R0,W0		R/W	R/W	R/W
保護属性	-							
初期値	00		0	00		0	0	0

Bit	7	6	5	4	3	2	1	0
Field	SEL		BUFX	BTS	Reserved	STS		
R/W 属性	R/W		R/W	R/W	R0,W0	R/W		
保護属性	-							
初期値	00		1	0	0	000		

[bit15:14] Reserved: 予約ビット

[bit13] INTE: 割込み要求許可ビット

bit	説明
0	割込み要求出力の禁止
1	割込み要求出力の許可

- CPU への割込み要求出力の許可/禁止を制御するビットです。
- ADTC[n]:INTE ビットと割込み要求フラグビット(ADTS[n]:INT)が"1"のときに割込み要求を発生します。

[bit12:11] Reserved : 予約ビット

[bit10] RPT: リピート変換選択ビット

bit	説明
0	シングル変換モード
1	リピート変換モード

- A/D 変換のモードを設定します。
- ADTC[n]:RPT ビットを"0"に設定した場合、シングル変換モードになります。1 回の起動要因によって 1 回の A/D 変換要求を行います。A/D 変換を 1 回行います。
- ADTC[n]:RPT ビットを"1"に設定した場合、リピート変換モードになります。1 回の起動要因によって A/D 変換要求を継続します。A/D 変換はシングル変換モードに設定されるまで繰り返し行われます。

<注意事項>

- ADTC[1]~ADTC[3], ADTC[5]~ADTC[7]の RPT ビットには、常にリピート変換モード ("1")を設定してください。

[bit9] PRT: A/D データレジスタ保護有効ビット

bit	説明
0	保護無効
1	保護有効

- ADTC[n]:PRT ビットを"1"に設定した場合、A/D データレジスタへの上書きを保護します。なお、保護機能はコンペア一致起動(ADTC[n]:STS[2:0]="0b011") 以外の要因のとき働きます。
- A/D データレジスタに変換データが格納された後、A/D データレジスタ保護要因選択ビット (ADTC[n]:PRTS)によって設定される要因が発生するまで次の起動要求をマスクして、A/D データレジスタへの上書きを保護します。

<注意事項>

- A/D データレジスタ保護有効ビット(ADTC[n]:PRT)は、A/D 変換を動作させる前に設定してください。A/D 変換要求中(ADTS[n]:BUSY="1") または A/D データレジスタが保護されている状態で、A/D データレジスタ保護有効ビット(ADTC[n]:PRT)の設定を変更してはいけません。

[bit8] PRTS: A/D データレジスタ保護解除選択ビット

bit	説明
0	データ読出しおよび割込みフラグクリア
1	データ読出し

- A/D データレジスタ保護機能有効時(ADTC[n]:PRT="1")に、起動要求のマスク解除条件を選択します。
- PRTS ビットを"0"に設定した場合、A/D データレジスタ(ADTC[n])の読出しと割込み要求フラグビット(ADTS[n]:INT)のクリアが保護解除条件(順不同)となります。
- PRTS ビットを"1"に設定した場合、A/D データレジスタ(ADTC[n])の読出しが保護解除条件となります。

<注意事項>

- A/D データレジスタ保護解除選択ビット(ADTC[n]:PRTS)は、A/D 変換を動作させる前に設定してください。A/D 変換要求中(ADTS[n]:BUSY="1") または A/D データレジスタが保護されている状態で、A/D データレジスタ保護解除選択ビット(ADTC[n]:PRTS)の設定を変更してはいけません。

[bit7:6] SEL[1:0]: カウント方向選択ビット

bit[7:6]	説明
00	アップ/ダウンカウント双方時
01	アップカウント時のみ
10	ダウンカウント時のみ
11	コンペア禁止

- 16 ビットフリーランタイムとのコンペア一致条件を選択します。
- ADTC[n]:SEL[1:0] ビットを"0b00"設定した場合、16 ビットフリーランタイムがアップカウント/ダウンカウント中のいずれでもコンペア一致動作を行います。
- ADTC[n]:SEL[1:0] ビットを"0b01"設定した場合、16 ビットフリーランタイムがアップカウント中のみコンペア一致動作を行います。
- ADTC[n]:SEL[1:0] ビットを"0b10"設定した場合、16 ビットフリーランタイムがダウンカウント中のみコンペア一致動作を行います。
- ADTC[n]:SEL[1:0] ビットを"0b11"設定した場合、コンペア動作を行いません。
- 選択している 16 ビットフリーランタイムが停止中は、コンペア動作を行いません。



<注意事項>

- 16 ビットフリーランタイムがアップカウントモードのとき、カウント方向選択ビット (ADTC[n]:SEL[1:0]) を "0b10" に設定することを禁止します。

[bit5] BUFX: コンペアレジスタバッファ機能制御ビット

bit	説明
0	バッファ機能有効
1	バッファ機能無効

- ADTC[n]:BUFX ビットを "0" に設定した場合、バッファ機能は有効になります。
- ADTC[n]:BUFX ビットを "1" に設定した場合、バッファ機能は無効になります。

[bit4] BTS: コンペアレジスタバッファ転送制御ビット

bit	説明
0	0 検出時
1	コンペアクリア時

- コンペアレジスタのバッファ機能有効 (ADTC[n]:BUFX="0") 時の転送条件をします。
- コンペアレジスタのバッファ機能有効 (ADTC[n]:BUFX="0") 時、ADTC[n]:BTS 設定が有効です。
- ADTC[n]:BTS ビットを "0" に設定した場合、16 ビットフリーランタイムの 0 検出時にコンペアバッファレジスタ (ADCOMPB[n]) のコンペア値がコンペアレジスタ (ADCOMP[n]) に転送されます。
- ADTC[n]:BTS ビットを "1" に設定した場合、16 ビットフリーランタイムのコンペアクリアレジスタに一致したときにコンペアバッファレジスタ (ADCOMPB[n]) のコンペア値がコンペアレジスタ (ADCOMP[n]) に転送されます。

<注意事項>

- コンペアレジスタバッファ転送制御ビット (ADTC[n]:BTS) を設定する場合、必ず 16 ビットフリーランタイムが停止していることを確認してください。

[bit3] Reserved : 予約ビット

[bit2:0] STS[2:0]: A/D 起動要因選択ビット

bit[2:0]	説明
000	ソフトウェア起動
001	外部トリガ起動(立下りエッジ)
010	ベースタイム起動(立上りエッジ)
011	コンペア一致起動
100	設定禁止
101	
110	
111	

ADTC[n]:STS[2:0] ビットは、A/D 変換の起動要因の選択を行います。

＜注意事項＞

- A/D 起動要因選択ビット(ADTC[n]:STS[2:0])は、書換えと同時に更新されます。A/D 起動要因選択ビット(ADTC[n]:STS[2:0])の変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(ADTS[n]:BUSY="1")でないときに行ってください。
- A/D 起動要求を行わない場合、A/D 起動要因選択ビット(ADTC[n]:STS[2:0])をソフトウェア起動("0b000")に設定し、A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)の該当ビット(起動チャネル)をソフトウェア起動禁止設定(ADTSE:ADT[n]="0")としてください。
- A/D 起動要因選択ビット(ADTC[n]:STS[2:0])を設定する場合、必ず 16 ビットフリーランタイムが停止していることを確認してください。
- ADTC[1]～ADTC[3]、ADTC[5]～ADTC[7]の STS[2:0] ビットは、常にソフトウェア起動("0b000")を設定してください。



5.1.5. A/D 起動要求/割込みステータスレジスタ[n] (ADTS[n]) (n=0~7)

A/D 起動要求/割込みステータスレジスタ(ADTS[n])は、A/D 起動要求確認、割込み要求の状態の確認を行います。

Bit	15	14	13	12	11	10	9	8
Field	BUSY	INT	Reserved					
R/W 属性	R,WX	R,WX	R0,W0					
保護属性	-							
初期値	0	0	000000					

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

[bit15] BUSY: A/D 起動要求中ビット

bit	説明
0	A/D 起動未要求
1	設定したチャンネル数分の A/D 起動要求中または変換中

(ADTS[0], ADTS[4])

- A/D 起動要求または変換の動作表示ビットです。
- ADTS[n]:BUSY ビットが"0"であれば A/D 変換未要求であることを示し、"1"であれば設定したチャンネル数分の A/D 変換要求中または変換中であることを示します。
- ADTS[n]:BUSY ビットが"1"のときに A/D 起動要求強制停止ビット(ADTSC [n]:BUSYC)に"1"が書き込まれると、ADTS[n]:BUSY ビットは"0"にクリアされます。
- ADTS[n]:BUSY ビットは、設定したチャンネル数分の最終変換データが A/D データレジスタ (ADTCD[0]/ADTCD[4])に書き込まれると、"0"にクリアされます。

bit	説明
0	A/D 起動未要求
1	A/D 起動要求中または変換中

(ADTS[1]~ADTS[3], ADTS[5]~ADTS[7])

- A/D 起動要求または変換の動作表示ビットです。
- ADTS[n]:BUSY ビットが"0"であれば A/D 変換未要求であることを示し、"1"であれば A/D 変換要求中または変換中であることを示します。
- ADTS[n]:BUSY ビットが"1"のときに A/D 起動要求強制停止ビット(ADTSC [n]:BUSYC)に"1"が書き込まれると、ADTS[n]:BUSY ビットは"0"にクリアされます。

<注意事項>

- ADTS[0], ADTS[4]と ADTS[1]~ADTS[3], ADTS[5]~ADTS[7]では ADTS[n]:BUSY ビット="1"の仕様が異なります。



[bit14] INT: 割込み要求フラグビット

bit	説明
0	A/D 変換未終了
1	A/D 変換終了

- A/D変換によって設定したチャンネル数分の最終変換データがA/Dデータレジスタ(ADTCD[n])にセットされると,ADTS[n]:INT ビットは"1"にセットされます。
- ADTS[n]:INT ビットと割込み要求許可ビット(ADTC[n]:INTE)が"1"のときに A/D 変換終了割込み要求が発生します。
- ADTS[n]:INT ビットが"1"のときに A/D 変換終了割込みソフトウェアクリアビット(ADTSC [n]:INTC)に"1"が書き込まれると,ADTS[n]:INT ビットは"0"にクリアされます。
- ADTS[n]:INT ビットは外部より入力される A/D 変換終了割込みクリア信号が"H"のときクリアされます。

<注意事項>

- ソフトウェアクリア(ADTSC[n]:INTC="1"書き込み) または外部より入力されるA/D 変換終了割込みクリア信号("H")によるクリアと、ハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

[bit13:0] Reserved: 予約ビット



5.1.6. A/D 起動要求/割込みクリアレジスタ[n] (ADTSC[n]) (n=0~7)

A/D 起動要求/割込みクリアレジスタ(ADTSC[n])は、A/D 起動要求の強制停止および A/D 変換終了割込み要求フラグのクリアを行います。

Bit	15	14	13	12	11	10	9	8
Field	BUSYC	INTC	Reserved					
R/W 属性	R0,W	R0,W	R0,W0					
保護属性	-							
初期値	0	0	000000					

Bit	7	6	5	4	3	2	1	0
Field	Reserved							
R/W 属性	R0,W0							
保護属性	-							
初期値	00000000							

[bit15] BUSYC: A/D 起動要求クリアビット

bit	説明
0	変化なし、ほかへの影響なし
1	A/D 起動要求強制停止

- A/D 起動要求または変換の強制停止ビットです。
- ADTSC[n]:BUSYC ビットへの"1"の書き込みによって、A/D 起動要求または変換を強制停止します。
- 読み出した場合は、書き込んだ値と異なり、常に"0"が読み出されます。

[bit14] INTC: A/D 変換終了割込みソフトウェアクリアビット

bit	説明
0	変化なし、ほかへの影響なし
1	A/D 変換終了割込みソフトウェアクリア

- A/D 変換終了割込みのソフトウェアクリアビットです。
- ADTSC[n]:INTC ビットへの"1"の書き込みによって、割込み要求フラグ(ADTS:INT)がクリアされます。
- 読み出した場合は、書き込んだ値と異なり、常に"0"が読み出されます。

[bit13:0] Reserved: 予約ビット

5.1.7. A/D データレジスタ[n] (ADTCD[n]) (n=0~7)

A/D データレジスタ(ADTCD[n])は、A/D 変換結果を格納するレジスタです。

Bit	15	14	13	12	11	10	9	8
Field	ERR	ERRST	Reserved		D[11:8]			
R/W 属性	R,WX	R,WX	R0,W0		R,WX			
保護属性	-							
初期値	1	0	00		0000			

Bit	7	6	5	4	3	2	1	0
Field	D[7:0]							
R/W 属性	R,WX							
保護属性	-							
初期値	00000000							

[bit15] ERR: 変換データエラーフラグビット

bit	説明
0	変換データは正常です。
1	変換データは正常ではありません。

- A/D変換データに対するエラーの有無を示します。エラー内容については、ADTCD[n]:ERR ビットが"1"のとき、変換データエラーステータスビット(ADTCD[n]:ERRST)により確認できます。
- ADTCD[n]:ERR ビットの動作については「3.2.9 A/D 変換データ(n=0~7)」を参照してください。
- なお、A/D データレジスタ保護機能が有効(ADTC[n]:PRT="1") かつ、コンペアー一致起動(ADTC[n]:STS[2:0]="0b011") 以外の要因のときは、"0"が読み出されます。

[bit14] ERRST: 変換データエラーステータスビット(ERR="1"のみ有効)

bit	説明
0	変換データは古い結果です。
1	変換データは新しいデータに上書きされたものです。

- ADTCD[n]:ERR ビットが"1"のとき、A/D 変換データのエラー内容を示すフラグです。
- ADTCD[n]:ERR ビットが"1"かつ ADTCD[n]:ERRST ビットが"0"のとき、CPU 読出しによる変換結果が古いことを示します。
- ADTCD[n]:ERR ビットが"1"かつ ADTCD[n]:ERRST ビットが"1"のとき、CPU 読出しによる変換結果は、CPU による旧変換結果の読出しが完了しないまま、新しい変換結果の上書きにより旧変換データが失われたことを示します。
- ADTCD[n]:ERRST ビットの動作については、「3.2.9 A/D 変換データ(n=0~7)」を参照してください。
- なお、A/D データレジスタ保護機能が有効(ADTC[n]:PRT="1") かつ、コンペアー一致起動(ADTC[n]:STS[2:0]="0b011") 以外の要因のときは、"0"が読み出されます。

[bit13:12] Reserved: 予約ビット

[bit11:0] D[11:0]: A/D データビット

bit[11:0]	説明
変換データ	

- A/D 変換の結果が格納され、A/D データビット(ADTCD[n]:D[11:0])は、1 回の変換終了ごとに書き換えられます。
- 通常は、最終変換値が格納されます。



5.1.8. 上限閾値設定レジスタ 0~3(ADRCUT0~3)

上限閾値設定レジスタ(ADRCUT)は、レンジ比較で使用する上限閾値を設定します。また、上限閾値は4種類の設定ができます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved				C[11:8]			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	C[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit15:12] Reserved: 予約ビット

[bit11:0] C[11:0]: 上限閾値ビット

bit[11:0]	説明
上限閾値	

レンジ比較で使用する上限閾値を設定します。

<注意事項>

- A/D変換要求中(ADTS[n]:BUSY="1")に上限閾値ビット(ADRCUT[m]:C[11:0])を変更してはいけません。



5.1.9. 下限閾値設定レジスタ 0~3(ADRCLT0~3)

下限閾値設定レジスタ(ADRCLT)は、レンジ比較で使用する下限閾値を設定します。また、下限閾値は4種類の設定ができます。

Bit	15	14	13	12	11	10	9	8
Field	Reserved				C[11:8]			
R/W 属性	R0,W0				R/W			
保護属性	-							
初期値	0000				0000			

Bit	7	6	5	4	3	2	1	0
Field	C[7:0]							
R/W 属性	R/W							
保護属性	-							
初期値	00000000							

[bit15:12] Reserved: 予約ビット

[bit11:0] C[11:0]: 下限閾値ビット

bit[11:0]	説明
下限閾値	

レンジ比較で使用する下限閾値を設定します。

<注意事項>

- A/D変換要求中(ADTS[n]:BUSY="1")に下限閾値ビット(ADRCLT[m]:C[11:0])を変更してはいけません。



5.1.10. レンジ比較制御ステータスレジスタ[n] (ADRCSS[n]) (n=0~7)

レンジ比較制御ステータスレジスタ(ADRCSS[n])は、連続検出回数指示および状態確認、範囲内/範囲外確認選択、レンジ比較割込み要求の許可/禁止、レンジ比較実行許可/禁止、および上下限閾値の選択を行います。

Bit	7	6	5	4	3	2	1	0
Field	RCOCD			RCOIRS	RCOIE	RCOE	RCOTS	
RW 属性	R,W			R/W	R/W	R/W	R/W	
保護属性	-							
初期値	000			0	0	0	00	

[bit7:5] RCOCD[2:0]: 連続検出回数指定・状態表示ビット

bit[7:5]	説明	
	読出し時	書込み時
000	連続検出状態：0回(初期値)	設定禁止
001	連続検出状態：1回	連続検出 1 回指定(初期値)
010	連続検出状態：2回	連続検出 2 回指定
011	連続検出状態：3回	連続検出 3 回指定
100	連続検出状態：4回	連続検出 4 回指定
101	連続検出状態：5回	連続検出 5 回指定
110	連続検出状態：6回	連続検出 6 回指定
111	連続検出状態：7回	連続検出 7 回指定

- レンジ比較結果の連続検出回数指定および連続検出回数の状態表示するビットです。
- レンジ比較結果が連続回数指定値に到達したとき、対応する起動チャネルのレンジ比較割込み要因フラグビット(ADRCIF:RCINT[n])に"1"を設定します。また、連続検出状態は連続回数指定値で停止します。
- 読出し時は、書込み時に設定した連続検出回数指定ではなく、連続検出状態が読み出されます。

<注意事項>

- A/D 変換要求中(ADTS[n]:BUSY="1")に連続検出回数指定・状態表示ビット(ADRCSS[n]:RCOCD[2:0])を変更してはいけません。
- レンジ比較実行許可中(ADRCSS[n]:RCOE="1")に連続検出回数指定・状態表示ビット(ADRCSS[n]:RCOCD[2:0])を変更してはいけません。
- 連続検出回数指定・状態表示ビット(ADRCSS[n]:RCOCD[2:0])に"0b000"を設定してはいけません。

[bit4] RCOIRS: 範囲内・範囲外確認選択ビット

bit	説明
0	範囲外を確認
1	範囲内を確認

- A/D データビット(ADTCD[n]:D[11:0])が、上下限閾値選択ビット(ADRCSS[n]:RCOTS[1:0])により選択した上限閾値ビット(ADRCUT:C[11:0])と下限閾値ビット(ADRCLT:C[11:0])に対して、範囲内または範囲外のレンジ比較条件を選択します。
- 範囲外確認(ADRCSS[n]:RCOIRS="0")時のレンジ比較条件は以下です。
A/D データビット(ADTCD[n]:D[11:0]) > 上限閾値ビット(ADRCUT:C[11:0])
または
A/D データビット(ADTCD[n]:D[11:0]) < 下限閾値ビット(ADRCLT:C[11:0])
- 範囲内確認時(ADRCSS[n]:RCOIRS="1")のレンジ比較条件は以下です。

A/D データビット(ADTCD[n]:D[11:0]) ≤ 上限閾値ビット(ADRCUT:C[11:0])
かつ

A/D データビット(ADTCD[n]:D[11:0]) ≥ 下限閾値ビット(ADRCLT:C[11:0])

- 範囲外確認(ADRCSS[n]:RCOIRS="0")のレンジ比較検出時、閾値超過フラグビット(ADRCOT:RCOOF)により上限閾値超過もしくは下限閾値未満の確認ができます。

<注意事項>

- A/D 変換要求中(ADTS[n]:BUSY="1")に範囲内・範囲外確認選択ビット(ADRCSS[n]:RCOIRS)を変更してはいけません。

[bit3] RCOIE: レンジ比較割込み要求許可ビット

bit	説明
0	レンジ比較割込み禁止
1	レンジ比較割込み許可

- 対応する起動チャネルのレンジ比較割込み要因フラグビット(ADRCIF:RCINT[n])が"1"にセット状態、かつレンジ比較割込み要求許可設定(ADRCSS[n]:RCOIE="1")されている場合、割込み要求が発生します。

[bit2] RCOE: レンジ比較実行許可ビット

bit	説明
0	レンジ比較実行禁止
1	レンジ比較実行許可

- レンジ比較実行の許可/禁止を選択します。
- レンジ比較実行許可ビット(ADRCSS[n]:RCOE)が"0"のとき、レンジ比較実行は禁止されます。また、連続検出回数状態は、"0b000"に初期化されます。
- レンジ比較実行許可ビット(ADRCSS[n]:RCOE)が"1"のとき、レンジ比較実行は許可されます。

[bit1:0] RCOTS[1:0]: 上下限閾値選択ビット

4種類の上限閾値設定レジスタ 0~3(ADRCUT0~3)/下限閾値設定レジスタ 0~3(ADRCLT0~3)から 1 つの組合せを選択します。

bit[1:0]	説明
00	上限閾値設定レジスタ 0/下限閾値設定レジスタ 0 を選択
01	上限閾値設定レジスタ 1/下限閾値設定レジスタ 1 を選択
10	上限閾値設定レジスタ 2/下限閾値設定レジスタ 2 を選択
11	上限閾値設定レジスタ 3/下限閾値設定レジスタ 3 を選択

<注意事項>

- A/D 変換要求中(ADTS[n]:BUSY="1")に上下限閾値選択ビット(ADRCSS[n]:RCOTS[1:0])を変更してはいけません。



5.1.11. レンジ比較閾値超過フラグレジスタ(ADRCOT)

レンジ比較閾値超過フラグレジスタ(ADRCOT)は、範囲外確認設定においてレンジ比較した結果、上限閾値超過または下限閾値未満を表示します。

Bit	7	6	5	4	3	2	1	0
Field	RCOOF7	RCOOF6	RCOOF5	RCOOF4	RCOOF3	RCOOF2	RCOOF1	RCOOF0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:0] RCOOF7~RCOOF0: 閾値超過フラグビット

bit[7:0]	説明
0	下限閾値未満 (A/D データ<下限閾値ビット)
1	上限閾値超過 (A/D データ>上限閾値ビット)

- 範囲外確認(ADRCSS[n]:RCOIRS="0") 時、レンジ比較結果が上限閾値設定レジスタより大きい (ADRCOT:RCOOF="1"), もしくは下限閾値設定レジスタより小さい(ADRCOT:RCOOF="0") 状態を表示します。
- 範囲外確認(ADRCSS[n]:RCOIRS="0") 時、レンジ比較結果が範囲内の場合、閾値超過フラグビットは前値保持となります。
- 対応する起動チャンネルのレンジ比較割込み要因フラグビット(ADRCIF:RCINT[n])が"1"にセット状態の場合、範囲外確認(ADRCSS[n]:RCOIRS="0")でレンジ比較結果は範囲外を検出しても、閾値超過フラグビット(ADRCOT:RCOOF)は更新されず前値保持となります。
- 範囲内確認(ADRCSS[n]:RCOIRS="1") 時、閾値超過フラグビットは意味を持ちません。(前値保持となります。)



5.1.12. レンジ比較フラグレジスタ(ADRCIF)

レンジ比較フラグレジスタ(ADRCIF)は、レンジ比較結果の連続検出による割込み要因を表示します。

Bit	7	6	5	4	3	2	1	0
Field	RCINT7	RCINT6	RCINT5	RCINT4	RCINT3	RCINT2	RCINT1	RCINT0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:0] RCINT7～RCINT0: レンジ比較割込み要因フラグビット

bit[7:0]	説明
0	レンジ比較割込み要因クリア状態
1	レンジ比較結果の連続検出による割込み要因発生状態

- 対応する起動チャネルのレンジ比較結果の連続検出で ADRCIF:RCINT[n] ビットは"1"にセットされます。
- 対応する起動チャネルの ADRCIF:RCINT[n] ビットとレンジ比較割込み要求許可(ADRCSS[n]:RCOIE)が"1"のとき、レンジ比較割込み要求を発生します。

<注意事項>

- ソフトウェアクリア(ADRCIFC:RCINT[n]C="1"書込み)と、ハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。



5.1.13. レンジ比較フラグクリアレジスタ(ADRCIFC)

レンジ比較フラグクリアレジスタ(ADRCIFC)は、レンジ比較結果の連続検出による割込み要因をクリアします。

Bit	7	6	5	4	3	2	1	0
Field	RCINT7C	RCINT6C	RCINT5C	RCINT4C	RCINT3C	RCINT2C	RCINT1C	RCINT0C
R/W 属性	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:0] RCINT7C~RCINT0C: レンジ比較割込み要因フラグクリアビット

bit[7:0]	説明
0	変化なし、ほかへの影響なし
1	レンジ比較割込み要因フラグクリア

- レンジ比較割込み要因フラグのクリアビットです。
- ADRCIFC:RCINT[n]C ビットへの, "1"書き込みで(ADRCIF:RCINT[n])がクリアされます。
- 読み出した場合は,書き込んだ値と異なり、常に"0"が読み出されます。



5.1.14. データ保護状態フラグレジスタ(ADPRTF)

データ保護状態フラグレジスタ(ADPRTF)は、起動チャネルごとの A/D データレジスタ(ADTCD[n])の保護状態を表示します。

Bit	7	6	5	4	3	2	1	0
Field	PRTF7	PRTF6	PRTF5	PRTF4	PRTF3	PRTF2	PRTF1	PRTF0
R/W 属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
保護属性	-							
初期値	0	0	0	0	0	0	0	0

[bit7:0] PRTF7～PRTF0: データ保護状態フラグビット

起動チャネルごとの A/D データレジスタ(ADTCD[n])に対するデータ保護状態を表示します。

bit[7:0]	説明
0	データ保護状態ではありません。
1	データ保護状態です。



6. 使用上の注意

A/D 起動コンペアの使用上の注意を以下に示します。

A/D 起動コンペアの使用上の注意(n=0~7)

a) A/D 起動について

起動チャンネル 0 または 4 で、A/D 変換を開始する前に下記の設定をしてください。

- 起動チャンネル 1~3, 起動チャンネル 5~7 は、A/D 起動トリガ制御レジスタ(ADTC[1]~ADTC[3], ADTC[5]~ADTC[7])によって、常にソフトウェア起動かつリピート変換モードを設定してください。
- 起動チャンネル 1~3, 起動チャンネル 5~7 は、A/D ソフトウェア起動チャンネル選択レジスタ(ADTSE)によるソフトウェア起動許可と A/D ソフトウェア起動レジスタ(ADTSS)による A/D 変換起動を設定してください。
- (起動チャンネル 1~3 使用時の設定)
- 2 チャンネル選択時 : ADTSE:ADT1 ビットを"1"に設定
- 3 チャンネル選択時 : ADTSE:ADT1, ADT2 ビット"1"に設定
- 4 チャンネル選択時 : ADTSE:ADT1, ADT2, ADT3 ビットを"1"に設定

b) A/D データレジスタ保護設定について(n=0~7)

A/D データレジスタ保護有効ビット(ADTC[n]:PRT) および A/D データレジスタ保護解除選択ビット(ADTC[n]:PRTS)の設定は、A/D 変換を動作させる前に設定してください。A/D 変換要求中(ADTS[n]:BUSY="1")および A/D データレジスタが保護されている状態で、ADTC[n]:PRT ビットおよび ADTC[n]:PRTS ビットの設定を変更してはいけません。

A/D データレジスタの保護機能の解除を行う場合は、A/D 変換停止後(ADTS[n]:BUSY="0")に、A/D データレジスタ保護解除選択ビット(ADTC[n]:PRTS)に設定した保護解除の動作を行うか、もしくは、A/D データレジスタ保護有効ビットにより保護機能を無効(ADTC[n]:PRT="0")としてください。

仮に、A/D データレジスタが保護されている状態で、ADTC[n]:PRTS ビットを変更した場合、A/D データレジスタの保護を解除するためには、ADTC[n]:PRTS ビットの変更後に、ADTC[n]:PRTS ビットに設定した保護解除の動作(A/D データレジスタの読出しや、A/D 変換終了割込みソフトウェアクリアビットへの 1 書込みによるクリア動作)を行ってください。例えば、ADTC[n]:PRT="1"かつ ADTC[n]:PRTS="1"の状態で A/D データレジスタが保護されている状態で、A/D 変換終了割込み要求フラグビットのクリアを行ってから ADTC[n]:PRTS="0"とした場合、保護解除するためには、A/D データレジスタの読出しと、再度、A/D 変換終了割込みソフトウェアクリアビットへの 1 書込みによるクリア動作が必要となります。

c) A/D 起動要求中ビット(ADTS[n]:BUSY) (n=0~7) について

A/D 起動要求中ビット(ADTS[n]:BUSY)は、ADTS[0], ADTS[4]と ADTS[1]~ADTS[3], ADTS[5]~ADTS[7]では下記のとおり ADTS[n]:BUSY ビット="1"の場合の仕様が異なります。

- ADTS[0], ADTS[4] : 設定したチャンネル数分の A/D 起動要求中または変換中。
- ADTS[1]~ADTS[3], ADTS[5]~ADTS[7] : 単一チャンネルの A/D 起動要求中または変換中。

d) 割込み要求フラグビット(ADTS[n]:INT) (n=0~7) について

ソフトウェアクリア(ADTSC[n]:INTC="1"書込み) または外部より入力される A/D 変換終了割込みクリア信号("H")によるクリアと、ハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。

e) リピート変換選択ビット(ADTC[n]:RPT) (n=0~7) について

ADTC[1]~ADTC[3], ADTC[5]~ADTC[7]の ADTC[n]:RPT ビットには、常にリピート変換モード ("1")を設定してください。

f) カウント方向選択ビット設定(ADTC[n]:SEL[1:0]) (n=0~7)について

16ビットフリーランタイムがアップカウントモードのとき、カウント方向選択ビットの設定をダウンカウンタのみ(ADTC[n]:SEL[1:0]="0b10")にすることを禁止します。

g) コンペアレジスタバッファ転送制御ビット(ADTC[n]:BTS) (n=0~7)について

コンペアレジスタバッファ転送制御ビット(ADTC[n]:BTS)を設定する場合、必ず16ビットフリーランタイムが停止していることを確認してください。

h) A/D 起動要因選択ビット(ADTC[n]:STS[2:0]) (n=0~7)について

A/D 起動要因選択ビット(ADTC[n]:STS[2:0])は、書換えと同時に更新されます。A/D 起動要因選択ビット(ADTC[n]:STS[2:0])の変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D 変換要求中(ADTS[n]:BUSY="1")でないときに行ってください。

A/D 起動要求を行わない場合、A/D 起動要因選択ビット(ADTC[n]:STS[2:0])をソフトウェア起動("0b000")に設定し、A/D ソフトウェア起動チャネル選択レジスタ(ADTSE)の該当ビット(起動チャネル)をソフトウェア起動禁止設定(ADTSE:ADT[n]="0")としてください。

A/D 起動要因選択ビット(ADTC[n]:STS[2:0])を設定する場合、必ず16ビットフリーランタイムが停止していることを確認してください。

ADTC[1]~ADTC[3], ADTC[5]~ADTC[7]の STS[2:0] ビットは、常にソフトウェア起動("0b000")を設定してください。

i) 上限閾値ビット(ADRCUT[m]:C[11:0]) (m=0~3)について

A/D 変換要求中(ADTS[n]:BUSY="1")に上限閾値ビット(ADRCUT[m]:C[11:0])を変更してはいけません。

j) 下限閾値ビット(ADRCLT[m]:C[11:0]) (m=0~3)について

A/D 変換要求中(ADTS[n]:BUSY="1")に下限閾値ビット(ADRCLT[m]:C[11:0])を変更してはいけません。

k) 連続検出回数指定・状態表示ビット(ADRCCS[n]:RCOCD[2:0]) (n=0~7)について

A/D 変換要求中(ADTS[n]:BUSY="1")に連続検出回数指定・状態表示ビット(ADRCCS[n]:RCOCD[2:0])を変更してはいけません。

レンジ比較実行許可中(ADRCCS[n]:RCOE="1")に連続検出回数指定・状態表示ビット(ADRCCS[n]:RCOCD[2:0])を変更してはいけません。

連続検出回数指定・状態表示ビット(ADRCCS[n]:RCOCD[2:0])に"0b000"を設定してはいけません。

l) 範囲内・範囲外確認選択ビット(ADRCCS[n]:RCOIRS) (n=0~7)について

A/D 変換要求中(ADTS[n]:BUSY="1")に範囲内・範囲外確認選択ビット(ADRCCS[n]:RCOIRS)を変更してはいけません。

m) 上下限閾値選択ビット(ADRCCS[n]:RCOTS[1:0]) (n=0~7)について

A/D 変換要求中(ADTS[n]:BUSY="1")に上下限閾値選択ビット(ADRCCS[n]:RCOTS[1:0])を変更してはいけません。

n) レンジ比較割込み要因フラグビット(ADRCIF:RCINT7~RCINT0)について

ソフトウェアクリア(ADRCIF:RCINT[n]C="1"書込み)と、ハードウェアセットが同時に発生した場合、ハードウェアセットが優先されます。(n=0~7)

o) コンペア一致起動について

コンペアレジスタ(ADCOMP[n])に"0x0000"および16ビットフリーランタイムのコンペアクリアレジスタの設定値と同じ値を設定した場合、カウント方向選択ビット(ADTC[n]:SEL[1:0])の設定によるカウント方向がアップもしくはダウンに関係なく、コンペア一致時にA/D 起動要求信号が発生します。

p) コンペアバッファレジスタ/コンペアレジスタ(ADCOMPB[n]/ADCOMP[n])について(n=0~7)

コンペアバッファレジスタ/コンペアレジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令をご使用ください。

コンペアバッファレジスタ/コンペアレジスタ(ADCOMPB[n]/ADCOMP[n]) (n=0~7)は、8チャネル分存在しますが、ADCOMPB[1]~ADCOMPB[3], ADCOMP[5]~ADCOMP[7] レジスタへ設定しても設定値は無視されます。そのため、ADCOMPB[0] および ADCOMP[4]のみ設定してください。



また、上記のとおり、ADCOMPB[1]～ADCOMPB[3]、ADCOMPB[5]～ADCOMPB[7] レジスタへの設定値は無視されますので、ADCOMP[0] および ADCOMP[4]のみコンペア値が更新されます。

q) レンジ比較について(n=0～7)

レンジ比較の実行タイミングは、各チャンネルの A/D 変換終了時、A/D 変換結果が A/D データレジスタ (ADTCD[n])にセットされた後に行います。よって、最終変換チャンネル以外は、A/D 変換終了割込み要求発生より先に、最終変換チャンネルは A/D 変換終了割込み要求発生から遅れてレンジ比較結果が連続検出回数状態表示ビット(ADRCSS[n]:RCOCD[2:0])、閾値超過フラグビット(ADRCOT:RCOOF[n])、レンジ比較割込み要因フラグビット(ADRCIF:RCINT[n])に反映され、またレンジ比較割込み要求が発生します。

レンジ比較の範囲外確認(ADRCSS[n]:RCOIRS="0")の場合、レンジ比較結果が上限閾値超過状態から下限閾値未満状態に変化しても、連続検出測定は、0 回にクリアせず連続検出を継続します。

レンジ比較結果の連続検出回数状態を初期化したい場合、A/D 変換未要求中(ADTS[n]:BUSY="0")に、レンジ比較実行禁止設定のあと許可設定(ADRCSS[n]:RCOE="0"→"1")にしてください。

r) データ保護機能設定時の変換データの上書き回避方法について

起動チャンネル 0 または 4 のデータ保護機能設定(ADTC[0]:PRT="1"または ADTC[4]:PRT="1")時、起動チャンネル 0 または 4 の A/D データレジスタ保護解除選択ビットが"1"(ADTC[0]:PRTS="1"または ADTC[4]:PRTS="1")の状態で、起動チャンネル 0 または 4 の A/D データレジスタ(ADTCD[0]または ADTCD[4])を読み出すとデータ保護設定が解除されます。

起動チャンネル 0 または 4 の A/D データレジスタ保護解除選択ビットが"0"(ADTC[0]:PRTS="0"または ADTC[4]:PRTS="0")の状態で、起動チャンネル 0 または 4 の A/D データレジスタ(ADTCD[0]または ADTCD[4])を読み出し、起動チャンネル 0 または 4 の A/D 変換終了割込みのクリアが行われるとデータ保護設定が解除されます。

データ保護設定の解除から、起動チャンネル 1～3 または起動チャンネル 5～7 の A/D データレジスタ(ADTCD[1]～ADTCD[3]または ADTCD[5]～ADTCD[7])の読出しが遅れ、次の A/D 変換結果が書き込まれるまでに読出しが行われない場合、起動チャンネル 1～3 または起動チャンネル 5～7 の A/D データレジスタ(ADTCD[1]～ADTCD[3]または ADTCD[5]～ADTCD[7])にはデータが上書きされます。このような上書きを回避するためには、起動チャンネル 1～3 または起動チャンネル 5～7 の A/D データレジスタの読出しの後に、起動チャンネル 0 または 4 の A/D データレジスタの読出しを行ってください。

s) ADTCD[n]:ERR, ADTCD[n]:ERRST 変化タイミングについて

変換データエラーフラグビット(ADTCD[n]:ERR),および変換データエラーステータスビット(ADTCD[n]:ERRST)は, 設定した最終チャネルの変換データが A/D データレジスタ(ADTCD[n])に格納されるタイミングで更新されます。

表 6-1 ADTCD[n]:ERR, ADTCD[n]:ERRST 変化タイミング例(n=0~7)

起動要求モード	データ保護機能	起動要因	ADTCD[n]:ERR, ADTCD[n]:ERRST 変化タイミング
シングルモード (ADTC[n]:RPT="0") (n=0~7)	無効(ADTC[n]:PRT="0") (n=0~7)	コンペア一致起動 (ADTC[n]:STS[2:0]="0b011") (n=0~7)	A/D 起動要求中ビット (ADTS[n]:BUSY)が"1"から "0"に変化するタイミング(n=0, 4)
		コンペア一致起動以外	
	有効(ADTC[n]:PRT="1") (n=0~7)	コンペア一致起動 (ADTC[n]:STS[2:0]="0b011") (n=0~7)	ADTCD[n]:ERR, ADTCD[n]:ERRST は"0"に 固定
		コンペア一致起動以外	
リピートモード (ADTC[n]:RPT="1") (n=0~7)	無効(ADTC[n]:PRT="0") (n=0~7)	コンペア一致起動 (ADTC[n]:STS[2:0]="0b011") (n=0~7)	割込み要求フラグビット (ADTS[n]:INT)が"0"から "1"に変化するタイミング(n=0~7)
		コンペア一致起動以外	
	有効(ADTC[n]:PRT="1") (n=0~7)	コンペア一致起動 (ADTC[n]:STS[2:0]="0b011") (n=0~7)	ADTCD[n]:ERR, ADTCD[n]:ERRST は"0"に 固定
		コンペア一致起動以外	





CHAPTER 58: 12 ビット 4chA/D コンバータ調停

12 ビット 4chA/D コンバータ調停の概要, および動作について説明します。

1. 概要
2. 構成
3. 動作説明



1. 概要

12 ビット 4ch A/D コンバータ 1 つに対して、1 つの A/D コンバータ調停が搭載されます。

12 ビット 4ch A/D コンバータ調停の機能

- 12 ビット 4ch A/D コンバータユニット 1 個に対し、A/D 起動調停が 1 個あります。
- A/D 起動調停は、調停回路、A/D 起動トリガ生成の機能ブロックによって構成されます。
- A/D 起動コンペアからの起動要求の調停を行い、起動トリガ、A/D 変換キャンセル信号を生成します。
- 起動トリガは、A/D 起動コンペアからの起動要求から 1 つを選択して生成します。

A/D 起動調停では、A/D 起動コンペアの起動要求が競合した場合、優先制御を行います。

優先順位は、「起動グループの若い番号」(グループ番号による優先制御)、および「コンペア一致 > 外部トリガ/ベースタイマ > ソフトウェア起動」(起動要因による優先制御)です。選択されなかった起動要求は待たされ、処理中の A/D 変換が終了しますと再度調停が行われます。なお、起動要因による優先制御は、A/D 変換中も行われます。その際、現在の変換は中断され、優先度の高い起動要因が処理されます。中断した起動要因は、優先度の高い変換終了後に再度調停され、起動グループ番号および起動要因による優先度の高いものがなければ、処理が再起動されます。

表 1-1 A/D 起動トリガ調停

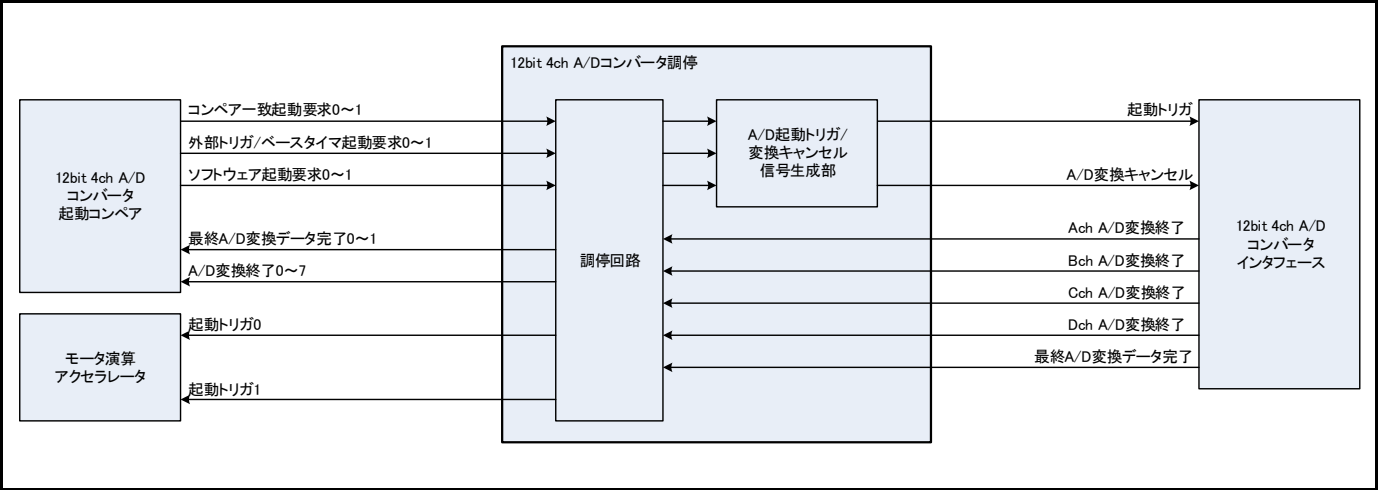
A/D 動作	優先度	動作
変換停止中	低い	優先度の高い起動要因から処理します。
	同じ	起動グループ 0 の起動要因を処理します。
	高い	優先度の高い起動要因から処理します。
変換中	低い	現在の変換終了後に再度調停処理を実施します。
	同じ	現在の変換終了後に再度調停処理を実施します。
	高い	現在の変換を中断して高優先度の起動要因を処理します。

- 変換キャンセル信号は、変換中の起動要因が非アクティブになり、ほかの起動要因もアクティブでないときに、現在の変換処理を強制終了するために生成します。

2. 構成

12 ビット 4ch A/D コンバータ調停のブロックダイアグラムを示します。

図 2-1 12 ビット 4ch A/D コンバータ調停の構成





3. 動作説明

12 ビット 4chA/D コンバータ起動調停の動作の説明をします。

3.1. 12 ビット 4ch A/D 調停の動作

A/D 起動コンペアからの起動要求の調停を行い, A/D 起動トリガを生成します。また, A/D 変換キャンセル信号も生成します。



3.1.1. **A/D 起動トリガ調停**

A/D 起動コンペアの起動グループ 0 と起動グループ 1 の起動要求から 1 つを選択して A/D 起動トリガを生成します。起動要求は A/D 起動コンペアの起動グループ 0 と起動グループ 1 からそれぞれソフトウェア起動要求, 外部トリガ/ベースタイマ起動要求, コンペア一致起動要求の 3 つが入力されて, A/D 起動トリガ信号が生成されます。

起動要求が競合した場合, 優先順位が高い起動要求が優先されます。選択されなかった起動要求は待たされ, 処理中の A/D 変換が終了しますと再度調停が行われます。

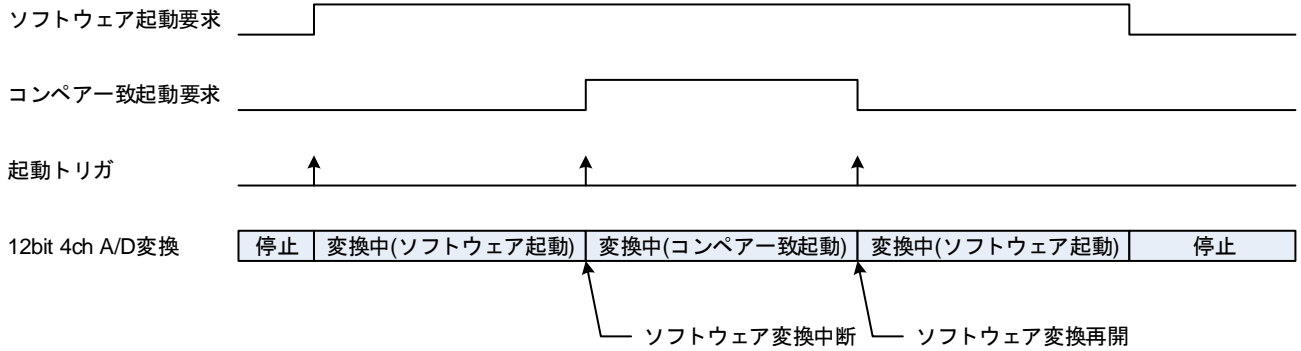
起動調停の起動要因による優先順位は, 「コンペア一致起動要求 > 外部トリガ/ベースタイマ起動要求 > ソフトウェア起動要求」です。なお, 同じ優先度の起動要因の場合, 変換停止中は起動グループ 0 のものが優先されます。

表 3-1 A/D 起動トリガ調停

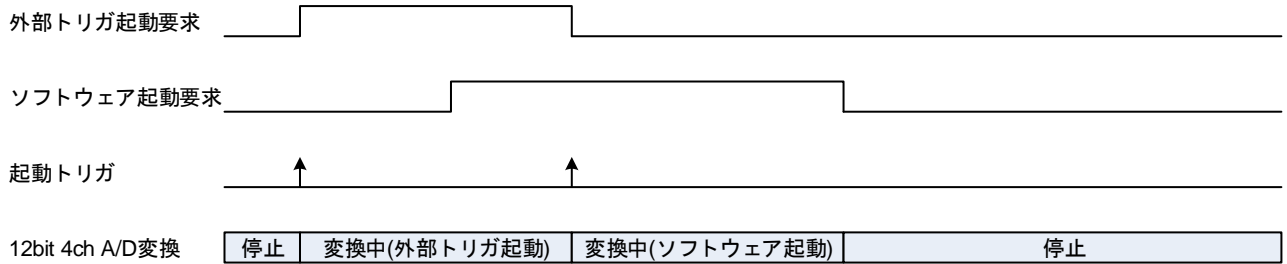
A/D 動作	優先度	動作
変換停止中	低い	優先度の高い起動要因から処理します。
	同じ	起動グループ 0 の起動要因を処理します。
	高い	優先度の高い起動要因から処理します。
変換中	低い	現在の変換終了後に再度調停処理を実施します。
	同じ	現在の変換終了後に再度調停処理を実施します。
	高い	現在の変換を中断して高優先度の起動要因を処理します。

図 3-1 ADC 調停動作イメージ

- ソフトウェア起動中(起動グループ0)に、コンペアー致起動(起動グループ1)があった場合
⇒ソフトウェア起動変換を中断して、コンペアー致起動変換を優先処理します。コンペアー致起動変換処理終了後、
中断していたソフトウェア起動変換を再開します。(再実行)



- 外部トリガ起動中(起動グループ1)に、ソフトウェア起動(起動グループ0)があった場合
⇒外部トリガ変換終了後に、ソフトウェア変換を処理します。



3.1.2. A/D 変換キャンセル機能

A/D 変換中に、要求元の起動要求が非アクティブになったとき、現在の変換処理を強制終了させるために A/D 変換キャンセル信号を生成します。なお、要求元の起動要求が非アクティブになったときに、ほかの起動グループの起動要因がアクティブであれば、A/D 変換キャンセル信号は生成せず、アクティブな起動要因による A/D 起動トリガの生成を行います。



3.1.3. 動作タイミング

図 3-2 ADC 調停動作タイミング(ソフトウェア起動, 外部トリガ/ベースタイマ起動)

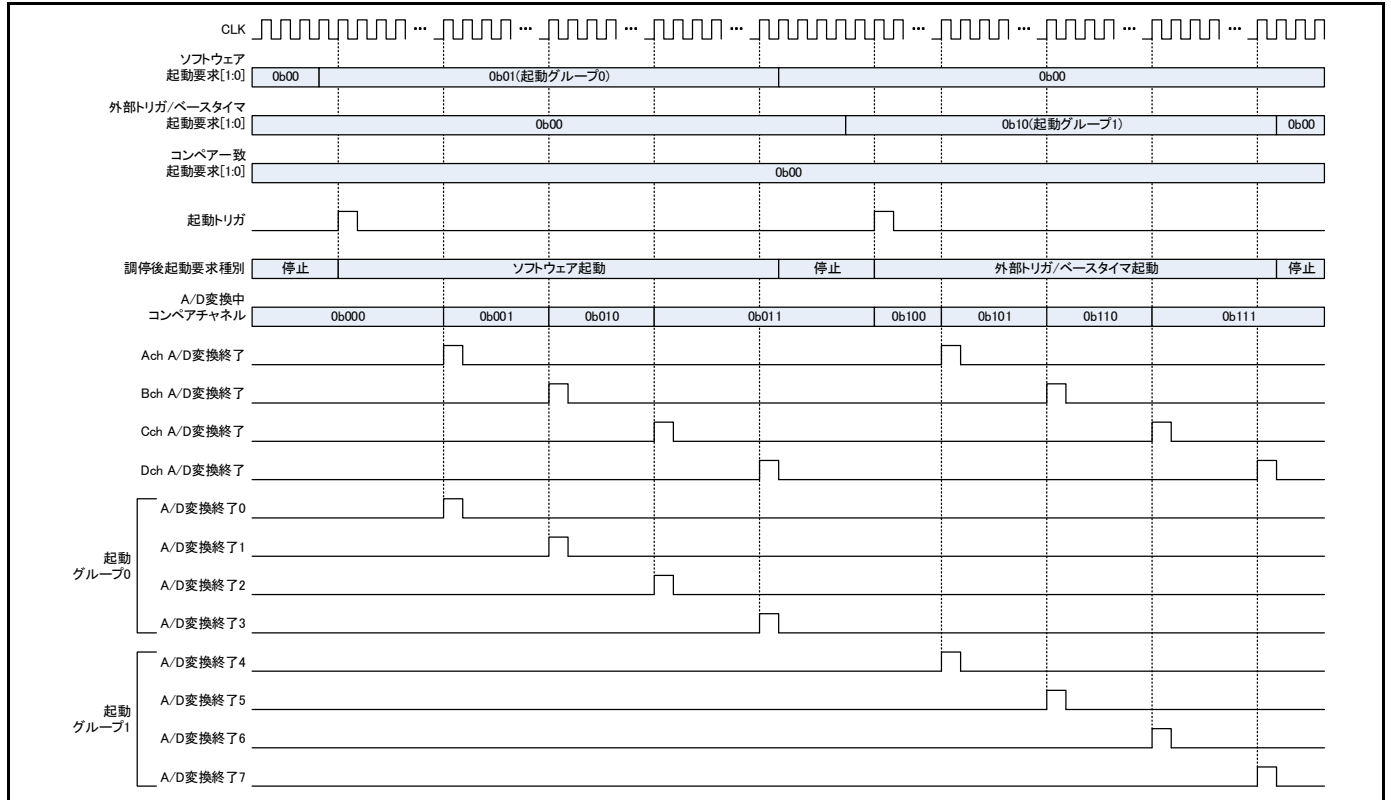


図 3-3 ADC 調停動作タイミング(コンペアー一致起動)

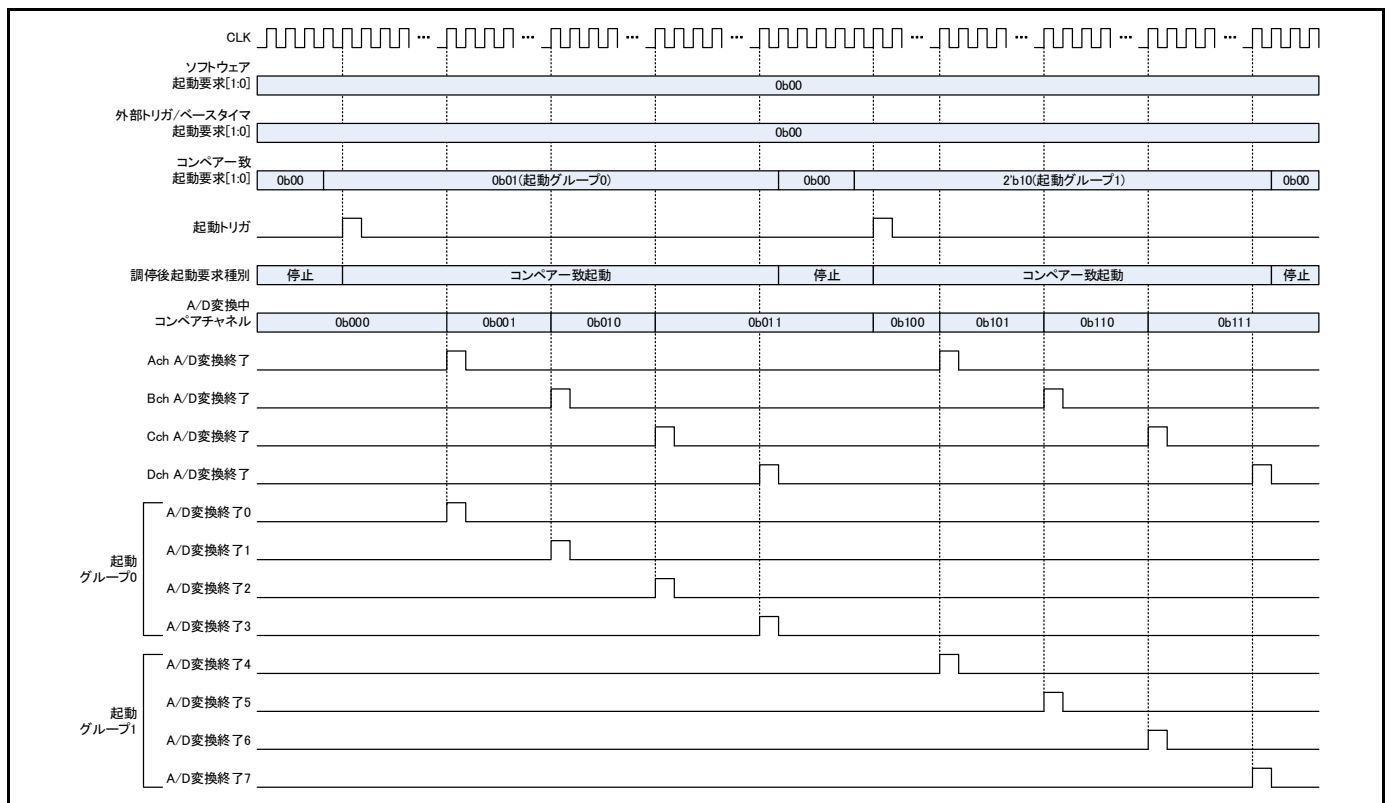
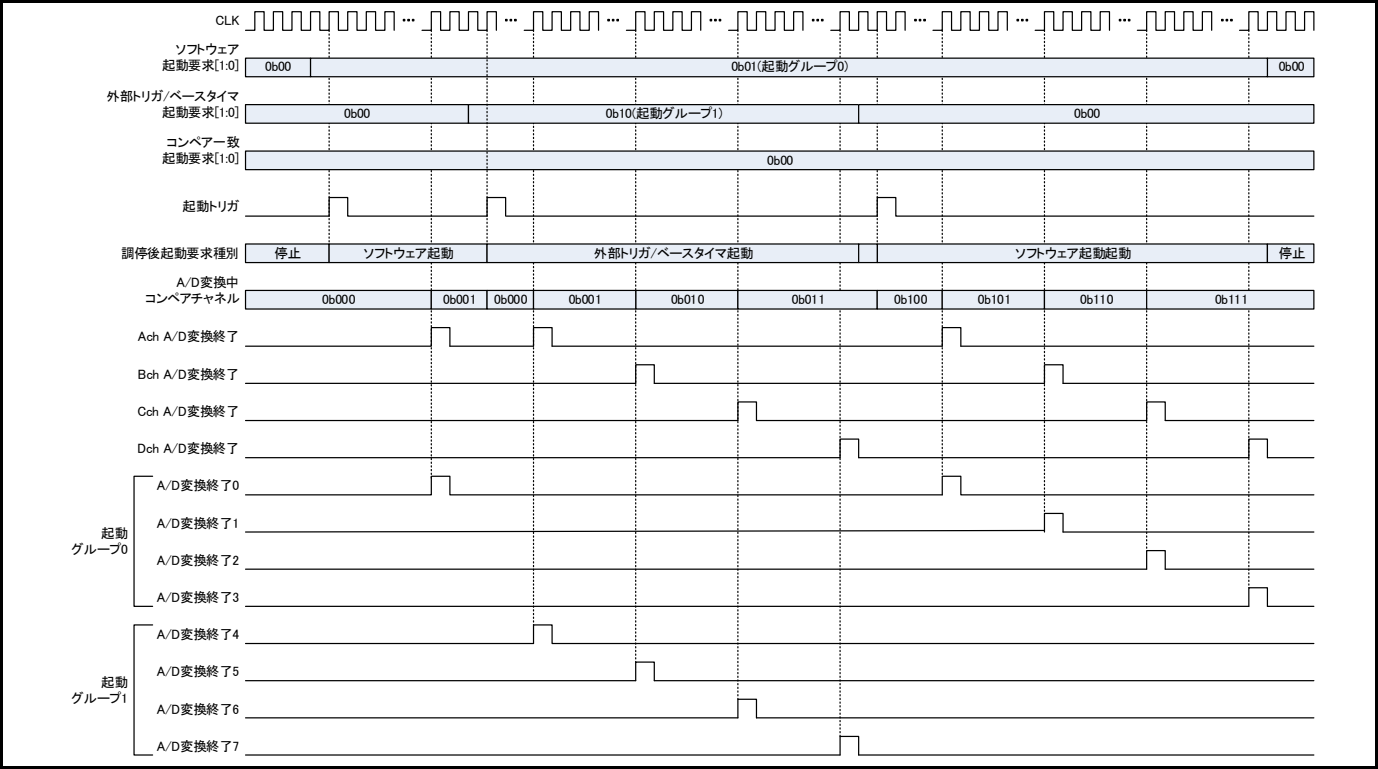




図 3-4 ADC 調停動作タイミング(ソフトウェア起動, 外部トリガ/ベースタイマ起動)



現在起動中の起動要因より優先度の高い起動要因が発生する場合、高優先の起動要因により起動トリガが生成されます。

(「起動要因による優先制御: コンペアー一致起動 > 外部トリガ/ベースタイマ起動 > ソフトウェア起動」)





CHAPTER 59: モータ演算アクセラレータ

モータ演算アクセラレータの機能と動作について示します。

1. 概要



1. 概要

モータ演算アクセラレータは、ブラシレス DC モータのトルク制御をアシストするハードウェアです。アシスト内容は、3 相電流正規化、ベクトル演算の基本処理(3 相 2 相直流変換/2 相 3 相交流変換・角度演算)、PID 制御の演算です。

各演算に対し、ハードウェア/プログラムによる実行の切り換えができます。

また、演算に使用する R/D コンバータおよび 3 相電流の診断が可能です。

(1) モータ演算アクセラレータの機能

a) エラー検出機能

浮動小数点演算のオーバフロー/アンダフロー/非正規化エラーを検出します。

また、演算に使用するパラメータについては ECC コード値を使用して 2 ビットまでの誤り検出を行います。誤り補正は行いません。

b) 演算スケジュール

角度演算～2 相 3 相交流変換までの 6 つの演算をハードウェアによりすべて連続して実行する全演算一斉実行、または一部演算をプログラムにより処理するプログラミング実行ができます。

c) 演算起動モード

モータ制御起動は、モータ制御用フリーランタイムに同期した A/D コンバータの起動制御により周期的にモータ制御用の演算を行います。モータ制御起動は、A/D コンバータの起動要因による起動、またはプログラムによる起動が選択できます。

診断起動は、診断用ベースタイムに同期した A/D コンバータの起動制御によりモータ制御の周期内において複数回、演算に使用する R/D コンバータおよび 3 相電流の診断を行います。

d) バッファ制御

演算中に設定変更されるパラメータについては、バッファ制御を行うことにより演算途中において値が変化するのを防ぎます。

e) 設定データ保護機能

モータ制御に使用する定数パラメータについては、キーコードによる保護を行います。

また、角度演算～2 相 3 相交流変換の入出力パラメータについては、意図しないハードウェア/プログラムによる更新からデータを保護します。

f) 角度演算～2 相 3 相交流変換の演算

角度情報インタフェースより角度/角速度データ、A/D コンバータから 3 相分の電流値を取得し、角度演算～2 相 3 相交流変換の演算を行い、3 相電圧($V_u/V_v/V_w$)の算出までをサポートします。

g) 診断機能

R/D コンバータからレゾルバへの励磁信号に対する 2 つの応答信号を利用し、R/D コンバータの振幅診断/角度診断を行います。

また、取得した 3 相電流より異常電流の診断を行います。

(2) 演算概要

角度演算～2相3相交流変換は、以下の演算を行います。

a) 角度演算

- 角度演算情報の取得
- 正弦余弦変換
- 進角補正後の正弦余弦変換
- R/D コンバータ診断

b) 3相電流正規化

- 3相電流選択
- 3相電流情報の取得
- 3相電流正規化の演算
- 2相電流使用モード時の正規化演算
- 3相電流総和異常検出

c) 3相2相直流変換

- 3相2相直流変換演算
- 3相2相直流電流値異常検出
- フィルタ処理

d) PID 制御

- PID 制御の演算

e) 電流/電圧変換

- 電流/電圧変換の演算

f) 2相3相交流変換

- 2相3相交流変換演算

**(3) 主要な用語**

モータ演算アクセラレータにおいて使用する主要な用語に関して説明します。

用語	意味
モータ制御用フリーランタイム	モータ制御周期を生成するために選択されたフリーランタイムです。
R/D コンバータ診断用フリーランタイム	R/D コンバータ診断に用いる励磁波形の位相最大値を生成するためのフリーランタイムです。
同期角度データ(角度 ϕ)	入力される角度データを,モータ制御用 A/D 変換開始または診断用 A/D 変換開始のタイミングで保持するデータです。
同期角速度データ	入力される角速度データを,モータ制御用 A/D 変換開始または診断用 A/D 変換開始のタイミングで保持するデータです。
現在電流値	取得した 3 相電流に対し, 3 相 2 相直流変換を行い算出した 2 相電流値です。
目標電流値	PID 制御に使用する目標値です。
制御電流値	2 相の現在電流値に対し, PID 制御を行い算出した電流値です。
偏差電流値	PID 制御に使用する, 目標電流値と現在電流値の偏差量です。
前回偏差電流値	前回のモータ制御周期における, PID 制御によって算出した偏差電流値です。
前々回偏差電流値	前々回のモータ制御周期における, PID 制御によって算出した偏差電流値です。
入力 1/入力 2	演算器の, 2 つの入力データを示します。 例) $A+B=C$ の演算を行う場合, A:入力 1, B:入力 2, C:出力とします。

CHAPTER 60: APPENDIX

1. I/O ポートの各種設定
2. レジスタマップ
3. 割込み/NMI 要因および DMA 起動要因一覧
4. バスマスタのアクセス制限
5. 低消費電力モード
6. 主な変更内容



1. I/O ポートの各種設定

I/O ポートの各種設定について説明します。

1.1. 入力レベル設定

I/O ポートの入力レベル設定を示します。

(1) P325～P330

PIL[1:0]	説明
00	Automotive 入力(0.8Vcc/0.5Vcc)
01	FlexRay 入力(0.7Vcc/0.3Vcc)
10	設定禁止
11	設定禁止

(2)上記以外の端子

PIL[1:0]	説明
00	Automotive 入力(0.8Vcc/0.5Vcc)
01	CMOS ヒステリシス入力(0.7Vcc/0.3Vcc)
10	設定禁止
11	設定禁止

1.2. 出力駆動能力設定

I/O ポート出力の駆動能力設定を示します。

(1) P325～P330

ODR[1:0]	I _{OL}	I _{OH}
00	1mA	-1mA
01	2mA	-2mA
10	4mA	-4mA
11	設定禁止	設定禁止

(2) 上記以外の端子

ODR[1:0]	I _{OL}	I _{OH}
00	1mA	-1mA
01	2mA	-2mA
10	設定禁止	設定禁止
11	設定禁止	設定禁止

1.3. 出力リソース選択

各端子の出力リソースの割り当てとその設定を示します。

表 1-1 出力リソース一覧

レジスタ名	ポート	出力リソース選択(POF[2:0])			
		000	001	010	011~111
PPC_PCFGR000	P000	GPIO_P000	-	-	-
PPC_PCFGR001	P001	GPIO_P001	RTO0	-	-
PPC_PCFGR002	P002	GPIO_P002	RTO1	-	-
PPC_PCFGR003	P003	GPIO_P003	RTO2	-	-
PPC_PCFGR004	P004	GPIO_P004	RTO3	-	-
PPC_PCFGR005	P005	GPIO_P005	RTO4	-	-
PPC_PCFGR006	P006	GPIO_P006	RTO5	-	-
PPC_PCFGR007	P007	GPIO_P007	-	-	-
PPC_PCFGR008	P008	GPIO_P008	-	-	-
PPC_PCFGR009	P009	GPIO_P009	-	-	-
PPC_PCFGR010	P010	GPIO_P010	-	-	-
PPC_PCFGR011	P011	GPIO_P011	RDC_W0	-	-
PPC_PCFGR012	P012	GPIO_P012	RDC_V0	-	-
PPC_PCFGR013	P013	GPIO_P013	RDC_U0	-	-
PPC_PCFGR014	P014	GPIO_P014	RDC_Z0	-	-
PPC_PCFGR015	P015	GPIO_P015	RDC_B0	-	-
PPC_PCFGR016	P016	GPIO_P016	RDC_A0	-	-
PPC_PCFGR017	P017	AREF20	-	-	-
PPC_PCFGR018	P018	SIN_IN0	-	-	-
PPC_PCFGR019	P019	COS_IN0	-	-	-
PPC_PCFGR020	P020	SIN_OUT0	-	-	-
PPC_PCFGR021	P021	SIN_MINUS0	-	-	-
PPC_PCFGR022	P022	SIN_PLUS0	-	-	-
PPC_PCFGR023	P023	COS_PLUS0	-	-	-
PPC_PCFGR024	P024	COS_MINUS0	-	-	-
PPC_PCFGR025	P025	COS_OUT0	-	-	-
PPC_PCFGR026	P026	RDC_ACT0	GPIO_P026	-	-
PPC_PCFGR027	P027	MAG_MINUS0	-	-	-
PPC_PCFGR028	P028	MAG_PLUS0	-	-	-
PPC_PCFGR029	P029	MAG_OUT0	-	-	-
PPC_PCFGR030	P030	GPIO_P030	-	-	-
PPC_PCFGR031	P031	GPIO_P031	RTO12	-	-
PPC_PCFGR100	P100	GPIO_P100	-	-	-
PPC_PCFGR101	P101	GPIO_P101	RTO6	-	-
PPC_PCFGR102	P102	GPIO_P102	RTO7	-	-
PPC_PCFGR103	P103	GPIO_P103	RTO8	-	-
PPC_PCFGR104	P104	GPIO_P104	RTO9	-	-
PPC_PCFGR105	P105	GPIO_P105	RTO10	-	-
PPC_PCFGR106	P106	GPIO_P106	RTO11	-	-
PPC_PCFGR107	P107	GPIO_P107	-	-	-
PPC_PCFGR108	P108	GPIO_P108	-	-	-
PPC_PCFGR109	P109	GPIO_P109	-	-	-



レジスタ名	ポート	出力リソース選択(POF[2:0])			
		000	001	010	011~111
PPC_PCFGR110	P110	GPIO_P110	-	-	-
PPC_PCFGR111	P111	GPIO_P111	RDC_W1	-	-
PPC_PCFGR112	P112	GPIO_P112	RDC_V1	-	-
PPC_PCFGR113	P113	GPIO_P113	RDC_U1	-	-
PPC_PCFGR114	P114	GPIO_P114	RDC_Z1	-	-
PPC_PCFGR115	P115	GPIO_P115	RDC_B1	-	-
PPC_PCFGR116	P116	GPIO_P116	RDC_A1	-	-
PPC_PCFGR117	P117	AREF21	-	-	-
PPC_PCFGR118	P118	SIN_IN1	-	-	-
PPC_PCFGR119	P119	COS_IN1	-	-	-
PPC_PCFGR120	P120	SIN_OUT1	-	-	-
PPC_PCFGR121	P121	SIN_MINUS1	-	-	-
PPC_PCFGR122	P122	SIN_PLUS1	-	-	-
PPC_PCFGR123	P123	COS_PLUS1	-	-	-
PPC_PCFGR124	P124	COS_MINUS1	-	-	-
PPC_PCFGR125	P125	COS_OUT1	-	-	-
PPC_PCFGR126	P126	RDC_ACT1	GPIO_P126	-	-
PPC_PCFGR127	P127	MAG_MINUS1	-	-	-
PPC_PCFGR128	P128	MAG_PLUS1	-	-	-
PPC_PCFGR129	P129	MAG_OUT1	-	-	-
PPC_PCFGR131	P131	GPIO_P131	SCK2	-	-
PPC_PCFGR200	P200	GPIO_P200	-	-	-
PPC_PCFGR201	P201	GPIO_P201	-	-	-
PPC_PCFGR202	P202	GPIO_P202	-	-	-
PPC_PCFGR203	P203	GPIO_P203	-	-	-
PPC_PCFGR204	P204	GPIO_P204	-	-	-
PPC_PCFGR205	P205	GPIO_P205	-	-	-
PPC_PCFGR206	P206	GPIO_P206	-	-	-
PPC_PCFGR207	P207	GPIO_P207	-	-	-
PPC_PCFGR208	P208	GPIO_P208	-	-	-
PPC_PCFGR209	P209	GPIO_P209	-	-	-
PPC_PCFGR210	P210	GPIO_P210	-	-	-
PPC_PCFGR211	P211	GPIO_P211	-	-	-
PPC_PCFGR212	P212	GPIO_P212	-	-	-
PPC_PCFGR213	P213	GPIO_P213	-	-	-
PPC_PCFGR214	P214	GPIO_P214	-	-	-
PPC_PCFGR215	P215	GPIO_P215	-	-	-
PPC_PCFGR216	P216	GPIO_P216	-	-	-
PPC_PCFGR217	P217	GPIO_P217	-	-	-
PPC_PCFGR218	P218	GPIO_P218	-	-	-
PPC_PCFGR219	P219	GPIO_P219	-	-	-
PPC_PCFGR220	P220	GPIO_P220	TIOA6	-	-
PPC_PCFGR221	P221	GPIO_P221	-	-	-
PPC_PCFGR222	P222	GPIO_P222	TIOA7	-	-
PPC_PCFGR223	P223	GPIO_P223	-	-	-
PPC_PCFGR224	P224	GPIO_P224	-	-	-
PPC_PCFGR225	P225	GPIO_P225	-	-	-
PPC_PCFGR226	P226	GPIO_P226	SOT4	-	-
PPC_PCFGR227	P227	GPIO_P227	SCK4	-	-

レジスタ名	ポート	出力リソース選択(POF[2:0])			
		000	001	010	011~111
PPC_PCFGR228	P228	GPIO_P228	SCS40	-	-
PPC_PCFGR229	P229	GPIO_P229	SCS41	-	-
PPC_PCFGR230	P230	GPIO_P230	SCS42	-	-
PPC_PCFGR231	P231	GPIO_P231	SCS43	-	-
PPC_PCFGR300	P300	GPIO_P300	-	-	-
PPC_PCFGR301	P301	GPIO_P301	TIOA10	-	-
PPC_PCFGR302	P302	GPIO_P302	-	-	-
PPC_PCFGR303	P303	GPIO_P303	TIOA11	-	-
PPC_PCFGR304	P304	GPIO_P304	-	-	-
PPC_PCFGR305	P305	GPIO_P305	-	-	-
PPC_PCFGR306	P306	GPIO_P306	-	-	-
PPC_PCFGR309	P309	GPIO_P309	RTO13	-	-
PPC_PCFGR310	P310	GPIO_P310	RTO14	-	-
PPC_PCFGR311	P311	GPIO_P311	RTO15	-	-
PPC_PCFGR312	P312	GPIO_P312	RTO16	-	-
PPC_PCFGR313	P313	GPIO_P313	RTO17	-	-
PPC_PCFGR314	P314	GPIO_P314	TIOA0	-	-
PPC_PCFGR315	P315	GPIO_P315	RTO18	-	-
PPC_PCFGR316	P316	GPIO_P316	RTO19	TIOA1	-
PPC_PCFGR317	P317	GPIO_P317	RTO20	-	-
PPC_PCFGR318	P318	GPIO_P318	RTO21	TIOA2	-
PPC_PCFGR319	P319	GPIO_P319	RTO22	-	-
PPC_PCFGR320	P320	GPIO_P320	RTO23	TIOA3	-
PPC_PCFGR321	P321	GPIO_P321	-	-	-
PPC_PCFGR322	P322	GPIO_P322	SOT0	-	-
PPC_PCFGR323	P323	GPIO_P323	SCK0	-	-
PPC_PCFGR324	P324	GPIO_P324	-	-	-
PPC_PCFGR325	P325	GPIO_P325	-	-	-
PPC_PCFGR326	P326	GPIO_P326	TXDA	-	-
PPC_PCFGR327	P327	GPIO_P327	TXENA	-	-
PPC_PCFGR328	P328	GPIO_P328	-	-	-
PPC_PCFGR329	P329	GPIO_P329	TXDB	-	-
PPC_PCFGR330	P330	GPIO_P330	TXENB	-	-
PPC_PCFGR406	P406	GPIO_P406	-	-	-
PPC_PCFGR407	P407	GPIO_P407	SOT1	-	-
PPC_PCFGR408	P408	GPIO_P408	SCK1	-	-
PPC_PCFGR409	P409	GPIO_P409	-	-	-
PPC_PCFGR410	P410	GPIO_P410	TX0	-	-
PPC_PCFGR411	P411	GPIO_P411	-	-	-
PPC_PCFGR412	P412	GPIO_P412	TX1	-	-
PPC_PCFGR413	P413	GPIO_P413	-	-	-
PPC_PCFGR414	P414	GPIO_P414	TX2	-	-
PPC_PCFGR415	P415	GPIO_P415	TIOA4	-	-
PPC_PCFGR416	P416	GPIO_P416	-	-	-
PPC_PCFGR417	P417	GPIO_P417	TIOA5	-	-
PPC_PCFGR418	P418	GPIO_P418	-	-	-
PPC_PCFGR419	P419	GPIO_P419	-	-	-
PPC_PCFGR420	P420	GPIO_P420	SOT2	-	-
PPC_PCFGR421	P421	GPIO_P421	-	-	-



レジスタ名	ポート	出力リソース選択(POF[2:0])			
		000	001	010	011~111
PPC_PCFGR422	P422	GPIO_P422	SOT3	-	-
PPC_PCFGR423	P423	GPIO_P423	SCK3	-	-
PPC_PCFGR425	P425	GPIO_P425	TIOA8	-	-
PPC_PCFGR426	P426	GPIO_P426	-	-	-
PPC_PCFGR427	P427	GPIO_P427	TIOA9	-	-
PPC_PCFGR428	P428	GPIO_P428	-	-	-
PPC_PCFGR429	P429	GPIO_P429	MONCLK	MM	-
PPC_PCFGR430	P430	GPIO_P430	ERDS0	-	-
PPC_PCFGR431	P431	GPIO_P431	ERDS1	-	-

1.4. リソース入力選択

リソース入力設定レジスタの設定と入力リソースの割り当てを示します。

表 1-2 リソース入力一覧

レジスタ名	リソース	リソース入力選択	
		RESSEL [3:0]	接続機能
RIC_RESIN0	32 ビットインプットキャプチャ ch.0 の タイマ値入力	0000	32 ビットフリーランタイム ch.0 32 ビットタイマカウンタ出力
		0001	32 ビットフリーランタイム ch.1 32 ビットタイマカウンタ出力
		0010	32 ビットフリーランタイム ch.2 32 ビットタイマカウンタ出力
		0011	32 ビットフリーランタイム ch.3 32 ビットタイマカウンタ出力
		0100~1111	32 ビットフリーランタイム ch.4 32 ビットタイマカウンタ出力
RIC_RESIN1	32 ビットインプットキャプチャ ch.1 の タイマ値入力	0000	32 ビットフリーランタイム ch.0 32 ビットタイマカウンタ出力
		0001	32 ビットフリーランタイム ch.1 32 ビットタイマカウンタ出力
		0010	32 ビットフリーランタイム ch.2 32 ビットタイマカウンタ出力
		0011	32 ビットフリーランタイム ch.3 32 ビットタイマカウンタ出力
		0100~1111	32 ビットフリーランタイム ch.4 32 ビットタイマカウンタ出力
RIC_RESIN2	32 ビットインプットキャプチャ ch.0 の 外部入力信号	0000	外部端子 IN16
		0001	マルチファンクションシリアルインタフェース ch.0 LIN Sync 検出信号
		0010~1111	外部端子 IN16
RIC_RESIN3	32 ビットインプットキャプチャ ch.1 の 外部入力信号	0000	外部端子 IN17
		0001	マルチファンクションシリアルインタフェース ch.1 LIN Sync 検出信号
		0010~1111	外部端子 IN17
RIC_RESIN4	32 ビットインプットキャプチャ ch.2 の タイマ値入力	0000	32 ビットフリーランタイム ch.0 32 ビットタイマカウンタ出力
		0001	32 ビットフリーランタイム ch.1 32 ビットタイマカウンタ出力
		0010	32 ビットフリーランタイム ch.2 32 ビットタイマカウンタ出力
		0011	32 ビットフリーランタイム ch.3 32 ビットタイマカウンタ出力
		0100~1111	32 ビットフリーランタイム ch.4 32 ビットタイマカウンタ出力
RIC_RESIN5	32 ビットインプットキャプチャ ch.3 の タイマ値入力	0000	32 ビットフリーランタイム ch.0 32 ビットタイマカウンタ出力
		0001	32 ビットフリーランタイム ch.1 32 ビットタイマカウンタ出力
		0010	32 ビットフリーランタイム ch.2 32 ビットタイマカウンタ出力
		0011	32 ビットフリーランタイム ch.3 32 ビットタイマカウンタ出力
		0100~1111	32 ビットフリーランタイム ch.4 32 ビットタイマカウンタ出力
RIC_RESIN6	32 ビットインプットキャプチャ ch.2 の 外部入力信号	0000	外部端子 IN18
		0001	マルチファンクションシリアルインタフェース ch.2 LIN Sync 検出信号
		0010~1111	外部端子 IN18
RIC_RESIN7	32 ビットインプットキャプチャ ch.3 の 外部入力信号	0000	外部端子 IN19
		0001	マルチファンクションシリアルインタフェース ch.3 LIN Sync 検出信号
		0010~1111	外部端子 IN19
RIC_RESIN8	32 ビットインプットキャプチャ ch.4 の タイマ値入力	0000	32 ビットフリーランタイム ch.0 32 ビットタイマカウンタ出力
		0001	32 ビットフリーランタイム ch.1 32 ビットタイマカウンタ出力
		0010	32 ビットフリーランタイム ch.2 32 ビットタイマカウンタ出力
		0011	32 ビットフリーランタイム ch.3 32 ビットタイマカウンタ出力
		0100~1111	32 ビットフリーランタイム ch.4 32 ビットタイマカウンタ出力



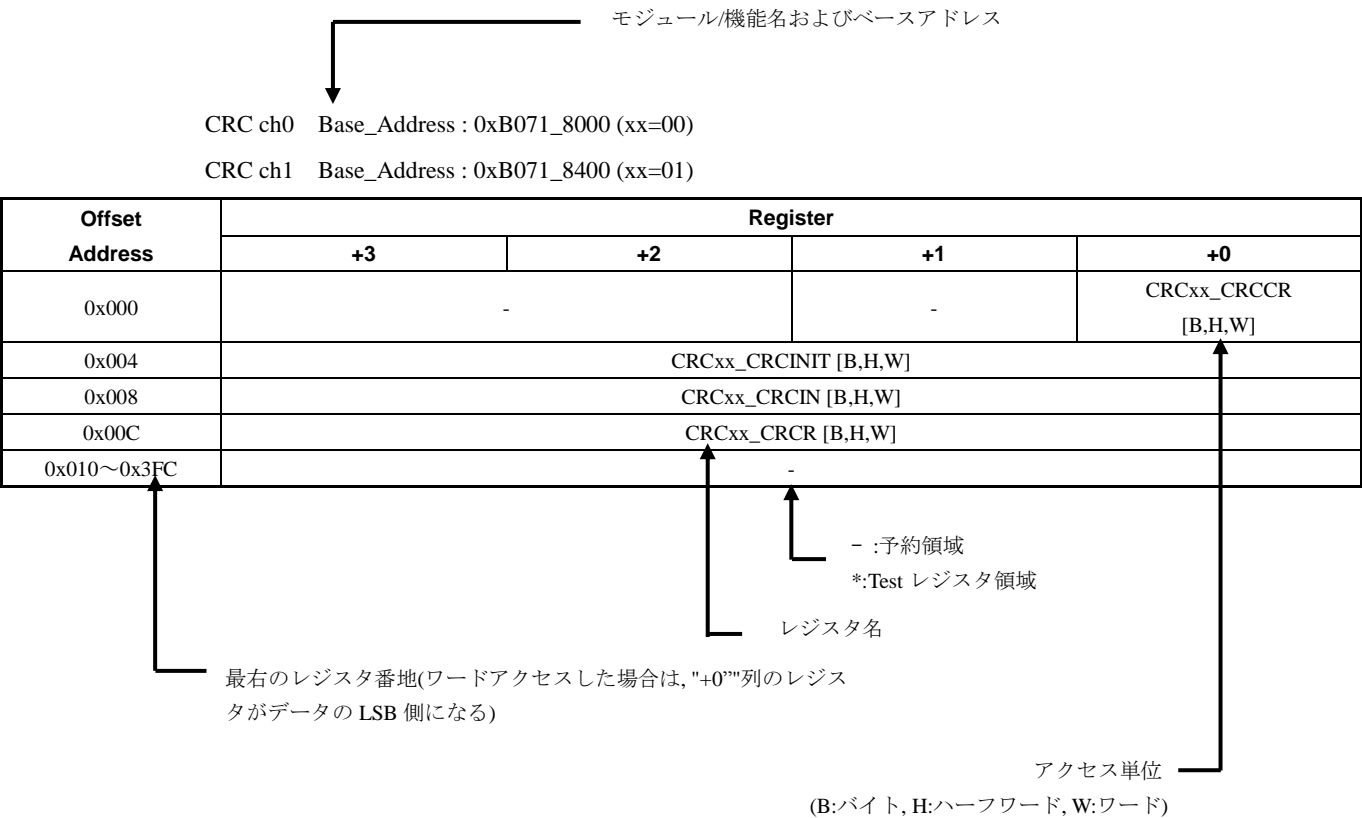
レジスタ名	リソース	リソース入力選択	
		RESSEL [3:0]	接続機能
RIC_RESIN9	32 ビットインプットキャプチャ ch.5 の タイマ値入力	0000	32 ビットフリーランタイム ch.0 32 ビットタイマカウンタ出力
		0001	32 ビットフリーランタイム ch.1 32 ビットタイマカウンタ出力
		0010	32 ビットフリーランタイム ch.2 32 ビットタイマカウンタ出力
		0011	32 ビットフリーランタイム ch.3 32 ビットタイマカウンタ出力
		0100~1111	32 ビットフリーランタイム ch.4 32 ビットタイマカウンタ出力
RIC_RESIN10	32 ビットインプットキャプチャ ch.4 の 外部入力信号	0000	外部端子 IN20
		0001	マルチファンクションシリアルインタフェース ch.4 LIN Sync 検出信号
		0010~1111	外部端子 IN20
RIC_RESIN11	32 ビットインプットキャプチャ ch.5 の 外部入力信号	0000~1111	外部端子 IN21



2. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]



<注意事項>

- レジスタテーブルはリトルエンディアンで表されています。
- データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。
 - ワードアクセス : アドレスは 4 の倍数(最下位 2 ビットは"0b00")
 - ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0")
 - バイトアクセス :-
- 予約領域にはアクセスしてはいけません。ただし、レジスタテーブルに記載のレジスタに対し、指定可能なアクセス単位による予約領域を含むアクセスは可能です。
- Test レジスタ領域にはアクセスしてはいけません。
- レジスタテーブルに記載していない領域にはアクセスしてはいけません。



(1) システムコントローラ

システムコントローラ プロテクションレジスタ Base_Address : 0xB060_0000

Offset Address	Register			
	+3	+2	+1	+0
0x000	SYSC_PROTKEYR [W]			
0x004~0x07C	-			

システムコントローラ RUN プロファイルレジスタ Base_Address : 0xB060_0000

Offset Address	Register			
	+3	+2	+1	+0
0x080	-			
0x084	SYSC_RUNCKSRER [B,H,W]			
0x088	SYSC_RUNCKSELR0 [B,H,W]			
0x08C	-			
0x090	SYSC_RUNCKER [B,H,W]			
0x094	SYSC_RUNCKDIVR0 [B,H,W]			
0x098	SYSC_RUNCKDIVR1 [B,H,W]			
0x09C	SYSC_RUNCKDIVR2 [B,H,W]			
0x0A0~0x0A4	-			
0x0A8	SYSC_RUNPLLCNTR [B,H,W]			
0x0AC~0x0B0	-			
0x0B4	SYSC_RUNLVDCFGR [B,H,W]			
0x0B8	-			
0x0BC	SYSC_RUNCSVCFGR [B,H,W]			
0x0C0~0x0F8	-			
0x0FC	SYSC_TRGRUNCNTR [B,H,W]			

システムコントローラ PSS プロファイルレジスタ Base_Address : 0xB060_0000

Offset Address	Register			
	+3	+2	+1	+0
0x100	-			
0x104	SYSC_PSSCKSRER [B,H,W]			
0x108	SYSC_PSSCKSELR0 [B,H,W]			
0x10C	-			
0x110	SYSC_PSSCKER [B,H,W]			
0x114	SYSC_PSSCKDIVR0 [B,H,W]			
0x118	SYSC_PSSCKDIVR1 [B,H,W]			
0x11C	SYSC_PSSCKDIVR2 [B,H,W]			
0x120~0x124	-			
0x128	SYSC_PSSPLLCNTR [B,H,W]			
0x12C~0x130	-			
0x134	SYSC_PSSLVDCFGR [B,H,W]			
0x138	-			
0x13C	SYSC_PSSCSVCFGR [B,H,W]			
0x140~0x178	-			
0x17C	SYSC_PSENENR [B]			

システムコントローラ APPLIED プロファイルレジスタ Base_Address : 0xB060_0000

Offset Address	Register			
	+3	+2	+1	+0
0x180	-			
0x184	SYSC_APPCKSRER [B,H,W]			
0x188	SYSC_APPCKSELR0 [B,H,W]			
0x18C	-			
0x190	SYSC_APPCKER [B,H,W]			
0x194	SYSC_APPCKDIVR0 [B,H,W]			
0x198	SYSC_APPCKDIVR1 [B,H,W]			
0x19C	SYSC_APPCKDIVR2 [B,H,W]			
0x1A0~0x1A4	-			
0x1A8	SYSC_APPPLLCNTR [B,H,W]			
0x1AC~0x1B0	-			
0x1B4	SYSC_APPLVDCFGR [B,H,W]			
0x1B8	-			
0x1BC	SYSC_APPCSVCFGR [B,H,W]			
0x1C0~0x1FC	-			

システムコントローラ Status プロファイルレジスタ Base_Address : 0xB060_0000

Offset Address	Register			
	+3	+2	+1	+0
0x200	-			
0x204	SYSC_STSCKSRER [B,H,W]			
0x208	SYSC_STSCKSELR0 [B,H,W]			
0x20C	-			
0x210	SYSC_STSCKER [B,H,W]			
0x214	SYSC_STSCKDIVR0 [B,H,W]			
0x218	SYSC_STSCKDIVR1 [B,H,W]			
0x21C	SYSC_STSCKDIVR2 [B,H,W]			
0x220~0x224	-			
0x228	SYSC_STSPLLCNTR [B,H,W]			
0x22C~0x230	-			
0x234	SYSC_STSLVDCFGR [B,H,W]			
0x238	-			
0x23C	SYSC_STSCSVCFGR [B,H,W]			
0x240~0x27C	-			



H A R D W A R E M A N U A L

システムコントローラ システムレジスタ群 Base_Address : 0xB060_0000

Offset Address	Register			
	+3	+2	+1	+0
0x280	-			
0x284	-			
0x288	SYSC_SYSTSR [B,H,W]			
0x28C	SYSC_SYSINTER [B,H,W]			
0x290	SYSC_SYSICLR [B,H,W]			
0x294	SYSC_SYSERRIR0 [B,H,W]			
0x298	SYSC_SYSERRIR1 [B,H,W]			
0x29C	SYSC_SYSERRICLR0 [B,H,W]			
0x2A0	SYSC_SYSERRICLR1 [B,H,W]			
0x2A4	SYSC_SYSPROTSR [B,H,W]			
0x2A8	SYSC_SYSRUNPEFR [B,H,W]			
0x2AC	SYSC_SYSPSSPEFR [B,H,W]			
0x2B0~0x2FC	-			

クロックスーパーバイザ レジスタ群 Base_Address : 0xB060_0300

Offset Address	Register			
	+3	+2	+1	+0
0x000	SYSC_CSVMOFCFGR0 [B,H,W]			
0x004	SYSC_CSVMOFCFGR1 [B,H,W]			
0x008	SYSC_CSVMOFCFGR10 [B,H,W]			
0x00C	SYSC_CSVMOFCFGR11 [B,H,W]			
0x010~0x014	-			
0x018	SYSC_CSVPLLCFGR0 [B,H,W]			
0x01C	SYSC_CSVPLLCFGR1 [B,H,W]			
0x020~0x024	-			
0x028	SYSC_CSVSSCFGR0 [B,H,W]			
0x02C	SYSC_CSVSSCFGR1 [B,H,W]			
0x030~0x05C	-			
0x060	SYSC_CSVOUTER [B,H,W]			
0x064	SYSC_CSVTESTR [B,H,W]			
0x068~0x07C	-			

リセット レジスタ群 Base_Address : 0xB060_0380

Offset Address	Register			
	+3	+2	+1	+0
0x000	SYSC_RSTCNTR0 [B,H,W]			
0x004	SYSC_RSTCNTR1 [B,H,W]			
0x008~0x00C	-			
0x010	SYSC_RSTCAUSEUR [B,H,W]			
0x014	SYSC_EXCSVRSTCAUSEUR [B,H,W]			
0x018~0x01C	-			
0x020	SYSC_RSTCAUSEBT [B,H,W]			
0x024	SYSC_EXCSVRSTCAUSEBT [B,H,W]			
0x028~0x02C	-			
0x030	SYSC_WRBOOTCPUSEL [B,H,W]			
0x034~0x07C	-			



SCT(高速 CR) レジスタ群 Base_Address : 0xB060_0400

Offset Address	Register			
	+3	+2	+1	+0
0x000	SYSC_FCRCTTRGR [B,H,W]			
0x004	SYSC_FCRCTCNTR [B,H,W]			
0x008	SYSC_FCRCTCPR [B,H,W]			
0x00C	SYSC_FCRCTSTR [B,H,W]			
0x010	SYSC_FCRCTINTER [B,H,W]			
0x014	SYSC_FCRCTICLR [B,H,W]			
0x018~0x07C	-			

SCT(低速 CR) レジスタ群 Base_Address : 0xB060_0480

Offset Address	Register			
	+3	+2	+1	+0
0x000	SYSC_SCRCTTRGR [B,H,W]			
0x004	SYSC_SCRCTCNTR [B,H,W]			
0x008	SYSC_SCRCTCPR [B,H,W]			
0x00C	SYSC_SCRCTSTR [B,H,W]			
0x010	SYSC_SCRCTINTER [B,H,W]			
0x014	SYSC_SCRCTICLR [B,H,W]			
0x018~0x07C	-			

SCT(メイン発振) レジスタ群 Base_Address : 0xB060_0500

Offset Address	Register			
	+3	+2	+1	+0
0x000	SYSC_MOCTTRGR [B,H,W]			
0x004	SYSC_MOCTCNTR [B,H,W]			
0x008	SYSC_MOCTCPR [B,H,W]			
0x00C	SYSC_MOCTSTR [B,H,W]			
0x010	SYSC_MOCTINTER [B,H,W]			
0x014	SYSC_MOCTICLR [B,H,W]			
0x018~0x07C	-			
0x080~0x0FC	-			

クロックシステム レジスタ群 Base_Address : 0xB060_0600

Offset Address	Register			
	+3	+2	+1	+0
0x000	SYSC_CRCNTR [B,H,W]			
0x004	SYSC_MOSCCNTR [B,H,W]			
0x008	SYSC_PLLSTCNTR [B,H,W]			
0x00C	SYSC_PLLCGCNTR [B,H,W]			
0x010~0x01C	-			
0x020	SYSC_CKOTCNTR [B,H,W]			
0x024~0x07C	-			

特殊設定レジスタ群 Base_Address : 0xB060_0680

Offset Address	Register			
	+3	+2	+1	+0
0x000	SYSC_SPECFGR [B,H,W]			
0x004	SYSC_SPECPUFCGR [B,H,W]			
0x008~0x07C	-			

デバッグレジスタ群 Base_Address : 0xB060_0700

Offset Address	Register			
	+3	+2	+1	+0
0x000	SYSC_JTAGDETECT [B,H,W]			
0x004	SYSC_JTAGCNFG [B,H,W]			
0x008	SYSC_JTAGWAKEUP [B,H,W]			
0x00C~0x0FC	-			

**(2) モード制御**

モード制御 Base_Address : 0xB060_0800

Offset Address	Register			
	+3	+2	+1	+0
0x000	MODEC_MODER [B,H,W]			
0x004~0x7FC	-			

(3) ソフトウェアウォッチドッグタイマ

ソフトウェアウォッチドッグタイマ Unit0 Base_Address : 0xB060_8000 (n=0)

ソフトウェアウォッチドッグタイマ Unit1 Base_Address : 0xB060_9000 (n=1)

Offset Address	Register			
	+3	+2	+1	+0
0x000	SWDGn_PROT [W]			
0x004	-			
0x008	SWDGn_CNT [B,H,W]			
0x00C	SWDGn_RSTCAUSE [B,H,W]			
0x010	SWDGn_TRG0 [B,H,W]			
0x014	-			
0x018	SWDGn_TRG1 [B,H,W]			
0x01C	-			
0x020	SWDGn_INT [B,H,W]			
0x024	SWDGn_INTCLR [B,H,W]			
0x028	-			
0x02C	SWDGn_TRG0CFG [B,H,W]			
0x030	SWDGn_TRG1CFG [B,H,W]			
0x034	SWDGn_RUNLLS [B,H,W]			
0x038	SWDGn_RUNULS [B,H,W]			
0x03C	SWDGn_PSSLLS [B,H,W]			
0x040	SWDGn_PSSULS [B,H,W]			
0x044	SWDGn_RSTDLY [B,H,W]			
0x048	SWDGn_CFG [B,H,W]			
0x04C	SWDGn_RUNLLC [B,H,W]			
0x050	SWDGn_RUNULC [B,H,W]			
0x054	SWDGn_PSSLLC [B,H,W]			
0x058	SWDGn_PSSULC [B,H,W]			
0x05C~0x3FC	-			

(4) ハードウェアウォッチドッグタイマ

ハードウェアウォッチドッグタイマ Base_Address : 0xB060_C000

Offset Address	Register			
	+3	+2	+1	+0
0x000	HWDG_PROT [W]			
0x004	-			
0x008	HWDG_CNT [B,H,W]			
0x00C	HWDG_RSTCAUSE [B,H,W]			
0x010	HWDG_TRG0 [B,H,W]			
0x014	-			
0x018	HWDG_TRG1 [B,H,W]			
0x01C	-			
0x020	HWDG_INT [B,H,W]			
0x024	HWDG_INTCLR [B,H,W]			
0x028	-			
0x02C	HWDG_TRG0CFG [B,H,W]			
0x030	HWDG_TRG1CFG [B,H,W]			
0x034	HWDG_RUNLLS [B,H,W]			
0x038	HWDG_RUNULS [B,H,W]			
0x03C	HWDG_PSSLIS [B,H,W]			
0x040	HWDG_PSSULS [B,H,W]			
0x044	HWDG_RSTDLY [B,H,W]			
0x048	HWDG_CFG [B,H,W]			
0x04C	HWDG_RUNLLC [B,H,W]			
0x050	HWDG_RUNULC [B,H,W]			
0x054	HWDG_PSSLLC [B,H,W]			
0x058	HWDG_PSSULC [B,H,W]			
0x05C~0x3FC	-			



(5) 外部割込み

外部割込み Base_Address : 0xB062_0000 (xx=00)

Offset Address	Register			
	+3	+2	+1	+0
0x000	EICxx_ENIR [B,H,W]			
0x004	EICxx_ENISR [B,H,W]			
0x008	EICxx_ENICR [B,H,W]			
0x00C	EICxx_EIRR [B,H,W]			
0x010	EICxx_EIRCR [B,H,W]			
0x014	EICxx_NFER [B,H,W]			
0x018	EICxx_NFESR [B,H,W]			
0x01C	EICxx_NFECR [B,H,W]			
0x020	EICxx_ELVRO [B,H,W]			
0x024~0x02C	-			
0x030	EICxx_NMIR [B,H,W]			
0x034	EICxx_DRER [B,H,W]			
0x038	EICxx_DRESR [B,H,W]			
0x03C	EICxx_DRECR [B,H,W]			
0x040	EICxx_DRFR [B,H,W]			
0x044~0x3FC	-			

(6) 割込みコントローラ(IRC)

a) Memory & Config Group 領域

割込みコントローラ(IRC) Unit0 Base_Address : 0xB040_0000 (n=0)

割込みコントローラ(IRC) Unit1 Base_Address : 0xB040_1000 (n=1)

Offset Address	Register			
	+3	+2	+1	+0
0x000	IRCN_NMIVAS [B,H,W]			
0x004	IRCN_NMIST [B,H,W]			
0x008	IRCN_IRQVAS [B,H,W]			
0x00C	IRCN_IRQST [B,H,W]			
0x010~0x08C	IRCN_NMIVA0~IRCN_NMIVA31 [B,H,W]			
0x090~0x88C	IRCN_IRQVA0~IRCN_IRQVA511 [B,H,W]			
0x890	IRCN_NMIPL0 [B,H,W] ^{*1}			
0x894~0x8AC	IRCN_NMIPL1~IRCN_NMIPL7 [B,H,W]			
0x8B0~0xAAC	IRCN_IRQPL0~IRCN_IRQPL127 [B,H,W]			
0xAB0	IRCN_NMIS [B,H,W]			
0xAB4	IRCN_NMIR [B,H,W]			
0xAB8	IRCN_NMISIS [B,H,W]			
0xABC	-			
0xAC0~0xAFC	IRCN_IRQS0~IRCN_IRQS15 [B,H,W]			
0xB00~0xB3C	IRCN_IRQR0~IRCN_IRQR15 [B,H,W]			
0xB40~0xB7C	IRCN_IRQSIS0~IRCN_IRQSIS15 [B,H,W]			
0xB80~0xBBC	IRCN_IRQCES0~IRCN_IRQCES15 [B,H,W]			
0xBC0~0xBFC	IRCN_IRQCEC0~IRCN_IRQCEC15 [B,H,W]			
0xC00~0xC3C	IRCN_IRQCE0~IRCN_IRQCE15 [B,H,W]			
0xC40	IRCN_NMIHC [B,H,W]			
0xC44	IRCN_NMIHS [B,H,W]			
0xC48	IRCN_IRQHC [H,W]			
0xC4C	-			
0xC50~0xC8C	IRCN_IRQHS0~IRCN_IRQHS15 [B,H,W]			
0xC90	IRCN_IRQPLM [B,H,W]			
0xC94	-			
0xC98	IRCN_CSR [B,H,W]			
0xC9C	-			
0xCA0	-			
0xCA4	-			
0xCA8	IRCN_NMIRS [B,H,W]			
0xCAC	IRCN_NMIPS [B,H,W]			
0xCB0~0xCEC	IRCN_IRQRS0~IRCN_IRQRS15 [B,H,W]			
0xCF0~0xD2C	IRCN_IRQPS0~IRCN_IRQPS15 [B,H,W]			
0xD30	IRCN_UNLOCK [W]			
0xD34	-			
0xD38	-			
0xD3C	IRCN_IRQEEVA [B, H, W]			
0xD40	IRCN_EEI [B,H,W]			
0xD44	IRCN_EAN [B,H,W]			
0xD48	IRCN_ET [B,H,W]			
0xD4C	IRCN_EEB0 [B,H,W]			
0xD50	IRCN_EEB1 [B,H,W]			



Offset Address	Register			
	+3	+2	+1	+0
0xD54	IRCN_EEB2 [B,H,W]			
0xD58	-			
0xD5C	-			
0xD60	*			
0xD64	*			
0xD68	*			
0xD6C	*			
0xD70	*			
0xD74	*			
0xD78~0xFFC	-			

*1: 下位 8 ビット(bit[7:0])へのバイトアクセスは禁止です。

b) Error Config 領域

割込みコントローラ(IRC) Unit0 Base_Address : 0xFFFE_E000 (n=0)

割込みコントローラ(IRC) Unit1 Base_Address : 0xFFFE_E400 (n=1)

Offset Address	Register			
	+3	+2	+1	+0
0x000~0x3F8	-			
0x3FC	IRCN_NMIVASBR [B,H,W]			

割込みコントローラ(IRC) Mirror Base_Address : 0xFFFE_F800

Offset Address	Register			
	+3	+2	+1	+0
0x000~0x3F8	-			
0x3FC	IRC_NMIVASBR [B,H,W]			

(7) NMI 分配

NMI 分配 Base_Address : 0xB040_7000

Offset Address	Register			
	+3	+2	+1	+0
0x000	NMID_UNLOCK [W]			
0x004	NMID_LST [B,H,W]			
0x008~0x00C	-			
0x010	NMID_DIST3 [B,H,W]	NMID_DIST2 [B,H,W]	NMID_DIST1 [B,H,W]	NMID_DIST0 [B,H,W]
0x014	NMID_DIST7 [B,H,W]	NMID_DIST6 [B,H,W]	NMID_DIST5 [B,H,W]	NMID_DIST4 [B,H,W]
0x018	NMID_DIST11 [B,H,W]	NMID_DIST10 [B,H,W]	NMID_DIST9 [B,H,W]	NMID_DIST8 [B,H,W]
0x01C	NMID_DIST15 [B,H,W]	NMID_DIST14 [B,H,W]	NMID_DIST13 [B,H,W]	NMID_DIST12 [B,H,W]
0x020	NMID_DIST19 [B,H,W]	NMID_DIST18 [B,H,W]	NMID_DIST17 [B,H,W]	NMID_DIST16 [B,H,W]
0x024	NMID_DIST23 [B,H,W]	NMID_DIST22 [B,H,W]	NMID_DIST21 [B,H,W]	NMID_DIST20 [B,H,W]
0x028	NMID_DIST27 [B,H,W]	NMID_DIST26 [B,H,W]	NMID_DIST25 [B,H,W]	NMID_DIST24 [B,H,W]
0x02C	NMID_DIST31 [B,H,W]	NMID_DIST30 [B,H,W]	NMID_DIST29 [B,H,W]	NMID_DIST28 [B,H,W]
0x030~0x3FC	-			



(8) 時間保護(TPU)

時間保護(TPU) Unit0 Base_Address : 0xB040_8000 (n=0)

時間保護(TPU) Unit1 Base_Address : 0xB040_9000 (n=1)

Offset Address	Register			
	+3	+2	+1	+0
0x000	TPUn_UNLOCK [W]			
0x004	TPUn_LST [B,H,W]			
0x008	TPUn_CFG [B,H,W]			
0x00C	TPUn_TIR [B,H,W]			
0x010	TPUn_TST [B,H,W]			
0x014	TPUn_TIE [B,H,W]			
0x018	-			
0x01C~0x02C	-			
0x030	TPUn_TCN00 [B,H,W]			
0x034	TPUn_TCN01 [B,H,W]			
0x038	TPUn_TCN02 [B,H,W]			
0x03C	TPUn_TCN03 [B,H,W]			
0x040	TPUn_TCN04 [B,H,W]			
0x044	TPUn_TCN05 [B,H,W]			
0x048	TPUn_TCN06 [B,H,W]			
0x04C	TPUn_TCN07 [B,H,W]			
0x050	TPUn_TCN10 [B,H,W]			
0x054	TPUn_TCN11 [B,H,W]			
0x058	TPUn_TCN12 [B,H,W]			
0x05C	TPUn_TCN13 [B,H,W]			
0x060	TPUn_TCN14 [B,H,W]			
0x064	TPUn_TCN15 [B,H,W]			
0x068	TPUn_TCN16 [B,H,W]			
0x06C	TPUn_TCN17 [B,H,W]			
0x070	TPUn_TCC0 [B,H,W]			
0x074	TPUn_TCC1 [B,H,W]			
0x078	TPUn_TCC2 [B,H,W]			
0x07C	TPUn_TCC3 [B,H,W]			
0x080	TPUn_TCC4 [B,H,W]			
0x084	TPUn_TCC5 [B,H,W]			
0x088	TPUn_TCC6 [B,H,W]			
0x08C	TPUn_TCC7 [B,H,W]			
0x090~0x3FC	-			

(9) TCRAM IF

TCRAM IF Unit0 Base_Address : 0xB041_0000 (n=0)

TCRAM IF Unit1 Base_Address : 0xB041_0400 (n=1)

Offset Address	Register			
	+3	+2	+1	+0
0x000	TRCFGn_TCMCFG0 [B,H,W]			
0x004	TRCFGn_TCMCFG1 [B,H,W]			
0x008	TRCFGn_TCMUNLOCK [W]			
0x00C	-			
0x010~0x01C	*			
0x020	-			
0x024	*			
0x028~0x02C	-			
0x030	TRCFGn_TEAR0 [B,H,W]			
0x034	TRCFGn_TEAR1 [B,H,W]			
0x038	TRCFGn_TEAR2 [B,H,W]			
0x03C	TRCFGn_TASAR [B,H,W]		TRCFGn_TAEAR [B,H,W]	
0x040	TRCFGn_TTCR [B,H,W]		TRCFGn_TICR [B,H,W]	TRCFGn_TFECR [B,H,W]
0x044	TRCFGn_TKCCR [B,H,W]	-	-	TRCFGn_TSRCR [B,H,W]
0x048~0x3FC	-			



(10) TCFLASH IF

TCFLASH IF Unit0 Base_Address : 0xB041_1000 (n=0)

TCFLASH IF Unit1 Base_Address : 0xB041_1400 (n=1)

Offset Address	Register			
	+3	+2	+1	+0
0x000	TCFCFGn_FCPROTKEY [W]			
0x004	-			
0x008	TCFCFGn_FCFCGR [B,H,W]			
0x00C	-			
0x010	TCFCFGn_FECCCTRL [B,H,W]			
0x014	-			
0x018	TCFCFGn_FDATEIR [B,H,W]			
0x01C	TCFCFGn_FECCEIR [B,H,W]			
0x020	TCFCFGn_FICTRL0 [B,H,W]			
0x024	TCFCFGn_FICTRL1 [B,H,W]			
0x028~0x034	-			
0x038	TCFCFGn_FSTAT0 [B,H,W]			
0x03C	TCFCFGn_FSTAT1 [B,H,W]			
0x040~0x04C	-			
0x050	TCFCFGn_FSECIR [B,H,W]			
0x054	TCFCFGn_FECCEAR [B,H,W]			
0x058	TCFCFGn_FMIDR [B,H,W]			
0x05C~0x07C	-			
0x080	TCFCFGn_FUCEDIR [B,H,W]			
0x084	TCFCFGn_FUCEAR [B,H,W]			
0x088~0x3FC	-			

(11) WorkFLASH IF

WorkFLASH IF Unit00 Base_Address : 0xB041_2000 (xx=00)

WorkFLASH IF Unit01 Base_Address : 0xB041_2400 (xx=01)

Offset Address	Register			
	+3	+2	+1	+0
0x000	WFCFG _{xx} _CPR [W]			
0x004	-			
0x008	WFCFG _{xx} _CR [B,H,W]			
0x00C	WFCFG _{xx} _ECR [B,H,W]			
0x010	WFCFG _{xx} _WCR [B,H,W]			
0x014	WFCFG _{xx} _WSR [B,H,W]			
0x018	WFCFG _{xx} _DBEIR [B,H,W]			
0x01C	WFCFG _{xx} _EEIR [B,H,W]			
0x020	-			
0x024	WFCFG _{xx} _ICR [B,H,W]			
0x028	WFCFG _{xx} _SR [B,H,W]			
0x02C	WFCFG _{xx} _SECIR [B,H,W]			
0x030	WFCFG _{xx} _EEAR [B,H,W]			
0x034	WFCFG _{xx} _MIR [B,H,W]			
0x038~0x050	-			
0x054	WFCFG _{xx} _SEQCM [B,H,W]			
0x058~0x05C	-			
0x060	WFCFG _{xx} _BERR [B,H,W]			
0x064	WFCFG _{xx} _BERRCLR [B,H,W]			
0x068	-			
0x06C	WFCFG _{xx} _UCESR [B,H,W]			
0x070	WFCFG _{xx} _UCEAR [B,H,W]			
0x074~0x3FC	-			



(12) コア間通信(IPCU)

コア間通信(IPCU) Base_Address : 0xB041_5000

Offset Address	Register			
	+3	+2	+1	+0
0x000	IPCU_ISTR0 [B,H,W]			
0x004	IPCU_ISTR1 [B,H,W]			
0x008~0x07C	-			
0x080	IPCU_MAR0 [B,H,W]			
0x084	IPCU_MAR1 [B,H,W]			
0x088~0x0FC	-			
0x100	IPCU_MB0SRCR [B,H,W]			
0x104	IPCU_MB0MR [B,H,W]			
0x108	IPCU_MB0SR [B,H,W]			
0x10C	-			
0x110	IPCU_MB0DSR [B,H,W]			
0x114	IPCU_MB0DCR [B,H,W]			
0x118	IPCU_MB0DSTR [B,H,W]			
0x11C	-			
0x120	IPCU_MB0MSR [B,H,W]			
0x124	IPCU_MB0MCR [B,H,W]			
0x128	IPCU_MB0MSTR [B,H,W]			
0x12C	-			
0x130	IPCU_MB0ASR [B,H,W]			
0x134	IPCU_MB0ACR [B,H,W]			
0x138	IPCU_MB0ASTR [B,H,W]			
0x13C	IPCU_MB0ASRCR [B,H,W]			
0x140~0x160	IPCU_MB0DR0~IPCU_MB0DR8 [B,H,W]			
0x164~0x17C	-			
0x180~0x1FC	MailBox1			
0x200~0x27C	MailBox2			
0x280~0x2FC	MailBox3			
0x300~0x37C	MailBox4			
0x380~0x3FC	MailBox5			
0x400~0x47C	MailBox6			
0x480~0x4FC	MailBox7			
0x500~0x8FC	-			
0x900	IPCU_MBSTR [B,H,W]			
0x904~0xFFC	-			

<注意事項>

- 0x100~0x17C を MailBox0 とします。MailBox1~MailBox7 も各領域において MailBox0 と同様のレジスタマップです。レジスタ名は IPCU_MBmXXX です。(m=1~7)

(13) BootROM ハードウェアインタフェース

BootROM ハードウェアインタフェース Base_Address : 0xFFFFE_FC00

Offset Address	Register			
	+3	+2	+1	+0
0x000~0x354	-			
0x358	EXCFG_UNLOCK [W]			
0x35C	-			
0x360	EXCFG_CNFG [B,H,W]			
0x364~0x380	-			
0x384	EXCFG_UNDEFINACT [B,H,W]			
0x388	EXCFG_SVCINACT [B,H,W]			
0x38C	EXCFG_PABORTINACT [B,H,W]			
0x390	EXCFG_DABORTINACT [B,H,W]			
0x394~0x3C0	-			
0x3C4	EXCFG_UNDEFACT [B,H,W]			
0x3C8	EXCFG_SVCACT [B,H,W]			
0x3CC	EXCFG_PABORTACT [B,H,W]			
0x3D0	EXCFG_DABORTACT [B,H,W]			
0x3D4~0x3FC	-			

(14) CRC

CRC ch.0 Base_Address : 0xB071_8000 (xx=00)

CRC ch.1 Base_Address : 0xB071_8400 (xx=01)

Offset Address	Register			
	+3	+2	+1	+0
0x000	-		-	CRCxx_CRCCR [B,H,W]
0x004	CRCxx_CRCINIT [B,H,W]			
0x008	CRCxx_CRCIN [B,H,W]			
0x00C	CRCxx_CRCR [B,H,W]			
0x010~0x3FC	-			

**(15) CAN (CAN / CAN コントローラ / CAN_ECC)**

CAN ch.0 Base_Address : 0xB072_0000 (xx=00)

CAN ch.1 Base_Address : 0xB072_0400 (xx=01)

CAN ch.2 Base_Address : 0xB072_0800 (xx=02)

Offset Address	Register			
	+3	+2	+1	+0
0x000	CANxx_STATR [B,H,W]		CANxx_CTRLR [B,H,W]	
0x004	CANxx_BTR [B,H,W]		CANxx_ERRCNT [B,H,W]	
0x008	CANxx_TESTR [B,H,W]		CANxx_INTR [H,W]	
0x00C	-		CANxx_BRPER [B,H,W]	
0x010	CANxx_IF1CMSK [B,H,W]		CANxx_IF1CREQ [B,H,W]	
0x014	CANxx_IF1MSK2 [B,H,W]		CANxx_IF1MSK1 [B,H,W]	
0x018	CANxx_IF1ARB2 [B,H,W]		CANxx_IF1ARB1 [B,H,W]	
0x01C	-		CANxx_IF1MCTR [B,H,W]	
0x020	CANxx_IF1DTA2 [B,H,W]		CANxx_IF1DTA1 [B,H,W]	
0x024	CANxx_IF1DTB2 [B,H,W]		CANxx_IF1DTB1 [B,H,W]	
0x028～0x02C	-			
0x030～0x034	予約(IF1 データミラー)			
0x038～0x03C	-			
0x040	CANxx_IF2CMSK [B,H,W]		CANxx_IF2CREQ [B,H,W]	
0x044	CANxx_IF2MSK2 [B,H,W]		CANxx_IF2MSK1 [B,H,W]	
0x048	CANxx_IF2ARB2 [B,H,W]		CANxx_IF2ARB1 [B,H,W]	
0x04C	-		CANxx_IF2MCTR [B,H,W]	
0x050	CANxx_IF2DTA2 [B,H,W]		CANxx_IF2DTA1 [B,H,W]	
0x054	CANxx_IF2DTB2 [B,H,W]		CANxx_IF2DTB1 [B,H,W]	
0x058～0x05C	-			
0x060～0x064	予約(IF2 データミラー)			
0x068～0x07C	-			
0x080	CANxx_TREQ2 [B,H,W]		CANxx_TREQ1 [B,H,W]	
0x084	CANxx_TREQ4 [B,H,W]		CANxx_TREQ3 [B,H,W]	
0x088～0x08C	-			
0x090	CANxx_NEWDT2 [B,H,W]		CANxx_NEWDT1 [B,H,W]	
0x094	CANxx_NEWDT4 [B,H,W]		CANxx_NEWDT3 [B,H,W]	
0x098～0x09C	-			
0x0A0	CANxx_INTPND2 [B,H,W]		CANxx_INTPND1 [B,H,W]	
0x0A4	CANxx_INTPND4 [B,H,W]		CANxx_INTPND3 [B,H,W]	
0x0A8～0x0AC	-			
0x0B0	CANxx_MSGVAL2 [B,H,W]		CANxx_MSGVAL1 [B,H,W]	
0x0B4	CANxx_MSGVAL4 [B,H,W]		CANxx_MSGVAL3 [B,H,W]	
0x0B8～0x0BC	-			
0x0C0	CANxx_CANSEEAR [B,H,W]		CANxx_CANSEESR [B,H,W]	CANxx_CANEECR [B,H,W]
0x0C4	CANxx_CANDEEAR [B,H,W]		CANxx_CANDEESCR [B,H,W]	-
0x0C8	CANxx_CANEFECR [B,H,W]			
0x0CC	-			
0x0D0	-		-	CANxx_CIRRR [B,H,W]
0x0D4～0x3FC	-			

(16) CAN プリスケーラ

CAN プリスケーラ Base_Address : 0xB072_8000

Offset Address	Register			
	+3	+2	+1	+0
0x000	CANP_CANPRE [B,H,W]			
0x004	CANP_CANPCK [B,H,W]			
0x008~0x3FC	-			

(17) CR キャリブレーション

CR キャリブレーション Base_Address : 0xB073_0000

Offset Address	Register			
	+3	+2	+1	+0
0x000	CU_CUTD1[B,H,W]		CU_CUCR1[B,H,W]	
0x004	CU_CUTR1[B,H,W]			
0x008	CU_CUCRC1[B,H,W]			
0x00C~0x3FC	-			

**(18) GPIO**

GPIO Base_Address : 0xB073_8000

Offset Address	Register			
	+3	+2	+1	+0
0x000	GPIO_POSR0 [B,H,W]			
0x004	GPIO_POCR0 [B,H,W]			
0x008	GPIO_DDSR0 [B,H,W]			
0x00C	GPIO_DDCR0 [B,H,W]			
0x010	GPIO_POSR1 [B,H,W]			
0x014	GPIO_POCR1 [B,H,W]			
0x018	GPIO_DDSR1 [B,H,W]			
0x01C	GPIO_DDCR1 [B,H,W]			
0x020	GPIO_POSR2 [B,H,W]			
0x024	GPIO_POCR2 [B,H,W]			
0x028	GPIO_DDSR2 [B,H,W]			
0x02C	GPIO_DDCR2 [B,H,W]			
0x030	GPIO_POSR3 [B,H,W]			
0x034	GPIO_POCR3 [B,H,W]			
0x038	GPIO_DDSR3 [B,H,W]			
0x03C	GPIO_DDCR3 [B,H,W]			
0x040	GPIO_POSR4 [B,H,W]			
0x044	GPIO_POCR4 [B,H,W]			
0x048	GPIO_DDSR4 [B,H,W]			
0x04C	GPIO_DDCR4 [B,H,W]			
0x050~0x1FC	-			
0x200	GPIO_PODR0 [B,H,W]			
0x204	GPIO_DDR0 [B,H,W]			
0x208	GPIO_PODR1 [B,H,W]			
0x20C	GPIO_DDR1 [B,H,W]			
0x210	GPIO_PODR2 [B,H,W]			
0x214	GPIO_DDR2 [B,H,W]			
0x218	GPIO_PODR3 [B,H,W]			
0x21C	GPIO_DDR3 [B,H,W]			
0x220	GPIO_PODR4 [B,H,W]			
0x224	GPIO_DDR4 [B,H,W]			
0x228~0x2FC	-			
0x300	GPIO_PIDR0 [B,H,W]			
0x304	GPIO_PIDR1 [B,H,W]			
0x308	GPIO_PIDR2 [B,H,W]			
0x30C	GPIO_PIDR3 [B,H,W]			
0x310	GPIO_PIDR4 [B,H,W]			
0x314~0x3FC	-			
0x400	GPIO_PORTEN [B,H,W]			
0x404	GPIO_KEYCDR [W]			
0x408~0xFFC	-			

(19) PPC

PPC Base_Address : 0xB074_0000

Offset Address	Register			
	+3	+2	+1	+0
0x000	PPC_PCFGR001 [B,H,W]		PPC_PCFGR000 [B,H,W]	
0x004	PPC_PCFGR003 [B,H,W]		PPC_PCFGR002 [B,H,W]	
0x008	PPC_PCFGR005 [B,H,W]		PPC_PCFGR004 [B,H,W]	
0x00C	PPC_PCFGR007 [B,H,W]		PPC_PCFGR006 [B,H,W]	
0x010	PPC_PCFGR009 [B,H,W]		PPC_PCFGR008 [B,H,W]	
0x014	PPC_PCFGR011 [B,H,W]		PPC_PCFGR010 [B,H,W]	
0x018	PPC_PCFGR013 [B,H,W]		PPC_PCFGR012 [B,H,W]	
0x01C	PPC_PCFGR015 [B,H,W]		PPC_PCFGR014 [B,H,W]	
0x020	PPC_PCFGR017 [B,H,W]		PPC_PCFGR016 [B,H,W]	
0x024	PPC_PCFGR019 [B,H,W]		PPC_PCFGR018 [B,H,W]	
0x028	PPC_PCFGR021 [B,H,W]		PPC_PCFGR020 [B,H,W]	
0x02C	PPC_PCFGR023 [B,H,W]		PPC_PCFGR022 [B,H,W]	
0x030	PPC_PCFGR025 [B,H,W]		PPC_PCFGR024 [B,H,W]	
0x034	PPC_PCFGR027 [B,H,W]		PPC_PCFGR026 [B,H,W]	
0x038	PPC_PCFGR029 [B,H,W]		PPC_PCFGR028 [B,H,W]	
0x03C	PPC_PCFGR031 [B,H,W]		PPC_PCFGR030 [B,H,W]	
0x040	PPC_PCFGR101 [B,H,W]		PPC_PCFGR100 [B,H,W]	
0x044	PPC_PCFGR103 [B,H,W]		PPC_PCFGR102 [B,H,W]	
0x048	PPC_PCFGR105 [B,H,W]		PPC_PCFGR104 [B,H,W]	
0x04C	PPC_PCFGR107 [B,H,W]		PPC_PCFGR106 [B,H,W]	
0x050	PPC_PCFGR109 [B,H,W]		PPC_PCFGR108 [B,H,W]	
0x054	PPC_PCFGR111 [B,H,W]		PPC_PCFGR110 [B,H,W]	
0x058	PPC_PCFGR113 [B,H,W]		PPC_PCFGR112 [B,H,W]	
0x05C	PPC_PCFGR115 [B,H,W]		PPC_PCFGR114 [B,H,W]	
0x060	PPC_PCFGR117 [B,H,W]		PPC_PCFGR116 [B,H,W]	
0x064	PPC_PCFGR119 [B,H,W]		PPC_PCFGR118 [B,H,W]	
0x068	PPC_PCFGR121 [B,H,W]		PPC_PCFGR120 [B,H,W]	
0x06C	PPC_PCFGR123 [B,H,W]		PPC_PCFGR122 [B,H,W]	
0x070	PPC_PCFGR125 [B,H,W]		PPC_PCFGR124 [B,H,W]	
0x074	PPC_PCFGR127 [B,H,W]		PPC_PCFGR126 [B,H,W]	
0x078	PPC_PCFGR129 [B,H,W]		PPC_PCFGR128 [B,H,W]	
0x07C	PPC_PCFGR131 [B,H,W]		-	
0x080	PPC_PCFGR201 [B,H,W]		PPC_PCFGR200 [B,H,W]	
0x084	PPC_PCFGR203 [B,H,W]		PPC_PCFGR202 [B,H,W]	
0x088	PPC_PCFGR205 [B,H,W]		PPC_PCFGR204 [B,H,W]	
0x08C	PPC_PCFGR207 [B,H,W]		PPC_PCFGR206 [B,H,W]	
0x090	PPC_PCFGR209 [B,H,W]		PPC_PCFGR208 [B,H,W]	
0x094	PPC_PCFGR211 [B,H,W]		PPC_PCFGR210 [B,H,W]	
0x098	PPC_PCFGR213 [B,H,W]		PPC_PCFGR212 [B,H,W]	
0x09C	PPC_PCFGR215 [B,H,W]		PPC_PCFGR214 [B,H,W]	
0x0A0	PPC_PCFGR217 [B,H,W]		PPC_PCFGR216 [B,H,W]	
0x0A4	PPC_PCFGR219 [B,H,W]		PPC_PCFGR218 [B,H,W]	
0x0A8	PPC_PCFGR221 [B,H,W]		PPC_PCFGR220 [B,H,W]	
0x0AC	PPC_PCFGR223 [B,H,W]		PPC_PCFGR222 [B,H,W]	
0x0B0	PPC_PCFGR225 [B,H,W]		PPC_PCFGR224 [B,H,W]	
0x0B4	PPC_PCFGR227 [B,H,W]		PPC_PCFGR226 [B,H,W]	



Offset Address	Register			
	+3	+2	+1	+0
0x0B8	PPC_PCFGR229 [B,H,W]		PPC_PCFGR228 [B,H,W]	
0x0BC	PPC_PCFGR231 [B,H,W]		PPC_PCFGR230 [B,H,W]	
0x0C0	PPC_PCFGR301 [B,H,W]		PPC_PCFGR300 [B,H,W]	
0x0C4	PPC_PCFGR303 [B,H,W]		PPC_PCFGR302 [B,H,W]	
0x0C8	PPC_PCFGR305 [B,H,W]		PPC_PCFGR304 [B,H,W]	
0x0CC	-		PPC_PCFGR306 [B,H,W]	
0x0D0	PPC_PCFGR309 [B,H,W]		-	
0x0D4	PPC_PCFGR311 [B,H,W]		PPC_PCFGR310 [B,H,W]	
0x0D8	PPC_PCFGR313 [B,H,W]		PPC_PCFGR312 [B,H,W]	
0x0DC	PPC_PCFGR315 [B,H,W]		PPC_PCFGR314 [B,H,W]	
0x0E0	PPC_PCFGR317 [B,H,W]		PPC_PCFGR316 [B,H,W]	
0x0E4	PPC_PCFGR319 [B,H,W]		PPC_PCFGR318 [B,H,W]	
0x0E8	PPC_PCFGR321 [B,H,W]		PPC_PCFGR320 [B,H,W]	
0x0EC	PPC_PCFGR323 [B,H,W]		PPC_PCFGR322 [B,H,W]	
0x0F0	PPC_PCFGR325 [B,H,W]		PPC_PCFGR324 [B,H,W]	
0x0F4	PPC_PCFGR327 [B,H,W]		PPC_PCFGR326 [B,H,W]	
0x0F8	PPC_PCFGR329 [B,H,W]		PPC_PCFGR328 [B,H,W]	
0x0FC	-		PPC_PCFGR330 [B,H,W]	
0x100	-			
0x104	-			
0x108	-			
0x10C	PPC_PCFGR407 [B,H,W]		PPC_PCFGR406 [B,H,W]	
0x110	PPC_PCFGR409 [B,H,W]		PPC_PCFGR408 [B,H,W]	
0x114	PPC_PCFGR411 [B,H,W]		PPC_PCFGR410 [B,H,W]	
0x118	PPC_PCFGR413 [B,H,W]		PPC_PCFGR412 [B,H,W]	
0x11C	PPC_PCFGR415 [B,H,W]		PPC_PCFGR414 [B,H,W]	
0x120	PPC_PCFGR417 [B,H,W]		PPC_PCFGR416 [B,H,W]	
0x124	PPC_PCFGR419 [B,H,W]		PPC_PCFGR418 [B,H,W]	
0x128	PPC_PCFGR421 [B,H,W]		PPC_PCFGR420 [B,H,W]	
0x12C	PPC_PCFGR423 [B,H,W]		PPC_PCFGR422 [B,H,W]	
0x130	PPC_PCFGR425 [B,H,W]		-	
0x134	PPC_PCFGR427 [B,H,W]		PPC_PCFGR426 [B,H,W]	
0x138	PPC_PCFGR429 [B,H,W]		PPC_PCFGR428 [B,H,W]	
0x13C	PPC_PCFGR431 [B,H,W]		PPC_PCFGR430 [B,H,W]	
0x140~0x3FC	-			
0x400	PPC_KEYCDR [W]			



(20) RIC

RIC Base_Address : 0xB074_8000

Offset Address	Register			
	+3	+2	+1	+0
0x000	RIC_RESIN1 [B,H,W]		RIC_RESIN0 [B,H,W]	
0x004	RIC_RESIN3 [B,H,W]		RIC_RESIN2 [B,H,W]	
0x008	RIC_RESIN5 [B,H,W]		RIC_RESIN4 [B,H,W]	
0x00C	RIC_RESIN7 [B,H,W]		RIC_RESIN6 [B,H,W]	
0x010	RIC_RESIN 9 [B,H,W]		RIC_RESIN8 [B,H,W]	
0x014	RIC_RESIN 11 [B,H,W]		RIC_RESIN10 [B,H,W]	
0x018～0xFFC	-			

**(21) マルチファンクションシリアルインタフェース**

マルチファンクションシリアルインタフェース ch.0 Base_Address : 0xB080_0000 (xx=00)

マルチファンクションシリアルインタフェース ch.1 Base_Address : 0xB080_0400 (xx=01)

マルチファンクションシリアルインタフェース ch.2 Base_Address : 0xB080_0800 (xx=02)

マルチファンクションシリアルインタフェース ch.3 Base_Address : 0xB080_0C00 (xx=03)

マルチファンクションシリアルインタフェース ch.4 Base_Address : 0xB080_1000 (xx=04)

下表において「***/***/***」の表記は、動作モード UART/CSIO/LIN に該当します。

Offset Address	Register			
	+3	+2	+1	+0
0x000	MFSxx_SSR [B,H,W]	MFSxx_ESCR [B,H,W]	MFSxx_SCR [B,H,W]	MFSxx_SMR [B,H,W]
0x004	- / MFSxx_RDR3 (MFSxx_TDR3)/ - [B,H,W] ^{*1}	- / MFSxx_RDR2 (MFSxx_TDR2)/ - [B,H,W] ^{*1}	MFSxx_RDR1 (MFSxx_TDR1)/ MFSxx_RDR1 (MFSxx_TDR1)/ - [B,H,W] ^{*1}	MFSxx_RDR0 (MFSxx_TDR0) [B,H,W] ^{*1}
0x008	MFSxx_STMR1 [B,H,W]	MFSxx_STMR0 [B,H,W]	MFSxx_SACSR1 [B,H,W]	MFSxx_SACSR0 [B,H,W]
0x00C	- / MFSxx_SCSCR1/ MFSxx_SFUR1 [B,H,W]	- / MFSxx_SCSCR0/ MFSxx_SFUR0 [B,H,W]	MFSxx_STMCR1 [B,H,W]	MFSxx_STMCR0 [B,H,W]
0x010	- / MFSxx_SCSTR3/ MFSxx_LAMSR [B,H,W]	- / MFSxx_SCSTR2/ MFSxx_LAMCR [B,H,W]	- / MFSxx_SCSTR1/ MFSxx_SFLR1 [B,H,W]	- / MFSxx_SCSTR0/ MFSxx_SFLR0 [B,H,W]
0x014	-	- / MFSxx_SCSFR2/ - [B,H,W]	- / MFSxx_SCSFR1/ - [B,H,W]	- / MFSxx_SCSFR0/ - [B,H,W]
0x018	- / MFSxx_TBYTE3/ MFSxx_LAMESR [B,H,W] ^{*2}	- / MFSxx_TBYTE2/ MFSxx_LAMERT [B,H,W] ^{*2}	- / MFSxx_TBYTE1/ MFSxx_LAMIER [B,H,W] ^{*3}	MFSxx_TBYTE0/ MFSxx_TBYTE0/ MFSxx_LAMRID (MFSxx_LAMTID) [B,H,W]
0x01C	-	-	MFSxx_BGR1 [H,W]	MFSxx_BGR0 [H,W]
0x020	MFSxx_FBYTE2 [B,H,W]	MFSxx_FBYTE1 [B,H,W]	MFSxx_FCR1 [B,H,W]	MFSxx_FCR0 [B,H,W]
0x024	-		MFSxx_FTICR2 [B,H,W]	MFSxx_FTICR1 [B,H,W]
0x028	- / - / MFSxx_SSRC [B,H,W]	- / - / MFSxx_ESCRC [B,H,W]	- / - / MFSxx_SCRC [B,H,W]	- / - / MFSxx_SMRC [B,H,W]
0x02C	-		MFSxx_SACSR1C [B,H,W]	MFSxx_SACSR0C [B,H,W]

Offset Address	Register			
	+3	+2	+1	+0
0x030	- / - / MFSxx_LAMSRC [B,H,W]	- / - / MFSxx_LAMCRC [B,H,W]	-	
0x034	- / - / MFSxx_LAMESRC [B,H,W]	-	- / - / MFSxx_LAMIERC [B,H,W]	-
0x038	-	-	MFSxx_FCR1C [B,H,W]	MFSxx_FCR0C [B,H,W]
0x03C	- / - / MFSxx_SSRs [B,H,W]	- / - / MFSxx_ESCRs [B,H,W]	- / - / MFSxx_SCRs [B,H,W]	- / - / MFSxx_SMRS [B,H,W]
0x040	-		MFSxx_SACSR1S [B,H,W]	MFSxx_SACSR0S [B,H,W]
0x044	-	- / - / MFSxx_LAMCRS [B,H,W]	-	
0x048	-		- / - / MFSxx_LAMIERs [B,H,W]	-
0x04C	-		MFSxx_FCR1S [B,H,W]	MFSxx_FCR0S [B,H,W]
0x050~0x3FC	-			

*1 : CSIO モード時のアクセス単位は[H,W]です。

*2 : LIN モード時のアクセス単位は[B,H]です。

*3 : LIN モード時のアクセス単位は[B]です。



(22) ベースタイマ

ベースタイマ ch.0	Base_Address : 0xB080_8000 (xx=00)
ベースタイマ ch.1	Base_Address : 0xB080_8400 (xx=01)
ベースタイマ ch.2	Base_Address : 0xB080_8800 (xx=02)
ベースタイマ ch.3	Base_Address : 0xB080_8C00 (xx=03)
ベースタイマ ch.4	Base_Address : 0xB080_9000 (xx=04)
ベースタイマ ch.5	Base_Address : 0xB080_9400 (xx=05)
ベースタイマ ch.6	Base_Address : 0xB080_9800 (xx=06)
ベースタイマ ch.7	Base_Address : 0xB080_9C00 (xx=07)
ベースタイマ ch.8	Base_Address : 0xB080_A000 (xx=08)
ベースタイマ ch.9	Base_Address : 0xB080_A400 (xx=09)
ベースタイマ ch.10	Base_Address : 0xB080_A800 (xx=10)
ベースタイマ ch.11	Base_Address : 0xB080_AC00 (xx=11)

下表において「***/***/***/**」の表記は、リロード/PWM/PPG/PWC の各タイマが該当します。

Offset Address	Register			
	+3	+2	+1	+0
0x000	-		BTxx_PCSR / BTxx_PCSR/ BTxx_PRL / - [H]	
0x004	-		- / BTxx_PDUT/ BTxx_PRLH / BTxx_DTBF [H]	
0x008	-		BTxx_TMR / BTxx_TMR/ BTxx_TMR / - [H]	
0x00C	-		BTxx_TMCR [B,H,W]	
0x010	-		BTxx_TMCR2 [B,H,W]	BTxx_STC [B,H,W]
0x014	-		-	BTxx_STCC [B,H,W]
0x018	-		-	BTxx_STCS [B,H,W]
0x01C～0x02C	-			
0x030 ^{*1}	-		-	BT_BTSELnm [B,H,W]
0x034 ^{*2}	-		BT_BTSSSR [B,H,W]	
0x038～0x3FC	-			

*1 : チャネルが偶数の場合(xx=00, 02, 04, 06, 08, 10)にのみ存在する。nm には順に 01, 23, 45, 67, 89, 1011 が
入る。

*2 : チャネルが 0 の場合(xx=00)のみ存在する。

(23) 32 ビットフリーランタイム

32 ビットフリーランタイム ch.0 Base_Address : 0xB082_0000 (xx=00)

32 ビットフリーランタイム ch.1 Base_Address : 0xB082_0400 (xx=01)

32 ビットフリーランタイム ch.2 Base_Address : 0xB082_0800 (xx=02)

32 ビットフリーランタイム ch.3 Base_Address : 0xB082_0C00 (xx=03)

32 ビットフリーランタイム ch.4 Base_Address : 0xB082_1000 (xx=04)

Offset Address	Register			
	+3	+2	+1	+0
0x000	FRTxx_CPCLRB/FRTxx_CPCLR [W]			
0x004	FRTxx_TCDT [W]			
0x008	FRTxx_TCCS [B,H,W]			
0x00C	FRTxx_TECCS [B,H,W]			
0x010	FRTxx_TCCSC [B,H,W]			
0x014	FRTxx_TCCSS [B,H,W]			
0x018~0x3FC	-			

(24) 32 ビットインプットキャプチャ

32 ビットインプットキャプチャ ch.0 Base_Address : 0xB082_8000 (xx=00)

32 ビットインプットキャプチャ ch.1 Base_Address : 0xB082_8000 (xx=00)

32 ビットインプットキャプチャ ch.2 Base_Address : 0xB082_8400 (xx=02)

32 ビットインプットキャプチャ ch.3 Base_Address : 0xB082_8400 (xx=02)

32 ビットインプットキャプチャ ch.4 Base_Address : 0xB082_8800 (xx=04)

32 ビットインプットキャプチャ ch.5 Base_Address : 0xB082_8800 (xx=04)

Offset Address	Register			
	+3	+2	+1	+0
0x000	ICUxx_IPCP0 [W]			
0x004	ICUxx_IPCP1 [W]			
0x008	ICUxx_ICS [B,H,W]			
0x00C	ICUxx_ICSC [B,H,W]			
0x010	ICUxx_ICSS [B,H,W]			
0x014~0x3FC	-			



(25) DMAC

DMAC Base_Address : 0xB070_0000

Offset Address	Register			
	+3	+2	+1	+0
0x0000+(n×0x40)	DMA0_An [B,H,W]			
0x0004+(n×0x40)	DMA0_Bn [B,H,W]			
0x0008+(n×0x40)	DMA0_SAn [B,H,W]			
0x000C+(n×0x40)	DMA0_DAn [B,H,W]			
0x0010+(n×0x40)	DMA0_Cn [B,H,W]			
0x0014+(n×0x40)	DMA0_Dn [B]			
0x0018+(n×0x40)	DMA0_SASHDWn [B,H,W]			
0x001C+(n×0x40)	DMA0_DASHDWn [B,H,W]			
0x0020+(n×0x40)	DMA0_En [B,H,W]			
0x0024+(n×0x40) ~	-			
0x003C+(n×0x40)				
0x0400~0x0FFC	-			
0x1000	DMA0_R [B,H,W]			
0x1004	DMA0_DIRQ1 [B,H,W]			
0x1008	DMA0_DIRQ2 [B,H,W]			
0x100C	DMA0_EDIRQ1 [B,H,W]			
0x1010	DMA0_EDIRQ2 [B,H,W]			
0x1014	DMA0_ID [B,H,W]			
0x1018~0x201C	-			
0x2020 +((m-8)×0x04)	DMA0_CMICm [B,H,W]			
0x223C~0x27FC	-			
0x2800+(n×0x04)	DMA0_CMCHICn [B,H,W]			
0x2840~0x3FFC	-			

n=0~15 (DMA チャンネル)

m=8~142 (クライアントインタフェースチャンネル)

(26) メモリ保護(MPU)

メモリ保護(MPU) Unit0 Base_Address : 0xB071_0000

Offset Address	Register			
	+3	+2	+1	+0
0x000	MPUH0_CTRL0 [B,H,W]			
0x004	MPUH0_NMIEN [B,H,W]			
0x008	MPUH0_MERRC [B,H,W]			
0x00C	MPUH0_MERRA [B,H,W]			
0x010	MPUH0_CTRL1 [B,H,W]			
0x014	MPUH0_SADDR1 [B,H,W]			
0x018	MPUH0_EADDR1 [B,H,W]			
0x01C	MPUH0_CTRL2 [B,H,W]			
0x020	MPUH0_SADDR2 [B,H,W]			
0x024	MPUH0_EADDR2 [B,H,W]			
0x028	MPUH0_CTRL3 [B,H,W]			
0x02C	MPUH0_SADDR3 [B,H,W]			
0x030	MPUH0_EADDR3 [B,H,W]			
0x034	MPUH0_CTRL4 [B,H,W]			
0x038	MPUH0_SADDR4 [B,H,W]			
0x03C	MPUH0_EADDR4 [B,H,W]			
0x040	MPUH0_CTRL5 [B,H,W]			
0x044	MPUH0_SADDR5 [B,H,W]			
0x048	MPUH0_EADDR5 [B,H,W]			
0x04C	MPUH0_CTRL6 [B,H,W]			
0x050	MPUH0_SADDR6 [B,H,W]			
0x054	MPUH0_EADDR6 [B,H,W]			
0x058	MPUH0_CTRL7 [B,H,W]			
0x05C	MPUH0_SADDR7 [B,H,W]			
0x060	MPUH0_EADDR7 [B,H,W]			
0x064	MPUH0_CTRL8 [B,H,W]			
0x068	MPUH0_SADDR8 [B,H,W]			
0x06C	MPUH0_EADDR8 [B,H,W]			
0x070	MPUH0_UNLOCK [W]			
0x074	MPUH0_MID [B,H,W]			
0x078~0xFFC	-			



(27) BootROM マーカ

Security Description Record (SDR) Base_Address :

- TCM 領域内オフセット 0x007F_0000
- AXI 領域内オフセット 0x00FF_0000

下表において SA0 は TCFLASH の Flash メモリ A におけるセクタ 0, SA1 は TCFLASH の Flash メモリ A におけるセクタ 1 を示します。

Offset Address	Register							
	SA1				SA0			
	+7	+6	+5	+4	+3	+2	+1	+0
0x000	-				SDR_FSECM [B,H,W]			
0x008	-				SDR_DSM [B,H,W]			
0x010	-				SDR_DSKM0 [B,H,W]			
0x018	-				SDR_DSKM1 [B,H,W]			
0x020	-				SDR_DSKM2 [B,H,W]			
0x028	-				SDR_DSKM3 [B,H,W]			
0x030～0x038	-							

Boot Description Record (BDR) Base_Address :

- TCM 接続領域オフセット 0x007F_0040
- AXI 接続領域オフセット 0x00FF_0040

下表において SA0 は TCFLASH の Flash メモリ A におけるセクタ 0, SA1 は TCFLASH の Flash メモリ A におけるセクタ 1 を示します。

Offset Address	Register							
	SA1				SA0			
	+7	+6	+5	+4	+3	+2	+1	+0
0x000	-				BDR_DWEM [B,H,W]			
0x008	-				BDR_ABVM [B,H,W]			
0x010	-				BDR_ABVEM [B,H,W]			
0x018	-							

Watchdog Description Record (WDR) Base_Address :

- TCM 接続領域オフセット 0x007F_0060
- AXI 接続領域オフセット 0x00FF_0060

下表において SA0 は TCFLASH の Flash メモリ A におけるセクタ 0, SA1 は TCFLASH の Flash メモリ A におけるセクタ 1 を示します。

Offset Address	Register							
	SA1				SA0			
	+7	+6	+5	+4	+3	+2	+1	+0
0x000	-				WDR_INTM [B,H,W]			
0x008	-				WDR_TRG0CFGM [B,H,W]			
0x010	-				WDR_TRG1CFGM [B,H,W]			
0x018	-				WDR_RUNLLM [B,H,W]			
0x020	-				WDR_RUNULM [B,H,W]			
0x028	-				WDR_PSSLLM [B,H,W]			
0x030	-				WDR_PSSULM [B,H,W]			
0x038	-				WDR_RSTDLYM [B,H,W]			
0x040	-				WDR_CFGM [B,H,W]			
0x048	-				WDR_CEM [B,H,W]			
0x050～0x098	-							



(28) 16 ビットフリーランタイム

16 ビットフリーランタイム	ch.0	Base_Address : 0xB200_0000 (xx=00)
16 ビットフリーランタイム	ch.1	Base_Address : 0xB200_0010 (xx=01)
16 ビットフリーランタイム	ch.2	Base_Address : 0xB200_0020 (xx=02)
16 ビットフリーランタイム	ch.3	Base_Address : 0xB200_0030 (xx=03)
16 ビットフリーランタイム	ch.4	Base_Address : 0xB200_0040 (xx=04)
16 ビットフリーランタイム	ch.5	Base_Address : 0xB200_0050 (xx=05)
16 ビットフリーランタイム	ch.6	Base_Address : 0xB100_0000 (xx=06)
16 ビットフリーランタイム	ch.7	Base_Address : 0xB100_0010 (xx=07)
16 ビットフリーランタイム	ch.8	Base_Address : 0xB100_0020 (xx=08)
16 ビットフリーランタイム	ch.9	Base_Address : 0xB100_0030 (xx=09)
16 ビットフリーランタイム	ch.10	Base_Address : 0xB100_0040 (xx=10)
16 ビットフリーランタイム	ch.11	Base_Address : 0xB100_0050 (xx=11)
16 ビットフリーランタイム	ch.12	Base_Address : 0xB101_0000 (xx=12)
16 ビットフリーランタイム	ch.13	Base_Address : 0xB101_0010 (xx=13)
16 ビットフリーランタイム	ch.14	Base_Address : 0xB101_0020 (xx=14)
16 ビットフリーランタイム	ch.15	Base_Address : 0xB101_0030 (xx=15)
16 ビットフリーランタイム	ch.16	Base_Address : 0xB101_0040 (xx=16)
16 ビットフリーランタイム	ch.17	Base_Address : 0xB101_0050 (xx=17)
16 ビットフリーランタイム	ch.18	Base_Address : 0xB200_0060 (xx=18)
16 ビットフリーランタイム	ch.19	Base_Address : 0xB100_0060 (xx=19)

Offset Address	Register			
	+3	+2	+1	+0
0x000	FRT16Bxx_CPCLRB/FRT16Bxx_CPCLR [H,W]		FRT16Bxx_TCDT [H,W]	
0x004	FRT16Bxx_TCCS [B,H,W]			
0x008	FRT16Bxx_TCCSC [B,H,W]			
0x00C	FRT16Bxx_TCCSS [B,H,W]			

(29) フリーランタイム同時起動

フリーランタイム同時起動 0 Base_Address : 0xB200_0070

Offset Address	Register			
	+3	+2	+1	+0
0x000	FRSS00_TCGS [B,H,W]	-	FRSS00_TCGSE [B,H,W]	
0x004~0x00C	-			

フリーランタイム同時起動 1 Base_Address : 0xB100_0070

Offset Address	Register			
	+3	+2	+1	+0
0x000	FRSS01_TCGS [B,H,W]	-	FRSS01_TCGSE [B,H,W]	
0x004	-	-	-	FRSS01_TCGSS [B,H,W]
0x008~0x00C	-			

フリーランタイム同時起動 2 Base_Address : 0xB101_0070

Offset Address	Register			
	+3	+2	+1	+0
0x000	FRSS02_TCGS [B,H,W]	-	FRSS02_TCGSE [B,H,W]	
0x004～0x00C	-			

(30) フリーランタイムセレクト

フリーランタイムセレクト 0 Base_Address : 0xB200_0080 (xx=00)

フリーランタイムセレクト 1 Base_Address : 0xB100_0080 (xx=01)

Offset Address	Register			
	+3	+2	+1	+0
0x000	FRSELxx_FRS0 [B,H,W]			
0x004	FRSELxx_FRS1 [B,H,W]			
0x008	-			
0x00C	-			
0x010	FRSELxx_FRS4 [B,H,W]			
0x014	-			
0x018	-			
0x01C	-			

フリーランタイムセレクト 2 Base_Address : 0xB101_0080

Offset Address	Register			
	+3	+2	+1	+0
0x000	FRSEL02_FRS0 [B,H,W]			
0x004	FRSEL02_FRS1 [B,H,W]			
0x008	FRSEL02_FRS2 [B,H,W]			
0x00C	FRSEL02_FRS3 [B,H,W]			
0x010	FRSEL02_FRS4 [B,H,W]			
0x014	FRSEL02_FRS5 [B,H,W]			
0x018	FRSEL02_FRS6 [B,H,W]			
0x01C	FRSEL02_FRS7 [B,H,W]			

(31) フリーランタイムカウント方向表示

フリーランタイムカウント方向表示 0 Base_Address : 0xB200_00A0 (xx=00)

フリーランタイムカウント方向表示 1 Base_Address : 0xB100_00A0 (xx=01)

フリーランタイムカウント方向表示 2 Base_Address : 0xB101_00A0 (xx=02)

Offset Address	Register			
	+3	+2	+1	+0
0x000	-		-	FRCDxx_FRTCDD [B,H,W]



(32) 16 ビットアウトプットコンペア

16 ビットアウトプットコンペア	ch.0	Base_Address : 0xB200_0100 (xx=00)
16 ビットアウトプットコンペア	ch.1	Base_Address : 0xB200_0100 (xx=00)
16 ビットアウトプットコンペア	ch.2	Base_Address : 0xB200_0110 (xx=02)
16 ビットアウトプットコンペア	ch.3	Base_Address : 0xB200_0110 (xx=02)
16 ビットアウトプットコンペア	ch.4	Base_Address : 0xB200_0120 (xx=04)
16 ビットアウトプットコンペア	ch.5	Base_Address : 0xB200_0120 (xx=04)
16 ビットアウトプットコンペア	ch.6	Base_Address : 0xB100_0100 (xx=06)
16 ビットアウトプットコンペア	ch.7	Base_Address : 0xB100_0100 (xx=06)
16 ビットアウトプットコンペア	ch.8	Base_Address : 0xB100_0110 (xx=08)
16 ビットアウトプットコンペア	ch.9	Base_Address : 0xB100_0110 (xx=08)
16 ビットアウトプットコンペア	ch.10	Base_Address : 0xB100_0120 (xx=10)
16 ビットアウトプットコンペア	ch.11	Base_Address : 0xB100_0120 (xx=10)
16 ビットアウトプットコンペア	ch.12	Base_Address : 0xB101_0100 (xx=12)
16 ビットアウトプットコンペア	ch.13	Base_Address : 0xB101_0100 (xx=12)
16 ビットアウトプットコンペア	ch.14	Base_Address : 0xB101_0110 (xx=14)
16 ビットアウトプットコンペア	ch.15	Base_Address : 0xB101_0110 (xx=14)
16 ビットアウトプットコンペア	ch.16	Base_Address : 0xB101_0120 (xx=16)
16 ビットアウトプットコンペア	ch.17	Base_Address : 0xB101_0120 (xx=16)
16 ビットアウトプットコンペア	ch.18	Base_Address : 0xB101_0130 (xx=18)
16 ビットアウトプットコンペア	ch.19	Base_Address : 0xB101_0130 (xx=18)
16 ビットアウトプットコンペア	ch.20	Base_Address : 0xB101_0140 (xx=20)
16 ビットアウトプットコンペア	ch.21	Base_Address : 0xB101_0140 (xx=20)
16 ビットアウトプットコンペア	ch.22	Base_Address : 0xB101_0150 (xx=22)
16 ビットアウトプットコンペア	ch.23	Base_Address : 0xB101_0150 (xx=22)

Offset Address	Register			
	+3	+2	+1	+0
0x000	OCU16Bxx_OCCPB0/OCU16Bxx_OCCP0 [H,W]		OCU16Bxx_OCCPB1/OCU16Bxx_OCCP1 [H,W]	
0x004	OCU16Bxx_OCS [B,H,W]		OCU16Bxx_OCMOD [B,H,W]	
0x008	OCU16Bxx_OCSC [B,H,W]		-	
0x00C	OCU16Bxx_OCSS [B,H,W]		-	

(33) 16 ビットインプットキャプチャ

16 ビットインプットキャプチャ	ch.0	Base_Address : 0xB200_0200 (xx=00)
16 ビットインプットキャプチャ	ch.1	Base_Address : 0xB200_0200 (xx=00)
16 ビットインプットキャプチャ	ch.2	Base_Address : 0xB200_0210 (xx=02)
16 ビットインプットキャプチャ	ch.3	Base_Address : 0xB200_0210 (xx=02)
16 ビットインプットキャプチャ	ch.4	Base_Address : 0xB100_0200 (xx=04)
16 ビットインプットキャプチャ	ch.5	Base_Address : 0xB100_0200 (xx=04)
16 ビットインプットキャプチャ	ch.6	Base_Address : 0xB100_0210 (xx=06)
16 ビットインプットキャプチャ	ch.7	Base_Address : 0xB100_0210 (xx=06)
16 ビットインプットキャプチャ	ch.8	Base_Address : 0xB101_0200 (xx=08)
16 ビットインプットキャプチャ	ch.9	Base_Address : 0xB101_0200 (xx=08)
16 ビットインプットキャプチャ	ch.10	Base_Address : 0xB101_0210 (xx=10)
16 ビットインプットキャプチャ	ch.11	Base_Address : 0xB101_0210 (xx=10)
16 ビットインプットキャプチャ	ch.12	Base_Address : 0xB101_0220 (xx=12)
16 ビットインプットキャプチャ	ch.13	Base_Address : 0xB101_0220 (xx=12)
16 ビットインプットキャプチャ	ch.14	Base_Address : 0xB101_0230 (xx=14)

Offset Address	Register			
	+3	+2	+1	+0
0x000	ICU16Bxx_IPCP0 [H,W]		ICU16Bxx_IPCP1 [H,W]	
0x004	ICU16Bxx_ICS [H,W]		-	
0x008	ICU16Bxx_ICSC [H,W]		-	
0x00C	ICU16Bxx_ICSS [H,W]		-	



(34) 4 チャンネルサンプルホールド 12 ビット A/D コンバータ

4 チャンネルサンプルホールド 12 ビット A/D コンバータ ユニット 00 Base Address : 0xB200_0300 (xx=00)

4 チャンネルサンプルホールド 12 ビット A/D コンバータ ユニット 01 Base Address : 0xB100_0300 (xx=01)

Offset Address	Register			
	+3	+2	+1	+0
0x000	-		-	ADC4SHxx_ADTSS [B,H,W]
0x004	-		-	ADC4SHxx_ADTSE [B,H,W]
0x008	ADC4SHxx_ADCOMP0/ADC4SHxx_ADCOMP0 [H,W]		ADC4SHxx_ADCOMP1/ADC4SHxx_ADCOMP1 [H,W]	
0x00C	ADC4SHxx_ADCOMP2/ADC4SHxx_ADCOMP2 [H,W]		ADC4SHxx_ADCOMP3/ADC4SHxx_ADCOMP3 [H,W]	
0x010	ADC4SHxx_ADCOMP4/ADC4SHxx_ADCOMP4 [H,W]		ADC4SHxx_ADCOMP5/ADC4SHxx_ADCOMP5 [H,W]	
0x014	ADC4SHxx_ADCOMP6/ADC4SHxx_ADCOMP6 [H,W]		ADC4SHxx_ADCOMP7/ADC4SHxx_ADCOMP7 [H,W]	
0x018	ADC4SHxx_ADTC0 [B,H,W]		ADC4SHxx_ADTC1 [B,H,W]	
0x01C	ADC4SHxx_ADTC2 [B,H,W]		ADC4SHxx_ADTC3 [B,H,W]	
0x020	ADC4SHxx_ADTC4 [B,H,W]		ADC4SHxx_ADTC5 [B,H,W]	
0x024	ADC4SHxx_ADTC6 [B,H,W]		ADC4SHxx_ADTC7 [B,H,W]	
0x028	ADC4SHxx_ADTCD0 [B,H,W]		ADC4SHxx_ADTCD1 [B,H,W]	
0x02C	ADC4SHxx_ADTCD2 [B,H,W]		ADC4SHxx_ADTCD3 [B,H,W]	
0x030	ADC4SHxx_ADTCD4 [B,H,W]		ADC4SHxx_ADTCD5 [B,H,W]	
0x034	ADC4SHxx_ADTCD6 [B,H,W]		ADC4SHxx_ADTCD7 [B,H,W]	
0x038	ADC4SHxx_ADRCUT0 [B,H,W]		ADC4SHxx_ADRCLT0 [B,H,W]	
0x03C	ADC4SHxx_ADRCUT1 [B,H,W]		ADC4SHxx_ADRCLT1 [B,H,W]	
0x040	ADC4SHxx_ADRCUT2 [B,H,W]		ADC4SHxx_ADRCLT2 [B,H,W]	
0x044	ADC4SHxx_ADRCUT3 [B,H,W]		ADC4SHxx_ADRCLT3 [B,H,W]	
0x048	ADC4SHxx_ADRCCS0 [B,H,W]	ADC4SHxx_ADRCCS1 [B,H,W]	ADC4SHxx_ADRCCS2 [B,H,W]	ADC4SHxx_ADRCCS3 [B,H,W]
0x04C	ADC4SHxx_ADRCCS4 [B,H,W]	ADC4SHxx_ADRCCS5 [B,H,W]	ADC4SHxx_ADRCCS6 [B,H,W]	ADC4SHxx_ADRCCS7 [B,H,W]
0x050	-		-	ADC4SHxx_ADRCOT [B,H,W]
0x054	-		-	ADC4SHxx_ADRCIF [B,H,W]
0x058	-		-	ADC4SHxx_ADPRTF [B,H,W]
0x05C	ADC4SHxx_ADTS0 [B,H,W]		ADC4SHxx_ADTS1 [B,H,W]	
0x060	ADC4SHxx_ADTS2 [B,H,W]		ADC4SHxx_ADTS3 [B,H,W]	
0x064	ADC4SHxx_ADTS4 [B,H,W]		ADC4SHxx_ADTS5 [B,H,W]	
0x068	ADC4SHxx_ADTS6 [B,H,W]		ADC4SHxx_ADTS7 [B,H,W]	
0x06C	-		-	ADC4SHxx_ADRCIFC [B,H,W]
0x070	ADC4SHxx_ADTSC0 [B,H,W]		ADC4SHxx_ADTSC1 [B,H,W]	
0x074	ADC4SHxx_ADTSC2 [B,H,W]		ADC4SHxx_ADTSC3 [B,H,W]	
0x078	ADC4SHxx_ADTSC4 [B,H,W]		ADC4SHxx_ADTSC5 [B,H,W]	
0x07C	ADC4SHxx_ADTSC6 [B,H,W]		ADC4SHxx_ADTSC7 [B,H,W]	
0x080~0x08C	-			

Offset Address	Register			
	+3	+2	+1	+0
0x090	ADC4SHxx_ADCS [B,H,W]	ADC4SHxx_ADCH [B,H,W]	ADC4SHxx_ADMD [B,H,W]	
0x094	-		-	ADC4SHxx_ADCHSEL [B,H,W]
0x098~0x0A0	-			
0x0A4	-		-	ADC4SHxx_ADCEN [B,H,W]
0x0A8	ADC4SHxx_ADCEM [W]			
0x0AC~0x0FC	-			



(35) 12 ビット A/D コンバータ

12 ビット A/D コンバータ(ch.0~ch.31) Base_Address : 0xB101_0400

Offset Address	Register			
	+3	+2	+1	+0
0x000	-			
0x004	ADC12B_ADTSS [B,H,W]	-	-	
0x008	ADC12B_ADTSE [B,H,W]			
0x00C	ADC12B_ADCOMP0/ADC12B_ADCOMP0 [H,W]		ADC12B_ADCOMP1/ADC12B_ADCOMP1 [H,W]	
0x010	ADC12B_ADCOMP2/ADC12B_ADCOMP2 [H,W]		ADC12B_ADCOMP3/ADC12B_ADCOMP3 [H,W]	
0x014	ADC12B_ADCOMP4/ADC12B_ADCOMP4 [H,W]		ADC12B_ADCOMP5/ADC12B_ADCOMP5 [H,W]	
0x018	ADC12B_ADCOMP6/ADC12B_ADCOMP6 [H,W]		ADC12B_ADCOMP7/ADC12B_ADCOMP7 [H,W]	
0x01C	ADC12B_ADCOMP8/ADC12B_ADCOMP8 [H,W]		ADC12B_ADCOMP9/ADC12B_ADCOMP9 [H,W]	
0x020	ADC12B_ADCOMP10/ADC12B_ADCOMP10 [H,W]		ADC12B_ADCOMP11/ADC12B_ADCOMP11 [H,W]	
0x024	ADC12B_ADCOMP12/ADC12B_ADCOMP12 [H,W]		ADC12B_ADCOMP13/ADC12B_ADCOMP13 [H,W]	
0x028	ADC12B_ADCOMP14/ADC12B_ADCOMP14 [H,W]		ADC12B_ADCOMP15/ADC12B_ADCOMP15 [H,W]	
0x02C	ADC12B_ADCOMP16/ADC12B_ADCOMP16 [H,W]		ADC12B_ADCOMP17/ADC12B_ADCOMP17 [H,W]	
0x030	ADC12B_ADCOMP18/ADC12B_ADCOMP18 [H,W]		ADC12B_ADCOMP19/ADC12B_ADCOMP19 [H,W]	
0x034	ADC12B_ADCOMP20/ADC12B_ADCOMP20 [H,W]		ADC12B_ADCOMP21/ADC12B_ADCOMP21 [H,W]	
0x038	ADC12B_ADCOMP22/ADC12B_ADCOMP22 [H,W]		ADC12B_ADCOMP23/ADC12B_ADCOMP23 [H,W]	
0x03C	ADC12B_ADCOMP24/ADC12B_ADCOMP24 [H,W]		ADC12B_ADCOMP25/ADC12B_ADCOMP25 [H,W]	
0x040	ADC12B_ADCOMP26/ADC12B_ADCOMP26 [H,W]		ADC12B_ADCOMP27/ADC12B_ADCOMP27 [H,W]	
0x044	ADC12B_ADCOMP28/ADC12B_ADCOMP28 [H,W]		ADC12B_ADCOMP29/ADC12B_ADCOMP29 [H,W]	
0x048	ADC12B_ADCOMP30/ADC12B_ADCOMP30 [H,W]		ADC12B_ADCOMP31/ADC12B_ADCOMP31 [H,W]	
0x04C	ADC12B_ADTCS0 [B,H,W]		ADC12B_ADTCS1 [B,H,W]	
0x050	ADC12B_ADTCS2 [B,H,W]		ADC12B_ADTCS3 [B,H,W]	
0x054	ADC12B_ADTCS4 [B,H,W]		ADC12B_ADTCS5 [B,H,W]	
0x058	ADC12B_ADTCS6 [B,H,W]		ADC12B_ADTCS7 [B,H,W]	
0x05C	ADC12B_ADTCS8 [B,H,W]		ADC12B_ADTCS9 [B,H,W]	
0x060	ADC12B_ADTCS10 [B,H,W]		ADC12B_ADTCS11 [B,H,W]	
0x064	ADC12B_ADTCS12 [B,H,W]		ADC12B_ADTCS13 [B,H,W]	
0x068	ADC12B_ADTCS14 [B,H,W]		ADC12B_ADTCS15 [B,H,W]	
0x06C	ADC12B_ADTCS16 [B,H,W]		ADC12B_ADTCS17 [B,H,W]	
0x070	ADC12B_ADTCS18 [B,H,W]		ADC12B_ADTCS19 [B,H,W]	
0x074	ADC12B_ADTCS20 [B,H,W]		ADC12B_ADTCS21 [B,H,W]	
0x078	ADC12B_ADTCS22 [B,H,W]		ADC12B_ADTCS23 [B,H,W]	
0x07C	ADC12B_ADTCS24 [B,H,W]		ADC12B_ADTCS25 [B,H,W]	
0x080	ADC12B_ADTCS26 [B,H,W]		ADC12B_ADTCS27 [B,H,W]	
0x084	ADC12B_ADTCS28 [B,H,W]		ADC12B_ADTCS29 [B,H,W]	
0x088	ADC12B_ADTCS30 [B,H,W]		ADC12B_ADTCS31 [B,H,W]	
0x08C	ADC12B_ADTCD0 [B,H,W]		ADC12B_ADTCD1 [B,H,W]	
0x090	ADC12B_ADTCD2 [B,H,W]		ADC12B_ADTCD3 [B,H,W]	
0x094	ADC12B_ADTCD4 [B,H,W]		ADC12B_ADTCD5 [B,H,W]	
0x098	ADC12B_ADTCD6 [B,H,W]		ADC12B_ADTCD7 [B,H,W]	
0x09C	ADC12B_ADTCD8 [B,H,W]		ADC12B_ADTCD9 [B,H,W]	
0x0A0	ADC12B_ADTCD10 [B,H,W]		ADC12B_ADTCD11 [B,H,W]	
0x0A4	ADC12B_ADTCD12 [B,H,W]		ADC12B_ADTCD13 [B,H,W]	
0x0A8	ADC12B_ADTCD14 [B,H,W]		ADC12B_ADTCD15 [B,H,W]	
0x0AC	ADC12B_ADTCD16 [B,H,W]		ADC12B_ADTCD17 [B,H,W]	
0x0B0	ADC12B_ADTCD18 [B,H,W]		ADC12B_ADTCD19 [B,H,W]	
0x0B4	ADC12B_ADTCD20 [B,H,W]		ADC12B_ADTCD21 [B,H,W]	

Offset Address	Register			
	+3	+2	+1	+0
0x0B8	ADC12B_ADTCDD22 [B,H,W]		ADC12B_ADTCDD23 [B,H,W]	
0x0BC	ADC12B_ADTCDD24 [B,H,W]		ADC12B_ADTCDD25 [B,H,W]	
0x0C0	ADC12B_ADTCDD26 [B,H,W]		ADC12B_ADTCDD27 [B,H,W]	
0x0C4	ADC12B_ADTCDD28 [B,H,W]		ADC12B_ADTCDD29 [B,H,W]	
0x0C8	ADC12B_ADTCDD30 [B,H,W]		ADC12B_ADTCDD31 [B,H,W]	
0x0CC	ADC12B_ADTECS0 [B,H,W]		ADC12B_ADTECS1 [B,H,W]	
0x0D0	ADC12B_ADTECS2 [B,H,W]		ADC12B_ADTECS3 [B,H,W]	
0x0D4	ADC12B_ADTECS4 [B,H,W]		ADC12B_ADTECS5 [B,H,W]	
0x0D8	ADC12B_ADTECS6 [B,H,W]		ADC12B_ADTECS7 [B,H,W]	
0x0DC	ADC12B_ADTECS8 [B,H,W]		ADC12B_ADTECS9 [B,H,W]	
0x0E0	ADC12B_ADTECS10 [B,H,W]		ADC12B_ADTECS11 [B,H,W]	
0x0E4	ADC12B_ADTECS12 [B,H,W]		ADC12B_ADTECS13 [B,H,W]	
0x0E8	ADC12B_ADTECS14 [B,H,W]		ADC12B_ADTECS15 [B,H,W]	
0x0EC	ADC12B_ADTECS16 [B,H,W]		ADC12B_ADTECS17 [B,H,W]	
0x0F0	ADC12B_ADTECS18 [B,H,W]		ADC12B_ADTECS19 [B,H,W]	
0x0F4	ADC12B_ADTECS20 [B,H,W]		ADC12B_ADTECS21 [B,H,W]	
0x0F8	ADC12B_ADTECS22 [B,H,W]		ADC12B_ADTECS23 [B,H,W]	
0x0FC	ADC12B_ADTECS24 [B,H,W]		ADC12B_ADTECS25 [B,H,W]	
0x100	ADC12B_ADTECS26 [B,H,W]		ADC12B_ADTECS27 [B,H,W]	
0x104	ADC12B_ADTECS28 [B,H,W]		ADC12B_ADTECS29 [B,H,W]	
0x108	ADC12B_ADTECS30 [B,H,W]		ADC12B_ADTECS31 [B,H,W]	
0x10C	ADC12B_ADRCLT0 [B,H,W]		ADC12B_ADRCLT1 [B,H,W]	
0x110	ADC12B_ADRCLT1 [B,H,W]		ADC12B_ADRCLT2 [B,H,W]	
0x114	ADC12B_ADRCLT2 [B,H,W]		ADC12B_ADRCLT3 [B,H,W]	
0x118	ADC12B_ADRCLT3 [B,H,W]			
0x11C	ADC12B_ADRCCS0 [B,H,W]	ADC12B_ADRCCS1 [B,H,W]	ADC12B_ADRCCS2 [B,H,W]	ADC12B_ADRCCS3 [B,H,W]
0x120	ADC12B_ADRCCS4 [B,H,W]	ADC12B_ADRCCS5 [B,H,W]	ADC12B_ADRCCS6 [B,H,W]	ADC12B_ADRCCS7 [B,H,W]
0x124	ADC12B_ADRCCS8 [B,H,W]	ADC12B_ADRCCS9 [B,H,W]	ADC12B_ADRCCS10 [B,H,W]	ADC12B_ADRCCS11 [B,H,W]
0x128	ADC12B_ADRCCS12 [B,H,W]	ADC12B_ADRCCS13 [B,H,W]	ADC12B_ADRCCS14 [B,H,W]	ADC12B_ADRCCS15 [B,H,W]
0x12C	ADC12B_ADRCCS16 [B,H,W]	ADC12B_ADRCCS17 [B,H,W]	ADC12B_ADRCCS18 [B,H,W]	ADC12B_ADRCCS19 [B,H,W]
0x130	ADC12B_ADRCCS20 [B,H,W]	ADC12B_ADRCCS21 [B,H,W]	ADC12B_ADRCCS22 [B,H,W]	ADC12B_ADRCCS23 [B,H,W]
0x134	ADC12B_ADRCCS24 [B,H,W]	ADC12B_ADRCCS25 [B,H,W]	ADC12B_ADRCCS26 [B,H,W]	ADC12B_ADRCCS27 [B,H,W]
0x138	ADC12B_ADRCCS28 [B,H,W]	ADC12B_ADRCCS29 [B,H,W]	ADC12B_ADRCCS30 [B,H,W]	ADC12B_ADRCCS31 [B,H,W]
0x13C	ADC12B_ADRCCS32 [B,H,W]			
0x140	ADC12B_ADRCCS33 [B,H,W]			
0x144	ADC12B_ADRCCS34 [B,H,W]	-	-	
0x148	ADC12B_ADRCCS36 [B,H,W]	ADC12B_ADRCCS37 [B,H,W]	ADC12B_ADRCCS38 [B,H,W]	ADC12B_ADRCCS39 [B,H,W]
0x14C	ADC12B_ADRCCS40 [B,H,W]	ADC12B_ADRCCS41 [B,H,W]	ADC12B_ADRCCS42 [B,H,W]	ADC12B_ADRCCS43 [B,H,W]



Offset Address	Register			
	+3	+2	+1	+0
0x150	ADC12B_ADNCS8 [B,H,W]	ADC12B_ADNCS9 [B,H,W]	ADC12B_ADNCS10 [B,H,W]	ADC12B_ADNCS11 [B,H,W]
0x154	ADC12B_ADNCS12 [B,H,W]	ADC12B_ADNCS13 [B,H,W]	ADC12B_ADNCS14 [B,H,W]	ADC12B_ADNCS15 [B,H,W]
0x158	ADC12B_ADPRTF [B,H,W]			
0x15C	ADC12B_ADEOCF [B,H,W]			
0x160	ADC12B_ADTCS0 [B,H,W]		ADC12B_ADTCS1 [B,H,W]	
0x164	ADC12B_ADTCS2 [B,H,W]		ADC12B_ADTCS3 [B,H,W]	
0x168	ADC12B_ADTCS4 [B,H,W]		ADC12B_ADTCS5 [B,H,W]	
0x16C	ADC12B_ADTCS6 [B,H,W]		ADC12B_ADTCS7 [B,H,W]	
0x170	ADC12B_ADTCS8 [B,H,W]		ADC12B_ADTCS9 [B,H,W]	
0x174	ADC12B_ADTCS10 [B,H,W]		ADC12B_ADTCS11 [B,H,W]	
0x178	ADC12B_ADTCS12 [B,H,W]		ADC12B_ADTCS13 [B,H,W]	
0x17C	ADC12B_ADTCS14 [B,H,W]		ADC12B_ADTCS15 [B,H,W]	
0x180	ADC12B_ADTCS16 [B,H,W]		ADC12B_ADTCS17 [B,H,W]	
0x184	ADC12B_ADTCS18 [B,H,W]		ADC12B_ADTCS19 [B,H,W]	
0x188	ADC12B_ADTCS20 [B,H,W]		ADC12B_ADTCS21 [B,H,W]	
0x18C	ADC12B_ADTCS22 [B,H,W]		ADC12B_ADTCS23 [B,H,W]	
0x190	ADC12B_ADTCS24 [B,H,W]		ADC12B_ADTCS25 [B,H,W]	
0x194	ADC12B_ADTCS26 [B,H,W]		ADC12B_ADTCS27 [B,H,W]	
0x198	ADC12B_ADTCS28 [B,H,W]		ADC12B_ADTCS29 [B,H,W]	
0x19C	ADC12B_ADTCS30 [B,H,W]		ADC12B_ADTCS31 [B,H,W]	
0x1A0	ADC12B_ADRCIFC [B,H,W]			
0x1A4	ADC12B_ADSCANS0 [B,H,W]	-	-	
0x1A8~0x1AC	-			
0x1B0	ADC12B_ADSC [B,H,W]		ADC12B_ADCH [B,H,W]	ADC12B_ADMD [B,H,W]
0x1B4	ADC12B_ADSTPCS0 [B,H,W]	ADC12B_ADSTPCS1 [B,H,W]	ADC12B_ADSTPCS2 [B,H,W]	ADC12B_ADSTPCS3 [B,H,W]
0x1B8	ADC12B_ADSTPCS4 [B,H,W]	ADC12B_ADSTPCS5 [B,H,W]	ADC12B_ADSTPCS6 [B,H,W]	ADC12B_ADSTPCS7 [B,H,W]
0x1BC	ADC12B_ADTCSS0 [B,H,W]		ADC12B_ADTCSS1 [B,H,W]	
0x1C0	ADC12B_ADTCSS2 [B,H,W]		ADC12B_ADTCSS3 [B,H,W]	
0x1C4	ADC12B_ADTCSS4 [B,H,W]		ADC12B_ADTCSS5 [B,H,W]	
0x1C8	ADC12B_ADTCSS6 [B,H,W]		ADC12B_ADTCSS7 [B,H,W]	
0x1CC	ADC12B_ADTCSS8 [B,H,W]		ADC12B_ADTCSS9 [B,H,W]	
0x1D0	ADC12B_ADTCSS10 [B,H,W]		ADC12B_ADTCSS11 [B,H,W]	
0x1D4	ADC12B_ADTCSS12 [B,H,W]		ADC12B_ADTCSS13 [B,H,W]	
0x1D8	ADC12B_ADTCSS14 [B,H,W]		ADC12B_ADTCSS15 [B,H,W]	
0x1DC	ADC12B_ADTCSS16 [B,H,W]		ADC12B_ADTCSS17 [B,H,W]	
0x1E0	ADC12B_ADTCSS18 [B,H,W]		ADC12B_ADTCSS19 [B,H,W]	
0x1E4	ADC12B_ADTCSS20 [B,H,W]		ADC12B_ADTCSS21 [B,H,W]	
0x1E8	ADC12B_ADTCSS22 [B,H,W]		ADC12B_ADTCSS23 [B,H,W]	
0x1EC	ADC12B_ADTCSS24 [B,H,W]		ADC12B_ADTCSS25 [B,H,W]	
0x1F0	ADC12B_ADTCSS26 [B,H,W]		ADC12B_ADTCSS27 [B,H,W]	
0x1F4	ADC12B_ADTCSS28 [B,H,W]		ADC12B_ADTCSS29 [B,H,W]	
0x1F8	ADC12B_ADTCSS30 [B,H,W]		ADC12B_ADTCSS31 [B,H,W]	
0x1FC	ADC12B_ADSCANS0 [B,H,W]	-	-	

(36) A/D コンバータ制御

キーコード Base_Address : 0xB101_3000

Offset Address	Register			
	+3	+2	+1	+0
0x000	KEYCDR [W]			

アナログ入力制御 Base_Address : 0xB101_3004

Offset Address	Register			
	+3	+2	+1	+0
0x000	ADER [B,H,W]			

4ch アナログ入力制御 Base_Address : 0xB101_3008

Offset Address	Register			
	+3	+2	+1	+0
0x000	-		ADER4CH_1 [B,H,W]	ADER4CH_0 [B,H,W]

**(37) 波形ジェネレータ**

波形ジェネレータ ユニット 00 (ch.0～ch.5) Base_Address : 0xB200_0400 (xx=00)

波形ジェネレータ ユニット 01 (ch.6～ch.11) Base_Address : 0xB100_0400 (xx=01)

波形ジェネレータ ユニット 02 (ch.12～ch.17) Base_Address : 0xB101_0600 (xx=02)

波形ジェネレータ ユニット 03 (ch.18～ch.23) Base_Address : 0xB101_0640 (xx=03)

Offset Address	Register			
	+3	+2	+1	+0
0x000	-			
0x004	WFGxx_TMRR0 [H,W]		WFGxx_TMRR1 [H,W]	
0x008	WFGxx_TMRR2 [H,W]		-	
0x00C	WFGxx_DTCR0 [B,H,W]	WFGxx_DTCR1 [B,H,W]	WFGxx_DTCR2 [B,H,W]	-
0x010	-	WFGxx_DTIR [B,H,W]	-	WFGxx_DTMNS [B,H,W]
0x014	-	WFGxx_SIGCR1 [B,H,W]	-	WFGxx_SIGCR2 [B,H,W]
0x018	WFGxx_PICS [B,H,W]	-	-	
0x01C	WFGxx_DTCRC0 [B,H,W]	WFGxx_DTCRC1 [B,H,W]	WFGxx_DTCRC2 [B,H,W]	-
0x020	-	WFGxx_DTIRC [B,H,W]	-	
0x024	-	WFGxx_SIGCR1C [B,H,W]	-	
0x028	WFGxx_DTCRS0 [B,H,W]	WFGxx_DTCRS1 [B,H,W]	WFGxx_DTCRS2 [B,H,W]	-
0x02C	-	WFGxx_DTIRS [B,H,W]	-	-
0x030	-	WFGxx_SIGCR1S [B,H,W]	-	
0x034~0x03C	-			

(38) 波形ジェネレータ制御

DTTI 選択 0 (WFG 00/01) Base_Address : 0xB101_0600

Offset Address	Register			
	+3	+2	+1	+0
0x000	WFG02_DTSTR [B,H,W]	-	-	-

DTTI 選択 1 (WFG 02/03) Base_Address : 0xB101_0640

Offset Address	Register			
	+3	+2	+1	+0
0x000	WFG03_DTSTR [B,H,W]	-	-	-

ソフトウェア DTTI 制御 Base_Address : 0xB101_1000

Offset Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SDTCR2 [B,H,W]

外部 DTTI 入力設定 Base_Address : 0xB101_1004

Offset Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	EDTCR2 [B,H,W]

RTO 出力レベル変換 Base_Address : 0xB101_2000

Offset Address	Register			
	+3	+2	+1	+0
0x000	RTOSEL3 [B,H,W]	RTOSEL2 [B,H,W]	RTOSEL1 [B,H,W]	RTOSEL0 [B,H,W]

(39) アップダウンカウンタ

アップダウンカウンタ ch.0 Base_Address : 0xB200_0500 (xx=00)

アップダウンカウンタ ch.1 Base_Address : 0xB200_0580 (xx=01)

アップダウンカウンタ ch.2 Base_Address : 0xB100_0500 (xx=02)

アップダウンカウンタ ch.3 Base_Address : 0xB100_0580 (xx=03)

Offset Address	Register			
	+3	+2	+1	+0
0x000	-		UDC16Bxx_RCRH [B,H,W]	UDC16Bxx_RCRL [B,H,W]
0x004	-		UDC16Bxx_UDCRH [B,H,W]	UDC16Bxx_UDCRL [B,H,W]
0x008	-		UDC16Bxx_CCRH [B,H,W]	UDC16Bxx_CCRL [B,H,W]
0x00C	-		-	UDC16Bxx_CSRL [B,H,W]
0x010	-		UDC16Bxx_CMPRH0 [B,H,W]	UDC16Bxx_CMPRL0 [B,H,W]
0x014	-		UDC16Bxx_CMPRH1 [B,H,W]	UDC16Bxx_CMPRL1 [B,H,W]
0x018	-		UDC16Bxx_CMPRH2 [B,H,W]	UDC16Bxx_CMPRL2 [B,H,W]
0x01C	-		UDC16Bxx_CMPRH3 [B,H,W]	UDC16Bxx_CMPRL3 [B,H,W]
0x020	-		UDC16Bxx_CMPRH4 [B,H,W]	UDC16Bxx_CMPRL4 [B,H,W]
0x024	-		UDC16Bxx_CMPRH5 [B,H,W]	UDC16Bxx_CMPRL5 [B,H,W]
0x028	-		UDC16Bxx_CMPBRH0 [B,H,W]	UDC16Bxx_CMPBRL0 [B,H,W]
0x02C	-		UDC16Bxx_CMPBRH1 [B,H,W]	UDC16Bxx_CMPBRL1 [B,H,W]
0x030	-		UDC16Bxx_CMPBRH2 [B,H,W]	UDC16Bxx_CMPBRL2 [B,H,W]
0x034	-		UDC16Bxx_CMPBRH3 [B,H,W]	UDC16Bxx_CMPBRL3 [B,H,W]
0x038	-		UDC16Bxx_CMPBRH4 [B,H,W]	UDC16Bxx_CMPBRL4 [B,H,W]
0x03C	-		UDC16Bxx_CMPBRH5 [B,H,W]	UDC16Bxx_CMPBRL5 [B,H,W]
0x040	-		UDC16Bxx_CMPMSKRH0 [B,H,W]	UDC16Bxx_CMPMSKRL0 [B,H,W]
0x044	-		UDC16Bxx_CMPMSKRH1 [B,H,W]	UDC16Bxx_CMPMSKRL1 [B,H,W]
0x048	-		UDC16Bxx_CMPMSKRH2 [B,H,W]	UDC16Bxx_CMPMSKRL2 [B,H,W]
0x04C	-		UDC16Bxx_CMPMSKRH3 [B,H,W]	UDC16Bxx_CMPMSKRL3 [B,H,W]
0x050	-		UDC16Bxx_CMPMSKRH4 [B,H,W]	UDC16Bxx_CMPMSKRL4 [B,H,W]

Offset Address	Register			
	+3	+2	+1	+0
0x054	-		UDC16Bxx_CMPMSKRH5 [B,H,W]	UDC16Bxx_CMPMSKRL5 [B,H,W]
0x058	-		UDC16Bxx_CITER [B,H,W]	UDC16Bxx_CMPFR [B,H,W]
0x05C	-		-	UDC16Bxx_CBTR [B,H,W]
0x060	-		UDC16Bxx_CCCRH [B,H,W]	UDC16Bxx_CCCRL [B,H,W]
0x064	-		UDC16Bxx_CCSRH [B,H,W]	UDC16Bxx_CCSRL [B,H,W]
0x068	-		-	UDC16Bxx_CSCRL [B,H,W]
0x06C	-		-	UDC16Bxx_CSSRL [B,H,W]
0x070	-		-	UDC16Bxx_CMPFCR [B,H,W]
0x074~0x07C	-			

**(40) R/D コンバータ**

R/D コンバータ ユニット 00 Base_Address : 0xB200_0C00 (xx=00)

R/D コンバータ ユニット 01 Base_Address : 0xB100_0C00 (xx=01)

Offset Address	Register			
	+3	+2	+1	+0
0x000	RDCxx_RDCCTR0 [B,H,W]	RDCxx_RDCCTR1 [B,H,W]	RDCxx_RDCINTR [B,H,W]	RDCxx_RDCICER [B,H,W]
0x004	RDCxx_RDCINTR2 [B,H,W]	RDCxx_RDCCTR2 [B,H,W]	RDCxx_RDCIPR [H,W]	
0x008	RDCxx_RDCCPR1 [H,W]		RDCxx_RDCCPR2 [H,W]	
0x00C	RDCxx_RDCCPR3 [H,W]		RDCxx_RDCCPR4 [H,W]	
0x010	RDCxx_AGLDR [H,W]		RDCxx_AGVLDR [H,W]	
0x014	RDCxx_AGLDBR [H,W]		RDCxx_AGVLDBR [H,W]	
0x018	RDCxx_SCCIR [H,W]		-	
0x01C	RDCxx_SINDR [W]			
0x020	RDCxx_COSDR [W]			
0x024	-			
0x028	RDCxx_SINDR1 [W]			
0x02C	RDCxx_COSDR1 [W]			
0x030	RDCxx_ADTCDA [B,H,W]		RDCxx_ADTCDB [B,H,W]	
0x034	RDCxx_ADTCDC [B,H,W]		RDCxx_ADTCDD [B,H,W]	
0x038	RDCxx_AGLDR2 [H,W]		-	RDCxx_RDCICERC [B,H,W]
0x03C	RDCxx_SCCIRC [B,H,W]		-	
0x040	-		-	RDCxx_RDCICERS [B,H,W]
0x044	-		-	RDCxx_ADCCTR [B,H,W]
0x048~0x0FC	-			

(41) D/A コンバータ

D/A コンバータ ch.0 Base_Address : 0xB200_0D00 (xx=00)

D/A コンバータ ch.1 Base_Address : 0xB100_0D00 (xx=01)

Offset Address	Register			
	+3	+2	+1	+0
0x000	DACxx_DAER* [B,H,W]	-	-	
0x004	DACxx_DACR [B,H,W]	-	DACxx_DADR [B,H,W]	
0x008	DACxx_KEYCDR [W]			
0x010~0x0FC	-			

*: R/D コンバータ搭載型格では, MAG_OUT 端子の出力を制御します。R/D コンバータ非搭載型格では, DAOUT 端子の機能を選択します。

(42) モータ演算アクセラレータ

モータ演算アクセラレータ ユニット 00 Base_Address : 0xB200_0800 (xx=00)

モータ演算アクセラレータ ユニット 01 Base_Address : 0xB100_0800 (xx=01)

Offset Address	Register			
	+3	+2	+1	+0
0x000	-	MVAxx_MVASS [B,H,W]	-	MVAxx_MVACC [B,H,W]
0x004	MVAxx_MVAUSEL [B,H,W]		-	MVAxx_MVAOMS [B,H,W]
0x008	-	MVAxx_MVAIS [B,H,W]	MVAxx_MVASMS [B,H,W]	MVAxx_MVAPS [B,H,W]
0x00C	-	MVAxx_MVAES [B,H,W]	MVAxx_MVARS [B,H,W]	
0x010	-	MVAxx_MVAESCLR [B,H,W]	MVAxx_MVARSCLR [B,H,W]	
0x014	-	MVAxx_MVAESIE [B,H,W]	MVAxx_MVARSIE [B,H,W]	
0x018	-	MVAxx_MVACES [B,H,W]	-	MVAxx_MVACS [B,H,W]
0x01C	MVAxx_MVAFDES [W]			
0x020	MVAxx_MVAECCEs [W]			
0x024	MVAxx_MVAFES [B,H,W]		MVAxx_MVAFDDES [B,H,W]	
0x028	MVAxx_MVAUDSES [H,W]		-	MVAxx_ MVAUDHES [B,H,W]
0x02C	MVAxx_MVADES [W]			
0x030	-		MVAxx_MVASCCIR [H,W]	
0x034	MVAxx_MVASCCSIN [W]			
0x038	MVAxx_MVASCCCOS [W]			
0x03C	MVAxx_MVAAGVL [H,W]		MVAxx_MVAAGL [H,W]	
0x040	MVAxx_MVARDCRS2D [H,W]		MVAxx_MVARDCRS1D [H,W]	
0x044	-		MVAxx_MVARDCTCDT [H,W]	
0x048	MVAxx_MVARRSN1D [W]			
0x04C	MVAxx_MVARRSN2D [W]			
0x050	MVAxx_MVALA [H,W]		MVAxx_MVACDAGL [H,W]	
0x054	MVAxx_MVA AVR [W]			
0x058	MVAxx_MVASIN [W]			
0x05C	MVAxx_MVACOS [W]			
0x060	-			
0x064	-			
0x068	MVAxx_MVASINLA [W]			
0x06C	MVAxx_MVACOSLA [W]			
0x070	MVAxx_MVAADC DV [H,W]		MVAxx_MVAADC DU [H,W]	
0x074	-		MVAxx_MVAADC DW [H,W]	
0x078	MVAxx_MVAIU [W]			
0x07C	MVAxx_MVAIV [W]			
0x080	MVAxx_MVAIW [W]			
0x084	MVAxx_MVAID [W]			
0x088	MVAxx_MVAIQ [W]			
0x08C	MVAxx_MVAFID [W]			
0x090	MVAxx_MVAFIQ [W]			
0x094	MVAxx_MVACNTID [W]			
0x098	MVAxx_MVACNTIQ [W]			
0x09C	MVAxx_MVAVD [W]			
0x0A0	MVAxx_MVAVQ [W]			



Offset Address	Register			
	+3	+2	+1	+0
0x0A4	MV _{Axx} _MVAVU [W]			
0x0A8	MV _{Axx} _MVAVV [W]			
0x0AC	MV _{Axx} _MVAVW [W]			
0x0B0	MV _{Axx} _MVACPB/MV _{Axx} _MVACP [W]			
0x0B4	MV _{Axx} _MVACATHB/MV _{Axx} _MVACATH [W]			
0x0B8	MV _{Axx} _MVAIDUTHB/MV _{Axx} _MVAIDUTH [W]			
0x0BC	MV _{Axx} _MVAIQUTHB/MV _{Axx} _MVAIQUTH [W]			
0x0C0	MV _{Axx} _MVAIDDT HB/MV _{Axx} _MVAIDDT H [W]			
0x0C4	MV _{Axx} _MVAIQDTHB/MV _{Axx} _MVAIQDTH [W]			
0x0C8	MV _{Axx} _MVATGIDB/MV _{Axx} _MVATGID [W]			
0x0CC	MV _{Axx} _MVATGIQB/MV _{Axx} _MVATGIQ [W]			
0x0D0	MV _{Axx} _MVAKPIDB/MV _{Axx} _MVAKPID [W]			
0x0D4	MV _{Axx} _MVAKPIQB/MV _{Axx} _MVAKPIQ [W]			
0x0D8	MV _{Axx} _MVAKIIDB/MV _{Axx} _MVAKIID [W]			
0x0DC	MV _{Axx} _MVAKIIQB/MV _{Axx} _MVAKIIQ [W]			
0x0E0	MV _{Axx} _MVAKDIDB/MV _{Axx} _MVAKDID [W]			
0x0E4	MV _{Axx} _MVAKDIQB/MV _{Axx} _MVAKDIQ [W]			
0x0E8	MV _{Axx} _MVAMAXIDB/MV _{Axx} _MVAMAXID [W]			
0x0EC	MV _{Axx} _MVAMAXIQB/MV _{Axx} _MVAMAXIQ [W]			
0x0F0	MV _{Axx} _MVAMINIDB/MV _{Axx} _MVAMINID [W]			
0x0F4	MV _{Axx} _MVAMINIQB/MV _{Axx} _MVAMINIQ [W]			
0x0F8	MV _{Axx} _MVADIDB1/MV _{Axx} _MVADID1 [W]			
0x0FC	MV _{Axx} _MVADIQB1/MV _{Axx} _MVADIQ1 [W]			
0x100	MV _{Axx} _MVADIDB2/MV _{Axx} _MVADID2 [W]			
0x104	MV _{Axx} _MVADIQB2/MV _{Axx} _MVADIQ2 [W]			
0x108	MV _{Axx} _MVACAGL [W]			
0x10C	MV _{Axx} _MVAAGLOFST [H,W]		MV _{Axx} _MVAAGLM [H,W]	
0x110	MV _{Axx} _MVACAGVL [W]			
0x114	MV _{Axx} _MVARRSR1 [W]			
0x118	MV _{Axx} _MVARRSR2 [W]			
0x11C	MV _{Axx} _MVARRSOFST1 [W]			
0x120	MV _{Axx} _MVARRSOFST2 [W]			
0x124	-		MV _{Axx} _MVARDCTOFST [H,W]	
0x128	MV _{Axx} _MVARPMGP [W]			
0x12C	MV _{Axx} _MVARDCAUTH [W]			
0x130	MV _{Axx} _MVARDCADTH [W]			
0x134	MV _{Axx} _MVARDCAGLTH [W]			
0x138	MV _{Axx} _MVAADCRU [W]			
0x13C	MV _{Axx} _MVAADCRV [W]			
0x140	MV _{Axx} _MVAADCRW [W]			
0x144	MV _{Axx} _MVAADOFSTU [W]			
0x148	MV _{Axx} _MVAADOFSTV [W]			
0x14C	MV _{Axx} _MVAADOFSTW [W]			
0x150	-			
0x154	MV _{Axx} _MVAFIG0 [W]			
0x158	MV _{Axx} _MVAFIG1 [W]			
0x15C	MV _{Axx} _MVAFIG2 [W]			
0x160	MV _{Axx} _MVAFIG3 [W]			
0x164	MV _{Axx} _MVAFIG4 [W]			

Offset Address	Register			
	+3	+2	+1	+0
0x168	MVAXX_MVAFIG5 [W]			
0x16C	MVAXX_MVAFIG6 [W]			
0x170	MVAXX_MVAFIDD1 [W]			
0x174	MVAXX_MVAFIDD2 [W]			
0x178	MVAXX_MVAFIDD3 [W]			
0x17C	MVAXX_MVAFIDD4 [W]			
0x180	MVAXX_MVAFIDD5 [W]			
0x184	MVAXX_MVAFIDD6 [W]			
0x188	MVAXX_MVAFIDQ1 [W]			
0x18C	MVAXX_MVAFIDQ2 [W]			
0x190	MVAXX_MVAFIDQ3 [W]			
0x194	MVAXX_MVAFIDQ4 [W]			
0x198	MVAXX_MVAFIDQ5 [W]			
0x19C	MVAXX_MVAFIDQ6 [W]			
0x1A0	MVAXX_MVAMR [W]			
0x1A4	MVAXX_MVAMLD [W]			
0x1A8	MVAXX_MVAMLQ [W]			
0x1AC	MVAXX_MVAMIF [W]			
0x1B0~0x1FC	-			



(43) FlexRay

FlexRay カスタムレジスタ, 特殊レジスタ, 割込み関連レジスタ,
通信コントローラ(CC) 制御レジスタ,
通信コントローラ(CC) ステータスレジスタ,
メッセージバッファ制御レジスタ,
メッセージバッファステータスレジスタ,
アイデンティフィケーションレジスタ,
インプットバッファ, アウトプットバッファ

Base_Address : 0xB200_1000

Offset Address	Register			
	+3	+2	+1	+0
0x000	FLXRY_CIF0 [W]			
0x004	FLXRY_CIF1 [W]			
0x008	FLXRY_CIF1F [W]			
0x00C	FLXRY_CIF1C [W]			
0x010~0x018	-			
0x01C	FLXRY_LCK [W]			
0x020	FLXRY_EIR [W]			
0x024	FLXRY_SIR [W]			
0x028	FLXRY_EILS [W]			
0x02C	FLXRY_SILS [W]			
0x030	FLXRY_EIES [W]			
0x034	FLXRY_EIER [W]			
0x038	FLXRY_SIES [W]			
0x03C	FLXRY_SIER [W]			
0x040	FLXRY_ILE [W]			
0x044	FLXRY_T0C [W]			
0x048	FLXRY_T1C [W]			
0x04C	FLXRY_STPW1 [W]			
0x050	FLXRY_STPW2 [W]			
0x054~0x07C	-			
0x080	FLXRY_SUCC1 [W]			
0x084	FLXRY_SUCC2 [W]			
0x088	FLXRY_SUCC3 [W]			
0x08C	FLXRY_NEMC [W]			
0x090	FLXRY_PRTC1 [W]			
0x094	FLXRY_PRTC2 [W]			
0x098	FLXRY_MHDC [W]			
0x09C	-			
0x0A0	FLXRY_GTUC1 [W]			
0x0A4	FLXRY_GTUC2 [W]			
0x0A8	FLXRY_GTUC3 [W]			
0x0AC	FLXRY_GTUC4 [W]			
0x0B0	FLXRY_GTUC5 [W]			
0x0B4	FLXRY_GTUC6 [W]			
0x0B8	FLXRY_GTUC7 [W]			
0x0BC	FLXRY_GTUC8 [W]			
0x0C0	FLXRY_GTUC9 [W]			

Offset Address	Register			
	+3	+2	+1	+0
0x0C4	FLXRY_GTUC10 [W]			
0x0C8	FLXRY_GTUC11 [W]			
0x0CC~0x0FC	-			
0x100	FLXRY_CCSV [W]			
0x104	FLXRY_CCEV [W]			
0x108~0x10C	-			
0x110	FLXRY_SCV [W]			
0x114	FLXRY_MTCCV [W]			
0x118	FLXRY_RCV [W]			
0x11C	FLXRY_OCV [W]			
0x120	FLXRY_SFS [W]			
0x124	FLXRY_SWNIT [W]			
0x128	FLXRY_ACS [W]			
0x12C	-			
0x130	FLXRY_ESID1 [W]			
0x134	FLXRY_ESID2 [W]			
0x138	FLXRY_ESID3 [W]			
0x13C	FLXRY_ESID4 [W]			
0x140	FLXRY_ESID5 [W]			
0x144	FLXRY_ESID6 [W]			
0x148	FLXRY_ESID7 [W]			
0x14C	FLXRY_ESID8 [W]			
0x150	FLXRY_ESID9 [W]			
0x154	FLXRY_ESID10 [W]			
0x158	FLXRY_ESID11 [W]			
0x15C	FLXRY_ESID12 [W]			
0x160	FLXRY_ESID13 [W]			
0x164	FLXRY_ESID14 [W]			
0x168	FLXRY_ESID15 [W]			
0x16C	-			
0x170	FLXRY_OSID1 [W]			
0x174	FLXRY_OSID2 [W]			
0x178	FLXRY_OSID3 [W]			
0x17C	FLXRY_OSID4 [W]			
0x180	FLXRY_OSID5 [W]			
0x184	FLXRY_OSID6 [W]			
0x188	FLXRY_OSID7 [W]			
0x18C	FLXRY_OSID8 [W]			
0x190	FLXRY_OSID9 [W]			
0x194	FLXRY_OSID10 [W]			
0x198	FLXRY_OSID11 [W]			
0x19C	FLXRY_OSID12 [W]			
0x1A0	FLXRY_OSID13 [W]			
0x1A4	FLXRY_OSID14 [W]			
0x1A8	FLXRY_OSID15 [W]			
0x1AC	-			
0x1B0	FLXRY_NMV1 [W]			
0x1B4	FLXRY_NMV2 [W]			



Offset Address	Register			
	+3	+2	+1	+0
0x1B8	FLXRY_NMV3 [W]			
0x1BC~0x2FC	-			
0x300	FLXRY_MRC [W]			
0x304	FLXRY_FRF [W]			
0x308	FLXRY_FRFM [W]			
0x30C	FLXRY_FCL [W]			
0x310	FLXRY_MHDS [W]			
0x314	FLXRY_LDTS [W]			
0x318	FLXRY_FSR [W]			
0x31C	FLXRY_MHDF [W]			
0x320	FLXRY_TXRQ1 [W]			
0x324	FLXRY_TXRQ2 [W]			
0x328	FLXRY_TXRQ3 [W]			
0x32C	FLXRY_TXRQ4 [W]			
0x330	FLXRY_NDAT1 [W]			
0x334	FLXRY_NDAT2 [W]			
0x338	FLXRY_NDAT3 [W]			
0x33C	FLXRY_NDAT4 [W]			
0x340	FLXRY_MBSC1 [W]			
0x344	FLXRY_MBSC2 [W]			
0x348	FLXRY_MBSC3 [W]			
0x34C	FLXRY_MBSC4 [W]			
0x350~0x3EC	-			
0x3F0	FLXRY_CREL [W]			
0x3F4	FLXRY_ENDN [W]			
0x3F8~0x3FC	-			
0x400	FLXRY_WRDS1 [W]			
0x404	FLXRY_WRDS2 [W]			
0x408	FLXRY_WRDS3 [W]			
0x40C	FLXRY_WRDS4 [W]			
0x410	FLXRY_WRDS5 [W]			
0x414	FLXRY_WRDS6 [W]			
0x418	FLXRY_WRDS7 [W]			
0x41C	FLXRY_WRDS8 [W]			
0x420	FLXRY_WRDS9 [W]			
0x424	FLXRY_WRDS10 [W]			
0x428	FLXRY_WRDS11 [W]			
0x42C	FLXRY_WRDS12 [W]			
0x430	FLXRY_WRDS13 [W]			
0x434	FLXRY_WRDS14 [W]			
0x438	FLXRY_WRDS15 [W]			
0x43C	FLXRY_WRDS16 [W]			
0x440	FLXRY_WRDS17 [W]			
0x444	FLXRY_WRDS18 [W]			
0x448	FLXRY_WRDS19 [W]			
0x44C	FLXRY_WRDS20 [W]			
0x450	FLXRY_WRDS21 [W]			
0x454	FLXRY_WRDS22 [W]			

Offset Address	Register			
	+3	+2	+1	+0
0x458				FLXRY_WRDS23 [W]
0x45C				FLXRY_WRDS24 [W]
0x460				FLXRY_WRDS25 [W]
0x464				FLXRY_WRDS26 [W]
0x468				FLXRY_WRDS27 [W]
0x46C				FLXRY_WRDS28 [W]
0x470				FLXRY_WRDS29 [W]
0x474				FLXRY_WRDS30 [W]
0x478				FLXRY_WRDS31 [W]
0x47C				FLXRY_WRDS32 [W]
0x480				FLXRY_WRDS33 [W]
0x484				FLXRY_WRDS34 [W]
0x488				FLXRY_WRDS35 [W]
0x48C				FLXRY_WRDS36 [W]
0x490				FLXRY_WRDS37 [W]
0x494				FLXRY_WRDS38 [W]
0x498				FLXRY_WRDS39 [W]
0x49C				FLXRY_WRDS40 [W]
0x4A0				FLXRY_WRDS41 [W]
0x4A4				FLXRY_WRDS42 [W]
0x4A8				FLXRY_WRDS43 [W]
0x4AC				FLXRY_WRDS44 [W]
0x4B0				FLXRY_WRDS45 [W]
0x4B4				FLXRY_WRDS46 [W]
0x4B8				FLXRY_WRDS47 [W]
0x4BC				FLXRY_WRDS48 [W]
0x4C0				FLXRY_WRDS49 [W]
0x4C4				FLXRY_WRDS50 [W]
0x4C8				FLXRY_WRDS51 [W]
0x4CC				FLXRY_WRDS52 [W]
0x4D0				FLXRY_WRDS53 [W]
0x4D4				FLXRY_WRDS54 [W]
0x4D8				FLXRY_WRDS55 [W]
0x4DC				FLXRY_WRDS56 [W]
0x4E0				FLXRY_WRDS57 [W]
0x4E4				FLXRY_WRDS58 [W]
0x4E8				FLXRY_WRDS59 [W]
0x4EC				FLXRY_WRDS60 [W]
0x4F0				FLXRY_WRDS61 [W]
0x4F4				FLXRY_WRDS62 [W]
0x4F8				FLXRY_WRDS63 [W]
0x4FC				FLXRY_WRDS64 [W]
0x500				FLXRY_WRHS1 [W]
0x504				FLXRY_WRHS2 [W]
0x508				FLXRY_WRHS3 [W]
0x50C				-
0x510				FLXRY_IBCM [W]
0x514				FLXRY_IBCR [W]
0x518~0x5FC				-



Offset Address	Register			
	+3	+2	+1	+0
0x600				FLXRY_RDDS1 [W]
0x604				FLXRY_RDDS2 [W]
0x608				FLXRY_RDDS3 [W]
0x60C				FLXRY_RDDS4 [W]
0x610				FLXRY_RDDS5 [W]
0x614				FLXRY_RDDS6 [W]
0x618				FLXRY_RDDS7 [W]
0x61C				FLXRY_RDDS8 [W]
0x620				FLXRY_RDDS9 [W]
0x624				FLXRY_RDDS10 [W]
0x628				FLXRY_RDDS11 [W]
0x62C				FLXRY_RDDS12 [W]
0x630				FLXRY_RDDS13 [W]
0x634				FLXRY_RDDS14 [W]
0x638				FLXRY_RDDS15 [W]
0x63C				FLXRY_RDDS16 [W]
0x640				FLXRY_RDDS17 [W]
0x644				FLXRY_RDDS18 [W]
0x648				FLXRY_RDDS19 [W]
0x64C				FLXRY_RDDS20 [W]
0x650				FLXRY_RDDS21 [W]
0x654				FLXRY_RDDS22 [W]
0x658				FLXRY_RDDS23 [W]
0x65C				FLXRY_RDDS24 [W]
0x660				FLXRY_RDDS25 [W]
0x664				FLXRY_RDDS26 [W]
0x668				FLXRY_RDDS27 [W]
0x66C				FLXRY_RDDS28 [W]
0x670				FLXRY_RDDS29 [W]
0x674				FLXRY_RDDS30 [W]
0x678				FLXRY_RDDS31 [W]
0x67C				FLXRY_RDDS32 [W]
0x680				FLXRY_RDDS33 [W]
0x684				FLXRY_RDDS34 [W]
0x688				FLXRY_RDDS35 [W]
0x68C				FLXRY_RDDS36 [W]
0x690				FLXRY_RDDS37 [W]
0x694				FLXRY_RDDS38 [W]
0x698				FLXRY_RDDS39 [W]
0x69C				FLXRY_RDDS40 [W]
0x6A0				FLXRY_RDDS41 [W]
0x6A4				FLXRY_RDDS42 [W]
0x6A8				FLXRY_RDDS43 [W]
0x6AC				FLXRY_RDDS44 [W]
0x6B0				FLXRY_RDDS45 [W]
0x6B4				FLXRY_RDDS46 [W]
0x6B8				FLXRY_RDDS47 [W]
0x6BC				FLXRY_RDDS48 [W]
0x6C0				FLXRY_RDDS49 [W]

Offset Address	Register			
	+3	+2	+1	+0
0x6C4	FLXRY_RDDS50 [W]			
0x6C8	FLXRY_RDDS51 [W]			
0x6CC	FLXRY_RDDS52 [W]			
0x6D0	FLXRY_RDDS53 [W]			
0x6D4	FLXRY_RDDS54 [W]			
0x6D8	FLXRY_RDDS55 [W]			
0x6DC	FLXRY_RDDS56 [W]			
0x6E0	FLXRY_RDDS57 [W]			
0x6E4	FLXRY_RDDS58 [W]			
0x6E8	FLXRY_RDDS59 [W]			
0x6EC	FLXRY_RDDS60 [W]			
0x6F0	FLXRY_RDDS61 [W]			
0x6F4	FLXRY_RDDS62 [W]			
0x6F8	FLXRY_RDDS63 [W]			
0x6FC	FLXRY_RDDS64 [W]			
0x700	FLXRY_RDHS1 [W]			
0x704	FLXRY_RDHS2 [W]			
0x708	FLXRY_RDHS3 [W]			
0x70C	FLXRY_MBS [W]			
0x710	FLXRY_OBCM [W]			
0x714	FLXRY_OBCR [W]			
0x718~0x7FC	-			

(44) FlexRay/RDC 専用クロック制御

FlexRay/RDC 専用クロック制御 Base_Address : 0xB201_0000

Offset Address	Register			
	+3	+2	+1	+0
0x000	ERAYP_PLL2DIVM [B,H,W]	ERAYP_PLL2DIVN [B,H,W]	ERAYP_PLL2DIVG [B,H,W]	ERAYP_PLL2MULG [B,H,W]
0x004	ERAYP_PLL2CTRL [B,H,W]	ERAYP_PLL2DIVK [B,H,W]	ERAYP_CLKR2 [B,H,W]	-
0x008	ERAYP_PLL2CTRLF [B,H,W]	-	ERAYP_CLKR2F [B,H,W]	-
0x00C	ERAYP_PLL2CTRLC [B,H,W]	-	ERAYP_CLKR2C [B,H,W]	-
0x010~0x0FC	-			

FlexRay/RDC 専用クロックスーパバイザ制御 Base_Address : 0xB101_3020

Offset Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	ERAYP_CSVR [B,H,W]
0x004~0x0FC	-			



(45) クロックモニタ

クロックモニタ Base_Address : 0xB201_0100

Offset Address	Register			
	+3	+2	+1	+0
0x000	-		CLKMN_CSCFG [B,H,W]	CLKMN_CMCFG [B,H,W]
0x004~0x0FC	-			

3. 割込み/NMI 要因および DMA 起動要因一覧

割込み要因および NMI 要因一覧、また DMA 起動要因一覧について説明します。

3.1. 割込み要因一覧

割込み要因一覧を表に示します。

割込み要因には個別の CPU を対象にするものとすべての CPU を対象にするものがあります。ここでは、前者を個別 IRQ、後者は共通 IRQ とよびます。

以下に割込み一覧表を示します。

表 3-1 割込み要因一覧表

IRQ 番号	IRQ 要因	優先順位レジスタ	ベクタアドレス レジスタ	IRQ 種別
0	予約	-	-	-
1	低消費電力 RUN プロファイル更新完了割込み	IRCN_IRQPL0:IRQPL1[4:0]	IRCN_IRQVA1	共通 IRQ
2	ハードウェアウォッチドッグ事前警告割込み	IRCN_IRQPL0:IRQPL2[4:0]	IRCN_IRQVA2	共通 IRQ
3	ソフトウェアウォッチドッグ Unit0, 1 事前警告割込み	IRCN_IRQPL0:IRQPL3[4:0]	IRCN_IRQVA3	個別 IRQ
4~7	予約	-	-	-
8	TCFLASH Unit0, 1 1 ビット誤り訂正割込み/レディ割込み/ハング割込み	IRCN_IRQPL2:IRQPL8[4:0]	IRCN_IRQVA8	個別 IRQ
9	予約	-	-	-
10	WorkFLASH Unit0 ハング割込み	IRCN_IRQPL2:IRQPL10[4:0]	IRCN_IRQVA10	共通 IRQ
11	WorkFLASH Unit1 ハング割込み	IRCN_IRQPL2:IRQPL11[4:0]	IRCN_IRQVA11	共通 IRQ
12~15	予約	-	-	-
16	割込みコントローラ Unit0/1 ECC 1 ビットエラー割込み	IRCN_IRQPL4:IRQPL16[4:0]	IRCN_IRQVA16	個別 IRQ
17~19	予約	-	-	-
20	WorkFLASH Unit0 1 ビット誤り訂正割込み/レディ割込み	IRCN_IRQPL5:IRQPL20[4:0]	IRCN_IRQVA20	共通 IRQ
21	WorkFLASH Unit1 1 ビット誤り訂正割込み/レディ割込み	IRCN_IRQPL5:IRQPL21[4:0]	IRCN_IRQVA21	共通 IRQ
22, 23	予約	-	-	-
24	外部割込み ch.0	IRCN_IRQPL6:IRQPL24[4:0]	IRCN_IRQVA24	共通 IRQ
25	外部割込み ch.1	IRCN_IRQPL6:IRQPL25[4:0]	IRCN_IRQVA25	共通 IRQ
26	外部割込み ch.2	IRCN_IRQPL6:IRQPL26[4:0]	IRCN_IRQVA26	共通 IRQ
27	外部割込み ch.3	IRCN_IRQPL6:IRQPL27[4:0]	IRCN_IRQVA27	共通 IRQ
28	外部割込み ch.4	IRCN_IRQPL7:IRQPL28[4:0]	IRCN_IRQVA28	共通 IRQ
29	外部割込み ch.5	IRCN_IRQPL7:IRQPL29[4:0]	IRCN_IRQVA29	共通 IRQ
30	外部割込み ch.6	IRCN_IRQPL7:IRQPL30[4:0]	IRCN_IRQVA30	共通 IRQ
31	外部割込み ch.7	IRCN_IRQPL7:IRQPL31[4:0]	IRCN_IRQVA31	共通 IRQ
32~55	予約	-	-	-
56	CAN ch.0	IRCN_IRQPL14:IRQPL56[4:0]	IRCN_IRQVA56	共通 IRQ
57	CAN ch.1	IRCN_IRQPL14:IRQPL57[4:0]	IRCN_IRQVA57	共通 IRQ
58	CAN ch.2	IRCN_IRQPL14:IRQPL58[4:0]	IRCN_IRQVA58	共通 IRQ
59~63	予約	-	-	-
64	マルチファンクションシリアルインタフェース ch.0 受信完了/ステータス	IRCN_IRQPL16:IRQPL64[4:0]	IRCN_IRQVA64	共通 IRQ
65	マルチファンクションシリアルインタフェース ch.0 送信完了	IRCN_IRQPL16:IRQPL65[4:0]	IRCN_IRQVA65	共通 IRQ



IRQ 番号	IRQ 要因	優先順位レジスタ	ベクタアドレス レジスタ	IRQ 種別
66	マルチファンクションシリアルインタフェース ch.1 受信完了/ステータス	IRCN_IRQPL16:IRQPL66[4:0]	IRCN_IRQVA66	共通 IRQ
67	マルチファンクションシリアルインタフェース ch.1 送信完了	IRCN_IRQPL16:IRQPL67[4:0]	IRCN_IRQVA67	共通 IRQ
68	マルチファンクションシリアルインタフェース ch.2 受信完了/ステータス	IRCN_IRQPL17:IRQPL68[4:0]	IRCN_IRQVA68	共通 IRQ
69	マルチファンクションシリアルインタフェース ch.2 送信完了	IRCN_IRQPL17:IRQPL69[4:0]	IRCN_IRQVA69	共通 IRQ
70	マルチファンクションシリアルインタフェース ch.3 受信完了/ステータス	IRCN_IRQPL17:IRQPL70[4:0]	IRCN_IRQVA70	共通 IRQ
71	マルチファンクションシリアルインタフェース ch.3 送信完了	IRCN_IRQPL17:IRQPL71[4:0]	IRCN_IRQVA71	共通 IRQ
72	マルチファンクションシリアルインタフェース ch.4 受信完了/ステータス	IRCN_IRQPL18:IRQPL72[4:0]	IRCN_IRQVA72	共通 IRQ
73	マルチファンクションシリアルインタフェース ch.4 送信完了	IRCN_IRQPL18:IRQPL73[4:0]	IRCN_IRQVA73	共通 IRQ
74~95	予約	-	-	-
96	コア間通信(IPCU) 割込み	IRCN_IRQPL24:IRQPL96[4:0]	IRCN_IRQVA96	個別 IRQ
97~109	予約	-	-	-
110	TCRAM Unit0, 1 RAM 診断割込み	IRCN_IRQPL27:IRQPL110[4:0]	IRCN_IRQVA110	個別 IRQ
111~116	予約	-	-	-
117	CR 補正割込み	IRCN_IRQPL29:IRQPL117[4:0]	IRCN_IRQVA117	共通 IRQ
118~127	予約	-	-	-
128	ベースタイマ ch.0 IRQ0/IRQ1	IRCN_IRQPL32:IRQPL128[4:0]	IRCN_IRQVA128	共通 IRQ
129	ベースタイマ ch.1 IRQ0/IRQ1	IRCN_IRQPL32:IRQPL129[4:0]	IRCN_IRQVA129	共通 IRQ
130	ベースタイマ ch.2 IRQ0/IRQ1	IRCN_IRQPL32:IRQPL130[4:0]	IRCN_IRQVA130	共通 IRQ
131	ベースタイマ ch.3 IRQ0/IRQ1	IRCN_IRQPL32:IRQPL131[4:0]	IRCN_IRQVA131	共通 IRQ
132	ベースタイマ ch.4 IRQ0/IRQ1	IRCN_IRQPL33:IRQPL132[4:0]	IRCN_IRQVA132	共通 IRQ
133	ベースタイマ ch.5 IRQ0/IRQ1	IRCN_IRQPL33:IRQPL133[4:0]	IRCN_IRQVA133	共通 IRQ
134	ベースタイマ ch.6 IRQ0/IRQ1	IRCN_IRQPL33:IRQPL134[4:0]	IRCN_IRQVA134	共通 IRQ
135	ベースタイマ ch.7 IRQ0/IRQ1	IRCN_IRQPL33:IRQPL135[4:0]	IRCN_IRQVA135	共通 IRQ
136	ベースタイマ ch.8 IRQ0/IRQ1	IRCN_IRQPL34:IRQPL136[4:0]	IRCN_IRQVA136	共通 IRQ
137	ベースタイマ ch.9 IRQ0/IRQ1	IRCN_IRQPL34:IRQPL137[4:0]	IRCN_IRQVA137	共通 IRQ
138	ベースタイマ ch.10 IRQ0/IRQ1	IRCN_IRQPL34:IRQPL138[4:0]	IRCN_IRQVA138	共通 IRQ
139	ベースタイマ ch.11 IRQ0/IRQ1	IRCN_IRQPL34:IRQPL139[4:0]	IRCN_IRQVA139	共通 IRQ
140~175	予約	-	-	-
176	32 ビットフリーランタイム ch.0 0 検出/コンペアクリア割込み	IRCN_IRQPL44:IRQPL176[4:0]	IRCN_IRQVA176	共通 IRQ
177	32 ビットフリーランタイム ch.1 0 検出/コンペアクリア割込み	IRCN_IRQPL44:IRQPL177[4:0]	IRCN_IRQVA177	共通 IRQ
178	32 ビットフリーランタイム ch.2 0 検出/コンペアクリア割込み	IRCN_IRQPL44:IRQPL178[4:0]	IRCN_IRQVA178	共通 IRQ
179	32 ビットフリーランタイム ch.3 0 検出/コンペアクリア割込み	IRCN_IRQPL44:IRQPL179[4:0]	IRCN_IRQVA179	共通 IRQ
180	32 ビットフリーランタイム ch.4 0 検出/コンペアクリア割込み	IRCN_IRQPL45:IRQPL180[4:0]	IRCN_IRQVA180	共通 IRQ
181~191	予約	-	-	-
192	32 ビットインプットキャプチャ ch.0, ch.1 取込み	IRCN_IRQPL48:IRQPL192[4:0]	IRCN_IRQVA192	共通 IRQ

IRQ 番号	IRQ 要因	優先順位レジスタ	ベクタアドレス レジスタ	IRQ 種別
193	32 ビットインプットキャプチャ ch.2, ch.3 取込み	IRCN_IRQPL48:IRQPL193[4:0]	IRCN_IRQVA193	共通 IRQ
194	32 ビットインプットキャプチャ ch.4, ch.5 取込み	IRCN_IRQPL48:IRQPL194[4:0]	IRCN_IRQVA194	共通 IRQ
195~271	予約	-	-	-
272	DMAC 転送エラー割込み	IRCN_IRQPL68:IRQPL272[4:0]	IRCN_IRQVA272	共通 IRQ
273	DMAC ch.0, ch.8 転送完了割込み	IRCN_IRQPL68:IRQPL273[4:0]	IRCN_IRQVA273	共通 IRQ
274	DMAC ch.1, ch.9 転送完了割込み	IRCN_IRQPL68:IRQPL274[4:0]	IRCN_IRQVA274	共通 IRQ
275	DMAC ch.2, ch.10 転送完了割込み	IRCN_IRQPL68:IRQPL275[4:0]	IRCN_IRQVA275	共通 IRQ
276	DMAC ch.3, ch.11 転送完了割込み	IRCN_IRQPL69:IRQPL276[4:0]	IRCN_IRQVA276	共通 IRQ
277	DMAC ch.4, ch.12 転送完了割込み	IRCN_IRQPL69:IRQPL277[4:0]	IRCN_IRQVA277	共通 IRQ
278	DMAC ch.5, ch.13 転送完了割込み	IRCN_IRQPL69:IRQPL278[4:0]	IRCN_IRQVA278	共通 IRQ
279	DMAC ch.6, ch.14 転送完了割込み	IRCN_IRQPL69:IRQPL279[4:0]	IRCN_IRQVA279	共通 IRQ
280	DMAC ch.7, ch.15 転送完了割込み	IRCN_IRQPL70:IRQPL280[4:0]	IRCN_IRQVA280	共通 IRQ
281~307	予約	-	-	-
308	高速 CR クロックタイマ割込み	IRCN_IRQPL77:IRQPL308[4:0]	IRCN_IRQVA308	共通 IRQ
309	低速 CR クロックタイマ割込み	IRCN_IRQPL77:IRQPL309[4:0]	IRCN_IRQVA309	共通 IRQ
310	メインクロックタイマ割込み	IRCN_IRQPL77:IRQPL310[4:0]	IRCN_IRQVA310	共通 IRQ
311	予約	-	-	-
312	PMU 割込み	IRCN_IRQPL78:IRQPL312[4:0]	IRCN_IRQVA312	個別 IRQ
313~319	予約	-	-	-
320	FlexRay0	IRCN_IRQPL80:IRQPL320[4:0]	IRCN_IRQVA320	共通 IRQ
321	FlexRay1	IRCN_IRQPL80:IRQPL321[4:0]	IRCN_IRQVA321	共通 IRQ
322	FlexRay タイマ 0	IRCN_IRQPL80:IRQPL322[4:0]	IRCN_IRQVA322	共通 IRQ
323	FlexRay タイマ 1	IRCN_IRQPL80:IRQPL323[4:0]	IRCN_IRQVA323	共通 IRQ
324	16 ビットフリーランタイム ch.0 0 検出/コンペアクリア割込み	IRCN_IRQPL81:IRQPL324[4:0]	IRCN_IRQVA324	共通 IRQ
325	16 ビットフリーランタイム ch.1 0 検出/コンペアクリア割込み	IRCN_IRQPL81:IRQPL325[4:0]	IRCN_IRQVA325	共通 IRQ
326	16 ビットフリーランタイム ch.2 0 検出/コンペアクリア割込み	IRCN_IRQPL81:IRQPL326[4:0]	IRCN_IRQVA326	共通 IRQ
327	16 ビットフリーランタイム ch.3 0 検出/コンペアクリア割込み	IRCN_IRQPL81:IRQPL327[4:0]	IRCN_IRQVA327	共通 IRQ
328	16 ビットフリーランタイム ch.4 0 検出/コンペアクリア割込み	IRCN_IRQPL82:IRQPL328[4:0]	IRCN_IRQVA328	共通 IRQ
329	16 ビットフリーランタイム ch.5 0 検出/コンペアクリア割込み	IRCN_IRQPL82:IRQPL329[4:0]	IRCN_IRQVA329	共通 IRQ
330	16 ビットフリーランタイム ch.6 0 検出/コンペアクリア割込み	IRCN_IRQPL82:IRQPL330[4:0]	IRCN_IRQVA330	共通 IRQ
331	16 ビットフリーランタイム ch.7 0 検出/コンペアクリア割込み	IRCN_IRQPL82:IRQPL331[4:0]	IRCN_IRQVA331	共通 IRQ
332	16 ビットフリーランタイム ch.8 0 検出/コンペアクリア割込み	IRCN_IRQPL83:IRQPL332[4:0]	IRCN_IRQVA332	共通 IRQ
333	16 ビットフリーランタイム ch.9 0 検出/コンペアクリア割込み	IRCN_IRQPL83:IRQPL333[4:0]	IRCN_IRQVA333	共通 IRQ
334	16 ビットフリーランタイム ch.10 0 検出/コンペアクリア割込み	IRCN_IRQPL83:IRQPL334[4:0]	IRCN_IRQVA334	共通 IRQ
335	16 ビットフリーランタイム ch.11 0 検出/コンペアクリア割込み	IRCN_IRQPL83:IRQPL335[4:0]	IRCN_IRQVA335	共通 IRQ
336	16 ビットフリーランタイム ch.12 0 検出/コンペアクリア割込み	IRCN_IRQPL84:IRQPL336[4:0]	IRCN_IRQVA336	共通 IRQ



IRQ 番号	IRQ 要因	優先順位レジスタ	ベクタアドレス レジスタ	IRQ 種別
337	16 ビットフリーランタイム ch.13 0 検出/コンペアクリア割込み	IRCN_IRQPL84:IRQPL337[4:0]	IRCN_IRQVA337	共通 IRQ
338	16 ビットフリーランタイム ch.14 0 検出/コンペアクリア割込み	IRCN_IRQPL84:IRQPL338[4:0]	IRCN_IRQVA338	共通 IRQ
339	16 ビットフリーランタイム ch.15 0 検出/コンペアクリア割込み	IRCN_IRQPL84:IRQPL339[4:0]	IRCN_IRQVA339	共通 IRQ
340	16 ビットフリーランタイム ch.16 0 検出/コンペアクリア割込み	IRCN_IRQPL85:IRQPL340[4:0]	IRCN_IRQVA340	共通 IRQ
341	16 ビットフリーランタイム ch.17 0 検出/コンペアクリア割込み	IRCN_IRQPL85:IRQPL341[4:0]	IRCN_IRQVA341	共通 IRQ
342	MVA0 角度演算終了割込み	IRCN_IRQPL85:IRQPL342[4:0]	IRCN_IRQVA342	共通 IRQ
343	MVA0 3 相電流正規化終了割込み	IRCN_IRQPL85:IRQPL343[4:0]	IRCN_IRQVA343	共通 IRQ
344	MVA0 3 相 2 相直流変換終了割込み	IRCN_IRQPL86:IRQPL344[4:0]	IRCN_IRQVA344	共通 IRQ
345	MVA0 PID 制御終了割込み	IRCN_IRQPL86:IRQPL345[4:0]	IRCN_IRQVA345	共通 IRQ
346	MVA0 電流/電圧変換終了割込み	IRCN_IRQPL86:IRQPL346[4:0]	IRCN_IRQVA346	共通 IRQ
347	MVA0 2 相 3 相交流変換終了割込み	IRCN_IRQPL86:IRQPL347[4:0]	IRCN_IRQVA347	共通 IRQ
348	MVA0 オーバフロー割込み	IRCN_IRQPL87:IRQPL348[4:0]	IRCN_IRQVA348	共通 IRQ
349	MVA0 アンダフロー割込み	IRCN_IRQPL87:IRQPL349[4:0]	IRCN_IRQVA349	共通 IRQ
350	MVA0 浮動小数点非正規化エラー割込み	IRCN_IRQPL87:IRQPL350[4:0]	IRCN_IRQVA350	共通 IRQ
351	MVA0 故障検出エラー割込み	IRCN_IRQPL87:IRQPL351[4:0]	IRCN_IRQVA351	共通 IRQ
352	MVA0 演算データ更新エラー割込み	IRCN_IRQPL88:IRQPL352[4:0]	IRCN_IRQVA352	共通 IRQ
353	MVA0 R/D コンバータ診断エラー割込み	IRCN_IRQPL88:IRQPL353[4:0]	IRCN_IRQVA353	共通 IRQ
354	MVA0 3 相電流総和異常検出エラー割込み	IRCN_IRQPL88:IRQPL354[4:0]	IRCN_IRQVA354	共通 IRQ
355	予約	-	-	-
356	MVA0 3 相 2 相直流電流値異常検出エラー割込み	IRCN_IRQPL89:IRQPL356[4:0]	IRCN_IRQVA356	共通 IRQ
357	MVA0 演算オーバタイムエラー割込み	IRCN_IRQPL89:IRQPL357[4:0]	IRCN_IRQVA357	共通 IRQ
358	MVA1 角度演算終了割込み	IRCN_IRQPL89:IRQPL358[4:0]	IRCN_IRQVA358	共通 IRQ
359	MVA1 3 相電流正規化終了割込み	IRCN_IRQPL89:IRQPL359[4:0]	IRCN_IRQVA359	共通 IRQ
360	MVA1 3 相 2 相直流変換終了割込み	IRCN_IRQPL90:IRQPL360[4:0]	IRCN_IRQVA360	共通 IRQ
361	MVA1 PID 制御終了割込み	IRCN_IRQPL90:IRQPL361[4:0]	IRCN_IRQVA361	共通 IRQ
362	MVA1 電流/電圧変換終了割込み	IRCN_IRQPL90:IRQPL362[4:0]	IRCN_IRQVA362	共通 IRQ
363	MVA1 2 相 3 相交流変換終了割込み	IRCN_IRQPL90:IRQPL363[4:0]	IRCN_IRQVA363	共通 IRQ
364	MVA1 オーバフロー割込み	IRCN_IRQPL91:IRQPL364[4:0]	IRCN_IRQVA364	共通 IRQ
365	MVA1 アンダフロー割込み	IRCN_IRQPL91:IRQPL365[4:0]	IRCN_IRQVA365	共通 IRQ
366	MVA1 浮動小数点非正規化エラー割込み	IRCN_IRQPL91:IRQPL366[4:0]	IRCN_IRQVA366	共通 IRQ
367	MVA1 故障検出エラー割込み	IRCN_IRQPL91:IRQPL367[4:0]	IRCN_IRQVA367	共通 IRQ
368	MVA1 演算データ更新エラー割込み	IRCN_IRQPL92:IRQPL368[4:0]	IRCN_IRQVA368	共通 IRQ
369	MVA1 R/D コンバータ診断エラー割込み	IRCN_IRQPL92:IRQPL369[4:0]	IRCN_IRQVA369	共通 IRQ
370	MVA1 3 相電流総和異常検出エラー割込み	IRCN_IRQPL92:IRQPL370[4:0]	IRCN_IRQVA370	共通 IRQ
371	予約	-	-	-
372	MVA1 3 相 2 相直流電流値異常検出エラー割込み	IRCN_IRQPL93:IRQPL372[4:0]	IRCN_IRQVA372	共通 IRQ
373	MVA1 演算オーバタイムエラー割込み	IRCN_IRQPL93:IRQPL373[4:0]	IRCN_IRQVA373	共通 IRQ
374	MVA0 フリーランタイム 0 検出/コンペアクリア割込み	IRCN_IRQPL93:IRQPL374[4:0]	IRCN_IRQVA374	共通 IRQ
375	MVA1 フリーランタイム 0 検出/コンペアクリア割込み	IRCN_IRQPL93:IRQPL375[4:0]	IRCN_IRQVA375	共通 IRQ
376	波形ジェネレータデッドタイムアンダフロー0	IRCN_IRQPL94:IRQPL376[4:0]	IRCN_IRQVA376	共通 IRQ
377	波形ジェネレータデッドタイムリロード 0	IRCN_IRQPL94:IRQPL377[4:0]	IRCN_IRQVA377	共通 IRQ
378	波形ジェネレータデッドタイムアンダフロー1	IRCN_IRQPL94:IRQPL378[4:0]	IRCN_IRQVA378	共通 IRQ
379	波形ジェネレータデッドタイムリロード 1	IRCN_IRQPL94:IRQPL379[4:0]	IRCN_IRQVA379	共通 IRQ
380	波形ジェネレータデッドタイムアンダフロー2	IRCN_IRQPL95:IRQPL380[4:0]	IRCN_IRQVA380	共通 IRQ

IRQ 番号	IRQ 要因	優先順位レジスタ	ベクタアドレス レジスタ	IRQ 種別
381	波形ジェネレータデッドタイマリロード 2	IRCN_IRQPL95:IRQPL381[4:0]	IRCN_IRQVA381	共通 IRQ
382	波形ジェネレータ DTTI0, 1, 2	IRCN_IRQPL95:IRQPL382[4:0]	IRCN_IRQVA382	共通 IRQ
383	波形ジェネレータデッドタイマアンドフロー 3	IRCN_IRQPL95:IRQPL383[4:0]	IRCN_IRQVA383	共通 IRQ
384	波形ジェネレータデッドタイマリロード 3	IRCN_IRQPL96:IRQPL384[4:0]	IRCN_IRQVA384	共通 IRQ
385	波形ジェネレータデッドタイマアンドフロー 4	IRCN_IRQPL96:IRQPL385[4:0]	IRCN_IRQVA385	共通 IRQ
386	波形ジェネレータデッドタイマリロード 4	IRCN_IRQPL96:IRQPL386[4:0]	IRCN_IRQVA386	共通 IRQ
387	波形ジェネレータデッドタイマアンドフロー 5	IRCN_IRQPL96:IRQPL387[4:0]	IRCN_IRQVA387	共通 IRQ
388	波形ジェネレータデッドタイマリロード 5	IRCN_IRQPL97:IRQPL388[4:0]	IRCN_IRQVA388	共通 IRQ
389	波形ジェネレータ DTTI3, 4, 5	IRCN_IRQPL97:IRQPL389[4:0]	IRCN_IRQVA389	共通 IRQ
390	波形ジェネレータデッドタイマアンドフロー 6	IRCN_IRQPL97:IRQPL390[4:0]	IRCN_IRQVA390	共通 IRQ
391	波形ジェネレータデッドタイマリロード 6	IRCN_IRQPL97:IRQPL391[4:0]	IRCN_IRQVA391	共通 IRQ
392	波形ジェネレータデッドタイマアンドフロー 7	IRCN_IRQPL98:IRQPL392[4:0]	IRCN_IRQVA392	共通 IRQ
393	波形ジェネレータデッドタイマリロード 7	IRCN_IRQPL98:IRQPL393[4:0]	IRCN_IRQVA393	共通 IRQ
394	波形ジェネレータデッドタイマアンドフロー 8	IRCN_IRQPL98:IRQPL394[4:0]	IRCN_IRQVA394	共通 IRQ
395	波形ジェネレータデッドタイマリロード 8	IRCN_IRQPL98:IRQPL395[4:0]	IRCN_IRQVA395	共通 IRQ
396	波形ジェネレータ DTTI6, 7, 8	IRCN_IRQPL99:IRQPL396[4:0]	IRCN_IRQVA396	共通 IRQ
397	波形ジェネレータデッドタイマアンドフロー 9	IRCN_IRQPL99:IRQPL397[4:0]	IRCN_IRQVA397	共通 IRQ
398	波形ジェネレータデッドタイマリロード 9	IRCN_IRQPL99:IRQPL398[4:0]	IRCN_IRQVA398	共通 IRQ
399	波形ジェネレータデッドタイマアンドフロー 10	IRCN_IRQPL99:IRQPL399[4:0]	IRCN_IRQVA399	共通 IRQ
400	波形ジェネレータデッドタイマリロード 10	IRCN_IRQPL100:IRQPL400[4:0]	IRCN_IRQVA400	共通 IRQ
401	波形ジェネレータデッドタイマアンドフロー 11	IRCN_IRQPL100:IRQPL401[4:0]	IRCN_IRQVA401	共通 IRQ
402	波形ジェネレータデッドタイマリロード 11	IRCN_IRQPL100:IRQPL402[4:0]	IRCN_IRQVA402	共通 IRQ
403	波形ジェネレータ DTTI9, 10, 11	IRCN_IRQPL100:IRQPL403[4:0]	IRCN_IRQVA403	共通 IRQ
404	16 ビットアウトプットコンペア ch.0, ch.1 コンペア一致	IRCN_IRQPL101:IRQPL404[4:0]	IRCN_IRQVA404	共通 IRQ
405	16 ビットアウトプットコンペア ch.2, ch.3 コンペア一致	IRCN_IRQPL101:IRQPL405[4:0]	IRCN_IRQVA405	共通 IRQ
406	16 ビットアウトプットコンペア ch.4, ch.5 コンペア一致	IRCN_IRQPL101:IRQPL406[4:0]	IRCN_IRQVA406	共通 IRQ
407	16 ビットアウトプットコンペア ch.6, ch.7 コンペア一致	IRCN_IRQPL101:IRQPL407[4:0]	IRCN_IRQVA407	共通 IRQ
408	16 ビットアウトプットコンペア ch.8, ch.9 コンペア一致	IRCN_IRQPL102:IRQPL408[4:0]	IRCN_IRQVA408	共通 IRQ
409	16 ビットアウトプットコンペア ch.10, ch.11 コンペア一致	IRCN_IRQPL102:IRQPL409[4:0]	IRCN_IRQVA409	共通 IRQ
410	16 ビットアウトプットコンペア ch.12, ch.13 コンペア一致	IRCN_IRQPL102:IRQPL410[4:0]	IRCN_IRQVA410	共通 IRQ
411	16 ビットアウトプットコンペア ch.14, ch.15 コンペア一致	IRCN_IRQPL102:IRQPL411[4:0]	IRCN_IRQVA411	共通 IRQ
412	16 ビットアウトプットコンペア ch.16, ch.17 コンペア一致	IRCN_IRQPL103:IRQPL412[4:0]	IRCN_IRQVA412	共通 IRQ
413	16 ビットアウトプットコンペア ch.18, ch.19 コンペア一致	IRCN_IRQPL103:IRQPL413[4:0]	IRCN_IRQVA413	共通 IRQ
414	16 ビットアウトプットコンペア ch.20, ch.21 コンペア一致	IRCN_IRQPL103:IRQPL414[4:0]	IRCN_IRQVA414	共通 IRQ
415	16 ビットアウトプットコンペア ch.22, ch.23 コンペア一致	IRCN_IRQPL103:IRQPL415[4:0]	IRCN_IRQVA415	共通 IRQ
416	アップダウンカウンタ Unit0 割込み	IRCN_IRQPL104:IRQPL416[4:0]	IRCN_IRQVA416	共通 IRQ
417	アップダウンカウンタ Unit0 比較結果一致検出 0	IRCN_IRQPL104:IRQPL417[4:0]	IRCN_IRQVA417	共通 IRQ



IRQ 番号	IRQ 要因	優先順位レジスタ	ベクタアドレス レジスタ	IRQ 種別
418	アップダウンカウンタ Unit0 比較結果一致検出 1	IRCN_IRQPL104:IRQPL418[4:0]	IRCN_IRQVA418	共通 IRQ
419	アップダウンカウンタ Unit0 比較結果一致検出 2	IRCN_IRQPL104:IRQPL419[4:0]	IRCN_IRQVA419	共通 IRQ
420	アップダウンカウンタ Unit0 比較結果一致検出 3	IRCN_IRQPL105:IRQPL420[4:0]	IRCN_IRQVA420	共通 IRQ
421	アップダウンカウンタ Unit0 比較結果一致検出 4	IRCN_IRQPL105:IRQPL421[4:0]	IRCN_IRQVA421	共通 IRQ
422	アップダウンカウンタ Unit0 比較結果一致検出 5	IRCN_IRQPL105:IRQPL422[4:0]	IRCN_IRQVA422	共通 IRQ
423	アップダウンカウンタ Unit1 割込み	IRCN_IRQPL105:IRQPL423[4:0]	IRCN_IRQVA423	共通 IRQ
424	アップダウンカウンタ Unit1 比較結果一致検出 0	IRCN_IRQPL106:IRQPL424[4:0]	IRCN_IRQVA424	共通 IRQ
425	アップダウンカウンタ Unit1 比較結果一致検出 1	IRCN_IRQPL106:IRQPL425[4:0]	IRCN_IRQVA425	共通 IRQ
426	アップダウンカウンタ Unit1 比較結果一致検出 2	IRCN_IRQPL106:IRQPL426[4:0]	IRCN_IRQVA426	共通 IRQ
427	アップダウンカウンタ Unit1 比較結果一致検出 3	IRCN_IRQPL106:IRQPL427[4:0]	IRCN_IRQVA427	共通 IRQ
428	アップダウンカウンタ Unit1 比較結果一致検出 4	IRCN_IRQPL107:IRQPL428[4:0]	IRCN_IRQVA428	共通 IRQ
429	アップダウンカウンタ Unit1 比較結果一致検出 5	IRCN_IRQPL107:IRQPL429[4:0]	IRCN_IRQVA429	共通 IRQ
430	アップダウンカウンタ Unit2 割込み	IRCN_IRQPL107:IRQPL430[4:0]	IRCN_IRQVA430	共通 IRQ
431	アップダウンカウンタ Unit2 比較結果一致検出 0	IRCN_IRQPL107:IRQPL431[4:0]	IRCN_IRQVA431	共通 IRQ
432	アップダウンカウンタ Unit2 比較結果一致検出 1	IRCN_IRQPL108:IRQPL432[4:0]	IRCN_IRQVA432	共通 IRQ
433	アップダウンカウンタ Unit2 比較結果一致検出 2	IRCN_IRQPL108:IRQPL433[4:0]	IRCN_IRQVA433	共通 IRQ
434	アップダウンカウンタ Unit2 比較結果一致検出 3	IRCN_IRQPL108:IRQPL434[4:0]	IRCN_IRQVA434	共通 IRQ
435	アップダウンカウンタ Unit2 比較結果一致検出 4	IRCN_IRQPL108:IRQPL435[4:0]	IRCN_IRQVA435	共通 IRQ
436	アップダウンカウンタ Unit2 比較結果一致検出 5	IRCN_IRQPL109:IRQPL436[4:0]	IRCN_IRQVA436	共通 IRQ
437	アップダウンカウンタ Unit3 割込み	IRCN_IRQPL109:IRQPL437[4:0]	IRCN_IRQVA437	共通 IRQ
438	アップダウンカウンタ Unit3 比較結果一致検出 0	IRCN_IRQPL109:IRQPL438[4:0]	IRCN_IRQVA438	共通 IRQ
439	アップダウンカウンタ Unit3 比較結果一致検出 1	IRCN_IRQPL109:IRQPL439[4:0]	IRCN_IRQVA439	共通 IRQ
440	アップダウンカウンタ Unit3 比較結果一致検出 2	IRCN_IRQPL110:IRQPL440[4:0]	IRCN_IRQVA440	共通 IRQ
441	アップダウンカウンタ Unit3 比較結果一致検出 3	IRCN_IRQPL110:IRQPL441[4:0]	IRCN_IRQVA441	共通 IRQ
442	アップダウンカウンタ Unit3 比較結果一致検出 4	IRCN_IRQPL110:IRQPL442[4:0]	IRCN_IRQVA442	共通 IRQ
443	アップダウンカウンタ Unit3 比較結果一致検出 5	IRCN_IRQPL110:IRQPL443[4:0]	IRCN_IRQVA443	共通 IRQ
444	4ch A/D コンバータ Unit0 変換終了 0	IRCN_IRQPL111:IRQPL444[4:0]	IRCN_IRQVA444	共通 IRQ
445	4ch A/D コンバータ Unit0 変換終了 1	IRCN_IRQPL111:IRQPL445[4:0]	IRCN_IRQVA445	共通 IRQ
446	4ch A/D コンバータ Unit0 変換終了 2	IRCN_IRQPL111:IRQPL446[4:0]	IRCN_IRQVA446	共通 IRQ
447	4ch A/D コンバータ Unit0 変換終了 3	IRCN_IRQPL111:IRQPL447[4:0]	IRCN_IRQVA447	共通 IRQ
448	4ch A/D コンバータ Unit0 変換終了 4	IRCN_IRQPL112:IRQPL448[4:0]	IRCN_IRQVA448	共通 IRQ
449	4ch A/D コンバータ Unit0 変換終了 5	IRCN_IRQPL112:IRQPL449[4:0]	IRCN_IRQVA449	共通 IRQ
450	4ch A/D コンバータ Unit0 変換終了 6	IRCN_IRQPL112:IRQPL450[4:0]	IRCN_IRQVA450	共通 IRQ
451	4ch A/D コンバータ Unit0 変換終了 7	IRCN_IRQPL112:IRQPL451[4:0]	IRCN_IRQVA451	共通 IRQ
452	4ch A/D コンバータ Unit0 レンジ比較 0/1/2/3/4/5/6/7	IRCN_IRQPL113:IRQPL452[4:0]	IRCN_IRQVA452	共通 IRQ
453	4ch A/D コンバータ Unit1 変換終了 0	IRCN_IRQPL113:IRQPL453[4:0]	IRCN_IRQVA453	共通 IRQ
454	4ch A/D コンバータ Unit1 変換終了 1	IRCN_IRQPL113:IRQPL454[4:0]	IRCN_IRQVA454	共通 IRQ
455	4ch A/D コンバータ Unit1 変換終了 2	IRCN_IRQPL113:IRQPL455[4:0]	IRCN_IRQVA455	共通 IRQ
456	4ch A/D コンバータ Unit1 変換終了 3	IRCN_IRQPL114:IRQPL456[4:0]	IRCN_IRQVA456	共通 IRQ
457	4ch A/D コンバータ Unit1 変換終了 4	IRCN_IRQPL114:IRQPL457[4:0]	IRCN_IRQVA457	共通 IRQ
458	4ch A/D コンバータ Unit1 変換終了 5	IRCN_IRQPL114:IRQPL458[4:0]	IRCN_IRQVA458	共通 IRQ
459	4ch A/D コンバータ Unit1 変換終了 6	IRCN_IRQPL114:IRQPL459[4:0]	IRCN_IRQVA459	共通 IRQ
460	4ch A/D コンバータ Unit1 変換終了 7	IRCN_IRQPL115:IRQPL460[4:0]	IRCN_IRQVA460	共通 IRQ
461	4ch A/D コンバータ Unit1 レンジ比較 0/1/2/3/4/5/6/7	IRCN_IRQPL115:IRQPL461[4:0]	IRCN_IRQVA461	共通 IRQ
462	16 ビットインプットキャプチャ ch.0, ch.1 取込み	IRCN_IRQPL115:IRQPL462[4:0]	IRCN_IRQVA462	共通 IRQ
463	16 ビットインプットキャプチャ ch.2, ch.3 取込み	IRCN_IRQPL115:IRQPL463[4:0]	IRCN_IRQVA463	共通 IRQ
464	16 ビットインプットキャプチャ ch.4, ch.5 取込み	IRCN_IRQPL116:IRQPL464[4:0]	IRCN_IRQVA464	共通 IRQ
465	16 ビットインプットキャプチャ ch.6, ch.7 取込み	IRCN_IRQPL116:IRQPL465[4:0]	IRCN_IRQVA465	共通 IRQ
466	16 ビットインプットキャプチャ ch.8, ch.9 取込み	IRCN_IRQPL116:IRQPL466[4:0]	IRCN_IRQVA466	共通 IRQ

IRQ 番号	IRQ 要因	優先順位レジスタ	ベクタアドレス レジスタ	IRQ 種別
467	16 ビットインプットキャプチャ ch.10, ch.11 取込み	IRCN_IRQPL116:IRQPL467[4:0]	IRCN_IRQVA467	共通 IRQ
468	16 ビットインプットキャプチャ ch.12, ch.13 取込み	IRCN_IRQPL117:IRQPL468[4:0]	IRCN_IRQVA468	共通 IRQ
469	16 ビットインプットキャプチャ ch.14 取込み	IRCN_IRQPL117:IRQPL469[4:0]	IRCN_IRQVA469	共通 IRQ
470	12 ビット ADC 変換終了 0	IRCN_IRQPL117:IRQPL470[4:0]	IRCN_IRQVA470	共通 IRQ
471	12 ビット ADC 変換終了 1	IRCN_IRQPL117:IRQPL471[4:0]	IRCN_IRQVA471	共通 IRQ
472	12 ビット ADC 変換終了 2	IRCN_IRQPL118:IRQPL472[4:0]	IRCN_IRQVA472	共通 IRQ
473	12 ビット ADC 変換終了 3	IRCN_IRQPL118:IRQPL473[4:0]	IRCN_IRQVA473	共通 IRQ
474	12 ビット ADC 変換終了 4	IRCN_IRQPL118:IRQPL474[4:0]	IRCN_IRQVA474	共通 IRQ
475	12 ビット ADC 変換終了 5	IRCN_IRQPL118:IRQPL475[4:0]	IRCN_IRQVA475	共通 IRQ
476	12 ビット ADC 変換終了 6	IRCN_IRQPL119:IRQPL476[4:0]	IRCN_IRQVA476	共通 IRQ
477	12 ビット ADC 変換終了 7	IRCN_IRQPL119:IRQPL477[4:0]	IRCN_IRQVA477	共通 IRQ
478	12 ビット ADC 変換終了 8	IRCN_IRQPL119:IRQPL478[4:0]	IRCN_IRQVA478	共通 IRQ
479	12 ビット ADC 変換終了 9	IRCN_IRQPL119:IRQPL479[4:0]	IRCN_IRQVA479	共通 IRQ
480	12 ビット ADC 変換終了 10	IRCN_IRQPL120:IRQPL480[4:0]	IRCN_IRQVA480	共通 IRQ
481	12 ビット ADC 変換終了 11	IRCN_IRQPL120:IRQPL481[4:0]	IRCN_IRQVA481	共通 IRQ
482	12 ビット ADC 変換終了 12	IRCN_IRQPL120:IRQPL482[4:0]	IRCN_IRQVA482	共通 IRQ
483	12 ビット ADC 変換終了 13	IRCN_IRQPL120:IRQPL483[4:0]	IRCN_IRQVA483	共通 IRQ
484	12 ビット ADC 変換終了 14	IRCN_IRQPL121:IRQPL484[4:0]	IRCN_IRQVA484	共通 IRQ
485	12 ビット ADC 変換終了 15	IRCN_IRQPL121:IRQPL485[4:0]	IRCN_IRQVA485	共通 IRQ
486	12 ビット ADC 変換終了 16	IRCN_IRQPL121:IRQPL486[4:0]	IRCN_IRQVA486	共通 IRQ
487	12 ビット ADC 変換終了 17	IRCN_IRQPL121:IRQPL487[4:0]	IRCN_IRQVA487	共通 IRQ
488	12 ビット ADC 変換終了 18	IRCN_IRQPL122:IRQPL488[4:0]	IRCN_IRQVA488	共通 IRQ
489	12 ビット ADC 変換終了 19	IRCN_IRQPL122:IRQPL489[4:0]	IRCN_IRQVA489	共通 IRQ
490	12 ビット ADC 変換終了 20	IRCN_IRQPL122:IRQPL490[4:0]	IRCN_IRQVA490	共通 IRQ
491	12 ビット ADC 変換終了 21	IRCN_IRQPL122:IRQPL491[4:0]	IRCN_IRQVA491	共通 IRQ
492	12 ビット ADC 変換終了 22	IRCN_IRQPL123:IRQPL492[4:0]	IRCN_IRQVA492	共通 IRQ
493	12 ビット ADC 変換終了 23	IRCN_IRQPL123:IRQPL493[4:0]	IRCN_IRQVA493	共通 IRQ
494	12 ビット ADC 変換終了 24	IRCN_IRQPL123:IRQPL494[4:0]	IRCN_IRQVA494	共通 IRQ
495	12 ビット ADC 変換終了 25	IRCN_IRQPL123:IRQPL495[4:0]	IRCN_IRQVA495	共通 IRQ
496	12 ビット ADC 変換終了 26	IRCN_IRQPL124:IRQPL496[4:0]	IRCN_IRQVA496	共通 IRQ
497	12 ビット ADC 変換終了 27	IRCN_IRQPL124:IRQPL497[4:0]	IRCN_IRQVA497	共通 IRQ
498	12 ビット ADC 変換終了 28	IRCN_IRQPL124:IRQPL498[4:0]	IRCN_IRQVA498	共通 IRQ
499	12 ビット ADC 変換終了 29	IRCN_IRQPL124:IRQPL499[4:0]	IRCN_IRQVA499	共通 IRQ
500	12 ビット ADC 変換終了 30	IRCN_IRQPL125:IRQPL500[4:0]	IRCN_IRQVA500	共通 IRQ
501	12 ビット ADC 変換終了 31	IRCN_IRQPL125:IRQPL501[4:0]	IRCN_IRQVA501	共通 IRQ
502	12 ビット ADC レンジ比較 0/1/2/3/4/5/6/7	IRCN_IRQPL125:IRQPL502[4:0]	IRCN_IRQVA502	共通 IRQ
503	12 ビット ADC レンジ比較 8/9/10/11/12/13/14/15	IRCN_IRQPL125:IRQPL503[4:0]	IRCN_IRQVA503	共通 IRQ
504	12 ビット ADC レンジ比較 16/17/18/19/20/21/22/23	IRCN_IRQPL126:IRQPL504[4:0]	IRCN_IRQVA504	共通 IRQ
505	12 ビット ADC レンジ比較 24/25/26/27/28/29/30/31	IRCN_IRQPL126:IRQPL505[4:0]	IRCN_IRQVA505	共通 IRQ
506	12 ビット ADC スキャン変換完了	IRCN_IRQPL126:IRQPL506[4:0]	IRCN_IRQVA506	共通 IRQ
507	FlexRay 用 PLL ギア	IRCN_IRQPL126:IRQPL507[4:0]	IRCN_IRQVA507	共通 IRQ
508	FlexRay 用 PLL アラーム	IRCN_IRQPL127:IRQPL508[4:0]	IRCN_IRQVA508	共通 IRQ
509~511	予約	-	-	-

3.2. NMI 要因一覧

NMI 要因一覧を表に示します。

NMI 要因には個別の CPU を対象にするものとすべての CPU を対象にするものがあります。ここでは、前者を個別 NMI、後者は共通 NMI とよびます。

以下に NMI 要因一覧表を示します。

表 3-2 NMI 要因一覧表

NMI 番号	NMI 要因	優先順位レジスタ	ベクタアドレスレジスタ	NMI 種別
0	NMIX 端子	IRCN_NMIPL0:NMIPL0[4:0]	IRCN_NMIVA0	共通 NMI
1~3	予約	-	-	-
4	低電圧検出	IRCN_NMIPL1:NMIPL4[4:0]	IRCN_NMIVA4	共通 NMI
5	クロックスーパーバイザ、プロファイル	IRCN_NMIPL1:NMIPL5[4:0]	IRCN_NMIVA5	共通 NMI
6	ハードウェアウォッチドッグ	IRCN_NMIPL1:NMIPL6[4:0]	IRCN_NMIVA6	共通 NMI
7	ソフトウェアウォッチドッグ Unit0, 1	IRCN_NMIPL1:NMIPL7[4:0]	IRCN_NMIVA7	個別 NMI
8	割込みコントローラ Unit0, 1 ECC 2 ビットエラー検出	IRCN_NMIPL2:NMIPL8[4:0]	IRCN_NMIVA8	個別 NMI
9	CPU Livelock	IRCN_NMIPL2:NMIPL9[4:0]	IRCN_NMIVA9	個別 NMI
10~12	予約	-	-	-
13	メモリ保護(MPU) 保護違反割込み	IRCN_NMIPL3:NMIPL13[4:0]	IRCN_NMIVA13	共通 NMI
14~17	予約	-	-	-
18	時間保護(TPU) Unit0, 1 保護違反割込み	IRCN_NMIPL4:NMIPL18[4:0]	IRCN_NMIVA18	個別 NMI
19~23	予約	-	-	-
24	R/D コンバータ ch.0 異常	IRCN_NMIPL6:NMIPL24[4:0]	IRCN_NMIVA24	共通 NMI
25	R/D コンバータ ch.1 異常	IRCN_NMIPL6:NMIPL25[4:0]	IRCN_NMIVA25	共通 NMI
26~31	予約	-	-	-

(n=0, 1)

3.3. DMA 起動要因一覧

DMA 起動要因一覧を表に示します。

以下に DMA 起動要因一覧表を示します。

表 3-3 DMA 起動要因一覧表

DMA クライアント番号	DMA 起動要因
0～7	予約
8	WorkFLASH0 DMA 転送要求
9	WorkFLASH1 DMA 転送要求
10	外部割込み ch.4
11	外部割込み ch.5
12	外部割込み ch.6
13	外部割込み ch.7
14	マルチファンクションシリアルインタフェース ch.0 受信完了
15	マルチファンクションシリアルインタフェース ch.0 送信完了
16	マルチファンクションシリアルインタフェース ch.3 受信完了
17	マルチファンクションシリアルインタフェース ch.3 送信完了
18	マルチファンクションシリアルインタフェース ch.4 受信完了
19	マルチファンクションシリアルインタフェース ch.4 送信完了
20	ベースタイマ ch.4 IRQ0
21	ベースタイマ ch.4 IRQ1
22	ベースタイマ ch.5 IRQ0
23	ベースタイマ ch.5 IRQ1
24	ベースタイマ ch.8 IRQ0
25	ベースタイマ ch.8 IRQ1
26	ベースタイマ ch.9 IRQ0
27	ベースタイマ ch.9 IRQ1
28	ベースタイマ ch.10 IRQ0
29	ベースタイマ ch.10 IRQ1
30	ベースタイマ ch.11 IRQ0
31	ベースタイマ ch.11 IRQ1
32	32 ビットフリーランタイム ch.0 コンペアクリア割込み
33	32 ビットフリーランタイム ch.0 0 検出割込み
34	32 ビットフリーランタイム ch.1 コンペアクリア割込み
35	32 ビットフリーランタイム ch.1 0 検出割込み
36	32 ビットインプットキャプチャ ch.0 取込み
37	32 ビットインプットキャプチャ ch.1 取込み
38	32 ビットインプットキャプチャ ch.2 取込み
39	FlexRay アウトプットバッファ DMA 転送要求
40	FlexRay インプットバッファホスト DMA 転送要求
41	16 ビットフリーランタイム ch.0 コンペアクリア割込み
42	16 ビットフリーランタイム ch.0 0 検出割込み
43	16 ビットフリーランタイム ch.1 コンペアクリア割込み
44	16 ビットフリーランタイム ch.1 0 検出割込み
45	16 ビットフリーランタイム ch.2 コンペアクリア割込み
46	16 ビットフリーランタイム ch.2 0 検出割込み
47	16 ビットフリーランタイム ch.6 コンペアクリア割込み
48	16 ビットフリーランタイム ch.6 0 検出割込み

DMA クライアント番号	DMA 起動要因
49	16 ビットフリーランタイム ch.7 コンペアクリア割込み
50	16 ビットフリーランタイム ch.7 0 検出割込み
51	16 ビットフリーランタイム ch.8 コンペアクリア割込み
52	16 ビットフリーランタイム ch.8 0 検出割込み
53	16 ビットフリーランタイム ch.12 コンペアクリア割込み
54	16 ビットフリーランタイム ch.12 0 検出割込み
55	16 ビットフリーランタイム ch.13 コンペアクリア割込み
56	16 ビットフリーランタイム ch.13 0 検出割込み
57	16 ビットフリーランタイム ch.14 コンペアクリア割込み
58	16 ビットフリーランタイム ch.14 0 検出割込み
59	MVA0 角度演算終了割込み
60	MVA0 3 相電流正規化終了割込み
61	MVA0 3 相 2 相直流変換終了割込み
62	MVA0 PID 制御終了割込み
63	MVA0 電流/電圧変換終了割込み
64	MVA0 2 相 3 相交流変換終了割込み
65	MVA0 フリーランタイム コンペアクリア割込み
66	MVA1 角度演算終了割込み
67	MVA1 3 相電流正規化終了割込み
68	MVA1 3 相 2 相直流変換終了割込み
69	MVA1 PID 制御終了割込み
70	MVA1 電流/電圧変換終了割込み
71	MVA1 2 相 3 相交流変換終了割込み
72	MVA1 フリーランタイム コンペアクリア割込み
73	波形ジェネレータ DTTI0, 1, 2
74	波形ジェネレータ DTTI3, 4, 5
75	波形ジェネレータデッドタイムアンダフロー6
76	波形ジェネレータデッドタイムリロード 6
77	波形ジェネレータデッドタイムアンダフロー7
78	波形ジェネレータデッドタイムリロード 7
79	波形ジェネレータデッドタイムアンダフロー8
80	波形ジェネレータデッドタイムリロード 8
81	波形ジェネレータ DTTI6, 7, 8
82	波形ジェネレータ DTTI9, 10, 11
83	16 ビットアウトプットコンペア ch.0 コンペア一致
84	16 ビットアウトプットコンペア ch.1 コンペア一致
85	16 ビットアウトプットコンペア ch.2 コンペア一致
86	16 ビットアウトプットコンペア ch.3 コンペア一致
87	16 ビットアウトプットコンペア ch.4 コンペア一致
88	16 ビットアウトプットコンペア ch.5 コンペア一致
89	16 ビットアウトプットコンペア ch.6 コンペア一致
90	16 ビットアウトプットコンペア ch.7 コンペア一致
91	16 ビットアウトプットコンペア ch.8 コンペア一致
92	16 ビットアウトプットコンペア ch.9 コンペア一致
93	16 ビットアウトプットコンペア ch.10 コンペア一致
94	16 ビットアウトプットコンペア ch.11 コンペア一致
95	16 ビットアウトプットコンペア ch.12 コンペア一致
96	16 ビットアウトプットコンペア ch.13 コンペア一致
97	16 ビットアウトプットコンペア ch.14 コンペア一致

DMA クライアント番号	DMA 起動要因
98	16 ビットアウトプットコンペア ch.15 コンペア一致
99	16 ビットアウトプットコンペア ch.16 コンペア一致
100	16 ビットアウトプットコンペア ch.17 コンペア一致
101	アップダウンカウンタ Unit0 比較結果一致検出 0
102	アップダウンカウンタ Unit0 比較結果一致検出 1
103	アップダウンカウンタ Unit0 比較結果一致検出 2
104	アップダウンカウンタ Unit1 比較結果一致検出 0
105	アップダウンカウンタ Unit1 比較結果一致検出 1
106	アップダウンカウンタ Unit1 比較結果一致検出 2
107	アップダウンカウンタ Unit1 比較結果一致検出 3
108	アップダウンカウンタ Unit1 比較結果一致検出 4
109	アップダウンカウンタ Unit1 比較結果一致検出 5
110	アップダウンカウンタ Unit3 比較結果一致検出 0
111	アップダウンカウンタ Unit3 比較結果一致検出 1
112	アップダウンカウンタ Unit3 比較結果一致検出 2
113	アップダウンカウンタ Unit3 比較結果一致検出 3
114	アップダウンカウンタ Unit3 比較結果一致検出 4
115	アップダウンカウンタ Unit3 比較結果一致検出 5
116	4ch A/D コンバータ Unit0 変換終了 0
117	4ch A/D コンバータ Unit0 変換終了 4
118	4ch A/D コンバータ Unit1 変換終了 0
119	4ch A/D コンバータ Unit1 変換終了 4
120	16 ビットインプットキャプチャ ch.6 取込み
121	16 ビットインプットキャプチャ ch.7 取込み
122	16 ビットインプットキャプチャ ch.8 取込み
123	16 ビットインプットキャプチャ ch.9 取込み
124	16 ビットインプットキャプチャ ch.10 取込み
125	16 ビットインプットキャプチャ ch.11 取込み
126	16 ビットインプットキャプチャ ch.12 取込み
127	12 ビット ADC 変換終了 0
128	12 ビット ADC 変換終了 1
129	12 ビット ADC 変換終了 2
130	12 ビット ADC 変換終了 3
131	12 ビット ADC 変換終了 4
132	12 ビット ADC 変換終了 5
133	12 ビット ADC 変換終了 6
134	12 ビット ADC 変換終了 7
135	12 ビット ADC 変換終了 8
136	12 ビット ADC 変換終了 9
137	12 ビット ADC 変換終了 10
138	12 ビット ADC 変換終了 11
139	12 ビット ADC 変換終了 12
140	12 ビット ADC 変換終了 13
141	12 ビット ADC 変換終了 14
142	12 ビット ADC 変換終了 15

＜注意事項＞

- 転送要求に使用した割込み要求は, CPU への割込み要求としても見えますので割込みコントローラの設定を割込み禁止に設定してください。



4. バスマスタのアクセス制限

各バスマスタから各スレーブモジュールへのアクセス制限について、以下に示します。

スレーブモジュール	バスマスタ		
	CPU0	CPU1	DMAC
CPU0	○	○	○
CPU1	○	○	○
TCFLASH0(AXI)	○	○	○
TCFLASH1(AXI)	○	○	○
EAM	○	○	○
SYSC	○	○*	×
MODEC	○	○	×
HW-WDT	○	×(2CPU モード) ○(1CPU1 モード)	×
SW-WDT0	○	×	×
SW-WDT1	×	○	×
EXT-IRC	○	○	○
WorkFLASH0(Memory)	○	○	○
WorkFLASH0(I/O)	○	○	○
WorkFLASH1(Memory)	○	○	○
WorkFLASH1(I/O)	○	○	○
BootROM(Memory)	○	○	○
BootROM(I/O)	○	○	○
TPU0	○	×	○
TPU1	×	○	○
IRC0	○	×	○
IRC1	×	○	○
NMI Distributor	○	○	○
IPCU	○	○	○
TCFLASH0(I/O)	○	×	○
TCRAM0(I/O)	○	×	○
TCFLASH1(I/O)	×	○	○
TCRAM1(I/O)	×	○	○
DMAC	○	○	×
MPU	○	○	×
CR Calibration	○	○	○
CAN Prescaler	○	○	○
CAN	○	○	○
CRC	○	○	○
GPIO	○	○	○
PPC	○	○	○
RIC	○	○	○
MFS	○	○	○
BASE TIMER	○	○	○
32bitFRT	○	○	○
32bitICU	○	○	○
Application Specific Peripheral Group A	○	○	○
Application Specific Peripheral Group B	○	○	○

○ : アクセス可能, × : アクセス不可能

* : 2CPU モード時、一部のビットは CPU1 からのアクセスが可能です。

5. 低消費電力モード

MB9D560 シリーズの低消費電力モードの設定方法を示します。

低消費電力モードの設定方法

カテゴリ	設定項目	PSS 設定	ストップモード	時計モード
クロック許可	PERI0 クロック発振許可	プログラマブル	発振禁止	発振禁止
	PERI1 クロック発振許可	プログラマブル	発振禁止	発振禁止
	PERI4 クロック発振許可	プログラマブル	発振禁止	発振禁止
	PERI5 クロック発振許可	プログラマブル	発振禁止	発振禁止
	PERI6 クロック発振許可	プログラマブル	発振禁止	発振禁止
	PERI7 クロック発振許可	プログラマブル	発振禁止	発振禁止
	SYSCPD1 クロック発振許可	プログラマブル	発振禁止	発振禁止
	MEMC クロック発振許可	プログラマブル	発振禁止	発振禁止
	DMA クロック発振許可	プログラマブル	発振禁止	発振禁止
	HPMPD2 クロック発振許可	プログラマブル	発振禁止	発振禁止
	TRC クロック発振許可	プログラマブル	発振禁止	発振禁止
	ATB クロック発振許可	プログラマブル	発振禁止	発振禁止
	DBG クロック発振許可	プログラマブル	発振禁止	発振禁止
ソースクロック発振	低速 CR	プログラマブル	発振禁止	発振禁止
	高速 CR	プログラマブル	発振禁止	発振禁止
	メイン発振	プログラマブル	発振禁止	発振許可
	PLL	プログラマブル	発振禁止	発振禁止
クロック選択	クロックドメイン 0 クロック選択	プログラマブル	"L"固定	"L"固定

MB9D560 シリーズでサポートしている低消費電力モードはストップモードと時計モードのみです。



6. 主な変更内容

ページ	場所	変更箇所
Revision 4.1		
-	-	Initial release

MN708-00002-4v1-J

Spansion • Controller Manual

MB9D560 シリーズ
32 ビット・マイクロコントローラ
Spansion® Traveo™ ファミリ
MB9DF564/F565/F566
Hardware Manual

April, 2015 Rev. 4.1

発行 : Spansion Inc.
編集 : コーポレートコミュニケーション部

免責事項

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途（ただし、用途の限定はありません）に使用されることを意図して設計・製造されています。(1) 極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御等をいう）、ならびに(2) 極めて高い信頼性が要求される用途（海底中継器、宇宙衛星等をいう）に使用されるよう設計・製造されたものではありません。上記の製品の使用方法によって惹起されたいかなる請求または損害についても、Spansion は、お客様または第三者、あるいはその両方に対して責任を一切負いません。半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様において、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。本資料に記載された製品が、外国為替及び外国貿易法、米国輸出管理関連法規などの規制に基づき規制されている製品または技術に該当する場合には、本製品の輸出に際して、同法に基づく許可が必要となります。

商標および注記

このドキュメントは、断りなく変更される場合があります。本資料には Spansion が開発中の Spansion 製品に関する情報が記載されている場合があります。Spansion は、それらの製品に対し、予告なしに仕様を変更したり、開発を中止したりする権利を有します。このドキュメントに含まれる情報は、現状のまま、保証なしに提供されるものであり、その正確性、完全性、実施可能性および特定の目的に対する適合性やその市場性および他者の権利を侵害しない事を保証するものでなく、また、明示、黙示または法定されているあらゆる保証をするものでもありません。Spansion は、このドキュメントに含まれる情報を使用することにより発生したいかなる損害に対しても責任を一切負いません。

Copyright © 2014-2015 Cypress All rights reserved.

商標：Spansion®, Spansion ロゴ (図形マーク), MirrorBit®, MirrorBit® Eclipse™, ORNAND™ 及びこれらの組合せは、米国・日本ほか諸外国における Spansion LLC の商標です。第三者の社名・製品名等の記載はここでは情報提供を目的として表記したものであり、各権利者の商標もしくは登録商標となっている場合があります。