

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

### 文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

### 订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。



---

The following document contains information on Cypress products. The document has the series name, product name, and ordering part numbering with the prefix “MB”. However, Cypress will offer these products to new and existing customers with the series name, product name, and ordering part number with the prefix “CY”.

#### **How to Check the Ordering Part Number**

1. Go to [www.cypress.com/pcn](http://www.cypress.com/pcn).
2. Enter the keyword (for example, ordering part number) in the **SEARCH PCNS** field and click **Apply**.
3. Click the corresponding title from the search results.
4. Download the Affected Parts List file, which has details of all changes

#### **For More Information**

Please contact your local sales office for additional information about Cypress products and solutions.

#### **About Cypress**

Cypress is the leader in advanced embedded system solutions for the world's most innovative automotive, industrial, smart home appliances, consumer electronics and medical products. Cypress' microcontrollers, analog ICs, wireless and USB-based connectivity solutions and reliable, high-performance memories help engineers design differentiated products and get them to market first. Cypress is committed to providing customers with the best support and development resources on the planet enabling them to disrupt markets by creating new product categories in record time. To learn more, go to [www.cypress.com](http://www.cypress.com).

## FM3, MB9B110T 系列, 32 位 ARM® Cortex®-M3 微控制器数据手册

MB9B110T 系列是针对高速处理和低成本应用而设计的高集成度 32 位嵌入式微控制器。

MB9B110T 系列的 CPU 搭载了 ARM Cortex-M3 处理器、闪存及 SRAM 片上闪存, 还包含了电机控制定时器、A/D 转换器、各种通信接口(UART, CSIO, I<sup>2</sup>C, LIN) 等在内的丰富外设功能。

"FM3 家族外设手册"中该数据手册记载的产品归类于 TYPE2 产品。

**注意:**ARM 和 Cortex 是 ARM Limited 在欧盟和其它国家的注册商标。

### 特征

#### 32 位 ARM Cortex-M3 内核

- 处理器版本: r2p1
- 最高工作频率: 144MHz
- 存储器保护单元(MPU): 改善嵌入系统的可靠性
- 嵌套向量中断控制器(NVIC):支持 1 通道 NMI(不可屏蔽中断)和 48 通道的外设中断。可设定 16 个中断优先级。
- 24 位系统定时器(Sys Tick):该系统定时器用于管理操作系统任务。

#### 片上存储器

##### [闪存]

- 最大 1MB
- 内置 16KB 的使用追踪缓冲器存储器的 Flash 加速器  
最高 72MHz 工作频率时, 读访问闪存为 0 wait-cycle。高于 72MHz 时, 通过 Flash 加速器功能, 进行与 0 wait-cycle 等访问。
- 保护代码的加密功能

##### [SRAM]

本系列的片上 SRAM 由两个独立的 SRAM(SRAM0, SRAM1)构成。SRAM0 连接 Cortex-M3 内核的 I-Code 总线或者 D-Code 总线。SRAM1 连接 System 总线。

- SRAM0:最大 64KB。
- SRAM1:最大 64KB。

#### 外部总线接口

- 支持 SRAM, NOR 和 NAND 闪存芯片
- 最多选择 8 颗芯片
- 8/16 位数据宽度
- 最大 25 位地址位
- 最大寻址范围: 最大 256Mb
- 支持地址/数据复用
- 支持外部 RDY 功能

#### 多功能串口(最多 8 通道)

- 带 16 个字节 FIFO 的 4 通道(ch.4 ~ ch.7), 不带 FIFO 的 4 通道(ch.0 ~ ch.3)
- 可从下列模式中选择每路通道的工作模式。
  - UART
  - CSIO
  - LIN
  - I2C

##### [UART]

- 全双工双缓冲器
- 可选择奇偶校验的有/无
- 内置专用波特率发生器
- 外部时钟可用作串行时钟
- 硬件流控制:根据 CTS/RTS 自动控制数据收/发(仅限 ch.4)
- 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)

#### **[CSIO]**

- 全双工双缓冲器
- 内置专用波特率发生器
- 溢出错误检测功能

#### **[LIN]**

- 支持 LIN 协议 Rev.2.1
- 全双工双缓冲器
- 支持主控/从动模式
- 生成 LIN break field (可变为 13 ~ 16 位长)
- 生成 LIN break 分界符(可变为 1 ~ 4 位长)
- 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)

#### **[I<sup>2</sup>C]**

支持标准模式(最快 100 kbps)/高速模式(最快 400 kbps)

#### **DMA 控制器(8 通道)**

DMA 控制器为 CPU 配备了 DMA 专用的总线, 可与 CPU 同时进行处理工作。

- 8 路可独立配置和操作的通道
- 可根据软件或者内置外设功能的请求进行传输
- 传输地址空间:32 位(4 GB)
- 传输模式:整块传输/猝发传输/请求传输
- 传输数据类型: 字节/半字/字
- 传输块个数: 1 ~ 16
- 传输次数:1 ~ 65536

#### **A/D 转换器(最多 32 通道)**

##### **[12 位 A/D 转换器]**

- 逐次比较型
- 搭载 3 个单元
- 转换时间:1.0μs @ 5V
- 可进行优先级转换(2 个优先级)
- 扫描转换模式
- 搭载存储转换数据的 FIFO(用于扫描转换: 16 段; 用于优先级转换: 4 段)

#### **基本定时器(最多 16 通道)**

可从以下模式中选择各通道的工作模式。

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器
- 16/32 位 PWC 定时器

#### **通用 I/O 口**

本系列的引脚不用作外部总线或者外设功能时, 可用作 I/O 口。另外, 因搭载了端口重定位功能, 可设定哪一个 I/O 口配置外设功能。

- 可上拉控制每个引脚
- 可直接读出引脚电平
- 具有端口重定位功能
- 最多 154 个高速 I/O 口@176pin Package
- 部分端口耐 5V  
关于该引脚, 详情参照"引脚配置图"。

#### **多功能定时器(最多 3 单元)**

多功能定时器由以下模块构成。

- 16 位自由运行定时器 × 3 通道/单元
- 输入捕捉 × 4 通道/单元
- 输出比较 × 6 通道/单元
- A/D 启动比较 × 3 通道/单元
- 波形发生器 × 3 通道/单元
- 16 位 PPG 定时器 × 3 通道/单元

使用以下功能可控制电机。

- PWM 信号输出功能
- DC 斩波器波形输出功能
- 死区定时器功能
- 输入捕捉功能
- A/D 转换器启动功能
- DTIF(电机紧急停止)中断功能

### **Quad 计数器(QPRC : Quadrature Position/Revolution Counter ) (最多 3 通道)**

Quad 计数器(QPRC)用于测定位置编码器的位置。另外,还可以根据设定用作递增/递减计数器。

- 可设定 3 个外部事件输入引脚 AIN, BIN, ZIN 的检测沿。
- 16 位位置计数器
- 16 位旋转计数器
- 2 个 16 位比较寄存器

### **双定时器(32/16 位递减计数器)**

双定时器由两个可编程的 32/16 位递减计数器构成。可从以下选择定时器通道的工作模式。

- 自由运行模式
- 周期模式(=重载模式)
- 单次模式

### **计时计数器**

计时计数器可将芯片从节电模式中唤醒。

间隔定时器: 使用最大 64s@副时钟:32.768 kHz

### **外部中断控制单元**

- 外部中断输入引脚: 最多 32 个
- 不可屏蔽中断(NMI)输入引脚: 1 个

### **监视定时器(2 通道)**

达到超时值时, 监视定时器生成中断或复位。

本系列有两种不同的监视: "硬件"监视和"软件"监视。

"硬件"监视定时器使用内置低速 CR 振荡器, 因此在停止模式以外的任何低功耗模式下都可以工作。

### **CRC(Cyclic Redundancy Check)加速器**

CRC 加速器进行软件处理负荷较高的 CRC 计算, 以减轻数据接收及存储的整合性确认处理负荷。

支持 CCITT CRC16 和 IEEE-802.3 CRC32。

- CCITT CRC16 Generator Polynomial:0x1021
- IEEE-802.3 CRC32 Generator Polynomial:0x04C11DB7

### **时钟/复位**

#### **[时钟]**

可选择 5 种时钟源(2 种外部振荡、2 种内部 CR 振荡、主 PLL)。

- 主时钟:4 MHz ~ 48 MHz
- 副时钟:32.768 kHz
- 内部高速 CR 时钟:4 MHz
- 内部低速 CR 时钟:100 kHz
- 主 PLL 时钟

#### **[复位]**

- 自 INITX 引脚的复位请求
- 上电复位
- 软件复位
- 监视定时器复位
- 低压检测复位
- 时钟监视器复位

### **时钟监视功能(CSV : Clock Super Visor)**

该功能使用内部 CR 振荡器生成的时钟监视外部时钟的异常。

- 检测出外部时钟异常(时钟停止)时, 复位有效。
- 检测出外部频率异常时, 中断或复位有效。

### **低压检测功能(LVD : Low Voltage Detect)**

本系列可在 2 个阶段监视 VCC 引脚的电压。VCC 引脚的电压比设定电压低时, 可使用低压检测功能生成中断或复位。

- LVD1:根据中断报告错误
- LVD2:自动复位操作

## 低功耗模式

支持 3 种低功耗模式。

- 睡眠
- 定时器
- 停止

## 调试

- 串行线 JTAG 调试端口(SWJ-DP)
- 嵌入式跟踪宏单元(ETM)。

## 电源

支持大范围电压:  $VCC = 2.7V \sim 5.5V$

## 目录

<b>1. 产品阵容</b>	<b>7</b>
1.1 存储器容量	7
1.2 功能	7
<b>2. 封装及产品型号</b>	<b>8</b>
<b>3. 引脚配置图</b>	<b>9</b>
<b>4. 引脚功能说明</b>	<b>12</b>
4.1 引脚号	12
4.2 信号说明	32
<b>5. I/O 电路类型</b>	<b>58</b>
<b>6. 芯片处理注意事项</b>	<b>65</b>
6.1 产品设计注意事项	65
6.2 封装注意事项	67
6.3 使用环境注意事项	68
<b>7. 芯片使用注意事项</b>	<b>69</b>
7.1 关于电源引脚	69
7.2 稳定电源电压	69
7.3 晶振电路	69
7.4 外部时钟使用注意事项	69
7.5 多功能串行引脚用作 I <sup>2</sup> C 引脚时的注意事项	69
7.6 C 引脚	69
7.7 模式引脚(MD0)	70
7.8 上电注意事项	70
7.9 串行通信	71
7.10 不同容量的存储器产品间及 Flash 产品和 MASK 产品的特性差异	71
7.11 基本定时器	71
<b>8. 框图</b>	<b>72</b>
<b>9. 存储器容量</b>	<b>72</b>
<b>10. 存储器映射</b>	<b>73</b>
10.1 存储器映射图 (1)	73
10.2 存储器映射图 (2)	74
10.3 外设功能地址映射	75
<b>11. 各 CPU 状态下的引脚状态</b>	<b>76</b>
11.1 引脚状态一览表	77
<b>12. 电气特性</b>	<b>80</b>
12.1 绝对最大额定值	80
12.2 推荐工作条件	82
12.3 直流特性	83
12.3.1 电流规格	83
12.3.2 引脚特性	85
12.4 交流特性	87
12.4.1 主时钟输入规格	87
12.4.2 副时钟输入规格	88
12.4.3 内置 CR 振荡规格	88
12.4.4 主 PLL 和 USB PLL 的工作条件	89
12.4.5 复位输入规格	90
12.4.6 上电复位时序	90
12.4.7 外部总线时序	91
12.4.8 基本定时器输入时序	101
12.4.9 CSIO/UART 时序	102
12.4.10 外部输入时序	110

- 12.4.11 Quad 计数器时序 ..... 111
- 12.4.12 I<sup>2</sup>C 时序..... 113
- 12.4.13 ETM 时序 ..... 114
- 12.4.14 JTAG 时序 ..... 115
- 12.5 12 位 A/D 转换器 ..... 116
  - 12.5.1 A/D 转换部的电气特性..... 116
  - 12.5.2 12 位 A/D 转换器的术语定义 ..... 118
- 12.6 低压检测特性..... 119
  - 12.6.1 低压检测复位..... 119
  - 12.6.2 低压检测中断..... 119
- 12.7 闪存擦/写特性..... 120
  - 12.7.1 擦/写时间..... 120
  - 12.7.2 擦/写周期和数据保持时间..... 120
- 12.8 从低功耗模式下的返回时间 ..... 121
  - 12.8.1 返回因数:中断..... 121
  - 12.8.2 返回因数:复位..... 123
- 13. 订购信息..... 125**
- 14. 封装尺寸图 ..... 126**
- 文档修改记录..... 129**



## 1. 产品阵容

### 1.1 存储器容量

产品名称	MB9BF116S/T	MB9BF117S/T	MB9BF118S/T
片上闪存	512KB	768KB	1MB
片上 SRAM	64KB	96KB	128KB

### 1.2 功能

产品名称			MB9BF116S MB9BF117S MB9BF118S	MB9BF116T MB9BF117T MB9BF118T
引脚数			144	176/192
CPU			Cortex-M3	
频率			144 MHz	
电源电压范围			2.7 V ~ 5.5 V	
DMAC			8ch	
外部总线接口			Addr:19bit (最多) R/Wdata: 8/16 bit (最多) CS:8 (最多) Support:SRAM, NOR & NAND Flash	Addr:25bit (最多) R/Wdata:8/16bit (最多) CS:8 (最多) Support:SRAM, NOR & NAND Flash
MF 串口 (UART/CSIO/LIN/I <sup>2</sup> C)			8ch(最多) ch.4 ~ ch.7:FIFO (16steps x9 bits) ch.0 ~ ch.3:无 FIFO	
基本定时器 (PWC/重载定时器/PWM/PPG)			16ch(最多)	
多功能定时器	A/D 启动比较	3ch	3 units (最多)	
	输入捕捉	4ch		
	自由运行定时器	3ch		
	输出比较	6ch		
	波形发生器	3ch		
	PPG	3ch		
QPRC			3ch(最多)	
双定时器			1 unit	
计时定时器			1 unit	
CRC 加速器			Yes	
监视定时器			1ch(SW) + 1ch(HW)	
外部中断			32 pins (最多) + NMI pinx 1	
I/O 口			122 pins (最多)	154 pins (最多)
12 位 A/D 转换器			24ch(3unit)	32ch(3unit)
时钟异常检测功能(CSV)			Yes	
低压检测功能(LVD)			2ch	
内置 CR	高速		4MHz	
	低速		100kHz	
调试功能			SWJ-DP/ETM	

#### 注意事项:

- 受封装引脚数的限制，各产品搭载的外设功能的信号不能全部配置。需要某种功能时，使用 I/O 口的端口重定位功能进行再配置。
- 如欲了解有关内置 CR 的精确度，请参考“电气特性 12.4 交流特性 12.4.3 内置 CR 振荡规格”。

## 2. 封装及产品型号

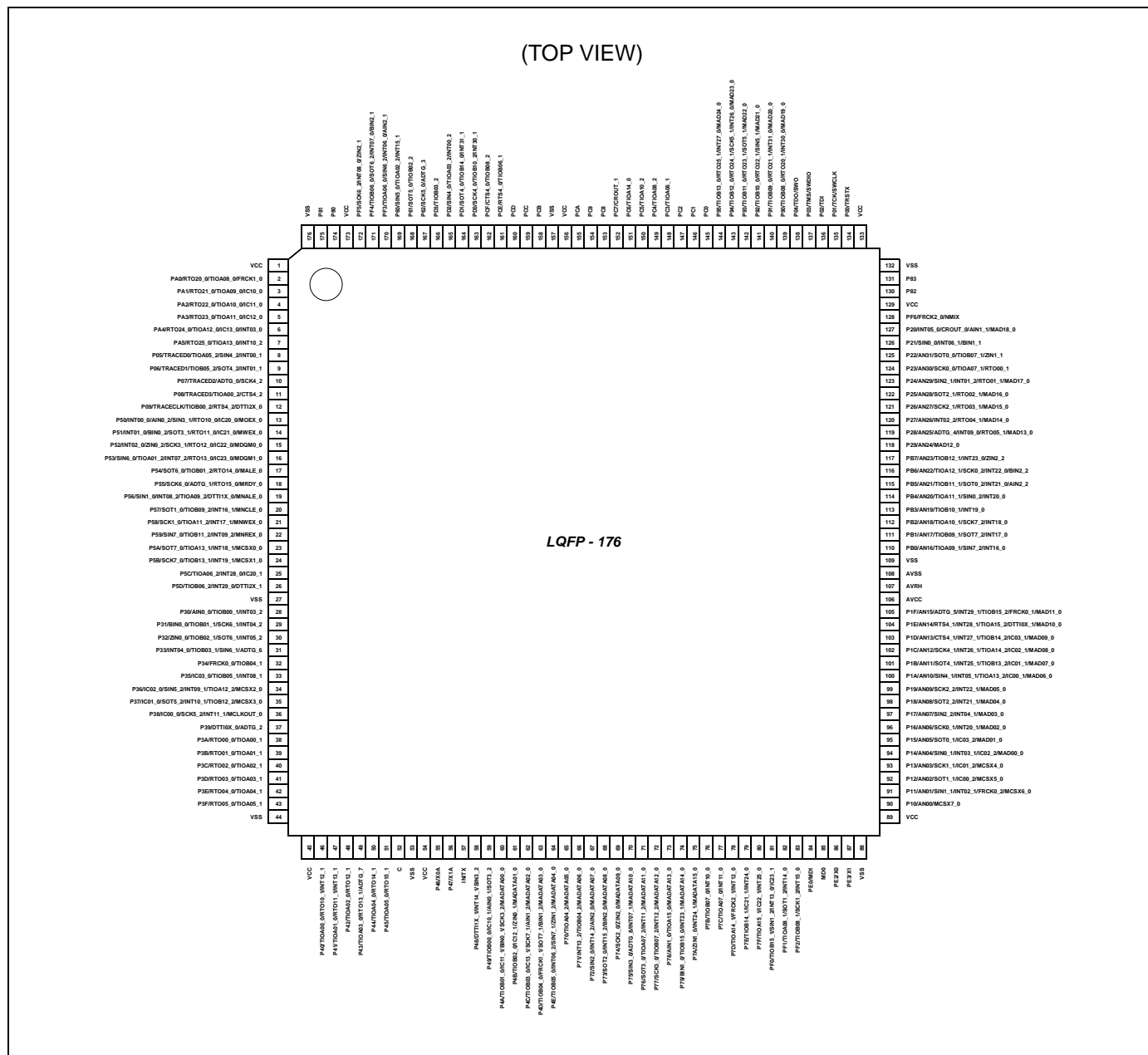
产品型号 封装	MB9BF116S MB9BF117S MB9BF118S	MB9BF116T MB9BF117T MB9BF118T
LQFP: FPT-144P-M08 (0.5mm pitch)	○	-
LQFP: FPT-176P-M07 (0.5mm pitch)	-	○
BGA: BGA-192P-M06 (0.8mm pitch)	-	○

○:支持

**注意事项:** 关于各个封装的详情, 参考["封装尺寸图"](#)。

### 3. 引脚配置图

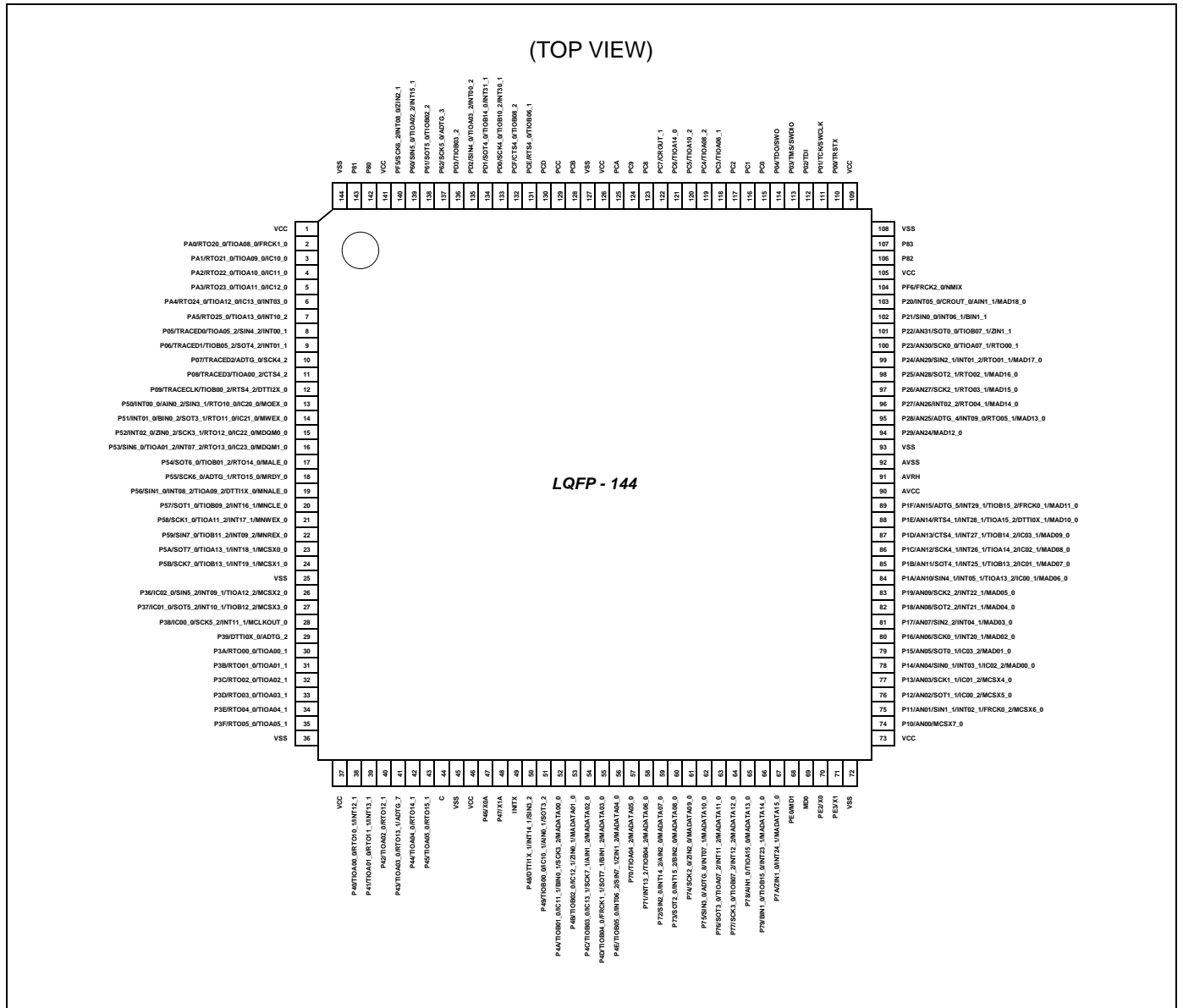
#### FPT-176P-M07



#### 注意事项:

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。TIOA09\_0, TIOA09\_1 和 TIOA09\_2 不能被用作基本定时器 I/O 模式 1 (定时器全模式)的外部启动触发输入。请参考“芯片使用注意事项”中的“7.11 基本定时器”芯片使用注意事项,以了解详情。

**FPT-144P-M08**

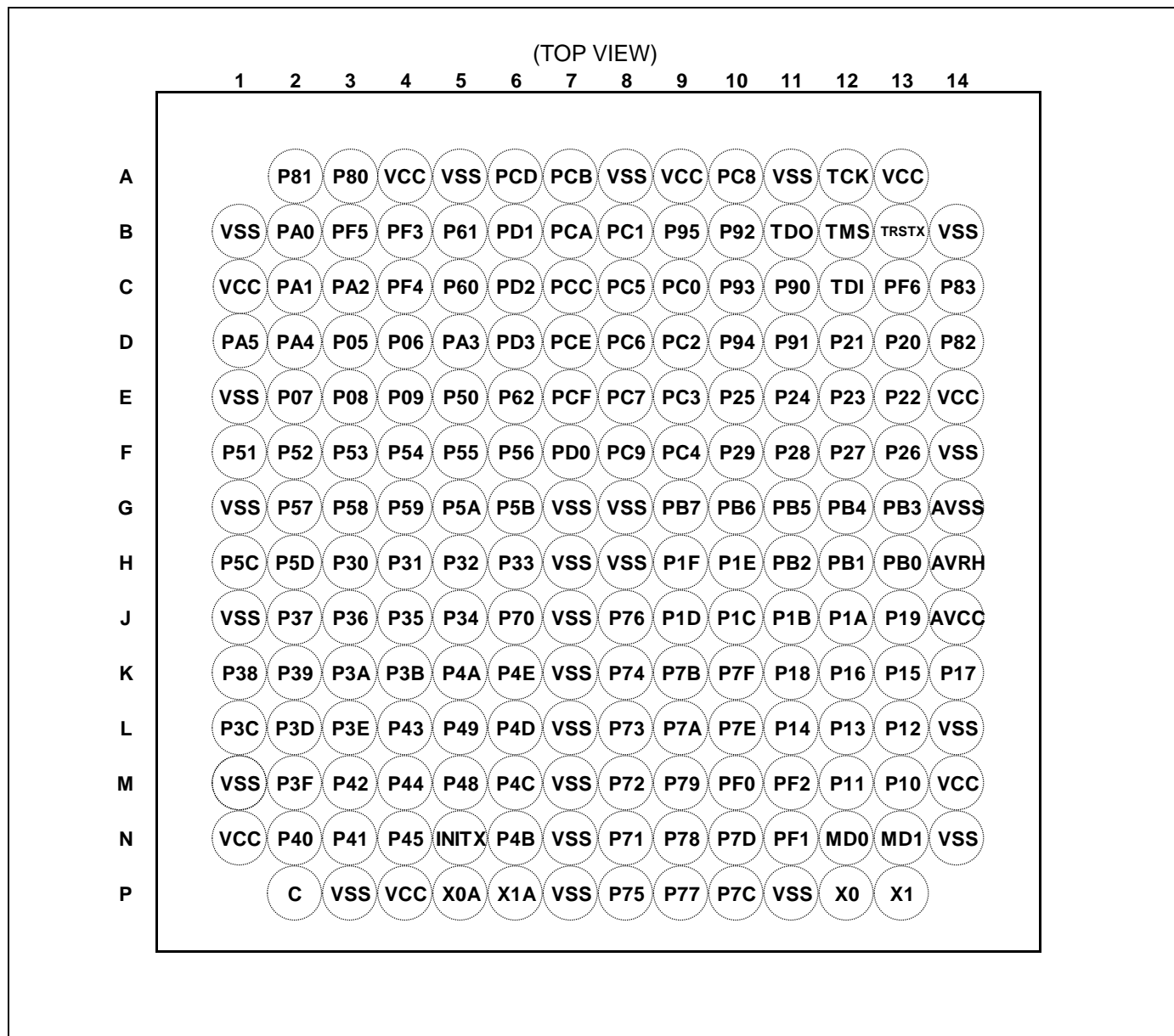


**注意事项:**

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

TIOA09\_0, TIOA09\_1 和 TIOA09\_2 不能被用作基本定时器 I/O 模式 1 (定时器全模式) 的外部启动触发输入。请参考"芯片使用注意事项" 中的**7.11 基本定时器** 芯片使用注意事项, 以了解详情。

**BGA-192P-M06**



**注意事项:**

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

TIOA09\_0, TIOA09\_1 和 TIOA09\_2 不能被用作基本定时器 I/O 模式 1 (定时器全模式) 的外部启动触发输入。请参考"芯片使用注意事项" 中的"7.11 基本定时器" 芯片使用注意事项, 以了解详情。

## 4. 引脚功能说明

### 4.1 引脚号

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
1	1	C1	VCC	-	
2	2	B2	PA0	G	I
			RTO20_0		
			TIOA08_0		
			FRCK1_0		
3	3	C2	PA1	G	I
			RTO21_0		
			TIOA09_0		
			IC10_0		
4	4	C3	PA2	G	I
			RTO22_0		
			TIOA10_0		
			IC11_0		
5	5	D5	PA3	G	I
			RTO23_0		
			TIOA11_0		
			IC12_0		
6	6	D2	PA4	G	H
			RTO24_0		
			TIOA12_0		
			IC13_0		
			INT03_0		
7	7	D1	PA5	G	H
			RTO25_0		
			TIOA13_0		
			INT10_2		
8	8	D3	P05	E	F
			TRACED0		
			TIOA05_2		
			SIN4_2		
			INT00_1		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
9	9	D4	P06	E	F
			TRACED1		
			TIOB05_2		
			SOT4_2		
			INT01_1		
10	10	E2	P07	E	G
			TRACED2		
			ADTG_0		
			SCK4_2		
11	11	E3	P08	E	G
			TRACED3		
			TIOA00_2		
			CTS4_2		
12	12	E4	P09	E	G
			TRACECLK		
			TIOB00_2		
			RTS4_2		
			DTT12X_0		
13	13	E5	P50	E	H
			INT00_0		
			AIN0_2		
			SIN3_1		
			RTO10_0		
			IC20_0		
			MOEX_0		
14	14	F1	P51	E	H
			INT01_0		
			BIN0_2		
			SOT3_1		
			RTO11_0		
			IC21_0		
			MWEX_0		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
15	15	F2	P52	E	H
			INT02_0		
			ZIN0_2		
			SCK3_1		
			RTO12_0		
			IC22_0		
			MDQM0_0		
16	16	F3	P53	E	H
			SIN6_0		
			TIOA01_2		
			INT07_2		
			RTO13_0		
			IC23_0		
			MDQM1_0		
17	17	F4	P54	E	I
			SOT6_0		
			TIOB01_2		
			RTO14_0		
			MALE_0		
18	18	F5	P55	E	I
			SCK6_0		
			ADTG_1		
			RTO15_0		
			MRDY_0		
19	19	F6	P56	E	H
			SIN1_0		
			INT08_2		
			TIOA09_2		
			DTT1X_0		
			MNALE_0		
20	20	G2	P57	E	H
			SOT1_0		
			TIOB09_2		
			INT16_1		
			MNCLE_0		
21	21	G3	P58	E	H
			SCK1_0		
			TIOA11_2		
			INT17_1		



引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
			MNWEX_0		
22	22	G4	P59	E	H
			SIN7_0		
			TIOB11_2		
			INT09_2		
			MNREX_0		
23	23	G5	P5A	E	H
			SOT7_0		
			TIOA13_1		
			INT18_1		
			MCSX0_0		
24	24	G6	P5B	E	H
			SCK7_0		
			TIOB13_1		
			INT19_1		
			MCSX1_0		
25	-	H1	P5C	E	H
			TIOA06_2		
			INT28_0		
			IC20_1		
26	-	H2	P5D	E	H
			TIOB06_2		
			INT29_0		
			DTTI2X_1		
27	25	J1	VSS	-	
28	-	H3	P30	E	H
			AIN0_0		
			TIOB00_1		
			INT03_2		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
29	-	H4	P31	E	H
			BIN0_0		
			TIOB01_1		
			SCK6_1		
			INT04_2		
30	-	H5	P32	E	H
			ZIN0_0		
			TIOB02_1		
			SOT6_1		
			INT05_2		
31	-	H6	P33	E	H
			INT04_0		
			TIOB03_1		
			SIN6_1		
			ADTG_6		
32	-	J5	P34	E	I
			FRCK0_0		
			TIOB04_1		
33	-	J4	P35	E	H
			IC03_0		
			TIOB05_1		
			INT08_1		
34	26	J3	P36	E	H
			IC02_0		
			SIN5_2		
			INT09_1		
			TIOA12_2		
			MCSX2_0		
35	27	J2	P37	E	H
			IC01_0		
			SOT5_2		
			INT10_1		
			TIOB12_2		
			MCSX3_0		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
36	28	K1	P38	E	H
			IC00_0		
			SCK5_2		
			INT11_1		
			MCLKOUT_0		
37	29	K2	P39	E	I
			DTTI0X_0		
			ADTG_2		
38	30	K3	P3A	G	I
			RTO00_0		
			TIOA00_1		
39	31	K4	P3B	G	I
			RTO01_0		
			TIOA01_1		
40	32	L1	P3C	G	I
			RTO02_0		
			TIOA02_1		
41	33	L2	P3D	G	I
			RTO03_0		
			TIOA03_1		
42	34	L3	P3E	G	I
			RTO04_0		
			TIOA04_1		
43	35	M2	P3F	G	I
			RTO05_0		
			TIOA05_1		
44	36	M1	VSS	-	
45	37	N1	VCC	-	
46	38	N2	P40	G	H
			TIOA00_0		
			RTO10_1		
			INT12_1		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
47	39	N3	P41	G	H
			TIOA01_0		
			RTO11_1		
			INT13_1		
48	40	M3	P42	G	I
			TIOA02_0		
			RTO12_1		
49	41	L4	P43	G	I
			TIOA03_0		
			RTO13_1		
			ADTG_7		
50	42	M4	P44	G	I
			TIOA04_0		
			RTO14_1		
51	43	N4	P45	G	I
			TIOA05_0		
			RTO15_1		
52	44	P2	C	-	
53	45	P3	VSS	-	
54	46	P4	VCC	-	
55	47	P5	P46	D	M
			X0A		
56	48	P6	P47	D	N
			X1A		
57	49	N5	INITX	B	C
58	50	M5	P48	E	H
			DTTI1X_1		
			INT14_1		
			SIN3_2		
59	51	L5	P49	E	I
			TIOB00_0		
			IC10_1		
			AIN0_1		
			SOT3_2		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
60	52	K5	P4A	E	I
			TIOB01_0		
			IC11_1		
			BIN0_1		
			SCK3_2		
			MADATA00_0		
61	53	N6	P4B	E	I
			TIOB02_0		
			IC12_1		
			ZIN0_1		
			MADATA01_0		
62	54	M6	P4C	E	I
			TIOB03_0		
			IC13_1		
			SCK7_1		
			AIN1_2		
			MADATA02_0		
63	55	L6	P4D	E	I
			TIOB04_0		
			FRCK1_1		
			SOT7_1		
			BIN1_2		
			MADATA03_0		
64	56	K6	P4E	E	H
			TIOB05_0		
			INT06_2		
			SIN7_1		
			ZIN1_2		
			MADATA04_0		
65	57	J6	P70	E	I
			TIOA04_2		
			MADATA05_0		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
66	58	N8	P71	E	H
			INT13_2		
			TIOB04_2		
			MADATA06_0		
67	59	M8	P72	E	H
			SIN2_0		
			INT14_2		
			AIN2_0		
68	60	L8	MADATA07_0	E	H
			P73		
			SOT2_0		
			INT15_2		
69	61	K8	BIN2_0	E	I
			MADATA08_0		
			P74		
			SCK2_0		
70	62	P8	ZIN2_0	E	H
			MADATA09_0		
			P75		
			SIN3_0		
71	63	J8	ADTG_8	E	H
			INT07_1		
			MADATA10_0		
			P76		
72	64	P9	SOT3_0	E	H
			TIOA07_2		
			INT11_2		
			MADATA11_0		
			P77	E	H
			SCK3_0		
			TIOB07_2		
			INT12_2		
			MADATA12_0		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
73	65	N9	P78	E	I
			AIN1_0		
			TIOA15_0		
			MADATA13_0		
74	66	M9	P79	E	H
			BIN1_0		
			TIOB15_0		
			INT23_1		
			MADATA14_0		
-	-	E1	VSS	-	-
-	-	G1	VSS	-	-
75	67	L9	P7A	E	H
			ZIN1_0		
			INT24_1		
			MADATA15_0		
76	-	K9	P7B	E	H
			TIOB07_0		
			INT10_0		
77	-	P10	P7C	E	H
			TIOA07_0		
			INT11_0		
78	-	N10	P7D	E	H
			TIOA14_1		
			FRCK2_1		
			INT12_0		
79	-	L10	P7E	E	H
			TIOB14_1		
			IC21_1		
			INT24_0		
80	-	K10	P7F	E	H
			TIOA15_1		
			IC22_1		
			INT25_0		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
81	-	M10	PF0	I <sup>[1]</sup>	H
			TIOB15_1		
			SIN1_2		
			INT13_0		
			IC23_1		
82	-	N11	PF1	I <sup>[1]</sup>	H
			TIOA08_1		
			SOT1_2		
			INT14_0		
83	-	M11	PF2	I <sup>[1]</sup>	H
			TIOB08_1		
			SCK1_2		
			INT15_0		
84	68	N13	PE0	C	P
			MD1		
85	69	N12	MD0	J	D
86	70	P12	PE2	A	A
			X0		
87	71	P13	PE3	A	B
			X1		
88	72	N14	VSS	-	
89	73	M14	VCC	-	
-	-	L7	VSS	-	
-	-	K7	VSS	-	
90	74	M13	P10	F	K
			AN00		
			MCSX7_0		
91	75	M12	P11	F	L
			AN01		
			SIN1_1		
			INT02_1		
			FRCK0_2		
			MCSX6_0		



引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
92	76	L13	P12	F	K
			AN02		
			SOT1_1		
			IC00_2		
			MCSX5_0		
93	77	L12	P13	F	K
			AN03		
			SCK1_1		
			IC01_2		
			MCSX4_0		
94	78	L11	P14	F	L
			AN04		
			SIN0_1		
			INT03_1		
			IC02_2		
			MAD00_0		
95	79	K13	P15	F	K
			AN05		
			SOT0_1		
			IC03_2		
			MAD01_0		
96	80	K12	P16	F	L
			AN06		
			SCK0_1		
			INT20_1		
			MAD02_0		
97	81	K14	P17	F	L
			AN07		
			SIN2_2		
			INT04_1		
			MAD03_0		
-	-	P7	VSS	-	-
-	-	P11	VSS	-	-
-	-	L14	VSS	-	-

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
98	82	K11	P18	F	L
			AN08		
			SOT2_2		
			INT21_1		
			MAD04_0		
99	83	J13	P19	F	L
			AN09		
			SCK2_2		
			INT22_1		
			MAD05_0		
100	84	J12	P1A	F	L
			AN10		
			SIN4_1		
			INT05_1		
			TIOA13_2		
			IC00_1		
			MAD06_0		
101	85	J11	P1B	F	L
			AN11		
			SOT4_1		
			INT25_1		
			TIOB13_2		
			IC01_1		
			MAD07_0		
102	86	J10	P1C	F	L
			AN12		
			SCK4_1		
			INT26_1		
			TIOA14_2		
			IC02_1		
			MAD08_0		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
103	87	J9	P1D	F	L
			AN13		
			CTS4_1		
			INT27_1		
			TIOB14_2		
			IC03_1		
			MAD09_0		
104	88	H10	P1E	F	L
			AN14		
			RTS4_1		
			INT28_1		
			TIOA15_2		
			DTTIOX_1		
			MAD10_0		
105	89	H9	P1F	F	L
			AN15		
			ADTG_5		
			INT29_1		
			TIOB15_2		
			FRCK0_1		
			MAD11_0		
106	90	J14	AVCC	-	
107	91	H14	AVRH	-	
108	92	G14	AVSS	-	
109	93	F14	VSS	-	
110	-	H13	PB0	F	L
			AN16		
			TIOA09_1		
			SIN7_2		
			INT16_0		
111	-	H12	PB1	F	L
			AN17		
			TIOB09_1		
			SOT7_2		
			INT17_0		
112	-	H11	PB2	F	L
			AN18		
			TIOA10_1		
			SCK7_2		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
			INT18_0		
113	-	G13	PB3	F	L
			AN19		
			TIOB10_1		
			INT19_0		
114	-	G12	PB4	F	L
			AN20		
			TIOA11_1		
			SIN0_2		
			INT20_0		
115	-	G11	PB5	F	L
			AN21		
			TIOB11_1		
			SOT0_2		
			INT21_0		
			AIN2_2		
-	-	G7	VSS	-	
-	-	J7	VSS	-	
116	-	G10	PB6	F	L
			AN22		
			TIOA12_1		
			SCK0_2		
			INT22_0		
			BIN2_2		
117	-	G9	PB7	F	L
			AN23		
			TIOB12_1		
			INT23_0		
			ZIN2_2		
118	94	F10	P29	F	K
			AN24		
			MAD12_0		
119	95	F11	P28	F	L
			AN25		
			ADTG_4		
			INT09_0		
			RTO05_1		
			MAD13_0		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
120	96	F12	P27	F	L
			AN26		
			INT02_2		
			RTO04_1		
			MAD14_0		
121	97	F13	P26	F	K
			AN27		
			SCK2_1		
			RTO03_1		
			MAD15_0		
122	98	E10	P25	F	K
			AN28		
			SOT2_1		
			RTO02_1		
			MAD16_0		
123	99	E11	P24	F	L
			AN29		
			SIN2_1		
			INT01_2		
			RTO01_1		
			MAD17_0		
124	100	E12	P23	F	K
			AN30		
			SCK0_0		
			TIOA07_1		
			RTO00_1		

引脚号			引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144	BGA-192			
125	101	E13	P22	F	K
			AN31		
			SOT0_0		
			TIOB07_1		
			ZIN1_1		
126	102	D12	P21	E	H
			SIN0_0		
			INT06_1		
			BIN1_1		
127	103	D13	P20	E	H
			INT05_0		
			CROUT_0		
			AIN1_1		
			MAD18_0		
128	104	C13	PF6	I <sup>[1]</sup>	J
			FRCK2_0		
			NMIX		
129	105	E14	VCC	-	
130	106	D14	P82	H	O
131	107	C14	P83	H	O
132	108	B14	VSS	-	
133	109	A13	VCC	-	
134	110	B13	P00	E	E
			TRSTX		
135	111	A12	P01	E	E
			TCK		
			SWCLK		
136	112	C12	P02	E	E
			TDI		
137	113	B12	P03	E	E
			TMS		
			SWDIO		
138	114	B11	P04	E	E
			TDO		
			SWO		

引脚号			引脚名称	I/O 电路类型	引脚状态类型
LQFP-176	LQFP-144	BGA-192			
139	-	C11	P90	E	H
			TIOB08_0		
			RTO20_1		
			INT30_0		
			MAD19_0		
-	-	A8	VSS	-	
140	-	D11	P91	E	H
			TIOB09_0		
			RTO21_1		
			INT31_0		
			MAD20_0		
141	-	B10	P92	E	I
			TIOB10_0		
			RTO22_1		
			SIN5_1		
			MAD21_0		
142	-	C10	P93	E	I
			TIOB11_0		
			RTO23_1		
			SOT5_1		
			MAD22_0		
143	-	D10	P94	E	H
			TIOB12_0		
			RTO24_1		
			SCK5_1		
			INT26_0		
			MAD23_0		
144	-	B9	P95	E	H
			TIOB13_0		
			RTO25_1		
			INT27_0		
			MAD24_0		
145	115	C9	PC0	K	Q
146	116	B8	PC1	K	Q
147	117	D9	PC2	K	Q

引脚号			引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144	BGA-192			
148	118	E9	PC3	K	Q
			TIOA06_1		
149	119	F9	PC4	K	Q
			TIOA08_2		
150	120	C8	PC5	K	Q
			TIOA10_2		
-	-	A5	VSS	-	
151	121	D8	PC6	K	Q
			TIOA14_0		
152	122	E8	PC7	L	Q
			CROUT_1		
153	123	A10	PC8	K	Q
154	124	F8	PC9	K	Q
155	125	B7	PCA	K	Q
156	126	A9	VCC	-	
157	127	A11	VSS	-	
158	128	A7	PCB	L	Q
159	129	C7	PCC	K	Q
160	130	A6	PCD	K	Q
161	131	D7	PCE	L	Q
			RTS4_0		
			TIOB06_1		
162	132	E7	PCF	L	Q
			CTS4_0		
			TIOB08_2		
163	133	F7	PD0	L	R
			SCK4_0		
			TIOB10_2		
			INT30_1		
164	134	B6	PD1	L	R
			SOT4_0		
			TIOB14_0		
			INT31_1		
-	-	N7	VSS	-	
-	-	G8	VSS	-	
-	-	H7	VSS	-	
-	-	H8	VSS	-	



引脚号			引脚名称	I/O 电路 类型	引脚状态 类型
LQFP-176	LQFP-144	BGA-192			
165	135	C6	PD2	L	R
			SIN4_0		
			TIOA03_2		
			INT00_2		
166	136	D6	PD3	L	Q
			TIOB03_2		
167	137	E6	P62	E	Q
			SCK5_0		
			ADTG_3		
168	138	B5	P61	E	I
			SOT5_0		
			TIOB02_2		
169	139	C5	P60	E	H
			SIN5_0		
			TIOA02_2		
			INT15_1		
170	-	B4	PF3	I <sup>[1]</sup>	H
			TIOA06_0		
			SIN6_2		
			INT06_0		
			AIN2_1		
171	-	C4	PF4	I <sup>[1]</sup>	H
			TIOB06_0		
			SOT6_2		
			INT07_0		
			BIN2_1		
172	140	B3	PF5	I <sup>[1]</sup>	H
			SCK6_2		
			INT08_0		
			ZIN2_1		
173	141	A4	VCC	-	
174	142	A3	P80	H	O
175	143	A2	P81	H	O
176	144	B1	VSS	-	
-	-	M7	VSS	-	

[1]:耐 5V I/O

## 4.2 信号说明

引脚名称(例如 XXX\_1, XXX\_2)中下划线("\_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
ADC	ADTG_0	A/D 转换器外部触发输入引脚	10	10	E2
	ADTG_1		18	18	F5
	ADTG_2		37	29	K2
	ADTG_3		167	137	E6
	ADTG_4		119	95	F11
	ADTG_5		105	89	H9
	ADTG_6		31	-	H6
	ADTG_7		49	41	L4
	ADTG_8		70	62	P8

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
ADC	AN00	A/D 转换器模拟输入引脚 ANxx 表示 ADC ch.xx。	90	74	M13
	AN01		91	75	M12
	AN02		92	76	L13
	AN03		93	77	L12
	AN04		94	78	L11
	AN05		95	79	K13
	AN06		96	80	K12
	AN07		97	81	K14
	AN08		98	82	K11
	AN09		99	83	J13
	AN10		100	84	J12
	AN11		101	85	J11
	AN12		102	86	J10
	AN13		103	87	J9
	AN14		104	88	H10
	AN15		105	89	H9
	AN16		110	-	H13
	AN17		111	-	H12
	AN18		112	-	H11
	AN19		113	-	G13
	AN20		114	-	G12
	AN21		115	-	G11
	AN22		116	-	G10
	AN23		117	-	G9
	AN24		118	94	F10
	AN25		119	95	F11
	AN26		120	96	F12
	AN27		121	97	F13
	AN28		122	98	E10
	AN29		123	99	E11
	AN30		124	100	E12
	AN31		125	101	E13

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
基本定时器 0	TIOA0_0	基本定时器 ch.0 的 TIOA 引脚	46	38	N2
	TIOA0_1		38	30	K3
	TIOA0_2		11	11	E3
	TIOB0_0	基本定时器 ch.0 的 TIOB 引脚	59	51	L5
	TIOB0_1		28	-	H3
	TIOB0_2		12	12	E4
基本定时器 1	TIOA1_0	基本定时器 ch.1 的 TIOA 引脚	47	39	N3
	TIOA1_1		39	31	K4
	TIOA1_2		16	16	F3
	TIOB1_0	基本定时器 ch.1 的 TIOB 引脚	60	52	K5
	TIOB1_1		29	-	H4
	TIOB1_2		17	17	F4
基本定时器 2	TIOA2_0	基本定时器 ch.2 的 TIOA 引脚	48	40	M3
	TIOA2_1		40	32	L1
	TIOA2_2		169	139	C5
	TIOB2_0	基本定时器 ch.2 的 TIOB 引脚	61	53	N6
	TIOB2_1		30	-	H5
	TIOB2_2		168	138	B5
基本定时器 3	TIOA3_0	基本定时器 ch.3 的 TIOA 引脚	49	41	L4
	TIOA3_1		41	33	L2
	TIOA3_2		165	135	C6
	TIOB3_0	基本定时器 ch.3 的 TIOB 引脚	62	54	M6
	TIOB3_1		31	-	H6
	TIOB3_2		166	136	D6
基本定时器 4	TIOA4_0	基本定时器 ch.4 的 TIOA 引脚	50	42	M4
	TIOA4_1		42	34	L3
	TIOA4_2		65	57	J6
	TIOB4_0	基本定时器 ch.4 的 TIOB 引脚	63	55	L6
	TIOB4_1		32	-	J5
	TIOB4_2		66	58	N8

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
基本定时器 5	TIOA5_0	基本定时器 ch.5 的 TIOA 引脚	51	43	N4
	TIOA5_1		43	35	M2
	TIOA5_2		8	8	D3
	TIOB5_0	基本定时器 ch.5 的 TIOB 引脚	64	56	K6
	TIOB5_1		33	-	J4
	TIOB5_2		9	9	D4
基本定时器 6	TIOA6_0	基本定时器 ch.6 的 TIOA 引脚	170	-	B4
	TIOA6_1		148	118	E9
	TIOA6_2		25	-	H1
	TIOB6_0	基本定时器 ch.6 的 TIOB 引脚	171	-	C4
	TIOB6_1		161	131	D7
	TIOB6_2		26	-	H2
基本定时器 7	TIOA07_0	基本定时器 ch.7 的 TIOA 引脚	77	-	P10
	TIOA07_1		124	100	E12
	TIOA07_2		71	63	J8
	TIOB07_0	基本定时器 ch.7 的 TIOB 引脚	76	-	K9
	TIOB07_1		125	101	E13
	TIOB07_2		72	64	P9
基本定时器 8	TIOA08_0	基本定时器 ch.8 的 TIOA 引脚	2	2	B2
	TIOA08_1		82	-	N11
	TIOA08_2		149	119	F9
	TIOB08_0	基本定时器 ch.8 的 TIOB 引脚	139	-	C11
	TIOB08_1		83	-	M11
	TIOB08_2		162	132	E7
基本定时器 9	TIOA09_0	基本定时器 ch.9 的 TIOA 引脚	3	3	C2
	TIOA09_1		110	-	H13
	TIOA09_2		19	19	F6
	TIOB09_0	基本定时器 ch.9 的 TIOB 引脚	140	-	D11
	TIOB09_1		111	-	H12
	TIOB09_2		20	20	G2

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
基本定时器 10	TIOA10_0	基本定时器 ch.10 的 TIOA 引脚	4	4	C3
	TIOA10_1		112	-	H11
	TIOA10_2		150	120	C8
	TIOB10_0	基本定时器 ch.10 的 TIOB 引脚	141	-	B10
	TIOB10_1		113	-	G13
	TIOB10_2		163	133	F7
基本定时器 11	TIOA11_0	基本定时器 ch.11 的 TIOA 引脚	5	5	D5
	TIOA11_1		114	-	G12
	TIOA11_2		21	21	G3
	TIOB11_0	基本定时器 ch.11 的 TIOB 引脚	142	-	C10
	TIOB11_1		115	-	G11
	TIOB11_2		22	22	G4
基本定时器 12	TIOA12_0	基本定时器 ch.12 的 TIOA 引脚	6	6	D2
	TIOA12_1		116	-	G10
	TIOA12_2		34	26	J3
	TIOB12_0	基本定时器 ch.12 的 TIOB 引脚	143	-	D10
	TIOB12_1		117	-	G9
	TIOB12_2		35	27	J2
基本定时器 13	TIOA13_0	基本定时器 ch.13 的 TIOA 引脚	7	7	D1
	TIOA13_1		23	23	G5
	TIOA13_2		100	84	J12
	TIOB13_0	基本定时器 ch.13 的 TIOB 引脚	144	-	B9
	TIOB13_1		24	24	G6
	TIOB13_2		101	85	J11
基本定时器 14	TIOA14_0	基本定时器 ch.14 的 TIOA 引脚	151	121	D8
	TIOA14_1		78	-	N10
	TIOA14_2		102	86	J10
	TIOB14_0	基本定时器 ch.14 的 TIOB 引脚	164	134	B6
	TIOB14_1		79	-	L10
	TIOB14_2		103	87	J9

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
基本定时器 15	TIOA15_0	基本定时器 ch.15 的 TIOA 引脚	73	65	N9
	TIOA15_1		80	-	K10
	TIOA15_2		104	88	H10
	TIOB15_0	基本定时器 ch.15 的 TIOB 引脚	74	66	M9
	TIOB15_1		81	-	M10
	TIOB15_2		105	89	H9
调试	SWCLK	串行线调试接口时钟输入	135	111	A12
	SWDIO	串行线调试接口数据 I/O	137	113	B12
	SWO	串行线浏览器输出	138	114	B11
	TCK	J-TAG 测试时钟输入	135	111	A12
	TDI	J-TAG 测试数据输入	136	112	C12
	TDO	J-TAG 调试数据输出	138	114	B11
	TMS	J-TAG 测试模式状态 I/O	137	113	B12
	TRACECLK	ETM 追踪 CLK 输出	12	12	E4
	TRACED0	ETM 追踪数据输出	8	8	D3
	TRACED1		9	9	D4
	TRACED2		10	10	E2
	TRACED3		11	11	E3
	TRSTX	J-TAG 测试复位输入	134	110	B13

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
外部总线 总线	MAD00_0	外部总线接口地址总线	94	78	L11
	MAD01_0		95	79	K13
	MAD02_0		96	80	K12
	MAD03_0		97	81	K14
	MAD04_0		98	82	K11
	MAD05_0		99	83	J13
	MAD06_0		100	84	J12
	MAD07_0		101	85	J11
	MAD08_0		102	86	J10
	MAD09_0		103	87	J9
	MAD10_0		104	88	H10
	MAD11_0		105	89	H9
	MAD12_0		118	94	F10
	MAD13_0		119	95	F11
	MAD14_0		120	96	F12
	MAD15_0		121	97	F13
	MAD16_0		122	98	E10
	MAD17_0		123	99	E11
	MAD18_0		127	103	D13
	MAD19_0		139	-	C11
	MAD20_0		140	-	D11
	MAD21_0		141	-	B10
	MAD22_0		142	-	C10
	MAD23_0		143	-	D10
	MAD24_0		144	-	B9
	MCSX0_0	外部总线接口芯片选择输出引脚	23	23	G5
	MCSX1_0		24	24	G6
	MCSX2_0		34	26	J3
	MCSX3_0		35	27	J2
	MCSX4_0		93	77	L12
	MCSX5_0		92	76	L13
	MCSX6_0		91	75	M12
	MCSX7_0		90	74	M13



模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
外部总线	MDQM0_0	外部总线接口字节屏蔽信号输出	15	15	F2
	MDQM1_0		16	16	F3
	MOEX_0	SRAM 外部总线接口读取使能信号	13	13	E5
	MWEX_0	SRAM 外部总线接口写入使能信号	14	14	F1
	MNALE_0	控制 NAND 闪存输出引脚的外部总线接口 ALE 信号	19	19	F6
	MNCLE_0	控制 NAND 闪存输出引脚的外部总线接口 CLE 信号	20	20	G2
	MNREX_0	控制 NAND 闪存的外部总线接口读取使能信号	22	22	G4
	MNWEX_0	控制 NAND 闪存的外部总线接口写入使能信号	21	21	G3
	MADATA00_0	外部总线接口数据总线 (兼用作复用时的地址输出)	60	52	K5
	MADATA01_0		61	53	N6
	MADATA02_0		62	54	M6
	MADATA03_0		63	55	L6
	MADATA04_0		64	56	K6
	MADATA05_0		65	57	J6
	MADATA06_0		66	58	N8
	MADATA07_0		67	59	M8
	MADATA08_0		68	60	L8
	MADATA09_0		69	61	K8
	MADATA10_0		70	62	P8
	MADATA11_0		71	63	J8
	MADATA12_0		72	64	P9
	MADATA13_0		73	65	N9
	MADATA14_0		74	66	M9
	MADATA15_0		75	67	L9
	MALE_0	复用时的地址锁存使能信号	17	17	F4
	MRDY_0	外部 RDY 输入信号	18	18	F5
	MCLKOUT_0	外部总线时钟输出	36	28	K1

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
外部 中断	INT00_0	外部中断请求 00 的输入引脚	13	13	E5
	INT00_1		8	8	D3
	INT00_2		165	135	C6
	INT01_0	外部中断请求 01 的输入引脚	14	14	F1
	INT01_1		9	9	D4
	INT01_2		123	99	E11
	INT02_0	外部中断请求 02 的输入引脚	15	15	F2
	INT02_1		91	75	M12
	INT02_2		120	96	F12
	INT03_0	外部中断请求 03 的输入引脚	6	6	D2
	INT03_1		94	78	L11
	INT03_2		28	-	H3
	INT04_0	外部中断请求 04 的输入引脚	31	-	H6
	INT04_1		97	81	K14
	INT04_2		29	-	H4
	INT05_0	外部中断请求 05 的输入引脚	127	103	D13
	INT05_1		100	84	J12
	INT05_2		30	-	H5
	INT06_0	外部中断请求 06 的输入引脚	170	-	B4
	INT06_1		126	102	D12
	INT06_2		64	56	K6
	INT07_0	外部中断请求 07 的输入引脚	171	-	C4
	INT07_1		70	62	P8
	INT07_2		16	16	F3
	INT08_0	外部中断请求 08 的输入引脚	172	140	B3
	INT08_1		33	-	J4
	INT08_2		19	19	F6
	INT09_0	外部中断请求 09 的输入引脚	119	95	F11
	INT09_1		34	26	J3
	INT09_2		22	22	G4
	INT10_0	外部中断请求 10 的输入引脚	76	-	K9
	INT10_1		35	27	J2
	INT10_2		7	7	D1

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
	INT11_0	外部中断请求 11 的输入引脚	77	-	P10
	INT11_1		36	28	K1
	INT11_2		71	63	J8
	INT12_0	外部中断请求 12 的输入引脚	78	-	N10
	INT12_1		46	38	N2
	INT12_2		72	64	P9
	INT13_0	外部中断请求 13 的输入引脚	81	-	M10
	INT13_1		47	39	N3
	INT13_2		66	58	N8
	INT14_0	外部中断请求 14 的输入引脚	82	-	N11
	INT14_1		58	50	M5
	INT14_2		67	59	M8
外部中断	INT15_0	外部中断请求 15 的输入引脚	83	-	M11
	INT15_1		169	139	C5
	INT15_2		68	60	L8
	INT16_0	外部中断请求 16 的输入引脚	110	-	H13
	INT16_1		20	20	G2
	INT17_0	外部中断请求 17 的输入引脚	111	-	H12
	INT17_1		21	21	G3
	INT18_0	外部中断请求 18 的输入引脚	112	-	H11
	INT18_1		23	23	G5
	INT19_0	外部中断请求 19 的输入引脚	113	-	G13
	INT19_1		24	24	G6
	INT20_0	外部中断请求 20 的输入引脚	114	-	G12
	INT20_1		96	80	K12
	INT21_0	外部中断请求 21 的输入引脚	115	-	G11
	INT21_1		98	82	K11
	INT22_0	外部中断请求 22 的输入引脚	116	-	G10
	INT22_1		99	83	J13
	INT23_0	外部中断请求 23 的输入引脚	117	-	G9
	INT23_1		74	66	M9
	INT24_0	外部中断请求 24 的输入引脚	79	-	L10
	INT24_1		75	67	L9
	INT25_0	外部中断请求 25 的输入引脚	80	-	K10
	INT25_1		101	85	J11

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
外部中断	INT26_0	外部中断请求 26 的输入引脚	143	-	D10
	INT26_1		102	86	J10
	INT27_0	外部中断请求 27 的输入引脚	144	-	B9
	INT27_1		103	87	J9
	INT28_0	外部中断请求 28 的输入引脚	25	-	H1
	INT28_1		104	88	H10
	INT29_0	外部中断请求 29 的输入引脚	26	-	H2
	INT29_1		105	89	H9
	INT30_0	外部中断请求 30 的输入引脚	139	-	C11
	INT30_1		163	133	F7
	INT31_0	外部中断请求 31 的输入引脚	140	-	D11
	INT31_1		164	134	B6
	NMIX	不可屏蔽中断输入	128	104	C13
GPIO	P00	通用 I/O 口 0	134	110	B13
	P01		135	111	A12
	P02		136	112	C12
	P03		137	113	B12
	P04		138	114	B11
	P05		8	8	D3
	P06		9	9	D4
	P07		10	10	E2
	P08		11	11	E3
	P09		12	12	E4

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
GPIO	P10	通用 I/O 口 1	90	74	M13
	P11		91	75	M12
	P12		92	76	L13
	P13		93	77	L12
	P14		94	78	L11
	P15		95	79	K13
	P16		96	80	K12
	P17		97	81	K14
	P18		98	82	K11
	P19		99	83	J13
	P1A		100	84	J12
	P1B		101	85	J11
	P1C		102	86	J10
	P1D		103	87	J9
	P1E		104	88	H10
	P1F		105	89	H9
	P20	通用 I/O 口 2	127	103	D13
	P21		126	102	D12
	P22		125	101	E13
	P23		124	100	E12
	P24		123	99	E11
	P25		122	98	E10
	P26		121	97	F13
	P27		120	96	F12
	P28		119	95	F11
	P29		118	94	F10

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
GPIO	P30	通用 I/O 口 3	28	-	H3
	P31		29	-	H4
	P32		30	-	H5
	P33		31	-	H6
	P34		32	-	J5
	P35		33	-	J4
	P36		34	26	J3
	P37		35	27	J2
	P38		36	28	K1
	P39		37	29	K2
	P3A		38	30	K3
	P3B		39	31	K4
	P3C		40	32	L1
	P3D		41	33	L2
	P3E		42	34	L3
	P3F		43	35	M2
	P40	通用 I/O 口 4	46	38	N2
	P41		47	39	N3
	P42		48	40	M3
	P43		49	41	L4
	P44		50	42	M4
	P45		51	43	N4
	P46		55	47	P5
	P47		56	48	P6
	P48		58	50	M5
	P49		59	51	L5
	P4A		60	52	K5
	P4B		61	53	N6
	P4C		62	54	M6
	P4D		63	55	L6
	P4E		64	56	K6

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
GPIO	P50	通用 I/O 口 5	13	13	E5
	P51		14	14	F1
	P52		15	15	F2
	P53		16	16	F3
	P54		17	17	F4
	P55		18	18	F5
	P56		19	19	F6
	P57		20	20	G2
	P58		21	21	G3
	P59		22	22	G4
	P5A		23	23	G5
	P5B		24	24	G6
	P5C		25	-	H1
	P5D		26	-	H2
GPIO	P60	通用 I/O 口 6	169	139	C5
	P61		168	138	B5
	P62		167	137	E6
	P70	通用 I/O 口 7	65	57	J6
	P71		66	58	N8
	P72		67	59	M8
	P73		68	60	L8
	P74		69	61	K8
	P75		70	62	P8
	P76		71	63	J8
	P77		72	64	P9
	P78		73	65	N9
	P79		74	66	M9
	P7A		75	67	L9
	P7B		76	-	K9
	P7C		77	-	P10
	P7D		78	-	N10
	P7E		79	-	L10
	P7F		80	-	K10

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
GPIO	P80	通用 I/O 口 8	174	142	A3
	P81		175	143	A2
	P82		130	106	D14
	P83		131	107	C14
	P90	通用 I/O 口 9	139	-	C11
	P91		140	-	D11
	P92		141	-	B10
	P93		142	-	C10
	P94		143	-	D10
	P95		144	-	B9
	PA0	通用 I/O 口 A	2	2	B2
	PA1		3	3	C2
	PA2		4	4	C3
	PA3		5	5	D5
	PA4		6	6	D2
	PA5		7	7	D1
	PB0	通用 I/O 口 B	110	-	H13
	PB1		111	-	H12
	PB2		112	-	H11
	PB3		113	-	G13
	PB4		114	-	G12
	PB5		115	-	G11
	PB6		116	-	G10
	PB7		117	-	G9



模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
GPIO	PC0	通用 I/O 口 C	145	115	C9
	PC1		146	116	B8
	PC2		147	117	D9
	PC3		148	118	E9
	PC4		149	119	F9
	PC5		150	120	C8
	PC6		151	121	D8
	PC7		152	122	E8
	PC8		153	123	A10
	PC9		154	124	F8
	PCA		155	125	B7
	PCB		158	128	A7
	PCC		159	129	C7
	PCD		160	130	A6
	PCE		161	131	D7
	PCF		162	132	E7
	PD0	通用 I/O 口 D	163	133	F7
	PD1		164	134	B6
	PD2		165	135	C6
	PD3		166	136	D6
	PE0	通用 I/O 口 E	84	68	N13
	PE2		86	70	P12
	PE3		87	71	P13
	PF0	通用 I/O 口 F <sup>(1)</sup>	81	-	M10
	PF1		82	-	N11
	PF2		83	-	M11
	PF3		170	-	B4
	PF4		171	-	C4
	PF5		172	140	B3
	PF6		128	104	C13

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
多功能串口 0	SIN0_0	多功能串口 ch.0 的输入引脚	126	102	D12
	SIN0_1		94	78	L11
	SIN0_2		114	-	G12
	SOT0_0 (SDA0_0)	多功能串口 ch.0 的输出引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SOT0; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SDA0。	125	101	E13
	SOT0_1 (SDA0_1)		95	79	K13
	SOT0_2 (SDA0_2)		115	-	G11
	SCK0_0 (SCL0_0)	多功能串口 ch.0 的时钟 I/O 引脚 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SCK0; 充当 I <sup>2</sup> C 引脚, 可用作 SCL0 (工作模式 4)。	124	100	E12
	SCK0_1 (SCL0_1)		96	80	K12
	SCK0_2 (SCL0_2)		116	-	G10
多功能串口 1	SIN1_0	多功能串口 ch.1 的输入引脚	19	19	F6
	SIN1_1		91	75	M12
	SIN1_2		81	-	M10
	SOT1_0 (SDA1_0)	多功能串口 ch.1 的输出引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SOT1; 充当 I <sup>2</sup> C 引脚, 可用作 SDA1 (工作模式 4)。	20	20	G2
	SOT1_1 (SDA1_1)		92	76	L13
	SOT1_2 (SDA1_2)		82	-	N11
	SCK1_0 (SCL1_0)	多功能串口 ch.1 的时钟 I/O 引脚 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SCK1; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SCL1。	21	21	G3
	SCK1_1 (SCL1_1)		93	77	L12
	SCK1_2 (SCL1_2)		83	-	M11

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
多功能串口 2	SIN2_0	多功能串口 ch.2 的输入引脚	67	59	M8
	SIN2_1		123	99	E11
	SIN2_2		97	81	K14
	SOT2_0 (SDA2_0)	多功能串口 ch.2 的输出引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SOT2; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SDA2。	68	60	L8
	SOT2_1 (SDA2_1)		122	98	E10
	SOT2_2 (SDA2_2)		98	82	K11
	SCK2_0 (SCL2_0)	多功能串口 ch.2 的时钟 I/O 引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SCK2; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SCL2。	69	61	K8
	SCK2_1 (SCL2_1)		121	97	F13
	SCK2_2 (SCL2_2)		99	83	J13
多功能串口 3	SIN3_0	多功能串口 ch.3 的输入引脚	70	62	P8
	SIN3_1		13	13	E5
	SIN3_2		58	50	M5
	SOT3_0 (SDA3_0)	多功能串口 ch.3 的输入引脚 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SOT3; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SDA3。	71	63	J8
	SOT3_1 (SDA3_1)		14	14	F1
	SOT3_2 (SDA3_2)		59	51	L5
	SCK3_0 (SCL3_0)	多功能串口 ch.3 的时钟 I/O 引脚 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SCK3; 充当 I <sup>2</sup> C 引脚。可用作 SCL3 (工作模式 4)。	72	64	P9
	SCK3_1 (SCL3_1)		15	15	F2
	SCK3_2 (SCL3_2)		60	52	K5

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
多功能串口 4	SIN4_0	多功能串口 ch.4 的输入引脚	165	135	C6
	SIN4_1		100	84	J12
	SIN4_2		8	8	D3
	SOT4_0 (SDA4_0)	多功能串口 ch.4 的输出引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SOT4; 充当 I <sup>2</sup> C 引脚, 可用作 SDA4 (工作模式 4)。	164	134	B6
	SOT4_1 (SDA4_1)		101	85	J11
	SOT4_2 (SDA4_2)		9	9	D4
	SCK4_0 (SCL4_0)	多功能串口 ch.4 的时钟 I/O 引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SCK4; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SCL4。	163	133	F7
	SCK4_1 (SCL4_1)		102	86	J10
	SCK4_2 (SCL4_2)		10	10	E2
	RTS4_0	多功能串口 ch.4 的 RTS 输出引脚	161	131	D7
	RTS4_1		104	88	H10
	RTS4_2		12	12	E4
	CTS4_0	多功能串口 ch.4 的 CTS 输入引脚	162	132	E7
	CTS4_1		103	87	J9
	CTS4_2		11	11	E3
多功能串口 5	SIN5_0	多功能串口 ch.5 的输入引脚	169	139	C5
	SIN5_1		141	-	B10
	SIN5_2		34	26	J3
	SOT5_0 (SDA5_0)	多功能串口 ch.5 的输出引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SOT5; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SDA5。	168	138	B5
	SOT5_1 (SDA5_1)		142	-	C10
	SOT5_2 (SDA5_2)		35	27	J2
	SCK5_0 (SCL5_0)	多功能串口 ch.5 的时钟 I/O 引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SCK5; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SCL5。	167	137	E6
	SCK5_1 (SCL5_1)		143	-	D10
	SCK5_2 (SCL5_2)		36	28	K1

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
多功能串口 6	SIN6_0	多功能串口 ch.6 的输入引脚	16	16	F3
	SIN6_1		31	-	H6
	SIN6_2		170	-	B4
	SOT6_0 (SDA6_0)	多功能串口 ch.6 的输出引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SOT6; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SDA6。	17	17	F4
	SOT6_1 (SDA6_1)		30	-	H5
	SOT6_2 (SDA6_2)		171	-	C4
	SCK6_0 (SCL6_0)	多功能串口 ch.6 的时钟 I/O 引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SCK6; 充当 I <sup>2</sup> C 引脚, 可用作 SCL6 (工作模式 4)。	18	18	F5
	SCK6_1 (SCL6_1)		29	-	H4
	SCK6_2 (SCL6_2)		172	140	B3
多功能串口 7	SIN7_0	多功能串口 ch.7 的输入引脚	22	22	G4
	SIN7_1		64	56	K6
	SIN7_2		110	-	H13
	SOT7_0 (SDA7_0)	多功能串口 ch.7 的输出引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SOT7; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SDA7。	23	23	G5
	SOT7_1 (SDA7_1)		63	55	L6
	SOT7_2 (SDA7_2)		111	-	H12
	SCK7_0 (SCL7_0)	多功能串口 ch.7 的时钟 I/O 引脚。 充当 UART/CSIO 引脚 (工作模式 0 ~ 2) 时, 可用作 SCK7; 充当 I <sup>2</sup> C 引脚(工作模式 4), 可用作 SCL7。	24	24	G6
	SCK7_1 (SCL7_1)		62	54	M6
	SCK7_2 (SCL7_2)		112	-	H11

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
多功能定时器 0	DTTIOX_0	控制多功能定时器 0 的 RTO00 ~ RTO05 输出的波形发生器的输入信号。	37	29	K2
	DTTIOX_1		104	88	H10
	FRCK0_0	16 位自由运行定时器 ch.0 外部时钟输入引脚	32	-	J5
	FRCK0_1		105	89	H9
	FRCK0_2		91	75	M12
	IC00_0	多功能定时器 0 的 16 位输入捕捉输入引脚 ICxx 表示通道号。	36	28	K1
	IC00_1		100	84	J12
	IC00_2		92	76	L13
	IC01_0		35	27	J2
	IC01_1		101	85	J11
	IC01_2		93	77	L12
	IC02_0		34	26	J3
	IC02_1		102	86	J10
	IC02_2		94	78	L11
	IC03_0		33	-	J4
	IC03_1		103	87	J9
	IC03_2		95	79	K13
	RTO00_0 (PPG00_0)	多功能定时器 0 的波形发生器输出	38	30	K3
	RTO00_1 (PPG00_1)	PPG0 输出模式下使用时，可用作 PPG00 功能。	124	100	E12
	RTO01_0 (PPG00_0)	多功能定时器 0 的波形发生器输出	39	31	K4
	RTO01_1 (PPG00_1)	PPG0 输出模式下使用时，可用作 PPG00 功能。	123	99	E11
	RTO02_0 (PPG02_0)	多功能定时器 0 的波形发生器输出	40	32	L1
	RTO02_1 (PPG02_1)	PPG0 输出模式下使用时，可用作 PPG02 功能。	122	98	E10
	RTO03_0 (PPG02_0)	多功能定时器 0 的波形发生器输出	41	33	L2
	RTO03_1 (PPG02_1)	PPG0 输出模式下使用时，可用作 PPG02 功能。	121	97	F13
	RTO04_0 (PPG04_0)	多功能定时器 0 的波形发生器输出	42	34	L3
	RTO04_1 (PPG04_1)	PPG0 输出模式下使用时，可用作 PPG04 功能。	120	96	F12
	RTO05_0 (PPG04_0)	多功能定时器 0 的波形发生器输出	43	35	M2
	RTO05_1 (PPG04_1)	PPG0 输出模式下使用时，可用作 PPG04 功能。	119	95	F11

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
多功能定时器 1	DTTI1X_0	控制多功能定时器 1 的 RTO10 ~ RTO15 输出的波形发生器的输入信号。	19	19	F6
	DTTI1X_1		58	50	M5
	FRCK1_0	16 位自由运行定时器 ch.1 外部时钟输入引脚	2	2	B2
	FRCK1_1		63	55	L6
	IC10_0	多功能定时器 1 的 16 位输入捕捉输入引脚。 ICxx 表示通道号	3	3	C2
	IC10_1		59	51	L5
	IC11_0		4	4	C3
	IC11_1		60	52	K5
	IC12_0		5	5	D5
	IC12_1		61	53	N6
	IC13_0		6	6	D2
	IC13_1		62	54	M6
	RTO10_0 (PPG10_0)	多功能定时器 1 的波形发生器输出。 PPG1 输出模式下使用时，可用作 PPG10 功能。	13	13	E5
	RTO10_1 (PPG10_1)		46	38	N2
	RTO11_0 (PPG10_0)	多功能定时器 1 的波形发生器输出。 PPG1 输出模式下使用时，可用作 PPG10 功能。	14	14	F1
	RTO11_1 (PPG10_1)		47	39	N3
	RTO12_0 (PPG12_0)	多功能定时器 1 的波形发生器输出。 PPG1 输出模式下使用时，可用作 PPG12 功能。	15	15	F2
	RTO12_1 (PPG12_1)		48	40	M3
	RTO13_0 (PPG12_0)	多功能定时器 1 的波形发生器输出。 PPG1 输出模式下使用时，可用作 PPG12 功能。	16	16	F3
	RTO13_1 (PPG12_1)		49	41	L4
	RTO14_0 (PPG14_0)	多功能定时器 1 的波形发生器输出。 PPG1 输出模式下使用时，可用作 PPG14 功能。	17	17	F4
	RTO14_1 (PPG14_1)		50	42	M4
	RTO15_0 (PPG14_0)	多功能定时器 1 的波形发生器输出。 PPG1 输出模式下使用时，可用作 PPG14 功能。	18	18	F5
	RTO15_1 (PPG14_1)		51	43	N4

模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
多功能定时器 2	DTTI2X_0	控制多功能定时器 2 的 RTO20 ~ RTO25 输出的波形发生器的输入信号。	12	12	E4
	DTTI2X_1		26	-	H2
	FRCK2_0	16 位自由运行定时器 ch.2 的外部时钟输入引脚	128	104	C13
	FRCK2_1		78	-	N10
	IC20_0	多功能定时器 2 的 16 位输入捕捉输入引脚。 ICxx 表示通道号。	13	13	E5
	IC20_1		25	-	H1
	IC21_0		14	14	F1
	IC21_1		79	-	L10
	IC22_0		15	15	F2
	IC22_1		80	-	K10
	IC23_0		16	16	F3
	IC23_1		81	-	M10
	RTO20_0 (PPG20_0)	多功能定时器 2 的波形发生器输出。 PPG2 输出模式下使用时，可用作 PPG20 功能。	2	2	B2
	RTO20_1 (PPG20_1)		139	-	C11
	RTO21_0 (PPG20_0)	多功能定时器 2 的波形发生器输出。 PPG2 输出模式下使用时，可用作 PPG20 功能。	3	3	C2
	RTO21_1 (PPG20_1)		140	-	D11
	RTO22_0 (PPG22_0)	多功能定时器 2 的波形发生器输出。 PPG2 输出模式下使用时，可用作 PPG22 功能。	4	4	C3
	RTO22_1 (PPG22_1)		141	-	B10
	RTO23_0 (PPG22_0)	多功能定时器 2 的波形发生器输出。 PPG2 输出模式下使用时，可用作 PPG22 功能。	5	5	D5
	RTO23_1 (PPG22_1)		142	-	C10
	RTO24_0 (PPG24_0)	多功能定时器 2 的波形发生器输出。 PPG2 输出模式下使用时，可用作 PPG24 功能。	6	6	D2
	RTO24_1 (PPG24_1)		143	-	D10
	RTO25_0 (PPG24_0)	多功能定时器 2 的波形发生器输出。 PPG2 输出模式下使用时，可用作 PPG24 功能。	7	7	D1
	RTO25_1 (PPG24_1)		144	-	B9

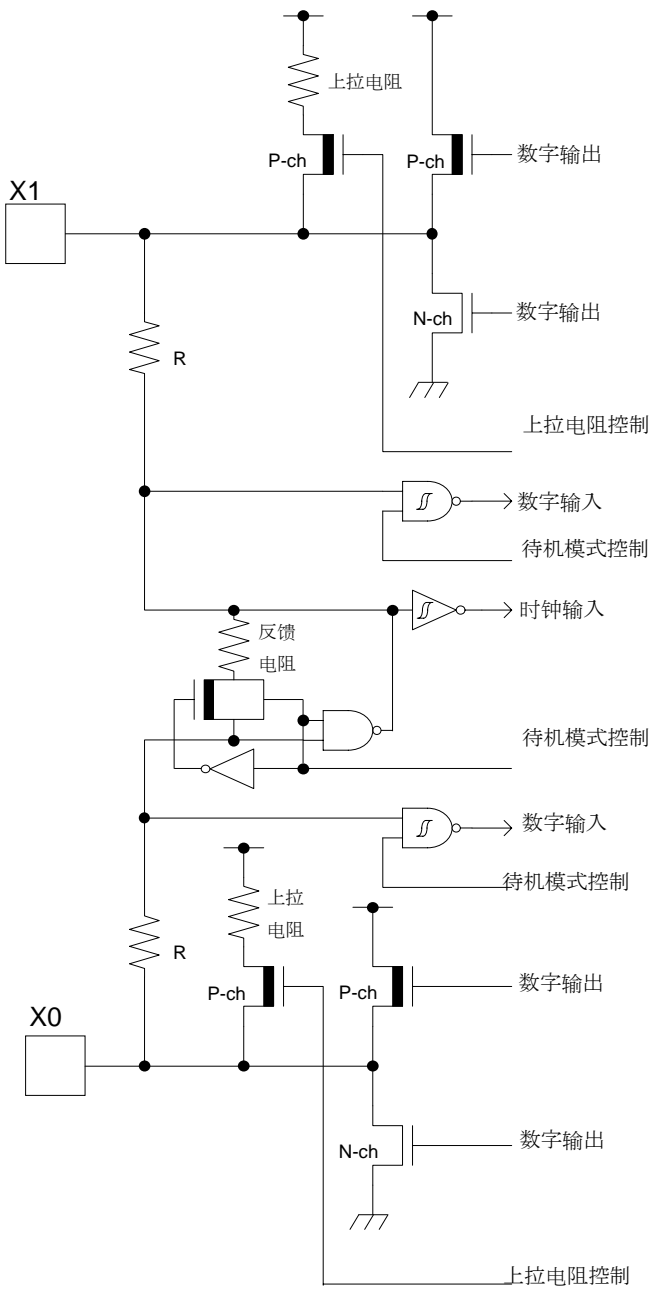


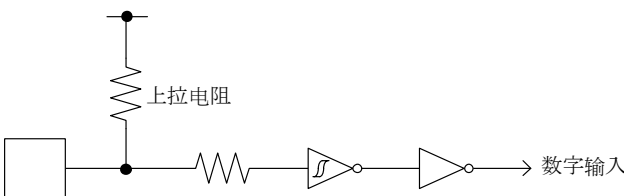
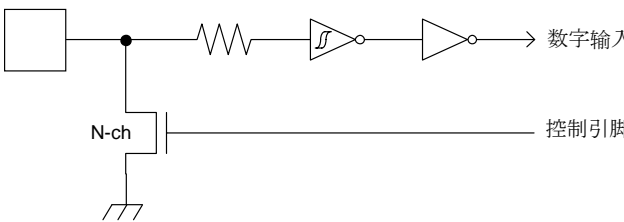
模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
Quad 计数器 0	AIN0_0	QPRC ch.0 的 AIN 输入引脚	28	-	H3
	AIN0_1		59	51	L5
	AIN0_2		13	13	E5
	BIN0_0	QPRC ch.0 的 BIN 输入引脚	29	-	H4
	BIN0_1		60	52	K5
	BIN0_2		14	14	F1
	ZIN0_0	QPRC ch.0 的 ZIN 输入引脚	30	-	H5
	ZIN0_1		61	53	N6
	ZIN0_2		15	15	F2
Quad 计数器 1	AIN1_0	QPRC ch.1 的 AIN 输入引脚	73	65	N9
	AIN1_1		127	103	D13
	AIN1_2		62	54	M6
	BIN1_0	QPRC ch.1 的 BIN 输入引脚	74	66	M9
	BIN1_1		126	102	D12
	BIN1_2		63	55	L6
	ZIN1_0	QPRC ch.1 的 ZIN 输入引脚	75	67	L9
	ZIN1_1		125	101	E13
	ZIN1_2		64	56	K6
Quad 计数器 2	AIN2_0	QPRC ch.2 的 AIN 输入引脚	67	59	M8
	AIN2_1		170	-	B4
	AIN2_2		115	-	G11
	BIN2_0	QPRCch.2 的 BIN 输入引脚	68	60	L8
	BIN2_1		171	-	C4
	BIN2_2		116	-	G10
	ZIN2_0	QPRCch.2 的 ZIN 输入引脚	69	61	K8
	ZIN2_1		172	140	B3
	ZIN2_2		117	-	G9
RESET	INITX	外部复位输入。INITX="L"时，复位有效。	57	49	N5
Mode	MD0	模式 0 引脚。 正常工作时，须输入 MD0="L"。对闪存进行串行编程时，须输入 MD0="H"。	85	69	N12
	MD1	模式 1 引脚 闪存串行写入时候，须输入 MD1="L"。	84	68	N13

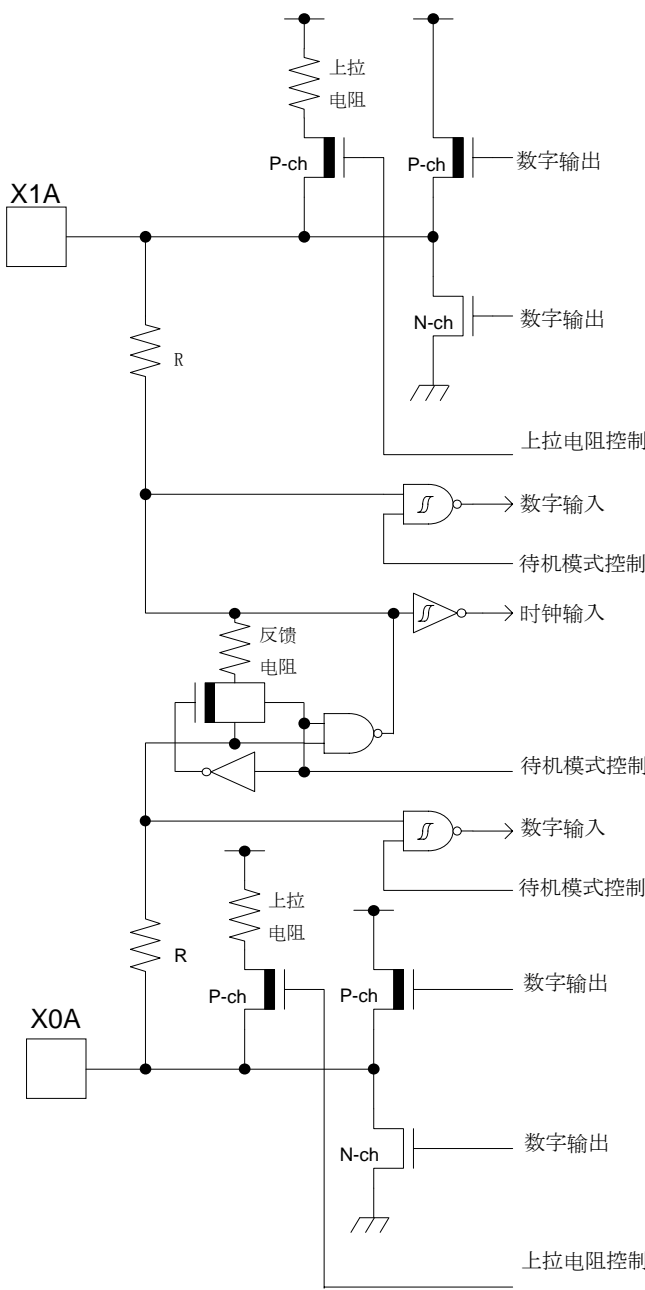
模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
POWER	VCC	电源引脚	1	1	C1
	VCC	电源引脚	45	37	N1
	VCC	电源引脚	54	46	P4
	VCC	电源引脚	89	73	M14
	VCC	电源引脚	133	109	A13
	VCC	电源引脚	173	141	A4
	VCC	电源引脚	129	105	E14
	VCC	电源引脚	156	126	A9
GND	VSS	GND 引脚	27	25	J1
	VSS	GND 引脚	44	36	M1
	VSS	GND 引脚	53	45	P3
	VSS	GND 引脚	88	72	N14
	VSS	GND 引脚	109	93	F14
	VSS	GND 引脚	132	108	B14
	VSS	GND 引脚	157	127	A11
	VSS	GND 引脚	176	144	B1
	VSS	GND 引脚	-	-	E1
	VSS	GND 引脚	-	-	G1
	VSS	GND 引脚	-	-	P7
	VSS	GND 引脚	-	-	P11
	VSS	GND 引脚	-	-	L14
	VSS	GND 引脚	-	-	A8
	VSS	GND 引脚	-	-	A5
	VSS	GND 引脚	-	-	N7
	VSS	GND 引脚	-	-	M7
	VSS	GND 引脚	-	-	L7
	VSS	GND 引脚	-	-	K7
	VSS	GND 引脚	-	-	J7
	VSS	GND 引脚	-	-	G7
	VSS	GND 引脚	-	-	H7
	VSS	GND 引脚	-	-	H8
	VSS	GND 引脚	-	-	G8

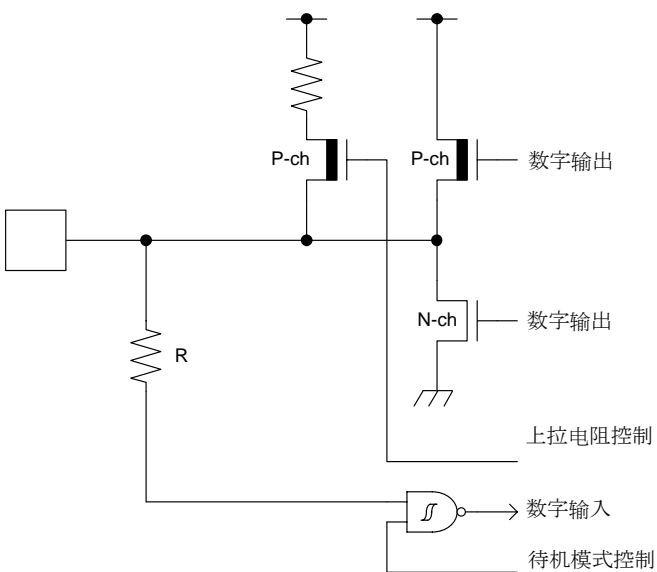
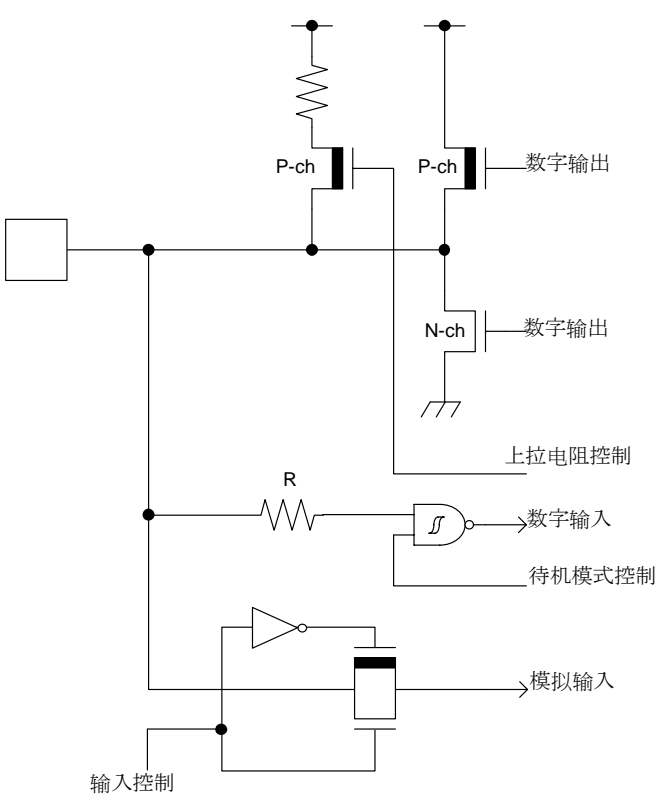
模块	引脚名称	功能	引脚号		
			LQFP-176	LQFP-144	BGA-192
CLOCK	X0	主时钟(振荡)输入引脚	86	70	P12
	X0A	副时钟(振荡)输入引脚	55	47	P5
	X1	主时钟(振荡) I/O 引脚	87	71	P13
	X1A	副时钟(振荡) I/O 引脚	56	48	P6
	CROUT_0	高速内置 CR 振荡时钟输出口	127	103	D13
	CROUT_1		152	122	E8
Analog POWER	AVCC	A/D 转换器的模拟电源引脚	106	90	J14
	AVRH	A/D 转换器的模拟基准电压输入引脚	107	91	H14
Analog GND	AVSS	A/D 转换器的 GND 引脚	108	92	G14
C 引脚	C	电源稳定电容引脚	52	44	P2

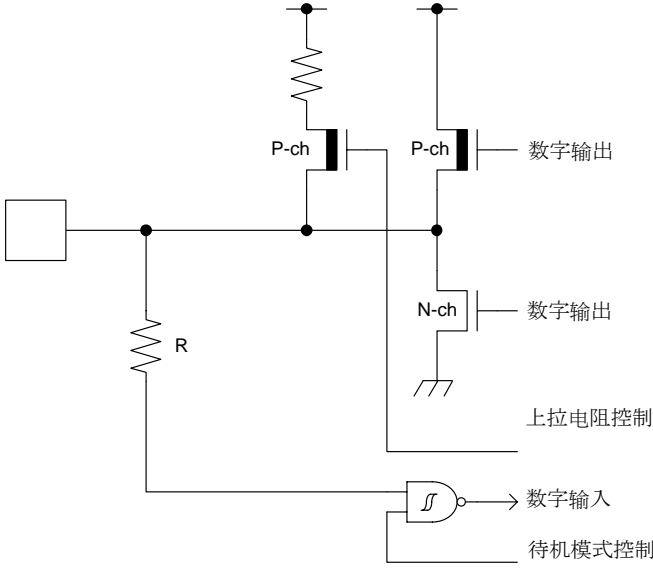
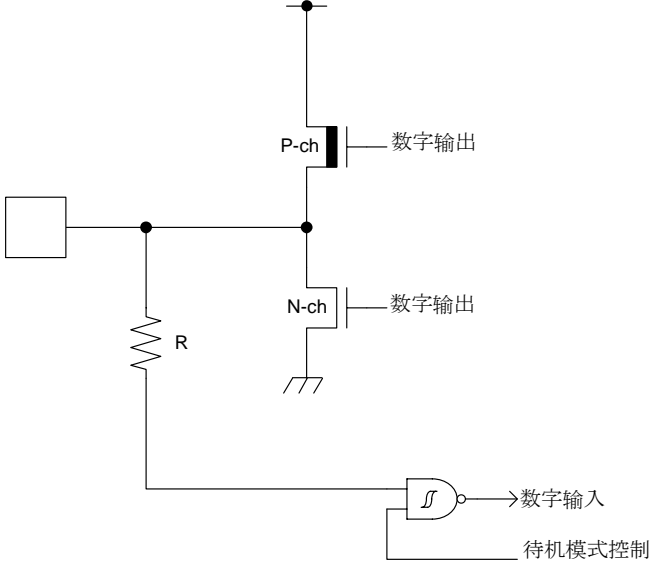
## 5. I/O 电路类型

类型	电路	备注
A	 <p>该电路类型 A 展示了两个输入引脚 X1 和 X0 的内部连接。X1 引脚通过电阻 R 连接到内部节点，该节点驱动 P 沟道 MOSFET 和 N 沟道 MOSFET，分别连接到数字输出和上拉电阻控制。X0 引脚通过电阻 R 连接到内部节点，驱动 P 沟道 MOSFET 和 N 沟道 MOSFET，分别连接到数字输出和上拉电阻控制。此外，X1 还连接到数字输入、待机模式控制、时钟输入和反馈电阻。X0 连接到数字输入、待机模式控制、上拉电阻和数字输出。上拉电阻控制信号连接到数字输出和 N 沟道 MOSFET。</p>	<p>可切换主振荡/GPIO</p> <p>选择主振荡功能时。</p> <ul style="list-style-type: none"> <li>■ 振荡反馈电阻:约 1 MΩ</li> <li>■ 带待机控制</li> </ul> <p>选择 GPIO 功能时。</p> <ul style="list-style-type: none"> <li>■ CMOS 电平输出。</li> <li>■ CMOS 电平迟滞输入</li> <li>■ 带上拉电阻控制</li> <li>■ 带待机控制</li> <li>■ 上拉电阻:约 50 kΩ</li> <li>■ <math>I_{OH} = -4 \text{ mA}</math>, <math>I_{OL} = 4 \text{ mA}</math></li> </ul>

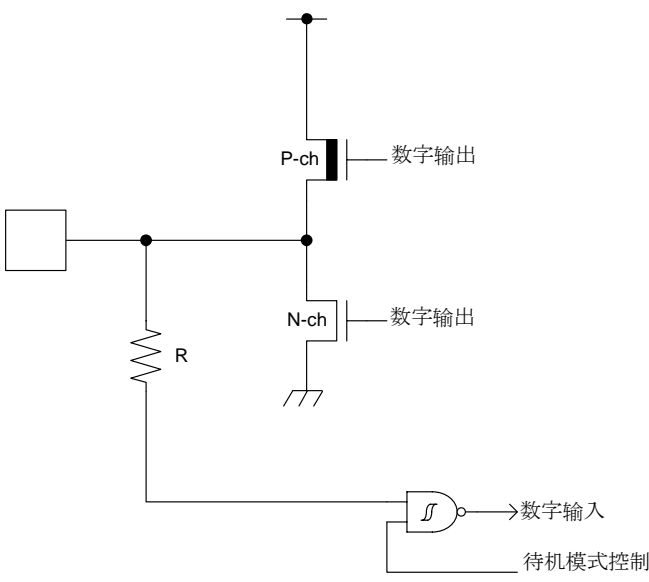
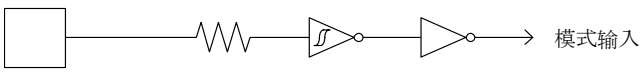
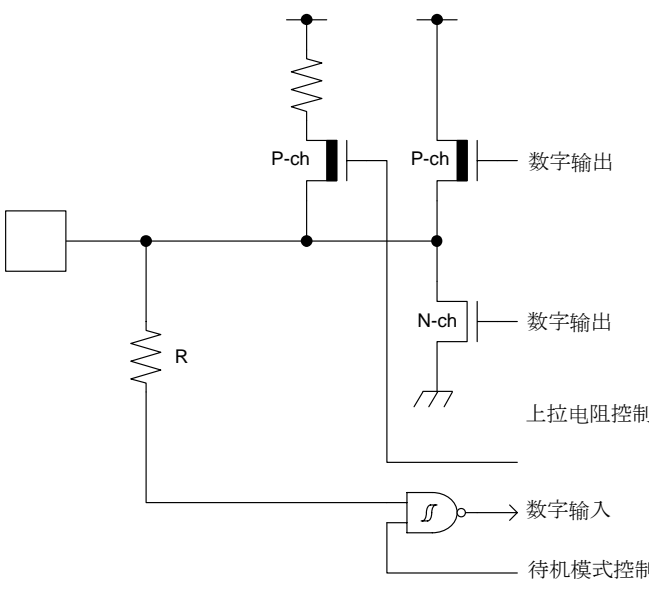
类型	电路	备注
B		<ul style="list-style-type: none"> <li>■ CMOS 电平迟滞输入</li> <li>■ 上拉电阻: 约 50kΩ</li> </ul>
C		<ul style="list-style-type: none"> <li>■ 开漏输出</li> <li>■ CMOS 电平迟滞输入</li> </ul>

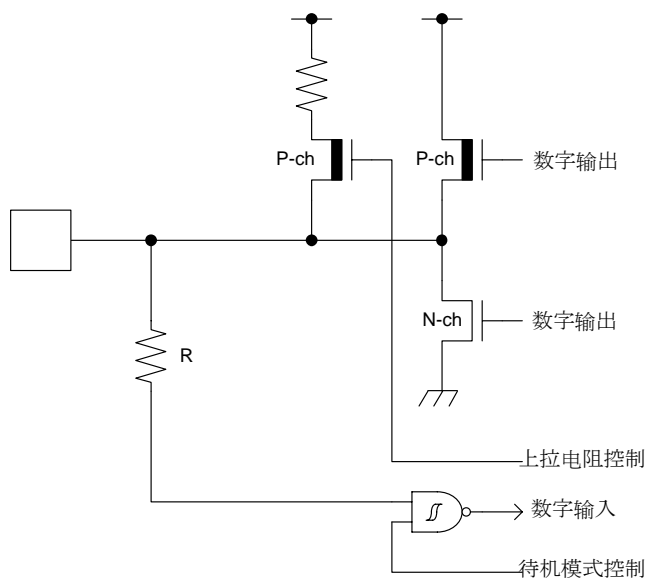
类型	电路	备注
D		<p>可切换副振荡 / GPIO</p> <p>选择副振荡功能时。</p> <ul style="list-style-type: none"> <li>■ 振荡反馈电阻: 约 5 MΩ</li> <li>■ 带待机控制</li> </ul> <p>选择 GPIO 功能时。</p> <ul style="list-style-type: none"> <li>■ CMOS 电平输出</li> <li>■ CMOS 电平迟滞输入</li> <li>■ 带上拉电阻控制</li> <li>■ 带待机控制</li> <li>■ 上拉电阻: 约 50 kΩ</li> <li>■ <math>I_{OH} = -4 \text{ mA}</math>, <math>I_{OL} = 4 \text{ mA}</math></li> </ul>

类型	电路	备注
E	 <p>上拉电阻控制</p> <p>待机模式控制</p> <p>数字输入</p> <p>数字输出</p> <p>数字输出</p> <p>P-ch</p> <p>N-ch</p> <p>R</p>	<ul style="list-style-type: none"> <li>■ CMOS 电平输出</li> <li>■ CMOS 电平迟滞输入</li> <li>■ 带上拉电阻控制</li> <li>■ 带待机控制</li> <li>■ 上拉电阻: 约 50 kΩ</li> <li>■ <math>I_{OH} = -4 \text{ mA}</math>, <math>I_{OL} = 4 \text{ mA}</math></li> <li>■ 当该引脚被用作 I<sup>2</sup>C 引脚时, 数字输出 P 沟道晶体管处于常闭状态。</li> <li>■ +B 输入可用</li> </ul>
F	 <p>上拉电阻控制</p> <p>待机模式控制</p> <p>数字输入</p> <p>数字输出</p> <p>数字输出</p> <p>P-ch</p> <p>N-ch</p> <p>R</p> <p>输入控制</p> <p>模拟输入</p>	<ul style="list-style-type: none"> <li>■ CMOS 电平输出</li> <li>■ CMOS 电平迟滞输入</li> <li>■ 带输入控制</li> <li>■ 模拟输入</li> <li>■ 带上拉电阻控制</li> <li>■ 带待机控制</li> <li>■ 上拉电阻: 约 50 kΩ</li> <li>■ <math>I_{OH} = -4 \text{ mA}</math>, <math>I_{OL} = 4 \text{ mA}</math></li> <li>■ 当该引脚被用作 I<sup>2</sup>C 引脚时, 数字输出 P 沟道晶体管处于常闭状态。</li> <li>■ +B 输入可用</li> </ul>

类型	电路	备注
G		<ul style="list-style-type: none"> <li>■ CMOS 电平输出</li> <li>■ CMOS 电平迟滞输入</li> <li>■ 带上拉电阻控制</li> <li>■ 带待机控制</li> <li>■ 上拉电阻: 约 50 kΩ</li> <li>■ <math>I_{OH} = -12\text{ mA}</math>, <math>I_{OL} = 12\text{ mA}</math></li> <li>■ +B 输入可用</li> </ul>
H		<ul style="list-style-type: none"> <li>■ CMOS 电平输出</li> <li>■ CMOS 电平迟滞输入</li> <li>■ 带待机控制</li> <li>■ <math>I_{OH} = -20.5\text{ mA}</math>, <math>I_{OL} = 18.5\text{ mA}</math></li> </ul>



类型	电路	备注
I		<ul style="list-style-type: none"> <li>■ CMOS 电平输出</li> <li>■ CMOS 电平迟滞输入</li> <li>■ 耐 5V</li> <li>■ 带待机控制</li> <li>■ <math>I_{OH} = -4 \text{ mA}</math>, <math>I_{OL} = 4 \text{ mA}</math></li> <li>■ 可使用 PZR 寄存器控制。</li> <li>■ 当该引脚被用作 I<sup>2</sup>C 引脚时，数字输出 P 沟道晶体管处于常闭状态。</li> </ul>
J		CMOS 电平迟滞输入
K		<ul style="list-style-type: none"> <li>■ CMOS 电平输出</li> <li>■ TTL 电平迟滞输入</li> <li>■ 带上拉电阻控制</li> <li>■ 带待机控制</li> <li>■ 上拉电阻: 约 50 kΩ</li> <li>■ <math>I_{OH} = -4 \text{ mA}</math>, <math>I_{OL} = 4 \text{ mA}</math></li> </ul>

类型	电路	备注
L		<ul style="list-style-type: none"> <li>■ CMOS 电平输出</li> <li>■ CMOS 电平迟滞输入</li> <li>■ 带上拉电阻控制</li> <li>■ 带待机控制</li> <li>■ 上拉电阻:约 50 kΩ</li> <li>■ <math>I_{OH} = -8 \text{ mA}</math>, <math>I_{OL} = 8 \text{ mA}</math></li> <li>■ 当该引脚被用作 I2C 引脚时, 数字输出 P 沟道晶体管处于常闭状态。</li> <li>■ +B 输入可用</li> </ul>

## 6. 芯片处理注意事项

半导体芯片存在一定的故障发生概率。半导体芯片的故障率很大程度受使用条件(电路条件、环境条件等)的影响。使用半导体芯片时遵守下列注意事项，可降低故障概率并提高产品性能。

### 6.1 产品设计注意事项

本部分介绍使用半导体芯片进行电子产品设计时的注意事项。

#### ■ 遵守最大绝对额定值

施加超过最大绝对额定值的负荷(电压、电流、温度等)可能会永久损坏半导体芯片。因此，注意不可超过这些额定值。

#### ■ 遵守推荐工作条件

遵守推荐工作条件可以保证半导体芯片的正常动作。请保证电气特性的额定值符合这些条件范围。

请始终在符合推荐工作条件的状态下使用。不符合条件的使用可能会影响芯片的可靠性并导致芯片故障。

Cypress 半导体不保证“数据手册”上没有记载的项目、使用条件和逻辑组合的使用。用户在“数据手册”未记载的条件下使用时，请事先与销售部门联系。

#### ■ 引脚的处理与保护

处理连接半导体芯片上的电源引脚及 I/O 引脚时，须注意以下事项。

##### 1. 过电压、过电流的防止

各引脚上施加超过最大额定值的电压、电流会损伤芯片内部，在极端情况下甚至会永久损坏芯片。设计产品时，请防止产生过电压、过电流。

##### 2. 输出引脚的保护

电源引脚或者其它输出引脚短路或连接大电容负载会产生大的漏电流。长时间保持这种连接状态会损伤芯片。因此不要进行此类连接。

##### 3. 未用输入引脚的保护

在悬空状态下使用高阻抗电平的输入引脚时，可能会引起操作不稳定。请使用合适的电阻连接到电源引脚或接地引脚。

■ 闩锁

半导体芯片根据基板上的 P 型区和 N 型区进行配置。外部异常电压增加时，内部寄生 PNP 接合点(晶闸管构造)导通后，增加的数百 mA 的大电流可能会流至电源引脚。这就是闩锁。

**警告:**

这一现象会降低芯片的可靠性，还有引起发热、冒烟和起火的危险。为避免以上现象发生，应该注意以下几点:

1. 不可在引脚上添加超过最大额定的电压。注意异常噪声和电涌等。
2. 考虑上电的先后顺序，不要流入异常电流。

■ 遵守安全法规和标准

世界各国提供了诸如安全和地磁干扰等规章制度和标准。客户进行产品设计时请遵守这些规章制度和标准。

■ 故障及安全设计

半导体芯片存在一定的故障发生概率。请用户对芯片和设备采取冗余设计、防火设计、防止过电流设计、防误动作设计等安全设计措施，保证即使在设备发生故障的情况下，也不会造成人身伤害、火灾和社会损失。

■ 芯片使用注意事项

Cypress 半导体器件旨在用于标准应用（计算机、办公自动化和其它办公设备、工业、通信和测量设备、个人或家用设备等）。

**注意:**

如果客户考虑把我们的产品用于特殊的应用中，其发生故障或不正常运行可能直接危及生命安全或导致人身伤害或财产损失时，或者是在需要极高可靠性的场合（比如航空航天系统、原子能控制、海底中继器、车辆操作控制、医用维系生命设备等），请在使用前咨询我们的销售代表。本公司不对未经事前同意的此类使用造成的损失负责。

## 6.2 封装注意事项

封装分为直插型和表贴型。对这两类封装，仅符合本公司推荐工作条件的封装方可保障焊接耐热性等品质。关于封装详情，请咨询本公司的销售部。

### ■ 直插型

在印刷电路板上直接进行直插型封装有两种方法:在印刷电路板上直接焊接和使用插座进行封装。

直接在印刷电路板上焊接：铅插入印刷电路板的通孔后，一般使用喷流焊锡法(波峰焊接方法)。这种情况下进行焊接时，超过最大保存温度额定的热应力导入到铅上。封装请符合 Cypress 推荐的工作条件。

使用插座封装方法：插座接点的表面处理和 IC 的铅表面处理不同时，长时间后会发生接触不良的现象。建议用户封装前确认此时的插座接点的表面处理和 IC 铅表面处理的状态。

### ■ 表贴型

与直插型封装比较，表贴型封装的铅细薄，容易弯曲变形。封装时可能发生开路(引脚增加、引脚间距狭窄、铅变形引起)和短路(桥焊引起)。

请采用合适的封装技术。Cypress 推荐焊接方法的产品封装条件实施等级分类。用户请按照 Cypress 推荐的等级分类进行封装。

### ■ 无铅封装

#### **注意:**

使用 Sn-Pb 共晶焊料进行 BGA 封装的 Sn-Ag-Cu 球产品封装时，需注意因使用状况引起的接合强度变低现象。

### ■ 半导体芯片的保管

塑料封装使用树脂材料，在自然环境下放置容易吸湿。吸湿后的封装在封装时需要进行加热，可能会产生由于界面剥离而降低耐湿性或者封装产生裂痕的现象。请注意以下几点：

1. 保管场所的气温急剧变化会引起产品上面水分结露。应避免在此类环境下保管产品。
2. 请在温度变化低的场所保管产品。推荐使用干燥箱保管产品。保管时相对湿度 70%RH 以下，温度 5°C ~ 30°C。干燥的封装开封时，推荐湿度为 40% ~ 70% RH。
3. Cypress 的半导体芯片使用防潮性高的铝质网状包装袋，并使用硅胶作为干燥剂。半导体芯片放入铝质网袋密封保管。
4. 避免在腐蚀性气体充溢和灰尘弥漫的场所保管产品。

### ■ 烘烤

吸湿后的封装通过烘烤(加热干燥)可进行除湿。烘烤时，请在 Cypress 推荐的条件下进行。

条件:125°C/24 小时

## ■ 静电

静电容易破坏半导体芯片，请注意以下几点：

1. 工作环境的相对湿度: 40% ~ 70% RH。必要时考虑使用除静电装置(离子发生器)。
2. 使用的传输带、沾锡槽、焊烙铁及周围附加设备接地。
3. 为防止人体静电，可导致高电阻 (1 MΩ 左右)的戒指或手镯应放置地线保持接地状态，着导电性好的衣服鞋子，床上铺设导电垫，这些措施可使带电电荷保持在最小限度。
4. 请将夹具及计量类仪表仪器接地或者进行防静电处理。
5. 基板组装完毕进行收纳时，避免使用发泡胶等容易带电的材料。

### 6.3 使用环境注意事项

半导体芯片的可靠性依赖于前述的周围温度及环境条件。

使用时请注意以下几点：

#### 1. 湿度环境

长期在高湿度环境下使用可引起芯片以及 PCB 板的漏电等问题。如果预料到芯片会放置到高湿度环境，请考虑进行防潮处理。

#### 2. 静电放电

半导体芯片靠近高压带电物体时，可能因放电产生误动作。这种情况下请进行防静电等处理以防产生放电。

#### 3. 腐蚀性气体、尘埃、油

在腐蚀性气雾、大气尘埃和油附着的状态下使用芯片，引起的化学反应可能对芯片产生不良影响。在这样的环境下使用时，请采取预防措施。

#### 4. 放射线及宇宙射线

一般芯片设计时并不可暴露于有放射线和宇宙射线的环境。因此，若要在这样的环境下使用，请做好防护。

#### 5. 冒烟及起火

#### **注意:**

模质树脂型的芯片具有可燃性，因此注意不可以靠近易燃物。芯片冒烟或起火时可能产生有毒气体。

其它特殊环境下使用 Cypress 产品时，请咨询 Cypress 销售部门。

## 7. 芯片使用注意事项

### 7.1 关于电源引脚

若产品有多个 VCC, VSS 引脚, 为防止芯片设计时因闩锁等产生误动作, 可把芯片内同一电位上的引脚相互连接。为防止因额外的辐射或者地线的上升致使选通信号发生误动作, 请务必把这些引脚与外部电源或地线连接, 以符合总输出电流的额定。

另外, 在电源和本芯片的 VCC, VSS 引脚间考虑连接尽可能低的电阻。此外, 推荐在本芯片附近的 VCC 和 VSS 引脚间连接一个约 0.1  $\mu\text{F}$  的陶瓷旁路电容。

### 7.2 稳定电源电压

如果电源电压迅速波动, 即便波动在推荐的 VCC 电源电压工作条件范围内, 也可能出现功能异常。通常, 采用稳压电源抑制电压波动的条件下, 工业用电频率 (50Hz/60Hz) 下的 VCC 纹波 (峰峰值) 波动不会超过推荐工作条件下 VCC 值的 10%, 此外在开关电源时如果产生瞬时波动, 瞬时波动率将不超过 0.1 V/ $\mu\text{s}$ 。

### 7.3 晶振电路

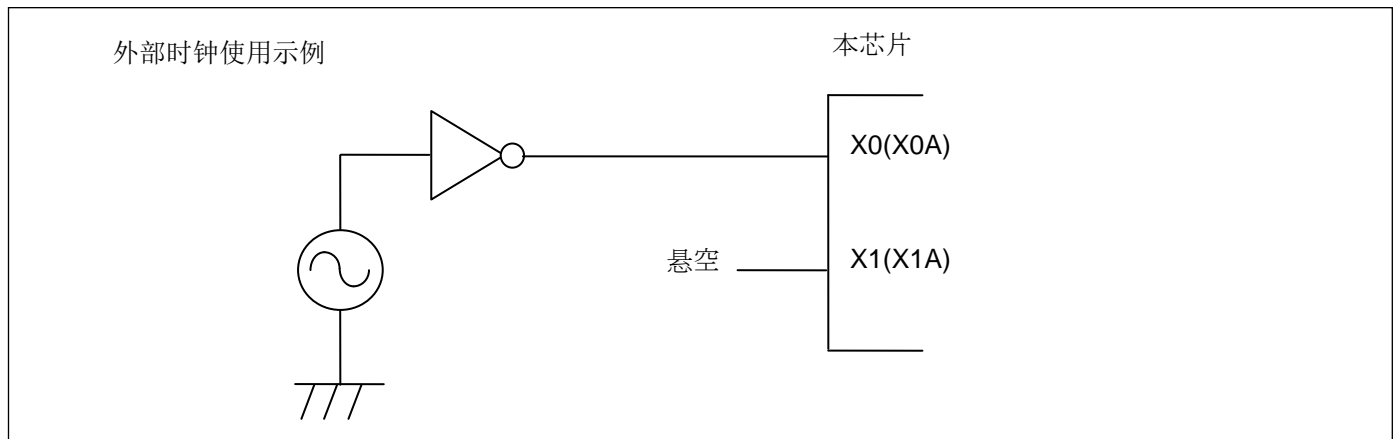
X0/X1, X0A/X1A 引脚附近的噪声可导致芯片出现误动作。在设计印刷电路板布线时, X0/X1 引脚、X0A/X1A 引脚、晶振及至地线的旁路电容的距离要尽可能的近。

强烈建议设计时地线应环绕 X0/X1, X0A/X1A 引脚, 这样印刷电路板才能够稳定工作。

对安装板上所用晶体振荡器产生的振荡进行评估。

### 7.4 外部时钟使用注意事项

使用外部时钟时, 时钟信号仅输入到 X0, X0A 引脚, X1, X1A 引脚悬空。



### 7.5 多功能串行引脚用作 I<sup>2</sup>C 引脚时的注意事项

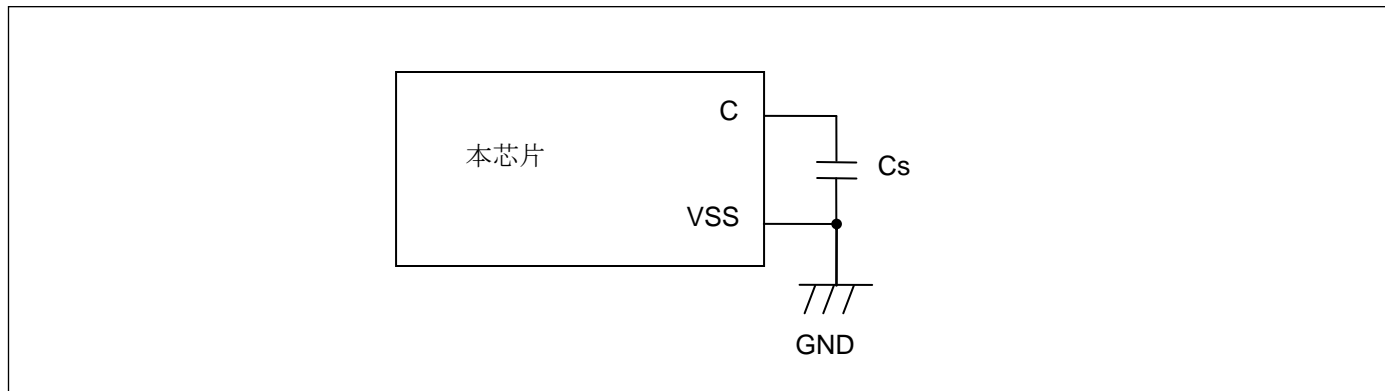
如果多功能串行引脚用作 I<sup>2</sup>C 引脚, 数字输出 P-ch 晶体管始终处于禁止状态。但是, I<sup>2</sup>C 引脚需要如其它引脚一样保持电气特性, 断电后无需与外部 I<sup>2</sup>C 总线系统连接。

### 7.6 C 引脚

本系列内置调节器。确保在 C 引脚和 GND 引脚之间连接一个用于调节器的平滑电容器(C<sub>S</sub>)。请使用陶瓷电容器或具有同等频率特性的电容器作为平滑电容器。

但是部分叠层陶瓷电容器具有容量随着热波动而发生变化的特性 (F 特性和 Y5V 特性)。请评估电容器的温度特性, 选择满足工作条件规格的电容器以供使用。

针对本系列而言, 推荐使用大约 4.7 $\mu\text{F}$  的平滑电容器。



### 7.7 模式引脚(MD0)

模式引脚(MD0)直接与 VCC 引脚/VSS 引脚连接。为防止模式引脚电平变化及重写闪存数据引起上拉/下拉或者并防止芯片因噪声而意外进入测试模式，设计电路板时上拉或下拉使用的电阻值尽量小一些，尽可能地缩短模式引脚到 VCC 引脚/VSS 引脚的距离，最好用低阻抗连结。

### 7.8 上电注意事项

同时开关电源或按照以下顺序开关电源。不使用 A/D 转换器时，请按照 AVCC = VCC 电平，AVSS = VSS 电平连接。

上电时：VCC → AVCC → AVRH

断电时：AVRH → AVCC → VCC



## 7.9 串行通信

串行通信时受噪声或其他因素影响可能接收到不正确的数据。因此，请设计能降噪的电路板。考虑到受噪声影响而接收到不正确的数据，应在数据末尾添加数据校验等错误检测措施。检测出错误后，重新发送数据。

## 7.10 不同容量的存储器产品间及 Flash 产品和 MASK 产品的特性差异

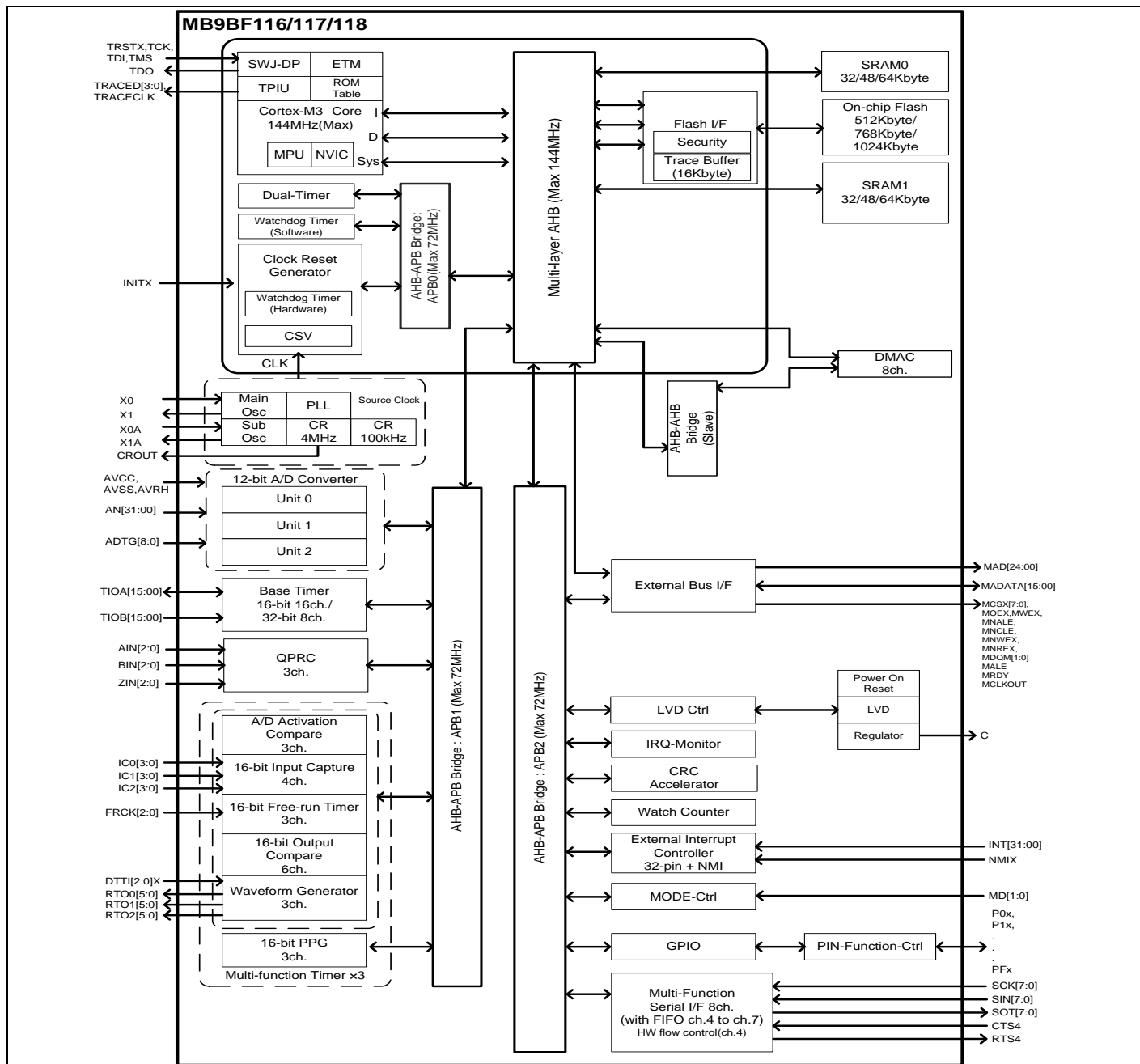
因为芯片布设和存储器构造的差异，不同容量的存储器产品间及 Flash 产品和 MASK 产品的电气特性(功耗、ESD、门锁、噪声特性、振荡特性等)也不同。

用户要使用同一系列的其它产品时，须评估其电气特性。

## 7.11 基本定时器

在 I/O 模式 1（定时器全模式）使用 ch.8 和 ch.9 的情况下，TIOA09 引脚不能被用作外部启动触发输入（TGIN）。确保使用引脚，使基本定时器中定时器控制寄存器（Ch.9-TMCR）的 ESG1 和 ESG2 位为“0b00”，以禁用触发输入。

## 8. 框图



**注意事项:** 下列项目因封装而异。

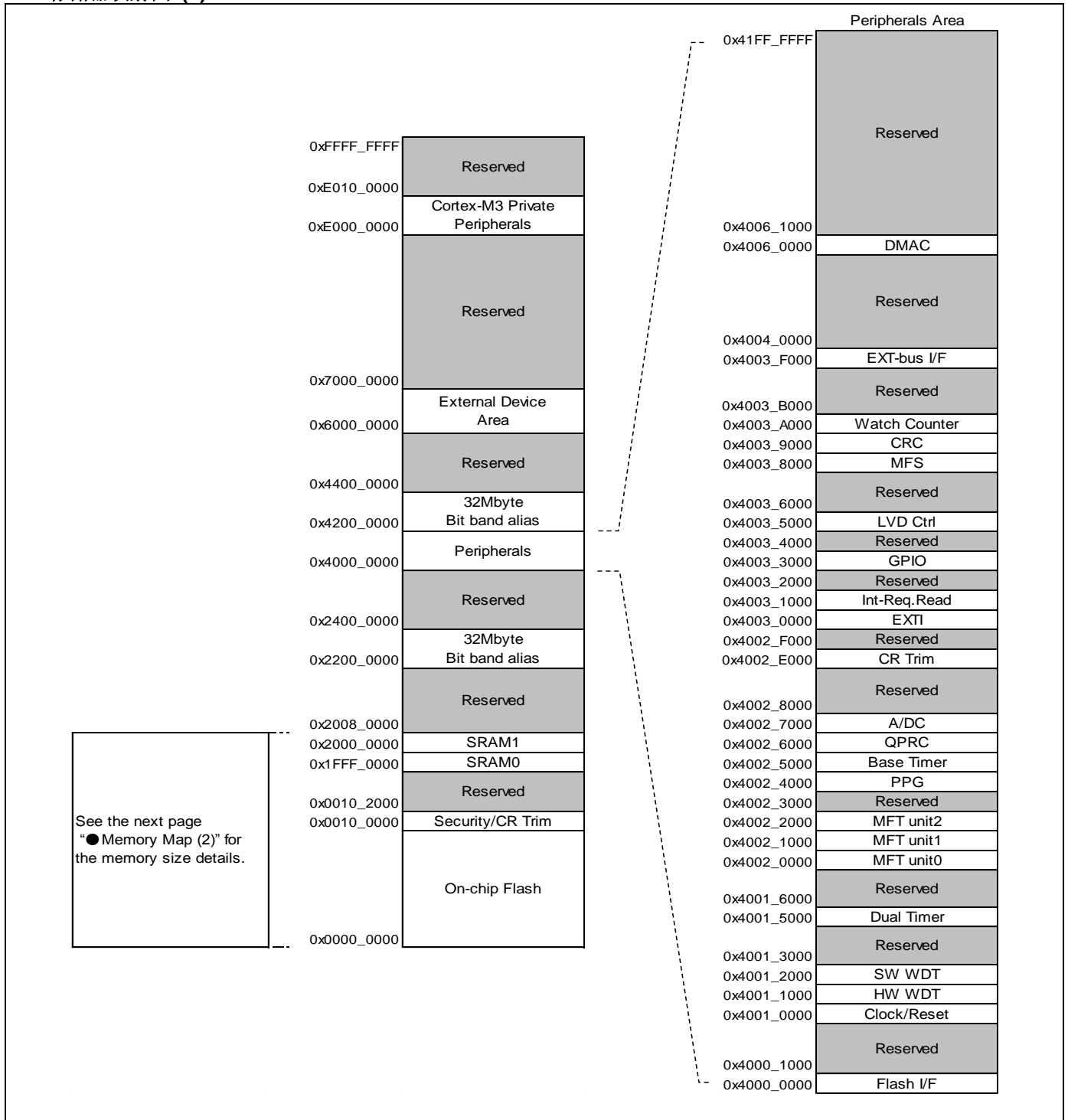
- 外部总线接口的引脚数
- 12 位 A/D 转换器的通道数

## 9. 存储器容量

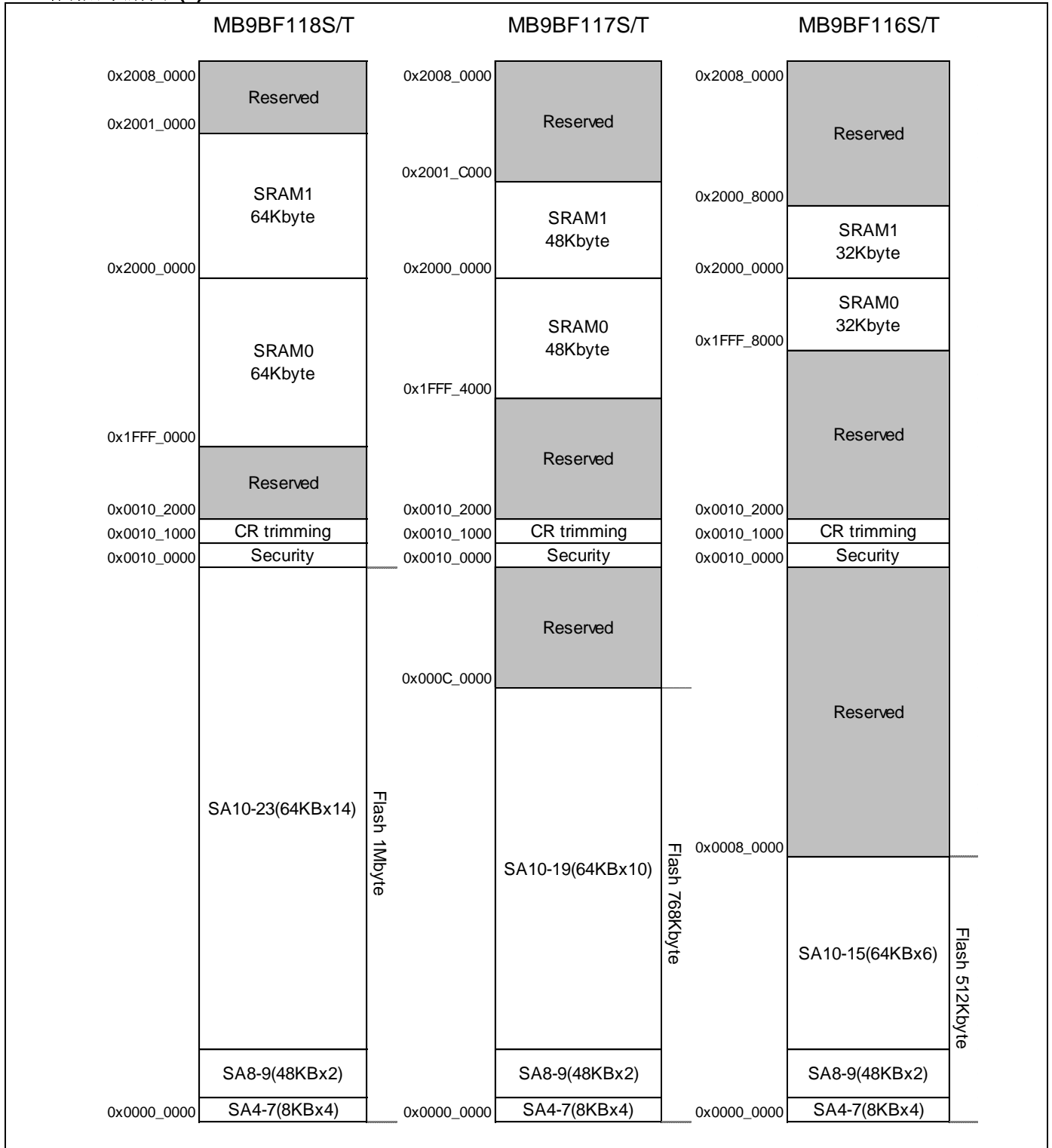
关于存储器容量，详情参照“产品阵容”中的“存储器容量”。

## 10. 存储器映射

### 10.1 存储器映射图 (1)



## 10.2 存储器映射图 (2)



\*:请参阅"MB9BD10T/610T/510T/410T/310T/210T/110T 系列闪存编程手册" 了解闪存的扇区结构。

### 10.3 外设功能地址映射

起始地址	末尾地址	总线	外设功能
0x4000_0000	0x4000_0FFF	AHB	Flash IF 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF	APB0	时钟/复位控制
0x4001_1000	0x4001_1FFF		硬件监视定时器
0x4001_2000	0x4001_2FFF		软件监视定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		双定时器
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF	APB1	多功能定时器 unit0
0x4002_1000	0x4002_1FFF		多功能定时器 unit1
0x4002_2000	0x4002_3FFF		多功能定时器 unit2
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		基本定时器
0x4002_6000	0x4002_6FFF		Quad 计数器(QPRC)
0x4002_7000	0x4002_7FFF		A/D 转换器
0x4002_8000	0x4002_DFFF		保留
0x4002_E000	0x4002_EFFF		内部 CR 调节
0x4002_F000	0x4002_FFFF		保留
0x4003_0000	0x4003_0FFF	APB2	外部中断
0x4003_1000	0x4003_1FFF		中断源确认寄存器
0x4003_2000	0x4003_2FFF		保留
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		保留
0x4003_5000	0x4003_5FFF		低压检测
0x4003_6000	0x4003_7FFF		保留
0x4003_8000	0x4003_8FFF		多功能串口
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		计时计数器
0x4003_B000	0x4003_EFFF		保留
0x4003_F000	0x4003_FFFF		外部总线 I/F
0x4004_0000	0x4005_FFFF	AHB	保留
0x4006_0000	0x4006_0FFF		DMAC 寄存器
0x4006_1000	0x41FF_FFFF		保留

## 11. 各 CPU 状态下的引脚状态

引脚状态术语释义如下。

- **INITX=0**  
INITX 引脚为"L"电平期间。
- **INITX=1**  
INITX 引脚为"H"电平期间。
- **SPL=0**  
待机模式控制寄存器(STB\_CTL)的待机引脚电平设定位(SPL)置"0"的状态。
- **SPL=1**  
待机模式控制寄存器(STB\_CTL)的待机引脚电平设定位(SPL)置"1"的状态。
- **输入使能**  
输入功能可使用的状态。
- **内部输入固定在"0"**  
输入功能不可使用的状态。内部输入固定在"L"。
- **Hi-Z**  
将输出驱动用晶体管置于驱动禁止状态、引脚置于 Hi-Z 状态。
- **设定禁止**  
不可设定。
- **保持即前状态**  
保持转换到本模式前的状态。如果内置的外设功能正在运行，则遵从该外设功能。用作端口时，保持该状态。
- **模拟输入使能**  
允许模拟输入。
- **追踪输出**  
追踪功能可使用的状态。

### 11.1 引脚状态一览表

引脚 状态 类型	功能组名称	上电复位或低压检测 状态	INITX 输入状态	芯片内部复位状 态	运行模式或睡眠模式 状态	定时器模式或停止模式状态	
		电源不稳定	电源稳定		电源稳定	电源稳定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
A	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	输出 Hi-Z/内部输入固定在"0"
	主晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
B	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/ 内部输入固定在 "0"
	主晶振输出引脚	Hi-Z/ 内部输入固定在"0"/ 输入使能	Hi-Z/ 内部输入固定在 "0"	Hi-Z/ 内部输入固定在 "0"	保持即前状态	保持即前状态/振 荡停止时 <sup>[1]</sup> Hi-Z/ 内部输入固定在 "0"	保持即前状态/振 荡停止时 <sup>[1]</sup> Hi-Z/ 内部输入固定在 "0"
C	INITX 输入引脚	上拉/ 输入 使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能
D	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
E	选择 JTAG	Hi-Z	上拉/输入使能	上拉/输入使能	保持即前状态	保持即前状态	保持即前状态
	选择 GPIO	设定禁止	设定禁止	设定禁止			输出 Hi-Z/内部输入固定在"0"
F	选择追踪功能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	追踪输出
	选择外部中断使能						保持即前状态
	选择 GPIO 或选择其它资源功 能	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定在 "0"
G	选择追踪功能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	追踪输出
	选择 GPIO 或选择 其它资源功能	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定在 "0"
H	选择外部中断使能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态
	选择 GPIO 或选择 其它资源功能	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定在 "0"

引脚 状态 类型	功能组名称	上电复位或低压检测 状态	INITX 输入状态	芯片内部复位状 态	运行模式或睡眠模式 状态	定时器模式或停止模式状态	
		电源不稳定	电源稳定		电源稳定	电源稳定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
I	选择 GPIO, 选择资源	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能	保持即前状态	保持即前状态	输出 Hi-Z/内部输入固定在"0"
J	选择 NMIX	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态
	选择 GPIO 或选择其它资源功能	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定在"0"
K	选择模拟输入	Hi-Z	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能
	选择 GPIO 或选择其它资源功能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/ 内部输入固定在"0"
L	选择外部中断使能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态
	选择模拟输入	Hi-Z	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能	Hi-Z/ 内部输入固定在"0"/ 模拟输入使能
	选择 GPIO 或选择其它资源功能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/ 内部输入固定在"0"
M	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	输出 Hi-Z/内部输入固定在"0"
	副晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
N	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/ 内部输入固定在"0"
	副晶振输出引脚	Hi-Z/ 内部输入固定在"0"/ 或者输入使能	Hi-Z/ 内部输入固定在"0"	Hi-Z/ 内部输入固定在"0"	保持即前状态	保持即前状态/振荡停止时 <sup>[2]</sup> Hi-Z/ 内部输入固定在"0"	保持即前状态/振荡停止时 <sup>[2]</sup> Hi-Z/ 内部输入固定在"0"



引脚 状态 类型	功能组名称	上电复位或低压检测 状态	INITX 输入状态	芯片内部复位状 态	运行模式或睡眠模式 状态	定时器模式或停止模式状态	
		电源不稳定	电源稳定		电源稳定	电源稳定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
O	选择 GPIO	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能	保持即前状态	保持即前状态	输出 Hi-Z/内部输 入固定在"0"
P	模式输入引脚	输入 使能	输入使能	输入使能	输入使能	输入 使能	输入 使能
	选择 GPIO	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前 状态	Hi-Z/ 输入使能
Q	选择 GPIO, 选择资 源时	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能	保持即前状态	保持即前 状态	Hi-Z/ 内部输入固定在 "0"
R	选择外部中断使能	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前 状态	保持即前 状态
	选择 GPIO 或选择 其它资源功能	Hi-Z	Hi-Z/ 输入使能	Hi-Z/ 输入使能			Hi-Z/ 内部输入固定在 "0"

[1]:副定时器模式、低速 CR 定时器模式、停止模式下振荡停止。

[2]:停止模式下振荡停止。

## 12. 电气特性

### 12.1 绝对最大额定值

参数	符号	额定值		单位	备注
		最小	最大		
电源电压 <sup>[1],[2]</sup>	V <sub>CC</sub>	V <sub>SS</sub> - 0.5	V <sub>SS</sub> + 6.5	V	
模拟电源电压 <sup>[1],[3]</sup>	AV <sub>CC</sub>	V <sub>SS</sub> - 0.5	V <sub>SS</sub> + 6.5	V	
模拟基准电压 <sup>[1],[3]</sup>	AV <sub>RH</sub>	V <sub>SS</sub> - 0.5	V <sub>SS</sub> + 6.5	V	
输入电压 <sup>[1]</sup>	V <sub>I</sub>	V <sub>SS</sub> - 0.5	V <sub>CC</sub> + 0.5 (≤ 6.5V)	V	
		V <sub>SS</sub> - 0.5	V <sub>SS</sub> + 6.5	V	耐 5V
模拟引脚输入电压 <sup>[1]</sup>	V <sub>IA</sub>	V <sub>SS</sub> - 0.5	AV <sub>CC</sub> + 0.5 (≤ 6.5 V)	V	
输出电压 <sup>[1]</sup>	V <sub>O</sub>	V <sub>SS</sub> - 0.5	V <sub>CC</sub> + 0.5 (≤ 6.5 V)	V	
钳位最大电流	I <sub>CLAMP</sub>	-2	+2	mA	<sup>[7]</sup>
钳位总体最大电流	Σ[I <sub>CLAMP</sub> ]		+20	mA	<sup>[7]</sup>
"L"电平最大输出电流 <sup>[4]</sup>	I <sub>OL</sub>	-	10	mA	4mA 类型
			20	mA	8mA 类型
			20	mA	12mA 类型
			39	mA	P80,P81,P82,P83
"L"电平平均输出电流 <sup>[5]</sup>	I <sub>OLAV</sub>	-	4	mA	4mA 类型
			8	mA	8mA 类型
			12	mA	12mA 类型
			18.5	mA	P80,P81,P82,P83
"L"电平最大总输出电流	ΣI <sub>OL</sub>	-	100	mA	
"L"电平平均总输出电流 <sup>[6]</sup>	ΣI <sub>OLAV</sub>	-	50	mA	
"H"电平最大输出电流 <sup>[4]</sup>	I <sub>OH</sub>	-	- 10	mA	4mA 类型
			- 20	mA	8mA 类型
			- 20	mA	12mA 类型
			- 39	mA	P80,P81,P82,P83
"H"电平平均输出电流 <sup>[5]</sup>	I <sub>OHAV</sub>	-	- 4	mA	4mA 类型
			- 8	mA	8mA 类型
			- 12	mA	12mA 类型
			- 20.5	mA	P80,P81,P82,P83
"H"电平最大总输出电流	ΣI <sub>OH</sub>	-	- 100	mA	
"H"电平平均总输出电流 <sup>[6]</sup>	ΣI <sub>OHAV</sub>	-	- 50	mA	
功耗	P <sub>D</sub>	-	1000	mW	
保存温度	T <sub>STG</sub>	- 55	+ 150	°C	

[1]:V<sub>SS</sub> = AV<sub>SS</sub> = 0.0 V 时的值。

[2]:V<sub>CC</sub> 不可低于 V<sub>SS</sub> - 0.5V。

[3]:接通电源等情况下，电压不要超过 V<sub>CC</sub> + 0.5V。

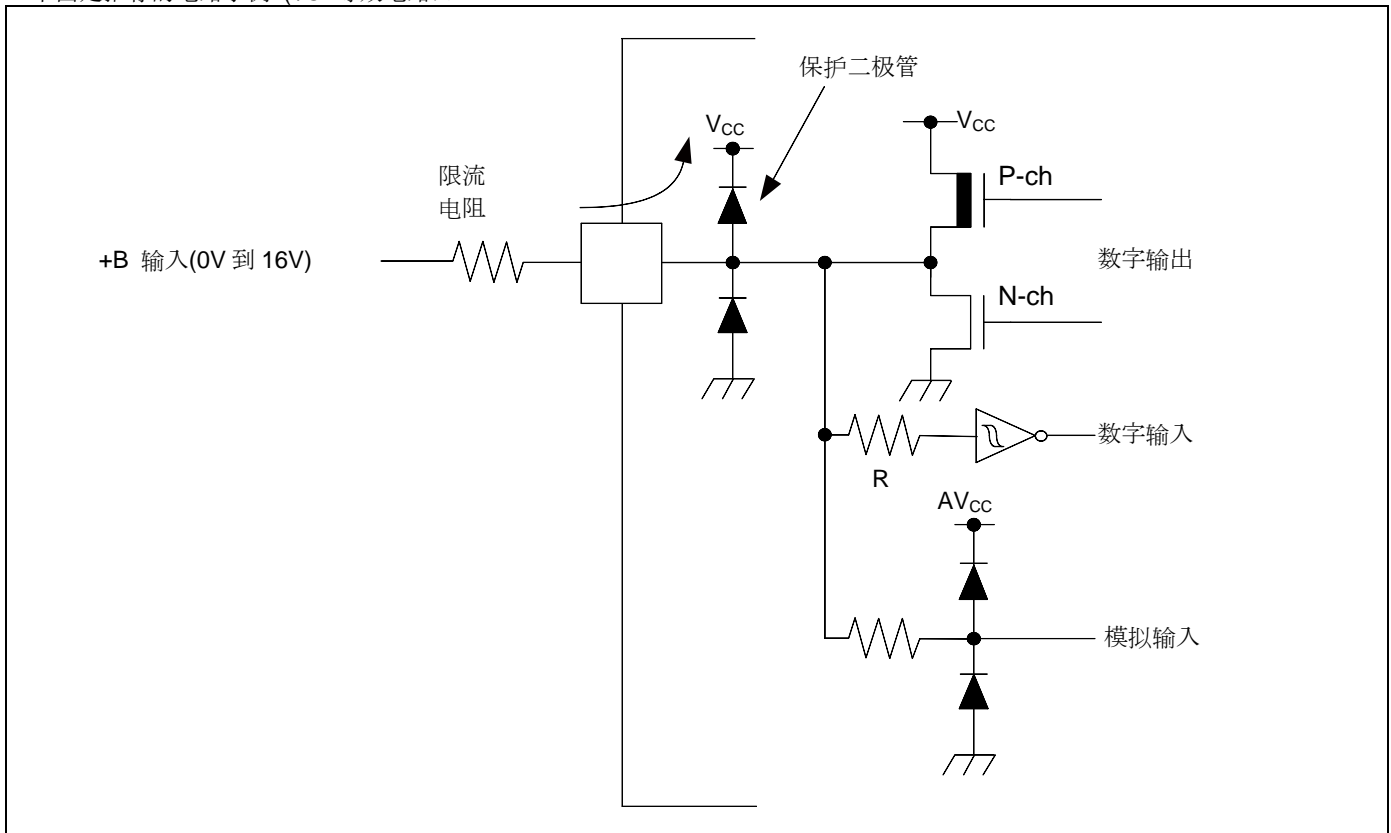
[4]:最大输出电流规定单一引脚的峰值。

[5]:平均输出电流规定在 100 ms 内流经单一引脚的平均电流。

[6]:平均总输出电流规定在 100 ms 内流过所有引脚的平均电流。

[7]:

- 请参阅"引脚功能说明" 和 "I/O 电路类型", 了解可用的+B 输入引脚。
- 在推荐的工作条件下使用。
- 在直流电压 (电流) 下使用+B 输入。
- 应用+B 信号时, 应在+B 信号和器件之间施加一个限流电阻。
- 限流电阻的设置应保证: 当应用+B 信号时, 器件引脚的输入电流不超过额定值, 无论是瞬时还是持续操作。
- 注意当器件驱动电流较低时, 例如当处于低功耗模式时, +B 输入电位可能通过保护二极管, 并提高 VCC 和 AVCC 引脚上的电势, 这可能给其他器件造成影响。
- 注意如果在输入+B 信号时器件电源被关闭 (不固定在 0V), 就会从这些引脚提供电源, 这可能导致不完整的操作。
- 下面是推荐的电路示例 (I/O 等效电路)。



**注意事项:**

如在半导体器件上施加的负荷(电压、电流、温度等)超过最大额定值, 将会导致该器件永久性损坏, 因此任何参数均不得超过其绝对最大额定值。

## 12.2 推荐工作条件

(Vss = AVss = 0.0V)

参数		符号	条件	额定值		单位	备注
				最小	最大		
电源电压		Vcc	-	2.7 <sup>[2]</sup>	5.5	V	
模拟电源电压		AVcc	-	2.7	5.5	V	AVcc = Vcc
模拟基准电压		AVRH	-	2.7	AVcc	V	
平滑电容器		Cs	-	1	10	μF	用于内置调节器 <sup>[1]</sup>
工作温度	FPT-144P-M08, FPT-176P-M07, BGA-192P-M06	Ta	贴装到 4 层 PCB 时	- 40	+ 85	°C	

[1]:关于平滑电容的连接方法，参照“芯片使用注意事项”中的“7.6 C 引脚”。

[2]:其间如果低于最低供电电压和低电压复位/中断检测电压，只能运行内置的高速 CR（包括使用主 PLL）或内置的低速 CR 的指令执行与低电压检测功能。

### 注意事项:

为确保半导体器件的正常工作，其须满足所推荐的运行环境或条件。器件在所推荐的环境或条件下运行时，其全部电气特性均可得到保证。请务必在所推荐的工作环境或条件范围内使用该半导体器件。如超出该等范围使用，可能会影响该器件的可靠性并导致故障。本公司对本数据手册中未记载的使用范围、运行条件或逻辑组合不作任何保证。如果用户欲在所列条件之外使用器件，请务必事先联系销售代表。

## 12.3 直流特性

### 12.3.1 电流规格

( $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件		规格值		单位	备注
					标准 <sup>[3]</sup>	最大 <sup>[4]</sup>		
运行模式 电流	Icc	VCC	PLL 运行模式	CPU :144 MHz, 外设 :72 MHz, Flash 2 Wait, TraceBuffer :ON, FRWTR.RWT = 10, FSYNDN.SD = 000, FBFCR.BE = 1	100	180	mA	[1],[5]
				CPU :72 MHz, 外设:72 MHz,Flash 0 Wait, TraceBuffer :OFF, FRWTR.RWT = 00, FSYNDN.SD = 000, FBFCR.BE = 0	65	135	mA	[1],[5]
			高速 CR 运行模式	CPU/外设:4 MHz <sup>[2]</sup> , Flash 0 Wait, FRWTR.RWT = 00, FSYNDN.SD = 000	6	57.8	mA	[1]
			副振荡 运行模式	CPU/外设 :32 kHz, Flash 0 Wait, FRWTR.RWT = 00, FSYNDN.SD = 000	1.3	51.7	mA	[1], [6]
			低速 CR 运行模式	CPU/外设 :100 kHz, Flash 0 Wait, FRWTR.RWT = 00, FSYNDN.SD = 000	1.3	51.7	mA	[1]
睡眠模式 电流	Iccs		PLL 睡眠模式	外设 :72 MHz	30	89	mA	[1],[5]
			高速 CR 睡眠模式	外设 :4 MHz <sup>[2]</sup>	4.5	55.9	mA	[1]
			副振荡 睡眠模式	外设 :32 kHz	1.2	51.6	mA	[1], [6]
			低速 CR 睡眠模式	外设 :100 kHz	1.2	51.6	mA	[1]

[1]:所有端口固定时的预估值。

[2]:调节时设定到 4 MHz。

[3]: $T_a = +25^{\circ}C$ ,  $V_{CC} = 5.5V$

[4]: $T_a = +85^{\circ}C$ ,  $V_{CC} = 5.5V$

[5]:在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

[6]:在使用 32 kHz 的晶体振荡器（包括振荡电路的电流消耗）时

( $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

引脚特性	符号	引脚名称	条件		规格值		单位	备注
					标准 <sup>[2]</sup>	最大 <sup>[2]</sup>		
TIMER 模式电流	I <sub>CCT</sub>	VCC	主定时器模式	Ta = + 25°C, LVD off 时	4	10	mA	[1],[3]
				Ta = + 85°C, LVD off 时	-	55	mA	[1],[3]
			副振荡定时器模式	Ta = + 25°C, LVD off 时	1.1	5	mA	[1],[4]
				Ta = + 85°C, LVD off 时	-	50	mA	[1],[4]
STOP 模式 电流	I <sub>CCH</sub>		STOP 模式	Ta = + 25°C, LVD off 时	1	5	mA	[1]
				Ta = + 85°C, LVD off 时	-	50	mA	[1]

[1]:所有端口固定时的预估值。

[2]: $V_{CC} = 5.5V$

[3]:在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

[4]:在使用 32 kHz 的晶体振荡器（包括振荡电路的电流消耗）时

#### 12.3.1.1 低压检测电流

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
低压检测电路(LVD)电源电流	$I_{CCLVD}$	VCC	中断发生用	4	7	$\mu A$	没有检测时

#### 12.3.1.2 闪存存储器电流

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
闪存写入/擦除电流	$I_{CCFLASH}$	VCC	在写入/擦除时	12	14	mA	

### 12.3.1.3 A/D 转换器电流

( $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = AV_{SS} = AV_{RL} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
电源电流	$I_{CCAD}$	AVCC	1 个单元操作	0.57	0.72	mA	
			停止	0.06	35	$\mu A$	
基准电源电流	$I_{CCAVRH}$	AVRH	1 个单元操作 AVRH=5.5 V	1.1	1.96	mA	
			停止	0.06	4	$\mu A$	

### 12.3.2 引脚特性

( $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
"H"电平 输入电压 (迟滞 输入)	$V_{IHS}$	CMOS 迟滞输入引脚, MD0, MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	[1]
		耐 5V 输入引脚	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
		TTL 施密特 输入引脚	-	2.0	-	$V_{CC} + 0.3$	V	
"L"电平 输入电压 (迟滞 输入)	$V_{ILS}$	CMOS 迟滞输入引脚, MD0, MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	[1]
		耐 5V 输入引脚	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		TTL 施密特 输入引脚	-	$V_{SS} - 0.3$	-	0.8	V	
"H"电平 输出电压	$V_{OH}$	4mA 类型	$V_{CC} \geq 4.5 V$ , $I_{OH} = -4 mA$	$V_{CC} - 0.5$	-	$V_{CC}$	V	[1]
			$V_{CC} < 4.5 V$ , $I_{OH} = -2 mA$					
		8mA 类型	$V_{CC} \geq 4.5 V$ , $I_{OH} = -8 mA$	$V_{CC} - 0.5$	-	$V_{CC}$	V	[1]
			$V_{CC} < 4.5 V$ , $I_{OH} = -4 mA$					
		12mA 类型	$V_{CC} \geq 4.5 V$ , $I_{OH} = -12 mA$	$V_{CC} - 0.5$	-	$V_{CC}$	V	
			$V_{CC} < 4.5 V$ , $I_{OH} = -8 mA$					
		P80, P81, P82, P83	$V_{CC} \geq 4.5 V$ , $I_{OH} = -20.5 mA$	$V_{CC} - 0.4$	-	$V_{CC}$	V	[2]
			$V_{CC} < 4.5 V$ , $I_{OH} = -13.0 mA$					

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
"L"电平 输出电压	$V_{OL}$	4mA 类型	$V_{CC} \geq 4.5 \text{ V},$ $I_{OL} = 4 \text{ mA}$	$V_{SS}$	-	0.4	V	[1]
			$V_{CC} < 4.5 \text{ V},$ $I_{OL} = 2 \text{ mA}$					
		8mA 类型	$V_{CC} \geq 4.5 \text{ V},$ $I_{OL} = 8 \text{ mA}$	$V_{SS}$	-	0.4	V	[1]
			$V_{CC} < 4.5 \text{ V},$ $I_{OL} = 4 \text{ mA}$					
		12mA 类型	$V_{CC} \geq 4.5 \text{ V},$ $I_{OL} = 12 \text{ mA}$	$V_{SS}$	-	0.4	V	
			$V_{CC} < 4.5 \text{ V},$ $I_{OL} = 8 \text{ mA}$					
		P80, P81, P82, P83	$V_{CC} \geq 4.5 \text{ V},$ $I_{OL} = 18.5 \text{ mA}$	$V_{SS}$	-	0.4	V	[2]
			$V_{CC} < 4.5 \text{ V},$ $I_{OL} = 10.5 \text{ mA}$					
输入漏电流	$I_{IL}$	-	-	- 5	-	+ 5	$\mu\text{A}$	
上拉电阻值	$R_{PU}$	上拉引脚	$V_{CC} \geq 4.5 \text{ V}$	25	50	100	$\text{k}\Omega$	
			$V_{CC} < 4.5 \text{ V}$	30	80	200		
输入电容	$C_{IN}$	VCC, VSS, AVCC, AVSS, AVRH 以外	-	-	5	15	pF	



## 12.4 交流特性

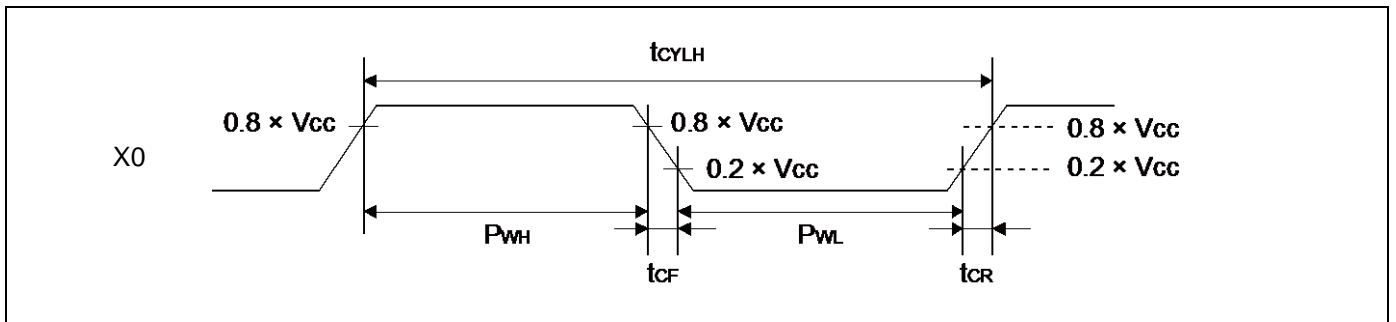
### 12.4.1 主时钟输入规格

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入频率	F <sub>CH</sub>	X0, X1	V <sub>CC</sub> ≥ 4.5 V	4	48	MHz	连接晶振时
			V <sub>CC</sub> < 4.5 V	4	20		
			V <sub>CC</sub> ≥ 4.5 V	4	48	MHz	外部时钟时
			V <sub>CC</sub> < 4.5 V	4	20		
输入时钟周期	t <sub>CYLH</sub>		V <sub>CC</sub> ≥ 4.5 V	20.83	250	ns	外部时钟时
			V <sub>CC</sub> < 4.5 V	50	250		
输入时钟脉宽	-		PWH/t <sub>CYLH</sub> , PWL/t <sub>CYLH</sub>	45	55	%	外部时钟时
输入时钟上升、下降沿	t <sub>CF</sub> , t <sub>CR</sub>		-	-	5	ns	外部时钟时
内部工作 时钟 <sup>[1]</sup> 频率	F <sub>CM</sub>	-	-	-	144	MHz	主时钟
	F <sub>CC</sub>	-	-	-	144	MHz	基本时钟(HCLK/FCLK)
	F <sub>CP0</sub>	-	-	-	72	MHz	APB0 总线时钟 <sup>[2]</sup>
	F <sub>CP1</sub>	-	-	-	72	MHz	APB1 总线时钟 <sup>[2]</sup>
	F <sub>CP2</sub>	-	-	-	72	MHz	APB2 总线时钟 <sup>[2]</sup>
内部工作 时钟 <sup>[1]</sup> 周期时间	t <sub>CYCC</sub>	-	-	6.94	-	ns	基本时钟(HCLK/FCLK)
	t <sub>CYCP0</sub>	-	-	13.8	-	ns	APB0 总线时钟 <sup>[2]</sup>
	t <sub>CYCP1</sub>	-	-	13.8	-	ns	APB1 总线时钟 <sup>[2]</sup>
	t <sub>CYCP2</sub>	-	-	13.8	-	ns	APB2 总线时钟 <sup>[2]</sup>

[1]:关于各内部工作时钟，详情参照 "FM3 家族外设手册"中的"时钟"一章。

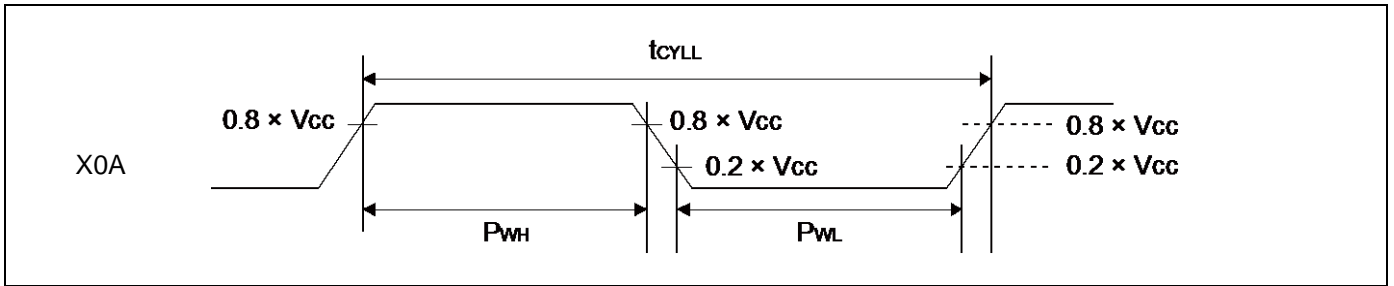
[2]:关于各外设连结的 APB 总线，参照 "框图"。



#### 12.4.2 副时钟输入规格

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
输入频率	$1/t_{CYLL}$	X0A, X1A	-	-	32.768	-	kHz	连接晶振时
			-	32	-	100	kHz	外部时钟时
输入时钟周期	$t_{CYLL}$		-	10	-	31.25	$\mu s$	外部时钟时
输入时钟脉宽	-		PWH/ $t_{CYLL}$ , PWL/ $t_{CYLL}$	45	-	55	%	外部时钟时



#### 12.4.3 内置 CR 振荡规格

##### 12.4.3.1 内置高速 CR

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	$F_{CRH}$	$T_a = +25^{\circ}C$	3.96	4	4.04	MHz	调节时 <sup>[1]</sup>
		$T_a = 0^{\circ}C \sim +70^{\circ}C$	3.84	4	4.16		
		$T_a = -40^{\circ}C \sim +85^{\circ}C$	3.8	4	4.2		
		$T_a = -40^{\circ}C \sim +85^{\circ}C$	3	4	5		非调节时
频率稳定时间	$t_{CRWT}$	-	-	-	90	$\mu s$	<sup>[2]</sup>

[1]: 出库时设定的 Flash 存储器内的 CR 调节区的值作为频率调节值使用时。

[2]: 频率稳定时间是指稳定高速 CR 的频率所用的时间。设置该调节值后开始计时。在设置调节值后，频率稳定时间经过的周期可使用高速 CR 时钟作为源时钟。

### 12.4.3.2 内置低速 CR

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	F <sub>CRL</sub>	-	50	100	150	kHz	

### 12.4.4 主 PLL 和 USB PLL 的工作条件

#### 12.4.4.1 主 PLL 的使用条件(使用主时钟作为 PLL 的输入时钟)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间 <sup>[1]</sup> (LOCK UP 时间)	t <sub>LOCK</sub>	100	-	-	μs	
PLL 输入时钟频率	F <sub>PLLI</sub>	4	-	16	MHz	
PLL 倍频率	-	13	-	75	倍频	
PLL macro 振荡时钟频率	F <sub>PLLO</sub>	200	-	300	MHz	
主 PLL 时钟频率 <sup>[2]</sup>	F <sub>CLKPLL</sub>	-	-	144	MHz	

[1]:自 PLL 开始运行至振荡稳定的时间。

[2]:如欲了解有关主 PLL 时钟 (CLKPLL) 的详细介绍, 请参阅"FM3 家族外设手册"中的"时钟"一章。

#### 12.4.4.2 主 PLL 的使用条件(使用内置高速 CR 时钟作为主 PLL 的输入时钟)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间 <sup>[1]</sup> (LOCK UP 时间)	t <sub>LOCK</sub>	100	-	-	μs	
PLL 输入时钟频率	F <sub>PLLI</sub>	3.8	4	4.2	MHz	
PLL 倍频率	-	50	-	71	倍频	
PLL macro 振荡时钟频率	F <sub>PLLO</sub>	190	-	300	MHz	
主 PLL 时钟频率 <sup>[2]</sup>	F <sub>CLKPLL</sub>	-	-	144	MHz	

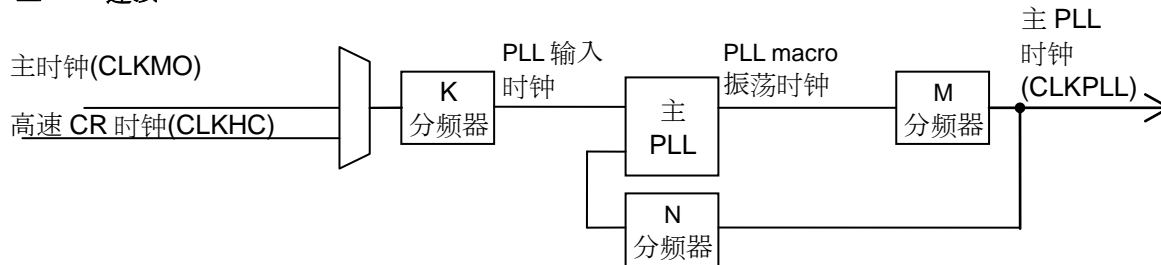
[1]:自 PLL 开始运行至振荡稳定的时间。

[2]:如欲了解有关主 PLL 时钟 (CLKPLL) 的详细介绍, 请参阅 "FM3 家族外设手册"中的"时钟"一章。

#### 注意事项:

务必输入调节后的主 PLL 源时钟、高速 CR 时钟(CLKHC)。

#### 主 PLL 连接



#### 12.4.5 复位输入规格

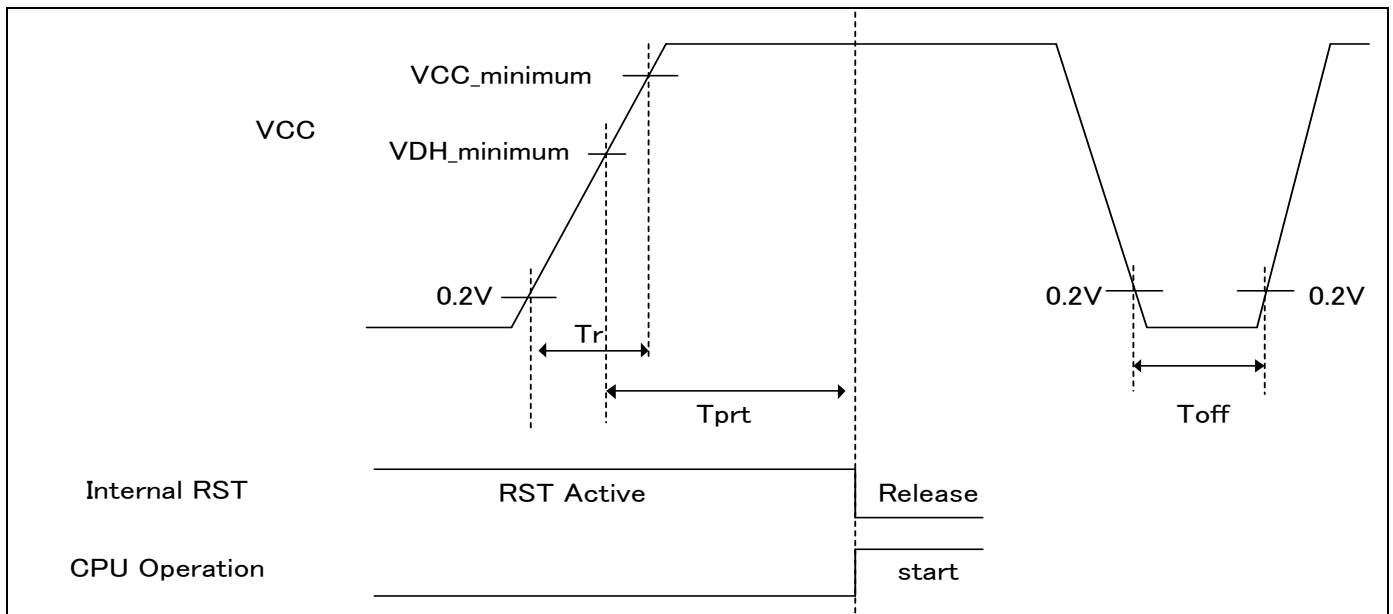
(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名	条件	规格值		单位	备注
				最小	最大		
复位输入时间	t <sub>INITX</sub>	INITX	-	500	-	ns	

#### 12.4.6 上电复位时序

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名	规格值		单位	备注
			最小	最大		
电源上升时间	Tr	VCC	0	-	ms	
电源切断时间	Toff		1	-	ms	
直到释放上电复位的时间	Tprt		0.46	0.76	ms	



#### 术语

- VCC\_minimum: 推荐工作条件的最低 V<sub>CC</sub>
- VDH\_minimum: 低电压检测复位的最低释放电压。  
请参阅"12.6 低压检测特性"

## 12.4.7 外部总线时序

### 12.4.7.1 外部总线时钟输出规格

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
输出频率	$t_{CYCLE}$	MCLKOUT <sup>[1]</sup>	$V_{CC} \geq 4.5V$	-	50 <sup>[2]</sup>	MHz
			$V_{CC} < 4.5V$	-	32 <sup>[3]</sup>	MHz

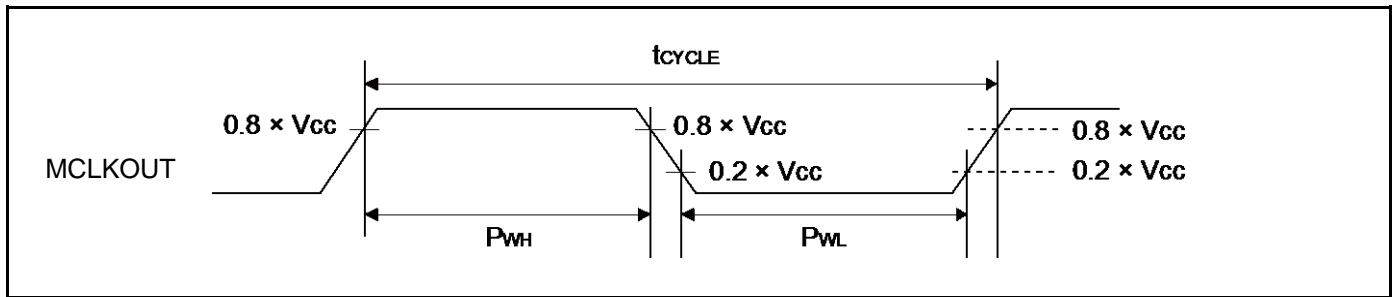
[1]:外部总线时钟输出(MCLKOUT)是 HCLK 的分频时钟。

关于设定, 详情参照"FM3 家族外设"中的"外部总线接口"一章。

当外部总线时钟不是输出时, 该特性不会给外部总线操作带来任何影响。

[2]:AHB 总线时钟超过 100MHz 时, 请设定为 4 分频以上再生成 MCLKOUT。

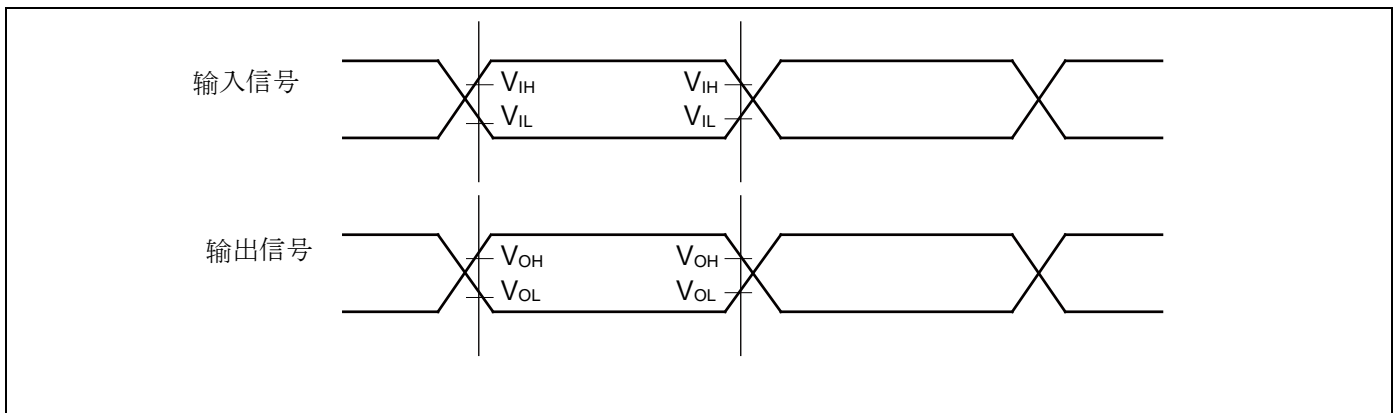
[3]:AHB 总线时钟超过 64MHz 时, 请设定为 4 分频以上再生成 MCLKOUT。



### 12.4.7.2 外部总线信号 I/O 规格

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	条件	规格值	单位	备注
信号输入规格	$V_{IH}$	-	$0.8 \times V_{CC}$	V	
	$V_{IL}$		$0.2 \times V_{CC}$	V	
信号输出规格	$V_{OH}$	-	$0.8 \times V_{CC}$	V	
	$V_{OL}$		$0.2 \times V_{CC}$	V	

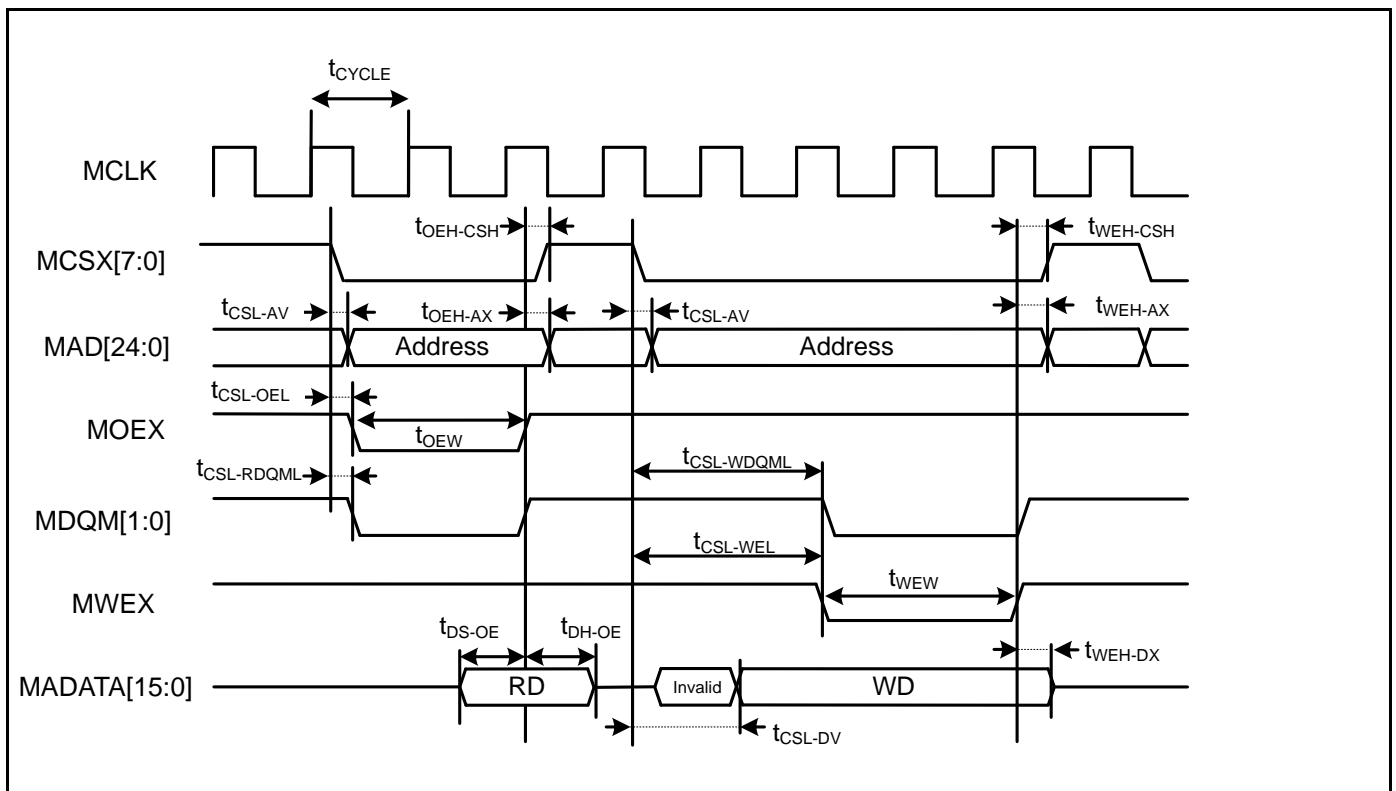


12.4.7.3 单独总线访问异步 SRAM 模式

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V, T<sub>a</sub> = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
MOEX 最小脉宽	t <sub>OEW</sub>	MOEX	V <sub>CC</sub> ≥ 4.5 V	MCLKxn-3	-	ns
			V <sub>CC</sub> < 4.5 V			
MCSX↓→地址输出延迟时间	t <sub>CSL - AV</sub>	MCSX[7:0], MAD[24:0]	V <sub>CC</sub> ≥ 4.5 V	-9	+9	ns
			V <sub>CC</sub> < 4.5 V	-12	+12	
MOEX↑→地址保持时间	t <sub>OEH - AX</sub>	MOEX, MAD[24:0]	V <sub>CC</sub> ≥ 4.5 V	0	MCLKxm+9	ns
			V <sub>CC</sub> < 4.5 V		MCLKxm+12	
MCSX↓→MOEX↓延迟时间	t <sub>CSL - OEL</sub>	MOEX, MCSX[7:0]	V <sub>CC</sub> ≥ 4.5 V	MCLKxm-9	MCLKxm+9	ns
			V <sub>CC</sub> < 4.5 V	MCLKxm-12	MCLKxm+12	
MOEX↑→MCSX↑时间	t <sub>OEH - CSH</sub>		V <sub>CC</sub> ≥ 4.5 V	0	MCLKxm+9	ns
			V <sub>CC</sub> < 4.5 V		MCLKxm+12	
MCSX↓→MDQM↓延迟时间	t <sub>CSL - RDQML</sub>	MCSX, MDQM[1:0]	V <sub>CC</sub> ≥ 4.5 V	MCLKxm-9	MCLKxm+9	ns
			V <sub>CC</sub> < 4.5 V	MCLKxm-12	MCLKxm+12	
数据创建→MOEX↑时间	t <sub>DS - OE</sub>	MOEX, MADATA[15:0]	V <sub>CC</sub> ≥ 4.5 V	20	-	ns
			V <sub>CC</sub> < 4.5 V	38	-	
MOEX↑→数据保持时间	t <sub>DH - OE</sub>	MOEX, MADATA[15:0]	V <sub>CC</sub> ≥ 4.5 V	0	-	ns
			V <sub>CC</sub> < 4.5 V			
MWEX 最小脉宽	t <sub>WEW</sub>	MWEX	V <sub>CC</sub> ≥ 4.5 V	MCLKxn-3	-	ns
			V <sub>CC</sub> < 4.5 V			
MWEX↑→地址输出延迟时间	t <sub>WEH - AX</sub>	MWEX, MAD[24:0]	V <sub>CC</sub> ≥ 4.5 V	0	MCLKxm+9	ns
			V <sub>CC</sub> < 4.5 V		MCLKxm+12	
MCSX↓→MWEX↓延迟时间	t <sub>CSL - WEL</sub>	MWEX, MCSX[7:0]	V <sub>CC</sub> ≥ 4.5 V	MCLKxn-9	MCLKxn+9	ns
			V <sub>CC</sub> < 4.5 V	MCLKxn-12	MCLKxn+12	
MWEX↑→MCSX↑延迟时间	t <sub>WEH - CSH</sub>		V <sub>CC</sub> ≥ 4.5 V	0	MCLKxm+9	ns
			V <sub>CC</sub> < 4.5 V		MCLKxm+12	
MCSX↓→MDQM↓延迟时间	t <sub>CSL - WDQML</sub>	MCSX, MDQM[1:0]	V <sub>CC</sub> ≥ 4.5 V	MCLKxn-9	MCLKxn+9	ns
			V <sub>CC</sub> < 4.5 V	MCLKxn-12	MCLKxn+12	
MCSX ↓ →数据输出时间	t <sub>CSL - DV</sub>	MCSX, MADATA[15:0]	V <sub>CC</sub> ≥ 4.5 V	MCLK-9	MCLK+9	ns
			V <sub>CC</sub> < 4.5 V	MCLK-12	MCLK+12	
MWEX↓→数据输出时间	t <sub>WEH - DX</sub>	MWEX, MADATA[15:0]	V <sub>CC</sub> ≥ 4.5 V	0	MCLKxm+9	ns
			V <sub>CC</sub> < 4.5 V		MCLKxm+12	

**注意事项:** 外部负载电容 = 30pF 时。(m = 0 ~ 15, n = 1 ~ 16)



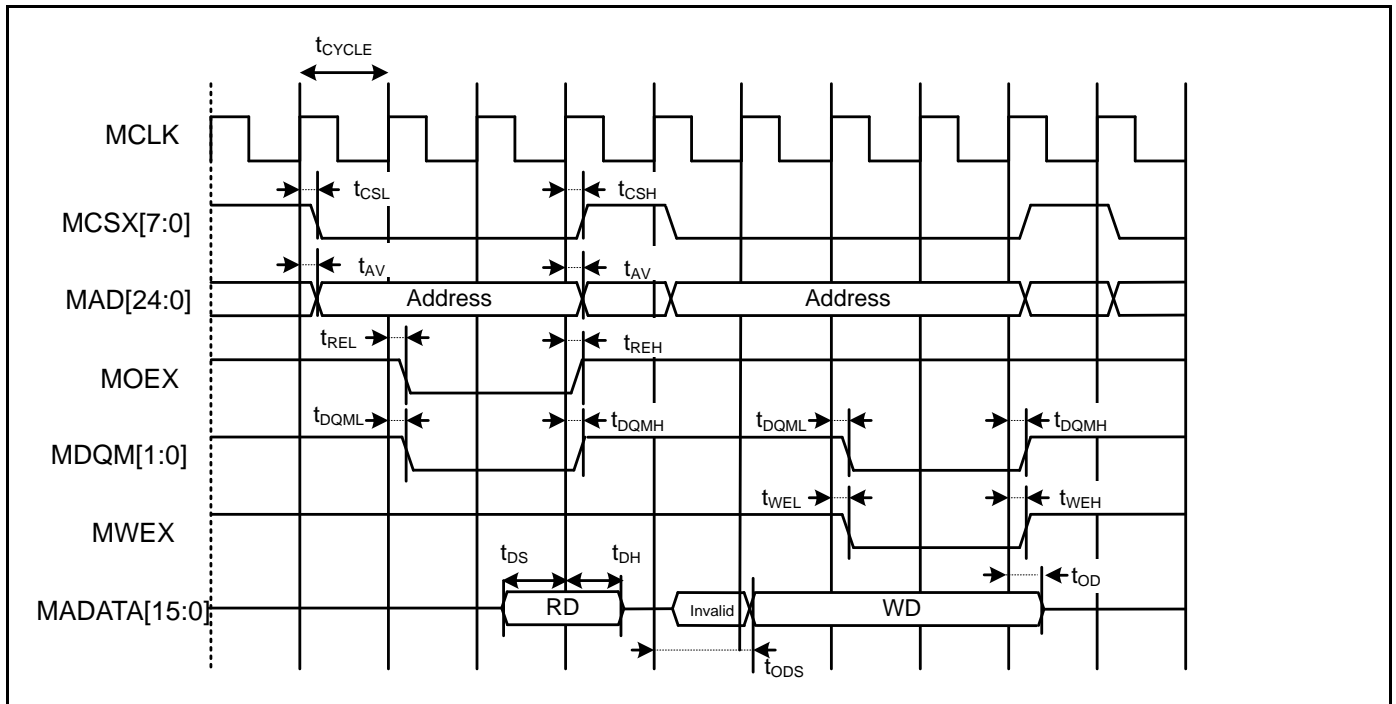
12.4.7.4 单独总线访问同步 SRAM 模式

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
地址延迟时间	t <sub>AV</sub>	MCLK, MAD[24:0]	V <sub>CC</sub> ≥ 4.5 V	1	9	ns
			V <sub>CC</sub> < 4.5 V		12	
MCSX 延迟时间	t <sub>CSL</sub>	MCLK, MCSX[7:0]	V <sub>CC</sub> ≥ 4.5 V	1	9	ns
			V <sub>CC</sub> < 4.5 V		12	
	t <sub>CSH</sub>		V <sub>CC</sub> ≥ 4.5 V	1	9	ns
			V <sub>CC</sub> < 4.5 V		12	
MOEX 延迟时间	t <sub>REL</sub>	MCLK, MOEX	V <sub>CC</sub> ≥ 4.5 V	1	9	ns
			V <sub>CC</sub> < 4.5 V		12	
	t <sub>REH</sub>		V <sub>CC</sub> ≥ 4.5 V	1	9	ns
			V <sub>CC</sub> < 4.5 V		12	
数据创建→MCLK↑时间	t <sub>DS</sub>	MCLK, MADATA[15:0]	V <sub>CC</sub> ≥ 4.5 V	19	-	ns
			V <sub>CC</sub> < 4.5 V	37		
MCLK↑→数据保持时间	t <sub>DH</sub>	MCLK, MADATA[15:0]	V <sub>CC</sub> ≥ 4.5 V	0	-	ns
			V <sub>CC</sub> < 4.5 V			
MWEX 延迟时间	t <sub>WEL</sub>	MCLK, MWEX	V <sub>CC</sub> ≥ 4.5 V	1	9	ns
			V <sub>CC</sub> < 4.5 V		12	
	t <sub>WEH</sub>		V <sub>CC</sub> ≥ 4.5 V	1	9	ns
			V <sub>CC</sub> < 4.5 V		12	
MDQM[1:0]延迟时间	t <sub>DQML</sub>	MCLK, MDQM[1:0]	V <sub>CC</sub> ≥ 4.5 V	1	9	ns
			V <sub>CC</sub> < 4.5 V		12	
	t <sub>DQMH</sub>		V <sub>CC</sub> ≥ 4.5 V	1	9	ns
			V <sub>CC</sub> < 4.5 V		12	
MCLK↑→数据输出时间	t <sub>OD</sub>	MCLK, MADATA[15:0]	V <sub>CC</sub> ≥ 4.5 V	MCLK+1	MCLK+18	ns
			V <sub>CC</sub> < 4.5 V		MCLK+24	
MCLK↑→数据保持时间	t <sub>OD</sub>	MCLK, MADATA[15:0]	V <sub>CC</sub> ≥ 4.5 V	1	18	ns
			V <sub>CC</sub> < 4.5 V		24	

**注意事项:** 外部负载电容 = 30pF 时。



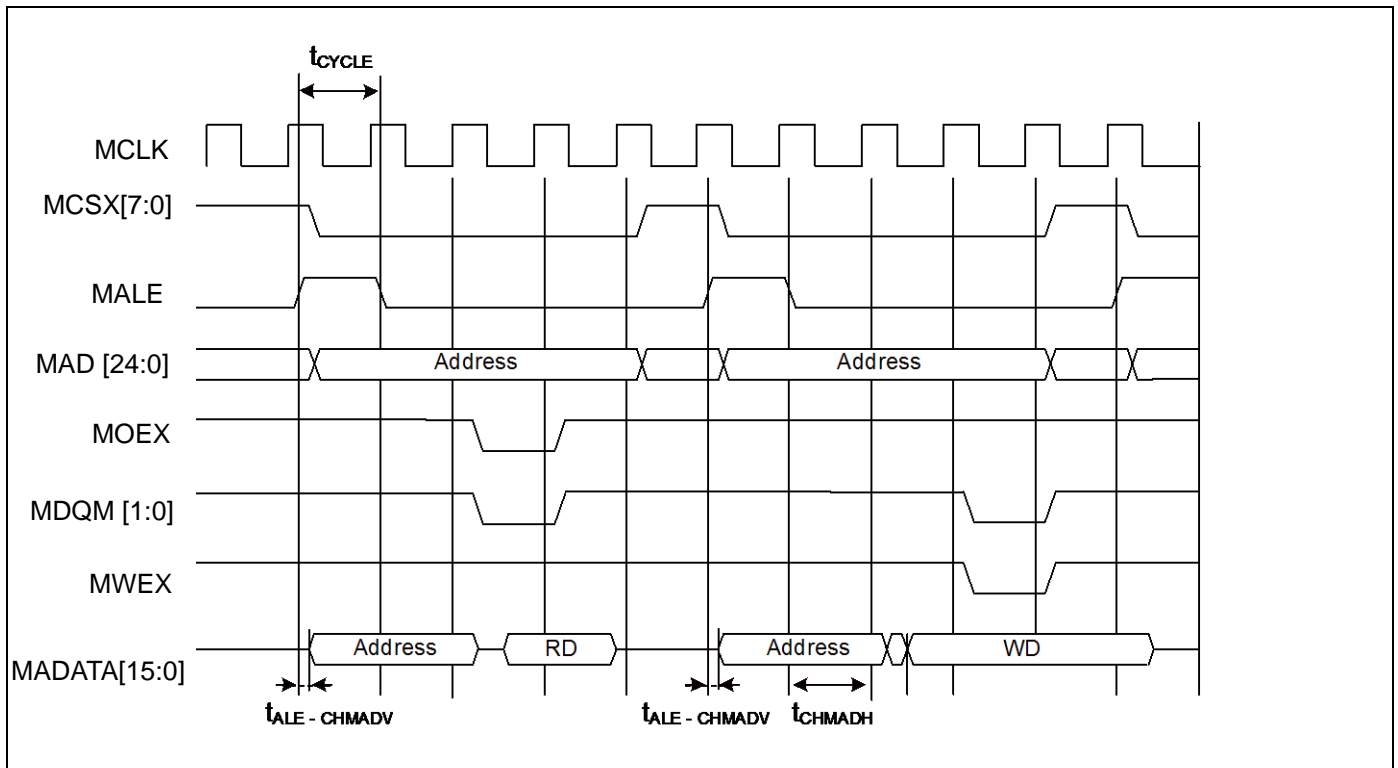


12.4.7.5 多路传输总线访问异步 SRAM 模式

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
多路传输 地址延迟时间	$t_{ALE-CHMADV}$	MALE, MADATA[15:0]	$V_{CC} \geq 4.5V$	0	10	ns
			$V_{CC} < 4.5V$		20	
多路传输 地址保持时间	$t_{CHMADH}$	MALE, MADATA[15:0]	$V_{CC} \geq 4.5V$	$MCLK \times n + 0$	$MCLK \times n + 10$	ns
			$V_{CC} < 4.5V$	$MCLK \times n + 0$	$MCLK \times n + 20$	

**注意事项:** 外部负载电容 = 30pF 时。(m = 0 ~ 15, n = 1 ~ 16)

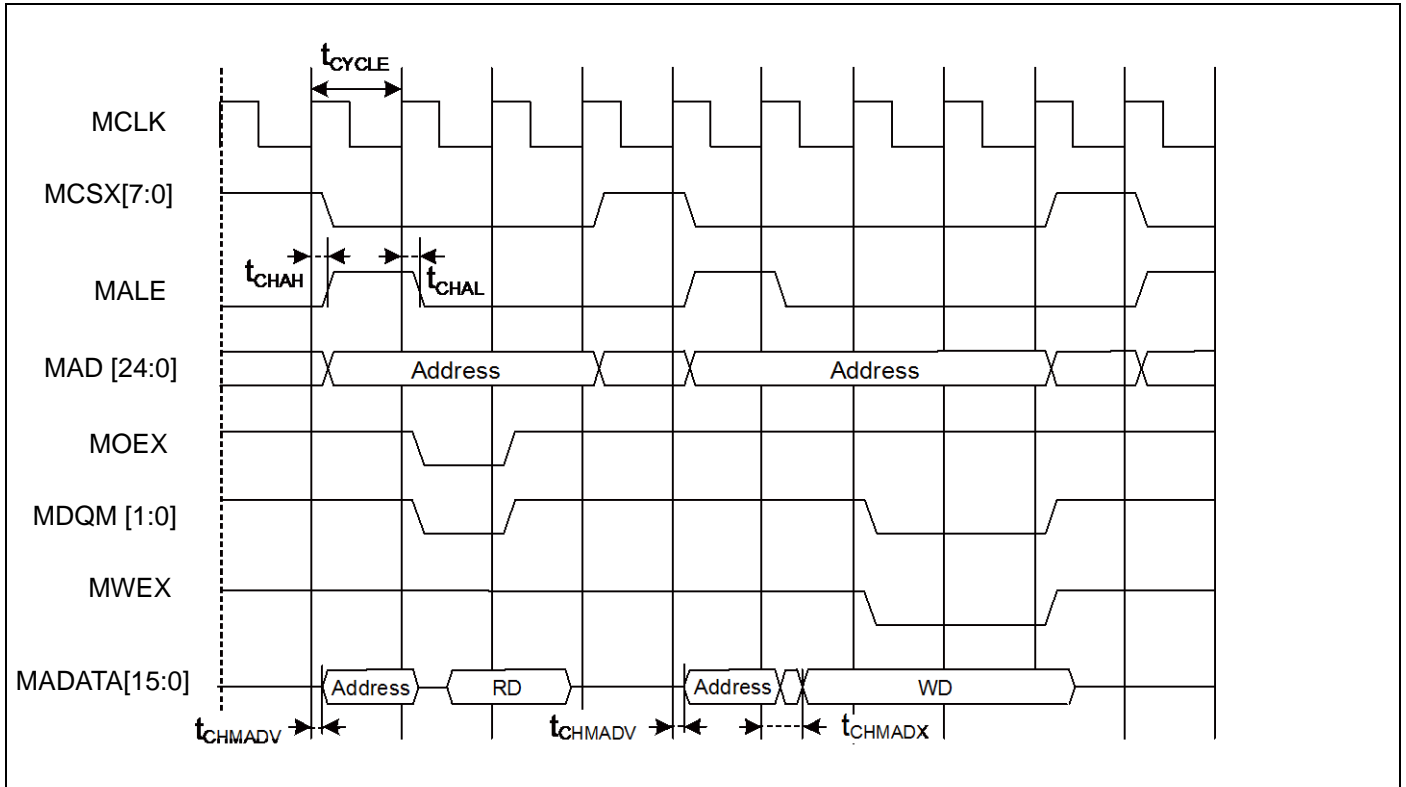


12.4.7.6 多路传输总线访问同步 SRAM 模式

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
MALE 延迟时间	t <sub>CHAL</sub>	MCLK, ALE	V <sub>CC</sub> ≥ 4.5 V	1	9	ns	
			V <sub>CC</sub> < 4.5 V		12	ns	
	t <sub>CHAH</sub>		V <sub>CC</sub> ≥ 4.5 V	1	9	ns	
			V <sub>CC</sub> < 4.5 V		12	ns	
MCLK↑→多路传输 地址延迟时间	t <sub>CHMADV</sub>	MCLK, MADATA[15:0]	V <sub>CC</sub> ≥ 4.5 V	1	t <sub>OD</sub>	ns	
	V <sub>CC</sub> < 4.5 V						
MCLK↑→多路传输 数据输出时间	t <sub>CHMAX</sub>		V <sub>CC</sub> ≥ 4.5 V	1	t <sub>OD</sub>	ns	
			V <sub>CC</sub> < 4.5 V				

**注意事项:** 外部负载电容 = 30pF 时。

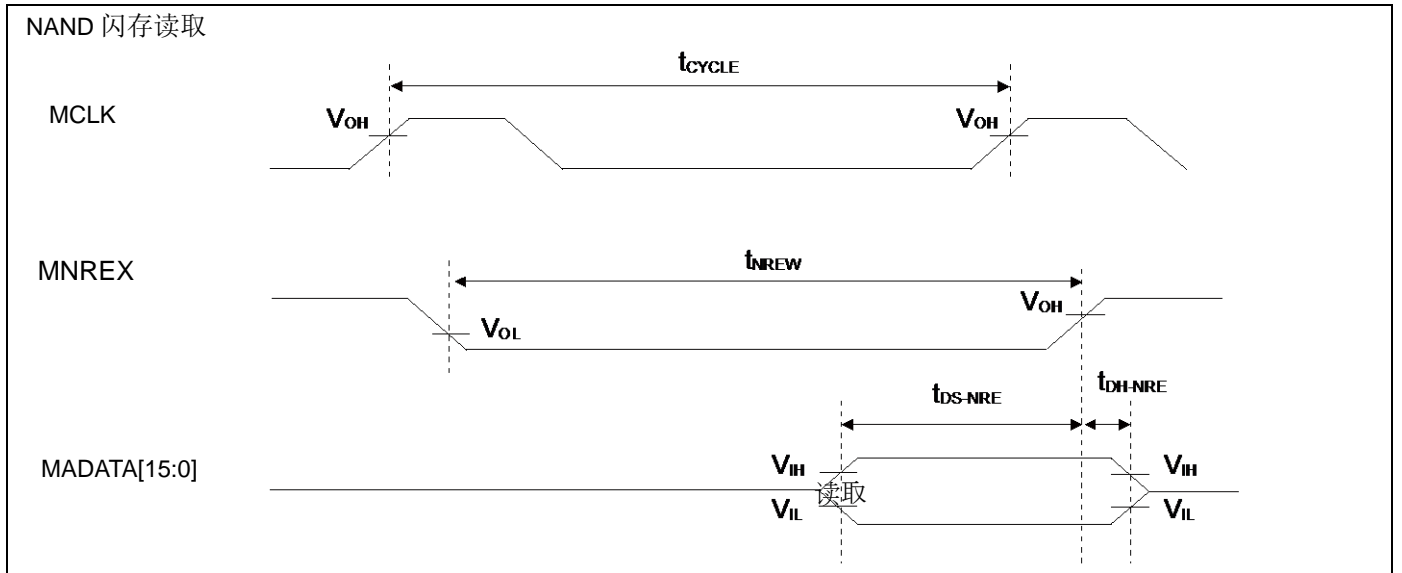


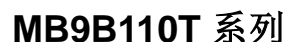
12.4.7.7 NAND Flash 模式

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位
				最小	最大	
MNREX 最小脉宽	$t_{NREW}$	MNREX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-3	-	ns
数据创建 → MNREX↑时间	$t_{DS-NRE}$	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	20 38	- -	ns
MNREX↑→数据保持时间	$t_{DH-NRE}$	MNREX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	-	ns
MNALE↑→ MNWEX 延迟时间	$t_{ALEH-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MNALE↓→ MNWEX 延迟时间	$t_{ALEL-NWEL}$	MNALE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MNCLE↑→ MNWEX 延迟时间	$t_{CLEH-NWEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxm-9 MCLKxm-12	MCLKxm+9 MCLKxm+12	ns
MNWEX↑→ MNCLE 延迟时间	$t_{NWEH-CLEL}$	MNCLE, MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns
MNWEX 最小脉宽	$t_{NWEW}$	MNWEX	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	MCLKxn-3	-	ns
MNWEX↓→数据输出时间	$t_{NWEL-DV}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	-9 -12	+9 +12	ns
MNWEX↑→数据保持时间	$t_{NWEH-DX}$	MNWEX, MADATA[15:0]	$V_{CC} \geq 4.5\text{ V}$ $V_{CC} < 4.5\text{ V}$	0	MCLKxm+9 MCLKxm+12	ns

**注意事项:** 外部负载电容 = 30pF 时。(m=0 ~ 15, n=1 ~ 16)





The diagram illustrates the timing for a write operation on the 64-bit data bus. The signals shown are MCLK, MNALE, MNCLE, MNWEX, and MADATA[15:0].

- MCLK:** The clock signal. The period is labeled  $t_{\text{CYCLE}}$ . The high level is  $V_{\text{OH}}$ .
- MNALE:** The active-low address latch enable signal. It transitions from high to low at the start of the write cycle. The high level is  $V_{\text{OH}}$ . The time from the falling edge of MNALE to the start of the write cycle is  $t_{\text{ALEH-NWEL}}$ .
- MNCLE:** The active-low column address latch enable signal, which remains high throughout the operation.
- MNWEX:** The active-low write enable signal. It transitions from high to low at the start of the write cycle. The low level is  $V_{\text{OL}}$ . The time from the falling edge of MNWEX to the start of the write cycle is  $t_{\text{NWEW}}$ .
- MADATA[15:0]:** The 64-bit data bus. It shows a hexagonal pulse representing the data being written. The time from the falling edge of MNWEX to the start of the data pulse is  $t_{\text{NWEL-DV}}$ . The time from the falling edge of MNWEX to the end of the data pulse is  $t_{\text{NWEH-DX}}$ . The data pulse is labeled "写入" (write). The high level is  $V_{\text{OH}}$  and the low level is  $V_{\text{OL}}$ .

The diagram illustrates the timing for a write operation. The signals and their timing parameters are as follows:

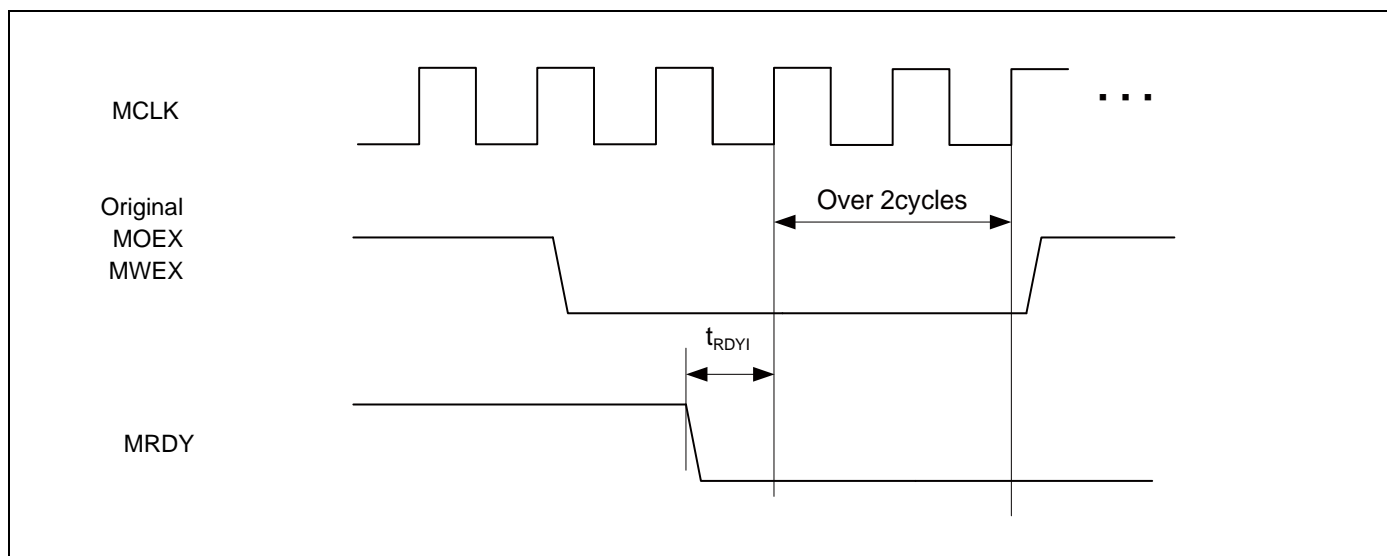
- MCLK**: Clock signal with period  $t_{\text{CYCLE}}$  and high level  $V_{\text{OH}}$ .
- MNALE**: Address Latch Enable signal, low level  $V_{\text{OL}}$ . Timing parameter  $t_{\text{ALEL-NWEL}}$  is shown from its falling edge to the start of the write operation.
- MNCLE**: Command Latch Enable signal, high level  $V_{\text{OH}}$ . Timing parameter  $t_{\text{CLEH-NWEL}}$  is shown from its rising edge to the start of the write operation. Timing parameter  $t_{\text{NWEH-CLE}}$  is shown from the end of the write operation to its falling edge.
- MNWEX**: Write Enable signal, low level  $V_{\text{OL}}$  during the write operation. Timing parameter  $t_{\text{NWEW}}$  is shown from its falling edge to the start of the write operation. Timing parameter  $t_{\text{NWEL-DV}}$  is shown from its rising edge to the end of the write operation.
- MADATA[15:0]**: Data bus signal. The write operation (写入) occurs between  $t_{\text{NWEL-DV}}$  and  $t_{\text{NWEH-DX}}$ . The data is valid during this period, with high level  $V_{\text{OH}}$  and low level  $V_{\text{OL}}$ .

### 12.4.7.8 外部 RDY 输入时序

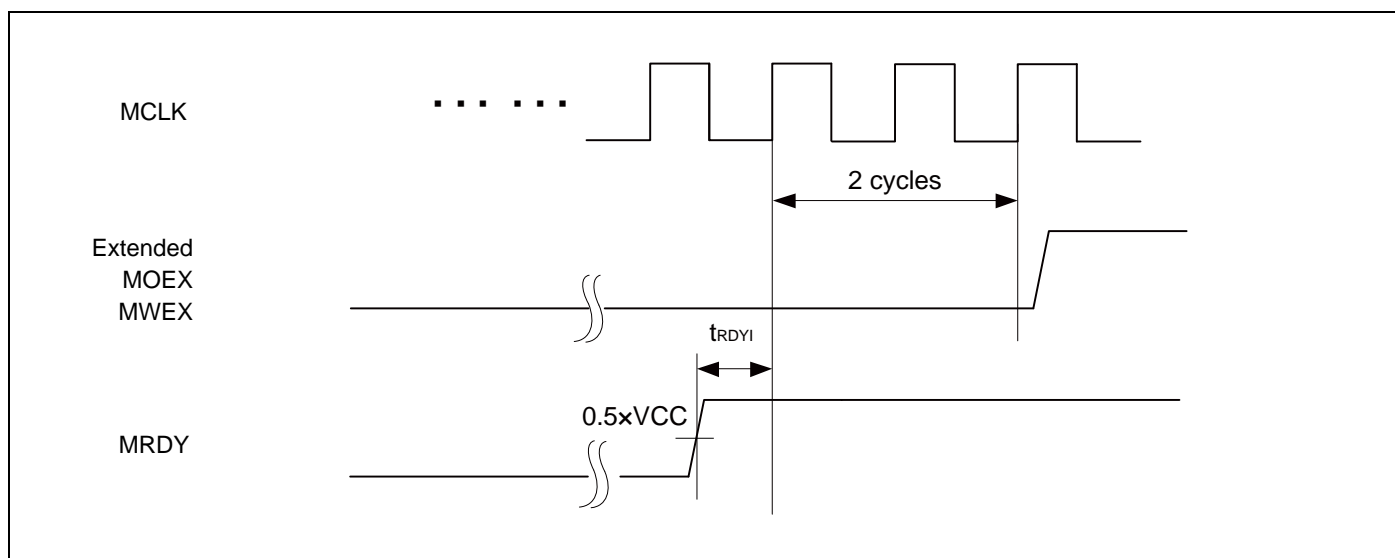
( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
MCLK↑MRDY 输入 创建时间	$t_{RDYI}$	MCLK, MRDY	$V_{CC} \geq 4.5V$	19	-	ns	
			$V_{CC} < 4.5V$	37			

#### RDY 输入时



#### RDY 解除时

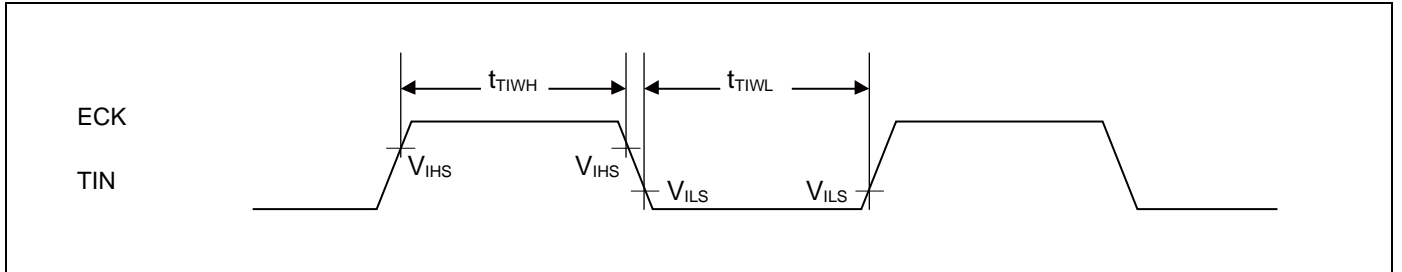


## 12.4.8 基本定时器输入时序

### 12.4.8.1 定时器输入时序

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

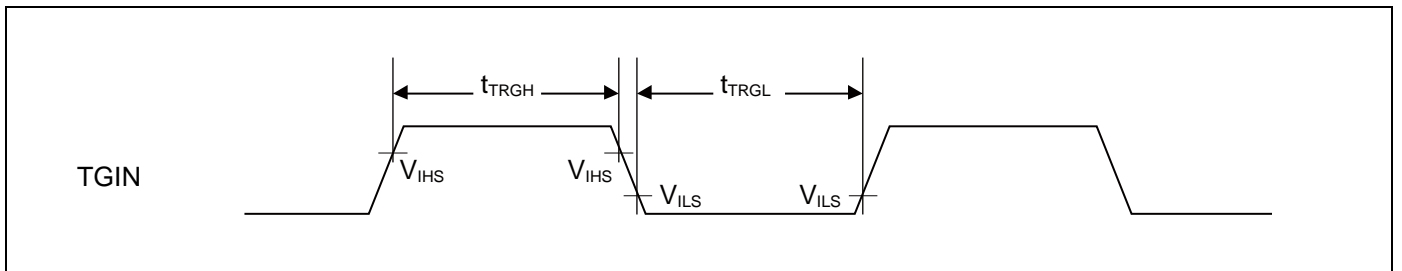
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	$t_{TIWH}$ , $t_{TIWL}$	TIOAn/TIOBn (用作 ECK, TIN 时)	-	$2t_{CYCP}$	-	ns	



### 12.4.8.2 触发输入时序

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	$t_{TRGH}$ , $t_{TRGL}$	TIOAn/TIOBn (用作 TGIN 时)	-	$2t_{CYCP}$	-	ns	



#### 注意事项:

$t_{CYCP}$  是 APB 总线时钟的周期时间。

关于基本定时器连结的 APB 总线序号, 详情参照"框图"。

## 12.4.9 CSIO/UART 时序

### 12.4.9.1 CSIO ( $SPI = 0$ , $SCINV = 0$ )

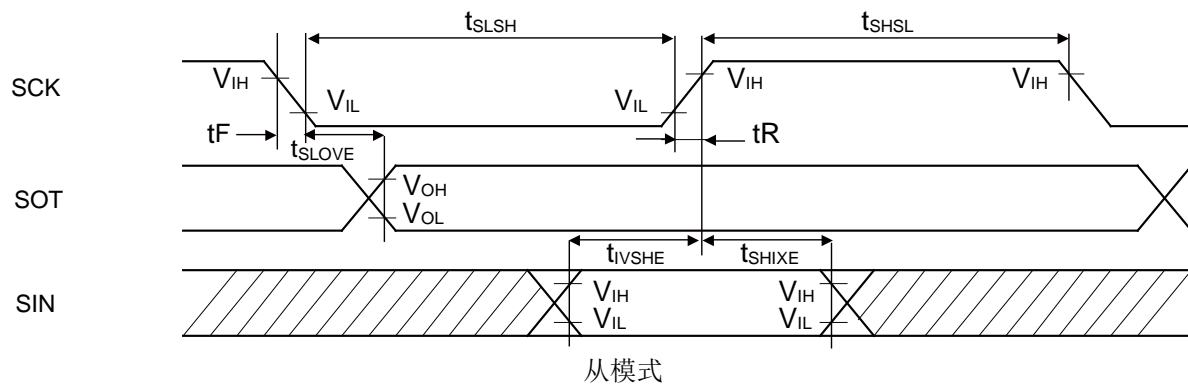
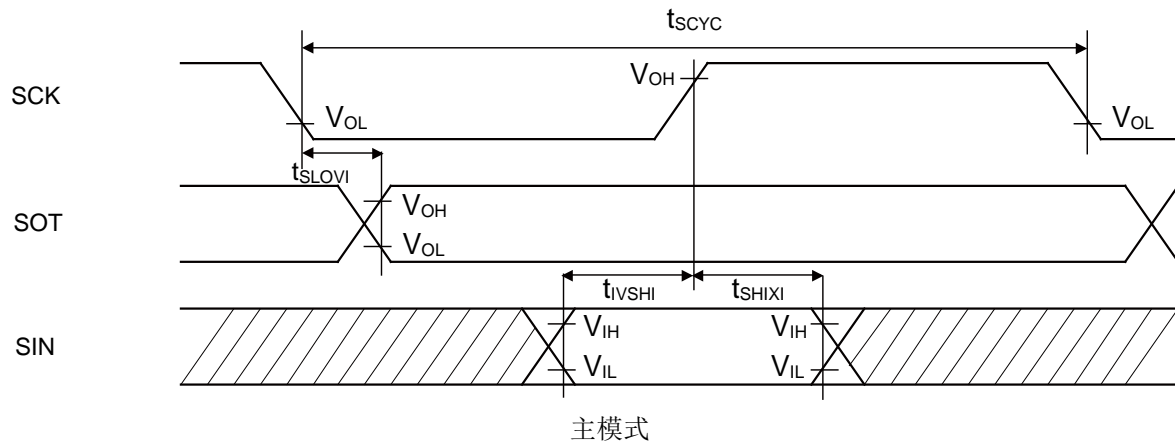
( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	$V_{CC} < 4.5 V$		$V_{CC} \geq 4.5 V$		单位
				最小	最大	最小	最大	
串行时钟周期时间	$t_{SCYC}$	SCKx	主模式	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↓→SOT 延迟时间	$t_{SLOVI}$	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↑创建时间	$t_{IVSHI}$	SCKx, SINx		50	-	30	-	ns
SCK↑→SIN 保持时间	$t_{SHIXI}$	SCKx, SINx		0	-	0	-	ns
串行时钟"L"脉宽	$t_{SLSH}$	SCKx	从模式	$2t_{CYCP} - 10$	-	$2t_{CYCP} - 10$	-	ns
串行时钟"H"脉宽	$t_{SHSL}$	SCKx		$t_{CYCP} + 10$	-	$t_{CYCP} + 10$	-	ns
SCK↓→SOT 延迟时间	$t_{SLOVE}$	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↑创建时间	$t_{IVSHE}$	SCKx, SINx		10	-	10	-	ns
SCK↑→SIN 保持时间	$t_{SHIXE}$	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	tF	SCKx		-	5	-	5	ns
SCK 上升时间	tR	SCKx		-	5	-	5	ns

#### 注意事项:

- CLK 同步模式时的交流特性。
- $t_{CYCP}$  是 APB 总线时钟的周期时间。关于 UART 连接的 APB 总线序号，详情参照 "框图"。
- 本规格仅保证相同重定位端口号。例如 SCKx\_0, SOTx\_1 组合不为保证对象。
- 外部负载电容 = 30pF 时。





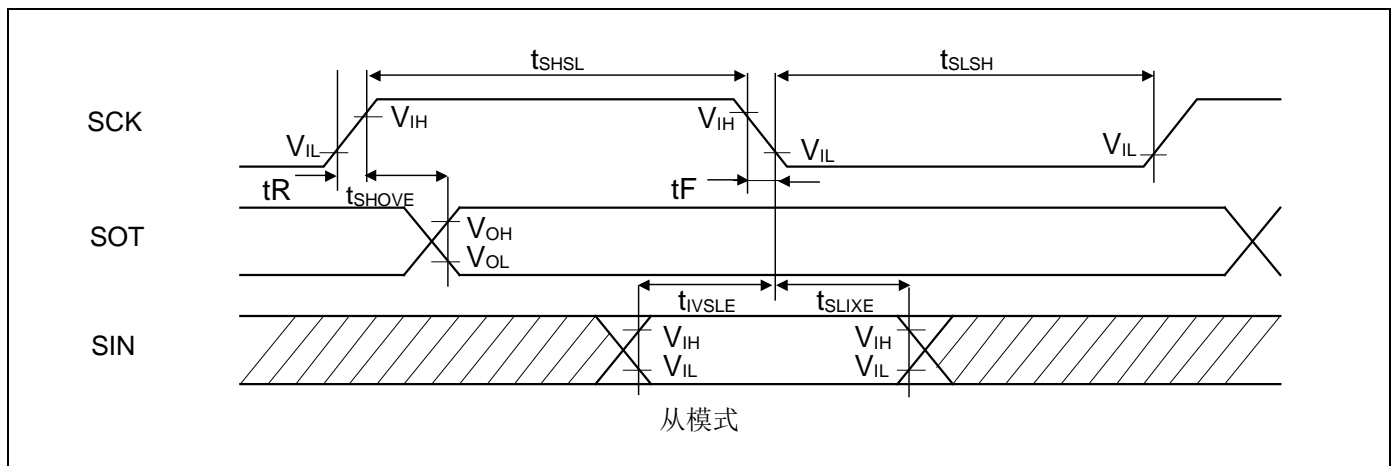
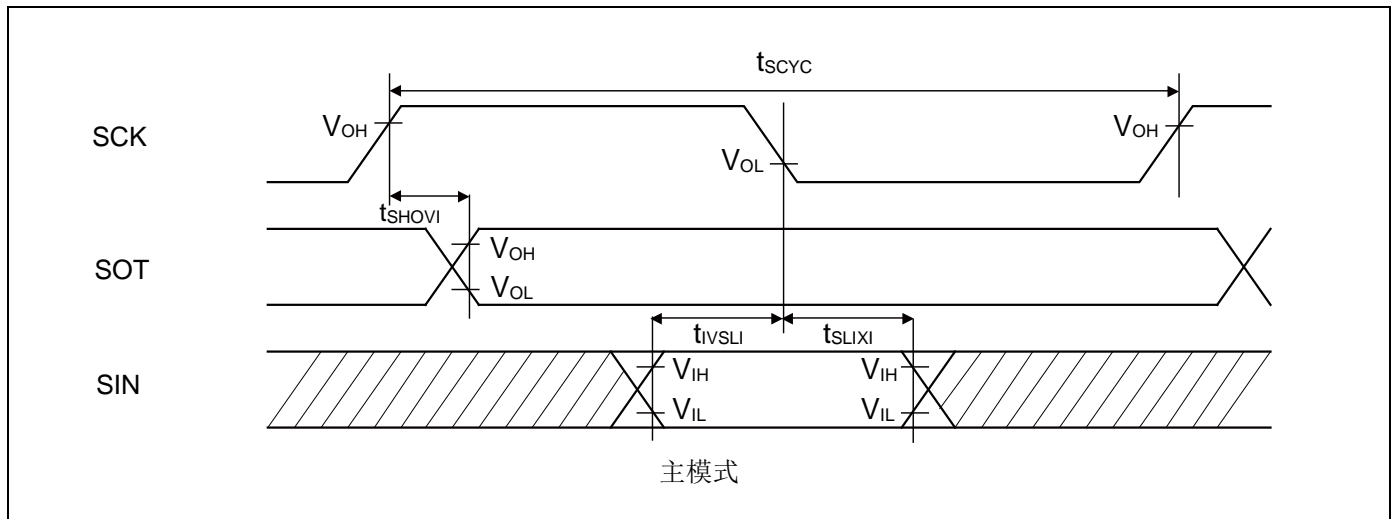
12.4.9.2 CSIO (SPI = 0, SCINV = 1)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t <sub>SCYC</sub>	SCKx	主模式	4t <sub>CYCP</sub>	-	4t <sub>CYCP</sub>	-	ns
SCK↑→SOT 延迟时间	t <sub>SHOVI</sub>	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↓创建时间	t <sub>IVSLI</sub>	SCKx, SINx		50	-	30	-	ns
SCK↓→SIN 保持时间	t <sub>SLIXI</sub>	SCKx, SINx		0	-	0	-	ns
串行时钟"L"脉宽	t <sub>SLSH</sub>	SCKx	从模式	2t <sub>CYCP</sub> - 10	-	2t <sub>CYCP</sub> - 10	-	ns
串行时钟"H"脉宽	t <sub>SHSL</sub>	SCKx		t <sub>CYCP</sub> + 10	-	t <sub>CYCP</sub> + 10	-	ns
SCK↑→SOT 延迟时间	t <sub>SHOVE</sub>	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↓创建时间	t <sub>IVSLE</sub>	SCKx, SINx		10	-	10	-	ns
SCK↓→SIN 保持时间	t <sub>SLIXE</sub>	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	tF	SCKx		-	5	-	5	ns
SCK 上升时间	tR	SCKx		-	5	-	5	ns

**注意事项:**

- CLK 同步模式时的交流特性。
- t<sub>CYCP</sub> 是 APB 总线时钟的周期时间。关于 UART 连接的 APB 总线序号，详情参照 "框图"
- 本规格仅保证相同重定位端口号。例如 SCKx\_0, SOTx\_1 组合不为保证对象。
- 外部负载电容 = 30pF 时。



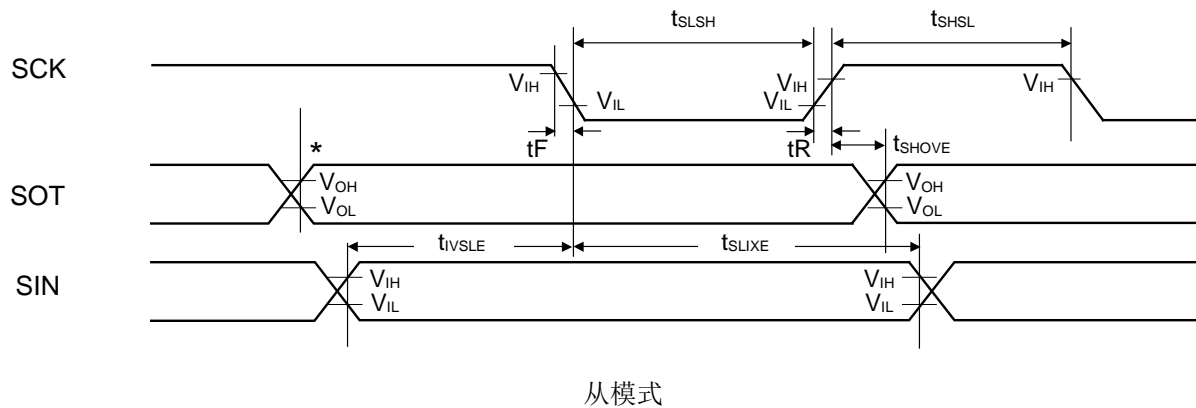
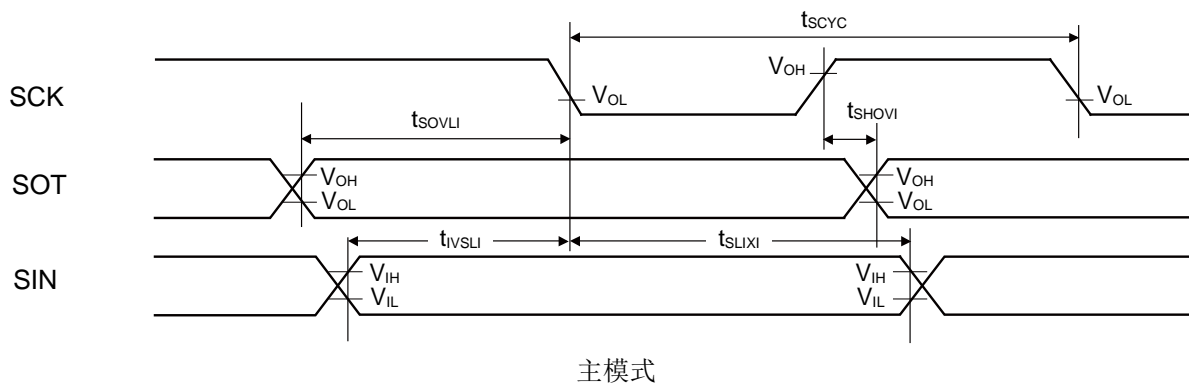
12.4.9.3 CSIO (SPI = 1, SCINV = 0)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t <sub>SCYC</sub>	SCKx	主模式	4t <sub>CYCP</sub>	-	4t <sub>CYCP</sub>	-	ns
SCK↑→SOT 延迟时间	t <sub>SHOVI</sub>	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↓创建时间	t <sub>IVSLI</sub>	SCKx, SINx		50	-	30	-	ns
SCK↓→SIN 保持时间	t <sub>SLIXI</sub>	SCKx, SINx		0	-	0	-	ns
SOT→SCK↓延迟时间	t <sub>SOVLI</sub>	SCKx, SOTx		2t <sub>CYCP</sub> - 30	-	2t <sub>CYCP</sub> - 30	-	ns
串行时钟"L"脉宽	t <sub>SLSH</sub>	SCKx	从模式	2t <sub>CYCP</sub> - 10	-	2t <sub>CYCP</sub> - 10	-	ns
串行时钟"H"脉宽	t <sub>SHSL</sub>	SCKx		t <sub>CYCP</sub> + 10	-	t <sub>CYCP</sub> + 10	-	ns
SCK↑→SOT 延迟时间	t <sub>SHOVE</sub>	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↓创建时间	t <sub>IVSLE</sub>	SCKx, SINx		10	-	10	-	ns
SCK↓→SIN 保持时间	t <sub>SLIXE</sub>	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t <sub>F</sub>	SCKx		-	5	-	5	ns
SCK 上升时间	t <sub>R</sub>	SCKx		-	5	-	5	ns

**注意事项:**

- CLK 同步模式时的交流特性。
- t<sub>CYCP</sub> 是 APB 总线时钟的周期时间。关于 UART 连接的 APB 总线序号，详情参照“框图”。
- 本规格仅保证相同重定位端口号。例如 SCKx\_0, SOTx\_1 组合不为保证对象。
- 外部负载电容 = 30pF 时。



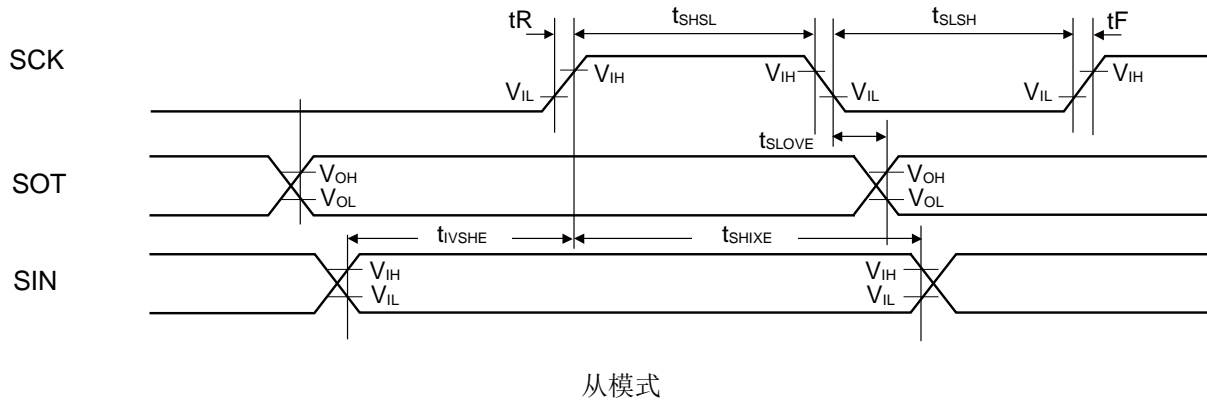
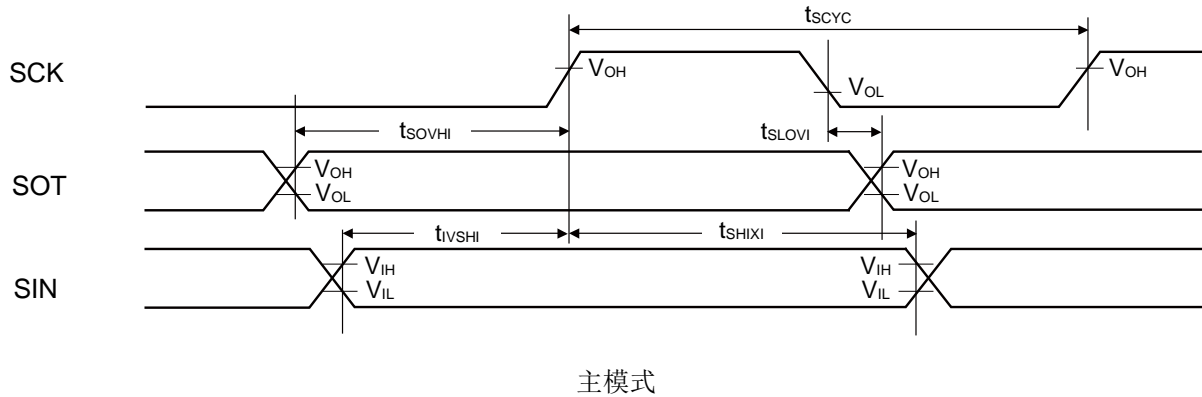
12.4.9.4 CSIO (SPI = 1, SCINV = 1)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	Vcc < 4.5 V		Vcc ≥ 4.5 V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t <sub>SCYC</sub>	SCKx	主模式	4t <sub>CYCP</sub>	-	4t <sub>CYCP</sub>	-	ns
SCK↓→SOT 延迟时间	t <sub>SLOVI</sub>	SCKx, SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↑创建时间	t <sub>IVSHI</sub>	SCKx, SINx		50	-	30	-	ns
SCK↑→SIN 保持时间	t <sub>SHIXI</sub>	SCKx, SINx		0	-	0	-	ns
SOT→SCK↑延迟时间	t <sub>SOVHI</sub>	SCKx, SOTx		2t <sub>CYCP</sub> - 30	-	2t <sub>CYCP</sub> - 30	-	ns
串行时钟"L"脉宽	t <sub>SLSH</sub>	SCKx	从模式	2t <sub>CYCP</sub> - 10	-	2t <sub>CYCP</sub> - 10	-	ns
串行时钟"H"脉宽	t <sub>SHSL</sub>	SCKx		t <sub>CYCP</sub> + 10	-	t <sub>CYCP</sub> + 10	-	ns
SCK↓→SOT 延迟时间	t <sub>SLOVE</sub>	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↑创建时间	t <sub>IVSHE</sub>	SCKx, SINx		10	-	10	-	ns
SCK↑→SIN 保持时间	t <sub>SHIXE</sub>	SCKx, SINx		20	-	20	-	ns
SCK 下降时间	t <sub>F</sub>	SCKx		-	5	-	5	ns
SCK 上升时间	t <sub>R</sub>	SCKx		-	5	-	5	ns

**注意事项:**

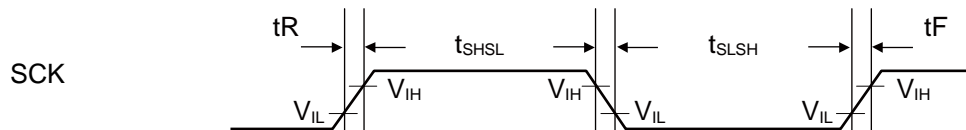
- CLK 同步模式时的交流特性。
- t<sub>CYCP</sub> 是 APB 总线时钟的周期时间。关于 UART 连接的 APB 总线序号，详情参照“框图”。
- 本规格仅保证相同重定位端口号。例如 SCKx\_0, SOTx\_1 组合不为保证对象。
- 外部负载电容 = 30pF 时。



#### 12.4.9.5 外部时钟(EXT = 1): 仅限异步时

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V, Ta = -40°C ~ +85°C)

参数	符号	条件	规格值		单位	备注
			最小	最大		
串行时钟"L"脉宽	t <sub>SLSH</sub>	C <sub>L</sub> = 30 pF	t <sub>CYCP</sub> + 10	-	ns	
串行时钟"H"脉宽	t <sub>SHSL</sub>		t <sub>CYCP</sub> + 10	-	ns	
SCK 下降时间	t <sub>F</sub>		-	5	ns	
SCK 上升时间	t <sub>R</sub>		-	5	ns	

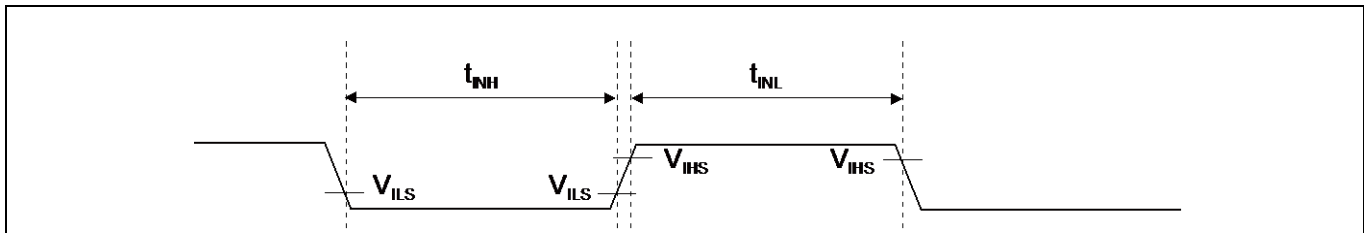


#### 12.4.10 外部输入时序

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 85°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	$t_{INH}$ , $t_{INL}$	ADTG	-	$2t_{CYCP}^{[1]}$	-	ns	A/D 转换器触发输入
		FRCKx					自由运行定时器输入时钟
		ICxx					输入捕捉
		DTTixX	-	$2t_{CYCP}^{[1]}$	-	ns	波形发生器
		INTxx, NMIX	除了定时器模式, 停止模式	$2t_{CYCP} + 100^{[1]}$	-	ns	外部中断 NMI
			定时器模式, 停止模式	500	-	ns	

[1]:  $t_{CYCP}$  是指 APB 总线时钟的周期时间。关于多功能定时器连接的 APB 总线序号, 详情参照“框图”。



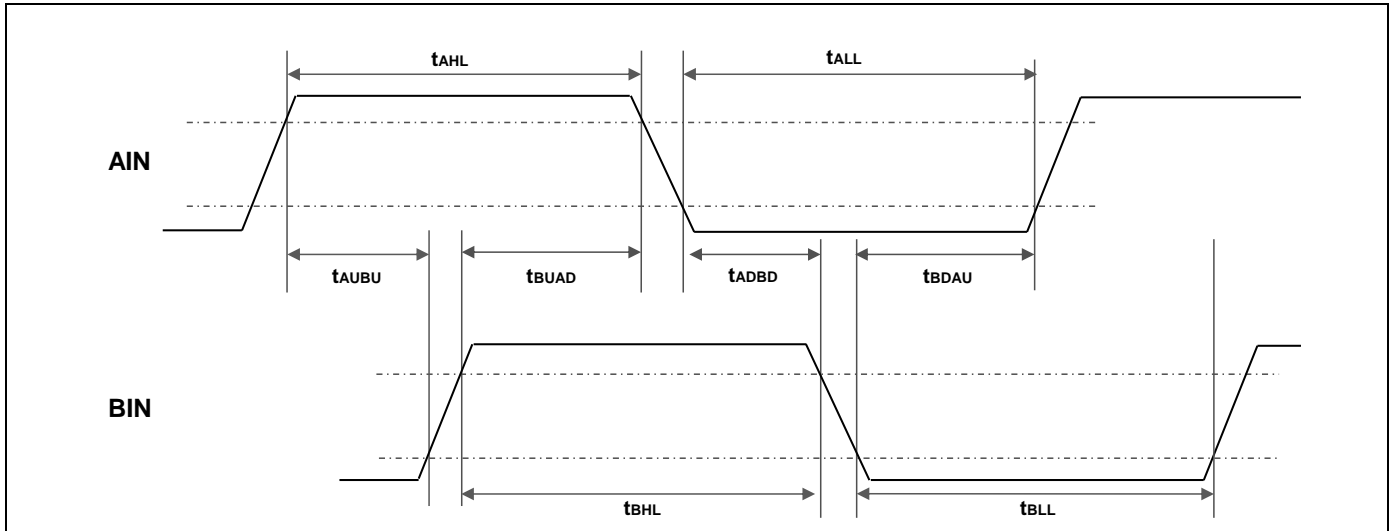


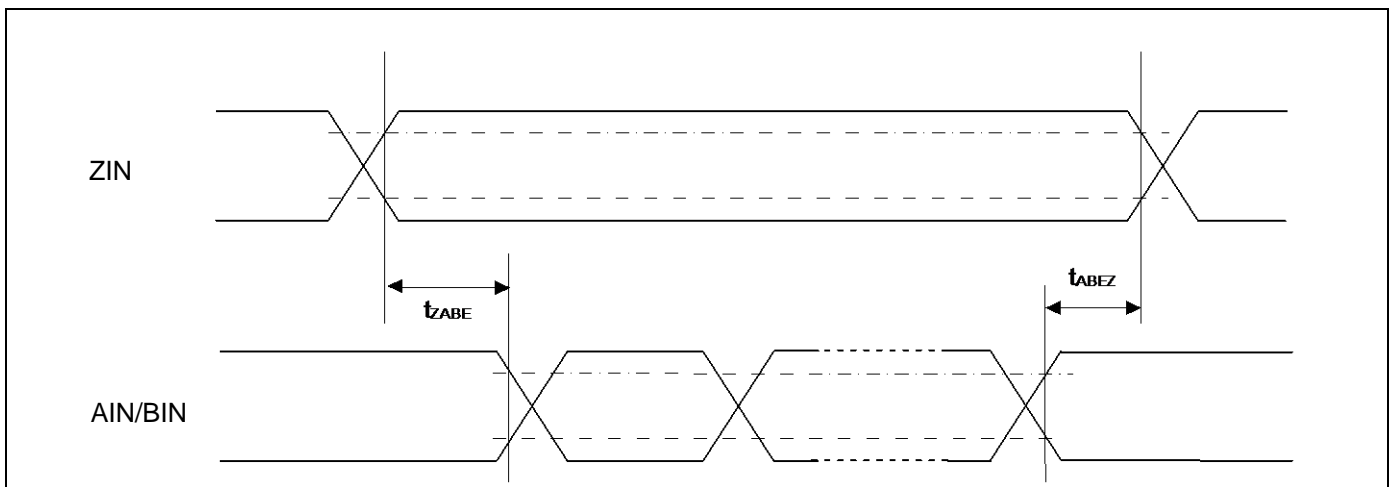
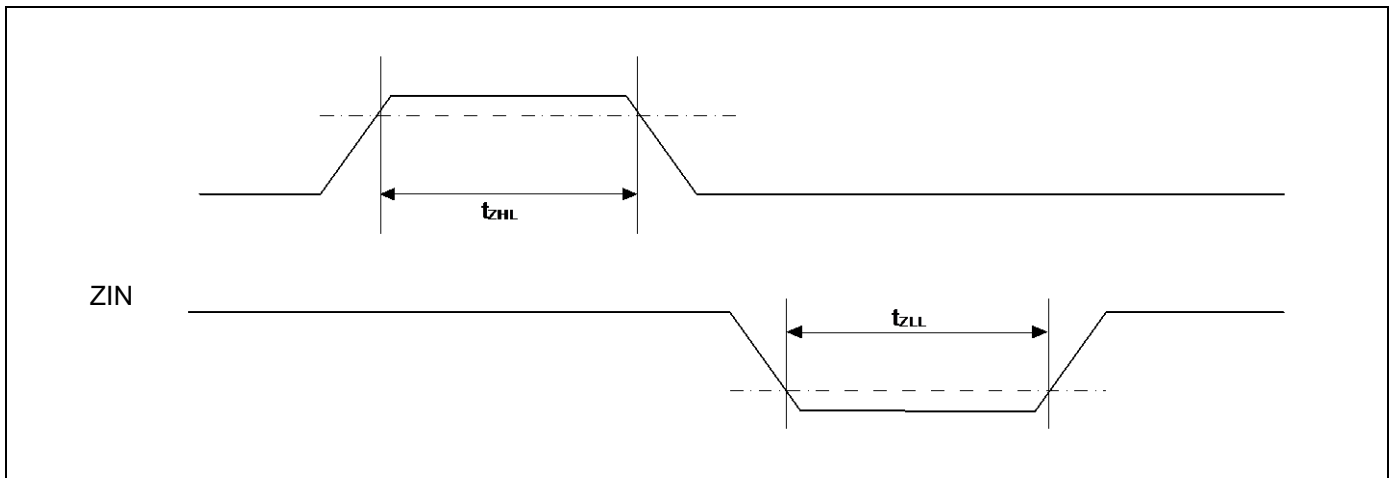
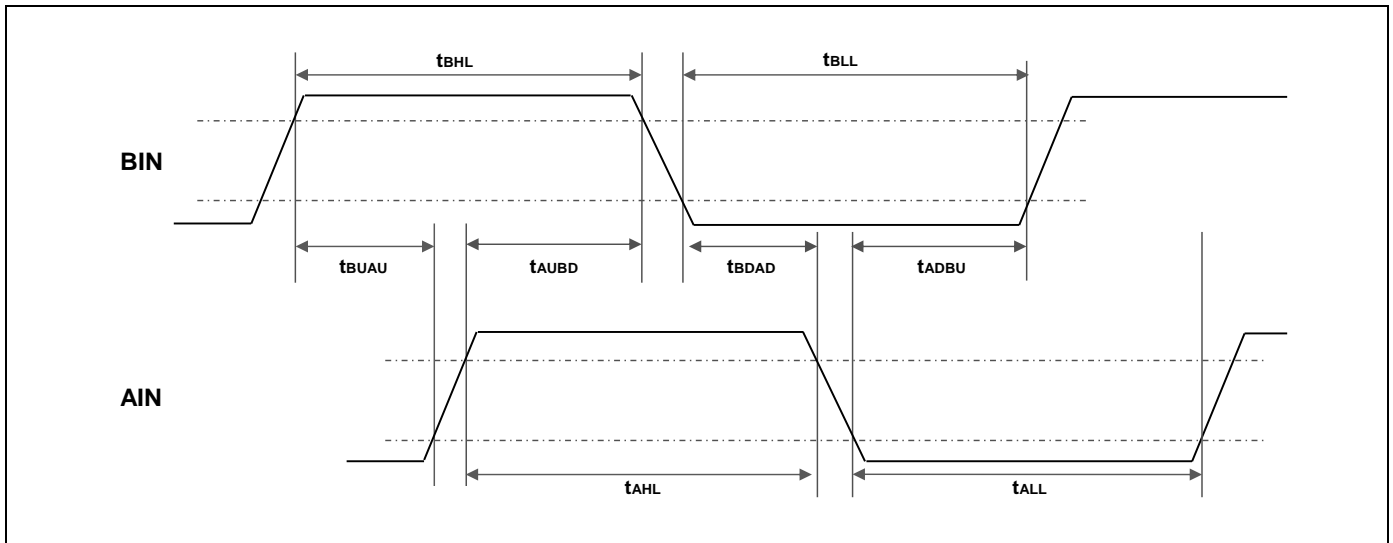
#### 12.4.11 Quad 计数器时序

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V, T<sub>a</sub> = - 40°C ~ + 85°C)

参数	符号	条件	规格值		单位
			最小值	最大值	
AIN 引脚"H"宽	t <sub>AHL</sub>	-	2t <sub>CYCP</sub> <sup>[1]</sup>	-	ns
AIN 引脚"L"宽	t <sub>ALL</sub>	-			
BIN 引脚"H"宽	t <sub>BHL</sub>	-			
BIN 引脚"L"宽	t <sub>BLL</sub>	-			
AIN"H"电平的 BIN 上升时间	t <sub>AUBU</sub>	PC_Mode2 或 PC_Mode3			
BIN"H"电平的 AIN 下降时间	t <sub>BUAD</sub>	PC_Mode2 或 PC_Mode3			
AIN"L"电平的 BIN 下降时间	t <sub>ADBD</sub>	PC_Mode2 或 PC_Mode3			
BIN"L"电平的 AIN 上升时间	t <sub>BDAU</sub>	PC_Mode2 或 PC_Mode3			
BIN"H"电平的 AIN 上升时间	t <sub>BUAU</sub>	PC_Mode2 或 PC_Mode3			
AIN"H"电平的 BIN 下降时间	t <sub>AUBD</sub>	PC_Mode2 或 PC_Mode3			
BIN"L"电平的 AIN 下降时间	t <sub>BDAD</sub>	PC_Mode2 或 PC_Mode3			
AIN"L"电平的 BIN 上升时间	t <sub>ADBU</sub>	PC_Mode2 或 PC_Mode3			
ZIN 引脚"H"宽	t <sub>ZHL</sub>	QCR:CGSC="0"			
ZIN 引脚"L"宽	t <sub>ZLL</sub>	QCR:CGSC="0"			
从已确定 ZIN 电平的 AIN/BIN 下降上升时间	t <sub>ZABE</sub>	QCR:CGSC="1"			
从 AIN/BIN 下降和上升时间的已确定 ZIN 电平	t <sub>ABEZ</sub>	QCR:CGSC="1"			

[1]: t<sub>CYCP</sub> 是指 APB 总线时钟的周期时间。关于多功能定时器连结的 APB 总线序号, 详情参照“框图”。





## 12.4.12 I<sup>2</sup>C 时序

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V, T<sub>a</sub> = - 40°C ~ + 85°C)

参数	符号	条件	标准模式		高速模式		单位	备注
			最小	最大	最小	最大		
SCL 时钟频率	F <sub>SCL</sub>	C <sub>L</sub> = 30 pF, R = (V <sub>p</sub> /I <sub>OL</sub> ) <sup>[1]</sup>	0	100	0	400	kHz	
(重复)“启动”条件保持时间 SDA↓→SCL↓	t <sub>HDSTA</sub>		4.0	-	0.6	-	μs	
SCL 时钟“L”宽	t <sub>LOW</sub>		4.7	-	1.3	-	μs	
SCL 时钟“H”宽	t <sub>HIGH</sub>		4.0	-	0.6	-	μs	
重复“启动”条件创建时间 SCL ↑ → SDA ↓	t <sub>SUSTA</sub>		4.7	-	0.6	-	μs	
数据保持时间 SCL↓→SDA↓↑	t <sub>HDDAT</sub>		0	3.45 <sup>[2]</sup>	0	0.9 <sup>[3]</sup>	μs	
数据创建时间 SDA↓↑→SCL↑	t <sub>SUDAT</sub>		250	-	100	-	ns	
“停止”条件创建时间 SCL ↑ → SDA ↑	t <sub>SUSTO</sub>		4.0	-	0.6	-	μs	
“停止”条件和“启动”条件间的总线空闲时间	t <sub>BUF</sub>		4.7	-	1.3	-	μs	
噪声滤波器	t <sub>SP</sub>	8 MHz ≤ t <sub>CYCP</sub> ≤ 40 Hz	2 t <sub>CYCP</sub> <sup>[4]</sup>	-	2 t <sub>CYCP</sub> <sup>[4]</sup>	-	ns	[5]
		40 MHz < t <sub>CYCP</sub> ≤ 60 Hz	3 t <sub>CYCP</sub> <sup>[4]</sup>	-	3 t <sub>CYCP</sub> <sup>[4]</sup>	-	ns	[5]
		60 MHz < t <sub>CYCP</sub> ≤ 72 Hz	4 t <sub>CYCP</sub> <sup>[4]</sup>	-	4 t <sub>CYCP</sub> <sup>[4]</sup>	-	ns	[5]

[1]: R, C 是指 SCL, SDA 总线上的上拉电阻和负载电容。V<sub>p</sub> 是指上拉电阻的电源电压，I<sub>OL</sub> 是指 V<sub>OL</sub> 保证电流。

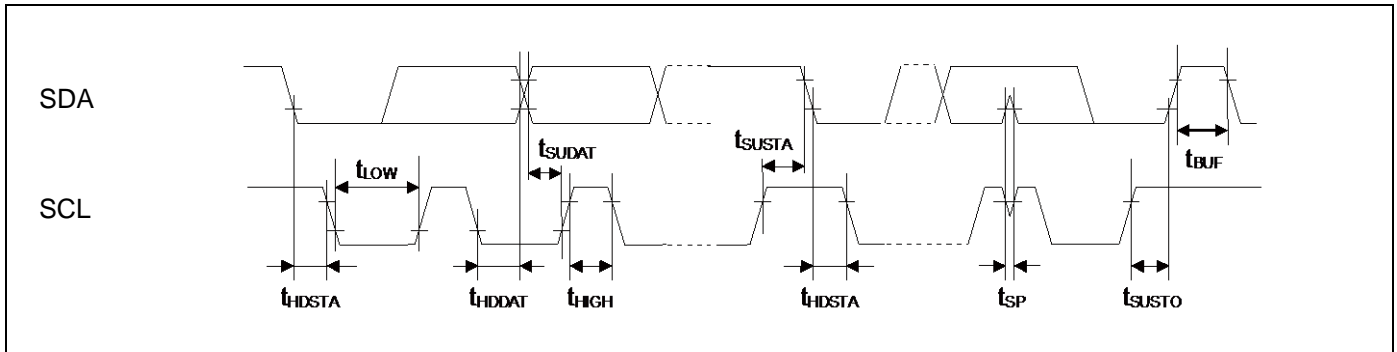
[2]: 仅在芯片保持 SCL 信号在“L”(t<sub>LOW</sub>)未扩展期间才可使用最大 t<sub>HDDAT</sub>。

[3]: 高速模式 I<sup>2</sup>C 总线芯片可用于标准模式 I<sup>2</sup>C 总线系统，但必须满足“t<sub>SUDAT</sub> ≥ 250 ns”的要求。

[4]: t<sub>CYCP</sub> 是指 APB 总线时钟的周期时间。关于 I<sup>2</sup>C 连结的 APB 总线序号，详情参照“框图”。

使用标准模式时，请将 APB 总线时钟设定在 2 MHz 或以上。使用高速模式时，请将 APB 总线时钟设定在 8 MHz 或以上。

[5]: 噪声滤波器的段数可根据寄存器设定切换为 2、3 或 4 段。请根据 APB2 总线时钟频率变更噪声滤波器的段数。

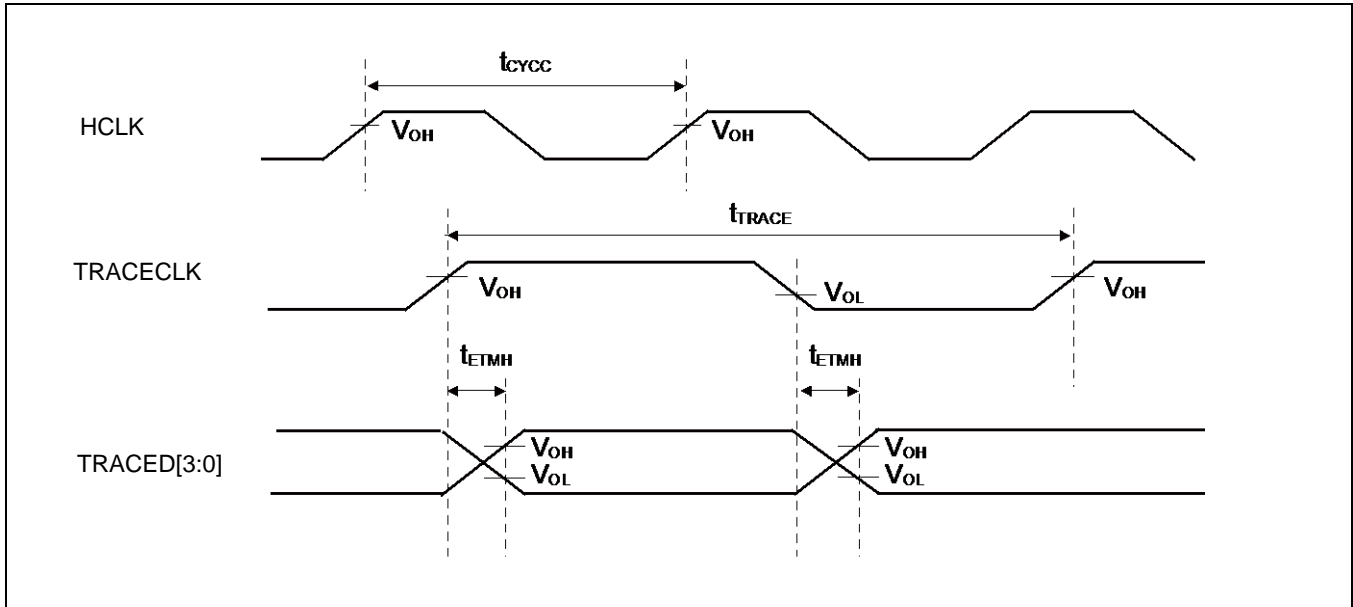


### 12.4.13 ETM 时序

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
数据保持	$t_{ETMH}$	TRACECLK, TRACED[3:0]	$V_{CC} \geq 4.5V$	2	9	ns	
			$V_{CC} < 4.5V$	2	15		
TRACECLK 频率	$1/t_{TRACE}$	TRACECLK	$V_{CC} \geq 4.5V$	-	50	MHz	
			$V_{CC} < 4.5V$	-	32	MHz	
TRACECLK 时钟周期	$t_{TRACE}$	TRACECLK	$V_{CC} \geq 4.5V$	20	-	ns	
			$V_{CC} < 4.5V$	31.25	-	ns	

**注意事项:**外部负载电容 = 30pF 时。

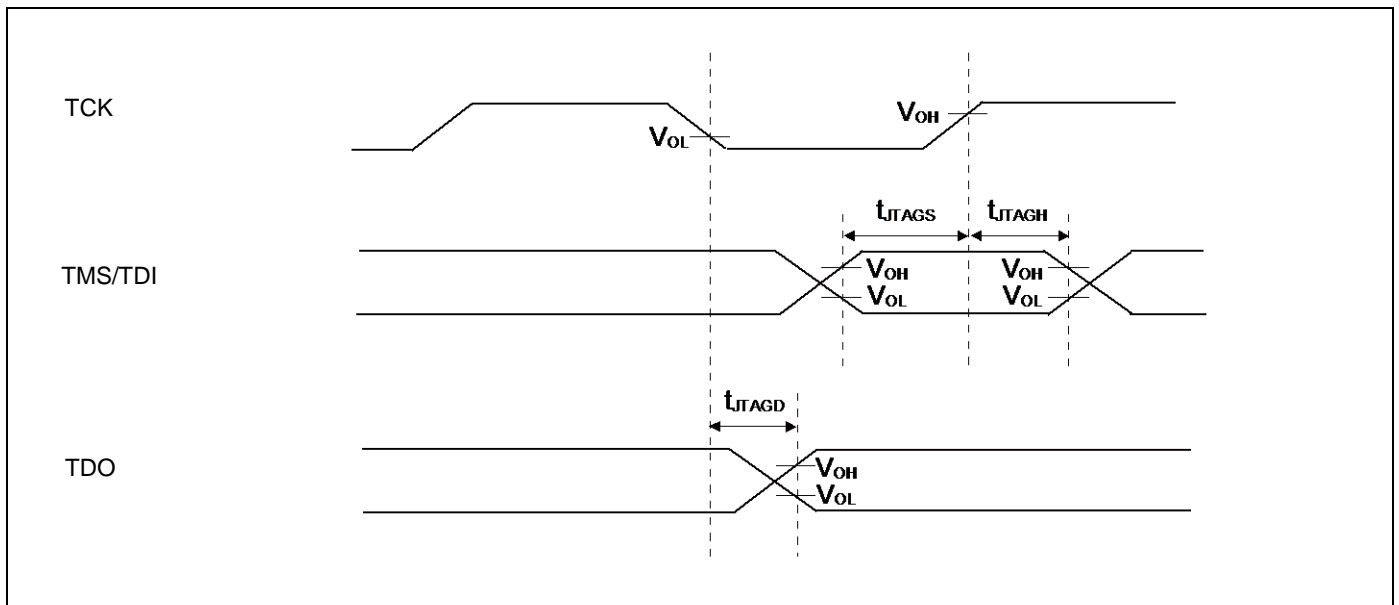


#### 12.4.14 JTAG 时序

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
TMS, TDI 创建时间	$t_{JTAGS}$	TCK, TMS, TDI	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	15	-	ns	
TMS, TDI 保持时间	$t_{JTAGH}$	TCK, TMS, TDI	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	15	-	ns	
TDO 延迟时间	$t_{JTAGD}$	TCK, TDO	$V_{CC} \geq 4.5V$	-	25	ns	
			$V_{CC} < 4.5V$	-	45		

**注意事项** 外部负载电容 = 30pF 时。



## 12.5 12 位 A/D 转换器

### 12.5.1 A/D 转换部的电气特性

( $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	引脚名称	规格值			单位	备注
			最小	标准	最大		
分辨率	-	-	-	-	12	bit	
积分非线性	-	-	-	-	$\pm 4.5$	LSB	AVRH = 2.7 V~5.5 V
微分非线性	-	-	-	-	$\pm 2.5$	LSB	
零转换电压	$V_{ZT}$	ANxx	-	-	$\pm 15$	mV	
全面转换电压	$V_{FST}$	ANxx	-	-	AVRH $\pm 15$	mV	
转换时间	-	-	1.0 <sup>[1]</sup>	-	-	$\mu s$	AVCC $\geq 4.5 V$
			1.2 <sup>[1]</sup>	-	-	$\mu s$	AVCC $< 4.5 V$
采样时间	$T_s$	-	[2]	-	-	ns	AVCC $\geq 4.5 V$
			[2]	-	-	ns	AVCC $< 4.5 V$
比较时钟周期 <sup>*3</sup>	$T_{cck}$	-	50	-	2000	ns	
动作使能状态转移期间	$T_{stt}$	-	-	-	1.0	$\mu s$	
模拟输入电容	$C_{AIN}$	-	-	-	12.9	pF	
模拟输入电阻	$R_{AIN}$	-	-	-	2	k $\Omega$	AVCC $\geq 4.5 V$
					3.8		AVCC $< 4.5 V$
通道间不平衡	-	-	-	-	4	LSB	
模拟端口输入电流	-	ANxx	-	-	5	$\mu A$	
模拟输入电压	-	ANxx	$AV_{SS}$	-	AVRH	V	
基准电压	-	AVRH	2.7	-	$AV_{CC}$	V	

[1]: 转换时间 = 采样时间( $T_s$ ) + 比较时间( $T_c$ )。

HCLK=40 MHz 时最短转换时间的条件。

AVCC  $\geq 4.5 V$ , HCLK=120 MHz      采样时间值:300 ns    比较时间:700 ns

AVCC  $< 4.5 V$ , HCLK=120 MHz      采样时间值:500 ns    比较时间:700 ns

须保证满足采样时间( $T_s$ )和比较时钟周期( $T_{cck}$ )的值。

关于采样时间和比较时钟周期的设置, 详情参照"FM3 家族外设手册"中的"12 位 A/D 转换器"一章。

ADC 的寄存器设定在 APB 总线时钟的时序上反映。

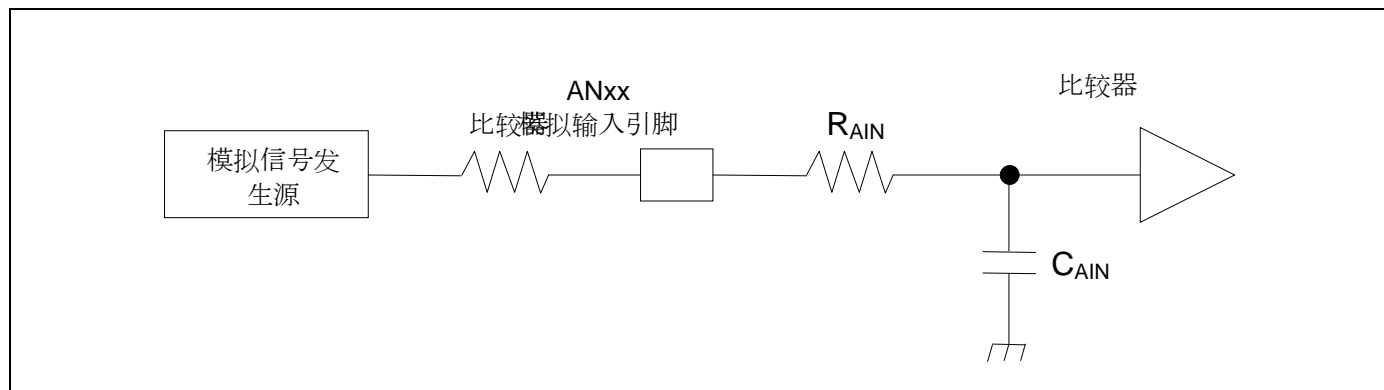
采样及比较时钟在基本时钟(HCLK)设定。

关于 ADC 连接的 APB 总线序号, 详情参照"框图"。

[2]: 所需采样时间因外部阻抗而异。

务必使设定的采样时间满足(式 1)。

[3]: 比较时间( $T_c$ )是(公式 2)的值。



(公式 1)  $T_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

$T_s$ : 采样时间

$R_{AIN}$ : A/D 的输入阻抗 =  $2k\Omega$        $4.5 \leq AV_{CC} \leq 5.5$  时

A/D 的输入阻抗 =  $3.8k\Omega$        $2.7 \leq AV_{CC} < 4.5$  时

$C_{AIN}$ : A/D 的输入电容 =  $12.9pF$        $2.7 \leq AV_{CC} \leq 5.5$  时

$R_{ext}$ : 外部电路的输出阻抗

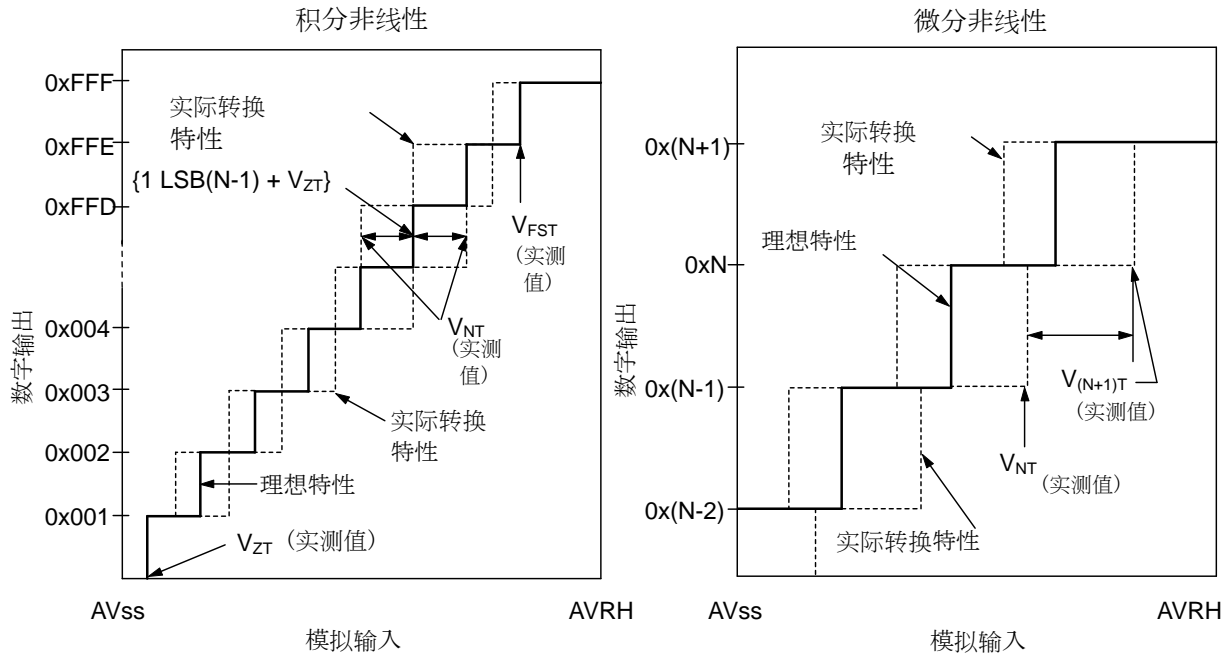
(公式 2)  $T_c = T_{cck} \times 14$

$T_c$ : 比较时间

$T_{cck}$ : 比较时钟周期

### 12.5.2 12 位 A/D 转换器的术语定义

- 分辨率 : 分辨率是 A/D 转换器分辨出的模拟偏差的等级。
- 积分非线性 : 是指实际转换值偏移直线的误差, 该直线连接器件上的零转换点 (0b000000000000  $\longleftrightarrow$  0b00□00000001) 和同一器件上的全面转换点 (0b111111111110  $\longleftrightarrow$  0b11□11111111)。
- 微分非线性 : 指用一个 LSB 改变输出码所需输入电压偏移理想值的误差。



$$\text{数字输出 } N \text{ 的积分非线性} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \quad [\text{LSB}]$$

$$\text{数字输出 } N \text{ 的微分非线性} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \quad [\text{LSB}]$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

N: A/D 转换器的数字输出值。

$V_{ZT}$ : 数字输出由 0x000 到 0x001 变换的电压。

$V_{FST}$ : 数字输出由 0xFFE 到 0xFFF 变换的电压。

$V_{NT}$ : 数字输出由 0x(N - 1)到 0xN 变换的电压。



## 12.6 低压检测特性

### 12.6.1 低压检测复位

(Ta = - 40°C ~ + 85°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	-	2.25	2.45	2.65	V	电压下降时
释放电压	VDH	-	2.30	2.50	2.70	V	电压上升时

### 12.6.2 低压检测中断

(Ta = - 40°C ~ + 85°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	SVHI = 0000	2.58	2.8	3.02	V	电压下降时
释放电压	VDH		2.67	2.9	3.13	V	电压上升时
检测电压	VDL	SVHI = 0001	2.76	3.0	3.24	V	电压下降时
释放电压	VDH		2.85	3.1	3.34	V	电压上升时
检测电压	VDL	SVHI = 0010	2.94	3.2	3.45	V	电压下降时
释放电压	VDH		3.04	3.3	3.56	V	电压上升时
检测电压	VDL	SVHI = 0011	3.31	3.6	3.88	V	电压下降时
释放电压	VDH		3.40	3.7	3.99	V	电压上升时
检测电压	VDL	SVHI = 0100	3.40	3.7	3.99	V	电压下降时
释放电压	VDH		3.50	3.8	4.10	V	电压上升时
检测电压	VDL	SVHI = 0111	3.68	4.0	4.32	V	电压下降时
释放电压	VDH		3.77	4.1	4.42	V	电压上升时
检测电压	VDL	SVHI = 1000	3.77	4.1	4.42	V	电压下降时
释放电压	VDH		3.86	4.2	4.53	V	电压上升时
检测电压	VDL	SVHI = 1001	3.86	4.2	4.53	V	电压下降时
释放电压	VDH		3.96	4.3	4.64	V	电压上升时
LVD 稳定等待时间	T <sub>LVDW</sub>	-	-	-	4032 × t <sub>CYCP</sub> <sup>[1]</sup>	μs	

[1]: t<sub>CYCP</sub> 是指 APB2 总线时钟的周期时间。

## 12.7 闪存擦/写特性

### 12.7.1 擦/写时间

(Vcc = 2.7V ~ 5.5V, Ta = - 40°C ~ + 85°C)

参数		规格值		单位	备注
		标准 <sup>[1]</sup>	最大 <sup>[1]</sup>		
扇区擦除时间	大扇区	0.7	3.7	s	包括内部擦除前的写入时间
	小扇区	0.3	1.1		
半字（16 位） 写入时间		12	384	μs	除去系统级开销时间。
整片擦除时间		13.6	68	s	包括内部擦除前的写入时间

[1]:典型值指发货后立即有效的值，最大值指在 10 万个擦除/写入周期后的保证值。

### 12.7.2 擦/写周期和数据保持时间

擦/写次数 (周期)	保持时间 (年)	备注
1,000	20 <sup>[1]</sup>	
10,000	10 <sup>[1]</sup>	
100,000	5 <sup>[1]</sup>	

[1]:平均温度+85°C

## 12.8 从低功耗模式下的返回时间

### 12.8.1 返回因数: 中断

从低功耗模式下的返回时间如下所示。从收到返回因数到启动程序运行为止。

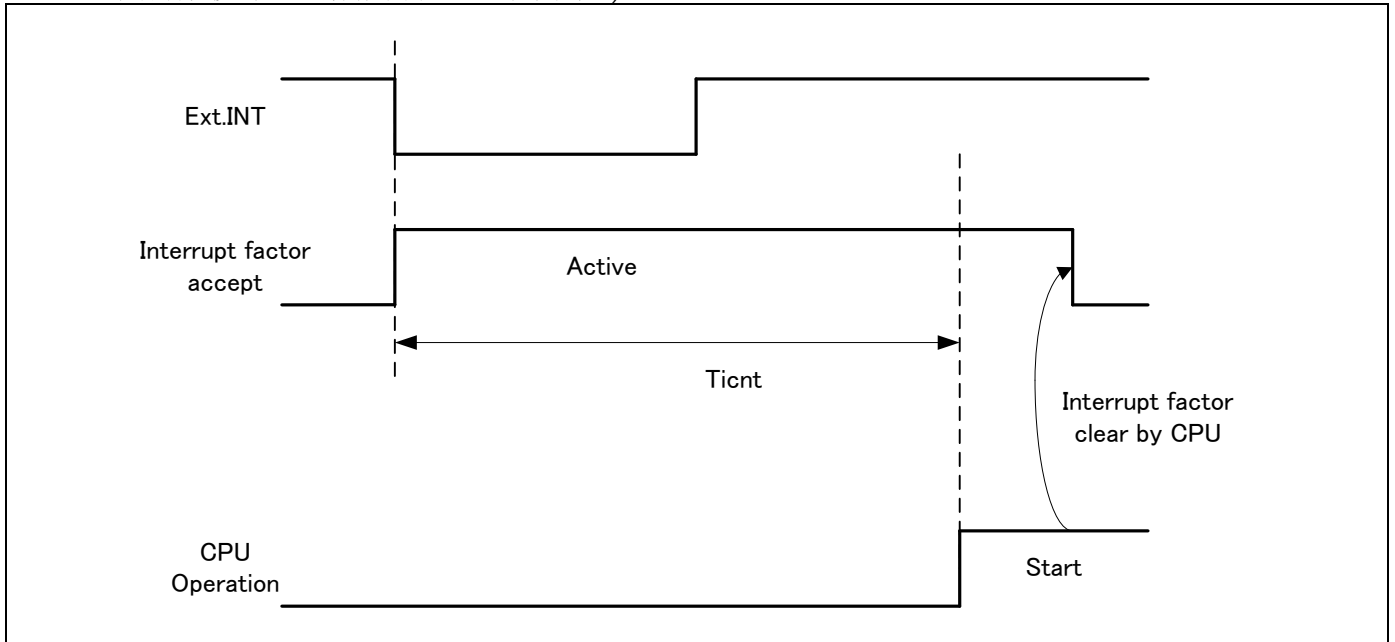
#### 12.8.1.1 返回计数时间

( $V_{CC} = 2.7V \sim 5.5V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

参数	符号	规格值		单位	备注
		标准	最大 <sup>[1]</sup>		
睡眠模式	Ticnt	$t_{CYCC}$		ns	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		40	80	μs	
低速 CR 定时器模式		453	737	μs	
副振荡定时器模式		453	737	μs	
停止模式		453	737	μs	

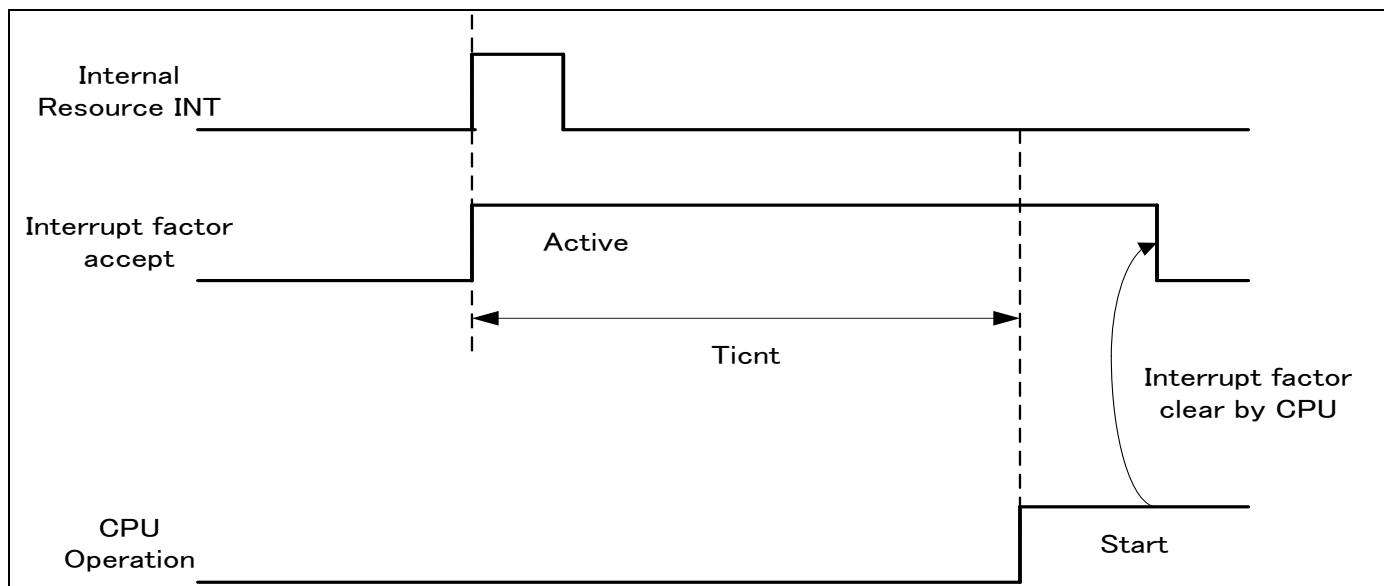
[1]:最大值取决于内置 CR 的精度。

#### 12.8.1.2 从低功耗模式返回的操作示例 (通过外部中断<sup>[1]</sup>)



[1]:外部中断设置为检测下降沿。

### 12.8.1.3 从低功耗模式返回的操作示例（通过内部资源中断<sup>[1]</sup>）



\*:对这类低功耗模式，内部资源中断未包含在返回因数中。

#### 注意事项:

- 每一种低功耗模式中的返回因数各不相同。关于低功耗模式的返回因数，请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。
- 在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅“FM3 系列外设手册”中的“第 6 章：低功耗模式”。

### 12.8.2 返回因数:复位

从低功耗模式下的返回时间如下所示。从释放复位到启动程序运行为止。

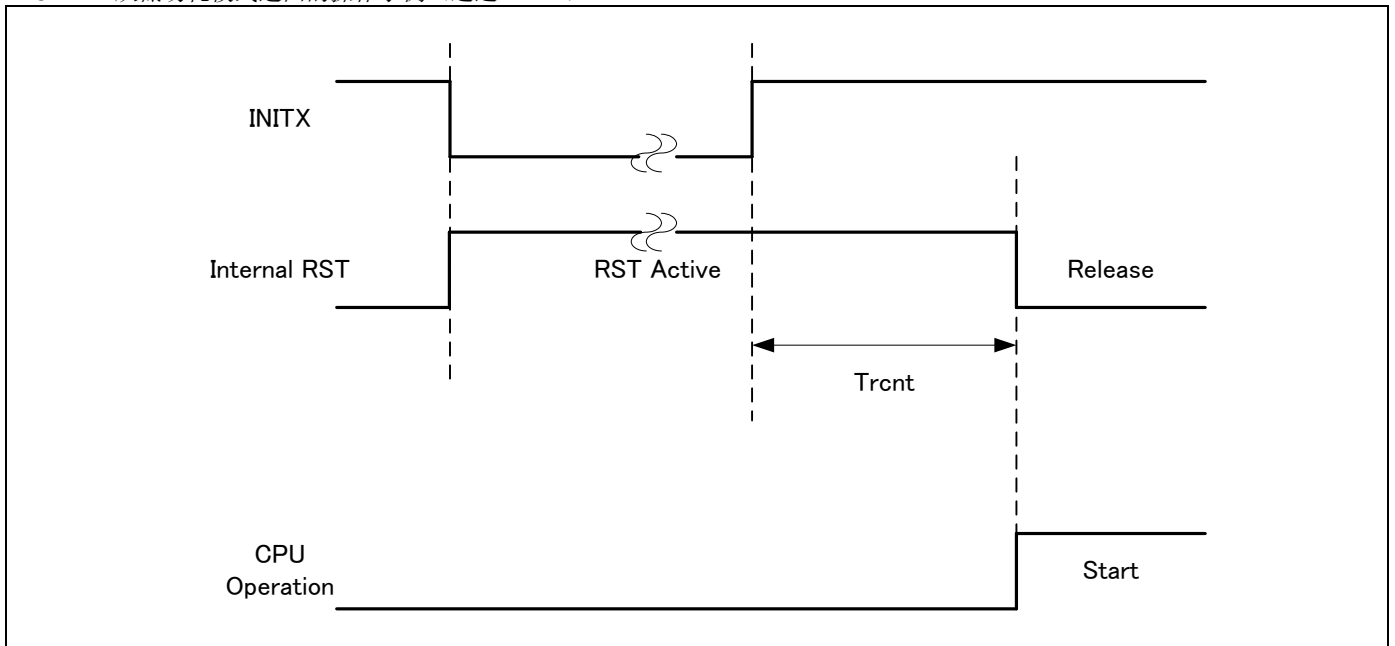
#### 12.8.2.1 返回计数时间

( $V_{CC} = 2.7V \sim 5.5V$ ,  $T_a = -40^{\circ}C \sim +85^{\circ}C$ )

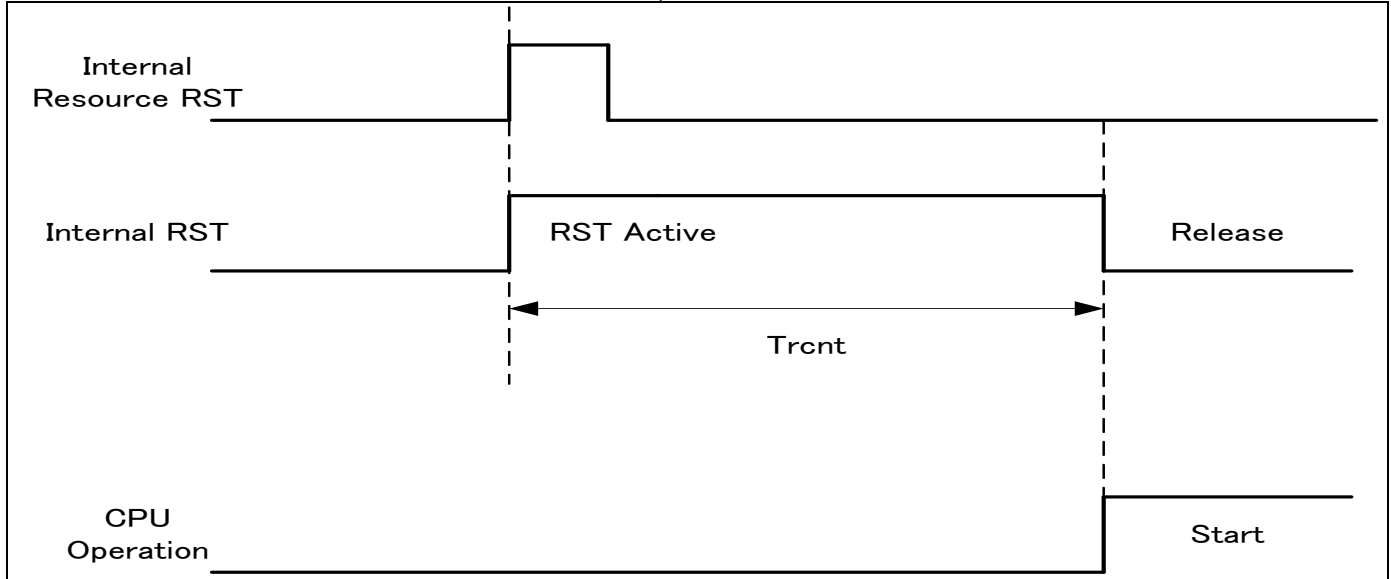
参数	符号	规格值		单位	备注
		标准	最大 <sup>[1]</sup>		
睡眠模式	Trcnt	321	461	μs	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		321	461	μs	
低速 CR 定时器模式		441	701	μs	
副振荡定时器模式		441	701	μs	
停止模式		441	701	μs	

[1]:最大值取决于内置 CR 的精度。

#### 12.8.2.2 从低功耗模式返回的操作示例 (通过 INITX)



### 12.8.2.3 从低功耗模式返回的操作示例（通过内部资源复位<sup>[1]</sup>）



[1]: 对这类低功耗模式，内部资源复位未包含在返回因数中。

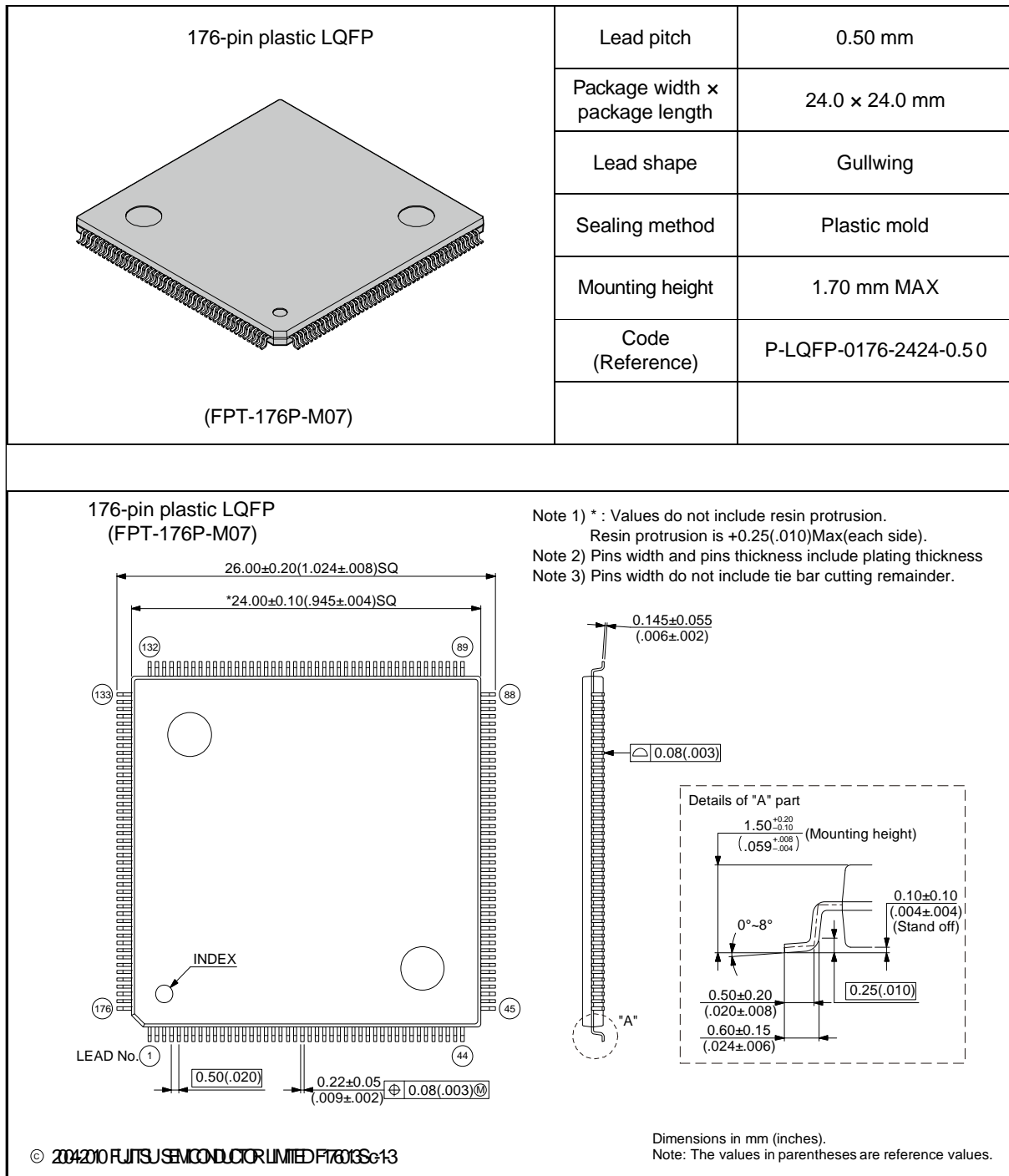
#### 注意事项

- 每一种低功耗模式中的返回因数各不相同。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。
- 在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅“FM3 系列外设手册”中的“第 6 章：低功耗模式”。
- 排除上电复位/低电压检测复位的时间。请参阅电气特性中 12.4 交流特性的“12.4.6 上电复位时序”，详细了解上电复位/低电压检测复位时间。
- 在从复位恢复时，CPU 会改变为高速 CR 运行模式。在使用主时钟或 PLL 时钟时，有必要添加主时钟振荡稳定等待时间或主 PLL 时钟稳定等待时间。
- 内部资源复位意味着看门狗复位和 CSV 复位。

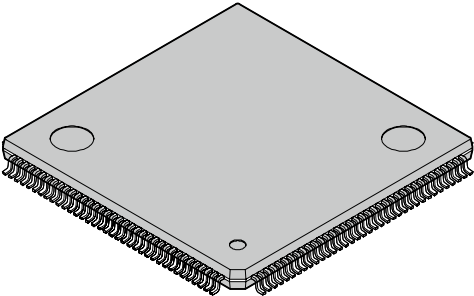
### 13. 订购信息

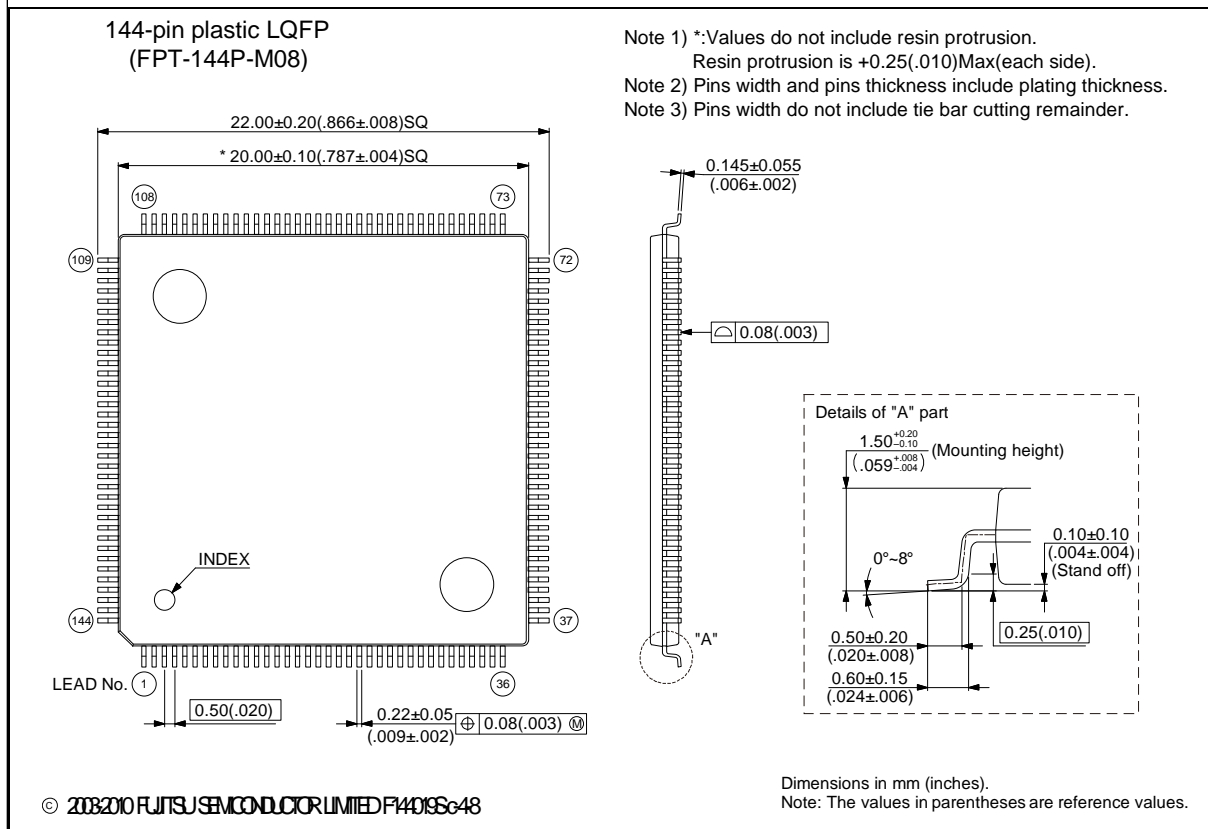
产品类型	片上 闪存	片上 SRAM	封装	包装
MB9BF116SPMC-GE1	512 Kbyte	64 Kbyte	塑封•LQFP 144 脚 (0.5 mm 间距), (FPT-144P-M08)	Tray
MB9BF117SPMC-GE1	768 Kbyte	96 Kbyte		
MB9BF118SPMC-GE1	1 Mbyte	128 Kbyte		
MB9BF116TPMC-GE1	512 Kbyte	64 Kbyte	塑封•LQFP 176 脚 (0.5 mm 间距), (FPT-176P-M07)	
MB9BF117TPMC-GE1	768 Kbyte	96 Kbyte		
MB9BF118TPMC-GE1	1 Mbyte	128 Kbyte		
MB9BF116TBGL-GE1	512 Kbyte	64 Kbyte	塑封•PFBGA 192 脚 (0.8 mm 间距), (BGA-192P-M06)	
MB9BF117TBGL-GE1	768 Kbyte	96 Kbyte		
MB9BF118TBGL-GE1	1 Mbyte	128 Kbyte		

## 14. 封装尺寸图



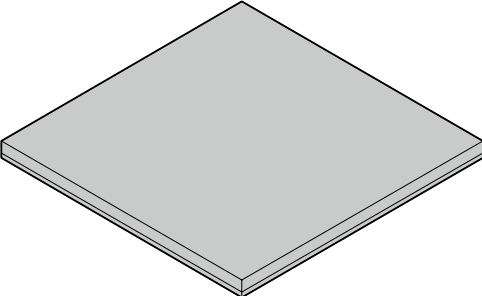


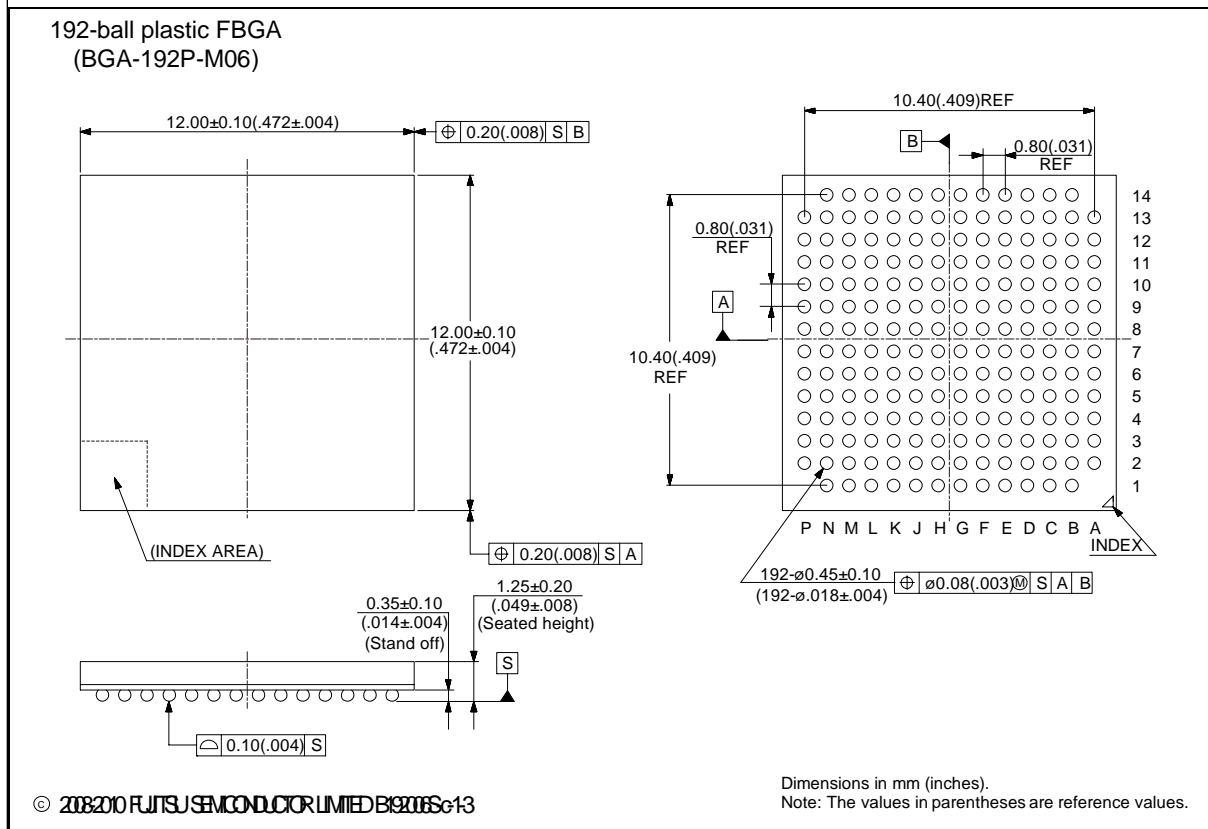
<p>144-pin plastic LQFP</p>  <p>(FPT-144P-M08)</p>	Lead pitch	0.50 mm
	Package width × package length	20.0 × 20.0 mm
	Lead shape	Gullwing
	Sealing method	Plastic mold
	Mounting height	1.70 mm MAX
	Weight	1.20 g
	Code (Reference)	P-LFQFP144-20×20-0.50



Note 1) \*:Values do not include resin protrusion.  
 Resin protrusion is  $+0.25$  ( $.010$ ) Max (each side).  
 Note 2) Pins width and pins thickness include plating thickness.  
 Note 3) Pins width do not include tie bar cutting remainder.

Dimensions in mm (inches).  
 Note: The values in parentheses are reference values.

<p>192-ball plastic FBGA</p>  <p>(BGA-192P-M06)</p>	Ball pitch	0.80 mm
	Package width × package length	12.00 mm × 12.00 mm
	Lead shape	Ball
	Sealing method	Plastic mold
	Mounting height	1.45 mm Max.
	Weight	0.34 g



## 文档修改记录

文档标题: **MB9BF116S/T, MB9BF117S/T, MB9BF118S/T, FM3, MB9B110T 系列, 32 位 ARM® Cortex®-M3 微控制器数据手册**

文档编号: **002-04682**

修订版	ECN	变更者	提交日期	变更说明
**	-	AKIH	09/25/2012	已转换成 Cypress 格式, 分配文档号为 002-04682。 文档内容或格式无更改。
*A	5602565	AKIH	01/25/2017	更新 Cypress 模板。

## 销售、解决方案以及法律信息

### 全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问赛普拉斯所在地。

#### 产品

ARM® Cortex® 微控制器

[cypress.com/arm](http://cypress.com/arm)

汽车级产品

[cypress.com/automotive](http://cypress.com/automotive)

时钟与缓冲器

[cypress.com/clocks](http://cypress.com/clocks)

接口

[cypress.com/interface](http://cypress.com/interface)

物联网

[cypress.com/iot](http://cypress.com/iot)

存储器

[cypress.com/memory](http://cypress.com/memory)

微控制器

[cypress.com/mcu](http://cypress.com/mcu)

PSoC

[cypress.com/psoc](http://cypress.com/psoc)

电源管理 IC

[cypress.com/pmic](http://cypress.com/pmic)

触摸感应

[cypress.com/touch](http://cypress.com/touch)

USB 控制器

[cypress.com/usb](http://cypress.com/usb)

无线连接

[cypress.com/wireless](http://cypress.com/wireless)

#### PSoC® 解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)

PSoC 1 | PSoc 3 | PSoc 4 | PSoc 5LP

#### 赛普拉斯开发者社区

[论坛](#) | [WICED IoT 论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

#### 技术支持

[cypress.com/go/support](http://cypress.com/go/support)

ARM 和 Cortex 是 ARM Limited 在欧盟和其它国家的注册商标。

©赛普拉斯半导体公司，2011-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权项下的下列许可权 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoc、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 [cypress.com](http://cypress.com) 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。