

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。



The following document contains information on Cypress products. The document has the series name, product name, and ordering part numbering with the prefix “MB”. However, Cypress will offer these products to new and existing customers with the series name, product name, and ordering part number with the prefix “CY”.

How to Check the Ordering Part Number

1. Go to www.cypress.com/pcn.
2. Enter the keyword (for example, ordering part number) in the **SEARCH PCNS** field and click **Apply**.
3. Click the corresponding title from the search results.
4. Download the Affected Parts List file, which has details of all changes

For More Information

Please contact your local sales office for additional information about Cypress products and solutions.

About Cypress

Cypress is the leader in advanced embedded system solutions for the world's most innovative automotive, industrial, smart home appliances, consumer electronics and medical products. Cypress' microcontrollers, analog ICs, wireless and USB-based connectivity solutions and reliable, high-performance memories help engineers design differentiated products and get them to market first. Cypress is committed to providing customers with the best support and development resources on the planet enabling them to disrupt markets by creating new product categories in record time. To learn more, go to www.cypress.com.

MB9A310K 系列是针对高速处理和低成本应用而设计的高集成度 32 位嵌入式微控制器。

本系列的 CPU 搭载了 ARM® Cortex®-M3 处理器、闪存及 SRAM 片上闪存,还包含了电机控制定时器、A/D 转换器、各种通信接口(USB, UART, CSIO, I²C, LIN)等在内的丰富外设功能。

“FM3 家族外围资源手册”中该数据手册记载的产品归类于 TYPE5 产品。

特征

32 位 ARM Cortex-M3 内核

- 处理器版本: r2p1
- 最高工作频率: 40MHz
- 嵌套向量中断控制器(NVIC)支持 1 通道 NMI (不可屏蔽中断) 和 48 通道的外设中断。可设定 16 个中断优先级。
- 24 位系统定时器(Sys Tick):该系统定时器用于管理操作系统任务。

片上存储器

[闪存]

本系列内置 2 个独立的闪存。

- 主闪存
 - 最大 128 KB
 - 读周期:0 等待周期
 - 用于代码保护的加密功能
- 工作闪存
 - 32KB
 - 读周期:0 等待周期
 - 加密功能和代码保护共享

[SRAM]

本系列搭载的片上 SRAM 存储器由两个独立的 SRAM(SRAM0, SRAM1)构成。SRAM0 连接 Cortex-M3 内核的 I-Code 总线或者 D-Code 总线。SRAM1 连接 Cortex-M3 内核的 System 总线。

■ SRAM0 :8 KB

■ SRAM1 :8 KB

USB 接口

USB 接口由功能和主机构成。

USB 用 PLL 是内置的, USB 时钟可通过主时钟倍频生成。

[USB 功能]

- 支持 USB2.0 Full-Speed
- 最多支持 6 个端点
 - 端点 0 是控制传输
 - 端点 1, 2 可选择批量传输、中断传输和同步传输
 - 端点 3 ~ 5 可选择批量传输和中断传输
 - 端点 1 ~ 5 由双缓冲器构成
 - 每个端点的大小如下。
 - 端点 0、2~5: 64B
 - 端点 1:256B

[USB 主机]

- 支持 USB2.0 Full-Speed / Low-Speed
- 支持批量传输、中断传输和同步传输
- 自动检测 USB 设备的连接/断开
- IN/OUT 令牌时自动处理握手数据包
- 支持最大 256B 的数据包长
- 支持唤醒功能

多功能串口(最多 4 通道)

- 带 16 段×9 位 FIFO 的 2 通道(ch.0, ch.1), 不带 FIFO 的 2 通道(ch.3, ch.5)
- 可从以下选择每路通道的工作模式 (ch.5 仅可使用 UART 和 LIN):
 - UART
 - CSIO
 - LIN
 - I²C

[UART]

- 全双工双缓冲器
- 可选择奇偶校验的有/无
- 内置专用波特率发生器
- 外部时钟可用作串行时钟
- 硬件流控制:CTS/RTS 自动控制收/发(仅限 ch.4)
- 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)

[CSIO]

- 全双工双缓冲器
- 内置专用波特率发生器
- 溢出错误检测功能

[LIN]

- 支持 LIN 协议 Rev.2.1
- 全双工双缓冲器
- 支持主控/从动模式
- 生成 LIN break field (可变为 13 ~ 16 位长)
- 生成 LIN break 分界符(可变为 1 ~ 4 位长)
- 丰富的错误检测功能(奇偶校验错误、帧错误、溢出错误)

[I²C]

- 支持标准模式(最快 100 kbps)/高速模式(最快 400 kbps)

DMA 控制器(4 通道)

DMA 控制器具有独立于 CPU 的 DMA 专用总线,可与 CPU 并列工作。

- 8 路可独立配置和操作的通道
- 可根据软件或者内置外设功能的请求进行传输
- 传输地址空间:32 位(4 GB)
- 传输模式:整块传输/突发传输/请求传输
- 传输数据类型:字节/半字/字
- 传输块个数:1 ~ 16
- 传输次数:1 ~ 65536

A/D 转换器(最多 8 通道)

[12 位 A/D 转换器]

- 逐次比较型
- 搭载 2 个单元
- 转换时间:1.0μs@5V
- 可进行优先级转换(2 个优先级)
- 扫描转换模式
- 搭载存储转换数据的 FIFO (用于扫描转换:16 段; 用于优先级转换:4 段)

基本定时器(最多 8 通道)

可从以下选择各通道的工作模式。

- 16 位 PWM 定时器
- 16 位 PPG 定时器
- 16/32 位重载定时器
- 16/32 位 PWC 定时器

通用 I/O 口

本系列的引脚不用作外设功能时,可用作 I/O 口。另外,搭载的端口重定位功能可设定哪一个 I/O 口配置外设功能。

- 可上拉控制各个引脚
- 可直接读出引脚电平
- 具有端口重定位功能
- 最多 36 个高速 I/O 口
- 部分端口耐 5V
关于该引脚,详情参照 "引脚功能说明"。

多功能定时器

多功能定时器由以下模块构成。

- 16 位自由运行定时器 × 3 通道
- 输入捕捉 × 4 通道
- 输出比较 × 6 通道
- A/D 启动比较 × 3 通道
- 波形发生器 × 3 通道
- 16 位 PPG 定时器 × 3 通道

使用以下功能可实现电机控制。

- PWM 信号输出功能
- DC 斩波器波形输出功能
- 死区定时器功能
- 输入捕捉功能
- A/D 转换器启动功能
- DTIF(电机紧急停止)中断功能

实时时钟(RTC: Real Time Clock)

可计数 01 年 ~ 99 年的年/月/日/时/分/秒/星期几。

- 可设定指定日期时间(年/月/日/时/分/秒/星期几)的中断功能,也可仅设定年/月/日/时/分。
- 设定时间后/每到设定时间的定时器中断功能
- 可在继续计数的同时改写时间
- 闰年的自动计数

Quad 计数器(QPRC: Quadrature Position/Revolution Counter)

Quad 计数器(QPRC)用于测定位置编码器的位置。另外,还可通过设定作为递增/递减计数器使用。

- 可设定 3 个外部事件输入引脚 AIN, BIN, ZIN 的检测沿
- 16 位位置计数器
- 16 位旋转计数器
- 2 个 16 位比较寄存器

双定时器(32/16 位递减计数器)

双定时器由两个可编程的 32/16 位递减计数器构成。
可从以下选择定时器通道的工作模式。

- 自由运行模式
- 周期模式(=重载模式)
- 单次模式

计时计数器

计时计数器可把芯片从低功耗模式中唤醒。

- 间隔定时器: 使用最大 64s@副时钟:32.768kHz

外部中断控制单元

- 外部中断输入引脚: 最多 6 个
- 不可屏蔽中断(NMI)输入引脚: 1 个

监视定时器(2 通道)

达到超时值时, 监视定时器生成中断或复位。

本系列有两种不同的监视: "硬件"监视和"软件"监视。

"硬件"监视定时器使用内置低速 CR 振荡器, 因此在 RTC 模式、停止模式、深层待机 RTC 模式、深层待机停止模式以外的任何低功耗模式下都可以工作。

CRC (Cyclic Redundancy Check)加速器

CRC 加速器进行软件处理负荷高的 CRC 计算, 以减轻数据接收及存储整合性确认的处理负荷。

支持 CCITT CRC16 和 IEEE-802.3 CRC32。

- CCITT CRC16 Generator Polynomial:0x1021
- IEEE-802.3 CRC32 Generator Polynomial:0x04C11DB7

时钟/复位

[时钟]

可选择 5 种时钟源(2 种外部振荡、2 种内部 CR 振荡、主 PLL)。

- 主时钟 :4MHz ~ 48MHz
- 副时钟 :32.768kHz
- 内部高速 CR 时钟 :4MHz
- 内部低速 CR 时钟 :100kHz
- 主 PLL 时钟

[复位]

- INITX 引脚的复位请求
- 上电复位
- 软件复位
- 监视定时器复位
- 低压检测复位
- 时钟监视器复位

时钟监视功能(CSV : Clock Super Visor)

该功能根据 CR 振荡器生成的时钟来监视外部时钟的异常。

- 检测出外部振荡时钟故障(时钟停止)时, 复位有效。
- 检测出外部频率异常时, 中断或复位有效。

低压检测功能(LVD : Low Voltage Detect)

本系列可在 2 个阶段监视 VCC 引脚的电压。VCC 引脚的电压比设定的电压低时, 低压检测功能生成中断或者复位。

- LVD1: 使用中断报告错误
- LVD2: 自动复位操作

低功耗模式

有 6 种低功耗模式。

- 睡眠
- 定时器
- RTC
- 停止
- 深层待机 RTC
- 深层待机停止

调试

串行线 JTAG 调试端口(SWJ-DP)

电源

- 支持大范围电压:VCC
= 2.7V ~ 5.5V
- USB I/O 用电源:USBVCC0
= 3.0V ~ 3.6V (使用 USB 时)
= 2.7V ~ 5.5V (使用 GPIO 时)

目录

1.	产品阵容	7
2.	封装及产品型号	8
3.	引脚配置图	9
4.	引脚功能说明	12
5.	I/O 电路类型	21
6.	芯片处理注意事项	27
6.1	产品设计注意事项	27
6.2	封装注意事项	28
6.3	使用环境注意事项	29
7.	芯片使用注意事项	30
8.	框图	33
9.	存储器容量	33
10.	存储器映射	34
11.	各 CPU 状态下的引脚状态	37
12.	电气特性	43
12.1	绝对最大额定值	43
12.2	推荐工作条件	45
12.3	直流特性	46
12.3.1	电流规格	46
12.3.2	引脚特性	49
12.4	交流特性	50
12.4.1	主时钟输入规格	50
12.4.2	副时钟输入规格	51
12.4.3	内置 CR 振荡规格	51
12.4.4	主 PLL/USB 用 PLL 的使用条件(主时钟作为 PLL 的输入时钟)	52
12.4.5	主 PLL 的使用条件(内置高速 CR 时钟作为主 PLL 的输入时钟)	52
12.4.6	复位输入规格	53
12.4.7	上电复位时序	53
12.4.8	基本定时器输入时序	54
12.4.9	CSIO/UART 时序	55
12.4.10	外部输入时序	63
12.4.11	Quad 计数器时序	64
12.4.12	I ² C 时序	66
12.4.13	JTAG 时序	67
12.5	12 位 A/D 转换器	68
12.6	USB 特性	71
12.7	低压检测特性	75
12.7.1	低压检测复位	75
12.7.2	低压检测中断	75
12.8	主闪存存储器写/擦特性	76
12.8.1	写/擦时间	76
12.8.2	写入周期和数据保持时间	76
12.9	工作闪存存储器写/擦特性	76
12.9.1	写/擦时间	76
12.9.2	写入周期和数据保持时间	76
12.10	从低功耗模式下的返回时间	77
12.10.1	返回因数:Interrupt/WKUP	77

12.11	返回因数:复位.....	79
12.11.1	返回计数时间	79
13.	订购信息	81
14.	封装尺寸图	82
15.	文档修改记录	85

1. 产品阵容

存储器容量

产品名称		MB9AF311K	MB9AF312K
片上闪存	主闪存	64 KB	128 KB
	工作闪存	32 KB	32 KB
片上 SRAM	SRAM0	8 KB	8 KB
	SRAM1	8 KB	8 KB
	总计	16 KB	16 KB

功能

产品名称			MB9AF311K MB9AF312K
引脚数			48/52
CPU			Cortex-M3
频率			40 MHz
电源电压范围			2.7V ~ 5.5V (USBVCC:3.0V ~ 3.6V)
USB2.0 (Function/Host)			1ch.(最大)
DMAC			4ch.(最大)
多功能串口 (UART/CSIO/LIN/I ² C)			4ch.(最大) 有 FIFO (16 段× 9 位):ch.0, ch.1 无 FIFO: ch.3, ch.5 (ch.5 仅可使用 UART 和 LIN)
基本定时器 (PWC/重载定时器/PWM/PPG)			8ch.(最大)
多功能定时器	A/D 启动比较	3ch.	1 unit (最大)
	输入捕捉	4ch.	
	自由运行定时器	3ch.	
	输出比较	6ch.	
	波形发生器	3ch.	
	PPG	3ch.	
Quad 计数器			1ch.(最大)
双定时器			1 unit
实时时钟			1 unit
计时计数器			1 unit
CRC 加速器			Yes
监视定时器			1ch.(SW) + 1ch.(HW)
外部中断			6 pins (最大) + NMI × 1
通用 I/O 口			36 pins (最大)
12 位 A/D 转换器			8ch.(2 unit)
时钟异常检测功能(CSV)			Yes
低压检测功能(LVD)			2ch.
内置 OSC	高速		4 MHz
	低速		100 kHz
调试功能			SWJ-DP

注意事项: 受封装引脚数量的限制, 未配置各产品搭载的外设功能的全部信号。需要某种功能时, 可使用 I/O 口的端口重定位功能进行再配置。

如欲了解有关内置 CR 的精确度, 请参考"12.电气特性 12.4. 交流特性"。

2. 封装及产品型号

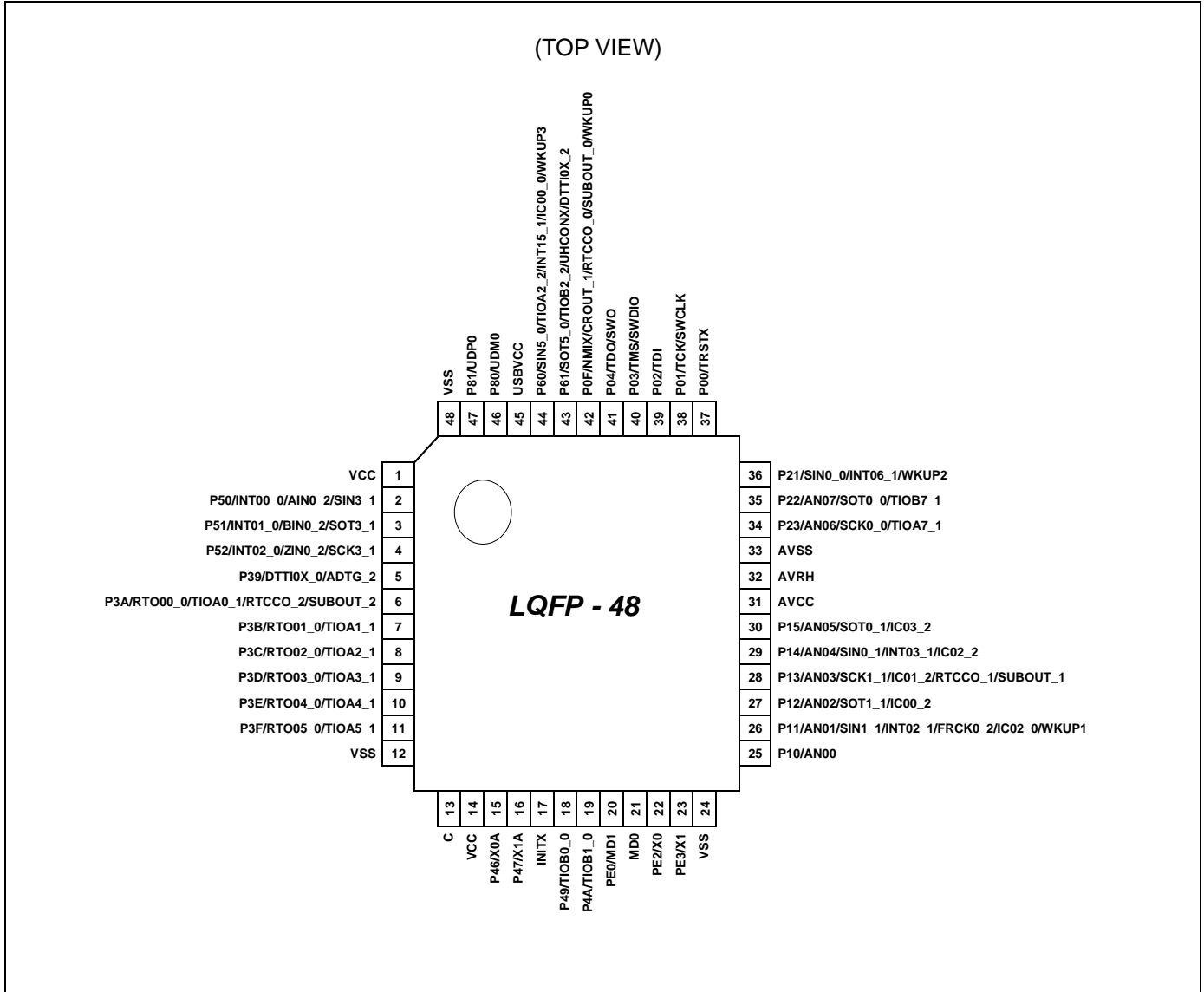
封装	产品名称	MB9AF311K MB9AF312K
LQFP: FPT-48P-M49 (0.5mm pitch)		○
QFN: LCC-48P-M73 (0.5mm pitch)		○
LQFP: FPT-52P-M02 (0.65mm pitch)		○

○:支持

注意事项:关于各个封装的详情，参考"14.封装尺寸"。

3. 引脚配置图

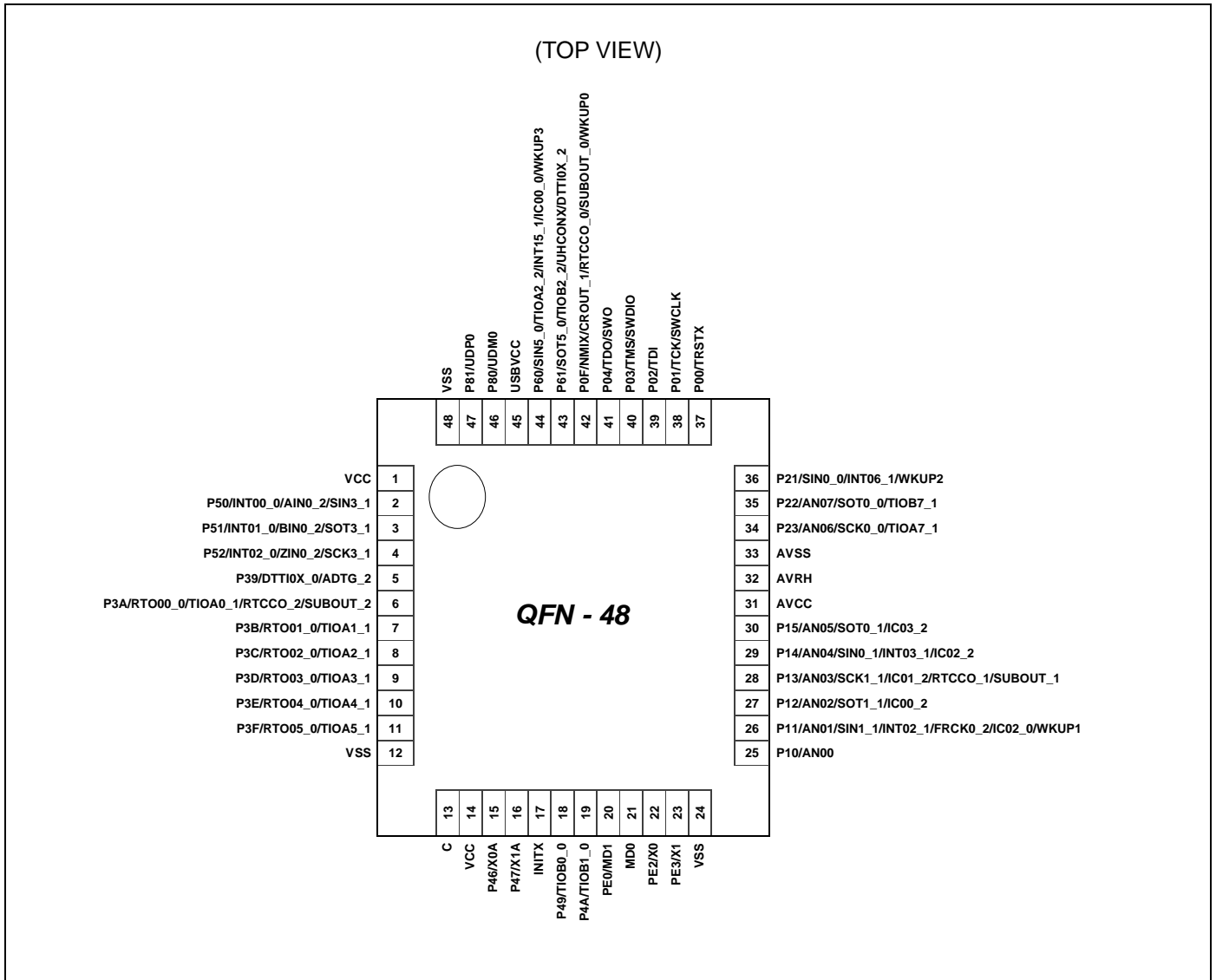
FPT-48P-M49



注意事项:

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

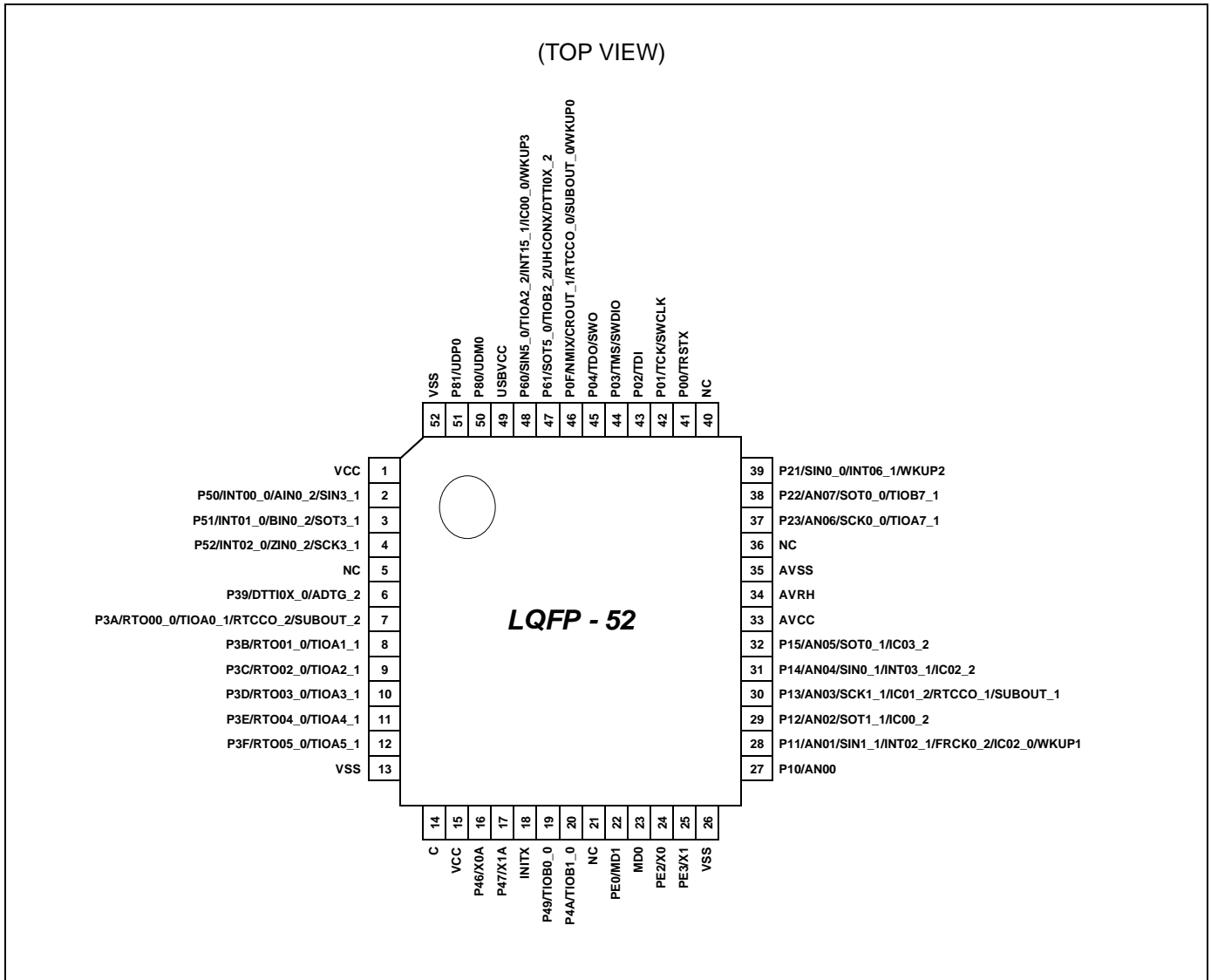
LCC-48P-M73



Note

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

FPT-52P-M02



Note

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

4. 引脚功能说明

引脚编号清单

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

引脚号		引脚名称	I/O 电路类型	引脚状态类型
LQFP-48 QFN-48	LQFP-52			
1	1	VCC	-	
2	2	P50	I ⁽¹⁾	H
		INT00_0		
		AIN0_2		
		SIN3_1		
3	3	P51	I ⁽¹⁾	H
		INT01_0		
		BIN0_2		
		SOT3_1		
4	4	P52	I ⁽¹⁾	H
		INT02_0		
		ZIN0_2		
		SCK3_1		
-	5	NC	-	
5	6	P39	E	I
		DTTIOX_0		
		ADTG_2		
6	7	P3A	G	I
		RTO00_0		
		TIOA0_1		
		RTCCO_2		
7	8	SUBOUT_2	G	I
		P3B		
		RTO01_0		
8	9	TIOA1_1	G	I
		P3C		
		RTO02_0		
9	10	TIOA2_1	G	I
		P3D		
		RTO03_0		
10	11	TIOA3_1	G	I
		P3E		
		RTO04_0		
11	12	TIOA4_1	G	I
		P3F		
		RTO05_0		
		TIOA5_1		

引脚号		引脚名称	I/O 电路类型	引脚状态类型
LQFP-48 QFN-48	LQFP-52			
12	13	VSS	-	
13	14	C	-	
14	15	VCC	-	
15	16	P46	D	M
		X0A		
16	17	P47	D	N
		X1A		
17	18	INITX	B	C
18	19	P49	E	I
		TIOB0_0		
19	20	P4A	E	I
		TIOB1_0		
-	21	NC	-	
20	22	PE0	C	P
		MD1		
21	23	MD0	J	D
22	24	PE2	A	A
		X0		
23	25	PE3	A	B
		X1		
24	26	VSS	-	
25	27	P10	F	K
		AN00		
26	28	P11	F	F
		AN01		
		SIN1_1		
		INT02_1		
		FRCK0_2		
		IC02_0		
		WKUP1		
27	29	P12	F	K
		AN02		
		SOT1_1		
		IC00_2		
28	30	P13	F	K
		AN03		
		SCK1_1		
		IC01_2		
		RTCCO_1		
		SUBOUT_1		

引脚号		引脚名称	I/O 电路类型	引脚状态类型
LQFP-48 QFN-48	LQFP-52			
29	31	P14	F	L
		AN04		
		SIN0_1		
		INT03_1		
		IC02_2		
30	32	P15	F	K
		AN05		
		SOT0_1		
		IC03_2		
31	33	AVCC	-	-
32	34	AVRH	-	-
33	35	AVSS	-	-
-	36	NC	-	-
34	37	P23	F	K
		AN06		
		SCK0_0		
		TIOA7_1		
35	38	P22	F	K
		AN07		
		SOT0_0		
		TIOB7_1		
36	39	P21	E	G
		SIN0_0		
		INT06_1		
		WKUP2		
-	40	NC	-	-
37	41	P00	E	E
		TRSTX		
38	42	P01	E	E
		TCK		
		SWCLK		
39	43	P02	E	E
		TDI		
40	44	P03	E	E
		TMS		
		SWDIO		
41	45	P04	E	E
		TDO		
		SWO		
42	46	P0F	E	J
		NMIX		
		CROUT_1		
		RTCCO_0		
		SUBOUT_0		
		WKUP0		

引脚号		引脚名称	I/O 电路类型	引脚状态类型
LQFP-48 QFN-48	LQFP-52			
43	47	P61	E	I
		SOT5_0		
		TIOB2_2		
		UHCONX		
		DTTIOX_2		
44	48	P60	I ^[1]	G
		SIN5_0		
		TIOA2_2		
		INT15_1		
		IC00_0		
		WKUP3		
45	49	USBVCC	-	
46	50	P80	H	O
		UDM0		
47	51	P81	H	O
		UDP0		
48	52	VSS	-	

[1]:耐 5V I/O

信号说明

引脚名称(例如 XXX_1, XXX_2)中下划线("_")后面的数字代表重定位端口号。有多个引脚可为同一路通道提供同一功能。使用扩展端口功能寄存器(EPFR)选择引脚。

模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
ADC	ADTG_2	A/D 转换器外部触发输入引脚	5	6
	AN00	A/D 转换器模拟输入引脚。 ANxx 表示 ADC ch.xx。	25	27
	AN01		26	28
	AN02		27	29
	AN03		28	30
	AN04		29	31
	AN05		30	32
	AN06		34	37
	AN07		35	38
基本定时器 0	TIOA0_1	基本定时器 ch.0 的 TIOA 引脚	6	7
	TIOB0_0	基本定时器 ch.0 的 TIOB 引脚	18	19
基本定时器 1	TIOA1_1	基本定时器 ch.1 的 TIOA 引脚	7	8
	TIOB1_0	基本定时器 ch.1 的 TIOB 引脚	19	20
基本定时器 2	TIOA2_1	基本定时器 ch.2 的 TIOA 引脚	8	9
	TIOA2_2		44	48
	TIOB2_2	基本定时器 ch.2 的 TIOB 引脚	43	47
基本定时器 3	TIOA3_1	基本定时器 ch.3 的 TIOA 引脚	9	10
基本定时器 4	TIOA4_1	基本定时器 ch.4 的 TIOA 引脚	10	11
基本定时器 5	TIOA5_1	基本定时器 ch.5 的 TIOA 引脚	11	12
基本定时器 7	TIOA7_1	基本定时器 ch.7 的 TIOA 引脚	34	37
	TIOB7_1	基本定时器 ch.7 的 TIOB 引脚	35	38
调试	SWCLK	串行线调试接口时钟输入引脚	38	42
	SWDIO	串行线调试接口数据 I/O 引脚	40	44
	SWO	串行线浏览器输出引脚	41	45
	TCK	J-TAG 测试时钟输入引脚	38	42
	TDI	J-TAG 测试数据输入引脚	39	43
	TDO	J-TAG 测试数据输出引脚	41	45
	TMS	J-TAG 测试模式状态 I/O 引脚	40	44
	TRSTX	J-TAG 测试复位输入引脚	37	41
外部 中断	INT00_0	外部中断请求 00 的输入引脚	2	2
	INT01_0	外部中断请求 01 的输入引脚	3	3
	INT02_0	外部中断请求 02 的输入引脚	4	4
	INT02_1		26	28
	INT03_1	外部中断请求 03 的输入引脚	29	31
	INT06_1	外部中断请求 06 的输入引脚	36	39
	INT15_1	外部中断请求 15 的输入引脚	44	48
	NMIX	不可屏蔽中断输入引脚	42	46

模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
GPIO	P00	通用 I/O 口 0	37	41
	P01		38	42
	P02		39	43
	P03		40	44
	P04		41	45
	P0F		42	46
	P10	通用 I/O 口 1	25	27
	P11		26	28
	P12		27	29
	P13		28	30
	P14		29	31
	P15		30	32
	P21	通用 I/O 口 2	36	39
	P22		35	38
	P23		34	37
	P39	通用 I/O 口 3	5	6
	P3A		6	7
	P3B		7	8
	P3C		8	9
	P3D		9	10
	P3E		10	11
	P3F		11	12
	P46	通用 I/O 口 4	15	16
	P47		16	17
	P49		18	19
	P4A		19	20
	P50	通用 I/O 口 5	2	2
	P51		3	3
	P52		4	4
	P60	通用 I/O 口 6	44	48
	P61		43	47
	P80	通用 I/O 口 8	46	50
	P81		47	51
	PE0	通用 I/O 口 E	20	22
	PE2		22	24
	PE3		23	25

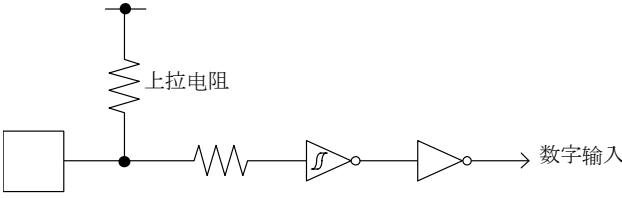
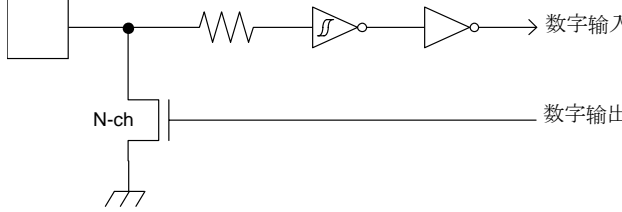
模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
多功能串口 0	SIN0_0	多功能串口 ch.0 的输入引脚	36	39
	SIN0_1		29	31
	SOT0_0 (SDA0_0)	多功能串口 ch.0 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3) 时, 可用作 SOT0; 充当 I ² C 引脚(工作模式 4), 可用作 SDA0。	35	38
	SOT0_1 (SDA0_1)		30	32
	SCK0_0 (SCL0_0)	多功能串口 ch.0 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2) 时, 可用作 SCK0; 充当 I ² C 引脚(工作模式 4), 可用作 SCL0。	34	37
多功能串口 1	SIN1_1	多功能串口 ch.1 的输入引脚	26	28
	SOT1_1 (SDA1_1)	多功能串口 ch.1 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3) 时, 可用作 SOT1; 充当 I ² C 引脚(工作模式 4), 可用作 SDA1。	27	29
	SCK1_1 (SCL1_1)	多功能串口 ch.1 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK1; 充当 I ² C 引脚(工作模式 2), 可用作 SCL1。	28	30
多功能串口 3	SIN3_1	多功能串口 ch.3 的输入引脚	2	2
	SOT3_1 (SDA3_1)	多功能串口 ch.3 的输出引脚。 充当 UART/CSIO/LIN 引脚(工作模式 0 ~ 3)时, 可用作 SOT3; 充当 I ² C 引脚(工作模式 4), 可用作 SDA3。	3	3
	SCK3_1 (SCL3_1)	多功能串口 ch.3 的时钟 I/O 引脚。 充当 CSIO 引脚(工作模式 2)时, 可用作 SCK3; 充当 I ² C 引脚(工作模式 4), 可用作 SCL3。	4	4
多功能串口 5	SIN5_0	多功能串口 ch.5 的输入引脚	44	48
	SOT5_0	多功能串口 ch.5 的输出引脚。 充当 UART/LIN 引脚(工作模式 0, 1, 3) 时, 可用作 SOT5。	43	47

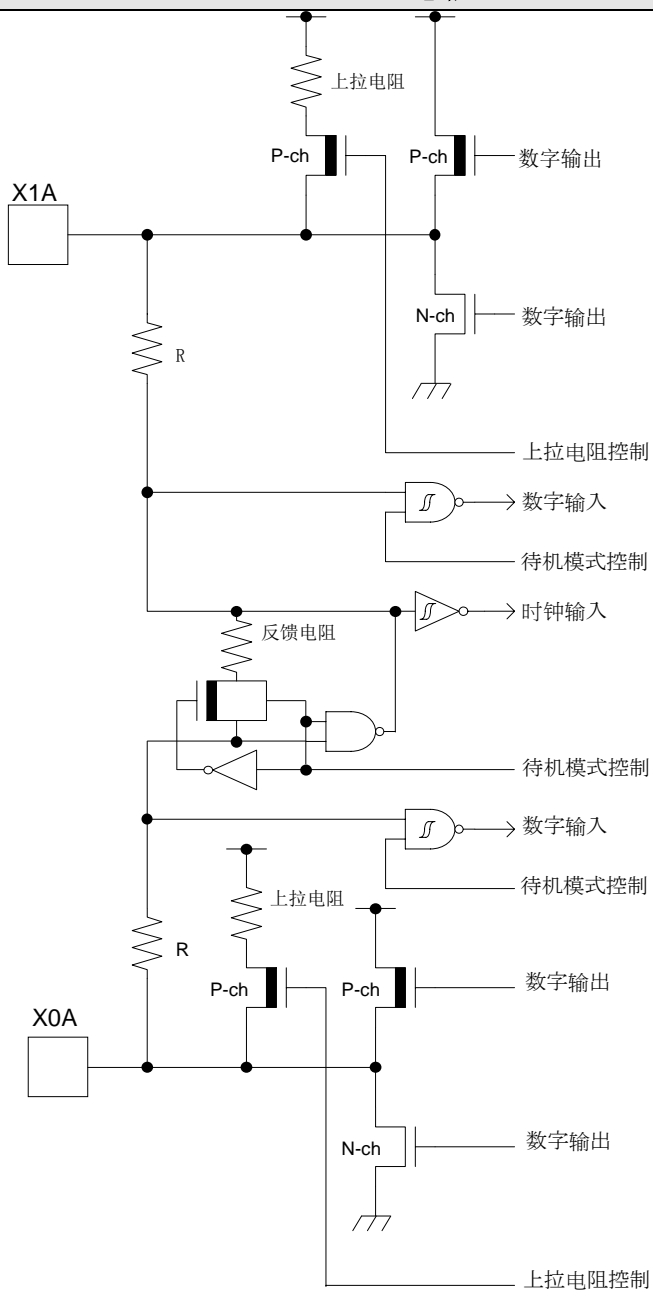
模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
多功能定时器 0	DTTI0X_0	控制多功能定时器 0 的 RTO00 ~ RTO05 输出的波形发生器的输入信号	5	6
	DTTI0X_2		43	47
	FRCK0_2	16 位自由运行定时器 ch.0 外部时钟输入引脚	26	28
	IC00_0	多功能定时器 0 的 16 位输入捕捉输入引脚。 ICxx 表示通道号。	44	48
	IC00_2		27	29
	IC01_2		28	30
	IC02_0		26	28
	IC02_2		29	31
	IC03_2		30	32
	RTO00_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG00。	6	7
	RTO01_0 (PPG00_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG00。	7	8
	RTO02_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG02。	8	9
	RTO03_0 (PPG02_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG02。	9	10
	RTO04_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG04。	10	11
	RTO05_0 (PPG04_0)	多功能定时器 0 的波形发生器输出引脚。 PPG0 输出模式下使用时，可用作 PPG04。	11	12
Quad 计数器 0	AIN0_2	QPRC ch.0 的 AIN 输入引脚	2	2
	BIN0_2	QPRC ch.0 的 BIN 输入引脚	3	3
	ZIN0_2	QPRC ch.0 的 ZIN 输入引脚	4	4
实时时钟	RTCCO_0	实时时钟 0.5 秒脉冲输出引脚	42	46
	RTCCO_1		28	30
	RTCCO_2		6	7
	SUBOUT_0	副时钟输出引脚	42	46
	SUBOUT_1		28	30
	SUBOUT_2		6	7
低功耗模式	WKUP0	深层待机模式复归信号输入引脚 0	42	46
	WKUP1	深层待机模式复归信号输入引脚 1	26	28
	WKUP2	深层待机模式复归信号输入引脚 2	36	39
	WKUP3	深层待机模式复归信号输入引脚 3	44	48
USB	UDM0	USB ch.0 功能/主机的 D ⁻ 引脚	46	50
	UDP0	USB ch.0 功能/主机的 D ⁺ 引脚	47	51
	UHCONX	USB 外部上拉控制引脚	43	47

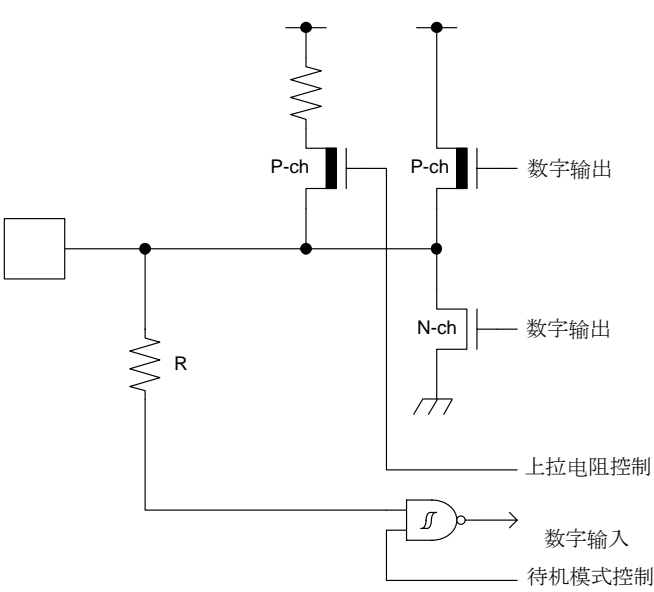
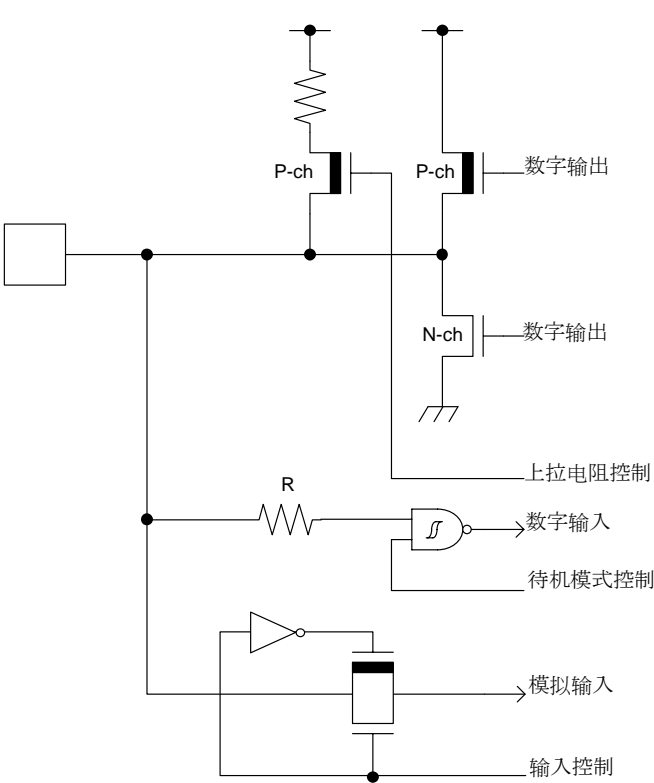
模块	引脚名称	功能	引脚号	
			LQFP-48 QFN-48	LQFP-52
RESET	INITX	外部复位输入。 INITX="L"时, 复位有效。	17	18
Mode	MD0	模式 0 引脚。 正常工作时, 须输入 MD0="L"。串行写入闪存时, 请输入 MD0="H"。	21	23
	MD1	模式 1 引脚。 串行写入闪存编程时, 请输入 MD1="L"。	20	22
POWER	VCC	电源引脚	1	1
	VCC	电源引脚	14	15
	USBVCC	USB I/O 的 3.3V 电源供给端口	45	49
GND	VSS	GND 引脚	12	13
	VSS	GND 引脚	24	26
	VSS	GND 引脚	48	52
CLOCK	X0	主时钟(振荡)输入引脚	22	24
	X0A	副时钟(振荡)输入引脚	15	16
	X1	主时钟(振荡) I/O 引脚	23	25
	X1A	副时钟(振荡) I/O 引脚	16	17
	CROUT_1	高速内置 CR 振荡时钟输出口	42	46
Analog POWER	AVCC	A/D 转换器的模拟电源引脚	31	33
	AVRH	A/D 转换器的模拟基准电压输入引脚	32	34
Analog GND	AVSS	A/D 转换器的 GND 引脚	33	35
C 引脚	C	电源稳定电容引脚	13	14
NC 引脚	NC	NC 引脚。 须悬空处理。	-	5
	NC	NC 引脚。 须悬空处理。	-	21
	NC	NC 引脚。 须悬空处理。	-	36
	NC	NC 引脚。 须悬空处理。	-	40

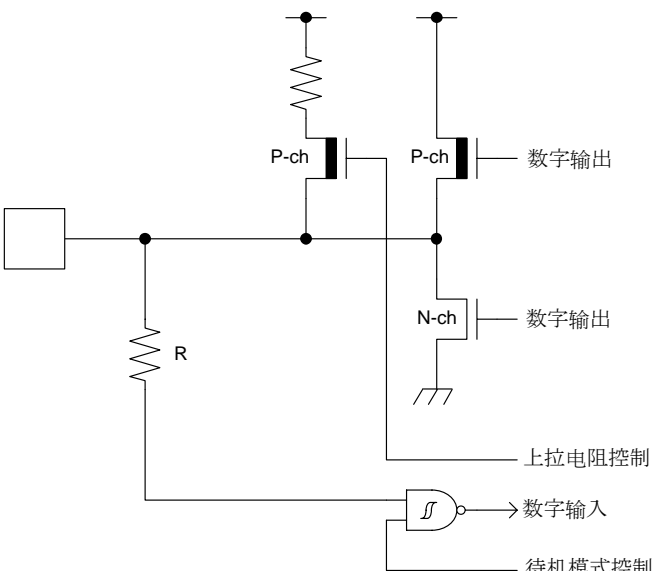
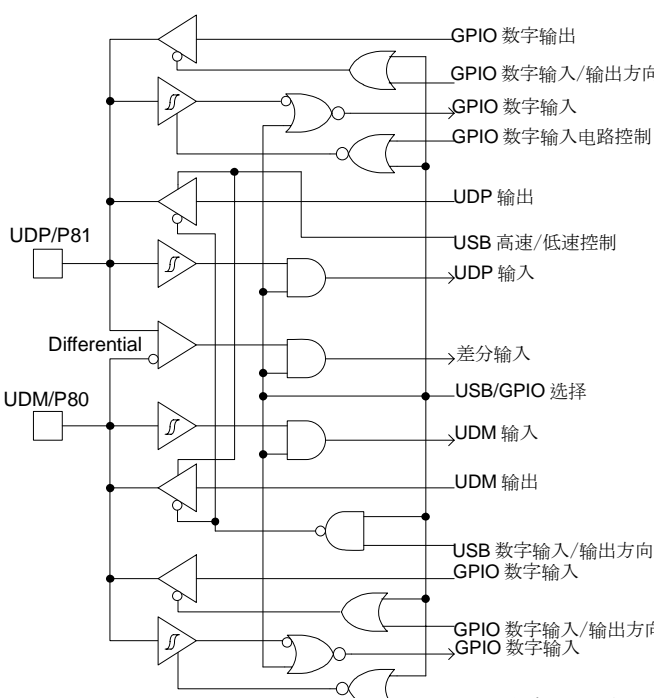
5. I/O 电路类型

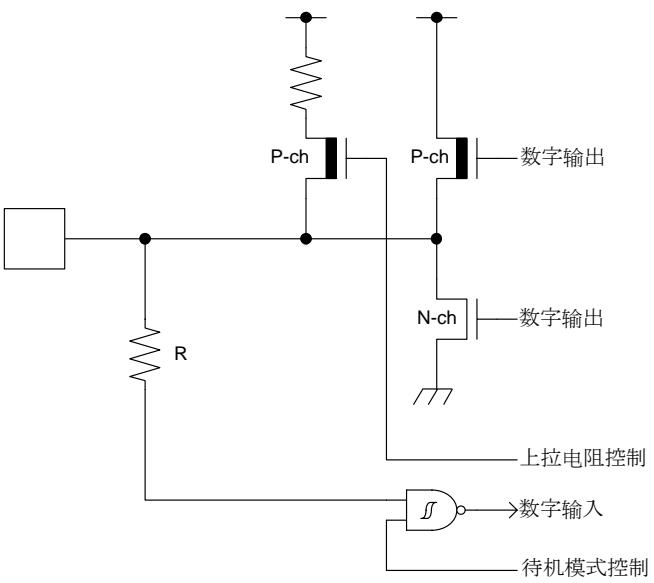
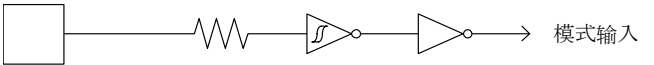
类型	电路	备注
A	<p>上拉电阻</p> <p>P-ch</p> <p>数字输出</p> <p>数字输出</p> <p>数字输入</p> <p>上拉电阻控制</p> <p>反馈电阻</p> <p>待机模式控制</p> <p>时钟输入</p> <p>待机模式控制</p> <p>数字输入</p> <p>待机模式控制</p> <p>数字输出</p> <p>数字输出</p> <p>上拉电阻控制</p>	<p>可切换主振荡/GPIO</p> <p>选择主振荡功能时</p> <ul style="list-style-type: none"> 振荡反馈电阻:约 1MΩ 带待机控制 <p>选择 GPIO 功能时</p> <ul style="list-style-type: none"> CMOS 电平输出 CMOS 电平迟滞输入 带上拉电阻控制 带待机控制 上拉电阻:约 50kΩ $I_{OH} = -4mA$, $I_{OL} = 4mA$

类型	电路	备注
B		<ul style="list-style-type: none"> • CMOS 电平迟滞输入 • 上拉电阻:约 50kΩ
C		<ul style="list-style-type: none"> • 开漏输出 • CMOS 电平迟滞输入

类型	电路	备注
D	 <p>The diagram illustrates the internal circuitry for two channels, X1A and X0A. Each channel includes a pull-up resistor (上拉电阻), a P-channel MOSFET (P-ch), and an N-channel MOSFET (N-ch) for digital output (数字输出). It also features a resistor (R) and a feedback resistor (反馈电阻) for the input section. Logic gates, including AND and OR gates, are used for mode control (待机模式控制) and clock input (时钟输入). The circuit is designed to support both oscillator and GPIO functions.</p>	<p>可切换副振荡/GPIO 选择副振荡功能时</p> <ul style="list-style-type: none"> • 振荡反馈电阻:约 5MΩ • 带待机控制 <p>选择 GPIO 功能时</p> <ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50kΩ • $I_{OH} = -4mA$, $I_{OL} = 4mA$

类型	电路	备注
E		<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50kΩ • $I_{OH} = -4mA$, $I_{OL} = 4mA$ • 当该引脚被用作 I2C 引脚时, 数字输出 P 沟道晶体管处于常闭状态。 • +B 输入可用
F		<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带输入控制 • 模拟输入 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50kΩ • $I_{OH} = -4mA$, $I_{OL} = 4mA$ • 当该引脚被用作 I2C 引脚时, 数字输出 P 沟道晶体管处于常闭状态。 • +B 输入可用

类型	电路	备注
G	 <p>该电路展示了数字输出的内部结构。它包含一个P-channel MOSFET（P-ch）和一个N-channel MOSFET（N-ch）。P-ch MOSFET的源极连接到VDD，漏极连接到数字输出节点。N-ch MOSFET的源极连接到GND，漏极也连接到数字输出节点。一个电阻R（上拉电阻）连接在VDD和数字输出节点之间。数字输出节点还连接到待机模式控制输入。此外，还有一个数字输入输入，通过一个缓冲器（反相器）连接到待机模式控制输入。</p>	<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50kΩ • $I_{OH} = -12mA$, $I_{OL} = 12mA$ • +B 输入可用
H	 <p>该电路展示了数字输入和输出的内部结构。它包含多个缓冲器（反相器）、与门（AND）、或门（OR）和异或门（XOR）。主要功能包括：GPIO 数字输出、GPIO 数字输入/输出方向、GPIO 数字输入、GPIO 数字输入电路控制、UDP 输出、USB 高速/低速控制、UDP 输入、差分输入、USB/GPIO 选择、UDM 输入、UDM 输出、USB 数字输入/输出方向、GPIO 数字输入、GPIO 数字输入/输出方向、GPIO 数字输入电路控制。此外，还有两个外部输入：UDP/P81 和 UDM/P80，它们通过缓冲器连接到内部逻辑。</p>	<p>可切换 USB I/O/GPIO 选择 USB I/O 功能时</p> <ul style="list-style-type: none"> • 控制高速和低速 <p>选择 GPIO 功能时</p> <ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 带待机控制 • $I_{OH} = -20.5mA$, $I_{OL} = 18.5mA$

类型	电路	备注
I		<ul style="list-style-type: none"> • CMOS 电平输出 • CMOS 电平迟滞输入 • 耐 5V • 带上拉电阻控制 • 带待机控制 • 上拉电阻:约 50kΩ • $I_{OH} = -4mA$, $I_{OL} = 4mA$ • 可控制 PZR 寄存器
J		<ul style="list-style-type: none"> • CMOS 电平迟滞输入

6. 芯片处理注意事项

半导体芯片存在一定的故障发生概率。半导体芯片的故障率很大程度受使用条件(电路条件、环境条件等)的影响。使用半导体芯片时遵守下列注意事项,可降低故障概率并提高产品性能。

6.1 产品设计注意事项

本部分介绍使用半导体芯片进行电子产品设计时的注意事项。

遵守最大绝对额定值

施加超过最大绝对额定值的负荷(电压、电流、温度等)可能会永久损坏半导体芯片。因此,注意不可超过这些额定值。

遵守推荐工作条件

遵守推荐工作条件可以保证半导体芯片的正常动作。请保证电气特性的额定值符合这些条件范围。

请始终在符合推荐工作条件的状态下使用。不符合条件的使用可能会影响芯片的可靠性并导致芯片故障。

本公司不保证“数据手册”上没有记载的项目、使用条件和逻辑组合的使用。用户在“数据手册”未记载的条件下使用时,请事先与销售部门联系。

引脚的处理与保护

处理连接半导体芯片上的电源引脚及 I/O 引脚时,须注意以下事项。

1. 过电压、过电流的防止
各引脚上施加超过最大额定值的电压、电流会损伤芯片内部,在极端情况下甚至会永久损坏芯片。设计产品时,请防止产生过电压、过电流。
2. 输出引脚的保护
电源引脚或者其它输出引脚短路或连接大电容负载会产生大的漏电流。长时间保持这种连接状态会损伤芯片,因此不要进行此类连接。
3. 未用输入引脚的保护
在悬空状态下使用高阻抗电平的输入引脚时,可能会引起操作不稳定。请使用合适的电阻连接到电源引脚或接地引脚。

闩锁

半导体芯片根据基板上的 P 型区和 N 型区进行配置。外部异常电压增加时,内部寄生 PNP 接合点(晶闸管构造)导通后,增加的数百 mA 的大电流可能会流至电源引脚。这就是闩锁。

注意:这一现象会降低芯片的可靠性,还有引起发热、冒烟和起火的危险。为避免以上现象发生,应该注意以下几点:

1. 不可在引脚上添加超过最大额定的电压。注意异常噪声和电涌等。
2. 考虑上电的先后顺序,不要流入异常电流。

遵守安全法规和标准

世界各国提供了诸如安全和地磁干扰等规章制度和标准。客户进行产品设计时请遵守这些规章制度和标准。

故障及安全设计

半导体芯片存在一定的故障发生概率。请用户对芯片和设备采取冗余设计、防火设计、防止过电流设计、防误动作设计等安全设计措施,保证即使在设备发生故障的情况下,也不会造成人身伤害、火灾和社会损失。

芯片使用注意事项

Cypress 半导体器件旨在用于标准应用（计算机、办公自动化和其它办公设备、工业、通信和测量设备、个人或家用设备等）。

注意:如果客户考虑把我们的产品用于特殊的应用中，其发生故障或不正常运行可能直接危及生命安全或导致人身伤害或财产损失时，或者是在需要极高可靠性的场合（比如航空航天系统、原子能控制、海底中继器、车辆操作控制、医用维系生命设备等），请在使用前咨询我们的销售代表。本公司不对未经事前同意的此类使用造成的损失负责。

6.2 封装注意事项

封装分为直插型和表贴型。对这两类封装，仅符合 Cypress 推荐工作条件的封装方可保障焊接耐热性等品质。关于封装详情，请咨询本公司的销售部。

直插型

在印刷电路板上直接进行直插型封装有两种方法:在印刷电路板上直接焊接和使用插座进行封装。

直接在印刷电路板上焊接: 铅插入印刷电路板的通孔后，一般使用喷流焊锡法(波峰焊接方法)。这种情况下进行焊接时，超过最大保存温度额定的热应力导入到铅上。封装请符合 Cypress 推荐的工作条件。

使用插座封装方法: 插座接点的表面处理和 IC 的铅表面处理不同时，长时间后会发生接触不良的现象。建议用户封装前确认此时的插座接点的表面处理和 IC 铅表面处理的状态。

表贴型

与直插型封装比较，表贴型封装的铅细薄，容易弯曲变形。封装时可能发生开路(引脚增加、引脚间距狭窄、铅变形引起)和短路(桥焊引起)，

请采用合适的封装技术。Cypress 推荐焊接方法的产品封装条件实施等级分类。用户请按照 Cypress 推荐的等级分类进行封装。

无铅封装

注意:使用 Sn-Pb 共晶焊料进行 BGA 封装的 Sn-Ag-Cu 球产品封装时，需注意因使用状况引起的接合强度变低现象。

半导体芯片的保管

塑料封装使用树脂材料，在自然环境下放置容易吸湿。吸湿后的封装在封装时需要进行加热，可能会产生由于界面剥离而降低耐湿性或者封装产生裂痕的现象。请注意以下几点:

1. 保管场所的气温急剧变化会引起产品上面水分结露。应避免在此类环境下保管产品。请在温度变化低的场所保管产品。
2. 推荐使用干燥箱保管产品。保管时相对湿度 70%RH 以下，温度 5°C ~ 30°C。
干燥的封装开封时，推荐湿度为 40% ~ 70% RH。
3. Cypress 的半导体芯片使用防潮性高的铝质网状包装袋，并使用硅胶作为干燥剂。半导体芯片放入铝质网袋密封保管。
4. 避免在腐蚀性气体充溢和灰尘弥漫的场所保管产品。

烘烤

吸湿后的封装通过烘烤(加热干燥)可进行除湿。烘烤时，请在 Cypress 推荐的条件下进行。

条件:125°C/24 h

静电

静电容易破坏半导体芯片，请注意以下几点：

1. 工作环境的相对湿度: 40% ~ 70% RH。必要时考虑使用除静电装置(离子发生器)。
2. 使用的传输带、沾锡槽、焊烙铁及周围附加设备接地。
3. 为防止人体静电，可导致高电阻 (1 MΩ 左右)的戒指或手镯应放置地线保持接地状态，着导电性好的衣服鞋子，床上铺设导电垫，这些措施可使带电电荷保持在最小限度。
4. 请将夹具及计量类仪表仪器接地或者进行防静电处理。
5. 基板组装完毕进行收纳时，避免使用发泡胶等容易带电的材料。

6.3 使用环境注意事项

半导体芯片的可靠性依赖于前述的周围温度及环境条件。

使用时请注意以下几点：

1. 湿度环境
长期在高湿度环境下使用可引起芯片以及 PCB 板的漏电等问题。如果预料到芯片会放置到高湿度环境，请考虑进行防潮处理。
2. 静电放电
半导体芯片靠近高压带电物体时，可能因放电产生误动作。这种情况下请进行防静电等处理以防产生放电。
3. 腐蚀性气体、尘埃、油
在腐蚀性气雾、大气尘埃和油附着的状态下使用芯片，引起的化学反应可能对芯片产生不良影响。在这样的环境下使用时，请采取预防措施。
4. 放射线及宇宙射线
一般芯片设计时并不可暴露于有放射线和宇宙射线的环境。因此，若要在这样的环境下使用，请做好防护。
5. 冒烟及起火
注意:模质树脂型的芯片具有可燃性，因此注意不可以靠近易燃物。芯片冒烟或起火时可能产生有毒气体。

其它特殊环境下使用 Cypress 产品时，请咨询 Cypress 销售部门。

7. 芯片使用注意事项

关于电源引脚

若产品有多个 VCC, VSS 引脚, 为防止芯片设计时因门锁等产生误动作, 可把芯片内同一电位上的引脚相互连接。为防止因额外的辐射或者地线的上升致使选通信号发生误动作, 请务必把这些引脚与外部电源或地线连接, 以符合总输出电流的额定。

另外, 使用尽可能低的电阻连接电流供应源和本芯片的各电源引脚及 GND 引脚。此外, 推荐在本芯片附近各电源引脚和 GND 引脚之间连接一个约 0.1 μF 的陶瓷电容器作为旁路电容。

稳定电源电压

如果电源电压迅速波动, 即便波动在推荐的 VCC 电源电压工作条件范围内, 也可能出现功能异常。通常, 采用稳压电源抑制电压波动的条件下, 工业用电频率 (50Hz/60Hz) 下的 VCC 纹波 (峰峰值) 波动不会超过推荐工作条件下 VCC 值的 10%, 此外在开关电源时如果产生瞬时波动, 瞬态波动率将不超过 0.1 V/ μs 。

晶振电路

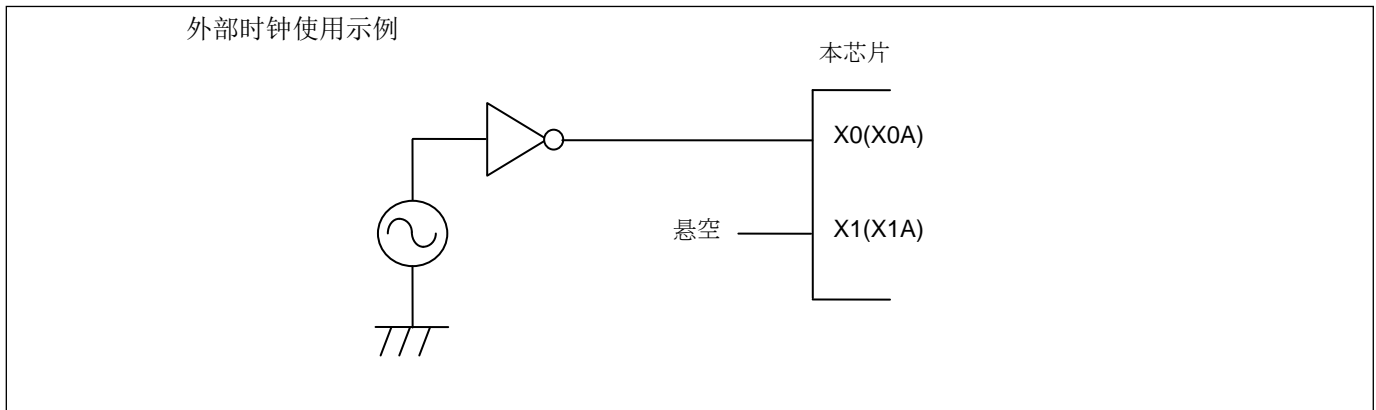
X0/X1, X0A/X1A 引脚附近的噪声可导致芯片出现误动作。在设计印刷电路板布线时, X0/X1 引脚、X0A/X1A 引脚、晶振及至地线的旁路电容的距离要尽可能的近。

强烈建议设计时地线应环绕 X0/X1, X0A/X1A 引脚, 这样印刷电路板才能够稳定工作。

对安装板上所用晶体振荡器产生的振荡进行评估。

外部时钟使用注意事项

使用外部时钟时, 仅驱动 X0 和 X0A 引脚, 悬空 X1 和 X1A 引脚。



多功能串行引脚用作 I²C 引脚时的注意事项

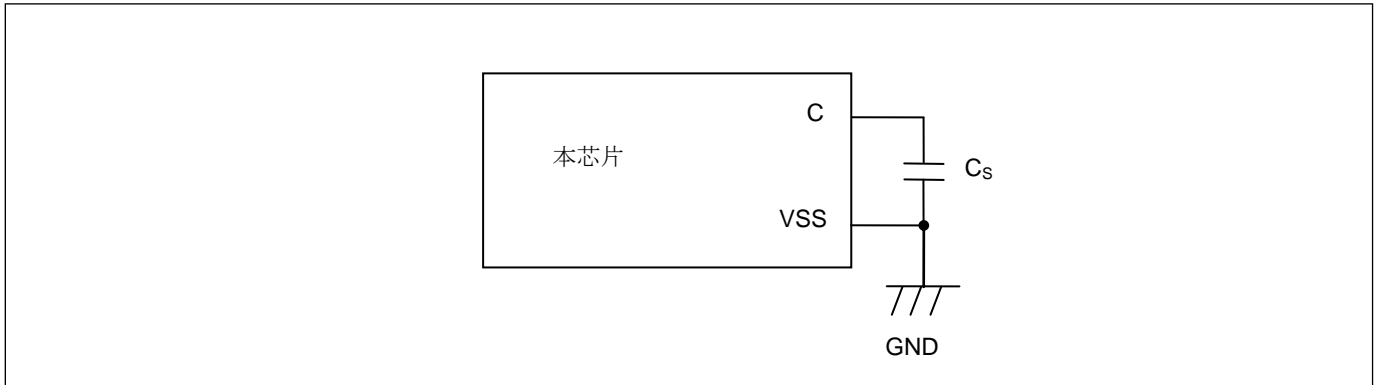
如果多功能串行引脚用作 I²C 引脚, 数字输出 P-ch 晶体管始终处于禁止状态。但是, I²C 引脚需要如其它引脚一样保持电气特性, 断电后无需与外部 I²C 总线系统连接。

C 引脚

本系列内置调节器。确保在 C 引脚和 GND 引脚之间连接一个用于调节器的平滑电容器 (C_S)。请使用陶瓷电容器或具有同等频率特性的电容器作为平滑电容器。

但是部分叠层陶瓷电容器具有容量随着热波动而发生变化的特性 (F 特性和 Y5V 特性)。请评估电容器的温度特性, 选择满足工作条件规格的电容器以供使用。

针对本系列而言, 推荐使用大约 $4.7\mu\text{F}$ 的平滑电容器。



模式引脚(MD0)

模式引脚(MD0)直接与 VCC 引脚/VSS 引脚连接。为防止模式引脚电平变化及重写闪存数据引起上拉/下拉或者并防止芯片因噪声而意外进入测试模式, 设计电路板时上拉或下拉使用的电阻值尽量小一些, 尽可能地缩短模式引脚到 VCC 引脚/VSS 引脚的距离, 最好用低阻抗连结。

关于 NC 引脚

悬空 NC 引脚。

上电时的注意事项

同时开关电源或按照以下顺序开关电源。

即使不使用 A/D 转换器时, 也请按照 $\text{AVCC} = \text{VCC}$ 电平, $\text{AVSS} = \text{VSS}$ 电平连接。

上电时: $\text{VCC} \rightarrow \text{USBVCC}$

$\text{VCC} \rightarrow \text{AVCC} \rightarrow \text{AVRH}$

断电时: $\text{USBVCC} \rightarrow \text{VCC}$

$\text{AVRH} \rightarrow \text{AVCC} \rightarrow \text{VCC}$

串行通信

串行通信时受噪声或其他因素影响可能接收到不正确的数据。

因此, 请设计能降噪的电路板。

考虑到受噪声影响而接收到不正确的数据, 应在数据末尾添加数据校验等错误检测措施。检测出错误后, 重新发送数据。

不同容量的存储器产品间及 Flash 产品和 MASK 产品的特性差异

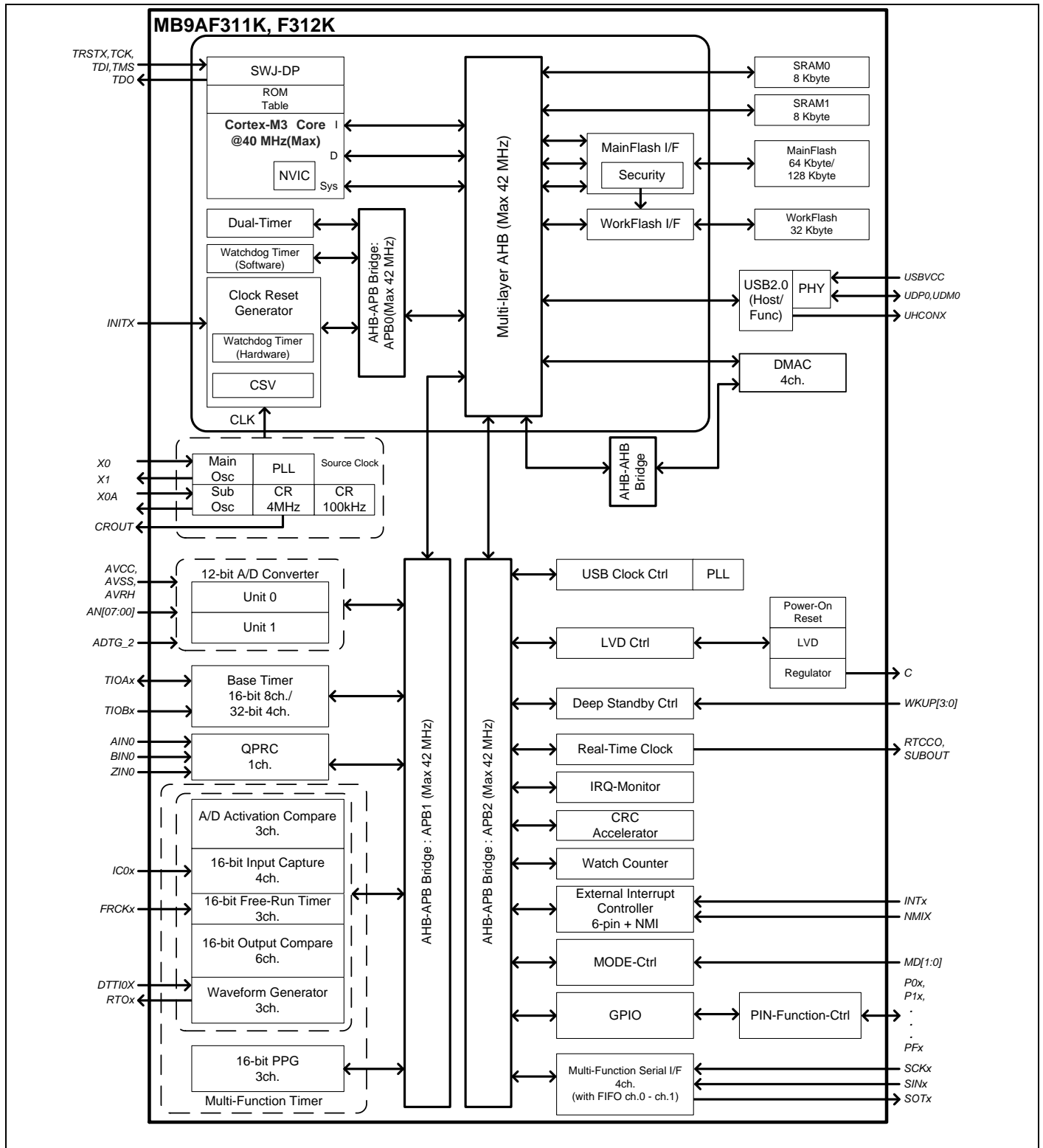
因为芯片布设和存储器构造的差异，不同容量的存储器产品间及 Flash 产品和 MASK 产品的电气特性(功耗、ESD、闩锁、噪声特性、振荡特性等)也不同。

用户要切换到同一系列的其它产品时，须评估其电气特性。

耐 5V I/O 的上拉功能

使用耐 5V I/O 的上拉功能时，切勿输入超过 VCC 电压的信号。

8. 框图

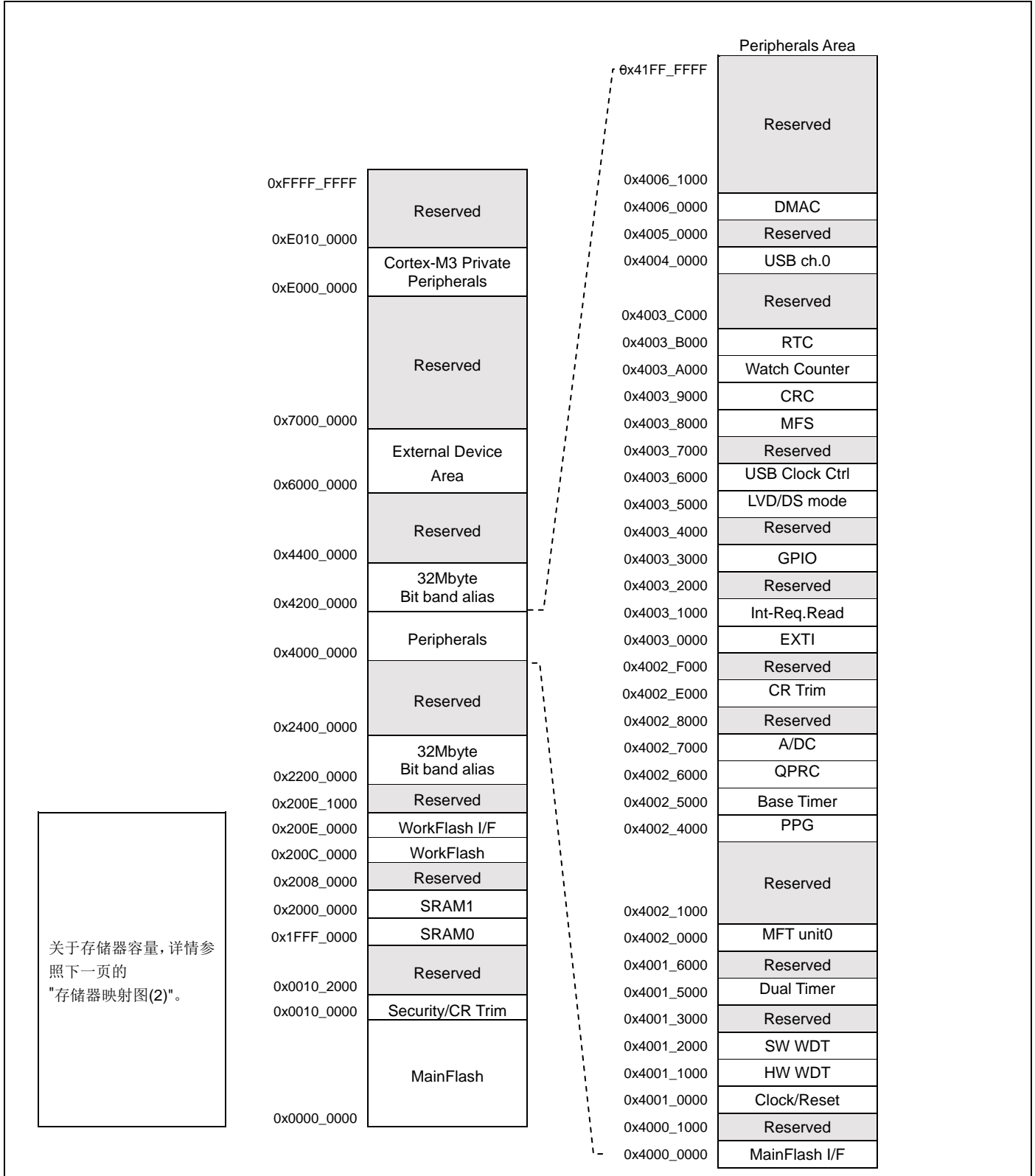


9. 存储器容量

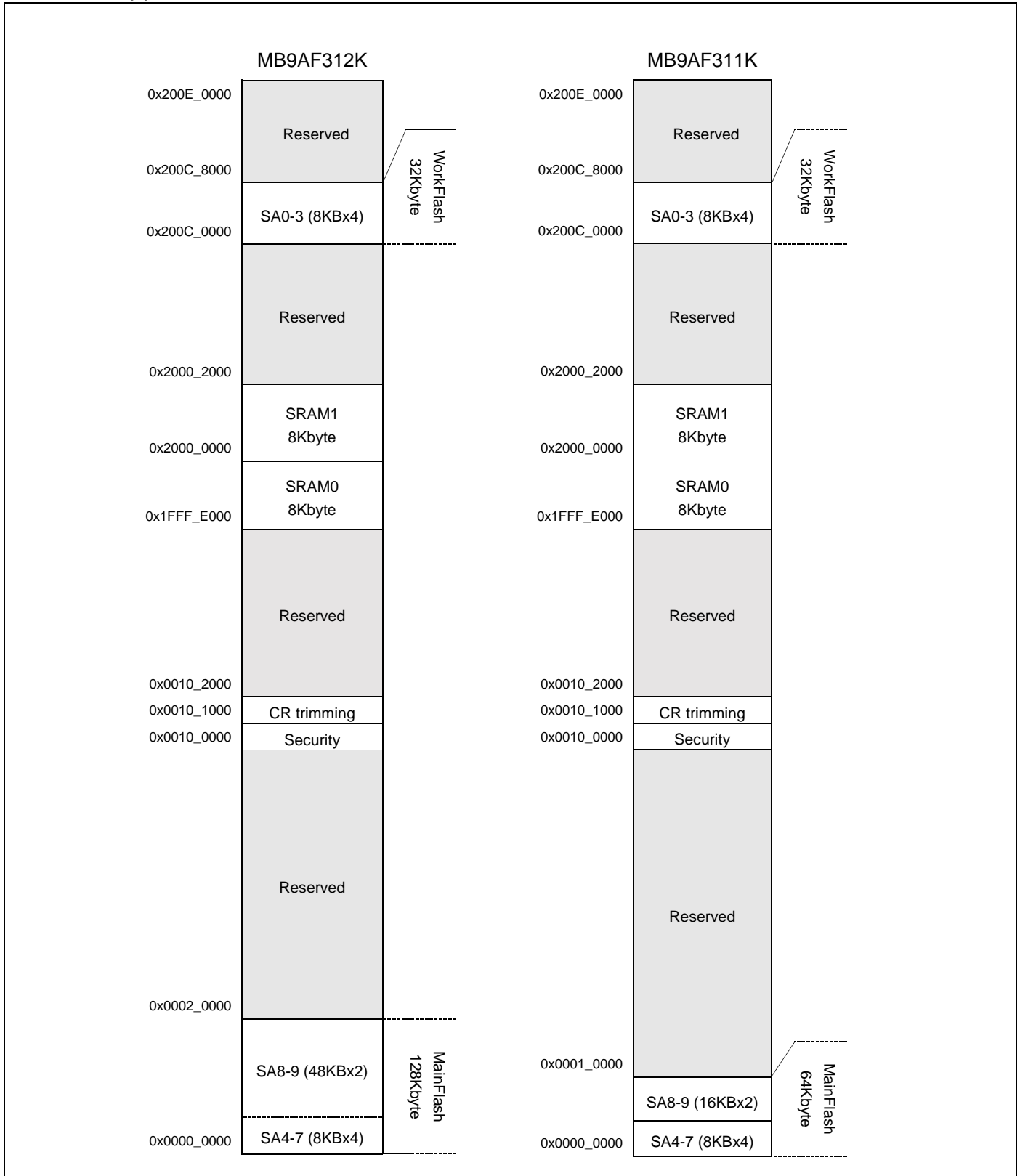
关于存储器容量，详情参照“1. 产品阵容”中的“存储器容量”。

10. 存储器映射

存储器映射图 (1)



存储器映射图 (2)



请参阅"MB9A310K/110K 系列闪存编程手册" 了解闪存的扇区结构。

外设功能地址映射

起始地址	末尾地址	总线	外设功能
0x4000_0000	0x4000_0FFF	AHB	MainFlash I/F 寄存器
0x4000_1000	0x4000_FFFF		保留
0x4001_0000	0x4001_0FFF	APB0	时钟复位控制
0x4001_1000	0x4001_1FFF		硬件监视定时器
0x4001_2000	0x4001_2FFF		软件监视定时器
0x4001_3000	0x4001_4FFF		保留
0x4001_5000	0x4001_5FFF		双定时器
0x4001_6000	0x4001_FFFF		保留
0x4002_0000	0x4002_0FFF	APB1	多功能定时器 unit0
0x4002_1000	0x4002_3FFF		保留
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		基本定时器
0x4002_6000	0x4002_6FFF		Quad 计数器(QPRC)
0x4002_7000	0x4002_7FFF		A/D 转换器
0x4002_8000	0x4002_DFFF		保留
0x4002_E000	0x4002_EFFF		内置 CR 调节
0x4002_F000	0x4002_FFFF		保留
0x4003_0000	0x4003_0FFF	APB2	外部中断
0x4003_1000	0x4003_1FFF		中断源确认寄存器
0x4003_2000	0x4003_2FFF		保留
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		保留
0x4003_5000	0x4003_57FF		低压检测
0x4003_5800	0x4003_5FFF		深层待机控制部分
0x4003_6000	0x4003_6FFF		USB 时钟生成电路
0x4003_7000	0x4003_7FFF		保留
0x4003_8000	0x4003_8FFF		多功能串口
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		计时计数器
0x4003_B000	0x4003_BFFF		实时时钟
0x4003_C000	0x4003_FFFF		保留
0x4004_0000	0x4004_FFFF	AHB	USB ch.0
0x4005_0000	0x4005_FFFF		保留
0x4006_0000	0x4006_0FFF		DMAC 寄存器
0x4006_1000	0x41FF_FFFF		保留
0x200E_0000	0x200E_FFFF		WorkFlash I/F 寄存器

11. 各 CPU 状态下的引脚状态

引脚状态术语释义如下。

- **INITX = 0**
INITX 引脚为"L"电平期间。
- **INITX = 1**
INITX 引脚为"H"电平期间。
- **SPL = 0**
待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)清"0"的状态。
- **SPL = 1**
待机模式控制寄存器(STB_CTL)的待机引脚电平设定位(SPL)置"1"的状态。
- **输入使能**
输入功能可使用的状态。
- **内部输入固定在"0"**
输入功能不可使用的状态。内部输入固定在"L"。
- **Hi-Z**
将输出驱动用晶体管置于驱动禁止状态、引脚置于 Hi-Z 状态。
- **设定禁止**
不可设定。
- **保持即前状态**
- **保持转换到本模式前的状态。**
如果内置的外设功能正在运行，则遵从该外设功能。
用作端口时，保持该状态。
- **模拟输入使能**
允许模拟输入。
- **选择 GPIO 时**
深层待机模式下，切换到通用 I/O 口。

引脚状态一览表

引脚状态类型	功能组名称	上电复位/低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式/睡眠模式状态	定时器模式/RTC 模式/睡眠模式状态		深层待机 RTC 模式/深层待机停止模式状态		深层待机模式回归即后状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
A	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态
	主晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
B	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态
	主晶振输出引脚	Hi-Z/内部输入固定在"0"/输入使能	Hi-Z/内部输入固定在"0"	Hi-Z/内部输入固定在"0"	保持即前状态	保持即前状态/振荡停止时 ^[1] , Hi-Z/内部输入固定在"0"	保持即前状态/振荡停止时 ^[1] , Hi-Z/内部输入固定在"0"	保持即前状态/振荡停止时 ^[1] , Hi-Z/内部输入固定在"0"	保持即前状态/振荡停止时 ^[1] , Hi-Z/内部输入固定在"0"	保持即前状态/振荡停止时 ^[1] , Hi-Z/内部输入固定在"0"
C	INITX 输入引脚	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能	上拉/输入使能
D	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能

引脚状态类型	功能组名称	上电复位/低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式/睡眠模式状态	定时器模式/RTC 模式/睡眠模式状态		深层待机 RTC 模式/深层待机停止模式状态		深层待机模式回归即后状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
E	选择 JTAG 时	Hi-Z	上拉/输入使能	上拉/输入使能	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态	保持即前状态
	选择 GPIO 时	设定禁止	设定禁止	设定禁止			Hi-Z/内部输入固定在"0"	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态
F	使能 WKUP 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	WKUP 输入使能	Hi-Z / WKUP 输入使能	选择 GPIO
	选择模拟输入时	Hi-Z	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入
	选择外部中断使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择其他资源时						Hi-Z/内部输入固定在"0"			
	选择 GPIO 时						保持即前状态	保持即前状态	保持即前状态	保持即前状态
G	使能 WKUP 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	WKUP 输入使能	Hi-Z / WKUP 输入使能	选择 GPIO
	选择外部中断使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择其他资源时	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z/内部输入固定在"0"			
	选择 GPIO 时						保持即前状态	保持即前状态	保持即前状态	保持即前状态

引脚状态类型	功能组名称	上电复位/低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式/睡眠模式状态	定时器模式/RTC 模式/睡眠模式状态		深层待机 RTC 模式/深层待机停止模式状态		深层待机模式回归即后状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
H	选择外部中断使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择其他资源时	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z/内部输入固定在"0"			
	选择 GPIO 时									保持即前状态
I	选择资源时	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	选择 GPIO	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择 GPIO 时						保持即前状态	保持即前状态		
J	选择 NMIX 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	WKUP 输入使能	Hi-Z / WKUP 输入使能	选择 GPIO
	选择其他资源时	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能			Hi-Z/内部输入固定在"0"			
	选择 GPIO 时									保持即前状态
K	选择模拟输入时	Hi-Z	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入	Hi-Z / 内部输入固定在"0"/使能模拟输入
	选择其他资源时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	选择 GPIO	Hi-Z/内部输入固定在"0"	选择 GPIO
	选择 GPIO 时						保持即前状态	保持即前状态		

引脚状态类型	功能组名称	上电复位/低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式/睡眠模式状态	定时器模式/RTC 模式/睡眠模式状态		深层待机 RTC 模式/深层待机停止模式状态		深层待机模式回归即后状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
L	选择模拟输入时	Hi-Z	Hi-Z / 内部输入固定在 "0"/ 使能模拟输入	Hi-Z / 内部输入固定在 "0"/ 使能模拟输入	Hi-Z / 内部输入固定在 "0"/ 使能模拟输入	Hi-Z / 内部输入固定在 "0"/ 使能模拟输入	Hi-Z / 内部输入固定在 "0"/ 使能模拟输入	Hi-Z / 内部输入固定在 "0"/ 使能模拟输入	Hi-Z / 内部输入固定在 "0"/ 使能模拟输入	Hi-Z / 内部输入固定在 "0"/ 使能模拟输入
	选择外部中断使能时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	保持即前状态	选择 GPIO	Hi-Z/内部输入固定在 "0"	选择 GPIO
	选择其他资源时						Hi-Z/内部输入固定在 "0"			
	选择 GPIO 时						保持即前状态	保持即前状态		保持即前状态
M	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在 "0"	保持即前状态	Hi-Z/内部输入固定在 "0"	保持即前状态
	副晶振输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
N	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z/内部输入固定在 "0"	保持即前状态	Hi-Z/内部输入固定在 "0"	保持即前状态
	副晶振输出引脚	Hi-Z/内部输入固定在 "0"/ 输入使能	Hi-Z/内部输入固定在 "0"	Hi-Z/内部输入固定在 "0"	保持即前状态	保持即前状态/振荡停止时 ^[2] , Hi-Z/内部输入固定在 "0"	保持即前状态/振荡停止时 ^[2] , Hi-Z/内部输入固定在 "0"	保持即前状态/振荡停止时 ^[2] , Hi-Z/内部输入固定在 "0"	保持即前状态/振荡停止时 ^[2] , Hi-Z/内部输入固定在 "0"	保持即前状态/振荡停止时 ^[2] , Hi-Z/内部输入固定在 "0"

引脚状态类型	功能组名称	上电复位/低压检测状态	INITX 输入状态	芯片内部复位状态	运行模式/睡眠模式状态	定时器模式/RTC 模式/睡眠模式状态		深层待机 RTC 模式/深层待机停止模式状态		深层待机模式回归即后状态
		电源不稳定	电源稳定		电源稳定	电源稳定		电源稳定		电源稳定
		-	INITX = 0	INITX = 1	INITX = 1	INITX = 1		INITX = 1		INITX = 1
		-	-	-	-	SPL = 0	SPL = 1	SPL = 0	SPL = 1	-
O	选择 GPIO 时	Hi-Z	Hi-Z / 输入使能	Hi-Z / 输入使能	保持即前状态	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态	Hi-Z/内部输入固定在"0"	保持即前状态
	USB I/O 引脚	设定禁止	设定禁止	设定禁止	保持即前状态	发送时输出 Hi-Z/使能输入/接收时内部输入固定在"0"	发送时输出 Hi-Z/使能输入/接收时内部输入固定在"0"	Hi-Z / 输入使能	Hi-Z / 输入使能	Hi-Z / 输入使能
P	模式输入引脚	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能	输入使能
	选择 GPIO 时	设定禁止	设定禁止	设定禁止	保持即前状态	保持即前状态	Hi-Z / 输入使能	保持即前状态	Hi-Z / 输入使能	保持即前状态

[1]:副定时器模式、低速 CR 定时器模式、RTC 模式、停止模式、深层待机模式 RTC 模式、深层待机停止模式下振荡停止。

[2]:停止模式、深层待机停止模式下振荡停止。

12. 电气特性

12.1 绝对最大额定值

参数	符号	额定值		单位	备注
		最小	最大		
电源电压 ^{[1], [2]}	V _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
电源电压(USB 用) ^{[1], [3]}	USBV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
模拟电源电压 ^{[1], [4]}	AV _{CC}	V _{SS} - 0.5	V _{SS} + 6.5	V	
模拟基准电压 ^{[1], [2]}	AV _{RH}	V _{SS} - 0.5	V _{SS} + 6.5	V	
输入电压	V _I	V _{SS} - 0.5	V _{CC} + 0.5 (≤6.5V)	V	除 USB 引脚以外
		V _{SS} - 0.5	USBV _{CC} 0 + 0.5 (≤6.5V)	V	USB 引脚
		V _{SS} - 0.5	V _{SS} + 6.5	V	耐 5V
模拟引脚输入电压	V _{IA}	V _{SS} - 0.5	AV _{CC} + 0.5 (≤6.5V)	V	
输出电压	V _O	V _{SS} - 0.5	V _{CC} + 0.5 (≤6.5V)	V	
钳位最大电流	I _{CLAMP}	-2	+2	mA	[8]
钳位总体最大电流	ΣI _{CLAMP}		+20	mA	[8]
"L"电平最大输出电流 ^[5]	I _{OL}	-	10	mA	4mA 类型
			20	mA	12mA 类型
			39	mA	P80, P81
"L"电平平均输出电流 ^[6]	I _{OLAV}	-	4	mA	4mA 类型
			12	mA	12mA 类型
			18.5	mA	P80, P81
"L"电平最大总输出电流	ΣI _{OL}	-	100	mA	
"L"电平平均总输出电流 ^[7]	ΣI _{OLAV}	-	50	mA	
"H"电平最大输出电流 ^[5]	I _{OH}	-	- 10	mA	4mA 类型
			- 20	mA	12mA 类型
			- 39	mA	P80, P81
"H"电平平均输出电流 ^[6]	I _{OHAV}	-	- 4	mA	4mA 类型
			- 12	mA	12mA 类型
			- 20.5	mA	P80, P81
"H"电平最大总输出电流	ΣI _{OH}	-	- 100	mA	
"H"电平平均总输出电流 ^[7]	ΣI _{OHAV}	-	- 50	mA	
功耗	P _D	-	300	mW	
保存温度	T _{STG}	- 55	+ 150	°C	

[1]: V_{SS} = AV_{SS} = 0.0V 时的值。

[2]: V_{CC} 不可低于 V_{SS} - 0.5V。

[3]: USBV_{CC} 不可低于 V_{SS} - 0.5V。

[4]: 接通电源等情况下, 电压不可超过 V_{CC} + 0.5 V。

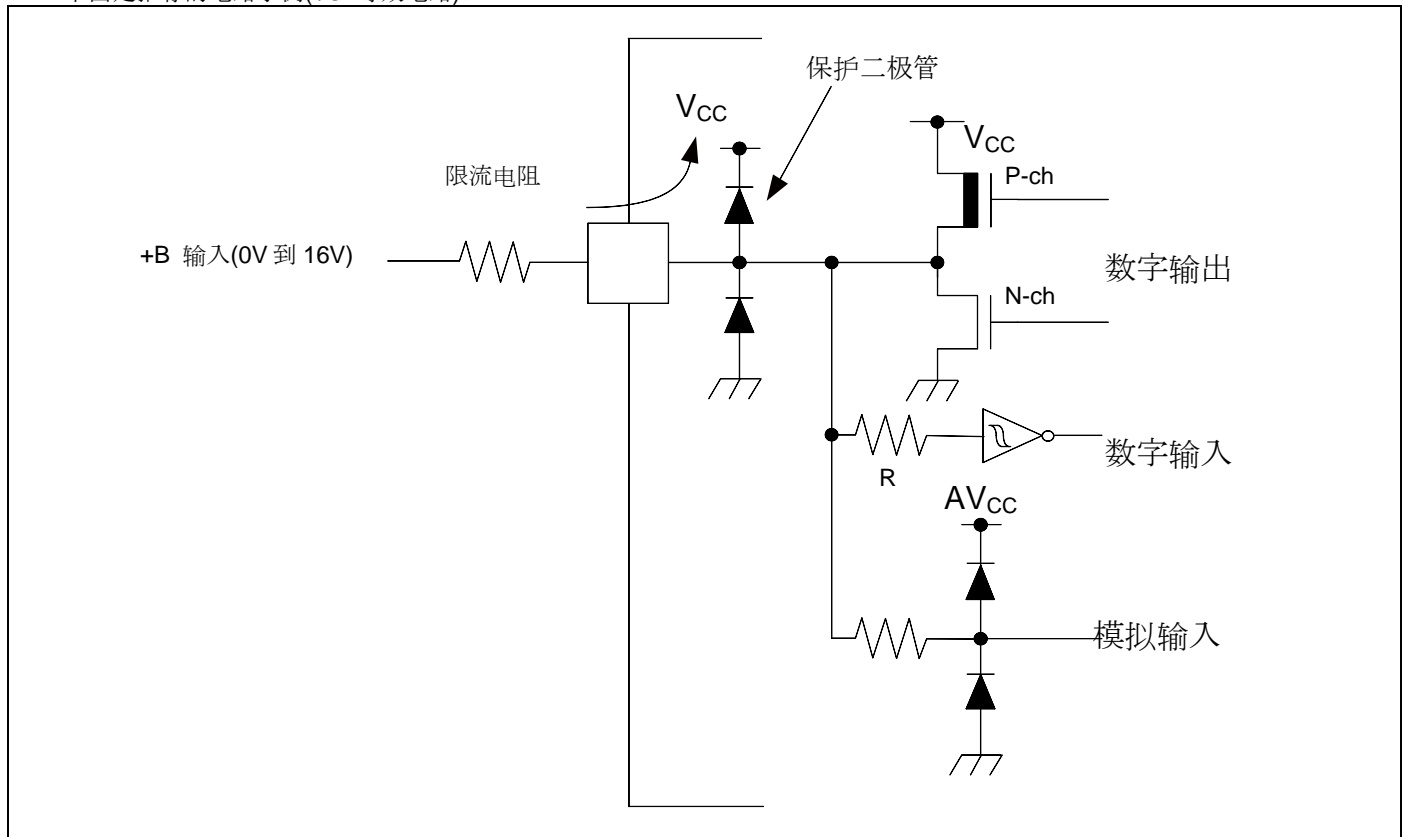
[5]: 最大输出电流规定所在引脚的峰值。

[6]: 平均输出电流规定在 100 ms 内流经所在引脚的平均电流。

[7]: 平均总输出电流规定在 100 ms 内流过所有引脚的平均电流。

[8]

- 请参阅"引脚功能说明" 和"I/O 电路类型", 了解可用的+B 输入引脚。
- 在推荐的工作条件下使用。
- 在直流电压(电流)下使用+B 输入。
- 应用+B 信号时, 应在+B 信号和器件之间施加一个限流电阻。
- 限流电阻的设置应保证: 当应用+B 信号时, 器件引脚的输入电流不超过额定值, 无论是瞬时还是持续操作。
- 注意当器件驱动电流较低时, 例如当处于低功耗模式时, +B 输入电位可能通过保护二极管, 并提高 VCC 和 AVCC 引脚上的电势, 这可能给其他器件造成影响。
- 注意如果在输入+B 信号时器件电源被关闭(不固定在 0V), 就会从这些引脚提供电源, 这可能导致不完整的操作。
- 下面是推荐的电路示例(I/O 等效电路)。



注意事项:

如在半导体器件上施加的负荷(电压、电流、温度等)超过最大额定值, 将会导致该器件永久性损坏。因此任何参数均不得超过其绝对最大额定值。

12.2 推荐工作条件

(Vss = AVss = 0.0V)

参数	符号	条件	额定值		单位	备注
			最小	最大		
电源电压	Vcc	-	2.7 ^[4]	5.5	V	
USB 用电源电压	USBVcc	-	3.0	3.6 (≤Vcc)	V	[1]
			2.7	5.5 (≤Vcc)		[2]
模拟电源电压	AVcc	-	2.7	5.5	V	AVcc = Vcc
模拟基准电压	AVRH	-	2.7	AVcc	V	
平滑电容器	Cs	-	1	10	μF	用于内置调节器 ^[3]
工作温度	Ta	-	- 40	+ 105	°C	

[1]:P81/UDP0, P80/UDM0 引脚作为 USB 引脚(UDP0, UDM0)使用时。

[2]:P81/UDP0, P80/UDM0 引脚作为 GPIO 引脚(P81, P80)使用时。

[3]:关于平滑电容的连接方法，参照“[芯片使用注意事项](#)”的“C 引脚”。

[4]:其間如果低于最低供电电压和低电压复位/中断检测电压，只能运行内置的高速 CR（包括使用主 PLL）或内置的低速 CR 的指令执行与低电压检测功能。

注意事项:

为确保半导体器件的正常工作，其须满足所推荐的运行环境或条件。器件在所推荐的环境或条件下运行时，其全部电气特性均可得到保证。

请务必在所推荐的工作环境或条件范围内使用该半导体器件。如超出该等范围使用，可能会影响该器件的可靠性并导致故障。本公司对本数据手册中未记载的使用范围、运行条件或逻辑组合不作任何保证。如果用户欲在所列条件之外使用器件，请务必事先联系销售代表。

12.3 直流特性

12.3.1 电流规格

(V_{CC} = AV_{CC} = 2.7V ~ 5.5V, USBV_{CC} = 3.0V ~ 3.6V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准 ^[3]	最大 ^[4]		
运行模式电流	I _{CC}	V _{CC}	PLL 运行模式 CPU :40 MHz, 外设:40 MHz, 主闪存 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	32	41	mA	[1], [5]
			PLL 运行模式 CPU :40 MHz, 外设:40 MHz, 主闪存 3 Wait FRWTR.RWT = 00 FSYNDN.SD = 011	21	28	mA	[1], [5]
			高速 CR 运行模式 CPU/外设:4 MHz* ² 主闪存 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	3.9	7.7	mA	[1]
			副振荡 运行模式 CPU/外设:32 kHz 主闪存 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	0.15	3.2	mA	[1], [6]
			低速 CR 运行模式 CPU/外设:100 kHz 主闪存 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	0.2	3.3	mA	[1]
睡眠模式电流	I _{CCS}	V _{CC}	PLL 睡眠模式 外设:40 MHz	10	15	mA	[1], [5]
			高速 CR 睡眠模式 外设:4 MHz ^[2]	1.2	4.4	mA	[1]
			副振荡 睡眠模式 外设:32 kHz	0.1	3.1	mA	[1], [6]
			低速 CR 睡眠模式 外设:100 kHz	0.1	3.1	mA	[1]

[1]:所有端口固定时。

[2]:调节时设定到 4 MHz 的情况下。

[3]:Ta = +25°C, V_{CC} = 5.5V

[4]:Ta = +105°C, V_{CC} = 5.5V

[5]:在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

[6]:在使用 32 kHz 的晶体振荡器（包括振荡电路的电流消耗）时

(Vcc = AVcc = 2.7V ~ 5.5V, USBVcc = 3.0V ~ 3.6V, Vss = AVss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件		规格值		单位	备注
					标准 ^{*2}	最大 ^{*2}		
定时器模式 电流	I _{CCT}	VCC	主 定时器模式	Ta = + 25°C, LVD off 时	5.2	6	mA	[1], [3]
				Ta = + 105°C, LVD off 时 [3]	-	9	mA	[1], [3]
			子 定时器模式	Ta = + 25°C, LVD off 时 [4]	60	230	μA	[1], [4]
				Ta = + 105°C, LVD off 时 [4]	-	3.1	mA	[1], [4]
RTC 模式 电流	I _{CCR}		RTC 模式	Ta = + 25°C, LVD off 时	50	210	μA	[1], [4]
				Ta = + 105°C, LVD off 时	-	3.1	mA	[1], [4]
停止 模式 电流	I _{CCH}		停止模式	Ta = + 25°C, LVD off 时	35	200	μA	[1]
				Ta = + 105°C, LVD off 时	-	3	mA	[1]
深度待机 模式 电流	I _{CCRD}		深度待机 RTC 模式	Ta = + 25°C, LVD off 时 无 RAM 保持	30	160	μA	[1], [4]
				Ta = + 25°C, LVD off 时 有 RAM 保持	33	160	mA	[1], [4]
				Ta = + 105°C, LVD off 时 无 RAM 保持	-	600	μA	[1]
				Ta = + 105°C, LVD off 时 有 RAM 保持	-	610	mA	[1]
	I _{CCHD}		深层待机 停止 模式	Ta = + 25°C, LVD off 时 无 RAM 保持	20	150	μA	[1], [4]
				Ta = + 25°C, LVD off 时 有 RAM 保持	23	150	mA	[1], [4]
				Ta = + 105°C, LVD off 时 无 RAM 保持	-	600	μA	[1]
				Ta = + 105°C, LVD off 时 有 RAM 保持	-	610	mA	[1]

[1]:所有端口固定时。

[2]:V_{CC} = 5.5V

[3]:在使用 4 MHz 的晶体振荡器（包括振荡电路的电流消耗）时

[4]:在使用 32 kHz 的晶体振荡器（包括振荡电路的电流消耗）时

低压检测电流

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
低压检测电路 (LVD) 电源电流	I_{CCLVD}	VCC	用于中断发生 $V_{CC} = 5.5V$	4	7	μA	没有检测时

闪存存储器电流

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
闪存写入/擦除电流	$I_{CCFLASH}$	VCC	MainFlash 在写入/擦除时	11.4	13.1	mA	
			WorkFlash 在写入/擦除时	11.4	13.1	mA	

A/D 转换器电流

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = AVRL = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				标准	最大		
电源电流	I_{CCAD}	AVCC	1 个单元操作	0.57	0.72	mA	
			停止	0.06	20	μA	
基准电源电流	I_{CCAVRH}	AVRH	1 个单元操作 $AVRH = 5.5V$	1.1	1.96	mA	
			停止	0.06	4	μA	

12.3.2 引脚特性

($V_{CC} = AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
"H"电平输入电压 (迟滞输入)	V_{IHS}	CMOS 迟滞输入引脚, MD0, MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
		耐 5V 输入引脚	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
"L"电平输入电压 (迟滞输入)	V_{ILS}	CMOS 迟滞输入引脚, MD0, MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		耐 5V 输入引脚	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
"H"电平输出电压	V_{OH}	4mA 类型	$V_{CC} \geq 4.5V$ $I_{OH} = -4mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5V$ $I_{OH} = -2mA$					
		12mA 类型	$V_{CC} \geq 4.5V$ $I_{OH} = -12mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5V$ $I_{OH} = -8mA$					
		P80/P81	$USBV_{CC} \geq 4.5V$ $I_{OH} = -20.5mA$	$USBV_{CC} - 0.4$	-	$USBV_{CC}$	V	
			$USBV_{CC} < 4.5V$ $I_{OH} = -13.0mA$					
"L"电平输出电压	V_{OL}	4mA 类型	$V_{CC} \geq 4.5V$ $I_{OL} = 4mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5V$ $I_{OL} = 2mA$					
		12mA 类型	$V_{CC} \geq 4.5V$ $I_{OL} = 12mA$	V_{SS}	-	0.4	V	
			$V_{CC} < 4.5V$ $I_{OL} = 8mA$					
		P80/P81	$USBV_{CC} \geq 4.5V$ $I_{OL} = 18.5mA$	V_{SS}	-	0.4	V	
			$USBV_{CC} < 4.5V$ $I_{OL} = 10.5mA$					
输入漏电流	I_{IL}	-	-	- 5	-	+ 5	μA	
上拉电阻值	R_{PU}	上拉引脚	$V_{CC} \geq 4.5V$	25	50	100	k Ω	
			$V_{CC} < 4.5V$	30	80	200		
输入电容	C_{IN}	除 VCC, USBVCC, VSS, AVCC, AVSS, AVRH 之外	-	-	5	15	Pf	

12.4 交流特性

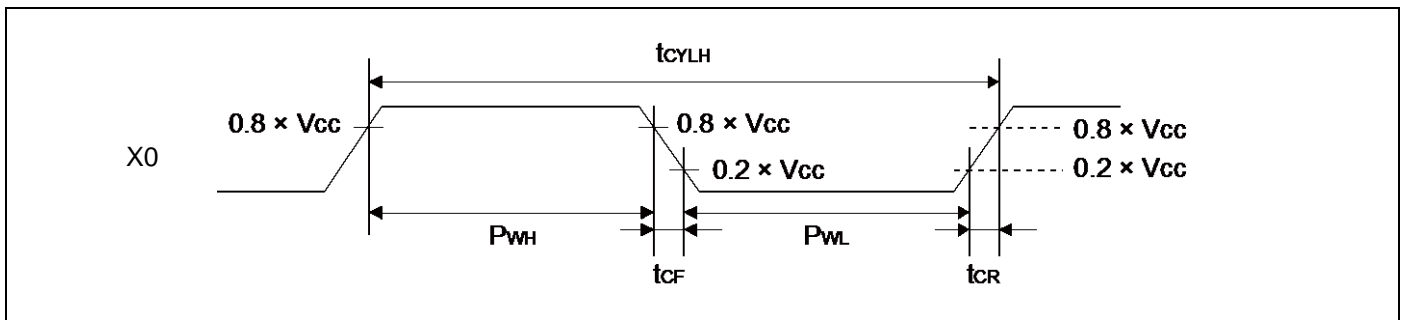
12.4.1 主时钟输入规格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入频率	F _{CH}	X0 X1	V _{CC} ≥ 4.5V	4	48	MHz	连接晶振时
			V _{CC} < 4.5V	4	20		
			V _{CC} ≥ 4.5V	4	48	MHz	外部时钟时
			V _{CC} < 4.5V	4	20		
输入时钟周期	t _{CY_{LH}}		V _{CC} ≥ 4.5V	20.83	250	ns	外部时钟时
			V _{CC} < 4.5V	50	250		
输入时钟脉宽	-		PWH/t _{CY_{LH}} PWL/t _{CY_{LH}}	45	55	%	外部时钟时
输入时钟上升时间/下降时间	t _{CF} , t _{CR}		-	-	5	ns	外部时钟时
内部工作 时钟频率 ^[1]	F _{CM}	-	-	-	42	MHz	主时钟
	F _{CC}	-	-	-	42	MHz	基本时钟(HCLK/FCLK)
	F _{CP0}	-	-	-	42	MHz	APB0 总线时钟 ^[2]
	F _{CP1}	-	-	-	42	MHz	APB1 总线时钟 ^[2]
	F _{CP2}	-	-	-	42	MHz	APB2 总线时钟 ^[2]
内部工作 时钟周期时间 ^[1]	t _{CY_{CC}}	-	-	23.8	-	ns	基本时钟(HCLK/FCLK)
	t _{CY_{CP0}}	-	-	23.8	-	ns	APB0 总线时钟 ^[2]
	t _{CY_{CP1}}	-	-	23.8	-	ns	APB1 总线时钟 ^[2]
	t _{CY_{CP2}}	-	-	23.8	-	ns	APB2 总线时钟 ^[2]

[1]:关于各内部工作时钟，详情参照“FM3 家族外围资源手册”中的“2-1 章：时钟”。

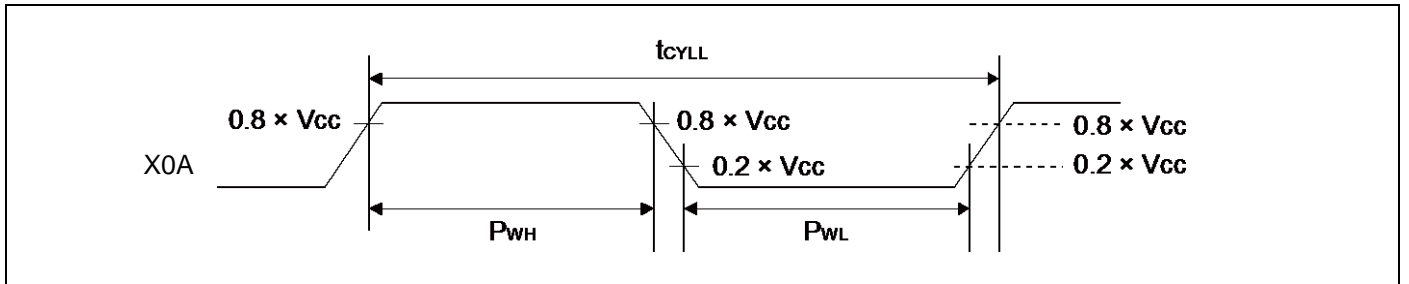
[2]:关于各外设连结的 APB 总线，详情参照“框图”。



12.4.2 副时钟输入规格

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值			单位	备注
				最小	标准	最大		
输入频率	$1/t_{CYLL}$	X0A X1A	-	-	32.768	-	kHz	连接晶振时
			-	32	-	100	kHz	外部时钟时
输入时钟周期	t_{CYLL}		-	10	-	31.25	μs	外部时钟时
输入时钟脉宽	-		PWH/ t_{CYLL} PWL/ t_{CYLL}	45	-	55	%	外部时钟时



12.4.3 内置 CR 振荡规格

内置高速 CR

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	F_{CRH}	$T_a = +25^{\circ}C$	3.96	4	4.04	MHz	调节时 ^[1]
		$T_a = 0^{\circ}C \sim +70^{\circ}C$	3.84	4	4.16		
		$T_a = -40^{\circ}C \sim +85^{\circ}C$	3.8	4	4.2		
		$T_a = -40^{\circ}C \sim +85^{\circ}C$	3	4	5		非调节时
频率稳定时间	t_{CRWT}	-	-	-	90	μs	[2]

[1]:出库时设定的 Flash 存储器内的 CR 调节区的值作为频率调节值使用时。

[2]:频率稳定时间是指稳定高速 CR 的频率所用的时间。

设置该调节值后开始计时。在设置调节值后，频率稳定时间经过的周期可使用高速 CR 时钟作为源时钟。

内置低速 CR

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
时钟频率	F_{CRL}	-	50	100	150	kHz	

12.4.4 主 PLL/USB 用 PLL 的使用条件(主时钟作为 PLL 的输入时钟)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间 ^[1] (LOCK UP 时间)	t _{LOCK}	100	-	-	μs	
PLL 输入时钟频率	F _{PLLI}	4	-	16	MHz	
PLL 倍频率	-	13	-	75	倍频	
PLL macro 振荡时钟频率	F _{PLLO}	200	-	300	MHz	
主 PLL 时钟频率 ^[2]	F _{CLKPLL}	-	-	40	MHz	
USB 时钟频率 ^[3]	F _{CLKSPLL}	-	-	48	MHz	在 M 次分频后

[1]:自 PLL 开始运行至振荡稳定的时间。

[2]:关于主 PLL 时钟(CLKPLL), 详情参照"FM3 家族外设手册"中的"2-1 章: 时钟"。

[3]:关于 USB 时钟, 参照"FM3 家族外设手册 通信 macro 部分"的"2-2 章:USB 时钟生成"。

12.4.5 主 PLL 的使用条件(内置高速 CR 时钟作为主 PLL 的输入时钟)

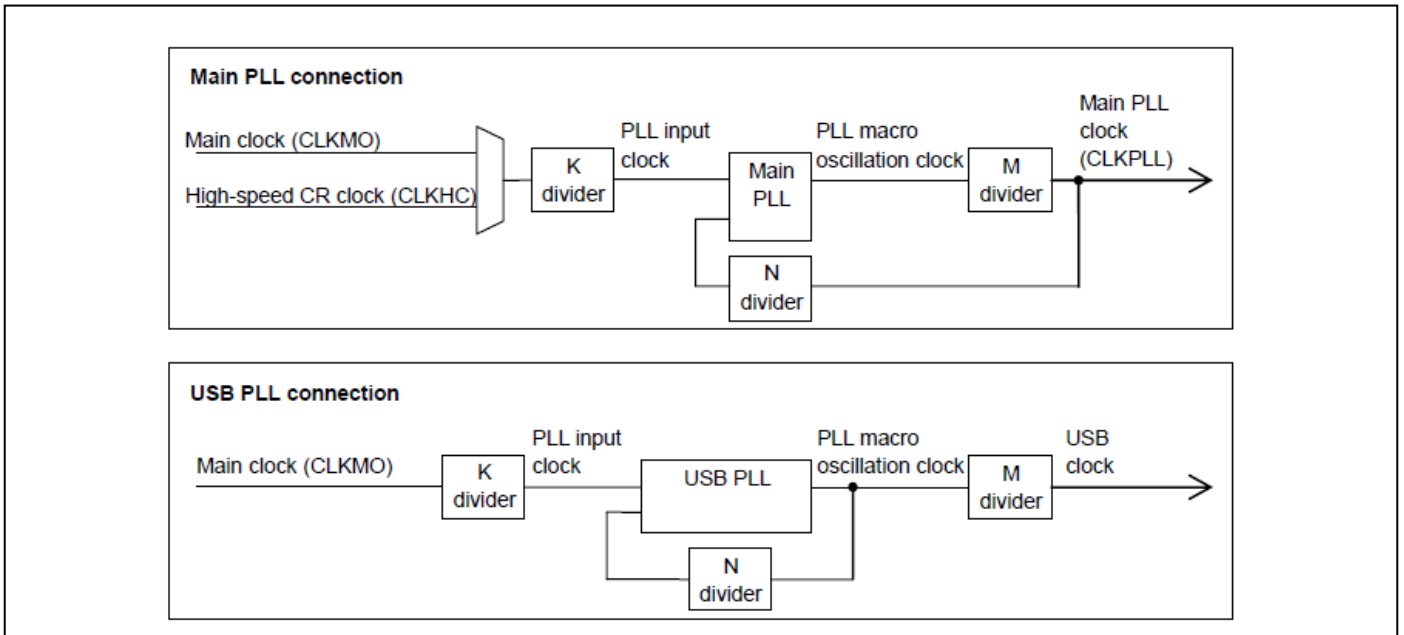
(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	规格值			单位	备注
		最小	标准	最大		
PLL 振荡稳定等待时间 ^[1] (LOCK UP 时间)	t _{LOCK}	100	-	-	μs	
PLL 输入时钟频率	F _{PLLI}	3.8	4	4.2	MHz	
PLL 倍频率	-	50	-	71	倍频	
PLL macro 振荡时钟频率	F _{PLLO}	190	-	300	MHz	
主 PLL 时钟频率 ^[2]	F _{CLKPLL}	-	-	42	MHz	

[1]:自 PLL 开始运行至振荡稳定的时间。

[2]:关于主 PLL 时钟(CLKPLL), 详情参照"FM3 家族外设手册"中的"2-1 章: 时钟"。

在设置 PLL 倍频率时, 请把内置的高速 CR 时钟的精度考虑在内, 防止主时钟超过最高频率。



12.4.6 复位输入规格

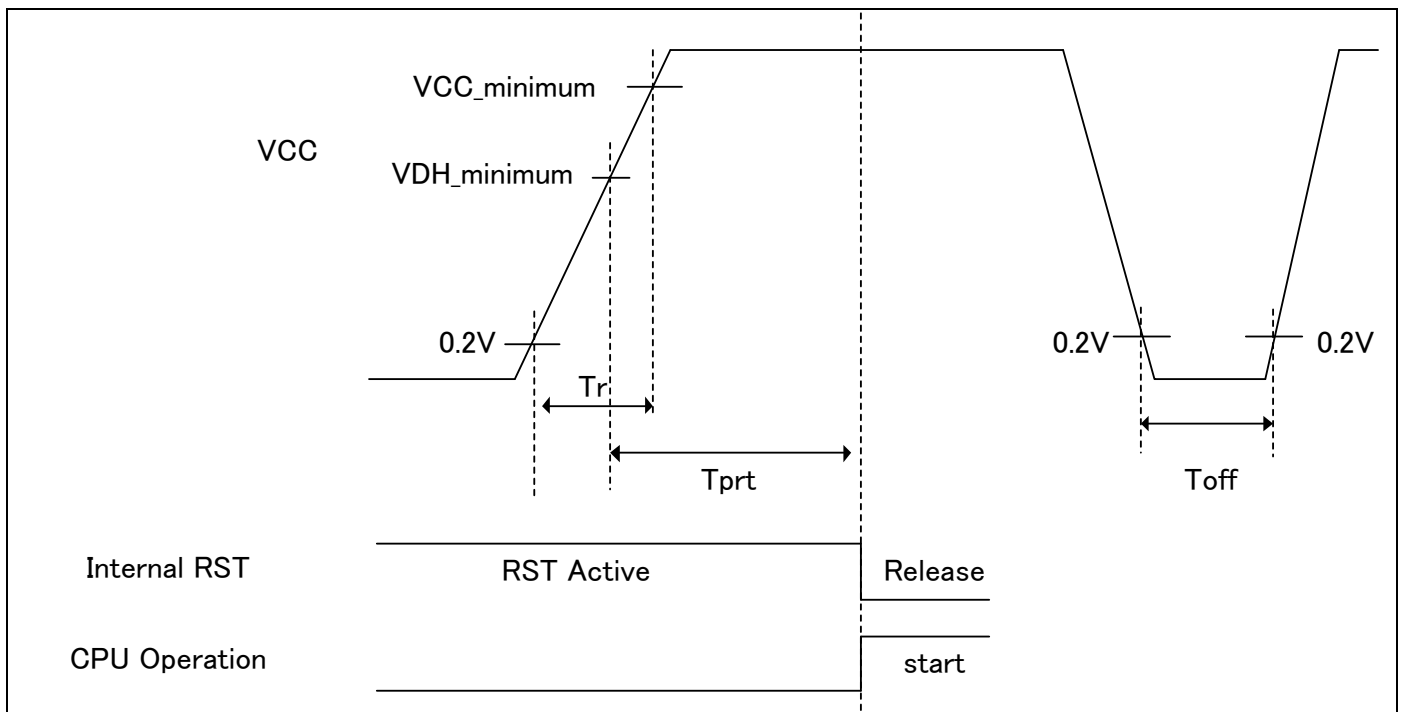
(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
复位输入时间	t _{INITX}	INITX	-	500	-	ns	

12.4.7 上电复位时序

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	规格值		单位	备注
			最小	最大		
电源上升时间	Tr	VCC	0	-	ms	
电源切断时间	Toff		1	-	ms	
直到释放上电复位的时间	Tprt		0.66	0.89	ms	



术语

V_{CC_minimum} :推荐工作条件的最低 V_{CC}

VDH_minimum :低电压检测复位的最低释放电压。

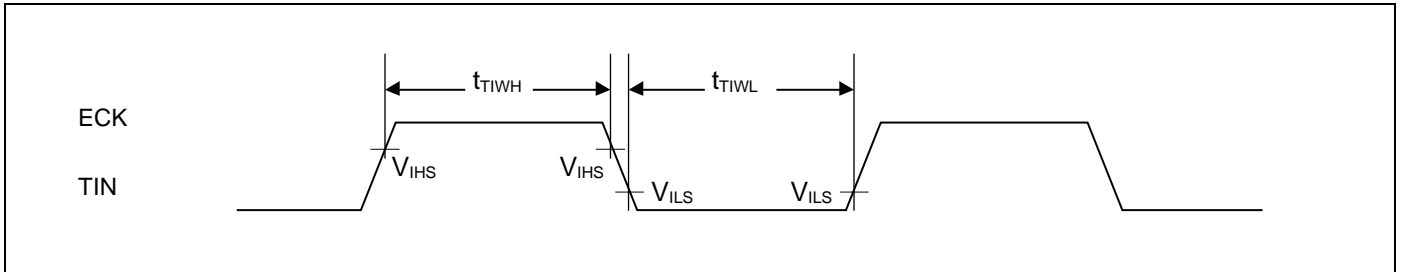
如欲了解有关内置 CR 的精确度, 请参考 "12.10.低压检测特性"

12.4.8 基本定时器输入时序

定时器输入时序

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

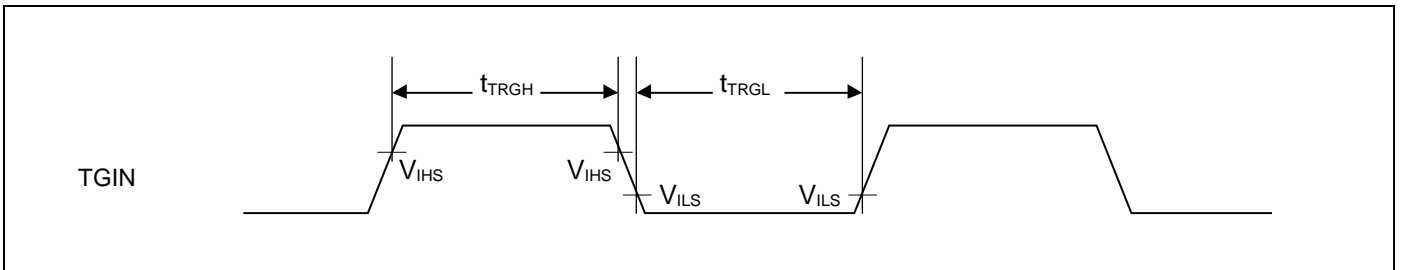
参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{TIWH} t_{TIWL}	TIOAn/TIOBn (作为 ECK, TIN 使用时)	-	$2t_{CYCP}$	-	ns	



触发输入时序

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{TRGH} t_{TRGL}	TIOAn/TIOBn (作为 TGIN 使用时)	-	$2t_{CYCP}$	-	ns	



注意事项: t_{CYCP} 是 APB 总线时钟的周期时间。

关于基本定时器连结的 APB 总线序号, 参照"框图"。

12.4.9 CSIO/UART 时序

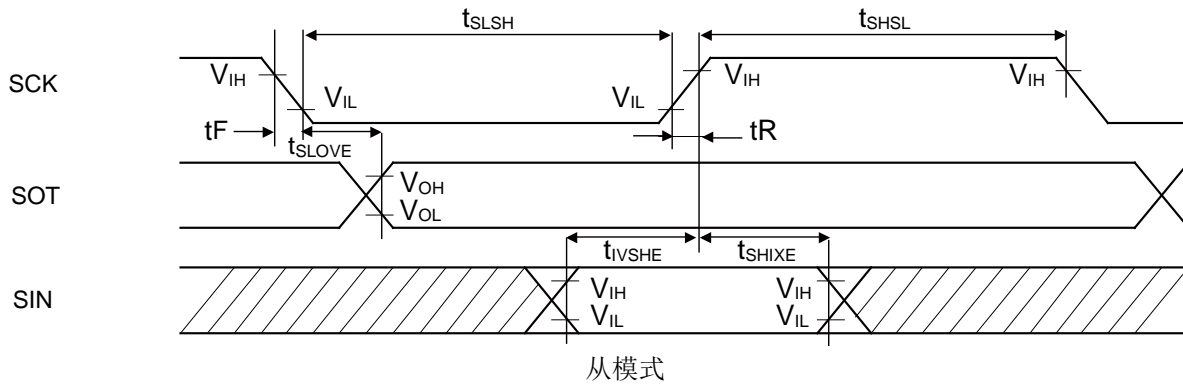
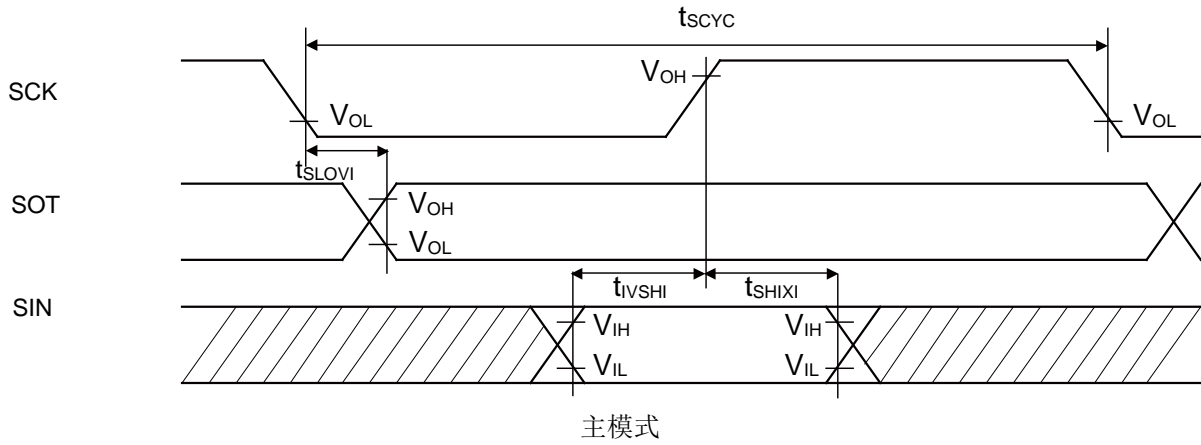
CSIO (SPI = 0, SCINV = 0)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_a = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	V _{CC} < 4.5V		V _{CC} ≥ 4.5V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t _{SCYC}	SCKx	主模式	4tcycp	-	4tcycp	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVI}	SCKx SOTx		-30	+30	- 20	+ 20	ns
SIN → SCK ↑创建时间	t _{IVSHI}	SCKx SINx		50	-	30	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXI}	SCKx SINx		0	-	0	-	ns
串行时钟"L" 脉宽	t _{SLSH}	SCKx	从模式	2tcycp - 10	-	2tcycp - 10	-	ns
串行时钟"H" 脉宽	t _{SHSL}	SCKx		tcycp + 10	-	tcycp + 10	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVE}	SCKx SOTx		-	50	-	30	ns
SIN → SCK ↑创建时间	t _{IVSHE}	SCKx SINx		10	-	10	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXE}	SCKx SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项:

- CLK 同步模式时的交流特性。
- t_{CYCP} 是 APB 总线时钟的周期时间。
关于多功能串口连接的 APB 总线序号, 详情参照"框图"。
- 本规格仅保证相同重定位端口号。
例如 SCKx_0, SOTx_1 组合不为保证对象。
- 外部负载电容 = 30 pF 时。



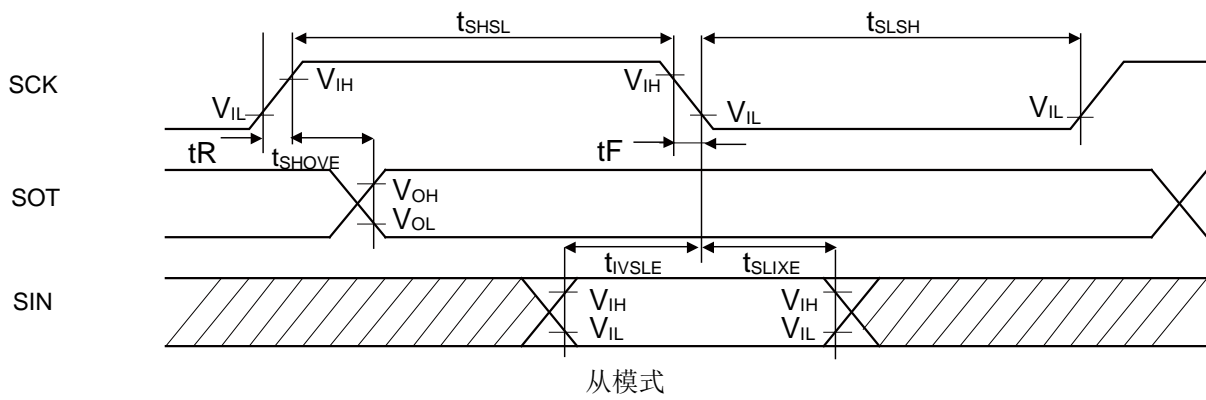
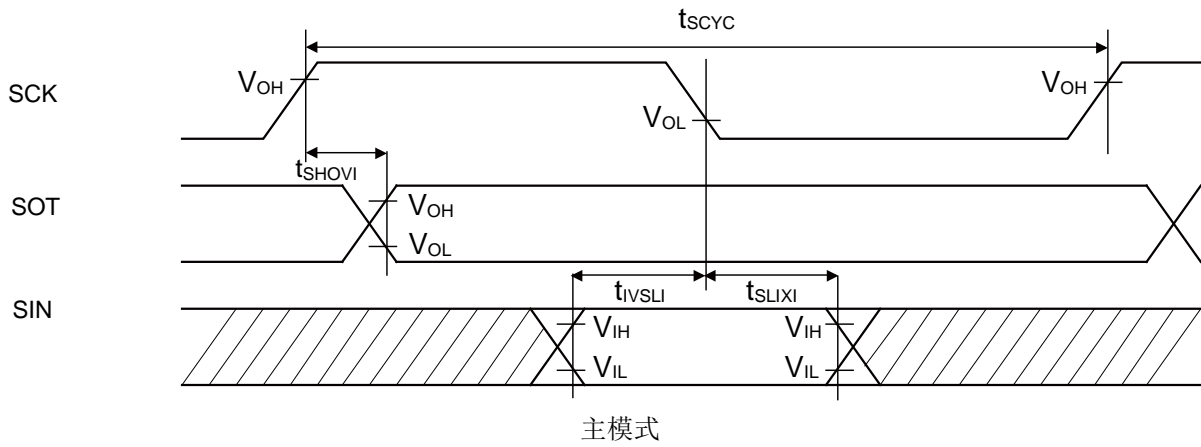
CSIO (SPI = 0, SCINV = 1)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	Vcc < 4.5V		Vcc ≥ 4.5V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t _{SCYC}	SCKx	主模式	4tcycp	-	4tcycp	-	Ns
SCK ↑ → SOT 延迟时间	t _{SHOVI}	SCKx SOTx		-30	+30	- 20	+ 20	Ns
SIN → SCK ↓ 创建时间	t _{IVSLI}	SCKx SINx		50	-	30	-	Ns
SCK ↓ → SIN 保持时间	t _{SLIXI}	SCKx SINx		0	-	0	-	Ns
串行时钟"L" 脉宽	t _{SLSH}	SCKx	从模式	2tcycp - 10	-	2tcycp - 10	-	Ns
串行时钟"H" 脉宽	t _{SHSL}	SCKx		tcycp + 10	-	tcycp + 10	-	Ns
SCK ↑ → SOT 延迟时间	t _{SHOVE}	SCKx SOTx		-	50	-	30	ns
SIN → SCK ↓ 创建时间	t _{IVSLE}	SCKx SINx		10	-	10	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXE}	SCKx SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项:

- CLK 同步模式时的交流特性。
- t_{CYCP} 是 APB 总线时钟的周期时间。
关于多功能串口连接的 APB 总线序号, 详情参照"框图"。
- 本规格仅保证相同重定位端口号。
例如 SCKx_0, SOTx_1 组合不为保证对象。
- 外部负载电容 = 30 pF 时。



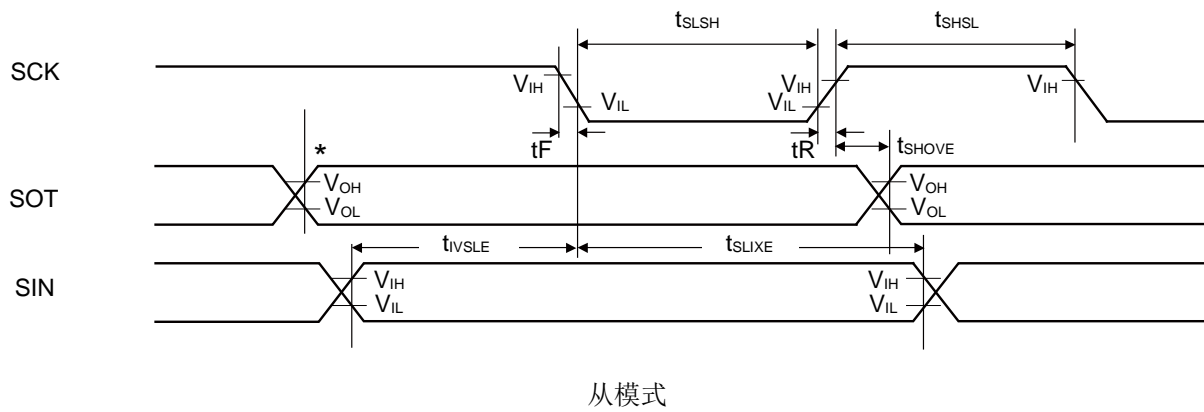
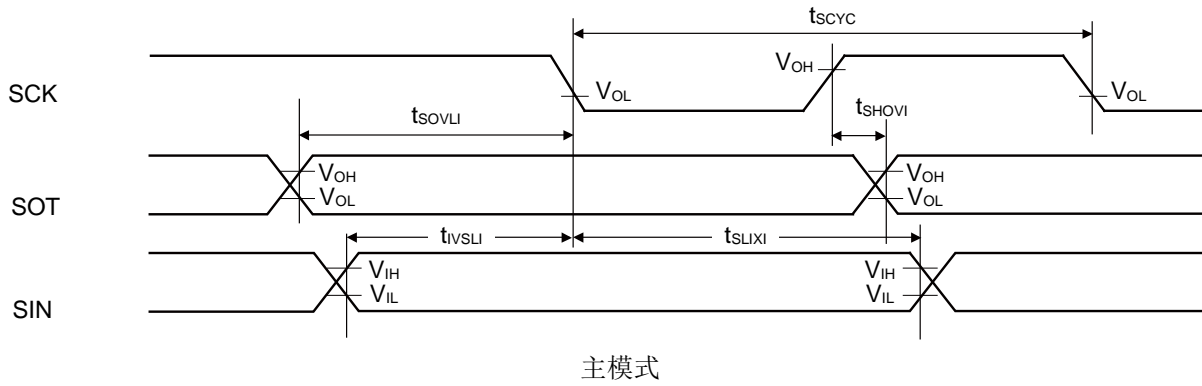
CSIO (SPI = 1, SCINV = 0)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	Vcc < 4.5V		Vcc ≥ 4.5V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t _{SCYC}	SCKx	主模式	4tcycp	-	4tcycp	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVI}	SCKx SOTx		-30	+30	- 20	+ 20	ns
SIN → SCK ↓创建时间	t _{IVSLI}	SCKx SINx		50	-	30	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXI}	SCKx SINx		0	-	0	-	ns
SOT → SCK ↓延迟时间	t _{SOVLI}	SCKx SOTx		2tcycp - 30	-	2tcycp - 30	-	ns
串行时钟"L" 脉宽	t _{SLSH}	SCKx	从模式	2tcycp - 10	-	2tcycp - 10	-	ns
串行时钟"H" 脉宽	t _{SHSL}	SCKx		tcycp + 10	-	tcycp + 10	-	ns
SCK ↑ → SOT 延迟时间	t _{SHOVE}	SCKx SOTx		-	50	-	30	ns
SIN → SCK ↓创建时间	t _{IVSLE}	SCKx SINx		10	-	10	-	ns
SCK ↓ → SIN 保持时间	t _{SLIXE}	SCKx SINx		20	-	20	-	ns
SCK 下降时间	tF	SCKx		-	5	-	5	ns
SCK 上升时间	tR	SCKx		-	5	-	5	ns

注意事项:

- CLK 同步模式时的交流特性。
- t_{CYCP} 是 APB 总线时钟的周期时间。
关于多功能串口连接的 APB 总线序号, 详情参照"框图"。
- 本规格仅保证相同重定位端口号。
例如 SCKx_0, SOTx_1 组合不为保证对象。
- 外部负载电容 = 30 pF 时。



写 TDR 寄存器时发生变化

从模式

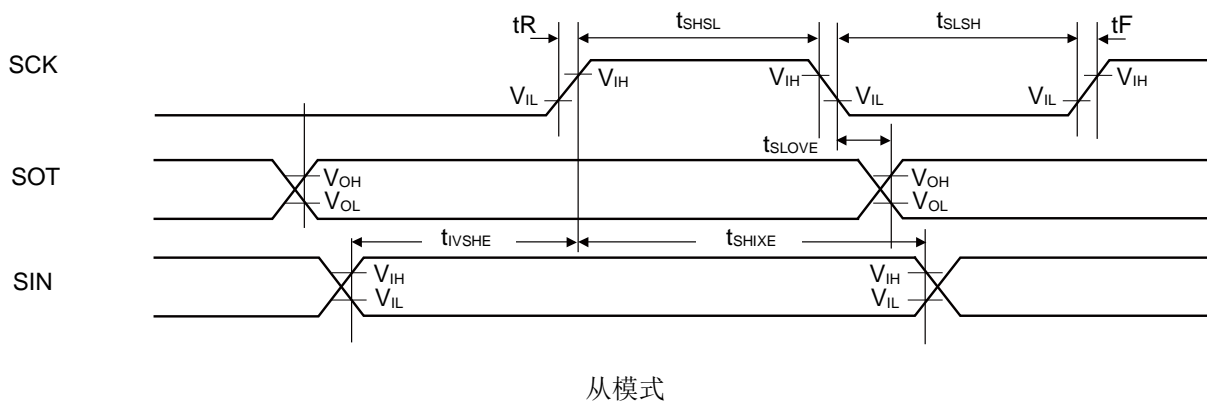
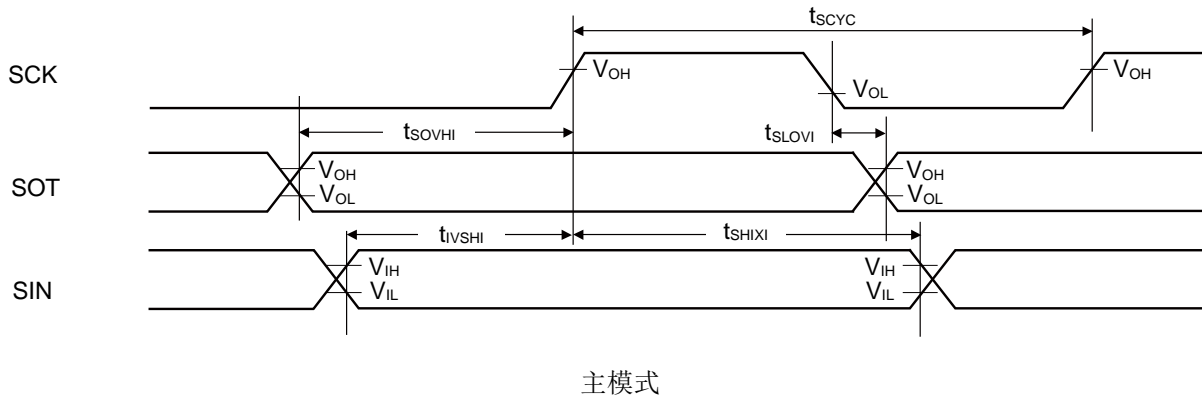
CSIO (SPI = 1, SCINV = 1)

(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	条件	Vcc < 4.5V		Vcc ≥ 4.5V		单位
				最小	最大	最小	最大	
串行时钟周期时间	t _{SCYC}	SCKx	主模式	4tcycp	-	4tcycp	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVI}	SCKx SOTx		-30	+30	- 20	+ 20	ns
SIN → SCK ↑创建时间	t _{IVSHI}	SCKx SINx		50	-	30	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXI}	SCKx SINx		0	-	0	-	ns
SOT → SCK ↑延迟时间	t _{SOVHI}	SCKx SOTx		2tcycp - 30	-	2tcycp - 30	-	ns
串行时钟"L" 脉宽	t _{SLSH}	SCKx	从模式	2tcycp - 10	-	2tcycp - 10	-	ns
串行时钟"H" 脉宽	t _{SHSL}	SCKx		tcycp + 10	-	tcycp + 10	-	ns
SCK ↓ → SOT 延迟时间	t _{SLOVE}	SCKx SOTx		-	50	-	30	ns
SIN → SCK ↑创建时间	t _{IVSHE}	SCKx SINx		10	-	10	-	ns
SCK ↑ → SIN 保持时间	t _{SHIXE}	SCKx SINx		20	-	20	-	ns
SCK 下降时间	t _F	SCKx		-	5	-	5	ns
SCK 上升时间	t _R	SCKx		-	5	-	5	ns

注意事项:

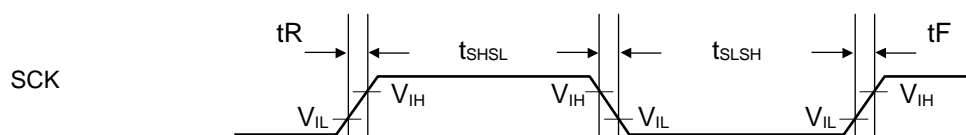
- CLK 同步模式时的交流特性。
- t_{CYCP} 是 APB 总线时钟的周期时间。
关于多功能串口连接的 APB 总线序号, 详情参照"框图"。
- 本规格仅保证相同重定位端口号。
例如 SCKx_0, SOTx_1 组合不为保证对象。
- 外部负载电容 = 30 pF 时。



外部时钟(EXT = 1)：仅限异步

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	条件	最小	最大	单位	备注
串行时钟"L" 脉宽	t_{SLSH}	$C_L = 30\text{ pF}$	$t_{cycp} + 10$	-	ns	
串行时钟"H" 脉宽	t_{SHSL}		$t_{cycp} + 10$	-	ns	
SCK 下降时间	t_F		-	5	ns	
SCK 上升时间	t_R		-	5	ns	



12.4.10 外部输入时序

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入脉宽	t_{INH} , t_{INL}	ADTG	-	$2t_{CYCP}^{[1]}$	-	ns	A/D 转换器触发输入
		FRCKx					自由运行定时器输入时钟
		ICxx					输入捕捉
		DTTlxX	-	$2t_{CYCP}^{[1]}$	-	ns	波形发生器
		INTxx	[2]	$2t_{CYCP} + 100^{[1]}$	-	ns	外部中断
		NMIX	[3]	500	-	ns	NMI
		WKUPx	-[4]	820	-	ns	深层待机唤醒

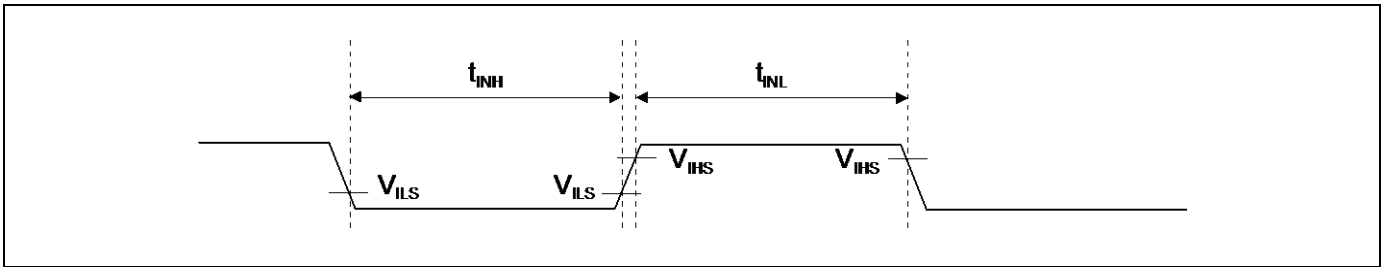
[1]: t_{CYCP} 是 APB 总线时钟的周期时间。

关于 A/D 转换器、多功能定时器及外部中断连接的 APB 总线序号，详情参照“框图”。

[2]:运行模式、睡眠模式时。

[3]:停止模式、RTL 模式、定时器模式时。

[4]:深层待机 RTC 模式和深层待机 STOP 模式时。



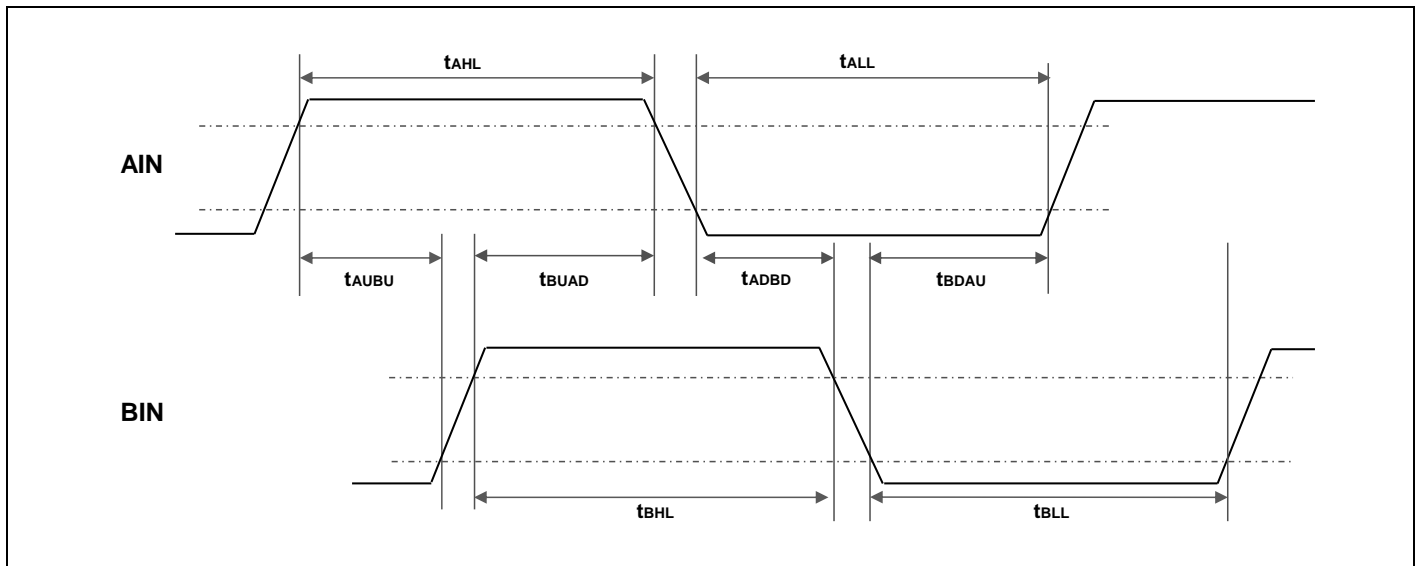
12.4.11 Quad 计数器时序

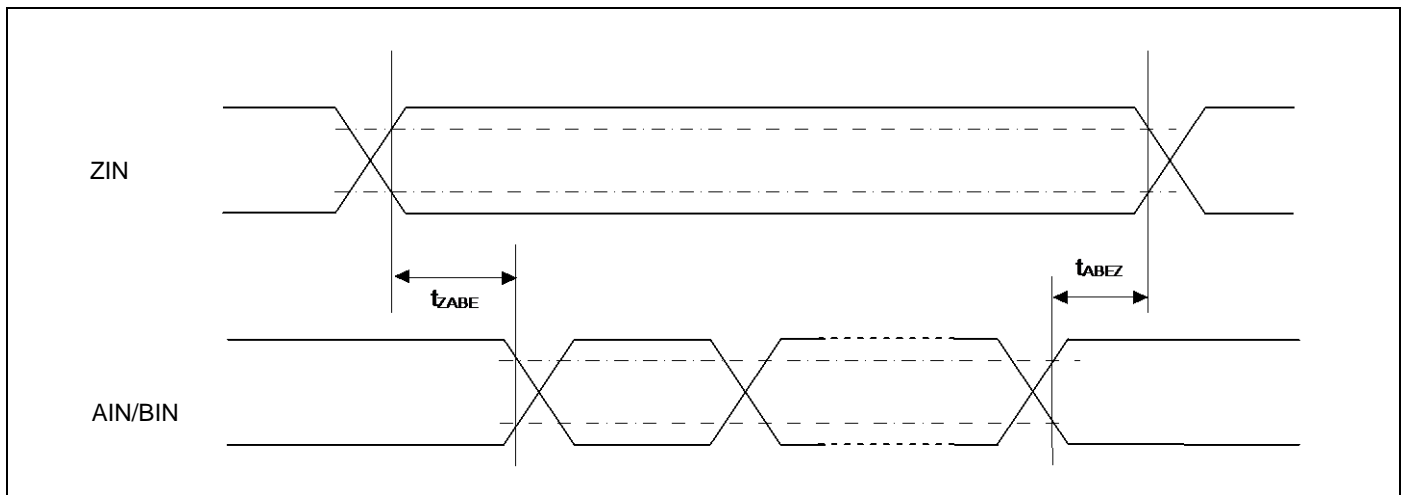
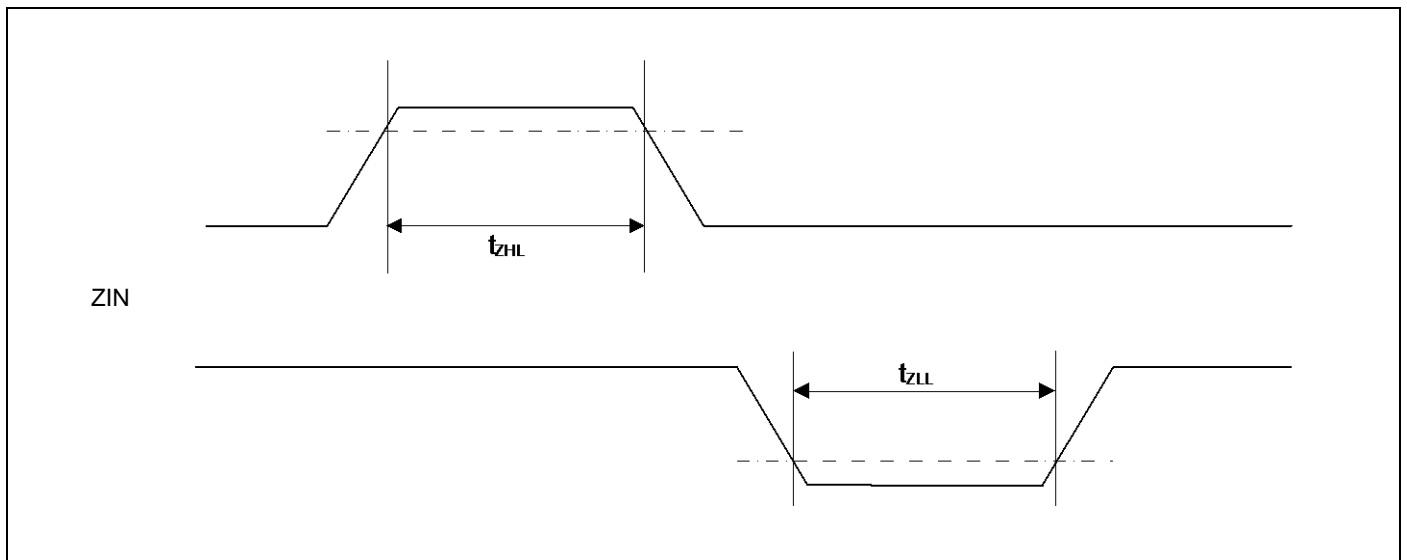
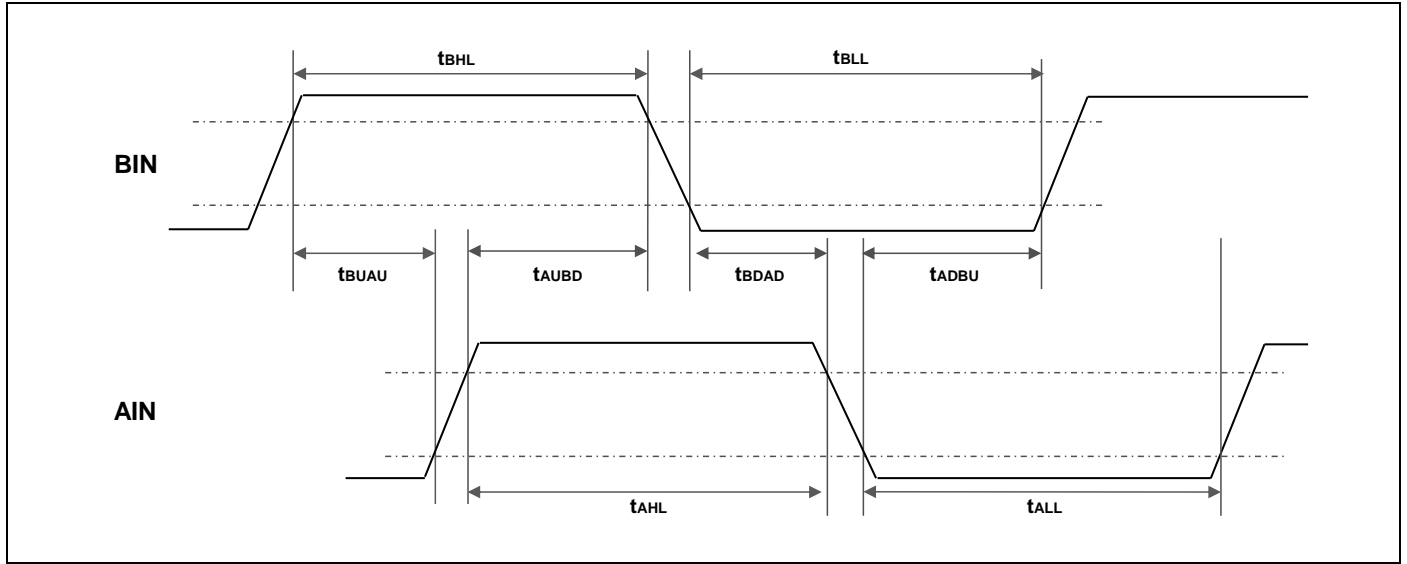
(Vcc = 2.7V ~ 5.5V, Vss = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	条件	规格值		单位
			最小	最大	
AIN 引脚"H"宽	t _{AHL}	-	2t _{CYCP} ^[1]	-	ns
AIN 引脚"L"宽	t _{ALL}	-			
BIN 引脚"H"宽	t _{BHL}	-			
BIN 引脚"L"宽	t _{BLL}	-			
从 AIN"H"电平 BIN 上升时间	t _{AUBU}	PC_Mode2 或 PC_Mode3			
从 BIN"H"电平 AIN 下降时间	t _{BUAD}	PC_Mode2 或 PC_Mode3			
从 AIN"L"电平 BIN 下降时间	t _{ADBD}	PC_Mode2 或 PC_Mode3			
从 BIN"L"电平 AIN 上升时间	t _{BDAU}	PC_Mode2 或 PC_Mode3			
从 BIN"H"电平 AIN 上升时间	t _{BUAU}	PC_Mode2 或 PC_Mode3			
从 AIN"H"电平 BIN 下降时间	t _{AUBD}	PC_Mode2 或 PC_Mode3			
从 BIN"L"电平 AIN 下降时间	t _{BDAD}	PC_Mode2 或 PC_Mode3			
从 AIN"L"电平 BIN 上升时间	t _{ADBU}	PC_Mode2 或 PC_Mode3			
ZIN 引脚"H"宽	t _{ZHL}	QCR:CGSC = "0"			
ZIN 引脚"L"宽	t _{ZLL}	QCR:CGSC = "0"			
从 ZIN 电平确定 AIN/BIN 上升下降时间	t _{ZABE}	QCR:CGSC = "1"			
从 AIN/BIN 上升下降时间 ZIN 电平确定	t _{ABEZ}	QCR:CGSC = "1"			

[1]: t_{CYCP} 是 APB 总线时钟的周期时间。

关于 Quad 计数器连接的 APB 总线序号，详情参照“框图”。



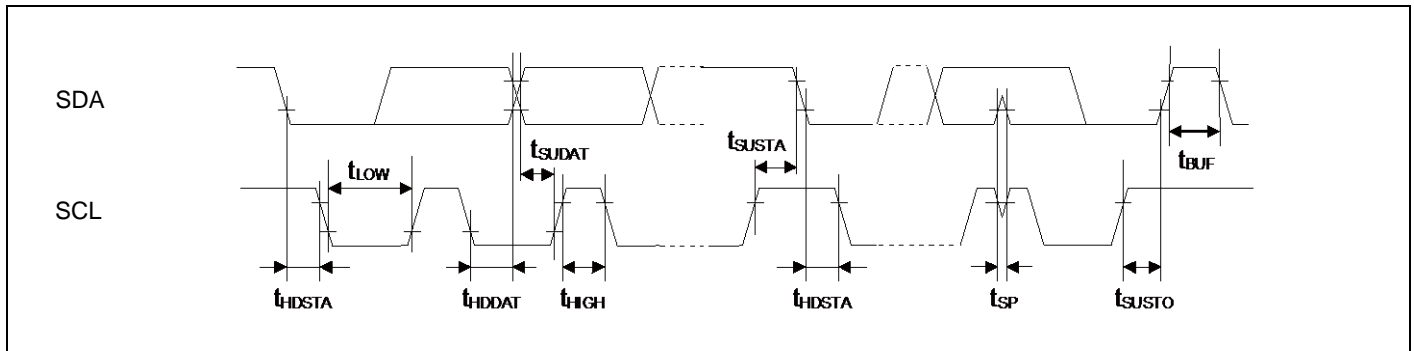


12.4.12 I²C 时序

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	条件	标准模式		高速模式		单位	备注
			最小	最大	最小	最大		
SCL 时钟频率	F _{SCL}		0	100	0	400	kH z	
(重复)“启动”条件保持时间 SDA ↓ → SCL ↓	t _{HDSTA}	C _L = 30pF, R = (V _p /I _{OL}) ^[1]	4.0	-	0.6	-	μs	
SCL 时钟“L”宽	t _{LOW}		4.7	-	1.3	-	μs	
SCL 时钟“H”宽	t _{HIGH}		4.0	-	0.6	-	μs	
(重复)“启动”条件创建时间 SCL ↑ → SDA ↓	t _{SUSTA}		4.7	-	0.6	-	μs	
数据保持时间 SCL ↓ → SDA ↓ ↑	t _{HDDAT}		0	3.45 ^[2]	0	0.9 ^[3]	μs	
数据创建时间 SDA ↓ ↑ → SCL ↑	t _{SUDAT}		250	-	100	-	ns	
“停止”条件创建时间 SCL ↑ → SDA ↑	t _{SUSTO}		4.0	-	0.6	-	μs	
“停止”条件 和“启动”条件间 的总线空闲时间	t _{BUF}		4.7	-	1.3	-	μs	
噪声滤波器	t _{SP}	-	2 t _{CYCP} ^[4]	-	2 t _{CYCP} ^[4]	-	ns	

1. R 和 C 是指 SCL, SDA 总线上的上拉电阻和负载电容。
V_p 是指上拉电阻的电源电压, I_{OL} 是指 V_{OL} 保证电流。
2. 仅在芯片保持 SCL 信号在“L”(t_{LOW})未扩展期间才可使用最大 t_{HDDAT}。
3. 高速模式 I²C 总线芯片可用于标准模式 I²C 总线系统, 但必须满足 t_{SUDAT} ≥ 250 ns 的要求。
4. t_{CYCP} 是指 APB 总线时钟的周期时间。
关于 I2C 连结的 APB 总线序号, 详情参照“框图”。
使用标准模式时, 请将 APB 总线时钟设定在 2 MHz 或以上。
使用高速模式时, 请将 APB 总线时钟设定在 8 MHz 或以上。

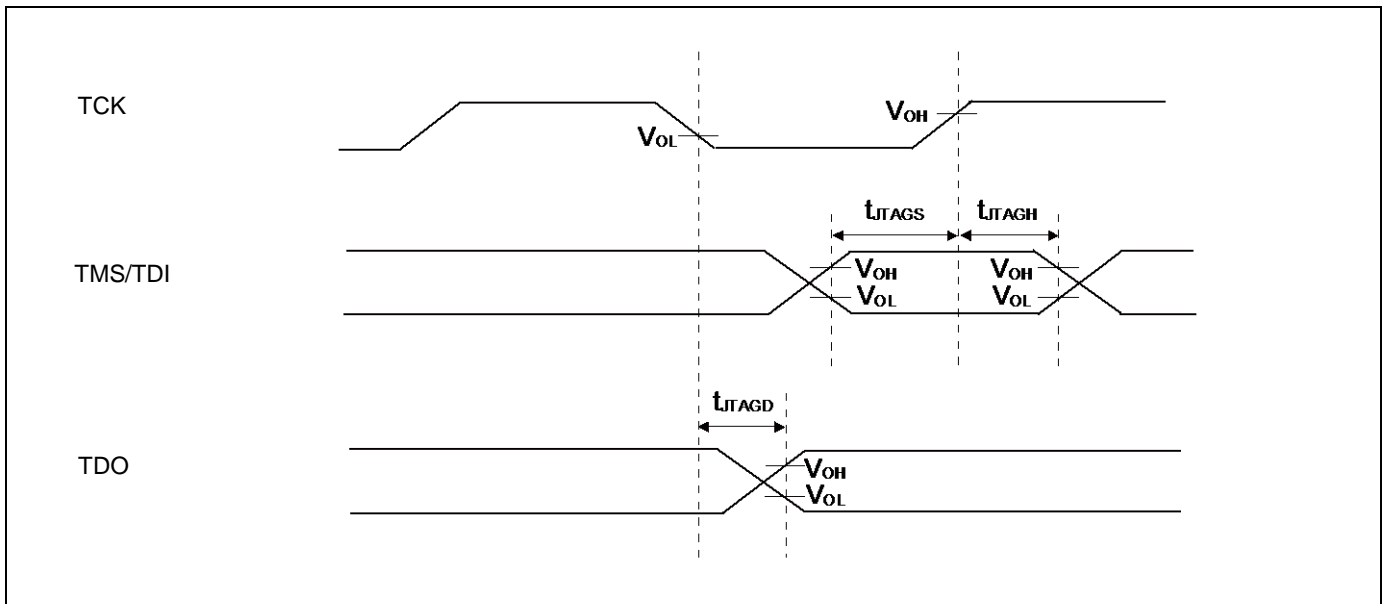


12.4.13 JTAG 时序

($V_{CC} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
TMS, TDI 创建时间	t_{JTAGS}	TCK, TMS, TDI	$V_{CC} \geq 4.5V$	15	-	ns	
			$V_{CC} < 4.5V$				
TMS, TDI 保持时间	t_{JTAGH}	TCK, TMS, TDI	$V_{CC} \geq 4.5V$	15	-	ns	
			$V_{CC} < 4.5V$				
TDO 延迟时间	t_{JTAGD}	TCK, TDO	$V_{CC} \geq 4.5V$	-	25	ns	
			$V_{CC} < 4.5V$	-	45		

注意事项:外部负载电容 = 30 pF 时。



12.5 12 位 A/D 转换器

A/D 转换器的电气特性

(V_{CC} = AV_{CC} = 2.7V ~ 5.5V, V_{SS} = AV_{SS} = 0V, Ta = - 40°C ~ + 105°C)

参数	符号	引脚名称	规格值			单位	备注
			最小	标准	最大		
分辨率	-	-	-	-	12	bit	
积分非线性	-	-	- 4.5	-	+ 4.5	LSB	AVRH = 2.7V ~ 5.5V
微分非线性	-	-	-2.5	-	+ 2.5	LSB	
零转换电压	V _{ZT}	ANxx	- 20	-	+ 20	mV	
全面转换电压	V _{FST}	ANxx	AVRH - 20	-	AVRH + 20	mV	
转换时间	-	-	1.0 ^[1]	-	-	μs	AV _{CC} ≥ 4.5V
			1.2 ^[1]	-	-		AV _{CC} < 4.5V
采样时间	T _s	-	[2]	-	-	ns	AV _{CC} ≥ 4.5V
			[2]	-	-		AV _{CC} < 4.5V
比较时钟周期 ^[3]	T _{ck}	-	50	-	2000	ns	
动作使能状态转移期间	T _{stt}	-	-	-	1.0	μs	
模拟输入电容	C _{AIN}	-	-	-	12.9	pF	
模拟输入电阻	R _{AIN}	-	-	-	2	kΩ	AV _{CC} ≥ 4.5V
					3.8		AV _{CC} < 4.5V
通道间不平衡	-	-	-	-	4	LSB	
模拟端口输入电流	-	ANxx	-	-	5	μA	
模拟输入电压	-	ANxx	AV _{SS}	-	AVRH	V	
基准电压	-	AVRH	2.7	-	AV _{CC}	V	

[1]:转换时间是采样时间(T_s) + 比较时间(T_c)的值。

最短转换时间的条件是:

AV_{CC} ≥ 4.5V, HCLK = 40 MHz 采样时间:300 ns, 比较时间:700 ns

AV_{CC} < 4.5V, HCLK = 40 MHz 采样时间:500 ns, 比较时间:700 ns

必须满足采样时间(T_s)和比较时钟周期(T_{ck})的规格。

关于采样时间和比较时钟周期的设置*4, 详情参照“FM3 家族外围资源手册”中的“12 位 A/D 转换器”一章。

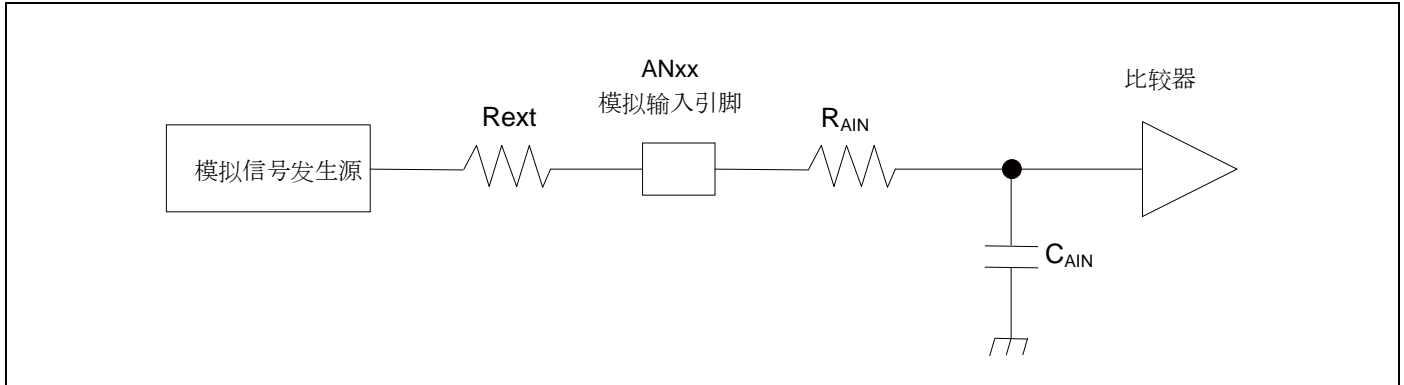
ADC 的寄存器设定在外设时钟时序上反映。采样及比较时钟在基本时钟(HCLK)设定。

关于 A/D 转换器连接的 APB 总线序号, 请参阅本数据表中的“框图”。

[2]:所需采样时间因外部阻抗而异。

设定的采样时间务必满足(公式 1)。

[3]:比较时间(T_c)是(公式 2)的值。



(公式 1) $T_s \geq (R_{AIN} + R_{ext}) \times C_{AIN} \times 9$

T_s : 采样时间

R_{AIN} : A/D 的输入电阻 = $2k\Omega$ $4.5 \leq AV_{CC} \leq 5.5$

A/D 的输入电阻 = $3.8k\Omega$ $2.7 \leq AV_{CC} \leq 4.5$

C_{AIN} : A/D 的输入电容 = $12.9pF$ $2.7 \leq AV_{CC} \leq 5.5$

R_{ext} : 外部电路的输出阻抗

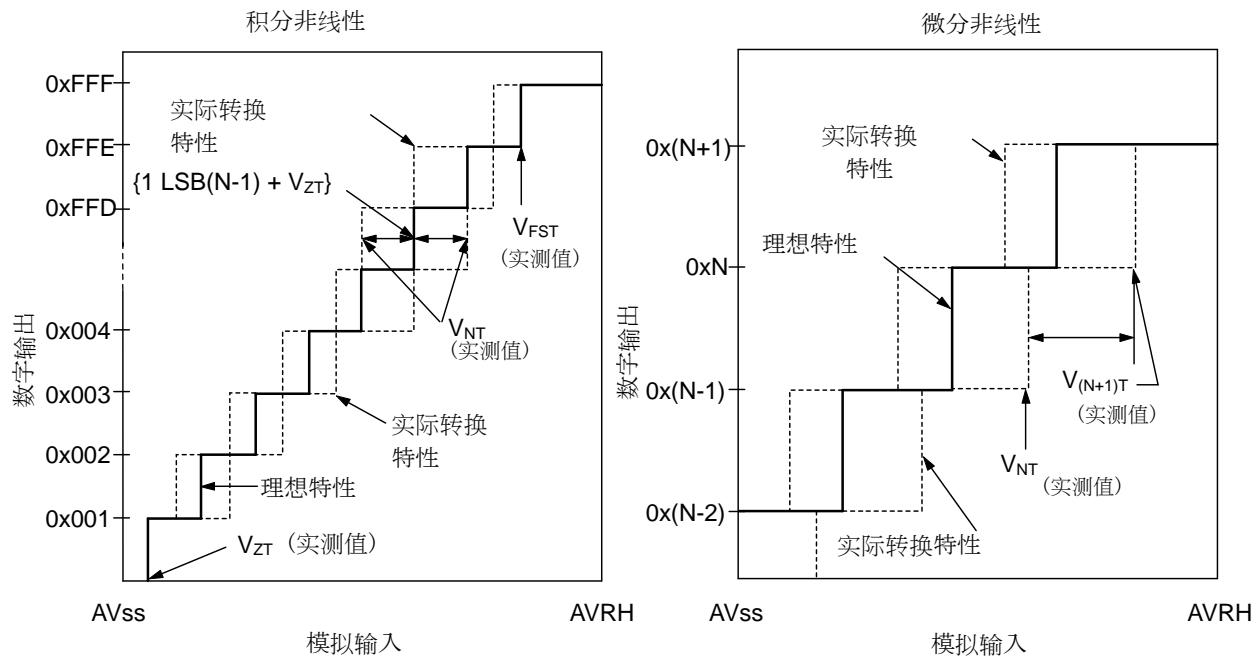
(公式 2) $T_c = T_{cck} \times 14$

T_c : 比较时间

T_{cck} : 比较时钟周期

12 位 A/D 转换器的术语定义

- 分辨率 :分辨率是 A/D 转换器分辨出的模拟偏差的等级。
- 积分非线性 :是指实际转换值偏移直线的误差,该直线连接器件上的零转换点(0b000000000000 ↔ 0b000000000001) 和同一器件上的全面转换点(0b111111111110 ↔ 0b111111111111)
- 微分非线性 :微分非线性指用一个 LSB 改变输出码所需输入电压偏移理想值的误差。



$$\text{数字输出 } N \text{ 的积分非线性} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} [\text{LSB}]$$

$$\text{数字输出 } N \text{ 的微分非线性} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 [\text{LSB}]$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

- N : A/D 转换器的数字输出值。
 V_{ZT} : 数字输出由 0x000 至 0x001 变换的电压。
 V_{FST} : 数字输出由 0xFFE 至 0xFFF 变换的电压。
 V_{NT} : 数字输出由 0x(N - 1)至 0xN 变换的电压。

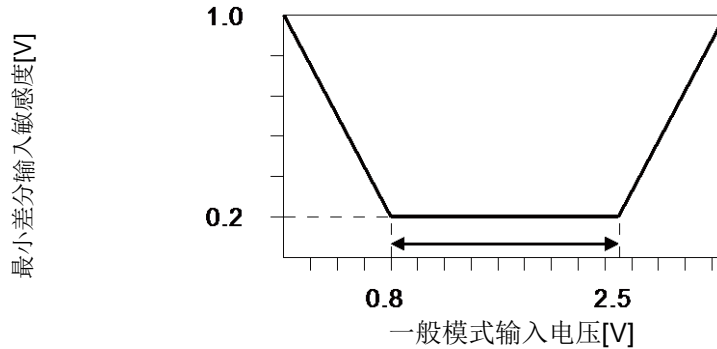
12.6 USB 特性

($V_{CC} = 2.7V \sim 5.5V$, $USBV_{CC} = 3.0V \sim 3.6V$, $V_{SS} = 0V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	引脚名称	条件	规格值		单位	备注
				最小	最大		
输入特性	输入"H"电平电压	V_{IH}	-	2.0	$USBV_{CC} + 0.3$	V	[1]
	输入"L"电平电压	V_{IL}	-	$V_{SS} - 0.3$	0.8	V	[1]
	差分输入敏感度	V_{DI}	-	0.2	-	V	[2]
	差分一般模式范围	V_{CM}	-	0.8	2.5	V	[2]
输出特性	输出"H"电平电压	V_{OH}	外部下拉电阻 = 15k Ω	2.8	3.6	V	[3]
	输出"L"电平电压	V_{OL}	外部上拉电阻 = 1.5k Ω	0.0	0.3	V	[3]
	交变电压	V_{CRS}	-	1.3	2.0	V	[4]
	上升时间	t_{FR}	Full-Speed	4	20	ns	[5]
	下降时间	t_{FF}	Full-Speed	4	20	ns	[5]
	上升/下降时间匹配	t_{FRFM}	Full-Speed	90	111.11	%	[5]
	输出阻抗	Z_{DRV}	Full-Speed	28	44	Ω	[6]
	上升时间	t_{LR}	Low-Speed	75	300	ns	[7]
	下降时间	t_{LF}	Low-Speed	75	300	ns	[7]
	上升/下降时间匹配	t_{LRFM}	Low-Speed	80	125	%	[7]

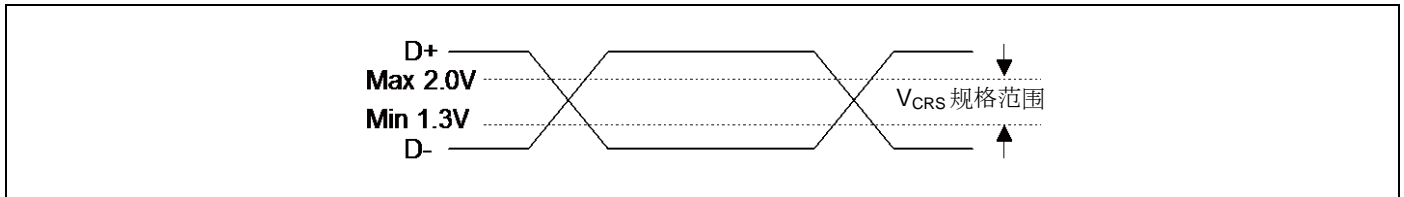
[1]:USB I/O 的 Single-End-Receiver 的开关阈值电压设定在 V_{IL}
(Max) = 0.8V, V_{IH} (Min) = 2.0 V (TTL 输入规格)范围内进行设定。
还具有可降低噪声敏感度的迟滞特性。

[2]:接收 USB 差分数据信号使用的是 Differential-Receiver。
针对本地接地基准电平, 差分数据输入在 0.8V ~ 2.5V 的范围时, Differential-Receiver 具有 200mV 的差分输入敏感度。
上述电压范围是一般模式输入电压范围。



[3]:驱动器的输出驱动能力在 Low-State (V_{OL})时为 0.3V 以下(针对 3.6 V, 1.5 k Ω 负载), 而在 High-State (V_{OH})时为 2.8 V 以上(针对接地, 15 k Ω 负载)。

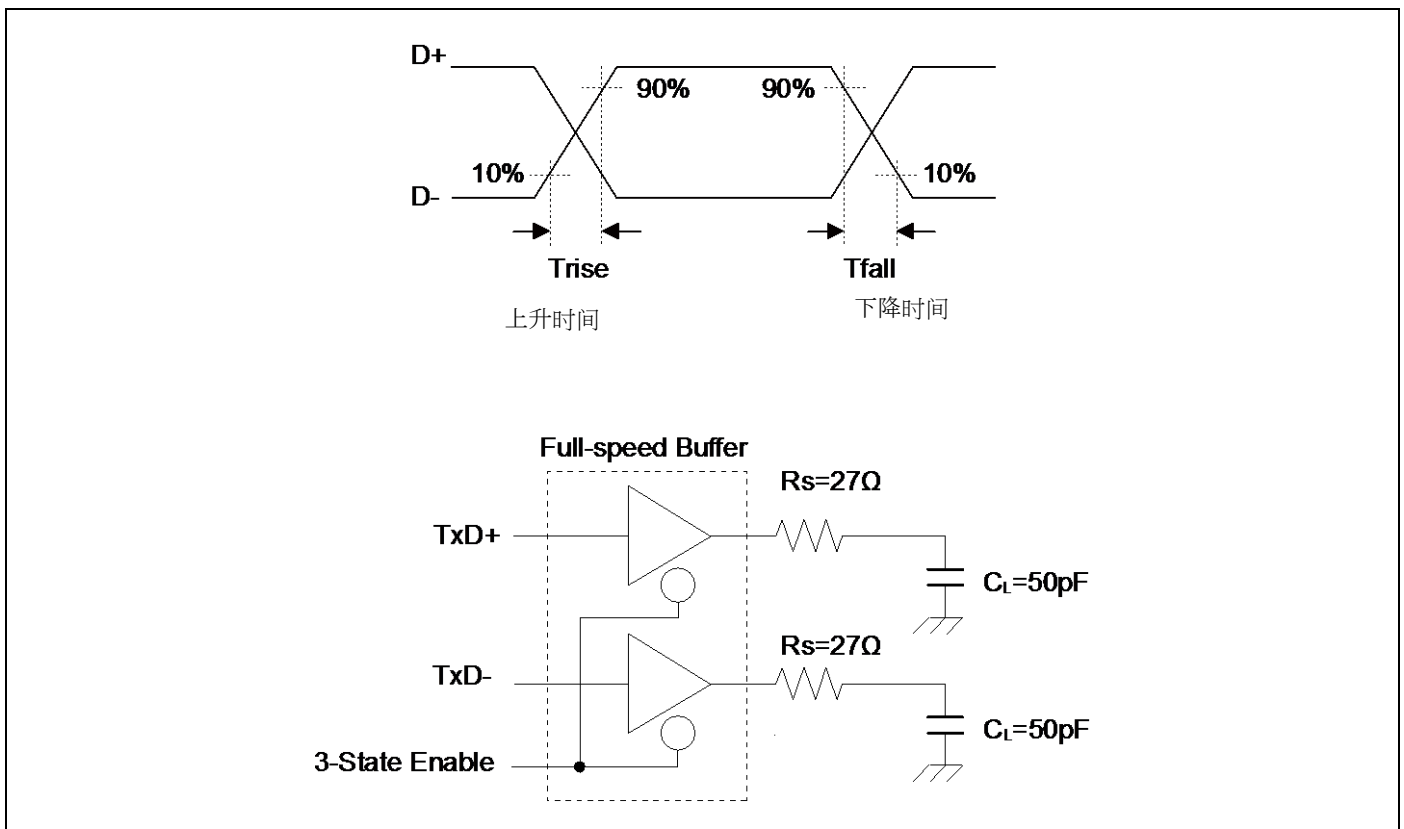
[4]:USB I/O 的外部差分输出信号(D+/D-)的交叉电压在 1.3 V ~ 2.0 V 的范围内。



[5]:规定 Full-Speed 差分数据信号的上升(T_{rise})和下降(T_{fall})时间。

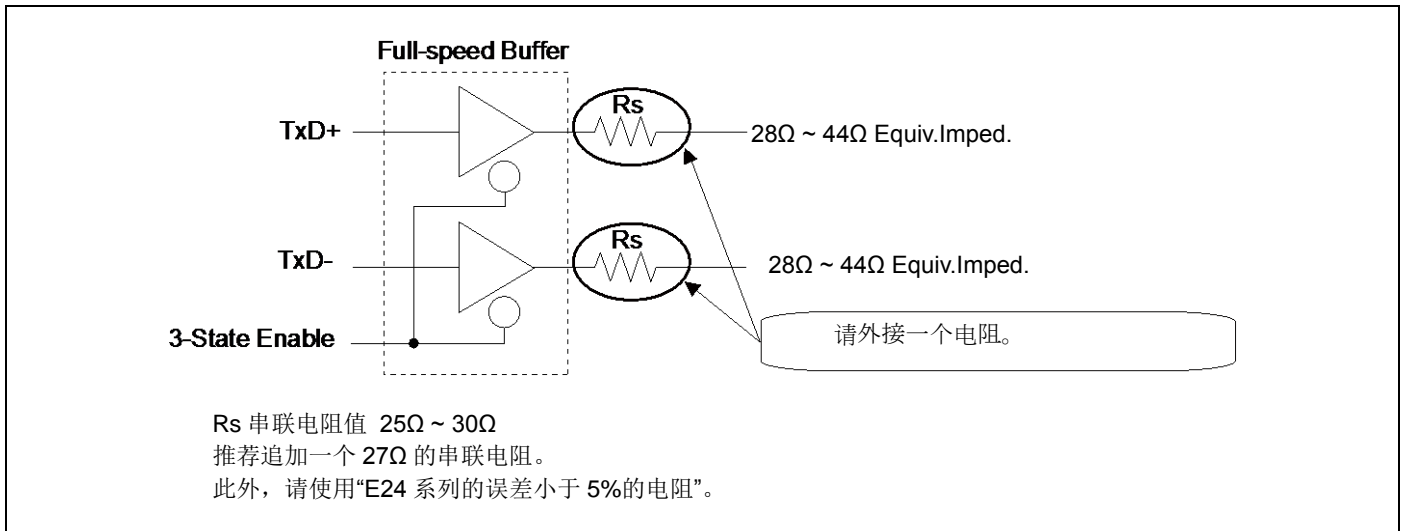
由输出信号电压的 10% ~ 90%的时间定义。

关于 Full-speed Buffer, 为了将 RFI 放射降到最小, 规定 T_r/T_f 比在 $\pm 10\%$ 以内。



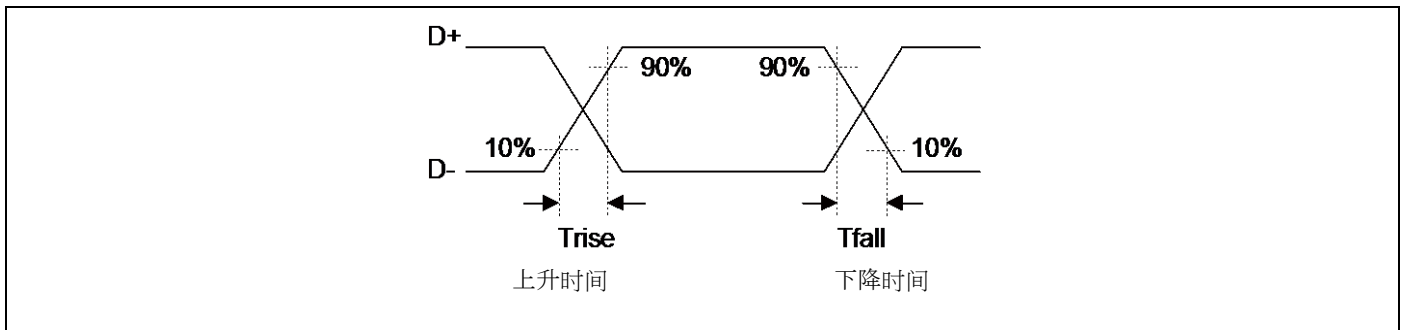
[6]:在 $90\Omega \pm 15\%$ 的特性阻抗(Differential Mode)下, 通过屏蔽后的双绞线电缆可连接 USB Full-speed。

USB 规格规定了 USB Driver 的输出阻抗必须在 $28\Omega \sim 44\Omega$ 范围内。为了满足上述规格并保持平衡, 还规定添加分立串联电阻(R_s)。使用本 USB FLS I/O 时, 请追加一个 $25\Omega \sim 30\Omega$ (推荐值 27Ω) 的串联电阻 R_s 。



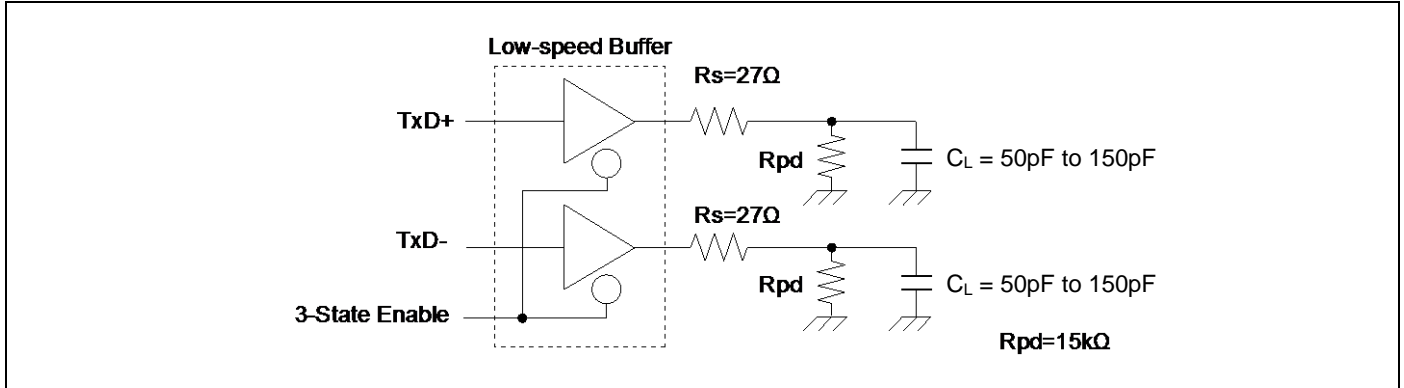
[7]:规定 Low-Speed 差分数据信号的上升(T_{rise})和下降(T_{fall})时间。

由输出信号电压的 10% ~ 90% 的时间定义。

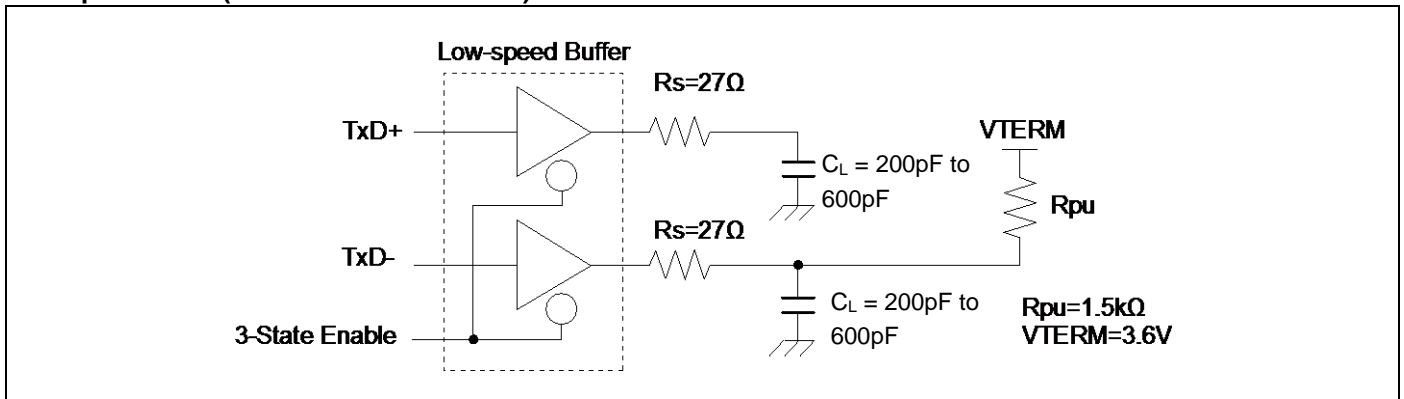


关于外部负载条件, 参照“Low-Speed Load (Compliance Load)”。

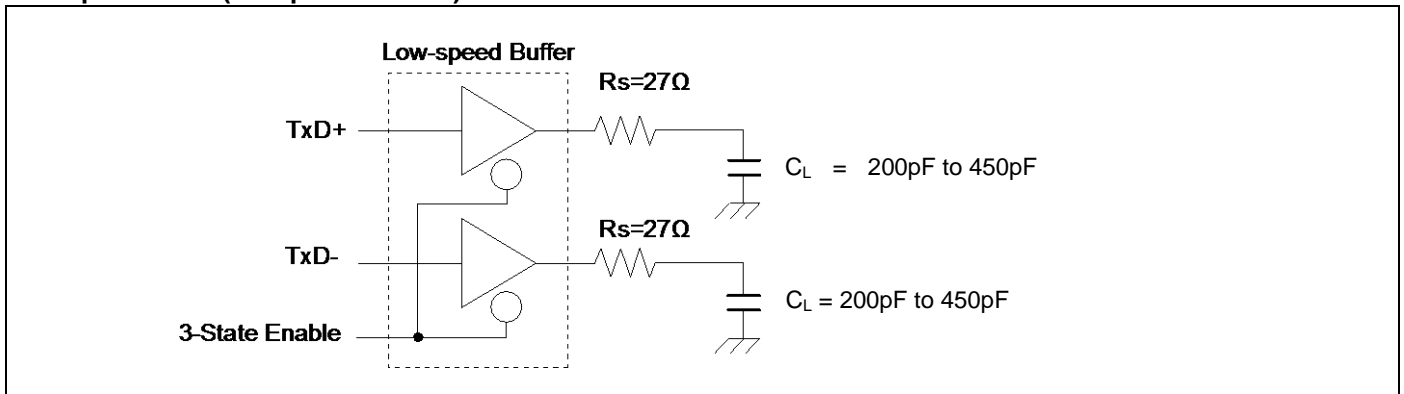
Low-Speed Load (Upstream Port Load) - Reference 1



Low-Speed Load (Downstream Port Load) - Reference 2



Low-Speed Load (Compliance Load)



12.7 低压检测特性

12.7.1 低压检测复位

(Ta = - 40°C ~ + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	-	2.25	2.45	2.65	V	电压下降时
释放电压	VDH	-	2.30	2.50	2.70	V	电压上升时

12.7.2 低压检测中断

(Ta = - 40°C ~ + 105°C)

参数	符号	条件	规格值			单位	备注
			最小	标准	最大		
检测电压	VDL	SVHI = 0000	2.58	2.8	3.02	V	电压下降时
释放电压	VDH		2.67	2.9	3.13	V	电压上升时
检测电压	VDL	SVHI = 0001	2.76	3.0	3.24	V	电压下降时
释放电压	VDH		2.85	3.1	3.34	V	电压上升时
检测电压	VDL	SVHI = 0010	2.94	3.2	3.45	V	电压下降时
释放电压	VDH		3.04	3.3	3.56	V	电压上升时
检测电压	VDL	SVHI = 0011	3.31	3.6	3.88	V	电压下降时
释放电压	VDH		3.40	3.7	3.99	V	电压上升时
检测电压	VDL	SVHI = 0100	3.40	3.7	3.99	V	电压下降时
释放电压	VDH		3.50	3.8	4.10	V	电压上升时
检测电压	VDL	SVHI = 0111	3.68	4.0	4.32	V	电压下降时
释放电压	VDH		3.77	4.1	4.42	V	电压上升时
检测电压	VDL	SVHI = 1000	3.77	4.1	4.42	V	电压下降时
释放电压	VDH		3.86	4.2	4.53	V	电压上升时
检测电压	VDL	SVHI = 1001	3.86	4.2	4.53	V	电压下降时
释放电压	VDH		3.96	4.3	4.64	V	电压上升时
LVD 稳定等待时间	T _{LVDW}	-	-	-	2240 × t _{cycp} ^[1]	μs	

[1]: t_{cycp} 是 APB2 总线时钟的周期时间。

12.8 主闪存存储器写/擦特性

12.8.1 写/擦时间

(V_{CC} = 2.7V ~ 5.5V, T_a = - 40°C ~ + 105°C)

参数		规格值		单位	备注
		标准*	最大 ^[1]		
扇区擦除时间	大扇区	0.7	3.7	s	包括内部擦除前的写入时间
	小扇区	0.3	1.1		
半字(16 位)写入时间		12	384	μs	不包括系统级开销时间
整片擦除时间		3.8	16.2	s	包括内部擦除前的写入时间

[1]:典型值指发货后立即有效的值, 最大值指在 10 万个擦除/写入周期后的保证值。

12.8.2 写入周期和数据保持时间

写/擦次数(周期)	保持时间(年)
1,000	20 ^[1]
10,000	10 ^[1]
100,000	5 ^[1]

[1]:平均温度+ 85°C

12.9 工作闪存存储器写/擦特性

12.9.1 写/擦时间

(V_{CC} = 2.7V ~ 5.5V, T_a = - 40°C ~ + 105°C)

参数	规格值		单位	备注
	标准*	最大 ^[1]		
扇区擦除时间	0.3	1.5	s	包括内部擦除前的写入时间
半字(16 位)写入时间	20	384	μs	不包括系统级开销时间
整片擦除时间	1.2	6	s	包括内部擦除前的写入时间

[1]:典型值指发货后立即有效的值, 最大值指在 1 万个擦除/写入周期后的保证值。

12.9.2 写入周期和数据保持时间

写/擦次数(周期)	保持时间(年)
1,000	20 ^[1]
10,000	10 ^[1]

[1]:平均温度+ 85°C

12.10 从低功耗模式下的返回时间

12.10.1 返回因数: Interrupt/WKUP

从低功耗模式下的返回时间如下所示。从收到返回因数到启动程序运行为止。

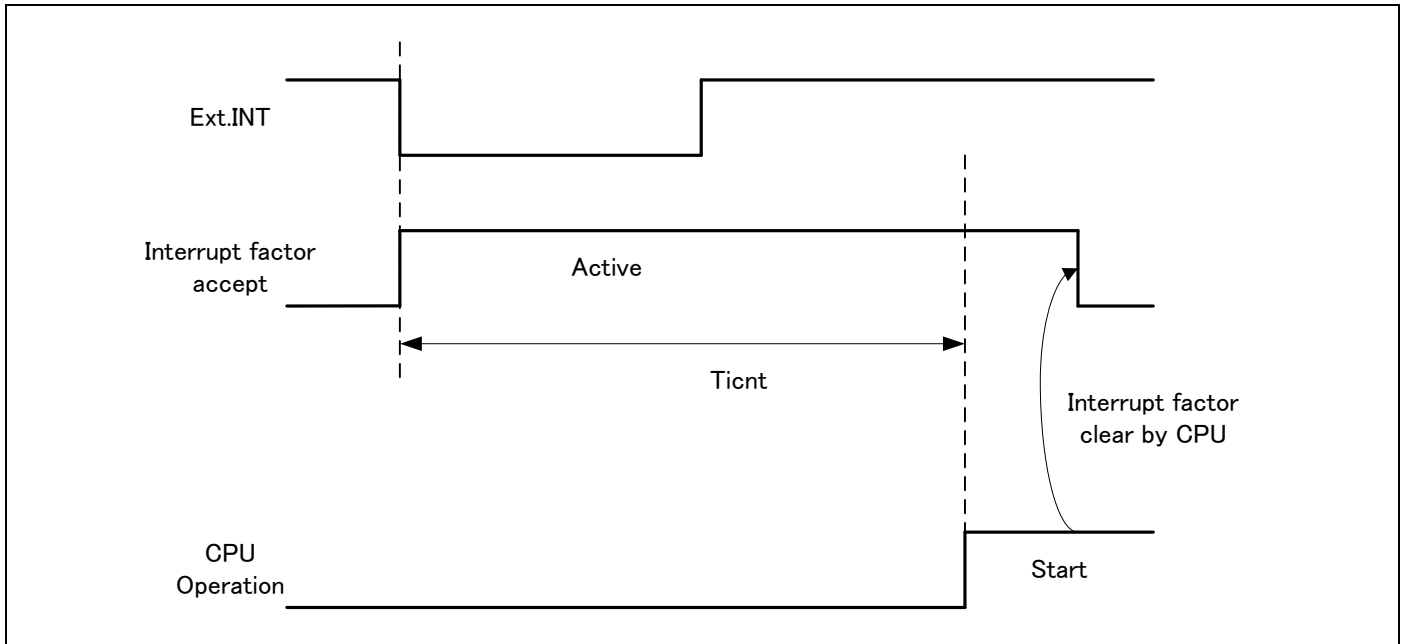
返回计数时间

($V_{CC} = 2.7V \sim 5.5V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

参数	符号	规格值		单位	备注
		标准	最大 ^[1]		
睡眠模式	Ticnt	t_{CYCC}		ns	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		40	80	μs	
低速 CR 定时器模式		370	740	μs	
副振荡定时器模式		699	929	μs	
停止模式		505	834	μs	

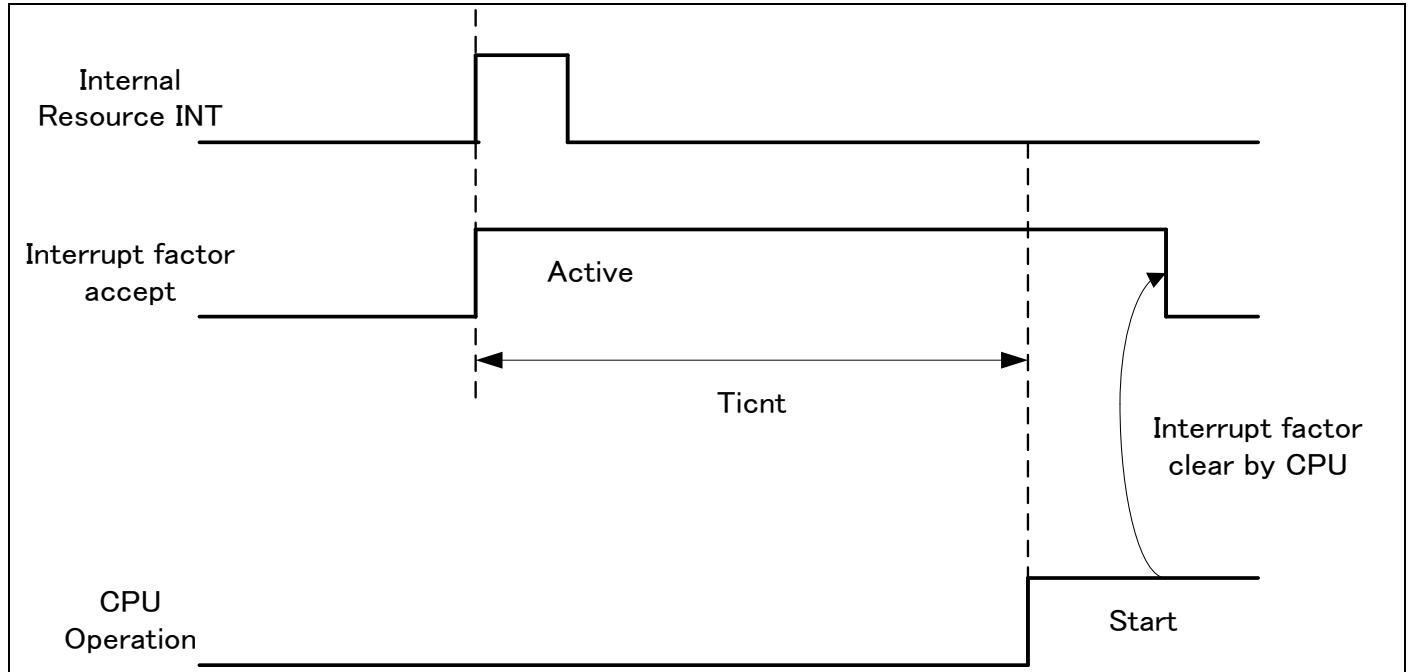
[1]:最大值取决于内置 CR 的精度。

从低功耗模式返回的操作示例（通过外部中断^[1]）



[1]:外部中断设置为检测下降沿。

从低功耗模式返回的操作示例（通过内部资源中断^[1]）



[1]:对这类低功耗模式，内部资源中断未包含在返回因数中。

注意事项:

- 每一种低功耗模式中的返回因数各不相同。
- 关于低功耗模式的返回因数，请参阅 **FM3** 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。
- 在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅 **FM3** 系列外设手册中的“第 6 章：低功耗模式”。

12.11 返回因数:复位

从低功耗模式下的返回时间如下所示。从释放复位到启动程序运行为止。

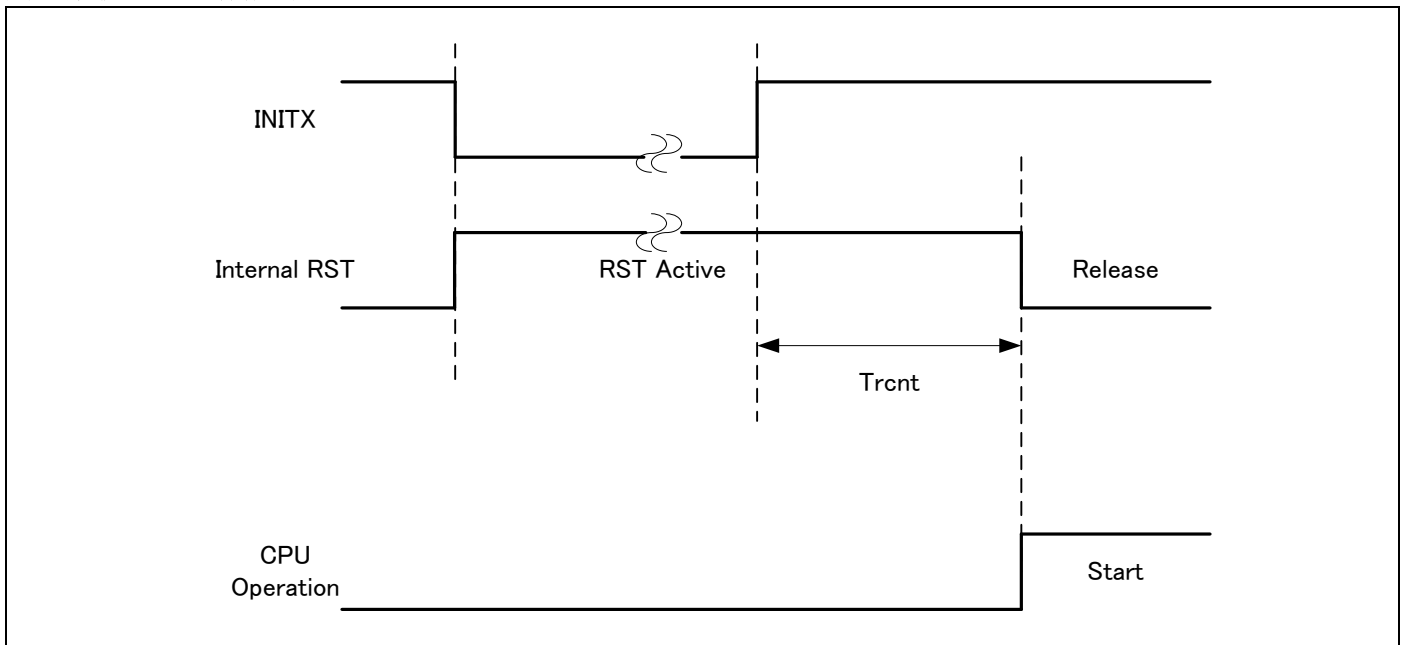
12.11.1 返回计数时间

($V_{CC} = 2.7V \sim 5.5V$, $T_a = -40^{\circ}C \sim +105^{\circ}C$)

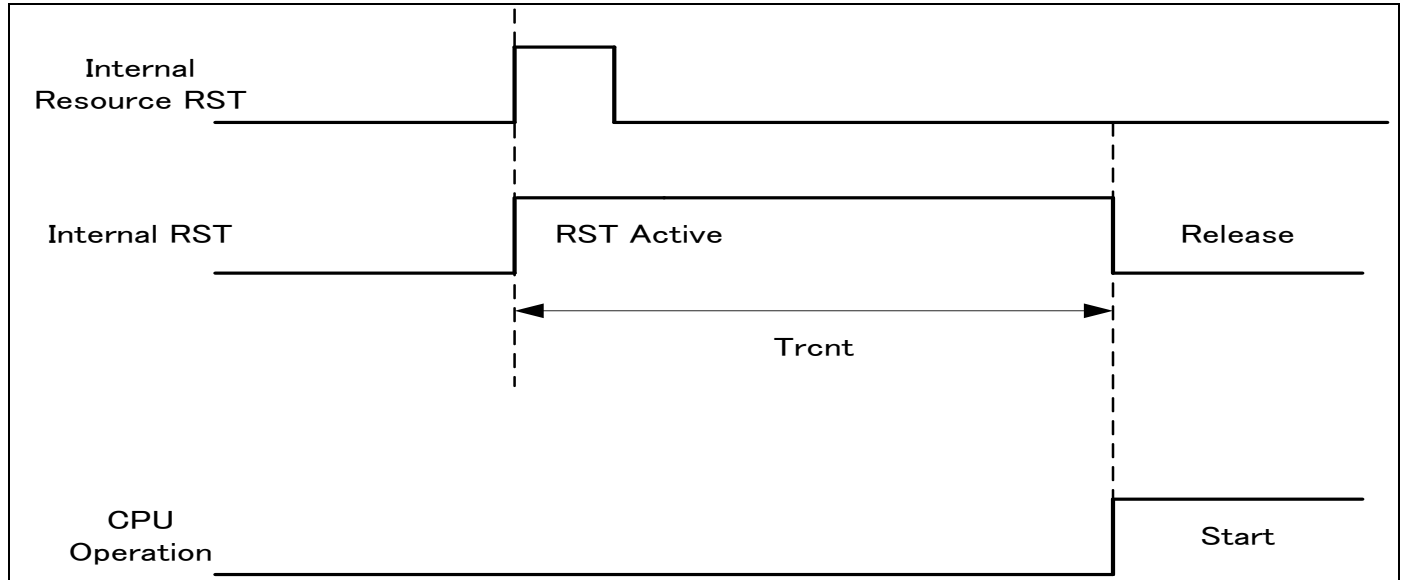
参数	符号	规格值		单位	备注
		标准	最大 ^[1]		
睡眠模式	Trcnt	365	554	μs	
高速 CR 定时器模式、 主定时器模式、 PLL 定时器模式		365	554	μs	
低速 CR 定时器模式		555	934	μs	
副振荡定时器模式		608	976	μs	
停止模式		475	774	μs	

[1]:最大值取决于内置 CR 的精度。

从低功耗模式返回的操作示例 (通过 INITX)



从低功耗模式返回的操作示例（通过内部资源复位^[1]）



[1]:对这类低功耗模式，内部资源复位未包含在返回因数中。

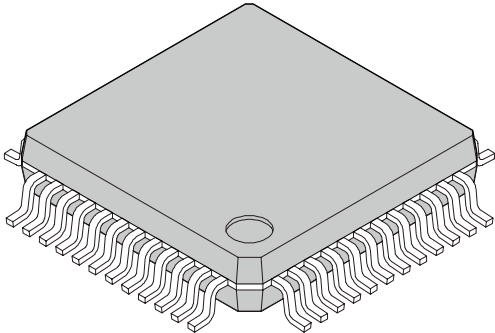
注意事项:

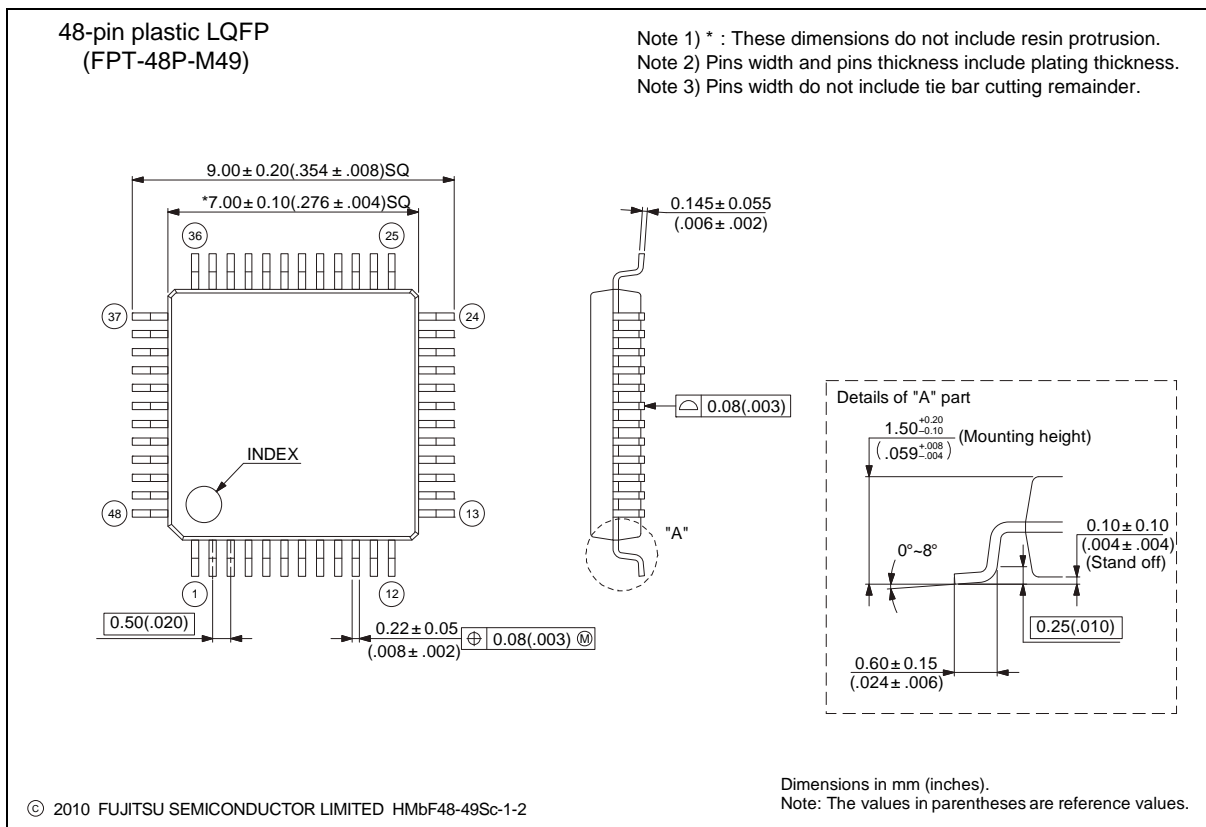
- 每一种低功耗模式中的返回因数各不相同。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”和“待机模式操作”。
- 在中断恢复时，CPU 恢复的工作模式取决于低功耗模式转换前的状态。请参阅 FM3 系列外设手册中的“第 6 章：低功耗模式”。
- 排除上电复位/低电压检测复位的时间。请参阅“4.电气特性中的 AC 特性”这一章节的“(6)上电复位时间”，详细了解上电复位/低电压检测复位时间。
- 在从复位恢复时，CPU 会改变为高速 CR 运行模式。在使用主时钟或 PLL 时钟时，有必要添加主时钟振荡稳定等待时间或主 PLL 时钟稳定等待时间。
- 内部资源复位意味着监视器复位和 CSV 复位。

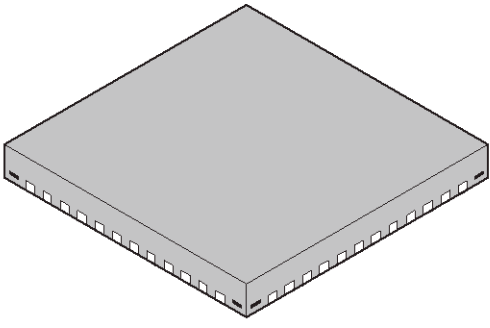
13. 订购信息

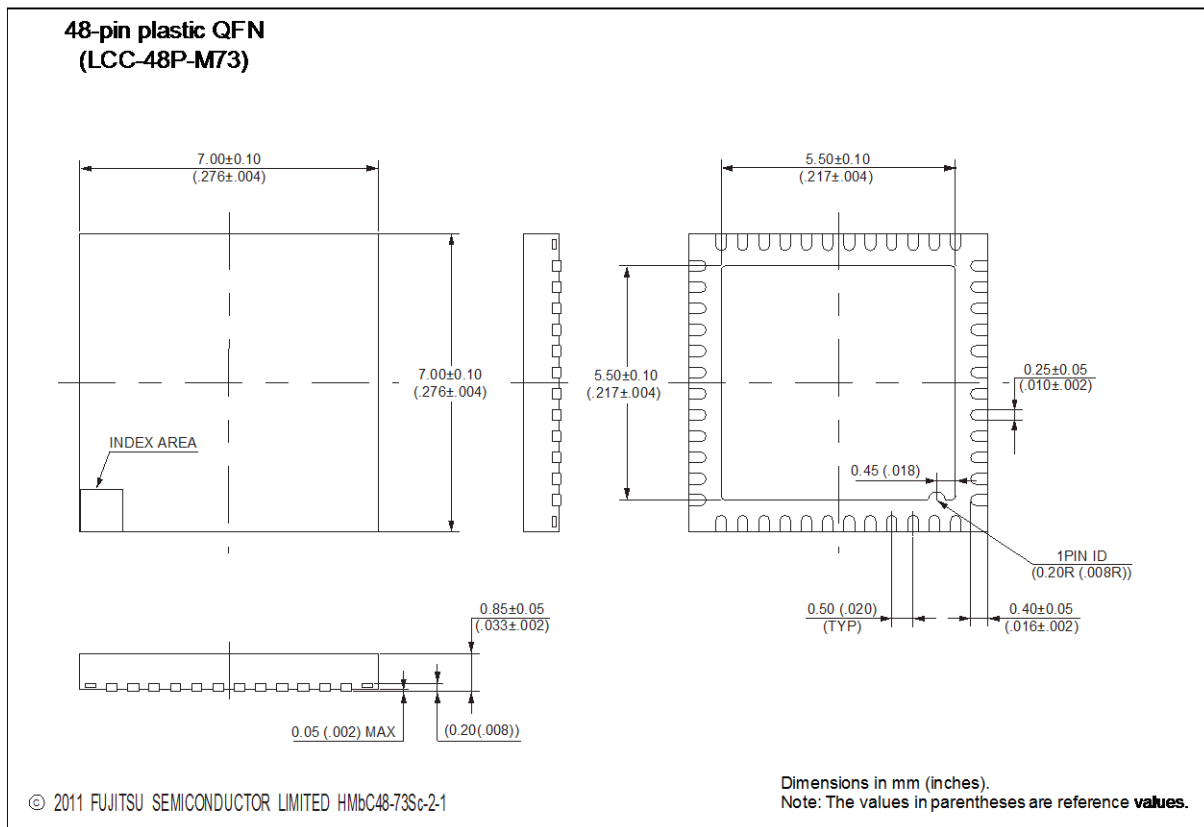
产品类型	片上 闪存	片上 SRAM	封装	包装
MB9AF311KPMC-G-JNE2	Main:64 KB Work:32 KB	16 KB	塑封 LQFP 48 脚 (0.5mm 间距), (FPT-48P-M49)	Tray
MB9AF312KPMC-G-JNE2	Main:128 KB Work:32 KB	16 KB		
MB9AF311KPMC1-G-JNE2	Main:64 KB Work:32 KB	16 KB	塑封 LQFP 52 脚 (0.65mm 间距), (FPT-52P-M02)	
MB9AF312KPMC1-G-JNE2	Main:128 KB Work:32 KB	16 KB		
MB9AF311KQN-G-AVE2	Main:64 KB Work:32 KB	16 KB	塑封 QFN 48 脚 (0.5mm 间距), (LCC-48P-M73)	
MB9AF312KQN-G-AVE2	Main:128 KB Work:32 KB	16 KB		

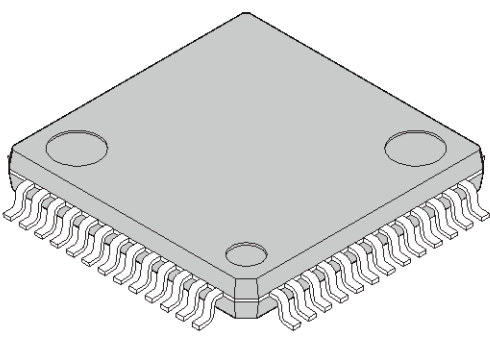
14. 封装尺寸图

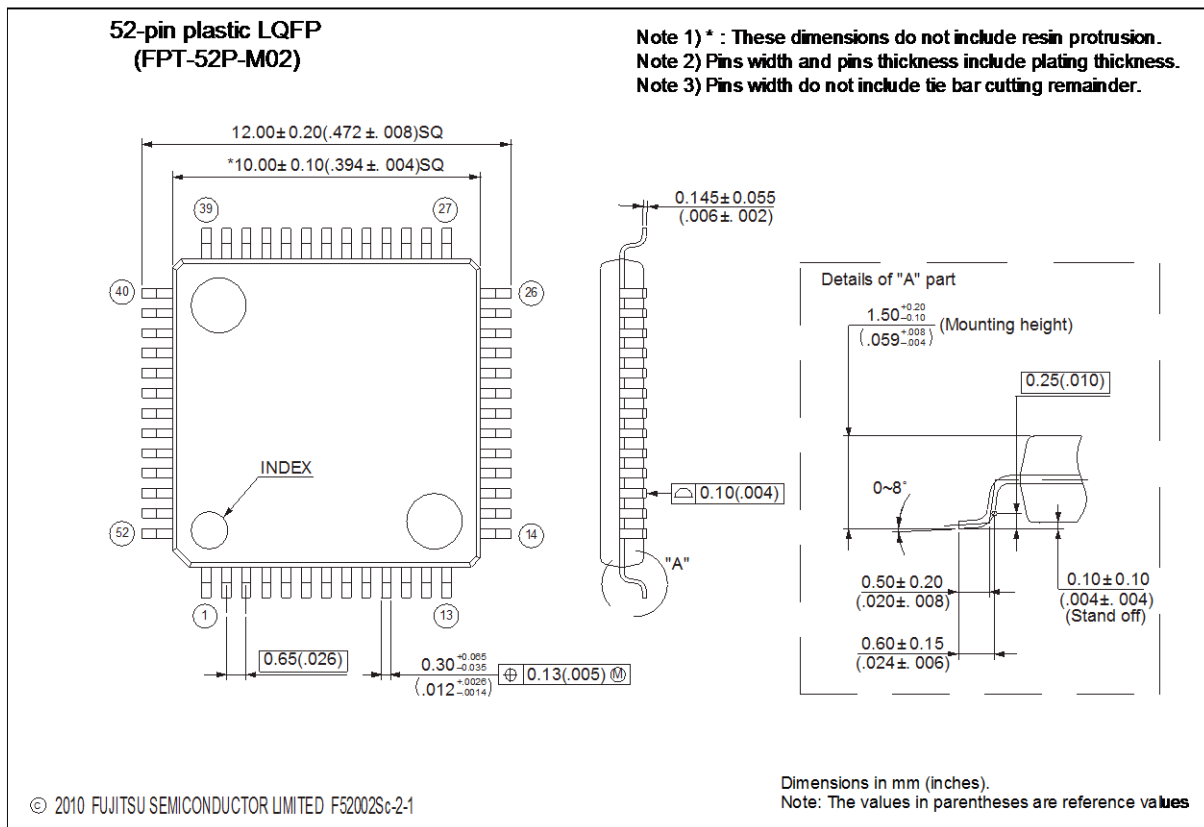
 <p>48-pin plastic LQFP</p> <p>(FPT-48P-M49)</p>	Lead pitch	0.50 mm
	Package width x package length	7.00 mm x 7.00 mm
	Lead shape	Gullwing
	Lead bend direction	Normal bend
	Sealing method	Plastic mold
	Mounting height	1.70 mm MAX
	Weight	0.17 g



<p>48-pin plastic QFN</p>  <p>(LCC-48P-M73)</p>	Lead pitch	0.5 mm
	Package width × package length	7.00 mm × 7.00 mm
	Sealing method	Plastic mold
	Mounting height	0.90 mm MAX
	Weight	—



<p>52-pin plastic LQFP</p>  <p>(FPT-52P-M02)</p>	Lead pitch	0.65 mm
	Package width × package length	10.00 × 10.00 mm
	Lead shape	Gullwing
	Sealing method	Plastic mold
	Mounting height	1.70 mm MAX
	Weight	0.32 g
	Code (Reference)	P-LFQFP52-10×10-0.65



15. 文档修改记录

文档标题: **MB9A310K 系列 32 位 ARM® Cortex®-M3, FM3 微控制器**

文档编号: **002-05624**

修订版	ECN	变更者	提交日期	变更说明
**	-	AKIH	11/15/2012	已转换成 Cypress 格式, 分配文档号为 002-05624。 文档内容或格式无更改。
*A	5602123	AKIH	01/25/2017	更新 Cypress 模板。

销售、解决方案以及法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问 [赛普拉斯所在地](#)。

产品

ARM® Cortex® 微控制器

cypress.com/arm

汽车级产品

cypress.com/automotive

时钟与缓冲器

cypress.com/clocks

接口

cypress.com/interface

物联网

cypress.com/iot

存储器

cypress.com/memory

微控制器

cypress.com/mcu

PSoC

cypress.com/psoc

电源管理 IC

cypress.com/pmic

触摸感应

cypress.com/touch

USB 控制器

cypress.com/usb

无线连接

cypress.com/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[论坛](#) | [WICED IoT 论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/go/support

ARM 和 Cortex 是 ARM Limited 在欧盟和其它国家的注册商标。

©赛普拉斯半导体公司，2012-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性的、非独家且不可转让的如下许可（无再许可）（1）在赛普拉斯软件著作版权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。