



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcn にアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB95560H/570H/580H シリーズは、コンパクトな命令体系に加えて、豊富な周辺機能を内蔵した汎用ワンチップマイクロコントローラです。

特長

■ F²MC-8FX CPU コア

- コントローラに最適な命令体系
 - 乗除算命令
 - 16 ビット演算
 - ビットテストによるブランチ命令
 - ビット操作命令など

■ クロック (メイン発振クロックとサブ発振クロックは MB95F562H/F562K/F563H/F563K/F564H/F564K/F582H/F582K/F583H/F583K/F584H/F584K にのみ搭載)

- 選択可能なメインクロックソース
 - メイン発振クロック (最大 16.25 MHz, 最大マシクロック周波数: 8.125 MHz)
 - 外部クロック (最大 32.5 MHz, 最大マシクロック周波数: 16.25 MHz)
 - メイン CR クロック (4 MHz ±2%)
 - PLL 通倍率が 2 の場合, メイン CR クロックの周波数は 8 MHz になります。
 - PLL 通倍率が 2.5 の場合, メイン CR クロックの周波数は 10 MHz になります。
 - PLL 通倍率が 3 の場合, メイン CR クロックの周波数は 12 MHz になります。
 - PLL 通倍率が 4 の場合, メイン CR クロックの周波数は 16 MHz になります。

□ 選択可能なサブクロックソース

- サブ発振クロック (32.768 kHz)
- 外部クロック (32.768 kHz)
- サブ CR クロック (標準: 100 kHz, 最小: 50 kHz, 最大: 150 kHz)

■ タイマ

- 8/16 ビット複合タイマ × 2 チャンネル (MB95F572H/F572K/F573H/F573K/F574H/F574K/F582H/F582K/F583H/F583K/F584H/F584K には 1 チャンネルのみ搭載)
- タイムベースタイマ × 1 チャンネル
- 時計プリスケラ × 1 チャンネル

■ LIN-UART

- (MB95F562H/F562K/F563H/F563K/F564H/F564K/F582H/F582K/F583H/F583K/F584H/F584K にのみ搭載)
- 全二重ダブルバッファ
- クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能

■ 外部割込み

- エッジ検出による割込み (立上りエッジ, 立下りエッジ, および両エッジから選択可能)
- 各種の低消費電力 (スタンバイ) モードからの解除としても使用可能

■ 8/10 ビット A/D コンバータ

- 8 ビットまたは 10 ビット分解能の選択可能

■ 低消費電力 (スタンバイ) モード

- スタンバイモードは下記の 4 つあります。
 - ストップモード
 - スリープモード
 - 時計モード
 - タイムベースタイマモード
- スタンバイモードで、デバイスをノーマルスタンバイモードまたはディープスタンバイモードに遷移させることができます。

■ I/O ポート

- MB95F562H/F563H/F564H (最大ポート数: 16)
 - 汎用入出力ポート (CMOS I/O) : 15 本
 - 汎用入出力ポート (N-ch オープンドレイン) : 1 本
- MB95F562K/F563K/F564K (最大ポート数: 17)
 - 汎用入出力ポート (CMOS I/O) : 15 本
 - 汎用入出力ポート (N-ch オープンドレイン) : 2 本
- MB95F572H/F573H/F574H (最大ポート数: 4)
 - 汎用入出力ポート (CMOS I/O) : 3 本
 - 汎用入出力ポート (N-ch オープンドレイン) : 1 本
- MB95F572K/F573K/F574K (最大ポート数: 5)
 - 汎用入出力ポート (CMOS I/O) : 3 本
 - 汎用入出力ポート (N-ch オープンドレイン) : 2 本
- MB95F582H/F583H/F584H (最大ポート数: 12)
 - 汎用入出力ポート (CMOS I/O) : 11 本
 - 汎用入出力ポート (N-ch オープンドレイン) : 1 本
- MB95F582K/F583K/F584K (最大ポート数: 13)
 - 汎用入出力ポート (CMOS I/O) : 11 本
 - 汎用入出力ポート (N-ch オープンドレイン) : 2 本

■ オンチップデバッグ

- 1 線式シリアル制御
- シリアル書込みサポート (非同期モード)

■ ハードウェア / ソフトウェアウォッチドッグタイマ

- ハードウェアウォッチドッグタイマ内蔵
- ソフトウェアウォッチドッグタイマ内蔵

■ パワーオンリセット

- 電源が投入されると、パワーオンリセットが発生します。

■ 低電圧検出リセット回路

- (MB95F562K/F563K/F564K/F572K/F573K/F574K/F582K/F583K/F584K にのみ搭載)
- 低電圧検出器内蔵

■ クロックスーパーバイザカウンタ

- クロックスーパーバイザカウンタ機能内蔵

■ デュアルオペレーションフラッシュメモリ

- 消去 / 書込み動作・読込み動作は、異なったバンク (上位バンク / 下位バンク) で同時に行えます。

- フラッシュメモリセキュリティ機能
 - フラッシュメモリ内容を保護

Contents

特長.....	1
1. 品種構成	5
2. パッケージと品種対応	9
3. 品種間の相違点と品種選択時の注意事項	10
4. 端子配列図	11
5. 端子機能説明 (MB95560H シリーズ, 32 ピン)	13
6. 端子機能説明 (MB95560H シリーズ, 20ピン)	15
7. 端子機能説明 (MB95570H シリーズ, 8ピン)	17
8. 端子機能説明 (MB95580H シリーズ, 32 ピン)	18
9. 端子機能説明 (MB95580H シリーズ, 16 ピン)	20
10. 入出力回路形式.....	22
11. 取扱上のご注意.....	23
11.1 設計上の注意事項	23
11.2 パッケージ実装上の注意事項	24
11.3 使用環境に関する注意事項	26
12. デバイス使用上の注意	26
13. 端子接続について	27
14. ブロックダイアグラム (MB95560H シリーズ)	28
15. ブロックダイアグラム (MB95570H シリーズ)	29
16. ブロックダイアグラム (MB95580H シリーズ)	30
17. CPU コア	31
18. I/O マップ (MB95560H シリーズ)	31
19. I/O マップ (MB95570H シリーズ)	36
20. I/O マップ (MB95580H シリーズ)	39
21. 割込み要因のテーブル (MB95560H シリーズ)	42
22. 割込み要因のテーブル (MB95570H シリーズ)	43
23. 割込み要因のテーブル (MB95580H シリーズ)	44
24. 電気的特性	45
24.1 絶対最大定格	45
24.2 推奨動作条件	47
24.3 直流規格	48
24.4 交流規格	51
24.5 A/D コンバータ	65
24.6 フラッシュメモリ書込み / 消去特性	69
25. 特性例	70
26. マスクオプション	76
27. オーダ型格	77
28. パッケージ・外形寸法図	79

29. 本版での主な変更内容	86
改訂履歴	92
セールス , ソリューションおよび法律情報	93

1. 品種構成

・ MB95560H シリーズ

項目	品 種	MB95F562H	MB95F563H	MB95F564H	MB95F562K	MB95F563K	MB95F564K
分類	フラッシュメモリ品						
クロックスーパーバイザカウンタ	メインクロックの発振を監視						
フラッシュメモリ 容量	8 K バイト	12 K バイト	20 K バイト	8 K バイト	12 K バイト	20 K バイト	
RAM 容量	240 バイト	496 バイト	496 バイト	240 バイト	496 バイト	496 バイト	
パワーオンリセット	あり						
低電圧検出リセット	なし				あり		
リセット入力	専用のリセット入力あり				ソフトウェア選択		
CPU 機能	・ 基本命令数 : 136 命令 ・ 命令ビット長 : 8 ビット ・ 命令長 : 1 ～ 3 バイト ・ データビット長 : 1, 8, 16 ビット長 ・ 最小命令実行時間 : 61.5 ns (マシニングクロック周波数 = 16.25 MHz) ・ 割込み処理時間 : 0.6 μs (マシニングクロック周波数 = 16.25 MHz)						
汎用入出力	・ I/O ポート (最大) : 16 本 ・ CMOS I/O : 15 本 ・ N-ch オープンドレイン : 1 本				・ I/O ポート (最大) : 17 本 ・ CMOS I/O : 15 本 ・ N-ch オープンドレイン : 2 本		
タイムベースタイマ	インターバル時間 : 0.256 ms ～ 8.3 s (外部クロック周波数 = 4 MHz)						
ハードウェア / ソフトウェアウォッチドッグタイマ	・ リセット発生周期 メイン発振クロック 10 MHz 時 : 105 ms (最小) ・ サブ CR クロックをハードウェアウォッチドッグタイマのソースクロックとして使用可能						
ワイルドレジスタ	3 バイト分のデータ置換え可能						
LIN-UART	・ 専用リロードタイマによって広範囲の通信速度の選択が可能 ・ 全二重ダブルバッファ搭載 ・ クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能 ・ LIN 機能は LIN マスタまたは LIN スレーブとして使用可能						
8/10 ビット A/D コンバータ	6 チャンネル 8 ビットまたは 10 ビット分解能の選択が可能						
8/16 ビット複合タイマ	2 チャンネル ・ タイマは 8 ビットタイマ × 2 チャンネル, または 16 ビットタイマ × 1 チャンネルとして構成可能 ・ インターバルタイマ機能, PWC 機能, PWM 機能および入力キャプチャ機能内蔵 ・ カウントクロック : 内部クロック (7 種類) および外部クロックから選択可能 ・ 方形波出力可能						
外部割込み	6 チャンネル ・ エッジ検出による割込み (立上りエッジ, 立下りエッジ, または両エッジから選択可能) ・ スタンバイモードからの解除としても使用可能						
オンチップデバッグ	・ 1 線式シリアル制御 ・ シリアル書込みをサポート (非同期モード)						
時計プリスケラ	8 種類のインターバル時間から選択可能						

項目 \ 品種	MB95F562H	MB95F563H	MB95F564H	MB95F562K	MB95F563K	MB95F564K								
フラッシュメモリ	<div><div><div><div>自動プログラミング (Embedded Algorithm) および書込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート</div><div>アルゴリズム完了を示すフラグ</div><div>フラッシュ内容を保護するフラッシュセキュリティ機能</div></div></div><table><tr><td>書込み / 消去回数</td><td>1000</td><td>10000</td><td>100000</td></tr><tr><td>データ保持時間</td><td>20 年間</td><td>10 年間</td><td>5 年間</td></tr></table></div>						書込み / 消去回数	1000	10000	100000	データ保持時間	20 年間	10 年間	5 年間
書込み / 消去回数	1000	10000	100000											
データ保持時間	20 年間	10 年間	5 年間											
スタンバイモード	スリープモード, ストップモード, 時計モード, タイムベースタイマモード													
パッケージ	WNP032 SOJ020 STG020													

・ MB95570H シリーズ

項目 \ 品種	MB95F572H	MB95F573H	MB95F574H	MB95F572K	MB95F573K	MB95F574K
分類	フラッシュメモリ品					
クロックスーパーバイザカウンタ	メインクロックの発振を監視					
フラッシュメモリ 容量	8 K バイト	12 K バイト	20 K バイト	8 K バイト	12 K バイト	20 K バイト
RAM 容量	240 バイト	496 バイト	496 バイト	240 バイト	496 バイト	496 バイト
パワーオンリセット	あり					
低電圧検出リセット	なし			あり		
リセット入力	専用のリセット入力あり			ソフトウェア選択		
CPU 機能	・ 基本命令数 : 136 命令 ・ 命令ビット長 : 8 ビット ・ 命令長 : 1 ～ 3 バイト ・ データビット長 : 1, 8, 16 ビット長 ・ 最小命令実行時間 : 61.5 ns (マシニングクロック周波数 = 16.25 MHz) ・ 割込み処理時間 : 0.6 μs (マシニングクロック周波数 = 16.25 MHz)					
汎用入出力	・ I/O ポート (最大) : 4 本 ・ CMOS I/O : 3 本 ・ N-ch オープンドレイン : 1 本			・ I/O ポート (最大) : 5 本 ・ CMOS I/O : 3 本 ・ N-ch オープンドレイン : 2 本		
タイムベースタイマ	インターバル時間 : 0.256 ms ～ 8.3 s (外部クロック周波数 = 4 MHz)					
ハードウェア / ソフトウェアウォッチドッグタイマ	・ リセット発生周期 メイン発振クロック 10 MHz 時:105 ms (最小) ・ サブ内部 CR クロックをハードウェアウォッチドッグタイマのソースクロックとして使用可能					
ワイルドレジスタ	3 バイト分のデータ置換え可能					
LIN-UART	LIN-UART なし					
8/10 ビット A/D コンバータ	2 チャネル					
	8 ビットまたは 10 ビット分解能の選択が可能					

項目	品 種	MB95F572H	MB95F573H	MB95F574H	MB95F572K	MB95F573K	MB95F574K
8/16 ビット 複合タイマ	1 チャンネル						
		・ タイマは 8 ビットタイマ×2 チャンネル, または 16 ビットタイマ×1 チャンネルとして構成可能 ・ インターバルタイマ機能, PWC 機能, PWM 機能および入力キャプチャ機能内蔵 ・ カウントクロック: 内部クロック (7 種類) および外部クロックから選択可能 ・ 方形波出力可能					
外部割込み	2 チャンネル	・ エッジ検出による割込み (立上りエッジ, 立下りエッジ, または両エッジから選択可能) ・ スタンバイモードからの解除としても使用可能					
オンチップ デバッグ		・ 1 線式シリアル制御 ・ シリアル書込みをサポート (非同期モード)					
時計 プリスケアラ	8 種類	8 種類のインターバル時間から選択可能					
フラッシュ メモリ		・ 自動プログラミング (Embedded Algorithm) および書込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート ・ アルゴリズム完了を示すフラグ ・ フラッシュ内容を保護するフラッシュセキュリティ機能					
		書込み / 消去回数		1000	10000	100000	
		データ保持時間		20 年間	10 年間	5 年間	
スタンバイ モード		スリープモード, ストップモード, 時計モード, タイムベースタイマモード					
パッケージ		PDA008 SOD008					

• MB95580H シリーズ

項目	品 種	MB95F582H	MB95F583H	MB95F584H	MB95F582K	MB95F583K	MB95F584K
分類	フラッシュメモリ品						
クロックスーパーバイザカウンタ	メインクロックの発振を監視						
フラッシュメモリ 容量	8 K バイト	12 K バイト	20 K バイト	8 K バイト	12 K バイト	20 K バイト	
RAM 容量	240 バイト	496 バイト	496 バイト	240 バイト	496 バイト	496 バイト	
パワーオンリセット	あり						
低電圧検出リセット	なし				あり		
リセット入力	専用のリセット入力あり				ソフトウェア選択		
CPU 機能	・ 基本命令数 : 136 命令 ・ 命令ビット長 : 8 ビット ・ 命令長 : 1 ～ 3 バイト ・ データビット長 : 1, 8, 16 ビット長 ・ 最小命令実行時間 : 61.5 ns (マシニングクロック周波数 = 16.25 MHz) ・ 割込み処理時間 : 0.6 μs (マシニングクロック周波数 = 16.25 MHz)						
汎用入出力	・ I/O ポート (最大) : 12 本 ・ CMOS I/O : 11 本 ・ N-ch オープンドレイン : 1 本				・ I/O ポート (最大) : 13 本 ・ CMOS I/O : 11 本 ・ N-ch オープンドレイン : 2 本		
タイムベースタイマ	インターバル時間 : 0.256 ms ～ 8.3 s (外部クロック周波数 = 4 MHz)						

項目	品種	MB95F582H	MB95F583H	MB95F584H	MB95F582K	MB95F583K	MB95F584K								
ハードウェア / ソフトウェア ウォッチドッグ タイマ		・リセット発生周期 メイン発振クロック 10 MHz 時:105 ms (最小) ・サブ内部 CR クロックをハードウェアウォッチドッグタイマのソースクロックとして使用可能													
ワイルド レジスタ		3 バイト分のデータ置換え可能													
LIN-UART		・専用リロードタイマによって広範囲の通信速度の選択が可能 ・全二重ダブルバッファ搭載 ・クロック同期のシリアルデータ転送およびクロック同期非のシリアルデータ転送が可能 ・LIN 機能は LIN マスタまたは LIN スレーブとして使用可能													
8/10 ビット A/D コンバータ		5 チャンネル													
		8 ビットまたは 10 ビット分解能の選択が可能													
8/16 ビット 複合タイマ		1 チャンネル ・タイマは 8 ビットタイマ×2 チャンネル, または 16 ビットタイマ×1 チャンネルとして構成可能 ・インターバルタイマ機能, PWC 機能, PWM 機能および入力キャプチャ機能内蔵 ・カウントクロック: 内部クロック (7 種類) および外部クロックから選択可能 ・方形波出力可能													
外部割込み		6 チャンネル ・エッジ検出による割込み (立上りエッジ, 立下りエッジ, または両エッジから選択可能) ・スタンバイモードからの解除としても使用可能													
オンチップ デバッグ		・1 線式シリアル制御 ・シリアル書込みをサポート (非同期モード)													
時計 プリスケーラ		8 種類のインターバル時間から選択可能													
フラッシュ メモリ		・自動プログラミング (Embedded Algorithm) および書込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート ・アルゴリズム完了を示すフラグ ・フラッシュ内容を保護するフラッシュセキュリティ機能 <table><tr><td>書込み / 消去回数</td><td>1000</td><td>10000</td><td>100000</td></tr><tr><td>データ保持時間</td><td>20 年間</td><td>10 年間</td><td>5 年間</td></tr></table>						書込み / 消去回数	1000	10000	100000	データ保持時間	20 年間	10 年間	5 年間
書込み / 消去回数	1000	10000	100000												
データ保持時間	20 年間	10 年間	5 年間												
スタンバイ モード		スリープモード, ストップモード, 時計モード, タイムベースタイマモード													
パッケージ		WNP032 STB016 SO016													

2. パッケージと品種対応

• MB95560H シリーズ

パッケージ \ 品種	MB95F562H	MB95F562K	MB95F563H	MB95F563K	MB95F564H	MB95F564K
WNP032	○	○	○	○	○	○
SOJ020	○	○	○	○	○	○
STG020	○	○	○	○	○	○
STB016	×	×	×	×	×	×
SO016	×	×	×	×	×	×
PDA008	×	×	×	×	×	×
SOD008	×	×	×	×	×	×

• MB95570H シリーズ

パッケージ \ 品種	MB95F572H	MB95F572K	MB95F573H	MB95F573K	MB95F574H	MB95F574K
WNP032	×	×	×	×	×	×
SOJ020	×	×	×	×	×	×
STG020	×	×	×	×	×	×
STB016	×	×	×	×	×	×
SO016	×	×	×	×	×	×
PDA008	○	○	○	○	○	○
SOD008	○	○	○	○	○	○

• MB95580H シリーズ

パッケージ \ 品種	MB95F582H	MB95F582K	MB95F583H	MB95F583K	MB95F584H	MB95F584K
WNP032	○	○	○	○	○	○
SOJ020	×	×	×	×	×	×
STG020	×	×	×	×	×	×
STB016	○	○	○	○	○	○
SO016	○	○	○	○	○	○
PDA008	×	×	×	×	×	×
SOD008	×	×	×	×	×	×

○ : 使用可能
 × : 使用不可能

3. 品種間の相違点と品種選択時の注意事項

- 消費電流

オンチップデバッグ機能を使用する場合は、フラッシュメモリのプログラム / 消去の消費電流を考慮してください。
消費電流の詳細は、「24. 電気的特性」を参照してください。

- パッケージ

各パッケージの詳細は、「2. パッケージと品種対応」および「28. パッケージ・外形寸法図」を参照してください。

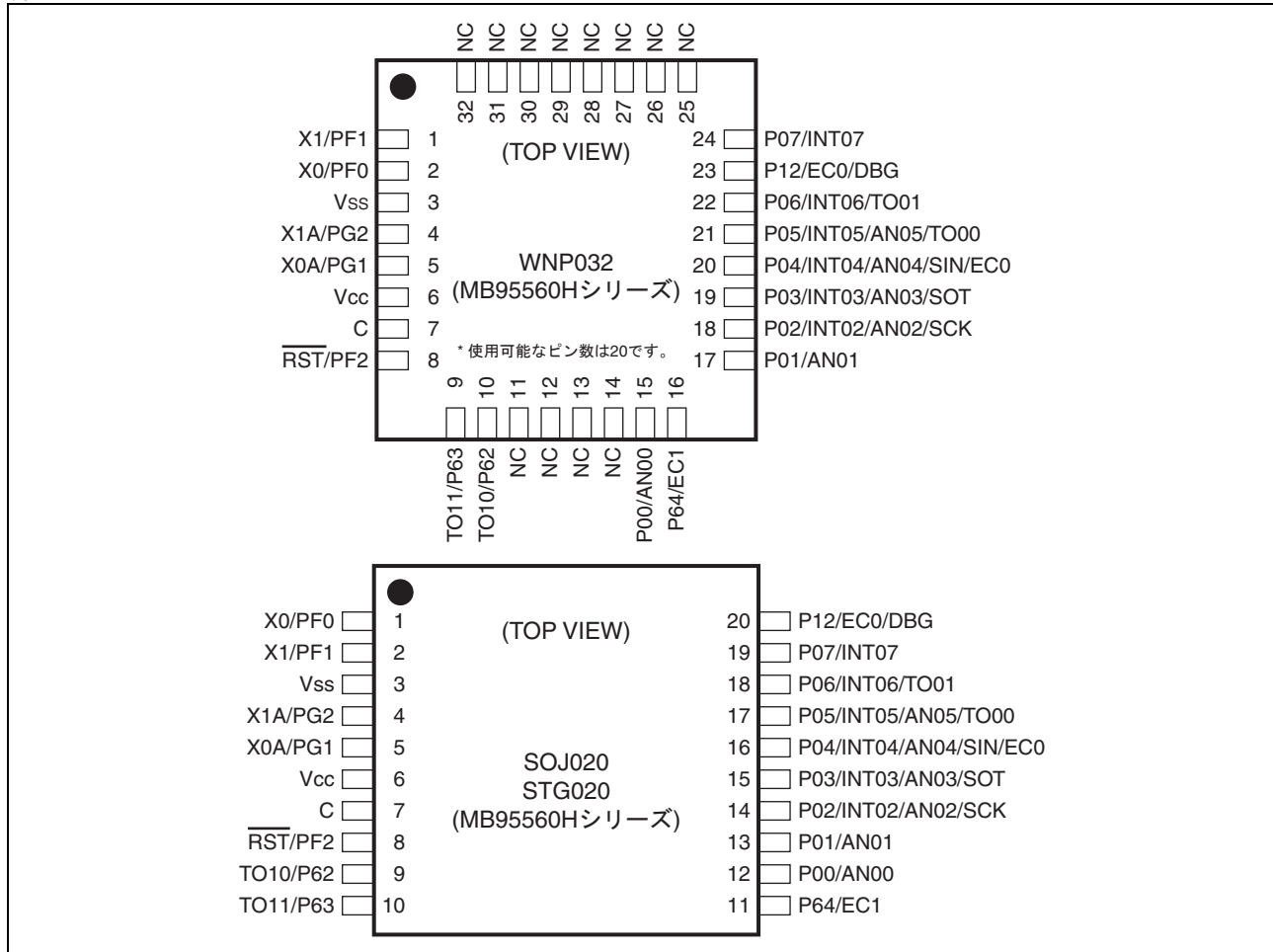
- 動作電圧

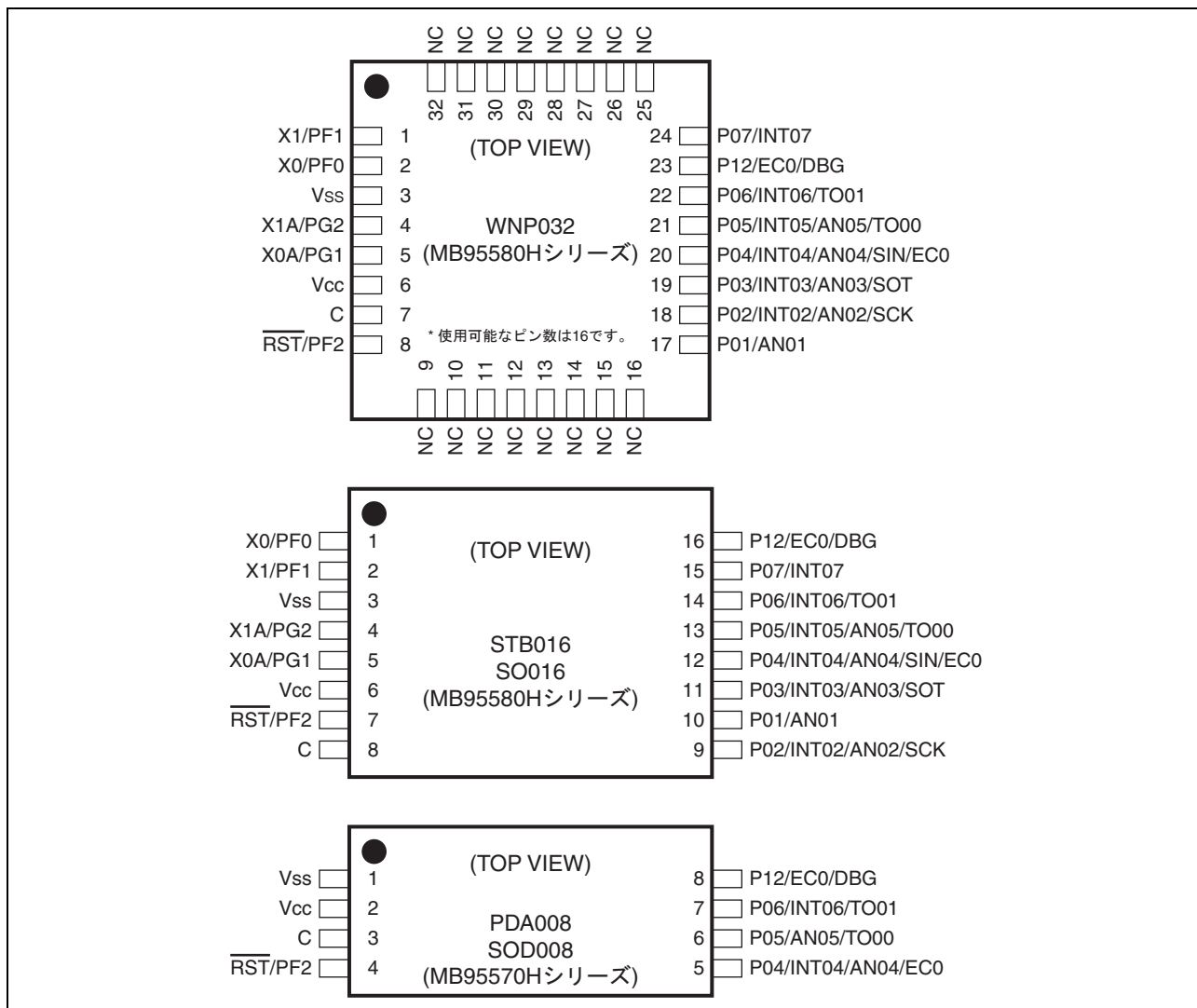
動作電圧は、オンチップデバッグ機能を使用するか使用しないかによって異なります。
動作電圧の詳細は、「24. 電気的特性」を参照してください。

- オンチップデバッグ機能

オンチップデバッグ機能を使用する場合は、 V_{CC} 、 V_{SS} および 1 本のシリアルケーブルを評価ツールに接続してください。接続方法については、「New 8FX MB95560H/570H/580H シリーズハードウェアマニュアル」の「第 21 章 シリアル書込み接続例」を参照してください。

4. 端子配列図





5. 端子機能説明 (MB95560H シリーズ, 32 ピン)

端子番号	端子名	入出力 回路形式 *	機能
1	PF1	B	汎用入出力ポート
	X1		メインクロック用入出力発振端子
2	PF0	B	汎用入出力ポート
	X0		メインクロック用入力発振端子
3	Vss	—	電源 (GND) 端子
4	PG2	C	汎用入出力ポート
	X1A		サブクロック用入出力発振端子
5	PG1	C	汎用入出力ポート
	X0A		サブクロック用入力発振端子
6	Vcc	—	電源端子
7	C	—	バイパスコンデンサ接続端子
8	PF2	A	汎用入出力ポート
	RST		リセット端子 MB95F562H/F563H/F564H では専用のリセット端子です。
9	P63	E	汎用入出力ポート 大電流用端子
	TO11		8/16 ビット複合タイマ ch.1 出力
10	P62	E	汎用入出力ポート 大電流用端子
	TO10		8/16 ビット複合タイマ ch.1 出力
11	NC	—	内部接続端子です。常に開放にしてください。
12			
13			
14			
15	P00	D	汎用入出力ポート 大電流用端子
	AN00		A/D コンバータアナログ入力
16	P64	E	汎用入出力ポート 大電流用端子
	EC1		8/16 ビット複合タイマ ch.1 クロック入力
17	P01	D	汎用入出力ポート 大電流用端子
	AN01		A/D コンバータアナログ入力
18	P02	D	汎用入出力ポート 大電流用端子
	INT02		外部割込み入力
	AN02		A/D コンバータアナログ入力
	SCK		LIN-UART クロック入出力

端子番号	端子名	入出力 回路形式 *	機能
19	P03	D	汎用入出力ポート 大電流用端子
	INT03		外部割込み入力
	AN03		A/D コンバータアナログ入力
	SOT		LIN-UART データ出力
20	P04	D	汎用入出力ポート
	INT04		外部割込み入力
	AN04		A/D コンバータアナログ入力
	SIN		LIN-UART データ入力
	EC0		8/16 ビット 複合タイマ ch.0 クロック入力
21	P05	D	汎用入出力ポート 大電流用端子
	INT05		外部割込み入力
	AN05		A/D コンバータアナログ入力
	TO00		8/16 ビット複合タイマ ch.0 出力
22	P06	E	汎用入出力ポート 大電流用端子
	INT06		外部割込み入力
	TO01		8/16 ビット複合タイマ ch.0 出力
23	P12	F	汎用入出力ポート
	EC0		8/16 ビット複合タイマ ch.0 クロック入力
	DBG		DBG 入力端子
24	P07	E	汎用入出力ポート 大電流用端子
	INT07		外部割込み入力
25	NC	—	内部接続端子です。常に開放にしてください。
26			
27			
28			
29			
30			
31			
32			

*: 入出力回路形式については「10. 入出力回路形式」を参照してください。

6. 端子機能説明 (MB95560H シリーズ, 20 ピン)

端子番号	端子名	入出力 回路形式 *	機能
1	PF0	B	汎用入出力ポート
	X0		メインクロック用入力発振端子
2	PF1	B	汎用入出力ポート
	X1		メインクロック用入出力発振端子
3	V _{SS}	—	電源 (GND) 端子
4	PG2	C	汎用入出力ポート
	X1A		サブクロック用入出力発振端子
5	PG1	C	汎用入出力ポート
	X0A		サブクロック用入力発振端子
6	V _{CC}	—	電源端子
7	C	—	バイパスコンデンサ接続端子
8	PF2	A	汎用入出力ポート
	$\overline{\text{RST}}$		リセット端子 MB95F562H/F563H/F564H では専用のリセット端子です。
9	P62	E	汎用入出力ポート 大電流用端子
	TO10		8/16 ビット複合タイマ ch.1 出力
10	P63	E	汎用入出力ポート 大電流用端子
	TO11		8/16 ビット複合タイマ ch.1 出力
11	P64	E	汎用入出力ポート 大電流用端子
	EC1		8/16 ビット複合タイマ ch.1 クロック入力
12	P00	D	汎用入出力ポート 大電流用端子
	AN00		A/D コンバータアナログ入力
13	P01	D	汎用入出力ポート 大電流用端子
	AN01		A/D コンバータアナログ入力
14	P02	D	汎用入出力ポート 大電流用端子
	INT02		外部割込み入力
	AN02		A/D コンバータアナログ入力
	SCK		LIN-UART クロック入出力
15	P03	D	汎用入出力ポート 大電流用端子
	INT03		外部割込み入力
	AN03		A/D コンバータアナログ入力
	SOT		LIN-UART データ出力

端子番号	端子名	入出力回路形式 *	機能
16	P04	D	汎用入出力ポート
	INT04		外部割込み入力
	AN04		A/D コンバータアナログ入力
	SIN		LIN-UART データ入力
	EC0		8/16 ビット複合タイマ ch.0 クロック入力
17	P05	D	汎用入出力ポート 大電流用端子
	INT05		外部割込み入力
	AN05		A/D コンバータアナログ入力
	TO00		8/16 ビット複合タイマ ch.0 出力
18	P06	E	汎用入出力ポート 大電流用端子
	INT06		外部割込み入力
	TO01		8/16 ビット複合タイマ ch.0 出力
19	P07	E	汎用入出力ポート 大電流用端子
	INT07		外部割込み入力
20	P12	F	汎用入出力ポート
	EC0		8/16 ビット複合タイマ ch.0 クロック入力
	DBG		DBG 入力端子

*: 入出力回路形式については「10. 入出力回路形式」を参照してください。

7. 端子機能説明 (MB95570H シリーズ, 8 ピン)

端子番号	端子名	入出力回路形式 *	機能
1	V _{SS}	—	電源 (GND) 端子
2	V _{CC}	—	電源端子
3	C	—	バイパスコンデンサ接続端子
4	PF2	A	汎用入出力ポート
	RST		リセット端子 MB95F572H/F573H/F574H では専用のリセット端子です。
5	P04	D	汎用入出力ポート
	INT04		外部割込み入力
	AN04		A/D コンバータアナログ入力
	EC0		8/16 ビット複合タイマ ch.0 クロック入力
6	P05	D	汎用入出力ポート 大電流用端子
	AN05		A/D コンバータアナログ入力
	TO00		8/16 ビット複合タイマ ch.0 出力
7	P06	E	汎用入出力ポート 大電流用端子
	INT06		外部割込み入力
	TO01		8/16 ビット複合タイマ ch.0 出力
8	P12	F	汎用入出力ポート
	EC0		8/16 ビット複合タイマ ch.0 クロック入力
	DBG		DBG 入力端子

*: 入出力回路形式については「10. 入出力回路形式」を参照してください。

8. 端子機能説明 (MB95580H シリーズ, 32 ピン)

端子番号	端子名	入出力 回路形式 *	機能
1	PF1	B	汎用入出力ポート
	X1		メインクロック用入出力発振端子
2	PF0	B	汎用入出力ポート
	X0		メインクロック用入力発振端子
3	V _{SS}	—	電源 (GND) 端子
4	PG2	C	汎用入出力ポート
	X1A		サブクロック用入出力発振端子
5	PG1	C	汎用入出力ポート
	X0A		サブクロック用入力発振端子
6	V _{CC}	—	電源端子
7	C	—	バイパスコンデンサ接続端子
8	PF2	A	汎用入出力ポート
	RST		リセット端子 MB95F582H/F583H/F584H では専用のリセット端子です。
9	NC	—	内部接続端子です。常に開放にしてください。
10			
11			
12			
13			
14			
15			
16			
17	P01	D	汎用入出力ポート 大電流用端子
	AN01		A/D コンバータアナログ入力
18	P02	D	汎用入出力ポート 大電流用端子
	INT02		外部割込み入力
	AN02		A/D コンバータアナログ入力
	SCK		LIN-UART クロック入出力
19	P03	D	汎用入出力ポート 大電流用端子
	INT03		外部割込み入力
	AN03		A/D コンバータアナログ入力
	SOT		LIN-UART データ出力

端子番号	端子名	入出力 回路形式 *	機能
20	P04	D	汎用入出力ポート
	INT04		外部割込み入力
	AN04		A/D コンバータアナログ入力
	SIN		LIN-UART データ入力
	EC0		8/16 複合タイマ ch.0 クロック入力
21	P05	D	汎用入出力ポート 大電流用端子
	INT05		外部割込み入力
	AN05		A/D コンバータアナログ入力
	TO00		8/16 ビット複合タイマ ch.0 出力
22	P06	E	汎用入出力ポート 大電流用端子
	INT06		外部割込み入力
	TO01		8/16 ビット複合タイマ ch.0 出力
23	P12	F	汎用入出力ポート
	EC0		8/16 ビット複合タイマ ch.0 クロック入力
	DBG		DBG 入力端子
24	P07	E	汎用入出力ポート 大電流用端子
	INT07		外部割込み入力
25	NC	—	内部接続端子です。常に開放にしてください。
26			
27			
28			
29			
30			
31			
32			

*: 入出力回路形式については「10. 入出力回路形式」を参照してください。

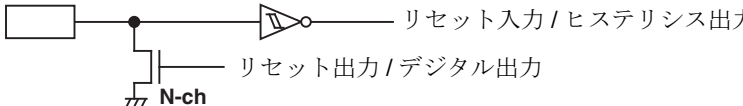
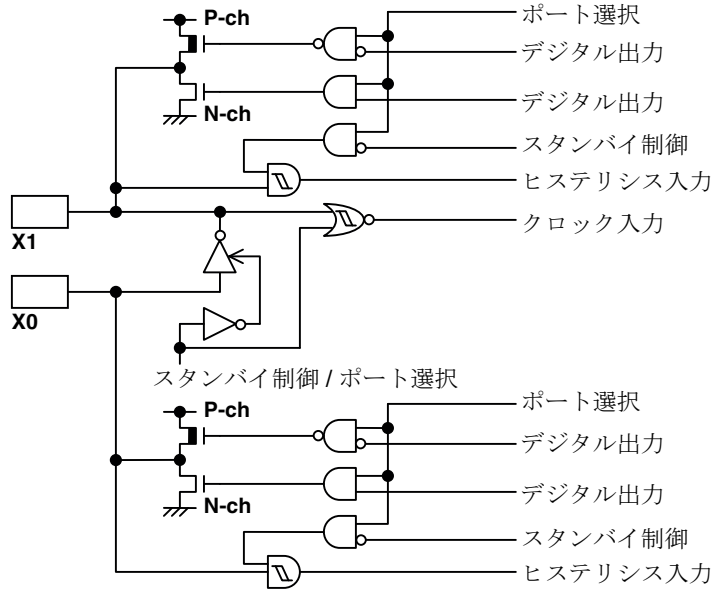
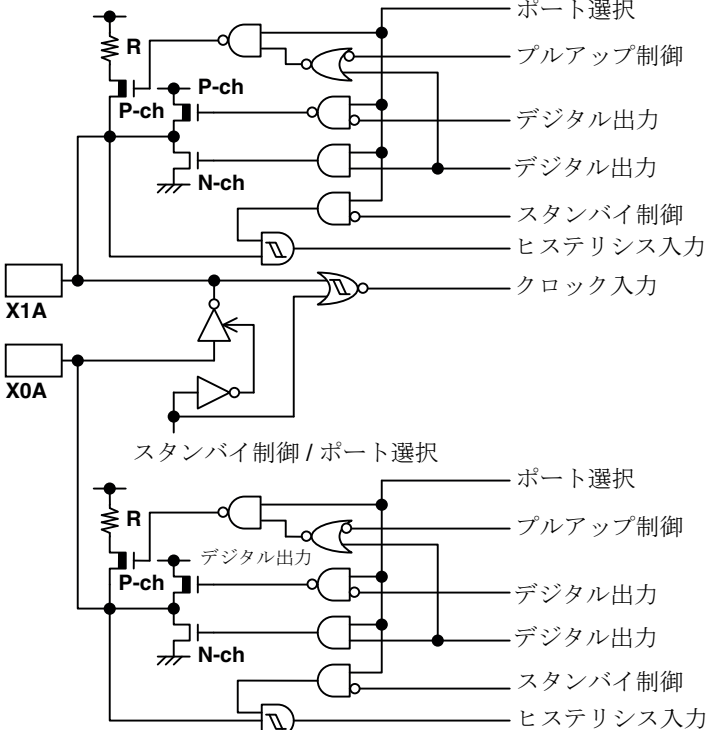
9. 端子機能説明 (MB95580H シリーズ, 16 ピン)

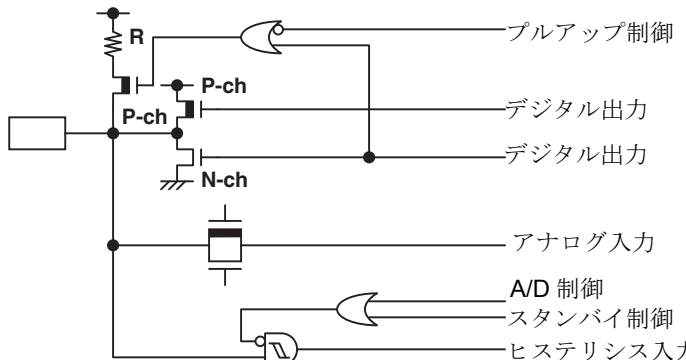
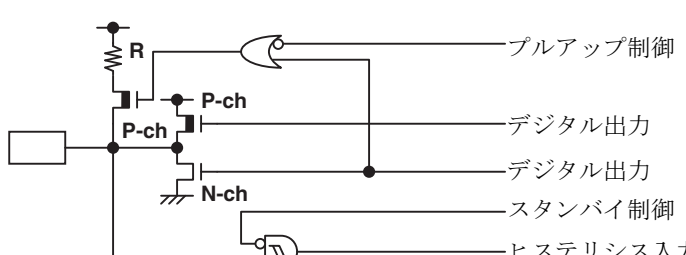
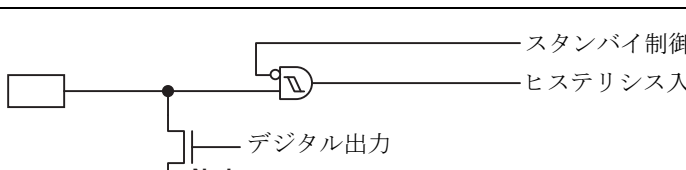
端子番号	端子名	入出力 回路形式 *	機能
1	PF0	B	汎用入出力ポート
	X0		メインクロック用入力発振端子
2	PF1	B	汎用入出力ポート
	X1		メインクロック用入出力発振端子
3	V _{SS}	—	電源 (GND) 端子
4	PG2	C	汎用入出力ポート
	X1A		サブクロック用入出力発振端子
5	PG1	C	汎用入出力ポート
	X0A		サブクロック用入力発振端子
6	V _{CC}	—	電源端子
7	PF2	A	汎用入出力ポート
	RST		リセット端子 MB95F582H/F583H/F584H では専用のリセット端子です。
8	C	—	バイパスコンデンサ接続端子
9	P02	D	汎用入出力ポート 大電流用端子
	INT02		外部割込み入力
	AN02		A/D コンバータアナログ入力
	SCK		LIN-UART クロック入出力
10	P01	D	汎用入出力ポート 大電流用端子
	AN01		A/D コンバータアナログ入力
11	P03	D	汎用入出力ポート 大電流用端子
	INT03		外部割込み入力
	AN03		A/D コンバータアナログ入力
	SOT		LIN-UART データ出力
12	P04	D	汎用入出力ポート
	INT04		外部割込み入力
	AN04		A/D コンバータアナログ入力
	SIN		LIN-UART データ入力
	EC0		8/16 ビット複合タイマ ch.0 クロック入力
13	P05	D	汎用入出力ポート 大電流用端子
	INT05		外部割込み入力
	AN05		A/D コンバータアナログ入力
	TO00		8/16 ビット複合タイマ ch.0 クロック入力

端子番号	端子名	入出力回路形式 *	機能
14	P06	E	汎用入出力ポート 大電流用端子
	INT06		外部割込み入力
	TO01		8/16 ビット複合タイマ ch.0 クロック入力
15	P07	E	汎用入出力ポート 大電流用端子
	INT07		外部割込み入力
16	P12	F	汎用入出力ポート
	EC0		8/16 ビット複合タイマ ch.0 クロック入力
	DBG		DBG 入力端子

*: 入出力回路形式については「10. 入出力回路形式」を参照してください。

10. 入出力回路形式

分類	回路	備考
A	 <p>リセット入力 / ヒステリシス出力 リセット出力 / デジタル出力 N-ch</p>	<ul style="list-style-type: none"> • N-ch オープンドレイン出力 • ヒステリシス入力 • リセット出力
B	 <p>ポート選択 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力 クロック入力 X1 X0 スタンバイ制御 / ポート選択 ポート選択 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> • 発振回路 • 高速側 帰還抵抗: 約 1 MΩ • CMOS 出力 • ヒステリシス入力
C	 <p>ポート選択 プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力 クロック入力 X1A X0A スタンバイ制御 / ポート選択 ポート選択 プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> • 発振回路 • 低速側 帰還抵抗: 約 10 MΩ • CMOS 出力 • ヒステリシス入力 • プルアップ制御あり

分類	回路	備考
D	 <p>プルアップ制御 デジタル出力 デジタル出力 アナログ入力 A/D 制御 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> ・ CMOS 出力 ・ ヒステリシス入力 ・ プルアップ制御あり ・ アナログ入力
E	 <p>プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> ・ CMOS 出力 ・ ヒステリシス入力 ・ プルアップ制御あり
F	 <p>スタンバイ制御 ヒステリシス入力 デジタル出力 N-ch</p>	<ul style="list-style-type: none"> ・ N-ch オープンドレイン出力 ・ ヒステリシス入力

11. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件（回路条件、環境条件など）によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

11.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

・ 絶対最大定格の遵守

半導体デバイスは、過剰なストレス（電圧、電流、温度など）が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

・ 推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

・ 端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

・ ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

・ 安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

・ フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

・ 用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう)、ならびに極めて高い信頼性が要求される用途 (海底中継器、宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

11.2 パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

・ リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法 (ウェーブソルダーリング法) が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ス

トレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

• 表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

• 鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

• 半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

- (1) 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
- (2) 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70 %RH 以下、温度 5°C ~ 30 °C で保管をお願いします。ドライパッケージを開封した場合には湿度 40% ~ 70%RH を推奨いたします。
- (3) 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
- (4) 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

• ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。ベーキングは、当社の推奨する条件で実施してください。

条件: 125 °C/24 時間

• 静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

- (1) 作業環境の相対湿度は 40 % ~ 70 %RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
- (2) 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
- (3) 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
- (4) 治具、計器類は、接地または帯電防止化を実施してください。
- (5) 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

11.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

(1) 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

(2) 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。

このような場合、帯電の防止または放電の防止の処置をお願いします。

(3) 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

(4) 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

(5) 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

12. デバイス使用上の注意

・ ラッチアップの防止

使用に際して、印加する電圧が最大定格電圧を超えないようにしてください。

CMOS IC では、中耐圧端子でも高耐圧端子でもない入出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合、または「24. 電気的特性」の「24.1 絶対最大定格」に示す電源電圧の定格範囲外の電圧が V_{CC} 端子または V_{SS} 端子に印加された場合、ラッチアップ現象が発生することがあります。

ラッチアップ現象が発生すると電源電流が激増し、素子が熱破壊する恐れがあります。

・ 供給電圧の安定化

供給電圧は、安定させてください。

電源電圧が急激に変動すると、たとえ変動が V_{CC} 電源電圧の動作保証範囲内であっても、誤動作を生じることがあります。

電圧安定化の基準として、商用周波数 (50Hz/60 Hz) での V_{CC} リプル変動 (P-P 値) は、標準 V_{CC} 値の 10 % 以下に、また電源の切換え時などの瞬時変化においては、過渡変動率が 0.1 V/ms 以下になるよう電圧変動を抑えてください。

・ 外部クロック使用時の注意

外部クロック使用時において、パワーオンリセット、サブクロックモードまたはストップモード解除時には、発振安定待ち時間が発生します。

13. 端子接続について

• 未使用端子の処理

入力に用いる未使用端子を開放のままにしておくと、誤動作およびラッチアップ現象による永久破壊の原因になることがあります。使用していない入力端子は $2\text{ k}\Omega$ 以上の抵抗を介してプルアップまたはプルダウンの処理をしてください。使用していない入出力端子は、出力状態に設定して開放とするか、入力状態に設定して入力端子と同じ処理をしてください。使用していない出力端子は、開放としてください。

• 電源端子

不要輻射の低減、グラウンドレベルの上昇によるストロブ信号の誤動作の防止、総出力電流規格を遵守などのために、必ず V_{CC} 端子と V_{SS} 端子をデバイスの外部で電源とグラウンドに接続してください。また、電流供給源と V_{CC} 端子および V_{SS} 端子は低インピーダンスで接続してください。

本デバイスに近い位置で、 V_{CC} 端子と V_{SS} 端子の間に $0.1\text{ }\mu\text{F}$ 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

• DBG 端子

DBG 端子を $2\text{ k}\Omega$ 以上の外部のプルアップ抵抗に接続してください。

パワーオン後、リセット出力が解除されるまでの間、DBG 端子が“L”レベルのままにならないようにしてください。

DBG 端子はデバッグモード時に通信端子となります。実際のプルアップ抵抗値は、使用するツールや配線長に依存するため、ツールのドキュメントに従ってプルアップ抵抗を選択してください。

• $\overline{\text{RST}}$ 端子

$\overline{\text{RST}}$ 端子を $2\text{ k}\Omega$ 以上の外部のプルアップ抵抗に接続してください。

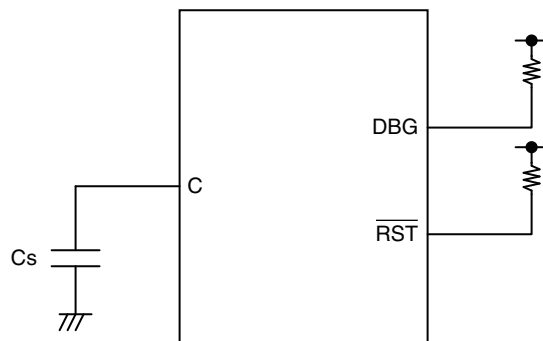
ノイズによってデバイスが意図せずにリセットモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、 $\overline{\text{RST}}$ 端子とプルアップ抵抗間の配線距離、および V_{CC} 端子とプルアップ抵抗間の配線距離を最小限にしてください。

パワーオン後、PF2/ $\overline{\text{RST}}$ 端子はリセット入出力端子として機能します。また、リセット出力は SYSC レジスタの RSTOE ビットによって許可でき、リセット入力機能または汎用入出力機能は SYSC レジスタの RSTEN ビットによって選択できます。

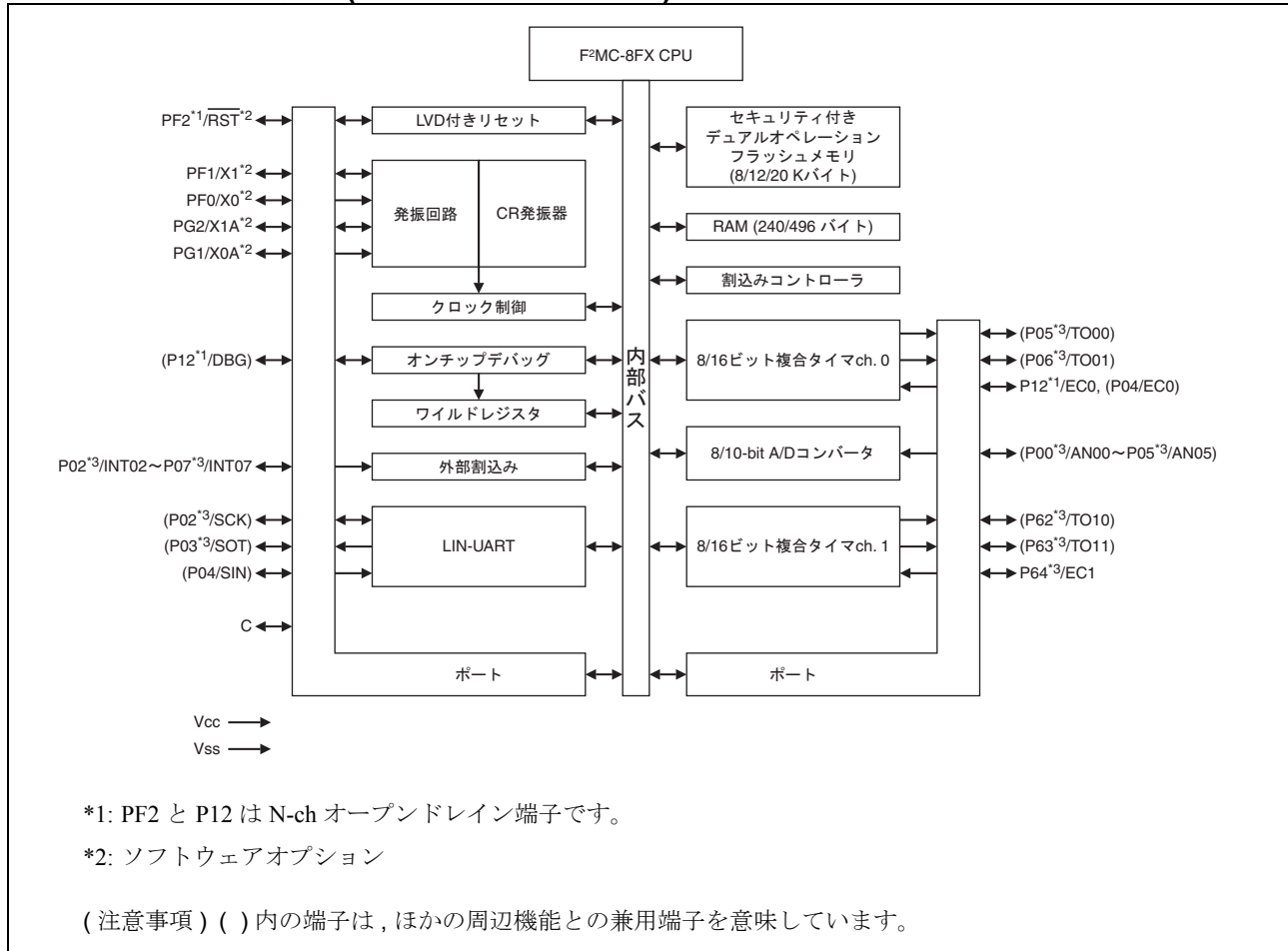
• C 端子

セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子のバイパスコンデンサは C_S 以上の容量値のコンデンサを使用してください。バイパスコンデンサ C_S への接続は下図を参照してください。ノイズによってデバイスが意図せずに不明なモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、C 端子から C_S への距離および C_S から V_{SS} 端子への距離を最小限にしてください。

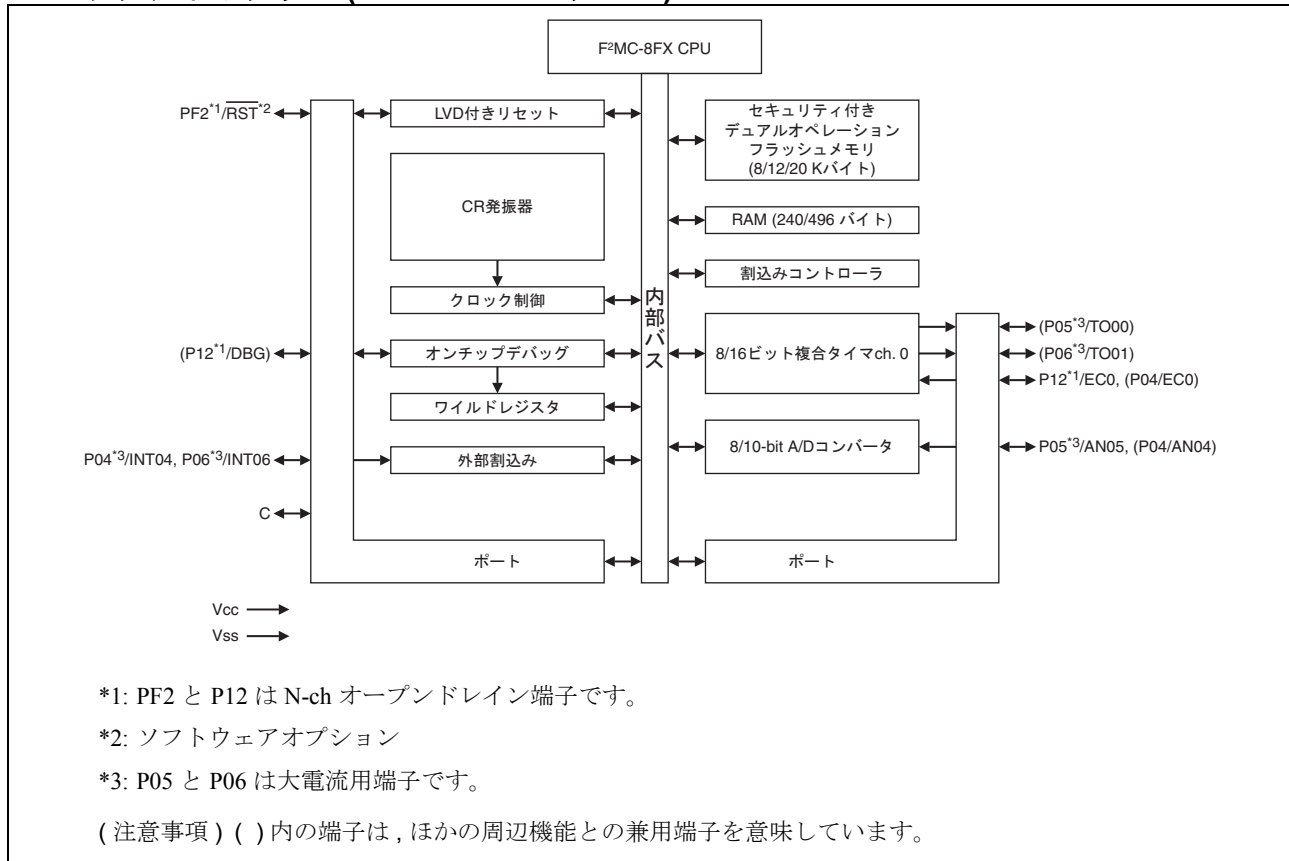
• DBG / $\overline{\text{RST}}$ / C 端子接続図



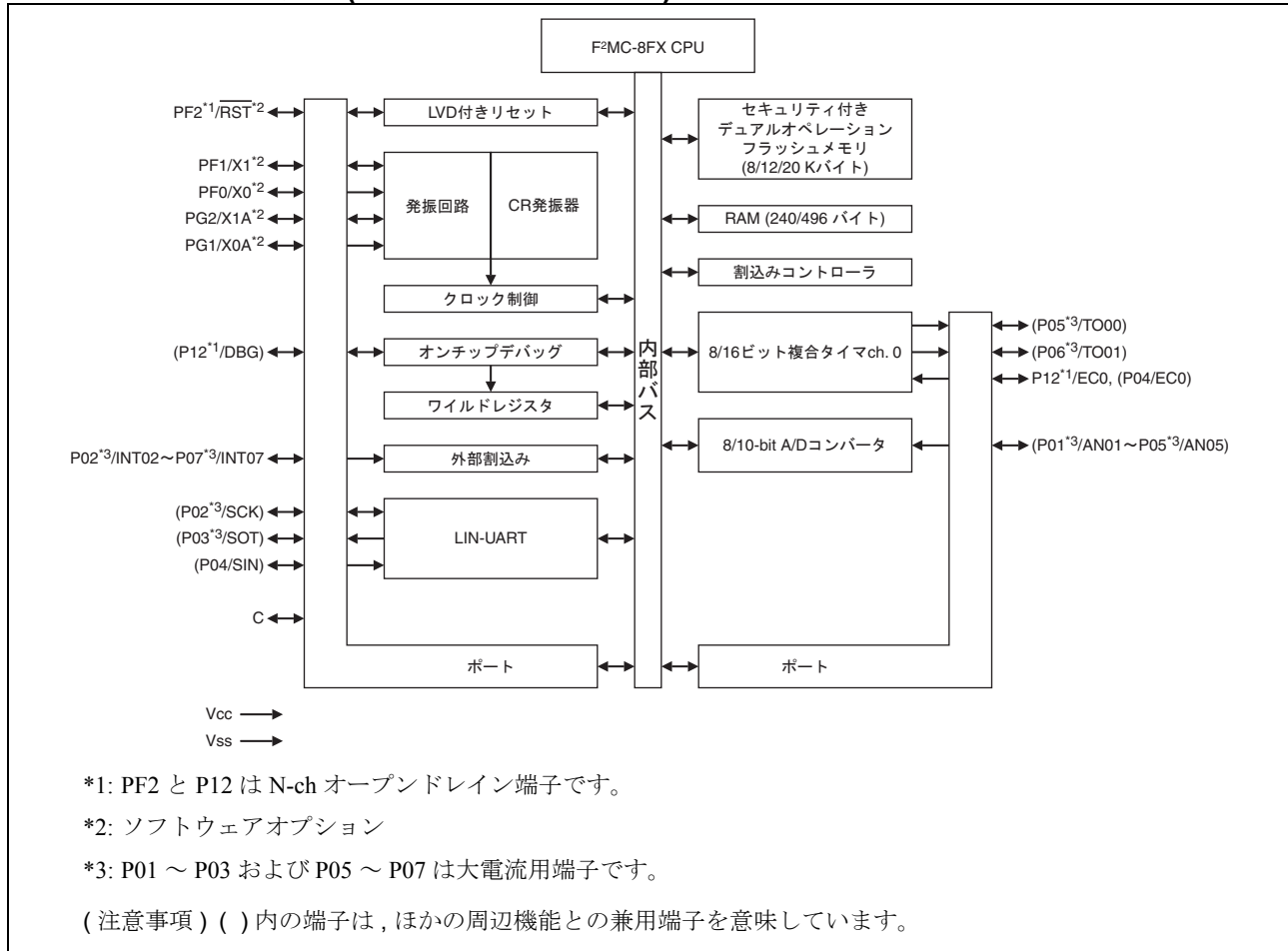
14. ブロックダイアグラム (MB95560H シリーズ)



15. ブロックダイアグラム (MB95570H シリーズ)



16. ブロックダイアグラム (MB95580H シリーズ)



17. CPU コア

・メモリ空間

MB95560H/570H/580H シリーズのメモリ空間は 64 K バイト で、I/O 領域、データ領域とプログラム領域によって構成されます。メモリ空間の中には汎用レジスタ、ベクタテーブルなど特定の用途に使用される領域があります。MB95560H/570H/580H シリーズのメモリマップを以下に示します。

・メモリマップ

MB95F562H/F562K/F572H/ F572K/F582H/F582K		MB95F563H/F563K/F573H/ F573K/F583H/F583K		MB95F564H/F564K/F574H/ F574K/F584H/F584K	
0000 _H	I/O領域	0000 _H	I/O領域	0000 _H	I/O領域
0080 _H	アクセス禁止	0080 _H	アクセス禁止	0080 _H	アクセス禁止
0090 _H	RAM 240 バイト	0090 _H	RAM 496 バイト	0090 _H	RAM 496 バイト
0100 _H	レジスタ	0100 _H	レジスタ	0100 _H	レジスタ
0180 _H	アクセス禁止	0200 _H	アクセス禁止	0200 _H	アクセス禁止
0F80 _H	拡張I/O領域	0280 _H	アクセス禁止	0280 _H	アクセス禁止
1000 _H	アクセス禁止	0F80 _H	拡張I/O領域	0F80 _H	拡張I/O領域
B000 _H	フラッシュメモリ 4 Kバイト	1000 _H	アクセス禁止	1000 _H	アクセス禁止
C000 _H	アクセス禁止	B000 _H	フラッシュメモリ 4 Kバイト	B000 _H	フラッシュメモリ 20 Kバイト
F000 _H	フラッシュメモリ 4 Kバイト	C000 _H	アクセス禁止	FFFF _H	
FFFF _H		E000 _H	フラッシュメモリ 8 Kバイト		
		FFFF _H			

18. I/O マップ (MB95560H シリーズ)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0000 _H	PDR0	ポート 0 データレジスタ	R/W	00000000 _B
0001 _H	DDR0	ポート 0 方向レジスタ	R/W	00000000 _B
0002 _H	PDR1	ポート 1 データレジスタ	R/W	00000000 _B
0003 _H	DDR1	ポート 1 方向レジスタ	R/W	00000000 _B
0004 _H	—	(使用禁止)	—	—
0005 _H	WATR	発振安定待ち時間設定レジスタ	R/W	11111111 _B
0006 _H	PLLC	PLL 制御レジスタ	R/W	000X0000 _B
0007 _H	SYCC	システムクロック制御レジスタ	R/W	XXX11011 _B
0008 _H	STBC	スタンバイ制御レジスタ	R/W	00000000 _B
0009 _H	RSRR	リセット要因レジスタ	R/W	000XXXXX _B
000A _H	TBTC	タイムベースタイマ制御レジスタ	R/W	00000000 _B
000B _H	WPCR	時計プリスケアラ制御レジスタ	R/W	00000000 _B
000C _H	WDTC	ウォッチドッグタイマ制御レジスタ	R/W	00XX0000 _B
000D _H	SYCC2	システムクロック制御レジスタ 2	R/W	XXXX0011 _B
000E _H	STBC2	スタンバイ制御レジスタ 2	R/W	00000000 _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
000F _H ～ 0015 _H	—	(使用禁止)	—	—
0016 _H	PDR6	ポート 6 データレジスタ	R/W	00000000 _B
0017 _H	DDR6	ポート 6 方向レジスタ	R/W	00000000 _B
0018 _H ～ 0027 _H	—	(使用禁止)	—	—
0028 _H	PDRF	ポート F データレジスタ	R/W	00000000 _B
0029 _H	DDRF	ポート F 方向レジスタ	R/W	00000000 _B
002A _H	PDRG	ポート G データレジスタ	R/W	00000000 _B
002B _H	DDRG	ポート G 方向レジスタ	R/W	00000000 _B
002C _H	PUL0	ポート 0 プルアップレジスタ	R/W	00000000 _B
002D _H ～ 0032 _H	—	(使用禁止)	—	—
0033 _H	PUL6	ポート 6 プルアップレジスタ	R/W	00000000 _B
0034 _H	—	(使用禁止)	—	—
0035 _H	PULG	ポート G プルアップレジスタ	R/W	00000000 _B
0036 _H	T01CR1	8/16 ビット複合タイマ 01 ステータス制御レジスタ 1	R/W	00000000 _B
0037 _H	T00CR1	8/16 ビット複合タイマ 00 ステータス制御レジスタ 1	R/W	00000000 _B
0038 _H	T11CR1	8/16 ビット複合タイマ 11 ステータス制御レジスタ 1	R/W	00000000 _B
0039 _H	T10CR1	8/16 ビット複合タイマ 10 ステータス制御レジスタ 1	R/W	00000000 _B
003A _H ～ 0048 _H	—	(使用禁止)	—	—
0049 _H	EIC10	外部割込み回路制御レジスタ ch.2/ch.3	R/W	00000000 _B
004A _H	EIC20	外部割込み回路制御レジスタ ch.4/ch.5	R/W	00000000 _B
004B _H	EIC30	外部割込み回路制御レジスタ ch.6/ch.7	R/W	00000000 _B
004C _H , 004D _H	—	(使用禁止)	—	—
004E _H	LVDR	LVDR リセット電圧選択 ID レジスタ	R/W	00000000 _B
004F _H	—	(使用禁止)	—	—
0050 _H	SCR	LIN-UART シリアル制御レジスタ	R/W	00000000 _B
0051 _H	SMR	LIN-UART シリアルモードレジスタ	R/W	00000000 _B
0052 _H	SSR	LIN-UART シリアルステータスレジスタ	R/W	00001000 _B
0053 _H	RDR	LIN-UART 受信データレジスタ	R/W	00000000 _B
	TDR	LIN-UART 送信データレジスタ	R/W	00000000 _B
0054 _H	ESCR	LIN-UART 拡張ステータス制御レジスタ	R/W	00000100 _B
0055 _H	ECCR	LIN-UART 拡張通信制御レジスタ	R/W	000000XX _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0056 _H ～ 006B _H	—	(使用禁止)	—	—
006C _H	ADC1	8/10 ビット A/D コンバータ制御レジスタ 1	R/W	00000000 _B
006D _H	ADC2	8/10 ビット A/D コンバータ制御レジスタ 2	R/W	00000000 _B
006E _H	ADDH	8/10 ビット A/D コンバータデータレジスタ (上位)	R/W	00000000 _B
006F _H	ADDL	8/10 ビット A/D コンバータデータレジスタ (下位)	R/W	00000000 _B
0070 _H	—	(使用禁止)	—	—
0071 _H	FSR2	フラッシュメモリステータスレジスタ 2	R/W	00000000 _B
0072 _H	FSR	フラッシュメモリステータスレジスタ	R/W	000X0000 _B
0073 _H	SWRE0	フラッシュメモリセクタ書込み制御レジスタ 0	R/W	00000000 _B
0074 _H	FSR3	フラッシュメモリステータスレジスタ 3	R	000XXXXX _B
0075 _H	FSR4	フラッシュメモリステータスレジスタ 4	R/W	00000000 _B
0076 _H	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	00000000 _B
0077 _H	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	00000000 _B
0078 _H	—	レジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) のミラー	—	—
0079 _H	ILR0	割込みレベル設定レジスタ 0	R/W	11111111 _B
007A _H	ILR1	割込みレベル設定レジスタ 1	R/W	11111111 _B
007B _H	ILR2	割込みレベル設定レジスタ 2	R/W	11111111 _B
007C _H	ILR3	割込みレベル設定レジスタ 3	R/W	11111111 _B
007D _H	ILR4	割込みレベル設定レジスタ 4	R/W	11111111 _B
007E _H	ILR5	割込みレベル設定レジスタ 5	R/W	11111111 _B
007F _H	—	(使用禁止)	—	—

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0F80 _H	WRARH0	ワイルドレジスタアドレス設定レジスタ (上位) ch.0	R/W	00000000 _B
0F81 _H	WRARL0	ワイルドレジスタアドレス設定レジスタ (下位) ch.0	R/W	00000000 _B
0F82 _H	WRDR0	ワイルドレジスタデータ設定レジスタ ch.0	R/W	00000000 _B
0F83 _H	WRARH1	ワイルドレジスタアドレス設定レジスタ (上位) ch.1	R/W	00000000 _B
0F84 _H	WRARL1	ワイルドレジスタアドレス設定レジスタ (下位) ch.1	R/W	00000000 _B
0F85 _H	WRDR1	ワイルドレジスタデータ設定レジスタ ch.1	R/W	00000000 _B
0F86 _H	WRARH2	ワイルドレジスタアドレス設定レジスタ (上位) ch.2	R/W	00000000 _B
0F87 _H	WRARL2	ワイルドレジスタアドレス設定レジスタ (下位) ch.2	R/W	00000000 _B
0F88 _H	WRDR2	ワイルドレジスタデータ設定レジスタ ch.2	R/W	00000000 _B
0F89 _H ～ 0F91 _H	—	(使用禁止)	—	—
0F92 _H	T01CR0	8/16 ビット複合タイマ 01 ステータス制御レジスタ 0	R/W	00000000 _B
0F93 _H	T00CR0	8/16 ビット複合タイマ 00 ステータス制御レジスタ 0	R/W	00000000 _B
0F94 _H	T01DR	8/16 ビット複合タイマ 01 データレジスタ	R/W	00000000 _B
0F95 _H	T00DR	8/16 ビット複合タイマ 00 データレジスタ	R/W	00000000 _B
0F96 _H	TMCR0	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ	R/W	00000000 _B
0F97 _H	T11CR0	8/16 ビット複合タイマ 11 ステータス制御レジスタ 0	R/W	00000000 _B
0F98 _H	T10CR0	8/16 ビット複合タイマ 10 ステータス制御レジスタ 0	R/W	00000000 _B
0F99 _H	T11DR	8/16 ビット複合タイマ 11 データレジスタ	R/W	00000000 _B
0F9A _H	T10DR	8/16 ビット複合タイマ 10 データレジスタ	R/W	00000000 _B
0F9B _H	TMCR1	8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ	R/W	00000000 _B
0F9C _H ～ 0FBB _H	—	(使用禁止)	—	—
0FBC _H	BGR1	LIN-UART ボーレートジェネレータレジスタ 1	R/W	00000000 _B
0FBD _H	BGR0	LIN-UART ボーレートジェネレータレジスタ 0	R/W	00000000 _B
0FBE _H ～ 0FC2 _H	—	(使用禁止)	—	—
0FC3 _H	AIDRL	A/D 入力禁止レジスタ (下位)	R/W	00000000 _B
0FC4 _H ～ 0FE3 _H	—	(使用禁止)	—	—
0FE4 _H	CRTH	メイン CR クロックトリミングレジスタ (上位)	R/W	000XXXXX _B
0FE5 _H	CRTL	メイン CR クロックトリミングレジスタ (下位)	R/W	000XXXXX _B
0FE6 _H	—	(使用禁止)	—	—
0FE7 _H	CRTDA	メイン CR クロック温度依存調節レジスタ	R/W	000XXXXX _B
0FE8 _H	SYSC	システム構成レジスタ	R/W	11000011 _B
0FE9 _H	CMCR	クロック監視制御レジスタ	R/W	00000000 _B
0FEA _H	CMDR	クロック監視データレジスタ	R	00000000 _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0FEB _H	WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	R	XXXXXXXX _B
0FEC _H	WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	R	XXXXXXXX _B
0FED _H ～ 0FFF _H	—	(使用禁止)	—	—

・R/W についての説明

R/W : リード/ライト可能

R : リードオンリ

・初期値についての説明

0 : この ビットの初期値は“0”です。

1 : この ビットの初期値は“1”です。

X : この ビットの初期値は不定です。

(注意事項) 「(使用禁止)」のアドレスへの書込みは行わないでください。「(使用禁止)」のアドレスを読み出した場合は不定が読み出されます。

19. I/O マップ (MB95570H シリーズ)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0000 _H	PDR0	ポート 0 データレジスタ	R/W	00000000 _B
0001 _H	DDR0	ポート 0 方向レジスタ	R/W	00000000 _B
0002 _H	PDR1	ポート 1 データレジスタ	R/W	00000000 _B
0003 _H	DDR1	ポート 1 方向レジスタ	R/W	00000000 _B
0004 _H	—	(使用禁止)	—	—
0005 _H	WATR	発振安定待ち時間設定レジスタ	R/W	11111111 _B
0006 _H	PLLC	PLL 制御レジスタ	R/W	000X0000 _B
0007 _H	SYCC	システムクロック制御レジスタ	R/W	XXX11011 _B
0008 _H	STBC	スタンバイ制御レジスタ	R/W	00000000 _B
0009 _H	RSRR	リセット要因レジスタ	R/W	000XXXXX _B
000A _H	TBTC	タイムベースタイマ制御レジスタ	R/W	00000000 _B
000B _H	WPCR	時計プリスケラ制御レジスタ	R/W	00000000 _B
000C _H	WDTC	ウォッチドッグタイマ制御レジスタ	R/W	00XX0000 _B
000D _H	SYCC2	システムクロック制御レジスタ 2	R/W	XXXX0011 _B
000E _H	STBC2	スタンバイ制御レジスタ 2	R/W	00000000 _B
000F _H ～ 0027 _H	—	(使用禁止)	—	—
0028 _H	PDRF	ポート F データレジスタ	R/W	00000000 _B
0029 _H	DDRF	ポート F 方向レジスタ	R/W	00000000 _B
002A _H , 002B _H	—	(使用禁止)	—	—
002C _H	PUL0	ポート 0 プルアップレジスタ	R/W	00000000 _B
002D _H ～ 0035 _H	—	(使用禁止)	—	—
0036 _H	T01CR1	8/16 ビット複合タイマ 01 ステータス制御レジスタ 1	R/W	00000000 _B
0037 _H	T00CR1	8/16 ビット複合タイマ 00 ステータス制御レジスタ 1	R/W	00000000 _B
0038 _H ～ 0049 _H	—	(使用禁止)	—	—
004A _H	EIC20	外部割込み回路制御レジスタ ch.4	R/W	00000000 _B
004B _H	EIC30	外部割込み回路制御レジスタ ch.6	R/W	00000000 _B
004C _H , 004D _H	—	(使用禁止)	—	—
004E _H	LVDR	LVDR リセット電圧選択 ID レジスタ	R/W	00000000 _B
004F _H ～ 006B _H	—	(使用禁止)	—	—
006C _H	ADC1	8/10 ビット A/D コンバータ制御レジスタ 1	R/W	00000000 _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
006D _H	ADC2	8/10 ビット A/D コンバータ制御レジスタ 2	R/W	00000000 _B
006E _H	ADDH	8/10 ビット A/D コンバータデータレジスタ (上位)	R/W	00000000 _B
006F _H	ADDL	8/10 ビット A/D コンバータデータレジスタ (下位)	R/W	00000000 _B
0070 _H	—	(使用禁止)	—	—
0071 _H	FSR2	フラッシュメモリステータスレジスタ 2	R/W	00000000 _B
0072 _H	FSR	フラッシュメモリステータスレジスタ	R/W	000X0000 _B
0073 _H	SWRE0	フラッシュメモリセクタ書込み制御レジスタ 0	R/W	00000000 _B
0074 _H	FSR3	フラッシュメモリステータスレジスタ 3	R	000XXXXX _B
0075 _H	FSR4	フラッシュメモリステータスレジスタ 4	R/W	00000000 _B
0076 _H	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	00000000 _B
0077 _H	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	00000000 _B
0078 _H	—	レジスタバンクポイント (RP) とダイレクトバンクポイント (DP) のミラー	—	—
0079 _H	ILR0	割込みレベル設定レジスタ 0	R/W	11111111 _B
007A _H	ILR1	割込みレベル設定レジスタ 1	R/W	11111111 _B
007B _H , 007C _H	—	(使用禁止)	—	—
007D _H	ILR4	割込みレベル設定レジスタ 4	R/W	11111111 _B
007E _H	ILR5	割込みレベル設定レジスタ 5	R/W	11111111 _B
007F _H	—	(使用禁止)	—	—
0F80 _H	WRARH0	ワイルドレジスタアドレス設定レジスタ (上位) ch.0	R/W	00000000 _B
0F81 _H	WRARL0	ワイルドレジスタアドレス設定レジスタ (下位) ch.0	R/W	00000000 _B
0F82 _H	WRDR0	ワイルドレジスタデータ設定レジスタ ch.0	R/W	00000000 _B
0F83 _H	WRARH1	ワイルドレジスタアドレス設定レジスタ (上位) ch.1	R/W	00000000 _B
0F84 _H	WRARL1	ワイルドレジスタアドレス設定レジスタ (下位) ch.1	R/W	00000000 _B
0F85 _H	WRDR1	ワイルドレジスタデータ設定レジスタ ch.1	R/W	00000000 _B
0F86 _H	WRARH2	ワイルドレジスタアドレス設定レジスタ (上位) ch.2	R/W	00000000 _B
0F87 _H	WRARL2	ワイルドレジスタアドレス設定レジスタ (下位) ch.2	R/W	00000000 _B
0F88 _H	WRDR2	ワイルドレジスタデータ設定レジスタ ch.2	R/W	00000000 _B
0F89 _H ～ 0F91 _H	—	(使用禁止)	—	—
0F92 _H	T01CR0	8/16 ビット複合タイマ 01 ステータス制御レジスタ 0	R/W	00000000 _B
0F93 _H	T00CR0	8/16 ビット複合タイマ 00 ステータス制御レジスタ 0	R/W	00000000 _B
0F94 _H	T01DR	8/16 ビット複合タイマ 01 データレジスタ	R/W	00000000 _B
0F95 _H	T00DR	8/16 ビット複合タイマ 00 データレジスタ	R/W	00000000 _B
0F96 _H	TMCRO	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ	R/W	00000000 _B
0F97 _H ～ 0FC2 _H	—	(使用禁止)	—	—
0FC3 _H	AIDRL	A/D 入力禁止レジスタ (下位)	R/W	00000000 _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0FC4 _H ～ 0FE3 _H	—	(使用禁止)	—	—
0FE4 _H	CRT _H	メイン CR クロックトリミングレジスタ (上位)	R/W	000XXXXX _B
0FE5 _H	CRT _L	メイン CR クロックトリミングレジスタ (下位)	R/W	000XXXXX _B
0FE6 _H	—	(使用禁止)	—	—
0FE7 _H	CRT _{DA}	メイン CR クロック温度依存調節レジスタ	R/W	000XXXXX _B
0FE8 _H	SYSC	システム構成レジスタ	R/W	11000011 _B
0FE9 _H	CMCR	クロック監視制御レジスタ	R/W	00000000 _B
0FEA _H	CMDR	クロック監視データレジスタ	R	00000000 _B
0FEB _H	WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	R	XXXXXXXX _B
0FEC _H	WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	R	XXXXXXXX _B
0FED _H ～ 0FFF _H	—	(使用禁止)	—	—

・R/W についての説明

R/W : リード / ライト可能
 R : リードオンリ

・初期値についての説明

0 : この ビットの初期値は “0” です。
 1 : この ビットの初期値は “1” です。
 X : この ビットの初期値は不定です。

(注意事項) 「(使用禁止)」のアドレスへの書込みは行わないでください。「(使用禁止)」のアドレスを読み出した場合は不定が読み出されます。

20. I/O マップ (MB95580H シリーズ)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0000 _H	PDR0	ポート 0 データレジスタ	R/W	00000000 _B
0001 _H	DDR0	ポート 0 方向レジスタ	R/W	00000000 _B
0002 _H	PDR1	ポート 1 データレジスタ	R/W	00000000 _B
0003 _H	DDR1	ポート 1 方向レジスタ	R/W	00000000 _B
0004 _H	—	(使用禁止)	—	—
0005 _H	WATR	発振安定待ち時間設定レジスタ	R/W	11111111 _B
0006 _H	PLLC	PLL 制御レジスタ	R/W	000X0000 _B
0007 _H	SYCC	システムクロック制御レジスタ	R/W	XXX11011 _B
0008 _H	STBC	スタンバイ制御レジスタ	R/W	00000000 _B
0009 _H	RSRR	リセット要因レジスタ	R/W	000XXXXX _B
000A _H	TBTC	タイムベースタイマ制御レジスタ	R/W	00000000 _B
000B _H	WPCR	時計プリスケアラ制御レジスタ	R/W	00000000 _B
000C _H	WDTC	ウォッチドッグタイマ制御レジスタ	R/W	00XX0000 _B
000D _H	SYCC2	システムクロック制御レジスタ 2	R/W	XXXXX0011 _B
000E _H	STBC2	スタンバイ制御レジスタ 2	R/W	00000000 _B
000F _H ～ 0027 _H	—	(使用禁止)	—	—
0028 _H	PDRF	ポート F データレジスタ	R/W	00000000 _B
0029 _H	DDRF	ポート F 方向レジスタ	R/W	00000000 _B
002A _H	PDRG	ポート G データレジスタ	R/W	00000000 _B
002B _H	DDRG	ポート G 方向レジスタ	R/W	00000000 _B
002C _H	PUL0	ポート 0 プルアップレジスタ	R/W	00000000 _B
002D _H ～ 0034 _H	—	(使用禁止)	—	—
0035 _H	PULG	ポート G プルアップレジスタ	R/W	00000000 _B
0036 _H	T01CR1	8/16 ビット複合タイマ 01 ステータス制御レジスタ 1	R/W	00000000 _B
0037 _H	T00CR1	8/16 ビット複合タイマ 00 ステータス制御レジスタ 1	R/W	00000000 _B
0038 _H ～ 0048 _H	—	(使用禁止)	—	—
0049 _H	EIC10	外部割込み回路制御レジスタ ch. 2/ch. 3	R/W	00000000 _B
004A _H	EIC20	外部割込み回路制御レジスタ ch. 4/ch. 5	R/W	00000000 _B
004B _H	EIC30	外部割込み回路制御レジスタ ch. 6/ch. 7	R/W	00000000 _B
004C _H , 004D _H	—	(使用禁止)	—	—
004E _H	LVDR	LVDR リセット電圧選択 ID レジスタ	R/W	00000000 _B
004F _H	—	(使用禁止)	—	—
0050 _H	SCR	LIN-UART シリアル制御レジスタ	R/W	00000000 _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0051 _H	SMR	LIN-UART シリアルモードレジスタ	R/W	00000000 _B
0052 _H	SSR	LIN-UART シリアルステータスレジスタ	R/W	00001000 _B
0053 _H	RDR	LIN-UART 受信データレジスタ	R/W	00000000 _B
	TDR	LIN-UART 送信データレジスタ	R/W	00000000 _B
0054 _H	ESCR	LIN-UART 拡張ステータス制御レジスタ	R/W	00000100 _B
0055 _H	ECCR	LIN-UART 拡張通信制御レジスタ	R/W	000000XX _B
0056 _H ～ 006B _H	—	(使用禁止)	—	—
006C _H	ADC1	8/10 ビット A/D コンバータ制御レジスタ 1	R/W	00000000 _B
006D _H	ADC2	8/10 ビット A/D コンバータ制御レジスタ 2	R/W	00000000 _B
006E _H	ADDH	8/10 ビット A/D コンバータデータレジスタ (上位)	R/W	00000000 _B
006F _H	ADDL	8/10 ビット A/D コンバータデータレジスタ (下位)	R/W	00000000 _B
0070 _H	—	(使用禁止)	—	—
0071 _H	FSR2	フラッシュメモリステータスレジスタ 2	R/W	00000000 _B
0072 _H	FSR	フラッシュメモリステータスレジスタ	R/W	000X0000 _B
0073 _H	SWRE0	フラッシュメモリセクタ書込み制御レジスタ 0	R/W	00000000 _B
0074 _H	FSR3	フラッシュメモリステータスレジスタ 3	R	000XXXXX _B
0075 _H	FSR4	フラッシュメモリステータスレジスタ 4	R/W	00000000 _B
0076 _H	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	00000000 _B
0077 _H	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	00000000 _B
0078 _H	—	レジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) のミラー	—	—
0079 _H	ILR0	割込みレベル設定レジスタ 0	R/W	11111111 _B
007A _H	ILR1	割込みレベル設定レジスタ 1	R/W	11111111 _B
007B _H	ILR2	割込みレベル設定レジスタ 2	R/W	11111111 _B
007C _H	—	(使用禁止)	—	—
007D _H	ILR4	割込みレベル設定レジスタ 4	R/W	11111111 _B
007E _H	ILR5	割込みレベル設定レジスタ 5	R/W	11111111 _B
007F _H	—	(使用禁止)	—	—
0F80 _H	WRARH0	ワイルドレジスタアドレス設定レジスタ (上位) ch. 0	R/W	00000000 _B
0F81 _H	WRARL0	ワイルドレジスタアドレス設定レジスタ (下位) ch. 0	R/W	00000000 _B
0F82 _H	WRDR0	ワイルドレジスタデータ設定レジスタ ch. 0	R/W	00000000 _B
0F83 _H	WRARH1	ワイルドレジスタアドレス設定レジスタ (上位) ch. 1	R/W	00000000 _B
0F84 _H	WRARL1	ワイルドレジスタアドレス設定レジスタ (下位) ch. 1	R/W	00000000 _B
0F85 _H	WRDR1	ワイルドレジスタデータ設定レジスタ ch. 1	R/W	00000000 _B
0F86 _H	WRARH2	ワイルドレジスタアドレス設定レジスタ (上位) ch. 2	R/W	00000000 _B
0F87 _H	WRARL2	ワイルドレジスタアドレス設定レジスタ (下位) ch. 2	R/W	00000000 _B
0F88 _H	WRDR2	ワイルドレジスタデータ設定レジスタ ch. 2	R/W	00000000 _B

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0F89 _H ～ 0F91 _H	—	(使用禁止)	—	—
0F92 _H	T01CR0	8/16 ビット複合タイマ 01 ステータス制御レジスタ 0	R/W	00000000 _B
0F93 _H	T00CR0	8/16 ビット複合タイマ 00 ステータス制御レジスタ 0	R/W	00000000 _B
0F94 _H	T01DR	8/16 ビット複合タイマ 01 データレジスタ	R/W	00000000 _B
0F95 _H	T00DR	8/16 ビット複合タイマ 00 データレジスタ	R/W	00000000 _B
0F96 _H	TMCRO	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ	R/W	00000000 _B
0F97 _H ～ 0FBB _H	—	(使用禁止)	—	—
0FBC _H	BGR1	LIN-UART ボーレートジェネレータレジスタ 1	R/W	00000000 _B
0FBD _H	BGR0	LIN-UART ボーレートジェネレータレジスタ 0	R/W	00000000 _B
0FBE _H ～ 0FC2 _H	—	(使用禁止)	—	—
0FC3 _H	AIDRL	A/D 入力禁止レジスタ (下位)	R/W	00000000 _B
0FC4 _H ～ 0FE3 _H	—	(使用禁止)	—	—
0FE4 _H	CRTH	メイン CR クロックトリミングレジスタ (上位)	R/W	000XXXXX _B
0FE5 _H	CRTL	メイン CR クロックトリミングレジスタ (下位)	R/W	000XXXXX _B
0FE6 _H	—	(使用禁止)	—	—
0FE7 _H	CRTDA	メイン CR クロック温度依存調節レジスタ	R/W	000XXXXX _B
0FE8 _H	SYSC	システム構成レジスタ	R/W	11000011 _B
0FE9 _H	CMCR	クロック監視制御レジスタ	R/W	00000000 _B
0FEA _H	CMDR	クロック監視データレジスタ	R	00000000 _B
0FEB _H	WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	R	XXXXXXXX _B
0FEC _H	WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	R	XXXXXXXX _B
0FED _H ～ 0FFF _H	—	(使用禁止)	—	—

・R/W についての説明

R/W : リード/ライト可能

R : リードオンリ

・初期値についての説明

0 : このビットの初期値は“0”です。

1 : このビットの初期値は“1”です。

X : このビットの初期値は不定です。

(注意事項) 「(使用禁止)」のアドレスへの書込みは行わないでください。「(使用禁止)」のアドレスを読み出した場合は不定が読み出されます。

21. 割り込み要因のテーブル (MB95560H シリーズ)

割り込み要因	割り込み 要求番号	ベクタテーブルの アドレス		割り込みレベル 設定レジスタの ビット名	同一レベル 割り込み要因の 優先順位 (同時発生時)
		上位	下位		
外部割り込み ch.4	IRQ00	FFFA _H	FFFB _H	L00 [1:0]	<div>高い</div> <div>↑</div> <div>↓</div> <div>低い</div>
外部割り込み ch.5	IRQ01	FFF8 _H	FFF9 _H	L01 [1:0]	
外部割り込み ch.2	IRQ02	FFF6 _H	FFF7 _H	L02 [1:0]	
外部割り込み ch.6					
外部割り込み ch.3	IRQ03	FFF4 _H	FFF5 _H	L03 [1:0]	
外部割り込み ch.7					
—	IRQ04	FFF2 _H	FFF3 _H	L04 [1:0]	
8/16 ビット複合タイマ ch.0 (下位)	IRQ05	FFF0 _H	FFF1 _H	L05 [1:0]	
8/16 ビット複合タイマ ch.0 (上位)	IRQ06	FFEE _H	FFEF _H	L06 [1:0]	
LIN-UART (受信)	IRQ07	FFEC _H	FFED _H	L07 [1:0]	
LIN-UART (送信)	IRQ08	FFEA _H	FFEB _H	L08 [1:0]	
—	IRQ09	FFE8 _H	FFE9 _H	L09 [1:0]	
—	IRQ10	FFE6 _H	FFE7 _H	L10 [1:0]	
—	IRQ11	FFE4 _H	FFE5 _H	L11 [1:0]	
—	IRQ12	FFE2 _H	FFE3 _H	L12 [1:0]	
—	IRQ13	FFE0 _H	FFE1 _H	L13 [1:0]	
8/16 ビット複合タイマ ch.1 (上位)	IRQ14	FFDE _H	FFDF _H	L14 [1:0]	
—	IRQ15	FFDC _H	FFDD _H	L15 [1:0]	
—	IRQ16	FFDA _H	FFDB _H	L16 [1:0]	
—	IRQ17	FFD8 _H	FFD9 _H	L17 [1:0]	
8/10 ビット A/D コンバータ	IRQ18	FFD6 _H	FFD7 _H	L18 [1:0]	
タイムベースタイマ	IRQ19	FFD4 _H	FFD5 _H	L19 [1:0]	
時計プリスケーラ	IRQ20	FFD2 _H	FFD3 _H	L20 [1:0]	
—	IRQ21	FFD0 _H	FFD1 _H	L21 [1:0]	
8/16 ビット複合タイマ ch.1 (下位)	IRQ22	FFCE _H	FFCF _H	L22 [1:0]	
フラッシュメモリ	IRQ23	FFCC _H	FFCD _H	L23 [1:0]	

22. 割込み要因のテーブル (MB95570H シリーズ)

割込み要因	割込み 要求番号	ベクタテーブルの アドレス		割込みレベル 設定レジスタの ビット名	同一レベル 割込み要因の 優先順位 (同時発生時)
		上位	下位		
外部割込み ch.4	IRQ00	FFFA _H	FFFB _H	L00 [1:0]	<div>高い</div> <div>↑</div> <div>↓</div> <div>低い</div>
—	IRQ01	FFF8 _H	FFF9 _H	L01 [1:0]	
—	IRQ02	FFF6 _H	FFF7 _H	L02 [1:0]	
外部割込み ch.6					
—	IRQ03	FFF4 _H	FFF5 _H	L03 [1:0]	
—					
—	IRQ04	FFF2 _H	FFF3 _H	L04 [1:0]	
8/16 ビット複合タイマ ch.0 (下位)	IRQ05	FFF0 _H	FFF1 _H	L05 [1:0]	
8/16 ビット複合タイマ ch.0 (上位)	IRQ06	FFEE _H	FFEF _H	L06 [1:0]	
—	IRQ07	FFEC _H	FFED _H	L07 [1:0]	
—	IRQ08	FFEA _H	FFEB _H	L08 [1:0]	
—	IRQ09	FFE8 _H	FFE9 _H	L09 [1:0]	
—	IRQ10	FFE6 _H	FFE7 _H	L10 [1:0]	
—	IRQ11	FFE4 _H	FFE5 _H	L11 [1:0]	
—	IRQ12	FFE2 _H	FFE3 _H	L12 [1:0]	
—	IRQ13	FFE0 _H	FFE1 _H	L13 [1:0]	
—	IRQ14	FFDE _H	FFDF _H	L14 [1:0]	
—	IRQ15	FFDC _H	FFDD _H	L15 [1:0]	
—	IRQ16	FFDA _H	FFDB _H	L16 [1:0]	
—	IRQ17	FFD8 _H	FFD9 _H	L17 [1:0]	
8/10 ビット A/D コンバータ	IRQ18	FFD6 _H	FFD7 _H	L18 [1:0]	
タイムベースタイマ	IRQ19	FFD4 _H	FFD5 _H	L19 [1:0]	
時計プリスケーラ	IRQ20	FFD2 _H	FFD3 _H	L20 [1:0]	
—	IRQ21	FFD0 _H	FFD1 _H	L21 [1:0]	
—	IRQ22	FFCE _H	FFCF _H	L22 [1:0]	
フラッシュメモリ	IRQ23	FFCC _H	FFCD _H	L23 [1:0]	

23. 割り込み要因のテーブル (MB95580H シリーズ)

割り込み要因	割り込み 要求番号	ベクタテーブルの アドレス		割り込みレベル 設定レジスタの ビット名	同一レベル 割り込み要因の 優先順位 (同時発生時)
		上位	下位		
外部割り込み ch. 4	IRQ00	FFFA _H	FFFB _H	L00 [1:0]	<div>高い</div> <div>↑</div> <div>↓</div> <div>低い</div>
外部割り込み ch. 5	IRQ01	FFF8 _H	FFF9 _H	L01 [1:0]	
外部割り込み ch. 2	IRQ02	FFF6 _H	FFF7 _H	L02 [1:0]	
外部割り込み ch. 6					
外部割り込み ch. 3	IRQ03	FFF4 _H	FFF5 _H	L03 [1:0]	
外部割り込み ch. 7					
—	IRQ04	FFF2 _H	FFF3 _H	L04 [1:0]	
8/16 ビット複合タイマ ch.0 (下位)	IRQ05	FFF0 _H	FFF1 _H	L05 [1:0]	
8/16 ビット複合タイマ ch.0 (上位)	IRQ06	FFEE _H	FFEF _H	L06 [1:0]	
LIN-UART (受信)	IRQ07	FFEC _H	FFED _H	L07 [1:0]	
LIN-UART (送信)	IRQ08	FFEA _H	FFEB _H	L08 [1:0]	
—	IRQ09	FFE8 _H	FFE9 _H	L09 [1:0]	
—	IRQ10	FFE6 _H	FFE7 _H	L10 [1:0]	
—	IRQ11	FFE4 _H	FFE5 _H	L11 [1:0]	
—	IRQ12	FFE2 _H	FFE3 _H	L12 [1:0]	
—	IRQ13	FFE0 _H	FFE1 _H	L13 [1:0]	
—	IRQ14	FFDE _H	FFDF _H	L14 [1:0]	
—	IRQ15	FFDC _H	FFDD _H	L15 [1:0]	
—	IRQ16	FFDA _H	FFDB _H	L16 [1:0]	
—	IRQ17	FFD8 _H	FFD9 _H	L17 [1:0]	
8/10 ビット A/D コンバータ	IRQ18	FFD6 _H	FFD7 _H	L18 [1:0]	
タイムベースタイマ	IRQ19	FFD4 _H	FFD5 _H	L19 [1:0]	
時計プリスケーラ	IRQ20	FFD2 _H	FFD3 _H	L20 [1:0]	
—	IRQ21	FFD0 _H	FFD1 _H	L21 [1:0]	
—	IRQ22	FFCE _H	FFCF _H	L22 [1:0]	
フラッシュメモリ	IRQ23	FFCC _H	FFCD _H	L23 [1:0]	

24. 電気的特性

24.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧 *1	V_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6$	V	
入力電圧 *1	V_I	$V_{SS} - 0.3$	$V_{SS} + 6$	V	*2
出力電圧 *1	V_O	$V_{SS} - 0.3$	$V_{SS} + 6$	V	*2
最大クランプ電流	I_{CLAMP}	- 2	+ 2	mA	特定端子に適用します。*3
最大総クランプ電流	$\Sigma I_{CLAMP} $	—	20	mA	特定端子に適用します。*3
“L” レベル最大出力電流	I_{OL}	—	15	mA	
“L” レベル平均電流	I_{OLAV1}	—	4	mA	P00 ~ P03, P05 ~ P07, P62 ~ P64 以外 *4 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
	I_{OLAV2}		12		P00 ~ P03, P05 ~ P07, P62 ~ P64 *4 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
“L” レベル最大総出力電流	ΣI_{OL}	—	100	mA	
“L” レベル平均総出力電流	ΣI_{OLAV}	—	50	mA	平均総出力電流 = 動作電流 × 動作率 (端子の総数)
“H” レベル最大出力電流	I_{OH}	—	- 15	mA	
“H” レベル平均電流	I_{OHAV1}	—	- 4	mA	P00 ~ P03, P05 ~ P07, P62 ~ P64 以外 *4 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
	I_{OHAV2}		- 8		P00 ~ P03, P05 ~ P07, P62 ~ P64 *4 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
“H” レベル最大総出力電流	ΣI_{OH}	—	- 100	mA	
“H” レベル平均総出力電流	ΣI_{OHAV}	—	- 50	mA	平均総出力電流 = 動作電流 × 動作率 (端子の総数)
消費電力	P_d	—	320	mW	
動作温度	T_A	- 40	+ 85	°C	
保存温度	T_{stg}	- 55	+ 150	°C	

*1: $V_{SS} = 0.0$ V を基準にしています。

*2: V_I , V_O は $V_{CC} + 0.3$ V を超えてはいけません。 V_I は定格電圧を超えてはいけません。ただし、外部の部品を使用して入力への電流または入力からの電流の最大値を制限する場合は、 V_I 定格に代わって I_{CLAMP} 定格が適用されます。

*3: 特定端子：P00 ~ P07, P62 ~ P64, PF0, PF1, PG1, PG2

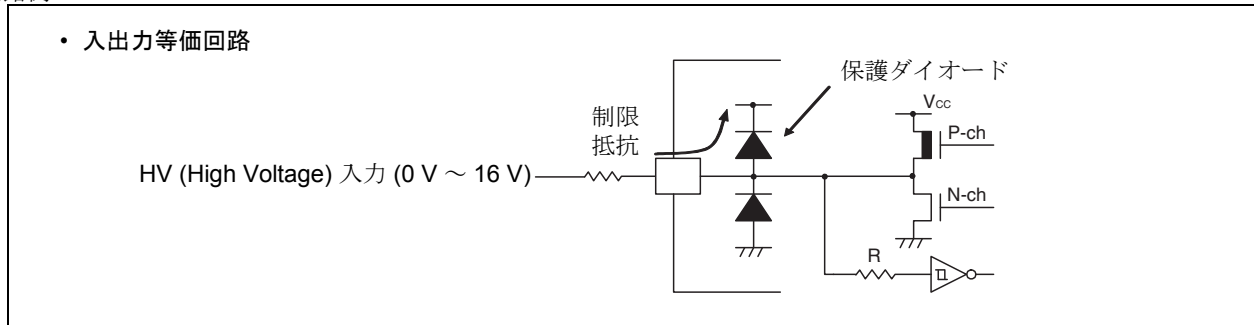
(P00 および P62 ~ P64 は、MB95F562H/F562K/F563H/F563K/F564H/F564K にのみ搭載されます。

P01 ~ P03, P07, PF0, PF1, PG1 と PG2 は MB95F562H/F562K/F563H/F563K/F564H/F564K/F582H/

F582K/F583H/F583K/F584H/F584K にのみ搭載されます。)

- ・推奨動作条件下で使用してください。
- ・直流電圧 (電流) で使用してください。
- ・HV (High Voltage) 信号は、 V_{CC} 電圧を超える入力信号です。HV (High Voltage) 信号とマイクロコントローラの間には、必ず制限抵抗を接続し HV (High Voltage) 信号を印加してください。
- ・HV (High Voltage) 入力時にマイクロコントローラ端子に入力される電流が、瞬時・定常を問わず規格値以下になるように制限抵抗の値を設定してください。
- ・低消費電力モードなど、マイクロコントローラの駆動電流が少ない動作状態では、HV (High Voltage) 入力電位が保護ダイオードを通して V_{CC} 端子の電位を上昇させ、ほかの機器へ影響を及ぼします。
- ・マイクロコントローラ電源が OFF 時 (0 V に固定していない場合) に HV (High Voltage) 入力がある場合は、端子から電源が供給されているため、不完全な動作を行う可能性があります。

- 電源投入時に HV (High Voltage) 入力がある場合は、端子から電源が供給されているため、パワーオンリセットが動作しない電源電圧になる可能性があります。
- HV (High Voltage) 入力端子は、開放状態にならないようにしてください。
- 推奨回路例



*4: P62 と P63 は MB95F562H/F562K/F563H/F563K/F564H/F564K にのみ搭載されます。

＜注意事項＞ 絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

24.2 推奨動作条件

 $(V_{SS} = 0.0 \text{ V})$

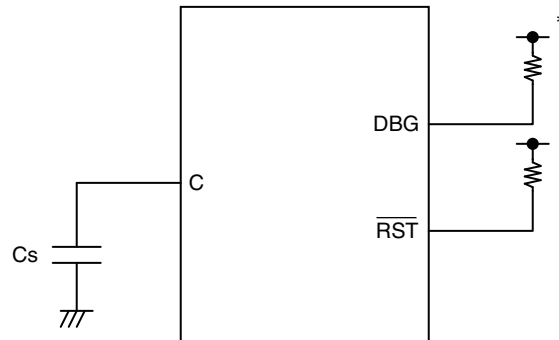
項目	記号	規格値		単位	備考	
		最小	最大			
電源電圧	V _{CC}	2.4*1*2	5.5*1	V	通常動作の場合	オンチップデバッグモード 以外
		2.3	5.5		ストップモードでの状態保持	
		2.9	5.5		通常動作の場合	オンチップデバッグモード
		2.3	5.5		ストップモードでの状態保持	
バイパス コンデンサ	C _S	0.022	1	μF	*3	
動作温度	T _A	－ 40	＋ 85	℃	オンチップデバッグモード以外	
		＋ 5	＋ 35		オンチップデバッグモード	

*1: 動作周波数, マシクロックおよびアナログ保証範囲により異なります。

*2: 低電圧検出リセットあり品使用時は, 電源電圧の最小値は 2.88 V となります。

*3: セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子のバイパスコンデンサは C_S 以上の容量値のコンデンサを使用してください。バイパスコンデンサ C_S への接続は下図を参照してください。ノイズによってデバイスが意図せずに不明なモードに入るのを防止するため, プリント基板のレイアウトを設計するときは, C 端子から C_S への距離および C_S から V_{SS} 端子への距離を最小限にしてください。

• DBG / $\overline{\text{RST}}$ / C 端子配列図



*: DBG 端子は 2 k Ω 以上の外部のプルアップ抵抗に接続してください。パワーオン後, リセット出力が解除されるまでの間, DBG 端子が “L” レベルのままにならないようにしてください。DBG 端子はデバッグモード時に通信端子となります。実際のプルアップ抵抗値は, 使用するツールや配線長に依存するため, ツールのドキュメントに従ってプルアップ抵抗を選択してください。

<注意事項> 推奨動作条件は, 半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は, すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目, 使用条件, 論理の組合せでの使用は, 保証していません。記載されている以外の条件での使用をお考えの場合は, 必ず事前に営業部門までご相談ください。

24.3 直流規格

 $(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル 入力電圧	V_{IHI}	P04	—	$0.7 V_{CC}$	—	$V_{CC} + 0.3$	V	ヒステリシス入力
	V_{IHS}	P00* ³ ~ P03* ⁴ , P05 ~ P07* ⁴ , P12, P62 ~ P64* ³ , PF0* ⁴ , PF1* ⁴ , PG1* ⁴ , PG2* ⁴	—	$0.8 V_{CC}$	—	$V_{CC} + 0.3$	V	ヒステリシス入力
	V_{IHM}	PF2	—	$0.8 V_{CC}$	—	$V_{CC} + 0.3$	V	ヒステリシス入力
“L” レベル 入力電圧	V_{IL}	P04	—	$V_{SS} - 0.3$	—	$0.3 V_{CC}$	V	ヒステリシス入力
	V_{ILS}	P00* ³ ~ P03* ⁴ , P05 ~ P07* ⁴ , P12, P62 ~ P64* ³ , PF0* ⁴ , PF1* ⁴ , PG1* ⁴ , PG2* ⁴	—	$V_{SS} - 0.3$	—	$0.2 V_{CC}$	V	ヒステリシス入力
	V_{ILM}	PF2	—	$V_{SS} - 0.3$	—	$0.2 V_{CC}$	V	ヒステリシス入力
オープン ドレイン 出力印加 電圧	V_D	P12, PF2	—	$V_{SS} - 0.3$	—	$V_{SS} + 5.5$	V	
“H” レベル 出力電圧	V_{OH1}	P04, PF0* ⁴ , PF1* ⁴ , PG1* ⁴ , PG2* ⁴	$I_{OH} = -4 \text{ mA}$	$V_{CC} - 0.5$	—	—	V	
	V_{OH2}	P00* ³ ~ P03* ⁴ , P05 ~ P07* ⁴ , P62 ~ P64* ³	$I_{OH} = -8 \text{ mA}$	$V_{CC} - 0.5$	—	—	V	
“L” レベル 出力電圧	V_{OL1}	P04, P12, PF0 ~ PF2* ⁴ , PG1* ⁴ , PG2* ⁴	$I_{OL} = 4 \text{ mA}$	—	—	0.4	V	
	V_{OL2}	P00* ³ ~ P03* ⁴ , P05 ~ P07* ⁴ , P62 ~ P64* ³	$I_{OL} = 12 \text{ mA}$	—	—	0.4	V	
入力リーク 電流 (Hi-Z 出力リーク 電流)	I_{LI}	すべての入力 端子	$0.0 \text{ V} < V_I < V_{CC}$	-5	—	+5	μA	内部プルアップ抵抗が 禁止されている場合
内部 プルアップ 抵抗	R_{PULL}	P00* ³ ~ P07* ⁴ , P62 ~ P64* ³ , PG1* ⁴ , PG2* ⁴	$V_I = 0 \text{ V}$	25	50	100	kΩ	内部プルアップ抵抗が 許可されている場合
入力容量	C_{IN}	V_{CC}, V_{SS} 以外	$f = 1 \text{ MHz}$	—	5	15	pF	

$(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準 *1	最大 *2		
電源電流 *5	I _{CC}	V _{CC} (外部クロック動作)	F _{CH} = 32 MHz F _{MP} = 16 MHz メインクロックモード (2分周)	—	3.5	4.4	mA	フラッシュメモリ書込み, 消去以外の場合
				—	7.4	9.8	mA	フラッシュメモリ書込み, 消去の場合
				—	5.1	6.4	mA	A/D 変換時
	I _{CCS}		F _{CH} = 32 MHz F _{MP} = 16 MHz メインスリープモード (2分周)	—	1.2	1.5	mA	
	I _{CCL}		F _{CL} = 32 kHz F _{MPL} = 16 kHz サブクロックモード (2分周) T _A = +25 °C	—	65	71	μA	
	I _{CCLS} * ₆		F _{CL} = 32 kHz F _{MPL} = 16 kHz サブスリープモード (2分周) T _A = +25 °C	—	5.4	7	μA	ディープスタンバイモードの場合
	I _{CCT} * ₆		F _{CL} = 32 kHz 時計モード T _A = +25 °C	—	4.8	6.9	μA	ディープスタンバイモードの場合
	I _{CCMC} _R	V _{CC}	F _{CRH} = 4 MHz F _{MP} = 4 MHz メイン CR クロックモード	—	1.1	1.4	mA	
	I _{CCSCR}		サブ CR クロックモード (2分周) T _A = +25 °C	—	58	64	μA	
	I _{CCTS}	V _{CC} (外部クロック動作)	F _{CH} = 32 MHz タイムベースタイマモード T _A = +25 °C	—	290	340	μA	ディープスタンバイモードの場合
	I _{CCH}		メインストップモード (1 系統外部クロック品) / サブストップモード (2 系統外部クロック品) T _A = +25 °C	—	4.1	6.5	μA	ディープスタンバイモードの場合

$(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準 *1	最大 *2		
電源電流 *5	I_{LVD}	V_{CC}	低電圧検出回路のみの場合の消費電流	—	3.6	6.6	μA	
	I_{CRH}		メイン CR 発振器の場合の消費電流	—	220	280	μA	
	I_{CRL}		サブ CR 発振器を 100 kHz で発振させる場合の消費電流	—	5.1	9.3	μA	
	I_{NSTBY}		ノーマルスタンバイモードとディープスタンバイモードの消費電流差 $T_A = +25^\circ\text{C}$	—	20	30	μA	

*1: $V_{CC} = 5.0 \text{ V}, T_A = +25^\circ\text{C}$

*2: $V_{CC} = 5.5 \text{ V}, T_A = +85^\circ\text{C}$ (別記のない限り)

*3: P00 および P62 ~ P64 は MB95F562H/F562K/F563H/F563K/F564H/F564K にのみ搭載されます。

*4: P01 ~ P03, P07, PF0, PF1, PG1 と PG2 は MB95F562H/F562K/F563H/F563K/F564H/F564K/F582H/F582K/F583H/F583K/F584H/F584K にのみ搭載されます。

*5: 電源電流は外部クロックで規定されています。低電圧検出オプションを選択された場合は、低電圧検出回路の消費電流 (I_{LVD}) の値を規格値に足した合計が電源電流となります。また、低電圧検出オプションと CR 発振器の両方を選択された場合は、低電圧検出回路の消費電流、CR 発振器の消費電流 (I_{CRH}, I_{CRL}) および規格値を足した合計が電源電流となります。オンチップデバッグモードでは、CR 発振器 (I_{CRH}) と低電圧検出回路も常に動作するため、それに応じて消費電流が増大します。

• F_{CH} と F_{CL} は、「24.4 交流規格 クロックタイミング」を参照してください。

• F_{MP} と F_{MPL} は、「24.4 交流規格 ソースクロック / マシンクロック」を参照してください。

*6: サブ CR クロックモードでは、 I_{CRH} を I_{CCLS} または I_{CCT} に足した合計が電源電流となります。また、サブ CR クロックモードで、 F_{MPL} が 50kHz の場合、電源電流はそれによって上昇します。

24.4 交流規格

24.4.1 クロックタイミング

 $(V_{CC} = 2.4\text{ V} \sim 5.5\text{ V}, V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

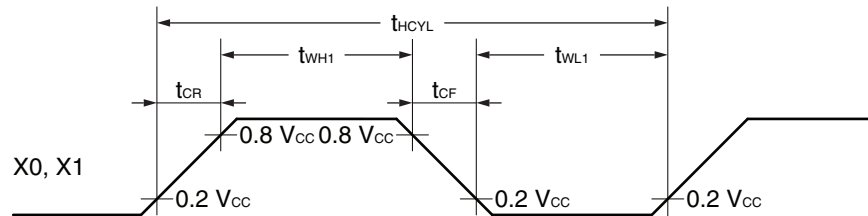
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
クロック周波数	F _{CH}	X0, X1	—	1	—	16.25	MHz	メイン発振回路使用の場合
		X0	X1: 開放	1	—	12	MHz	メイン外部クロック使用の場合
		X0, X1	*	1	—	32.5	MHz	
	F _{CRH}	—	—	3.92	4	4.08	MHz	動作条件 • メイン CR クロック使用 • $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$
				3.9	4	4.1	MHz	動作条件 • メイン CR クロック使用 • $-40^{\circ}\text{C} \leq T_A < 0^{\circ}\text{C}$, $+70^{\circ}\text{C} < T_A \leq +85^{\circ}\text{C}$
	F _{MCRPLL}	—	—	7.84	8	8.16	MHz	動作条件 • PLL 通倍率: 2 • $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$
				7.8	8	8.4	MHz	動作条件 • PLL 通倍率: 2 • $-40^{\circ}\text{C} \leq T_A < 0^{\circ}\text{C}$, $+70^{\circ}\text{C} < T_A \leq +85^{\circ}\text{C}$
				9.8	10	10.2	MHz	動作条件 • PLL 通倍率: 2.5 • $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$
				9.5	10	10.5	MHz	動作条件 • PLL 通倍率: 2.5 • $-40^{\circ}\text{C} \leq T_A < 0^{\circ}\text{C}$, $+70^{\circ}\text{C} < T_A \leq +85^{\circ}\text{C}$
				11.76	12	12.24	MHz	動作条件 • PLL 通倍率: 3 • $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$
				11.4	12	12.6	MHz	動作条件 • PLL 通倍率: 3 • $-40^{\circ}\text{C} \leq T_A < 0^{\circ}\text{C}$, $+70^{\circ}\text{C} < T_A \leq +85^{\circ}\text{C}$
				15.68	16	16.32	MHz	動作条件 • PLL 通倍率: 4 • $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$
				15.2	16	16.8	MHz	動作条件 • PLL 通倍率: 4 • $-40^{\circ}\text{C} \leq T_A < 0^{\circ}\text{C}$, $+70^{\circ}\text{C} < T_A \leq +85^{\circ}\text{C}$
	F _{CL}	X0A, X1A	—	—	32.768	—	kHz	サブ発振回路使用の場合
				—	32.768	—	kHz	サブ外部クロック使用の場合
	F _{CRL}	—	—	50	100	150	kHz	サブ CR クロック使用の場合

$(V_{CC} = 2.4\text{ V} \sim 5.5\text{ V}, V_{SS} = 0.0\text{ V}, T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C})$

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
クロックサイクルタイム	t_{HCYL}	X0, X1	—	61.5	—	1000	ns	メイン発振回路使用の場合
		X0	X1: 開放	83.4	—	1000	ns	外部クロック使用の場合
		X0, X1	*	30.8	—	1000	ns	
	t_{LCYL}	X0A, X1A	—	—	30.5	—	μs	サブクロック使用の場合
入力クロックパルス幅	t_{WH1}, t_{WL1}	X0	X1: 開放	33.4	—	—	ns	外部クロック使用の場合、 デューティ比は 40 % ~ 60 % の範囲としてください。
		X0, X1	*	12.4	—	—	ns	
	t_{WH2}, t_{WL2}	X0A	—	—	15.2	—	μs	
入力クロックの立上り時間と立下り時間	t_{CR}, t_{CF}	X0, X0A	X1: 開放	—	—	5	ns	外部クロック使用の場合
		X0, X1, X0A, X1A	*	—	—	5	ns	
CR 発振開始時間	t_{CRHWK}	—	—	—	—	50	μs	メイン CR クロック使用の場合
	t_{CRLWK}	—	—	—	—	30	μs	サブ CR クロック使用の場合

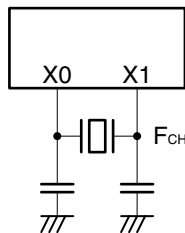
*: X0 へ外部クロックを入力, X1 にその反転信号を入力した場合

• 外部クロック (メインクロック) 使用時の発生入力波形

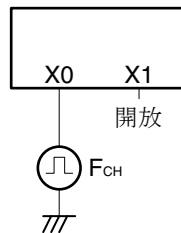


• メインクロック入力ポート外部接続図

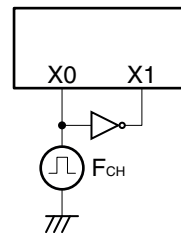
水晶振動子使用時またはセラミック振動子使用時



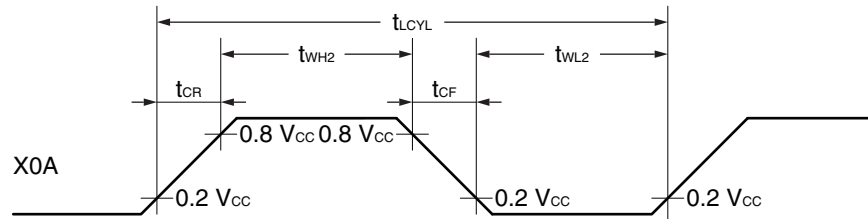
外部クロック使用時 (X1 開放)



外部クロック使用時

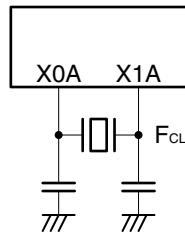


• 外部クロック (サブクロック) 使用時の発生入力波形

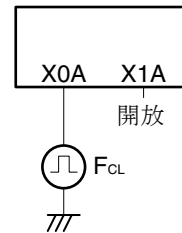


• サブクロック入力ポート外部接続図

水晶振動子使用時または
セラミック振動子使用時



外部クロック使用時



24.4.2 ソースクロック / マシンクロック

($V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
ソースクロック サイクルタイム *1	t _{SCLK}	—	61.5	—	2000	ns	メイン外部クロック使用の場合 最小 : F _{CH} = 32.5 MHz, 2 分周 最大 : F _{CH} = 1 MHz, 2 分周
			62.5	—	1000	ns	メイン CR クロック使用の場合 最小 : F _{CRH} = 4 MHz, 4 通倍 最大 : F _{CRH} = 4 MHz, 4 分周
			—	61	—	μs	サブ発振クロック使用の場合 F _{CL} = 32.768 kHz, 2 分周
			—	20	—	μs	サブ CR クロック使用の場合 F _{CRL} = 100 kHz, 2 分周
ソースクロック 周波数	F _{SP}	—	0.5	—	16.25	MHz	メイン発振クロック使用の場合
			—	4	12.5	MHz	メイン CR クロック使用の場合
	F _{SPL}		—	16.384	—	kHz	サブ発振クロック使用の場合
			—	50	—	kHz	サブ CR クロック使用の場合 F _{CRL} = 100 kHz, 2 分周

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
マシンクロック サイクルタイム *2 (最小命令実行 時間)	t _{MCLK}	—	61.5	—	32000	ns	メイン発振クロック使用の場合 最小 : F _{SP} = 16.25 MHz, 分周なし 最大 : F _{SP} = 0.5 MHz, 16 分周
			250	—	1000	ns	メイン CR クロック使用の場合 最小 : F _{SP} = 4 MHz, 分周なし 最大 : F _{SP} = 4 MHz, 4 分周
			61	—	976.5	μs	サブ発振クロック使用の場合 最小 : F _{SPL} = 16.384 kHz, 分周なし 最大 : F _{SPL} = 16.384 kHz, 16 分周
			20	—	320	μs	サブ CR クロック使用の場合 最小 : F _{SPL} = 50 kHz, 分周なし 最大 : F _{SPL} = 50 kHz, 16 分周
マシンクロック 周波数	F _{MP}	—	0.031	—	16.25	MHz	メイン発振クロック使用の場合
			0.25	—	16	MHz	メイン CR クロック使用の場合
	F _{MPL}		1.024	—	16.384	kHz	サブ発振クロック使用の場合
			3.125	—	50	kHz	サブ CR クロック使用の場合 F _{CRL} = 100 kHz

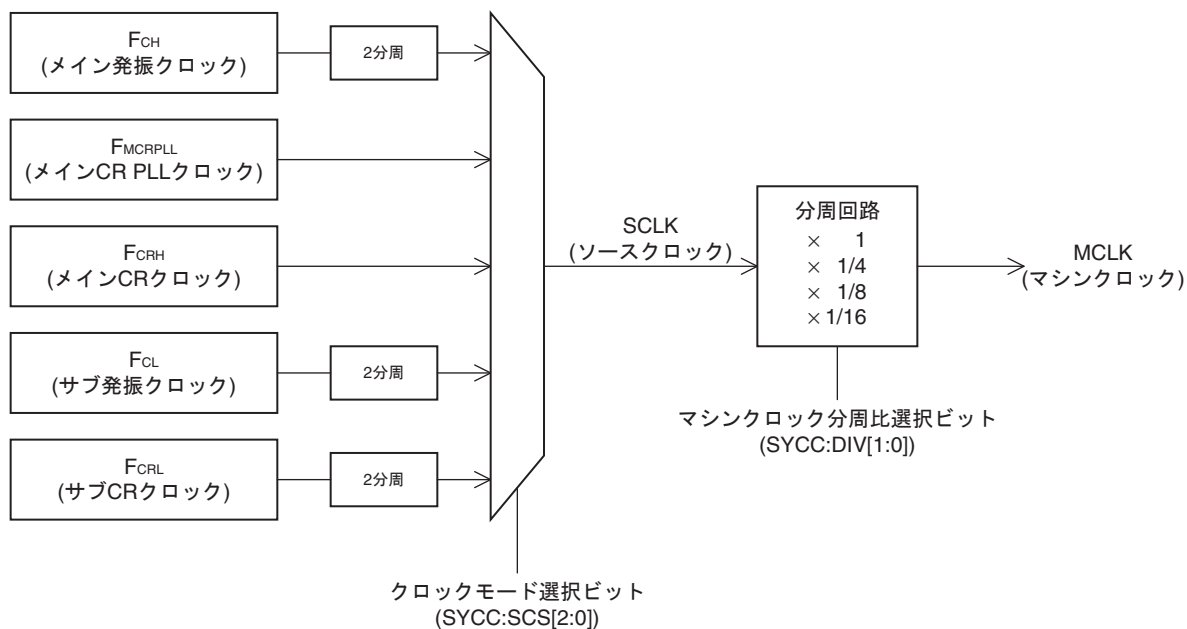
*1: マシニングロック分周比選択ビット (SYCC:DIV[1:0]) によって設定される分周比にしたがって分周される前のクロックです。本ソースクロックがマシニングロック分周比選択ビット (SYCC:DIV[1:0]) によって設定される分周比にしたがって分周され、マシニングクロックとなります。なお、ソースクロックは、以下から選択できます。

- メインクロックの 2 分周
- メイン CR クロック
- メイン CR クロックの PLL 通倍 (2, 2.5, 3, 4 通倍から選択)
- サブクロックの 2 分周
- サブ CR クロックの 2 分周

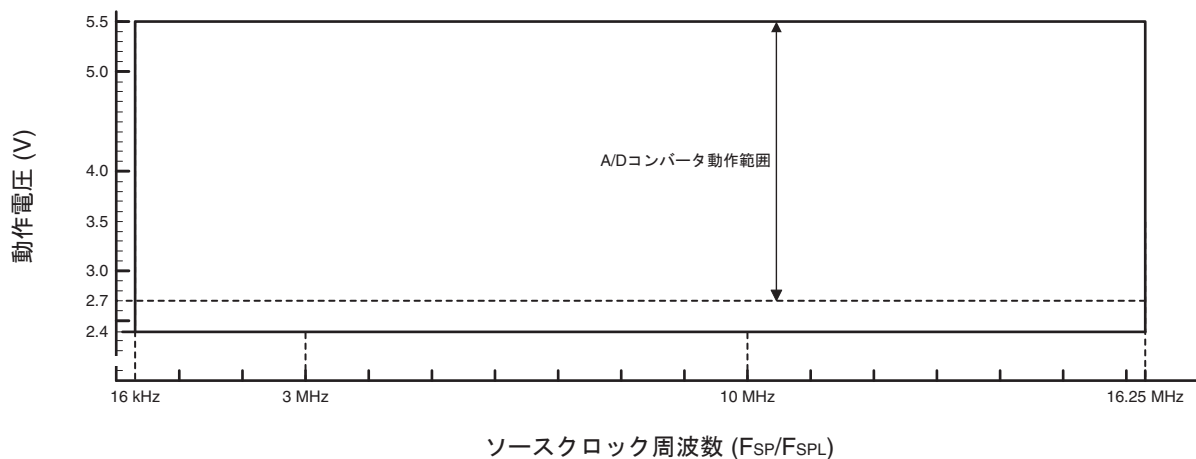
*2: マイクロコントローラの動作クロックです。マシニングロックは、以下から選択できます。

- ソースクロック (分周なし)
- ソースクロックの 4 分周
- ソースクロックの 8 分周
- ソースクロックの 16 分周

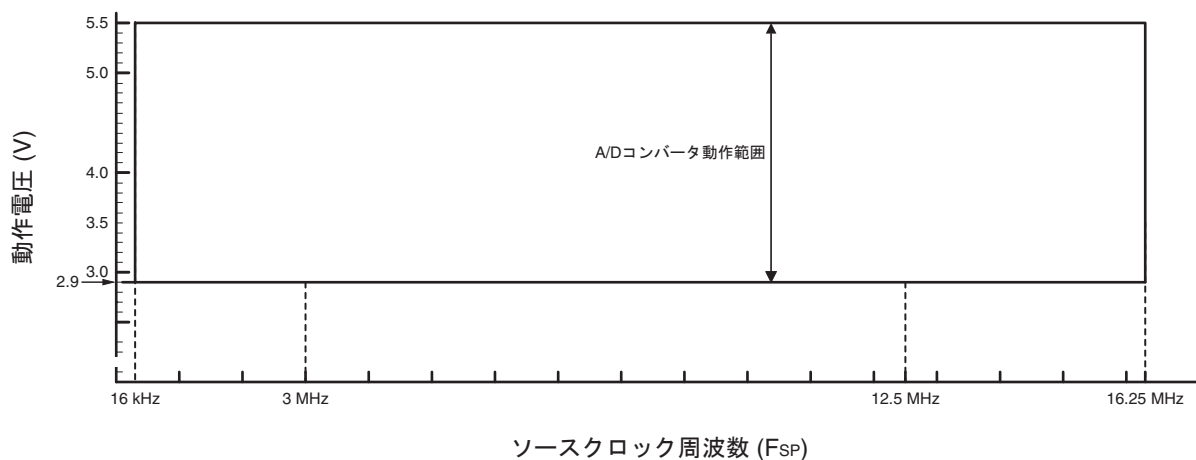
• クロック生成ブロック概略図



- 動作電圧 - 動作周波数 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)
オンチップデバッグ機能なし



- 動作電圧 - 動作周波数 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)
オンチップデバッグ機能あり



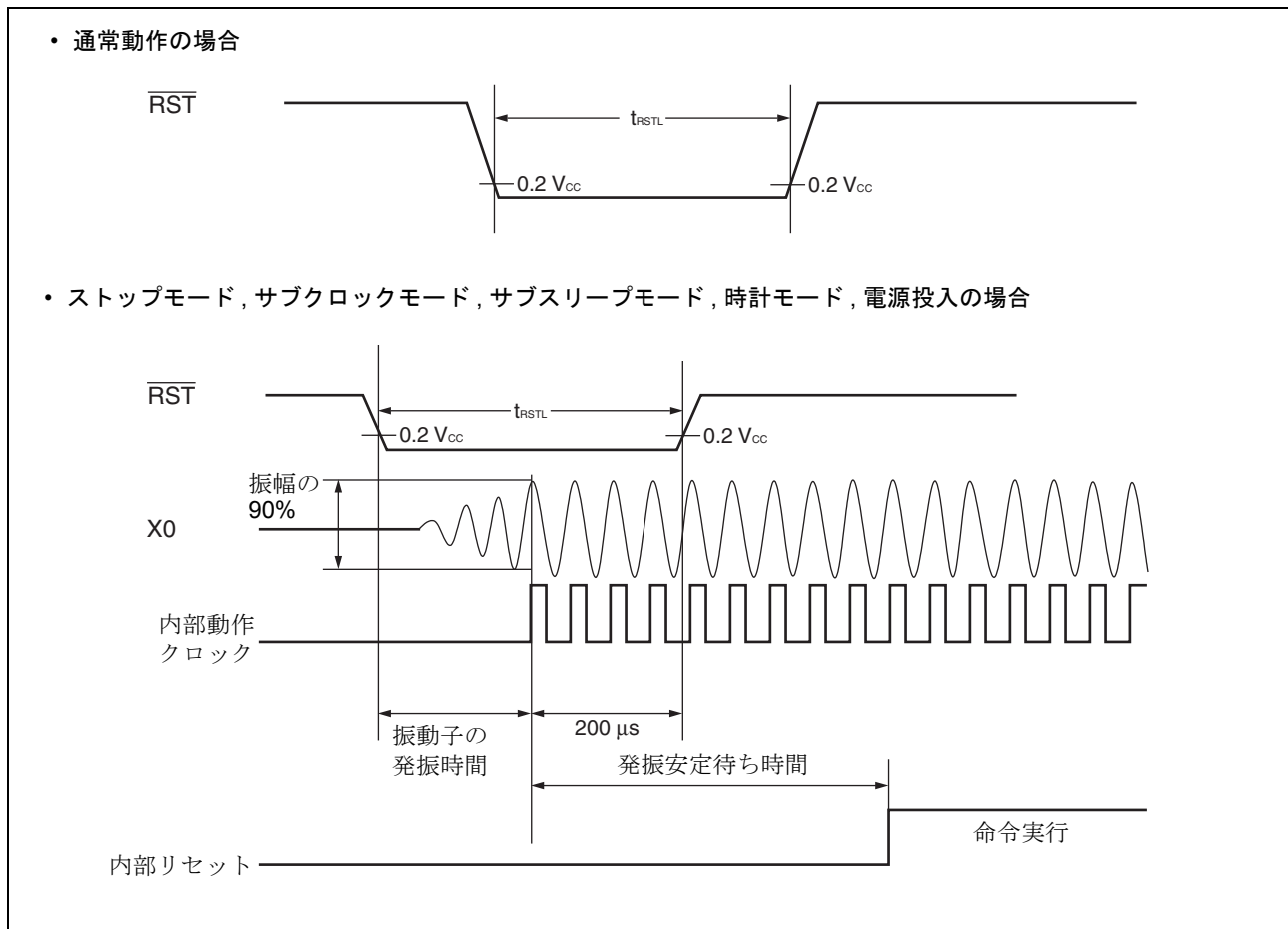
24.4.3 外部リセット

($V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	規格値		単位	備考
		最小	最大		
$\overline{\text{RST}}$ “L” レベル パルス幅	t_{RSTL}	$2 t_{\text{MCLK}}^{*1}$	—	ns	通常動作の場合
		振動子の発振時間 $*2 + 200$	—	μs	ストップモード, サブクロック モード, サブスリープモード, 時計モード, 電源投入の場合
		200	—	μs	タイムベースタイマモードの場合

*1: t_{MCLK} については「24.4.2 ソースクロック / マシニングロック」を参照してください。

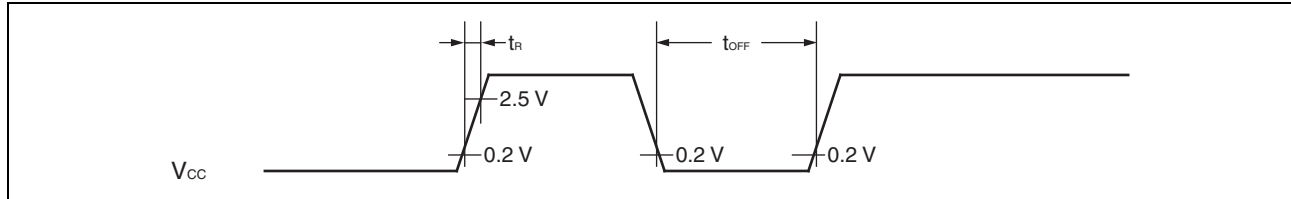
*2: 振動子の発振時間は, 振幅の 90 % に達するまでの時間です。水晶振動子は数 ms ~ 数十 ms, セラミック振動子は数百 μs ~ 数 ms, 外部クロックは 0ms, CR 発振器は数 μs ~ 数 ms となります。



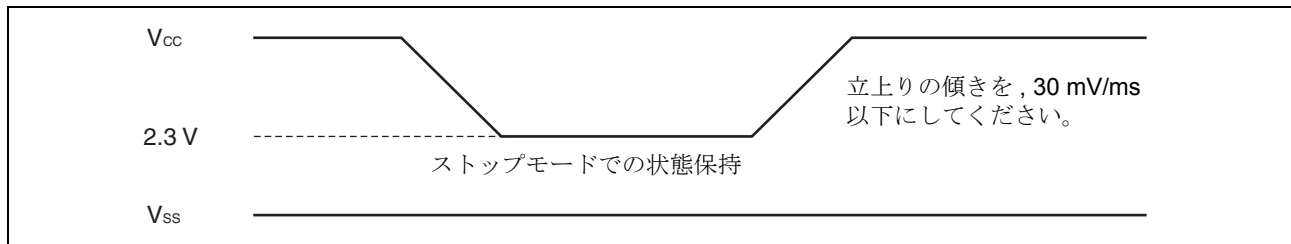
24.4.4 パワーオンリセット

 $(V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源立上り時間	t_R	—	—	50	ms	
電源断時間	t_{OFF}	—	1	—	ms	電源投入までの待ち時間



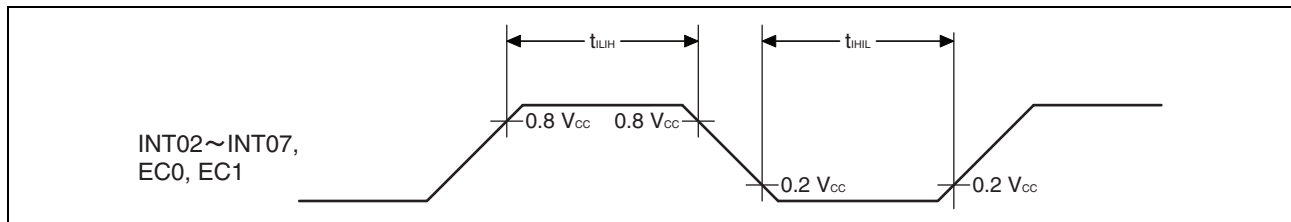
(注意事項) 電源電圧を急激に変化させると、パワーオンリセットが起動される場合があります。動作中に電源電圧を変化させる場合は、下図のように立上りの傾きを、30 mV/ms 以下にしてください。



24.4.5 周辺入力タイミング

 $(V_{CC} = 5.0 \text{ V} \pm 10\%, V_{SS} = 0.0 \text{ V}, T_A = -40^\circ\text{C} \sim +85^\circ\text{C})$

項目	記号	端子名	規格値		単位
			最小	最大	
周辺入力“H”パルス幅	t_{LH}	INT02 ~ INT07*1, *2, EC0*1, EC1*3	$2 t_{MCLK}^{*4}$	—	ns
周辺入力“L”パルス幅	t_{HIL}		$2 t_{MCLK}^{*4}$	—	ns



*1: INT04, INT06, および EC0 はすべての製品に搭載されます。

*2: INT02, INT03, INT05 および INT07 は MB95F562H/F562K/F563H/F563K/F564H/F564K/F582H/F582K/F583H/F583K/F584H/F584K にのみ搭載されます。

*3: EC1 は、MB95F562H/F562K/F563H/F563K/F564H/F564K にのみ搭載されます。

*4: t_{MCLK} については、「24.4.2 ソースクロック / マシンクロック」を参照してください。

24.4.6 LIN-UART タイミング (MB95F562H/F562K/F563H/F563K/F564H/F564K/F582H/F582K/F583H/F583K/F584H/F584K にのみ搭載)

サンプリングクロックの立上りエッジでサンプリングを行い*1, シリアルクロック遅延を禁止する場合*2

(ESCR レジスタ : SCES ビット = 0, ECCR レジスタ : SCDE ビット = 0)

($V_{CC} = 5.0 \text{ V} \pm 10\%$, $AV_{SS} = V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

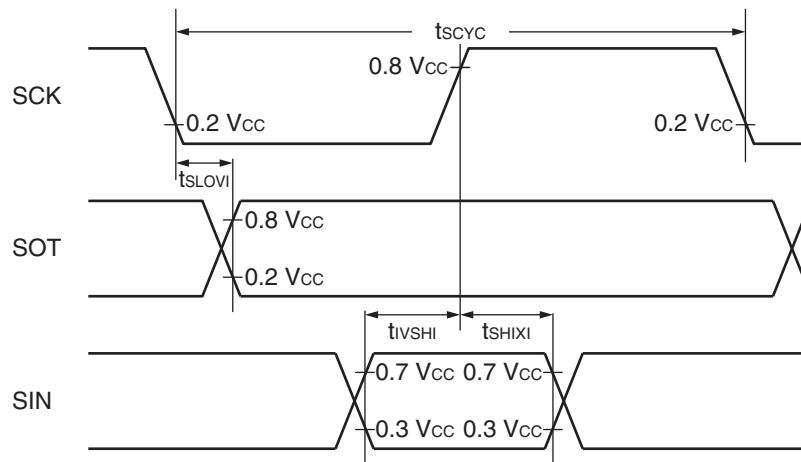
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80 \text{ pF} + 1 \text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK ↓ → SOT 遅延時間	t_{SLOVI}	SCK, SOT		- 50	+ 50	ns
有効 SIN → SCK ↑	t_{IVSHI}	SCK, SIN		$t_{MCLK}^{*3} + 80$	—	ns
SCK ↑ → 有効 SIN ホールド時間	t_{SHIXI}	SCK, SIN		0	—	ns
シリアルクロック “L” パルス幅	t_{LSH}	SCK	外部クロック動作 出力端子 : $C_L = 80 \text{ pF} + 1 \text{ TTL}$	$3 t_{MCLK}^{*3} - t_R$	—	ns
シリアルクロック “H” パルス幅	t_{HSL}	SCK		$t_{MCLK}^{*3} + 10$	—	ns
SCK ↓ → SOT 遅延時間	t_{SLOVE}	SCK, SOT		—	$2 t_{MCLK}^{*3} + 60$	ns
有効 SIN → SCK ↑	t_{IVSHE}	SCK, SIN		30	—	ns
SCK ↑ → 有効 SIN ホールド時間	t_{SHIXE}	SCK, SIN		$t_{MCLK}^{*3} + 30$	—	ns
SCK 立下り時間	t_F	SCK		—	10	ns
SCK 立上り時間	t_R	SCK		—	10	ns

*1: 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

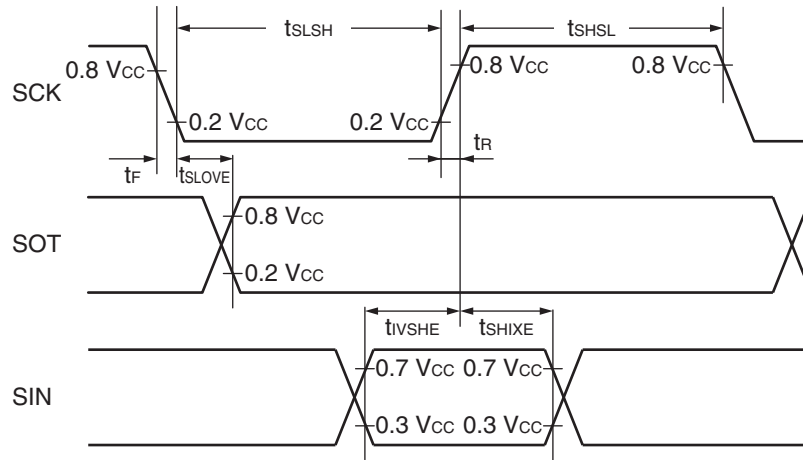
*2: シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

*3: t_{MCLK} については, 「24.4.2 ソースクロック / マシンクロック」を参照してください。

• 内部シフトクロックモード



• 外部シフトクロックモード



サンプリングクロックの立下りエッジでサンプリングを行い*1, シリアルクロック遅延を禁止する場合*2
 (ESCR レジスタ : SCES ビット = 1, ECCR レジスタ : SCDE ビット = 0)

($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

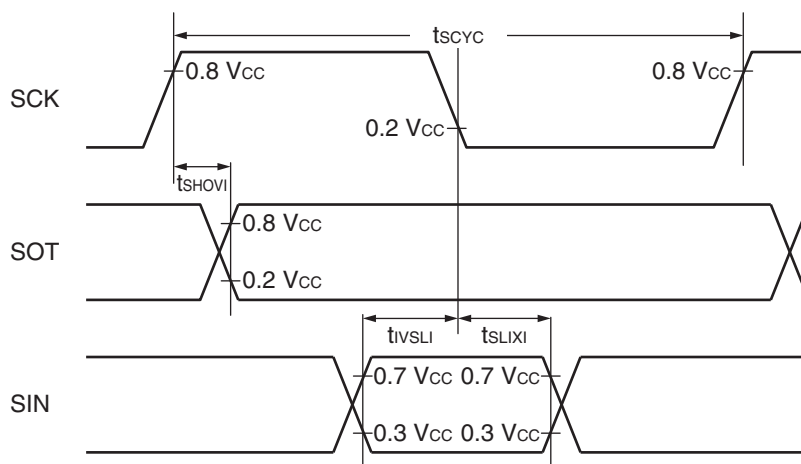
項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK ↑ → SOT 遅延時間	t_{SHOVI}	SCK, SOT		- 50	+ 50	ns
有効 SIN → SCK ↓	t_{IVSLI}	SCK, SIN		$t_{MCLK}^{*3} + 80$	—	ns
SCK ↓ → 有効 SIN ホールド時間	t_{SLIXI}	SCK, SIN		0	—	ns
シリアルクロック “H” パルス幅	t_{SHSL}	SCK	外部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$3 t_{MCLK}^{*3} - t_R$	—	ns
シリアルクロック “L” パルス幅	t_{SLSH}	SCK		$t_{MCLK}^{*3} + 10$	—	ns
SCK ↑ → SOT 遅延時間	t_{SHOVE}	SCK, SOT		—	$2 t_{MCLK}^{*3} + 60$	ns
有効 SIN → SCK ↓	t_{IVSLE}	SCK, SIN		30	—	ns
SCK ↓ → 有効 SIN ホールド時間	t_{SLIXE}	SCK, SIN		$t_{MCLK}^{*3} + 30$	—	ns
SCK 立下り時間	t_F	SCK		—	10	ns
SCK 立上り時間	t_R	SCK		—	10	ns

*1: 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

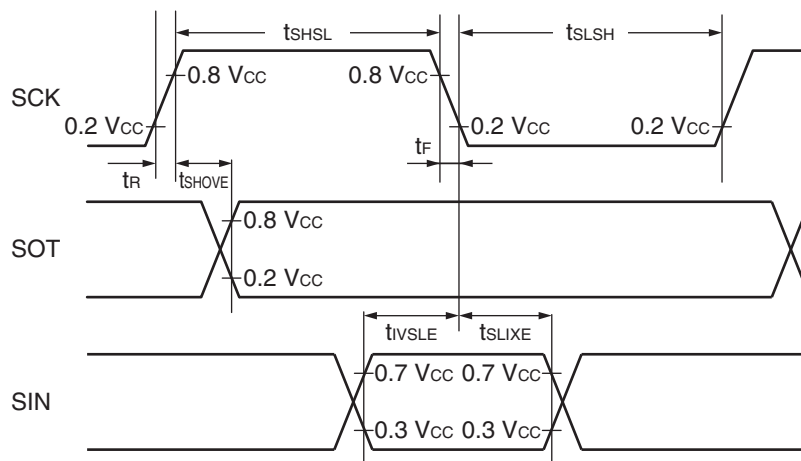
*2: シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

*3: t_{MCLK} については, 「24.4.2 ソースクロック / マシンクロック」を参照してください。

• 内部シフトクロックモード



• 外部シフトクロックモード



サンプリングクロックの立上りエッジでサンプリングを行い*¹, シリアルクロック遅延を許可する場合*²
 (ESCR レジスタ : SCES ビット= 0, ECCR レジスタ : SCDE ビット= 1)

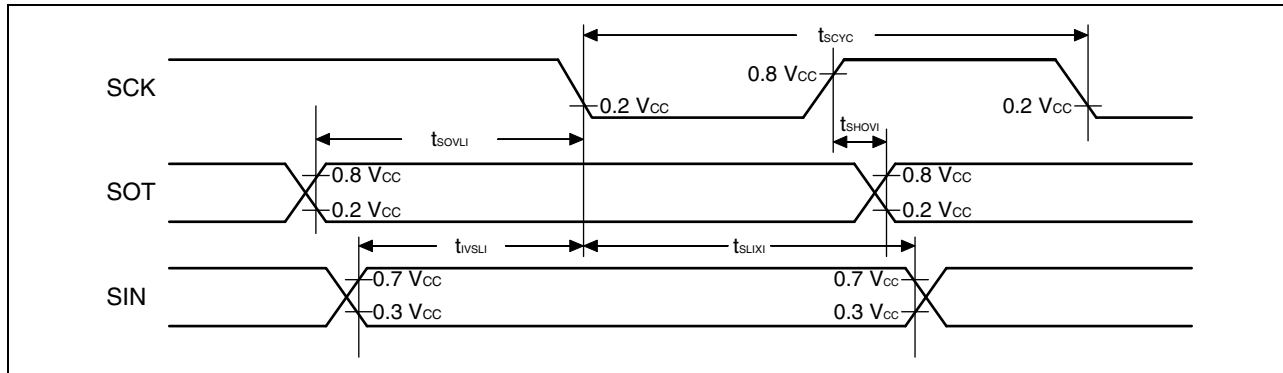
($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK ↑ → SOT 遅延時間	t_{SHOVI}	SCK, SOT		- 50	+ 50	ns
有効 SIN → SCK ↓	t_{IVSLI}	SCK, SIN		$t_{MCLK}^{*3} + 80$	—	ns
SCK ↓ → 有効 SIN ホールド時間	t_{SLIXI}	SCK, SIN		0	—	ns
SOT → SCK ↓ 遅延時間	t_{SOVLI}	SCK, SOT		$3t_{MCLK}^{*3} - 70$	—	ns

*1: 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

*2: シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

*3: t_{MCLK} については, 「24.4.2 ソースクロック / マシンクロック」を参照してください。



サンプリングクロックの立下りエッジでサンプリングを行い*¹, シリアルクロック遅延を許可する場合*²
 (ESCR レジスタ : SCES ビット= 1, ECCR レジスタ : SCDE ビット= 1)

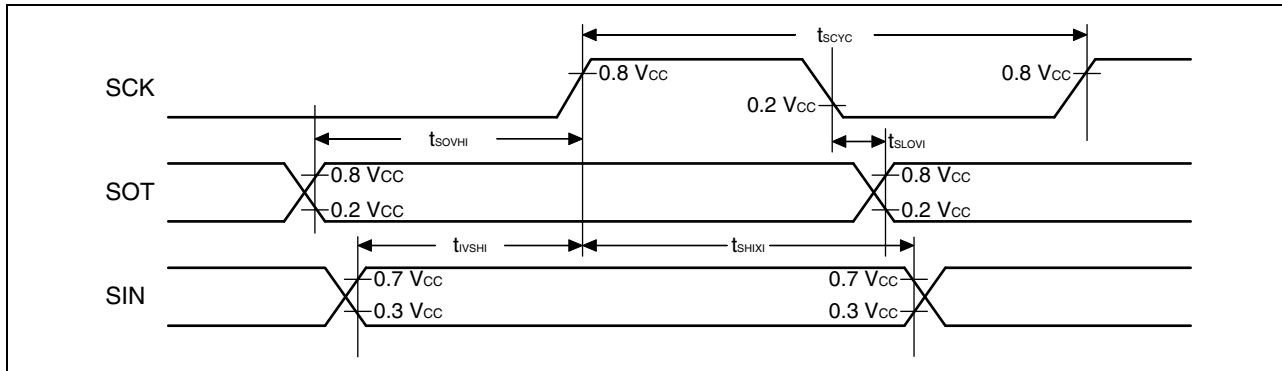
($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t_{SCYC}	SCK	内部クロック動作 出力端子 : $C_L = 80\text{ pF} + 1\text{ TTL}$	$5 t_{MCLK}^{*3}$	—	ns
SCK ↓ → SOT 遅延時間	t_{SLOVI}	SCK, SOT		- 50	+ 50	ns
有効 SIN → SCK ↑	t_{IVSHI}	SCK, SIN		$t_{MCLK}^{*3} + 80$	—	ns
SCK ↑ → 有効 SIN ホールド時間	t_{SHIXI}	SCK, SIN		0	—	ns
SOT → SCK ↑ 遅延時間	t_{SOVHI}	SCK, SOT		$3t_{MCLK}^{*3} - 70$	—	ns

*1: 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

*2: シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

*3: t_{MCLK} については, 「24.4.2 ソースクロック / マシンクロック」を参照してください。

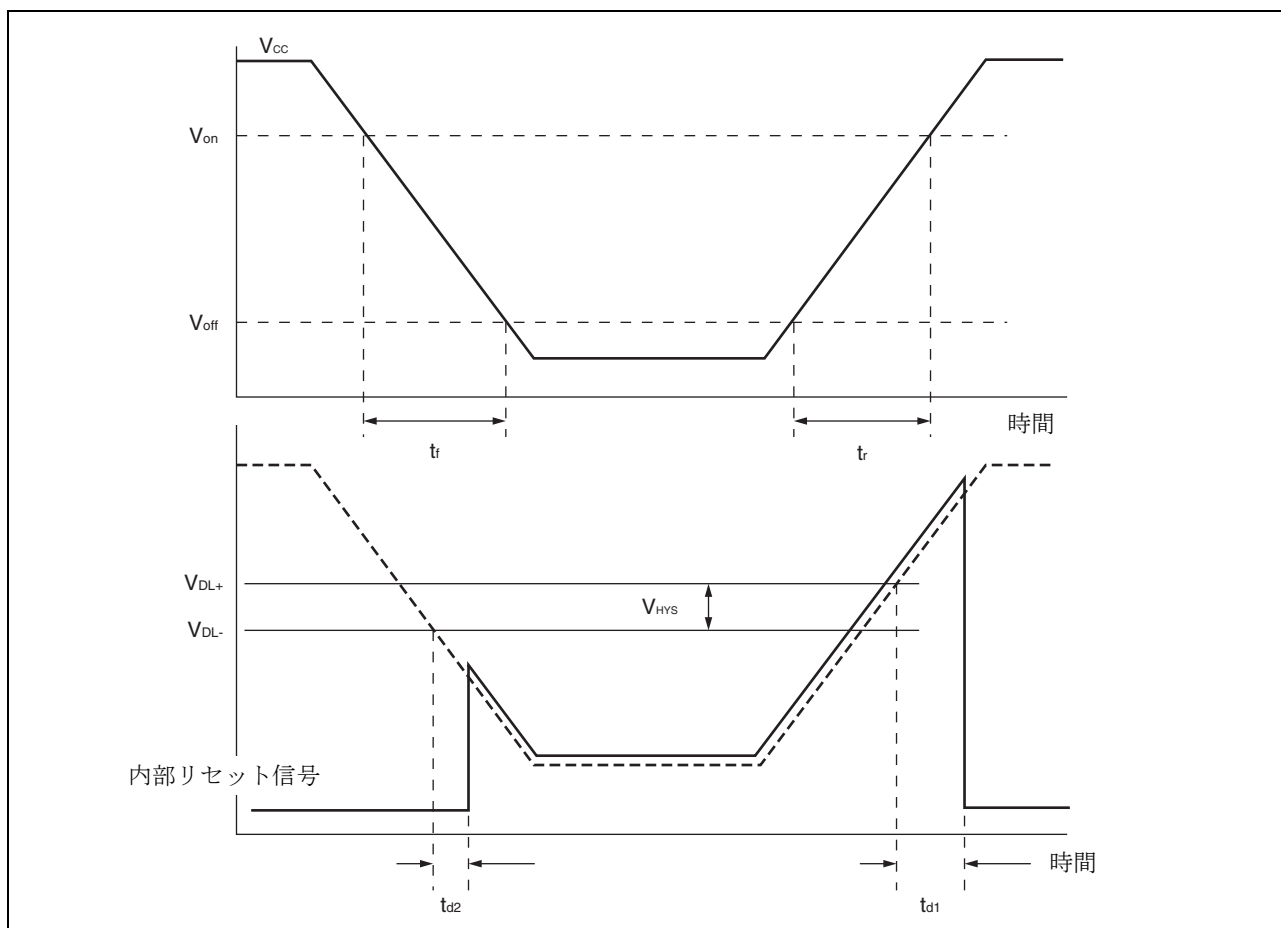


24.4.7 低電圧検出

($V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

項目	記号	規格値			単位	備考
		最小	標準	最大		
解除電圧 *	V_{DL+}	2.52	2.7	2.88	V	電源上昇の場合
		2.61	2.8	2.99		
		2.89	3.1	3.31		
		3.08	3.3	3.52		
検出電圧 *	V_{DL-}	2.43	2.6	2.77	V	電源降下の場合
		2.52	2.7	2.88		
		2.80	3	3.20		
		2.99	3.2	3.41		
ヒステリシス幅	V_{HYS}	—	100	—	mV	
電源開始電圧	V_{off}	—	—	2.3	V	
電源到達電圧	V_{on}	4.9	—	—	V	
電源電圧変化時間 (電源上昇の場合)	t_r	650	—	—	μs	リセット解除信号が規格内 (V_{DL+}) で発生する電源の傾き
電源電圧変化時間 (電源降下の場合)	t_f	650	—	—	μs	リセット検出信号が規格内 (V_{DL-}) で発生する電源の傾き
リセット解除遅延時間	t_{d1}	—	—	30	μs	
リセット検出遅延時間	t_{d2}	—	—	30	μs	
LVD スレッショルド電圧 遷移安定時間	t_{stb}	10	—	—	μs	

*: 解除電圧と検出電圧は、低電圧検出リセット回路の LVD リセット電圧選択 ID レジスタ (LVDR) により選択できます。LVDR レジスタの詳細については、「New 8FX MB95560H/570H/580H シリーズハードウェアマニュアル」の「第 18 章 低電圧検出リセット回路」を参照してください。



24.5 A/D コンバータ

24.5.1 A/D コンバータ電気的特性

($V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$)

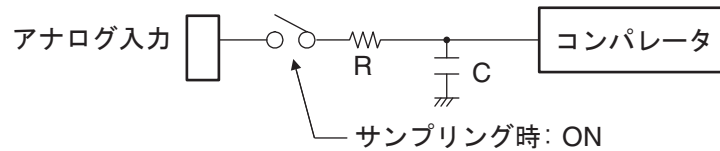
項目	記号	規格値			単位	備考
		最小	標準	最大		
分解能	—	—	—	10	bit	
総合誤差		- 3	—	+ 3	LSB	
直線性誤差		- 2.5	—	+ 2.5	LSB	
微分直線性誤差		- 1.9	—	+ 1.9	LSB	
ゼロトランジション 電圧	V_{0T}	$V_{SS} - 1.5\text{ LSB}$	$V_{SS} + 0.5\text{ LSB}$	$V_{SS} + 2.5\text{ LSB}$	V	
フルスケールトランジ ション電圧	V_{FST}	$V_{CC} - 4.5\text{ LSB}$	$V_{CC} - 2\text{ LSB}$	$V_{CC} + 0.5\text{ LSB}$	V	
コンペア時間	—	1	—	10	μs	$4.5\text{ V} \leq V_{CC} \leq 5.5\text{ V}$
		3	—	10	μs	$2.7\text{ V} \leq V_{CC} < 4.5\text{ V}$
サンプリング時間	—	0.6	—	∞	μs	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, 外部インピーダンス < 3.3 kΩ の場合
アナログ入力電流	I_{AIN}	- 0.3	—	+ 0.3	μA	
アナログ入力電圧	V_{AIN}	V_{SS}	—	V_{CC}	V	

24.5.2 A/D コンバータの注意事項

• アナログ入力の外部インピーダンスとサンプリング時間について

MB95560H/570H/580H シリーズの A/D コンバータはサンプルホールド付きのものです。外部インピーダンスが高くサンプリング時間を十分に確保できない場合は、内部サンプルホールド用コンデンサに十分にアナログ電圧が充電されず、A/D 変換精度に影響を及ぼします。したがって、A/D 変換精度規格を満たすために、外部インピーダンスと最小サンプリング時間の関係から、サンプリング時間を最小値より長くなるようにレジスタ値と動作周波数を調整するか、外部インピーダンスを下げて使用してください。また、サンプリング時間を十分に確保できない場合は、アナログ入力端子に 0.1 μF 程度のコンデンサを接続してください。

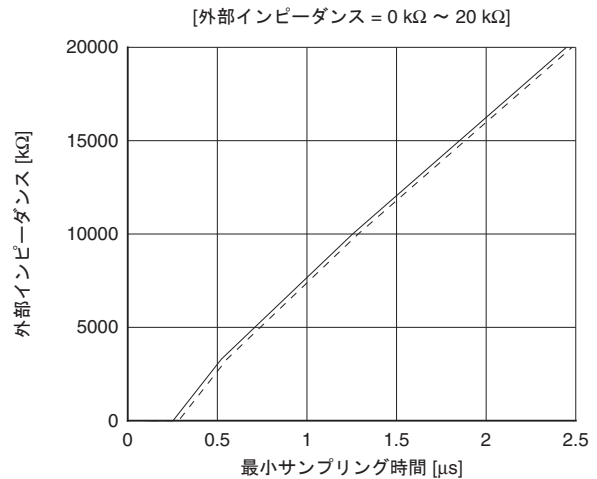
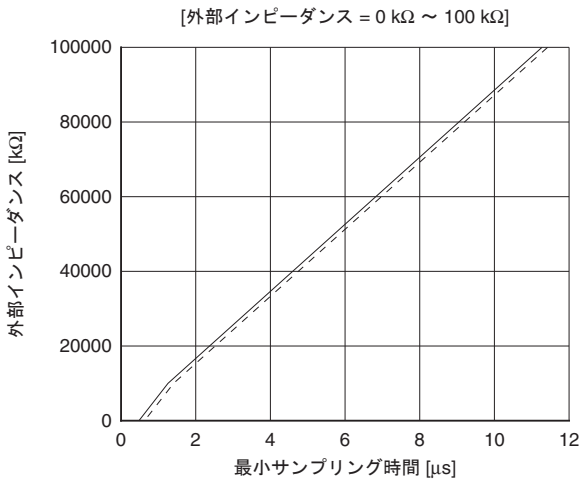
• アナログ入力等価回路



V_{CC}	R	C
$4.5\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	1.45 k Ω (最大)	14.89 pF (最大)
$2.7\text{ V} \leq V_{CC} < 4.5\text{ V}$	2.7 k Ω (最大)	14.89 pF (最大)

(注意事項) 数値は参考値です。

• 外部インピーダンスと最小サンプリング時間の関係



—— $V_{CC} > 2.7\text{ V}$ の場合の最小サンプリング時間
- - - $V_{CC} > 2.4\text{ V}$ の場合の最小サンプリング時間

• A/D 変換誤差について

$|V_{CC} - V_{SS}|$ が小さくなるに従って、A/D 変換の誤差は大きくなります。

24.5.3 A/D コンバータの用語の定義

- 分解能

A/D コンバータにより識別可能なアナログ変化を示します。

10 ビットなら、アナログ電圧を $2^{10} = 1024$ の部分に分解可能です。

- 直線性誤差 (単位 : LSB)

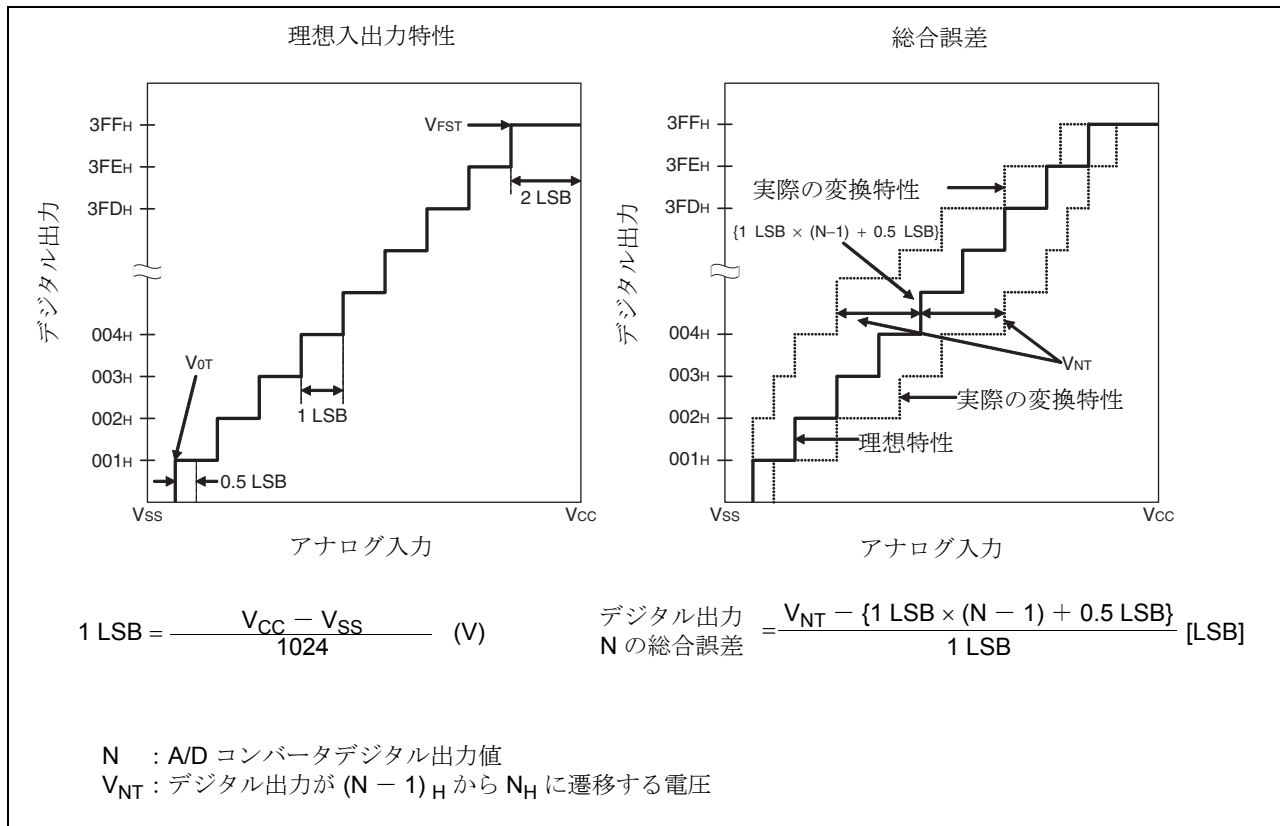
デバイスのゼロトランジション点 (“00 0000 0000” ←→ “00 0000 0001”) と、同じデバイスのフルスケールトランジション点 (“11 1111 1111” ←→ “11 1111 1110”) とを結んだ直線と、実際の変換値との誤差がどの程度かを示します。

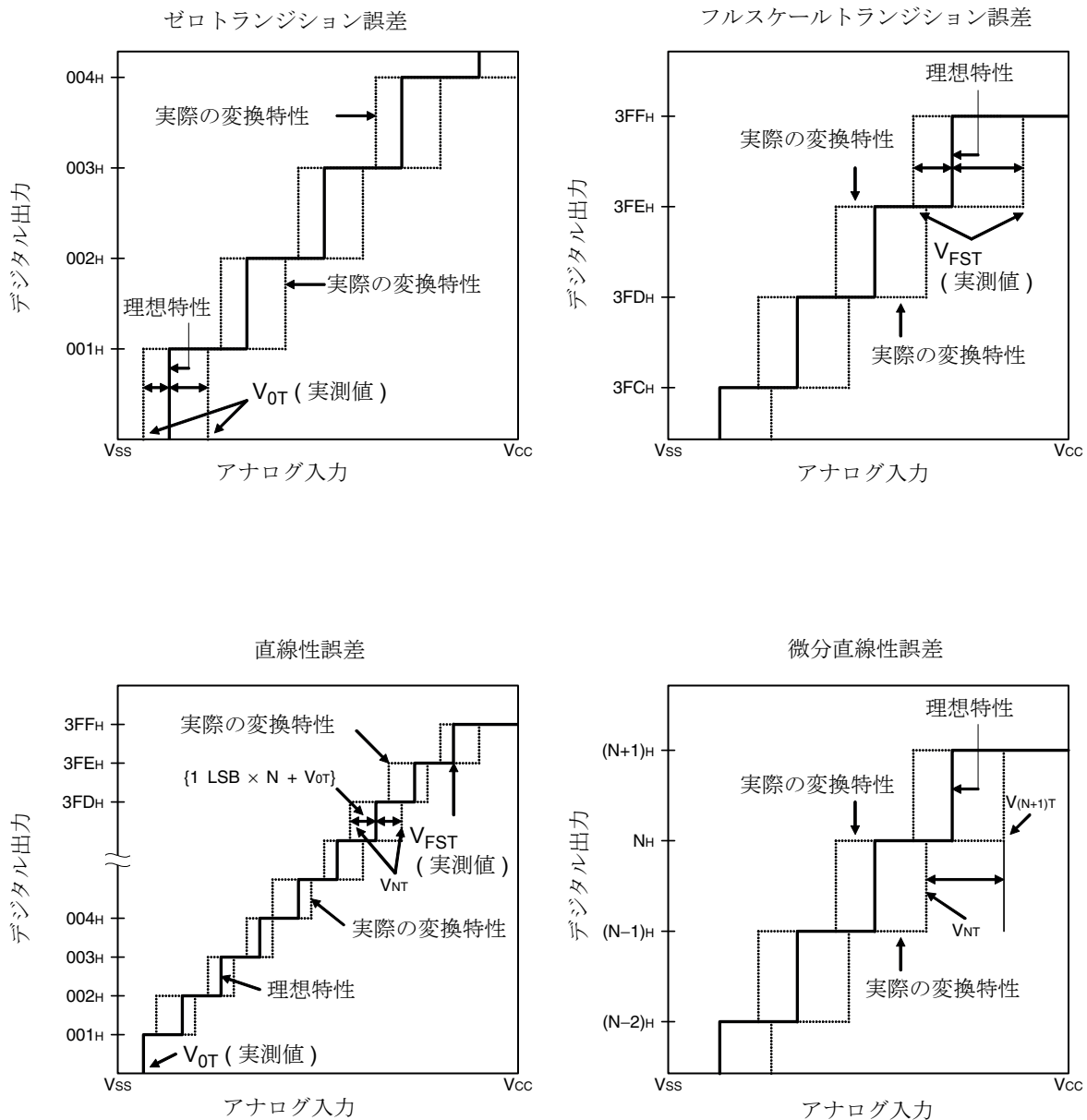
- 微分直線性誤差 (単位 : LSB)

出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差がどの程度かを示します。

- 総合誤差 (単位 : LSB)

実際の値と理論値との差を示し、ゼロトランジション誤差 / フルススケールトランジション誤差 / 直線性誤差 / 量子誤差および雑音に起因する誤差です。





$$\text{デジタル出力 } N \text{ の直線性誤差} = \frac{V_{NT} - \{1 \text{ LSB} \times N + V_{0T}\}}{1 \text{ LSB}}$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1 \text{ LSB}} - 1$$

N : A/D コンバータデジタル出力値
 V_{NT} : デジタル出力が (N - 1)_H から N_H に遷移する電圧
 V_{0T} (理想値) = V_{SS} + 0.5 LSB [V]
 V_{FST} (理想値) = V_{CC} - 2 LSB [V]

24.6 フラッシュメモリ書き込み / 消去特性

項目	規格値			単位	備考
	最小	標準	最大		
セクタ消去時間 (2 K バイトセクタ)	—	0.3* ¹	1.6* ²	s	消去前 00 _H 書き込み時間は除きます。
セクタ消去時間 (16 K バイトセクタ)	—	0.6* ¹	3.1* ²	s	消去前 00 _H 書き込み時間は除きます。
バイト書き込み時間	—	17	272	μs	システムレベルのオーバーヘッド時間は除きます。
書き込み / 消去サイクル	100000	—	—	cycle	
書き込み / 消去時の電源電圧	2.4	—	5.5	V	
フラッシュメモリデータ保持時間	5* ³	—	—	year	平均 T _A = + 85 °C

*1: V_{CC} = 5.5 V, T_A = + 25 °C, 0 サイクル

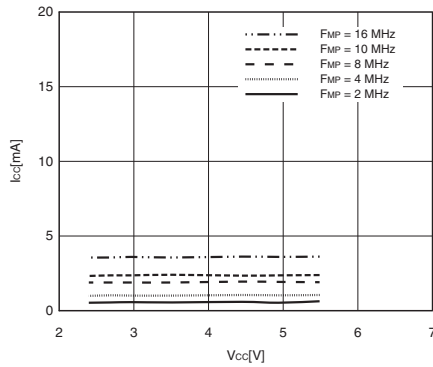
*2: V_{CC} = 2.4 V, T_A = + 85 °C, 100000 サイクル

*3: テクノロジ信頼性評価結果からの換算値です (アレニウスの式を使用し, 高温加速試験結果を平均温度 + 85 °C へ換算しています)。

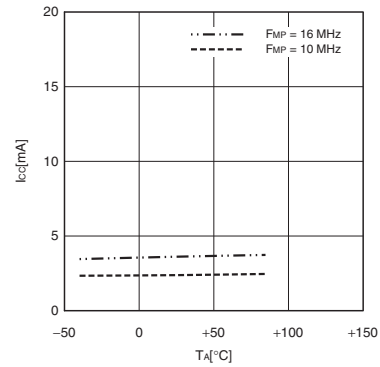
25. 特性例

• 電源電流・温度特性

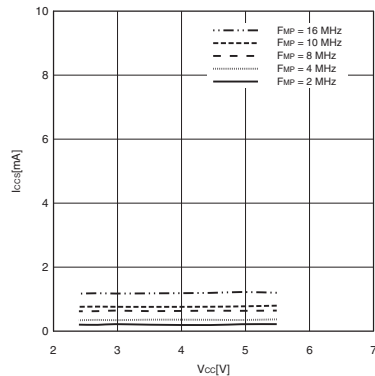
$I_{CC} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MP} = 2, 4, 8, 10, 16 \text{ MHz}$ (2 分周)
 メインクロックモード, 外部クロック動作時



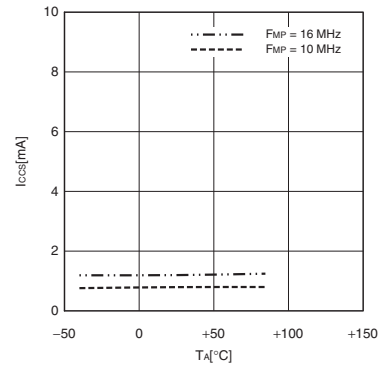
$I_{CC} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MP} = 10, 16 \text{ MHz}$ (2 分周)
 メインクロックモード, 外部クロック動作時



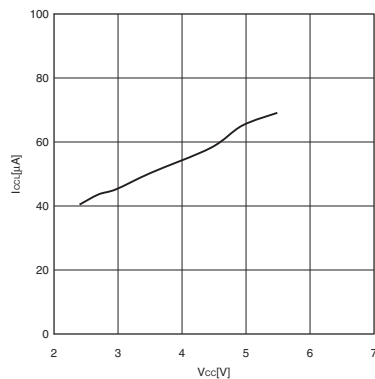
$I_{CCS} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MP} = 2, 4, 8, 10, 16 \text{ MHz}$ (2 分周)
 メインスリープモード, 外部クロック動作時



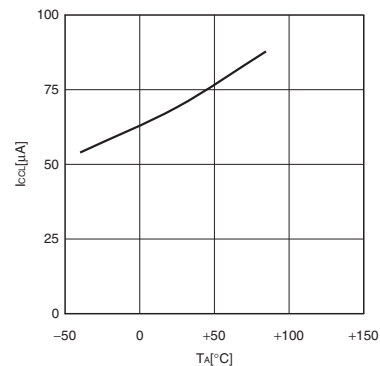
$I_{CCS} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MP} = 10, 16 \text{ MHz}$ (2 分周)
 メインスリープモード, 外部クロック動作時



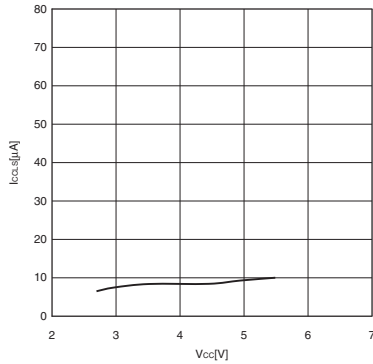
$I_{CCL} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 サブクロックモード, 外部クロック動作時



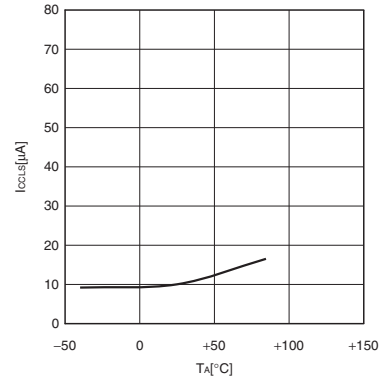
$I_{CCL} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 サブクロックモード, 外部クロック動作時



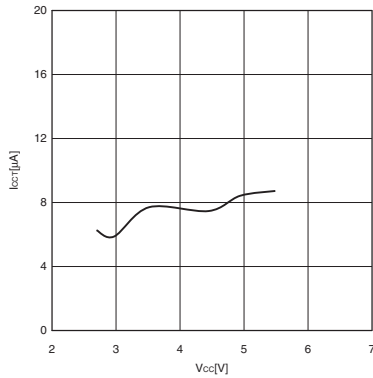
$I_{CCLS} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 サブスリープモード, 外部クロック動作時



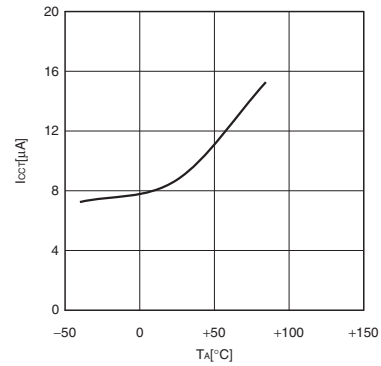
$I_{CCLS} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 サブスリープモード, 外部クロック動作時



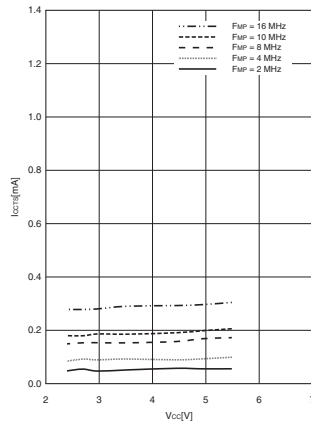
$I_{CCT} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 時計モード, 外部クロック動作時



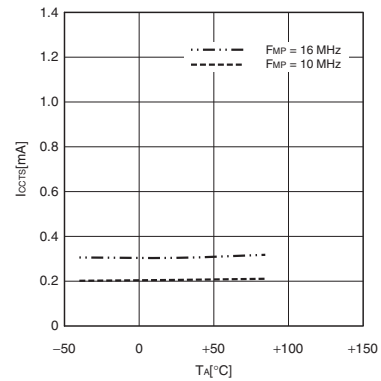
$I_{CCT} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MPL} = 16 \text{ kHz}$ (2 分周)
 時計モード, 外部クロック動作時



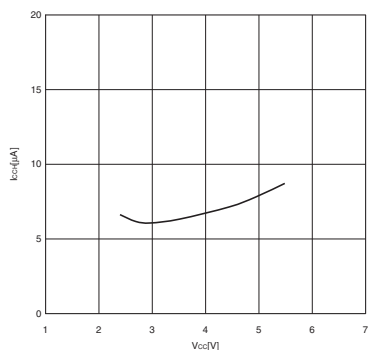
$I_{CCTS} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MP} = 2, 4, 8, 10, 16 \text{ MHz}$ (2 分周)
 タイムベースタイマモード, 外部クロック動作時



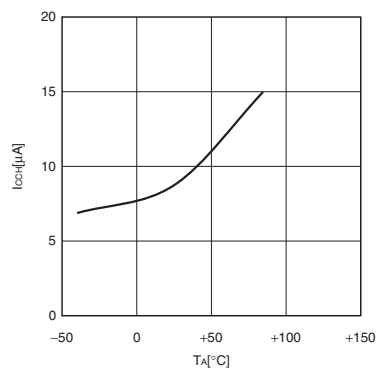
$I_{CCTS} - T_A$
 $V_{CC} = 5.5 \text{ V}$, $F_{MP} = 10, 16 \text{ MHz}$ (2 分周)
 タイムベースタイマモード, 外部クロック動作時



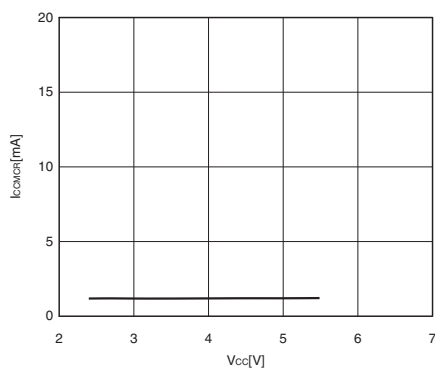
$I_{CCH} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MPL} = (\text{停止})$
 サブストップモード, 外部クロック停止時



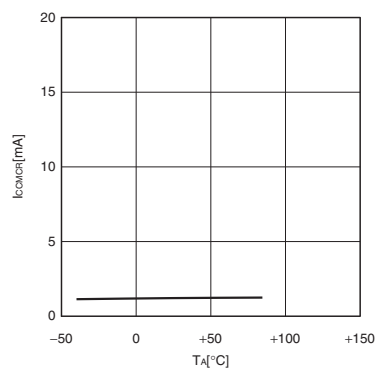
$I_{CCH} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MPL} = (\text{停止})$
 サブストップモード, 外部クロック停止時



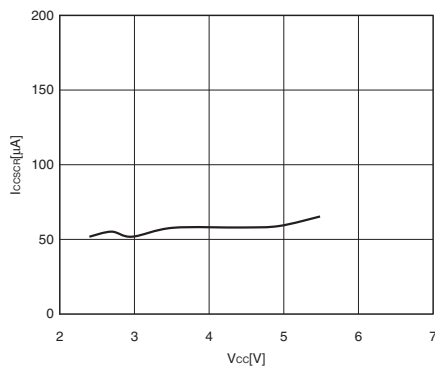
$I_{CCMCR} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MP} = 4\text{ MHz}$ (分周なし)
 メインクロックモード, メイン CR クロック動作時



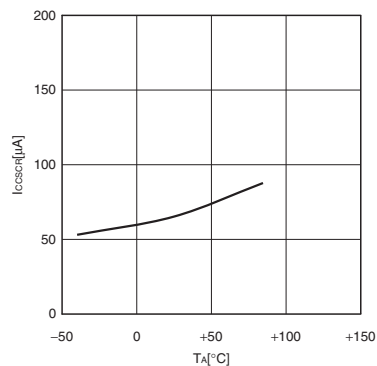
$I_{CCMCR} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MP} = 4\text{ MHz}$ (分周なし)
 メインクロックモード, メイン CR クロック動作時



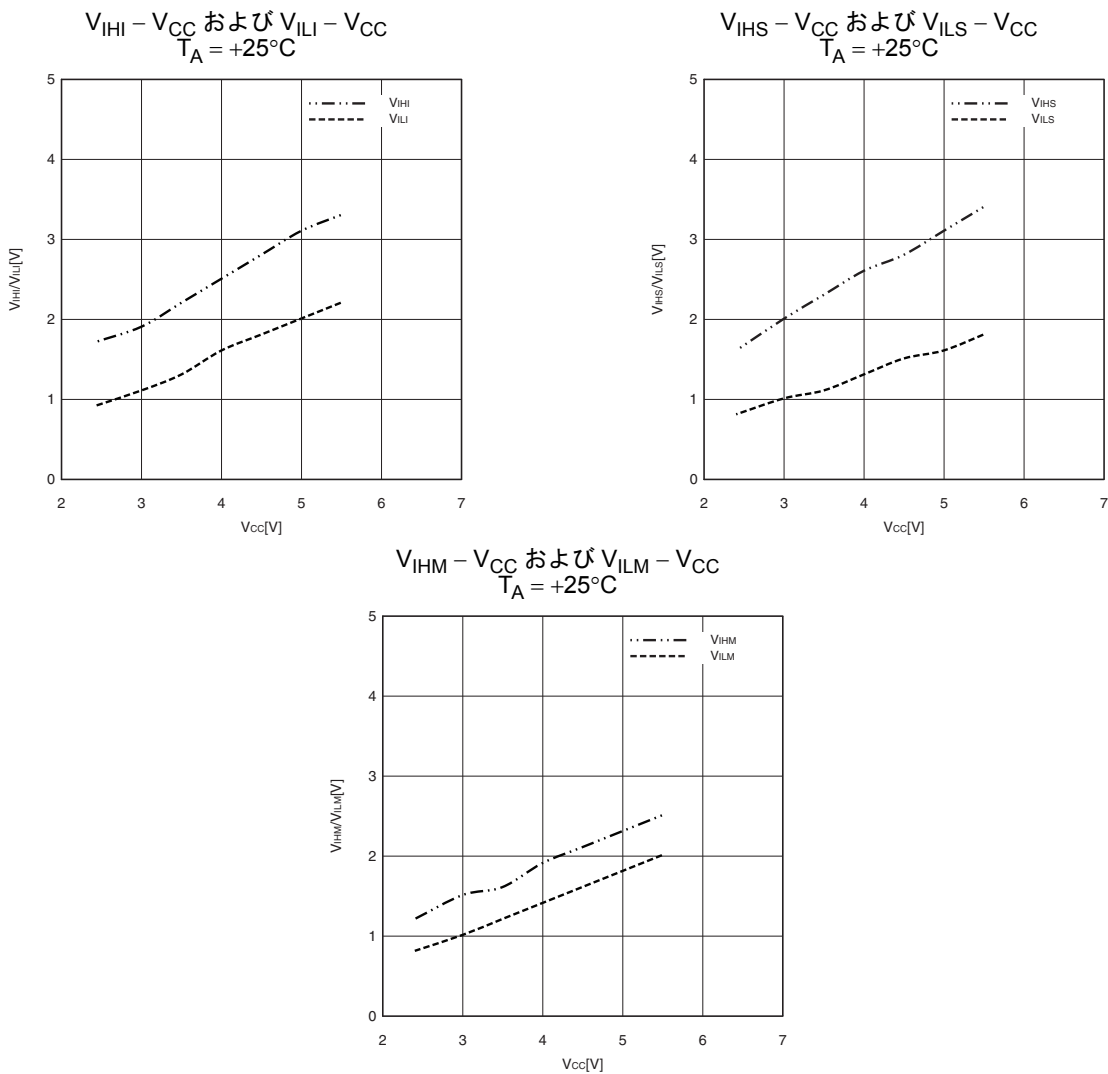
$I_{CCSCR} - V_{CC}$
 $T_A = +25^\circ\text{C}$, $F_{MPL} = 50\text{ kHz}$ (2 分周)
 サブクロックモード, サブ CR クロック動作時



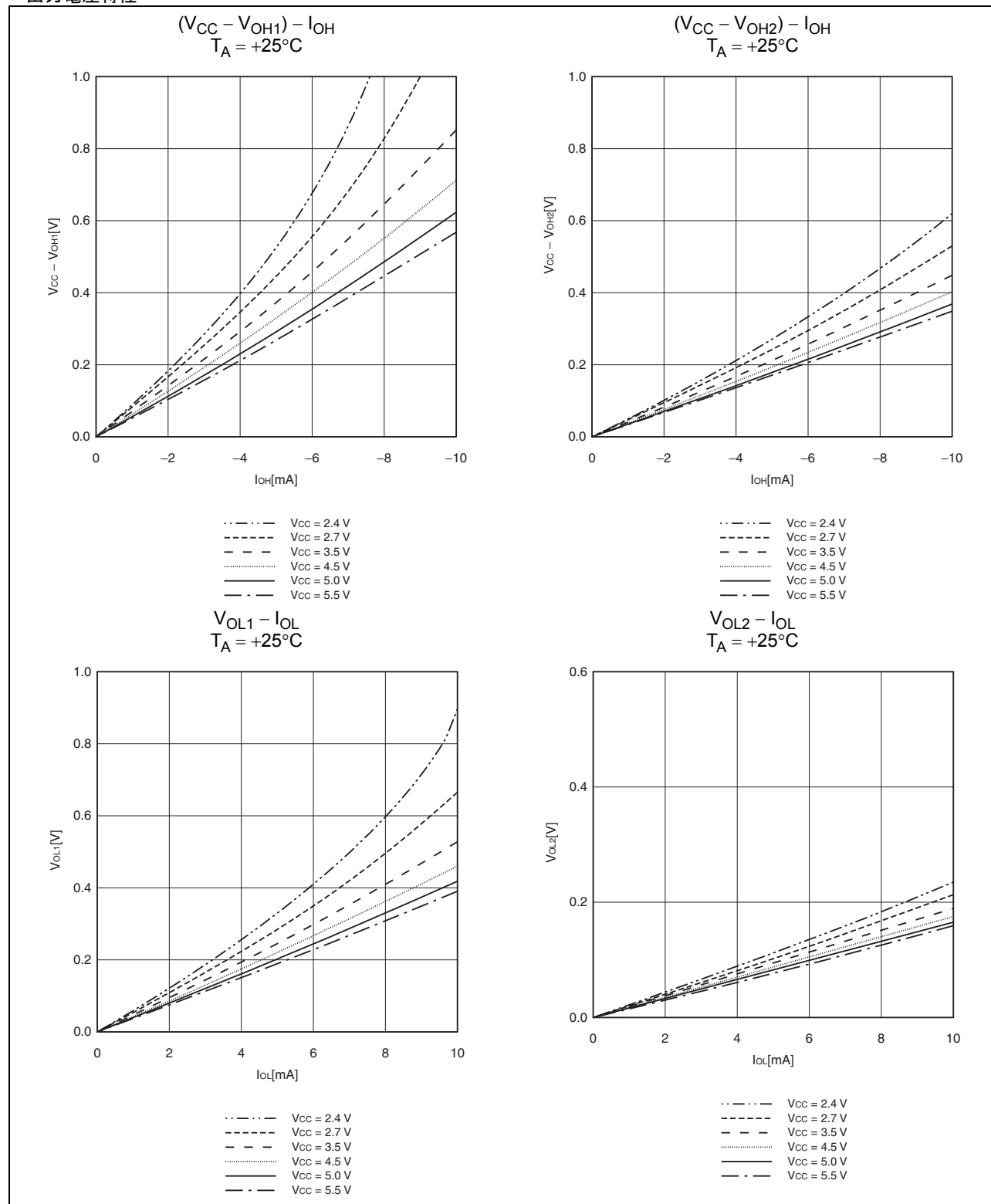
$I_{CCSCR} - T_A$
 $V_{CC} = 5.5\text{ V}$, $F_{MPL} = 50\text{ kHz}$ (2 分周)
 サブクロックモード, サブ CR クロック動作時



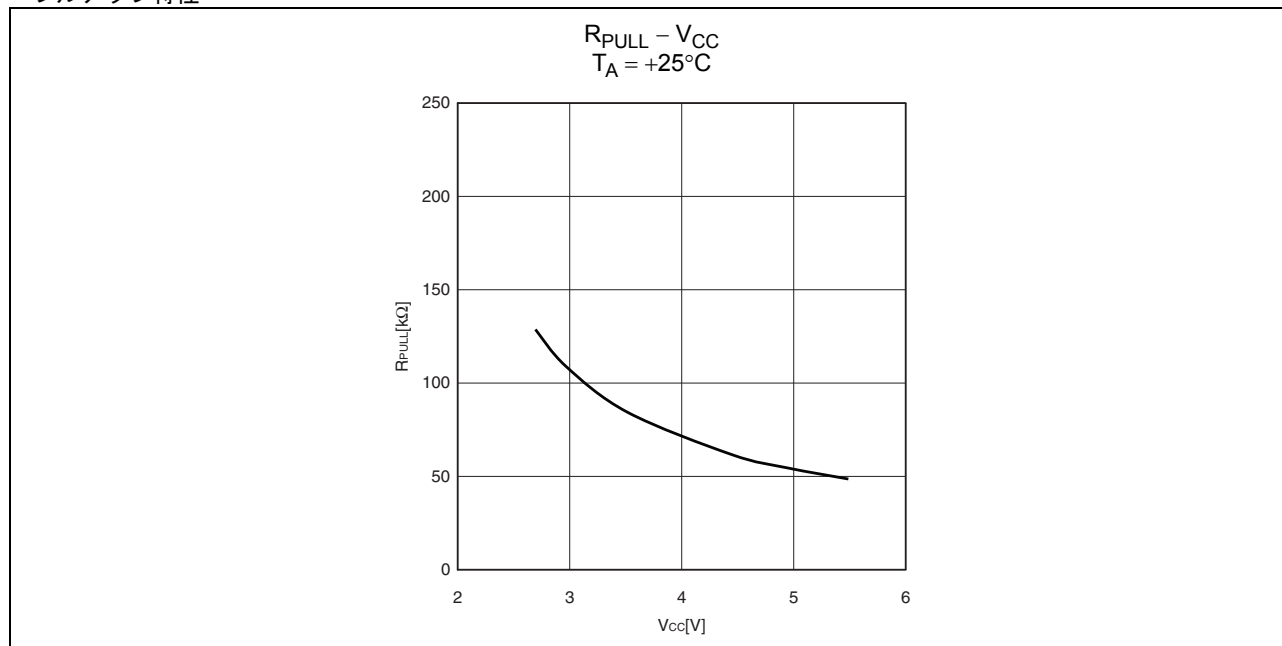
• 入力電圧特性



• 出力電圧特性



• プルアップ特性



26. マスクオプション

No.	品 種 名	MB95F562H MB95F563H MB95F564H MB95F572H MB95F573H MB95F574H MB95F582H MB95F583H MB95F584H	MB95F562K MB95F563K MB95F564K MB95F572K MB95F573K MB95F574K MB95F582K MB95F583K MB95F584K
	選 択 方 法	設 定 不 可	
1	低電圧検出リセット	低電圧検出リセットなし	低電圧検出リセットあり
2	リセット	専用のリセット入力あり	専用のリセット入力なし

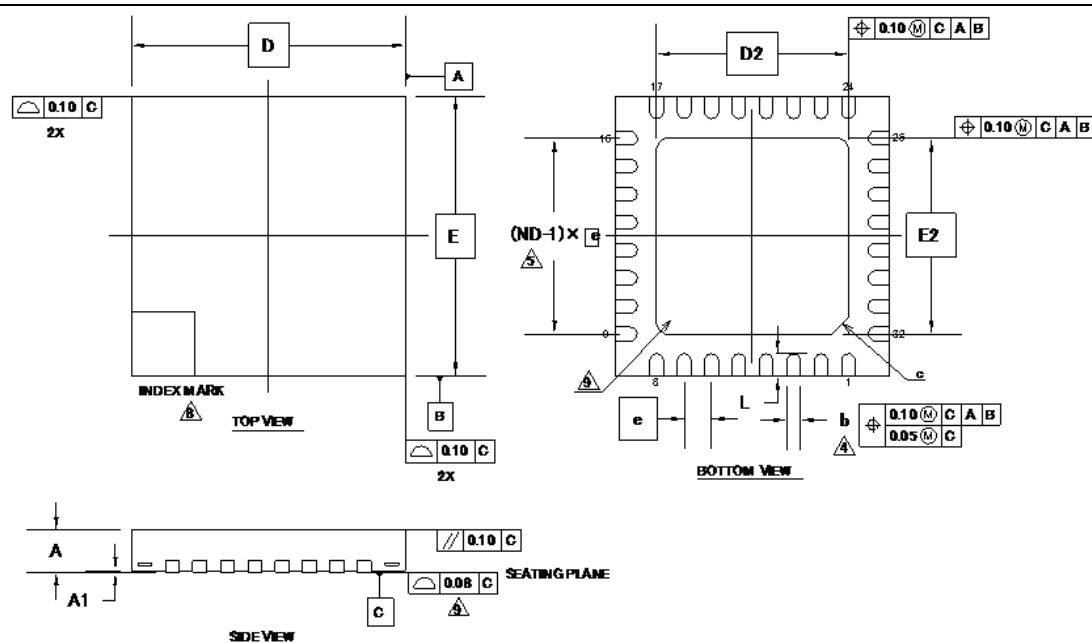
27. オーダ型格

型格	パッケージ	包装
MB95F562HNWQN-G-SNE1 MB95F562KNWQN-G-SNE1 MB95F563HNWQN-G-SNE1 MB95F563KNWQN-G-SNE1 MB95F564HNWQN-G-SNE1 MB95F564KNWQN-G-SNE1	プラスチック・QFN, 32 ピン (WNP032)	トレイ
MB95F562HNWQN-G-SNERE1 MB95F562KNWQN-G-SNERE1 MB95F563HNWQN-G-SNERE1 MB95F563KNWQN-G-SNERE1 MB95F564HNWQN-G-SNERE1 MB95F564KNWQN-G-SNERE1		リール
MB95F562HNPFG-G-SNE2 MB95F562KNPFG-G-SNE2 MB95F563HNPFG-G-SNE2 MB95F563KNPFG-G-SNE2 MB95F564HNPFG-G-SNE2 MB95F564KNPFG-G-UNE2	プラスチック・SOP, 20 ピン (SOJ020)	チューブ
MB95F564KNPFG-G-UNERE2		リール
MB95F562HNPFT-G-SNE2 MB95F562KNPFT-G-UNE2 MB95F563HNPFT-G-SNE2 MB95F563KNPFT-G-SNE2 MB95F564HNPFT-G-SNE2 MB95F564KNPFT-G-UNE2	プラスチック・TSSOP, 20 ピン (STG020)	チューブ
MB95F562KNPFT-G-UNERE2 MB95F563HNPFT-G-UNERE2 MB95F563KNPFT-G-UNERE2 MB95F564KNPFT-G-UNERE2		リール
MB95F582HNWQN-G-SNE1 MB95F582KNWQN-G-SNE1 MB95F583HNWQN-G-SNE1 MB95F583KNWQN-G-SNE1 MB95F584HNWQN-G-SNE1 MB95F584KNWQN-G-SNE1	プラスチック・QFN, 32 ピン (WNP032)	トレイ
MB95F582HNWQN-G-SNERE1 MB95F582KNWQN-G-SNERE1 MB95F583HNWQN-G-SNERE1 MB95F583KNWQN-G-SNERE1 MB95F584HNWQN-G-SNERE1 MB95F584KNWQN-G-SNERE1		リール
MB95F582HNPFT-G-SNE2 MB95F582KNPFT-G-SNE2 MB95F583HNPFT-G-SNE2 MB95F583KNPFT-G-SNE2 MB95F584HNPFT-G-SNE2 MB95F584KNPFT-G-SNE2	プラスチック・TSSOP, 16 ピン (STB016)	チューブ

型格	パッケージ	包装
MB95F582HNPF-G-SNE2 MB95F582KNPF-G-SNE2 MB95F583HNPF-G-SNE2 MB95F583KNPF-G-SNE2 MB95F584HNPF-G-SNE2 MB95F584KNPF-G-SNE2	プラスチック・SOP, 16 ピン (SO016)	チューブ
MB95F572HNPH-G-SNE2 MB95F572KNPH-G-SNE2 MB95F573HNPH-G-SNE2 MB95F573KNPH-G-SNE2 MB95F574HNPH-G-SNE2 MB95F574KNPH-G-SNE2	プラスチック・DIP, 8 ピン (PDA008)	チューブ
MB95F572HNPF-G-SNE2 MB95F572KNPF-G-SNE2 MB95F573HNPF-G-SNE2 MB95F573KNPF-G-SNE2 MB95F574HNPF-G-SNE2 MB95F574KNPF-G-SNE2	プラスチック・SOP, 8 ピン (SOD008)	チューブ

28. パッケージ・外形寸法図

Package Type	Package Code
QFN 32	WNP032



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.80
A ₁	0.00	—	0.05
D	5.00 BSC		
E	5.00 BSC		
b	0.18	0.25	0.30
D ₂	3.50 BSC		
E ₂	3.50 BSC		
e	0.50 BSC		
c	0.30 REF		
L	0.35	0.40	0.45

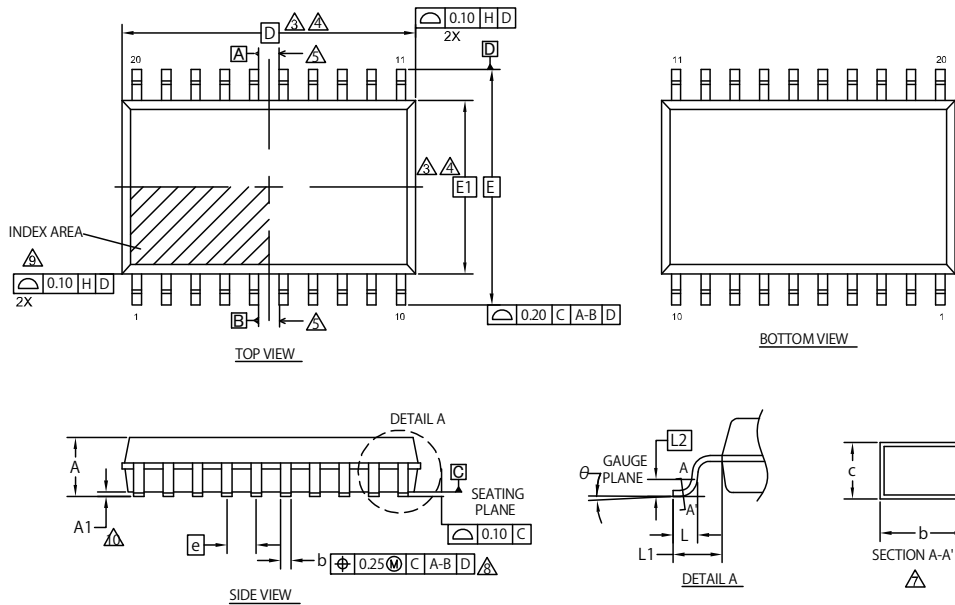
NOTE

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
5. ND REFER TO THE NUMBER OF TERMINAL ON D OR E SIDE.
6. MAX. PACKAGE WARPAGE IS 0.05mm.
7. MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
8. PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
9. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
10. JEDEC SPECIFICATION NO. REF: N/A

002-15160 **

PACKAGE OUTLINE, 32 LEAD QFN
5.00X5.00X0.8MM WFN002 3.5G 3.5MM EPAD (SANTO REV14)

Package Type	Package Code
SOP 20	SOJ020



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	2.65
A1	0.05	—	0.20
D	12.70 BSC		
E	10.20 BSC		
E1	7.50 BSC		
θ	0°	—	8°
c	0.22	—	0.32
b	0.35	0.40	0.49
L	0.50	0.80	1.27
L 1	1.35 REF		
L 2	0.25 BSC		
e	1.27 BSC		

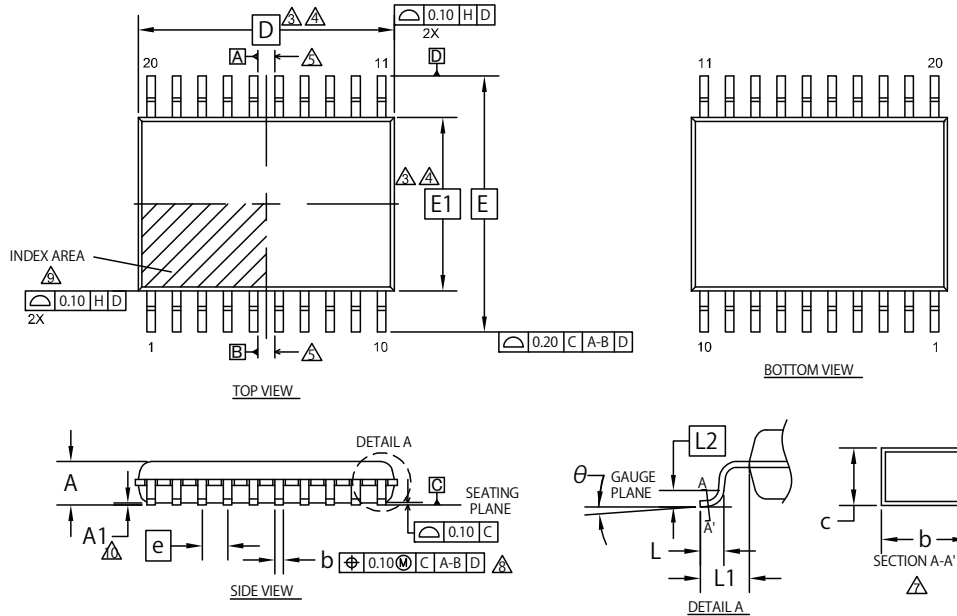
NOTES

- ALL DIMENSIONS ARE IN MILLIMETER.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
- DIMENSIONING D INCLUDE MOLD FLASH, DIMENSIONING E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.025 mm PER SIDE. D and E1 DIMENSION ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONING D and E1 ARE DETERMINED AT THE OUTERMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, THE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUDING ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A & B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSION APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 mm TO 0.25mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE THE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR MAY NOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
- "A1" IS DEFINED AS THE VERTICAL DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY EXCLUDING THE LID AND OR THERMAL ENHANCEMENT ON CAVITY DOWN PACKAGE CONFIGURATIONS.
- JEDEC SPECIFICATION NO. REF: N/A

002-16348 **

PACKAGE OUTLINE, 20 LEAD SSOP
12.70X10.20X2.65 MM SOJ020 REV**

Package Type	Package Code
TSSOP 20	STG020



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.05	—	0.15
D	6.50 BSC		
E	6.40 BSC		
E1	4.40 BSC		
θ	0°	—	8°
c	0.10	—	0.19
b	0.20	0.24	0.28
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25 BSC		
e	0.65 BSC		

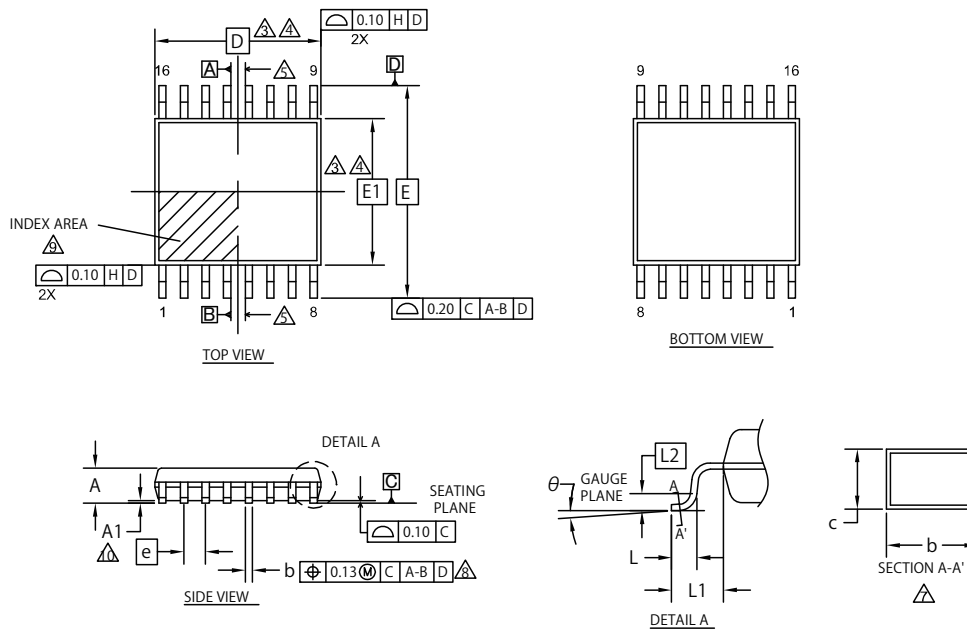
NOTES

- ALL DIMENSIONS ARE IN MILLIMETER.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
- DIMENSIONING D INCLUDE MOLD FLASH, DIMENSIONING E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.025 mm PER SIDE. D and E1 DIMENSION ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONING D and E1 ARE DETERMINED AT THE OUTERMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, THE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUDING ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A & B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSION APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 mm TO 0.25mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE THE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR MAY NOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED
- "A1" IS DEFINED AS THE VERTICAL DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY EXCLUDING THE LID AND OR THERMAL ENHANCEMENT ON CAVITY DOWN PACKAGE CONFIGURATIONS.
- JEDEC SPECIFICATION NO. REF : N/A

002-15916 **

PACKAGE OUTLINE, 20 LEAD TSSOP
6.50X6.40X1.20 MM STG020 REV**

Package Type	Package Code
TSSOP 16	STB016



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.05	—	0.15
D	4.96BSC		
E	6.40BSC		
E1	4.40BSC		
θ	0°	—	8°
c	0.10	—	0.19
b	0.16	0.24	0.32
L	0.45	0.60	0.75
L 1	1.00 REF		
L 2	0.25 BSC		
e	0.65 BSC		

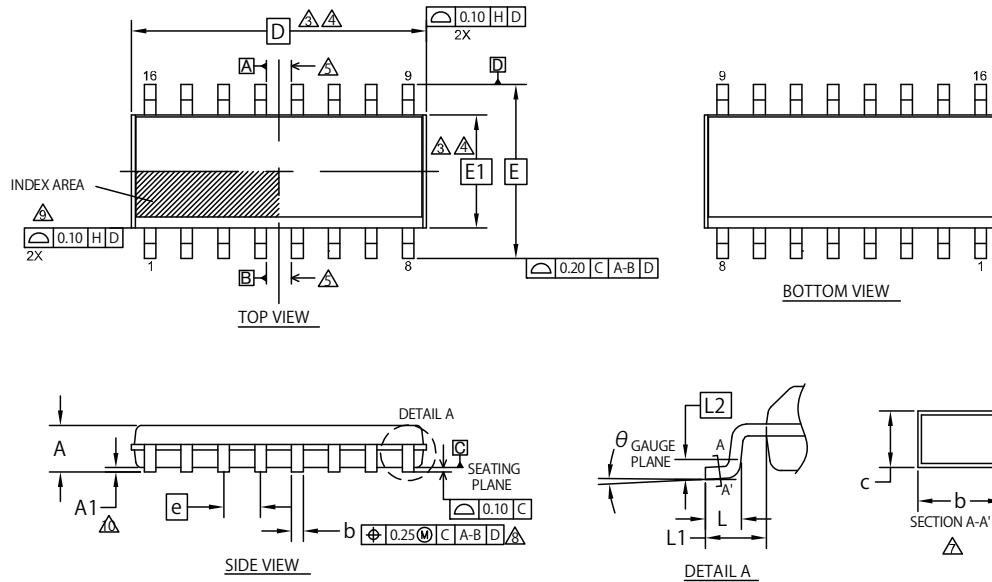
NOTES

- ALL DIMENSIONS ARE IN MILLIMETER.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
- DIMENSIONING D INCLUDE MOLD FLASH, DIMENSIONING E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.025 mm PER SIDE. D and E1 DIMENSION ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONING D and E1 ARE DETERMINED AT THE OUTERMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, THE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUDING ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A & B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSION APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 mm TO 0.25mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE THE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR MAY NOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED.
- "A1" IS DEFINED AS THE VERTICAL DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY EXCLUDING THE LID AND OR THERMAL ENHANCEMENT ON CAVITY DOWN PACKAGE CONFIGURATIONS.
- JEDEC SPECIFICATION NO. REF: N/A

002-15914 **

PACKAGE OUTLINE, 16 LEAD TSSOP
 4.96X6.40X1.20 MM STB016 REV**

Package Type	Package Code
SOP 16	SO016



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.75
A1	0.10	—	0.25
D	9.96 BSC		
E	6.00 BSC		
E1	3.90 BSC		
θ	0°	—	8°
c	0.13	—	0.20
b	0.36	0.40	0.51
L	0.45	0.60	0.80
L1	1.05 REF		
L2	0.25 BSC		
e	1.27 BSC		

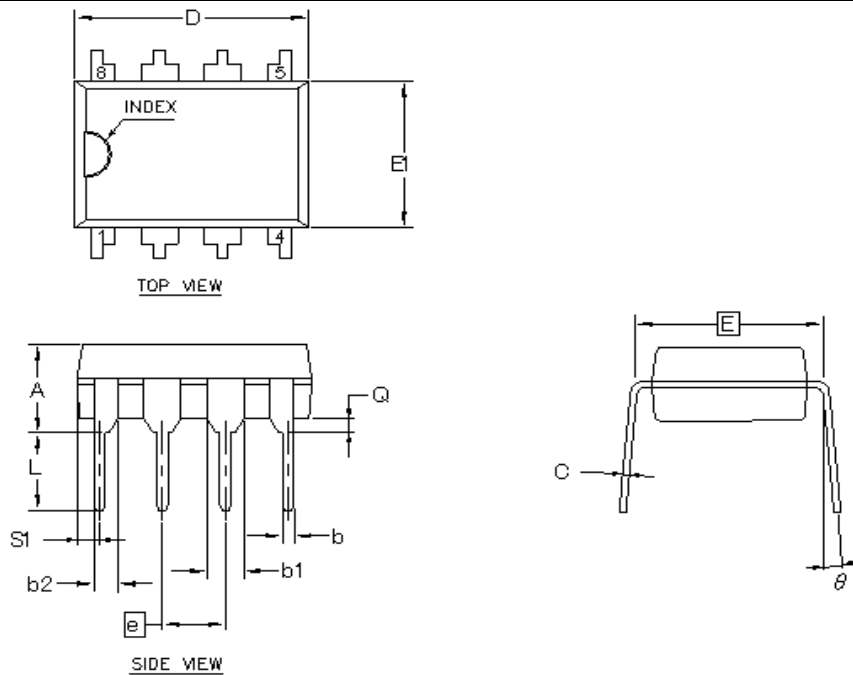
NOTES

- ALL DIMENSIONS ARE IN MILLIMETER.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
- DIMENSIONING D INCLUDE MOLD FLASH, DIMENSIONING E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.025 mm PER SIDE. D and E1 DIMENSION ARE DETERMINED AT DATUM H.
- THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONING D and E1 ARE DETERMINED AT THE OUTERMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, THE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUDING ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DATUMS A & B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
- THE DIMENSION APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 mm TO 0.25mm FROM THE LEAD TIP.
- DIMENSION "b" DOES NOT INCLUDE THE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR MAY NOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.
- THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED
- "A1" IS DEFINED AS THE VERTICAL DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY EXCLUDING THE LID AND OR THERMAL ENHANCEMENT ON CAVITY DOWN PACKAGE CONFIGURATIONS.
- JEDEC SPECIFICATION NO. REF : N/A

002-15861 **

PACKAGE OUTLINE, 16 LEAD SOP
 9.96X6.00X1.75 MM SO016 REV**

Package Type	Package Code
DIP 8	PDA008



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	4.36
L	3.00	—	—
D	9.10	9.40	9.80
E	7.62 TYP		
E1	6.10	6.35	6.60
θ	—	—	15°
c	0.20	0.25	0.30
b	0.38	0.46	0.54
b1	—	1.52	1.82
b2	—	0.99	1.29
e	2.54 TYP		
S1	0.59	0.89	1.24
Q	0.50	—	—

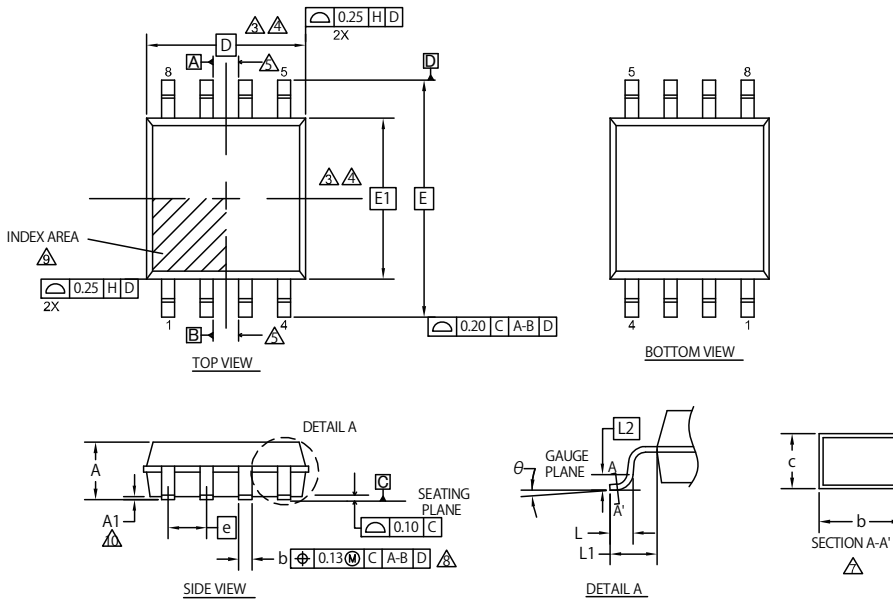
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETER.
2. JEDEC SPECIFICATION NO. REF : N/A

002-16909 **








 PACKAGE OUTLINE & LEAD PDP
 94008-35X3.98 NIM PDA008 REV**

Package Type	Package Code
SOP 8	SOD008



SYMBOL	DIMENSION		
	MIN.	NOM.	MAX.
A	—	—	2.10
A1	0.05	—	0.25
D	5.24 BSC		
E	7.80 BSC		
E1	5.30 BSC		
θ	0°	—	8°
c	0.15	—	0.25
b	0.38	0.43	0.48
L	0.55	0.75	0.85
L1	1.25 REF		
L2	0.25 BSC		
e	1.27 BSC		

NOTES

- ALL DIMENSIONS ARE IN MILLIMETER.
- DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
-  DIMENSIONING D INCLUDE MOLD FLASH, DIMENSIONING E1 DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.025 mm PER SIDE. D and E1 DIMENSION ARE DETERMINED AT DATUM H.
-  THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM. DIMENSIONING D and E1 ARE DETERMINED AT THE OUTERMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, THE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUDING ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
-  DATUMS A & B TO BE DETERMINED AT DATUM H.
- "N" IS THE MAXIMUM NUMBER OF TERMINAL POSITIONS FOR THE SPECIFIED PACKAGE LENGTH.
-  THE DIMENSION APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10 mm TO 0.25mm FROM THE LEAD TIP.
-  DIMENSION "b" DOES NOT INCLUDE THE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.10mm TOTAL IN EXCESS OF THE "b" DIMENSION AT MAXIMUM MATERIAL CONDITION. THE DAMBAR MAY NOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT.
-  THIS CHAMFER FEATURE IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED WITHIN THE INDEX AREA INDICATED
-  "A1" IS DEFINED AS THE VERTICAL DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY EXCLUDING THE LID AND OR THERMAL ENHANCEMENT ON CAVITY DOWN PACKAGE CONFIGURATIONS.
- JEDEC SPECIFICATION NO. REF : N/A

002-15858 **

PACKAGE OUTLINE, 8 LEAD SOP
 5.24X7.80X2.10 MM SOD008 REV**

29. 本版での主な変更内容

Spanion Publication Number: DS702-00010

ページ	場所	変更内容
—	—	シリーズ名を変更 MB95560H シリーズ → MB95560H/570H/580H シリーズ
		MB95570H シリーズに関する記載を追加
		MB95580H シリーズに関する記載を追加
26	■ 端子接続について • DBG 端子	「• DBG 端子」の内容を変更
	• RST 端子	「• RST 端子」の内容を変更
27	• C 端子	以下の記述を訂正 V _{CC} 端子のバイパスコンデンサは、C _S より大きい容量値のコンデンサを使用してください。 → V _{CC} 端子のバイパスコンデンサは C _S 以上の容量値のコンデンサを使用してください。
38	■ I/O マップ (MB95570H シリーズ)	CMDR レジスタの R/W 属性を訂正 R/W → R
		WDTH レジスタの R/W 属性を訂正 R/W → R
		WDTL レジスタの R/W 属性を訂正 R/W → R
41	■ I/O マップ (MB95580H シリーズ)	CMDR レジスタの R/W 属性を訂正 R/W → R
		WDTH レジスタの R/W 属性を訂正 R/W → R
		WDTL レジスタの R/W 属性を訂正 R/W → R
45	■ 電气的特性 1. 絶対最大定格	項目「“L” レベル最大総出力電流」の定格値を訂正 48 → 100
		項目「“H” レベル最大総出力電流」の定格値を訂正 48 → -100
47	2. 推奨動作条件	注記 *2 を変更 低電圧検出リセット使用時は、2.88 V となります。 → 低電圧検出リセットあり品使用時は、電源電圧の最小値は 2.88 V となります。
		注記 *3 にある以下の記述を訂正 V _{CC} 端子のバイパスコンデンサは C _S より大きい容量値のコンデンサを使用してください。 → V _{CC} 端子のバイパスコンデンサは C _S 以上の容量値のコンデンサを使用してください。
		「• DBG/RST/C 端子配列図」の注記を変更

ページ	場所	変更内容
48	3. 直流規格	<p>項目「入力リーク電流 (Hi-Z 出力リーク電流)」の備考を変更 プルアップ抵抗が禁止されている場合 → 内部プルアップ抵抗が禁止されている場合</p> <p>項目「プルアップ抵抗」を「内部プルアップ抵抗」に改名</p> <p>項目「内部プルアップ抵抗」の備考を変更 プルアップ抵抗が許可されている場合 → 内部プルアップ抵抗が許可されている場合</p>
52	4. 交流規格 (1) クロックタイミング	<p>項目「入力クロックの立上り時間と立下り時間」の端子名を訂正 X0 → X0, X0A X0, X1 → X0, X1, X0A, X1A</p>
79	■ オーダ型格	<p>プラスチック・QFN, 32 ピン (LCC-32P-M19) の型格を変更 MB95F582HWQN-G-SNE1 MB95F582HWQN-G-SNERE1 MB95F582KWQN-G-SNE1 MB95F582KWQN-G-SNERE1 MB95F583HWQN-G-SNE1 MB95F583HWQN-G-SNERE1 MB95F583KWQN-G-SNE1 MB95F583KWQN-G-SNERE1 MB95F584HWQN-G-SNE1 MB95F584HWQN-G-SNERE1 MB95F584KWQN-G-SNE1 MB95F584KWQN-G-SNERE1 → MB95F582HNWQN-G-SNE1 MB95F582HNWQN-G-SNERE1 MB95F582KNWQN-G-SNE1 MB95F582KNWQN-G-SNERE1 MB95F583HNWQN-G-SNE1 MB95F583HNWQN-G-SNERE1 MB95F583KNWQN-G-SNE1 MB95F583KNWQN-G-SNERE1 MB95F584HNWQN-G-SNE1 MB95F584HNWQN-G-SNERE1 MB95F584KNWQN-G-SNE1 MB95F584KNWQN-G-SNERE1</p> <p>プラスチック・TSSOP, 16 ピン (FPT-16P-M08) の型格を変更 MB95F582HPFT-G-SNE2 MB95F582KPFT-G-SNE2 MB95F583HPFT-G-SNE2 MB95F583KPFT-G-SNE2 MB95F584HPFT-G-SNE2 MB95F584KPFT-G-SNE2 → MB95F582HNPFT-G-SNE2 MB95F582KNPFT-G-SNE2 MB95F583HNPFT-G-SNE2 MB95F583KNPFT-G-SNE2 MB95F584HNPFT-G-SNE2 MB95F584KNPFT-G-SNE2</p>

ページ	場所	変更内容
79	■ オーダ型格	プラスチック・SOP, 16 ピン (FPT-16P-M23) の型格を変更 MB95F582HPF-G-SNE2 MB95F582KPF-G-SNE2 MB95F583HPF-G-SNE2 MB95F583KPF-G-SNE2 MB95F584HPF-G-SNE2 MB95F584KPF-G-SNE2 → MB95F582HNPF-G-SNE2 MB95F582KNPF-G-SNE2 MB95F583HNPF-G-SNE2 MB95F583KNPF-G-SNE2 MB95F584HNPF-G-SNE2 MB95F584KNPF-G-SNE2
80		プラスチック・DIP, 8 ピン (DIP-8P-M03) の型格を変更 MB95F572HPH-G-SNE2 MB95F572KPH-G-SNE2 MB95F573HPH-G-SNE2 MB95F573KPH-G-SNE2 MB95F574HPH-G-SNE2 MB95F574KPH-G-SNE2 → MB95F572HNPH-G-SNE2 MB95F572KNPH-G-SNE2 MB95F573HNPH-G-SNE2 MB95F573KNPH-G-SNE2 MB95F574HNPH-G-SNE2 MB95F574KNPH-G-SNE2 プラスチック・SOP, 8 ピン (FPT-8P-M08) の型格を変更 MB95F572HPF-G-SNE2 MB95F572KPF-G-SNE2 MB95F573HPF-G-SNE2 MB95F573KPF-G-SNE2 MB95F574HPF-G-SNE2 MB95F574KPF-G-SNE2 → MB95F572HNPF-G-SNE2 MB95F572KNPF-G-SNE2 MB95F573HNPF-G-SNE2 MB95F573KNPF-G-SNE2 MB95F574HNPF-G-SNE2 MB95F574KNPF-G-SNE2

・ 3 版から 4 版への主な変更内容

ページ	場所	変更内容
23 ~ 25	■ 取扱上のご注意	「■ 取扱上のご注意」を追加
34	■ I/O マップ (MB95560H シリーズ)	CMDR レジスタの R/W 属性を訂正 R/W → R
35		WDTH レジスタの R/W 属性を訂正 R/W → R
		WDTL レジスタの R/W 属性を訂正 R/W → R
51	■ 電気的特性 4. 交流規格 (1)クロックタイミング	<p>項目「クロック周波数」の F_{CRH} の動作条件を訂正 $0^{\circ}\text{C} \leq T_A < +70^{\circ}\text{C}$ → $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$</p> <p>$+70^{\circ}\text{C} \leq T_A < +85^{\circ}\text{C}$ → $+70^{\circ}\text{C} < T_A \leq +85^{\circ}\text{C}$</p> <p>項目「クロック周波数」の F_{MCRPLL} の動作条件を訂正 $0^{\circ}\text{C} \leq T_A < +70^{\circ}\text{C}$ → $0^{\circ}\text{C} \leq T_A \leq +70^{\circ}\text{C}$</p> <p>$+70^{\circ}\text{C} \leq T_A < +85^{\circ}\text{C}$ → $+70^{\circ}\text{C} < T_A \leq +85^{\circ}\text{C}$</p>
67	5. A/D コンバータ (1)A/D コンバータ電気的特性	項目「ゼロトランジション電圧」の記号を訂正 $V_{OT} \rightarrow V_{0T}$
68	5. A/D コンバータ (2)A/D コンバーの注意事項 ・ アナログ入力等価回路	<p>V_{CC} の範囲を訂正 $2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$ → $2.7\text{ V} \leq V_{CC} < 4.5\text{ V}$</p> <p>R の値を訂正 $3.3\text{ k}\Omega \rightarrow 1.45\text{ k}\Omega$ $5.7\text{ k}\Omega \rightarrow 2.7\text{ k}\Omega$</p>
69, 70	5. A/D コンバータ (3)A/D コンバータの用語の定義	ゼロトランジション電圧の記号を訂正 $V_{OT} \rightarrow V_{0T}$

ページ	場所	変更内容
79	■ オーダ型格	<p>プラスチック・QFN, 32 ピン (LCC-32P-M19) の型格を変更</p> <p>MB95F562HWQN-G-SNE1 MB95F562HWQN-G-SNERE1 MB95F562KWQN-G-SNE1 MB95F562KWQN-G-SNERE1 MB95F563HWQN-G-SNE1 MB95F563HWQN-G-SNERE1 MB95F563KWQN-G-SNE1 MB95F563KWQN-G-SNERE1 MB95F564HWQN-G-SNE1 MB95F564HWQN-G-SNERE1 MB95F564KWQN-G-SNE1 MB95F564KWQN-G-SNERE1 → MB95F562HNWQN-G-SNE1 MB95F562HNWQN-G-SNERE1 MB95F562KNWQN-G-SNE1 MB95F562KNWQN-G-SNERE1 MB95F563HNWQN-G-SNE1 MB95F563HNWQN-G-SNERE1 MB95F563KNWQN-G-SNE1 MB95F563KNWQN-G-SNERE1 MB95F564HNWQN-G-SNE1 MB95F564HNWQN-G-SNERE1 MB95F564KNWQN-G-SNE1 MB95F564KNWQN-G-SNERE1</p> <p>プラスチック・SOP, 20 ピン (FPT-20P-M09) の型格を変更</p> <p>MB95F562HPF-G-SNE2 MB95F562KPF-G-SNE2 MB95F563HPF-G-SNE2 MB95F563KPF-G-SNE2 MB95F564HPF-G-SNE2 MB95F564KPF-G-SNE2 → MB95F562HNPF-G-SNE2 MB95F562KNPF-G-SNE2 MB95F563HNPF-G-SNE2 MB95F563KNPF-G-SNE2 MB95F564HNPF-G-SNE2 MB95F564KNPF-G-SNE2</p>

ページ	場所	変更内容
79	■ オーダ型格	プラスチック・TSSOP, 20 ピン (FPT-20P-M10) の型格を変更 MB95F562HPFT-G-SNE2 MB95F562KPFT-G-SNE2 MB95F563HPFT-G-SNE2 MB95F563KPFT-G-SNE2 MB95F564HPFT-G-SNE2 MB95F564KPFT-G-SNE2 → MB95F562HNPFT-G-SNE2 MB95F562KNPFT-G-SNE2 MB95F563HNPFT-G-SNE2 MB95F563KNPFT-G-SNE2 MB95F564HNPFT-G-SNE2 MB95F564KNPFT-G-SNE2

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名：MB95560H シリーズ , MB95570H シリーズ , MB95580H シリーズ , New 8FX 8-bit Microcontrollers
 文書番号：002-04630

版	ECN	変更者	発行日	変更内容																
**	-	AKIH	01/28/2011	サイプレスとしてドキュメントコード 002-04630 に登録しました。 本版の内容およびフォーマットに変更はありません。																
*A	5446479	AKIH	09/23/2016	これは英語版の 002-04629 Rev. *A を翻訳した日本語版です。																
*B	5473453	HTER	02/06/2017	これは英語版の 002-04629 Rev. *B を翻訳した日本語版です。 1. 品種構成 (5 ページ) の誤記を訂正 クロック同期非→クロック非同期 以下の章のパッケージコードを下記表の通りに変更 1. 品種構成 (6-8 ページ) 2. パッケージと品種対応 (9 ページ) 4. 端子配置図 (11, 12 ページ) 27. オーダ型格 (77, 78 ページ) 28. パッケージ・外形寸法図 (79-85 ページ) <table border="1"> <thead> <tr> <th>変更前</th> <th>変更後</th> </tr> </thead> <tbody> <tr> <td>LCC-32P-M19</td> <td>WNP032</td> </tr> <tr> <td>FPT-20P-M09</td> <td>SOJ020</td> </tr> <tr> <td>FPT-20P-M10</td> <td>STG020</td> </tr> <tr> <td>FPT-16P-M08</td> <td>STB016</td> </tr> <tr> <td>FPT-16P-M23</td> <td>SO016</td> </tr> <tr> <td>DIP-8P-M03</td> <td>PDA008</td> </tr> <tr> <td>FPT-8P-M08</td> <td>SOD008</td> </tr> </tbody> </table> 27. オーダ型格 (77 ページ) に以下のオーダ型格を追加 “MB95F564KNPF-G-UNE2” “MB95F564KNPF-G-UNERE2” “MB95F562KNPFT-G-UNE2” “MB95F564KNPFT-G-UNE2” “MB95F562KNPFT-G-UNERE2” “MB95F563KNPFT-G-UNERE2” “MB95F564KNPFT-G-UNERE2” 27. オーダ型格 (77 ページ) から以下のオーダ型格を削除 “MB95F564KNPF-G-SNE2” “MB95F562KNPFT-G-SNE2” “MB95F564KNPFT-G-SNE2”	変更前	変更後	LCC-32P-M19	WNP032	FPT-20P-M09	SOJ020	FPT-20P-M10	STG020	FPT-16P-M08	STB016	FPT-16P-M23	SO016	DIP-8P-M03	PDA008	FPT-8P-M08	SOD008
変更前	変更後																			
LCC-32P-M19	WNP032																			
FPT-20P-M09	SOJ020																			
FPT-20P-M10	STG020																			
FPT-16P-M08	STB016																			
FPT-16P-M23	SO016																			
DIP-8P-M03	PDA008																			
FPT-8P-M08	SOD008																			
*C	5771736	YSAT	06/13/2017	これは英語版の 002-04629 Rev. *C を翻訳した日本語版です。 Cypress の新ロゴを適用。																
*D	5895917	YSKA	09/26/2017	これは英語版の 002-04629 Rev. *D を翻訳した日本語版です。 27. オーダ型格 (77 ページ) に以下のオーダ型格を追加 “MB95F563HNPFT-G-UNERE2”																

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス/ RF	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2011-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下、「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ、Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。