

MB91580L シリーズ

32 ビット・マイクロコントローラ
FR ファミリ FR81S

MB91F585LA/F585LB/F585LC/F585LD,
MB91F586LA/F586LB/F586LC/F586LD,
MB91F587LA/F587LB/F587LC/F587LD



Hardware Manual

Spansion のマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

<http://www.spansion.com/jp/Support/microcontrollers/>

はじめに

Spansion 半導体製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
MB91580L シリーズをご利用になる前に、本書および『データシート』をご一読ください。

■ 本書の目的と対象読者

本シリーズは、自動車用モータ制御向けの Spansion 32 ビットマイクロコントローラです。CPU には、FR ファミリと互換の FR81S CPU を使用しています。

■ 商標

FR は、Spansion Inc. の製品です。

FlexRay は Daimler AG の登録商標です。

その他の記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

■ サンプルプログラムおよび開発環境

FR81S ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本シリーズで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

- マイコンサポート情報

<http://www.spansion.com/jp/Support/microcontrollers/>

* サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。

また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。



本書の使い方

■ 機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

- 目次から探す

本書の内容を記載順に示します。

- レジスタ一覧から探す

本デバイスのレジスタが一覧で記載されています。調べたいレジスタの名称から、配置アドレスやレジスタの説明ページを探すことができます。

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは、「付録 B. I/O マップ」を参照してください。

- 索引から探す

周辺機能の名称などのキーワードから機能の説明を探すことができます。

■ 章について

本書では、基本的に 1 つの周辺機能を 1 つの章で説明しています。

■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。



目次

第 1 章	取扱上のご注意	1
1.1	取扱上のご注意	1
1.2	デバイス取り扱いについて	5
1.3	使用上の注意事項	8
1.4	本書の読み方	9
第 2 章	概要	13
2.1	概要	13
2.2	特長	13
2.3	品種構成	17
2.4	機能概要	20
2.5	ブロックダイアグラム	23
2.6	CPU	25
2.7	端子配列図	27
2.8	パッケージ	29
第 3 章	基本情報	31
3.1	端子機能一覧	31
3.2	各機能の端子一覧	50
3.3	入出力回路形式	61
第 4 章	CPU	67
4.1	概要	67
4.2	特長	67
4.3	CPU 動作記述	69
4.4	パイプライン動作	70
4.5	浮動小数点演算処理	71
4.6	データ構造	72
4.7	アドレッシング	73
4.8	プログラミングモデル	74
4.9	リセット・EIT 処理	75
4.9.1	リセット	75
4.9.2	EIT 処理	75
4.9.3	ベクタテーブル	76
4.10	メモリ保護機能 (MPU)	78
4.10.1	概要	78
4.10.2	レジスター一覧	78
4.10.3	レジスタ説明	80
4.10.4	メモリ保護機能 (MPU) の動作説明	90
4.10.5	注意事項	92
第 5 章	動作モード	93
5.1	概要	93
5.2	特長	93

5.3	構成	93
5.4	レジスタ	94
5.5	動作説明	94

第6章 クロック97

6.1	概要	97
6.2	特長	99
6.3	構成	100
6.4	レジスタ	105
6.4.1	分周設定レジスタ 0: DIVR0(DIVide clock configuration Register 0)	106
6.4.2	分周設定レジスタ 1: DIVR1(DIVide clock configuration Register 1)	107
6.4.3	分周設定レジスタ 2: DIVR2 (DIVide clock configuration Register 2)	108
6.4.4	クロックソース設定レジスタ : CSELR (Clock source SElect Register)	109
6.4.5	クロックソース監視レジスタ : CMONR (Clock source MONitor Register)	111
6.4.6	メインタイマ制御レジスタ : MTMCR (Main clock TiMer Control Register)	113
6.4.7	PLL 設定レジスタ : PLLCR (PLL Configuration Register)	115
6.4.8	発振安定待ち設定レジスタ : CSTBR (Clock STaBilization select Register)	117
6.4.9	PLL クロック発振安定待ちタイマ設定レジスタ : PTMCR (PLL clock osc TiMer Control Register)	118
6.4.10	PLL/SSCG クロック選択レジスタ : CCPSELR (CCtl Pll/Sscg clock SElect Register)	119
6.4.11	PLL/SSCG 出力クロック分周設定レジスタ : CCPSDIVR (CCtl Pll/Sscg clock DIVide Register)	120
6.4.12	PLL フィードバック分周設定レジスタ : CCPLLFBR (CCtl PLL FB clock divide Register)	122
6.4.13	SSCG フィードバック分周設定レジスタ 0 : CCSSFBR0(CCtl SScg FB clock divide Register 0)	123
6.4.14	SSCG フィードバック分周設定レジスタ 1 : CCSSFBR1(CCtl SScg FB clock divide Register 1)	124
6.4.15	SSCG コンフィグ設定レジスタ 0 : CCSSCCR0 (CCtl SSCg Config Register 0)	125
6.4.16	SSCG コンフィグ設定レジスタ 1 : CCSSCCR1 (CCtl SSCg Config Register 1)	127
6.4.17	クロックギアコンフィグ設定レジスタ 0 : CCCGRCR0 (CCtl Clock Gear Config Register 0)	128
6.4.18	クロックギアコンフィグ設定レジスタ 1 : CCCGRCR1 (CCtl Clock Gear Config Register 1)	130
6.4.19	クロックギアコンフィグ設定レジスタ 2 : CCCGRCR2 (CCtl Clock Gear Config Register 2)	131
6.4.20	PMU クロック分周設定レジスタ 0 : CCPMUCR0 (CCtl PMU Clock divide Register 0)	132
6.4.21	PMU クロック分周設定レジスタ 1 : CCPMUCR1 (CCtl PMU Clock divide Register 1)	133
6.4.22	同期 / 非同期設定レジスタ : SACR (Sync/Async Control Register)	134
6.4.23	周辺クロック分周設定レジスタ : PICD (Peripheral Interface Clock Divider register)	135
6.5	動作説明	136
6.5.1	発振制御	136
6.5.2	発振安定待ち	139
6.5.3	ソースクロック (SRCCLK) 選択	140
6.5.4	タイマ	144
6.5.5	クロック競合時の注意	146
6.5.6	クロックギア回路	147

6.5.7	MDI 通信中の動作.....	148
6.5.8	PMU クロック (PMUCLK) について.....	149

第 7 章 FlexRay/RDC 専用クロック 151

7.1	概要.....	151
7.2	特長.....	152
7.3	構成.....	153
7.4	レジスタ	154
7.4.1	PLL2DIVM:FlexRay/RDC PLL 分周 (M 分周) 選択レジスタ	155
7.4.2	PLL2DIVN:FlexRay/RDC PLL 通倍率 (N 分周) 選択レジスタ	156
7.4.3	PLL2DIVG:FlexRay/RDC PLL 自動ギヤ通倍率 (G 分周) 選択レジスタ	157
7.4.4	PLL2MULG:FlexRay/RDC PLL G 分周のステップ通倍率選択レジスタ	158
7.4.5	PLL2CTRL : 自動ギヤコントロールレジスタ	159
7.4.6	PLL2DIVK : FlexRay/RDC PLL 通倍率 (K 分周) 選択レジスタ	160
7.4.7	CLKR2:FlexRay/RDC PLL クロック出力コントロールレジスタ	161
7.5	推奨設定	163
7.6	クロック自動ギヤのアップダウン.....	164
7.7	操作.....	166
7.8	注意事項	167

第 8 章 リセット 169

8.1	概要.....	169
8.2	特長.....	169
8.3	構成.....	170
8.4	レジスタ	172
8.4.1	リセット要因レジスタ : RSTRR (ReSeT Result Register)	172
8.4.2	リセット制御レジスタ : RSTCR (ReSeT Control Register)	175
8.4.3	CPU 異常動作レジスタ : CPUAR (CPU Abnormal operation Register)	176
8.4.4	PMU ステータスレジスタ : PMUSTR (Power Management Unit Status register)	178
8.5	動作説明	179
8.5.1	リセットレベル	179
8.5.2	リセット要因.....	180
8.5.3	リセット受付.....	182
8.5.4	リセット発行.....	183
8.5.5	リセットシーケンス	187

第 9 章 消費電力制御..... 189

9.1	概要.....	189
9.2	特長.....	189
9.3	構成.....	190
9.4	レジスタ	192
9.4.1	スタンバイ制御レジスタ : STBCR (STanby mode Control Register)	192
9.4.2	PMU コントロールレジスタ : PMUCTLR(Power Management Unit ConTroL register).....	193
9.4.3	PoWeR on TiMing コントロールレジスタ : PWRTMCTL(PoWeR on TiMing ConTroL register).....	194
9.4.4	PMU 割込みフラグレジスタ 1 : PMUINTF1(Power Management Unit INTerrupt Flag1 register).....	195
9.4.5	PMU 割込みフラグレジスタ 2 : PMUINTF2(Power Management Unit INTerrupt Flag2 register).....	195

9.5	動作説明	197
9.5.1	クロック制御	197
9.5.2	各低消費電力モードにおけるクロック供給一覧	197
9.5.3	スリープモード	197
9.5.4	スタンバイモード：時計モード	199
9.5.5	スタンバイモード：時計モード（電源遮断）	201
9.5.6	スタンバイモード：ストップモード	204
9.5.7	スタンバイモード：ストップモード（電源遮断）	206
9.5.8	マイコン停止状態	210
9.5.9	不正スタンバイモード移行	211
9.5.10	電源遮断・通常スタンバイ制御の制限事項	212
9.6	使用例	214

第 10 章 クロック・リセット状態遷移.....215

10.1	概要	215
10.2	デバイス状態と各遷移	215
10.2.1	状態遷移図	215
10.2.2	各状態の説明	216
10.2.3	各状態遷移要求の優先順位	217
10.3	デバイス状態と対応するレギュレータモード	218

第 11 章 クロックスーパバイザ.....219

11.1	概要	219
11.2	構成	219
11.3	レジスタ	220
11.3.1	クロックスーパバイザ制御レジスタ (CSVCR)	220
11.4	動作説明	222
11.4.1	初期状態	223
11.4.2	CR 発振器およびクロックスーパバイザ機能の停止	224
11.4.3	クロックスーパバイザ再許可	225
11.4.4	ストップモード	226
11.4.5	ストップモード（電源遮断）	227
11.4.6	時計モード	228
11.4.7	時計モード（電源遮断）	229
11.4.8	クロックスーパバイザによるリセット要因の確認	230
11.4.9	CR クロックからの切戻り	231

第 12 章 レギュレータ制御.....233

12.1	概要	233
12.2	特長	233
12.3	構成	233
12.4	レジスタ	234

第 13 章 低電圧検出（内部電源低電圧検出）.....235

13.1	概要	235
13.2	特長	235
13.3	構成	235
13.4	レジスタ	236
13.4.1	内部低電圧検出レジスタ：LVD	236

13.5	動作説明	238
13.6	注意事項	238
第 14 章	低電圧検出 (外部電源低電圧検出)	239
14.1	概要	239
14.2	特長	239
14.3	構成	239
14.4	レジスタ	240
14.4.1	LVD5R (Low Voltage Detect 5v Rise register) 外部低電圧検出立上り検出レジスタ	240
14.4.2	LVD5F (Low Voltage Detect 5v Fall register) 外部低電圧検出立下り検出レジスタ	240
14.5	動作説明	242
14.6	注意事項	242
第 15 章	NMI 入力	243
15.1	概要	243
15.2	特長	243
15.3	構成	243
15.4	レジスタ	243
15.5	動作説明	243
15.6	使用例	244
第 16 章	ウォッチドッグタイマ	245
16.1	概要	245
16.2	特長	246
16.3	構成	247
16.4	レジスタ	248
16.5	動作説明	251
16.5.1	ソフトウェアウォッチドッグ機能	251
16.5.2	ハードウェアウォッチドッグ機能	254
16.6	使用例	256
第 17 章	RAMECC 機能	257
17.1	概要	257
17.2	特長	257
17.3	構成	258
17.4	レジスタ	259
17.4.1	シングルビット ECC エラーアドレスレジスタ XBS RAM : SEEARX	259
17.4.2	ダブルビット ECC エラーアドレスレジスタ XBS RAM : DEEARX	260
17.4.3	ECC エラー制御レジスタ XBS RAM : EECSRX	261
17.4.4	ECC 擬似エラー発生アドレスレジスタ XBS RAM : EFEARX	262
17.4.5	ECC 擬似エラー発生制御レジスタ XBS RAM : EFECRX	263
17.4.6	シングルビット ECC エラーアドレスレジスタ BACKUP-RAM : SEEARA	265
17.4.7	ダブルビット ECC エラーアドレスレジスタ BACKUP-RAM : DEEARA	266
17.4.8	ECC エラー制御レジスタ BACKUP-RAM : EECSRA	267
17.4.9	ECC 擬似エラー発生アドレスレジスタ BACKUP-RAM : EFEARA	268
17.4.10	ECC 擬似エラー発生制御レジスタ BACKUP-RAM : EFECRA	269
17.5	動作説明	271
17.5.1	RAMECC 機能	271
17.5.2	割込み関連レジスタ	272

17.5.3	テストモード	272
17.5.4	注意事項	273

第 18 章 RAM 診断機能.....275

18.1	概要.....	275
18.2	特長.....	276
18.3	構成.....	277
18.4	レジスタ	278
18.4.1	TEST エラーアドレスレジスタ 0 XBS-RAM : TEAR0X.....	279
18.4.2	TEST エラーアドレスレジスタ 1 XBS RAM : TEAR1X.....	280
18.4.3	TEST エラーアドレスレジスタ 2 XBS RAM : TEAR2X.....	281
18.4.4	TEST 開始アドレスレジスタ XBS RAM : TASARX.....	282
18.4.5	TEST 終了アドレスレジスタ XBS RAM : TAEARX.....	283
18.4.6	TEST 診断機能レジスタ XBS RAM : TTCRX.....	284
18.4.7	TEST 初期化機能レジスタ XBS RAM : TICRX	287
18.4.8	TEST ソフトリセット発生制御レジスタ XBS RAM : TSRCRX.....	289
18.4.9	TEST 擬似エラー発生制御レジスタ XBS RAM : TFECRX	290
18.4.10	TEST キーコード制御レジスタ XBS RAM : TKCCRX.....	291
18.4.11	TEST エラーアドレスレジスタ 0 BACKUP-RAM : TEAR0A	292
18.4.12	TEST エラーアドレスレジスタ 1 BACKUP-RAM : TEAR1A	293
18.4.13	TEST エラーアドレスレジスタ 2 BACKUP-RAM : TEAR2A	294
18.4.14	TEST 開始アドレスレジスタ BACKUP- RAM : TASARA	295
18.4.15	TEST 終了アドレスレジスタ BACKUP-RAM : TAEARA	296
18.4.16	TEST 診断機能レジスタ BACKUP-RAM : TTCRA.....	297
18.4.17	TEST 初期化機能レジスタ BACKUP-RAM : TICRA	300
18.4.18	TEST ソフトリセット発生制御レジスタ BACKUP-RAM : TSRCRA.....	302
18.4.19	TEST 擬似エラー発生制御レジスタ BACKUP-RAM : TFECRA	303
18.4.20	TEST キーコード制御レジスタ BACKUP-RAM : TKCCRA	304
18.5	動作説明	305
18.5.1	RAM 診断	305
18.5.2	RAM 初期化.....	306
18.5.3	割込み関連レジスタ	307
18.5.4	RAM 診断擬似エラー発生手順	308
18.5.5	所要サイクル数	309
18.5.6	注意事項	311

第 19 章 BUS 診断機能.....313

19.1	概要.....	313
19.2	特長.....	313
19.3	構成.....	314
19.4	レジスタ	318
19.4.1	バス診断ステータスレジスタ : BUSDIGSR	319
19.4.2	バス診断テストレジスタ : BUSTSTR0/1.....	322
19.4.3	バス診断アドレスレジスタ : BUSADR.....	327
19.5	動作説明	328
19.5.1	エラー検出.....	328
19.5.2	テスト機能.....	329
19.5.3	注意事項	330
19.5.4	バス診断動作例	331

第 20 章 遅延割込み	337
20.1 概要.....	337
20.2 特長.....	337
20.3 構成.....	337
20.4 レジスタ	337
20.5 動作説明	338
20.6 制限事項	338
第 21 章 外部割込み入力	339
21.1 概要.....	339
21.2 特長.....	339
21.3 構成.....	339
21.4 レジスタ	339
21.5 動作説明	342
21.6 設定.....	344
21.7 Q&A	344
21.7.1 検出レベルの種類と設定方法は？	344
21.7.2 外部端子を入力するには？.....	344
21.7.3 割込み関連レジスタは？.....	344
21.7.4 割込みの種類は？	344
21.7.5 割込みを許可 / 禁止 / クリアするには？	344
21.7.6 CAN WAKEUP 機能を使用するには？	344
21.8 注意事項	345
第 22 章 割込み制御 (割込みコントローラ)	347
22.1 概要.....	347
22.2 特長.....	347
22.3 構成.....	347
22.4 レジスタ	348
22.5 動作説明	349
22.5.1 設定	349
22.5.2 起動	349
22.5.3 優先順位判定	349
22.5.4 ストップモードからの復帰	349
22.5.5 スタンバイモード (電源遮断) からの復帰	349
第 23 章 割込み要求一括読出し.....	351
23.1 概要.....	351
23.2 特長.....	351
23.3 構成.....	351
23.4 レジスタ	352
23.4.1 割込み要求一括読出しレジスタ 0 上位 : IRPR0H (Interrupt Request Peripheral Read register 0H).....	353
23.4.2 割込み要求一括読出しレジスタ 0 下位 : IRPR0L (Interrupt Request Peripheral Read register 0L)	353
23.4.3 割込み要求一括読出しレジスタ 1 上位 : IRPR1H (Interrupt Request Peripheral Read register 1H).....	354
23.4.4 割込み要求一括読出しレジスタ 1 下位 : IRPR1L (Interrupt Request Peripheral Read register 1L)	354

23.4.5	割込み要求一括読出しレジスタ 2 上位 : IRPR2H (Interrupt Request Peripheral Read register 2H).....	354
23.4.6	割込み要求一括読出しレジスタ 2 下位 : IRPR2L (Interrupt Request Peripheral Read register 2L)	355
23.4.7	割込み要求一括読出しレジスタ 3 上位 : IRPR3H (Interrupt Request Peripheral Read register 3H).....	355
23.4.8	割込み要求一括読出しレジスタ 3 下位 : IRPR3L (Interrupt Request Peripheral Read register 3L)	356
23.4.9	割込み要求一括読出しレジスタ 4 上位 : IRPR4H (Interrupt Request Peripheral Read register 4H).....	356
23.4.10	割込み要求一括読出しレジスタ 4 下位 : IRPR4L (Interrupt Request Peripheral Read register 4L)	357
23.4.11	割込み要求一括読出しレジスタ 5 上位 : IRPR5H (Interrupt Request Peripheral Read register 5H).....	357
23.4.12	割込み要求一括読出しレジスタ 5 下位 : IRPR5L (Interrupt Request Peripheral Read register 5L)	358
23.4.13	割込み要求一括読出しレジスタ 6 上位 : IRPR6H (Interrupt Request Peripheral Read register 6H).....	358
23.4.14	割込み要求一括読出しレジスタ 6 下位 : IRPR6L (Interrupt Request Peripheral Read register 6L)	359
23.4.15	割込み要求一括読出しレジスタ 7 上位 : IRPR7H (Interrupt Request Peripheral Read register 7H).....	359
23.4.16	割込み要求一括読出しレジスタ 7 下位 : IRPR7L (Interrupt Request Peripheral Read register 7L)	360
23.4.17	割込み要求一括読出しレジスタ 8 上位 : IRPR8H (Interrupt Request Peripheral Read register 8H).....	360
23.4.18	割込み要求一括読出しレジスタ 8 下位 : IRPR8L (Interrupt Request Peripheral Read register 8L)	361
23.4.19	割込み要求一括読出しレジスタ 9 上位 : IRPR9H (Interrupt Request Peripheral Read register 9H).....	361
23.4.20	割込み要求一括読出しレジスタ 9 下位 : IRPR9L (Interrupt Request Peripheral Read register 9L)	362
23.4.21	割込み要求一括読出しレジスタ 10 上位 : IRPR10H (Interrupt Request Peripheral Read register 10H)	362
23.4.22	割込み要求一括読出しレジスタ 10 下位 : IRPR10L (Interrupt Request Peripheral Read register 10L).....	363
23.4.23	割込み要求一括読出しレジスタ 11 上位 : IRPR11H (Interrupt Request Peripheral Read register 11H)	363
23.4.24	割込み要求一括読出しレジスタ 11 下位 : IRPR11L (Interrupt Request Peripheral Read register 11L).....	364
23.4.25	割込み要求一括読出しレジスタ 12 上位 : IRPR12H (Interrupt Request Peripheral Read register 12H)	365
23.4.26	割込み要求一括読出しレジスタ 12 下位 : IRPR12L (Interrupt Request Peripheral Read register 12L).....	366
23.4.27	割込み要求一括読出しレジスタ 13 上位 : IRPR13H (Interrupt Request Peripheral Read register 13H)	366
23.4.28	割込み要求一括読出しレジスタ 13 下位 : IRPR13L (Interrupt Request Peripheral Read register 13L).....	367
23.4.29	割込み要求一括読出しレジスタ 14 上位 : IRPR14H (Interrupt Request Peripheral Read register 14H)	367
23.4.30	割込み要求一括読出しレジスタ 14 下位 : IRPR14L (Interrupt Request Peripheral Read register 14L).....	367

23.4.31	割り込み要求一括読出しレジスタ 15 上位 : IRPR15H (Interrupt Request Peripheral Read register 15H)	368
23.4.32	割り込み要求一括読出しレジスタ 15 下位 : IRPR15L (Interrupt Request Peripheral Read register 15L)	368
23.4.33	割り込み要求一括読出しレジスタ 16 上位 : IRPR16H (Interrupt Request Peripheral Read register 16H)	369
23.4.34	割り込み要求一括読出しレジスタ 16 下位 : IRPR16L (Interrupt Request Peripheral Read register 16L)	370
23.4.35	割り込み要求一括読出しレジスタ 17 上位 : IRPR17H (Interrupt Request Peripheral Read register 17H)	370
23.4.36	割り込み要求一括読出しレジスタ 17 下位 : IRPR17L (Interrupt Request Peripheral Read register 17L)	371
23.4.37	割り込み要求一括読出しレジスタ 18 上位 : IRPR18H (Interrupt Request Peripheral Read register 18H)	371
23.4.38	割り込み要求一括読出しレジスタ 18 下位 : IRPR18L (Interrupt Request Peripheral Read register 18L)	372
23.5	動作説明	372

第 24 章 I/O ポート373

24.1	概要	373
24.2	特長	373
24.3	構成	374
24.4	レジスタ	374
24.4.1	ポートデータレジスタ 0 ~ 13 : PDR0 ~ PDR13 (Port Data Register 0 ~ 13)	376
24.4.2	データ方向レジスタ 0 ~ 13 : DDR0 ~ DDR13 (Data Direction Register 0 ~ 13) ..	377
24.4.3	ポート機能レジスタ 0 ~ 13 : PFR0 ~ PFR13 (Port Function Register 0 ~ 13)	378
24.4.4	入力データダイレクトレジスタ 0 ~ 13 : PDDR0 ~ PDDR13 (Port Data Direct Register 0 ~ 13)	379
24.4.5	ポートプルアップ許可レジスタ 0 ~ 13 : PPER0 ~ PPER13 (Port Pull-up Enable Register 0 ~ 13)	380
24.4.6	ポート入力レベル選択レジスタ 0 ~ 13 : PILR0 ~ PILR13 (Port Input Level Register 0 ~ 13)	381
24.4.7	ポート出力駆動レジスタ 0 ~ 13 : PODR0 ~ PODR13 (Port Output Drive Register 0 ~ 13)	382
24.4.8	拡張ポート機能レジスタ 00 ~ 32 : EPFR00 ~ EPFR32 (Extended Port Function Register 00 ~ 32)	383
24.4.9	ポート入力許可レジスタ : PORTEN (PORT ENable register)	395
24.4.10	キーコードレジスタ : KEYCDR	396
24.5	動作説明	397
24.5.1	端子の入出力の割り当て	397
24.5.2	ポート切換え時の注意事項	405
24.5.3	EPFR 設定の優先度について	405
24.5.4	入力 I/O リロケーション設定時の注意	405
24.5.5	ノイズフィルタ	406
24.5.6	外部バス同期モードでのバスタイムアウト待ち期間	406
24.5.7	GPORTEN による入力遮断	406
24.5.8	AD コンバータ機能のある端子の注意事項	406
24.5.9	DA コンバータ機能のある端子の注意事項	407
24.5.10	ベースタイマ TIOA1 端子使用時の設定	407
24.5.11	キーコードレジスタ機能の設定	408

第 25 章 クロックモニタ	409
25.1 概要.....	409
25.2 特長.....	409
25.3 構成.....	410
25.4 レジスタ	411
25.4.1 クロックモニタ制御レジスタ	411
25.5 動作説明	414
25.6 設定.....	414
25.7 Q & A	415
25.7.1 出力端子 (MONCLK) を設定するには？.....	415
25.7.2 出力周波数を選択するには？.....	415
25.7.3 クロックモニタ出力を許可または禁止するには？	415
25.7.4 クロック出力のマークレベルを設定するには？.....	415
25.8 注意事項	416
第 26 章 WDT1 補正 (キャリブレーション).....	417
26.1 概要.....	417
26.2 特長.....	417
26.3 構成.....	417
26.4 レジスタ	418
26.4.1 補正ユニット制御レジスタ 1 : CUCR1: (Calibration Unit Control Register 1).....	418
26.4.2 CR クロックタイマデータレジスタ : CUTD1 (Calibration Unit Timer Data register 1).....	419
26.4.3 メイン発振タイマデータレジスタ 1 : CUTR1: (Calibration Unit Timer Result register 1).....	419
26.4.4 CR 発振トリミング設定レジスタ : CRTR: (CR oscillator calibration Trimming Register)	420
26.5 動作説明	421
第 27 章 DMA コントローラ (DMAC).....	423
27.1 概要.....	423
27.2 特長.....	423
27.3 構成.....	424
27.4 レジスタ	425
27.4.1 DMA コントロールレジスタ : DMACR (DMA Control Register).....	427
27.4.2 DMA チャンネルコントロールレジスタ 0 ~ 7 : DCCR0 ~ DCCR7 (DMA Channel Control Register 0 ~ 7)	428
27.4.3 DMA チャンネルステータスレジスタ 0 ~ 7 : DCSR0 ~ DCSR7 (DMA Channel Status Register 0 ~ 7).....	433
27.4.4 DMA 転送回数レジスタ 0 ~ 7 : DTCR0 ~ DTCR7 (DMA Transfer Count Register 0 ~ 7)	434
27.4.5 DMA 転送元レジスタ 0 ~ 7 : DSAR0 ~ DSAR7 (DMA Source Address Register 0 ~ 7)	435
27.4.6 DMA 転送先レジスタ 0 ~ 7 : DDAR0 ~ DDAR7 (DMA Destination Address Register 0 ~ 7)	436
27.4.7 DMA 転送抑止 NMI フラグレジスタ : DNMI (DMA-halt by NMI Register).....	437
27.4.8 DMA 転送抑止レベルレジスタ : DILVR (DMA-halt by Interrupt Level Register)	438
27.5 動作説明	439
27.5.1 設定	439
27.5.2 オンチップバス IP と DMAC チャンネルの対応表	456

29.5.1	外部端子表.....	505
29.5.2	外バス信号プロトコル.....	505
29.5.3	アドレスアライメント.....	512
29.5.4	分割アクセス.....	512
29.5.5	データアライメント.....	513
29.5.6	アドレス情報.....	516
29.5.7	アイドルサイクル挿入機能.....	517
29.5.8	外バス出力信号タイミング設定.....	518
29.5.9	RDY 端子アクセスサイクル延長機能.....	522
29.5.10	CS 設定フロー.....	524
29.5.11	非同期メモリとの接続例.....	529
29.5.12	リトルエンディアンデバイスとの接続例.....	530

第 30 章 バス・パフォーマンス・カウンタ.....531

30.1	概要.....	531
30.2	特長.....	531
30.3	構成.....	532
30.4	レジスタ.....	533
30.4.1	BPC-A 制御レジスタ : BPCCRA (Bus Performance Counter Control Register A)...	533
30.4.2	BPC-B 制御レジスタ : BPCCRB (Bus Performance Counter Control Register B)...	534
30.4.3	BPC-C 制御レジスタ : BPCCRC (Bus Performance Counter Control Register C) ..	534
30.4.4	BPC-A カウントレジスタ : BPCTRA (Bus Performance CounTer Register A)	534
30.4.5	BPC-B カウントレジスタ : BPCTRB (Bus Performance CounTer Register B)	535
30.4.6	BPC-C カウントレジスタ : BPCTRC (Bus Performance CounTer Register C)	535
30.5	動作説明.....	536
30.5.1	設定.....	536
30.5.2	起動と停止.....	537
30.5.3	動作.....	537
30.5.4	測定と結果処理.....	537

第 31 章 フラッシュメモリ.....539

31.1	概要.....	539
31.2	特長.....	539
31.3	構成.....	540
31.3.1	ブロックダイアグラム.....	540
31.3.2	セクタ構成図.....	541
31.3.3	セクタ番号・フラッシュマクロ番号対応表.....	544
31.4	レジスタ.....	549
31.4.1	フラッシュ制御レジスタ : FCTLR (Flash ConTroL Register).....	549
31.4.2	フラッシュステータスレジスタ : FSTR (Flash SStatus Register).....	552
31.4.3	フラッシュインタフェース制御レジスタ : FLIFCTLR(Flash I/F Control Register) ..	553
31.4.4	フラッシュインタフェースフィーチャー拡張レジスタ 1 : FLIFFER1(Flash I/F Feature Extension Register 1)	554
31.4.5	フラッシュインタフェースフィーチャー拡張レジスタ 2 : FLIFFER2(Flash I/F Feature Extension Register 2)	554
31.5	動作説明.....	555
31.5.1	アクセスモード設定.....	555
31.5.2	CPU によるフラッシュメモリ書込み.....	556
31.5.3	自動アルゴリズム.....	557

31.5.4	リセットコマンド	563
31.5.5	書込みコマンド	563
31.5.6	チップ消去コマンド	565
31.5.7	セクタ消去コマンド	566
31.5.8	セクタ消去一時停止コマンド	568
31.5.9	セキュリティ機能	569
31.5.10	フラッシュメモリの使用上の注意	571
31.5.11	セクタ消去一時停止コマンドについて	572

第 32 章 ワークフラッシュメモリ573

32.1	概要	573
32.2	特長	573
32.3	構成	574
32.3.1	ブロック図	574
32.3.2	セクタ構成図	574
32.4	レジスタ	575
32.4.1	DFCTLR (WorkFlash ConTroL Register) ワークフラッシュ制御レジスタ	575
32.4.2	DFSTR (WorkFlash SStatus Register) ワークフラッシュステータスレジスタ	576
32.4.3	FLIFCTLR(Flash I/F Control Register) フラッシュインタフェース制御レジスタ	577
32.5	動作説明	578
32.5.1	アクセスモード設定	578
32.5.2	CPU によるフラッシュメモリ書込み	579
32.5.3	自動アルゴリズム	580
32.5.4	リセットコマンド	588
32.5.5	書込みコマンド	588
32.5.6	チップ消去コマンド	591
32.5.7	セクタ消去コマンド	592
32.5.8	セクタ消去一時停止コマンド	594
32.5.9	セキュリティ機能	595
32.5.10	フラッシュメモリの使用上の注意	597
32.5.11	セクタ消去一時停止コマンドについて	598

第 33 章 FixedVector 機能599

33.1	概要	599
33.2	特長	599
33.3	構成	599
33.4	レジスタ	599
33.5	動作説明	599

第 34 章 ワイルドレジスタ601

34.1	概要	601
34.2	特長	601
34.3	構成	601
34.4	レジスタ	602
34.4.1	ワイルドレジスタデータイネーブルレジスタ : WREN (Wild Register ENable register)	603
34.4.2	ワイルドレジスタアドレスレジスタ 00 ~ 15 : WRAR00 ~ WRAR15 (Wild Register Address Register 00 ~ 15)	603

34.4.3	ワイルドレジスタデータレジスタ 00 ~ 15 : WRDR00 ~ WRDR15 (Wild Register Data Register00 ~ 15)	604
34.5	動作説明	604
34.6	使用例	605

第 35 章 CRC.....607

35.1	概要	607
35.2	特長	607
35.3	構成	607
35.4	レジスタ	608
35.4.1	CRC 制御レジスタ : CRCCR (CRC Control Register)	608
35.4.2	CRC 初期値レジスタ : CRCINIT (CRC Initial value register)	609
35.4.3	Input Data レジスタ : CRCIN (CRC INput data register)	609
35.4.4	CRC レジスタ : CRCCR (CRC Register)	609
35.5	動作説明	610
35.5.1	CRC の定義	610
35.5.2	リセット動作	610
35.5.3	初期化	610
35.5.4	バイトオーダーと、ビットオーダー	610
35.5.5	CRC 計算シーケンス	611
35.6	使用例	612
35.6.1	使用例 1 CRC16, バイト入力固定	612
35.6.2	使用例 2 CRC16, 入力ビット幅異種混在	613
35.6.3	使用例 3 CRC32, バイトオーダー, ビッグエンディアン	614
35.6.4	使用例 4 CRC32, バイトオーダー, リトルエンディアン	615

第 36 章 マルチファンクションシリアルインタフェース.....617

36.1	概要	617
36.2	特長	617
36.3	構成	622
36.4	レジスタ	623
36.4.1	共通レジスタ	629
36.4.2	UART 時レジスタ	639
36.4.3	CSIO 時レジスタ	653
36.4.4	LIN インタフェース (v2.1) 時レジスタ	690
36.4.5	I ² C 時レジスタ	708
36.5	UART の動作説明	732
36.5.1	UART の割込み	732
36.5.2	UART の動作	739
36.5.3	設定手順とプログラムフロー	752
36.6	CSIO の動作説明	755
36.6.1	CSIO の割込み	755
36.6.2	CSIO の動作	763
36.6.3	設定手順とプログラムフロー	813
36.7	LIN インタフェース (v2.1) の動作説明	814
36.7.1	LIN インタフェース (v2.1) の割込み	814
36.7.2	LIN インタフェース (v2.1) の動作	824
36.7.3	設定手順とプログラムフロー	841
36.8	I ² C の動作説明	845

36.8.1	I ² C の割込み	845
36.8.2	I ² C インタフェース通信の動作	848
36.8.3	I2C マスタモード	854
36.8.4	I2C スレーブモード	884
36.8.5	I2C のフローチャート例	892

第 37 章 CAN.....901

37.1	概要	901
37.2	特長	901
37.3	構成	901
37.4	レジスタ	902
37.4.1	全体コントロールレジスタ	910
37.4.2	メッセージインタフェースレジスタ	921
37.4.3	メッセージオブジェクト	932
37.4.4	メッセージハンドラレジスタ	937
37.4.5	CAN プリスケアラレジスタ	943
37.5	動作説明	944
37.5.1	メッセージオブジェクト	944
37.5.2	メッセージ送信動作	945
37.5.3	メッセージ受信動作	947
37.5.4	FIFO バッファ機能	949
37.5.5	割込み機能	951
37.5.6	ビットタイミング・CAN システムクロック (fsys) 生成	952
37.5.7	テストモード	954
37.5.8	ソフトウェア初期化	957
37.5.9	CAN ウェイクアップ機能	957

第 38 章 FlexRay.....959

38.1	概要	959
38.2	特長	959
38.3	FlexRay の構成	962
38.3.1	カスタマレジスタ	967
38.3.2	特殊レジスタ	974
38.3.3	割込み関連レジスタ	975
38.3.4	通信コントローラ (CC) 制御レジスタ	990
38.3.5	通信コントローラ (CC) ステータスレジスタ	1007
38.3.6	メッセージバッファ制御レジスタ	1020
38.3.7	メッセージバッファステータスレジスタ	1024
38.3.8	アイデンティフィケーションレジスタ	1033
38.3.9	インプットバッファ	1034
38.3.10	アウトプットバッファ	1040
38.4	FlexRay の動作説明	1052
38.4.1	コミュニケーションサイクル	1052
38.4.2	通信モード	1055
38.4.3	クロック同期	1056
38.4.4	エラーハンドリング	1058
38.4.5	通信コントローラステート	1060
38.4.6	ネットワークマネジメント	1076
38.4.7	フィルタリングとマスキング	1077

38.4.8	送信手順	1080
38.4.9	受信手順	1083
38.4.10	FIFO 機能	1085
38.4.11	メッセージハンドリング	1087
38.4.12	メッセージ RAM	1096
38.4.13	割込み	1104

第 39 章 リロードタイマ 1107

39.1	概要	1107
39.2	特長	1107
39.3	構成	1109
39.4	レジスタ	1110
39.4.1	コントロールステータスレジスタ : TMCSR (TiMer Control and Status Register)	1111
39.4.2	16 ビットタイマレジスタ : TMR (16bit TiMer Register)	1114
39.4.3	16 ビットタイマリロードレジスタ A, 16 ビットタイマリロードレジスタ B : TMRLRA, TMRLRB(16bit TiMer ReLoad Register A/B)	1115
39.5	動作説明	1117
39.5.1	設定	1117
39.5.2	動作手順	1119
39.5.3	各カウンタ動作の説明	1124
39.5.4	カスケード入力	1135
39.5.5	同時動作の優先順位	1135
39.6	アプリケーションノート	1136
39.6.1	シングルワンショットタイマ	1137
39.6.2	リロードタイマ	1139
39.6.3	PPG	1141
39.6.4	PWM	1144
39.6.5	PWC	1146

第 40 章 アップダウンカウンタ 1149

40.1	概要	1149
40.2	特長	1149
40.3	構成	1151
40.4	レジスタ	1153
40.4.1	リロードコンペアレジスタ (RCR0, RCR1)	1154
40.4.2	アップダウンカウントレジスタ (UDCR0, UDCR1)	1155
40.4.3	カウンタコントロールレジスタ (CCR0, CCR1)	1156
40.4.4	カウンタステータスレジスタ (CSR0, CSR1)	1161
40.5	割込み	1163
40.6	動作説明と設定手順例	1165
40.6.1	タイマモード時の動作	1169
40.6.2	アップダウンカウントモード時の動作	1171
40.6.3	位相差カウントモード (2 逓倍) 時の動作	1174
40.6.4	位相差カウントモード (4 逓倍) 時の動作	1176

第 41 章 ベースタイマ 1179

41.1	概要	1179
41.2	特長	1179
41.3	構成	1183

41.4 レジスタ	1184
41.4.1 共通レジスタ	1186
41.4.2 16/32 ビットリロードタイマ時のレジスタ	1193
41.4.3 16 ビット PWM タイマ時のレジスタ	1195
41.4.4 16 ビット PPG タイマ時のレジスタ	1198
41.4.5 16/32 ビット PWC タイマ時のレジスタ	1201
41.5 動作説明	1203
41.5.1 タイマ機能の選択	1203
41.5.2 入出力割り当て	1203
41.5.3 32 ビットモード動作	1206
41.5.4 16/32 ビットリロードタイマの動作	1207
41.5.5 16 ビット PWM タイマの動作	1217
41.5.6 16 ビット PPG タイマの動作	1225
41.5.7 16/32 ビット PWC タイマの動作	1236

第 42 章 PPG.....1247

42.1 概要	1247
42.2 特長	1247
42.3 構成	1249
42.4 レジスタ	1250
42.4.1 PPG 制御状態レジスタ : PCN0 ~ PCN23	1253
42.4.2 PPG 周期設定レジスタ : PCSR0 ~ PCSR23	1257
42.4.3 PPG デューティ設定レジスタ : PDUT0 ~ PDUT23	1258
42.4.4 PPG タイマレジスタ : PTMR0 ~ PTMR23	1259
42.4.5 汎用トリガ選択レジスタ : GTRS0 ~ GTRS11	1260
42.4.6 汎用トリガ設定レジスタ : GTREN0, 1	1263
42.4.7 GATE 機能制御レジスタ : GATEC0, 2, 4, 8, 10, 12	1264
42.5 動作説明	1265
42.5.1 PWM 動作 (Normal Wave Form 選択時)	1265
42.5.2 PWM 動作 (Center Aligned Wave Form 選択時)	1267
42.5.3 ワンショット動作 (Normal Wave Form 選択時)	1269
42.5.4 ワンショット動作 (Center Aligned Wave Form 選択時)	1270
42.5.5 再起動動作	1272
42.5.6 GATE 動作	1273
42.6 注意事項	1274

第 43 章 フリーランタイマ.....1277

43.1 概要	1277
43.2 特長	1277
43.3 構成	1278
43.4 レジスタ	1281
43.4.1 フリーランタイマ同時起動のレジスタ	1282
43.4.2 16 ビットフリーランタイマのレジスタ	1285
43.4.3 フリーランタイマセレクトのレジスタ	1295
43.5 動作説明	1309
43.5.1 16 ビットフリーランタイマの割込み	1310
43.5.2 16 ビットフリーランタイマの動作	1311
43.5.3 フリーランタイマセレクトの動作	1319
43.5.4 動作仕様注意事項	1322

第 44 章	インプットキャプチャ	1323
44.1	概要	1323
44.2	特長	1323
44.3	構成	1324
44.4	レジスタ	1325
44.4.1	16 ビットインプットキャプチャのレジスタ	1326
44.5	動作説明	1330
44.5.1	16 ビットインプットキャプチャの割込み	1330
44.5.2	16 ビットインプットキャプチャの動作	1331
44.5.3	16 ビットインプットキャプチャの使用上の注意	1332
第 45 章	アウトプットコンペア	1333
45.1	概要	1333
45.2	特長	1333
45.3	構成	1334
45.4	レジスタ	1335
45.4.1	16 ビットアウトプットコンペアのレジスタ	1337
45.5	動作説明	1345
45.5.1	16 ビットアウトプットコンペアの割込み	1345
45.5.2	16 ビットアウトプットコンペアの動作	1346
45.5.3	16 ビットアウトプットコンペアの使用上の注意	1359
第 46 章	12 ビット A/D コンバータ	1361
46.1	概要	1361
46.2	特長	1361
46.3	構成	1364
46.4	レジスタ	1367
46.4.1	アナログ入力許可のレジスタ	1370
46.4.2	A/D 起動コンペアのレジスタ	1372
46.4.3	12 ビット A/D コンバータ制御のレジスタ	1382
46.5	動作説明	1386
46.5.1	A/D 起動コンペアの割込み	1386
46.5.2	A/D 起動コンペアの動作	1387
46.5.3	A/D 起動調停の動作	1399
46.5.4	12 ビット A/D コンバータの動作	1401
46.6	注意事項	1403
第 47 章	波形ジェネレータ	1405
47.1	概要	1405
47.2	特長	1405
47.3	構成	1406
47.4	レジスタ	1409
47.4.1	波形ジェネレータのレジスタ	1410
47.5	動作説明	1433
47.5.1	波形ジェネレータの割込み	1433
47.5.2	波形ジェネレータの動作	1435
47.6	注意事項	1452
第 48 章	R/D コンバータ	1453

48.1 概要.....	1453
48.2 特長.....	1453
第 49 章 D/A コンバータ	1455
49.1 概要.....	1455
49.2 特長.....	1455
49.3 構成.....	1455
49.4 レジスタ	1456
49.4.1 D/A コントロールレジスタ : DACR.....	1456
49.4.2 D/A データレジスタ : DADR.....	1456
49.4.3 DAER (D/A Enable Register) アナログ出力制御レジスタ	1457
49.5 動作説明	1458
第 50 章 オンチップデバugga (OCD).....	1459
50.1 概要.....	1459
50.2 特長.....	1459
50.3 構成.....	1460
50.3.1 DEBUG I/F 用クロック	1461
50.4 レジスタ	1462
50.4.1 DBG レジスタ	1462
50.4.2 ユーザ IO レジスタ	1462
50.5 動作説明	1463
50.5.1 OCDU 動作モード	1463
50.5.2 DEBUG I/F 概要.....	1465
50.5.3 本品種の OCD ツール接続時での仕様制限	1469
50.5.4 使用制限まとめ	1471
50.5.5 本品種の OCD-DSU ID コード	1475
付録	1477
付録 A. メモリマップ	1477
付録 B. I/O マップ	1479
付録 C. 割込みベクター一覧.....	1558
付録 D. CPU 状態における端子状態 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/ F587LC).....	1561
付録 E. CPU 状態における端子状態 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/ F587LD).....	1567
主な変更内容	1573



第 1 章 取扱上のご注意

1.1 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件（回路条件、環境条件など）によっても大きく左右されます。以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

■ 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

● 絶対最大定格の遵守

半導体デバイスは、過剰なストレス（電圧、電流、温度など）が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

● 推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

● 端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

2. 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

3. 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

管理コード：DS00-00004-2

管理コード：PREV-1v0-91580L-1-J

● 供給電圧の安定化

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップとよびます。この現象が起きますとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。
2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

● 安全等の規制と規格の遵守

世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いいたします。

● フェイル・セーフ設計

半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止設計、誤動作防止設計などの安全設計をお願いします。

● 用途に関する注意

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう)、ならびに極めて高い信頼性が要求される用途 (海底中継器、宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

■ パッケージ実装上の注意事項

パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は、当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

● リード挿入形

リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法 (ウェーブソルダリング法) が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

● 表面実装形

表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形しやすい性質をもっています。

また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

● 鉛フリーパッケージ

BGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

● 半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70 %RH 以下、温度 5℃ ～ 30℃ で保管をお願いします。
ドライパッケージを開封した場合には湿度 40% ～ 70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

● ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。

ベーキングは、当社の推奨する条件で実施してください。

条件：125℃ /24 時間

● 静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40 % ～ 70 %RH にしてください。
除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア、半田槽、半田ゴテ、および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ 程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具、計器類は、接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電しやすい材料の使用は避けてください。

■ 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

● 湿度環境

高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

● 静電気放電

半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となる場合があります。

このような場合、帯電の防止または放電の防止の処置をお願いします。

● 腐食性ガス、塵埃、油

腐食性ガス雰囲気中や、塵埃、油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

● 放射線・宇宙線

一般のデバイスは、設計上、放射線、宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

● 発煙・発火

樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

最新の取扱上のご注意については、下記の URL にてご確認ください。

<http://www.spansion.com/fjdocuments/jp/datasheet/j-ds/DS00-00004.pdf>

1.2 デバイス取り扱いについて

■ デバイス取扱い上の注意

ラッチアップ防止および端子処理について説明します。

● ラッチアップ防止のために

CMOS IC では入力端子や出力端子に VCC より高い電圧や VSS より低い電圧を印加した場合または VCC 端子～VSS 端子間に定格を超える電圧を印加した場合に、ラッチアップ現象を生じることがあります。ラッチアップが生じると電源電流が激増し、素子の熱破壊に至ることがありますので使用に際しては最大定格を超えることのないよう十分に注意してください。

また、アナログ系の電源投入時、および切断時においてもアナログ電源 (AVCC0*, AVCC3, AVRH0*, AVRH1, AVRH2, AVRH3) とアナログ入力、デジタル電源 (VCC5) を超えないように注意してください。

電源投入の順序は、デジタル電源 (VCC5)、アナログ電源 (AVCC0*, AVCC3, AVRH0*, AVRH1, AVRH2, AVRH3) を同時に投入するか、デジタル電源 (VCC5) を投入後、アナログ電源 (AVCC0*, AVCC3, AVRH0*, AVRH1, AVRH2, AVRH3) を投入してください。

● 未使用端子の処理について

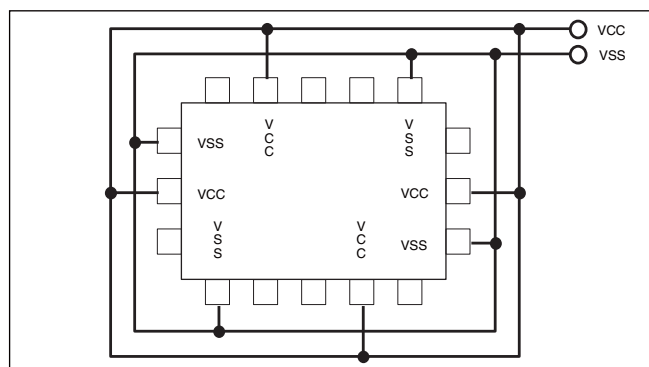
使用していない入力端子を開放のままにしておくと、誤動作およびラッチアップによる永久破壊の原因になることがありますので、2kΩ 以上の抵抗を介して、プルアップまたはプルダウンなどの処置をしてください。

また、使用していない入出力端子がある場合は、出力状態に設定して解放とするか、入力状態に設定して入力端子と同じ処理をしてください。

● 電源端子について

VCC 端子・VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にするべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格の遵守などのため、必ずそれらすべてを外部で電源およびグランドに接続してください。図 1.2-1 に示すように、すべての VSS 電源端子も同様に扱ってください。複数の VCC または VSS システムがある場合、デバイスは保証された動作範囲内でも正しく動作しません。

図 1.2-1 電源入力端子



また、電源供給源から低インピーダンスで本デバイスの VCC 端子、VSS 端子に接続するような配慮をお願いいたします。

本デバイスの近くで、VCC 端子と VSS 端子の間に C 端子のコンデンサより値の大きなセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

● 水晶発振回路について

X0, X1 端子へのノイズは誤動作の元となります。X0 端子と X1 端子および水晶発振子 (あるいはセラミック発振子) さらにグラウンドへのバイパスコンデンサはデバイスの直近に配置するようにプリント板を設計してください。

X0, X1 端子の周りをグラウンドで囲むようなプリント板アートを推奨いたします。

● モード端子 (MD[1:0]) について

モード端子 MD[1:0] は、VCC 端子または VSS 端子に直接つないで使用してください。ノイズによって誤ってテストモードに入ってしまうことを防ぐために、プリント板上の各モード端子と VCC 端子または VSS 端子間のパターン長を短くし、低インピーダンスで接続するようにしてください。

● 電源投入時について

内蔵している降圧回路の誤動作を防ぐために、電源投入時における電圧の立上り時間は50 μ s(0.2V～2.7Vの間)以上を確保してください。

● PLL クロック動作中の注意について

PLLクロックを選択しているときに発振子が外れたり、あるいは入力が停止したりした場合、PLL内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証範囲外の動作です。

● R/D コンバータ * および A/D コンバータの電源端子処理

R/D コンバータ * および A/D コンバータを使用しない場合においても AVCC0 = AVCC3 = AVRH0, AVRH1 = AVRH2 = AVRH3 = VCC, AVSS0/AVRL0, AVSS1/AVRL1 = AVSS2/AVRL2 = AVSS3/AVRL3 = VSS となるよう接続してください。

● 外部クロック使用時の注意について

外部クロックは非対応です。

外部ダイレクトクロック入力は使用できません。

● R/D コンバータ * および A/D コンバータの電源アナログ入力の投入順序

R/D コンバータ * および A/D コンバータの電源 (AVCC0*, AVCC3, AVRH0*, AVRH1, AVRH2, AVRH3, AVRL0*, AVRL1, AVRL2, AVRL3) およびアナログ入力 (MAG_PLUS*, MAG_MINUS*, COS_PLUS*, COS_MINUS*, SIN_PLUS*, SIN_MINUS*, COS_IN*, SIN_IN*, AN0 ～ AN23) の印加は、必ずデジタル電源 (VCC5) の投入後に行ってください。また、電源切断時は R/D コンバータ * および A/D コンバータの電源 (AVCC0*, AVCC3, AVRH0*, AVRH1, AVRH2, AVRH3, AVRL0*, AVRL1, AVRL2, AVRL3) およびアナログ入力 (MAG_PLUS*, MAG_MINUS*, COS_PLUS*, COS_MINUS*, SIN_PLUS*, SIN_MINUS*, COS_IN*, SIN_IN*, AN0 ～ AN23) の切断の後で、デジタル電源 (VCC5) の切断を行ってください。その際、AVRH0*, AVRH1, AVRH2 および AVRH3 は AVCC0*, AVCC3 を超えないように投入、切断を行ってください。アナログ入力と兼用している端子を入力ポートとして使用する場合においても、入力電圧は AVCC0* または AVCC3 を超えないようにしてください (アナログ電源とデジタル電源を同時に投入・切断をすることは問題ありません)。

● C 端子の処理について

本デバイスは降圧回路を内蔵します。C 端子にはデバイス内部安定化のため、必ずコンデンサを接続してください。規格値については、最新データシートの「推奨動作条件」を参照してください。

● 動作電圧について

動作電圧の詳細仕様については、最新のデータシートを参照してください。

* : MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC のみ

1.3 使用上の注意事項

■ 兼用ポートの機能切換え

ポートと兼用端子の切換えは、PFR (ポートファンクションレジスタ)で行います。ただし、外バス兼用端子は外バス * の設定により切り換ります。詳細は「第 24 章 I/O ポート」を参照してください。

* : MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD のみ

■ 低消費電力モード

- スリープモード・時計モード・ストップモードまたは、時計モード (電源遮断)・ストップモード (電源遮断)に入れる場合は、「第 9 章 消費電力制御」の「スリープモード・時計モード・ストップモードの起動」または「時計モード (電源遮断)・ストップモード (電源遮断)の起動」で説明している手順を実行してください。
- モニタデバッグを使用する場合は、以下のことを行わないでください。
 - 低消費電力移行プログラムに対する、ブレークポイントの設定
 - 低消費電力移行プログラムに対する、ステップ実行

■ ステータスフラグを含むレジスタに書込みを行う場合の注意

ステータスフラグ (特に割込み要求フラグなど)を含むレジスタに機能の制御のために書込みを行う場合には、ステータスフラグを誤ってクリアしないように配慮することが必要です。

つまり、書込み時には、ステータスビットに対してフラグをクリアしないよう設定した上で、制御ビットを希望した値に設定してください。

特に複数ビットで構成している制御ビットの場合、ビット命令が使えないため (ビット命令は1ビットアクセスのみ)、バイト/ハーフワード/ワードアクセスによって、同時に制御ビットとステータスフラグへの書込みが行われます。しかし、このときに目的以外のビット (この場合ステータスフラグのビット)を誤ってクリアしないよう注意してください。

(注意事項)RMW をサポートしているレジスタに対して、ビット命令は、この点を配慮していますので、注意の必要はありません。RMW をサポートしていないレジスタに対してビット命令を使用する場合には、注意が必要です。

1.4 本書の読み方

■ 主要な用語

本シリーズで使用する主要な用語に関して説明します。

用語	意味
XBS	32 ビット幅の高速内部バスです。 バスマスタには、CPU (インストラクションフェッチ)、CPU (データ読み・書き)、オンチップバスからのアクセスがあります。 バススレーブにはオンチップバスへのアクセス、RAM、(XBS 内蔵のワイルドレジスタを経由して)フラッシュメモリがあります。 バスはクロスバースイッチ構成となっており、各バスマスタから各バススレーブへ同時動作が可能です。
オンチップバス	32 ビット幅の高速内部バスです。XBS 用と DMA 用の 2 レイヤ構成になっており、それぞれが同時動作できます。 XBS 用レイヤのバスマスタには XBS からのアクセスがあります。 DMA 用レイヤのバスマスタには DMA からのアクセスがあります。 双方のレイヤのバススレーブには外部バスインタフェース*、CAN、16/32 周辺バスブリッジなどがあります。 DMA 用レイヤのみのバススレーブに XBS へのアクセスがあります。
32 ビット周辺バス	32 ビット幅の低速内部バスです。 各種ペリフェラルを接続しています。
16 ビット周辺バス (R-Bus)	16 ビット幅の低速内部バスです。 各種ペリフェラルを接続しています。本バスへの 32 ビット幅のアクセスは 16 ビット×2 に分割されます。
外部バス (外バス)*	8/16 ビット幅の低速外部バスです。メモリデバイスや ASIC などを接続します。本シリーズがバスマスタになり、外バスに接続されるデバイスがバススレーブになります。
メインクロック (MCLK)	高速側発振を起源とした LSI 動作の基準となるクロックです。 メイン発振安定待ち用タイマ、クロック発生部 (PLL) などに接続しています。
CR 発振	ウォッチドッグタイマ 1 (ハードウェアウォッチドッグ) 用のクロックです。
PLL クロック (PLLCLK)	メインクロックを PLL で通倍したものです。
CPU クロック (CCLK)	XBS 配下のペリフェラル用のクロックです。
オンチップバスクロック (HCLK)	オンチップバス配下のペリフェラル用のクロックです。
周辺クロック (PCLK)	32 ビット周辺バスおよび 16 ビット周辺バス配下のペリフェラル用のクロックです。
外部バスクロック (TCLK)*	X-BUS につながる外部バスインタフェースと外部クロック出力動作の基準となるクロックです。クロック発生部にてベースクロックから生成します。
メインクロックモード	メインクロックを基準に動作しているモード。このメインクロックモードの中にはメイン RUN、メインスリープ、メインストップ、発振安定待ち RUN、発振安定待ちリセット、プログラムリセットの状態があります。
メイン RUN	メインクロックモードであり、かつすべての回路が動作可能な状態
発振安定待ち時間	クロックを停止状態から発振状態に設定すると発振安定時間をとります。発振安定待ちの間は、そのクロックは供給されません。
OCD	本シリーズ用のオンチップデバッグです。
OCDU	本品種に内蔵されている、OCD のインタフェース部です。

用語	意味
OCD ツール	OCD ツールを、本品種の DEBUG I/F 端子に接続します。
チップリセットシーケンス	チップリセットシーケンス中に OCD ツールの接続の確認を行います。(1026+3)PCLK サイクルかかります。
電源遮断	対象となる回路への電源供給を止めて、消費電力を低減します。
常時電源 ON ブロック	電源遮断の対象とならない区画です。
PMU パワーマネジメントユニット	電源遮断の制御を行います。PMU は常時 ON ブロックにあります。
PSW	パワースイッチ PMU により制御される電源 ON/OFF するスイッチです。
SSCG	「スペクトラム拡散クロックジェネレータ」=Spread Spectrum Clock Generator 電子機器内のクロックが単一の周波数を発生すると、その周波数およびその高調波での輻射が大きくなります。 SSCG は、クロック周波数をわずかに変動させて発振させる (=周波数変調) ことによって EMI のピークを低く抑える働きをする技術です。

* : MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD のみ

■ アクセス単位とアドレス位置

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000060 _H	SSR0[R/W] B, H, W 00001000	SIDR0[R] B, H, W SODR0[W] B, H, W XXXXXXXX	SCR0[R/W] B, H, W 00000100	SMR0[R/W] B, H, W 00000-0-	UART0
000064 _H	UTIM0[R] H (UTIMR0[W]H) 00000000 00000000		DRCL0[W] B XXXXXXXX	UTIMC0[R/W] B 0--00001	U-TIMER0

バイトアクセス、ハーフワードアクセス、ワードアクセスが可能

アクセスには、バイト、ハーフワード、ワードの3種類がありますが、レジスタによってはアクセス制限がありますのでご注意ください。詳細につきましては、「付録 B. I/O マップ」または、各章の「4. レジスタ詳細説明」を参照してください。

- B, H, W : バイトアクセス、ハーフワードアクセス、ワードアクセスが可能
 B : バイトアクセス (必ずバイトでアクセスしてください。)
 H : ハーフワードアクセス (必ずハーフワードでアクセスしてください。)
 W : ワードアクセス (必ずワードでアクセスしてください。)
 B, H : バイトアクセス、ハーフワードアクセスのみ (ワードではアクセスできません。)
 H, W : ハーフワードアクセス、ワードアクセスのみ (バイトではアクセスできません。)

(参考)

アクセス時のアドレス位置を説明します。

- ワードアクセスの場合、アドレスは4の倍数 (最下位2ビットは強制的に "00" です)

- ・ ハーフワードアクセスの場合、アドレスは2の倍数(最下位1ビットは強制的に"0"です)
- ・ バイトアクセスの場合、アドレスはそのままです。

このため、例えば、SSR0レジスタをハーフワードアクセスするには、アドレス0060_H番地に対して、SSR0+SIDR0(SODR0)レジスタにアクセスするかたちになります。

(アドレスオフセットが+1と+2(例:SIDR0+SCR0)でのハーフワードアクセスはできません。)

■ アクセス単位とビット位置について

レジスタ名 レジスタ記号 対象の周辺機器 アドレス アクセス単位 ビット位置

4.3 シリアルステータスレジスタ

UARTの状態を表すレジスタです。

(例) SSR0 (UART0): アドレス0060_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE	
0	0	0	0	1	0	0	0	初期値
R/WX	R/WX	R/WX	R/WX	R/WX	R/W	R/W	R/W	属性

アクセス単位が変わるとビット位置が変わります。

- ・ アドレスオフセット値が+0の場合: (例, SSR0レジスタ)

アクセスサイズ	アドレス	ビット位置							
Byte	060 _H +0 _H	07	06	05	04	03	02	01	00
Half-word	060 _H +0 _H	15	14	13	12	11	10	09	08
Word	060 _H +0 _H	31	30	29	28	27	26	25	24
ビット名		PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE

- ・ アドレスオフセット値が+1の場合: (例, SIDR0レジスタ)

アクセスサイズ	アドレス	ビット位置							
Byte	060 _H +1 _H	07	06	05	04	03	02	01	00
Half-word	060 _H +0 _H	07	06	05	04	03	02	01	00
Word	060 _H +0 _H	23	22	21	20	19	18	17	16
ビット名		D7	D6	D5	D4	D3	D2	D1	D0

- ・ アドレスオフセット値が+2の場合: (例, SCR0レジスタ)

アクセスサイズ	アドレス	ビット位置							
Byte	060 _H +2 _H	07	06	05	04	03	02	01	00
Half-word	060 _H +2 _H	15	14	13	12	11	10	09	08
Word	060 _H +0 _H	15	14	13	12	11	10	09	08
ビット名		PEN	P	SBL	CL	A/D	REC	RXE	TXE

- ・ アドレスオフセット値が+3の場合: (例, SMR0レジスタ)

アクセスサイズ	アドレス	ビット位置							
Byte	060 _H +3 _H	07	06	05	04	03	02	01	00
Half-word	060 _H +2 _H	07	06	05	04	03	02	01	00
Word	060 _H +0 _H	07	06	05	04	03	02	01	00
ビット名		MD1	MD0	CS2	CS1	CS0	—	SCKE	—

■ ビット属性記号の意味について

- R : 読出し可能です。
- W : 書込み可能です。
- RM : リードモディファイライト動作時の読出し動作の意味です。
- "/" (スラッシュ) R/W : 読出しと書込みが可能です。(読出し値は, 書き込んだ値です。)
- "," (カンマ) R, W : 読出しと書込みで意味が異なります。(読出し値は, 書き込んだ値と異なります。)
- R0 : 読出し値は "0" です。
- R1 : 読出し値は "1" です。
- W0 : 必ず "0" を書き込んでください。
- W1 : 必ず "1" を書き込んでください。
- (RM0) : リードモディファイライト動作では "0" が読めます。
- (RM1) : リードモディファイライト動作では "1" が読めます。
- RX : 読出し値は不定です。(予約ビットまたは, 未定義ビット)
- WX : 書込みを行っても動作に影響を与えません。(未定義ビット)

• R/W 記載例

- R/W : リード/ライト可能 (読出し値は書込み値と同じです。)
- R,W : リード/ライト可能 (読出し値と書込み値が異なります。)
- R,RM/W : リード/ライト可能 (読出し値と書込み値が異なります。リードモディファイライト命令時は書込み値が読み出されます。) 例: ポートデータレジスタ
- R(RM1), W : リード/ライト可能 (読出し値と書込み値が異なります。リードモディファイライト命令時は "1" を読出します。) 例: 割込み要求フラグ
- R,WX : リードオンリ (読出しは可能です。書込みは動作に影響ありません。)
- R1,W : ライトオンリ (書込みは可能です。読出し値は "1" です。)
- R0,W : ライトオンリ (書込みは可能です。読出し値は "0" です。)
- RX,W : ライトオンリ (書込みは可能です。読出し値は不定です。)
- R/W0 : 予約ビット (書込み値は "0" です。読出し値は書込み値です。)
- R0,W0 : 予約ビット (書込み値は "0" です。読出し値は "0" です。)
- R1,W0 : 予約ビット (書込み値は "0" です。読出し値は "1" です。)
- RX,W0 : 予約ビット (書込み値は "0" です。読出し値は不定です。)
- R/W1 : 予約ビット (書込み値は "1" です。読出し値は書込み値です。)
- R1,W1 : 予約ビット (書込み値は "1" です。読出し値は "1" です。)
- R0,W1 : 予約ビット (書込み値は "1" です。読出し値は "0" です。)
- RX,W1 : 予約ビット (書込み値は "1" です。読出し値は不定です。)
- RX,WX : 未定義ビット (読出し値は不定です。書込みは動作に影響ありません。)
- R0,WX : 未定義ビット (読出し値は "0" です。書込みは動作に影響ありません。)

第2章 概要

2.1 概要

本シリーズは、自動車用モータ制御向けの Spansion 32 ビットマイクロコントローラです。CPU には、FR ファミリと互換の FR81S CPU を使用しています。

2.2 特長

■ FR81S CPU コア

- 32 ビット RISC, ロード / ストアアーキテクチャ, パイプライン 5 段
- 最大動作周波数: 128MHz (原振 = 4.0MHz, 32 通倍 (PLL クロック通倍方式))
- 汎用レジスタ 32 ビット 16 本
- 16 ビット固定長命令 (基本命令), 1 命令 / 1 サイクル
- 組込み用途に適した命令
 - メモリ → メモリ間転送命令
 - ビット処理命令
 - バレルシフト命令など
- 高級言語対応命令
 - 関数入口 / 出口命令
 - レジスタ内容のマルチロードストア命令
- ビットサーチ命令
 - 1 検出, 0 検出, 変化点検出
- 遅延スロット付き分岐命令
 - 分岐処理時のオーバヘッドの低減
- レジスタインターロック機能
 - アセンブラ記述の容易化
- 乗算器の内蔵 / 命令レベルでのサポート
 - 符号付き 32 ビット乗算 : 5 サイクル
 - 符号付き 16 ビット乗算 : 3 サイクル
- 割込み (PC/PS 退避)
 - 6 サイクル (16 プライオリティレベル)
- ハーバードアーキテクチャにより, プログラムアクセスとデータアクセスを同時に実行可能
- FR ファミリとの命令互換
- メモリ保護機能 (MPU) 搭載
 - 命令・データ共用で 8 個の保護領域指定
 - 特権モード・ユーザモードそれぞれでアクセス権を制御
- FPU (浮動小数点演算) 搭載
 - IEEE754 準拠
 - 浮動小数点レジスタ 32 ビット × 16 本

管理コード: OVERVIEW-1v0-91580L-1-J

■ 周辺機能

- クロック生成 (SSCG 機能搭載)
 - メイン発振 (4 MHz~ 20MHz)
 - PLL 通倍率 : 1 ~ 32 通倍
- CR 発振器
 - 発振周波数 100kHz, 発振周波数精度 ±10%
 - トリミング可能
 - ハードウェアウォッチドッグのカウントクロックとして使用
 - MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD : スタンバイ時の発振停止機能なし
 - MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB : スタンバイ時の発振停止機能あり
- 内蔵プログラム用 Flash 容量
MB91F585L : 512+64K バイト
MB91F586L : 768+64K バイト
MB91F587L : 1024+64K バイト
- 内蔵データ用 Flash (ワークフラッシュ) 64K バイト
- 内蔵 RAM 容量
 - メイン RAM
MB91F585L : 48K バイト
MB91F586L : 64K バイト
MB91F587L : 96K バイト
 - BackupRAM 8K バイト
- 汎用ポート : MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC 98 本
 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD 111 本
うち I²C 用オープンドレイン対応ポート 8 本
- 外部バスインタフェース (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)
 - 最大動作周波数 40MHz
 - 22 ビットアドレス , 16 ビットデータ
- DMA コントローラ
 - 同時に最大 8 チャンネルの起動が可能
 - 2 つの転送要因 (内部周辺要求 / ソフトウェア)
- 外部割込み入力 : 8 チャンネル
レベル ("H" / "L"), エッジ検出 (立上り / 立下り) 可能
- マルチファンクションシリアル (送受信 FIFO 搭載) : 5 チャンネル
< UART (非同期シリアルインタフェース) >
 - 全 2 重ダブルバッファ方式 , 64 バイトの送信 FIFO, 64 バイトの受信 FIFO
 - パリティあり / なし選択可能
 - 専用ボーレートジェネレータ内蔵
 - 外部クロックを転送クロックとして使用可能
 - パリティ , フレーム , オーバランエラー検出機能あり
 - DMA 転送対応

<CSIO (同期シリアルインタフェース)>

- 全2重ダブルバッファ方式, 64 バイトの送信 FIFO, 64 バイトの受信 FIFO
- SPI に対応, マスタ/スレーブ両方に対応, データ長 5 ～ 16,20,24,32 ビットに設定可能
- 専用ボーレートジェネレータ内蔵 (マスタ動作)
- 外部クロック入力可能 (スレーブ動作)
- オーバランエラー検出機能あり
- チップセレクト機能搭載
- DMA 転送対応

<LIN インタフェース (v2.1)>

- 全2重ダブルバッファ方式, 64 バイトの送信 FIFO, 64 バイトの受信 FIFO
- LIN プロトコル Revision2.1 に対応
- マスタ/スレーブ両方に対応
- フレーミングエラー, オーバランエラー検出
- LIN Sync break 生成, 検出, LIN Sync Delimiter 生成
- 専用ボーレートジェネレータ内蔵
- 外部クロックをリロードカウンタで調整可能
- DMA 転送対応

<I²C>

- 4 チャンネル ch.0,ch.1,ch.3,ch.4 に対応
- 全2重ダブルバッファ方式, 64 バイトの送信 FIFO, 64 バイトの受信 FIFO
- 標準モード (最大: 100kbps) / 高速モード (最大: 400kbps) に対応
- 送信のみ DMA 転送対応
- CAN コントローラ C-CAN: 3 チャンネル
 - 転送速度 最大 1Mbps
 - 64 送受信メッセージバッファ 3 チャンネル
- FlexRay コントローラ: 1 ユニット (ch.A/ch.B)
 - FlexRay 仕様バージョン 2.1 に対応
 - 最大 128 のメッセージバッファ構成
 - 8k バイトのメッセージ RAM
 - 可変長のメッセージバッファ構成
 - 各メッセージバッファは, 受信バッファ, 送信バッファあるいは受信 FIFO の一部として構成可能
 - インプットバッファ, アウトプットバッファを介してメッセージバッファへのホストアクセス
 - スロットカウンタ, サイクルカウンタ, チャンネルに対するフィルタリング
 - マスク可能な割込み
- PPG: 16 ビット × 24 チャンネル
- リロードタイマ: 16 ビット × 4 チャンネル

- A/D コンバータ (逐次比較型)
 - 12 ビット分解能 : 3 ユニット (24 チャンネル)
 - 変換時間 : 1 μ s
- フリーランタイマ : 16 ビット \times 6 チャンネル (インプットキャプチャ用, アウトプットコンペア用 各 1 チャンネル選択可能)
- インプットキャプチャ : 16 ビット \times 8 チャンネル (フリーランタイマと連動)
- アウトプットコンペア : 16 ビット \times 12 チャンネル (フリーランタイマと連動)
- 波形ジェネレータ : 2 ユニット (12 チャンネル)
- R/D コンバータ : 1 チャンネル (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)
- 10 ビット D/A コンバータ : 1 チャンネル (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)
- キャリブレーション : CR 発振駆動のハードウェアウォッチドッグ
CR 発振周波数をトリミング可能
- クロックスーパーバイザ
 - 外部のメイン発振 (4MHz) の異常 (水晶の破損など) 監視
 - 異常検出時には CR クロックに切り換える
- アップダウンカウンタ : 2 チャンネル
 - 8/16bit アップダウンカウンタ
- ベースタイマ : 2 チャンネル
 - 16 ビットタイマ
 - PWM / PPG / PWC / リロードタイマの 4 機能を選択して使用可能
 - 2.ch カスケードモードで 32 ビットタイマとして使用可能
- CRC 生成
- ウォッチドッグタイマ
 - ハードウェアウォッチドッグ
 - ソフトウェアウォッチドッグ
- NMI
- 割込みコントローラ
- 割込み要求一括読出し
複数の周辺からの割込み有無を, 一連のレジスタで読出し可能
- I/O リロケーション
周辺機能の端子位置変更
- 低消費電力モード
 - スリープ / ストップ / 時計
 - ストップ (電源遮断) / 時計 (電源遮断)
- パワーオンリセット / 内部電源低電圧検出リセット
- 低電圧検出リセット
- パッケージ : LQFP-144
- CMOS 90 nm テクノロジ
- 電源
 - 単一 5V 電源
 - 降圧回路により 5.0V から内部 1.2V 生成
 - I/O 5.0V

2.3 品種構成

表 2.3-1 MB91580L シリーズ品種構成比較

・ メモリサイズ

項目	MB91F585LA MB91F585LB MB91F585LC MB91F585LD	MB91F586LA MB91F586LB MB91F586LC MB91F586LD	MB91F587LA MB91F587LB MB91F587LC MB91F587LD
FLASH 容量 (プログラム)	512+64K バイト	768+64K バイト	1024+64K バイト
FLASH 容量 (ワーク)	64K バイト		
RAM 容量 (メイン)	48K バイト	64K バイト	96K バイト
RAM 容量 (Backup)	8K バイト		

・ ファンクション

項目	MB91F585LA MB91F586LA MB91F587LA	MB91F585LB MB91F586LB MB91F587LB	MB91F585LC MB91F586LC MB91F587LC	MB91F585LD MB91F586LD MB91F587LD
システムクロック	オンチップ PLL クロック通倍方式 (最大 32 通倍) 最小命令実行時間 7.81ns (128MHz, 原発振 4MHz × 32 通倍)			
CR 発振器	あり			
スタンバイ時 発振停止機能	あり	あり	なし	なし
外部バス I/F	なし	アドレス 22 ビット データ 16 ビット	なし	アドレス 22 ビット データ 16 ビット
DMA 転送	8 チャンネル			
16 ビット ベースタイマ	2 チャンネル			
フリーランタイマ	6 チャンネル			
インプットキャプチャ	8 チャンネル			
アウトプットコンペア	12 チャンネル			
波形ジェネレータ	2 ユニット (12 チャンネル)			
16 ビット リロードタイマ	4 チャンネル			
PPG	24 チャンネル			
外部割込み	8 チャンネル			
A/D コンバータ	3 ユニット (24 チャンネル)			
R/D コンバータ	あり	なし	あり	なし
D/A コンバータ	なし	あり	なし	あり
アップダウンカウンタ	2 チャンネル			
マルチファンクション シリアル	5 チャンネル			
CAN	64msb × 3 チャンネル (ch.0/ch.1/ch.2)			
FlexRay	128msb × 1 ユニット (ch.A / ch.B)			
ソフトウェアウォッチドッグ	あり			
ハードウェアウォッチドッグ	あり			
CRC 生成	1 チャンネル			
内部電源低電圧検出リセット	あり			
低電圧検出リセット	あり			
パッケージ	LQFP-144			
デバッグインタフェース	OCD (On Chip Debug Unit) 搭載			

表 2.3-2 MB91580M シリーズ品種構成比較

・ メモリサイズ

項目	MB91F583MG MB91F583MH MB91F583MJ MB91F583MK	MB91F584MG MB91F584MH MB91F584MJ MB91F584MK	MB91F585MG MB91F585MH MB91F585MJ MB91F585MK
FLASH 容量 (プログラム)	256+64K バイト	384+64K バイト	512+64K バイト
FLASH 容量 (ワーク)	64K バイト		
RAM 容量 (メイン)	32K バイト	48K バイト	48K バイト
RAM 容量 (Backup)	8K バイト		

・ ファンクション

項目	MB91F583MG MB91F584MG MB91F585MG	MB91F583MH MB91F584MH MB91F585MH	MB91F583MJ MB91F584MJ MB91F585MJ	MB91F583MK MB91F584MK MB91F585MK
システムクロック	オンチップ PLL クロック通倍方式 (最大 32 通倍) 最小命令実行時間 7.81ns (128MHz, 原発振 4MHz × 32 通倍)			
CR 発振器	あり			
スタンバイ時 発振停止機能	あり	あり	なし	なし
外部バス I/F	なし			
DMA 転送	8 チャンネル			
16 ビット ベースタイマ	2 チャンネル			
フリーランタイマ	6 チャンネル			
インプットキャプチャ	4 チャンネル			
アウトプットコンペア	7 チャンネル			
波形ジェネレータ	2 ユニット (7 チャンネル)			
16 ビット リロードタイマ	4 チャンネル			
PPG	6 チャンネル			
外部割込み	8 チャンネル			
A/D コンバータ	3 ユニット (23 チャンネル)			
R/D コンバータ	なし			
D/A コンバータ	あり			
アップダウンカウンタ	2 チャンネル			
マルチファンクション シリアル	4 チャンネル			
CAN	64msb × 2 チャンネル (ch.0/ch.1)			
FlexRay	128msb × 1 ユニット (ch.A / ch.B)	なし	128msb × 1 ユニット (ch.A / ch.B)	なし
ソフトウェアウォッチドッグ	あり			
ハードウェアウォッチドッグ	あり			
CRC 生成	2 チャンネル			
内部電源低電圧検出リセット	あり			
低電圧検出リセット	あり			
パッケージ	LQFP-100			
デバッグインタフェース	OCD (On Chip Debug Unit) 搭載			

(注意事項)

MB91580M シリーズの詳細は「MB91580M/S シリーズハードウェアマニュアル」を参照してください。

表 2.3-3 MB91580S シリーズ品種構成比較

・ メモリサイズ

項目	MB91F583SG MB91F583SH MB91F583SJ MB91F583SK	MB91F584SG MB91F584SH MB91F584SJ MB91F584SK	MB91F585SG MB91F585SH MB91F585SJ MB91F585SK
FLASH 容量 (プログラム)	256+64K バイト	384+64K バイト	512+64K バイト
FLASH 容量 (ワーク)	64K バイト		
RAM 容量 (メイン)	32K バイト	48K バイト	48K バイト
RAM 容量 (Backup)	8K バイト		

・ ファンクション

項目	MB91F583SG MB91F584SG MB91F585SG	MB91F583SH MB91F584SH MB91F585SH	MB91F583SJ MB91F584SJ MB91F585SJ	MB91F583SK MB91F584SK MB91F585SK
システムクロック	オンチップ PLL クロック通倍方式 (最大 32 通倍) 最小命令実行時間 7.81ns (128MHz, 原発振 4MHz × 32 通倍)			
CR 発振器	あり			
スタンバイ時発振停止機能	あり	あり	なし	なし
外部バス I/F	なし			
DMA 転送	8 チャンネル			
16 ビット ベースタイマ	2 チャンネル			
フリーランタイマ	6 チャンネル			
インプットキャプチャ	4 チャンネル			
アウトプットコンペア	7 チャンネル			
波形ジェネレータ	2 ユニット (7 チャンネル)			
16 ビット リロードタイマ	4 チャンネル			
PPG	6 チャンネル			
外部割込み	7 チャンネル			
A/D コンバータ	3 ユニット (17 チャンネル)			
R/D コンバータ	なし			
D/A コンバータ	あり			
アップダウンカウンタ	2 チャンネル			
マルチファンクションシリアル	2 チャンネル			
CAN	64msb × 1 チャンネル (ch.0)			
FlexRay	128msb × 1 ユニット (ch.A / ch.B)	なし	128msb × 1 ユニット (ch.A / ch.B)	なし
ソフトウェアウォッチドッグ	あり			
ハードウェアウォッチドッグ	あり			
CRC 生成	2 チャンネル			
内部電源低電圧検出リセット	あり			
低電圧検出リセット	あり			
パッケージ	LQFP-64			
デバッグインタフェース	OCD (On Chip Debug Unit) 搭載			

(注意事項)

MB91580S シリーズの詳細は「MB91580M/S シリーズハードウェアマニュアル」を参照してください。

2.4 機能概要

表 2.4-1 MB91580L シリーズ機能概要 (1 / 3)

機能	特長
CPU	32 ビット RISC マイコン FR81S CPU コア メモリ保護機能 (MPU) 8 チャンネル搭載 浮動小数点演算 (FPU) 搭載
システムクロック	メイン発振 4MHz (最大 20MHz まで入力可能) PLL 通倍率 最大 32 通倍
CR 発振器	発振周波数 100kHz, 発振周波数精度 $\pm 10\%$ トリミング可能 ハードウェアウォッチドッグのカウントクロックとして使用 MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD : スタンバイ時の発振 停止機能なし MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB : スタンバイ時の発振 停止機能あり
入出力ポート	入力 / 出力または周辺信号として, ビット単位でプログラム可能 入力閾値, 駆動能力, プルアップを設定可能
外部バスインタフェース	MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD のみ 最大動作周波数 40MHz 22 ビットアドレス, 16 ビットデータ 最小 64K バイト単位で設定可能な 4 つの独立な CS 領域
内部バスインタフェース	オンチップバス 32 ビット, 最大動作周波数 128MHz
周辺バスインタフェース	最大動作周波数 40MHz 32 ビット周辺バス, もしくは 16 ビット周辺バス (R-bus) (注意事項) 両者とも同一周波数で動作します
FLASH インタフェース	ワイルドレジスタ機能あり。ただし, NoWait のときのみ使用可能。 80MHz を超える動作周波数については, 1wait 追加。 小セクタ (64K バイト) 対応
DMA コントローラ	同時に最大 8 チャンネルの起動が可能 転送要因 (内部周辺要求 / ソフトウェア) 選択可能 バースト / ブロックの転送モードを選択可能
DMA 転送要求の発生・クリア	・ 1 つの割込みベクタに複数の割込みがある場合, どの割込みから DMA 要求を発生させるかを選択可能 ・ 上記の反対で, 1 つの割込みベクタに複数の割込みがある場合, DMA 転送完了によりクリアする割込みを選択可能
ベースタイマ (2 チャンネル)	16 ビットタイマ PWM / PPG / PWC / リロードタイマの 4 機能を選択して使用可能 リロードタイマ / PWC 機能に関して, 2 チャンネルカスケードモードで 32 ビットタイマとして使用可能
フリーランタイマ (6 チャンネル)	16 ビットアップカウンタ
インプットキャプチャ (8 チャンネル)	立上りエッジ, 立下りエッジ, またはその両方を検出する 16 ビットキャプチャレジスタ 端子入力のエッジ検出で, 16 ビットフリーランタイマのカウンタ値をラッチし, 割込み要求を発生 LIN sync break/sync field の連携は以下のとおり インプットキャプチャ 0ch. → マルチファンクションシリアル 0ch. インプットキャプチャ 1ch. → マルチファンクションシリアル 1ch. インプットキャプチャ 2ch. → マルチファンクションシリアル 2ch. インプットキャプチャ 3ch. → マルチファンクションシリアル 3ch. インプットキャプチャ 4ch. → マルチファンクションシリアル 4ch.

表 2.4-1 MB91580L シリーズ機能概要 (2 / 3)

機能	特長
アウトプットコンペア (12 チャンネル)	16 ビットフリーランタイムとの照合時に割込み信号を出力
波形ジェネレータ (2 ユニット (12 チャンネル))	<ul style="list-style-type: none"> 各種出力を生成 リアルタイム出力 16 ビット PPG 波形出力 ノンオーバーラップ 3 相波形出力 (インバータ制御用) DC チョップパ波形出力 デッドタイムタイマ機能搭載 GATE 機能搭載 DTTI 機能搭載
リロードタイマ (4 チャンネル)	16 ビットリロードタイマ動作 (トグル出力, ワンショット出力選択可) イベントカウンタ機能選択可能
PPG (24 チャンネル)	ワンショット (の矩形波) 出力や, PWM(Pulse Width Modulation) 出力を行う 周期とデューティをソフトウェアで変更可能 動作クロック周波数: $PCLK \times 1, 1/2^2, 1/2^4, 1/2^6$ の 4 とおりから選択可能
遅延割込み	タスク切換え用の割込みを発生 ソフトウェアで CPU に対して割込み要求の発生 / 取消しが可能
外部割込み (8 チャンネル)	8 チャンネル独立 割込み要因: "L" → "H" エッジ / "H" → "L" エッジ / "L" レベル / "H" レベル選択可能 スタンバイ復帰時のエッジ入力検出に対応。
A/D コンバータ	12 ビットの分解能の A/D コンバータ 3 ユニット (24 チャンネル) 内蔵 24 チャンネルの入力ポートからアナログ値をサンプル可能 変換時間: 1 μ s 外部トリガ起動可能 (ADTG) 内部タイマによる起動可能 (16 ビットリロードタイマ)
マルチファンクション シリアル (5 チャンネル)	UART / CSIO / LIN インタフェース (v2.1) / I ² C-UART の 4 機能を選択して使用可能 送信 FIFO 64 バイト, 受信 FIFO 64 バイト搭載 受信割込み要因 (3 種類) - 受信エラー検出 (パリティ, オーバラン, フレームエラー) - FIFO に設定値分のデータを受信 - FIFO に設定値以下のデータを受信し, ボーレートクロックで 8 クロック以上のアイドル期間検出 送信割込み要因 (2 種類) - 送信動作なし - 送信 FIFO エンプティ (送信中を含む) SPI (Serial Peripheral Interface) 対応 LIN プロトコル Revision2.1 に対応
アップダウンカウンタ (2 チャンネル)	8/16 ビット アップダウンカウンタ
割込みコントローラ	割込み要求の検出 割込みレベルの設定
割込み要求一括読出し	複数の周辺の割込み有無を, 一連のレジスタで読出し可能

表 2.4-1 MB91580L シリーズ機能概要 (3 / 3)

機能	特長
CAN インタフェース (3 チャンネル)	CAN 仕様バージョン 2.0 パート A およびパート B に準拠 64 個のメッセージバッファ×3 チャンネル 各メッセージオブジェクトには独自の識別子マスクあり 最高 1Mbps までサポートします。 クロックには CAN プリスケーラを実装します。 CAN ウェイクアップ機能
FlexRay コントローラ (1 ユニット ch.A/ch.B)	FlexRay 仕様バージョン 2.1 に対応 最大 128 のメッセージバッファ構成 8K バイトのメッセージ RAM 可変長のメッセージバッファ構成 各メッセージバッファは、受信バッファ、送信バッファあるいは受信 FIFO の一部として構成可能 インプットバッファとアウトプットバッファを介してメッセージバッファへのホストアクセス スロットカウンタ、サイクルカウンタ、チャンネルに対するフィルタリングマスク可能な割込み
R/D コンバータ	MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC のみ レゾルバとのインタフェース機能
D/A コンバータ	MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD のみ 10 ビットの分解能×1 チャンネル
キャリブレーション	・メインクロックとの比較で、CR 発振周波数を補正可能
ソフトウェア ウォッチドッグ	CPU のプログラム動作をカウント CPU 停止中はカウントを停止 周期は PCLK × (2 ⁹ ~ 2 ²⁴) サイクルの 16 とおりから選択可能
ハードウェア ウォッチドッグ	CR ベースの CPU の動作検出カウンタ プログラム暴走対策 周期：18.6 ~ 22.8ms 「WDT1 補正」回路によるキャリブレーション可能 周期に幅があるのは、製造のばらつきに起因するものです。 任意に周期を設定できるわけではありませんのでご注意ください。
CRC 生成	入力レジスタへの逐次書込みにより、CRC コードを結果レジスタに表示
低電圧検出 (外部電源低電圧検出)	低電圧検出時リセット発生
内部電源低電圧検出	1.2V 系電圧を監視して、下回った場合はリセットを発生します。 内部電源電圧を監視し、低電圧を検出でフラグをセットします。 フラグがセットされた場合、RAM の内容は保証されません。
低消費電力モード	スリープモード、ストップモード、時計モード ストップモード (電源遮断)、時計モード (電源遮断)
I/O リロケーション	リロケーション対象周辺機能と分岐数 - マルチファンクションシリアル ch.0 ~ ch.2 は分岐なし、ch.3 と ch.4 は 2 分岐
NMI 要求	NMIX 端子から入力されるマスク不可能な割込み信号または機能安全の割込み信号
デバッグインタフェース	OCD (On Chip Debug Unit) 搭載

2.5 ブロックダイアグラム

図 2.5-1 ブロックダイアグラム (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)

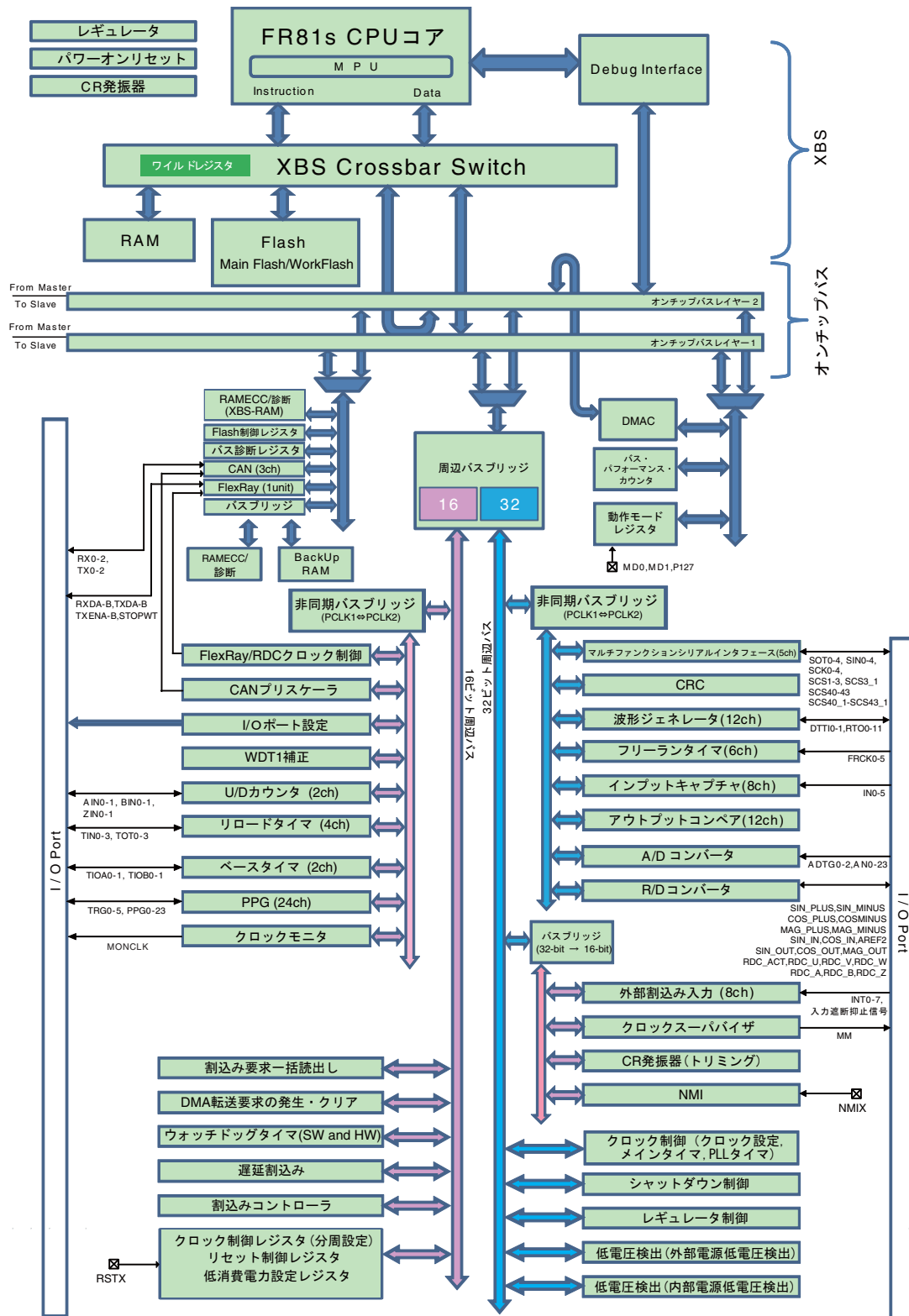
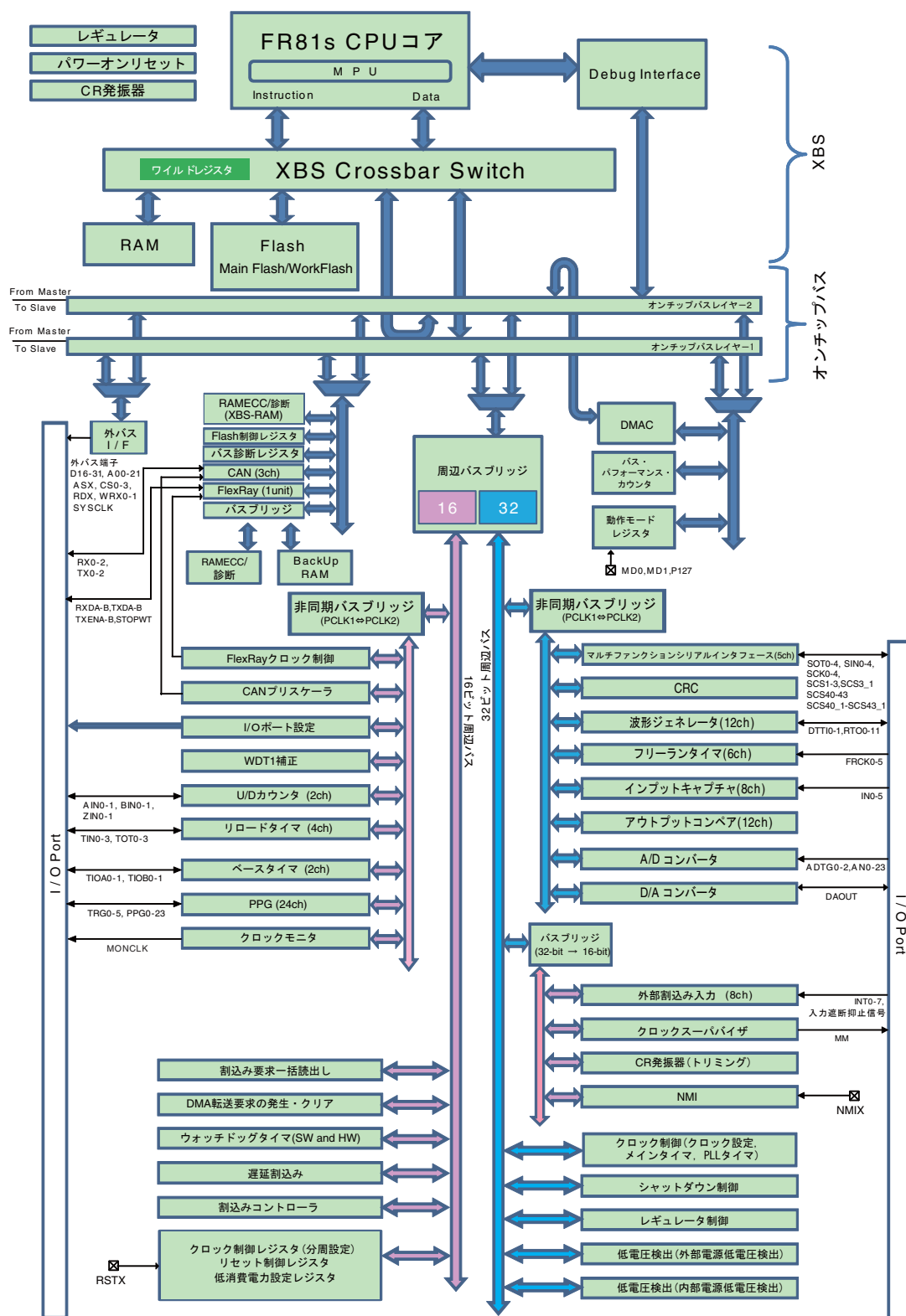


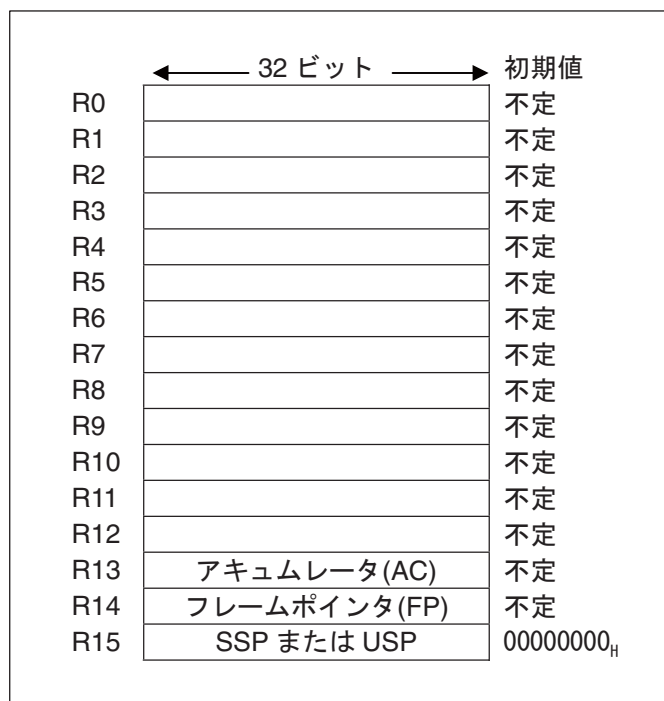
図 2.5-2 ブロックダイアグラム (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)



2.6 CPU

■ 汎用レジスタ

図 2.6-1 汎用レジスタ



レジスタ R0 ～ R15 は汎用レジスタです。各種演算におけるアキュムレータおよびメモリアクセスのポインタとして使用します。

16 本のレジスタのうち、以下に示すレジスタは特殊な用途を想定しており、そのために一部の命令が強化されています。

- R13: AC (アキュムレータ)
- R14: FP (フレームポインタ)
- R15: SP (スタックポインタ)

リセットによる初期値は、R0 ～ R14 は不定です。R15 は、00000000_H (SSP の値) となります。

■ 専用レジスタ

各種用途専用の 32 ビット長専用レジスタが 9 本と、乗除算用の 64 ビット長専用レジスタが 1 本あります。

図 2.6-2 専用レジスタ一覧

		初期値
PC		リセットエントリアドレス
PS		SSR=3 _H , ILM=01111 _B , SCR=XX0 _B , CCR=0000XXXX _B
TBR		000FFC00 _H
RP		不定
SSP		00000000 _H
USP		不定
BP		不定
FCR		不定
ESR		00000000 _H
MD		不定

専用レジスタは、特定の目的のために使用します。

FR ファミリでは、以下の専用レジスタが用意されています。

- プログラムカウンタ (PC)
- プログラムステータス (PS)
- テーブルベースレジスタ (TBR)
- リターンポインタ (RP)
- システムスタックポインタ (SSP)
- ユーザスタックポインタ (USP)
- ベースポインタ (BP)
- FPU 制御レジスタ (FCR)
- 例外ステータスレジスタ (ESR)
- 乗除算レジスタ (MD)

2.7 端子配列図

図 2.7-1 LQFP-144 端子配置図 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)

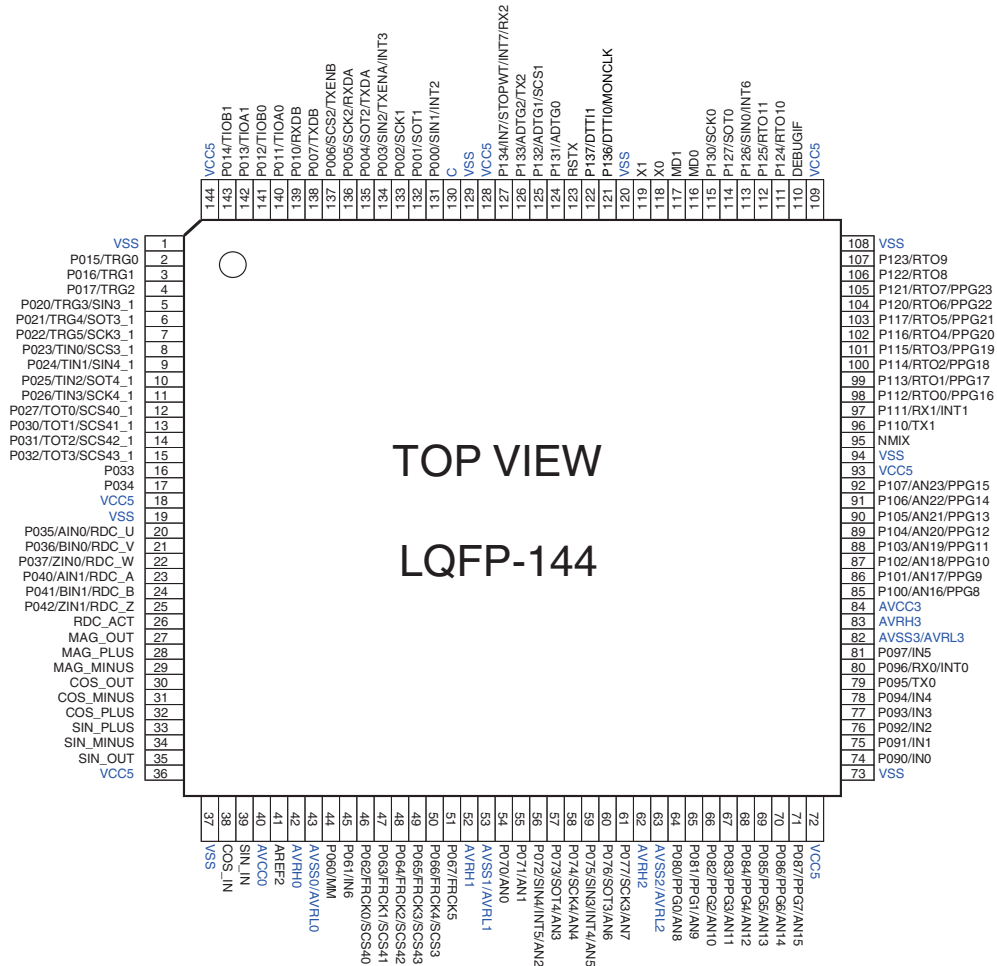
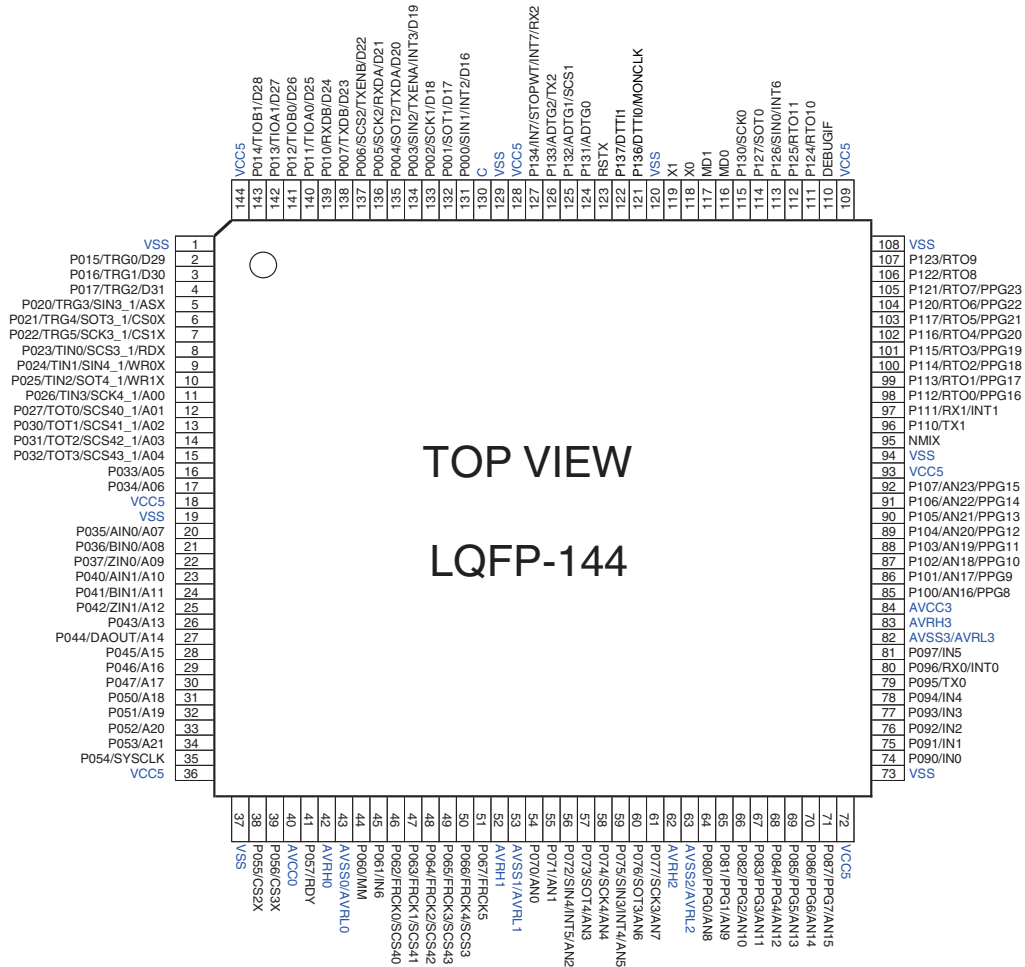


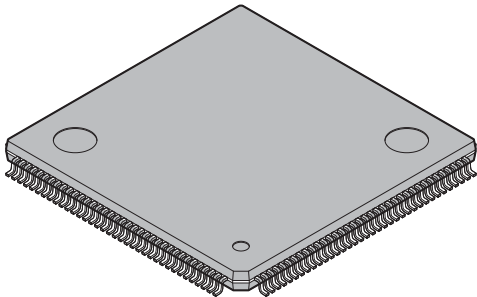
図 2.7-2 LQFP-144 端子配置図 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)

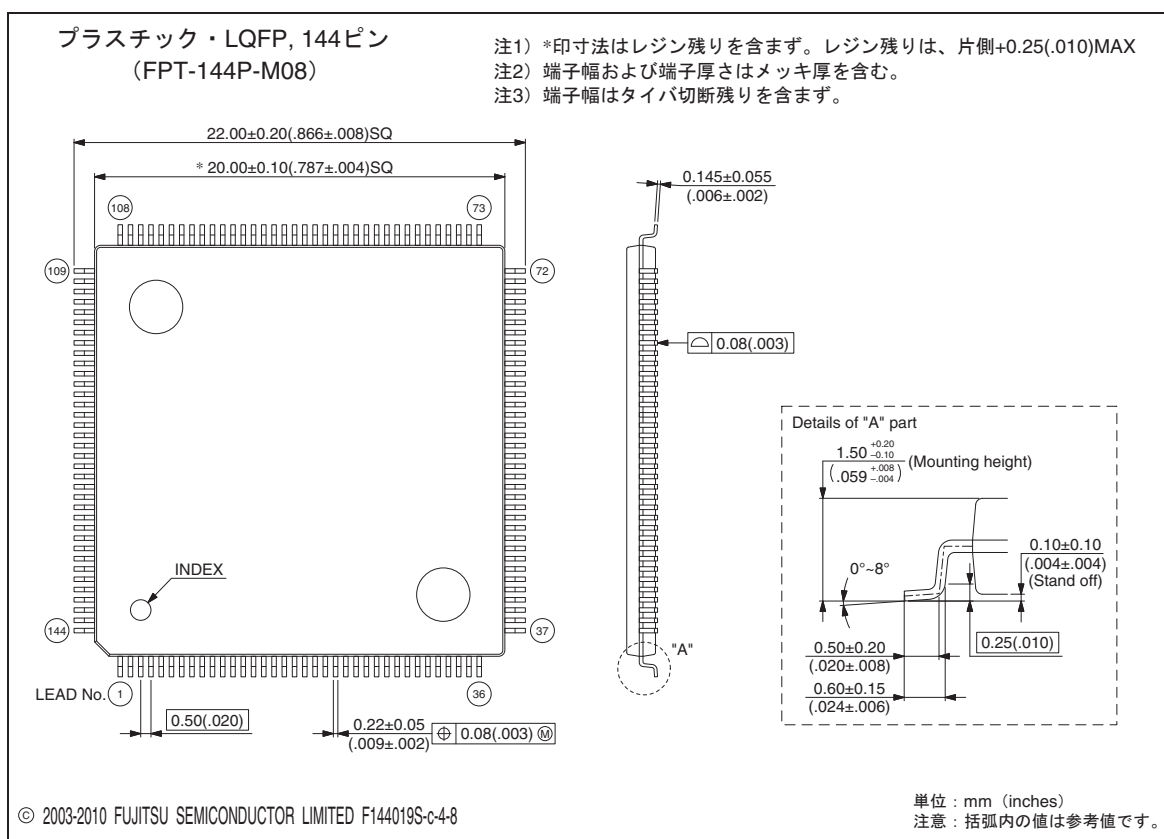


2.8 パッケージ

■ MB91F585L/F586L/F587L -- LQFP-144 (FPT-144P-M08) 外形寸法図

図 2.8-1 FPT-144P-M08 外形寸法図

<p>プラスチック・LQFP, 144ピン</p>  <p>(FPT-144P-M08)</p>	リードピッチ	0.50 mm
	パッケージ幅× パッケージ長さ	20.0 × 20.0 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70 mm MAX
	質量	1.20 g
	コード (参考)	P-LFQFP144-20×20-0.50



最新の外形寸法図については、下記の URL にてご確認ください。

<http://edevic.fujitsu.com/package/jp-search/>



第3章 基本情報

3.1 端子機能一覧

表 3.1-1 端子機能表 MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (1 / 9)

端子番号	端子名	入出力回路形式*	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
118	X0	A	メインクロック発振入力端子
119	X1		メインクロック発振出力端子
95	NMIX	B	マスクなし割込み入力端子
123	RSTX	B	外部リセット入力端子
116	MD0	C	モード端子 0 (高電圧制御付)
117	MD1	C	モード端子 1 (高電圧制御付)
131	P000	E	汎用入出力ポート
	INT2		INT2 外部割込み入力端子
	SIN1		マルチファンクションシリアル ch.1 シリアルデータ入力端子
132	P001	K	汎用入出力ポート
	SOT1		マルチファンクションシリアル ch.1 シリアルデータ出力端子 / I ² C ch.1 シリアルデータ入出力端子 (SDA)
133	P002	K	汎用入出力ポート
	SCK1		マルチファンクションシリアル ch.1 クロック入出力端子 / I ² C ch.1 クロック入出力端子 (SCL)
134	P003	O	汎用入出力ポート
	TXENA		FlexRay ch.A 動作許可出力端子
	INT3		INT3 外部割込み入力端子
	SIN2		マルチファンクションシリアル ch.2 シリアルデータ入力端子
135	P004	N	汎用入出力ポート
	TXDA		FlexRay ch.A データ出力端子
	SOT2		マルチファンクションシリアル ch.2 シリアルデータ出力端子
136	P005	N	汎用入出力ポート
	RXDA		FlexRay ch.A データ入力端子
	SCK2		マルチファンクションシリアル ch.2 クロック入出力端子
137	P006	N	汎用入出力ポート
	TXENB		FlexRay ch.B 動作許可出力端子
	SCS2		マルチファンクションシリアル ch.2 シリアルチップセレクト入出力端子
138	P007	N	汎用入出力ポート
	TXDB		FlexRay ch.B データ出力端子
139	P010	N	汎用入出力ポート
	RXDB		FlexRay ch.B データ入力端子

管理コード : BASICINFO-1v0-91580L-1-J

表 3.1-1 端子機能表 MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (2 / 9)

端子番号	端子名	入出力回路形式*	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
140	P011	D	汎用入出力ポート
	TIOA0		ベースタイム ch.0 TIOA 出力端子
141	P012	D	汎用入出力ポート
	TIOB0		ベースタイム ch.0 TIOB 入力端子
142	P013	D	汎用入出力ポート
	TIOA1		ベースタイム ch.1 TIOA 入出力端子
143	P014	D	汎用入出力ポート
	TIOB1		ベースタイム ch.1 TIOB 入力端子
2	P015	D	汎用入出力ポート
	TRG0		PPG ch.0-ch.3 外部トリガ
3	P016	D	汎用入出力ポート
	TRG1		PPG ch.4-ch.7 外部トリガ
4	P017	D	汎用入出力ポート
	TRG2		PPG ch.8-ch.11 外部トリガ
5	P020	D	汎用入出力ポート
	TRG3		PPG ch.12-ch.15 外部トリガ
	SIN3_1		マルチファンクションシリアル ch.3 シリアルデータ入力端子 (1)
6	P021	K	汎用入出力ポート
	TRG4		PPG16-PPG19 外部トリガ
	SOT3_1		マルチファンクションシリアル ch.3 シリアルデータ出力端子 (1)/ I ² C ch.3 シリアルデータ入出力端子 (1) (SDA)
7	P022	K	汎用入出力ポート
	TRG5		PPG ch.20-ch.23 外部トリガ
	SCK3_1		マルチファンクションシリアル ch.3 クロック入出力端子 (1)/ I ² C ch.3 クロック入出力端子 (1) (SCL)
8	P023	D	汎用入出力ポート
	TIN0		リロードタイム ch.0 イベント入力端子
	SCS3_1		マルチファンクションシリアル ch.3 シリアルチップセレクト入出力端子 (1)
9	P024	D	汎用入出力ポート
	TIN1		リロードタイム ch.1 イベント入力端子
	SIN4_1		マルチファンクションシリアル ch.4 シリアルデータ入力端子 (1)
10	P025	K	汎用入出力ポート
	TIN2		リロードタイム ch.2 イベント入力端子
	SOT4_1		マルチファンクションシリアル ch.4 シリアルデータ出力端子 (1)/ I ² C ch.4 シリアルデータ入出力端子 (1) (SDA)
11	P026	K	汎用入出力ポート
	TIN3		リロードタイム ch.3 イベント入力端子
	SCK4_1		マルチファンクションシリアル ch.4 クロック入出力端子 (1)/ I ² C ch.4 クロック入出力端子 (1) (SCL)

表 3.1-1 端子機能表 MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (3 / 9)

端子番号	端子名	入出力 回路 形式*	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
12	P027	D	汎用入出力ポート
	TOT0		リロードタイマ ch.0 出力端子
	SCS40_1		マルチファンクションシリアル ch.4 シリアルチップセレクト 0 入出力端子 (1)
13	P030	D	汎用入出力ポート
	TOT1		リロードタイマ ch.1 出力端子
	SCS41_1		マルチファンクションシリアル ch.4 シリアルチップセレクト 1 出力端子 (1)
14	P031	D	汎用入出力ポート
	TOT2		リロードタイマ ch.2 出力端子
	SCS42_1		マルチファンクションシリアル ch.4 シリアルチップセレクト 2 出力端子 (1)
15	P032	D	汎用入出力ポート
	TOT3		リロードタイマ ch.3 出力端子
	SCS43_1		マルチファンクションシリアル ch.4 シリアルチップセレクト 3 出力端子 (1)
16	P033	D	汎用入出力ポート
17	P034	D	汎用入出力ポート
20	P035	D	汎用入出力ポート
	AIN0		アップダウンカウンタ ch.0 AIN 入力端子
	RDC_U		RDC U 相出力端子
21	P036	D	汎用入出力ポート
	BIN0		アップダウンカウンタ ch.0 BIN 入力端子
	RDC_V		RDC V 相出力端子
22	P037	D	汎用入出力ポート
	ZIN0		アップダウンカウンタ ch.0 ZIN 入力端子
	RDC_W		RDC W 相出力端子
23	P040	D	汎用入出力ポート
	AIN1		アップダウンカウンタ ch.1 AIN 入力端子
	RDC_A		RDC A 相出力端子
24	P041	D	汎用入出力ポート
	BIN1		アップダウンカウンタ ch.1 BIN 入力端子
	RDC_B		RDC B 相出力端子
25	P042	D	汎用入出力ポート
	ZIN1		アップダウンカウンタ ch.1 ZIN 入力端子
	RDC_Z		RDC Z 相出力端子
26	RDC_ACT	J	RDC 動作状況出力端子
27	MAG_OUT	I	RDC 励磁信号出力端子
28	MAG_PLUS	H	RDC 励磁外部入力端子 +
29	MAG_MINUS	H	RDC 励磁外部入力端子 -
30	COS_OUT	I	RDC COS 出力端子

表 3.1-1 端子機能表 MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (4 / 9)

端子番号	端子名	入出力 回路 形式 *	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
31	COS_MINUS	H	RDC COS 入力端子 -
32	COS_PLUS	H	RDC COS 入力端子 +
33	SIN_PLUS	H	RDC SIN 入力端子 +
34	SIN_MINUS	H	RDC SIN 入力端子 -
35	SIN_OUT	I	RDC SIN 出力端子
38	COS_IN	H	RDC COS コイル地絡検出用入力端子
39	SIN_IN	H	RDC SIN コイル地絡検出用入力端子
41	AREF2	I	RDC Aref 出力端子 (AVcc0/2)
44	P060	D	汎用入出力ポート
	MM		クロックスーパーバイザ メインクロック欠落出力端子
45	P061	D	汎用入出力ポート
	IN6		16 ビットインプットキャプチャ ch.6 外部パルス入力端子
46	P062	D	汎用入出力ポート
	FRCK0		フリーランタイム ch.0 外部クロック入力端子
	SCS40		マルチファンクションシリアル ch.4 シリアルチップセレクト 0 入出力端子
47	P063	D	汎用入出力ポート
	FRCK1		フリーランタイム ch.1 外部クロック入力端子
	SCS41		マルチファンクションシリアル ch.4 シリアルチップセレクト 1 出力端子
48	P064	D	汎用入出力ポート
	FRCK2		フリーランタイム ch.2 外部クロック入力端子
	SCS42		マルチファンクションシリアル ch.4 シリアルチップセレクト 2 出力端子
49	P065	D	汎用入出力ポート
	FRCK3		フリーランタイム ch.3 外部クロック入力端子
	SCS43		マルチファンクションシリアル ch.4 シリアルチップセレクト 3 出力端子
50	P066	D	汎用入出力ポート
	FRCK4		フリーランタイム ch.4 外部クロック入力端子
	SCS3		マルチファンクションシリアル ch.3 シリアルチップセレクト入出力端子
51	P067	D	汎用入出力ポート
	FRCK5		フリーランタイム ch.5 外部クロック入力端子
54	P070	F	汎用入出力ポート
	AN0		ADC アナログ 0 入力端子
55	P071	F	汎用入出力ポート
	AN1		ADC アナログ 1 入力端子
56	P072	G	汎用入出力ポート
	AN2		ADC アナログ 2 入力端子
	SIN4		マルチファンクションシリアル ch.4 シリアルデータ入力端子
	INT5		INT5 外部割込み入力端子

表 3.1-1 端子機能表 MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (5 / 9)

端子番号	端子名	入出力 回路 形式*	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
57	P073	M	汎用入出力ポート
	AN3		ADC アナログ 3 入力端子
	SOT4		マルチファンクションシリアル ch.4 シリアルデータ出力端子 / I ² C ch.4 シリアルデータ入出力端子 (SDA)
58	P074	M	汎用入出力ポート
	AN4		ADC アナログ 4 入力端子
	SCK4		マルチファンクションシリアル ch.4 クロック入出力端子 / I ² C ch.4 クロック入出力端子 (SCL)
59	P075	G	汎用入出力ポート
	AN5		ADC アナログ 5 入力端子
	SIN3		マルチファンクションシリアル ch.3 シリアルデータ入力端子
	INT4		INT4 外部割込み入力端子
60	P076	M	汎用入出力ポート
	AN6		ADC アナログ 6 入力端子
	SOT3		マルチファンクションシリアル ch.3 シリアルデータ出力端子 / I ² C ch.3 シリアルデータ入出力端子 (SDA)
61	P077	M	汎用入出力ポート
	AN7		ADC アナログ 7 入力端子
	SCK3		マルチファンクションシリアル ch.3 クロック入出力端子 / I ² C ch.3 クロック入出力端子 (SCL)
64	P080	F	汎用入出力ポート
	AN8		ADC アナログ 8 入力端子
	PPG0		PPG ch.0 出力
65	P081	F	汎用入出力ポート
	AN9		ADC アナログ 9 入力端子
	PPG1		PPG ch.1 出力端子
66	P082	F	汎用入出力ポート
	AN10		ADC アナログ 10 入力端子
	PPG2		PPG ch.2 出力端子
67	P083	F	汎用入出力ポート
	AN11		ADC アナログ 11 入力端子
	PPG3		PPG ch.3 出力端子
68	P084	F	汎用入出力ポート
	AN12		ADC アナログ 12 入力端子
	PPG4		PPG ch.4 出力端子
69	P085	F	汎用入出力ポート
	AN13		ADC アナログ 13 入力端子
	PPG5		PPG ch.5 出力端子

表 3.1-1 端子機能表 MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (6 / 9)

端子番号	端子名	入出力 回路 形式*	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
70	P086	F	汎用入出力ポート
	AN14		ADC アナログ 14 入力端子
	PPG6		PPG ch.6 出力端子
71	P087	F	汎用入出力ポート
	AN15		ADC アナログ 15 入力端子
	PPG7		PPG ch.7 出力端子
74	P090	D	汎用入出力ポート
	IN0		16 ビットインプットキャプチャ ch.0 外部パルス入力端子
75	P091	D	汎用入出力ポート
	IN1		16 ビットインプットキャプチャ ch.1 外部パルス入力端子
76	P092	D	汎用入出力ポート
	IN2		16 ビットインプットキャプチャ ch.2 外部パルス入力端子
77	P093	D	汎用入出力ポート
	IN3		16 ビットインプットキャプチャ ch.3 外部パルス入力端子
78	P094	D	汎用入出力ポート
	IN4		16 ビットインプットキャプチャ ch.4 外部パルス入力端子
79	P095	D	汎用入出力ポート
	TX0		CAN 送信データ 0 出力端子
80	P096	E	汎用入出力ポート
	RX0		CAN 受信データ 0 入力端子
	INT0		INT0 外部割込み入力端子
81	P097	D	汎用入出力ポート
	IN5		16 ビットインプットキャプチャ ch.5 外部パルス入力端子
85	P100	F	汎用入出力ポート
	PPG8		PPG ch.8 出力端子
	AN16		ADC アナログ 16 入力端子
86	P101	F	汎用入出力ポート
	PPG9		PPG ch.9 出力端子
	AN17		ADC アナログ 17 入力端子
87	P102	F	汎用入出力ポート
	PPG10		PPG ch.10 出力端子
	AN18		ADC アナログ 18 入力端子
88	P103	F	汎用入出力ポート
	PPG11		PPG ch.11 出力端子
	AN19		ADC アナログ 19 入力端子
89	P104	F	汎用入出力ポート
	PPG12		PPG ch.12 出力端子
	AN20		ADC アナログ 20 入力端子

表 3.1-1 端子機能表 MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (7 / 9)

端子番号	端子名	入出力 回路 形式 *	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
90	P105	F	汎用入出力ポート
	PPG13		PPG ch.13 出力端子
	AN21		ADC アナログ 21 入力端子
91	P106	F	汎用入出力ポート
	PPG14		PPG ch.14 出力端子
	AN22		ADC アナログ 22 入力端子
92	P107	F	汎用入出力ポート
	PPG15		PPG ch.15 出力端子
	AN23		ADC アナログ 23 入力端子
96	P110	D	汎用入出力ポート
	TX1		CAN 送信データ 1 出力端子
97	P111	E	汎用入出力ポート
	RX1		CAN 受信データ 1 入力端子
	INT1		INT1 外部割込み入力端子
98	P112	D	汎用入出力ポート
	RTO0		波形ジェネレータ ch.0 出力端子
	PPG16		PPG ch.16 出力端子
99	P113	D	汎用入出力ポート
	RTO1		波形ジェネレータ ch.1 出力端子
	PPG17		PPG ch.17 出力端子
100	P114	D	汎用入出力ポート
	RTO2		波形ジェネレータ ch.2 出力端子
	PPG18		PPG ch.18 出力端子
101	P115	D	汎用入出力ポート
	RTO3		波形ジェネレータ ch.3 出力端子
	PPG19		PPG ch.19 出力端子
102	P116	D	汎用入出力ポート
	RTO4		波形ジェネレータ ch.4 出力端子
	PPG20		PPG ch.20 出力端子
103	P117	D	汎用入出力ポート
	RTO5		波形ジェネレータ ch.5 出力端子
	PPG21		PPG ch.21 出力端子
104	P120	D	汎用入出力ポート
	RTO6		波形ジェネレータ ch.6 出力端子
	PPG22		PPG ch.22 出力端子

表 3.1-1 端子機能表 MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (8 / 9)

端子番号	端子名	入出力 回路 形式 *	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
105	P121	D	汎用入出力ポート
	RTO7		波形ジェネレータ ch.7 出力端子
	PPG23		PPG ch.23 出力端子
106	P122	D	汎用入出力ポート
	RTO8		波形ジェネレータ ch.8 出力端子
107	P123	D	汎用入出力ポート
	RTO9		波形ジェネレータ ch.9 出力端子
111	P124	D	汎用入出力ポート
	RTO10		波形ジェネレータ ch.10 出力端子
112	P125	D	汎用入出力ポート
	RTO11		波形ジェネレータ ch.11 出力端子
113	P126	E	汎用入出力ポート
	SIN0		マルチファンクションシリアル ch.0 シリアルデータ入力端子
	INT6		INT6 外部割込み入力端子
114	P127	K	汎用入出力ポート
	SOT0		マルチファンクションシリアル ch.0 シリアルデータ出力端子 / I ² C ch.0 シリアルデータ入出力端子 (SDA)
115	P130	K	汎用入出力ポート
	SCK0		マルチファンクションシリアル ch.0 クロック入出力端子 / I ² C ch.0 クロック入出力端子 (SCL)
124	P131	D	汎用入出力ポート
	ADTG0		A/D コンバータ ch.0-ch.7 外部トリガ入力端子
125	P132	D	汎用入出力ポート
	ADTG1		A/D コンバータ ch.8-ch.15 外部トリガ入力端子
	SCS1		マルチファンクションシリアル ch.1 シリアルチップセレクト入出力端子
126	P133	D	汎用入出力ポート
	ADTG2		A/D コンバータ ch.16-ch.23 外部トリガ入力端子
	TX2		CAN 送信データ 2 出力端子
127	P134	E	汎用入出力ポート
	STOPWT		FlexRay ストップウォッチ入力端子
	RX2		CAN 受信データ 2 入力端子
	INT7		INT7 外部割込み入力端子
	IN7		16 ビットインプットキャプチャ ch.7 外部パルス入力端子
110	DEBUGIF	L	DEBUG I/F 端子
121	P136	D	汎用入出力ポート
	DTTI0		波形ジェネレータ出力停止信号入力端子 0
	MONCLK		クロックモニタ出力端子

表 3.1-1 端子機能表 MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (9 / 9)

端子番号	端子名	入出力回路形式 *	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
122	P137	D	汎用入出力ポート
	DTTI1		波形ジェネレータ出力停止信号入力端子 1
40	AVCC0	-	R/D コンバータ用電源
84	AVCC3	-	A/D コンバータ用アナログ電源
42	AVRH0	-	R/D コンバータ用上限基準電圧電源
52	AVRH1	-	A/D コンバータ用上限基準電圧
62	AVRH2	-	A/D コンバータ用上限基準電圧
83	AVRH3	-	A/D コンバータ用上限基準電圧
43	AVSS0	-	R/D コンバータ用 GND
	AVRL0		R/D コンバータ用下限基準電圧
53	AVSS1	-	A/D コンバータ用 GND
	AVRL1		A/D コンバータ用下限基準電圧
63	AVSS2	-	A/D コンバータ用 GND
	AVRL2		A/D コンバータ用下限基準電圧
82	AVSS3	-	A/D コンバータ用 GND
	AVRL3		A/D コンバータ用下限基準電圧
130	C	-	外部容量接続出力端子
18, 36, 93, 72, 109, 128, 144	VCC5	-	+5.0v 電源
1, 19, 37, 73, 94, 108, 120, 129	VSS	-	GND

*: 入出力回路形式については, 「3.3 入出力回路形式」を参照してください。

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (1 / 10)

端子番号	端子名	入出力 回路 形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
118	X0	A	メインクロック発振入力端子
119	X1		メインクロック発振出力端子
95	NMIX	B	マスクなし割込み入力端子
123	RSTX	B	外部リセット入力端子
116	MD0	C	モード端子 0 (高電圧制御付)
117	MD1	C	モード端子 1 (高電圧制御付)
131	P000	E	汎用入出力ポート
	D16		外部バス・データ bit16 入出力端子
	INT2		INT2 外部割込み入力端子
	SIN1		マルチファンクションシリアル ch.1 シリアルデータ入力端子
132	P001	K	汎用入出力ポート
	D17		外部バス・データ bit17 入出力端子
	SOT1		マルチファンクションシリアル ch.1 シリアルデータ出力端子 / I ² C ch.1 シリアルデータ入出力端子 (SDA)
133	P002	K	汎用入出力ポート
	D18		外部バス・データ bit18 入出力端子
	SCK1		マルチファンクションシリアル ch.1 クロック入出力端子 / I ² C ch.1 クロック入出力端子 (SCL)
134	P003	O	汎用入出力ポート
	D19		外部バス・データ bit19 入出力端子
	TXENA		FlexRay ch.A 動作許可出力端子
	INT3		INT3 外部割込み入力端子
	SIN2		マルチファンクションシリアル ch.2 シリアルデータ入力端子
135	P004	N	汎用入出力ポート
	D20		外部バス・データ bit20 入出力端子
	TXDA		FlexRay ch.A データ出力端子
	SOT2		マルチファンクションシリアル ch.2 シリアルデータ出力端子
136	P005	N	汎用入出力ポート
	D21		外部バス・データ bit21 入出力端子
	RXDA		FlexRay ch.A データ入力端子
	SCK2		マルチファンクションシリアル ch.2 クロック入出力端子
137	P006	N	汎用入出力ポート
	D22		外部バス・データ bit22 入出力端子
	TXENB		FlexRay ch.B 動作許可出力端子
	SCS2		マルチファンクションシリアル ch.2 シリアルチップセレクト入出力端子

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (2 / 10)

端子番号	端子名	入出力 回路 形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
138	P007	N	汎用入出力ポート
	D23		外部バス・データ bit23 入出力端子
	TXDB		FlexRay ch.B データ出力端子
139	P010	N	汎用入出力ポート
	D24		外部バス・データ bit24 入出力端子
	RXDB		FlexRay ch.B データ入力端子
140	P011	D	汎用入出力ポート
	D25		外部バス・データ bit25 入出力端子
	TIOA0		ベースタイム ch.0 TIOA 出力端子
141	P012	D	汎用入出力ポート
	D26		外部バス・データ bit26 入出力端子
	TIOB0		ベースタイム ch.0 TIOB 入力端子
142	P013	D	汎用入出力ポート
	D27		外部バス・データ bit27 入出力端子
	TIOA1		ベースタイム ch.1 TIOA 入出力端子
143	P014	D	汎用入出力ポート
	D28		外部バス・データ bit28 入出力端子
	TIOB1		ベースタイム ch.1 TIOB 入力端子
2	P015	D	汎用入出力ポート
	D29		外部バス・データ bit29 入出力端子
	TRG0		PPG ch.0-ch.3 外部トリガ
3	P016	D	汎用入出力ポート
	D30		外部バス・データ bit30 入出力端子
	TRG1		PPG ch.4-ch.7 外部トリガ
4	P017	D	汎用入出力ポート
	D31		外部バス・データ bit31 入出力端子
	TRG2		PPG ch.8-ch.11 外部トリガ
5	P020	D	汎用入出力ポート
	ASX		外部バス・アドレスストローブ出力端子
	TRG3		PPG ch.12-ch.15 外部トリガ
	SIN3_1		マルチファンクションシリアル ch.3 シリアルデータ入力端子 (1)
6	P021	K	汎用入出力ポート
	CS0X		外部バス・チップセレクト 0 出力端子
	TRG4		PPG16-PPG19 外部トリガ
	SOT3_1		マルチファンクションシリアル ch.3 シリアルデータ出力端子 (1)/ I ² C ch.3 シリアルデータ入出力端子 (1) (SDA)

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (3 / 10)

端子番号	端子名	入出力回路形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
7	P022	K	汎用入出力ポート
	CS1X		外部バス・チップセレクト 1 出力端子
	TRG5		PPG ch.20-ch.23 外部トリガ
	SCK3_1		マルチファンクションシリアル ch.3 クロック入出力端子 (1)/ I ² C ch.3 クロック入出力端子 (1) (SCL)
8	P023	D	汎用入出力ポート
	RDX		外部バス・リードストローブ出力端子
	TIN0		リロードタイマ ch.0 イベント入力端子
	SCS3_1		マルチファンクションシリアル ch.3 シリアルチップセレクト入出力端子 (1)
9	P024	D	汎用入出力ポート
	WR0X		外部バス・ライトストローブ 0 出力端子
	TIN1		リロードタイマ ch.1 イベント入力端子
	SIN4_1		マルチファンクションシリアル ch.4 シリアルデータ入力端子 (1)
10	P025	K	汎用入出力ポート
	WR1X		外部バス・ライトストローブ 1 出力端子
	TIN2		リロードタイマ ch.2 イベント入力端子
	SOT4_1		マルチファンクションシリアル ch.4 シリアルデータ出力端子 (1)/ I ² C ch.4 シリアルデータ入出力端子 (1) (SDA)
11	P026	K	汎用入出力ポート
	A00		外部バス・アドレス bit0 出力端子
	TIN3		リロードタイマ ch.3 イベント入力端子
	SCK4_1		マルチファンクションシリアル ch.4 クロック入出力端子 (1)/ I ² C ch.4 クロック入出力端子 (1) (SCL)
12	P027	D	汎用入出力ポート
	A01		外部バス・アドレス bit1 出力端子
	TOT0		リロードタイマ ch.0 出力端子
	SCS40_1		マルチファンクションシリアル ch.4 シリアルチップセレクト 0 入出力端子 (1)
13	P030	D	汎用入出力ポート
	A02		外部バス・アドレス bit2 出力端子
	TOT1		リロードタイマ ch.1 出力端子
	SCS41_1		マルチファンクションシリアル ch.4 シリアルチップセレクト 1 出力端子 (1)
14	P031	D	汎用入出力ポート
	A03		外部バス・アドレス bit3 出力端子
	TOT2		リロードタイマ ch.2 出力端子
	SCS42_1		マルチファンクションシリアル ch.4 シリアルチップセレクト 2 出力端子 (1)

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (4 / 10)

端子番号	端子名	入出力 回路 形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
15	P032	D	汎用入出力ポート
	A04		外部バス・アドレス bit4 出力端子
	TOT3		リロードタイマ ch.3 出力端子
	SCS43_1		マルチファンクションシリアル ch.4 シリアルチップセレクト 3 出力端子 (1)
16	P033	D	汎用入出力ポート
	A05		外部バス・アドレス bit5 出力端子
17	P034	D	汎用入出力ポート
	A06		外部バス・アドレス bit6 出力端子
20	P035	D	汎用入出力ポート
	A07		外部バス・アドレス bit7 出力端子
	AIN0		アップダウンカウンタ ch.0 AIN 入力端子
21	P036	D	汎用入出力ポート
	A08		外部バス・アドレス bit8 出力端子
	BIN0		アップダウンカウンタ ch.0 BIN 入力端子
22	P037	D	汎用入出力ポート
	A09		外部バス・アドレス bit9 出力端子
	ZIN0		アップダウンカウンタ ch.0 ZIN 入力端子
23	P040	D	汎用入出力ポート
	A10		外部バス・アドレス bit10 出力端子
	AIN1		アップダウンカウンタ ch.1 AIN 入力端子
24	P041	D	汎用入出力ポート
	A11		外部バス・アドレス bit11 出力端子
	BIN1		アップダウンカウンタ ch.1 BIN 入力端子
25	P042	D	汎用入出力ポート
	A12		外部バス・アドレス bit12 出力端子
	ZIN1		アップダウンカウンタ ch.1 ZIN 入力端子
26	P043	D	汎用入出力ポート
	A13		外部バス・アドレス bit13 出力端子
27	P044	P	汎用入出力ポート
	A14		外部バス・アドレス bit14 出力端子
	DAOUT		DAC アナログ出力端子
28	P045	D	汎用入出力ポート
	A15		外部バス・アドレス bit15 出力端子
29	P046	D	汎用入出力ポート
	A16		外部バス・アドレス bit16 出力端子
30	P047	D	汎用入出力ポート
	A17		外部バス・アドレス bit17 出力端子

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (5 / 10)

端子番号	端子名	入出力 回路 形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
31	P050	D	汎用入出力ポート
	A18		外部バス・アドレス bit18 出力端子
32	P051	D	汎用入出力ポート
	A19		外部バス・アドレス bit19 出力端子
33	P052	D	汎用入出力ポート
	A20		外部バス・アドレス bit20 出力端子
34	P053	D	汎用入出力ポート
	A21		外部バス・アドレス bit21 出力端子
35	P054	D	汎用入出力ポート
	SYSCLK		外部バス・システムクロック出力端子
38	P055	D	汎用入出力ポート
	CS2X		外部バス・チップセレクト 2 出力端子
39	P056	D	汎用入出力ポート
	CS3X		外部バス・チップセレクト 3 出力端子
41	P057	D	汎用入出力ポート
	RDY		外部バス・レディ入力端子
44	P060	D	汎用入出力ポート
	MM		クロックスーパバイザ メインクロック欠落出力端子
45	P061	D	汎用入出力ポート
	IN6		16 ビットインプットキャプチャ ch.6 外部パルス入力端子
46	P062	D	汎用入出力ポート
	FRCK0		フリーランタイム ch.0 外部クロック入力端子
	SCS40		マルチファンクションシリアル ch.4 シリアルチップセレクト 0 入出力端子
47	P063	D	汎用入出力ポート
	FRCK1		フリーランタイム ch.1 外部クロック入力端子
	SCS41		マルチファンクションシリアル ch.4 シリアルチップセレクト 1 出力端子
48	P064	D	汎用入出力ポート
	FRCK2		フリーランタイム ch.2 外部クロック入力端子
	SCS42		マルチファンクションシリアル ch.4 シリアルチップセレクト 2 出力端子
49	P065	D	汎用入出力ポート
	FRCK3		フリーランタイム ch.3 外部クロック入力端子
	SCS43		マルチファンクションシリアル ch.4 シリアルチップセレクト 3 出力端子
50	P066	D	汎用入出力ポート
	FRCK4		フリーランタイム ch.4 外部クロック入力端子
	SCS3		マルチファンクションシリアル ch.3 シリアルチップセレクト入出力端子
51	P067	D	汎用入出力ポート
	FRCK5		フリーランタイム ch.5 外部クロック入力端子

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (6 / 10)

端子番号	端子名	入出力回路形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
54	P070	F	汎用入出力ポート
	AN0		ADC アナログ 0 入力端子
55	P071	F	汎用入出力ポート
	AN1		ADC アナログ 1 入力端子
56	P072	G	汎用入出力ポート
	AN2		ADC アナログ 2 入力端子
	SIN4		マルチファンクションシリアル ch.4 シリアルデータ入力端子
	INT5		INT5 外部割込み入力端子
57	P073	M	汎用入出力ポート
	AN3		ADC アナログ 3 入力端子
	SOT4		マルチファンクションシリアル ch.4 シリアルデータ出力端子 / I ² C ch.4 シリアルデータ入出力端子 (SDA)
58	P074	M	汎用入出力ポート
	AN4		ADC アナログ 4 入力端子
	SCK4		マルチファンクションシリアル ch.4 クロック入出力端子 / I ² C ch.4 クロック入出力端子 (SCL)
59	P075	G	汎用入出力ポート
	AN5		ADC アナログ 5 入力端子
	SIN3		マルチファンクションシリアル ch.3 シリアルデータ入力端子
	INT4		INT4 外部割込み入力端子
60	P076	M	汎用入出力ポート
	AN6		ADC アナログ 6 入力端子
	SOT3		マルチファンクションシリアル ch.3 シリアルデータ出力端子 / I ² C ch.3 シリアルデータ入出力端子 (SDA)
61	P077	M	汎用入出力ポート
	AN7		ADC アナログ 7 入力端子
	SCK3		マルチファンクションシリアル ch.3 クロック入出力端子 / I ² C ch.3 クロック入出力端子 (SCL)
64	P080	F	汎用入出力ポート
	AN8		ADC アナログ 8 入力端子
	PPG0		PPG ch.0 出力
65	P081	F	汎用入出力ポート
	AN9		ADC アナログ 9 入力端子
	PPG1		PPG ch.1 出力端子
66	P082	F	汎用入出力ポート
	AN10		ADC アナログ 10 入力端子
	PPG2		PPG ch.2 出力端子

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (7 / 10)

端子番号	端子名	入出力回路形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
67	P083	F	汎用入出力ポート
	AN11		ADC アナログ 11 入力端子
	PPG3		PPG ch.3 出力端子
68	P084	F	汎用入出力ポート
	AN12		ADC アナログ 12 入力端子
	PPG4		PPG ch.4 出力端子
69	P085	F	汎用入出力ポート
	AN13		ADC アナログ 13 入力端子
	PPG5		PPG ch.5 出力端子
70	P086	F	汎用入出力ポート
	AN14		ADC アナログ 14 入力端子
	PPG6		PPG ch.6 出力端子
71	P087	F	汎用入出力ポート
	AN15		ADC アナログ 15 入力端子
	PPG7		PPG ch.7 出力端子
74	P090	D	汎用入出力ポート
	IN0		16 ビットインプットキャプチャ ch.0 外部パルス入力端子
75	P091	D	汎用入出力ポート
	IN1		16 ビットインプットキャプチャ ch.1 外部パルス入力端子
76	P092	D	汎用入出力ポート
	IN2		16 ビットインプットキャプチャ ch.2 外部パルス入力端子
77	P093	D	汎用入出力ポート
	IN3		16 ビットインプットキャプチャ ch.3 外部パルス入力端子
78	P094	D	汎用入出力ポート
	IN4		16 ビットインプットキャプチャ ch.4 外部パルス入力端子
79	P095	D	汎用入出力ポート
	TX0		CAN 送信データ 0 出力端子
80	P096	E	汎用入出力ポート
	RX0		CAN 受信データ 0 入力端子
	INT0		INT0 外部割込み入力端子
81	P097	D	汎用入出力ポート
	IN5		16 ビットインプットキャプチャ ch.5 外部パルス入力端子
85	P100	F	汎用入出力ポート
	PPG8		PPG ch.8 出力端子
	AN16		ADC アナログ 16 入力端子
86	P101	F	汎用入出力ポート
	PPG9		PPG ch.9 出力端子
	AN17		ADC アナログ 17 入力端子

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (8 / 10)

端子番号	端子名	入出力回路形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
87	P102	F	汎用入出力ポート
	PPG10		PPG ch.10 出力端子
	AN18		ADC アナログ 18 入力端子
88	P103	F	汎用入出力ポート
	PPG11		PPG ch.11 出力端子
	AN19		ADC アナログ 19 入力端子
89	P104	F	汎用入出力ポート
	PPG12		PPG ch.12 出力端子
	AN20		ADC アナログ 20 入力端子
90	P105	F	汎用入出力ポート
	PPG13		PPG ch.13 出力端子
	AN21		ADC アナログ 21 入力端子
91	P106	F	汎用入出力ポート
	PPG14		PPG ch.14 出力端子
	AN22		ADC アナログ 22 入力端子
92	P107	F	汎用入出力ポート
	PPG15		PPG ch.15 出力端子
	AN23		ADC アナログ 23 入力端子
96	P110	D	汎用入出力ポート
	TX1		CAN 送信データ 1 出力端子
97	P111	E	汎用入出力ポート
	RX1		CAN 受信データ 1 入力端子
	INT1		INT1 外部割込み入力端子
98	P112	D	汎用入出力ポート
	RTO0		波形ジェネレータ ch.0 出力端子
	PPG16		PPG ch.16 出力端子
99	P113	D	汎用入出力ポート
	RTO1		波形ジェネレータ ch.1 出力端子
	PPG17		PPG ch.17 出力端子
100	P114	D	汎用入出力ポート
	RTO2		波形ジェネレータ ch.2 出力端子
	PPG18		PPG ch.18 出力端子
101	P115	D	汎用入出力ポート
	RTO3		波形ジェネレータ ch.3 出力端子
	PPG19		PPG ch.19 出力端子

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (9 / 10)

端子番号	端子名	入出力回路形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
102	P116	D	汎用入出力ポート
	RTO4		波形ジェネレータ ch.4 出力端子
	PPG20		PPG ch.20 出力端子
103	P117	D	汎用入出力ポート
	RTO5		波形ジェネレータ ch.5 出力端子
	PPG21		PPG ch.21 出力端子
104	P120	D	汎用入出力ポート
	RTO6		波形ジェネレータ ch.6 出力端子
	PPG22		PPG ch.22 出力端子
105	P121	D	汎用入出力ポート
	RTO7		波形ジェネレータ ch.7 出力端子
	PPG23		PPG ch.23 出力端子
106	P122	D	汎用入出力ポート
	RTO8		波形ジェネレータ ch.8 出力端子
107	P123	D	汎用入出力ポート
	RTO9		波形ジェネレータ ch.9 出力端子
111	P124	D	汎用入出力ポート
	RTO10		波形ジェネレータ ch.10 出力端子
112	P125	D	汎用入出力ポート
	RTO11		波形ジェネレータ ch.11 出力端子
113	P126	E	汎用入出力ポート
	SIN0		マルチファンクションシリアル ch.0 シリアルデータ入力端子
	INT6		INT6 外部割込み入力端子
114	P127	K	汎用入出力ポート
	SOT0		マルチファンクションシリアル ch.0 シリアルデータ出力端子 / I ² C ch.0 シリアルデータ入出力端子 (SDA)
115	P130	K	汎用入出力ポート
	SCK0		マルチファンクションシリアル ch.0 クロック入出力端子 / I ² C ch.0 クロック入出力端子 (SCL)
124	P131	D	汎用入出力ポート
	ADTG0		A/D コンバータ ch.0-ch.7 外部トリガ入力端子
125	P132	D	汎用入出力ポート
	ADTG1		A/D コンバータ ch.8-ch.15 外部トリガ入力端子
	SCS1		マルチファンクションシリアル ch.1 シリアルチップセレクト入出力端子
126	P133	D	汎用入出力ポート
	ADTG2		A/D コンバータ ch.16-ch.23 外部トリガ入力端子
	TX2		CAN 送信データ 2 出力端子

表 3.1-2 端子機能表 MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (10 / 10)

端子番号	端子名	入出力回路形式 *1	機能 (切換えについては「第 24 章 I/O ポート」を参照してください。)
127	P134	E	汎用入出力ポート
	STOPWT		FlexRay ストップウォッチ入力端子
	RX2		CAN 受信データ 2 入力端子
	INT7		INT7 外部割込み入力端子
	IN7		16 ビットインプットキャプチャ ch.7 外部パルス入力端子
110	DEBUGIF	L	DEBUG I/F 端子
121	P136	D	汎用入出力ポート
	DTTI0		波形ジェネレータ ch.0-ch.5 入力端子
	MONCLK		クロックモニタ出力端子
122	P137	D	汎用入出力ポート
	DTTI1		波形ジェネレータ ch.6-ch.11 入力端子
40	AVCC0	-	*2
84	AVCC3	-	A/D コンバータ用アナログ電源
42	AVRH0	-	*2
52	AVRH1	-	A/D コンバータ用上限基準電圧
62	AVRH2	-	A/D コンバータ用上限基準電圧
83	AVRH3	-	A/D コンバータ用上限基準電圧
43	AVSS0	-	*3
	AVRL0		*3
53	AVSS1	-	A/D コンバータ用 GND
	AVRL1		A/D コンバータ用下限基準電圧
63	AVSS2	-	A/D コンバータ用 GND
	AVRL2		A/D コンバータ用下限基準電圧
82	AVSS3	-	A/D コンバータ用 GND
	AVRL3		A/D コンバータ用下限基準電圧
130	C	-	外部容量接続出力端子
18, 36, 93, 72, 109, 128, 144	VCC5	-	+5.0v 電源
1, 19, 37, 73, 94, 108, 120, 129	VSS	-	GND

*1: 入出力回路形式については、「3.3 入出力回路形式」を参照してください。

*2: MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD では使用しません。必ず VCC5 を接続してください。

*3: MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD では使用しません。必ず VSS を接続してください。

3.2 各機能の端子一覧

■ A/D コンバータの端子

• A/D コンバータ外部トリガ 0 入力	(端子名) ADTG0	(端子番号) 124
• A/D コンバータ外部トリガ 1 入力	(端子名) ADTG1	(端子番号) 125
• A/D コンバータ外部トリガ 2 入力	(端子名) ADTG2	(端子番号) 126
• A/D コンバータアナログ 0 入力	(端子名) AN0	(端子番号) 54
• A/D コンバータアナログ 1 入力	(端子名) AN1	(端子番号) 55
• A/D コンバータアナログ 2 入力	(端子名) AN2	(端子番号) 56
• A/D コンバータアナログ 3 入力	(端子名) AN3	(端子番号) 57
• A/D コンバータアナログ 4 入力	(端子名) AN4	(端子番号) 58
• A/D コンバータアナログ 5 入力	(端子名) AN5	(端子番号) 59
• A/D コンバータアナログ 6 入力	(端子名) AN6	(端子番号) 60
• A/D コンバータアナログ 7 入力	(端子名) AN7	(端子番号) 61
• A/D コンバータアナログ 8 入力	(端子名) AN8	(端子番号) 64
• A/D コンバータアナログ 9 入力	(端子名) AN9	(端子番号) 65
• A/D コンバータアナログ 10 入力	(端子名) AN10	(端子番号) 66
• A/D コンバータアナログ 11 入力	(端子名) AN11	(端子番号) 67
• A/D コンバータアナログ 12 入力	(端子名) AN12	(端子番号) 68
• A/D コンバータアナログ 13 入力	(端子名) AN13	(端子番号) 69
• A/D コンバータアナログ 14 入力	(端子名) AN14	(端子番号) 70
• A/D コンバータアナログ 15 入力	(端子名) AN15	(端子番号) 71
• A/D コンバータアナログ 16 入力	(端子名) AN16	(端子番号) 85
• A/D コンバータアナログ 17 入力	(端子名) AN17	(端子番号) 86
• A/D コンバータアナログ 18 入力	(端子名) AN18	(端子番号) 87
• A/D コンバータアナログ 19 入力	(端子名) AN19	(端子番号) 88
• A/D コンバータアナログ 20 入力	(端子名) AN20	(端子番号) 89
• A/D コンバータアナログ 21 入力	(端子名) AN21	(端子番号) 90
• A/D コンバータアナログ 22 入力	(端子名) AN22	(端子番号) 91
• A/D コンバータアナログ 23 入力	(端子名) AN23	(端子番号) 92
• A/D コンバータ用 GND	(端子名) AVSS 1	(端子番号) 53
• A/D コンバータ用 GND	(端子名) AVSS 2	(端子番号) 63
• A/D コンバータ用 GND	(端子名) AVSS 3	(端子番号) 82
• A/D コンバータ用アナログ電源	(端子名) AVCC3	(端子番号) 84
• A/D コンバータ用下限基準電圧	(端子名) AVRL1	(端子番号) 53
• A/D コンバータ用下限基準電圧	(端子名) AVRL2	(端子番号) 63
• A/D コンバータ用下限基準電圧	(端子名) AVRL3	(端子番号) 82
• A/D コンバータ用上限基準電圧	(端子名) AVRH1	(端子番号) 52
• A/D コンバータ用上限基準電圧	(端子名) AVRH2	(端子番号) 62
• A/D コンバータ用上限基準電圧	(端子名) AVRH3	(端子番号) 83

■ CAN の端子 (ch.0, ch.1, ch.2)

- | | | |
|------------------|-------------|--------------|
| • CAN 受信データ 0 入力 | (端子名) RX0 | (端子番号) 80 |
| • CAN 受信データ 1 入力 | (端子名) RX1 | (端子番号) 97 |
| • CAN 受信データ 2 入力 | (端子名) RX2 | (端子番号) 127 |
| • CAN 送信データ 0 出力 | (端子名) TX0 | (端子番号) 79 |
| • CAN 送信データ 1 出力 | (端子名) TX1 | (端子番号) 96 |
| • CAN 送信データ 2 出力 | (端子名) TX2 | (端子番号) 126 |

■ 外部割込み入力の端子 (ch.0 ～ ch.7)

- | | | |
|----------------|--------------|--------------|
| • INT0 外部割込み入力 | (端子名) INT0 | (端子番号) 80 |
| • INT1 外部割込み入力 | (端子名) INT1 | (端子番号) 97 |
| • INT2 外部割込み入力 | (端子名) INT2 | (端子番号) 131 |
| • INT3 外部割込み入力 | (端子名) INT3 | (端子番号) 134 |
| • INT4 外部割込み入力 | (端子名) INT4 | (端子番号) 59 |
| • INT5 外部割込み入力 | (端子名) INT5 | (端子番号) 56 |
| • INT6 外部割込み入力 | (端子名) INT6 | (端子番号) 113 |
| • INT7 外部割込み入力 | (端子名) INT7 | (端子番号) 127 |

■ マルチファンクションシリアルインタフェースの端子 (ch.0 ～ ch.4)

- | | | |
|---|--------------|--------------|
| • マルチファンクションシリアルインタフェース ch.0 クロック入出力 / I ² C ch.0 クロック入出力 | (端子名) SCK0 | (端子番号) 115 |
| • マルチファンクションシリアルインタフェース ch.0 シリアルデータ出力 / I ² C ch.0 シリアルデータ入出力 | (端子名) SOT0 | (端子番号) 114 |
| • マルチファンクションシリアルインタフェース ch.0 シリアルデータ入力 | (端子名) SIN0 | (端子番号) 113 |
| • マルチファンクションシリアルインタフェース ch.1 シリアルチップセレクト入出力 | (端子名) SCS1 | (端子番号) 125 |
| • マルチファンクションシリアルインタフェース ch.1 クロック入出力 / I ² C ch.1 クロック入出力 | (端子名) SCK1 | (端子番号) 133 |
| • マルチファンクションシリアルインタフェース ch.1 シリアルデータ出力 / I ² C ch.1 シリアルデータ入出力 | (端子名) SOT1 | (端子番号) 132 |
| • マルチファンクションシリアルインタフェース ch.1 シリアルデータ入力 | (端子名) SIN1 | (端子番号) 131 |
| • マルチファンクションシリアルインタフェース ch.2 シリアルチップセレクト入出力 | (端子名) SCS2 | (端子番号) 137 |
| • マルチファンクションシリアルインタフェース ch.2 クロック入出力 | (端子名) SCK2 | (端子番号) 136 |
| • マルチファンクションシリアルインタフェース ch.2 シリアルデータ出力 | (端子名) SOT2 | (端子番号) 135 |
| • マルチファンクションシリアルインタフェース ch.2 シリアルデータ入力 | (端子名) SIN2 | (端子番号) 134 |
| • マルチファンクションシリアルインタフェース ch.3 シリアルチップセレクト入出力 | (端子名) SCS3 | (端子番号) 50 |

- マルチファンクションシリアルインタフェース ch.3 シリアルチップセレクト入出力 (1)
(端子名) SCS3_1 (端子番号) 8
- マルチファンクションシリアルインタフェース ch.3 クロック入出力 / I²C ch.3 クロック入出力
(端子名) SCK3 (端子番号) 61
- マルチファンクションシリアルインタフェース ch.3 クロック入出力 / I²C ch.3 クロック入出力
(1) (端子名) SCK3_1 (端子番号) 7
- マルチファンクションシリアルインタフェース ch.3 シリアルデータ出力 / I²C ch.3 シリアル
データ入出力 (端子名) SOT3 (端子番号) 60
- マルチファンクションシリアルインタフェース ch.3 シリアルデータ出力 / I²C ch.3 シリアル
データ入出力 (1) (端子名) SOT3_1 (端子番号) 6
- マルチファンクションシリアルインタフェース ch.3 シリアルデータ入力
(端子名) SIN3 (端子番号) 59
- マルチファンクションシリアルインタフェース ch.3 シリアルデータ入力 (1)
(端子名) SIN3_1 (端子番号) 5
- マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 0 入出力
(端子名) SCS40 (端子番号) 46
- マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 0 入出力 (1)
(端子名) SCS40_1 (端子番号) 12
- マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 1 出力
(端子名) SCS41 (端子番号) 47
- マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 1 出力 (1)
(端子名) SCS41_1 (端子番号) 13
- マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 2 出力
(端子名) SCS42 (端子番号) 48
- マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 2 出力 (1)
(端子名) SCS42_1 (端子番号) 14
- マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 3 出力
(端子名) SCS43 (端子番号) 49
- マルチファンクションシリアルインタフェース ch.4 シリアルチップセレクト 3 出力 (1)
(端子名) SCS43_1 (端子番号) 15
- マルチファンクションシリアルインタフェース ch.4 クロック入出力 / I²C ch.4 クロック入出力
(端子名) SCK4 (端子番号) 58
- マルチファンクションシリアルインタフェース ch.4 クロック入出力 / I²C ch.4 クロック入出力
(1) (端子名) SCK4_1 (端子番号) 11
- マルチファンクションシリアルインタフェース ch.4 シリアルデータ出力 / I²C ch.4 シリアル
データ入出力 (端子名) SOT4 (端子番号) 57
- マルチファンクションシリアルインタフェース ch.4 シリアルデータ出力 / I²C ch.4 シリアル
データ入出力 (1) (端子名) SOT4_1 (端子番号) 10
- マルチファンクションシリアルインタフェース ch.4 シリアルデータ入力
(端子名) SIN4 (端子番号) 56
- マルチファンクションシリアルインタフェース ch.4 シリアルデータ入力 (1)
(端子名) SIN4_1 (端子番号) 9

■ PPG の端子 (ch.0 ～ ch.23)

• PPG ch.0 出力	(端子名) PPG0	(端子番号) 64
• PPG ch.1 出力	(端子名) PPG1	(端子番号) 65
• PPG ch.2 出力	(端子名) PPG2	(端子番号) 66
• PPG ch.3 出力	(端子名) PPG3	(端子番号) 67
• PPG ch.4 出力	(端子名) PPG4	(端子番号) 68
• PPG ch.5 出力	(端子名) PPG5	(端子番号) 69
• PPG ch.6 出力	(端子名) PPG6	(端子番号) 70
• PPG ch.7 出力	(端子名) PPG7	(端子番号) 71
• PPG ch.8 出力	(端子名) PPG8	(端子番号) 85
• PPG ch.9 出力	(端子名) PPG9	(端子番号) 86
• PPG ch.10 出力	(端子名) PPG10	(端子番号) 87
• PPG ch.11 出力	(端子名) PPG11	(端子番号) 88
• PPG ch.12 出力	(端子名) PPG12	(端子番号) 89
• PPG ch.13 出力	(端子名) PPG13	(端子番号) 90
• PPG ch.14 出力	(端子名) PPG14	(端子番号) 91
• PPG ch.15 出力	(端子名) PPG15	(端子番号) 92
• PPG ch.16 出力	(端子名) PPG16	(端子番号) 98
• PPG ch.17 出力	(端子名) PPG17	(端子番号) 99
• PPG ch.18 出力	(端子名) PPG18	(端子番号) 100
• PPG ch.19 出力	(端子名) PPG19	(端子番号) 101
• PPG ch.20 出力	(端子名) PPG20	(端子番号) 102
• PPG ch.21 出力	(端子名) PPG21	(端子番号) 103
• PPG ch.22 出力	(端子名) PPG22	(端子番号) 104
• PPG ch.23 出力	(端子名) PPG23	(端子番号) 105
• PPG トリガ 0 入力 (ch.0 ～ ch.3)	(端子名) TRG0	(端子番号) 2
• PPG トリガ 1 入力 (ch.4 ～ ch.7)	(端子名) TRG1	(端子番号) 3
• PPG トリガ 2 入力 (ch.8 ～ ch.11)	(端子名) TRG2	(端子番号) 4
• PPG トリガ 3 入力 (ch.12 ～ ch.15)	(端子名) TRG3	(端子番号) 5
• PPG トリガ 4 入力 (ch.16 ～ ch.19)	(端子名) TRG4	(端子番号) 6
• PPG トリガ 5 入力 (ch.20 ～ ch.23)	(端子名) TRG5	(端子番号) 7

■ インプットキャプチャの端子 (ch.0 ～ ch.7)

• インプットキャプチャ ch.0 入力	(端子名) IN0	(端子番号) 74
• インプットキャプチャ ch.1 入力	(端子名) IN1	(端子番号) 75
• インプットキャプチャ ch.2 入力	(端子名) IN2	(端子番号) 76
• インプットキャプチャ ch.3 入力	(端子名) IN3	(端子番号) 77
• インプットキャプチャ ch.4 入力	(端子名) IN4	(端子番号) 78
• インプットキャプチャ ch.5 入力	(端子名) IN5	(端子番号) 81
• インプットキャプチャ ch.6 入力	(端子名) IN6	(端子番号) 45
• インプットキャプチャ ch.7 入力	(端子名) IN7	(端子番号) 127

■ フリーランタイムの端子 (ch.0 ～ ch.5)

・フリーランタイム ch.0 クロック入力	(端子名) FRCK0	(端子番号) 46
・フリーランタイム ch.1 クロック入力	(端子名) FRCK1	(端子番号) 47
・フリーランタイム ch.2 クロック入力	(端子名) FRCK2	(端子番号) 48
・フリーランタイム ch.3 クロック入力	(端子名) FRCK3	(端子番号) 49
・フリーランタイム ch.4 クロック入力	(端子名) FRCK4	(端子番号) 50
・フリーランタイム ch.5 クロック入力	(端子名) FRCK5	(端子番号) 51

■ ベースタイマの端子 (ch.0, ch.1)

・ベースタイマ TIOA0 出力	(端子名) TIOA0	(端子番号) 140
・ベースタイマ TIOB0 入力	(端子名) TIOB0	(端子番号) 141
・ベースタイマ TIOA1 出力・入力	(端子名) TIOA1	(端子番号) 142
・ベースタイマ TIOB1 入力	(端子名) TIOB1	(端子番号) 143

■ リロードタイマの端子 (ch.0 ～ ch.3)

・リロードタイマ ch.0 イベント入力	(端子名) TIN0	(端子番号) 8
・リロードタイマ ch.0 出力	(端子名) TOT0	(端子番号) 12
・リロードタイマ ch.1 イベント入力	(端子名) TIN1	(端子番号) 9
・リロードタイマ ch.1 出力	(端子名) TOT1	(端子番号) 13
・リロードタイマ ch.2 イベント入力	(端子名) TIN2	(端子番号) 10
・リロードタイマ ch.2 出力	(端子名) TOT2	(端子番号) 14
・リロードタイマ ch.3 イベント入力	(端子名) TIN3	(端子番号) 11
・リロードタイマ ch.3 出力	(端子名) TOT3	(端子番号) 15

■ 波形ジェネレータの端子 (2 ユニット (12 チャンネル))

・波形ジェネレータ出力停止信号入力端子 0(端子名) DTTI0	(端子番号) 121
・波形ジェネレータ出力停止信号入力端子 1(端子名) DTTI1	(端子番号) 122
・波形ジェネレータ ch.0 出力	(端子名) RTO0 (端子番号) 98
・波形ジェネレータ ch.1 出力	(端子名) RTO1 (端子番号) 99
・波形ジェネレータ ch.2 出力	(端子名) RTO2 (端子番号) 100
・波形ジェネレータ ch.3 出力	(端子名) RTO3 (端子番号) 101
・波形ジェネレータ ch.4 出力	(端子名) RTO4 (端子番号) 102
・波形ジェネレータ ch.5 出力	(端子名) RTO5 (端子番号) 103
・波形ジェネレータ ch.6 出力	(端子名) RTO6 (端子番号) 104
・波形ジェネレータ ch.7 出力	(端子名) RTO7 (端子番号) 105
・波形ジェネレータ ch.8 出力	(端子名) RTO8 (端子番号) 106
・波形ジェネレータ ch.9 出力	(端子名) RTO9 (端子番号) 107
・波形ジェネレータ ch.10 出力	(端子名) RTO10 (端子番号) 111
・波形ジェネレータ ch.11 出力	(端子名) RTO11 (端子番号) 112

■ Flex Ray (1 ユニット ch.A, ch.B)

- FlexRay ch.A データ入力 (端子名) RXDA (端子番号) 136
- FlexRay ch.A データ出力 (端子名) TXDA (端子番号) 135
- FlexRay ch.A 動作許可出力 (端子名) TXENA (端子番号) 134
- FlexRay ch.B データ入力 (端子名) RXDB (端子番号) 139
- FlexRay ch.B データ出力 (端子名) TXDB (端子番号) 138
- FlexRay ch.B 動作許可出力 (端子名) TXENB (端子番号) 137
- FlexRay ストップウォッチ入力(端子名) STOPWT (端子番号) 127

■ クロックモニタ

- クロックモニタ出力 (端子名) MONCLK (端子番号) 121

■ アップダウンカウンタ (ch.0, ch.1)

- 8 ビットアップカウント入力 ch.0 (端子名) AIN0 (端子番号) 20
- 8 ビットダウンカウント入力 ch.0 (端子名) BIN0 (端子番号) 21
- 8 ビットリセット入力 ch.0 (端子名) ZIN0 (端子番号) 22
- 8 ビットアップカウント入力 ch.1 (端子名) AIN1 (端子番号) 23
- 8 ビットダウンカウント入力 ch.1 (端子名) BIN1 (端子番号) 24
- 8 ビットリセット入力 ch.1 (端子名) ZIN1 (端子番号) 25

■ クロックスーパバイザの端子

- クロック停止検出出力 (端子名) MM (端子番号) 44

■ R/D コンバータの端子 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)

- U 相出力 (端子名) RDC_U (端子番号) 20
- V 相出力 (端子名) RDC_V (端子番号) 21
- W 相出力 (端子名) RDC_W (端子番号) 22
- A 相出力 (端子名) RDC_A (端子番号) 23
- B 相出力 (端子名) RDC_B (端子番号) 24
- Z 相出力 (端子名) RDC_Z (端子番号) 25
- 動作状況出力 (端子名) RDC_ACT (端子番号) 26
- 励磁信号出力 (端子名) MAG_OUT (端子番号) 27
- 励磁信号入力 + (端子名) MAG_PLUS (端子番号) 28
- 励磁信号入力 - (端子名) MAG_MINUS (端子番号) 29
- COS 出力 (端子名) COS_OUT (端子番号) 30
- COS 入力 - (端子名) COS_MINUS (端子番号) 31
- COS 入力 + (端子名) COS_PLUS (端子番号) 32
- SIN 入力 + (端子名) SIN_PLUS (端子番号) 33
- SIN 入力 - (端子名) SIN_MINUS (端子番号) 34
- SIN 出力 (端子名) SIN_OUT (端子番号) 35
- COS コイル地絡検出用入力 (端子名) COS_IN (端子番号) 38
- SIN コイル地絡検出用入力 (端子名) SIN_IN (端子番号) 39

- Aref 出力 (AVCC0/2) (端子名) AREF2 (端子番号) 41
- R/D コンバータ用アナログ電源 (端子名) AVCC0 (端子番号) 40
- R/D コンバータ用上限基準電圧 (端子名) AVRHO (端子番号) 42
- R/D コンバータ用 GND (端子名) AVSS0 (端子番号) 43
- R/D コンバータ用下限基準電圧 (端子名) AVRL0 (端子番号) 43

■ D/A コンバータの端子 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)

- D/A コンバータ出力 (端子名) DAOOUT (端子番号) 27

■ 外部バスの端子 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)

- 外部バス・アドレス bit0 出力 (端子名) A00 (端子番号) 11
- 外部バス・アドレス bit1 出力 (端子名) A01 (端子番号) 12
- 外部バス・アドレス bit2 出力 (端子名) A02 (端子番号) 13
- 外部バス・アドレス bit3 出力 (端子名) A03 (端子番号) 14
- 外部バス・アドレス bit4 出力 (端子名) A04 (端子番号) 15
- 外部バス・アドレス bit5 出力 (端子名) A05 (端子番号) 16
- 外部バス・アドレス bit6 出力 (端子名) A06 (端子番号) 17
- 外部バス・アドレス bit7 出力 (端子名) A07 (端子番号) 20
- 外部バス・アドレス bit8 出力 (端子名) A08 (端子番号) 21
- 外部バス・アドレス bit9 出力 (端子名) A09 (端子番号) 22
- 外部バス・アドレス bit10 出力 (端子名) A10 (端子番号) 23
- 外部バス・アドレス bit11 出力 (端子名) A11 (端子番号) 24
- 外部バス・アドレス bit12 出力 (端子名) A12 (端子番号) 25
- 外部バス・アドレス bit13 出力 (端子名) A13 (端子番号) 26
- 外部バス・アドレス bit14 出力 (端子名) A14 (端子番号) 27
- 外部バス・アドレス bit15 出力 (端子名) A15 (端子番号) 28
- 外部バス・アドレス bit16 出力 (端子名) A16 (端子番号) 29
- 外部バス・アドレス bit17 出力 (端子名) A17 (端子番号) 30
- 外部バス・アドレス bit18 出力 (端子名) A18 (端子番号) 31
- 外部バス・アドレス bit19 出力 (端子名) A19 (端子番号) 32
- 外部バス・アドレス bit20 出力 (端子名) A20 (端子番号) 33
- 外部バス・アドレス bit21 出力 (端子名) A21 (端子番号) 34
- 外部バス・アドレスストローブ出力 (端子名) ASX (端子番号) 5
- 外部バス・システムクロック出力 (端子名) SYSCLK (端子番号) 35
- 外部バス・チップセレクト 0 出力 (端子名) CS0X (端子番号) 6
- 外部バス・チップセレクト 1 出力 (端子名) CS1X (端子番号) 7
- 外部バス・チップセレクト 2 出力 (端子名) CS2X (端子番号) 38
- 外部バス・チップセレクト 3 出力 (端子名) CS3X (端子番号) 39
- 外部バス・データ bit16 入出力 (端子名) D16 (端子番号) 131
- 外部バス・データ bit17 入出力 (端子名) D17 (端子番号) 132
- 外部バス・データ bit18 入出力 (端子名) D18 (端子番号) 133
- 外部バス・データ bit19 入出力 (端子名) D19 (端子番号) 134

・ 外部バス・データ bit20 入出力	(端子名) D20	(端子番号) 135
・ 外部バス・データ bit21 入出力	(端子名) D21	(端子番号) 136
・ 外部バス・データ bit22 入出力	(端子名) D22	(端子番号) 137
・ 外部バス・データ bit23 入出力	(端子名) D23	(端子番号) 138
・ 外部バス・データ bit24 入出力	(端子名) D24	(端子番号) 139
・ 外部バス・データ bit25 入出力	(端子名) D25	(端子番号) 140
・ 外部バス・データ bit26 入出力	(端子名) D26	(端子番号) 141
・ 外部バス・データ bit27 入出力	(端子名) D27	(端子番号) 142
・ 外部バス・データ bit28 入出力	(端子名) D28	(端子番号) 143
・ 外部バス・データ bit29 入出力	(端子名) D29	(端子番号) 2
・ 外部バス・データ bit30 入出力	(端子名) D30	(端子番号) 3
・ 外部バス・データ bit31 入出力	(端子名) D31	(端子番号) 4
・ 外部バス・ライトストローク 0 出力	(端子名) WR0X	(端子番号) 9
・ 外部バス・ライトストローク 1 出力	(端子名) WR1X	(端子番号) 10
・ 外部バス・リードストローク出力	(端子名) RDX	(端子番号) 8
・ 外部バス・レディ入力	(端子名) RDY	(端子番号) 41

■ ポート機能 (汎用入出力) の端子

・ 汎用入出力ポート	(端子名) P000	(端子番号) 131
・ 汎用入出力ポート	(端子名) P001	(端子番号) 132
・ 汎用入出力ポート	(端子名) P002	(端子番号) 133
・ 汎用入出力ポート	(端子名) P003	(端子番号) 134
・ 汎用入出力ポート	(端子名) P004	(端子番号) 135
・ 汎用入出力ポート	(端子名) P005	(端子番号) 136
・ 汎用入出力ポート	(端子名) P006	(端子番号) 137
・ 汎用入出力ポート	(端子名) P007	(端子番号) 138
・ 汎用入出力ポート	(端子名) P010	(端子番号) 139
・ 汎用入出力ポート	(端子名) P011	(端子番号) 140
・ 汎用入出力ポート	(端子名) P012	(端子番号) 141
・ 汎用入出力ポート	(端子名) P013	(端子番号) 142
・ 汎用入出力ポート	(端子名) P014	(端子番号) 143
・ 汎用入出力ポート	(端子名) P015	(端子番号) 2
・ 汎用入出力ポート	(端子名) P016	(端子番号) 3
・ 汎用入出力ポート	(端子名) P017	(端子番号) 4
・ 汎用入出力ポート	(端子名) P020	(端子番号) 5
・ 汎用入出力ポート	(端子名) P021	(端子番号) 6
・ 汎用入出力ポート	(端子名) P022	(端子番号) 7
・ 汎用入出力ポート	(端子名) P023	(端子番号) 8
・ 汎用入出力ポート	(端子名) P024	(端子番号) 9
・ 汎用入出力ポート	(端子名) P025	(端子番号) 10
・ 汎用入出力ポート	(端子名) P026	(端子番号) 11
・ 汎用入出力ポート	(端子名) P027	(端子番号) 12

・ 汎用入出力ポート	(端子名) P030	(端子番号) 13
・ 汎用入出力ポート	(端子名) P031	(端子番号) 14
・ 汎用入出力ポート	(端子名) P032	(端子番号) 15
・ 汎用入出力ポート	(端子名) P033	(端子番号) 16
・ 汎用入出力ポート	(端子名) P034	(端子番号) 17
・ 汎用入出力ポート	(端子名) P035	(端子番号) 20
・ 汎用入出力ポート	(端子名) P036	(端子番号) 21
・ 汎用入出力ポート	(端子名) P037	(端子番号) 22
・ 汎用入出力ポート	(端子名) P040	(端子番号) 23
・ 汎用入出力ポート	(端子名) P041	(端子番号) 24
・ 汎用入出力ポート	(端子名) P042	(端子番号) 25
・ 汎用入出力ポート *	(端子名) P043	(端子番号) 26
・ 汎用入出力ポート *	(端子名) P044	(端子番号) 27
・ 汎用入出力ポート *	(端子名) P045	(端子番号) 28
・ 汎用入出力ポート *	(端子名) P046	(端子番号) 29
・ 汎用入出力ポート *	(端子名) P047	(端子番号) 30
・ 汎用入出力ポート *	(端子名) P050	(端子番号) 31
・ 汎用入出力ポート *	(端子名) P051	(端子番号) 32
・ 汎用入出力ポート *	(端子名) P052	(端子番号) 33
・ 汎用入出力ポート *	(端子名) P053	(端子番号) 34
・ 汎用入出力ポート *	(端子名) P054	(端子番号) 35
・ 汎用入出力ポート *	(端子名) P055	(端子番号) 38
・ 汎用入出力ポート *	(端子名) P056	(端子番号) 39
・ 汎用入出力ポート *	(端子名) P057	(端子番号) 41
・ 汎用入出力ポート	(端子名) P060	(端子番号) 44
・ 汎用入出力ポート	(端子名) P061	(端子番号) 45
・ 汎用入出力ポート	(端子名) P062	(端子番号) 46
・ 汎用入出力ポート	(端子名) P063	(端子番号) 47
・ 汎用入出力ポート	(端子名) P064	(端子番号) 48
・ 汎用入出力ポート	(端子名) P065	(端子番号) 49
・ 汎用入出力ポート	(端子名) P066	(端子番号) 50
・ 汎用入出力ポート	(端子名) P067	(端子番号) 51
・ 汎用入出力ポート	(端子名) P070	(端子番号) 54
・ 汎用入出力ポート	(端子名) P071	(端子番号) 55
・ 汎用入出力ポート	(端子名) P072	(端子番号) 56
・ 汎用入出力ポート	(端子名) P073	(端子番号) 57
・ 汎用入出力ポート	(端子名) P074	(端子番号) 58
・ 汎用入出力ポート	(端子名) P075	(端子番号) 59
・ 汎用入出力ポート	(端子名) P076	(端子番号) 60
・ 汎用入出力ポート	(端子名) P077	(端子番号) 61
・ 汎用入出力ポート	(端子名) P080	(端子番号) 64

・汎用入出力ポート	(端子名) P081	(端子番号) 65
・汎用入出力ポート	(端子名) P082	(端子番号) 66
・汎用入出力ポート	(端子名) P083	(端子番号) 67
・汎用入出力ポート	(端子名) P084	(端子番号) 68
・汎用入出力ポート	(端子名) P085	(端子番号) 69
・汎用入出力ポート	(端子名) P086	(端子番号) 70
・汎用入出力ポート	(端子名) P087	(端子番号) 71
・汎用入出力ポート	(端子名) P090	(端子番号) 74
・汎用入出力ポート	(端子名) P091	(端子番号) 75
・汎用入出力ポート	(端子名) P092	(端子番号) 76
・汎用入出力ポート	(端子名) P093	(端子番号) 77
・汎用入出力ポート	(端子名) P094	(端子番号) 78
・汎用入出力ポート	(端子名) P095	(端子番号) 79
・汎用入出力ポート	(端子名) P096	(端子番号) 80
・汎用入出力ポート	(端子名) P097	(端子番号) 81
・汎用入出力ポート	(端子名) P100	(端子番号) 85
・汎用入出力ポート	(端子名) P101	(端子番号) 86
・汎用入出力ポート	(端子名) P102	(端子番号) 87
・汎用入出力ポート	(端子名) P103	(端子番号) 88
・汎用入出力ポート	(端子名) P104	(端子番号) 89
・汎用入出力ポート	(端子名) P105	(端子番号) 90
・汎用入出力ポート	(端子名) P106	(端子番号) 91
・汎用入出力ポート	(端子名) P107	(端子番号) 92
・汎用入出力ポート	(端子名) P110	(端子番号) 96
・汎用入出力ポート	(端子名) P111	(端子番号) 97
・汎用入出力ポート	(端子名) P112	(端子番号) 98
・汎用入出力ポート	(端子名) P113	(端子番号) 99
・汎用入出力ポート	(端子名) P114	(端子番号) 100
・汎用入出力ポート	(端子名) P115	(端子番号) 101
・汎用入出力ポート	(端子名) P116	(端子番号) 102
・汎用入出力ポート	(端子名) P117	(端子番号) 103
・汎用入出力ポート	(端子名) P120	(端子番号) 104
・汎用入出力ポート	(端子名) P121	(端子番号) 105
・汎用入出力ポート	(端子名) P122	(端子番号) 106
・汎用入出力ポート	(端子名) P123	(端子番号) 107
・汎用入出力ポート	(端子名) P124	(端子番号) 111
・汎用入出力ポート	(端子名) P125	(端子番号) 112
・汎用入出力ポート	(端子名) P126	(端子番号) 113
・汎用入出力ポート	(端子名) P127	(端子番号) 114
・汎用入出力ポート	(端子名) P130	(端子番号) 115
・汎用入出力ポート	(端子名) P131	(端子番号) 124

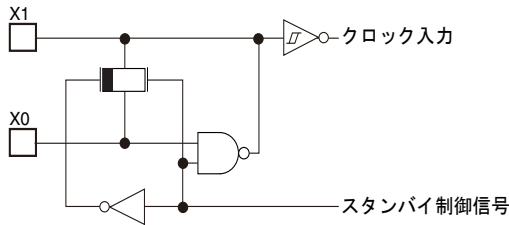
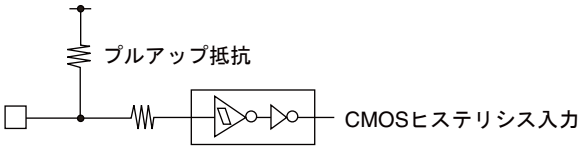
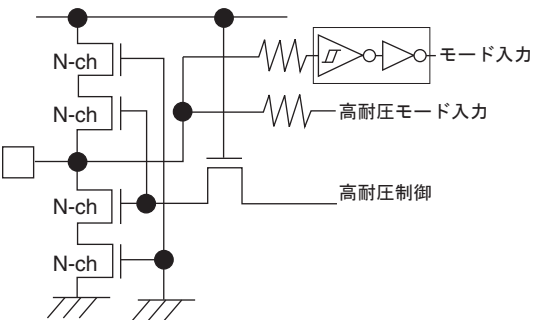
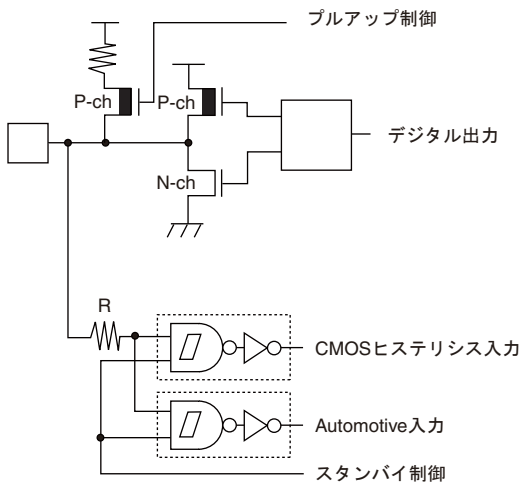
- | | | |
|------------|--------------|--------------|
| • 汎用入出力ポート | (端子名) P132 | (端子番号) 125 |
| • 汎用入出力ポート | (端子名) P133 | (端子番号) 126 |
| • 汎用入出力ポート | (端子名) P134 | (端子番号) 127 |
| • 汎用入出力ポート | (端子名) P136 | (端子番号) 121 |
| • 汎用入出力ポート | (端子名) P137 | (端子番号) 122 |

*: MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD



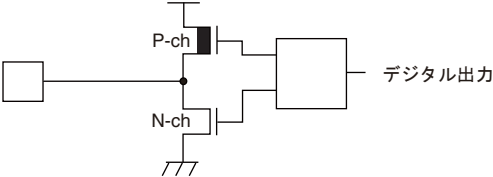
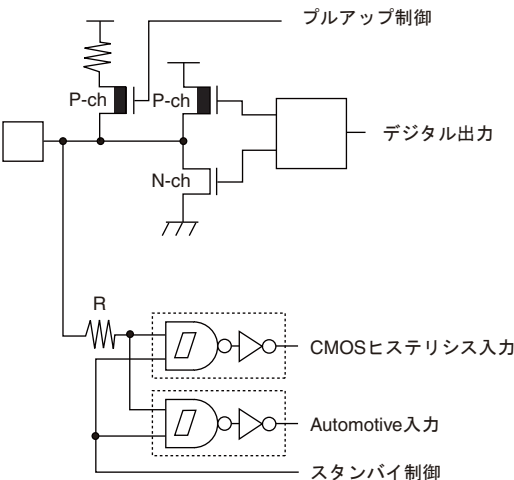
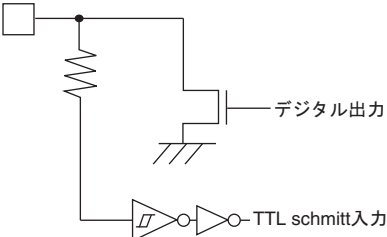
■ その他の端子

- | | | |
|----------------------|-----------------|---|
| • +5.0v 電源 | (端子名) VCC5 | (端子番号) 18, 36, 72, 93, 109, 128, 144 |
| • GND | (端子名) VSS | (端子番号) 1, 19, 37, 73, 94, 108, 120, 129 |
| • 外部容量接続出力 | (端子名) C | (端子番号) 130 |
| • メインクロック発振出力 | (端子名) X1 | (端子番号) 119 |
| • メインクロック発振入力 | (端子名) X0 | (端子番号) 118 |
| • モード端子 0 (高電圧制御付) | (端子名) MD0 | (端子番号) 116 |
| • モード端子 1 (高電圧制御付) | (端子名) MD1 | (端子番号) 117 |
| • NMI 割込み入力 | (端子名) NMIX | (端子番号) 95 |
| • DEBUG I/F | (端子名) DEBUGIF | (端子番号) 110 |
| • 外部リセット入力 | (端子名) RSTX | (端子番号) 123 |

3.3 入出力回路形式

分類	回路	備考
A	 <p>クロック入力</p> <p>スタンバイ制御信号</p>	<ul style="list-style-type: none"> 発振帰還抵抗 約 1MΩ
B	 <p>プルアップ抵抗</p> <p>CMOSヒステリシス入力</p>	<ul style="list-style-type: none"> CMOS ヒステリシス入力 プルアップ抵抗付き 50kΩ
C	 <p>モード入力</p> <p>高耐圧モード入力</p> <p>高耐圧制御</p>	<p>schmitt 入力</p> <ul style="list-style-type: none"> 高耐圧制御付き
D	 <p>プルアップ制御</p> <p>デジタル出力</p> <p>CMOSヒステリシス入力</p> <p>Automotive入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> 汎用入出力ポート CMOS レベル出力 $I_{OH}=-2/-5mA$, $I_{OL}=2/5mA$ プルアップ抵抗制御付き 50kΩ CMOS ヒステリシス入力 (0.7Vcc/0.3Vcc) Automotive 入力 (0.8Vcc/0.5Vcc)

分類	回路	備考
E		<ul style="list-style-type: none"> 汎用入出力ポート CMOS レベル出力 $I_{OH}=-2/-5mA$, $I_{OL}=2/5mA$ プルアップ抵抗制御付き 50kΩ CMOS ヒステリシス入力 (0.7Vcc/0.3Vcc) スタンバイ時, 入力値は前値保持 Automotive 入力 (0.8Vcc/0.5Vcc) スタンバイ時, 入力値は前値保持
F		<ul style="list-style-type: none"> アナログ入力付き, 汎用入出力ポート CMOS レベル出力 $I_{OH}=-2/-5mA$, $I_{OL}=2/5mA$ プルアップ抵抗制御付き 50kΩ CMOS ヒステリシス入力 (0.7Vcc/0.3Vcc) Automotive 入力 (0.8Vcc/0.5Vcc)
G		<ul style="list-style-type: none"> アナログ入力付き, 汎用入出力ポート CMOS レベル出力 $I_{OH}=-2/-5mA$, $I_{OL}=2/5mA$ プルアップ抵抗制御付き 50kΩ CMOS ヒステリシス入力 (0.7Vcc/0.3Vcc) スタンバイ時, 入力値は前値保持 Automotive 入力 (0.8Vcc/0.5Vcc) スタンバイ時, 入力値は前値保持

分類	回路	備考
H*		<ul style="list-style-type: none"> アナログ入力
I*		<ul style="list-style-type: none"> アナログ出力
J*		<ul style="list-style-type: none"> CMOS レベル出力 $I_{OH}=-2/-5\text{mA}$, $I_{OL}=2/5\text{mA}$
K		<ul style="list-style-type: none"> I²C 付き, 汎用入出力ポート CMOS レベル出力 $I_{OH}=-3\text{mA}$, $I_{OL}=3\text{mA}$ (I²C 出力時) $I_{OH}=-2/-5\text{mA}$, $I_{OL}=2/5\text{mA}$ (上記以外) プルアップ抵抗制御付き 50kΩ CMOS ヒステリシス入力 (0.7V_{cc}/0.3V_{cc}) Automotive 入力 (0.8V_{cc}/0.5V_{cc})
L		オープンドレイン入出力

分類	回路	備考
M		<ul style="list-style-type: none"> アナログ入力付き, I²C 付き, 汎用入出力ポート CMOS レベル出力 I_{OH}=-3mA, I_{OL}=3mA (I²C 出力時) I_{OH}=-2/-5mA, I_{OL}=2/5mA (上記以外) プルアップ抵抗制御付き 50kΩ CMOS ヒステリシス入力 (0.7V_{cc}/0.3V_{cc}) Automotive 入力 (0.8V_{cc}/0.5V_{cc})
N		<ul style="list-style-type: none"> アナログ出力付き, 汎用入出力ポート CMOS レベル出力 I_{OH}=-2/-4mA, I_{OL}=2/4mA プルアップ抵抗制御付き 50kΩ FlexRay 入力 (0.65V_{cc}/0.35V_{cc}) Automotive 入力 (0.8V_{cc}/0.5V_{cc})
O		<ul style="list-style-type: none"> アナログ出力付き, 汎用入出力ポート CMOS レベル出力 I_{OH}=-2/-4mA, I_{OL}=2/4mA プルアップ抵抗制御付き 50kΩ FlexRay 入力 (0.65V_{cc}/0.35V_{cc}) スタンバイ時, 入力値は前値保持 Automotive 入力 (0.8V_{cc}/0.5V_{cc}) スタンバイ時, 入力値は前値保持

分類	回路	備考
P	<p>プルアップ制御</p> <p>P-ch</p> <p>P-ch</p> <p>N-ch</p> <p>デジタル出力</p> <p>R</p> <p>CMOSヒステリシス入力</p> <p>Automotive入力</p> <p>スタンバイ制御</p> <p>D/Aコンバータ出力</p>	<ul style="list-style-type: none"> • D/Aコンバータ出力付き, 汎用入出力ポート • CMOS レベル出力 $I_{OH}=-2/-5\text{mA}$, $I_{OL}=2/5\text{mA}$ • プルアップ抵抗制御付き $50\text{k}\Omega$ • CMOS ヒステリシス入力 ($0.7V_{CC}/0.3V_{CC}$) • Automotive 入力 ($0.8V_{CC}/0.5V_{CC}$)

* : MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC

第 4 章 CPU

4.1 概要

FR81 アーキテクチャは、FR ファミリ命令セットを採用し、浮動小数点機能、メモリ保護機能、オンチップデバッグシステムを搭載しています。

整数系命令セットは、FR80 ファミリと互換です。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」をご参照ください。

4.2 特長

FR ファミリは 32 ビット RISC ベースのコントローラ向け CPU コアです。特に高速制御を行う必要がある組み込み制御向けマイクロコントローラの CPU コアとして最適なアーキテクチャとなっています。

● 全般

- 汎用レジスタアーキテクチャ (32 ビット× 16 本)
- 32 ビットアドレス空間 (4 G バイト)
- 16 ビット固定命令長 (即値データ転送命令除く)
- 5 段パイプライン構造による基本命令 1 命令 1 サイクルの高速処理
- 32 ビット× 32 ビットの演算を 5 サイクルで完了する乗算命令
- ステップ除算命令による 32 ビット÷ 32 ビットの除算実行
- 周辺アクセスのためのダイレクトアドレッシング命令
- 6 サイクルで完了する高速割込み処理
- 単精度浮動小数点演算命令
- 浮動小数点レジスタ 32 ビット 16 本
- 特権モード・ユーザモード
- 一部のアドレスマップされたレジスタをシステムレジスタとしてユーザモード時のアクセスから保護
- 一部の命令を特権命令としてユーザモードから保護
- FPU, 命令アクセス, データアクセス系例外機能
 - FPU 例外
 - 命令アクセス保護違反例外
 - データアクセス保護違反例外
 - 不正命令例外 (未定義命令例外からの変更)
 - データアクセスエラー例外
 - FPU 不在例外

コード : FR81S09-1v0-91580L-1-J

● メモリ保護機能 (MPU)

- 命令・データ共用で 8 個の保護領域指定
- 保護領域は固定優先順位で判定 (領域の重複可)
- ページアドレスとページサイズで領域指定
 - ページサイズ: 16 バイトから 2^n で指定可能
 - ページアドレス: ミスアラインもサポート
- 特権モード・ユーザモードそれぞれで以下のアクセス権を制御
 - 命令フェッチ (実行) 許可 / 不可
 - リード 許可 / 不可
 - ライト 許可 / 不可
- 領域ごとに以下の属性を指定可能
 - Bufferable/Non-Bufferable
- 未設定領域に対してもアクセス権, 属性指定可能
- 保護違反時は, 命令アクセス保護違反例外 / データアクセス保護違反例外を発生

● 浮動小数点演算

- IEEE754 準拠
- 単精度をサポート
- 6 個の例外要因をサポート
 - アンダフロー
 - オーバフロー
 - 0 除算
 - 無効演算
 - 不正確
 - 非正規化数の入力
- 丸めモードは, 最近値のみをサポート
- 非正規化数は 0 への切捨てもしくは例外発生
- 浮動小数点レジスタ 32 ビット × 16 本
- Multiply and Add, Multiply and Sub 命令サポート
- 除算, 開平演算サポート

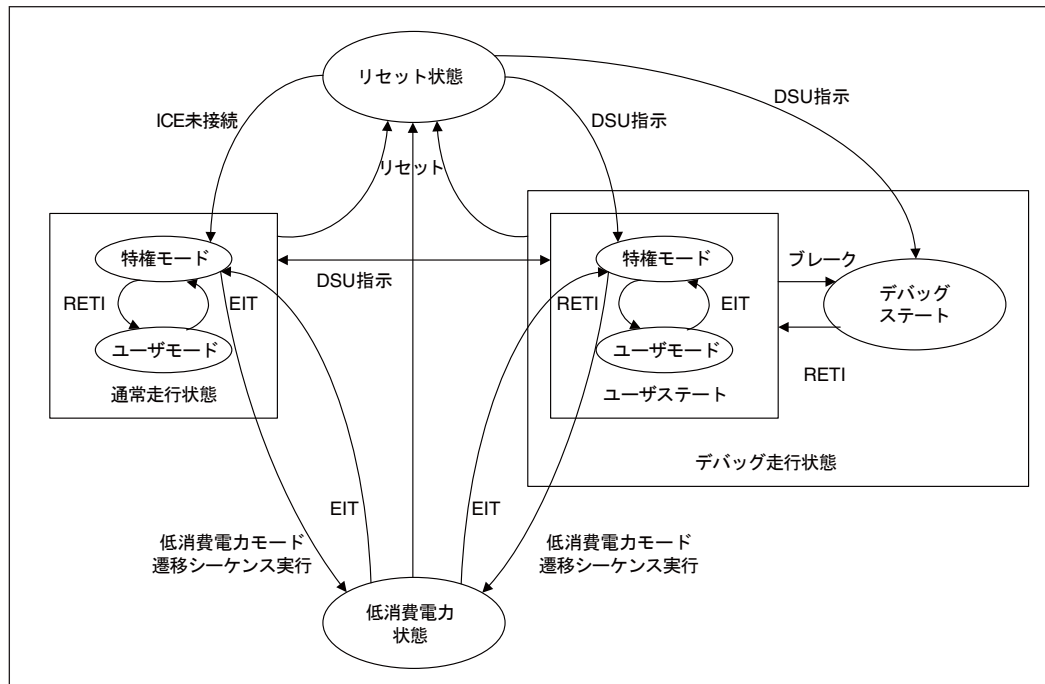
4.3 CPU 動作記述

■ CPU 動作状態

CPU の動作状態には、リセット状態 / 通常走行状態 / 低消費電力状態 / デバッグ走行状態の 4 状態があります。

以下に動作状態の遷移を示します。

図 4.3-1 CPU 動作状態遷移図



● リセット状態

CPU がリセットされている状態です。リセットにはイニシャライズレベルとリセットレベルの 2 レベルがあります。イニシャライズレベルのリセットが発行されるとチップ内のすべてが初期化されます。リセットレベルの場合は、デバッグ制御機能やクロック、リセット制御機能の一部を除き初期化されます。

● 通常走行状態

順次命令実行および EIT 処理が実行されている状態です。通常走行状態には特権モードとユーザモードがあります。

ユーザモードでは、命令やアクセス先に制限があり、特権モードでのみ実行可能な命令やアクセス先があります。リセット解除後通常走行状態になった場合は特権モードになり RET1 の実行により、ユーザモードへ遷移します。通常走行状態でのユーザモードから特権モードへはリセット、EIT の実行で遷移し、特権モードからユーザモードへの遷移は RET1 の実行で行います。

● 低消費電力状態

CPU が動作を停止し、消費電力を抑えている状態です。低消費電力状態への移行はクロック制御部のスタンバイ制御で行います。低消費電力状態にはスリープ / ストップ / 時計モードの 3 つのモードがあります。低消費電力状態からの復帰は割り込みで行います。

● デバッグ走行状態

ICE を接続し、デバッグ関連機能が有効な状態です。デバッグ走行状態にはユーザステートとデバッグステートがあります。デバッグ走行状態とほかの状態への遷移は基本的にリセット状態を介して行います。ただし、通常走行状態から強制的にデバッグ走行状態に遷移することも可能です。

ユーザステートには通常走行状態と同様に特権モードとユーザモードがあります。ただし、デバッグ用のブレークを行った場合はデバッグステートへ遷移します。デバッグステートでは、特権モードで実行され、メモリ保護機能などすべて無効な状態ですべてのレジスタ / メモリにアクセス可能です。デバッグステートからユーザステートへの遷移は RETI 命令実行により行います。

4.4 パイプライン動作

FR81 ではデコードステージまでは共通に処理しますが、実行ステージからは整数パイプライン、浮動小数点パイプラインの2種のパイプラインを持ちます。各パイプライン間での完了は命令発行の順序とは異なりますが、プログラム列の順序に従った処理結果は保証します。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」をご参照ください。

4.5 浮動小数点演算処理

本品種は FPU を搭載しています。

浮動小数点演算処理の詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミング マニュアル」をご参照ください。

4.6 データ構造

FR81 ファミリ CPU で扱うことのできるデータ種類として、FR80 ファミリまでの整数型に加えて、単精度浮動小数点型が存在します。

整数型ではビットオーダーリングとしてリトルエンディアン、バイトオーダーリングとしてビッグエンディアンを採用しています。

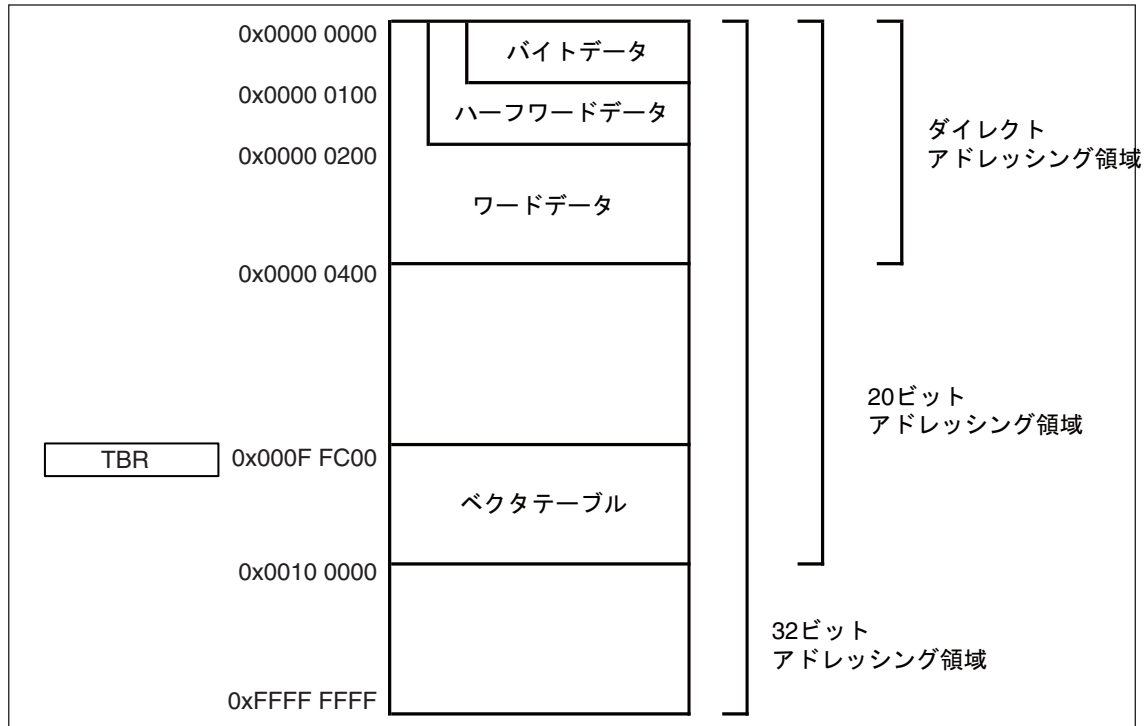
詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」をご参照ください。

4.7 アドレッシング

メモリ空間は 32 ビットリニアです。

CPU はアドレス空間をバイト単位で管理します。CPU からは、アドレス空間上のアドレスを 32 ビットの値で指定してアクセスします。アドレス空間を図 4.7-1 に示します。

図 4.7-1 メモリ空間



アドレス空間をメモリ空間とも呼びます。アドレス空間は CPU から見た論理アドレス空間です。アドレス変換は行いません。CPU からみた論理アドレスと、実際にメモリや I/O の配置されている物理アドレスは同一になります。

詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」をご参照ください。

4.8 プログラミングモデル

FR81 CPU には、汎用レジスタ、専用レジスタ、浮動小数点レジスタがあります。また、これらとは別に FR81 コアとしてアドレスマップされたシステムレジスタがあります。

■ 汎用レジスタ、専用レジスタ、浮動小数点レジスタ

図 4.8-1 に、本品種での初期値を示します。

各レジスタの詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」をご参照ください。

図 4.8-1 汎用レジスタ、専用レジスタ、浮動小数点レジスタ初期値

汎用レジスタの構成と初期値			専用レジスタの構成と初期値		
	32ビット	[初期値]		32ビット	[初期値]
R0		XXXX XXXX _H	プログラムカウンタ	PC	XXXX XXXX _H
R1		XXXX XXXX _H	プログラムステータス	PS	SSR=0011 _B SCR=XX0 _B ILM=01111 _B CCR=XX00XX _B
R2		XXXX XXXX _H	テーブルベースレジスタ	TBR	000F FC00 _H
R3		XXXX XXXX _H	リターンポインタ	RP	XXXX XXXX _H
R4		XXXX XXXX _H	システムスタックポインタ	SSP	0000 0000 _H
R5		XXXX XXXX _H	ユーザスタックポインタ	USP	XXXX XXXX _H
R6		XXXX XXXX _H	乗除算結果レジスタ	MDH	XXXX XXXX _H
R7		XXXX XXXX _H		MDL	XXXX XXXX _H
R8		XXXX XXXX _H	ベースポインタ	BP	XXXX XXXX _H
R9		XXXX XXXX _H	FPU制御レジスタ	FCR	XXXX XXXX _H
R10		XXXX XXXX _H	例外ステータスレジスタ	ESR	0000 0000 _H
R11		XXXX XXXX _H			
R12		XXXX XXXX _H			
R13	AC	XXXX XXXX _H			
R14	FP	XXXX XXXX _H			
R15	SP	0000 0000 _H			

浮動小数点レジスタの構成と初期値		
	32ビット	[初期値]
FR0		XXXX XXXX _H
FR1		XXXX XXXX _H
FR2		XXXX XXXX _H
FR3		XXXX XXXX _H
FR4		XXXX XXXX _H
FR5		XXXX XXXX _H
FR6		XXXX XXXX _H
FR7		XXXX XXXX _H
FR8		XXXX XXXX _H
FR9		XXXX XXXX _H
FR10		XXXX XXXX _H
FR11		XXXX XXXX _H
FR12		XXXX XXXX _H
FR13		XXXX XXXX _H
FR14		XXXX XXXX _H
FR15		0000 0000 _H

■ システムレジスタ

システムレジスタはアドレスマップされたシステム制御用のレジスタです。これらのレジスタは特権モードでのみアクセス可能です。システムレジスタを以下に示します。

- クロック制御関連レジスタ
- リセット制御関連レジスタ
- デバッグ制御関連レジスタ
- メモリ保護関連レジスタ
- DMA 関連レジスタ
- ウォッチドッグタイマレジスタ
- Wild register 制御レジスタ
- FLASH 制御レジスタ

ユーザモードでこれらのレジスタに読み書きを行った場合は、不正命令例外 (データアクセスエラー) を発生させます。

システムレジスタへのアクセス保護は、メモリ保護機能に優先して判定します。したがって、メモリ保護機能でシステムレジスタ領域へユーザアクセス可とした場合や特権モードでのアクセス不可とした場合もその設定は無効とし、特権モードでのみリード・ライト可能でユーザモードではリード・ライト不可となります。

4.9 リセット・EIT 処理

リセット・EIT 処理とは、リセット、例外 (Exception)、割込み (Interrupt)、トラップ (Trap) が検出されたときに通常とは異なるプログラムで実行される処理のことです。

4.9.1 リセット

リセットは、現在実行中の処理を強制的に中断し、デバイスを初期化してリセットベクタエントリアドレスからプログラムを再開します。

(注意事項) 本品種では FixedVector 機能により、リセットベクタはフラッシュメモリ 0xF_FFFC 番地に書き込まれた値でなく、フラッシュメモリの先頭アドレス + 0x0024 番地が返されます。詳細は「第 33 章 FixedVector 機能」を参照してください。

4.9.2 EIT 処理

EIT 処理は、現在実行中の処理を中断し、再開できる情報をメモリへ退避した後に、決められた処理プログラムへ制御を移します。

4.9.3 ベクタテーブル

表 4.9-1 ベクタテーブル (1 / 2)

割込み要因	割込みベクタ番号		割込みレベル	オフセット	TBR 初期値時 でのアドレス
	10 進	16 進			
リセット	0	00	—	0x3FC	0x000FFFFC
システム予約	1	01	—	0x3F8	0x000FFFF8
システム予約	2	02	—	0x3F4	0x000FFFF4
システム予約	3	03	—	0x3F0	0x000FFFF0
システム予約	4	04	—	0x3EC	0x000FFFE4
FPU 例外	5	05	—	0x3E8	0x000FFFE8
命令アクセス保護違反例外	6	06	—	0x3E4	0x000FFFE4
データアクセス保護違反例外	7	07	—	0x3E0	0x000FFFE0
データアクセスエラー割込み	8	08	—	0x3DC	0x000FFFD4
INTE 命令	9	09	—	0x3D8	0x000FFFD8
命令ブレーク	10	0A	—	0x3D4	0x000FFFD4
システム予約	11	0B	—	0x3D0	0x000FFFD0
システム予約	12	0C	—	0x3CC	0x000FFFC4
システム予約	13	0D	—	0x3C8	0x000FFFC8
不正命令例外	14	0E	—	0x3C4	0x000FFFC4
NMI 要求	15	0F	15(0xF) 固定	0x3C0	0x000FFFC0
ペリフェラル割込み #0	16	10	ICR00	0x3BC	0x000FFFB4
ペリフェラル割込み #1	17	11	ICR01	0x3B8	0x000FFFB8
ペリフェラル割込み #2	18	12	ICR02	0x3B4	0x000FFFB4
ペリフェラル割込み #3	19	13	ICR03	0x3B0	0x000FFFB0
ペリフェラル割込み #4	20	14	ICR04	0x3AC	0x000FFBAC
ペリフェラル割込み #5	21	15	ICR05	0x3A8	0x000FFFA8
ペリフェラル割込み #6	22	16	ICR06	0x3A4	0x000FFFA4
ペリフェラル割込み #7	23	17	ICR07	0x3A0	0x000FFFA0
ペリフェラル割込み #8	24	18	ICR08	0x39C	0x000FFF9C
ペリフェラル割込み #9	25	19	ICR09	0x398	0x000FFF98
ペリフェラル割込み #10	26	1A	ICR10	0x394	0x000FFF94
ペリフェラル割込み #11	27	1B	ICR11	0x390	0x000FFF90
ペリフェラル割込み #12	28	1C	ICR12	0x38C	0x000FFF8C
ペリフェラル割込み #13	29	1D	ICR13	0x388	0x000FFF88
ペリフェラル割込み #14	30	1E	ICR14	0x384	0x000FFF84
ペリフェラル割込み #15	31	1F	ICR15	0x380	0x000FFF80
ペリフェラル割込み #16	32	20	ICR16	0x37C	0x000FFF7C
ペリフェラル割込み #17	33	21	ICR17	0x378	0x000FFF78

表 4.9-1 ベクタテーブル (2 / 2)

割込み要因	割込みベクタ番号		割込みレベル	オフセット	TBR 初期値時 でのアドレス
	10 進	16 進			
ペリフェラル割込み #18	34	22	ICR18	0x374	0x000FFF74
ペリフェラル割込み #19	35	23	ICR19	0x370	0x000FFF70
ペリフェラル割込み #20	36	24	ICR20	0x36C	0x000FFF6C
ペリフェラル割込み #21	37	25	ICR21	0x368	0x000FFF68
ペリフェラル割込み #22	38	26	ICR22	0x364	0x000FFF64
ペリフェラル割込み #23	39	27	ICR23	0x360	0x000FFF60
ペリフェラル割込み #24	40	28	ICR24	0x35C	0x000FFF5C
ペリフェラル割込み #25	41	29	ICR25	0x358	0x000FFF58
ペリフェラル割込み #26	42	2A	ICR26	0x354	0x000FFF54
ペリフェラル割込み #27	43	2B	ICR27	0x350	0x000FFF50
ペリフェラル割込み #28	44	2C	ICR28	0x34C	0x000FFF4C
ペリフェラル割込み #29	45	2D	ICR29	0x348	0x000FFF48
ペリフェラル割込み #30	46	2E	ICR30	0x344	0x000FFF44
ペリフェラル割込み #31	47	2F	ICR31	0x340	0x000FFF40
ペリフェラル割込み #32	48	30	ICR32	0x33C	0x000FFF3C
ペリフェラル割込み #33	49	31	ICR33	0x338	0x000FFF38
ペリフェラル割込み #34	50	32	ICR34	0x334	0x000FFF34
ペリフェラル割込み #35	51	33	ICR35	0x330	0x000FFF30
ペリフェラル割込み #36	52	34	ICR36	0x32C	0x000FFF2C
ペリフェラル割込み #37	53	35	ICR37	0x328	0x000FFF28
ペリフェラル割込み #38	54	36	ICR38	0x324	0x000FFF24
ペリフェラル割込み #39	55	37	ICR39	0x320	0x000FFF20
ペリフェラル割込み #40	56	38	ICR40	0x31C	0x000FFF1C
ペリフェラル割込み #41	57	39	ICR41	0x318	0x000FFF18
ペリフェラル割込み #42	58	3A	ICR42	0x314	0x000FFF14
ペリフェラル割込み #43	59	3B	ICR43	0x310	0x000FFF10
ペリフェラル割込み #44	60	3C	ICR44	0x30C	0x000FFF0C
ペリフェラル割込み #45	61	3D	ICR45	0x308	0x000FFF08
ペリフェラル割込み #46	62	3E	ICR46	0x304	0x000FFF04
遅延割込み	63	3F	ICR47	0x300	0x000FFF00
システム予約 (REALOS にて使用)	64	40	—	0x2FC	0x000FFEFC
システム予約 (REALOS にて使用)	65	41	—	0x2F8	0x000FFE8
INT 命令で使用	66	42		0x2F4	0x000FEF4
			—		
	255	FF		0x000	0x000FFC00

4.10 メモリ保護機能 (MPU)

4.10.1 概要

本アーキテクチャではメモリ保護機能をサポートします。メモリ保護機能とは、指定した領域に対するアクセスを監視し、許可されていないアクセスであれば例外を発生させる機能です。ただし、システムレジスタへの保護指定は無効です。

- 命令・データ共通で 8 個 の保護領域を指定可能。
- 保護領域は領域 0 が優先度が高く、1, 2, 3, … 優先度が低くなります。(領域の重複可)
- ページアドレスとページサイズで領域指定。
 - ページサイズ: 16 バイトから 2^n で単位で指定
 - ページアドレス: ミスアラインもサポート
- 特権モード/ユーザモードそれぞれに以下のアクセス権を制御
 - 命令フェッチ: 許可 / 不可
 - データリード: 許可 / 不可
 - データライト: 許可 / 不可
- 領域ごとにアクセス属性を指定
 - バッファ: 許可 / 不可
- 未定義領域はデフォルト領域として、アクセス権・属性を制御
- 保護違反発生時は保護違反例外を発生
- メモリ保護機能用レジスタはシステムレジスタとして特権モードでのみアクセス可能
 - データアクセスエラー通知機能
 - I/O 領域 ($00000000_H \sim 0000FFFF_H$) は、バッファ不可固定

4.10.2 レジスタ一覧

表 4.10-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0310	予約		MPUCR		MPU 制御レジスタ
0x0314	予約				予約
0x0318	予約				予約
0x031C	予約		予約		予約
0x0320	DPVAR				データアクセス保護違反アドレスレジスタ
0x0324	予約		DPVSR		データアクセス保護違反ステータスレジスタ
0x0328	DEAR				データアクセスエラーアドレスレジスタ
0x032C	予約		DESR		データアクセスエラーステータスレジスタ
0x0330	PABR0				保護領域ベースアドレスレジスタ 0
0x0334	予約		PACR0		保護領域制御レジスタ 0
0x0338	PABR1				保護領域ベースアドレスレジスタ 1
0x033C	予約		PACR1		保護領域制御レジスタ 1
0x0340	PABR2				保護領域ベースアドレスレジスタ 2
0x0344	予約		PACR2		保護領域制御レジスタ 2

表 4.10-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0348	PABR3				保護領域ベースアドレスレジスタ 3
0x034C	予約		PACR3		保護領域制御レジスタ 3
0x0350	PABR4				保護領域ベースアドレスレジスタ 4
0x0354	予約		PACR4		保護領域制御レジスタ 4
0x0358	PABR5				保護領域ベースアドレスレジスタ 5
0x035C	予約		PACR5		保護領域制御レジスタ 5
0x0360	PABR6				保護領域ベースアドレスレジスタ 6
0x0364	予約		PACR6		保護領域制御レジスタ 6
0x0368	PABR7				保護領域ベースアドレスレジスタ 7
0x036C	予約		PACR7		保護領域制御レジスタ 7

4.10.3 レジスタ説明

■ MPU 制御レジスタ (MPUCR)

MPUの有効無効,ならびにデフォルト領域(保護領域指定されていない領域)での特権モード,ユーザモードでのアクセス許可を設定します。

• MPUCR : アドレス 0312_H (アクセス : ハーフワード)

15	14	13	12	11	10	9	8	bit
PIE	PRE	PWE	UIE	URE	UWE	予約	BE	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W	属性
7	6	5	4	3	2	1	0	bit
予約				PAN[1:0]		DEE	MPE	
0	0	0	0	0	1	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,WX	R1,WX	R/W	R/W	属性

[bit 15] PIE (Privilege Mode Instruction Fetch Enable)

デフォルト領域 (保護領域指定されていない領域) に対する特権モードでの命令フェッチを許可するためのビットです。

PIE	デフォルト領域へのアクセス
0	特権モードで命令フェッチ不可 (初期値)
1	特権モードで命令フェッチ可能

[bit 14] PRE (Privilege Mode Read Access Enable)

デフォルト領域 (保護領域指定されていない領域) に対する特権モードでのデータリードアクセスを許可するためのビットです。

PRE	デフォルト領域へのアクセス
0	特権モードでリードアクセス不可 (初期値)
1	特権モードでリードアクセス可能

[bit 13] PWE (Privilege Mode Write Access Enable)

デフォルト領域 (保護領域指定されていない領域) に対する特権モードでのデータライトアクセスを許可するためのビットです。

PWE	デフォルト領域へのアクセス
0	特権モードでライトアクセス不可 (初期値)
1	特権モードでライトアクセス可能

[bit 12] UIE (User Mode Instruction Fetch Enable)

デフォルト領域 (保護領域指定されていない領域) に対するユーザモードでの命令フェッチを許可するためのビットです。

UIE	デフォルト領域へのアクセス
0	ユーザモードで命令フェッチ不可 (初期値)
1	ユーザモードで命令フェッチ可能

[bit 11] URE (User Mode Read Access Enable)

デフォルト領域 (保護領域指定されていない領域) に対するユーザモードでのデータリードアクセスを許可するためのビットです。

URE	デフォルト領域へのアクセス
0	ユーザモードでリードアクセス不可 (初期値)
1	ユーザモードでリードアクセス可能

[bit 10] UWE (User Mode Write Access Enable)

デフォルト領域 (保護領域指定されていない領域) に対するユーザモードでのデータライトアクセスを許可するためのビットです。

UWE	デフォルト領域へのアクセス
0	ユーザモードでライトアクセス不可 (初期値)
1	ユーザモードでライトアクセス可能

[bit 9] 予約

予約ビットです。書き込み時は必ず "0" を書き込んでください。"0" が読み出されます。

[bit 8] BE (Buffer Enable)

デフォルト領域 (保護領域指定されていない領域) に対して、データアクセス時にバッファを使用することを許可します。バッファ使用が禁止されている場合、CPU はパイプライン動作を停止しデータアクセスの完了を待って次の動作を開始します。したがって、データアクセス効率は下がりますが、命令に同期したデータアクセスが可能となります。バッファが禁止されている場合のみデータアクセスでエラーが発生した場合に不正命令例外が発生します。バッファが許可されている場合はデータアクセスエラーは割込みとして通知可能です。

BE	デフォルト領域の Bufferable 指定
0	バッファ不可 (初期値)
1	バッファ許可

(注意事項) ベクタテーブルを配置する領域はバッファ不可に設定してください。
EIT 処理ルーチンを配置する領域についてはバッファ設定に関する制限はありません。

[bit 7 ~ bit4] 予約

予約ビットです。書き込み時は必ず "0" を書き込んでください。"0" が読み出されます。

[bit 3, bit 2] PAN (Protection Area Number)

保護領域に指定可能な領域の実装個数を示します。本ビットはリードオンリでハードウェアで実装した個数を示します。

PAN	メモリ保護領域実装数
00	予約
01	8 領域
10	12 領域
11	16 領域

[bit 1] DEE (Data Access Error Interrupt Enable)

バッファ動作が有効になっている領域でデータアクセスエラーが発生したときの割込み発生を許可するビットです。このビットが有効な時にバッファ動作許可領域でデータアクセスエラーが発生するとデータアクセスエラー割込みを発生します。このときエラーを発生させたアドレスはデータアクセスエラーアドレスレジスタ (DEAR) にアクセス内容はデータアクセスエラーステータスレジスタ (DESR) に保持されます。割込みが禁止されている場合は上記レジスタの更新のみを行います。

DEE	データアクセスエラー割込みの許可
0	データアクセスエラー割込み禁止 (初期値)
1	データアクセスエラー割込み許可

[bit 0] MPE (Memory Protection Unit Enable)

メモリ保護機能を有効にするためのビットです。メモリ保護機能が無効な場合、すべての領域に対するアクセスがバッファ不可の設定になります。

MPE	メモリ保護機能
0	メモリ保護機能無効 (初期値)
1	メモリ保護機能有効

■ データアクセス保護違反アドレスレジスタ (DPVAR)

データアクセス保護違反が発生したアドレスを保持します。

- **DPVAR : アドレス 0320_H (アクセス : ワード)**

31	30	...	2	1	0	bit
DPVA[31:0]						
X	X	...	X	X	X	初期値
R,WX	R,WX	...	R,WX	R,WX	R,WX	属性

[bit 31 ～ bit 0] DPVA [31:0] (Data Access Protection Violation Address)

データアクセス保護違反ステータスレジスタで違反が発生していないとき (DPVSR: DPV=0) に , データアクセス保護違反が発生したアドレスを保持します。CPU からの要求アドレスを示し, アドレスはアラインされません。

■ データアクセス保護違反ステータスレジスタ (DPVSR)

データアクセス保護違反時のステータスを表示します。

本レジスタは DPV=0 のときのみハードウェアで更新されます。DPV への "0" 書込みのみ有効です。その他のビットおよび DPV への "1" 書込みは無効です。

- **DPVSR : アドレス 0326_H (アクセス : ハーフワード)**

15	14	13	12	11	10	9	8	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性

7	6	5	4	3	2	1	0	bit
RW [1:0]		SZ [1:0]		MD	予約		DPV	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R0,W0	R0,W0	R,W	属性

[bit 15 ～ bit 8, bit 2, bit 1] 予約

予約ビットです。必ず "0" を書き込んでください。"0" が読み出されます。

[bit 7, bit 6] RW[1:0] (Read/Write)

違反が発生したときのアクセス種類です。リードモディファイライトの実行にはリードとライトのアクセス権が必要になり , 判定は最初のリードサイクルで行いますので , リードモディファイライトのライトで違反となる場合にも RW[1:0]=01_B リード (リードモディファイライト) となります。

RW [1:0]	アクセス種類
00	リード
01	リード (リードモディファイライト)
10	ライト
11	予約

[bit 5, bit 4] SZ[1:0]

違反が発生したときのアクセスサイズです。

SZ[1:0]	アクセスサイズ
00	バイト
01	ハーフワード
10	ワード
11	予約

[bit 3] MD

アクセス時のモードを示します。

MD	動作モード
0	ユーザモードでのアクセス
1	特権モードでのアクセス

[bit 0] DPV (Data Access Protection Violation)

データアクセス保護違反が発生したことを示します。新たな保護違反の内容を保持するにはこのビットをクリアしてください。

本ビットへは, 0 書込みのみ有効です。1 書込みは無効です。

DPV	データアクセス保護違反
0	データアクセス保護違反未検出 (初期値)
1	データアクセス保護違反検出

■ データアクセスエラーアドレスレジスタ (DEAR)

データアクセスエラーが発生したアドレスを保持します。

• **DEAR : アドレス 0328_H (アクセス : ワード)**

31	30	...	2	1	0	bit
DEA[31:0]						
X	X	...	X	X	X	初期値
R,WX	R,WX	...	R,WX	R,WX	R,WX	属性

[bit 31 ~ bit 0] DEA[31:0] (Data Access Error Address)

データアクセスエラーステータスレジスタで違反が発生していないとき (DESR:DAE=0) に, データアクセスエラーが発生したアドレスを保持します。システムレジスタアクセス保護違反時は, CPU からのアクセスアドレスそのままアラインされません。バスアクセスを行った結果エラーとなる場合はアドレスはアラインされます。

■ データアクセスエラーステータスレジスタ (DESR)

データアクセスエラー時のステータスを表示します。本レジスタは DAE=0 のときのみハードウェアで更新されます。DAE への "0" 書込みのみ有効です。その他のビットへの書込みおよび DAE への "1" 書込みは無効です。

• DESR : アドレス 032E_H (アクセス : ハーフワード)

15	14	13	12	11	10	9	8	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
7	6	5	4	3	2	1	0	bit
RW[1:0]		SZ[1:0]		MD	予約		DAE	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R0,W0	R0,W0	R,W	属性

[bit 15 ~ bit 8, bit 2, bit 1] 予約

予約ビットです。必ず "0" を書き込んでください。"0" が読み出されます。

[bit 7, bit 6] RW[1:0] (Read/Write)

エラーが発生したときのアクセス種類です。

RW[1:0]	アクセス種類
00	リード
01	リード (リードモディファイライト)
10	ライト
11	予約

[bit 5, bit 4] SZ[1:0]

エラーが発生したときのアクセスサイズです。

SZ[1:0]	アクセスサイズ
00	バイト
01	ハーフワード
10	ワード
11	予約

[bit 3] MD

アクセス時のモードを示します。

MD	動作モード
0	ユーザモードでのアクセス
1	特権モードでのアクセス

[bit 0] DAE (Data Access Error)

データアクセスエラーが発生したことを示します。新たなデータエラーの内容を保持するにはこのビットをクリアしてください。データアクセスエラー割込みを有効にしている場合、本ビットをクリアすることで割込み要求を取り下げます。

本ビットへは 0 書込みのみ有効です。1 書込みは無効です。

DAE	データアクセスエラー
0	データアクセスエラー未検出 (初期値)
1	データアクセスエラー検出

■ 保護領域ベースアドレスレジスタ 0 ~ 7(PABR0 ~ PABR7)

各 MPU チャンネルの保護領域のベースアドレスを設定します。

- **PABR0 ~ PABR7 : アドレス 0330_H, 0338_H, 0340_H, 0348_H, 0350_H, 0358_H, 0360_H, 0368_H**
(アクセス: ワード)

31	30	...	10	9	8	bit
PABR[31:8]						
X	X	...	X	X	X	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

7	6	5	4	3	2	1	0	bit
PABR[7:0]								
X	X	X	X	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit 31 ~ bit 0] PABR[31:0] (Protection Area Base Address Register)

保護領域のベースアドレスを示します。ここで指定したアドレスから、保護領域制御レジスタ (PACR0 ~ PACR7) で指定されたサイズが対象となる保護領域となります。アドレスは、保護領域サイズでアラインする必要はありません。

PABR レジスタの下位 4 ビットは "0" 固定です。

■ 保護領域制御レジスタ 0 ~ 7(PACR0 ~ PACR7)

各 MPU チャンネルによるアクセス許可制限を設定します。

- **PACR0 ~ PACR7 : アドレス 0336_H, 033E_H, 0346_H, 034E_H, 0356_H, 035E_H, 0366_H, 036E_H**
(アクセス: ハーフワード)

15	14	13	12	11	10	9	8	bit
PIE	PRE	PWE	UIE	URE	UWE	予約	BE	
0	0	0	0	0	0	—	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W	属性

7	6	5	4	3	2	1	0	bit
ASZ[4:0]					予約		PAE	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R0,W0	R0,W0	R/W	属性

[bit 15] PIE (Privilege Mode Instruction Fetch Enable)

指定保護領域に対する特権モードでの命令フェッチを許可するためのビットです。

PIE	指定保護領域へのアクセス
0	特権モードで命令フェッチ不可 (初期値)
1	特権モードで命令フェッチ可能

[bit 14] PRE (Privilege Mode Read Access Enable)

指定保護領域に対する特権モードでのデータリードアクセスを許可するためのビットです。

PRE	指定保護領域へのアクセス
0	特権モードでリードアクセス不可 (初期値)
1	特権モードでリードアクセス可能

[bit 13] PWE (Privilege Mode Write Access Enable)

指定保護領域に対する特権モードでのデータライトアクセスを許可するためのビットです。

PWE	指定保護領域へのアクセス
0	特権モードでライトアクセス不可 (初期値)
1	特権モードでライトアクセス可能

[bit 12] UIE (User Mode Instruction Fetch Enable)

指定保護領域に対するユーザモードでの命令フェッチを許可するためのビットです。

UIE	指定保護領域へのアクセス
0	ユーザモードで命令フェッチ不可 (初期値)
1	ユーザモードで命令フェッチ可能

[bit 11] URE (User Mode Read Access Enable)

指定保護領域に対するユーザモードでのデータリードアクセスを許可するためのビットです。

URE	指定保護領域へのアクセス
0	ユーザモードでリードアクセス不可 (初期値)
1	ユーザモードでリードアクセス可能

[bit 10] UWE (User Mode Write Access Enable)

指定保護領域に対するユーザモードでのデータライトアクセスを許可するためのビットです。

UWE	指定保護領域へのアクセス
0	ユーザモードでライトアクセス不可 (初期値)
1	ユーザモードでライトアクセス可能

[bit 9] 予約

予約ビットです。必ず "0" を書き込んでください。"0" が読み出されます。

[bit 8] BE (Buffer Enable)

指定保護領域に対して、データアクセス時にバッファを使用することを許可します。バッファ使用が禁止されている場合、CPU はパイプライン動作を停止しデータアクセスの完了を待って次の動作を開始します。したがって、データアクセス効率は下がりますが、命令に同期したデータアクセスが可能となります。バッファが禁止されている場合のみデータアクセスでエラーが発生した場合に不正命令例外が発生します。バッファが許可されている場合はデータアクセスエラーは割込みとして通知可能です。

BE	指定保護領域の Bufferable 指定
0	バッファ不可 (初期値)
1	バッファ許可

[bit 7 ~ bit 3] ASZ[4:0](Area Size)

指定保護領域のサイズを指定します。アドレス指定は下記サイズにアラインする必要はありません。また、アドレス・サイズ指定で領域の下限が FFFFFFFF_H を超える場合は FFFFFFFF_H を領域の下限とします。

ASZ[4:0]	指定保護領域のサイズ
00000 _B	予約
00001 _B	予約
00010 _B	予約
00011 _B	16 バイト
00100 _B	32 バイト
00101 _B	64 バイト
00110 _B	128 バイト
00111 _B	256 バイト
01000 _B	512 バイト
01001 _B	1K バイト
01010 _B	2K バイト
01011 _B	4K バイト

ASZ[4:0]	指定保護領域のサイズ
01100 _B	8K バイト
01101 _B	16K バイト
01110 _B	32K バイト
01111 _B	64K バイト
10000 _B	128K バイト
10001 _B	256K バイト
10010 _B	512K バイト
10011 _B	1M バイト
10100 _B	2M バイト
10101 _B	4M バイト
10110 _B	8M バイト
10111 _B	16M バイト
11000 _B	32M バイト
11001 _B	64M バイト
11010 _B	128M バイト
11011 _B	256M バイト
11100 _B	512M バイト
11101 _B	1G バイト
11110 _B	2G バイト
11111 _B	4G バイト

[bit 2, bit 1] 予約

予約ビットです。書込み時は必ず "0" を書き込んでください。"0" が読み出されます。

[bit 0] PAE (Protection Area Enable)

メモリ保護機能を有効にするためのビットです。

PAE	メモリ保護領域
0	メモリ保護領域指定無効 (初期値)
1	メモリ保護領域指定有効

4.10.4 メモリ保護機能 (MPU) の動作説明

■ メモリ保護領域の設定

メモリ保護機能はアドレスとサイズで指定される最大 8 個の保護領域とそれらの領域に含まれないデフォルト領域に対して、特権モード/ユーザモードで命令/データリード/データライトそれぞれ許可・不可の設定をすることにより行います。同時に各領域に対して、バッファ許可・不可の設定も可能です。

指定した保護領域に重なりがある場合は、領域番号の小さい方を優先させます。

メモリ保護機能が無効な場合 (MPUCR:MPE=0) は、すべての領域に対してアクセス可能でバッファ不可としてアクセスを行います。

■ 命令アクセス保護違反

メモリ保護ユニット (MPU) は、CPU の命令フェッチを監視しアクセスのあった領域への命令フェッチが許可されているかの判断を行います。命令アクセス保護違反例外が発生したときの命令アドレスはシステムスタックに退避されている PC 値から判断してください。

■ データアクセス保護違反

メモリ保護ユニット (MPU) は、CPU のデータアクセスを監視し、該当領域へのアクセス (リード・ライト) が許可されているかの判断を行います。アクセスが許可されていなかった場合、MPU はそのアドレスとアクセス情報をそれぞれデータアクセス保護違反アドレスレジスタ (DPVAR)、データアクセス保護違反ステータスレジスタ (DPVSR) に格納します。ただし、既にデータアクセス保護違反情報が上記レジスタに存在する場合 (DPVSR:DPV=1) 上書きは行いません。このとき違反を起こしたデータアクセスは行われません。

複数回のデータアクセスを行う命令実行中にデータアクセス保護違反が発生した場合、違反が発生するまでに実行したデータアクセスは取り消されません。LDM0, LDM1, STM0, STM1, FLDM, FSTM 命令の途中でデータアクセス保護違反例外が発生した場合例外ステータスレジスタ ESR:RL に残りのレジスタリストが保持されます。

EIT 処理シーケンスおよび RETI 命令中にデータアクセス保護違反が発生した場合 CPU は停止状態となり、ブレーク割込みおよびリセットでのみ復帰可能となります。

■ データアクセスエラー

データアクセス中に以下の条件が成立した場合にデータアクセスエラーとし、データアクセスエラーアドレスレジスタ (DEAR)、データアクセスエラーステータスレジスタ (DESR) にそのときのアクセス情報を格納します。ただし、既にデータアクセスエラー情報が上記レジスタに存在する場合 (DESR:DAE=1) 上書きは行いません。

- ユーザモードでのシステムレジスタアクセス
- データアクセス中のバスエラー

データアクセス中のバスエラーはバッファ許可アクセスとバッファ不可アクセスとでエラー発生後の動作が異なります。ユーザモードでのシステムレジスタアクセスは常に不正命令例外 (データアクセス) として処理されます。

バッファ不可領域へのアクセス中にデータアクセスエラーが発生した場合、CPU は不正命令例外 (データアクセスエラー) として処理します。

バッファ許可領域へのアクセス中にデータアクセスエラーが発生した場合、MPU 制御レジスタ MPUCR:DEE=1 でデータアクセスエラー割込みが有効であればデータアクセスエラー割込みを通知し、CPU はデータアクセスエラー割込み処理を行います。バッファ許可領域へのアクセス中にデータアクセスエラーが発生した場合、CPU は後続の命令を実行していますので、データアクセスエラー割込み時に退避される PC 値 はデータアクセス命令を行った命令の PC 値とはなりません。

複数回のデータアクセスを行う命令実行中に不正命令例外 (データアクセスエラー) が発生した場合、エラーが発生するまでに実行したデータアクセスは取り消されません。LDM0, LDM1, STM0, STM1, FLDM, FSTM 命令の途中で不正命令例外(データアクセスエラー)が発生した場合例外ステータスレジスタ ESR:RL に残りのレジスタリストが保持され、ESR:INV[6] データアクセスエラーを示すビットがセットされます。

EIT 処理シーケンスおよび RETI 命令中に不正命令例外 (データアクセスエラー) が発生した場合 CPU は停止状態となり、ブレーク割込みおよびリセットでのみ復帰可能となります。

■ 遅延スロットでのメモリ保護動作

遅延スロットに配置された命令は 16 ビットとして処理します。したがって、遅延スロットに 32 ビット命令を配置しその下位 16 ビットに命令アクセス保護違反要因や命令アクセスエラー要因があったとしても、不正命令例外 (遅延スロットへ配置できない命令) として例外が発生します。

■ DEAR, DESR 更新

データアクセスエラーアドレスレジスタ (DEAR)、データアクセスエラーステータスレジスタ (DESR) は次の場合に更新されます。

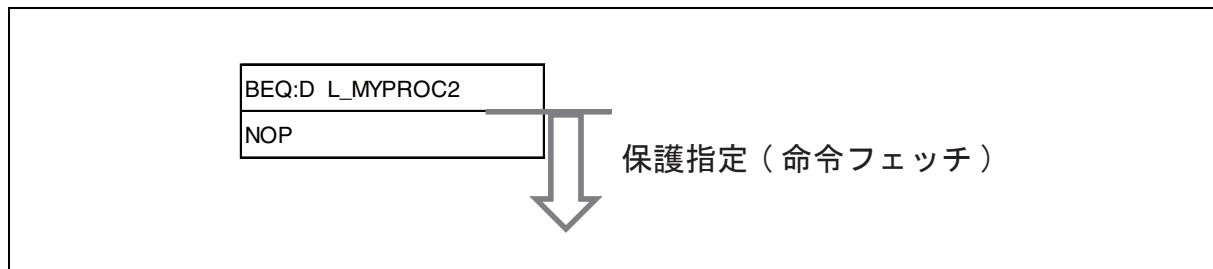
- ユーザモードでのシステムレジスタアクセス (不正命令例外)
- バッファ不可領域アクセスでのバスエラー (不正命令例外)
- バッファ許可領域アクセスでのバスエラー (データアクセスエラー割込み)

不正命令例外の発生するケースでは、該当するアクセスを行った命令で DEAR, DESR が更新されデータアクセスエラー割込みが発生するケースでは命令動作とは非同期に更新されます。

なお、要因が同時に発生した場合は不正命令例外要因を優先します。

4.10.5 注意事項

- アクセス保護違反例外はアクセス保護違反となる命令の実行時に発生します。詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」をご参照ください。命令アクセス保護違反と命令アクセス保護違反例外については ■命令アクセス保護違反 もご参照ください。
- 下図のように遅延スロットと命令アクセス保護領域の境界が重なる場合、分岐の成立/不成立に関係なく命令アクセス保護違反が発生します。例外が発生する PC は遅延分岐命令の PC です。



第 5 章 動作モード

5.1 概要

リセット解除後に決定される，本品種の動作モードについて説明します。各消費電力制御のモードや各クロック選択のモードについては「第 9 章 消費電力制御」を参照してください。

外バス については，MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD の機能となります。

5.2 特長

本品種は以下のモードを持ちます。

■ ユーザモード

- 外部バス拡張モード（外バスモード）・・・16 ビット幅 内部 FLASH 起動
 - 外部バス非同期モード
 - 外部バス同期モード

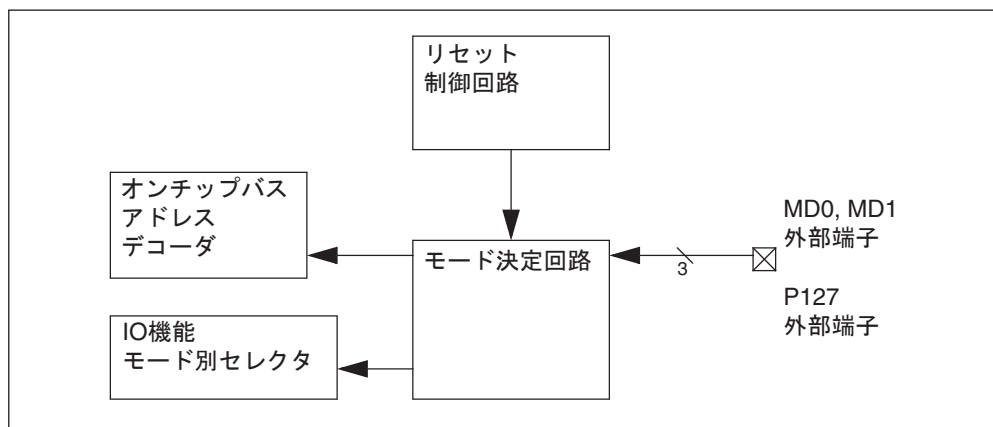
内部 FLASH 起動で動作します。

■ シリアルライターモード

シリアルライターを使用して，フラッシュメモリをプログラムします。

5.3 構成

図 5.3-1 ブロックダイヤグラム



管理コード : BMODED-0v7-91580L-1-J

5.4 レジスタ

表 5.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x07FC	BMODR	予約	予約	予約	バスモードデータレジスタ

■ バスモードレジスタ : BMODR (Bus MODE Register)

起動時に設定されたモードを示すレジスタです。読出しのみ可能で、書込みは本レジスタの値に影響しません。

- **BMODR: アドレス 07FC_H (アクセス : アクセス : バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
BMOD[7:0]								
*	*	*	*	*	*	*	*	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

* 動作モードによります。

- **[bit7 ~ bit0] BMOD7 ~ BMOD0 : 動作モード**

動作モードを示します。書込みは無効です。

BMOD[7:0]	動作モード
0101xxxx	ユーザモード, ユーザ・外バス・外部バス同期モード または ユーザ・外バス・外部バス非同期モード
0111xxx1	シリアルライタモード

5.5 動作説明

■ MD0, MD1, P127 端子の設定

表 5.5-1 端子設定

動作モード	MD1	MD0	P127
ユーザ・外バス・外部バス同期モード	0	0	-
ユーザ・外バス・外部バス非同期モード	0	1	-
ユーザモード	0	-	-
シリアルライタモード	1	0	1

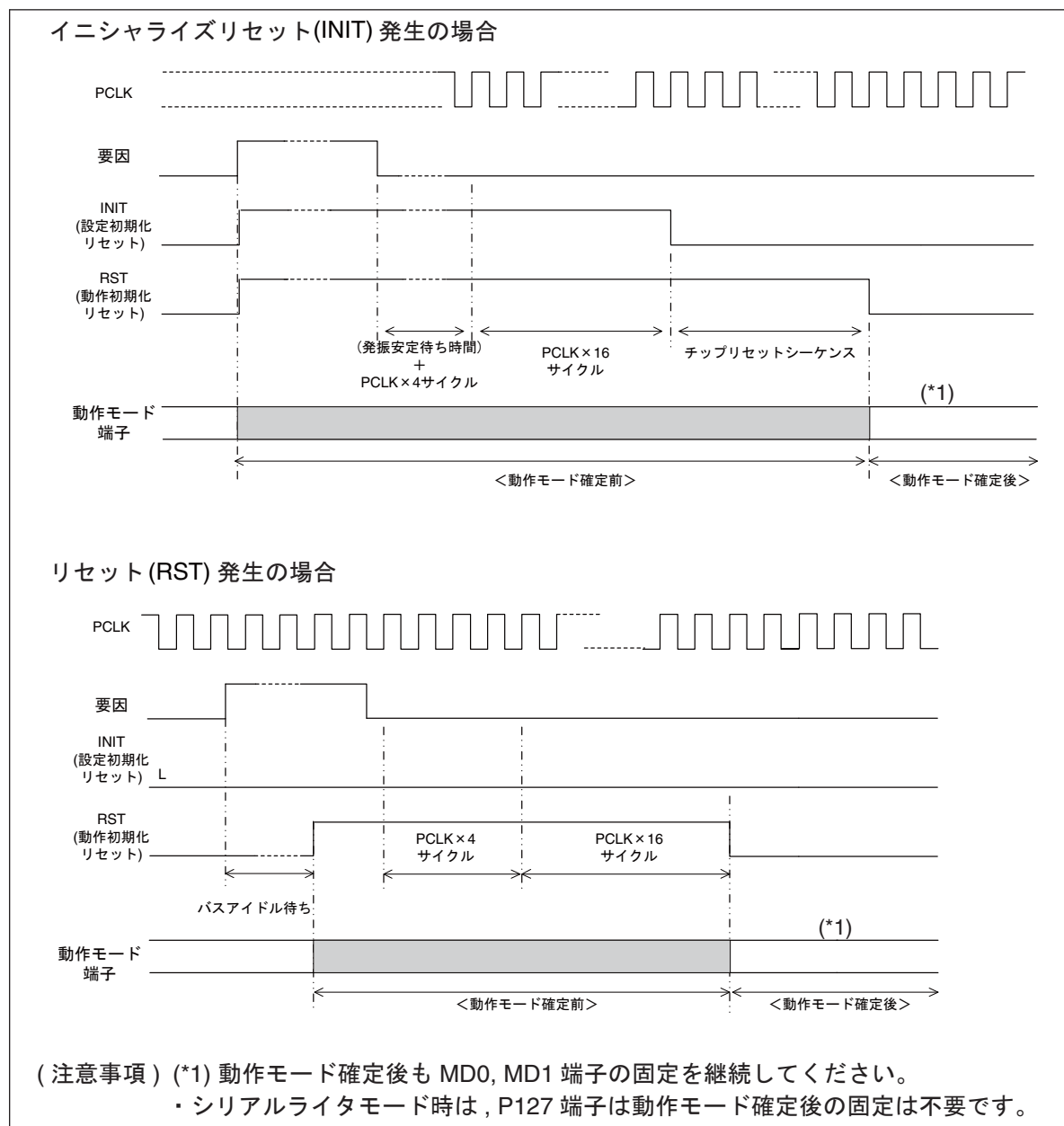
表に示した設定以外は禁止です。

■ 動作モードの取込み

動作モードの取込みは RST(リセット)によりサンプリングされます。RST が発行されてから解除されるまでの区間は MD0, MD1, P127 端子入力が増定している必要があります。(ユーザ・外バス・外部バス同期モードおよびユーザ・外バス・外部バス非同期モードでは P127 端子増定は不要です。)

以下にリセット要因発生～動作モード増定までのシーケンスを示します。

図 5.5-1 動作モード取込みタイミング図



■ 各モード説明

以下に各動作モードの動作の詳細を示します。

● ユーザ・外部バス拡張モード (外バスモード)

ユーザモード・外部バス拡張モードは, 外部バス拡張機能が有効なモードです。初期状態では, CS 領域 CS0 が外部バス領域として機能します。16 ビット以外のバス幅を選択する場合は, 16 ビット幅で起動して, 外部バスインタフェースのレジスタを設定してください。詳細は「第 29 章 外部バスインタフェース」を参照してください。

外部バス非同期モード

外部リセット端子によるリセット入力時に、直ちに外部バス端子をリセット状態にします。
詳細は「付録 D CPU 状態における端子状態」を参照してください。

外部バス同期モード

外部リセット端子によるリセット入力の際、外部バスインタフェース機能のある端子の初期化のバスタイムアウト待ちのためにこれらの端子は直ちには初期化されません。詳細は「付録 D CPU 状態における端子状態」を参照してください。

内部 I/O, 内蔵 RAM, 内蔵 Flash が有効で、それ以外の領域へのアクセスが無効であるモードです。外部端子は周辺リソース、または汎用ポートとして機能します。

● シリアルライターモード

弊社サポート担当にお問い合わせください。

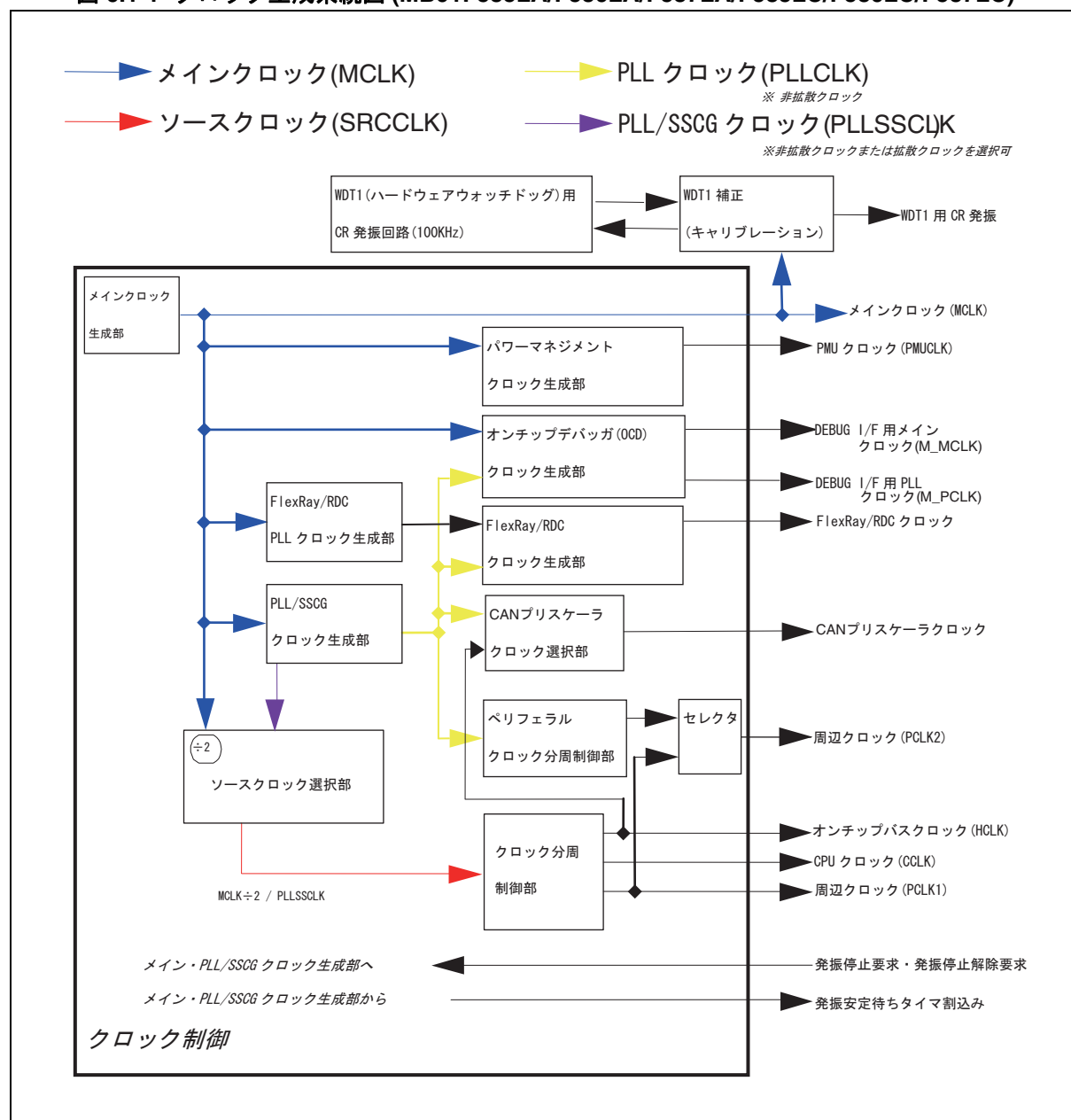
第6章 クロック

6.1 概要

搭載発振回路で 1 系統のクロックを生成し、チップ内各クロック系統を生成します。また、本品種はウォッチドッグタイマ 1 用の CR 発振回路を搭載しています。

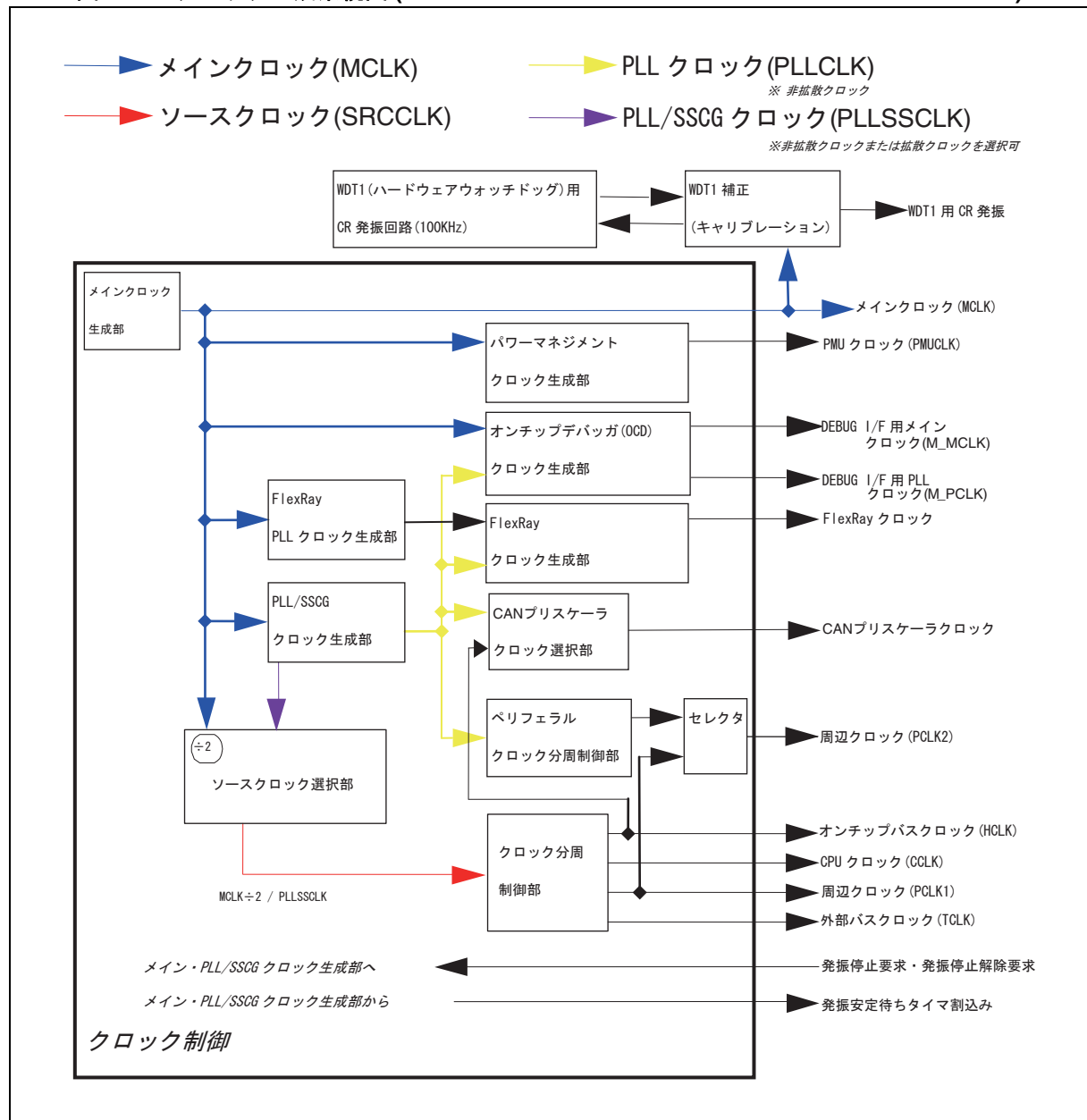
- 搭載発振回路用外部端子：
メインクロック：水晶発振子を接続します。
- ソースクロックの生成：メインクロック (MCLK) を PLL 逡倍したもの、または 2 分周したものを
選択します。
- ソースクロックの分周：ソースクロックを分周し、各部に供給する動作クロックを生成します。

図 6.1-1 クロック生成系統図 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)



管理コード:BG4ACCTL-0v4-91580L-1-J

図 6.1-2 クロック生成系統図 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)



6.2 特長

- 1 系統のオンチップオシレータを搭載。
- メインクロック (MCLK) は、オンチップ PLL/SSCG により逡倍されます。
- 逡倍クロックは独立した PLL/SSCG が供給されます。
- 各クロックが安定するまで、各クロックはタイマにより供給停止されます。(発振安定待ちタイマ)
- 発振安定待ち終了の割込みを発生させることができます。
- メインクロック発振安定待ちタイマ(メインタイマ)はメインクロック発振安定後、汎用割込みインターバルタイマとして使用できます。
- 100 kHz の WDT1 クロック用 CR 発振回路を搭載。
- CAN プリスケーラ用クロックを生成します。PLL 使用時は PLL クロック (PLLCLK) [非拡散クロック], それ以外の場合はオンチップバスクロック (HCLK) を使用します。
- ノイズ低減のため、CPU およびリソースのクロックとして SSCG クロック [拡散クロック] を選択できます。

6.3 構成

図 6.3-1 クロックの接続図 (1) メイン・PLL クロック生成部

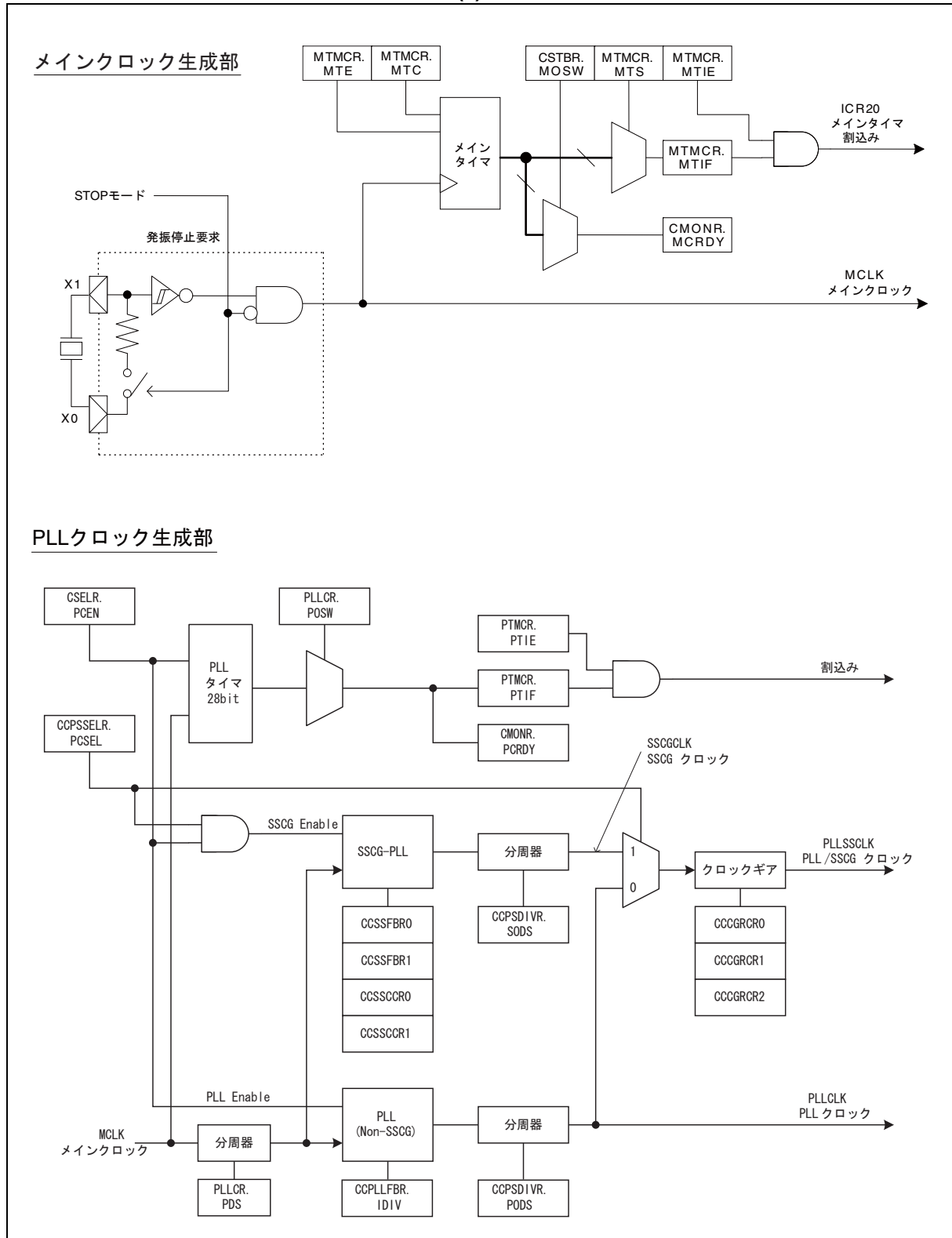


図 6.3-2 クロックの接続図 (2) ソースクロック選択部

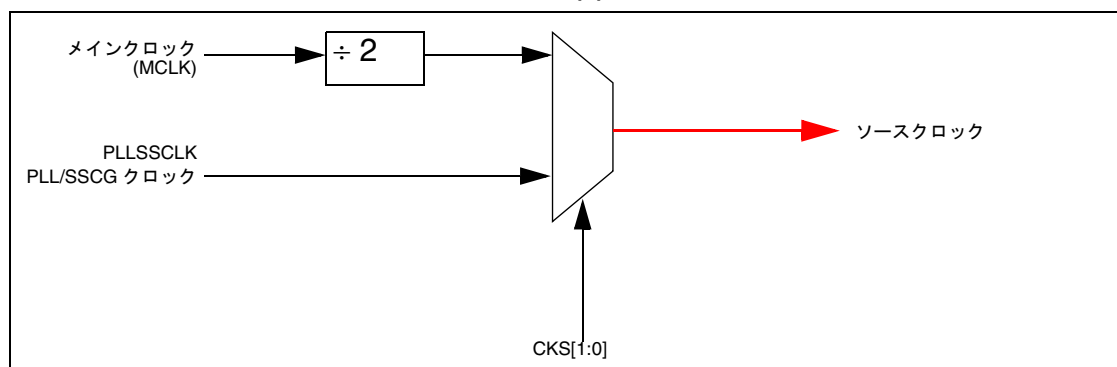


図 6.3-3 クロックの接続図 (3) 分周制御 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)

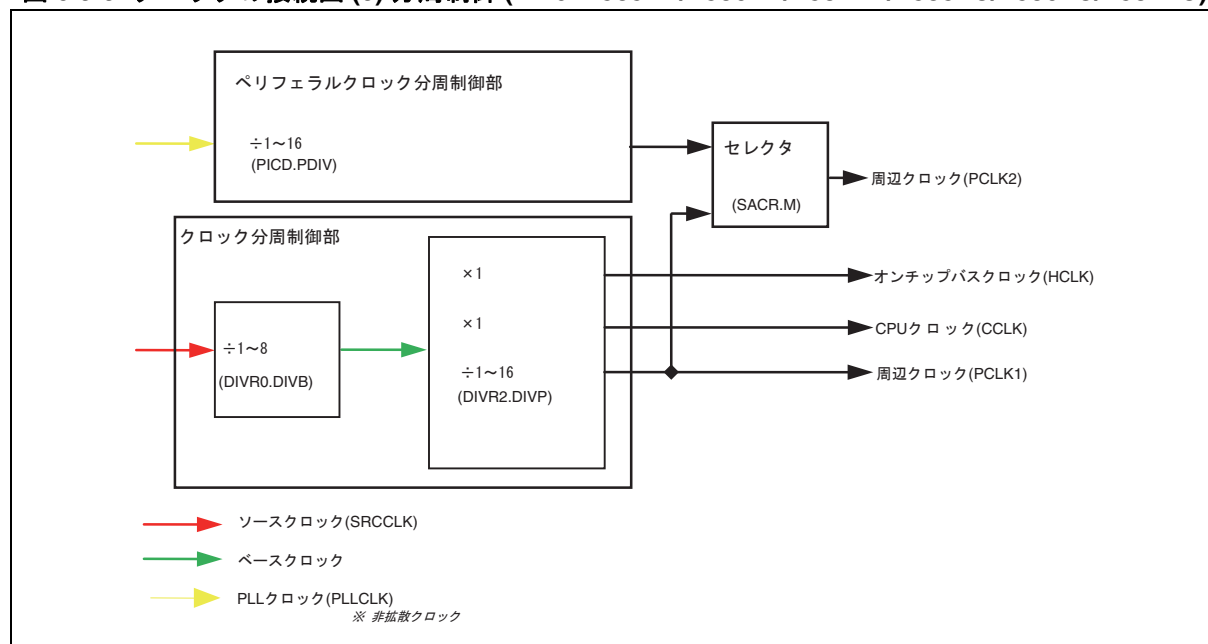


図 6.3-4 クロックの接続図 (3) 分周制御 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)

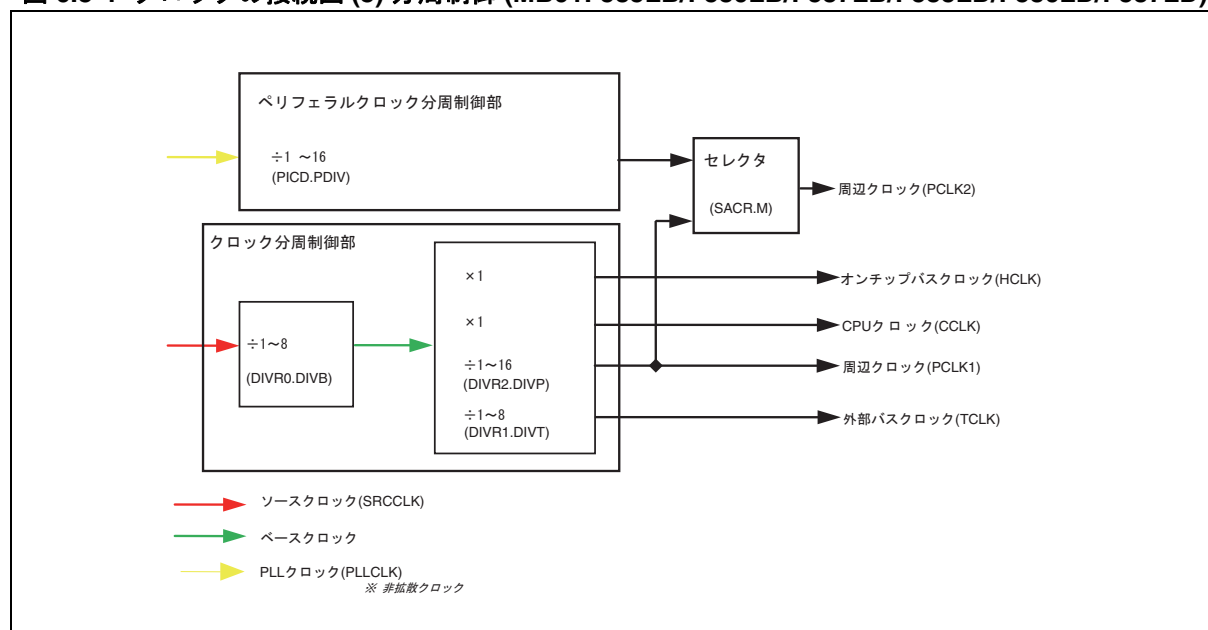


図 6.3-5 クロックの接続図 (4) CAN プリスケールクロック生成

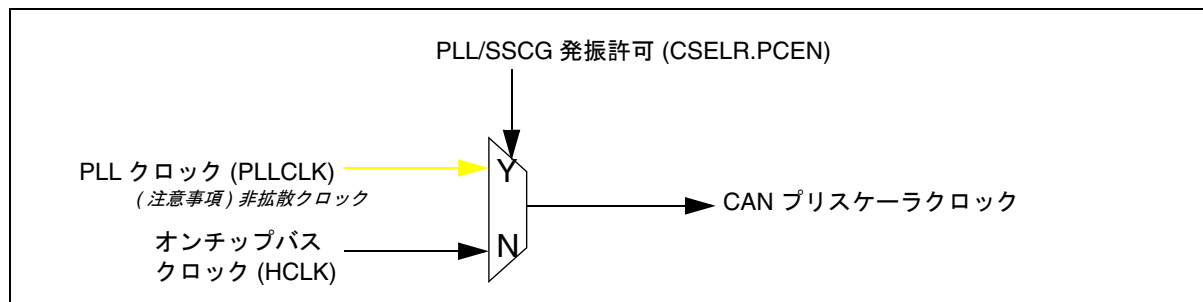


図 6.3-6 クロック接続図 (5) パワーマネジメントクロック生成部

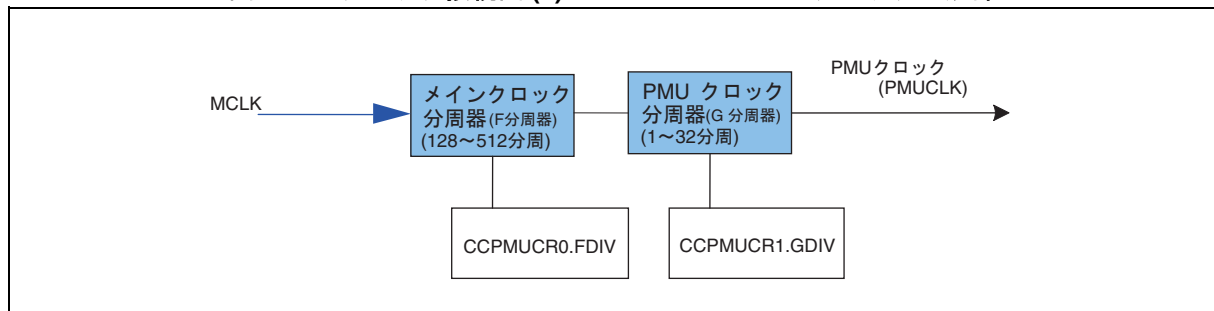


図 6.3-7 クロック系統図 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)

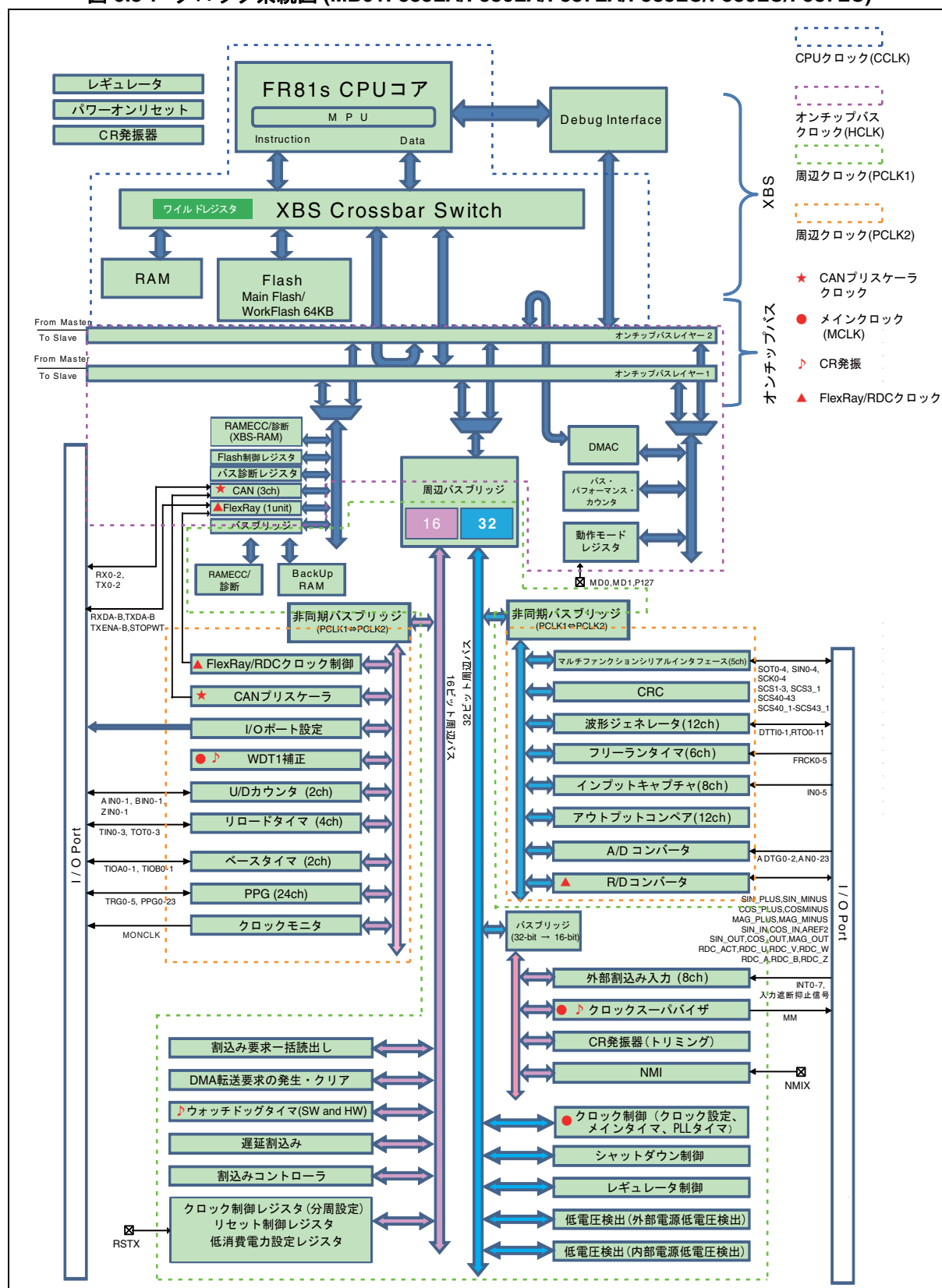
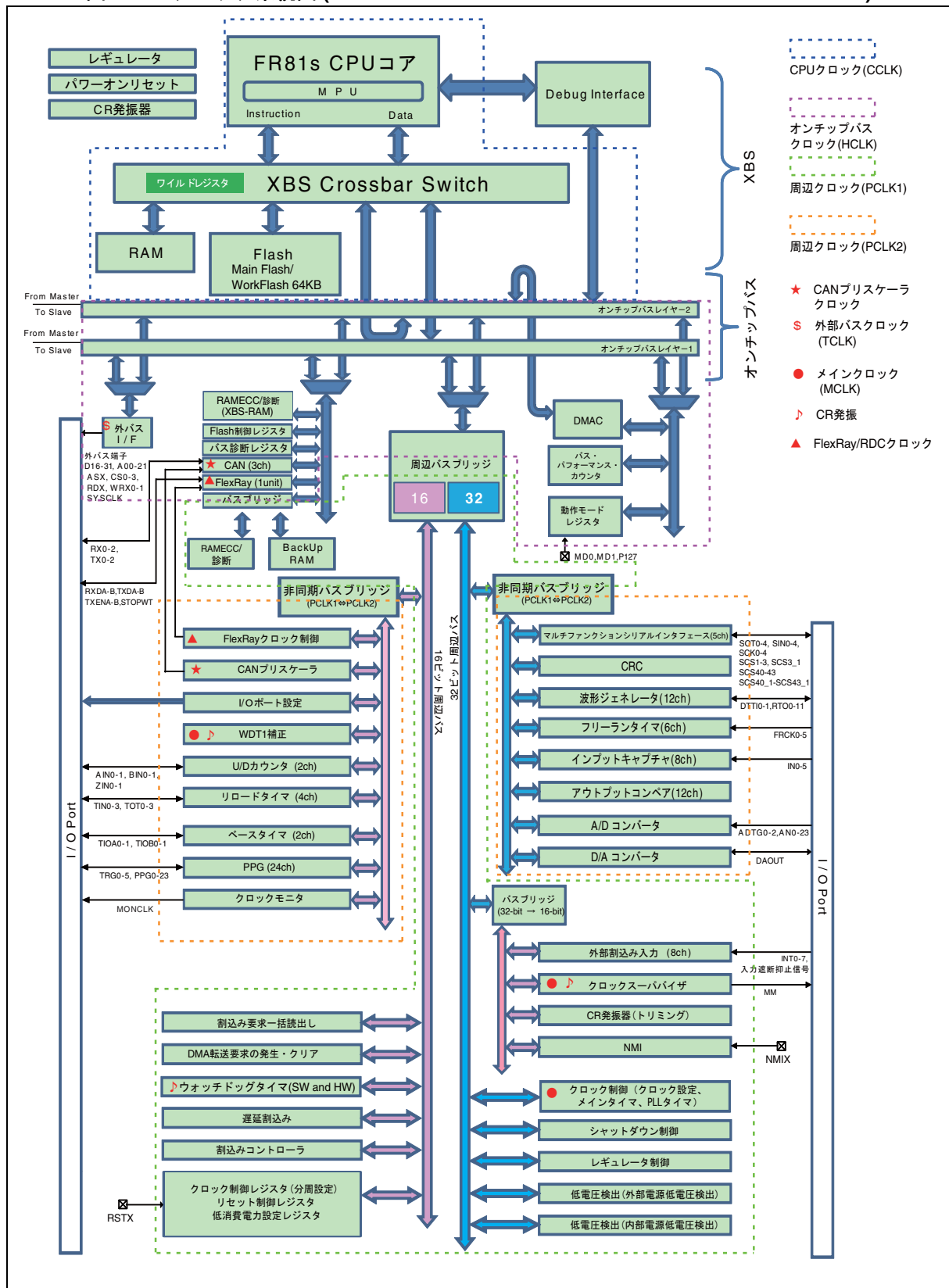


図 6.3-8 クロック系統図 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)



6.4 レジスタ

表 6.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0488	DIVR0	予約	DIVR2	予約	分周設定レジスタ 0 *1 分周設定レジスタ 2 *1
	DIVR0	DIVR1	DIVR2	予約	分周設定レジスタ 0 *2 分周設定レジスタ 1 *2 分周設定レジスタ 2 *2
0x0510	CSELR	CMONR	MTMCR	予約	クロックソース設定レジスタ クロックソース監視レジスタ メインタイマ制御レジスタ
0x0514	PLLCR		CSTBR	PTMCR	PLL 設定レジスタ 発振安定待ち設定レジスタ PLL クロック発振安定待ちタイマ制御レジスタ
0x0520	CCPSSELR	予約	予約	CCPSDIVR	PLL/SSCG クロック選択レジスタ PLL/SSCG 出力クロック分周設定レジスタ
0x0524	予約	CCPLLFBR	CCSSFBR0	CCSSFBR1	PLL フィードバック分周設定レジスタ SSCG フィードバック分周設定レジスタ 0 SSCG フィードバック分周設定レジスタ 1
0x0528	予約	CCSSCCR0	CCSSCCR1		SSCG コンフィグ設定レジスタ 0 SSCG コンフィグ設定レジスタ 1
0x052C	予約	CCCGRCR0	CCCGRCR1	CCCGRCR2	クロックギアコンフィグ設定レジスタ 0 クロックギアコンフィグ設定レジスタ 1 クロックギアコンフィグ設定レジスタ 2
0x0530	予約	予約	CCPMUCR0	CCPMUCR1	PMU クロック分周設定レジスタ 0 PMU クロック分周設定レジスタ 1
0x0534	予約	予約	予約	予約	予約
0x0538	予約	予約	予約	予約	予約
0x053C	予約	予約	予約	予約	予約
0x1000	SACR	PICD	予約	予約	Sync/Async Control Register Peripheral Interface Clock Divider

*1 : MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC

*2 : MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD

6.4.1 分周設定レジスタ 0: DIVR0(DIVide clock configuration Register 0)

クロックの分周を制御します。

- DIVR0: アドレス 0488_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
DIVB[2:0]			予約					
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W0	R/W0	R/W0	R/W0	R/W0	属性

[bit7 ~ bit5] DIVB2 ~ DIVB0 (DIVide ratio of Baseclock) : ベースクロック分周設定

ソースクロック (SRCCLK) からベースクロックを生成する部分での分周を以下のように設定します。

CPU クロック (CCLK), オンチップバスクロック (HCLK) はベースクロックと同一周波数です。

DIVB2 ~ DIVB0	分周比
000	分周しない (初期値)
001	2 分周
010	3 分周
011	4 分周
100	5 分周
101	6 分周
110	7 分周
111	8 分周

[bit4 ~ bit0] 予約

必ず "0" を書き込んでください。

6.4.2 分周設定レジスタ 1: DIVR1(DIVide clock configuration Register 1)

クロックの分周を制御します。(MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD のみ)

- DIVR1: アドレス 0489_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
TSTP	DIVT[2:0]			予約				
0	0	0	1	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W0	R/W0	R/W0	R/W0	属性

[bit7] TSTP (TCLK SToP) : 外部バスクロック停止許可

スリープモード時に, 外部バスクロック (TCLK) を停止するかどうかを設定します。

TSTP	スリープモード時の TCLK
0	停止しない (初期値)
1	停止する

[bit6 ~ bit4] DIVT2 ~ DIVT0 (DIVide ratio of TCLK) : 外部バスクロック分周設定

ベースクロックから外部バスクロック (TCLK) を生成する際の分周比を設定します。

DIVT2 ~ DIVT0	ベースクロック → TCLK 分周比
000	分周しない
001	2 分周 (初期値)
010	3 分周
011	4 分周
100	5 分周
101	6 分周
110	7 分周
111	8 分周

(注意事項) 外部バスクロック (TCLK) は必ず 40MHz 以下になるように本レジスタを設定してください。

[bit3 ~ bit0] 予約

必ず "0" を書き込んでください。

6.4.3 分周設定レジスタ 2: DIVR2 (DIVide clock configuration Register 2)

クロックの分周を制御します。

- DIVR2: アドレス 048A_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
DIVP[3:0]				予約				
0	0	1	1	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W0	R/W0	R/W0	R/W0	属性

[bit7 ~ bit4] DIVP3 ~ DIVP0 (DIVide ratio of PCLK) : 周辺クロック分周設定

ベースクロックから周辺クロック (PCLK1) を生成する際の分周比を設定します。

DIVP3 ~ DIVP0	ベースクロック → PCLK 分周比
0000	分周しない
0001	2 分周
0010	3 分周
0011	4 分周 (初期値)
0100	5 分周
0101	6 分周
0110	7 分周
0111	8 分周
1000	9 分周
1001	10 分周
1010	11 分周
1011	12 分周
1100	13 分周
1101	14 分周
1110	15 分周
1111	16 分周

(注意事項) 周辺クロック (PCLK1) は必ず 40MHz 以下になるように本レジスタを設定してください。

[bit3 ~ bit0] 予約

必ず "0" を書き込んでください。

6.4.4 クロックソース設定レジスタ : CSELR (Clock source SElect Register)

各クロックソースの制御, ソースクロック (SRCCLK) の選択を行います。

(注意事項) ・本レジスタに設定した値, また本レジスタを読み出した値は実際に制御 / 選択されている状態ではありません。本レジスタに設定した値が実際に反映されたかどうかは, CMONR を読み出すことで確認できます。本レジスタ値と CMONR が同じ値であることを確認した後に, 本レジスタを書き換えてください。クロック切換え中 (CKS[1:0] ≠ CKM[1:0]), 本レジスタの書込みは無視されます。

・ CSELR: アドレス 0510_H (アクセス: アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約	PCEN	-				CKS[1:0]		
0	0	1	0	0	0	0	0	初期値
R,W0	R,W	R1,WX	R0,WX	R0,WX	R0,WX	R,W	R,W	属性

[bit7] 予約

必ず "0" を書き込んでください。

[bit6] PCEN (PLL Clock ENable) : PLL 発振許可

PLL/SSCG クロック発振回路を以下のように制御します。

PCEN	PLL/SSCG クロック (PLLSSCLK) 用発振制御
0	発振を停止する (初期値)
1	発振する

PLL/SSCG クロック (PLLSSCLK) をソースクロック (SRCCLK) として選択している場合, 本ビットは書き換えることができません。メインクロック発振停止またはメインクロック発振安定待ち中 (CMONR.MCRDY=0) の場合, 本ビットは書き換えることができません。

ストップモードにする前に, 本ビットを "0" にしてください。

(注意事項) MDI 高速通信中, 本ビットの値にかかわらず, PLL は発振許可状態となります。

[bit5] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit4 ~ bit2] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit1, bit0] CKS1, CKS0 (Clock Select) : ソースクロック選択

ソースクロック (SRCCLK) を以下に示すように選択します。

CKS1, CKS0	ソース選択
00	メインクロック (MCLK) の 2 分周 (初期値)
01	メインクロック (MCLK) の 2 分周
10	PLL/SSCG クロック (PLLSSCLK)
11	禁止 (書込みによる動作への影響はありません)

ただし CKS[1:0] ≠ CKM[1:0] の場合, 本ビットを書き換えることはできません。また本ビットで切り換えようとするクロックの発振が停止または安定待ち中 (CMONR.xCRDY=0) の場合, 本ビットは書き換えることができません。

本ビットを変更できる組み合わせは以下のとおりです。

変更前の CKS の値	書き換え可能な値	書き換え条件	書き換え不可な値
00	00, 01	MCRDY=1	11
	10	PCRDY=1	
01	00, 01	MCRDY=1	10
10	00	MCRDY=1	01, 11
	10	PCRDY=1	
11	禁止	禁止	禁止

書き換え不可能な値を書込みしないでください。

6.4.5 クロックソース監視レジスタ : CMONR (Clock source MONitor Register)

各クロックソースの状態、ソースクロック (SRCCLK) を表示します。

本レジスタを読み出すことにより、CSELR に設定された値が実際の状態に反映されているかどうかを確認できます。

(注意事項) ・ CSELR 設定値を変更した場合は、必ず本レジスタを読み出し、CSELR に設定した値と同じ値を示すまで、次の CSELR 設定値変更は行わないでください。

・ CMONR: アドレス 0511_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-	PCRDY	MCRDY	-	-	-	-	CKM[1:0]	
0	0	1	0	0	0	0	0	初期値
R0,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R,WX	R,WX	属性

[bit7] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit6] PCRDY (PLL Clock ReaDY) : PLL クロックレディ

PLL/SSCG クロック (PLLSSCLK) の状態を以下のように示します。

PCRDY	PLL/SSCG クロック (PLLSSCLK) の状態
0	発振が停止しているか、発振安定待ち状態である
1	安定発振中であり、ソースクロックとして使用可能である

本ビットが "0" のときは、PLL/SSCG クロック (PLLSSCLK) をソースクロック (SRCCLK) として選択することができません。

(注意事項) ・ PCEN=1 → 0 に変更直後、PCRDY=1 が読み出される場合があります。

・ MDI 高速通信中、本ビットの値にかかわらず、PLL は発振許可状態となります。

[bit5] MCRDY (Main Clock ReaDY) : メインクロックレディ

メインクロック (MCLK) の状態を以下のように示します。

MCRDY	メインクロック (MCLK) の状態
0	発振が停止しているか、発振安定待ち状態である
1	安定発振中であり、ソースクロックとして使用可能である

本ビットが "0" のときは、メインクロック (MCLK) または PLL/SSCG クロック (PLLSSCLK) をソースクロック (SRCCLK) として選択することができません。

本ビットの初期値が 1 であるのは、パワーオンリセット後の初のリセットベクタフェッチ時点で発振安定中であるという意味であり、パワーオンリセット直後に既に発振安定中であるという意味ではありません。

(注意事項) MDI 高速通信中、本ビットの値にかかわらず、メインクロックは発振許可状態となります。

[bit4 ~ bit2] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit1, bit0] CKM1, CKM0 (ClocK Monitor) : ソースクロック表示

現在選択中のソースクロック (SRCCLK) を示します。

CKM1, CKM0	ソース選択
00	メインクロック (MCLK) の 2 分周
01	メインクロック (MCLK) の 2 分周
10	PLL/SSCG クロック (PLLSSCLK)

6.4.6 メインタイマ制御レジスタ : MTMCR (Main clock TiMer Control Register)

メインクロック (MCLK) で動作するメインタイマの制御を行います。

- MTMCR: アドレス 0512_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
MTIF	MTIE	MTC	MTE	MTS[3:0]				
0	0	0	0	1	1	1	1	初期値
R(RM1), W	R/W	R(RM0), W	R/W	R1,WX	R/W	R/W	R/W	属性

メインタイマはメインクロック (MCLK) の発振安定待ち時間生成に使用されるため、メインクロックの発振が安定した後のみ使用することが可能です。

ストップモード中は、メインタイマはクリアされます。

メインタイマの動作が許可されていないとき (MTE=0) は、メインクロック発振安定待ち時以外、メインタイマは停止します。MTIE を除き、MCRDY=1 のときのみ本レジスタの書き込みが有効になります。そのため、メインクロック発振安定待ち時 (MCRDY=0) の MTC=1 によるメインタイマクリアは無効です。

メインタイマ停止時 (MTE=0), メインタイマはクリアされ、クリア中は MTC=1 が読み出されます。そのとき、メインタイマ割込みフラグはセットされません。メインタイマオーバフロー周期 (MTS[3:0]) の変更はメインタイマ停止 (MTE=0) 期間中に行ってください。

MTE=1 → 0 書き換え時、MTC=0 となるまでメインタイマは動作します。その間に、メインタイマ割込みフラグが "1" になる可能性があります。MTC=1 書き込み時、MTC=0 となるまでメインタイマは動作します。その間に、メインタイマ割込みフラグが "1" になる可能性があります。MTE=0 → 1 書き換えと同時に MTC=1 書き込みをすると、クリアしてから動作開始となり、スタートが遅れます。

[bit7] MTIF (Main clock Timer Interrupt Flag) : メインタイマ割込みフラグ

メインタイマの選択した周期でのオーバフローが発生したことを示すフラグです。

MTIE ビットが "1" のとき、本ビットがセットさせるとメインタイマ割込み要求が発生します。

クリア要因	<ul style="list-style-type: none"> • "0" 書き込み • メインタイマ割込みによる DMA 転送の発生
セット要因	<ul style="list-style-type: none"> • MTS[3:0] で設定された周期でのオーバフロー発生 • ストップモード解除時のメインクロック (MCLK) の発振安定待ち時間の終了 (SINIT によるリセット後の発振安定待ち時間の終了時はセットされません)

本ビットへの "1" 書き込みは無効です。

MTIE ビットが "0" のとき、DMA 転送による本ビットのクリアは行われません。

リードモディファイライト命令では、"1" が読み出されます。

セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。

[bit6] MTIE (Main clock Timer Interrupt Enable) : メインタイマ割込み許可

メインタイマのオーバフローによる割込みを以下に示すように制御します。

MTIE	メインタイマ割込み
0	割込み禁止 (初期値)
1	割込み許可 (MTIF ビットが "1" のとき、割込み要求を出力)

[bit5] MTC (Main clock Timer Clear) : メインタイマクリア

メインタイマをクリアします。

MTC	書込み時
"0" 書込み	何もしない
"1" 書込み	メインタイマをクリアする

MTC	読出し時
0	通常動作中
1	メインタイマクリア中

"1" 書込み後,自動的に "0" に戻ります。

リードモディファイライト命令では, "0" が読み出されます。

MTC=1 のとき, MTC=1 を書き込むと, 2 回目の書込みは無視されます。

[bit4] MTE (Main clock Timer Enable) : メインタイマ動作許可

メインタイマの動作を以下に示すように制御します。

MTE	メインタイマ動作
0	動作禁止 (初期値)
1	動作許可

MTC=1 のとき, MTE=1 書込みは禁止です。

PLL/SSCG クロック発振安定待ちを行う場合, 必ず本ビットを "0" にして, メインタイマを停止してください。

[bit3 ~ bit0] MTS3 ~ MTS0 (Main clock Timer interval Select) : メインタイマ周期選択

メインタイマのオーバフロー周期を以下に示すように選択します。

MTS[3:0]	メインタイマオーバフロー周期	4MHz 時
1000	$2^9 \times$ メインクロック周期	128.0[μ s]
1001	$2^{10} \times$ メインクロック周期	256.0[μ s]
1010	$2^{11} \times$ メインクロック周期	512.0[μ s]
1011	$2^{12} \times$ メインクロック周期	1024.0[μ s]
1100	$2^{13} \times$ メインクロック周期	2048.0[μ s]
1101	$2^{14} \times$ メインクロック周期	4096.0[μ s]
1110	$2^{15} \times$ メインクロック周期	8192.0[μ s]
1111	$2^{16} \times$ メインクロック周期 (初期値)	16384.0[μ s]

MTS3 は常に "1" が読み出されます。

MTS3 ~ MTS0 の変更はメインタイマ停止 (MTE=0) 期間中に行ってください。

6.4.7 PLL 設定レジスタ : PLLCR (PLL Configuration Register)

PLL/SSCG クロック発振回路内の通倍率や分周比、発振安定待ち時間を設定します。

• PLLCR: アドレス 0514_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約		-	予約					
0	0	0	0	0	0	0	0	初期値
RX,W0	RX,W0	R0,WX	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	属性
7	6	5	4	3	2	1	0	bit
POSW[3:0]				PDS[3:0]				
1	1	1	1	0	0	0	0	初期値
R1,WX	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

メインクロック (MCLK) から PLL/SSCG クロック (PLLSSCLK) を生成する PLL/SSCG クロック発振回路内のパラメータを設定します。

PLL/SSCG クロック発振許可中 (CSELR.PCEN=1) のとき、本レジスタへの書込みは無効です。

[bit15, bit14] 予約

必ず "0" を書き込んでください。

[bit13] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit12 ~ bit8] 予約

必ず "0" を書き込んでください。

[bit7 ~ bit4] POSW3 ~ POSW0 (Pll clock OSc Wait) : PLL 発振安定待ち選択

PLL/SSCG クロック (PLLSSCLK) の発振安定待ち時間を以下に示すように選択します。

POSW3 ~ POSW0	PLL 発振安定待ち時間	4MHz 時	20MHz 時
1000	$2^9 \times$ メインクロック周期	128.0[μs]	25.6[μs]
1001	$2^{10} \times$ メインクロック周期	256.0[μs]	51.2[μs]
1010	$2^{11} \times$ メインクロック周期	512.0[μs]	102.4[μs]
1011	$2^{12} \times$ メインクロック周期	1024.0[μs]	204.8[μs]
1100	$2^{13} \times$ メインクロック周期	2048.0[μs]	409.6[μs]
1101	$2^{14} \times$ メインクロック周期	4096.0[μs]	819.2[μs]
1110	$2^{15} \times$ メインクロック周期	8192.0[μs]	1638.4[μs]
1111	$2^{16} \times$ メインクロック周期 (初期値)	16384.0[μs]	3276.8[μs]

POSW3 は常に "1" が読み出されます。

(注意事項) 本品種の PLL/SSCG クロック ロックアップタイム待ち時間仕様は 200[μs] となっています。以下どちらかの方法で 200[μs] 以上の待ち時間を確保してください。

- ・ 256[μs] 以上の POSW[3:0] を選択
- ・ POSW[3:0] の設定値にかかわらず、ソフトウェア処理で 200[μs] 以上の待ち時間を確保

[bit3 ～ bit0] PDS3 ～ PDS0 (PLL input clock Divider Select) : PLL 入力クロック分周選択

PLL および SSCG 入力クロックのメインクロック (MCLK) 分周を以下に示すように選択します。

PDS3 ～ PDS0	PLL 入力クロック分周選択
0000	PLL および SSCG 入力クロック = メインクロック / 1
0001	PLL および SSCG 入力クロック = メインクロック / 2
0010	PLL および SSCG 入力クロック = メインクロック / 3
0011	PLL および SSCG 入力クロック = メインクロック / 4
0100	PLL および SSCG 入力クロック = メインクロック / 5
0101	PLL および SSCG 入力クロック = メインクロック / 6
0110	PLL および SSCG 入力クロック = メインクロック / 7
0111	PLL および SSCG 入力クロック = メインクロック / 8
1000	PLL および SSCG 入力クロック = メインクロック / 9
1001	PLL および SSCG 入力クロック = メインクロック / 10
1010	PLL および SSCG 入力クロック = メインクロック / 11
1011	PLL および SSCG 入力クロック = メインクロック / 12
1100	PLL および SSCG 入力クロック = メインクロック / 13
1101	PLL および SSCG 入力クロック = メインクロック / 14
1110	PLL および SSCG 入力クロック = メインクロック / 15
1111	PLL および SSCG 入力クロック = メインクロック / 16

(注意事項) ・ PLL およびシステムのスペックに合わせて、設定してください。

- ・ 設定例に関しては「■ PLL/SSCG クロック (PLLSSCLK)」を参照してください。
- ・ 設定値の制限があります。設定時には、「■ PLL/SSCG クロック使用時の制限事項」を参照してください。

6.4.8 発振安定待ち設定レジスタ : CSTBR (Clock STaBilization select Register)

各クロックソースの発振安定待ちを設定します。

本レジスタで設定した発振安定待ち時間は、ストップ/時計モードからの復帰時や、ソースクロック (SRCCLK) として選択していないクロックを発振許可してからそのクロックのレディ (CMONR.*CRDY) が "1" となるまでに使用されます。リセット時に発振安定待ちが必要な場合、必ず本レジスタの初期値で選択される安定待ち時間となります。メインクロック発振安定待ち時間中は (MCRDY=0), MOSW[3:0] への書込みは無効です。

・ CSTBR: アドレス 0516_H (アクセス : アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-	予約			MOSW[3:0]				
0	0	0	0	0	0	0	0	初期値
R0,WX	R,W0	R,W0	R,W0	R,W	R,W	R,W	R,W	属性

[bit7] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit6 ~ bit4] 予約

必ず "0" を書き込んでください。

[bit3 ~ bit0] MOSW3 ~ MOSW0 (Main clock OSc Wait) : メインクロック発振安定待ち選択

MOSW3 ~ MOSW0 の設定値により、メインタイマの周期が設定されます。

メインクロック (MCLK) の発振安定待ち時間を以下に示すように選択します。

MOSW3 ~ MOSW0	メインクロック発振安定待ち時間	4MHz 時	20MHz 時
0000	$2^{15} \times$ メインクロック周期 (初期値)	8[ms]	1.6[ms]
0001	$2^1 \times$ メインクロック周期	500[ns]	100[ns]
0010	$2^5 \times$ メインクロック周期	8[μs]	1.6[μs]
0011	$2^6 \times$ メインクロック周期	16[μs]	3.2[μs]
0100	$2^7 \times$ メインクロック周期	32[μs]	6.4[μs]
0101	$2^8 \times$ メインクロック周期	64[μs]	12.8[μs]
0110	$2^9 \times$ メインクロック周期	128[μs]	25.6[μs]
0111	$2^{10} \times$ メインクロック周期	256[μs]	51.2[μs]
1000	$2^{11} \times$ メインクロック周期	512[μs]	102.4[μs]
1001	$2^{12} \times$ メインクロック周期	1[ms]	200[μs]
1010	$2^{13} \times$ メインクロック周期	2[ms]	400[μs]
1011	$2^{14} \times$ メインクロック周期	4[ms]	800[μs]
1100	$2^{17} \times$ メインクロック周期	33[ms]	6.6[ms]
1101	$2^{19} \times$ メインクロック周期	131[ms]	26.2[ms]
1110	$2^{21} \times$ メインクロック周期	524[ms]	104.8[ms]
1111	$2^{23} \times$ メインクロック周期	2[s]	400[ms]

(注意事項) クロックスーパバイザ機能が有効な場合、本レジスタの設定周期よりも断検出の周期が短いと、発振安定待ち中に断検出されてしまうので、注意してください。断検出の周期は、 $2^{12} \times \text{CR 発振} = \text{約 } 40.96\text{ms}$ になります。

6.4.9 PLL クロック発振安定待ちタイマ設定レジスタ : PTMCR (PLL clock osc TiMer Control Register)

PLL/SSCG クロック 発振安定待ちを行うメインクロックで動作するタイマの制御を行います。

PLL/SSCG クロック 発振安定待ちタイマは PLL/SSCG クロック (PLLSSCLK) の発振安定待ち時間のみ使用されます。

PLL/SSCG クロック 発振安定待ち時間は PLLCR:POSW[3:0] で設定した時間になります。

PLL/SSCG クロック発振安定待ちタイマは PLL/SSCG クロック 発振許可 (CSELR:PCEN="1") されてから動作を開始し、発振安定待ち時間動作した後、停止します。また、PLL/SSCG クロック発振停止 (CSELR:PCEN="0") されるとクリアされます。

• PTMCR: アドレス 0517_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
PTIF	PTIE	-						
0	0	0	0	0	0	0	0	初期値
R(RM1), W	R/W	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] PTIF (PLL clock osc wait Timer Interrupt Flag) :

PLL クロック 発振安定待ちタイマ割込みフラグ

PLL クロック発振安定待ち選択 (PLLCR:POSW[3:0]) で設定した時間でのオーバフローが発生したことを示すフラグです。PTIE ビットが "1" のとき、本ビットがセットされると PLL/SSCG クロック発振安定待ちタイマ割込み要求が発生します。

クリア要因	<ul style="list-style-type: none"> • "0" 書込み • PLL/SSCG クロック発振安定待ちタイマによる DMA 転送の発生
セット要因	<ul style="list-style-type: none"> • PCEN=0 → 1 後の PLL/SSCG クロック発振安定待ちクロックの発振安定待ち時間の終了

本ビットへの "1" 書込みは無効です。

PTIE ビットが "0" のとき、DMA 転送による本ビットのクリアは行われません。

リードモディファイライト命令では、"1" が読み出されます。

セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。

[bit6] PTIE (PLL clock osc wait Timer Interrupt Enable) :

PLL クロック発振安定待ちタイマ割込み許可

PLL/SSCG クロック発振安定待ちタイマのオーバフローによる割込みを以下に示すように制御します。

PTIE	動作
0	割込み禁止 (初期値)
1	割込み許可 (PTIF ビットが "1" のとき、割込み要求を出力)

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

6.4.10 PLL/SSCG クロック選択レジスタ : CCPSELR (CCTl Pll/Sscg clock SElect Register)

システムに供給するクロック・ソースを選択するレジスタです。

本レジスタは PLL/SSCG クロック発振停止 (CSELR.PCEN = "0") のときのみ書込み可能です。

- CCPSELR: アドレス 0520_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-							PCSEL	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] PCSEL (Pll Clock source SElect) : PLL/SSCG クロックソース選択

PLL/SSCG クロックのソースを選択します。

PCSEL	PLL or SSCG
0	PLL を選択
1	SSCG を選択

(注意事項) ・ PCSEL="0" の場合, SSCG は (未使用のため) 常にリセット状態となります。

- ・ PCSEL="1" の場合でも, CAN および OCDU には PLL クロックが供給されます。

6.4.11 PLL/SSCG 出力クロック分周設定レジスタ : CCPSDIVR (Cctl Pll/Sscg clock Divide Register)

PLL/SSCG クロックの分周比を設定するレジスタです。

本レジスタは PLL/SSCG クロック発振停止 (CSEL.R.PCEN=0) のときのみ書込み可能です。

- CCPSDIVR: アドレス 0523_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-	PODS[2:0]			-	SODS[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R/W	R/W	R/W	R0,WX	R/W	R/W	R/W	属性

[bit7] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit6 ~ bit4] PODS (Pll Oscillator Divider Select) : PLL マクロ発振クロック分周比選択

PLL クロックの分周比を設定します。

PODS[2:0]	分周比設定
000	PLL クロック =PLL マクロ発振クロック /2
001	PLL クロック =PLL マクロ発振クロック /4
010	PLL クロック =PLL マクロ発振クロック /6
011	PLL クロック =PLL マクロ発振クロック /8
100	PLL クロック =PLL マクロ発振クロック /10
101	PLL クロック =PLL マクロ発振クロック /12
110	PLL クロック =PLL マクロ発振クロック /14
111	PLL クロック =PLL マクロ発振クロック /16

(注意事項) 本ビットでの設定では偶数分周のみです。奇数分周は設定できません。

出力するクロックの Duty は 50% になります。

必ず PLL クロックが 128MHz 以下になるように設定してください。(128MHz を超える周波数での動作保証は行っておりません。)

[bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ～ bit0] SODS (Sscg Oscillator Divider Select) : SSCG マクロ発振クロック分周比選択

SSCG クロックの分周比を設定します。

SODS[2:0]	分周比設定
000	SSCG クロック =SSCG マクロ発振クロック /2
001	SSCG クロック =SSCG マクロ発振クロック /4
010	SSCG クロック =SSCG マクロ発振クロック /6
011	SSCG クロック =SSCG マクロ発振クロック /8
100	SSCG クロック =SSCG マクロ発振クロック /10
101	SSCG クロック =SSCG マクロ発振クロック /12
110	SSCG クロック =SSCG マクロ発振クロック /14
111	SSCG クロック =SSCG マクロ発振クロック /16

(注意事項) 本ビットでの設定では偶数分周のみです。奇数分周は設定できません。

出力するクロックの Duty は 50% になります。

必ず SSCG クロックが 128MHz 以下になるように設定してください。(128MHz を超える周波数での動作保証は行っておりません。)

設定値の制限があります。設定時には、「■ PLL/SSCG クロック使用時の制限事項」を参照してください。

6.4.12 PLL フィードバック分周設定レジスタ : CCPLLFBFR (CCTl PLL FB clock divide Register)

PLL の通倍率を設定するレジスタです。

本レジスタは PLL/SSCG クロック発振停止 (CSEL.R.PCEN = "0") のときのみ書込み可能です。

- CCPLLFBFR: アドレス 0525_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-	IDIV[6:0]							
0	0	0	0	0	0	0	0	初期値
R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit6 ~ bit0] IDIV (pll feedback Input DIVider ratio settings) : PLL マクロ FB 入力分周比設定

PLL の通倍率を設定します。

IDIV[6:0]	分周比設定
0000000-0001011	設定禁止
0001100	13
0001101	14
0001110	15
...
1100010	99
1100011	100
1100100-1111111	設定禁止

(注意事項) 設定値の制限があります。設定時には、「■ PLL/SSCG クロック使用時の制限事項」を参照してください。

6.4.13 SSCG フィードバック分周設定レジスタ 0 : CCSSFBR0(CCtl SScg FB clock divide Register 0)

SSCG の通倍率 N を設定するレジスタです。SSCG の通倍率は CCSSFBR1 の設定とあわせて $P \times N$ となります。

本レジスタは PLL/SSCG クロック発振停止 (CSEL.R.PCEN = "0") のときのみ書込み可能です。

- CCSSFBR0: アドレス 0526_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-		NDIV[5:0]						
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit6] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit5 ~ bit0] NDIV (sscg feedback input N-DIVider ratio settings) :

SSCG マクロ FB 入力 N 分周比設定

SSCG の通倍率 N を設定します。

NDIV[5:0]	分周比設定
000000	設定禁止
000001	2
000010	3
000011	4
...
111101	62
111110	63
111111	設定禁止

(注意事項) 設定値の制限があります。設定時には、「■ PLL/SSCG クロック使用時の制限事項」を参照してください。

6.4.14 SSCG フィードバック分周設定レジスタ 1 : CCSSFBR1(CCtl SScg FB clock divide Register 1)

SSCG の通倍率 P を設定するレジスタです。SSCG の通倍率は CCSSFBR0 の設定とあわせて $P \times N$ となります。

本レジスタは PLL/SSCG クロック発振停止 (CSEL.R.PCEN = "0") のときのみ書込み可能です。

- CCSSFBR1: アドレス 0527_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-			PDIV[4:0]					
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit5] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit4 ~ bit0] PDIV (sscg feedback input P-DIVider ratio settings) :

SSCG マクロ FB 入力 P 分周比設定

SSCG の通倍率 P を設定します。

PDIV[4:0]	分周比設定
00000	1
00001	2
00010	3
00011	4
...
11101	30
11110	31
11111	設定禁止

(注意事項) 設定値の制限があります。設定時には、「■ PLL/SSCG クロック使用時の制限事項」を参照してください。

6.4.15 SSCG コンフィグ設定レジスタ 0 : CCSSCCR0 (Cctl SSCg Config Register 0)

SSCG の各種設定を行います。

本レジスタは PLL/SSCG クロック発振停止 (CSEL.R.PCEN = "0") のときのみ書き込み可能です。

- **CCSSCCR0: アドレス 0529_H (アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
予約				SFREQ[1:0]		SMODE	SEN	
0	0	0	1	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R/W1	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit5] 予約

書き込みは効果ありません。

[bit4] 予約

必ず "1" を書き込んでください。

[bit3 ~ bit2] SFREQ (Spread spectrum modulation FREquency settings) :

拡散モジュレーション周波数設定

SSCG の拡散変調周波数を設定します。

SFREQ[1:0]	モジュレーション周波数
00	1/1024
01	1/2048
1x	1/4096

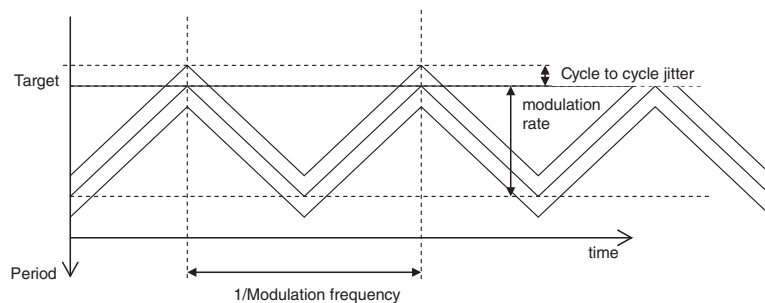
[bit1] SMODE (Spread spectrum modulation MODE settings) :

拡散モジュレーションモード選択

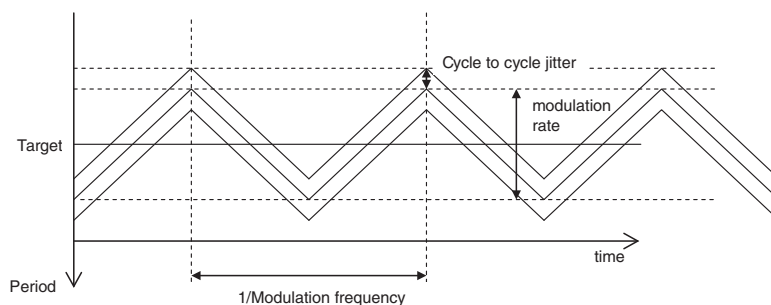
SSCG の拡散変調モードを設定します。

SMODE	モジュレーション・モード
0	Down Spread
1	Center Spread

● Down Spread



● Center Spread



[bit0] SSEN (Spread spectrum ENable) : 拡散スペクトル許可

SSCG の拡散スペクトルを有効にします。

SSEN	拡散スペクトル許可
0	拡散スペクトラム無効
1	拡散スペクトラム有効

6.4.16 SSCG コンフィグ設定レジスタ 1 : CCSSCCR1 (Cctl SSCg Config Register 1)

SSCG の各種設定を行います。

本レジスタは PLL/SSCG クロック発振停止 (CSEL.R.PCEN = "0") のときのみ書込み可能です。

• CCSSCCR1: アドレス 052A_H (アクセス: ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
RATESEL[2:0]			予約					
0	0	0	0	0	0	0	0	初期値
R,W0	R,W0	R,W0	R0,WX	R0,WX	R0,WX	R/W0	R/W0	属性
7	6	5	4	3	2	1	0	bit
予約								
0	0	0	0	0	0	0	0	初期値
R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	属性

[bit15 ~ bit13] RATESEL (spread spectrum modulation RATE SElection) :

拡散モジュレーションレート選択

SSCG の拡散変調率を設定します。

RATESEL[2:0]	モジュレーション・レート
00x	0.5%
010	1%
011	2%
100	3%
101	4%
110	5%
111	設定禁止

[bit12 ~ bit10] 予約

書込みは効果ありません。

[bit9 ~ bit0] 予約

必ず "0" を書き込んでください。

6.4.17 クロックギアコンフィグ設定レジスタ 0 : CCCGRCR0 (Cctl Clock Gear Config Register 0)

クロックギアの各種設定を行います。

- CCCGRCR0: アドレス 052D_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
GRSTS[1:0]		-				GRSTR	GREN	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM0), W1	R/W	属性

[bit7 ~ bit6] GRSTS (clock GeaR STatuS flags) : クロックギアステータスフラグ

クロックギアの状態を表示します。

GRSTS[1:0]	ステータス
00	クロックギア低速発振状態で停止または クロックギアを使用しない (CCCGRCR0.GREN="0") または PLL/SSCG リセット状態 (CSELR.PCEN="0")
01	GEAR UP 動作中
10	クロックギア高速発振状態で停止
11	GEAR DOWN 動作中

[bit5 ~ bit2] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit1] GRSTR(clock GeaR STaRt): クロックギアスタート

本ビットへの "1" 書込みによりクロックギアが動作を開始します。

クロックギアの動作はGRSTS ビットの値により動作が異なります。(ギアアップまたはギアダウン)

GRSTS=00 の場合

GRSTR	動作
"0" 書込み	動作には影響しない
"1" 書込み	ギアアップ動作開始

GRSTS=01/11 の場合

GRSTR	動作
"0" 書込み	動作には影響しない
"1" 書込み	動作には影響しない

GRSTS=10 の場合

GRSTR	動作
"0" 書込み	動作には影響しない
"1" 書込み	ギアダウン動作開始

(注意事項) CSELR.CKS=10(PLL/SSCG クロック (PLLSSCLK) を選択) かつ CCCGRCR0.GREN=1 (クロックギア・イネーブル) のときのみ本ビットへの書込みが可能です。

本ビットはクロックギアアップ (ダウン) 動作が終了すると、自動的に "0" にクリアされます。また、CSELR.PCEN=0(PLL/SSCG クロック発振停止) のとき、本ビットは "0" にクリアされます。

リードモディファイライト命令では、本ビットは常に "0" が読み出されます。本ビットが "1" の期間に書込みを行った場合、2 回目以降の書込みは無視されます。

[bit0] GREN (clock Gear ENable) : クロックギアイネーブル

クロックギア動作を許可します。

GREN	動作
0	クロックギアを使用しない
1	クロックギアを使用する

(注意事項) 本ビットは PLL/SSCG クロック発振停止 (CSELR.PCEN=0) のときのみ書込み可能です。

6.4.18 クロックギアコンフィグ設定レジスタ 1 : CCCGRCCR1 (Cctl Clock Gear Config Register 1)

クロックギアの各種設定を行います。

本レジスタは PLL/SSCG クロック発振停止 (CSEL.R.PCEN = "0") のときのみ書込み可能です。

- CCCGRCCR1: アドレス 052E_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
GRSTP[1:0]		GRSTN[5:0]						
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit6] GRSTP (clock GeaR STeP select) : クロックギアステップ選択

クロックギアアップ/ダウン時のステップ数 (インクリメント・デクリメント数) を選択します。

GRSTP	ステップ数
00	1
01	2
10	3
11	4

[bit5 ~ bit0] GRSTN (clock GeaR STart step Number select) : クロックギア開始ステップ選択

クロックギア動作開始時のステップを選択します。0-63 ステップの間で選択できます。

GRSTIN	ステップ数
000000	0
000001	1
000010	2
...
111101	61
111110	62
111111	63

(注意事項) GRSTN = 111111(ステップ数 63) 設定の場合にはギアは動作しません。

6.4.19 クロックギアコンフィグ設定レジスタ 2 : CCCGRCCR2 (Cctl Clock Gear Config Register 2)

クロックギアの各種設定を行います。

本レジスタは PLL/SSCG クロック発振停止 (CSEL.R.PCEN = "0") のときのみ書込み可能です。

- CCCGRCCR2: アドレス 052F_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
GRLP[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit0] GRLP (clock GeaR LooP number select) : クロックギア繰り返し回数選択

1 ステップの繰り返し回数を選択します。設定可能な繰り返し回数は 1-256 です。本ビットで設定した回数が終了すると、ステップがインクリメント/デクリメントします。

GRLP	ステップ数
0000_0000	1
0000_0001	2
0000_0010	3
...
1111_1101	254
1111_1110	255
1111_1111	256

6.4.20 PMU クロック分周設定レジスタ 0 : CCPMUCR0 (CCTl PMU Clock divide Register 0)

PMU クロックの分周設定を行います。

- CCPMUCR0: アドレス 0532_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
FST	-					FDIV[1:0]		
0	0	0	0	0	0	0	0	初期値
R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	属性

[bit7] FST (F-divider SStatus monitor) : F 分周器ステータスマニタ

FDIV[1:0] レジスタは書き込み後、書き込み値が反映されるまで、クロック乗換えによるタイムラグが発生します。本ビットにより、設定値が反映されたかどうかモニタができます。

通常、メインクロック×4 サイクル+ PCLK1 ×約 4 サイクルでレジスタ設定値が反映されます。

FST	モニタ
0	書き込み値を反映済み
1	書き込み値を反映中

[bit6 ~ bit2] 未定義

常に "0" が読み出されます。書き込みは動作に影響ありません。

[bit1 ~ bit0] FDIV (F-DIVide ratio setting) : F 分周比設定

F 分周器の分周比を設定します。PMU には 32kHz 以下のクロックを供給しなければなりません。

F 分周器を用いて、32kHz 以下になるように本ビットを設定します。

FDIV[1:0]	分周比	対象メイン発振周波数
00	128 分周 (初期値)	4MHz 時
01	256 分周	8MHz 時
10	384 分周	12MHz 時
11	512 分周	16MHz 時

(注意事項) • CCPMUCR0.FST ビットが "1" の期間は、本ビットへの書き込みは無視されます。

- メイン発振周波数を 20MHz に使用する場合、
CCPMUCR0.FDIV[1:0]CCPMUCR1.GDIV[4:0] を組み合わせて
640 分周以上 (=PMUCLK32kHz 以下) になるように設定してください。
設定例 : CCPMUCR0.FDIV[1:0]=00, CCPMUCR1.GDIV[4:0]=00100

6.4.21 PMU クロック分周設定レジスタ 1 : CCPMUCR1 (Cctl PMU Clock divide Register 1)

PMU クロックの分周設定を行います。

- CCPMUCR1: アドレス 0533_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
GST	-			GDIV[4:0]				
0	0	0	0	0	0	0	0	初期値
R,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	属性

[bit7] GST (GF-divider Status monitor) : G 分周器ステータスマニタ

GDIV[4:0] レジスタは書込み後, 書込み値が反映されるまで, クロック乗換えによるタイムラグが発生します。本ビットにより, 設定値が反映されたかどうかモニタができます。

通常, メインクロック × 4 サイクル + PCLK1 × 約 4 サイクルでレジスタ設定値が反映されます。

GST	モニタ
0	書込み値を反映済み
1	書込み値を反映中

(注意事項) 本ビットが "1" の期間は, CCPMUCR1.GDIV[4:0] への書込みは無視されます。

[bit6 ~ bit5] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit4 ~ bit0] GDIV (G-DIVide ratio setting) : G 分周比設定

G 分周器の分周比を設定します。PMU クロックの周期は, PMU に供給される (APB) バスクロックの周期の 4 倍以上でなければなりません。本分周器を用いて, 上記の関係を満たすように, PMU クロックの分周比を設定します。

GDIV[4:0]	分周比
00000	分周しない (初期値)
00001	2
00010	3
...
11101	30
11110	31
11111	32

(注意事項) • CCPMUCR1.GST ビットが "1" の期間は, 本ビットへの書込みは無視されます。

- メイン発振周波数を 20MHz に使用する場合,
CCPMUCR0.FDIV[1:0] と CCPMUCR1.GDIV[4:0] を組み合わせて
640 分周以上 (=PMUCLK32kHz 以下) になるように設定してください。
設定例: CCPMUCR0.FDIV[1:0]=00, CCPMUCR1.GDIV[4:0]=00100

6.4.22 同期 / 非同期設定レジスタ : SACR (Sync/Async Control Register)

周辺クロック (PCLK2) の選択を行います。

- SACR: アドレス 1000_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-							M	
1	1	1	1	1	1	1	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit0] M : 周辺クロック (PCLK2) の同期 / 非同期設定

CPU が SSCG クロックを選択しているときに周辺クロック (PCLK2) の切換えを行います。

M	同期 / 非同期設定
0	同期 (CPU/ 周辺共に PLL/SSCG クロック)
1	非同期 (CPU は PLL/SSCG クロック, 周辺は PLL クロック)

6.4.23 周辺クロック分周設定レジスタ : PICD (Peripheral Interface Clock Divider register)

PLL クロック (PLLCLK) から作成する周辺クロックの分周設定を行います。

- PICD: アドレス 1001_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-				PDIV[3:0]				
1	1	1	1	0	0	1	1	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit4] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit3 ~ bit0] PDIV : 周辺クロック分周比設定

SACR.M=1 時の PLL クロック (PLLCLK) [非拡散クロック] から周辺クロック (PCLK2) の分周比を設定します。

PDIV[3:0]	PLL クロック (PLLCLK) [非拡散クロック] → PCLK2 分周比
0000	分周しない
0001	2 分周
0010	3 分周
0011	4 分周 (初期値)
0100	5 分周
0101	6 分周
0110	7 分周
0111	8 分周
1000	9 分周
1001	10 分周
1010	11 分周
1011	12 分周
1100	13 分周
1101	14 分周
1110	15 分周
1111	16 分周

(注意事項) 周辺クロック (PCLK2) は必ず 40MHz 以下になるように本レジスタを設定してください。

6.5 動作説明

6.5.1 発振制御

■ メインクロック (MCLK)

OCD ツール接続時、電源投入リセット (SINIT) 以外では、メインクロックは常に発振を継続します。OCD ツール未接続時、メインクロックが発振を停止するのは、以下のいずれかの条件となります。

- ・ SINIT リセット (「第8章 リセット」を参照してください。)
- ・ ストップモード期間中

上記発振停止条件のすべてが取り下げられた後、CSTBR.MOSW[3:0] に設定された発振安定待ち時間を経過してから、クロック供給を開始します。リセット入力からの復帰では、CSTBR.MOSW[3:0] は初期化されるため、必ず初期値で規定される発振安定待ち時間となります。

■ PLL/SSCG クロック (PLLSSCLK)

本 LSI は、PLL および SSCG(拡散クロックを発生する PLL) を持ち、ノイズ低減の目的で SSCG を選択できます。CPU および周辺機能が選択できるクロックの組合せは以下のとおりです。

表 6.5-1 クロック・モード

	クロック・モード		
	RUN1	RUN2	RUN3
CPU	PLL	SSCG	SSCG
CAN	PLL	PLL	PLL
周辺	PLL	SSCG	PLL
OCDU	PLL	PLL	PLL

CPU/ 周辺 (タイマ / 通信系) クロックの選択は CCPSEL.R.PCSEL で行います。また、CPU が SSCG クロックで動作しているとき、周辺 (タイマ / 通信系) を PLL クロックで動作させることができます。このときの周辺のクロック選択は SACR.M で行い、分周を PICD.PDIV[3:0] で行います。

(注意事項) CPU を SSCG クロック、周辺を PLL クロックで動作させた場合には、CPU/ 周辺間で非同期乗換えが入るため、アクセスサイクルに 5 ～ 8PCLK2 のペナルティが加算されます。このとき、PCLK1 と PCLK2 の周波数は同一になるように設定してください。また、CPU/ 周辺ともに PLL クロックで動作させたい場合には、必ず SACR.M で同期を選択してください。

PLL/SSCG クロック (PLLSSCLK) が発振を停止するのは、以下のいずれかの条件となります。

- ・ リセット発生後 (停止前のバスアイドル待ち時間は取ります。「第8章 リセット」を参照してください。)
- ・ メインクロックの発振が停止している期間中 (PCEN=0 となる)
- ・ メインクロックの発振安定待ち時間中 (PCEN=0 となる)
- ・ ストップモード期間中
- ・ 時計モード期間中
- ・ ソースクロック (SRCCLK) として PLL/SSCG クロック (PLLSSCLK) 以外を選択し、CSEL.R.PCEN に "0" を設定している期間中

上記発振停止条件のすべてが取り下げられた後、PLLSSCLK.POSW[3:0] に設定された PLL/SSCG クロック待ち時間を経過してから、クロック供給を開始します。リセット入力または INIT 状態からの復帰では、CSEL.R.PCEN は "0" に初期化されるため、"1" を設定するまでは PLL クロックの発振は停止しています。

PLL/SSCG クロック ロック待ち時間を経過してから、クロック供給を開始します。リセット入力または INIT 状態からの復帰では、CSELR.PCEN は "0" に初期化されるため、"1" を設定するまでは PLL/SSCG クロックの発振は停止しています。

PLL/SSCG に関するクロックの周波数と通倍率の計算方法は、以下のとおりです。

(マイコン部の PLL/SSCG 設定)

- ・ PLL/SSCG 入力クロック周波数 = (メイン発振周波数) / (PLLCR.PDS[3:0] 分周比)
- ・ PLL 通倍率 = (CCPLLFBR.IDIV[6:0] 入力分周比)
- SSCG 通倍率 = (CCSSFBR0.NDIV[5:0]FB 入力分周比) × (CCSSFBR1.PDIV[4:0]FB 入力分周比)
- ・ PLL マクロ発振クロック周波数 = (PLL/SSCG 入力クロック周波数) × PLL 通倍率
- SSCG マクロ発振クロック周波数 = (PLL/SSCG 入力クロック周波数) × SSCG 通倍率
- ・ PLL クロック周波数 = (PLL マクロ発振クロック周波数) / (CCPSDIVR.PODS[2:0] 分周比)
- SSCG クロック周波数 = (SSCG マクロ発振クロック周波数) / (CCPSDIVR.SODS[2:0] 分周比)

図 6.5-1 マイコン部 PLL 周辺ブロック図

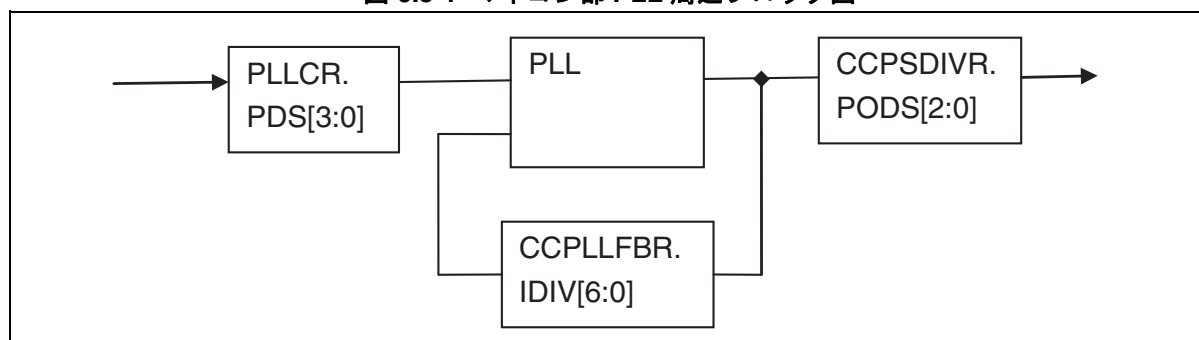
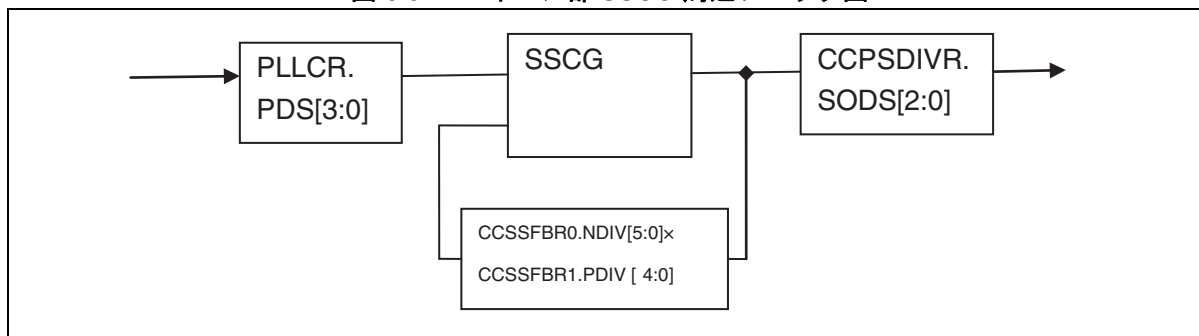


図 6.5-2 マイコン部 SSCG 周辺ブロック図



PLL/SSCG 入力クロック、PLL/SSCG 通倍率、PLL/SSCG マクロ発振クロックは、本シリーズ搭載 PLL/SSCG の以下の使用条件内になるように設定してください。PLL/SSCG 使用条件範囲はデータシートをご参照ください。

(注意事項) ・デバッグ起動時 (E_DBCR.PLOCK=1) は、MDI 通信に常時 PLL クロック供給が必要なため、PLL は停止できません。

- ・ PLL-SSCG 切換え時は、割込みを正常に受け渡しできません。そのため、PLL-SSCG/同期非同期の切換えを行う場合は、リソースからの割込みを禁止してください。
- ・ PLL-SSCG マクロ発振クロック周波数は上限および下限があります。下記の範囲を超えないように PLL/SSCG の通倍率を設定してください。

$200\text{MHz} \leq \text{PLL マクロ発振クロック周波数} \leq 333\text{MHz}$

$200\text{MHz} \leq \text{SSCG マクロ発振クロック周波数} \leq 333\text{MHz(DownSpread)}$

■ PLL/SSCG クロック使用時の制限事項

PLL クロックおよび SSCG クロックを使用する場合には、以下の制限事項に従って使用してください。

クロック制御 PLL クロック周波数

周波数 (max)	FCTLR.FAW	CCPSELR.PCSEL	備考
128MHz	01	0	
80MHz	00	0	

(注意事項) 周波数 (max) を超えないように PLLCR, または CCPSDIVR と CCPLLFBF を設定してください。

マイコン部クロック制御 SSCG クロック周波数

周波数 (max)	FCTLR.FAW	CCPSELR.PCSEL	CCSSCCR0.SSEN	CCSSCCR0.SMODE	CCSSCCR1.RATESEL	備考
128MHz	01	1	1	0/1	000 ~ 110	
72MHz	00	1	1	0	000 ~ 110	DownSpread
72MHz	00	1	1	1	000	CenterSpread(0.5%)
72MHz	00	1	1	1	010	CenterSpread(1%)
72MHz	00	1	1	1	011	CenterSpread(2%)
71MHz	00	1	1	1	100	CenterSpread(3%)
71MHz	00	1	1	1	101	CenterSpread(4%)
70MHz	00	1	1	1	110	CenterSpread(5%)

(注意事項) 周波数 (max) を超えないように CCPSDIVR, CCSSFBR0 と CCSSFBR1 を設定してください。

SSCG 使用時のモジュレーション・レートと分周比の関係

CCSSCCR1.RATESEL[2:0] SSSCR1.RATESEL[2:0]		CCSSFBR0.NDIV[5:0] SDIVCR0.NDIV[5:0]		
モジュレーションレート	設定値	分周比範囲	設定値下限	設定値上限
0.50%	00x	8 - 60	7h	3Bh
1.00%	010	8 - 60	7h	3Bh
2.00%	011	8 - 48	7h	2Fh
3.00%	100	8 - 31	7h	1Eh
4.00%	101	8 - 23	7h	16h
5.00%	110	8 - 18	7h	11h

6.5.2 発振安定待ち

各クロック入力の発振安定待ちについて説明します。

■ 安定待ち時間生成条件

各クロックの発振停止制御が解除されると、発振安定待ち状態となります。クロックごとに設定された発振安定待ち時間を経由した後、発振安定待ち状態は解除され、クロック供給を再開します。

メインクロック (MCLK) は、リセットにより設定レジスタが初期化されますので、リセット解除前に発振停止していた場合は発振安定待ち状態に入ります。INIT レベルおよび RST レベルではリセットによるメインクロック発振停止はしませんので、INIT レベルおよび RST レベルのリセットでメインクロックが発振していた場合は、発振安定待ちは取りません。

■ 安定待ち時間選択

各クロックの発振安定待ち時間は、CSTBR および PLLCR の設定により変更できます。

- クロック発振安定待ち時間の設定リセット後の初期値
- メインクロック CSTBR.MOSW[3:0] ビット $2^{15} \times$ メインクロック周期
- PLL/SSCG クロック PLLCR.POSW[3:0] ビット $2^{16} \times$ メインクロック周期

リセット (INIT または RST) により、CSTBR.MOSW[3:0] は初期化されるため、かならず初期値で規定されるメインクロック発振安定待ち時間となります。それ以外の場合、CSTBR.MOSW[3:0] に設定することによりメインクロック発振安定待ち時間を変更することが可能です。

リセット (INIT または RST) により、PLLCR.POSW[3:0] は初期化されるため、かならず初期値で規定される PLL/SSCG ロック待ち時間となります。それ以外の場合、PLLCR.POSW[3:0] に設定することにより PLL/SSCG ロック待ち時間を変更することが可能です。PLLCR.POSW[3:0] を設定後、CSELR.PCEN を "1" に設定してください。詳細は「6.4.7 PLL 設定レジスタ: PLLCR (PLL Configuration Register)」の、POSW の説明をご参照ください。

■ 安定待ち時間の終了

ソースクロック (SRCCLK) として選択しているクロックが発振安定待ち状態にある場合、動作を停止しています。発振安定待ち時間の終了により、動作を再開します。ソースクロックとして選択していないクロックが発振安定待ち時間中であることは、各クロックがイネーブルのとき CMONR レジスタの各クロックに対応したレディビットの値で確認できます。

クロック発振安定待ち状態の表示 発振安定状態の表示

- メインクロック CMONR.MCRDY ビット = "0" CMONR:MCRDY ビット = "1"
- PLL/SSCG クロック (PLLCLK) CMONR.PCRDY ビット = "0" CMONR:PCRDY ビット = "1"

6.5.3 ソースクロック (SRCCLK) 選択

動作クロックとなるソースクロック (SRCCLK) の選択制御について説明します。

■ 初期化時のソースクロック選択

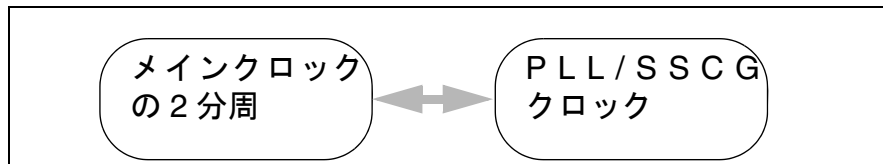
リセット (RST) の発生により, ソースクロック (SRCCLK) はメインクロック (MCLK) の2分周を選択します。

以降, プログラム動作開始後は, CSELR.CKS[1:0] の設定によってソースクロックを変更することが可能となります。

■ ソースクロック切換え手順

ソースクロックを切換えても発振許可ビット (CSELR.xCEN) の値は保持されていますので, 必要に応じて発振停止設定を行ってください。

図 6.5-3 ソースクロックの切換え手順



①メインクロックの2分周 → PLL/SSCG クロック

ソースクロックにメインクロックの2分周を選択中 (CMONR.CKM[1:0]=00)

↓

PLL/SSCG逡倍率, SSCG変調, PLL/SSCG選択, PLL/SSCGロック待ち時間を設定(PLLCR/CCPSSELR/CCPSDIVR/CCPLLFBF/CCSSFBR0/CCSSFBR1/CCSSCCR0/CCSSCCR1を設定) -- PLL/SSCG 発振有効にしていない場合 --

↓

クロックギアを設定 (CCCGRCR0.GREN/CCCGRCR1/CCCGRCR2)

↓

PLL/SSCG タイマ割込み要因クリア (PTIF=0)

↓

(必要に応じ)PLL/SSCG タイマ割込みイネーブル設定 (PTIE=1)

↓

PLL/SSCG 発振開始 (PCEN=0 → 1)

↓

PLL/SSCG ロック待ちループ (PCRDY=1 になるまでループ), または割込み待ち。

↓

PLL/SSCG タイマ割込みクリア (PTIF=0, PTIE=0)

↓

ソースクロックを PLL/SSCG クロックに切換え (CSELR.CKS[1:0]=00 → 10)

↓

クロックギアを開始 (CCCGRCR0.GRSTR=1)

↓

クロックギアが高速発振停止状態であることを確認 (CCCGRCR0.GRSTS[1:0]=10)

↓

ソースクロックに PLL/SSCG クロックを選択中 (CMONR.CKM[1:0]=10)

② PLL/SSCG クロック → メインクロックの2分周

ソースクロックに PLL/SSCG クロックを選択中 (CMONR.CKM[1:0]=10)

↓

クロックギアを開始 (CCCGRCR0.GRSTR=1)

↓

ソースクロックをメインクロックの2分周に切換え (CSELR.CKS[1:0]=10 → 00)

↓

クロックギアが低速発振停止状態であることを確認 (CCCGRCR0.GRSTS[1:0]=00)

↓

ソースクロックにメインクロックを選択中 (CMONR.CKM[1:0]=00)

図 6.5-4 PLL/SSCG モード設定例 メイン→PLL/SSCG

PLLモード設定(アドバンスド)

1. メイン→PLL

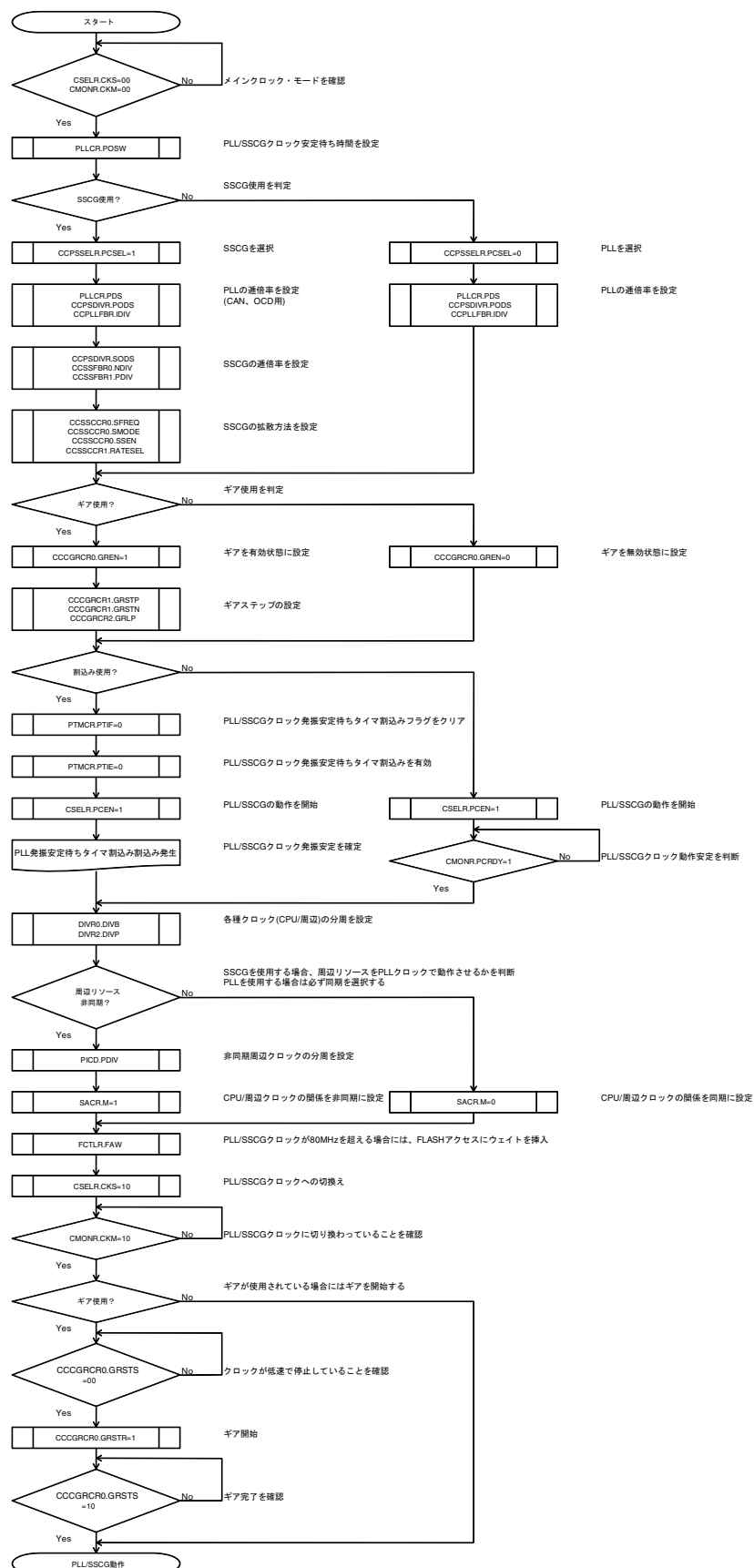
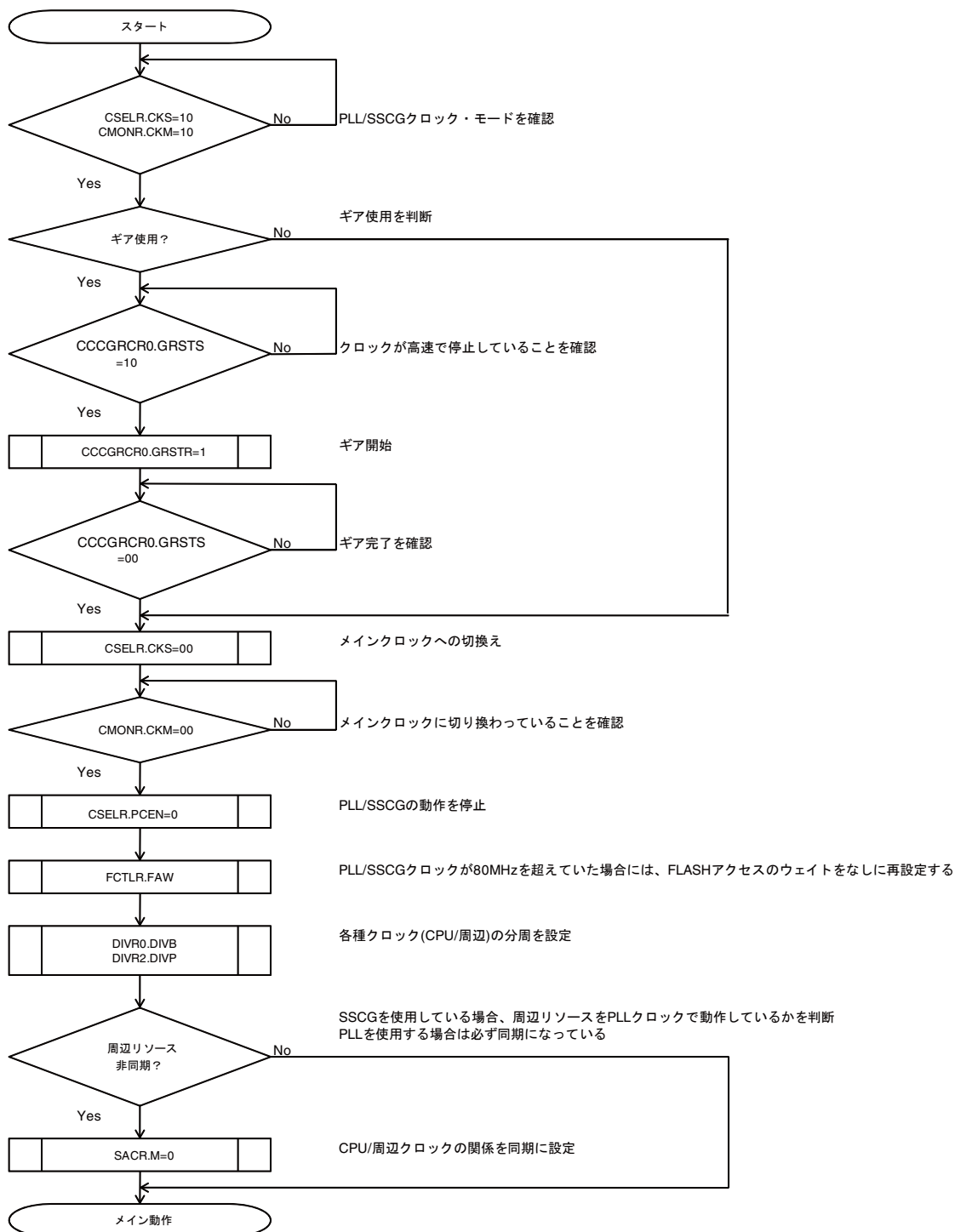


図 6.5-5 PLL/SSCG モード設定例 PLL/SSCG →メイン

2. PLL →メイン



6.5.4 タイマ

■ メインクロック発振安定待ちタイマ (メインタイマ)

メインタイマは、メインクロック (MCLK) で動作するタイマです。メインクロック発振安定待ち時間生成に使用され、それら以外のメインクロック安定状態では一定期間で割込みを発生するタイマとして使用できます。

■ PLL/SSCG クロック発振安定待ちタイマ (PLL タイマ)

PLL タイマは、メインクロックで動作するタイマで、PLL/SSCG クロック発振安定待ち時間生成専用です。このタイマは汎用タイマとしては使用できません。

■ 設定

メインタイマ動作許可 (MTMCR.MTE=1) にするとメインタイマのカウントが開始します。メインタイマ動作禁止 (MTMCR.MTE=0) にするとメインタイマのカウントが停止しメインタイマはクリアされます。メインタイマクリア (MTMCR.MTC=1) にするとメインタイマはクリアされます。

クリアされるまでの間、MTMCR.MTC=1 が読み出されます。MTMCR.MTS[3:0] で割込みの周期を設定できます。MTMCR.MTIE=1 のとき、MTMCR.MTIF=1 となるとメインタイマ割込みが発生します。MTMCR.MTIF は "0" 書込みによりクリアされます。

(注意事項) タイマ割込みの周期設定 (MTS) は、PCLK1 × 5 クロック以上の周期を設定してください。タイマ割込みの周期を極端に短く設定した場合、割込み要因がセットされない可能性があります。

■ タイマ割込み設定手順

割込み設定手順について説明します。割込みの設定例を以下に示します。

タイマ割込み禁止設定 (MTMCR.MTIE=0)、割込みフラグクリア設定 (MTMCR.MTIF=0)

↓

タイマ動作禁止設定 (MTMCR.MTE=0)

↓

MTC=0 を確認

↓

タイマ周期設定 (MTMCR.MTS=1000 ~ 1111)

↓

タイマ割込み許可設定 (MTMCR.MTIE=1)

↓

タイマ動作許可設定 (MTMCR.MTE=1)

↓

設定時間後割込み発生

↓

割込みルーチンへ

↓

割込みフラグクリア設定 (MTMCR.MTIF=0)

↓

割込みフラグ確認 (MTMCR.MTIF=0)

↓

プログラム動作

↓

RETI

(注意事項)

割込みフラグクリア設定は "0" 書込みしてもすぐに反映されないので "0" になるまで読みを繰り返してください。

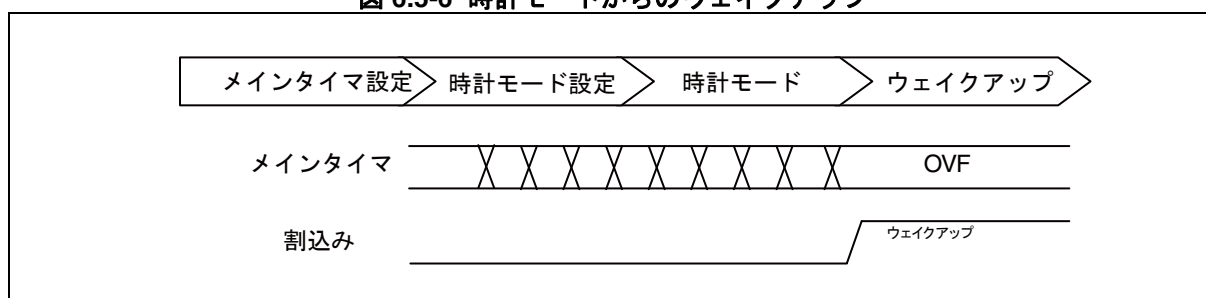
■ タイマ動作

メインタイマは MTMCR.MTE=1 の間 , メインクロック (MCLK) でカウントアップします。MTMCR.MTS[3:0] で選択された周期でオーバーフローしたら , MTMCR.MTIF=1 となります。

■ 時計モードとタイマ割込み

時計モードは , 特定の機能とタイマ以外のすべての動作を停止させます。(「第9章 消費電力制御」を参照してください。) メインタイマ割込みを利用して時計モードからウェイクアップできます。

図 6.5-6 時計モードからのウェイクアップ



6.5.5 クロック競合時の注意

割込みハンドラ内で、CPU クロック (CCLK) より非常に低い周波数で駆動しているペリフェラルの割込みクリアをして直ちに割込みハンドラを終了すると、割込みハンドラ期間内にそのペリフェラルは内部処理を完了しきれず、二重に割込みハンドラが呼び出されることがあるので注意してください。

6.5.6 クロックギア回路

メインクロックから PLL/SSCG クロックへの切換え時または PLL/SSCG クロックからメインクロックへの切換え時に周波数が急激に変動するため、電源電流も大きく変動します。クロック切換え部にクロックギア回路を持っており、これを使用することにより、動作周波数を低周波から高周波または高周波から低周波に徐々に変動させることができ、電源電流の変動を低減できます。

■ ギアアップの手順

- ①発振安定待ちタイマ完了後、クロックギア開始ステップ選択に設定した開始ステップのクロックを出力します。
- ②クロックギアスタート (CCCGRCR0.GRSTR, PGRRCR0.PGRSTR および SGRCR0.SGRSTR) を 1 に設定し、立上りを検出すると、クロックギアステータスフラグ (CCCGRCR0.GRSTS[1:0], PGRRCR0.PGRSTS[1:0] および SGRCR0.SGRSTS[1:0] が "00" → "01" に遷移します。(ギアアップスタート)
- ③クロックギア・ステップ選択、繰返し回数選択に従って、ギアアップを行います。
ステップ数が小さく、繰返し回数が大きいほど緩やかに変化します。
- ④クロックが最大ステップに到達すると、クロックギアステータスフラグ (CCCGRCR0.GRSTS[1:0], PGRRCR0.PGRSTS[1:0] および SGRCR0.SGRSTS[1:0] が "01" → "10" に遷移します。(ギアアップ終了, ギア停止)
これ以降は最大ステップ (64 ステップ) でクロックを出力します。
- ⑤ギア停止後、クロックギアスタート (CCCGRCR0.GRSTR, PGRRCR0.PGRSTR および SGRCR0.SGRSTR) はハードウェアで "0" にクリアされます。

■ ギアダウンの手順

- ①クロックギアスタート (CCCGRCR0.GRSTR, PGRRCR0.PGRSTR および SGRCR0.SGRSTR) を 1 に設定し、立上りを検出すると、クロックギアステータスフラグ (CCCGRCR0.GRSTS[1:0], PGRRCR0.PGRSTS[1:0] および SGRCR0.SGRSTS[1:0] が "10" → "11" に遷移します。(ギアダウンスタート)
- ②クロックギア・ステップ選択、繰返し回数選択に従って、ギアダウンを行います。
ステップ数が小さく、繰返し回数が大きいほど緩やかに変化します。
- ③クロックが最小ステップに到達すると、クロックギアステータスフラグ (CCCGRCR0.GRSTS[1:0], PGRRCR0.PGRSTS[1:0] および SGRCR0.SGRSTS[1:0] が "11" → "00" に遷移します。(ギアダウン終了, ギア停止)
これ以降はクロックギア開始ステップ選択に設定した開始ステップでのクロックを出力します。
- ④ギア停止後、クロックギアスタート (CCCGRCR0.GRSTR, PGRRCR0.PGRSTR および SGRCR0.SGRSTR) はハードウェアで "0" にクリアされます。

6.5.7 MDI 通信中の動作

MDI 通信中は、STOP モードに遷移した場合でもメイン発振が停止しないように制御しています。

また、MDI 高速通信中 (E_DBCR.PLOCK=1) は、CSELR.PCEN がクリアされても PLL リファレンスクロックが供給されるように制御します。PLL 関連レジスタの値が保持されて更新されません。しかし、ソフトウェアが CSELR.PCEN=0 を設定した場合、PLL 関連レジスタの値は自由に更新 (書き込み) 可能です。

もし、PLL 関連レジスタに前回設定した値と、違う値を書き込んで PLL/SSCG クロック発振許可を有効 (CSELR.PCEN=1) とした場合、PLL クロックの周波数は更新されません。(PLL はロックした状態を保持しているため。)

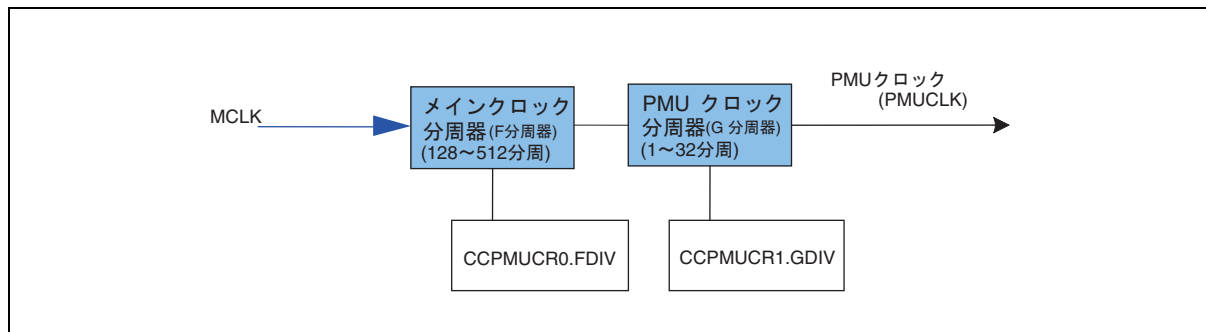
通常は、PLL 関連レジスタには常に同じ値を書き込んでください。デバッグなどで、設定値を変更する場合には、E_DBCR.PLOCK の値をモニタし、必ず E_DBCR.PLOCK=0 の状態で、PLL 関連レジスタの書き換えを行ってください。

(注意事項) PLL 関連レジスタは以下のとおりです。

- CCPSDIVR.PODS
- CCPLLFBR.IDIV
- PLLCR.PDS

6.5.8 PMU クロック (PMUCLK) について

PMU クロックは、パワーマネジメントユニット (PMU) の動作クロックです。スタンバイモードの制御を行う前に、本クロックの設定を完了させてください。



PMU クロックの周波数は以下の式で算出されます。

$$\text{PMU クロック周波数} = \text{メインクロック周波数} \div \text{CCPMUCR0.FDIV[1:0] 分周比} \div \text{CCPMUCR1.GDIV[4:0] 分周比}$$

また PMU クロックは以下の使用制限を遵守してください。(本制限が守られない場合、正常にシャットダウン処理が行われない可能性があります。)

- (1) PMU クロックは 32kHz 以下になるように F 分周器と G 分周器を使用してください。
- (2) 周辺クロック (PCLK1) 周波数の 4 倍以上になるように G 分周器を使用してください。

それぞれの使用制限について以下のとおり説明します。

- (1) PMU クロックは 32kHz 以下になるように F 分周器と G 分周器を使用してください。

PMU クロックはパワースイッチの制御に使用され、電源入力時の昇圧時間の安定化などの理由から、32kHz 以下の周波数が推奨されます。

PMU クロックはソース・クロックとしてメインクロックが選択されます。PMU クロックの周波数が 32kHz 以下になるように、CCPMUCR0.FDIV レジスタと CCPMUCR1.GDIV レジスタを設定してください。

FDIV[1:0]	GDIV[4:0]	分周比	対象メイン発振周波数
00	00000	128 分周 (初期値)	4MHz 時
01	00000	256 分周	8MHz 時
10	00000	384 分周	12MHz 時
11	00000	512 分周	16MHz 時
00	00100	640 分周	20MHz 時

- (2) 周辺クロック (PCLK1) 周波数の 4 倍以上になるように G 分周器を使用してください。

周辺クロック (PCLK1) と PMU クロック (PMUCLK) のクロック乗換には、PMU クロック × 4 サイクルが必要です。

周辺クロック (PCLK1) のクロック・ソースがメインクロックの 2 分周の場合 (CMONR.CKM=00 または CMONR.CKM=01)において、DIVR0.DIVBやDIVR2.DIVPの設定で周辺クロック (PCLK1) が 128kHz(32kHz × 4) 以下になる場合には、CCPMUCR1.GDIV レジスタを設定してください。

GIV[4:0]	分周比
00000	分周しない (初期値)
00001	2 分周
...	...
11110	31 分周
11111	32 分周

[参考]

周辺クロック (PCLK1) の周波数は以下の式で算出できます。

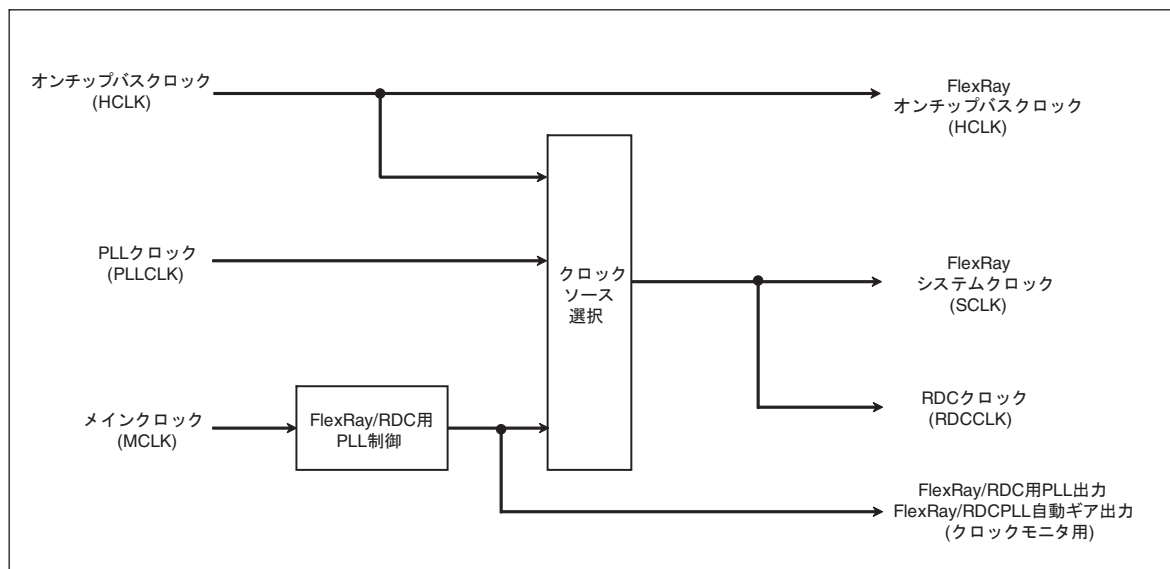
クロック (PCLK1) 周波数 = CMONR.CKM で選択中のクロック周波数 ÷ DIVR0.DIVB[2:0] 分周比 ÷ DIV2.DIVP[3:0]

第7章 FlexRay/RDC 専用クロック

7.1 概要

本品種は CPU コアのソースクロック用の PLL とは別に FlexRay/RDC 用の PLL を搭載しています。本モジュールは、FlexRay/RDC 用の PLL 発振制御とクロック制御を行います。RDC については、MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC の機能となります。

図 7.1-1 ブロック図

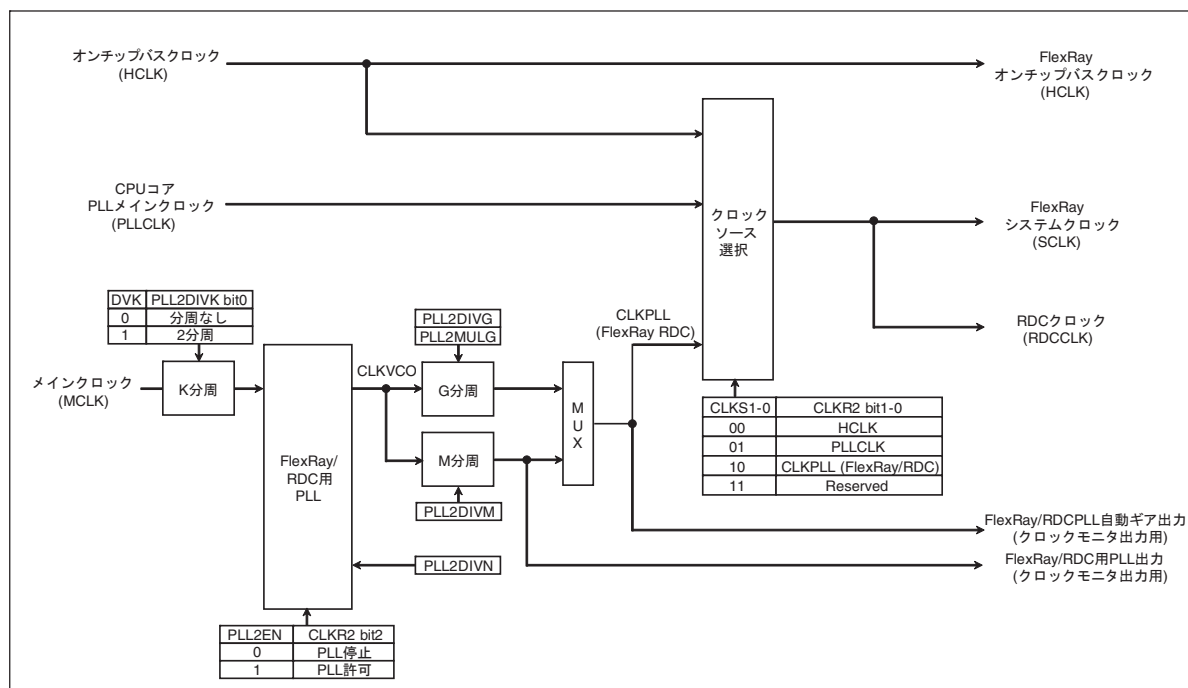


管理コード:BERAYPLL-0v6-91580L-1-J

7.2 特長

- 自由にプログラムできる PLL 通倍率
- 電圧降下および電圧サージを防ぐためのクロック自動ギアのアップダウン機能
- FlexRay システムクロック (SCLK) と RDC クロック (RDCCLK) のソース選択機能
- FlexRay/RDC 用 PLL マクロのデッドロック状態検出による割込み発生機能

7.3 構成



(注意事項) クロックソースとして "FlexRay/RDC PLLCLK" (CLKR2:CLKS[1:0]=10) を選択すると , PLL2DIVM, PLL2DIVN, PLL2DIVG, PLL2MULG レジスタの値は変更できません。

7.4 レジスタ

表 7.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0004E8	PLL2DIVM	PLL2DIVN	PLL2DIVG	PLL2MULG	FlexRay/RDC PLL 通倍率 (M 分周) 選択レジスタ FlexRay/RDC PLL 通倍率 (N 分周) 選択レジスタ FlexRay/RDC PLL 自動ギア通倍率 (G 分周) 選択レジスタ FlexRay/RDC PLL G 分周のステップ 通倍率選択レジスタ
0x0004EC	PLL2CTRL	PLL2DIVK	CLKR2	予約	自動ギアコントロールレジスタ FlexRay/RDC PLL 通倍率 (K 分周) 選択レジスタ FlexRay/RDC PLL クロック出力 コントロールレジスタ

7.4.1 PLL2DIVM:FlexRay/RDC PLL 分周 (M 分周) 選択レジスタ

アドレス 0000_04E8_H (アクセス: バイト, ハーフワード, ワード)

FlexRay/RDC PLL クロックの分周を選択します。

7	6	5	4	3	2	1	0	bit
-				DVM3	DVM2	DVM1	DVM0	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit4] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit3 ~ bit0] DVM3 ~ DVM0 :CLKVCO の M 分周選択

DVM3 ~ DVM0	CLKVCO の M 分周 (生成 ϕ :CLKPLL)
0000	CLKVCO:1 (分周なし)
0001	CLKVCO:2 (2 分周)
0010	CLKVCO:3 (3 分周)
0011	CLKVCO:4 (4 分周)
0100	CLKVCO:5 (5 分周)
0101	CLKVCO:6 (6 分周)
0110	CLKVCO:7 (7 分周)
0111	CLKVCO:8 (8 分周)
...	...
1111	CLKVCO:16 (16 分周)

- (注意事項)
- M 分周カウンタに対して分周なし (:1) を選択できますが、これは推奨値ではありません。生成される出力クロックは、奇数のクロックデューティ比になります (PLL 直接出力)。"1" 以上の分周比および偶数の分周比 (:2, :4, :6 など) を常に変更してください。
 - M 分周カウンタに対して奇数の分周比 (:3, :5, :7 など) を選択できますが、これは推奨値ではありません。生成される出力クロックは、奇数のクロックデューティ比になります。偶数の分周比 (:2, :4, :6 など) を常に変更してください。
 - クロックソースとして CLKPLL (FlexRay/RDC) を選択すると、レジスタ値は変更できません (CLKR2:CLKS[1:0]=10)。
 - PLL2DIVM および PLL2DIVN レジスタを変更する場合は、PLL (CLKR2: PLL2EN=0) を停止し、後で PLL (CLKR2: PLL2EN=1) を許可することをお勧めします。

7.4.2 PLL2DIVN:FlexRay/RDC PLL 通倍率 (N 分周) 選択レジスタ

アドレス 0000_04E9_H (アクセス: バイト, ハーフワード, ワード)

PLL 入力クロックから FlexRayPLL クロックへの通倍率を選択します。

7	6	5	4	3	2	1	0	bit
-	DVN6	DVN5	DVN4	DVN3	DVN2	DVN1	DVN0	
0	0	0	0	0	0	0	0	初期値
R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit6 ~ bit0] DVN6 ~ DVN0 : メインクロックの N 分周選択

DVN6 ~ DVN0	メインクロックの N 分周
0000000	メインクロック (分周なし)
0000001	メインクロック (2 分周)
0000010	メインクロック (3 分周)
0000011	メインクロック (4 分周)
0000100	メインクロック (5 分周)
0000101	メインクロック (6 分周)
0000110	メインクロック (7 分周)
0000111	メインクロック (8 分周)
...	...
1111111	メインクロック (128 分周)

- (注意事項) ・クロックソースとして CLKPLL (FlexRay/RDC) を選択すると、レジスタ値は変更できません (CLKR2:CLKS[1:0]=10)。
- PLL2DIVM および PLL2DIVN レジスタを変更する場合は、FlexRay/RDC 用 PLL (CLKR2: PLL2EN=0) を停止し、後で FlexRay/RDC 用 PLL (CLKR2: PLL2EN=1) を許可することをお勧めします。

7.4.3 PLL2DIVG:FlexRay/RDC PLL 自動ギア通倍率 (G 分周) 選択レジスタ

アドレス 0000_04EA_H (アクセス: バイト, ハーフワード, ワード)

FlexRayPLL クロックのギア通倍率を選択します。

7	6	5	4	3	2	1	0	bit
-				DVG3	DVG2	DVG1	DVG0	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit4] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit3 ~ bit0] DVG3 ~ DVG0 :PLL 自動ギアの開始 / 終了 G 分周選択

DVG3 ~ DVG0	PLL 出力 G 分周の開始 / 終了周波数
0000	自動ギア禁止 (初期値)
0001	CLKVCO:2 (2 分周)
0010	CLKVCO:3 (3 分周)
0011	CLKVCO:4 (4 分周)
0100	CLKVCO:5 (5 分周)
0101	CLKVCO:6 (6 分周)
0110	CLKVCO:7 (7 分周)
0111	CLKVCO:8 (8 分周)
...	...
1111	CLKVCO:16 (16 分周)

- (注意事項) ・ この機能の使用方法的詳細については、「7.6 クロック自動ギアのアップダウン」を参照してください。
- ・ G 分周カウンタに対して奇数の分周比 (:3, :5, :7 など) を選択できますが、これは推奨値ではありません。
偶数の分周比 (:2, :4, :6 など) を常に選択してください。
 - ・ クロックソースとして CLKPLL(FlexRay/RDC) を選択すると、レジスタ値は変更できません (CLKR2:CLKS[1:0]=10)。

7.4.4 PLL2MULG:FlexRay/RDC PLL G 分周のステップ通倍率選択レジスタ

アドレス 0000_04EB_H (アクセス: バイト, ハーフワード, ワード)

自動ギアのステップ通倍率を選択します。

7	6	5	4	3	2	1	0	bit
MLG7	MLG6	MLG5	MLG4	MLG3	MLG2	MLG1	MLG0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit0] MLG7 ~ MLG0 :PLL 自動ギア G 分周のステップ通倍率選択

MLG7 ~ MLG0	G 分周のステップ通倍率
00000000	G 分周ステップ× 1 (1 で乗算)
00000001	G 分周ステップ× 2 (2 で乗算)
00000010	G 分周ステップ× 3 (3 で乗算)
00000011	G 分周ステップ× 4 (4 で乗算)
00000100	G 分周ステップ× 5 (5 で乗算)
00000101	G 分周ステップ× 6 (6 で乗算)
00000110	G 分周ステップ× 7 (7 で乗算)
00000111	G 分周ステップ× 8 (8 で乗算)
...	...
11111111	G 分周ステップ× 256 (256 で乗算)

- (注意事項)
- この機能の使用方法的詳細については, 「7.6 クロック自動ギアのアップダウン」を参照してください。
 - クロックソースとして CLKPLL(FlexRay/RDC) を選択すると, レジスタ値は変更できません (CLKR2:CLKS[1:0]=10)。

7.4.5 PLL2CTRL : 自動ギアコントロールレジスタ

アドレス 0000_04EC_H (アクセス: バイト, ハーフワード, ワード)

自動ギアの動作制御を設定します。

7	6	5	4	3	2	1	0	bit
-	-	-	-	IEDN	GRDN	IEUP	GRUP	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R/W	R(RM1),W	R/W	R(RM1),W	属性

[bit7 ~ bit4] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit3] IEDN : 割込み許可ギアダウン

IEDN	機能
0	ギアダウン割込み禁止 (初期値)
1	ギアダウン割込み許可

- ギアをダウンに切り換えた後に割込みを受信したい場合、割込み許可設定を行ってください。

[bit2] GRDN : 割込みフラグギアダウン

GRDN	機能
0	ギアダウン割込み非アクティブ (初期値)
1	ギアダウン割込みアクティブ

- G 分周カウンタがプログラムされた終了値に達すると、クロックソース:CLKPLL (FlexRay/RDC) からクロックソース:HCLK に切り換わるときにこのフラグが設定されます。
- リードモディファイライト系命令では、このビットからは "1" が読み出されます。
"1" を書き込んでも影響はありません。

[bit1] IEUP : 割込み許可ギアアップ

IEUP	機能
0	ギアアップ割込み禁止 (初期値)
1	ギアアップ割込み許可

- ギアをアップに切り換えた後に割込みを受信したい場合、割込み許可設定を行ってください。

[bit0] GRUP : 割込みフラグギアアップ

GRUP	機能
0	ギアアップ割込み非アクティブ (初期値)
1	ギアアップ割込みアクティブ

- G 分周カウンタが M 分周カウンタで定義されている終了値に達すると、クロックソース:HCLK からクロックソース:CLKPLL(FlexRay/RDC) に切り換わるときにこのフラグが設定されます。
- リードモディファイライト系命令では、このビットからは "1" が読み出されます。
"1" を書き込んでも影響はありません。

7.4.6 PLL2DIVK : FlexRay/RDC PLL 逡倍率 (K 分周) 選択レジスタ

アドレス 0000_04ED_H (アクセス: バイト, ハーフワード, ワード)

FlexRay/RDC PLL クロックの分周選択を行います。

7	6	5	4	3	2	1	0	bit
			-				DVK	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] DVK:MCLK の K 分周選択

FlexRay/RDC PLL 入力クロックのメインクロック (MCLK) 分周を以下に示すように選択します。

DVK	MCLK (PLL 入力クロック) の K 分周
0	MCLK/ 1 (分周なし)
1	MCLK/ 2 (2 分周)

- (注意事項) ・ クロックソースとして CLKPLL (FlexRay/RDC) を選択すると、レジスタ値は変更できません (CLKR2:CLKS[1:0]=10)
- FlexRay/RDC PLL 入力クロックのメインクロック (MCLK) を 20MHz に設定する場合、本ビットを "1" に設定してください。設定例に関しては「7.5 推奨設定」を参照してください。

7.4.7 CLKR2:FlexRay/RDC PLL クロック出力コントロールレジスタ

アドレス 0000_04EE_H (アクセス: バイト, ハーフワード, ワード)

FlexRay の動作制御を設定します。

7	6	5	4	3	2	1	0	bit
FPOVF	FPOVIR	FPOVIE	予約		PLL2EN	CLKS1	CLKS0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,W	R/W	R/W0	R0,W0	R/W	R/W	R/W	属性

[bit7] FPOVF :FlexRay/RDC 用 PLL アラームフラグ

FlexRay/RDC 用 PLL マクロがデッドロック状態を検出したことを示すフラグです。

FPOVF	FlexRay/RDC 用 PLL デッドロック状態検出
0	通常ロック状態
1	デッドロック状態

[bit6] FPOVIR :FlexRay/RDC 用 PLL アラーム割込み要求フラグ

FlexRay/RDC 用 PLL マクロのアラーム割込み要求を示すフラグです。

本ビットが "1" かつ FlexRay/RDC 用 PLL アラーム割込み要求 (FPOVIE) が "1" のとき, FlexRay/RDC 用 PLL アラーム割込みを発生します。

FPOVIR	読出し時	書込み時
0	通常ロック状態	フラグをクリアする
1	デッドロック状態	無効

[bit5] FPOVIE :FlexRay/RDC 用 PLL アラーム割込み要求許可

FlexRay/RDC 用 PLL アラーム割込み要求フラグビットが "1" になったとき, FlexRay/RDC 用 PLL アラーム割込み要求を発生させるかを設定します。

FPOVIE	FlexRay/RDC 用 PLL アラーム割込み要求許可
0	割込み要求禁止
1	割込み要求許可

[bit4 ,bit3] 予約

必ず "0" を書き込んでください。

[bit2] PLL2EN :FlexRay/RDC 用 PLL 選択許可

FlexRay 用 PLL の動作を以下のように設定します。

PLL2EN	機能
0	FlexRay/RDC PLL 停止 (初期値)
1	FlexRay/RDC PLL 動作許可

- CLKPLL (FlexRay/RDC) がクロックソースとして選択されている (CLKS[1:0]=10) ときに FlexRay/RDC PLL 動作許可ビット (PLL2EN) を変更することは禁止されています。

[bit1, bit0]CLKS1,CLKS0 :SCLK 出力選択

FlexRayPLL-I/F から出力される SCLK, RDCCLK の選択を以下のように設定します。

CLKS1, CLKS0	機能 (SCLK 出力選択)
00	HCLK (初期値)
01	PLLCLK
10	CLKPLL (FlexRay/RDC)
11	Reserved

•FlexRay/RDC を使用する場合は , CLKS[1:0]=10 に設定してください。

7.5 推奨設定

■ FlexRay/RDC 用 PLL-I/F としての推奨設定

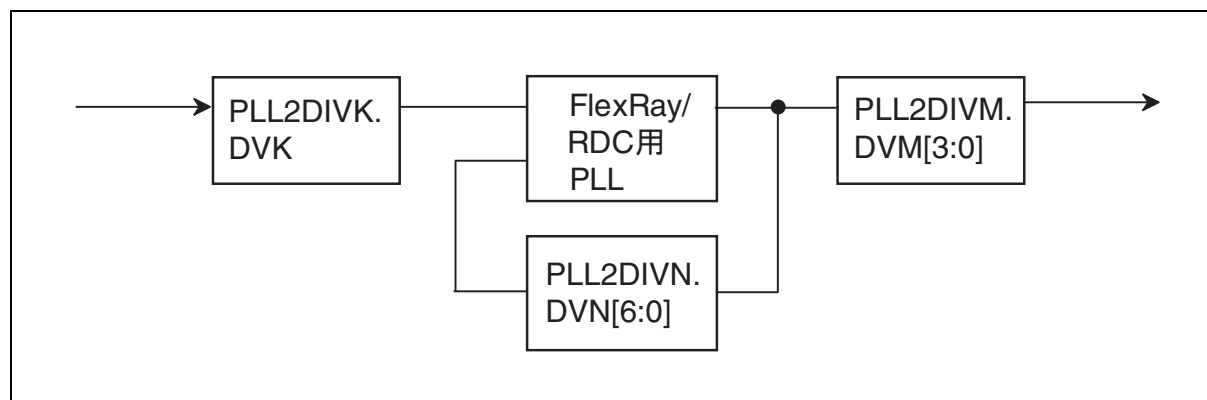
メインクロック (MCLK) [MHz]	周波数パラメータ			クロックギア パラメータ		FlexRay/RDC 用 PLL 出力 (CLKVCO) [MHz]	FlexRay/RDC クロック (SCLK/ RDCCLK) [MHz]
	DIVK	DIVM	DIVN	DIVG	MULG		
4	0	0011	100_1111	0000	0000_0000	320	80
20	1	0011	001_1111	0000	0000_0000	320	80

- FlexRay/RDC を使用するときは、上記の表の値を設定することを推奨します。

(注意事項) FlexRay/RDC 専用クロックは、80MHz に設定してください。

■ 周波数計算

- FlexRay/RDC 用 PLL 入力周波数 = (メインクロック周波数) / (PLL2DIVK.DVK 分周比)
- FlexRay/RDC 用 PLL 通倍率 = (PLL2DIVN.DVN[6:0] 通倍率)
- FlexRay/RDC 用 PLL 出力周波数 = (FlexRay/RDC 用 PLL 入力クロック周波数) × FlexRay/RDC 用 PLL 通倍率
- FlexRay/RDC クロック周波数 = (FlexRay/RDC 用 PLL マクロ発振クロック周波数) / (PLL2DIVM.DVM [3:0] 分周比)



- (注意事項) FlexRay/RDC 用 PLL マクロ発振クロック周波数は上限および下限があります。
下記の範囲を超えないように PLL の通倍率を設定してください。
 $200\text{MHz} \leq \text{PLL マクロ発振クロック周波数} \leq 400\text{MHz}$

7.6 クロック自動ギアのアップダウン

クロックソースを発振から高周波数 PLL 出力 (またはその逆) に切り換えるときに電圧の降下やサージを回避するために、FlexRay/RDC 用 PLL インタフェースにはクロックをスムーズにギアアップおよびギアダウンする回路が実装されています。

主な機能は、2 つの分周カウンタ (M 分周カウンタと G 分周カウンタ) を使用して実装されています。M 分周カウンタでは、PLL フィードバックにターゲットの周波数が指定されます。

もう一方の G 分周カウンタでは、G 分周設定 (DIVG) で指定されているプログラマブルな分周から、M 分周設定 (DIVM) で指定されているターゲットの周波数に上昇し、M 分周設定 (DIVM) からプログラマブルな終了周波数 (DIVG) まで周波数が低下します。

システムクロックを低周波数から高周波数に変えたり (ギアアップ)、高周波数から低周波数に変えたりする (ギアダウン) 場合は、DIVG > DIVM 設定のみが、有効なクロックギア仕様になります。

周波数ステップは、以下のように PLL 出力周波数の通倍で実行されます。

発振器 = 4 MHz, M = 4, N = 80 (つまり、PLL 出力 = 320 MHz, C ユニットへの周波数出力 = 80 MHz とすると、N = 80 という周波数通倍になります)。

ギアデバイダは、任意の偶数デバイダに設定できます。

■ 設定例

DIVG=4, MULG=20 の場合、発振から PLL に切り換わる時に以下のギアアップが行われます。

1. ステップ : 1 サイクルの 16.0 MHz (16.0 MHz は、20 サイクルの PLL 出力になります)
 2. ステップ : 2 サイクルの 16.8 MHz (16.8 MHz は、19 サイクルの PLL 出力になります)
 3. ステップ : 3 サイクルの 17.8 MHz (17.8 MHz は、18 サイクルの PLL 出力になります)
 - :
 16. ステップ : 16 サイクルの 64.0 MHz (64.0 MHz は、5 サイクルの PLL 出力になります)
 17. ステップ : 17 サイクルの 80.0 MHz (80.0 MHz は、4 サイクルの PLL 出力になります)
 18. ステップ : 18 サイクルの 106.7 MHz (106.7 MHz は、3 サイクルの PLL 出力になります)
 19. ステップ : 19 サイクルの 160.0 MHz (160.0 MHz は、2 サイクルの PLL 出力になります)
- 最終ステップへの遷移で到達したターゲットの周波数 (ここでは 16. から 17.)

ギア通倍率レジスタ内で通倍値を設定すると、各ステップが通倍されます。
開始周波数を生成してからターゲットの周波数に達するまでの時間は、以下の式で計算できます。

$$\text{duration} = \text{mul} \cdot t \cdot \left[\sum_{k=1}^i k \cdot (i - k + 1) - \sum_{k=j+1}^i k \cdot (i - k + 1) \right]$$

この式は、以下の式と同じです（最初の和の項の有限の算術級数は、以下に帰着します）。

$$\text{duration} = \text{mul} \cdot t \cdot \left[\frac{i \cdot (i+1) \cdot (i+2)}{6} - \sum_{k=j+1}^i k \cdot (i - k + 1) \right]$$

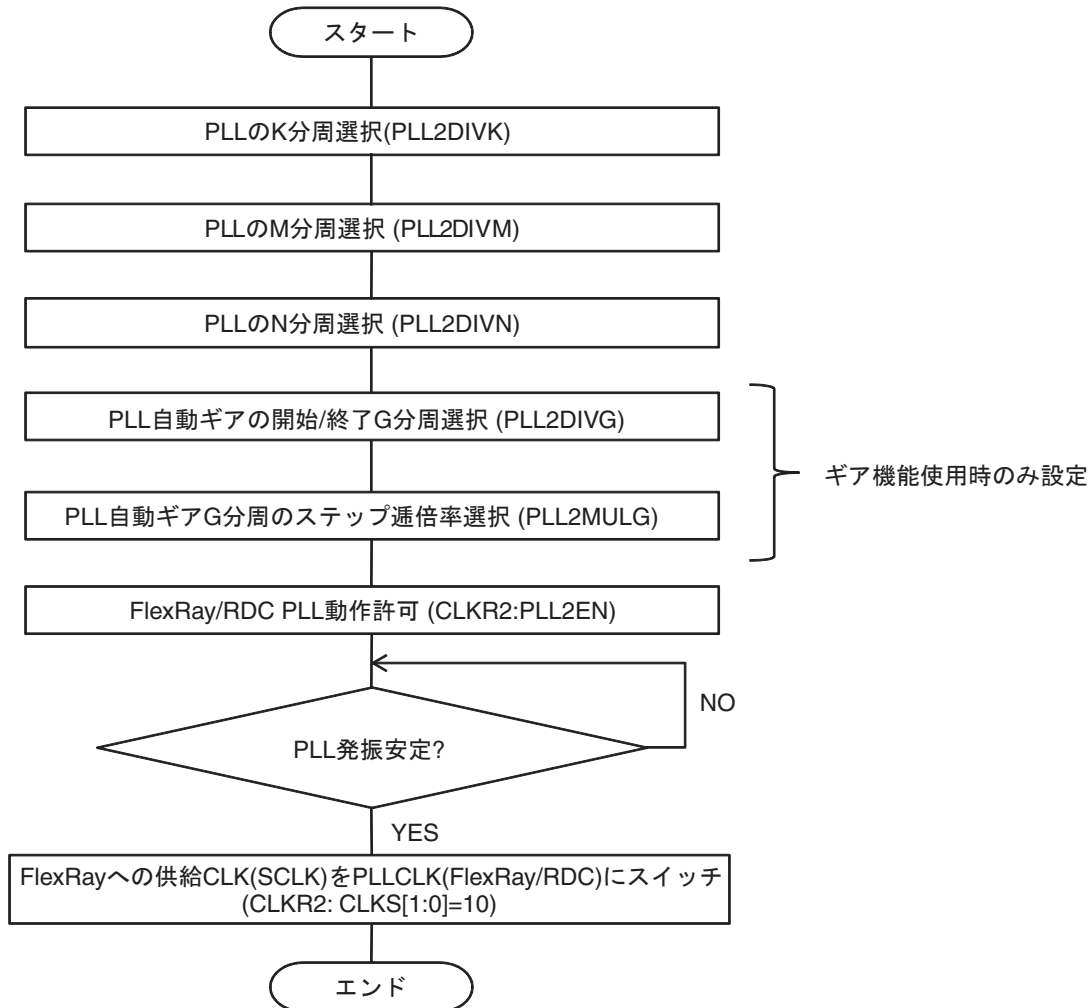
$i = G, j = G - M, \text{Mul} = \text{MULG}, t = 1/f(\text{PLLOUT})$

上記の設定では、開始周波数からターゲット周波数までの時間が 9262500ps（約 9.3 μs）である
1483PLL 出力クロックサイクルと同じになります。

7.7 操作

FlexRay/RDC PLL クロックの設定について説明します。

■ クロック設定の手順 (例)



- FlexRay/RDC PLL の安定待ちにはメインタイマを使用し, 切換え時間を待つ。

7.8 注意事項

■ クロック自動ギア

クロック自動ギア機能を使用する場合は、ギアアップおよびギアダウンのフラグ (PLL2CTRL: GRUP, PLL2CTRL: GRDN) を使用して、この機能の現在の状態を確認することをお勧めします。これにより、完了前の設定変更によって発生するクロックシステム内での誤動作を防ぐことができます。

手順例：

- (1) 選択した周波数とギア時間に従って FlexRay/RDCPLL インタフェースレジスタ (PLL2DIVN, PLL2DIVM, PLL2DIVG, PLL2MULG) を設定します。
- (2) FlexRay/RDC 用 PLL を ON にします (CLKR2:PLL2EN=1)。
- (3) ギアをアップまたはダウンに切り換えた後に割込みを受信した場合は、対応する割込み許可も許可します (PLL2CTRL:IEUP, PLL2CTRL:IEDN)。
- (4) PLL 安定待ち時間まで待機します。安定待ち時間は 200 μ s となります。
- (5) クロックソースを PLLCLK2 に切り換えます (CLKR2:CLKS[1:0] "00" \rightarrow "10")。
- (6) クロックソースを HCLK に戻す前に PLL2CTRL:GRUP ギアアップフラグ (ポーリングまたは割込み) まで待機するか、または CLKR2 レジスタ内のビットを変更する前に PLL2CTRL:GRUP=1 の設定を確認します。
- (7) クロックソースを HCLK に切り換えます (CLKR2:CLKS[1:0] "10" \rightarrow "00")。
- (8) クロックソースを PLLCLK2 に戻す前に PLL2CTRL:GRDN ギアダウンフラグ (ポーリングまたは割込み) まで待機するか、または CLKR2 レジスタ内のビットを変更する前に PLL2CTRL:GRDN=1 の設定を確認します。
- (9) FlexRay/RDC 用 PLL を OFF にします (CLKR2:PLL2EN=0)。

■ FlexRay/RDC 用 PLL 制御

初期化後、FlexRay/RDC 用 PLL 発振は停止します。停止中に FlexRay/RDC 用 PLL の出力をクロックソースとして選択することはできません。

プログラム開始後、まずクロックソースとして使用する FlexRay/RDC 用 PLL の乗数を設定し、FlexRay/RDC 用 PLL がロックされるまで待機してから、クロックソースを変更します。FlexRay/RDC 用 PLL がロックされるまで待機する場合は、メインタイマ割込みを使用することをお勧めします。FlexRay/RDC 用 PLL の出力がクロックソースとして選択されている場合は、FlexRay/RDC 用 PLL を停止できません。

レジスタへの書込みによる影響はありません。停止モードに変更する場合など、FlexRay/RDC 用 PLL を停止しようとする場合は、まずクロックソースとしてオンチップバスクロック (HCLK) を選択してから、FlexRay/RDC 用 PLL を停止します。

■ FlexRay/RDC 用 PLL 乗数

FlexRay/RDC 用 PLL 乗数設定を初期値以外の値に変更する場合、プログラム実行開始後、FlexRay/RDC 用 PLL を許可する前またはそれと同時に、これを設定します。

乗数設定を変更した後、FlexRay/RDC 用 PLL ロック時間を待機してからクロックソースを切り換えます。

FlexRay/RDC 用 PLL がロックされるまで待機する場合は、メインタイマ割込みを使用することをお勧めします。

通常動作中の FlexRay/RDC 用 PLL 乗数設定を変更するには、まずクロックソースを FlexRay/RDC 用 PLL 以外に変更します。上記の場合と同様に、乗数設定を変更した後、FlexRay/RDC 用 PLL ロック時間を待機してからクロックソースを変更します。

第 8 章 リセット

8.1 概要

リセット要因が発生すると、デバイスはすべてのプログラムおよび大部分のハードウェア動作を停止し、状態を初期化します。この状態をリセットとよびます。

8.2 特長

本品種は、以下のリセット要因を持ち、各要因の受付によりデバイス内部の初期化のためのリセットを発行します。

- パワーオンリセット
- RSTX 端子入力
- ウォッチドッグリセット 0(ソフトウェアウォッチドッグ)
- ウォッチドッグリセット 1(ハードウェアウォッチドッグ)
- ソフトウェアリセット
- 不正スタンバイモード移行検出リセット
- フラッシュセキュリティ違反
- 内部電源低電圧検出
- 外部電源低電圧検出
- クロックスーパバイザリセット
- スタンバイ（電源遮断）からの復帰リセット

イレギュラーリセットになる場合を除き (8.4.1 参考), リセット発行はすべてのバスアクセスの完了を確認後に行うため、リセットによるアクセス中のメモリ内容 (RAM, Flash) は破壊されません。

バスの応答が一定時間内に返されないときの強制リセット発行のために、リセット発行遅延カウンタを持ち、設定された時間内に応答がないときはバスの応答の有無にかかわらずリセットを発行します。
(リセットタイムアウト)

クロックスーパバイザリセットについては、「第 11 章 クロックスーパバイザ」章を参照してください。

8.3 構成

図 8.3-1 リセット構成図

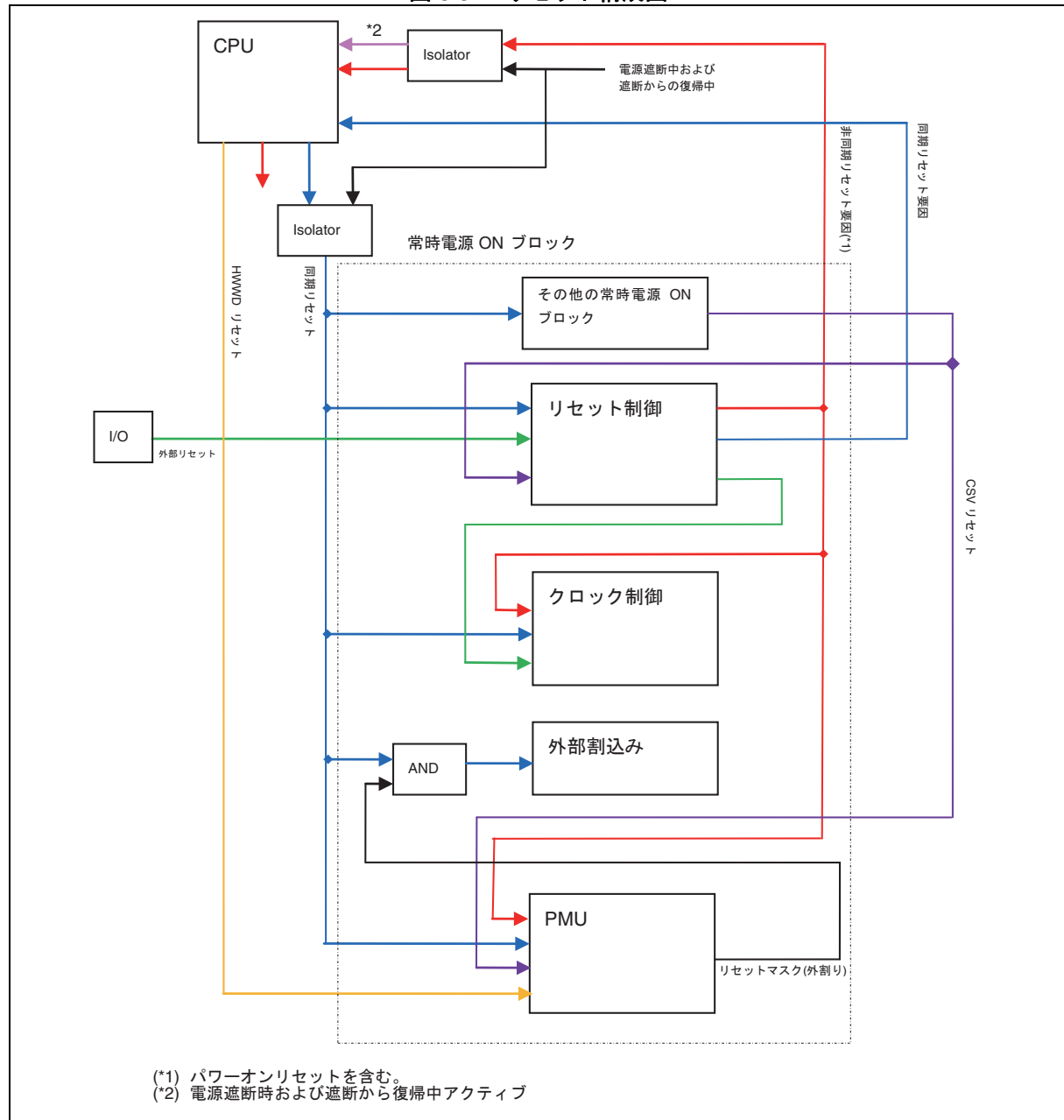


図 8.3-2 リセット構成図 (レジスタ構成)

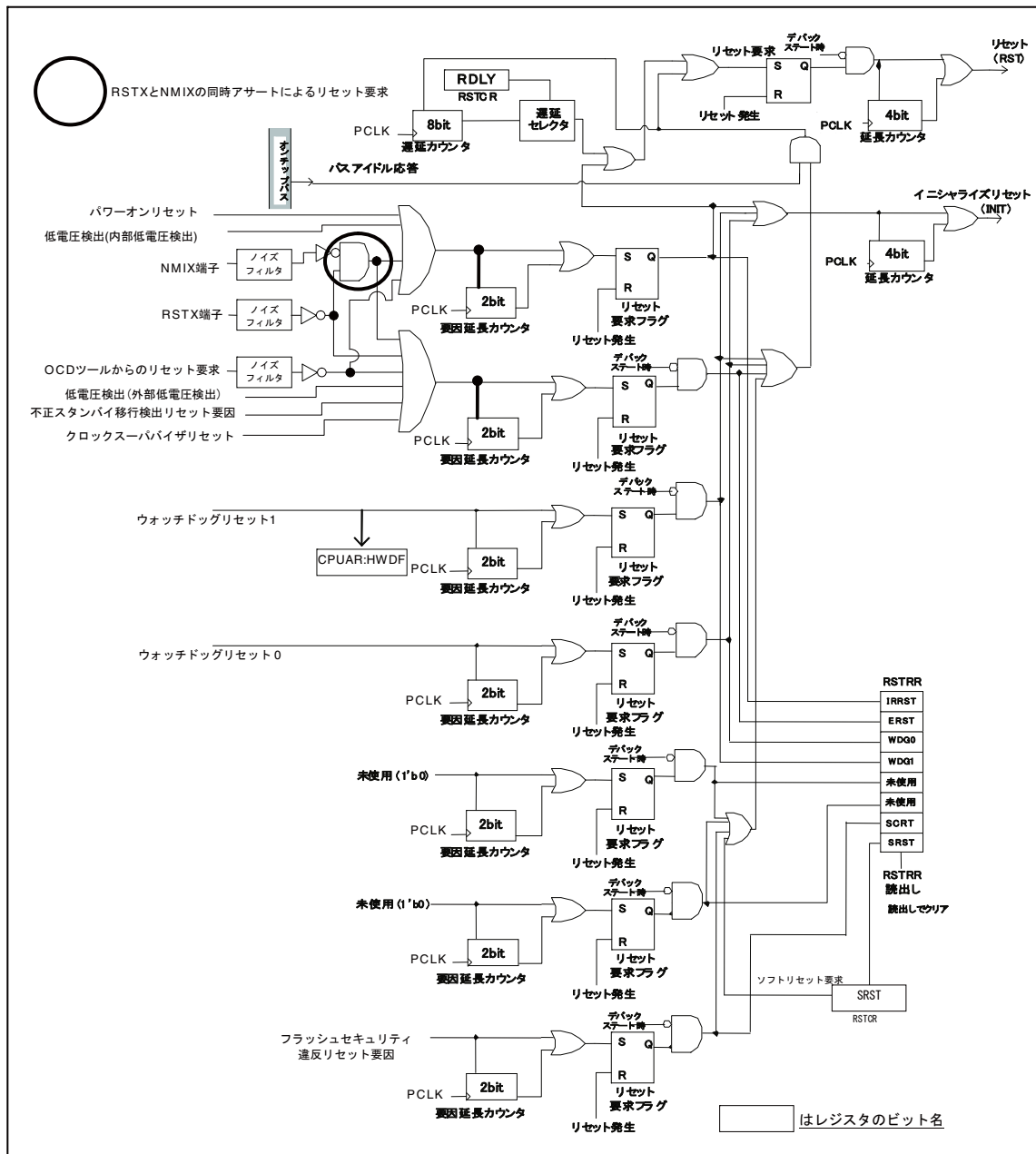
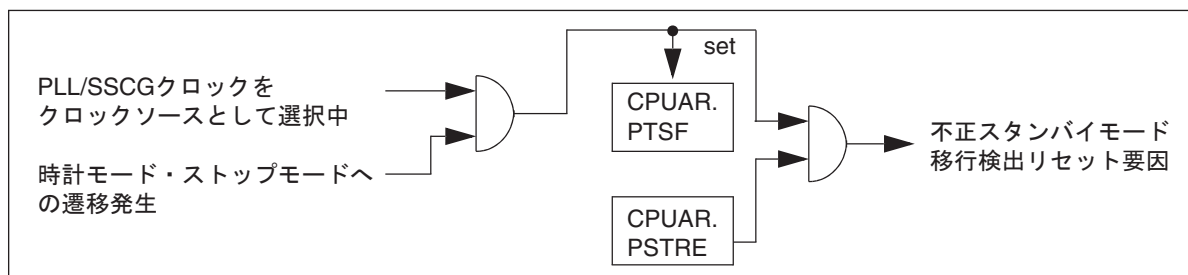


図 8.3-3 不正スタンバイモード移行検出リセット要因の生成図



8.4 レジスタ

表 8.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0480	RSTRR	RSTCR	予約	予約	リセット要因レジスタ リセット制御レジスタ
0x518	予約	予約	CPUAR	予約	CPU 異常動作レジスタ
0x590	PMUSTR	予約	予約	予約	PMU ステータスレジスタ

(注意事項) 0x0482 , 0x0591, 0x0592 番地については, 「第 9 章 消費電力制御」を参照してください。

8.4.1 リセット要因レジスタ : RSTRR (ReSeT Result Register)

直前までに発生した各種リセット要因を表示します。

(注意事項) このレジスタを読み出すと, すべてのビットがクリアされます。

デバッグステート中の読出しではクリアされません。

デバッグステート中は各リセット要因がマスクされるため, 本レジスタもリセット要因を検出しません。

- RSTRR: アドレス 0480_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
IRRST	ERST	WDG1	WDG0	-	SCRT	SRST		
*	*	*	*	×	×	*	*	初期値
R,WX	R,WX	R,WX	R,WX	RX,WX	RX,WX	R,WX	R,WX	属性

*: リセット要因による

[bit7] IRRST (IRregular ReSeT) : イレギュラーリセット

パワーオンリセット, 内部電源低電圧検出, またはリセットタイムアウト, または RSTX 外部端子と NMIX 外部端子の同時アサートのいずれかが発生し, リセット発行時のバスアクセス状態を保証できないことを示します。リセット後本ビットが "0" のとき, 直前のリセット時にはバスアクセスが行われず, メモリ内容がリセットにより破壊されていないことを保証します。リセット後の本ビットが "1" のとき, 直前のリセット時にはバスアクセスが行われていた可能性があり, メモリ内容がリセットにより破壊されていないことが保証されません。

IRRST	イレギュラーリセット検出
0	イレギュラーリセット未検出
1	イレギュラーリセット検出

本ビットは読出しでクリアされます。

[bit6] ERST (External ReSeT) : リセット端子入力・不正スタンバイモード移行検出・外部電源低電圧検出・クロックスーパーバイザリセット・RSTX 外部端子と NMI 外部端子の同時アサート

RSTX 端子入力からのリセット入力, 不正スタンバイモード移行検出リセット, 外部電源低電圧検出, クロックスーパーバイザリセット, または RSTX 外部端子と NMIX 外部端子の同時アサートの発生を示します。

本リセット要因でリセットタイムアウトが発生していたとき, 本ビットと共に IRRST=1 となります。

ERST	RSTX 端子リセット検出, 不正スタンバイモード移行検出, 外部電源低電圧検出, クロックスーパーバイザリセット検出, または RSTX 外部端子と NMIX 外部端子の同時アサート検出
0	未検出
1	検出

本ビットは読出しでクリアされます。

[bit5] WDG1 (WatchDoG reset 1) : ウォッチドッグリセット 1

ウォッチドッグタイマ 1 からのリセットを示します。

本リセット要因でリセットタイムアウトが発生していたとき, 本ビットと共に IRRST=1 となります。

WDG1	ウォッチドッグタイマ 1 リセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

CPUAR レジスタにも, ウォッチドッグリセット 1 によるリセット要因発生を示すフラグがあります。そちらでは読出しでもクリアされません。

[bit4] WDG0 (WatchDoG reset 0) : ウォッチドッグリセット 0

ウォッチドッグタイマ 0 からのリセットを示します。

本リセット要因でリセットタイムアウトが発生していたとき, 本ビットと共に IRRST= 1 となります。

WDG0	ウォッチドッグタイマ 0 リセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

[bit3, bit2] 未定義

読出しは不定です。書込みは動作に影響ありません。

[bit1] SCRT (Flash SeCuRiTy violation) : フラッシュセキュリティ違反リセット

フラッシュメモリのセキュリティ違反リセットが発生したことを示します。

本リセット要因でリセットタイムアウトが発生していたとき, 本ビットと共に IRRST= 1 となります。

SCRT	フラッシュセキュリティ違反リセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

[bit0] SRST (Software ReSeT) : ソフトウェアリセット

RSTCR:SRST ビットへの "1" 書込みによるリセットを示します。

本リセット要因でリセットタイムアウトが発生していたとき, 本ビットと共に IRRST= 1 となります。

SRST	ソフトウェアリセット
0	未検出
1	検出

本ビットは読出しでクリアされます。

8.4.2 リセット制御レジスタ : RSTCR (ReSeT Control Register)

各種リセット発行制御を行うレジスタです。

- RSTCR: アドレス 0481_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
RDLY[2:0]			予約				SRST	
1	1	1	0	0	0	0	0	初期値
R,W	R,W	R,W	R/W0	R/W0	R/W0	R/W0	R,W	属性

[bit7 ~ bit5] RDLY2 ~ RDLY0 (Reset DeLaY) : リセット発行遅延

リセットタイムアウト値を設定します。リセット要因が検出されてから,すべてのバスがアイドルになるか,本ビットによるリセットタイムアウトまでカウントされるとリセットが発行されます(後者の場合,イレギュラーリセットになります)。本ビットはリセット後1回のみ書込みが可能です。

RDLY2 ~ RDLY0]	リセットタイムアウト値
000	PCLK × 2 サイクル
001	PCLK × 4 サイクル
010	PCLK × 8 サイクル
011	PCLK × 16 サイクル
100	PCLK × 32 サイクル
101	PCLK × 64 サイクル
110	PCLK × 128 サイクル
111	PCLK × 256 サイクル (初期値)

外部バス * 同期モードの際,外部バスインタフェース機能のある端子はリセット要因が発生したにもかかわらず,バスタイムアウト待ちのために端子状態を初期化しない場合があります。詳細は「付録 D. CPU 状態における端子状態 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)」を参照してください。

*:MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD のみ

[bit4 ~ bit1] 予約

必ず "0" を書き込んでください。

[bit0] SRST (Software ReSeT) : ソフトウェアリセット

本ビットに "1" を書き込んだ後, RSTCR を読み出すことによりソフトウェアリセット要求を発生します。

本ビットに "1" を書き込んだ後は,リセットが発生するまで RSTCR への書込みは無視され,レジスタ値を書き換えることはできません。

デバッグステート中の RSTCR 読出しではリセットは発生しません。

SRST	ソフトウェアリセット
0	出力しない (初期値)
1	RSTCR 読出しによりリセット要求を出力する

8.4.3 CPU 異常動作レジスタ : CPUAR (CPU Abnormal operation Register)

CPU 異常動作時に関する設定, 状態を示すレジスタです。

• CPUAR: アドレス 051A_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
PSTRE	-			PDLF	PMDF	PSTF	HWDF	
0	0	0	0	*	*	*	*	初期値
R/W	R0,WX	R0,WX	R0,WX	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	属性

* RSTX 端子のアサートで "0" に初期化されます。(NMIX との同時アサートも含みます。) それ以外のリセット要因では初期化されません。

**[bit7] PSTRE (illegal PLL-run to STandby Reset Enable) : 不正スタンバイモード移行検出
リセット許可**

PLL クロックをクロックソースとして選択時, 時計モードまたはストップモード遷移を検出したときに (不正スタンバイモード移行), リセットを発行するかどうかを設定します。

許可している場合, PLL ラン状態から時計モードまたはストップモードへ遷移すると不正スタンバイモード移行検出要因によるリセットが発生します。

PSTRE	説明
0	リセットを発生しない (初期値)
1	リセット発生許可

(注意事項) ・本ビットをセットする場合は, 本ビットをセットする前に PSTF ビットに "0" 書き込みして PSTF ビットをクリアしてください。PSTF ビットのパワーオンリセット後の値は不定のため, PSTF ビットをクリアする前に本ビットをセットするとリセットが発生する場合があります。

[bit6 ~ bit4] 未定義

常に "0" が読み出されます。書き込みは動作に影響ありません。

[bit3] PDLF (Pll mode pll Dead-Lock detection Flag): PLL モード PLL Dead-Lock 検出フラグ

PLL 出力をクロックソースとして選択時, PLL Dead-Lock 検出をした場合に, 本ビットがセットされます。またその場合, ソースクロックは自動的にメインモード (CKS=CKM=00) に書き換わります。

リードモディファイライト系命令では "1" が読み出されます。

PDLF	読出し	書込み
0	PLL モード中に PLL Dead-Lock 検出なし (初期値)	本ビットをクリア
1	PLL モード中に PLL Dead-Lock 検出あり	効果ありません

セット要因とクリア要因が同時に発生した場合, セット要因が優先されます。

(注意事項) Dead-Lock 検出は, CCPSSSELR:PCSEL で選択されたソースに対してのみ有効です。

[bit2] PMDF (Pll mode Main clock Down detection Flag) : PLL モードメイン発振断検出フラグ

PLL 出力をクロックソースとして選択時, クロックスーパバイザがメイン発振断検出をした場合に, 本ビットがセットされます。またその場合, ソースクロックは自動的にメインモード (CKS=CKM=00) に書き換わり, すぐにリセット (RST レベル) が発生します。

リードモディファイライト系命令では "1" が読み出されます。

PMDF	読出し	書込み
0	PLL モード中にメイン発振断検出なし (初期値)	本ビットをクリア
1	PLL モード中にメイン発振断検出あり	効果ありません

セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。

[bit1] PSTF (illegal PLL-run to STandby Flag) : 不正スタンバイモード移行検出フラグ

PLL クロックをクロックソースとして選択時、時計モードまたはストップモード遷移を検出したときに (不正スタンバイモード移行)、本ビットがセットされます。またその場合、ソースクロックは自動的にメインモード (CKS=CKM=00) に書き換わります。PSTRE ビットが "1" の場合にはリセット (RST レベル) が発生します。

"0" 書込みで本ビットをクリアします。

リードモディファイライト系命令では "1" が読み出されます。

PSTF	読出し	書込み
0	不正スタンバイモード移行は検出されていません	本ビットをクリア
1	不正スタンバイモード移行を検出しました	効果ありません

(注意事項) 本ビットは、RSTX 端子以外のリセット後には、必ずクリアしてからご使用ください。

[bit0] HWDF (Hardware WatchDog Flag) : ハードウェアウォッチドッグ検出フラグ

ウォッチドッグタイマ1 (ハードウェアウォッチドッグ) リセット要因が検出されると、本ビットがセットされます。

"0" 書込みで本ビットをクリアします。

リードモディファイライト系命令では "1" が読み出されます。

HWDF	読出し	書込み
0	ウォッチドッグタイマ1 (ハードウェアウォッチドッグ) リセット要因は発生していません	本ビットをクリア
1	ウォッチドッグタイマ1 (ハードウェアウォッチドッグ) リセット要因が発生しました	効果ありません

セット要因とクリア要因が同時に発生した場合、セット要因が優先されます。

(注意事項) RSTRR.WDG1にも検出フラグはありますが、こちらはリードクリアであるため、一度リードを行うと要因が消えてしまいます。CPUAR.HWDF は保持されているのでクリアするまで要因が保持されています。

8.4.4 PMU ステータスレジスタ : PMUSTR (Power Management Unit Status register)

PMU のステータスを示すレジスタです。

- **PMUSTR: アドレス 0590_H (アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
PMUSTR	予約					PONR_F	RSTX_F	
0	0	0	0	0	0	1	*	初期値
R,W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W	R,W	属性

* RSTX 端子のアサートで "1" に初期化されます。(NMIX との同時アサートも含みます。それ以外のリセット要因では初期化されません。

[bit7] PMUSTR (Power Management Unit Status)

直前の状態が, シャットダウンモードであったかどうかの情報を示します。

PMUSTR	PMU ステータス
0	初期状態
1	ShutDown モードからの動作復帰

ビットは, "0" 書込みでクリアします。"1" 書込みは無効です。

本レジスタは, パワーオンリセット, 内部電源低電圧リセット, RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit6 ~ bit2] 予約

常に "0" が読み出されます。必ず "0" を書き込んでください。

[bit1] PONR_F (Power ON Reset Flag)

パワーオンリセット検出フラグです。

PONR_F	パワーオンリセット
0	検出していない
1	検出した

ビットは, "0" 書込みでクリアします。"1" 書込みは無効です。

本ビットは, パワーオンリセット以外のリセット要因では初期化されません。

[bit0] RSTX_F (ReSeTX input Flag)

外部リセット検出フラグです。

RSTX_F	RSTX 入力リセット
0	検出していない
1	検出した

ビットは, "0" 書込みでクリアします。"1" 書込みは無効です。

本ビットは, パワーオンリセットでは初期化されません。必ずクリアしてから使用してください。

8.5 動作説明

以下, 本製品のリセットの各動作について説明します。

8.5.1 リセットレベル

本製品のリセットには以下の2つのレベルがあります。

(注意事項) 本品種では, デバッグインタフェース部 (OCDU) 用レジスタを除き, 双方のレベルのリセットで初期化されるレジスタは同一です。

■ イニシャライズリセット (INIT)

すべてのレジスタ設定, およびすべてのハードウェアを初期化します。CPU のプログラム実行は停止し, プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。メイン発振回路は動作継続, 停止していた場合は動作再開しますが, PLL は動作を停止します。

以下のリセット要因によるリセット時のみ, このリセットレベルとなります。

- イレギュラーリセット
- ウォッチドッグリセット 0, 1

このリセットレベルでのみ初期化されるのは以下のレジスタです。

- デバッグインタフェース部 (OCDU) のレジスタ

■ リセット (RST)

イニシャライズリセット (INIT) のみで初期化されるレジスタを除くすべてのレジスタ, およびすべてのハードウェアを初期化します。CPU のプログラムは停止し, プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。メイン発振回路は動作継続, 停止していた場合は動作再開しますが, PLL は動作を停止します。

イニシャライズリセット (INIT) が発行されると, 同時にリセット (RST) も発行されます。

すべてのドキュメント内にて, 特に指定がない場合のリセットは, 本リセットレベルを示します。

8.5.2 リセット要因

本品種の各リセット要因について説明します。

■ パワーオンリセット

電源の立上りを検出することにより発生するリセット要因です。

本リセット要因によるリセットは常にイレギュラーリセットとして検出され、イニシャライズリセット (INIT) を発行します。

■ RSTX 端子入力

デバイス外部から入力されるハードウェアリセットです。

本リセット要因によるリセットは、リセットタイムアウト時、または NMIX 端子が同時にアサートされていた場合には、イレギュラーリセットとして検出されます。

イレギュラーリセット検出時以外は、リセット (RST) のみを発行します。

■ ウォッチドッグリセット 0

FR81S コア内蔵のウォッチドッグタイマ 0(ソフトウェアウォッチドッグ) から入力されるハードウェアリセットです。

本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出の有無にかかわらず、イニシャライズリセット (INIT) を発行します。

■ ウォッチドッグリセット 1

FR81S コア内蔵のウォッチドッグタイマ 1(ハードウェアウォッチドッグ) から入力されるハードウェアリセットです。

本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出の有無にかかわらず、イニシャライズリセット (INIT) を発行します。

■ 外部電源低電圧検出リセット

低電圧検出 (外部電源電圧) はデバイス内部の低電圧検出回路から入力されるハードウェアリセットです。本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出時以外は、リセット (RST) のみを発行します。

検出電圧については「第 14 章 低電圧検出 (外部電源低電圧検出)」を参照してください。

■ 内部電源低電圧検出リセット

低電圧検出 (内部電源電圧) はデバイス内部の低電圧検出回路から入力されるハードウェアリセットです。本リセット要因によるリセットは、イレギュラーリセットとして検出されイニシャライズリセット (INIT) を発行します。

検出電圧については「第 13 章 低電圧検出 (内部電源低電圧検出)」を参照してください。

■ 不正スタンバイモード移行検出リセット

PLL クロックをクロックソースとして選択時、時計モードまたはストップモード遷移を検出したときに（不正スタンバイモード移行）発生されるハードウェアリセットです。本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出時以外は、リセット (RST) のみを発行します。

■ フラッシュセキュリティ違反リセット

フラッシュメモリのセキュリティ保護違反が発生した場合に発行されるリセットです。本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。

イレギュラーリセット検出時以外は、リセット (RST) のみを発行します。

■ クロックスーパバイザリセット

メイン発振に障害が発生した場合に発行されるリセットです。本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。

イレギュラーリセット検出時以外は、リセット (RST) のみを発行します。

■ ソフトウェアリセット (RSTCR:SRST)

デバイス内部で発生するソフトウェアリセットです。

RSTCR の bit0:SRST ビットに "1" を書き込んだ後、RSTCR を読み出すことにより発生します。

本リセット要因によるリセットは、リセットタイムアウト時のみイレギュラーリセットとして検出されます。イレギュラーリセット検出時以外は、リセット (RST) のみを発行します。

[例] ソフトウェアリセット発行のサンプルプログラム

```
LDI    #value_of_reset, R0    ; SRST ビット = 1
LDI    #_RSTCR, R12           ;
STB     R0, @R12              ; ライト
LDUB    @R12, R0              ; リード（ソフトウェアリセット要求発生）
MOV     R0, R0                ; パイプライン調整のためのダミー処理
NOP                                     ; パイプライン調整のためのダミー処理
```

■ スタンバイ（電源遮断）からの復帰

マイコンを含む大部分のブロックが、スタンバイからの起動により、電源投入リセット相当の動作をします。ただし、パワーオンリセット要因は常時電源 ON のブロックにあるため、リセット要因レジスタ (RSTRR) に検出が表示されません。要因は、PMU ステータスレジスタ (PMUSTR) に表示されますので、マイコンが再起動した場合には、本レジスタを確認してください。

本リセット要因によるリセットはイニシャライズリセット (INIT) を発行します。

8.5.3 リセット受付

各リセット要因の受付処理について説明します。

■ リセット要求の生成

少なくとも1つのリセット要因が取り込まれると、リセット要求を生成します。リセット要求は内部バス制御部へ通知され、以下の処理を行います。

- CPU のプログラム動作の停止 (スリープモードと同一処理)
- オンチップバスのバス制御権の取得
- すべてのバスへアイドル要求が通知されたことの確認

■ リセット要求の受理

リセット要求に対するすべての処理が完了すると、リセット発行部にてリセット要求が受理され、リセット要因に応じたレベルのリセットを発行します。また、リセット発行遅延カウンタのオーバフロー＝リセットタイムアウトが発生すると、リセット要求に対する処理の終了を待たずにリセット要求が受理され、イレギュラーリセットが発行されます。

■ リセット発行遅延カウンタ

リセット要求が生成されると同時に、8ビット長のリセット発行遅延カウンタがカウントを開始します。リセットが発行されないまま、RSTCR レジスタの bit7-5:RDLY[2:0] ビットで指定された遅延サイクルが経過し、カウンタがオーバフローする＝リセットタイムアウトが発生すると、イレギュラーリセットが発行されます。

RSTCR の RDLY[2:0] ビットはリセットにより初期化され、リセット解除後は1回のみ書換えが可能です。遅延サイクルの設定が短い場合、イレギュラーリセットが発行される可能性が高くなります。遅延サイクルの設定が長い場合、リセット要因が発生してからリセットが発行される迄に長時間かかる場合があります。

外部バス * 同期モードの際、外部バスインタフェース機能のある端子はリセット要因が発生したにもかかわらず、バスタイムアウト待ちのために端子状態を初期化しない場合があります。詳細は「付録 D. CPU 状態における端子状態 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)」をご参照ください。

*:MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD のみ

■ イレギュラーリセット

リセット要求に対する処理完了を確認せずにリセットが発行されたとき、イレギュラーリセットとなります。

イレギュラーリセットが発生すると、以下の処理が行われます。

- リセット要因の種類にかかわらず、イニシャライズリセット (INIT) を発行します。
- RSTRR レジスタの bit7:IRRST ビットを "1" に設定します。

イレギュラーリセットが発生したときは、リセットが入力される時点でバスアクセスが行われていた可能性があり、メモリ内容がリセットにより破壊されていないことが保証できません。イレギュラーリセットの発生は必ずしもメモリの内容が破壊されたことを示す訳ではありませんが、その際のバスアクセスの内容を特定できないためです。

8.5.4 リセット発行

リセット要求受理後、リセットが発行されます。以下、各種リセット発行について説明します。

■ 電源投入リセット (SINIT)

パワーオンリセット、または内部電源低電圧検出、または RSTX・NMIX 同時アサート時に、最初に電源投入リセット (SINIT) が発行されます。本リセットは分周回路などの不定状態を初期化するためのみに限定的に使用されます。

本リセット発行中はすべてのクロックが停止します。

本リセットが発行される時、必ず同時にイニシャライズリセット (INIT) およびリセット (RST) を発行します。

本リセットにより、クロック制御レジスタが初期化されます。

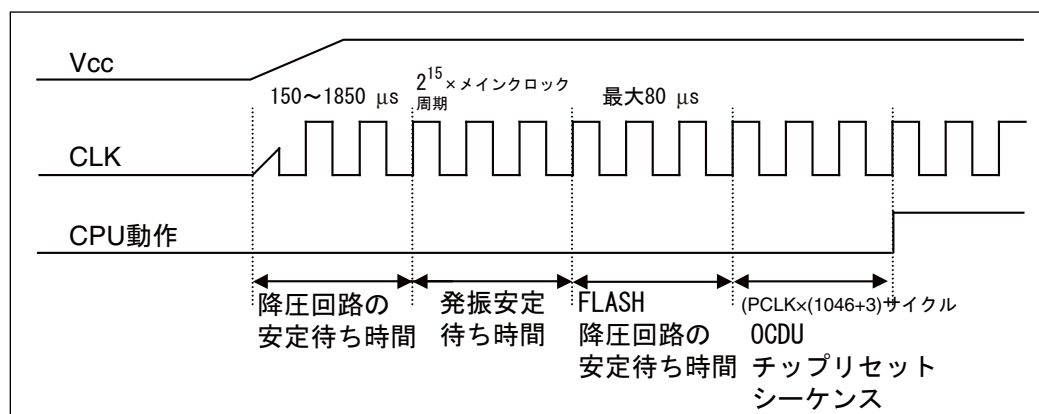
本リセットはメインクロック発振安定待ちを伴います。制御レジスタ初期化に伴い、発振安定待ち時間は 2^{15} メインクロックになります。

表 8.5-1 発振安定待ち時間 (SINIT)

種類	メインクロック発振安定待ち時間
パワーオンリセット	$2^{15} \times$ メインクロック周期
内部電源低電圧検出	$2^{15} \times$ メインクロック周期
RSTX・NMIX 同時アサート	$2^{15} \times$ メインクロック周期

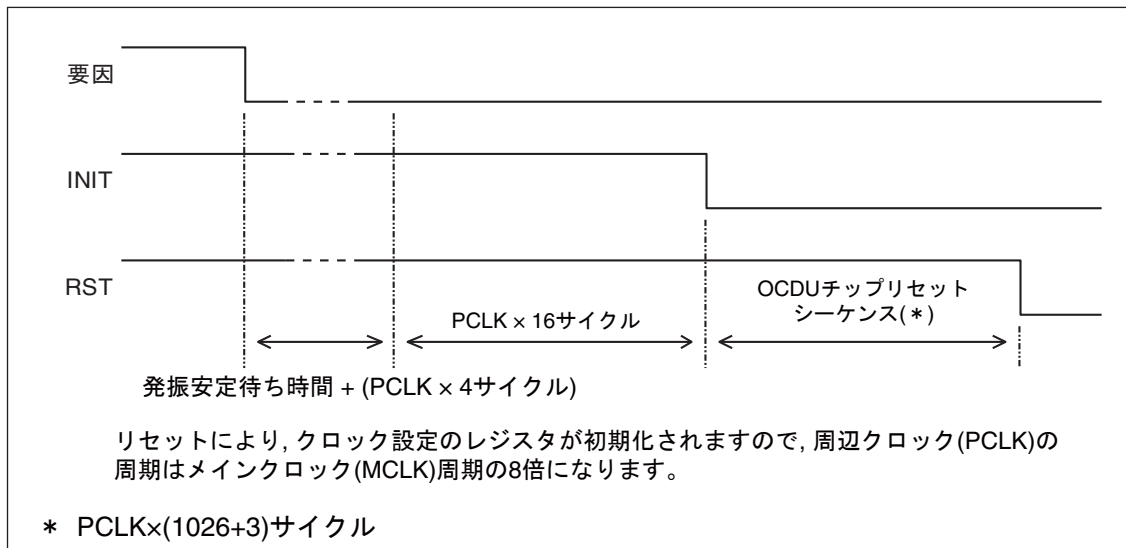
(注意事項) 電源投入・電圧復帰に関わる、レギュレータ安定待ち時間および FLASH 安定待ち時間は上表の発振安定待ち時間には含まれていません。パワーオンリセット時には、これらの安定待ち時間 (150 ~ 1850 μ s および 80 μ s) が必要になります。

図 8.5-1 パワーオンリセット時の発振安定待ち時間



本リセットのリセット要因が解除された後の各リセット発行シーケンスを以下に示します。

図 8.5-2 電源投入リセット (SINIT) シーケンス



■ イニシャライズリセット (INIT)

イニシャライズリセット (INIT) レベルのリセット要因が発生したとき、イニシャライズリセット (INIT) およびリセット (RST) を最初に同時に発行します。本リセットはリセット (RST) で初期化されない一部のレジスタの初期化のみに使用します。

本リセット発行中はすべてのクロックが動作します。本リセットが発行される場合、必ず同時にリセット (RST) を発行します。本リセットにより、クロック制御レジスタが初期化されますが、メインクロック (MCLK) が発振中の場合、発振しているという動作自体は変化しません。

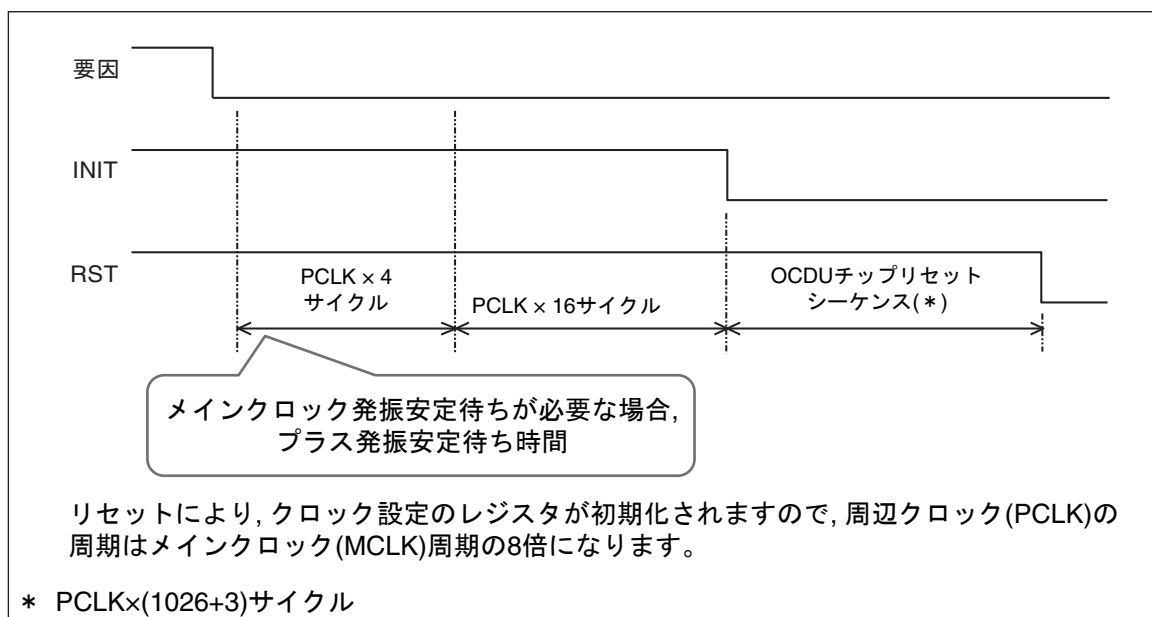
ストップモード中など、メインクロック停止中だった場合、メインクロック発振安定待ち時間を取ります。クロック制御部のレジスタがリセットにより初期化されるため、発振安定待ち時間は本品種のデフォルト値 (2^{15} × メインクロック周期) となります。

表 8.5-2 発振安定待ち時間 (INIT)

リセット投入前メインクロック発振停止中？	メインクロック発振安定待ち時間
No	なし
Yes	2^{15} × メインクロック周期

本リセットのリセット要因が解除された後の各リセット発行シーケンスを以下に示します。

図 8.5-3 イニシャライズリセット (INIT) シーケンス



■ リセット (RST)

イニシャライズリセット (INIT) レベルでないリセット要因が発生した場合, リセット (RST) のみを発行します。

本リセットは一部のレジスタ (■ イニシャライズリセット (INIT) 参照) を除くすべてのハードウェアの初期化に使用します。

本リセット発行中はすべてのクロックが動作します。

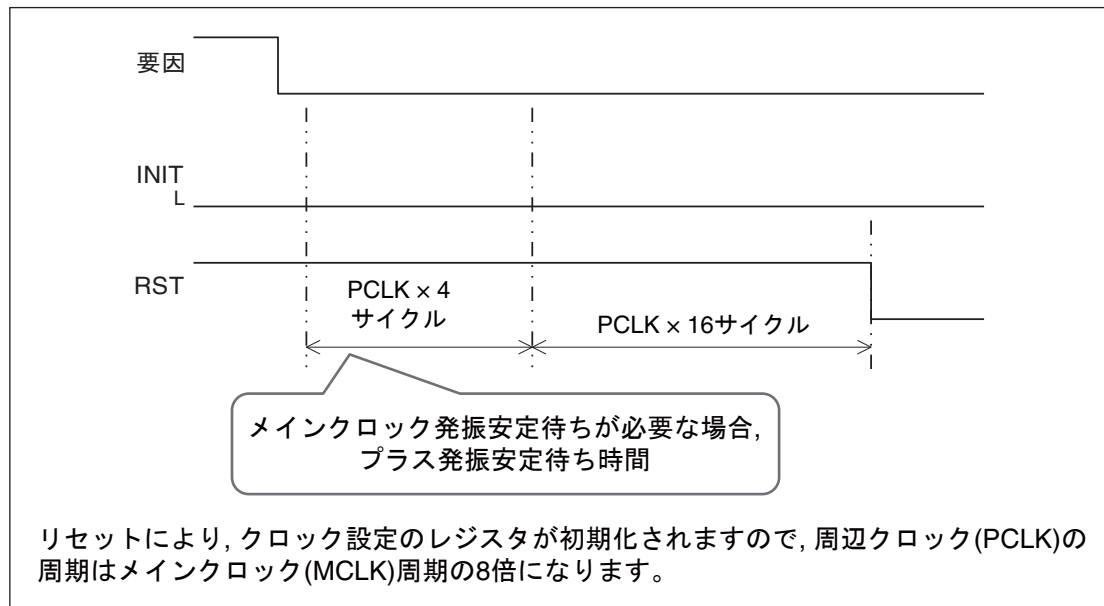
リセット前にストップモード中などでメインクロック停止中だった場合・メインクロック発振安定待ち時間を取ります。クロック制御部のレジスタがリセットにより初期化されるため, 発振安定待ち時間は本品種のデフォルト値 (2^{15} × メインクロック周期) となります。

表 8.5-3 発振安定待ち時間 (RST)

リセット投入前メインクロック発振停止中?	メインクロック発振安定待ち時間
No	なし
Yes	2^{15} × メインクロック周期

本リセットのリセット要因が解除された後の各リセット発行シーケンスを以下に示します。

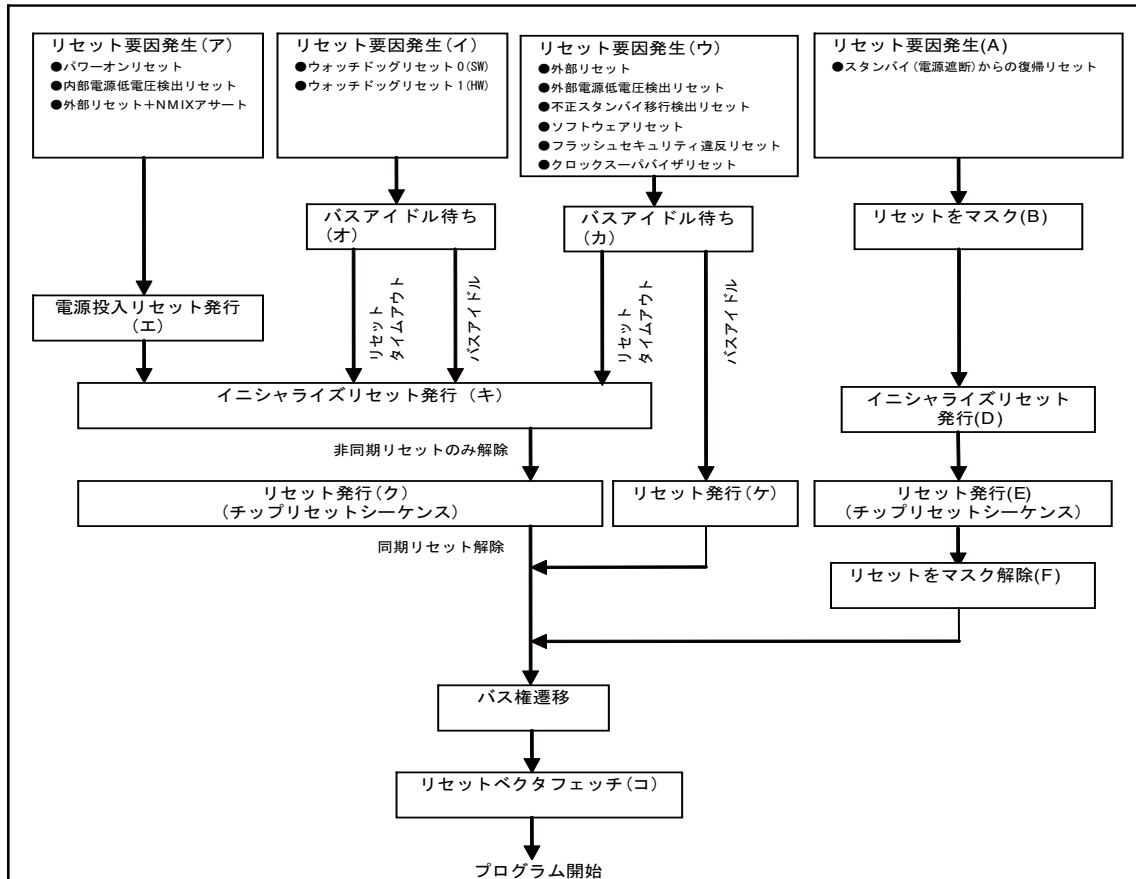
図 8.5-4 リセット (RST) シーケンス



8.5.5 リセットシーケンス

リセット要因の消失により、本品種は初期状態からプログラムおよびハードウェア動作を開始します。このリセットから動作開始にいたる一連の動作をリセットシーケンスとよびます。以下、リセットシーケンスについて説明します。

図 8.5-5 リセットシーケンス



(注意事項)

・(キ)以降、または(オ)(カ)中に、(ア)が発生した場合、(ア)から始め直します。

・(B)以降、(ア)が発生した場合、(ア)から始め直します。

詳細は『第10章 クロック・リセット遷移状態』の「図10.2-1 デバイス状態遷移図」を参照してください。

・(エ)中に、メインクロック発振安定待ち時間を取ります。

・(キ)(ク)(ケ)中に、必要な際(CMONR:MCRDY=0)はメインクロック発振安定待ちを取ります。

・(コ)『第33章 FixedVect機能』を参照してください。

・不正スタンバイ移行検出リセットの場合、リセット要因発生後に既にバスアイドル状態なので、即(ク)へ遷移します。

・スタンバイ(電源遮断)からの復帰(A)では、電源投入リセットが発行されますが、下記ブロックへのリセットを抑止するため、リセット期間中は本ブロックへの電源投入リセットを除くリセットをマスク(B)します。

(1) 外部割込みブロック

(2) 電源マネジメントユニット

■ リセットサイクル

リセット要因の解除後、4×周辺クロック (PCLK) 周期の間リセット要求が延長され、その後リセットレベルごとに周辺クロック (PCLK)×16 サイクルの期間ずつリセットサイクルを維持します。これにより、各リセットの最小発行サイクル数は 20 サイクルとなります。メインクロック発振安定待ちが必要な際は、当該分だけ延長されます。

■ リセット解除

リセットサイクルが終了すると、各リセットが解除され、各ハードウェアが動作を開始します。リセット解除直後はモード制御回路がオンチップバスのバスマスタとなります。

■ 動作モード確定

バスマスタとなったモード制御回路は、取得したモード設定値に基づき決定した動作モードを各ハードウェアに通知し、その後にオンチップバスのバス権を解放します。

■ バス権の遷移

モード制御回路がオンチップバスのバス権を解放した後は、CPU がバス権を獲得し、CPU によるバス動作を開始します。

■ リセットベクタフェッチ

リセット解除後、CPU はリセットベクタ (0x000FFFFC 番地) のフェッチを開始します。

CPU がバス権を獲得後、リセットベクタへのアクセスがオンチップバスを介して行われ、取得したリセットベクタを PC に取り込み、プログラム動作を開始します。

■ リセットと強制ブレーク

リセット解除時に強制ブレークが発生していた場合、リセットベクタフェッチ終了後に強制ブレークを受付けます。このため、取得したリセットベクタによる PC 値がエミュレータ空間側へ退避されます (E_BPCHR, E_BPCLR レジスタにストアされます)。

■ 注意事項

スタンバイ時計モード (電源遮断) およびスタンバイストップモード (電源遮断) からの復帰中は、内部リセットが発行されており、パワーオンリセット、内部電源低電圧検出リセット、RSTX/NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。

第9章 消費電力制御

9.1 概要

本品種は、多彩な低消費電力モードを持ち、状況に応じた消費電力制御を行うことができます。
外バスについては、MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD の機能となります。

9.2 特長

■ クロック制御

• クロック分周

各動作クロックの分周比を変更し、動作周波数を落とすことができます。「第6章 クロック」を参照してください。

■ スリープモード

• CPU スリープモード

CPU のみ動作を停止させることができます。

• バススリープモード

CPU およびオンチップバスの動作を停止させることができます。

■ スタンバイモード

• 時計モード

特定のクロック発振とタイマ以外のすべての動作を停止させることができます。

• ストップモード

CR 発振以外のすべてのクロック発振と動作を停止させることができます。

■ スタンバイモード (電源遮断)

• 時計モード (電源遮断)

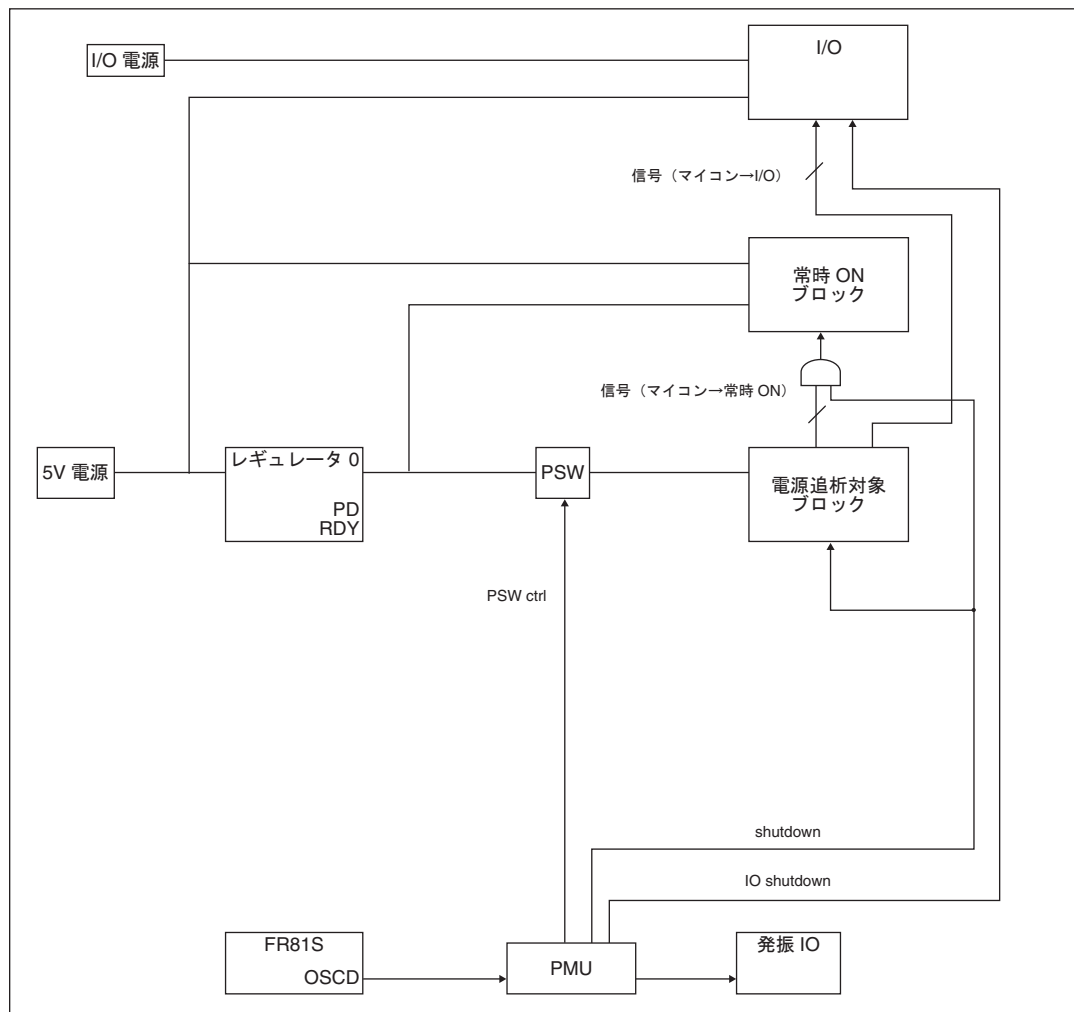
マイコン部の電源を遮断させるとともに、特定のクロック発振とタイマ以外のすべての動作を停止させることができます。

• ストップモード (電源遮断)

マイコン部の電源を遮断させるとともに、すべてのクロック発振と動作を停止させることができます。

9.3 構成

図 9.3-1 全体制御ブロック図



Logic diagram of the STBCR (Standby Control Register) for the 78C16. The diagram shows three D-type flip-flops (S, Q, R) controlling various system functions. Inputs include SLEEP, SLVL[1], TIMER, STOP, and a reset signal (復帰/リセット要因). The flip-flop outputs control CPU sleep, bus sleep, clock stop, and oscillator stop. A 'バスアノリッジ' (bus acknowledge) signal is also shown.

STBCR: スタンバイ制御レジスタ

9.4 レジスタ

表 9.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0480	予約	予約	STBCR	予約	スタンバイ制御レジスタ
0x0590	予約	PMUCTLR	PWRTMCTL	予約	PMU コントロールレジスタ PoWeR on TiMing コントロールレジスタ
0x0594	予約	PMUINTF1	PMUINTF2	予約	PMU 割込みフラグレジスタ 1 ~ 2
0x059C	予約	予約	予約	予約	予約

(注意事項) 0x0480 ~ 0x0481, 0x0590 番地には, 「リセット」のレジスタが割り当てられているので注意してください。(「第8章 リセット」を参照してください。)

(注意事項) 本レジスタ群 (STBCR は除きます) は, 以下のいずれかの要因が発生したときのみ, 初期化されます。

1. パワーオンリセット
2. 内部電源低電圧検出
3. RSTX 外部端子と NMIX 外部端子の同時アサート
4. ハードウェアウォッチドッグ・リセット

※INIT レベルおよびRST レベルのリセットでは, 初期化されません。(STBCR は除きます)。

9.4.1 スタンバイ制御レジスタ: STBCR (STanby mode Control Register)

各低消費電力モードの設定を行います。

(注意事項) 本レジスタへの DMA による書込みは禁止です。

- STBCR: アドレス 0482_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
STOP	TIMER	SLEEP	予約	予約		SLVL[1:0]		
0	0	0	0	0	0	1	1	初期値
R,W	R,W	R,W	R0,W0	R0,W0	R0,W0	R/W	R/W	属性

[bit7] STOP (STOP mode) : ストップモード許可

[bit6] TIMER (TIMER mode) : 時計モード許可

[bit5] SLEEP (SLEEP mode) : スリープモード許可

ストップ / 時計 / スリープの各スタンバイモードへの遷移を許可します。本ビットに下記に示す値を書き込んだ後, STBCR を読み出すことにより各モードへ遷移します。

STOP	TIMER	SLEEP	各スタンバイモードの遷移許可
0	0	0	遷移しない (初期値)
0	0	1	STBCR 読出しによりスリープモードへ遷移する
0	1	X	STBCR 読出しにより時計モードへ遷移する
1	X	X	STBCR 読出しによりストップモードへ遷移する

なお, 各ビットの読出し値は, 書き込んだ値にかかわらず以下のとおりとなります。

STOP	TIMER	SLEEP	各スタンバイモードの遷移許可
0	0	0	遷移しない
0	0	1	スリープモードへ遷移する
0	1	0	時計モードへ遷移する
1	0	0	ストップモードへ遷移する

各低消費電力モードからのウェイクアップ要因の発生により初期値へクリアされます。

[bit4 ~ bit2] 予約

常に "0" が読み出されます。必ず "0" を書き込んでください。

[bit1, bit0] SLVL1, SLVL0 (Standby LeVeL) : スタンバイレベル設定

各スタンバイモード、スリープモードにおける詳細動作を以下のように制御します。

モード	SLVL1, SLVL0	各動作制御
ストップモード	0x	端子をハイインピーダンスにしない
	1x	端子をハイインピーダンスにする
時計モード	0x	端子をハイインピーダンスにしない
	1x	端子をハイインピーダンスにする
スリープモード	0x	CPU スリープモード (CPU のみ停止)
	1x	バススリープモード (CPU, オンチップバス停止) *

*: DMA 転送中のみはオンチップバスが動作します。

ハイインピーダンスされる端子については「付録 E. CPU 状態における端子状態 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)」を参照してください。

9.4.2 PMU コントロールレジスタ: PMUCTLR(Power Management Unit ConTrol register)

PMU を制御するレジスタです。

- PMUCTLR: アドレス 0591_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
SHDE	予約	IOCTMD	IOCT	予約				
0	0	0	0	0	0	0	0	初期値
R/W	R0,W0	R/W	R/W	R0,W0	R0,W0	R0,W0	R0,W0	属性

本レジスタは、パワーオンリセット、内部電源低電圧リセット、RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit7] SHDE (SHut Down Enable) :

CPU のモードがスタンバイ (時計 /STOP) に遷移した際に、シャットダウンモードにするかどうかの設定です。

SHDE	SHDE モード許可
0	スタンバイ遷移時に ShutDown 処理を行わない
1	スタンバイ遷移時に ShutDown 処理を行う

[bit6] 予約

常に "0" が読み出されます。必ず "0" を書き込んでください。

[bit5] IOCTMD (I/O Clear Timing MoDe) :

スタンバイ (ShutDown) モードからの復帰時に、I/O の状態保持するタイミングを選択します。(ハード処理)

IOCTMD	I/O 保持解除要求モード
0	スタンバイ (時計, STOP) モードから復帰するまで、I/O 状態を保持します。
1	IOCT のレジスタをクリアするまで、I/O 状態を保持します。

[bit4] IOCT (I/O Clear Timing) :

IOCTMD=1 のとき, ShutDown からの復帰時に, I/O の状態保持を解除します。(ソフト処理)

IOCT	I/O 保持解除要求
0	要求なし
1	要求中

本レジスタは,"1" を書き込みし, I/O 保持解除要求で I/O 保持解除後,自動的に "0" にクリアされます。また, I/O 保持中以外の書き込みは,無効となります。本レジスタは,"0" 書き込みは無効です。

[bit3 ～ bit0] 予約

常に "0" が読み出されます。必ず "0" を書き込んでください。

9.4.3 PoWeR on TiMing コントロールレジスタ: PWRTMCTL(PoWeR on TiMing ConTroL register)

パワーオンのタイミングを制御するレジスタです。

- PWRTMCTL: アドレス 0592_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約					PTC			
0	0	0	0	0	0	1	1	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	属性

本レジスタは, パワーオンリセット, 内部電源低電圧リセット, RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit7 ～ bit3] 予約

常に "0" が読み出されます。必ず "0" を書き込んでください。

[bit2 ～ bit0] PTC (Power on Timing Cycle setting) :

PSW の立上げ時間を設定します。

PTC[2:0]	立上げ時間	備考 (32 kHz の場合)
000	1CLK	30 μ s
001	3CLK	90 μ s
010	5CLK	150 μ s
011	9CLK	270 μ s
100	-	-
101	2CLK	60 μ s
110	4CLK	120 μ s
111	7CLK	210 μ s

9.4.4 PMU 割込みフラグレジスタ1 : PMUINTF1(Power Management Unit Interrupt Flag1 register)

ShutDown 時に, 外部入力により割込み要求があったことを示すレジスタです。

- PMUINTF1: アドレス 0595_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
EIF7	EIF6	EIF5	EIF4	EIF3	EIF2	EIF1	EIF0	
0	0	0	0	0	0	0	0	初期値
R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	R(RM1), W	属性

本レジスタは, パワーオンリセット, 内部電源低電圧リセット, RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit7 ~ bit0] EIF7 ~ EIF0 (External Interrupt Flag7-0) :

ShutDown 時に, 外部入力により割込み要求があったことを示すフラグです。

EIFxx*	外部割込み要求
0	要求なし
1	要求あり

*: xx には, 7 ~ 0 の数字が入ります。

本レジスタは, ShutDown 時のみ有効です。

本レジスタは, 0 書込みでクリアします。1 書込みは, 無効です。

9.4.5 PMU 割込みフラグレジスタ2 : PMUINTF2(Power Management Unit Interrupt Flag2 register)

ShutDown 時に, 外部入力により割込み要求があったことを示すレジスタです。

- PMUINTF2: アドレス 0596_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約	NIF	MTIF	予約	予約				
0	0	0	0	0	0	0	0	初期値
R0(RM1), ,W0	R(RM1), W	R(RM1), W	R0(RM1), ,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性

本レジスタは, パワーオンリセット, 内部電源低電圧リセット, RSTX/NMIX 同時アサートによるリセットおよびハードウェアウォッチドッグタイマリセットで初期化されます。

[bit7] 予約

常に "0" が読み出されます。必ず "0" を書き込んでください。

[bit6] NIF (Nmi Flag) :

ShutDown 時に, NMI より割込み要求があったことを示すフラグです。

NIF	NMI 割込み要求
0	要求なし
1	要求あり

本レジスタは, ShutDown 時のみ有効です。

本レジスタは, 0 書込みでクリアします。1 書込みは, 無効です。

[bit5] MTIF (Main Timer Interrupt Flag) :

ShutDown 時に, **Main Timer** より割込み要求があったことを示すフラグです。

MTIF	メインタイマ割込み要求
0	要求なし
1	要求あり

本レジスタは, ShutDown 時のみ有効です。

本レジスタは, 0 書込みでクリアします。1 書込みは, 無効です。

[bit4 ~ bit0] 予約

常に "0" が読み出されます。必ず "0" を書き込んでください。

9.5 動作説明

以下、本品種の消費電力制御機能について説明します。

9.5.1 クロック制御

本品種の各動作クロックを調整することで、消費電力と処理能力の最適化を行うことができます。

■ 分周設定

「第6章 クロック」を参照してください。

■ 未使用クロックの停止

以下にあげるクロックは、個別に停止させる設定があります。

- 外部バスクロック (TCLK) : バススリープ中の供給 / 停止が選択可能

設定方法は「第6章 クロック」を参照してください。

9.5.2 各低消費電力モードにおけるクロック供給一覧

表 9.5-1 各低消費電力モードにおけるクロック供給一覧

クロック	スタンバイ		スリープ	
	ストップ	時計	バス	CPU
CPU クロック (CCLK)	○	○	○	×
CAN プリスケーラクロック	○	○	*1	×
オンチップバスクロック (HCLK)	○	○	○	×
周辺クロック (PCLK)	○	○	×	×
外部バス I/F クロック (TCLK)	○	○	*2	×
PLL クロック (PLLCLK)	○	○	×	×
メインクロック (MCLK)	○	×	×	×
CR 発振	*3	*3	×	×

○: 停止します。

×: 停止しません。(メイン・PLL が各クロック設定レジスタで停止させているときはそれに従います。)

*1: CAN プリスケーラクロックにオンチップバスクロック (HCLK) が選択されている場合に停止します。PLL 出力が選択されている場合は、PLL 出力に従います。それ以外の場合は停止しません。

*2: DIVR1.TSTP ビットで設定します。「第6章 クロック」を参照してください。

*3: 型格によって異なります。

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD: × (停止しません)

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB: ○ (停止します)

9.5.3 スリープモード

スリープモードは、CPU やオンチップバスを停止させ、ペリフェラルのみ動作させるモードです。スリープモードには、停止させる範囲の違いにより、以下のモードがあります。

- CPU スリープモード : CPU のみを停止します。
- バススリープモード : CPU とオンチップバスを停止します。

ウェイクアップ要求が発生するまで、停止状態を継続します。ウェイクアップ要求の発生により、数クロックでプログラム動作へ復帰することが可能です。

以下、各モードの動作を説明します。

■ CPU スリープモード

CPU スリープモードは、CPU 動作を停止させるモードです。

本モードでは、DMA コントローラやオンチップバスは動作を継続することが可能ですが、その分バススリープモードより多くの電力を消費します。

■ バススリープモード

バススリープモードは、CPU およびオンチップバスを停止させるモードです。本モードでは、CPU クロック (CCLK) およびオンチップバスクロック (HCLK) は停止します。

外部バスクロックは、停止許可が設定されている場合、停止します。

バススリープモード中に DMA 転送要求を受け付けると、一時的にオンチップバスクロック (HCLK) の供給を再開し、DMA 転送を行います。DMA 転送が終了後、再度オンチップバスクロック (HCLK) を停止します。

本モードでは、CPU スリープモードより消費電力を低減することが可能ですが、DMA 転送要求に対するレスポンスが若干低下します。

■ スリープモードの設定

スリープモードを起動する前に、DIVR1 レジスタの bit7:TSTP へ設定する値により、スリープモード中の外部バスクロックを停止するか供給するかを選択します。

- DIVR1 レジスタの bit7:TSTP=0 時、外部バスクロックは停止しません。
- DIVR1 レジスタの bit7:TSTP=1 時、外部バスクロックは停止します。

スリープモードを起動する際、STBCR レジスタの bit1:SLVL[1] へ設定する値により、スリープモードのレベルを選択します。

- STBCR レジスタの bit1:SLVL[1]=0 時、CPU スリープモードとなります。
- STBCR レジスタの bit1:SLVL[1]=1 時、バススリープモードとなります。

■ スリープモードの起動

スリープモードは、以下の手順で起動します。

- STBCR レジスタの bit7:STOP, bit6:TIMER, bit5:SLEEP に "001" を書き込む
- STBCR を読み出す

FR81S コアは、リード値を次の命令で使用しない場合、リードの終了を待たずに次の命令を実行しますので、スリープモードに入る前に命令が先に進まないように、次の命令ではリード値を使用するダミー処理を行ってください。

[例] スリープモード起動のサンプルプログラム

```
LDI    #value_of_sleep, R0    ; SLEEP ビット="1", SLVL 設定
LDI    #_STBCR, R12          ;
STB     R0, @R12              ; ライト
LDUB    @R12, R0              ; リード（スリープの起動）
MOV     R0, R0                ; パイプライン調整のためのダミー処理
NOP                      ; パイプライン調整のためのダミー処理
```

■ スリープモードからのウェイクアップ

スリープモードは、以下の条件により終了します。

- リセット
- 対応する ICR レジスタ値 (「第 22 章 割込み制御 (割込みコントローラ)」を参照してください) が "0x1F" 以外の割込み要求の発生
- NMI 要求の発生
- ICE 接続中のツールブレイクの発生

割込み要求によるウェイクアップの場合、CPU がこの割込み要求を受け付ける設定である必要はありません。割込み要求が受け付けられなかった場合、スリープモードを起動した次の命令より、プログラムを続行します。

バススリープモードでは、DMA 転送要求の発生によりオンチップバスクロック (HCLK) を一時的に復帰させ、DMA 転送を行います。DMA 転送の終了後、再度オンチップバスクロック (HCLK) を停止します。

■ スリープモードの効果

スリープモードにより、ペリフェラルや外部入力のイベント待ち状態での消費電力を大幅に低減できます。周辺クロック (PCLK) は動作するため、時計モードやストップモードほどの消費電力低減はできません。反面、ウェイクアップ要求の発生により、数クロックでプログラム動作へ復帰することが可能です。

9.5.4 スタンバイモード：時計モード

時計モードは、メインクロック発振のみを継続し、メインタイマのみをカウントさせるモードです。

(注意事項) スタンバイモードに入るのは、メイン RUN のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「9.5.9 不正スタンバイモード移行」を参照してください。

(注意事項) FLASH プログラム / イレーズ中にスタンバイ状態に遷移することは禁止です。

■ 時計モードの設定

時計モードを起動する前に、STBCR レジスタの bit1:SLVL[1] により、時計モード中の外部端子の状態を設定します。

- STBCR レジスタの bit1:SLVL[1]=0 時、外部端子は直前状態の保持となります。
- STBCR レジスタの bit1:SLVL[1]=1 時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。「付録 E. CPU 状態における端子状態 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)」を参照してください。

■ 時計モードの起動

時計モードは、以下の手順で起動します。

- PMUCTLR レジスタの bit7:SHDE に "0" をライトします。
- PLL RUN 時の場合、メイン RUN に遷移します。
- STBCR レジスタの bit7:STOP, bit6:TIMER, bit5:SLEEP に "010" を書き込む
- STBCR レジスタを読み出す

FR81S コアは、読出し値を次の命令で使用しない場合、読出しの終了を待たずに次の命令を実行しますので、時計モードに入る前に命令が先に進まないように、次の命令では読出し値を使用するダミー処理を行ってください。

[例] 時計モード起動のサンプルプログラム

```
LDI    #value_of_timer, R0    ; TIMER ビット = "1", SLVL 設定
LDI    #_STBCR, R12           ;
STB     R0, @R12              ; ライト
LDUB    @R12, R0              ; リード ( 時計モードの起動 )
MOV     R0, R0                ; パイプライン調整のためのダミー処理
NOP                                     ; パイプライン調整のためのダミー処理
```

■ 時計モードからのウェイクアップ

時計モードは、以下の条件により終了します。

- リセット
- 対応する ICR レジスタ値 (「第 22 章 割込み制御 (割込みコントローラ) 」 を参照) が "0x1F" 以外の割込み要求の発生
- NMI 要求の発生
- ICE 接続中のツールブレークの発生

割込み要求によるウェイクアップの場合、CPU がこの割込み要求を受け付ける設定である必要はありません。割込み要求が受け付けられなかった場合、時計モードを起動した次の命令より、プログラムを続行します。

■ 時計モードの効果

時計モードにより、外部入力のイベント待ち状態での消費電力を大幅に低減できます。許可されたクロックの発振は動作するため、ストップモードほどの消費電力低減はできません。反面、クロックタイマを動作させることもでき、またウェイクアップ要求の発生により、ストップモードからの復帰に比べて短時間でプログラム動作へ復帰することが可能です。

9.5.5 スタンバイモード：時計モード（電源遮断）

時計モード（電源遮断）は、マイコン部の電源を遮断した上でメインクロック発振のみを継続し、メインタイマのみをカウントさせるモードです。

（注意事項）スタンバイモードに入るのは、メイン RUN のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「9.5.9 不正スタンバイモード移行」を参照してください。

（注意事項）FLASH プログラム / イレーズ中にスタンバイ状態に遷移することは禁止です。

■ 時計モード（電源遮断）の設定

時計モードを起動する前に、STBCR レジスタの bit1:SLVL[1] により、時計モード中の外部端子の状態を設定します。

- STBCR レジスタの bit1:SLVL[1]=0 時、外部端子は直前状態の保持となります。
- STBCR レジスタの bit1:SLVL[1]=1 時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。「付録 E. CPU 状態における端子状態 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)」を参照してください。

■ 時計モード（電源遮断）の起動

時計モード（電源遮断）は、以下の手順で起動します。

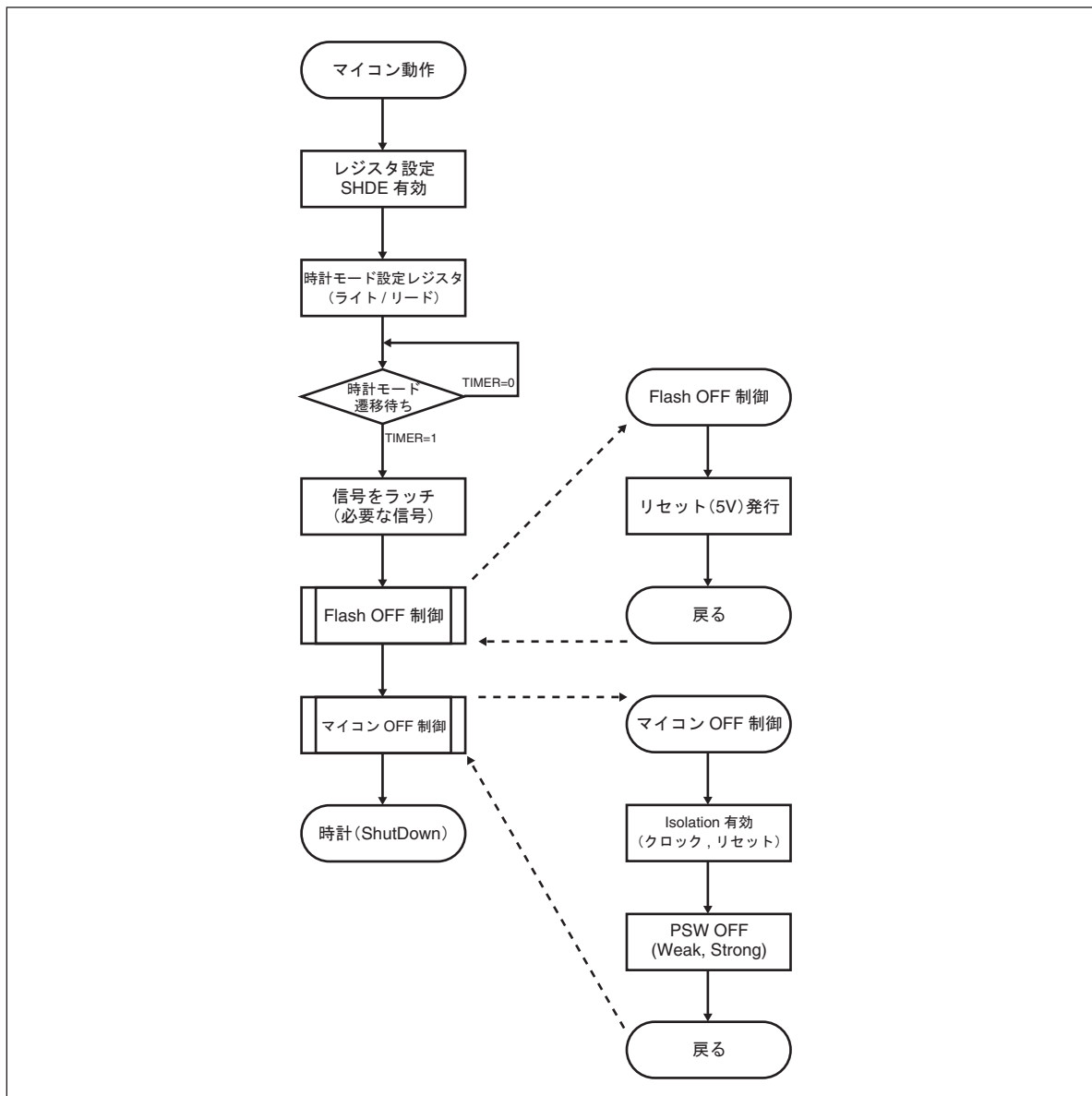
- PMUCTLR レジスタの bit7:SHDE に "1" を書き込む。
- PLL RUN 時の場合、メイン RUN に遷移します。
- STBCR レジスタの bit7:STOP, bit6:TIMER, bit5:SLEEP に '010' を書き込む。
- STBCR レジスタを読み出す。

FR81S コアは、読出し値を次の命令で使用しない場合、読出しの終了を待たずに次の命令を実行しますので、時計モード（電源遮断）に入る前に命令が先に進まないように、次の命令では読出し値を使用するダミー処理を行ってください。

[例] 時計モード（電源遮断）起動のサンプルプログラム

```
LDI    #value_of_PMU, R0        ; SHDE ビット = "1", IOCTMD/IOCT ビット設定
LDI    #_PMUCTLR, R12           ;
STB    R0, @R12                 ; ライト
LDI    #value_of_timer, R0      ; TIMER ビット = "1", SLVL 設定
LDI    #_STBCR, R12             ;
STB    R0, @R12                 ; ライト
LDUB   @R12, R0                 ; リード（時計モード（電源遮断）の起動）
MOV    R0, R0                   ; パイプライン調整のためのダミー処理
NOP                                ; パイプライン調整のためのダミー処理
```

図 9.5-1 時計 (電源遮断) モードへの遷移シーケンス



■ 時計モード (電源遮断) からのウェイクアップ

時計モード (電源遮断) は、以下の条件により終了します。

- リセット
- 外部割込み要求の発生
- NMI 要求の発生
- メインタイマ割込み要求の発生

割込み要求によるウェイクアップの場合、CPU および割込みコントローラがこの割込み要求を受け付ける設定である必要はありません。CPU は必ずリセット状態から動作を開始します。

外部割込み入力 (IOCTMD=1 時) のレジスタは初期化されません。

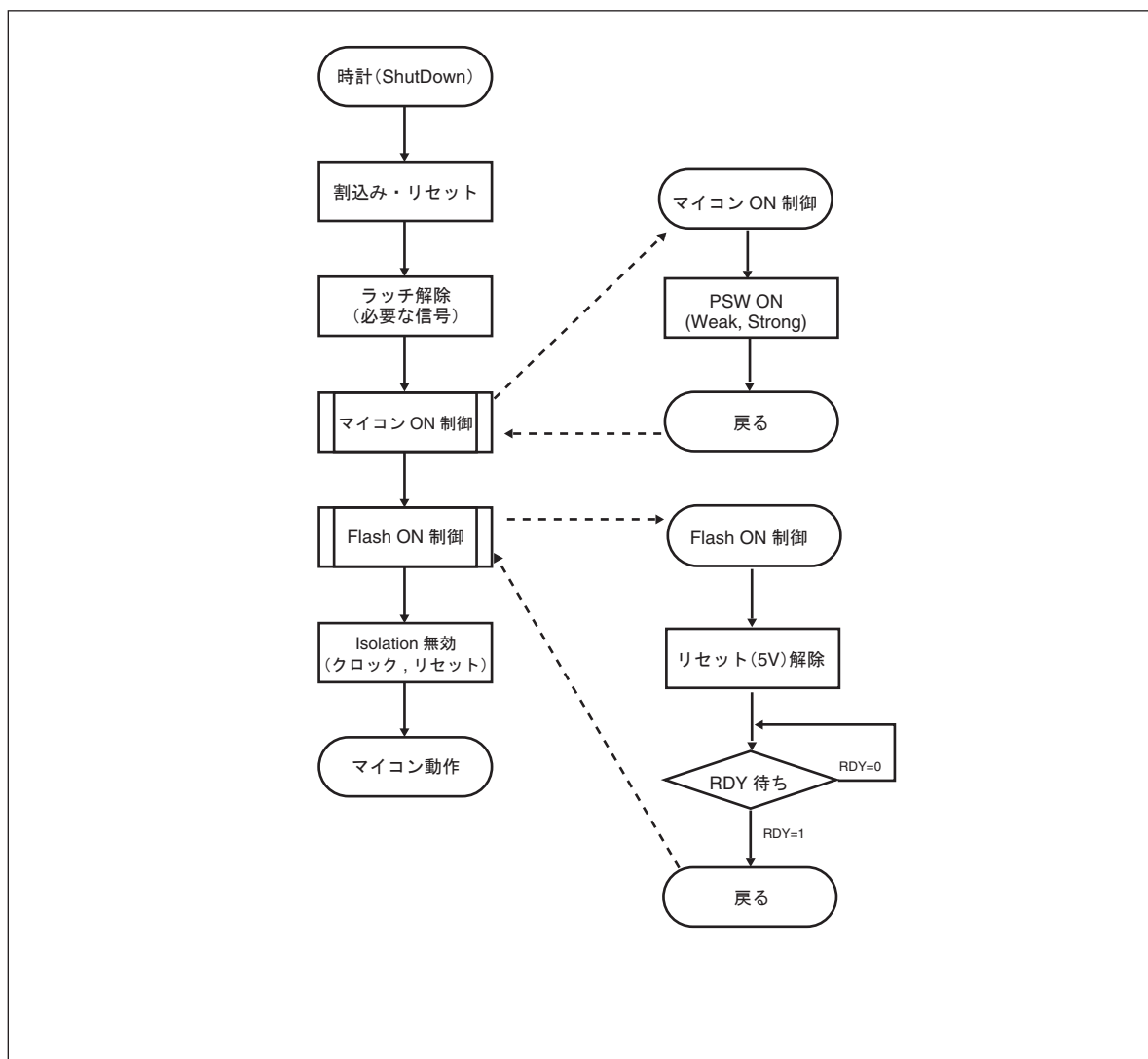
また、ウェイクアップ中はパワーオンリセット、内部電源低電圧リセット、RSTX/NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。

このとき、外部割込み入力 (IOCTMD=1 時) のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力、内部電源低電圧検出、または外部電源低電圧検出フラグがセットされている場合には、外部割込み入力のレジスタを初期化してから使用してください。

電源遮断からのリセット復帰後には、I/O のラッチが解除されていない場合があります。

電源遮断からのリセット復帰後には、必ずソフトウェアで PMUCTLR.IOCT ビットで IO 保持の解除 (IOCT=1) を行ってください。

図 9.5-2 時計 (電源遮断) モードからの復帰シーケンス



■ 時計モード (電源遮断) の効果

時計モード (電源遮断) により、不要な回路の待機電流を大幅に低減できます。

許可されたクロックの発振は動作するため、ストップモードほどの消費電力低減はできません。

反面、クロックタイマを動作させることもでき、またウェイクアップ要求の発生によりクロック発振安定待ちをせずにプログラム動作へ復帰することが可能です。

9.5.6 スタンバイモード：ストップモード

スタンバイモードは、すべてのクロック発振を停止し、本品種の消費電力を最少にするモードです。

(注意事項) スタンバイモードに入るのは、メイン RUN のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「9.5.9 不正スタンバイモード移行」を参照してください。

■ ストップモードの設定

ストップモードを起動する前に、STBCR レジスタの bit1:SLVL[1] により、ストップモード中の外部端子の状態を設定します。

- STBCR レジスタの bit1:SLVL[1]=0 時、外部端子は直前状態の保持となります。
- STBCR レジスタの bit1:SLVL[1]=1 時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。「付録 E. CPU 状態における端子状態 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)」を参照してください。

■ ストップモードの起動

ストップモードは、以下の手順で起動します。

- PMUCTLR レジスタの bit7:SHDE に "0" をライトします。
- PLL RUN 時の場合、メイン RUN に遷移します。
- STBCR レジスタの bit7:STOP, bit6:TIMER, bit5:SLEEP に "100" を書き込む
- STBCR レジスタを読み出す

FR81S コアは、読出し値を次の命令で使用しない場合、読出しの終了を待たずに次の命令を実行しますので、ストップモードに入る前に、命令が先に進まないように、次の命令では読出し値を使用するダミー処理を行ってください。

[例] ストップモード起動のサンプルプログラム

```
LDI    #value_of_stop, R0    ; STOP ビット="1", SLVL 設定
LDI    #_STBCR, R12          ;
STB     R0, @R12              ; ライト
LDUB    @R12, R0              ; リード (ストップモードの起動)
MOV     R0, R0                ; パイプライン調整のためのダミー処理
NOP                      ; パイプライン調整のためのダミー処理
```

■ ストップモードからのウェイクアップ

ストップモードは、以下の条件により終了します。

- リセット
- 対応する ICR レジスタ値 (「第 22 章 割込み制御 (割込みコントローラ)」を参照) が "0x1F" 以外の割込み要求の発生
- NMI 要求の発生
- ICE 接続中のツールブレイクの発生

割込み要求によるウェイクアップの場合、CPU がこの割込み要求を受け付ける設定である必要はありません。割込み要求が受け付けられなかった場合、ストップモードを起動した次の命令より、プログラムを続行します。

■ ストップモードの効果

ストップモードにより、外部入力のイベント待ち状態での消費電力を最小化できます。反面、ウェイクアップ要求の発生後、プログラム動作へ復帰する迄には、発振安定待ち時間を必要とします。

9.5.7 スタンバイモード：ストップモード（電源遮断）

ストップモード（電源遮断）は、すべてのクロック発振を停止し、本品種の消費電力を最少にするモードです。

（注意事項）スタンバイモードに入るのは、メイン RUN のみからにしてください。PLL ランからスタンバイモードへの遷移を行った際の動作については、「9.5.9 不正スタンバイモード移行」を参照してください。

（注意事項）FLASH プログラム / イレーズ中にスタンバイ状態に遷移することは禁止です。

■ ストップモード（電源遮断）の設定

ストップモード（電源遮断）を起動する前に、以下の設定 / 制御を行ってください。

(1) STBCR レジスタの bit1:SLVL[1] により、ストップモード（電源遮断）中の外部端子の状態を設定します。

- STBCR レジスタの bit1:SLVL[1]="0" 時、外部端子は直前状態の保持となります。
- STBCR レジスタの bit1:SLVL[1]="1" 時、外部端子はハイインピーダンスとなります。

状態制御される端子は、品種により異なります。「付録 D CPU 状態における端子状態」を参照してください。

■ ストップモード（電源遮断）の起動

ストップモード（電源遮断）は、以下の手順で起動します。

- PMUCTLR レジスタの bit7:SHDE に "1" を書き込む。
- PLL RUN 時の場合、メイン RUN に遷移します。
- STBCR レジスタの bit7:STOP, bit6:TIMER, bit5:SLEEP に '100' を書き込む。
- STBCR レジスタを読み出す。

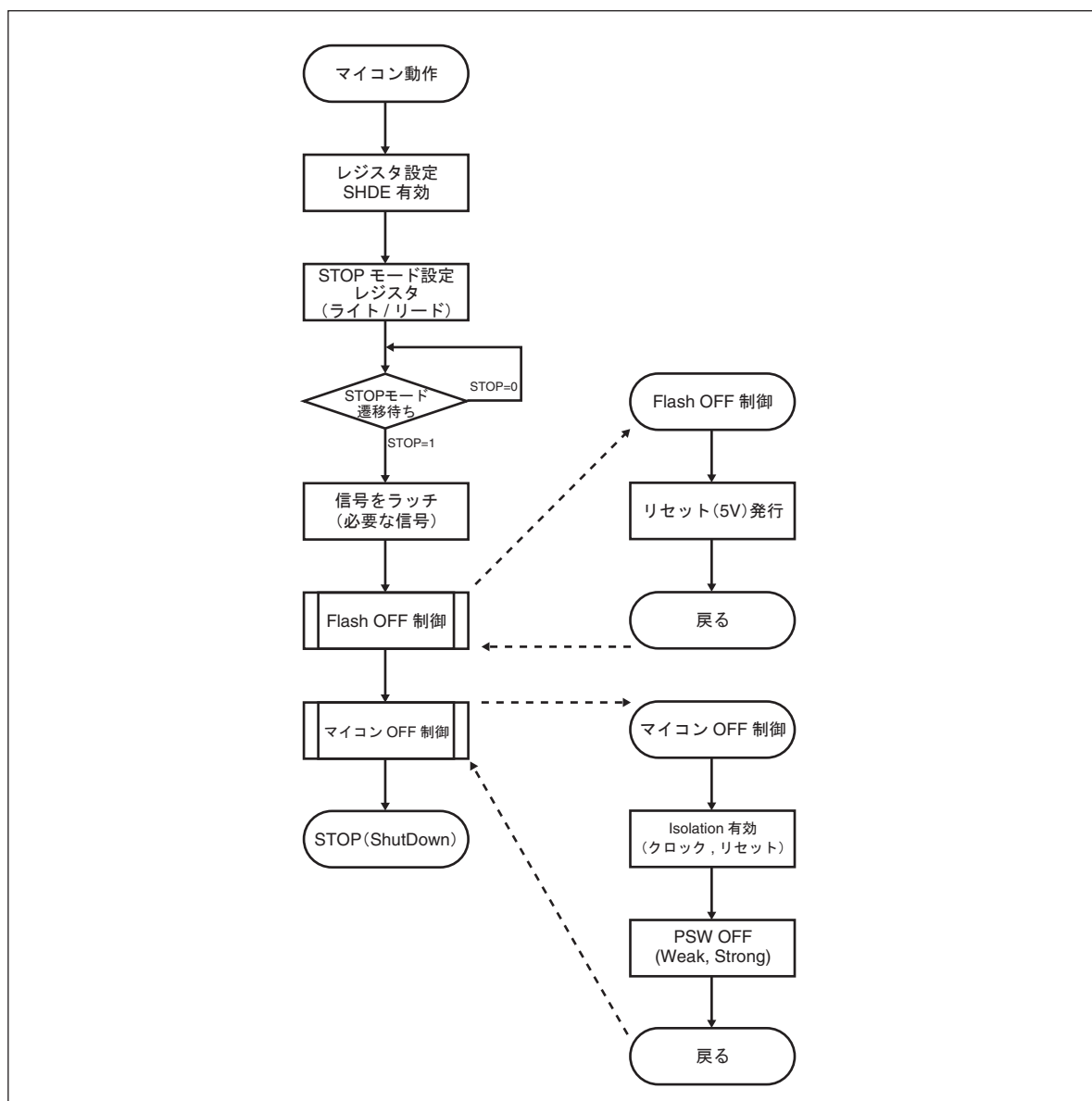
FR81S コアは、読出し値を次の命令で使用しない場合、読出しの終了を待たずに次の命令を実行しますので、ストップモードに入る前に、命令が先に進まないように、次の命令では読出し値を使用する

ダミー処理を行ってください。

[例] ストップモード（電源遮断）起動のサンプルプログラム

```
LDI    #value_of_PMU, R0        ; SHDE ビット="1", IOCTMD/IOCT ビット設定
LDI    #_PMUCTLR, R12           ;
STB    R0, @R12                 ; ライト
LDI    #value_of_stop, R0       ; STOP ビット="1", SLVL 設定
LDI    #_STBCR, R12             ;
STB    R0, @R12                 ; ライト
LDUB   @R12, R0                 ; リード（ストップモード（電源遮断）の起動）
MOV    R0, R0                   ; パイプライン調整のためのダミー処理
NOP                                ; パイプライン調整のためのダミー処理
```

図 9.5-3 ストップ (電源遮断) モードへの遷移シーケンス



■ ストップモード (電源遮断) からのウェイクアップ

ストップモード (電源遮断) は、以下の条件により終了します。

- リセット
- 外部割込み要求の発生
- NMI 要求の発生

割込み要求によるウェイクアップの場合、CPU および割込みコントローラがこの割込み要求を受け付ける設定である必要はありません。CPU は必ずリセット状態から動作を開始します。

外部割込み入力 (IOCTMD=1 時) のレジスタは初期化されません。

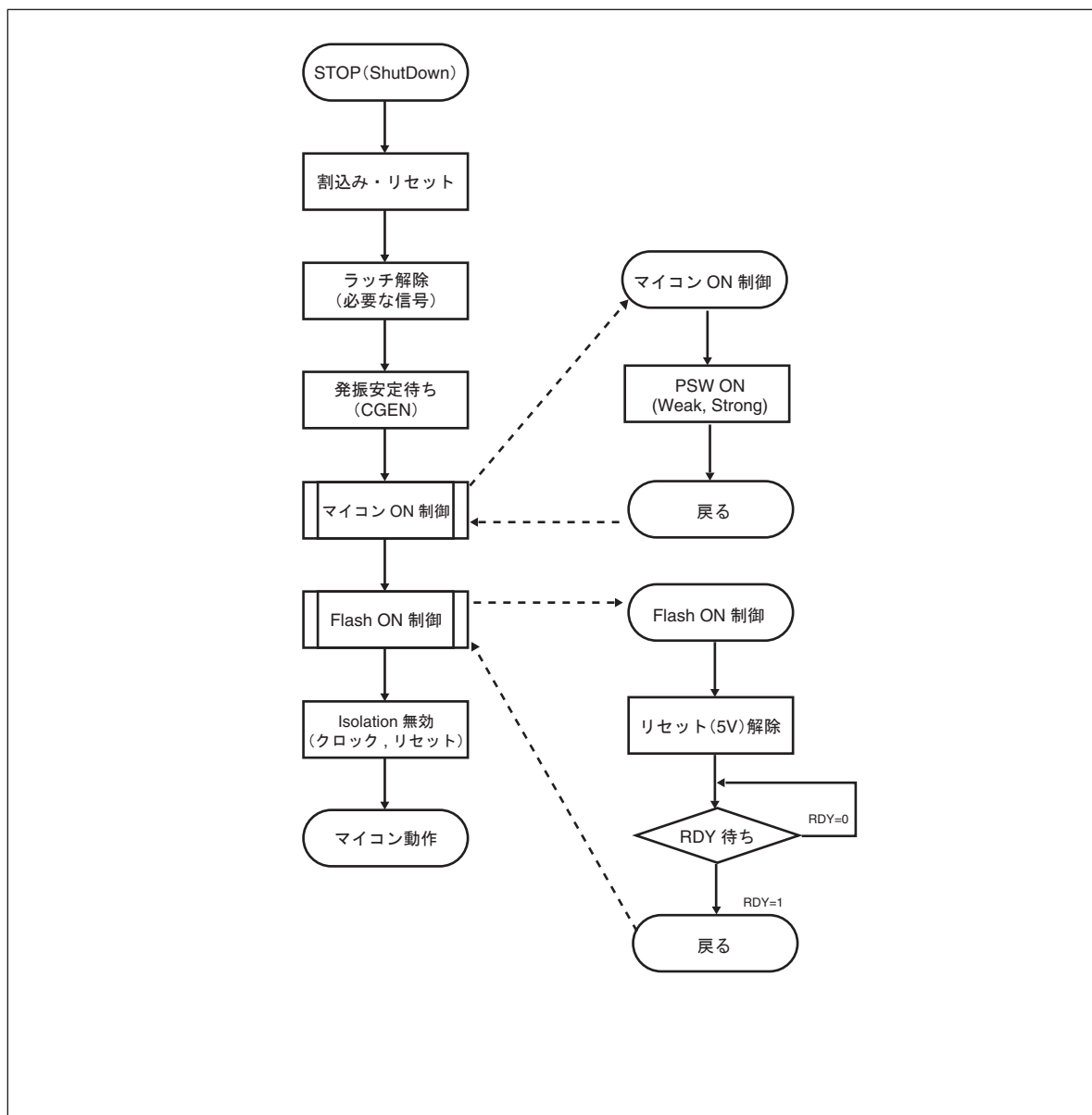
また、ウェイクアップ中はパワーオンリセット、内部電源低電圧リセット、RSTX/NMIX 同時アサートによるリセット以外のリセット要因を受け付けません。

このとき、外部割込み入力 (IOCTMD=1 時) のレジスタは初期化されませんので、立上げ後に RSTX 端子入力からのリセット入力、内部電源低電圧検出、または外部電源低電圧検出フラグがセットされている場合には、外部割込み入力のレジスタを初期化してから使用してください。

電源遮断からのリセット復帰後には、I/O のラッチが解除されていない場合があります。

電源遮断からのリセット復帰後には、必ずソフトウェアで PMUCTLR.IOCT ビットで IO 保持の解除 (IOCT=1) を行ってください。

図 9.5-4 ストップ (電源遮断) モードからの復帰シーケンス



■ ストップモード (電源遮断) の効果

ストップモード (電源遮断) により, 不要な回路の待機電流を最小化できます。

反面, ウェイクアップ要求の発生後, プログラム動作へ復帰する迄には, 発振安定待ち時間を必要とします。

9.5.8 マイコン停止状態

スタンバイモード(時計モード・時計モード(電源遮断)・ストップモード・ストップモード(電源遮断))移行禁止状態からスタンバイへの移行を制御しようとしたとき,スタンバイ移行が完結しません。

<スタンバイ移行禁止状態>

- ① OCD 接続中
- ② PLL 動作中

<マイコン停止状態で行われないスタンバイ制御>

- ① フラッシュメモリ省電力制御
- ② 発振停止(ストップモード・ストップモード(電源遮断)のとき)

ただし,PLL動作中にスタンバイモード移行制御を行ったときには,不正スタンバイモード移行を検出して,発振停止動作を行います。不正スタンバイモード移行については,9.5.9を参照してください。

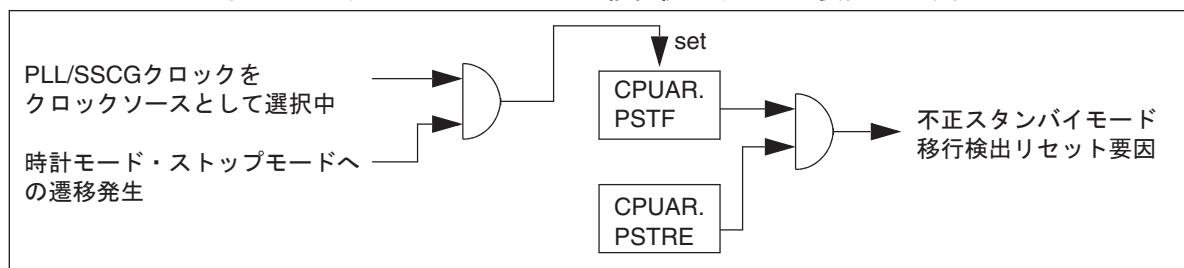
9.5.9 不正スタンバイモード移行

PLL ラン状態からスタンバイモード（時計モードまたはストップモード）への遷移を行うと、スタンバイモードに設定され、PLL 発振安定は解除されます。（不正スタンバイモード移行）

スタンバイモードからの復帰後は CSELR.CKS[1:0]=00 および CMONR.CKM[1:0]=00（メインクロックの2分周）になります。

また、スタンバイモード移行と同時に CPUAR レジスタの PSTF フラグがセットされます。CPUAR レジスタの PSTRE ビットがセットされている場合は、不正スタンバイモード移行検出リセット要因によるリセットが発生します。CPUAR レジスタについては「第8章 リセット」の「8.4.3 CPU 異常動作レジスタ：CPUAR (CPU Abnormal operation Register)」をご参照ください。

図 9.5-5 不正スタンバイモード移行検出リセット要因の生成図



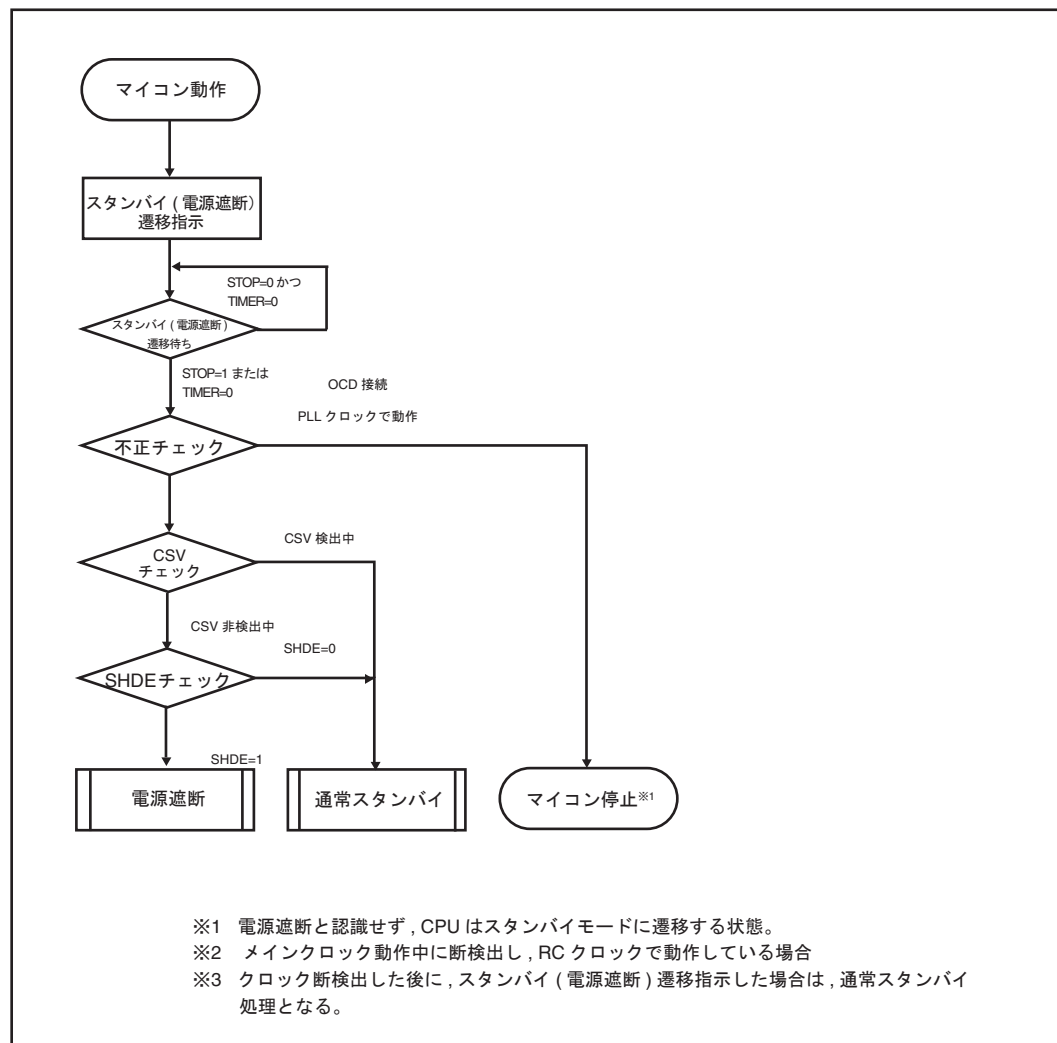
9.5.10 電源遮断・通常スタンバイ制御の制限事項

本マイコンでは、以下の条件ではスタンバイ制御を行いません。

- CPU が PLL で動作している場合
- OCD 動作許可中
- CSV 機能でクロック断検出している場合 ※2, ※3

以上の状態のときのスタンバイ制御は動作しませんが、CPU はスタンバイ状態となります。

図 9.5-6 電源遮断・通常スタンバイ制御の制限



スタンバイ (電源遮断) モードでは、チップ内部の大部分のブロックに電源が供給されないため、復帰時に一部のレジスタ以外は保持しません。表 9.5-2 にスタンバイ (電源遮断) からの復帰時に保持されるレジスタの一覧を示します。

表 9.5-2 スタンバイモード (電源遮断) からの復帰時に保持されるレジスタ

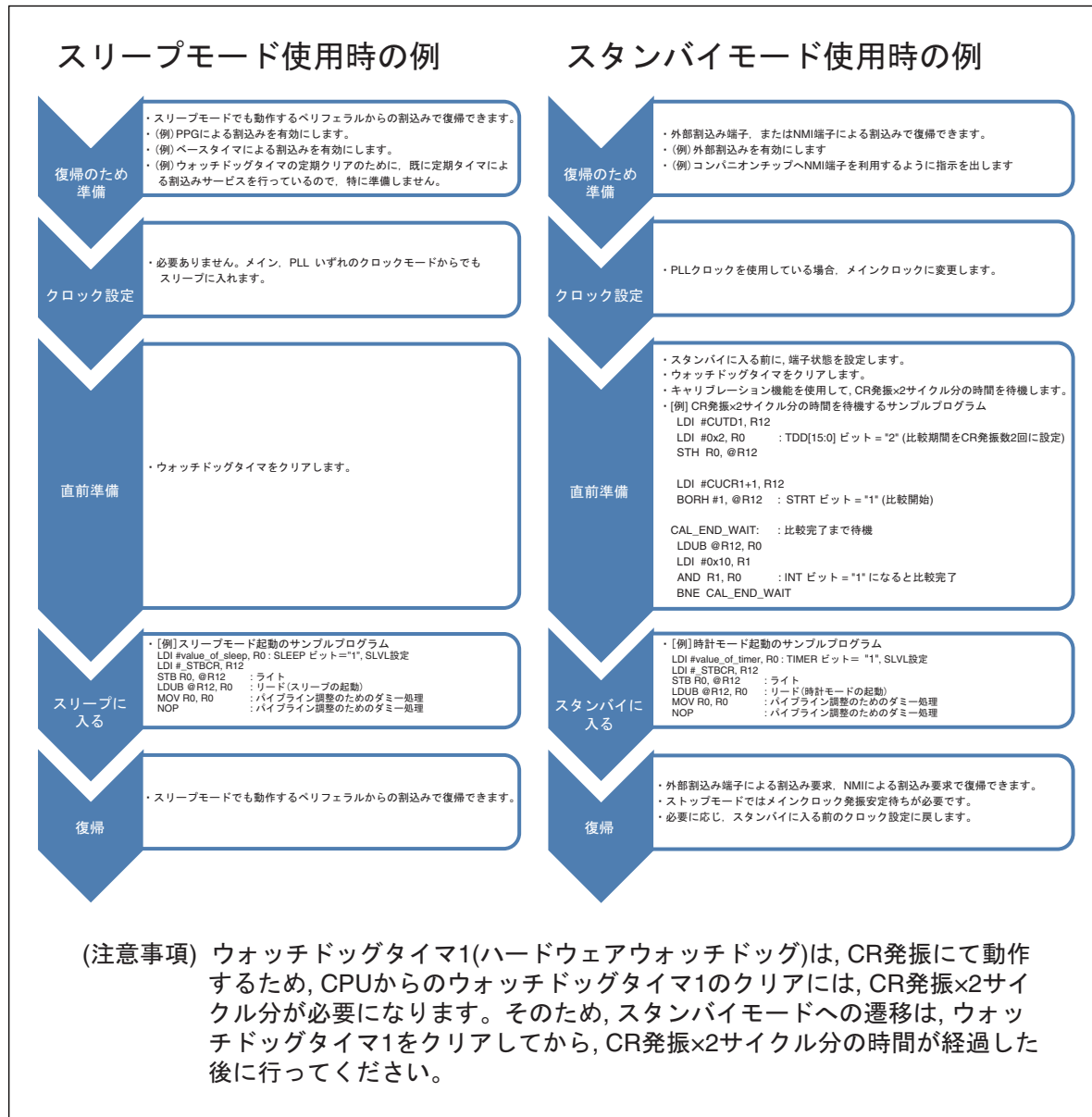
レジスタグループ	レジスタ・フラグ名称	種別	アドレス	備考
PMU レジスタ	PMUSTR.PMUST	フラグ	0590H bit7	
	PMUSTR.PONR_F	フラグ	0590H bit1	
	PMUSTR.RSTX_F	フラグ	0590H bit0	
	PMUCTLR	レジスタ	0591H	
	PWRTMCTL	レジスタ	0592H	
	PMUINTF1	フラグ	0595H	
	PMUINTF2	フラグ	0596H	
リセット要因レジスタ	CPUAR.PDLF	フラグ	051AH bit3	
	CPUAR.PMDF	フラグ	051AH bit2	
	CPUAR.PSTF	フラグ	051AH bit1	
	CPUAR.HWDF	フラグ	051AH bit0	
	LVD5R.LVD5R_F	フラグ	0584H bit0	
	LVD5F.LVD5F_F	フラグ	0585H bit0	
	LVD.LVD_F	フラグ	0586H bit0	
低電圧検出設定レジスタ	LVD.LVD_PD	レジスタ	0586H bit7	
	LVD.LVD_OE	レジスタ	0586H bit3	
	LVD5F.LVD5F_PD	レジスタ	0585H bit7	
	LVD5F.LVD5F_OE	レジスタ	0585H bit3	
CSV レジスタ	CSVCR	レジスタ	056DH	
外部割込みレジスタ	EIRR0	レジスタ	0550H	*1
	ENIR0	レジスタ	0551H	*1
	ELVR0	レジスタ	0552H	*1

*1 PMUCTLR.IOCTMD = 0 のときは初期化されます。

9.6 使用例

スリープモード、スタンバイモード使用例です。

図 9.6-1 スリープモード、スタンバイモード使用例



第 10 章 クロック・リセット状態遷移

10.1 概要

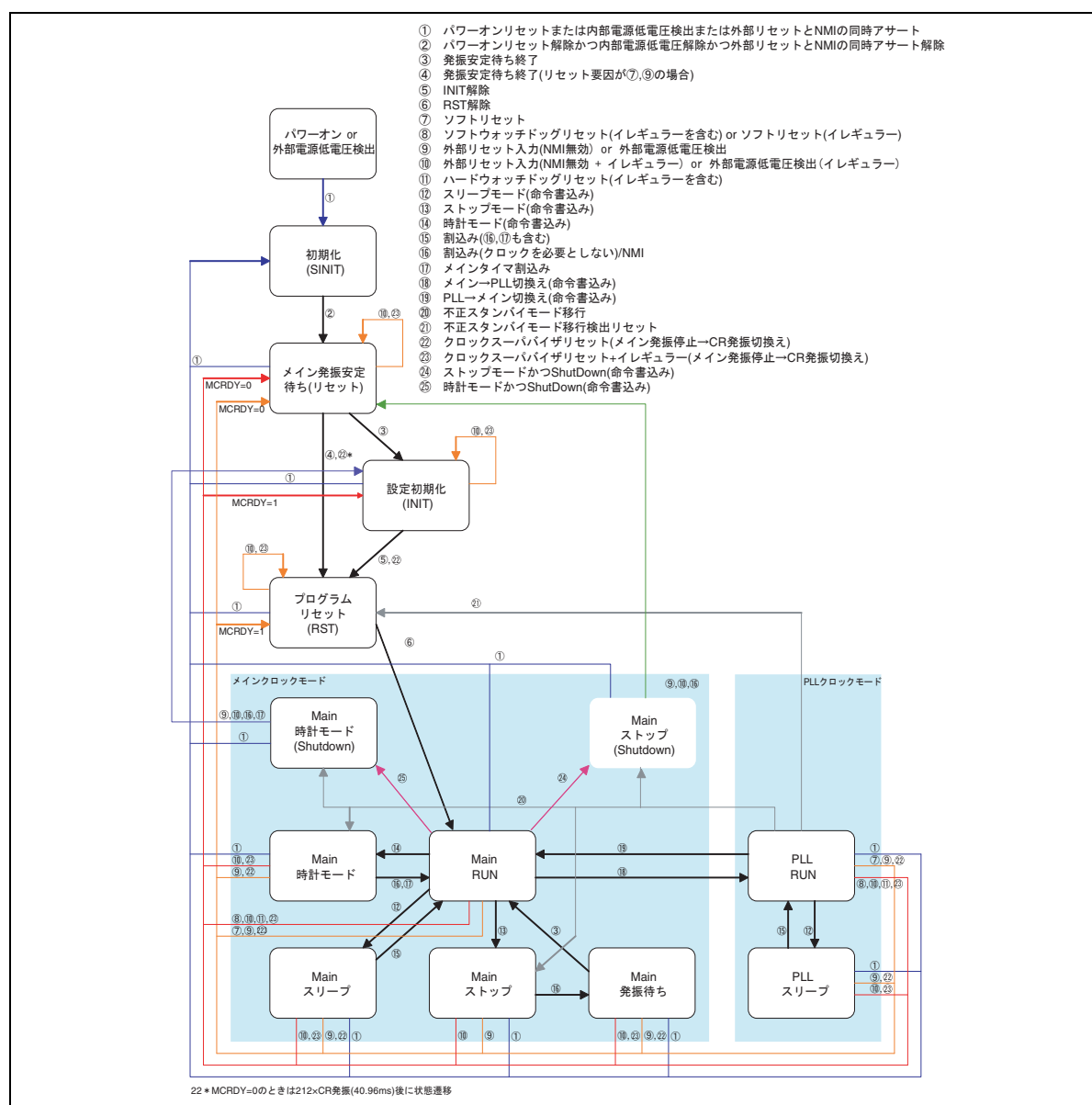
この章では、クロックおよびリセットに関わる状態の遷移について説明します。消費電力制御の状態の特長、設定については「第 9 章 消費電力制御」を参照してください。リセットの動作については「第 8 章 リセット」を参照してください。

10.2 デバイス状態と各遷移

10.2.1 状態遷移図

本品種のデバイス状態遷移を示します。

図 10.2-1 デバイス状態遷移図



管理コード:CRST-1v0-91580L-1-J

(注意事項) 時計モード (Shutdown) からの復帰時とストップモード (Shutdown) からの復帰時には、リセットされないレジスタがあります。詳細は、『第 9 章 消費電力制御』『電源遮断・通常スタンバイ制御の制限事項』を参照してください。

(注意事項) OCD ツール接続時は、上図と異なる遷移をする場合があります。「第 50 章 オンチップデバッグ (OCD)」を参照してください。

10.2.2 各状態の説明

本品種のデバイスの動作状態には以下のものがあります。

■ RUN 状態 (通常動作)

プログラム実行状態です。すべての内部クロックが供給され、すべての回路が動作可能な状態です。ストップ状態と時計モード状態の外部端子のハイインピーダンス制御は解除されます。

■ スリープ状態

プログラム停止状態です。プログラム動作により遷移します。CPU のプログラム実行のみ停止する設定 (CPU スリープモード) と、CPU およびオンチップバス (オンチップバス) およびオンチップバスクロック (HCLK) 駆動のペリフェラルを停止させる設定 (バススリープモード) があります。詳細は「第 9 章 消費電力制御」を参照してください。

■ 時計モード状態

デバイス停止状態です。プログラム動作により遷移します。発振回路 (メインクロック生成部) 以外の内部回路が停止します。時計モード状態に遷移する前に PLL の発振を停止してください。また、設定により、外部端子を一律ハイインピーダンスにすることが可能です (一部端子を除く)。特定の (クロックを必要としない) 有効な割込み、メインタイマ割込みや時計カウンタ割込みにより、RUN 状態へ遷移します。詳細は「第 9 章 消費電力制御」を参照してください。

■ 時計モード (電源遮断) 状態

時計モードに不必要な部分の電源を、遮断したデバイス停止状態です。プログラム動作により遷移します。内部回路の電源を遮断し、発振回路 (メインクロック生成部) 以外の内部回路が停止します。時計モード (電源遮断) 状態に遷移する前に、PLL の発振を停止してください。

また、設定により外部端子を一律ハイインピーダンスにすることが可能です。(一部端子を除く)。特定の (クロックを必要としない) 有効な割込み、メインタイマ割込みにより、設定初期化 (INIT) 状態へ遷移します。詳細は「第 9 章 消費電力制御」を参照してください。

■ ストップ状態

デバイス停止状態です。プログラム動作により遷移します。すべての内部回路が停止します。ストップ状態に遷移する前に PLL の発振を停止してください。また、設定により、外部端子を一律ハイインピーダンスにすることが可能です (一部端子を除く)。NMI 割込みにより、発振安定待ち RUN 状態へ遷移します。詳細は「第 9 章 消費電力制御」を参照してください。

■ ストップ (電源遮断) 状態

ストップ状態に不必要な部分の電源を遮断したデバイス停止状態です。プログラム動作により遷移します。内部回路の電源を遮断し、すべての回路が停止します。ストップ (電源遮断) 状態に遷移する前に、PLL の発振を停止してください。

また、設定により外部端子を一律ハイインピーダンスにすることが可能です。(一部端子を除く)。NMI 割込みにより、メイン発振安定待ち (リセット) 状態へ遷移します。詳細は「第 9 章 消費電力制御」を参照してください。

■ メイン発振安定待ち (RUN) 状態

デバイス停止状態です。ストップ状態からの復帰後に遷移します。発振安定待ちのためのタイマ動作を除くすべての内部回路が停止します。内部クロックはすべて停止しますが、動作許可されていた発振回路は動作しています。設定された発振安定待ち時間の経過により、RUN 状態 (通常動作) へ遷移します。

■ メイン発振安定待ち (リセット) 状態

デバイス停止状態です。初期化 (SINIT) 状態からの復帰後に遷移します。発振安定待ちのためのタイマ動作を除くすべての内部回路が停止します。内部クロックはすべて停止しますが、メイン発振回路は動作しています。内部回路に対し、プログラムリセット (RST) を出力します。受け付けたリセットレベルがイニシャライズリセットの場合、設定初期化リセット (INIT) も出力します。メインクロック発振安定待ち時間の経過 ($2^{15} \times$ メインクロック周期) により、設定初期化 (INIT) 状態へ遷移します。

■ プログラムリセット (RST) 状態

プログラム初期化状態です。動作初期化リセット (RST) 要求の受付、または設定初期化 (INIT) 状態の終了により遷移します。内部回路に対し、プログラムリセット (RST) を出力します。INIT から遷移してきた場合、OCD チップリセットシーケンス ((1026+3)PCLK サイクル) をとります。

動作初期化リセット (RST) 要求の消失により、RUN 状態 (通常動作) へ遷移します。詳細は「第 8 章 リセット」を参照してください。

■ 設定初期化 (INIT) 状態

全設定初期化状態です。設定初期化 (INIT) 要求の受付により遷移します。メイン発振回路は動作しますが、PLL は動作を停止します。内部回路に対し、設定初期化 (INIT) およびプログラムリセット (RST) を出力します。設定初期化 (INIT) 要求の消失により、本状態は解除され、プログラムリセット (RST) 状態へ遷移します。詳細は「第 8 章 リセット」を参照してください。

10.2.3 各状態遷移要求の優先順位

どの状態においても、各状態遷移要求は以下の優先順位に従います。ただし、一部要求は特定の状態でしか発生しませんので、その状態でしか有効になりません。

[最強] 初期化 (SINIT) 要求

↓ 設定初期化 (INIT) 要求

↓ 発振安定待ち時間の終了 (発振安定待ちリセット状態および発振安定待ち RUN 状態のみ発生)

↓ プログラムリセット (RST) 要求

↓ 有効な割込み要求 (RUN, スリープ, ストップ, 時計モード状態のみ発生)

↓ ストップモード要求 (レジスタ書込み) (RUN 状態のみ発生)

↓ 時計モード要求 (レジスタ書込み) (RUN 状態のみ発生)

[最弱] スリープモード要求 (レジスタ書込み) (RUN 状態のみ発生)

10.3 デバイス状態と対応するレギュレータモード

各デバイス状態に対応するレギュレータモードを、表 10.3-1 に示します。レギュレータモードについては「第 12 章 レギュレータ制御」を参照してください。

表 10.3-1 デバイス状態とレギュレータモードの関係

デバイス状態	メインクロック	レギュレータモード
Main RUN	発振	メインモード
Main スリープ	発振	メインモード
Main 時計モード	発振	スタンバイモード
Main 時計モード (Shut down)	発振	スタンバイモード
Main ストップ	停止	スタンバイモード
Main ストップ (Shut down)	停止	スタンバイモード
Main 発振待ち	発振	メインモード
PLL RUN	発振	メインモード
PLL スリープ	発振	メインモード

(注意事項)

上記いずれの表でも、OCD ツール接続時、レギュレータモードはメインモードとなります。

第 11 章 クロックスーパーバイザ

11.1 概要

クロックスーパーバイザとは、メインクロック発振を監視する機能のことです。

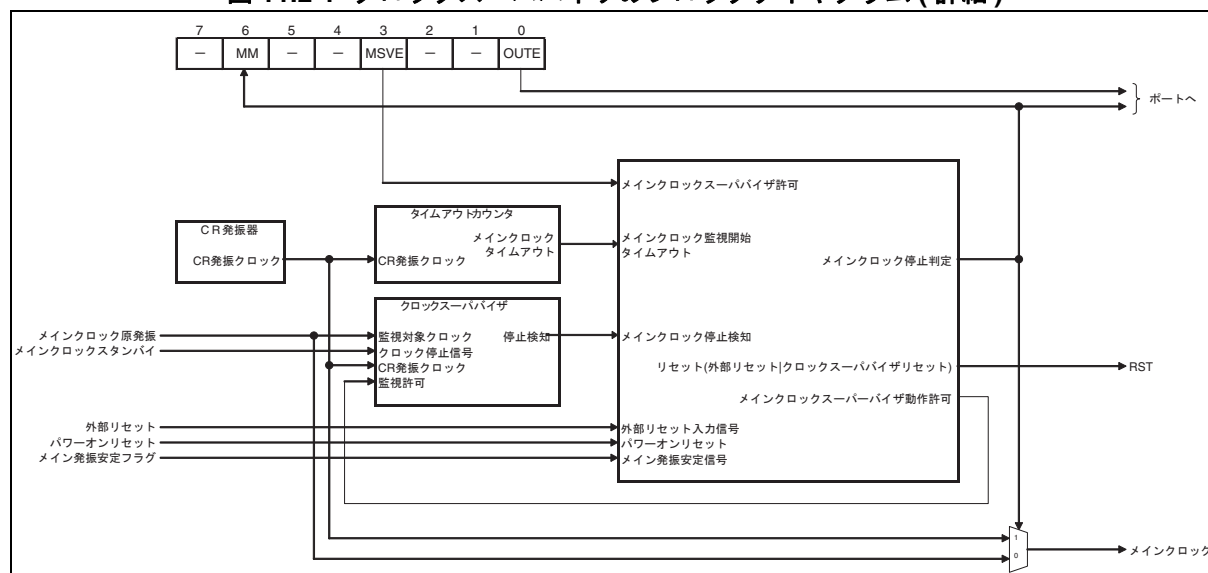
クロックに何らかの問題が生じて、意図せず停止した場合、内蔵 CR 発振器にクロックの代行をさせることができます。

11.2 構成

クロックスーパーバイザを構成するブロックは、以下のとおりです。

- クロックスーパーバイザ
- タイムアウトカウンタ
- 制御ロジック
- CR 発振器

図 11.2-1 クロックスーパーバイザのブロックダイアグラム (詳細)



*: 外部リセット : RSTX 端子のアサート (NMIX との同時アサートも含まれます。)

(注意事項) クロックモニタを持つ品種では、クロックをポートから出力できます。

CSVCR.OUTE=1 と設定することにより、MM ビットをポート (P060) から出力できます。

11.3 レジスタ

■ レジスタマップ

表 11.3-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x056C	予約	CSVCR	予約	予約	クロックスーパーバイザ制御レジスタ

11.3.1 クロックスーパーバイザ制御レジスタ (CSVCR)

クロックスーパーバイザ制御レジスタ (CSVCR) は、各機能の許可および状態の確認を行うレジスタです。

• CSVCR : アドレス 056D_H (アクセス: バイト)

7	6	5	4	3	2	1	0	bit
予約	MM	予約	予約	MSVE	予約	予約	OUTE	
0	0	0	1	1	1	0	0	初期値
R/W0	R,W	R,W0	R/W1	R/W	R/W1	R/W0	R/W	属性

[bit7] 予約

必ず "0" を書き込んでください。

[bit6] MM(Main clock Missing) : メインクロック停止

メイン発振クロックに問題が生じると本ビットがセットされます。

本ビットが "0" の場合、メインクロックには問題がありません。

メインクロックが復旧していないとき、"0" 書込みは無視されます。

本ビットは、パワーオンリセットもしくは外部リセットにより "0" にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。

MM	読出し	書込み
0	メイン発振クロック停止未検出	メインクロックが復旧しているとき、本ビットをクリア
1	メイン発振クロック停止検出	効果ありません

(注意事項) 本ビットが "1" の場合、PLL 発振動作は許可しないでください。

[bit5] 予約

必ず "0" を書き込んでください。

[bit4] 予約

必ず "1" を書き込んでください。

[bit3] MSVE(Main clock SuperVisor Enable) : メインクロックスーパーバイザ許可

本ビットを "1" に設定すると、メインクロックスーパーバイザが許可されます。

本ビットは、パワーオンリセット時に "1" に初期化されます。

ほかの種類のリセットは、このビットに影響を与えません。

MSVE	説明
0	メインクロックスーパーバイザ禁止
1	メインクロックスーパーバイザ許可 (初期値)

[bit2] 予約

必ず "1" を書き込んでください。

[bit1] 予約

必ず "0" を書き込んでください。

[bit0] OUTE(Output Enable) : 出力許可

本ビットは、MM ビットをポートから出力するための許可ビットです。

本ビットを "1" に設定すると、MM ビットの出力が許可されます。

本ビットは、パワーオンリセットもしくは外部リセットにより "0" にクリアされます。ほかの種類のリセットは、このビットに影響を与えません。

OUTE	説明
0	ポートから MM 出力を許可しない (初期値)
1	ポートから MM 出力を許可する

11.4 動作説明

クロックスーパーバイザの動作について説明します。

メインクロック動作中に、メインクロックに障害が発生した場合、構成に応じてそのクロックをオンチップ CR 発振クロックで置き換えることができます。

36-44 μ s の期間、クロックが入力されない場合、障害が発生したと判断し、MCU はリセットされます。

このリセットの後においてメイン発振クロック停止検出ビットの状態は保持されるため、ソフトウェアによって状態を読み出し問題の有無を判断できます。

意図してメインクロックを停止させた場合、メインクロックスーパーバイザは自動的に停止します。

クロックスーパーバイザ制御レジスタにあるメインクロック停止ビットをポートから出力することが可能です。

メインクロック停止後、停止を示すビットをソフトウェアでクリアすることが可能です。

クリアしたときメイン発振が復帰していればメイン発振で動作を開始し、復帰していなければ、CR 発振で動作を継続します。

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD:

スタンバイモード遷移時、CR 発振器は発振を継続します。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB:

スタンバイモード遷移時、CR 発振器は自動的に停止します。スタンバイモードから復帰するときに、CR 発振器は自動的に再起動します。

(注意事項) メインクロック停止検出後、メインクロックが CR 発振器に置き換わって動作しているとき、PLL 発振動作は許可しないでください。

11.4.1 初期状態

初期設定時は、CR 発振器の発振、メインクロックスーパーバイザ機能が許可されています。

■ CR 発振

電源投入時に発振が許可されます。

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD:

スタンバイモード遷移時、CR 発振器は発振を継続します。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB:

スタンバイモードに遷移したときのみ停止します。スタンバイモードが解除されると自動的に発振を再開します。

■ メインクロックスーパーバイザ

メイン発振安定待ち時間経過後に許可されます。

メインクロックスーパーバイザが許可されているときに、メインクロックが停止した場合、メインクロックは CR 発振クロックで置き換えられます。

また、CSVCR レジスタの MM ビットが "1" に設定されて、RST レベルのリセットが発生します。

[補足]

メイン発振安定待ち時間は、メインクロック自身で計られますので、発振安定待ち時間経過前にメインクロックが停止してしまうと、メイン発振安定待ち時間が終了せず、メインクロックスーパーバイザが許可されません。

その場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインスーパーバイザ機能が許可され、メインクロック停止が検知されます。

[補足]

電源投入時からメインクロックが停止している場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインスーパーバイザ機能が許可され、メインクロック停止が検知されます。

11.4.2 CR 発振器およびクロックスーパーバイザ機能の停止

■ CR 発振

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD:

スタンバイモード遷移時, CR 発振器は発振を継続します。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB:

CR 発振器は, スタンバイモード時停止します。メインクロックに問題があるときにスタンバイモードに遷移することは禁止です。クロックに問題があるかないかは, CSVCR レジスタの MM ビットで確認できます。

[補足]

クロックに問題がある場合は, 既に動作クロックが CR 発振クロックに置き換わっているため, CR 発振が停止すると動作クロックも停止してしまいます。

■ メインクロックスーパーバイザ

CSVCR レジスタの MSVE ビットを "0" に設定します。

11.4.3 クロックスーパーバイザ再許可

■ メインクロックスーパーバイザ

メインクロックスーパーバイザ機能を再許可するには、CSVCR レジスタの MSVE ビットを "1" に設定します。

[補足]

メイン発振安定待ち時間は、メインクロック自身で計られますので、発振安定待ち時間経過前にメインクロックが停止してしまうと、メイン発振安定待ち時間が終了せず、メインクロックスーパーバイザが許可されません。

その場合は、内部 CR 発振器で計られるタイムアウト時間が経過した後に、発振安定待ち時間とは無関係に、メインスーパーバイザ機能が許可され、メインクロック停止が検知されます。

11.4.4 ストップモード

■ CR 発振

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD:

ストップモード遷移時, CR 発振器は発振を継続します。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB:

ストップモードに遷移することで発振が停止します。ストップモード解除後, 自動的に発振を再開します。

■ メインクロックスーパーバイザ

メインクロックスーパーバイザ機能が許可されている状態で, ストップモードに遷移すると, 自動的に停止します。

メインクロックスーパーバイザ許可ビット (CSVCR.MSVE) は "0" になりません。

ストップモード解除後, メイン発振安定待ち時間を待って, 自動的に再許可されます。

[補足]

メイン発振安定待ち時間は, メインクロック自身で計られますので, 発振安定待ち時間経過前にメインクロックが停止してしまうと, メイン発振安定待ち時間が終了せず, メインクロックスーパーバイザが許可されません。

その場合は, 内部 CR 発振器で計られるタイムアウト時間が経過した後に, 発振安定待ち時間とは無関係に, メインスーパーバイザ機能が許可され, メインクロック停止が検知されます。

(注意事項) メインクロックスーパーバイザ機能が禁止されている状態で, ストップモードに遷移した場合は, ストップモードが解除後も禁止のままです。

11.4.5 ストップモード (電源遮断)

■ CR 発振

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD:

ストップモード (電源遮断) 遷移時, CR 発振器は発振を継続します。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB:

ストップモード (電源遮断) に遷移することで発振が停止します。ストップモード (電源遮断) 解除後, 自動的に発振を再開します。

■ メインクロックスーパーバイザ

メインクロックスーパーバイザ機能が許可されている状態で, ストップモード (電源遮断) に遷移すると, 自動的に停止します。

メインクロックスーパーバイザ許可ビット (CSVCR.MSVE) は "0" になりません。

ストップモード (電源遮断) 解除後, メイン発振安定待ち時間を待って, 自動的に再許可されます。

[補足]

メイン発振安定待ち時間は, メインクロック自身で計られますので, 発振安定待ち時間経過前にメインクロックが停止してしまうと, メイン発振安定待ち時間が終了せず, メインクロックスーパーバイザが許可されません。

その場合は, 内部 CR 発振器で計られるタイムアウト時間が経過した後に, 発振安定待ち時間とは無関係に, メインスーパーバイザ機能が許可され, メインクロック停止が検知されます。

(注意事項) メインクロックスーパーバイザ機能が禁止されている状態で, ストップモード (電源遮断) に遷移した場合は, ストップモード (電源遮断) 解除後も禁止のままです。

11.4.6 時計モード

■ CR 発振

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD:

時計モード遷移時, CR 発振器は発振を継続します。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB:

時計モードに遷移することで発振が停止します。時計モード解除後, 自動的に発振を再開します。

■ メインクロックスーパーバイザ

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD:

メインクロックスーパーバイザ機能は, 時計モードへの遷移に影響を受けません。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB:

CR 発振が停止しているため, メイン発振が停止しても検出しません。

11.4.7 時計モード (電源遮断)

■ CR 発振

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD:

時計モード (電源遮断) 遷移時, CR 発振器は発振を継続します。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB:

時計モード (電源遮断) に遷移することで発振が停止します。時計モード (電源遮断) 解除後, 自動的に発振を再開します。

■ メインクロックスーパーバイザ

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD:

メインクロックスーパーバイザ機能は, 時計モード (電源遮断) への遷移に影響を受けません。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB:

CR 発振が停止しているため, メイン発振が停止しても検出しません。

11.4.8 クロックスーパーバイザによるリセット要因の確認

クロックスーパーバイザがクロックの問題を検知してリセットが発生したかどうかを調べる方法は以下のとおりです。

まず、RSTRR レジスタ (「第 8 章 リセット」を参照してください) を読み出してリセット要因を確認します。

RSTRR レジスタの ERST ビットが "1" になっている場合、RSTX 外部端子からのリセット入力、不正スタンバイモード移行検出リセット、外部電源低電圧検出、クロックスーパーバイザリセットもしくは RSTX 外部端子と NMIX 外部端子の同時アサートのいずれかが発生したことを示します。

この場合に、CSVCR レジスタを読み出して、MM ビットを確認してください。

リセット要因は、以下のように確認できます。

ERST	MM	リセット要因
1	1	クロックスーパーバイザリセット
1	0	RSTX 外部端子からのリセット入力 不正スタンバイモード移行検出リセット 外部電源低電圧検出 RSTX 外部端子と NMIX 外部端子の同時アサート

[補足]

MM ビットは、パワーオンリセットおよび外部リセット以外ではクリアされませんので、RSTRR レジスタ (「第 8 章 リセット」を参照してください) を読み出してリセットほかのリセット要因も合わせて確認する必要があります。

11.4.9 CR クロックからの切戻り

■ メインクロックスーパーバイザ

MPU はリセットからの回復後に MM ビットがセットされていたことを検出すると、メインクロックが停止して CR 発振クロックに置き換わっていると判断できます。このとき、メインクロックが復旧していることを確認できれば、MM ビットに "0" を書き込むことによって、メインクロックに切戻すことが可能です。メインクロックが復旧していない場合、MM ビットへの "0" 書込みは何の影響をあたえません。MM ビットは "1" を保持し続けます。MM ビットに "0" を書き込んだときにメインクロックが動作していた場合、MM ビットはクリアされ、クロックは同期ステージを経由してメインクロックに切戻ります。メインクロックが復旧するまで MM ビットをポーリングできます。

```
ldi #_csvcr,r1  
clear_CSV_loop:  
bandh #0b1011,@r1 ;; Clear MM  
btsth #0b0100,@r1 ;; Check MM  
bne clear_CSV_loop
```


第 12 章 レギュレータ制御

12.1 概要

内部電圧を生成しているレギュレータの動作は、デバイス状態遷移に応じて自動的に変更されます。以下の 2 つのレギュレータモードに自動的に変更されます。

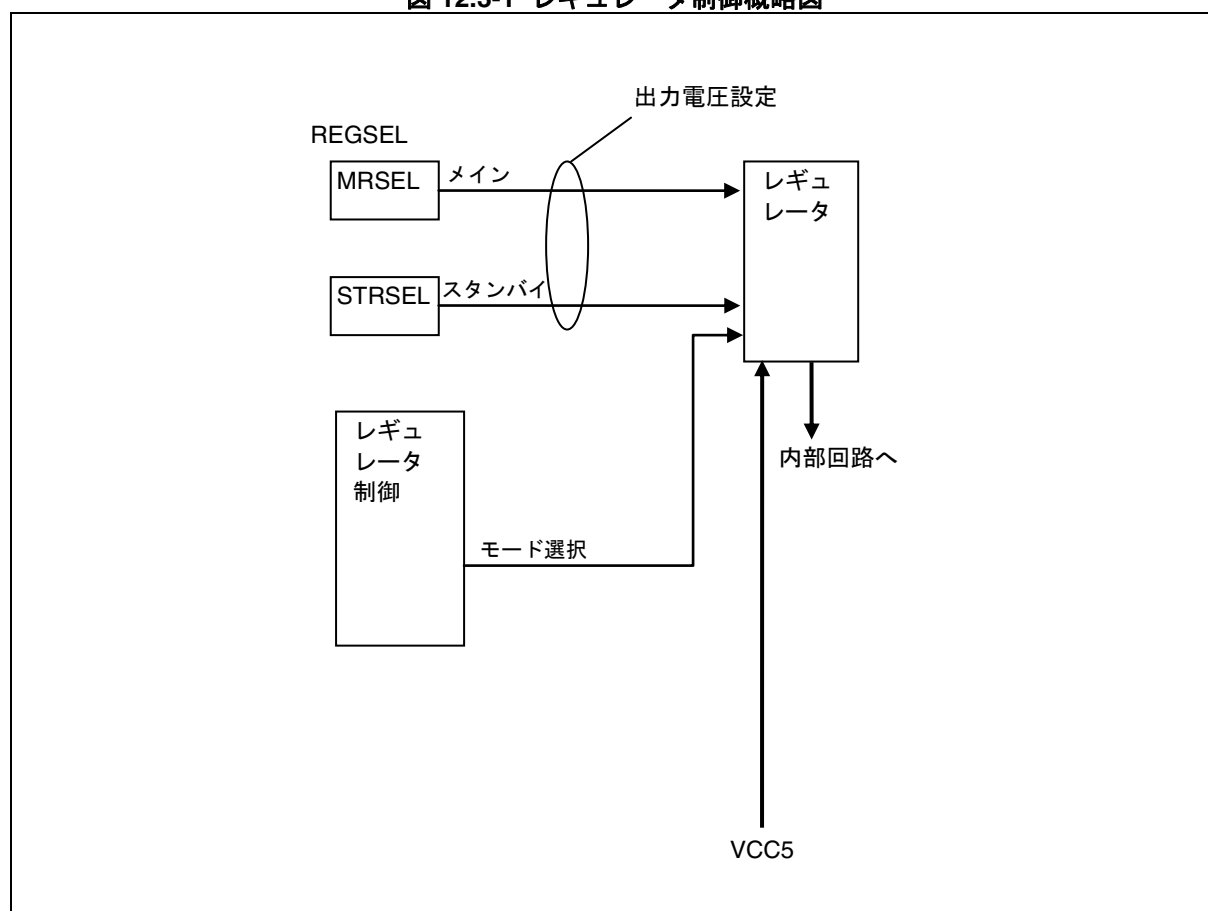
- メインモード (通常動作時)
- スタンバイモード (ストップ・時計モード時)

12.2 特長

デバイス状態遷移に応じて、自動的にレギュレータモードを変更します。

12.3 構成

図 12.3-1 レギュレータ制御概略図



管理コード : ZBLVDR_REG-0v5-91580L-1-J

12.4 レジスタ

表 12.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0580	REGSEL	予約	予約	予約	レギュレータ出力電圧選択レジスタ

- レギュレータ出力電圧選択レジスタ: REGSEL (REGulator output voltage SElect register)
メイン・スタンバイの各レギュレータモードの出力電圧レベルを選択するレジスタです。

- REGSEL: アドレス 0580_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
MRSEL[1:0]		予約		STRSEL[2:0]			-	
0	1	1	0	1	1	0	0	初期値
R/W0	R/W1	R/W1	R/W0	R/W1	R/W1	R/W0	R0,WX	属性

[bit7, bit6] MRSEL(Main Regulator voltage SElect)

メインレギュレータ (レギュレータモード: メインモード) 出力電圧レベルを設定します。

MRSEL[1:0]	メインレギュレータ出力電圧
00	予約
01	1.2±0.1V
10	予約
11	予約

[bit5] 予約

必ず "1" を書き込んでください。

[bit4] 予約

必ず "0" を書き込んでください。

[bit3 ~ bit1] STRSEL(STandby Regulator voltage SElect)

スタンバイレギュレータ (レギュレータモード: スタンバイモード) 出力電圧レベルを設定します。

STRSEL[2:0]	スタンバイレギュレータ出力電圧
000	予約
001	予約
010	予約
011	0.9±0.1V
100	予約
101	予約
110	1.2±0.1V
111	予約

(注意事項) 本設定値は, 必ず 1.2V(STRSEL[2:0]=110) にして使用してください。

[bit0] 未定義

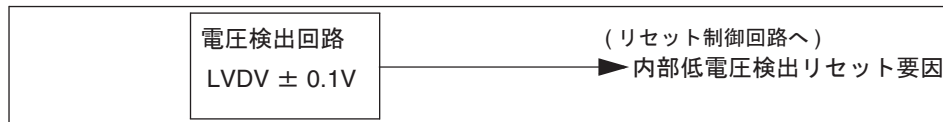
常に "0" が読み出されます。書込みは, 動作に影響ありません。

第 13 章 低電圧検出 (内部電源低電圧検出)

13.1 概要

内部電源低電圧検出は、電源電圧を監視し、検出電圧値より電源電圧が下がったことを検出します。低電圧を検出した場合に、検出フラグを設定します。検出フラグを設定すると、低電圧検出リセットによりリセット状態となります。

図 13.1-1 低電圧検出 (内部低電圧検出) のブロックダイアグラム

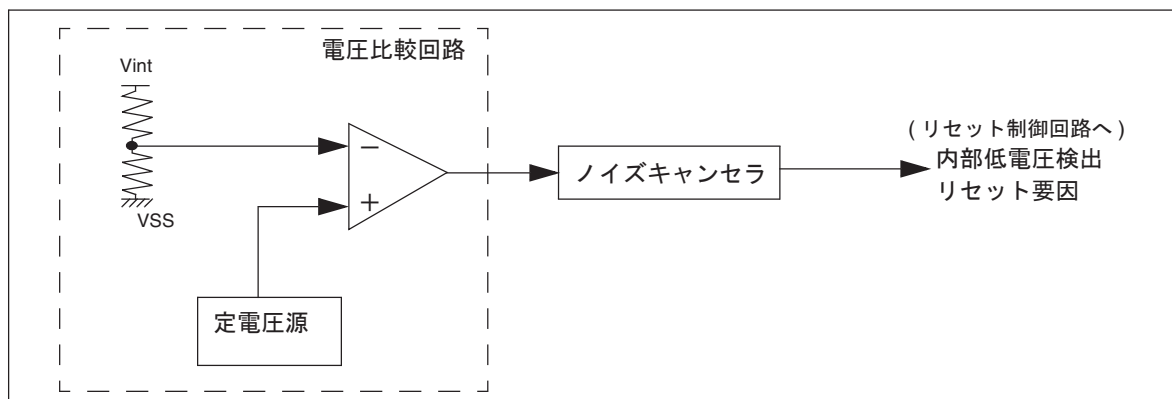


13.2 特長

- 形式 : 電圧 $LVDV \pm 0.1V$ 以下の電圧検出による設定初期化リセット発生 ($LVDV:0.9V$)
- 個数 : 1 個
- 動作 : スリープモード、ストップモード、時計モード時も動作を続けます。
- 電圧比較回路: 検出電圧と内部電源電圧を比較して低電圧を検出すると出力を "H" から "L" にします。

13.3 構成

図 13.3-1 構成図



管理コード : ZBLVDR_INT-0v5-91580L-1-J

13.4 レジスタ

表 13.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0584	LVD5R*	LVD5F*	LVD	予約	内部低電圧検出レジスタ

* : LVD5R,LVD5F については「第 14 章 低電圧検出 (外部電源低電圧検出)」を参照してください。

13.4.1 内部低電圧検出レジスタ : LVD

内部低電圧検出フラグ (LVD_F) をもつレジスタです。

- LVD: アドレス 0586_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
LVD_PD	LVD_SEL[2:0]			LVD_OE	予約		LVD_F	
0	1	0	0	0	0	0	0	初期値
R/W	R/W1	R/W0	R/W0	R/W	R0,WX	R0,WX	R(RM1), W	属性

[bit7] LVD_PD(Low Voltage Detect fall Power Down)

内部電圧立下り検出をするかしないかの設定です。

LVD_PD	内部電源立下りパワーダウン設定
0	無効 (検出を実行)
1	有効 (検出を停止)

本ビットはパワーオンリセットでのみ初期化されます。

(注意事項) 本ビットの設定によるパワーダウン有効→無効 (動作開始) 時には , 100μs 後に検出許可 (OE=0) にしてください。100μs より前に検出許可した場合 , 検出フラグがセットされる場合があります。

[bit6 ~ bit4] LVD_SEL(Low Voltage Detect internal power fall SElect)

内部電圧立下り検出の検出レベルの選択信号です。

LVD_SEL[2:0]	内部電源立下り検出電圧設定
100	0.9V±0.1V
上記以外	設定禁止

(注意事項) LVD_OE=1 のみ書き換えが可能です。

[bit3] LVD_OE(Low Voltage Detect internal power fall Output Enable)

内部電源電圧立下り検出の出力許可信号です。

LVD_OE	内部電源立下り検出出力許可設定
0	許可
1	停止

本ビットはパワーオンリセットでのみ初期化されます。

[bit2,bit1] 予約

[bit0] LVD_F(Low Voltage Detect internal power fall Flag)

内部電圧立下り検出フラグです。

LVD_F	内部電源立下り検出フラグ	
	読出し	書込み
0	検出していない	フラグをクリア
1	検出した	動作に影響なし

パワーオンリセット,または内部電圧の低下が検出されると,LVD_Fビットは"1"に設定されます。
外部リセット入力時のみ初期化されます。

13.5 動作説明

内部電源低電圧検出は、内部電源電圧を監視し、検出電圧値よりも内部電源電圧が低下したことを検出し、検出フラグを設定します。低電圧を検出してフラグが設定されたときに設定初期化リセットが発生します。

内部電源電圧が検出電圧より低下した場合、内部低電圧検出電圧が復帰した後に、発振安定待ち時間が必要です。詳細は「第 8 章 リセット」を参照してください。

発振安定待ち時間	$2^{15} \times \text{メインクロック周期}$
----------	----------------------------------

13.6 注意事項

- 内部電源低電圧検出の動作
 - 内部電圧が低下して内部低電圧検出フラグが "1" に設定された場合 (LVD:LVD_F=1), 低電圧検出リセット機能による内部リセットが発生しています。
このとき、内部低電圧検出レジスタ (LVD) の書込み / 読出しはできません。
 - 内部低電圧検出回路はスリープ、ストップモード、時計モード動作時においても、動作可能であり、動作している場合には電流を消費します。
 - 内部低電圧検出回路はユーザの設定によって動作 / 停止が可能です。
- 発振安定待ち時間

内部電圧が検出電圧より低下した場合、内部低電圧検出電圧が復帰した後に発振安定待ち時間が必要です。詳細は「リセット」を参照してください。
- 検出 / 解除のヒステリシス

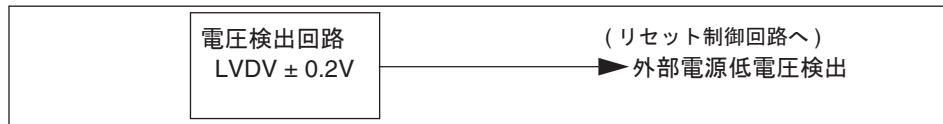
検出 / 解除は、0.05 V のヒステリシスを持つため、解除電圧は設定値 +0.05V となります。
例えば LVD:1.0V±0.1V 設定のとき、解除電圧は 1.05V±0.1V です。

第 14 章 低電圧検出 (外部電源低電圧検出)

14.1 概要

外部電源低電圧検出は、電源電圧を監視し、検出電圧値より電源電圧が下がったことを検出します

図 14.1-1 低電圧検出 (外部電源低電圧検出) のブロックダイアグラム



※立上り LVDV : 2.3V

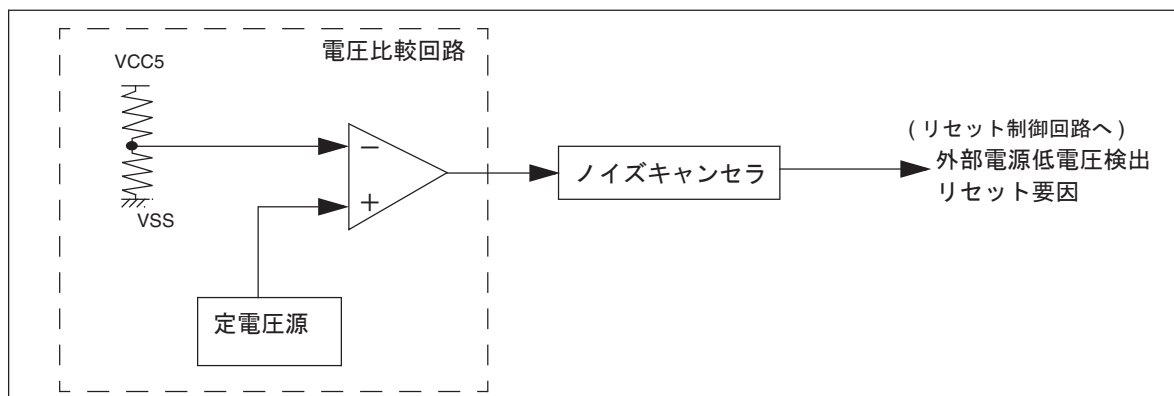
立下り LVDV : 3.7V ~ 4.3V(0.2V 単位) 可変

14.2 特長

- 形式 : 電圧 $LVDV \pm 0.2V$ 以下の電圧検出による設定初期化リセット発生
(立上り LVDV:2.3V 固定, 立下り LVDV:3.7V ~ 4.3V, 0.2V 単位可変)
- 個数 : 1 個
- 動作 : ユーザ設定により、動作 / 停止を切り換えます。
内部 RAM 書込み期間中は、書込み終了後に低電圧リセットが発生します。
- 電圧比較回路: 検出電圧と電源電圧を比較して低電圧を検出すると出力を "L" にします。

14.3 構成

図 14.3-1 構成図



管理コード : ZBLVDR_EXT-0v5-91580L-1-J

14.4 レジスタ

表 14.4-1 レジスタマップ

アドレス	Register				レジスタ機能
	+0	+1	+2	+3	
0x0584	LVD5R	LVD5F	LVD*	予約	外部低電圧検出立上り 検出レジスタ 外部低電圧検出立下り 検出レジスタ

* : LVD については「第 13 章 低電圧検出 (内部電源低電圧検出)」を参照してください。

14.4.1 LVD5R (Low Voltage Detect 5v Rise register) 外部低電圧検出立上り検出レジスタ

低電圧検出リセットフラグクリアなどを行うレジスタです。

- LVD5R : アドレス 0x0584_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
予約							LVD5R_F	
0	0	0	0	0	0	0	1	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R(RM1), W	属性

[bit7 ~ bit1] 予約

[bit0] LVD5R_F(Low Voltage Detect 5v Rise Flag)

外部電源電圧立上り検出フラグです。

LVD5R_F	外部電源立上り検出フラグ	
	読出し	書込み
0	検出してない	フラグをクリア
1	検出した	動作に影響なし

外部電源電圧の立上りが検出されると , LVD5R_F ビットが "1" に設定されます。

外部リセット入力時にクリアされます。

14.4.2 LVD5F (Low Voltage Detect 5v Fall register) 外部低電圧検出立下り検出レジスタ

低電圧検出リセットフラグクリアなどを行うレジスタです。

- LVD5F : アドレス 0x0585_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
LVD5F_PD	予約	LVD5F_SEL[1:0]	LVD5F_OE	予約	予約	予約	LVD5F_F	
0	0	0	1	0	0	0	1	初期値
R/W	R0,WX	R/W	R/W	R/W	R0,WX	R0,WX	R(RM1), W	属性

[bit7] LVD5F_PD (Low Voltage Detect 5v Fall Power Down)

外部電源電圧立下り検出をするかしないかの設定です。

LVD5F_PD	外部電源立下りパワーダウン設定
0	無効 (検出を実行)
1	有効 (検出を停止)

本ビットは、パワーオンリセットでのみ初期化されます。

(注意事項) 本ビットの設定によるパワーダウン有効→無効 (動作開始) 時には、100 μ s 後に検出許可 (OE=0) にしてください。100 μ s より前に検出許可にした場合、検出フラグがセットされる場合があります。

[bit6] 予約

[bit5, bit4] LVD5F_SEL (Low Voltage Detect 5v Fall SElect)

外部電源電圧立下り検出の検出レベルの選択信号です。

LVD5F_SEL[1:0]	外部電源立下り検出電圧設定
00	3.7V \pm 0.2V
01	3.9V \pm 0.2V
10	4.1V \pm 0.2V
11	4.3V \pm 0.2V

※ LVD5F_OE="1" 時のみ書き換えが可能です。

[bit3] LVD5F_OE (Low Voltage Detect 5v Fall Output Enable)

外部電源電圧立下り検出の出力許可信号です。

LVD5F_OE	外部電源立下り検出出力許可設定
0	許可
1	停止

本ビットは、パワーオンリセットでのみ初期化されます。

[bit2, bit1] 予約

[bit0]] LVD5F_F(Low Voltage Detect 5v Fall Flag)

外部電源電圧立下り検出フラグです。

LVD5F_F	外部電源立下り検出フラグ	
	読出し	書込み
0	検出していない	フラグをクリア
1	検出した	動作に影響なし

外部電源電圧の低下が検出されると、LVD5F_F ビットは "1" に設定されます。

外部リセット入力時にクリアされます。

14.5 動作説明

■ 外部低電圧検出

外部低電圧検出は、外部電源電圧を監視し、設定値よりも外部電源電圧が低下したときに設定初期化リセットを発生します。低電圧を検出して設定初期化リセットが発生した場合、レジスタの内容は保証できません。低電圧リセット解除後は発振安定待ち時間を取らずに、リセットシーケンスを実行した後にリセットベクタで指定されたアドレスからプログラムが再スタートします。

14.6 注意事項

低電圧検出リセット回路使用上の注意

- プログラムでの動作

- 低電圧検出リセット回路は、外部低電圧検出立上り検出を除き、設定に従って、動作します。
外部低電圧検出立上り検出は、パワーオン・リセットとして使用されます。
- 外部低電圧検出立上り検出は、常に動作していますので、スリープモード、ストップモード、時計モード動作時においても、電流を消費します。

- ストップモード時の動作

低電圧検出リセットは、設定によってストップモードでも動作を続けることができます。
このとき、ストップモード中に低電圧を検出すると、設定初期化リセットが発生し、ストップモードは解除されます。

- 検出 / 解除のヒステリシス

検出 / 解除は 0.125V のヒステリシスを持つため、解除電圧は設定値 +0.125V となります。例えば LVD5F:4.1V ± 0.2V 設定のとき、解除電圧は 4.225V ± 0.2V となります。

第 15 章 NMI 入力

15.1 概要

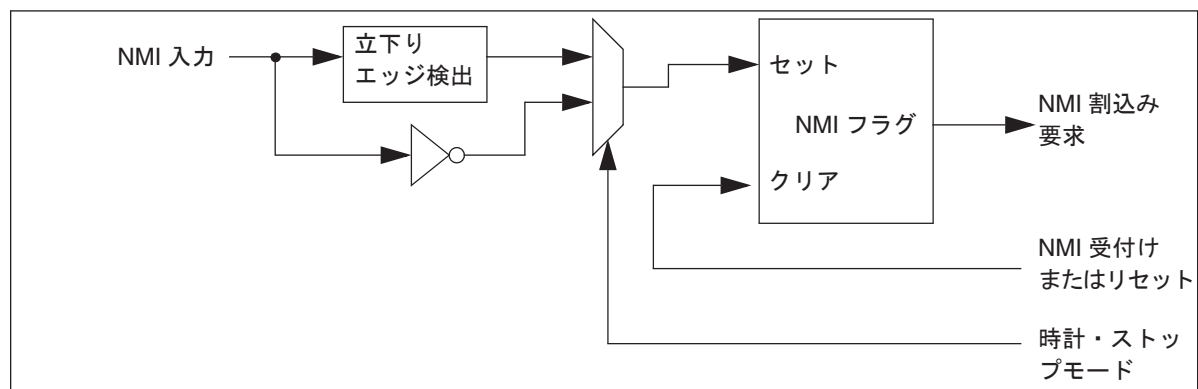
NMI(Non Maskable Interrupt) は, NMIX 端子から入力されるマスクすることができない割り込み入力と, 機能安全などによるマスクされない割り込み要因を OR した信号です。これ以降この章では NMIX 端子とほかの要因を OR した信号を「NMI 入力」と記します。NMI はストップモードからの復帰要因として使用できます。

15.2 特長

ストップモード(電源遮断含む), 時計モード(電源遮断含む)でも使用可能。

15.3 構成

図 15.3-1 NMI 入力のブロックダイアグラム



15.4 レジスタ

本機能は, レジスタを持ちません。

15.5 動作説明

■ NMI 割込みレベル

NMI は, ユーザ割込みの中で最強の割込みで, マスクできません。例外として, リセット後 CPU が ILM を設定するまで NMI はマスクされます。

■ NMI 外部端子

ストップモード中は L レベル検出, それ以外のときは立下りエッジ検出となります。

■ 割込み要求出力

NMI 要求検出部は NMI フラグがあり, NMI 要求によりセットされ, NMI 自身の割込み受付け, またはリセットでのみクリアされます。NMI フラグはリード/ライトできません。

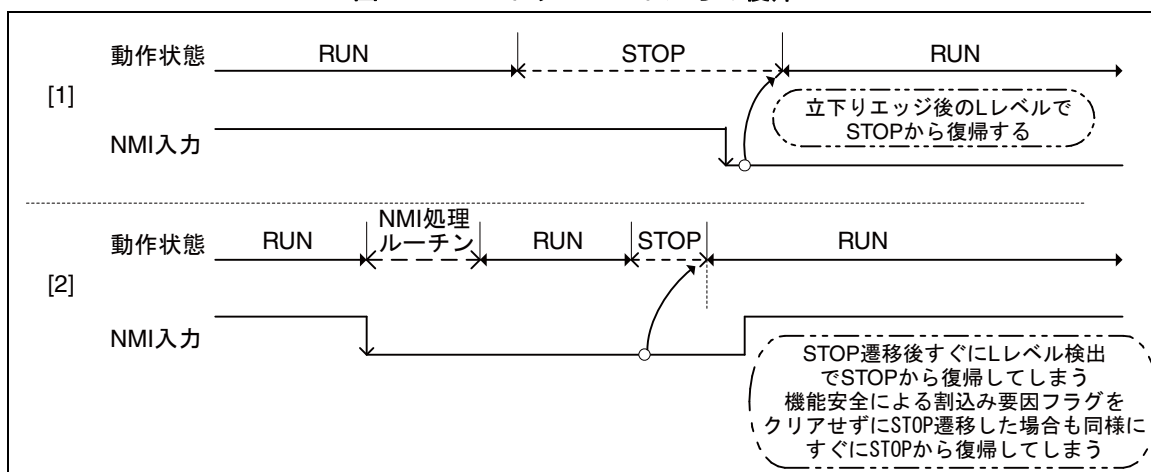
NMIX 外部端子による NMI かほかの要因による NMI かを判別するには, IRPR15L レジスタをリードしてください。同レジスタの詳細は「第 23 章 割込み要求一括読出し」を参照してください。

管理コード: FR81S09_NMI-1v0-91580L-1-J

■ ストップモードからの復帰

ストップモードに遷移しているとき、NMIX 入力が "L" レベルで NMI 要求が割込みコントローラに出力され、ストップモードから復帰します。通常状態（ストップモードではないとき）で NMI 処理ルーチン終了後、NMIX 端子を "H" レベルに戻さずにストップモードに遷移すると、ストップモードへの遷移後すぐにストップから復帰してしまいます（図 15.5-1）。また、同様に NMIX 端子を "H" レベルに戻さずにストップモード（電源遮断）に遷移すると、電源遮断制御はしません。ストップモード遷移前に NMIX 端子を "H" レベルに戻して、ストップモード中に NMIX 端子を "L" レベルにするようにしてください。

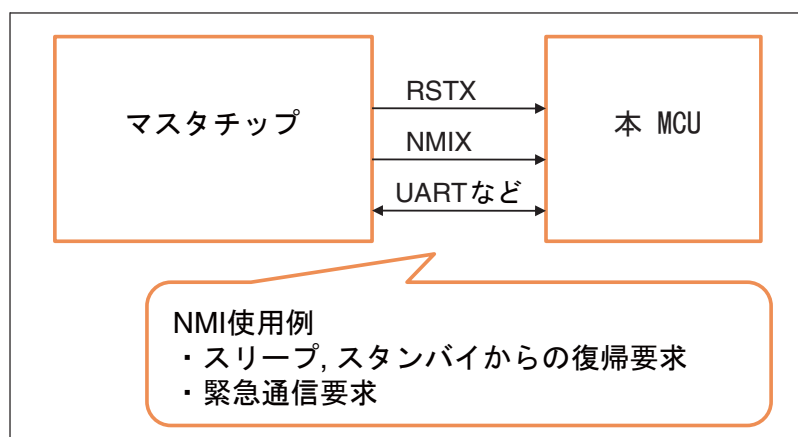
図 15.5-1 ストップモードからの復帰



15.6 使用例

NMI 機能の使用例です。

図 15.6-1 使用例

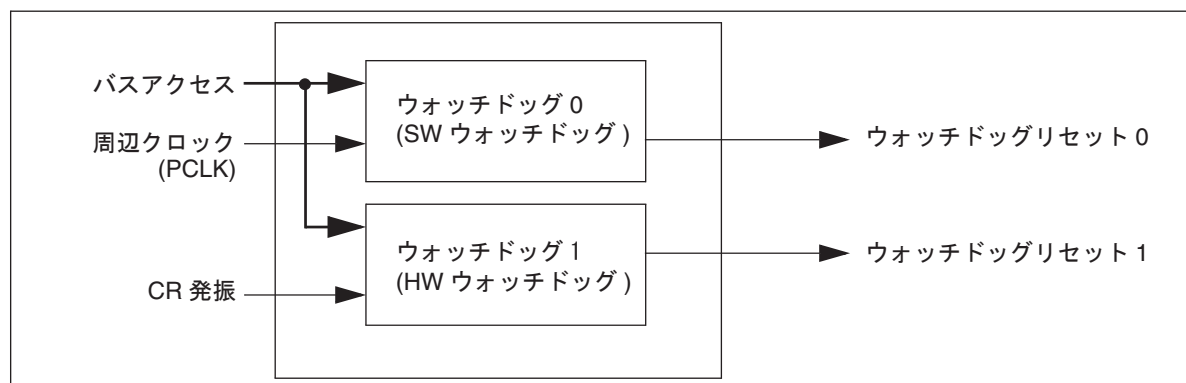


第 16 章 ウォッチドッグタイマ

16.1 概要

本品種は、2つのウォッチドッグタイマを持ち、ソフトウェアおよびハードウェアの暴走状態を検出してリセット要求を発生できます。

図 16.1-1 ウォッチドッグタイマのブロックダイアグラム



管理コード: WDT-1v0-91580L-1-J

16.2 特長

■ ウォッチドッグタイマ 0 (ソフトウェアウォッチドッグ)

- ストップモード検出機能
時計モード, ストップモードへの遷移を検出してリセット要求を発生できます。
- ウォッチドッグタイマのクリア
動作初期化リセット, または前回クリアレジスタに書いた値の反転値を書くことでタイマをクリアします。
- 不正書込み検出機能
クリアレジスタに不正な値が書き込まれるとリセット要求を発生します。
- ウォッチドッグタイマ周期
周辺クロック (PCLK) $\times (2^9 \sim 2^{24})$ サイクルの 16 とおりから選択できます。
- カウント停止条件。
CPU 停止中はカウントを停止します。

■ ウォッチドッグタイマ 1 (ハードウェアウォッチドッグ)

- リセット解除後, すぐに搭載 CR 発振回路で生成されたクロックで駆動します。
- ウォッチドッグタイマのクリア
動作初期化リセット, またはクリアレジスタに "0xa5" を書くことでタイマをクリアします。
 - 不正書込み検出機能
クリアレジスタに "0xa5" 以外の値が書き込まれるとリセット要求を発生します。
 - ウォッチドッグタイマ周期
ハードウェア固定で, CR 発振 $\times 2^{11}$ サイクルです。
 - カウント停止条件
ICE 使用中, カウントを停止します。
MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD :
時計モード時, ストップモード時はカウントを継続します。
MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB :
時計モード時, ストップモード時はカウントを停止します。

16.4 レジスタ

表 16.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x003C	WDTCR0	WDTCPR0	WDTCR1	WDTCPR1	ウォッチドッグタイマ 0 制御レジスタ ウォッチドッグタイマ 0 クリアレジスタ ウォッチドッグタイマ 1 周期 インフォメーションレジスタ ウォッチドッグタイマ 1 クリアレジスタ

■ ウォッチドッグ制御レジスタ 0 : WDTCR0 (WatchDog Timer Configuration Register 0)

ウォッチドッグタイマ 0 の各種設定を行います。
ウォッチドッグタイマ 0 起動後の本レジスタへの書込みは無効です。

• WDTCR0 : アドレス 003C_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約	RSTP	予約	WT[3:0]					
0	0	0	0	0	0	0	0	初期値
R/W0	R/W	R/W0	R/W0	R/W	R/W	R/W	R/W	属性

[bit7] 予約

必ず "0" を書き込んでください。

[bit6] RSTP (Reset by SToP) : ストップモード検出リセット許可

ウォッチドッグタイマ 0 動作時, 時計モードまたはストップモード遷移を検出したときに, リセットを発生するかどうかを設定します。許可した場合, 時計モードまたはストップモードへ遷移するとウォッチドッグリセット 0 が発生します。許可していない場合, 時計モードまたはストップモードへ遷移するとウォッチドッグタイマ 0 は一時停止し, 時計モードまたはストップモードから復帰する迄カウントを行いません。

RSTP	ストップモード検出
0	検出しない (初期値)
1	検出してリセットを発生する

ウォッチドッグタイマ 0 起動後の本ビットへの書込みは無効です。

[bit5, bit4] 予約

必ず "0" を書き込んでください。

[bit3 ~ bit0] WT3 ~ WT0 (Watchdog Timer interval) : ウォッチドッグタイマ周期選択

ウォッチドッグタイマ 0 が最後にクリアされてからウォッチドッグリセット 0 が発行されるまでのサイクル数を以下のように設定します。

WT3 ~ WT0	ウォッチドッグタイマ 0 周期
0000	PCLK (周辺クロック) × 2 ⁹ サイクル
0001	PCLK × 2 ¹⁰ サイクル
0010	PCLK × 2 ¹¹ サイクル
0011	PCLK × 2 ¹² サイクル
0100	PCLK × 2 ¹³ サイクル
0101	PCLK × 2 ¹⁴ サイクル
0110	PCLK × 2 ¹⁵ サイクル

WT3 ～ WT0	ウォッチドッグタイマ 0 周期
0111	PCLK × 2 ¹⁶ サイクル
1000	PCLK × 2 ¹⁷ サイクル
1001	PCLK × 2 ¹⁸ サイクル
1010	PCLK × 2 ¹⁹ サイクル
1011	PCLK × 2 ²⁰ サイクル
1100	PCLK × 2 ²¹ サイクル
1101	PCLK × 2 ²² サイクル
1110	PCLK × 2 ²³ サイクル
1111	PCLK × 2 ²⁴ サイクル

ウォッチドッグタイマ 0 起動後の本ビットへの書込みは無効です。

ウォッチドッグタイマ 0 は、CPU が動作停止している期間はカウントを行いません。

DMA 転送が行われていても、CPU が動作している期間はカウントを行います。

■ ウォッチドッグタイマ 0 クリアレジスタ : WDTCPR0 (WatchDog Timer Clear Pattern Register 0)

ウォッチドッグタイマ 0 の起動およびクリア (リセット発行延期) を行うレジスタです。

• WDTCPR0: アドレス 003D_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
CPAT[7:0]								
0	0	0	0	0	0	0	0	初期値
R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	属性

[bit7 ～ bit0] CPAT7 ～ CPAT0 (Clear PATtern) : ウォッチドッグタイマ 0 クリア

リセット解除後、本レジスタへの 1 回目の書込みを行うことによりウォッチドッグタイマ 0 が起動します。起動後のウォッチドッグタイマのクリアは、前回書き込んだ値の全ビット反転した値を書き込むことにより行います。前回書き込んだ値の反転値以外を書き込んだ場合、その時点でウォッチドッグリセット 0 が発行されます。

本レジスタの読出し値は、書込み値にかかわらず常に "0x00" となります。

■ ウォッチドッグ周期インフォメーションレジスタ 1 : WDTCR1 (WatchDog Timer Cycle information Register 1)

ウォッチドッグタイマ 1 の周期を示します。

• WDTCR1: アドレス 003E_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-				WT[3:0]				
0	0	0	0	0	0	1	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R1,WX	R0,WX	属性

[bit7 ～ bit4] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit3 ～ bit0] WT3 ～ WT0 (Watchdog Timer interval) : ウォッチドッグタイマ周期表示

ウォッチドッグタイマ 1 が最後にクリアされてからウォッチドッグリセット 1 が発行されるまでの

サイクル数です。本ビットへの書込みは無効です。

WT[3:0]	ウォッチドッグタイマ 1 周期
0010	CR 発振 × 2 ¹¹ サイクル

■ ウォッチドッグタイマ 1 クリアレジスタ : WDTCPR1 (WatchDog Timer Clear Pattern Register 1)

ウォッチドッグタイマ 1 のクリア (リセット発行延期) を行うレジスタです。

• WDTCPR1: アドレス 003F_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
CPAT[7:0]								
0	0	0	0	0	0	0	0	初期値
R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	属性

[bit7 ~ bit0] CPAT7 ~ CPAT0 (Clear PATtern) : ウォッチドッグタイマ 1 クリア

リセット解除後, ウォッチドッグタイマ 1 が起動します。起動後のウォッチドッグタイマのクリアは, "0xa5" を書き込むことにより行います。"0xa5" 以外を書き込んだ場合, その時点でウォッチドッグリセット 1 が発行されます。本レジスタの読出し値は書込み値にかかわらず常に "0x00" となります。

16.5 動作説明

以下、ウォッチドッグタイマ機能について説明します。

16.5.1 ソフトウェアウォッチドッグ機能

■ 設定

ウォッチドッグタイマ 0 を起動する前に、WDTCR0 レジスタの bit3-0:WT[3:0] の設定を行い、ウォッチドッグタイマのクリアからリセット発生までの周期を選択します。

ウォッチドッグタイマ 0 は CPU 動作のみのカウントを行うため、プログラムステップ数とクロック分周の設定を基準に周期を設定してください。

ウォッチドッグタイマ 0 を起動する前に、WDTCR0 レジスタの bit6:RSTP の設定を行い、時計モード / ストップモード遷移を検出してリセットを発生するかどうかを選択します。

- RSTP=0 時、時計モード / ストップモード中はタイマを停止します。
- RSTP=1 時、時計モード / ストップモード遷移と同時にリセットを発生します。

時計モード、ストップモードを使用する場合は RSTP=0 を設定してください。ウォッチドッグタイマ 0 起動後の RSTP ビットへの書き込みは無効です。

■ 起動

ウォッチドッグタイマ 0 は、リセット後 1 回目の WDTCPR0 レジスタへの任意データの書き込みにより起動します。

書き込むデータは何であつてもかまいません。

WDTCPR0 レジスタは書き込みデータにかかわらず常に "0x00" が読み出されます。

■ 動作

起動後のウォッチドッグタイマ 0 の動作について説明します。

● カウント条件

表 16.5-1 にカウント条件を示します。

ウォッチドッグタイマ 0 は、CPU が動作中、周辺クロック (PCLK) の立上りエッジでカウントを行います。

DMA 転送は、カウント動作に影響を与えません。

スリープモードなど、CPU が停止している期間のみカウントを停止します。CPU 動作状態のサンプリングは周辺クロック (PCLK) で行うため、周辺クロック周期未満の動作状態の変化は無視されます。

ICE 接続時のエミュレータモード中は、カウントを停止します。ICE 接続時、デバッグインタフェースの機能でウォッチドッグリセットの抑止機能が有効の場合は、カウントを停止します。

上記いずれの条件においても、カウントを停止する際にはカウンタのクリアは行わずに一時停止を行うので、カウントを再開すると停止前のカウンタ値からの継続カウントとなります。

ソースクロックの発振安定待ち時間中は、周辺クロックが停止しますので、ウォッチドッグタイマのカウントも停止しています。

表 16.5-1 ウォッチドッグタイマ 0 カウント条件

	スタンバイ		スタンバイ (電源遮断)		スリープ		Run	メイン発振 安定待ち
	ストップ	時計	ストップ	時計	バス	CPU		
周辺クロック (PCLK)	停止	停止	停止	停止	動作	動作	動作	停止
ウォッチドッグタイマ 0	停止	停止	停止	停止	停止	停止	動作	停止

ICE 接続時のカウント停止条件については上記を参照してください。

● タイマのクリア

ウォッチドッグタイマの起動後、タイマ周期が経過する前に、タイマをクリアしなければなりません。

ウォッチドッグタイマのクリアは、WDTCPR0 へのデータの書き込みにより行います。書き込むデータは、前回 WDTCPR0 に書き込んだデータの全ビット反転値でなければなりません。

ウォッチドッグタイマ 0 起動時に、WDTCPR0 に例えば "0x55" を書き込んで起動した場合は、以降は "0xAA" → "0x55" → "0xAA" → "0x55" と交互に書き込んで行くことによりタイマのクリアを行います。

WDTCPR0 は読出し値が常に "0x00" であるため、WDTCPR0 を読んで前回の書き込み値を知ることはできません。前回書き込んだ値を他所に保持しておけない場合、1 回のクリア時に 2 回連続で書き込みを行うことで対処してください。

● リセット要求生成

ウォッチドッグタイマ 0 は、以下の条件でウォッチドッグリセット要求を発生します。

- 設定したウォッチドッグタイマ周期のオーバフローの発生
- ストップモード検出リセット許可中の時計モードまたはストップモードへの遷移
- クリアレジスタへの前回書き込んだ値の反転値以外の値の書込み

16.5.2 ハードウェアウォッチドッグ機能

■ 設定

ウォッチドッグタイマ 1 の WDTCR1 レジスタの bit3-0:WT[3:0] は、ハードウェアで固定です。

■ 起動

ウォッチドッグタイマ 1 は、リセット解除後すぐに起動します。

■ 動作

起動後のウォッチドッグタイマ 1 の動作について説明します。

● カウント条件

表 16.5-2 にカウント条件を示します。

ウォッチドッグタイマ 1 は CR 発振の立上りエッジでカウントを行います。

ICE 接続時のエミュレータモード中は、カウントを停止します。ICE 接続時、デバッグインタフェースの機能でウォッチドッグリセットの抑止機能が有効の場合は、カウントを停止します。

MB91F585LC/F586LC/F587LC/F585LD/F586LD/F587LD :

時計モード時、ストップモード時はカウントを継続します。

MB91F585LA/F586LA/F587LA/F585LB/F586LB/F587LB :

時計モード時、ストップモード時はカウントを停止します。

スタンバイモードからの復帰時の発振安定待ち中は、カウントを停止しません。

表 16.5-2 ウォッチドッグタイマ 1 カウント条件 (MB91F585LC/F586LC/F587LC/F585LD/
F586LD/ F587LD)

	スタンバイ		スタンバイ (電源遮断) *2		スリープ		Run	メイン発振 安定待ち
	ストップ	時計	ストップ	時計	バス	CPU		
CR 発振	動作	動作	動作	動作	動作	動作	動作	動作
ウォッチドッグタイマ 1 *1	動作	動作	停止	停止	動作	動作	動作	動作

*1: ICE 接続時のカウント停止条件については上記を参照してください。

*2: スタンバイ (電源遮断) 時、CR 発振は動作しますが、マイコン部の電源が遮断されているため、ウォッチドッグタイマ 1 はカウントを停止します。

表 16.5-3 ウォッチドッグタイマ 1 カウント条件 (MB91F585LA/F586LA/F587LA/F585LB/
F586LB/F587LB)

	スタンバイ		スタンバイ (電源遮断)		スリープ		Run	メイン発振 安定待ち
	ストップ	時計	ストップ	時計	バス	CPU		
CR 発振	停止	停止	停止	停止	動作	動作	動作	動作
ウォッチドッグタイマ 1 *1	動作	動作	停止	停止	動作	動作	動作	動作

*1: ICE 接続時のカウント停止条件については上記を参照してください。

● タイマのクリア

ウォッチドッグタイマの起動後，タイマ周期が経過する前に，タイマをクリアしなければなりません。

ウォッチドッグタイマ 1 のクリアは，WDTCPR1 へ "0xa5" を書き込むことにより行います。

(注意事項) ・スタンバイモードまたはスリープモードへ遷移する前にタイマをクリアしてください。

- ・ウォッチドッグタイマ 1(ハードウェアウォッチドッグ)は，CR 発振にて動作するため，CPU からのウォッチドッグタイマ 1 のクリアには，CR 発振×2 サイクル分が必要になります。そのため，スタンバイモードへの遷移は，ウォッチドッグタイマ 1 をクリアしてから，CR 発振×2 サイクル分の時間が経過した後に行ってください。
手順については「第 9 章 消費電力制御」の図 9.6-1 を参照してください。

● リセット要求生成

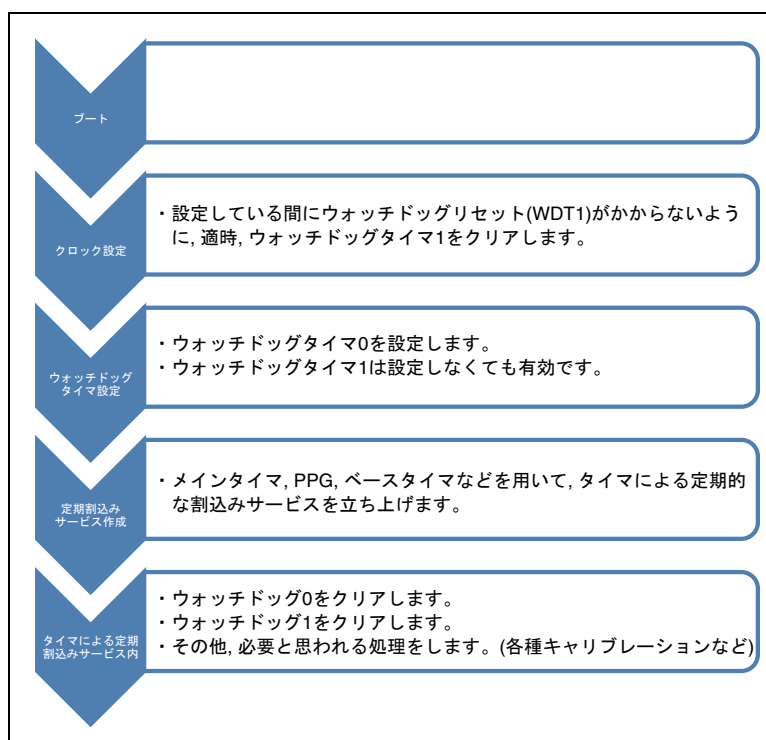
ウォッチドッグタイマ 1 は，以下の条件でウォッチドッグリセット要求を発生します。

- ・ウォッチドッグタイマ周期のオーバフローの発生
- ・WDTCPR1 へ "0xa5" 以外の値の書込み

16.6 使用例

ウォッチドッグタイマのクリアのための使用例です。

図 16.6-1 ウォッチドッグタイマのクリアの使用例



第 17 章 RAMECC 機能

17.1 概要

RAMECC 機能は、RAM にリードまたはライトするデータについて、バイト単位での 1 ビット誤り訂正 2 ビット誤り検出を実施します。

17.2 特長

■ 対象 RAM

XBS RAM : 48K バイト (MB91F585L)
64K バイト (MB91F586L)
96K バイト (MB91F587L)

Backup RAM : 8K バイト

■ RAMECC 機能

RAM にリードまたは、ライトするデータについて、バイト単位で 2 ビットまでの誤り検出を実施します。

また、誤り検出が 1 ビットの場合、誤り訂正を実施します。

■ 割込み機能

ダブルビットエラーを感知し RAM ダブルビットエラー割込み信号を発生します。

■ テストモード

ソフトデバッグ用として、擬似エラーを発生します。

管理コード : FS26-1v1-91580L-1-J

17.3 構成

図 17.3-1 XBS RAM ECC 機能のブロックダイアグラム (構成)

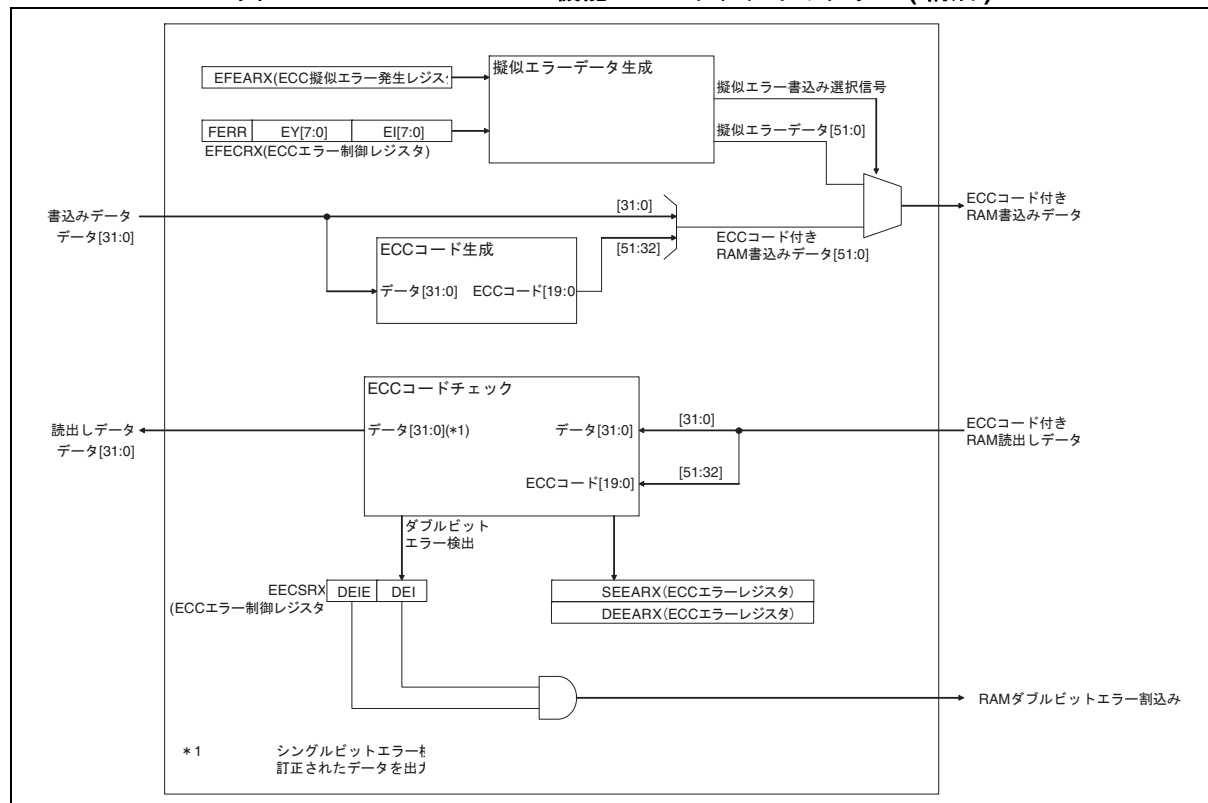
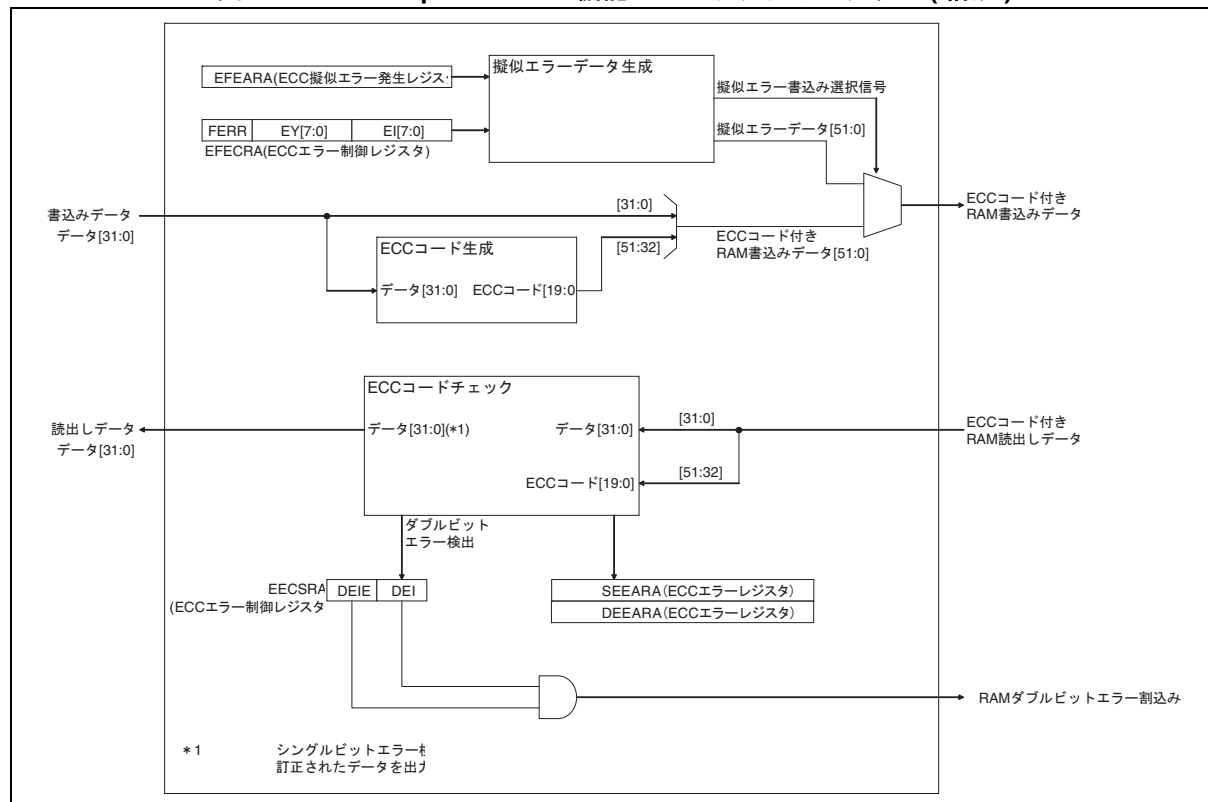


図 17.3-2 Backup RAM ECC 機能のブロックダイアグラム (構成)



17.4 レジスタ

表 17.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x3000	SEEARX		DEEARX		シングルビット ECC エラーアドレスレジスタ XBS RAM ダブルビット ECC エラーアドレスレジスタ XBS RAM
0x3004	EECSR _X	予約	EFEAR _X		ECC エラー制御レジスタ XBS RAM ECC 擬似エラー発生アドレスレジスタ XBS RAM
0x3008	予約	EFECR _X			ECC 擬似エラー発生制御レジスタ XBS RAM
0x3024	SEEARA		DEEARA		シングルビット ECC エラーアドレスレジスタ BACKUP-RAM ダブルビット ECC エラーアドレスレジスタ BACKUP-RAM
0x3028	EECSR _A	予約	EFEAR _A		ECC エラー制御レジスタ BACKUP-RAM ECC 擬似エラー発生アドレスレジスタ BACKUP-RAM
0x302C	予約	EFECR _A			ECC 擬似エラー発生制御レジスタ BACKUP-RAM

17.4.1 シングルビット ECC エラーアドレスレジスタ XBS RAM : SEEARX

XBS RAM の ECC 検査時に、1 ビット誤り訂正が実施されたとき、その発生アドレスを保持します。

• SEEARX: アドレス 3000_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	D14	D13	D12	D11	D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15] 予約

必ず "0" を書き込んでください。

[bit14 ~ bit0] D14 ~ D0 : シングルビットエラー発生アドレスビット

ECC 検査時に 1 ビット誤り訂正が実施されたとき、その発生アドレスを保持します。

本レジスタに設定された状態でさらに上記事象が検出された場合、本レジスタが上書きされることなく、最初の値が保持されます。

(注意事項) 上記アドレスはワード単位のオフセットになります。絶対アドレスは上記オフセット・アドレスに下位 2 ビット加えて XBS RAM のベース・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(SEEARX で示されるオフセット +2'b00)

17.4.2 ダブルビット ECC エラーアドレスレジスタ XBS RAM : DEEARX

XBS RAM の ECC 検査時に、2 ビット誤り検出が実施されたとき、その発生アドレスを保持します。

• DEEARX: アドレス 3002_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	D14	D13	D12	D11	D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15] 予約

必ず "0" を書き込んでください。

[bit14 ~ bit0] D14 ~ D0 : ダブルビットエラー発生アドレスビット

ECC 検査時に 2 ビット誤り検出が実施されたとき、その発生アドレスを保持します。

本レジスタに設定された状態でさらに上記事象が検出された場合、本レジスタが上書きされることなく、最初の値が保持されます。

(注意事項) 上記アドレスはワード単位のオフセットになります。絶対アドレスは上記オフセット・アドレスに下位 2 ビット加えて XBS RAM のベース・アドレスを加えて算出してください。
(絶対アドレス)=(0001_0000_H)+(DEEARX で示されるオフセット +2'b00)

17.4.3 ECC エラー制御レジスタ XBS RAM : EECSRX

XBS RAM の ECC 検査時に, 1 ビット誤り訂正または 2 ビット誤り検出が実施されたかどうかという状態を保持し, また 2 ビット誤り検出による割込みを許可するかどうかの設定を行います。

• EECSRX: アドレス 3004_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約				DEIE	DEI	予約	SEI	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1),W	R/W0	R(RM1),W0	属性

[bit7 ~ bit4] 予約

必ず "0" を書き込んでください。

[bit3] DEIE : ダブルビットエラー要因の割込み許可ビット

DEIE	機能
0	割込み禁止
1	割込み許可

[bit2] DEI : ダブルビットエラー発生ビット

DEI	読出し	書込み
0	ダブルビットエラーは発生していない	本ビットをクリア
1	ダブルビットエラーが発生した	効果ありません

[bit1] 予約

必ず "0" を書き込んでください。

[bit0] SEI: シングルビットエラー発生ビット

SEI	読出し	書込み
0	シングルビットエラーは発生していない	本ビットをクリア
1	シングルエラーが発生した	効果ありません

17.4.4 ECC 擬似エラー発生アドレスレジスタ XBS RAM : EFEXRX

ECC 擬似エラー発生アドレスレジスタ (EFEXRX) は, XBS RAM の擬似エラーを発生させるアドレスを指定します。

• EFEXRX: アドレス 3006_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	D14	D13	D12	D11	D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15] 予約

必ず "0" を書き込んでください。

[bit14 ~ bit0] D14 ~ D0 : 擬似エラー発生アドレス設定ビット

XBS RAM の擬似 ECC エラーを発生させるアドレスを設定します。

EFEXRX.FERR=1 のとき, 本アドレスへのライトアクセスを発生させ, EFEXRX の設定に従って, 書き込むデータに故意にエラーを含ませることで ECC エラーを起こします。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えて XBS RAM のベース・アドレスを加えて算出してください。

(絶対アドレス)=(0001_0000_H)+(EFEXRX で設定するオフセット +2'b00)

17.4.5 ECC 擬似エラー発生制御レジスタ XBS RAM : EFECRX

ECC 擬似エラー発生制御レジスタ (EFECRX) は、発生させる XBS RAM の擬似エラーの内容を、発生バイト、発生ビットという形で指定します。

• EFECRX: アドレス 3009_H (アクセス: バイト, ハーフワード, ワード)

23	22	21	20	19	18	17	16	bit
予約							FERR	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W	属性
15	14	13	12	11	10	9	8	bit
EY7	EY6	EY5	EY4	EY3	EY2	EY1	EY0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
EI7	EI6	EI5	EI4	EI3	EI2	EI1	EI0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit23 ~ bit17] 予約

必ず "0" を書き込んでください。

[bit16] FERR : 擬似エラー発生許可ビット

FERR	機能
0	擬似 ECC エラーの発生を禁止
1	擬似 ECC エラーの発生を許可

XBS RAM の擬似 ECC エラーの発生を許可します。

"0" に設定した場合: 擬似 ECC エラーの発生を禁止します。(通常動作)

なお、ソフトウェアからの "0" ライトは無視されます。

"1" に設定した場合: 擬似 ECC エラーの発生を許可します。

"1" に設定されると、以下の動作シーケンスを自動的に行います。

1. EFECRX で指定されたアドレスに、EY7-0, EI7-0 の内容に従って、故意にエラーを含むデータをライトする
2. 同アドレスをリードし、ECC エラーを検出する
3. このビットを "0" にクリアする

[bit15 ～ bit8] EY7 ～ EY0 : 擬似エラー発生バイト設定ビット

EY7 ～ EY0	RAM 上の対象バイト
EY0	RAM データ [7:0]
EY1	RAM データ [15:8]
EY2	RAM データ [23:16]
EY3	RAM データ [31:24]
EY4	RAM データ [36:32]
EY5	RAM データ [41:37]
EY6	RAM データ [46:42]
EY7	RAM データ [51:47]

XBS RAM の擬似 ECC エラーを発生させる対象のバイト位置を指定します。

例えば, EY2=1 でほかは "0" の場合, 擬似エラーを発生させる対象バイトは, RAM データ [23:16] となり, ほかのデータではエラーは発生しません。

また, EY2=EY3=1 でほかは "0" の場合, 擬似エラーを発生させる対象バイトは, RAM データ [31:16] となります。

[bit7 ～ bit0] EI7 ～ EI0 : 擬似エラー発生ビット設定ビット

EI7 ～ EI0	Byte 上の対象ビット
EI0	[0]
EI1	[1]
EI2	[2]
EI3	[3]
EI4	[4]
EI5	[5]
EI6	[6]
EI7	[7]

XBS RAM の擬似 ECC エラーを発生させる対象のビット位置を指定します。

例えば, EY2=1, EI4=1 で, ほかは "0" の場合, 擬似エラーを発生させる対象ビットは, RAM データ [20] となり, シングルビットエラーを訂正することになります。

また, EY2=1, EI4=EI7=1 で, ほかは "0" の場合, 擬似エラーを発生させる対象ビットは, RAM データ [23], RAM データ [20] となり, ダブルビットエラーを検出することになります。

また, EY2=EY3=1, EI4=1 でほかは "0" の場合, 擬似エラーを発生させる対象ビットは, RAM データ [28], RAM データ [20] となり, それぞれのバイトでシングルビットエラーを訂正することになります。

17.4.6 シングルビット ECC エラーアドレスレジスタ BACKUP-RAM : SEEARA

Backup RAMのECC検査時に, 1ビット誤り訂正が実施されたとき, その発生アドレスを保持します。

• SEEARA: アドレス 3024_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約					D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15 ～ bit11] 予約

必ず "0" を書き込んでください。

[bit10 ～ bit0] D10 ～ D0 : シングルビットエラー発生アドレスビット

ECC 検査時に 1 ビット誤り訂正が実施されたとき, その発生アドレスを保持します。

本レジスタに設定された状態でさらに上記事象が検出された場合, 本レジスタが上書きされることなく, 最初の値が保持されます。

(注意事項) 上記アドレスはワード単位のオフセットになります。絶対アドレスは上記オフセット・アドレスに下位2ビット加えてBackup RAMのベース・アドレスを加えて算出してください。
(絶対アドレス)=(0000_4000_H)+(SEEARA で示されるオフセット +2'b00)

17.4.7 ダブルビット ECC エラーアドレスレジスタ BACKUP-RAM : DEEARA

Backup RAMのECC検査時に、2ビット誤り検出が実施されたとき、その発生アドレスを保持します。

• DEEARA: アドレス 3026_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約					D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15 ～ bit11] 予約

必ず "0" を書き込んでください。

[bit10 ～ bit0] D10 ～ D0 : ダブルビットエラー発生アドレスビット

ECC 検査時に 2 ビット誤り検出が実施されたとき、その発生アドレスを保持します。

本レジスタに設定された状態でさらに上記事象が検出された場合、本レジスタが上書きされることなく、最初の値が保持されます。

(注意事項) 上記アドレスはワード単位のオフセットになります。絶対アドレスは上記オフセット・アドレスに下位2ビット加えてBackup RAMのベース・アドレスを加えて算出してください。
(絶対アドレス)=(0000_4000_H)+(DEEARA で示されるオフセット +2'b00)

17.4.8 ECC エラー制御レジスタ BACKUP-RAM : EECSRA

Backup RAM の ECC 検査時に、1 ビット誤り訂正または 2 ビット誤り検出が実施されたかどうかという状態を保持し、また 2 ビット誤り検出による割込みを許可するかどうかの設定を行います。

• EECSRA: アドレス 3028_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約				DEIE	DEI	予約	SEI	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1),W	R/W0	R(RM1),W0	属性

[bit7 ~ bit4] 予約

必ず "0" を書き込んでください。

[bit3] DEIE : ダブルビットエラー要因の割込み許可ビット

DEIE	機能
0	割込み禁止
1	割込み許可

[bit2] DEI : ダブルビットエラー発生ビット

DEI	読出し	書込み
0	ダブルビットエラーは発生していない	本ビットをクリア
1	ダブルビットエラーが発生した	効果ありません

[bit1] 予約

必ず "0" を書き込んでください。

[bit0] SEI : シングルビットエラー発生ビット

SEI	読出し	書込み
0	シングルビットエラーは発生していない	本ビットをクリア
1	シングルビットエラーが発生した	効果ありません

17.4.9 ECC 擬似エラー発生アドレスレジスタ BACKUP-RAM : EFEARA

ECC 擬似エラー発生アドレスレジスタ (EFEARA) は, Backup RAM の擬似エラーを発生させるアドレスを指定します。

• EFEARA: アドレス 302A_H (アクセス : バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約					D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ～ bit11] 予約

必ず "0" を書き込んでください。

[bit10 ～ bit0] D10 ～ D0 : 擬似エラー発生アドレス設定ビット

Backup RAM の擬似 ECC エラーを発生させるアドレスを設定します。

EFEARA.FERR=1 のとき, 本アドレスへのライトアクセスを発生させ, EFEARA の設定に従って, 書き込むデータに故意にエラーを含ませることで ECC エラーを起こします。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えて Backup RAM のベース・アドレスを加えて算出してください。

(絶対アドレス)=(0000_4000_H)+(EFEARA で設定するオフセット +2'b00)

17.4.10 ECC 擬似エラー発生制御レジスタ BACKUP-RAM : EFECRA

ECC 擬似エラー発生制御レジスタ (EFECRA) は、発生させる Backup RAM の擬似エラーの内容を、発生バイト、発生ビットという形で指定します。

• EFECRA: アドレス 302D_H (アクセス: バイト, ハーフワード, ワード)

23	22	21	20	19	18	17	16	bit
予約							FERR	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W	属性
15	14	13	12	11	10	9	8	bit
EY7	EY6	EY5	EY4	EY3	EY2	EY1	EY0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
EI7	EI6	EI5	EI4	EI3	EI2	EI1	EI0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit23 ~ bit17] 予約

必ず "0" を書き込んでください。

[bit16] FERR : 擬似エラー発生許可ビット

FERR	機能
0	擬似 ECC エラーの発生を禁止
1	擬似 ECC エラーの発生を許可

Backup RAM の擬似 ECC エラーの発生を許可します。

"0" に設定した場合: 擬似 ECC エラーの発生を禁止します。(通常動作)

なお、ソフトウェアからの "0" ライトは無視されます。

"1" に設定した場合: 擬似 ECC エラーの発生を許可します。

"1" に設定されると、以下の動作シーケンスを自動的にを行います。

1. EFECRA で指定されたアドレスに、EY7-0, EI7-0 の内容に従って、故意にエラーを含むデータをライトする
2. 同アドレスをリードし、ECC エラーを検出する
3. このビットを "0" にクリアする

[bit15 ～ bit8] EY7 ～ EY0 : 擬似エラー発生バイト設定ビット

EY7 ～ EY0	RAM 上の対象バイト
EY0	RAM データ [7:0]
EY1	RAM データ [15:8]
EY2	RAM データ [23:16]
EY3	RAM データ [31:24]
EY4	RAM データ [36:32]
EY5	RAM データ [41:37]
EY6	RAM データ [46:42]
EY7	RAM データ [51:47]

Backup RAM の擬似 ECC エラーを発生させる対象のバイト位置を指定します。

例えば, EY2=1 でほかは "0" の場合, 擬似エラーを発生させる対象バイトは, RAM データ [23:16] となり, ほかのデータではエラーは発生しません。

また, EY2=EY3=1 でほかは "0" の場合, 擬似エラーを発生させる対象バイトは, RAM データ [31:16] となります。

[bit7 ～ bit0] EI7 ～ EI0 : 擬似エラー発生ビット設定ビット

EI7 ～ EI0	Byte 上の対象ビット
EI0	[0]
EI1	[1]
EI2	[2]
EI3	[3]
EI4	[4]
EI5	[5]
EI6	[6]
EI7	[7]

Backup RAM の擬似 ECC エラーを発生させる対象のビット位置を指定します。

例えば, EY2=1, EI4=1 で, ほかは "0" の場合, 擬似エラーを発生させる対象ビットは, RAM データ [20] となり, シングルビットエラーを訂正することになります。

また, EY2=1, EI4=EI7=1 で, ほかは "0" の場合, 擬似エラーを発生させる対象ビットは, RAM データ [23], RAM データ [20] となり, ダブルビットエラーを検出することになります。

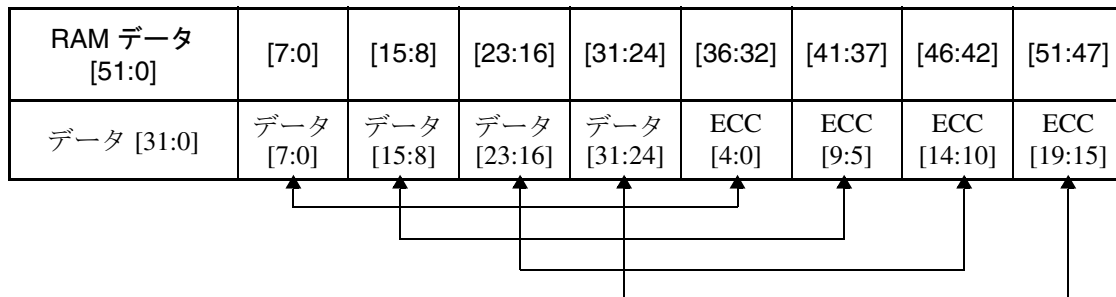
また, EY2=EY3=1, EI4=1 でほかは "0" の場合, 擬似エラーを発生させる対象ビットは, RAM データ [28], RAM データ [20] となり, それぞれのバイトでシングルビットエラーを訂正することになります。

17.5 動作説明

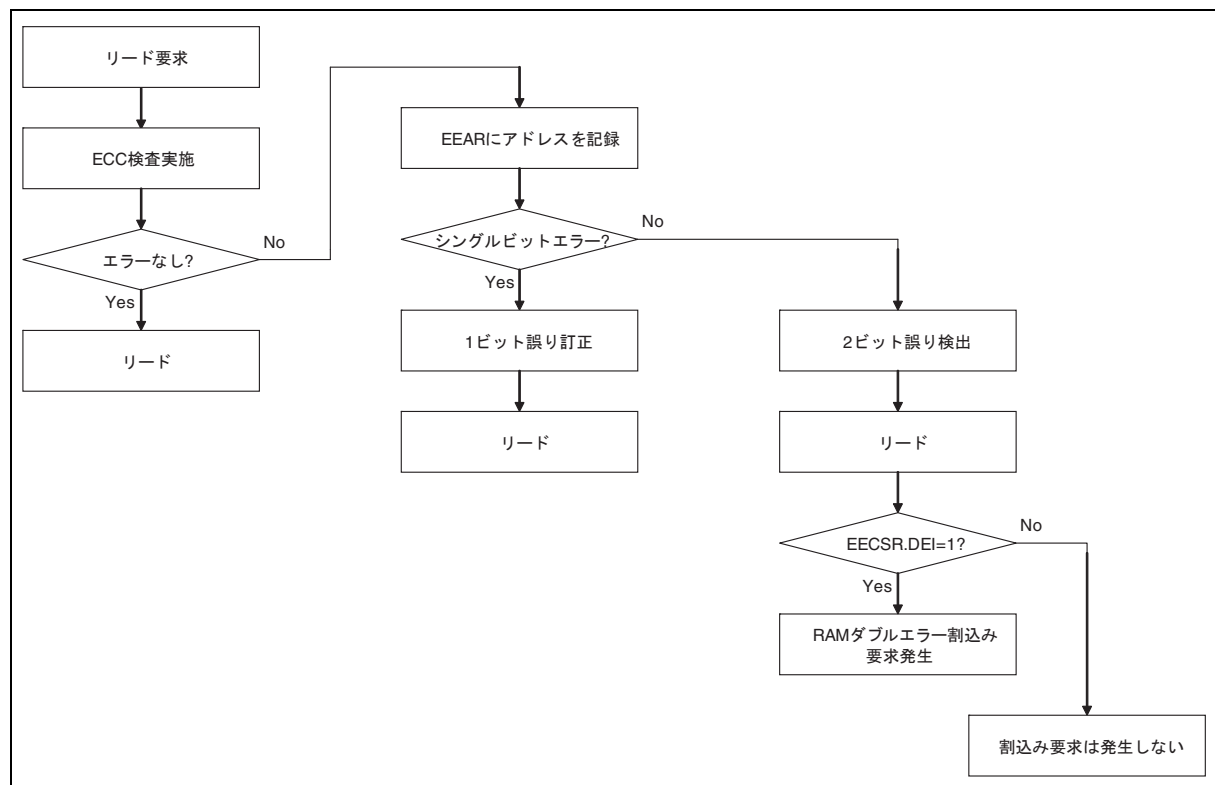
17.5.1 RAMECC 機能

RAMECC 機能は常に動作します (ただし, RAM 診断実施時は停止します)。エラー検出時, EEAR レジスタにエラー発生アドレスが保持されます。EEAR レジスタにエラー発生アドレスが保持された状態で, さらにエラーが検出された場合, EEAR レジスタは上書きされることなく, 最初の値が保持されます。

ECC 符号行列は, バイトごとに冗長 5 ビットを ECC 符号として記録します。



以下に, 動作フローチャートを示します。



17.5.2 割込み関連レジスタ

割込みを発生させるには、用途に応じて割込み発生許可ビット (DEIE) に "1" を書き込み、RAMECC 割込みベクタの設定を行ってください。

割込み要因	割込みベクタ	割込みレベル
DEI (RAM ダブルビットエラー割込み)	#15(000FFFC0 _H)	15(F _H) 固定

割込みレベル、割込みベクタの詳細については、「第 22 章 割込み制御 (割込みコントローラ)」を参照してください

割込み要求フラグ (DEI) は自動的にクリアしません。このため、割込み処理から復帰する前にソフトウェアにてクリアしてください (DEI ビットに "0" を書き込む)。

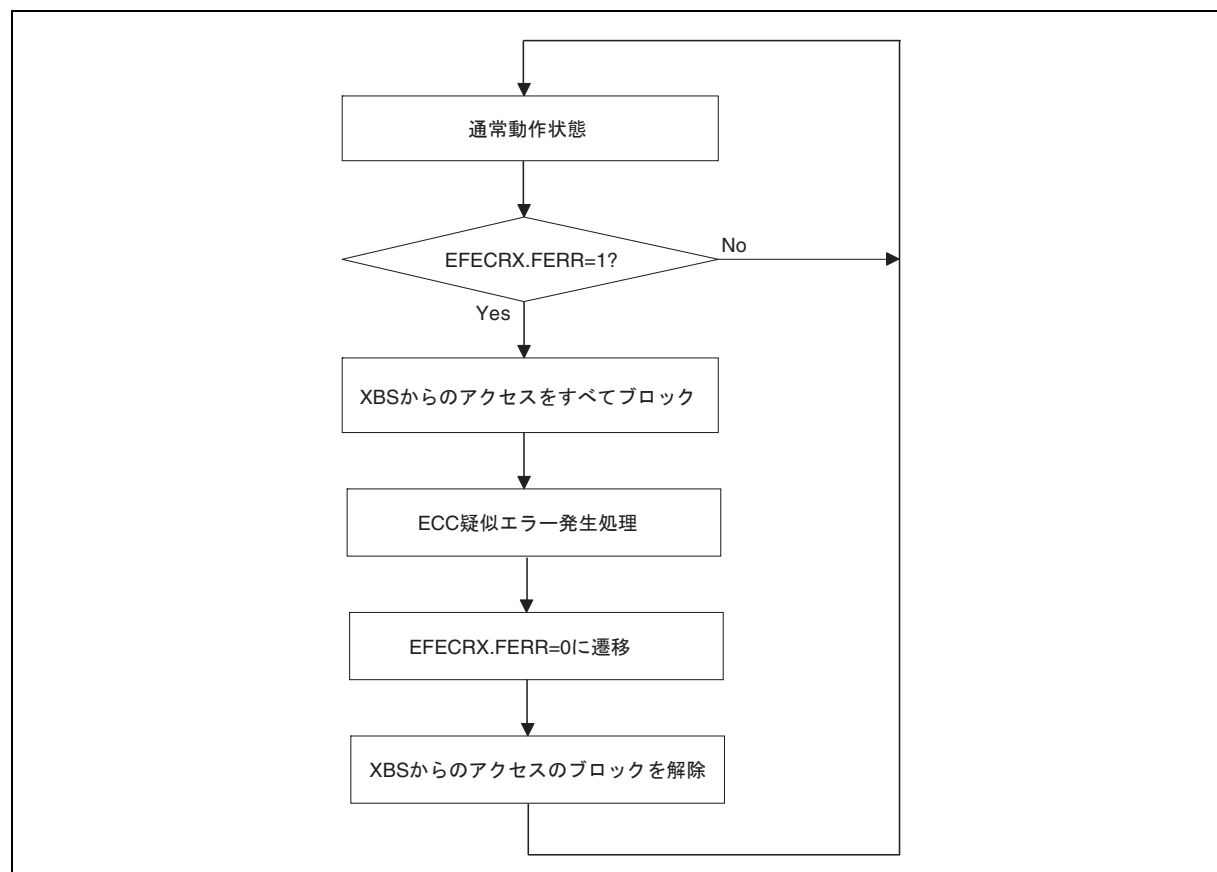
17.5.3 テストモード

ソフトデバッグ用として、擬似エラーを発生します。

XBS RAM の ECC 擬似エラー発生動作は以下の手順で発生します。(Backup RAM も同様)

1. ECC 擬似エラー発生アドレスレジスタ (EFEARX) に擬似エラーを発生させるアドレスを指定する。
2. ECC 擬似エラー発生制御レジスタ XBS RAM(EFECRX) で、バイト、ビットを設定する。
(ア) EFECRX.EY[7:0] に擬似エラーを発生させるバイト位置を指定する
(イ) EFECRX.EI[7:0] に擬似エラーを発生させるビット位置を指定する
3. ECC 擬似エラー発生制御レジスタ XBS RAM(EFECRX) の FERR ビットに "1" を書き込む

以下に、動作フローチャートを示します。



EFEARX で指定されたアドレスに ,EY[7:0],EI[7:0] の内容に従って ,故意にエラーを含むデータをライトします。ライトに引き続きリードを行い ,擬似エラーを検出します。

FERR ビットに "1" が書き込まれてからの動作は自動的に行われます。

17.5.4 注意事項

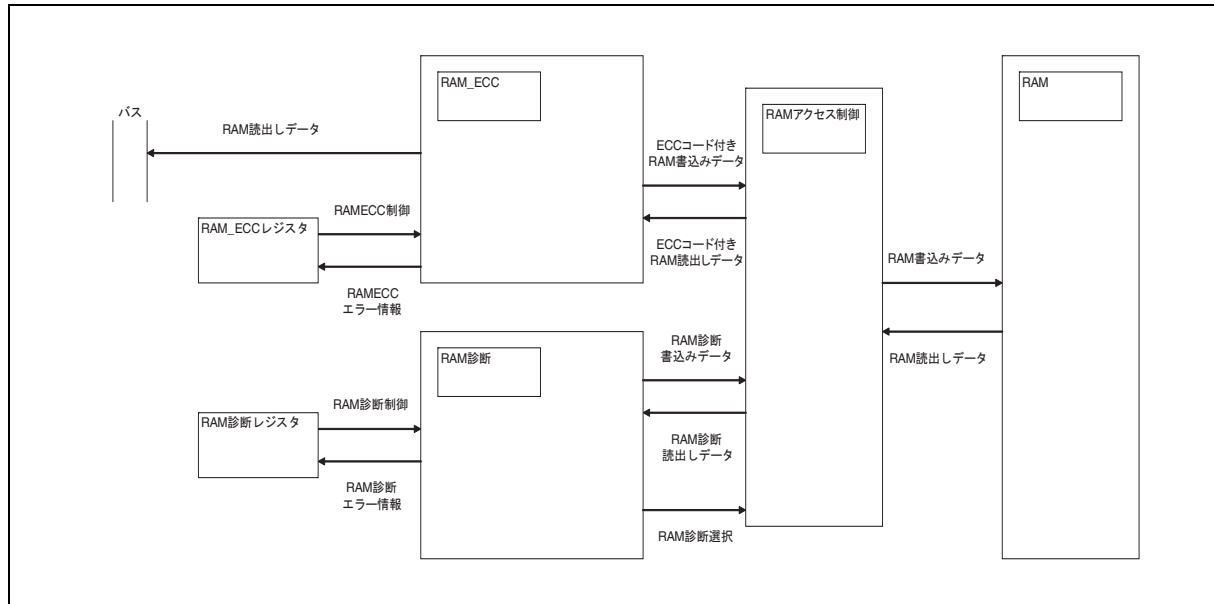
3ビット以上の故障検出時には,シングルビットエラーを検出し,意図しない補正動作が走ることがあります。

XBS RAM の ECC 擬似エラー発生動作中に XBS RAM にアクセスした場合 ,アクセスがブロックされます。したがって、ECC 擬似エラー処理完了後に XBS RAM へのアクセスを行ってください。(Backup RAM も同様)

第 18 章 RAM 診断機能

18.1 概要

RAM 診断機能は、RAM に対して診断および初期化を実施します。



RAMECC 機能については、「第 17 章 RAMECC 機能」をご参照ください。

管理コード : FS28-3v1-91580L-1-J

18.2 特長

■ 対象 RAM

以下の RAM が診断対象になります。(ECC 領域も診断対象)

・ XBS RAM

MB91F585L : 48K バイト

MB91F586L : 64K バイト

MB91F587L : 96K バイト

・ Backup RAM : 8K バイト

■ RAM 診断

以下の RAM 診断を選択し実施します。(複数選択可)

ユニーク (ユニークデータは { アドレス [3:0], {6{ アドレス [7:0] } } })

チェッカー

マーチ (all "0" → all "1" の順で実施)

割込み機能

診断終了要因の割込み信号を発生します。(RAM 診断終了割込み)

エラー検出時に割込み信号を発生します。(RAM 診断時エラー割込み)

■ RAM 初期化

以下の RAM 初期化を選択し実施します。

all "0" 書込み

all "1" 書込み

割込み機能

初期化終了要因の割込み信号を発生します。(RAM 初期化完了割込み)

■ テストモード

ソフトデバッグ用として TEST 擬似エラーを発生します。

18.3 構成

図 18.3-1 XBS RAM 診断機能のブロックダイアグラム (構成)

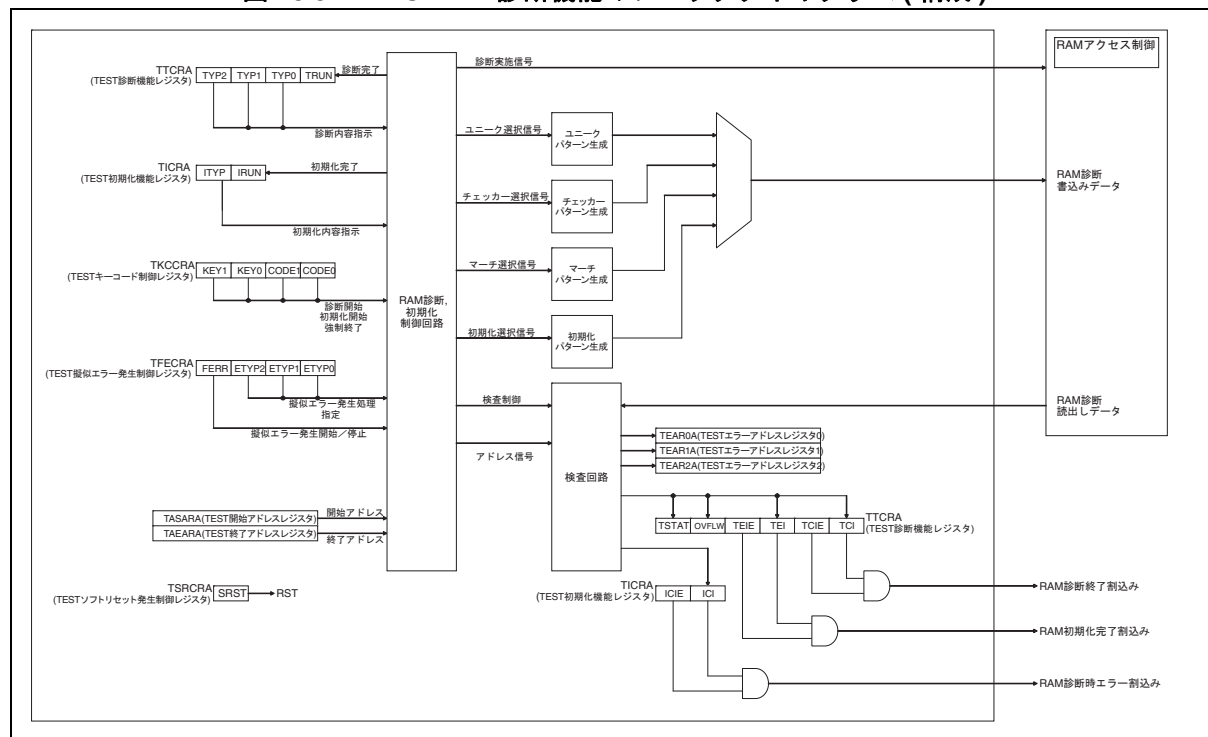
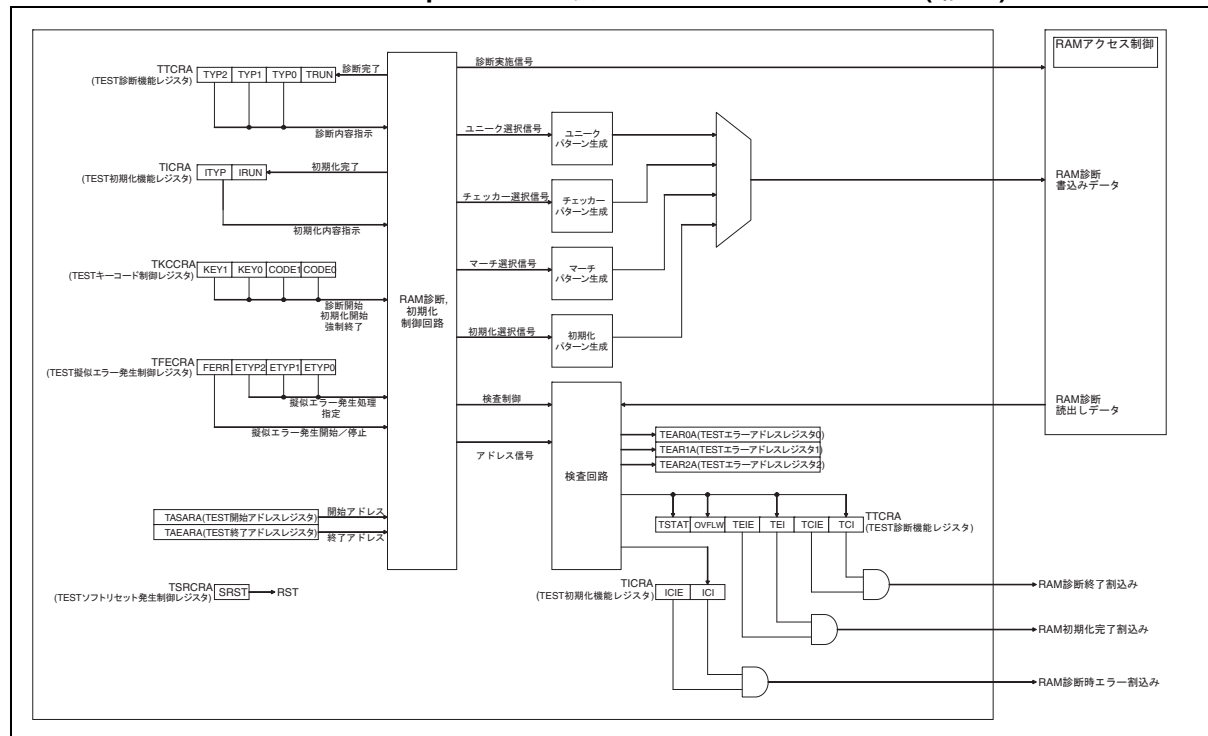


図 18.3-2 Backup RAM 診断機能のブロックダイアグラム (構成)



18.4 レジスタ

表 18.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x300C	TEAR0X				TEST エラーアドレスレジスタ 0 XBS RAM
0x3010	TEAR1X				TEST エラーアドレスレジスタ 1 XBS RAM
0x3014	TEAR2X				TEST エラーアドレスレジスタ 2 XBS RAM
0x3018	TAEARX		TASARX		TEST 終了アドレスレジスタ XBS RAM TEST 開始アドレスレジスタ XBS RAM
0x301C	TFECRX	TICRX	TTCRX		TEST 擬似エラー発生制御レジスタ XBS RAM TEST 初期化機能レジスタ XBS RAM TEST 診断機能レジスタ XBS RAM
0x3020	TSRCRX	予約	予約	TKCCRX	TEST ソフトリセット発生制御レジスタ XBS RAM TEST キーコード制御レジスタ XBS RAM
0x3030	TEAR0A				TEST エラーアドレスレジスタ 0 BACKUP-RAM
0x3034	TEAR1A				TEST エラーアドレスレジスタ 1 BACKUP-RAM
0x3038	TEARA2				TEST エラーアドレスレジスタ 2 BACKUP- RAM
0x303C	TAEARA		TASARA		TEST 終了アドレスレジスタ BACKUP-RAM TEST 開始アドレスレジスタ BACKUP-RAM
0x3040	TFECRA	TICRA	TTCRA		TEST 擬似エラー発生制御レジスタ BACKUP-RAM TEST 初期化機能レジスタ BACKUP-RAM TEST 診断機能レジスタ BACKUP-RAM
0x3044	TSRCRA	予約	予約	TKCCRA	TEST ソフトリセット発生制御レジスタ BACKUP-RAM TEST キーコード制御レジスタ BACKUP-RAM

18.4.1 TEST エラーアドレスレジスタ 0 XBS-RAM : TEAR0X

TEST エラーアドレスレジスタ 0(TEAR0X) は, XBS RAM の RAM 診断時にエラーが生じた際, そのアドレスを保持します。

• TEAR0X: アドレス 300C_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
TER2	TER1	TER0	予約					
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
23	22	21	20	19	18	17	16	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
15	14	13	12	11	10	9	8	bit
予約	D14	D13	D12	D11	D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit31 ~ bit29] TER2 ~ TER0 : 診断エラー要因特定ビット

XBS RAM の RAM 診断時, エラーが発生した際の診断パターンを保持します。いずれかのビットが "1" に設定されているときのみ, D14 ~ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で, D14 ~ D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("000" にクリア) されます。

[bit28 ~ bit15] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit14 ~ bit0] D14 ~ D0 : エラー発生アドレスビット

XBS RAM の RAM 診断時, エラーが発生した際のアドレスを保持します。{TER2-TER0} が "000" でないときのみ有効な値を示します。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0001_0000_H)+(TEAR0X で設定するオフセット +2'b00)

18.4.2 TEST エラーアドレスレジスタ 1 XBS RAM : TEAR1X

TEST エラーアドレスレジスタ 1(TEAR1X) は, XBS RAM の RAM 診断時に TEAR0X に保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ, そのアドレスを保持します。

• TEAR1X: アドレス 3010_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
TER2	TER1	TER0	予約					
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
23	22	21	20	19	18	17	16	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
15	14	13	12	11	10	9	8	bit
予約	D14	D13	D12	D11	D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit31 ~ bit29] TER31 ~ TER29 : 診断エラー要因特定ビット

XBS RAM の RAM 診断時, エラーが発生した際の診断パターンを保持します。いずれかのビットが "1" に設定されているときのみ, D14 ~ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で, D14 ~ D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("000" にクリア) されます。

[bit28 ~ bit15] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit14 ~ bit0] D14 ~ D0 : エラー発生アドレスビット

RAM 診断時, エラーが発生した際のアドレスを保持します。{TER2-TER0} が "000" でないときのみ有効な値を示します。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0001_0000_H)+(TEAR1X で設定するオフセット +2'b00)

18.4.3 TEST エラーアドレスレジスタ 2 XBS RAM : TEAR2X

TEST エラーアドレスレジスタ 2(TEAR2X)は, XBS RAM の RAM 診断時に TEAR0X および TEAR1X に保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ, そのアドレスを保持します。

• TEAR2X: アドレス 3014_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
TER2	TER1	TER0	予約					
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
23	22	21	20	19	18	17	16	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
15	14	13	12	11	10	9	8	bit
予約	D14	D13	D12	D11	D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit31 ~ bit29] TER2 ~ TER0 : 診断エラー要因特定ビット

XBS RAM の RAM 診断時, エラーが発生した際の診断パターンを保持します。いずれかのビットが "1" に設定されているときのみ, D14 ~ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で, D14 ~ D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("000" にクリア) されます。

[bit28 ~ bit15] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit14 ~ bit0] D14 ~ D0 : エラー発生アドレスビット

RAM 診断時, エラーが発生した際のアドレスを保持します。{TER2-TER0} が "000" でないときのみ有効な値を示します。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0001_0000_H)+(TEAR2X で設定するオフセット +2'b00)

18.4.4 TEST 開始アドレスレジスタ XBS RAM : TASARX

TEST 開始アドレスレジスタ (TASARX) は, XBS RAM の RAM 診断および初期化を行う開始アドレスを設定します。

• TASARX: アドレス 301A_H (アクセス : バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	ST14	ST13	ST12	ST11	ST10	ST9	ST8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit14 ~ bit0] ST14 ~ ST0 : RAM 診断開始アドレスビット

XBS RAM の RAM 診断および初期化動作を開始するアドレスを設定します。

(注意事項) XBS RAM 領域外の値, および TASARX.ST14-ST0>TAEARX.ED14-ED0 となる値の設定は禁止です。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0001_0000_H)+(TASARX で設定するオフセット +2'b00)

18.4.5 TEST 終了アドレスレジスタ XBS RAM : TAEARX

TEST 終了アドレスレジスタ (TAEARX) は, XBS RAM の RAM 診断および初期化を行う終了アドレスを設定します。

• TAEARX: アドレス 3018_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	ED14	ED13	ED12	ED11	ED10	ED9	ED8	
0	1	0	1	1	1	1	1	初期値
R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
ED7	ED6	ED5	ED4	ED3	ED2	ED1	ED0	
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit14 ~ bit0] ED14 ~ ED0 : RAM 診断終了アドレスビット

XBS RAM の RAM 診断および初期化動作を終了するアドレスを設定します。

(注意事項) XBS RAM 領域外の値, および TASARX.ST14-ST0>TAEARX.ED14-ED0 となる値の設定は禁止です。

(注意事項) 上記アドレスはワード単位のオフセットです。
絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0001_0000_H)+(TAEARX で設定するオフセット +2'b00)

(注意事項) 本レジスタの初期値, MB91F587L(XBUS RAM 容量 :96KB) の最終アドレス (0002_7FFF_H) で算出しています。型格によって最終アドレスがことなりますので TKCCR(X) (TEST キーコード制御レジスタ) で初期化 / 診断起動前に所定のアドレスへ書き換えてください。最終アドレスは, MB91F586L(XBUS RAM 容量 :64KB) では 0001_FFFF_H, MB91F585L(XBUS RAM 容量 :48KB) では 0001_BFFF_H です。

18.4.6 TEST 診断機能レジスタ XBS RAM : TTCRX

TEST 診断機能レジスタ (TTCRX) は、XBS RAM の RAM 診断内容の指定および、診断結果とその状態を保持します。

• TTCRX: アドレス 301E_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約						TSTAT	OVFLW	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
TEIE	TEI	TCIE	TCI	TTYP2	TTYP1	TTYP0	TRUN	
0	0	0	0	1	1	0	0	初期値
R/W	R(RM1),W	R/W	R(RM1),W	R/W	R/W	R/W	R,WX	属性

[bit15 ~ bit10] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit9] TSTAT : RAM 診断エラー検出ビット

TSTAT	機能
0	RAM 診断でエラーが検出されず
1	RAM 診断でエラーが検出された

XBS RAM の RAM 診断時にエラーが発生した場合, このビットは "1" に設定されます。

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("0" にクリア) されます。

[bit8] OVFLW : RAM 診断エラーオーバフロービット

OVFLW	機能
0	RAM 診断時に生じたエラーは 3 アドレス以下
1	RAM 診断時に生じたエラーは 4 アドレス以上

XBS RAM の RAM 診断エラーが 4 アドレス以上で発生した場合, このビットは "1" に設定されます。

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("0" にクリア) されます。

[bit7] TEIE : 診断時エラー発生による割込み発生許可ビット

TEIE	機能
0	診断時エラー発生による割込み発生の禁止
1	診断時エラー発生による割込み発生許可

XBS RAM の RAM 診断時エラー発生による割込みを許可します。

"0" に設定した場合 : RAM 診断時のエラー発生による割込みを禁止します。

"1" に設定した場合 : RAM 診断時のエラー発生による割込みを許可します。TTCRX.TEI= 1 であって, RAM 診断が終了すると, 割込み信号 (RAM 診断時エラー割込み) を出力します。

[bit6] TEI : 診断時エラー発生ビット

TEI	機能
0	リード : RAM 診断でエラーは発生していない ライト : フラグのクリア
1	リード : RAM 診断でエラーが発生した ライト : 動作に影響なし

XBS RAM の RAM 診断の終了を検出したときに , TTCRX.TSTAT="1" である場合 , このビットは "1" に設定されます。

このビットは "0" を書き込むと "0" にクリアされますが , "1" を書き込んでも無効となり , 以前の値を保持します。

"1" になる条件 : RAM 診断終了時に TTCRX.TSTAT="1" である。

"0" になる条件 : "0" が書き込まれる。

(注意事項) リードモディファイライトのリード時には , 常に "1" が読み出されます。

[bit5] TCIE : 診断終了要因の割込み発生許可ビット

TCIE	機能
0	診断終了要因の割込み発生禁止
1	診断終了要因の割込み発生許可

XBS RAM の RAM 診断終了要因の割込みを許可します。

"0" に設定した場合 : RAM 診断終了による割込みを禁止します。

"1" に設定した場合 : RAM 診断終了による割込みを許可します。TTCRX.TCI= 1 で割込み信号 (RAM 診断終了割込み) を出力します。

[bit4] TCI : 診断終了ビット

TCI	機能
0	リード : RAM 診断は終了していない ライト : フラグのクリア
1	リード : RAM 診断が終了した ライト : 動作に影響なし

XBS RAM の RAM 診断の終了を検出すると , このビットは "1" に設定されます。

このビットは "0" を書き込むと "0" にクリアされますが , "1" を書き込んでも無効となり , 以前の値を保持します。

"1" になる条件 : RAM 診断が終了する。(キーコードによる強制終了ではセットされません)

"0" になる条件 : "0" が書き込まれる。

(注意事項) リードモディファイライトのリード時には , 常に "1" が読み出されます。

[bit3 ~ bit1] TTYP2 ~ TTYP0 : RAM 診断内容指示ビット

XBS RAM の RAM 診断で実施するタイプを設定します。

RAM 診断を実施する順序は、

- 1.ユニーク (ユニークデータは { アドレス [3:0],{6{ アドレス [7:0]}}})
- 2.チェッカー
- 3.マーチ (all "0"→ all "1" の順で実施)

の順とし、それぞれを実施するかしないかをこのビットによって設定します。

TTYP2	TTYP1	TTYP0	機能
1	1	0	ユニーク, チェッカーを実行する
-	-	1	マーチを実行する
-	1	-	チェッカーを実行する
1	-	-	ユニークを実行する

デフォルトでは、ユニーク診断およびチェッカー診断を実施する設定 (110_B) になっていますが、内容を変更する場合、RAM 診断動作の開始指示よりも前に必ず設定してください。

なお、マーチを最後に実施した場合、RAM の中身は all "1" になっています。

[bit0] TRUN : RAM 診断動作状態ビット

TRUN	機能
0	RAM 診断停止中
1	RAM 診断動作中

XBS RAM の RAM 診断動作の状態を設定あるいは保持します。

"1" になる条件：キーコード設定によって、RAM 診断が起動された場合。

"0" になる条件：診断がすべて終了した場合か、キーコードによって強制終了した場合。

18.4.7 TEST 初期化機能レジスタ XBS RAM : TICRX

TEST 初期化機能レジスタ (TICRX) は, XBS RAM の RAM 初期化内容の指定および, 初期化結果とその状態を保持します。

- TICRX: アドレス 301D_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約				ICIE	ICI	ITYP	IRUN	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1),W	R/W	R,WX	属性

[bit7 ~ bit4] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit3] ICIE : RAM 初期化終了要因の割込み発生許可ビット

ICIE	機能
0	RAM 初期化終了要因の割込み発生禁止
1	RAM 初期化終了要因の割込み発生許可

XBS RAM の RAM 初期化終了要因の割込みを許可します。

"0" に設定した場合: RAM 初期化終了による割込みを禁止します。

"1" に設定した場合: RAM 初期化終了による割込みを許可します。TICRX.ICI= 1 で割込み信号 (RAM 初期化完了割込み) を出力します。

[bit2] ICI : RAM 初期化終了ビット

ICI	機能
0	リード: RAM 初期化は終了していない ライト: フラグのクリア
1	リード: RAM 初期化が終了した ライト: 動作に影響なし

XBS RAM の RAM 初期化の終了を検出すると, このビットは "1" に設定されます。

このビットは "0" を書き込むと "0" にクリアされますが, "1" を書き込んでも無効となり, 以前の値を保持します。

"1" になる条件: RAM 初期化が終了する。(キーコードによる強制終了ではセットされません)

"0" になる条件: "0" が書き込まれる。

(注意事項) リードモディファイライトのリード時には, 常に "1" が読み出されます。

[bit1] ITYP : RAM 初期化内容指示ビット

ITYP	機能
0	all "0" に初期化する
1	all "1" に初期化する

XBS RAM の RAM 初期化で実施するタイプを設定します。

"0" に設定した場合 : all "0" に初期化します。

"1" に設定した場合 : all "1" に初期化します。

[bit0] IRUN : RAM 初期化動作状態ビット

IRUN	機能
0	RAM 初期化停止中
1	RAM 初期化動作中

XBS RAM の RAM 初期化動作の状態を設定または保持します。

"1" になる条件 : キーコードによって , RAM 初期化が起動された場合。

"0" になる条件 : 初期化がすべて終了した場合か , キーコードによって強制終了した場合。

18.4.8 TEST ソフトリセット発生制御レジスタ XBS RAM : TSRCRX

TEST ソフトリセット発生制御レジスタ (TSRCRX) は, XBS RAM の RAM 診断の内部回路を初期化するためのソフトウェアリセットの発生を指定します。

- TSRCRX: アドレス 3020_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
SRST	予約						0	
0	0	0	0	0	0	0	0	初期値
R0, W	R0, W0	R0, W0	R0, W0	R0, W0	R0, W0	R0, W0	R0, W0	属性

[bit7] SRST : ソフトウェアリセット発生許可ビット

SRST	機能
0	ソフトウェアリセットの発生を禁止
1	ソフトウェアリセットの発生を許可

XBS RAM の RAM 診断の内部回路に対するソフトウェアリセットの発生を許可します。

リード時, "0" が読み出されます。

"1" に設定した場合: 4τ だけリセットパルスが発生し, 本レジスタを除く RAM 診断の内部回路をリセットします。

[bit6 ~ bit0] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。



18.4.9 TEST 擬似エラー発生制御レジスタ XBS RAM : TFECRX

TEST 擬似エラー発生制御レジスタ (TFECRX) は, XBS RAM の RAM 診断動作時に擬似エラーを発生させます。どの RAM 診断動作時にエラーを発生させるか指定ができます。

• TFECRX: アドレス 301C_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約				FERR	ETYP2	ETYP1	ETYP0	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	属性

[bit7 ～ bit4] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit3] FERR : RAM 診断時の擬似エラー発生許可ビット

FERR	機能
0	擬似エラーの発生を禁止 (通常動作)
1	擬似エラーの発生を許可

XBS RAM の RAM 診断時に擬似エラーの発生を許可します。

"0" に設定した場合 : 擬似エラーの発生を禁止します。(通常動作)

"1" に設定した場合 : 擬似エラーの発生を許可します。ETYP2 ～ ETYP0 で指定された内容に従って, 故意にエラーを含むデータのライトを許可します。

[bit2 ～ bit0] ETYP2 ～ ETYP0 : 擬似エラー発生処理指定ビット

擬似エラーを発生させる処理を指定します。

ETYP2	ETYP1	ETYP0	擬似エラー発生処理
-	-	1	マーチ診断
-	1	-	チェッカー診断
1	-	-	ユニーク診断

18.4.10 TEST キーコード制御レジスタ XBS RAM : TKCCR_X

TEST キーコード制御レジスタ (TKCCR_X) は, XBS RAM の RAM 診断・初期化の開始および, 強制終了を実行するために使用されます。

• TKCCR_X: アドレス 3023_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
KEY1	KEY0	予約				CODE1	CODE0	
0	0	0	0	0	0	0	0	初期値
R0,W	R0,W	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	属性

[bit7, bit6] KEY1, KEY0 : キーコード制御ビット

キーコードの制御ビットです。動作指示内容を CODE[1:0] に設定 (途中で変更しない) して, 操作します。

設定手順は,

1. 00 → 01 → 10 → 11 の順にライトする
2. CODE[1:0] には常に同じ値
3. 途中で違う操作 (RAM 診断の他レジスタへのアクセスや, リードや上記順序以外の連続ライトなど) を行った場合, 処理は無効となります。

(注意事項) 手順中 RAM ECC 内のレジスタへのアクセスが発生しても, キーコード処理は継続されません。

[bit5 ~ bit2] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit1, bit0] CODE1, CODE0 : RAM 診断・初期化制御ビット

上述のキーコード手続きにおいて, 動作指示内容を指定します。

CODE1, CODE0	機能
00	強制終了
01	初期化起動
10	診断起動
11	設定禁止

上述のキーコード操作中にこの値を変更したり, "11" を設定した場合, キーコード手続きそのものが無効になります。

18.4.11 TEST エラーアドレスレジスタ 0 BACKUP-RAM : TEAR0A

TEST エラーアドレスレジスタ 0(TEAR0A) は, BACKUP-RAM の RAM 診断時にエラーが生じた際, そのアドレスを保持します。

• TEAR0A: アドレス 3030_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
TER2	TER1	TER0	予約					
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
23	22	21	20	19	18	17	16	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
15	14	13	12	11	10	9	8	bit
予約					D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit31 ~ bit29] TER2 ~ TER0 : 診断エラー要因特定ビット

Backup RAM の RAM 診断時, エラーが発生した際の診断パターンを保持します。いずれかのビットが "1" に設定されているときのみ, D10 ~ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で, D10 ~ D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("000" にクリア) されます。

[bit28 ~ bit11] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit10 ~ bit0] D10 ~ D0 : エラー発生アドレスビット

Backup-RAM の RAM 診断時, エラーが発生した際のアドレスを保持します。{TER2-TER0} が "000" でないときのみ有効な値を示します。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0000_4000_H)+(TEAR0A で設定するオフセット +2'b00)

18.4.12 TEST エラーアドレスレジスタ 1 BACKUP-RAM : TEAR1A

TEST エラーアドレスレジスタ 1(TEAR1A) は, Backup RAM の RAM 診断時に TEAR0A に保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ, そのアドレスを保持します。

• TEAR1A: アドレス 3034_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
TER2	TER1	TER0	予約					
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
23	22	21	20	19	18	17	16	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
15	14	13	12	11	10	9	8	bit
予約					D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit31 ~ bit29] TER31 ~ TER29 : 診断エラー要因特定ビット

Back up RAM の RAM 診断時, エラーが発生した際の診断パターンを保持します。いずれかのビットが "1" に設定されているときのみ, D10 ~ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で, D10 ~ D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("000" にクリア) されます。

[bit28 ~ bit11] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit10 ~ bit0] D10 ~ D0 : エラー発生アドレスビット

Backup RAM の RAM 診断時, エラーが発生した際のアドレスを保持します。{TER2-TER0} が "000" でないときのみ有効な値を示します。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0000_4000_H)+(TEAR1A で設定するオフセット +2'b00)

18.4.13 TEST エラーアドレスレジスタ 2 BACKUP-RAM : TEAR2A

TEST エラーアドレスレジスタ 2(TEAR2A)は, Backup RAM の RAM 診断時に TEAR0 および TEAR1 に保持されたアドレスと異なるアドレスでエラーが生じた場合にのみ, そのアドレスを保持します。

• TEAR2X: アドレス 3038_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
TER2	TER1	TER0	予約					
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
23	22	21	20	19	18	17	16	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
15	14	13	12	11	10	9	8	bit
予約					D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit31 ～ bit29] TER2 ～ TER0 : 診断エラー要因特定ビット

Backup RAM の RAM 診断時, エラーが発生した際の診断パターンを保持します。いずれかのビットが "1" に設定されているときのみ, D10 ～ D0 が有効となります。

TER2	TER1	TER0	機能
0	0	0	エラーが生じていない状態で, D10 ～ D0 は無効
-	-	1	マーチ診断でエラーが発生
-	1	-	チェッカー診断でエラーが発生
1	-	-	ユニーク診断でエラーが発生

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("000" にクリア) されます。

[bit28 ～ bit11] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit10 ～ bit0] D10 ～ D0 : エラー発生アドレスビット

RAM 診断時, エラーが発生した際のアドレスを保持します。{TER2-TER0} が "000" でないときのみ有効な値を示します。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0000_4000_H)+(TEAR2A で設定するオフセット +2'b00)

18.4.14 TEST 開始アドレスレジスタ BACKUP- RAM : TASARA

TEST 開始アドレスレジスタ (TASARA) は, Backup RAM の RAM 診断および初期化を行う開始アドレスを設定します。

• TASARA: アドレス 303E_H (アクセス : バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約					ST10	ST9	ST8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ～ bit11] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit10 ～ bit0] ST10 ～ ST0 : RAM 診断開始アドレスビット

Backup RAM の RAM 診断および初期化動作を開始するアドレスを設定します。

(注意事項) Backup RAM 領域外の値, および TASARA.ST10-ST0>TAEARA.ED10-ED0 となる値の設定は禁止です。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0000_4000_H)+(TASARA で設定するオフセット +2'b00)

18.4.15 TEST 終了アドレスレジスタ BACKUP-RAM : TAEARA

TEST 終了アドレスレジスタ (TAEARA) は, Backup RAM の RAM 診断および初期化を行う終了アドレスを設定します。

• TAEARA: アドレス 303C_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約					ED10	ED9	ED8	
0	0	0	0	0	1	1	1	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
ED7	ED6	ED5	ED4	ED3	ED2	ED1	ED0	
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ~ bit11] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit10 ~ bit0] ED10 ~ ED0 : RAM 診断終了アドレスビット

Backup RAM の RAM 診断および初期化動作を終了するアドレスを設定します。

(注意事項) Backup RAM 領域外の値, および TASARA.ST10-ST0>TAEARA.ED10-ED0 となる値の設定は禁止です。

(注意事項) 上記アドレスはワード単位のオフセットです。

絶対アドレスはベースアドレスに下位 2 ビットを加えたオフセット・アドレスを加えて算出してください。

(絶対アドレス)=(0000_4000_H)+(TAEARA で設定するオフセット +2'b00)

18.4.16 TEST 診断機能レジスタ BACKUP-RAM : TTCRA

TEST 診断機能レジスタ (TTCRA) は、Backup RAM の RAM 診断内容の指定および、診断結果とその状態を保持します。

• TTCRA: アドレス 3042_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約						TSTAT	OVFLW	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
TEIE	TEI	TCIE	TCI	TTYP2	TTYP1	TTYP0	TRUN	
0	0	0	0	1	1	0	0	初期値
R/W	R(RM1),W	R/W	R(RM1),W	R/W	R/W	R/W	R,WX	属性

[bit15 ~ bit10] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit9] TSTAT : RAM 診断エラー検出ビット

TSTAT	機能
0	RAM 診断でエラーが検出されず
1	RAM 診断でエラーが検出された

Backup RAM の RAM 診断時にエラーが発生した場合, このビットは "1" に設定されます。

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("0" にクリア) されます。

[bit8] OVFLW : RAM 診断エラーオーバフロービット

OVFLW	機能
0	RAM 診断時に生じたエラーは 3 アドレス以下
1	RAM 診断時に生じたエラーは 4 アドレス以上

Backup RAM の RAM 診断エラーが 4 アドレス以上で発生した場合, このビットは "1" に設定されます。

RAM 診断開始指示をトリガとして, ハードウェアによって初期化 ("0" にクリア) されます。

[bit7] TEIE : 診断時エラー発生による割込み発生許可ビット

TEIE	機能
0	診断時エラー発生による割込み発生の禁止
1	診断時エラー発生による割込み発生許可

Backup RAM の RAM 診断時エラー発生による割込みを許可します。

"0" に設定した場合 : RAM 診断時のエラー発生による割込みを禁止します。

"1" に設定した場合 : RAM 診断時のエラー発生による割込みを許可します。TTCRA.TEI= 1 であつて、RAM 診断が終了すると、割込み信号 (Backup RAM 診断時エラー割込み) を出力します。

[bit6] TEI : 診断時エラー発生ビット

TEI	機能
0	リード : RAM 診断でエラーは発生していない ライト : フラグのクリア
1	リード : RAM 診断でエラーが発生した ライト : 動作に影響なし

Backup RAM の RAM 診断の終了を検出したときに、TTCRA.TSTAT="1" である場合、このビットは "1" に設定されます。

このビットは "0" を書き込むと "0" にクリアされますが、"1" を書き込んでも無効となり、以前の値を保持します。

"1" になる条件 : RAM 診断終了時に TTCRA.TSTAT="1" である。

"0" になる条件 : "0" が書き込まれる。

(注意事項) リードモディファイライトのリード時には、常に "1" が読み出されます。

[bit5] TCIE : 診断終了要因の割込み発生許可ビット

TCIE	機能
0	診断終了要因の割込み発生の禁止
1	診断終了要因の割込み発生許可

Backup RAM の RAM 診断終了要因の割込みを許可します。

"0" に設定した場合 : RAM 診断終了による割込みを禁止します。

"1" に設定した場合 : RAM 診断終了による割込みを許可します。TTCRA.TCI= 1 で割込み信号 (Backup RAM 診断終了割込み) を出力します。

[bit4] TCI : 診断終了ビット

TCI	機能
0	リード: RAM 診断は終了していない ライト: フラグのクリア
1	リード: RAM 診断が終了した ライト: 動作に影響なし

Backup RAM の RAM 診断の終了を検出すると、このビットは "1" に設定されます。

このビットは "0" を書き込むと "0" にクリアされますが、"1" を書き込んでも無効となり、以前の値を保持します。

"1" になる条件: RAM 診断が終了する。(キーコードによる強制終了ではセットされません)

"0" になる条件: "0" が書き込まれる。

(注意事項) リードモディファイライトのリード時には、常に "1" が読み出されます。

[bit3 ~ bit1] TTYP2 ~ TTYP0 : RAM 診断内容指示ビット

Backup RAM の RAM 診断で実施するタイプを設定します。

RAM 診断を実施する順序は、

1.ユニーク (ユニークデータは { アドレス [3:0], {6{ アドレス [7:0] } } })

2.チェッカー

3.マーチ (all "0" → all "1" の順で実施)

の順とし、それぞれを実施するかしないかをこのビットによって設定します。

TTYP2	TTYP1	TTYP0	機能
1	1	0	ユニーク, チェッカーを実行する
-	-	1	マーチを実行する
-	1	-	チェッカーを実行する
1	-	-	ユニークを実行する

デフォルトでは、ユニーク診断およびチェッカー診断を実施する設定(110_B)になっていますが、内容を変更する場合、RAM 診断動作の開始指示よりも前に必ず設定してください。

なお、マーチを最後に実施した場合、RAM の中身は all "1" になっています。

[bit0] TRUN : RAM 診断動作状態ビット

TRUN	機能
0	RAM 診断停止中
1	RAM 診断動作中

Backup RAM の RAM 診断動作の状態を設定あるいは保持します。

"1" になる条件: キーコード設定によって、RAM 診断が起動された場合。

"0" になる条件: 診断がすべて終了した場合か、キーコードによって強制終了した場合。

18.4.17 TEST 初期化機能レジスタ BACKUP-RAM : TICRA

TEST 初期化機能レジスタ (TICRA) は、Backup RAM の RAM 初期化内容の指定および、初期化結果とその状態を保持します。

- TICRA: アドレス 3041_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約				ICIE	ICI	ITYP	IRUN	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R(RM1),W	R/W	R,WX	属性

[bit7 ~ bit4] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit3] ICIE : RAM 初期化終了要因の割込み発生許可ビット

ICIE	機能
0	RAM 初期化終了要因の割込み発生の禁止
1	RAM 初期化終了要因の割込み発生許可

Backup RAM の RAM 初期化終了要因の割込みを許可します。

"0" に設定した場合: RAM 初期化終了による割込みを禁止します。

"1" に設定した場合: RAM 初期化終了による割込みを許可します。TICRA.ICI= 1 で割込み信号 (Backup RAM 初期化完了割込み) を出力します。

[bit2] ICI : RAM 初期化終了ビット

ICI	機能
0	リード: RAM 初期化は終了していない ライト: フラグのクリア
1	リード: RAM 初期化が終了した ライト: 動作に影響なし

Backup RAM の RAM 初期化の終了を検出すると, このビットは "1" に設定されます。

このビットは "0" を書き込むと "0" にクリアされますが, "1" を書き込んでも無効となり, 以前の値を保持します。

"1" になる条件: RAM 初期化が終了する。(キーコードによる強制終了ではセットされません)

"0" になる条件: "0" が書き込まれる。

(注意事項) リードモディファイライトのリード時には, 常に "1" が読み出されます。

[bit1] ITYP : RAM 初期化内容指示ビット

ITYP	機能
0	all "0" に初期化する
1	all "1" に初期化する

Backup RAM の RAM 初期化で実施するタイプを設定します。

"0" に設定した場合 : all "0" に初期化します。

"1" に設定した場合 : all "1" に初期化します。

[bit0] IRUN : RAM 初期化動作状態ビット

IRUN	機能
0	RAM 初期化停止中
1	RAM 初期化動作中

Backup RAM の RAM 初期化動作の状態を設定または保持します。

"1" になる条件 : キーコードによって , RAM 初期化が起動された場合。

"0" になる条件 : 初期化がすべて終了した場合か , キーコードによって強制終了した場合。

18.4.18 TEST ソフトリセット発生制御レジスタ BACKUP-RAM : TSRCRA

TEST ソフトリセット発生制御レジスタ (TSRCRA) は、Backup RAM の RAM 診断の内部回路を初期化するためのソフトウェアリセットの発生を指定します。

- TSRCRA: アドレス 3044_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
SRST	予約						0	
0	0	0	0	0	0	0	0	初期値
R0, W	R0, W0	R0, W0	R0, W0	R0, W0	R0, W0	R0, W0	R0, W0	属性

[bit7] SRST : ソフトウェアリセット発生許可ビット

SRST	機能
0	ソフトウェアリセットの発生を禁止
1	ソフトウェアリセットの発生を許可

Backup RAM の RAM 診断の内部回路に対するソフトウェアリセットの発生を許可します。

リード時, "0" が読み出されます。

"1" に設定した場合 :4 τ だけリセットパルスが発生し, 本レジスタを除く RAM 診断の内部回路をリセットします。

[bit6 ~ bit0] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

18.4.19 TEST 擬似エラー発生制御レジスタ BACKUP-RAM : TFECRA

TEST 擬似エラー発生制御レジスタ (TFECRA) は, Backup RAM の RAM 診断動作時に擬似エラーを発生させます。どの RAM 診断動作時にエラーを発生させるか指定ができます。

• TFECRA: アドレス 3040_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約				FERR	ETYP2	ETYP1	ETYP0	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit4] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit3] FERR : RAM 診断時の擬似エラー発生許可ビット

FERR	機能
0	擬似エラーの発生を禁止 (通常動作)
1	擬似エラーの発生を許可

Backup RAM の RAM 診断時に擬似エラーの発生を許可します。

"0" に設定した場合: 擬似エラーの発生を禁止します。(通常動作)

"1" に設定した場合: 擬似エラーの発生を許可します。ETYP2 ~ ETYP0 で指定された内容に従って, 故意にエラーを含むデータのライトを許可します。

[bit2 ~ bit0] ETYP2 ~ ETYP0 : 擬似エラー発生処理指定ビット

擬似エラーを発生させる処理を指定します。

ETYP2	ETYP1	ETYP0	擬似エラー発生処理
-	-	1	マーチ診断
-	1	-	チェッカー診断
1	-	-	ユニーク診断

18.4.20 TEST キーコード制御レジスタ BACKUP-RAM : TKCCRA

TEST キーコード制御レジスタ (TKCCRA) は, Backup RAM の RAM 診断・初期化の開始および, 強制終了を実行するために使用されます。

• TKCCRA: アドレス 3047_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
KEY1	KEY0	予約				CODE1	CODE0	
0	0	0	0	0	0	0	0	初期値
R0,W	R0,W	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	属性

[bit7, bit6] KEY1, KEY0 : キーコード制御ビット

キーコードの制御ビットです。動作指示内容を CODE[1:0] に設定 (途中で変更しない) して, 操作します。

設定手順は,

1. 00 → 01 → 10 → 11 の順にライトする
2. CODE[1:0] には常に同じ値
3. 途中で違う操作 (RAM 診断の他レジスタへのアクセスや, リードや上記順序以外の連続ライトなど) を行った場合, 処理は無効となります。

(注意事項) 手順中 RAM ECC 内のレジスタへのアクセスが発生しても, キーコード処理は継続されません。

[bit5 ~ bit2] 予約

予約ビットです。リード時, "0" が読み出されます。ライト時は "0" をライトしてください。

[bit1, bit0] CODE1, CODE0 : RAM 診断・初期化制御ビット

上述のキーコード手続きにおいて, 動作指示内容を指定します。

CODE1, CODE0	機能
00	強制終了
01	初期化起動
10	診断起動
11	設定禁止

上述のキーコード操作中にこの値を変更したり, "11" を設定した場合, キーコード手続きそのものが無効になります。

18.5 動作説明

18.5.1 RAM 診断

XBS RAM 診断の順序は、

1. ユニーク (ユニークデータは { アドレス [3:0], {6{ アドレス [7:0] } } })
2. チェッカー
3. マーチ (all "0" → all "1" の順で実施)

の順のみとし、TEST 診断機能レジスタ (TTCRX) の TTYPE[2:0] ビットの設定により実施します。デフォルトでは、ユニークおよびチェッカーを実施します。

なお、マーチ終了時の RAM の中身は all 1 となっています。それ以外の診断では何らかの値が残っています。初期化やライトアクセスを行わずに、リードアクセスを行うと ECC エラーとなりますので、必ず初期化かライトアクセスを実施してから、リードアクセスを行うようにしてください。

XBS RAM の RAM 診断の範囲は、TEST 開始アドレスレジスタ (TASARX) と、TEST 終了アドレスレジスタ (TAEARX) で指定します。

XBS RAM の RAM 診断の実行には以下の手順が必要です。

1. 診断開始前に TEST 診断機能レジスタ (TTCRX) の TRUN, TEST 初期化機能レジスタ (TICRX) の IRUN をリードし "0" であるか確認する
TTCRX.TRUN または、TICRX.IRUN が "0" でない場合
 - ・ TTCRX.TRUN=0 を待って、TTCRX.TCI をクリア
 - ・ TICRX.IRUN=0 を待って、TICRX.ICI をクリア
2. TEST キーコード制御レジスタ (TKCCR) に、"02h" → "42h" → "82h" → "C2h" と 4 回連続ライトして診断開始

XBS RAM の RAM 診断がすべて終了したら、TEST 診断機能レジスタ (TTCRX) の TRUN ビットが "0" となり、RAM 診断を終了します。診断結果は、TEST エラーアドレスレジスタ 0 ～ 2 (TEAR0X ～ 2X) と、TEST 診断機能レジスタ (TTCRX) に保持されます。RAM には、診断データが残ります。

また、TEST キーコード制御レジスタ (TKCCR) に、"00h" → "40h" → "80h" → "C0h" と 4 回連続ライトすることで、XBS RAM の RAM 診断は強制終了します。RAM 診断の途中であってもその時点で終了となります。その場合の診断結果は保証されません。

Backup RAM の RAM 診断も同様の手順で実施します。

18.5.2 RAM 初期化

XBS RAM の RAM 初期化動作の内容は

- all "0" の書込み (デフォルト)
- all "1" の書込み

のいずれか一方のみで、TEST 初期化機能レジスタ (TICRX) の ITYP ビットによって指定されます。ECC 領域には書込み値に応じた値が書き込まれます。

XBS RAM の RAM 初期化の範囲は、TEST 開始アドレスレジスタ (TASARX) と、TEST 終了アドレスレジスタ (TAEARX) で指定します。

XBS RAM の RAM 診断の実行には以下の手順が必要です。

1. 診断開始前に TEST 診断機能レジスタ (TTCRX) の TRUN, TEST 初期化機能レジスタ (TICRX) の IRUN をリードし "0" であるか確認する
TTCRX.TRUN または、TICRX.IRUN が "0" でない場合
 - TTCRX.TRUN=0 を待って、TTCRX.TCI をクリア
 - TICRX.IRUN=0 を待って、TICRX.ICI をクリア
2. TEST キーコード制御レジスタ (TKCCR) に、"01h" → "41h" → "81h" → "C1h" と 4 回連続ライトして診断開始

RAM 初期化が終了したら、TEST 初期化機能レジスタ (TICRX) の IRUN ビットが "0" となり、RAM 初期化は終了します。

また、TEST キーコード制御レジスタ (TKCCR) に、"00h" → "40h" → "80h" → "C0h" と 4 回連続ライトすることで、RAM 初期化は強制終了します。RAM 初期化の途中であってもその時点での終了となります。その場合の初期化結果は保証されません。

Backup RAM の RAM 初期化も同様の手順で実施します。

18.5.3 割込み関連レジスタ

割込みを発生させるには、用途に応じて割込み発生許可ビット (TEIE, TCIE, ICIE) に "1" を書き込み、RAM 診断割込みベクタ、RAM 診断割込みレベルの設定を行ってください。

割込み要因	割込みベクタ	割込みレベル
TTCRX.TEI(RAM 診断時エラー割込み)	#35(000FFF70 _H)	ICR19(0453 _H)
TTCRX.TCI(RAM 診断終了割込み)	#35(000FFF70 _H)	ICR19(0453 _H)
TICRX.ICI(RAM 初期化完了割込み)	#35(000FFF70 _H)	ICR19(0453 _H)
TTCRA.TEI (Backup RAM 診断時エラー割込み)	#35(000FFF70 _H)	ICR19(0453 _H)
TTCRA.TCI (Backup RAM 診断終了割込み)	#35(000FFF70 _H)	ICR19(0453 _H)
TICRA.ICI (Backup RAM 初期化完了割込み)	#35(000FFF70 _H)	ICR19(0453 _H)

割込みレベル、割込みベクタの詳細については、「第 22 章 割込み制御 (割込みコントローラ)」を参照してください。

割込み要求フラグ (TEI, TCI, ICI) は自動的にクリアしません。このため、割込み処理から復帰する前にソフトウェアにてクリアしてください (TEI, TCI, ICI ビットに "0" を書き込む)。

18.5.4 RAM 診断疑似エラー発生手順

本機能は、ソフトデバッグ用として故意に疑似エラーを発生させます。

XBS RAM の RAM 診断疑似エラー発生動作は、

1. TEST 疑似エラー発生制御レジスタ (TFECRX) で、エラータイプの設定をする
 - (ア) TFECRX.ETYP[2:0] に疑似エラーを発生させる診断パターンをセット
 - (イ) TFECRX.FERR=1 を書き込むことで疑似エラーを発生させる診断パターンを特定する
2. TEST 診断機能レジスタ (TTCRX) で、診断処理開始設定
 - (ア) TTCRX.TTYP[2:0] に動作させる診断パターンをセット
 - (イ) TEST キーコード制御レジスタ (TKCCR) に、"02h" → "42h" → "82h" → "C2h" と 4 回連続ライトして診断パターンを動作開始 (「18.5.1 RAM 診断」参照)

の手順で設定します。

Backup RAM の疑似エラー発生も同様の手順で実施します。

18.5.5 所要サイクル数

	XBS RAM	Backup RAM
MB91F585L	12K ワードアドレス (48K バイト)	2K ワードアドレス (8K バイト)
MB91F586L	16K ワードアドレス (64K バイト)	
MB91F587L	24K ワードアドレス (96K バイト)	

例として XBS RAM : MB91F587L の RAM 診断および初期化に要するサイクル数の見積もりを以下のとおり示します。

(1) 「RAM 診断 (ユニーク)」

1 ワードアドレスあたり、

- ライト (1 サイクル)
- リード 1 (1 サイクル)
- リード 2 (1 サイクル)

の処理が全ワードアドレス (24K : MB91F587L) 分あり、全サイクル数は以下のとおりとなります。

$$\left(\frac{1}{\text{ライト}} + \frac{1}{\text{リード 1}} + \frac{1}{\text{リード 2}} \right) \times \frac{24576}{24\text{k ワード}} + 1 = \frac{73729}{\text{合計}}$$

(2) 「RAM 診断 (チェッカー)」

1 ワードアドレスあたり、

- ライト 1 (1 サイクル)
- リード 1 (1 サイクル)

の処理が全ワードアドレス (24K : MB91F587L) 分あり、パーシャルライト機能の診断のために、1 ワードアドレスに対して、ライト 5 回リード 4 回あるので、

- ライト 2 (1 × 5 サイクル)
- リード 2 (2 × 4 サイクル)

これらがあります。さらに、上記とは異なるデータで同様の処理を繰り返すので、全サイクル数は以下のとおりとなります。

$$\left(\left(\frac{1}{\text{ライト 1}} + \frac{1}{\text{リード 1}} \right) \times \frac{24576}{24\text{k ワード}} + 1 + \frac{5}{\text{ライト 2}} + \frac{8}{\text{リード 2}} \right) \times \frac{2}{\text{繰り返し}} = \frac{98332}{\text{合計}}$$

(3) 「RAM 診断 (マーチ)」

1 ワードアドレスあたり、ライト 3 回リード 2 回あるので、

- ライト (1 × 3 サイクル)
- リード (2 × 2 サイクル)

の処理が、全ワードアドレス (24K : MB91F587L) 分あり、さらに上記とは異なるデータで同様の処理を繰り返すので、全サイクル数は以下のとおりとなります。

$$\left(\frac{3}{\text{ライト}} + \frac{4}{\text{リード}} \right) \times \frac{24576}{24\text{k ワード}} \times \frac{2}{\text{繰り返し}} = \frac{344064}{\text{合計}}$$

(4) 「RAM 初期化」

1 ワードアドレスあたり ,

- ライト (1 サイクル)

の処理が全ワードアドレス (24K : MB91F587L) 分あり , 全サイクル数は以下のとおりとなります。

$$\frac{1}{\text{ライト}} \times \frac{24576}{24\text{k ワード}} = \frac{24576}{\text{合計}}$$

2MHz 動作時と 80MHz 動作時の所要時間は以下ようになります。

表 18.5-1 RAM 診断および初期化の所要時間

	ユニーク	チェッカー	マーチ	初期化	合計
サイクル数	73729	98332	344064	24576	540701
2[MHz] (=500[ns])	36864.5[μs]	49166[μs]	172032[μs]	12288[μs]	270[ms]
80MHz (=12.5[ns])	921.6[μs]	1229.2[μs]	4300.8[μs]	307.2[μs]	6.8[ms]

また , レジスタ初期値での診断の所要時間は以下ようになります。

表 18.5-2 パワーオンリセット解除後の診断 (初期設定) の所要時間

	ユニーク	チェッカー	合計
サイクル数	73729	98332	172061
2[MHz] (=500[ns])	36864.5[μs]	49166[μs]	86[ms]

18.5.6 注意事項

- ・ RAM 診断, 初期化中は RAM へのアクセスは禁止です。
- ・ オンチップデバッガ (OCD) によるデバッグ中は RAM- 診断 / 初期化機能は使用できません。
- ・ 診断, 初期化のいずれかの処理が行われている場合, 起動設定しても無視されて現在実行中の処理が継続されます。何かを起動する場合は, 以下の手順で何も動作していないことを確認の上, 起動してください。
 1. TTCCR:TRUN, TICR, IRUN が共に "0" であることを確認。
 2. TKCCR によって, 診断・初期化いずれかのキーコード操作を開始
- ・ キーコード操作によって, 強制終了も可能となっていますので, 以下の操作で強制終了してください。
 - ・ TKCCR に, "8h00", "8h40", "8h80", "8hc0" の 4 連続ライト

第 19 章 BUS 診断機能

19.1 概要

バス診断機能は、各リソースにアクセス時にバス上に出力されたデータを検査することによって、LSI の誤動作を防止する機能です。

		機能
1	診断対象	<ul style="list-style-type: none"> アドレスバスとデータバスに出力されるアドレスとデータ、バスを制御する制御信号（リード・ライト・リードモディファイライト信号、バスアクセスサイズ信号）
2	診断バス	<ul style="list-style-type: none"> AHB, APB(PCLK1), Rbus(PCLK1), APB(PCLK2), Rbus(PCLK2)
3	診断方式	<ul style="list-style-type: none"> パリティによる診断 出力側で 8 ビットごとにパリティを計算し、そのパリティを出力する。 入力側でそのパリティを検査
4	パリティ	<ul style="list-style-type: none"> 奇数パリティ
5	テスト機能	<ul style="list-style-type: none"> パリティエラーを発生させ、バス診断時のプログラムデバックをサポートする。
6	エラー検出	<ul style="list-style-type: none"> コントロールパリティエラー アドレスパリティエラー データパリティエラー エラー発生時、そのときのアドレスをレジスタに表示。
7	効果	<ul style="list-style-type: none"> バス断線の検出 バスのトランジスタの故障検出 ごみによるバスショート of データ化け検出 コンタクト不良によるデータ化け検出
8	NMI 通知	<ul style="list-style-type: none"> コントロールパリティエラー、アドレスパリティエラー、データパリティエラー

19.2 特長

CPU の内部バスは、AHB, APB(PCLK1), Rbus(PCLK1), APB(PCLK2), Rbus(PCLK2) で構成されており、それぞれについてアドレスとデータ、バスコントロール信号に対し、パリティ付加し、そのパリティの検査を行うことによってバス診断機能を実現しています。ただし、バス診断用レジスタのライトアクセス時、パリティエラーが発生した場合、NMI 要求信号をクリアできなくなるため、バス診断レジスタへのライトアクセスは診断対象外とします。

また、ライトアクセス時のパリティエラー検出の際は、周辺リソースへのライトアクセスを遮断します。

バス診断による NMI 出力は、以下の要因で発生します

- コントロールパリティエラー (CNER) が検出された場合
- データパリティエラー (DER[3:0]) が検出された場合
- アドレスパリティエラー (AER[3:0]) が検出された場合

管理コード：FS44-1v4-91580L-1-J

19.3 構成

図 19.3-1 構成図

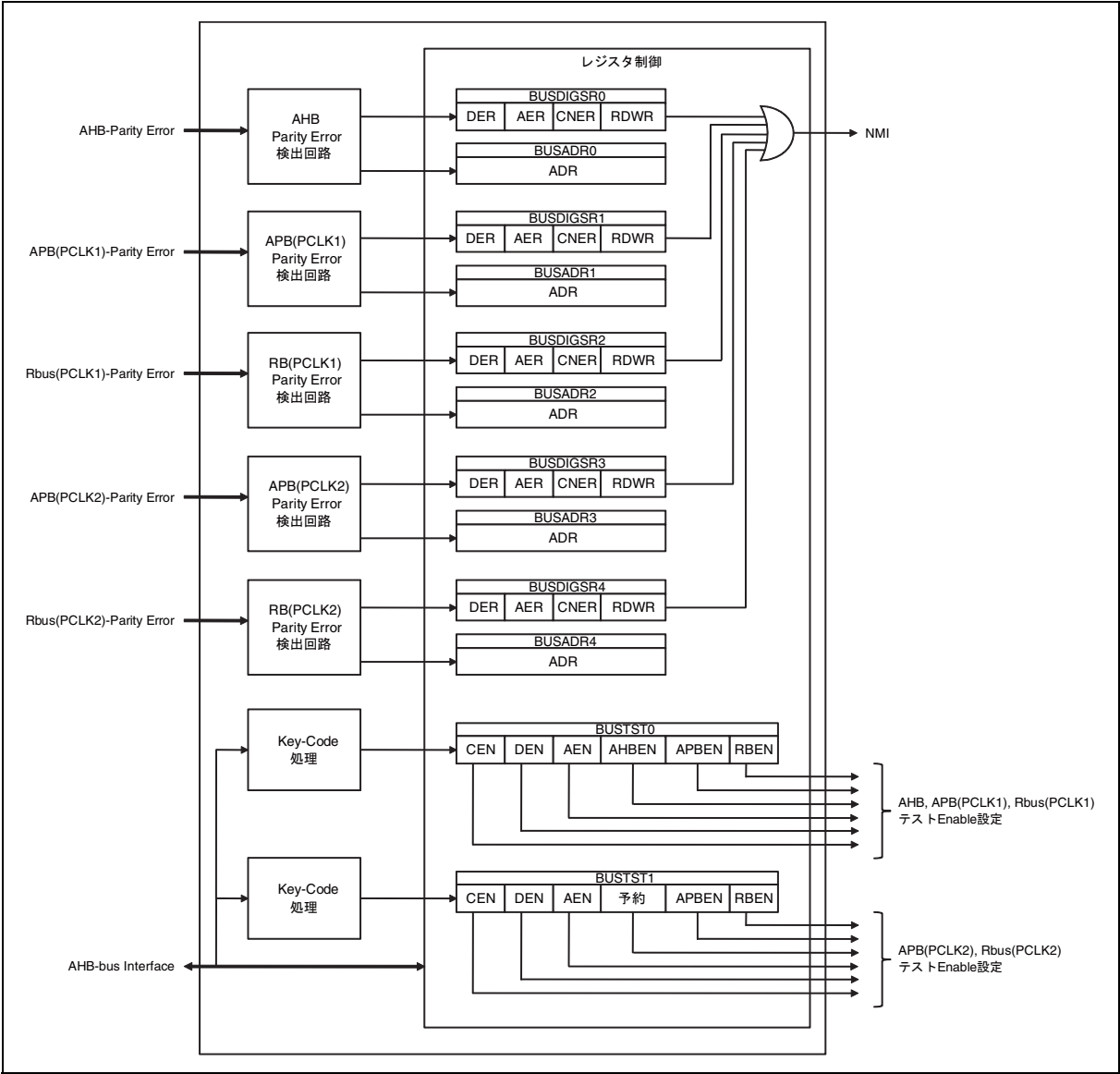


図 19.3-2 バス診断対象領域図 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)

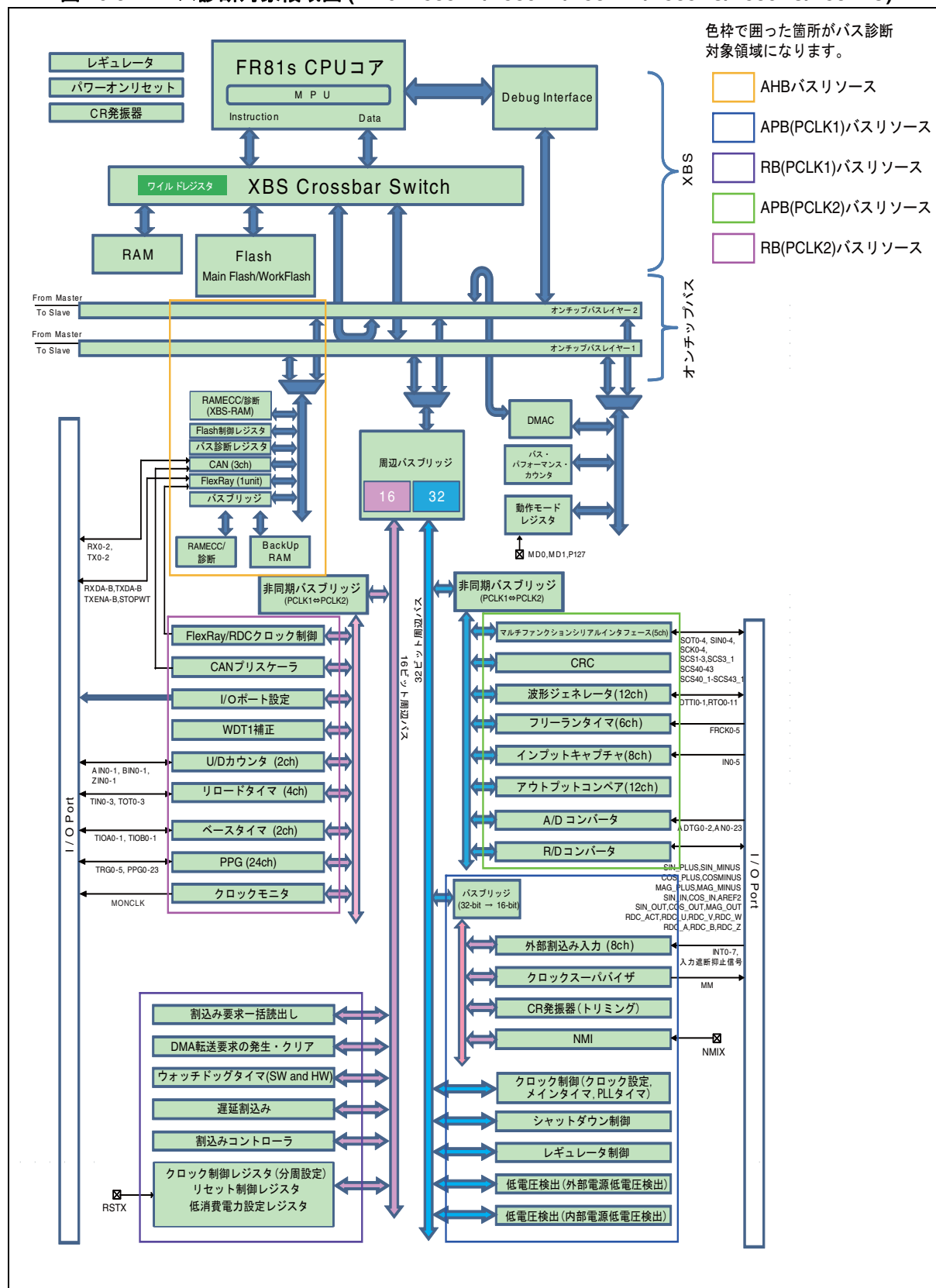
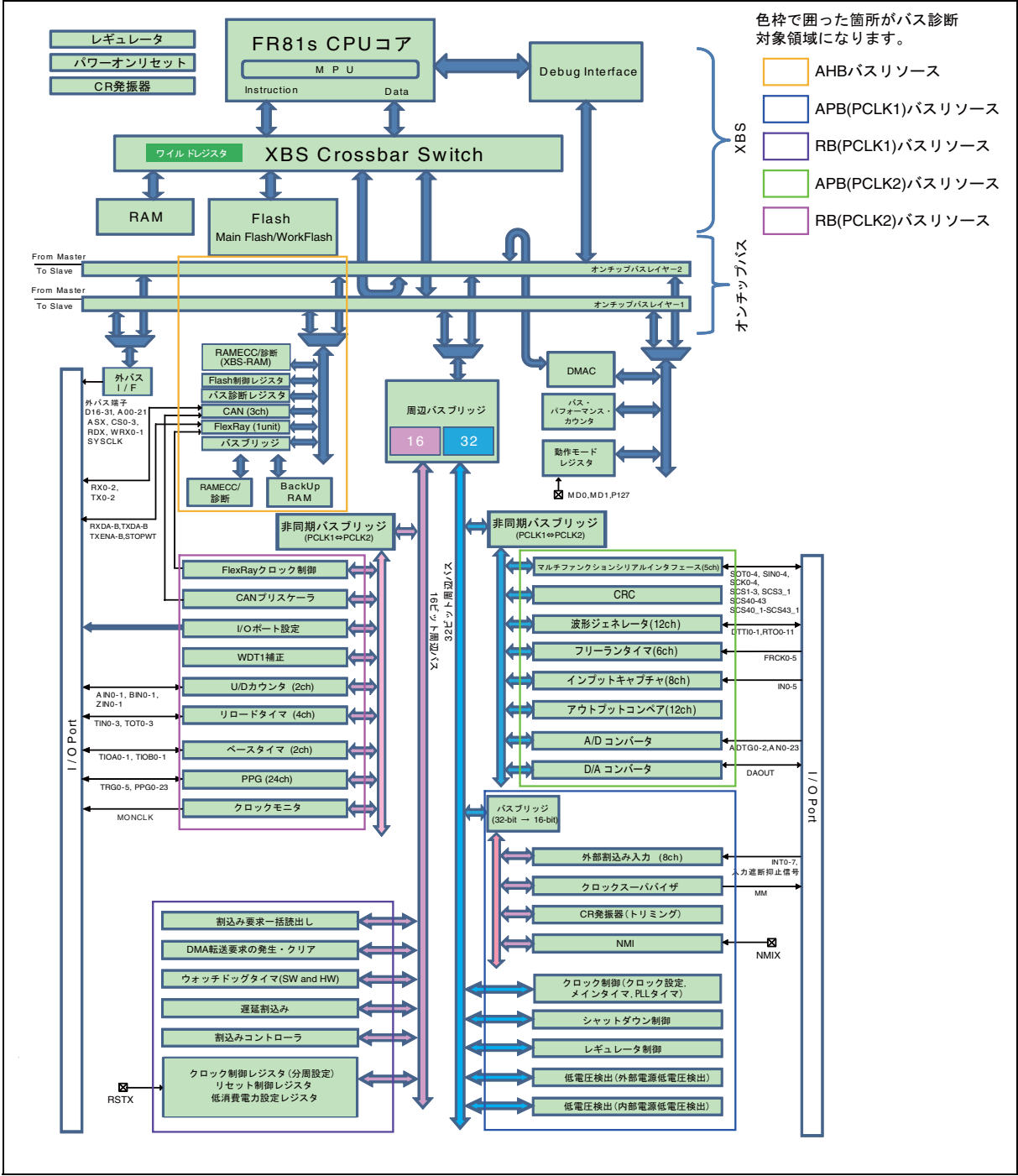


図 19.3-3 バス診断対象領域図 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)



(注意事項) 以下のアドレス領域については診断領域外です。

ウォッチドッグタイマ	0x0000003C - 0x0000003F *1
遅延割込み	0x00000044 *1
MPU	0x00000310 - 0x000003AC
割込みコントローラ	0x00000440 - 0x0000046F *1
リセット制御 / 消費電力制御	0x00000480 - 0x00000482 *1
クロック制御	0x00000488 - 0x0000048A *1
ペリフェラルによる DMA 転送要求	0x00000490 - 0x00000497 *1
外部バスインタフェース	0x00000600 - 0x000006CF *2
バス・パフォーマンス・カウンタ	0x00000710 - 0x0000071F
フラッシュメモリレジスタ	0x00000840 - 0x00000843
ワイルドレジスタ	0x0000085A - 0x0000085B, 0x00000880 - 0x000008FF
OCDU	0x00000BFC - 0x00000BFF
同期 / 非同期設定	0x00001000 - 0x00001001
DMA コントローラ	0x00000C00 - 0x00000DFF
バス診断	0x00003100 - 0x00003127 (リードデータは診断対象です。)

* 1: R-bus につながる診断領域外について , レジスタ設定条件・故障条件によってはエラー検出される場合があります。
詳細は「19.5.3 注意事項」を参照してください。

* 2: 外バスについては, MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD の機能となります。

19.4 レジスタ

表 19.4-1 レジスタマップ

アドレス	bit31	bit16	bit15	bit0	初期値
003100 _H	BUSDIGSR0 (バス診断ステータスレジスタ 0)		BUSDIGSR1 (バス診断ステータスレジスタ 1)		0x00000000
003104 _H	BUSDIGSR2 (バス診断ステータスレジスタ 2)		BUSTSTR0 (バス診断テストレジスタ 0)		0x00000000
003108 _H	BUSADR0(バス診断アドレスレジスタ 0)				0x00000000
00310C _H	BUSADR1(バス診断アドレスレジスタ 1)				0x00000000
003110 _H	BUSADR2(バス診断アドレスレジスタ 2)				0x00000000
003114 _H	予約		BUSDIGSR3 (バス診断ステータスレジスタ 3)		0x00000000
003118 _H	BUSDIGSR4 (バス診断ステータスレジスタ 4)		BUSTSTR1 (バス診断テストレジスタ 1)		0x00000000
00311C _H	予約				0x00000000
003120 _H	BUSADR3(バス診断アドレスレジスタ 3)				0x00000000
003124 _H	BUSADR4(バス診断アドレスレジスタ 4)				0x00000000

19.4.1 バス診断ステータスレジスタ : BUSDIGSR

バス診断ステータスレジスタ (BUSDIGSR) は、データパリティエラー、アドレスパリティエラー、コントロールパリティエラー、データ方向、エラーフラグクリアから構成されています。バス診断ステータスレジスタ 0 は AHB, バス診断ステータスレジスタ 1 は APB(PCLK1), バス診断ステータスレジスタ 2 は Rbus(PCLK1), バス診断ステータスレジスタ 3 は APB(PCLK2), バス診断ステータスレジスタ 4 は Rbus(PCLK2) のエラー状態を示します。

- BUSDIGSR0: アドレス 3100_H (アクセス : ハーフワード, ワード)
- BUSDIGSR1: アドレス 3102_H (アクセス : ハーフワード, ワード)
- BUSDIGSR2: アドレス 3104_H (アクセス : ハーフワード, ワード)
- BUSDIGSR3: アドレス 3116_H (アクセス : ハーフワード, ワード)
- BUSDIGSR4: アドレス 3118_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
DER[3]	DER[2]	DER[1]	DER[0]	AER[3]	AER[2]	AER[1]	AER[0]	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
PECLR	予約					CNER	RDWR	
0	0	0	0	0	0	0	0	初期値
R0/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	属性

[bit15 ~ bit12] DER3 ~ DER0 : データパリティエラー

データパリティエラーフラグです。8 ビットのデータごとにパリティが計算され、エラーが発生した場合、それに対応したビットは "1" になります。

DER[3]=1 のとき、データの bit7 から bit0 でパリティエラーが発生

DER[2]=1 のとき、データの bit15 から bit8 でパリティエラーが発生

DER[1]=1 のとき、データの bit23 から bit16 でパリティエラーが発生

DER[0]=1 のとき、データの bit31 から bit24 でパリティエラーが発生

本ビットが "0" の場合、エラーが発生していないことを示します。本ビットのいずれかに "1" がセットされている間、本ビットは更新されません。本ビットが "1" になると NMI が発生します。本ビットはリードオンリであり、これらのビットを "0" にクリアする場合には、PECLR ビットに "1" を書いてください。

- (注意事項) • 本ビットのいずれかに "1" がセットされているか、AER ビットのいずれかに "1" がセットされているか、または CNER ビットに "1" がセットされている間、本ビットは更新されません。
- データパリティエラーはアクセスサイズの有効データのみエラーが検出され通知されます。
 - バス診断ステータスレジスタのエラークリア直後にステータスレジスタをリードしてエラーを検出した場合、と無限ループに陥る可能性があるため注意してください。

[bit11 ～ bit8] AER3 ～ AER0 : アドレスパリティエラー

アドレスパリティエラーフラグです。8 ビットのアドレスごとにパリティが計算され、エラーが発生した場合、それに対応したビットは "1" になります。

AER[3]=1 のとき、アドレスの bit7 から bit0 でパリティエラーが発生

AER[2]=1 のとき、アドレスの bit15 から bit8 でパリティエラーが発生

AER[1]=1 のとき、アドレスの bit23 から bit16 でパリティエラーが発生

AER[0]=1 のとき、アドレスの bit31 から bit24 でパリティエラーが発生

本ビットが "0" の場合、エラーが発生していないことを示します。本ビットのいずれかが "1" の場合、NMI が発生します。

本ビットはリードオンリであり、これらのビットを "0" にクリアする場合には、PECLR ビットに "1" を書いてください。

(注意事項) 本ビットのいずれかに "1" がセットされているか、DER ビットのいずれかに "1" がセットされているか、または CNER ビットに "1" がセットされている間、本ビットは更新されません。

[bit7] PECLR : パリティエラークリア

パリティエラークリアビットです。本ビットに "1" が書き込まれると DER ビット、AER ビットと CNER ビットを "0" にします。読出し時、本ビットは "0" が読み出されます。本ビットに "0" を書き込んだ場合、無視します。本ビットはライトオンリです。

[bit6 ～ bit2] 予約

必ず "0" を設定してください。

[bit1] CNER : コントロールパリティエラー

コントロールパリティエラービットです。バスを制御するリード・ライト信号、データサイズのコントロール信号をデータとして取り扱い、パリティエラーが発生した場合、本ビットは "1" に設定されます。本ビットが "0" の場合、エラーが発生していないことを示します。本ビットに "1" がセットされている間、本ビットは更新されません。本ビットが "1" になると NMI が発生します。本ビットはリードオンリであり、これらのビットを "0" にクリアする場合には、PECLR ビットに "1" を書いてください。

(注意事項) 本ビットのいずれかに "1" がセットされているか、AER ビットのいずれかに "1" がセットされているか、または CNER ビットに "1" がセットされている間、本ビットは更新されません。

[bit0] RDWR : データ方向

データ方向フラグです。データパリティエラーまたはアドレスパリティエラーが発生時、読出しまたは書込みのいずれかでエラーが発生したかを示します。

本ビットが "0" の場合：リード方向

本ビットが "1" の場合：ライト方向

(注意事項) ・PECLR ビットへ "1" を書いても本ビットは影響されません。

- ・DER ビット、AER ビットまたは CNER ビットに "1" がセットされている間、本ビットは更新されません。
- ・DER ビット、AER ビットまたは CNER ビットのいずれかが "1" の場合、本ビットは有効です。

< 注意事項 >

- バス診断ステータスレジスタ 0(BUSDIGSR0) は AHB, バス診断ステータスレジスタ 1(BUSDIGSR1) は APB, バス診断ステータスレジスタ 2(BUSDIGSR2) は Rbus のバスエラー状態を示します。
 - バス診断ステータスレジスタへの書込みで診断エラーが発生してもその書込みを行い, 対象となるエラーフラグは "1" に設定されません。
-

19.4.2 バス診断テストレジスタ : BUSTSTR0/1

バス診断テストレジスタ (BUSTSTR0, BUSTSTR1) は、バス診断用テスト機能を設定します。

• BUSTSTR0: アドレス 3106_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
KEY1	KEY0	予約		CEN	RBEN	APBEN	AHBEN	
0	0	0	0	0	0	0	0	初期値
R0/W	R0/W	R0,W0	R0,W0	R/W	R/W	R/W	R/W	属性

7	6	5	4	3	2	1	0	bit
DEN[3]	DEN[2]	DEN[1]	DEN[0]	AEN[3]	AEN[2]	AEN[1]	AEN[0]	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15, bit14] KEY1, KEY0 : キービット

キービットです。本ビットに "00", "01", "10", "11" と連続的に書き込むとそのとき bit11 ～ bit0 に書き込まれたデータに更新されます。ただし、その連続的に書き込むとき、4 回必ず bit11 ～ bit0 に同じ値が書き込まれないと bit11 ～ bit0 は更新されません。また、書込み途中でバス診断用レジスタを読み出した場合も更新されません。そのときは再度、4 回連続的に本レジスタに書き込んでください。

例)

BUSTSTR に 07AA_H をライト

次に BUSTSTR に 47AA_H ライト

次に BUSTSTR に 87AA_H ライト

次に BUSTSTR に C7AA_H ライト → この書込みで BUSTSTR が 07AA_H になります。

[bit13, bit12] 予約

必ず "0" を設定してください。

[bit11] CEN : コントロールエラー

コントロールエラー設定ビットです。

本ビットが "0" の場合 : コントロールのパリティを正しく生成します

本ビットが "1" の場合 : コントロールのパリティエラーが発生します

(注意事項) RBEN=0, APBEN=0, AHBEN=0 のとき、本ビットは無効になり、"0" が設定されたときと同じ動作になります。

[bit10] RBEN : Rbus パリティエラー生成許可

Rbus(PCLK1) のパリティエラーを発生させる許可ビットです。

本ビットが "0" の場合 : Rbus のパリティは正しくパリティ (奇数パリティ) を生成します。

本ビットが "1" の場合 : Rbus のパリティはエラーが発生するようにパリティ (偶数パリティ) を生成します。

(注意事項) DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき、本ビットは無効になり、本ビットに "0" が設定されたときと同じ動作になります。

[bit9] APBEN : APB パリティエラー生成許可

APB(PCLK1) のパリティエラーを発生させる許可ビットです。

本ビットが "0" の場合 : APB のパリティは正しくパリティ (奇数パリティ) を生成します。

本ビットが "1" の場合 : APB のパリティはエラーが発生するようにパリティ (偶数パリティ) を生成します。

(注意事項) DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき, 本ビットは無効になり, 本ビットに "0" が設定されたときと同じ動作になります。

[bit8] AHBEN : AHB パリティエラー生成許可

AHB のパリティエラーを発生させる許可ビットです。

本ビットが "0" の場合 : AHB のパリティは正しくパリティ (奇数パリティ) を生成します。

本ビットが "1" の場合 : AHB のパリティはエラーが発生するようにパリティ (偶数パリティ) を生成します。

(注意事項) DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき, 本ビットは無効になり, 本ビットに "0" が設定されたときと同じ動作になります。

[bit7 ~ bit4] DEN3 ~ DEN0 : データエラー

データエラー設定ビットです。

DEN[3] が "0" の場合 : データバスの bit7 から bit0 のパリティを正しく生成します。

DEN[3] が "1" の場合 : データバスの bit7 から bit0 のパリティエラーが発生します。

DEN[2] が "0" の場合 : データバスの bit15 から bit8 のパリティを正しく生成します。

DEN[2] が "1" の場合 : データバスの bit15 から bit8 のパリティエラーが発生します。

DEN[1] が "0" の場合 : データバスの bit23 から bit16 のパリティを正しく生成します。

DEN[1] が "1" の場合 : データバスの bit23 から bit16 のパリティエラーが発生します。

DEN[0] が "0" の場合 : データバスの bit31 から bit24 のパリティを正しく生成します。

DEN[0] が "1" の場合 : データバスの bit31 から bit24 のパリティエラーが発生します。

(注意事項) ・ RBEN= 0, APBEN= 0, AHBEN= 0 のとき, 本ビットは無効になり, 本ビットに "0000" が設定された値と同じ動作になります。

・ アクセスサイズの有効データ範囲に設定した値のみがエラー設定されます。

[bit3 ～ bit0] AEN3 ～ AEN0 : アドレスエラー

アドレスエラー設定ビットです。

AEN[3] が "0" の場合 : アドレスバスの bit7 から bit0 のパリティを正しく生成します。

AEN[3] が "1" の場合 : アドレスバスの bit7 から bit0 のパリティエラーが発生します。

AEN[2] が "0" の場合 : アドレスバスの bit15 から bit8 のパリティを正しく生成します。

AEN[2] が "1" の場合 : アドレスバスの bit15 から bit8 のパリティエラーが発生します。

AEN[1] が "0" の場合 : アドレスバスの bit23 から bit16 のパリティを正しく生成します。

AEN[1] が "1" の場合 : アドレスバスの bit23 から bit16 のパリティエラーが発生します。

AEN[0] が "0" の場合 : アドレスバスの bit31 から bit24 のパリティを正しく生成します。

AEN[0] が "1" の場合 : アドレスバスの bit31 から bit24 のパリティエラーが発生します。

(注意事項) RBEN= 0, APBEN= 0, AHBEN= 0 のとき , 本ビットは無効になり , 本ビットに "0000" が設定された値と同じ動作になります。

< 注意事項 >

- バス診断テストレジスタ書込み時は割込み禁止です。
- バス診断テストレジスタは , バス診断機能のデバッグ用レジスタです。
- バス診断テストレジスタへの書込みで診断エラーが発生してもその書込みを行い , 対象となるステータスレジスタのエラーフラグは "1" に設定されません。
- RB バスリソースへのアクセスでパリティエラーを発生させたい場合は , 同じアクセスを 2 回連続して行うようにしてください。
本動作はテスト機能使用時のみの設定です。

• BUSTSTR1: アドレス 311A_H (アクセス : ハーフワード , ワード)

15	14	13	12	11	10	9	8	bit
KEY1	KEY0	予約		CEN	RBEN	APBEN	予約	
0	0	0	0	0	0	0	0	初期値
R0/W	R0/W	R0,W0	R0,W0	R/W	R/W	R/W	R/W0	属性

7	6	5	4	3	2	1	0	bit
DEN[3]	DEN[2]	DEN[1]	DEN[0]	AEN[3]	AEN[2]	AEN[1]	AEN[0]	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15, bit14] KEY1, KEY0 : キービット

キービットです。本ビットに "00", "01", "10", "11" と連続的に書き込むとそのとき bit11 ～ bit0 に書き込まれたデータに更新されます。ただし , その連続的に書き込むとき , 4 回必ず bit11 ～ bit0 に同じ値が書き込まれないと bit11 ～ bit0 は更新されません。また , 書込み途中でバス診断用レジスタを読み出した場合も更新されません。そのときは再度 , 4 回連続的に本レジスタに書き込んでください。

例)

BUSTSTR に 07AA_H をライト

次に BUSTSTR に 47AA_H ライト

次に BUSTSTR に 87AA_H ライト

次に BUSTSTR に C7AA_H ライト → この書込みで BUSTSTR が 07AA_H になります。

[bit13, bit12] 予約

必ず "0" を設定してください。

[bit11] CEN : コントロールエラー

コントロールエラー設定ビットです。

本ビットが "0" の場合 : コントロールのパリティを正しく生成します

本ビットが "1" の場合 : コントロールのパリティエラーが発生します

(注意事項) RBEN=0, APBEN=0, AHBEN=0 のとき , 本ビットは無効になり , "0" が設定されたときと同じ動作になります。

[bit10] RBEN : Rbus パリティエラー生成許可

Rbus(PCLK2) のパリティエラーを発生させる許可ビットです。

本ビットが "0" の場合 : Rbus のパリティは正しくパリティ (奇数パリティ) を生成します。

本ビットが "1" の場合 : Rbus のパリティはエラーが発生するようにパリティ (偶数パリティ) を生成します。

(注意事項) DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき , 本ビットは無効になり , 本ビットに "0" が設定されたときと同じ動作になります。

[bit9] APBEN : APB パリティエラー生成許可

APB(PCLK2) のパリティエラーを発生させる許可ビットです。

本ビットが "0" の場合 : APB のパリティは正しくパリティ (奇数パリティ) を生成します。

本ビットが "1" の場合 : APB のパリティはエラーが発生するようにパリティ (偶数パリティ) を生成します。

(注意事項) DEN[3:0]= 0000, AEN[3:0]= 0000, CEN= 0 のとき , 本ビットは無効になり , 本ビットに "0" が設定されたときと同じ動作になります。

[bit8] 予約

必ず "0" を書き込んでください。

[bit7 ～ bit4] DEN3 ～ DEN0 : データエラー

データエラー設定ビットです。

DEN[3] が "0" の場合 : データバスの bit7 から bit0 のパリティを正しく生成します。

DEN[3] が "1" の場合 : データバスの bit7 から bit0 のパリティエラーが発生します。

DEN[2] が "0" の場合 : データバスの bit15 から bit8 のパリティを正しく生成します。

DEN[2] が "1" の場合 : データバスの bit15 から bit8 のパリティエラーが発生します。

DEN[1] が "0" の場合 : データバスの bit23 から bit16 のパリティを正しく生成します。

DEN[1] が "1" の場合 : データバスの bit23 から bit16 のパリティエラーが発生します。

DEN[0] が "0" の場合 : データバスの bit31 から bit24 のパリティを正しく生成します。

DEN[0] が "1" の場合 : データバスの bit31 から bit24 のパリティエラーが発生します。

(注意事項) ・ RBEN= 0, APBEN= 0, AHBEN= 0 のとき , 本ビットは無効になり , 本ビットに "0000" が設定された値と同じ動作になります。

・ アクセスサイズの有効データ範囲に設定した値のみがエラー設定されます。

[bit3 ～ bit0] AEN3 ～ AEN0 : アドレスエラー

アドレスエラー設定ビットです。

AEN[3] が "0" の場合 : アドレスバスの bit7 から bit0 のパリティを正しく生成します。

AEN[3] が "1" の場合 : アドレスバスの bit7 から bit0 のパリティエラーが発生します。

AEN[2] が "0" の場合 : アドレスバスの bit15 から bit8 のパリティを正しく生成します。

AEN[2] が "1" の場合 : アドレスバスの bit15 から bit8 のパリティエラーが発生します。

AEN[1] が "0" の場合 : アドレスバスの bit23 から bit16 のパリティを正しく生成します。

AEN[1] が "1" の場合 : アドレスバスの bit23 から bit16 のパリティエラーが発生します。

AEN[0] が "0" の場合 : アドレスバスの bit31 から bit24 のパリティを正しく生成します。

AEN[0] が "1" の場合 : アドレスバスの bit31 から bit24 のパリティエラーが発生します。

(注意事項) RBEN= 0, APBEN= 0, AHBEN= 0 のとき , 本ビットは無効になり , 本ビットに "0000" が設定された値と同じ動作になります。

19.4.3 バス診断アドレスレジスタ : BUSADR

バス診断アドレスレジスタ (BUSADR) はアドレスパリティエラー、データパリティエラーまたはコントロールパリティエラーが検出されたとき、そのときのアドレスを格納します。バス診断ステータスレジスタ (BUSDIGSR) の DER ビット、AER ビットまたは CNER ビットが "1" のとき、本レジスタは有効です。バス診断アドレスレジスタ 0 は AHB、バス診断アドレスレジスタ 1 は APB(PCLK1)、バス診断アドレスレジスタ 2 は Rbus(PCLK1)、バス診断アドレスレジスタ 3 は APB(PCLK2)、バス診断アドレスレジスタ 4 は Rbus(PCLK2) の診断時エラーが検出されたアドレスを示します。

- BUSADR0: アドレス 3108_H (アクセス : ワード)
- BUSADR1: アドレス 310C_H (アクセス : ワード)
- BUSADR2: アドレス 3110_H (アクセス : ワード)
- BUSADR3: アドレス 3120_H (アクセス : ワード)
- BUSADR4: アドレス 3124_H (アクセス : ワード)

31	30	29	28	27	26	25	24	bit
ADR[31]	ADR[30]	ADR[29]	ADR[28]	ADR[27]	ADR[26]	ADR[25]	ADR[24]	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

23	22	21	20	19	18	17	16	bit
ADR[23]	ADR[22]	ADR[21]	ADR[20]	ADR[19]	ADR[18]	ADR[17]	ADR[16]	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

15	14	13	12	11	10	9	8	bit
ADR[15]	ADR[14]	ADR[13]	ADR[12]	ADR[11]	ADR[10]	ADR[9]	ADR[8]	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

7	6	5	4	3	2	1	0	bit
ADR[7]	ADR[6]	ADR[5]	ADR[4]	ADR[3]	ADR[2]	ADR[1]	ADR[0]	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit31 ~ bit0] ADR31 ~ ADR0 : バスアドレス

アドレスまたはデータパリティエラー検出時、そのときアクセスしたアドレスを表示します。
本レジスタはリードオンリです。

- (注意事項) • バス診断ステータスレジスタの DER ビット、AER ビットまたは CNER ビットのいずれかが "1" のとき、本レジスタは有効です。
- バス診断ステータスレジスタの DER ビット、AER ビットまたは CNER ビットのいずれかが "1" のとき、本レジスタは更新されません。

19.5 動作説明

バス診断の動作は、AHB, APB, Rbus にアクセスされると、アドレスバスとデータバス、およびコントロールバスに対し、パリティ検査を行い、アドレスとデータ、コントロールバスが正しいことを診断します。

AHB, APB, Rbus にてバス故障と判断された場合、バス診断ステータスレジスタに各エラー内容、バス診断アドレスレジスタにリソースのアドレスが通知され、故障内容を判断することが可能です。ライト動作時は、アドレスパリティエラーかデータパリティエラー、およびコントロールパリティエラーが発生した場合、周辺リソースへの書込みは行いません。

19.5.1 エラー検出

バス診断にてエラーを検出した場合、エラー検出時のアクセスアドレス・アクセス方向をそれぞれバス診断アドレスレジスタ (BUSADR)・バス診断ステータスレジスタ (BUSDISR) の RDWR ビットに保持します。

またライトアクセスによるエラーを検出したとき、リソースへの書込みは行われません。

■アドレスエラー検出

アドレスエラー検出は、バスアドレスのパリティ演算結果がエラーであった場合、バス診断ステータスレジスタ (BUSDISR) の AER[3:0] ビットに "1" をセットします。

同レジスタ PECLR ビットに "1" を書き込むことで AER[3:0] ビットをクリアできます。

■コントロールエラー検出

コントロールエラー検出は、バスコントロールのパリティ演算結果がエラーであった場合、バス診断ステータスレジスタ (BUSDISR) の CNER ビットに "1" をセットします。

同レジスタの PECLR ビットに "1" を書き込むことで CNER ビットをクリアできます。

■データエラー検出

データエラー検出は、バスデータのパリティ演算結果がエラーであった場合、ワード、ハーフワード、バイトのアクセスサイズにより、バス診断ステータスレジスタ (BUSDISR) の対応する DER[3:0] ビットに "1" をセットします。

同レジスタの PECLR ビットに "1" を書き込むことで DER[3:0] ビットをクリアできます。

以下にバス診断ステータスレジスタ (BUSDIGSR).DER[3:0] のエラー検出箇所を示します。

(○：エラー検出する、-：エラー検出しない)

アクセスサイズ	アドレス	BUSDIAGSR0(AHB: オンチップバス) BUSDIAGSR1(APB:32bit 周辺バス) BUSDIAGSR2(R-bus:16bit 周辺バス)			
		DER[0]	DER[1]	DER[2]	DER[3]
		データ bit31-24	データ bit23-16	データ bit15-8	データ bit7-0
ワードアクセス	Addr+0	○*	○*	○*	○*
ハーフワードアクセス	Addr+0	○	○	-	-
ハーフワードアクセス	Addr+2	-	-	○	○
バイトアクセス	Addr+0	○	-	-	-
バイトアクセス	Addr+1	-	○	-	-
バイトアクセス	Addr+2	-	-	○	-
バイトアクセス	Addr+3	-	-	-	○

- *: R-bus:16bit 周辺バスでのワードアクセスは ハーフワードアクセス×2回 のアクセスになるため初めにエラー検出した ハーフワードアクセスエラーのみがレジスタに通知されます。通常は上位ハーフワードアクセス (データ bit31-16) →下位ハーフワードアクセス (データ bit15-0) の順にアクセスされますが、PPG・アップダウンカウンタへのワードアクセスについてのみ、下位ハーフワードアクセス (データ bit15-0) →上位ハーフワードアクセス (データ bit31-16) の順でアクセスされます。

■NMI 発行 / 停止

各バスのアドレスエラー(AER[3:0]), コントロールエラー(CNER), データエラー(DER) のいずれかが検出されている間, NMI が発行され続けます。

各バスのアドレスエラー(AER[3:0]), コントロールエラー(CNER), データエラー(DER) のすべてをクリアすると, NMI の発行を停止します。

(注意事項) BUS 診断機能は, バスエラーを検出した場合, NMI 割込みを発生します。NMI は, マスクすることができない (発生を抑制できない) 割込みです。ソフトウェアでは必ず NMI 処理ルーチンを設定してください。NMI 処理ルーチンが未定義のプログラムで, 万が一バス故障が発生した場合, NMI 発生後にプログラム実行が暴走します。

19.5.2 テスト機能

本機能ではバス診断テストレジスタ(BUSTSTR)を用いて, 疑似エラーを発生させることが可能です。本レジスタへの設定は, キーコード処理が必要です。

KEY1, KEY0 ビットに連続的に "00", "01", "10", "11" を書き込まなければレジスタ設定されません。

このとき, 書き込むデータは 4 回とも同じ値でなければレジスタ値は更新されませんのでご注意ください。

ただし, 読出しデータが ALL"1" の場合はバス診断テストレジスタを設定していても, 疑似データエラーは検出しません。

(注意事項) レジスタ設定とアクセス条件によっては ALL"1" 読出しでもエラーを検出する場合があります。

詳細は「■データエラー設定 (注意事項)」を参照してください。

上記の制限はテスト機能を用いた場合にのみ適用されます。

■バスエラー設定

RBEN, APBEN, AHBEN に "1" を設定することにより, 設定したバスに対して疑似エラーを発生させることができます。

ただし, AEN[3:0], CEN, DEN[3:0] のいずれかのビットにも同時に "1" を設定しておく必要があります。

■アドレスエラー設定

AEN[3:0] に "1" を設定することにより, 対応したアドレスビットに疑似アドレスエラーを発生させることができます。

ただし, RBEN, APBEN, AHBEN のいずれかのビットにも同時に "1" を設定しておく必要があります。

■コントロールエラー設定

CEN に "1" を設定することにより、コントロールビットに疑似コントロールエラーを発生させることができます。

ただし、RBEN, APBEN, AHBEN のいずれかのビットにも同時に "1" を設定しておく必要があります。

■データエラー設定

DEN[3:0] に "1" を設定することにより、対応したデータビットに疑似データエラーを発生させることができます。

ただし、RBEN, APBEN, AHBEN のいずれかのビットにも同時に "1" を設定しておく必要があります。

- (注意事項) ・ DEN[3:0] を設定する際には、アクセスサイズに対応したビットのみを設定するようにしてください。
アクセスサイズに対応しないビットに DEN[3:0] を設定した場合、アクセスしていないデータについてもエラーを検出してしまう場合がありますのでご注意ください。
- ・アクセスサイズに対応しないビットに DEN[3:0] を設定した場合、5.1.3 項で述べたデータエラー検出方法と異なる場合があります。

■バス診断疑似エラー発生手順

疑似エラーを発生させる手順を以下に示します。

1. バス診断テストレジスタ (BUSTSTR) で、診断するバス・エラーのタイプの設定をする。
 - ・ キーコードにて、"00" → "01" → "10" → "11" と 4 回連続同じエラー設定を書き込む。
2. 疑似エラー設定したバスにて、診断領域内のリソースにアクセスする。
 - ・ アドレスエラー、コントロールエラーを設定した場合 (データエラーの設定がない場合)
⇒ 診断領域内のリソースにアクセスすることで疑似エラーが発生します。
 - ・ データエラーを設定した場合
⇒ DEN[3:0] に対応したアクセスサイズで、診断領域内のリソースにアクセスすることで疑似エラーが発生します。(「■データエラー設定」(注意事項) 参照)

19.5.3 注意事項

・ R-bus のバス診断テスト機能使用時

バス診断テストレジスタにて RBEN を "1" 設定し、AEN[3:0], CEN, DEN[3:0] のいずれかを "1" 設定した状態で、下記のリソース領域にアクセスした場合、エラーが検出され、バス診断されたように見える場合があります。

このとき、リソースへのライトアクセスは実行されます。

- ・ ウォッチドッグタイマ
- ・ 遅延割込み
- ・ 割込みコントローラ
- ・ リセット制御 / 消費電力制御
- ・ クロック制御
- ・ ペリフェラルによる DMA 転送要求
- ・ DMA コントローラ

19.5.4 バス診断動作例

以下にバス診断の動作例を示します。

- ・データエラー検出動作

バイトアクセス [7:0] でリソースにライト (リード) アクセス時にデータバスが故障。

⇒ リソースに対応する , バス診断ステータスレジスタの DER[3] のみが "1" に設定されます。

(注意事項) ・ このときデータバス [31:8] でバスが故障していても DER[2], DER[1], DER[0] は "1" に設定されません。

- ・ ワード , ハーフワードアクセスも同様に , アクセスサイズに対応したビットのみ設定されます。

- ・ 疑似データエラー設定動作

テスト機能にて , バス診断ステータスレジスタ DER[0] にエラーを検出させたい場合

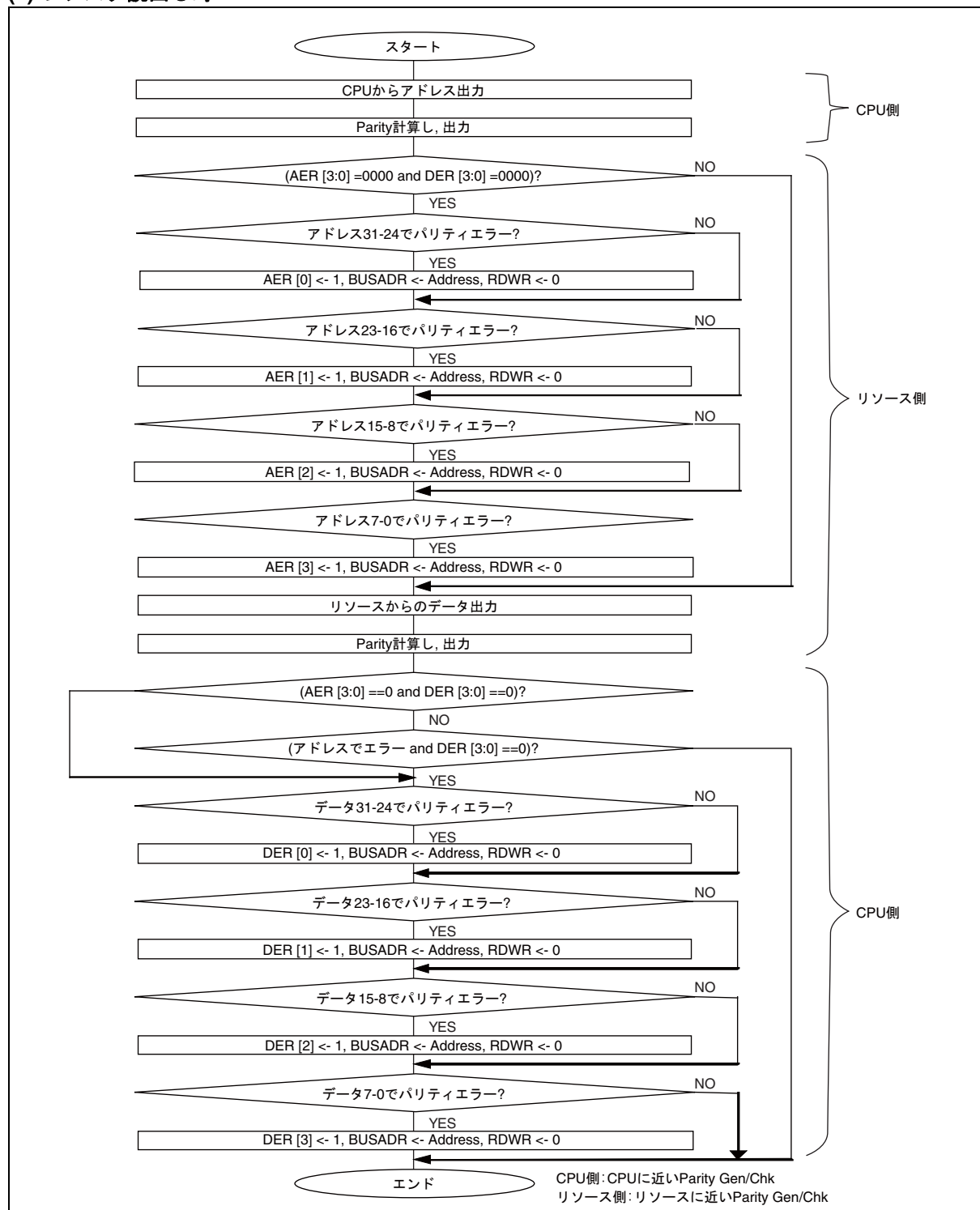
⇒ キーコードアクセスにて , バスエラー設定とデータエラー設定 DEN[0] に "1" を設定し , バイトアクセス [31:24] を行ってください。

DEN[3:1] を設定して , バイトアクセス [31:24] を行うと , バス診断ステータスレジスタ DER[3:1] にエラーを検出してしまう場合がありますので注意してください。

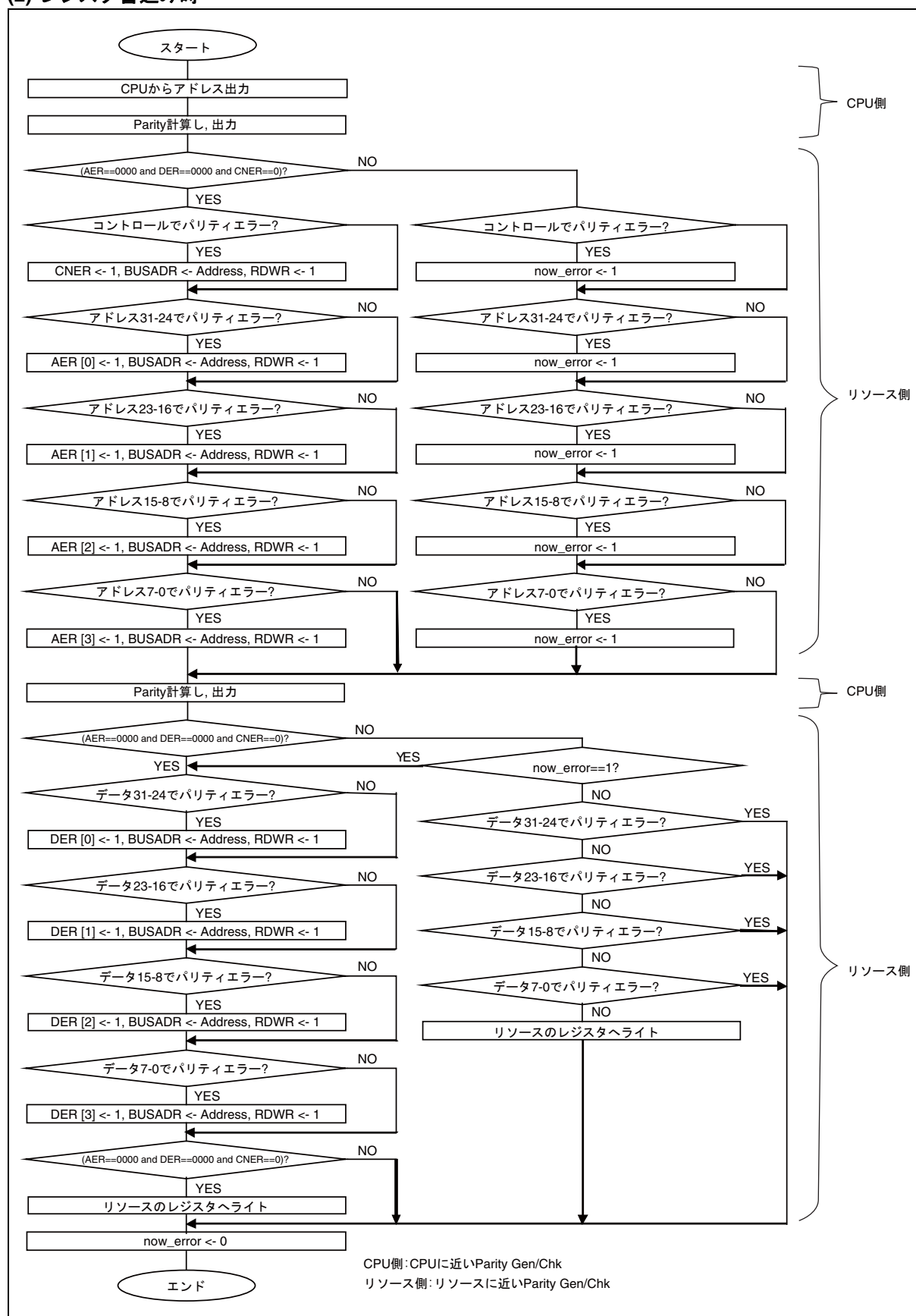
■ バス診断の動作フロー

バス診断の動作フローは、以下に示します。

(1) レジスタ読出し時



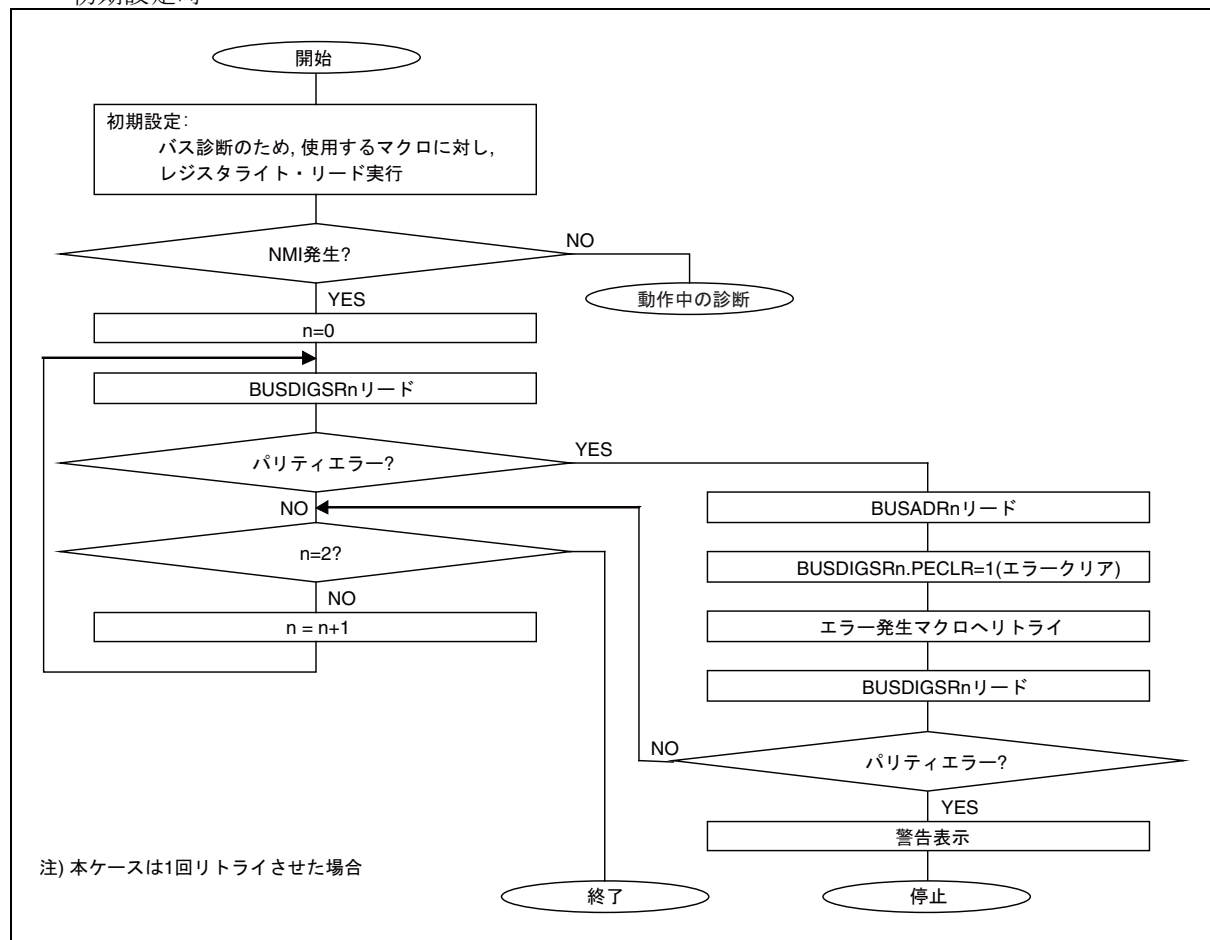
(2) レジスタ書き込み時



(3) エラー検出時の処理

エラー検出時の処理について一例を示します。

・ 初期設定時



(注意事項) 必ず CCR の I フラグを許可状態にする前に割込み関数のアドレスを割込みベクタに設定してください。

バス信号が常態故障している場合に、以下のようなフローでプログラムを実行した場合、CPU は CCR の設定の直後に割込み関数のアドレスを参照してしまいます。

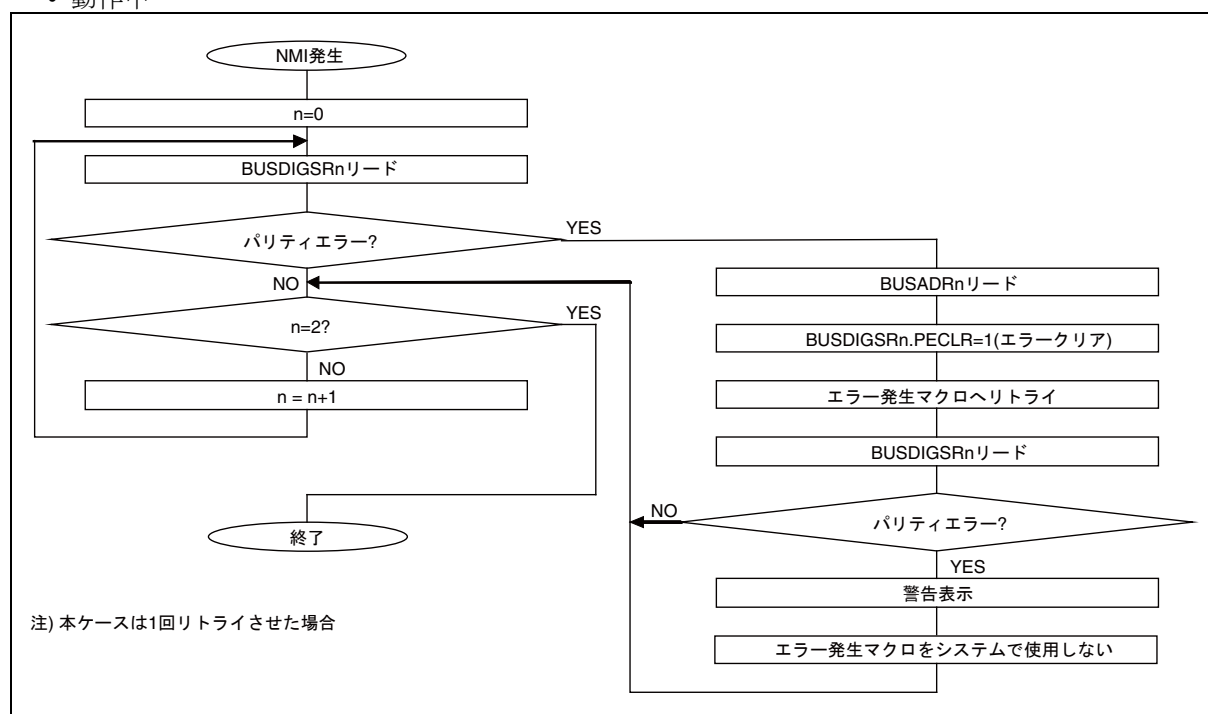
例)

- ①ベクタ領域の定義
- ② Stack クリア
- ③端子レジスタ設定
- ④割込み許可設定 (CCR I フラグ許可)

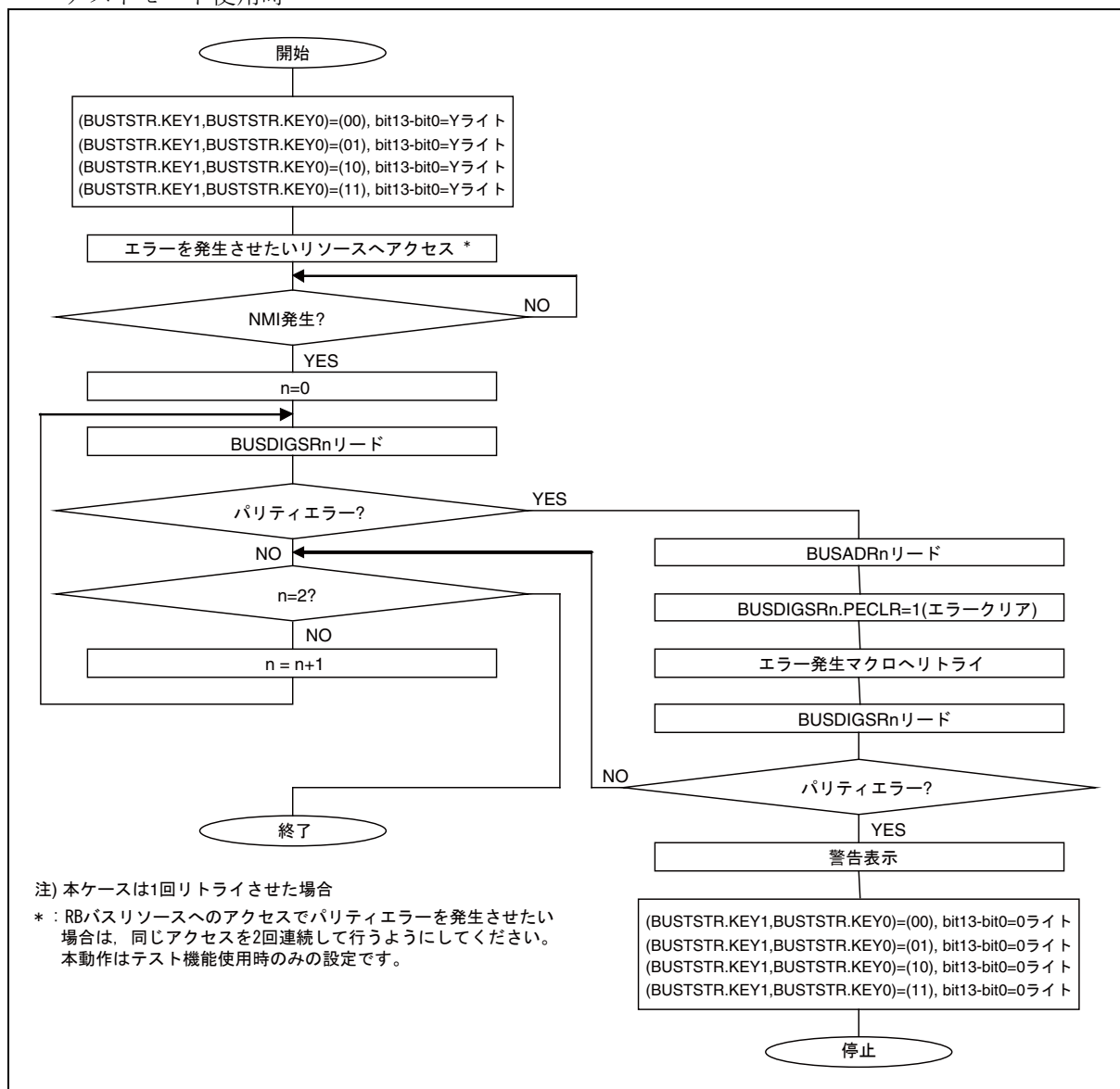
ここでバス診断の NMI を検出してしまい、プログラムが停止してしまいます。

- ⑤割込み関数のアドレスを割込みベクタに設定

• 動作中



・テストモード使用時



第 20 章 遅延割り込み

20.1 概要

遅延割り込みとは、OS でのタスク切換え用の割り込みを発生するための機能です。

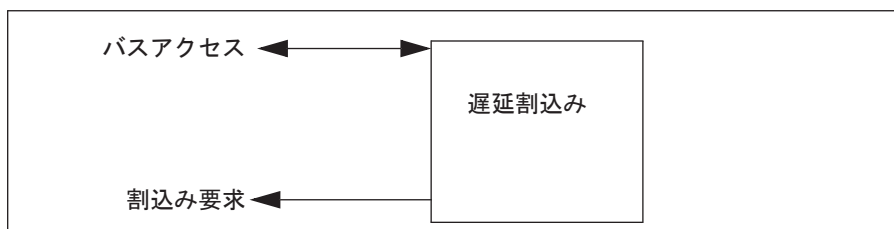
本機能によって、ソフトウェアで CPU に対して割り込み要求の発生／取消しを行うことができます。

20.2 特長

レジスタ書込みにより、割り込みを発生させることができます。

20.3 構成

図 20.3-1 遅延割り込みのブロックダイアグラム



20.4 レジスタ

表 20.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0044	DICR	予約	予約	予約	遅延割り込み制御レジスタ

■ 遅延割り込み制御レジスタ：DICR (Delayed Interrupt Control Register)

遅延割り込みを制御します。

- DICR: アドレス 0044_H (アクセス：バイト)

7	6	5	4	3	2	1	0	bit
1	1	1	1	1	1	1	0	
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	初期値 属性

[bit7 ～ bit1] 未定義

常に "1" が読みだされます。書込みは動作に影響ありません。

[bit0] DLYI (DeLaYed Interrupt enable)：遅延割り込み許可ビット

遅延割り込み要因の発生・解除をします。

DLYI	説明
0 書込み	遅延割り込み要因の解除
1 書込み	遅延割り込み要因の発生

管理コード：FR81S09_DINT-1v0-91580L-1-J

20.5 動作説明

遅延割込みは、タスク切換え用の割込みを発生するものです。本機能を使用することにより、ソフトウェアで CPU に対して割込み要求の発生、取消しを行うことができます。

■ 割込みベクタ番号

遅延割込みは、最も大きな割込みベクタ番号に対応した割込み要因に割り当てられています。
本コアでは、遅延割込みを割込みベクタ番号 63(0x3F) に割り当てています。

■ DICR レジスタの DLYI ビット

このビットに "1" を書き込むことで、遅延割込み要因が発生します。また、"0" を書き込むことで、遅延割込み要因を解除します。

本ビットは、ほかの割込みにおける割込み要因フラグと同じものであり、割込みルーチンの中で本ビットをクリアし、合わせてタスクの切換えを行うようにしてください。

20.6 制限事項

遅延割込みは DMA 転送要求に使用しないでください。

第 21 章 外部割込み入力

21.1 概要

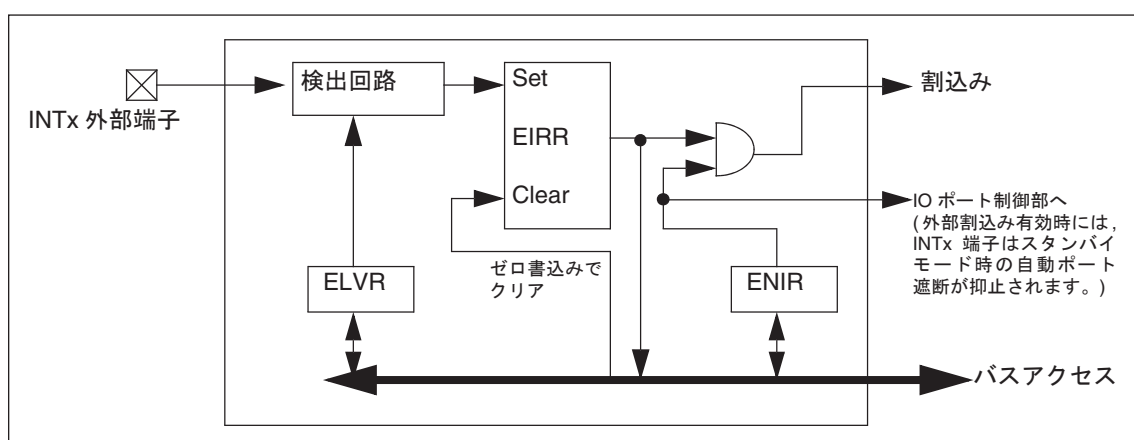
外部割込み入力端子 (INT0 ～ INT7) から入力される割込み要求です。

21.2 特長

- 8 系統の外部割込み端子 (INT0 ～ INT7)
- 割込み検出要因 : 4 種類 ("L" レベル, "H" レベル, 立上りエッジ, 立下りエッジ)

21.3 構成

図 21.3-1 外部割込みのブロックダイアグラム



21.4 レジスタ

表 21.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0550	EIRR0	ENIR0	ELVR0		外部割込み要因レジスタ 0 外部割込み許可レジスタ 0 外部割込み要求レベルレジスタ 0

■ 外部割込み要因レジスタ 0 : EIRR0 (External Interrupt Request Register 0)

外部割込み要因が発生したことを保持するレジスタです。

• **EIRR0: アドレス 0550_H (アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0	
X	X	X	X	X	X	X	X	初期値
R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	R(RM1),W	属性

[bit7 ~ bit0] ER7 ~ ER0 (External interrupt Request7 ~ 0) : 外部割込みリクエストビット

外部端子 INT 入力による割込み要求があることを示すフラグです。"0" 書き込みでクリアします。

ERx	意味	
	読出し時	書き込み時
0	外部割込み要求なし	クリア
1	外部割込み要求あり	動作に影響なし

(注意事項)

- EIRR0.ER0 が INT0 端子, EIRR0.ER1 が INT1 端子, ..., EIRR0.ER7 が INT7 端子に対応します。
- 本ビットへの "1" の書き込みは無効です。
- リードモディファイライト系命令における読出し値は常に "1" となります。
- 外部割込み検出条件が "L" レベルまたは "H" レベル設定のとき, EIRR レジスタの各ビットをクリアしても外部割込み端子入力がアクティブレベルならば該当するビットは再びセットされます。
- 割込み要求レベルレジスタの変更により, 割込み要因レジスタ内の要因ビットがセットされる場合があります。割込み要求レベルレジスタの変更後には, 割込み要因レジスタを初期化してください。
- 本レジスタのリセット後の値は, リセット後の端子状態によります。
- 本レジスタは PMUCTLR.IOCTMD=1 時のスタンバイ (電源遮断) からの復帰リセットを除いたすべてのリセット要因で初期化されます。

■ 外部割込み許可レジスタ 0 : ENIR0 (ENable Interrupt request Register 0)

外部割込み入力を許可するレジスタです。

• **ENIR0: アドレス 0551_H (アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit0] EN7 ~ EN0 (interrupt ENable) : 外部割込み許可ビット

外部端子 INT 入力による割込み要求のマスク制御を行います。

ENx	外部端子検出時の動作
0	割込み要求マスク。割込み要求を保持するが出力しない。(初期値)
1	割込み要求許可。割込み要求を許可する。

(注意事項)

- ENIR0.EN0 が INT0 端子, ENIR0.EN1 が INT1 端子, ..., ENIR0.EN7 が INT7 端子に対応します。
- 本レジスタは PMUCTLR.IOCTMD=1 時のスタンバイ (電源遮断) からの復帰リセットを除いたすべてのリセット要因で初期化されます。

■ 外部割込み要求レベルレジスタ 0 : ELVR0 (External interrupt LeVel Register 0)

外部割込み要求の検出条件を選択するレジスタです。

• ELVR0: アドレス 0552_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ~ bit1] LB7 ~ LB0 (Level select B) : レベル選択 B

[bit14 ~ bit0] LA7 ~ LA0 (Level select A) : レベル選択 A

外部割込み要求の検出条件を選択します。LA, LB ビットの 2 ビットを組み合わせ使用します。

LBx	LAx	検出条件
0	0	L レベル検出 (初期値)
0	1	H レベル検出
1	0	立上りエッジ検出
1	1	立下りエッジ検出

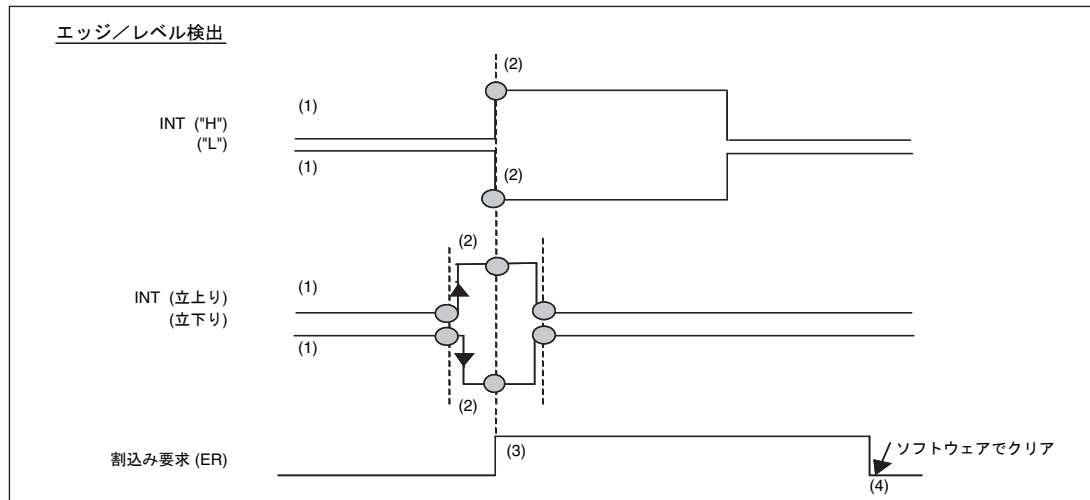
要求入力レベルの場合 (LAn, LBn = "00" or "01"), 外部割込み要求ビット (ERn) を "0" にしても INTn 端子入力が有効レベルならば該当するビット (ERn) は再び "1" になります。

(注意事項)

- ELVR0.LA/LB0 が INT0 端子, ELVR0.LA/LB1 が INT1 端子, ..., ELVR0.LA/LB7 が INT7 端子に対応します。
- 割込み要求レベルレジスタの変更により, 割込み要因レジスタ内の要因ビットがセットされる場合があります。割込み要求レベルレジスタの変更後には, 割込み要因レジスタを初期化してください。
- 本レジスタは PMUCTLR.IOCTMD=1 時のスタンバイ (電源遮断) からの復帰リセットを除いたすべてのリセット要因で初期化されます。

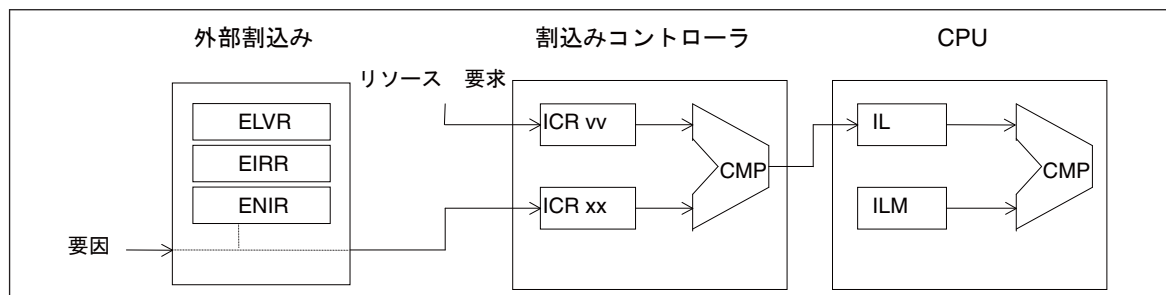
21.5 動作説明

図 21.5-1 動作説明図



- (1) 外部割込み信号 (INT) 入力
- (2) 割込み信号を検出 (レベル/エッジ) する
- (3) 割込み要求が発生する
- (4) 割込み要求をソフトウェアでクリアする

図 21.5-2 外部割込みの動作



- (1) 外部割込みの動作について
要求レベル, 許可レジスタの設定の後, 対応する端子に ELVR レジスタで設定された要求が入力されると本モジュールは, 割込みコントローラに対して割込み要求信号を発生します。割込みコントローラ内で同時発生した割込みの優先順位を識別した結果, 本リソースからの割込みが最も優先順位が高かったときに, 該当する割込みが発生します。
- (2) スタンバイモードへの移行について
使用しないチャンネルは, スタンバイに入る前に, 必ず禁止状態にしてください。また, 有効にしてあるチャンネルの外部端子へのスタンバイモード自動入出力遮断は抑止されます。自動入出力遮断については「第 9 章 消費電力制御」を参照してください。
- (3) 外部割込みの設定手順について
外部割込み部内に存在するレジスタの設定を行う際, 次の手順で設定してください。
 1. 許可レジスタの対象となるビットを禁止状態にする。
 2. 要求レベル設定レジスタの対象となるビットを設定する。
 3. 要求レベルレジスタを読み出す。

4. 要因レジスタの対象となるビットをクリアする。
 5. 許可レジスタの対象となるビットを許可状態にする。
- (ただし, 4. と 5. は 16 ビットデータによる同時書込み可能。)

本モジュール内のレジスタを設定するときには必ず許可レジスタを禁止状態に設定しておかなくてはなりません。また, 許可レジスタを許可状態にする前に必ず要因レジスタをクリアしておく必要があります。

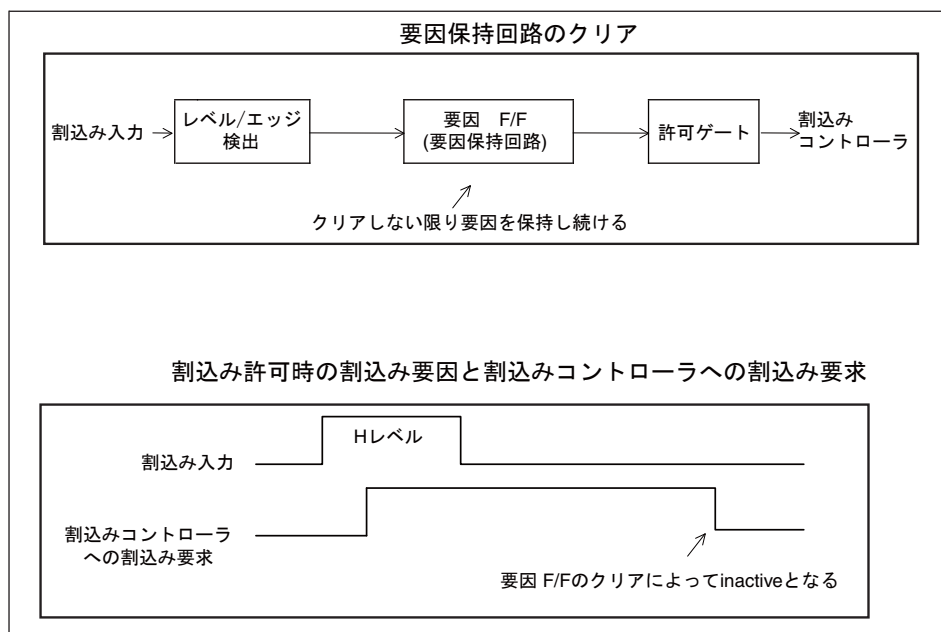
これは, レジスタ設定時や割込み許可状態時に誤って割込み要因が起こってしまうことを避けるためです。

(4) 外部割込み要因について

外部より要求入力が入ってその後取り下げられても内部に要因保持回路が存在するので, 割込みコントローラへの要求はアクティブのままです。

割込みコントローラへの要求を取り下げるには要因レジスタをクリアする必要があります。

図 21.5-3 要因保持回路のクリア, 割込み許可時の割込み要因と割込みコントローラへの割込み要求



21.6 設定

表 21.6-1 外部割込みを使うために必要な設定

設定	設定レジスタ	設定方法
検出レベルの設定	外部割込み要求レベル設定レジスタ (ELVR0)	7.1 参照
外部端子を入力にする	「第 24 章 I/O ポート」を参照してください。	「第 24 章 I/O ポート」を参照してください。
外部割込み	外部端子より入力 → INT0 ～ INT7 端子に信号を入力	-

21.7 Q&A

21.7.1 検出レベルの種類と設定方法は？

検出レベルは 4 種類 ("L" レベル, "H" レベル, 立上り, 立下り) あります。

設定は, 検出レベルビット (ELVR0.LBx, LAx) (x=0 ～ 7) にて行ってください。

動作モード	検出レベルビット (LBn, LAn) n=0 ～ 7
"L" レベル検出にするには	"00" にする
"H" レベル検出にするには	"01" にする
立上り検出にするには	"10" にする
立下り検出にするには	"11" にする

21.7.2 外部端子を入力にするには？

「第 24 章 I/O ポート」を参照してください。

21.7.3 割込み関連レジスタは？

「第 22 章 割込み制御 (割込みコントローラ)」を参照してください。

21.7.4 割込みの種類は？

割込み要因は外部割込みのみです。選択のビットはありません。

21.7.5 割込みを許可 / 禁止 / クリアするには？

割込み要求の許可フラグ, 割込み要求フラグ

割込み許可の設定は, 割込み許可ビット (ENIR0.EN0-7) にて行います。

動作	割込み許可ビット (ENx)
割込み要求を禁止するには	"0" にする
割込み要求を許可するには	"1" にする

割込み要求のクリアは, 割込み要求ビット (EIRR0.ER0-7) にて行います。

動作	割込み要求ビット (ERx)
割込み要求をクリアするには	"0" を書き込む

21.7.6 CAN WAKEUP 機能を使用するには？

「第 37 章 CAN」を参照してください。

21.8 注意事項

PMUCTLR.IOCTMD=1 時のスタンバイ時計モード (電源遮断) およびスタンバイストップモード (電源遮断) からの復帰では, 外部割込み入力のレジスタは初期化されません。復帰前および復帰中の状態を保持する場合には, スタンバイ設定する前に PMUCTLR.IOCTMD をセットして, IO 保持状態とし, IO ポート設定後に PMUCTLR.IOCT をセットして IO 保持状態を解除してください。PMUCTLR レジスタについては「第 9 章 消費電力制御」を参照してください。

また, PMUCTLR.IOCTMD=1 時のスタンバイ時計モード (電源遮断) およびスタンバイストップモード (電源遮断) からの復帰中は, 内部リセットが発行されており, パワーオンリセット, 内部電源低電圧リセットおよび RSTX・NMIX 同時アサート以外のリセット要因を受付けません。このとき, 外部割込み入力のレジスタは初期化されませんので, 立上げ後に RSTX 端子入力からのリセット入力または外部電源低電圧検出フラグがセットされている場合には, 外部割込み入力のレジスタを初期化してから使用してください。

第 22 章 割込み制御 (割込みコントローラ)

22.1 概要

割込みコントローラは、割込み要求の調停を行います。

22.2 特長

本モジュールは、以下により構成されています。

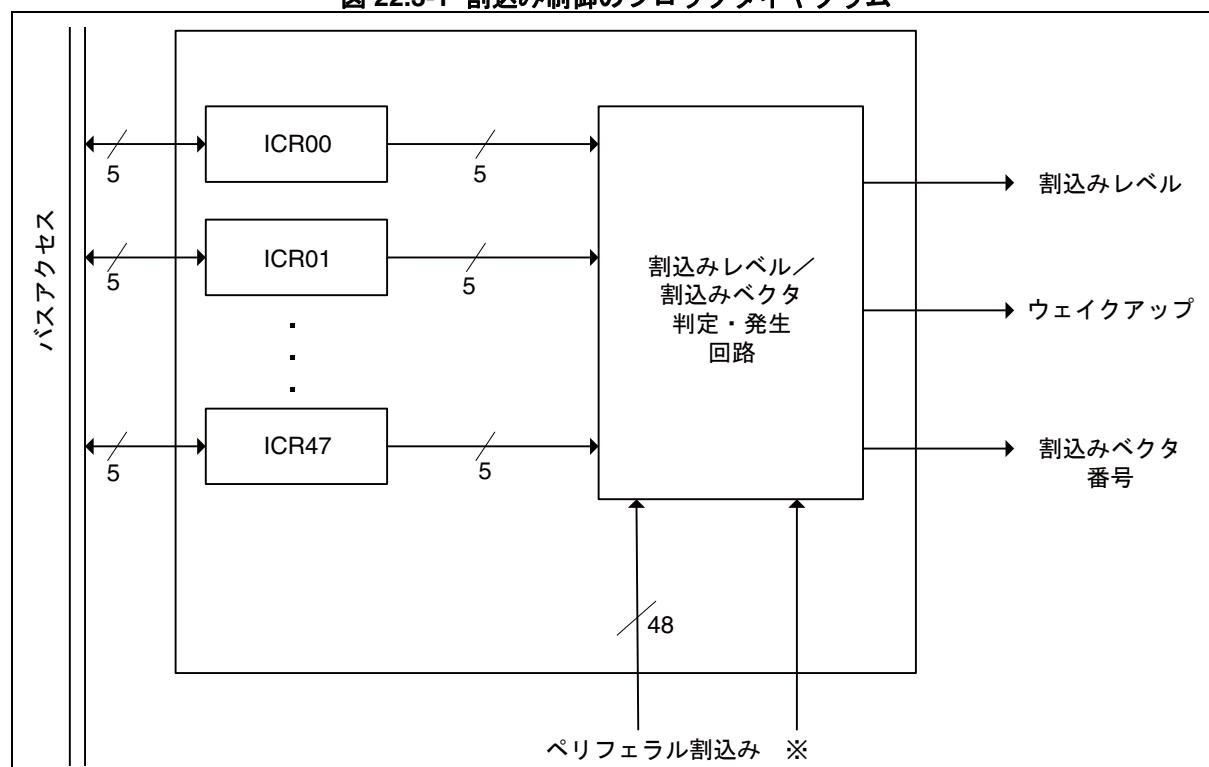
- ICR レジスタ
- 割込み優先度判定回路
- 割込みレベル、割込みベクタ発生回路

本モジュールには以下の機能があります。

- NMI 要求／ペリフェラル割込み要求の検出
- 優先度判定 (レベルおよび割込みベクタによる)
- 最も優先度の高い要因の割込みレベルを CPU へ伝達
- 最も優先度の高い要因の割込みベクタ番号を CPU へ伝達
- NMI/ 割込みレベルが "11111" 以外の割込み発生によるウェイクアップ要求の生成

22.3 構成

図 22.3-1 割込み制御のブロックダイヤグラム



※ : NMI or 内部バス診断時エラー発生 or XBS RAM ダブルビットエラー発生 or Backup RAM ダブルビットエラー発生 or RDC 異常 *

*: RDC については、MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC の機能となります。

管理コード : INTCNT-1v0-91580L-1-J

22.4 レジスタ

表 22.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0440	ICR00	ICR01	ICR02	ICR03	割込みコントロールレジスタ 00 ~ 47
0x0444	ICR04	ICR05	ICR06	ICR07	
0x0448	ICR08	ICR09	ICR10	ICR11	
0x044C	ICR12	ICR13	ICR14	ICR15	
0x0450	ICR16	ICR17	ICR18	ICR19	
0x0454	ICR20	ICR21	ICR22	ICR23	
0x0458	ICR24	ICR25	ICR26	ICR27	
0x045C	ICR28	ICR29	ICR30	ICR31	
0x0460	ICR32	ICR33	ICR34	ICR35	
0x0464	ICR36	ICR37	ICR38	ICR39	
0x0468	ICR40	ICR41	ICR42	ICR43	
0x046C	ICR44	ICR45	ICR46	ICR47	

■ 割込みコントロールレジスタ 00 ~ 47 : ICR00 ~ ICR47 (Interrupt Control Register 00 ~ 47)

各割込み入力に対して 1 つずつ設けられており、対応する割込み要求のレベルを設定します。

- ICR00-47: アドレス 0x0440-0x046F_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約			IL[4:0]					
1	1	1	1	1	1	1	1	初期値
R1,WX	R1,WX	R1,WX	R1/WX	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit5] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit4 ~ bit0] IL4 ~ IL0 (Interrupt Level control) : 割込みレベルコントロール

割込みレベル設定ビットで、対応する割込み要求の割込みレベルを指定します。本レジスタに設定した割込みレベルが CPU の ILM レジスタのレベルマスク値以上の場合は、CPU 側にて割込み要求はマスクされます。リセットにより、"5'b11111" に初期化されます。設定可能な割込みレベル設定ビットと割込みレベルの対応を示します。

IL4~IL0	割込みレベル
10000	16
10001	17
10010	18
10011	19
10100	20
10101	21
10110	22
10111	23
11000	24
11001	25
11010	26
11011	27
11100	28
11101	29
11110	30
11111	31

設定可能な最強レベル (強)

(弱)

割込み禁止

IL4 は 1 固定です。書込みは効果ありません。

22.5 動作説明

22.5.1 設定

- ① 割込みを発生させたいペリフェラルに対応する割込みベクタ番号の ICR レジスタを設定します。
- ② 割込みを発生させたいペリフェラルの設定をします。(ペリフェラル側で割込み出力を許可に設定します。)

22.5.2 起動

設定したペリフェラルを起動します。

22.5.3 優先順位判定

本モジュールでは同時に発生している割込み要因の中で最も優先度の高い割込み要因を選択し、その割込み要因の割込みレベルと割込みベクタ番号を CPU へ出力します。

割込み要因の優先順位判定基準は、次のとおりです。

- ① NMI
- ② 以下の条件を満たす要因
 - ・ 割込みレベルの数値が 31(5'b11111) 以外。(31 は割込み禁止)
 - ・ 割込みレベルの数値が最も小さい要因。
 - ・ 割込みレベルが同じ時 (31 以外) は、その中で最も小さい割込みベクタ番号を持つ要因。

上記の判定基準により、割込み要因が 1 つも選択されなかった場合は、割込みレベルとして 31(5'b11111) を出力します。そのときの割込みベクタ番号は不定です。

22.5.4 ストップモードからの復帰

割込み要求でストップモードから復帰する機能を本モジュールで実現します。(NMI を含む) ペリフェラルからの割込み要求 (割込みレベルが "5'b11111" 以外) が発生すると、クロック制御部に対してストップモードからの復帰要求を発生します。

割込み優先度判定部はストップから復帰後、クロックが供給されてから動作を再開しますので、割込み優先度判定部の結果が出るまでの間 CPU は命令を実行します。

ストップモードからの復帰要因として使用しない割込みは、対応する割込みコントロールレジスタ (ICR00-47) の割込みレベルを "5'b11111"(割込み禁止) に設定してください。

22.5.5 スタンバイモード (電源遮断) からの復帰

割込みレベルが ICR=0x1F (割込み禁止) より高く、かつ割込み要因が発生している状態ではスタンバイ復帰要因が有効であるため、電源遮断状態へ遷移することはできません。そのまま命令実行を続けます。

割込みレベルが ICR=0x1F (割込み禁止) で、かつ割込み要因が発生している状態では、スタンバイ復帰要因にはなりませんので、電源遮断状態へいったんは遷移しますが、電源遮断復帰の要因ありの状態なので、直ぐに電源遮断復帰シーケンスを経て復帰します。(リセットベクタ から実行されます)

第 23 章 割り込み要求一括読出し

23.1 概要

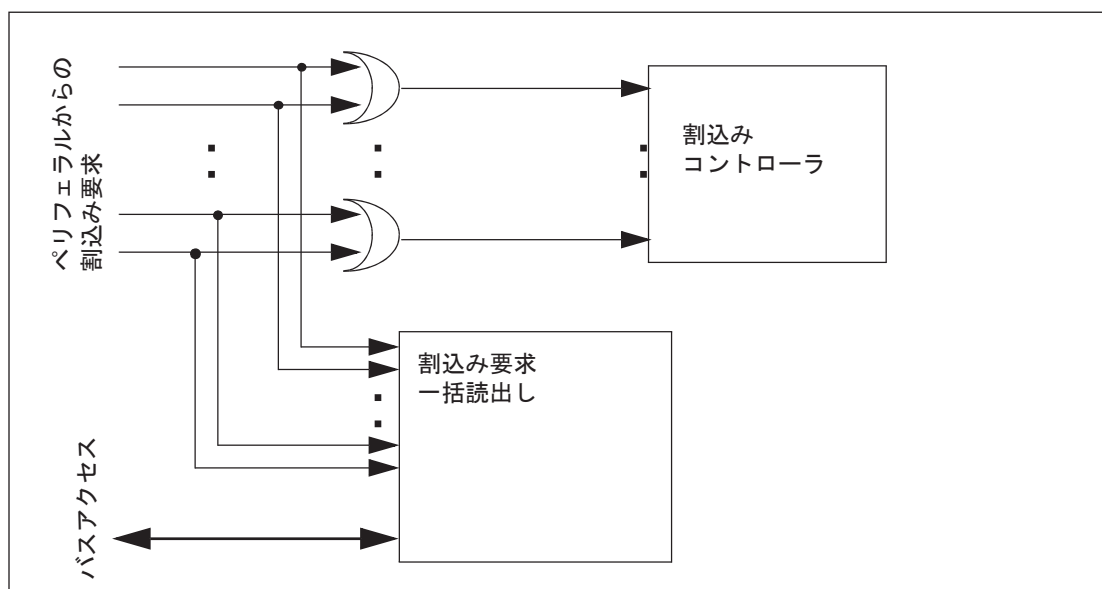
本モジュールにおいて、1 つの割り込みベクタ番号に割り当てられた複数の割り込み要求を一括で読み出すことができます。FR80 ファミリ CPU のビットサーチ命令を使用することで、どの割り込み要求が発生しているかを確認できます。

23.2 特長

本モジュールを使用することにより割り込み発生の有無を簡単に調べることができます。

23.3 構成

図 23.3-1 割り込み要求一括読出しのブロックダイアグラム



管理コード : BIRPR-0v4-91580L-1-J



23.4 レジスタ

表 23.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0120	IRPR0H	IRPR0L	IRPR1H	IRPR1L	割込み要求一括読出しレジスタ 0 上位 (#17) 割込み要求一括読出しレジスタ 0 下位 (#18) 割込み要求一括読出しレジスタ 1 上位 (#19) 割込み要求一括読出しレジスタ 1 下位
0x0124	IRPR2H	IRPR2L	IRPR3H	IRPR3L	割込み要求一括読出しレジスタ 2 上位 割込み要求一括読出しレジスタ 2 下位 (#36) 割込み要求一括読出しレジスタ 3 上位 (#38) 割込み要求一括読出しレジスタ 3 下位 (#39)
0x0128	IRPR4H	IRPR4L	IRPR5H	IRPR5L	割込み要求一括読出しレジスタ 4 上位 (#40) 割込み要求一括読出しレジスタ 4 下位 (#41) 割込み要求一括読出しレジスタ 5 上位 (#42) 割込み要求一括読出しレジスタ 5 下位 (#43)
0x012C	IRPR6H	IRPR6L	IRPR7H	IRPR7L	割込み要求一括読出しレジスタ 6 上位 (#44) 割込み要求一括読出しレジスタ 6 下位 (#45) 割込み要求一括読出しレジスタ 7 上位 (#46) 割込み要求一括読出しレジスタ 7 下位 (#47)
0x0130	IRPR8H	IRPR8L	IRPR9H	IRPR9L	割込み要求一括読出しレジスタ 8 上位 (#48) 割込み要求一括読出しレジスタ 8 下位 (#49) 割込み要求一括読出しレジスタ 9 下位 (#50) 割込み要求一括読出しレジスタ 9 下位 (#51)
0x0134	IRPR10H	IRPR10L	IRPR11H	IRPR11L	割込み要求一括読出しレジスタ 10 上位 (#52) 割込み要求一括読出しレジスタ 10 下位 (#53) 割込み要求一括読出しレジスタ 11 下位 (#54) 割込み要求一括読出しレジスタ 11 下位 (#55)
0x0138	IRPR12H	IRPR12L	IRPR13H	IRPR13L	割込み要求一括読出しレジスタ 12 上位 (#56) 割込み要求一括読出しレジスタ 12 下位 (#57) 割込み要求一括読出しレジスタ 13 下位 (#58) 割込み要求一括読出しレジスタ 13 下位 (#59)
0x013C	IRPR14H	IRPR14L	IRPR15H	IRPR15L	割込み要求一括読出しレジスタ 14 上位 (#60) 割込み要求一括読出しレジスタ 14 下位 (#61) 割込み要求一括読出しレジスタ 15 下位 (#62) 割込み要求一括読出しレジスタ 15 下位 (#15)
0x0140	IRPR16H	IRPR16L	IRPR17H	IRPR17L	割込み要求一括読出しレジスタ 16 上位 (#21) 割込み要求一括読出しレジスタ 16 下位 (#23) 割込み要求一括読出しレジスタ 17 上位 (#25) 割込み要求一括読出しレジスタ 17 下位 (#27)
0x0144	IRPR18H	IRPR18L	-	-	割込み要求一括読出しレジスタ 18 上位 (#31) 割込み要求一括読出しレジスタ 18 下位 (#35) - -

#nn : 割込みベクタ番号 (10 進)

23.4.1 割り込み要求一括読出しレジスタ 0 上位 : IRPR0H (Interrupt Request Peripheral Read register 0H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #17)

- IRPR0H: アドレス 0120_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
RTIR0	RTIR1	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] RTIR0 (Reload Timer Interrupt Request 0) : リロードタイマ 0 割り込み要求

[bit6] RTIR1 (Reload Timer Interrupt Request 1) : リロードタイマ 1 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.2 割り込み要求一括読出しレジスタ 0 下位 : IRPR0L (Interrupt Request Peripheral Read register 0L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #18)

- IRPR0L: アドレス 0121_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
RTIR2	RTIR3	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] RTIR2 (Reload Timer Interrupt Request 2) : リロードタイマ 2 割り込み要求

[bit6] RTIR3 (Reload Timer Interrupt Request 3) : リロードタイマ 3 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.3 割り込み要求一括読出しレジスタ 1 上位 : IRPR1H (Interrupt Request Peripheral Read register 1H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #19)

- IRPR1H: アドレス 0122_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
RXIR0	ISIR0	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] RXIR0 (Multi-Function-Serial-Interface RX Interrupt Request 0) :

マルチファンクションシリアルインタフェース ch.0 受信完了割り込み要求

[bit6] ISIR0 (Multi-Function-Serial-Interface Status Interrupt Request 0) :

マルチファンクションシリアルインタフェース ch.0 ステータス割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.4 割り込み要求一括読出しレジスタ 1 下位 : IRPR1L (Interrupt Request Peripheral Read register 1L)

- IRPR1L: アドレス 0123_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-								
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

本レジスタは未定義です。

23.4.5 割り込み要求一括読出しレジスタ 2 上位 : IRPR2H (Interrupt Request Peripheral Read register 2H)

- IRPR2H: アドレス 0124_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-								
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

本レジスタは未定義です。

23.4.6 割り込み要求一括読出しレジスタ 2 下位 : IRPR2L (Interrupt Request Peripheral Read register 2L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #36)

- IRPR2L: アドレス 0125_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
MTIR	PTIR	GEAR_I RQ	OVF_IR Q					
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] MTIR (Main Timer Interrupt Request) : メインタイマ割り込み要求

[bit6] PTIR (PLL Timer Interrupt Request) : PLL タイマ割り込み要求

[bit5] GEAR_IRQ (PLL Gear Interrupt Request) : FlexRay 用 PLL ギア割り込み要求

[bit4] OVF_IRQ(Over Flow Interrupt Request) : FlexRay 用 PLL アラーム割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit3 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.7 割り込み要求一括読出しレジスタ 3 上位 : IRPR3H (Interrupt Request Peripheral Read register 3H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #38)

- IRPR3H: アドレス 0126_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
UDIR0	UDIR1							
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] UDIR0 (Up/Down Counter Interrupt Request 0) : アップダウンカウンタ 0 割り込み要求

[bit6] UDIR1 (Up/Down Counter Interrupt Request 1) : アップダウンカウンタ 1 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.8 割り込み要求一括読出しレジスタ 3 下位 : IRPR3L (Interrupt Request Peripheral Read register 3L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #39)

- IRPR3L: アドレス 0127_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
FRTZIR0	FRTMIR0	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] FRTZIR0 (Free Run Timer Zero Interrupt Request 0) : フリーランタイム 0

0 検出割り込み要求

[bit6] FRTMIR0 (Free Run Timer Compare Clear Interrupt Request 0) : フリーランタイム 0

コンペアクリア割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.9 割り込み要求一括読出しレジスタ 4 上位 : IRPR4H (Interrupt Request Peripheral Read register 4H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #40)

- IRPR4H: アドレス 0128_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
FRTZIR1	FRTMIR1	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] FRTZIR1 (Free Run Timer Zero Interrupt Request 1) : フリーランタイム 1

0 検出割り込み要求

[bit6] FRTMIR1 (Free Run Timer Compare Clear Interrupt Request 1) : フリーランタイム 1

コンペアクリア割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.10 割込み要求一括読出しレジスタ 4 下位 : IRPR4L (Interrupt Request Peripheral Read register 4L)

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号 #41)

- IRPR4L: アドレス 0129_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
FRTZIR2	FRTMIR2	PPGIR0	PPGIR1	PPGIR2	PPGIR3	-	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	属性

[bit7] FRTZIR2 (Free Run Timer Zero Interrupt Request 2) : フリーランタイム 2
0 検出割込み要求

[bit6] FRTMIR2 (Free Run Timer Compare Clear Interrupt Request 2) : フリーランタイム 2
コンペアクリア割込み要求

[bit5] PPGIR0 (PPG Interrupt Request 0) : PPG0 割込み要求

[bit4] PPGIR1 (PPG Interrupt Request 1) : PPG1 割込み要求

[bit3] PPGIR2 (PPG Interrupt Request 2) : PPG2 割込み要求

[bit2] PPGIR3 (PPG Interrupt Request 3) : PPG3 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

[bit1, bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.11 割込み要求一括読出しレジスタ 5 上位 : IRPR5H (Interrupt Request Peripheral Read register 5H)

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号 #42)

- IRPR5H: アドレス 012A_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
FRTZIR3	FRTMIR3	-	-	-	-	-	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] FRTZIR3 (Free Run Timer Zero Interrupt Request 3) : フリーランタイム 3
0 検出割込み要求

[bit6] FRTMIR3 (Free Run Timer Compare Clear Interrupt Request 3) : フリーランタイム 3
コンペアクリア割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.12 割り込み要求一括読出しレジスタ 5 下位 : IRPR5L (Interrupt Request Peripheral Read register 5L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #43)

- IRPR5L: アドレス 012B_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
FRTZIR4	FRTMIR4	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] FRTZIR4 (Free Run Timer Zero Interrupt Request 4) : フリーランタイム 4
0 検出割り込み要求

[bit6] FRTMIR4 (Free Run Timer Compare Clear Interrupt Request 4) : フリーランタイム 4
コンペアクリア割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.13 割り込み要求一括読出しレジスタ 6 上位 : IRPR6H (Interrupt Request Peripheral Read register 6H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #44)

- IRPR6H: アドレス 012C_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
FRTZIR5	FRTMIR5	PPGIR4	PPGIR5	PPGIR6	PPGIR7	-		
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	属性

[bit7] FRTZIR5 (Free Run Timer Zero Interrupt Request 5) : フリーランタイム 5
0 検出割り込み要求

[bit6] FRTMIR5 (Free Run Timer Compare Clear Interrupt Request 5) : フリーランタイム 5
コンペアクリア割り込み要求

[bit5] PPGIR4 (PPG Interrupt Request 4) : PPG4 割り込み要求

[bit4] PPGIR5 (PPG Interrupt Request 5) : PPG5 割り込み要求

[bit3] PPGIR6 (PPG Interrupt Request 6) : PPG6 割り込み要求

[bit2] PPGIR7 (PPG Interrupt Request 7) : PPG7 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit1, bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.14 割込み要求一括読出しレジスタ 6 下位 : IRPR6L (Interrupt Request Peripheral Read register 6L)

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号 #45)

- IRPR6L: アドレス 012D_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
ICUIR0	ICUIR1	PPGIR8	PPGIR9	PPGIR10	PPGIR11	-	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	属性

[bit7] ICUIR0 (ICU Interrupt Request 0) : ICU0 割込み要求

[bit6] ICUIR1 (ICU Interrupt Request 1) : ICU1 割込み要求

[bit5] PPGIR8 (PPG Interrupt Request 8) PPG8 割込み要求

[bit4] PPGIR9 (PPG Interrupt Request 9) PPG9 割込み要求

[bit3] PPGIR10 (PPG Interrupt Request 10) PPG10 割込み要求

[bit2] PPGIR11 (PPG Interrupt Request 11) PPG11 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

[bit1, bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.15 割込み要求一括読出しレジスタ 7 上位 : IRPR7H (Interrupt Request Peripheral Read register 7H)

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号 #46)

- IRPR7H: アドレス 012E_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
ICUIR2	ICUIR3	PPGIR12	PPGIR13	PPGIR14	PPGIR15	-	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	属性

[bit7] ICUIR2 (ICU Interrupt Request 2) : ICU2 割込み要求

[bit6] ICUIR3 (ICU Interrupt Request 3) : ICU3 割込み要求

[bit5] PPGIR12 (PPG Interrupt Request 12) PPG12 割込み要求

[bit4] PPGIR13 (PPG Interrupt Request 13) PPG13 割込み要求

[bit3] PPGIR14 (PPG Interrupt Request 14) PPG14 割込み要求

[bit2] PPGIR15 (PPG Interrupt Request 15) PPG15 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

[bit1, bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.16 割り込み要求一括読出しレジスタ 7 下位 : IRPR7L (Interrupt Request Peripheral Read register 7L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #47)

- IRPR7L: アドレス 012F_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
ICUIR4	ICUIR5	PPGIR16	PPGIR17	PPGIR18	PPGIR19	-	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	属性

[bit7] ICUIR4 (ICU Interrupt Request 4) : ICU4 割り込み要求

[bit6] ICUIR5 (ICU Interrupt Request 5) : ICU5 割り込み要求

[bit5] PPGIR16 (PPG Interrupt Request 16) PPG16 割り込み要求

[bit4] PPGIR17 (PPG Interrupt Request 17) PPG17 割り込み要求

[bit3] PPGIR18 (PPG Interrupt Request 18) PPG18 割り込み要求

[bit2] PPGIR19 (PPG Interrupt Request 19) PPG19 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit1, bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.17 割り込み要求一括読出しレジスタ 8 上位 : IRPR8H (Interrupt Request Peripheral Read register 8H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #48)

- IRPR8H: アドレス 0130_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
ICUIR6	ICUIR7	PPGIR20	PPGIR21	PPGIR22	PPGIR23	-	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	属性

[bit7] ICUIR6 (ICU Interrupt Request 6) : ICU6 割り込み要求

[bit6] ICUIR7 (ICU Interrupt Request 7) : ICU7 割り込み要求

[bit5] PPGIR20 (PPG Interrupt Request 20) PPG20 割り込み要求

[bit4] PPGIR21 (PPG Interrupt Request 21) PPG21 割り込み要求

[bit3] PPGIR22 (PPG Interrupt Request 22) PPG22 割り込み要求

[bit2] PPGIR23 (PPG Interrupt Request 23) PPG23 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit1, bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.18 割り込み要求一括読出しレジスタ 8 下位 : IRPR8L (Interrupt Request Peripheral Read register 8L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #49)

- IRPR8L: アドレス 0131_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
OCUIR0	OCUIR1	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] OCUIR0 (OCU Interrupt Request 0) : OCU0 割り込み要求

[bit6] OCUIR1 (OCU Interrupt Request 1) : OCU1 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.19 割り込み要求一括読出しレジスタ 9 上位 : IRPR9H (Interrupt Request Peripheral Read register 9H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #50)

- IRPR9H: アドレス 0132_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
OCUIR2	OCUIR3	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] OCUIR2 (OCU Interrupt Request 2) : OCU2 割り込み要求

[bit6] OCUIR3 (OCU Interrupt Request 3) : OCU3 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.20 割り込み要求一括読出しレジスタ 9 下位 : IRPR9L (Interrupt Request Peripheral Read register 9L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #51)

- IRPR9L: アドレス 0133_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
OCUIR4	OCUIR5	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] OCUIR4 (OCU Interrupt Request 4) : OCU4 割り込み要求

[bit6] OCUIR5 (OCU Interrupt Request 5) : OCU5 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.21 割り込み要求一括読出しレジスタ 10 上位 : IRPR10H (Interrupt Request Peripheral Read register 10H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #52)

- IRPR10H: アドレス 0134_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
OCUIR6	OCUIR7	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] OCUIR6 (OCU Interrupt Request 6) : OCU6 割り込み要求

[bit6] OCUIR7 (OCU Interrupt Request 7) : OCU7 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.22 割込み要求一括読出しレジスタ 10 下位 : IRPR10L (Interrupt Request Peripheral Read register 10L)

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号 #53)

- IRPR10L: アドレス 0135_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
OCUIR8	OCUIR9	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] OCUIR8 (OCU Interrupt Request 8) : OCU8 割込み要求

[bit6] OCUIR9 (OCU Interrupt Request 9) : OCU9 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

[bit5 ～ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.23 割込み要求一括読出しレジスタ 11 上位 : IRPR11H (Interrupt Request Peripheral Read register 11H)

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号 #54)

- IRPR11H: アドレス 0136_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
OCUIR10	OCUIR11	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] OCUIR10 (OCU Interrupt Request 10) : OCU10 割込み要求

[bit6] OCUIR11 (OCU Interrupt Request 11) : OCU11 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

[bit5 ～ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.24 割り込み要求一括読出しレジスタ 11 下位 : IRPR11L (Interrupt Request Peripheral Read register 11L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #55)

- IRPR11L: アドレス 0137_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
WGIR0	WGIR1	WGIR2	WGRIR0	WGRIR1	WGRIR2	DTTIIR0	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	属性

[bit7] WGIR0 (Wave Generator Timer Underflow Interrupt Request 0) :

波形ジェネレータ 0 デッドタイムアンダフロー割り込み要求

[bit6] WGIR1 (Wave Generator Timer Underflow Interrupt Request 1) :

波形ジェネレータ 1 デッドタイムアンダフロー割り込み要求

[bit5] WGIR2 (Wave Generator Timer Underflow Interrupt Request 2) :

波形ジェネレータ 2 デッドタイムアンダフロー割り込み要求

[bit4] WGRIR0 (Wave Generator Timer Reload Interrupt Request 0) :

波形ジェネレータ 0 デッドタイマリロード割り込み要求

[bit3] WGRIR1 (Wave Generator Timer Reload Interrupt Request 1) :

波形ジェネレータ 1 デッドタイマリロード割り込み要求

[bit2] WGRIR2 (Wave Generator Timer Reload Interrupt Request 2) :

波形ジェネレータ 2 デッドタイマリロード割り込み要求

[bit1] DTTIIR0 (DTTI Interrupt Request 0) : DTTI0 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.25 割り込み要求一括読出しレジスタ 12 上位 : IRPR12H (Interrupt Request Peripheral Read register 12H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #56)

- IRPR12H: アドレス 0138_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
WGIR3	WGIR4	WGIR5	WGRIR3	WGRIR4	WGRIR5	DTTIIR1	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	属性

[bit7] WGIR3 (Wave Generator Timer Underflow Interrupt Request 3) :

波形ジェネレータ 3 デッドタイムアンダフロー割り込み要求

[bit6] WGIR4 (Wave Generator Timer Underflow Interrupt Request 4) :

波形ジェネレータ 4 デッドタイムアンダフロー割り込み要求

[bit5] WGIR5 (Wave Generator Timer Underflow Interrupt Request 5) :

波形ジェネレータ 5 デッドタイムアンダフロー割り込み要求

[bit4] WGRIR3 (Wave Generator Timer Reload Interrupt Request 3) :

波形ジェネレータ 3 デッドタイマリロード割り込み要求

[bit3] WGRIR4 (Wave Generator Timer Reload Interrupt Request 4) :

波形ジェネレータ 4 デッドタイマリロード割り込み要求

[bit2] WGRIR5 (Wave Generator Timer Reload Interrupt Request 5) :

波形ジェネレータ 5 デッドタイマリロード割り込み要求

[bit1] DTTIIR1 (DTTI Interrupt Request 1) : DTTI1 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.26 割り込み要求一括読出しレジスタ 12 下位 : IRPR12L (Interrupt Request Peripheral Read register 12L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #57)

- IRPR12L: アドレス 0139_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
ADCIR0	ADCIR1	ADCIR2	ADCIR3	ADCIR4	ADCIR5	ADCIR6	ADCIR7	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit7] ADCIR0 (A/D Converter Interrupt Request 0) : A/D コンバータ 0 変換終了割り込み要求

[bit6] ADCIR1 (A/D Converter Interrupt Request 1) : A/D コンバータ 1 変換終了割り込み要求

[bit5] ADCIR2 (A/D Converter Interrupt Request 2) : A/D コンバータ 2 変換終了割り込み要求

[bit4] ADCIR3 (A/D Converter Interrupt Request 3) : A/D コンバータ 3 変換終了割り込み要求

[bit3] ADCIR4 (A/D Converter Interrupt Request 4) : A/D コンバータ 4 変換終了割り込み要求

[bit2] ADCIR5 (A/D Converter Interrupt Request 5) : A/D コンバータ 5 変換終了割り込み要求

[bit1] ADCIR6 (A/D Converter Interrupt Request 6) : A/D コンバータ 6 変換終了割り込み要求

[bit0] ADCIR7 (A/D Converter Interrupt Request 7) : A/D コンバータ 7 変換終了割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

23.4.27 割り込み要求一括読出しレジスタ 13 上位 : IRPR13H (Interrupt Request Peripheral Read register 13H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #58)

- IRPR13H: アドレス 013A_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
ADCIR8	ADCIR9	ADCIR10	ADCIR11	ADCIR12	ADCIR13	ADCIR14	ADCIR15	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit7] ADCIR8 (A/D Converter Interrupt Request 8) : A/D コンバータ 8 変換終了割り込み要求

[bit6] ADCIR9 (A/D Converter Interrupt Request 9) : A/D コンバータ 9 変換終了割り込み要求

[bit5] ADCIR10 (A/D Converter Interrupt Request 10) : A/D コンバータ 10 変換終了割り込み要求

[bit4] ADCIR11 (A/D Converter Interrupt Request 11) : A/D コンバータ 11 変換終了割り込み要求

[bit3] ADCIR12 (A/D Converter Interrupt Request 12) : A/D コンバータ 12 変換終了割り込み要求

[bit2] ADCIR13 (A/D Converter Interrupt Request 13) : A/D コンバータ 13 変換終了割り込み要求

[bit1] ADCIR14 (A/D Converter Interrupt Request 14) : A/D コンバータ 14 変換終了割り込み要求

[bit0] ADCIR15 (A/D Converter Interrupt Request 15) : A/D コンバータ 15 変換終了割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

23.4.28 割り込み要求一括読出しレジスタ 13 下位 : IRPR13L (Interrupt Request Peripheral Read register 13L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #59)

- IRPR13L: アドレス 013B_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
ADCIR16	ADCIR17	ADCIR18	ADCIR19	ADCIR20	ADCIR21	ADCIR22	ADCIR23	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit7] ADCIR16 (A/D Converter Interrupt Request 16) : A/D コンバータ 16 変換終了割り込み要求

[bit6] ADCIR17 (A/D Converter Interrupt Request 17) : A/D コンバータ 17 変換終了割り込み要求

[bit5] ADCIR18 (A/D Converter Interrupt Request 18) : A/D コンバータ 18 変換終了割り込み要求

[bit4] ADCIR19 (A/D Converter Interrupt Request 19) : A/D コンバータ 19 変換終了割り込み要求

[bit3] ADCIR20 (A/D Converter Interrupt Request 20) : A/D コンバータ 20 変換終了割り込み要求

[bit2] ADCIR21 (A/D Converter Interrupt Request 21) : A/D コンバータ 21 変換終了割り込み要求

[bit1] ADCIR22 (A/D Converter Interrupt Request 22) : A/D コンバータ 22 変換終了割り込み要求

[bit0] ADCIR23 (A/D Converter Interrupt Request 23) : A/D コンバータ 23 変換終了割り込み要求

23.4.29 割り込み要求一括読出しレジスタ 14 上位 : IRPR14H (Interrupt Request Peripheral Read register 14H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #60)

- IRPR14H: アドレス 013C_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
BT0IR0	BT0IR1	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] BT0IR0 (Base Timer 0 Interrupt Request 0) : ベースタイマ 0 割り込み要求 0

[bit6] BT0IR1 (Base Timer 0 Interrupt Request 1) : ベースタイマ 0 割り込み要求 1

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.30 割り込み要求一括読出しレジスタ 14 下位 : IRPR14L (Interrupt Request Peripheral Read register 14L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #61)

- IRPR14L: アドレス 013D_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
BT1IR0	BT1IR1	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] BT1IR0 (Base Timer 1 Interrupt Request 0) : ベースタイマ 1 割り込み要求 0

[bit6] BT1IR1 (Base Timer 1 Interrupt Request 1) : ベースタイマ 1 割り込み要求 1

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ～ bit0] 未定義

常に "0" が読み出されます。書き込みは動作に影響ありません。

23.4.31 割り込み要求一括読出しレジスタ 15 上位 : IRPR15H (Interrupt Request Peripheral Read register 15H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #62)

- IRPR15H: アドレス 013E_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
DMAC0IR	DMAC1IR	DMAC2IR	DMAC3IR	DMAC4IR	DMAC5IR	DMAC6IR	DMAC7IR	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit7] DMAC0IR (DMAC 0 Interrupt Request) : DMAC ch.0 割り込み要求

[bit6] DMAC1IR (DMAC 1 Interrupt Request) : DMAC ch.1 割り込み要求

[bit5] DMAC2IR (DMAC 2 Interrupt Request) : DMAC ch.2 割り込み要求

[bit4] DMAC3IR (DMAC 3 Interrupt Request) : DMAC ch.3 割り込み要求

[bit3] DMAC4IR (DMAC 4 Interrupt Request) : DMAC ch.4 割り込み要求

[bit2] DMAC5IR (DMAC 5 Interrupt Request) : DMAC ch.5 割り込み要求

[bit1] DMAC6IR (DMAC 6 Interrupt Request) : DMAC ch.6 割り込み要求

[bit0] DMAC7IR (DMAC 7 Interrupt Request) : DMAC ch.7 割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

23.4.32 割り込み要求一括読出しレジスタ 15 下位 : IRPR15L (Interrupt Request Peripheral Read register 15L)

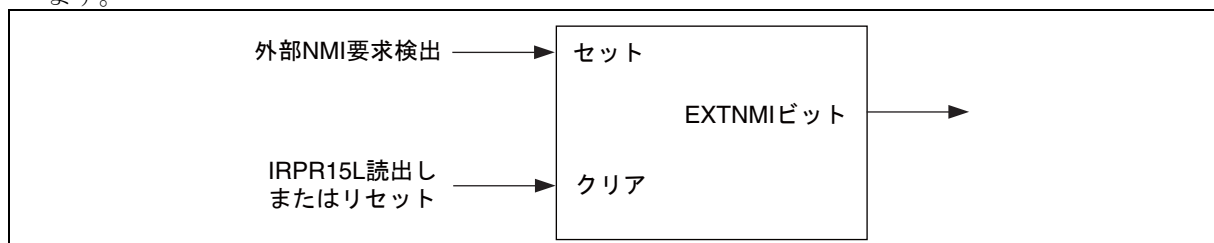
割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #15)

- IRPR15L: アドレス 013F_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
EXTNMI	BUS_NMI	BR_ECC_DE	XB_ECC_DE	RDCINT	-	-	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] EXTNMI (External Non Maskable Interrupt Request) : 外部 NMI 要求

EXTNMI ビットは, 外部 NMI 要求の検出によりセットされ, 本レジスタのリードによりクリアされます。



[bit6] BUS_NMI (Bus Diag Error Interrupt Request) : バス診断エラー割込み要求

[bit5] BR_ECC_DE(Backup RAMECC Double Bit Error Interrupt Request) : Backup RAM ダブルビットエラー割込み要求

[bit4] XB_ECC_DE(XBS RAMECC Double Bit Error Interrupt Request) : XBS RAM ダブルビットエラー割込み要求

[bit3] RDCINT (RDC Error Interrupt Request) : RDC 異常割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

(注意事項) R/D コンバータの機能がない品種 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD) では , 本ビットは予約ビットです。必ず "0" を書き込んでください。

[bit2 ～ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.33 割込み要求一括読出しレジスタ 16 上位 : IRPR16H (Interrupt Request Peripheral Read register 16H)

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号 #21)

• IRPR16H: アドレス 0140_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
RXIR1	ISIR1	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] RXIR1 (Multi-Function-Serial-Interface RX Interrupt Request 1) : マルチファンクションシリアルインタフェース ch.1 受信完了割込み要求

[bit6] ISIR1 (Multi-Function-Serial-Interface Status Interrupt Request 1) : マルチファンクションシリアルインタフェース ch.1 ステータス割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

[bit5 ～ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.34 割り込み要求一括読出しレジスタ 16 下位 : IRPR16L (Interrupt Request Peripheral Read register 16L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #23)

- IRPR16L: アドレス 0141_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
RXIR2	ISIR2	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] RXIR2 (Multi-Function-Serial-Interface RX Interrupt Request 2) : マルチファンクションシリアルインタフェース ch.2 受信完了割り込み要求

[bit6] ISIR2 (Multi-Function-Serial-Interface Status Interrupt Request 2) : マルチファンクションシリアルインタフェース ch.2 ステータス割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.35 割り込み要求一括読出しレジスタ 17 上位 : IRPR17H(Interrupt Request Peripheral Read register 17H)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #25)

- IRPR17H: アドレス 0142_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
RXIR3	ISIR3	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] RXIR3 (Multi-Function-Serial-Interface RX Interrupt Request 3) : マルチファンクションシリアルインタフェース ch.3 受信完了割り込み要求

[bit6] ISIR3 (Multi-Function-Serial-Interface Status Interrupt Request 3) : マルチファンクションシリアルインタフェース ch.3 ステータス割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.36 割込み要求一括読出しレジスタ 17 下位 : IRPR17L(Interrupt Request Peripheral Read register 17L)

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号 #27)

- IRPR17L: アドレス 0143_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
RXIR4	ISIR4	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] RXIR4 (Multi-Function-Serial-Interface RX Interrupt Request 4) : マルチファンクションシリアルインタフェース ch.4 受信完了割込み要求

[bit6] ISIR4 (Multi-Function-Serial-Interface Status Interrupt Request 4) : マルチファンクションシリアルインタフェース ch.4 ステータス割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.37 割込み要求一括読出しレジスタ 18 上位 : IRPR18H(Interrupt Request Peripheral Read register 18H)

割込み要求を行っているペリフェラルを表示します。(割込みベクタ番号 #31)

- IRPR18H: アドレス 0144_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
CANIR2	ERAYIR0	-						
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit7] CANIR2 (CAN Interrupt Request 2) : CAN ch.2 割込み要求

[bit6] ERAYIR0 (ERAY Interrupt Request 0) : FlexRay0 割込み要求

各ビットの読出し値	意味
0	割込み要求は出ていません
1	割込み要求が出ています

[bit5 ~ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.4.38 割り込み要求一括読出しレジスタ 18 下位 : IRPR18L(Interrupt Request Peripheral Read register 18L)

割り込み要求を行っているペリフェラルを表示します。(割り込みベクタ番号 #35)

• IRPR18L: アドレス 0145_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
XBTC	XBIC	XBTE	BRTC	BRIC	BRTE	-	-	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R0,WX	R0,WX	属性

[bit7] XBTC (XBs ram Test Completed interrupt request) : XBS RAM 診断終了割り込み要求

[bit6] XBIC (XBs ram Initialization Completed interrupt request) : XBS RAM 初期化終了割り込み要求

[bit5] XBTE (XBs ram Test Error interrupt request) : XBS RAM 診断エラー割り込み要求

[bit4] BRTC (Backup RAM Test Completed interrupt request) : Backup RAM 診断終了割り込み要求

[bit3] BRIC (Backup RAM Initialization Completed interrupt request) : Backup RAM 初期化終了割り込み要求

[bit2] BRTE (Backup RAM Test Error interrupt request) : Backup RAM 診断エラー割り込み要求

各ビットの読出し値	意味
0	割り込み要求は出ていません
1	割り込み要求が出ています

[bit1,bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

23.5 動作説明

各割り込みハンドラ内において、各レジスタを読み出し、どのビットがセットされているかで、どの割り込み要求が発生しているのかを判断します。

(注意事項) ・外部割り込み入力用には本レジスタ機能は用意されていません。外部割り込み入力の EIRR0 レジスタを読み出してください。

第 24 章 I/O ポート

24.1 概要

本章にて、外部端子の割り当て設定（ペリフェラルならびに外バス）、ならびに外部端子を I/O ポートとして利用する際の設定を説明します。

外バス、D/A コンバータ については、MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD の機能となります。

RDC については、MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC の機能となります。

24.2 特長

- I/O マルチプレクシング

1 つの外部端子に複数のペリフェラルから入出力が割り当てられている場合、どのペリフェラルを使用するかを選択します。

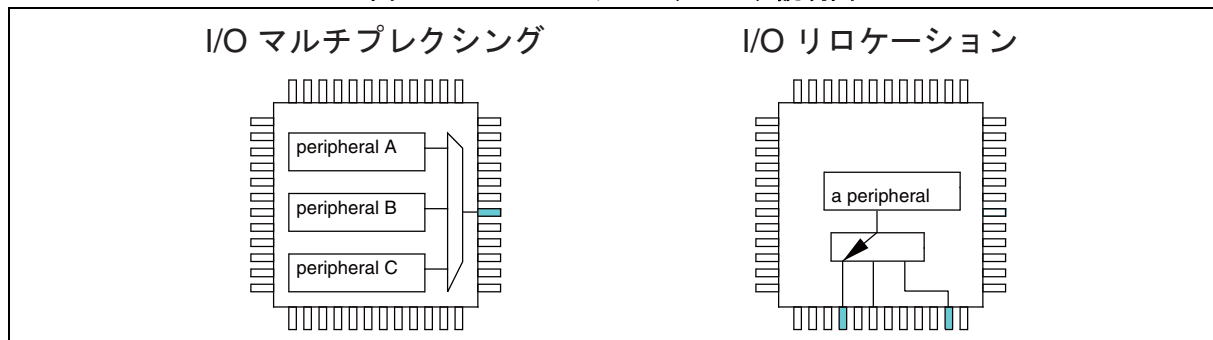
- I/O リロケーション

1 つのペリフェラルの 1 つの端子が、複数の外部端子入出力に対応している場合、どの外部端子を使用するかを選択します。

- ポート機能

外部端子を汎用入出力として、出力にしてその値を設定したり、入力にしたりして入力値を読み取ります。

図 24.2-1 I/O マルチプレクシング説明図



- キーコード機能

誤書き込み保護機能です。キーコードレジスタ (KEYCDR) に所定の方法で書き込まないと、対象のレジスタへの書き込みは無効となります。なお、対象となるレジスタへのワードアクセスはできません。以下にキーコード対象レジスタを示します。

- データ方向レジスタ
- ポート機能レジスタ
- 拡張ポート機能レジスタ
- ポート入力レベルレジスタ
- ポート出力駆動レジスタ
- ポートプルアップ許可レジスタ
- アナログ入力許可レジスタ
- アナログ出力許可レジスタ

管理コード：ZBPORT-0v3-91580L-1-J

24.3 構成

構成図はありません。

24.4 レジスタ

表 24.4-1 レジスタマップ (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)

アドレス	Register				レジスタ機能
	+0	+1	+2	+3	
0x0000	PDR00	PDR01	PDR02	PDR03	ポートデータレジスタ 0 ～ 13
0x0004	PDR04	予約	PDR06	PDR07	
0x0008	PDR08	PDR09	PDR10	PDR11	
0x000C	PDR12	PDR13	予約		
0x0E00	DDR00	DDR01	DDR02	DDR03	データ方向レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0E04	DDR04	予約	DDR06	DDR07	
0x0E08	DDR08	DDR09	DDR10	DDR11	
0x0E0C	DDR12	DDR13	予約		
0x0E20	PFR00	PFR01	PFR02	PFR03	ポート機能レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0E24	PFR04	予約	PFR06	PFR07	
0x0E28	PFR08	PFR09	PFR10	PFR11	
0x0E2C	PFR12	PFR13	予約		
0x0E40	PDDR00	PDDR01	PDDR02	PDDR03	入力データダイレクトレジスタ 0 ～ 13
0x0E44	PDDR04	予約	PDDR06	PDDR07	
0x0E48	PDDR08	PDDR09	PDDR10	PDDR11	
0x0E4C	PDDR12	PDDR13	予約		
0x0E60	EPFR00	EPFR01	EPFR02	EPFR03	拡張ポート機能レジスタ 0 ～ 32 (キーコード対象レジスタ)
0x0E64	EPFR04	EPFR05	EPFR06	EPFR07	
0x0E68	EPFR08	EPFR09	EPFR10	EPFR11	
0x0E6C	EPFR12	予約	EPFR14	EPFR15	
0x0E70	EPFR16	EPFR17	EPFR18	EPFR19	
0x0E74	EPFR20	EPFR21	EPFR22	EPFR23	
0x0E78	EPFR24	EPFR25	EPFR26	EPFR27	
0x0E7C	EPFR28	EPFR29	EPFR30	EPFR31	
0x0E80	EPFR32	予約			ポートプルアップ許可レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0EC0	PPER00	PPER01	PPER02	PPER03	
0x0EC4	PPER04	予約	PPER06	PPER07	
0x0EC8	PPER08	PPER09	PPER10	PPER11	
0x0ECC	PPER12	PPER13	予約		ポート入力レベル選択レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0EE0	PILR00	PILR01	PILR02	PILR03	
0x0EE4	PILR04	予約	PILR06	PILR07	
0x0EE8	PILR08	PILR09	PILR10	PILR11	
0x0EEC	PILR12	PILR13	予約		ポート出力駆動レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0F20	PODR00	PODR01	PODR02	PODR03	
0x0F24	PODR04	予約	PODR06	PODR07	
0x0F28	PODR08	PODR09	PODR10	PODR11	
0x0F2C	PODR12	PODR13	予約		ポート入力許可レジスタ
0x0F40	PORTEN	予約			
0x0F44	KEYCDR		予約		キーコードレジスタ

表 24.4-2 レジスタマップ (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0000	PDR00	PDR01	PDR02	PDR03	ポートデータレジスタ 0 ～ 13
0x0004	PDR04	PDR05	PDR06	PDR07	
0x0008	PDR08	PDR09	PDR10	PDR11	
0x000C	PDR12	PDR13	予約		
0x0E00	DDR00	DDR01	DDR02	DDR03	データ方向レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0E04	DDR04	DDR05	DDR06	DDR07	
0x0E08	DDR08	DDR09	DDR10	DDR11	
0x0E0C	DDR12	DDR13	予約		
0x0E20	PFR00	PFR01	PFR02	PFR03	ポート機能レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0E24	PFR04	PFR05	PFR06	PFR07	
0x0E28	PFR08	PFR09	PFR10	PFR11	
0x0E2C	PFR12	PFR13	予約		
0x0E40	PDDR00	PDDR01	PDDR02	PDDR03	入力データダイレクトリードレジスタ 0 ～ 13
0x0E44	PDDR04	PDDR05	PDDR06	PDDR07	
0x0E48	PDDR08	PDDR09	PDDR10	PDDR11	
0x0E4C	PDDR12	PDDR13	予約		
0x0E60	EPFR00	EPFR01	EPFR02	EPFR03	拡張ポート機能レジスタ 0 ～ 32 (キーコード対象レジスタ)
0x0E64	EPFR04	EPFR05	EPFR06	EPFR07	
0x0E68	EPFR08	EPFR09	EPFR10	EPFR11	
0x0E6C	予約		EPFR14	EPFR15	
0x0E70	EPFR16	EPFR17	EPFR18	EPFR19	
0x0E74	EPFR20	EPFR21	EPFR22	EPFR23	
0x0E78	EPFR24	EPFR25	EPFR26	EPFR27	
0x0E7C	EPFR28	EPFR29	EPFR30	EPFR31	
0x0E80	EPFR32	予約			
0x0EC0	PPER00	PPER01	PPER02	PPER03	ポートプルアップ許可レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0EC4	PPER04	PPER05	PPER06	PPER07	
0x0EC8	PPER08	PPER09	PPER10	PPER11	
0x0ECC	PPER12	PPER13	予約		
0x0EE0	PILR00	PILR01	PILR02	PILR03	ポート入力レベル選択レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0EE4	PILR04	PILR05	PILR06	PILR07	
0x0EE8	PILR08	PILR09	PILR10	PILR11	
0x0EEC	PILR12	PILR13	予約		
0x0F20	PODR00	PODR01	PODR02	PODR03	ポート出力駆動レジスタ 0 ～ 13 (キーコード対象レジスタ)
0x0F24	PODR04	PODR05	PODR06	PODR07	
0x0F28	PODR08	PODR09	PODR10	PODR11	
0x0F2C	PODR12	PODR13	予約		
0x0F40	PORTEN	予約			ポート入力許可レジスタ
0x0F44	KEYCDR		予約		キーコードレジスタ

24.4.1 ポートデータレジスタ 0 ～ 13 : PDR0 ～ PDR13 (Port Data Register 0 ～ 13)

ポート出力モードにおけるポートごとの端子の出力レベルを格納するレジスタです。

- PDR0 ～ PDR13: アドレス 0000_H, 0001_H, ...000D_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
P[7:0]								
X	X	X	X	X	X	X	X	初期値
R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	R,RM/W	属性

[bit7 ～ bit0] P (Port) : ポートデータ設定ビット

ポート出力モード時の, 外部端子 P000, P001, . . . の出力レベルを設定します。

PDR0.P[7:0] は外部端子 P007, P006, . . . P000

PDR1.P[7:0] は外部端子 P017, P016, . . . P010

PDR2.P[7:0] は外部端子 P027, P026, . . . P020

(以下同様)

という割り当てです。

PDR13.P[5] は予約ビットです。書込み, 読出し共に効果ありません。

R/D コンバータの機能のある品種 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC) では, PDR4.P[7:3], PDR5.P[7:0] は予約ビットです。必ず "0" を書き込んでください。

P	動作説明
0	"0" を出力
1	"1" を出力

リードモディファイ系命令使用時の読出し値は, データ方向レジスタ (DDR) との組み合わせで決まります。

DDR	リードモディファイ系命令による読出し	PDR の読出し値
1	No	PDR の値が読めます
1	Yes	PDR の値が読めます
0	No	端子の値が読めます
0	Yes	PDR の値が読めます

24.4.2 データ方向レジスタ 0 ～ 13 : DDR0 ～ DDR13 (Data Direction Register 0 ～ 13)

端子がポート機能時の際の入出力の方向を設定するレジスタです。また、ペリフェラル入力端子として使用する場合は本ビットを入力に設定します。

- DDR0 ～ DDR13: アドレス 0E00_H, 0E01_H, . . . 0E0D_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
P[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ～ bit0] P (Port) : データ方向選択ビット

ポート出力モード時の、外部端子 P000, P001, . . . の入出力方向を設定します。

DDR0.P[7:0] は外部端子 P007, P006, . . . P000

DDR1.P[7:0] は外部端子 P017, P016, . . . P010

DDR2.P[7:0] は外部端子 P027, P026, . . . P020

(以下同様)

という割り当てです。

DDR13.P[5] は予約ビットです。書込み, 読出し共に効果ありません。

R/D コンバータの機能がある品種 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC) では, DDR4.P[7:3], DDR5.P[7:0] は予約ビットです。必ず "0" を書き込んでください。

P	動作説明
0	入力 (初期値)
1	出力

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また, 本レジスタへのワードアクセスは禁止です。

24.4.3 ポート機能レジスタ 0 ～ 13 : PFR0 ～ PFR13 (Port Function Register 0 ～ 13)

端子をポート機能か、それ以外として使用するかを設定します。ペリフェラルの入力端子として使用する場合は、ポート機能側に設定します。

- PFR0 ～ PFR13: アドレス 0E20_H, 0E21_H, . . . 0E2D_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
P[7:0]								
*	*	*	*	*	*	*	*	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

*: 各レジスタの初期値については、「付録 B. I/O マップ」を参照してください。

[bit7 ～ bit0] P (Port) : ポート機能選択ビット

ポート機能を設定します。

PFR0.P[7:0] は外部端子 P007, P006, . . . P000

PFR1.P[7:0] は外部端子 P017, P016, . . . P010

PFR2.P[7:0] は外部端子 P027, P026, . . . P020

(以下同様)

という割り当てです。

PFR13.P[5] は予約ビットです。書込み, 読出し共に効果ありません。

R/D コンバータの機能がある品種 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC) では, PFR4.P[7:3], PFR5.P[7:0] は予約ビットです。必ず "0" を書き込んでください。

P	動作説明
0	ポート機能, またはペリフェラル入力端子 (初期値)
1	ペリフェラル入出力 (双方向) 端子, ペリフェラル出力端子, または外バス端子 (EPFR にて設定)

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また, 本レジスタへのワードアクセスは禁止です。

24.4.4 入力データダイレクトレジスタ 0 ～ 13 :

PDDR0 ～ PDDR13 (Port Data Direct Register 0 ～ 13)

外部端子ごとの電圧レベルが常に読み出せるレジスタです。本レジスタでは条件なしで読み出せます。

- PDDR0～PDDR13: アドレス 0E40_H, 0E41_H, ...0E4D_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
P[7:0]								
X	X	X	X	X	X	X	X	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit7 ～ bit0] P (Port) : 読出しビット

外部端子の値を読み出せます。

PDDR0.P[7:0] は外部端子 P007, P006, . . . P000

PDDR1.P[7:0] は外部端子 P017, P016, . . . P010

PDDR2.P[7:0] は外部端子 P027, P026, . . . P020

(以下同様)

という割り当てです。

PDDR13.P[5] は予約ビットです。書込み, 読出し共に効果ありません。

R/D コンバータの機能がある品種 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC) では, PDDR4.P[7:3], PDDR5.P[7:0] は予約ビットです。必ず "0" を書き込んでください。

P	動作説明
0	"L" レベル
1	"H" レベル

24.4.5 ポートプルアップ許可レジスタ 0 ～ 13 : PPER0 ～ PPER13 (Port Pull-up Enable Register 0 ～ 13)

入力状態時に、ポートごとにプルアップの有無を設定するレジスタです。

- PPER0 ～ PPER13: アドレス 0EC0_H, 0EC1_H, . . . 0ECD_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
P[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ～ bit0] P (Port) : ポートプルアップ許可選択ビット

PPER0.P[7:0] は外部端子 P007, P006, . . . P000

PPER1.P[7:0] は外部端子 P017, P016, . . . P010

PPER2.P[7:0] は外部端子 P027, P026, . . . P020

(以下同様)

という割り当てです。

PPER13.P[5] は予約ビットです。書込み, 読出し共に効果ありません。

R/D コンバータの機能がある品種 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC) では, PPER4.P[7:3], PPER5.P[7:0] は予約ビットです。必ず "0" を書き込んでください。

P	動作説明
0	プルアップなし (初期値)
1	プルアップあり

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また, 本レジスタへのワードアクセスは禁止です。

24.4.6 ポート入力レベル選択レジスタ 0 ～ 13 :

PILR0 ～ PILR13 (Port Input Level Register 0 ～ 13)

ポートごとに入力レベルを設定するレジスタです。グリッチ入力がかかる場合がありますので、当該端子をペリフェラルの外部入力クロックやトリガとして使用する場合は、そのペリフェラルをディセーブルにしておいてください。

- PILR0 ～ PILR13: アドレス 0EE0_H, 0EE1_H, . . . 0EED_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
P[7:0]								
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ～ bit0] P (Port) : ポート入力レベル選択ビット

PILR0.P[7:0] は外部端子 P007, P006, . . . P000

PILR1.P[7:0] は外部端子 P017, P016, . . . P010

PILR2.P[7:0] は外部端子 P027, P026, . . . P020

(以下同様)

という割り当てです。

PILR13.P[5] は予約ビットです。書込み、読出し共に効果ありません。

R/D コンバータの機能がある品種 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC) では、PILR4.P[7:3], PILR5.P[7:0] は予約ビットです。必ず "0" を書き込んでください。

P003 ～ P007, P010

PILR	入力レベル	備考
0	FlexRay VIL=0.35Vcc VIH=0.65Vcc	
1	Automotive VIL=0.5Vcc VIH=0.8Vcc	初期値

P003 ～ P007, P010 以外

PILR	入力レベル	備考
0	CMOS Schmitt VIL=0.3Vcc VIH=0.7Vcc	
1	Automotive VIL=0.5Vcc VIH=0.8Vcc	初期値

【P001, P002, P021, P022, P025, P026, P073, P074, P076, P077, P127, P130 端子のみ】

マルチファンクションシリアルインタフェースを選択しマルチファンクションシリアルインタフェースの動作モードで I²C を選択している場合は、入力閾値には本ビット選択に関係なく、I²C レベルが適用されます。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また、本レジスタへのワードアクセスは禁止です。

24.4.7 ポート出力駆動レジスタ 0 ～ 13 :

PODR0 ～ PODR13 (Port Output Drive Register 0 ～ 13)

ポートごとの駆動力を設定するレジスタです。

- **PODR0 ～ PODR13: アドレス 0F20_H, 0F21_H, . . . 0F2D_H (アクセス: バイト, ハーフワード)**

7	6	5	4	3	2	1	0	bit
P[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ～ bit0] P (Port) : ポート出力駆動選択ビット

PODR0.P[7:0] は外部端子 P007, P006, . . . P000

PODR1.P[7:0] は外部端子 P017, P016, . . . P010

PODR2.P[7:0] は外部端子 P027, P026, . . . P020

(以下同様)

という割り当てです。

PODR13.P[5] は予約ビットです。書込み, 読出し共に効果ありません。

R/D コンバータの機能がある品種 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC) では, PODR4.P[7:3], PODR5.P[7:0] は予約ビットです。必ず "0" を書き込んでください。

P003 ～ P007, P010

P[n]	動作説明
0	4mA
1	2mA

P003 ～ P007, P010 以外

P[n]	動作説明
0	5mA
1	2mA

【P001, P002, P021, P022, P025, P026, P073, P074, P076, P077, P127, P130 端子のみ】

マルチファンクションシリアルインタフェースを選択しマルチファンクションシリアルインタフェースの動作モードで I²C を選択している場合は, 3mA になります。それ以外の場合では上表の設定に従います。

端子が FlexRay の出力に設定されている場合は端子の駆動能力を 4mA に設定してください。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また, 本レジスタへのワードアクセスは禁止です。

24.4.8 拡張ポート機能レジスタ 00 ～ 32 :

EPFR00 ～ EPFR32 (Extended Port Function Register 00 ～ 32)

ペリフェラル / 外バス機能の切り換え, I/O リロケーション, I/O マルチプレクシングを制御するレジスタです。このレジスタはほかのポートレジスタとは異なり, 端子ごとではなく, ペリフェラルごとにイネーブルビットを持ちます。

■ 拡張ポート機能レジスタ 00: EPFR00 (Extended Port Function Register 00)

CAN の出力許可を行います。

• EPFR00: アドレス 0E60_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
-					TX2E	TX1E	TX0E	
1	1	1	1	1	0	0	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	属性

[bit7 ～ bit3] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit2] TX2E : CAN ch.2 送信データ出カインーブル

[bit1] TX1E : CAN ch.1 送信データ出カインーブル

[bit0] TX0E : CAN ch.0 送信データ出カインーブル

TX0E	動作説明
0	CAN ch.0 出力禁止 (初期値)
1	CAN ch.0 出力許可

TX1E, TX2E も同様です。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また, 本レジスタへのワードアクセスは禁止です。

■ 拡張ポート機能レジスタ 01, 02, 14 ～ 16: EPFR01 (Extended Port Function Register 01, 02, 14 ～ 16)

マルチファンクションシリアルインタフェースの入出力制御を行います。(I/O リロケーション・I/O マルチプレクシング)

• EPFR01: アドレス 0E61_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
-						SOT0E	SCK0E	
1	1	1	1	1	1	0	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	属性

• EPFR02: アドレス 0E62_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
-		SCS2E	SOT2E	SCK2E	SCS1E	SOT1E	SCK1E	
1	1	0	0	0	0	0	0	初期値
R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR14: アドレス 0E6E_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
-	SCS3E[1:0]		SOT3E[1:0]		SCK3E[1:0]		SIN3E	
1	0	0	0	0	0	0	0	初期値
R1,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR15: アドレス 0E6F_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
-	SCS40E[1:0]		SOT4E[1:0]		SCK4E[1:0]		SIN4E	
1	0	0	0	0	0	0	0	初期値
R1,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR16: アドレス 0E70_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
-	SCS43E[1:0]		SCS42E[1:0]		SCS41E[1:0]			
1	1	0	0	0	0	0	0	初期値
R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR01

[bit7 ~ bit2] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit1] SOT0E : マルチファンクションシリアルインタフェース ch.0 SOT 出力イネーブル

[bit0] SCK0E : マルチファンクションシリアルインタフェース ch.0 SCK 出力イネーブル

• EPFR02

[bit7, bit6] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit5] SCS2E : マルチファンクションシリアルインタフェース ch.2 SCS 出力イネーブル

[bit4] SOT2E : マルチファンクションシリアルインタフェース ch.2 SOT 出力イネーブル

[bit3] SCK2E : マルチファンクションシリアルインタフェース ch.2 SCK 出力イネーブル

[bit2] SCS1E : マルチファンクションシリアルインタフェース ch.1 SCS 出力イネーブル

[bit1] SOT1E : マルチファンクションシリアルインタフェース ch.1 SOT 出力イネーブル

[bit0] SCK1E : マルチファンクションシリアルインタフェース ch.1 SCK 出力イネーブル

• EPFR14

[bit7] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit6, bit5] SCS3E : マルチファンクションシリアルインタフェース ch.3 SCS 出力・入力端子選択

[bit4, bit3] SOT3E : マルチファンクションシリアルインタフェース ch.3 SOT 出力・入力端子選択

[bit2, bit1] SCK3E : マルチファンクションシリアルインタフェース ch.3 SCK 出力・入力端子選択

[bit0] SIN3E : マルチファンクションシリアルインタフェース ch.3 SIN 入力端子選択

• EPFR15

[bit7] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit6, bit5] SCS40E : マルチファンクションシリアルインタフェース ch.4 SCS0 出力・入力端子選択

[bit4, bit3] SOT4E : マルチファンクションシリアルインタフェース ch.4 SOT 出力・入力端子選択

[bit2, bit1] SCK4E : マルチファンクションシリアルインタフェース ch.4 SCK 出力・入力端子選択

[bit0] SIN4E : マルチファンクションシリアルインタフェース ch.4 SIN 入力端子選択

• EPFR16

[bit7, bit6] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit5, bit4] SCS43E : マルチファンクションシリアルインタフェース ch.4 SCS3 出力・入力端子選択

[bit3, bit2] SCS42E : マルチファンクションシリアルインタフェース ch.4 SCS2 出力・入力端子選択

[bit1, bit0] SCS41E : マルチファンクションシリアルインタフェース ch.4 SCS1 出力・入力端子選択

SCK0E	動作説明
0	マルチファンクションシリアルインタフェース ch.0 SCK 出力禁止 (初期値)
1	マルチファンクションシリアルインタフェース ch.0 SCK 出力許可

SCK1E, SCK2E, SOT0E ～ SOT2E, SCS1E, SCS2E も同様です。

SIN3E	動作説明
0	マルチファンクションシリアルインタフェース ch.3 SIN3 からの入力 (初期値)
1	マルチファンクションシリアルインタフェース ch.3 SIN3_1 からの入力

SIN4E も同様です。

SCK3E[1:0]	動作説明
00	マルチファンクションシリアルインタフェース SCK3 からの入力, 出力は禁止 (初期値)
01	マルチファンクションシリアルインタフェース SCK3 からの入力, SCK3 への出力
10	マルチファンクションシリアルインタフェース SCK3_1 からの入力, SCK3_1 への出力
11	Reserved (SCK3_1 からの入力, SCK3 と SCK3_1 への出力)

SCK4E[1:0], SOT3E[1:0], SOT4E[1:0], SCS3E[1:0], SCS40E[1:0] ～ SCS43[1:0] も同様です。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また, 本レジスタへのワードアクセスは禁止です。

■ 拡張ポート機能レジスタ 03 ~ 05:

EPFR03 ~ EPFR05 (Extended Port Function Register 03 ~ 05)

PPG の出力許可を行います。(I/O マルチプレクシング)

• EPFR03: アドレス 0E63_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
PPG7E	PPG6E	PPG5E	PPG4E	PPG3E	PPG2E	PPG1E	PPG0E	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR04: アドレス 0E64_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
PPG15E	PPG14E	PPG13E	PPG12E	PPG11E	PPG10E	PPG9E	PPG8E	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR05: アドレス 0E65_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
PPG23E	PPG22E	PPG21E	PPG20E	PPG19E	PPG18E	PPG17E	PPG16E	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR03:

[bit7] PPG7E : PPG ch.7 出カイネーブル

[bit6] PPG6E : PPG ch.6 出カイネーブル

[bit5] PPG5E : PPG ch.5 出カイネーブル

[bit4] PPG4E : PPG ch.4 出カイネーブル

[bit3] PPG3E : PPG ch.3 出カイネーブル

[bit2] PPG2E : PPG ch.2 出カイネーブル

[bit1] PPG1E : PPG ch.1 出カイネーブル

[bit0] PPG0E : PPG ch.0 出カイネーブル

• EPFR04:

[bit7] PPG15E : PPG ch.15 出カイネーブル

[bit6] PPG14E : PPG ch.14 出カイネーブル

[bit5] PPG13E : PPG ch.13 出カイネーブル

[bit4] PPG12E : PPG ch.12 出カイネーブル

[bit3] PPG11E : PPG ch.11 出カイネーブル

[bit2] PPG10E : PPG ch.10 出カイネーブル

[bit1] PPG9E : PPG ch.9 出カイネーブル

[bit0] PPG8E : PPG ch.8 出カイネーブル

• EPFR05:

[bit7] PPG23E : PPG ch.23 出カイネーブル

[bit6] PPG22E : PPG ch.22 出カイネーブル

[bit5] PPG21E : PPG ch.21 出カイネーブル

[bit4] PPG20E : PPG ch.20 出カイネーブル

[bit3] PPG19E : PPG ch.19 出カインーブル

[bit2] PPG18E : PPG ch.18 出カインーブル

[bit1] PPG17E : PPG ch.17 出カインーブル

[bit0] PPG16E : PPG ch.16 出カインーブル

PPG0E	動作説明
0	PPG0 端子からの出力禁止 (初期値)
1	PPG0 端子からの出力許可

PPG23E ～ PPG1E も同様です。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また、本レジスタへのワードアクセスは禁止です。

■ 拡張ポート機能レジスタ 06: EPFR06 (Extended Port Function Register 06)

ベースタイマの出力許可を行います。(I/O マルチプレクシング)

• EPFR06: アドレス 0E66_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
-						TIA1E	TIA0E	
1	1	1	1	1	1	0	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	属性

[bit7 ～ bit2] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit1] TIA1E : ベースタイマ TIOA1 出カインーブル

[bit0] TIA0E : ベースタイマ TIOA0 出カインーブル

TIA0E	動作説明
0	ベースタイマ TIOA0 の出力禁止 (初期値)
1	ベースタイマ TIOA0 の出力許可

TIA1E も同様です。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また、本レジスタへのワードアクセスは禁止です。

■ 拡張ポート機能レジスタ 07: EPFR07 (Extended Port Function Register 07)

リロードタイマの出力許可を行います。

• EPFR07: アドレス 0E67_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
-				TOT3E	TOT2E	TOT1E	TOT0E	
1	1	1	1	0	0	0	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit4] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit3] TOT3E : リロードタイマ ch.3 TOT 出カインェブル

[bit2] TOT2E : リロードタイマ ch.2 TOT 出カインェブル

[bit1] TOT1E : リロードタイマ ch.1 TOT 出カインェブル

[bit0] TOT0E : リロードタイマ ch.0 TOT 出カインェブル

TOT0E	動作説明
0	リロードタイマ TOT0 の出力禁止 (初期値)
1	リロードタイマ TOT0 の出力許可

TOT3E ~ TOT1E も同様です。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また、本レジスタへのワードアクセスは禁止です。

■ 拡張ポート機能レジスタ 08: EPFR08 (Extended Port Function Register 08)

FlexRay の出力許可を行います。

• EPFR08: アドレス 0E68_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
-				TXENBE	TXENAE	TXDBE	TXDAE	
1	1	1	1	0	0	0	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit4] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit3] TXENBE : FlexRay ch.B TXENB 出カインェブル

[bit2] TXENAE : FlexRay ch.A TXENA 出カインェブル

[bit1] TXDBE : FlexRay ch.B TXDB 出カインェブル

[bit0] TXDAE : FlexRay ch.A TXDA 出カインェブル

TXDAE	動作説明
0	FlexRay ch.0 TXDA の出力禁止 (初期値)
1	FlexRay ch.0 TXDA の出力許可

TXDBE, TXENAE, TXENBE も同様です。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また、本レジスタへのワードアクセスは禁止です。

■ 拡張ポート機能レジスタ 09: EPFR09 (Extended Port Function Register 09)

クロックモニタの出力許可を行います。(I/O マルチプレクシング)

• EPFR09: アドレス 0E69_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
			-				MONCLKE	
1	1	1	1	1	1	1	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit0] MONCLKE : クロックモニタ MONCLK 出力イネーブル

MONCLKE	動作説明
0	クロックモニタ MONCLK の出力禁止 (初期値)
1	クロックモニタ MONCLK の出力許可

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また, 本レジスタへのワードアクセスは禁止です。

■ 拡張ポート機能レジスタ 10, 11:

EPFR10, EPFR11 (Extended Port Function Register 10, 11)

波形ジェネレータの出力許可を行います。(I/O マルチプレクシング)

• EPFR10: アドレス 0E6A_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
RTO7E	RTO6E	RTO5E	RTO4E	RTO3E	RTO2E	RTO1E	RTO0E	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR11: アドレス 0E6B_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
				RTO11E	RTO10E	RTO9E	RTO8E	
1	1	1	1	0	0	0	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	属性

• EPFR10:

[bit7] RTO7E: 波形ジェネレータ ch.7 出力イネーブル

[bit6] RTO6E: 波形ジェネレータ ch.6 出力イネーブル

[bit5] RTO5E: 波形ジェネレータ ch.5 出力イネーブル

[bit4] RTO4E: 波形ジェネレータ ch.4 出力イネーブル

[bit3] RTO3E: 波形ジェネレータ ch.3 出力イネーブル

[bit2] RTO2E: 波形ジェネレータ ch.2 出力イネーブル

[bit1] RTO1E: 波形ジェネレータ ch.1 出力イネーブル

[bit0] RTO0E: 波形ジェネレータ ch.0 出力イネーブル

• EPFR11:

[bit7 ~ bit4] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit3] RTO11E: 波形ジェネレータ ch.11 出力イネーブル

[bit2] RTO10E: 波形ジェネレータ ch.10 出力イネーブル

[bit1] RTO9E: 波形ジェネレータ ch.9 出力イネーブル

[bit0] RTO8E: 波形ジェネレータ ch.8 出力イネーブル

RTO0E	動作説明
0	波形ジェネレータ ch.0 RTO の出力禁止 (初期値)
1	波形ジェネレータ ch.0 RTO の出力許可

RTO11E ~ RTO1E も同様です。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また, 本レジスタへのワードアクセスは禁止です。

■ 拡張ポート機能レジスタ 12: EPFR12 (Extended Port Function Register 12)

RD コンバータの出力許可を行います。

- **EPFR12: アドレス 0E6C_H (アクセス: バイト, ハーフワード)**

7	6	5	4	3	2	1	0	bit
-	RDCZE	RDCBE	RDCAE	RDCWE	RDCVE	RDCUE		
1	1	0	0	0	0	0	0	初期値
R1,WX	R1,WX	R/W	R/W	R/W	R/W	R/W	R/W	属性

- **[bit 7, bit 6] 未定義**

常に "1" が読み出されます。書込みは動作に影響ありません。

- **[bit 5] RDCZE : RD コンバータ RDC_Z 出力イネーブル**
- **[bit 4] RDCBE : RD コンバータ RDC_B 出力イネーブル**
- **[bit 3] RDCAE : RD コンバータ RDC_A 出力イネーブル**
- **[bit 2] RDCWE : RD コンバータ RDC_W 出力イネーブル**
- **[bit 1] RDCVE : RD コンバータ RDC_V 出力イネーブル**
- **[bit 0] RDCUE : RD コンバータ RDC_U 出力イネーブル**

RDCUE	動作説明
0	RD コンバータ RDC_U の出力禁止 (初期値)
1	RD コンバータ RDC_U の出力許可

RDCVE, RDCWE, RDCAE, RDCBE, RDCZE も同様です。

- (注意事項) ・ 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。
また, 本レジスタへのワードアクセスは禁止です。
- ・ R/D コンバータの機能がない品種 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD) では, bit5 ~ bit0 は予約ビットです。必ず "0" を書き込んでください。

■ 拡張ポート機能レジスタ 13: EPFR13 (Extended Port Function Register 13)

予約レジスタです。

- **EPFR13: アドレス 0E6D_H (アクセス: バイト, ハーフワード)**

7	6	5	4	3	2	1	0	bit
-	-	-	-	-	-	-	予約	
1	1	1	1	1	1	1	1	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W1	属性

- **[bit 7 ~ bit 1] 未定義**

常に "1" が読み出されます。書込みは動作に影響ありません。

- **[bit 0] 予約**

必ず "1" を書き込んでください。

■ 拡張ポート機能レジスタ 17 ～ 32:

EPFR17 ～ EPFR32 (Extended Port Function Register 17 ～ 32)

予備レジスタです。設定しても効果はありません。

• EPFR17: アドレス 0E71_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR17D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR18: アドレス 0E72_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR18D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR19: アドレス 0E73_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR19D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR20: アドレス 0E74_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR20D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR21: アドレス 0E75_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR21D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR22: アドレス 0E76_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR22D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR23: アドレス 0E77_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR23D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR24: アドレス 0E78_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR24D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR25: アドレス 0E79_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR25D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR26: アドレス 0E7A_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR26D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR27: アドレス 0E7B_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR27D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR28: アドレス 0E7C_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR28D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR29: アドレス 0E7D_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR29D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR30: アドレス 0E7E_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR30D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR31: アドレス 0E7F_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR31D[3:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR32: アドレス 0E80_H (アクセス: バイト, ハーフワード)

7	6	5	4	3	2	1	0	bit
EPFR32D[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• EPFR32D[7:0] ～ EPFR17D[7:0]

予備レジスタです。設定しても効果はありません。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。また，本レジスタへのワードアクセスは禁止です。

24.4.9 ポート入力許可レジスタ : PORTEN(PORT ENable register)

ポートの入力遮断の解除を設定するレジスタです。ポートがソフトウェアにより設定される前に貫通電流の変動を避けるために、パワーオンリセット時に大部分の端子は入力遮断になります。入力遮断になる端子については、「付録 D. CPU 状態における端子状態 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)」*1 または「付録 E. CPU 状態における端子状態 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)」*2 を参照してください。各ポート端子をその機能に応じて設定した後、グローバルポート許可 (PORTEN, GPORTEN) でポート入力を許可する必要があります。

• PORTEN: アドレス 0F40_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
						CPOR- TEN	GPOR- TEN	
1	1	1	1	1	1	0	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	属性

[bit7 ~ bit2] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit1] CPORTEN (Communication PORT ENable) : シリアル書込み用端子入力遮断解除

CPORTEN	動作説明
0	何もしません (初期値)
1	シリアル書込み用端子 (マルチファンクションシリアル ch.0) の入力遮断を解除します。GPORTEN ビットの設定にかかわらず、本ビットによりシリアル書込み用端子 (マルチファンクションシリアル ch.0) の入力遮断を解除できます。

[bit0] GPORTEN (Global PORT ENable) : グローバル入力遮断解除

GPORTEN	動作説明
0	大半の端子を入力遮断にします。入力遮断になる端子については、「付録 D. CPU 状態における端子状態 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)」*1 または「付録 E. CPU 状態における端子状態 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)」*2 を参照してください。 (初期値)
1	本ビットによる入力遮断を解除します。

*1: MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC

*2: MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD

24.4.10 キーコードレジスタ : KEYCDR

誤書き込み保護機能を有するレジスタの書き込み設定をするレジスタです。本レジスタに所定の方法で書き込まないと、対象のレジスタへの書き込みは無効となります。本レジスタはハーフワードアクセスのみ有効です。

• KEYCDR : アドレス 0F44_H (アクセス : ハーフワード)

15	14	13	12	11	10	9	8	bit
KEY1	KEY0	SIZE	RADR12	RADR11	RADR10	RADR9	RADR8	
0	0	0	0	0	0	0	0	初期値
R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	属性
7	6	5	4	3	2	1	0	bit
RADR7	RADR6	RADR5	RADR4	RADR3	RADR2	RADR1	RADR0	
0	0	0	0	0	0	0	0	初期値
R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	R0,W	属性

[bit15, bit14] KEY1, KEY0 : キーコード

キーコード設定ビットです。本ビットに "00", "01", "10", "11" の順番で連続的に書く必要があります。

(注意事項) 書き込む順番が異なった時点で、キーコード設定は無効となり最初から設定しなおす必要があります。

[bit13] SIZE : アクセスサイズ

キーコード対象レジスタに書き込む際のアクセスサイズを設定します。キーコード "00", "01", "10", "11" を順番に書き込む際、本ビットには同じデータを書いてください。

SIZE	説明
0	バイトアクセスを設定
1	ハーフワードアクセスを設定

(注意事項) • キーコード "00", "01", "10", "11" を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり最初から設定しなおす必要があります。
• キーコード対象レジスタへのワードアクセスは禁止です。

[bit12 ~ bit0] RADR12 ~ RADR0 : ポートアドレス

キーコード対象レジスタのアドレス下位 13 ビットを設定します。キーコード "00", "01", "10", "11" を順番に書き込む際、本ビットには同じデータを書いてください。

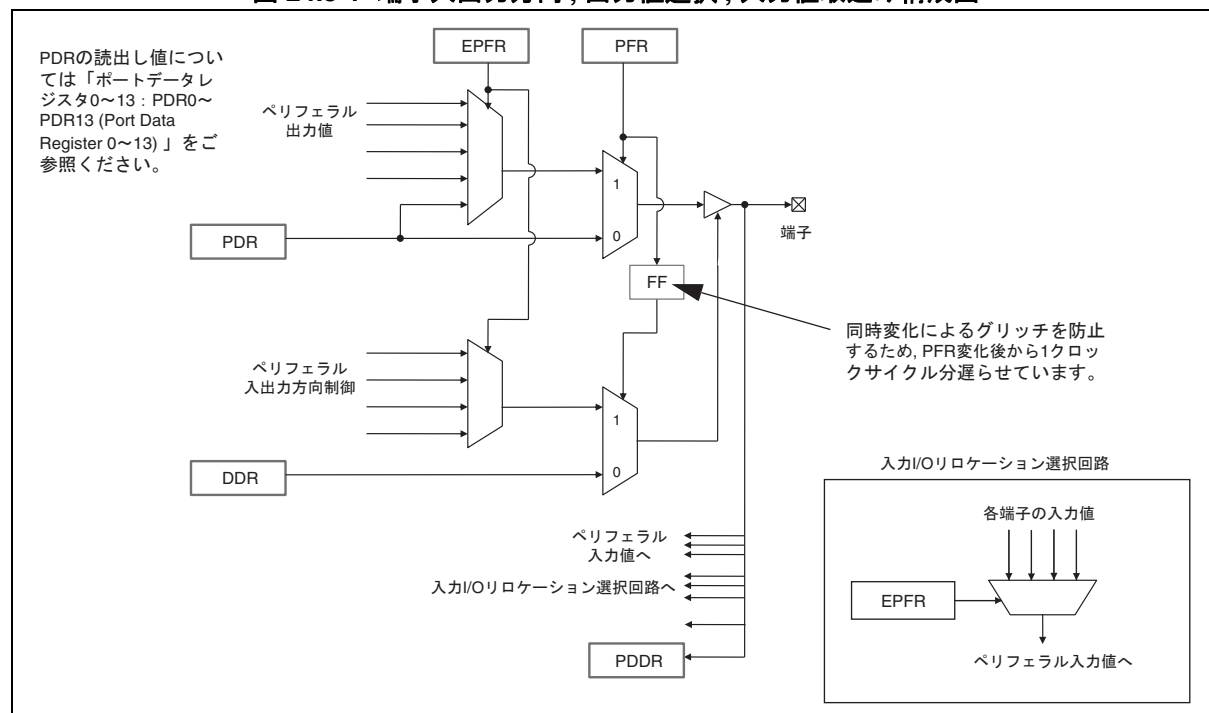
(注意事項) キーコード "00", "01", "10", "11" を書き込む途中、異なるデータを書いた時点で、キーコード設定は無効となり最初から設定しなおす必要があります。
DMA 転送によりキーコード設定がキャンセルされる恐れがあります。対象レジスタへ書き込んだ値を読み出して、値が更新されているかを確認してください。

24.5 動作説明

24.5.1 端子の入出力の割り当て

端子の入出力の割り当てについて説明します。各端子の入出力方向は図 24.5-1 に示す構成で制御されています。

図 24.5-1 端子入出力方向，出力値選択，入力値取込み構成図



端子割り当ての説明各項で説明するように、最初に PFR をポート機能側に変更してください。その際端子はポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。その際、いったん、端子の入出力方向が DDR で指定される方向になりますので注意してください。（「24.5.2 ポート切換え時の注意事項」参照）また、AD コンバータ機能のある端子では、AD コンバータのアナログ入力許可レジスタ (ADER) の該当ビットを「ポート入力/出力モード」に設定して置いてください。設定方法は「第 46 章 12 ビット A/D コンバータ」を参照してください。DA コンバータのアナログ出力許可レジスタ (DAER) の該当ビットを「ポート入力/出力モード」に設定して置いてください。設定方法は「第 49 章 D/A コンバータ」を参照してください。

（注意事項）DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAERはキーコード対象レジスタです。書込みにはキーコード設定が必要です。

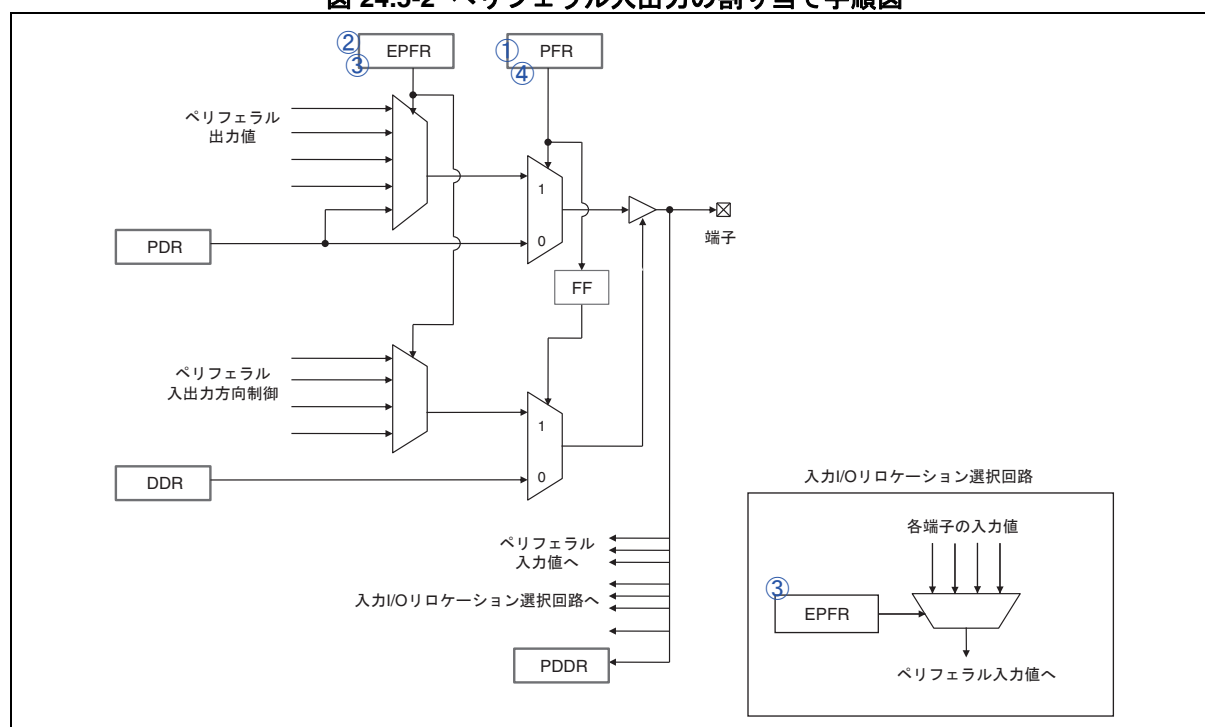
■ ペリフェラル入出力 (双方向) 端子の割り当て

(準備)

- ①でいったん端子はポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- AD コンバータ機能のある端子では、AD コンバータのアナログ入力許可レジスタ (ADER) の該当ビットを「ポート入力/出力モード」に設定して置いてください。設定方法は「第 46 章 12 ビット A/D コンバータ」を参照してください。
- D/A コンバータのアナログ出力許可レジスタ (DAER) の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は「第 49 章 D/A コンバータ」を参照してください。

- ①当該端子の PFR をポート機能側に設定します。
- ②当該端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします。
- ③当該端子が外バス兼用の場合や、当該ペリフェラルが I/O マルチプレクシング対象の場合、当該ペリフェラルの EPFR を設定します。また、当該ペリフェラルに I/O リロケーションがある場合、当該ペリフェラルの EPFR で使用する端子を設定します。
- ④ PFR をペリフェラル側に設定します。

図 24.5-2 ペリフェラル入出力の割り当て手順図



(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAERはキーコード対象レジスタです。書き込みにはキーコード設定が必要です。

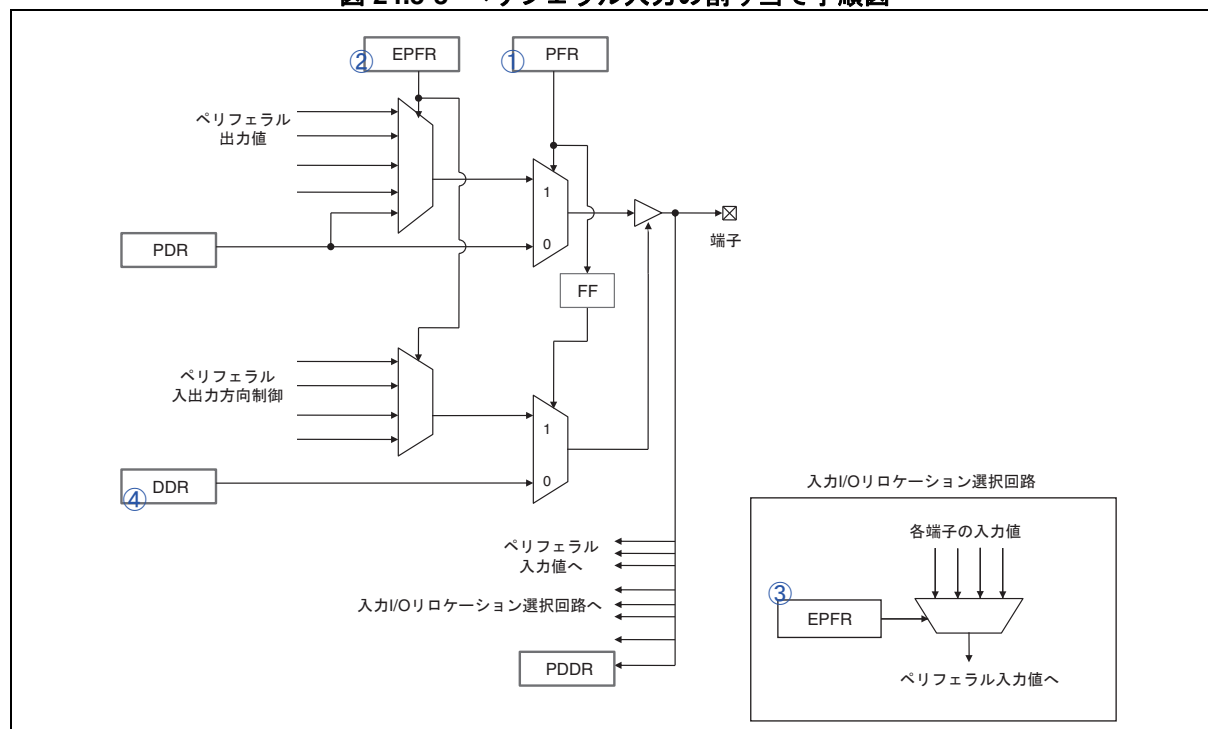
■ ペリフェラル入力の割り当て

(準備)

- ①でいったん端子はポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- AD コンバータ機能のある端子では、AD コンバータのアナログ入力許可レジスタ (ADER) の該当ビットを「ポート入力/出力モード」に設定して置いてください。設定方法は「第 46 章 12 ビット A/D コンバータ」を参照してください。
- D/A コンバータのアナログ出力許可レジスタ (DAER) の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は「第 49 章 D/A コンバータ」を参照してください。

- ①当該端子の PFR をポート機能側に設定します。
- ②当該端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします。
- ③該当ペリフェラルに I/O リロケーションがある場合、当該ペリフェラルの EPFR で使用する端子を設定します。
- ④ DDR を入力側に設定します。

図 24.5-3 ペリフェラル入力の割り当て手順図



- (注意事項)
- 上図で示しているように、端子がペリフェラル出力などに設定されている場合は、端子を共有するほかのペリフェラル入力へはその出力値が取り込まれます。
(例) RX0 端子と INT0 端子は同じ端子に配置されていますので (端子番号 80・P096 端子), CAN の受信動作でスリープモードまたはスタンバイモードから復帰できます。
 - DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAER はキーコード対象レジスタです。書込みにはキーコード設定が必要です。

■ ペリフェラル出力の割り当て

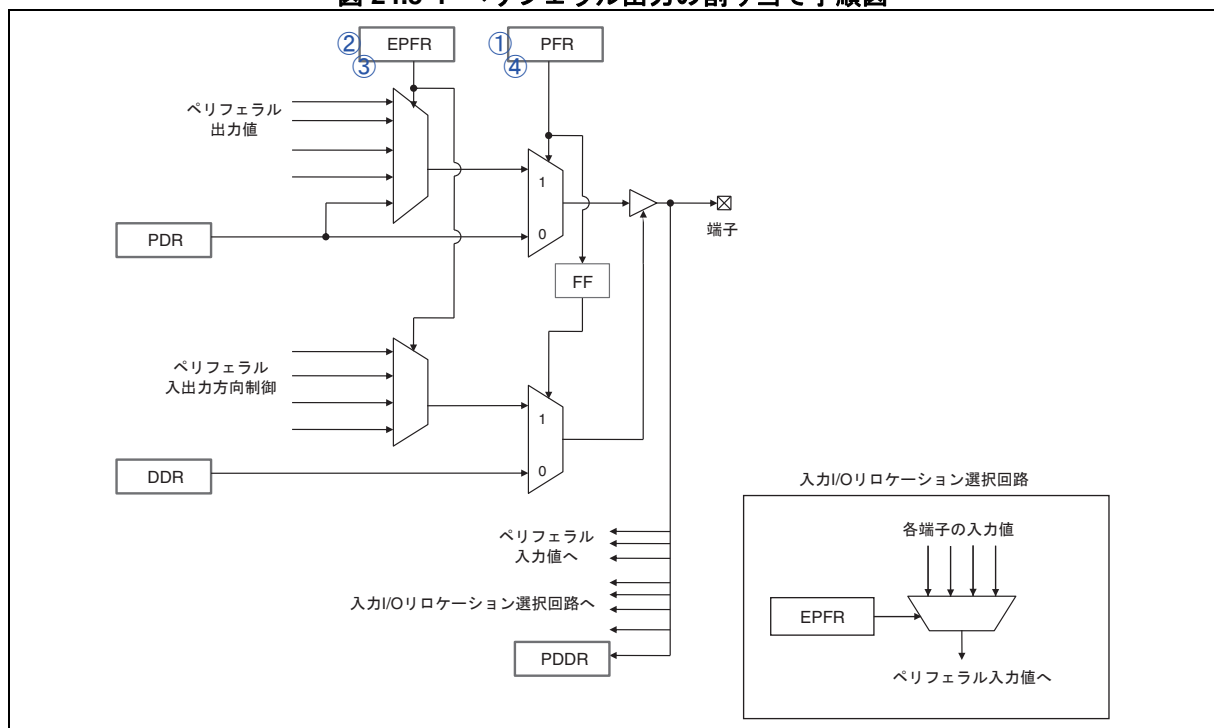
設定方法は「■ ペリフェラル入出力 (双方向) 端子の割り当て」と同一です。

(準備)

- ①でいったん端子はポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- AD コンバータ機能のある端子では、AD コンバータのアナログ入力許可レジスタ (ADER) の該当ビットを「ポート入力 / 出力モード」に設定して置いてください。設定方法は「第 46 章 12 ビット A/D コンバータ」をご参照ください。
- D/A コンバータのアナログ出力許可レジスタ (DAER) の該当ビットを「ポート入力 / 出力モード」に設定しておいてください。設定方法は「第 49 章 D/A コンバータ」を参照してください。

- ①当該端子の PFR をポート機能側に設定します。
- ②当該端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにします。
- ③当該端子が外バス兼用の場合や、当該ペリフェラルが I/O マルチプレクシング対象の場合、当該ペリフェラルの EPFR を設定します。また、当該ペリフェラルに I/O リロケーションがある場合、当該ペリフェラルの EPFR で使用する端子を設定します。
- ④ PFR をペリフェラル側に設定します。

図 24.5-4 ペリフェラル出力の割り当て手順図



(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAER はキーコード対象レジスタです。書き込みにはキーコード設定が必要です。

■ 外バスの割り当て

(準備)

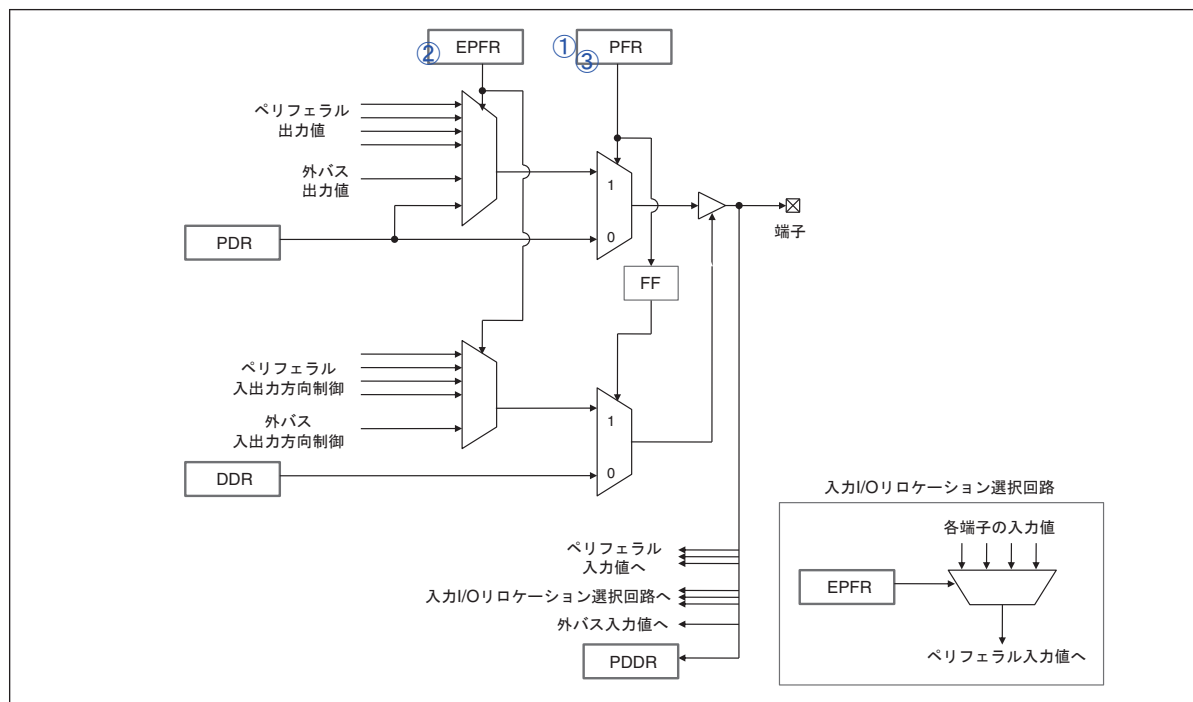
- ①でいったん端子はポート機能になりますので、必要な場合は前もって DDR および PDR 値を設定しておいてください。
- AD コンバータ機能のある端子では、AD コンバータのアナログ入力許可レジスタ (ADER) の該当ビットを「ポート入力/出力モード」に設定して置いてください。設定方法は「第 46 章 12 ビット A/D コンバータ」を参照してください。
- D/A コンバータのアナログ出力許可レジスタ (DAER) の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は「第 49 章 D/A コンバータ」を参照してください。

①当該端子の PFR をポート機能側に設定します。

②外バスと同じ端子を使用するほかのすべてのペリフェラルの EPFR をディセーブルにし、外バス出力制御の EPFR を設定します。

③ PFR をペリフェラル側に設定します。

図 24.5-5 外バスの割り当て手順図



(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAERはキーコード対象レジスタです。書き込みにはキーコード設定が必要です。

■ ポート機能 (入力) の割り当て

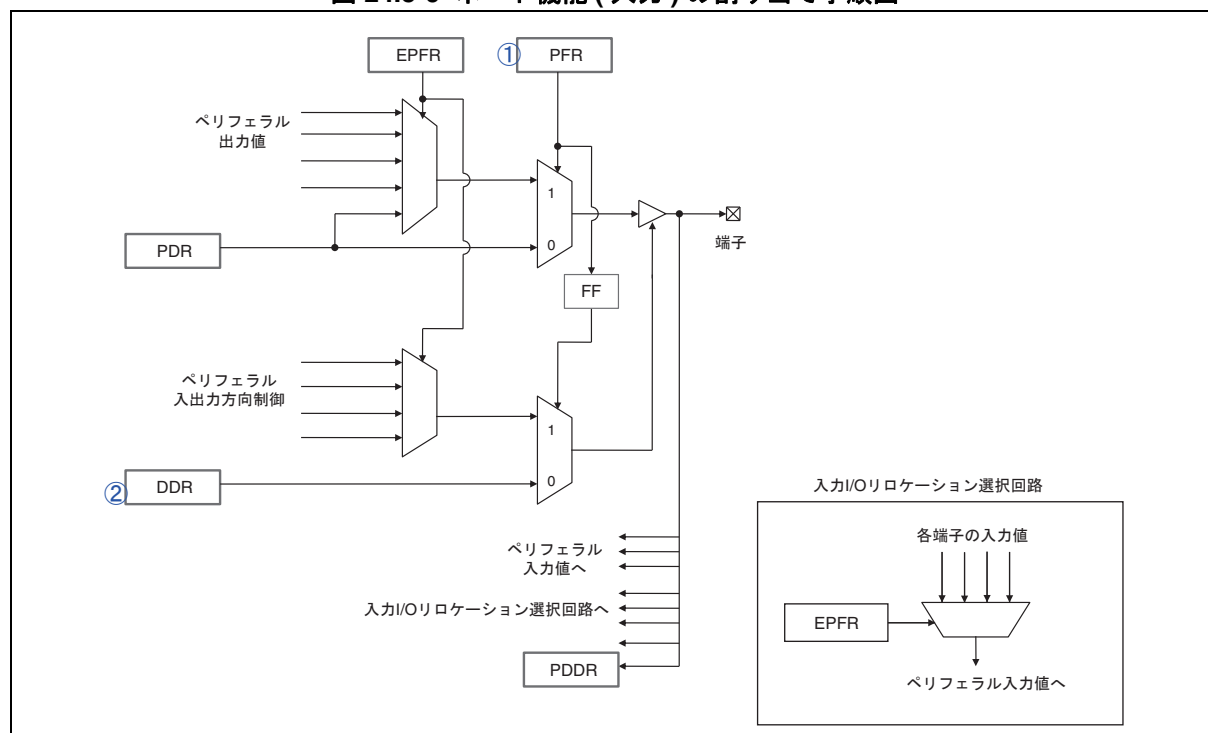
(準備)

- AD コンバータ機能のある端子では, AD コンバータのアナログ入力許可レジスタ (ADER) の該当ビットを「ポート入力/出力モード」に設定して置いてください。設定方法は「第 46 章 12 ビット A/D コンバータ」を参照してください。
- D/A コンバータのアナログ出力許可レジスタ (DAER) の該当ビットを「ポート入力/出力モード」に設定しておいてください。設定方法は「第 49 章 D/A コンバータ」を参照してください。

① PFR をポート機能側に設定します。

② DDR を入力側に設定します。

図 24.5-6 ポート機能 (入力) の割り当て手順図



(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAERはキーコード対象レジスタです。書き込みにはキーコード設定が必要です。

■ ポート機能 (出力) の割り当て

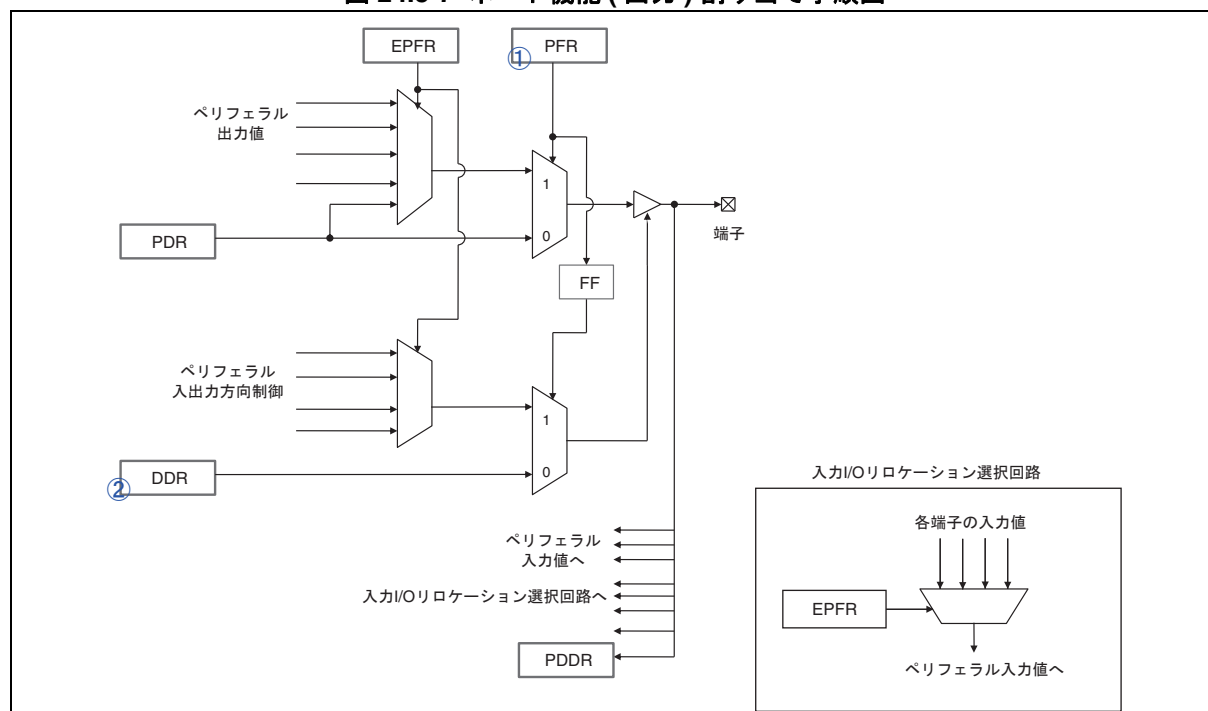
(準備)

- AD コンバータ機能のある端子では, AD コンバータのアナログ入力許可レジスタ (ADER) の該当ビットを「ポート入力 / 出力モード」に設定して置いてください。設定方法は「第 46 章 12 ビット A/D コンバータ」を参照してください。
- D/A コンバータのアナログ出力許可レジスタ (DAER) の該当ビットを「ポート入力 / 出力モード」に設定しておいてください。設定方法は「第 49 章 D/A コンバータ」を参照してください。

① PFR をポート機能側に設定します。

② DDR を出力側に設定します。

図 24.5-7 ポート機能 (出力) 割り当て手順図



(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAERはキーコード対象レジスタです。書き込みにはキーコード設定が必要です。

■ AD コンバータ入力の割り当て

① AD コンバータのアナログ入力許可レジスタ (ADER) をアナログ入力モードに設定します。「第 46 章 12 ビット A/D コンバータ」を参照してください。

AD コンバータの割り当ては最上位の優先度なので, 設定は以上のみです。

(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAERはキーコード対象レジスタです。書き込みにはキーコード設定が必要です。

■ DA コンバータ出力割り当て

① DA コンバータのアナログ出力許可レジスタ (DAER) をアナログ入力モードに設定します。「第 49 章 D/A コンバータ」を参照してください。

DA コンバータの割り当ては最上位の優先なので、設定は以上のみです。

(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER はキーコード対象レジスタです。書込みにはキーコード設定が必要です。

24.5.2 ポート切換え時の注意事項

本品種では PFR で端子の周辺出力とポート入力 (High-Z 状態) を切り換える場合に PFR からのデータ信号選択よりも出力イネーブル制御信号への伝達が図 24.5-1 に示すように、1 クロック (1PCLK) 分遅れる構造にしています。そのため、DDR=0 のときに PFR を 1 → 0 → 1 に変化させる場合に、

(遅れる構造がない場合での) 期待される動作:

ペリフェラル出力 → High-Z(ポート入力) → ペリフェラル出力

実際の動作:

ペリフェラル出力 → PDR 値 出力 (1 クロック期間) → High-Z → ペリフェラル出力

となり 1 クロック期間 PDR の値が出力されてから High-Z に切り換わります。また、リセット後の PDR の値は不定ですので注意をお願いします。

(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAER はキーコード対象レジスタです。書き込みにはキーコード設定が必要です。

24.5.3 EPFR 設定の優先度について

PFR がペリフェラル側に設定されていて、1 つの端子に対し EPFR 設定が重複する場合、次の優先度で有効なペリフェラルが決定します。

1. CAN
2. マルチファンクションシリアルインタフェース
3. PPG
4. ベースタイマ
5. リロードタイマ
6. FlexRay
7. クロックモニタ
8. 波形ジェネレータ
9. RD コンバータ
10. (EPFR 設定なしの場合) 外バス (外バス割り当てのある場合)、または PDR 値 (外バス端子でない場合)

24.5.4 入力 I/O リロケーション設定時の注意

入力端子を別端子に切り換える際に、切換え前と後との端子のレベルが違くと、I/O リロケーション切換えが、当該端子をトリガとするペリフェラルへのトリガ入力になることがありますので、注意してください。

24.5.5 ノイズフィルタ

外部端子を次の機能の入力で使用する場合、ノイズフィルタを通した値が入力レベルになります。

- ポート機能
- 外部割込み要求
- フリーランタイム
- リロードタイマ
- PPG
- AD コンバータのトリガ入力
- ベースタイマ
- アップダウンカウンタ
- デッドタイマ割込み要求

(注意事項) ノイズフィルタの特性についてはデータシートをご参照ください。

24.5.6 外部バス同期モードでのバスタイムアウト待ち期間

外部バス同期モードの際、外部バスインタフェース機能のある端子はリセット要因が発生したにもかかわらず、バスタイムアウト待ちのために端子状態を初期化しない場合があります。詳細は「付録 D. CPU 状態における端子状態 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)」を参照してください。

24.5.7 GPORTEN による入力遮断

ポートがソフトウェアにより設定される前に貫通電流の変動を避けるために、パワーオンリセット時に大部分の端子は入力遮断になります。入力遮断になる端子については、「付録 E. CPU 状態における端子状態 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)」または「付録 D. CPU 状態における端子状態 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC)」を参照してください。入力遮断解除方法については「24.4.9 ポート入力許可レジスタ : PORTEN(PORT ENable register)」を参照してください。

24.5.8 AD コンバータ機能のある端子の注意事項

AD コンバータ機能のある端子で AD コンバータ以外の機能を利用する場合は、AD コンバータのアナログ入力許可レジスタ (ADER) の該当ビットを「ポート入力 / 出力モード」に設定して置いてください。設定方法は「第 46 章 12 ビット A/D コンバータ」を参照してください。アナログ入力モードの場合、ポート機能レジスタ (PFR) や拡張ポート機能レジスタ (EPFR) の設定にかかわらず、ポートおよび周辺機能からの入力は "0" に、出力は Hi-Z に固定されます。



(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAERはキーコード対象レジスタです。書込みにはキーコード設定が必要です。

24.5.9 DA コンバータ機能のある端子の注意事項

DA コンバータ機能のある端子で DA コンバータ以外の機能を利用する場合は、DA コンバータのアナログ出力許可レジスタ (DAER) の該当ビットを「ポート入力 / 出力モード」に設定して置いてください。設定方法は「第 49 章 D/A コンバータ」を参照してください。アナログ出力許可の場合、ポート機能レジスタ (PFR) や拡張ポート機能レジスタ (EPFR) の設定にかかわらず、ポートおよび周辺機能からの入力は "0" に、出力は Hi-Z に固定されます。

(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAER はキーコード対象レジスタです。書込みにはキーコード設定が必要です。

24.5.10 ベースタイマ TIOA1 端子使用時の設定

ベースタイマ TIOA1 端子を使用する場合、ベースタイマ入出力モード 1 の場合は入力、ベースタイマ入出力モード 1 以外の場合は出力に設定する必要があります。ベースタイマ TIOA1 端子を使用する場合で、ベースタイマ入出力モード 1 の場合は端子をペリフェラル入力 (「 ペリフェラル入力の割り当て」参照)、ベースタイマ入出力モード 1 以外の場合は端子をペリフェラル出力 (「 ペリフェラル出力の割り当て」参照) に設定してください。

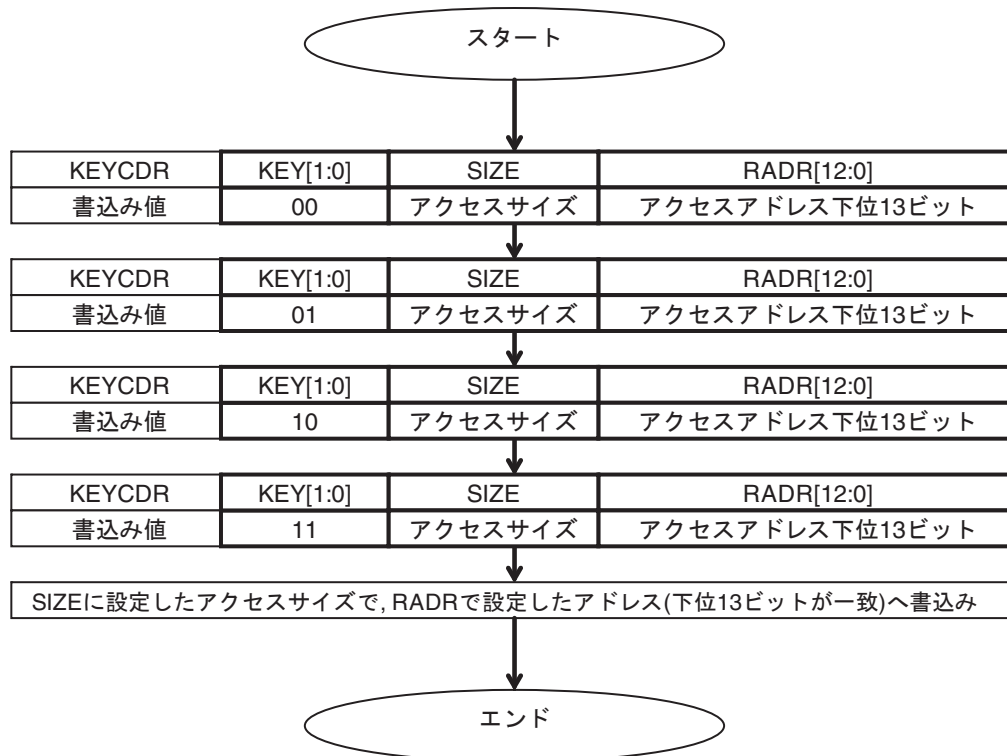
(注意事項) DDR, PFR, EPFR, PPER, PILR, PODR, ADER, DAER はキーコード対象レジスタです。書込みにはキーコード設定が必要です。

24.5.11 キーコードレジスタ機能の設定

キーコード対象レジスタへの書込みには、キーコードレジスタ (KEYCDR) に以下の設定が必要です。

- KEY1+KEY0+ アクセスサイズ (SIZE)+ アクセスアドレス (RADR[12:0]) をキーコードレジスタにハーフワードにて設定する。
- (KEY1, KEY0) を (0,0),(0,1),(1,0),(1,1) の順で連続的に書き込む。(KEY1, KEY0) に 4 回書くときのアドレスとアクセスサイズは 4 回とも同じ値を設定する。

以下にフローチャートを示します。



以下の条件の場合、キーコードが解除されず対象のレジスタへの書込みは行われません。この場合、再度最初からキーコードレジスタの設定を行ってください。

- (KEY1, KEY0) を書く順番が異なる場合
- SIZE ビットへ書くデータが途中で変更した場合
- RADR ビットへ書くデータが途中で変更した場合
- SIZE ビットへ書いたアクセスサイズと、実際に対象のレジスタへアクセスする際のサイズが異なる場合
- RADR ビットへ書いたアドレス (下位 13 ビット) と、実際に対象のレジスタへアクセスする際のアドレス (下位 13 ビット) が異なる場合
- キーコードレジスタへの書込み途中で、キーコードレジスタやポート関連レジスタを読み出した場合

(注意事項) DMA 転送によりキーコード設定がキャンセルされる恐れがあります。対象レジスタへ書き込んだ値を読み出して、値が更新されているかを確認してください。
オンチップデバッガ (OCD) によるデバッグ中、キーコード設定の途中でブレーク機能を実行した場合、キーコード設定がキャンセルされます

第 25 章 クロックモニタ

25.1 概要

クロックモニタは、内部のクロック信号を外部の端子に出力するマクロです。クロックモニタには端子に出力する前にクロック信号を分周する機能があり、外部回路が MCU 機能と同期する際にクロック信号を使用できます。

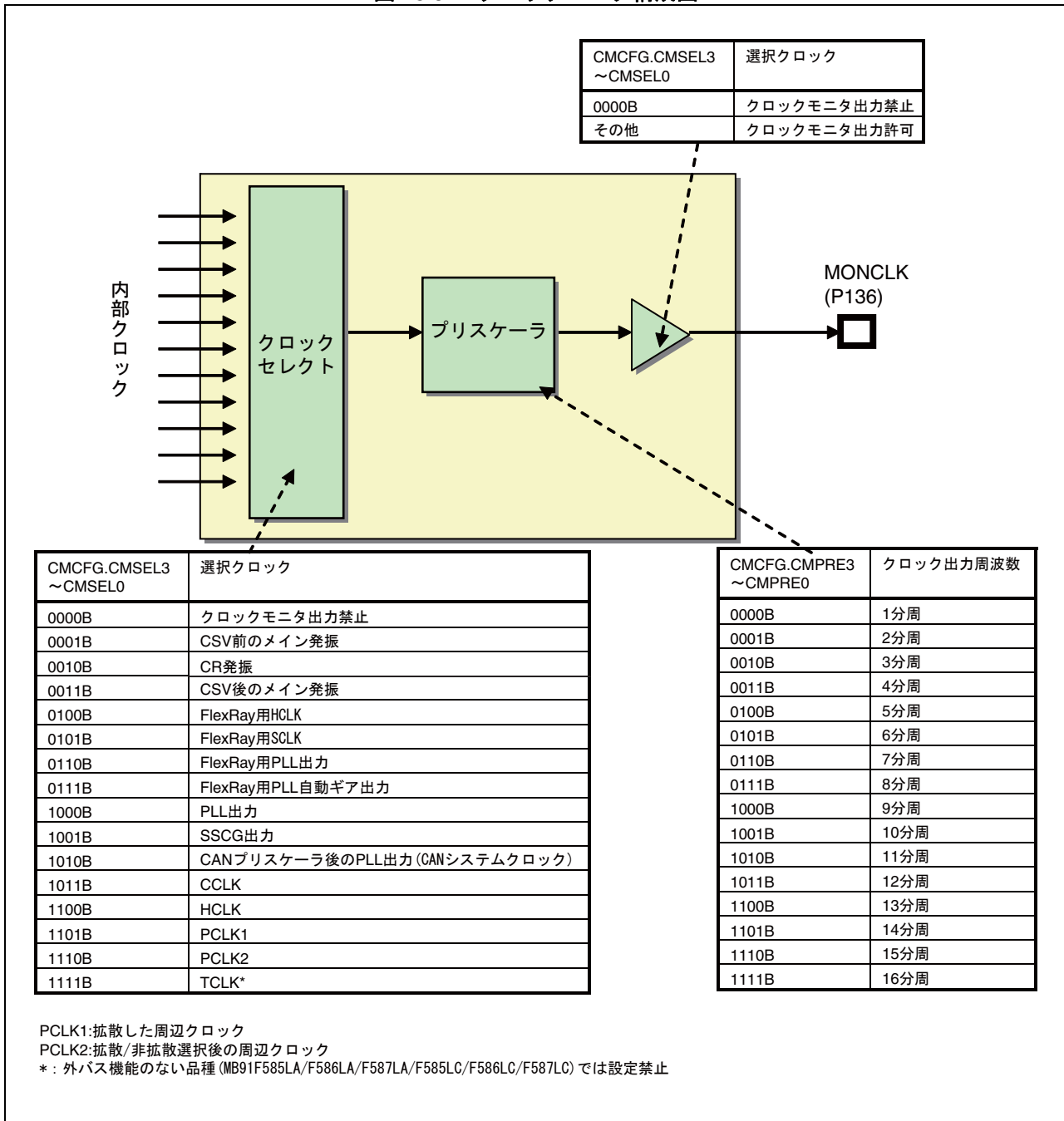
25.2 特長

- フォーマット : 内部クロック信号を分周して端子に出力 (MONCLK)
- チャンネル : 1
- 分周比 : CLK/1, CLK/2, CLK/3 ～ CLK/16
- グリッチのない出力を可能とする
- プログラム可能なマークレベル (クロック出力を許可する前に "L" または "H" を出力)
- 割込み : なし
- ストップモード時はクロック出力を停止し、ハイインピーダンス状態になる

管理コード : FJ43-1v0-91580L-1-J

25.3 構成

図 25.3-1 クロックモニタ構成図



25.4 レジスタ

表 25.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0004E0	予約	予約	CSCFG	CMCFG	クロックモニタ制御レジスタ

25.4.1 クロックモニタ制御レジスタ

- CMCFG: アドレス 0004E3_H (アクセス: バイト, ハーフワード, ワード)

bit 7	6	5	4	3	2	1	0	
CMPRE3	CMPRE2	CMPRE1	CMPRE0	CMSEL3	CMSEL2	CMSEL1	CMSEL0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

属性については「ビット属性シンボルの意味」を参照してください。

このレジスタを書き換える際には制限事項があります。「25.8 注意事項」を参照してください。

[bit7 ~ bit4] CMPRE3 ~ CMPRE0 (出力周波数プリスケアラビット)

CMPRE3	CMPRE2	CMPRE1	CMPRE0	MONCLK 端子へのクロック周波数出力
0	0	0	0	1 分周のソースクロック (CMSEL による選択) (初期値)
0	0	0	1	2 分周のソースクロック (CMSEL による選択)
0	0	1	0	3 分周のソースクロック (CMSEL による選択)
0	0	1	1	4 分周のソースクロック (CMSEL による選択)
0	1	0	0	5 分周のソースクロック (CMSEL による選択)
0	1	0	1	6 分周のソースクロック (CMSEL による選択)
0	1	1	0	7 分周のソースクロック (CMSEL による選択)
0	1	1	1	8 分周のソースクロック (CMSEL による選択)
1	0	0	0	9 分周のソースクロック (CMSEL による選択)
1	0	0	1	10 分周のソースクロック (CMSEL による選択)
1	0	1	0	11 分周のソースクロック (CMSEL による選択)
1	0	1	1	12 分周のソースクロック (CMSEL による選択)
1	1	0	0	13 分周のソースクロック (CMSEL による選択)
1	1	0	1	14 分周のソースクロック (CMSEL による選択)
1	1	1	0	15 分周のソースクロック (CMSEL による選択)
1	1	1	1	16 分周のソースクロック (CMSEL による選択)

クロックモニタ端子に対するクロック信号の出力周波数を指定します。

[bit3 ～ bit0] CMSEL3 ～ CMSEL0 (出力ソースクロック選択ビット)

CMSEL3	CMSEL2	CMSEL1	CMSEL0	MONCLK 端子へのクロックソース出力
0	0	0	0	MONCLK 出力禁止 (ハイインピーダンス) (初期値)
0	0	0	1	CSV 前のメイン発振
0	0	1	0	CR 発振
0	0	1	1	CSV 後のメイン発振
0	1	0	0	FlexRay 用 HCLK
0	1	0	1	FlexRay 用 SCLK
0	1	1	0	FlexRay 用 PLL 出力
0	1	1	1	FlexRay 用 PLL 自動ギア出力
1	0	0	0	PLL 出力
1	0	0	1	SSCG 出力
1	0	1	0	CAN プリスケアラ後の PLL 出力 (CAN システムクロック)
1	0	1	1	CCLK
1	1	0	0	HCLK
1	1	0	1	PCLK1(拡散した周辺クロック)
1	1	1	0	PCLK2(拡散 / 非拡散選択後の周辺クロック)
1	1	1	1	TCLK*

* : 外バス機能のない品種 (MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC) では設定禁止

● CSCFG: アドレス 0004E2_H (アクセス: バイト, ハーフワード, ワード)

bit 7	6	5	4	3	2	1	0	
予約	予約	予約	MONCKI	予約				
0	0	0	0	0	0	0	0	初期値
R/W0	R,WX	R,WX	R/W	R/W0	R/W0	R/W0	R/W0	属性

属性については「ビット属性シンボルの意味」を参照してください。

このレジスタを書き換える際には制限事項があります。「25.8 注意事項」を参照してください。

[bit7] 予約

予約ビットです。書込み時は常に "0" にしてください。

[bit6] 予約

予約ビットです。書込み時は常に "0" にしてください。

[bit5] 予約

予約ビットです。書込み時は常に "0" にしてください。

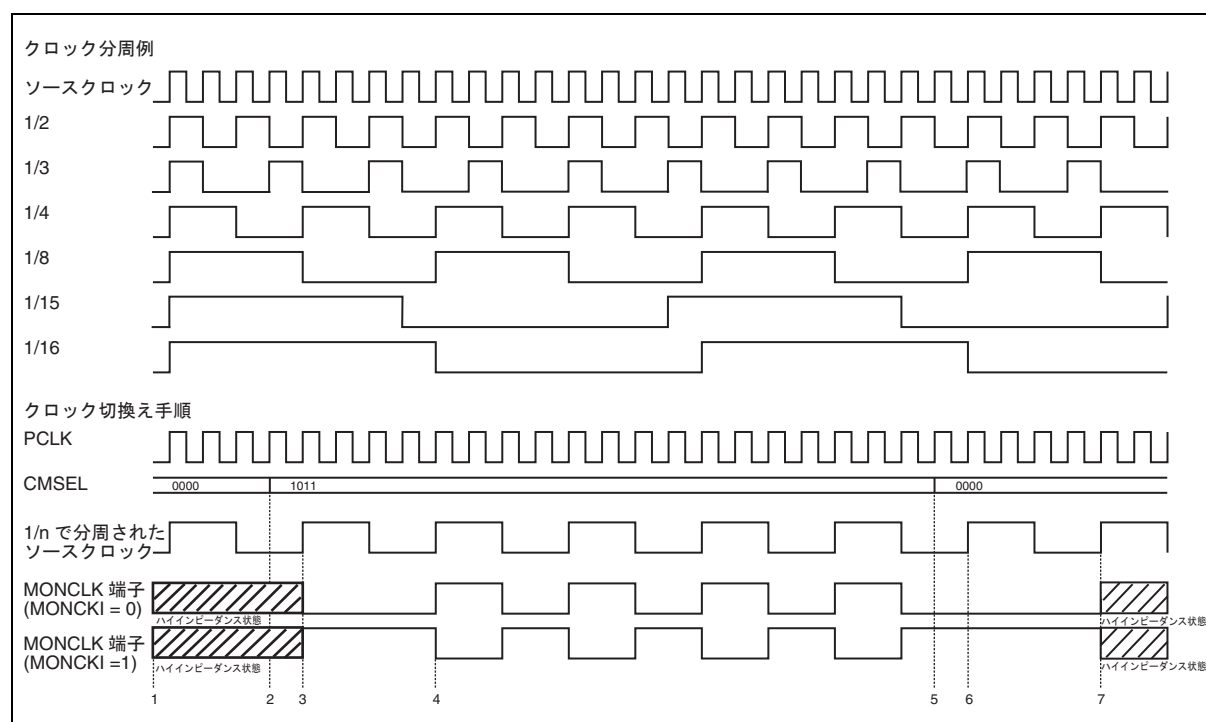
[bit4] MONCKI (クロックモニタ MONCLK インバータ)

MONCKI	機能
0	MONCLK マークレベルが低レベル (初期値)
1	MONCLK マークレベルが高レベル

[bit3 ～ bit0] 予約

予約ビットです。書込み時は常に "0" にしてください。

25.5 動作説明



1. MONCLK 端子がハイインピーダンス状態です。
2. CMSEL が 0000_B (選択クロックなし) から選択クロック (プリスケアラ) に設定されます。
3. MONCLK 端子は、内部 (プリスケールされた) クロックの 1 周期の間、出力 "L" ステータス (MONCKI が "1" に設定されている場合は出力 "H") に変わります。
4. 選択 (プリスケアラ) 内部クロックの 1 周期後、MONCLK はその選択 (プリスケアラ) 内部クロックを出力します。
5. CMSEL が選択クロックから 0000_B (選択クロックなし) に設定されます。
6. MONCLK 端子は、内部 (プリスケールされた) クロックの 1 周期の間、出力 "L" ステータス (MONCKI が "1" に設定されている場合は出力 "H") に変わります。
7. MONCLK 端子がハイインピーダンス状態に切り換わります。

25.6 設定

設定	設定レジスタ	設定手順
プリスケアラ値を設定	クロックモニタプリスケアラ (CMCFG:CMPRE3 ～ CMPRE0)	25.7.2 項
ソースクロックの設定	クロックモニタ選択 (CMCFG:CMSEL3 ～ CMSEL0)	25.7.1 項
マークレベルの設定	クロックモニタインバータ (CSCFG:MONCKI)	25.7.4 項
クロックモニタ出力の許可	クロックモニタ選択 (CMCFG:CMSEL3 ～ CMSEL0)	25.7.3 項

25.7 Q & A

25.7.1 出力端子 (MONCLK) を設定するには？

クロックモニタ選択ビットを使用します (CMCFG:CMSEL[3:0])。

25.7.2 出力周波数を選択するには？

出力周波数選択ビットを使用します (CMCFG:CMPRE[3:0])。

クロック分周比	出力周波数 (例) HCLK 選択時		周波数プリスケアラ (CMCFG:CMPRE3 ~ CMCFG0)
	HCLK=32MHz	HCLK=40MHz	
1/2	16.0MHz	20.0MHz	0001 _B に設定
1/3	10.7MHz	13.3MHz	0010 _B に設定
1/4	8.0MHz	10.0MHz	0011 _B に設定
1/8	4.0MHz	5.0MHz	0111 _B に設定
1/15	2.1MHz	2.7MHz	1110 _B に設定
1/16	2.0MHz	2.5MHz	1111 _B に設定

25.7.3 クロックモニタ出力を許可または禁止するには？

出力許可ビットを使用します (CMCFG:CMSEL[3:0])。

動作説明	出力許可ビット (CMCFG:CMSEL3 ~ CMSEL0)
クロックモニタ出力の禁止 (端子をハイインピーダンス状態に設定)	0000 _B に設定
クロックモニタ出力の許可	0001 _B ~ 1111 _B に設定

25.7.4 クロック出力のマークレベルを設定するには？

クロックモニタ MONCLK インバータビットを使用します (CSCFG:MONCKI)。

25.8 注意事項

グリッチフリースイッチングのために、クロックソース (CMSEL3 ～ CMSEL0) またはプリスケアラ比 (CMPRE3 ～ CMPRE0) を変えるとき、以下の手順に従って操作してください。

- CMPRE3 ～ CMPRE0 レジスタは、CMSEL3 ～ CMSEL0 レジスタが "0_H" のときのみ書込み可能です。
- CMPRE3 ～ CMPRE0 レジスタは、同じライトアクセス時に CMSEL3 ～ CMSEL0 レジスタに "0_H" が書き込まれたときのみ書込み可能です。
- CMPRE と CMCFG への 2 回のライトアクセス中に少なくともモニタクロック分周の 2 サイクル分が必要です。
- クロックソースとして何か選択されている状態 (CMSEL が "0_H" 以外) から、別の有効なクロックを選択する場合は、一度 CMSEL を "0_H" に書き換え、CMSEL を読み返して "0_H" になっていることを確認してから、CMSEL に目的のクロックの設定値を書き込んでください。
- モニタクロックとして選択したクロックがモニタ中に停止した場合は、再度その選択したクロックが動き始めるか、リセットされるまでは、どのレジスタを書き換えても反映されません。

(アクセス例)

1. アクセス

CMCFG_CMSEL = 0

CMCFG_CMPRE = プリスケアラ

2. アクセス

CMCFG_CMSEL = クロック

CSCFG.MONCKI フラグも上記と同様に、CMSEL3 ～ CMSEL0 が "0_H" のときのみ書込み可能です。

第 26 章 WDT1 補正 (キャリブレーション)

26.1 概要

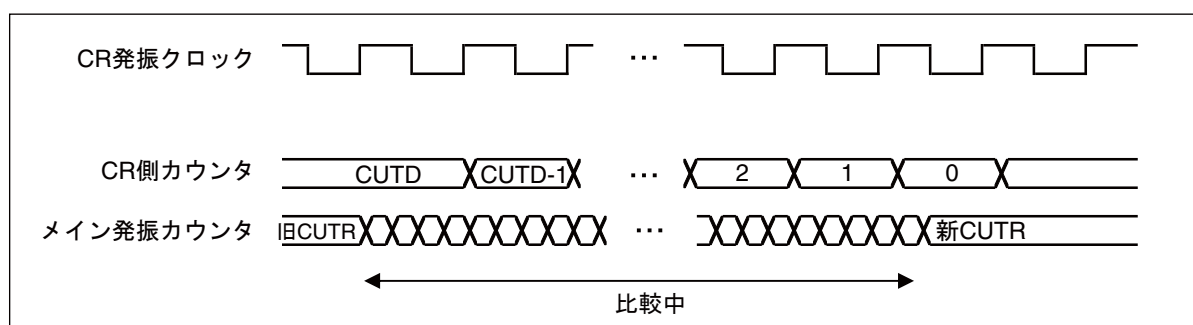
本モジュールを使用して、WDT1 用搭載 CR 発振回路の周波数の補正のための値を計算します。

26.2 特長

- WDT1(CR クロック) 補正

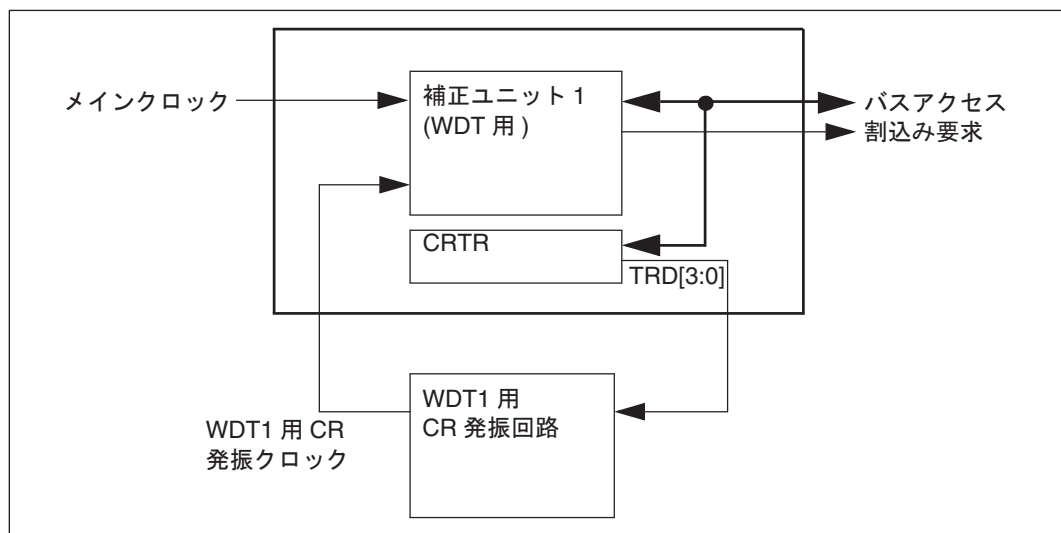
- メインクロック駆動カウンタと CR クロック駆動カウンタを同時動作させ (図 26.2-1), それによって CR クロック周波数をメインクロックの周波数から計算して、CR クロックトリミング値を設定します。

図 26.2-1 各クロック駆動カウンタ比較



26.3 構成

図 26.3-1 WDT1 補正のブロックダイアグラム



管理コード : BJ42RC-0v1-91580L-1-J

26.4 レジスタ

表 26.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x04C4	CUCR1		CUTD1		補正ユニット制御レジスタ 1 CR 発振タイマデータレジスタ
0x04C8	CUTR1				メイン発振タイマデータレジスタ 1
0x0570	CRTR	予約	予約	予約	CR 発振トリミング設定レジスタ

26.4.1 補正ユニット制御レジスタ 1 : CUCR1: (Calibration Unit Control Register 1)

WDT 用補正ユニットの補正開始, 割込みの設定をします。

- CUCR1: アドレス 04C4_H (アクセス : バイト , ハーフワード , ワード)

15	14	13	12	11	10	9	8	bit
-								
1	1	1	1	1	1	1	1	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	属性
7	6	5	4	3	2	1	0	bit
-	-	STRT	-	-	INT	INTEN		
0	0	0	0	0	0	0	0	初期値
R/W0	R0,WX	R0,WX	R,W	R0,WX	R0,WX	R,W0	R/W	属性

[bit15 ~ bit8] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit7] 予約

必ず "0" を書き込んでください。

[bit6,bit5] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit4] STRT (calibration STaRT) : 補正開始

メインクロック , CR クロック 駆動カウンタを開始させます。比較が完了すると , INT ビットがセットされます。"0" をセットすると , 比較を中止します。比較中に "1" 書込みを行っても影響はありません。

STRT	機能
"0" 書込み	比較を中止します
"1" 書込み	比較を開始します

比較が完了すると , 本ビットは "0" にクリアされます。

[bit3,bit2] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit1] INT (calibration INTerrupt) : 割込み

比較が完了すると , INT ビットが "1" に設定されます。INTEN ビットがセットされている場合は , 割込みが発生します。本ビットは "0" 書込みでクリアされます。

[bit0] INTEN (calibration INTerrupt ENable) : 割込み許可

INT ビットがセットされた際の, 割込みの有無を設定します。

INTEN	割込み
0	無効
1	有効

26.4.2 CR クロックタイマデータレジスタ :

CUTD1 (Calibration Unit Timer Data register 1)

CR クロック駆動カウンタ駆動期間を設定します。

- **CUTD1: アドレス 04C6_H (アクセス: バイト, ハーフワード, ワード)**

15	14	13	12	11	10	9	8	bit
TDD[15:8]								
1	1	0	0	0	0	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
TDD[7:0]								
0	1	0	1	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ~ bit0] TDD15 ~ TDD0 (Timer Data Data field) : タイマデータ

比較期間を CR クロック数で設定します。

26.4.3 メイン発振タイマデータレジスタ 1 :

CUTR1: (Calibration Unit Timer Result register 1)

CUTD1 で設定された期間内の, メインクロック駆動カウンタ数を表示します。

- **CUTR1: アドレス 04C8_H (アクセス: バイト, ハーフワード, ワード)**

31	30	29	28	27	26	25	24	bit
-								
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性
23	22	21	20	19	18	17	16	bit
TDR[23:16]								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
15	14	13	12	11	10	9	8	bit
TDR[15:8]								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
TDR[7:0]								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性



[bit31 ~ bit24] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit23 ~ bit0] TDR23 ~ TDR0 (Timer Data Register) : タイマデータ

比較期間内でカウントされたカウント数を表示します。比較完了後に読み出してください。比較中の読出し値は不定です。書込みは無効です。

26.4.4 CR 発振トリミング設定レジスタ :

CRTR: (CR oscillator calibration Trimming Register)

CR 発振回路のトリミング値を設定します。

- CRTR: アドレス 0570_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
TRD[7:0]								
0	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit0] TRD (TRimming Data) トリミング値

TRD7	TRD6	TRD5	TRD4	TRD3	TRD2	TRD1	TRD0	トリミング値 *	n 値
0	0	0	0	0	0	0	0	-48.01%	0
0	0	0	0	0	0	0	1	-47.61%	1
0	0	0	0	0	0	1	0	-47.23%	2
•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•
0	1	1	1	1	1	1	1	0% [初期値]	127
•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•
1	1	1	1	1	1	0	1	+45.62%	253
1	1	1	1	1	1	1	0	+45.98%	254
1	1	1	1	1	1	1	1	+46.37%	255

*: 温度などの条件で変化するので, 5.2 で説明する手順を踏む必要があります。

26.5 動作説明

■ WDT1 補正 (CR クロック補正)

トリミング値の算出は以下のように行ってください。

- (1) TDR[7:0] を 00000000 に設定し、補正ユニットを動作させて、CUTR の値を得ます。この CUTR 値から計算した CR 発振周波数を Fmin とします。
- (2) TDR[7:0] を 11111111 に設定し、補正ユニットを動作させて、CUTR の値を得ます。この CUTR 値から計算した CR 発振周波数を Fmax とします。
- (3) 次式の n に 0 から 255 を代入し、Fer が最小になるポイントの n がトリミング値です。
$$Fstep = (Fmax - Fmin) \div 255$$
$$Fer = |(100kHz) - (Fmin + Fstep \times n)|$$

■ 注意事項

スタンバイモード移行などの要因が入った場合のカウンタ値は無効になります。STRT ビットに "0" 書込みを行い停止させてから、もう一度 "1" を書き込み、やりなおしてください。



第 27 章 DMA コントローラ (DMAC)

27.1 概要

DMAC は, DMA (Direct Memory Access) 転送を行うモジュールです。本モジュール制御による DMA 転送により, CPU を介さずに各種データ転送を高速に行うことが可能となり, システムのパフォーマンスを増加させます。

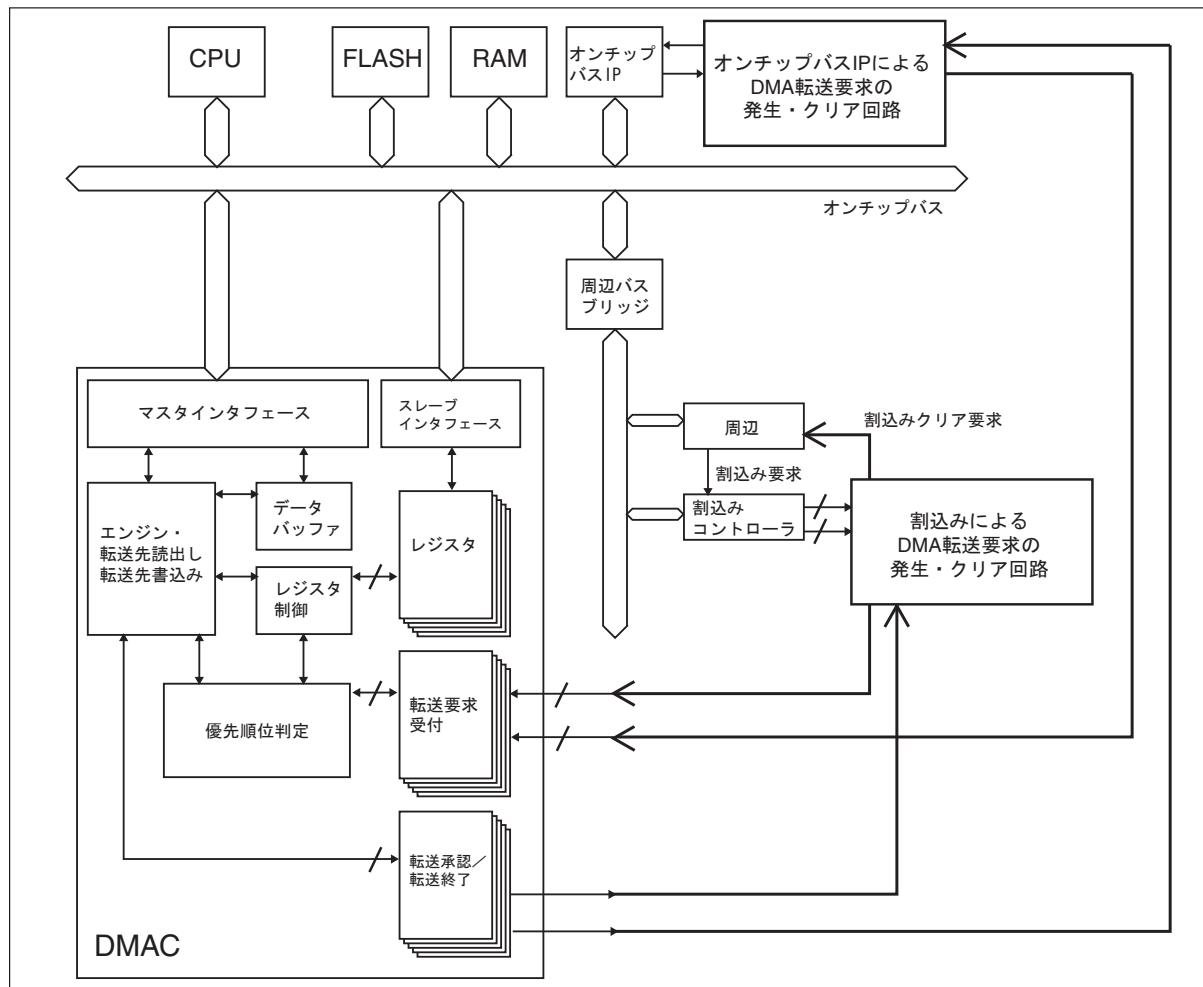
27.2 特長

- ・ チャンネル数 : 8 チャンネル
- ・ アドレス空間 : 32 ビットのアドレス空間 (4GB)
- ・ 転送モード : ブロック転送／バースト転送
- ・ アドレス更新 : 増加／減少／固定 (増減値は 1, 2, 4 固定)
- ・ 転送サイズ : 8 ビット, 16 ビット, 32 ビット
- ・ ブロックサイズ : 1 ～ 16
- ・ 転送回数 : 1 ～ 65535 回
- ・ 転送要求 : ソフトウェア転送要求,
ペリフェラルの割込みによる転送要求 (ペリフェラルの割込みによる転送要求の場合, チャンネルごとに割込みの選択が必要になります。「第 28 章 DMA 転送要求の発生・クリア」をご参照ください。),
オンチップバス IP による転送要求 (各オンチップバス IP に対応する DMAC のチャンネル番号は選択することができません。「27.5.2 オンチップバス IP と DMAC チャンネルの対応表」をご参照ください。)
- ・ 転送停止要求 : 割込みによる転送停止要求
- ・ リロード機能 : 全チャンネルリロード指定可
 - 転送元アドレスリロード
 - 転送先アドレスリロード
 - 転送回数リロード
- ・ 優先順位 : 固定 (ch.0 > ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7), もしくはラウンドロビン
- ・ 割込み要求 : 正常終了割込み要求, 異常終了割込み要求, 転送停止要求による転送中断割込み要求を発生可能

管理コード : FR81S09_DMA-1v0-91580L-1-J

27.3 構成

図 27.3-1 DMA コントローラのブロックダイアグラム



27.4 レジスタ

表 27.4-1 ベースアドレス (Base_addr)

チャンネル番号	Base_addr	備考
0	0x0C00	DMA ch.0 コントロールレジスタ
1	0x0C10	DMA ch.1 コントロールレジスタ
2	0x0C20	DMA ch.2 コントロールレジスタ
3	0x0C30	DMA ch.3 コントロールレジスタ
4	0x0C40	DMA ch.4 コントロールレジスタ
5	0x0C50	DMA ch.5 コントロールレジスタ
6	0x0C60	DMA ch.6 コントロールレジスタ
7	0x0C70	DMA ch.7 コントロールレジスタ

表 27.4-2 レジスタマップ (1 / 2)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0C00	DCCR0				DMA チャンネルコントロールレジスタ 0
0x0C04	DCSR0		DTCR0		DMA チャンネルステータスレジスタ 0 DMA 転送回数レジスタ 0
0x0C08	DSAR0				DMA 転送元アドレスレジスタ 0
0x0C0C	DDAR0				DMA 転送先アドレスレジスタ 0
0x0C10	DCCR1				DMA チャンネルコントロールレジスタ 1
0x0C14	DCSR1		DTCR1		DMA チャンネルステータスレジスタ 1 DMA 転送回数レジスタ 1
0x0C18	DSAR1				DMA 転送元アドレスレジスタ 1
0x0C1C	DDAR1				DMA 転送先アドレスレジスタ 1
0x0C20	DCCR2				DMA チャンネルコントロールレジスタ 2
0x0C24	DCSR2		DTCR2		DMA チャンネルステータスレジスタ 2 DMA 転送回数レジスタ 2
0x0C28	DSAR2				DMA 転送元アドレスレジスタ 2
0x0C2C	DDAR2				DMA 転送先アドレスレジスタ 2
0x0C30	DCCR3				DMA チャンネルコントロールレジスタ 3
0x0C34	DCSR3		DTCR3		DMA チャンネルステータスレジスタ 3 DMA 転送回数レジスタ 3
0x0C38	DSAR3				DMA 転送元アドレスレジスタ 3
0x0C3C	DDAR3				DMA 転送先アドレスレジスタ 3
0x0C40	DCCR4				DMA チャンネルコントロールレジスタ 4
0x0C44	DCSR4		DTCR4		DMA チャンネルステータスレジスタ 4 DMA 転送回数レジスタ 4
0x0C48	DSAR4				DMA 転送元アドレスレジスタ 4

表 27.4-2 レジスタマップ (2 / 2)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0C4C	DDAR4				DMA 転送先アドレスレジスタ 4
0x0C50	DCCR5				DMA チャンネルコントロールレジスタ 5
0x0C54	DCSR5		DTCR5		DMA チャンネルステータスレジスタ 5 DMA 転送回数レジスタ 5
0x0C58	DSAR5				DMA 転送元アドレスレジスタ 5
0x0C5C	DDAR5				DMA 転送先アドレスレジスタ 5
0x0C60	DCCR6				DMA チャンネルコントロールレジスタ 6
0x0C64	DCSR6		DTCR6		DMA チャンネルステータスレジスタ 6 DMA 転送回数レジスタ 6
0x0C68	DSAR6				DMA 転送元アドレスレジスタ 6
0x0C6C	DDAR6				DMA 転送先アドレスレジスタ 6
0x0C70	DCCR7				DMA チャンネルコントロールレジスタ 7
0x0C74	DCSR7		DTCR7		DMA チャンネルステータスレジスタ 7 DMA 転送回数レジスタ 7
0x0C78	DSAR7				DMA 転送元アドレスレジスタ 7
0x0C7C	DDAR7				DMA 転送先アドレスレジスタ 7
0x0DF4	予約	予約	DNMIR	DILVR	DMA 転送抑止 NMI フラグレジスタ DMA 転送抑止割込みレベルレジスタ
0x0DF8	DMACR				DMA コントロールレジスタ

27.4.1 DMA コントロールレジスタ : DMACR (DMA Control Register)

DMAC 全体 (全チャネル) を制御するための 32 ビットレジスタです。本レジスタには 32 ビットでアクセスしてください。

• DMACR: アドレス 0DF8_H (アクセス: ワード)

31	30	29	28	27	26	25	24	bit
DME	-							
0	0	0	0	0	0	0	0	初期値
R/W	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性
23	22	21	20	19	18	17	16	bit
-								
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性
15	14	13	12	11	10	9	8	bit
AT	-							
0	0	0	0	0	0	0	0	初期値
R/W	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性
7	6	5	4	3	2	1	0	bit
-								
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性

[bit31] DME (DMA Enable) DMA : 動作許可

DMAC 全体の動作を制御します。本ビットが "0" の場合は各チャネルが動作許可状態であっても DMA 転送は行いません。本ビットが "1" の場合に各チャネルの設定に従った動作を行います。DMA 転送中に "0" が書かれた場合は DCCR_x.BLK で指定したブロック単位で転送を停止します。

DME	DMA 動作許可
0	DMA 動作禁止 (初期値)
1	DMA 動作許可

[bit30 ~ bit16] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit15] AT (Arbitration Type) : 優先順位設定

各チャネルの優先順位を決める方法を設定します。優先順位を固定 (AT = 0) に設定した場合は, ch.0 > ch.1 > ch.2 > ch.3 となります。優先順位をラウンドロビン (AT = 1) に設定した場合は, 転送を開始したチャネルの優先順位が一番低くなり, それより下位にあったチャネルの優先順位が 1 つずつ上がります。優先順位の判定は, 優先順位設定にかかわらず DCCR_x.BLK で指定したブロック単位の転送ごとに行います。

AT	優先順位設定
0	固定 (初期値)
1	ラウンドロビン

[bit14 ～ bit0] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

27.4.2 DMA チャンネルコントロールレジスタ 0 ～ 7 :

DCCR0 ～ DCCR7 (DMA Channel Control Register 0 ～ 7)

DMAC 各チャンネルの動作制御を行う 32 ビットレジスタで、各チャンネル独立して存在します。本レジスタには 32 ビットでアクセスしてください。

• DCCR0 ～ DCCR7: アドレス BASE + 0000_H (アクセス: ワード)

31	30	29	28	27	26	25	24	bit
CE	-				AIE	SIE	NIE	
0	0	0	0	0	0	0	0	初期値
R/W	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性
23	22	21	20	19	18	17	16	bit
-		RS[1:0]		-		TM[1:0]		
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R/W	R/W	R0,WX	R0,WX	R/W	R/W	属性
15	14	13	12	11	10	9	8	bit
ST	SAR	SAC[1:0]		DT	DAR	DAC[1:0]		
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
TCR	-	TS[1:0]		BLK[3:0]				
0	0	0	0	0	0	0	0	初期値
R/W	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit31] CE (Channel Enable) : チャンネル動作許可

チャンネルの動作を制御します。要求元をソフトウェアに設定している場合はこのビットに "1" を書き込むと設定した内容に従い DMA 転送が開始します。この場合、転送要求に応じた転送を終了すると CE ビットは自動でクリアされます。要求元がソフトウェア以外の場合は "1" を書き込むとチャンネル動作許可になります。チャンネル動作許可後、対応する転送要求を検出すると DMA 転送が開始します。ソフトウェア以外の要求で転送回数リロード (DCCR_x.TCR) が指定されている場合、CE ビットは自動でクリアされません。転送回数リロードを禁止している場合は、すべての転送が終了すると CE ビットがクリアされます。要求元によらず動作中に "0" が書かれた場合は DCCR_x.BLK で指定したブロック単位で転送を停止します。再び "1" を書き込み、新たに転送要求を検出すると動作を再開します。

CE	チャンネル動作許可
0	禁止 (初期値)
1	許可

[bit30 ～ bit27] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit26] AIE (Abnormal Completion Interrupt Enable) : 異常終了割込み許可

DMA チャネルコントロールレジスタ (DCCR_x) に設定禁止の値を設定した場合の割込み発生を制御します。レジスタ設定禁止項目は以下のとおりです。

- 転送モード : DCCR_x.TM = 10
- 転送元アドレスカウンタ : DCCR_x.SAC = 10
- 転送先アドレスカウンタ : DCCR_x.DAC = 10
- 転送サイズ : DCCR_x.TS = 11
- ソフトウェア要求によるデマンド転送モード : DCCR_x.RS = 00 かつ DCCR_x.TM = 11

割込み要因はステータスレジスタ (DCSR_x) を確認してください。

AIE	異常終了割込み許可
0	禁止 (初期値)
1	許可

[bit25] SIE (Stop Interrupt Enable) : 転送停止要求による転送中断割込み許可

転送要求元からの転送停止要求により DMA 転送を中断した場合の割込み発生を制御します。割込み要因はステータスレジスタ (DCSR_x) を確認してください。

SIE	転送中断割込み許可
0	禁止 (初期値)
1	許可

[bit24] NIE (Normal Completion Interrupt Enable) : 正常終了割込み許可

DMA 転送を正常に終了した場合の割込み発生を制御します。設定した転送回数 (DTCR_x.DTC) の転送が終了したとき、または転送回数が "0" のときに対応するチャネルの DCCR_x.CE ビットに "1" 書き込みしたときに正常終了となります。割込み要因はステータスレジスタ (DCSR_x) を確認してください。

NIE	正常終了割込み許可
0	禁止 (初期値)
1	許可

[bit23, bit22] 未定義

常に "0" が読み出されます。書き込みは動作に影響ありません。

[bit21, bit20] RS (Request Source) : DMA 転送要求元

チャネルに対する転送要求元を選択します。

ch.2 から ch.7 にはオンチップバス IP を転送要求元とする転送がありませんので、RS[1:0]=2'b11 は設定禁止となります。

RS[1:0]	DMA 転送要求元
00	ソフトウェア (初期値)
01	割込み
10	予約 (設定禁止)
11	オンチップバス IP

[bit19, bit18] 未定義

常に "0" が読み出されます。書き込みは動作に影響ありません。

[bit17, bit16] TM (Transfer Mode) : 転送モード

DMA 転送モードを指定します。

TM[1:0]	転送モード
00	ブロック転送 (初期値)
01	バースト転送
10	予約 (設定禁止)
11	デマンド転送 (設定禁止/本品種ではサポートしていません)

[bit15] ST (Source Type) : 転送元タイプ

DMA 転送要求元 (DCCR.RS[1:0]), 転送元アドレス (DSAR), 転送先アドレス (DDAR) の組み合わせにより設定値が異なります。設定は「■ ST ビット (転送元タイプ), DT ビット (転送先タイプ) の設定」をご参照ください。

ST	転送元タイプ
0	「■ ST ビット (転送元タイプ), DT ビット (転送先タイプ) の設定」をご参照ください
1	

[bit14] SAR (Source Address Reload) : 転送元アドレスリロード

転送元アドレスレジスタのリロードを指定します。リロードを指定している場合, 転送終了後に転送元アドレスレジスタ値を初期設定値に戻します。リロードを禁止している場合, 転送終了後の転送元アドレスレジスタは最終アドレスの次のアクセスアドレスを示します。

SAR	転送元アドレスリロード指定
0	リロード禁止 (初期値)
1	リロード

[bit13, bit12] SAC (Source Address Count) : 転送元アドレスカウント

転送元アドレスの一転送ごとのアドレス更新を指定します。増加/減少を指定した場合の更新値は, 転送サイズ (DCCRx.TS) により 1, 2, 4 のいずれかになります。

SAC[1:0]	転送元アドレスカウント
00	アドレス増加 (初期値)
01	アドレス減少
10	予約 (設定禁止)
11	アドレス固定

[bit11] DT (Destination Type) : 転送先タイプ

DMA 転送要求元 (DCCR.RS[1:0]), 転送元アドレス (DSAR), 転送先アドレス (DDAR) の組み合わせにより設定値が異なります。

DT	転送先タイプ
0	「■ ST ビット (転送元タイプ), DT ビット (転送先タイプ) の設定」をご参照ください
1	

[bit10] DAR (Destination Address Reload) : 転送先アドレスリロード

転送先アドレスレジスタのリロードを指定します。リロードを指定している場合、転送終了後に転送先アドレスレジスタ値を初期設定値に戻します。リロードを禁止している場合、転送終了後の転送先アドレスレジスタは最終アドレスの次のアクセスアドレスを示します。

DAR	転送先アドレスリロード指定
0	リロード禁止 (初期値)
1	リロード

[bit9, bit8] DAC (Destination Address Count) : 転送先アドレスカウンタ

転送先アドレスの一転送ごとのアドレス更新を指定します。増加／減少を指定した場合の更新値は、転送サイズ (DCCR_x.TS) により 1, 2, 4 のいずれかになります。

DAC[1:0]	転送先アドレスカウンタ
00	アドレス増加 (初期値)
01	アドレス減少
10	予約 (設定禁止)
11	アドレス固定

[bit7] TCR (Transfer Count Reload) : 転送回数リロード

転送回数レジスタのリロードを指定します。

リロードを指定している場合、転送終了後に転送回数レジスタ値を初期設定値に戻します。ここで転送要求元をソフトウェア以外に設定している場合は、転送終了時に DCCR_x.CE ビットはクリアされず転送要求待ち状態となります。リロードを禁止している場合、転送終了後の転送回数レジスタは "0" を示します。この場合は、転送要求元によらず転送終了時に DCCR_x.CE ビットはクリアされます。

TCR	転送回数リロード
0	リロード禁止 (初期値)
1	リロード

[bit6] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit5, bit4] TS (Transfer Size) : 転送サイズ

転送サイズを指定します。ここで指定されたビット幅で 1 回の DMA 転送を行います。

TS[1:0]	転送サイズ
00	8 ビット : バイト (初期値)
01	16 ビット : ハーフワード
10	32 ビット : ワード
11	予約 (設定禁止)

DSAR_x, DDAR_x レジスタは本ビットで指定する転送サイズに対してミスアラインドとならない値を設定してください。

[bit3 ～ bit0] BLK[3:0] (Block Size) : ブロックサイズ

ブロックサイズを指定します。1 ブロックは、DCCR_x.TS ビットで指定した転送サイズでブロック数分転送を繰り返します。

BLK[3:0]	ブロックサイズ
0000	1 回 (初期値)
0001	2 回
0010	3 回
0011	4 回
0100	5 回
0101	6 回
0110	7 回
0111	8 回
1000	9 回
1001	10 回
1010	11 回
1011	12 回
1100	13 回
1101	14 回
1110	15 回
1111	16 回

27.4.3 DMA チャネルステータスレジスタ 0 ～ 7 : DCSR0 ～ DCSR7 (DMA Channel Status Register 0 ～ 7)

DMAC 各チャネルの状態を示す 16 ビットレジスタで、各チャネル独立して存在します。本レジスタには 16 ビットでアクセスしてください。

- DCSR0 ～ DCSR7 : アドレス $\text{BASE} + 0004_{\text{H}}$ (アクセス : ハーフワード)

15	14	13	12	11	10	9	8	bit
CA	-							
0	0	0	0	0	0	0	0	初期値
R,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性
7	6	5	4	3	2	1	0	bit
-					AC	SP	NC	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,W	R,W	R,W	属性

[bit15] CA (Channel Active) : チャネルアクティブ

チャネルの動作状態を示します。対応するチャネルの DCCR_x.CE ビットに "1" を書き込むと起動状態となります。設定した転送回数が終了するか DCCR_x.CE ビットに "0" を書き込むと停止状態となります。

本ビットへの書込みは無効です。

CA	チャネル動作状態
0	停止状態 (初期値)
1	チャネル起動中

[bit14 ～ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2] AC (Abnormal Completion) : 異常終了状態

DMA チャネルコントロールレジスタ (DCCR) に設定禁止の値を設定したことを示します。レジスタ設定禁止項目は以下のとおりです。

- 転送モード : DCCR_x.TM = 10
- 転送元アドレスカウンタ : DCCR_x.SAC = 10
- 転送先アドレスカウンタ : DCCR_x.DAC = 10
- 転送サイズ : DCCR_x.TS = 11
- ソフトウェア要求によるデマンド転送モード : DCCR_x.RS = 00 かつ DCCR_x.TM = 11

異常終了割込み (DCCR_x.AIE) を許可していた場合、本ビットへの "0" 書込みにより割込みをクリアします。本ビットへの "1" 書込みは無効です。

本ビットは自動でクリアしませんので、DMA 動作を許可する前に必ずクリアしてください。

AC	異常終了状態
0	異常終了未検出 (初期値)
1	異常終了

[bit1] SP (Stop) : 転送停止要求による転送中断状態

DMA 転送が転送要求元からの転送停止要求により中断したことを示します。転送中断割込み (DCCR_x.SIE) を許可していた場合、本ビットへの "0" 書込みにより割込みをクリアします。本ビットへの "1" 書込みは無効です。

本ビットは自動でクリアしませんので、DMA 動作を許可する前に必ずクリアしてください。

SP	転送中断状態
0	転送中断未検出 (初期値)
1	転送中断

[bit0] NC (Normal Completion) : 正常終了状態

DMA 転送が正常終了したことを示します。設定した転送回数の転送を終了したとき、または転送回数が "0" のときに対応するチャンネルの DCCR_x.CE ビットに "1" 書込みしたときに正常終了となります。正常終了割込み (DCCR_x.NIE) を許可していた場合、本ビットへの "0" 書込みにより割込みをクリアします。本ビットへの "1" 書込みは無効です。

本ビットは自動でクリアしませんので、DMA 動作を許可する前に必ずクリアしてください。

NC	正常終了状態
0	正常終了未検出 (初期値)
1	正常終了

27.4.4 DMA 転送回数レジスタ 0 ～ 7 : DTCR0 ～ DTCR7

(DMA Transfer Count Register 0 ～ 7)

DMAC 各チャンネルの転送回数を示す 16 ビットレジスタで、各チャンネル独立して存在します。本レジスタには 16 ビットでアクセスしてください。

• DTCR0 ～ DTCR7 : アドレス BASE + 0006_H (アクセス : ハーフワード)

15	14	13	12	11	10	9	8	bit
DTC[15:8]								
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
DTC[7:0]								
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ～ bit0] DTC[15:0] (DMA Transfer Count) : DMA 転送回数

転送回数を示すレジスタです。ブロック単位の転送終了ごとにデクリメントし、"0" になると転送終了します。転送回数に "0" を設定した場合は転送を行いません。また、専用のリロードレジスタを持ち、DCCR_x.TCR が "1" の場合、転送終了後に初期設定値に戻ります。

27.4.5 DMA 転送元レジスタ 0 ～ 7 : DSAR0 ～ DSAR7 (DMA Source Address Register 0 ～ 7)

DMAC 各チャネルの転送元アドレスを示す 32 ビットレジスタで、各チャネル独立して存在します。本レジスタには 32 ビットでアクセスしてください。

- DSAR0 ～ DSAR7 : アドレス $BASE + 0008_H$ (アクセス : ワード)

31	30	29	28	27	26	25	24	bit
DSA[31:24]								
X	X	X	X	X	X	X	X	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
23	22	21	20	19	18	17	16	bit
DSA[23:16]								
X	X	X	X	X	X	X	X	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
15	14	13	12	11	10	9	8	bit
DSA[15:8]								
X	X	X	X	X	X	X	X	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
DSA[7:0]								
X	X	X	X	X	X	X	X	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit31 ～ bit0] DSA[31:0] (DMA Source Address) : DMA 転送元アドレス

転送元アドレスを示すレジスタです。DCCR_x.SAC で増加／減少が指定されている場合は、転送サイズ (DCCR_x.TS) に従ってアドレスが更新されます。また、専用のリロードレジスタを持ち、DCCR_x.SAR が "1" の場合、転送終了後に初期設定値に戻ります。

本レジスタへは、DCCR_x.TS で指定する転送サイズに対してミスアラインドにならない値を設定してください。

DMA 転送要求元がペリフェラル割込みの場合 (DCCR.RS[1:0]=01), 転送元アドレス (DSAR) または転送先アドレス (DDAR) かのどちらか最低一方は 16 ビット周辺バスまたは 32 ビット周辺バス配下のペリフェラルのアドレス範囲である必要があります。詳細は「**■ ST ビット (転送元タイプ), DT ビット (転送先タイプ) の設定**」をご参照ください。

27.4.6 DMA 転送先レジスタ 0 ～ 7 : DDAR0 ～ DDAR7 (DMA Destination Address Register 0 ～ 7)

DMAC 各チャネルの転送先アドレスを示す 32 ビットレジスタで、各チャネル独立して存在します。本レジスタには 32 ビットでアクセスしてください。

- DDAR0 ～ DDAR7 : アドレス $BASE + 000C_H$ (アクセス : ワード)

31	30	29	28	27	26	25	24	bit
DDA[31:24]								
X	X	X	X	X	X	X	X	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
23	22	21	20	19	18	17	16	bit
DDA[23:16]								
X	X	X	X	X	X	X	X	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
15	14	13	12	11	10	9	8	bit
DDA[15:8]								
X	X	X	X	X	X	X	X	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
DDA[7:0]								
X	X	X	X	X	X	X	X	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit31 ～ bit0] DDA[31:0] (DMA Destination Address) : DMA 転送先アドレス

転送先アドレスを示すレジスタです。DCCRx.DAC で増加／減少が指定されている場合は、転送サイズ (DCCRx.TS) に従ってアドレスが更新されます。また、専用のリロードレジスタを持ち、DCCRx.DAR が "1" の場合、転送終了後に初期設定値に戻ります。

本レジスタへは、DCCRx.TS で指定する転送サイズに対してミスアラインドにならない値を設定してください。

DMA 転送要求元がペリフェラル割込みの場合 (DCCR.RS[1:0]=01), 転送元アドレス (DSAR) または転送先アドレス (DDAR) かのどちらか最低一方は 16 ビット周辺バスまたは 32 ビット周辺バス配下のペリフェラルのアドレス範囲である必要があります。詳細は「■ ST ビット (転送元タイプ), DT ビット (転送先タイプ) の設定」をご参照ください。

27.4.7 DMA 転送抑止 NMI フラグレジスタ : DNMIIR (DMA-halt by NMI Register)

ユーザ NMI による DMA 転送の抑止を制御するための 8 ビットレジスタです。本レジスタには 8 ビットでアクセスしてください。

- DNMIIR : アドレス 0DF6_H (アクセス : バイト)

7	6	5	4	3	2	1	0	bit
NMIH	-						NMIHD	
0	0	0	0	0	0	0	0	初期値
R,W	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7] NMIH (NMI Halt) : DMA 抑止フラグ (NMI 要因)

NMIHD が "0" のときにユーザ用 NMI 要求が発生したことを示すフラグです。NMI の H レベルを検出して本ビットに "1" をセットします。DMA 転送を再開する場合には、本ビットに "0" を書き込んでください。

本ビットへの "1" 書込みは無効です。

NMIH	DMA 抑止フラグ
0	DMA 転送を抑止していません。(初期値)
1	ユーザ用 NMI により DMA 転送を停止しています。

[bit6 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] NMIHD (NMI Halt Disable) : DMA 抑止制御 (NMI 要因)

ユーザ用 NMI 要求が発生した場合に DMA 転送を停止することを指示する制御ビットです。

本ビットが "0" のときに NMI が発生すると、DMAC は新たな DMA 転送を開始しません。DMA 転送中である場合は、ブロック単位の転送が終了した時点で転送を停止します。

NMIHD	DMA 抑止制御
0	ユーザ用 NMI により DMA を停止します。(初期値)
1	ユーザ用 NMI により DMA を停止しません。

27.4.8 DMA 転送抑止レベルレジスタ : DILVR (DMA-halt by Interrupt Level Register)

周辺割込みによる DMA 転送の抑止を制御するための 8 ビットレジスタです。本レジスタには 8 ビットでアクセスしてください。

- DILVR : アドレス 0DF7_H (アクセス : バイト)

7	6	5	4	3	2	1	0	bit
-			LVL4	LVL[3:0]				
0	0	0	1	1	1	1	1	初期値
R0,WX	R0,WX	R0,WX	R1,WX	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit5] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit4 ~ bit0] LVL (Level) : DMA 抑止割込みレベル

DMA 転送抑止を行う割込みレベルを設定します。本レジスタに設定したレベルより強いレベルの周辺割込みが発生した場合 DMA 転送を抑止します。LVL4 は "1" 固定で、LVL[3:0] が設定可能です。

LVL[4:0]	DMA 抑止制御
11111	すべての周辺割込み要求で DMA 転送を抑止します。(初期値)
11110	レベルが 1eH より強い周辺割込み要求で DMA 転送を抑止します。
11101	レベルが 1dH より強い周辺割込み要求で DMA 転送を抑止します。
11100	レベルが 1cH より強い周辺割込み要求で DMA 転送を抑止します。
11011	レベルが 1bH より強い周辺割込み要求で DMA 転送を抑止します。
11010	レベルが 1aH より強い周辺割込み要求で DMA 転送を抑止します。
11001	レベルが 19H より強い周辺割込み要求で DMA 転送を抑止します。
11000	レベルが 18H より強い周辺割込み要求で DMA 転送を抑止します。
10111	レベルが 17H より強い周辺割込み要求で DMA 転送を抑止します。
10110	レベルが 16H より強い周辺割込み要求で DMA 転送を抑止します。
10101	レベルが 15H より強い周辺割込み要求で DMA 転送を抑止します。
10100	レベルが 14H より強い周辺割込み要求で DMA 転送を抑止します。
10011	レベルが 13H より強い周辺割込み要求で DMA 転送を抑止します。
10010	レベルが 12H より強い周辺割込み要求で DMA 転送を抑止します。
10001	レベルが 11H より強い周辺割込み要求で DMA 転送を抑止します。
10000	周辺割込み要求では DMA 転送を抑止しません。

27.5 動作説明

27.5.1 設定

全チャンネルにおいて共通に設定する項目と、各チャンネルにおいて独立に設定する項目について説明します。

27.5.1.1 全チャンネルにおいて共通に設定する項目

DMAC 全体を制御するレジスタの設定項目を以下に示します。

■ DMA 動作許可

DMACR.DME により、DMAC 全体の動作制御を設定します。

- DMA 動作禁止 (DMACR.DME=0)
- DMA 動作許可 (DMACR.DME=1)

■ チャンネル優先順位

DMACR.AT により、チャンネル間の優先順位の決定方法を設定します。

- 固定 (DMACR.AT=0)
- ラウンドロビン (DMACR.AT=1)

■ 割込み発生時の DMA 転送抑止設定

DNMIR.NMIHD により、ユーザ NMI 発生時の DMA 転送抑止制御を設定します。

- ユーザ NMI により DMA を停止します。(DNMIR.NMIHD=0)
- ユーザ NMI により DMA を停止しません。(DNMIR.NMIHD=1)

また、DILVR.LVL により割込み発生時に DMA 転送より優先して処理したい割込みレベルを設定します。設定可能なレベルは、0x1F から 0x10 までです。

27.5.1.2 各チャンネルにおいて独立に設定する項目

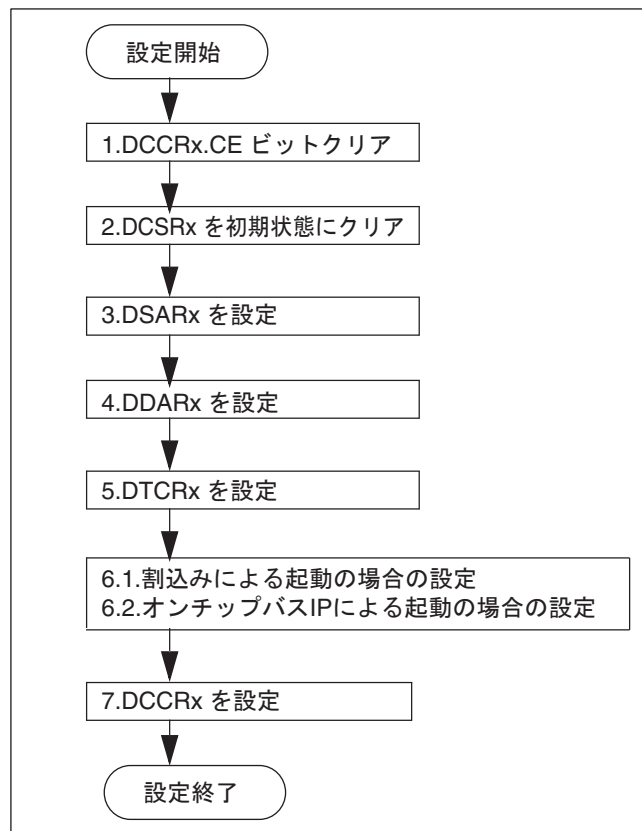
各チャンネル独立に設定する項目とレジスタの設定手順を以下に示します。

■ レジスタ設定手順

チャンネルレジスタの設定手順は以下のとおりです。DCCR_x.CE ビットに "1" 書込みする際は、必ず DTCR_x に "1" 以上を設定してから行ってください。

- 1) DCCR_x.CE ビットをクリアし、チャンネルの動作を禁止する。
- 2) DCSR_x の各ビットをクリアし、チャンネル状態を示すフラグを初期状態にする。
- 3) DSAR_x に転送開始時の転送元アドレス値を設定する。
- 4) DDAR_x に転送開始時の転送先アドレス値を設定する。
- 5) DTCR_x に転送回数を設定する。このとき、必ず "1" 以上を設定してください。
- 6.1) ペリフェラルの割込みによる起動の場合は、各ペリフェラルの割込み発生を許可し、ICSEL、IORR レジスタを設定する。(ICSEL、IORR レジスタについては「第 28 章 DMA 転送要求の発生・クリア」を参照してください。)
- 6.2) オンチップバス IP による起動の場合は、各オンチップバス IP の DMA 転送要求を許可に設定してください。
- 7) DCCR_x を設定する。このとき、DCCR_x.CE ビットのセットによりチャンネルは動作許可となります。

図 27.5-1 チャンネルレジスタ設定手順



■ 転送元アドレス，転送先アドレスの設定

DSARx.DSA により，転送開始時の転送元アドレス値を設定します。

DDARx.DDA により，転送開始時の転送先アドレス値を設定します。

■ 転送回数の設定

DTCRx.DTC により，転送終了までに転送するブロックの転送回数を設定します。転送回数は，1 ～ 65535 回から設定できます。DMAC は転送サイズ，およびブロックサイズ（「■ 転送サイズ，ブロックサイズの設定」参照）で設定したバイト数のデータ（1 ブロックのデータ）を転送回数で設定した回数分転送します。

■ チャンネル動作許可

DCCRx.CE により，チャンネルの動作制御を設定します。

- チャンネル動作禁止 (DCCRx.CE=0)
- チャンネル動作許可 (DCCRx.CE=1)

転送要求元にソフトウェアが選択された場合，DCCRx.CE をセットするとチャンネル動作許可となるとともに転送を開始します。

■ 割込み許可設定

DCCR_x.AIE により、異常終了した場合の割込み許可を設定します。

- 異常終了割込み禁止 (DCCR_x.AIE=0)
- 異常終了割込み許可 (DCCR_x.AIE=1)

DCCR_x.SIE により、転送停止要求によって転送中断した場合の割込み許可を設定します。

- 転送停止要求検出による転送中断割込み禁止 (DCCR_x.SIE=0)
- 転送停止要求検出による転送中断割込み許可 (DCCR_x.SIE=1)

DCCR_x.NIE により、正常終了した場合の割込み許可を設定します。

- 正常終了割込み禁止 (DCCR_x.NIE=0)
- 正常終了割込み許可 (DCCR_x.NIE=1)

■ 転送要求元の設定

DCCR_x.RS により、転送要求を受け付ける転送要求元を設定します。

- ソフトウェアによる要求 (DCCR_x.RS=00)
- 割込みによる要求 (DCCR_x.RS=01)
- オンチップバス周辺による要求 (DCCR_x.RS=11) (* x は 0 または 1)

■ 転送モードの設定

DCCR_x.TM により、DMA 転送の転送モードを設定します。

- ブロック転送 (DCCR_x.TM=00)
- バースト転送 (DCCR_x.TM=01)

■ ST ビット (転送元タイプ), DT ビット (転送先タイプ) の設定

以下の表に従い、設定します。⑤、⑨の組み合わせでの DMA 転送は対応していません。

表 27.5-1 ST ビット (転送元タイプ)、DT ビット (転送先タイプ) の設定

	転送要求元・転送元・転送先の組み合わせ			DMA 対応	ST・DT ビット設定
	転送要求元 (DCCR.RS[1:0])	転送元アドレス (DSAR)	転送先アドレス (DDAR)		
①	ソフトウェアによる要求 (DCCR.RS=00)	すべての組み合わせ		対応	ST=0 DT=0
②	周辺バス・ペリフェラル 割込み 【=周辺バス領域 *1 から の割込み】 (DCCR.RS=01)	周辺バス領域 *1	周辺バス領域以外の すべての領域	対応	ST=1 DT=0
③		周辺バス領域以外のす べての領域	周辺バス領域 *1	対応	ST=0 DT=1
④		周辺バス領域 *1	周辺バス領域 *1	対応	ST=0 DT=1
⑤		周辺バス領域以外のす べての領域	周辺バス領域以外の すべての領域	非対応	—
⑥	オンチップバス・ ペリフェラル割込み 【=オンチップバス領域 *2 からの割込み】 (DCCRx.RS=11)	オンチップバス領域 *2	オンチップバス領域 以外のすべての領域	対応	ST=1 DT=0
⑦		オンチップバス領域以 外のすべての領域	オンチップバス領域 *2	対応	ST=0 DT=1
⑧		オンチップバス領域 *2	オンチップバス領域 *2	対応	ST=0 DT=1
⑨		オンチップバス領域以 外のすべての領域	オンチップバス領域 以外のすべての領域	非対応	—

ST・DT ビットを上表の組み合わせ以外に設定すると、割込みによる DMA 転送要求発生後の自動割込みクリアがされない場合があります。

*1, *2 が示すアドレス領域と機能に関しては、表 27.5-2 を参照してください。

表 27.5-2 アドレス領域の対応

	*1 周辺バス領域	*2 オンチップバス領域
アドレス領域	000000 _H ~ 0002FF _H 000400 _H ~ 0005FF _H 000E00 _H ~ 001FFF _H	000900 _H ~ 000AFF _H 002000 _H ~ 00EFFF _H 030000 _H ~ 03FFFF _H

■ 転送アドレスリロード設定

DCCRx.SAR により、転送終了後の転送元アドレスのリロード制御を設定します。

- 転送終了後、転送元アドレスのリロードはしません。(最終アドレスの次アクセスアドレスを示す。)(DCCRx.SAR=0)
- 転送終了後、転送元アドレスを初期設定値に戻します。(DCCRx.SAR=1)
- DCCRx.DAR により、転送終了後の転送先アドレスのリロード制御を設定します。
- 転送終了後、転送先アドレスのリロードはしません。(最終アドレスの次アクセスアドレスを示す。)(DCCRx.DAR=0)
- 転送終了後、転送先アドレスを初期設定値に戻します。(DCCRx.DAR=1)

■ 転送アドレス更新設定

DCCRx.SAC により、DMA 転送における転送元アドレスのアドレス更新を設定します。

- アドレス増加 (DCCRx.SAC=00)
- アドレス減少 (DCCRx.SAC=01)
- アドレス固定 (DCCRx.SAC=11)

DCCRx.DAC により、DMA 転送における転送先アドレスのアドレス更新を設定します。

- アドレス増加 (DCCRx.DAC=00)
- アドレス減少 (DCCRx.DAC=01)
- アドレス固定 (DCCRx.DAC=11)

■ 転送回数リロード設定

DCCRx.TCR により、転送終了後の転送回数のリロード制御を設定します。

- 転送終了後、転送回数のリロードはしません。(転送正常終了後、転送回数は "0" を示す。)(DCCRx.TCR=0)
- 転送終了後、転送回数を初期設定値に戻します。(DCCRx.TCR=1)

■ 転送サイズ、ブロックサイズの設定

DMA 転送の転送単位 (1 ブロックとして転送するバイト数) を指定するために、転送サイズ、ブロックサイズを設定します。

DCCRx.TS により、1 回の DMA 転送で転送するデータサイズ (8bit/16bit/32bit) を設定します。

- 8bit (DCCRx.TS=00)
- 16bit (DCCRx.TS=01)
- 32bit (DCCRx.TS=10)

DCCRx.BLK により、1 ブロックとして転送する DMA 転送の回数を設定します。ブロックサイズは 1 ～ 16 回から設定できます。1 ブロックの転送は、転送サイズ (DCCRx.TS) で設定したビット幅のデータを、ブロックサイズで設定した回数転送することになります。

27.5.1.3 動作

DMAC の動作について、以下の項目を説明します。

- (1) チャンネル状態確認
- (2) 転送動作

■ (1) チャンネル状態確認

DMAC のチャンネルごとの状態は DCSRx により確認できます。

- チャンネルが動作許可のとき (チャンネル起動中) は、DCSRx.CA ビットは "1" を示します。チャンネルが停止状態になると "0" を示します。
- データ転送が異常終了したときは、DCSRx.AC ビットは "1" を示します。
- データ転送が転送停止要求により中断したときは、DCSRx.SP ビットは "1" を示します。
- データ転送が正常終了したときは、DCSRx.NC ビットは "1" を示します。

DCSRx.CA ビットへの書込みは無効です。

DCSRx.AC, DCSRx.SP, DCSRx.NC ビットは自動でクリアしませんので、DMA 転送を許可する前に必ずクリアしてください。

■ (2) 転送動作

DMAC は、転送元アドレスと転送先アドレスを設定することにより DMA 転送を行います。転送元リードにより、DCCRx.TS で設定したビット幅 (8bit/16bit/32bit) のデータを転送元アドレスより読み込み DMAC 内部のデータバッファに一時格納します。引き続き転送先ライトにより、DMAC 内部に一時格納したデータを転送先アドレスに書込みます。

● 転送モード

転送モードには、ブロック転送モード、バースト転送モードがあります。

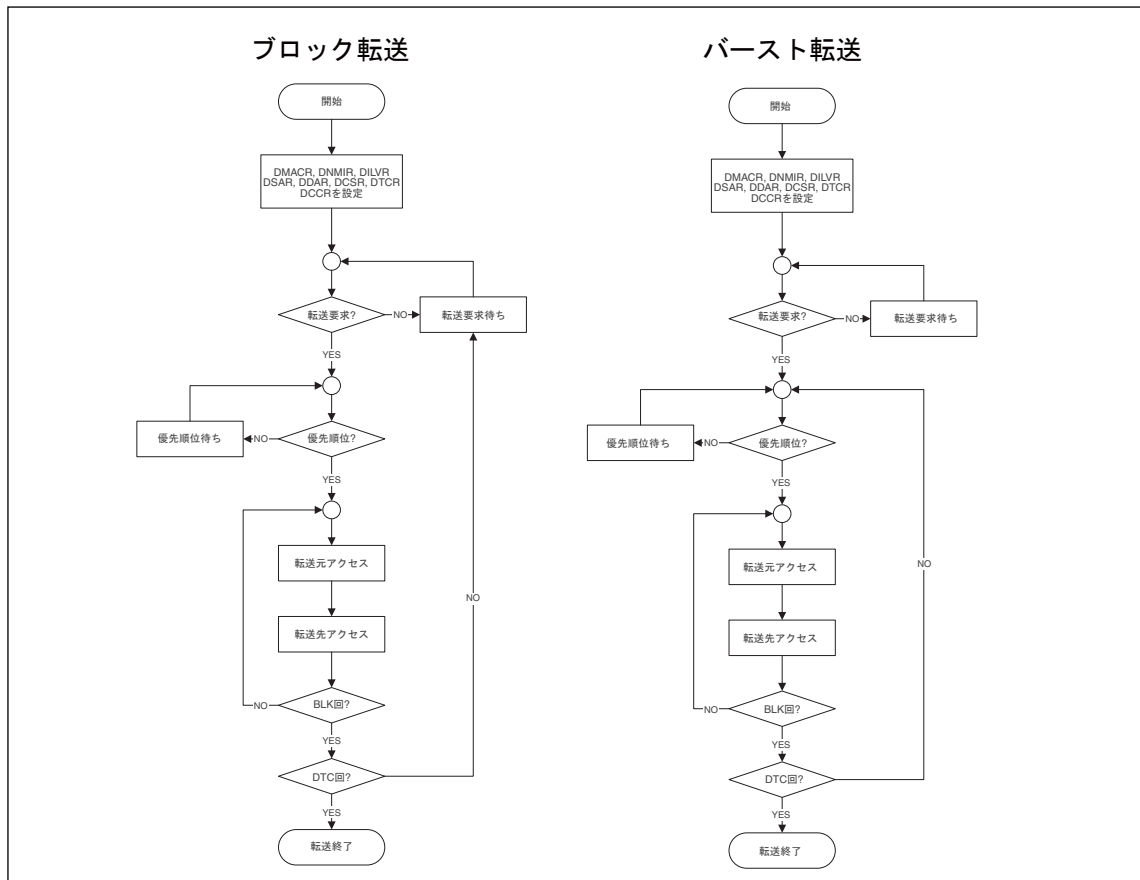
• ブロック転送モード

1 回の転送要求によって、1 ブロックの転送を行います。1 ブロックの転送終了後、再び転送要求を検出するとさらに 1 ブロックの転送を行います。これを転送終了まで繰り返し行います。1 ブロックの転送は、DCCRx.TS で設定したサイズのデータをブロックサイズで設定した回数分転送することになります。

• バースト転送モード

1 回の転送要求によって、転送終了まで連続して転送を行います。(DCCRx.TS で設定したサイズのデータをブロックサイズ × 転送回数分連続して転送します。)

図 27.5-2 各転送モード



● 転送要求

転送要求には、ソフトウェアによる要求、割込みによる要求があります。転送要求検出の条件と転送モードとの関係について以下に示します。

• ソフトウェアによる要求

DCCR_x.CE ビットに "1" を書き込むと転送要求を検出します。DMA 動作許可状態 (DMACR.DME=1) のとき、優先順位判定後直ちに転送を開始します。転送要求に応じた転送が終了すると DCCR_x.CE ビットは自動でクリアされます。

• 割込みによる要求

チャンネルが動作許可 (DCCR_x.CE=1) のとき転送要求待ち状態となります。割込みコントローラで設定した周辺の割込みが発生すると転送要求を検出します。DMA 動作許可状態 (DMACR.DME=1) のとき、優先順位判定後直ちに転送を開始します。

周辺から転送停止要求がアサートされている期間は、転送要求の検出は行いません。

また、各チャンネルごとに転送要求に使用する割込みベクタの設定が必要になります。「第 28 章 DMA 転送要求の発生・クリア」を参照してください。

表 27.5-3 転送要求検出の条件と転送モードの関係

	ブロック転送	バースト転送	-
ソフトウェアによる要求	DCCR _x .CE に "1" 書込み	DCCR _x .CE に "1" 書込み	-
割込みによる要求	エッジ検出	エッジ検出	-
オンチップバス IP による要求	エッジ検出	エッジ検出	-

また、検出した転送要求と DMACR.DME ビット、DCCR_x.CE ビットとの関係について表 27.5-4 に示します。転送中に DME ビット、または CE ビットをクリアすると、ブロック単位で転送を停止します。

表 27.5-4 転送要求と DME ビット、CE ビットの関係

		DME ビット	CE ビット
DME/CE クリア		既に検出した転送要求はクリアされない。	既に検出した転送要求はクリアされる
転送中断後、 DME/CE セット	ブロック転送	新たな転送要求を検出すると、優先順位に従って転送再開。	新たな転送要求を検出すると、優先順位に従って転送再開。
	バースト転送	DME ビットをセットすると優先順位に従って直ちに転送再開。	

● DMA 転送要求によるスタンバイ復帰要求

DMAC は、MCU がスタンバイモード中に転送要求されると、MCU へスタンバイモードからの復帰を要求します。転送動作が許可された状態で転送要求元からの転送要求がアサートされている期間、スタンバイ復帰を要求します。

● チャネル優先順位

DMAC は複数の転送要求が発生した場合、チャネル優先順位に従って優先度の高いチャネルからデータ転送を行います。チャネル優先順位には、固定とラウンドロビンがあります。優先順位判定は、ブロック単位の転送ごと、もしくは転送終了のタイミングで行います。

• 固定 (DMACR.AT = 0)

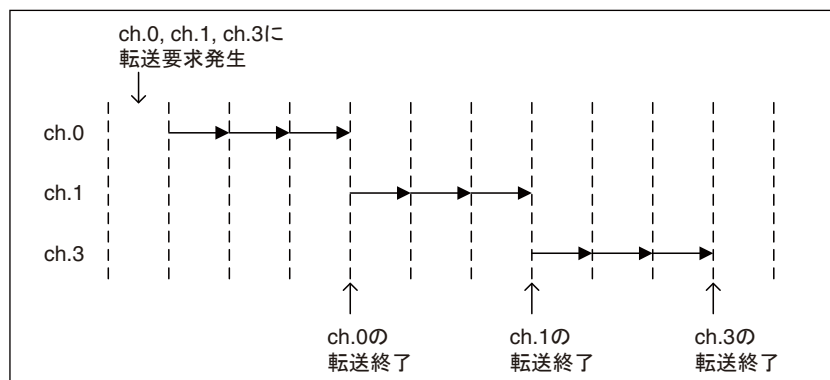
ch.0 > ch.1 > ch.2 > ch.3 の順でチャネルの優先順位を固定します。具体例を以下に示します。

<例 1> ch.0, ch.1, ch.3 に転送要求が同時に発生した場合、ch.0 から転送が開始します。ch.0 の転送が終わると、続いて ch.1 の転送が開始します。ch.1 の転送が終わると、ch.3 の転送が開始します。以下に、転送例を示します。図中の点線はブロック単位の区切りです。

転送要求 : ch.0, ch.1, ch.3 に同時発生

設定 : ch.0, ch.1, ch.3 とともにバースト転送モード、転送回数は 3

図 27.5-3 チャンネル優先順位固定における転送例 1

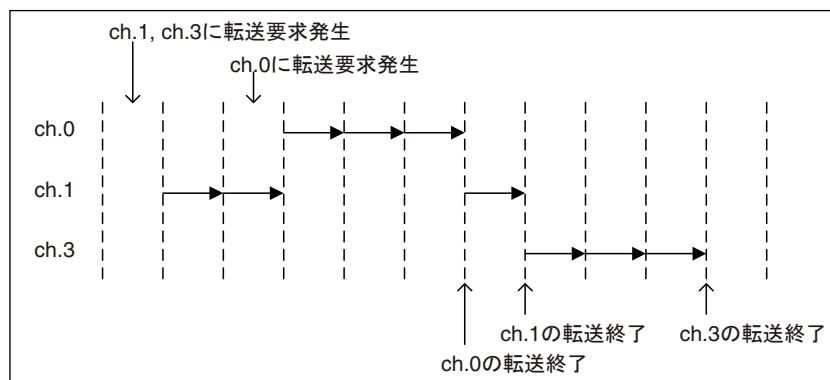


＜例 2＞ ch.1, ch.3 に転送要求が同時にあり，ch.1 の転送中に ch.0 に転送要求が発生した場合，ch.1 の転送を一時中断し，ch.0 の転送を開始します。このとき，チャンネルの遷移はブロック単位で行います。ch.0 の転送要求に応じた転送が終わると，ch.1 の転送を再開します。図中の点線はブロック単位の区切りです。

転送要求：ch.1, ch.3 に同時発生。ch.1 転送中に ch.0 に発生。

設定：ch.0, ch.1, ch.3 とともにバースト転送モード，転送回数は 3

図 27.5-4 チャンネル優先順位固定における転送例 2



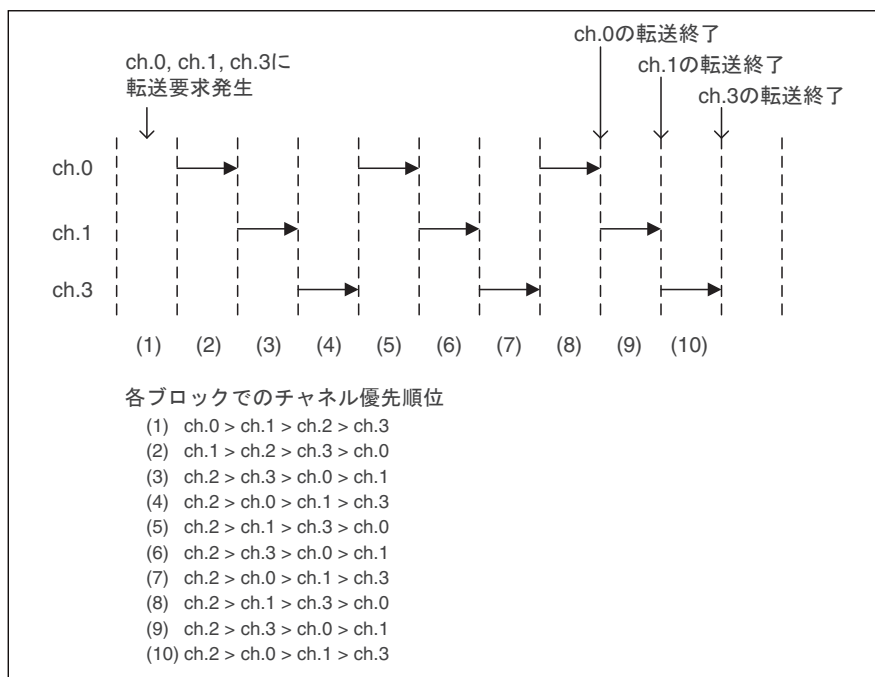
• ラウンドロビン (DMACR.AT = 1)

転送を開始したチャンネルの優先順位が一番低くなり，それより下位にあったチャンネルの優先順位が 1 つずつ上がります。ラウンドロビンでは，転送要求が発生した時点での優先順位に従って，優先度の高いチャンネルから転送を行います。転送を開始したチャンネルの優先順位が一番低くなります。ブロック単位の転送ごとに優先順位判定を行い，その時点で優先度の高いチャンネルの転送を行います。以下に，転送例を示します。図中の点線はブロック単位の区切りです。

＜例＞転送要求：ch.0, ch.1, ch.3 に同時発生

設定：ch.0, ch.1, ch.3 とともにバースト転送モード，転送回数は 3

図 27.5-5 チャンネル優先順位ラウンドロビンにおける転送例



● 転送アドレス更新

DCCRx.TS で設定したサイズのデータを転送するごとに、転送元アドレスと転送先アドレスを更新します。アドレスの更新は増加／減少／固定のいずれかです。増加／減少の場合、アドレス値の増減幅は転送サイズ (DCCRx.TS) により決まります。固定の場合は、アドレス値は変化しません。表 27.5-5 にアドレス更新におけるアドレス値の増減幅を示します。アドレス更新によりオーバーフローが発生したときは、そのビットを切り捨てます。

表 27.5-5 転送元アドレス、転送先アドレスの更新 (1 / 2)

アドレス指定		転送サイズ (TS)	一転送ごとのアドレス更新	
転送元 (SAC)	転送先 (DAC)		転送元 (DSA)	転送先 (DDA)
増加 ("00")	増加 ("00")	8 bit ("00")	1 増加	1 増加
		16 bit ("01")	2 増加	2 増加
		32 bit ("10")	4 増加	4 増加
	減少 ("01")	8 bit ("00")	1 増加	1 減少
		16 bit ("01")	2 増加	2 減少
		32 bit ("10")	4 増加	4 減少
	固定 ("11")	8 bit ("00")	1 増加	更新しません。
		16 bit ("01")	2 増加	
		32 bit ("10")	4 増加	

表 27.5-5 転送元アドレス，転送先アドレスの更新 (2 / 2)

アドレス指定		転送サイズ (TS)	一転送ごとのアドレス更新	
転送元 (SAC)	転送先 (DAC)		転送元 (DSA)	転送先 (DDA)
減少 ("01")	増加 ("00")	8 bit ("00")	1 減少	1 増加
		16 bit ("01")	2 減少	2 増加
		32 bit ("10")	4 減少	4 増加
	減少 ("01")	8 bit ("00")	1 減少	1 減少
		16 bit ("01")	2 減少	2 減少
		32 bit ("10")	4 減少	4 減少
	固定 ("11")	8 bit ("00")	1 減少	更新しません。
		16 bit ("01")	2 減少	
		32 bit ("10")	4 減少	
固定 ("11")	増加 ("00")	8 bit ("00")	更新しません。	1 増加
		16 bit ("01")		2 増加
		32 bit ("10")		4 増加
	減少 ("01")	8 bit ("00")		1 減少
		16 bit ("01")		2 減少
		32 bit ("10")		4 減少
	固定 ("11")	8 bit ("00")		更新しません。
		16 bit ("01")		
		32 bit ("10")		

● 転送アドレスのリロード

DMAC は，転送回数で設定した回数の転送終了後に転送アドレスのリロードを行うことができます。

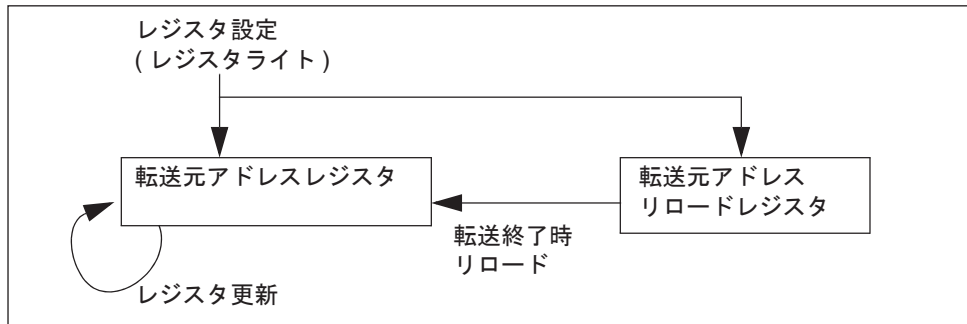
• 転送元アドレスのリロード

転送元アドレスのリロードを指定している場合は，転送終了後に DSARx.DSA を初期設定値に戻します。

転送元アドレスのリロードを禁止している場合は，転送終了後の DSARx.DSA は最終アドレスの次のアクセスアドレスを示します。

転送元アドレスのリロード設定にかかわらず，転送回数分の転送が終了する前に中断，異常終了した場合は，DSARx.DSA は終了したアドレスの次のアクセスアドレスを示します。

図 27.5-6 転送元アドレスレジスタのリロード



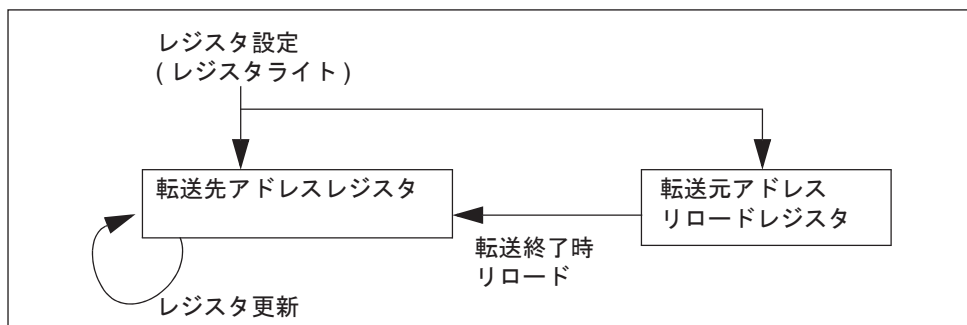
● 転送先アドレスレジスタのリロード

転送先アドレスのリロードを指定している場合は、転送終了後に DDARx.DDA を初期設定値に戻します。

転送先アドレスのリロードを禁止している場合は、転送終了後の DDARx.DDA は最終アドレスの次のアクセスアドレスを示します。

転送先アドレスのリロード設定にかかわらず、転送回数分の転送が終了する前に中断、異常終了した場合は、DDARx.DDA は終了したアドレスの次のアクセスアドレスを示します。

図 27.5-7 転送先アドレスレジスタのリロード



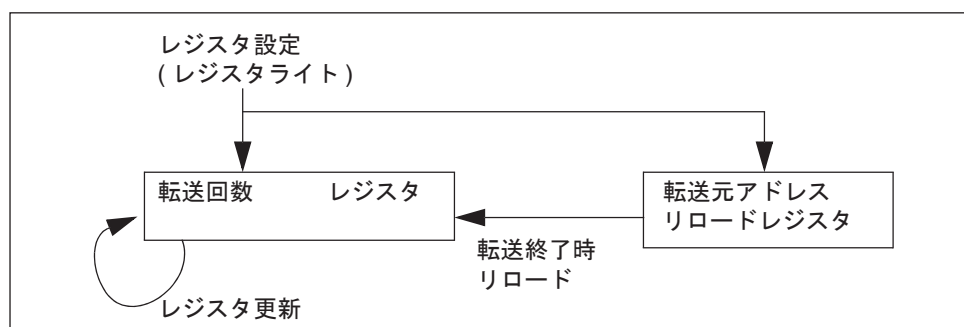
● 転送回数のリロード

転送回数のリロードを指定している場合は、転送終了後に DTCRx.DTC を初期設定値に戻します。

転送回数のリロードを禁止している場合は、転送終了後の DTCRx.DTC は "0" を示します。

転送回数のリロード設定にかかわらず、転送回数分の転送が終了する前に中断、異常終了した場合は、DTCRx.DTC は残りの転送回数を示します。

図 27.5-8 転送回数アドレスレジスタのリロード



転送回数のリロード設定により、転送終了時の DCCR_x.CE ビットの状態が異なります。転送回数のリロード設定と転送要求元の間を関係を表 27.5-6 に示します。

表 27.5-6 転送終了時における DCCR_x.CE ビット

	ソフトウェア要求	ソフトウェア以外の要求
転送回数リロードを指定	DCCR _x .CE はクリアされる。	DCCR _x .CE はクリアされない。
転送回数リロードを禁止	DCCR _x .CE はクリアされる。	DCCR _x .CE はクリアされる。

● 転送中断

DMAC は、以下の要因により DMA 転送を中断します。

- DMACR.DME ビットのクリアによる中断
- DCCR_x.CE ビットのクリアによる中断
- 転送要求元ペリフェラルからの転送停止要求

転送の中断は、ブロック単位で行います。転送を中断すると新たな転送は行わず停止状態となります。転送を再開する場合は、中断の要因によって設定が異なります。

• DMACR.DME ビットのクリアによる中断

DMACR.DME ビットをクリアするとすべてのチャンネルが停止状態となり、転送中のチャンネルはブロック単位の転送が終了した時点で転送を中断します。転送を再開する場合は、DMACR.DME ビットをセットしてください。

• DCCR_x.CE ビットのクリアによる中断

DCCR_x.CE ビットをクリアするとそのチャンネルは停止状態となり、ブロック単位の転送が終了した時点で転送を中断します。また、DCCR_x.CE ビットのクリアにより、既に検出した転送要求もクリアされます。転送を再開する場合は、停止状態にあるチャンネルの DCCR_x.CE ビットをセットし、新たに転送要求を行ってください。

• 転送要求元ペリフェラルからの転送停止要求

次のペリフェラルはそれぞれ示す条件で転送停止要求を発行します。

(A) マルチファンクションシリアルインタフェース
PE, FRE, または ORE フラグ発生時

(B) シリアルインタフェース (LIN2.1)
PE, FRE, または ORE フラグ発生時

転送停止要求が発行されると、転送中のデータを 1 ブロック転送し終わった時点で転送が中断されます。転送が中断されると次の状態が発生します。

- DMA チャンネルステータスレジスタ (DCSR0 ～ DCSR7) の SP ビットが "1" に変わる。
- DMA チャンネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットが "0" に変わる。
- 既に検出した転送要求がクリアされる。

転送停止要求が発行されている期間は、新たな転送要求を受け付けません。次の手順で DMA 転送を再開してください

- (1) (A), (B) のフラグをクリアして転送停止要求を無効にする。
- (2) 対応するチャンネルの DMA チャンネルステータスレジスタ (DCSR0 ～ DCSR7) の SP ビットに "0" を書き込む
- (3) DMA チャンネルコントロールレジスタ (DCCR0 ～ DCCR7) の CE ビットに "1" を書き込む
- (4) 新たに転送要求を行う

表 27.5-7 転送中断後の再開のための設定

	DME をクリア	CE をクリア	転送要求元ペリフェラルからの転送停止要求を検出
転送再開の設定	(1) DME をセット	(1) CE をセット (2) 転送要求	(1) 転送要求をネゲート (2) SP をクリア (3) CE をセット (4) 転送要求

● 転送終了

転送終了には、正常終了と異常終了があります。

• 正常終了

転送回数 (DTCRx.DTC) で設定した回数の転送を終了した時点で正常終了となります。正常終了すると、対応するチャンネルの DCSRx.NC ビットをセットするとともに、DCCRx.CE ビットをクリアし停止状態となります。ただし、転送要求元がソフトウェア以外で転送回数リロードを指定している場合、そのチャンネルの DCCRx.CE ビットはクリアされません。

また、転送回数 (DTCRx.DTC) が "0" のときに対応するチャンネルの DCCRx.CE に "1" 書き込みすると、正常終了と同様に、DCSRx.NC ビットをセットします。DCCRx.CE に "1" を設定する際は、必ず DTCRx.DTC に "1" 以上を設定してから行ってください。

• 異常終了

レジスタに設定禁止の値を設定すると異常終了となります。異常終了すると、対応するチャンネルの DCSRx.AC ビットをセットするとともに、DCCRx.CE ビットをクリアし停止状態となります。

レジスタ設定禁止項目は以下のとおりです。

- 転送モード : DCCR_x.TM = 10
- 転送元アドレスカウンタ : DCCR_x.SAC = 10
- 転送先アドレスカウンタ : DCCR_x.DAC = 10
- 転送サイズ : DCCR_x.TS = 11
- ソフトウェア要求によるデマンド転送モード : DCCR_x.RS = 00 かつ DCCR_x.TM = 11

● 割込み要求

DMAC は、転送の正常終了、異常終了、転送停止要求による転送中断によって割込み要求を発生できます。割込み要求を発生する場合、割込みコントローラの設定も行ってください。

割込み要求の要因確認、および割込み要求のクリアは DMA チャンネルステータスレジスタ (DCSR_x) によって行ってください。

• 正常終了による割込み要求

チャンネルの正常終了割込みを許可 (DCCR_x.NIE=1) している場合、正常終了すると対応するチャンネルの DCSR_x.NC ビットをセットするとともに割込み要求を出力します。

割込み要求のクリアは、対応するチャンネルの DCSR_x.NC ビットをクリアすることにより行ってください。

• 異常終了による割込み要求

チャンネルの異常終了割込みを許可 (DCCR_x.AIE=1) している場合、異常終了すると対応するチャンネルの DCSR_x.AC ビットをセットするとともに割込み要求を出力します。

割込み要求のクリアは、対応するチャンネルの DCSR_x.AC ビットをクリアすることにより行ってください。

• 転送停止要求による転送中断の割込み要求

チャンネルの転送中断割込みを許可 (DCCR_x.SIE=1) している場合、転送停止要求によって転送を中断すると対応するチャンネルの DCSR_x.SP ビットをセットするとともに、割込み要求を出力します。

割込み要求のクリアは、対応するチャンネルの DCSR_x.SP ビットをクリアすることにより行ってください。

• 割込み要求クリア時の注意事項

割込み要求発生時は、対応するチャンネルのステータスレジスタ (DCSR_x) を確認してください。複数のステータスフラグ (DCSR_x.AC/SP/NC) が 1 となっている場合、割込み要求のクリア時に注意が必要です。

割込み要求をクリアする場合、ステータスレジスタの何れかのフラグ (DCSR_x.AC/SP/NC) が 1 のままだと割込み要求はクリアされません。複数のステータスフラグが 1 となっている場合は、割込み許可/禁止ビット (DCCR_x.AIE/SIE/NIE) の設定によらずすべてのフラグをクリアすることで割込み要求をクリアしてください。

● DMA 転送の抑止

以下の要因により、DMA 転送が抑止されます。

- DSU/OCD からの DMA 転送抑止要求 (デバッグ用)
- NMI
- 周辺割込み

DMA 転送の抑止は、ブロック単位で行われます。転送が抑止されると新たな転送は行わず、停止状態となります。転送の再開は、DMA 転送抑止の要因によって異なります。

- **DSU/OCD からの DMA 抑止要求 (デバッグ用)**

DSU/OCD からの DMA 転送抑止要求がアサートされた場合、新たな転送は行わず、転送中の場合はブロック単位で転送を停止します。DSU/OCD からの DMA 転送抑止に対しては、アクノリッジを返しません。

• NMI による DMA 転送抑止

NMIHD ビットが "0" に設定されている場合、ユーザ NMI が発生すると NMIH フラグをセットし、ブロック単位の転送が終了した時点で DMA 転送が抑止されます。
転送を再開する場合は、NMIH フラグに "0" を書き込んでください。

• 周辺割込みによる DMA 転送抑止

DILVR に設定した割込みレベルより強い割込みが発生した場合、ブロック単位の転送が終了した時点で DMA 転送が抑止されます。
割込みレベルが LVL[4:0] と同じか弱いレベルになると DMA 転送を再開します。

表 27.5-8 DMA 転送抑止のための LVL[4:0] 設定

LVL[4:0]	DMA 抑止制御
11111	すべての周辺割込み要求で DMA 転送を抑止します。(初期値)
11110	レベルが 1eH より強い周辺割込み要求で DMA 転送を抑止します。
11101	レベルが 1dH より強い周辺割込み要求で DMA 転送を抑止します。
11100	レベルが 1cH より強い周辺割込み要求で DMA 転送を抑止します。
11011	レベルが 1bH より強い周辺割込み要求で DMA 転送を抑止します。
11010	レベルが 1aH より強い周辺割込み要求で DMA 転送を抑止します。
11001	レベルが 19H より強い周辺割込み要求で DMA 転送を抑止します。
11000	レベルが 18H より強い周辺割込み要求で DMA 転送を抑止します。
10111	レベルが 17H より強い周辺割込み要求で DMA 転送を抑止します。
10110	レベルが 16H より強い周辺割込み要求で DMA 転送を抑止します。
10101	レベルが 15H より強い周辺割込み要求で DMA 転送を抑止します。
10100	レベルが 14H より強い周辺割込み要求で DMA 転送を抑止します。
10011	レベルが 13H より強い周辺割込み要求で DMA 転送を抑止します。
10010	レベルが 12H より強い周辺割込み要求で DMA 転送を抑止します。
10001	レベルが 11H より強い周辺割込み要求で DMA 転送を抑止します。
10000	周辺割込み要求では DMA 転送を抑止しません。

27.5.2 オンチップバス IP と DMAC チャンネルの対応表

DMAC の各チャンネルに対して、以下のオンチップバス IP が割り付けられています。

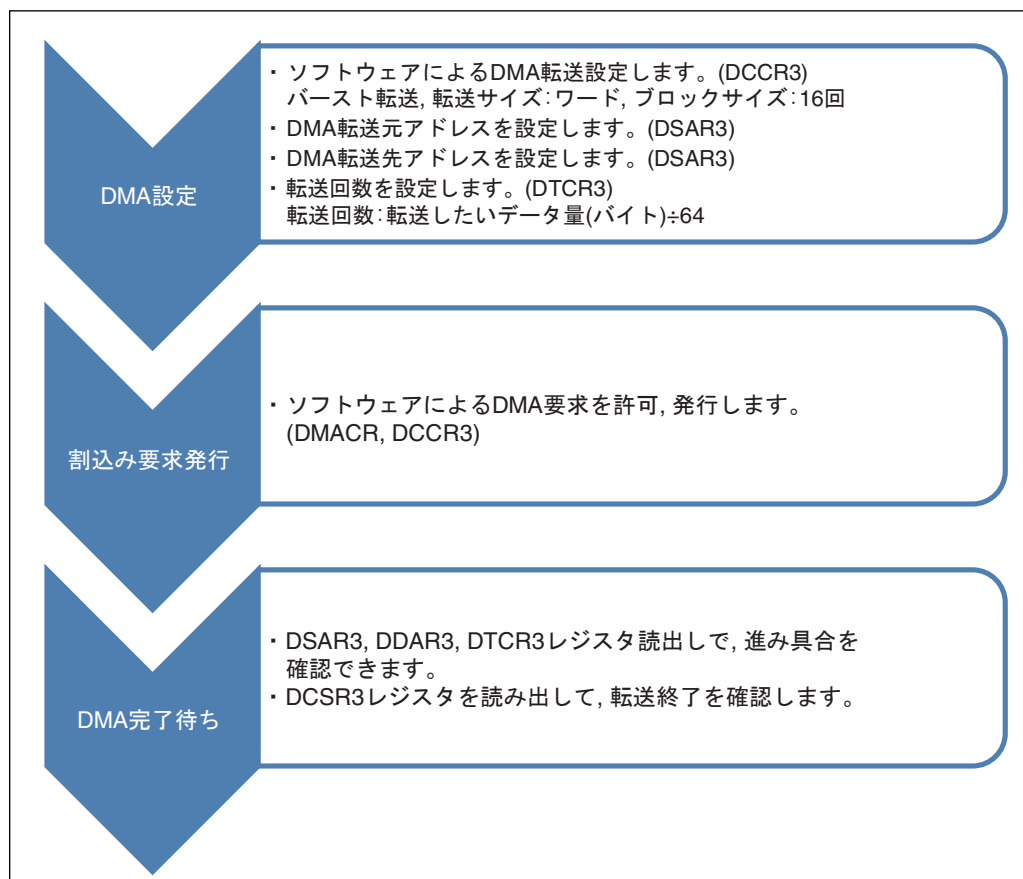
表 27.5-9 オンチップバス IP と DMAC チャンネルの対応表

チャンネル	オンチップバス IP
0	FlexRay アウトプットバッファビジーによる転送要求 (CIF1.DREQO)
1	FlexRay インプットバッファホストビジーによる転送要求 (CIF1.DREQI)
2	対応するオンチップバス IP はありません。
3	対応するオンチップバス IP はありません。
4	対応するオンチップバス IP はありません。
5	対応するオンチップバス IP はありません。
6	対応するオンチップバス IP はありません。
7	対応するオンチップバス IP はありません。

27.6 DMA 使用例

DMA を使用した 64 バイト単位メモリコピーの例です。最もシンプルな DMA 転送の例です。

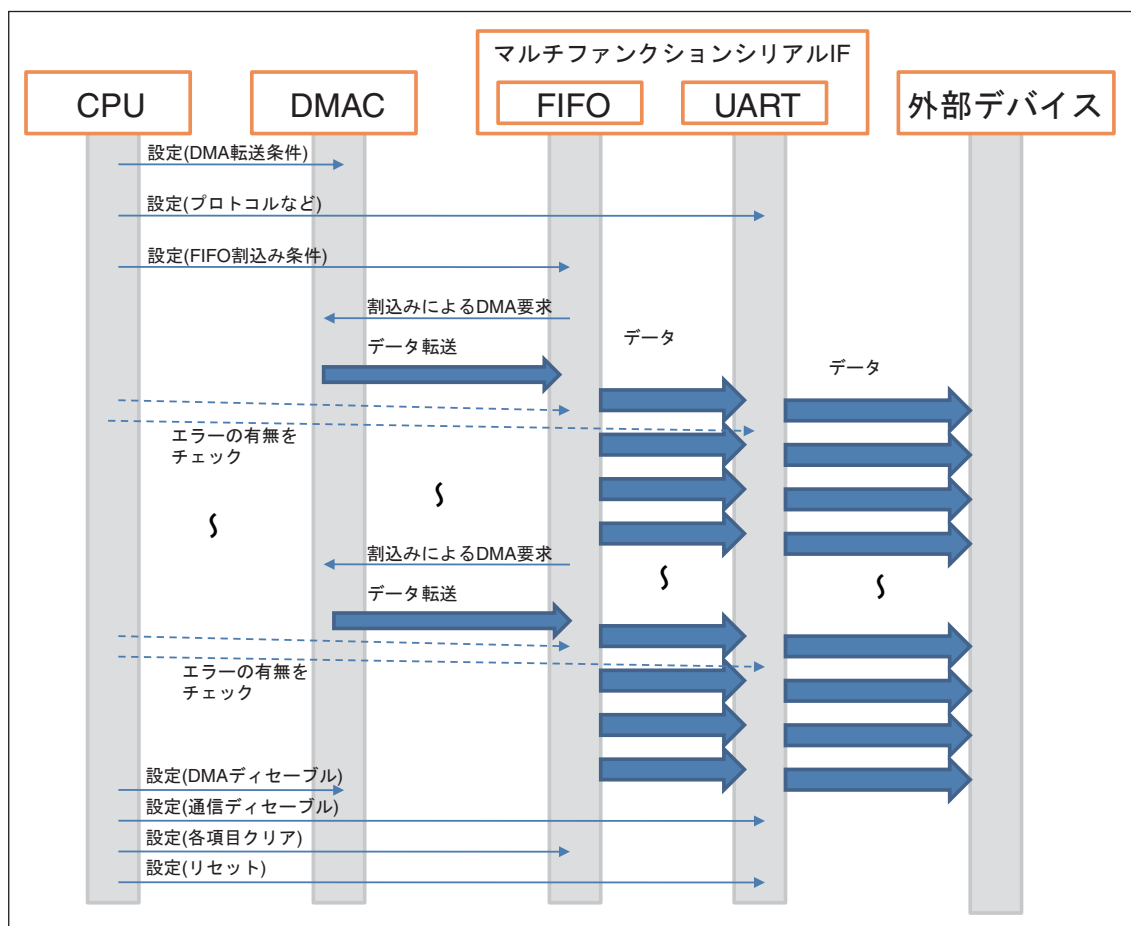
図 27.6-1 DMA を使用したメモリコピー例 (ch.3 使用)



外部割込み端子を使用した , 外部コンパニオンチップからの制御例です。

DMA を使用したマルチファンクションシリアルインタフェースでの通信例です。この例ではマルチファンクションシリアルインタフェースの割込みは DMA 転送要求に占有されるので , エラー有無のチェックに CPU でのステータスレジスタのポーリングを行っています。

図 27.6-2 DMA を使用したマルチファンクションシリアルインタフェース通信例



第 28 章 DMA 転送要求の発生・クリア

28.1 概要

本品種は、周辺機能の割り込み要求を利用して DMA 転送を起動できます。DMA 転送を起動する割り込み要求を選択するレジスタが DMA コントローラ (DMAC) のチャンネルごとに用意されています。1 つの割り込みベクタ番号に複数の割り込み要求が割り当てられていた場合に、どの割り込み要求フラグを DMA コントローラ (DMAC) でクリアするのも設定する必要があります。

DMA コントローラ (DMAC) のレジスタで DMA 転送要求の発生要因 (転送要求元) を周辺機能の割り込み要求に設定できます。割り込みベクタ番号に対応する値を指定して、使用する割り込み要求を選択します。

28.2 特長

■ 転送要求の発生設定

8 チャンネルの DMA に対し、それぞれに割り込みベクタ番号 0x10 から 0x3F の、どの割り込みにより DMA 転送要求を発生させるかを指定します。

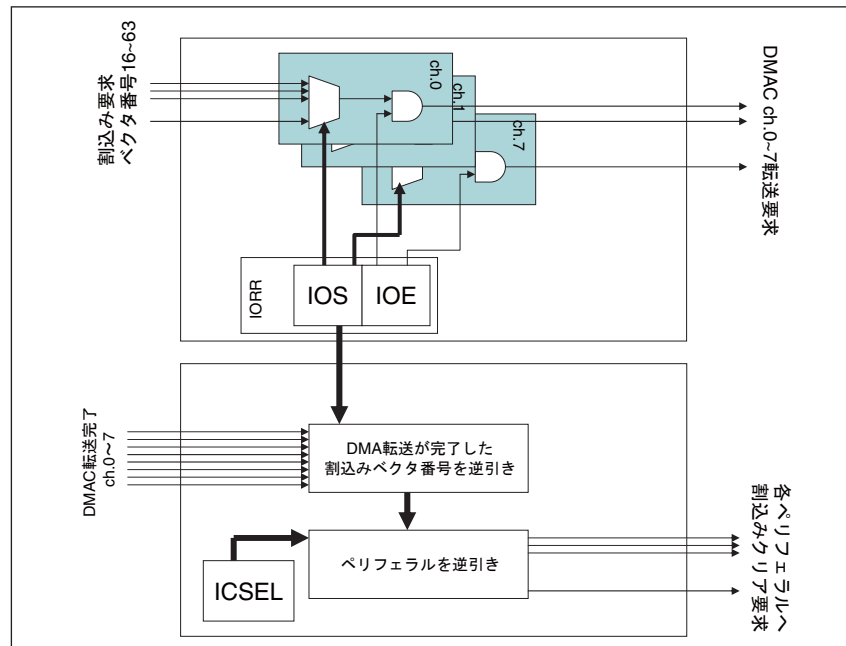
■ 割り込みクリアの設定

DMA の転送終了後に、転送要求元が複数の割り込み元ペリフェラルを持つベクタ番号だった場合、どの割り込み元ペリフェラルの割り込み要求をクリアするかを設定します。

管理コード : BICSEL-0v3-91580L-1-J

28.3 構成

図 28.3-1 DMA 転送要求の発生・クリアのブロックダイアグラム



28.4 レジスタ

表 28.4-1 レジスタマップ (1/2)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0400	ICSEL0	ICSEL1	ICSEL2	ICSEL3	DMA クリア要求レジスタ 0(ベクタ番号 #16 用) DMA クリア要求レジスタ 1(ベクタ番号 #17 用) DMA クリア要求レジスタ 2(ベクタ番号 #18 用) DMA クリア要求レジスタ 3(ベクタ番号 #36 用)
0x0404	ICSEL4	ICSEL5	ICSEL6	ICSEL7	DMA クリア要求レジスタ 4(ベクタ番号 #38 用) DMA クリア要求レジスタ 5(ベクタ番号 #39 用) DMA クリア要求レジスタ 6(ベクタ番号 #40 用) DMA クリア要求レジスタ 7(ベクタ番号 #41 用)
0x0408	ICSEL8	ICSEL9	ICSEL10	ICSEL11	DMA クリア要求レジスタ 8(ベクタ番号 #42 用) DMA クリア要求レジスタ 9(ベクタ番号 #43 用) DMA クリア要求レジスタ 10(ベクタ番号 #44 用) DMA クリア要求レジスタ 11(ベクタ番号 #45 用)
0x040C	ICSEL12	ICSEL13	ICSEL14	ICSEL15	DMA クリア要求レジスタ 12(ベクタ番号 #46 用) DMA クリア要求レジスタ 13(ベクタ番号 #47 用) DMA クリア要求レジスタ 14(ベクタ番号 #48 用) DMA クリア要求レジスタ 15(ベクタ番号 #49 用)
0x0410	ICSEL16	ICSEL17	ICSEL18	ICSEL19	DMA クリア要求レジスタ 16(ベクタ番号 #50 用) DMA クリア要求レジスタ 17(ベクタ番号 #51 用) DMA クリア要求レジスタ 18(ベクタ番号 #52 用) DMA クリア要求レジスタ 19(ベクタ番号 #53 用)

表 28.4-1 レジスタマップ (2 / 2)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0414	ICSEL20	ICSEL21	ICSEL22	ICSEL23	DMA クリア要求レジスタ 20(ベクタ番号 #54 用) DMA クリア要求レジスタ 21(ベクタ番号 #55 用) DMA クリア要求レジスタ 22(ベクタ番号 #56 用) DMA クリア要求レジスタ 23(ベクタ番号 #57 用)
0x0418	ICSEL24	ICSEL25	ICSEL26	ICSEL27	DMA クリア要求レジスタ 24(ベクタ番号 #58 用) DMA クリア要求レジスタ 25(ベクタ番号 #59 用) DMA クリア要求レジスタ 26(ベクタ番号 #60 用) DMA クリア要求レジスタ 27(ベクタ番号 #61 用)
0x0490	IORR0	IORR1	IORR2	IORR3	IO 転送要求レジスタ 0 IO 転送要求レジスタ 1 IO 転送要求レジスタ 2 IO 転送要求レジスタ 3
0x0494	IORR4	IORR5	IORR6	IORR7	IO 転送要求レジスタ 4 IO 転送要求レジスタ 5 IO 転送要求レジスタ 6 IO 転送要求レジスタ 7



28.4.1 DMA 要求クリアレジスタ 0 : ICSEL0 (Interrupt Clear SElect register 0)

• ICSEL0 : アドレス 0400_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL00[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL00[2:0] : クリア選択ビット

割込みベクタ番号 #16 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL00[2:0]	クリア対象
000	外部割込み 0
001	外部割込み 1
010	外部割込み 2
011	外部割込み 3
100	外部割込み 4
101	外部割込み 5
110	外部割込み 6
111	外部割込み 7

28.4.2 DMA 要求クリアレジスタ 1 : ICSEL1 (Interrupt Clear SElect register 1)

- ICSEL1 : アドレス 0401_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-							ICSEL01	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL01 : クリア選択ビット

割込みベクタ番号 #17 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL01	クリア対象
0	リロードタイマ 0
1	リロードタイマ 1



28.4.3 DMA 要求クリアレジスタ 2 : ICSEL2 (Interrupt Clear SElect register 2)

- ICSEL2 : アドレス 0402_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL02	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL02 : クリア選択ビット

割込みベクタ番号 #18 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL02	クリア対象
0	リロードタイマ 2
1	リロードタイマ 3

28.4.4 DMA 要求クリアレジスタ 3 : ICSEL3 (Interrupt Clear SElect register 3)

- ICSEL3 : アドレス 0403_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-							ICSEL03	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL03 : クリア選択ビット

割込みベクタ番号 #36 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL03	クリア対象
0	メインタイマ
1	PLL タイマ



28.4.5 DMA 要求クリアレジスタ 4 : ICSEL4 (Interrupt Clear SElect register 4)

- ICSEL4 : アドレス 0404_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL04	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL04 : クリア選択ビット

割込みベクタ番号 #38 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL04	クリア対象
0	アップダウンカウンタ 0
1	アップダウンカウンタ 1

28.4.6 DMA 要求クリアレジスタ 5 : ICSEL5 (Interrupt Clear SElect register 5)

- ICSEL5 : アドレス 0405_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL05	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL05 : クリア選択ビット

割込みベクタ番号 #39 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL05	クリア対象
0	フリーランタイム 0 (0 検出)
1	フリーランタイム 0 (コンペアクリア)



28.4.7 DMA 要求クリアレジスタ 6 : ICSEL6 (Interrupt Clear SElect register 6)

- ICSEL6 : アドレス 0406_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL06	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL06 : クリア選択ビット

割込みベクタ番号 #40 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL06	クリア対象
0	フリーランタイム 1 (0 検出)
1	フリーランタイム 1 (コンペアクリア)

28.4.8 DMA 要求クリアレジスタ 7 : ICSEL7 (Interrupt Clear SElect register 7)

- ICSEL7 : アドレス 0407_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL07[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL07[2:0] : クリア選択ビット

割込みベクタ番号 #41 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL07[2:0]	クリア対象
000	フリーランタイム 2 (0 検出)
001	フリーランタイム 2 (コンペアクリア)
010	PPG0
011	PPG1
100	PPG2
101	PPG3
110	設定禁止 (どれもクリアされません)
111	



28.4.9 DMA 要求クリアレジスタ 8 : ICSEL8 (Interrupt Clear SElect register 8)

- ICSEL8 : アドレス 0408_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL08	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL08 : クリア選択ビット

割込みベクタ番号 #42 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL08	クリア対象
0	フリーランタイム 3 (0 検出)
1	フリーランタイム 3 (コンペアクリア)

28.4.10 DMA 要求クリアレジスタ 9 : ICSEL9 (Interrupt Clear SElect register 9)

- ICSEL9 : アドレス 0409_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL09	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL09 : クリア選択ビット

割込みベクタ番号 #43 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL09	クリア対象
0	フリーランタイム 4 (0 検出)
1	フリーランタイム 4 (コンペアクリア)



28.4.11 DMA 要求クリアレジスタ 10 : ICSEL10 (Interrupt Clear SElect register 10)

• ICSEL10 : アドレス 040A_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL10[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL10[2:0] : クリア選択ビット

割込みベクタ番号 #44 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL10[2:0]	クリア対象
000	フリーランタイム 5 (0 検出)
001	フリーランタイム 5 (コンペアクリア)
010	PPG4
011	PPG5
100	PPG6
101	PPG7
110	設定禁止 (どれもクリアされません)
111	

28.4.12 DMA 要求クリアレジスタ 11 : ICSEL11 (Interrupt Clear SElect register 11)

- ICSEL11 : アドレス 040B_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL11[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL11[2:0] : クリア選択ビット

割込みベクタ番号 #45 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL11[2:0]	クリア対象
000	ICU0
001	ICU1
010	PPG8
011	PPG9
100	PPG10
101	PPG11
110	設定禁止 (どれもクリアされません)
111	



28.4.13 DMA 要求クリアレジスタ 12 : ICSEL12 (Interrupt Clear SElect register 12)

• ICSEL12 : アドレス 040C_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL12[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL12[2:0] : クリア選択ビット

割込みベクタ番号 #46 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL12[2:0]	クリア対象
000	ICU2
001	ICU3
010	PPG12
011	PPG13
100	PPG14
101	PPG15
110	設定禁止 (どれもクリアされません)
111	

28.4.14 DMA 要求クリアレジスタ 13 : ICSEL13 (Interrupt Clear SElect register 13)

- ICSEL13 : アドレス 040D_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL13[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL13[2:0] : クリア選択ビット

割込みベクタ番号 #47 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL13[2:0]	クリア対象
000	ICU4
001	ICU5
010	PPG16
011	PPG17
100	PPG18
101	PPG19
110	設定禁止 (どれもクリアされません)
111	



28.4.15 DMA 要求クリアレジスタ 14 : ICSEL14 (Interrupt Clear SElect register 14)

• ICSEL14: アドレス 040E_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL14[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ～ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ～ bit0] ICSEL14[2:0] : クリア選択ビット

割込みベクタ番号 #48 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL14[2:0]	クリア対象
000	ICU6
001	ICU7
010	PPG20
011	PPG21
100	PPG22
101	PPG23
110	設定禁止 (どれもクリアされません)
111	

28.4.16 DMA 要求クリアレジスタ 15 : ICSEL15 (Interrupt Clear SElect register 15)

- ICSEL15: アドレス 040F_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-							ICSEL15	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL15 : クリア選択ビット

割込みベクタ番号 #49 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL15	クリア対象
0	OCU0
1	OCU1



28.4.17 DMA 要求クリアレジスタ 16 : ICSEL16 (Interrupt Clear SElect register 16)

- ICSEL16: アドレス 0410_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL16	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL16 : クリア選択ビット

割込みベクタ番号 #50 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL16	クリア対象
0	OCU2
1	OCU3

28.4.18 DMA 要求クリアレジスタ 17 : ICSEL17 (Interrupt Clear SElect register 17)

- ICSEL17: アドレス 0411_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-							ICSEL17	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL17 : クリア選択ビット

割込みベクタ番号 #51 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL17	クリア対象
0	OCU4
1	OCU5



28.4.19 DMA 要求クリアレジスタ 18 : ICSEL18 (Interrupt Clear SElect register 18)

- ICSEL18: アドレス 0412_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL18	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL18 : クリア選択ビット

割込みベクタ番号 #52 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL18	クリア対象
0	OCU6
1	OCU7

28.4.20 DMA 要求クリアレジスタ 19 : ICSEL19 (Interrupt Clear SElect register 19)

- ICSEL19: アドレス 0413_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-							ICSEL19	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL19 : クリア選択ビット

割込みベクタ番号 #53 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL19	クリア対象
0	OCU8
1	OCU9



28.4.21 DMA 要求クリアレジスタ 20 : ICSEL20 (Interrupt Clear SElect register 20)

- ICSEL20: アドレス 0414_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL20	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL20 : クリア選択ビット

割込みベクタ番号 #54 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL20	クリア対象
0	OCU10
1	OCU11

28.4.22 DMA 要求クリアレジスタ 21 : ICSEL21 (Interrupt Clear SElect register 21)

- ICSEL21: アドレス 0415_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL21[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL21[2:0] : クリア選択ビット

割込みベクタ番号 #55 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL21[2:0]	クリア対象
000	WG デッドタイムアンダフロー 0
001	WG デッドタイムアンダフロー 1
010	WG デッドタイムアンダフロー 2
011	WG デッドタイムリロード 0
100	WG デッドタイムリロード 1
101	WG デッドタイムリロード 2
110	WG DTTI0
111	設定禁止 (どれもクリアされません)



28.4.23 DMA 要求クリアレジスタ 22 : ICSEL22 (Interrupt Clear SElect register 22)

• ICSEL22: アドレス 0416_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL22[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL22[2:0] : クリア選択ビット

割込みベクタ番号 #56 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL22[2:0]	クリア対象
000	WG デッドタイムアンダフロー 3
001	WG デッドタイムアンダフロー 4
010	WG デッドタイムアンダフロー 5
011	WG デッドタイムリロード 3
100	WG デッドタイムリロード 4
101	WG デッドタイムリロード 5
110	WG DTTI1
111	設定禁止 (どれもクリアされません)

28.4.24 DMA 要求クリアレジスタ 23 : ICSEL23 (Interrupt Clear SElect register 23)

- ICSEL23: アドレス 0417_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL23[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL23[2:0] : クリア選択ビット

割込みベクタ番号 #57 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL23[2:0]	クリア対象
000	AD コンバータ 0
001	AD コンバータ 1
010	AD コンバータ 2
011	AD コンバータ 3
100	AD コンバータ 4
101	AD コンバータ 5
110	AD コンバータ 6
111	AD コンバータ 7



28.4.25 DMA 要求クリアレジスタ 24 : ICSEL24 (Interrupt Clear SElect register 24)

- ICSEL24: アドレス 0418_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL24[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL24[2:0] : クリア選択ビット

割込みベクタ番号 #58 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL24[2:0]	クリア対象
000	AD コンバータ 8
001	AD コンバータ 9
010	AD コンバータ 10
011	AD コンバータ 11
100	AD コンバータ 12
101	AD コンバータ 13
110	AD コンバータ 14
111	AD コンバータ 15

28.4.26 DMA 要求クリアレジスタ 25 : ICSEL25 (Interrupt Clear SElect register 25)

- ICSEL25: アドレス 0419_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-					ICSEL25[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W	R/W	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit2 ~ bit0] ICSEL25[2:0] : クリア選択ビット

割込みベクタ番号 #59 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL25[2:0]	クリア対象
000	AD コンバータ 16
001	AD コンバータ 17
010	AD コンバータ 18
011	AD コンバータ 19
100	AD コンバータ 20
101	AD コンバータ 21
110	AD コンバータ 22
111	AD コンバータ 23



28.4.27 DMA 要求クリアレジスタ 26 : ICSEL26 (Interrupt Clear SElect register 26)

- ICSEL26: アドレス 041A_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
							ICSEL26	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL26 : クリア選択ビット

割込みベクタ番号 #60 に割り当てられた , 割込みをクリアするペリフェラルを選択します。

ICSEL26	クリア対象
0	ベースタイマ 0 IRQ0
1	ベースタイマ 0 IRQ1

28.4.28 DMA 要求クリアレジスタ 27 : ICSEL27 (Interrupt Clear SElect register 27)

- ICSEL27: アドレス 041B_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
-							ICSEL27	
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	属性

[bit7 ~ bit1] 未定義

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit0] ICSEL27 : クリア選択ビット

割込みベクタ番号 #61 に割り当てられた, 割込みをクリアするペリフェラルを選択します。

ICSEL27	クリア対象
0	ベースタイマ 1 IRQ0
1	ベースタイマ 1 IRQ1

28.4.29 IO 転送要求設定レジスタ 0 ～ 7 :

IORR0 ～ IORR7 (IO triggered DMA Request Register for ch. 0 ～ ch. 7)

DMA 転送要求の発生要因をペリフェラルの割り込み要求に設定したときに、どのベクタ番号の割り込み要求を DMA 転送要求の発生要因にするかを設定するレジスタです。

DMA コントローラ (DMAC) のチャンネルごとに、このレジスタが用意されています。

- IORR0 ～ IORR7 : アドレス 0490_H ～ 0497_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約	IOE	IOS[5:0]						
0	0	0	0	0	0	0	0	初期値
R/W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7] 予約

必ず "0" を書き込んでください。

[bit6] IOE (IO Enabled) : 転送要求許可ビット

IOS5 ～ IOS0 ビットで指定した割り込み要求が発生したときに、対応するチャンネルの DMA コントローラ (DMAC) に、DMA 転送要求を出力するかどうかを設定します。

IOE	機能
0	DMA 転送要求を出力しません -- ペリフェラルで発生した割り込み要求を DMA 転送要求として使用しません (初期値)
1	DMA 転送要求を出力します

[bit5 ～ bit0] IOS5 ～ IOS0 (IO triggered DMA transfer request Select) : 転送要求選択ビット

このレジスタに対応するチャンネルの DMA コントローラ (DMAC) が、どのベクタ番号の割り込み要求を転送要求元として使用するか設定します。

IOS5 ～ IOS0	割り込みベクタ番号 (16 進)
000000	0x10 (初期値)
000001	0x11
000010	0x12
000011	0x13
000100	0x14
000101	0x15
:	:
101100	0x3C
101101	0x3D
101110	0x3E
101111	0x3F
11xxxx	Reserved

(注意事項) 同じ割り込みベクタ番号の割り込み要求が、複数の DMA チャンネルの転送要求元になる設定 (例: IORR0=0x42 と IORR1=0x42 の同時設定) は禁止です。

28.5 動作説明

■ 設定

設定する順番は次のようになります。

- (1) IORR に、転送要求元ペリフェラルの割込みベクタ番号と IOE ビットをセット。
- (2) (1) で選択したベクタ番号に複数のペリフェラルがある場合は、ICSEL をセット。
- (3) ペリフェラル側の割込み設定関連のレジスタを設定。
- (4) DMAC を設定。

■ 注意事項

- DMAC がペリフェラルの要求による DMA 転送を許可している状態で、IORR および ICSEL を変更しないでください。
- リソースナンバ割当て (「付録 C. 割込みベクター一覧」の「付表 C-1」を参照してください) のないペリフェラルには、DMA 転送完了後の割込みクリア機構はありません。したがって、これらのペリフェラルに DMA 転送要求発生を割り当てても、DMA 転送完了後に割込みがクリアされませんので注意してください。
- 転送要求に使用した割込み要求は、CPU への割込み要求としても見えますので割込みコントローラの設定を割込み禁止に設定してください。(ICR レジスタ)

第 29 章 外部バスインタフェース

29.1 概要

外部バスインタフェースの各機能について解説します。

29.2 特長

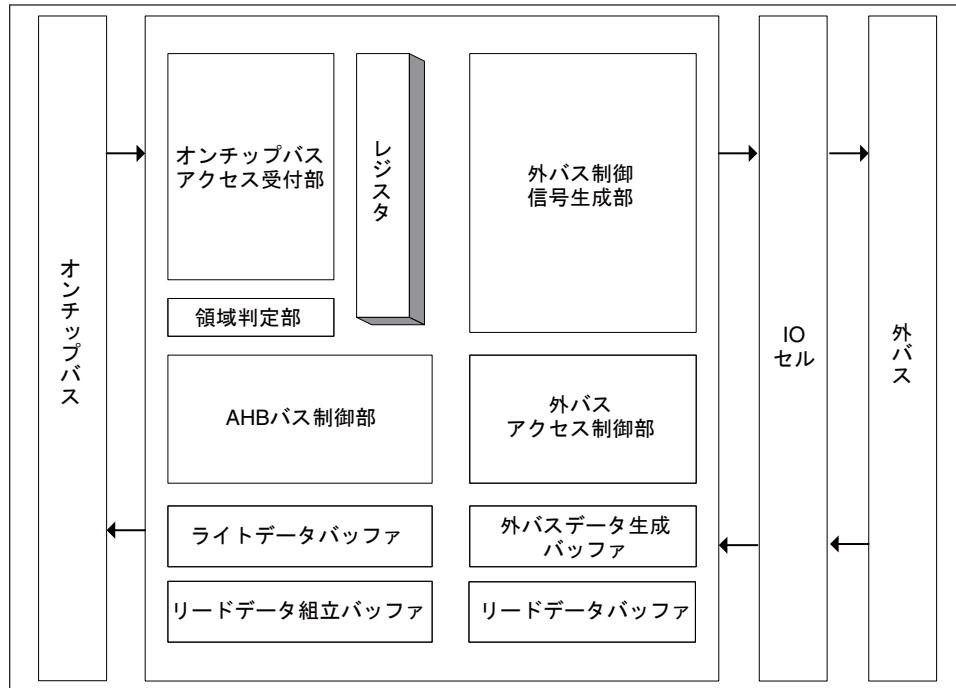
- 最大 22 ビット長 (4M バイト空間) のアドレスを出力。(ACR0 ～ ACR3:ADTY ビットの設定によっては最下位 1 ビットを固定扱いにしてその分上位ビットを 1 ビット拡張して、8M バイト空間に拡張できます。)
- アドレス・データスプリットバス対応
 - 非同期メモリ接続可能。
- アドレス・データマルチプレックスバス対応。
- 独立した 4 個チップセレクト領域 (以下 CS 領域とする) を設定でき、それぞれに対応したチップセレクト出力が可能。
- 各 CS 領域のサイズは 64K バイト～ 2G バイトの範囲で 16 とおり設定可能。
- 各 CS 領域は外バス領域内の任意の位置に設定可能。
- CS 領域ごとに以下の機能が独立に設定可能。
 - 有効・無効。
 - データバス幅 (8bit/16bit)
 - 書き込み禁止 (読出し専用) 設定
 - バイトオーダー
 - CS0 領域 : ビッグエンディアン
 - CS0 領域以外: ビッグ/リトルエンディアンサポート
 - アドレスシフト出力モード
- CS 領域ごとにバスタイプが選択可能。
- アドレス・データスプリットバス
- アドレス・データマルチプレックスバス
- CS 領域ごとに書き込み制御信号が選択可能。
- タイプ 0 (バイトライトストロブ信号出力)
- CS 領域ごとに以下のタイミング設定が可能
 - リード/ライトアクセス共通
 - ・アドレス → CS 信号セットアップサイクル数
 - アドレスストロブ信号出力サイクル数
 - 外部レディ入力によるリード/ライトバスサイクルの延長
 - リードアクセス
 - リードアクセス自動ウェイト。
 - CS 信号 → リードストロブ信号セットアップサイクル数
 - リードストロブ信号 → CS 信号ホールドサイクル数
 - リードアクセス → ライトアクセス間へのアイドルサイクル挿入
 - ライトアクセス
 - ライトアクセス自動ウェイト
 - CS 信号 → ライトストロブ信号セットアップサイクル数
 - ライトストロブ信号 → CS 信号ホールドサイクル数

管理コード: FR81S09_EBUS-1v0-91580L-1-J

- ライトリカバリサイクル挿入
 - ・アドレス・データマルチプレックスバス
 - ・アドレス出力サイクル数

29.3 構成

図 29.3-1 外部バスインタフェースのブロックダイアグラム



29.4 レジスタ

表 29.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0600	ASR0				CS0 領域レジスタ
0x0604	ASR1				CS1 領域レジスタ
0x0608	ASR2				CS2 領域レジスタ
0x060C	ASR3				CS3 領域レジスタ
0x0640	ACR0				CS0 バス設定レジスタ
0x0644	ACR1				CS1 バス設定レジスタ
0x0648	ACR2				CS2 バス設定レジスタ
0x064C	ACR3				CS3 バス設定レジスタ
0x0680	AWR0				CS0 ウェイトレジスタ
0x0684	AWR1				CS1 ウェイトレジスタ
0x0688	AWR2				CS2 ウェイトレジスタ
0x068C	AWR3				CS3 ウェイトレジスタ
0x06C0	予約 (DMAR0)				ch.0 外部 DMA 転送レジスタ (本品種ではサポートしていません)
0x06C4	予約 (DMAR1)				ch.1 外部 DMA 転送レジスタ (本品種ではサポートしていません)
0x06C8	予約 (DMAR2)				ch.2 外部 DMA 転送レジスタ (本品種ではサポートしていません)
0x06CC	予約 (DMAR3)				ch.3 外部 DMA 転送レジスタ (本品種ではサポートしていません)

29.4.1 CS 領域設定レジスタ : ASR0 ～ ASR3 (Area Setting Register 0 ～ 3)

CS 領域 CS0-3 の、領域の設定を行うレジスタです。1 つの CS 領域に対して 1 つの ASR レジスタを持ちます。CS 領域は重なり合わないよう設定してください。このレジスタの設定手順は「29.5.10 CS 設定フロー」を参照してください。

- **ASR0: アドレス 0600_H (アクセス : ワード)**
- **ASR1: アドレス 0604_H (アクセス : ワード)**
- **ASR2: アドレス 0608_H (アクセス : ワード)**
- **ASR3: アドレス 060C_H (アクセス : ワード)**

31	30	29	28	27	26	25	24	bit
SADR[31:24]								
*	*	*	*	*	*	*	*	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
23	22	21	20	19	18	17	16	bit
SADR[23:16]								
*	*	*	*	*	*	*	*	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
15	14	13	12	11	10	9	8	bit
予約								
*	*	*	*	*	*	*	*	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
7	6	5	4	3	2	1	0	bit
ASZ[3:0]				予約	WREN	LEDN	CSEN	
*	*	*	*	*	*	*	*	初期値
R/W	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

* [初期値] ASR0 0000_0000_0000_0000_0000_0000_1111_0001_B

ASR0 以外 XXXX_XXXX_XXXX_XXXX_0000_0000_XXXX_0XX0_B

[bit 31 ～ bit16] SADR[31:16] (Start ADdRess) : CS 領域開始アドレス

SADR は、CS 領域の開始アドレスを指定します。ASR0 の初期値は "0000_0000_0000_0000", ASR0 以外の初期値は不定です。開始アドレスは、32 ビットアドレスの上位 16 ビットを設定します。CS 領域はこのレジスタに設定されたアドレスから始まる ASZ[3:0] で設定された範囲の領域となります。CS 領域のバウンダリは、本レジスタの bit7-4:ASZ[3:0] の設定に従って決まります。例えば、ASZ[3:0]=0100 とし 1M バイトの CS 領域を設定した場合は、SADR の bit[19:16] は無視され、SADR[31:20] のみが意味を持ちます。

(注意事項) CS 領域に割り当て可能なアドレス範囲は品種により異なります。「基本情報」をご参照ください。

[bit15 ～ bit8] 予約

必ず "0" を書き込んでください。

[bit7 ～ bit4] ASZ[3:0] (Area SiZe) : CS 領域サイズ

CS 領域のサイズを以下のとおり設定します。また、その際に実際にアドレスと比較される SADR のビット位置を示します。

ASZ[3:0]	CS 領域のサイズ	実際にアドレスと比較される SADR のビット
0000	64K バイト	SADR[31:16]
0001	128K バイト	SADR[31:17]
0010	256K バイト	SADR[31:18]
0011	512K バイト	SADR[31:19]
0100	1M バイト	SADR[31:20]
0101	2M バイト	SADR[31:21]
0110	4M バイト	SADR[31:22]
0111	8M バイト	SADR[31:23]
1000	16M バイト	SADR[31:24]
1001	32M バイト	SADR[31:25]
1010	64M バイト	SADR[31:26]
1011	128M バイト	SADR[31:27]
1100	256M バイト	SADR[31:28]
1101	512M バイト	SADR[31:29]
1110	1G バイト	SADR[31:30]
1111	2G バイト (初期値)	SADR[31]

[bit 3] 予約

必ず "0" を書き込んでください。

[bit2] WREN (WRite ENable) : ライトイネーブル

CS 領域への書込みの有効・無効を設定します。

WREN	書込み有効・無効
0	書込み無効
1	書込み有効

ASR0 の初期値は "0", それ以外の ASR の初期値は不定です。

書込み無効の領域に対する書込みが内部バスから発生した場合、そのアクセスは無視され外部アクセスを一切行いません。データ領域など書込みが必要な領域は、WREN を "1" に設定してください。

[bit1] LEDN (Little ENdian) : リトルエンディアン

LEDN は CS 領域のバイトオーダを設定します。

ASR0 にはこのビットはありません、常に "0" が読み出されます。

LEDN	Endian
0	ビッグエンディアン
1	リトルエンディアン

ASR0 以外の初期値は不定です。

[bit0] CSEN (Chip Select ENable) : CS 領域イネーブル

CS 領域の有効・無効を設定します。CSEN に "1" を設定することにより, ASR レジスタ, ACR レジスタ, AWR レジスタの設定に従い, 動作を開始します。

ASR0 の初期値は "1", それ以外の ASR の初期値は "0" です。

CSEN	CS 領域の有効・無効
0	無効
1	有効

29.4.2 CS バス設定レジスタ : ACR0 ～ ACR3 (Area Configuration Register 0 ～ 3)

CS 領域の, バス設定を行うレジスタです。1 つの CS 領域に対して 1 つの ACR レジスタを持ちます。このレジスタの設定手順は「29.5.10 CS 設定フロー」を参照してください。

- ACR0: アドレス 0640_H (アクセス: ワード)
- ACR1: アドレス 0644_H (アクセス: ワード)
- ACR2: アドレス 0648_H (アクセス: ワード)
- ACR3: アドレス 064C_H (アクセス: ワード)

31	30	29	28	27	26	25	24	bit
予約								
*	*	*	*	*	*	*	*	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
23	22	21	20	19	18	17	16	bit
予約								
*	*	*	*	*	*	*	*	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
15	14	13	12	11	10	9	8	bit
予約								
*	*	*	*	*	*	*	*	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
7	6	5	4	3	2	1	0	bit
DBW[1:0]		予約		ADTY	BSTY	予約	予約	
*	*	*	*	*	*	*	*	初期値
R/W	R/W	R0,W0	R0,W0	R/W	R/W	RX,W0	RX,W0	属性

* [初期値] ACR0 0000_0000_0000_0000_0000_0000_0000_0000_B (*1)

ACR0 以外 0000_0000_0000_0000_0000_0000_XX00_XX0X_B

[bit 31 ～ bit8] 予約

必ず "0" を書き込んでください。

[bit7, bit6] DBW[1:0] (Data Bus Width) : データバス幅

データバス幅を設定します。本品種では 32 ビットデータバス幅はサポートしていません。

DBW[1:0]	データバス幅	使用されるビット位置 D31 ~ D16
00	8 ビット	D[31:24]
01	16 ビット	D[31:16]
10	予約 (32 ビット)	-
11	予約 (32 ビット)	-

ACR0 の初期値は "00" です。ACR0 以外の初期値は不定です。

(*1)ACR0 のレジスタとしての初期値は "00" ですが、リセット後モード端子の設定に従ってこのビットの初期値は変更される場合があります。

[bit5, bit4] 予約

必ず "0" を書き込んでください。

[bit3] ADTY (ADdress output TYpe) : アドレスタイプ

アドレス出力タイプを設定します。

ADTY	説明
0	通常出力
1	16 ビット時においてアドレスを 1 ビットシフトして出力します。 詳細は 29.5.6 アドレス情報をご参照ください。

[bit2] BSTY (BuS TYpe) : バスタイプ

バスタイプを設定します

BSTY	説明
0	アドレス・データスプリットバス
1	アドレス・データマルチプレックスバス

[bit1, bit0] 予約

必ず "0" を書き込んでください。

29.4.3 CS ウェイトレジスタ : AWR0 ～ AWR3 (Area Wait Register 0 ～ 3)

CS 領域 CS0-3 の、各種ウェイトの設定を行うレジスタです。1 つの CS 領域に対して 1 つの AWR レジスタを持ちます。このレジスタの設定手順は「29.5.10 CS 設定フロー」を参照してください。

- AWR0: アドレス 0680_H (アクセス : ワード)
- AWR1: アドレス 0684_H (アクセス : ワード)
- AWR2: アドレス 0688_H (アクセス : ワード)
- AWR3: アドレス 068C_H (アクセス : ワード)

31	30	29	28	27	26	25	24	bit
予約				RWT[3:0]				
*	*	*	*	*	*	*	*	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	属性
23	22	21	20	19	18	17	16	bit
WWT[3:0]				RIDL[1:0]		WRCV[1:0]		
*	*	*	*	*	*	*	*	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
15	14	13	12	11	10	9	8	bit
CSRD[1:0]		RDCS[1:0]		CSWR[1:0]		WRCS[1:0]		
*	*	*	*	*	*	*	*	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
ADCY[1:0]		ACS[1:0]		ASCY	予約	RDYE	予約	
*	*	*	*	*	*	*	*	初期値
R/W	R/W	R/W	R/W	R/W	R0,W0	R/W	R0,W0	属性

* [初期値] AWR0 0000_1111_0000_0000_1111_0000_0000_0000_B
AWR0 以外 0000_XXXX_XXXX_XXXX_XXXX_XXXX_XXXX_X0X0_B

[bit31 ～ bit28] 予約

必ず "0" を書き込んでください。

[bit27 ～ bit24] RWT3 ～ RWT0 (Read access auto Wait) : リードアクセスオートウェイト

RWT3 ～ RWT0 は、リードアクセスサイクルにおけるデータ取込み時のオートウェイトサイクル数を設定します。

RWT3 ～ RWT0	リードアクセスウェイト
0000	0 サイクル
0001	1 サイクル
0010	2 サイクル
0011	3 サイクル
～	～
1110	14 サイクル
1111	15 サイクル (AWR0 初期値)

[bit23 ～ bit20] WWT3 ～ WWT0 (Write access auto Wait) : ライトアクセスオートウェイト

WWT3 ～ WWT0 は、ライトアクセスサイクルにおけるオートウェイトサイクル数を設定します。

WWT3 ～ WWT0	ライトアクセスウェイト
0000	0 サイクル (AWR0 初期値)
0001	1 サイクル
0010	2 サイクル
0011	3 サイクル
～	～
1110	14 サイクル
1111	15 サイクル

[bit19, bit18] RIDL1, RIDL0 (Read access IDLe cycle) : リードアクセスアイドルサイクル

RIDL1, RIDL0 は出力オフタイムが長いデバイスからのリードデータとそれに続くアクセスに関するデータのデータバス上での衝突を防ぐ目的で設定します。リードアクセスに連続して下記の何れかに当てはまるアクセスが行われる場合、リードアクセス終了後 RIDL に設定されたアイドルサイクルが挿入されます。

- ・ ライトアクセス
- ・ 別の CS 領域へのアクセス
- ・ アドレス・データマルチプレックスバスタイプに設定された CS 領域に対するアクセス

スプリットバスタイプ (ACR.BSTY=0) に設定された同一 CS 領域に対するリードアクセスが連続する場合は、RIDL によるアイドルサイクルの挿入は行われません。アイドルサイクル中は、すべての CS 信号をネゲートし、データ端子はハイ・インピーダンス状態になります。

RIDL1, RIDL0	リードアクセスアイドルサイクル
00	0 サイクル (AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit17, bit16] WRCV1, WRCV0 (Write ReCoVery cycle) : ライトリカバリサイクル

WRCV1, WRCV0 は、ライトリカバリサイクルの設定であり、ライトアクセス後に続けてアクセスする際にその間隔に制限があるデバイスへのアクセスを制御するために設定します。ライトリカバリサイクル中はすべてのチップセレクト信号をネゲートし、ライトストロブ信号 WRnX (n=0～1) もネゲート状態を保ちます。またこの期間内は新たなアクセスは開始されません。ライトリカバリサイクルを 1 サイクル以上に設定した場合、ライトアクセスの後には必ずライトリカバリサイクルが挿入されます。

WRCV1, WRCV0	ライトリカバリサイクル
00	0 サイクル (AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル



[bit15, bit14] CSRD1, CSRD0 (CSnX to RDX setup cycle) : CSnX to RDX セットアップサイクル

CSRD1, CSRD0 は、リードアクセスの CSnX → RDX セットアップサイクルの設定であり、CSnX アサート後に RDX をアサートするまでの期間を設定します。

アドレス・データマルチプレックスバス (ACR.BSTY=1) 設定時は、プロトコルが正しく成立するように下記の条件を満たすよう AWR のパラメータを設定してください。

$$ACS + CSRD \geq 1 \text{ かつ } ACS + CSWR \geq 1$$

CSRD1, CSRD0	CSnX → RDX セットアップ延長サイクル
00	0 サイクル
01	1 サイクル
10	2 サイクル
11	3 サイクル (AWR0 初期値)

[bit13, bit12] RDCS1, RDCS0 (RDX to CSnX hold cycle) : RDX to CSnX ホールドサイクル

RDCS1, RDCS0 は、リードアクセスの RDX → CSnX ホールドサイクルの設定であり、RDX ネゲート後に CSnX をネゲートするまでの期間を設定します。

RDCS1, RDCS0	RDX → CSnX ホールド延長サイクル
00	0 サイクル
01	1 サイクル
10	2 サイクル
11	3 サイクル (AWR0 初期値)

[bit11, bit10] CSWR1, CSWR0 (CSnX to WRnX setup cycle) :

CSnX to WRnX セットアップサイクル

CSWR1, CSWR0 は、ライトアクセスの CSnX → WRnX セットアップサイクルの設定であり、CSnX アサート後、WRnX をアサートするまでの期間を設定します。

アドレス・データマルチプレックスバス (ACR.BSTY=1) 設定時は、プロトコルが正しく成立するように下記の条件を満たすよう AWR のパラメータを設定してください。

$$ACS + CSRD \geq 1 \text{ かつ } ACS + CSWR \geq 1$$

CSWR1, CSWR0	CSnX → WRnX セットアップ延長サイクル
00	0 サイクル (AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit9, bit8] WRCS1, WRCS0 (WRnX to CSnX hold cycle) : WRnX to CSnX ホールドサイクル

WRCS1, WRCS0 は、ライトアクセスの WRnX → CSnX ホールドサイクルの設定であり、WRnX ネゲート後に CSnX をネゲートするまでの期間を設定します。

WRCS1, WRCS0	WRnX → CSnX ホールド延長サイクル
00	0 サイクル (AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit7, bit6] ADCY1, ADCY0 (ADdress CYcle) : アドレス出力延長サイクル数

ADCY1, ADCY0 は、アドレス・データマルチプレックスバスタイプ設定 CS 領域へのアクセスにおける、データバスへのアドレス出力の延長サイクル数を設定します。このビットの設定は、アドレス・データマルチプレックスバスタイプ設定時のみにおいて有効です。

ADCY を 1 以上に設定する場合には、プロトコルが正しく成立するように下記の条件を満たすよう AWR のパラメータを設定してください。

$$ADCY + 1 \leq ACS + CSRD \text{ かつ } ADCY + 1 \leq ACS + CSWR$$

ADCY1, ADCY0	アドレス・データマルチプレックス時のアドレス出力延長サイクル数
00	0 サイクル (AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit5, bit4] ACS1, ACS0 (A00 ～ A21 to CSnX delay cycle) :

A00 ～ A21 to CSnX デレイサイクル数

ACS1, ACS0 は、A00 ～ A21 および ASX 出力から CSnX 出力の遅延サイクル数を設定します。CSnX のアサートに対してアドレスが一定のセットアップを必要とする場合や、連続して同一チップセレクト領域にアクセスした場合にも CSnX のエッジを必要とする場合に使用します。

ACS1, ACS0	A00 ～ A21 → CSnX 遅延サイクル数
00	0 サイクル (AWR0 初期値)
01	1 サイクル
10	2 サイクル
11	3 サイクル

[bit3] ASCY (ASX CYcle) : ASX 出力延長サイクル数

ASCY は、ASX 出力を何サイクル延長するかを設定します。ASX は最小で 1 サイクル出力されます。

ASCY	ASX 出力延長遅延サイクル数
0	0 サイクル (AWR0 初期値)
1	1 サイクル

[bit2] 予約

必ず "0" を書き込んでください。

[bit1] RDYE (RDY Enable) : RDY イネーブル

RDYE は、RDY 端子による外部からのウェイト挿入機能の有効・無効を設定します。

RDYE	RDY 端子有効
0	RDY 端子によるウェイト挿入無効 (AWR0 初期値)
1	RDY 端子によるウェイト挿入有効

[bit0] 予約

必ず "0" を書き込んでください。

29.4.4 外部 DMA 転送レジスタ : DMAR0 ～ DMAR3 (DMA transfer Register 0 ～ 3)

DMA 転送用外部端子の設定を行うレジスタです。本品種ではサポートしていません。

- **DMAR0:** アドレス 06C0_H (アクセス : ワード)
- **DMAR1:** アドレス 06C4_H (アクセス : ワード)
- **DMAR2:** アドレス 06C8_H (アクセス : ワード)
- **DMAR3:** アドレス 06CC_H (アクセス : ワード)

31	30	29	28	27	26	25	24	bit
予約								
*	*	*	*	*	*	*	*	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
15	14	13	12	11	10	9	8	bit
予約								
*	*	*	*	*	*	*	*	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
15	14	13	12	11	10	9	8	bit
予約								
*	*	*	*	*	*	*	*	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
7	6	5	4	3	2	1	0	bit
予約				REQL	ACKMD	ACKL	EOPL	
*	*	*	*	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W0	R/W0	R/W0	R/W0	属性

* [初期値] 0000_0000_0000_0000_0000_0000_0000_0000_B

[bit31 ～ bit4] 予約

必ず "0" を書き込んでください。

[bit3] REQL

ライトする場合は "0" を書き込んでください。

[bit2] ACKMD

ライトする場合は "0" を書き込んでください。

[bit1] ACKL

ライトする場合は "0" を書き込んでください。

[bit0] EOPL

ライトする場合は "0" を書き込んでください。

29.5 動作説明

29.5.1 外部端子表

本品種での外部バスインタフェース用外部端子を示します。

表 29.5-1 外部端子表

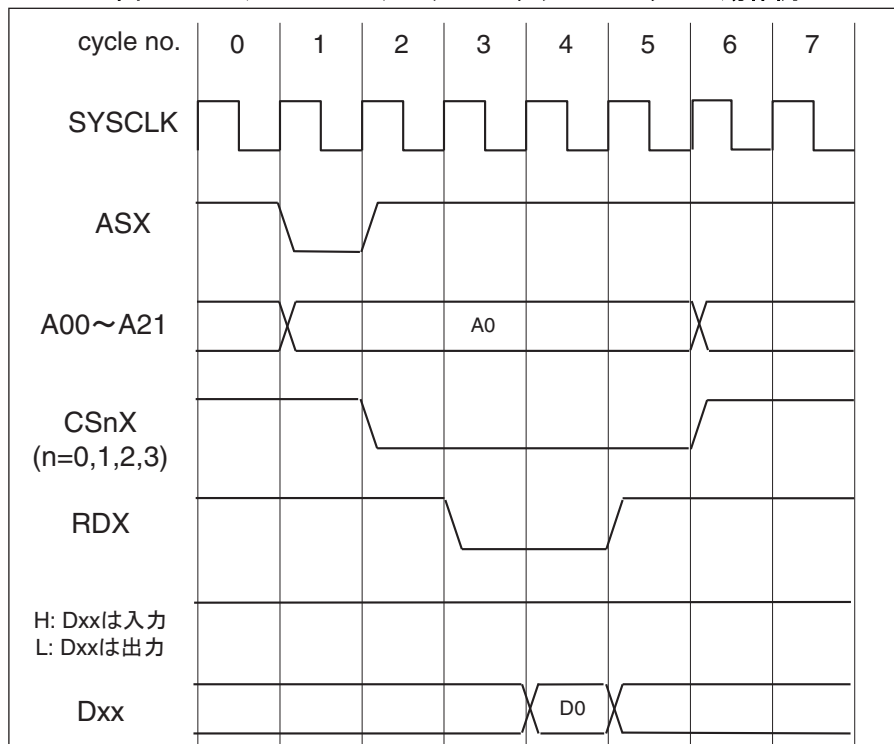
本品種での外部端子	本品種での端子番号	説明
SYSCLK	35	システムクロック出力
ASX	5	アドレスストロブ出力
CS0X・CS1X・CS2X・CS3X	6, 7, 38, 39	チップセレクト出力
RDX	8	リードストロブ出力
WR0X・WR1X	9, 10	ライトストロブ出力
RDY	41	バスレディ入力
D16～D31	131～143, 2, 3, 4,	データ入出力/ アドレス出力(アドレスマルチプレックス時)
A00～A21	11～17, 20～34	アドレス出力

29.5.2 外バス信号プロトコル

■ アドレス・データスプリットバス リードプロトコル

アドレス・データスプリットバスにおけるリードアクセスのプロトコルを示します。

図 29.5-1 アドレス・データスプリットバスリード動作例



● 動作例説明

cycle1 : ASX に "L" が 1 サイクル出力され、このサイクルからアクセスが開始されたことを示します。A00 ～ A21 はこのサイクルよりアクセス先のアドレス情報を示します。

cycle2 : アクセス開始時より設定カウント終了後、CSnX (n=0 ～ 3) に "L" の出力を開始し、アクセス完了まで継続します。外バス上のデバイスは CSnX="L" の期間内でのみ、アクセスに対して処理を行う必要があります。

cycle3 : CSnX="L" の出力開始から設定カウント終了後 RDX に "L" が出力されます。外バスデバイスは RDX="L" で示されるストロブ期間内に D16 ～ 31 にリードデータを返す必要があります。

cycle4 : RDX="L" の出力開始から設定カウント終了後 RDX の出力を "H" に戻します。STU は RDX="L" 期間内の、最後の tick の立上りエッジで D16 ～ 31 のデータを内部のバッファに取り込みます。

cycle5 : RDX="H" に戻してから設定カウント終了後 CSnX の出力を "H" に戻し、リードアクセス完了となります。この例ではこのサイクルの終わりで CSnX が "H" に戻りリードアクセス完了となります。

● 信号説明

外バスの出力信号は SYSCLK の立上りエッジに同期します。

ASX

アクセスの開始を示します。また、アドレスストロブとしても機能します。

アクセス開始時から 1 または 2 サイクル期間の "L" パルスを出力します。

A00 ～ A21

アクセス先のアドレス情報を出力します。

アクセス開始時より出力し、アクセス完了まで継続します。

CSnX (n=0 ～ 3)

アクセス先のアドレスが対応した CS 領域内である事を示します。外バスデバイスはこの信号が "L" の期間でのみバスからの要求を処理する必要があります。アクセス開始時から設定カウント終了後、"L" の出力を開始し、アクセス完了まで継続します。

RDX

リードストロブ期間を示します。CSnX (n=0 ～ 3) 駆動時より設定カウント終了後、リードアクセス時 "L" を出力します。リードオートウェイトカウント終了後 "H" 出力に戻します。外バスデバイスは RDX="L" の期間内に D16 ～ D31 に有効なデータを返す必要があります。本モジュールは RDX="L" 期間内の最後の SYSCLK の立上りエッジで、D16 ～ D31 データを内部のバッファに取り込みます。

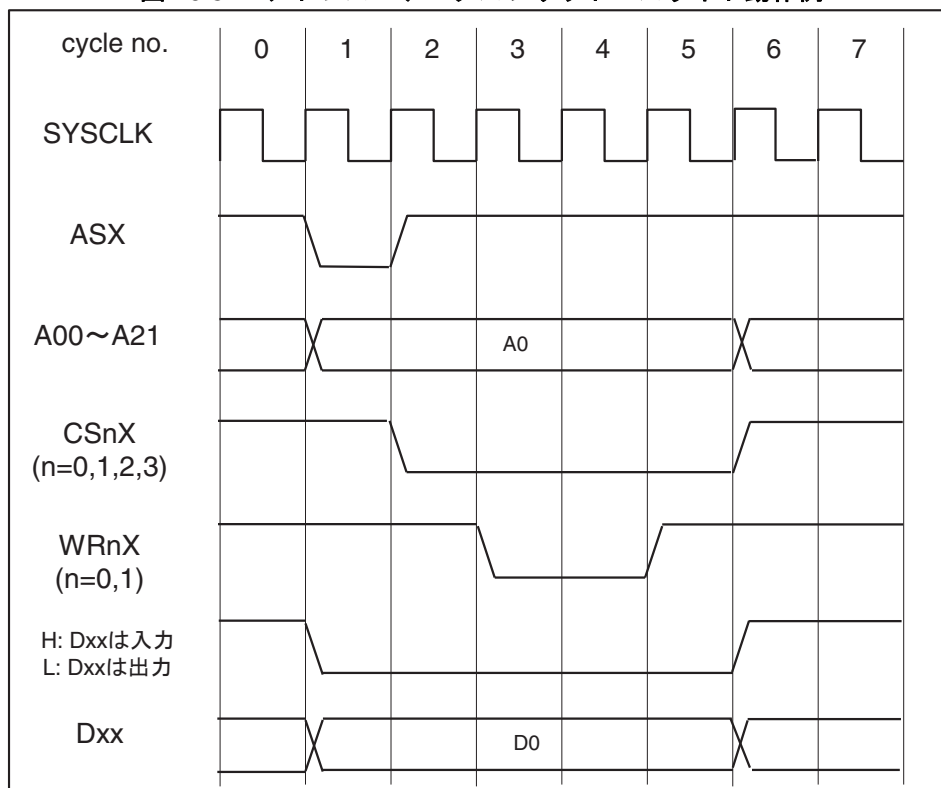
D16 ～ D31

外バスデバイスは RDX="L" の期間内に D16 ～ D31 に有効なデータを返す必要があります。本モジュールは RDX="L" 期間内の最後の SYSCLK の立上りエッジで、D16 ～ D31 データを内部のバッファに取り込みます。

■ アドレス・データスプリットバス ライトプロトコル

アドレス・データスプリットバスにおけるライトアクセスのプロトコルを示します。

図 29.5-2 アドレス・データスプリットバスライト動作例



● 動作例説明

cycle1 : ASX に "L" が 1 サイクル出力され、このサイクルからアクセスが開始されたことを示します。A00 ～ A21 はこのサイクルより、アクセス先のアドレス情報を示します

cycle2 : アクセス開始から設定カウント終了後、CSnX (n=0 ～ 3) に "L" が出力されます。CSnX はアクセス完了まで "L" の出力を継続します。外バス上のデバイスは CSnX="L" の期間内でのみ、アクセスに対する処理を実行する必要があります。

cycle3 : CSnX に "L" の出力を開始してから設定カウント終了後、WRnX (n=0, 1) に "L" が出力されます。外バスデバイスは WRnX に "L" が出力されているライトストロープ期間内に D16 ～ D31 の値を取り込む必要があります。

cycle4 : WRnX="L" 出力開始から設定カウント終了後、WRnX を "H" 出力に戻し、ライトストロープ期間を終了します。この例ではライトストロープ期間が 1 サイクル延長されています。このサイクルの終わりで WRnX を "H" 出力に戻し、ストロープ期間を終了しています。

cycle5 : WRnX="H" に戻してから設定カウント終了後 CSnX の出力を "H" に戻し、ライトアクセス完了となります。この例ではこのサイクルの終わりで CSnX が "H" に戻りライトアクセス完了となります。

● 信号説明

外バスの出力信号は SYSCLK の立上りエッジに同期します。

ASX

アクセスの開始を示します。また、アドレスストローブとしても機能します。

アクセス開始時から 1 または 2 サイクル期間の "L" パルスを出力します。

A00 ～ A21

アクセス先のアドレス情報を出力します。

アクセス開始時より出力し、アクセス完了まで継続します。

CSnX (n=0 ～ 3)

アクセス先のアドレスが対応した CS 領域内である事を示します。外バスデバイスはこの信号が "L" の期間でのみバスからの要求を処理する必要があります。アクセス開始時から設定カウント終了後、"L" の出力を開始し、アクセス完了まで継続します。

WRnX (n=0, 1)

ライトサイクルストローブ期間を示します。CSnX (n=0 ～ 3) 駆動時よりカウント終了後、ライトアクセス時には "L" を出力します。ライトオートウェイトカウント終了後 "H" 出力に戻します。外バスデバイスは WRnX (n=0 ～ 1)="L" の期間に、D16 ～ D31 のデータを取り込む必要があります。

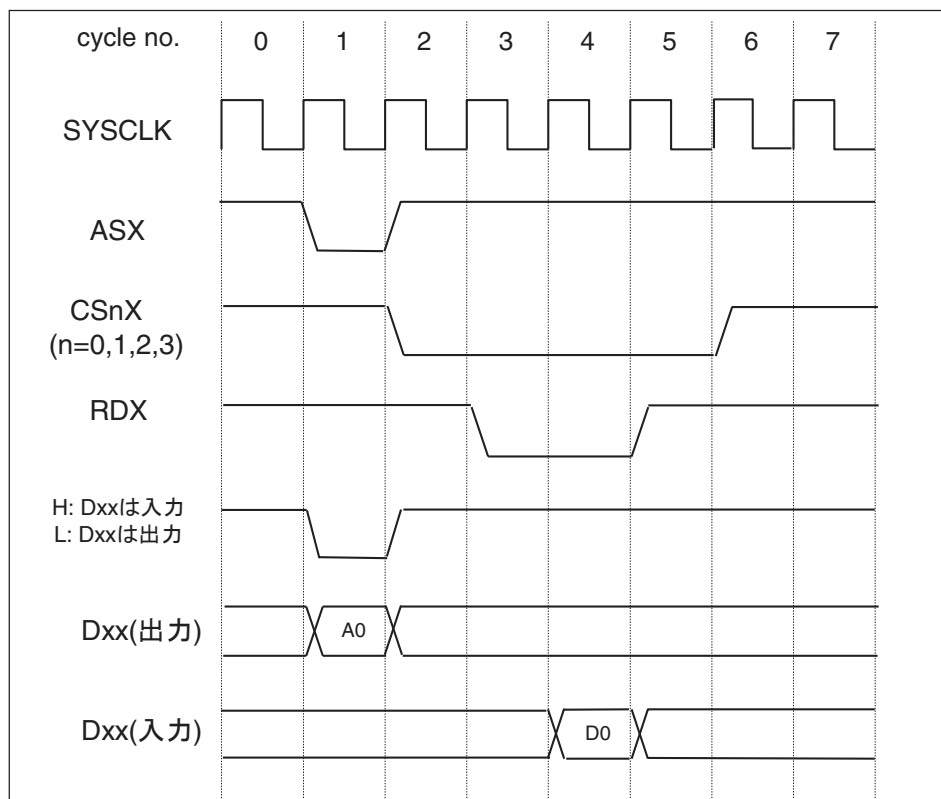
D16 ～ D31

アクセス開始時からライトデータを出力します。アクセス完了まで、ライトデータの出力が継続されます。外バスデバイスは WRnX="L" の期間内に D16 ～ D31 のデータを取り込む必要があります。

■ アドレス・データマルチプレックスバス リードプロトコル

アドレス・データマルチプレックスバスにおけるリードアクセスのプロトコルを示します。

図 29.5-3 アドレス・データマルチプレックスバスリード動作例



● 動作例説明

cycle1: ASX に "L" が出力され、このサイクルからアクセスが開始されたことを示しています。データバス D16 ～ D31 にはアドレス情報 A0 が出力されます。ASX はこのアドレス情報のストローブ信号として機能します。このアドレス情報は設定カウントサイクル出力します。設定カウント終了後は D16 ～ D31 は入力状態とします。

cycle2: アクセス開始時より設定カウント終了後、CSnX (n=0 ～ 3) に "L" の出力を開始し、アクセス完了まで継続します。外バス上のデバイスは CSnX="L" の期間内でのみ、アクセスに対して処理を行う必要があります。

cycle3: CSnX="L" の出力開始から設定カウント終了後 RDX に "L" が出力されます。外バスデバイスは RDX="L" で示されるストローブ期間内に D16 ～ D31 にリードデータを返す必要があります。

cycle4: RDX="L" の出力開始から設定カウント終了後 RDX の出力を "H" に戻します。本モジュールは RDX="L" 期間内の、最後の SYSCLK の立上りエッジで D16 ～ D31 のデータを内部のバッファに取り込みます。

cycle5: RDX="H" に戻してから設定カウント終了後 CSnX (n=0 ～ 3) の出力を "H" に戻し、リードアクセス完了となります。この例ではこのサイクルの終わりで CSnX が "H" に戻りリードアクセス完了となります。

● 信号説明

外バスの出力信号は SYSCLK の立上りエッジに同期します。

ASX

アクセスの開始を示します。また、アドレスストローブとしても機能します。

アクセス開始時から 1 または 2 サイクル期間の "L" パルスを出力します。

CSnX (n=0 ～ 3)

アクセス先のアドレスが対応した CS 領域内である事を示します。外バスデバイスはこの信号が "L" の期間でのみバスからの要求を処理する必要があります。アクセス開始時から設定カウント終了後、"L" の出力を開始し、アクセス完了まで継続します。

RDX

リードストローブ期間を示します。CSnX (n=0 ～ 3) 駆動時より設定カウント終了後、リードアクセス時 "L" を出力します。リードオートウェイトカウント終了後 "H" 出力に戻します。外バスデバイスは RDX="L" の期間内に D16 ～ D31 に有効なデータを返す必要があります。本モジュールは RDX="L" 期間内の最後の SYSCLK の立上りエッジで、D16 ～ D31 のデータを内部のバッファに取り込みます。

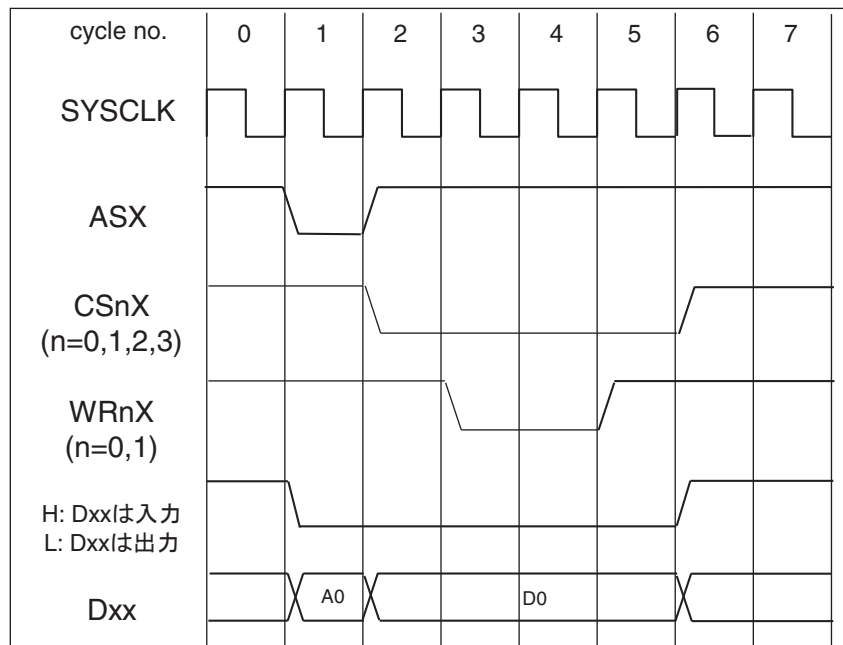
D16 ～ D31

アクセス開始時からアドレス情報を出力します。設定カウント終了後入力状態となり、外バスデバイスからのリードデータを受け付けます。本モジュールは RDX="L" 期間内の最後の SYSCLK の立上りエッジで、D16 ～ D31 のデータを内部のバッファに取り込みます。

■ アドレス・データマルチプレックスバス ライトプロトコル

アドレス・データマルチプレックスバスにおけるライトアクセスのプロトコルを示します。

図 29.5-4 アドレス・データマルチプレックスバスライト動作例



● 動作例説明

cycle1 : アクセス開始サイクルです。アクセス開始を示す ASX に "L" が出力されます。D16 ～ D31 にはアドレス情報が出力されます。ASX はこのアドレス情報のストローブ信号として機能します。このアドレス情報は設定カウントサイクル出力します。

cycle2 : アクセス開始時より設定カウント終了後, CSnX (n=0 ～ 3) に "L" の出力を開始し, アクセス完了まで継続します。外バス上のデバイスは CSnX="L" の期間内でのみ, アクセスに対して処理を行う必要があります。

cycle3 : CSnX に "L" の出力を開始してから設定カウント終了後, WRnX (n=0, 1) に "L" が出力されます。外バスデバイスは WRnX="L" で示されるライトストローブ期間内に D16 ～ D31 の値を取り込む必要があります。

cycle4 : WRnX="L" 出力開始から設定カウント終了後, WRnX を "H" 出力に戻し, ライトストローブ期間を終了します。この例ではライトストローブ期間が 1 サイクル延長されています。このサイクルの終わりで WRnX を "H" 出力に戻し, ライトストローブ期間を終了しています。

cycle5 : WRnX="H" に戻してから設定カウント終了後 CSnX の出力を "H" に戻し, ライトアクセス完了となります。この例ではこのサイクルの終わりで CSnX が "H" に戻りライトアクセス完了となります。

● 信号説明

外バスの出力信号は SYSCLK の立上りエッジに同期します。

ASX

アクセスの開始を示します。また、アドレスストローブとしても機能します。

アクセス開始時から 1 または 2 サイクル期間の "L" パルスを出力します。

CSnX (n=0 ～ 3)

アクセス先のアドレスが対応した CS 領域内である事を示します。外バスデバイスはこの信号が "L" の期間でのみバスからの要求を処理する必要があります。アクセス開始時から設定カウント終了後、"L" の出力を開始し、アクセス完了まで継続します。

WRnX (n=0, 1)

ライトストローブ期間を示します。CSnX 駆動時よりカウント終了後、ライトアクセス時には "L" を出力します。ライトオートウェイトカウント終了後 "H" 出力に戻します。外バスデバイスは WRnX="L" の期間に、D16 ～ D31 のデータを取り込む必要があります。

D16 ～ D31

アクセス開始時から、アクセス先のアドレス情報を出力します。設定カウント終了後ライトデータの出力を開始し、アクセス完了まで継続します。外バスデバイスはライトストローブ期間内に D16 ～ D31 の値を取り込む必要があります。

29.5.3 アドレスアライメント

外部バスインタフェースは、アクセス先アドレスのミスアラインエラーを検出しません。したがって、ワードアクセス・ハーフワードアクセスの場合には、以下ようになります。

• ワードアクセス

プログラムで指定したアドレスの最下位 2 ビットが "00""01""10""11" であっても、出力するアドレスの下位 2 ビットは "00" となります。

• ハーフワードアクセス

プログラムで指定したアドレスの最下位 2 ビットが "00""01" の場合、出力するアドレスの下位 2 ビットは "00" となり、"10""11" の場合、出力するアドレスの最下位 2 ビットは "10" となります。

29.5.4 分割アクセス

アクセスサイズがバス幅よりも大きい場合には、1 つのアクセスが分割されて実行されます。

表 29.5-2 分割アクセス回数

バス幅	アクセスサイズ		
	バイト	ハーフワード	ワード
8 ビット	1 回	2 回	4 回
16 ビット	1 回	1 回	2 回

29.5.5 データアライメント

各CS領域はビッグエンディアンとリトルエンディアンの両方エンディアンをサポートしています。ただし、CS0 はビッグエンディアンのみのサポートです。データバス幅は、CS 領域ごとに 8 ビット /16 ビットを選択可能です。

以下に、各エンディアン設定・データバス幅設定時の、外部アクセスサイズに対するデータアライメントと対応する制御信号を示します。

表 29.5-3 ビッグエンディアン・16 ビット

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位 2 ビット		A01, A00	D31 ~ D24	D23 ~ D16	WR0X	WR1X
バイト	00	-	00	bit7 ~ bit0		○	
	01	-	01		bit7 ~ bit0		○
	10	-	10	bit7 ~ bit0		○	
	11	-	11		bit7 ~ bit0		○
ハーフワード	0n	-	00	bit15 ~ bit8	bit7 ~ bit0	○	○
	1n	-	10	bit15 ~ bit8	bit7 ~ bit0	○	○
ワード	nn	分割アクセス 1 回目	00	bit31 ~ bit24	bit23 ~ bit16	○	○
		分割アクセス 2 回目	10	bit15 ~ bit8	bit7 ~ bit0	○	○

表 29.5-4 ビッグエンディアン・8 ビット

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位 2 ビット		A01, A00	D31 ~ D24	D23 ~ D16	WR0X	WR1X
バイト	00	-	00	bit7 ~ bit0		○	
	01	-	01	bit7 ~ bit0		○	
	10	-	10	bit7 ~ bit0		○	
	11	-	11	bit7 ~ bit0		○	
ハーフ ワード	0n	分割アクセス 1 回目	00	bit15 ~ bit8		○	
		分割アクセス 2 回目	01	bit7 ~ bit0		○	
	1n	分割アクセス 1 回目	10	bit15 ~ bit8		○	
		分割アクセス 2 回目	11	bit7 ~ bit0		○	
ワード	nn	分割アクセス 1 回目	00	bit31 ~ bit24		○	
		分割アクセス 2 回目	01	bit23 ~ bit15		○	
		分割アクセス 3 回目	10	bit15 ~ bit8		○	
		分割アクセス 4 回目	11	bit7 ~ bit0		○	

表 29.5-5 リトルエンディアン・16 ビット

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位 2 ビット		A01, A00	D31 ~ D24	D23 ~ D16	WR0X	WR1X
バイト	00	-	00	bit7 ~ bit0		○	
	01	-	01		bit7 ~ bit0		○
	10	-	10	bit7 ~ bit0		○	
	11	-	11		bit7 ~ bit0		○
ハーフ ワード	0n	-	00	bit7 ~ bit0	bit15 ~ bit8	○	○
	1n	-	10	bit7 ~ bit0	bit15 ~ bit8	○	○
ワード	nn	分割アクセス 1 回目	00	bit7 ~ bit0	bit15 ~ bit8	○	○
		分割アクセス 2 回目	10	bit23 ~ bit16	bit31 ~ bit24	○	○

表 29.5-6 リトルエンディアン・8 ビット

アクセス		分割アクセス	出力端子				
サイズ	アドレス下位 2 ビット		A01, A00	D31 ~ D24	D23 ~ D16	WR0X	WR1X
バイト	00	-	00	bit7 ~ bit0		○	
	01	-	01	bit7 ~ bit0		○	
	10	-	10	bit7 ~ bit0		○	
	11	-	11	bit7 ~ bit0		○	
ハーフ ワード	0n	分割アクセス 1 回目	00	bit7 ~ bit0		○	
		分割アクセス 2 回目	01	bit15 ~ bit8		○	
	1n	分割アクセス 1 回目	10	bit7 ~ bit0		○	
		分割アクセス 2 回目	11	bit15 ~ bit8		○	
ワード	nn	分割アクセス 1 回目	00	bit7 ~ bit0		○	
		分割アクセス 2 回目	01	bit15 ~ bit8		○	
		分割アクセス 3 回目	10	bit23 ~ bit16		○	
		分割アクセス 4 回目	11	bit31 ~ bit24		○	

29.5.6 アドレス情報

■ アドレス情報と出力端子

• アドレス・データスプリットバス

32 ビットのアドレス情報を A00 ～ A21 に出力します。

• アドレス・データマルチプレックスバス

アドレス・データマルチプレックスバスでは、アドレス出力サイクル中データバス端子 D16 ～ D31 にアドレス情報を出力します。データバスの幅の設定によって出力可能なアドレスのビット幅が決まります。アドレス・データマルチプレックスバスを選択時においても、アドレス端子 A00 ～ A21 はアドレスを出力します。D00 ～ D21 端子に出力されるアドレス情報の欠けている部分は、アドレス端子 A00 ～ A21 を使用して補完できます。

■ アドレスタイプ

アドレス情報の出力を通常どおり出力する通常タイプとビットシフトして出力するシフトタイプから選択できます。ACR.ADTY で設定します。

• ADTY=0

通常出力モードです。アドレス情報をビットシフトせずにそのまま端子に出力します。

• ADTY=1

アドレスシフト出力モードです。アドレスバス情報をビットシフトして端子に出力します。

アドレスタイプ (ACR.ADTY), バスタイプ (ACR.BSTY), バス幅と出力アドレス情報, アドレス出力端子の関係は下表のとおりです。

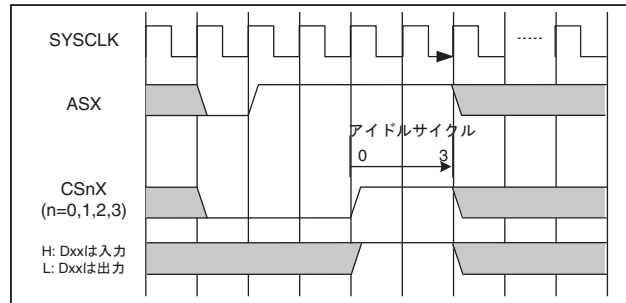
表 29.5-7 出力アドレスと出力端子

ACR レジスタ		バス幅 [bit]	A21 ～ A00	アドレス出力サイクル時の出力端子 D31 ～ D24	
ADTY	BSTY			D31 ～ D24	D23 ～ D16
0	0	8	アドレス [21:0]	-	-
		16			
0	1	8	アドレス [21:0]	アドレス [7:0]	-
		16	アドレス [21:0]	アドレス [15:8]	アドレス [7:0]
1	0	8	アドレス [21:0]	-	-
		16	アドレス [22:1]		
1	1	8	アドレス [21:0]	アドレス [7:0]	-
		16	アドレス [22:1]	アドレス [16:9]	アドレス [8:1]

29.5.7 アイドルサイクル挿入機能

アクセスとアクセスの間にアイドルサイクルを挿入できます。アイドルサイクル中は要求があっても次のアクセスを開始せず、アイドルサイクルカウント終了後開始します。

図 29.5-5 アイドルサイクル挿入



■ リードアクセスアイドルサイクル

リードアクセスに連続して下記の何れかに当てはまるアクセスが行われる場合、リードアクセス終了後アイドルサイクルが挿入されます。AWR:RIDL[1:0] で設定します。

- ライトアクセス
- 別の CS 領域へのアクセス
- アドレス・データマルチプレックスバスタイプに設定された CS 領域に対するアクセス

(注) RIDL によるアイドルサイクル挿入が行われないのは、スプリットバスタイプに設定された同一 CS 領域に対するリードアクセスが連続する場合のみです。

■ ライトリカバリサイクル

ライトアクセス終了後アイドルサイクルを挿入します。AWR:WRCV[1:0] で設定します。

29.5.8 外バス出力信号タイミング設定

外バス信号の出力タイミングは以下のパラメータによって決定されます。タイミングパラメータはレジスタへの設定値で決まります。

■ アドレス・データスプリットバスタイミングパラメータ

アドレス・データスプリットバスで設定可能なタイミングパラメータを示します。

図 29.5-6 アドレス・データスプリットバスタイミングパラメータ

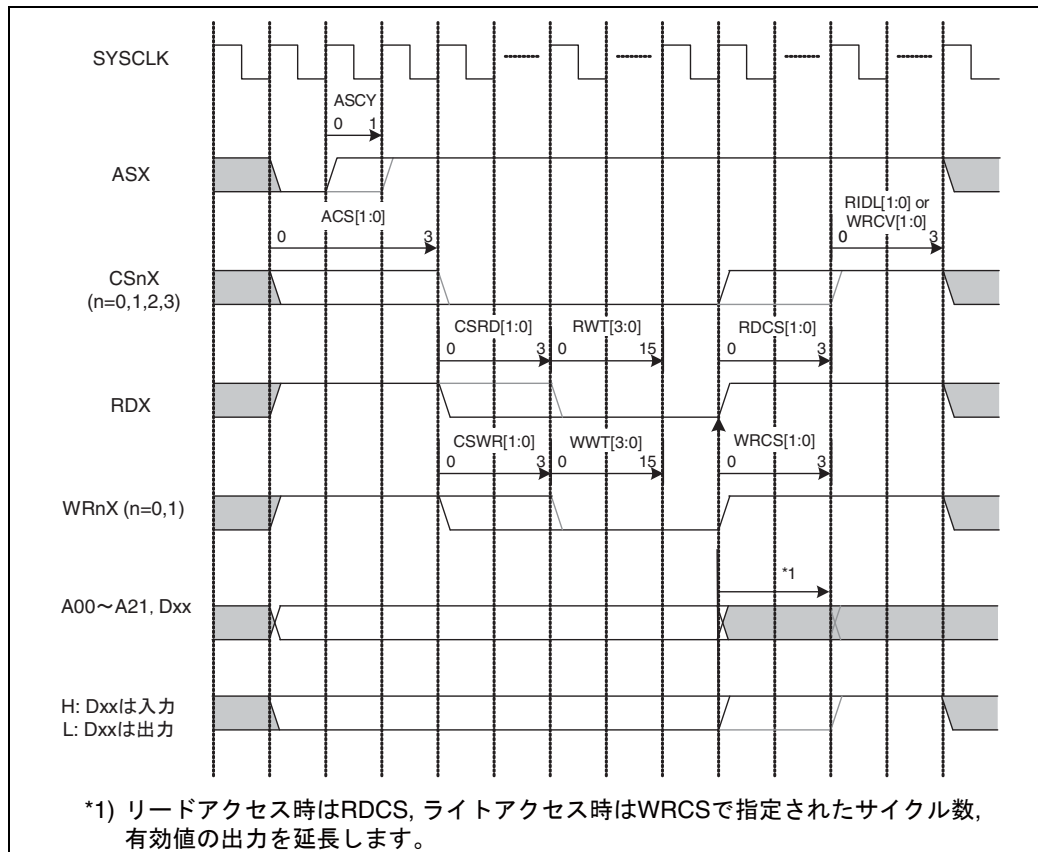


表 29.5-8 アドレス・データスプリットバスタイミングパラメータ

パラメータ名	機能名	説明
ASCY(ASX CYcle)	ASX 出力延長サイクル数	アクセス開始時から, ASX に (ASCY+1) サイクル "L" を出力します。
ACS[1:0] (A00 ～ A21_x to CSnX delay cycle)	A00 ～ A21 → CSnX デレイサイクル数	ASX 出力から ACS カウント終了後, CSnX (n=0 ～ 3) に "L" の出力を開始します。
CSRD[1:0] (CSnX to RDX setup cycle)	CSnX → RDX セットアップサイクル	リードアクセス時, CSnX の "L" 出力開始から CSRD カウント終了後 RDX に "L" の出力を開始します。
RWT[3:0] (Read access auto Wait)	リードアクセスオートウェイト	リードアクセス時, RDX の "L" 出力開始から (RWT+1) カウント終了後, RDX の出力を "H" に戻します。
RDCS[1:0] (RDX to CSnX hold cycle)	RDX → CSnX ホールドサイクル	リードアクセス時, RDX の出力を "H" 出力に戻したサイクルから RDCS カウント後, CSnX の出力を "H" に戻します。
CSWR[1:0] (CSnX to WRnX setup cycle)	CSnX → WRnX セットアップサイクル	ライトアクセス時, CSnX の "L" 出力開始から CSWR カウント終了後 WRnX に "L" の出力を開始します。
WWT[3:0] (Write access auto Wait)	ライトアクセスオートウェイト	ライトアクセス時, (WWT+1) カウント終了後, WRnX(n=0 ～ 1) の出力を "H" に戻します。
WRCS[1:0] (WRnX to CSnX hold cycle)	WRnX → CSnX ホールドサイクル	ライトアクセス時, WRnX の出力を "H" 出力に戻したサイクルから WRCS カウント後 CSnX の出力を "H" に戻します。
RIDL[1:0] (Read access IDLe cycle)	リードアクセスアイドルサイクル	リードアクセス終了後は, RIDL カウント終了後, 次のアクセスが開始可能となります。
WRCV[1:0] (Write ReCoVery cycle)	ライトリカバリサイクル	ライトアクセス終了後は, WRCV カウント終了後, 次のアクセスが開始可能となります。

アクセスサイクル数は次の式で決まります。

リードアクセスサイクル数 = アドレス & データ出力 (1) + ACS(0 ～ 3) + CSRD(0 ～ 3) + RWT(0 ～ 15) + RDCS(0 ～ 3)

最小 :1 サイクル, 最大 :25 サイクル

ライトアクセスサイクル数 = アドレス & データ出力 (1) + ACS(0 ～ 3) + CSWR(0 ～ 3) + WWT(0 ～ 15) + WRCS(0 ～ 3)

最小 :1 サイクル, 最大 25 サイクル

プロトコルが正しく成立するように, 以下の条件が成立している必要があります。

$ASCY \leq ACS + CSRD + RWT + RDCS$ かつ $ASCY \leq ACS + CSWR + WWT + WRCS$

■ アドレス・データマルチプレックスバスタイミングパラメータ

アドレス・データマルチプレックスバスで設定可能なタイミングパラメータを示します。

図 29.5-7 アドレス・データマルチプレックスバスタイミングパラメータ

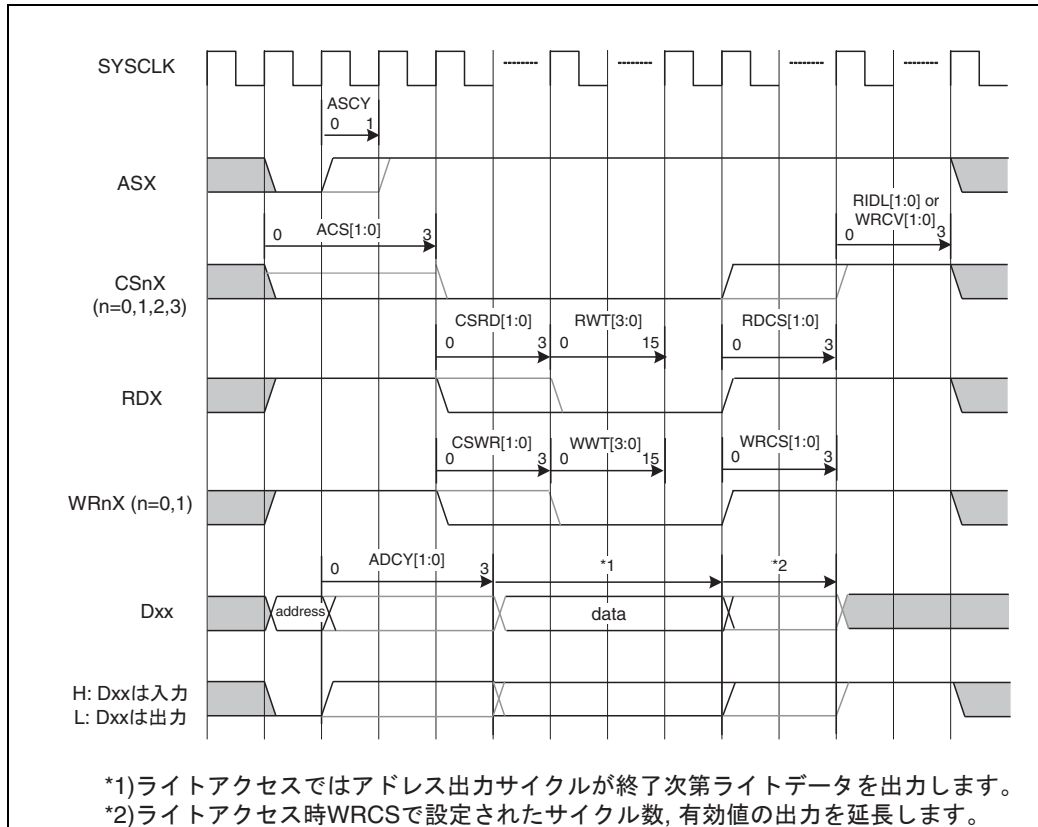


表 29.5-9 アドレス・データマルチプレックスバスタイミングパラメータ

パラメータ名	機能名	説明
ASCY(ASX CYcle)	ASX 出力延長 サイクル数	アクセス開始時から, ASX に (ASCY+1) サイクル "L" を出力します。
ACS[1:0] (A00 ～ A21_x to CSnX delay cycle)	A00 ～ A21 → CSnX ディレイサイクル数	ASX 出力から ACS カウント終了後, CSnX(n=0 ～ 3) に "L" の出力を開始します。
ADCY[1:0](ADdress CYcle)	アドレス出力 延長サイクル数	ADCY ≥ ASCY のとき D16 ～ D31 はアクセス開始時から, (ADCY+1) サイクルアドレス情報を出力します。ライト時はカウント終了後ライトデータをアクセス終了まで出力します。 ADCY < ASCY のとき カウント値が (ADCY+1) から (ASCY+1) に変更になります。 それ以外の点に違いはありません。 ADCY のカウントはほかのカウンタとは独立に動作します。またほかのカウンタの開始条件にも影響を及ぼしません。従いまして, 全体のプロトコルとして正しく動作するためにはカウンタ値の設定方法に制限があります。表外の設定禁止条件を参照してください。
CSRD[1:0] (CSnX to RDX setup cycle)	CSnX → RDX セットアップサイクル	リードアクセス時, CSnX の "L" 出力開始から CSRD カウント終了後 RDX に "L" の出力を開始します。
RWT[3:0] (Read access auto Wait)	リードアクセス オートウェイト	リードアクセス時, RDX の "L" 出力開始から (RWT+1) カウント終了後, RDX の出力を "H" に戻します。
RDCS[1:0] (RDX to CSnX hold cycle)	RDX → CSnX ホールドサイクル	リードアクセス時, RDX の出力を "H" 出力に戻したサイクルから RDCS カウント後, CSnX の出力を "H" に戻します。
CSWR[1:0] (CSnX to WRnX setup cycle)	CSnX → WRnX セット アップサイクル	ライトアクセス時, CSnX の "L" 出力開始から CSWR カウント終了後 WRnX(n=0 ～ 1) に "L" の出力を開始します。
WWT[3:0] (Write access auto Wait)	ライトアクセス オートウェイト	ライトアクセス時, (WWT+1) カウント終了後, WRnX の出力を "H" に戻します。
WRCS[1:0] (WRnX to CSnX hold cycle)	WRnX → CSnX ホールドサイクル	ライトアクセス時, WRnX の出力を "H" 出力に戻したサイクルから WRCS カウント後 CSnX の出力を "H" に戻します。
RIDL[1:0] (Read access IDLe cycle)	リードアクセス アイドルサイクル	リードアクセス終了後は, RIDL カウント終了後, 次のアクセスが開始可能となります。
WRCV[1:0] (Write ReCoVery cycle)	ライトリカバリ サイクル	ライトアクセス終了後は, WRCV カウント終了後, 次のアクセスが開始可能となります。

アクセスサイクル数は次の式で決まります。

リードアクセスサイクル数 = アドレス出力 (1) + ACS(0 ～ 3) + CSRD(0 ～ 3) + データ出力 (1) + RWT(0 ～ 15) + RDCS(0 ～ 3)

最小 :2 サイクル, 最大 :26 サイクル

ライトアクセスサイクル数= アドレス出力(1)+ ACS(0～3)+ CSWR(0～3)+ データ出力(1)+ WWT(0～15)+ WRCS(0～3)

最小 :2 サイクル , 最大 26 サイクル

プロトコルが正しく成立するように , 以下の 4 条件が成立している必要があります。

$ADCY + 1 \leq ACS + CSRD$

$ADCY + 1 \leq ACS + CSWR$

$ASCY + 1 \leq ACS + CSRD$

$ASCY + 1 \leq ACS + CSWR$

29.5.9 RDY 端子アクセスサイクル延長機能

RDY 端子に "0" を入力することにより , オートウェイトサイクル終了後もリード , ライトストロブサイクルを延長できます。

AWR.RDYE に "1" を設定することにより , 対応する領域へのアクセスに対して RDY 端子によるこの機能が有効になります。

この機能は対応する領域のオートウェイトサイクルを 2 以上に設定して使用してください。

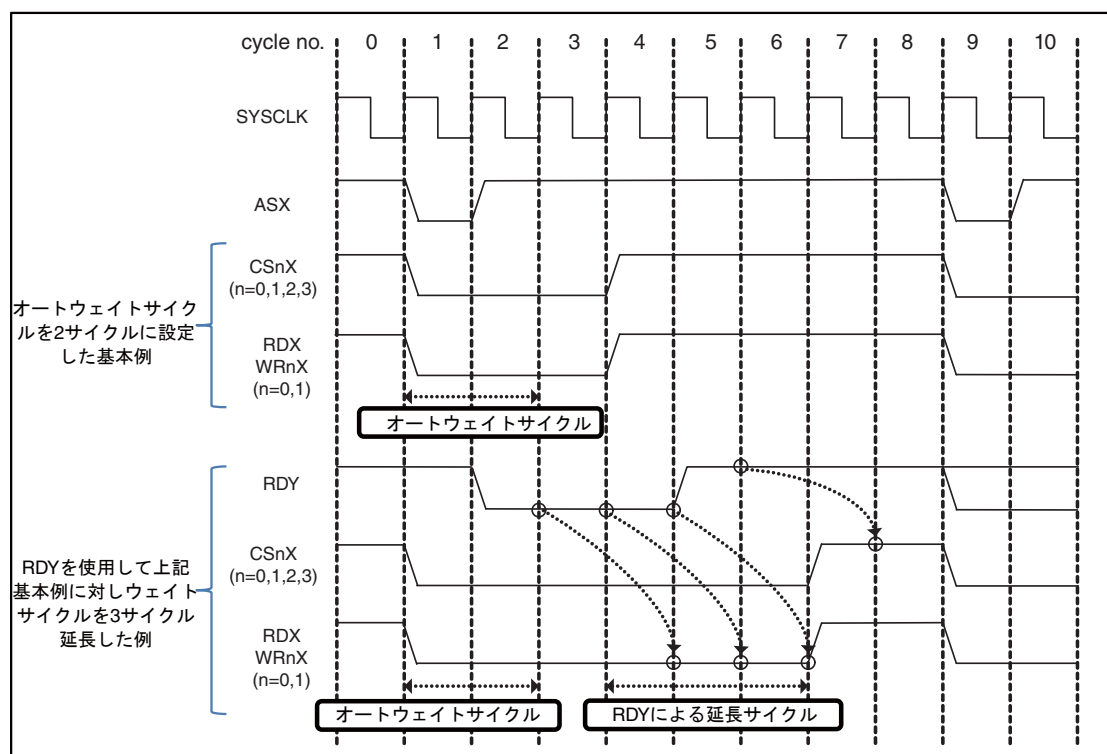
オートウェイトサイクル終了後 , RDY に "0" が入力されている期間はリード , ライトストロブサイクルを延長します。その後 RDY に "1" が入力されると , 次のサイクルで STU はリード , ライトストロブサイクルを終了します。

RDY 信号の入力仕様

入力する RDY 信号は次の仕様を守ってください。

- オートウェイトサイクルを延長するとき以外は RDY=1 を入力してください。
- ASX="L" と CSnX="L" でオートウェイトサイクル延長対象領域へのアクセスが開始されたのを確認してから RDY=0 の入力を開始してください。
- RDY=0 の入力はオートウェイトサイクルの終了迄に開始してください。オートウェイトサイクル終了後の RDY=0 の入力は禁止です。
- 必要な延長サイクルが終了したら RDY=1 を入力してください。

図 29.5-8 RDY タイミング例



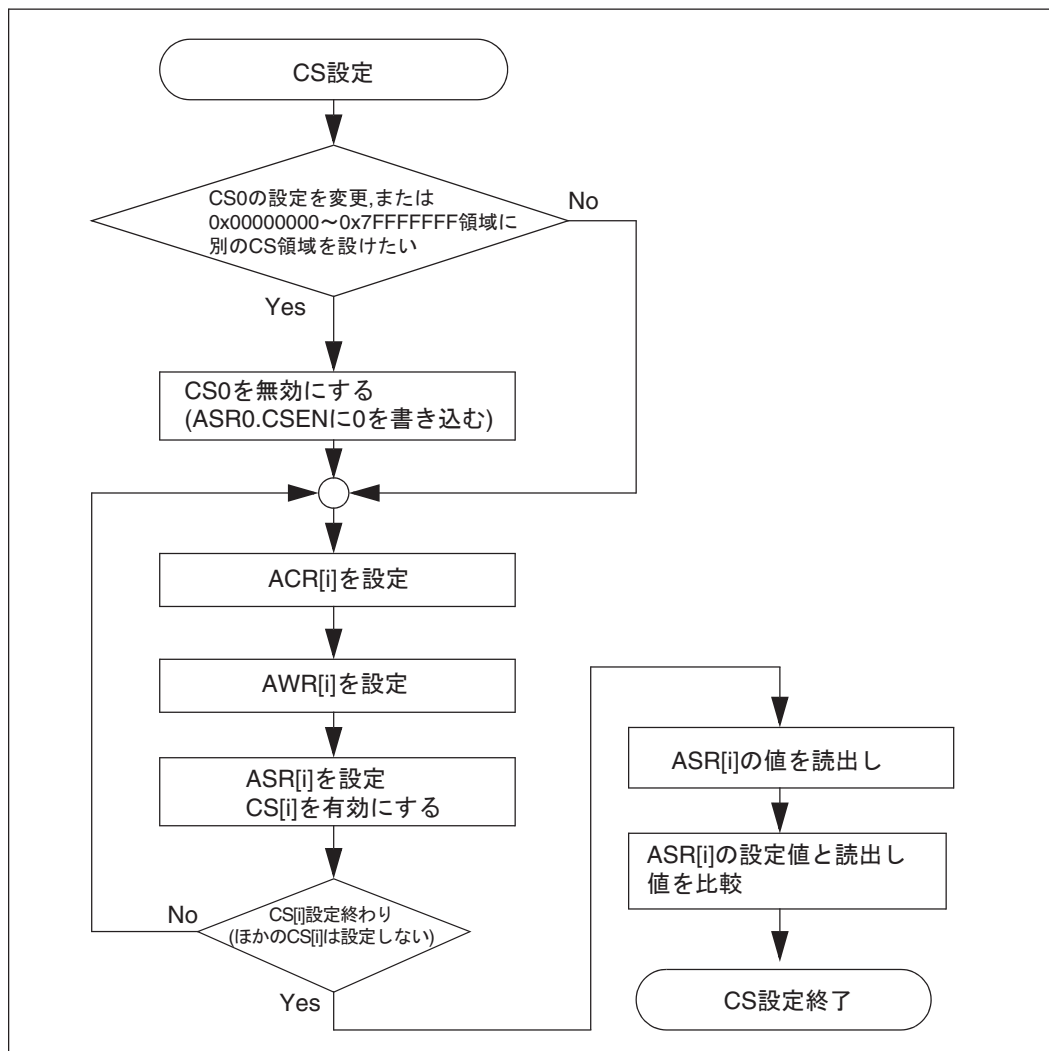
29.5.10 CS 設定フロー

CS の設定方法について説明します。

- (注意事項) ・ CS の設定はリセット後の初期設定の中で行い、その後変更しないでください。
- ・ ROM を搭載する品種では ROM 内に配置する初期設定プログラムで CS 領域の変更・設定を行ってください。
 - ・ ROM を搭載しない品種では、リセット後の命令フェッチは CS0 領域から行うため、CS0 領域の変更を伴う場合には、CS 設定プログラムを内蔵 RAM へいったん転送後、内蔵 RAM 内のプログラム領域に分岐を行い CS 領域の設定を行ってください。
 - ・ CS 領域へのアクセス中に、関係する CS 領域の設定を変更した場合の動作は保証できません。

以下に CS 設定のフローを示します。

図 29.5-9 CS 設定フロー



■ CS0 無効化

CS0 の変更を行う場合には先ず CS0 を無効にする必要があります。ASR0 に 0x0 をワードで書き込んでください。

■ ACR 設定

CS 領域のバス幅, バスタイプなどを設定します。

1. 設定する CS 領域のデータバス幅を 8, 16 から選択します。
2. アドレス出力のタイプを通常出力とシフト出力から選択します。
3. バスタイプをアドレス・データスプリットバス, アドレス・データマルチプレックスバスより選択します。

以上の設定値をワードで ACR に書き込みます。

■ AWR の設定

外バス信号の出力タイミングを決めるパラメータと RDY 端子機能の有効・無効を設定します。設定値をワードで AWR に書き込みます。

図 29.5-10 AWR 設定可能なパラメータ

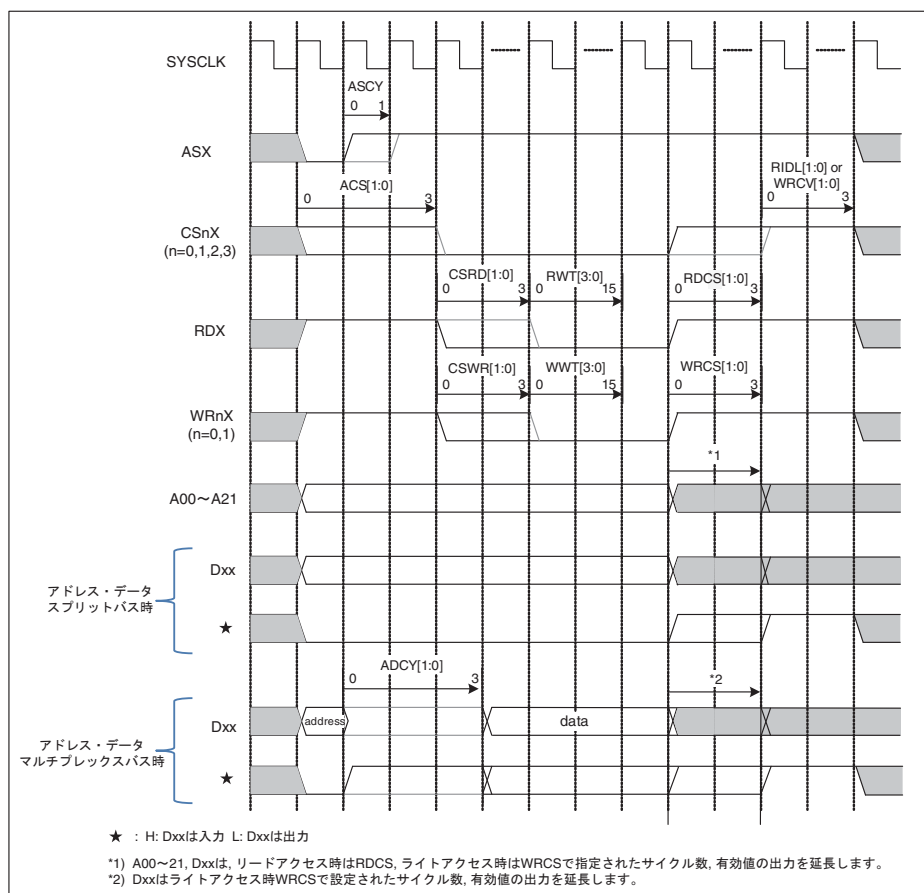


表 29.5-10 パラメーター一覧

パラメータ名	説明
RWT[3:0]	リードアクセスサイクルにおけるオートウェイトサイクル数を設定します。 リードアクセスサイクルを延長したい場合に設定します。
WWT[3:0]	ライトアクセスサイクルにおけるオートウェイトサイクル数を設定します。 ライトアクセスサイクルを延長したい場合に設定します。
RIDL[1:0]	リードアクセス後のアイドルサイクル数を設定します。 RIDL は出力オフタイムが長いデバイスからのリードデータと、それに続くアクセスに関するデータのデータベース上での衝突を防ぐ目的で設定します。
WRCV[1:0]	ライトリカバリサイクル数を設定します。 ライトアクセス後に続けてアクセスする際にその間隔に制限があるデバイスへのアクセスを制御するために設定します。
CSRD[1:0]	CSnX (n=0 ～ 3) アサート後に RDX をアサートするまでのサイクル数を設定します。 リードアクセス時に RDX のアサートに対する CSnX のアサートのセットアップタイムが必要な場合に設定します。
RDCS[1:0]	RDX ネゲート後に CSnX (n=0 ～ 3) をネゲートするまでのサイクル数を設定します。 リードアクセス時に RDX のネゲートから CSnX のネゲートに関してホールドタイムを必要とする場合に設定します。
CSWR[1:0]	CSnX アサート後、WRnX(n=0, 1) をアサートするまでのサイクル数を設定します。 ライトアクセス時に WRnX のアサートに対する CSnX のアサートのセットアップタイムが必要な場合に設定します。
WRCS[1:0]	WRnX ネゲート後に CSnX をネゲートするまでのサイクル数を設定します。 ライトアクセス時に WRnX のネゲートから CSnX のネゲートに関してホールドタイムを必要とする場合に設定します。
ADCY[1:0]	アドレス・データマルチプレックスバス選択時にデータベースへのアドレス出力の延長サイクル数を設定します。ADCY=00 と設定した場合でも、ASCY=1 に設定した場合にはアドレス出力サイクルは 1 サイクル延長されます。アドレス・データスプリットバス選択時には 00 を設定してください。
ACS[1:0]	A00 ～ A21 および ASX 出力から CSnX 出力の遅延サイクル数を設定します。 CSnX のアサートに対してアドレスがセットアップタイムを必要とする場合や、連続して同一チップセレクト領域にアクセスした場合にも CSnX のエッジを必要とする場合に使用します。
ASCY	ASX のアサートの延長サイクル数を設定します。
RDYE	RDY 端子による外部からのウェイト挿入機能の有効・無効を設定します。

■ ASR の設定

ASR では以下の設定を行います。

1. CS の領域設定します。
2. 書込み許可・不許可選択します。
3. バイトオーダの選択を行います。
4. CS を有効にします。

以上の設定値をワードで ASR に書き込みます。

CS の領域設定について次に説明します。

1. CS 領域のサイズを決め、「29.4.1 CS 領域設定レジスタ : ASR0 ～ ASR3 (Area Setting Register 0 ～ 3)」から ASZ[3:0] の値を選択します。
2. CS 領域の開始アドレスを設定します。開始アドレスはアドレスの上位ビットを SADR に設定します。ただし開始アドレスは、下表のように領域のサイズ指定によってあらかじめバウンダリが決められています。「29.4.1 CS 領域設定レジスタ : ASR0 ～ ASR3 (Area Setting Register 0 ～ 3)」に従って SADR の有効なビットを設定してください。無効な SADR のビットには "0" を設定してください。

(注意事項) 各 CS 領域は重なり合わないように配置してください。CS 領域が重なっている場合の動作は保証いたしません。

SADR と ASZ への設定値と実際に割り当てられる CS の領域との例を以下に示します。

設定例

• CS0 設定

ASR0 の ASZ[3:0]=0010

ASR0 の SADR[31:16]=0x000c

→ 0x000c0000 ～ 0x000fffff は CS0 領域になります。

• CS1 設定

ASR1 の ASZ[3:0]=0000

ASR1 の SADR[31:16]=0x0006

→ 0x00060000 ～ 0x0006ffff は CS1 領域になります。

• CS2 設定

0x00110000 ～ 1M バイトの空間を割り当てたい。

1M バイトの空間を設けたいので ASZ[3:0]=0100 を設定します。このときの SADR の有効ビットは [31:20] になります。SADR[19:16] はアドレスとの比較対象になりません。したがって CS2 領域の開始アドレスは 0x00110000 とすることはできず 0x00100000 になります。

ASR2 の ASZ[3:0]=0100

ASR2 の SADR[31:16]=0x0010 を設定

→ 0x00100000 ～ 0x001fffff は CS2 領域になります。

• CS3 設定

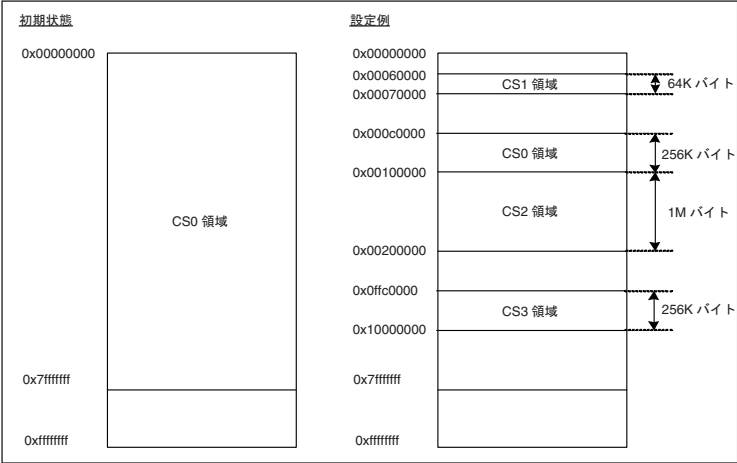
ASR3 レジスタの ASZ[3:0]=0010

ASR3 レジスタの SADR[31:16]=0x0ffc

→ 0x0ffc0000 ～ 0x0ffffff は CS3 領域になります。



図 29.5-11 設定例



■ ASR の読出し , 比較

必要な CS に対して ACR, AWR, ASR の設定を行った後 , それ以降のアクセスに対して CS の設定が反映される事を保証する目的で , 最後に設定した ASR を読み出して設定値との比較を行ってください。

■ CS 設定・変更サンプルプログラム

CS 設定のサンプルプログラムとして CS1 を設定する場合を示します。

図 29.5-12 CS1 設定サンプルプログラム

■ACR1設定例
下表の場合の設定値を示します。

データバス幅	16bit
アドレス出力タイプ	通常
バスタイプ	アドレス・データスプリットバス
ライトシグナルタイプ	ライトタイプ0

上記設定ビット以外のビットはReservedになっているので0を設定します。

ACR1設定値 : 0x40

■AWR1設定例
下表の設定値を示します。

RWT	3サイクル
WWT	4サイクル
RIDL	2サイクル
WRCV	3サイクル
CSRD	1サイクル
RDCS	1サイクル
CSWR	2サイクル
WRCS	2サイクル
ADCY	アドレス・データスプリットバス設定
ACS	0サイクル
ASCY	0サイクル
RDYE	無効

上記設定ビット以外のビットはReservedになっているので0を設定します。

AWR1設定値 : 0x034b5a00

■ASR1設定例
・CS1領域サイズ : 64Kbyte
・CS1領域アドレス : 0x0040_0000～0x0040_FFFF
・書込み許可
・ビッグエンディアン
・CS1有効

ASR1設定値 : 0x00400005

■プログラム例

```
_disable_CS0
ldi  #_ASR0, r0    //#_ASR0はASR0のアドレス値
ldi  0x0, r1
st   r1, @r0
_set_ACR1
ldi  #_ACR0, r0    //#_ACR1はACR1のアドレス値
ldi  #0x40, r1     //0x40をACR1に設定
st   r1, @r0
_set_AWR1
ldi  #_AWR1, r0    //#_AWR1はAWR1のアドレス値
ldi  #0x034b5a00 r1 //0x034b5a00をAWR1に設定
st   r1, @r0
_set_ASR1
ldi  #_ASR1, r0    //#_ASR1はASR1のアドレス値
ldi  #0x00400005 r1 //0x00400005をASR0に設定
st   r1, @r0
ld   @r0, r2
cmp  r1, r2        //ASR1の設定値を確認
```


29.5.11 非同期メモリとの接続例

外バス端子と非同期メモリとの接続例を示します。

図 29.5-13 SRAM との接続例 1 (8 ビット SRAM × 2)

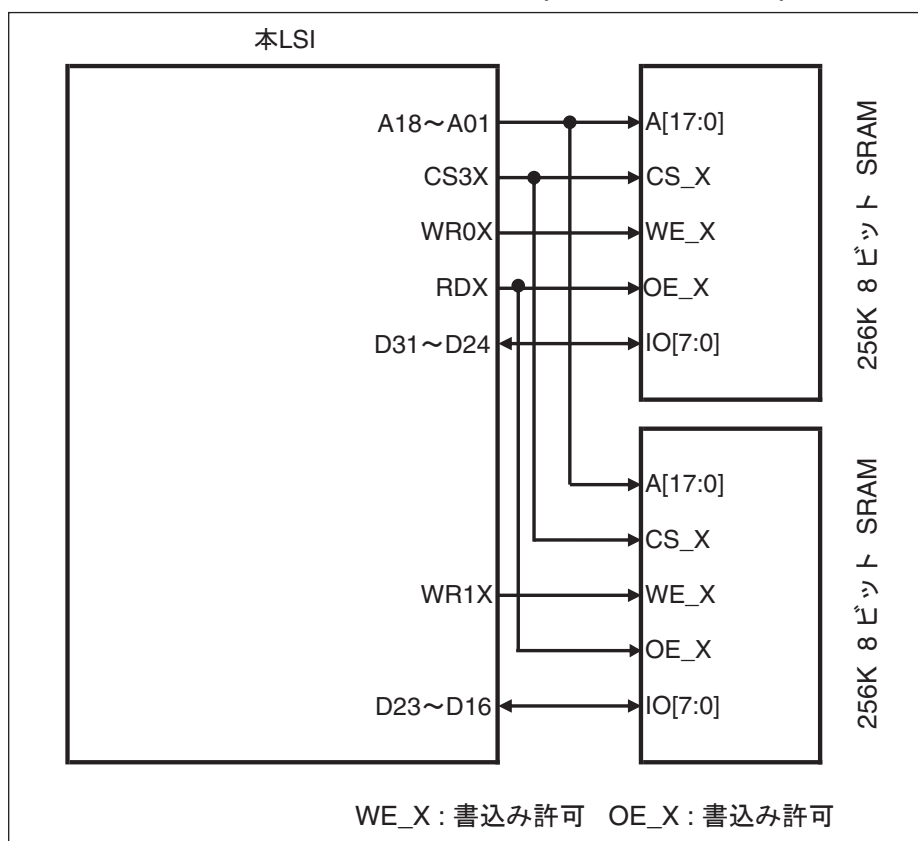
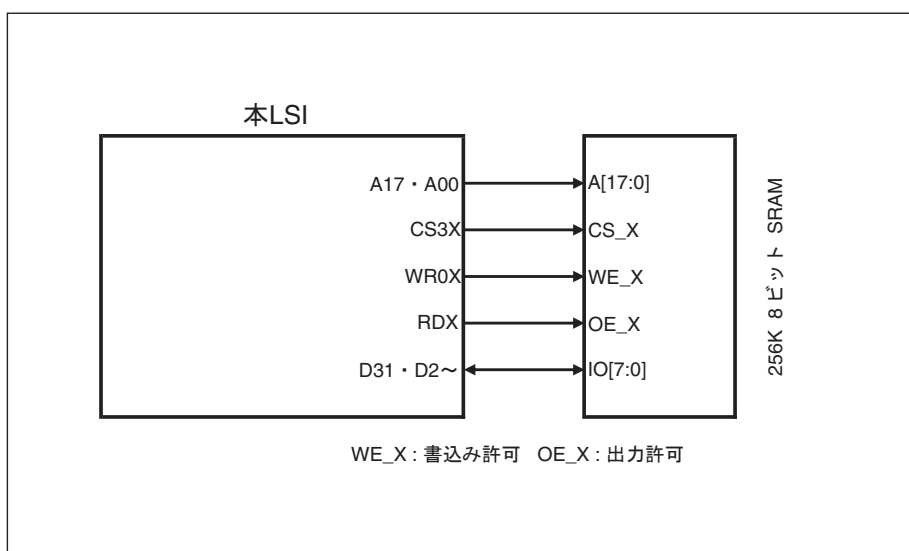


図 29.5-14 SRAM との接続例 2 (8 ビット SRAM × 1)



29.5.12 リトルエンディアンデバイスとの接続例

リトルエンディアンデバイスとのデータバス、バイトイネーブル信号の接続方法を示します。

図 29.5-15 16 ビットバス幅

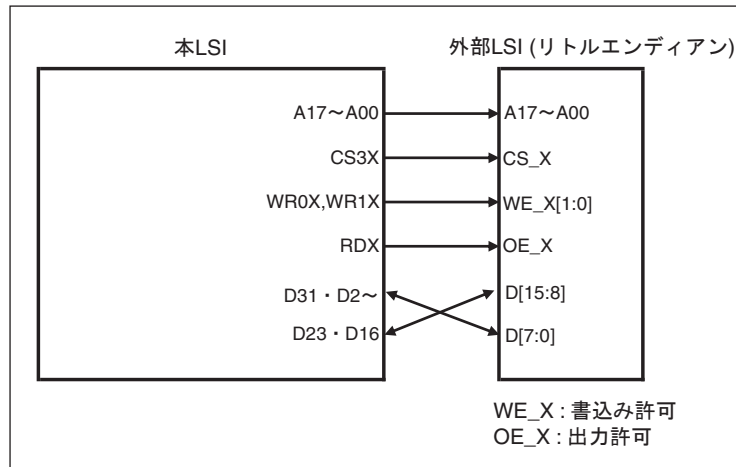
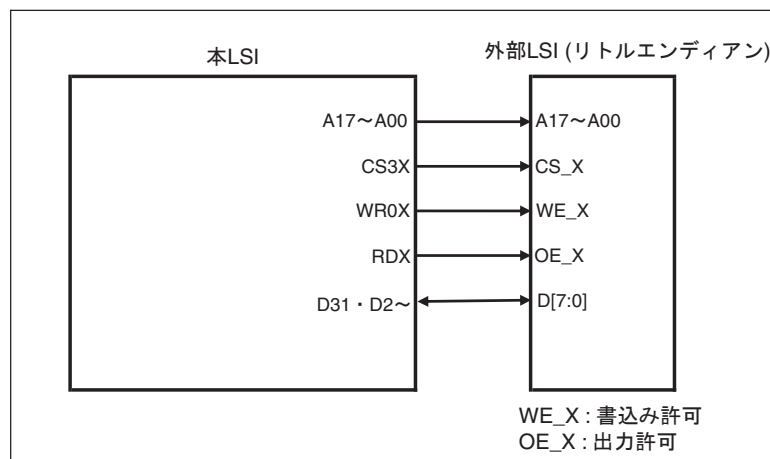


図 29.5-16 8 ビットバス幅



第 30 章 バス・パフォーマンス・カウンタ

30.1 概要

本品種は、オンチップバスのパフォーマンスを測定するバス・パフォーマンス・カウンタ (BPC) を搭載しています。BPC は、オンチップバス上のトラフィックの内訳を計測し、バスのパフォーマンス改善の指針となる情報を提供します。BPC では、オンチップバスがアイドル状態でのカウントは行いませんので、時間計測のためにはシステム内のタイマを同時に使用してください。

30.2 特長

- カウンタ構成
 - カウントクロック : オンチップバス用クロック
 - カウンタビット長 : 32 ビット×3 チャンネル (BPC-A, BPC-B, BPC-C)
 - オーバフロー検出 : なし
 - カウンタ値書換え : 可能
- 主要機能
各チャンネルにおいて、以下の動作を選択してカウント
 - オンチップバス上のリードアクセス回数
 - オンチップバス上のライトアクセス回数
 - オンチップバス上のウェイトサイクル数

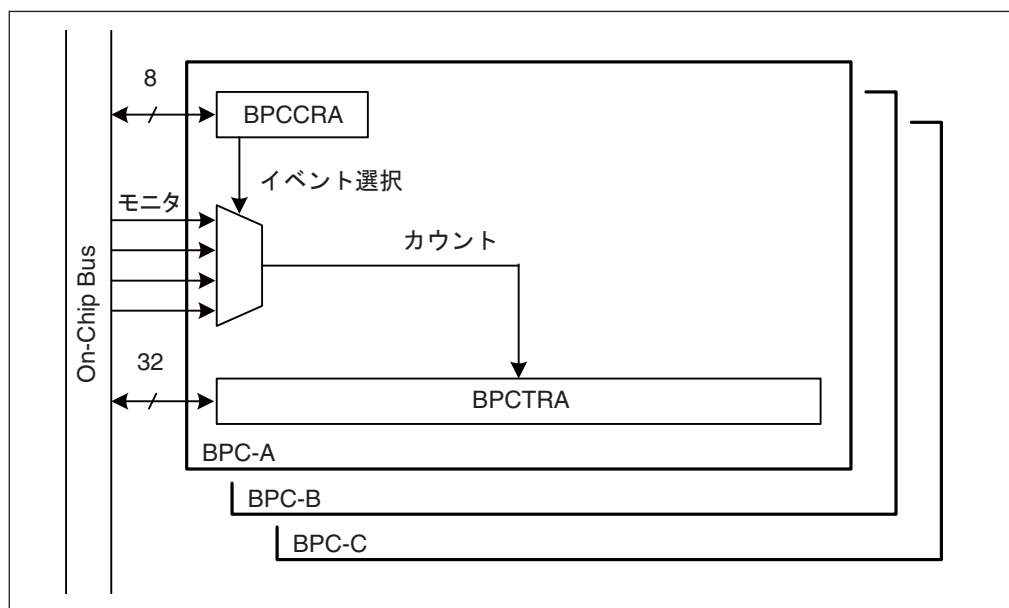
各チャンネルにおいて、以下のうちいずれかを選択してカウント

- 特定のバスマスタ (CPU, DMAC, その他, またはすべて)
- 特定のターゲット (ICH, MCH, その他, またはすべて)

管理コード : FR81S09_BPC-1v0-91580L-1-J

30.3 構成

図 30.3-1 バス・パフォーマンス・カウンタのブロックダイヤグラム



30.4 レジスタ

表 30.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0710	BPCCRA	BPCCRB	BPCCRC	予約	BPC-A 制御レジスタ BPC-B 制御レジスタ BPC-C 制御レジスタ
0x0714	BPCTRA				BPC-A カウントレジスタ
0x0718	BPCTRB				BPC-B カウントレジスタ
0x071C	BPCTRC				BPC-C カウントレジスタ

30.4.1 BPC-A 制御レジスタ : BPCCRA

(Bus Performance Counter Control Register A)

バス・パフォーマンス・カウンタ A (BPC-A) の測定対象の設定を行います。

バスパフォーマンスカウンタには A, B, C の 3 チャンネルありそれぞれのカウンタに対して制御レジスタが存在します。制御レジスタの各フィールドは、各チャンネル共通です。

• BPCCRA: アドレス 0710_H (アクセス : バイト)

7	6	5	4	3	2	1	0	bit
FUNC[1:0]		MST[3:0]				SLV[1:0]		
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7, bit6] FUNC1, FUNC0 (Function Selection) : 測定イベント選択

BPC で測定するイベントを選択します。

FUNC1, FUNC0	イベント
00	BPC-A 動作停止 (初期値)
01	リードアクセス回数
10	ライトアクセス回数
11	ウェイトサイクル数

[bit5 ~ bit2] MST3 ~ MST0 (bus MaSTer select) : バスマスタ選択

BPC で測定するイベント対象となるバスマスタを選択します。

MST3 ~ MST0	バスマスタ
0000	すべてのバスマスタ (初期値)
0001	CPU(XBS)
0010	DMAC
0011	予約
0100	予約
0101 ～ 1111	予約

[bit1, bit0] SLV1, SLV0 (SLaVe select) : スレーブ選択

BPC で測定するイベント対象となるスレーブを選択します。

SLV1, SLV0	スレーブ
00	すべてのスレーブ (初期値)
01	MCH(レジスタ, 外バス*)
10	ICH(ペリフェラル)
11	MCH/ICH 以外

*: MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD

30.4.2 BPC-B 制御レジスタ : BPCCRB**(Bus Performance Counter Control Register B)**

バス・パフォーマンス・カウンタ B (BPC-B) の測定対象の設定を行います。

各ビットの機能は BPCCRA と等価です。

• BPCCRB: アドレス 0711_H (アクセス: バイト)

7	6	5	4	3	2	1	0	bit
FUNC[1:0]		MST[3:0]				SLV[1:0]		
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

30.4.3 BPC-C 制御レジスタ : BPCCRC**(Bus Performance Counter Control Register C)**

バス・パフォーマンス・カウンタ C (BPC-C) の測定対象の設定を行います。

各ビットの機能は BPCCRA と等価です。

• BPCCRC: アドレス 0712_H (アクセス: バイト)

7	6	5	4	3	2	1	0	bit
FUNC[1:0]		MST[3:0]				SLV[1:0]		
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

30.4.4 BPC-A カウントレジスタ : BPCTRA (Bus Performance CounTer Register A)

BPCCRA レジスタで設定したイベントをカウントする 32 ビット長のカウントレジスタです。

• BPCTRA: アドレス 0714_H (アクセス: ワード)

31	30	...	3	2	1	0	bit
BPCTRA[31:0]							
0	0	...	0	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	R/W	属性

[bit31～bit0] BPCTRA31～BPCTRA0 (Bus Performance CounTer Register A: BPC-A カウント)

BPCCRA レジスタの bit7-6:FUNC に "00" 以外を設定すると、対象イベントのカウントを開始します。本レジスタはリードライト可能で、32 ビットアクセスのみ可能です。カウント開始時にカウンタの初期は行いませんので、新たにカウントを始める場合は初期値の設定を行ってください。またオーバフロー制御は行いませんので、カウンタがオーバフローした場合は "0" に戻ってカウントを継続します。

30.4.5 BPC-B カウントレジスタ : BPCTRB (Bus Performance CounTer Register B)

BPCCRB レジスタで設定したイベントをカウントする 32 ビット長のカウントレジスタです。使用法は BPCTRA と同じです。

- BPCTRB: アドレス 0718_H (アクセス : ワード)

31	30	...	3	2	1	0	bit
BPCTRB[31:0]							
0	0	...	0	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	R/W	属性

30.4.6 BPC-C カウントレジスタ : BPCTRC (Bus Performance CounTer Register C)

BPCCRC レジスタで設定したイベントをカウントする 32 ビット長のカウントレジスタです。使用法は BPCTRA と同じです。

- BPCTRC: アドレス 071C_H (アクセス : ワード)

31	30	...	3	2	1	0	bit
BPCTRC[31:0]							
0	0	...	0	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	R/W	属性

30.5 動作説明

30.5.1 設定

BPC の各チャネルを起動する前に、BPCTRA/BPCTRB/BPCTRC へ "0x00000000" を書き込み、各カウンタの初期化を行ってください。測定対象を変更する際も、同様に各カウンタの初期化を行ってください。リセット後はカウンタ値が不定となっていますので、動作許可する前に必ずカウンタ値を書き込んでください。

BPC の各チャネルを起動する際に、BPCCRA/BPCCRB/BPCCRC により、各カウンタの測定対象を設定します。

バスパフォーマンスカウンタ A(B, C) 制御レジスタ (BPCCRA(B, C)) の設定により監視するイベントは以下ようになります。下記の表に存在しない組み合わせの場合は、イベントをカウントしません。また、エミュレータモード時はカウントを行いません。

表 30.5-1 BPC 設定一覧

FUNC [1:0]	MST [3:0]	SLV [1:0]	対象イベント
01	0000	00	XBS, DMAC からリードアクセス
		01	XBS, DMAC から MCH リード
		10	XBS, DMAC から ICH リード
		11	XBS, DMAC から MCH/ICH 以外のリード
	0001	00	XBS からリードアクセス
		01	XBS から MCH リード
		10	XBS から ICH リード
		11	XBS から MCH/ICH 以外へのリード
	0100	00	DMAC からリードアクセス
		01	DMAC から MCH リード
		10	DMAC から ICH リード
		11	DMAC から MCH/ICH 以外へのリード
10	0000	00	XBS, DMAC からライトアクセス
		01	XBS, DMAC から MCH ライト
		10	XBS, DMAC から ICH ライト
		11	XBS, DMAC から MCH/ICH 以外のライト
	0001	00	XBS からライトアクセス
		01	XBS から MCH ライト
		10	XBS から ICH ライト
		11	XBS から MCH/ICH 以外へのライト
	0100	00	DMAC からライトアクセス
		01	DMAC から MCH ライト
		10	DMAC から ICH ライト
		11	DMAC から MCH/ICH 以外へのライト
11	0000	00	XBS, DMAC のウェイトサイクル
		01	XBS, DMAC から MCH ウェイト
		10	XBS, DMAC から ICH ウェイト
		11	XBS, DMAC から MCH/ICH 以外のウェイト
	0001	00	XBS からウェイトアクセス
		01	XBS から MCH ウェイト
		10	XBS から ICH ウェイト
		11	XBS から MCH/ICH 以外へのウェイト
	0100	00	DMAC からウェイトアクセス
		01	DMAC から MCH ウェイト
		10	DMAC から ICH ウェイト
		11	DMAC から MCH/ICH 以外へのウェイト

30.5.2 起動と停止

バスパフォーマンスカウンタ A 制御レジスタ (BPCCRA) の FUNC[1:0] フィールドを "00" 以外の値に設定することにより、対象イベントのカウントを開始します。ただし、このときバスパフォーマンスカウンタ A レジスタ (BPCTRA) は初期化せず、その時点の値からカウント開始します。BPCCRA.FUNC[1:0] を "00" に設定するとバスパフォーマンスカウンタ動作を停止します。

30.5.3 動作

制御レジスタの設定により動作許可されると、以降オンチップバスが動作中は各測定対象動作のカウントを続けます。ただし、以下に示す状態ではカウントを一時停止します。

- エミュレータモード中

各種低消費電力制御を設定している場合のカウント動作は次のようになります。

- CPU スリープモード
各種測定対象動作をカウントします。
- バススリープモード
オンチップバスが動作する DMA 転送時にのみカウントします。それ以外の期間は、測定対象動作が発生しませんので、カウントを行いません。
- スタンバイモード (時計モード/ストップモード)
測定対象動作が発生しませんので、カウントを行いません。

リセットの発生により、制御レジスタが初期化されます。リセット発生直後は、カウントを行いません。

30.5.4 測定と結果処理

BPC の使用は、ICE 接続時あるいはモニタデバッグ利用時を想定しています。測定の設定および結果の読出しは、ユーザプログラムの実行が中断しているデバッグモードにて行います。

測定例としては、以下のようなものがあります。

- ユーザプログラム上の 2 点間の測定
- 基準時間ベースの測定

以下、これらについて説明します。

- ユーザプログラム上の 2 点間の測定

この測定では、ユーザプログラム上の測定開始ポイントおよび測定終了ポイントを以下のとおりに設定します。

- 測定開始ポイント：ユーザプログラムの実行開始ポイント
- 測定終了ポイント：ユーザプログラムのブレイクポイント

測定フローを以下に示します。

- 1 デバッグモードにて測定の設定およびカウンタの初期化を行う
- 2 測定開始ポイントからユーザプログラムを実行開始する
- 3 測定終了ポイントにてブレイクし、ユーザプログラムを実行終了する
- 4 デバッグモードへ移行し、測定結果を読み出す

- 基準時間ベースの測定

この測定では、基準時間ごとにデバッグモードに移行して、測定結果の読出しとカウンタの初期化を行います。

基準時間ごとのデバッグモード移行方法としては、次の 2 つが挙げられます。

- ICE 側から基準時間ごとにツールブレークをアサートし、デバッグモードに移行する (ICE 接続時)
- 内蔵タイマのインターバル時間に基準時間を設定し、タイマ割込みルーチンにおける INTE 命令実行でデバッグモードへ移行する

測定フローを以下に示します。

- 1 デバッグモードにて測定の設定およびカウンタの初期化を行う
- 2 測定対象のユーザプログラムを実行開始する
- 3 基準時間によるツールブレーク、あるいは、内蔵タイマの割込みルーチンにおける INTE 命令実行
- 4 デバッグモードへ移行し、測定結果を読み出す
- 5 測定カウンタの初期化
- 6 以下、2 ～ 5 を繰り返す

測定結果は、デバッガのホストプログラムにて解析します。解析結果は、直感的に理解できるようにグラフ (円グラフ、棒グラフ、折れ線グラフ、etc) にて視覚的に表示され、ユーザのプログラムチューニングに有益な情報を提供します (バス・パフォーマンス・アナライザ機能)。以下は、解析例です。

解析例：

1. バスマスタのアクセス比率
例 CPU アクセス対 DMAC アクセスの比率、全アクセスに占める特定バスマスタアクセスなど
2. 発生イベント比率
例 リードアクセス対 ライトアクセスの比率、全サイクルに占めるウェイトサイクル比率など
3. ターゲットの被アクセス比率
例 MCH 対 ICH の比率、全アクセスに占める特定ターゲットへのアクセス比率など
4. 特定バスマスタから特定ターゲットへの特定アクセス比率
例 全アクセスに占める CPU から MCH へのリードアクセスの比率など
5. 特定ターゲットでのウェイトサイクル発生比率
例 全ウェイトサイクルに占める MCH アクセス時のウェイトサイクル比率など
6. プログラムの特定 2 点間の各種バス動作解析
例 プログラムの特定 2 点間の全サイクルに占めるリード／ライト／ウェイトサイクル比率など
7. 一定時間ごとの時間推移における各種バス動作解析
例 全アクセスに占める特定バスマスタの／特定ターゲットへのアクセス比率の時間推移など

第 31 章 フラッシュメモリ

31.1 概要

本製品に内蔵されているフラッシュメモリの容量は 1088K バイト (1024K+64K バイト) です。ECC (Error Correction Code) が付加されています。

31.2 特長

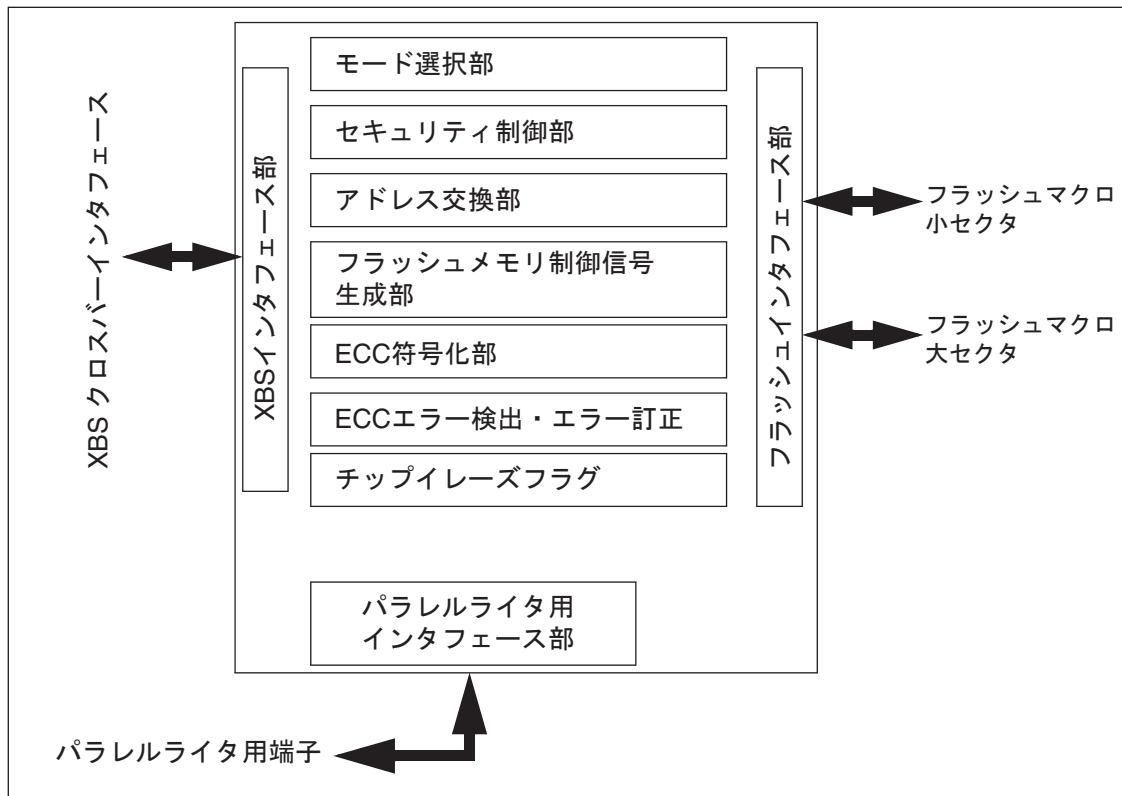
- 使用可能容量:
 - MB91F585L : 576K バイト (大セクタ部 128K × 4 + 小セクタ部 16K × 4)
 - MB91F586L : 832K バイト (大セクタ部 128K × 6 + 小セクタ部 16K × 4)
 - MB91F587L : 1088K バイト (大セクタ部 128K × 8 + 小セクタ部 16K × 4)
- 本品種は ECC 符号格納のため, 上記に加え 4 バイトにつき 6 ビットのフラッシュメモリが搭載されています。
- (注意事項) 大容量セクタは 64KB, 小容量セクタは 8KB で構成されますが, 連続する領域を使用する場合には, 2 つのセクタが交互に現れるので, 大容量セクタは 128KB, 小容量セクタは 16KB 単位となります。
- 高速動作: ワード (32 ビット) 単位での読出しが 80MHz ・ 1 サイクルで可能。
ワード (32 ビット) 単位での読出しが 128MHz ・ 2 サイクルで可能。
- 外部からの書込み: ROM ライタにより可能
- 動作モード:
 - ① CPU-ROM モード
(CPU/DMA がフラッシュメモリにアクセス。読出しのみ)
 - ② CPU プログラミングモード
(CPU がフラッシュメモリにアクセス。読出し・書込み・消去)
 - ③ フラッシュメモリモード (外部からフラッシュメモリにアクセス可能)
- CPU による読出し / 書込み / 消去 (自動プログラムアルゴリズム) が可能
- ROM ライタによる読出し / 書込み / 消去 (自動プログラムアルゴリズム) が可能
- セキュリティ機能
 - 第三者によるフラッシュメモリ内容読出し阻止のため, セキュリティ ON 時に, 外部からの命令フェッチ後の動作や, チップ消去以外の書込み・消去を抑止
 - オンチップデバッガ (OCD) 使用により, パスワード認証後にセキュリティ ON 時の場合でも OCD を使用した外部からの読出し可能。
- ECC(Error Correction Code) セキュリティ機能
 - 1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code) 機能があります。(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。また, ECC 符号はフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので, ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。
 - チップイレーズ / セクタイレーズされた状態でデータを読み出すとエラーが検知されます。イレーズ状態 (FFFF) のデータを正しく読み出す必要がある場合は, 必ず "FFFF" を書き込んでから読み出してください。

管理コード: FZ5C8-1v9-91580L-1-J

31.3 構成

31.3.1 ブロックダイアグラム

図 31.3-1 ブロックダイアグラム (1024+64KB 品種)



31.3.2 セクタ構成図

図 31.3-2 セクタ構成図 (MB91F587L)



図 31.3-3 セクタ構成図 (MB91F586L)

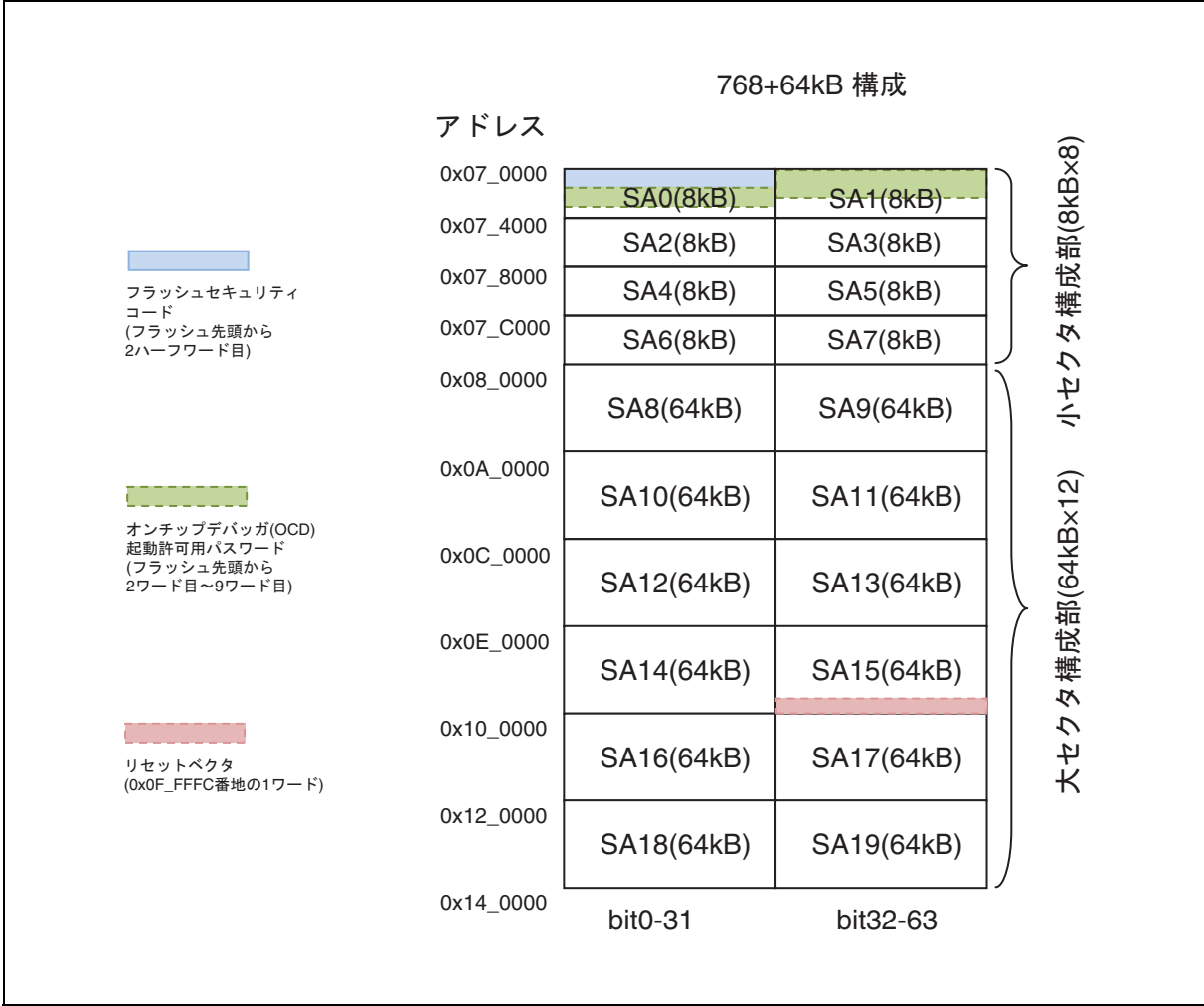
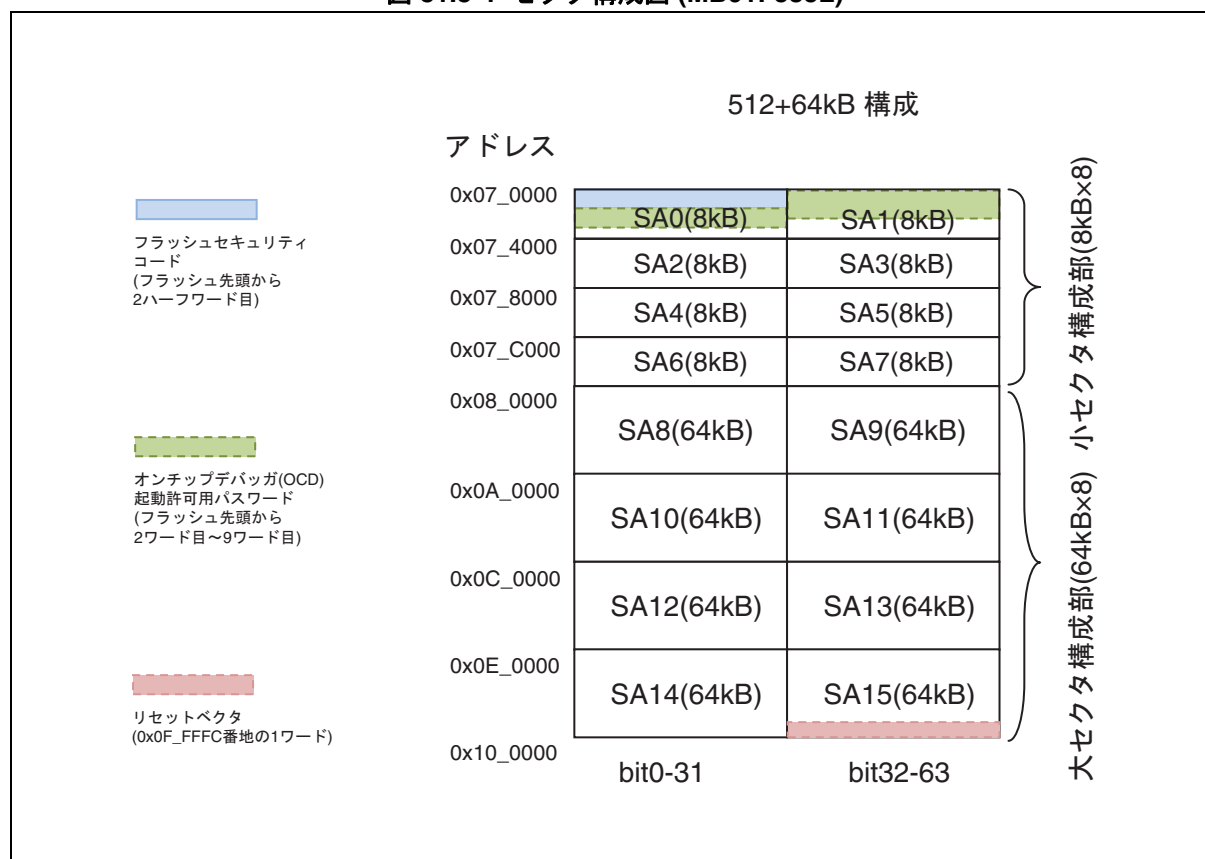


図 31.3-4 セクタ構成図 (MB91F585L)



31.3.3 セクタ番号・フラッシュマクロ番号対応表

表 31.3-1 セクタ番号表 MB91F587L (1024+64KB 品種) (1 / 2)

セクタ 番号	アドレス	セクタ サイズ	備考
SA0	0x07_0000 ～ 0x07_3FFB (下位 32 ビット)	8KB	フラッシュセキュリティコード領域 (0x07_0002 ～ 0x07_0003) オンチップデバッガ (OCD) 起動許可用パスワード領域 (0x07_0008 ～ 0x07_000B, 0x07_0010 ～ 0x07_0013, 0x07_0018 ～ 0x07_001B, 0x07_0020 ～ 0x07_0023)
SA1	0x07_0004 ～ 0x07_3FFF (上位 32 ビット)	8KB	オンチップデバッガ (OCD) 起動許可用パスワード領域 (0x07_0004 ～ 0x07_0007, 0x07_000C ～ 0x07_000F, 0x07_0014 ～ 0x07_0017, 0x07_001C ～ 0x07_001F)
SA2	0x07_4000 ～ 0x07_7FFB (下位 32 ビット)	8KB	
SA3	0x07_4004 ～ 0x07_7FFF (上位 32 ビット)	8KB	
SA4	0x07_8000 ～ 0x07_BFFB (下位 32 ビット)	8KB	
SA5	0x07_8004 ～ 0x07_BFFF (上位 32 ビット)	8KB	
SA6	0x07_C000 ～ 0x07_FFFB (下位 32 ビット)	8KB	
SA7	0x07_C004 ～ 0x07_FFFF (上位 32 ビット)	8KB	
SA8	0x08_0000 ～ 0x09_FFFB (下位 32 ビット)	64KB	
SA9	0x08_0004 ～ 0x09_FFFF (上位 32 ビット)	64KB	
SA10	0x0A_0000 ～ 0x0B_FFFB (下位 32 ビット)	64KB	
SA11	0x0A_0004 ～ 0x0B_FFFF (上位 32 ビット)	64KB	
SA12	0x0C_0000 ～ 0x0D_FFFB (下位 32 ビット)	64KB	
SA13	0x0C_0004 ～ 0x0D_FFFF (上位 32 ビット)	64KB	
SA14	0x0E_0000 ～ 0x0F_FFFB (下位 32 ビット)	64KB	
SA15	0x0E_0004 ～ 0x0F_FFFF (上位 32 ビット)	64KB	リセットベクタ位置 (0x0F_FFFC ～ 0x0F_FFFF)

表 31.3-1 セクタ番号表 MB91F587L (1024+64KB 品種) (2 / 2)

セクタ 番号	アドレス	セクタ サイズ	備考
SA16	0x10_0000 ～ 0x11_FFFB (下位 32 ビット)	64KB	
SA17	0x10_0004 ～ 0x11_FFFF (上位 32 ビット)	64KB	
SA18	0x12_0000 ～ 0x13_FFFB (下位 32 ビット)	64KB	
SA19	0x12_0004 ～ 0x13_FFFF (上位 32 ビット)	64KB	
SA20	0x14_0000 ～ 0x15_FFFB (下位 32 ビット)	64KB	
SA21	0x14_0004 ～ 0x15_FFFF (上位 32 ビット)	64KB	
SA22	0x16_0000 ～ 0x17_FFFB (下位 32 ビット)	64KB	
SA23	0x16_0004 ～ 0x17_FFFF (上位 32 ビット)	64KB	

表 31.3-2 セクタ番号表 MB91F586L (768+64KB 品種) (1 / 2)

セクタ 番号	アドレス	セクタ サイズ	備考
SA0	0x07_0000 ～ 0x07_3FFB (下位 32 ビット)	8KB	フラッシュセキュリティコード領域 (0x07_0002 ～ 0x07_0003) オンチップデバッグ (OCD) 起動許可パスワード領域 (0x07_0008 ～ 0x07_000B, 0x07_0010 ～ 0x07_0013, 0x07_0018 ～ 0x07_001B, 0x07_0020 ～ 0x07_0023)
SA1	0x07_0004 ～ 0x07_3FFF (上位 32 ビット)	8KB	オンチップデバッグ (OCD) 起動許可パスワード領域 (0x07_0004 ～ 0x07_0007, 0x07_000C ～ 0x07_000F, 0x07_0014 ～ 0x07_0017, 0x07_001C ～ 0x07_001F)
SA2	0x07_4000 ～ 0x07_7FFB (下位 32 ビット)	8KB	
SA3	0x07_4004 ～ 0x07_7FFF (上位 32 ビット)	8KB	
SA4	0x07_8000 ～ 0x07_BFFB (下位 32 ビット)	8KB	
SA5	0x07_8004 ～ 0x07_BFFF (上位 32 ビット)	8KB	
SA6	0x07_C000 ～ 0x07_FFFB (下位 32 ビット)	8KB	
SA7	0x07_C004 ～ 0x07_FFFF (上位 32 ビット)	8KB	
SA8	0x08_0000 ～ 0x09_FFFB (下位 32 ビット)	64KB	
SA9	0x08_0004 ～ 0x09_FFFF (上位 32 ビット)	64KB	
SA10	0x0A_0000 ～ 0x0B_FFFB (下位 32 ビット)	64KB	
SA11	0x0A_0004 ～ 0x0B_FFFF (上位 32 ビット)	64KB	
SA12	0x0C_0000 ～ 0x0D_FFFB (下位 32 ビット)	64KB	
SA13	0x0C_0004 ～ 0x0D_FFFF (上位 32 ビット)	64KB	
SA14	0x0E_0000 ～ 0x0F_FFFB (下位 32 ビット)	64KB	
SA15	0x0E_0004 ～ 0x0F_FFFF (上位 32 ビット)	64KB	リセットベクタ位置 (0x0F_FFFC ～ 0x0F_FFFF)

表 31.3-2 セクタ番号表 MB91F586L (768+64KB 品種) (2 / 2)

セクタ 番号	アドレス	セクタ サイズ	備考
SA16	0x10_0000 ～ 0x11_FFFB (下位 32 ビット)	64KB	
SA17	0x10_0004 ～ 0x11_FFFF (上位 32 ビット)	64KB	
SA18	0x12_0000 ～ 0x13_FFFB (下位 32 ビット)	64KB	
SA19	0x12_0004 ～ 0x13_FFFF (上位 32 ビット)	64KB	

表 31.3-3 セクタ番号表 MB91F585L (512+64KB 品種)

セクタ 番号	アドレス	セクタ サイズ	備考
SA0	0x07_0000 ～ 0x07_3FFB (下位 32 ビット)	8KB	フラッシュセキュリティコード領域 (0x07_0002 ～ 0x07_0003) オンチップデバッグ (OCD) 起動許可パスワード領域 (0x07_0008 ～ 0x07_000B, 0x07_0010 ～ 0x07_0013, 0x07_0018 ～ 0x07_001B, 0x07_0020 ～ 0x07_0023)
SA1	0x07_0004 ～ 0x07_3FFF (上位 32 ビット)	8KB	オンチップデバッグ (OCD) 起動許可パスワード領域 (0x07_0004 ～ 0x07_0007, 0x07_000C ～ 0x07_000F, 0x07_0014 ～ 0x07_0017, 0x07_001C ～ 0x07_001F)
SA2	0x07_4000 ～ 0x07_7FFB (下位 32 ビット)	8KB	
SA3	0x07_4004 ～ 0x07_7FFF (上位 32 ビット)	8KB	
SA4	0x07_8000 ～ 0x07_BFFB (下位 32 ビット)	8KB	
SA5	0x07_8004 ～ 0x07_BFFF (上位 32 ビット)	8KB	
SA6	0x07_C000 ～ 0x07_FFFB (下位 32 ビット)	8KB	
SA7	0x07_C004 ～ 0x07_FFFF (上位 32 ビット)	8KB	
SA8	0x08_0000 ～ 0x09_FFFB (下位 32 ビット)	64KB	
SA9	0x08_0004 ～ 0x09_FFFF (上位 32 ビット)	64KB	
SA10	0x0A_0000 ～ 0x0B_FFFB (下位 32 ビット)	64KB	
SA11	0x0A_0004 ～ 0x0B_FFFF (上位 32 ビット)	64KB	
SA12	0x0C_0000 ～ 0x0D_FFFB (下位 32 ビット)	64KB	
SA13	0x0C_0004 ～ 0x0D_FFFF (上位 32 ビット)	64KB	
SA14	0x0E_0000 ～ 0x0F_FFFB (下位 32 ビット)	64KB	
SA15	0x0E_0004 ～ 0x0F_FFFF (上位 32 ビット)	64KB	リセットベクタ位置 (0x0F_FFFC ～ 0x0F_FFFF)

31.4 レジスタ

表 31.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0840	FCTLR		予約	FSTR	フラッシュ制御レジスタ フラッシュステータスレジスタ
0x2308	FLIFCTLR	予約	FLIFFER 1	FLIFFER 2	フラッシュインタフェース制御レジスタ フラッシュインタフェースフィーチャー 拡張レジスタ 1 フラッシュインタフェースフィーチャー 拡張レジスタ 2

31.4.1 フラッシュ制御レジスタ : FCTLR (Flash ConTrol Register)

フラッシュメモリへのアクセス制御を設定します。

- FCTLR : アドレス 0840_H (アクセス : ハーフワード)

15	14	13	12	11	10	9	8	bit
予約	FWE	予約	予約	FSZ[1:0]	FSZ[1:0]	FAW[1:0]	FAW[1:0]	
1	0	0	0	1	0	0	0	初期値
R1,WX	R/W	RX,W0	RX,W0	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
FDSBL	予約	RDYF	予約	予約	予約	予約	予約	
0	0	0	0	0	0	0	0	初期値
R/W	RX,W0	RX,W0	R/W	RX,W0	RX,W0	RX,W0	RX,W0	属性

[bit15] 予約

予約ビットです。このビットは常に "1" が読み出されます。書込みは動作に影響ありません。

[bit14] FWE (Flash Write Enable) : Flash 書込み許可

フラッシュメモリへの書込み許可ビットです。このビットをセットして、CPU プログラミングモードに設定します。書込みが許可されたかどうかは FSTR:FRDY ビットで確認してください。
本ビットを設定すると、フラッシュメモリへのデータフェッチに対し、ECC によるエラー検出・データ訂正機能が無効になります。

FWE	説明
0	フラッシュメモリ書込み不許可 (初期値)
1	フラッシュメモリ書込み許可

(注意事項) フラッシュメモリに書込みを行う場合、フラッシュメモリからの命令フェッチは禁止です。

[bit13, bit12] 予約

予約ビットです。必ず "0" を書き込んでください。読出し値は不定です。

[bit11, bit10] FSZ1, FSZ0 (Flash write access SiZe) : Flash アクセスサイズ設定

CPU モード時の FLASH ライトアクセスサイズを指定します。指定したビット幅以外のアクセスは禁止です。読出しアクセスサイズは、本ビットの影響を受けません。

読出し時、FLASH マクロに対しては常に 32 ビットリードを行います。FAW ビットにより、wait サイクルを挿入した場合は、64 ビット読出しアクセスとなります。

FSZ[1:0]	説明
00	8 ビット
01/10/11	16 ビット

[bit9, bit8] FAW1, FAW0(FLASH Access Wait):FLASH アクセス・ウェイト設定

CPU モード時の、FLASH アクセスに対するウェイト・サイクルを設定します。フラッシュメモリの読出し時間は12.5nsなので、80MHzを超える周波数でフラッシュメモリにアクセスするときは、ウェイトなしでのアクセスは不可能であり、本ビットによりウェイトを挿入することが必須です。

80MHz を超える周波数でのアクセス時は、FAW=1(1wait) に設定してください。

FAW により wait サイクルを挿入する際は、クロックを高速にする前に、本ビットを設定してください。また、wait サイクルを削除する際は、クロックを低速にしてから、本ビットを設定してください。

FAW1, FAW0	説明
00	0 サイクル (初期値)
01	1 サイクル
10/11	設定禁止

(注意事項) 本ビットにより、1wait サイクルを設定すると、ワイルドレジスタ機能が使用できません。
ワイルドレジスタ機能を使用する場合は、コアの動作速度を 80MHz 以下とし、FAW ビットの設定値を 2'b00(0cycle) としてください。

[bit7] FDSBL (Flash DiSaBLe) : Flash Disable 指示

フラッシュメモリをアクセス不許可状態 (読出し・書込み共に) に設定します。

FDSBL	説明
0	Flash Enable (初期値)
1	Flash Disable

[bit6, bit5] 予約

予約ビットです。必ず "0" を書き込んでください。読出し値は不定です。

[bit4] RDYF (ReaDY Flag) : 分岐アクセス時の RDY ネゲート指示

分岐アクセス時のウェイト・サイクル挿入を指示します。本ビットが "1" に設定されると、分岐アクセス時はウェイト・サイクルが挿入されます。これは、分岐した際の処理サイクルを合わせるためです。本ビットが "0" の場合は、分岐アクセス発生時、FLASH I/F の内部状態により、ウェイト・サイクルの制御が行われます。分岐アクセス受付け時に、サイクルタイムを保障する必要がない場合、ウェイト・サイクルは挿入しません。サイクルタイムを保障する必要がある場合は、ウェイト・サイクルを挿入します。

RDYF	Flash ライトサイクル
0	FLASH I/F の状態による (初期値)
1	ウェイト・サイクル挿入

[bit3 ～ bit0] 予約

予約ビットです。必ず "0" を書き込んでください。読出し値は不定です。

31.4.2 フラッシュステータスレジスタ : FSTR (Flash SStatus Register)

フラッシュメモリの状態を表示します。

- FSTR : アドレス 0843_H (アクセス : バイト)

7	6	5	4	3	2	1	0	bit
予約					FEC-CERR	FHANG	FRDY	
0	0	0	0	0	0	0	1	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R,W	R,WX	R,WX	属性

[bit7 ~ bit3] 未定義

常に "0" が読み出されます。書き込みは効果ありません。

[bit2] FECCERR (Flash ECC Error coRRection) : データ読出し ECC 訂正発生

CPU 命令読出し以外でのフラッシュメモリ読出しの際に ECC エラー訂正が発生すると、本ビットがセットされます。"0" 書き込みで本ビットをクリアできます。

FECCERR	読出し	書き込み
0	データ読出し時の ECC による訂正は発生していません (初期値)	本ビットをクリアします
1	データ読出し時に ECC エラー訂正が発生しました	効果ありません

1 ワード中に 2 ビット以上の誤りがある場合は、本ビットの読出し値は不定です。

CPU 命令読出しの際に ECC エラー訂正が発生しても、本ビットはセットされません。

ECC エラーと 0 書き込みが同時発生した場合は 0 書き込みが優先されます。

[bit1] FHANG (Flash HANG) : Flash HANG 状態

フラッシュメモリの HANG 状態を示します。タイミング超過 (「 [bit5] TLOV: タイミングリミット超過フラグビット」参照) すると HANG 状態になります。このビットが "1" になった場合はリセットコマンド (「31.5.3.1 コマンドシーケンス」参照) を発行してください。

FHANG	説明
0	通常状態
1	HANGUP 状態)

自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合がありますので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

[bit0] FRDY (Flash ReaDY) : Flash 書き込み許可

自動アルゴリズムでフラッシュメモリの書き込み / 消去動作が実行中か完了しているかを示します。動作中の場合、フラッシュメモリへデータを書き込んだりデータを消去したりすることはできません。

FRDY	説明
0	動作中 (書き込み / 消去不可、ステータス読出し可能)
1	動作完了 (書き込み / 消去可能、読出し可能)

自動アルゴリズムのコマンド発行直後は正しい値を読み出せない場合がありますので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

31.4.3 フラッシュインタフェース制御レジスタ : FLIFCTLR(Flash I/F Control Register)

Flash I/F を制御します。プログラムフラッシュ、ワークフラッシュ共用のレジスタです。

• FLIFCTLR : アドレス 2308_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約			DFWDS BL	予約		ECCDS BL1	ECCDS BL0	
0	0	0	0	0	0	0	0	初期値
RX,WX	RX,WX	RX,WX	R/W	RX,WX	R/W0	R/W	R/W	属性

[bit7 ~ bit5] 予約

予約ビットです。読出し値は不定です。書込みは効果ありません。

[bit4] DFWDSBL (Data Fetch Wait cycle Disable) データフェッチ・ウェイトサイクル無効

本ビットを 1 に設定すると、ウェイト設定時のデータ・フェッチ時に挿入されるウェイト・サイクルを無効にします。ただし、サイクルタイム保障のためのウェイト・サイクルを無効にすることはできません。

DFWDSBL	説明
0	ウェイト・サイクル有効 (初期値)
1	ウェイト・サイクル無効

[bit3] 予約

予約ビットです。読出し値は不定です。書込みは効果ありません。

[bit2] 予約

予約ビットです。必ず "0" を書き込んでください。

[bit1] ECCDSBL1(ECC Disable1) ECC 機能無効 1

CPU モード時にワークフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効 / 無効を設定します。

ECCDSBL1	説明
0	ECC 機能有効 (初期値)
1	ECC 機能無効

[bit0] ECCDSBL0(ECC Disable0) ECC 機能無効 0

CPU モード時にプログラムフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効 / 無効を設定します。

ECCDSBL0	説明
0	ECC 機能有効 (初期値)
1	ECC 機能無効

31.4.4 フラッシュインタフェースフィーチャー拡張レジスタ 1 : FLIFFER1 (Flash I/F Feature Extension Register 1)

予備レジスタです。本レジスタを書き込む場合は 0xFF を書き込んでください。

- FLIFFER1 : アドレス 230A_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約								
1	1	1	1	1	1	1	1	初期値
R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	属性

[bit7 ~ bit0] 予約

予約ビットです。書き込み時は必ず "1" を書き込んでください。"1" が読み出されます。

31.4.5 フラッシュインタフェースフィーチャー拡張レジスタ 2 : FLIFFER2 (Flash I/F Feature Extension Register 2)

予備レジスタです。本レジスタを書き込む場合は 0xFF を書き込んでください。

- FLIFFER2 : アドレス 230B_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約								
1	1	1	1	1	1	1	1	初期値
R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	R/W1	属性

[bit7 ~ bit0] 予約

予約ビットです。書き込み時は必ず "1" を書き込んでください。"1" が読み出されます。

31.5 動作説明

フラッシュメモリ領域へのアクセス方法について説明します。

31.5.1 アクセスモード設定

本品種のフラッシュメモリには以下の 3 モードがあります。本項にて①②の設定方法を説明します。
③については、ご使用の ROM ライタの説明書を参照してください。

① CPU-ROM モード

(CPU がフラッシュメモリにアクセス。読出し, 書込み, バイト/ハーフワード/ワードアクセス)

② CPU プログラミングモード

(CPU がフラッシュメモリにアクセス。読出し, 書込み, ハーフワードアクセスのみ)

③ フラッシュメモリモード (外部からフラッシュメモリにアクセス可能)

■ CPU-ROM モードへの設定

フラッシュ制御レジスタ (FCTL) の FWE ビットが "0" のとき, CPU-ROM モードです。CPU-ROM モードでは, フラッシュステータスレジスタ (FSTR) の FRDY ビットが "1" のとき, フラッシュメモリからの読出しが可能になります。CPU-ROM モードでは, フラッシュメモリへの書込みは不可能です。リセット解除後はこの状態になります。

■ CPU プログラミングモードへの設定

フラッシュ制御レジスタ (FCTL) の FWE ビットが "1" のとき, CPU プログラミングモードです。CPU プログラミングモードでは, フラッシュステータスレジスタ (FSTR) の FRDY ビットが "1" のとき, フラッシュメモリからの読出しおよび書込みが可能になります。

31.5.2 CPU によるフラッシュメモリ書込み

CPU プログラミングモードに設定した後、自動アルゴリズムを利用して消去・書込みを行います。本品種では 1 ワードごとの ECC(Error Correction Code) が付加されますので、1 ワードごとの書込みを行う必要があります。以下の手順で 1 ハーフワードを 2 連続に、1 ワードごとに書込みを行ってください。この手順に従わない場合、ECC 計算されずにフラッシュメモリに書き込まれてしまうため、書いた値を正しく読み出せません。

① Flash アクセスサイズ設定を 16 ビットに設定します。(FCTLR:FSZ[1:0]=01)

②書込みコマンドを発行します。書込みアドレス = PA, 書込みデータ = PD[31:16]

書込みコマンドについては「31.5.5 書込みコマンド」を参照してください。

③書込みが終了するまで、ハードウェアシーケンスフラグを読み出します。

ハードウェアシーケンスフラグ読出しについては「31.5.3.2 自動アルゴリズム実行状態」を参照してください。

④書込みコマンドを発行します。書込みアドレス = PA+2, 書込みデータ = PD[15:0]

この際、ハードウェアが自動で②の PD[31:16] とあわせて ECC 符号の計算を行い、ECC 符号の書込みも自動で同時に行われます。

⑤書込みが終了するまで、ハードウェアシーケンスフラグを読み出します。

⑥書込みデータがまだある場合は②に戻ります。すべて書込み完了した場合は⑦へ進みます。

⑦ CPU-ROM モードに設定します。

⑧書込みした値を読み出して、正しい値を読めるか確認してください。また、正しい値が読めた場合でも FSTR:FECCERR ビットを確認して ECC 訂正がされていないか確認してください。ECC 訂正が発生していた場合は、フラッシュメモリ消去からやり直してください。

PA: 書込み対象アドレス (ワードアラインド)

PD[31:0]: 書込みデータ

PD[31:16] 書込みデータ上位 16 ビット分

PD[15:0] 書込みデータ下位 16 ビット分

31.5.3 自動アルゴリズム

CPU プログラミングモードを利用する場合，フラッシュメモリへの書込み / 消去は自動アルゴリズムを起動して行ってください。

31.5.3.1 コマンドシーケンス

フラッシュメモリへ 1 回～6 回連続でハーフワード (16 ビット) のデータを書き込むと自動アルゴリズムが起動します。これをコマンドシーケンスとよびます。コマンドシーケンスを以下に示します。

表 31.5-1 コマンドシーケンス

コマンド	書込み回数	1 回目		2 回目		3 回目		4 回目		5 回目		6 回目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
リセット	1	任意	F0 _H	RA	RD								
読出し	1	RA	RD										
書込み	4	x554 _H	AA _H	yAA8 _H	55 _H	x554 _H	A0 _H	PA	PD				
チップ消去	6	x554 _H	AA _H	yAA8 _H	55 _H	x554 _H	80 _H	x554 _H	AA _H	yAA8 _H	55 _H	x554 _H	10 _H
セクタ消去	6	x554 _H	AA _H	yAA8 _H	55 _H	x554 _H	80 _H	x554 _H	AA _H	yAA8 _H	55 _H	SA	30 _H
セクタ消去一時停止	1	任意	B0 _H										
セクタ消去再開	1	任意	30 _H										

(注意事項) ・ 表中のデータ表記は下位 8 ビット分のみを表記しています。上位 8 ビットは任意です。コマンドはハーフワードまたはバイトで書き込んでください。

・ 表中のアドレス表記は下位 16 ビット分のみです。上位 16 ビット分は，対象となるフラッシュマクロのアドレス範囲のうち，任意のアドレスを指定してください。

x:1, 3, 5, 7, 9, B, D, F

y:0, 2, 4, 6, 8, A, C, E

PA: 書込みアドレス (ハーフワードアラインド)

PD: 書込みデータ (16 ビットで書き込んでください。)

SA: セクタアドレス (消去対象となるセクタのアドレス範囲のうち,任意のアドレスを指定してください。)

RA: 読出しアドレス

RD: 読出しデータ (読出し幅は任意です。)

(注意事項) ・ コマンドアドレス，セクタ消去コマンド発行時に入力するセクタアドレス (SA), の最下位 2 ビット分は以下のようにしてください。

ハーフワード・アクセス時 :2'b00

バイト・アクセス時 :2'b01 または 2'b11

例 1

バイト・アクセス時，コマンドアドレス =(標準コマンドアドレスの最下位 2 ビットを 2'b01 に変更) とする場合

yAA8_H → yAA9_H, x554_H → x555_H, SA → {SA[31:2], 2'b01}

(SA: セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)

例 2

バイト・アクセス時，コマンドアドレス =(標準コマンドアドレスの最下位 2 ビットを 2'b11 に変更) とする場合

yAA8_H → yAAB_H, x554_H → x557_H, SA → {SA[31:2], 2'b11}

(SA: セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)

・ 誤ったアドレス値やデータ値をライトした場合や，誤ったシーケンスでライトした場合，それまでライトしたコマンドはクリアされます。

■ リセットコマンド

リセットコマンドを対象フラッシュメモリに送ると，それまでに入力した表 31.5-1 に示す各コマンド入力をキャンセルし，再び 1 回目からコマンド入力し直すことができます。

ただし，各コマンドを最後まで入力し自動アルゴリズムが起動すると，本リセットコマンドでは自動アルゴリズムを中止することはできません。

自動アルゴリズムの実行が，タイミングリミットを超過した場合のみ，リセットコマンドを入力するとフラッシュメモリがリセット状態へ復帰します。

■ 読出しコマンド

読出しコマンドを対象セクタに送ると，フラッシュメモリを読出しできます。読出しコマンドを発行すると，フラッシュメモリはほかのコマンドが発行されるまで，読出し状態を保ちます。

■ プログラム (書込み) コマンド

書込みコマンドを対象セクタに 4 回連続して送ると自動アルゴリズムを起動してフラッシュメモリにデータを書き込みます。データの書込みは，どのようなアドレスの順番でもセクタの境界を越えても行えます。CPU プログラミングモードでは，ハーフワード / バイトで書込みが行えます。4 回目の書込みが終了すると，自動アルゴリズムが起動し，フラッシュメモリへの自動書込みが開始されます。自動書込みアルゴリズムコマンドシーケンス実行後は，外部からフラッシュメモリを制御する必要はありません。

実際の動作については，「31.5.5 書込みコマンド」を参照してください。

(注意事項) ・ ハーフワードで書き込む場合，4 回目の書込みコマンド (書込みデータサイクル) を奇数番地に書き込むと，書込みが正しく行われません。必ず偶数番地に書き込んでください。

・ 1 回の書込みコマンドシーケンスでは，ハーフワードのデータ 1 つしか書き込みません。複数のデータを書き込みたい場合は，1 データに 1 度書込みコマンドシーケンスを発行してください。

・ セキュリティ ON 時には，フラッシュの書込みには制限があります。詳細は「■ セキュリティ ON 時のフラッシュアクセス制限」をご参照ください。

■ チップ消去コマンド

チップ消去コマンドを対象セクタに 6 回連続して送るとフラッシュメモリの全セクタを一括で消去できます。6 回目の書込みが終了すると、自動アルゴリズムが起動しチップ消去動作が開始されます。自動消去アルゴリズムが起動するとすべてのチップ消去する前に、フラッシュメモリがチップ内のすべてのセルに "0" を書き込んで、マージンを検証 (プリプログラム) するため、チップ消去前に、フラッシュメモリに書込みを行う必要はありません。また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。

実際の動作については、「31.5.6 チップ消去コマンド」を参照してください。

■ セクタ消去コマンド

セクタ消去コマンドを対象セクタに 6 回連続して送るとフラッシュメモリのセクタを消去できます。6 回目の書込みが終了し、40 μ s 経過 (タイムアウト期間) すると、自動アルゴリズムが起動しセクタ消去動作が開始されます。複数のセクタを消去したい場合は、40 μ s (タイムアウト期間) 以内に消去するセクタのアドレスに消去コード (30_H) を書き込んでください。タイムアウト期間内に次のセクタが入力されないと、セクタ消去コマンドが無効になる場合があります。自動消去アルゴリズムが起動するとセクタ消去する前に、フラッシュメモリが消去するセクタのセルに "0" を書き込んで、マージンを検証 (プリプログラム) するため、セクタ消去前に、フラッシュメモリに書込みを行う必要はありません。また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。

実際の動作については、「31.5.7 セクタ消去コマンド」を参照してください。

(注意事項) セキュリティ ON 時には、フラッシュの書込みには制限があります。詳細は「■ セキュリティ ON 時のフラッシュアクセス制限」をご参照ください。

■ セクタ消去一時停止コマンド

セクタイレーズ実行中またはコマンドタイムアウト中に、セクタ消去一時停止コマンドを送ると、セクタ消去一時停止状態 (セクタイレーズサスペンド状態) に移行できます。

セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。

セクタ消去一時停止状態から、中断していた消去動作を再開するには、消去再開コマンドを送ります。

消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。

コマンドタイムアウト状態から本状態に遷移した場合であっても、イレーズレジュームコマンドが正常に書き込まれると、コマンドタイムアウト状態には遷移せず、セクタイレーズ状態に遷移して、直ちにセクタ消去動作を再開します。

実際の動作については、「31.5.8 セクタ消去一時停止コマンド」を参照してください。

(注意事項) セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7 μ s 要します。

読出し可能状態になったかどうかは、FLASH ステータスレジスタ (FSTR) の FRDY ビットまたはハードウェアシーケンスフラグの TOGG1 で確認できます。

31.5.3.2 自動アルゴリズム実行状態

フラッシュメモリでは、書き込みや消去を自動アルゴリズムで行うため、自動アルゴリズムが実行中かどうかをFLASH ステータスレジスタ (FSTR) のFRDY ビットで、動作状態をハードウェアシーケンスフラグで確認できます。

■ ハードウェアシーケンスフラグ

自動アルゴリズムの状態を示すフラグです。FLASH ステータスレジスタ (FSTR) のFRDY ビットが"0" のときに、フラッシュメモリの任意のアドレスを読み出すと動作状態を確認できます。ハードウェアシーケンスフラグのビット構成を図 31.5-1 に示します。

図 31.5-1 ハードウェアシーケンスフラグのビット構成

<u>ハーフワードアクセスの場合</u>								
bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	未定義	未定義	未定義	未定義	未定義
bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG1	TLOV	未定義	SETI	TOGG2	未定義	未定義
<u>バイトアクセスの場合</u>								
bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG1	TLOV	未定義	SETI	TOGG2	未定義	未定義

- (注意事項) ・ワードアクセスで読み出すことはできません。必ず、CPU プログラミングモードのときにハーフワードかバイトアクセスで読み出してください。
- ・CPU ROM モードで任意のアドレスを読み出しても、ハードウェアシーケンスフラグを読み出すことはできません。

● 各ビットとフラッシュメモリの状態

ハードウェアシーケンスフラグの各ビットの状態とフラッシュメモリ状態の対応を表 31.5-2 に示します。

表 31.5-2 フラグとフラッシュメモリ状態の対応

状態		DPOLL	TOGG1	TLOV	SETI	TOGG2
実行中	書き込み中	反転データ (*)	トグル	0	0	-
	セクタ/チップ消去中	0	トグル	0	1	-
タイムリミット超過	書き込みコマンド	反転データ (*)	トグル	1	0	-
	セクタ/チップ消去コマンド	0	トグル	1	1	-
セクタ消去一時停止	消去対象セクタ	-	-	-	-	トグル

*: 読み出される値については、「● ビット説明」を参照してください。

● ビット説明

[bit15 ～ bit8] 未定義ビット

[bit7] DPOLL: データポーリングフラグビット

書込み / 消去対象アドレスを指定してハードウェアシーケンスフラグを読み出すと、データポーリング機能で自動アルゴリズムが実行中かどうかをこのビットに示します。

読み出される値は動作状態によって異なります。

(1) 書込み時

書込み中:

最後に書き込まれたデータの bit7 の値と逆の値 (反転データ) が読み出されます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。

書込み終了後:

ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit7 の値が読み出されます。

(2) セクタ消去時

セクタ消去実行中: 消去中のセクタから "0" が読み出されます。

セクタ消去後: 必ず "1" が読み出されます。

(3) チップ消去時

チップ消去実行中: 必ず "0" が読み出されます。

チップ消去後: 必ず "1" が読み出されます。

(4) セクタ消去一時停止時

一時停止状態 (未完了): セクタ消去一時停止セクタから "0" が読み出されます。

セクタ消去動作完了: セクタ消去一時停止セクタから "1" が読み出されます。

(注意事項) 自動アルゴリズムを起動しているときは、指定したアドレスのデータを読み出すことはできません。このビットで自動アルゴリズムの動作が終了していることを確認してから、データを読み出してください。

[bit6] TOGG1: トグルフラグ 1 ビット

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムが実行中かどうかをこのビットで示します。読み出される値は動作状態によって異なります。

書込み / セクタ消去 / チップ消去時

書込み / セクタ消去 / チップ消去中:

連続でこのビットを読み出すと、"1" と "0" が交互に読み出されます (トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。

書込み / セクタ消去 / チップ消去終了後:

ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit6 の値が読み出されます。

[bit5] TLOV: タイミングリミット超過フラグビット

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムの実行時間がフラッシュメモリ内部で規定している時間（内部パルスの回数）を超過したかどうかをこのビットで示します。読み出される値は動作状態によって異なります。

書き込み / セクタ消去 / チップ消去時

次の値が読み出されます。

0: 規定時間内

1: 規定時間を超えている

このビットが "1" のときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示した場合、書き込みや消去に失敗したことになります。

例えば、フラッシュメモリでは "0" が書き込まれているデータを "1" に書き換えることができないため、"0" が書き込まれているアドレスに "1" を書き込もうとすると、フラッシュメモリがロックされ自動アルゴリズムが終了しません。この場合は、DPOLL ビットの値は無効のままになり、TOGG1 ビットからは "1" と "0" が交互に読み出され続けます。この状態のまま規定時間を超えたときに、このビットが "1" に変わります。このビットが "1" になった場合はリセットコマンドを発行してください。

(注意事項) このビットが "1" の場合は、フラッシュメモリが正しく使用されなかったことを示しています。フラッシュメモリの不良ではありません。リセットコマンドを発行してから適切な処理を行ってください。

[bit4] 未定義ビット

[bit3]:SETI (セクタ消去タイマフラグビット)

セクタ消去時は、セクタ消去コマンドを発行してから実際にセクタ消去が開始されるまでには、40 μ s のタイムアウト期間が必要です。任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、セクタ消去コマンドのタイムアウト期間中かどうかをこのビットで示します。読み出される値は動作状態によって異なります。

セクタ消去時:

セクタ消去時に次のセクタ消去コードを入力する前に、このビットを確認することで次のセクタ消去コードが受け付けられる状態かどうかを確認できます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスせず、次の値が読み出されます。

0: セクタ消去ウェイト期間中 (次のセクタ消去コード (0x30) を受け付けられます。)

1: セクタ消去ウェイト期間を超過している (このときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示した場合、フラッシュメモリ内部の消去が開始されています。この場合、セクタ消去コード (0x30) 以外のコマンドはフラッシュメモリ内部の消去が完了するまで無視されます。)

[bit2]TOGG2: トグルフラグ 2 ビット

セクタタイレズサスペンド状態において、消去対象でないセクタに対しては読出し (リード) を行うことができますが、消去対象セクタに対してはリードができません。

本フラグは、セクタ消去一時停止中でリードアドレスが消去対象セクタの場合、出力データがトグルして、消去対象セクタであることを示します。

消去対象セクタへの読出し: 連続でこのビットを読み出すと、"1" と "0" が交互に読み出されます (トグル動作) ハードウェアシーケンスフラグを読み出すために、指定したアドレスにはアクセスされません。

消去対象でないセクタへの読出し: 指定したアドレスのデータを読出します。

[bit1, bit0] 未定義ビット

31.5.4 リセットコマンド

リセットコマンドを対象フラッシュメモリに送るとフラッシュメモリをリセット状態にできます。この状態は、フラッシュメモリの初期状態のため、電源を投入したときやコマンドが正常終了すると、フラッシュメモリは常にリセット状態に戻ります。電源投入時は、データ読出しコマンドを発行する必要はありません。また、リセット状態では、通常の読出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできるため、データを読み出すときにリセットコマンドを発行する必要はありません。

31.5.5 書込みコマンド

次の順番で書込みを行います。

①書込みコマンドを対象セクタに連続して送る

自動アルゴリズムが起動されフラッシュメモリへデータが書き込まれます。
書込みコマンド発行後は、外部からフラッシュメモリを制御する必要はありません。

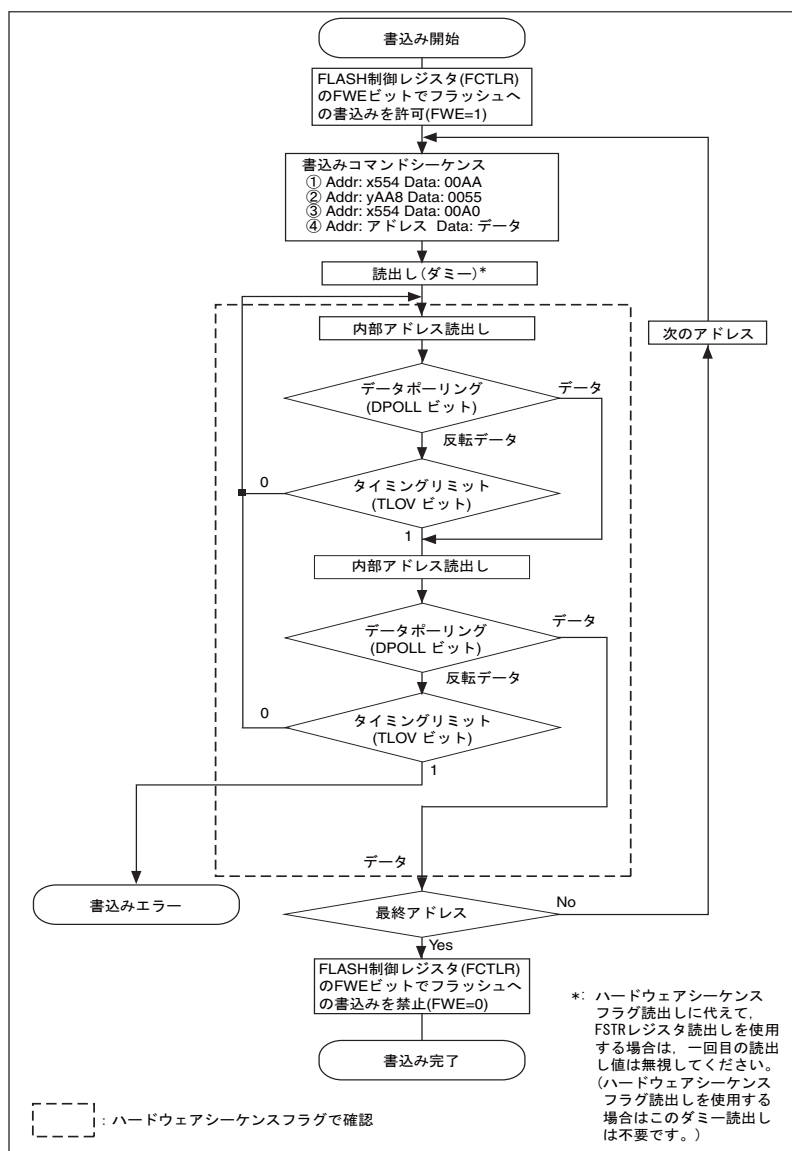
②書込みを行ったアドレスにリードアクセスする

読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7 (DPOLL ビット) が書き込んだ値と一致した場合、フラッシュメモリへの書込みが終了したことになります。

書込みが終了していない場合は、最後に書き込んだデータの bit7 の値と逆の値 (反転データ) が読み出されます。

フラッシュメモリへの書き込み動作例を図 31.5-2 に示します。

図 31.5-2 書き込み手順例



- (注意事項) ・書き込みが終了すると、フラッシュメモリは読出しモードに戻るため、書き込みアドレスを受け付けなくなります。
- ・書き込みコマンドについては、「31.5.3 自動アルゴリズム」を参照してください。
- ・ハードウェアシーケンスフラグの DPOLL ビットは、TLOV ビットと同時に値が変わるので TLOV ビットが "1" の場合でも再度確認する必要があります。
- ・ハードウェアシーケンスフラグの TOGG1 ビット、TLOV ビットが "1" になると同時にトグル動作を停止します。そのため、TLOV ビットが "1" の場合でも TOGG 1 ビットを再度確認する必要があります。
- ・フラッシュメモリへは、どのようなアドレスの順番でも、またセクタの境界を越えても書き込めますが、1 回の書き込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書き込みコマンドシーケンスを発行してください。

- ・一度, "0" が書き込まれたデータを "1" に戻すことはできません。"0" を "1" に書き換えると, 以下のいずれかになります。
 - データポーリングアルゴリズムにより素子が不良と判定される
 - 書き込み規定時間を超え, ハードウェアシーケンスフラグビットの TLOV ビットが "1" に変わる
 - "1" が書き込まれたように見えるただし, "1" が書き込まれたように見えた場合でも, 実際のデータは "0" のままのため, 読出し / リセットモードでデータを読み出すと "0" が読み出されます。データを "1" に戻したい場合は, チップ消去かセクタ消去を行ってください。
- ・書き込み動作中は, フラッシュメモリに書き込まれたすべてのコマンドが無視されます。
- ・書き込み中に本デバイスがリセットされた場合は, 書き込んでいるデータは保証されません。
- ・本品種では ECC ビット付加のため, 必ず 16 ビットを 2 回, 32 ビットで書き込みを行う必要があります。手順については「31.5.2 CPU によるフラッシュメモリ書き込み」をご参照ください。

31.5.6 チップ消去コマンド

チップ消去コマンドにて, フラッシュメモリの消去対象フラッシュマクロを一括して消去できます。

チップ消去コマンドを対象フラッシュメモリに連続して送ると自動アルゴリズムを起動して, 全セクタを一括で消去できます。チップ消去コマンドについては, 「31.5.3 自動アルゴリズム」を参照してください。

- ① チップ消去コマンドを消去対象フラッシュマクロのセクタに連続して送る
自動アルゴリズムが起動されフラッシュメモリへデータが書き込まれます。
- ② 消去対象フラッシュマクロの任意のアドレスにリードアクセスする
読み出したデータはハードウェアシーケンスフラグになります。そのため, 読み出したデータの bit7 (DPOLL ビット) が "1" だと, チップ消去が終了したことになります。
チップ消去に必要な時間は「セクタ消去時間 X 全セクタ数 + チップ書き込み時間 (プリプログラム)」となります。チップ消去動作が終了すると, フラッシュメモリは読出し / リセットモードに戻ります。

- (注意事項) ・自動消去アルゴリズムが起動するとすべてのチップ消去する前に, フラッシュメモリがチップ内のすべてのセルに "0" を書き込んで, マージンを検証 (プリプログラム) するため, チップ消去前に, フラッシュメモリに書き込みを行う必要はありません。また, マージン検証中は外部からフラッシュメモリを制御する必要もありません。
- ・セキュリティ ON 時には, フラッシュの消去には手順に制限があります。
詳細は「■フラッシュセキュリティ解除方法」をご参照ください。

31.5.7 セクタ消去コマンド

フラッシュメモリ内のセクタを選択して、選択したセクタのデータのみを消去できます。複数のセクタを同時に指定することもできます。次の順番でセクタ消去を行います。

① セクタ消去コマンドを対象セクタに連続して送る

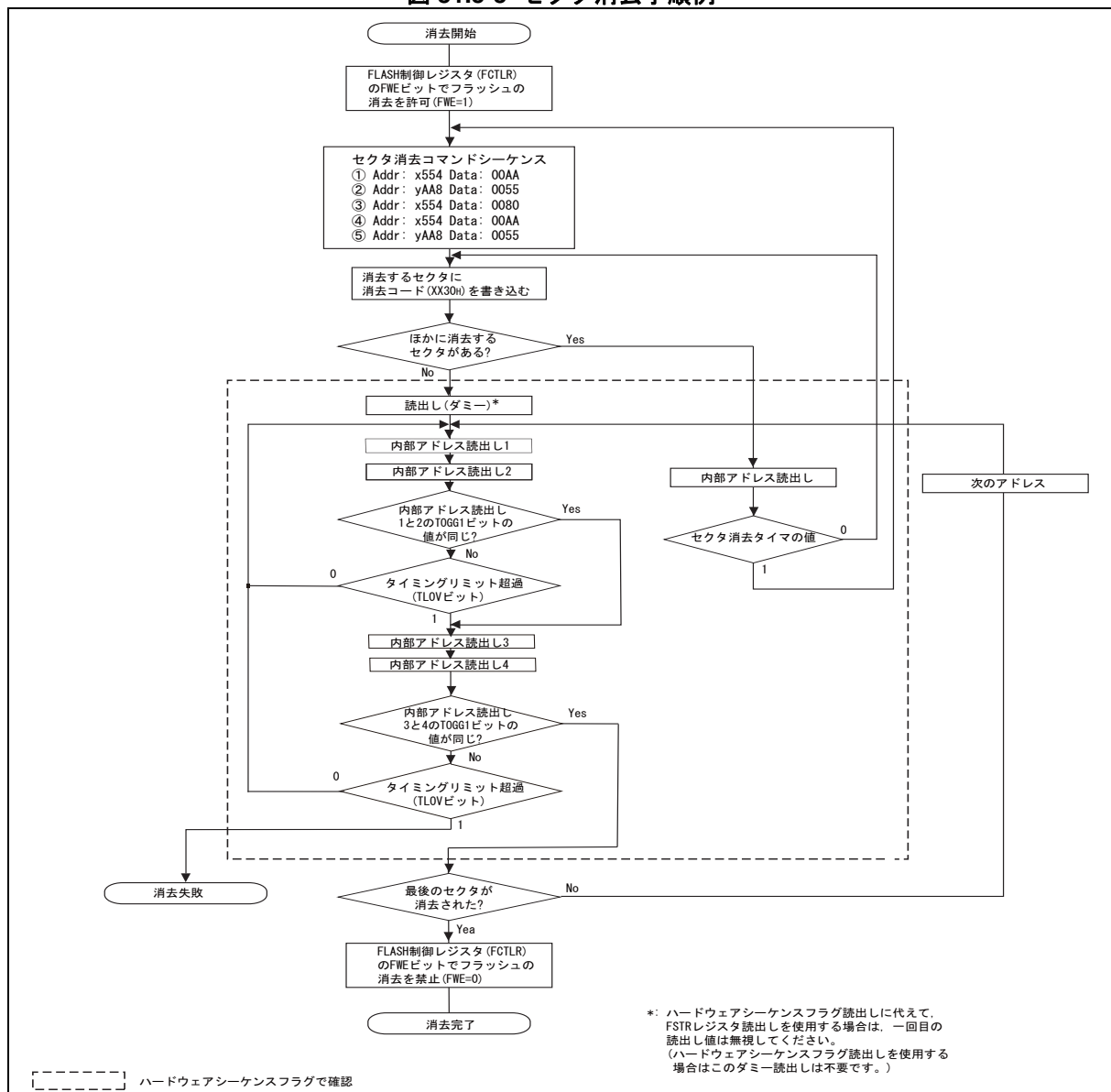
40 μ s 経過 (タイムアウト期間) すると、自動アルゴリズムが起動しセクタ消去動作が開始されます。複数のセクタを消去したい場合は、40 μ s (タイムアウト期間) 以内に消去するセクタのアドレスに消去コード (30H) を書き込んでください。タイムアウト期間経過後に書き込んでも、セクタ消去コマンドが無効になる場合があります。

② 任意のアドレスにリードアクセスする

読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7 (DPOLL ビット) が "1" だと、セクタ消去が終了したことになります。また、TOGG 1 ビットを利用してセクタ消去が完了したかどうかを確認することもできます。

確認動作に TOGG1 ビットを使用した場合を例にとって、セクタ消去手順例を図 31.5-3 に示します。

図 31.5-3 セクタ消去手順例



- (注意事項) ・セクタ消去に必要な時間は「 (セクタ消去時間 + セクタ書込み時間 (プリプログラム))
× セクタ数」となります。
- ・セクタ消去動作が終了すると、フラッシュメモリは読出し / リセットモードに戻ります。
 - ・セクタ消去コマンドについては、「31.5.3 自動アルゴリズム」を参照してください。
 - ・ハードウェアシーケンスフラグの DPOLL ビットは、TLOV ビットと同時に値が変わるので TLOV ビットが "1" の場合でも再度確認する必要があります。
 - ・ハードウェアシーケンスフラグの TOGG1 ビットは、TLOV ビットが "1" に変わると同時にトグル動作を停止します。そのため、TLOV ビットが "1" の場合でも TOGG1 ビットを再度確認する必要があります。
 - ・コマンドタイムアウト状態で受け付けられるライトコマンドは消去セクタ追加のコマンドと消去一時停止のコマンドのみで、セクタ消去状態で受け付けられるコマンドは消去一時停止のコマンドのみです。
 - ・自動消去アルゴリズムが起動すると、セクタ消去する前に、フラッシュメモリが消去するセルに "0" を書き込んで、マージンを検証 (プリプログラム) するため、セクタ消去前に、フラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。

31.5.8 セクタ消去一時停止コマンド

セクタイレーズ実行中またはコマンドタイムアウト中に、セクタ消去を一時的に停止させることができます。

セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。

セクタ消去を一時停止させるには、対象 FLASH マクロの任意のアドレスに、セクタ消去一時停止コマンドを送ります。

セクタ消去が停止したあとは、対象 FLASH マクロからの読出し動作許可されます。

このとき、セクタ消去一時停止中のセクタからは、ハードウェアシーケンスフラグが読み出されず。

セクタ消去一時停止状態に入ると、以下の状態になります。

- セクタ消去中にトグルする TOGG1 ビットが、セクタ消去一時停止状態ではトグルしない。
- フラッシュステータスレジスタの FRDY が "1" になる。

これらを利用して、セクタ消去一時停止状態に入ったことを確認可能です。

(注意事項) セクタ消去一時停止コマンドの発行から、セクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで、最大 16.7 μ s 要します。

セクタ消去一時停止中も、ハードウェアシーケンスフラグの bit2:TOGG2 はトグルしますので、本ビットを利用して停止中セクタの確認が可能です。

セクタ一時停止状態から、中断していた消去動作を再開するには、表 31.5-1 コマンドシーケンスのセクタ消去再開コマンドを送ります。

セクタ消去再開コマンドは、セクタ消去一時停止状態でのみ受け付けられます。

セクタ消去一時停止状態になったことを確認してからコマンドを送ってください。

消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。

31.5.9 セキュリティ機能

本フラッシュメモリには、セキュリティ機能が搭載されています。セキュリティ機能が OFF のときは、制限なくフラッシュメモリを使用できますが、セキュリティ機能が ON のときは、外部バス*からの命令フェッチ後の動作や、チップ消去以外の書込み・消去が抑止されます。制限内容については「■セキュリティ ON 時のフラッシュアクセス制限」をご参照ください。

*: MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD

■ リセット解除時におけるフラッシュセキュリティ ON/OFF 判別

本品種のフラッシュインタフェースは、リセット解除後にフラッシュセキュリティコード領域の 2 バイトを読出します。その値が 0x0001 の場合は、セキュリティ ON になり、その後のフラッシュメモリへのアクセス制限が発生します。それ以外の値の場合は、セキュリティ OFF になります。

■ フラッシュセキュリティ設定方法

フラッシュセキュリティコード領域(「図 31.3-2 セクタ構成図 (MB91F587L)」をご参照ください)に 0x0001 が書き込まれた後にリセットの入力・解除が行われると、セキュリティ ON になります。一度セキュリティ ON になると、フラッシュメモリ領域全体を消去しない限りセキュリティ OFF にはなりません。

■ フラッシュセキュリティ解除方法

次の順序で、チップ消去コマンドをすべてのフラッシュマクロに対して行ってください。

- (1) ワークフラッシュを消去します。
- (2) フラッシュセキュリティコードが格納されているプログラムフラッシュを消去します。

上記で示したように、プログラムフラッシュの消去は最後に行ってください。そうしない場合は、プログラムフラッシュへの消去コマンドは無視されます。また、各消去の間にリセットが入った場合は (1) からやり直してください。

(注意事項) ユーザモード (内部 FLASH 起動) では、任意のフラッシュマクロに対して消去コマンドの発行、フラッシュマクロ内のデータ消去が可能です。フラッシュマクロに格納されるデータ保護の観点から、各フラッシュマクロに対するチップ消去の順序は上記のとおり実施することを推奨します。

■ セキュリティ ON 時のフラッシュアクセス制限

セキュリティ ON 時には、起動モードにより以下で示す制限が発生します。

表 31.5-3 セキュリティ ON 時のアクセス制限

動作モード	アクセス制限
ユーザ *1 ユーザ・外バス *2	<p>通常状態（後述のフラッシュセキュリティ違反によるアクセス制限がされていない状態）では、セキュリティ情報領域（フラッシュメモリの先頭 9 ワード）に対する書きこみはキャンセルされます。また、セクタ 0 とセクタ 1 に対するセクタイレーズコマンド無視されます。</p> <p>オンチップバス領域に対して命令フェッチが行われると、フラッシュセキュリティ違反リセット要因によるリセット要求が発行されます。以後、フラッシュメモリへのアクセスは受け付けません。</p> <p>リセットで通常状態に復帰します。</p>
上記以外 （ライターなど）	<p>フラッシュメモリに対するアクセスを制限します。</p> <p>読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。</p> <p>チップ消去コマンドは受け付けます。「■ フラッシュセキュリティ解除方法」をご参照ください。</p>

*1：MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC

*2：MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD

また、セキュリティ ON 時には、セキュリティ情報格納領域（フラッシュメモリの先頭 9 ワード）へのデータ読出しを行った場合は、下記のようになります。

- データアクセスエラーとなり、不正命令例外またはデータアクセスエラー割込みが発生します。（詳細は「FR Family FR81 32 ビット・マイクロコントローラプログラミングマニュアル」を参照してください。）
- 読出し値として 0xFFFFFFFF が返されます。
ただし、OCD ツール接続時の、OCDU からのアクセスまたはデバッグステート時の読出しの場合は、この制限はありません。

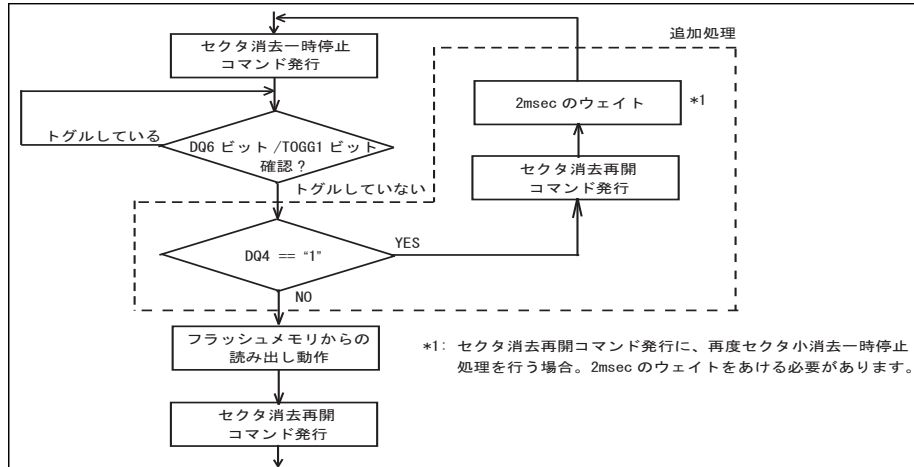
31.5.10 フラッシュメモリの使用上の注意

- 書き込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- FLASH 制御レジスタ (FCTL) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) したきは、フラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。
- FLASH 制御レジスタ (FCTL) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) し、フラッシュメモリ上に割込みベクタテーブルがある場合は、割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書き込みを行う必要があります。手順については「31.5.2 CPU によるフラッシュメモリ書き込み」をご参照ください。
- 複数マクロへの同時（並行）コマンド発行はしないでください。ハードウェアシーケンスフラグまたは FRDY ビットでコマンド完了を確認してから、次のマクロへのコマンドを投入してください。
- オンチップデバッガ (OCD) のパスワードによる認証が完了すると、セキュリティ ON 時の場合でも OCD を使用して外部からフラッシュメモリの内容を読み出すことができます。第三者による読出しを阻止したい場合は、オンチップデバッガ (OCD) 起動許可用のパスワードを必ず設定してください。
- FLASH プログラム / イレーズ中スタンバイ状態に遷移することは禁止です。
- 本フラッシュメモリは、ECC を搭載しているため、既に何らかの値が書き込まれているアドレスへのデータ上書きは行えません。

31.5.11 セクタ消去一時停止コマンドについて

セクタ消去一時停止コマンドを使用する場合、セクタ消去一時停止処理 (セクタ消去一時停止コマンド発行および DQ6 ビット確認) の後に、図 31.5-4 のように、フラッシュメモリからの読み出しが可能かどうかを示す DQ4 ビットを確認し、"1" であればセクタ消去再開コマンド (sector erase resume command) 発行及び 2msec のウェイト処理を追加し、再度セクタ消去一時停止処理を行ってください。

図 31.5-4 ソフトウェア処理方法



なお、上記方法を使用する場合、以下の注意が必要です。

- ① DQ4=="1" によりセクタ消去再開コマンドを発行後、再度セクタ消去一時停止コマンドを発行するまでに最低 2msec のウェイトをあげる必要があります。(図 31.5-4 中の※ 1)
- ② 新規にセクタ消去一時停止コマンドを発行してから DQ4=="0" になるまでに、最大で約 10msec のウェイトがかかる場合があります。

ハードウェアシーケンスフラグ DQ4 ビットは、フラッシュメモリからのデータの読み出しが可能かどうかの状態を表します。本ビットが "1" の場合は、読み出しができない状態を示し、"0" の場合は読み出し可能な状態を示します。

DQ4 ビットは以下にアサインされます。

<MB91580L ハードウェアシーケンスフラグのビット構成>

ハーフワードアクセスの場合								
bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	未定義	未定義	未定義	未定義	未定義
bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG1	TLOV	DQ4	SETI	TOGG2	未定義	未定義
バイトアクセスの場合								
bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG1	TLOV	DQ4	SETI	TOGG2	未定義	未定義

第 32 章 ワークフラッシュメモリ

32.1 概要

本製品に内蔵されているフラッシュメモリの容量は 64K バイトです。ECC(Error Correction Code) が付加されています。

32.2 特長

- 使用可能容量:
 - MB91F585L: 64K バイト (8k バイト× 8 セクタ)
 - MB91F586L: 64K バイト (8k バイト× 8 セクタ)
 - MB91F587L: 64K バイト (8k バイト× 8 セクタ)本品種は ECC 符号格納のため、上記に加え 4 バイトにつき 6 ビットのフラッシュメモリが搭載されています。
- 高速動作: ワード (32 ビット) 単位での読出しが 80MHz・2 サイクルで可能。
128MHz の場合は、4 サイクルになります。
- 外部からの書込み: ROM ライタにより可能
- 動作モード:
 1. CPU-ROM モード
(CPU / DMA がフラッシュメモリにアクセス。読出しのみ)
データアクセスのみが可能です。インストラクションフェッチはできません。
 2. CPU プログラミングモード
(CPU がフラッシュメモリにアクセス。読出し・書込み・消去)
 3. フラッシュメモリモード (外部からフラッシュメモリにアクセス可能)
- セキュリティ機能
 - 第三者によるフラッシュメモリ内容読出し阻止のため、セキュリティ ON 時に、外部からの命令フェッチ後の動作や、チップ消去以外の書込み・消去を抑止
 - オンチップデバッグ (OCD) 使用により、パスワード認証後にセキュリティ ON 時の場合でも OCD を使用した外部からの読出し可能。
- ECC(Error Correction Code) セキュリティ機能
 - 1 ワード中の 1 ビットまでの誤りを訂正する ECC(Error Correction Code) 機能があります。(2 ビット誤り検出機能は搭載していません。) 誤りは読出し中に自動で訂正されます。また、ECC 符号はフラッシュメモリへの書込み時に自動で付加されます。誤り訂正による読出しサイクルペナルティはありませんので、ソフトウェア開発の際に誤り訂正ペナルティを考慮する必要はありません。
 - チップイレーズ/セクタイレーズされた状態でデータを読み出すとエラーが検知されます。イレーズ状態 (FFFF) のデータを正しく読み出す必要がある場合は、必ず "FFFF" を書き込んでから読み出してください。

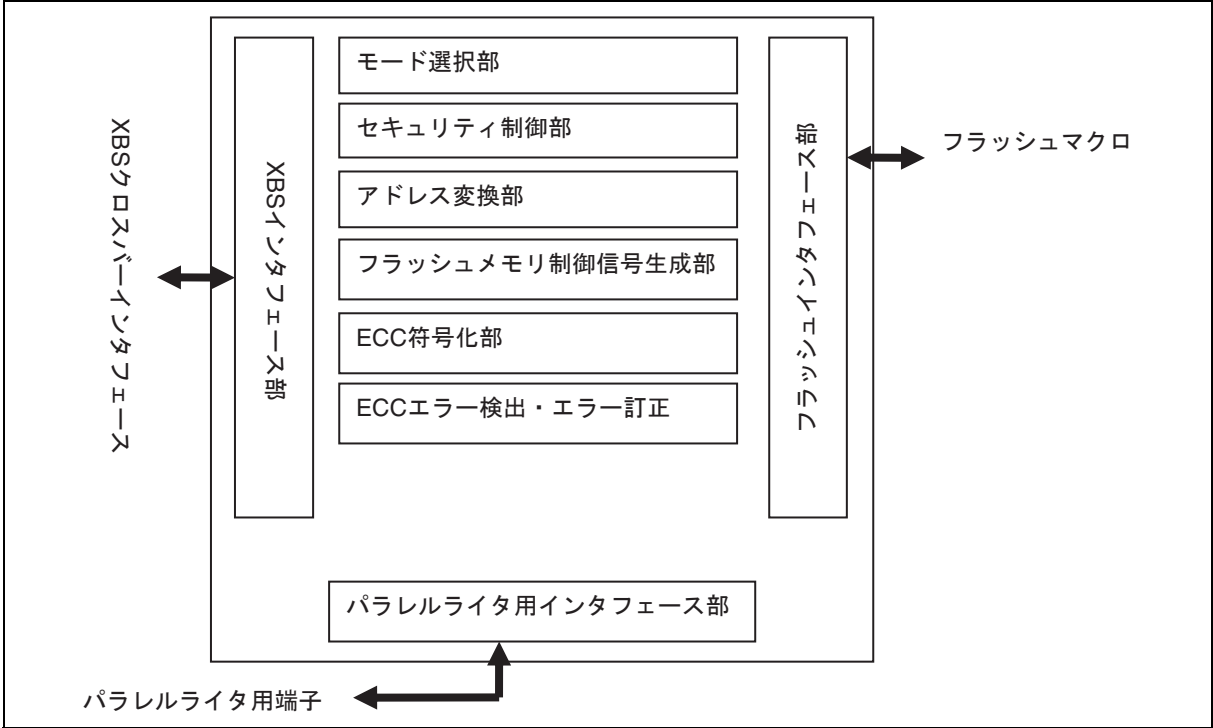
*: 自動アルゴリズム = Embedded Algorithm

管理コード: FZ5C0-1v9-91580L-1-J



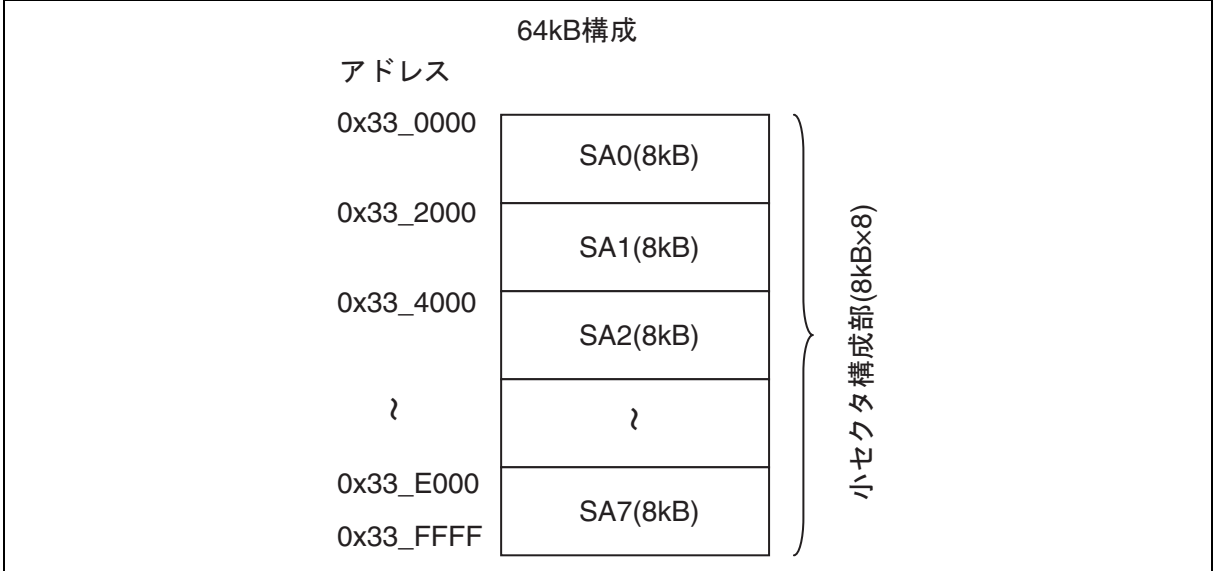
32.3 構成
32.3.1 ブロック図

図 32.3-1 ブロック図 (64KB 品種)



32.3.2 セクタ構成図

図 32.3-2 セクタ構成図



32.4 レジスタ

表 32.4-1 レジスタマップ

アドレス	Register				レジスタ機能
	+0	+1	+2	+3	
0x2300	DFCTLR		Reserved	DFSTR	ワークフラッシュ制御レジスタ ワークフラッシュステータスレジスタ
0x2308	FLIFCTLR	Reserved	Reserved	Reserved	フラッシュインタフェース制御レジスタ

32.4.1 DFCTLR (WorkFlash ConTroL Register) ワークフラッシュ制御レジスタ

ワークフラッシュ へのアクセス制御を設定します。

- DFCTLR : アドレス 0x2300_H (アクセス : Byte,Half-word,Word)

15	14	13	12	11	10	9	8	bit
Reserved	FWE	Reserved						
0	0	0	0	0	0	0	0	初期値
RX,WX	R/W	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	属性
7	6	5	4	3	2	1	0	bit
Reserved								
0	0	0	0	0	0	0	0	初期値
RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	属性

[bit15] Reserved

予約ビットです。読出し値は不定です。書込みは効果ありません。

[bit14] FWE (Flash Write Enable) Flash 書込み許可

CPU モード時にワークフラッシュ への書込みを許可する制御ビットです。

本ビットを設定すると、ワークフラッシュメモリへのデータフェッチに対し、ECC によるエラー検出・データ訂正機能が無効になります。

FWE	説明
0	Flash 書込み不許可 (初期値)
1	Flash 書込み許可

[bit13 ~ bit0] Reserved

予約ビットです。読出し値は不定です。書込みは効果ありません。

32.4.2 DFSTR (WorkFlash SStatus Register) ワークフラッシュステータスレジスタ

ワークフラッシュ の状態を表示します。

- DFSTR : アドレス 0x2303_H (アクセス : Byte,Half-word,Word)

7	6	5	4	3	2	1	0	bit
Reserved					DFECCE RR	DFHANG	DFRDY	
0	0	0	0	0	0	0	1	初期値
RX,WX	RX,WX	RX,WX	RX,WX	RX,WX	R/W	R,WX	R,WX	属性

[bit7 ~ bit3] Reserved

予約ビットです。読出し値は不定です。書込みは効果ありません。

[bit2] DFECCE (WorkFlash ECC Error coRRection) データ読出し ECC 訂正発生

CPU モードにおけるワークフラッシュへのデータリード時に ECC エラーが発生したことを示します。このビットは "0" 書込みでクリアされます。ECC エラーと "0" 書込みが同時に発生した場合は "0" 書込みが優先されます。

DFECCE	読出し	書込み
0	データ読出し時の ECC による訂正は発生していません (初期値)	本ビットをクリアします
1	データ読出し時に ECC エラー訂正が発生しました	効果ありません

1 ワード中に 2 ビット以上の誤りがある場合は、本ビットの読出し値は不定です。

[bit1] DFHANG (WorkFlash HANG) WorkFlash HANG 状態

ワークフラッシュメモリの HANG 状態を示します。タイミング超過 (「[bit5] : TLOV : (タイミングリミット超過フラグビット) 」 参照) すると HANG 状態になります。このビットが "1" になった場合はリセットコマンド (「 ■ コマンドシーケンス 」 参照) を発行してください。

自動アルゴリズムのコマンド発行直後は正しい値を読出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

DFHANG	説明
0	通常状態
1	HANGUP 状態

[bit0] DFRDY (WorkFlash ReaDY) WorkFlash 書込み許可

自動アルゴリズムでフラッシュメモリの書込み / 消去動作が実行中か完了しているかを示します。動作中の場合、フラッシュメモリへデータを書き込んだりデータを消去したりすることはできません。

DFRDY	説明
0	動作中 (書込み / 消去不可 , ステータス読出し可能)
1	動作完了 (書込み / 消去可能 , 読出し可能)

自動アルゴリズムのコマンド発行直後は正しい値を読出せない場合があるので、コマンド発行後 1 回目の本ビット読出し値は無視してください。

32.4.3 FLIFCTLR(Flash I/F Control Register) フラッシュインタフェース制御レジスタ

Flash I/F を制御します。プログラムフラッシュ、ワークフラッシュ共用のレジスタです。

- FLIFCTLR : アドレス 0x2308_H (アクセス : Byte,Half-word,Word)

7	6	5	4	3	2	1	0	bit
Reserved			DFWDSB L	Reserved		ECCDSB L1	ECCDSB L0	
0	0	0	0	0	0	0	0	初期値
RX,WX	RX,WX	RX,WX	R/W	RX,WX	R/W0	R/W	R/W	属性

[bit7 ~ bit5] Reserved

予約ビットです。読出し値は不定です。書込みは効果ありません。

[bit4] DFWDSBL (Data Fetch Wait cycle Disable) データフェッチ・ウェイトサイクル無効

本ビットを 1 に設定すると、ウェイト設定時のデータ・フェッチ時に挿入されるウェイト・サイクルを無効にします。ただし、サイクルタイム保障のためのウェイト・サイクルは無効にすることはできません。

DFWDSBL	説明
0	ウェイト・サイクル有効 (初期値)
1	ウェイト・サイクル無効

[bit3] Reserved

予約ビットです。読出し値は不定です。書込みは効果ありません。

[bit2] Reserved

予約ビットです。必ず "0" を書き込んでください。

[bit1] ECCDSBL1(ECC Disable1) ECC 機能無効 1

CPU モード時にワークフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効 / 無効を設定します。

ECCDSBL1	説明
0	ECC 機能有効 (初期値)
1	ECC 機能無効

[bit0] ECCDSBL0(ECC Disable0) ECC 機能無効 0

CPU モード時にプログラムフラッシュメモリへのライトアクセス、データフェッチに対し、ECC 機能の有効 / 無効を設定します。

ECCDSBL0	説明
0	ECC 機能有効 (初期値)
1	ECC 機能無効

32.5 動作説明

Flash 領域へのアクセス方法について説明します。

32.5.1 アクセスモード設定

本品種のフラッシュメモリには以下の 3 モードがあります。本項にて 1., 2. の設定方法を説明します。3. については、ご使用の ROM ライタの説明書をご参照ください。

1. CPU-ROM モード
(CPU がフラッシュメモリにアクセス。読出しのみ, Byte/Half-word/Word アクセス)
2. CPU プログラミングモード
(CPU がフラッシュメモリにアクセス。読書, Half-word アクセスのみ)
3. フラッシュメモリモード (外部からフラッシュメモリにアクセス可能)

■ CPU-ROM モードへの設定

ワークフラッシュ制御レジスタ (DFCTLR) の FEW ビットが "0" のとき, CPU-ROM モードです。CPU-ROM モードでは, ワークフラッシュステータスレジスタ (FSTR) の DFRDY ビットが "1" のとき, フラッシュメモリからの読出しが可能になります。CPU-ROM モードでは, フラッシュメモリへの書込みは不可能です。リセット解除後はこの状態になります。

■ CPU プログラミングモードへの設定

ワークフラッシュ制御レジスタ (DFCTLR) の FEW ビットが "1" のとき, CPU プログラミングモードです。CPU プログラミングモードでは, ワークフラッシュステータスレジスタ (FSTR) の DFRDY ビットが "1" のとき, フラッシュメモリからの読出しおよび書込みが可能になります。

32.5.2 CPU によるフラッシュメモリ書込み

CPU プログラミングモードに設定した後，自動アルゴリズムを利用して消去・書込みを行います。本品種では 1 ワードごとの ECC(Error Correction Code) が付加されますので，1 ワードごとの書込みを行う必要があります。以下の手順で 1 ハーフワードを 2 連続に，1 ワードごとに書込みを行ってください。この手順に従わない場合，ECC 計算されずにフラッシュメモリに書き込まれてしまうため，書いた値を正しく読み出せません。

1. Flash アクセスサイズ設定を 16 ビットに設定します。(FCTL.R.FSZ[1:0]=01)
(注意事項) FCTL.R は，「第 31 章 フラッシュメモリ」を参照ください。
2. 書込みコマンドを発行します。書込みアドレス = PA 書込みデータ = PD[31:16]
書込みコマンドについては「32.5.5 書込みコマンド」をご参照ください。
3. 書込みが終了するまで，ハードウェアシーケンスフラグを読み出します。
ハードウェアシーケンスフラグ読出しについては「■ 自動アルゴリズム実行状態」をご参照ください。
4. 書込みコマンドを発行します。書込みアドレス = PA+2 書込みデータ = PD[15:0]
この際，ハードウェアが自動で 2. の PD[31:16] とあわせて ECC 符号の計算を行い，ECC 符号の書込みも自動で同時に行われます。
5. 書込みが終了するまで，ハードウェアシーケンスフラグを読み出します。
6. 書込みデータがまだある場合は 2. に戻ります。すべて書込み完了した場合は⑦へ進みます。
7. CPU-ROM モードに設定します。
8. 書込みした値を読み出して，正しい値を読めるか確認してください。また，正しい値が読めた場合でも DFSTR.DFECERR ビットを確認して ECC 訂正がされていないか確認してください。ECC 訂正が発生していた場合はフラッシュメモリ消去からやり直してください。

PA: 書込み対象アドレス (ワードアラインド)

PD[31:0]: 書込みデータ

PD[31:16] 書込みデータ上位 16 ビット分

PD[15:0] 書込みデータ下位 16 ビット分

32.5.3 自動アルゴリズム

CPU プログラミングモードを利用する場合、フラッシュメモリへの書込み / 消去は自動アルゴリズムを起動して行います。本項にて自動アルゴリズムについて説明します。

■ コマンドシーケンス

フラッシュメモリへ 1 回～6 回連続でハーフワード (16 ビット) のデータを書き込むと自動アルゴリズムが起動します。これをコマンドと呼びます。コマンドシーケンスを以下に示します。

表 32.5-1 コマンドシーケンス

コマンド	書込み回数	1 回目		2 回目		3 回目		4 回目		5 回目		6 回目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
リセット	1	任意	F0 _H										
読出し	1	RA	RD										
書込み	4	AA8 _H	AA _H	554 _H	55 _H	AA8 _H	A0 _H	PA	PD				
チップ消去	6	AA8 _H	AA _H	554 _H	55 _H	AA8 _H	80 _H	AA8 _H	AA _H	554 _H	55 _H	AA8 _H	10 _H
セクタ消去	6	AA8 _H	AA _H	554 _H	55 _H	AA8 _H	80 _H	AA8 _H	AA _H	554 _H	55 _H	SA	30 _H
セクタ消去一時停止	1	任意	B0 _H										
セクタ消去再開	1	任意	30 _H										

(注意事項) ・表中のデータ表記は下位 8 ビット分のみを表記しています。上位 8 ビットは任意です。

コマンドはハーフワードまたはバイトで書き込んでください。

・表中のアドレス表記は下位 12 ビット分のみです。上位 20 ビット分は、対象となるフラッシュマクロのアドレス範囲のうちの任意のアドレスを指定してください。

PA： 書込みアドレス (ハーフワードアラインド)

PD： 書込みデータ (16 ビットで書き込んでください。)

SA： セクタアドレス (消去対象となるセクタのアドレス範囲の内の任意のアドレスを指定してください。)

RA： 読出しアドレス

RD： 読出しデータ (読出し幅は任意です。)

＜注意事項＞

- コマンドアドレス, セクタ消去コマンド発行時に入力するセクタアドレス (SA), の最下位 2 ビット分は以下のようにしてください。
ハーフワード・アクセス時 :2'b00
バイト・アクセス時 :2'b01 または 2'b11
例 1
バイト・アクセス時, コマンドアドレス =(標準コマンドアドレスの最下位 2 ビットを 2'b01 に変更) とする場合
AA8_H → AA9_H, x554_H → 555_H, SA → {SA[31:2], 2'b01}
(SA: セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)
例 2
バイト・アクセス時, コマンドアドレス =(標準コマンドアドレスの最下位 2 ビットを 2'b11 に変更) とする場合
AA8_H → AAB_H, 554_H → 557_H, SA → {SA[31:2], 2'b11}
(SA: セクタ消去コマンド発行時に入力する消去対象セクタ内の任意のアドレス)
- 誤ったアドレス値やデータ値をライトした場合や, 誤ったシーケンスでライトした場合, それまでライトしたコマンドはクリアされます。

● リセットコマンド

リセットコマンドを対象 FLASH メモリに送るとそれまでに入力した表 32.5-1 に示す各コマンド入力をキャンセルし, 再び 1 回目からコマンド入力し直すことができます。

ただし, 各コマンドを最後まで入力し自動アルゴリズムが起動すると, 本リセットコマンドでは自動アルゴリズムを中止することはできません。

自動プログラムアルゴリズムの実行がタイミングリミットを超過した場合のみ, リセットコマンドを入力するとフラッシュメモリがリセット状態へ復帰します。

● 読出しコマンド

読出しコマンドを対象セクタに送るとフラッシュメモリを読出しできます。読出しコマンドを発行すると, フラッシュメモリは, ほかのコマンドが発行されるまで読出し状態を保ちます。

● プログラム (書込み) コマンド

書込みコマンドを対象セクタに 4 回連続して送ると自動アルゴリズムを起動してフラッシュメモリにデータを書き込めます。データの書込みはどのようなアドレスの順番でもセクタの境界を越えても行えます。CPU プログラミングモードでは, ハーフワードで書込みを行います。4 回目の書込みが終了すると, 自動アルゴリズムが起動し, フラッシュメモリへの自動書込みが開始されます。自動書込みアルゴリズムコマンドシーケンス実行後は, 外部からフラッシュメモリを制御する必要はありません。

実際の動作については, 「32.5.5 書込みコマンド」を参照してください。

<注意事項>

- ハーフワードで書き込む場合、4 回目の書込みコマンド (書込みデータサイクル) を奇数番地に書き込むと、書込みが正しく行われません。必ず偶数番地に書き込んでください。
 - 1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。
 - セキュリティ ON 時には、フラッシュの書込みには制限があります。詳細は「■ セキュリティ ON 時のフラッシュアクセス制限」をご参照ください。
-

● チップ消去コマンド

チップ消去コマンドを対象セクタに 6 回連続して送るとフラッシュメモリの全セクタを一括で消去できます。6 回目の書込みが終了すると、自動アルゴリズムが起動しチップ消去動作が開始されます。自動消去アルゴリズムが起動するとすべてのチップ消去する前に、フラッシュメモリがチップ内のすべてのセルに "0" を書き込んで、マージンを検証 (プリプログラム) するため、チップ消去前に、フラッシュメモリに書込みを行う必要はありません。また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。

実際の動作については、「32.5.6 チップ消去コマンド」を参照してください。

● セクタ消去コマンド

セクタ消去コマンドを対象セクタに 6 回連続して送るとフラッシュメモリのセクタを消去できます。6 回目の書込みが終了し、40 μ s 経過 (タイムアウト期間) すると、自動アルゴリズムが起動しセクタ消去動作が開始されます。複数のセクタを消去したい場合は、40 μ s (タイムアウト期間) 以内に消去するセクタのアドレスに消去コード (30_H) を書き込んでください。タイムアウト期間内に次のセクタが入力されないと、セクタ消去コマンドが無効になる場合があります。自動消去アルゴリズムが起動するとセクタ消去する前に、フラッシュメモリが消去するセクタのセルに "0" を書き込んで、マージンを検証 (プリプログラム) するため、セクタ消去前に、フラッシュメモリに書込みを行う必要はありません。また、マージン検証中は、外部からフラッシュメモリを制御する必要はありません。

実際の動作については、「32.5.7 セクタ消去コマンド」を参照してください。

<注意事項>

セキュリティ ON 時には、フラッシュの書込みには制限があります。詳細は「■ セキュリティ ON 時のフラッシュアクセス制限」をご参照ください。

● セクタ消去一時停止コマンド

セクタイレーズ実行中またはコマンドタイムアウト中に、セクタ消去一時停止コマンドを送ると、セクタ消去一時停止状態（セクタイレーズサスペンド状態）に移行できます。

セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。

セクタ消去一時停止状態から、中断していた消去動作を再開するには、消去再開コマンドを送ります。

消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。

コマンドタイムアウト状態から本状態に遷移した場合であっても、イレーズレジュームコマンドが正常にライトされると、コマンドタイムアウト状態には遷移せず、セクタイレーズ状態に遷移して直ちにセクタ消去動作を再開します。

実際の動作については、「32.5.8 セクタ消去一時停止コマンド」を参照してください。

<注意事項>

セクタ消去一時停止コマンドの発行からセクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで最大 16.7 μ s 要します。

読出し可能状態になったかどうかは、ワークフラッシュステータスレジスタ (DFSTR) の DFRDY ビットまたはハードウェアシーケンスフラグの TOGG1 で確認できます。

■ 自動アルゴリズム実行状態

フラッシュメモリでは、書込みや消去を自動アルゴリズムで行うため、自動アルゴリズムが実行中かどうかをワークフラッシュステータスレジスタ (DFSTR) の DFRDY ビットで、動作状態をハードウェアシーケンスフラグで確認できます。

● ハードウェアシーケンスフラグ

自動アルゴリズムの状態を示すフラグです。ワークフラッシュステータスレジスタ (DFSTR) の DFRDY ビットが "0" のときに、フラッシュメモリの任意のアドレスを読み出すと動作状態を確認できます。ハードウェアシーケンスフラグのビット構成を次に示します。

図 32.5-1 ハードウェアシーケンスフラグのビット構成

ハーフワードアクセスの場合							
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
未定義	未定義	未定義	未定義	未定義	未定義	未定義	未定義
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DPOLL	TOGG1	TLOV	未定義	SETI	TOGG2	未定義	未定義
バイトアクセスの場合							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DPOLL	TOGG1	TLOV	未定義	SETI	TOGG2	未定義	未定義

<注意事項>

- ワードアクセスで読み出すことはできません。必ず、CPU プログラミングモードのときにハーフワードかバイトアクセスで読み出してください。
- CPU ROM モードで任意のアドレスを読み出しても、ハードウェアシーケンスフラグを読み出すことはできません。

• 各ビットとフラッシュメモリの状態

ハードウェアシーケンスフラグの各ビットの状態とフラッシュメモリ状態の対応を次に示します。

表 32.5-2 フラグとフラッシュメモリ状態の対応

状態		DPLL	TOGG1	TLOV	SETI	TOGG2
実行中	書き込み中	反転データ (*1)	トグル	0	0	-
	セクタ / チップ 消去中	0	トグル	0	1	-
タイムリミット 超過	書き込みコマンド	反転データ (*1)	トグル	1	0	-
	セクタ / チップ 消去コマンド	0	トグル	1	1	-
セクタ消去 一時停止	消去対象セクタ	-	-	-	-	トグル

*1 読み出される値については、「・ビット説明」を参照してください。

• ビット説明

[bit15 ~ bit8] 未定義ビット

[bit7] DPLL : (データポーリングフラグビット)

書き込み / 消去対象アドレスを指定してハードウェアシーケンスフラグを読み出すと、データポーリング機能で自動アルゴリズムが実行中かどうかをこのビットに示します。

読み出される値は動作状態によって異なります。

1. 書き込み時

書き込み中：	最後に書き込まれたデータの bit7 の値と逆の値 (反転データ) が読み出されます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書き込み終了後：	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit7 の値が読み出されます。

2. セクタ消去時

セクタ消去実行中：	消去中のセクタから "0" が読み出されます。
セクタ消去後：	必ず "1" が読み出されます。

3. チップ消去時

チップ消去実行中：	必ず "0" が読み出されます。
チップ消去後：	必ず "1" が読み出されます。

4. (4) セクタ消去一時停止時

一時停止状態 (未完了)：	セクタ消去一時停止セクタから , "0" が読み出されます。
セクタ消去動作 完了：	セクタ消去一時停止セクタから , "1" が読み出されます。

(注意事項) 自動アルゴリズムを起動しているときは、指定したアドレスのデータを読み出すことはできません。このビットで自動アルゴリズムの動作が終了していることを確認してから、データを読み出してください。

[bit6] TOGG1 : (トグルフラグ 1 ビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムが実行中かどうかをこのビットで示します。読み出される値は動作状態によって異なります。

書込み / セクタ消去 / チップ消去時

書込み / セクタ消去 / チップ消去中 :	連続でこのビットを読み出すと, "1" と "0" が交互に読み出されます (トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
書込み / セクタ消去 / チップ消去終了後 :	ハードウェアシーケンスフラグを読み出すために指定したアドレスの bit6 の値が読み出されます。

[bit5] TLOV : (タイミングリミット超過フラグビット)

任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、自動アルゴリズムの実行時間がフラッシュメモリ内部で規定している時間 (内部パルスの回数) を超過したかどうかをこのビットで示します。読み出される値は動作状態によって異なります。

書込み / セクタ消去 / チップ消去時

次の値が読み出されます。

"0"	規定時間内
"1"	規定時間を超過している

このビットが "1" のときに、DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示した場合、書込みや消去に失敗したことになります。

例えば、フラッシュメモリでは "0" が書き込まれているデータを "1" に書き換えることができないため、"0" が書き込まれているアドレスに "1" を書き込もうとすると、フラッシュメモリがロックされ自動アルゴリズムが終了しません。この場合は、DPOLL ビットの値は無効のままになり、TOGG1 ビットからは "1" と "0" が交互に読み出され続けます。この状態のまま規定時間を越えたときに、このビットが "1" に変わります。このビットが "1" になった場合はリセットコマンドを発行してください。

(注意事項) このビットが "1" の場合は、フラッシュメモリが正しく使用されなかったことを示しています。フラッシュメモリの不良ではありません。リセットコマンドを発行してから適切な処理を行ってください。

[bit4] 未定義ビット

[bit3] SETI (セクタ消去タイマフラグビット)

セクタ消去時は、セクタ消去コマンドを発行してから実際にセクタ消去が開始されるまでには、40 μ s のタイムアウト期間が必要です。任意のアドレスを指定してハードウェアシーケンスフラグを読み出すと、セクタ消去コマンドのタイムアウト期間中かどうかをこのビットで示します。読み出される値は動作状態によって異なります。

セクタ消去時：

セクタ消去時に次のセクタ消去コードを入力する前に，このビットを確認することで次のセクタ消去コードが受け付けられる状態かどうかを確認できます。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスせず，次の値が読み出されます。

"0"	セクタ消去ウェイト期間中 (次のセクタ消去コード (0x30) を受け付けられます。)
"1"	セクタ消去ウェイト期間を超過している (このときに，DPOLL ビットや TOGG1 ビットが自動アルゴリズム実行中であることを示した場合，フラッシュメモリ内部の消去が開始されています。この場合，セクタ消去コード (0x30) 以外のコマンドはフラッシュメモリ内部の消去が完了するまで無視されます。)

[bit2] TOGG2 : (トグルフラグ 2 ビット)

セクタイレーズサスペンド状態において，消去対象でないセクタに対しては読出し (リード) を行うことができますが，消去対象セクタに対してはリードができません。本フラグは，セクタ消去一時停止中でリードアドレスが消去対象セクタの場合，出力データがトグルして，消去対象セクタであることを示します。

消去対象セクタへの 読出し	連続でこのビットを読み出すと，"1" と "0" が交互に読み出されます (トグル動作)。ハードウェアシーケンスフラグを読み出すために指定したアドレスにはアクセスされません。
消去対象でないセクタへの 読出し	指定したアドレスのデータを読出します。

[bit1, bit0] 未定義ビット

32.5.4 リセットコマンド

リセットコマンドを対象 FLASH メモリに送るとフラッシュメモリをリセット状態にできます。この状態は、フラッシュメモリの初期状態のため、電源を投入したときやコマンドが正常終了すると、フラッシュメモリは常にリセット状態に戻ります。電源投入時はデータ読み出しコマンドを発行する必要はありません。また、リセット状態では通常の読み出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできるため、データを読み出すときにリセットコマンドを発行する必要はありません。

32.5.5 書込みコマンド

次の順番で書込みを行います。

1. 書込みコマンドを対象セクタに連続して送る

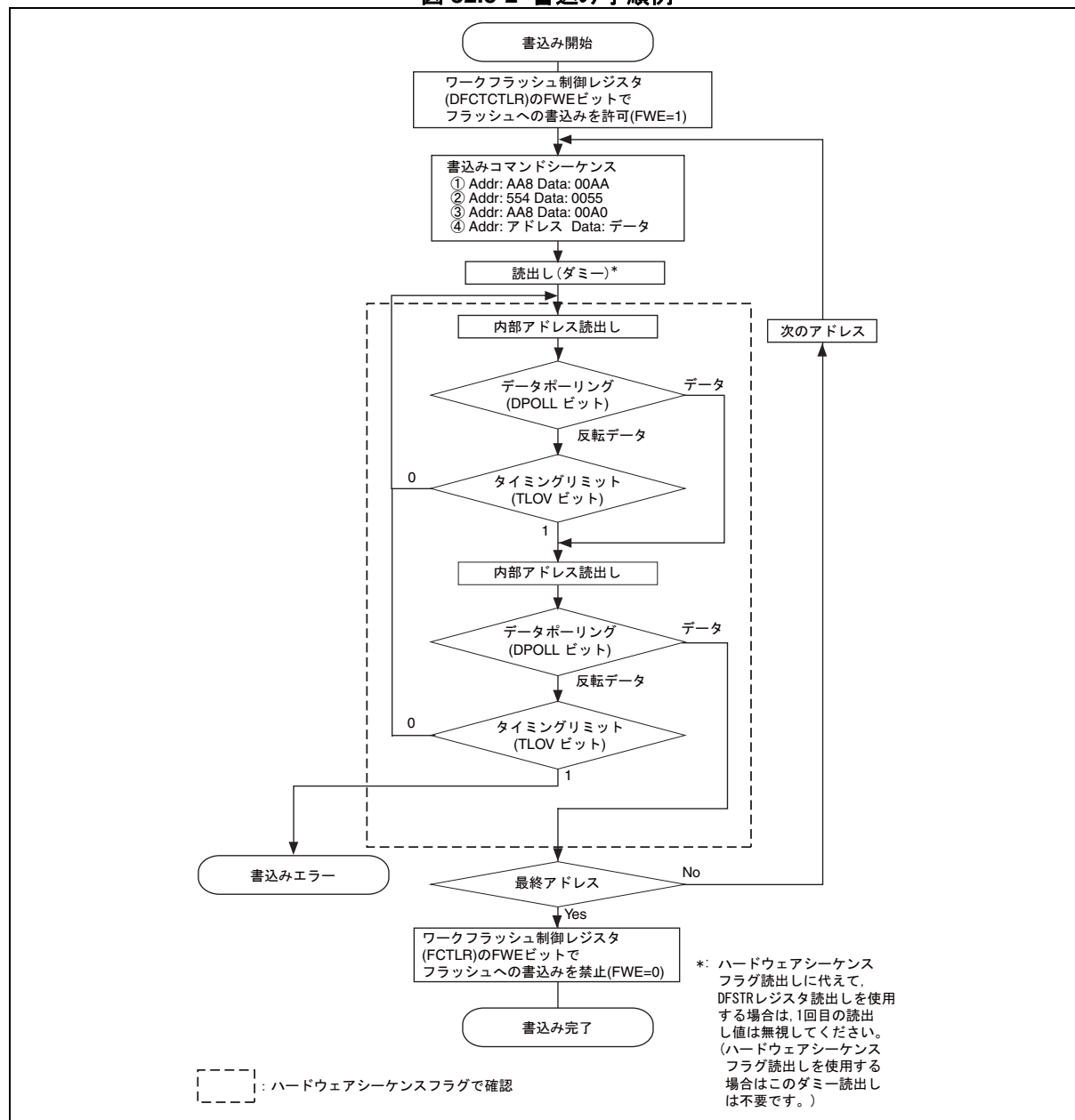
自動アルゴリズムが起動されフラッシュメモリへデータが書き込まれます。書込みコマンド発行後は外部からフラッシュメモリを制御する必要はありません。

2. 書込みを行ったアドレスにリードアクセスする

読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7 (DPOLL ビット) が書き込んだ値と一致した場合、フラッシュメモリへの書込みが終了したことになります。書込みが終了していない場合は、最後に書き込んだデータの bit7 の値と逆の値 (反転データ) が読み出されます。

フラッシュメモリへの書き込み動作例を次に示します。

図 32.5-2 書き込み手順例



<注意事項>

- 書込みが終了すると、フラッシュメモリは読出しモードに戻るため、書込みアドレスを受け付けなくなります。
- 書込みコマンドについては、「32.5.3 自動アルゴリズム」を参照してください。
- ハードウェアシーケンスフラグの DPOLL ビットは、TLOV ビットと同時に値が変わるので TLOV ビットが "1" の場合でも再度確認する必要があります。
- ハードウェアシーケンスフラグの TOGG1 ビット、TLOV ビットが "1" に変わると同時にトグル動作を停止します。そのため、TLOV ビットが "1" の場合でも TOGG1 ビットを再度確認する必要があります。
- フラッシュメモリへは、どのようなアドレスの順番でも、またセクタの境界を越えても書き込めますが、1 回の書込みコマンドシーケンスではハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。
- 一度、"0" が書き込まれたデータを "1" に戻すことはできません。"0" を "1" に書き換えると、以下のいずれかになります。
 - データポーリングアルゴリズムにより素子が不良と判定される
 - 書込み規定時間を超え、ハードウェアシーケンスフラグビットの TLOV ビットが "1" に変わる
 - "1" が書き込まれたように見えるただし、「1」が書き込まれたように見えた場合でも、実際のデータは "0" のままのため読出し / リセットモードでデータを読み出すと "0" が読み出されます。データを "1" に戻したい場合は、チップ消去かセクタ消去を行ってください。
- 書込み動作中はフラッシュメモリに書き込まれたすべてのコマンドが無視されます。
- 書込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書込みを行う必要があります。手順については「32.5.2 CPU によるフラッシュメモリ書込み」をご参照ください。

32.5.6 チップ消去コマンド

チップ消去コマンドにて、フラッシュメモリの消去対象フラッシュマクロを一括して消去できます。

チップ消去コマンドを対象FLASHメモリに連続して送ると自動アルゴリズムを起動して、全セクタを一括で消去できます。チップ消去コマンドについては、「32.5.3 自動アルゴリズム」を参照してください。

1. チップ消去コマンドを消去対象フラッシュマクロのセクタに連続して送る
自動アルゴリズムが起動されフラッシュメモリへデータが書き込まれます。

2. 消去対象フラッシュマクロの任意のアドレスにリードアクセスする

読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7 (DPOLL ビット) が "1" だと、チップ消去が終了したことになります。

チップ消去に必要な時間は「セクタ消去時間 × 全セクタ数 + チップ書込み時間 (プリプログラム)」となります。チップ消去動作が終了すると、フラッシュメモリは読出し/リセットモードに戻ります。

<注意事項>

- 自動消去アルゴリズムが起動するとすべてのチップ消去する前に、フラッシュメモリがチップ内のすべてのセルに "0" を書き込んで、マージンを検証 (プリプログラム) するため、チップ消去前に、フラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。
 - セキュリティ ON 時には、フラッシュの消去には手順に制限があります。詳細は「**■ フラッシュセキュリティ解除方法**」をご参照ください。
-

32.5.7 セクタ消去コマンド

フラッシュメモリ内のセクタを選択して、選択したセクタのデータのみを消去できます。複数のセクタを同時に指定することもできます。次の順番でセクタ消去を行います。

1. セクタ消去コマンドを対象セクタに連続して送る

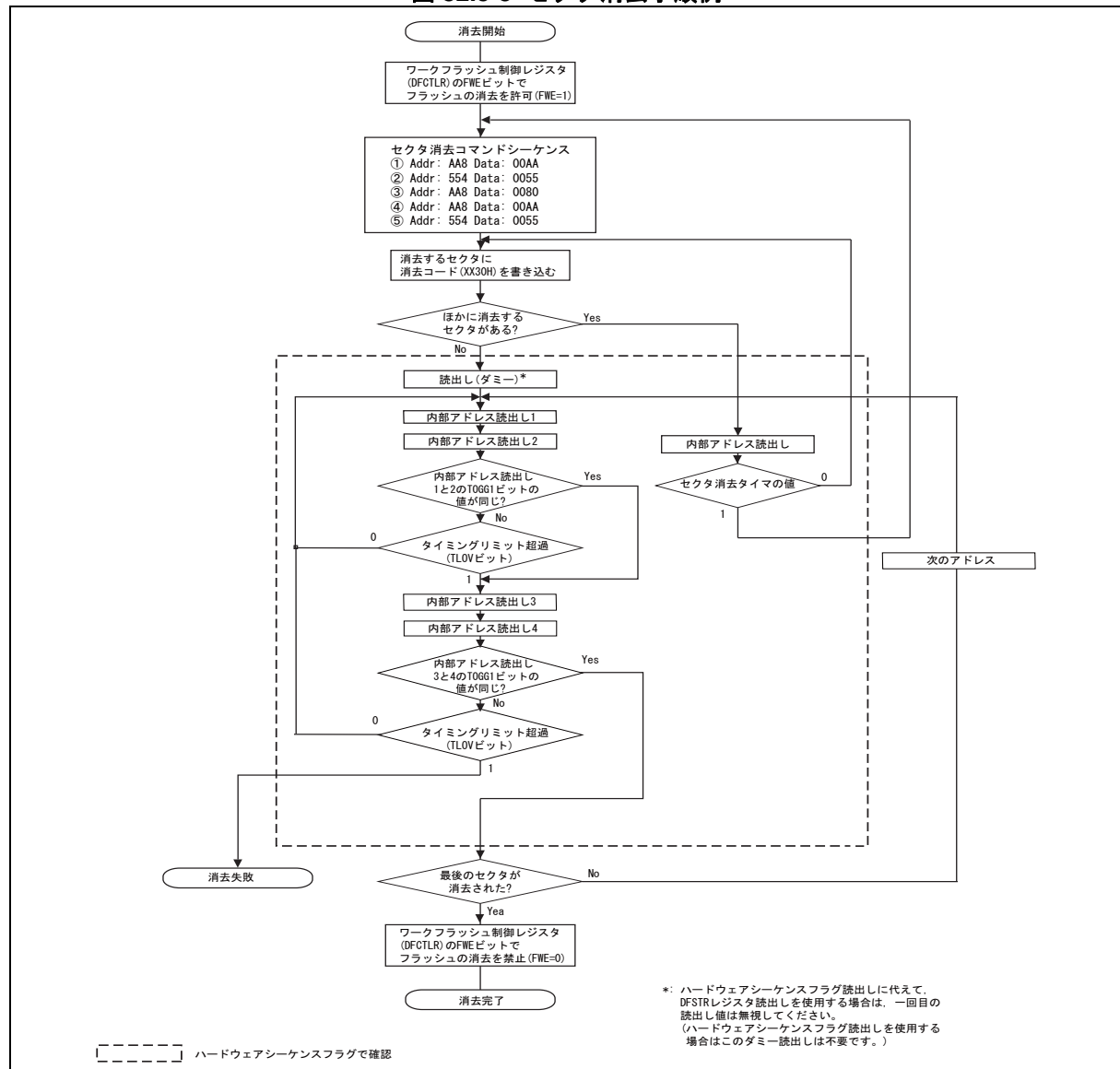
40 μ s 経過 (タイムアウト期間) すると、自動アルゴリズムが起動しセクタ消去動作が開始されます。複数のセクタを消去したい場合は、40 μ s (タイムアウト期間) 以内に消去するセクタのアドレスに消去コード (30H) を書き込んでください。タイムアウト期間経過後に書き込んでも、セクタ消去コマンドが無効になる場合があります。

2. 任意のアドレスにリードアクセスする

読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7 (DPOLL ビット) が "1" だと、セクタ消去が終了したことになります。また、TOGG1 ビットを利用してセクタ消去が完了したかどうかを確認することもできます。

確認動作に TOGG1 ビットを使用した場合を例にとって、セクタ消去手順例を次に示します。

図 32.5-3 セクタ消去手順例



<注意事項>

- セクタ消去に必要な時間は「(セクタ消去時間+セクタ書込み時間(プリプログラム))×セクタ数」となります。
 - セクタ消去動作が終了すると、フラッシュメモリは読出し / リセットモードに戻ります。
 - セクタ消去コマンドについては、「32.5.3 自動アルゴリズム」を参照してください。
 - ハードウェアシーケンスフラグの DPOLL ビットは、TLOV ビットと同時に値が変わるので TLOV ビットが "1" の場合でも再度確認する必要があります。
 - ハードウェアシーケンスフラグの TOGG1 ビットは、TLOV ビットが "1" に変わると同時にトグル動作を停止します。そのため、TLOV ビットが "1" の場合でも TOGG1 ビットを再度確認する必要があります。
 - コマンドタイムアウト状態で受け付けられるライトコマンドは消去セクタ追加のコマンドと消去一時停止のコマンドのみで、セクタ消去状態で受け付けられるコマンドは消去一時停止のコマンドのみです。
 - 自動消去アルゴリズムが起動すると、セクタ消去する前に、フラッシュメモリが消去するセルに "0" を書き込んで、マージンを検証(プリプログラム)するため、セクタ消去前に、フラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。
-

32.5.8 セクタ消去一時停止コマンド

セクタイレーズ実行中またはコマンドタイムアウト中に、セクタ消去を一時的に停止させることができます。

セクタ消去一時停止状態では、消去対象でないセクタのメモリセルの読出し動作が可能となります。ただし、新たな書込みおよび消去コマンドは受け付けられません。

セクタ消去を一時停止させるには、対象FLASHマクロの任意のアドレスにセクタ消去一時停止コマンドを送ります。

セクタ消去が停止したあとは、対象 FLASH マクロからの読出し動作が許可されます。

このとき、セクタ消去一時停止中のセクタからは、ハードウェアシーケンスフラグが読み出されず。

セクタ消去一時停止状態に入ると、以下の状態になります。

- セクタ消去中にトグルする TOGG1 ビットが、セクタ消去一時停止状態ではトグルしない。
- ワークフラッシュステータスレジスタの DFRDY が "1" になる。

これらを利用して、セクタ消去一時停止状態に入った事を確認可能です。

(注意事項) セクタ消去一時停止コマンドの発行からセクタ消去動作を停止して消去対象でないセクタからの読出しが可能となるまで最大 16.7 μ s 要します。

セクタ消去一時停止中も、ハードウェアシーケンスフラグの bit2:TOGG2 はトグルしますので、本ビットを利用して停止中セクタの確認が可能です。

セクタ消去一時停止状態から、中断していた消去動作を再開するには、表 32.5-1 のセクタ消去再開コマンドを送ります。

セクタ消去再開コマンドは、セクタ消去一時停止状態でのみ受け付けられます。

セクタ消去一時停止状態になったことを確認してからコマンドを送ってください。

消去再開コマンドが受け付けられると、セクタ消去状態に戻り消去動作を再開します。

32.5.9 セキュリティ機能

本フラッシュメモリには、セキュリティ機能が搭載されています。セキュリティ機能が OFF のときは、制限なくフラッシュメモリを使用できますが、セキュリティ機能が ON のときは、外部バス*からの命令フェッチ後の動作や、チップ消去以外の書込み・消去が抑止されます。制限内容については「■セキュリティ ON 時のフラッシュアクセス制限」をご参照ください。

*: MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD

■ リセット解除時におけるフラッシュセキュリティ ON/OFF 判別

本品種のフラッシュインタフェースは、リセット解除後にフラッシュセキュリティコード領域の 2 バイトを読出します。その値が 0x0001 の場合は、セキュリティ ON になり、その後のフラッシュメモリへのアクセス制限が発生します。それ以外の値の場合は、セキュリティ OFF になります。

■ フラッシュセキュリティ設定方法

フラッシュセキュリティコード領域（「第 31 章 フラッシュメモリ」の「図 31.3-2 セクタ構成図 (MB91F587L)」をご参照ください）に 0x0001 が書き込まれた後にリセットの入力・解除が行われると、セキュリティ ON になります。一度セキュリティ ON になると、フラッシュメモリ領域全体を消去しない限りセキュリティ OFF にはなりません。

■ フラッシュセキュリティ解除方法

次の順序で、チップ消去コマンドをすべてのフラッシュマクロに対して行ってください。

1. ワークフラッシュを消去します。
2. フラッシュセキュリティコードが格納されているプログラムフラッシュを消去します。

上記で示したように、プログラムフラッシュの消去は最後に行ってください。そうしない場合はプログラムフラッシュへの消去コマンドは無視されます。また、各消去の間にリセットが入った場合は 1. からやり直してください。

(注意事項) ユーザモード (内部 FLASH 起動) では、任意のフラッシュマクロに対して消去コマンドの発行、フラッシュマクロ内のデータ消去が可能です。フラッシュマクロに格納されるデータ保護の観点から、各フラッシュマクロに対するチップ消去の順序は上記のとおり実施することを推奨します。

■ セキュリティ ON 時のフラッシュアクセス制限

セキュリティ ON 時には、起動モードにより以下で示す制限が発生します。

表 32.5-3 セキュリティ ON 時のアクセス制限

動作モード	アクセス制限
ユーザ *1 ユーザ・外バス *2	通常状態（後述のフラッシュセキュリティ違反によるアクセス制限がされていない状態）では FLASH メモリに対するアクセス制限はありません。 オンチップバス領域に対して命令フェッチが行われるとフラッシュセキュリティ違反リセット要因によるリセット要求が発行されます。以後、フラッシュメモリへのアクセスは受け付けません。 リセットで通常状態に復帰します。
上記以外 （ライトなど）	フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「■ フラッシュセキュリティ解除方法」をご参照ください。

*1：MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC

*2：MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD

- データアクセスエラーとなり、不正命令例外またはデータアクセスエラー割込みが発生します。（詳細は「FR Family FR81 32 ビット・マイクロコントローラ プログラミングマニュアル」を参照してください。）
- 読出し値として 0xFFFFFFFF が返されます。
ただし、OCD ツール接続時の、OCDU からのアクセスまたはデバッグステート時の読出しの場合はこの制限はありません。

32.5.10 フラッシュメモリの使用上の注意

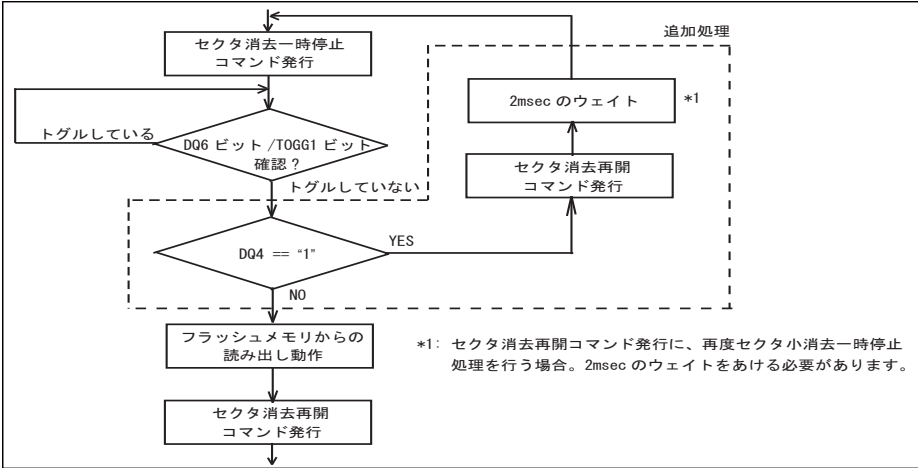
- 書き込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
- FLASH 制御レジスタ (DFCTLR) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) したきは、フラッシュメモリ上のプログラムを実行しないでください。正常な値を取り出せずにプログラムが暴走します。
- FLASH 制御レジスタ (DFCTLR) の FWE ビットで CPU プログラミングモードを設定 (FWE=1) し、フラッシュメモリ上に割込みベクタテーブルがある場合は、割込み要求を発生させないでください。正常な値を取り出せずにプログラムが暴走します。
- 本品種では ECC ビット付加のため、必ず 16 ビットを 2 回、32 ビットで書き込みを行う必要があります。手順については「32.5.2 CPU によるフラッシュメモリ書き込み」をご参照ください。
- 複数マクロへの同時（並行）コマンド発行はしないでください。ハードウェアシーケンスフラグまたは FRDY ビットでコマンド完了を確認してから、次のマクロへのコマンドを投入してください。
- オンチップデバッガ (OCD) のパスワードによる認証が完了すると、セキュリティ ON 時の場合でも OCD を使用して外部からフラッシュメモリの内容を読み出すことができます。第三者による読出しを阻止したい場合は、オンチップデバッガ (OCD) 起動許可用のパスワードを必ず設定してください。
- FLASH プログラム / イレーズ中にスタンバイ状態に遷移することは禁止です。
- 本フラッシュメモリは、ECC を搭載しているため、既に何らかの値が書き込まれているアドレスへのデータ上書きは行えません。



32.5.11 セクタ消去一時停止コマンドについて

セクタ消去一時停止コマンドを使用する場合、セクタ消去一時停止処理 (セクタ消去一時停止コマンド発行および DQ6 ビット確認) の後に、図 32.5-4 のように、フラッシュメモリからの読み出しが可能かどうかを示す DQ4 ビットを確認し、"1" であればセクタ消去再開コマンド (sector erase resume command) 発行及び 2msec のウェイト処理を追加し、再度セクタ消去一時停止処理を行ってください。

図 32.5-4 ソフトウェア処理方法



なお、上記方法を使用する場合、以下の注意が必要です。

- ① DQ4=="1" によりセクタ消去再開コマンドを発行後、再度セクタ消去一時停止コマンドを発行するまでに最低 2msec のウェイトをあげる必要があります。(図 32.5-4 中の※ 1)
- ② 新規にセクタ消去一時停止コマンドを発行してから DQ4=="0" になるまでに、最大で約 10msec のウェイトがかかる場合があります。

ハードウェアシーケンスフラグ DQ4 ビットは、フラッシュメモリからのデータの読み出しが可能かどうかの状態を表します。本ビットが "1" の場合は、読み出しができない状態を示し、"0" の場合は読み出し可能な状態を示します。

DQ4 ビットは以下にアサインされます。
<MB91580L ハードウェアシーケンスフラグのビット構成>

ハーフワードアクセスの場合								
bit	15	14	13	12	11	10	9	8
	未定義	未定義	未定義	未定義	未定義	未定義	未定義	未定義
bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG1	TLOV	DQ4	SETI	TOGG2	未定義	未定義
バイトアクセスの場合								
bit	7	6	5	4	3	2	1	0
	DPOLL	TOGG1	TLOV	DQ4	SETI	TOGG2	未定義	未定義

第 33 章 FixedVector 機能

33.1 概要

FixedVector 機能は、リセット時の割込みベクタに当該番地 (0xF_FFFC) のフラッシュメモリの内容でなく、フラッシュメモリの先頭アドレス + 0x0024 番地を返す機能です。

33.2 特長

- FixedVector 機能が返す、リセット時の割込みベクタ : 0x0007_0024

33.3 構成

構成図は、「第 31 章 フラッシュメモリ」の「図 31.3-2 セクタ構成図 (MB91F587L)」を参照してください。

33.4 レジスタ

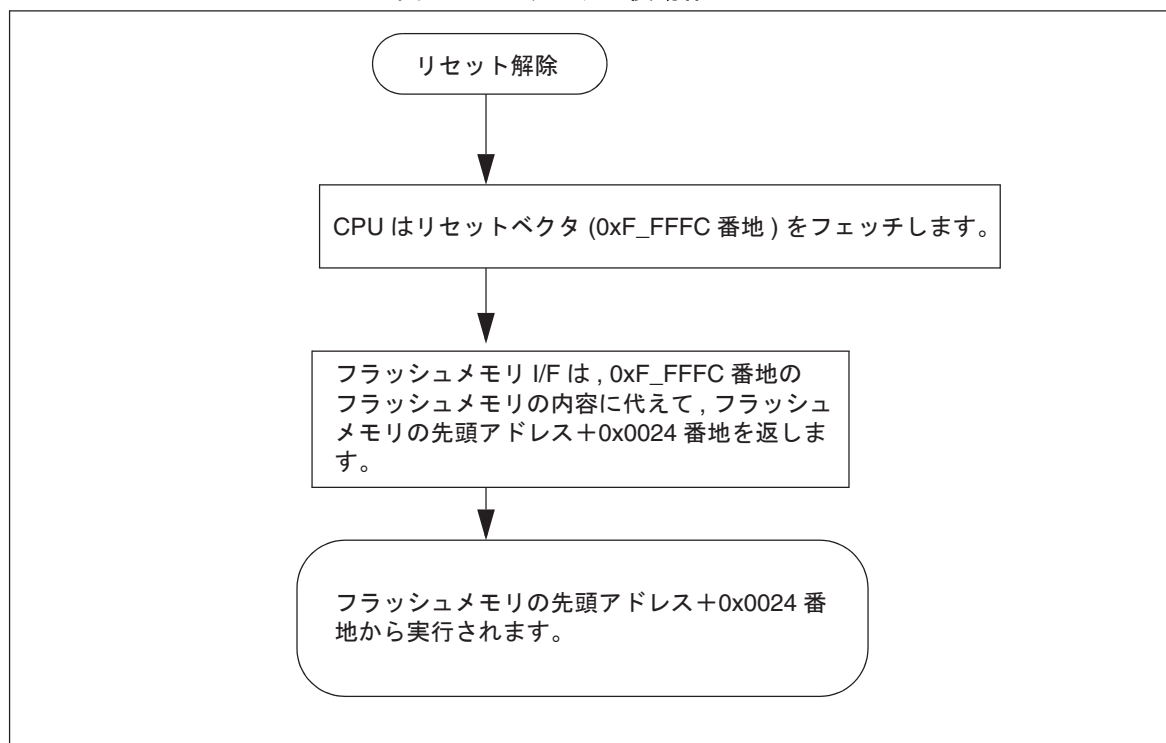
ありません。

33.5 動作説明

■ リセット解除後の動作

図 33.5-1 に示すフローで、リセット解除時にフラッシュメモリ内の 0xF_FFFC 番地の内容に代えて、フラッシュメモリの先頭アドレス + 0x0024 番地を返します。

図 33.5-1 リセット後動作フロー



管理コード : ZBXFLASH-0v4-91580L-1-J

■ 使用方法

本品種はリセット解除後, 0x000F_FFFC 番地に書き込まれた値ではなく, フラッシュメモリの先頭アドレス + 0x0024 番地から実行されます。

■ 注意事項

リセットベクタフェッチ以外での 0x000F_FFFC ～ 0x000F_FFFF 番地の読出し (例 :TBR が初期値 (=0x000F_FC00) のときに INT #00H 実行した際の呼び出し先) では, 0x000F_FFFC ～ 0x000F_FFFF 番地のフラッシュメモリの内容が返されます。

第 34 章 ワイルドレジスタ

34.1 概要

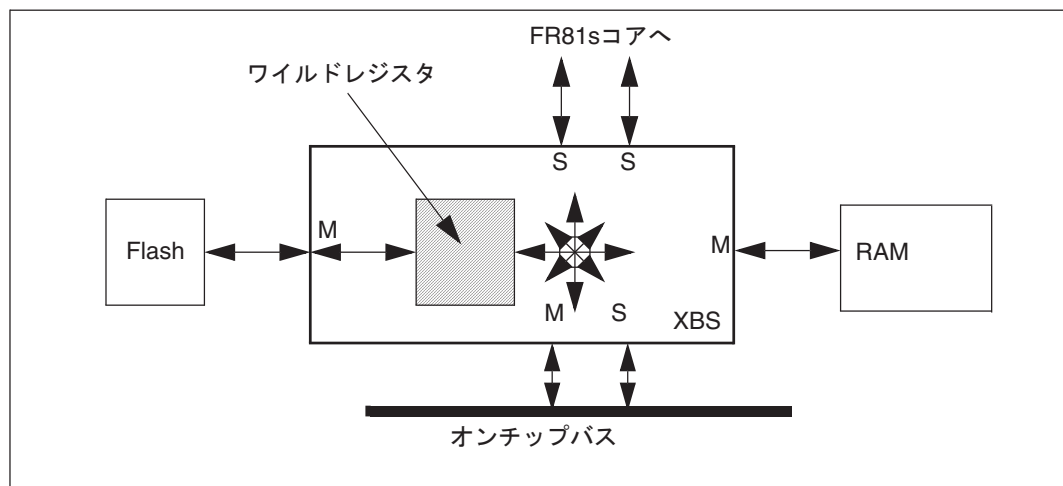
ワイルドレジスタ機能は、アドレスレジスタに設定したパッチ対象アドレスのデータをデータレジスタに設定したデータとの置換えを行います。

34.2 特長

- 1 ワードごと 16 箇所のパッチを当てることができます。
- 対象は Flash 領域のみです。
- 16 ビット制御レジスタ 1 本
- 32 ビットアドレス設定レジスタ 16 本
- 32 ビットデータ設定レジスタ 16 本

34.3 構成

図 34.3-1 構成図



(注意事項)

本機能は、FLASH メモリへのアクセスウェイトを 1 サイクルに設定すると、使用できません。

34.4 レジスタ

表 34.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0858	予約		WREN		ワイルドレジスタデータインーブルレジスタ
0x0880	WRAR00				ワイルドレジスタアドレスレジスタ 00
0x0884	WRDR00				ワイルドレジスタデータレジスタ 00
0x0888	WRAR01				ワイルドレジスタアドレスレジスタ 01
0x088C	WRDR01				ワイルドレジスタデータレジスタ 01
0x0890	WRAR02				ワイルドレジスタアドレスレジスタ 02
0x0894	WRDR02				ワイルドレジスタデータレジスタ 02
0x0898	WRAR03				ワイルドレジスタアドレスレジスタ 03
0x089C	WRDR03				ワイルドレジスタデータレジスタ 03
0x08A0	WRAR04				ワイルドレジスタアドレスレジスタ 04
0x08A4	WRDR04				ワイルドレジスタデータレジスタ 04
0x08A8	WRAR05				ワイルドレジスタアドレスレジスタ 05
0x08AC	WRDR05				ワイルドレジスタデータレジスタ 05
0x08B0	WRAR06				ワイルドレジスタアドレスレジスタ 06
0x08B4	WRDR06				ワイルドレジスタデータレジスタ 06
0x08B8	WRAR07				ワイルドレジスタアドレスレジスタ 07
0x08BC	WRDR07				ワイルドレジスタデータレジスタ 07
0x08C0	WRAR08				ワイルドレジスタアドレスレジスタ 08
0x08C4	WRDR08				ワイルドレジスタデータレジスタ 08
0x08C8	WRAR09				ワイルドレジスタアドレスレジスタ 09
0x08CC	WRDR09				ワイルドレジスタデータレジスタ 09
0x08D0	WRAR10				ワイルドレジスタアドレスレジスタ 10
0x08D4	WRDR10				ワイルドレジスタデータレジスタ 10
0x08D8	WRAR11				ワイルドレジスタアドレスレジスタ 11
0x08DC	WRDR11				ワイルドレジスタデータレジスタ 11
0x08E0	WRAR12				ワイルドレジスタアドレスレジスタ 12
0x08E4	WRDR12				ワイルドレジスタデータレジスタ 12
0x08E8	WRAR13				ワイルドレジスタアドレスレジスタ 13
0x08EC	WRDR13				ワイルドレジスタデータレジスタ 13
0x08F0	WRAR14				ワイルドレジスタアドレスレジスタ 14
0x08F4	WRDR14				ワイルドレジスタデータレジスタ 14
0x08F8	WRAR15				ワイルドレジスタアドレスレジスタ 15
0x08FC	WRDR15				ワイルドレジスタデータレジスタ 15

34.4.1 ワイルドレジスタデータイネーブルレジスタ：

WREN (Wild Register ENable register)

各チャンネルごとに、ワイルドレジスタの機能の有効・無効を設定します。

- **WREN：アドレス 085A_H (アクセス：ハーフワード)**

15	14	...	2	1	0	bit
WREN[15:0]						
0	0	...	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

[bit15 ～ bit0] WREN15 ～ WREN0 (Wild Register ENable)：イネーブルビット

チャンネルごとに、ワイルドレジスタ機能の有効・無効を設定します。

WREN0 ～ WREN15	機能
0	ch.n のワイルドレジスタ機能は無効です
1	ch.n のワイルドレジスタ機能は有効です

34.4.2 ワイルドレジスタアドレスレジスタ 00 ～ 15：

WRAR00 ～ WRAR15 (Wild Register Address Register 00 ～ 15)

ワイルドレジスタ機能により修正するアドレスを設定するレジスタです。ワイルドレジスタ動作許可中の読出し値は不定です。

レジスタの設定は必ず 32 ビット単位で行ってください

- **WRAR：アドレス 0880_H ～ 08F8_H (アクセス：ワード)**

31	30	29	28	27	26	25	24	bit
-								
0	0	0	0	0	0	0	0	初期値
R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	属性
23	22	21	20	19	18	17	16	bit
-		WRAR[21:16]						
0	0	X	X	X	X	X	X	初期値
R0,WX	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	属性
15	14	13	12	11	10	9	8	bit
WRAR[15:8]								
X	X	X	X	X	X	X	X	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
WRAR[7:2]						-		
X	X	X	X	X	X	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R0,WX	R0,WX	属性

[bit31 ～ bit22] 未定義

常に "0" が読みだされます。書込みは動作に影響ありません。

[bit21 ～ bit2] WRAR21 ～ WRAR2 (Wild Register Address Register)：アドレスレジスタ

パッチ対象のアドレスを設定します。対象アドレスは (WRAR&0x003FFFC) となります。

ワイルドレジスタ動作許可中の読出し値は不定です。

[bit1, bit0] 未定義

常に "0" が読みだされます。書込みは動作に影響ありません。

34.4.3 ワイルドレジスタデータレジスタ 00 ～ 15 :

WRDR00 ～ WRDR15 (Wild Register Data Register00 ～ 15)

置き換えるデータを設定するレジスタです。ワイルドレジスタアドレスレジスタ (WRAR00 ～ WRAR15) で指定したアドレスのメモリ内容を読み出すと、実際のメモリ内容ではなく、このレジスタに設定した値が読み出されます。

ワイルドレジスタ機能動作中の本レジスタの読出し値は不定になります。

レジスタの設定は必ず 32 ビット単位で行ってください

• WRDR: アドレス 0884_H ～ 08FC_H (アクセス : ワード)

31	30	...	2	1	0	bit
WRDR[31:0]						
X	X	...	X	X	X	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

[bit31 ～ bit0] WRDR31 ～ WRDR0 (Wild Register Data Register) : データレジスタ

置き換え値を設定します。

ワイルドレジスタ機能動作中の本レジスタの読出し値は不定になります。

34.5 動作説明

本機能を使用して Flash 領域にパッチを当てます。イネーブルレジスタがリセットで初期化されるので、使用する際はリセットごとに本レジスタを設定する必要があります。

設定するアドレスは、重ならないように設定してください。アドレスが重なる場合の読出し値は不定です。

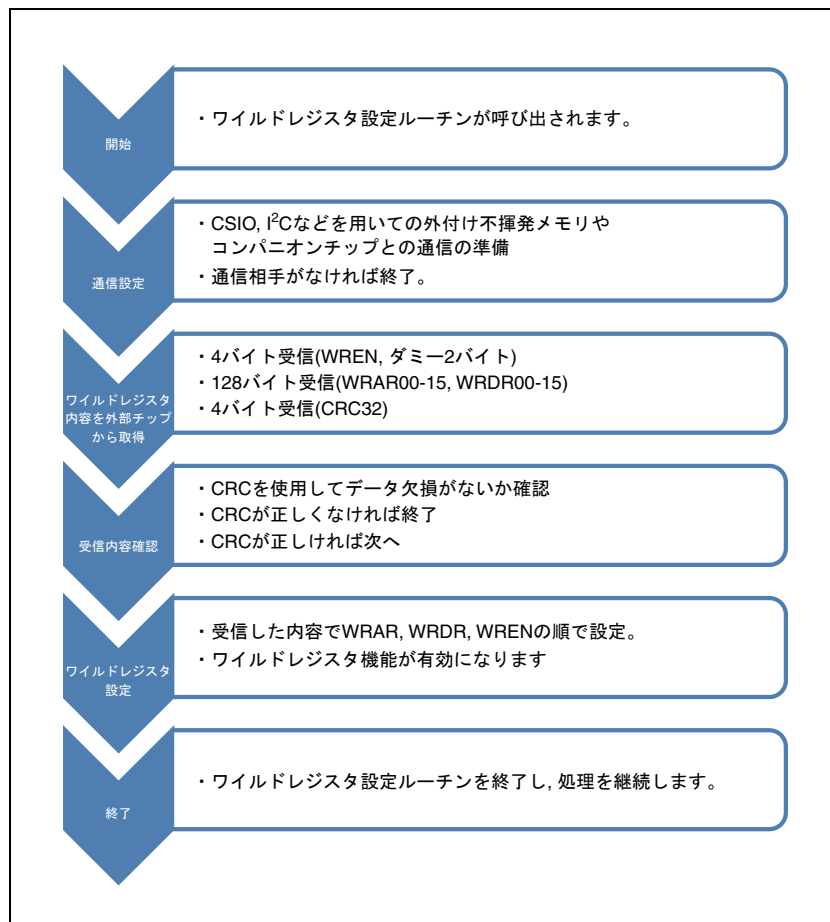
データのバイト並びはビッグエンディアンです。

置換対象となる領域は、FLASH 領域のみです。

34.6 使用例

本機能の使用例です。この例ではリセット解除後に外付けデバイスから本機能の設定を呼び出します。

図 34.6-1 使用例



第 35 章 CRC

35.1 概要

本モジュールは、CRC 値を計算します。

CRC(Cyclic Redundancy Check) とは、誤り検出方式の 1 種です。入力データ列を高次の多項式とみなして、あらかじめ定められた生成多項式 (Generator Polynomial) で割ったときの余りが CRC コードです。通常は、データ列の後ろに CRC コードを付けて送信し、受信データに対して同様に生成多項式で割り算を行い、余りがなければ受信データは正しいと判断します。

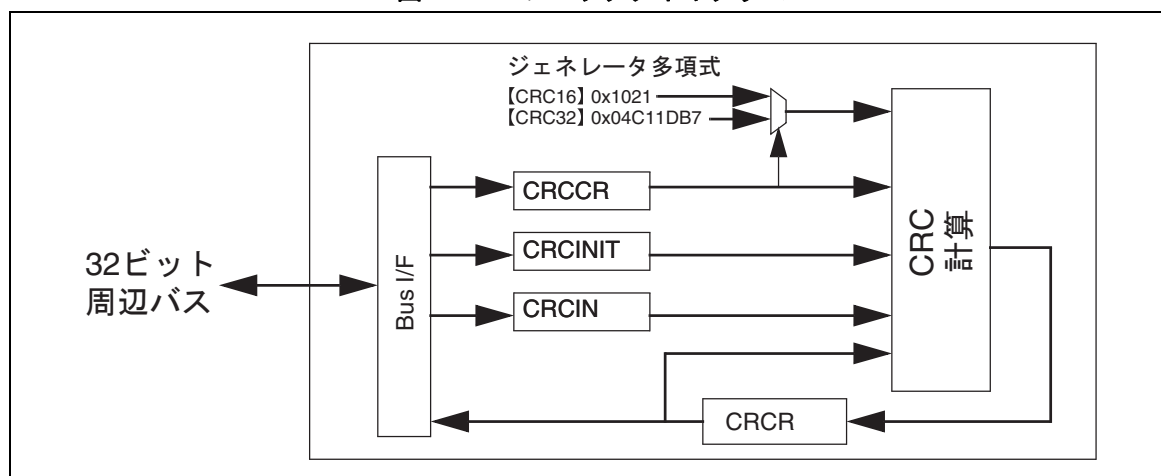
35.2 特長

本モジュールでは、CCITT CRC16 と、IEEE-802.3 CRC32 を計算できます。本モジュールでは生成多項式はこれら 2 つ用の数値に固定されていますので、ほかの生成多項式に基づく CRC 値の計算はできません。

- CCITT CRC16 生成多項式 : 0x1021
- IEEE-802.3 CRC32 生成多項式 : 0x04C11DB7

35.3 構成

図 35.3-1 ブロックダイアグラム



管理コード : FS15-2v1-91580L-1-J

35.4 レジスタ

表 35.4-1 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x10C0	予約			CRCCR	CRC 制御レジスタ
0x10C4	CRCINIT				初期値レジスタ
0x10C8	CRCIN				Input Data レジスタ
0x10CC	CRCR				CRC レジスタ

35.4.1 CRC 制御レジスタ : CRCCR (CRC Control Register)

CRC 計算の制御を行います。

- **CRCCR: アドレス 10C3_H (アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
予約	FXOR	CRCLSF	CRCLTE	LSBFST	LTLEND	CRC32	INIT	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R0,W	属性

[bit7] 予約

必ず "0" を書き込んでください。

[bit6] FXOR (Final XOR) : Final XOR 制御ビット

CRC 結果を XOR 値と XOR して出力します。XOR 値は ALL .H. で, FXOR=1 時はビット反転となります。CRC レジスタの後段で処理を行いますので, 本ビット設定後すぐに CRC 結果読み出し値に反映されます。

[bit5] CRCLSF (CRC result LSb First) : CRC 結果ビットオーダ設定ビット

CRC 結果のビットオーダ設定ビットです。バイト内のビット並び替えを行います。"0" のとき MSB First, "1" のとき LSB First になります。CRC レジスタの後段で処理を行いますので, 本ビット設定後すぐに CRC 結果読み出し値に反映されます。

[bit4] CRCLTE (CRC result LiTtle Endian) : CRC 結果バイトオーダ設定ビット

CRC 結果のバイトオーダ設定ビットです。ワード内のバイトオーダ並び替えを行います。"0" のときビッグエンディアン, "1" のときリトルエンディアンになります。CRC レジスタの後段で処理を行いますので, 本ビット設定後すぐに CRC 結果読み出し値に反映されます。CRC16 の場合に本ビットを "1" にすると, 31-16 ビット目に出力となります。

[bit3] LSBFST (LSB FirST) : ビットオーダ設定ビット

ビットオーダ設定ビットです。バイト (8bit) の先頭ビットを指定します。"0" のとき MSB First, "1" のとき LSB First になります。LTLEND の設定と組み合わせて, 4 とおりの処理順を指定可能です。

[bit2] LTLEND (LiTtLe ENDian) : バイトオーダ設定ビット

バイトオーダ設定ビットです。書込み幅でのバイト配置順を指定します。"0" のときビッグエンディアン, "1" のときリトルエンディアンになります。

[bit1] CRC32 (CRC32) : CRC モード選択ビット

CRC16 と CRC32 のモード選択ビットです。CRC32=1 のとき, CRC32 の演算モードになります。

[bit0] INIT (INITialize) : 初期化ビット

初期化ビットです。ソフトウェアにより, 本ビットに "1" を書き込むと, 初期化が行われます。このビットは値を持たず, 読み込み時は常に "0" を返します。初期化では, 初期値レジスタの値が, ハードウェアにより CRC レジスタにロードされます。初期化は, CRC 計算の最初に 1 度実行する必要があります。

35.4.2 CRC 初期値レジスタ : CRCINIT (CRC Initial value register)

CRC 計算の初期値を設定します。

- **CRCINIT:** アドレス 10C4_H (アクセス: バイト, ハーフワード, ワード)

31	30	...	2	1	0	bit
D[31:0]						
1	1	...	1	1	1	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

[bit31 ~ bit0] D (Data) : 初期値ビット

CRC 計算の初期値を記憶します。ソフトウェアは, CRC 計算の初期値を書き込みします。(リセット後は 0xFFFF_FFFF) CRC16 のときは, D15-D0 を使用し, D31-D16 は無視します。

35.4.3 Input Data レジスタ : CRCIN (CRC INput data register)

CRC 計算の入力データを設定します。

- **CRCIN:** アドレス 10C8_H (アクセス: バイト, ハーフワード, ワード)

31	30	...	2	1	0	bit
D[31:0]						
0	0	...	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

[bit31 ~ bit0] D (Data) : Input Data ビット

CRC 計算の入力データを設定します。ソフトウェアは, CRC 計算の入力データを書き込みします。ビット幅は 8, 16, 32 に対応します。混在も可能です。バイト書込み, ハーフワード書込み時の, 書込み位置は任意です。取り得るアドレス位置は, バイト書込み : +0, +1, +2, +3, ハーフワード書込み : +0, +2。

35.4.4 CRC レジスタ : CRCR (CRC Register)

CRC 計算の結果を出力します。

- **CRCR:** アドレス 10CC_H (アクセス: バイト, ハーフワード, ワード)

31	30	...	2	1	0	bit
D[31:0]						
1	1	...	1	1	1	初期値
R,WX	R,WX	...	R,WX	R,WX	R,WX	属性

[bit31 ~ bit0] D (Data) : CRC ビット

CRC 計算の結果を出力します。ソフトウェアが, 初期化ビット (CRCCR.INIT) に "1" を書き込むと, 初期値レジスタ (CRCINIT) の値が本レジスタにロードされます。ソフトウェアが, CRC 計算の入力データを Input Data レジスタ (CRCIN) に書き込みすると, ハードウェアによって, 直ちに CRC 計算結果が本レジスタに設定されます。すべての入力データ書込みが完了したとき, 本レジスタは最終的な CRC コードを保持していることになります。CRC16 の場合は, バイトオーダがビッグエンディアン (CRCLTE=0) のときは D15 ~ D0, リトルエンディアン (CRCLTE=1) のときは D31-D16 の位置に結果が出力されます。

35.5 動作説明

35.5.1 CRC の定義

■ CCITT CRC16 Standard

生成多項式	0x1021	(CRCCR:CR32=0)
初期値	0xFFFF	
Final XOR 値	0x0000	(CRCCR:FXOR=0)
ビットオーダー	MSB First	(CRCCR:LSBFST=0)
出力ビットオーダー	MSB First	(CRCCR:CRCLSF=0)

(入出力のバイトオーダーは任意に設定可能)

■ IEEE-802.3 CRC32 Ethernet Standard

生成多項式	0x04C11DB7	(CRCCR:CR32=1)
初期値	0xFFFF_FFFF	
Final XOR 値	0xFFFF_FFFF	(CRCCR:FXOR=1)
ビットオーダー	LSB First	(CRCCR:LSBFST=1)
出力ビットオーダー	LSB First	(CRCCR:CRCLSF=1)

(入出力のバイトオーダーは任意に設定可能)

35.5.2 リセット動作

リセット時は、初期値レジスタ (CRCINIT) と、CRC レジスタ (CRCCR) を 0xFFFF_FFFF に設定します。その他は 0 クリアです。

35.5.3 初期化

CRCCR.INIT による初期化では、初期値レジスタの値を CRC レジスタ (CRCCR) にロードします。

35.5.4 バイトオーダーと、ビットオーダー

例を用いて説明します。次の 1 ワードを CRC 演算器に入力します。

133.82.171.1 = 10000101 01010010 10101011 00000001

バイトオーダーをビッグエンディアン (CRCCR.LTLEND=0) とすると、バイト単位の送信順序は、

10000101 01010010 10101011 00000001
(1 番目) (2 番目) (3 番目) (4 番目)

ビットオーダーを LSB First (CRCCR.LSBFST=1) とするとビット単位の送信順序は、

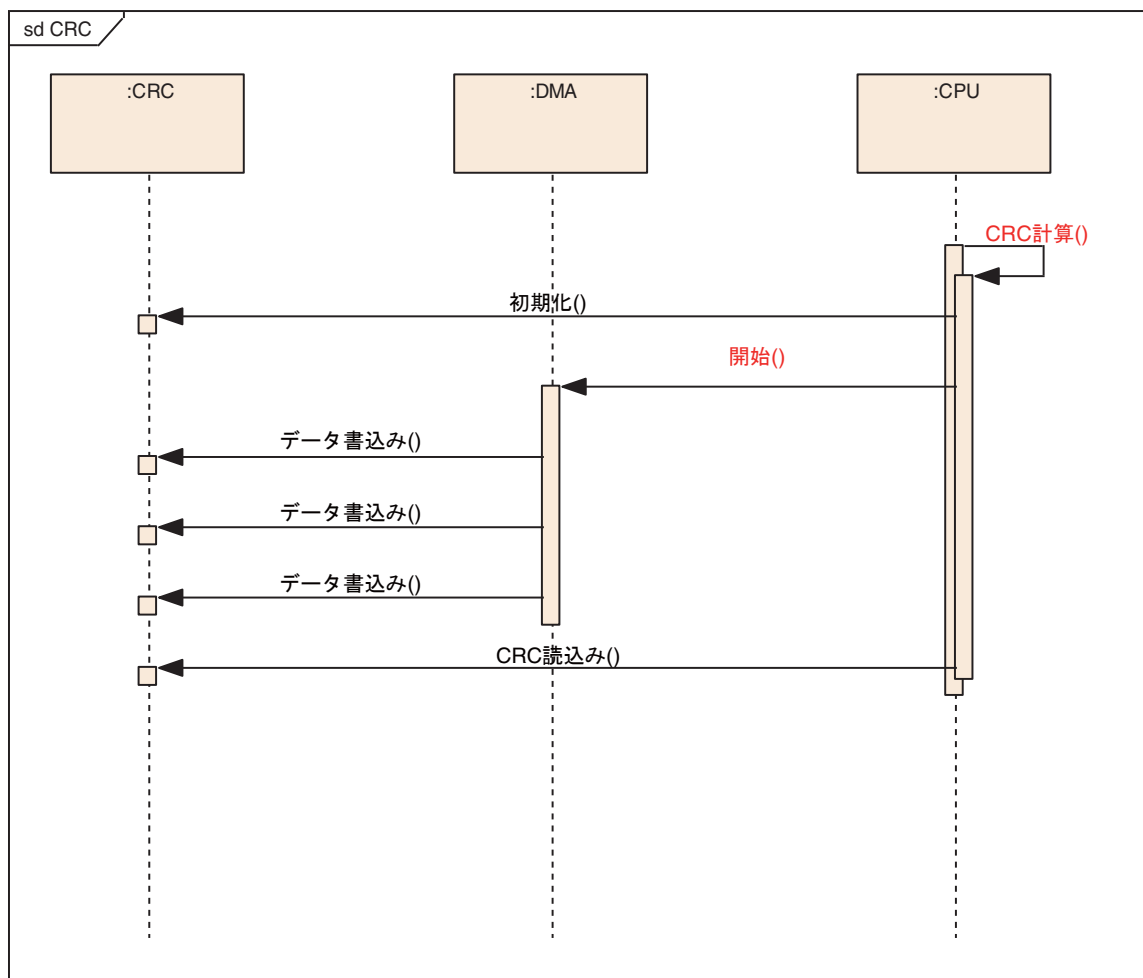
10100001 01001010 11010101 10000000
(先頭) (最後)

- (注意事項) ・ CRCCR.CRCLTE=1 のとき、CRC 結果は、CRC16, CRC32 とともに 32 ビット幅でのバイト並び替えとなります。
・ 特に CRC16 のときは bit31-bit16 の位置に出力となりますので注意が必要です。

35.5.5 CRC 計算シーケンス

CRC 計算のシーケンスを次に示します。初期値レジスタ (CRCINIT) の設定 ,CRC16/.32 の選択 (CRCCR.CRC32), バイトオーダ・ビットオーダの設定 (CRCCR.LTLEND, CRCCR.LSBFST) は既にされているとします。(初期値が ALL "H" で良い場合は, 初期値レジスタ (CRCINIT) の設定操作は省略可能です)

図 35.5-1 CRC 計算シーケンス



- 初期化は, 初期化ビット (CRCCR.INIT) への "1" 書込みで行います。CRC レジスタ (CRCCR) に初期値レジスタの値がロードされます。
- 入力データ書込みは, Input Data レジスタ (CRCIN) への書込みで行います。書込み操作により, CRC 計算が開始されます。連続書込みに対応します。また, 異なるビット幅書込みをシーケンス中に混在させることが可能です。
- CRC コード取得は, CRC レジスタ (CRCCR) の読み込みで行います。

35.6 使用例

35.6.1 使用例 1 CRC16, バイト入力固定

図 35.6-1 使用例 1

```

//*****
// CRC16 (CRC ITU-T)
// polynomial: 0x1021
// initial value: 0xFFFF
// CRCCR.CRC32: 0 // CRC16
// CRCCR.LTLEND: 0 // big endian
// CRCCR.LSBFST: 0 // MSB First
// CRCCR.CRCLTE: 0 // CRC big endian
// CRCCR.CRCLSF: 0 // CRC MSB First
// CRCCR.FXOR: 0 // CRC Final XOR off
//*****

//
// 例1-1 (byte単位書込み)
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789"
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);

// read result
H_READ (CRCCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例1-2 (CRCチェック)
//

// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789" + CRC
B_WRITE (CRCIN, 0x31);
B_WRITE (CRCIN, 0x32);
B_WRITE (CRCIN, 0x33);
B_WRITE (CRCIN, 0x34);
B_WRITE (CRCIN, 0x35);
B_WRITE (CRCIN, 0x36);
B_WRITE (CRCIN, 0x37);
B_WRITE (CRCIN, 0x38);
B_WRITE (CRCIN, 0x39);
B_WRITE (CRCIN, 0x29); // <--CRC
B_WRITE (CRCIN, 0xB1); // <--CRC

// read result
H_READ (CRCCR+2, data);

// check result
assert (data == 0x0000);

```

(以下を想定)

B_WRITE -- バイト書込み
H_WRITE -- ハーフワード書込み
W_WRITE -- ワード書込み

B_READ -- バイト読み込み
H_READ -- ハーフワード読み込み
W_READ -- ワード読み込み

CRCCR -- 制御レジスタアドレス
CRCINIT -- 初期値レジスタアドレス
CRCIN -- 入力データレジスタアドレス
CRCR -- カレントCRCレジスタアドレス

CRC演算器への入力順イメージ

- バイト・ハーフワードの書込み位置は任意です。本使用例では +0 の位置に連続して書込みをしています。
- CRC16 で、CRC 結果のバイトオーダがビッグエンディアンの場合は bit15 ～ bit0 の位置に結果が出力となりますので、H_READ (ハーフワード読み込み) のアドレスは +2 としています。

35.6.2 使用例 2 CRC16, 入力ビット幅異種混在

図 35.6-2 使用例 2

```

//*****
// CRC16 (CRC ITU-T)
// polynomial: 0x1021
// initial value: 0xFFFF
// CRCCR.CRC32 0 // CRC16
// CRCCR.LTLEND: 0 // big endian
// CRCCR.LSBFST: 0 // MSB First
// CRCCR.CRCLTE: 0 // CRC big endian
// CRCCR.CRCLSF: 0 // CRC MSB First
// CRCCR.FXOR: 0 // CRC Final XOR off
//*****

//
// 例2-1 (書き込みサイズ混在)
//
// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789"
W_WRITE (CRCIN, 0x31323334);
H_WRITE (CRCIN, 0x3556);
H_WRITE (CRCIN+2, 0x3738);
B_WRITE (CRCIN+3, 0x39);

// read result
H_READ (CRCCR+2, data);

// check result
assert (data == 0x29B1);

//
// 例2-2 (CRCチェック)
//
// 初期化
B_WRITE (CRCCR, 0x01);

// data write "123456789" + CRC
W_WRITE (CRCIN, 0x31313334);
W_WRITE (CRCIN, 0x35363738);
H_WRITE (CRCIN, 0x3929); // <--CRC(0x29)
B_WRITE (CRCIN, 0xB1); // <--CRC(0xB1)

// read result
H_READ (CRCCR+2, data);

// check result
assert (data == 0x0000);

```

(以下を想定)

B_WRITE -- バイト書き込み
H_WRITE -- ハーフワード書き込み
W_WRITE -- ワード書き込み

B_READ -- バイト読み込み
H_READ -- ハーフワード読み込み
W_READ -- ワード読み込み

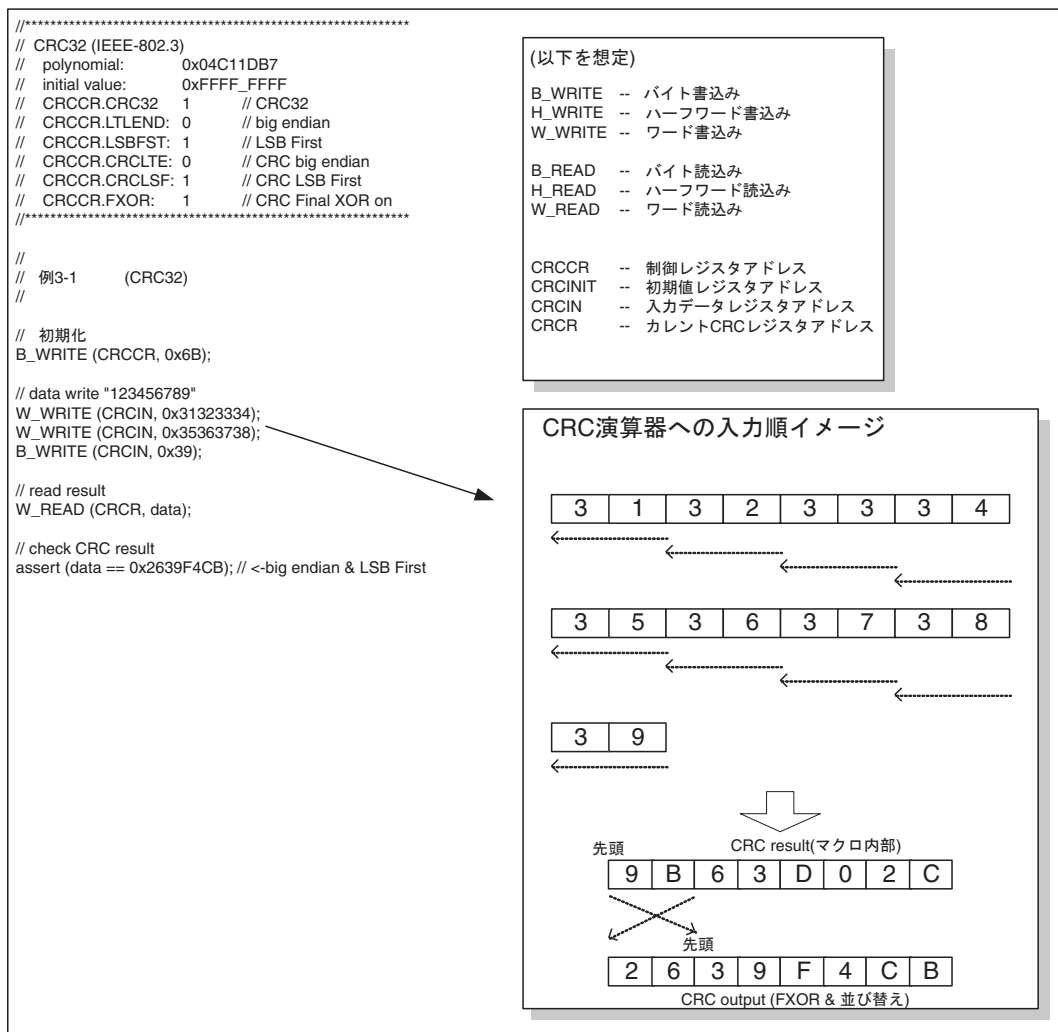
CRCCR -- 制御レジスタアドレス
CRCINIT -- 初期値レジスタアドレス
CRCIN -- 入力データレジスタアドレス
CRCR -- カレントCRCレジスタアドレス

CRC演算器への入力順イメージ

- バイトオーダ, ビットオーダを正しく設定し, CRC 演算器へのビット入力順が同じであれば, 書き込み幅は任意にできます。
- 例えば, 基本をワード書き込みとし, 最後に 1, 2, 3 バイトの端数が出た場合に, バイト・ハーフワード書き込みが混在するケースが考えられます。

35.6.3 使用例 3 CRC32, バイトオーダー, ビッグエンディアン

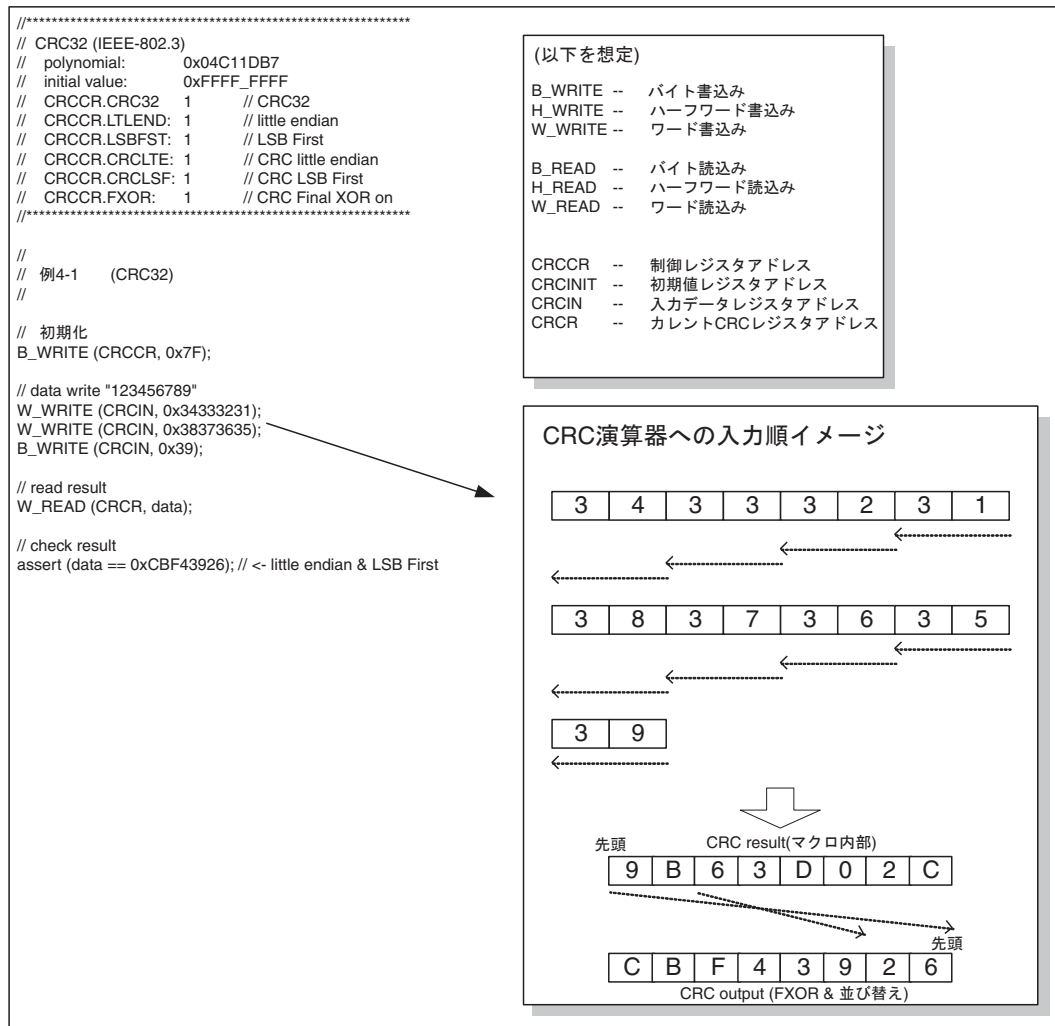
図 35.6-3 使用例 3



- CRC32(IEEE-802.3) のときは, ビットオーダーは LSB First となります。本 CRC 演算器では, バイトオーダーはどちらでも対応可能であり, 上図はビッグエンディアンの場合を示しています。

35.6.4 使用例 4 CRC32, バイトオーダー, リトルエンディアン

図 35.6-4 使用例 4



- CRC32(IEEE-802.3) のときは, ビットオーダーは LSB First となります。本 CRC 演算器では, バイトオーダーはどちらでも対応可能であり, 上図はリトルエンディアンの場合を示しています。
- CRC 結果のビット反転が不要な場合は, 初期化を 0x3F で行って演算を行うか, データ入力後に, CRCCR.FXOR ビットを "0" (例えば CRCCR=0x3E) にすることで, 現在の結果に対してビット反転を解除できます。

第 36 章 マルチファンクションシリアルインタフェース

36.1 概要

本モジュールは、UART(非同期シリアル・インタフェース)、CSIO(SPI 対応、クロック同期シリアル・インタフェース)、LIN インタフェース (v2.1)(LIN 通信制御インタフェース (v2.1)) と I²C のシリアル通信機能を提供します。

36.2 特長

本品種には 5 チャンネルのマルチファンクションシリアルインタフェース通信モジュールが搭載されており、それぞれシリアルモードレジスタ (SMR) で、UART/CSIO/LIN インタフェース (v2.1)/I²C のいずれかを選択して使用します。

(注意事項) I²C 機能は ch.0,ch.1,ch.3,ch.4 のみ対応しています。

■ UART

UART(非同期シリアル・インタフェース)は、外部装置と非同期通信(調歩同期)をするための、汎用のシリアルデータ通信インタフェースです。双方向通信機能(ノーマルモード)、マスタ/スレーブ型通信機能(マルチプロセッサモード:マスタ/スレーブ両方サポート)をサポートしています。また、送信/受信の FIFO を搭載しています。

項目	機能
データ	<ul style="list-style-type: none"> ・全 2 重ダブルバッファ (FIFO 未使用時) ・送信 / 受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	バスクロックで 3 回オーバーサンプリングを行い、サンプリング値の多数決により受信値を決定します。
転送形式	非同期
ボーレート	<ul style="list-style-type: none"> ・専用ボーレートジェネレータ (15 ビットリロードカウンタ構成) ・外部クロック入力をリロードカウンタで調節可能。
データ長	・ 5 ～ 9 ビット (ノーマルモード時)、7, 8 ビット (マルチプロセッサモード時)
信号方式	NRZ (Non Return to Zero), 反転 NRZ
スタートビット検出	<ul style="list-style-type: none"> ・スタートビット立下りエッジに同期 (NRZ 方式の場合) ・スタートビット立上りエッジに同期 (反転 NRZ 方式の場合)
受信エラー検出	<ul style="list-style-type: none"> ・フレーミングエラー ・オーバランエラー ・パリティエラー *
タイマ機能	<ul style="list-style-type: none"> ・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能 (1 ～ 256 分周)
割込み要求	<ul style="list-style-type: none"> ・受信割込み (受信完了, フレーミングエラー, オーバランエラー, パリティエラー *) ・送信割込み (送信データエンプティ, 送信バスアイドル) ・送信 FIFO 割込み (送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり ・ステータス割込み (シリアルタイマ割込み)
マスタ / スレーブ型通信機能 (マルチプロセッサモード)	1 (マスタ) 対 n (スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)

管理コード : FIP002-1v2-91580L-1-J



項目	機能
FIFO オプション	<ul style="list-style-type: none"> ・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信 : 対応 受信 : 対応 ステータス : 対応していません

*: パリティエラーはノーマルモード時のみ。

■ CSIO

CSIO(クロック同期シリアル・インタフェース)は、外部装置と同期通信をするための、汎用のシリアルデータ通信インタフェースです。(SPI に対応します) また、送信 / 受信 (各 64 バイト) の FIFO を搭載しています。

	機能
データバッファ	<ul style="list-style-type: none"> ・全 2 重ダブルバッファ (FIFO 未使用時) ・送信 / 受信 FIFO (各 64 バイト) (FIFO 使用時)
転送形式	<ul style="list-style-type: none"> ・クロック同期 (スタートビット / ストップビットなし) ・マスタ / スレーブ機能 ・SPI に対応 (マスタ / スレーブ両方サポート)
ボーレート	<ul style="list-style-type: none"> ・専用ボーレートジェネレータあり (15 ビットリロードカウンタから構成, マスタ動作時) ・外部クロック入力可能 (スレーブ動作時)
データ長	<ul style="list-style-type: none"> ・5 ～ 16, 20, 24, 32 ビットに可変可能
受信エラー検出	<ul style="list-style-type: none"> ・オーバランエラー
割込み要求	<ul style="list-style-type: none"> ・受信割込み (受信完了, オーバランエラー) ・送信割込み (送信データエンプティ, 送信バスアイドル, チップエラー割込み) ・送信 FIFO 割込み (送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり ・ステータス割込み (シリアルタイマ割込み)
シリアルチップセレクト	<ul style="list-style-type: none"> ・ch.0 : シリアルチップセレクト機能なし ・ch.1 : 1 チャンネル制御 (単独制御) ・ch.2 : 1 チャンネル制御 (単独制御) ・ch.3 : 1 チャンネル制御 (単独制御) ・ch.4 : 4 チャンネル制御 (単独制御, ラウンド制御) ・セットアップ / ホールド / ディセレクト時間を可変に設定可能 ・各チャンネルでアクティブレベル選択可能
同期送信機能	<ul style="list-style-type: none"> ・シリアルタイマに同期し, 定期的にデータを自動送信可能
タイマ機能	<ul style="list-style-type: none"> ・16 ビットシリアルタイマを搭載 ・動作クロック分周値選択可能 (1 ～ 256 分周)
同期モード	マスタまたはスレーブ機能
端子アクセス	シリアルデータ出力端子を "1" 設定可能
FIFO オプション	<ul style="list-style-type: none"> ・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信: 対応 受信: 対応 ステータス: 対応していません



■ LIN インタフェース (v2.1)(LIN 通信制御インタフェース (v2.1))

LIN インタフェース (v2.1)(LIN 通信制御インタフェース (v2.1)) は, LIN バスに対応するための機能をサポートしています。また, 送信 / 受信 (各 64 バイト) の FIFO を搭載しています。

	機能
データバッファ	<ul style="list-style-type: none"> ・全 2 重ダブルバッファ (FIFO 未使用時) ・送信 / 受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	バスクロックで 3 回オーバーサンプリングを行い, サンプル値の多数決により受信値を決定します。
転送モード	・非同期
ボーレート	<ul style="list-style-type: none"> ・専用ボーレートジェネレータあり (15 ビットリロードカウンタから構成) ・外部クロックをリロードカウンタで調節可能 ・Sync Field 受信によるボーレート自動調整
データ長	8 ビット
信号方式	NRZ (Non Return to Zero)
スタートビット検出	スタートビット立下りエッジに同期。
受信エラー検出	<ul style="list-style-type: none"> ・フレーミングエラー ・オーバランエラー
割込み要求	<ul style="list-style-type: none"> ・受信割込み (受信完了, フレーミングエラー, オーバランエラー) ・送信割込み (送信データエンプティ, 送信バスアイドル) ・ステータス割込み (Lin Break field 検出, シリアルタイマ割込み) ・ICU への割込み要求 (LIN sync field 検出: LSYN) ・送信 FIFO 割込み (送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり
タイマ機能	<ul style="list-style-type: none"> ・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能 (1 ～ 256 分周)
LIN バスオプション	<ul style="list-style-type: none"> ・LIN プロトコル Revision 2.1 に対応 ・マスタデバイス動作 ・スレーブデバイス動作 ・Lin Break field 生成 (13 ～ 16 ビット長に可変可能) ・LIN Break デリミタ生成 (1 ～ 4 ビット長に可変可能) ・Lin Break field 検出 ・インプットキャプチャに接続している LIN sync field のスタート / ストップエッジをインプットキャプチャで検出 (「44.4.1.3 LIN SYNC FIELD 切換えレジスタ: LSYNS」を参照してください。)
FIFO オプション	<ul style="list-style-type: none"> ・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信: 対応 受信: 対応 ステータス: 対応していません

■ I²C

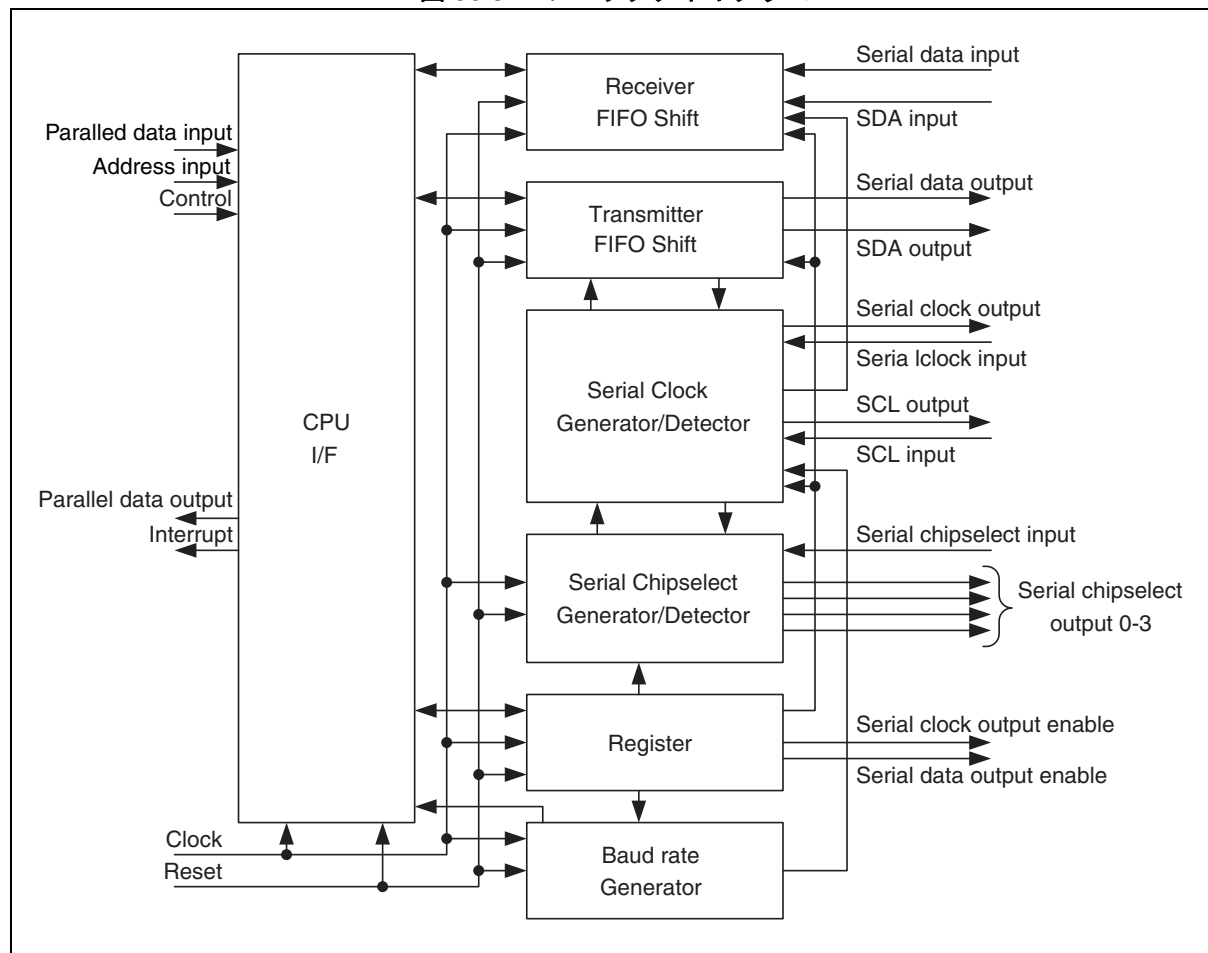
I²C インタフェース (I²C 通信制御インタフェース) は I²C バスをサポートし、I²C バス上のマスタ / スレーブデバイスとして動作します。また、送信 / 受信 (各 64 バイトの FIFO を搭載しています)。

	機能
データバッファ	<ul style="list-style-type: none"> ・全 2 重ダブルバッファ (FIFO 未使用時) ・送信 / 受信 FIFO (各 64 バイト) (FIFO 使用時)
シリアル入力	シリアルクロック・シリアルデータ入力に対し、バスクロックで 2 クロックまでのノイズを除去します。
転送モード	・同期
ボーレート	<ul style="list-style-type: none"> ・専用ボーレートジェネレータあり (15 ビットリロードカウンタから構成) ・外部クロックをリロードカウンタで調節可能。
データ長	8 ビット
信号方式	NRZ (Non Return to Zero)
割込み要求	<ul style="list-style-type: none"> ・受信割込み ・送信割込み ・ステータス割込み (INT 割込み, シリアルタイマ割込み) ・送信 FIFO 割込み (送信 FIFO がエンプティのとき) ・送受信とも DMA 機能あり
I ² C	<ul style="list-style-type: none"> ・マスタ / スレーブ送受信機能 ・調停機能 ・クロック同期機能 ・伝送方向検出機能 ・反復スタート条件の発生と検出機能 ・バスエラー検出機能 ・ゼネラルコールアドレスリング機能 ・マスタおよびスレーブとしての 7 ビットアドレスリング ・伝送, およびバスエラー時に割込み発生可能 ・10 ビットアドレスリング機能は、プログラムで対応可能
タイマ機能	<ul style="list-style-type: none"> ・16 ビットシリアルタイマを搭載 ・動作クロックの分周値選択可能 (1 ～ 256 分周)
FIFO	<ul style="list-style-type: none"> ・送受信 FIFO 搭載 (送信 FIFO 64 バイト, 受信 FIFO 64 バイト) ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトウェアで可変可能 ・独立して FIFO リセットサポート
DMA 転送対応	送信 : 対応 受信 : 対応していません ステータス : 対応していません

(注意事項) I²C は ch.0,ch.1,ch.3,ch.4 のみ対応しています。

36.3 構成

図 36.3-1 ブロックダイアグラム



36.4 レジスタ

■ ベースアドレス (Base_addr) ・ 外部端子表

表 36.4-1 ベースアドレス (Base_addr) ・ 外部端子表

チャンネル	Base_addr	外部端子			
		SCK	SOT	SIN	SCS
0	0x1500	SCK0	SOT0	SIN0	-
1	0x1524	SCK1	SOT1	SIN1	SCS1
2	0x1548	SCK2	SOT2	SIN2	SCS2
3	0x156C	SCK3/SCK3_1	SOT3/SOT3_1	SIN3/SIN3_1	SCS3/SCS3_1
4	0x1590	SCK4/SCK4_1	SOT4/SOT4_1	SIN4/SIN4_1	SCS40/SCS41/ SCS42/SCS43 SCS40_1/SCS41_1/ SCS42_1/SCS43_1

■ レジスタマップ

表 36.4-2 レジスタマップ (1 / 6)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x1500	[UART] SCR0 [CSIO] SCR0 [LIN] SCR0 [I ² C] IBCR0	[共通] SMR0	[UART] SSR0 [CSIO] SSR0 [LIN] SSR0 [I ² C] SSR0	[UART] ESCR0 [CSIO] ESCR0 [LIN] ESCR0 [I ² C] IBSR0	---- ch.0 ---- [UART] シリアル制御レジスタ [CSIO] シリアル制御レジスタ [LIN] シリアル制御レジスタ [I ² C] I ² C バス制御レジスタ [共通] シリアルモードレジスタ [UART] シリアルステータスレジスタ [CSIO] シリアルステータスレジスタ [LIN] シリアルステータスレジスタ [I ² C] シリアルステータスレジスタ [UART] 拡張通信制御レジスタ [CSIO] 拡張通信制御レジスタ [LIN] 拡張通信制御レジスタ [I ² C] I ² C バスステータスレジスタ
0x1504	[UART] 予約 [CSIO] RDR10/TDR10 [LIN] 予約 [I ² C] 予約		[UART] RDR00/TDR00 [CSIO] RDR00/TDR00 [LIN] RDR00/TDR00 [I ² C] RDR00/TDR00		---- ch.0 ---- [CSIO] 受信データレジスタ [UART] 受信データレジスタ [CSIO] 受信データレジスタ [LIN] 受信データレジスタ [I ² C] 受信データレジスタ
0x1508	[UART] SACSR0 [CSIO] SACSR0 [LIN] SACSR0 [I ² C] SACSR0		[UART] STMRO [CSIO] STMRO [LIN] STMRO [I ² C] STMRO		---- ch.0 ---- [UART] シリアル補助制御ステータスレジスタ [CSIO] シリアル補助制御ステータスレジスタ [LIN] シリアル補助制御ステータスレジスタ [I ² C] シリアル補助制御ステータスレジスタ [UART] シリアルタイマレジスタ [CSIO] シリアルタイマレジスタ [LIN] シリアルタイマレジスタ [I ² C] シリアルタイマレジスタ
0x150C	[UART] STMCR0 [CSIO] STMCR0 [LIN] STMCR0 [I ² C] STMCR0		[UART] 予約 [CSIO] 予約 [LIN] SFUR0 [I ² C] 予約		---- ch.0 ---- [UART] シリアルタイマ比較レジスタ [CSIO] シリアルタイマ比較レジスタ [LIN] シリアルタイマ比較レジスタ [I ² C] シリアルタイマ比較レジスタ [LIN] シンクフィールド上限レジスタ

表 36.4-2 レジスタマップ (2 / 6)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x1510	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] 予約 [LIN] SFLR10 [I ² C] 予約	[UART] 予約 [CSIO] 予約 [LIN] SFLR00 [I ² C] 予約	--- ch.0 --- [LIN] シンクフィールド下限レジスタ
0x1514	予約				
0x1518	予約				
0x151C	[UART] BGR0 [CSIO] BGR0 [LIN] BGR0 [I ² C] BGR0		[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] ISMK0	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] ISBA0	--- ch.0 --- [UART] ボーレートジェネレータレジスタ [CSIO] ボーレートジェネレータレジスタ [LIN] ボーレートジェネレータレジスタ [I ² C] ボーレートジェネレータレジスタ [I ² C] 7 ビットスリープアドレスマスクレジスタ [I ² C] ビットスリープアドレスレジスタ
0x1520	[共通] FCR10	[共通] FCR00	[共通] FBYTE0		--- ch.0 --- [共通] FIFO 制御レジスタ 1 [共通] FIFO 制御レジスタ 0 [共通] FIFO バイトレジスタ
0x1524	[UART] SCR1 [CSIO] SCR1 [LIN] SCR1 [I ² C] IBCR1	[共通] SMR1		[UART] SSR1 [CSIO] SSR1 [LIN] SSR1 [I ² C] SSR1	--- ch.1 --- [UART] シリアル制御レジスタ [CSIO] シリアル制御レジスタ [LIN] シリアル制御レジスタ [I ² C] I ² C バス制御レジスタ [共通] シリアルモードレジスタ [UART] シリアルステータスレジスタ [CSIO] シリアルステータスレジスタ [LIN] シリアルステータスレジスタ [I ² C] シリアルステータスレジスタ [UART] 拡張通信制御レジスタ [CSIO] 拡張通信制御レジスタ [LIN] 拡張通信制御レジスタ [I ² C] I ² C バスステータスレジスタ
0x1528	[UART] 予約 [CSIO] RDR10/TDR11 [LIN] 予約 [I ² C] 予約		[UART] RDR01/TDR01 [CSIO] RDR01/TDR01 [LIN] RDR01/TDR01 [I ² C] RDR01/TDR01		--- ch.1 --- [CSIO] 送受信データレジスタ [UART] 送受信データレジスタ [CSIO] 送受信データレジスタ [LIN] 送受信データレジスタ [I ² C] 送受信データレジスタ
0x152C	[UART] SACSR1 [CSIO] SACSR1 [LIN] SACSR1 [I ² C] SACSR1		[UART] STMR1 [CSIO] STMR1 [LIN] STMR1 [I ² C] STMR1		--- ch.1 --- [UART] シリアル補助制御ステータスレジスタ [CSIO] シリアル補助制御ステータスレジスタ [LIN] シリアル補助制御ステータスレジスタ [I ² C] シリアル補助制御ステータスレジスタ [UART] シリアルタイマレジスタ [CSIO] シリアルタイマレジスタ [LIN] シリアルタイマレジスタ [I ² C] シリアルタイマレジスタ
0x1530	[UART] STMCR1 [CSIO] STMCR1 [LIN] STMCR1 [I ² C] STMCR1		[UART] 予約 [CSIO] SCSCR1 [LIN] SFUR1 [I ² C] 予約		--- ch.1 --- [UART] シリアルタイマ比較レジスタ [CSIO] シリアルタイマ比較レジスタ [LIN] シリアルタイマ比較レジスタ [I ² C] シリアルタイマ比較レジスタ [CSIO] シリアルチップセレクト制御レジスタ [LIN] シンクフィールド上限レジスタ

表 36.4-2 レジスタマップ (3 / 6)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x1534	[UART] 予約 [CSIO] SCSTR31 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] SCSTR21 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] SCSTR11 [LIN] SFLR11 [I ² C] 予約	[UART] 予約 [CSIO] SCSTR01 [LIN] SFLR01 [I ² C] 予約	--- ch.1 --- [CSIO] シリアルチップセレクトタイミングレジスタ [LIN] シンクフィールド下限レジスタ
0x1538	予約				
0x153C	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] TBYTE01 [LIN] 予約 [I ² C] 予約	--- ch.1 --- [CSIO] 転送バイトレジスタ
0x1540	[UART] BGR1 [CSIO] BGR1 [LIN] BGR1 [I ² C] BGR1		[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] ISMK1	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] ISBA1	--- ch.1 --- [UART] ボーレートジェネレータレジスタ [CSIO] ボーレートジェネレータレジスタ [LIN] ボーレートジェネレータレジスタ [I ² C] ボーレートジェネレータレジスタ [I ² C] 7 ビットスレーブアドレスマスクレジスタ [I ² C] ビットスレーブアドレスレジスタ
0x1544	[共通] FCR11	[共通] FCR01	[共通] FBYTE1		--- ch.1 --- [共通] FIFO 制御レジスタ 1 [共通] FIFO 制御レジスタ 0 [共通] FIFO バイトレジスタ
0x1548	[UART] SCR2 [CSIO] SCR2 [LIN] SCR2	[共通] SMR2		[UART] SSR2 [CSIO] SSR2 [LIN] SSR2	--- ch.2 --- [UART] シリアル制御レジスタ [CSIO] シリアル制御レジスタ [LIN] シリアル制御レジスタ [共通] シリアルモードレジスタ [UART] シリアルステータスレジスタ [CSIO] シリアルステータスレジスタ [LIN] シリアルステータスレジスタ [UART] 拡張通信制御レジスタ [CSIO] 拡張通信制御レジスタ [LIN] 拡張通信制御レジスタ
0x154C	[UART] 予約 [CSIO] RDR12/TDR12 [LIN] 予約		[UART] RDR02/TDR02 [CSIO] RDR02/TDR02 [LIN] RDR02/TDR02		--- ch.2 --- [CSIO] 送受信データレジスタ [UART] 送受信データレジスタ [CSIO] 送受信データレジスタ [LIN] 送受信データレジスタ
0x1550	[UART] SACSR2 [CSIO] SACSR2 [LIN] SACSR2		[UART] STMR2 [CSIO] STMR2 [LIN] STMR2		--- ch.2 --- [UART] シリアル補助制御ステータスレジスタ [CSIO] シリアル補助制御ステータスレジスタ [LIN] シリアル補助制御ステータスレジスタ [UART] シリアルタイマレジスタ [CSIO] シリアルタイマレジスタ [LIN] シリアルタイマレジスタ
0x1554	[UART] STMCR2 [CSIO] STMCR2 [LIN] STMCR2		[UART] 予約 [CSIO] SCSCR2 [LIN] SFUR2		--- ch.2 --- [UART] シリアルタイマ比較レジスタ [CSIO] シリアルタイマ比較レジスタ [LIN] シリアルタイマ比較レジスタ [CSIO] シリアルチップセレクト制御レジスタ [LIN] シンクフィールド上限レジスタ
0x1558	[UART] 予約 [CSIO] SCSTR32 [LIN] 予約	[UART] 予約 [CSIO] SCSTR22 [LIN] 予約	[UART] 予約 [CSIO] SCSTR12 [LIN] SFLR12	[UART] 予約 [CSIO] SCSTR02 [LIN] SFLR02	--- ch.2 --- [CSIO] シリアルチップセレクトタイミングレジスタ [LIN] シンクフィールド下限レジスタ

表 36.4-2 レジスタマップ (4 / 6)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x155C	予約				
0x1560	[UART] 予約 [CSIO] 予約 [LIN] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約	[UART] 予約 [CSIO] TBYTE02 [LIN] 予約	--- ch.2 --- [CSIO] 転送バイトレジスタ
0x1564	[UART] BGR2 [CSIO] BGR2 [LIN] BGR2		[UART] 予約 [CSIO] 予約 [LIN] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約	--- ch.2 --- [UART] ボーレートジェネレータレジスタ [CSIO] ボーレートジェネレータレジスタ [LIN] ボーレートジェネレータレジスタ
0x1568	[共通] FCR12	[共通] FCR02	[共通] FBYTE2		--- ch.2 --- [共通] FIFO 制御レジスタ 1 [共通] FIFO 制御レジスタ 0 [共通] FIFO バイトレジスタ
0x156C	[UART] SCR3 [CSIO] SCR3 [LIN] SCR3 [I ² C] IBCR3	[共通] SMR3	[UART] SSR3 [CSIO] SSR3 [LIN] SSR3 [I ² C] SSR3	[UART] ESCR3 [CSIO] ESCR3 [LIN] ESCR3 [I ² C] IBSR3	--- ch.3 --- [UART] シリアル制御レジスタ [CSIO] シリアル制御レジスタ [LIN] シリアル制御レジスタ [I ² C] I ² C バス制御レジスタ [共通] シリアルモードレジスタ [UART] シリアルステータスレジスタ [CSIO] シリアルステータスレジスタ [LIN] シリアルステータスレジスタ [I ² C] シリアルステータスレジスタ [UART] 拡張通信制御レジスタ [CSIO] 拡張通信制御レジスタ [LIN] 拡張通信制御レジスタ [I ² C] I ² C バスステータスレジスタ
0x1570	[UART] 予約 [CSIO] RDR13/TDR13 [LIN] 予約 [I ² C] 予約		[UART] RDR03/TDR03 [CSIO] RDR03/TDR03 [LIN] RDR03/TDR03 [I ² C] RDR03/TDR03		--- ch.3 --- [CSIO] 送受信データレジスタ [UART] 送受信データレジスタ [CSIO] 送受信データレジスタ [LIN] 送受信データレジスタ [I ² C] 送受信データレジスタ
0x1574	[UART] SACSR3 [CSIO] SACSR3 [LIN] SACSR3 [I ² C] SACSR3		[UART] STMR3 [CSIO] STMR3 [LIN] STMR3 [I ² C] STMR3		--- ch.3 --- [UART] シリアル補助制御ステータスレジスタ [CSIO] シリアル補助制御ステータスレジスタ [LIN] シリアル補助制御ステータスレジスタ [I ² C] シリアル補助制御ステータスレジスタ [UART] シリアルタイマレジスタ [CSIO] シリアルタイマレジスタ [LIN] シリアルタイマレジスタ [I ² C] シリアルタイマレジスタ
0x1578	[UART] STMCR3 [CSIO] STMCR3 [LIN] STMCR3 [I ² C] STMCR3		[UART] 予約 [CSIO] SCSCR3 [LIN] SFUR3 [I ² C] 予約		--- ch.3 --- [UART] シリアルタイマ比較レジスタ [CSIO] シリアルタイマ比較レジスタ [LIN] シリアルタイマ比較レジスタ [I ² C] シリアルタイマ比較レジスタ [CSIO] シリアルチップセレクト制御レジスタ [LIN] シンクフィールド上限レジスタ
0x157C	[UART] 予約 [CSIO] SCSTR33 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] SCSTR23 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] SCSTR13 [LIN] SFLR13 [I ² C] 予約	[UART] 予約 [CSIO] SCSTR03 [LIN] SFLR03 [I ² C] 予約	--- ch.3 --- [CSIO] シリアルチップセレクトタイミングレジスタ [LIN] シンクフィールド下限レジスタ
0x1580	予約				

表 36.4-2 レジスタマップ (5 / 6)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x1584	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] TBYTE03 [LIN] 予約 [I ² C] 予約	--- ch.3 --- [CSIO] 転送バイトレジスタ
0x1588	[UART] BGR3 [CSIO] BGR3 [LIN] BGR3 [I ² C] BGR3		[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] ISMK3	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] ISBA3	--- ch.3 --- [UART] ボーレートジェネレータレジスタ [CSIO] ボーレートジェネレータレジスタ [LIN] ボーレートジェネレータレジスタ [I ² C] ボーレートジェネレータレジスタ [I ² C] 7 ビットスリープアドレスマスクレジスタ [I ² C] ビットスリープアドレスレジスタ
0x158C	[共通] FCR13	[共通] FCR03	[共通] FBYTE3		--- ch.3 --- [共通] FIFO 制御レジスタ 1 [共通] FIFO 制御レジスタ 0 [共通] FIFO バイトレジスタ
0x1590	[UART] SCR4 [CSIO] SCR4 [LIN] SCR4 [I ² C] IBCR4	[共通] SMR4		[UART] ESSR4 [CSIO] ESSR4 [LIN] ESSR4 [I ² C] IBSR4	--- ch.4 --- [UART] シリアル制御レジスタ [CSIO] シリアル制御レジスタ [LIN] シリアル制御レジスタ [I ² C] I ² C バス制御レジスタ [共通] シリアルモードレジスタ [UART] シリアルステータスレジスタ [CSIO] シリアルステータスレジスタ [LIN] シリアルステータスレジスタ [I ² C] シリアルステータスレジスタ [UART] 拡張通信制御レジスタ [CSIO] 拡張通信制御レジスタ [LIN] 拡張通信制御レジスタ [I ² C] I ² C バスステータスレジスタ
0x1594	[UART] 予約 [CSIO] RDR14/TDR14 [LIN] 予約 [I ² C] 予約		[UART] RDR04/TDR04 [CSIO] RDR04/TDR04 [LIN] RDR04/TDR04 [I ² C] RDR04/TDR04		--- ch.4 --- [CSIO] 送受信データレジスタ [UART] 送受信データレジスタ [CSIO] 送受信データレジスタ [LIN] 送受信データレジスタ [I ² C] 送受信データレジスタ
0x1598	[UART] SACSR4 [CSIO] SACSR4 [LIN] SACSR4 [I ² C] SACSR4		[UART] STMR4 [CSIO] STMR4 [LIN] STMR4 [I ² C] STMR4		--- ch.4 --- [UART] シリアル補助制御ステータスレジスタ [CSIO] シリアル補助制御ステータスレジスタ [LIN] シリアル補助制御ステータスレジスタ [I ² C] シリアル補助制御ステータスレジスタ [UART] シリアルタイマレジスタ [CSIO] シリアルタイマレジスタ [LIN] シリアルタイマレジスタ [I ² C] シリアルタイマレジスタ
0x159C	[UART] STMCR4 [CSIO] STMCR4 [LIN] STMCR4 [I ² C] STMCR4		[UART] 予約 [CSIO] SCSCR4 [LIN] SFUR4 [I ² C] 予約		--- ch.4 --- [UART] シリアルタイマ比較レジスタ [CSIO] シリアルタイマ比較レジスタ [LIN] シリアルタイマ比較レジスタ [I ² C] シリアルタイマ比較レジスタ [CSIO] シリアルチップセレクト制御レジスタ [LIN] シンクフィールド上限レジスタ



表 36.4-2 レジスタマップ (6 / 6)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x15A0	[UART] 予約 [CSIO] SCSTR34 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] SCSTR24 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] SCSTR14 [LIN] SFLR14 [I ² C] 予約	[UART] 予約 [CSIO] SCSTR04 [LIN] SFLR04 [I ² C] 予約	--- ch.4 --- [CSIO] シリアルチップセレクトタイミングレジスタ [LIN] シンクフィールド下限レジスタ
0x15A4	予約	[UART] 予約 [CSIO] SCSFR24 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] SCSFR14 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] SCSFR04 [LIN] 予約 [I ² C] 予約	--- ch.4 --- [CSIO] シリアルチップセレクトフォーマットレジスタ
0x15A8	[UART] 予約 [CSIO] TBYTE34 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] TBYTE24 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] TBYTE14 [LIN] 予約 [I ² C] 予約	[UART] 予約 [CSIO] TBYTE04 [LIN] 予約 [I ² C] 予約	--- ch.4 --- [CSIO] 転送バイトレジスタ
0x15AC	[UART] BGR4 [CSIO] BGR4 [LIN] BGR4 [I ² C] BGR4	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] ISMK4	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] ISBA4	[UART] 予約 [CSIO] 予約 [LIN] 予約 [I ² C] 予約	--- ch.4 --- [UART] ボーレートジェネレータレジスタ [CSIO] ボーレートジェネレータレジスタ [LIN] ボーレートジェネレータレジスタ [I ² C] ボーレートジェネレータレジスタ [I ² C] 7 ビットスレープアドレスマスクレジスタ [I ² C] ビットスレープアドレスレジスタ
0x15B0	[共通] FCR14	[共通] FCR04	[共通] FBYTE4		--- ch.4 --- [共通] FIFO 制御レジスタ 1 [共通] FIFO 制御レジスタ 0 [共通] FIFO バイトレジスタ

36.4.1 共通レジスタ

36.4.1.1 シリアルモードレジスタ : SMR (Serial Mode Register)

動作モードを選択します。bit3 ～ bit0 は UART か CSIO か LIN か I²C かにより機能が異なります。

- SMR: アドレス 1501_H, 1525_H, 1549_H, 156D_H, 1591_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
MD[2:0]			予約	SBL/ SCINV/ RIE	BDS/TIE (予約)	SCKE/ (予約)	SOE/ (予約)	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W0	R/W	R/W (R/W0)	R/W (R/W0)	R/W (R/W0)	属性

[bit7 ～ bit5] MD2 ～ MD0 (MoDe) : 動作モード

通信方式を設定します。

"000"_b: 動作モード 0(非同期ノーマルモード)に設定されます。

"001"_b: 動作モード 1(非同期マルチプロセッサモード)に設定されます。

"010"_b: 動作モード 2(CSIO モード)に設定されます。

"011"_b: 動作モード 3(LIN 通信モード)に設定されます。

"100"_b: 動作モード 4(I²C モード)に設定されます。

(注意事項) ・上記設定以外は禁止です。

- ・動作モード設定後、各レジスタを設定してください。
- ・[UART] [CSIO] [LIN] 動作モードを切り換える場合は、プログラマブルクリア実行 (SCR: UPCL=1) 後、動作モードを切り換えてください。
- ・[I²C] 動作モードを切り換える場合は、I²C 禁止 (ISMK:EN="0") 後、動作モードを切り換えてください。
- ・I²C は ch.0,ch.1,ch.3,ch.4 のみ対応しています。

[bit4] 予約

本ビットには必ず "0" を設定してください

[bit3] SBL/SCINV/RIE (Stop Bit Length / Serial Clock Inversion / Receive Interrupt Enable) : ストップビット長選択ビット・シリアルクロック反転ビット・受信割込み許可ビット

[UART] [LIN]

ストップビット (送信データのフレームエンドマーク) のビット長を設定します。

SBL="0", ESCR.ESBL="0" に設定した場合: ストップビットは 1 ビットに設定されます。

SBL="1", ESCR.ESBL="0" に設定した場合: ストップビットは 2 ビットに設定されます。

SBL="0", ESCR.ESBL="1" に設定した場合: ストップビットは 3 ビットに設定されます。

SBL="1", ESCR.ESBL="1" に設定した場合: ストップビットは 4 ビットに設定されます。

(注意事項) ・受信時は、常にストップビットの 1 ビット目だけを検出します。

- ・本ビットは送信が禁止 (SCR:TXE="0") のときに設定してください。

[CSIO]

シリアルクロックフォーマットを反転するビットです。マスタモード (SCR:MS="0") でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

"0" に設定した場合:



- ・シリアルクロック出力のマークレベルを "H" にします。
- ・送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- ・受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1" に設定した場合：

- ・シリアルクロック出力のマークレベルを "L" にします。
- ・送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- ・受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

(注意事項) ・本ビットは、送受信が禁止 (SCR:TXE=RXE="0") のときに設定してください。

- ・本ビットは、シリアルクロック出力禁止 (SCKE="0") のときに設定してください。
- ・SCINV ビット設定後に、受信許可 (SCR:RXE="1") に設定してください。
- ・本ビットは、送受信が禁止 (TXE=RXE="0") のときに設定してください。
- ・本ビットは下記のいずれかで使用されます。
 - ・チップセレクト端子禁止 (SCSCR:CSEN3-0="0000"b) 時
 - ・スレーブモード (SCR:MS="1") 時
 - ・チップセレクトのデータフォーマット禁止 (ESCR:CSFE="0") 時
 - ・チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") でシリアルチップセレクト端子 0 がアクティブ時
- ・シリアルテストモード許可時 (SACSR:STST="1"), 本ビットを "0" に設定してください。

[I²C]

- ・CPU への受信割込み要求出力を許可 / 禁止するビットです。
- ・RIE ビットと受信データフラグビット (SSR:RDRF) が "1" の場合、またはエラーフラグビット (SSR:ORE) のいずれかが "1" の場合、受信割込み要求を出力します。

(注意事項) DMA モードが禁止時 (SSR:DMA="0") に I²C バス制御レジスタ (IBCR) の INT ビットを使用してデータを受信する場合、本ビットは "0" にしてください。

[bit2] BDS/TIE (Bit Direction Select / Transmit Interrupt Enable) :

転送方向選択ビット・送信割込み許可ビット

[LIN]

予約ビットです。本ビットには必ず "0" を設定してください。

[UART] [CSIO]

- ・転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト, BDS="0") 最上位ビット側から先に転送するか (MSB ファースト, BDS="1") を選択するビットです。

(注意事項) ・本ビットは、送受信が禁止 (SCR:TXE=RXE="0") のときに設定してください。

- ・[CSIO] 本ビットは下記のいずれかで使用されます。
 - ・チップセレクト端子禁止 (SCSCR:CSEN3-0="0000"b) 時
 - ・スレーブモード (SCR:MS="1") 時
 - ・チップセレクトのデータフォーマット禁止 (ESCR:CSFE="0") 時
 - ・チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") でシリアルチップセレクト端子 0 がアクティブ時

[I²C]

- CPU への送信割込み要求出力を許可 / 禁止するビットです。
- TIE ビットと SSR:TDRE ビットが "1" の場合、送信割込み要求を出力します。

(注意事項) DMA モードが禁止時 (SSR:DMA="0") に I²C バス制御レジスタ (IBCR) の INT ビットを使用してデータを送信する場合、本ビットは "0" にしてください。

[bit1] SCKE (Serial Clock Enable) : シリアルクロック出力許可ビット

[CSIO]

シリアルクロックの入出力ポートを制御するビットです。

"0" に設定した場合 : SCK 端子は汎用入出力ポートまたはリアルクロック入力端子になります。

"1" に設定した場合 : シリアルクロック出力端子となり、送信動作中にクロックを出力します。

- (注意事項)
- SCK 端子をシリアルクロック入力 (SCKE="0") として使用する場合は、汎用入出力ポートを入力ポートに設定してください。
 - SCINV ビット設定後にシリアルクロック出力許可 (SCKE="1") に設定してください。
 - SCK 端子をシリアルクロック出力として使用する場合、ペリフェラル出力端子 (EPFR にて設定) として設定してください。設定方法は「第 24 章 I/O ポート」を参照してください。

[UART] [LIN] [I²C]

予約ビットです。本ビットには必ず "0" を設定してください。

[bit0] SOE (Serial Output Enable) : シリアルデータ出力許可ビット

[UART] [CSIO] [LIN]

シリアルデータの出力を許可 / 禁止するビットです。

"0" に設定した場合 : SOT 端子は汎用入出力ポートです。

"1" に設定した場合 : SOT 端子はシリアルデータ出力端子 (SOT) です。

(注意事項) SOT 端子はペリフェラル出力端子 (EPFR にて設定) として設定してください。設定方法は「第 24 章 I/O ポート」を参照してください。

[I²C]

予約ビットです。本ビットには必ず "0" を設定してください。

36.4.1.2 FIFO 制御レジスタ 1 : FCR1 (FIFO Control Register 1)

FIFO 制御レジスタ (FCR1) は、FIFO のテスト設定、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

• **FCR1: アドレス 1520_H, 1544_H, 1568_H, 158C_H, 15B0_H(アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
予約			FLSTE	FRIIE	FDRQ	FTIE	FSEL	
0	0	0	0	0	1	0	0	初期値
R/W0	R/W0	R,W0	R/W	R/W	R(RM1), W	R/W	R,W	属性

[bit7 ～ bit5] 予約

本ビットには必ず "0" を設定してください

[bit4] FLSTE (Flag for data LoST detection Enable) : 再送データロスト検出許可ビット

FIFO 再送データロストフラグ (FLST) 検出を許可するビットです。

"0" に設定した場合 : FLST ビット検出禁止

"1" に設定した場合 : FLST ビット検出許可

(注意事項) 本ビットに "1" を設定する場合、FSET ビットに "1" を設定してから本ビットに "1" を設定してください。

[bit3] FRIIE (Flag for Receive FIFO IdIE detection Enable) : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可 (SCR:RIE="1") されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0" に設定した場合 : 受信アイドル状態検出禁止

"1" に設定した場合 : 受信アイドル状態検出許可

(注意事項) 受信 FIFO を使用する場合は、本ビットを "1" に設定してください。

[bit2] FDRQ (transmit FIFO Data ReQuest) : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。

本ビットが "1" のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可 (FTIE="1") されていると、FIFO 送信割込み要求を出力します。

FDRQ セット条件

- FBYTE (送信用) = "0" (送信 FIFO がエンプティ)
- 送信 FIFO のリセット

FDRQ リセット条件

- 本ビットへの "0" 書込み
- 送信 FIFO がフルになった場合

(注意事項) ・ FBYTE (送信用) = "0" のときに本ビットへの "0" 書込みは禁止です。

- 本ビットが "0" のときに FSEL ビットの変更は禁止です。
- 本ビットに "1" を設定した場合動作に影響を与えません。
- リードモディファイライト系命令時、"1" が読み出されます。
- 送信 FIFO 許可のときに "0" 書込みは有効です。

- ・送信割込みが発生して送信 FIFO に必要なデータを書き込んだら ,FIFO 送信データ要求ビット (FDRQ) に "0" を書き込んで割込み要求をクリアしてください。

[bit1] FTIE (Flag for Transmit Interrupt Enable) : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに "1" を設定した場合 ,FDRQ ビットが "1" のときに割込みが発生します。

[bit0] FSEL (FIFO SElect) : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0" に設定した場合 : 送信 FIFO : FIFO1, 受信 FIFO : FIFO2 に割り当てられます。

"1" に設定した場合 : 送信 FIFO : FIFO2, 受信 FIFO : FIFO1 に割り当てられます。

(注意事項) ・本ビットは , FIFO リセット (FCL2, FCL1="1") ではクリアされません。

- ・本ビットを変更する場合は , FIFO 動作禁止 (FCR0:FE2, FE1="0") にしてから行ってください。
- ・FDRQ="0" のときに本ビットの変更は禁止です。

36.4.1.3 FIFO 制御レジスタ 0 : FCR0 (FIFO Control Register 0)

FIFO 制御レジスタ 0(FCR0) は、FIFO 動作の許可 / 禁止、FIFO リセット、リードポインタの保存、再送信設定を行います。

• **FCR0: アドレス 1521_H, 1545_H, 1569_H, 158D_H, 15B1_H(アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
予約	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1	
0	0	0	0	0	0	0	0	初期値
R/W0	R,WX	R,W	R0,W	R0,W	R0,W	R,W	R,W	属性

[bit7] 予約

本ビットには必ず "0" を設定してください

[bit6] FLST (FIFO data LoST) : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

- FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ (上書きした) 場合

FLST リセット条件

- FIFO リセット (FCL への "1" 書込み)
- FSET ビットへ "1" 書込み

本ビットに "1" が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

[bit5] FLD (FIFO pointer reLoaD bit) : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。再送設定が完了した場合、本ビットは "0" に設定されます。

- (注意事項) ・本ビットが "1" に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。
- FIFO 許可状態または送信中に本ビットに "1" を設定することは禁止です。
 - [UART] [CSIO] [LIN] SCR:TIE ビットと SCR:TBIE ビットは "0" にしてから本ビットに "1" を書込み、送信 FIFO 許可後、SCR:TIE ビットと SCR:TBIE ビットを "1" にしてください。
 - [I²C] SMR:TIE ビットは "0" にしてから本ビットに "1" を書込み、送信 FIFO 許可後、SMR:TIE ビットを "1" にしてください。

[bit4] FSET (FIFO pointer SET) : FIFO ポインタ保存ビット

送信前にリードポインタを保存した状態で、通信エラーなどが発生した場合、FLST ビットが "0" であれば、再送可能です。

"1" に設定した場合：現在のリードポインタの値を保存します。

"0" に設定した場合：影響しません。

- (注意事項) 送信バイト数 (FBYTE) が "0" を示しているときに本ビットを "1" に設定してください。

[bit3] FCL2 (FIFO Clear 2) : FIFO2 リセットビット

FIFO2 をリセットするビットです。

本ビットを "1" に設定した場合、FIFO2 の内部状態を初期化します。

FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

(注意事項) ・ [UART] [CSIO] [LIN] 送受信を禁止してから、FIFO2 リセットを実行してください。

- ・ [I²C]FIFO2 を禁止してから、FIFO2 リセットを実行してください。
- ・ 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。
- ・ FBYTE2 レジスタの有効データ数は "0" に設定されます。

[bit2] FCL1 (FIFO Clear 1) : FIFO1 リセットビット

FIFO1 をリセットするビットです。

本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。

FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

(注意事項) ・ [UART] [CSIO] [LIN] 送受信を禁止してから、FIFO1 リセットを実行してください。

- ・ [I²C]FIFO1 を禁止してから、FIFO1 リセットを実行してください。
- ・ 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。
- ・ FBYTE1 レジスタの有効データ数は "0" になります。

[bit1] FE2 (FIFO Enable 2) : FIFO2 動作許可ビット

FIFO2 の動作を許可 / 禁止するビットです。

- ・ FIFO2 を使用する場合、本ビットに "1" を設定してください。
- ・ FCR1:FSEL ビットによって受信 FIFO として選択された状態で、受信エラーが発生した場合、本ビットは "0" にクリアされます。その後、受信エラーがクリアされない限り、本ビットは "1" に設定できません。
- ・ 送信 FIFO で使用する場合には送信バッファがエンプティ (SSR:TDRE="1"), 受信 FIFO で使用する場合には受信バッファがエンプティ (SSR:RDRF="0") のときに本ビットに "1" または "0" を設定してください。
- ・ FIFO2 を禁止にしても FIFO2 の状態は保持されます。
- ・ [UART] [CSIO] [LIN] FIFO2 を送信 FIFO に設定し (FCR1:FSEL="1"), 本ビットに "1" を書き込んだときに FIFO2 にデータが存在し、UART または CSIO または LIN が送信許可 (SCR:TXE="1") のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは "0" にしてから本ビットに "1" を書き込み、SCR:TIE ビットと SCR:TBIE ビットを "1" にしてください。
- ・ [UART] [CSIO] [LIN] 受信 FIFO で使用する場合には、受信禁止 (SCR:RXE="0") 後、受信バッファがエンプティ (SSR:RDRF="0") および受信FIFOに有効なデータがない (FBYTE2="0")のときに本ビットに "0" を設定してください。
- ・ [UART] [CSIO] [LIN] 受信 FIFO で使用する場合には、受信禁止 (SCR:RXE="0") 後、受信バッファがエンプティ (SSR:RDRF="0") のときに本ビットに "1" を設定してください。

(注意事項) [I²C]

- ・ IBSR:BB ビットが "0" または IBCR:INT ビットが "1" のときに許可 / 禁止の変更を行ってください。
- ・ 受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを "0" にし、IBCR:ACKE="0" にしてください。



- ・受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR:RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。
- ・送信 FIFO として使用していて FIFO2 にデータが存在し、本ビットを "0" から "1" に変更する場合、SMR:TIE ビットを "0" にしてから本ビットに "1" を書き込み、SMR:TIE ビットを "1" にしてください。

[bit0] FE1 (FIFO Enable 1) : FIFO1 動作許可ビット

FIFO1 の動作を許可 / 禁止するビットです。

- ・FIFO1 を使用する場合、本ビットに "1" を設定してください。
- ・FCR1:FSEL ビットによって受信 FIFO として選択された状態で、受信エラーが発生した場合、本ビットは "0" にクリアされます。その後、受信エラーがクリアされない限り、本ビットは "1" に設定できません。
- ・送信 FIFO で使用する場合には送信バッファがエンプティ (SSR:TDRE="1"), 受信 FIFO で使用する場合には受信バッファがエンプティ (SSR:RDRF="0") のときに本ビットに "1" または "0" を設定してください。
- ・FIFO1 を禁止にしても FIFO1 の状態は保持されます。
- ・[UART] [CSIO] [LIN] FIFO1 を送信 FIFO に設定し (FCR1:FSEL="1"), 本ビットに "1" を書き込んだときに FIFO1 にデータが存在し、UART または CSIO または LIN が送信許可 (SCR:TXE="1") のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは "0" にしてから本ビットに "1" を書き込み、SCR:TIE ビットと SCR:TBIE ビットを "1" にしてください。
- ・[UART] [CSIO] [LIN] 受信 FIFO で使用する場合には、受信禁止 (SCR:RXE="0") 後、受信バッファがエンプティ (SSR:RDRF="0") および受信 FIFO に有効なデータがない (FBYTE1="0") のときに本ビットに "0" を設定してください。
- ・[UART] [CSIO] [LIN] 受信 FIFO で使用する場合には、受信禁止 (SCR:RXE="0") 後、受信バッファがエンプティ (SSR:RDRF="0") のときに本ビットに "1" を設定してください。

(注意事項) [I²C]

- ・IBSR:BB ビットが "0" または IBCR:INT ビットが "1" のときに許可 / 禁止の変更を行ってください。
- ・受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを "0" にし、IBCR:ACKE="0" にしてください。
- ・受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR:RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。
- ・送信 FIFO として使用していて FIFO1 にデータが存在し、本ビットを "0" から "1" に変更する場合、SMR:TIE ビットを "0" にしてから本ビットに "1" を書き込み、SMR:TIE ビットを "1" にしてください。

36.4.1.4 FIFO バイトレジスタ : FBYTE (FIFO BYTE Register)

- FBYTE: アドレス 1522_H, 1546_H, 156A_H, 158E_H, 15B2_H (アクセス: バイト, ハーフワード, ワード)

本レジスタはリード時とライト時で機能が異なります。

リード時は, FIFO バイトレジスタ (FBYTE) は, FIFO の有効なデータ数を示します。

ライト時は, 受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

15	14	13	12	11	10	9	8	bit
FBYTE2[7:0]								
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
FBYTE1[7:0]								
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ~ bit8] FBYTE2 (FIFO Byte 2) : FIFO2 データ数表示ビット

[bit7 ~ bit0] FBYTE1 (FIFO Byte 1) : FIFO1 データ数表示ビット

FBYTE レジスタは, FIFO に書き込みまたは受信した有効なデータ数を示します。FCR1:FSEL ビットによる設定は以下のとおりです。

FSEL	FIFO 選択	データ数表示
0	FIFO2: 受信 FIFO, FIFO1: 送信 FIFO	FIFO2: FBYTE2, FIFO1: FBYTE1
1	FIFO2: 送信 FIFO, FIFO1: 受信 FIFO	FIFO2: FBYTE2, FIFO1: FBYTE1

- FBYTE の転送数の初期値は 08_H です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致する場合, 割込みフラグ (SSR:RDRF) が "1" に設定されます。
- 以下の条件を両方満たす場合, 受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (SSR:RDRF) が "1" に設定されます。
 - 受信 FIFO アイドル検出許可ビット (FCR1:FRIDE) が "1"
 - 受信 FIFO に存在するデータ数が転送数に達しない
 8 クロックカウント中, RDR を読み出すとそのカウンタは "0" にリセットされ, 再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合, 再度, カウントを開始します。
- [CSIO] マスタ動作で, データを受信する場合 (マスタ受信), SCR:TIE ビットと SCR:TBIE ビットを "0" にし送信 FIFO の FBYTE レジスタに受信データ数を設定し, FCR1:FDRQ ビットに "0" を書きます。その後, SCR:TXE ビットが "1" のとき設定データ分のシリアルクロックが出力され, 設定値分データを受信できます。SCR:TIE ビット, SCR:TBIE ビットに "1" を設定したい場合には FCR1:FDRQ が "1" になった後に "1" に設定してください。
- [CSIO] TDR に送信データを 1 回書き込むと, 送信 FIFO の FBYTE が + 1 されます。なお, SSR:AWC="0" でデータ長が 20, 24, 32 ビットのとき, 1 回分の送信データを書き込むのに TDR に 2 回に分けて送信データを書き込む必要があります。このとき, 送信 FIFO の FBYTE は +2 されます。
- [CSIO] RDR から受信データを 1 回読み出すと, 受信 FIFO の FBYTE が - 1 されます。なお, SSR:AWC="0" でデータ長が 20, 24, 32 ビットのとき, 1 回分の受信データを読み出すのに RDR から 2 回に分けて受信データを読み出す必要があります。このとき, 受信 FIFO の FBYTE は -2 されます。

- ・ [I²C] マスタ動作で、データを受信する場合 (マスタ受信), SMR:TIE ビットを "0" にし送信 FIFO の FBYTE レジスタに受信データ数を設定し, FCR1:FDRQ ビットに "0" を書きます。設定データ分の SCK のクロックが出力され, その後, IBCR:INT ビットが "1" に設定されます。SMR:TIE ビットに "1" を設定したい場合には FCR1:FDRQ が "1" になった後に "1" に設定してください。

(注意事項) ・ [UART] [LIN] 受信を禁止してから変更してください。

- ・ [UART] [LIN] 送信 FIFO の FBYTE レジスタには "00"h を設定してください。
- ・ [CSIO] [I²C] マスタ動作で、データを受信するとき以外、送信 FIFO の FBYTE レジスタには "00"h を設定してください。
- ・ [CSIO] マスタ動作でデータを受信するときの送信データ数の設定は送信 FIFO がエンプティで SCR:TIE ビット, SSR:TBIE ビットが "0" のときに行ってください。
- ・ [CSIO] マスタ動作でデータを受信中に受信禁止 (SCR:RXE="0") にする場合には、送信 FIFO を禁止にしてから送受信を禁止にしてください。
- ・ [CSIO] 受信 FIFO の FBYTE の変更は受信を禁止してから変更してください。
- ・ [I²C] マスタ動作でデータを受信するときの送信データ数の設定は送信 FIFO がエンプティで SMR:TIE ビットが "0" のときに行ってください。
- ・ [I²C] マスタ動作でデータを受信中に I²C インタフェースを禁止 (ISMK:EN="0") にする場合には、送受信 FIFO を禁止にしてから禁止してください。
- ・ [I²C] 下記の条件のいずれかのときに変更してください。
 - ・ I2C インタフェースを禁止 (ISMK:EN="0") のとき
 - ・ SSR:DMA="0" でマスタ受信の場合, IBCR:INT="1" のとき
 - ・ SSR:DMA="1" でマスタ受信の場合, SSR:TBI="1" のとき
- ・ [I²C] マスタ動作でデータを受信する場合 (マスタ受信), SMR:TIE ビットを "0" にし送信 FIFO の FBYTE レジスタに受信データ数を設定するときに送信データレジスタ (TDR) にダミーデータを書き込まないでください。
- ・ [共通] 受信 FIFO の FBYTE には "1" 以上のデータを設定してください。
- ・ [共通] 本レジスタはリードモディファイライト系命令を使用できません。
- ・ [共通] FIFO 容量を超える設定は禁止です。
- ・ [LIN] FIFO 選択ビット (FCR1:FSEL) 設定後、FIFO バイトレジスタ (FBYTE) を設定してください。
- ・ [LIN] FIFO 選択ビット (FCR1:FSEL) と FIFO バイトレジスタ (FBYTE) を同時に設定することはできません。
- ・ [LIN] 送信時の FIFO データ数表示は、送信データ書込み数から 1 減算した値が有効なデータ数として表示されます。これは、TDR レジスタに送信されていないデータが存在しているときに送信データを書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。
- ・ [LIN] 受信時の FIFO データ数表示は、受信 FIFO に受信され読出しされていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。

36.4.2 UART 時レジスタ

36.4.2.1 シリアル制御レジスタ : SCR (Serial Control Register)

シリアル制御レジスタ (SCR) は、送受信の許可 / 禁止、送受信割込みの許可 / 禁止、送信バスアイドル割込みの許可 / 禁止、UART リセットの設定ができます。

- **SCR: アドレス 1500_H, 1524_H, 1548_H, 156C_H, 1590_H (アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
UPCL	予約		RIE	TIE	TBIE	RXE	TXE	
0	-	-	0	0	0	0	0	初期値
R0,W	RX,W0	RX,W0	R/W	R/W	R/W	R/W	R/W	属性

[bit7] UPCL : プログラマブルクリアビット

UART の内部状態を初期化するビットです。

"1" を設定した場合：

- UART を直接リセット (ソフトウェアリセット) します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR レジスタの設定値をリロードし、再スタートします。
- すべての送受信およびステータス割込み要因 (SSR:PE, FRE, ORE, RDRF, TDRE, TBI, TINT) は初期化 ("0000110"b) されます。

"0" を設定した場合：影響ありません。

リード時は、常に "0" が読出されます。

UPCL	プログラマブルクリアビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	プログラマブルクリア	

- (注意事項) ・ 割込み禁止に設定した後に、プログラマブルクリアを実行してください。
- ・ FIFO 使用時は、FIFO 禁止 (FCR0:FE2, FE1="0") にしてからプログラマブルクリア (SSR:UPCL="1") を実行してください。
 - ・ プログラマブルクリアを実行 (SSR:UPCL="1") にしてもシリアルタイムレジスタ (STMR) の値はクリアされません。

[bit6,bit5] 予約

本ビットには必ず "0" を設定してください。

[bit4] RIE : 受信割込み許可ビット

CPU への受信割込み要求出力を許可 / 禁止するビットです。

RIE ビットと受信データフラグビット (SSR:RDRF) が "1" の場合、または、エラーフラグビット (SSR:PE, ORE, FRE) のいずれかが "1" の場合、受信割込み要求を出力します。

RIE	受信割込み許可ビット
0	受信割込み禁止
1	受信割込み許可



[bit3] TIE : 送信割込み許可ビット

CPU への送信割込み要求出力を許可 / 禁止するビットです。

TIE ビットと SSR:TDRE ビットが "1" の場合, 送信割込み要求を出力します。

TIE	送信割込み許可ビット
0	送信割込み禁止
1	送信割込み許可

[bit2] TBIE : 送信バスアイドル割込み許可ビット

CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。

TBIE ビットと TBI ビットが "1" のとき, 送信バスアイドル割込み要求を出力します。

TBIE	送信バスアイドル割込み許可ビット
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit1] RXE : 受信動作許可ビット

UART の受信動作を許可 / 禁止します。

RXE	受信許可ビット
0	受信禁止
1	受信許可

- (注意事項) ・ 受信動作許可 (RXE="1") にしても, スタートビットの立下りエッジ (NRZ フォーマット (ESCR:INV="0") の場合) が入力されないと受信動作を開始しません。(反転 NRZ フォーマット (ESCR:INV="1") の場合は, 立上りエッジが入力されるまで受信動作を開始しません)
- ・ 受信中に受信動作を禁止 (RXE="0") した場合には, 直ちに受信動作を停止します。

[bit0] TXE : 送信動作許可ビット

UART の送信動作を許可 / 禁止します。

TXE	送信許可ビット
0	送信禁止
1	送信許可

- (注意事項) ・ 送信中に送信動作を禁止 (TXE="0") した場合には, 直ちに送信動作を停止します。

36.4.2.2 シリアルステータスレジスタ : SSR (Serial Status Register)

シリアルステータスレジスタ (SSR) は、送受信の状態の確認、受信エラーフラグの確認、また、受信エラーフラグをクリアします。

- **SSR: アドレス 1502_H, 1526_H, 154A_H, 156E_H, 1592_H(アクセス : バイト , ハーフワード , ワード)**

7	6	5	4	3	2	1	0	bit
REC	予約	PE	FRE	ORE	RDRF	TDRE	TBI	
0	0	0	0	0	0	1	1	初期値
R0,W	R0,W0	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit7] REC : 受信エラーフラグクリアビット

シリアルステータスレジスタ (SSR) の PE,FRE,ORE フラグをクリアするビットです。

- "1" 書込みで、エラーフラグがクリアされます。
- "0" 書込みは、影響ありません。

リード時は、常に "0" が読出されます。

REC	受信エラーフラグクリアビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	受信エラーフラグ (PE,FRE,ORE) のクリア	

[bit6] 予約

本ビットには必ず "0" を設定してください。

[bit5] PE : パリティエラーフラグビット (動作モード 0 のみ機能)

- **SMR : PEN="1"** で受信時にパリティエラーが発生した場合に "1" に設定され、REC ビットに "1" を書き込むとクリアされます。
- PE ビットと SCR:RIE ビットが "1" の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

PE	パリティエラーフラグ
0	パリティエラーなし
1	パリティエラーあり

[bit4]FRE : フレーミングエラーフラグビット

- 受信時にフレーミングエラーが発生した場合に "1" に設定され、REC ビットに "1" を書き込むとクリアされます。
- FRE ビットと SCR:RIE ビットが "1" の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。
- 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

FRE	フレーミングエラーフラグビット
0	フレーミングエラーなし
1	フレーミングエラーあり

[bit3] ORE : オーバーランエラーフラグビット

- ・受信時にオーバランが発生した場合に "1" に設定され、REC ビットに "1" を書き込むとクリアされます。
- ・ORE ビットと SCR:RIE ビットが "1" の場合、受信割込み要求を出力します。
- ・本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。
- ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

ORE	オーバランエラーフラグビット
0	オーバランエラーなし
1	オーバランエラーあり

[bit2] RDRF : 受信データフルフラグビット

- ・受信データレジスタ (RDR) の状態を示すフラグです。
- ・RDR に受信データがロードされると、"1" に設定され、受信データレジスタ (RDR) を読み出すと "0" にクリアされます。
- ・RDRF ビットと SCR:RIE ビットが "1" の場合、受信割込み要求を出力します。
- ・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" に設定されます。
- ・受信 FIFO 使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が "1" に設定されます。
 - ・受信 FIFO アイドル検出許可ビット (FCR1:FRIIE) が "1"
 - ・受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残ってる

8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。

- ・受信 FIFO 使用時は、受信 FIFO がエンプティになると "0" にクリアされます。

RDRF	受信データフルフラグビット
0	受信データレジスタ RDR がエンプティ
1	受信データレジスタ RDR にデータが存在する

[bit1] TDRE : 送信データエンプティフラグビット

- ・送信データレジスタ (TDR) の状態を示すフラグです。
- ・TDR に送信データを書き込むと、"0" となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり TDR に有効なデータが存在していないことを示します。
- ・TDRE ビットと SCR:TIE ビットが "1" の場合、送信割込み要求を出力します。
- ・シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TDRE ビットは "1" に設定されます。
- ・送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは、「36.5.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

TDRE	送信データエンプティフラグビット
0	送信データレジスタ TDR にデータが存在する
1	送信データレジスタ TDR がエンプティ

[bit0] TBI : 送信バスアイドルフラグビット

- ・ UART が送信動作をしていないことを示すビットです。
- ・ 送信データレジスタ (TDR) へ送信データを書き込んだ場合に本ビットは "0" に設定されます。
- ・ 送信データレジスタがエンプティ (TDRE="1") で , 送信動作をしていない場合に本ビットが "1" に設定されます。
- ・ シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットした場合 , TBI ビットは "1" に設定されます。
- ・ 本ビットが "1" で , 送信バスアイドル割込み許可 (SCR:TBIE="1") されていると送信割込み要求を出力します。

TBI	送信バスアイドルフラグビット
0	送信中
1	送信動作なし



36.4.2.3 拡張通信制御レジスタ : ESCR (Extended Serial Control Register)

拡張通信制御レジスタ (ESCR) は、送受信データ長の設定、パリティビットの許可 / 禁止、パリティビットの選択、シリアルデータフォーマットの反転、ストップビット長の選択の設定ができます。

- ESCR: アドレス 1503_H, 1527_H, 154B_H, 156F_H, 1593_H(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約	ESBL	INV	PEN	P	L[2:0]			
0	0	0	0	0	0	0	0	初期値
R/W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7] 予約

本ビットには必ず "0" を設定してください。

[bit6] ESBL : 拡張ストップビット長選択ビット

ストップビット (送信データのフレームエンドマーク) のビット長を設定します。

ESBL	拡張ストップビット長選択ビット	
0	SMR.SBL="0"	1 ビット
	SMR.SBL="1"	2 ビット
1	SMR.SBL="0"	3 ビット
	SMR.SBL="1"	4 ビット

- (注意事項) ・受信時は、常にストップビットの 1 ビット目だけを検出します。
・本ビットは送信が禁止 (SCR:TXE="0") のときに設定してください。

[bit5] INV : 反転シリアルデータフォーマットビット

シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。

INV	反転シリアルデータフォーマットビット
0	NRZ フォーマット
1	反転 NRZ フォーマット

[bit4]PEN : パリティ許可ビット (動作モード 0 のみ機能)

パリティビットの付加 (送信時) と検出 (受信時) を行うかどうかを設定します。

PEN	パリティ許可ビット
0	パリティ禁止
1	パリティ許可

- (注意事項) 動作モード 1 のときは、本ビットは内部で "0" に固定されます。

[bit3] P : パリティ選択ビット (動作モード 0 のみ機能)

パリティあり (PEN="1") に設定した場合に、奇数パリティ "1" か偶数パリティ "0" のいずれかに設定します。

P	パリティ選択ビット
0	偶数パリティ
1	奇数パリティ

[bit2 ～ bit0] L2,L1,L0 : データ長選択ビット

送受信データのデータ長を指定します。

L2	L1	L0	データ長選択ビット
0	0	0	8 ビット長
0	0	1	5 ビット長
0	1	0	6 ビット長
0	1	1	7 ビット長
1	0	0	9 ビット長

- (注意事項) ・ 上記以外の設定は禁止です。
・ 動作モード1では, データ長は7,8ビットに設定してください。その他の設定は禁止です。

36.4.2.4 送信データレジスタ・受信データレジスタ：

RDR/TDR (Receive Data Register / Transmit Data Register)

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。FIFO 動作許可の場合、RDR/TDR アドレスは FIFO 読出し、書込みアドレスとなります。

• RDR/TDR:

アドレス 1506_H, 152A_H, 154E_H, 1572_H, 1596_H(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約							D8	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,W	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

■ リード

受信データレジスタ (RDR) は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- データ長に応じ、以下のように上位ビットに "0" が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが、受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR: RDRF) が "1" に設定されます。受信割込みが許可されている場合 (SSR:RIE="1"), 受信割込み要求が発生します。
- 受信データレジスタ (RDR) は、受信データフルフラグビット (SSR:RDRF) が "1" の状態で読出ししてください。受信データフルフラグビット (SSR:RDRF) は、受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。
- 受信エラーが発生 (SSR:PE, ORE, FRE のいずれかが "1") した場合、受信データレジスタ (RDR) のデータは無効です。
- 動作モード 1 (マルチプロセッサモード) では、7 ビット、8 ビット長の動作となり、受信した AD ビットは、D8 ビットに格納されます。
- 9 ビット長転送、および動作モード 1 の場合 RDR の読出しは 16 ビットアクセスで行います。

(注意事項) ・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" に設定されます。

- 受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
- 受信 FIFO 使用時に、受信エラーが発生 (SSR:PE, ORE, FRE のいずれかが "1") した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。

■ ライト

送信データレジスタ (TDR) は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR:TXE="1"), 送信するデータを送信データレジスタ (TDR) に書き込むと、送信データが送信用シフトレジスタに転送されます。送信データはシリアルデータに変換されて、シリアルデータ出力端子 (SOT 端子) から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

- 送信データエンプティフラグ (SSR:TDRE) は、送信データが送信データレジスタ (TDR) に書き込まれると、"0" クリアされます。
- 送信データエンプティフラグ (SSR:TDRE) は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1" に設定されます。
- 送信データエンプティフラグ (SSR:TDRE) が "1" のとき、送信データを書き込みます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書き込みは、送信割込みの発生後または、送信データエンプティフラグ (SSR:TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR:TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データを書き込みません。
- 動作モード 1 (マルチプロセッサモード) では、7 ビット、8 ビット長の動作となり、AD ビットの送信は、D8 ビットへの書き込みにより行います。
- 9 ビット長転送、および動作モード 1 の場合 TDR への書き込みは 16 ビットアクセスで行ってください。

- (注意事項) ・送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため、書き込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは、「36.5.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

36.4.2.5 シリアル補助制御ステータスレジスタ : SACSR

シリアル補助制御ステータスレジスタ (SACSR) は、シリアルテスト動作の制御、シリアルタイマの起動方法の選択、タイマ割込みの許可 / 禁止、シリアルタイマの動作クロックの分周値、およびシリアルタイマの許可 / 禁止の設定ができます。

- **SACSR: アドレス 1508_H, 152C_H, 1550_H, 1574_H, 1598_H (アクセス: バイト, ハーフワード, ワード)**

15	14	13	12	11	10	9	8	bit
STST	予約						TINT	
0	0	0	0	0	0	0	0	初期値
R,W	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	R(RM1), W	属性
7	6	5	4	3	2	1	0	bit
TINTE	予約		TDIV3	TDIV2	TDIV1	TDIV0	TMRE	
0	0	0	0	0	0	0	0	初期値
R/W	RX,W0	RX,W0	R,W	R,W	R,W	R,W	R,W	属性

[bit15] STST : シリアルテストビット

シリアルテストモードの許可、または禁止を選択します。

シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され、SOUT から送信されるデータをそのまま SIN より受信できます。

シリアルテストモード許可時、端子 SOUT は "H" 固定となり、端子 SIN に入力されたデータは無視されます。

STST	シリアルテストビット
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

(注意事項) 本ビットは送受信禁止 (SCR:TXE="0",RXE="0") のときのみ変更可能です。

[bit14 ~ bit9] 予約

本ビットには必ず "0" を設定してください。

[bit8] TINT : タイマ割込みフラグ

シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致すると、シリアルタイマレジスタ (STMR) は "0" になり、本ビットは "1" に設定されます。

本ビットが "1" でタイマ割込み許可ビット (TINTE) が "1" のとき、ステータス割込み要求を出力します。

本ビットに "0" を書き込むと "0" にリセットされます。

本ビットへの "1" 書込みは無効です。

TINT	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

(注意事項) ・ソフトウェアリセット (SCR:UPCL="1") を行くと、本ビットは "0" にリセットされます。

・リードモディファイライト系命令のリードは "1" が読み出されます。

[bit7] TINTE : タイマ割込み許可ビット

CPU へのタイマ割込みの許可 / 禁止するビットです。

本ビットが "1" でタイマ割込みフラグ (TINT) が "1" の場合、ステータス割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6,bit5] 予約

本ビットには必ず "0" を設定してください。

[bit4 ~ bit1] TDIV3-0 : タイマ動作クロック分周ビット

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$	$\phi = 24\text{MHz}$	$\phi = 32\text{MHz}$
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	$\phi / 2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	$\phi / 4$	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	$\phi / 8$	1 μs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	$\phi / 16$	2 μs	1.6 μs	1 μs	800ns	666.67ns	500ns
0	1	0	1	$\phi / 32$	4 μs	3.2 μs	2 μs	1.6 μs	1.33 μs	1 μs
0	1	1	0	$\phi / 64$	8 μs	6.4 μs	4 μs	3.2 μs	2.67 μs	2 μs
0	1	1	1	$\phi / 128$	16 μs	12.8 μs	8 μs	6.4 μs	5.33 μs	4 μs
1	0	0	0	$\phi / 256$	32 μs	25.6 μs	16 μs	12.8 μs	10.67 μs	8 μs

ϕ : バスクロック

- (注意事項) ・ 本ビットはシリアルタイマ許可ビット (TMRE) が "0" のときのみ変更可能です。
・ 上記の設定以外は禁止です。

[bit0] TMRE : シリアルタイマ許可ビット

シリアルタイマの動作許可、または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時、シリアルタイマレジスタ (STMR) の値は保持
1	本ビットを "0" から "1" に変更した場合、シリアルタイマレジスタ (STMR) の値を "0" に初期化し、シリアルタイマの動作を開始

36.4.2.6 シリアルタイマレジスタ : STMR

シリアルタイマレジスタ (STMR) は、シリアルタイマのタイマ値を示します。

- STMR: アドレス 150A_H, 152E_H, 1552_H, 1576_H, 159A_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15 ~ bit0] TM15-0 : タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック (SACSR:TDIV3-0 で設定) ごとに 1 が加算されます。

(注意事項) タイマ動作開始時、本ビットは "0" に初期化されます。

36.4.2.7 シリアルタイマ比較レジスタ : STMCR

シリアルタイマ比較レジスタ (STMCR) は、シリアルタイマのタイマの比較値を設定します。

- STMCR: アドレス 150C_H, 1530_H, 1554_H, 1578_H, 159C_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ~ bit0] TC15-0 : コンペアビット

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ (STMR) と比較され、シリアルタイマレジスタ (STMR) が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致した場合シリアルタイマレジスタを "0" にします。そのとき、タイマ割込みフラグ (SACSR:INT) を "1" にします。

下記の動作が行われる間隔は (STMCR:TC+1) × タイマ動作クロック (SACSR:TDIV3-0 で設定) になります。

- SACSR:TINT が "1" に設定される。

- (注意事項)
- ・ 本レジスタに "0000" h を設定した場合、シリアルタイマレジスタは "0" のままです。
 - ・ 本レジスタに "0000" h が設定された状態で、タイマ動作中にタイマ動作クロックの分周値 (SACSR:TDIV) を "0000" b に設定した場合、タイマ割込みフラグ (SACSR:TINT) は "1" に固定されます。
 - ・ シリアルタイマ禁止 (SACSR:TMRE="0") のときのみ、本レジスタは変更可能です。

36.4.2.8 ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタ (BGR) は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

- BGR: アドレス 151C_H, 1540_H, 1564_H, 1588_H, 15AC_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
EXT	BGR[14:8]							
0	0	0	0	0	0	0	0	初期値
R/W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
BGR[7:0]								
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15] EXT (EXTErnal clock) : 外部クロック選択ビット

ボーレート生成用内部リロードカウンタに、内部クロックソースを使用するか、外部クロックソースを使用するかを選択します。EXT="0" に設定した場合、内部クロックを選択します。EXT="1" に設定した場合、外部クロックを選択します。

EXT	外部クロック選択ビット
0	内部クロックを使用
1	外部クロックを使用

[bit14 ~ bit0] BGR14 ~ BGR0 (Baud rate Generator) : ボーレートジェネレータビット

- シリアルクロックの分周比を設定します。
- カウントするリロード値の書込み、設定値の読出しが可能です。
- リロード値を書き込むとリロードカウンタはカウントを開始します。

- (注意事項) ・ボーレートジェネレータレジスタ (BGR) への書込みは、16 ビットアクセスで行ってください。
- ・ボーレートジェネレータレジスタ (BGR) の設定値を変更した場合、カウンタ値が "0000" h になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR の設定値を変更した後、プログラマブルクリア (UPCL) を実行してください。
 - ・リロード値が偶数の場合、受信シリアルクロックの "H" 幅と "L" 幅は "L" の方がバスクロック 1 サイクル分長くなります。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じです。
 - ・BGR へは、4 以上の値を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
 - ・ボーレートジェネレータ動作中に外部クロックの設定 (EXT="1") に変更する場合、ボーレートジェネレータ (BGR) に "0" を書き込み、プログラマブルクリア (UPCL) 実行後、外部クロック (EXT="1") に設定してください。

36.4.3 CSIO 時レジスタ

36.4.3.1 シリアル制御レジスタ : SCR (Serial Control Register)

シリアル制御レジスタ (SCR) は、送受信割込みの許可 / 禁止、送信アイドル割込みの許可 / 禁止、送受信動作の許可 / 禁止の設定を行います。また、SPI に接続するための設定、CSIO をリセットすることが可能です。

- **SCR: アドレス 1500_H, 1524_H, 1548_H, 156C_H, 1590_H (アクセス : バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	
0	0	0	0	0	0	0	0	初期値
R0,W	R/W	R,W	R/W	R/W	R/W	R/W	R/W	属性

[bit7] UPCL : プログラマブルクリアビット

CSIO の内部状態を初期化するビットです。

"1" を設定した場合 :

- CSIO を直接リセット (ソフトウェアリセット) します。ただし、レジスタの設定は保持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR レジスタの設定値をリロードし、再スタートします。
- すべての送受信およびステータス割込み要因 (SSR:TDRE, TBI, RDRF, ORE, TINT, CSE) は初期化されます。

"0" を設定した場合 : 動作に影響ありません。

リード時は、常に "0" が読み出されます。

UPCL	プログラマブルクリアビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	プログラマブルクリア	

- (注意事項) ・ 割込み禁止に設定した後に、プログラマブルクリアを実行してください。
- ・ FIFO 使用時は、FIFO 禁止 (FCR0:FE2, FE1="0") にしてからプログラマブルクリア (SSR:UPCL="1") を実行してください。
 - ・ プログラマブルクリアを実行 (SSR:UPCL="1") にしてもシリアルタイムレジスタ (STMR) の値はクリアされません。

[bit6] MS : マスタ / スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

MS	マスタ / スレーブ機能選択ビット
0	マスタモード
1	スレーブモード

- (注意事項) ・ スレーブモードを選択した場合、SMR:SCKE="0" であれば、外部クロックが直接入力されます。
- ・ 本ビットは、送受信が禁止 (TXE=RXE="0") のときに設定してください。
 - ・ MS ビット設定後に、受信許可 (RXE="1") に設定してください。

[bit5] SPI : SPI 対応ビット

本ビットは、SPI に対応した通信をさせるためのビットです。マスタモード (MS="0") でチップセレクト使用時、シリアルチップセレクト端子 0 の通信に使用されます。

SPI	SPI 対応ビット
0	ノーマル同期転送
1	SPI 対応

- (注意事項) ・本ビットは、送受信が禁止 (TXE=RXE="0") のときに設定してください。
- ・本ビットは下記のいずれかで使用されます。
 - ・チップセレクト端子禁止 (SCSCR:CSEN3-0="0000"b) の場合
 - ・スレーブモード (SCR:MS="1") の場合
 - ・チップセレクトのデータフォーマット禁止 (ESCR:CSFE="0") の場合
 - ・チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") でシリアルチップセレクト端子 0 がアクティブの場合

[bit4] RIE : 受信割込み許可ビット

CPU への受信割込み要求出力を許可 / 禁止するビットです。

RIE ビットと受信データフラグビット (SSR:RDRF) が "1" の場合、または、エラーフラグビット (SSR:ORE) が "1" の場合、受信割込み要求を出力します。

RIE	受信割込み許可ビット
0	受信割込み禁止
1	受信割込み許可

[bit3] TIE : 送信割込み許可ビット

CPU への送信割込み要求出力を許可 / 禁止するビットです。

TIE ビットと SSR:TDRE ビットが "1" の場合、送信割込み要求を出力します。

TIE	送信割込み許可ビット
0	送信割込み禁止
1	送信割込み許可

[bit2] TBIE : 送信バスアイドル割込み許可ビット

CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。

TBIE ビットと TBI ビットが "1" のとき、送信バスアイドル割込み要求を出力します。

TBIE	送信バスアイドル割込み許可ビット
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit1] RXE : 受信動作許可ビット

CSIO の受信動作を許可 / 禁止します。

RXE	受信許可ビット
0	受信禁止
1	受信許可

- (注意事項) ・受信中に受信動作を禁止 (RXE="0") した場合には、直ちに受信動作を停止します。
- ・MS ビットおよび SMR:SCINV ビット設定後に、受信許可 (RXE="1") に設定してください。

[bit0] TXE : 送信動作許可ビット

CSIO の送信動作を許可 / 禁止します。

TXE	送信許可ビット
0	送信禁止
1	送信許可

(注意事項) ・ 送信中に送信動作を禁止 (TXE="0") した場合には , 直ちに送信動作を停止します。

36.4.3.2 シリアルステータスレジスタ : SSR (Serial Status Register)

シリアルステータスレジスタ (SSR) は、送受信の状態の確認、受信エラーフラグの確認、また、受信エラーフラグをクリアします。

- **SSR: アドレス 1502_H, 1526_H, 154A_H, 156E_H, 1592_H (アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
REC	予約		AWC	ORE	RDRF	TDRE	TBI	
0	0	0	0	0	0	1	1	初期値
R0,W	R0,W0	R/W0	R/W	R,WX	R,WX	R,WX	R,WX	属性

[bit7] REC : 受信エラーフラグクリアビット

シリアルステータスレジスタ (SSR) の ORE フラグをクリアするビットです。

- "1" 書込みで、エラーフラグがクリアされます。
- "0" 書込みは、影響ありません。

リード時は、常に "0" が読出されます。

REC	受信エラーフラグクリアビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	受信エラーフラグ (ORE) のクリア	

[bit6, bit5] 予約

本ビットには必ず "0" を設定してください。

[bit4] AWC : アクセス幅制御ビット

送信データレジスタ (TDR) と受信データレジスタ (RDR) へのアクセス時に 16 または 32 ビットアクセスを行うか選択するビットです。

AWC	アクセス幅制御ビット
0	16 ビットアクセス
1	32 ビットアクセス

(注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") で TDR と RDR が空 (SSR:TDRE="1", SSR:RDRF="0") のときに変更してください。

- ・送信 FIFO 未使用時に DMA 転送を行う場合、本ビットを "1" に設定してください。
- ・データ長が 20, 24, 32 ビットの場合は、本ビットを "1" に設定してください。
- ・スレーブモードで SPI モードを使用する場合は、本ビットを "1" に設定してください。

[bit3] ORE : オーバランエラーフラグビット

・受信時にオーバランが発生した場合に "1" に設定され、REC ビットに "1" を書き込むとクリアされます。

- ・ORE ビットと SCR:RIE ビットが "1" の場合、受信割込み要求を出力します。
- ・本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。
- ・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

ORE	オーバランエラーフラグビット
0	オーバランエラーなし
1	オーバランエラーあり

[bit2] RDRF : 受信データフルフラグビット

- ・受信データレジスタ (RDR) の状態を示すフラグです。
- ・RDR に受信データがロードされると, "1" に設定され, 受信データレジスタ (RDR) を読み出すと "0" にクリアされます。
- ・RDRF ビットと SCR:RIE ビットが "1" の場合, 受信割込み要求を出力します。
- ・受信 FIFO 使用時は, 受信 FIFO に所定のデータ数を受信したら RDRF が "1" に設定されます。
- ・受信 FIFO 使用時に, 以下の条件が両方満たされる場合, 受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合, RDRF が "1" に設定されます。
 - ・受信 FIFO アイドル検出許可ビット (FCR1:FRIIE) が "1"
 - ・受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残ってる

8 クロックカウント中, RDR を読み出すとそのカウンタは 0 にリセットされ, 再度 8 クロックをカウントします。

- ・受信 FIFO 使用時は, 受信 FIFO がエンプティになると "0" にクリアされます。

RDRF	受信データフルフラグビット
0	受信データレジスタ RDR がエンプティ
1	受信データレジスタ RDR にデータが存在する

[bit1] TDRE : 送信データエンプティフラグビット

- ・送信データレジスタ (TDR) の状態を示すフラグです。
- ・TDR に送信データを書き込むと, "0" となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり TDR に有効なデータが存在していないことを示します。
- ・TDRE ビットと SCR:TIE ビットが "1" の場合, 送信割込み要求を出力します。
- ・シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TDRE ビットは "1" に設定されます。
- ・送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは, 「36.6.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

TDRE	送信データエンプティフラグビット
0	送信データレジスタ TDR にデータが存在する
1	送信データレジスタ TDR がエンプティ

[bit0] TBI : 送信バスアイドルフラグビット

- ・ CSIO が送信動作をしていないことを示すビットです。
- ・ 送信データレジスタ (TDR) へ送信データを書き込んだ場合に本ビットは "0" に設定されます。
- ・ 送信データレジスタがエンプティ (TDRE="1") で、送信動作をしていない場合に本ビットが "1" に設定されます。
- ・ シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットした場合、TBI ビットは "1" に設定されます。
- ・ 本ビットが "1" で、送信バスアイドル割込み許可 (SCR:TBIE="1") されていると送信割込み要求を出力します。

TBI	送信バスアイドルフラグビット
0	送信中
1	送信動作なし

(注意事項) 送信データレジスタ (TDR) がエンプティ (TDRE="1") で、シリアルチップセレクトエラー (SACSR:CSE="1") が発生した場合に本ビットは "1" になります。

36.4.3.3 拡張通信制御レジスタ : ESCR (Extended Serial Control Register)

拡張通信制御レジスタ (ESCR) は、送受信データ長の設定、シリアル出力を "H" 固定の設定ができません。

- ESCR: アドレス 1503_H, 1527_H, 154B_H, 156F_H, 1593_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
SOP	L[3]	CSFE	WT[1:0]		L[2:0]			
0	0	0	0	0	0	0	0	初期値
R0,W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7] SOP : シリアル出力端子セットビット

シリアル出力端子 (SOT) を "H" に設定するビットです。

本ビットに "1" を書いたときに SOT 端子を "H" にしますが、その後、本ビットに "0" を書く必要はありません。

リードした場合、常に "0" が読み出されます。

SOP	シリアル出力端子セットビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	SOT 端子を "H" に設定	

(注意事項) シリアルデータ送信中に、本ビットの設定はしないでください。

[bit5] CSFE : シリアルチップセレクトフォーマット許可ビット

シリアルチップセレクト端子ごとのフォーマット設定を許可、または禁止します。

本ビットに "1" が設定されているとき、シリアルチップセレクト端子ごとに以下の設定を行います。

- ・シリアルチップセレクトのインアクティブレベル
- ・シリアルクロックのマークレベル
- ・SPI 転送 / ノーマル転送の選択
- ・シリアルデータの転送方向
- ・シリアルデータのデータ長

CSFE	シリアルチップセレクトフォーマット許可ビット
0	すべてのシリアルチップセレクト端子で同一のデータフォーマットおよびクロックフォーマットを設定
1	シリアルチップセレクト端子ごとにデータフォーマットおよびクロックフォーマットを設定

(注意事項) ・本ビットの設定は下記のいずれかの場合、無効です。

- ・チップセレクト端子禁止 (SCSCR: CSEN3-0="0000"b) の場合
- ・スレーブモード (SCR: MS="1") の場合
- ・本ビットに "1" を設定する場合、以下の設定をしてください。
 - ・受信 FIFO 許可
 - ・ホールドディレイを 2 以上に設定 (SCSTR0 レジスタの CSHD7-0 ビットを 2 以上に設定)
 - ・複数のスレーブデバイスと通信を行う場合、各シリアルチップセレクトのデータ長を 9 ビット以下、または 10 ビット以上に設定
 - ・シリアルチップセレクトごとに 9 ビット以下、10 ビット以上を設定することは禁止 (禁止例)
 - シリアルチップセレクト 0 = 9 ビット
 - シリアルチップセレクト 1 = 10 ビット
 - (可能例)
 - シリアルチップセレクト 0 = 16 ビット
 - シリアルチップセレクト 1 = 10 ビット

[bit4,bit3] WT1,WT0 : データ送受信ウェイト選択ビット

マスタ時, 連続データの送信または受信に対し, ウェイト数を指定します。スレーブ時は "00" の動作になります。

WT1	WT0	データ送受信ウェイト選択ビット
0	0	0 ビット
0	1	1 ビット
1	0	2 ビット
1	1	3 ビット

(注意事項) ・以下のすべての条件が揃う状態で使用する場合、WT1,WT0 は "00" に設定してください。

- ・チップセレクトを使用
- ・SPI モード (SCR:SPI=1) を使用
- ・TBYTE レジスタに "01"H を設定
- ・SCSCR レジスタの SCAM ビットに "1" を設定

[bit6,bit2 ~ bit0] L3,L2,L1,L0 : データ長選択ビット

送受信データのデータ長を指定します。マスタモード (SCR:MS="0") でチップセレクト使用時, シリアルチップセレクト端子 0 の通信に使用されます。

L3	L2	L1	L0	データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長
1	1	0	0	20 ビット長
1	1	0	1	24 ビット長
1	1	1	0	32 ビット長

(注意事項) ・上記設定以外は禁止です。

- ・本ビットは下記のいずれかで使用されます。
 - ・チップセレクト端子禁止 (SCSCR:CSEN3-0="0000"b) の場合
 - ・スレーブモード (SCR:MS="1") の場合
 - ・チップセレクトのデータフォーマット禁止 (ESCR:CSFE="0") の場合
 - ・チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") でシリアルチップセレクト端子 0 がアクティブの場合

36.4.3.4 送信データレジスタ・受信データレジスタ : RDR/TDR (Receive Data Register / Transmit Data Register)

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。

• RDR/TDR:

アドレス 1504_H, 1528_H, 154C_H, 1570_H, 1594_H (アクセス : ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
D31	D30	D29	D28	D27	D26	D25	D24	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
23	22	21	20	19	18	17	16	bit
D23	D22	D21	D20	D19	D18	D17	D16	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
15	14	13	12	11	10	9	8	bit
D15	D14	D13	D12	D11	D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

■ リード

受信データレジスタ (RDR) は、シリアルデータ受信用の 32 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
データ長に応じ、下位ビットから受信データが格納され、それ以外のビットは "0" に設定されます。
例 : データ長が 8 ビットで "45" _h を受信した場合 D7-D0="45" _h, D31-D8=0
- 受信データが、受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR:RDRF) が "1" に設定されます。受信割込みが許可されている場合 (SSR:RIE="1"), 受信割込み要求が発生します。
- 受信データレジスタ (RDR) は、受信データフルフラグビット (SSR:RDRF) が "1" の状態で読出ししてください。受信データフルフラグビット (SSR:RDRF) は、受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。
- 受信エラーが発生した場合 (SSR:ORE="1"), 受信データレジスタ (RDR) のデータは無効です。
- RDR の読出しを行う場合、以下のようにアクセスしてください。
 - SSR:AWC="0" の場合、RDR の下位 16 ビットに対して 16 ビットアクセス
 - SSR:AWC="1" の場合、32 ビットアクセス
- SSR:AWC="1" はすべてのデータ長で読出し回数は 1 回です。
- SSR:AWC="0" でデータ長が 5 ～ 16 ビットの場合、読出し回数は 1 回です。



- (注意事項) ・ 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信したら RDRF が "1" に設定されます。
- ・ 受信 FIFO 使用時は , 受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
 - ・ 受信 FIFO 使用時に , 受信エラーが発生した場合 (SSR:ORE="1"), 受信 FIFO の許可ビットはクリアされ , 受信データは受信 FIFO に格納しません。
 - ・ AWC="0" のとき ,D31-D16 の読出し値は不定です。

■ ライト

送信データレジスタ (TDR) は、シリアルデータ送信用の 32 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR:TXE="1"), 送信するデータを送信データレジスタ (TDR) に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子 (SOT 端子) から送出されます。
- データ長に応じ、下位ビットから送信データが格納され、それ以外のビットは "無効" となります。
例: データ長が 8 ビットで "45"h を送信する場合 D7-D0="45"h, D31-D8 は無効。
- 送信データエンプティフラグ (SSR:TDRE) は、送信データが送信データレジスタ (TDR) に書き込まれると、"0" クリアされます。
- 送信データエンプティフラグ (SSR:TDRE) は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1" に設定されます。
- 送信データエンプティフラグ (SSR:TDRE) が "1" の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書き込みは、送信割込みの発生後または、送信データエンプティフラグ (SSR:TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR:TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ (TDR) に送信データを書き込むことはできません。
- TDR への書き込みを行う場合、以下のようにアクセスしてください。
 - SSR:AWC="0" の場合、TDR の下記 16 ビットに対して 16 ビットアクセス
 - SSR:AWC="1" の場合、32 ビットアクセス
- SSR:AWC="1" はすべてのデータ長で書き込み回数は 1 回です。
- SSR:AWC="0" でデータ長が 5-16 ビットの場合、書き込み回数は 1 回です。

- (注意事項) ・ 送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため書き込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは、「36.6.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

• 送信データレジスタ (TDR) と送信データエンプティフラグの関係

16 ビットアクセス (SSR:AWC="0") の場合, TDR レジスタは 16 ビット境界になり, 1 回の書込みで 16 ビットずつ, 送信データが格納されます。また, TDR レジスタに 32 ビットの送信データがある場合, 送信データエンプティフラグ (SSR:TDRE) は "0" になります。

32 ビットアクセス (SSR:AWC="1") の場合, TDR レジスタは 32 ビット境界になり, 1 回の書込みで 32 ビットずつ, 送信データが格納されます。

表 36.4-3 送信データレジスタ (TDR) と送信データエンプティフラグの関係

データアクセス幅	データ長	TDR レジスタ 格納データ数	TBI フラグ	TDRE フラグ	送信
16 ビットアクセス (SSR:AWC="0")	5-16 ビット	0 ビット	1	1	送信不可
		16 ビット	0	0	送信可能
		32 ビット			
	20,24,32 ビット	0 ビット	1	1	送信不可
		16 ビット	0	0	送信可能
		32 ビット			
32 ビットアクセス (SSR:AWC="1")	全データ長	0 ビット	1	1	送信不可
		32 ビット	0	0	送信可能

36.4.3.5 シリアル補助制御ステータスレジスタ : SACSR

シリアル補助制御ステータスレジスタ (SACSR) は、シリアルテスト動作の制御、シリアルタイマの起動方法の選択、タイマ割込みの許可 / 禁止、同期送信の許可 / 禁止、シリアルタイマの動作クロックの分周値、およびシリアルタイマの許可 / 禁止の設定ができます。

- **SACSR: アドレス 1508_H, 152C_H, 1550_H, 1574_H, 1598_H (アクセス: バイト, ハーフワード, ワード)**

15	14	13	12	11	10	9	8	bit
STST	予約	TBEEN	CSEIE	CSE	予約		TINT	
0	0	0	0	0	0	0	0	初期値
R,W	RX,W0	R/W	R/W	R(RM1), W	RX,W0	RX,W0	R(RM1), W	属性
7	6	5	4	3	2	1	0	bit
TINTE	TSYNE	予約	TDIV3	TDIV2	TDIV1	TDIV0	TMRE	
0	0	0	0	0	0	0	0	初期値
R/W	R,W	RX,W0	R,W	R,W	R,W	R,W	R/W	属性

[bit15] STST : シリアルテストビット

シリアルテストモードの許可、または禁止を選択します。

シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信できます。

シリアルテストモード許可時、端子 SOT は "H" 固定となり、端子 SIN に入力されたデータは無視されます。

STST	シリアルテストビット
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

[bit14] 予約

本ビットには必ず "0" を設定してください。

[bit13] TBEEN : 転送バイトエラー許可ビット

マスタモード時 (SCR:MS="0") に以下のいずれかの場合に、TBYTE の設定値より少ないフレーム数しか送信していないときに 1 フレーム送信が完了した時点で送信データレジスタ (TDR) に有効な送信データがない (SSR:TDRE="1") 場合、シリアルチップセレクトエラーの発生の有無を選択します。

- ・チップセレクト使用時
- ・シリアルタイマの同期送信使用時

TBEEN	転送バイトエラー許可ビット
0	マスタモード (SCR:MS="0") 時のチップセレクトエラーの発生を禁止
1	マスタモード (SCR:MS="0") 時のチップセレクトエラーの発生を許可

(注意事項) 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。

[bit12] CSEIE : チップセレクトエラー割込み許可ビット

チップセレクトエラー割込み要求出力を許可 / 禁止するビットです。

CSEIE ビットとチップセレクトエラーフラグビット (CSE) が "1" の場合、送信割込み要求を出力します。

CSEIE	チップセレクトエラー割込み許可ビット
0	チップセレクトエラー割込み禁止
1	チップセレクトエラー割込み許可

[bit11] CSE : チップセレクトエラーフラグビット

転送バイトエラー許可 (TBEEN="1") でマスタモード時 (SCR:MS="0") に以下のいずれかの場合に、TBYTE の設定値より少ないフレーム数しか送信していないときに 1 フレーム送信が完了した時点で送信データレジスタ (TDR) に有効な送信データがない (SSR:TDRE="1") 場合、本ビットは "1" に設定されます。

- ・チップセレクト使用時
- ・シリアルタイマによる同期送信使用時

スレーブモード (SCR:MS="1") 時、送信動作中 (SSR:TBI=0) にシリアルチップセレクト端子がインアクティブになった場合、本ビットは "1" に設定されます。

本ビットが "1" でチップセレクトエラー割込み許可ビット (CSEIE) が "1" のとき、送信割込み要求を出力します。

本ビットに "0" を書き込むと "0" にリセットされます。

本ビットへの "1" 書き込みは無効です。

CSE	チップセレクトエラーフラグビット
0	チップセレクトエラーなし
1	チップセレクトエラーあり

- (注意事項) ・ソフトウェアリセット (SCR:UPCL="1") を行くと、本ビットは "0" にリセットされます。
- ・リードモディファイライト系命令のリードは "1" が読み出されます。
 - ・スレーブモード (SCR:MS="1") でシリアルチップセレクト未使用 (SCSCR:CSEN0="0") 時、本ビットは "1" に設定されません。
 - ・チップセレクトエラー発生 (CSE="1") 時、送信を禁止 (SCR:TXE="0") に設定後、本ビットに "0" を書き込んでください。送信を再開させる場合は、本ビットに "0" を書き込み後、送信許可 (SCR:TXE="1") および送信データバッファ (TDR) へ送信データの書き込みを行ってください。
 - ・スレーブ送信時にシリアルチップセレクト入力に 1 バスクロック以上のノイズが発生した場合、本ビットが "1" に設定される場合があります。その場合は、マスタの転送終了後に送信を再開させてください。

[bit10, bit9] 予約

本ビットには必ず "0" を設定してください。

[bit8] TINT : タイマ割込みフラグ

シリアルタイマレジスタ (STMCR) とシリアルタイマ比較レジスタ (STMCR) が一致すると、シリアルタイマレジスタ (STMCR) は "0" になり、本ビットは "1" に設定されます。

本ビットが "1" でタイマ割込み許可ビット (TINTE) が "1" のとき、ステータス割込み要求を出力します。

本ビットに "0" を書き込むと "0" にリセットされます。

本ビットへの "1" 書き込みは無効です。

TINT	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

- (注意事項) ・ソフトウェアリセット (SCR:UPCL="1") を行くと、本ビットは "0" にリセットされます。
- ・リードモディファイライト系命令のリードは "1" が読み出されます。
 - ・同期送信許可ビット (TSYNE) が "1" のとき、本ビットは "1" に設定されません。

[bit7] TINTE : タイマ割込み許可ビット

CPU へのタイマ割込みの許可 / 禁止するビットです。

本ビットが "1" でタイマ割込みフラグ (TINT) が "1" の場合、ステータス割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6] TSYNE : 同期送信許可ビット

同期送信を許可、または禁止を選択します。

本ビットが "1" の場合、シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致すると、送信が起動されます。

TSYNE	説明
0	同期送信を禁止 シリアルタイマはタイマとして使用されます。
1	同期送信を許可 シリアルタイマはタイマとして使用されません。

- (注意事項) ・ 本ビットはシリアルタイマ許可ビット (TMRE) が "0" のときのみ変更可能です。
- ・ 同期送信許可時 (TSYNE="1") で送信が禁止時 (SCR:TXE="0"), シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致しても送信は起動されません。
 - ・ スレーブモード時 (SCR:MS="1"), 本ビットは内部で "0" に固定されます。

[bit5] 予約

リードした場合 : 読出し値は "0" です。

ライトした場合 : 常に "0" を書き込んでください

[bit4 ~ bit1] TDIV3-0 : タイマ動作クロック分周ビット

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$	$\phi = 24\text{MHz}$	$\phi = 32\text{MHz}$
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	$\phi / 2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	$\phi / 4$	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	$\phi / 8$	1 μs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	$\phi / 16$	2 μs	1.6 μs	1 μs	800ns	666.67ns	500ns
0	1	0	1	$\phi / 32$	4 μs	3.2 μs	2 μs	1.6 μs	1.33 μs	1 μs
0	1	1	0	$\phi / 64$	8 μs	6.4 μs	4 μs	3.2 μs	2.67 μs	2 μs
0	1	1	1	$\phi / 128$	16 μs	12.8 μs	8 μs	6.4 μs	5.33 μs	4 μs
1	0	0	0	$\phi / 256$	32 μs	25.6 μs	16 μs	12.8 μs	10.67 μs	8 μs

ϕ : バスクロック

- (注意事項) ・ 本ビットはシリアルタイマ許可ビット (TMRE) が "0" のときのみ変更可能です。
- ・ 上記の設定以外は禁止です。

[bit0] TMRE : シリアルタイマ許可ビット

シリアルタイマの動作許可，または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時，シリアルタイマレジスタ (STMR) の値は保持
1	本ビットを "0" から "1" に変更した場合，シリアルタイマ レジスタ (STMR) の値を "0" に初期化し，シリアルタイマ の動作を開始

(注意事項) ・ シリアルタイマによる同期送信を行う場合，本ビットは下記の条件の何れかのときに変更してください。

- ・ 送信禁止 (SCR:TXE="0") 時
- ・ 送信バスアイドル (SSR:TBI="1") 時

36.4.3.6 シリアルタイマレジスタ : STMR

シリアルタイマレジスタ (STMR) は、シリアルタイマのタイマ値を示します。

- STMR: アドレス 150A_H, 152E_H, 1552_H, 1576_H, 159A_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15 ~ bit0] TM15-0 : タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック (SACSR:TDIV3-0 で設定) ごとに 1 が加算されます。

(注意事項) タイマ動作開始時、本ビットは "0" に初期化されます。

36.4.3.7 シリアルタイマ比較レジスタ : STMCR

シリアルタイマ比較レジスタ (STMCR) は、シリアルタイマのタイマの比較値を設定します。

- STMCR: アドレス 150C_H, 1530_H, 1554_H, 1578_H, 159C_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ~ bit0] TC15-0 : コンペアビット

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ (STMR) と比較され、シリアルタイマレジスタ (STMR) が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致した場合シリアルタイマレジスタを "0" にします。そのとき、同期送信禁止 (SACSR:TSYNE="0") の場合はタイマ割込みフラグ (SACSR:TINT) を "1" にし、同期送信許可 (SACSR:TSYNE="1") の場合は送信を起動します。

下記の動作が行われる間隔は、(STMCR:TC-1) × タイマ動作クロック (SACSR:TDIV3-0で設定) です。

- ・ SACSR:TINIT が "1" に設定されている
- ・ シリアルタイマに同期した送信で送信起動が行われる

- (注意事項) ・ 本レジスタに "0000" h を設定した場合、シリアルタイマレジスタは "0" のままです。
- ・ 同期送信禁止 (SACSR:TSYNE="0") で本レジスタに "0000" h が設定された状態で、タイマ動作中にタイマ動作クロックの分周値 (SACSR:TDIV) を "0000" b に設定した場合、タイマ割込みフラグ (SACSR:TINT) は "1" に固定されます。
 - ・ シリアルタイマ禁止 (SACSR:TMRE="0") のときのみ、本レジスタは変更可能です。

36.4.3.8 シリアルチップセレクト制御ステータスレジスタ : SCSCR

シリアルチップセレクト制御ステータスレジスタ (SCSCR) は、シリアルチップセレクトの開始端子および終了端子の選択、シリアルチップセレクトの出力端子の表示、シリアルチップセレクトのアクティブレベルの保持、シリアルチップセレクトの反転、シリアルチップセレクト端子の出力許可 / 禁止の設定を行います。

• SCSCR1-3: アドレス 1532_H, 1556_H, 157A_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約						SCAM	CDIV2	
0	0	0	0	0	0	0	0	初期値
RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	R/W	R,W	属性
7	6	5	4	3	2	1	0	bit
CDIV1	CDIV0	CSLVL	予約			CSEN	CSEO	
0	0	1	0	0	0	0	0	初期値
R,W	R,W	R,W	RX,W0	RX,W0	RX,W0	R,W	R,W	属性

[bit15-bit10] 予約

本ビットには必ず "0" を設定してください。

[bit9] SCAM : シリアルチップセレクトアクティブ保持ビット

シリアルチップセレクト端子のアクティブ状態の保持、または非保持を選択します。

本ビットが "1" に設定されている場合、シリアルチップセレクト端子がアクティブになった後に送信動作を終了 (SSR:TBI="1") してもシリアルチップセレクト端子はインアクティブになりません。

シリアルチップセレクト端子がアクティブで本ビットが "1" のときに本ビットに "0" に設定した場合、送信終了後にシリアルチップセレクト端子はインアクティブになります。

SCAM	シリアルチップセレクトアクティブ保持ビット
0	シリアルチップセレクト端子のアクティブ状態を非保持
1	シリアルチップセレクト端子のアクティブ状態を保持

- (注意事項) ・送信禁止 (SCR:TXE="0") およびソフトウェアリセット (SCR:UPCL="1") の場合、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。
- ・シリアルチップエラー発生 (SACSR:CSE="1") 時、本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。
 - ・以下のすべての条件が揃う状態で使用する場合、本ビットには "0" を設定してください。
 - ・マスタモード (SCR:MS=0) を使用
 - ・チップセレクトを使用
 - ・SPI モード (SCR:SPI=1) を使用
 - ・TBYTE レジスタに "01"H を設定
 - ・ESCR レジスタの WT1,WT0 ビットに "00" 以外の値を設定

[bit8 ~ bit6] CDIV3-0 : シリアルチップセレクトタイミング動作クロック分周ビット

シリアルチップセレクトタイミング動作クロックの分周比を設定します。

CDIV2	CDIV1	CDIV0	シリアルチップセレクトタイミング動作クロック						
			分周比	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$	$\phi = 24\text{MHz}$	$\phi = 32\text{MHz}$
0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	1	$\phi / 2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	1	0	$\phi / 4$	500ns	400ns	250ns	200ns	166.67ns	125ns
0	1	1	$\phi / 8$	1 μs	800ns	500ns	400ns	333.33ns	250ns
1	0	0	$\phi / 16$	2 μs	1.6 μs	1 μs	800ns	666.67ns	500ns

CDIV2	CDIV1	CDIV0	シリアルチップセレクトタイミング動作クロック						
			分周比	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$	$\phi = 24\text{MHz}$	$\phi = 32\text{MHz}$
1	0	1	$\phi / 32$	4 μs	3.2 μs	2 μs	1.6 μs	1.33 μs	1 μs
1	1	0	$\phi / 64$	8 μs	6.4 μs	4 μs	3.2 μs	2.67 μs	2 μs

ϕ : バスクロック

- (注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
 ・ スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 ・ 上記の設定以外は禁止です。

[bit5] CSLVL : シリアルチップセレクトレベル設定ビット

シリアルチップセレクト端子のインアクティブ時のレベルを "H", または "L" に選択します。
 本ビットはチップセレクト端子 0 の通信で使用されます。

CSLVL	シリアルチップセレクトレベル設定ビット
0	インアクティブレベルを "L"
1	インアクティブレベルを "H"

- (注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
 ・ 本ビットの設定は下記の何れかので使用します。
 ・ スレーブモード (SCR:MS="1") 時
 ・ チップセレクトのデータフォーマット禁止 (ESCR:CSFE="0") 時
 ・ チップセレクトのデータフォーマット許可 (ESCR:CSFE="1"), シリアルチップセレクト端子 0 がアクティブのとき

[bit4-bit2] 予約

必ず "0" を書き込んでください。

[bit1] CSEN: シリアルチップセレクト許可ビット

シリアルチップセレクト端子の許可, または禁止を選択します。

CSEN	シリアルチップセレクト許可ビット
0	シリアルチップセレクト端子の動作を禁止
1	シリアルチップセレクト端子の動作を許可

- (注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
 ・ マスタモード (SCR:MS="0") 時、CSEN を "0" に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。
 ・ スレーブモード (SCR:MS="1") 時、CSEN を "0" に設定した場合、シリアルチップセレクト端子に依存しないで送受信動作を行います。

[bit0] CSOE : シリアルチップセレクト出力許可ビット

シリアルチップセレクト端子の出力を許可または禁止に設定します。

CSOE	シリアルチップセレクト出力許可ビット
0	シリアルチップセレクト端子の出力を禁止
1	シリアルチップセレクト端子の出力を許可

- (注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
 ・ スレーブモード (SCR:MS="1") 時、本ビットは "0" に設定してください。

• SCSCR4: アドレス 159E_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
SST1	SST0	SED1	SED0	SCD1	SCD0	SCAM	CDIV2	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,WX	R,WX	R/W	R,W	属性
7	6	5	4	3	2	1	0	bit
CDIV1	CDIV0	CSLVL	CSEN3	CSEN2	CSEN1	CSEN0	CSOE	
0	0	1	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15-bit14] SST1-0 : シリアルチップセレクト開始ビット

シリアルチップセレクトが開始する端子を選択します。

送信禁止 (SCR:TXE="0") から送信許可 (SCR:TXE="1") にした場合, 本ビットで設定したシリアルチップセレクト端子からアクティブになります

SST1	SST0	開始端子
0	0	SCS0
0	1	SCS1
1	0	SCS2
1	1	SCS3

(注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。

- ・シリアルチップセレクト開始ビット (ST1,SST0) とシリアルチップセレクト終了ビット (SED1,SED0) に同じ値を設定した場合, 設定されたシリアルチップセレクト端子のみアクティブになります。
- ・スレーブモード (SCR:MS="1") 時, 本ビットの設定は無効です。
- ・シリアルチップセレクト許可 (CSEN="1") されているシリアルチップセレクト端子のみアクティブになります。

[bit13-bit12] SED1-0 : シリアルチップセレクト終了ビット

シリアルチップセレクトが終了する端子を選択します。

本ビットで設定したシリアルチップセレクト端子までアクティブになると, 次にアクティブになるシリアルチップセレクト端子はシリアルチップセレクト開始ビット (SST1,SST0) で指定した端子になります。

SED1	SED0	終了端子
0	0	SCS0
0	1	SCS1
1	0	SCS2
1	1	SCS3

(注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。

- ・シリアルチップセレクト開始ビット (ST1,SST0) とシリアルチップセレクト終了ビット (SED1,SED0) に同じ値を設定した場合, 設定されたシリアルチップセレクト端子のみアクティブになります。
- ・スレーブモード (SCR:MS="1") 時, 本ビットの設定は無効です。
- ・シリアルチップセレクト許可 (CSEN="1") されているシリアルチップセレクト端子のみアクティブになります。



[bit11,bit10] SCD1-0 : シリアルチップセレクト表示ビット

シリアルチップセレクト端子がアクティブになっている端子を表示します。

SCD1	SCD0	表示端子
0	0	SCS0
0	1	SCS1
1	0	SCS2
1	1	SCS3

- (注意事項) ・ シリアルチップセレクト端子がインアクティブの場合は次にアクティブになるシリアルチップセレクト端子を表示します。
・ 本ビットはスレーブモード (SCR:MS="1"), ソフトウェアリセット (SCR:UPCL="1"), または送信禁止 (SCR:TXE="0") 時は "00"b です。

[bit9] SCAM : シリアルチップセレクトアクティブ保持ビット

シリアルチップセレクト端子のアクティブ状態の保持, または非保持を選択します。

本ビットが "1" に設定されている場合, シリアルチップセレクト端子がアクティブになった後に送信動作を終了 (SSR:TBI="1") してもシリアルチップセレクト端子はインアクティブになりません。

シリアルチップセレクト端子がアクティブで本ビットが "1" のときに本ビットに "0" に設定した場合, 送信終了後にシリアルチップセレクト端子はインアクティブになります。

SCAM	シリアルチップセレクトアクティブ保持ビット
0	シリアルチップセレクト端子のアクティブ状態を非保持
1	シリアルチップセレクト端子のアクティブ状態を保持

- (注意事項) ・ 送信禁止 (SCR:TXE="0") およびソフトウェアリセット (SCR:UPCL="1") の場合, 本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。
・ シリアルチップエラー発生 (SACSR:CSE="1") 時, 本ビットの値に関係なくシリアルチップセレクト端子はインアクティブになります。

[bit8 ~ bit6] CDIV3-0 : シリアルチップセレクトタイミング動作クロック分周ビット

シリアルチップセレクトタイミング動作クロックの分周比を設定します。

CDIV2	CDIV1	CDIV0	シリアルチップセレクトタイミング動作クロック						
			分周比	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$	$\phi = 24\text{MHz}$	$\phi = 32\text{MHz}$
0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	1	$\phi / 2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	1	0	$\phi / 4$	500ns	400ns	250ns	200ns	166.67ns	125ns
0	1	1	$\phi / 8$	1 μs	800ns	500ns	400ns	333.33ns	250ns
1	0	0	$\phi / 16$	2 μs	1.6 μs	1 μs	800ns	666.67ns	500ns
1	0	1	$\phi / 32$	4 μs	3.2 μs	2 μs	1.6 μs	1.33 μs	1 μs
1	1	0	$\phi / 64$	8 μs	6.4 μs	4 μs	3.2 μs	2.67 μs	2 μs

ϕ : バスクロック

- (注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
・ スレーブモード (SCR:MS="1") 時, 本ビットの設定は無効です。
・ 上記の設定以外は禁止です。

[bit5] CSLVL : シリアルチップセレクトレベル設定ビット

シリアルチップセレクト端子のインアクティブ時のレベルを "H", または "L" に選択します。

本ビットはチップセレクト端子の通信で使用されます。

CSLVL	シリアルチップセレクトレベル設定ビット
0	インアクティブレベルを "L"
1	インアクティブレベルを "H"

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・本ビットの設定は下記の何れかので使用します。
 - ・スレーブモード (SCR:MS="1") 時
 - ・チップセレクトのデータフォーマット禁止 (ESCR:CSFE="0") 時
 - ・チップセレクトのデータフォーマット許可 (ESCR:CSFE="1"), シリアルチップセレクト端子 0 がアクティブ時

[bit4-bit1] CSEN3-0 : シリアルチップセレクト許可ビット

各シリアルチップセレクト端子の許可, または禁止を選択します。

CSEN3 ビットが SCS3 端子, CSEN2 ビットが SCS2 端子, CSEN1 ビットが SCS1 端子, CSEN0 ビットが SCS0 端子に対応します。

スレーブモード (SCR:MS="1") の場合, CSEN0 ビットでシリアルチップ端子の許可, または禁止を設定します。CSEN3-1 は無効です。

CSEN	シリアルチップセレクト許可ビット
0	シリアルチップセレクト端子の動作を禁止
1	シリアルチップセレクト端子の動作を許可

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・マスタモード (SCR:MS="0") 時, CSEN3-0 を "0000"b に設定した場合, シリアルチップセレクト端子に依存しないで送受信動作を行います。
 - ・スレーブモード (SCR:MS="1") 時, CSEN0 を "0" に設定した場合, シリアルチップセレクト端子に依存しないで送受信動作を行います。

[bit0] CSOE : シリアルチップセレクト出力許可ビット

シリアルチップセレクト端子の出力を許可または禁止に設定します。

CSOE	シリアルチップセレクト出力許可ビット
0	すべてのシリアルチップセレクト端子の出力を禁止
1	すべてのシリアルチップセレクト端子の出力を許可

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・スレーブモード (SCR:MS="1") 時, 本ビットは "0" に設定してください。

36.4.3.9 シリアルチップセレクトタイミングレジスタ : SCSTR3-0

シリアルチップセレクトタイミングレジスタ (SCSTR3-0) は, シリアルチップセレクトのセットアップディレイ時間, シリアルチップセレクトのホールドディレイ時間およびシリアルチップセレクトのディセレクト時間の設定を行います。

(注意事項) マスタモード (SCR:MS=0) でノーマルモード (SCR:SPI=0) の場合、以下のいずれかの条件をみたすようにセットアップディレイ時間 (CSSU7-0)、あるいはホールドディレイ時間 (CSHD7-0) を設定してください。

ボーレート /2[ns] < ホールドディレイ [ns] + 3 × バスクロック [ns]

ホールドディレイ + セットアップディレイ < ボーレート - 2 × バスクロック [ns]

• SCSTR1-0: アドレス 1536_H,155A_H,157E_H,15A2_H (アクセス : バイト , ハーフワード , ワード)

15	14	13	12	11	10	9	8	bit
CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ～ bit8] CSSU7-0 : シリアルチップセレクトセットアップディレイビット

シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間を設定します。

CSSU7	CSSU6	CSSU5	CSSU4	CSSU3	CSSU2	CSSU1	CSSU0	セットアップディレイ時間
0	0	0	0	0	0	0	0	セットアップディレイ時間なし
0	0	0	0	0	0	0	1	1 × シリアルチップセレクトタイミング 動作クロック
0	0	0	0	0	0	1	0	2 × シリアルチップセレクトタイミング 動作クロック
・	・	・	・	・	・	・	・	・
1	1	1	1	1	1	1	0	254 × シリアルチップセレクトタイミング 動作クロック
1	1	1	1	1	1	1	1	255 × シリアルチップセレクトタイミング 動作クロック

(注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。

・ スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。

・ 本ビットを "00"h に設定することを禁止します。

[bit7 ～ bit0] CSHD7-0 : シリアルチップセレクトホールドディレイビット

シリアルクロックの出力が終了してからシリアルチップセレクト端子がインアクティブになるまでの時間を設定します。本ビットに "00"h を設定した場合、シリアルクロックの出力が終了するタイミングとシリアルチップセレクト端子がインアクティブになるタイミングは同時になります。

CSHD7	CSHD6	CSHD5	CSHD4	CSHD3	CSHD2	CSHD1	CSHD0	ホールドディレイ時間
0	0	0	0	0	0	0	0	ホールドディレイ時間なし
0	0	0	0	0	0	0	1	1 × シリアルチップセレクトタイミング 動作クロック
0	0	0	0	0	0	1	0	2 × シリアルチップセレクトタイミング 動作クロック
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	1	0	254 × シリアルチップセレクトタイミング 動作クロック
1	1	1	1	1	1	1	1	255 × シリアルチップセレクトタイミング 動作クロック

- (注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
 ・ スレーブモード (SCR:MS="1") 時, 本ビットの設定は無効です。
 ・ 本ビットを "00"h に設定することを禁止します。

• SCSTR3-2: アドレス 1534_H, 1558_H, 157C_H, 15A0_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
CSDS15	CSDS14	CSDS13	CSDS12	CSDS11	CSDS10	CSDS9	CSDS8	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
CSDS7	CSDS6	CSDS5	CSDS4	CSDS3	CSDS2	CSDS1	CSDS0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ~ bit0] CSDS15-0 : シリアルチップディセレクトビット

シリアルチップセレクト端子がインアクティブになってから、次にシリアルチップセレクト端子がアクティブになるまでの最小時間を設定します。

CSDS15	CSDS14	CSDS13	...	CSDS2	CSDS1	CSDS0	ディセレクト最小時間
0	0	0	...	0	0	0	ディセレクト最小時間なし
0	0	0	...	0	0	1	1 × シリアルチップセレクトタイミング 動作クロック
0	0	0	...	0	1	0	2 × シリアルチップセレクトタイミング 動作クロック
.
1	1	1	...	1	1	0	65534 × シリアルチップセレクトタイミング 動作クロック
1	1	1	...	1	1	1	65535 × シリアルチップセレクトタイミング 動作クロック

- (注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・ スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 - ・ ディセレクト時間の設定にかかわらず、シリアルチップセレクト端子がインアクティブになってから、次にアクティブになるまでは最小 5 バスクロック時間以上かかります。

36.4.3.10 シリアルチップセレクトフォーマットレジスタ : SCSFR2-0

シリアルチップセレクトフォーマットレジスタ (SCSFR2-0) は、各シリアルチップセレクトのチップセレクトのアクティブレベルの選択、シリアルクロックの反転、SPI に接続するための設定、シリアルデータ出力のデータ方向およびデータ長の設定を行います。

• SCSFR1-0: アドレス 15A6_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
CS2 CSLVL	CS2 SCINV	CS2 SPI	CS2 BDS	CS2 L3	CS2 L2	CS2 L1	CS2 L0	
1	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
CS1 CSLVL	CS1 SCINV	CS1 SPI	CS1 BDS	CS1 L3	CS1 L2	CS1 L1	CS1 L0	
1	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15] CS2CSLVL : チップセレクト 2 のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 2 のインアクティブ時のレベルを選択します。

CSLVL	シリアルチップセレクト端子 2 シリアルチップセレクト設定ビット
0	インアクティブレベルを "L"
1	インアクティブレベルを "H"

(注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。

- ・ スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
- ・ チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit14] CS2SCINV : チップセレクト 2 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 2 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0" に設定した場合 :

- ・ シリアルクロック出力のマークレベルを "H" にします。
- ・ 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- ・ 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1" に設定した場合 :

- ・ シリアルクロック出力のマークレベルを "L" にします。
- ・ 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- ・ 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

SCINV	シリアルチップセレクト端子 2 シリアルクロック反転ビット
0	マークレベル "H" フォーマット
1	マークレベル "L" フォーマット



- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 - ・チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit13] CS2SPI : チップセレクト 2 の SPI 対応ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 2 がアクティブ時に SPI に対応した通信をさせるためのビットです。

- ・"0" に設定した場合：ノーマル同期通信を行います。
- ・"1" に設定した場合：SPI に対応します。

SPI	シリアルチップセレクト端子 2 SPI 対応ビット
0	ノーマル同期転送
1	SPI 対応

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 - ・チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit12] CS2BDS : チップセレクト 2 の転送方向選択ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 2 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト , BDS="0") 最上位ビット側から先に転送するか (MSB ファースト , BDS="1") を選択するビットです。

BDS	シリアルチップセレクト端子 2 転送方向選択ビット
0	LSB ファースト (最下位ビットから転送)
1	MSB ファースト (最上位ビットから転送)

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 - ・チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit11 ～ bit8] CS2 L3, L2, L1, L0 : チップセレクト 2 のデータ長選択ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき, シリアルチップセレクト端子 2 がアクティブ時に送受信データのデータ長を指定します。

L3	L2	L1	L0	シリアルチップセレクト端子 2 データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長
1	1	0	0	20 ビット長
1	1	0	1	24 ビット長
1	1	1	0	32 ビット長

- (注意事項) ・ 上記設定以外は禁止です。
- ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") のときのみ変更可能です。
 - ・ スレーブモード (SCR:MS="1") 時, 本ビットの設定は無効です。
 - ・ チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき, 本ビットの設定は無効です。

[bit7] CS1CSLVL : チップセレクト 1 のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき, シリアルチップセレクト端子 1 のインアクティブ時のレベルを選択します。

CSLVL	シリアルチップセレクト端子 1 シリアルチップセレクト設定ビット
0	インアクティブレベルを "L"
1	インアクティブレベルを "H"

- (注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") のときのみ変更可能です。
- ・ スレーブモード (SCR:MS="1") 時, 本ビットの設定は無効です。
 - ・ チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき, 本ビットの設定は無効です。

[bit6] CS1SCINV : チップセレクト 1 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 1 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0" に設定した場合：

- ・シリアルクロック出力のマークレベルを "H" にします。
- ・送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- ・受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1" に設定した場合：

- ・シリアルクロック出力のマークレベルを "L" にします。
- ・送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- ・受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

SCINV	シリアルチップセレクト端子 1 シリアルクロック反転ビット
0	マークレベル "H" フォーマット
1	マークレベル "L" フォーマット

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 - ・チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit5] CS1SPI : チップセレクト 1 の SPI 対応ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 1 がアクティブ時に SPI に対応した通信をさせるためのビットです。

- ・"0" に設定した場合：ノーマル同期通信を行います。
- ・"1" に設定した場合：SPI に対応します。

SPI	シリアルチップセレクト端子 1 SPI 対応ビット
0	ノーマル同期転送
1	SPI 対応

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 - ・チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit4] CS1BDS : チップセレクト 1 の転送方向選択ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 1 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト, BDS="0") 最上位ビット側から先に転送するか (MSB ファースト, BDS="1") を選択するビットです。

BDS	シリアルチップセレクト端子 1 転送方向選択ビット
0	LSB ファースト (最下位ビットから転送)
1	MSB ファースト (最上位ビットから転送)

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
 ・スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 ・チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit3 ～ bit0] CS1 L3, L2, L1, L0 : チップセレクト 1 のデータ長選択ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 1 がアクティブ時に送受信データのデータ長を指定します。

L3	L2	L1	L0	シリアルチップセレクト端子 1 データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長
1	1	0	0	20 ビット長
1	1	0	1	24 ビット長
1	1	1	0	32 ビット長

- (注意事項) ・上記設定以外は禁止です。
 ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
 ・スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 ・チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

• SCSFR2: アドレス 15A5_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
CS3 CSLVL	CS3 SCINV	CS3 SPI	CS3 BDS	CS3 L3	CS3 L2	CS3 L1	CS3 L0	
1	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit7] CS3CSLVL : チップセレクト 3 のシリアルチップセレクトレベル設定ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 3 のインアクティブ時のレベルを選択します。

CSLVL	シリアルチップセレクト端子 3 シリアルチップセレクト設定ビット
0	インアクティブレベルを "L"
1	インアクティブレベルを "H"

(注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。

- ・ スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
- ・ チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit6] CS3SCINV : チップセレクト 3 のシリアルクロック反転ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 3 がアクティブ時のシリアルクロックフォーマットを設定するビットです。

"0" に設定した場合：

- ・ シリアルクロック出力のマークレベルを "H" にします。
- ・ 送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
- ・ 受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1" に設定した場合：

- ・ シリアルクロック出力のマークレベルを "L" にします。
- ・ 送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
- ・ 受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

SCINV	シリアルチップセレクト端子 3 シリアルクロック反転ビット
0	マークレベル "H" フォーマット
1	マークレベル "L" フォーマット

(注意事項) ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。

- ・ スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
- ・ チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit5] CS3SPI : チップセレクト 3 の SPI 対応ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 3 がアクティブ時に SPI に対応した通信をさせるためのビットです。

- "0" に設定した場合 : ノーマル同期通信を行います。
- "1" に設定した場合 : SPI に対応します。

SPI	シリアルチップセレクト端子 3 SPI 対応ビット
0	ノーマル同期転送
1	SPI 対応

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 - ・チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit4] CS3BDS : チップセレクト 3 の転送方向選択ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき、シリアルチップセレクト端子 3 がアクティブ時に転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト , BDS="0") 最上位ビット側から先に転送するか (MSB ファースト , BDS="1") を選択するビットです。

BDS	シリアルチップセレクト端子 3 転送方向選択ビット
0	LSB ファースト (最下位ビットから転送)
1	MSB ファースト (最上位ビットから転送)

- (注意事項) ・本ビットは送受信禁止 (SCR:TXE=RXE="0") 時のみ変更可能です。
- ・スレーブモード (SCR:MS="1") 時、本ビットの設定は無効です。
 - ・チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき、本ビットの設定は無効です。

[bit3 ～ bit0] CS3 L3, L2, L1, L0 : チップセレクト 3 のデータ長選択ビット

チップセレクトのデータフォーマット許可 (ESCR:CSFE="1") のとき, シリアルチップセレクト端子 3 がアクティブ時に送受信データのデータ長を指定します。

L3	L2	L1	L0	シリアルチップセレクト端子 3 データ長選択ビット
0	0	0	0	8 ビット長
0	0	0	1	5 ビット長
0	0	1	0	6 ビット長
0	0	1	1	7 ビット長
0	1	0	0	9 ビット長
0	1	0	1	10 ビット長
0	1	1	0	11 ビット長
0	1	1	1	12 ビット長
1	0	0	0	13 ビット長
1	0	0	1	14 ビット長
1	0	1	0	15 ビット長
1	0	1	1	16 ビット長
1	1	0	0	20 ビット長
1	1	0	1	24 ビット長
1	1	1	0	32 ビット長

- (注意事項) ・ 上記設定以外は禁止です。
- ・ 本ビットは送受信禁止 (SCR:TXE=RXE="0") のときのみ変更可能です。
 - ・ スレーブモード (SCR:MS="1") 時, 本ビットの設定は無効です。
 - ・ チップセレクトのデータフォーマットが禁止 (ESCR:CSFE="0") のとき, 本ビットの設定は無効です。

36.4.3.11 転送バイトレジスタ : TBYTE

転送バイト(TBYTE)は、各シリアルチップセレクト端子のアクティブ時の転送データ数を示します。

- TBYTE01: アドレス 153F_H(アクセス : バイト , ハーフワード , ワード)
- TBYTE02: アドレス 1563_H(アクセス : バイト , ハーフワード , ワード)
- TBYTE03: アドレス 1587_H(アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
TBYTE0[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ～ bit0] TBYTE : 転送データ数表示ビット

転送バイトレジスタは、各シリアルチップセレクト端子のアクティブ時の転送データ数を設定できます。シリアルチップセレクト端子がアクティブ後、本ビットに設定した値のデータ数の転送を完了するとシリアルチップセレクト端子はインアクティブになります。

下記を満たす場合、転送バイトレジスタ (TBYTE) は同期送信に使用されます。同期送信により送信動作が開始すると TBYTE に設定した値のデータ数を転送します。

- ・シリアルチップセレクト禁止 (SCSCR:CSEN="0") の場合

送信動作中 (SSR:TBI="0") に本ビットの値を変更した場合、変更前に設定した転送データ数の送信動作を終了後に変更後の転送データ数の設定が有効になります。

TBYTE	転送バイトレジスタ
ライト	TBYTE への書込み
リード	TBYTE の設定値

(注意事項) ・ 本ビットに "00" h を設定した場合、転送回数は 8 回です。

- ・以下のすべての条件が揃う状態で使用する場合、TBYTE レジスタに "01" H 以外を設定してください。
 - ・マスタモード (SCR:MS=0) を使用
 - ・チップセレクトを使用
 - ・SPI モード (SCR:SPI=1) を使用
 - ・SCSCR レジスタの SCAM ビットに "1" を設定
 - ・ESCR レジスタの WT1,WT0 ビットに "00" 以外の値を設定

- TBYTE34: アドレス 15A8_H(アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
TBYTE3[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

- TBYTE24: アドレス 15A9_H(アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
TBYTE2[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

・ TBYTE14: アドレス 15AA_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
TBYTE1[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

・ TBYTE04: アドレス 15AB_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
TBYTE0[7:0]								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit0] TBYTE : 転送データ数表示ビット

転送バイトレジスタは、各シリアルチップセレクト端子のアクティブ時の転送データ数を設定できます。シリアルチップセレクト端子がアクティブ後、本ビットに設定した値のデータ数の転送を完了するとシリアルチップセレクト端子はインアクティブになります。

シリアルチップセレクト端子 40 (SCS40) は TBYTE0, シリアルチップセレクト端子 41 (SCS41) は TBYTE1, シリアルチップセレクト端子 42 (SCS42) は TBYTE2, シリアルチップセレクト端子 34 (SCS43) は TBYTE3 に対応します。

下記を満たす場合、転送バイトレジスタ (TBYTE) は同期送信に使用されます。同期送信により送信動作が開始すると TBYTE に設定した値のデータ数を転送します。

- ・シリアルチップセレクト禁止 (SCSCR: CSEN3-0="0000"b) の場合

送信動作中 (SSR: TBI="0") に本ビットの値を変更した場合、変更前に設定した転送データ数の送信動作を終了後に変更後の転送データ数の設定が有効になります。

TBYTE	転送バイトレジスタ
ライト	TBYTE への書込み
リード	TBYTE の設定値

(注意事項) ・本ビットに "00" h を設定した場合、転送回数は 8 回です。

- ・マスタ動作 (SCR: MS="0") でチップセレクト使用時に同期送信を行う場合、転送回数は以下ようになります。
 - ・チップセレクト端子 40 がアクティブの場合、TBYTE0 の設定数
 - ・チップセレクト端子 41 がアクティブの場合、TBYTE1 の設定数
 - ・チップセレクト端子 42 がアクティブの場合、TBYTE2 の設定数
 - ・チップセレクト端子 43 がアクティブの場合、TBYTE3 の設定数
- ・以下のすべての条件が揃う状態で使用する場合、TBYTE レジスタに "01" H 以外を設定してください。
 - ・マスタモード (SCR: MS=0) を使用
 - ・チップセレクトを使用
 - ・SPI モード (SCR: SPI=1) を使用
 - ・SCSCR レジスタの SCAM ビットに "1" を設定
 - ・ESCR レジスタの WT1, WT0 ビットに "00" 以外の値を設定

36.4.3.12 ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタ (BGR) は、シリアルクロックの分周比を設定します。

- BGR: アドレス 151C_H, 1540_H, 1564_H, 1588_H, 15AC_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
-	BGR[14:8]							
0	0	0	0	0	0	0	0	初期値
RX,WX	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
BGR[7:0]								
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15] 未定義

リードした場合 : 読出し値は不定です。

ライトした場合 : 影響しません。

[bit14 ~ bit0] BGR (Baud rate Generator) : ボーレートジェネレータビット

- カウントするリロード値の書込み, 設定値の読出しが可能です。
- リロード値を書き込むとリロードカウンタはカウントを開始します。

- (注意事項) ・ ボーレートジェネレータレジスタ (BGR) への書込みは、16 ビットアクセスで行ってください。
- ・ リロード値が偶数の場合、シリアルクロックの "H" 幅と "L" 幅は SCINV ビットの設定によって以下ようになります。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じになります。
SMR:SCINV="0" の場合、シリアルクロックの "H" 幅がバスクロック 1 サイクル分長くなります。
SMR:SCINV="1" の場合、シリアルクロックの "L" 幅がバスクロック 1 サイクル分長くなります。
 - ・ リロード値は 3 以上を設定してください。
 - ・ ボーレートジェネレータレジスタ (BGR) の設定値を変更した場合、カウンタ値が "15h00" になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR の設定値を変更した後、CSIO リセット (SCR:UPCL) を実行してください。
 - ・ 受信 FIFO 使用時、受信 FIFO アイドル検出許可ビット (FCR1:FRIIE) を "1" に設定しスレーブモードで動作させる場合、BGR にボーレートを設定してください。

36.4.4 LIN インタフェース (v2.1) 時レジスタ

36.4.4.1 シリアル制御レジスタ : SCR (Serial Control Register)

シリアル制御レジスタ (SCR) は、送受信割込みの許可 / 禁止、送信アイドル割込みの許可 / 禁止、送受信動作の許可 / 禁止の設定を行います。また、Lin break field 生成、LIN インタフェース (v2.1) リセットの設定があります。

• **SCR: アドレス 1500_H, 1524_H, 1548_H, 156C_H, 1590_H (アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE	
0	0	0	0	0	0	0	0	初期値
R0,W	R/W	R0,W	R/W	R/W	R/W	R/W	R/W	属性

[bit7] UPCL : プログラマブルクリアビット

LIN インタフェース (v2.1) の内部状態を初期化するビットです。

"1" を設定した場合 :

- LIN インタフェース (v2.1) を直接リセット (ソフトウェアリセット) します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR レジスタの設定値をリロードし、再スタートします。
- すべての送受信およびステータス割込み要因 (SSR:TDRE, TBI, RDRF, FRE, ORE, LBD, TINT, SFD) は初期化されます。
- ボーレート設定フラグ (SACSR:BST) は初期化されます。

"0" を設定した場合 : 影響ありません。

リード時は、常に "0" が読出されます。

UPCL	プログラマブルクリアビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	プログラマブルクリア	

(注意事項) ・ 割込み禁止に設定した後に、プログラマブルクリアを実行してください。

- FIFO 使用時は、FIFO 禁止 (FCR0:FE2, FE1="0") にしてからプログラマブルクリアを実行してください
- プログラマブルクリアにより送信 / 受信 FIFO はクリアされません。
- プログラマブルクリアを実行 (SSR:UPCL="1") してもシリアルタイムレジスタ (STMR) の値はクリアされません。

[bit6] MS : マスタ / スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

MS	マスタ / スレーブ機能選択ビット
0	マスタモード
1	スレーブモード

[bit5] LBR : LIN Break field 設定ビット (マスタ動作のみ機能)

本ビットに "1" を設定した場合,ESCR:LBL1/0 ビットおよび,ESCR:DEL1/0 で設定された長さの LIN Break field と LIN Break デリミタを生成します。

ライトした場合 :

"0" をライト : 影響しません。

"1" をライト : LIN Break field を生成します。

リードした場合 : 常に "0" が読み出されます。

LBR	LIN Break field 設定ビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	LIN Break field 生成	

(注意事項) ・ マスタ動作 (MS="0") のみ機能します。

・ LIN Break field 生成中に本ビットを "1" に設定しないでください。

[bit4] RIE : 受信割込み許可ビット

CPU への受信割込み要求出力を許可 / 禁止するビットです。

RIE ビットと受信データフラグビット (SSR:RDRF) が "1" の場合,または,エラーフラグビット (SSR:FRE,ORE) のいずれかが "1" の場合,受信割込み要求を出力します。

RIE	受信割込み許可ビット
0	受信割込み禁止
1	受信割込み許可

[bit3] TIE : 送信割込み許可ビット

CPU への送信割込み要求出力を許可 / 禁止するビットです。

TIE ビットと SSR:TDRE ビットが "1" の場合,送信割込み要求を出力します。

TIE	送信割込み許可ビット
0	送信割込み禁止
1	送信割込み許可

[bit2] TBIE : 送信バスアイドル割込み許可ビット

CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。

TBIE ビットと TBI ビットが "1" のとき,送信バスアイドル割込み要求を出力します。

TBIE	送信バスアイドル割込み許可ビット
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可



[bit1] RXE : 受信動作許可ビット

LIN インタフェース (v2.1) の受信動作を許可 / 禁止します。

RXE	受信許可ビット
0	受信禁止
1	受信許可

- (注意事項) ・ 受信動作許可 (RXE="1") にしても、スタートビットの立下りエッジが入力されないと受信動作を開始しません。
- ・ マスタ動作時、LIN Break field 送信中、受信動作が許可 (RXE="1") 状態でもデータは受信しません。
 - ・ 受信中に受信動作を禁止 (RXE="0") した場合には、直ちに受信動作を停止します。

[bit0] TXE : 送信動作許可ビット

LIN インタフェース (v2.1) の送信動作を許可 / 禁止します。

TXE	送信許可ビット
0	送信禁止
1	送信許可

- ・ 送信中に送信動作を禁止 (TXE="0") した場合には、直ちに送信動作を停止します。

36.4.4.2 シリアルステータスレジスタ : SSR (Serial Status Register)

シリアルステータスレジスタ (SSR) は、送受信状態の確認、受信エラーフラグの確認、LIN Break field の検出、また、受信エラーフラグのクリアを行います。

- **SSR: アドレス 1502_H, 1526_H, 154A_H, 156E_H, 1592_H(アクセス : バイト , ハーフワード , ワード)**

7	6	5	4	3	2	1	0	bit
REC	予約	LBD	FRE	ORE	RDRF	TDRE	TBI	
0	0	0	0	0	0	1	1	初期値
R0,W	R0,W0	R(RM1), W	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit7] REC : 受信エラーフラグクリアビット

シリアルステータスレジスタ (SSR) の FRE, ORE フラグをクリアするビットです。

- "1" 書込みで、エラーフラグがクリアされます。
- "0" 書込みは、影響しません。

リードした場合、常に "0" が読み出されます。

REC	受信エラーフラグクリアビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	受信エラーフラグ (FRE,ORE) のクリア	

[bit6] 予約

本ビットには必ず "0" を設定してください。

[bit5] LBD : LIN Break field 検出ビット

LIN Break field 検出を示すビットです。

シリアル入力 (SIN) が 11 ビット幅以上 "L" 入力されると、LBD ビットは "1" に設定されます。このとき、LIN Break field 割込み許可ビット (LBIE) が "1" に設定されていると、ステータス割込みが発生します。

(リードした場合)

"1" の場合 : LIN Break field が検出されています。

"0" の場合 : LIN Break field が検出されていません。

(ライトした場合)

"0" をライトした場合 : LBD ビットをクリアします。

"1" をライトした場合 : 影響しません。

LBD	LIN Break field 検出フラグビット	
	ライト	リード
0	LBD フラグクリア	LIN Break field なし
1	影響なし	LIN Break field あり

(注意事項) リードモディファイライト系命令時 , "1" が読み出されます。

[bit4] FRE : フレーミングエラーフラグビット

- ・受信時にフレーミングエラーが発生した場合,"1"に設定されます。シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。
- ・FRE ビットと RIE ビットが "1" の場合, 受信割込み要求を出力します。
- ・本フラグがセットされた場合は, 受信データレジスタ (RDR) のデータは無効です。
- ・受信 FIFO 使用時に本フラグがセットされた場合は, 受信 FIFO の許可ビットがクリアされ, 受信データは受信 FIFO に格納されません。

FRE	フレーミングエラーフラグビット
0	フレーミングエラーなし
1	フレーミングエラーあり

[bit3] ORE : オーバランエラーフラグビット

- ・受信時にオーバランが発生した場合,"1"に設定されます。シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。
- ・ORE ビットと RIE ビットが "1" の場合, 受信割込み要求を出力します。
- ・本フラグがセットされた場合は, 受信データレジスタ (RDR) のデータは無効です。
- ・受信 FIFO 使用時に本フラグがセットされた場合は, 受信 FIFO の許可ビットがクリアされ, 受信データは受信 FIFO に格納されません。

ORE	オーバランエラーフラグビット
0	オーバランエラーなし
1	オーバランエラーあり

[bit2] RDRF : 受信データフルフラグビット

- ・受信データレジスタ (RDR) の状態を示すフラグです。
- ・RDR に受信データがロードされると,"1"に設定されます。受信データレジスタ (RDR) を読み出すと "0" にクリアされます。
- ・RDRF ビットと RIE ビットが "1" の場合, 受信割込み要求を出力します。
- ・受信 FIFO 使用時は, 受信 FIFO に所定のデータ数を受信したら RDRF が "1" に設定されます。
- ・受信 FIFO 使用時は, 受信 FIFO がエンプティになると "0" にクリアされます。

RDRF	受信データフルフラグビット
0	受信データレジスタ (RDR) がエンプティ
1	受信データレジスタ (RDR) にデータが存在する

[bit1] TDRE : 送信データエンプティフラグビット

- ・送信データレジスタ (TDR) の状態を示すフラグです。
- ・TDR に送信データを書き込むと, "0" となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり TDR に有効なデータが存在していないことを示します。
- ・TDRE ビットと TIE ビットが "1" の場合, 送信割込み要求を出力します。
- ・シリアル制御レジスタ (SCR) の UPCL ビットに "1" を書き込むと TDRE ビットは "1" に設定されます。
- ・送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは, 「36.7.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

TDRE	送信データエンプティフラグビット
0	送信データレジスタ (TDR) にデータが存在する
1	送信データレジスタ (TDR) がエンプティ

[bit0] TBI : 送信バスアイドルフラグビット

- ・LIN インタフェース (v2.1) が送信動作をしていないことを示すビットです。
- ・送信データレジスタ (TDR) へ送信データを書き込んだ場合に本ビットは "0" に設定されます。
- ・LIN Break field が設定 (SMR:LBR="1") された場合に本ビットは "0" になります。
- ・送信データレジスタ (TDR) がエンプティ (TDRE="1") で, 送信動作をしていない場合に本ビットが "1" に設定されます。
- ・LIN Break field 送信が終了し, 送信データレジスタがエンプティの場合に本ビットは "1" に設定されます。
- ・本ビットが "1" で, 送信バスアイドル割込み許可 (SCR:TBIE="1") されていると送信割込み要求を出力します。

TBI	送信バスアイドルフラグビット
0	送信中
1	送信動作なし

36.4.4.3 拡張通信制御レジスタ : ESCR (Extended Serial Control Register)

拡張通信制御レジスタ (ESCR) は, LIN Break field 割込みの許可 / 禁止, LIN Break field の検出, LIN Break field 長, LIN Break デリミタ長の設定, ストップビット長の選択を行います。

- ESCR: アドレス 1503_H, 1527_H, 154B_H, 156F_H, 1593_H(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約	ESBL	予約	LBIE	LBL[1:0]		DEL[1:0]		
0	0	0	0	0	0	0	0	初期値
R/W0	R/W	RX,W0	R/W	R/W	R/W	R/W	R/W	属性

[bit7] 予約

本ビットには必ず "0" を設定してください。

[bit6] ESBL : 拡張ストップビット長選択ビット

ストップビット (送信データのフレームエンドマーク) のビット長を設定します。

ESBL	拡張ストップビット長選択ビット	
0	SMR:SBL="0"	1 ビット
	SMR:SBL="1"	2 ビット
1	SMR:SBL="0"	3 ビット
	SMR:SBL="1"	4 ビット

- (注意事項) ・受信時は, 常にストップビットの 1 ビット目だけを検出します。
・本ビットは送信が禁止 (SCR:TXE="0") 時に設定してください。

[bit5] 予約

本ビットには必ず "0" を設定してください。

[bit4] LBIE : LIN Break field 検出割込み許可ビット

LIN Break field 検出割込みを許可 / 禁止するビットです。

LIN Break field 検出フラグ (LBD) が "1" のとき, 割込みが許可 (LBIE="1") されると受信割込みを発生します。

LBIE	LIN Break field 検出割込み許可ビット
0	LIN Break field 検出割込み禁止
1	LIN Break field 検出割込み許可

[bit3,bit2] LBL1/0 : LIN Break field 長選択ビット (マスタ動作のみ機能)

- ・本ビットは, LIN Break field の生成時間を何ビット分とするかを設定します。
- ・シリアル制御レジスタ (SCR) の LBR ビットに "1" を設定 (LIN Break field 送信) する前に, 本ビットを設定してください。
- ・スレーブ動作時, LIN Break field 検出タイミングは, 本ビットの設定値によらず, 常に 11 ビット目で検出します。

LBL1	LBL0	LIN Break field 長選択ビット
0	0	13 ビット長
0	1	14 ビット長
1	0	15 ビット長
1	1	16 ビット長

- (注意事項) 本機能は, マスタ動作 (SMR:MS="0") のみ機能します。

[bit1,bit0] DEL1/0 : デリミタ長選択ビット

- ・これらのビットは, LIN Break デリミタ長を何ビット分とするかを設定します。
- ・シリアル制御レジスタ (SCR) の LBR ビットを "1" に設定 (Lin break field 送信) する前に, 本ビットを設定してください。

DEL1	DEL0	LIN Break デリミタ長選択ビット
0	0	1 ビット長
0	1	2 ビット長
1	0	3 ビット長
1	1	4 ビット長

(注意事項) 本機能は, マスタ動作 (SMR:MS="0") のみ機能します。

36.4.4.4 送信データレジスタ・受信データレジスタ : RDR/TDR (Receive Data Register / Transmit Data Register)

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。

• RDR/TDR

アドレス 1506_H, 152A_H, 154E_H, 1572_H, 1596_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

■ リード

受信データレジスタ (RDR) は、シリアルデータ受信用のデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- 受信データが、受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR:RDRF) が "1" に設定されます。受信割込みが許可されている場合は (SSR:RIE="1"), 受信割込み要求が発生します。
- 受信データレジスタ (RDR) は、受信データフルフラグビット (SSR:RDRF) が "1" の状態で読出してください。受信データフルフラグビット (SSR:RDRF) は、シリアル受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。
- 受信エラーが発生 (SSR:ORE, FRE のいずれかが "1") した場合、受信データレジスタ (RDR) のデータは無効となります。

- (注意事項) ・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が "1" に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が "0" にクリアされます。
 - 受信 FIFO 使用時に、受信エラーが発生 (SSR:ORE, FRE のどちらかが "1" に設定) した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。

■ ライト

送信データレジスタ (TDR) は、シリアルデータ送信用のデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR:TXE="1"), 送信するデータを送信データレジスタ (TDR) に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子 (SOT 端子) から送出されます。
- 送信データエンプティフラグ (SSR:TDRE) は、送信データがシリアル送信データレジスタ (TDR) に書き込まれると、"0" にクリアされます。
- 送信データエンプティフラグ (SSR:TDRE) は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1" に設定されます。
- 送信データエンプティフラグ (SSR:TDRE) が "1" の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ (SSR:TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR:TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ (TDR) に送信データを書き込むことはできません。

- (注意事項) ・送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは、「36.7.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

36.4.4.5 シリアル補助制御ステータスレジスタ : SACS R

シリアル補助制御ステータスレジスタ (SACS R) は、シリアルテスト動作の制御、自動ボーレート調整の許可 / 禁止、シンクフィールド割込みの許可 / 禁止、シリアルタイマの起動方法の選択、タイマ割込みの許可 / 禁止、シリアルタイマの動作クロックの分周値、およびシリアルタイマの許可 / 禁止の設定ができます。

- SACS R: アドレス 1508_H, 152C_H, 1550_H, 1574_H, 1598_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
STST	BST	SFD	SFDE	AUTE	予約		TINT	
0	0	0	0	0	0	0	0	初期値
R,W	R,WX	R(RM1), W	R/W	R,W	RX,W0	RX,W0	R(RM1), W	属性
7	6	5	4	3	2	1	0	bit
TINTE	予約		TDIV3	TDIV2	TDIV1	TDIV0	TMRE	
0	0	0	0	0	0	0	0	初期値
R/W	R/W0	R,W0	R,W	R,W	R,W	R,W	R/W	属性

[bit15] STST : シリアルテストビット

シリアルテストモードの許可、または禁止を選択します。

シリアルテストモード許可時、マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され、SOT から送信されるデータをそのまま SIN より受信できます。

シリアルテストモード許可時、端子 SOT は "H" 固定となり、端子 SIN に入力されたデータは無視されます。

STST	シリアルテストビット
0	シリアルテストモードを禁止
1	シリアルテストモードを許可

(注意事項) 本ビットは送受信禁止 (SCR:TXE=RXE="0") のときのみ変更可能です。

[bit14] BST : ボーレート設定フラグ

Sync Field 受信による自動ボーレート調整が行われたことを示します。Sync Field で LIN バスの 5 回目の立下りを検出した場合、本ビットは更新されます。

BST	ボーレート設定フラグ	
	ライト	リード
0	影響なし	自動ボーレート調整なし
1		自動ボーレート調整あり

(注意事項) ・ 自動ボーレート調整禁止 (AUTE=0) のとき、本ビットは "0" に固定されます。

- ・ ソフトウェアリセット (SCR:UPCL="1") を行くと、本ビットは "0" にリセットされます。
- ・ シンクフィールド検出フラグ (SACS R:SFD) が "1" のときのみ、本ビットは有効です。
- ・ 本ビットへの書込みは無効です。

[bit13] SFD : シンクフィールド検出フラグ

Sync Field を検出したことを示します。

本ビットは Sync Field で LIN バスの 5 回目の立下りを検出した場合に "1" に設定されます。

本ビットが "1" でシンクフィールド検出割込み許可ビット (SFDE) が "1" のとき、ステータス割込み要求を出力します。

本ビットに "0" を書き込むと "0" にリセットされます。

SFD	シンクフィールド検出フラグ
0	Sync Field を検出なし
1	Sync Field を検出あり

- (注意事項) ・ソフトウェアリセット (SCR:UPCL="1") を行くと、本ビットは "0" にリセットされます。
- ・本ビットへの "1" 書込みは無効です。
 - ・マスタモード (SCR:MS="0") およびスレーブモード (SCR:MS="1") 共に本ビットは有効です。
 - ・リードモディファイライト系命令のリードは "1" が読み出されます。

[bit12] SFDE : シンクフィールド検出割込み許可ビット

CPU へのシンクフィールド割込みの許可 / 禁止するビットです。

本ビットが "1" でシンクフィールド検出フラグ (SFD) が "1" の場合、ステータス割込み要求を出力します。

SFDE	シンクフィールド検出割込み許可ビット
0	シンクフィールド検出による割込み禁止
1	シンクフィールド検出による割込み許可

[bit11] AUTE : 自動ボーレート調整ビット

自動ボーレート調整を許可 / 禁止するビットです。

AUTE	自動ボーレート調整ビット
0	自動ボーレート調整を禁止
1	自動ボーレート調整を許可

- (注意事項) ・マスタモード (SCR:MS="0") 時、本ビットは内部で "0" に固定されます。
- ・本ビットが "1" のとき、タイマ動作クロック分周ビット (TDIV3-0) は "3h"(8 分周) に設定されます。
 - ・シリアルタイマ許可ビット (TMRE) が "0" のときのみ本ビットは "0" から "1" に変更可能です。

[bit10, bit9] 予約

本ビットには必ず "0" を設定してください。

[bit8] TINT : タイマ割込みフラグ

シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致すると、シリアルタイマレジスタ (STMR) は "0" になり、本ビットは "1" に設定されます。

本ビットが "1" でタイマ割込み許可ビット (TINTE) が "1" のとき、ステータス割込み要求を出力します。

本ビットに "0" を書き込むと "0" にリセットされます。

本ビットへの "1" 書込みは無効です。

TINT	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

- (注意事項) ・ソフトウェアリセット (SCR:UPCL="1") を行くと、本ビットは "0" にリセットされます。
- ・リードモディファイライト系命令のリードは "1" が読み出されます。



[bit7] TINTE : タイマ割込み許可ビット

CPU へのタイマ割込みの許可 / 禁止するビットです。

本ビットが "1" でタイマ割込みフラグ (TINT) が "1" の場合、ステータス割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6,bit5] 予約

本ビットには必ず "0" を設定してください。

[bit4 ~ bit1] TDIV3-0 : タイマ動作クロック分周ビット

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$	$\phi = 24\text{MHz}$	$\phi = 32\text{MHz}$
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	$\phi / 2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	$\phi / 4$	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	$\phi / 8$	1 μs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	$\phi / 16$	2 μs	1.6 μs	1 μs	800ns	666.67ns	500ns
0	1	0	1	$\phi / 32$	4 μs	3.2 μs	2 μs	1.6 μs	1.33 μs	1 μs
0	1	1	0	$\phi / 64$	8 μs	6.4 μs	4 μs	3.2 μs	2.67 μs	2 μs
0	1	1	1	$\phi / 128$	16 μs	12.8 μs	8 μs	6.4 μs	5.33 μs	4 μs
1	0	0	0	$\phi / 256$	32 μs	25.6 μs	16 μs	12.8 μs	10.67 μs	8 μs

ϕ : バスクロック

- (注意事項) ・ 本ビットはシリアルタイマ許可ビット (TMRE) が "0" のときのみ変更可能です。
・ 上記の設定以外は禁止です。

[bit0] TMRE : シリアルタイマ許可ビット

シリアルタイマの動作許可, または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時, シリアルタイマレジスタ (STMR) の値は保持
1	本ビットを "0" から "1" に変更した場合, シリアルタイマレジスタ (STMR) の値を "0" に初期化し, シリアルタイマの動作を開始

36.4.4.6 シリアルタイマレジスタ : STMR

シリアルタイマレジスタ (STMR) は、シリアルタイマのタイマ値を示します。

- STMR: アドレス 150A_H, 152E_H, 1552_H, 1576_H, 159A_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15 ~ bit0] TM15-0 : タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック (SACSR:TDIV3-0 で設定) ごとに 1 が加算されます。

(注意事項) タイマ動作開始時、本ビットは "0" に初期化されます。

36.4.4.7 シリアルタイマ比較レジスタ : STMCR

シリアルタイマ比較レジスタ (STMCR) は、シリアルタイマのタイマの比較値を設定します。

- STMCR: アドレス 150C_H, 1530_H, 1554_H, 1578_H, 159C_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ~ bit0] TC15-0 : コンペアビット

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ (STMR) と比較され、シリアルタイマレジスタ (STMR) が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致した場合シリアルタイマレジスタを "0" にします。そのとき、タイマ割込みフラグ (SACSR:TINT) を "1" にします。

下記の動作が行われる間隔は (STMCR:TC + 1) × タイマ動作クロック (SACSR:TDIV3-0 で設定) になります。

- SACSR:TINIT が "1" に設定されている

- (注意事項) ・本レジスタに "0000" h を設定した場合、シリアルタイマレジスタは "0" のままです。
- ・本レジスタに "0000" h が設定された状態で、タイマ動作中にタイマ動作クロックの分周値 (SACSR:TDIV) を "0000" b に設定した場合、タイマ割込みフラグ (SACSR:TINT) は "1" に固定されます。
 - ・シリアルタイマ禁止 (SACSR:TMRE="0") のときのみ、本レジスタは変更可能です。
 - ・下記の条件をすべて満たす場合、ポーレート調整を行う前にシリアルタイマレジスタ (STMR) が "0000" h にリセットされてしまう可能性があります。そのため、自動ポーレート調整ビット (SACSR:AUTE) が "1" のとき、本ビットはシンクフィールド上限ビット (SFUR) で設定した値より大きな値を設定してください。
 - ・自動ポーレート調整ビット (SACSR:AUTE) が "1" の場合
 - ・本ビットがシンクフィールド上限ビット (SFUR) で設定した値以下の場合

36.4.4.8 シンクフィールド上限レジスタ : SFUR

シンクフィールド上限レジスタ (SFUR) は、自動ボーレート調整でボーレートジェネレータレジスタに設定可能な値の上限値を設定します。

- SFUR: アドレス 150E_H, 1532_H, 1556_H, 157A_H, 159E_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	TU14	TU13	TU12	TU11	TU0	TU9	TU8	
0	0	0	0	0	0	0	0	初期値
R0,W0	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	属性
7	6	5	4	3	2	1	0	bit
TU7	TU6	TU5	TU4	TU3	TU2	TU1	TU0	
0	0	0	0	0	0	0	0	初期値
RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	属性

[bit15] 予約

本ビットには必ず "0" を設定してください。

[bit14 ~ bit0] TU14-0 : 上限ビット

自動ボーレート調整でボーレートジェネレータレジスタ (BGR) に設定可能な値の上限値を設定します。

自動ボーレート調整ビット (SACSR:AUTE) が "1" でスレーブモード (SCR:MS="1") のとき, SyncField 受信後のシリアルタイマレジスタ (STMR) 値が本ビット以下でシンクフィールド下限レジスタ (SFLR) 以上だと, ボーレートジェネレータレジスタ (BGR) にシリアルタイマレジスタ (STMR) 値が設定されます。

- (注意事項) ・ 自動ボーレート調整ビット (SACSR:AUTE) が "0" のとき, 変更可能です。
・ 本ビットの読出し値は不定です。

36.4.4.9 シンクフィールド下限レジスタ : SFLR

シンクフィールド下限レジスタ (SFLR) は、自動ボーレート調整でボーレートジェネレータレジスタに設定可能な値の下限値を設定します。

- SFLR: アドレス 1512_H, 1536_H, 155A_H, 157E_H, 15A2_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	TL14	TL13	TL12	TL11	TL0	TL9	TL8	
0	0	0	0	0	0	0	0	初期値
R0,W0	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	属性
7	6	5	4	3	2	1	0	bit
TL7	TL6	TL5	TL4	TL3	TL2	TL1	TL0	
0	0	0	0	0	0	0	0	初期値
RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	属性

[bit15] 予約

本ビットには必ず "0" を設定してください。

[bit14 ~ bit0] TL14-0 : 下限ビット

自動ボーレート調整でボーレートジェネレータレジスタ (BGR) に設定可能な値の下限値を設定します。

自動ボーレート調整ビット (SACSR:AUTE) が "1" でスレーブモード (SCR:MS="1") のとき, SyncField 受信後のシリアルタイマレジスタ (STMR) 値がシンクフィールド上限レジスタ (SFUR) 以下で本ビット以上だと, ボーレートジェネレータレジスタ (BGR) にシリアルタイマレジスタ (STMR) 値が設定されます。

- (注意事項) ・ 自動ボーレート調整ビット (SACSR:AUTE) が "0" のとき, 変更可能です。
・ 本ビットの読出し値は不定です。

36.4.4.10 ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタ (BGR) は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

- BGR: アドレス 151C_H, 1540_H, 1564_H, 1588_H, 15AC_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
EXT	BGR[14:8]							
0	0	0	0	0	0	0	0	初期値
R/W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
BGR[7:0]								
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15] EXT (EXTErnal clock) : 外部クロック選択ビット

ボーレート生成用内部リロードカウンタに、内部クロックソースを使用するか、外部クロックソースを使用するかを選択します。EXT="0" に設定した場合、内部クロックを選択します。EXT="1" に設定した場合、外部クロックを選択します。

[bit14 ~ bit0] BGR (Baud rate Generator) : ボーレートジェネレータビット

- シリアルクロックの分周比を設定します。
- カウントするリロード値の書き込み、設定値の読出しが可能です。
- リロード値を書き込むとリロードカウンタはカウントを開始します。

- (注意事項) ・ ボーレートジェネレータレジスタ (BGR) への書き込みは、16 ビットアクセスで行ってください。
- ・ ボーレートジェネレータレジスタ (BGR) の設定値を変更した場合、カウンタ値が "15h00" になってから、新しい設定値がリロードされます。したがって、新しい設定値を即有効にしたい場合は、BGR の設定値を変更した後、プログラマブルクリア (UPCL) を実行してください。
 - ・ リロード値が偶数の場合、シリアルクロックの "H" 幅と "L" 幅は "L" 幅の方がバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じです。
 - ・ リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
 - ・ ボーレートジェネレータ動作中に外部クロックの設定 (EXT="1") に変更する場合、ボーレートジェネレータ (BGR) に "0" を書き込み、プログラマブルクリア (UPCL) 実行後、外部クロック (EXT="1") に設定してください。

36.4.5 I²C 時レジスタ

36.4.5.1 I²C バス制御レジスタ : IBCR (I²C Bus Control Register)

I²C バス制御レジスタ (IBCR) は、マスタ / スレーブモード選択、反復スタート条件の発生、アクノリッジ許可、割込み許可を設定し、割込みフラグを表示します。

- IBCR: アドレス 1500_H, 1524_H, 156C_H, 1590_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R/W	R/W	R/W	R/W	R,WX	R(RM1), W	属性

[bit7] MSS : マスタ / スレーブ選択ビット

I²C バスがアイドル状態 (ISMK:EN="1", IBSR:BB="0") のときに本ビットを "1" に設定した場合、マスタモードに設定されます。

IBSR レジスタの BB ビットが "1" のとき、このビットに "1" を設定した後、IBSR:BB ビットが "0" になるまでスタート条件の発生をウェイトします。そのウェイト中にスレーブアドレスが一致してスレーブとして動作する場合には本ビットは "0" に設定され、IBSR レジスタの AL ビットが "1" に設定されます。

マスタ動作中 (MSS="1", ACT="1") で割込みフラグ (INT) が "1" のとき、本ビットに "0" を書き込むとストップ条件が発生します。

MSS ビットは以下の条件でクリアされます。

- (1) I²C インタフェースの動作禁止 (ISMK:EN="0")
- (2) アービトレーションロスト発生時
- (3) バスエラー検出 (BER="1")
- (4) INT="1" のとき、MSS ビットへの "0" 書込み
- (5) DMA モードが許可 (SSR:DMA="1") で SSR:TBI="1" のとき、MSS ビットへの "0" 書込み

MSS ビットと ACT ビットの関係を示します。

MSS	ACT	状態
0	0	アイドル
0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答 * し、スレーブ動作中 (スレーブモード)
1	0	マスタ動作待機中
1	1	マスタ動作中 (マスタモード)

*) ACK 応答: アクノリッジ区間に I²C バスの SDA が "L" であることを指します。

MSS	マスタ / スレーブ選択ビット
0	スレーブモード選択
1	マスタモード選択

- (注意事項) ・ DMA モードが禁止 (SSR:DMA="0") で MSS ビットが "1" に設定されていて MSS ビットを "0" に変更する場合、MSS ビット="1", INT ビット="1" のときに行ってください。ACT ビットが "1" のときに MSS ビットに "0" を書き込むと INT ビットも "0" にクリアされます。
- ・ DMA モードが許可 (SSR:DMA="1") で MSS ビットが "1" に設定されていて MSS ビットを "0" に変更する場合、MSS ビット="1", INT ビット="1" または SSR:TBI ビットが "1" のときに行ってください。ACT ビットが "1" のときに MSS ビットに "0" を書き込むと INT ビットも "0" にクリアされます。

- ・ マスタ動作中, MSSビットに"0"を書いてもACTビットが"1"の間, "1"が読み出されます。
- ・ スレーブ動作中に MSS ビットに "0" を書いても ACT ビットが "1" の間, "1" が読み出されます。スレーブ動作終了後にマスタモードを行いたい場合, 下記の手順で行ってください。
 1. ストップ条件検出 (IBCR:SPC="1") により, スレーブ動作終了を確認してください。
 2. スレーブアドレスおよび, 送信データ (送信FIFO使用時のみ) を書き込んでください。
 3. 本ビットに "1" を書き込んでください。

[bit6] ACT/SCC : 動作フラグ / 反復スタート条件発生ビット

このビットは、リードとライトで意味が異なります。

リード: ACT ビット

ライト: SCC ビット

ACT ビットはマスタモードまたは、スレーブモードとして動作していることを示します。

ACT ビットのセット条件:

- (1) スタート条件を I²C バスに出力したとき (マスタモード)
- (2) スレーブアドレスとマスタから送信されたアドレスが一致したとき (スレーブモード)
- (3) 予約アドレスを検出し、それに対しアクノリッジ応答したとき (MSS="0" のときスレーブモードとなる)

ACT ビットのリセット条件:

<マスタモード>

- (1) ストップ条件検出
- (2) アービトレーションロスト検出
- (3) バスエラー検出
- (4) I²C インタフェースの禁止 (ISMK:EN="0")

<スレーブモード>

- (1) (反復) スタート条件検出
- (2) ストップ条件検出
- (3) 予約アドレス検出状態 (IBSR:RSA="1") でアクノリッジ応答しなかったとき
- (4) I²C インタフェースの動作禁止 (ISMK:EN="0")
- (5) バスエラーの発生 (BER="1")

マスタモード時、このビットに "1" を書き込むと反復スタートを実行します。"0" 書込みは無効です。

ACT/SCC	動作フラグ / 反復スタート条件発生ビット	
	ライト	リード
0	影響しません	どうさなし
1	反復スタート条件発生	I ² C 動作中

- (注意事項) ・ SCC ビットへの "1" 書込みは、マスタモードの割込み中 (MSS="1", ACT="1", INT="1") に行ってください。ACT ビットが "1" のときに SCC ビットに "1" を書き込むと INT ビットは "0" にクリアされます。
- ・ スレーブモード (MSS="0", ACT="1") 時、本ビットに "1" を書くことは禁止です。
 - ・ SCC ビットに "1", MSS ビットに "0" を書いた場合には、MSS ビットが優先されます。
 - ・ リードモディファイライト系命令のリードは SCC ビットが読み出されます。
 - ・ 以下の両方の条件を満たした場合、INT ビットに "1" がセットされ、I²C バスがウェイト (SCL="L") されます。反復スタート条件を発生させるためには、再度 SCC ビットに "1" を書き込み、INT ビットをクリアする必要があります。
 - ・ 8 ビット目のマスタモード割込み時 (MSS="1", ACT="1", INT="1", WSEL="1") に SCC ビットへ "1" を書き込んだ場合
 - ・ 9 ビット目に NACK を受信した場合
 - ・ DMA モードが許可 (SSR:DMA="1") で SSR:TBI ビットが "1" で IBCR:INT ビットが "0" のときに反復スタート条件を発行する場合は、下記の手順を行ってください。
 1. IBCR:INT ビットに "1" を書き込んでください。
 2. IBCR:INT ビットが "1" に設定されていることを確認してください。
 3. TDR にスレーブアドレスを書き込んでください。
 4. 本ビットに "1" を設定してください。

[bit5] ACKE : データバイトアクノリッジ許可ビット

本ビットに "1" を設定した場合、アクノリッジタイミングで "L" を出力します。

本ビットは以下の何れかの条件のときに変更してください。

- ・ DMA モードが禁止 (SSR:DMA="0"), ACT="1" で INT ビットが "1" のとき
- ・ DMA モードが許可 (SSR:DMA="1"), ACT="1" で SSR:TBI ビットが "1" のとき
- ・ DMA モードが許可 (SSR:DMA="1"), ACT="1" でスレーブ受信時に SSR:RDRF が "1" のとき
- ・ ACT="0" のとき

本ビットは以下の条件では無効となります。

- (1) 予約アドレス以外のアドレスフィールドに対するアクノリッジ (自動生成)
- (2) データ送信時 (IBSR:RSA="0", IBSR:TRX="1", IBSR:FBT="0")
- (3) 受信 FIFO 許可でスレーブ受信時 (FCR0:FE="1", MSS="0", ACT="1"), 常に ACK 応答します。
- (4) 受信 FIFO 許可, WSEL が "0", マスタ受信時 (FCR0:FE="1", MSS="1", ACT="1", WSEL="0"), SSR:TDRE ビットが "0" のとき ACK 応答し, SSR:TDRE ビットが "1" のとき NACK 応答します。
- (5) 受信 FIFO 許可, WSEL="0", 予約アドレス検出してスレーブ送信時 (IBSR:RSA="1", IBSR:TRX="1", IBSR:FBT="1"), 常に ACK 応答します。NACK 応答させる場合、予約アドレス検出後の割込み時, 受信 FIFO を禁止にし, ACKE="0" にしてください。
- (6) 受信 FIFO 許可, WSEL が "1", マスタ受信で送信データレジスタにデータがある場合 (FCR0:FE="1", MSS="1", ACT="1", WSEL="1", SSR:TDRE="0")

ACKE	アクノリッジ許可ビット
0	アクノリッジ禁止
1	アクノリッジ許可

[bit4] WSEL : ウェイト選択ビット

DMA モードが禁止 (SSR:DMA="0") 時は本ビットはアクノリッジ前か後のどちらに割込み (INT="1") を発生させ, I²C バスをウェイトさせるか選択します。

DMA モードが許可 (SSR:DMA="1") 時は本ビットはアクノリッジ前か後のどちらに割込み (INT="1", 送信時は SSR:TBI="1", 受信時は SSR:RDRF="1") を発生させ, I²C バスをウェイトさせるか選択します。WSEL ビットは以下の条件では無効になります。

- (1) 第 1 バイト *1 に対する割込み発生時 (INT="1")
- (2) 予約アドレス検出時 (IBSR:FBT="1", IBSR:RSA="1")
- (3) FIFO 使用時のデータ転送途中での NACK 応答 *2 検出時 (FCR0:FE="1", IBSR:RACK="1", ACT="1")
- (4) 受信 FIFO 使用時, 受信 FIFO が FULL になったとき

*1) 第 1 バイト : (反復) スタート条件後のデータを指します。

*2) NACK 応答 : アクノリッジ期間 I²C バスの SDA が "H" であることを指します。

WSEL	ウェイト選択ビット
0	アクノリッジ後ウェイト (9 ビット)
1	データ送受信完了後ウェイト (8 ビット)

[bit3] CNDE : 条件検出割込み許可ビット

マスタモードまたはスレーブモード時 (ACT="1"), ストップ条件または反復スタート条件が検出された場合, 割込みの発生を許可するビットです。IBSR レジスタの RSC または SPC ビットが "1" で本ビットが "1" のときに割込みが発生します。

CNDE	条件検出割込み許可ビット
0	反復スタートまたはストップ条件割込み禁止
1	反復スタートまたはストップ条件割込み許可

[bit2] INTE : 割込み許可ビット

マスタモードまたはスレーブモード時, データ送受信およびバスエラーに対する割込み (INT="1") を許可するビットです。

INTE	割込み許可ビット
0	割込み禁止
1	割込み許可

[bit1] BER : バスエラーフラグビット

本ビットは I²C バス上でエラーを検出したことを示します。

BER ビットのセット条件:

- (1) 第 1 バイト * 転送中にスタート条件またはストップ条件を検出
- (2) 第 2 バイト以降, データの 2 ~ 9 (アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出

BER ビットのリセット条件:

- (1) BER="1" のときに INT ビットへの "0" 書込みした場合
 - (2) I²C インタフェースの動作禁止 (ISMK:EN="0") の場合
- *) 第 1 バイト : (反復) スタート条件後のデータを指します。

BER	バスエラー検出ビット
0	エラーなし
1	エラーを検出

(注意事項) 割込みフラグ (INT ビット) が "1" になったときにこのビットを確認し, "1" になっていると正常に送受信ができていませんので再送などの処理を行ってください。

[bit0] INT : 割込みフラグビット

本ビットはマスタモードまたはスレーブモード時、データ送受信の 8 ビットまたは 9 ビット (ACK) 後、またはバスエラー時にこのフラグを "1" に設定します。バスエラー時以外は、INT ビットが "1" になると SCL を "L" にし、INT ビットが "0" になると SCL の "L" の状態を解除します。

INT ビットのセット条件：

<8 ビット目>

<DMA モードに関係ない場合>

- (1) 第 1 バイトで予約アドレス検出した場合
- (2) WSEL が "1", 第 2 バイト以降でアービトラクションロストを検出した場合

<DMA モードが禁止の場合 (SSR:DMA="0")>

- (1) WSEL が "1", マスタ動作中、第 2 バイト以降で SSR:TDRE ビットが "1" の場合
- (2) WSEL が "1", スレーブ動作中、受信 FIFO 禁止、第 2 バイト以降で SSR:TDRE ビットが "1" の場合
- (3) WSEL が "1", スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが "1" の場合
- (4) WSEL が "1", 受信 FIFO 禁止でスレーブ受信の場合

<DMA モードが許可の場合 (SSR:DMA="1")>

- (1) WSEL が "1", マスタ動作中、第 2 バイト以降で SSR:TBI ビットが "1" のときに INT ビットに "1" を書き込んだ場合

<9 ビット目>

<DMA モードに関係ない場合>

- (1) 第 1 バイトでアービトラクションロストを検出した場合
- (2) ストップ条件出力設定 (マスタ動作中の MSS ビットへの "0" 書込み) 時以外に NACK を受信した場合
- (3) WSEL="0" 設定時、第 2 バイト以降でアービトラクションロストを検出した場合
- (4) 第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向 (IBSR:TRX="0") で受信 FIFO 許可時に受信 FIFO にデータがある場合

<DMA モードが禁止の場合 (SSR:DMA="0")>

- (1) 第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの送信方向 (IBSR:TRX="1") で SSR:TDRE ビットが "1" の場合
- (2) 第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向 (IBSR:TRX="0") で受信 FIFO 禁止時に SSR:TDRE ビットが "1" の場合
- (3) WSEL="0" 設定時、マスタモード動作中に第 2 バイト以降で SSR:TDRE ビットが "1" の場合
- (4) WSEL="0" 設定時、スレーブ送信中に第 2 バイト以降で SSR:TDRE ビットが "1" の場合
- (5) WSEL=0 設定時、受信 FIFO 禁止でスレーブ受信の場合。

ただし、予約アドレスを検出した第 1 バイトでのスレーブ受信では 9 ビット目では割込みは発生しません。

- (6) 受信 FIFO 許可、スレーブ受信のときに受信 FIFO が Full になった場合

<DMA モードが許可の場合 (SSR:DMA="1")>

- (1) 第 1 バイトで予約アドレスを検出せずにスレーブモードの送信方向 (IBSR:TRX="1") で SSR:TDRE ビットが "1" の場合
- (2) 第 1 バイトで予約アドレスを検出せずにスレーブモードの受信方向 (IBSR:TRX="0") で受信 FIFO 禁止時に SSR:TDRE ビットが "1" の場合
- (3) WSEL="0" 設定時, マスタモード動作中に第 2 バイト以降で SSR:TBI ビットが "1" のときに INT ビットに "1" を書き込んだ場合

<その他>

バスエラー検出

INT ビットのリセット条件:

- (1) INT ビットへの "0" 書込み
- (2) INT ビットが "1", ACT ビットが "1" のときに MSS ビットへの "0" 書込み
- (3) INT ビットが "1", ACT ビットが "1" のときに SCC ビットへの "1" 書込み

DMA モードが禁止時 (SSR:DMA="0"), INT ビットへの "1" 書込みは無効です。

INT	割込みフラグビット	
	ライト	リード
0	INT ビットのクリア	割込み要求なし
1	影響しません	割込み要求あり

- (注意事項) ・ DMA モードが許可時 (SSR:DMA="1"), マスタモード動作中に第 2 バイト以降で SSR:TBI ビットが "1" のときに INT ビットに "1" を書き込んだ場合, ステータス割込みは発生しません。
- ・ DMA モードが許可 (SSR:DMA="1") で SSR:TBI ビットが "1" で IBCR:INT ビットが "0" のときに反復スタート条件を発行する場合は, 下記の手順を行ってください。
 1. IBCR:INT ビットに "1" を書き込んでください。
 2. IBCR:INT ビットが "1" に設定されていることを確認してください。
 3. TDR にスレーブアドレスを書き込んでください。
 4. IBCR:SCC ビットに "1" を設定してください。
 - ・ INT フラグが "1" に設定されている場合に, INT フラグに "0" を書き込んだ場合, I²C バスのウェイトを解除します。
 - ・ ISMK:EN ビットを "0" にした場合, 受信タイミングによっては SSR:RDRF ビットと INT ビットが "1" になることがあります。この場合, 受信データを読み出し, INT ビットをクリアしてください。
 - ・ リードモディファイライト系命令のリードは "1" が読み出されます。
 - ・ 受信 FIFO 許可時, マスタ受信動作で受信 FIFO が Full になっても INT ビットには "1" がセットされません。
 - ・ スタート条件発行時 (IBCR:MSS="1"), 本ビットに "1" を書き込んでください。

36.4.5.2 シリアルステータスレジスタ : SSR (Serial Status Register)

シリアルステータスレジスタ (SSR) は、送受信状態の確認を行います。

- SSR: アドレス 1502_H, 1526_H, 156E_H, 1592_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI	
0	0	0	0	0	0	1	1	初期値
R0,W	R0,W	R/W	R/W	R,WX	R,WX	R,WX	R,WX	属性

[bit7] REC : 受信エラーフラグクリアビット

シリアルステータスレジスタ (SSR) の ORE フラグをクリアするビットです。

- "1" 書込みで、ORE ビットがクリアされます。
- "0" 書込みは、影響しません。

リードした場合、常に "0" が読み出されます。

REC	受信エラーフラグクリアビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	受信エラーフラグ (ORE) のクリア	

[bit6] TSET : 送信バッファエンプティフラグセットビット

シリアルステータスレジスタ (SSR) の TDRE ビットをセットするビットです。

- "1" 書込みで、TDRE ビットおよび DMA モードが許可 (DMA="1") のとき TBI ビットがセットされます。
- "0" 書込みは、影響しません。

リードした場合、常に "0" が読み出されます。

TSET	送信データエンプティフラグセットビット	
	ライト	リード
0	影響なし	常に "0" をリード
1	TDRE ビットセット	

(注意事項) IBCR:INT ビットが "1" のときに本ビットに "1" を書き込んでください。

[bit5] DMA : DMA モード許可ビット

DMA モードを禁止 / 許可するビットです。

- 本ビットを "1" に設定した場合、DMA 転送に対応した割込み条件です。
- 本ビットを "0" に設定した場合、DMA 転送を行わない場合の割込み条件です。

詳細は表 36.8-1 I2C インタフェースの割込み制御ビットと割込み要因を参照してください。

DMA	DMA モード許可ビット
0	DMA モードを禁止
1	DMA モードを許可

(注意事項) ISMK:EN="0" のときのみ本ビットを変更できます。

[bit4] TBIE : 送信バスアイドル割込み許可ビット (DMA モードが許可のみ有効)

- CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。
- DMA モードが許可 (DMA="1") で TBIE ビットと TBI ビットが "1" のとき、送信バスアイドル割込み要求を出力します。
- DMA モードが禁止 (DMA="0") のとき、本ビットは "0" となり、書込みを行っても、その書込みは無視され、"0" の状態を保持します。

TBIE	送信バスアイドル割込み許可ビット
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit3] ORE : オーバランエラーフラグビット

- 受信時にオーバランが発生した場合に "1" に設定され、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。
- ORE ビットと SMR:RIE ビットが "1" の場合、受信割込み要求を出力します。
- 本フラグがセットされた場合、受信データレジスタ (RDR) は無効です。
- 受信 FIFO 使用時、本フラグがセットされた場合には受信データは受信 FIFO に格納されません。

ORE	オーバランエラーフラグビット
0	オーバランエラーなし
1	オーバランエラーあり

[bit2] RDRF : 受信データフルフラグビット

- ・受信データレジスタ (RDR) の状態を示すフラグです。
- ・SMR:RIE ビットと受信データフラグビット (RDRF) が "1" の場合, 受信割込み要求を出力します。
- ・RDR に受信データがロードされると, "1" に設定され, 受信データレジスタ (RDR) を読み出すと "0" にクリアされます。
- ・データの 8 ビット目の SCL 立下りタイミングでセットされます。
- ・NACK 応答 * でもセットされます。
- ・受信 FIFO 使用時は, 受信 FIFO に所定のデータ数を受信したら RDRF が "1" に設定されます。
- ・受信 FIFO 使用時は, 受信 FIFO がエンプティになると "0" にクリアされます。
- ・下記条件をすべて満たす場合において, 受信アイドル状態がボーレートクロックで 8 クロック以上続くと, 割込みフラグ (SSR:RDRF) が "1" に設定されます。
 - ・受信 FIFO アイドル検出許可ビット (FCR:FRIIE) が "1"
 - ・受信 FIFO に存在するデータ数が転送数に達しない
 - ・IBCR:BER ビットが "0"

8 クロックカウント中, RDR を読み出すとそのカウンタは "0" にリセットされ, 再度 8 クロックをカウントします。

*)NACK 応答: アクノリッジ期間 I²C バスの SDA が "H" であることを指します。

RDRF	受信データフルフラグビット
0	受信データレジスタ (RDR) がエンプティ
1	受信データレジスタ (RDR) にデータが存在する

(注意事項) 以下の条件をすべて満たす場合, ACK 送信後に SCL を "L" にし, RDRF ビットが "0" になると SCL が "L" の状態を解除します。

- ・受信 FIFO 未使用時
- ・DMA モード許可 (IBCR:DMA="1") 時
- ・第 2 バイト以降で受信動作中 (IBSR:TRX="0"), RDRF ビットが "1" のとき
- ・IBCR:WSEL="0"

以下の条件をすべて満たす場合, 1 バイトデータ受信直後に SCL を "L" にし, RDRF ビットが "0" になると SCL が "L" の状態を解除します。

- ・受信 FIFO 未使用時
- ・DMA モード許可 (IBCR:DMA="1") 時
- ・第 2 バイト以降で受信動作中 (IBSR:TRX="0"), RDRF ビットが "1" のとき
- ・IBCR:WSEL="1"

受信 FIFO 使用時に DMA モード許可 (DMA="1") で受信の場合, 受信 FIFO がフルになると SCL を "L" にし, RDR より 1 回でもデータを読み出すと SCL が "L" の状態を解除します。

[bit1] TDRE : 送信データエンプティフラグビット

- ・送信データレジスタ (TDR) の状態を示すフラグです。
- ・SMR:TIE ビットと TDRE ビットが "1" の場合, 送信割込み要求を出力します。
- ・TDR に送信データを書き込むと, "0" となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" となり TDR に有効なデータが存在していないことを示します。
- ・シリアルステータスレジスタ (SSR) の TSET ビットに "1" を書き込むとセットされます。アービトラクションロスト, バスエラーなど検出した場合, TDRE ビットを "1" に設定したいときに使用します。

TDRE	送信データエンプティフラグビット
0	送信データレジスタ (TDR) にデータが存在する
1	送信データレジスタ (TDR) がエンプティ

[bit0] TBI : 送信バスアイドルフラグビット

本ビットは DMA モード許可時 (DMA="1") に I²C が送信動作をしていないことを示すビットです。DMA モード許可 (DMA="1") で第 2 バイト以降に TBI ビットが "1" になると, SCL を "L" にし, TBI ビットが "0" になると SCL の "L" 状態を解除します。

TBI ビットのセット条件

<8 ビット目>

1. WSEL が "1", マスタ動作中, 第 2 バイト以降で SSR:TDRE ビットが "1" の場合
2. WSEL が "1", スレーブ送信中, 第 2 バイト以降で SSR:TDRE ビットが "1" の場合

<9 ビット目>

1. マスタ動作中, 第 1 バイトで予約アドレスを検出せずに SSR:TDRE ビットが "1" の場合
2. WSEL が "0", マスタ動作中, 第 2 バイト以降で SSR:TDRE ビットが "1" の場合
3. WSEL が "0", スレーブ送信中, 第 2 バイト以降で SSR:TDRE ビットが "1" の場合

<その他>

送信バッファエンプティフラグセットビット (TSET) が "1" に設定されている場合

TBI ビットのリセット条件

送信データレジスタ (TDR) へ送信データを書き込んだ場合

本ビットが "1" で, 送信バスアイドル割込み許可 (SCR:TBIE="1") されていると送信割込み要求を出力します。

- ・DMA モードが禁止 (DMA="0") 時に, 本ビットは不定となります。

TBI	送信バスアイドルフラグビット
0	送信中
1	送信動作なし

36.4.5.3 I²C バスステータスレジスタ : IBSR (I²C Bus Status Register)

I²C バスステータスレジスタ (IBSR) は、反復スタート、アクノリッジ、データ方向、アービトレーションロスト、ストップ条件、I²C バス状態、バスエラーを検出したことを示します。

• IBSR: アドレス 1503_H, 1527_H, 156F_H, 1593_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
FBT	RACK	RSA	TRX	AL	RSC	SPC	BB	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R(RM1), W	R(RM1), W	R,WX	属性

[bit7] FBT : ファーストバイトビット

第 1 バイトを示すビットです。

FBT ビットのセット条件:

- (1) (反復) スタート条件を検出した場合

FBT ビットのクリア条件:

- (1) 2 バイト目の送受信
- (2) ストップ条件検出
- (3) I²C インタフェースの動作禁止 (ISMK:EN="0")
- (4) バスエラー検出 (IBCR:BER="1")

FBT	ファーストバイトビット
0	ファーストバイト以外
1	ファーストバイト送受信

[bit6] RACK : アクノリッジフラグビット

第 1 バイト、マスタモード時またはスレーブモード時に受信したアクノリッジをこのビットに示します。

RACK ビットの更新条件

- (1) ファーストバイト時のアクノリッジ
- (2) マスタモードまたはスレーブモード時のデータのアクノリッジ

RACK ビットのクリア条件 (RACK ビット = "0")

- (1) (反復) スタート条件検出
- (2) I²C インタフェースの動作禁止 (ISMK:EN="0")
- (3) バスエラー検出 (IBCR:BER="1")

RACK	アクノリッジフラグビット
0	"L" 受信
1	"H" 受信

[bit5] RSA : 予約アドレス検出ビット

本ビットは予約アドレスを検出したことを示すビットです。

RSA ビットのセット条件 (RSA="1")

- (1) 第 1 バイト目が "0000xxxx" または "1111xxxx"。"x" は "0" または "1" を示します。

RSA ビットのリセット条件 (RSA="0")

- (1) (反復) スタート条件検出
- (2) ストップ条件検出
- (3) I²C インタフェースの動作禁止 (ISMK:EN="0")
- (4) バスエラー検出 (IBCR:BER="1")

第 1 バイトで RSA ビットが "1" になるとその第 1 バイトの 8 ビット目の SCL の立下りで、FIFO 許可、禁止に関係なく割込みフラグ (IBCR:INT) を "1" にして SCL を "L" にします。このとき受信データを読み出し、スレーブとして動作させる場合には IBCR:ACKE を "1" に設定し、割込みフラグ (IBCR:INT) を "0" にクリアします。その後、TRX ビットが "0" であれば、スレーブとしてデータを受信します。途中でデータを受信させない場合には IBCR:ACKE ビットを "0" にします。それ以降、データを受信しません。

RSA	予約アドレス検出ビット
0	予約アドレス未検出
1	予約アドレス検出

- (注意事項) ・ データ転送中に IBCR:ACKE を "0" にした場合には、ストップ条件または反復スタート条件を検出するまで IBCR:ACKE を "1" にすることは禁止です。
- ・ 予約アドレス検出による割込み時、スレーブ送信を確認した場合、受信 FIFO が許可になっていると ACK 応答しますので受信 FIFO を禁止にし、IBCR:ACKE="0" にしてください。

[bit4] TRX : データ方向ビット

本ビットはデータの方向を示すビットです。

TRX ビットのセット条件:

- (1) マスタモードで (反復) スタート条件を送信
- (2) スレーブモードで第 1 バイトの 8 ビット目が "1" の場合 (スレーブとして送信方向)

TRX ビットのリセット条件:

- (1) アービトレーションロスト発生 (AL="1")
- (2) スレーブモードでファーストバイトの 8 ビット目が "0" の場合 (スレーブとして受信方向)
- (3) マスタモードでファーストバイトの 8 ビット目が "1" の場合 (マスタとして受信方向)
- (4) ストップ条件検出
- (5) マスタモード以外で (反復) スタート条件検出
- (6) I²C インタフェースの動作禁止 (ISMK:EN="0")
- (7) バスエラー検出 (IBCR:BER="1")

TRX	データ方向ビット
0	受信方向
1	送信方向

[bit3] AL : アービトレーションロストビット

本ビットはアービトレーションロストを示します。

AL ビットのセット条件：

- (1) マスタモード時出力しているデータと受信したデータが異なる場合
- (2) IBCR:MSS ビットに "1" を設定したが、スレーブとして動作している場合
- (3) マスタモード時、第 2 バイト目以降のデータの 1 ビット目で反復スタート条件を検出した場合
- (4) マスタモード時、第 2 バイト目以降のデータの 1 ビット目でストップ条件を検出した場合
- (5) マスタモード時、反復スタート条件を発生させようとして発生できない場合
- (6) マスタモード時、ストップ条件を発生させようとして発生できない場合

AL ビットのリセット条件：

- (1) IBCR:MSS ビットへの "1" 書込み
- (2) IBCR:INT ビットへの "0" 書込み
- (3) AL="1", SPC="1" のときに SPC ビットへの "0" 書込み
- (4) I²C インタフェースの動作禁止 (ISMK:EN="0")
- (5) バスエラー検出 (IBCR:BER="1")

AL	アービトレーションロストビット
0	アービトレーションロスト発生なし
1	アービトレーションロスト発生

[bit2] RSC : 反復スタート条件確認ビット

マスタモードまたはスレーブモード時に反復スタート条件を検出したことを示すビットです。

RSC ビットのセット条件：

- (1) スレーブモードまたはマスタモードで動作中にアクノリッジ後、反復スタート条件が検出された場合

RSC ビットのリセット条件：

- (1) RSC ビットへの "0" 書込み
- (2) IBCR:MSS ビットへの "1" 書込み
- (3) I²C インタフェースの動作禁止 (ISMK:EN="0")

本ビットへの "1" 書込みは無効となります。

RSC	反復スタート条件確認ビット
0	反復スタート条件未検出
1	反復スタート条件検出

- (注意事項) ・ 予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次に反復スタート条件を検出しても本ビットに "1" はセットされません。
- ・ リードモディファイライト系命令のリードは "1" が読み出されます。

[bit1] SPC : ストップ条件確認ビット

マスタモードまたはスレーブモード時にストップ条件を検出したことを示すビットです。

SPC ビットのセット条件：

- (1) スレーブモードまたはマスタモードで動作中にストップ条件が検出された場合
- (2) マスタモード時、ストップ条件発生動作でアービトレーションロストが発生した場合

SPC ビットのリセット条件：

- (1) 本ビットへの "0" 書込み
- (2) IBCR:MSS ビットへの "1" 書込み
- (3) I²C インタフェースの動作禁止 (ISMK:EN="0")

本ビットへの "1" 書込みは無効です。

SPC	ストップ条件確認ビット	
0	ストップ条件未検出	
1	マスタ	ストップ条件検出またはストップ条件出力時のアービトレーションロスト発生
	スレーブ	ストップ条件検出

- (注意事項) ・ 予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次にストップ条件を検出しても本ビットに "1" はセットされません。
- ・ リードモディファイライト系命令のリードは "1" が読み出されます。

[bit0] BB : バス状態ビット

本ビットはバスの状態を示します。

BB ビットのセット条件：

- (1) I²C バスの SDA または SCL で "L" を検出した場合

BB ビットのリセット条件：

- (1) ストップ条件を検出した場合
- (2) I²C インタフェースの動作禁止 (ISMK:EN="0")
- (3) バスエラー検出 (IBCR:IBER="1")

BB	バス状態ビット
0	バスアイドル状態
1	バス送受信状態

36.4.5.4 送信データレジスタ・受信データレジスタ：

RDR/TDR (Receive Data Register / Transmit Data Register)

受信データと送信データレジスタは同一アドレスに配置されています。リードした場合は、受信データレジスタとして機能し、ライトした場合は送信データレジスタとして機能します。

- RDR/TDR: アドレス 1506_H, 152A_H, 1572_H, 1596_H (アクセス：バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約								
0	0	0	0	0	0	0	0	初期値
RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

■ リード

受信データレジスタ (RDR) は、シリアルデータ受信用のデータバッファレジスタです。

- シリアルデータライン (SOT 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- 第 1 バイト *1 を受信した場合、最下位ビット (RDR:D0) がデータ方向ビットです。
- 受信データが、受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR:RDRF) が "1" に設定されます。
- 受信データフルフラグビット (SSR:RDRF) は、受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。

*1) 第 1 バイト : (反復) スタート条件後のデータを指します

- (注意事項) ・ 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が "1" に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が "0" にクリアされます。

■ ライト

送信データレジスタ (TDR) は、シリアルデータ送信用のデータバッファレジスタです。

- 送信データレジスタ (TDR) の値の MSB ファーストでシリアルデータライン (SOT 端子) に出力します。
- 第 1 バイトを送信する場合、最下位ビット (TDR:D0) がデータ方向ビットです。
- 送信データエンプティフラグ (SSR:TDRE) は、送信データが送信データレジスタ (TDR) に書き込まれると、"0" にクリアされます。
- 送信データエンプティフラグ (SSR:TDRE) は、送信用シフトレジスタへ転送されると、"1" に設定されます。
- 送信 FIFO 禁止時、データエンプティフラグ (SSR:TDRE) が "0" のときは送信データレジスタ (TDR) に送信データを書き込むことはできません。
- 送信 FIFO 使用時、データエンプティフラグ (SSR:TDRE) が "0" であっても送信 FIFO の容量まで送信データを書き込むことが可能です。

(注意事項) 送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書き込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 動作をする命令は使用できません。

36.4.5.5 シリアル補助制御ステータスレジスタ : SACSР

シリアル補助制御ステータスレジスタ (SACSР) は、シリアルタイマの起動方法の選択、タイマ割込みの許可 / 禁止、シリアルタイマの動作クロックの分周値、およびシリアルタイマの許可 / 禁止の設定ができます。

- SACSР: アドレス 1508_H, 152C_H, 1574_H, 1598_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約							TINT	
0	0	0	0	0	0	0	0	初期値
R0,W0	RX,W0	R0,W0	R0,W0	R0,W0	RX,W0	RX,W0	R(RM1), W	属性
7	6	5	4	3	2	1	0	bit
TINTE	-	予約	TDIV3	TDIV2	TDIV1	TDIV0	TMRE	
0	0	0	0	0	0	0	0	初期値
R/W	R0,WX	RX,W0	R,W	R,W	R,W	R,W	R/W	属性

[bit15 ～ bit9] 予約

本ビットには必ず "0" を設定してください。

[bit8] TINT : タイマ割込みフラグ

シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致すると、シリアルタイマレジスタ (STMR) は "0" になり、本ビットは "1" に設定されます。

本ビットが "1" でタイマ割込み許可ビット (TINTE) が "1" のとき、ステータス割込み要求を出力します。

本ビットに "0" を書き込むと "0" にリセットされます。

本ビットへの "1" 書込みは無効です。

TINT	説明
0	タイマ割込み要求なし
1	タイマ割込み要求あり

(注意事項) ・ソフトウェアリセット (SCR:UPCL="1") を行くと、本ビットは "0" にリセットされます。

・リードモディファイライト系命令のリードは "1" が読み出されます。

[bit7] TINTE : タイマ割込み許可ビット

CPU へのタイマ割込みの許可 / 禁止するビットです。

本ビットが "1" でタイマ割込みフラグ (TINT) が "1" の場合、ステータス割込み要求を出力します。

TINTE	説明
0	シリアルタイマによる割込みを禁止
1	シリアルタイマによる割込みを許可

[bit6] 未定義

リードした場合: 読出し値は "0" です。

ライトした場合: 影響しません。

[bit5] 予約

本ビットには必ず "0" を設定してください。



[bit4 ～ bit1] TDIV3-0 : タイマ動作クロック分周ビット

シリアルタイマの分周比を設定します。

TDIV3	TDIV2	TDIV1	TDIV0	タイマ動作クロック						
				分周比	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$	$\phi = 24\text{MHz}$	$\phi = 32\text{MHz}$
0	0	0	0	ϕ	125ns	100ns	62.5ns	50ns	41.67ns	31.25ns
0	0	0	1	$\phi / 2$	250ns	200ns	125ns	100ns	83.33ns	62.5ns
0	0	1	0	$\phi / 4$	500ns	400ns	250ns	200ns	166.67ns	125ns
0	0	1	1	$\phi / 8$	1 μs	800ns	500ns	400ns	333.33ns	250ns
0	1	0	0	$\phi / 16$	2 μs	1.6 μs	1 μs	800ns	666.67ns	500ns
0	1	0	1	$\phi / 32$	4 μs	3.2 μs	2 μs	1.6 μs	1.33 μs	1 μs
0	1	1	0	$\phi / 64$	8 μs	6.4 μs	4 μs	3.2 μs	2.67 μs	2 μs
0	1	1	1	$\phi / 128$	16 μs	12.8 μs	8 μs	6.4 μs	5.33 μs	4 μs
1	0	0	0	$\phi / 256$	32 μs	25.6 μs	16 μs	12.8 μs	10.67 μs	8 μs

ϕ : バスクロック

- (注意事項) ・ 本ビットはシリアルタイマ許可ビット (TMRE) が "0" のときのみ変更可能です。
・ 上記の設定以外は禁止です。

[bit0] TMRE : シリアルタイマ許可ビット

シリアルタイマの動作許可, または禁止を選択します。

TMRE	シリアルタイマ許可ビット
0	シリアルタイマの動作を停止 停止時, シリアルタイマレジスタ (STMR) の値は保持
1	本ビットを "0" から "1" に変更した場合, シリアルタイマ レジスタ (STMR) の値を "0" に初期化し, シリアルタイマ の動作を開始

36.4.5.6 シリアルタイマレジスタ : STMR

シリアルタイマレジスタ (STMR) は、シリアルタイマのタイマ値を示します。

- STMR: アドレス 150A_H, 152E_H, 1576_H, 159A_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TM15	TM14	TM13	TM12	TM11	TM10	TM9	TM8	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
TM7	TM6	TM5	TM4	TM3	TM2	TM1	TM0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15 ~ bit0] TM15-0 : タイマデータビット

シリアルタイマのタイマ値を示します。

タイマ動作中、シリアルタイマのタイマ値はタイマ動作クロック (SACSR:TDIV3-0 で設定) ごとに 1 が加算されます。

(注意事項) タイマ動作開始時、本ビットは "0" に初期化されます。

36.4.5.7 シリアルタイマ比較レジスタ : STMCR

シリアルタイマ比較レジスタ (STMCR) は、シリアルタイマのタイマの比較値を設定します。

- STMCR: アドレス 150C_H, 1530_H, 1578_H, 159C_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ~ bit0] TC15-0 : コンペアビット

シリアルタイマの比較値を設定します。

本ビットはシリアルタイマレジスタ (STMR) と比較され、シリアルタイマレジスタ (STMR) が更新されるタイミングで本ビットとシリアルタイマレジスタの値が一致した場合シリアルタイマレジスタを "0" にします。そのとき、タイマ割込みフラグ (SACSR:INT) を "1" にします。

下記の動作が行われる間隔は (STMCR:TC + 1) × タイマ動作クロック (SACSR:TDIV3-0 で設定) になります。

- SACSR:TINIT が "1" に設定されている

- (注意事項)
- 本レジスタに "0000" h を設定した場合、シリアルタイマレジスタは "0" のままです。
 - 本レジスタに "0000" h が設定された状態で、タイマ動作中にタイマ動作クロックの分周値 (SACSR:TDIV) を "0000" b に設定した場合、タイマ割込みフラグ (SACSR:TINT) は "1" に固定されます。
 - シリアルタイマ禁止 (SACSR:TMRE="0") のときのみ、本レジスタは変更可能です。

36.4.5.8 7 ビットスレーブアドレスマスクレジスタ : ISMK

7 ビットスレーブアドレスマスクレジスタ (ISMK) は、スレーブアドレスの各ビットの比較をするかを設定するレジスタです。

• ISMK: アドレス 151E_H, 1542_H, 158A_H, 15AE_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	
0	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7] EN : I²C インタフェース動作許可ビット

I²C インタフェースの動作を許可 / 禁止するビットです。

"0" に設定した場合 : I²C インタフェースは動作禁止状態になります。

"1" に設定した場合 : I²C インタフェースが動作可能となります。

EN	I ² C-UART 動作許可ビット
0	禁止
1	許可

(注意事項) ・ IBSR レジスタの BER ビットが "1" に設定されても、本ビットは "0" にクリアされません。

- ・ 本ビットが "0" のときにボーレートジェネレータを設定してください。
- ・ 本ビットが "0" のときに 7 ビットスレーブアドレスおよび 7 ビットスレーブアドレスマスクレジスタを設定してください。
- ・ I²C インタフェースが禁止される (EN="0") と送受信は直ちに禁止されます。
- ・ IBCR:MSS ビットに "0" を書き込んでストップコンディションを発生させた後に I²C インタフェースの動作を禁止する場合は、ストップコンディションの発生を確認した後、動作を禁止 (EN="0") してください。
- ・ 送信中に EN ビットを "0" にした場合、I²C バスの SOT/SCK にパルスが発生することがあります。

[bit6 ~ bit0] SM6-0 : スレーブアドレスマスクビット

7 ビットスレーブアドレスと受信したアドレスに対し、比較対象外にするかどうかを設定するビットです。

"0" に設定したビット : 一致したものとして処理する

"1" に設定したビット : 比較する

SM6-0	7 ビットスレーブアドレスマスクビット
0	ビット比較しない
1	ビット比較する

(注意事項) EN ビットが "0" のときに本レジスタを設定してください。

36.4.5.9 7 ビットスレーブアドレスレジスタ : ISBA

7 ビットスレーブアドレスレジスタ (ISBA) は、スレーブアドレスを設定するレジスタです。

- ISBA: アドレス 151F_H, 1543_H, 158B_H, 15AF_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0	
0	0	0	0	0	0	0	0	初期値
R/W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit7] SAEN : スレーブアドレス許可ビット

スレーブアドレスの検出許可ビットです。

"0" に設定した場合: スレーブアドレスを検出しません。

"1" に設定した場合: ISBA, ISMK の設定と受信した第 1 バイトと比較を行います。

SAEN	スレーブアドレス許可ビット
0	禁止
1	許可

[bit6 ~ bit0] SA6-0 : 7 ビットスレーブアドレス

- 7 ビットスレーブアドレスレジスタ (ISBA) は、スレーブアドレス検出許可 (SAEN="1") されていれば、(反復) スタート条件検出後に受信した 7 ビットのデータが本レジスタと比較し、全ビットが一致すればスレーブモードとして動作し、ACK を出力します。そのとき、受信したスレーブアドレスは本レジスタに設定されます。(SAEN="0" であれば、ACK を出力しません)
- ISMK レジスタに "0" を設定したアドレスビットは比較対象外となります。

SA	スレーブアドレス設定ビット
6 ~ 0	7 ビットスレーブアドレス

(注意事項) ・ 予約アドレスの設定は禁止です。

- ・ 本レジスタは ISMK:EN ビットが "0" のときに設定してください。

36.4.5.10 ボーレートジェネレータレジスタ : BGR (Baud rate Generator Register)

ボーレートジェネレータレジスタ (BGR) は、シリアルクロックの分周比を設定します。

- BGR: アドレス 151C_H, 1540_H, 1588_H, 15AC_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	BGR[14:8]							
-	0	0	0	0	0	0	0	初期値
RX,W0	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
BGR[7:0]								
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15] 予約

本ビットには必ず "0" を設定してください。

[bit14 ~ bit0] BGR (Baud rate Generator) : ボーレートジェネレータビット

- シリアルクロックの分周比を設定します。
- カウントするリロード値の書き込み, 設定値の読出しが可能です。
- リロード値を書き込むとリロードカウンタはカウントを開始します。

- (注意事項) ・ ボーレートジェネレータレジスタ (BGR) への書き込みは、16 ビットアクセスで行ってください。
- ・ ISMK:EN ビットが "0" のときにボーレートジェネレータレジスタの設定を行ってください。
 - ・ マスタモード, スレーブモードに関係なく, ボーレートを設定してください。
 - ・ 動作モード 4(I²C モード) ではバスクロックは 8MHz 以上で使用し, 400kbps を超えるボーレートジェネレータの設定は禁止です。

36.5 UART の動作説明

36.5.1 UART の割込み

UART には、送受信割込みおよびステータス割込みがあります。次に示す要因で割込み要求を発生させることができます。

- ・受信データが受信データレジスタ (RDR) に設定された場合、または受信エラーが発生した場合。
- ・送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され、送信が開始された場合。
- ・送信バスアイドル (送信動作なし)
- ・送信 FIFO データ要求。
- ・シリアルタイマの比較値 (STMCR) とシリアルタイマ値 (STMR) が一致

36.5.1.1 UART の割込み一覧

UART の割込み制御ビットと割込み要因は表 36.5-1 次のようになっています。

表 36.5-1 UART の割込み制御ビットと割込み要因 (1 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
受信	RDRF	SSR	○	○	1 バイト受信	SCR:RIE	受信データ (RDR) の読出し
					FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
					FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
					オーバランエラー		
	ORE	SSR	○	○	フレーミングエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
	FRE	SSR	○	○	パリティエラー		
送信	PE	SSR	○	×			
	TDRE	SSR	○	○	送信レジスタがエンプティ	SCR:TIE	送信データ (TDR) への書込み、または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *1
	TBI	SSR	○	○	送信動作なし	SCR:TBIE	送信データ (TDR) への書込み、または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *1
	FDRQ	FCR1	○	○	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込みまたは送信 FIFO がフル

表 36.5-1 UART の割込み制御ビットと割込み要因 (2 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
ステータス	TINT	SACSR	○	○	シリアルタイムレジスタ (STMR) とシリアルタイム比較レジスタ (STMCR) が一致	SACSR:TINTE	タイマ割込みフラグビット (SACSR:TINT) への "0" 書込み

*1: TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

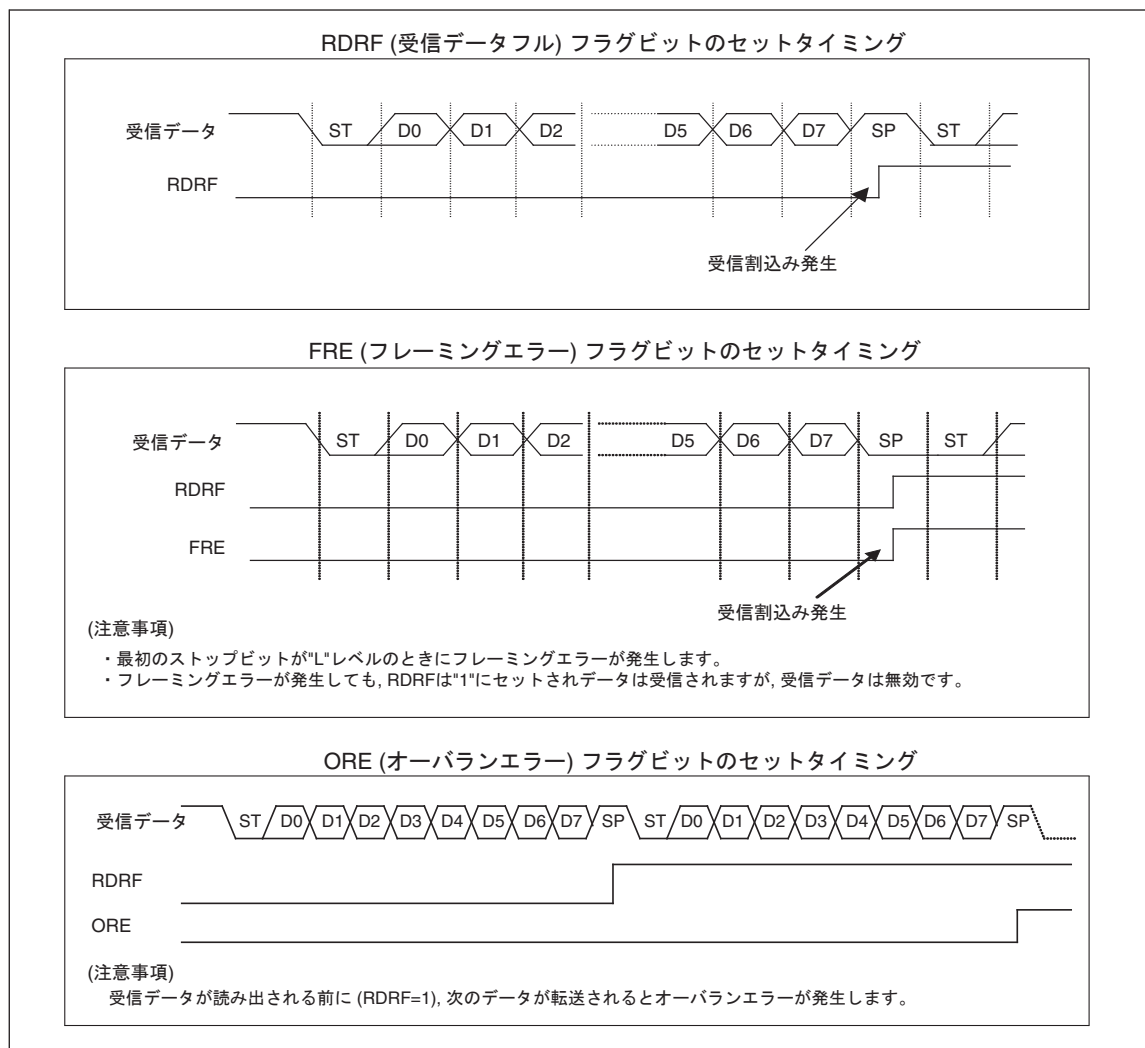
36.5.1.2 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了 (SSR:RDRF), および受信エラーの発生 (SSR:PE, ORE, FRE) があります。

最初のストップビットの検出されることにより、受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF="1") または受信エラーが発生 (SSR:PE, ORE, FRE="1") すると各フラグがセットされます。そのとき、受信割込みが許可 (SCR:RIE=1) されていると受信割込みが発生します。

(注意事項) 受信エラーが発生した場合は、受信データレジスタ (RDR) のデータは無効となります。

図 36.5-1 各フラグビットのセットのタイミング



(注意事項) 受信時、ストップビットのサンプリングポイントと同時または 1 ～ 2 バスクロック前に下記を検出すると、そのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空ける必要があります。

- ・シリアルデータの立下りエッジ (ESCR:INV="0" の場合)
- ・シリアルデータの立上りエッジ (ESCR:INV="1" の場合)

36.5.1.3 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

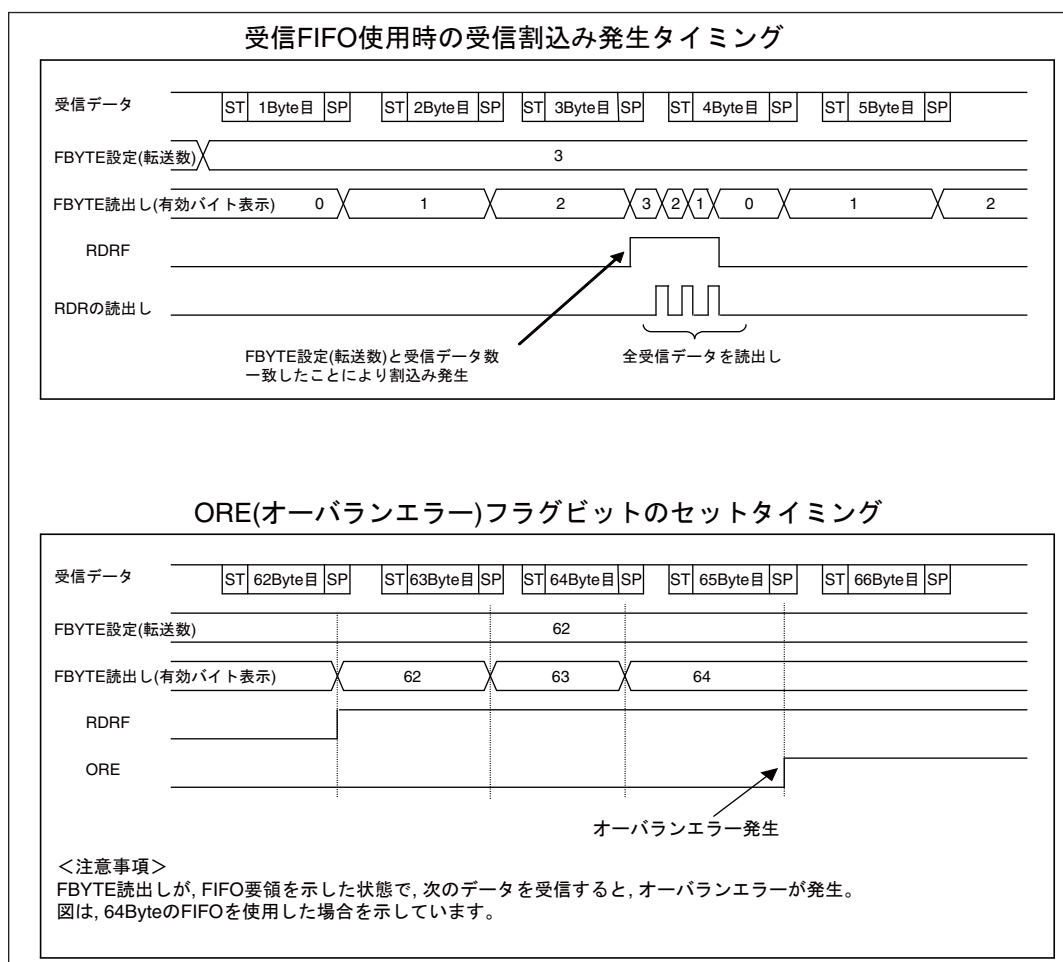
受信 FIFO 使用時の割込みは、FBYTE レジスタ (FBYTE) の設定値分受信すると発生します。受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTEレジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" に設定されます。このとき、受信割込み許可 (SCR:RIE) されていると受信割込みを発生します。
- 下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ (SSR:RDRF) が "1" に設定されます。
 - ・受信 FIFO アイドル検出許可ビット (FCR:FRIDE) が "1"
 - ・受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

- 受信 FIFO がエンプティになるまで受信データ (RDR) を読み出すと、受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示がFIFO容量を示した状態で、次のデータを受信するとオーバランエラー (SSR:ORE=1) が発生します。

図 36.5-2 FIFO 使用時のタイミング



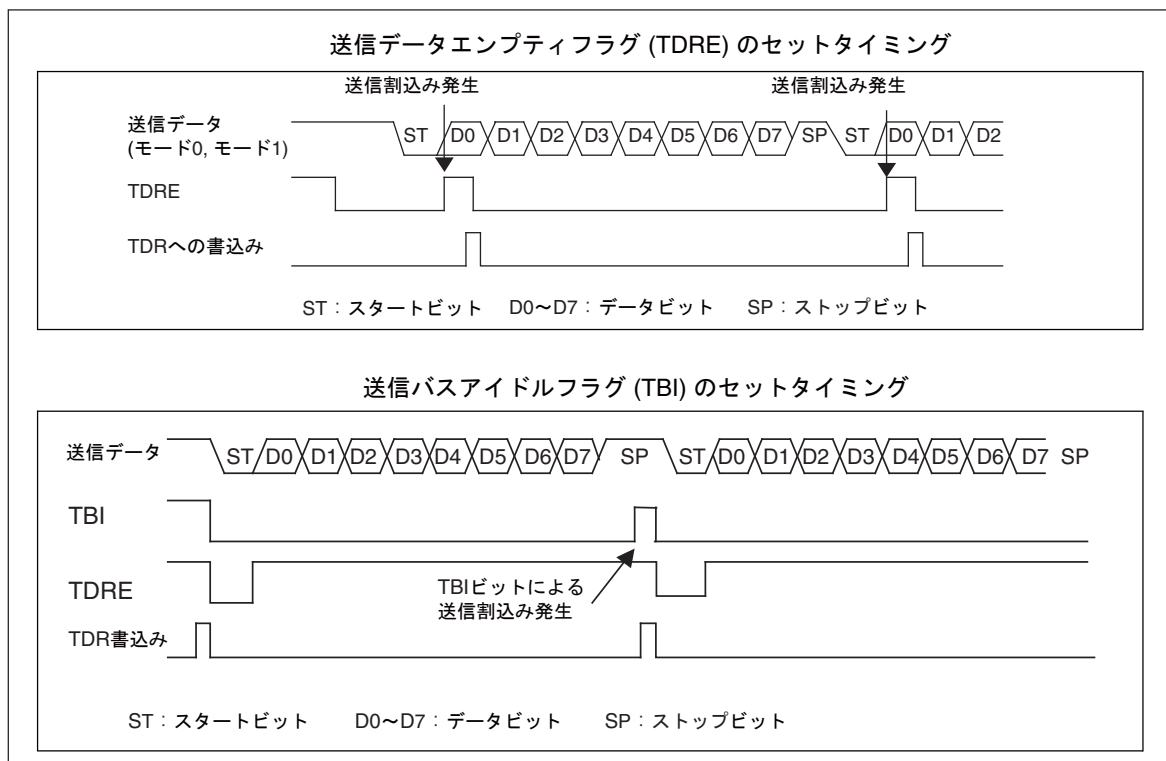
36.5.1.4 送信割込み発生とフラグセットのタイミング

送信時の割込みとしては、送信データが、送信データレジスタ (TDR) から送信用シフトレジスタに転送され (SSR:TDRE=1) 送信が開始された場合と、送信動作をしていない場合 (SSR:TBI=1) に発生します。

送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書き込みが可能な状態 (SSR:TDRE=1) になります。そのとき、送信割込みが許可 (SCR:TIE=1) されていると、送信割込みが発生します。SSR:TDRE ビットは読出し専用ビットのため、送信データレジスタ (TDR) へのデータ書き込みにより SSR:TDRE ビットは "0" にクリアされます。

送信データレジスタが空 (TDRE=1) で送信動作をしていないとき、SSR:TBI ビットは "1" に設定されます。このとき、送信バスアイドル割込み許可 (SCR:TBIE=1) されていると、送信割込みが発生します。送信データレジスタ (TDR) に送信データを書き込むと SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 36.5-3 送信割込みフラグのタイミング

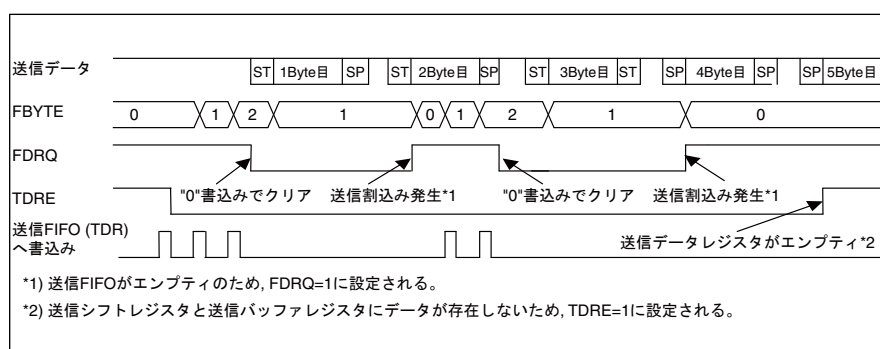


36.5.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しないときに発生します。

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット (FCR1:FDRQ) が "1" に設定されます。
このとき、FIFO 送信割込み許可 (FCR1:FTIE="1") されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット (FCR1:FDRQ) に "0" 書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" に設定されます。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ (FBYTE) を読み出すことで確認できます。
- FBYTE=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 36.5-4 送信 FIFO 使用時の送信割込み発生タイミング

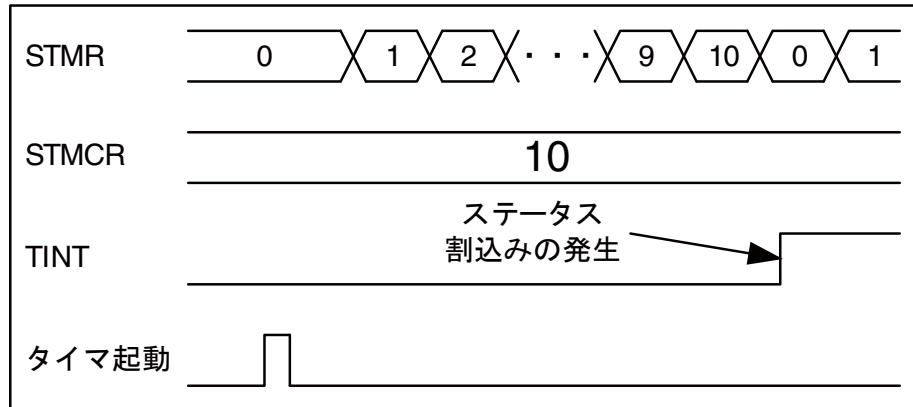


36.5.1.6 タイマ割込み発生とフラグセットのタイミング

タイマ割込みは、シリアルタイマレジスタ (STMR) がシリアルタイマ比較レジスタ (STMCR) と一致した場合に発生します。

- シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタが一致した場合、タイマ割込みフラグ (SACSR:TINT) が "1" に設定されます。
このとき、タイマ割込み許可 (SACSR:TINTE="1") されているとステータス割込みが発生します。

図 36.5-5 タイマ割込み発生タイミング



36.5.2 UART の動作

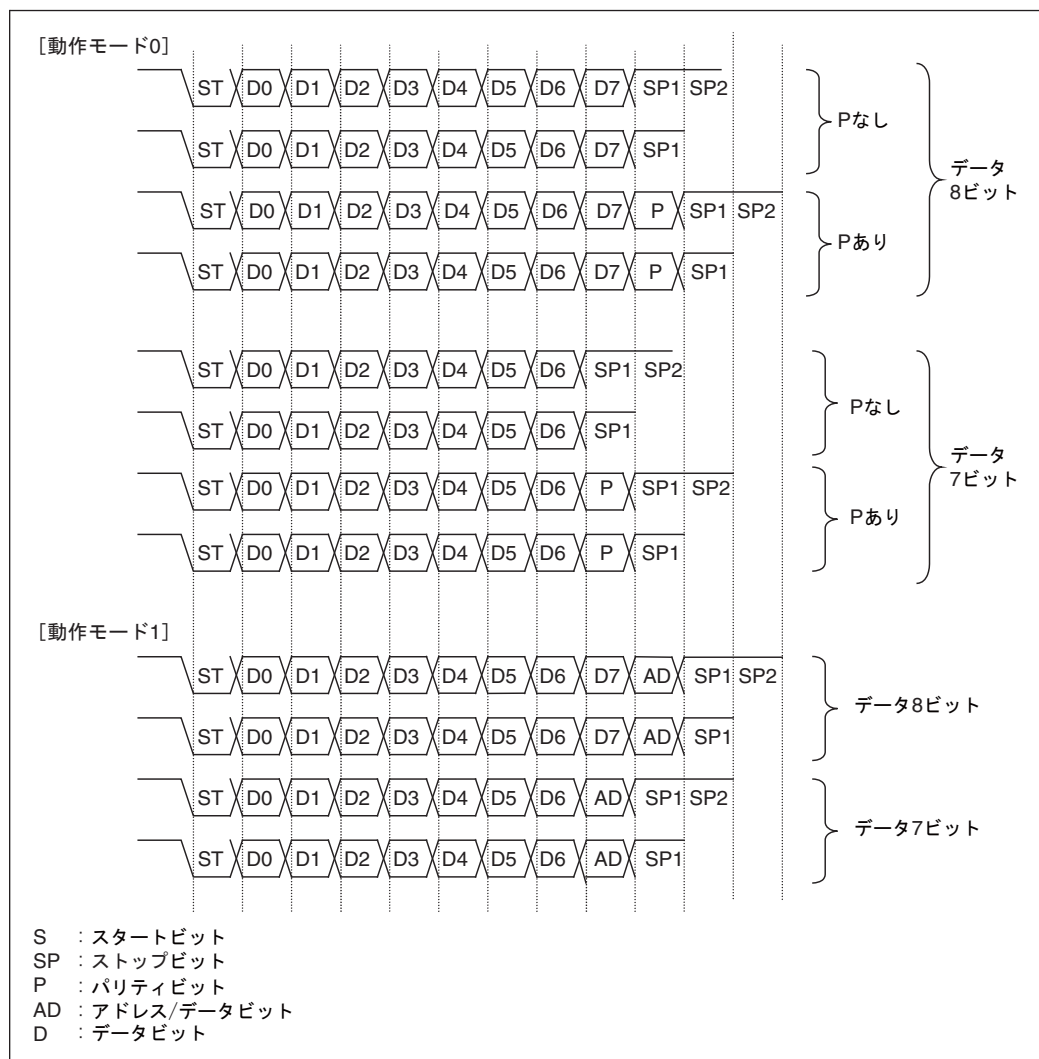
UART は、モード 0 の双方向シリアル非同期通信、モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

36.5.2.1 送受信データフォーマット

- 送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
- データ転送方向 (LSB ファーストまたは MSB ファースト) は、シリアルモードレジスタ (SMR) の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
- 動作モード 0 (通常モード) では、パリティは、あり / なしの選択ができます。
- 動作モード 1 (マルチプロセッサモード) では、パリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマットを図 36.5-6 に示します。

図 36.5-6 送受信データフォーマット例 (動作モード 0, 1)



- (注意事項) ・ 上図は、データ長 7, 8 ビットに設定した場合を示しています。(データ長は、動作モード 0 の場合、5 ～ 9 ビットまで設定できます。)
- ・ シリアルモードレジスタ (SMR) の BDS ビットを "1"(MSB ファースト) に設定した場合、ビットは D7, D6, D5, . . . , D1, D0(P) の順で処理されます。
 - ・ データ長が、X ビット長に設定した場合、送受信データレジスタ (RDR/TDR) の下位 X ビットが有効になります。

36.5.2.2 送信動作

- ・ シリアルステータスレジスタ (SSR) の送信データエンプティフラグビット (TDRE) が "1" であれば、送信データレジスタ (TDR) に送信データを書込めます。(送信 FIFO が許可されている場合には TDRE= "0" でも送信データを書くことは可能)
- ・ 送信データを送信データレジスタ (TDR) に書き込むと、送信データエンプティフラグビット (SSR:TDRE) は "0" に設定されます。
- ・ シリアル制御レジスタの送信動作許可ビット (SCR:TXE) を "1" に設定した場合、送信データは送信シフトレジスタにロードされスタートビットから順に送信が開始されます。
- ・ 送信が開始されると、送信データエンプティフラグビット (SSR:TDRE) は再び "1" に設定されます。このとき、送信割込みが許可 (SCR:TIE="1") されていれば、送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書込めます。

- (注意事項) ・ 送信データエンプティフラグビット (SSR:TDRE) は初期値が "1" のため、送信割込みが許可 (SCR:TIE) されると直ちに送信割込みが発生します。
- ・ FIFO 送信データ要求ビット (FCR1:FDRQ) は初期値が "1" のため、FIFO 送信割込みが許可 (FCR1:FTIE=1) されると直ちに送信割込みが発生します。

36.5.2.3 受信動作

- ・受信動作が許可 (SCR:RXE=1) されると、受信動作を行います。
 - ・スタートビットを検出した後、拡張通信制御レジスタ (ESCR:PEN, P, L2, L1, L0), およびシリアルモードレジスタ (SMR:BDS) に設定されているデータフォーマットに従って 1 フレームデータの受信が行われます。スタートビットの検出条件は、ノイズフィルタ (シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決) 通過後に立下り (ESCR:INV="0" の場合) または立上り (ESCR:INV="1" の場合) を検出し、サンプリングポイントでその通過後のデータが "L" を検出した場合になります。
 - ・1 フレームの受信が完了した場合、受信データフルフラグビット (SSR:RDRF) が "1" に設定されます。このとき、受信割込みが許可 (SCR:RIE="1") されている場合、受信割込みが発生します。
 - ・受信データを読み出す際には、1 フレームデータの受信完了後に受信データを読み出し、シリアルステータスレジスタ (SSR) のエラーフラグの状態を確認してください。受信エラーが発生している場合には、エラー処理を行ってください。
 - ・受信データの読出しで、受信データフルフラグビット (SSR:RDRF) は "0" にクリアされます。
 - ・受信 FIFO が許可されている場合、受信 FBYTE に設定された分のフレームを受信すると受信データフルフラグビット (SSR:RDRF) は "1" に設定されます。
 - ・下記条件を両方満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ (RDRF) が "1" に設定されます。
 - ・受信 FIFO アイドル検出許可ビット (FRIIE) が "1"
 - ・受信 FIFO に存在するデータ数が転送数に達しない
- 8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- ・受信 FIFO が許可されている場合、シリアルステータスレジスタ (SSR) のエラーフラグが "1" に設定されると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット (SSR:RDRF) を "1" に設定しません。(ただし、オーバランエラーの場合は RDRF フラグは "1" に設定されます。) 受信 FBYTE の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ (SSR) のエラーフラグが "0" にクリアされないと受信 FIFO は許可されません。
 - ・受信 FIFO が許可されている場合、受信 FIFO にデータがなくなると受信データフルフラグビット (SSR:RDRF) は "0" にクリアされます。

- (注意事項) ・受信データレジスタ (RDR) のデータは、受信データレジスタフルフラグビット (SSR:RDRF) が "1" に設定され、受信エラーが発生しなかった場合 (SSR:PE, ORE, FRE=0) に有効です。
- ・ノイズフィルタ (シリアルデータ入力を 3 回バスクロックでサンプリングして多数決) は内蔵していますが、ノイズがフィルタを通過してしまうと間違ったデータを受信してしまいます。その対策としてノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない (例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど) ように通信を行ってください。
 - ・受信時、ストップビットのサンプリングポイントと同時または 1 ～ 2 バスクロック前に下記を検出した場合、そのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空ける必要があります。
 - ・シリアルデータの立下りエッジ (ESCR:INV="0" の場合)
 - ・シリアルデータの立上りエッジ (ESCR:INV="1" の場合)

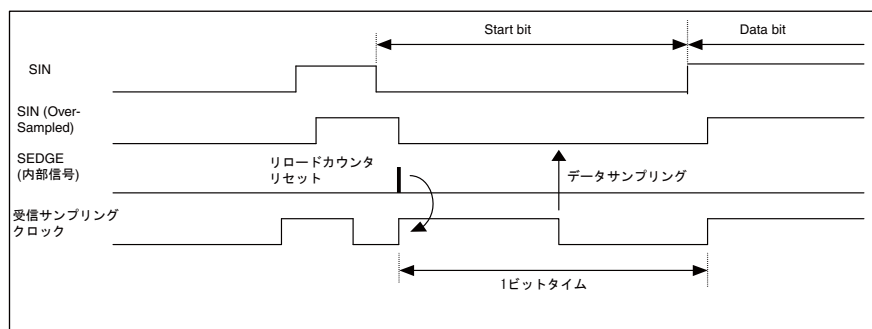
36.5.2.4 クロック選択

- 内部クロック , または外部クロックを使用できます。
- 外部クロックを使用する場合は , BGR:EXT="1" に設定します。この場合 , 外部クロックが , ボーレートジェネレータで分周されます。

36.5.2.5 スタートビット検出

- 非同期モード時は , SIN 信号の立下りエッジによってスタートビットを認識します。
このため受信動作許可 (SCR:RXE="1") しても , SIN 信号の立下りエッジが入力されないと , 受信動作を開始しません。
- スタートビットの立下りエッジを検出した場合 , ボーレートジェネレータの受信リロードカウンタはリセットされ , 再リロードしカウントダウンを開始します。これによって , 常にデータの中心でサンプリングします。

図 36.5-7 スタートビット検出



36.5.2.6 ストップビット

- 1 ビットから 4 ビット長を選択できます。
- 受信データフルフラグビット (SSR:RDRF) は , 最初のストップビットを検出すると "1" に設定されます。

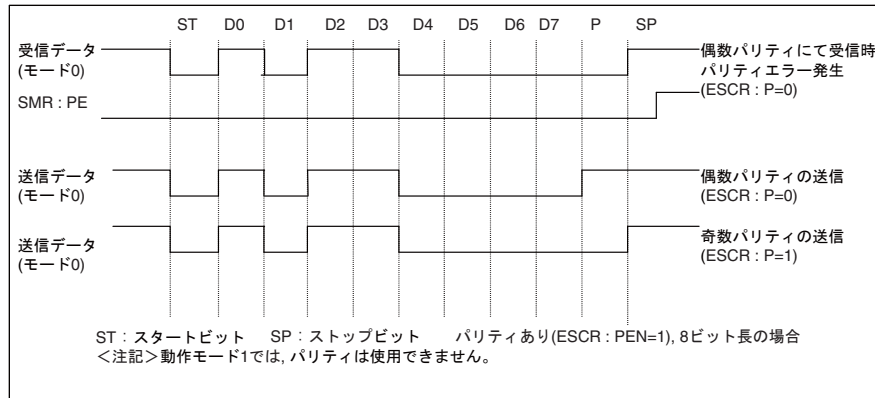
36.5.2.7 エラー検出

- 動作モード 0 では , パリティエラー , オーバランエラー , フレームエラーが検出できます。
- 動作モード 1 では , オーバランエラー , フレームエラーが検出できます。パリティエラーは検出できません。

36.5.2.8 パリティビット

- パリティビットの付加は、動作モード0の場合のみ設定できます。パリティ許可ビット(ESCR:PEN)でパリティの有無を、パリティ選択ビット(ESCR:P)で偶数パリティ / 奇数パリティを設定できます。
- 動作モード1では、パリティを使用できません。

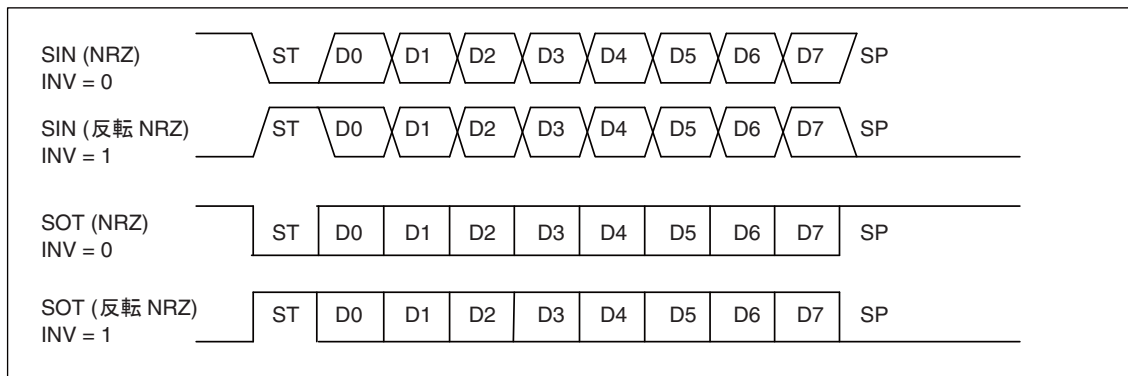
図 36.5-8 パリティ有効時の動作



36.5.2.9 データ信号方式

- 拡張通信制御レジスタの INV ビットの設定によって、NRZ(Non Return to Zero) 信号方式 (ESCR:INV=0), または反転 NRZ 信号方式 (ESCR:INV=1) を選択できます。
- NRZ 信号方式および、反転 NRZ 信号方式を図 36.5-9 に示します。

図 36.5-9 NRZ (Non Return to zero) 信号方式, および反転 NRZ 信号方式



36.5.2.10 データ転送方式

- データビット転送方法を LSB ファーストまたは MSB ファーストを選択できます。

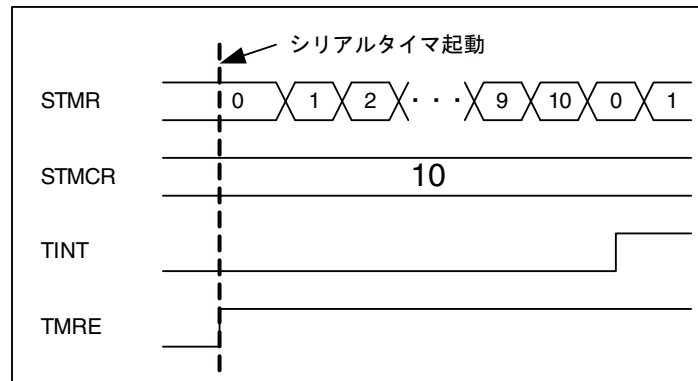
36.5.2.11 シリアルタイマの動作

シリアルタイマは、タイマ機能に利用できます。

● シリアルタイマの起動方法

シリアルタイマを起動するにはシリアルタイマ許可ビット (SACSR:TMRE) を "1" に設定します。シリアルタイマ許可ビット (SACSR:TMRE) を "1" に設定するとシリアルタイマは起動し、シリアルタイマレジスタ (STMR) が 0 からカウントを開始します。

図 36.5-10 シリアルタイマ許可ビットによる起動
(STMCR="10", SACSR:TRGE="0")



● シリアルタイマの停止方法

シリアルタイマ許可ビット (SACSR:TMRE) を "0" に設定するとシリアルタイマは停止します。このときシリアルタイマレジスタ (STMR) の値は保持されます。

● タイマ動作

シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致した場合、タイマ割込みフラグ (SACSR:TINT) を "1" に設定し、シリアルタイマレジスタ (STMR) は 0 にリセットされます。

図 36.5-11 タイマ動作 (STMCR="10")

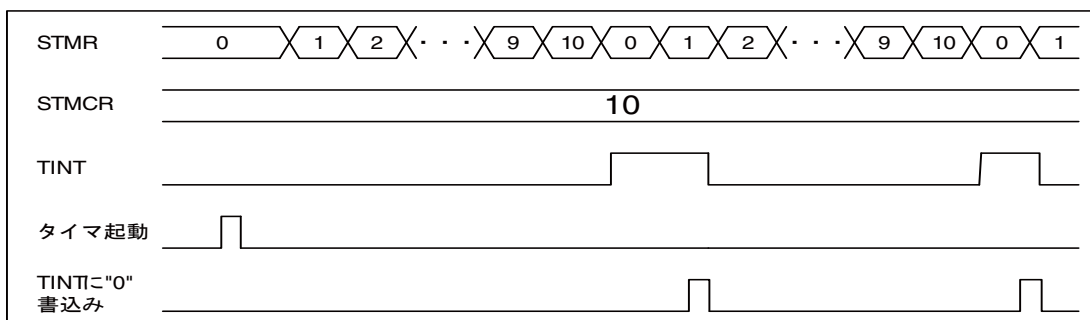


図 36.5-12 シリアルタイマの初期設定のフローチャート

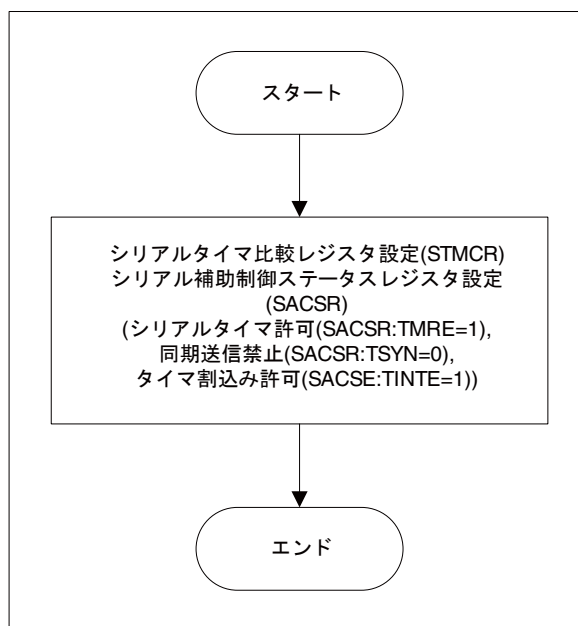
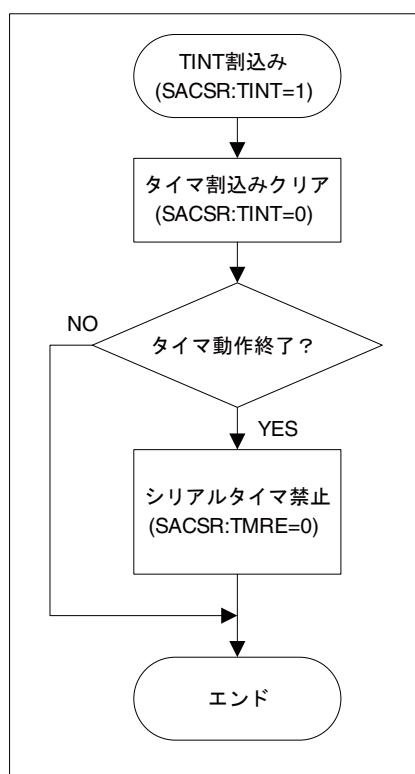


図 36.5-13 シリアルタイマの割込み処理のフローチャート



(注意事項) タイマ比較レジスタ (STMCR) に "0000" h が設定された状態で、タイマ動作中にタイマ動作クロックの分周値 (SACSR:TDIV) を "0000" b に設定した場合、タイマ割込みフラグ (SACSR:TINT) は "1" に固定されます。

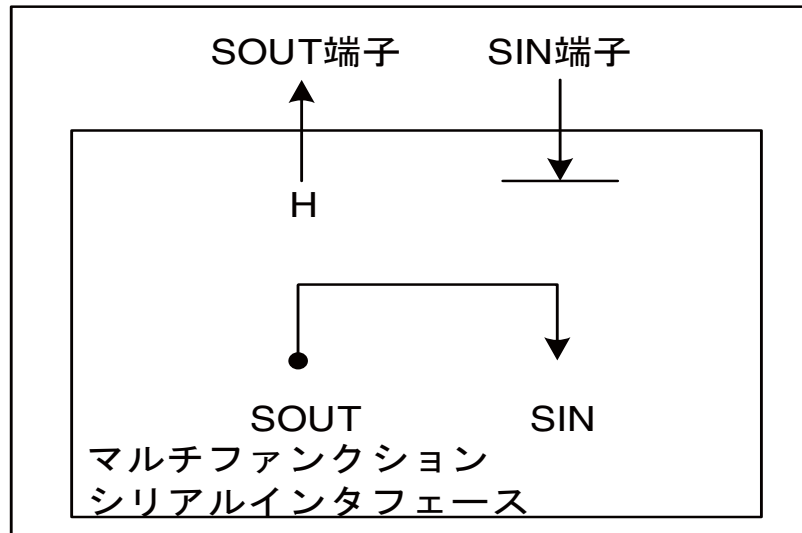
36.5.2.12 テストモード

テストモードの動作について説明します。

● シリアルテストモード

シリアルテストモード許可時 (SACSR:STST="1"), マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され, SOUT から送信されるデータをそのまま SIN より受信できます。シリアルテストモード許可時 (SACSR:STST="1"), 端子 SOUT は "H" 固定となり, 端子 SIN に入力されたデータは無視されます。

図 36.5-14 シリアルテストモード



(注意事項) シリアルテストモード許可ビット (SACSR:STST) は送受信禁止 (SCR:TXE=RXE="0") のときのみ変更可能です。

36.5.2.13 UART ボーレート選択・設定

UART の送受信ボーレートジェネレータは、次のいずれかを選択できます。

- ・専用ボーレートジェネレータ (リロードカウンタ)
- ・外部クロックをボーレートジェネレータに入力 (リロードカウンタ)

● 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ (BGR) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択 (BGR:EXT="0") してください。

● 専用ボーレートジェネレータ (リロードカウンタ) で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。ボーレートジェネレータレジスタ (BGR) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択 (BGR:EXT=1) してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

(注意事項) ・外部クロックの設定 (BGR:EXT="1") は、リロードカウンタが停止した状態 (BGR="0000h") で行ってください。

- ・外部クロックに設定 (BGR:EXT="1") した場合、外部クロックの "H" 幅, "L" 幅は 2 バスクロック以上必要です。

■ ボーレートの計算

2つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ (BGR) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値

$$v = \phi / b - 1$$

v: リロード値

b: ボーレート

φ: バスクロック周波数, 外部クロック周波数

(2) 計算例

バスクロック 16MHz, 内部クロック使用, ボーレート 19200 bps に設定する場合のリロード値は次のようになります。

リロード値:

$$v = (16 \times 1,000,000) / 19200 - 1 = 832$$

よって、ボーレートは

$$b = (16 \times 1,000,000) / (832 + 1) = 19208 \text{ bps}$$

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差 (\%)} = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) バスクロック 20MHz, 目標ボーレート 153600 bps に設定する場合

$$\text{リロード値} = (20 \times 1,000,000) / 153600 - 1 = 129$$

$$\text{ボーレート (計算値)} = (20 \times 1,000,000) / (129+1) = 153846 \text{ bps}$$

$$\text{誤差 (\%)} = (153846 - 153600) / 153600 \times 100 = 0.16(\%)$$

(注意事項) ・リロード値を "0" に設定した場合、リロードカウンタは停止します。

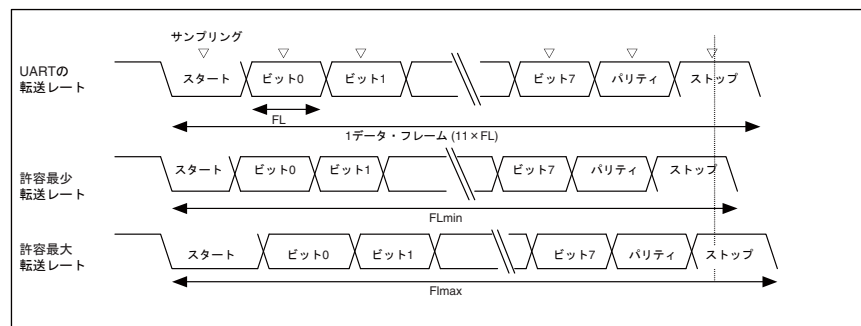
- ・リロード値が偶数の場合、受信シリアルクロックの "H" 幅と "L" 幅は "L" 幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じです。
- ・リロード値は 4 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。

■ 受信時のボーレートの許容誤差範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。

受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 36.5-15 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後は BGR レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ (ストップビット) までが間に合えば正常に受信できます。

これを 11 ビット受信に当てはめると理論上、以下のとおりです。

サンプリング・タイミングのマーヅンをバスクロック (φ) の 1 クロック分とした場合、許容最小転送レート (FLmin) は以下のとおりです。

$$\text{FLmin} = (11\text{bit} \times (V+1) - (V+1) / 2 + 2) / \phi = (21V+25) / 2\phi \text{ (s)}$$

V: リロード値 φ: バスクロック

したがって、受信可能な送信先の最大ボーレート (BGmax) は以下のとおりです。

$$BG_{\max} = 11/FL_{\min} = 22\phi / (21V+25) \text{ (bps)}$$

V: リロード値 ϕ : バスクロック

許容最大転送レート (FL_{max}) データを受信する場合, 11 ビット目の受信データを始点にてサンプリングが行われます。

よって, 許容最大転送レート (FL_{max}) は以下のとおりです。

$$10/11 \times FL_{\max} = (11\text{bit} \times (V+1) - (V+1) / 2) / \phi = (21/20 \times 11 \times (V+1) / 2) / \phi \text{ (s)}$$

V: リロード値 ϕ : バスクロック

サンプリング・タイミングのマージン (ϕ) を 2 クロック分とした場合, 許容最大転送レート (FL_{max}) は以下のとおりです。

$$FL_{\max} = (21/20 \times 11 \times (V+1) - 2) / \phi = (231V+191) / 20\phi \text{ (s)}$$

V: リロード値 ϕ : バスクロック

したがって, 受信可能な送信先の最小ボーレート (BG_{min}) は以下のとおりです。

$$BG_{\min} = 11 / FL_{\max} = 220\phi / (231V+191) \text{ (bps)}$$

V: リロード値 ϕ : バスクロック

前述の最小 / 最大ボーレート値の算出式から, UART と送信先とのボーレートの許容誤差を求めると以下のとおりです。

表 36.5-2 許容ボーレート誤差

リロード値	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0%
10	2.98%	-3.24%
50	4.37%	-4.44%
100	4.56%	-4.60%
200	4.66%	-4.68%
32767	4.76%	-4.76%

(注意事項) 受信の精度は, 1 フレームのビット数, バスクロック, リロード値に依存します。バスクロックが高く, 分周比が高くなるほど精度は高くなります。

■ 各内部クロック (周辺クロック (PCLK)) ・ ボーレートに対するリロード値と誤差

表 36.5-3 各内部クロック (周辺クロック (PCLK)) ・ ボーレートに対するリロード値と誤差

ボーレート (bps)	8MHz		10MHz		16MHz		20MHz		24MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	0	-	-	-	-	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	-0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	-0.16	-	-
153600	51	-0.16	64	-0.16	103	-0.16	129	-0.16	155	-0.16	207	-0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	-0.64	86	0.22	138	0.88	173	0.22	207	-0.16	277	0.08
76800	103	-0.16	129	-0.16	207	-0.16	259	-0.16	311	-0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	-0.16	416	0.08	555	0.08
38400	207	-0.16	259	-0.16	416	0.08	520	0.03	624	0	832	-0.04
28800	277	0.08	346	< 0.01	554	-0.01	693	-0.06	832	-0.03	1110	-0.01
19200	416	0.08	520	0.03	832	-0.03	1041	0.03	1249	0	1666	0.02
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1919	< 0.01	2303	< 0.01	3071	< 0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	-0.01
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2777	< 0.01	3332	< 0.01	4443	-0.01
4800	1666	0.02	2082	-0.02	3332	< 0.01	4166	< 0.01	4999	0	6666	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	8332	< 0.01	9999	0	13332	< -0.01
1200	6666	< 0.01	8334	0.02	13332	< 0.01	16666	< 0.01	19999	0	26666	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	-	-	-	-	-	-
300	26666	< 0.01	-	-	-	-	-	-	-	-	-	-

- Value:BGR レジスタの設定値 (10 進)
- ERR: ボーレート誤差 (%)

■ 外部クロック

ボーレートジェネレータレジスタ (BGR) の EXT ビットに "1" を書き込むと、ボーレートジェネレータで外部クロックを分周します。

(注意事項) 外部クロック信号は UART で内部クロックに同期します。したがって、同期化不可能な外部クロックの場合、動作が不安定です。

■ リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ (BGR) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

- 送信 / 受信リロードカウンタ共通
 - ・ プログラマブルリセット (SCR:UPCL ビット)
- 受信リロードカウンタ
 - ・ 非同期モードでのスタートビット立下りエッジ検出

36.5.3 設定手順とプログラムフロー

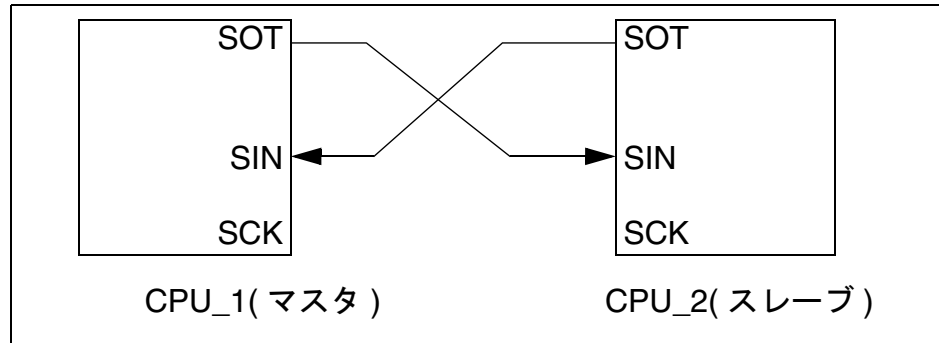
36.5.3.1 動作モード 0 (1 : 1 接続)

動作モード 0 では, 非同期シリアル双方向通信ができます。

■ CPU 間接続

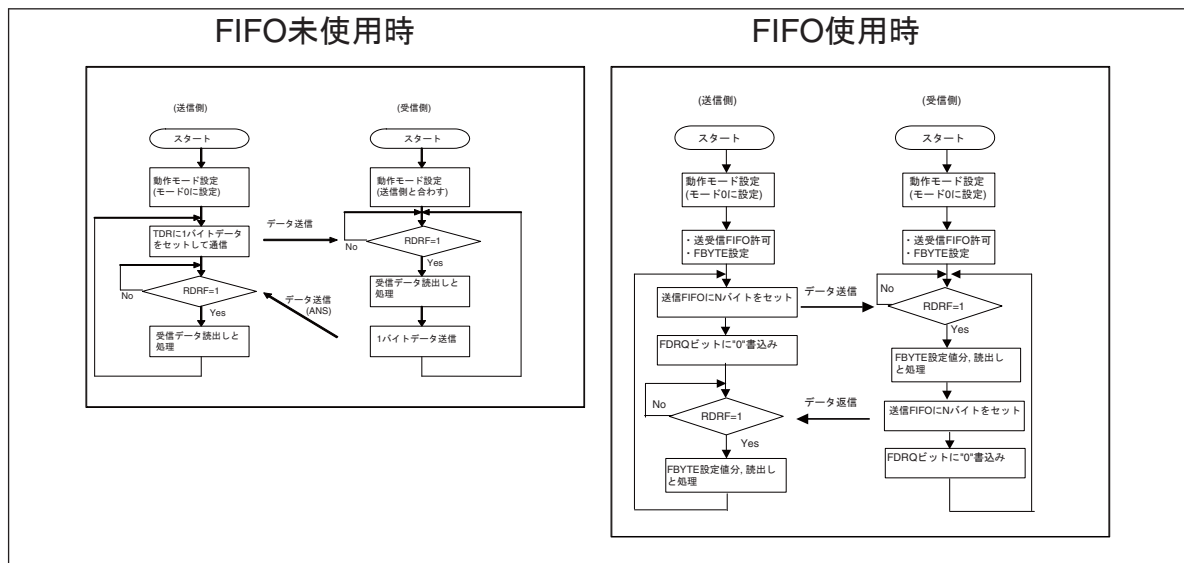
動作モード 0 (通常モード) では, 双方向通信を選択します。図 36.5-16 に示すように 2 つの CPU を相互に接続します。

図 36.5-16 UART 動作モード 0 の双方向通信の接続例



■ フローチャート

図 36.5-17 双方向通信設定例



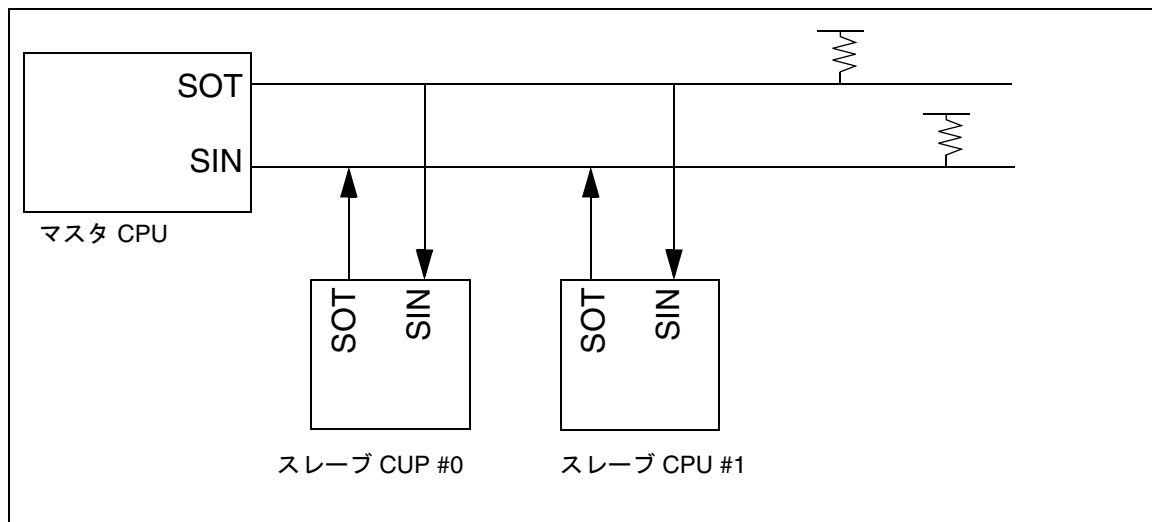
36.5.3.2 動作モード 1(1 : n 接続)

動作モード 1(マルチプロセッサモード)では、複数 CPU のマスタ/スレーブ接続による通信が可能です。マスタ/スレーブとして使用できます。

■ CPU 間接続

マスタ/スレーブ型通信では、図に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

図 36.5-18 UART のマスタ/スレーブ型通信の接続例



■ 機能選択

マスタ/スレーブ型通信では、表 36.5-4 に示すように動作モードとデータ転送方式を選択してください。

表 36.5-4 マスタ/スレーブ型通信機能の選択

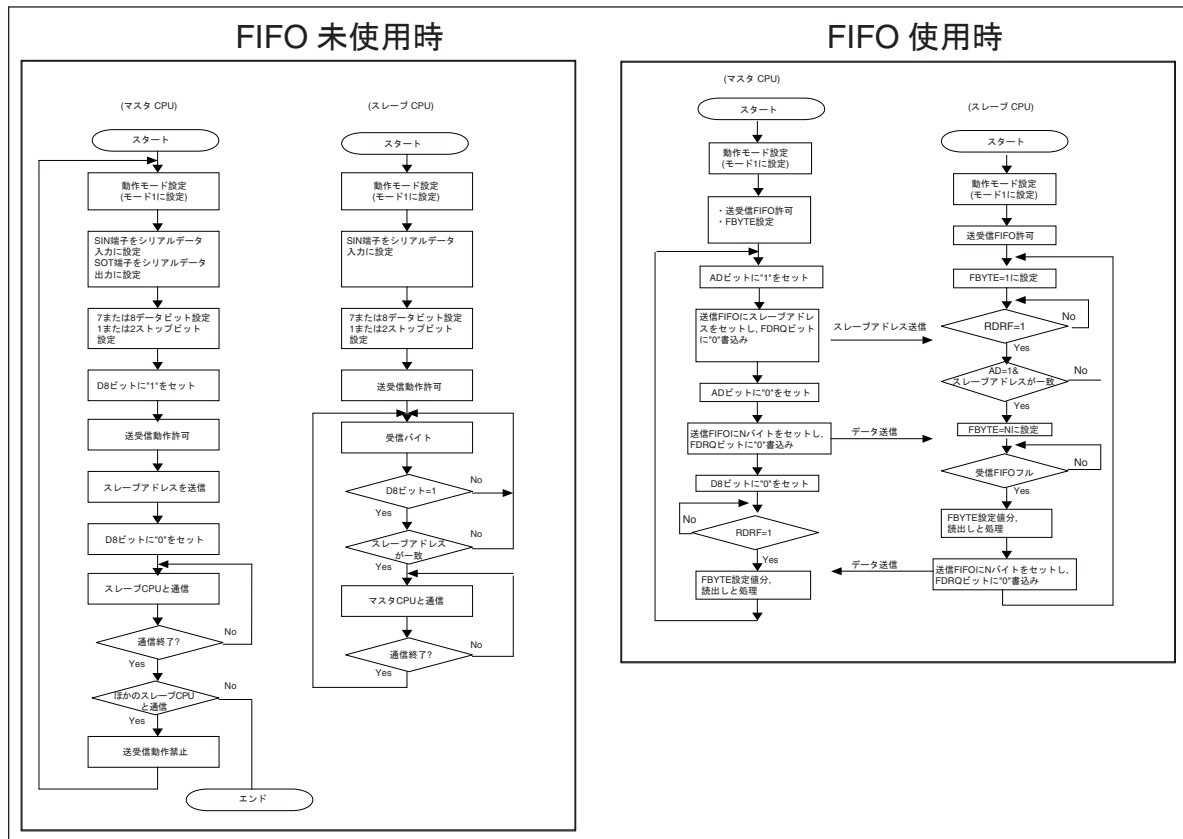
	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (AD ビット送信)	モード 1 (AD ビット受信)	AD = "1" + 7 または 8 ビット アドレス	なし	1 ビットまたは 2 ビット	LSB または, MSB ファースト
データ送受信			AD = "0" + 7 または 8 ビット データ			

(注意事項) 動作モード 1 では送受信データ (TDR/RDR) はワードアクセスで行ってください。

■ 通信手順

通信は、マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを "1" としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信（通常データ）をします。図 36.5-19 に、マスタ / スレーブ型通信（マルチプロセッサモード）のフローチャートを示します。

図 36.5-19 マスタ / スレーブ型通信フローチャートの例



36.6 CSIO の動作説明

36.6.1 CSIO の割込み

CSIO (クロック同期シリアルインタフェース) の割込みには、受信割込み、送信割込みおよびステータス割込みがあります。次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ (RDR) に設定された場合、または受信エラーが発生した場合。
- 送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され、送信が開始された場合。
- 送信バスアイドル (送信動作なし)
- 送信 FIFO データ要求。
- シリアルタイマの比較値 (STMCR) とシリアルタイマ値 (STMR) が一致
- チップセレクトエラー発生

36.6.1.1 CSIO の割込み一覧

表 36.6-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR: RIE	受信データ (RDR) の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
			FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ (TDR) への書込み, または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送)*1
	TBI	SSR	送信動作なし	SCR: TBIE	送信データ (TDR) への書込み, または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送)*1
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1: FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込みまたは送信 FIFO がフル
	CSE	SACSR	スリープモード (SCR:MS="1") 時, 送信動作中にシリアルチップセレクト端子がインアクティブ マスターモード (SCR:MS=0) 時, 送信回数が TBYTE の設定値以下で次の送信データが TDR に書き込まれていない (SSR:TDRE=1)	SACSR: SCEIE	シリアルチップセレクトフラグビット (SACSR:CSE) への "0" 書込み
ステータス	TINT	SACSR	シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致	SACSR: TINTE	タイマ割込みフラグビット (SACSR:TINT) への "0" 書込み

*1) TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

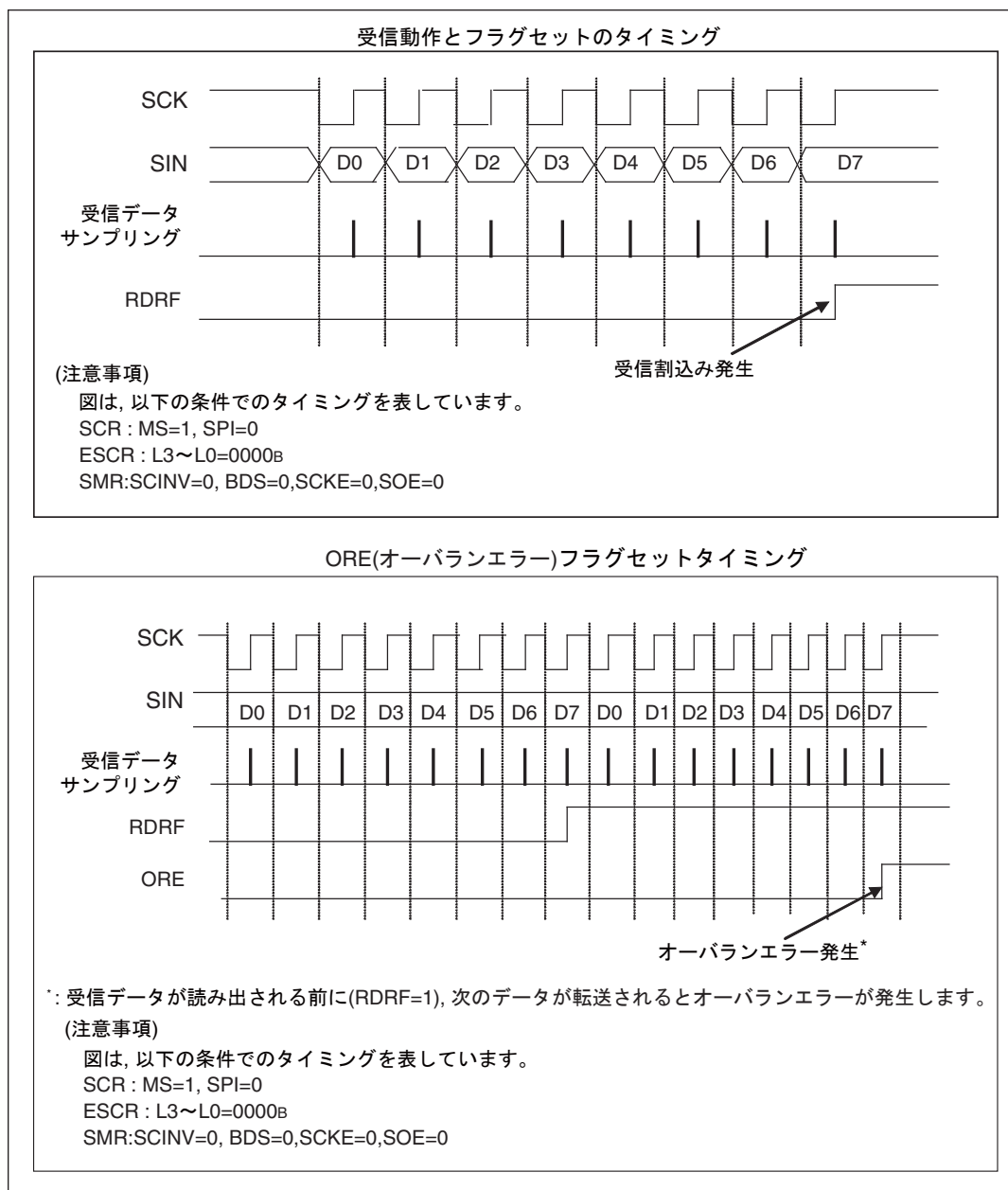
36.6.1.2 受信割込み発生とフラグセットのタイミング

受信時の割込みは、受信完了 (SSR:RDRF), および受信エラーの発生 (SSR:ORE) があります。

最終データビットを検出されることにより、受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF="1") または受信エラーが発生 (SSR:ORE="1") したとき、各フラグがセットされます。そのとき、受信割込みが許可 (SCR:RIE="1") されていると受信割込みが発生します。

(注意事項) 受信エラーが発生した場合は、受信データレジスタ (RDR) のデータは無効となります。

図 36.6-1 フラグセットのタイミング



36.6.1.3 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

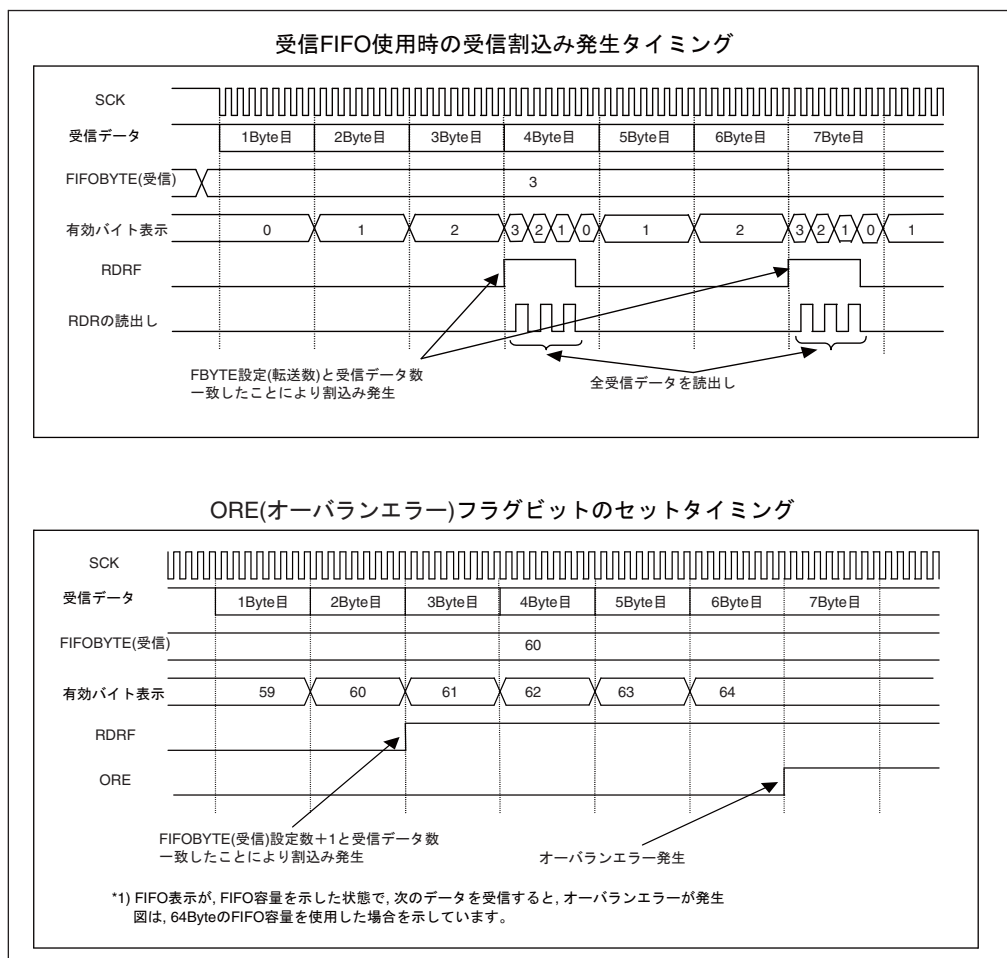
受信 FIFO 使用時の割込みは、FBYTE レジスタ (FBYTE) の設定値分受信した場合に発生します。受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" に設定されます。このとき、受信割込み許可 (SCR:RIE) されていると受信割込みを発生します。
- 下記条件を両方満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ (RDRF) が "1" に設定されます。
 - ・受信 FIFO アイドル検出許可ビット (FRIIE) が "1"
 - ・受信 FIFO に存在するデータ数が転送数に達しない

8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

- 受信 FIFO がエンプティになるまで受信データ (RDR) を読み出すと、受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示がFIFO容量を示した状態で、次のデータを受信するとオーバランエラー (SSR:ORE="1") が発生します。

図 36.6-2 割込み発生・フラグセットのタイミング



36.6.1.4 送信割込み発生とフラグセットのタイミング

送信時の割込みは、送信データが、送信データレジスタ (TDR) から送信用シフトレジスタに転送され (SSR:TDRE="1") 送信が開始された場合と、送信動作をしていないとき (SSR:TBI="1") に発生します。

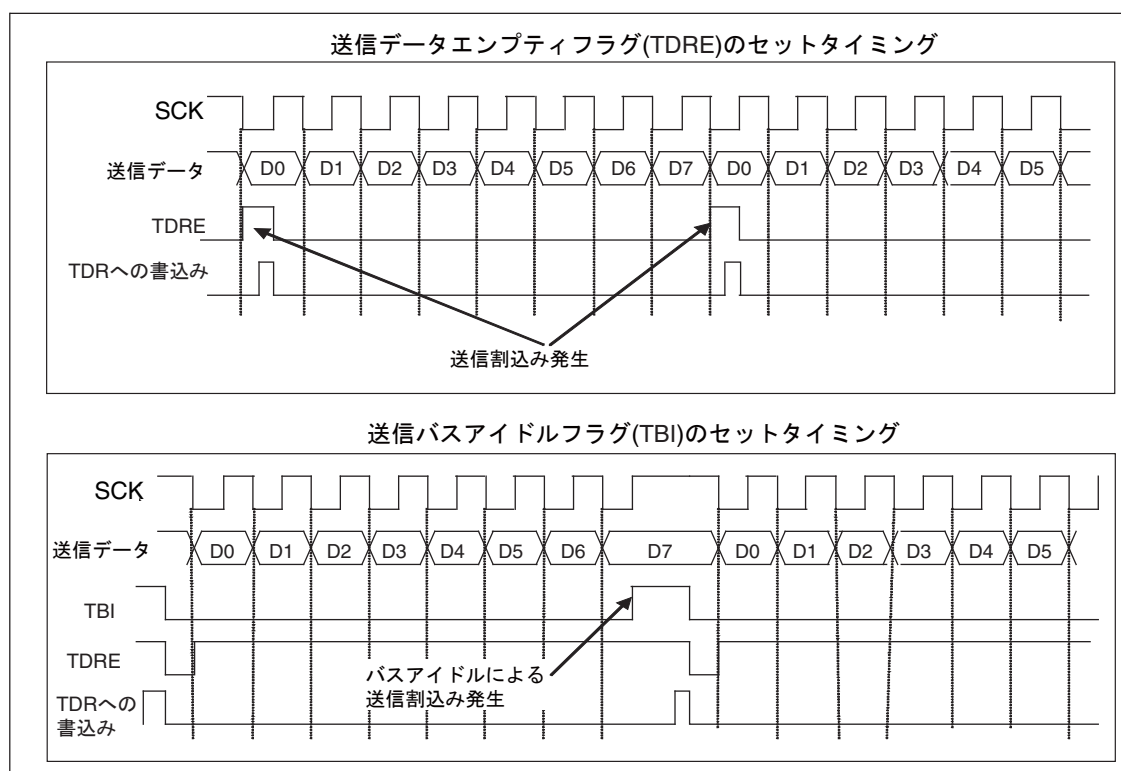
● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書き込みが可能な状態 (SSR:TDRE="1") になります。そのとき、送信割込みが許可 (SCR:TIE="1") されていると、送信割込みが発生します。SSR:TDRE ビットは読出し専用ビットのため、送信データレジスタ (TDR) へのデータ書き込みにより SSR:TDRE ビットは "0" にクリアされます。

● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタがエンプティ (SSR:TDRE="1") で送信動作をしていないとき、SSR:TBI ビットは "1" に設定されます。このとき、送信バスアイドル割込み許可 (SCR:TBIE="1") されていると、送信割込みが発生します。送信データレジスタ (TDR) に送信データをセットした場合、SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 36.6-3 フラグセットのタイミング

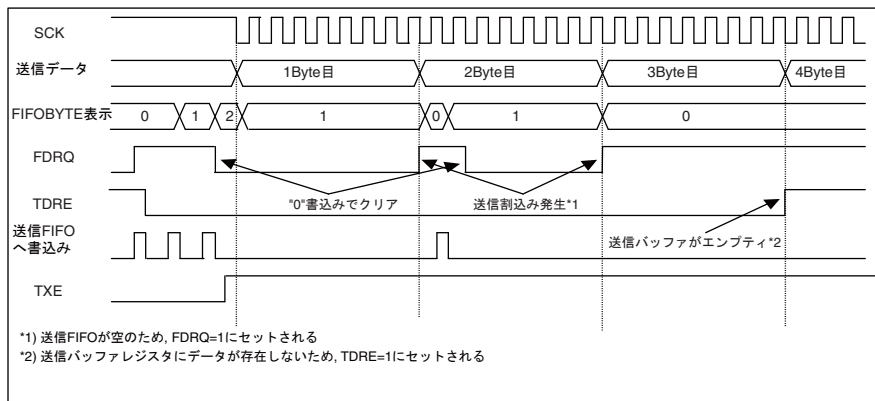


36.6.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない場合に発生します。

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット (FCR1:FDRQ) が "1" に設定されます。このとき、FIFO 送信割込み許可 (FCR1:FTIE=1) されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット (FCR1:FDRQ) に "0" 書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" になります。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ (FBYTE) を読み出すことで確認できます。FBYTE=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 36.6-4 送信 FIFO 使用時の送信割込み発生タイミング

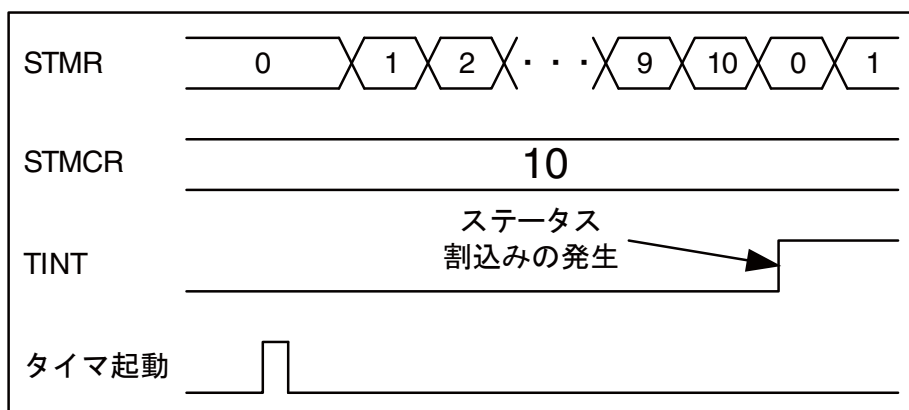


36.6.1.6 タイマ割込みとフラグセットのタイミング

タイマ割込みは、シリアルタイマレジスタ (STMR) がシリアルタイマ比較レジスタ (STMCR) と一致した場合に発生します。

- シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタが一致した場合、タイマ割込みフラグ (SACSR:TINT) が "1" に設定されます。このとき、タイマ割込み許可 (SACSR:TINTE="1") されているとステータス割込みが発生します。

図 36.6-5 タイマ割込み発生タイミング



36.6.1.7 チップセレクトエラー発生とフラグセットのタイミング

チップセレクトエラーは、マスタモード (SCR:MS="0") 時に、TBYTE の設定値より少ないフレーム数しか送信していない場合、1 フレーム送信後に送信データレジスタ (TDR) に有効なデータがない (SSR:TDRE="1") 場合に発生します。また、スレーブモード (SCR:MS="1") の送信動作中にシリアルチップセレクト端子がインアクティブになるとチップセレクトエラーは発生します。

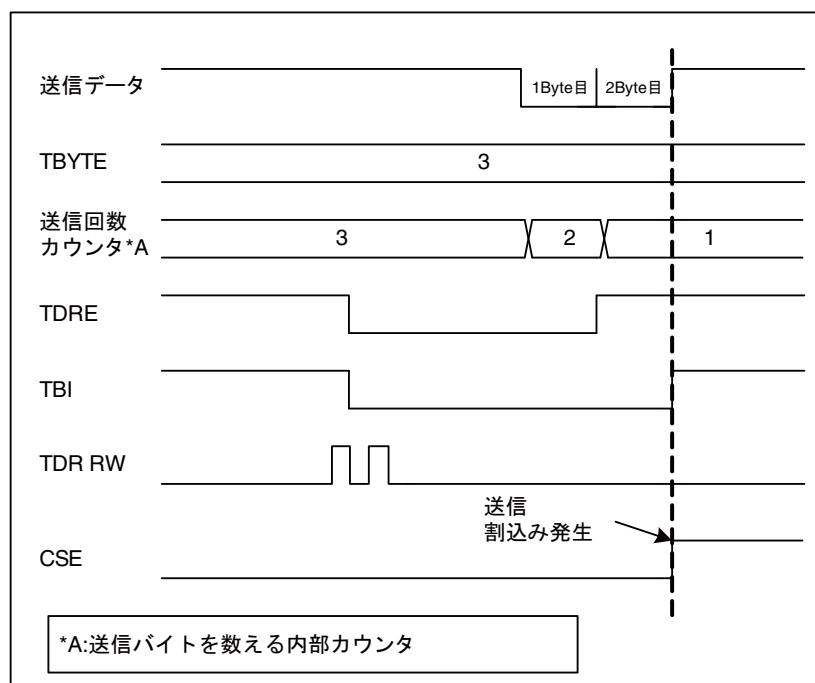
● マスタモード (SCR:MS="0")

チップセレクトエラーは、転送バイトエラー許可 (SACSR:TBEEN="1") で以下のいずれかのとき、TBYTE の設定値のデータフレームを送信する前に送信データレジスタ (TDR) に有効な送信データがない (SSR:TDRE="1") 場合、発生します。

- ・チップセレクト使用時
- ・シリアルタイマによる同期送信使用時

このとき、チップセレクトエラー割込み許可 (SACSR:CSEIE="1") されていると送信割込みが発生します。

図 36.6-6 チップセレクトエラー発生タイミング



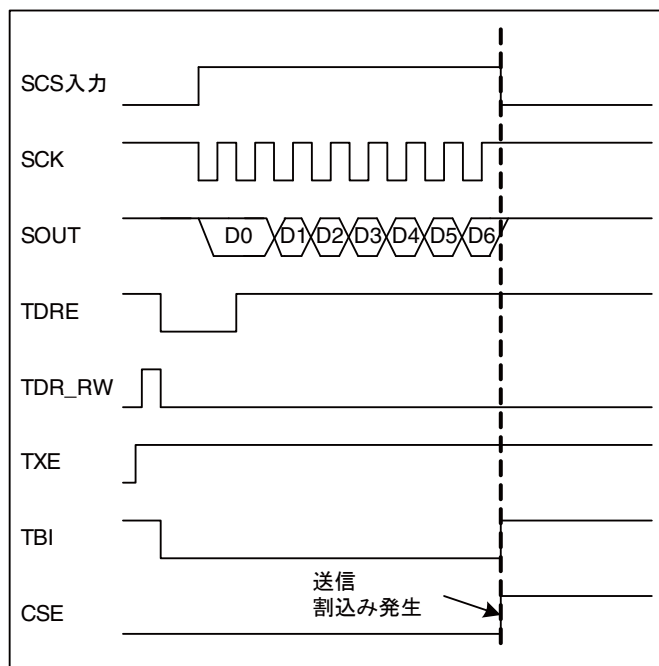
- (注意事項) ・ シリアルチップセレクト使用時、チップセレクトエラー発生後からディセレクト時間経過後にチップセレクトエラーフラグ (SACSR:CSE) は "1" に設定されます。また、ホールドディレイ時間中に送信データを送信データレジスタ (TDR) 書き込んでも送信動作は開始せず、ディセレクト時間経過後にチップセレクトエラーフラグ (SACSR:CSE) は "1" に設定されます。
- ・ チップセレクトエラーフラグ (SACSR:CSE) に "1" が設定されている場合、送信データを送信データレジスタ (TDR) に書き込んでも送信動作は開始しません。
 - ・ シリアルタイマによる同期送信使用時でチップセレクトエラーフラグ (SACSR:CSE) に "1" が設定されている場合、シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタが一致しても送信動作は開始しません。

● スレーブモード (SCR:MS="1")

チップセレクトエラーは、送信動作中 (SSR:TBI="0") にシリアルチップセレクト端子がインアクティブになると発生します。

このとき、チップセレクトエラー割込み許可 (SACSR:CSEIE="1") されていると送信割込みが発生します。

図 36.6-7 チップセレクトエラー発生タイミング



36.6.2 CSIO の動作

36.6.2.1 ノーマル転送 (I)

■ 特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ～ 16, 20, 24, 32 ビット

■ レジスタ設定

ノーマル転送 (I) に必要な、レジスタの設定値を以下に示します。

SCR:SPI=0*¹, SMR:MD2=0, MD1=1, MD0=0, SCINV=0*¹

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

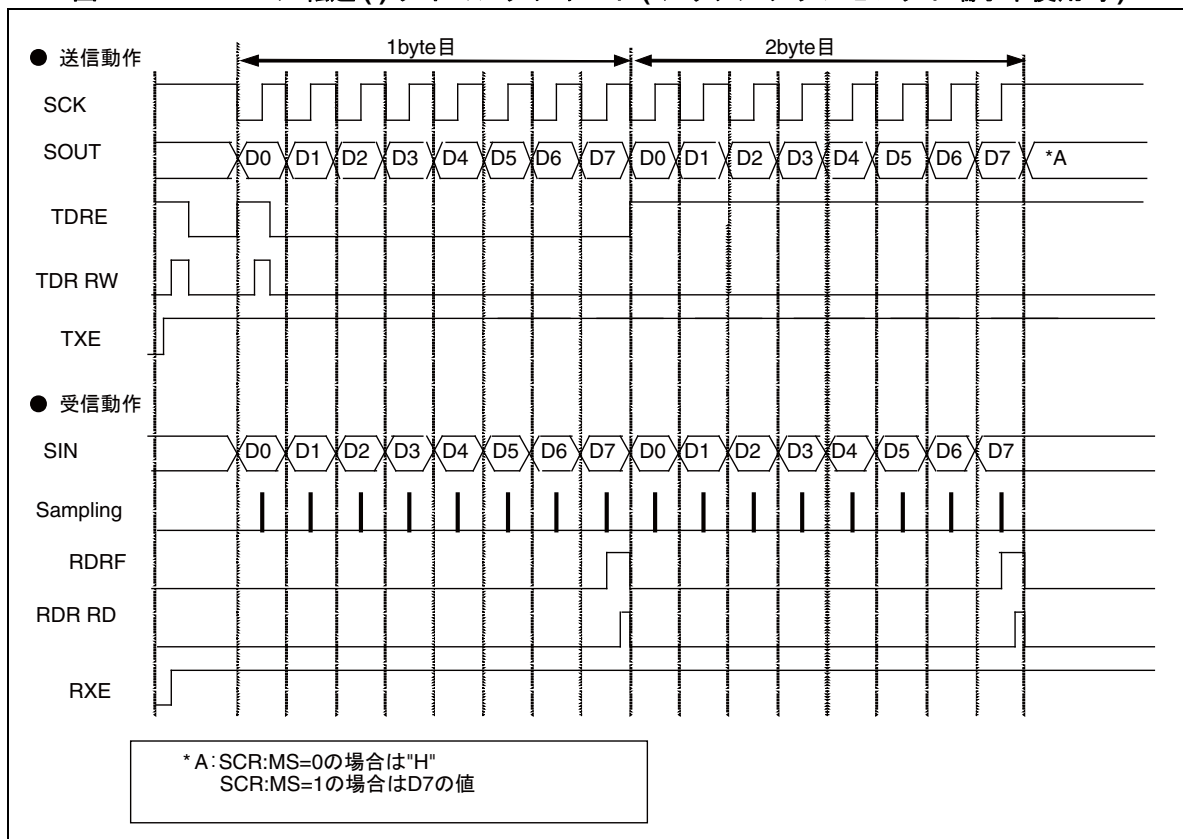
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

*1) 条件により設定するビットが異なります。表を参照ください。

(注意事項) 上記ビット以外のレジスタは使用方法に合わせて設定してください。

■ ノーマル転送 (I) タイミングチャート (シリアルチップセレクト端子未使用時)

図 36.6-8 ノーマル転送 (I) タイミングチャート (シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0="0000"b)

● 送信動作

①シリアルデータ出力許可 (SMR:SOE="1"), 送信動作許可 (SCR:TXE="1") および受信動作禁止 (SCR:RXE="0") にした後, TDR に送信データを書き込むと, SSR:TDRE="0" に設定されます。これにより, シリアルクロック (SCK) 出力の立下りエッジに同期して, 送信データを出力します。

②最初の 1 ビット目の送信データが出力されると, SSR:TDRE="1" に設定されます。このため, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込みます。

● 受信動作

①シリアルデータ出力禁止 (SMR:SOE="0"), 送信動作許可 (SCR:TXE="1") および受信動作許可 (SCR:RXE="1") に設定した場合, TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立上りエッジで, 受信データがサンプリングされます。

②最後のビットを受信した場合, SSR:RDRF="1" に設定されます。このとき, 受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出せます。

③受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

- (注意事項) ・受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書き込んでください。
- ・送受信 FIFO 許可時は, 転送させたいフレーム分 FBYTE レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は, シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にしてください。

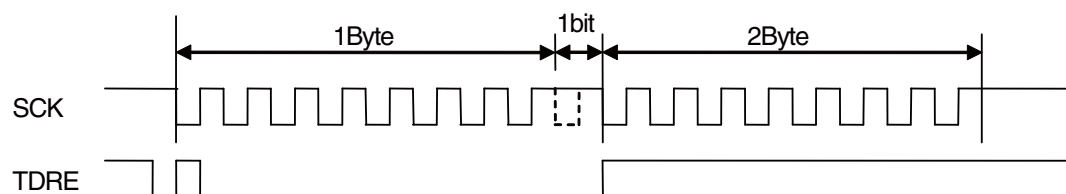
② TDR に送信データを書き込むと, SSR:TDRE="0" となりシリアルクロック (SCK) 出力の立下りエッジに同期して, 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1" となり, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック (SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合, SSR:RDRF="1" に設定されます。受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

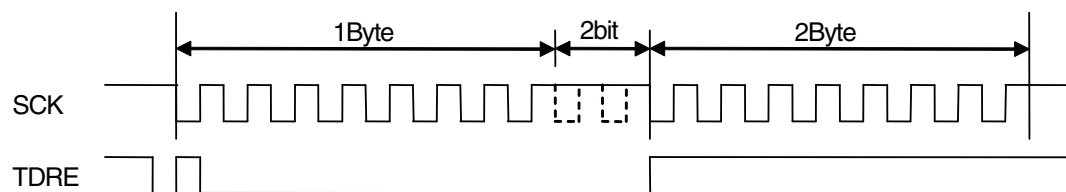
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し, (ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合, Frame 間にウェイトが挿入されます。

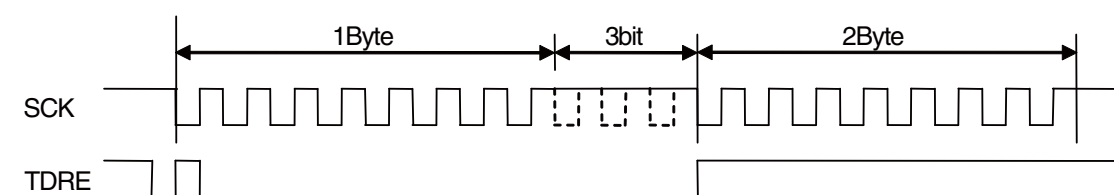
■ ESCR.WT1=0, ESCR.WT0=1(マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0(マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1(マスタ時)



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)

● 送信動作

①シリアルデータ出力許可 (SMR:SOE="1") および送信動作許可 (SCR:TXE="1") にし、TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。このため、シリアルクロック (SCK) 入力の立下りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1" に設定されます。送信割込み許可 (SCR:TIE="1") されていると、送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

● 受信動作

①シリアルデータ出力禁止 (SMR:SOE="0") および受信動作許可 (SCR:RXE="1") にした場合、シリアルクロック入力 (SCK) の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信した場合、SSR:RDRF="1" に設定されます。受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。

このとき、受信データ (RDR) を読み出すことができます。

③受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

● 送受信動作

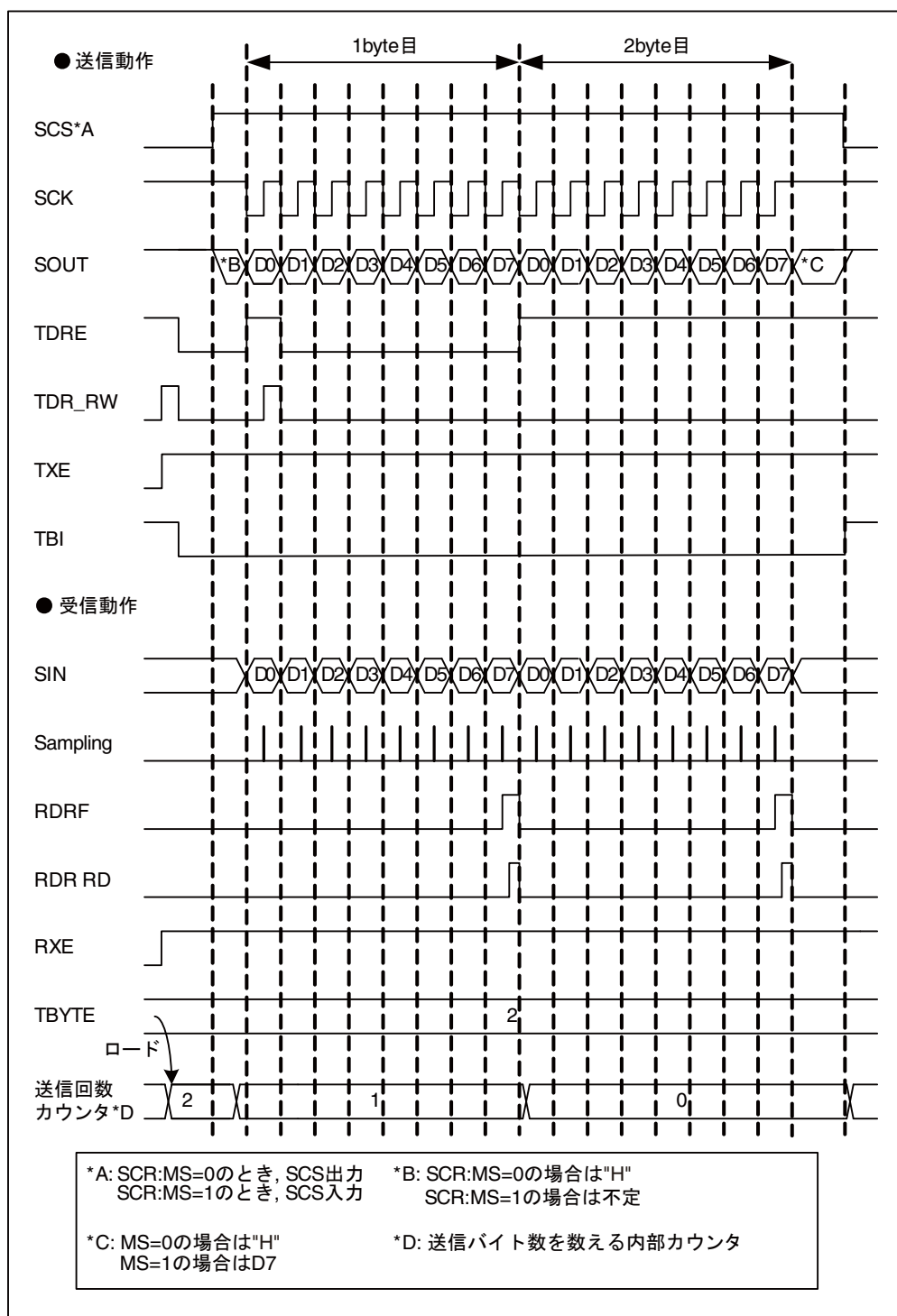
①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にしてください。

② TDR に送信データを書き込むと、SSR:TDRE="0" となりシリアルクロック (SCK) 入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合に SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ ノーマル転送 (I) タイミングチャート (シリアルチップセレクト端子使用時)

図 36.6-9 ノーマル転送 (I) タイミングチャート (シリアルチップセレクト端子使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*: n には使用するシリアルチップセレクト端子番号が入ります

● **送信動作**

- ①シリアルデータ出力許可 (SMR:SOE="1"), 送信動作許可 (SCR:TXE="1"), 受信動作禁止 (SCR:RXE="0") にし, TDR に送信データを書き込むと, SSR:TDRE="0" になります。その後, シリアルチップセレクト端子 (SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, 送信動作を開始します。送信動作が開始した後, シリアルクロック (SCK) 出力の立下りエッジに同期して, 送信データを出力します。
- ②最初の 1 ビット目の送信データが出力されると, SSR:TDRE="1" となり, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。
- ③ TBYTE で設定している回数のデータ送信終了後, 送信動作が終了します。
- ④送信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

● **受信動作**

- ①シリアルデータ出力禁止 (SMR:SOE="0"), 送信動作許可 (SCR:TXE="1"), 受信動作許可 (SCR:RXE="1") にし, TDR にダミーデータを書き込むとシリアルチップセレクト端子 (SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, 受信動作を開始します。受信動作が開始した後, シリアルクロック出力 (SCK) の立上りエッジで, 受信データをサンプリングします。
- ②最後のビットを受信した場合, SSR:RDRF="1" となり, 受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。
このとき, 受信データ (RDR) を読み出すことができます。
- ③受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。
- ④ TBYTE で設定している回数のデータ受信終了後, 受信動作を終了します。
- ⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

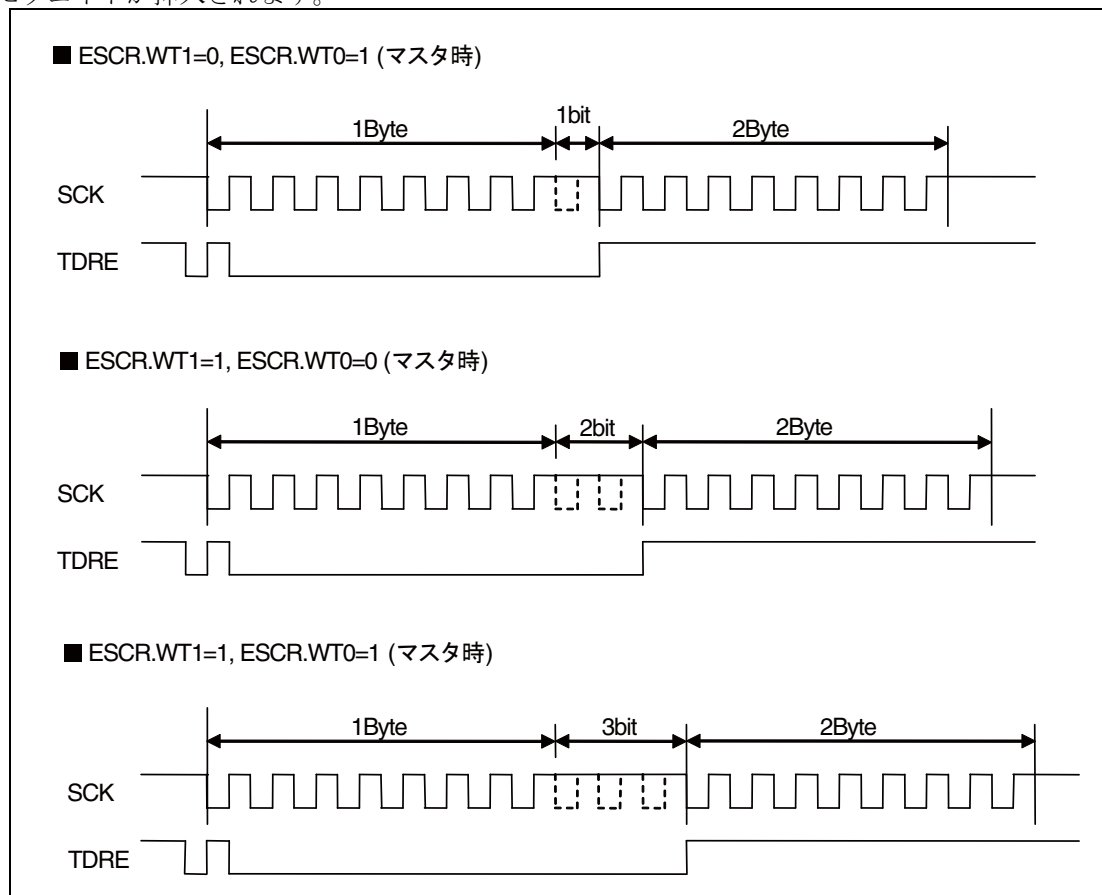
- (注意事項) ・ 受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- ・ 送受信 FIFO 許可時は, 転送させたいフレーム分 FBYTE レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

● 送受信動作

- ①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にします。
- ② TDR に送信データを書き込むと SSR:TDRE="0" になります。その後、シリアルチップセレクト端子 (SCS) がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。送受信動作が開始した後、シリアルクロック (SCK) 出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ③送受信動作中は受信データをシリアルクロック (SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。
- ④ TBYTE で設定している回数のデータ送受信終了後、送受信動作が終了します。
- ⑤送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合、Frame 間にウェイトが挿入されます。



**[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0,
SCSCR:SCAM=0)**

● **送信動作**

- ①シリアルデータ出力許可 (SMR:SOE="1") および送信動作許可 (SCR:TXE="1") にし、TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。
- ②シリアルチップセレクト端子 (SCS) がアクティブになると送信動作を開始し、シリアルクロック (SCK) 入力の立下りエッジに同期して、送信データを出力します。
- ③最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ④シリアルチップセレクト端子 (SCS) がインアクティブになると送信動作を終了し、シリアル出力端子 (SOUT) が "H" になります。

● **受信動作**

- ①シリアルデータ出力禁止 (SMR:SOE="0") および受信動作許可 (SCR:RXE="1") でシリアルチップセレクト端子 (SCS) がアクティブになると受信動作が開始し、シリアルクロック入力 (SCK) の立上りエッジで、受信データをサンプリングします。
- ②最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。
- ③このとき、受信データ (RDR) を読み出すことができます。
- ④受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。
- ⑤シリアルチップセレクト端子 (SCS) がインアクティブになると受信動作を終了します。

● **送受信動作**

- ①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にします。
- ②TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。その後、シリアルチップセレクト端子 (SCS) がアクティブになると送受信動作が開始し、シリアルクロック (SCK) 入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ③送受信動作中に受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。
- ④シリアルチップセレクト端子 (SCS) がインアクティブになると送受信動作し、シリアル出力端子 (SOUT) が "H" になります。

36.6.2.2 ノーマル転送 (II)

■ 特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"L"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5 ～ 16, 20, 24, 32 ビット

■ レジスタ設定

ノーマル転送 (II) に必要な、レジスタの設定値を以下に示します。

SCR:SPI*¹=0, SMR:MD2=0, MD1=1, MD0=0, SCINV*¹=1

マスタ動作時: SCR:MS=0, SMR:SCKE=1

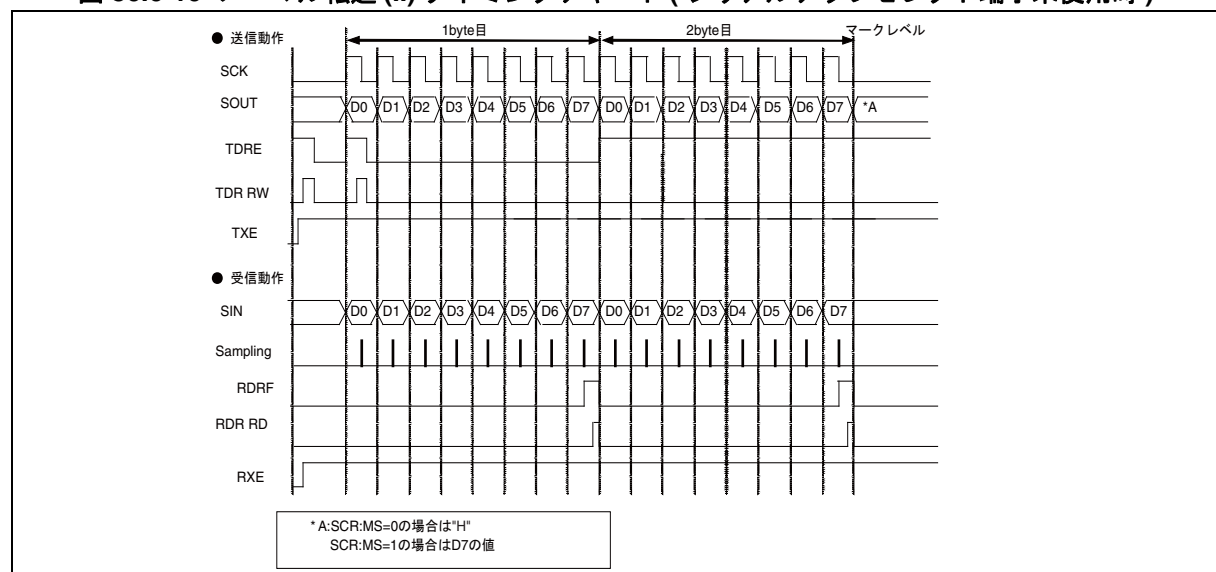
スレーブ動作時: SCR:MS=1, SMR:SCKE=0

*1) 条件により設定するビットが異なります。表 を参照ください。

(注意事項) 上記以外のレジスタは使用方法に合わせて設定してください。

■ ノーマル転送 (II) タイミングチャート (シリアルチップセレクト端子未使用時)

図 36.6-10 ノーマル転送 (II) タイミングチャート (シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0="0000"b)

● 送信動作

①シリアルデータ出力許可 (SMR:SOE="1"), 送信動作許可 (SCR:TXE="1") および受信動作禁止 (SCR:RXE="0") にし, TDR に送信データを書き込むと, SSR:TDRE="0" に設定されます。これにより, シリアルクロック (SCK) 出力の立上りエッジに同期して, 送信データが出力されます。

②最初の 1 ビット目の送信データが出力されると, SSR:TDRE="1" に設定されます。このため, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書込みます。

● 受信動作

①シリアルデータ出力禁止 (SMR:SOE="0"), 送信動作許可 (SCR:TXE="1") および受信動作許可 (SCR:RXE="1") に設定した場合, TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立下りエッジで, 受信データがサンプリングされます。

②最後のビットを受信した場合, SSR:RDRF="1" に設定されます。このとき, 受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。

このとき, 受信データ (RDR) を読み出せます。

③受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

(注意事項) ・受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。

・送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は, シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にしてください。

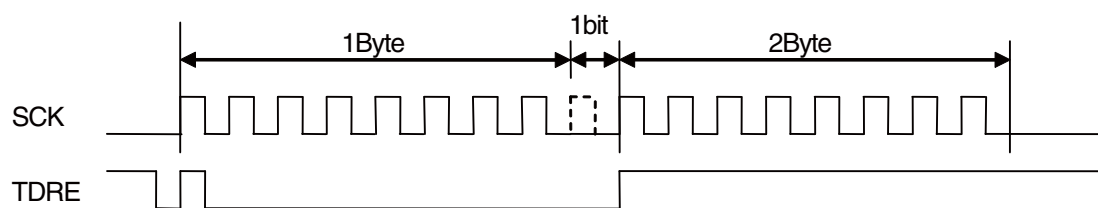
② TDR に送信データを書き込むと, SSR:TDRE="0" となりシリアルクロック (SCK) 出力の立上りエッジに同期して, 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1" となり, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合, SSR:RDRF="1" に設定されます。受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

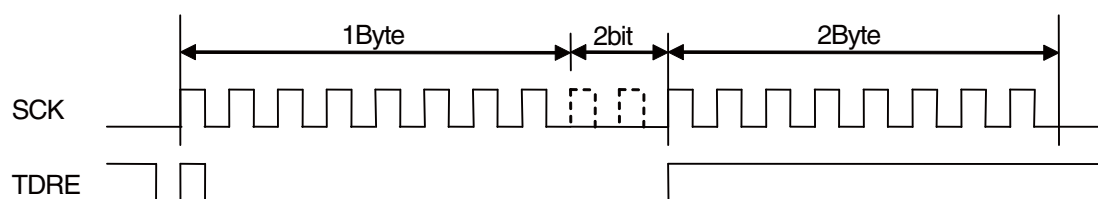
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し, (ESCR.WT1, ESCR.WT0)= (0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。

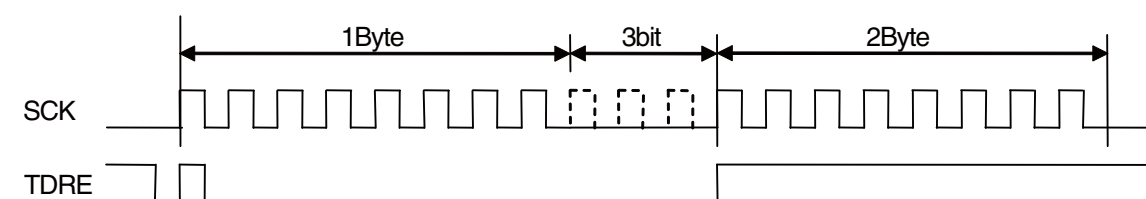
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)

● 送信動作

①シリアルデータ出力許可 (SMR:SOE="1") および送信動作許可 (SCR:TXE="1") にし、TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。このため、シリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。

②最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1" に設定されます。送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

● 受信動作

①シリアルデータ出力禁止 (SMR:SOE="0") および受信動作許可 (SCR:RXE="1") にした場合、シリアルクロック入力 (SCK) の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信した場合、SSR:RDRF="1" に設定されます。受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。

このとき、受信データ (RDR) を読み出すことができます。

③受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

● 送受信動作

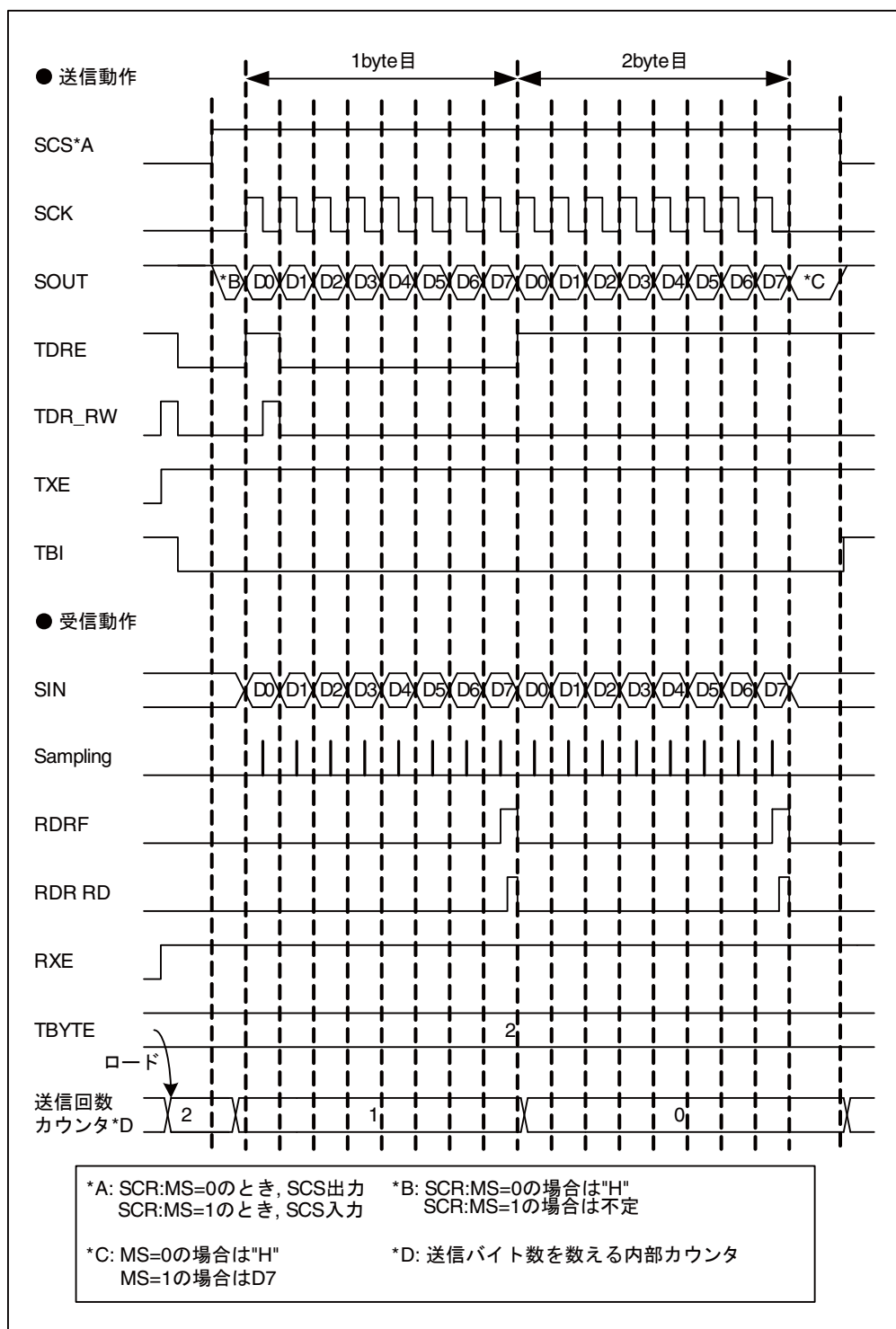
①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にしてください。

② TDR に送信データを書き込むと、SSR:TDRE="0" となりシリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ ノーマル転送 (II) タイミングチャート (シリアルチップセレクト端子使用時)

図 36.6-11 ノーマル転送 (II) タイミングチャート (シリアルチップセレクト端子使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*:n には使用するシリアルチップセレクト端子番号が入ります。

● 送信動作

①シリアルデータ出力許可 (SMR:SOE="1"), 送信動作許可 (SCR:TXE="1"), 受信動作禁止 (SCR:RXE="0") にし, TDR に送信データを書き込むと, SSR:TDRE="0" に設定されます。その後, シリアルチップセレクト端子 (SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, 送信動作を開始します。送信動作が開始するとシリアルクロック (SCK) 出力の立上りエッジに同期して, 送信データを出力します。

②最初の 1 ビット目の送信データが出力されると, SSR:TDRE="1" となり, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

③ TBYTE で設定している回数のデータ送信終了後, 送信動作を終了します。

④送信動作終了したからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

● 受信動作

①シリアルデータ出力禁止 (SMR:SOE="0"), 送信動作許可 (SCR:TXE="1"), 受信動作許可 (SCR:RXE="1") にし, TDR にダミーデータを書き込むとシリアルチップセレクト端子 (SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, 受信動作を開始します。受信動作が開始した後, シリアルクロック出力 (SCK) の立下りエッジで, 受信データをサンプリングします。

②最後のビットを受信した場合, SSR:RDRF="1" となり, 受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。

このとき, 受信データ (RDR) を読み出すことができます。

③受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

④ TBYTE で設定している回数のデータ受信終了後, 受信動作が終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

(注意事項) ・ 受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。

・ 送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

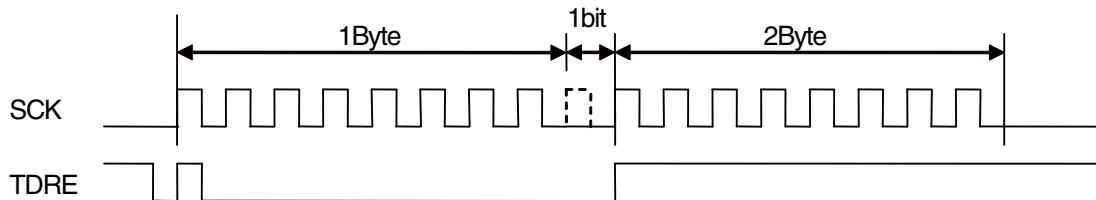
● 送受信動作

- ①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にします。
- ② TDR に送信データを書き込むと SSR:TDRE="0" に設定されます。その後、シリアルチップセレクト端子 (SCS) がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送受信動作を開始します。送受信動作が開始した後、シリアルクロック (SCK) 出力の立上りエッジに同期して、送信データを出します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出します。このとき、2 バイト目の送信データを書き込むことができます。
- ③送受信動作中は受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。
- ④ TBYTE で設定している回数のデータ送受信終了後、送受信動作を終了します。
- ⑤送受信動作終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

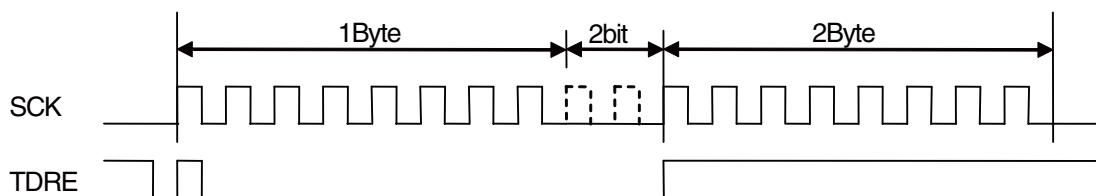
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。

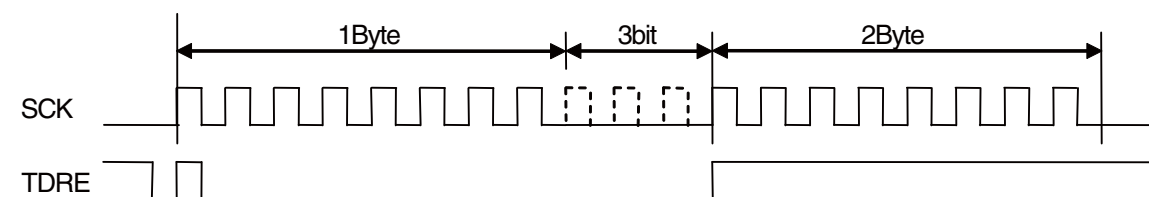
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



**[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=1, SCSCR:CSOE=0,
SCSCR:SCAM=0)**

● **送信動作**

- ①シリアルデータ出力許可 (SMR:SOE="1") および送信動作許可 (SCR:TXE="1") にし、TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。
- ②シリアルチップセレクト端子 (SCS) がアクティブになると送信動作を開始し、シリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。
- ③最初の 1 ビット目の送信データが出力されると、SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ④シリアルチップセレクト端子 (SCS) がインアクティブになると送信動作を終了し、シリアル出力端子 (SOUT) が "H" になります。

● **受信動作**

- ①シリアルデータ出力禁止 (SMR:SOE="0") および受信動作許可 (SCR:RXE="1") でシリアルチップセレクト端子 (SCS) がアクティブになると受信動作が開始し、シリアルクロック入力 (SCK) の立下りエッジで、受信データをサンプリングします。
- ②最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。
- ③このとき、受信データ (RDR) を読み出すことができます。
- ④受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。
- ⑤シリアルチップセレクト端子 (SCS) がインアクティブになると受信動作を終了します。

● **送受信動作**

- ①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にします。
- ② TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。その後、シリアルチップセレクト端子 (SCS) がアクティブになると送受信動作が開始し、シリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ③送受信動作中に受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。
- ④シリアルチップセレクト端子 (SCS) がインアクティブになると送受信動作し、シリアル出力端子 (SOUT) が "H" になります。

36.6.2.3 SPI 転送 (I)

■ 特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5 ～ 16、20、24、32 ビット

■ レジスタ設定

SPI 転送 (I) に必要な、レジスタの設定値を以下に示します。

SCR:SPI*1=1, SMR:MD2=0, MD1=1, MD0=0, SCINV*1=0

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

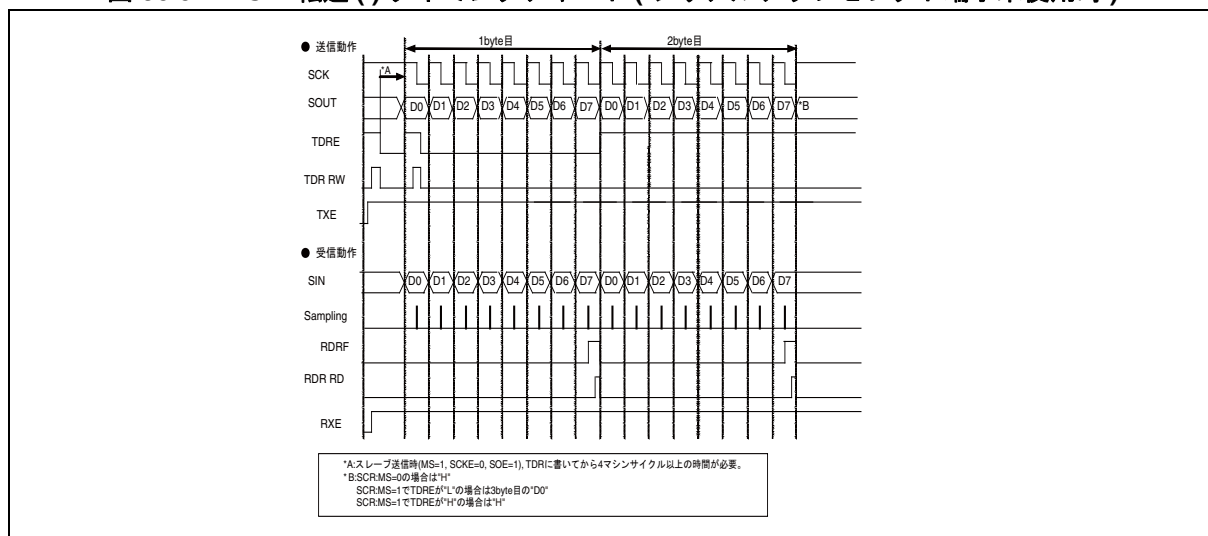
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

*1) 条件により設定するビットが異なります。表を参照ください。

(注意事項) 上記以外のレジスタは使用方法に合わせて設定してください。

■ SPI 転送 (I) タイミングチャート (シリアルチップセレクト端子未使用時)

図 36.6-12 SPI 転送 (I) タイミングチャート (シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSEN3-0="0000"b)

● 送信動作

① シリアルデータ出力許可 (SMR:SOE="1"), 送信動作許可 (SCR:TXE="1") および受信動作禁止 (SCR:RXE="0") にし, TDR に送信データを書き込むと, SSR:TDRE="0" に設定されます。これにより, 1 ビット目が出力されます。その後, シリアルクロック (SCK) 出力の立上りエッジに同期して, 送信データが出力されます。

② 最初のシリアルクロック (SCK) 出力の立下りエッジの半サイクル前で, SSR:TDRE="1" に設定されます。このため, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求が出力されます。このとき, 2 バイト目の送信データを書き込みます。

● 受信動作

①シリアルデータ出力禁止 (SMR:SOE="0"), 送信動作許可 (SCR:TXE="1") および受信動作許可 (SCR:RXE="1") に設定した場合, TDR にダミーデータを書き込むとシリアルクロック (SCK) 出力の立下りエッジで, 受信データがサンプリングされます。

②最後のビットを受信した場合, SSR:RDRF=1 に設定されます。このとき, 受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。

このとき, 受信データ (RDR) を読み出せます。

③受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

(注意事項) ・受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。

・送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

● 送受信動作

①送受信動作を同時に行う場合は, シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にしてください。

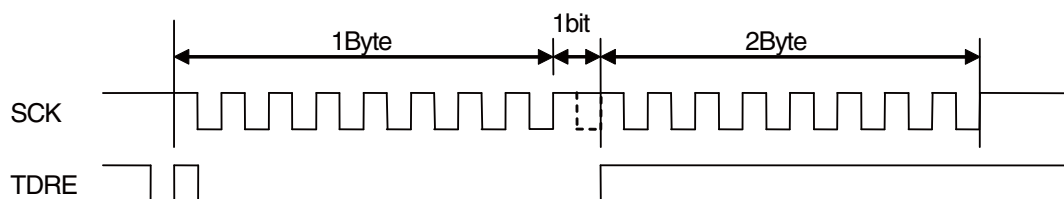
② TDR に送信データを書き込むと, SSR:TDRE="0" となり 1 ビット目が出力されます。その後, シリアルクロック (SCK) 出力の立上りエッジに同期して, 送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で, SSR:TDRE="1" となり, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF="1" に設定されます。受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

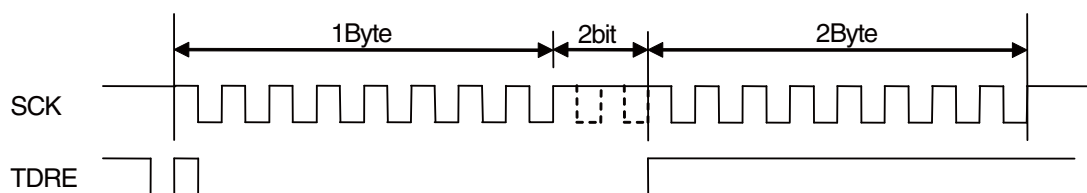
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し, (ESCR:WT1, ESCR*WT0)=(0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。

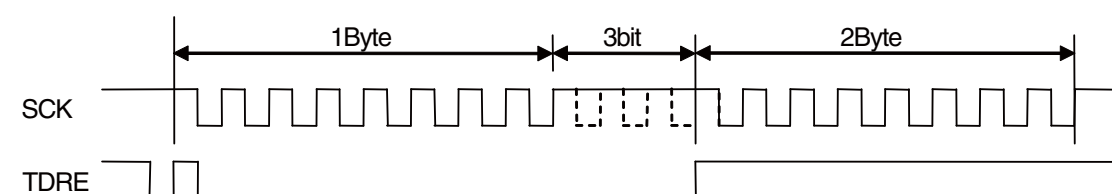
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN0=0)

● 送信動作

①シリアルデータ出力許可 (SMR:SOE="1") および送信動作許可 (SCR:TXE="1") にし、TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック (SCK) 出力の立上りエッジに同期して、送信データを出力します。

②送信データの 1 ビット目が出力されると、SSR:TDRE="1" に設定されます。送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

(注意事項) 送信動作許可後 (SCR:TXE="1"), 最初の TDR への送信データ書込みはシリアルクロック (SCK) がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後 (SCR:TXE="1"), 最初の TDR への送信データ書込みはシリアルクロック (SCK) がマークレベルのときに行ってください。

● 受信動作

①シリアルデータ出力禁止 (SMR:SOE="0") および受信動作許可 (SCR:RXE="1") にした場合、シリアルクロック入力 (SCK) の立下りエッジで、受信データをサンプリングします。

②最後のビットを受信した場合、SSR:RDRF="1" に設定されます。受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。

このとき、受信データ (RDR) を読み出すことができます。

③受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にしてください。

② TDR に送信データを書き込むと、SSR:TDRE="0" となり 1 ビット目が出力されます。その後、シリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

● 受信動作から送信動作への連続的な切換え

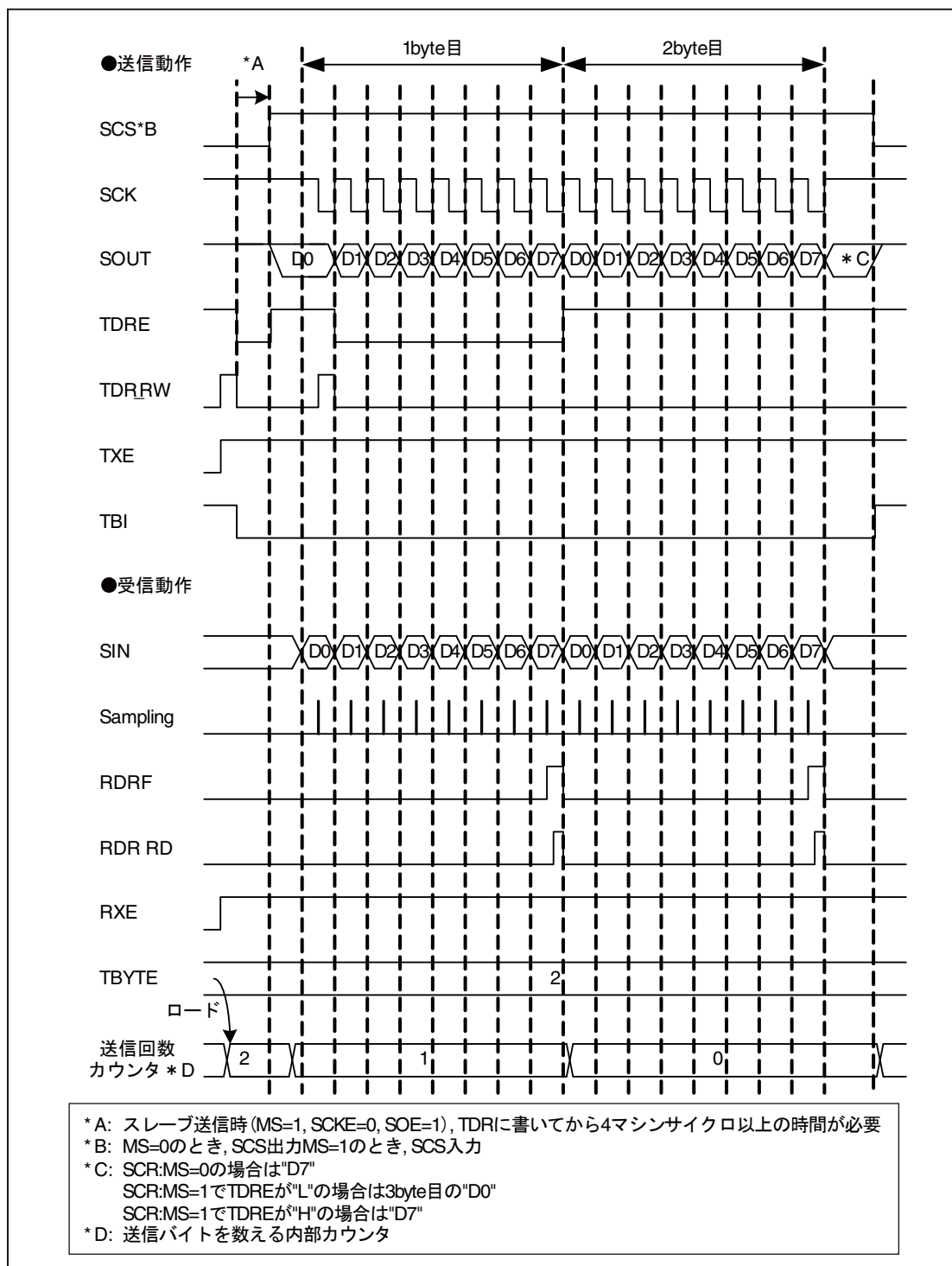
①シリアルデータ出力禁止 (SMR:SOE="0"), 受信割込み許可 (SCR:RIE="1"), 受信動作許可 (SCR:RXE="1") および送信動作許可 (SCR:TXE="1") にします。シリアルクロック (SCK) がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

②受信動作を継続する場合、受信割込み要求後から次のシリアルクロック (SCK) の立上りまでに TDR にダミーデータを書き込んでください。

③受信動作から送信動作へ切換える場合、受信割込み要求後から次のシリアルクロック (SCK) の立上りまでにシリアルデータ出力許可 (SMR:SOE="1"), 受信割込み禁止 (SCR:RIE="0") および受信動作禁止 (SCR:RXE="0") にし、TDR に送信データを書き込むと受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

■ SPI 転送 (I) タイミングチャート (シリアルチップセレクト端子使用時)

図 36.6-13 SPI 転送 (I) タイミングチャート (シリアルチップセレクト端子使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*:n には使用するシリアルチップセレクト端子番号が入ります。

● **送信動作**

- ①シリアルデータ出力許可 (SMR:SOE="1"), 送信動作許可 (SCR:TXE="1"), 受信動作禁止 (SCR:RXE="0") にし, TDR に送信データを書き込むと, SSR:TDRE="0" に設定されます。その後, 1 ビット目が出力されると同時にシリアルチップセレクト端子 (SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, 送信動作が開始します。送信動作開始後, シリアルクロック (SCK) 出力の立上りエッジに同期して, 送信データを出力します。
- ②最初のシリアルクロック (SCK) 出力の立下りエッジの半サイクル前で, SSR:TDRE="1" となり, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。
- ③ TBYTE で設定している回数のデータ送信終了後, 送信動作が終了します。
- ④送信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

● **受信動作**

- ①シリアルデータ出力禁止 (SMR:SOE="0"), 送信動作許可 (SCR:TXE="1"), 受信動作許可 (SCR:RXE="1") にし, TDR にダミーデータを書き込むとシリアルチップセレクト端子 (SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, 受信動作を開始します。受信動作が開始した後, シリアルクロック (SCK) 出力の立下りエッジで, 受信データをサンプリングします。
- ②最後のビットを受信した場合, SSR:RDRF="1" となり, 受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。
このとき, 受信データ (RDR) を読み出すことができます。
- ③受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。
- ④ TBYTE で設定している回数のデータ受信終了後, 受信動作を終了します。
- ⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

- (注意事項) ・受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- ・送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

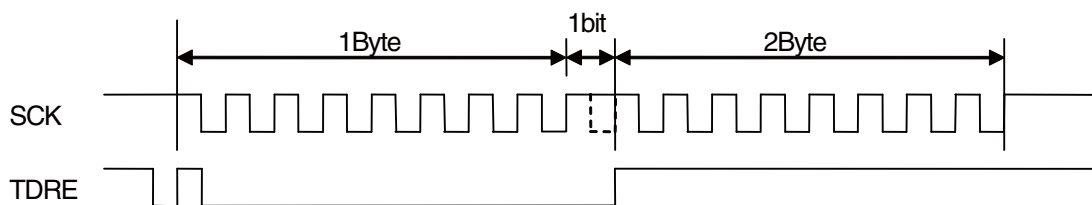
● 送受信動作

- ①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にします。
- ② TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子 (SCS) がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送受信動作が開始します。送受信動作開始後、シリアルクロック (SCK) 出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で、SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ③受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。
- ④ TBYTE で設定している回数のデータ送受信終了後、送受信動作を終了します。
- ⑤送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

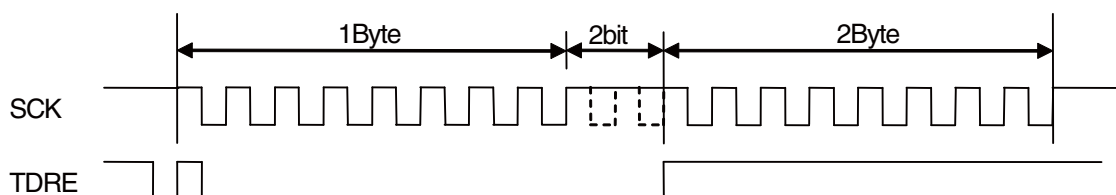
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。

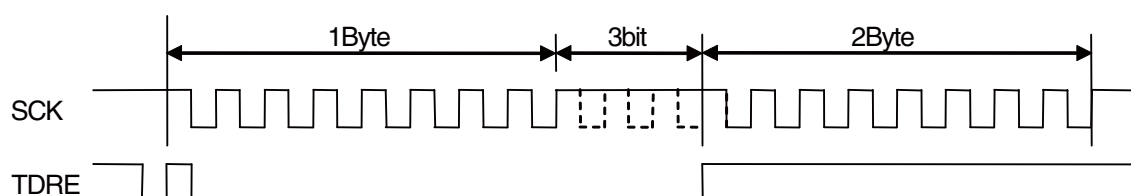
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0)

● 送信動作

- ①シリアルデータ出力許可 (SMR:SOE="1") および送信動作許可 (SCR:TXE="1") にし、TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。
- ②シリアルチップセレクト端子 (SCS) がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック (SCK) 出力の立上りエッジに同期して、送信データを出力します。
- ③送信データの 1 ビット目が出力されると、SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ④シリアルチップセレクト端子 (SCS) がインアクティブになると送信動作を終了し、シリアル出力端子 (SOUT) が "H" になります。

(注意事項) 送信動作許可後 (SCR:TXE="1"), 最初の TDR への送信データ書込みはシリアルクロック (SCK) がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後 (SCR:TXE="1"), 最初の TDR への送信データ書込みはシリアルクロック (SCK) がマークレベルのときに行ってください。

● 受信動作

- ①シリアルデータ出力禁止 (SMR:SOE="0") および受信動作許可 (SCR:RXE="1") でシリアルチップセレクト端子 (SCS) がアクティブになると受信動作が開始し、シリアルクロック入力 (SCK) の立下りエッジで、受信データをサンプリングします。
- ②最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。
- ③このとき、受信データ (RDR) を読み出すことができます。
- ④受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。
- ⑤シリアルチップセレクト端子 (SCS) がインアクティブになると受信動作を終了します。

● 送受信動作

- ①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にします。
- ② TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。シリアルチップセレクト端子 (SCS) がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ③受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。
- ④シリアルチップセレクト端子 (SCS) がインアクティブになると送受信動作が終了し、シリアル出力端子 (SOUT) が "H" になります。

36.6.2.4 SPI 転送 (II)

■ 特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ～ 16, 20, 24, 32 ビット

■ レジスタ設定

SPI 転送 (II) に必要な、レジスタの設定値を以下に示します。

SCR:SPI*1=1, SMR:MD2=0, MD1=1, MD0=0, SCINV*1=1

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

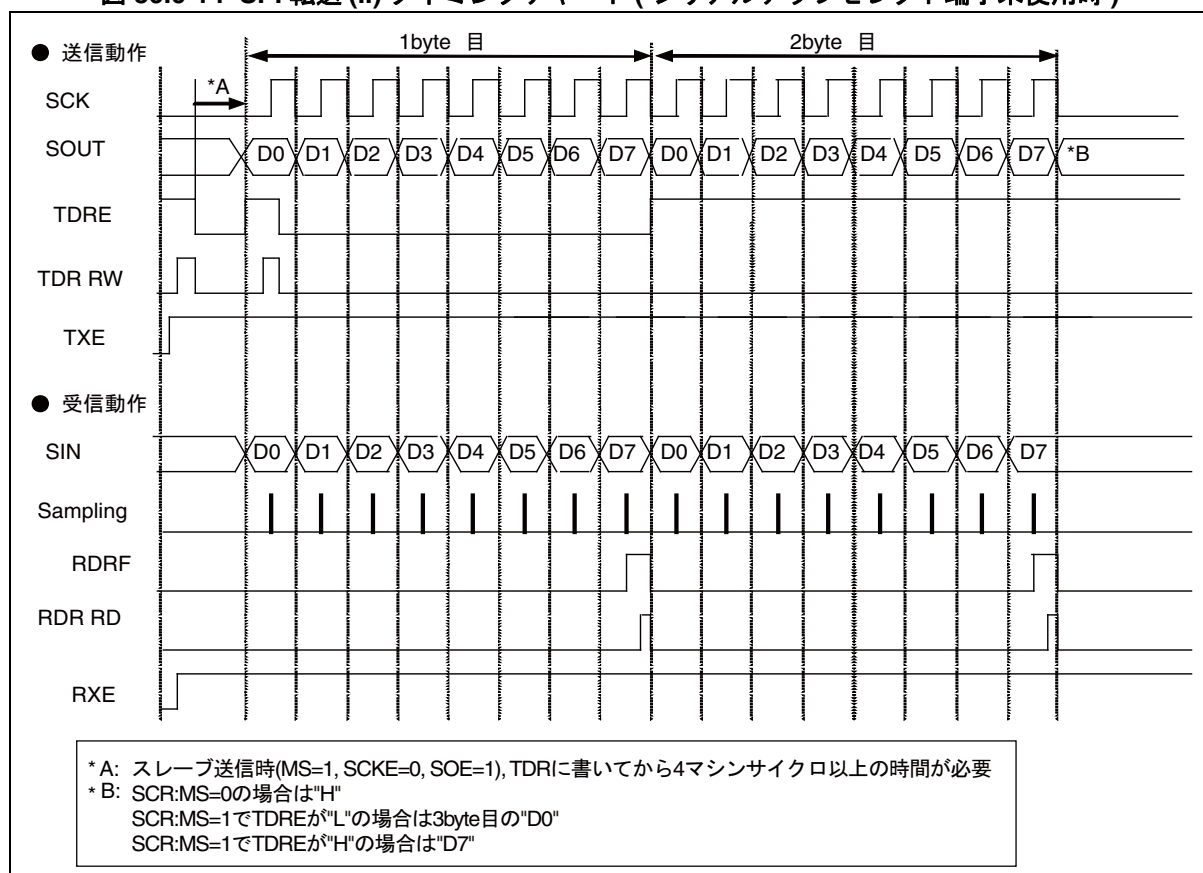
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

*1) 条件により設定するビットが異なります。表を参照ください。

(注意事項) 上記以外のレジスタは使用方法に合わせて設定してください。

■ SPI 転送 (II) タイミングチャート (シリアルチップセレクト端子未使用時)

図 36.6-14 SPI 転送 (II) タイミングチャート (シリアルチップセレクト端子未使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1)

● 送信動作

①シリアルデータ出力許可 (SMR:SOE="1"), 送信動作許可 (SCR:TXE="1") および受信動作禁止 (SCR:RXE="0") にし, TDR に送信データを書き込むと, SSR:TDRE="0" に設定されます。これにより, シリアルクロック (SCK) 出力の立下りエッジに同期して, 送信データが出力されます。

②最初のシリアルクロック (SCK) 出力の立上りエッジの半サイクル前で, SSR:TDRE="1" に設定されます。このため, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求が出力されます。このとき, 2 バイト目の送信データを書込めます。

● 受信動作

①シリアルデータ出力禁止 (SMR:SOE="0"), 送信動作許可 (SCR:TXE="1") および受信動作許可 (SCR:RXE="1") に設定した場合, TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立上りエッジで, 受信データがサンプリングされます。

②最後のビットを受信した場合, SSR:RDRF="1" に設定されます。このとき, 受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。

このとき, 受信データ (RDR) を読み出せます。

③受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

- (注意事項) ・受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
・送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

● 送受信動作

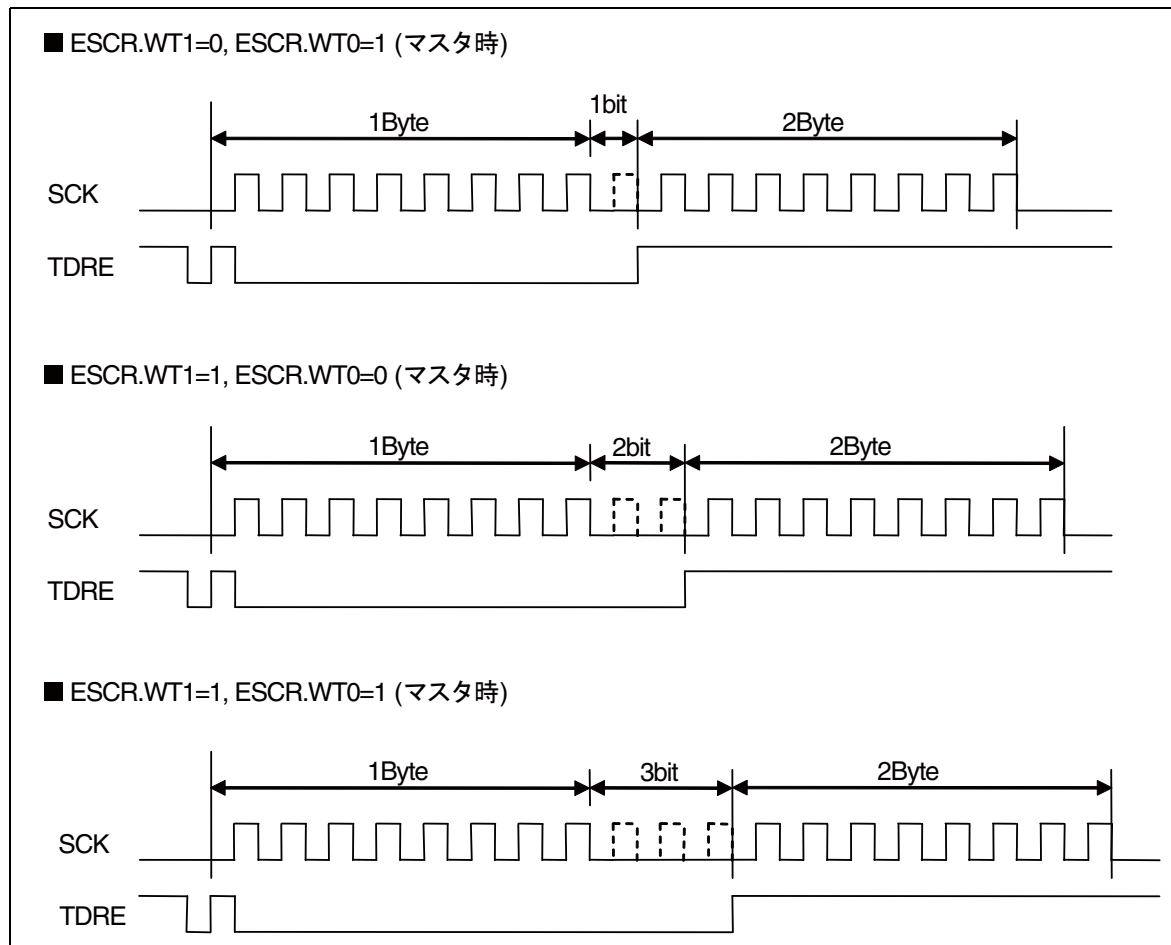
①送受信動作を同時に行う場合は, シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にしてください。

② TDR に送信データを書き込むと, SSR:TDRE="0" となり 1 ビット目が出力されます。その後, シリアルクロック (SCK) 出力の立下りエッジに同期して, 送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で, SSR:TDRE="1" となり, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック (SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合, SSR:RDRF="1" に設定されます。受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し, (ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0)

● 送信動作

①シリアルデータ出力許可 (SMR:SOE="1") および送信動作許可 (SCR:TXE="1") にし、TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック (SCK) 入力の立下りエッジに同期して、送信データを出力します。

②送信データの 1 ビット目が出力されると、SSR:TDRE="1" に設定されます。送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

(注意事項) 送信動作許可後 (SCR:TXE="1"), 最初の TDR への送信データ書込みはシリアルクロック (SCK) がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後 (SCR:TXE="1"), 最初の TDR への送信データ書込みはシリアルクロック (SCK) がマークレベルのときに行ってください。

● 受信動作

①シリアルデータ出力禁止 (SMR:SOE="0") および受信動作許可 (SCR:RXE="1") にすると、シリアルクロック入力 (SCK) の立上りエッジで、受信データをサンプリングします。

②最後のビットを受信した場合、SSR:RDRF="1" に設定されます。受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。

このとき、受信データ (RDR) を読み出すことができます。

③受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

● 送受信動作

①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にしてください。

② TDR に送信データを書き込むと, SSR:TDRE="0" となり 1 ビット目が出力されます。その後, シリアルクロック (SCK) 入力の立下りエッジに同期して, 送信データを出力します。送信データの 1 ビット目が出力されると, SSR:TDRE="1" となり, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

③受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合, SSR:RDRF="1" となり, 受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

● 受信動作から送信動作への連続的な切換え

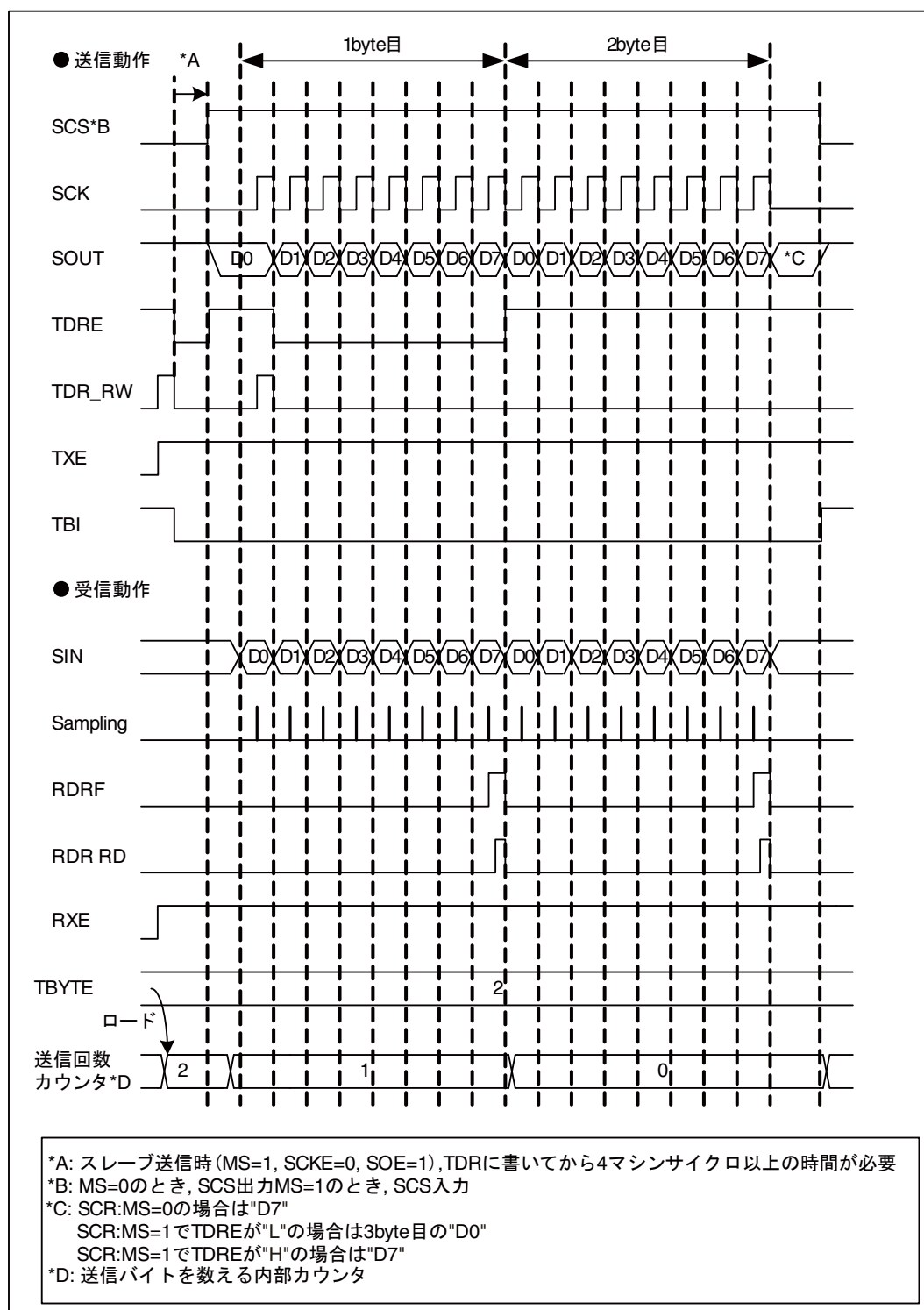
①シリアルデータ出力禁止 (SMR:SOE="0"), 受信割込み許可 (SCR:RIE="1"), 受信動作許可 (SCR:RXE="1") および送信動作許可 (SCR:TXE="1") にします。シリアルクロック (SCK) がマークレベル時に TDR にダミーデータを書き込むと, シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

②受信動作を継続する場合, 受信割込み要求後から次のシリアルクロック (SCK) の立上りまでに TDR にダミーデータを書き込んでください。

③受信動作から送信動作へ切換える場合, 受信割込み要求後から次のシリアルクロック (SCK) の立上りまでにシリアルデータ出力許可 (SMR:SOE="1"), 受信割込み禁止 (SCR:RIE="0") および受信動作禁止 (SCR:RXE="0") にし, TDR に送信データを書き込むと受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

■ SPI 転送 (II) タイミングチャート (シリアルチップセレクト端子使用時)

図 36.6-15 SPI 転送 (II) タイミングチャート (シリアルチップセレクト端子使用時)



[1] マスタ動作 (SCR:MS=0, SMR:SCKE=1, SCSCR:CSOE=1, SCSCR:CSENn*=1)

*:n には使用するシリアルチップセレクト端子番号が入ります。

● **送信動作**

①シリアルデータ出力許可 (SMR:SOE="1"), 送信動作許可 (SCR:TXE="1"), 受信動作禁止 (SCR:RXE="0") にし, TDR に送信データを書き込むと, SSR:TDRE="0" に設定されます。その後, 1 ビット目が出力されると同時にシリアルチップセレクト端子 (SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, 送信動作が開始します。送信動作開始後, シリアルクロック (SCK) 出力の立下りエッジに同期して, 送信データを出力します。

②最初のシリアルクロック (SCK) 出力の立下りエッジの半サイクル前で, SSR:TDRE="1" となり, 送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

③ TBYTE で設定している回数のデータ送信終了後, 送信動作を終了します。

④送信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

● **受信動作**

①シリアルデータ出力禁止 (SMR:SOE="0"), 送信動作許可 (SCR:TXE="1"), 受信動作許可 (SCR:RXE="1") にし, TDR にダミーデータを書き込むとシリアルチップセレクト端子 (SCS) がアクティブになり, シリアルチップセレクト端子のセットアップ時間経過後, 受信動作を開始します。受信動作が開始した後, シリアルクロック (SCK) 出力の立上りエッジで, 受信データをサンプリングします。

②最後のビットを受信した場合, SSR:RDRF="1" となり, 受信割込み許可 (SCR:RIE="1") されていると, 受信割込み要求を出力します。

このとき, 受信データ (RDR) を読み出すことができます。

③受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

④ TBYTE で設定している回数のデータ受信終了後, 受信動作を終了します。

⑤受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし, このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

- (注意事項) ・受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- ・送受信 FIFO 許可時, 転送させたいフレーム分 FBYTE レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

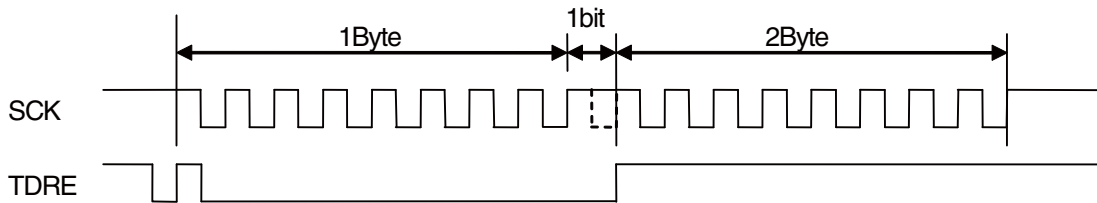
● 送受信動作

- ①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にします。
- ② TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。その後、1 ビット目が出力されると同時にシリアルチップセレクト端子 (SCS) がアクティブになり、シリアルチップセレクト端子のセットアップ時間経過後、送受信動作が開始します。送受信動作開始後、シリアルクロック (SCK) 出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で、SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ③受信データをシリアルクロック (SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。
- ④ TBYTE で設定している回数のデータ送受信終了後、送受信動作を終了します。
- ⑤送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後、シリアルチップセレクト端子 (SCS) がインアクティブになります。ただし、このときにシリアルチップセレクトアクティブレベル (SCSCR:SCAM="1") が保持されている場合はシリアルチップセレクト端子 (SCS) はアクティブ状態を保持します。

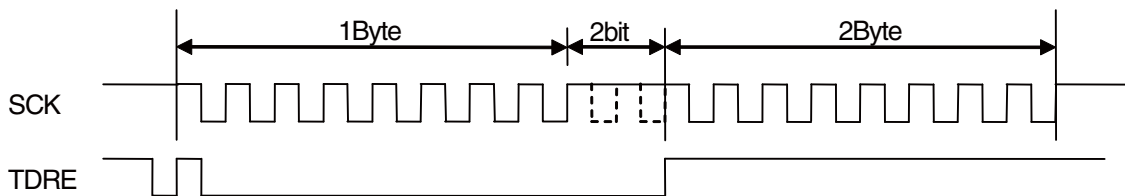
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し, (ESCR:WT1, ESCR:WT0)= (0, 0) 以外を設定した場合 Frame 間にウェイトが挿入されます。

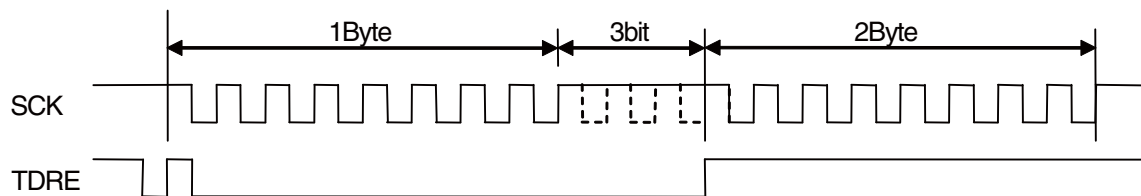
■ ESCR.WT1=0, ESCR.WT0=1 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=0 (マスタ時)



■ ESCR.WT1=1, ESCR.WT0=1 (マスタ時)



[2] スレーブ動作 (SCR:MS=1, SMR:SCKE=0, SCSCR:CSEN=1, SCSCR:SCAM=0)

● 送信動作

- ①シリアルデータ出力許可 (SMR:SOE="1") および送信動作許可 (SCR:TXE="1") にし、TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。
- ②シリアルチップセレクト端子 (SCS) がアクティブになると送信動作を開始し 1 ビット目が出力されます。送信動作開始後、シリアルクロック (SCK) 出力の立下りエッジに同期して、送信データを出力します。
- ③送信データの 1 ビット目が出力されると、SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ④シリアルチップセレクト端子 (SCS) がインアクティブになると送信動作を終了し、シリアル出力端子 (SOUT) が "H" になります。

(注意事項) 送信動作許可後 (SCR:TXE="1"), 最初の TDR への送信データ書込みはシリアルクロック (SCK) がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後 (SCR:TXE="1"), 最初の TDR への送信データ書込みはシリアルクロック (SCK) がマークレベルのときに行ってください。

● 受信動作

- ①シリアルデータ出力禁止 (SMR:SOE="0") および受信動作許可 (SCR:RXE="1") でシリアルチップセレクト端子 (SCS) がアクティブになると受信動作が開始し、シリアルクロック入力 (SCK) の立上りエッジで、受信データをサンプリングします。
- ②最後のビットを受信すると、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。
このとき、受信データ (RDR) を読み出すことができます。
- ③受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。
- ④シリアルチップセレクト端子 (SCS) がインアクティブになると受信動作を終了します。

● 送受信動作

- ①送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE="1"), 送受信動作許可 (SCR:TXE, RXE="1") にします。
- ② TDR に送信データを書き込むと、SSR:TDRE="0" に設定されます。シリアルチップセレクト端子 (SCS) がアクティブになると送受信動作が開始し、1 ビット目が出力されます。送受信動作開始後、シリアルクロック (SCK) 入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE="1" となり、送信割込み許可 (SCR:TIE="1") されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。
- ③受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF="1" となり、受信割込み許可 (SCR:RIE="1") されていると、受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。
- ④シリアルチップセレクト端子 (SCS) がインアクティブになると送受信動作が終了し、シリアル出力端子 (SOUT) が "H" になります。

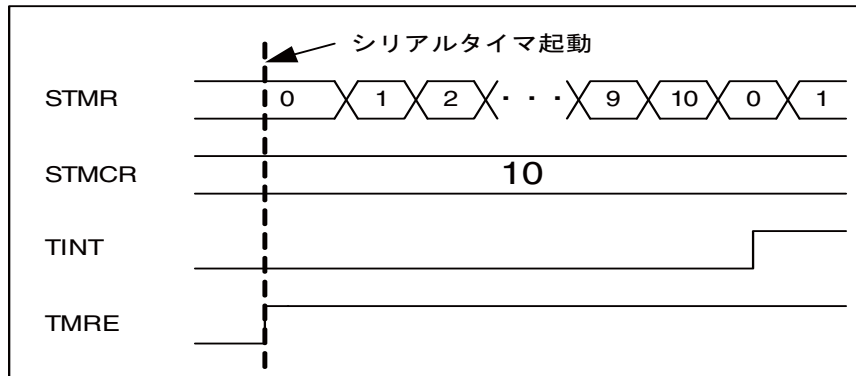
36.6.2.5 シリアルタイマの動作

シリアルタイマは、タイマ機能または同期送信機能のいずれかに利用できます。

● シリアルタイマの起動方法

シリアルタイマの起動方法はシリアルタイマ許可ビット (SACSR:TMRE) を "1" に設定します。シリアルタイマ許可ビット (SACSR:TMRE) を "1" に設定するとシリアルタイマは起動し、シリアルタイマレジスタ (STMR) が 0 からカウントを開始します。

図 36.6-16 シリアルタイマ許可ビットによる起動
(STMCR="10", SACSR:TSYNE="0")



● シリアルタイマの停止方法

シリアルタイマ許可ビット (SACSR:TMRE) を "0" に設定した場合に、シリアルタイマは停止します。このときシリアルタイマレジスタ (STMR) の値は保持されます。

● タイマ動作

同期送信許可ビット (SAGSR:TSYNE) が "0" のときに、シリアルタイマはタイマとして動作します。シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致した場合、タイマ割込みフラグ (SACSR:TINT) を "1" に設定し、シリアルタイマレジスタ (STMR) は 0 にリセットされます。

図 36.6-17 タイマ動作 (STMCR="10")

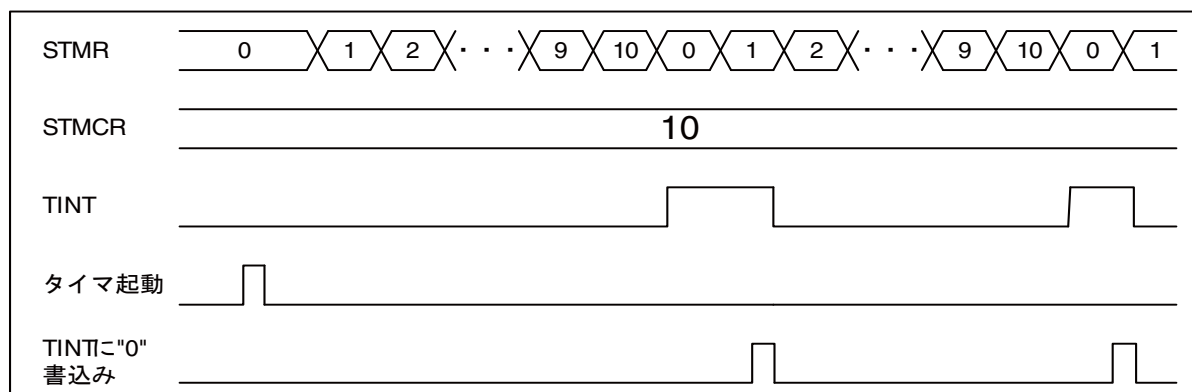


図 36.6-18 シリアルタイマの初期設定のフローチャート

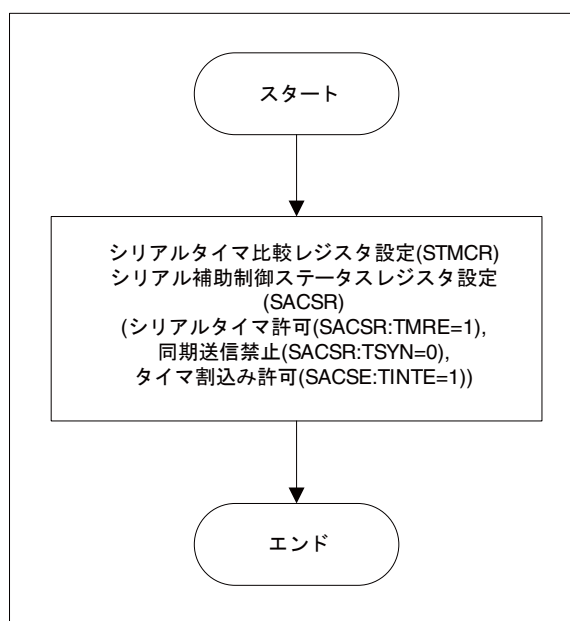
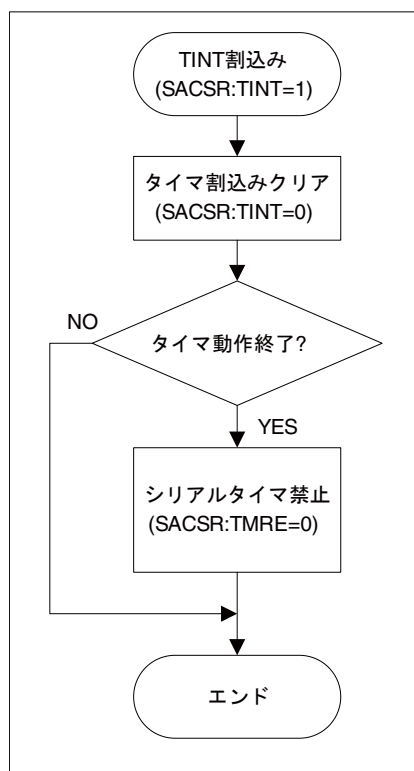


図 36.6-19 シリアルタイマの割込み処理のフローチャート



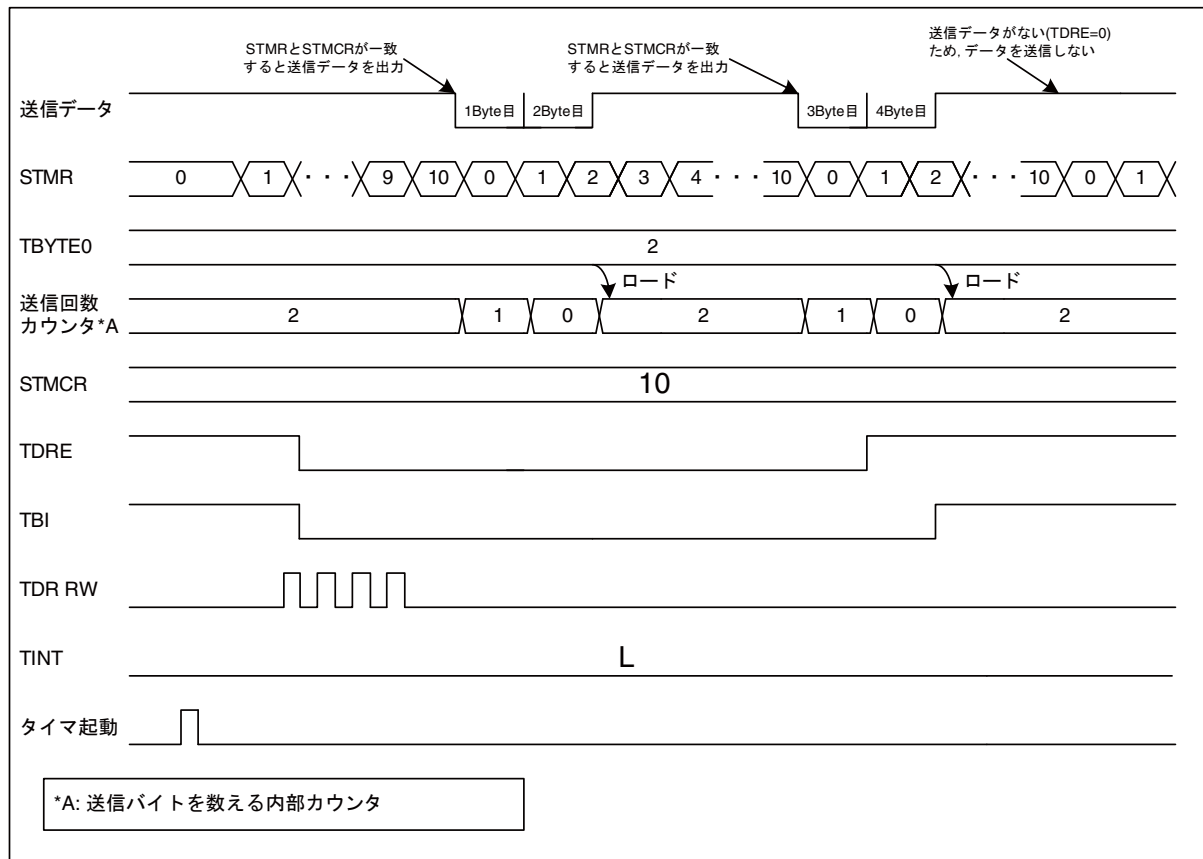
(注意事項) 同期送信禁止 (SACSR:TSYNE="0") でタイマ比較レジスタ (STMCR) に "0000"h が設定された状態で、タイマ動作中にタイマ動作クロックの分周値 (SACSR:TDIV) を "0000"b に設定した場合、タイマ割込みフラグ (SACSR:TINT) は "1" に固定されます。

● タイマに同期した送信動作

同期送信許可ビット (SAGSR:TSYNE) が "1" のときに、シリアルタイマは同期送信に利用されます。同期送信は以下のように動作します。

1. 送信データレジスタにデータがある (SSR:TDRE="0") 場合、シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致した場合、送信動作が開始し、シリアルタイマレジスタ (STMR) は 0 にリセットされます。TBYTE0 に設定したデータ数だけ送信し続けます。
2. TBYTE0 に設定したデータ数のデータ送信を完了した後、送信動作は次にシリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致するまで停止します。

図 36.6-20 同期送信動作 (STMCR="10", TBYTE0="2")



同期送信許可 (SAGSR:TSYNE="1") でシリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致したときに下記の条件の場合、送信は起動されません。

- ・送信禁止 (SCR:TXE="0") 時
- ・スレーブモード (SCR:MS="1") 時
- ・チップセレクトエラー (SACSR:CSE="1") 発生時
- ・送信データレジスタに有効なデータがない (SSR:TDRE="1") 場合

ただし、送信データレジスタに有効なデータがない (SSR:TDRE="1") 場合に同期送信許可 (SAGSR:TSYNE="1") でシリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致したときは、送信データを送信データレジスタへ書き込むと即送信が開始します。

TBYTE に設定したデータ数の送信完了後に送信データレジスタ (TDR) に有効な送信データがある (SSR:TDRE="0") 場合、その送信データは次にシリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致するまで送信されません。

イマ比較レジスタ (STMCR) が一致するまで送信されません。

ただし、同期送信許可 (SACSR:TSYNE="1") で下記の条件のときにシリアルタイムレジスタ (STMR) とシリアルタイム比較レジスタ (STMCR) が一致した場合、TBYTE0 に設定した回数だけ送信後、送信は停止せず、次の送信が開始されます。

- ・送信動作中 (SSR : TBI="0") の場合

同期受信動作を行う場合、シリアルデータ出力禁止 (SMR:SOE="0"), 送信動作許可 (SCR:TXE="1"), 受信動作許可 (SCR:RXE="1") にし、受信回数分だけ TDR にダミーデータを書き込んでください。

図 36.6-21 タイマに同期した送信の初期設定のフローチャート

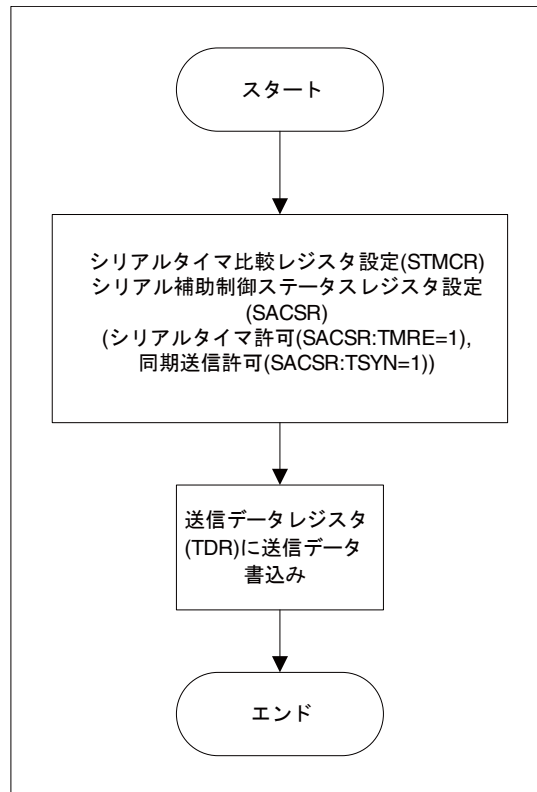
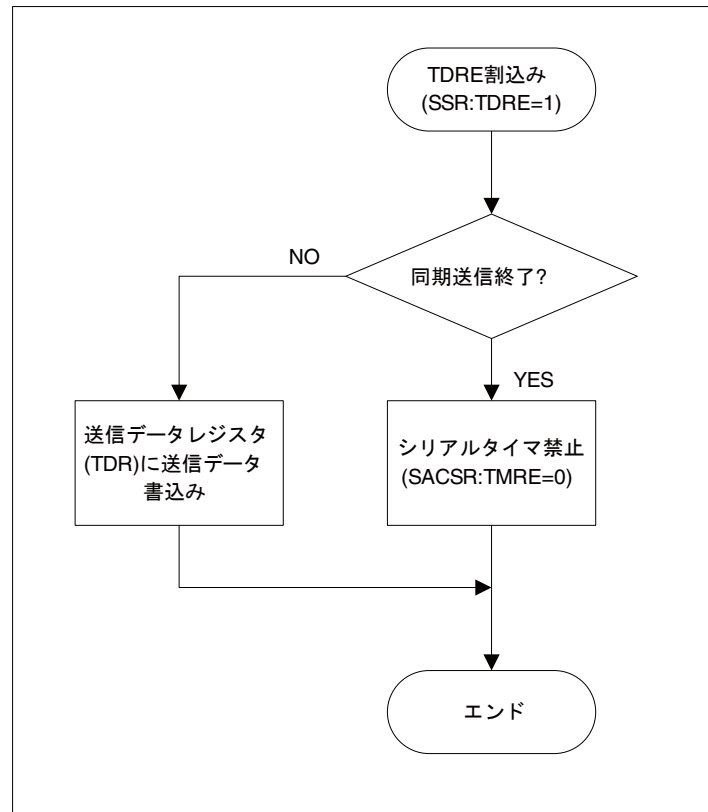


図 36.6-22 タイマに同期した送信の割り込み処理のフローチャート



(注意事項) ・ TBYTE の設定値のデータフレームを送信する前に送信データレジスタ (TDR) に有効な送信データがない (SSR:TDRE="1") 場合、以下の動作を行います。

- ・ 転送バイトエラー許可 (SACSR:TBEEN="1") の場合、チップセレクトエラー (SACSR:CSE="1") が発生します。チップセレクトエラーフラグ (SACSR:CSE) に "1" が設定されている場合、送信データレジスタ (TDR) に送信データが書き込まれても送信動作を開始しません。
- ・ 転送バイトエラー禁止 (SACSR:TBEEN="0") の場合、送信データレジスタ (TDR) に送信データが書き込まれるまで送信動作を停止します。送信データレジスタ (TDR) に送信データが書き込まれると送信動作を再開します。

36.6.2.6 シリアルチップセレクトの動作

シリアルチップセレクト動作について示します。

● マスタモードの動作 (SCR:MS="0")

マスタモード (SCR:MS="0") 時, シリアルチップセレクト端子は以下のように動作します。

- ①シリアルチップセレクト動作許可 (SCSCR:CSEN_n="1") で送信許可中 (SCR:TXE="1") に送信データを書き込むとシリアルチップセレクト端子はアクティブになります。
- ②シリアルチップセレクト端子のセットアップ時間経過後, 送受信動作を開始します。
- ③ TBYTE で設定した回数のデータ送受信動作後, 送受信動作を終了します。
- ④送受信動作を終了してからシリアルチップセレクト端子のホールド時間経過後, シリアルチップセレクト端子はインアクティブになります。

図 36.6-23 シリアルチップセレクト動作 (マスタ送信 (MS="0"), 通常転送 (SPI="0"), SCINV="0")

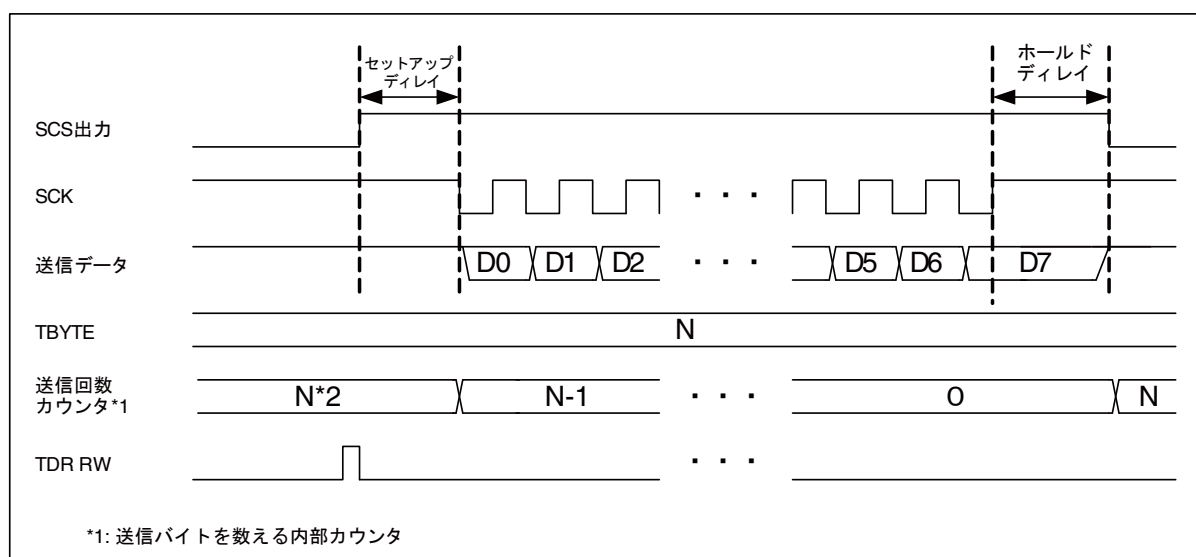
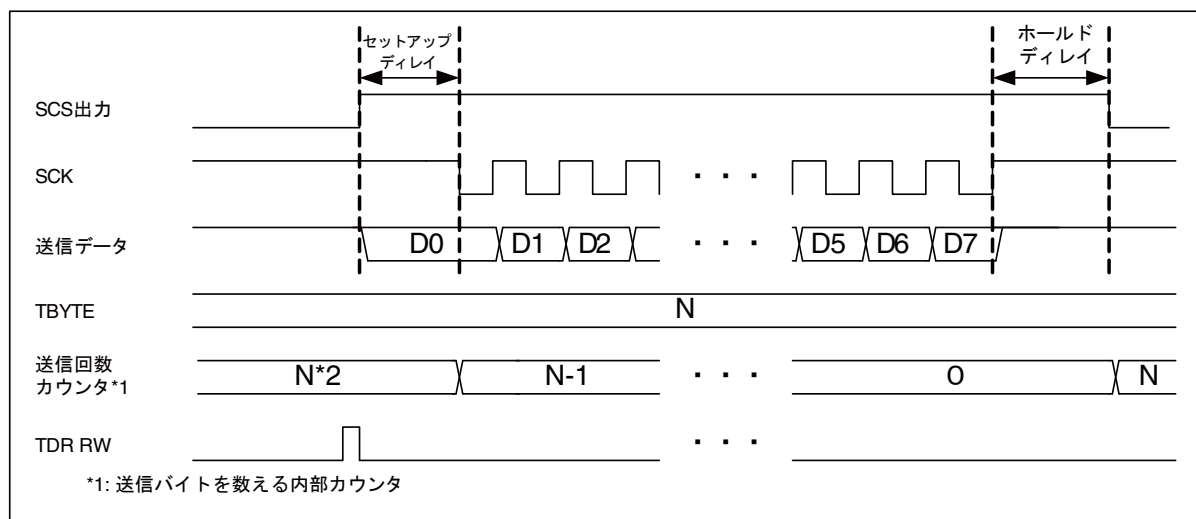


図 36.6-24 シリアルチップセレクト動作 (マスタ送信 (MS="0"), 通常転送 (SPI="1"), SCINV="0")



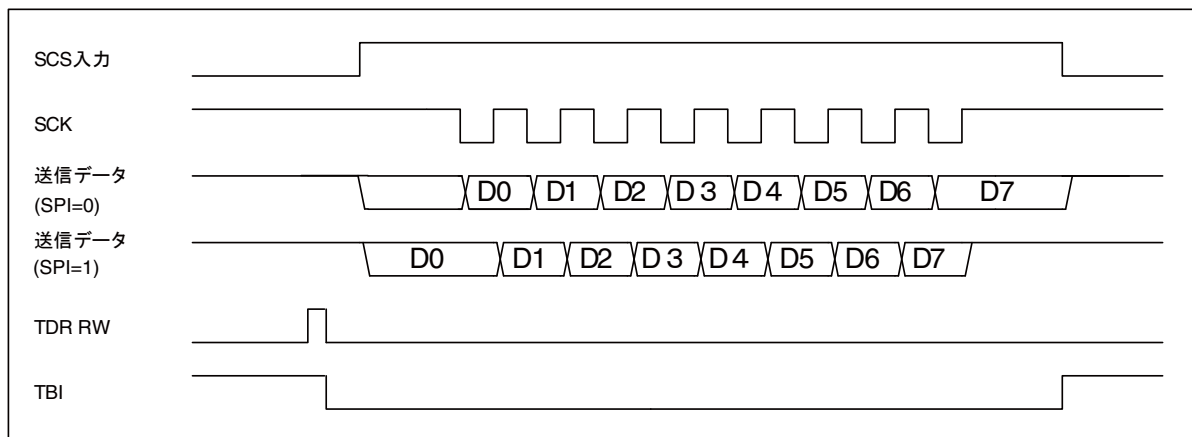
(注意事項) ・シリアルチップセレクト端子がアクティブ時に送信禁止 (SCR:TXE="0") およびソフトウェアリセット (SCR:UPCL=1) にした場合, シリアルチップセレクト端子はインアクティブになります。

- ・シリアルチップセレクト端子のホールドディレイ時間に送信データを書き込んだ場合，シリアルチップセレクト端子はインアクティブにならず，次の送信データを送信します。
- ・シリアルチップセレクト端子のアクティブ状態を保持していない (SCSCR:SCAM="0") 場合，シリアルチップセレクト端子がインアクティブになり，ディセレクト時間経過後に送信バスアイドル (SSR:TBI="1") になります。
- ・マスタモード (SCR:MS="0") 時，SCSCR:CSEN3-0 を "0000"b に設定した場合，シリアルチップセレクト端子に依存しないで送受信動作を行います。
- ・TBYTE の設定値より少ないフレーム数しか送信していないときに 1 フレーム送信が完了した時点で送信データレジスタ (TDR) に有効な送信データがない (SSR:TDRE="1") 場合，以下の動作を行います。
 - ・転送バイトエラー許可 (SACSR:TBEEN="1") の場合，チップセレクトエラー (SACSR:CSE="1") が発生します。チップセレクトエラー (SACSR:CSE="1") が発生してからホールドディレイ時間経過後，シリアルチップセレクト端子はインアクティブになります。チップセレクトエラーフラグ (SACSR:CSE) に "1" が設定されている場合，送信データレジスタ (TDR) に送信データが書き込まれても送信動作を開始しません。
 - ・転送バイトエラー禁止 (SACSR:TBEEN="0") の場合，送信データレジスタ (TDR) に送信データが書き込まれるまで送信動作を停止します。このとき，シリアルチップセレクト端子はアクティブです。送信データレジスタ (TDR) に送信データが書き込まれると送信動作を再開します。

● スレーブモードの動作 (SCR:MS="1")

シリアルチップセレクト端子0(SCS0)が許可 (SCSCR:CSEN0="1") でシリアルチップセレクト端子入力がアクティブになると，シリアルクロック (SCK) に同期して，送信動作または受信動作を行います。その後，シリアルチップセレクト端子入力がインアクティブになると，送信動作または受信動作を終了します。

図 36.6-25 スレーブモード時のシリアルチップセレクト動作 (スレーブ送信, SCINV="0")



- (注意事項)
- ・シリアルチップセレクト端子入力がインアクティブ時にシリアルクロックが入力されても動作しません。
 - ・受信動作中に最後にビットをサンプリングする前にシリアルチップセレクト入力がインアクティブになると，受信中のデータは消去されます。
 - ・送信動作中にシリアルチップセレクト入力がインアクティブになると，送信中のデータは消去され，チップセレクトエラーが発生 (SACSR:CSE) します。
 - ・TDRが空 (SSR:TDRE="1") でシリアルチップセレクト端子入力がインアクティブになると送信バスアイドル (SSR:TBI="1") になります。
 - ・スレーブモード (SCR:MS="1") 時，SCSCR:CSEN0 を "0" に設定した場合，シリアルチップセレクト端子に依存しないで送受信動作を行います。

● シリアルチップセレクトのタイミング調整

マスタモード (SCR:MS=0) でシリアルチップセレクト動作許可 (SCSCR:CSENn="1") の場合, シリアルチップセレクトタイミングレジスタ (SCSTR3-0) を調整することでセットアップディレイ, ホールドディレイおよびディセレクト時間を調節できます。

• セットアップディレイ時間

シリアルチップセレクト端子がアクティブになってからシリアルクロックが出力されるまでの時間です。セットアップディレイ時間の規定は図 36.6-26 と図 36.6-27 を参照してください。

チップセレクトセットアップディレイビット (SCSTR0:CSSU7-0) で調整できます。

• ホールドディレイ時間

シリアルクロックの出力を終了してからシリアルチップセレクト端子がインアクティブになるまでの時間です。ホールドディレイ時間の規定は図 36.6-26 と図 36.6-27 を参照してください。

チップセレクトホールドディレイビット (SCSTR1:CSHD7-0) で調整できます。

• ディセレクト時間

シリアルチップセレクト端子がインアクティブになってから次にシリアルチップセレクト端子がアクティブになるまでの最小時間です。ディセレクト時間中に送信データを送信データレジスタ (TDR) に書き込んでも, ディセレクト時間終了までシリアルチップセレクト端子はアクティブになりません。ディセレクト時間の規定は図 36.6-26 と図 36.6-27 を参照してください。

図 36.6-26 タイミング調整 (通常転送 (SPI="0"), SCINV="0")

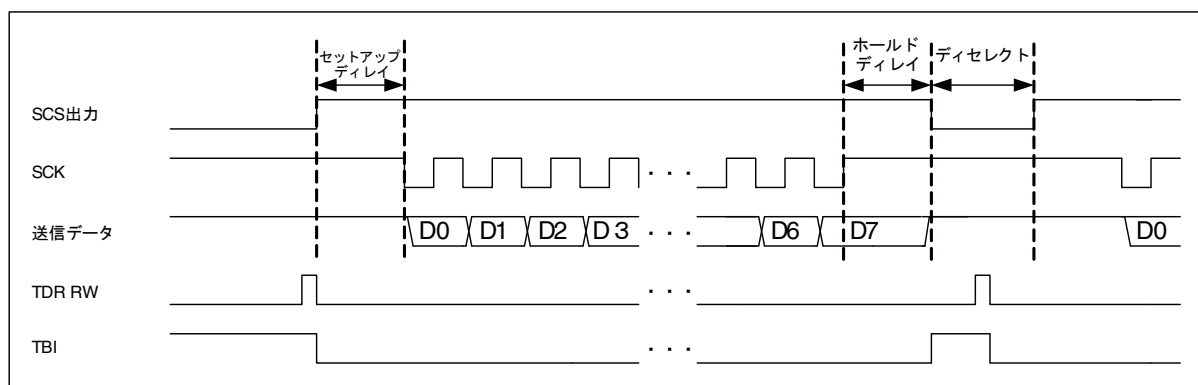
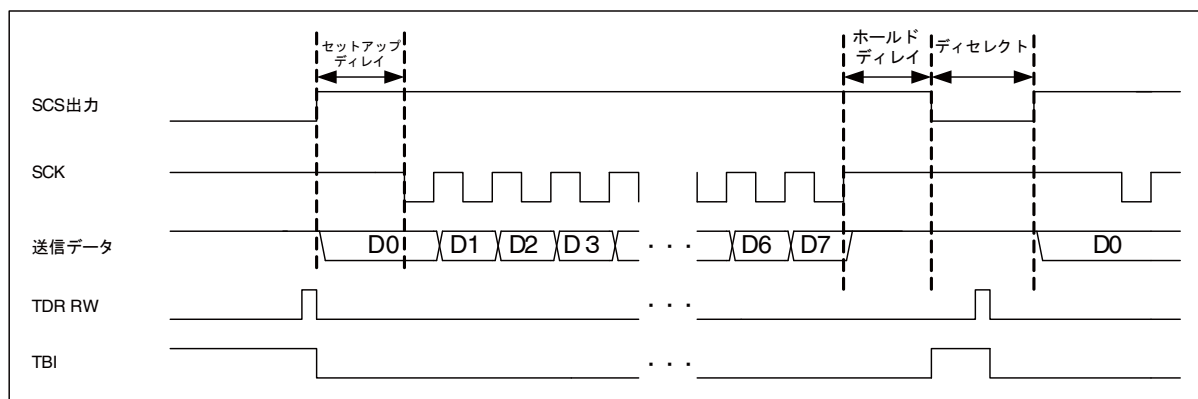


図 36.6-27 シリアルチップセレクト動作 (マスタ送信 (MS="0"), 通常転送 (SPI="1"), SCINV="0")



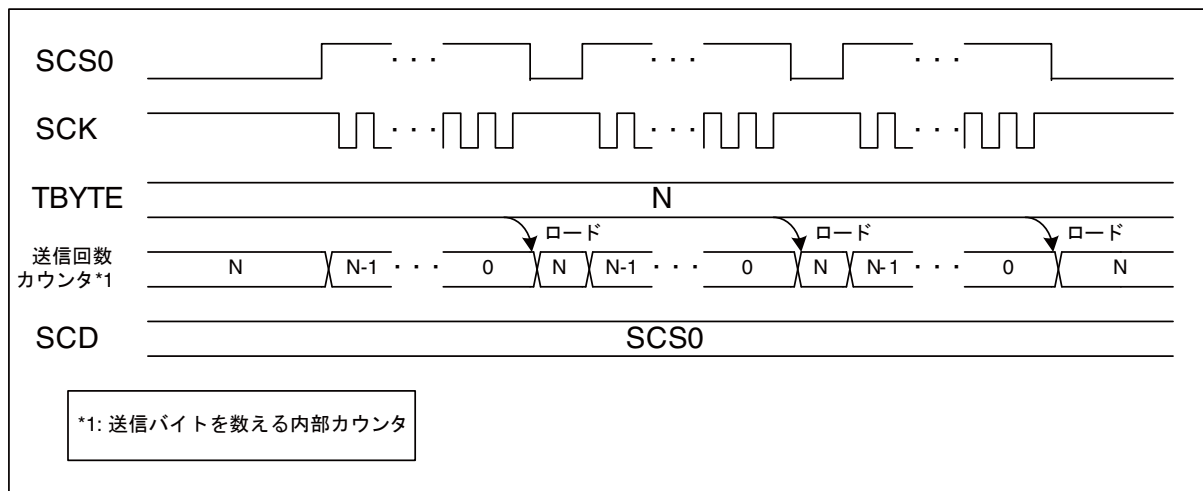
(注意事項) 通常転送 (SPI=0) でホールドディレイ時間なし (SCSTR1:CSHD7-0="00'h) のとき, 最終

ビットのサンプリングより先にチップセレクト端子がインアクティブになる可能性があります。その場合は、SCSTR1:CSHD7-0 の値を増やすことで、調節してください。

● チップセレクト端子の単独動作 (マスタモード (SCR:MS="0") 時のみ有効)

シリアルチップセレクト開始ビット (SCSCR:SST1-0) とシリアルチップセレクト終了ビット (SCSCR:SED1-0) が等しい場合、その設定されたシリアルチップセレクト端子のみで動作します。
シリアルチップセレクトアクティブ非保持 (SCSCR:SCAM="0") のとき、TBYTE で設定している回数のデータ送受信ごとにシリアルチップセレクト端子はインアクティブになります。
シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持 (SCSCR:SCAM="1") の場合の動作は「シリアルチップセレクトアクティブ保持動作」を参照ください。

図 36.6-28 チップセレクトの単独動作 (SST1-0="0", SED1-0="0", CSEN0="1", SCAM="0")



(注意事項) 単独動作時、シリアルチップセレクト端子のタイミング調整 (セットアップ時間、ホールド時間、ディセレクト時間) は有効です。

● チップセレクト端子のラウンド動作 (マスタモード (SCR:MS=0) 時のみ有効)

シリアルチップセレクト開始ビット (SCSCR:SST1-0) とシリアルチップセレクト終了ビット (SCSCR:SED1-0) が異なる場合、複数のシリアルチップセレクト端子が順番にアクティブになります。

①シリアルチップセレクト出力許可 (SCSCR:CSOE="1") で送信許可中 (SCR:TXE="1") に送信データを書き込むとシリアルチップセレクト端子はシリアルチップセレクト開始ビット (SCSCR:SST1-0) で指定したシリアルチップセレクト端子からアクティブになります。

②シリアルチップセレクトアクティブ非保持 (SCSCR:SCAM=0) のとき、TBYTE に設定した回数のデータ送受信の終了後、シリアルチップセレクト端子はインアクティブになります。その後、前にアクティブになったシリアルチップセレクト端子番号に + 1 したシリアルチップセレクト端子がアクティブになります。^{*1}

ただし、次にアクティブになるシリアルチップセレクト端子が禁止 (SCSCR:CSENn=0) されていた場合、そのシリアルチップセレクト端子のアクティブにならず、スキップされます。

③アクティブになっているシリアルチップセレクト端子番号とシリアルチップセレクト終了ビット (SCSCR:SED1-0) で指定したシリアルチップセレクト端子が一致している場合、次にアクティブになるシリアルチップセレクト端子はシリアルチップセレクト開始ビット (SCSCR:SST1-0) で指定したシリアルチップセレクト端子になります。

*1：前にアクティブになったシリアルチップセレクトが端子 0 の場合は端子 1、端子 1 の場合は端子 2、端子 2 の場合は端子 3、端子 3 の場合は端子 0 がアクティブになります。

シリアルチップセレクト端子はシリアルチップセレクトアクティブ保持 (SCSCR:SCAM="1") の場合

の動作は「シリアルチップセレクトアクティブ保持動作」を参照ください。

図 36.6-29 はシリアルチップセレクト端子の開始端子が SCS0(SST1-0=0) で終了端子が SCS3(SED1-0=3) の場合のタイミングチャートです。

図 36.6-29 チップセレクトのラウンド動作 (SST1-0=0, SED1-0=3, CSEN3=1, CSEN2=1, CSEN1=1, CSEN0=1, SCAM=0)

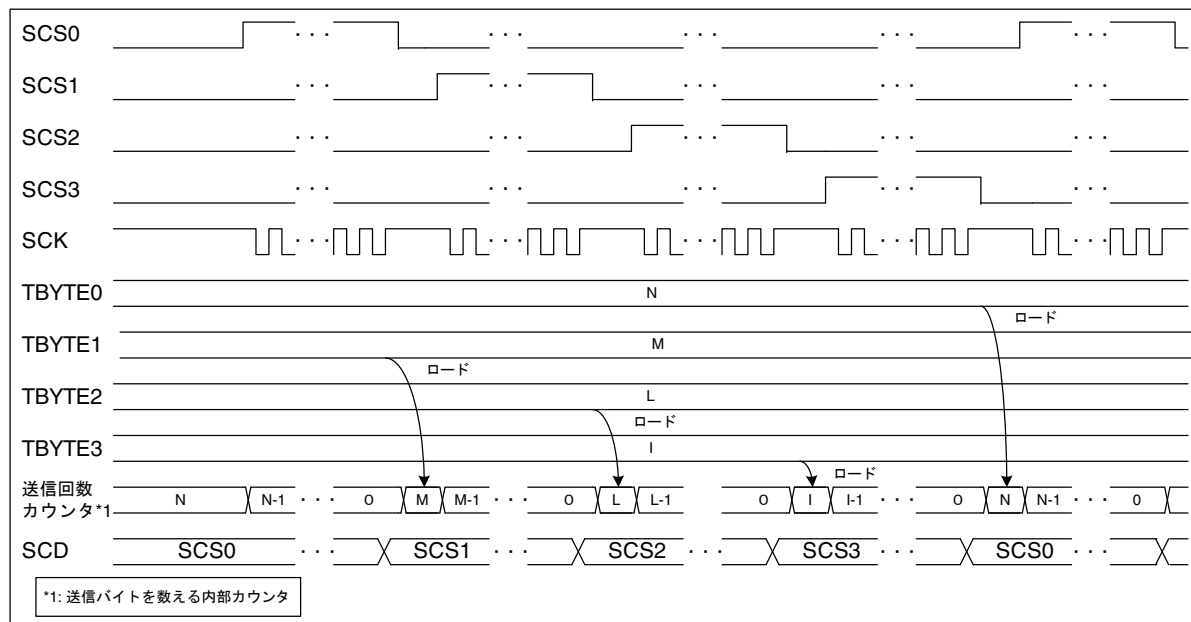


図 36.6-30 はシリアルチップセレクト端子の開始端子が SCS1(SST1-0=1) で終了端子が SCS2(SED1-0=2) の場合のタイミングチャートです。

図 36.6-30 チップセレクトのラウンド動作 (SST1-0=1, SED1-0=2, CSEN3=1, CSEN2=1, CSEN1=1, CSEN0=1, SCAM=0)

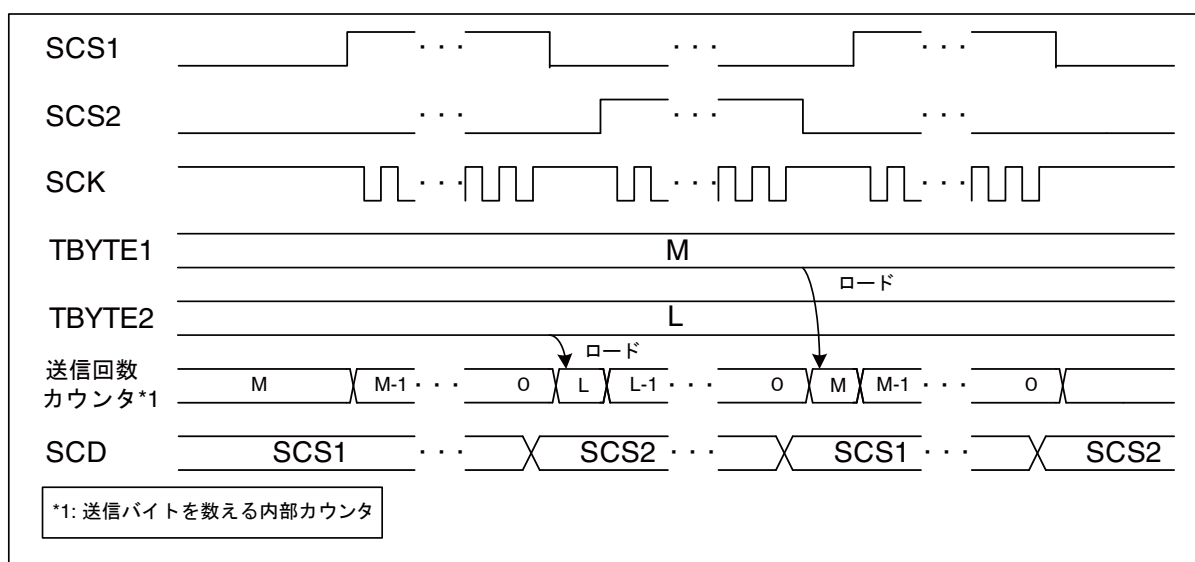
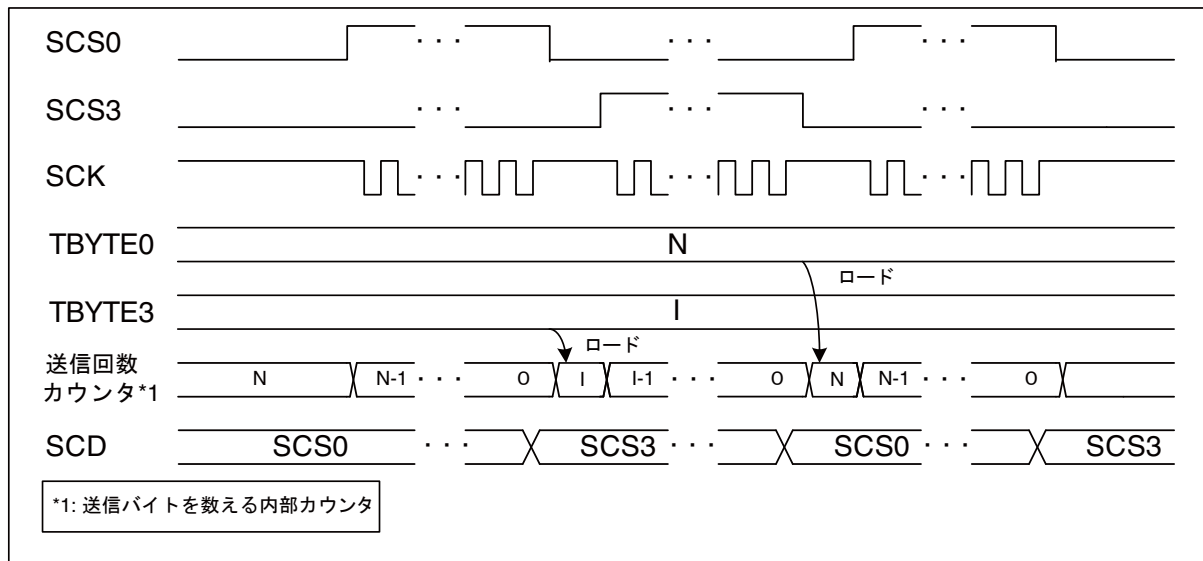


図 36.6-31 はシリアルチップセレクト端子の開始端子が SCS0(SST1-0=0) で終了端子が SCS3(SED1-0=3) で、チップセレクト端子 1 および 2 が禁止 (CSEN1-2="00"b) の場合のタイミングチャートです。シリアルチップセレクト端子は端子 0 がアクティブになった後、端子 1 および 2 を飛ばして、端子 3 がアクティブになります。

図 36.6-31 チップセレクトのラウンド動作 (SST1-0=0, SED1-0=3, CSEN3=1, CSEN2=0, CSEN1=0, CSEN0=1, SCAM=0)



- (注意事項) ・送信動作禁止 (SCR:TXE="0") から送信動作許可 (SCR:TXE="1") に変更した場合、シリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子からアクティブになります。
- ・ラウンド動作時、シリアルチップセレクト端子のタイミング調整 (セットアップ時間 , ホールド時間 , ディセレクト時間) は有効です。
 - ・ソフトウェアリセット (SCR:UPCL="1") 後 , シリアルチップセレクト端子はシリアルチップセレクト開始ビット(SCSCR:SST1-0)で指定したシリアルチップセレクト端子からアクティブになります。

● シリアルチップセレクトアクティブ保持動作 (SCSCR:SCAM=1) (マスタモード (SCR:MS=0) 時のみ有効)

シリアルチップセレクトアクティブ保持ビット (SCSCR:SCAM) を "1" に設定して送信動作を開始した場合、シリアルチップセレクト端子はアクティブ状態に保持されます。

表 36.6-2 シリアルチップセレクトアクティブ保持ビット (SCSCR:SCAM)

現在の状態	現在の SCSCR:SCAM ビット	現在の SSR:TDRE ビット	次の状態
送信中 (送信回数 < TBYTE)	0	—	TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
	1		
TBYTE の設定数の回数のフレームを送信終了	0	—	ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ
	1		シリアルチップセレクトのアクティブ状態保持
		0	シリアルチップセレクトのアクティブ状態で、送信動作継続 再度、TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
ホールドディレイ中	0	—	ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ
	1 ⇒ 0	1	ホールドディレイ動作を中断し、シリアルチップセレクトのアクティブ状態保持
		0	ホールドディレイ動作を中断し、シリアルチップセレクトのアクティブ状態で、送信動作再開 再度、TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
シリアルチップセレクトのアクティブ状態保持中	1 ⇒ 0	—	ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ
	1	1	シリアルチップセレクトのアクティブ状態保持継続
		0	シリアルチップセレクトのアクティブ状態で、送信動作再開 再度、TBYTE の設定数の回数のフレームを送信するまでシリアルチップセレクト端子はアクティブ保持
チップセレクトエラー (SACSR:CSE=1) を発生	—	—	SCAM の設定に関係なく、ホールドディレイ時間後にシリアルチップセレクト端子をインアクティブ
ソフトウェアリセットを実行 (SCR:UPCL="1")			SCAM の設定に関係なく、即シリアルチップセレクト端子をインアクティブ
送信禁止 (SCR:TXE="0")			

(注意事項) 転送バイトエラー許可 (SACSR:TBEEN="1") 時に TBYTE に設定した回数のデータ送受信を終了していない場合に送信データレジスタ (TDR) が空 (SSR:TDRE="1") の場合、シリアルチップセレクト端子は保持されず、ホールドディレイ時間経過後にシリアルチップセレクト端子はインアクティブになりチップセレクトエラー (SACSR:CSE="1") を発生します。

● シリアルチップセレクト端子のフォーマット設定

各シリアルチップセレクト端子のチップセレクトのアクティブレベル, シリアルクロックのマークレベル, SPI モードの許可・禁止, シリアルデータ出力のデータ方向およびデータ長は表 36.6-3 示すビットで設定できます。

表 36.6-3 シリアルチップセレクト端子のフォーマット設定

条件		チップセレクトのアクティブレベル	シリアルクロックの反転	SPI 設定	データ方向	データ長
チップセレクトフォーマット許可 (SCR:CSFE="1") でマスターモード (SCR:MS="0")	シリアルチップセレクト端子 0 出力	SCSCRO: SCLVL	SMR: SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
	シリアルチップセレクト端子 1 出力	SCSFR0: CS1SCLVL	SCSFR0: CS1SCINV	SCSFR0: CS1SPI	SCSFR0: CS1BDS	SCSFR0: CS1L3-0
	シリアルチップセレクト端子 2 出力	SCSFR1: CS2SCLVL	SCSFR1: CS2SCINV	SCSFR1: CS2SPI	SCSFR1: CS2BDS	SCSFR1: CS2L3-0
	シリアルチップセレクト端子 3 出力	SCSFR2: CS3SCLVL	SCSFR2: CS3SCINV	SCSFR2: CS3SPI	SCSFR2: CS3BDS	SCSFR2: CS3L3-0
チップセレクトフォーマット禁止 (SCR:CSFE="0")		SCSCRO: SCLVL	SMR: SCINV	SCR:SPI	SMR:BDS	ESCR:L3-0
スレーブモード (SCR:MS="1")						
チップセレクト未使用時 (SCSCR:CSEN3-0="0000"b)						

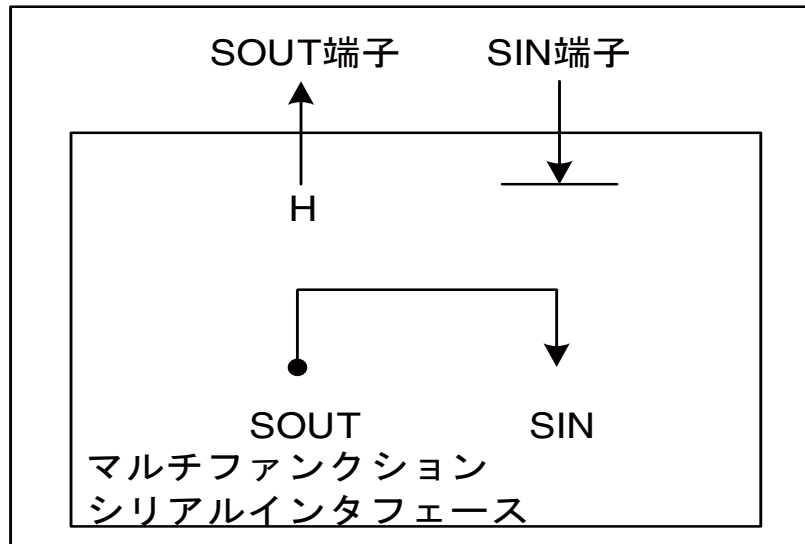
36.6.2.7 テストモード

テストモードの動作について説明します。

● シリアルテストモード

シリアルテストモード許可時 (SACSR:STST="1"), マルチファンクションシリアルインタフェース内部で SOUT と SIN が接続され, SOUT から送信されるデータをそのまま SIN より受信できます。シリアルテストモード許可時 (SACSR:STST="1"), 端子 SOUT は "H" 固定となり, 端子 SIN に入力されたデータは無視されます。

図 36.6-32 シリアルテストモード



(注意事項) シリアルテストモード許可ビット (SACSR:STST) は送受信禁止 (SCR:TXE=RXE="0") のときのみ変更可能です。

36.6.2.8 ボーレートの生成

専用ボーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

専用ボーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

[1] マスタ動作時

- 専用ボーレートジェネレータで内部クロックを分周させて、ボーレートを選択します。
 - 2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ (BGR) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
 - リロードカウンタは設定された値で内部クロックを分周します。

[2] スレーブ動作時

- スレーブ動作時 (SCR:MS="1") は、専用ボーレートジェネレータは機能しません。(クロック入力端子 SCK から入力された、外部クロックを直接使用します。)

(注意事項) 受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ (BGR) で設定します。ボーレートの計算式を以下に示します。

(1) リロード値

$$v = \phi / b - 1$$

v: リロード値 ϕ : バスクロック周波数 b: ボーレート

(2) 計算例

バスクロック 16MHz, 内部クロック使用, ボーレート 19200bps に設定する場合のリロード値は次のようになります。

リロード値:

$$v = (16 \times 1,000,000) / 19200 - 1 = 832$$

よって、ボーレートは

$$B = (16 \times 1,000,000) / (832 + 1) = 19208 \text{ bps}$$

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差 (\%)} = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) バスクロック 20MHz, 目標ボーレート 153600 bps に設定する場合

$$\text{リロード値} = (20 \times 1,000,000) / 153600 - 1 = 129$$

$$\text{ボーレート (計算値)} = (20 \times 1,000,000) / (129 + 1) = 153846 \text{ bps}$$

$$\text{誤差 (\%)} = (153846 - 153600) / 153600 \times 100 = 0.16(\%)$$

- (注意事項) ・リロード値を "0" に設定するとリロードカウンタは停止します。
- ・リロード値が偶数の場合、シリアルクロックの "H" 幅と "L" 幅は SMR:SCINV ビットと SCR:SPI ビットの設定によって以下ようになります。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じになります。
ノーマル転送 (SCR:SPI="0") でシリアルクロックのマークレベル "H"(SMR:SCINV="0") の場合、または SPI 転送 (SCR:SPI="1") でシリアルクロックのマークレベル "L"(SMR:SCINV="1") の場合にシリアルクロックの "H" 幅がバスクロック 1 サイクル分長くなります。
ノーマル転送 (SCR:SPI="0") でシリアルクロックのマークレベル "L"(SMR:SCINV="1") の場合、または SPI 転送 (SCR:SPI="1") でシリアルクロックのマークレベル "H"(SMR:SCINV="0") の場合にシリアルクロックの "L" 幅がバスクロック 1 サイクル分長くなります。
 - ・リロード値は 3 以上を設定してください。

■ 各バスクロック周波数に対するリロード値とボーレート

表 36.6-4 リロード値とボーレート

ボーレート (bps)	8MHz		10MHz		16MHz		20MHz		24MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	-	-	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	-0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	-0.16	-	-
153600	51	-0.16	64	-0.16	103	-0.16	129	-0.16	155	-0.16	207	-0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	-0.64	87	0.22	138	0.08	173	0.22	207	-0.16	277	0.08
76800	103	-0.16	129	-0.16	207	-0.16	259	-0.16	311	-0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	-0.16	416	0.08	555	0.08
38400	207	-0.16	259	-0.16	416	0.08	520	0.03	624	0	832	-0.04
28800	277	0.08	346	<0.01	554	-0.01	693	-0.06	832	-0.03	1110	-0.01
19200	416	0.08	520	0.03	832	-0.03	1041	0.03	1249	0	1666	0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	-0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	-0.01
4800	1666	0.02	2082	-0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8334	0.02	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	<0.01	-	-	-	-	-	-	-	-	-	-

- ・ Value : BGR レジスタの設定値
- ・ ERR : ボーレート誤差 (%)

■ リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあります。専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ (BGR) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

● 送信 / 受信リロードカウンタ共通

- ・プログラマブルリセット (SCR:UPCL ビット)

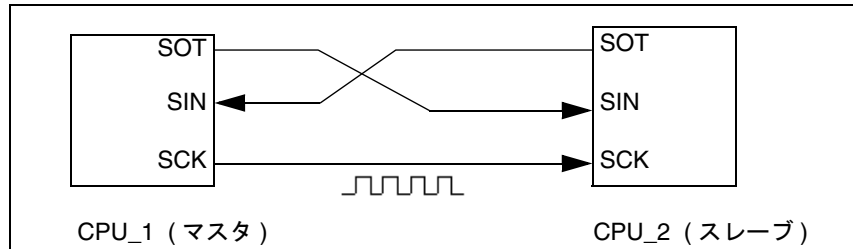
36.6.3 設定手順とプログラムフロー

CSIO(クロック同期シリアルインタフェース) では、シリアル双方向送信ができます。

■ CPU 間接続

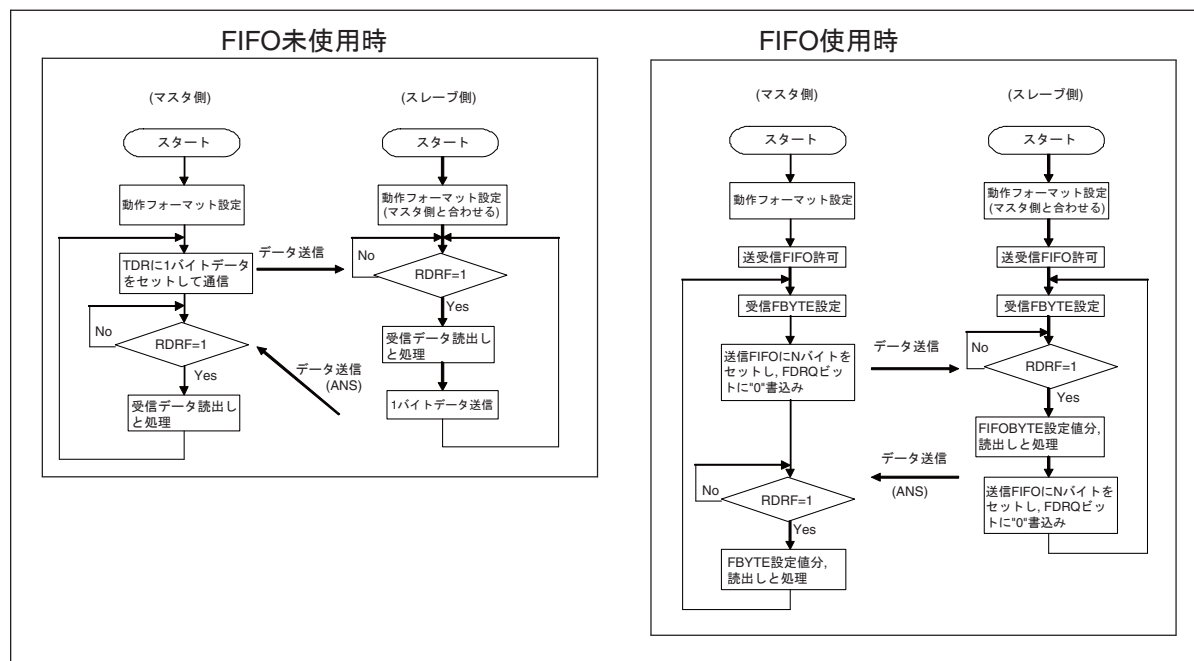
CSIO(クロック同期シリアルインタフェース) では、双方向通信を選択します。図 36.6-33 に示すように 2 つの CPU を相互に接続します。

図 36.6-33 CSIO チップ間接続例



■ フローチャート

図 36.6-34 フローチャート例



36.7 LIN インタフェース (v2.1) の動作説明

36.7.1 LIN インタフェース (v2.1) の割込み

LIN インタフェース (v2.1) には、受信割込み、送信割込みおよびステータス割込みがあります。次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ (RDR) に設定された場合または受信エラーが発生した場合
- 送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル (送信動作なし)
- 送信 FIFO データ要求
- LIN Break field 検出
- LIN Sync Field 検出
- シリアルタイマの比較値 (STMCR) とシリアルタイマ値 (STMR) が一致

36.7.1.1 LIN インタフェース (v2.1) の割込み一覧

LIN インタフェース (v2.1) の割込み制御ビットと割込み要因を表 36.7-1 に示します。

表 36.7-1 LIN インタフェース (v2.1) の割込み制御ビットと割込み要因 (1 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ (RDR) の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
			FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
	FRE	SSR	フレーミングエラー		
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ (TDR) への書込みまたは送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ (TDR) への書込み、Lin break field 設定ビット (LBR) への "1" 書込みまたは送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *1
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込み、または送信 FIFO がフル

表 36.7-1 LIN インタフェース (v2.1) の割込み制御ビットと割込み要因 (2 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求のクリア方法
ステータス	LBD	SSR	Lin break field 検出	ESCR:LBIE	SSR:LBD ビットへの "0" 書込み
	SFD	SACSR	SyncField 検出	SACSR:SFDE	シンクフィールド検出フラグ (SACSR:SFD) への "0" 書込み
	TINT	SACSR	シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致	SACSR:TINTE	タイマ割込みフラグビット (SACSR:TINT) への "0" 書込み
インプットキャプチャ	ICP	ICS	Lin Sync Field の 1 回目の立下りエッジ	ICS : ICE0	ICP をディセーブル
	ICP	ICS	Lin Sync Field の 5 回目の立下りエッジ		

*1 : TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

36.7.1.2 受信割込み発生とフラグセットのタイミング

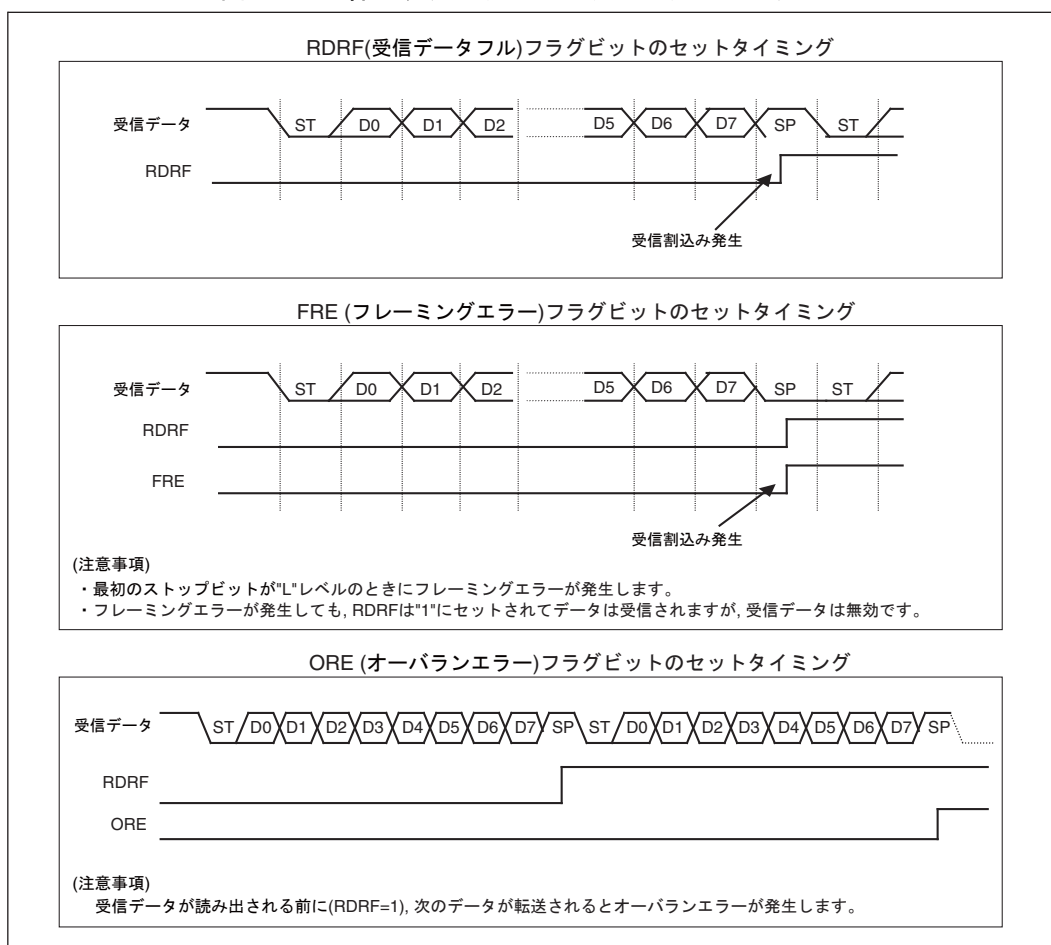
受信時の割込みとしては、受信完了(SSR:RDRF)、受信エラーの発生(SSR:ORE, FRE)、およびLin break field 検出があります。

■ 受信割込み発生とフラグセットのタイミング

最初のストップビットの検出されることにより、受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF="1") または受信エラーが発生 (SSR:ORE, FRE="1") すると各フラグがセットされます。そのとき、受信割込みが許可 (SCR:RIE="1") されていると受信割込みが発生します。

(注意事項) 受信エラーが発生した場合は、受信データレジスタ (RDR) のデータは無効となります

図 36.7-1 各フラグビットのセットのタイミング

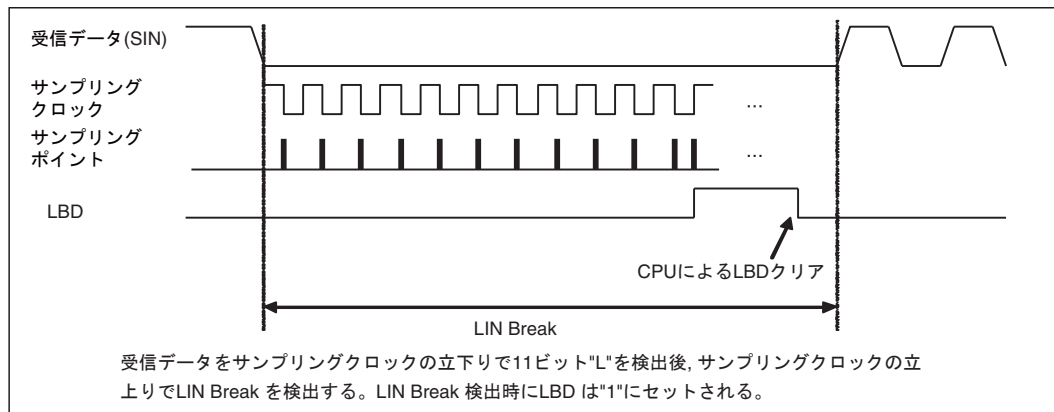


(注意事項) 受信時、ストップビットのサンプリングポイントと同時または1～2バスクロック前にシリアルデータの立下りエッジを検出するとそのエッジが無効になり、次のデータを正常に受信できなくなる可能性があります。連続してフレームを出力する場合にはフレームの間隔を空ける必要があります。

■ Lin break field 検出フラグ (LBD) のセットタイミング

シリアル入力 (SIN) が 11 ビット幅以上 "0" 入力されると, LBD ビットは "1" に設定されます。このとき, Lin break field 割込みが許可 (ESCR:LBIE="1") されていると受信割込みが発生します。

図 36.7-2 LIN Break field フラグ (LBD) のセットタイミング



36.7.1.3 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

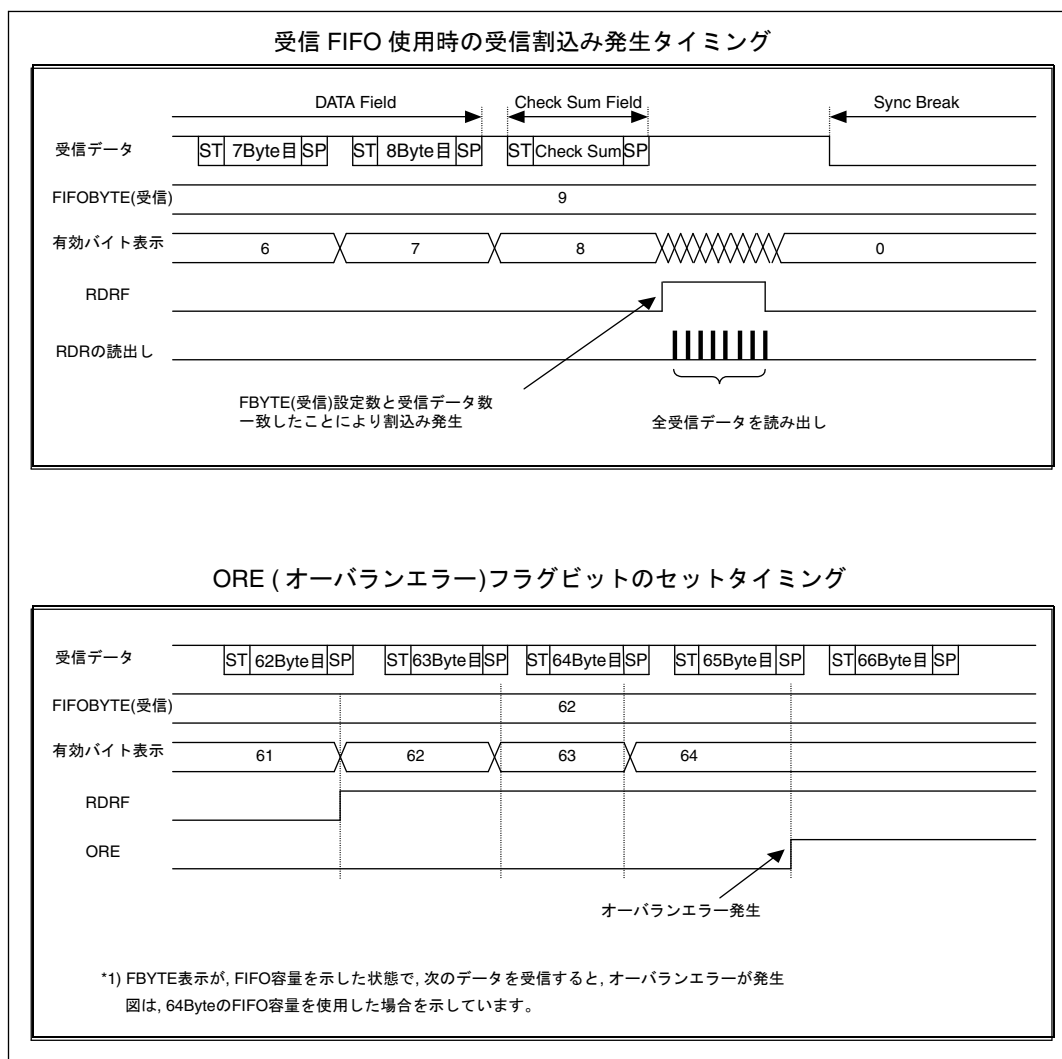
受信 FIFO 使用時の割込みは、FBYTE レジスタ (FBYTE) の設定値分受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" に設定されます。このとき、受信割込み許可 (SCR:RIE="1") されていると受信割込みを発生します。
- 下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ (SSR:RDRF) が "1" に設定されます。
 - 受信 FIFO アイドル検出許可ビット (FCR:FRIIE) が "1"
 - 受信 FIFO に存在するデータ数が転送数に達しない8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ (RDR) を読み出すと、受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で次のデータを受信するとオーバランエラー (SSR:ORE="1") が発生します。

図 36.7-3 割込み発生タイミング



36.7.1.4 送信割込み発生とフラグセットのタイミング

送信時の割込みとしては、送信データが、送信データレジスタ (TDR) から送信用シフトレジスタに転送され (SSR:TDRE=1) 送信が開始された場合と、送信動作をしていないとき (SSR:TBI=1) に発生します。

■ 送信割込み発生とフラグセットのタイミング

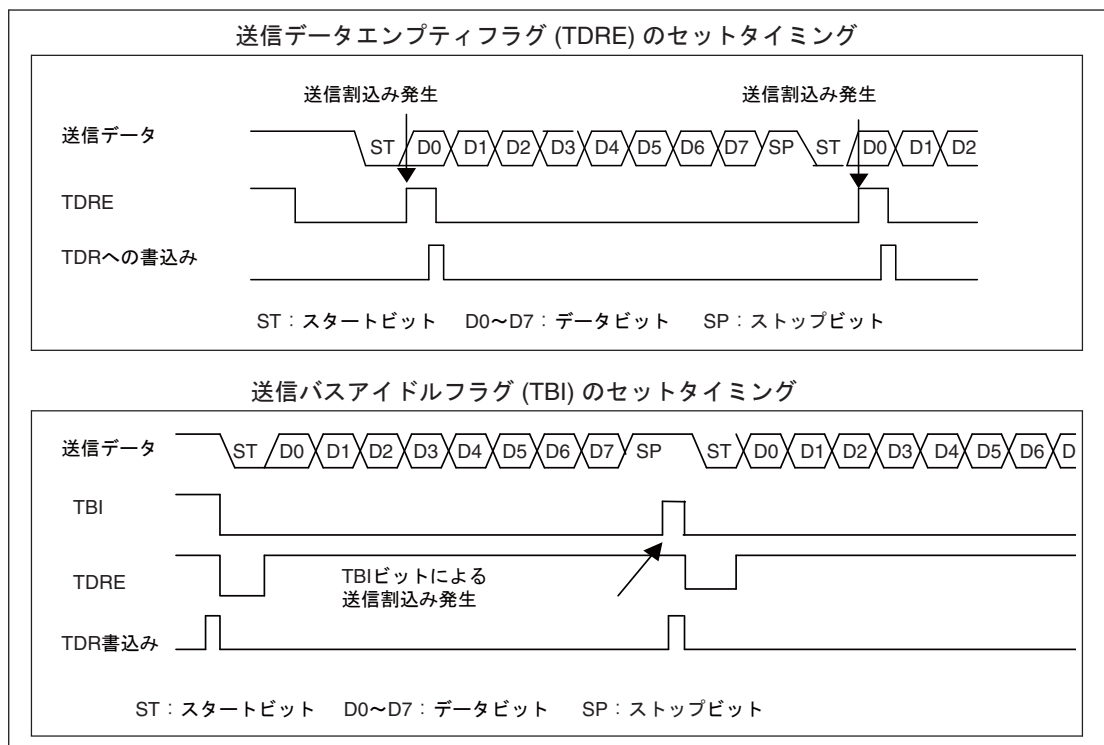
● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書き込みが可能な状態 (SSR:TDRE="1") に設定されます。そのとき、送信割込みが許可 (SCR:TIE="1") されていると、送信割込みが発生します。TDRE ビットは読出し専用ビットなので、送信データレジスタ (TDR) へのデータ書き込みにより SSR:TDRE ビットは "0" にクリアされます。

● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタがエンプティ (SSR:TDRE="1") で送信動作をしていないとき、SSR:TBI ビットは "1" に設定されます。このとき、送信バスアイドル割込み許可 (SCR:TBIE="1") されていると、送信割込みが発生します。送信データレジスタ (TDR) に送信データをセットすると TBI ビットおよび送信割込み要求はクリアされます。

図 36.7-4 TDRE, TBI のセットタイミング



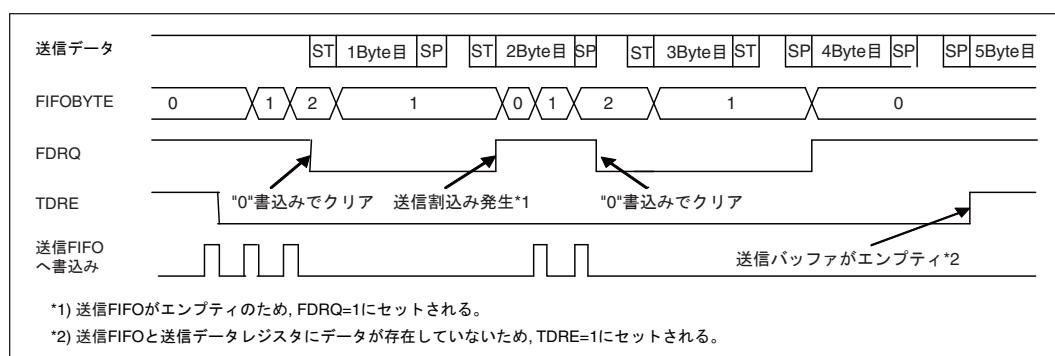
36.7.1.5 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しないときに発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット (FCR1:FDRQ) が "1" に設定されます。
このとき、FIFO 送信割込み許可 (FCR1:FTIE="1") されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット (FCR1:FDRQ) に "0" 書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" に設定されます。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ (FBYTE) を読み出すことで確認できます。
FBYTE=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 36.7-5 送信 FIFO 使用時の送信割込み発生タイミング

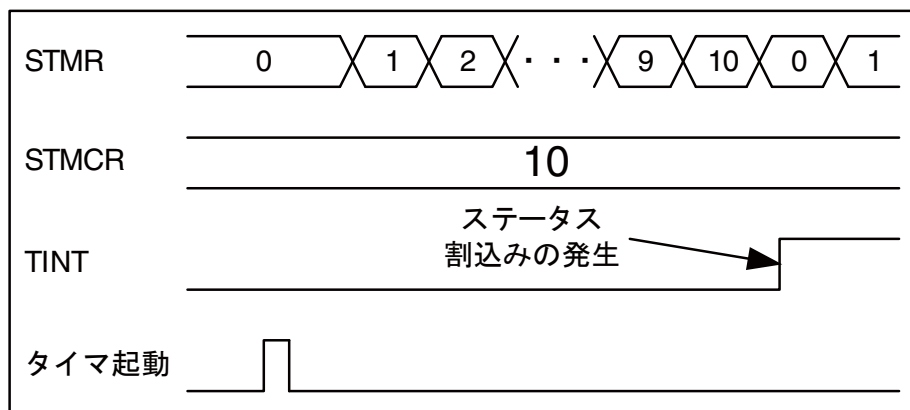


36.7.1.6 タイマ割込みとフラグセットのタイミング

タイマ割込みは、シリアルタイマレジスタ (STMR) がシリアルタイマ比較レジスタ (STMCR) と一致すると発生します。

- シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタが一致すると、タイマ割込みフラグ (SACSR:TINT) が "1" に設定されます。
このとき、タイマ割込み許可 (SACSR:TINTE="1") されているとステータス割込みが発生します。

図 36.7-6 タイマ割込み発生タイミング

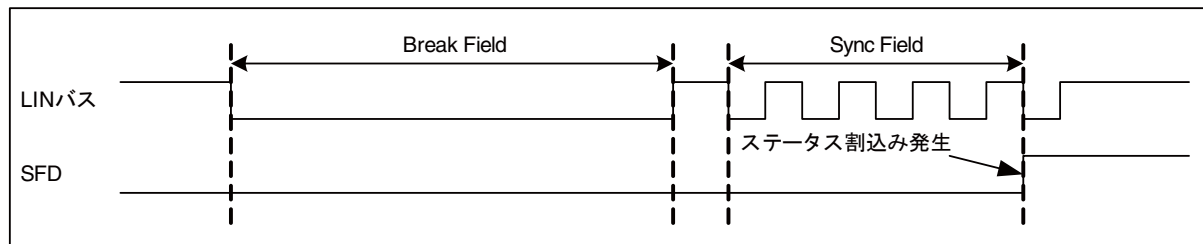


36.7.1.7 シンクフィールド検出割込み発生とフラグセットのタイミング

シンクフィールド検出割込みは、SyncField の検出を完了すると発生します。

- 自動ボーレート調整許可 (SACSR:AUTE="1") で SyncField で LIN バスの 5 回目の立下りを検出するとシンクフィールド検出フラグ (SACSR:SFD) は "1" に設定されます。
このとき、シンクフィールド割込み許可 (SACSR:SFDE="1") されているとステータス割込みが発生します。

図 36.7-7 シンクフィールド検出割込み発生タイミング



36.7.2 LIN インタフェース (v2.1) の動作

LIN インタフェース (v2.1) は、マスタ / スレーブ双方向 LIN 通信で動作します。

36.7.2.1 マスタ動作

■ マスタ動作の選択

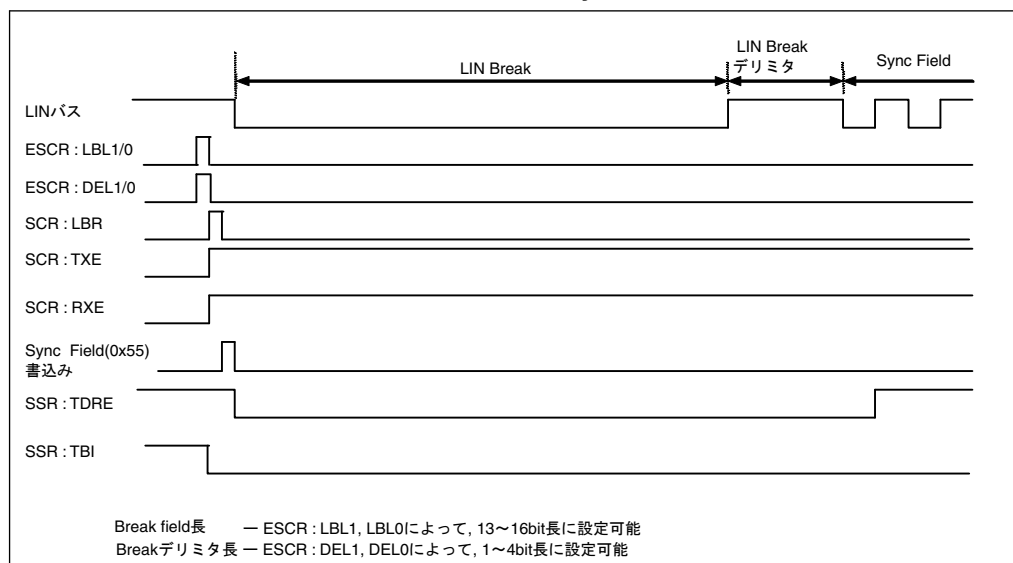
マスタとして動作させるためには、SCR:MS ビットを "0" に設定します。

■ LIN Break Field 送信 ～ Sync Field 送信

- LIN Break field 長の選択 (ESCR:LBL1, LBL0) および、Break field デリミタ長の選択 (ESCR:DEL1, DEL0) ができます。
- 送信動作許可 (SCR:TXE=1) し、SCR:LBR ビット (LIN Break field 設定ビット) に "1" を設定した場合、LIN Break field が送信されます。
- Sync field は、送信データレジスタ (TDR) に 0x55 を書き込むことで送信されます。

(注意事項) ・ SCR:LBR ビット (LIN Break field 設定ビット) に "1" を設定した後に、送信データレジスタ (TDR) に 0x55 を設定してください。
・ SCR:RXE ビット (受信動作許可ビット) に "1" を設定していても Break field 部分は受信動作を行いません。

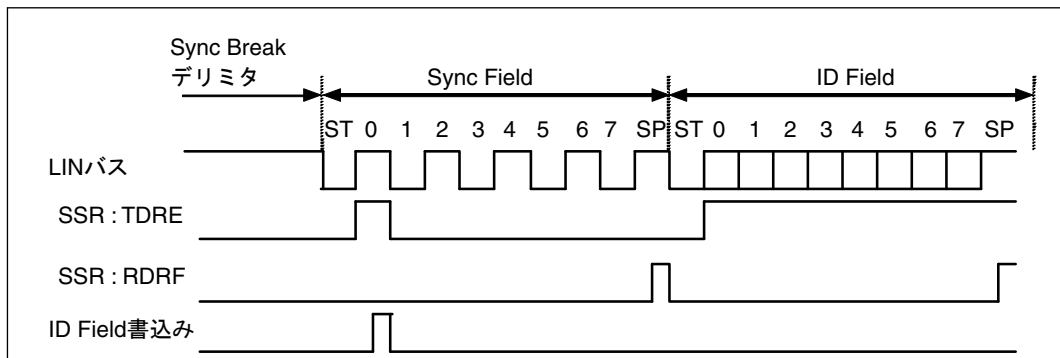
図 36.7-8 LIN Break Field ～ Sync Field の送信



■ Sync Field 送信 ～ ID Field 送信

- Sync field(0x55) の最初の 1 ビット目が送信されると, SSR:TDRE(送信データエンプティ) ビットが "1" に設定されます。
このとき, 送信割込み許可 (SCR:TIE="1") されていると, 送信割込みが発生します。
- 送信割込みが発生した場合, ID Field を送信データレジスタ (TDR) に書き込むことができます。
- 受信割込みが発生した場合, 送信データと受信したデータを比較し, エラーが発生していないことを確認します。
- ID Field は, データ長 8 ビットで, LSB ファーストで出力されます。

図 36.7-9 Sync Field 送信 ～ ID Field 送信



■ ID Field 送信 ～ DATA Field 送受信

DATA Field をスレーブデバイスに送信するか、受信するかを選択します。

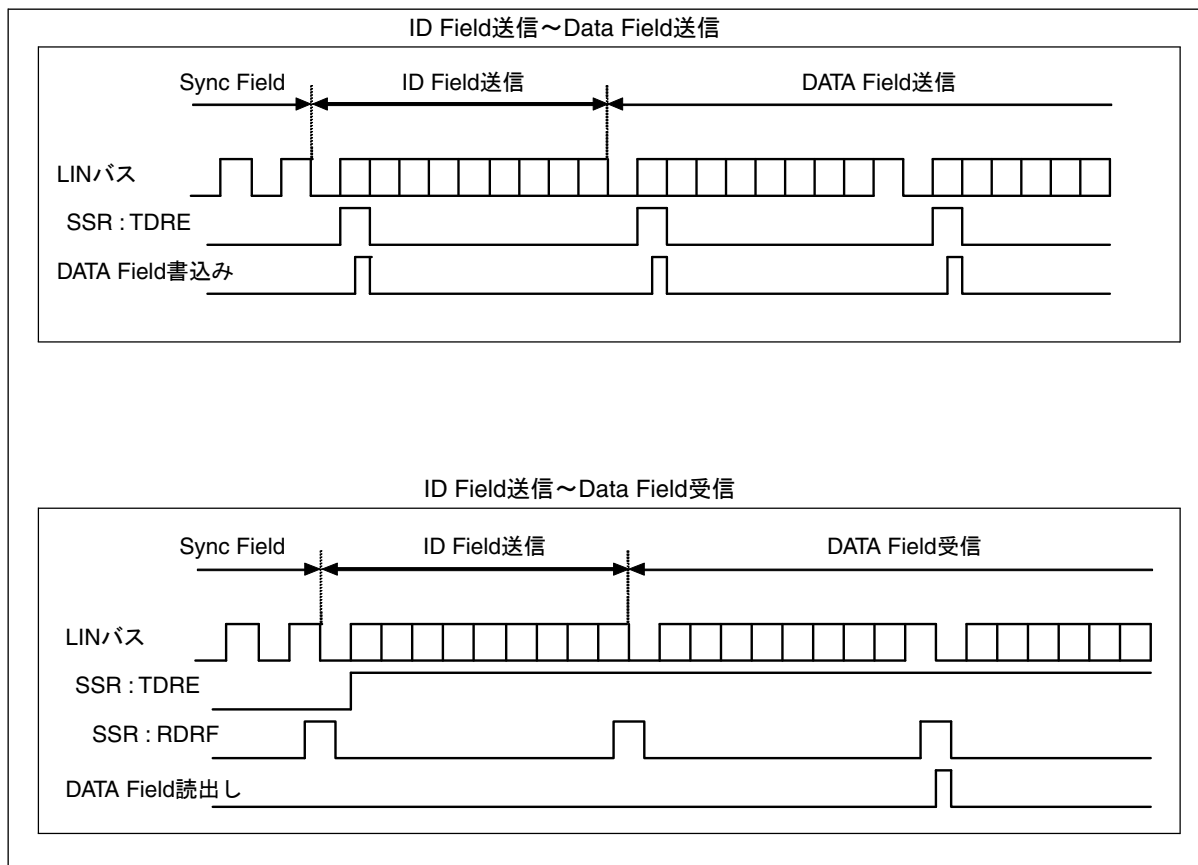
● DATA Field を送信する場合

- ID Field の 1 ビット目が送信されると、SSR:TDRE="1" に設定されます。このとき、DATA Field の書き込みが可能です。

● DATA Field を受信する場合

- ID Field の 1 ビット目が送信されると、SSR:TDRE="1" に設定されますが、送信データを書き込まないでください。
また、送信割込み禁止 (SCR:TIE="0") にしてください。
- DATA Field を受信すると、SSR:RDRF が "1" に設定されます。このとき、受信割込み許可 (SSR:RIE="1") されていると受信割込みが発生します。
- スタートビットの検出条件は、ノイズフィルタ (シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決) 通過後に立下りを検出し、サンプリングポイントでその通過後のデータが "L" を検出した場合です。

図 36.7-10 ID Field 送信～ DATA Field 送受信



- (注意事項) ・ノイズフィルタ (シリアルデータ入力を 3 回バスクロックでサンプリングして多数決) は内蔵していますが、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど) ように通信を行ってください。
- ・受信時、ストップビットのサンプリングポイントと同時または 1 ～ 2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。

■ マスタ動作タイミングチャート (FIFO 未使用時)

図 36.7-11 LIN バスタイミング (DATA Field 送信時 : FIFO 未使用時)

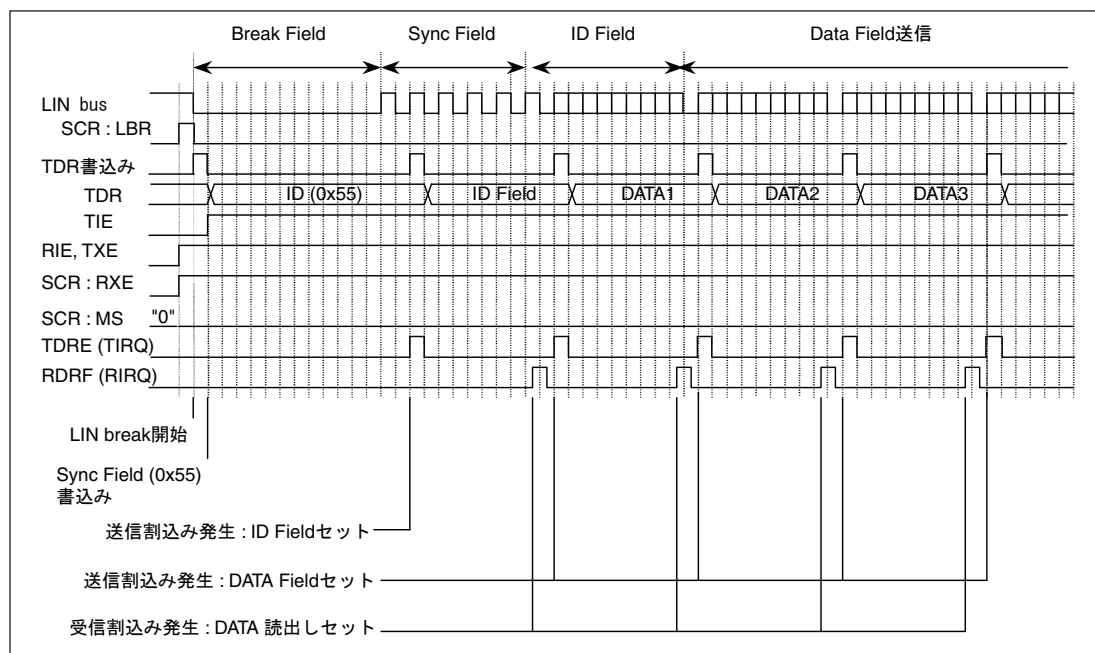
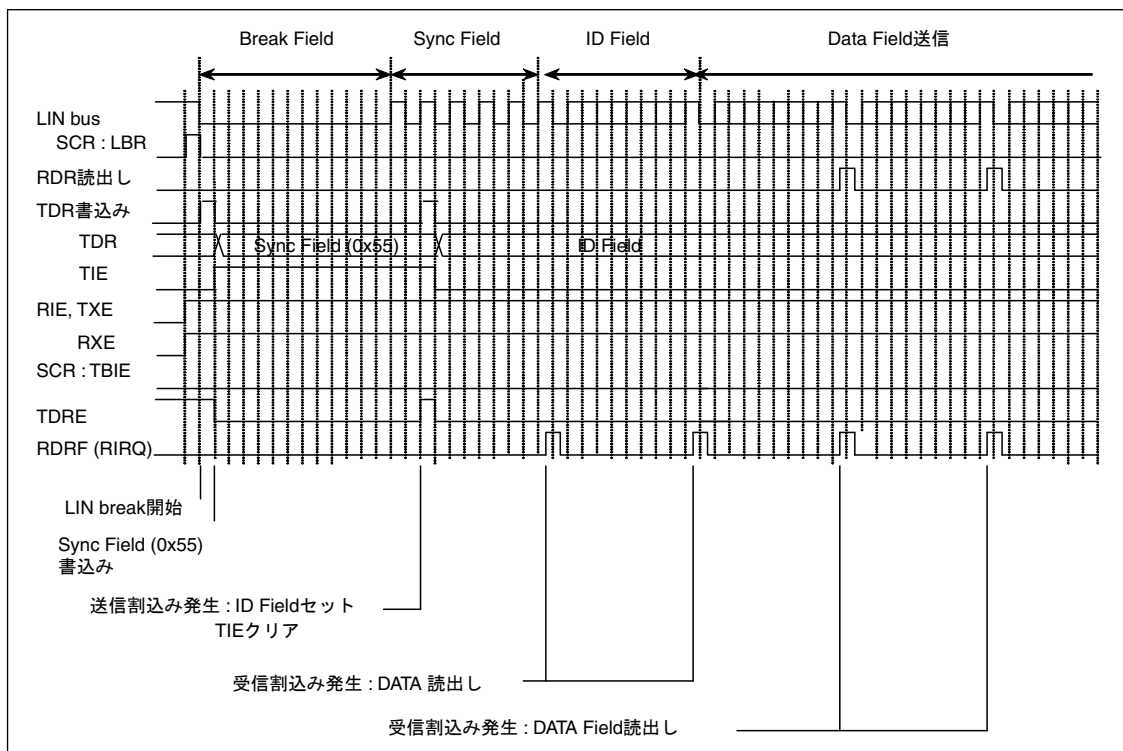


図 36.7-12 LIN バスタイミング (DATA Field 受信時 : FIFO 未使用時)



■ マスタデバイス動作タイミングチャート (FIFO 使用時)

図 36.7-13 LIN バスタイミング (DATA Field 送信時 : FIFO 使用時)

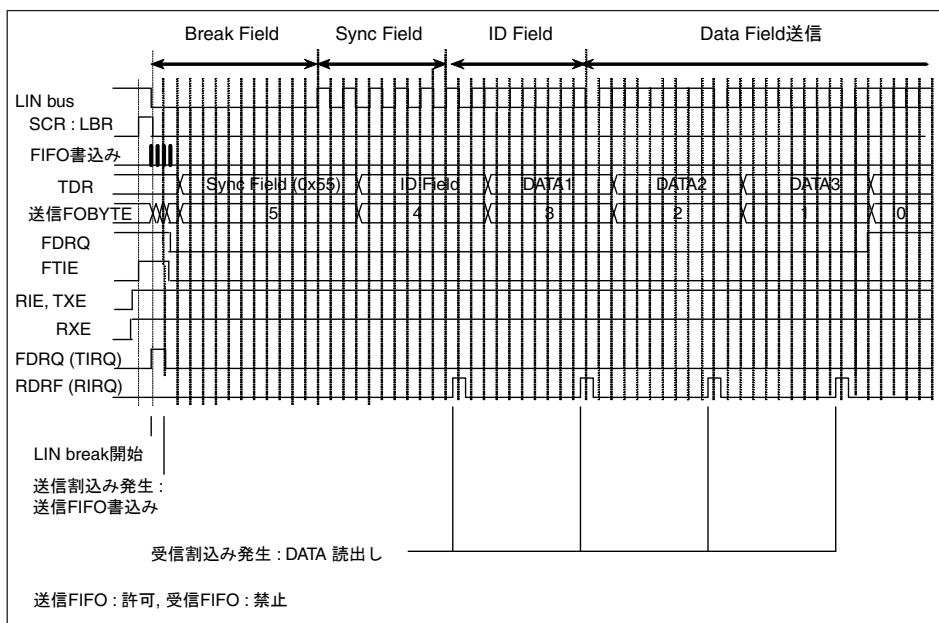
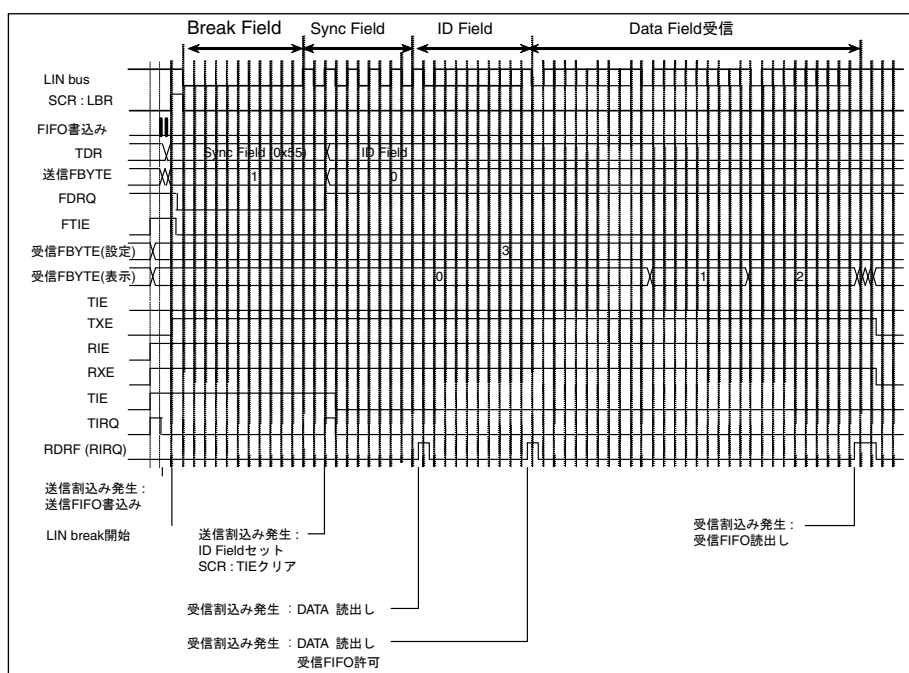


図 36.7-14 LIN バスタイミング (DATA Field 受信時 : FIFO 使用時)



36.7.2.2 スレーブ動作

■ スレーブ動作の選択

スレーブデバイスとして動作させるためには、SCR:MS ビットを "1" に設定します。

■ Break Field 受信 ～ Sync Field 受信

- ①自動ボーレート調整を有効 (SACSR:AUTE="1") に設定します。
- ② LIN Break field が入力されると 11 ビット目で LIN Break field 検出 (SSR:LBD="1") されます。
このとき、ESCR:LBIE ビットが "1" に設定されていると受信割込みを発生します。
- ③ Sync Field の最初の立下りエッジを LIN インタフェース (v2.1) が検出すると、シリアルタイムレジスタ (STMR) を 0 に初期化します。
- ④ Sync field の 5 番目の立下りエッジを検出した場合、シンクフィールド検出フラグ (SACSR:SFD) を "1" に設定します。
- ⑤ Sync field の 5 番目の立下りエッジの検出した場合、シンクフィールド検出フラグ (SACSR:SFD) は "1" に設定されます。このとき、下記を確認して自動ボーレート調整の有無を確認します。
 - ・自動ボーレート調整が行われた場合は、Sync Field を検出 (SACSR:SFD="1") 時にシリアルタイムレジスタ (STMR) とボーレートジェネレータレジスタ (BGR) の読出し値が等しくなります。
 - ・自動ボーレート調整が行われていない場合は、Sync Field を検出 (SACSR:SFD="1") 時にシリアルタイムレジスタ (STMR) とボーレートジェネレータレジスタ (BGR) の読出し値が異なります。

図 36.7-15 LIN Break Field 受信 ～ Sync Field 受信 (STMR が SFUR 以下 SFLR 以上の場合)

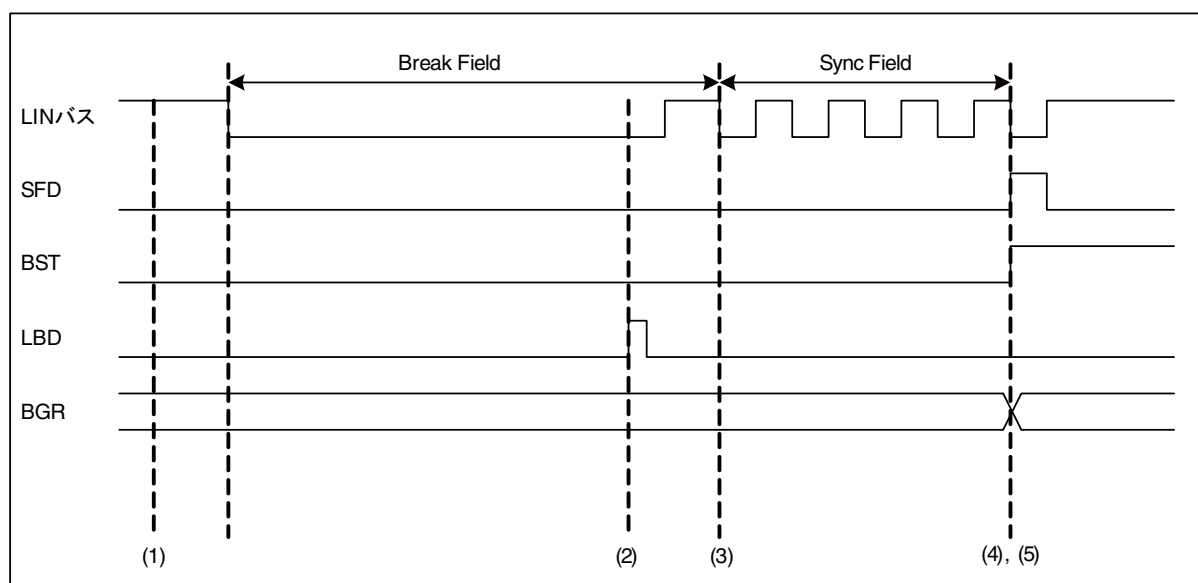
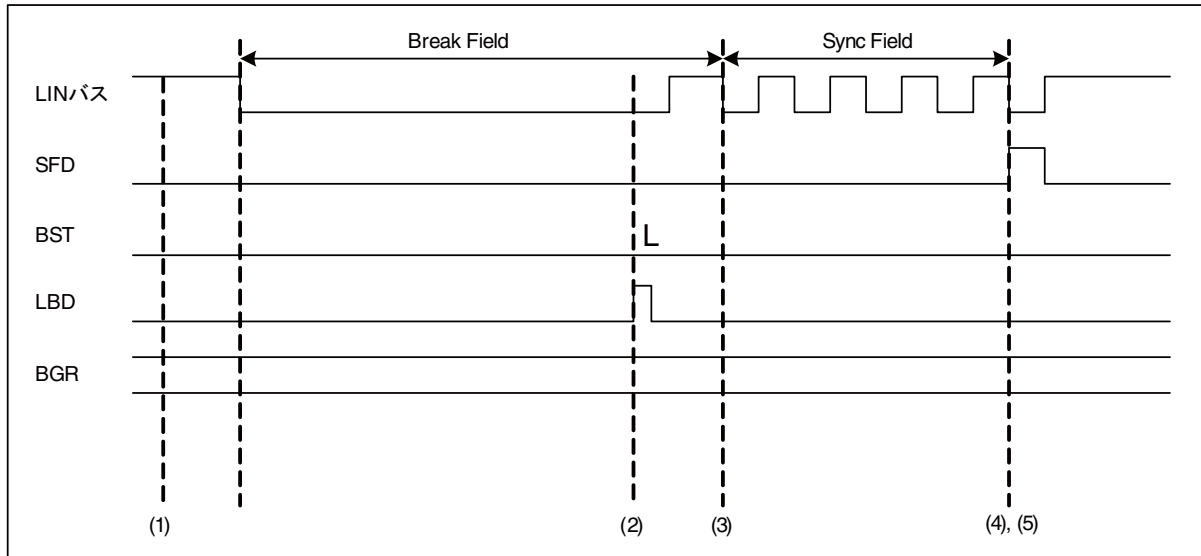


図 36.7-16 LIN Break Field 受信 ～ Sync Field 受信 (STMR が SFUR 以下 SFLR 以上の場合)



(注意事項) ・ LIN Break field および Sync field 時は , 受信禁止 (SCR:RXE="0") に設定してください。

■ ID Field 受信 ～ DATA Field 送受信

ID Field を受信した後 , マスタデバイスへ DATA Field を送信するか , 受信するかを選択できます。

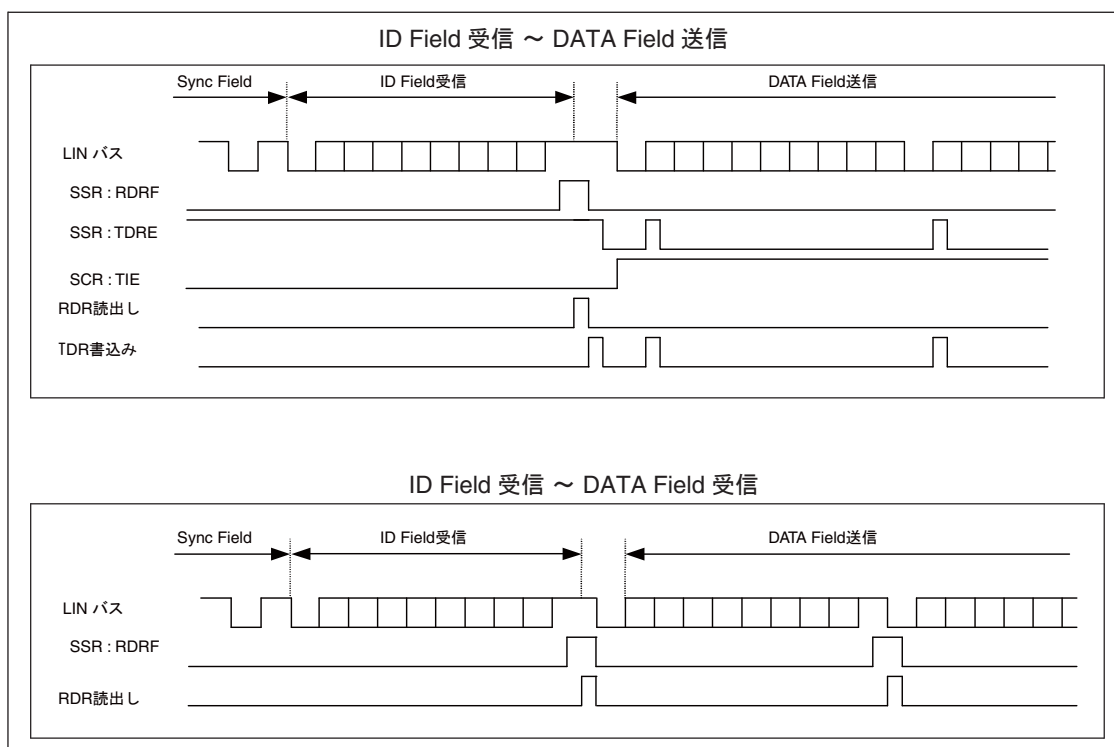
● DATA Field を送信する場合

- ID Field 受信後 , 送信データレジスタ (TDR) にデータを書き込んでください。このとき , 送信割込み許可 (SCR:TIE="1") しておきます。

● DATA Field を受信する場合

- DATA Field 受信ごとに , SSR:RDRF が "1" に設定されます。このとき , 受信割込み許可 (SCR:RDRF=1) されていると受信割込みが発生します。
- スタートビットの検出条件は , ノイズフィルタ (シリアルデータ入力を 3 回バスクロックでサンプリングし , 多数決) 通過後に立下りを検出し , サンプリングポイントでその通過後のデータが "L" を検出した場合になります。

図 36.7-17 ID Field 受信 ～ DATA Field 送受信



- (注意事項) ・ ノイズフィルタ (シリアルデータ入力を 3 回バスクロックでサンプリングして多数決) は内蔵していますが , ノイズが本フィルタを通過しないようにボードを設計するか , ノイズが通過して問題にならない (例えば, 最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど) ように通信を行ってください。
- ・ 受信時 , ストップビットのサンプリングポイントと同時または 1 ～ 2 バスクロック前にシリアルデータの立下りエッジを検出した場合 , そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けることを推奨します。

■ スレーブ動作タイミングチャート

図 36.7-18 LIN バスタイミング (DATA Field 送信時 :FIFO 未使用時, AUTE=1)

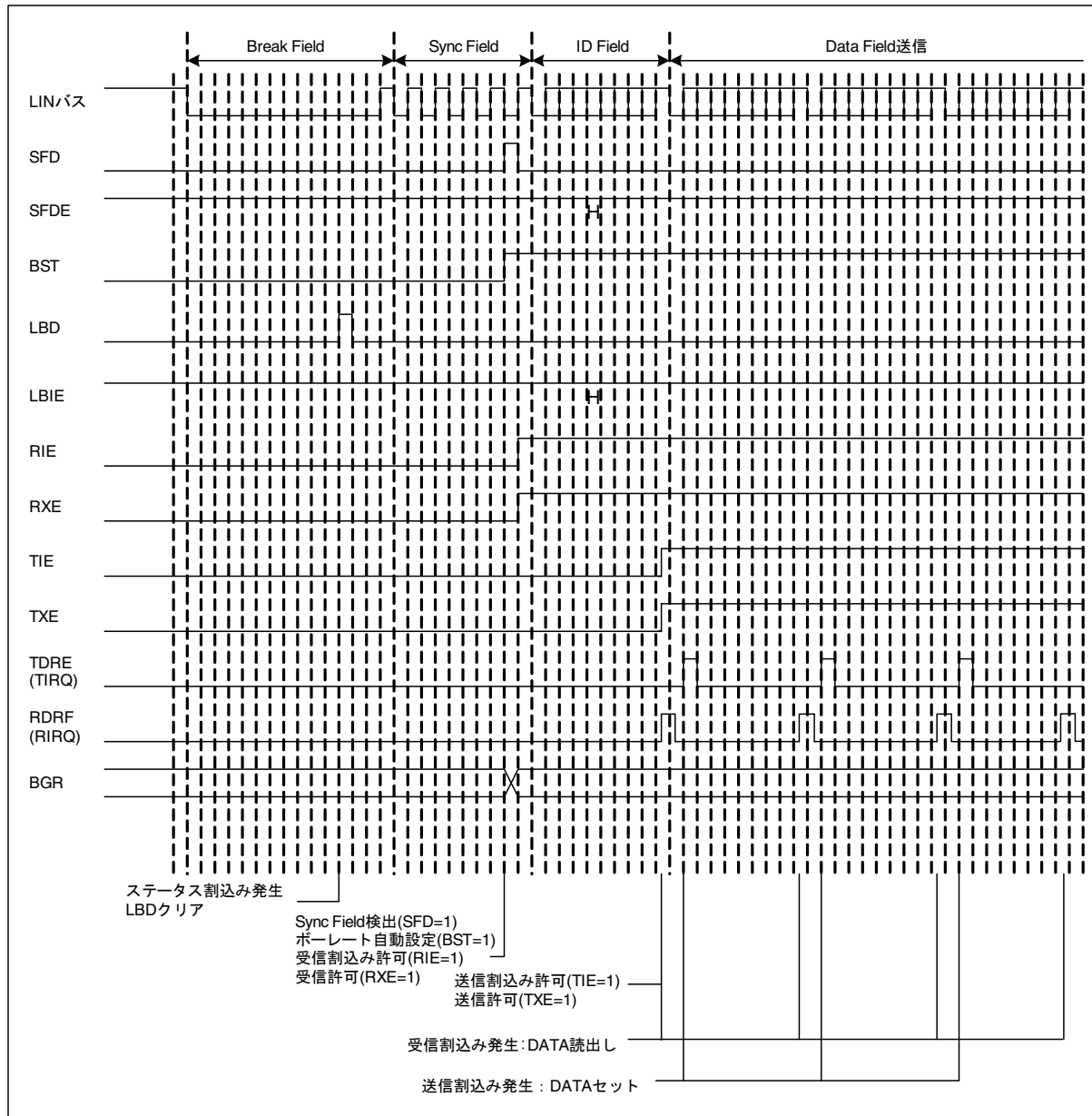
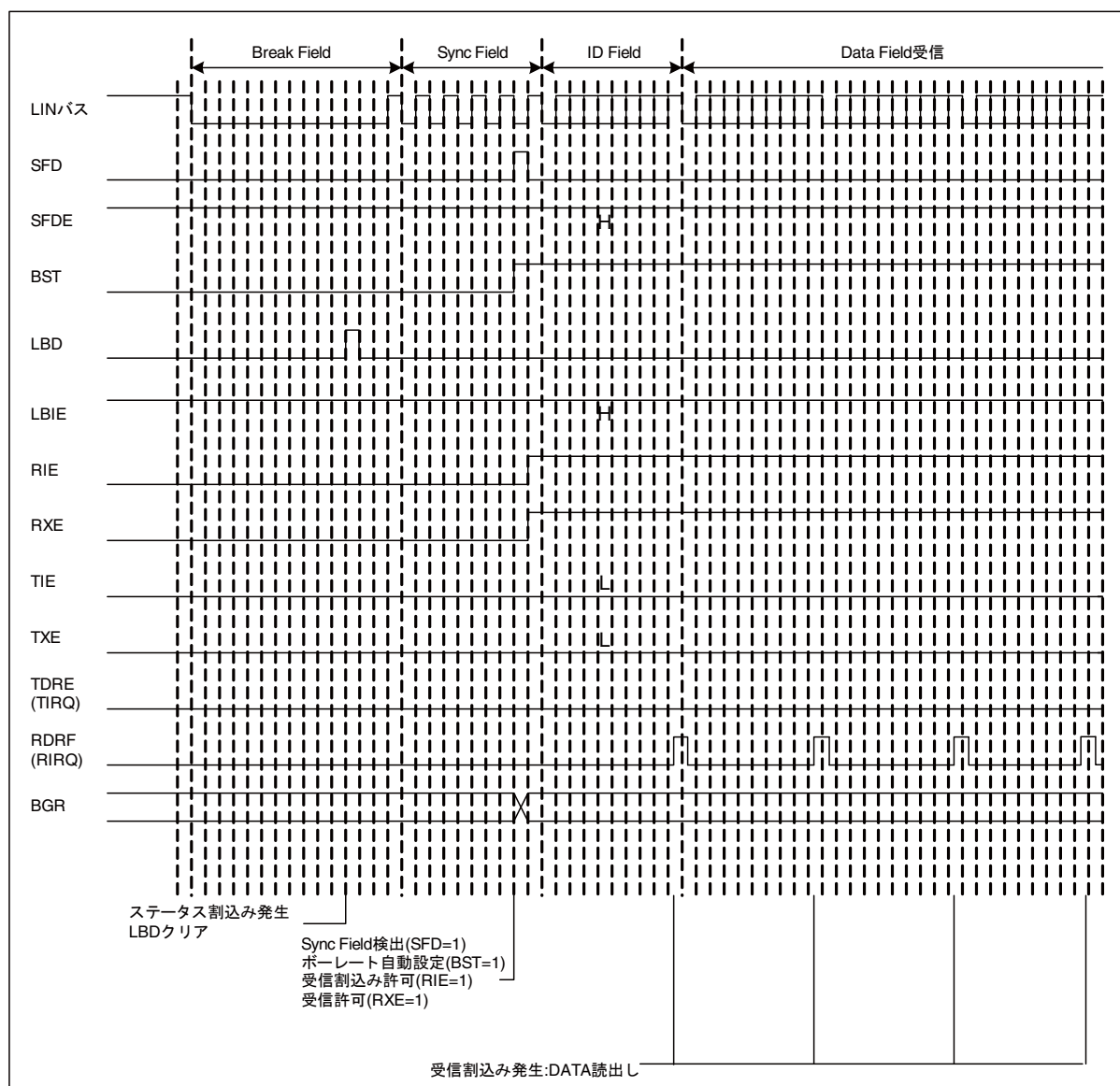


図 36.7-19 LIN バスタイミング (DATA Field 受信時 :FIFO 未使用時 , AUTE=1)



■ FIFO 使用時

図 36.7-20 LIN バスタイミング (DATA Field 送信時 :FIFO 使用時 , AUTE=1)

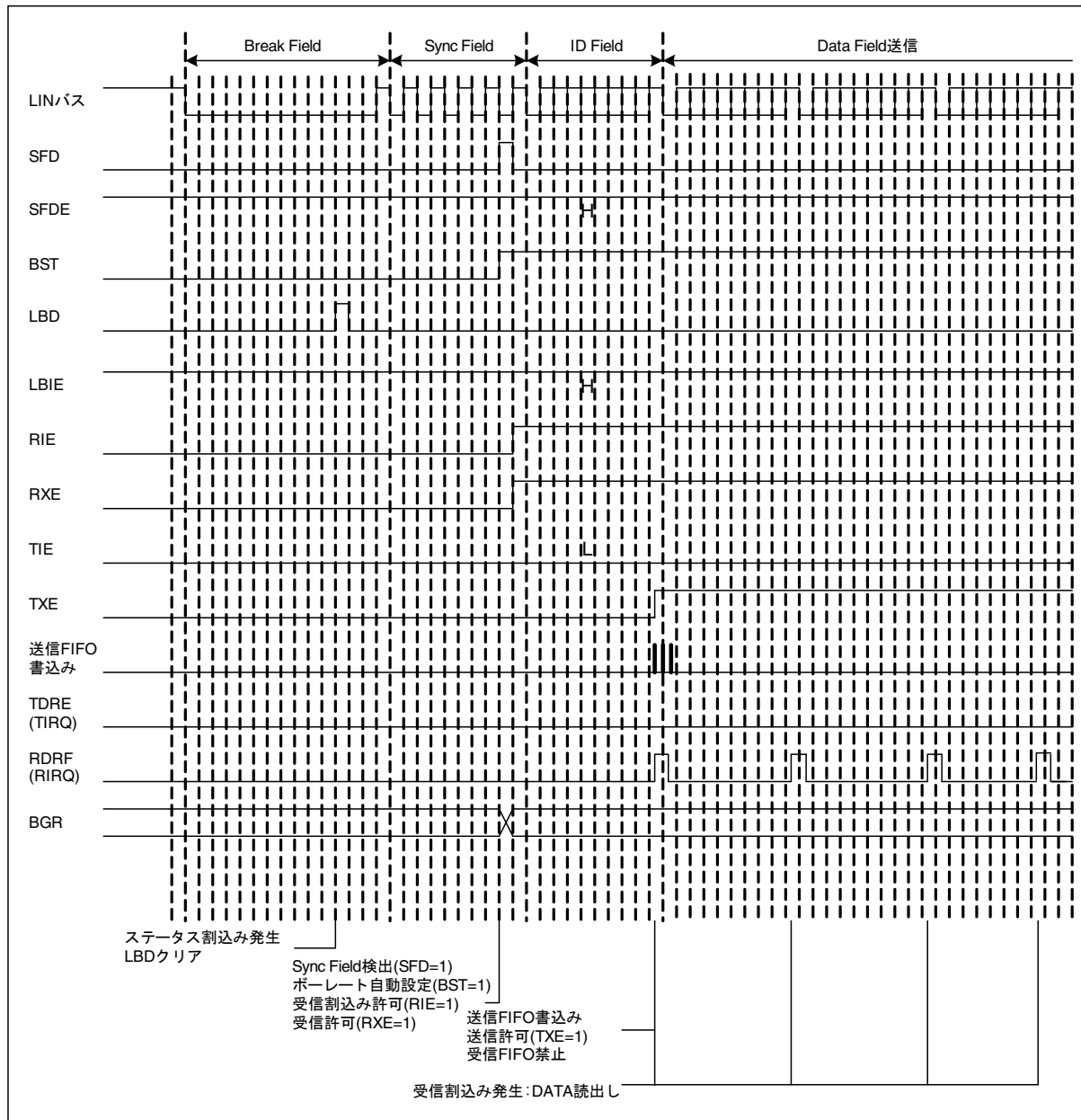
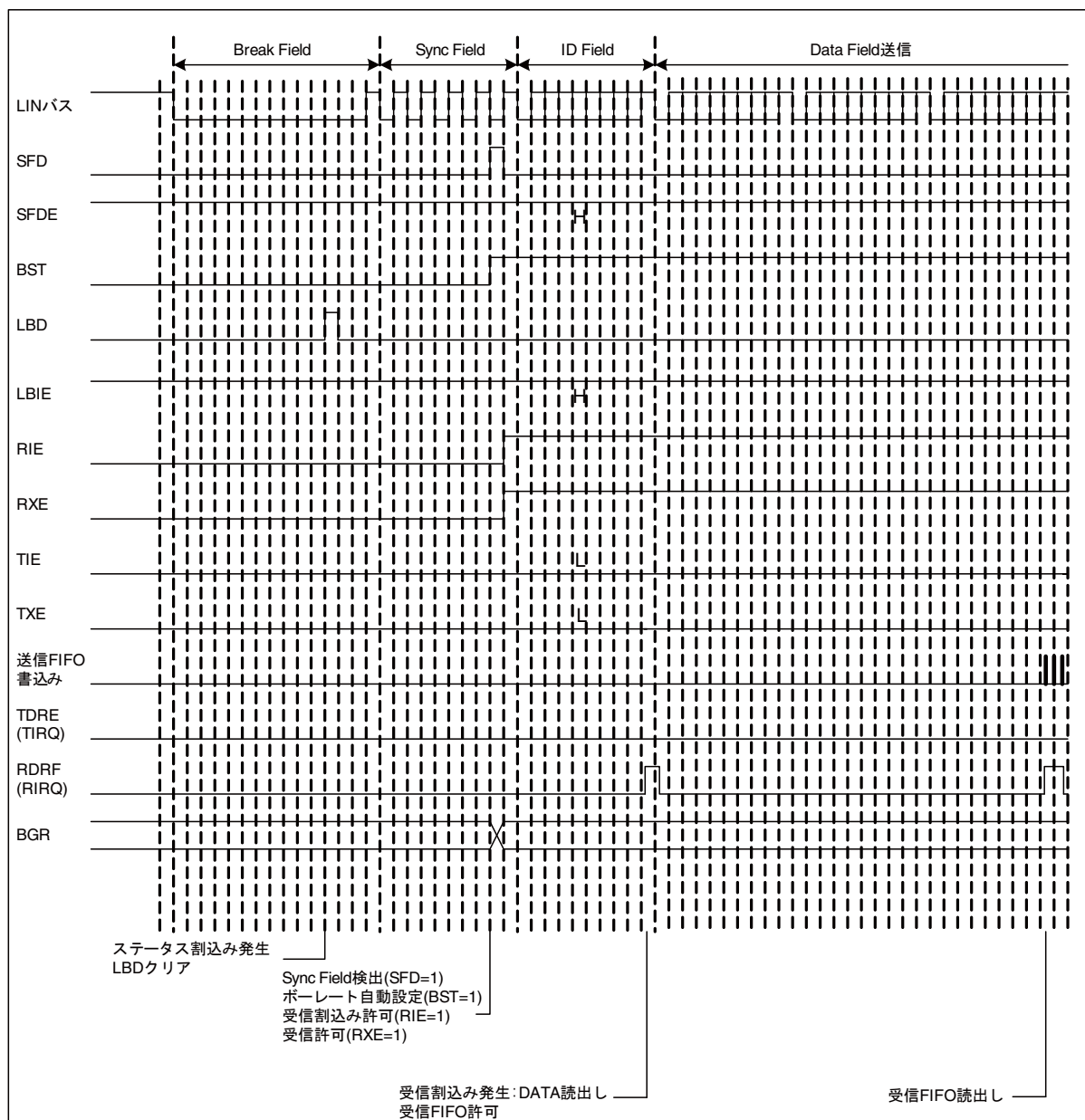


図 36.7-21 LIN バスタイミング (DATA Field 受信時 :FIFO 使用時 , AUTE=1)



36.7.2.3 シリアルタイマの動作

シリアルタイマは、タイマ機能が利用できます。

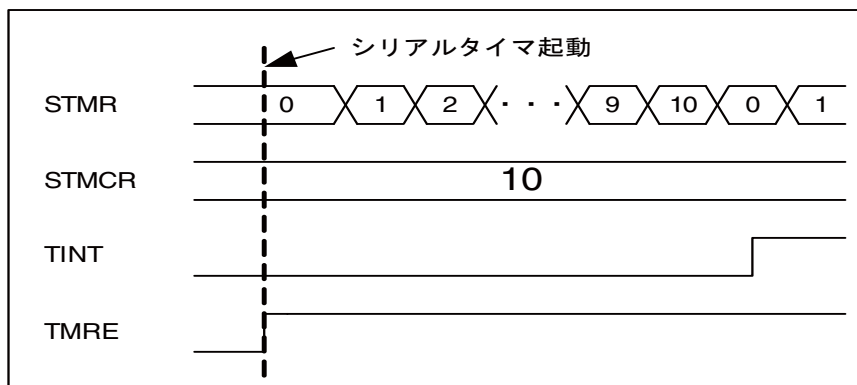
● シリアルタイマの起動方法

シリアルタイマの起動方法はシリアルタイマ許可ビット (SACSR:TMRE) を "1" に設定する方法, SyncField により起動させる方法の 2 種類あります。

・シリアルタイマ許可ビット (SACSR:TMRE) による起動

シリアルタイマ許可ビット (SACSR:TMRE) を "1" に設定するとシリアルタイマは起動し, シリアルタイマレジスタ (STMR) が "0" からカウントを開始します。

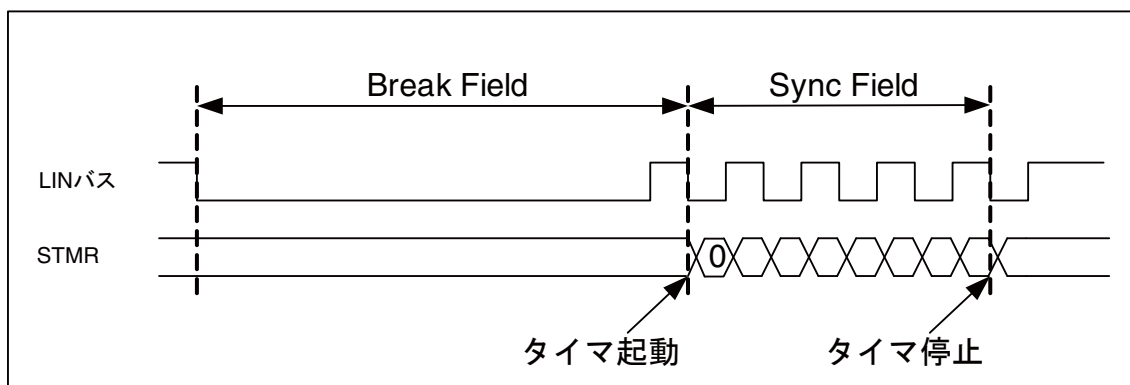
図 36.7-22 シリアルタイマ許可ビットによる起動
(STMCR="10", SACSR:TSYNE="0")



・SyncField 受信による起動

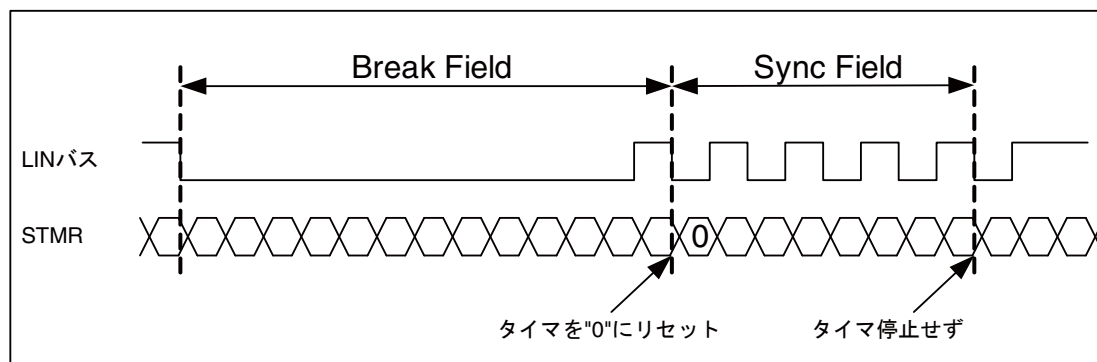
シリアルタイマ停止中で自動ボーレート調整ビット (SACSR:AUTE) が "1" のとき, Sync field の最初の立下りエッジを LIN インタフェース (v2.1) が検出すると, シリアルタイマは起動し, シリアルタイマレジスタ (STMR) が 0 からカウントします。

図 36.7-23 シリアルタイマ停止中に Sync Field 受信による起動
(SACSR:AUTE="1", TMRE="0")



シリアルタイマ動作中で自動ボーレート調整ビット (SACSR:AUTE) が "1" のとき, Sync field の最初の立下りエッジを LIN インタフェース (v2.1) が検出した後, シリアルタイマレジスタ (STMR) が 0 からカウントします。

図 36.7-24 シリアルタイマ停止中に Sync Field 受信による起動
(SACSR:AUTE="1", TMRE="1")



● シリアルタイマの停止方法

以下の条件のときに停止します。

- 自動ボーレート調整ビット (SACSR:AUTE) が "0" のとき, シリアルタイマ許可ビット (SACSR:TMRE) を "0" にリセットした場合, シリアルタイマは停止します。このときシリアルタイマレジスタ (STMR) の値は保持されます。
- 自動ボーレート調整ビット (SACSR:AUTE) が "1" でシリアルタイマ許可ビット (SACSR:TMRE) が "1" のとき, Sync field 受信中以外でシリアルタイマ許可ビット (SACSR:TMRE) を "0" にリセットした場合にシリアルタイマは停止します。このときシリアルタイマレジスタ (STMR) の値は保持されます。
- 自動ボーレート調整ビット (SACSR:AUTE) が "1" でシリアルタイマ許可ビット (SACSR:TMRE) が "0" のとき, Sync field の 5 回目の立下りエッジを LIN インタフェース (v2.1) が検出すると, シリアルタイマは停止し, シリアルタイマレジスタ (STMR) の値は保持されます。

(注意事項) 自動ボーレート調整ビット (SACSR:AUTE) が "1" でシリアルタイマ許可ビット (SACSR:TMRE) が "1" のとき, Sync field の 5 回目の立下りエッジを LIN インタフェース (v2.1) が検出してもシリアルタイマは停止せず, 動作を継続します。

● タイマ動作

シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致した場合, タイマ割込みフラグ (SACSR:TINT) を "1" に設定し, シリアルタイマレジスタ (STMR) は 0 にリセットされます。

図 36.7-25 タイマ動作 (STMCR="10")

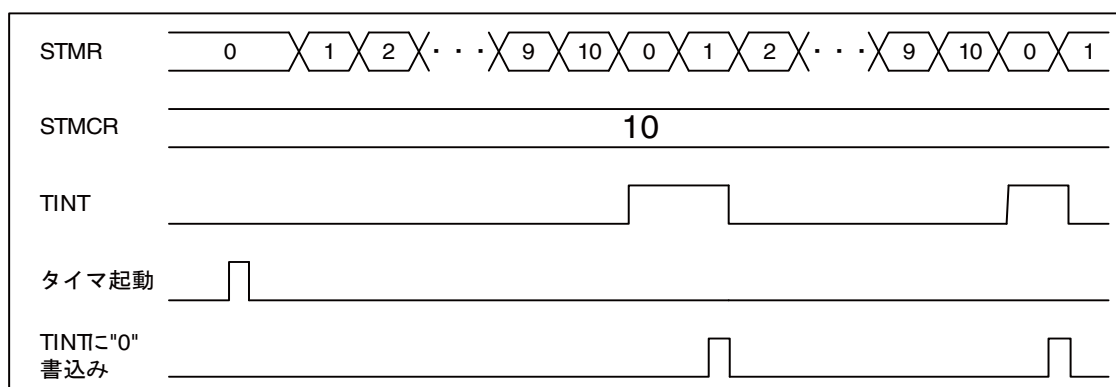


図 36.7-26 シリアルタイマの初期設定のフローチャート

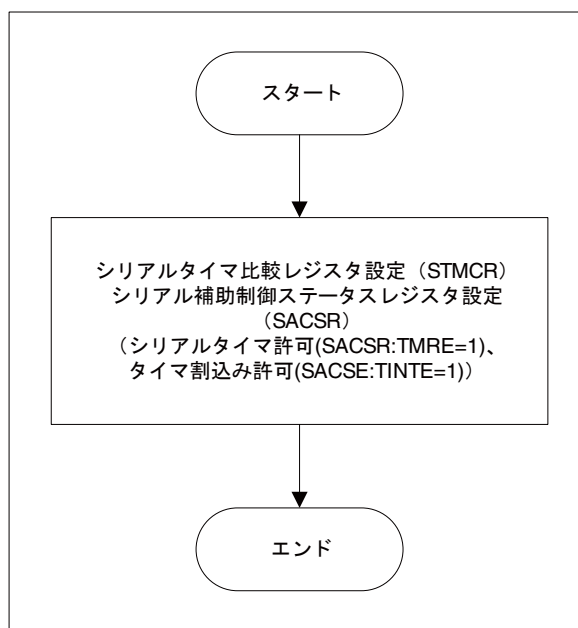
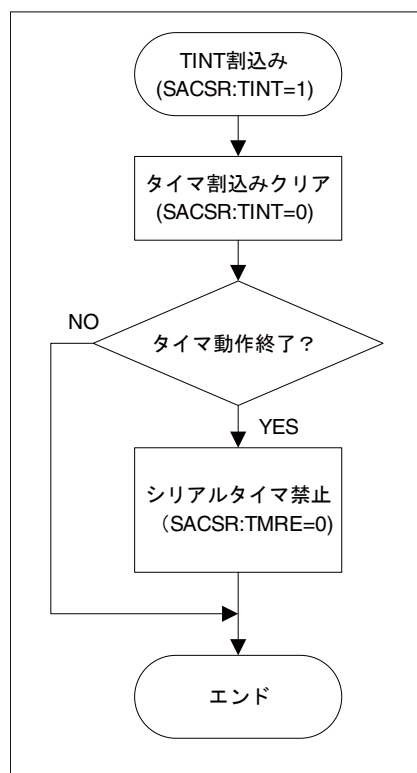


図 36.7-27 シリアルタイマの割り込み処理のフローチャート



- (注意事項) ・ タイマ比較レジスタ (STMCR) に "0000" h が設定された状態で、タイマ動作中にタイマ動作クロックの分周値 (SACSR:TDIV) を "0000" b に設定した場合、タイマ割り込みフラグ (SACSR:TINT) は "1" に固定されます。
- ・ 自動ボーレート調整ビット (SACSR:AUTE) を "1" に設定されている場合、SyncField を受信するとシリアルタイマレジスタ (STMR) は 0 にリセットされます。

36.7.2.4 テストモード

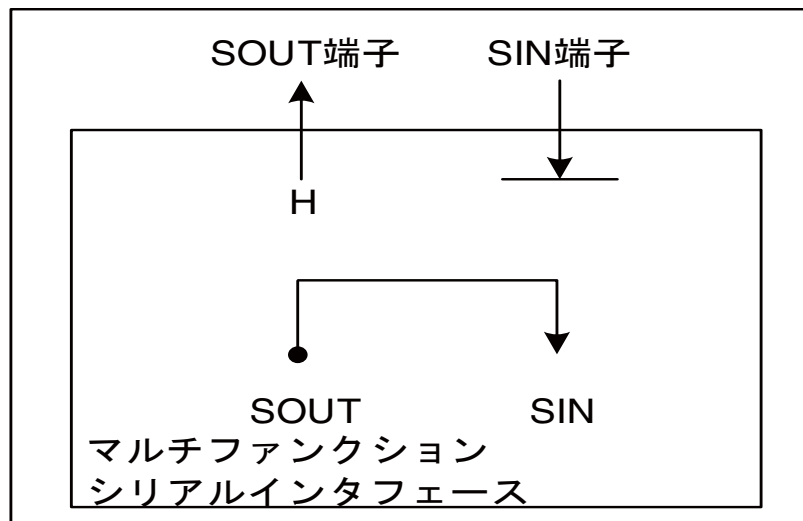
テストモードの動作について説明します。

● シリアルテストモード

シリアルテストモード許可時 (SACSR:STST="1"), マルチファンクションシリアルインタフェース内部で SOT と SIN が接続され, SOT から送信されるデータをそのまま SIN より受信できます。

シリアルテストモード許可時 (SACSR:STST="1"), 端子 SOT は "H" 固定となり, 端子 SIN に入力されたデータは無視されます。

図 36.7-28 シリアルテストモード



(注意事項) シリアルテストモード許可ビット (SACSR:STST) は送受信禁止 (SCR:TXE=RXE="0") のときのみ変更可能です。

36.7.2.5 LIN インタフェース (v2.1) ボーレート選択・設定

LIN インタフェース (v2.1) では、

- 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート
- 専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

を使用できます。設定方法は UART 時 (モード 0/1) と同一です。「36.5.2.13 UART ボーレート選択・設定」を参照してください。

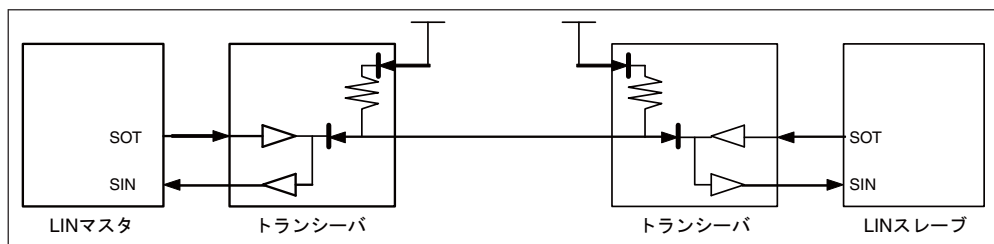
36.7.3 設定手順とプログラムフロー

動作モード 3(LIN 通信モード) では, LIN マスタシステムもしくは, LIN スレーブシステムに使用できます。

■ CPU 間接続

1つのLINマスタとLINスレーブの通信システムを図 36.7-29に示します。LIN インタフェース (v2.1) は, LIN マスタまたは, LIN スレーブとして動作できます。

図 36.7-29 LIN バスシステムの通信例



■ フローチャート例

● マスタ動作

図 36.7-30 LIN 通信マスタモードフローチャート例 (FIFO 未使用)

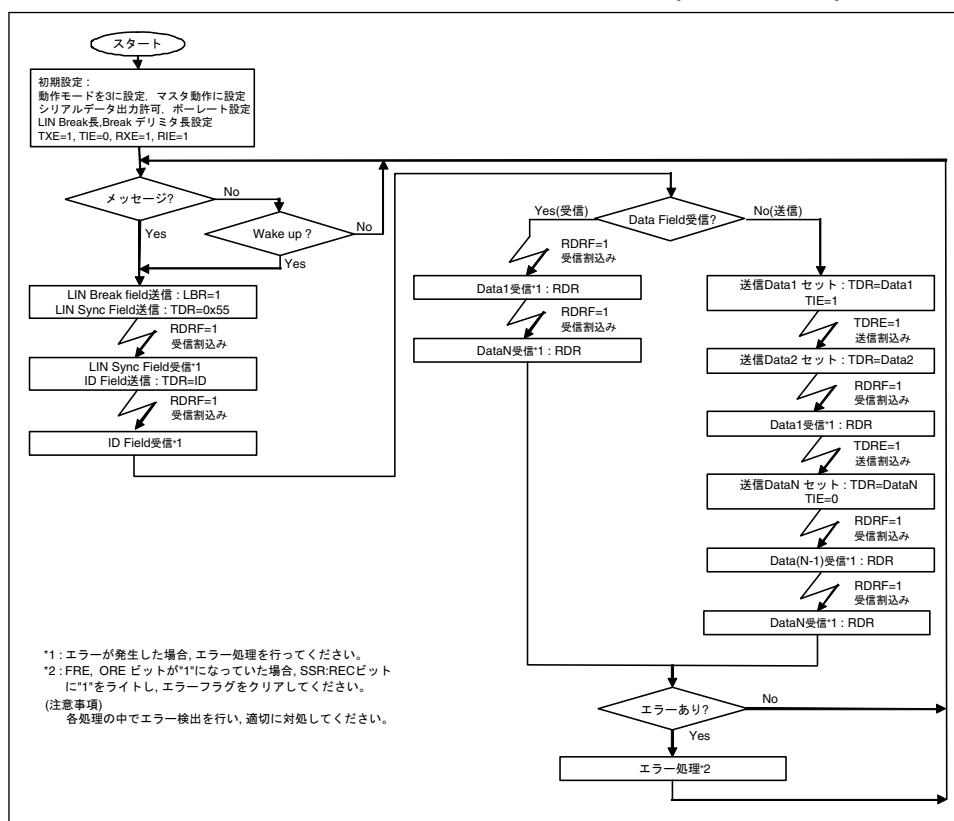
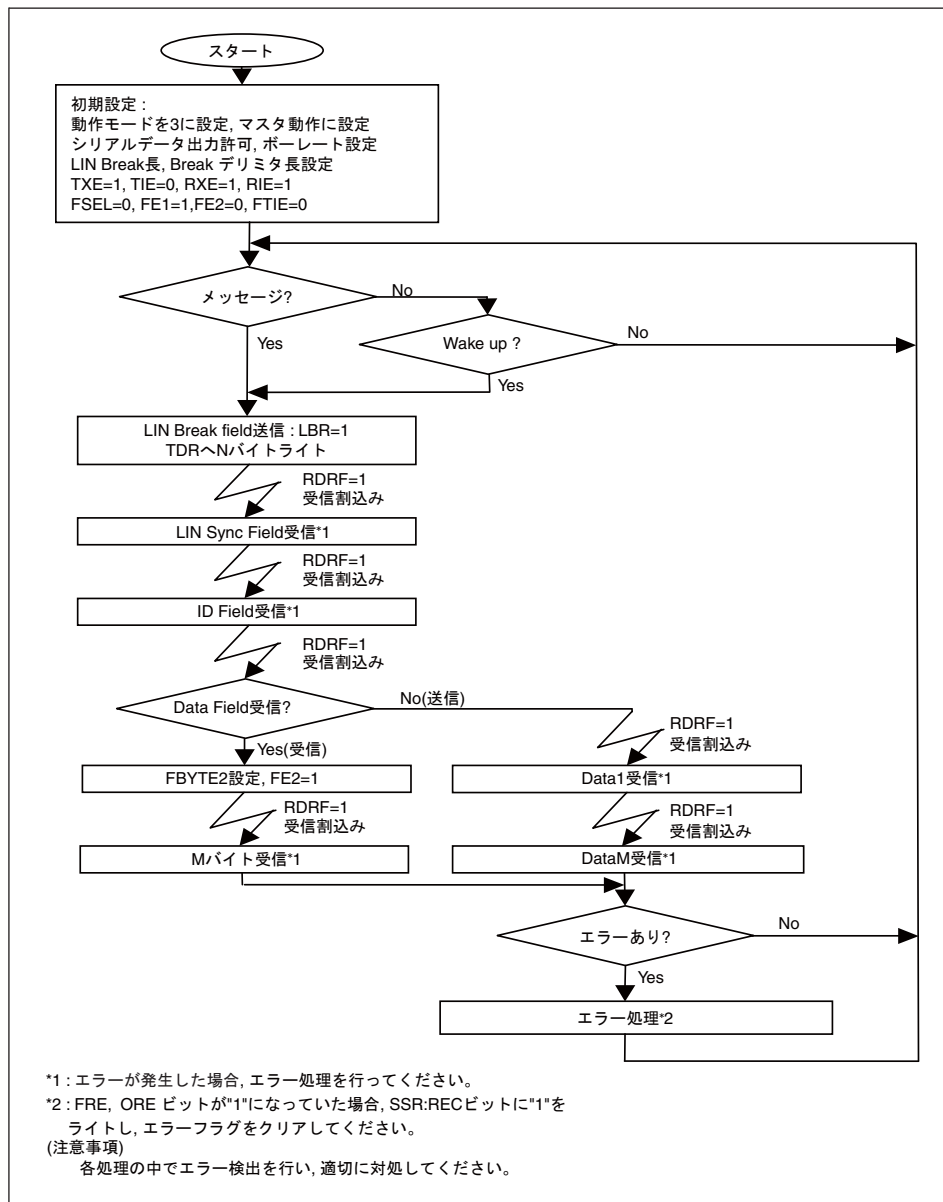


図 36.7-31 LIN 通信マスタモードフローチャート例 (FIFO 使用)



● スレーブ動作

図 36.7-32 LIN 通信スレーブモードフローチャート例 (FIFO 未使用, 自動ポーレート調整許可 (SACSR:AUTE=1))

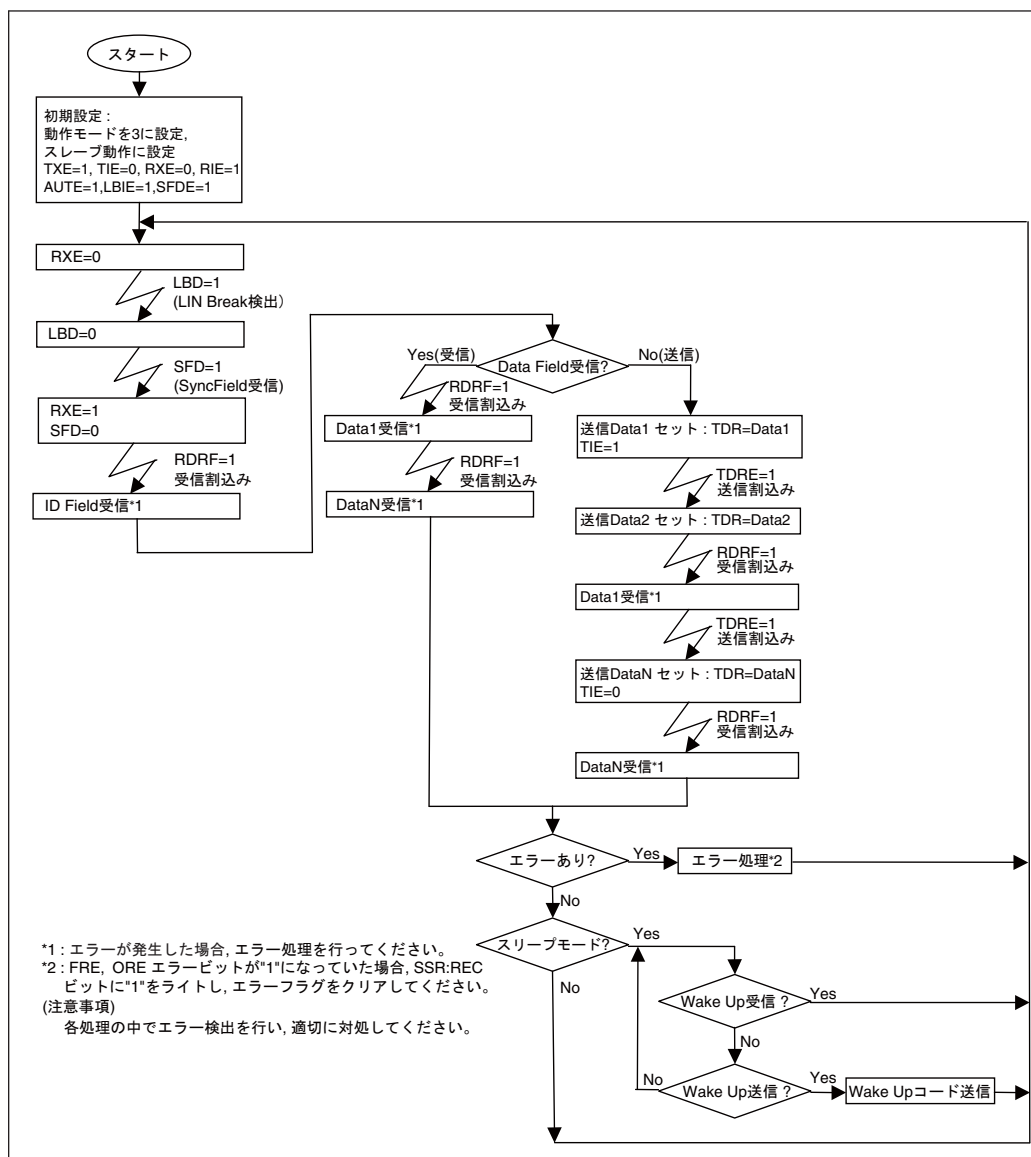
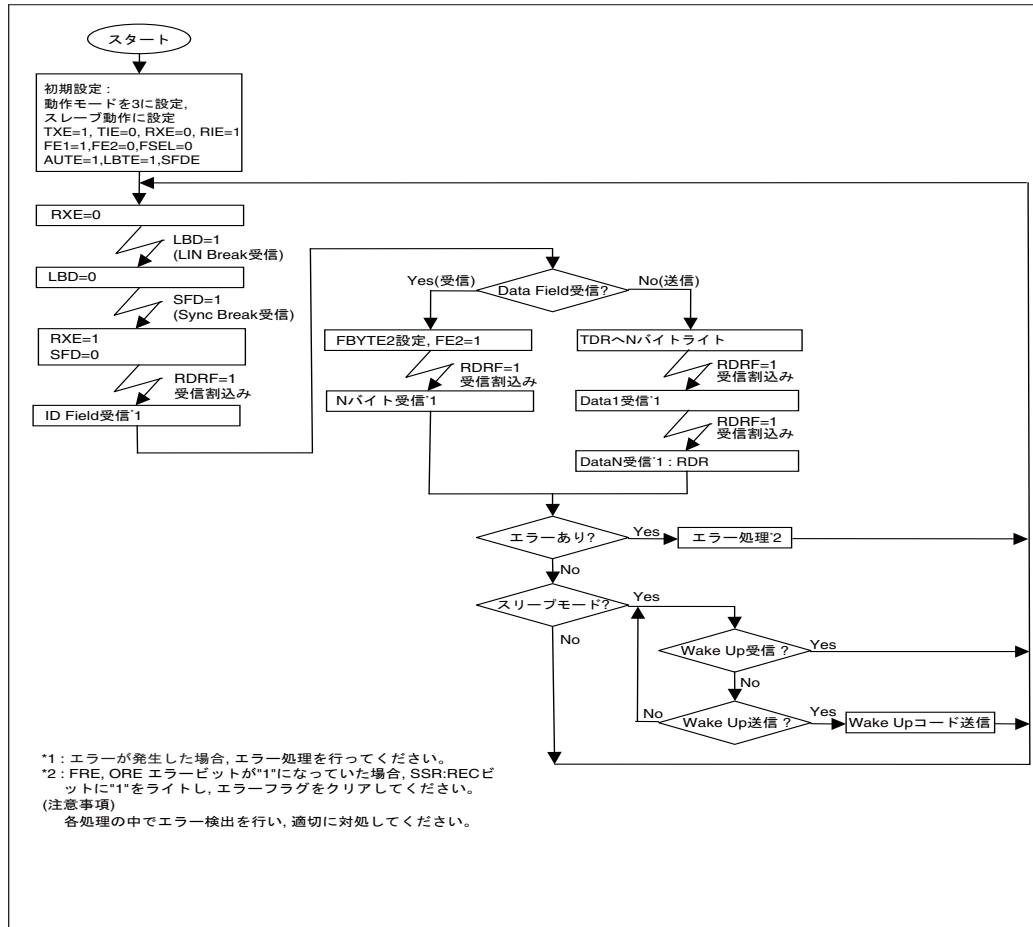


図 36.7-33 LIN 通信スレーブモードフローチャート例 (FIFO 使用)



36.8 I²C の動作説明

36.8.1 I²C の割込み

I²C インタフェースの割込みは、次に示す要因で割込み要求を発生させることができます。

- 第 1 バイト送受信後 / データ送受信後
- ストップ条件
- 反復スタート条件
- FIFO 送信データ要求
- FIFO 受信データ完了
- シリアルタイマの比較値 (STMCR) とシリアルタイマ値 (STMR) が一致

36.8.1.1 I²C インタフェースの割込み一覧

I²C インタフェースの割込み制御ビットと割込み要因をに表 36.8-1 示します。

表 36.8-1 I²C インタフェースの割込み制御ビットと割込み要因 (1 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
ステータス	INT	IBCR	第 1 バイト送受信後 ^{*1} (SSR : DMA=1 のマスタ動作の場合は除く)	IBCR:INTE	割込みフラグビット (IBCR:INT) への "0" 書込み
			データ送受信後 ^{*1} (SSR : DMA=0 の場合)		
			バスエラー検出		
			アービトラレーションロスト検出		
			予約アドレス検出		
			NACK 受信		
	SPC RSC	IBSR	スレーブ受信動作時の受信 FIFO フル (SSR : DMA=0 の場合)	IBCR:CNDE	受信 FIFO がエンプティになるまで受信データ読出し後, INT への "0" 書込み
			ストップ条件		SPC への "0" 書込み
	TINT	SACSR	シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致	SACSR:TINTE	RSC への "0" 書込み タイマ割込みフラグビット (SACSR:TINT) への "0" 書込み
受信	RDRF	SSR	予約アドレス受信	SMR:RIE	受信データ (RDR) の読出し
			データ受信後		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
			FBYTE 設定値分受信		
			FBIIE="1" で受信アイドル検出		受信エラーフラグビット (SSR:REC) への "1" 書込み
	ORE	SSR	オーバランエラー		

表 36.8-1 I²C インタフェースの割込み制御ビットと割込み要因 (2 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
送信	TDRE	SSR	送信レジスタがエンプティ	SMR:TIE	送信データ (TDR) への書込み, または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *2
			送信バッファエンプティフラグセットビット (SSR:TSET) への "1" 書込み		
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビットへの "0" 書込み, または送信 FIFO がフル
	TBI (SSR: DMA="1")	SSR	送信動作なし 送信バッファエンプティフラグセットビット (SSR:TSET) への "1" 書込み	SCR:TBIE	送信データ (TDR) への書込みまたは送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *3

*1) 正常なデータを送受信でき SSR:TDRE が "0" の場合, 割込みは発生しません。これは DMA 転送をサポートするためです。

データ送受信時に IBCR:INT フラグを発生させたい場合には IBCR:INT フラグがセットされるタイミングより前に SSR:TDRE ビットが "1" である必要があります。

*2) SSR:TDRE ビットが "0" になってから SMR:TIE ビットを "1" にしてください。

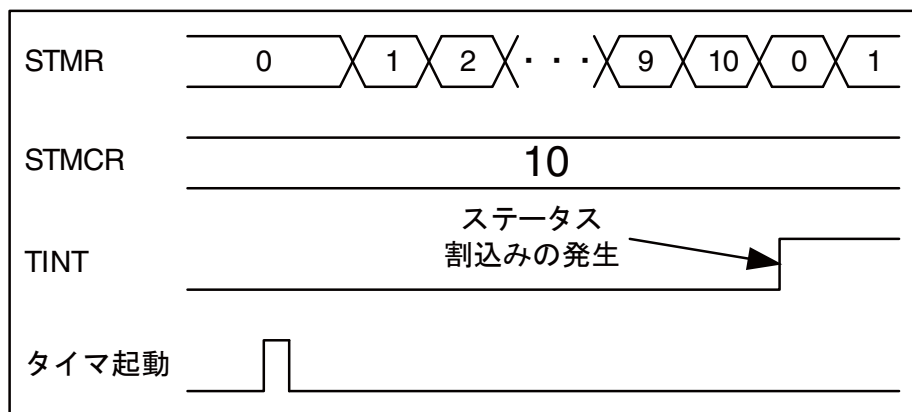
*3) SSR:TBI ビットが "0" になってから SSR:TBIE ビットを "1" にしてください。

36.8.1.2 タイマ割込みとフラグセットのタイミング

タイマ割込みは、シリアルタイマレジスタ (STMR) がシリアルタイマ比較レジスタ (STMCR) と一致した場合に発生します。

- シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタが一致した場合、タイマ割込みフラグ (SACSR:TINT) が "1" に設定されます。
このとき、タイマ割込み許可 (SACSR:TINTE="1") されているとステータス割込みが発生します。

図 36.8-1 タイマ割込み発生タイミング



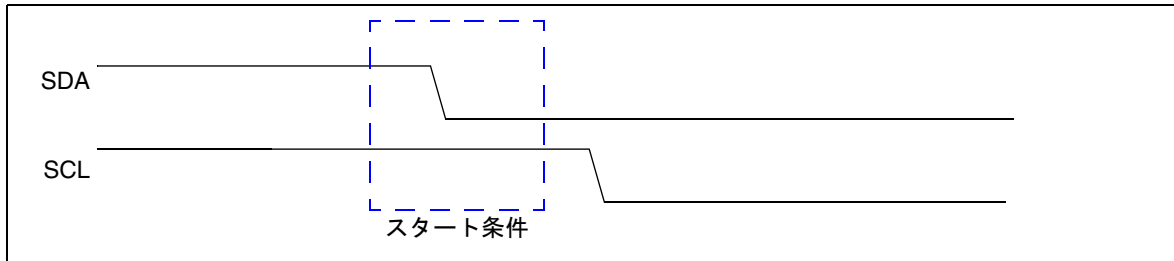
36.8.2 I²C インタフェース通信の動作

I²C インタフェースは、2 本の双方向バスライン、シリアルデータライン (SDA) およびシリアルクロックライン (SCL) を使用して通信を行います。

36.8.2.1 I²C バススタート条件

I²C バスの起動条件を以下に示します。

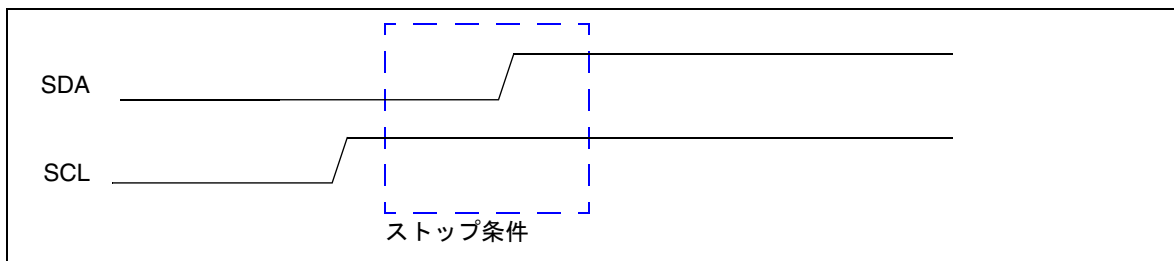
図 36.8-2 スタート条件



36.8.2.2 I²C バスストップ条件

I²C バスのストップ条件を以下に示します。

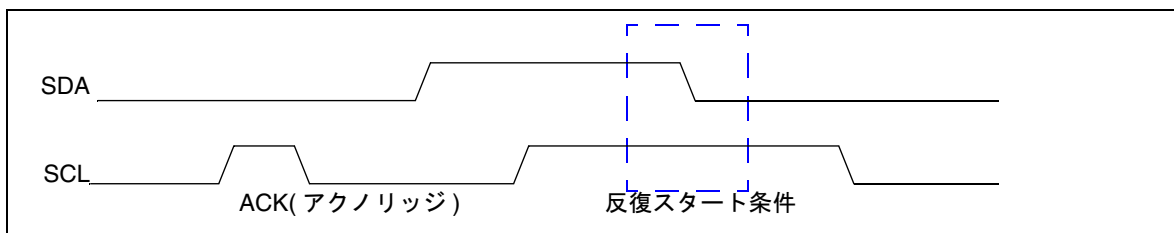
図 36.8-3 ストップ条件



36.8.2.3 I²C バス反復スタート条件

I²C バスの反復スタート条件を以下に示します。

図 36.8-4 反復スタート条件



36.8.2.4 I²C バスエラー

I²C バス上でデータの送受信中にストップ条件, (反復) スタート条件を検出するとバスエラーとして取り扱います。

■ バスエラー発生条件

バスエラーは以下の条件で IBCR:BER ビットを "1" にします。

- 第 1 バイト転送中に (反復) スタート条件またはストップ条件を検出
- データの 2 ～ 9 (アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出

■ バスエラー動作

送受信による割込みフラグ (IBCR:INT) が "1" になったときに IBCR:BER ビットを確認し, IBCR:BER ビットが "1" の場合エラー処理を行ってください。IBCR:BER ビットは IBCR:INT ビットに "0" を書くことによってクリアされます。

バスエラーによって IBCR:INT ビットは "1" に設定されますが, I²C バスの SCL を "L" にしてウェイト状態にはしません。

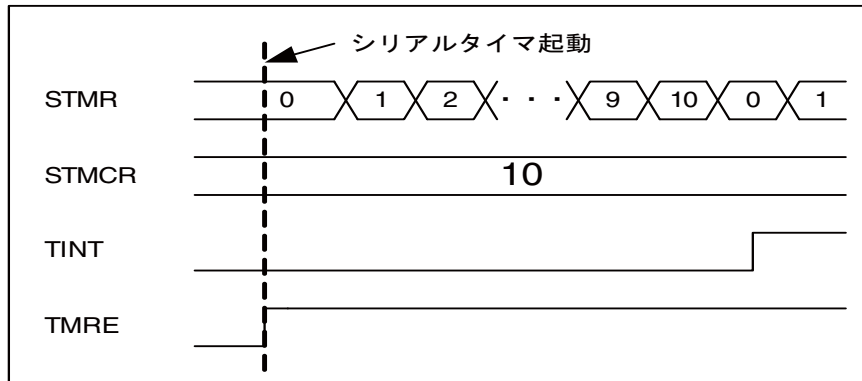
36.8.2.5 シリアルタイマの動作

シリアルタイマは、タイマ機能に利用できます。

● シリアルタイマの起動方法

シリアルタイマを起動するにはシリアルタイマ許可ビット (SACSR:TMRE) を "1" に設定します。
シリアルタイマ許可ビット (SACSR:TMRE) を "1" に設定するとシリアルタイマは起動し、シリアルタイマレジスタ (STMR) が "0" からカウントを開始します。

図 36.8-5 シリアルタイマ許可ビットによる起動
(STMCR="10")



● シリアルタイマの停止方法

シリアルタイマ許可ビット (SACSR:TMRE) を "0" に設定した場合、シリアルタイマは停止します。
このときシリアルタイマレジスタ (STMR) の値は保持されます。

● タイマ動作

シリアルタイマレジスタ (STMR) とシリアルタイマ比較レジスタ (STMCR) が一致した場合、タイマ割込みフラグ (SACSR:TINT) を "1" に設定し、シリアルタイマレジスタ (STMR) は "0" にリセットされます。

図 36.8-6 タイマ動作 (STMCR="10")

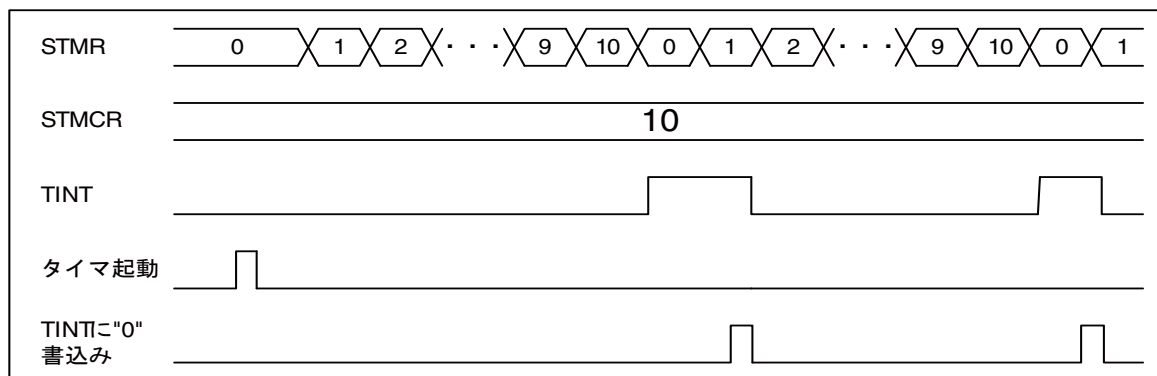


図 36.8-7 シリアルタイマの初期設定のフローチャート

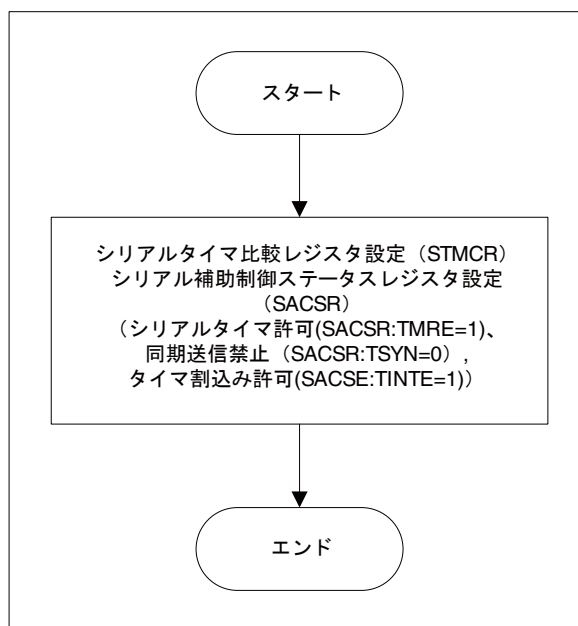
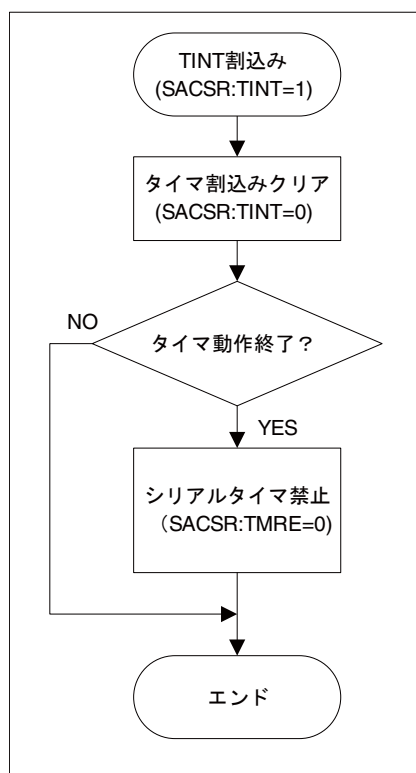


図 36.8-8 シリアルタイマの割込み処理のフローチャート



(注意事項) タイマ比較レジスタ (STMCR) に "0000" h が設定された状態で、タイマ動作中にタイマ動作クロックの分周値 (SACSR:TDIV) を "0000" b に設定した場合、タイマ割込みフラグ (SACSR:TINT) は "1" に固定されます。

36.8.2.6 ボーレート生成

専用ボーレートジェネレータは、シリアルクロックの周波数の設定を行います。

■ ボーレート選択

● 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ (BGR) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。リロードカウンタは、設定された値で内部クロックを分周します。

■ ボーレートの計算

2つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ (BGR) で設定します。ボーレートの計算式を以下に示します。

(1) リロード値

$$v = \phi / b - 1$$

v: リロード値 b: ボーレート ϕ : バスクロック周波数, 外部クロック周波数

ただし、I²C バスの SCL の立上り時間によっては設定したボーレートが発生しませんのでリロード値を調整してください。

(2) 計算例

バスクロック 16MHz, ボーレート 400kbps に設定する場合のリロード値は、次のようになります。

リロード値:

$$v = (16 \times 1,000,000) / 400,000 - 1 = 39$$

よって、ボーレートは

$$b = (16 \times 1,000,000) / (39+1) = 400\text{kbps}$$

- (注意事項) ・ ボーレートジェネレータレジスタ (BGR) への書込みは、16 ビットアクセスで行ってください。
- ・ ISMK:EN ビットが "0" のときにボーレートジェネレータレジスタ (BGR) の設定を行ってください。
 - ・ 動作モード 4(I²C モード) ではバスクロックは 8MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。
 - ・ リロード値を "0" に設定するとリロードカウンタは停止します。

■ 各ボーレート・各内部クロックに対するリロード値

表 36.8-2 各ボーレート・各内部クロックに対するリロード値

Baud rate [bps]	内部クロック (周辺クロック (PCLK))					
	8MHz	10MHz	16MHz	20MHz	24MHz	32MHz
400000	19	24	39	49	59	79
200000	39	49	79	99	119	159
100000	79	99	159	199	239	319

本数値は I²C バスの SCL 立上りが 0s の場合です。I²C バスの SCL 立上りが遅い場合には上記数値より遅いボーレートになります。

■ リロードカウンタの機能

リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値をボーレートジェネレータレジスタ (BGR) より読み出すことができます。

■ カウントの開始

ボーレートジェネレータレジスタ (BGR) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

36.8.3 I²C マスタモード

マスタモードは、I²C バスにスタート条件を発生させ、I²C バスにクロックを出力します。I²C バスがアイドル状態 (SCK="H", SOT="H") のとき、IBCR レジスタの MSS ビットに "1" を設定した場合にマスタモードになり、IBCR レジスタの ACT ビットが "1" になります。

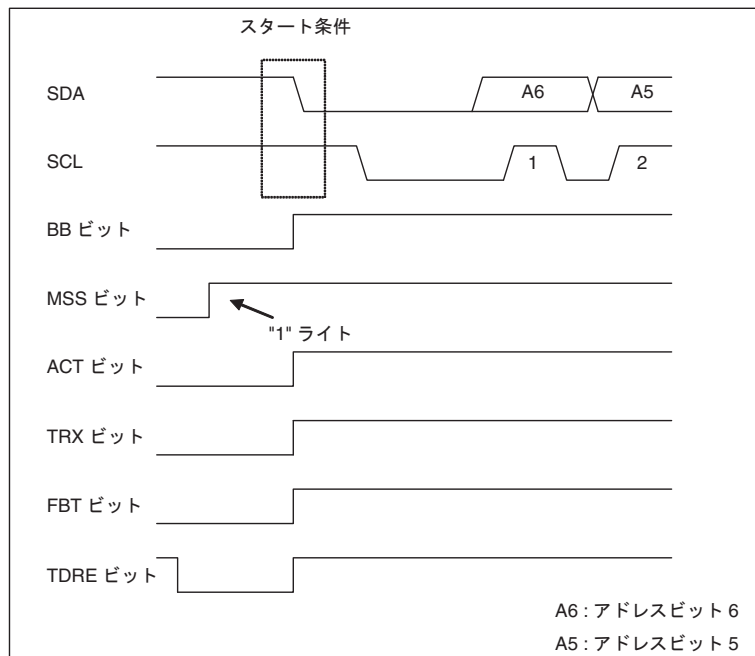
36.8.3.1 スタート条件生成

以下の条件でスタート条件が出力されます。

- SDA="H", SCL="H", ISMK:EN="1", IBCR:BB="0" のとき、IBCR:MSS ビットへ "1" 書込み

I²C バスへスタート条件を出力した場合、IBCR:ACT ビットに "1" をセットします。その後、スタート条件を受信時に IBSR:BB ビットが "1" に設定され、I²C バスは通信中であることを示します (図 36.8-9 を参照してください)。

図 36.8-9 スタート条件出力および各ビットの関係



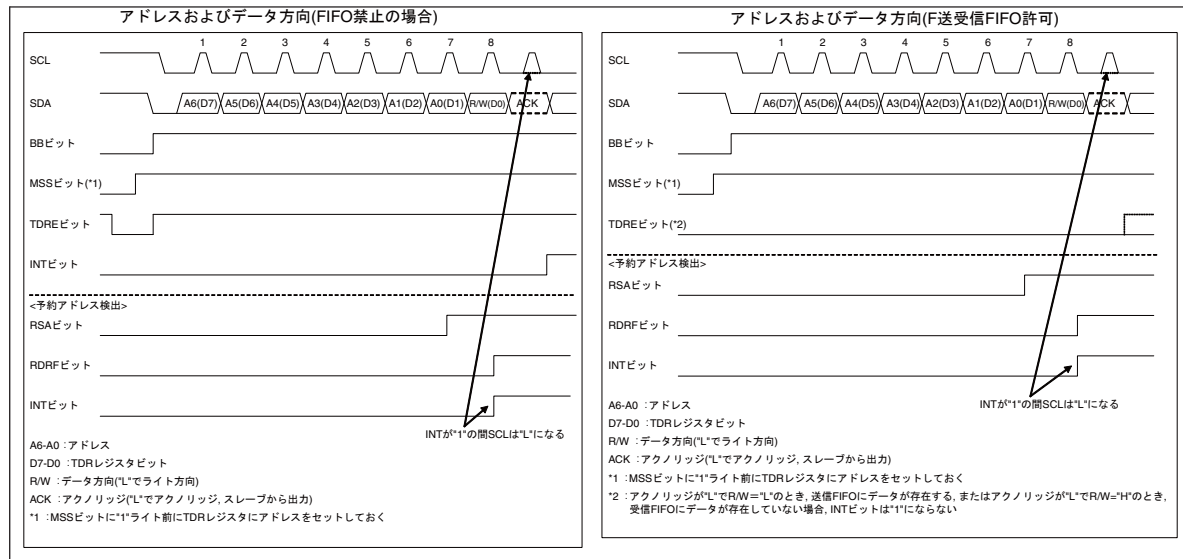
(注意事項) 動作モード4(I²C モード)ではバスクロックは8MHz以上で使用し、400kbpsを超えるボーレートジェネレータの設定は禁止です。

36.8.3.2 スレーブアドレス出力

スタート条件を出力後 ,TDR レジスタに設定されたデータを bit7 からアドレスとして出力します。FIFO 許可の場合 , 最初を書いた TDR レジスタのデータを出力します。bit0 はデータ方向ビット (R/W) として使用され , データ方向ビット (R/W) が "0" のとき , データはライト方向 (マスタ → スレーブ) を示します。TDR レジスタへのアドレス設定は , IBCR:MSS="1" または IBCR:SCC= "1" を書く前に行ってください。

アドレスおよびデータ方向の出力タイミングについて図 36.8-10 に示します。

図 36.8-10 アドレスおよびデータ方向



36.8.3.3 第 1 バイト送信によるアクノリッジ受信

データ方向ビット (R/W) を出力後、I²C インタフェースは、スレーブからのアクノリッジを受信します。FIFO 許可と FIFO 禁止では、以下の動作になります。

表 36.8-3 DMA モード禁止時のアクノリッジ受信後の動作
(IBSR:RSA="0", SSR:DMA="0")

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方 向ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジ が NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば IBCR:INT ビットは "0" のままでウェイト なし	IBCR:INT ビットを "1" に してウェイト
				1		
禁止	許可	-	データ なし	0	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば IBCR:INT ビットは "0" のままでウェイト なし	IBCR:INT ビットを "1" に してウェイト
			データ あり		IBCR:INT ビットを "1" にしてウェイト	
			-	1	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば IBCR:INT ビットは "0" のままでウェイト なし	
許可	禁止	-	-	0	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば IBCR:INT ビットは "0" のままでウェイト なし	IBCR:INT ビットを "1" に してウェイト
				1		
許可	許可	-	データ なし	0	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば IBCR:INT ビットは "0" のままでウェイト なし	IBCR:INT ビットを "1" に してウェイト
			データ あり		IBCR:INT ビットを "1" にしてウェイト	
			-	1	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば IBCR:INT ビットは "0" のままでウェイト なし	

表 36.8-4 DMA モード許可時のアクノリッジ受信後の動作
(IBSR:RSA="0", SSR:DMA="1")

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方 向ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが "1" であれば SSR:TBI ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば SSR:TBI ビットは "0" のままでウェイト なし	IBCR:INT ビッ トを "1" にして ウェイト
				1		
禁止	許可	-	データ なし	0	SSR:TDRE ビットが "1" であれば SSR:TBI ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば SSR:TBI ビットは "0" のままでウェイト なし	IBCR:INT ビッ トを "1" にして ウェイト
			データ あり		IBCR:INT ビットを "1" にしてウェイト	
			-	1	SSR:TDRE ビットが "1" であれば SSR:TBI ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば SSR:TBI ビットは "0" のままでウェイト なし	
許可	禁止	-	-	0	SSR:TDRE ビットが "1" であれば SSR:TBI ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば SSR:TBI ビットは "0" のままでウェイト なし	IBCR:INT ビッ トを "1" にして ウェイト
				1		
許可	許可	-	データ なし	0	SSR:TDRE ビットが "1" であれば SSR:TBI ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば SSR:TBI ビットは "0" のままでウェイト なし	IBCR:INT ビッ トを "1" にして ウェイト
			データ あり		IBCR:INT ビットを "1" にしてウェイト	
			-	1	SSR:TDRE ビットが "1" であれば SSR:TBI ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば SSR:TBI ビットは "0" のままでウェイト なし	

■ DMA モード禁止時 (SSR:DMA="0")

● FIFO 禁止 (送信 FIFO, 受信 FIFO 両方とも禁止)

- IBSR:RSA ビットが "0" の場合, アクノリッジ受信後, SSR:TDRE ビットが "1" であれば割込みフラグ (IBCR:INT) を "1" に設定し, SCL を "L" に保持してウェイトします。ウェイトは割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。SSR:TDRE ビットが "0" であれば ACK を受信すれば割込みフラグを "1" に設定せずに SCL にクロックを発生します。
- IBSR:RSA ビットが "1" の場合, 予約アドレス受信後 (アクノリッジ前), 割込みフラグ (IBCR:INT) を "1" に設定し, SCL を "L" に保持してウェイトします。RDR レジスタ読出し後, IBCR:ACKE ビット, 送信データを設定し, 割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。
- 受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し, NACK であれば, IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, IBCR:INT ビットは自動的に "0" にクリアされます。

● FIFO 許可

- IBCR:MSS ビットに "1" を設定する前に FIFO に以下の設定をする必要があります。
 - スレーブへ送信する場合 (データ方向ビット ="0"), スレーブアドレスなどを含むデータを送信 FIFO に設定
 - スレーブからデータを受信する場合 (データ方向ビット ="1"), FIFO バイト数レジスタに受信数を設定し, スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書き込みを行う
- IBSR:RSA ビットが "0" の場合, アクノリッジ受信後, ACK であれば割込みフラグ (IBCR:INT) は "1" に設定せず, データ方向ビットに従ってデータを送受信します (ウェイトなし)。NACK であれば, 割込みフラグ (IBCR:INT) を "1" に設定し, SCL を "L" に保持してウェイトします。
- 受信したアクノリッジは IBSR:RACK ビットに格納されます。ウェイト中に IBSR:RACK ビットを確認し, NACK であれば, IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, IBCR:INT ビットは自動的に "0" にクリアされます。

■ DMA モード許可時 (SSR:DMA="1")

● FIFO 禁止 (送信 FIFO, 受信 FIFO 両方とも禁止)

- IBSR:RSA ビットが "0" の場合, アクノリッジ受信後, SSR:TDRE ビットが "1" であれば送信バスアイドルフラグ (SSR:TBI) を "1" に設定し, SCL を "L" に保持してウェイトします。ウェイトは TDR レジスタに送信するデータを書くと送信バスアイドルフラグが "0" になってウェイトを解除します。SSR:TDRE ビットが "0" であれば ACK を受信すれば送信バスアイドルフラグ (SSR:TBI) を "1" に設定せずに SCL にクロックを発生します。
- IBSR:RSA ビットが "1" の場合, 予約アドレス受信後 (アクノリッジ前), 割込みフラグ (IBCR:INT) を "1" に設定し, SCL を "L" に保持してウェイトします。RDR レジスタ読出し後, IBCR:ACKE ビット, 送信データを設定し, 割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。
- 受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し, NACK であれば, IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, IBCR:INT ビットは自動的に "0" にクリアされます。

● FIFO 許可

- IBCR:MSS ビットに "1" を設定する前に FIFO に以下の設定をする必要があります。
 - スレーブへ送信する場合 (データ方向ビット="0"), スレーブアドレスなどを含むデータを送信 FIFO に設定
 - スレーブからデータを受信する場合 (データ方向ビット="1"), FIFO バイト数レジスタに受信数を設定し, スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書き込みを行う
- IBSR:RSA ビットが "0" の場合, アクノリッジ受信後, ACK であれば割込みフラグ (IBCR:INT) は "1" に設定せず, データ方向ビットに従ってデータを送受信します (ウェイトなし)。NACK であれば, 割込みフラグ (IBCR:INT) を "1" に設定し, SCL を "L" に保持してウェイトします。
- 受信したアクノリッジは IBSR:RACK ビットに格納されます。ウェイト中に IBSR:RACK ビットを確認し, NACK であれば, IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, IBCR:INT ビットは自動的に "0" にクリアされます。

図 36.8-11 アクノリッジ (FIFO 禁止, IBSR:RSA= 0, ACK 応答の場合)

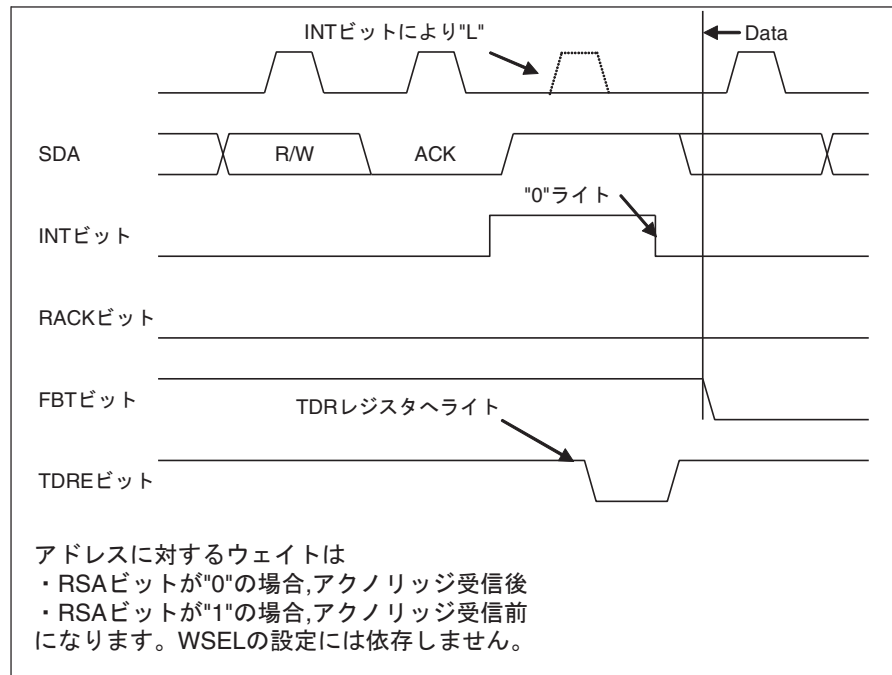


図 36.8-12 アクノリッジ (FIFO 禁止, IBSR:RSA= 0, NACK 応答の場合)

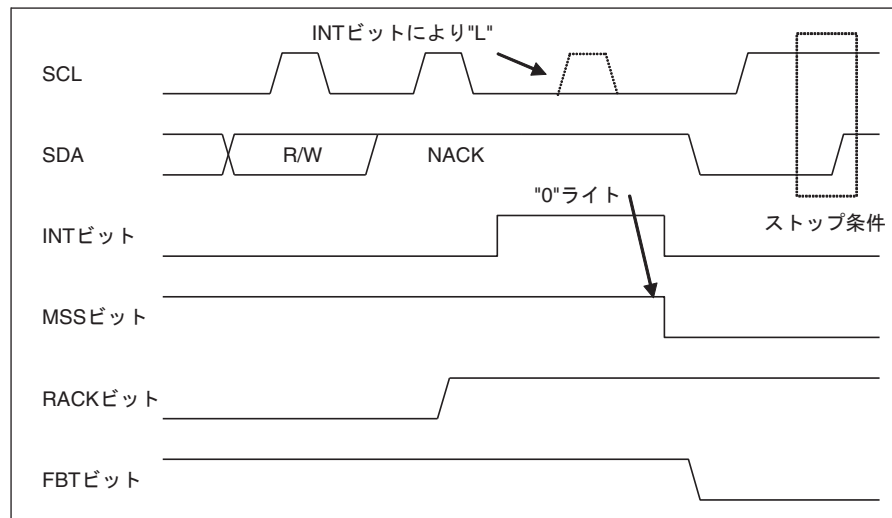
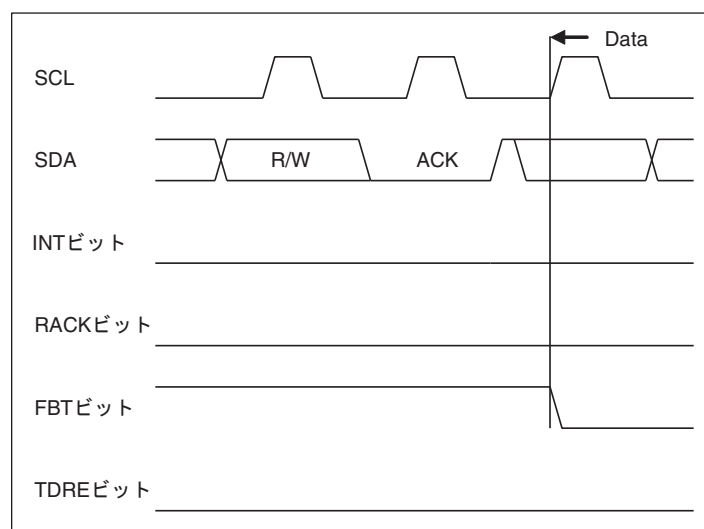


図 36.8-15 アクノリッジ (FIFO 許可, 送信 FIFO データあり, 受信 FIFO データなし, IBSR:RSA=0, ACK 応答の場合)



36.8.3.4 マスタによるデータ送信

データ方向ビット (R/W) が "0" の場合、データはマスタから送信します。1 バイト送信ごとにスレーブから ACK または NACK の応答があります。IBCR:WSEL ビットの設定によってウェイトの発生する場所が以下ようになります。

表 36.8-5 DMA モード禁止時 (SSR:DMA="0") のマスタデータ送信時の IBCR:WSEL ビット

WSEL	動作
0	<p><FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが "1" またはアービトレーションロスト検出でアクノリッジ後、割込みフラグ (IBCR:INT) を "1", SCL を "L" にしてウェイト状態にします。</p> <p><FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (SSR:TDRE="1") ときにアクノリッジ後割込みフラグ (IBCR:INT) を "1" にしてウェイト状態にします。</p>
1	<p><FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが "1" またはアービトレーションロスト検出でマスタが 1 バイトのデータを送信後、割込みフラグ (IBCR:INT) "1", SCL を "L" にしてウェイト状態にします。</p> <p><FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (SSR:TDRE="1") ときにデータ送信後、割込みフラグ (IBCR:INT) を "1" にしてウェイト状態にします。</p>

表 36.8-6 DMA モード許可時 (SSR:DMA="1") のマスタデータ送信時の IBCR:WSEL ビット

WSEL	動作
0	<p><FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが "1" でアクノリッジ後、送信バスアイドルフラグ (SSR:TBI) を "1", SCL を "L" にしてウェイト状態にします。</p> <p><FIFO 使用時> 送信データレジスタに有効なデータがなくなった (SSR:TDRE="1") ときにアクノリッジ後、送信バスアイドルフラグ (SSR:TBI) を "1" にしてウェイト状態にします。</p>
1	<p><FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが "1" でマスタが 1 バイトのデータを送信後、送信バスアイドルフラグ (SSR:TBI) を "1", SCL を "L" にしてウェイト状態にします。</p> <p><FIFO 使用時> 送信データレジスタに有効なデータがなくなった (SSR:TDRE="1") ときにマスタが 1 バイトのデータを送信後、送信バスアイドルフラグ (SSR:TBI) を "1" にしてウェイト状態にします。</p>

ただし、以下の場合、IBCR:WSEL の設定に依存せずにアクノリッジ後に割込みフラグ (IBCR:INT) をセットします。

- ストップ条件設定 (IBCR:MSS="0", ACT="1") 時以外に NACK を受信した場合

スレーブヘデータを送信する場合の手順の一例を以下に示します。

■ DMA モード禁止時 (SSR:DMA="0") のスレーブへのデータ送信

(1) 予約アドレス以外への送信の場合

・送信 FIFO が禁止されている場合

- ① Slave Address(データ方向ビットも含む)を TDR レジスタに設定し, IBCR:MSS ビットに "1" を書きます。
- ② Slave Address 送信後 ACK を受信し, 割込みフラグ (IBCR:INT) が "1" に設定されます。
- ③ TDR レジスタに送信するデータを書きます。
- ④ IBCR:WSEL ビット更新と共に割込みフラグ (IBCR:INT) に "0" を書き込み, I²C バスのウェイトを解除します。
- ⑤ 1 バイト送信後 IBCR:WSEL="0" の場合アクノリッジ受信後, IBCR:WSEL="1" の場合 1 バイト送信直後に割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで 3. ～ 5. を繰り返します。ただし, IBCR:WSEL="1" のときウェイト解除後, NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し, バスをウェイトします。
- ⑥ IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

- ① Slave Address(データ方向ビットも含む), 送信データを TDR レジスタに書きます。
- ② IBCR:WSEL ビット設定と共に IBCR:MSS ビットに "1" を書きます。
- ③ 送信中に NACK 受信した場合, その直後に割込みフラグ (IBCR:INT) を "1" にし I²C バスをウェイトします。すべて ACK 応答を受信した場合, 最終バイト送信後 IBCR:WSEL の設定に従って割込みフラグを "1" にして I²C バスをウェイトします。
- ④ IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

(2) 予約アドレスへの送信の場合

・送信 FIFO が禁止されている場合

- ① Slave Address として予約アドレスを TDR レジスタに設定し, IBCR:MSS ビットに "1" を書きます。
- ② Slave Address 送信後, 割込みフラグ (IBCR:INT) が "1" に設定されます。
- ③ RDR レジスタを読み出し, 予約アドレスを確認します。(*1)
- ④ TDR レジスタに送信するデータを書きます。
- ⑤ IBCR:WSEL ビット更新と共に割込みフラグ (IBCR:INT) に "0" を書き込み, I²C バスのウェイトを解除します。
- ⑥ 1 バイト送信後 IBCR:WSEL="0" の場合アクノリッジ受信後, IBCR:WSEL="1" の場合 1 バイト送信直後に割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで 4. ～ 6. を繰り返します。ただし, IBCR:WSEL=1 のときウェイト解除後, NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し, バスをウェイトします。
- ⑦ IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

- ① Slave Address として予約アドレスを TDR レジスタに設定し, IBCR:MSS ビットに "1" を書きます。
- ② Slave Address 送信後, 割込みフラグ (IBCR:INT) が "1" に設定されます。
- ③ RDR レジスタを読み出し, 予約アドレスを確認します。(*1)
- ④ TDR レジスタに全送信データ (送信 FIFO がフルとなる場合にはその状態になるまで) を書きます。
- ⑤ 送信中に NACK 受信した場合, その直後に割込みフラグ (IBCR:INT) を "1" にし I²C バスをウェイトします。すべて ACK 応答を受信した場合, 最終バイト送信後 IBCR:WSEL の設定に従って割込みフラグを "1" にして I²C バスをウェイトします。
- ⑥ IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

*1: 下記の何れかの条件を満たす場合, IBCR:ACKIE ビットを "1", IBCR:WSEL ビットを "1" にして次のデータでマスタとして動作するのか, スレーブとして動作するのか確認する必要があります。

- ・マルチマスタで予約アドレスがゼネラルコールの場合
- ・アービトラションロストが発生してスレーブとして動作する可能性がある場合

■ DMA モード許可時 (SSR:DMA="1") のスレーブへのデータ送信

(1) 予約アドレス以外への送信の場合

・送信 FIFO が禁止されている場合

- ① Slave Address(データ方向ビットも含む)を TDR レジスタに設定し, IBCR:MSS ビットに "1" を書きます。
- ② Slave Address 送信後 ACK を受信し, 送信バスアイドルフラグ (SSR:TBI) が "1" に設定されます。
- ③ TDR レジスタに送信するデータを書込み, I²C バスのウェイトを解除します。
- ④ 1 バイト送信後 IBCR:WSEL="0" の場合アクノリッジ受信後, IBCR:WSEL="1" の場合 1 バイト送信直後に送信バスアイドルフラグ (SSR:TBI) を "1" にして I²C バスをウェイトします。
- ⑤ TDR レジスタに送信するデータを書込み, I²C バスのウェイトを解除します。
- ⑥ 1 バイト送信後 IBCR:WSEL="0" の場合アクノリッジ受信後, IBCR:WSEL="1" の場合 1 バイト送信直後に送信バスアイドルフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで 5. ～ 6. を繰り返します。ただし, IBCR:WSEL="1" のときウェイト解除後, NACK を受信した場合にはアクノリッジ受信後に割込みフラグ (IBCR:INT) が "1" になり, バスをウェイトします。
- ⑦ IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定 *2 し, ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

- ① Slave Address(データ方向ビットも含む), 送信データを TDR レジスタに書きます。
- ② IBCR:WSEL ビット設定と共に IBCR:MSS ビットに "1" を書きます。
- ③ 送信中に NACK 受信した場合, その直後に割込みフラグ (IBCR:INT) を "1" にし I²C バスをウェイトします。すべて ACK 応答を受信した場合, 最終バイト送信後 IBCR:WSEL の設定に従って送信バスアイドルフラグ (SSR:TBI) を "1" にして I²C バスをウェイトします。
- ④ IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定 *2 し, ストップ条件または反復スタート条件を発生させます。

(2) 予約アドレスへの送信の場合

・送信 FIFO が禁止されている場合

- ① Slave Address として予約アドレスを TDR レジスタに設定し, IBCR:MSS ビットに "1" を書きます。
- ② Slave Address 送信後, 割込みフラグ (IBCR:INT) が "1" に設定されます。
- ③ RDR レジスタを読み出し, 予約アドレスを確認します。(*1)
- ④ TDR レジスタに送信するデータを書きます。
- ⑤ IBCR:WSEL ビット更新と共に割込みフラグ (IBCR:INT) に "0" を書込み, I²C バスのウェイトを解除します。
- ⑥ 1 バイト送信後 IBCR:WSEL="0" の場合アクノリッジ受信後, IBCR:WSEL="1" の場合 1 バイト送信直後に割込みフラグを "1" にして I²C バスをウェイトします。
- ⑦ TDR レジスタに送信するデータを書込み, I²C バスのウェイトを解除します。
- ⑧ 1 バイト送信後 IBCR:WSEL="0" の場合アクノリッジ受信後, IBCR:WSEL="1" の場合 1 バイト送信直後に送信バスアイドルフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで 7. ～ 8. を繰り返します。ただし, IBCR:WSEL="1" のときウェイト解除後, NACK を受信した場合にはアクノリッジ受信後に割込みフラグ (IBCR:INT) が "1" になり, バスをウェイトします。
- ⑨ IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定 *2 し, ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

- ① Slave Address として予約アドレスを TDR レジスタに設定し, IBCR:MSS ビットに "1" を書きます。
- ② Slave Address 送信後, 割込みフラグ (IBCR:INT) が "1" に設定されます。
- ③ RDR レジスタを読み出し, 予約アドレスを確認します。(*1)
- ④ TDR レジスタに全送信データ (送信 FIFO がフルとなる場合にはその状態になるまで) を書きます。
- ⑤ 送信中に NACK 受信した場合, その直後に割込みフラグ (IBCR:INT) を "1" にし I²C バスをウェイトします。すべて ACK 応答を受信した場合, 最終バイト送信後 IBCR:WSEL の設定に従って割込みフラグ (IBCR:INT) を "1" にして I²C バスをウェイトします。

⑥ IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定 *2 し、ストップ条件または反復スタート条件を発生させます。

*1: 下記の何れかの条件を満たす場合、IBCR:ACKE ビットを "1"、IBCR:WSEL ビットを "1" にして次のデータでマスタとして動作するのか、スレーブとして動作するのか確認する必要があります。

- ・マルチマスタで予約アドレスがゼネラルコールの場合
- ・アービトレーションロストが発生してスレーブとして動作する可能性がある場合

*2: DMA モードが許可 (SSR:DMA="1") で SSR:TBI ビットが "1" で IBCR:INT ビットが "0" のときに反復スタート条件を発行する場合は、下記の手順を行ってください。

1. IBCR:INT ビットに "1" を書き込んでください。
2. IBCR:INT ビットが "1" に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. IBCR:SCC ビットに "1" を設定してください。

(注意事項) ・ 7 ビットスレーブアドレスの検出を許可しているとき (ISBA:SAEN="1") にマスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。

- ・ 送受信中に IBCR レジスタを変更する場合、割込みフラグ (IBCR:INT) が "1" のときに変更してください。
- ・ IBCR:WSEL ビットを変更した場合、次のデータの割込みフラグ (IBCR:INT) および DMA モードが許可時 (SSR:DMA="1") での送信バスアイドルフラグ (SSR:TBI) の発生条件に使用されます。
- ・ データ送信中で SSR:TDRE が "1" のときに TDR レジスタへ送信データを書き込み、ACK 応答を検出した場合、下記のように動作します。
 - ・ DMA モードが禁止時 (SSR:DMA="0"), 割込みフラグ (IBCR:INT) は "1" にならずにその書き込まれたデータが送信されます。
 - ・ DMA モード許可時 (SSR:DMA="1"), 送信バスアイドルフラグ (SSR:TBI) は "1" にならずにその書き込まれたデータが送信されます。
- ・ データ受信中に SSR:TDRE が "1" のときに TDR レジスタへ送信データを書込み ACK 応答した場合、下記のように動作します。
 - ・ DMA モード禁止時 (SSR:DMA="0"), 割込みフラグ (IBCR:INT) は "1" にならずに SSR:RDRF のみ "1" に設定されます (受信 FIFO 許可の場合、FBYTE レジスタの設定分受信した場合)。
 - ・ DMA モード許可時 (SSR:DMA="1"), 送信バスアイドルフラグ (SSR:TBI) は "1" にならずに SSR:RDRF のみ "1" に設定されます (受信 FIFO 許可の場合、FBYTE レジスタの設定分受信した場合)。

図 36.8-16 FIFO 禁止によるマスタ送信の割込み 1 (SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")

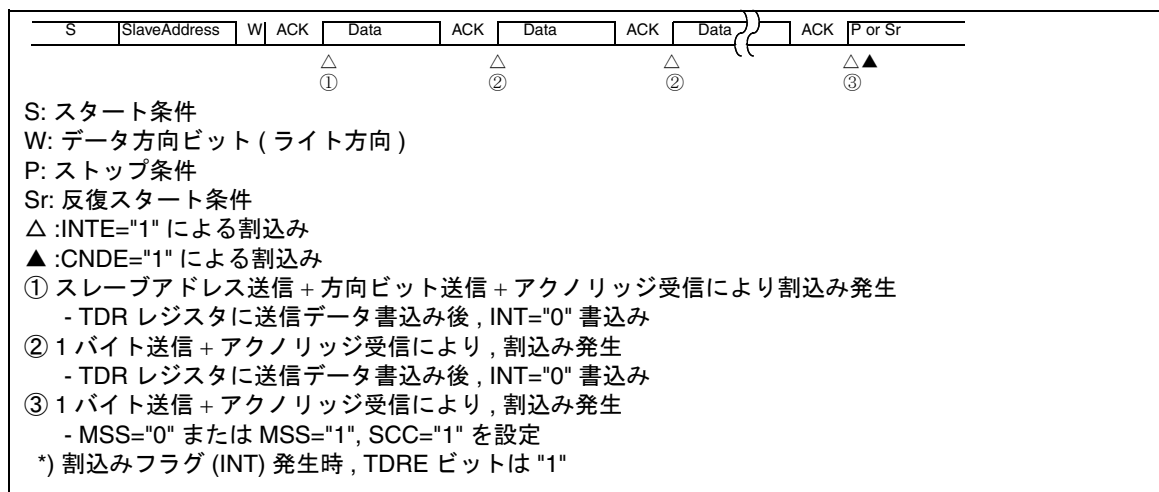


図 36.8-17 FIFO 禁止によるマスタ送信の割込み 2(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", ACK 応答)

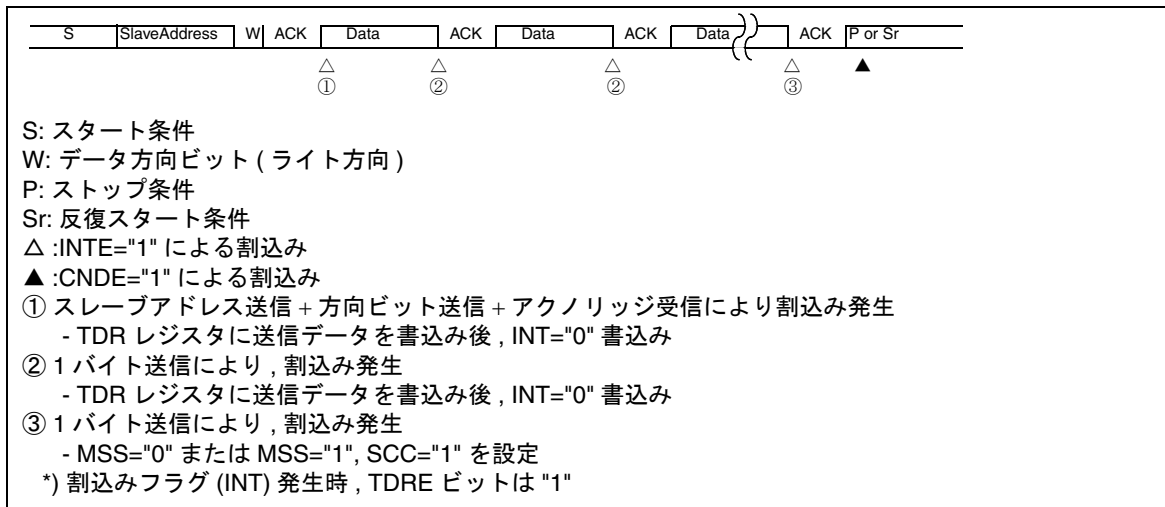


図 36.8-18 FIFO 禁止によるマスタ送信の割込み 3(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)

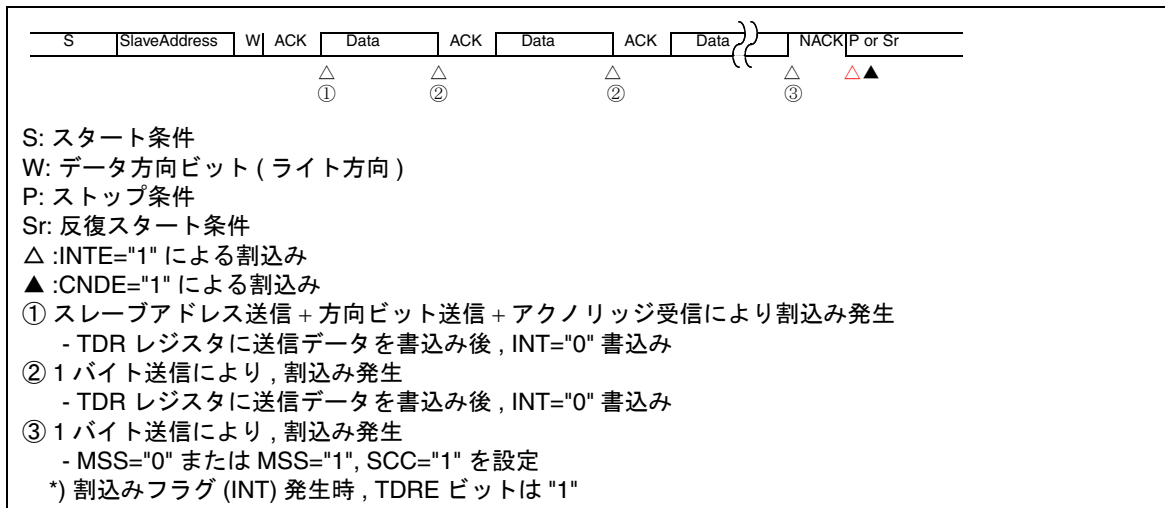


図 36.8-19 FIFO 禁止によるマスタ送信の割込み 4(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", 途中 NACK 応答)

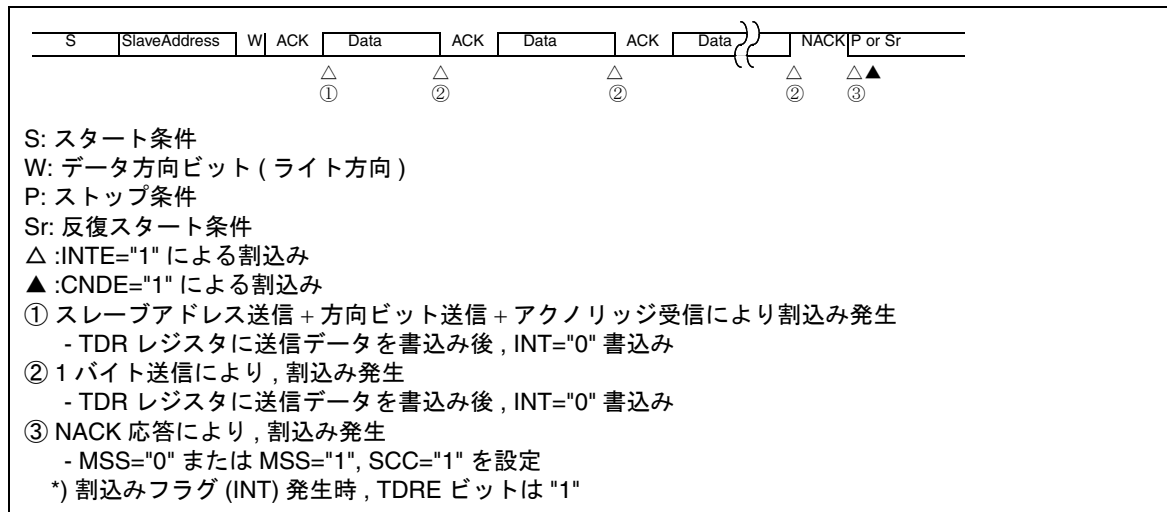


図 36.8-20 FIFO 禁止によるマスタ送信の割込み 5(SSR:DMA="0", IBCR:WSEL="1"→"0", IBSR:RSA="0", ACK 応答)

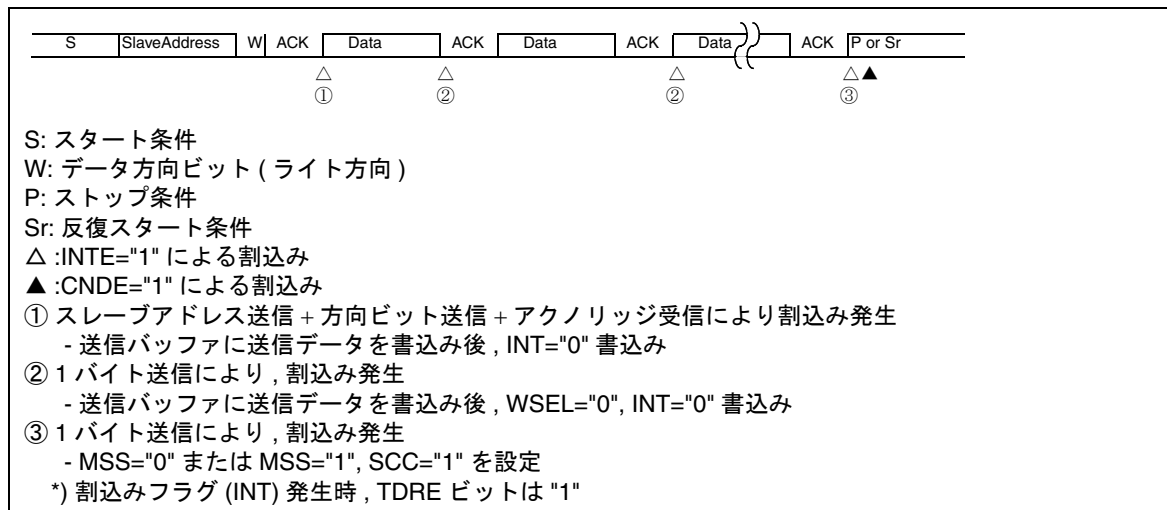


図 36.8-21 FIFO 禁止によるマスタ送信の割込み 6(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")

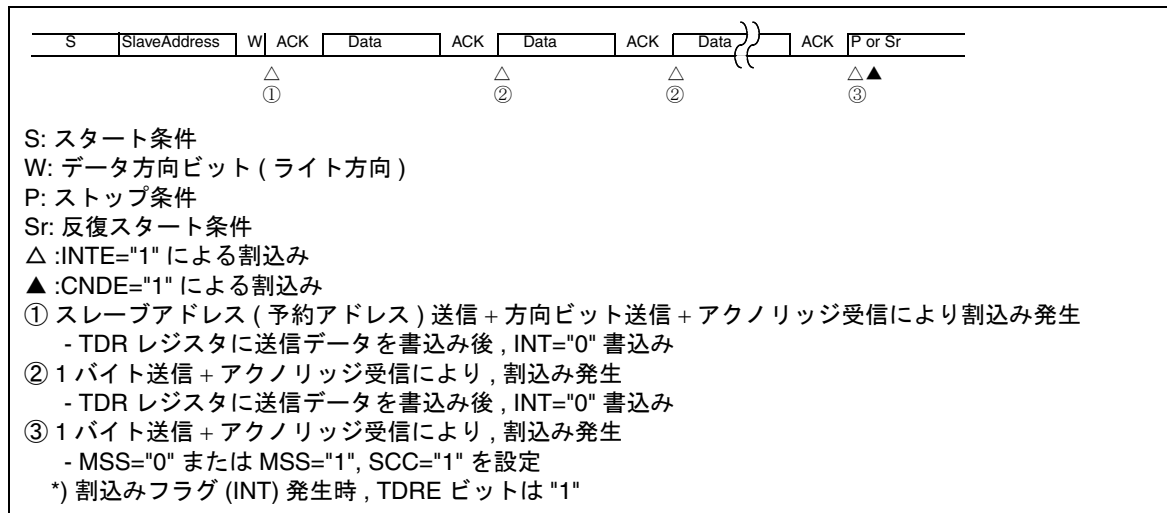


図 36.8-22 FIFO 許可によるマスタ送信の割込み 7(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)

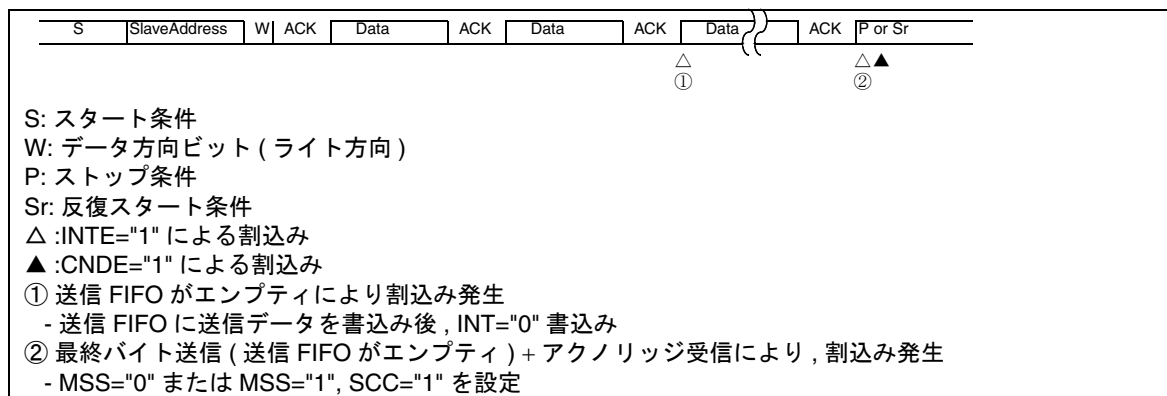


図 36.8-23 FIFO 許可によるマスタ送信の割込み 8(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")

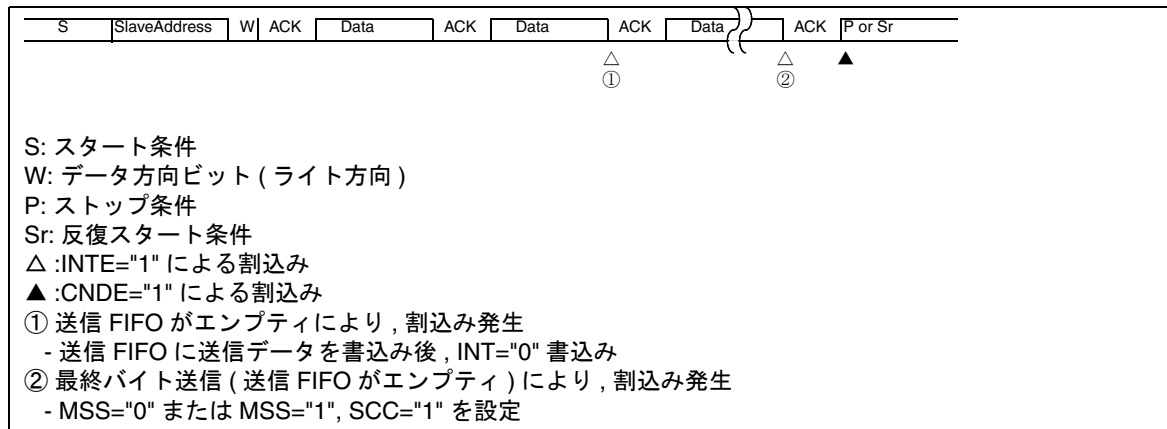


図 36.8-24 FIFO 許可によるマスタ送信の割込み 9(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)

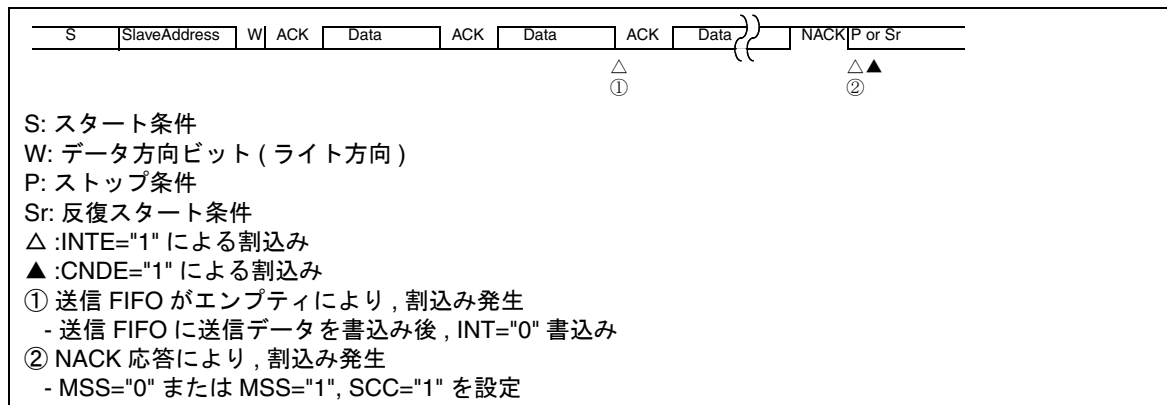


図 36.8-25 FIFO 禁止によるマスタ送信の割込み 10 (SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")

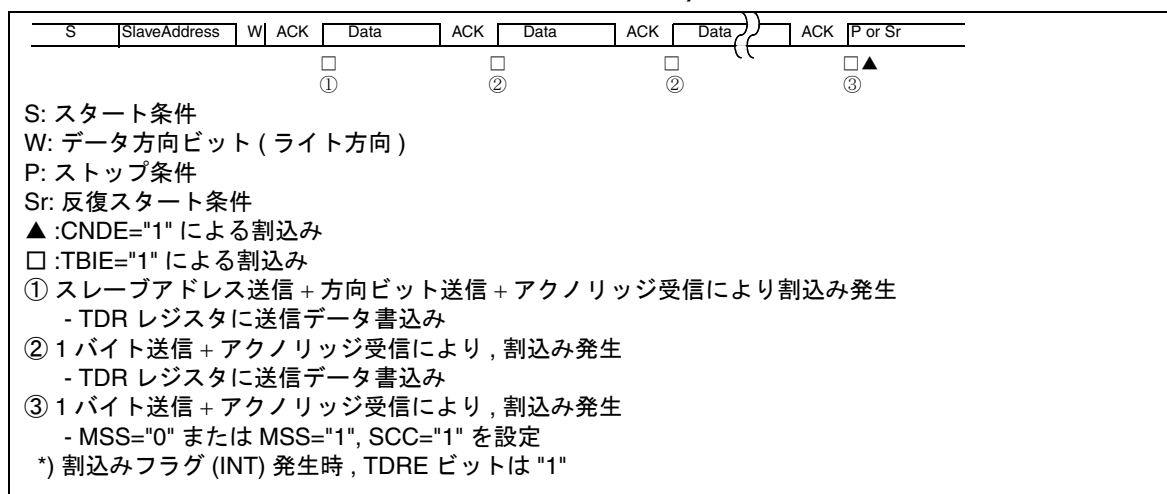


図 36.8-26 FIFO 禁止によるマスタ送信の割込み 11(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", ACK 応答)

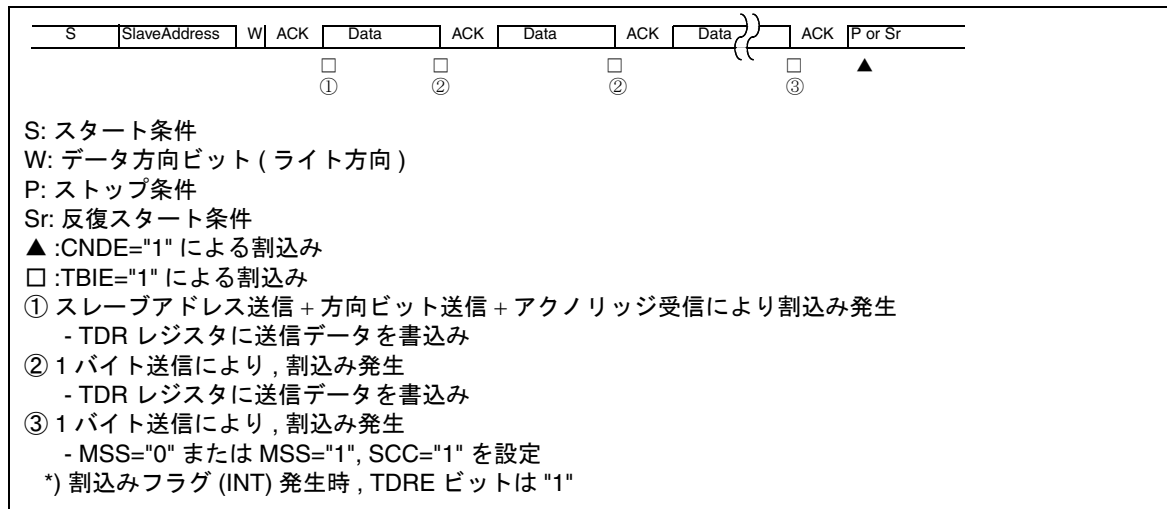


図 36.8-27 FIFO 禁止によるマスタ送信の割込み 12(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)

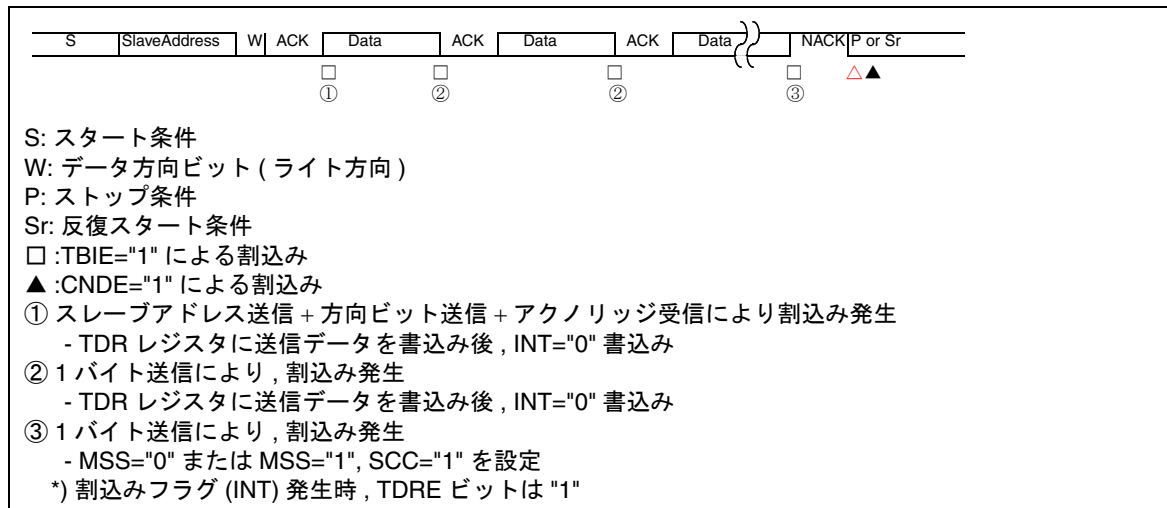


図 36.8-28 FIFO 禁止によるマスタ送信の割込み 13(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", 途中 NACK 応答)

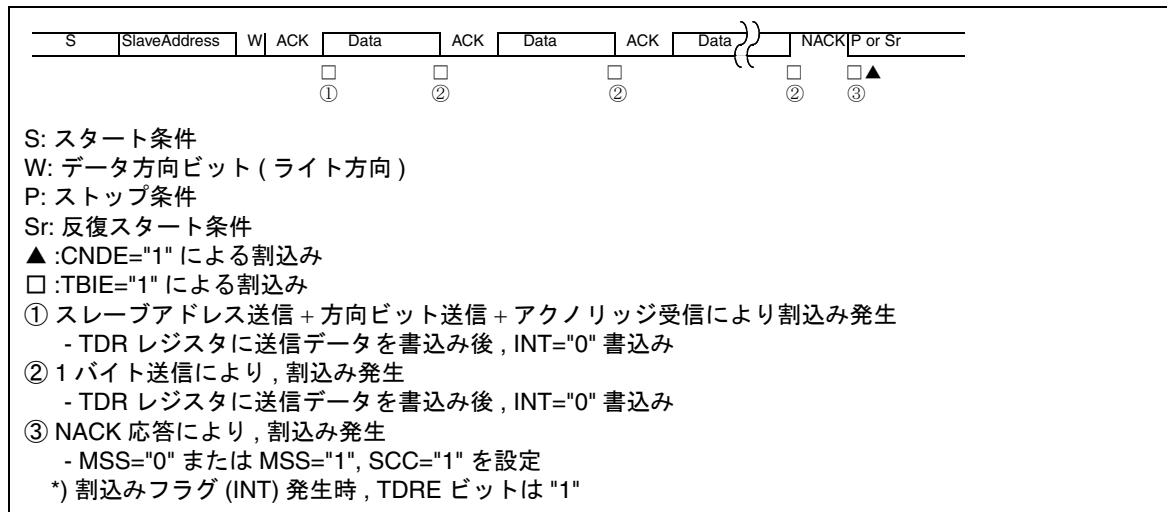


図 36.8-29 FIFO 禁止によるマスタ送信の割込み 14(SSR:DMA="1", IBCR:WSEL="1"->"0", IBSR:RSA="0", ACK 応答)

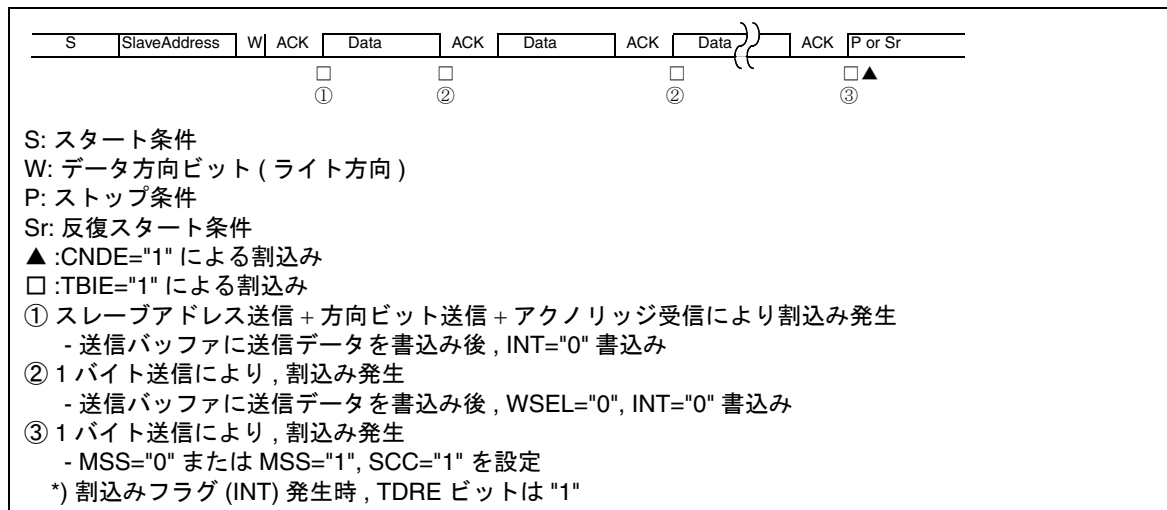


図 36.8-30 FIFO 禁止によるマスタ送信の割込み 15(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")

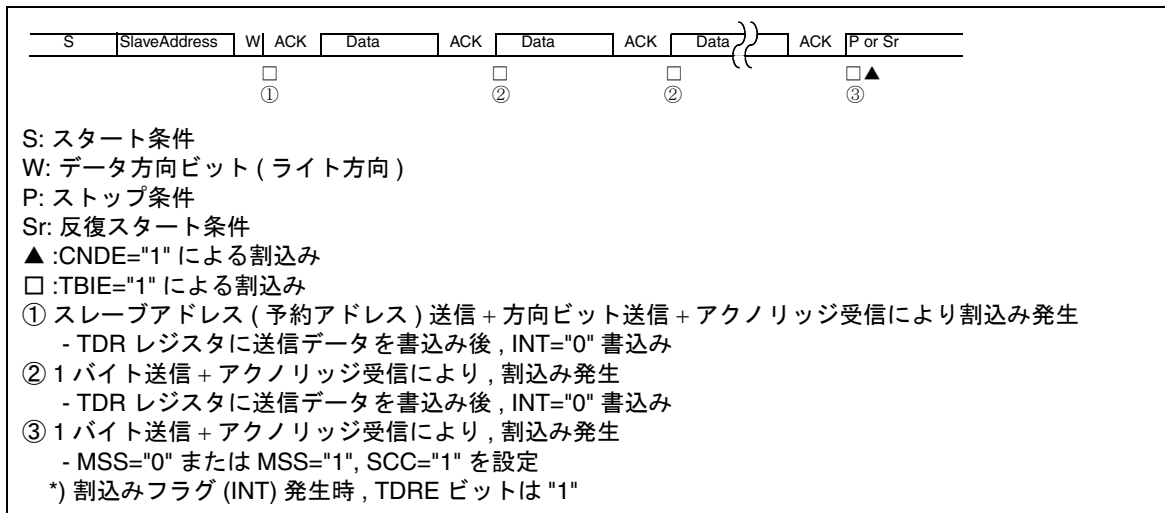


図 36.8-31 FIFO 許可によるマスタ送信の割込み 16(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)

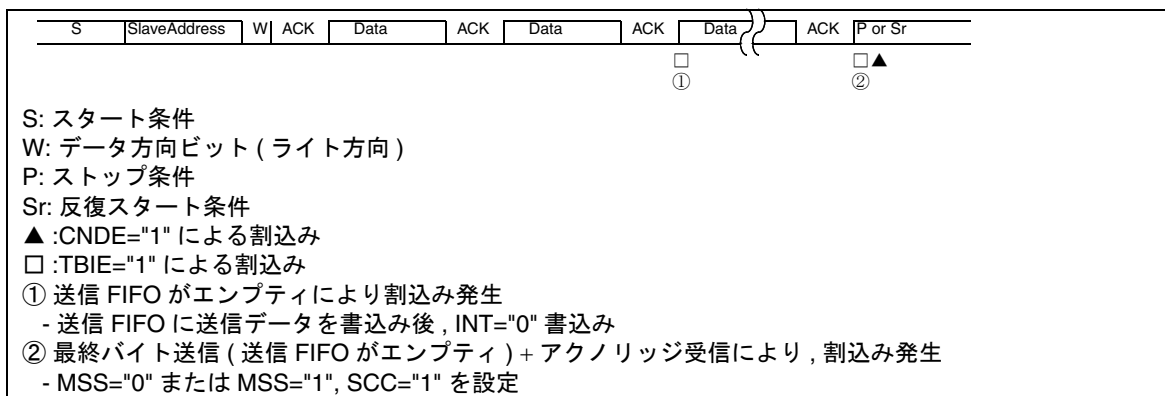


図 36.8-32 FIFO 許可によるマスタ送信の割込み 17(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")

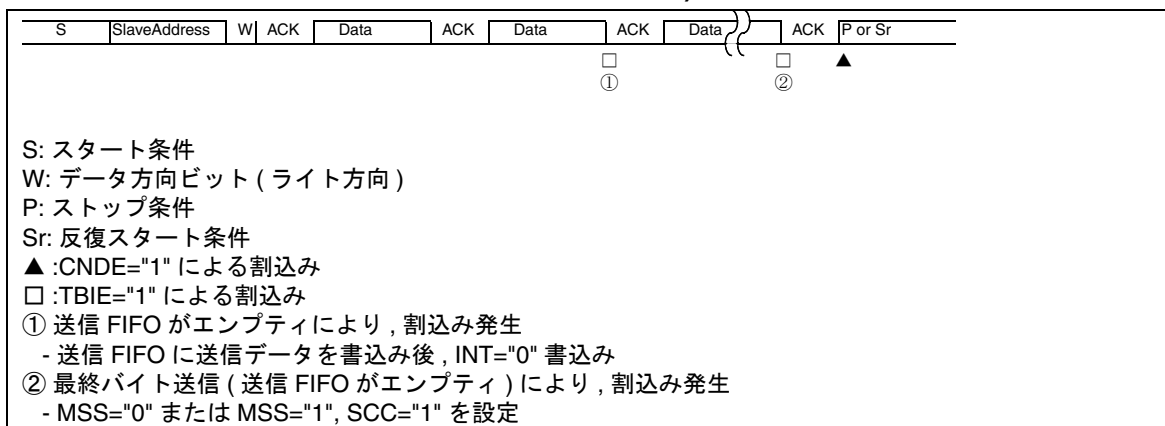
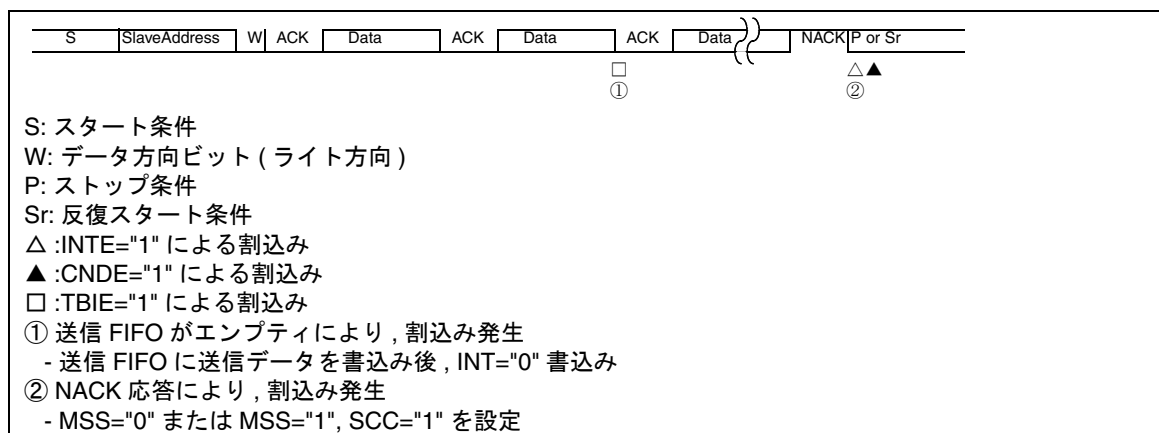


図 36.8-33 FIFO 許可によるマスタ送信の割込み 18(SSR:DMA="1", IBCR:WSEL="1",
IBSR:RSA="0", NACK 応答)



36.8.3.5 マスタによるデータ受信

■ DMA モード禁止の場合 (SSR:DMA="0")

データ方向ビット (R/W) が "1" の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは以下のように動作します。

- SSR:TDRE ビットが "1" であれば 1 バイト受信ごとにウェイトを発生 (IBCR:INT="1", SSR:RDRF="1") します。このとき、IBCR:WSEL ビットが "1" であればウェイト前、IBCR:WSEL ビットが "0" であればウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
- SSR:TDRE ビットが "0" であれば、IBCR レジスタの ACKE ビットの設定で ACK 応答であればウェイトは発生せず (IBCR:INT="0") に次のデータを受信し、NACK 応答であればウェイトが発生します (IBCR:INT="1")。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信すると SSR:RDRF ビットが "1" に設定されます。割込みフラグは SSR:TDRE ビットが "1" のときに "1" に設定され、I²C バスをウェイトします。このとき、アクノリッジは下記のように動作します。なお、NACK 出力した場合でも受信データとして受信 FIFO に格納します。

- IBCR:WSEL="0" の場合、SSR:TDRE ビットが "1" になると ACKE ビットの設定で NACK であれば NACK 応答します。
- IBCR:WSEL="1" の場合、最終バイト受信後に割込みフラグを "1" に設定され、ウェイトが発生します。そのウェイト中に IBCR:ACKE ビットを設定し、割込みフラグを "0" にクリアした後、IBCR:ACKE の設定に従って ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

表 36.8-7 マスタデータ受信時の WSEL ビット

WSEL	動作
0	第 2 バイト以降、SSR:TDRE ビットが "1" でアクノリッジ後、割込みフラグ (IBCR:INT) を "1", SCL を "L" にしてウェイト状態にします。
1	第 2 バイト以降、SSR:TDRE ビットが "1" でマスタが 1 バイトのデータを受信後、割込みフラグ (IBCR:INT) を "1", SCL を "L" にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

- 受信 FIFO が禁止されている場合
 - ① Slave Address (データ方向ビットも含む) を TDR レジスタに設定し、IBCR:MSS ビットに "1" を書きます。
 - ② Slave Address 送信後 ACK を受信し、割込みフラグ (IBCR:INT) が "1" に設定されます。
 - ③ IBCR:WSEL ビット更新と共に割込みフラグビット (IBCR:INT) に "0" を書き込み、I²C バスのウェイトを解除します。
 - ④ 1 バイト受信後 IBCR:WSEL="0" の場合アクノリッジ送信後、IBCR:WSEL="1" の場合 1 バイト受信直後に割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を受信するまで 3. ～ 4. を繰り返します。
 - ⑤ 最終データ受信後、NACK を出力し、IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定し、ストップ条件または反復スタート条件を発生させます。

• 送受信 FIFO が許可されている場合

- ① FBYTE レジスタに受信数を設定します。
- ② Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書きます。
- ③ IBCR:MSS ビットに "1" を書きます。
- ④ SSR:TDRE ビットが "0" の間, ACK 応答し, 受信し続けます。その受信中に FBYTE に設定数分受信した場合, SSR:RDRF を "1" にします。SSR:RDRF が "1" になったところで RDR レジスタを読み出します。
- ⑤ SSR:TDRE ビットが "1" になると IBCR:WSEL="0" の場合 NACK 出力後, IBCR:WSEL="1" の場合 1 バイト受信直後に割込みフラグを "1" にして I²C バスをウェイトします。
- ⑥ IBCR:WSEL="1" の場合, IBCR:ACKE ビットを "0" に設定し, IBCR:WSEL="0" の場合 IBCR:ACKE ビットの設定は必要なく, IBCR:MSS ビットに "0" または IBCR:SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

■ DMA モード許可の場合 (SSR:DMA="1")

データ方向ビット (R/W) が "1" の場合, スレーブから送信されたデータを受信します。

FIFO 禁止の場合, マスタは以下のように動作します。

- SSR:TDRE ビットが "1" であれば 1 バイト受信ごとにウェイトを発生 (SSR:TBI="1", SSR:RDRF="1") します。このとき, IBCR:WSEL ビットが "1" であればウェイト前, IBCR:WSEL ビットが "0" であればウェイト後, IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
- SSR:TDRE ビットが "0" の場合, 1 バイト受信ごとにウェイトを発生 (SSR:RDRF="1") します。このとき, IBCR:WSEL ビットが "1" であればウェイト前, IBCR:WSEL ビットが "0" であればウェイト後, IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。

FIFO 許可の場合, 受信バイト数設定と同じバイト数分を受信した場合, SSR:RDRF ビットがセットされます。送信バスアイドルフラグ (SSR:TBI) は SSR:TDRE ビットが "1" のときに設定し, I²C バスをウェイトします。このとき, アクノリッジは下記のように動作します。なお, NACK 出力した場合でも受信データとして受信 FIFO に格納します。

- IBCR:WSEL="0" の場合, SSR:TDRE ビットが "1" になると ACKE ビットの設定で NACK であれば NACK 応答します。
- IBCR:WSEL="1" の場合, 最終バイト受信後ウェイト (SSR:TBI="1") が発生しますのでそのウェイト中に IBCR:ACKE ビットを設定し, 送信バスアイドルフラグ (SSR:TBI) をクリア後, IBCR:ACKE の設定に従って ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

表 36.8-8 マスタデータ受信時の WSEL ビット

WSEL	動作
0	第 2 バイト以降, SSR:TDRE ビットが "1" でアクノリッジ後, 送信バスアイドルフラグ (SSR:TBI) を "1", SCL を "L" にしてウェイト状態にします。 第 2 バイト以降, 受信 FIFO 未使用時にアクノリッジ後に受信データフルフラグ (SSR:RDRF) が "1" セットされてる場合, SCL を "L" にしてウェイト状態にします。
1	第 2 バイト以降, SSR:TDRE ビットが "1" でマスタが 1 バイトのデータを受信後, 割込みフラグ (SSR:TBI) を "1", SCL を "L" にしてウェイト状態にします。 第 2 バイト以降, 受信 FIFO 未使用時に受信データフルフラグ (SSR:RDRF) が "1" に設定されるとデータ受信後, SCL を "L" にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

• 受信 FIFO が禁止されている場合

- ① Slave Address(データ方向ビットも含む)を TDR レジスタに設定し, IBCR:MSS ビットに "1" を書きます。
- ② Slave Address 送信後 ACK を受信し, 送信バスアイドルフラグ (SSR:TBI) が "1" に設定されます。
- ③ TDR レジスタに送信するデータを書込み, I²C バスのウェイトを解除します。
- ④ 1 バイト受信後, 下記の条件で送信バスアイドルフラグ (SSR:TBI) および受信データフルフラグ (SSR:RDRF)*2 を "1" にして I²C バスをウェイトします。
 - IBCR:WSEL="0" の場合アクノリッジ送信後
 - IBCR:WSEL=1 の場合 1 バイト受信直後
- ⑤ IBCR:WSEL ビット更新し, RDR レジスタを読み出し, ダミーのデータを TDR レジスタに書きます。
- ⑥ 1 バイト受信後, 下記の条件で送信バスアイドルフラグ (SSR:TBI) および受信データフルフラグ (SSR:RDRF)*2 を "1" にして I²C バスをウェイトします。
 - IBCR:WSEL="0" の場合アクノリッジ送信後
 - IBCR:WSEL=1 の場合 1 バイト受信直後
 所定のデータ数を受信するまで 5. ～ 6. を繰り返します。
- ⑦ 最終データ受信後, NACK を出力し, IBCR:MSS ビットに "0" または IBCR:SCC*1 ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

• 送受信 FIFO が許可されている場合

- ① FBYTE レジスタに受信数を設定します。
 - ② Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書きます。
 - ③ IBCR:WSEL="0" の場合は ACKE ビットの設定で NACK にし, IBCR:MSS ビットに "1" を書きます。
 - ④ SSR:TDRE ビットが "0" の間, ACK 応答し, 受信し続けます。その受信中に FBYTE に設定数分受信した場合, SSR:RDRF を "1" にします。SSR:RDRF が "1" になったところで RDR レジスタを読み出します。
 - ⑤ SSR:TDRE ビットが "1" になると IBCR:WSEL="0" の場合 NACK 出力後割込みフラグを "1" にして I²C バスをウェイトします。IBCR:WSEL="1" の場合 1 バイト受信直後に送信バスアイドルフラグ (SSR:TBI) を "1" にして I²C バスをウェイトします。
 - ⑥ IBCR:WSEL="1" の場合, IBCR:ACKE ビットを "0" に設定し, IBCR:WSEL="0" の場合 IBCR:ACKE ビットの設定は必要なく, IBCR:MSS ビットに "0" または IBCR:SCC*1 ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。
- *1: DMA モードが許可 (SSR:DMA="1") で SSR:TBI ビットが "1" で IBCR:INT ビットが "0" のときに反復スタート条件を発行する場合は, 下記の手順を行ってください。
1. IBCR:INT ビットに "1" を書き込んでください。
 2. IBCR:INT ビットが "1" に設定されていることを確認してください。
 3. TDR にスレーブアドレスを書き込んでください。
 4. IBCR:SCC ビットに "1" を設定してください。
- *2: IBCR:WSEL の設定に関係なく 1 バイト受信直後に受信データフルフラグ (SSR:RDRF) は "1" に設定されます。第 2 バイト以降で受信データフルフラグ (SSR:RDRF) が "1" に設定されているとき, IBCR:WSEL="0" の場合アクノリッジ送信後, IBCR:WSEL="1" の場合 1 バイト受信直後に I²C バスをウェイトします。

(注意事項) • 7 ビットスレーブアドレスの検出を許可しているとき (ISBA:SAEN="1") にマスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。

- SSR:TDRE が "0" のとき, オーバランエラーが発生しても IBCR:ACKE ビットの設定に従ってアクノリッジを出力し, 次の処理を行います。
- 送受信中に IBCR レジスタを変更する場合, 割込みフラグ (IBCR:INT) が "1" または DMA モードが許可時 (SSR:DMA="1") は送信バスアイドルフラグ (SSR:TBI="1") が "1" のときに変更してください。
- DMA モードが禁止 (SSR:DMA="0") でマスタ受信時, TDR レジスタにダミーデータを書込み, 割込みフラグ (IBCR:INT) が "1" になるタイミングで SSR:TDRE ビットが "0" の場合, 割込みフラグ (IBCR:INT) は "0" のままで次のデータを受信します。

- ・ DMA モードが許可 (SSR:DMA="1") でマスタ受信時, TDR レジスタにダミーデータを書込み, 送信バスアイドルフラグ (SSR:TBI) が "1" になるタイミングで SSR:TDRE ビットが "0" の場合, 送信バスアイドルフラグ (SSR:TBI) は "0" のままで次のデータを受信します。
- ・ 受信 FIFO が許可, IBCR:WSEL="0" のときにデータを受信する場合, 最終ビット受信後 SSR:RDRF ビットが "1" に設定され, ACK 送信後割込みフラグ (IBCR:INT) が "1" と設定されます。

図 36.8-34 FIFO 禁止によるマスタ受信の割込み 1(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")

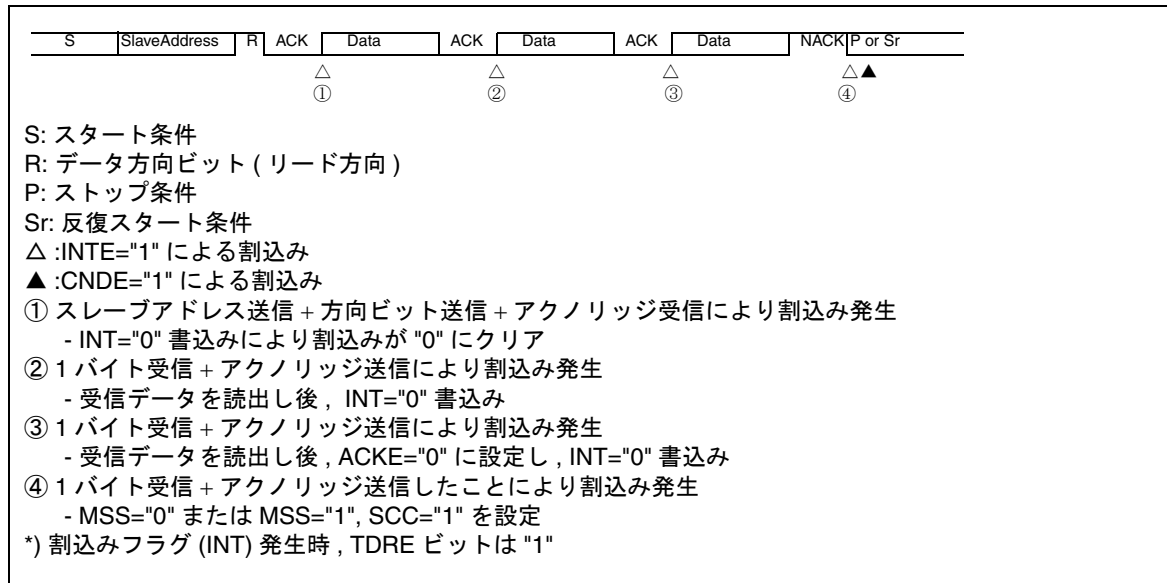


図 36.8-35 FIFO 禁止によるマスタ受信の割込み 2(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")

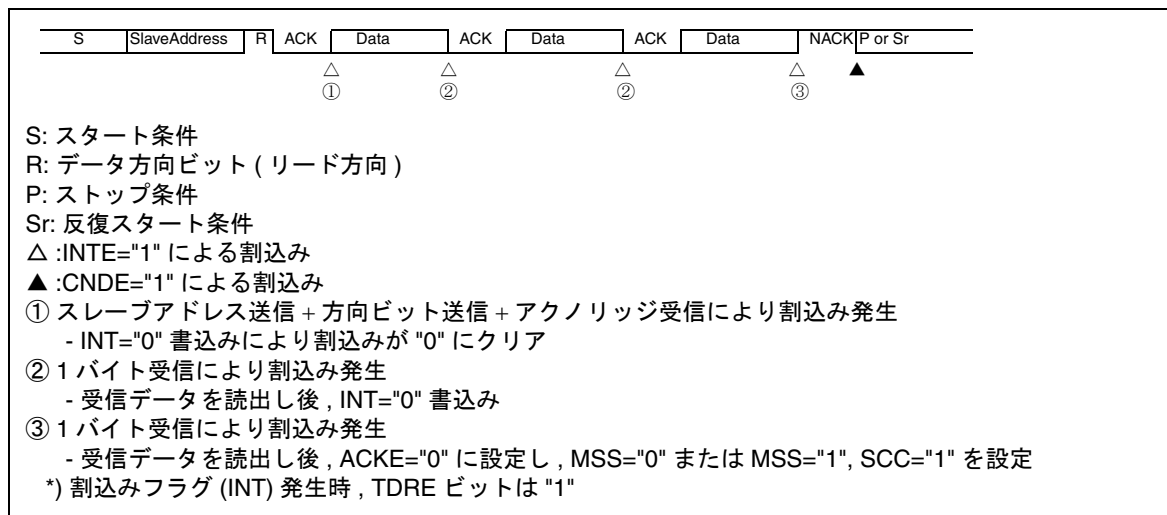


図 36.8-36 FIFO 許可によるマスタ受信の割り込み 3(SSR:DMA="0", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")

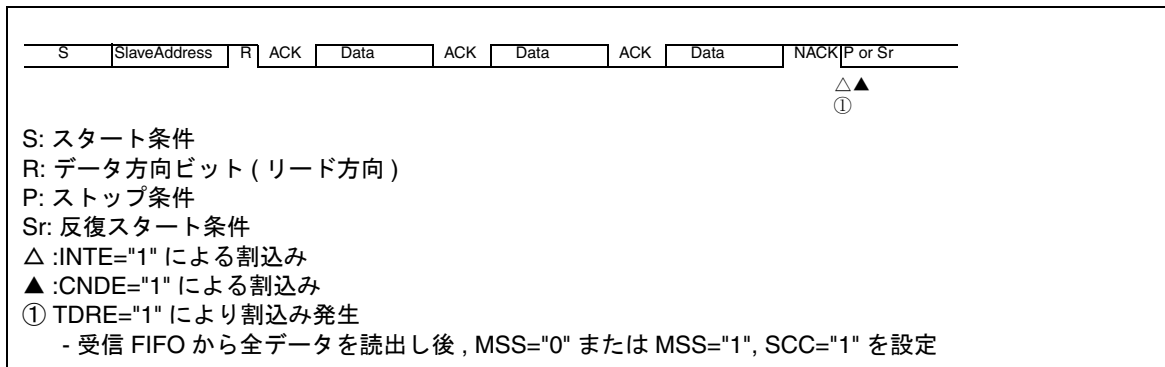


図 36.8-37 FIFO 許可によるマスタ受信の割り込み 4(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")

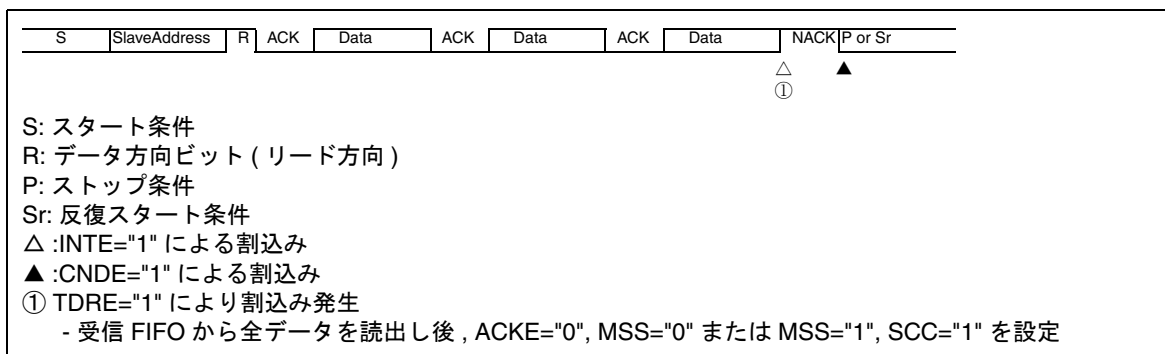


図 36.8-38 FIFO 禁止によるマスタ受信の割り込み 1(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")

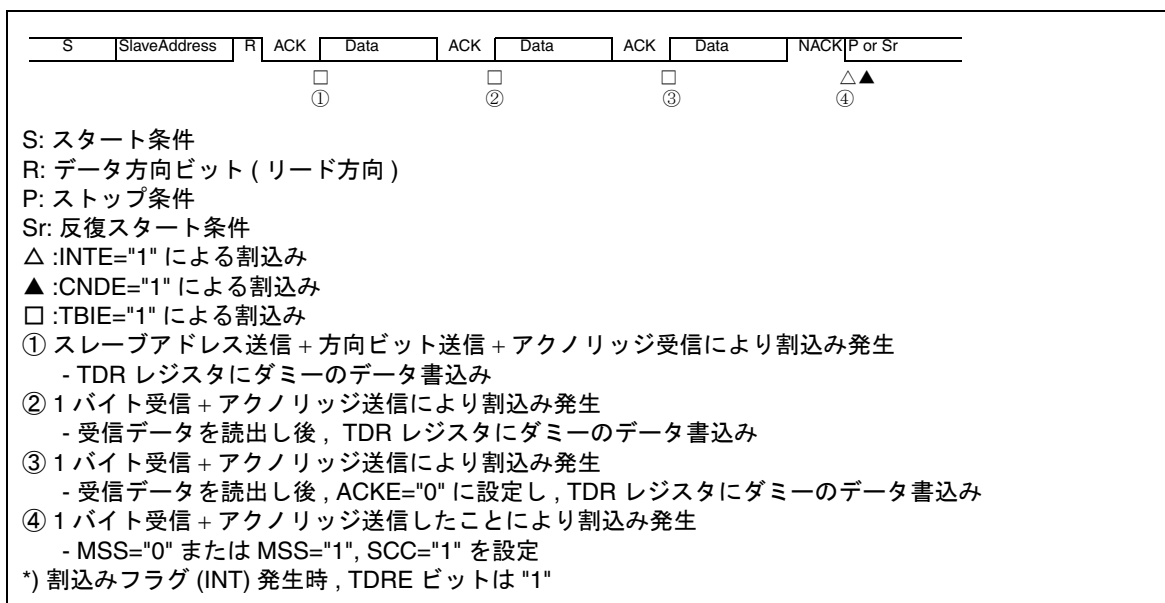


図 36.8-39 FIFO 禁止によるマスタ受信の割込み 2(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")

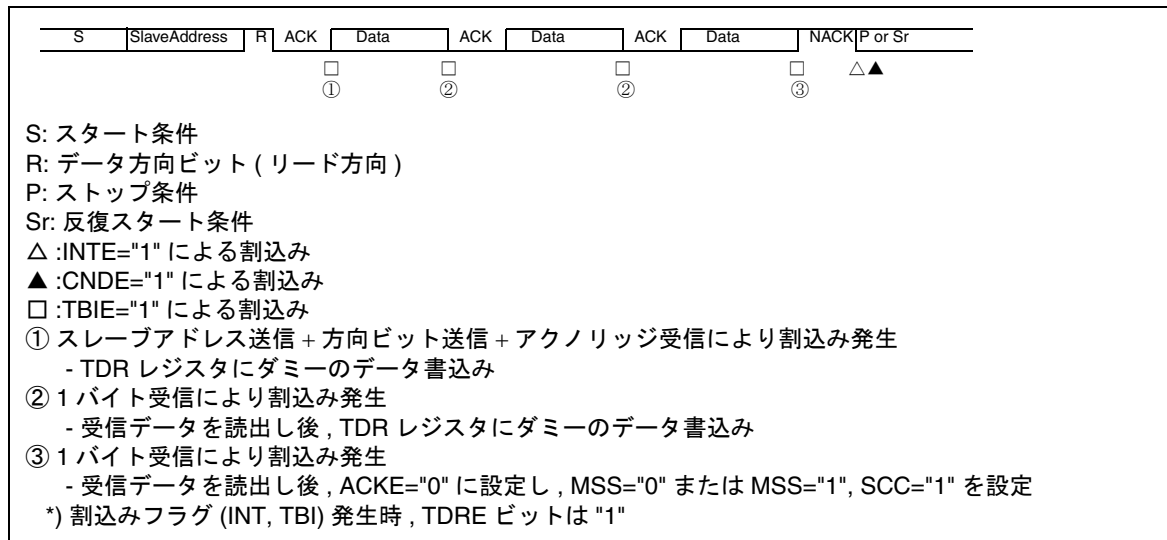


図 36.8-40 FIFO 許可によるマスタ受信の割込み 3(SSR:DMA="1", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")

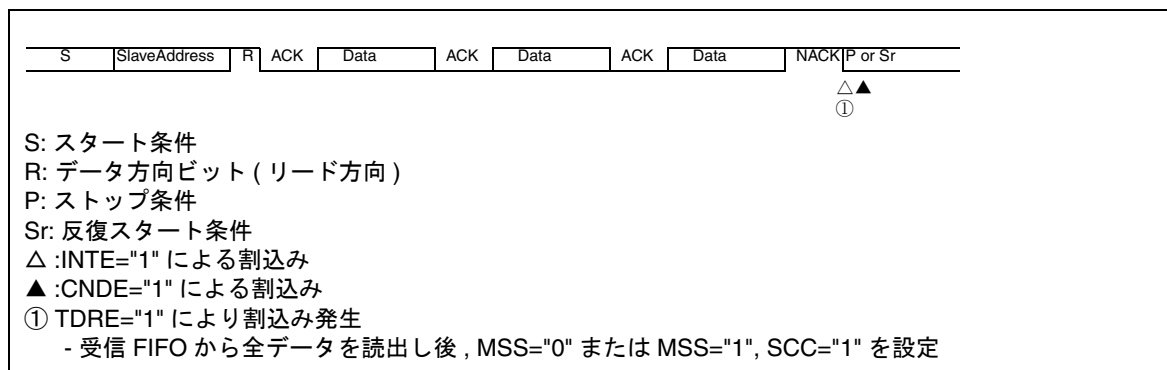
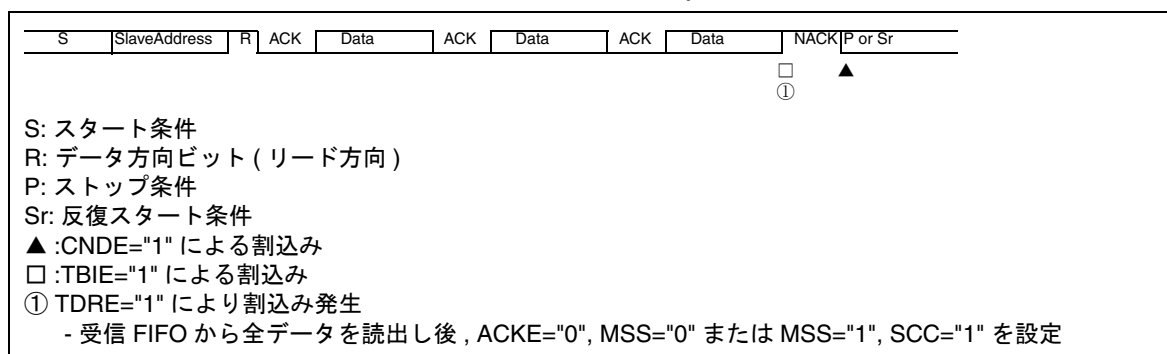


図 36.8-41 FIFO 許可によるマスタ受信の割込み 4(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



36.8.3.6 アービトレーションロスト

マスタがほかのマスタからのデータとデータが衝突し、送信したデータと異なるデータを受信した場合、アービトレーションロストと判断されます。そのとき、IBCR:MSS ビットが "0", IBSR:AL ビットが "1" に設定され、スレーブモードとして動作可能となります。

IBCR:AL ビットは、以下の条件で "0" にクリアできます。

- IBCR:MSS ビットへの "1" 書込み
- IBCR:INT ビットへの "0" 書込み
- IBCR:AL="1", IBCR:SPC="1" のときに IBCR:SPC ビットへの "0" 書込み
- I²C インタフェースの動作禁止 (ISMK:EN="0")

アービトレーションロストが発生した場合、IBCR:WSEL の設定に従って割込みフラグ (IBCR:INT) を "1" にし、I²C バスの SCL を "L" にします。

36.8.3.7 マスタモードのウェイト

下記条件を両方とも満たす場合において、IBSR:BB ビットが "1" の間、マスタモードをウェイトし、IBSR:BB ビットが "0" になってからスタート条件を送信します。

- IBSR:BB ビットが "1" のときに IBCR:MSS ビットに "1" を設定した場合
- スレーブモードとして動作していない場合

マスタモードがウェイト中かどうかは IBCR:MSS ビットと IBCR:ACT ビットで判断できます (IBCR:MSS="1", IBCR:ACT="0" であればウェイト状態)。IBCR:MSS ビットに "1" を設定後、スレーブモードとして動作する場合、IBSR:AL ビットを "1", IBCR:MSS ビットを "0", IBCR:ACT ビットを "1" にします。

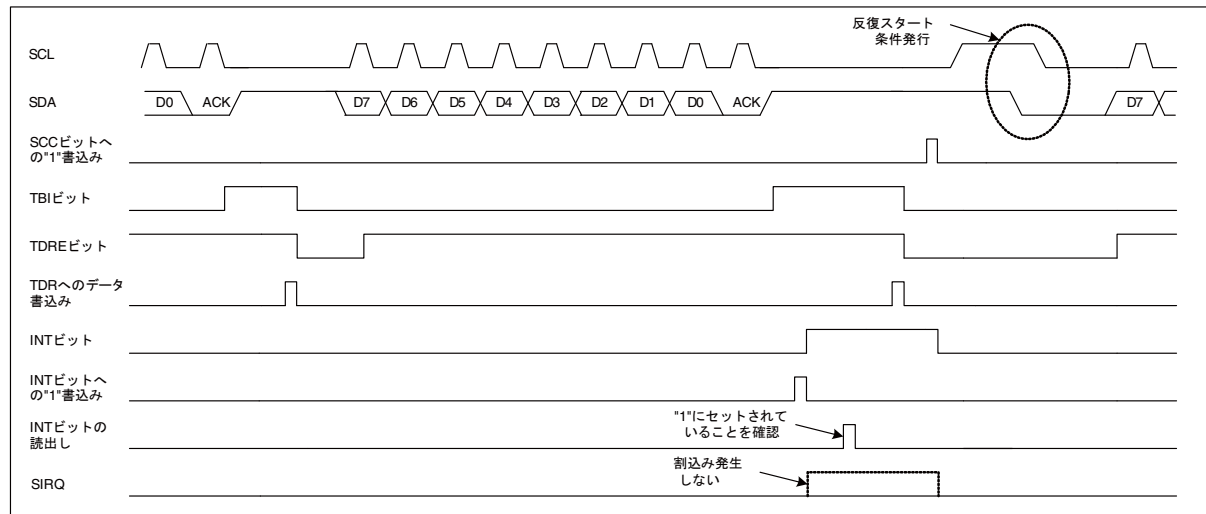
36.8.3.8 DMA モードが許可時 (SSR:DMA="1") の反復スタート条件発行

送信バスアイドル中 (SSR:TBI="1") で割込みフラグ (IBCR:INT) が "0" のときに、TDR レジスタにスレーブアドレスを書き込んだ場合、送信動作を開始してしまい、反復スタート条件を発行できません。

そのため送信バスアイドル中 (SSR:TBI="1") で割込みフラグ (IBCR:INT) が "0" のときに、反復スタート条件を発行する場合は下記の手順を行ってください。

1. IBCR:INT ビットに "1" を書き込みます。このとき、ステータス割込みは発生しません。
2. IBCR:INT ビットが "1" に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. 反復スタートを発行 (IBCR:SCC="1") してください。

図 36.8-42 DMA モードが許可時の反復スタート条件発行 (SSR:DMA="1", IBCR:WSEL="0",
IBSR:RSA="0", ACK 応答)



36.8.4 I²C スレーブモード

スレーブモードは (反復) スタート条件を検出し , ISBA レジスタと ISMK レジスタとの組み合わせと受信したアドレスが一致すると ACK 応答し , スレーブモードとして動作します。

(注意事項) スタート条件検出後のアドレスデータの転送中 , または bit2～bit9(アクノリッジビット)の転送中に , 再度スタート条件を検出した場合 , バスエラーを検出 (IBCR:BER="1") し , 受信を中断するため , 次のデータが受信できません。
この場合 , 割込みフラグ (IBCR:INT) のクリア後にマスタからスタート条件の再送処理が必要になります。

36.8.4.1 スレーブアドレス一致検出

(反復) スタート条件を検出後 , 次のデータの 7 ビットがアドレスとして受信します。 ISMK レジスタで "1" がセットされているビットについて ISBA レジスタと受信アドレスの各ビットを比較し , 一致した場合 ACK を出力します。

表 36.8-9 スレーブアドレスに対するアクノリッジ出力直後の動作

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向 ビット (R/W)	アクノリッジ直後の動作	
					アクノリッジが ACK	アクノリッジが NACK
禁止	禁止	-	-	0	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。SSR:TDRE ビットが "0" であれば , IBCR:INT ビットは "0" のままでウェイトなし	IBCR:INT ビットは "0" のままでウェイトなし
				1	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。SSR:TDRE ビットが "0" であれば , IBCR:INT ビットは "0" のままでウェイトなし	
禁止	許可	-	データなし	0	IBCR:INT ビットは "0" のままでウェイトなし	IBCR:INT ビットは "0" のままでウェイトなし
			データあり		IBCR:INT ビットを "1" にしてウェイト	
			-	1	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。SSR:TDRE ビットが "0" であれば , IBCR:INT ビットは "0" のままでウェイトなし	
				0	SSR:TDRE ビットが "1" であれば , IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば , IBCR:INT ビットは "0" のままでウェイトなし	
許可	禁止	-	-	0	SSR:TDRE ビットが "1" であれば , IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば , IBCR:INT ビットは "0" のままでウェイトなし	IBCR:INT ビットは "0" のままでウェイトなし
				1	SSR:TDRE ビットが "1" であれば , IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば , IBCR:INT ビットは "0" のままでウェイトなし	
許可	許可	-	データなし	0	IBCR:INT ビットは "0" のままでウェイトなし	IBCR:INT ビットは "0" のままでウェイトなし
			データあり		IBCR:INT ビットを "1" にしてウェイト	
			-	1	SSR:TDRE ビットが "1" であれば IBCR:INT ビットを "1" にしてウェイト。SSR:TDRE ビットが "0" であれば , IBCR:INT ビットは "0" のままでウェイトなし	
				0	SSR:TDRE ビットが "1" であれば , IBCR:INT ビットを "1" にしてウェイト。 SSR:TDRE ビットが "0" であれば , IBCR:INT ビットは "0" のままでウェイトなし	

- 予約アドレス検出

第 1 バイト目で予約アドレス ("0000xxxx" または "1111xxxx") と一致した場合、送受信 FIFO の許可に依存せずに 8 ビット目のデータ受信後、IBCR:INT ビットを "1" にして I²C バスをウェイトします。このとき受信データを読み出した後、下記のように設定してください。

- スレーブとして動作させたい場合、IBCR:ACKE を "1" に設定してデータ方向ビット (IBSR:TRX) を確認し、送信方向であれば送信データを TDR に書込み、IBCR:INT ビットをクリアします。その後、スレーブとして動作します。
- スレーブとして動作させない場合、IBCR:ACKE を "0" にし、IBCR:INT ビットをクリアします。アクノリッジ出力後スレーブとして動作を行いません。

36.8.4.2 データ方向ビット

アドレス受信後、データの送受信を決めるデータ方向ビットを受信します。このビットが "0" のときマスタからの送信を示し、スレーブとしてはデータを受信します。

36.8.4.3 スレーブによる受信

スレーブアドレスが一致しデータ方向ビットが "0" のとき、スレーブモードによる受信を示します。スレーブモードによる受信の手順の一例は以下です。

■ DMA モード禁止の場合 (SSR:DMA="0")

- 受信 FIFO が禁止されている場合

- ① ACK 送信後、割込みフラグ (IBCR:INT) を "1" にして I²C バスをウェイトします。IBCR:MSS ビット、IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し、IBCR:ACKE ビットに "1"、割込みフラグ (IBCR:INT) に "0" を書いて I²C バスのウェイトを解除します。(表 36.8-9 を参照してください)
- ② 1 バイトのデータを受信後、IBCR:WSEL の設定に従って割込みフラグ (IBCR:INT) を "1" にして I²C バスをウェイトします。
- ③ RDR レジスタから受信したデータを読み出し、IBCR:ACKE ビットを設定後に割込みフラグ (IBCR:INT) に "0" を書いて I²C バスのウェイトを解除します。
- ④ ストップ条件または反復スタート条件を検出するまで 2. ～ 3. を繰り返します。

- 受信 FIFO が許可されている場合

- ① NACK の検出または受信 FIFO がフルになると割込みフラグ (IBCR:INT) は "1" になり、I²C バスをウェイトします。ストップ条件、反復スタート条件を検出した場合、IBSR:SPC ビット、IBSR:RSC ビットを "1" にして割込みフラグ (IBCR:INT) は "1" になりません (I²C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致した場合に SSR:RDRF ビットを "1" にします。そのとき、SMR:RIE ビットが "1" になっていると受信割込みが発生します。
- ② 割込みフラグ (IBCR:INT) が "1" になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出し後割込みフラグに "0" を書いて I²C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、IBSR:SPC ビットまたは IBSR:RSC ビットを "0" にクリアします。

■ DMA モード許可の場合 (SSR:DMA="1")

- 受信 FIFO が禁止されている場合
 - ① ACK 送信後、割込みフラグ (IBCR:INT) を "1" にして I²C バスをウェイトします。IBCR:MSS ビット、IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し、IBCR:ACKE ビットに "1", 割込みフラグ (IBCR:INT) に "0" を書いて I²C バスのウェイトを解除します。(表 36.8-9 を参照してください)
 - ② 1 バイトのデータを受信後、1 バイト受信直後に受信データフルフラグ (SSR:RDRF) を "1" に設定します。受信データフルフラグ (SSR:RDRF) が "1" に設定されているとき、IBCR:WSEL="0" の場合アクノリッジ送信後、IBCR:WSEL="1" の場合 1 バイト受信直後に I²C バスをウェイトします。
 - ③ IBCR:ACKE ビットを設定後 RDR レジスタから受信したデータを読み出しにより受信データフルフラグ (SSR:RDRF) を "0" にクリアして I²C バスのウェイトを解除します。
 - ④ ストップ条件または反復スタート条件を検出するまで 2. ～ 3. を繰り返します。
- 受信 FIFO が許可されている場合
 - ① NACK の検出により割込みフラグ (IBCR:INT) は "1" になり I²C バスをウェイトします。受信 FIFO がフルになると、I²C バスをウェイトします。ストップ条件、反復スタート条件を検出した場合、IBSR:SPC ビット、IBSR:RSC ビットを "1" にして割込みフラグ (IBCR:INT) は "1" になりません (I²C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致した場合、SSR:RDRF ビットを "1" にします。そのとき、SMR:RIE ビットが "1" になっていると受信割込みが発生します。
 - ② 割込みフラグ (IBCR:INT) が "1" になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出し後割込みフラグに "0" を書いて I²C バスのウェイトを解除します。受信 FIFO がフルになった場合、RDR レジスタから 1 回でも受信したデータを読み出せば I²C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、IBSR:SPC ビットまたは IBSR:RSC ビットを "0" にクリアします。

図 36.8-43 FIFO 禁止によるスレーブ受信の割り込み 1(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")

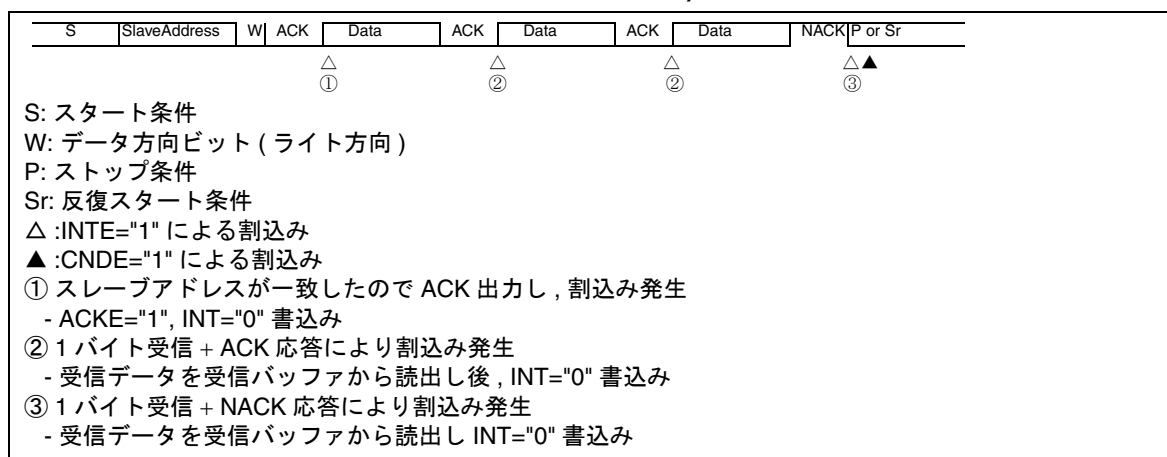


図 36.8-44 FIFO 禁止によるスレーブ受信の割込み 2 (SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")

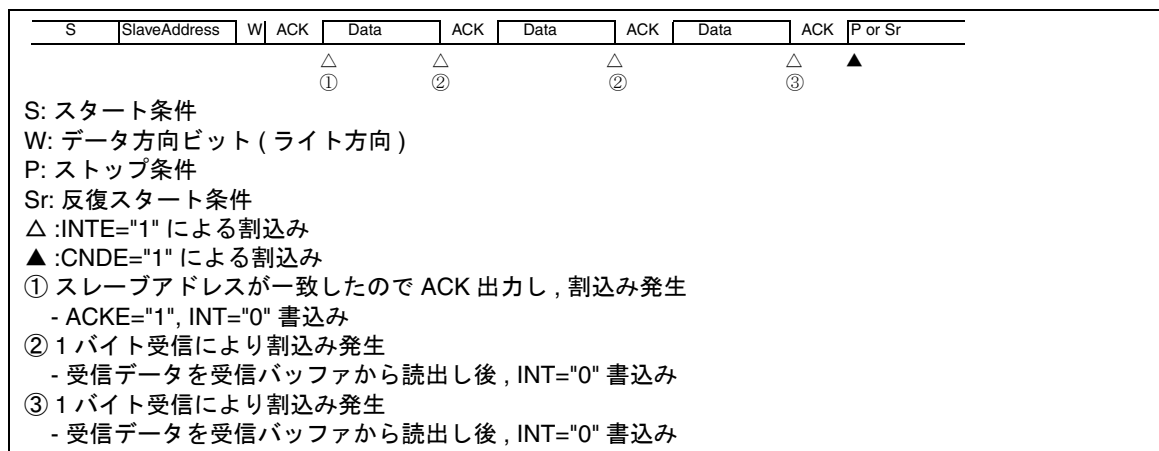


図 36.8-45 FIFO 禁止によるスレーブ受信の割込み 3 (SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")

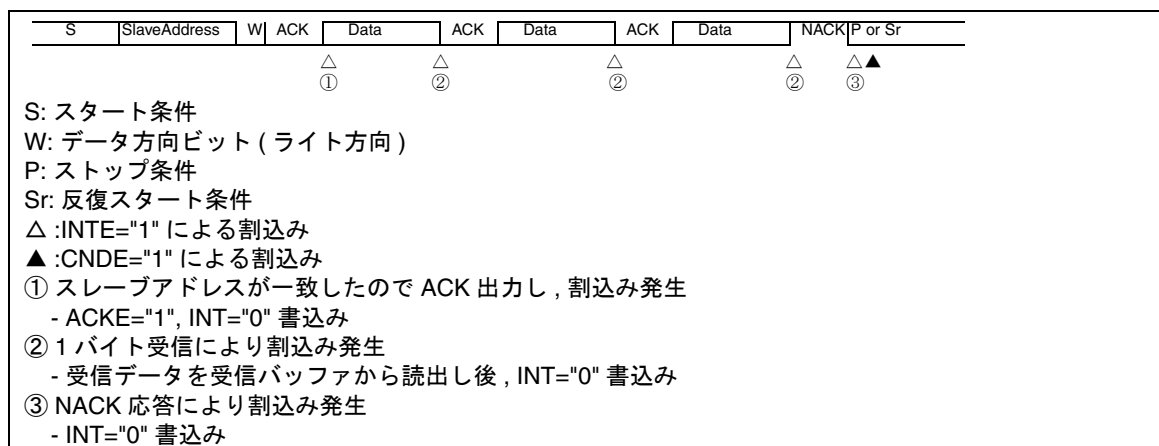


図 36.8-46 FIFO 許可によるスレーブ受信の割込み 4 (SSR:DMA="0" IBSR:RSA="0")

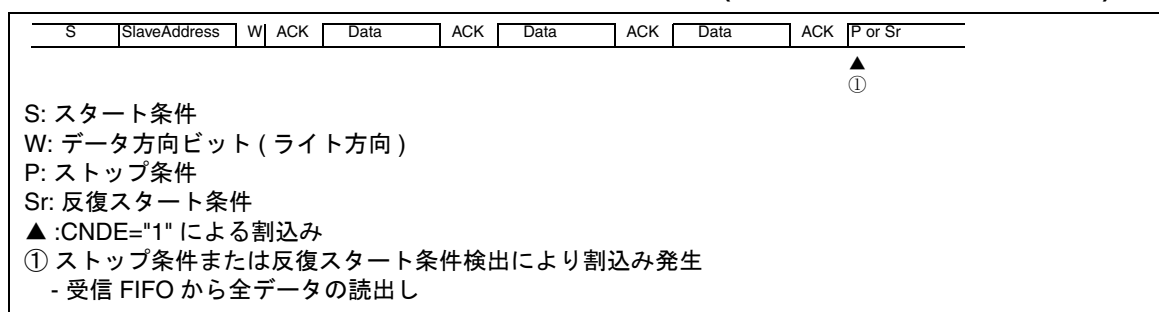


図 36.8-47 FIFO 許可によるスレーブ受信の割り込み 5 (SSR:DMA="0" IBSR:RSA="0")

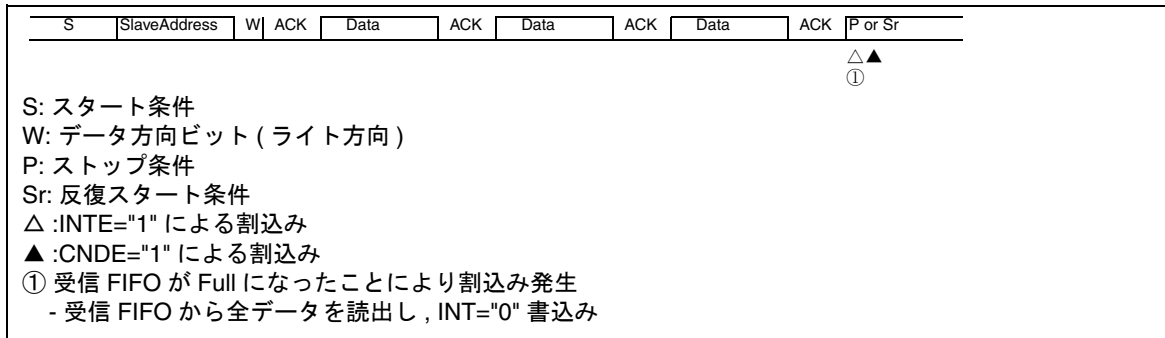


図 36.8-48 FIFO 許可によるスレーブ受信の割り込み 6 (SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")

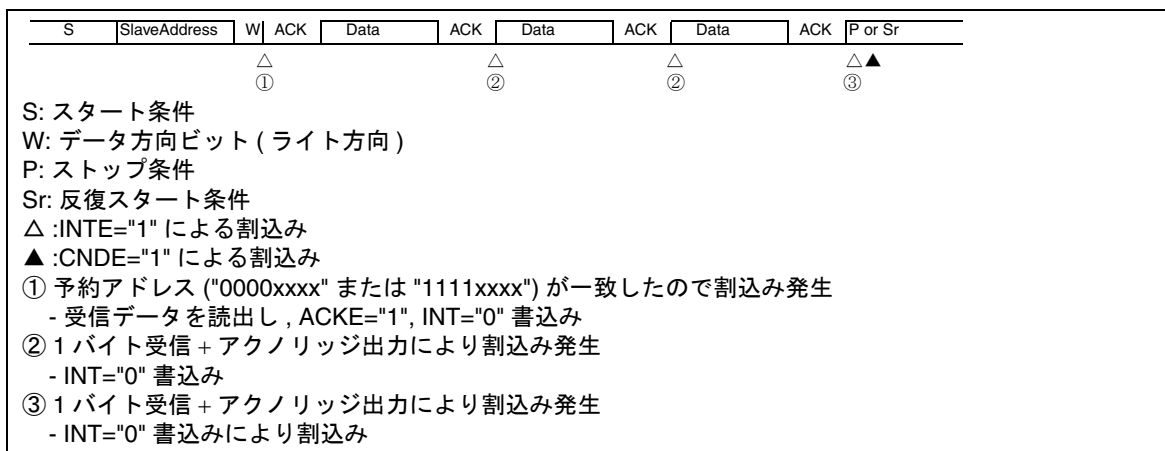


図 36.8-49 FIFO 禁止によるスレーブ受信の割り込み 7 (SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")

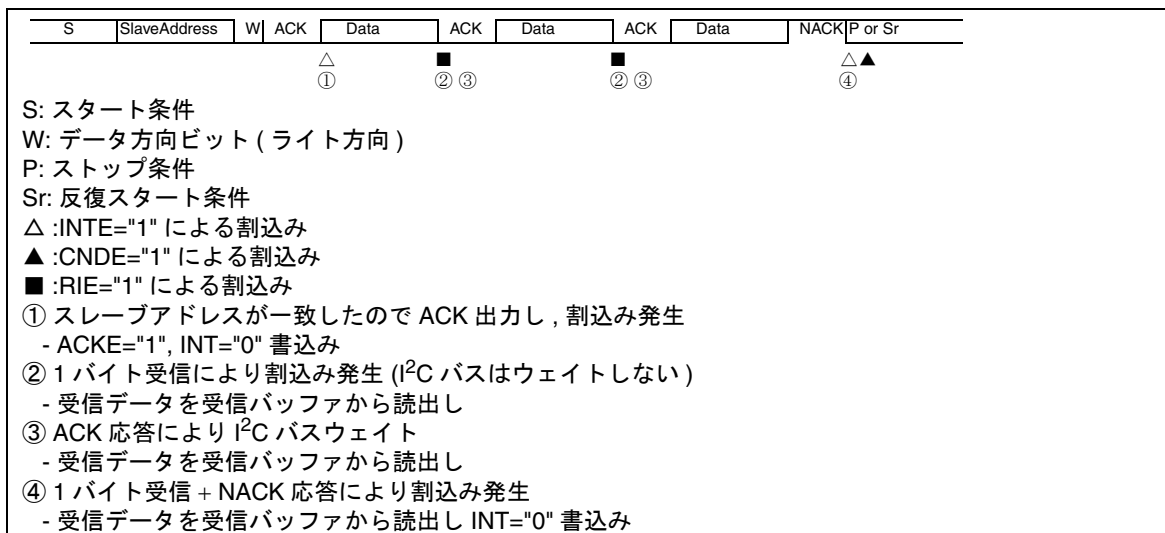


図 36.8-50 FIFO 禁止によるスレーブ受信の割込み 8 (SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")

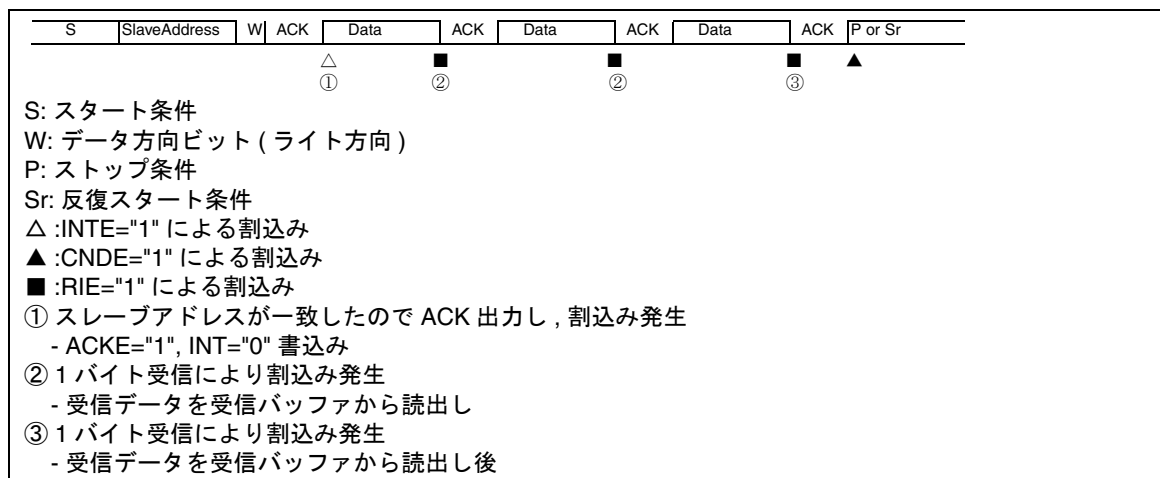


図 36.8-51 FIFO 禁止によるスレーブ受信の割込み 9 (SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")

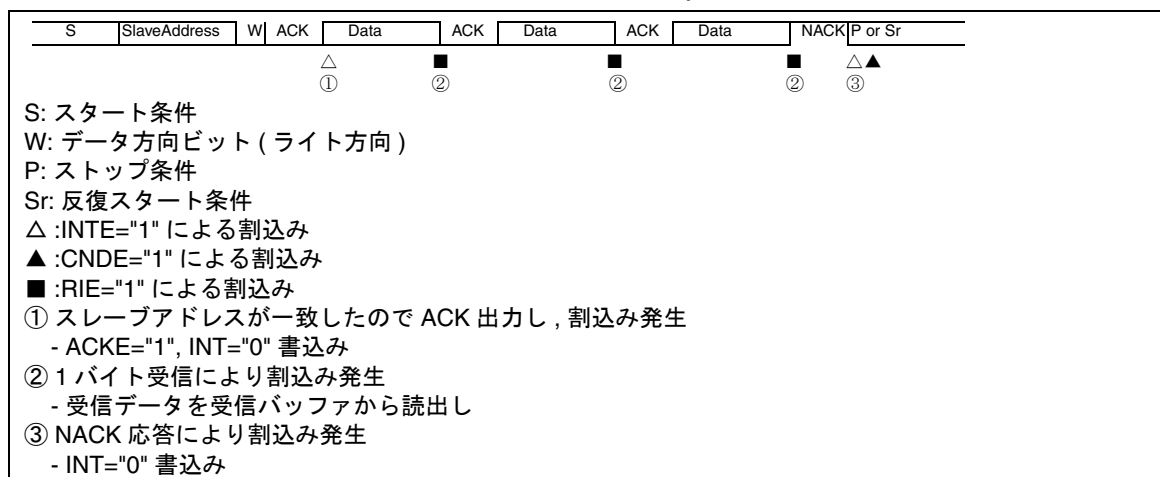


図 36.8-52 FIFO 許可によるスレーブ受信の割込み 10 (SSR:DMA="1" IBSR:RSA="0")

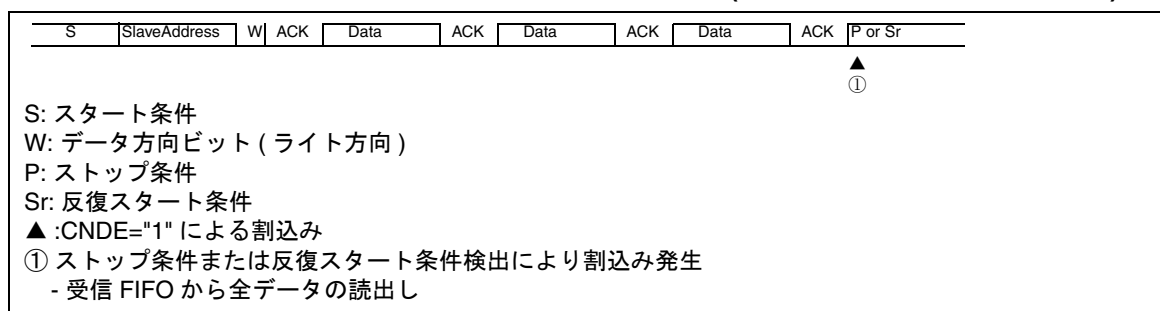


図 36.8-53 FIFO 許可によるスレーブ受信の割込み 11 (SSR:DMA="1" IBSR:RSA="0")

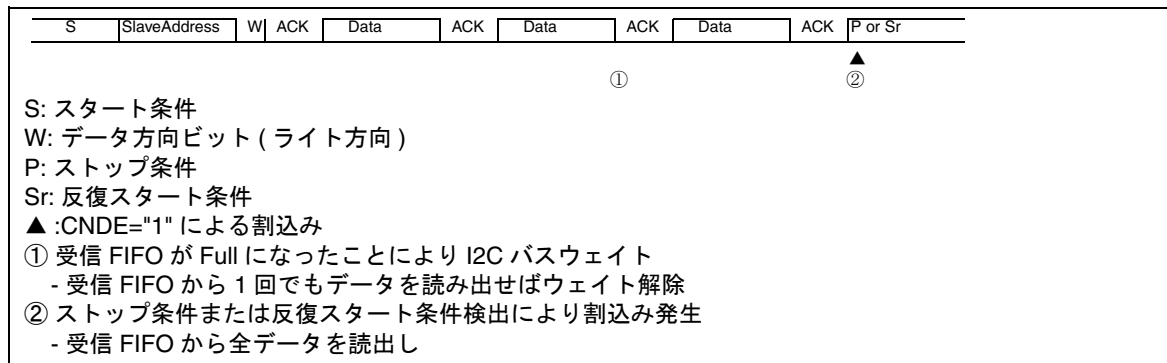
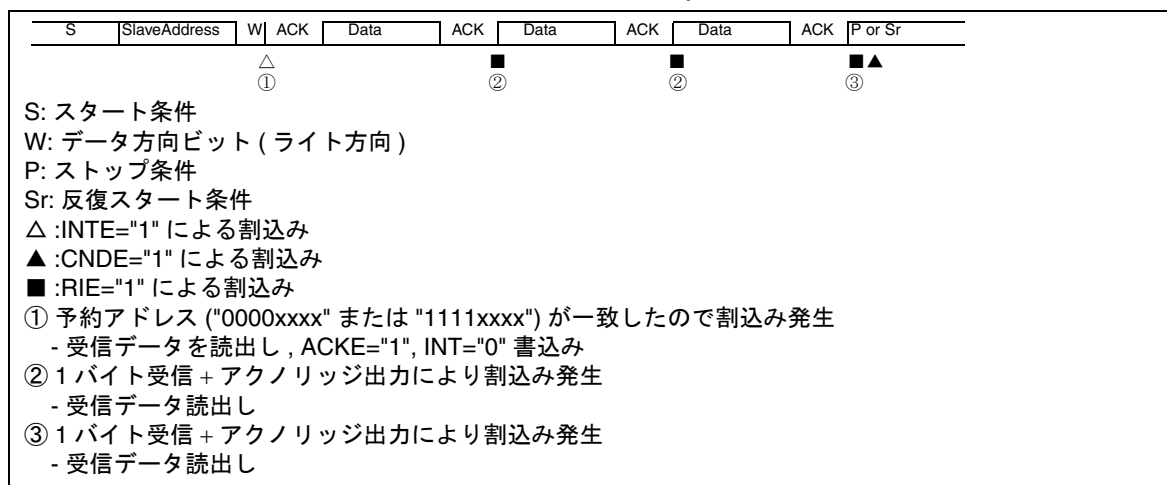


図 36.8-54 FIFO 許可によるスレーブ受信の割込み 12 (SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")



36.8.4.4 スレーブによる送信

スレーブアドレスが一致しデータ方向ビットが "1" のとき、スレーブによる送信を示します。FIFO 禁止の場合、IBCR:WSEL の設定により、1 バイト送信後またはアクノリッジ応答後に割込みフラグ (IBCR:INT) を "1" にし、ウェイトを発生します。(表 36.8-9 参照)。

マスタから出力されたアクノリッジは IBCR:RACK ビットにより確認できます。マスタから NACK 応答は、マスタが正しく受信できなかった、またはデータ受信の終了を示します。IBCR:WSEL=1 のときに NACK を検出した場合割込みが発生しウェイトします。

36.8.5 I²C のフローチャート例

図 36.8-55 DMA モードが禁止時 (SSR:DMA="0") の I2C フローチャート例 (FIFO 未使用時) 1/3

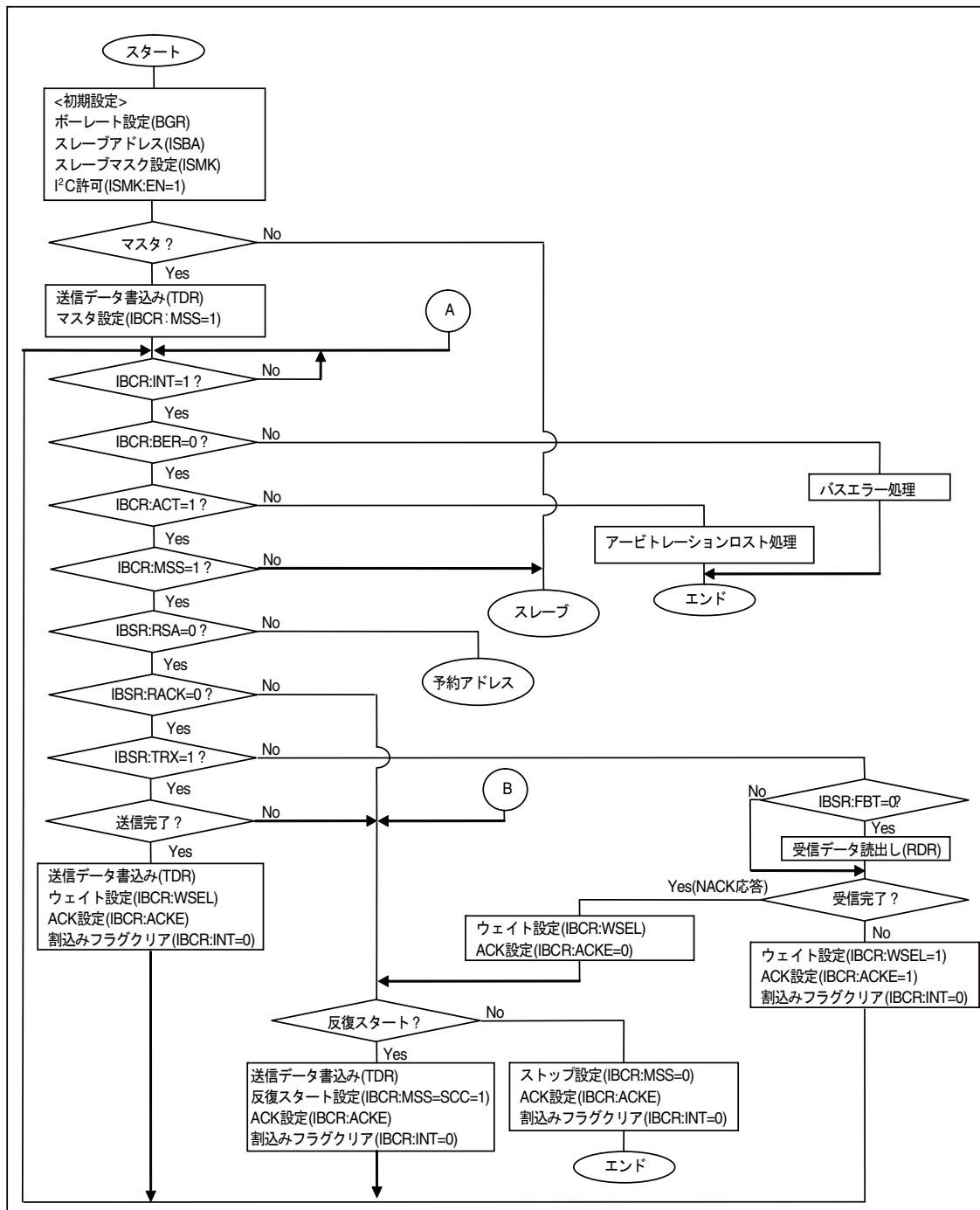


図 36.8-56 DMA モードが禁止時 (SSR:DMA="0") の I2C フローチャート例 (FIFO 未使用時) 2/3

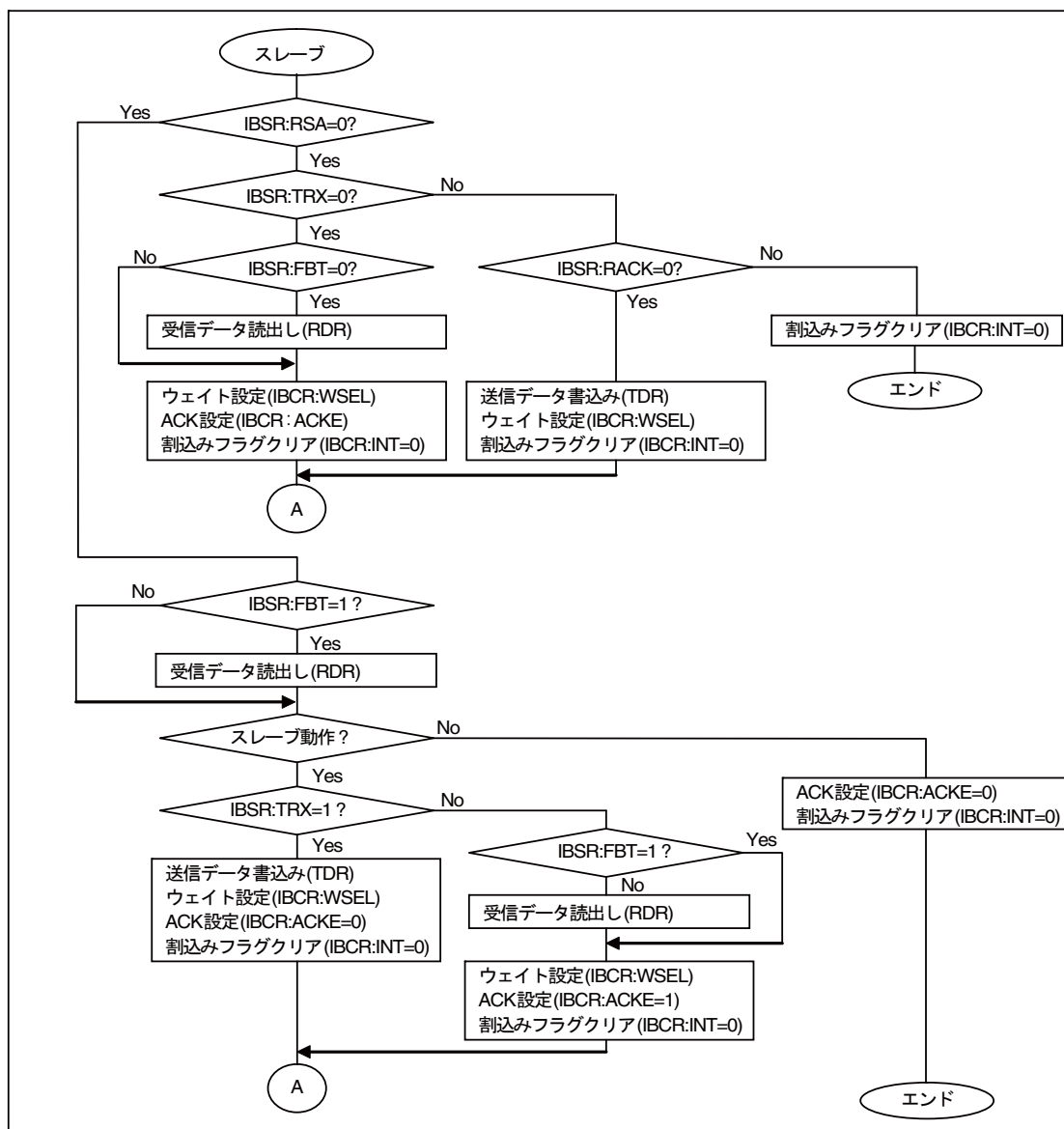


図 36.8-57 DMA モードが禁止時 (SSR:DMA="0") の I2C フローチャート例 (FIFO 未使用時) 3/3

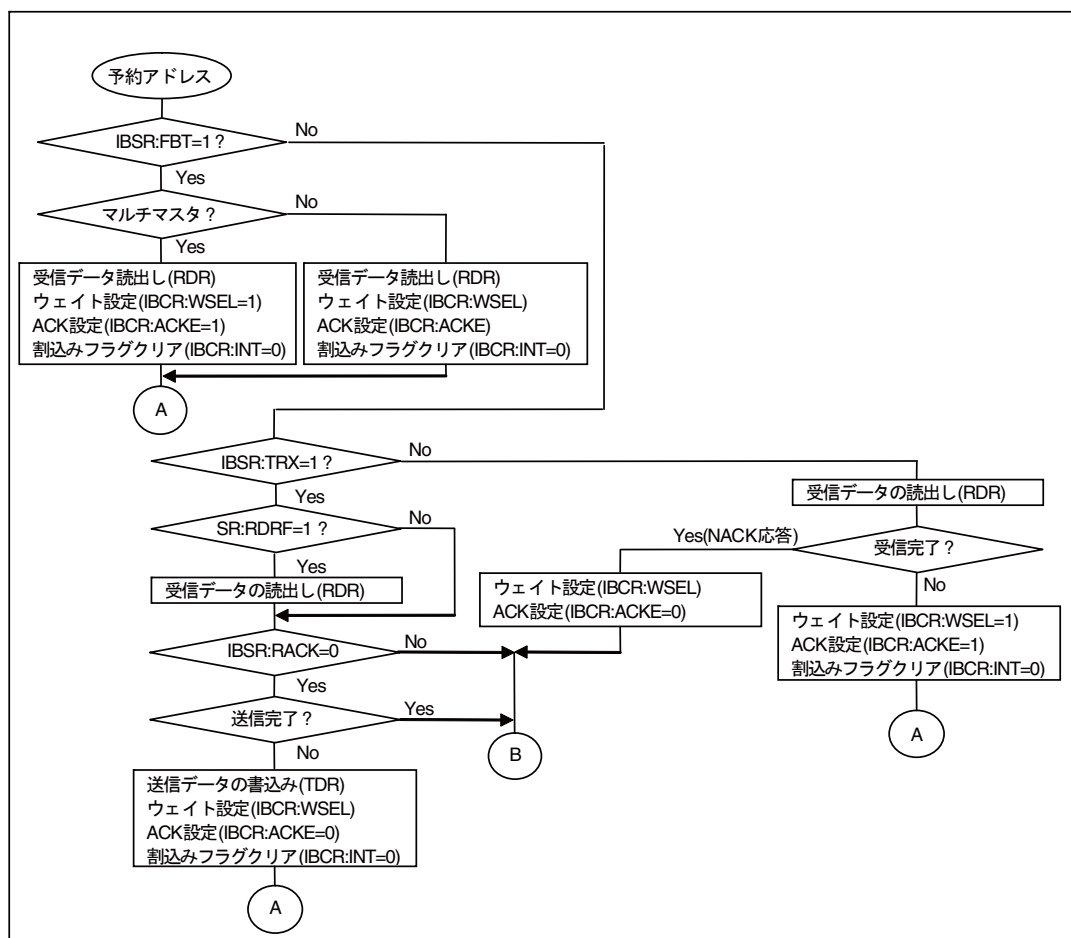


図 36.8-58 DMA モードが許可時 (SSR:DMA="1") の I2C フローチャート例 (FIFO 未使用時) 1/4

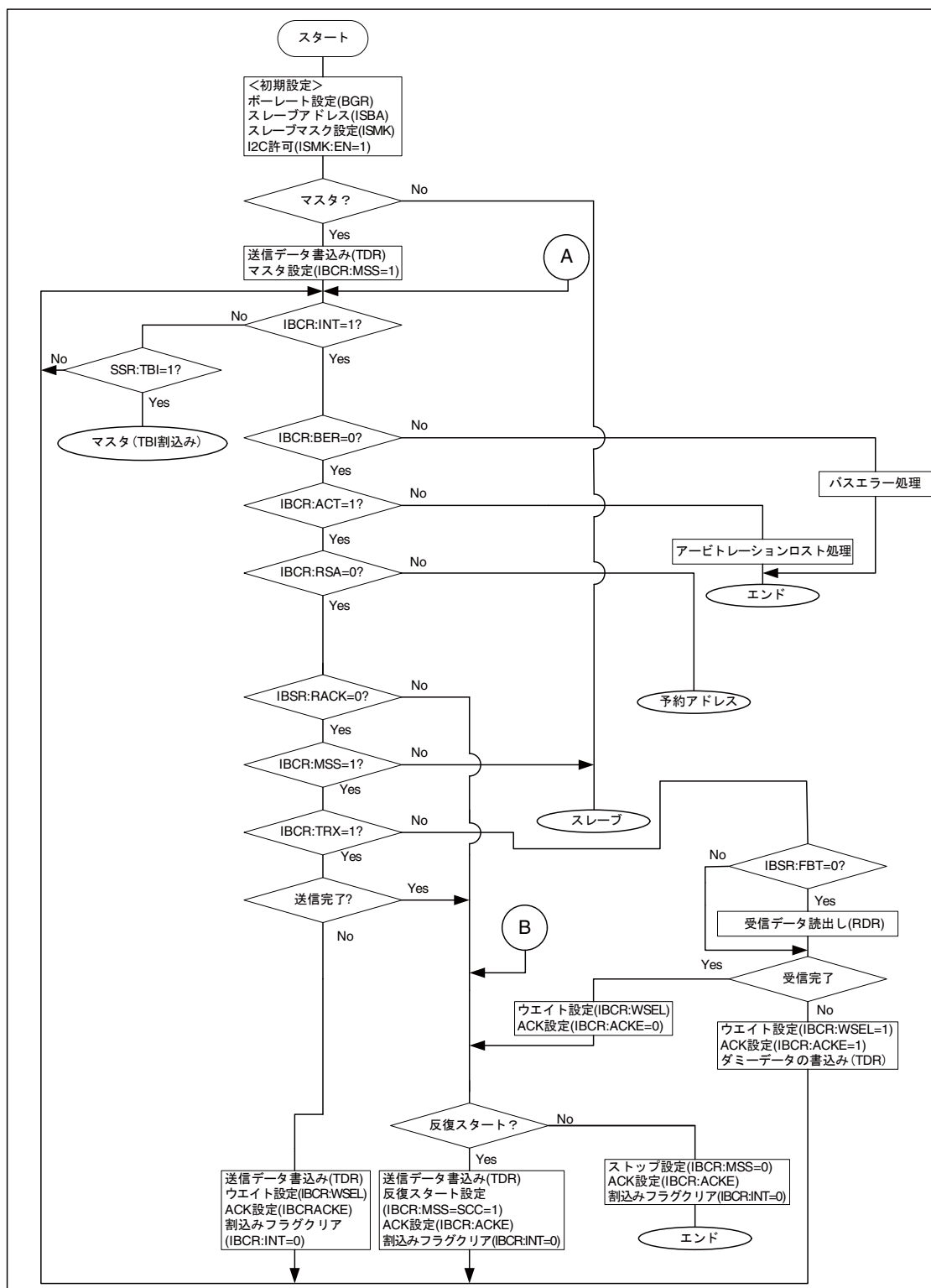
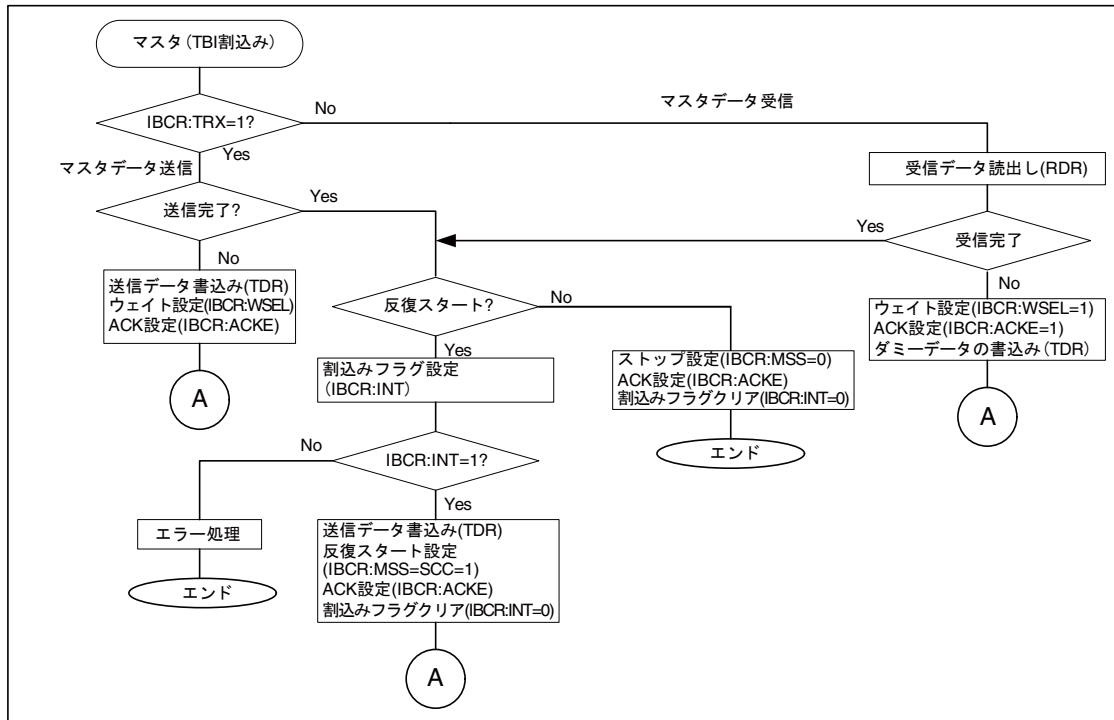


図 36.8-59 DMA モードが許可時 (SSR:DMA="1") の I2C フローチャート例 (FIFO 未使用時) 2/4




```

graph TD
    Start([スレープ]) --> D1{IBCR:INT=1?}
    D1 -- No --> D1
    D1 -- Yes --> D2{IBSR:RSA=0?}
    D2 -- No --> D1
    D2 -- Yes --> D3{IBSR:TRX=0?}
    D3 -- No --> D4{IBSR:RACK=0?}
    D3 -- Yes --> D5{IBSR:FBT=0?}
    D5 -- No --> D4
    D5 -- Yes --> P1[受信データ読出し(RDR)]
    P1 --> P2[ウェイト設定(BCR:WSEL)  
ACK設定(BCR:ACKE)  
割込みフラグクリア(BCR:INT=0)]
    P2 --> J1((A))
    D4 -- Yes --> P3[送信データ書込み(TDR)  
ウェイト設定(BCR:WSEL)  
割込みフラグクリア(BCR:INT=0)]
    P3 --> J1
    D4 -- No --> P4[割込みフラグクリア(BCR:INT=0)]
    P4 --> End1([エンド])
    D3 -- No --> D6{SSR:RDRF=1?}
    D6 -- Yes --> P5[スレープデータ受信  
ウェイト設定(BCR:WSEL)  
ACK設定(BCR:ACKE)  
受信データ読出し(RDR)]
    P5 --> J1
    D6 -- No --> D7{SSR:TBI=1?}
    D7 -- Yes --> P6[スレープデータ送信  
ウェイト設定(BCR:WSEL)  
送信データ書込み(TDR)]
    P6 --> J1
    D7 -- No --> J1
    J1 --> D8{IBSRFBT=1?}
    D8 -- No --> D8
    D8 -- Yes --> P7[受信データ読出し(RDR)]
    P7 --> D9{スレープ動作?}
    D9 -- No --> End2([エンド])
    D9 -- Yes --> D10{IBSR:TRX=1?}
    D10 -- No --> D11{IBSR:FBT=1?}
    D10 -- Yes --> P8[送信データ書込み(TDR)  
ウェイト設定(BCR:WSEL)  
ACK設定(BCR:ACKE)  
割込みフラグクリア(BCR:INT=0)]
    P8 --> J2((A))
    D11 -- Yes --> P9[受信データ読出し(RDR)]
    P9 --> D11
    D11 -- No --> P10[ウェイト設定(BCR:WSEL)  
ACK設定(BCR:ACKE)  
割込みフラグクリア(BCR:INT=0)]
    P10 --> J2
    J2 --> P11[ACK設定(BCR:ACKE=0)  
割込みフラグクリア(BCR:INT=0)]
    P11 --> End3([エンド])
  
```

図 36.8-61 DMA モードが許可時 (SSR:DMA="1") の I2C フローチャート例 (FIFO 未使用時) 4/4

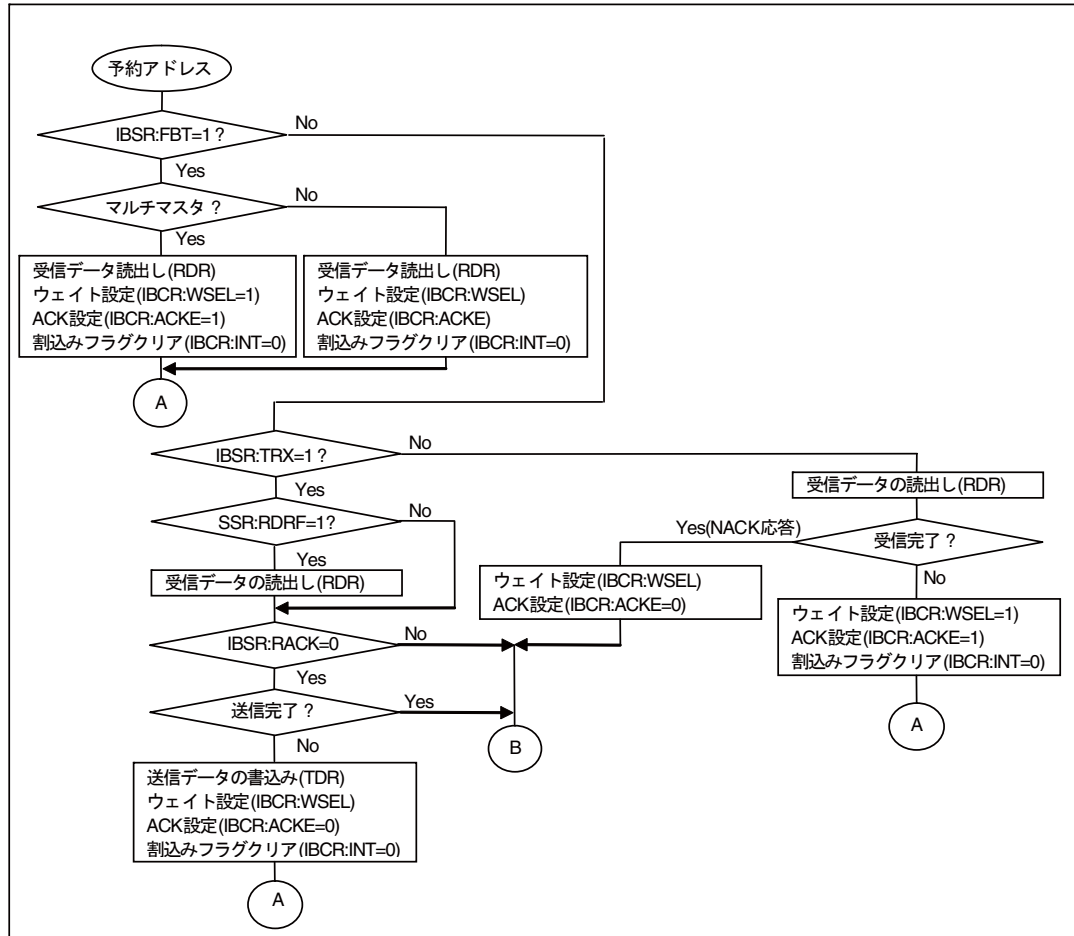
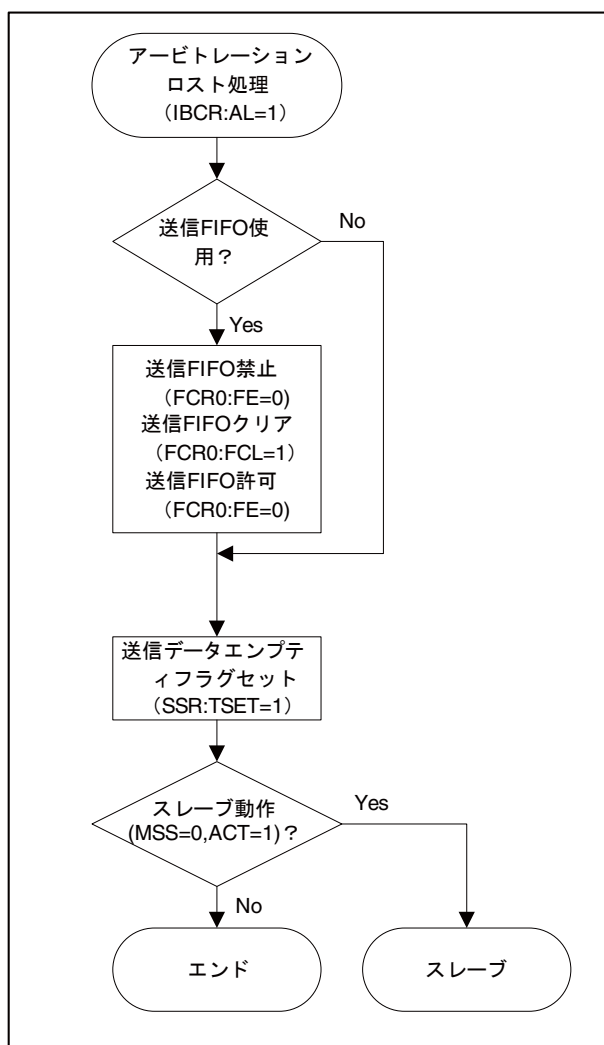


図 36.8-62 アービトレーションロスト処理のフローチャート例



(注意事項) フローは I2C モードによる動作設定概略を示すフローです。アプリケーションにあわせて、エラー処理などを考慮した処理をする必要があります。

第 37 章 CAN

37.1 概要

本品種は、CAN を 3 チャンネル搭載しています。

CAN は、シリアル通信用の標準プロトコルである CAN プロトコル ver2.0A/B に準拠しており、自動車や FA などの工業分野に広く使用されています。

37.2 特長

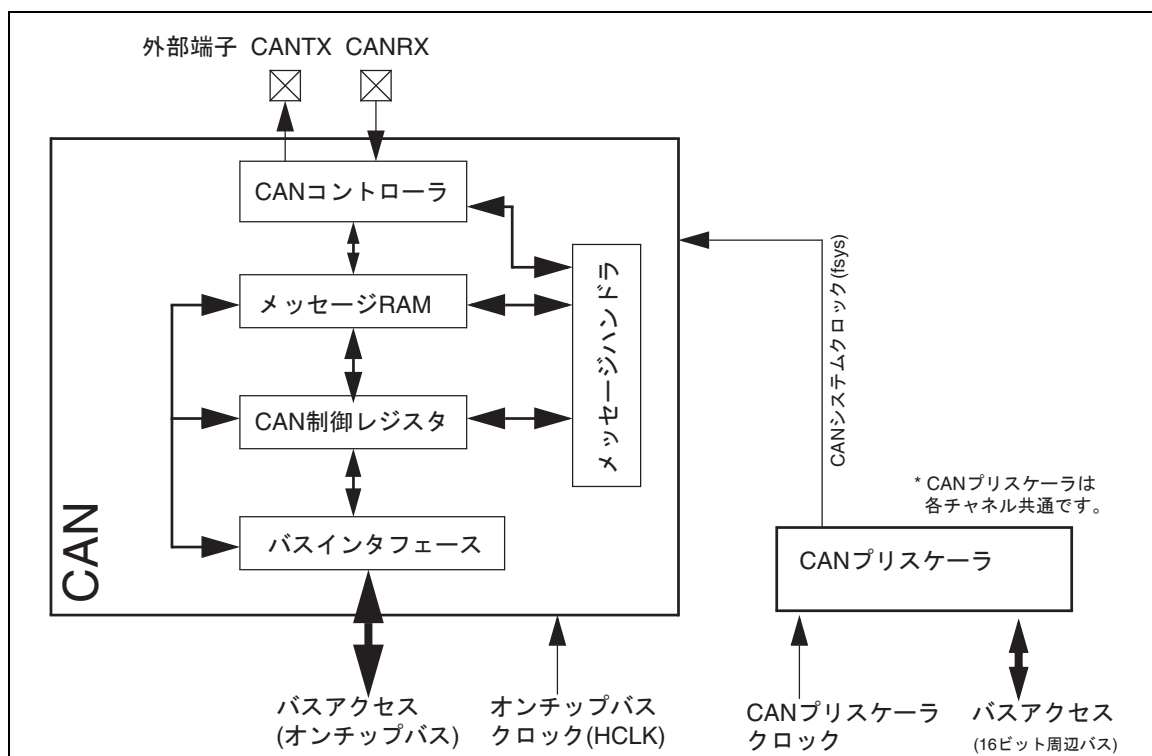
本品種の CAN には以下の特長があります。

- CAN プロトコル ver2.0A/B をサポート
- 1MBit/s までのビットレートをサポート
- メッセージオブジェクトごとの識別マスク
- プログラマブル FIFO モードをサポート
- マスク可能な割込み
- 自己テスト動作用プログラマブルループバックモードをサポート
- インタフェースレジスタを使用してメッセージバッファへのリード・ライト
- 64 送受信メッセージバッファ 3 チャンネルをサポート。品種、チャンネルにより異なりますので、「第 2 章 概要」をご参照ください。

37.3 構成

図 37.3-1 に、CAN のブロックダイアグラムを示します。

図 37.3-1 CAN ブロックダイアグラム (1 チャンネル分)



管理コード : FC28-1v4-91580L-1-J

■ CAN コントローラ

CAN プロトコルと送受信メッセージ転送のためのシリアル／パラレル変換用のシリアルレジスタを制御します。

■ メッセージ RAM

メッセージオブジェクトを格納します。

■ メッセージハンドラ

メッセージ RAM と CAN コントローラを制御します。

■ CPU インタフェース

FR 内部バスのインタフェースを制御します。

■ CAN プリスケアラ

CAN システムクロック (fsys) を生成します。

37.4 レジスタ

CAN には、以下のレジスタがあります。

- CAN 制御レジスタ (CTRLR)
- CAN ステータスレジスタ (STATR)
- CAN エラーカウンタ (ERRCNT)
- CAN ビットタイミングレジスタ (BTR)
- CAN 割込みレジスタ (INTR)
- CAN テストレジスタ (TESTR)
- CAN プリスケアラ拡張レジスタ (BRPER)
- IFx コマンド要求レジスタ (IFxCREQ)
- IFx コマンドマスクレジスタ (IFxCMSK)
- IFx マスクレジスタ 1, 2 (IFxMSK1, IFxMSK2)
- IFx アービトレーションレジスタ 1, 2 (IFxARB1, IFxARB2)
- IFx メッセージ制御レジスタ (IFxMCTR)
- IFx データレジスタ A1, A2, B1, B2 (IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)
- CAN 送信要求レジスタ 1, 2 (TREQR1, TREQR2)
- CAN データ更新レジスタ 1, 2 (NEWDT1, NEWDT2)
- CAN 割込みペンディングレジスタ 1, 2 (INTPND1, INTPND2)
- CAN メッセージ有効レジスタ 1, 2 (MSGVAL1, MSGVAL2)
- CAN クロックプリスケアラレジスタ (CANPRE)

CAN レジスタは、256 バイト (64 ワード) のアドレス空間が割り当てられ、バイトもしくはワードのアクセスが可能です。メッセージ RAM への CPU のアクセスは、メッセージインタフェースレジスタを介して行います。

■ ベースアドレス (Base-addr) ・ 外部端子一覧

チャンネル番号	Base-addr	外部端子名	
		CANTX	CANRX
0	0x2000	TX0	RX0
1	0x2100	TX1	RX1
2	0x2200	TX2	RX2

■ 全体コントロールレジスタ一覧

表 37.4-1 全体コントロールレジスタ一覧

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 00 _H	CAN 制御レジスタ (CTRLR)		CAN ステータスレジスタ (STATR)		STATR: BOff, EWarn, EPass= 読出し専用 RxOk, TxOk, LEC = 読出し / 書込み
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	予約ビット	CTRLR 参照	予約ビット	STATR 参照	
	Reset: 00 _H	Reset: 01 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 04 _H	CAN エラーカウンタ (ERRCNT)		CAN ビットタイミングレジスタ (BTR)		ERRCNT: 読出し専用 BTR: Init(CTRLR)=CCE(CTR LR)=1 のとき書込み 可能。
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	RP, REC[6:0]	TEC[7:0]	TSeg2[2:0], TSeg1[3:0]	SJW[1:0], BRP[5:0]	
	Reset: 00 _H	Reset: 00 _H	Reset: 23 _H	Reset: 01 _H	
Base-addr + 08 _H	CAN 割込みレジスタ (INTR)		CAN テストレジスタ (TESTR)		INTR: 読出し専用レ ジスタ TESTR: Test(CTRLR)=1 のと き書込み可能。 "Rx" は CAN_RX 端 子のレベル値を示す。
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Int-Id[15:8]	Int-Id[7:0]	予約ビット	TESTR 参照	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H & 0br0000000	
Base-addr + 0C _H	CAN プリスケアラ拡張レジスタ (BRPER)		予約ビット		BRPER: CCE(CTRLR)=1 のとき 書込み可能。
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	予約ビット	BRPE[3:0]	-	-	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	

■ メッセージインタフェースレジスタ一覧

表 37.4-2 メッセージインタフェースレジスタ一覧 (1 / 3)

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 10 _H	IF1 コマンド要求レジスタ (IF1CREQ)		IF1 コマンドマスクレジスタ (IF1CMSK)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Busy	Mess. No. [5:0]	予約ビット	IF1CMSK 参照	
	Reset: 00 _H	Reset: 01 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 14 _H	IF1 マスクレジスタ 2 (IF1MSK2)		IF1 マスクレジスタ 1 (IF1MSK1)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MXtd. MDir, Msk[28:24]	Msk[23:16]	Msk[15:8]	Msk[7:0]	
	Reset: FF _H	Reset: FF _H	Reset: FF _H	Reset: FF _H	
Base-addr + 18 _H	IF1 アービトレーションレジスタ 2 (IF1ARB2)		IF1 アービトレーションレジスタ 1 (IF1ARB1)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MsgVal, Xtd, Dir, ID[28:24]	ID[23:16]	ID[15:8]	ID[7:0]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 1C _H	IF1 メッセージコントロールレジスタ (IF1MCTR)		予約ビット		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	IF1MCTR 参照	IF1MCTR 参照	-	-	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 20 _H	IF1 データ A レジスタ 1 (IF1DTA1)		IF1 データ A レジスタ 2 (IF1DTA2)		バイト配列順序： ビッグエンディアン
	bit[7:0]	bit[15:8]	bit[7:0]	bit[15:8]	
	Data[0]	Data[1]	Data[2]	Data[3]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	

表 37.4-2 メッセージインタフェースレジスタ一覧 (2 / 3)

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 24 _H	IF1 データ B レジスタ 1 (IF1DTB1)		IF1 データ B レジスタ 2 (IF1DTB2)		バイト配列順序： ビッグエンディアン
	bit[7:0]	bit[15:8]	bit[7:0]	bit[15:8]	
	Data[4]	Data[5]	Data[6]	Data[7]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 30 _H	IF1 データ A レジスタ 2 (IF1DTA2)		IF1 データ A レジスタ 1 (IF1DTA1)		バイト配列順序： リトルエンディアン
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Data[3]	Data[2]	Data[1]	Data[0]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 34 _H	IF1 データ B レジスタ 2 (IF1DTB2)		IF1 データ B レジスタ 1 (IF1DTB1)		バイト配列順序： リトルエンディアン
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Data[7]	Data[6]	Data[5]	Data[4]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 40 _H	IF2 コマンド要求レジスタ (IF2CREQ)		IF2 コマンドマスクレジスタ (IF2CMSK)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Busy	Mess. No. [5:0]	予約ビット	IF2CMSK 参照	
	Reset: 00 _H	Reset: 01 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 44 _H	IF2 マスクレジスタ 2 (IF2MSK2)		IF2 マスクレジスタ 1 (IF2MSK1)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MXtd. MDir, Msk[28:24]	Msk[23:16]	Msk[15:8]	Msk[7:0]	
	Reset: FF _H	Reset: FF _H	Reset: FF _H	Reset: FF _H	
Base-addr + 48 _H	IF2 アービトレーションレジスタ 2 (IF2ARB2)		IF2 アービトレーションレジスタ 1 (IF2ARB1)		
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MsgVal, Xtd, Dir, ID[28:24]	ID[23:16]	ID[15:8]	ID[7:0]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	

表 37.4-2 メッセージインタフェースレジスタ一覧 (3 / 3)

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 4C _H	IF2 メッセージコントロールレジスタ (IF2MCTR)		予約ビット		
	bit[15:8]	bit[7:0]	bit[7:0]	bit[15:8]	
	IF2MCTR 参照	IF2MCTR 参照	-	-	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 50 _H	IF2 データ A レジスタ 1 (IF2DTA1)		IF2 データ A レジスタ 2 (IF2DTA2)		バイト配列順序: ビッグエンディアン
	bit[7:0]	bit[15:8]	bit[7:0]	bit[15:8]	
	Data[0]	Data[1]	Data[2]	Data[3]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 54 _H	IF2 データ B レジスタ 1 (IF2DTB1)		IF2 データ B レジスタ 2 (IF2DTB2)		バイト配列順序: ビッグエンディアン
	bit[7:0]	bit[15:8]	bit[7:0]	bit[15:8]	
	Data[4]	Data[5]	Data[6]	Data[7]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 60 _H	IF2 データ A レジスタ 2 (IF2DTA2)		IF2 データ A レジスタ 1 (IF2DTA1)		バイト配列順序: リトルエンディアン
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Data[3]	Data[2]	Data[1]	Data[0]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 64 _H	IF2 データ B レジスタ 2 (IF2DTB2)		IF2 データ B レジスタ 1 (IF2DTB1)		バイト配列順序: リトルエンディアン
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	Data[7]	Data[6]	Data[5]	Data[4]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	

■ メッセージハンドラレジスタ一覧

表 37.4-3 メッセージハンドラレジスタ一覧 (1 / 2)

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + 80 _H	CAN 送信要求レジスタ 2 (TREQR2)		CAN 送信要求レジスタ 1 (TREQR1)		TREQR1, 2: 読出し専用
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	TxRqst[32:25]	TxRqst[24:17]	TxRqst[16:9]	TxRqst[8:1]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 84 _H	32 メッセージバッファ以上をサポートするための予約領域 (CAN 送信要求レジスタ (TREQR1, TREQR2) 参照) TREQR3 ~ TREQR4 : 64 メッセージバッファサポートの場合				TREQR3, 4: 読出し専用
Base-addr + 88 _H Base-addr + 8C _H	予約領域				
Base-addr + 90 _H	CAN データ更新レジスタ 2 (NEWDT2)		CAN データ更新レジスタ 1 (NEWDT1)		NEWDT1, 2: 読出し専用
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	NewDat[32:25]	NewDat[24:17]	NewData[16:9]	NewData[8:1]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + 94 _H	32 メッセージバッファ以上をサポートするための予約領域 (CAN データ更新レジスタ (NEWDT1, NEWDT2) 参照) NEWDT3 ~ NEWDT4 : 64 メッセージバッファサポートの場合				NEWDT3, 4: 読出し専用
Base-addr + 98 _H Base-addr + 9C _H	予約領域				
Base-addr + A0 _H	CAN 割込みペンディングレジスタ 2 (INTPND2)		CAN 割込みペンディングレジスタ 1 (INTPND1)		INTPND1, 2: 読出し専用
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	IntPnd[32:25]	IntPnd[24:17]	IntPnd[16:9]	IntPnd[8:1]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + A4 _H	32 メッセージバッファ以上をサポートするための予約領域 (CAN 割込みペンディングレジスタ (INTPND1, INTPND2) 参照) INTPND3 ~ INTPND4 : 64 メッセージバッファサポートの場合				INTPND3, 4: 読出し専用
Base-addr + A8 _H Base-addr + AC _H	予約領域				

表 37.4-3 メッセージハンドラレジスタ一覧 (2 / 2)

アドレス	レジスタ				備考
	+0	+1	+2	+3	
Base-addr + B0 _H	CAN メッセージ有効レジスタ 2 (MSGVAL2)		CAN メッセージ有効レジスタ 1 (MSGVAL1)		MSGVAL1, 2: 読出し専用
	bit[15:8]	bit[7:0]	bit[15:8]	bit[7:0]	
	MsgVal[32:25]	MsgVal[24:17]	MsgVal[16:9]	MsgVal[8:1]	
	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	Reset: 00 _H	
Base-addr + B4 _H	32 メッセージバッファ以上をサポートするための予約領域 (CAN メッセージ有効レジスタ (MSGVAL1, MSGVAL2) 参照) MSGVAL3 ~ MSGVAL4 : 64 メッセージバッファサポートの場合				MSGVAL3, 4: 読出し専用
Base-addr + B8 _H Base-addr + BC _H	予約領域				

■ クロックプリスケアラレジスタ

表 37.4-4 クロックプリスケアラレジスタ

アドレス	レジスタ				備考
	+0	+1	+2	+3	
00_04A4 _H	CANPRE	-	-	-	CAN プリスケアラ
	bit[3:0]	-	-	-	
	CANPRE[3:0]	-	-	-	
	Reset: 00 _H	-	-	-	

■ 全体コントロールレジスタ

- CAN 制御レジスタ (CTRLR)
- CAN ステータスレジスタ (STATR)
- CAN エラーカウンタ (ERRCNT)
- CAN ビットタイミングレジスタ (BTR)
- CAN 割込みレジスタ (INTR)
- CAN テストレジスタ (TESTR)
- CAN プリスケアラ拡張レジスタ (BRPER)

■ メッセージインタフェースレジスタ

- IFx コマンド要求レジスタ (IFxCREQ)
- IFx コマンドマスクレジスタ (IFxCMSK)
- IFx マスクレジスタ 1, 2 (IFxMSK1, IFxMSK2)
- IFx アービトレーションレジスタ 1, 2 (IFxARB1, IFxARB2)
- IFx メッセージ制御レジスタ (IFxMCTR)
- IFx データレジスタ A1, A2, B1, B2 (IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)

■ メッセージハンドラレジスタ

- CAN 送信要求レジスタ 1, 2(TREQR1, TREQR2)
- CAN データ更新レジスタ 1, 2(NEWDT1, NEWDT2)
- CAN 割込みペンディングレジスタ 1, 2(INTPND1, INTPND2)
- CAN メッセージ有効レジスタ 1, 2(MSGVAL1, MSGVAL2)

■ プリスケーラレジスタ

- CAN クロックプリスケーラレジスタ (CANPRE)

37.4.1 全体コントロールレジスタ

全体コントロールレジスタは、CAN プロトコル制御および動作モードを制御し、ステータス情報を提供します。

■ 全体コントロールレジスタ

- CAN 制御レジスタ (CTRLR)
- CAN ステータスレジスタ (STATR)
- CAN エラーカウンタ (ERRCNT)
- CAN ビットタイミングレジスタ (BTR)
- CAN 割込みレジスタ (INTR)
- CAN テストレジスタ (TESTR)
- CAN プリスケアラ拡張レジスタ (BRPER)

■ CAN 制御レジスタ : CTRLR

CAN コントローラの動作モードを制御します。

- **CAN 制御レジスタ (上位バイト): アドレス Base+00_H(アクセス: バイト, ハーフワード, ワード)**

15	14	13	12	11	10	9	8	bit
予約	予約	予約	予約	予約	予約	予約	予約	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性

- **CAN 制御レジスタ (下位バイト): アドレス Base+01_H(アクセス: バイト, ハーフワード, ワード)**

7	6	5	4	3	2	1	0	bit
Test	CCE	DAR	予約	EIE	SIE	IE	Init	
0	0	0	0	0	0	0	1	初期値
R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	R/W	属性

[bit15 ~ bit8] 予約ビット

常に "0" が読み出されます。書込みは "0" を設定してください。

[bit7] Test : テストモード許可ビット

Test	機能
0	通常動作 [初期値]
1	テストモード

(注意事項) Test ビットに "1" を設定する場合、INIT ビットが "1" のときに設定してください。

[bit6] CCE : ビットタイミングレジスタ書込み許可ビット

CCE	機能
0	CAN ビットタイミングレジスタ (BTR) および CAN プリスケアラ拡張レジスタ (BRPER) への書込みを禁止します。[初期値]
1	CAN ビットタイミングレジスタ (BTR) および CAN プリスケアラ拡張レジスタ (BRPER) への書込みを許可します。Init ビットが "1" のときに有効です。

[bit5] DAR : 自動再送禁止ビット

DAR	機能
0	調停負けまたはエラー検出時のメッセージの自動再送を許可します。[初期値]
1	自動再送を禁止します。

CAN コントローラは調停負けあるいは転送中のエラー検出によりフレームの自動再送を行います。自動再送する場合は、DAR ビットに "0" を設定します。CAN を Time Triggered CAN 環境で動作させるためには、DAR ビットに "1" を設定する必要があります。

(注意事項) DAR ビットに "1" を設定した場合は、メッセージオブジェクト (メッセージオブジェクトについては「37.4.3 メッセージオブジェクト」を参照してください) の TxRqst ビットと NewDat ビットの値は以下ようになります。

- ・フレーム送信を開始したとき、メッセージオブジェクトの TxRqst ビットが "0" にクリアされますが、NewDat ビットは "1" に設定されたままです。

- ・フレーム送信が正常終了すると NewDat ビットは "0" にクリアされます。

送信が調停負けもしくはエラー検出すると、NewDat ビットは "1" に設定されたままです。送信を再開するためには、TxRqst ビットに "1" を設定してください。

- ・フレーム送出中 (TxRqst=1) に CAN 制御レジスタ (CTRLR) の DAR ビットを "0" から "1" に変更すると送出中のフレームがもう一度送出されますので DAR ビットを変更する場合、INIT ビットが "1" のときに変更してください。

- ・DAR ビットに "1" を設定して、複数のメッセージバッファによる送信を行った場合、以下の動作になります。

- ・CAN がフレーム送信開始前および送信中に * 他の * メッセージバッファの TxRqst に "1" が設定された場合 (複数のメッセージバッファの TxRqst に "1" が設定された場合)、フレーム送信の開始時、設定されたすべての TxRqst が "0" にリセットされ、その中で優先順位の高いメッセージバッファのデータが送信されます。

フレーム送信が正常終了すると送信されたメッセージバッファの NewDat が "0" にリセットされ、そのときメッセージバッファの TxIE が "1" であれば、メッセージオブジェクトの IntPnd は "1" に設定されます。

ほかのメッセージバッファはフレーム送信開始時、TxRqst が "0" にリセットされたためにフレーム送信は行われません。NewDat または IntPnd によって送信されたメッセージバッファを確認後、送信したいメッセージバッファに対し、再度 TxRqst と NewDat に "1" をセットする必要があります。

[bit4] 予約ビット

常に "0" が読み出されます。書込みは "0" を設定してください。

[bit3] EIE : エラー割込みコード許可ビット

EIE	機能
0	CAN ステータスレジスタ (STATR) の Boff ビットまたは EWarn ビットの変化により、CAN 割込みレジスタ (INTR) への割込みコードの設定を禁止します。 [初期値]
1	CAN ステータスレジスタ (STATR) の Boff ビットまたは EWarn ビットの変化により、CAN 割込みレジスタ (INTR) へのステータス割込みコードの設定を許可します。

[bit2] SIE : ステータス割込みコード許可ビット

SIE	機能
0	CAN ステータスレジスタ (STATR) の TxOk, RxOk または LEC ビットの変化により, CAN 割込みレジスタ (INTR) への割込みコードの設定を禁止します。 [初期値]
1	CAN ステータスレジスタ (STATR) の TxOk, RxOk または LEC ビットの変化により, CAN 割込みレジスタ (INTR) へのステータス割込みコードの設定を許可します。CPU からの書込みによって発生した TxOk, RxOk, LEC ビットの変化は CAN 割込みレジスタ (INTR) には設定されません。

[bit1] IE : 割込み許可ビット

IE	機能
0	割込みの発生を禁止します。[初期値]
1	割込みの発生を許可します。

[bit0] Init : 初期化ビット

Init	機能
0	CAN コントローラの初期化解除後に動作します。
1	CAN コントローラを初期化し, 動作を停止します。[初期値]

- (注意事項) ・バスオフリカバリシーケンスは, Init ビットの設定／解除によって短縮はできません。デバイスがバスオフになると, CAN コントローラ自身が Init ビットを "1" に設定し, すべてのバス動作を停止します。バスオフ状態から Init ビットを "0" にクリアすると, バスアイドルが連続的に 129 回 (11 ビットのレセツプを 1 回とする) 発生するまでバス動作を停止状態にします。バスオフリカバリシーケンス実行後, エラーカウンタをリセットします。
- ・バスオフリカバリシーケンス中に Init ビットに "1" を設定し, 再度 Init ビットに "0" を設定した場合, バスオフリカバリシーケンスを最初から実施します (11 ビットのレセツプを 1 回として 129 回再度実施)。
 - ・CAN ビットタイミングレジスタ (BTR) を設定する場合は, Init および CCE ビットに "1" を設定してください。
 - ・送受信途中で Init ビットに "1" を設定した場合, 即送受信を中止します。
 - ・低消費電力モードへ遷移する前および供給クロックを変更する前に Init ビットに "1" を書込んで CAN コントローラを初期化状態にしなければなりません。
 - ・CAN プリスケアラレジスタ (BRTER) により, CAN インタフェースに供給するクロックの分周比を変更する場合は, Init ビットに "1" を設定し, CAN コントローラを停止した状態で CAN プリスケアラレジスタの変更を行ってください。
 - ・送信中, Init ビットに "1" を設定する場合, 送信完了後に Init ビットに "1" を設定してください。もし, 送信中, Init ビットに "1" を設定した場合, 送信要求ビット (TxRqst) が "1" に設定されているメッセージバッファに対し, 送信キャンセル (TxRqst="0") を実行し, Init ビットに "0" を設定してから 2 ビット時間経過後に, 送信したメッセージバッファの送信要求ビット (TxRqst) に "1" を設定してください。

■ CAN ステータスレジスタ : STATR

CAN ステータスおよび CAN バス状態を表示します。

• CAN ステータスレジスタ (上位バイト):

アドレス Base+02_H (アクセス : バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	予約	予約	予約	予約	予約	予約	予約	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性

• CAN ステータスレジスタ (下位バイト):

アドレス Base+03_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
BOff	EWarn	EPass	RxOk	TxOk	LEC[2:0]			
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ~ bit8] 予約ビット

常に "0" が読み出されます。書込みは "0" を設定してください。

[bit7] BOff : バスオフビット

BOff	機能
0	CAN コントローラはバスオフ状態でないことを示します。 [初期値]
1	CAN コントローラはバスオフ状態であることを示します。

[bit6] EWarn : ワーニングビット

EWarn	機能
0	送信と受信カウンタが共に 96 未満であることを示します。 [初期値]
1	送信または受信カウンタが 96 以上であることを示します。

[bit5] EPass : エラーパッシブビット

EPass	機能
0	送信と受信カウンタが共に 128 未満 (エラーアクティブ状態) であることを示します。[初期値]
1	受信カウンタは RP ビット=1, 送信カウンタが 128 以上 (エラーパッシブ状態) であることを示します。

[bit4] RxOk : メッセージ正常受信ビット

RxOk	機能
0	CAN バス上で正常なメッセージ通信が行われていないまたはバスアイドル状態であることを示します。[初期値]
1	CAN バス上で正常なメッセージ通信が行われたことを示します。

[bit3] TxOk : メッセージ正常送信ビット

TxOk	機能
0	バスアイドル状態もしくは正常なメッセージ送信が行われていないことを示します。[初期値]
1	正常なメッセージ送信が行われたことを示します。

(注意事項) RxOk および TxOk ビットは , "0" 書込みでのみクリアされます。

[bit2 ~ bit0] LEC2 ~ LEC0 : ラストエラーコードビット

LEC2 ~ LEC0	状態	機能
000	正常	正常に送信または受信されたことを示します。 [初期値]
001	Stuff エラー	メッセージ内において 6 ビット以上連続してドミナントまたはレセッシブを検出したことを示します。
010	Form エラー	受信されたフレームの固定フォーマット部が間違っ検出したことを示します。
011	ACK エラー	送信メッセージに対し , ほかのノードからアクノリッジされなかったことを示します。
100	Bit1 エラー	調停フィールドを除くメッセージの送信データにおいて , レセッシブを送信したにもかかわらずドミナントを検出したことを示します。
101	Bit0 エラー	メッセージの送信データにおいて , ドミナントを送信したにもかかわらずレセッシブを検出したことを示します。 バスリカバリ中には , 11 ビットのレセッシブを検出するように設定されます。このビットを読み出すことによりバスリカバリシーケンスを監視できます。
110	CRC エラー	受信したメッセージの CRC データと計算した CRC の結果が一致しなかったことを示します。
111	未検出	LEC ビットに "111 _B " を設定した後 , LEC 値が "111 _B " を読み出した場合 , その期間は送受信しなかったことを示します。(バスアイドル状態)

LEC ビットは CAN バス上で発生した最後のエラーを示すコードを保持します。メッセージがエラーなしで転送 (受信 / 送信) 完了すると "0" にクリアされます。未検出コード "111_B" は , コード更新をチェックするために使用できます。

- (注意事項) ・ステータス割込みコード (8000_H) は、EIE ビットが "1" のときに BOff または EWarn ビットが変化した場合、もしくは SIE ビットが "1" のときに RxOk, TxOk または LEC ビットが変化した場合、CAN 割込みレジスタ (INTR) に設定されます。
- ・ RxOk, TxOk ビットはフラグの値がプログラムによる書込みによって更新されますので、CAN コントローラによってセットされた RxOk, TxOk ビットの値が変更されてしまいます。もし RxOk, TxOk ビットを使用する場合には、RxOk または TxOk ビットが "1" に設定されてから (45 × BT) 時間以内にクリアしてください。BT は 1 ビットタイムを示します。
 - ・ SIE ビットが "1" のとき、LEC ビットの変化による割込みが発生した場合には CAN ステータスレジスタ (STATR) に書込まないでください。
 - ・ EPass ビットの変化、RxOk, TxOk および LEC ビットへの書込み動作では CAN 割込みレジスタ (INTR) のエラーコード割込みのセットは行われません。
 - ・ BOff ビットが "1" になった場合、EPass ビット、EWarn ビットは "1" の状態になっています。また、EPass ビットが "1" になった場合、EWarn ビットは "1" の状態になっています。
 - ・ CAN ステータスレジスタ (STATR) を読み出すことにより、CAN 割込みレジスタ (INTR) のステータス割込み (8000_H) はクリアされます。

■ CAN エラーカウンタ : ERRCNT

受信エラーパッシブ表示および受信エラーカウンタ, 送信エラーカウンタを示します。

• CAN エラーカウンタレジスタ (上位バイト):

アドレス Base+04_H(アクセス : バイト , ハーフワード , ワード)

15	14	13	12	11	10	9	8	bit
RP	REC 6-REC0							
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

• CAN エラーカウンタレジスタ (下位バイト):

アドレス Base+05_H(アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
TEC 7-TEC0								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15] RP : 受信エラーパッシブ表示

RP	機能
0	受信エラーカウンタはエラーパッシブ状態でないことを示します。[初期値]
1	受信エラーカウンタは CAN 仕様で定義されているエラーパッシブ状態に到達したことを示します。

[bit14 ~ bit8] REC6 ~ REC0 : 受信エラーカウンタ

受信エラーカウンタ値。受信エラーカウンタ値の範囲は 0 ~ 127 です。

受信エラーカウンタが 128 以上になる場合, RP ビットに "1" を設定し, 受信エラーカウンタは更新されません。

例) REC6-REC0=127, 受信エラーで +8 される場合, その結果は, RP=1, REC6-REC0=127

REC6-REC0=126, 受信エラーで +8 される場合, その結果は, RP=1, REC6-REC0=126

REC6-REC0=119, 受信エラーで +8 される場合, その結果は, RP=0, REC6-REC0=127

[bit7 ~ bit0] TEC7 ~ TEC0 : 送信エラーカウンタ

送信エラーカウンタ値。送信エラーカウンタ値の範囲は 0 ~ 255 です。

送信エラーカウンタが 256 以上になる場合, CAN 制御レジスタの Init ビットに "1" を設定し, 送信エラーカウンタは更新されません。

例) TEC7-TEC0=255, 送信エラーで +8 される場合, その結果は, Init=1, TEC7-TEC0=255

TEC7-TEC0=254, 送信エラーで +8 される場合, その結果は, Init=1, TEC7-TEC0=254

TEC7-TEC0=247, 送信エラーで +8 される場合, その結果は, Init=0, TEC7-TEC0=255

■ CAN ビットタイミングレジスタ : BTR

プリスケアラおよびビットタイミングを設定します。

• CAN ビットタイミングレジスタ (上位バイト):

アドレス Base+06_H(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	TSeg2			TSeg1				
0	0	1	0	0	0	1	1	初期値
R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• CAN ビットタイミングレジスタ (下位バイト):

アドレス Base+07_H(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
SJW		BRP						
0	0	0	0	0	0	0	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15] 予約ビット

常に "0" が読み出されます。書込みは "0" を設定してください。

[bit14 ~ bit12] TSeg2 : タイムセグメント 2 設定ビット

有効設定値は 0 ~ 7 です。TSeg2+1 ビットの値がタイムセグメント 2 になります。

タイムセグメント 2 は, CAN 仕様のフェーズバッファセグメント (PHASE_SEG2) に相当します。

[bit11 ~ bit8] TSeg1 : タイムセグメント 1 設定ビット

有効設定値は 1 ~ 15 です。"0" の設定は禁止です。TSeg1+1 ビットの値がタイムセグメント 1 になります。

タイムセグメント 1 は, CAN 仕様のプロパゲーションセグメント (PROP_SEG) + フェーズバッファセグメント 1 (PHASE_SEG1) に相当します。

[bit7, bit6] SJW : 再同期化ジャンプ幅設定ビット

有効設定値は 0 ~ 3 です。SJW+1 ビットの値が再同期ジャンプ幅となります。

[bit5 ~ bit0] BRP : ボーレートプリスケアラ設定ビット

有効設定値は 0 ~ 63 です。BRP+1 ビットの値がボーレートプリスケアラになります。

システムクロック (f_{sys}) を分周して, CAN コントローラの基本単位時間 (t_q) を決定します。

(注意事項) CAN 制御レジスタ (CTRLR) の CCE ビットと Init ビットが "1" に設定されているときに, CAN ビットタイミングレジスタ (BTR) および CAN プリスケアラ拡張レジスタ (BRPER) を設定してください。

■ CAN 割込みレジスタ : INTR

メッセージ割込みコードおよびステータス割込みコードを表示します。

• CAN 割込みレジスタ (上位バイト): アドレス Base+08_H(アクセス: ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
IntId 15-IntId8								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

• CAN 割込みレジスタ (下位バイト): アドレス Base+09_H(アクセス: ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
IntId 7-IntId0								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

IntId	機能
0000 _H	割込みなし
0001 _H ~ 0040 _H	割込み要因はメッセージオブジェクトの番号を示します。 (メッセージ割込みコード)
0041 _H ~ 7FFF _H	未使用
8000 _H	CAN ステータスレジスタ (STATR) の変化による割込みを示します。 (ステータス割込みコード)
8001 _H ~ FFFF _H	未使用

複数の割込みコードが保留中である場合, CAN 割込みレジスタ (INTR) は優先度の高い割込みコードを示します。割込みコードが CAN 割込みレジスタ (INTR) に設定されていても優先度の高い割込みコードが発生した場合には, CAN 割込みレジスタ (INTR) は優先度の高い割込みコードに更新されます。

優先度の高い割込みコードは, ステータス割込みコード(8000_H), メッセージ割込み(0001_H, 0002_H, 0003_H, ……, 0020_H) の順になります。

IntId ビットが 0000_H 以外で, CAN 制御レジスタ (CTRLR) の IE ビットが "1" に設定されると, CPU への割込み信号がアクティブになります。IntId ビットの値が 0000_H になる (割込み要因がリセットされる) もしくは CAN 制御レジスタ (CTRLR) の IE ビットが "0" にリセットされると, 割込み信号はインアクティブになります。

対象となるメッセージオブジェクト (メッセージオブジェクトについては「37.4.3 メッセージオブジェクト」を参照してください) の IntPnd ビットを "0" にクリアすることでメッセージ割込みコードはクリアされます。

ステータス割込みコードはCANステータスレジスタ(STATR)を読み出すことでクリアされます。

■ CAN テストレジスタ : TESTR

テストモードの設定および RX 端子のモニタを行います。動作については、37.5.7 テストモードを参照してください。

• CAN テストレジスタ (上位バイト): アドレス Base+0A_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	予約	予約	予約	予約	予約	予約	予約	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性

• CAN テストレジスタ (下位バイト): アドレス Base+0B_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
Rx	Tx1	Tx0	LBack	Silent	Basic	予約	予約	
r	0	0	0	0	0	0	0	初期値
R,WX	R/W	R/W	R/W	R/W	R/W	R0,W0	R0,W0	属性

bit7 の Rx の初期値 (r) は、CAN バス上のレベルが表示されます。

[bit15 ～ bit8] 予約ビット

常に "0" が読み出されます。書込みは "0" を設定してください。

[bit7] Rx : 端子モニタビット

Rx	機能
0	CAN バスはドミナントであることを示します。
1	CAN バスはレセッシブであることを示します。

[bit6, bit5] Tx1, Tx0 : 端子コントロールビット

Tx1-0	機能
00	通常動作 [初期値]
01	サンプリングポイントが Tx 端子に出力されます。
10	TX 端子にドミナントを出力します。
11	TX 端子にレセッシブを出力します。

[bit4] LBack : ループバックモード

LBack	機能
0	ループバックモードを禁止します。[初期値]
1	ループバックモードを許可します。

[bit3] Silent : サイレントモード

Silent	機能
0	サイレントモードを禁止します。[初期値]
1	サイレントモードを許可します。

[bit2] Basic : ベーシックモード

Basic	機能
0	ベーシックモードを禁止します。[初期値]
1	ベーシックモードを許可します。 IF1 レジスタは送信メッセージとして、IF2 レジスタは受信メッセージとして使用されます。

[bit1, bit0] 予約ビット

常に "0" が読み出されます。書込みは "0" を設定してください。

(注意事項) ・ CAN 制御レジスタ (CTRLR) の Test ビットを "1" に設定した後、レジスタへ書き込んでください。テストモードが有効となるのは、CAN 制御レジスタ (CTRLR) の Test ビットが "1" のときです。途中で CAN 制御レジスタ (CTRLR) の Test ビットを "0" にするとテストモードから通常モードになります。

・ Tx ビットを "00" 以外に設定した場合、メッセージを送信することができません。

■ CAN プリスケアラ拡張レジスタ : BRPER

CAN ビットタイミングで設定したプリスケアラと組み合わせることにより、CAN コントローラで使用するプリスケアラを拡張します。

・ CAN プリスケアラ拡張レジスタ (上位バイト):

アドレス Base+0C_H (アクセス : バイト , ハーフワード , ワード)

15	14	13	12	11	10	9	8	bit
予約	予約	予約	予約	予約	予約	予約	予約	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性

・ CAN プリスケアラ拡張レジスタ (下位バイト):

アドレス Base+0D_H (アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
予約	予約	予約	予約	BRPE				
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	属性

[bit15 ~ bit4] 予約ビット

常に "0" が読み出されます。書込みは "0" を設定してください。

[bit3 ~ bit0] BRPE : ボーレートプリスケアラ拡張ビット

CAN ビットタイミングレジスタ (BTR) の BRP ビットと BRPE ビットを組み合わせることにより、1023 までボーレートプリスケアラを拡張できます。

{BRPE(MSB:4 ビット), BRP(LSB:6 ビット)} + 1 の値が CAN コントローラのプリスケアラとなります。

37.4.2 メッセージインタフェースレジスタ

CPU からメッセージ RAM へのアクセスを制御するために 2 組のメッセージインタフェースレジスタを提供します。

メッセージ RAM への CPU アクセスを制御するために使用される 2 組のメッセージインタフェースレジスタがあります。この 2 組のレジスタは、転送された (する) データ (メッセージオブジェクト) をバッファすることで、メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避します。メッセージオブジェクト (メッセージオブジェクトについては、「37.4.3 メッセージオブジェクト」を参照してください) は、メッセージインタフェースレジスタとメッセージ RAM 間を一度に転送します。

テストベシクモードを除き、2 組のメッセージインタフェースレジスタの機能は同一で、独立して動作可能です。例えば、IF1 のメッセージインタフェースレジスタをメッセージ RAM への書き込み動作中に、IF2 のメッセージインタフェースレジスタをメッセージ RAM からの読出しに使用することも可能です。表 37.4-1 に 2 組のメッセージインタフェースレジスタを示します。

メッセージインタフェースレジスタは、コマンドレジスタ (コマンド要求、コマンドマスクレジスタ) と、このコマンドレジスタによって制御されるメッセージバッファレジスタ (マスク、アービトレーション、メッセージ制御、データレジスタ) から構成されます。コマンドマスクレジスタは、データ転送の方向とメッセージオブジェクトのどの部分が転送されるのかを示します。コマンド要求レジスタは、メッセージ番号の選択と、コマンドマスクレジスタに設定された動作を行います。

表 37.4-5 IF1, IF2 メッセージインタフェースレジスタ (1 / 2)

アドレス	IF1 レジスタセット	アドレス	IF2 レジスタセット
Base + 10 _H	IF1 コマンド要求	Base + 40 _H	IF2 コマンド要求
Base + 12 _H	IF1 コマンドマスク	Base + 42 _H	IF2 コマンドマスク
Base + 14 _H	IF1 マスク 2	Base + 44 _H	IF2 マスク 2
Base + 16 _H	IF1 マスク 1	Base + 46 _H	IF2 マスク 1
Base + 18 _H	IF1 アービトレーション 2	Base + 48 _H	IF2 アービトレーション 2
Base + 1A _H	IF1 アービトレーション 1	Base + 4A _H	IF2 アービトレーション 1
Base + 1C _H	IF1 メッセージ制御	Base + 4C _H	IF2 メッセージ制御
Base + 1E _H	予約	Base + 4E _H	予約
Base + 20 _H	IF1 データ A1	Base + 50 _H	IF2 データ A1
Base + 22 _H	IF1 データ A2	Base + 52 _H	IF2 データ A2
Base + 24 _H	IF1 データ B1	Base + 54 _H	IF2 データ B1
Base + 26 _H	IF1 データ B2	Base + 56 _H	IF2 データ B2
Base + 28 _H	予約	Base + 58 _H	予約
Base + 2A _H	予約	Base + 5A _H	予約
Base + 2C _H	予約	Base + 5C _H	予約
Base + 2E _H	予約	Base + 5E _H	予約

表 37.4-5 IF1, IF2 メッセージインタフェースレジスタ (2 / 2)

アドレス	IF1 レジスタセット	アドレス	IF2 レジスタセット
Base + 30 _H	IF1 データ A2(リトルエンディアン)	Base + 60 _H	IF2 データ A2(リトルエンディアン)
Base + 32 _H	IF1 データ A1(リトルエンディアン)	Base + 62 _H	IF2 データ A1(リトルエンディアン)
Base + 34 _H	IF1 データ B2(リトルエンディアン)	Base + 64 _H	IF2 データ B2(リトルエンディアン)
Base + 36 _H	IF1 データ B1(リトルエンディアン)	Base + 66 _H	IF2 データ B1(リトルエンディアン)

■ IFx コマンド要求レジスタ : IFxCREQ

メッセージ RAM のメッセージ番号の選択とメッセージ RAM とメッセージバッファレジスタ間の転送を行います。また、テストのベーシックモードでは、IF1 を送信制御用に IF2 を受信制御用として使用します。

• IFx コマンド要求レジスタ (上位バイト):

アドレス Base+10_H & Base+40_H(アクセス : バイト , ハーフワード , ワード)

15	14	13	12	11	10	9	8	bit
BUSY	予約	予約	予約	予約	予約	予約	予約	
0	0	0	0	0	0	0	0	初期値
R/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性

• IFx コマンド要求レジスタ (下位バイト):

アドレス Base+11_H & Base+41_H(アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
Message Number								
0	0	0	0	0	0	0	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

IFx コマンド要求レジスタ (IFxCREQ)へメッセージ番号を書き込むとすぐにメッセージRAMとメッセージバッファレジスタ (マスク、アービトラージョン、メッセージ制御、データレジスタ) とのメッセージ転送が開始されます。この書き込み動作で、BUSY ビットが "1" に設定され転送処理中であることを示します。その転送が終了すると、BUSY ビットが "0" にリセットされます。

BUSY ビットが "1" のときに、CPU からメッセージインタフェースレジスタへアクセスが発生すると、BUSY ビットが "0" になるまで (コマンド要求レジスタ書き込み後、クロックで 3 ～ 6 サイクル期間), CPU をウェイトさせます。

テストのベーシックモードでは、BUSY ビットの使用方法が異なります。IF1 コマンド要求レジスタは、送信メッセージとして使用され、BUSY ビットに "1" をセットすることによりメッセージ送信開始を指示します。メッセージ転送が正常終了すると、BUSY ビットは "0" にリセットされます。また、BUSY ビットを "0" にリセットすることにより、いつでもメッセージ転送を中断させることが可能です。

IF2 コマンド要求レジスタは、受信メッセージとして使用され、BUSY ビットを "1" に設定することにより、受信したメッセージを IF2 メッセージインタフェースレジスタに格納します。

[bit15] BUSY : ビジーフラグビット

- テストベーシックモード以外

BUSY	機能
0	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理を行っていないことを示します。[初期値]
1	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理中であることを示します。

- テストベーシックモード

IF1 コマンド要求レジスタ

BUSY	機能
0	メッセージ送信を禁止します。
1	メッセージ送信を許可します。

IF2 コマンド要求レジスタ

BUSY	機能
0	メッセージ受信を禁止します。
1	メッセージ受信を許可します。

[bit14 ～ bit8] 予約ビット

常に "0" が読み出されます。書込みは "0" を設定してください。

[bit7 ～ bit0] Message Number: メッセージ番号

Message Number	機能
00 _H	設定禁止です。設定した場合, 40 _H として解釈され, 40 _H が読み出されます。
01 _H ～ 40 _H	処理を行うメッセージ番号を設定します。
41 _H ～ FF _H	設定禁止です。設定した場合, 01 _H ～ 3F _H として解釈され, 解釈された値が読み出されます。

(注意事項) BUSY ビットは, リード/ライトが可能です。テストのベーシックモード時以外は, このビットに何を書いても動作に影響しません。(ベーシックモードについては, 「37.5.7 テストモード」を参照してください)

■ IFx コマンドマスクレジスタ : IFxCMSK

メッセージインタフェースレジスタとメッセージ RAM 間の転送方向を制御し、どのデータを更新するかを設定します。また、テストのベーシックモードでレジスタは無効となります。

• IFx コマンドマスクレジスタ (上位バイト):

アドレス Base+12_H & Base+42_H(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	予約	予約	予約	予約	予約	予約	予約	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性

• IFx コマンドマスクレジスタ (下位バイト):

アドレス Base+13_H & Base+43_H(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
WR/RD	Mask	Arb	Control	CIP	TxRqst/ NewDat	Data A	Data B	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ～ bit8] 予約ビット

常に "0" が読み出されます。書き込みは "0" を設定してください。

[bit7] WR/RD : ライト / リード制御ビット

WR/RD	機能
0	メッセージ RAM からデータを読み出すことを示します。メッセージ RAM からの読出しは IFx コマンド要求レジスタ (IFxCREQ) への書き込みによって実行されます。メッセージ RAM から読み出すデータは、Mask, Arb, Control, CIP, TxRqst/NewDat, Data A, Data B ビットの設定に依存します。 [初期値]
1	メッセージ RAM へデータを書き込むことを示します。メッセージ RAM への書き込みは IFx コマンド要求レジスタ (IFxCREQ) への書き込みによって実行されます。メッセージ RAM への書き込みデータは、Mask, Arb, Control, CIP, TxRqst/NewDat, Data A, Data B ビットの設定に依存します。

(注意事項) リセット後、メッセージ RAM のデータは不定です。メッセージ RAM のデータが不定状態でメッセージ RAM のデータを読み出すことは禁止です。

IFx コマンドマスクレジスタ (IFxCMSK) の bit6 ～ bit0 は、転送方向 (WR/RD ビット) の設定により違った意味になります。

転送方向がライトの場合 (WR/RD=1)

[bit6] Mask : マスクデータ更新ビット

Mask	機能
0	メッセージオブジェクト *1 のマスクデータ (ID マスク + MDir + MXtd) を更新しないことを示します。[初期値]
1	メッセージオブジェクト *1 のマスクデータ (ID マスク + MDir + MXtd) を更新することを示します。

[bit5] Arb : アービトレーションデータ更新ビット

Arb	機能
0	メッセージオブジェクト *1 のアービトレーションデータ (ID + Dir + Xtd + MsgVal) を更新しないことを示します。[初期値]
1	メッセージオブジェクト *1 のアービトレーションデータ (ID + Dir + Xtd + MsgVal) を更新することを示します。

[bit4] Control : 制御データ更新ビット

Control	機能
0	メッセージオブジェクト *1 の制御データ (IFx メッセージ制御レジスタ (IFxMCTR)) を更新しないことを示します。[初期値]
1	メッセージオブジェクト *1 の制御データ (IFx メッセージ制御レジスタ (IFxMCTR)) を更新することを示します。

[bit3] CIP : 割込みクリアビット

"0" または "1" を設定しても CAN コントローラへの動作に影響を与えません。

[bit2] TxRqst/NewDat : メッセージ送信要求ビット

TxRqst/NewDat	機能
0	メッセージオブジェクト *1 および CAN 送信要求レジスタ (TREQR) の TxRqst ビットを変更しないことを示します。[初期値]
1	メッセージオブジェクト *1 および CAN 送信要求レジスタ (TREQR) の TxRqst ビットに "1" を設定 (送信要求) することを示します。

[bit1] Data A : データ 0-3 更新ビット

Data A	機能
0	メッセージオブジェクト *1 のデータ 0- データ 3 を更新しないことを示します。 [初期値]
1	メッセージオブジェクト *1 のデータ 0- データ 3 を更新することを示します。

[bit0] Data B : データ 4-7 更新ビット

Data B	機能
0	メッセージオブジェクト *1 のデータ 4- データ 7 を更新しないことを示します。[初期値]
1	メッセージオブジェクト *1 のデータ 4- データ 7 を更新することを示します。

*1: 「37.4.3 メッセージオブジェクト」を参照してください。

- (注意事項) ・ IFx コマンドマスクレジスタ (IFxCMSK) の TxRqst/NewDat ビットが "1" に設定されると、IFx メッセージ制御レジスタ (IFxMCTR) の TxRqst ビットの設定は無効となります。
- ・ テストのベーシックモードでレジスタは無効となります。

転送方向がリードの場合 (WR/RD=0)

[bit6] Mask : マスクデータ更新ビット

Mask	機能
0	メッセージオブジェクト *1 から IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2) ヘデータ (ID マスク + MDir + MXtd) を転送しないことを示します。[初期値]
1	メッセージオブジェクト *1 から IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2) ヘデータ (ID マスク + MDir + MXtd) を転送することを示します。

[bit5] Arb : アービトレーションデータ更新ビット

Arb	機能
0	メッセージオブジェクト *1 から IFx アービトレーション 1, 2(IFxARB1, IFxARB2) ヘデータ (ID+ Dir + Xtd + MsgVal) を転送しないことを示します。[初期値]
1	メッセージオブジェクト *1 から IFx アービトレーション 1, 2(IFxARB1, IFxARB2) ヘデータ (ID+ Dir + Xtd + MsgVal) を転送することを示します。

[bit4] Control : 制御データ更新ビット

Control	機能
0	メッセージオブジェクト *1 から IFx メッセージ制御レジスタ (IFxMCTR) ヘデータを転送しないことを示します。[初期値]
1	メッセージオブジェクト *1 から IFx メッセージ制御レジスタ (IFxMCTR) ヘデータを転送することを示します。

[bit3] CIP : 割込みクリアビット

CIP	機能
0	メッセージオブジェクト *1 および CAN 割込みペンディングレジスタ (INTPND) の IntPnd ビットを保持することを示します。[初期値]
1	メッセージオブジェクト *1 および CAN 割込みペンディングレジスタ (INTPND) の IntPnd ビットを "0" にクリアすることを示します。

[bit2] TxRqst/NewDat : データ更新ビット

TxRqst/NewDat	機能
0	メッセージオブジェクト *1 および CAN データ更新レジスタの NewDat ビットを保持することを示します。[初期値]
1	メッセージオブジェクト *1 および CAN データ更新レジスタの NewDat ビットを "0" にクリアすることを示します。

[bit1] Data A : データ 0-3 更新ビット

Data A	機能
0	メッセージオブジェクト *1 および CAN データレジスタ A1, A2 のデータを保持することを示します。[初期値]
1	メッセージオブジェクト *1 および CAN データレジスタ A1, A2 のデータを更新することを示します。

[bit0] Data B : データ 4-7 更新ビット

Data B	機能
0	メッセージオブジェクト * および CAN データレジスタ B1, B2 のデータを保持することを示します。[初期値]
1	メッセージオブジェクト *1 および CAN データレジスタ B1, B2 のデータを更新することを示します。

*: 「37.4.3 メッセージオブジェクト」を参照してください。

- (注意事項) ・メッセージオブジェクトへの読出しアクセスにより , IntPnd および NewDat ビットは "0" にリセットすることが可能です。ただし , IFxメッセージ制御レジスタ (IFxMCTR)の IntPnd および NewDat ビットには , 読出しアクセスによりリセットされる前の IntPnd, NewDat ビットが格納されます。
- ・テストのベーシックモードでは無効となります。

■ IFx マスクレジスタ 1, 2 : IFxMSK1, IFxMSK2

メッセージ RAM のメッセージオブジェクトマスクデータをライト／リードするために用いられます。また、テストのベーシックモードでは、設定されているマスクデータは無効となります。各ビットの機能については、「37.4.3 メッセージオブジェクト」に記述されています。

• IFx マスクレジスタ 2(上位バイト): アドレス Base+14_H & Base+44_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
MXtd	MDir	予約	Mask28-Mask24					
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R1,W1	R/W	R/W	R/W	R/W	R/W	属性

• IFx マスクレジスタ 2(下位バイト): アドレス Base+15_H & Base+45_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
Mask23-Mask16								
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• IFx マスクレジスタ 1(上位バイト): アドレス Base+16_H & Base+46_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
Mask15-Mask8								
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• IFx マスクレジスタ 1(下位バイト): アドレス Base+17_H & Base+47_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
Mask7-Mask0								
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

ビット説明については「37.4.3 メッセージオブジェクト」を参照してください。

予約ビット (IFx マスクレジスタ 2 の bit13) は "1" が読み出され、書込み時は "1" を書き込んでください。

■ IFx アービトレーションレジスタ 1, 2 : IFxARB1, IFxARB2

メッセージ RAM のメッセージオブジェクトアービトレーションデータをライト／リードするために用いられます。また、テストのベーシックモードでは無効となります。

各ビットの機能については、「37.4.3 メッセージオブジェクト」に記述されています。

- IFx アービトレーションレジスタ 2(上位バイト): アドレス Base+18_H & Base+48_H
(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
MsgVal	Xtd	Dir	ID28-ID24					
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

- IFx アービトレーションレジスタ 2(下位バイト): アドレス Base+19_H & Base+49_H
(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
ID23-ID16								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

- IFx アービトレーションレジスタ 1(上位バイト): アドレス Base+1A_H & Base+4A_H
(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
ID15-ID8								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

- IFx アービトレーションレジスタ 1(下位バイト): アドレス Base+1B_H & Base+4B_H
(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
ID7-ID0								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

ビット説明については「37.4.3 メッセージオブジェクト」を参照してください。

- (注意事項) 送信途中でメッセージオブジェクトの MsgVal ビットを "0" にクリアした場合、送信が完了した時点で CAN ステータスレジスタ (STATR) の TxOk ビットは "1" になりますが、メッセージオブジェクトおよび CAN 送信要求レジスタ (TREQR) の TxRqst ビットは "0" にクリアされませんのでメッセージインタフェースレジスタによって TxRqst ビットを "0" にクリアしてください。

■ IFx メッセージ制御レジスタ : IFxMCTR

メッセージRAMのメッセージオブジェクト制御データをライト／リードするために用いられます。また、テストのベーシックモードでは、IF1 メッセージ制御レジスタは無効となります。IF2 メッセージ制御レジスタの NewDat と MsgLst は通常の動作を行い、DLC ビットは受信したメッセージの DLC を表示します。その他の制御ビットは無効("0") として動作します。

各ビットの機能については、「37.4.3 メッセージオブジェクト」に記述されています。

• IFx メッセージ制御レジスタ (上位バイト): アドレス Base+1C_H & Base+4C_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
NewDat	MsgLst	IntPnd	UMask	TxIE	RxIE	RmtEn	TxRqst	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• IFx メッセージ制御レジスタ (下位バイト): アドレス Base+1D_H & Base+4D_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
EoB	予約	予約	予約	DLC3-DLC0				
0	0	0	0	0	0	0	0	初期値
R/W	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	属性

ビット説明については「37.4.3 メッセージオブジェクト」を参照してください。

(注意事項) TxRqst, NewDat および IntPnd ビットは、IFx コマンドマスクレジスタ (IFxCMSK) の WR/RD ビットの設定によって以下のような動作になります。

○転送方向がライトの場合 (IFx コマンドマスクレジスタ (IFxCMSK):WR/RD=1)

・IFx コマンドマスクレジスタ (IFxCMSK) の TxRqst/NewDat が "0" に設定されている場合のみ、TxRqst ビットが有効となります。

○転送方向がリードの場合 (IFx コマンドマスクレジスタ (IFxCMSK):WR/RD=0)

・IFx コマンドマスクレジスタ (IFxCMSK) の CIP ビットを "1", IFx コマンド要求レジスタ (IFxCREQ) への書き込みによりメッセージオブジェクトおよびCAN 割込みペンディングレジスタ (INTPND) の IntPnd ビットをリセットした場合、レジスタにはリセットされる前の IntPnd ビットが格納されます。

・IFx コマンドマスクレジスタ (IFxCMSK) の TxRqst/NewDat ビットを "1", IFx コマンド要求レジスタ (IFxCREQ) への書き込みによりメッセージオブジェクトおよびCAN データ更新レジスタの NewDat ビットをリセットした場合、レジスタにはリセットする前の NewDat ビットが格納されます。

■ IFx データレジスタ A1, A2, B1, B2 : IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2

メッセージ RAM のメッセージオブジェクト送受信データをライト／リードするために用いられます。データフレームの送受信のみ使用され、リモートフレームの送受信には使用されません。

	addr+0	addr+1	addr+2	addr+3
IFx Message Data A1 (addresses 20 _H & 50 _H)	Data(0)	Data(1)		
IFx Message Data A2 (addresses 22 _H & 52 _H)			Data(2)	Data(3)
IFx Message Data B1 (addresses 24 _H & 54 _H)	Data(4)	Data(5)		
IFx Message Data B2 (addresses 26 _H & 56 _H)			Data(6)	Data(7)
IFx Message Data A2 (addresses 30 _H & 60 _H)	Data(3)	Data(2)		
IFx Message Data A1 (addresses 32 _H & 62 _H)			Data(1)	Data(0)
IFx Message Data B2 (addresses 34 _H & 64 _H)	Data(7)	Data(6)		
IFx Message Data B1 (addresses 36 _H & 66 _H)			Data(5)	Data(4)

• IFx データレジスタ :

15	14	13	12	11	10	9	8	bit
7	6	5	4	3	2	1	0	
Data								
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

送信メッセージデータの設定

設定したデータは、MSB (bit7, bit15) より開始して Data(0), Data(1), …, Data(7) の順で送信されます。

受信メッセージデータ

受信メッセージデータは、MSB (bit7, bit15) より開始して Data(0), Data(1), …, Data(7) の順で格納されます。

- (注意事項) ・ 受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定データが書き込まれます。
・ メッセージオブジェクトへの転送は、Data A もしくは Data B の 4 バイト単位で行われますので、4 バイトのうちある一部のデータだけを更新することはできません。

37.4.3 メッセージオブジェクト

メッセージ RAM には、64 のメッセージオブジェクトがあります。メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避するために、CPU はメッセージオブジェクトへ直接、アクセスはできません。これらのアクセスは、IFx メッセージインタフェースレジスタ経由で行います。

メッセージオブジェクトの構成と機能を説明します。

■ メッセージオブジェクトの構成

表 37.4-6 にメッセージオブジェクトの構成を示します。

表 37.4-6 メッセージオブジェクトの構成

UMask	Msk 28-0	MXtd	MDir	EoB	NewDat		MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
MsgVal	ID28-0	Xtd	Dir	DLC 3-0	Data0	Data1	Data2	Data3	Data4	Data5	Data6	Data7

(注意事項) メッセージオブジェクトは、CAN 制御レジスタ (CTRLR) の Init ビット、ハードウェアリセットでは初期化されません。ハードウェアリセットの場合、ハードウェアリセット解除後、CPU によってメッセージ RAM を初期化するかメッセージ RAM の MsgVal を "0" にしてください。

■ メッセージオブジェクトの機能

ID28-0, Xtd, Dir ビットは、メッセージを送信する場合、ID とメッセージの種類に使用されます。メッセージを受信する場合、Msk28-Msk0, MXtd, MDir ビットと共に受容フィルタで使用されます。

受容フィルタを通過したデータフレームもしくはリモートフレームの ID, IDE, RTR, DLC および DATA は、メッセージオブジェクトの ID28-ID0, Xtd, Dir, DLC3-DLC0, Data7-Data0 に格納されます。Xtd は拡張フレームか標準フレームかを示し、Xtd が "1" の場合、29 ビット ID (拡張フレーム) を、Xtd が "0" の場合は、11 ビット ID (標準フレーム) を受信することになります。

受信したデータフレームもしくはリモートフレームが 1 つ以上のメッセージオブジェクトと一致した場合は、一致した最小のメッセージ番号に格納されます。(詳細は、「37.5.3 メッセージ受信動作」の受信メッセージの受容フィルタを参照してください。)

• MsgVal: 有効メッセージビット

MsgVal	機能
0	メッセージオブジェクトは無効です。 メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。 メッセージの送受信が可能となります。

(注意事項) ・CAN 制御レジスタ (CTRLR) の Init ビットを "0" にリセットする前と、ID28-ID0, Xtd, Dir, DLC3-DLC0 を変更する前には、メッセージオブジェクトの MsgVal ビットを必ず初期化してください。

・送信中に MsgVal ビットを "0" にすると送信が完了した時点で CAN ステータスレジスタ (STATR) の TxOk ビットは "1" になりますが、メッセージオブジェクトおよび CAN 送信要求レジスタ (TREQR) の TxRqst ビットは "0" にクリアされませんのでメッセージインタフェースレジスタによって TxRqst ビットを "0" にクリアしてください。

• UMask: 受容マスク許可ビット

UMask	機能
0	Msk28-Msk0, MXtd, MDir を使用しません。
1	Msk28-Msk0, MXtd, MDir を使用します。

(注意事項) ・ CAN 制御レジスタ (CTRLR) の Init ビットが "1" のとき、あるいは MsgVal ビットが "0" のときに UMask ビットを変更してください。

・ Dir ビットが "1" かつ RmtEn ビットが "0" のとき、UMask ビットの設定により動作が異なります。

- UMask ビットが "1" の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを "0" にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NewDat ビットは "1" に設定され、データは変更しません (データフレームのように扱います)。

- UMask ビットが "0" の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。

• ID28-ID0: メッセージ ID

	機能
ID28 - ID0	29 ビット ID (拡張フレーム) を指示します。
ID28 - ID18	11 ビット ID (標準フレーム) を指示します。

• Msk28-0: ID マスク

Msk	機能
0	メッセージオブジェクトの ID と対応するビットをマスクします。
1	メッセージオブジェクトの ID と対応するビットをマスクしません。

• Xtd: 拡張 ID 許可ビット

Xtd	機能
0	メッセージオブジェクトは 11 ビット ID (標準フレーム) が使用されます。
1	メッセージオブジェクトは 29 ビット ID (拡張フレーム) が使用されます。

• MXtd: 拡張 ID マスクビット

MXtd	機能
0	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行いません。受信したフレームの IDE ビットに従って標準フレームの ID として比較するか、拡張フレームの ID として比較するか決定します。
1	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行います。

(注意事項) 11 ビット ID (標準フレーム) がメッセージオブジェクトに設定されると、受信したデータフレームの ID は、ID28 ～ ID18 へ書き込まれます。ID マスクは、Msk28 ～ Msk18 が使用されます。

• Dir: メッセージ方向ビット

Dir	機能
0	受信方向を示します。 TxRqst が "1" に設定されると、リモートフレームの送信を行い、TxRqst が "0" のときは、受容フィルタを通過したデータフレームを受信します。
1	送信方向を示します。 TxRqst が "1" に設定されると、データフレームを送信し、TxRqst が "0" で RmtEn が "1" に設定されている場合、受容フィルタを通過したリモートフレームの受信によって、CAN コントローラ自身が TxRqst を "1" に設定します。

• MDir: メッセージ方向マスクビット

MDir	機能
0	受容フィルタでメッセージ方向ビット (Dir) をマスクします。
1	受容フィルタでメッセージ方向ビット (Dir) をマスクしません。

(注意事項) MDir ビットは常に "1" を設定してください。

• EoB: エンドオブバッファビット (詳細は、「37.5.4 FIFO バッファ機能」参照)

EoB	機能
0	メッセージオブジェクトは FIFO バッファとして使用され、最終メッセージでないことを示します。
1	単一メッセージオブジェクトまたは FIFO バッファの最終メッセージオブジェクトを示します。

(注意事項) ・ EoB ビットは、2 ～ 32 メッセージの FIFO バッファを構成するために使用します。
・ 単一メッセージオブジェクト (FIFO を使用しない場合) は、必ず EoB ビットに "1" を設定してください。

• NewDat: データ更新ビット

NewDat	機能
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

• MsgLst: メッセージロスト

MsgLst	機能
0	メッセージロストは発生していません。
1	メッセージロストが発生しています。

(注意事項) MsgLst ビットは Dir ビットが "0" のとき (受信方向) のみ有効です。

• RxIE: 受信割込みフラグイネーブルビット

RxIE	機能
0	フレーム受信成功後、IntPnd は変更されません。
1	フレーム受信成功後、IntPnd が "1" に設定されます。

• TxIE: 送信割込みフラグイネーブルビット

TxIE	機能
0	フレーム送信成功後, IntPnd は変更されません。
1	フレーム送信成功後, IntPnd が "1" に設定されます。

• IntPnd: 割込みペンディングビット

IntPnd	機能
0	割込み要因がありません。
1	割込み要因があります。 ほかに優先度の高い割込みがない場合は, CAN 割込みレジスタ (INTR) の IntId ビットはこのメッセージオブジェクトを示します。

• RmtEn: リモートイネーブル

RmtEn	機能
0	リモートフレームの受信で, TxRqst は変更されません。
1	Dir ビットが "1" でリモートフレームを受信すると, TxRqst が "1" に設定されます。

- (注意事項) ・Dir ビットが "1" かつ RmtEn ビットが "0" のとき, UMask の設定により動作が異なります。
- UMask が "1" の場合は, 受容フィルタを通過しリモートフレームを受信したとき, TxRqst ビットを "0" にリセットします。そのとき, 受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し, NewDat ビットは "1" に設定され, データは変更しません (データフレームのように取り扱います)。
 - UMask が "0" の場合は, リモートフレーム受信に対し, TxRqst ビットはそのまま保持し, リモートフレームを無視します。

• TxRqst: 送信要求ビット

TxRqst	機能
0	送信アイドル状態 (送信中でもないし, 送信待ち状態でもない) を示します。
1	送信中または, 送信待ちであることを示します。

• DLC3-DLC0: データ長コード

DLC 3-0	機能
0-8	データフレーム長は 0 ～ 8 バイトです。
9-15	設定禁止です。 設定された場合は, 8 バイト長となります。

- (注意事項) データフレームを受信すると DLC ビットには, 受信した DLC が格納されます。

• Data 0-7: データ 0-7

	機能
Data 0	CAN データフレームの最初のデータバイト
Data 1	CAN データフレームの 2 番目のデータバイト
Data 2	CAN データフレームの 3 番目のデータバイト
Data 3	CAN データフレームの 4 番目のデータバイト
Data 4	CAN データフレームの 5 番目のデータバイト
Data 5	CAN データフレームの 6 番目のデータバイト
Data 6	CAN データフレームの 7 番目のデータバイト
Data 7	CAN データフレームの 8 番目のデータバイト

- (注意事項) ・ CAN バスへのシリアル出力は , MSB (bit7 もしくは bit15) より出力します。
- ・ 受信メッセージデータが 8 バイトより少ない場合は , データレジスタの残りのバイトには不定が書き込まれます。
 - ・ メッセージオブジェクトへの転送は , Data A もしくは Data B の 4 バイト単位で行われますので , 4 バイトのうちある一部のデータだけを更新することはできません。

37.4.4 メッセージハンドラレジスタ

メッセージハンドラレジスタは、すべて読み出し専用です。メッセージオブジェクトの TxRqst, NewDat, IntPnd, MsgVal ビットと IntId ビットは、ステータスを表示します。

■ メッセージハンドラレジスタ

- CAN 送信要求レジスタ 1, 2(TREQR1, TREQR2)
- CAN データ更新レジスタ 1, 2(NEWDT1, NEWDT2)
- CAN 割込みペンディングレジスタ 1, 2(INTPND1, INTPND2)
- CAN メッセージ有効レジスタ 1, 2(MSGVAL1, MSGVAL2)

■ CAN 送信要求レジスタ 1, 2 : TREQR1, TREQR2

全メッセージオブジェクトの TxRqst ビットを表示します。TxRqst ビットを読み出すことにより、どのメッセージオブジェクトの送信要求がペンディング中であるかチェックできます。

- CAN 送信要求レジスタ 2(上位バイト): アドレス Base + 80_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TxRqst32-TxRqs25								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

- CAN 送信要求レジスタ 2(下位バイト): アドレス Base+81_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
TxRqst24-TxRqst17								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

- CAN 送信要求レジスタ 1(上位バイト): アドレス Base+82_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TxRqst16-TxRqst9								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

- CAN 送信要求レジスタ 1(下位バイト): アドレス Base+83_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
TxRqst8-TxRqst1								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

● TxRqst32-TxRqst1: 送信要求ビット

TxRqst32-1	機能
0	送信アイドル状態 (送信中でもないし、送信待ち状態でもない) を示します。
1	送信中または、送信待ちであることを示します。

TxRqst ビットのセット／リセット条件を以下に示します。

● セット条件

IFx コマンドマスキングレジスタ (IFxCMSK) の WR/RD に "1", TxRqst に "1" を設定し、IFx コマンド要求レジスタ (IFxCREQ) への書き込みにより特定オブジェクトの TxRqst に設定できます。

IFx コマンドマスキングレジスタ (IFxCMSK) の WR/RD に "1", TxRqst に "0", Control に "1" を設定し、IFx メッセージ制御レジスタ (IFxMCTR) の TxRqst に "1" を設定した場合、IFx コマンド要求レジスタ (IFxCREQ) への書き込みにより特定オブジェクトの TxRqst に設定できます。

Dir ビットが "1", RmtEn ビットが "1" に設定し、受容フィルタを通過したリモートフレームの受信によりセットされます。

● リセット条件

IFx コマンドマスキングレジスタ (IFxCMSK) の WR/RD に "1", TxRqst に "0", Control に "1" を設定し、IFx メッセージ制御レジスタ (IFxMCTR) の TxRqst に "0" を設定した場合、IFx コマンド要求レジスタ (IFxCREQ) への書き込みにより特定オブジェクトの TxRqst をリセットできます。

フレームの送信が正常終了すると、リセットされます。

Dir が "1", RmtEN が "0", UMask が "1" の場合、受容フィルタを通過したリモートフレームの受信によりリセットされます。

64 メッセージバッファを搭載する CAN マクロにおける送信要求ビットの確認については以下の表を参照願います。

表 37.4-7 64 メッセージバッファを搭載する CAN マクロにおける送信要求ビット

		addr + 0	addr + 1	addr + 2	addr + 3
TREQR 4 & 3	TxRqst 64-33 (address 84 _H)	TxRqst64-57	TxRqst56-49	TxRqst48-41	TxRqst40-33

(注意事項) ・優先順位が最下位のメッセージバッファを送信に使用している場合、TxRqst に "1" を設定し、送信中止のため、TxRqst に "0" を設定した場合、そのタイミングによっては、再度 TxRqst に "1" を設定したとき、以下のいずれかのイベントが発生するまで、メッセージが送信されないことがあります。

- CAN バス上に有効なメッセージが流れる
- ほかのメッセージバッファに対して送信要求が発行される
- INIT ビットによって CAN が初期化される

システム上、もし送信を中止する状況が発生する場合、送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しないか、送信中止後、上記のいずれかのイベントが発生させた後、再度 TxRqst に "1" を設定してください。

・TxRqst ビットが "1" のときに ID28-0, DLC3-0, Xtd, Data7-0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されなかったりする可能性があるため TxRqst ビットが "0" のときにそれらを変更してください。

■ CAN データ更新レジスタ 1, 2 : NEWDT1, NEWDT2

全メッセージオブジェクトの NewDat ビットを表示します。NewDat ビットを読み出すことにより、どのメッセージオブジェクトのデータが更新されたかチェックできます。

• CAN データ更新レジスタ 2(上位バイト): アドレス Base + 90_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
NewDat32-NewDat25								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

• CAN データ更新レジスタ 2(下位バイト): アドレス Base+91_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
NewDat24-NewDat17								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

• CAN データ更新レジスタ 1(上位バイト): アドレス Base+92_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
NewDat16-NewDat9								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

• CAN データ更新レジスタ 1(下位バイト): アドレス Base+93_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
NewDat8-NewDat1								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

• NewDat32-NewDat1: データ更新ビット

NewDat 32-1	機能
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

NewDat ビットのセット/リセット条件を以下に示します。

● セット条件

IFx コマンドマスクレジスタ (IFxCMSK) の WR/RD に "1", Control に "1" を設定し, IFx メッセージ制御レジスタ (IFxMCTR) の NewDat に "1" を設定して, IFx コマンド要求レジスタ (IFxCREQ) の書き込みにより特定オブジェクトに設定できます。

受容フィルタを通過したデータフレームの受信によりセットされます。

Dir が "1", RmtEN が "0", UMask が "1" の場合, 受容フィルタを通過したリモートフレームの受信によりセットされます。

● リセット条件

IFx コマンドマスクレジスタ (IFxCMSK) の WR/RD に "0", NewDat に "1" を設定した場合, IFx コマンド要求レジスタ (IFxCREQ) の書込みにより特定オブジェクトの NewDat をリセットできます。

IFx コマンドマスクレジスタ (IFxCMSK) の WR/RD に "1", Control に "1" を設定し, IFx メッセージ制御レジスタ (IFxMCTR) の NewDat を "0" に設定した場合, IFx コマンド要求レジスタ (IFxCREQ) の書込みにより特定オブジェクトの NewDat をリセットできます。

送信用シフトレジスタ (内部レジスタ) ヘデータを転送終了後, リセットされます。

64 メッセージバッファを搭載する CAN マクロにおけるデータ更新ビットの確認については以下の表を参照願います。

表 37.4-8 64 メッセージバッファを搭載する CAN マクロにおけるデータ更新ビット

		addr + 0	addr + 1	addr + 2	addr + 3
NEWDT 4 & 3	NewDat 64-33 (address 94 _H)	NewDat64-57	NewDat56-49	NewDat48-41	NewDat40-33

■ CAN 割込みペンディングレジスタ 1, 2 : INTPND1, INTPND2

全メッセージオブジェクトの IntPnd ビットを表示します。IntPnd ビットを読み出すことにより, どのメッセージオブジェクトが割込みペンディング中であるかチェックできます。

• CAN 割込みペンディングレジスタ 2(上位バイト): アドレス Base + A0_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
IntPnd32-IntPnd25								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

• CAN 割込みペンディングレジスタ 2(下位バイト): アドレス Base+A1_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
IntPnd24-IntPnd17								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

• CAN 割込みペンディングレジスタ 1(上位バイト): アドレス Base+A2_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
IntPnd16-IntPnd9								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

• CAN 割込みペンディングレジスタ 1(下位バイト): アドレス Base+A3_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
IntPnd8-IntPnd1								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

● IntPnd32-IntPnd1: 割込みペンディングビット

IntPnd 32-1	機能
0	割込み要因がありません。
1	割込み要因があります。

IntPnd ビットのセット / リセット条件を以下に示します。

● セット条件

TxIE が "1" に設定されている場合, フレームの正常送信完了によりセットされます。

RxIE が "1" に設定されている場合, 受容フィルタを通過したフレームの正常受信完了によりセットされます。

IFx コマンドマスクレジスタの WR/RD に "1", Control に "1", IFx メッセージ制御レジスタの IntPnd に "1" を設定して, IFx コマンド要求レジスタの書き込みにより, 特定オブジェクトの IntPnd をセットできます。

● リセット条件

IFx コマンドマスクレジスタ (IFxCMSK) の WR/RD に "0", CIP に "1" を設定した場合, IFx コマンド要求レジスタ (IFxCREQ) の書き込みにより特定オブジェクトの IntPnd をリセットできます。IFx コマンドマスクレジスタの WR/RD に "1", Control に "1" を設定し, IFx メッセージ制御レジスタの IntPnd を "0" に設定した場合, IFx コマンド要求レジスタの書き込みにより特定オブジェクトの IntPnd をリセットできます。

64 メッセージバッファを搭載する CAN マクロにおける割込みペンディングビットの確認については以下の表を参照願います。

表 37.4-9 64 メッセージバッファを搭載する CAN マクロにおける割込みペンディングビット

		addr + 0	addr + 1	addr + 2	addr + 3
INTPND 4 & 3	IntPnd 64-33 (address A4 _H)	IntPnd64-57	IntPnd56-49	IntPnd48-41	IntPnd40-33

■ CAN メッセージ有効レジスタ 1, 2 : MSGVAL1, MSGVAL2

全メッセージオブジェクトの MsgVal ビットを表示します。MsgVal ビットを読み出すことにより, どのメッセージオブジェクトが有効であるかチェックできます。

● CAN メッセージ有効レジスタ 2(上位バイト): アドレス Base+B0_H

(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
MsgVal32-MsgVal25								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

● CAN メッセージ有効レジスタ 2(下位バイト): アドレス Base+B1_H

(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
MsgVal24-MsgVal17								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

- CAN メッセージ有効レジスタ 1(上位バイト): アドレス $\text{Base} + \text{B2}_H$
(アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
MsgVal16-MsgVal9								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

- CAN メッセージ有効レジスタ 1(下位バイト): アドレス $\text{Base} + \text{B3}_H$
(アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
MsgVal 8-MsgVal1								
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

- MsgVal32-MsgVal1: メッセージ有効ビット

MsgVal 32-1	機能
0	メッセージオブジェクトは無効です メッセージの送受信は行いません
1	メッセージオブジェクトは有効です メッセージの送受信が可能となります

MsgVal ビットのセット/リセット条件を以下に示します。

● セット条件

IFx コマンドマスクレジスタの WR/RD に "1", Arb に "1" を設定し, IFx アービトレーションレジスタ 2 の MsgVal ビットに "1" を設定し, IFx コマンド要求レジスタ (IFxCREQ) への書込みにより特定オブジェクトの MsgVal ビットをセットできます。

● リセット条件

IFx コマンドマスクレジスタの WR/RD に "1", Arb に "1" を設定し, IFx アービトレーションレジスタ 2 の MsgVal ビットに "0" を設定し, IFx コマンド要求レジスタ (IFxCREQ) の書込みにより特定オブジェクトの MsgVal ビットをクリアできます。

64 メッセージバッファを搭載する CAN マクロにおけるメッセージ有効ビットの確認については以下の表を参照願います。

表 37.4-10 64 メッセージバッファを搭載する CAN マクロにおけるメッセージ有効ビット

		addr + 0	addr + 1	addr + 2	addr + 3
MSGVAL 4 & 3	MsgVal 64-33 (address B4 _H)	MsgVal64-57	MsgVal56-49	MsgVal48-41	MsgVal40-33

37.4.5 CAN プリスケアラレジスタ

CAN システムクロック (fsys) 生成プリスケアラを設定するものです。詳細は「37.5.6 ビットタイミング・CAN システムクロック (fsys) 生成」をご参照ください。このレジスタの値を変更する場合は、CAN 制御レジスタ (CTRLR) の初期化ビット (Init) を "1" に設定し、すべてのバス動作を停止してください。

・CAN プリスケアラレジスタ : アドレス 04A4_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約	予約			CANPRE3	CANPRE2	CANPRE1	CANPRE0	
0	0	0	0	0	0	0	0	初期値
R/W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	属性

[bit7] 予約ビット

必ず "0" を書き込んでください。

[bit6 ~ bit4] 予約ビット

常に "0" が読み出されます。書込みは "0" を設定してください。

[bit3 ~ bit0] CANPRE3 ~ CANPRE0 : CAN プリスケアラ設定ビット

CANPRE [3:0]	機能	入力 CAN プリスケアラ クロック 128MHz 時	入力 CAN プリスケアラ クロック 80MHz 時	入力 CAN プリスケアラ クロック 64MHz 時	入力 CAN プリスケアラ クロック 48MHz 時
0000	CAN クロックとしてシステムクロックの 1/1 周期が選択されます。 (初期値 : CANPRE[3:0]=0000)	128MHz	80MHz	64MHz	48MHz
0001	CAN クロックとしてシステムクロックの 1/2 周期が選択されます。	64MHz	40MHz	32MHz	24MHz
001x	CAN クロックとしてシステムクロックの 1/4 周期が選択されます。	32MHz	20MHz	16MHz	12MHz
01xx	CAN クロックとしてシステムクロックの 1/8 周期が選択されます。	16MHz	10MHz	8MHz	6MHz
1000	CAN クロックとしてシステムクロックの 2/3 周期が選択されます。 クロックのDutyは 67% となります。	85.3MHz	53.3MHz	42.7MHz	32MHz
1001	CAN クロックとしてシステムクロックの 1/3 周期が選択されます。	42.7MHz	26.7MHz	21.4MHz	16MHz
1010	CAN クロックとしてシステムクロックの 1/6 周期が選択されます。	21.3MHz	13.3MHz	10.7MHz	8MHz
1011	CAN クロックとしてシステムクロックの 1/12 周期が選択されます。	10.7MHz	6.7MHz	5.4MHz	4MHz
110x	CAN クロックとしてシステムクロックの 1/5 周期が選択されます。	25.6MHz	16.0MHz	12.8MHz	9.6MHz
111x	CAN クロックとしてシステムクロックの 1/10 周期が選択されます。	12.8MHz	8.0MHz	6.4MHz	4.8MHz

(注意事項) ・CAN プリスケアラ設定ビットの変更は、CAN 制御レジスタ (CTRLR) の初期化ビットを "1" に設定し、すべてのバス動作を停止させた後に行ってください。

・レジスタの設定により CAN インタフェースに供給するクロックは 16MHz 以下としてください。

37.5 動作説明

CAN には以下の機能があります。

- メッセージオブジェクト
- メッセージ送信動作
- メッセージ受信動作
- FIFO バッファ機能
- 割込み機能
- ビットタイミング
- テストモード
- ソフトウェア初期化

37.5.1 メッセージオブジェクト

メッセージ RAM のメッセージオブジェクトとインタフェースについて説明します。

■ メッセージオブジェクト

メッセージ RAM のメッセージオブジェクト設定 (MsgVal, NewDat, IntPnd, TxRqst ビットを除く) は、ハードウェアリセットによって初期化されません。そのためメッセージオブジェクトを CPU で初期化するか、MsgVal ビットを無効 (MsgVal=0) に設定してください。また、CAN ビットタイミングレジスタ (BTR) と CAN プリスケアラ拡張レジスタ (BRPER) の設定は CAN 制御レジスタ (CTRLR) の Init ビットが "1", CCE ビットが "1" のとき行ってください。

メッセージオブジェクトの設定は、メッセージインタフェースレジスタ (IFx マスクレジスタ, IFx アービトレーションレジスタ, IFx メッセージ制御レジスタ (IFxMCTR), IFx データレジスタ (IFxDTx)) に設定した後、IFx コマンド要求レジスタ (IFxCREQ) へのメッセージ番号の書込みにより、そのインタフェースレジスタのデータが指定されたメッセージオブジェクトへ転送されます。

CAN 制御レジスタ (CTRLR) の Init ビットが "0" にクリアされると CAN コントローラは動作を開始します。受容フィルタを通過した受信メッセージは、メッセージ RAM へ格納されます。送信要求が保留されているメッセージは、メッセージ RAM から CAN コントローラのシフトレジスタへ転送され、CAN バスへの送信が行われます。

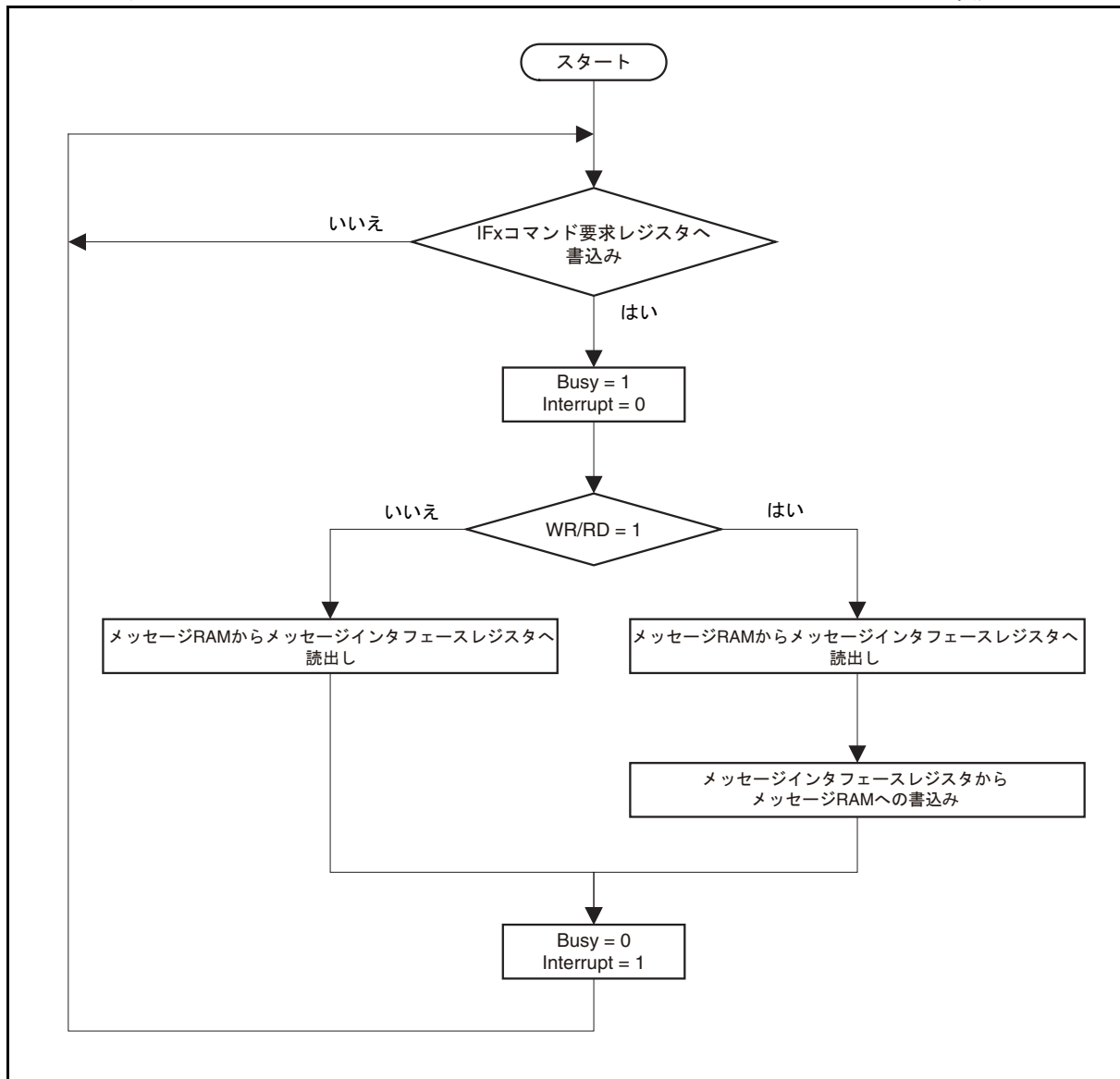
CPU は、メッセージインタフェースレジスタ経由で受信メッセージの読出しおよび、送信メッセージの更新を行います。また、CAN 制御レジスタ (CTRLR) および、IFx メッセージ制御レジスタ (IFxMCTR) (メッセージオブジェクト) の設定に応じて、CPU への割込みが行われます。

■ メッセージ RAM とのデータ送受信

メッセージインタフェースレジスタとメッセージ RAM とのデータ転送を開始すると、IFx コマンド要求レジスタ (IFxCREQ) の Busy ビットを "1" に設定します。転送完了後、BUSY ビットは "0" にクリアされます。(図 37.5-1 参照)

IFx コマンドマスクレジスタ (IFxCMSK) は、1 つのメッセージオブジェクトの全データ転送か、データの部分転送を行うかを設定します。メッセージ RAM の構造上、メッセージオブジェクトの単一ビット/バイトの書込みは不可能となっており、常に 1 つのメッセージオブジェクトの全データをメッセージ RAM へ書込みます。したがって、メッセージインタフェースレジスタからメッセージ RAM へのデータ転送は、リードモディファイライトサイクルを実行しています。

図 37.5-1 メッセージインタフェースレジスタとメッセージ RAM のデータ転送



37.5.2 メッセージ送信動作

送信メッセージオブジェクトの設定方法および送信動作について説明します。

■ メッセージ送信

メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送がない場合、CAN メッセージ有効レジスタ (MSGVAL) の MsgVal ビットと CAN 送信要求レジスタ (TREQR) の TxRqst ビットを評価します。送信要求を保留している中で、最高優先度の有効であるメッセージオブジェクトが、送信用のシフトレジスタへ転送が行われます。そのときメッセージオブジェクトの NewDat ビットは "0" にクリアされます。

正常に送信が完了したとき、メッセージオブジェクトに新たなデータがない (NewDat=0) 場合は、TxRqst ビットは "0" にリセットされます。TxIE が "1" に設定されている場合は、送信成功後に IntPnd ビットが "1" に設定されます。CAN コントローラが CAN バス上で調停に負けた場合、あるいは転送中にエラーが発生した場合は、CAN バスがアイドルになり次第、直ちにメッセージの再送信が行われます。

■ 送信優先度

メッセージオブジェクトの送信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 32 (搭載している最大メッセージオブジェクト番号) が最低優先度となります。したがって、2 つ以上の送信要求が保留されていると、対応するメッセージオブジェクトの小さい番号順に転送が行われます。

(注意事項) ・優先順位が最下位のメッセージバッファを送信に使用している場合、TxRqst に "1" を設定し、送信中止のため、TxRqst に "0" を設定した場合、そのタイミングによっては、再度 TxRqst に "1" を設定したとき、以下のいずれかのイベントが発生するまで、メッセージが送信されないことがあります。

- CAN バス上に有効なメッセージが流れる
- ほかのメッセージバッファに対して送信要求が発行される
- Init ビットによって CAN が初期化される

システム上、もし送信を中止する状況が発生する場合、送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しないか、送信中止後、上記のいずれかのイベントが発生させた後、再度 TxRqst に "1" を設定してください。

- ・TxRqst ビットが "1" のときに ID28-ID0, DLC3-DLC0, Xtd, Data7-Data0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されなかったりする可能性があるので TxRqst ビットが "0" のときにそれらを変更してください。

■ 送信メッセージオブジェクトの設定

表 37.5-1 に送信オブジェクトの初期化方法を示します。

表 37.5-1 送信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	1	0	0	0	appl.	0	appl.	0

IFx アービトレーションレジスタ (ID28-ID0 と Xtd ビット) は、アプリケーションで与えられ、送信メッセージの ID およびメッセージの種類を定義します。

標準フレーム (11 ビット ID) を設定した場合は、ID28～ID18 を使用し、ID17～ID0 は無効となります。拡張フレーム (29 ビット ID) を設定した場合は、ID28～ID0 を使用します。

TxIE ビットに "1" をセットすると、メッセージオブジェクトの送信成功後に IntPnd ビットが "1" に設定されます。

RmtEn ビットに "1" をセットすると、一致するリモートフレームを受信後、TxRqst ビットに "1" をセットし、データフレームを自動的に送信します。

データレジスタ (DLC3-DLC0, Data0-Data7) の設定は、アプリケーションで与えられます。

Umask=1 のとき、IFx マスクレジスタ (Msk28-0, UMask, MXtd, MDir ビット) は、マスク設定によりグループ化された ID を持つリモートフレームを受信し、その後、送信を許可 (TxRqst ビットに "1" をセット) するために使用されます。詳細は、「37.5.3 メッセージ受信動作」のリモートフレームを参照してください。

(注意事項) IFx マスクレジスタの Dir ビットをマスク許可に設定することは禁止です。

■ 送信メッセージオブジェクトの更新

CPU は、送信メッセージオブジェクトのデータをメッセージインタフェースレジスタ経由で、更新できます。

送信メッセージオブジェクトのデータは、対応する IFx データレジスタ (IFxDtTx) の 4 バイト単位 (IFx データレジスタ A(IFxDtAx), IFx データレジスタ B (IFxDtBx) 単位) でデータ書込みが行われます。そのため 1 バイトだけ送信メッセージオブジェクトを変更することはできません。

8 バイトのデータを更新するときは、まず IFx コマンドマスキングレジスタ (IFxCMSK) へ 0087_H の書込みを行います。そして、IFx コマンド要求レジスタ (IFxCREQ) へメッセージ番号の書込みにより、送信メッセージオブジェクトのデータ更新 (8 バイトデータ) と TxRqst ビットへの "1" 書込みが同時に行われます。

NewDat ビットと TxRqst ビットが共に "1" に設定された場合、送信を開始すると NewDat ビットは "0" にリセットされます。

(注意事項) ・データを更新する場合は、IFx データレジスタ A(IFxDtAx) もしくは IFx データレジスタ B(IFxDtBx) の 4 バイト単位で行ってください。

・TxRqst ビットが "1" のときに ID28-ID0, DLC3-DLC0, Xtd, Data7-Data0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されなかったりする可能性があるので TxRqst ビットが "0" のときにそれらを変更してください。

37.5.3 メッセージ受信動作

受信メッセージオブジェクトの設定方法および受信動作について説明します。

■ 受信メッセージの受容フィルタ

メッセージのアービトレーション／コントロールフィールド (ID + IDE + RTR + DLC) が CAN コントローラ受信シフトレジスタへ完全にシフトされると、有効メッセージオブジェクトとの一致比較のためにメッセージ RAM のスキャンを開始します。

このとき、メッセージ RAM のメッセージオブジェクトから調停フィールドとマスクデータ (MsgVal, UMask, NewDat, EoB を含む) がロードされ、メッセージオブジェクトとシフトレジスタの調停フィールドがマスクデータを含んで比較されます。

この動作は、"メッセージオブジェクトとシフトレジスタの調停フィールドが一致検出されるまで"、または "メッセージ RAM の最終ワードに到達するまで"、繰り返し実行します。一致が検出されると、メッセージ RAM のスキャンは停止され、受信フレームのタイプ (データフレームまたはリモートフレーム) により、CAN コントローラは処理を行います。

■ 受信優先度

メッセージオブジェクトの受信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 32 (搭載している最大メッセージオブジェクト番号) が最低優先度となります。したがって、受容フィルタで 2 つ以上一致した場合は、メッセージ番号の小さい番号が受信メッセージオブジェクトとなります。

■ データフレーム受信

CAN コントローラは、受容フィルタで一致したメッセージオブジェクトのメッセージ RAM へ、シフトレジスタから受信メッセージを転送し格納します。この格納するデータは、データバイトだけではなく、すべてのアービトレーションフィールドおよびデータ長コードも格納します。これは、IFx マスキングレジスタがマスク設定されている場合でも実行されます。(ID とデータバイトを保持するために格納されます。)

NewDat ビットは、新たなデータが受信されると "1" に設定されます。CPU がメッセージオブジェクトを読み出したときには、NewDat ビットを "0" にリセットしてください。メッセージ受信時に、既に NewDat ビットが "1" に設定されている場合は、その前のデータが失われたことになり、MsgLst ビットが "1" に設定されます。

RxIE ビットが "1" に設定されている場合、メッセージバッファを受信すると CAN 割込みペンディングレジスタ (INTPND) の IntPnd ビットに "1" をセットします。そのとき、そのメッセージオブジェクトの TxRqst ビットは "0" にクリアされます。これは、リモートフレーム送信処理中に、要求データフレームを受信した場合、送信処理を防ぐために行われます。

■ リモートフレーム

リモートフレーム受信時の動作は、下記の 3 つの処理があります。一致するメッセージオブジェクトの設定より、リモートフレーム受信時の処理が選択されます。

1) Dir=1 (送信方向), RmtEn=1, UMask=1 または 0

一致したリモートフレームの受信を行い、このメッセージオブジェクトの TxRqst ビットのみ "1" に設定され、リモートフレームに対するデータフレームの自動返信 (送信) を行います。(TxRqst ビット以外のメッセージオブジェクトは変更されません。)

2) Dir=1 (送信方向), RmtEn=0, UMask=0

受信したリモートフレームがメッセージオブジェクトと一致しても受信しないでリモートフレームを無効にします。(このメッセージオブジェクトの TxRqst ビットは変更されません。)

3) Dir=1 (送信方向), RmtEn=0, UMask=1

受信したリモートフレームがメッセージオブジェクトと一致した場合、このメッセージオブジェクトの TxRqst ビットは "0" にリセットされ、リモートフレームは受信データフレームのように処理されます。受信したアービトレーションフィールドとコントロールフィールド (ID + IDE + RTR + DLC) は、メッセージ RAM のメッセージオブジェクトへ格納され、このメッセージオブジェクトの NewDat ビットが "1" に設定されます。メッセージオブジェクトのデータフィールドは変更されません。

■ 受信メッセージオブジェクトの設定

表 37.5-2 に受信メッセージオブジェクトの初期化方法を示します。

表 37.5-2 受信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	0	0	0	appl.	0	0	0	0

IFx アービトレーションレジスタ (ID28-ID0, Xtd ビット) は、アプリケーションによって与えられ、受容フィルタに用いられる受信メッセージ ID とメッセージの種類を定義します。

標準フレーム (11 ビット ID) を設定した場合は、ID28 ～ ID18 を使用し、ID17 ～ ID0 は無効となります。また、標準フレームが受信されると、ID17 ～ ID0 は "0" にリセットされます。拡張フレーム (29 ビット ID) を設定した場合は、ID28 ～ ID0 を使用します。

RxIE ビットが "1" に設定された場合、受信データフレームがメッセージオブジェクトへ格納されると IntPnd ビットが "1" に設定されます。

データ長コード (DLC3-DLC0) は、アプリケーションによって与えられます。CAN コントローラが、受信データフレームをメッセージオブジェクトへ格納するとき、受信データ長コードと 8 バイトのデータを格納します。データ長コードが 8 未満の場合は、メッセージオブジェクトの残りのデータは不定データが書き込まれます。

Umask=1 のとき, IFx マスクレジスタ (Msk28-Msk0, UMask, MXtd, MDir ビット) は, マスク設定によりグループ化された ID を持つデータフレームの受信を許可するために使用します。詳細は, 「37.5.3 メッセージ受信動作」のデータフレーム受信を参照してください。

(注意事項) IFx マスクレジスタの Dir ビットのマスク設定は禁止です。

■ 受信メッセージの処理

CPU は, メッセージインタフェースレジスタを介して, 受信メッセージをいつでも読み出すことが可能です。

通常, IFx コマンドマスクレジスタ (IFxCMSK) に "007F_H" を書き込みます。次にメッセージオブジェクトのメッセージ番号を IFx コマンド要求レジスタ (IFxCREQ) に書き込みます。この手順によって指定されたメッセージ番号の受信メッセージをメッセージ RAM からメッセージインタフェースレジスタに転送します。このとき, IFx コマンドマスクレジスタ (IFxCMSK) の設定により, メッセージオブジェクトの NewDat ビットと IntPnd ビットを "0" にクリアすることが可能です。

受信メッセージの処理は, 受容フィルタにより一致した場合, メッセージを受信します。メッセージオブジェクトで受容フィルタのマスクを使用している場合は, マスク設定されたデータが受容フィルタから除外され, メッセージを受信するか判断します。

NewDat ビットは, メッセージオブジェクトが最後に読み出されてから, 新しいメッセージが受信されたかを示します。

MsgLst ビットは, 受信したデータがメッセージオブジェクトから読み出されない状態で次の受信データを受信したために前のデータを失ってしまったことを示します。MsgLst ビットは自動的にリセットされません。

リモートフレーム送信処理中に, 受容フィルタにより一致するデータフレームが受信された場合には, TxRqst ビットは自動的に "0" にクリアされます。

37.5.4 FIFO バッファ機能

受信メッセージ処理におけるメッセージオブジェクトの FIFO バッファの構成および動作について説明します。

■ FIFO バッファの構成

FIFO バッファの受信メッセージオブジェクトの構成は, EoB ビットを除いて, 受信メッセージオブジェクトの構成と同じです (「37.5.3 メッセージ受信動作」の受信メッセージオブジェクトの設定を参照してください)。

FIFO バッファは, 2 つ以上の受信メッセージオブジェクトを連結して使用します。この FIFO バッファへ受信メッセージを格納するためには, 受信メッセージオブジェクトの ID とマスクを使用する場合はそれらの設定を一致させなければなりません。

FIFO バッファの最初の受信メッセージオブジェクトは, 優先順位の高いメッセージ番号の小さい番号となります。FIFO バッファの最後の受信メッセージオブジェクトは, EoB ビットに "1" をセットし, FIFO バッファブロックの終わりを示す必要があります (FIFO バッファ構成を使用するメッセージオブジェクトの最終メッセージオブジェクト以外は, EoB ビットに "0" を設定してください)。

(注意事項) ・FIFO バッファで使用するメッセージオブジェクトの ID とマスク設定は必ず同じ設定にしてください。

・FIFO バッファを使用しない場合は, 必ず EoB ビットに "1" を設定してください。

■ FIFO バッファによるメッセージ受信

受信メッセージが, FIFO バッファの ID と一致した場合は, 最小メッセージ番号の FIFO バッファの受信メッセージオブジェクトへ格納されます。

FIFO バッファの受信メッセージオブジェクトへメッセージが格納されると、この受信メッセージオブジェクトの NewDat ビットが "1" に設定されます。EoB ビットが "0" の受信メッセージオブジェクトへ NewDat ビットをセットすると、CAN コントローラによる FIFO バッファ書き込みは、最後の受信メッセージオブジェクト (EoB ビット=1) に到達するまで、受信メッセージオブジェクトは保護され、書き込みが行われません。

最終 FIFO バッファまで有効なデータが格納された状態で受信メッセージオブジェクトの NewDat ビットに "0" 書き込み (書き込み保護の解除) が行われないと次に受信されたメッセージが最終メッセージオブジェクトへ書き込まれ、メッセージは上書きされてしまいます。

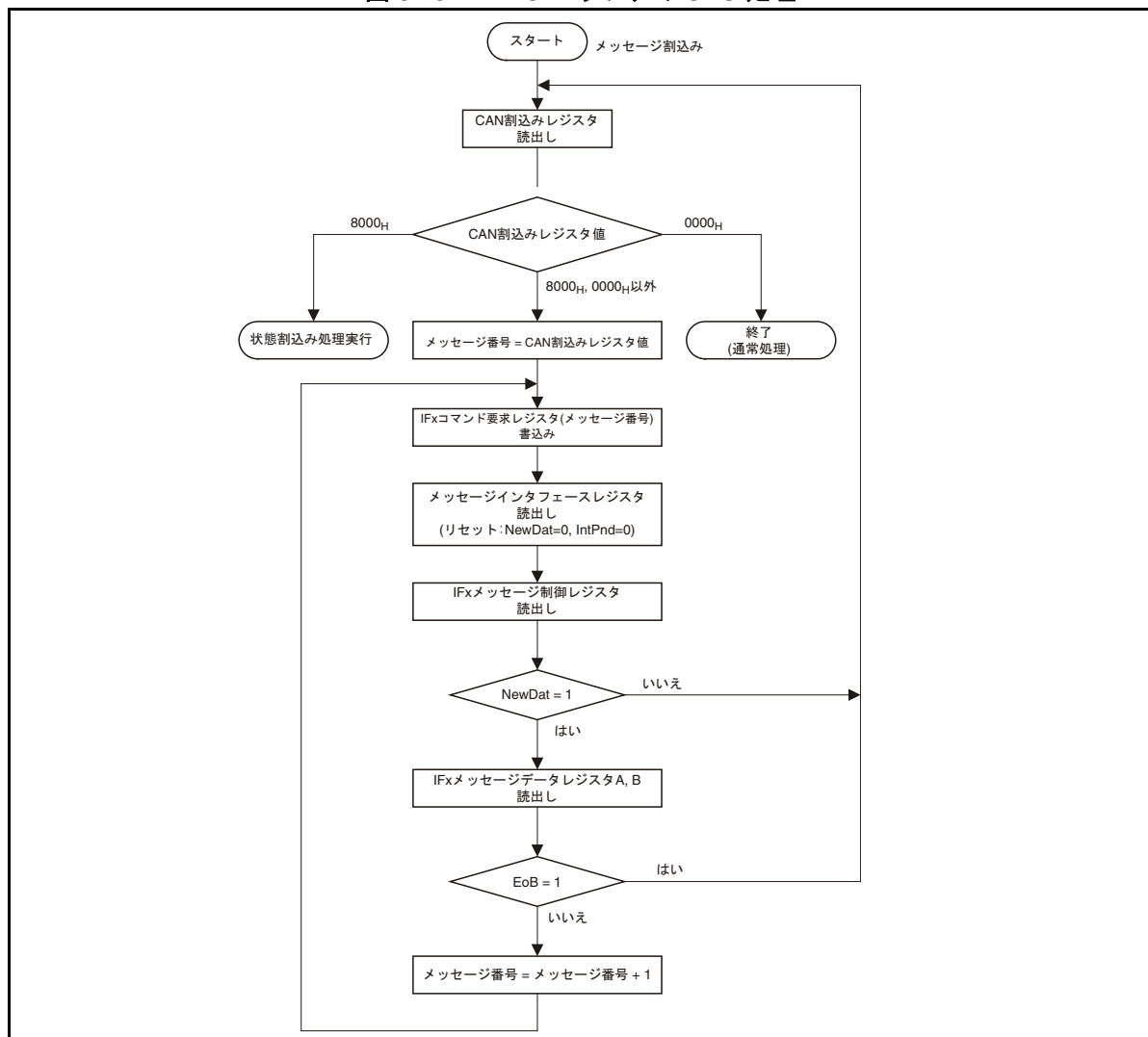
■ FIFO バッファからの読出し

CPU が受信メッセージオブジェクトの内容を読み出すには、IFx コマンド要求レジスタ (IFxCREQ) へ受信メッセージ番号を書き込むことによって、メッセージインタフェースレジスタに転送され読み出すことができます。このとき、IFx コマンドマスクレジスタ (IFxCMSK) の WR/RD を "0" (リード) および、TxRqst/NewDat=1, ClrIntPnd=1 に設定し、NewDat ビットと IntPnd ビットを "0" にリセットしてください。

FIFO バッファの機能を保証するために、FIFO バッファの受信メッセージオブジェクトは、必ず最小のメッセージ番号から読み出してください。

図 37.5-2 に FIFO バッファで連結されるメッセージオブジェクトの CPU の処理方法を示します。

図 37.5-2 FIFO バッファの CPU 処理



37.5.5 割込み機能

ステータス割込み (IntId=8000_H) およびメッセージ割込み (IntId=メッセージ番号) による割込み処理について説明します。

複数の割込みが保留中である場合、CAN 割込みレジスタ (INTR) は、保留中の最高優先度の割込みコードを示します。割込みコードの設定された時間順は無視され、常に優先順位の高い割込みコードが表示されます。CPU がクリアするまで割込みコードは保持されます。

ステータス割込み (IntId ビットの 8000_H) は、最高優先度となります。

メッセージ割込みの優先度は、メッセージ番号の小さいメッセージが高く、大きいメッセージが低くなります。

メッセージ割込みは、メッセージオブジェクトの IntPnd ビットのクリアによってクリアされます。

ステータス割込みは、CAN ステータスレジスタ (STATR) の読出しでクリアされます。

CAN 割込みペンディングレジスタ (INTPND) の IntPnd ビットは、割込みの有無を示します。保留中の割込みがないときは、IntPnd ビットは "0" を示します。

CAN 制御レジスタ (CTRLR) の IE ビットおよび、IFx メッセージ制御レジスタ (IFxMCTR) の TxIE ビット、RxIE ビットに "1" をセットしている状態で、IntPnd ビットが "1" になると CPU への割込み信号がアクティブになります。割込み信号は、CAN 割込みペンディングレジスタ (INTPND) が "0" にクリアされる (割込み要因リセット) か、CAN 制御レジスタ (CTRLR) の IE ビットが "0" にリセットされるまでアクティブ状態を保持します。

CAN 割込みレジスタ (INTR) の 8000_H は、CAN コントローラによって CAN ステータスレジスタ (STATR) が更新されたことを示し、この割込みが最高優先度となります。CAN ステータスレジスタ (STATR) の更新による割込みは、CAN 制御レジスタ (CTRLR) の EIE ビットと SIE ビットにより CAN 割込みレジスタ (INTR) への設定許可または禁止の制御ができます。また、CPU への割込み信号の制御は、CAN 制御レジスタ (CTRLR) の IE ビットで行うことができます。

CAN ステータスレジスタ (STATR) の RxOk ビット、TxOk ビット、LEC ビットは、CPU からの書込みにより更新 (リセット) することができますが、その書込みにより割込みのセットまたはリセットを行うことはできません。

CAN 割込みレジスタ (INTR) の 8000_H、0000_H 以外は、メッセージ割込みが保留中であることを示し、優先度の高い保留中のメッセージ割込みを示します。

CAN 割込みレジスタ (INTR) は、IE がリセットされた場合でも更新されます。

CPU へのメッセージ割込みの原因は、CAN 割込みレジスタ (INTR) または CAN 割込みペンディングレジスタ (INTPND) で確認できます。(「37.4.4 メッセージハンドラレジスタ」参照) メッセージ割込みをクリアする場合、同時にメッセージデータを読み出すことは可能であり、CAN 割込みレジスタ (INTR) で示されているメッセージ割込みをクリアすると次に優先度の高い割込みが CAN 割込みレジスタ (INTR) に設定され、次の割込み処理を待つことになります。割込みがない場合には、CAN 割込みレジスタ (INTR) は 0000_H を示します。

- (注意事項) ・ステータス割込み (IntId=8000_H) は、CAN ステータスレジスタ (STATR) の読出しアクセスにより割込みクリアされます。
・CAN ステータスレジスタ (STATR) の書込みアクセスによる、ステータス割込み (IntId=8000_H) は発生しません。

37.5.6 ビットタイミング・CAN システムクロック (fsys) 生成

ビットタイミングについての概要と CAN コントローラにおけるビットタイミングについて説明します。

CAN ネットワークの各 CAN ノードは、それぞれクロック発振器 (通常は水晶発振器) を持っています。ビットタイムのタイムパラメータは、CAN ノードごとに個別に構成できます。CAN ノードの発振周期 (fosc) が異なっても、共通のビットレートを作り出せます。

これらの発振器の周波数は、温度や電圧の変化、コンポーネントの悪化により少し異なります。その変動が発振器の許容範囲 (df) 内である限りは、CAN ノードはビットストリームへ再同期化することで異なるビットレートを補償できます。

CAN 仕様に応じて、ビットタイムは 4 つの区分に分けられ (「図 37.5-4 ビットタイミング」を参照してください)、同期化部 (Sync_Seg)、伝送時間部 (Prop_Seg)、フェイズバッファ部 1 (Phase_Seg1)、フェイズバッファ部 2 (Phase_Seg2) で構成されます。それぞれの区分は、プログラマブルな時間量 (「表 37.5-3 CAN ビットタイムのパラメータ」を参照してください) から成ります。ビットタイムの基本単位時間 (tq) は、CAN コントローラのシステムクロック fsys とボーレートプリスケアラ (BRP) で定義されます。

$$tq = BRP / fsys$$

CAN システムクロック fsys は、「図 37.5-3 CAN システムクロック (fsys) 生成図」により生成されます。同期化部の Sync_Seg は、CAN バスのエッジを期待するビットタイム内のタイミングとなります。伝送時間部の Prop_Seg は、CAN ネットワーク内の物理的遅延時間を補償します。フェイズバッファ部の Phase_Seg1、Phase_Seg2 は、サンプリングポイントを指定します。再同期化ジャンプ幅 (SJW) は、エッジフェーズエラーを補償するために再同期化時のサンプリングポイントの移動幅を定義します。

図 37.5-3 CAN システムクロック (fsys) 生成図

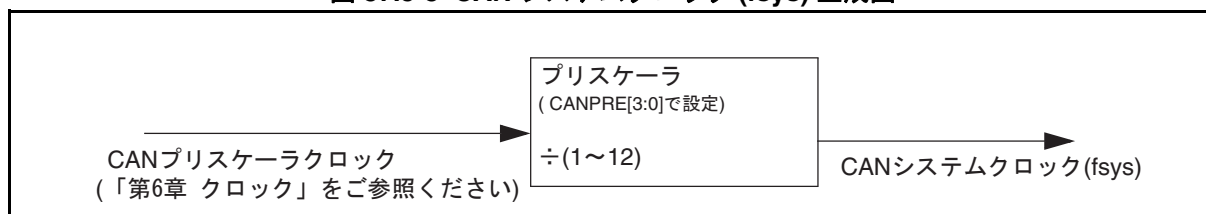


図 37.5-4 ビットタイミング

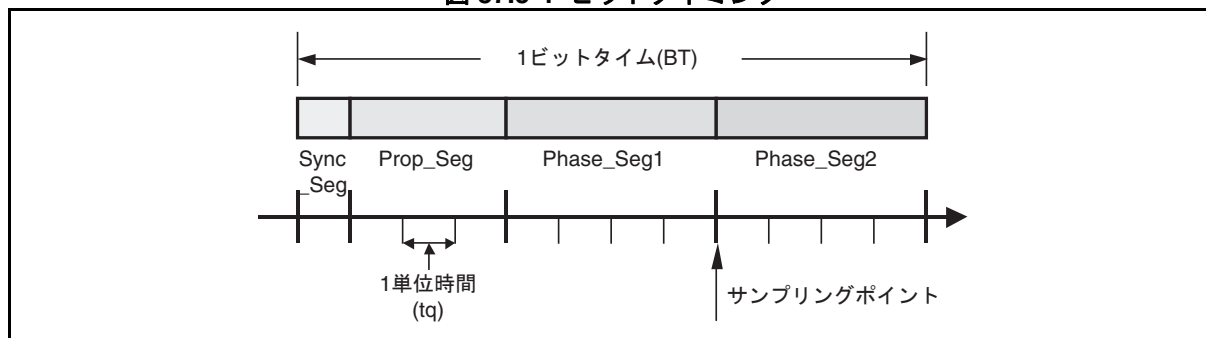


表 37.5-3 CAN ビットタイムのパラメータ

パラメータ	レンジ	機能
BRP	[1-32]	時間量の長さ tq の定義
Sync_Seg	1 tq	固定長, システムクロックへの同期化
Prop_Seg	[1-8] tq	物理遅延時間の補償
Phase_Seg1	[1-8] tq	サンプルポイント前のエッジフェーズエラー保証 同期化により一時的に長くされる可能性があります。
Phase_Seg2	[1-8] tq	サンプルポイント後のエッジフェーズエラー保証 同期化により一時的に短くされる可能性があります。
SJW	[1-4] tq	再同期化ジャンプ幅 どちらかのフェイズバッファ部より長くなることはありません。

図 37.5-5 に CAN コントローラにおけるビットタイミングを示します。

図 37.5-5 CAN コントローラにおけるビットタイミング

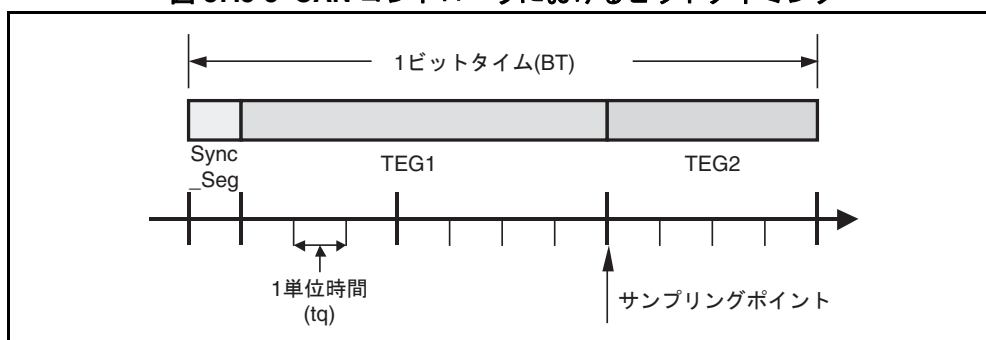


表 37.5-4 CAN コントローラのパラメータ

パラメータ	レンジ	機能
BRPE, BRP	[0-1023]	時間量の長さ tq の定義 ビットタイミングレジスタおよびプレスケーラ拡張レジスタにより最大 1024 までプリスケアラを拡張できます。
SYNS_SEG	1 tq	システムクロックへの同期化 固定長
TSEG1	[1-15] tq	サンプリングポイント前のタイムセグメントです。 Prop_Seg と Phase_Seg1 に相当します。 ビットタイミングレジスタにより制御可能です。
TSEG2	[0-7] tq	サンプリングポイント後のタイムセグメントです。 Phase_Seg2 に相当します。 ビットタイミングレジスタにより制御可能です。
SJW	[0-3] tq	再同期化ジャンプ幅です。 ビットタイミングレジスタにより制御可能です。

各パラメータの関係を以下に示します。

$$tq = ([BRPE, BRP] + 1) / f_{sys}$$

$$BT = SYNC_SEG + TEG1 + TEG2$$

$$= (1 + (TSEG1 + 1) + (TSEG2 + 1)) \times tq$$

$$= (3 + TSEG1 + TSEG2) \times tq$$

37.5.7 テストモード

テストモードの設定方法および動作について説明します。

■ テストモード設定

CAN 制御レジスタ (CTRLR) の Test ビットに "1" をセットすることでテストモードになります。テストモードに設定すると, CAN テストレジスタ (TESTR) のビット Tx1, Tx0, LBack, Silent, Basic ビットが有効となります。

CAN 制御レジスタ (CTRLR) の Test ビットを "0" にリセットすることにより, すべてのテストレジスタ機能を無効にします。

■ サイレントモード

CAN テストレジスタ (TESTR) の Silent ビットを "1" に設定することにより, CAN コントローラをサイレントモードに設定できます。

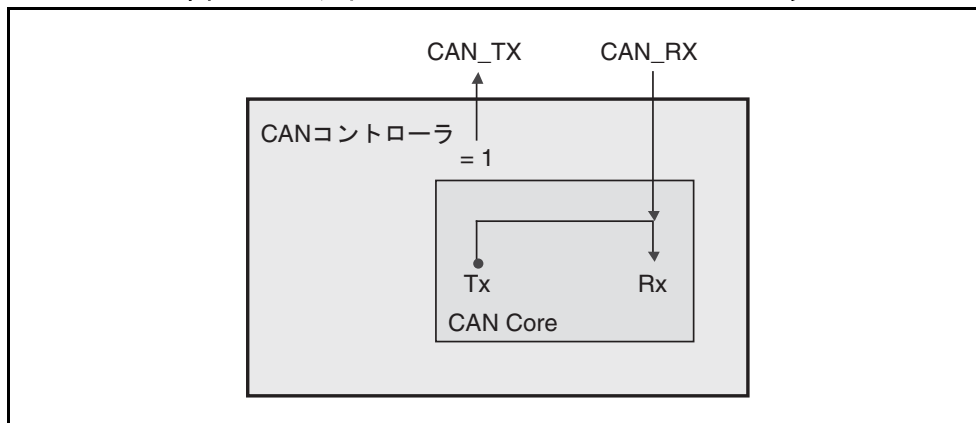
サイレントモードでは, データフレームとリモートフレームを受信可能であるが, CAN バス上にはレセツプのみ出力し, メッセージおよび ACK の送信を行いません。

CAN コントローラがドミナントビット (ACK ビット, オーバロードフラグ, アクティブエラーフラグ) の送信を要求された場合, CAN コントローラ内部の折り返し回路で RX 側に送信されます。この動作では, CAN バス上においてレセツプ状態であっても, 受信側では CAN コントローラ内部で折り返し送信されたドミナントビットを受信することになります。

サイレントモードでは, ドミナントビット (ACK ビット, エラーフラグ) 送信による影響がない状態で, CAN バス上のトラフィック解析ができます。

図 37.5-6 にサイレントモードでの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 37.5-6 サイレントモードでの CAN コントローラ



■ ループバックモード

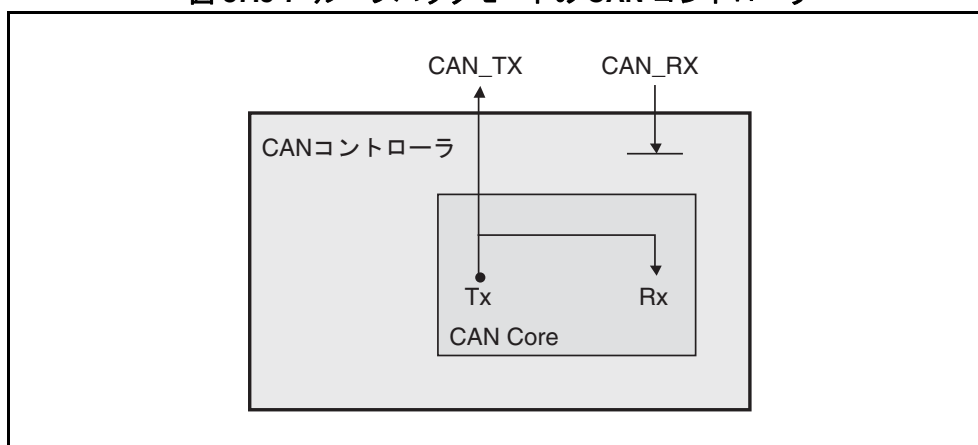
CAN テストレジスタ (TESTR) の LBack ビットを "1" に設定することにより, CAN コントローラをループバックモードに設定できます。

ループバックモードは, 自己診断機能に使用できます。

ループバックモードでは, CAN コントローラ内部で TX 側と RX 側が接続され, CAN コントローラが送信したメッセージを, RX 側で受信したメッセージとして扱い, 受容フィルタを通過したメッセージは, 受信バッファに格納します。

図 37.5-7 にループバックモードでの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 37.5-7 ループバックモードの CAN コントローラ



(注意事項) 外部信号から独立するため、データ／リモートフレームのアクノリッジスロットでのドミナントビットはサンプリングされません。そのため通常、CAN コントローラはアクノリッジエラーを発生しますが、テストモードではアクノリッジエラーを発生しないようにしています。

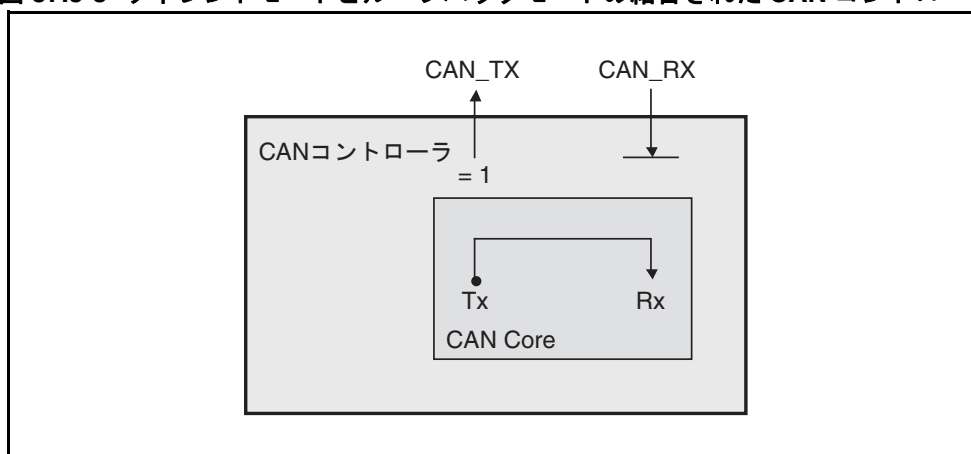
■ サイレントモードとループバックモードの結合

CANテストレジスタ (TESTR) のLBack ビットと Silent ビットを同時に "1" に設定することにより、ループバックモードとサイレントモードを結合させ動作することが可能です。

このモードは、「ホットセルフテスト」用に使用できます。「ホットセルフテスト」とは、CAN コントローラがループバックモードでテストしたときに、CAN_TX 端子にはレセッシブの固定出力、CAN_RX 端子からの入力は無効となりますので、CAN システムの動作に影響がないことを意味しています。

図 37.5-8 にサイレントモードとループバックモードの結合したときの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 37.5-8 サイレントモードとループバックモードの結合された CAN コントローラ



■ ベーシックモード

CAN テストレジスタ (TESTR) の Basic ビットを "1" に設定することにより, CAN コントローラをベーシックモードに設定できます。

ベーシックモードでは, CAN コントローラは, メッセージ RAM を使用せずに動作します。

IF1 メッセージインタフェースレジスタは, 送信制御用として使用されます。

メッセージ送信を行う場合, まず, IF1 メッセージインタフェースレジスタに送信する内容を設定します。次に, IF1 コマンド要求レジスタの BUSY ビットに "1" をセットすることで送信要求します。BUSY ビットが "1" に設定されている間, IF1 メッセージインタフェースレジスタをロックしている, または送信が保留されていることを示します。

Busy ビットに "1" がセットされると CAN コントローラは以下の動作を行います。

CAN バスがバスアイドルになるとすぐに, IF1 メッセージインタフェースレジスタの内容を, 送信用シフトレジスタへロードし, 送信を開始します。正常に送信完了すると, BUSY ビットが "0" にリセットされ, ロックされていた IF1 メッセージインタフェースレジスタを開放します。

送信が保留されているときに, IF1 コマンド要求レジスタの BUSY ビットを "0" にリセットすることでいつでも中断できます。また, 送信中に BUSY ビットを "0" にリセットすると, 調停負けやエラーなどの場合に行われる再送信を停止します。

IF2 メッセージインタフェースレジスタは, 受信制御用として使用されます。

メッセージの受信は, 受容フィルタを使用せずにすべて受信します。IF2 コマンド要求レジスタの BUSY ビットを "1" に設定することにより, 受信したメッセージの内容を読み出すことが可能となります。

BUSY ビットに "1" がセットされると CAN コントローラは以下の動作を行います。

- 受信したメッセージ (受信用のシフトレジスタの内容) を受容フィルタなしで, IF2 メッセージインタフェースレジスタへ格納します。

新しいメッセージが IF2 メッセージインタフェースレジスタに格納された場合, CAN コントローラが NewDat ビットを "1" に設定します。また, NewDat ビットが "1" のときに, さらに新しいメッセージを受信した場合は, CAN コントローラが MsgLst を "1" に設定します。

(注意事項) ・ベーシックモードでは, 制御/状態ビットに関係するすべてのメッセージオブジェクトと IFx コマンドマスクレジスタ (IFxCMSK) の制御モード設定は無効となります。

- コマンド要求レジスタのメッセージ番号は無効です。
- IF2 メッセージ制御レジスタの NewDat ビットと MsgLst ビットは通常時と同様に動作し, DLC3-0 は受信された DLC を示し, ほかの制御ビットは "0" として読み出されます。

■ 端子 CAN_TX のソフトウェア制御

CAN 送信端子である CAN_TX は, 4 つの出力機能があります。

- シリアルデータ出力 (通常出力)
- CAN コントローラのビットタイミングをモニタするための, CAN サンプリングポイント信号出力
- ドミナント固定出力
- レセッシブ固定出力

ドミナントおよびレセッシブの固定出力は, CAN 受信端子の CAN_RX モニタ機能と共に, CAN バスの物理層のチェックに使用できます。

CAN_TX 端子の出力モードは, CAN テストレジスタ (TESTR) の Tx1 と Tx0 ビットにより制御可能です。

(注意事項) CAN メッセージ送信もしくはループバックモード, サイレントモード, ベーシックモードを使用する際は, CAN_TX をシリアルデータ出力に設定する必要があります。

37.5.8 ソフトウェア初期化

ソフトウェアによる初期化について説明します。

ソフトウェアでの初期化要因を以下に示します。

- ハードウェアリセット
- CAN 制御レジスタ (CTRLR) の Init ビットの設定
- バスオフ状態への遷移

ハードウェアによるリセットは、メッセージ RAM (MsgVal, NewDat, IntPnd, TxRqst ビットを除く) 以外すべて初期化されます。メッセージ RAM はハードウェアによるリセット後、CPU によって初期化するかメッセージ RAM の MsgVal を "0" にしてください。また、ビットタイミングレジスタを設定する場合には、CAN 制御レジスタ (CTRLR) の Init ビットを "0" にクリアする前に設定してください。

CAN 制御レジスタ (CTRLR) の Init ビットは、以下の条件で "1" に設定されます。

- CPU からの "1" 書込み
- ハードウェアリセット
- バスオフ

Init ビットが "1" に設定されると、CAN バスの全メッセージ送受信は停止され、CAN バス出力の CAN_TX 端子はレセシブ出力となります。(CAN_TX テストモードは除く)

Init ビットに "1" をセットすると、エラーカウンタは変化しませんし、レジスタも変更されません。

CAN 制御レジスタ (CTRLR) の Init ビットと CCE ビットが "1" に設定されると、ボーレート制御用のビットタイミングレジスタとプリスケアラ拡張レジスタへの設定が可能となります。

Init ビットを "0" にリセットすることによりソフトウェア初期化を終了します。また、Init ビットを "0" にすることは、CPU からのアクセスでしか実行できません。

Init ビットが "0" にリセットされてから、連続した 11 ビットのレセシブの発生 (=バスアイドル) を待つことにより、CAN バス上のデータ転送と同期化した後、メッセージの転送が行われます。

通常動作中にメッセージオブジェクトのマスク、ID, xtd, EoB, RmtEn を変更する場合、MsgVal を無効に設定してから変更してください。

37.5.9 CAN ウェイクアップ機能

CAN の RX 端子と外部割込み端子を接続することによって、CAN の受信動作でウェイクアップできます。

■ CAN ウェイクアップ機能で使用する端子について

RX0 端子と INT0 端子、RX1 端子と INT1 端子、または RX2 端子と INT7 端子は共有しているので、ウェイクアップ機能を使用できます。

表 37.5-5 に CAN ウェイクアップ機能と RX 端子および INT 端子の関係を示します。

表 37.5-5 CAN ウェイクアップ機能と RX 端子および INT 端子の関係

	RX 端子	割込み機能
CAN0	RX0	INT0
CAN1	RX1	INT1
CAN2	RX2	INT7

■ CAN ウェイクアップ機能について

CAN の受信データによりスリープモードまたはスタンバイモードから復帰できます。

(注意事項) ウェイクアップ機能を使用する場合は、スリープモードまたはスタンバイモードに移行する前に外部割込みの設定を行っておく必要があります。

第 38 章 FlexRay

38.1 概要

FlexRay コントローラは、FlexRay プロトコル仕様書 v2.1 に従って通信を行います。最大システムクロックを指定することで、ビットレートは 10 Mbit/s に設定されます。

FlexRay ネットワーク通信のために、最大 254 データバイト長のメッセージバッファが配置可能です。メッセージ記憶領域は、最大 128 個のメッセージバッファを持つシングルポートのメッセージ RAM から成り立ちます。すべてのメッセージ処理に関しての機能は、メッセージハンドラが行います。その機能とは下記のものです。

- アクセプタンスフィルタ
- 2 つの FlexRay チャネルプロトコルコントローラとメッセージ RAM 間のメッセージ転送
- 送信スケジュール管理
- メッセージステータス情報の提供

FlexRay コントローラのレジスタは、ホストによってアクセスできます。これらのレジスタは、下記を設定／制御／モニタするために使用されます。

- FlexRay チャネルプロトコルコントローラ
- メッセージハンドラ
- グローバルタイムユニット
- システムユニバーサルコントロール
- フレームおよびシンボルのプロセッシング
- ネットワークマネジメント
- 割込み制御
- インプット／アウトプットバッファを介したメッセージ RAM へのアクセス

38.2 特長

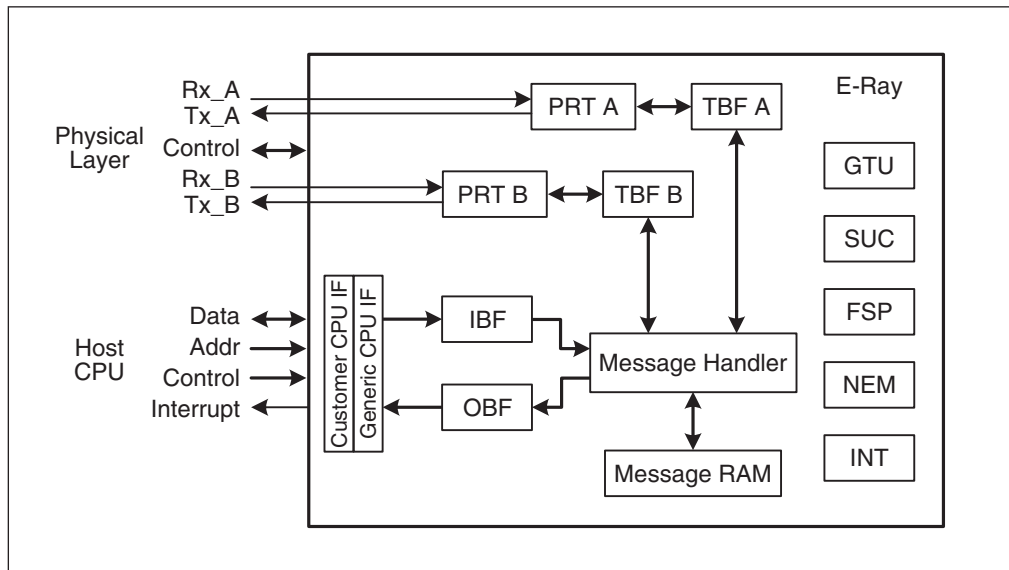
FlexRay コントローラは次の機能をサポートします。

- FlexRay プロトコル仕様書 v2.1 対応
- 各チャネルで最大 10 Mbit/s のビットレート
- 最大 128 個のメッセージバッファ構成可能
- 8K バイトのメッセージ RAM(次の記憶容量に相当)
 - 最大 48 バイトのデータセクションで 128 メッセージバッファ
 - 最大 254 バイトのデータセクションで 30 メッセージバッファ
- 可変長のメッセージバッファ構成
- 1 つの構成可能な受信 FIFO
- 各メッセージバッファは、受信バッファ、送信バッファ、あるいは受信 FIFO の一部として構成可能
- インプットバッファとアウトプットバッファを介してメッセージバッファへのホストアクセス
 - インプットバッファ: メッセージ RAM に転送されるメッセージを格納する
 - アウトプットバッファ: メッセージ RAM から読み出したメッセージを格納する
- スロットカウンタ、サイクルカウンタ、チャネルに対するフィルタリング
- マスク可能な割込み
- ネットワークマネジメントのサポート

管理コード : eray-1v2.7-91580L-1-J

■ FlexRay コントローラのブロックダイアグラム

図 38.2-1 FlexRay コントローラのブロックダイアグラム



● 各ブロックの機能説明

CPU インタフェース (CIF: CPU Interface)

ホスト CPU を FlexRay コントローラに接続します。

インプットバッファ (IBF:Input Buffer)

メッセージ RAM に構成されたメッセージバッファに書き込むために使用されます。

ホスト CPU は、インプットバッファから特定のメッセージバッファにヘッダセクションおよびデータセクションを書き込むことができます。

メッセージハンドラはインプットバッファからメッセージ RAM の選択したメッセージバッファにデータを転送します。

アウトプットバッファ (OBF:Output Buffer)

メッセージ RAM に構成されたメッセージバッファを読み出すために使用されます。

メッセージハンドラは、選択されたメッセージバッファからアウトプットバッファへデータを転送します。

このデータ転送完了後、ホスト CPU は、アウトプットバッファから転送されたメッセージバッファのヘッダセクションおよびデータセクションを読み込むことができます。

メッセージハンドラ (MHD:Message Handler)

メッセージハンドラは、以下のコンポーネント間のデータ転送を制御します。

- インプット / アウトプットバッファとメッセージ RAM
- 2 つの FlexRay プロトコルコントローラの一時記憶バッファ RAM とメッセージ RAM

メッセージ RAM(MRAM:Message RAM)

メッセージ RAM は、コンフィグレーション・データ (ヘッダとデータ) を 128 個の FlexRay メッセージバッファをストアするシングルポート RAM から構成されます。

■ 一時記憶バッファ RAM(TBF A/B:Transient Buffer RAM)

2 個のメッセージの データセクションをストアします。

■ FlexRay チャネルプロトコルコントローラ (PRT A/B: FlexRay Channel Protocol Controller)

FlexRay チャネルプロトコルコントローラは、シフトレジスタと FlexRay プロトコル FSM から構成されます。

以下の機能を提供します。

- ビットタイミングのチェックと制御
- FlexRay のフレームとシンボルの受信／送信
- ヘッダ CRC のチェック
- フレーム CRC の生成／チェック

バスドライバへの接続

また、本ブロックは、以下のブロックと接続します。

- 物理レイア (バスドライバ)
- 一時記憶バッファ RAM
- メッセージハンドラ
- グローバルタイムユニット
- システムユニバーサルコントロール
- フレームアンドシンボルプロセッシング
- ネットワークマネジメント
- 割込み制御

■ グローバルタイムユニット (GTU: Global Time Unit)

グローバルタイムユニットは、以下の機能を提供します。

- マイクロティック生成
- マクロティック生成
- FTM アルゴリズムによるフォルトトレラントクロック同期化
 - レート補正
 - オフセット補正
- サイクルカウンタ
- スタティックセグメントのタイミング制御
- ダイナミックセグメント (ミニスロット) のタイミング制御
- 外部クロック補正のサポート

■ システムユニバーサルコントロール (SUC: System Universal Control)

システムユニバーサルコントロールは、以下の機能を制御します。

- コンフィグレーション
- ウェイクアップ
- スタートアップ
- ノーマルオペレーション
- パッシブオペレーション
- モニタモード

■ フレームアンドシンボルプロセッシング (FSP: Frame and Symbol Processing)

フレームアンドシンボルプロセッシングは、以下の機能を制御します。

- ・ フレームとシンボルの正しいタイミングのチェック
- ・ 受信フレームの構文と意味的な正当性テスト
- ・ スロットステータスフラグの設定

■ ネットワークマネジメント (NEM: Network Management)

ネットワークマネジメントは、以下の機能を提供します。

- ・ ネットワークマネジメントベクタのハンドリング

■ 割込み制御 (INT:Interrupt Control)

割込み制御は、以下の機能を行います。

- ・ エラーと割込みフラグの供給
- ・ 割込み原因のイネーブル／ディセーブル制御
- ・ 2つのモジュール割込みラインへの割込み原因の割り当て制御
- ・ 2つのモジュール割込みラインのイネーブル／ディセーブル
- ・ 2つの割込みタイマ管理
- ・ ウォッチタイムキャプチャリングの停止

38.3 FlexRay の構成

FlexRay コントローラは、2K バイトのアドレス空間 (0xD000 から 0xD7FF) を持ち、そのレジスタは 32 ビットのレジスタとして構成されています。メッセージ RAM へのホストアクセス (ホスト CPU からのアクセス) は、インプットバッファとアウトプットバッファを通じて実施されます。それらのバッファは、ホストアクセスとメッセージ送受信の間の競合を避けるために、メッセージ RAM へ転送されるデータ、およびメッセージ RAM から転送されるデータをバッファします。

利用可能なメッセージバッファ数 N は、構成されたメッセージバッファのペイロード長に依存します。メッセージバッファの最大数は 128 個、最大ペイロード長は 254 バイトです。

メッセージバッファの割り当ては、下記の図 38.3-1 に従います。メッセージバッファは、3 つの連続したグループに分類されます。

スタティックバッファ	- スタティックセグメントに割り当てられる送受信バッファ
スタティック+ダイナミックバッファ	- スタティックセグメント、またはダイナミックセグメントに割り当てられる送受信バッファ
FIFO	- 受信 FIFO

メッセージバッファの割り当ては、DEFAULT_CONFIG ステートまたは CONFIG ステートにおいてメッセージ RAM 設定レジスタ **MRC** を設定することによって、変更できます。

1 番目のグループは、スタティックメッセージバッファとして動作します。

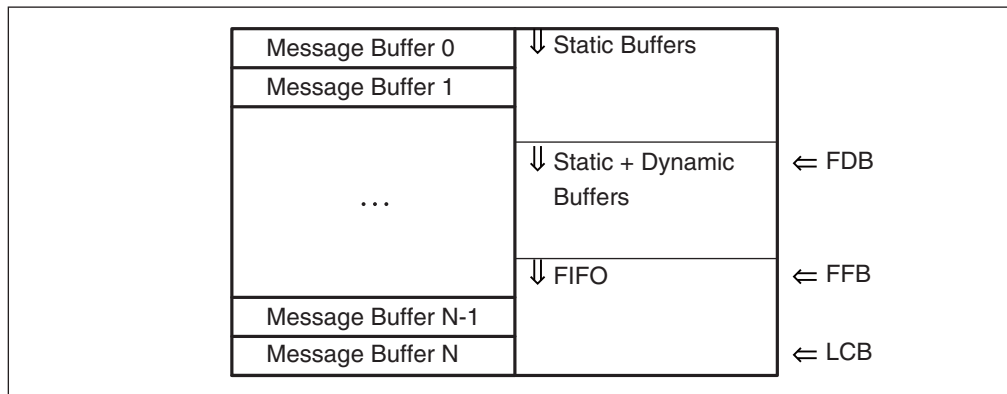
2 番目のグループは、スタティック／ダイナミックのメッセージバッファとして動作します。このグループに属するメッセージバッファは、**MRC.SEC [1:0]** の状態によっては、動作中にダイナミックセグメントからスタティックセグメントへ、またはスタティックセグメントからダイナミックセグメントへと再設定されることがあります。

3 番目のグループに属しているメッセージバッファは、1 つの受信 FIFO に連結されます。

メッセージバッファ0は、SUCC1.TXST, SUCC1.TXSY, SUCC1.TSM の設定によって、スタートアップ/同期フレームあるいはシングルスロットフレーム(SINGLEスロットモードにて送信するフレーム)を格納し、それを送信するために使用されるスタティックメッセージバッファです。メッセージバッファ0は、キースロットIDが組み込まれている必要があり、DEFAULT_CONFIG または CONFIG ステートのみで(再)設定できます。

図 38.3-1 中の FDB, FFB, LCB は、それぞれ先頭ダイナミックバッファ番号 **MRC.FDB [7:0]**, 先頭 FIFO バッファ番号 **MRC.FFB [7:0]**, 最終メッセージバッファ番号 **MRC.LCB [7:0]** を表します。

図 38.3-1 メッセージバッファの割り当て



(注意事項) FlexRay コントローラの全レジスタは、32 ビットアクセスとします。

表 38.3-1 FlexRay のレジスタ一覧 (1 / 4)

アドレス	+0	+1	+2	+3
カスタマレジスタ				
0xD000	バージョンインフォメーションレジスタ (CIF0)			
0xD004	制御レジスタ (CIF1)			
0xD008 - 0xD00C	予約			
特殊レジスタ				
0xD010	予約 (書込み禁止)			
0xD014	予約 (書込み禁止)			
0xD018	予約			
0xD01C	ロックレジスタ (LCK)			
割込み関連レジスタ				
0xD020	エラー割込みレジスタ (EIR)			
0xD024	ステータス割込みレジスタ (SIR)			
0xD028	エラー割込み端子選択レジスタ (EILS)			
0xD02C	ステータス割込み端子選択レジスタ (SILS)			
0xD030	エラー割込み有効レジスタ (set) (EIES)			
0xD034	エラー割込み有効レジスタ (reset) (EIER)			
0xD038	ステータス割込み有効レジスタ (set) (SIES)			
0xD03C	ステータス割込み有効レジスタ (reset) (SIER)			
0xD040	割込み端子有効レジスタ (ILE)			
0xD044	タイマ 0 設定レジスタ 0 (T0C)			
0xD048	タイマ 0 設定レジスタ 1 (T1C)			

表 38.3-1 FlexRay のレジスター一覧 (2 / 4)

アドレス	+0	+1	+2	+3
0xD04C	ストップウォッチレジスタ 1 (STPW1)			
0xD050	ストップウォッチレジスタ 2 (STPW2)			
0xD054 - 0xD07C	予約			
通信コントローラ (CC) 制御レジスタ				
0xD080	SUC 設定レジスタ 1 (SUCC1)			
0xD084	SUC 設定レジスタ 2 (SUCC2)			
0xD088	SUC 設定レジスタ 3 (SUCC3)			
0xD08C	NEM 設定レジスタ (NEMC)			
0xD090	PRT 設定レジスタ 1 (PRTC1)			
0xD094	PRT 設定レジスタ 2 (PRTC2)			
0xD098	MHD 設定レジスタ (MHDC)			
0xD09C	予約			
0xD0A0	GTU 設定レジスタ 1 (GTUC1)			
0xD0A4	GTU 設定レジスタ 2 (GTUC2)			
0xD0A8	GTU 設定レジスタ 3 (GTUC3)			
0xD0AC	GTU 設定レジスタ 4 (GTUC4)			
0xD0B0	GTU 設定レジスタ 5 (GTUC5)			
0xD0B4	GTU 設定レジスタ 6 (GTUC6)			
0xD0B8	GTU 設定レジスタ 7 (GTUC7)			
0xD0BC	GTU 設定レジスタ 8 (GTUC8)			
0xD0C0	GTU 設定レジスタ 9 (GTUC9)			
0xD0C4	GTU 設定レジスタ 10 (GTUC10)			
0xD0C8	GTU 設定レジスタ 11 (GTUC11)			
0xD0CC - 0xD0FC	予約			
通信コントローラ (CC) ステータスレジスタ				
0xD100	CC ステータスペクタレジスタ (CCSV)			
0xD104	CC エラーベクタレジスタ (CCEV)			
0xD108 -0xD10C	予約			
0xD110	スロットカウンタ値レジスタ (SCV)			
0xD114	マクロティックおよびサイクルカウンタ値レジスタ (MTCCV)			
0xD118	レート補正值レジスタ (RCV)			
0xD11C	オフセット補正值レジスタ (OCV)			
0xD120	同期フレームステータスレジスタ (SFS)			
0xD124	シンボルウィンドウ, および NIT ステータスレジスタ (SWNIT)			
0xD128	集合チャネルステータスレジスタ (ACS)			
0xD12C	予約			
0xD130	偶数サイクル同期フレーム ID レジスタ 1 (ESID1)			
0xD134	偶数サイクル同期フレーム ID レジスタ 2 (ESID2)			
0xD138	偶数サイクル同期フレーム ID レジスタ 3 (ESID3)			
0xD13C	偶数サイクル同期フレーム ID レジスタ 4 (ESID4)			
0xD140	偶数サイクル同期フレーム ID レジスタ 5 (ESID5)			
0xD144	偶数サイクル同期フレーム ID レジスタ 6 (ESID6)			
0xD148	偶数サイクル同期フレーム ID レジスタ 7 (ESID7)			

表 38.3-1 FlexRay のレジスター一覧 (3 / 4)

アドレス	+0	+1	+2	+3
0xD14C	偶数サイクル同期フレーム ID レジスタ 8(ESID8)			
0xD150	偶数サイクル同期フレーム ID レジスタ 9(ESID9)			
0xD154	偶数サイクル同期フレーム ID レジスタ 10(ESID10)			
0xD158	偶数サイクル同期フレーム ID レジスタ 11(ESID11)			
0xD15C	偶数サイクル同期フレーム ID レジスタ 12(ESID12)			
0xD160	偶数サイクル同期フレーム ID レジスタ 13(ESID13)			
0xD164	偶数サイクル同期フレーム ID レジスタ 14(ESID14)			
0xD168	偶数サイクル同期フレーム ID レジスタ 15(ESID15)			
0xD16C	予約			
0xD170	奇数サイクル同期フレーム ID レジスタ 1 (OSID1)			
0xD174	奇数サイクル同期フレーム ID レジスタ 2 (OSID2)			
0xD178	奇数サイクル同期フレーム ID レジスタ 3(OSID3)			
0xD17C	奇数サイクル同期フレーム ID レジスタ 4(OSID4)			
0xD180	奇数サイクル同期フレーム ID レジスタ 5(OSID5)			
0xD184	奇数サイクル同期フレーム ID レジスタ 6(OSID6)			
0xD188	奇数サイクル同期フレーム ID レジスタ 7(OSID7)			
0xD18C	奇数サイクル同期フレーム ID レジスタ 8(OSID8)			
0xD190	奇数サイクル同期フレーム ID レジスタ 9(OSID9)			
0xD194	奇数サイクル同期フレーム ID レジスタ 10(OSID10)			
0xD198	奇数サイクル同期フレーム ID レジスタ 11(OSID11)			
0xD19C	奇数サイクル同期フレーム ID レジスタ 12(OSID12)			
0xD1A0	奇数サイクル同期フレーム ID レジスタ 13(OSID13)			
0xD1A4	奇数サイクル同期フレーム ID レジスタ 14(OSID14)			
0xD1A8	奇数サイクル同期フレーム ID レジスタ 15(OSID15)			
0xD1AC	予約			
0xD1B0	ネットワークマネジメントレジスタ 1 (NMV1)			
0xD1B4	ネットワークマネジメントレジスタ 2 (NMV2)			
0xD1B8	ネットワークマネジメントレジスタ 3 (NMV3)			
0xD1BC - 0xD2FC	予約			
メッセージバッファ制御レジスタ				
0xD300	メッセージ RAM 設定レジスタ (MRC)			
0xD304	FIFO リジェクションフィルタレジスタ (FRF)			
0xD308	FIFO リジェクションフィルタマスクレジスタ (FRFM)			
0xD30C	FIFO クリティカルレベルレジスタ (FCL)			
メッセージバッファステータスレジスタ				
0xD310	メッセージハンドラステータスレジスタ (MHDS)			
0xD314	最終ダイナミック送信スロットレジスタ (LDTs)			
0xD318	FIFO ステータスレジスタ (FSR)			
0xD31C	メッセージハンドラ制約フラグ (MHDF)			
0xD320	送信要求レジスタ 1 (TXRQ1)			
0xD324	送信要求レジスタ 2 (TXRQ2)			
0xD328	送信要求レジスタ 3 (TXRQ3)			
0xD32C	送信要求レジスタ 4 (TXRQ4)			
0xD330	ニューデータレジスタ 1 (NDAT1)			
0xD334	ニューデータレジスタ 2 (NDAT2)			

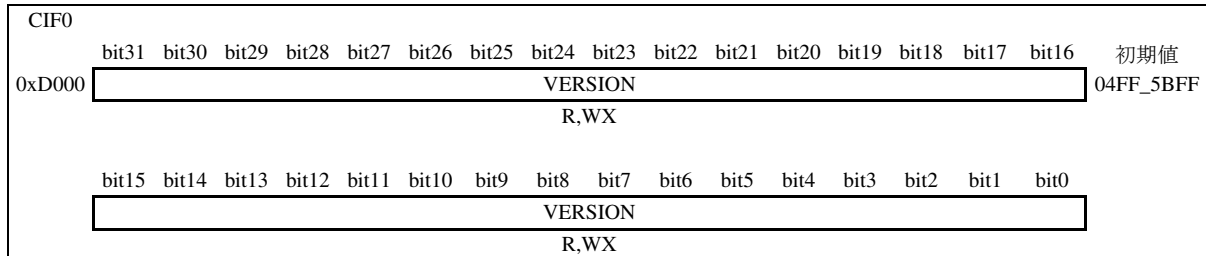
表 38.3-1 FlexRay のレジスター一覧 (4 / 4)

アドレス	+0	+1	+2	+3
0xD338	ニューデータレジスタ 3 (NDAT3)			
0xD33C	ニューデータレジスタ 4 (NDAT4)			
0xD340	メッセージバッファステータス変更レジスタ 1 (MBSC1)			
0xD344	メッセージバッファステータス変更レジスタ 2 (MBSC2)			
0xD348	メッセージバッファステータス変更レジスタ 3 (MBSC3)			
0xD34C	メッセージバッファステータス変更レジスタ 4 (MBSC4)			
0xD350 - 0xD3EC	予約			
アイデンティフィケーションレジスタ				
0xD3F0	コアリリースレジスタ (CREL)			
0xD3F4	エンディアンレジスタ (ENDN)			
0xD3F8 - 0xD3FC	予約			
インプットバッファ				
0xD400 - 0xD4FC	ライトデータセクションレジスタ [1-64] (WRDSn)			
0xD500	ライトヘッダセクションレジスタ 1 (WRHS1)			
0xD504	ライトヘッダセクションレジスタ 2 (WRHS2)			
0xD508	ライトヘッダセクションレジスタ 3 (WRHS3)			
0xD50C	予約			
0xD510	インプットバッファコマンドマスクレジスタ (IBCM)			
0xD514	インプットバッファコマンドリクエストレジスタ (IBCR)			
0xD518 - 0xD5FC	予約			
アウトプットバッファ				
0xD600 - 0xD6FC	リードデータセクションレジスタ [1-64] (RDDS _n)			
0xD700	リードヘッダセクションレジスタ 1 (RDHS1)			
0xD704	リードヘッダセクションレジスタ 2 (RDHS2)			
0xD708	リードヘッダセクションレジスタ 3 (RDHS3)			
0xD70C	メッセージバッファステータスレジスタ (MBS)			
0xD710	アウトプットバッファコマンドマスクレジスタ (OBCM)			
0xD714	アウトプットバッファコマンドリクエストレジスタ (OBCR)			
0xD718 - 0xD7FC	予約			

38.3.1 カスタマレジスタ

0xD000 から 0xD007 までのアドレス空間は、カスタマレジスタとなります。バージョンインフォメーション、FlexRay 制御 (DMA サポート、割込みレジスタ、FlexRay リセット、バッファデータ SWAP) を割り当てます。

38.3.1.1 バージョンインフォメーションレジスタ : CIF0



No.	機能名	機 能
bit31 ～ bit24	メーカ ID コード	メーカ ID コードが設定されています。0x04 が読み出されます。書込みは無効です。
bit23 ～ bit16	版数ビット	LSI の版数を示します。0xFF が読み出されます。書込みは無効です。
bit15 ～ bit8	LSI 識別番号ビット	LSI 識別番号を示します。0x5B が読み出されます。書込みは無効です。
bit7 ～ bit0	FlexRay IP 識別ビット	FlexRay IP 識別番号を示します。0xFF が読み出されます。本ビットが 0xFF を示している場合、CREL レジスタに IP 情報が入っているため CREL レジスタを必要であれば読み出してください。書込みは無効です。

38.3.1.2 制御レジスタ : CIF1

CIF1

0xD004

bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16	初期値
DREQO	DLVLO	DMODO	DENBO	DREQI	DLVLI	DMODI	DENBI	予約			予約			MASK		0000_0000
R(RM1),W	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	R0,WX			R/W	R/W	R/W	R/W	R/W	

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Reserved	RESET	SWAP	TREQI	TENB1	TREQ0	TENB0	予約								
R0,WX	R0,W	R/W	R(RM1),W	R/W	R(RM1),W	R/W	R0,WX								

bit31

R(RM1),W

DREQO	アウトプットバッファの DMA 要求フラグ	
	読出し時	書込み時
0	DMA 要求なし	DMA 要求クリア
1	DMA 要求あり	無効

注) リードモディファイライト命令のリードアクセス時は, 常に "1" が読み出されます。

bit30

R/W

DLVLO	アウトプットバッファの DMA 要求レベル / エッジ選択	
	DMODO=0 時	DMODO=1 時
0	DMA 要求レベルはアウトプットバッファビジー	DMA 要求はアウトプットバッファビジーの立下りエッジ
1	DMA 要求レベルはアウトプットバッファビジーの反転	DMA 要求はアウトプットバッファビジーの立上りエッジ

bit29

R/W

DMODO	アウトプットバッファの DMA トリガモード選択
0	アウトプットバッファビジーレベル
1	アウトプットバッファビジーエッジ

bit28

R/W

DENBO	アウトプットバッファ DMA 要求許可信号
0	禁止
1	許可

bit27

R(RM1),W

DREQI	インプットバッファホストの DMA 要求フラグ	
	読出し時	書込み時
0	DMA 要求なし	DMA 要求クリア
1	DMA 要求あり	無効

注) リードモディファイライト命令のリードアクセス時は, 常に "1" が読み出されます。

bit26

R/W

DLVLI	インプットバッファホストの DMA 要求レベル / エッジ選択	
	DMODI=0 時	DMODI=1 時
0	DMA 要求レベルはインプットバッファホストビジー	DMA 要求はインプットバッファホストビジーの立下りエッジ
1	DMA 要求レベルはインプットバッファホストビジーの反転	DMA 要求はインプットバッファホストビジーの立上りエッジ

bit25

R/W

DMODI	インプットバッファホストの DMA トリガモード選択
0	インプットバッファホストビジーレベル
1	インプットバッファホストビジーエッジ

bit24

R/W

DENBI	インプットバッファホストの DMA 要求信号
0	禁止
1	許可

bit23 ～ bit21	R0	予約ビット		
		常に "0" をライトしてください。 リード時は "0" が読み出されます。		
bit20 ～ bit17	R/W	予約ビット		
		常に "0" をライトしてください。		
bit16	R/W	MASK	DMA チャンネル 0 用 DMA 割込みマスク選択	
		0	マスクしない	
		1	マスクする	
bit15	R0	予約ビット		
		常に "0" をライトしてください。 リード時は "0" が読み出されます。		
bit14, bit13	R0,W	RESET	FlexRay リセット	
		00	00 → 01 → 10 → 11 と連続して書いた 場合のみリセット	
bit12	R/W	SWAP	バッファデータ SWAP イネーブル	
		0	SWAP オフ	
		1	SWAP オン	
bit11	R(RM1) ,W	TREQ	タイマ 1 割込み要求	
		1	読出し時	書込み時
		0	タイマ 1 割込み 要求なし	タイマ 1 割込み 要求クリア
		1	タイマ 1 割込み 要求あり	無効
注) リードモディファイライト命令のリード アクセス時は、常に "1" が読み出されます。				
bit10	R/W	TENB1	タイマ 1 割込みトリガ表示選択	
		0	出力マスク ("0" 固定)	
		1	タイマ 1 の立上りエッジを選択	
bit9	R(RM1) ,W	TREQ0	タイマ 0 割込み要求	
			読出し時	書込み時
		0	タイマ 0 割込み 要求なし	タイマ 0 割込み 要求クリア
		1	タイマ 0 割込み 要求あり	無効
注) リードモディファイライト命令のリード アクセス時は、常に "1" が読み出されます。				
bit8	R/W	TENB0	タイマ 0 割込みトリガ表示選択	
		0	出力マスク ("0" 固定)	
		1	タイマ 0 の立上りエッジを選択	
bit7 ～ bit0	R0	予約ビット		
		常に "0" をライトしてください。 リード時は "0" が読み出されます。		

: 初期値

ビット名		機能
bit31	DREQO	<p>アウトプットバッファの DMA 要求フラグ</p> <p>リード時は DMA 要求の有無を表示： DMODO = 0 のとき：アウトプットバッファビジーのレベルを表示 (DLVLO により反転)。 DMODO = 1 のとき：アウトプットバッファビジーのエッジ検出された DMA 要求を表示 (レベル出力)。</p> <p>ライト時は、エッジ検出による DMA 要求をクリア： "0" に設定した場合：DMA 要求クリア "1" に設定した場合：無効</p> <p>* リードモディファイライト命令のリードアクセス時は、常に "1" が読み出されます。 * ライト動作時、エッジ検出による DMA 要求に対するクリアの必要がない場合 "1" を書き込んでください。 * DREQO への "0" 書き込みによる DMA 要求クリアは、エッジ検出による DMA 要求に対してのみ可能です。 * エッジ検出による DMA 要求は、DMA 転送の発生によっても "0" クリアされます。 * エッジ検出による DMA 要求は、クリアされるまで "1" の状態を維持します。エッジ検出の前にはクリアする必要があります。 * エッジ検出による DMA 要求は保持されており、この保持内容は DMODO= 1 に設定されると DMA 要求が発生します。DMODO= 0 → 1 に設定を変更する場合、DMODO= 0 の期間に検出されたエッジ検出結果が、DMODO= 1 に設定を変更するとそのまま出力されることになります。DMODO= 1 に変更後のエッジ検出を期待する場合、DMODO 変更前にクリアする必要があります。 * DMA 要求のエッジ検出と DREQO のクリアが同時に発生した場合、DMA 要求が優先されクリアは無視されます。クリアするためには、再度 DREQO へのクリア動作が必要です。 * DENBO= 1 のときの DREQO のリード内容と DMA 要求の内容は、リードモディファイライト命令のリードアクセス時を除き、同一です。 * DMA 転送の設定については、「第 27 章 DMA コントローラ (DMAC)」を参照してください。</p>
bit30	DLVLO	<p>アウトプットバッファの DMA レベル/エッジ選択</p> <p>レジスタ DMODO=0 時のレジスタ DREQO の表示内容： "0" に設定した場合：DREQO はアウトプットバッファビジーを表示 "1" に設定した場合：DREQO はアウトプットバッファビジーの反転を表示</p> <p>レジスタ DMODO=1 時のアウトプットバッファビジーのエッジ検出方法： "0" に設定した場合：アウトプットバッファビジー の立下りエッジ検出 "1" に設定した場合：アウトプットバッファビジー の立上りエッジ検出</p> <p>* DLVLO の設定に対応したアウトプットバッファビジーのエッジ検出結果 (検出すると "1") は保持されています。エッジ検出結果は、DMODO="0" の間は参照することはできません。</p>
bit29	DMODO	<p>アウトプットバッファの DMA トリガモード選択</p> <p>レジスタ DREQO 及び DMA 要求の出力情報選択： "0" に設定した場合：アウトプットバッファビジーを出力 "1" に設定した場合：アウトプットバッファビジーのエッジ検出状態を出力</p> <p>* DMODO は、レジスタ DREQO 及び DMA 要求へ出力する情報のセレクトアです。エッジ検出を無効にする機能はありません。エッジ検出は常に有効です。</p>
bit28	DENBO	<p>アウトプットバッファの DMA 要求出力許可ビット</p> <p>"0" に設定した場合：DMA 要求出力禁止 "1" に設定した場合：DMA 要求出力許可</p>

ビット名		機能
bit27	DREQI	<p>インプットバッファホストの DMA 要求フラグ</p> <p>リード時は DMA 要求の有無を表示： DMODI=0 のとき：インプットバッファホストビジーのレベルを表示 (DLVLI により反転)。 DMODI=1 のとき：インプットバッファホストビジーのエッジ検出された DMA 要求を表示 (レベル出力)。</p> <p>ライト時は、エッジ検出による DMA 要求をクリア： "0" に設定した場合：DMA 要求クリア "1" に設定した場合：無効</p> <p>* リードモディファイライト命令のリードアクセス時は、常に "1" が読出されます。 * ライト動作時、エッジ検出による DMA 要求に対するクリアの必要がない場合 "1" を書き込んでください。 * DREQI への "0" 書込みによる DMA 要求クリアは、エッジ検出による DMA 要求に対してのみ可能です。 * エッジ検出による DMA 要求は、DMA 転送の発生によっても "0" クリアされます。 * エッジ検出による DMA 要求は、クリアされるまで "1" の状態を維持します。エッジ検出の前にはクリアする必要があります。 * エッジ検出による DMA 要求は保持されており、この保持内容は DMODI=1 に設定されると DMA 要求が発生します。DMODI=0 → 1 に設定を変更する場合、DMODI=0 の期間に検出されたエッジ検出結果が、DMODI=1 に設定を変更するとそのまま出力されることになります。DMODI=1 に変更後のエッジ検出を期待する場合、DMODI 変更前にクリアする必要があります。 * DMA 要求のエッジ検出と DREQI のクリアが同時に発生した場合、DMA 要求が優先されクリアは無視されます。クリアするためには、再度 DREQI へのクリア動作が必要です。 * DENBI=1 のときの DREQI のリード内容と DMA 要求の内容は、リードモディファイライト命令のリードアクセス時を除き、同一です。 * DMA 転送の設定については、「第 27 章 DMA コントローラ (DMAC)」を参照してください。</p>
bit26	DLVLI	<p>インプットバッファホストの DMA レベル/エッジ選択</p> <p>レジスタ DMODI=0 時のレジスタ DREQI の表示内容： "0" に設定した場合：DREQI はインプットバッファホストビジーを表示 "1" に設定した場合：DREQI はインプットバッファホストビジーの反転を表示</p> <p>インプットバッファホストビジーのエッジ検出方法： "0" に設定した場合：インプットバッファホストビジー の立下りエッジ検出 "1" に設定した場合：インプットバッファホストビジー の立上りエッジ検出</p> <p>* DLVLI の設定に対応したインプットバッファホストビジーのエッジ検出結果 (検出すると "1") は保持されています。エッジ検出結果は、DMODI=0 の間は参照することはできません。</p>
bit25	DMODI	<p>インプットバッファホストの DMA トリガモード選択。</p> <p>レジスタ DREQI 及び DMA 要求の出力情報選択 "0" に設定した場合：インプットバッファホストビジーを出力 "1" に設定した場合：インプットバッファホストビジーのエッジ検出状態を出力</p> <p>* DMODI は、レジスタ DREQI 及び DMA 要求へ出力する情報のセレクトです。エッジ検出を無効にする機能はありません。エッジ検出は常に有効です。</p>
bit24	DENBI	<p>インプットバッファホストの DMA 要求出力許可ビット。</p> <p>"0" に設定した場合：DMA 要求出力禁止 "1" に設定した場合：DMA 要求出力許可</p>
bit23 ～ bit21	予約	<p>予約ビットです。リード時、"0" が読み出され、ライト時、"0" を書いてください。</p>
bit20 ～ bit17	予約	<p>予約ビットです。ライト時、"0" を書いてください。</p>

ビット名		機能															
bit16	MASK	<p>DMA チャンネル 0 用 DMA 割込みマスク選択</p> <p>"0" に設定した場合：無効</p> <p>"1" に設定した場合：有効</p> <p>アウトプットバッファビジーを起動要因として発生した DMA チャンネル 0 の DMA 転送において、アウトプットバッファビジーが発生している期間、DMA チャンネル 0 の割込みをマスクします。</p> <p>* アウトプットバッファビジーを起動要因としない場合であっても、本ビットが有効であればアウトプットバッファビジーが発生している期間、DMA チャンネル 0 の DMA 割込みはマスクされます。</p>															
bit15	予約	<p>予約ビットです。リード時、"0" が読み出され、ライト時、"0" を書いてください。</p>															
bit14, bit13	RESET	<p>FlexRay リセット</p> <p>キーコード対応です。</p> <p>リセットレジスタへの書込みが "00" → "01" → "10" → "11" と続いた場合、FlexRay マクロに対してリセットを出力します。</p> <p>* キーコード書込みの途中でリードアクセスまたは、リセットビットが含まれないアドレスへの書込みを実行した場合、キーコード書込みを中断したとみなします。再度リセットする場合は "00" から書き直してください。</p> <p>* ビットマスク機能がないので、リセット以外のビットの書込み値に注意が必要です。設定値の保持が必要な bit は前値を書き込んでください。ただし TREQ1, TREQ0, DREQ0, DREQ1 は "0" 書込みで割込みクリアをしまうので、割込みクリアの必要がない場合は "1" 書込みを推奨します。</p> <p>* FlexRay のアドレス空間が対象となる DMA 転送の完了前のキーコード書込みは、キーコード書込み中に DMA が開始されてキーコード書込み中断となります。</p> <p>* "00" 書込みは、常にキーコードの開始と判断します。"00" 書込みによるキーコード書込み中断は同時に新たなキーコード書込み開始と判断します。</p> <p>例)</p> <table border="0"> <tr> <td>開始</td> <td>中断 & 開始</td> <td>リセット出力</td> </tr> <tr> <td>↓</td> <td>↓</td> <td>↓</td> </tr> <tr> <td>"00"</td> <td>"01"</td> <td>"00"</td> </tr> <tr> <td>→</td> <td>→</td> <td>→</td> </tr> <tr> <td>"01"</td> <td>"10"</td> <td>"11"</td> </tr> </table>	開始	中断 & 開始	リセット出力	↓	↓	↓	"00"	"01"	"00"	→	→	→	"01"	"10"	"11"
開始	中断 & 開始	リセット出力															
↓	↓	↓															
"00"	"01"	"00"															
→	→	→															
"01"	"10"	"11"															
bit12	SWAP	<p>バッファデータ SWAP イネーブル</p> <p>バイトスワップの選択。</p> <p>RAM 領域に以下の設定が反映されます。</p> <p>"0" に設定した場合：スワップ無効 ([31:24] [23:16] [15:8] [7:0])</p> <p>"1" に設定した場合：スワップ有効 ([7:0] [15:8] [23:16] [31:24])</p> <p>レジスタアクセスには影響はありません。</p>															
bit11	TREQ1	<p>タイマ 1 割込み要求</p> <p>リード時は、TREQ1 の割込み要求を表示</p> <p>TENB1 = 0 のとき：タイマ 1 のレベルを表示</p> <p>TENB1 = 1 のとき：タイマ 1 の立上りエッジ検出で "1" を表示 (レベル出力)</p> <p>ライト時は、TREQ1 の割込み要求クリア</p> <p>"0" に設定した場合：タイマ割込み要求クリア</p> <p>"1" に設定した場合：無効</p> <p>* リードモディファイライト命令のリードアクセス時は、常に "1" が読み出されます。</p> <p>* エッジ検出による割込み要求は保持されており、この保持内容は TENB1 = 1 に設定されると割込み要求が発生します。TENB1 = 0 → 1 に設定を変更する場合、TENB1 = 0 の期間に検出されたエッジ検出結果が、TENB1 = 1 に設定を変更するとそのまま出力されることになります。TENB1 = 1 に変更後のエッジ検出を期待する場合、TENB1 変更前にクリアする必要があります。</p> <p>* TREQ1 の割込み要求と TREQ1 のクリアが同時に発生した場合、クリアは無視されます。クリアするためには、再度 TREQ1 へのクリア動作が必要です。</p>															
bit10	TENB1	<p>タイマ 1 割込み許可</p> <p>"0" に設定した場合：割込み禁止</p> <p>"1" に設定した場合：割込み許可</p>															

ビット名		機能
bit9	TREQ0	<p>タイマ 0 割込み要求</p> <p>リード時は, TREQ0 の割込み要求を表示</p> <p>TENB0 = 0 のとき: タイマ 0 のレベルを表示</p> <p>TENB0 = 1 のとき: タイマ 1 の立上りエッジ検出で "1" を表示 (レベル出力)</p> <p>ライト時は, TREQ0 の割込み要求クリア</p> <p>"0" に設定した場合: タイマ割込み要求クリア</p> <p>"1" に設定した場合: 無効</p> <p>*リードモディファイライト命令のリードアクセス時は, 常に "1" が読み出されます。</p> <p>*エッジ検出によるは割込み要求は保持されており, この保持内容は TENB0= 1 に設定されると割込み要求が発生します。TENB0= 0 → 1 に設定を変更する場合, TENB0= 0 の期間に検出されたエッジ検出結果が, TENB0= 1 に設定を変更するとそのまま出力されることになります。TENB0= 1 に変更後のエッジ検出を期待する場合, TENB0 変更前にクリアする必要があります。</p> <p>* TREQ0 の割込み要求と TREQ0 のクリアが同時に発生した場合, クリアは無視されます。クリアするためには, 再度 TREQ0 へのクリア動作が必要です。</p>
bit8	TENB0	<p>タイマ 0 割込み許可</p> <p>"0" に設定した場合: 割込み禁止</p> <p>"1" に設定した場合: 割込み許可</p>
bit7 ～ bit0	予約	<p>予約ビットです。リード時, "0" が読み出され, ライト時, "0" を書いてください。</p>

38.3.2 特殊レジスタ

38.3.2.1 ロックレジスタ : LCK (Lock Register)

ロックレジスタは、書込み専用です。レジスタ読出しでは、0x0000 を返します。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LCK	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD01C	W															
初期値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	W								CLK7	CLK6	CLK5	CLK4	CLK3	CLK2	CLK1	CLK0
初期値		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0 ～ bit7] CLK [7:0]: 設定ロックキー (Configuration Lock Key)

SUCC1.CMD [3:0] = 0010 (READY コマンド) の書込みによって CONFIG ステートを抜ける前に、**CLK [7:0]** に連続した 2 つの書込み (アンロックシーケンス) を行わなければなりません。下記にその書込み手順を示しますが、その書込みアクセス手順の間にほかのライトアクセスをした場合、依然として CONFIG ステートにあるため、下記の手順は繰り返さなければなりません。

- 1 番目の書込み: **LCK.CLK [7:0] = 1100 1110 (0xCE)**
- 2 番目の書込み: **LCK.CLK [7:0] = 0011 0001 (0x31)**
- 3 番目の書込み: **SUCC1.CMD [3:0] = 0010 (CHI コマンド READY)**

(注意事項) ホストは、すべてのビットフィールドのリード / ライトに 32bit アクセスを使用します。16bit アクセスの場合、連続してアクセスを行うようにプログラムします。

38.3.3 割込み関連レジスタ

38.3.3.1 エラー割込みレジスタ : EIR (Error Interrupt Register)

下記に記載されているエラーが検出されると、それに対応するフラグが "1" に設定されます。そのフラグは、対応するビットに "1" を書き込むことで "0" にクリアされ、それまではセットされた値を維持します。"0" を書き込んでも影響はありません。ハードリセットでは、このレジスタは "0" にクリアされます。

Bit	31		30		29		28		27		26		25		24		23		22		21		20		19		18		17		16	
EIR	R	0	0	0	0	0	TABB		LTVB		EDB		0	0	0	0	0	TABA		LTVA		EDA										
0xD020	W																															
Reset	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0		0	

Bit	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0	
	R	0	0	0	0	MHF		IOBA		IIBA		EFA		RFO		PERR		CCL		CCF		SFO		SFBM		CNA		PEMC				
	W																															
Reset	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0		0	

[bit0] PEMC : POC エラーモード変更フラグ (POC Error Mode Changed)

CCEV.ERRM [1:0] にて示されるエラーモードが変更された場合, "1" に設定されます。

1 = エラーモードが変更された

0 = エラーモードが変更されていない

[bit1] CNA : コマンド無効通知フラグ (Command Not Accepted)

要求されたコマンドが現状の POC ステートでは使用できなかった, あるいは CHI コマンドがロックされた (CCL = "1") という理由で, SUCC1.CMD [3:0] が "0000" にリセットされたことを示します。

1 = CHI コマンドが受理されなかった

0 = CHI コマンドが受理された

[bit2] SFBM : 同期フレーム数不足フラグ (Sync Frames Below Minimum)

前のコミュニケーションサイクル間の同期フレーム受信数が, FlexRay プロトコルによって必要とされる最小値未満の場合, "1" に設定されます。このフラグは、スタートアップ中に設定される場合があるため, NORMAL_ACTIVE ステートに状態遷移後, このフラグをクリアしてください。

1 = 受信された同期フレームの数が必要とされる最小値未満である

0 = 同期ノード : 1 つ以上の同期フレームが受信された
非同期ノード : 2 つ以上の同期フレームが受信された

[bit3] SFO : 同期フレーム数超過フラグ (Sync Frame Overflow)

前のコミュニケーションサイクル間の同期フレーム受信数が, ダブルサイクル(even/odd)の間に受信した異なる同期フレーム ID 数のどちらかが GTUC2.SNM [3:0] で定義された同期フレームの最大数を越えた場合, "1" に設定されます。

1 = 受信した同期フレーム数が GTUC2.SNM [3:0] の設定値よりも大きい

0 = 受信した同期フレーム数が GTUC2.SNM [3:0] の設定値以下である

[bit4] CCF : クロック補正フェイルフラグ (Clock Correction Failure)

下記エラーのいずれかが発生した場合、サイクルの終わりにおいて "1" に設定されます。

- ・レート補正の消失
- ・オフセット補正の消失
- ・クロック補正リミットの超過

クロック補正ステータスは、**CCEV** レジスタと **SFS** レジスタでモニタ可能です。このフラグは、スタートアップ間に設定される場合があるため、そのため **NORMAL_ACTIVE** ステートに状態遷移後、このフラグをクリアしてください。

- 1 = クロック補正の失敗
- 0 = クロック補正エラーなし

[bit5] CCL : CHI コマンドロックフラグ (CHI Command Locked)

前の CHI コマンドの実行が完了していない理由で、**SUCC1.CMD [3:0]** が "0000" にリセットされたことを示します。この場合、**CNA** ビットも "1" に設定されます。

- 1 = CHI コマンドが受理されなかった
- 0 = CHI コマンドが受理された

[bit6] PERR : パリティエラーフラグ (Parity Error)

パリティエラーを通知します。FlexRay コントローラの RAM ブロックの 1 つから読み出す間にパリティエラーを検出すると、このフラグは "1" に設定されます。**MHDS** レジスタ中のパリティエラーフラグが "0" にクリアされると、このフラグは "0" にクリアされます。「38.3.7.1 メッセージハンドラステータスレジスタ : **MHDS** (Message Handler Status)」を参照してください。

- 1 = パリティエラー検出
- 0 = パリティエラー未検出

[bit7] RFO : 受信 FIFO オーバランフラグ (Receive FIFO Overrun)

受信 FIFO オーバランが検出された場合、"1" に設定されます。このフラグは、受信 FIFO を読み出すとクリアされます。

- 1 = 受信 FIFO オーバラン検出
- 0 = 受信 FIFO オーバラン未検出

[bit8] EFA : エンプティ FIFO アクセスフラグ (Empty FIFO Access)

受信 FIFO がエンプティ状態のとき、ホストがアウトプットバッファを通じて受信 FIFO からメッセージ転送を要求した場合、"1" に設定されます。

- 1 = 受信 FIFO のエンプティ状態におけるホストアクセス発生
- 0 = 受信 FIFO のエンプティ状態におけるホストアクセスなし

[bit9] IIBA : イリーガルインプットバッファアクセスフラグ (Illegal Input Buffer Access)

ホストがインプットバッファを通じてメッセージバッファの変更を要求したとき、および下記の条件において、"1" に設定されます。

- 1) **CONFIG** または **DEFAULT_CONFIG** ではないステート時に、ホストが次の変更をするために、インプットバッファコマンド要求レジスタに書込みを行った場合
 - ・メッセージバッファ 0 をキースロット送信用 (スタートアップフレーム/同期フレームの送信,あるいは **SINGLE** スロットモードにおけるフレーム送信) に設定している場合の、そのバッファのヘッダセクション変更
 - ・**MRC.SEC [1:0]** = "01" の間、**MRC.FDB [7:0]** より小さいバッファ番号のスタティックメッセージバッファのヘッダセクション変更

- ・ **MRC.SEC [1:0]** = "1x" の間 , スタティック / ダイナミックメッセージバッファのヘッダセクションの変更
 - ・ 受信 FIFO に属するメッセージバッファのヘッダセクション , あるいはデータセクション変更
- 2) **IBCR.IBSYH** が "1" に設定されている間 , ホストがインプットバッファのレジスタに書き込みを行った場合
- 1 = インプットバッファへの不正なホストアクセス発生
 - 0 = インプットバッファへの不正なホストアクセスなし

[bit10] **IOBA** : イリーガルアウトプットバッファアクセスフラグ (Illegal Output buffer Access)

OBCR.OBSYS が "1" に設定されている間 , ホストがメッセージ RAM からアウトプットバッファへのメッセージバッファの転送を要求したとき , "1" に設定されます。

- 1 = アウトプットバッファへの不正なホストアクセス発生
- 0 = アウトプットバッファへの不正なホストアクセスなし

[bit11] **MHF** : メッセージハンドラ制約フラグ (Message Handler Constraints Flag)

フラグはメッセージハンドラの制約状態を示します。 **MHDF.SNUA**, **MHDF.SNUB**, **MHDF.FNFA**, **MHDF.FNFB**, **MHDF.TBFA**, **MHDF.TBFB**, **MHDF.WAHP** フラグのいずれかが , "0" から "1" に変化したときセットされます。

- 1 = メッセージハンドラフェイル検出
- 0 = メッセージハンドラフェイル未検出

[bit16] **EDA** : チャネル A エラー検出フラグ (Error Detected on Channel A)

ACS.SEDA, **ACS.CEDA**, **ACS.CIA**, **ACS.SBVA** のうち 1 つが "0" から "1" に変化した場合 , "1" に設定されます。

- 1 = チャネル A でのエラー検出
- 0 = チャネル A でのエラー未検出

[bit17] **LTVA** : チャネル A 送信障害検出フラグ (Latest Transmit Violation Channel A)

チャネル A での最新の送信障害を示します。

- 1 = チャネル A で最新の送信障害が検出された
- 0 = チャネル A で送信障害が未検出である

[bit18] **TABA** : チャネル A スロット境界越え送信検出フラグ (Transmission Across Boundary Channel A)

チャネル A にてスロットの境界線を越えた送信が生じたことを通知します。

- 1 = チャネル A でスロット境界を越えた送信が検出された
- 0 = チャネル A でスロット境界を越えた送信が未検出である

[bit24] **JEDB** : チャネル B エラー検出フラグ (Error Detected on Channel B)

ACS.SEDB, **ACS.CEDB**, **ACS.CIB**, **ACS.SBVB** のうち 1 つが "0" から "1" に変更された場合 , "1" に設定されます。

- 1 = チャネル B でのエラー検出
- 0 = チャネル B でのエラー未検出

[bit25] LTVB : チャネル B 送信障害検出フラグ (Latest Transmit Violation Channel B)

チャネル B での最新の送信障害検出を示します。

- 1 = チャネル B で最新の送信障害が検出された
- 0 = チャネル B で送信障害が未検出である

[bit26] TABB : チャネル B スロット境界越え送信検出フラグ (Transmission Across Boundary Channel B)

チャネル B にてスロットの境界線を越えた送信が生じたことを通知します。

- 1 = チャネル B でスロット境界を越えた送信が検出された
- 0 = チャネル B でスロット境界を越えた送信が未検出である

38.3.3.2 ステータス割込みレジスタ : SIR (Status Interrupt Register)

下記に記載されているイベントの 1 つが検出されると、それに対応するフラグが "1" に設定されます。そのフラグは、対応するビットに "1" を書き込むことでクリアされ、それまではセットされた値を維持します。"0" を書き込んでも影響はありません。ハードリセットでは、このレジスタはクリアされます。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SIR	R	0	0	0	0	0	0	MTSB	WUPB	0	0	0	0	0	0	0
0xD024	W														MTSA	WUPA
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	SDS	MBSI	SUCS	SWE	TOBC	TIBC	TI1	TI0	NMVC	RFCL	RFNE	RXI	TXI	CYCS	CAS
	W															WST
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0] WST : ウェイクアップステータスフラグ (Wakeup Status)

CCSV.WSV [2:0] が UNDEFINED 以外に変化するとき、このフラグが "1" に設定されます。

- 1 = ウェイクアップステータス遷移あり
- 0 = ウェイクアップステータス遷移なし

[bit1] CAS : コリジョン回避シンボルフラグ (Collision Avoidance Symbol)

CAS が受信された場合、"1" に設定されます。

- 1 = コリジョン回避シンボルが受信された
- 0 = コリジョン回避シンボルが受信されていない

[bit2] CYCS : コミュニケーションサイクル開始フラグ (Cycle Start Interrupt)

コミュニケーションサイクルが始まった場合、"1" に設定されます。

- 1 = コミュニケーションサイクルが開始された
- 0 = コミュニケーションサイクルが開始されていない

[bit3] TXI : 送信完了フラグ (Transmit Interrupt)

各メッセージバッファの MBI ビットに "1" がセットされていれば、フレーム送信が成功した後に "1" に設定されます。(図 38.4-16 を参照)

- 1 = MBI ビットに "1" がセットされた送信バッファから、少なくとも 1 つのフレームの送信に成功した
- 0 = MBI ビットに "1" がセットされた送信バッファから、フレームが送信されていない

[bit4] RXI : 受信完了フラグ (Receive Interrupt)

各メッセージバッファの MBI ビットに "1" がセットされていれば, 受信した有効フレームのペイロードセグメントが受信バッファに格納されたとき, "1" に設定されます。(図 38.4-16 を参照)

1 = MBI ビットに "1" がセットされた受信バッファ中の, 少なくとも 1 つのデータセクションが更新された

0 = MBI ビットに "1" がセットされた受信バッファ中で, データセクションが更新されていない

[bit5] RFNE : 受信 FIFO フラグ (Receive FIFO Not Empty)

有効なフレームが受信 FIFO に格納されている場合, "1" に設定されます。

1 = 受信 FIFO がエンプティでない

0 = 受信 FIFO がエンプティである

[bit6] RFCL : 受信 FIFO フルフラグ (Receive FIFO Critical Level)

受信 FIFO レベル (**FSR.RFFL [7:0]**) が制約レベル (**FCL.CL [7:0]**) 以上のときに, "1" に設定されます。

1 = 受信 FIFO レベルが制約レベル以上である

0 = 受信 FIFO レベルが制約レベル未満である

[bit7] NMVC : ネットワークマネジメントベクタ変更フラグ (Network Management Vector Changed)

ネットワークマネジメントベクタの変更を示します。

1 = ネットワークマネジメントベクタが変更された

0 = ネットワークマネジメントベクタが変更されていない

[bit8] TI0 : タイマ 0 フラグ (Timer Interrupt 0)

タイマ 0 の値と **T0C** の値が一致した場合, "1" に設定されます。

1 = タイマ 0 の値と **T0C** の値が一致した

0 = タイマ 0 の値と **T0C** の値が一致しない

[bit9] TI1 : タイマ 1 フラグ (Timer Interrupt 1)

タイマ 1 の値と **T1C** の値が一致した場合, "1" に設定されます。

1 = タイマ 1 の値と **T1C** の値が一致した

0 = タイマ 1 の値と **T1C** の値が一致しない

[bit10] TIBC : インプットバッファ転送完了フラグ (Transfer Input Buffer Completed)

インプットバッファからメッセージ RAM への転送が完了し, **IBCR.IBSYS** がリセットされた場合, "1" に設定されます。

1 = インプットバッファとメッセージ RAM 間の転送が完了した

0 = インプットバッファとメッセージ RAM 間の転送が完了していない

[bit11] TOBC : アウトプットバッファ転送完了フラグ (Transfer Output Buffer Completed)

メッセージ RAM からアウトプットバッファへ転送が完了し, **OBCR.OBSYS** がリセットされた場合, "1" に設定されます。

1 = メッセージ RAM とアウトプットバッファ間の転送が完了した

0 = メッセージ RAM とアウトプットバッファ間の転送が完了していない

[bit12] SWE : ストップウォッチイベントフラグ (Stop Watch Event)

ストップウォッチ起動後，サイクルカウンタとマクロティック値がストップウォッチレジスタに格納されます。(STPW1 レジスタ参照)

- 1 = ストップウォッチイベントの発生
- 0 = ストップウォッチイベントが発生していない

[bit13] SUCS : スタートアップ成功フラグ (Startup Completed Successfully)

スタートアップが成功して NORMAL_ACTIVE ステートに設定されたとき，"1" に設定されます。

- 1 = スタートアップが成功した
- 0 = スタートアップが成功していない

[bit14] MBSI : メッセージバッファステータス変更フラグ (Message Buffer Status Interrupt)

メッセージバッファの MBI ビットが "1" に設定され，メッセージバッファステータス (MBS) が変化した場合 (図 38.4-16 を参照) に，"1" に設定されます。

- 1 = MBI が "1" でセットされている少なくとも 1 つのメッセージバッファステータスが変化した
- 0 = MBI が "1" でセットされているメッセージバッファのステータスが変化していない

[bit15] SDS : ダイナミックセグメント開始フラグ (Start of Dynamic Segment)

ダイナミックセグメントが開始されたとき，"1" に設定されます。

- 1 = ダイナミックセグメントが開始された
- 0 = ダイナミックセグメントが開始されていない

[bit16] WUPA : チャネル A ウェイクアップパターン受信フラグ (Wakeup Pattern Channel A)

CC がウェイクアップ，レディ，スタートアップ状態もしくはモニタモードの場合，ウェイクアップパターンをチャネル A で受信したとき，"1" に設定されます。

- 1 = チャネル A でウェイクアップパターンを受信した
- 0 = チャネル A でウェイクアップパターンが受信されていない

[bit17] MTSA : チャネル A MTS 受信フラグ (MTS Received on Channel A) (vSS!ValidMTSA)

前のシンボルウィンドウの間，メディアアクセステストシンボル (MTS) がチャネル A で受信されたことを示します。シンボルウィンドウの終わりにおいて更新されます。

- 1 = チャネル A で MTS シンボルを受信した
- 0 = チャネル A で MTS シンボルが受信されていない

[bit24] WUPB : チャネル B ウェイクアップパターン受信フラグ (Wakeup Pattern Channel B)

CC がウェイクアップ，レディ，スタートアップ状態もしくはモニタモードの場合，ウェイクアップパターンをチャネル B で受信したとき，"1" に設定されます。

- 1 = チャネル B でウェイクアップパターンを受信した
- 0 = チャネル B でウェイクアップパターンが受信されていない

[bit25] MTSB : チャネル B MTS 受信フラグ (MTS Received on Channel B) (vSS!ValidMTSB)

前のシンボルウィンドウの間，メディアアクセステストシンボル (MTS) がチャネル B で受信されたことを示します。シンボルウィンドウの終わりにおいて更新されます。

- 1 = チャネル B で MTS シンボルを受信した
- 0 = チャネル B で MTS シンボルが受信されていない

38.3.3.3 エラー割込み端子選択レジスタ : EILS (Error Interrupt Line Select)

Bit	31		30		29		28		27		26		25		24		23		22		21		20		19		18		17		16	
EILS	R	0	0	0	0	0	TABBL		LTVBL		EDBL		0	0	0	0	0	TABAL		LTVAL		EDAL										
0xD028	W																															
Reset	0		0		0		0		0		0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

Bit	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0	
	R	0	0	0	0	MHFL		IOBAL		IIBAL		EFAL		RFOL		PERRL		CCLL		CCFL		SFOL		SFBML		CNAL		PEMCL				
	W																															
Reset	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0		0	

EIR レジスタ中のエラー割込みフラグによって生成される割込みを, 下記のどちらかの割込み端子に割り当てるかを決定します。

- 1 = 割込みが **INT1** 端子に割りつけられた
- 0 = 割込みが **INT0** 端子に割りつけられた

- [bit0] **PEMCLPOC** エラーモード変更割込み端子選択 (POC Error Mode Changed Interrupt Line)
- [bit1] **CNAL** コマンド無効通知割込み端子選択 (Command Not Accepted Interrupt Line)
- [bit2] **SFBML** 同期フレーム数不足割込み端子選択 (Sync Frames Below Minimum Interrupt Line)
- [bit3] **SFOL** 同期フレーム数超過割込み端子選択 (Sync Frame Overflow Interrupt Line)
- [bit4] **CCFL** クロック補正フェイル割込み端子選択 (Clock Correction Failure Interrupt Line)
- [bit5] **CCLLCHI** コマンドロック割込み端子選択 (CHI Command Locked Interrupt Line)
- [bit6] **PERRL** パリティエラー割込み端子選択 (Parity Error Interrupt Line)
- [bit7] **RFOL** 受信 FIFO オーバラン割込み端子選択 (Receive FIFO Overrun Interrupt Line)
- [bit8] **EFAL** エンプティ FIFO アクセス割込み端子選択 (Empty FIFO Access Interrupt Line)
- [bit9] **IIBAL** イリーガルインプットバッファアクセス割込み端子選択 (Illegal Input Buffer Access Interrupt Line)
- [bit10] **IOBAL** イリーガルアウトプットバッファアクセス割込み端子選択 (Illegal Output Buffer Access Interrupt Line)
- [bit11] **MHFL** メッセージハンドラ制約フラグ割込み端子選択
- [bit16] **EDAL** チャンネル A エラー検出割込み端子選択 (Error Detected on Channel A Interrupt Line)
- [bit17] **LTVAL** チャンネル A 送信障害検出割込み端子選択 (Latest Transmit Violation Channel A Interrupt Line)
- [bit18] **TABAL** チャンネル A スロット境界越え送信検出割込み端子選択 (Transmission Across Boundary Channel A Interrupt Line)
- [bit24] **EDBL** チャンネル B エラー検出割込み端子選択 (Error Detected on Channel B Interrupt Line)
- [bit25] **LTVBL** チャンネル B 送信障害検出割込み端子選択 (Latest Transmit Violation Channel B Interrupt Line)
- [bit26] **TABBL** チャンネル B スロット境界越え送信検出割込み端子選択 (Transmission Across Boundary Channel B Interrupt Line)

38.3.3.4 ステータス割込み端子選択レジスタ (SILS: Status Interrupt Line Select)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SILS	R	0	0	0	0	0	0	MTS BL	WUP BL	0	0	0	0	0	0	MTS AL	WUP AL
0xD02C	W																
Reset		0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	SDSL	MBSIL	SUCSL	SWEL	TOBCL	TIBCL	TI1L	TI0L	NMV CL	RFCLL	RFNEL	RXIL	TXIL	CYCSL	CASL	WSTL
	W																
Reset		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

SIR レジスタ中のステータス割込みフラグによって生成される割込みを、下記のどちらの割込み端子に割り当ててくるかを決定します。

- 1 = 割込みが **INT1** 端子に割りつけられた
- 0 = 割込みが **INT0** 端子に割りつけられた

- [bit0] **WSTL** ウェイクアップステータス割込み端子選択 (Wakeup Status Interrupt Line)
- [bit1] **CASL** コリジョン回避シンボル割込み端子選択 (Collision Avoidance Symbol Interrupt Line)
- [bit2] **CYCSL** コミュニケーションサイクル開始割込み端子選択 (Cycle Start Interrupt Line)
- [bit3] **TXIL** 送信完了割込み端子選択 (Transmit Interrupt Line)
- [bit4] **RXIL** 受信完了割込み端子選択 (Receive Interrupt Line)
- [bit5] **RFNEL** 受信 FIFO 割込み端子選択 (Receive FIFO Not Empty Interrupt Line)
- [bit6] **RFCLL** 受信 FIFO クリティカルレベル割込み端子選択 (Receive FIFO Critical Level Interrupt Line)
- [bit7] **NMVCL** ネットワークマネジメントベクタ変更割込み端子選択 (Network Management Vector Changed Interrupt Line)
- [bit8] **TI0L** タイマ 0 割込み端子選択 (Timer Interrupt 0 Line)
- [bit9] **TI1L** タイマ 1 割込み端子選択 (Timer Interrupt 1 Line)
- [bit10] **TIBCL** インพุットバッファ転送完了割込み端子選択 (Transfer Input Buffer Completed Interrupt Line)
- [bit11] **TOBCL** アウトพุットバッファ転送完了割込み端子選択 (Transfer Output Buffer Completed Interrupt Line)
- [bit12] **SWEL** ストップウォッチイベント割込み端子選択 (Stop Watch Event Interrupt Line)
- [bit13] **SUCSL** スタートアップ成功割込み端子選択 (Startup Completed Successfully Interrupt Line)
- [bit14] **MBSIL** メッセージバッファステータス変更割込み端子選択 (Message Buffer Status Interrupt Line)
- [bit15] **SDSL** ダイナミックセグメント開始割込み端子選択 (Start of Dynamic Segment Interrupt Line)
- [bit16] **WUPAL** チャンネル A ウェイクアップパターン受信割込み端子選択 (Wakeup Pattern Channel A Interrupt Line)
- [bit17] **MTSAL** チャンネル A MTS 受信割込み端子選択 (Media Access Test Symbol Channel A Interrupt Line)
- [bit24] **WUPBL** チャンネル B ウェイクアップパターン受信割込み端子選択 (Wakeup Pattern Channel B Interrupt Line)
- [bit25] **MTSBL** チャンネル B MTS 受信割込み端子選択 (Media Access Test Symbol Channel B Interrupt Line)

38.3.3.5 エラー割込み有効レジスタ :

EIES, EIER (Error Interrupt Enable Set / Reset)

このレジスタを設定することで、エラー割込みレジスタ EIR 中のどのステータス変更で割込みを発生させるかを決定します。

Bit	31302928272625242322212019181716																
EIES,R	R	0	0	0	0	0	TABBE	LTVBE	EDBE	0	0	0	0	0	TABAE	LTVAE	EDAE
0xD030	W																
0xD034	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	1514131211109876543210																
	R	0	0	0	0	MHFE	IOBAE	IIBAE	EFAE	RFOE	PERRE	CCLE	CCFE	SFOE	SFBME	CNAE	PEMCE
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

割込み有効フラグは、アドレス 0xD030 に "1" 書込みを行うことによって有効に設定され、アドレス 0xD034 に "1" 書込みを行うことによって無効に設定されます。いずれのアドレスについても、"0" を書き込むことでは、この有効フラグは変更されません。

両方のアドレスからは同じ値が読み出されます。

1 = 割込み有効

0 = 割込み無効

[bit0] PEMCEPOC エラーモード変更割込み有効フラグ (POC Error Mode Changed Interrupt Enable)

[bit1] CNAE コマンド無効通知割込み有効フラグ (Command Not Accepted Interrupt Enable)

[bit2] SFBME 同期フレーム数不足割込み有効フラグ (Sync Frames Below Minimum Interrupt Enable)

[bit3] SFOE 同期フレーム数超過割込み有効フラグ (Sync Frame Overflow Interrupt Enable)

[bit4] CCFE クロック補正フェイル割込み有効フラグ (Clock Correction Failure Interrupt Enable)

[bit5] CCLECHI コマンドロック割込み有効フラグ (CHI Command Locked Interrupt Enable)

[bit6] PERRE パリティエラー割込み有効フラグ (Parity Error Interrupt Enable)

[bit7] RFOE 受信 FIFO オーバラン割込み有効フラグ (Receive FIFO Overrun Interrupt Enable)

[bit8] EFAE エンプティ FIFO アクセス割込み有効フラグ (Empty FIFO Access Interrupt Enable)

[bit9] IIBAE イリーガルインプットバッファアクセス割込み有効フラグ (Illegal Input Buffer Access Interrupt Enable)

[bit10] IOBAE イリーガルアウトプットバッファアクセス割込み有効フラグ (Illegal Output Buffer Access Interrupt Enable)

[bit11] MHFE メッセージハンドラ制約フラグ割込み有効フラグ (Message Handler Constraints Flag Interrupt Enable)

[bit16] EDAE チャンネル A エラー検出割込み有効フラグ (Error Detected on Channel A Interrupt Enable)

[bit17] LTVAE チャンネル A 送信障害検出割込み有効フラグ (Latest Transmit Violation Channel A Interrupt Enable)

[bit18] TABAE チャンネル A スロット境界越え送信検出割込み有効フラグ (Transmission Across Boundary Channel A Interrupt Enable)

[bit24] EDBE チャンネル B エラー検出割込み有効フラグ (Error Detected on Channel B Interrupt Enable)

[bit25] LTVBE チャンネル B 送信障害検出割込み有効フラグ (Latest Transmit Violation Channel B Interrupt Enable)

[bit26] TABBE チャンネル B スロット境界越え送信検出割込み有効フラグ (Transmission Across Boundary Channel B Interrupt Enable)

38.3.3.6 ステータス割込み有効レジスタ :

SIES, SIER (Status Interrupt Enable Set / Reset)

このレジスタを設定することで、ステータス割込みレジスタ SIR 中のどのステータス変更で割込みを発生させるかを決定します。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SIES.R	R	0	0	0	0	0	0	MTS	WUP	0	0	0	0	0	0	0
0xD038							BE	BE							MTS	WUP
0xD03C	W														AE	AE
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	SDSE	MBSTE	SUCSE	SWEE	TOBCE	TIBCE	TI1E	TI0E	NMV	RFCE	RFNEE	RXIE	TXIE	CYCSE	CASE
	W									CE						WSTE
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

割込み有効フラグは、アドレス 0xD038 に "1" 書込みを行うことによって有効に設定され、アドレス 0xD03C に "1" 書込みを行うことによって無効に設定されます。いずれのアドレスについても、"0" を書き込むことでは、この有効フラグは変更されません。

両方のアドレスからは同じ値が読み出されます。

1 = 割込み有効

0 = 割込み無効

[bit0] **WSTE** ウェイクアップステータス割込み有効フラグ (Wakeup Status Interrupt Enable)

[bit1] **CASE** コリジョン回避シンボル割込み有効フラグ (Collision Avoidance Symbol Interrupt Enable)

[bit2] **CYCSE** コミュニケーションサイクル開始割込み有効フラグ (Cycle Start Interrupt Enable)

[bit3] **TXIE** 送信完了割込み有効フラグ (Transmit Interrupt Enable)

[bit4] **RXIE** 受信完了割込み有効フラグ (Receive Interrupt Enable)

[bit5] **RFNEE** 受信 FIFO 割込み有効フラグ (Receive FIFO Not Empty Interrupt Enable)

[bit6] **RFCLE** 受信 FIFO クリティカルレベル割込み有効フラグ (Receive FIFO Critical Level Interrupt Enable)

[bit7] **NMVCE** ネットワークマネジメントベクタ変更割込み有効フラグ (Network Management Vector Changed Interrupt Enable)

[bit8] **TI0E** タイマ 0 割込み有効フラグ (Timer Interrupt 0 Enable)

[bit9] **TI1E** タイマ 1 割込み有効フラグ (Timer Interrupt 1 Enable)

[bit10] **TIBCE** インพุットバッファ転送完了割込み有効フラグ (Transfer Input Buffer Completed Interrupt Enable)

[bit11] **TOBCE** アウトพุットバッファ転送完了割込み有効フラグ (Transfer Output Buffer Completed Interrupt Enable)

[bit12] **SWEE** ストップウォッチイベント割込み有効フラグ (Stop Watch Event Interrupt Enable)

[bit13] **SUCSE** スタートアップ成功割込み有効フラグ (Startup Completed Successfully Interrupt Enable)

[bit14] **MBSIE** メッセージバッファステータス変更割込み有効フラグ (Message Buffer Status Interrupt Enable)

[bit15] **SDSE** ダイナミックセグメント開始割込み有効フラグ (Start of Dynamic Segment Interrupt Enable)

[bit16] **WUPAE** チャネル A ウェイクアップパターン受信割込み有効フラグ (Wakeup Pattern Channel A Interrupt Enable)

[bit17] **MTSAE** チャネル A MTS 受信割込み有効フラグ (MTS Received on Channel A Interrupt Enable)

[bit24] WUPBEチャネル B ウェイクアップパターン受信割込み有効フラグ (Wakeup Pattern Channel B Interrupt Enable)

[bit25] MTSBEチャネル B MTS 受信割込み有効フラグ (MTS Received on Channel B Interrupt Enable)

38.3.3.7 割込み端子有効レジスタ : ILE (Interrupt Line Enable)

2 つの割込み端子 (INT0,INT1) について, ビット EINT0 とビット EINT1 を "1" に設定することで, 個々に割込み有効/無効にできます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ILE	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD040	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EINT1	EINT0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0] EINT0 割込み端子 INT0 有効フラグ (Enable Interrupt Line 0)

1 = 割込み端子 (INT0) が有効

0 = 割込み端子 (INT0) が無効

[bit1] EINT1 割込み端子 INT1 有効フラグ (Enable Interrupt Line 1)

1 = 割込み端子 (INT1) が有効

0 = 割込み端子 (INT1) が無効

38.3.3.8 タイマ 0 設定レジスタ : T0C (Timer 0 Configuration)

タイマ 0 割込みが発生する時間を, サイクルカウントおよびマクロティック単位で指定します。タイマ 0 割込みが発生したとき, 割込み出力 INT2 は 1 マクロティックの間 "1" に設定され, SIR.TI0 が "1" に設定されます。

POC が NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートのときに, タイマ 0 は動作可能です。それ以外のステートでは, タイマ 0 は動作を停止します。

タイマ 0 を再設定するときは, ビット T0RC に "0" 書き込みを行うことで, タイマを止めなければなりません。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
T0C	R	0	0	T0MO	T0MO	T0MO	T0MO	T0MO	T0MO	T0MO	T0MO	T0MO	T0MO	T0MO	T0MO	T0MO	T0MO
0xD044	W			13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	T0CC	T0CC	T0CC	T0CC	T0CC	T0CC	T0CC	0	0	0	0	0	0	T0MS	T0RC
	W		6	5	4	3	2	1	0								
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0] T0RC タイマ 0 動作制御 (Timer 0 Run Control)

1 = タイマ 0 ランニング

0 = タイマ 0 停止

[bit1] T0MS タイマ 0 動作モード選択 (Timer 0 Mode Select)

- 1 = コンティニューアスモード
- 0 = シングルショットモード

[bit8 ～ bit14] T0CC [6:0] タイマ 0 サイクルコード設定 (Timer 0 Cycle Code)

タイマ 0 割込み発生のために使用されるサイクルセットを決定するコードです。サイクルコードの設定の詳細は、「38.4.7.2 サイクルカウンタフィルタリング」を参照してください。

[bit16 ～ bit29] T0MO [13:0] タイマ 0 マクロティックオフセット設定 (Timer 0 Macro-tick Offset)

サイクルセットで設定された各サイクルの最初から、どのくらいのオフセット時間経過後にタイマ 0 割込みを発生させるかを、マクロティック単位で設定します。そのサイクルセットは、T0CC にて設定します。

(注意事項) NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートから別のステートに状態遷移する場合、もしくは **T0RC** を "0" にクリアすることによってタイマ 0 が停止する場合は、割込み出力 INT2 は直ちに "L" を出力します。
タイマ 0 はマクロティックカウンタ値の対価として得られ、タイマ 0 専用カウンタはありません。

38.3.3.9 タイマ 1 設定レジスタ : T1C (Timer 1 Configuration)

タイマ 1 が指定マクロティック数に達したとき、タイマ 1 割込みが発生します。また、割込み出力 INT3 は 1 マクロティックの間 "1" に設定され、SIR.TI1 が "1" に設定されます。

POC が NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートのときに、タイマ 1 は動作可能です。それ以外のステートでは、タイマ 1 は動作を停止します。

タイマ 1 を再設定するときは、T1RC ビットに "0" 書き込みを行うことで、タイマを止めなければなりません。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
T1C	R	0	0	T1MC	T1MC	T1MC	T1MC	T1MC	T1MC	T1MC	T1MC	T1MC	T1MC	T1MC	T1MC	T1MC
0xD048	W			13	12	11	10	9	8	7	6	5	4	3	2	1
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	0	T1MS	T1RC
	W															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0] T1RC タイマ 1 動作制御 (Timer 1 Run Control)

- 1 = タイマ 1 ランニング
- 0 = タイマ 1 停止

[bit1] T1MS タイマ 1 動作モード選択 (Timer 1 Mode Select)

- 1 = コンティニューアスモード
- 0 = シングルショットモード

[bit16 ～ bit29] T1MC [13:0] タイマ 1 マクロティックカウント (Timer 1 Macro tick Count)

タイマ 1 が設定したマクロティックカウントと一致したとき、タイマ 1 割込みが発生します。

有効値 : 2 から 16383 MT (コンティニューアスモード)

1 から 16383 MT (シングルショットモード)

(注意事項) NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートから別のステートに状態遷移する場合、もしくは T1RC を "0" にクリアすることによってタイマ 0 が停止する場合は、割込み出力 INT3 は直ちに "L" を出力します。

38.3.3.10 ストップウォッチレジスタ 1 : STPW1 (Stop Watch Register 1)

ストップウォッチは、STOPWT ピンの立下りもしくは立下りエッジ入力、または割込み 0,1 の発生、もしくはホストがビット SSWT に "1" 書込みを行うことによって起動されます。マクロティックカウンタの加算は、ストップウォッチ起動の次に開始し、実際のサイクルカウンタ値とマクロティック値は、このストップウォッチレジスタ (ストップウォッチイベント) に格納されます。また、これらの値をホストから読み出すことができます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STPW1	R	0	0	SMTV	SMTV	SMTV	SMTV	SMTV	SMTV	SMTV	SMTV	SMTV	SMTV	SMTV	SMTV	SMTV	SMTV
0xD04C	W			13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	SCCV5	SCCV4	SCCV3	SCCV2	SCCV1	SCCV0	0	EINT1	EINT0	EETP	SSWT	EDGE	SWMS	ESWT
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0] ESWT ストップウォッチトリガ許可 (Enable Stop Watch Trigger)

ストップウォッチトリガが許可されると、入力ピン **STOPWT** のエッジ信号あるいは割込み 0,1 信号 (**INT0** または **INT1** の立上りエッジ) によってストップウォッチを起動します。シングルショットモードにおいては実行サイクルカウンタとマクロティック値がストップウォッチレジスタに格納された後、このビットは "0" にリセットされます。

1 = 許可

0 = 禁止

[bit1] SWMS ストップウォッチモード選択 (Stop Watch Mode Select)

1 = 連続

0 = 単発

[bit2] EDGE ストップウォッチトリガエッジ選択 (Stop Watch Trigger Edge Select)

1 = 立上り

0 = 立下り

[bit3] SSWT ソフトウェアストップウォッチトリガ (Software Stop Watch Trigger)

ホストがこのビットを "1" に設定すると、ストップウォッチが起動されます。実際のサイクルカウンタ値とマクロティック値がストップウォッチレジスタに格納された後、このビットは "0" にクリアされます。

本ビットは **ESWT=0** の間、書込み可能です。

1 = ソフトウェアトリガによってストップウォッチが起動される

0 = ソフトウェアトリガをクリアする

[bit4] EETP 外部トリガピン許可 (Enable External Trigger Pin)

ESWT= 1 の場合 , 入力ピン **STOPWT** のエッジ信号をストップウォッチトリガとする。

1 = 許可

0 = 禁止

[bit5] EINT0 割込み 0 トリガ許可 (Enable Interrupt 0 Trigger)

ESWT= 1 の場合 , 割込み 0 のイベントをストップウォッチトリガとする。

1 = 許可

0 = 禁止

[bit6] EINT1 割込み 1 トリガ許可 (Enable Interrupt 1 Trigger)

ESWT= 1 の場合 , 割込み 1 イベントをストップウォッチトリガとする。

1 = 許可

0 = 禁止

[bit8 ～ bit13] SCCV [5:0] ストップウォッチイベント発生サイクルカウンタ値 (Stopped Cycle Counter Value)

ストップウォッチイベントが発生したときのサイクルカウンタ値です。有効値は , 0 から 63 です。

[bit16 ～ bit29] SMTV [13:0] ストップウォッチイベント発生マクロティック値 (Stopped Macrotick Value)

ストップウォッチイベントが発生したときのマクロティックカウンタ値です。有効値は , 0 から 15999 です。

(注意事項) ビット ESWT および SSWT は , "1" に同時に設定することができません。この場合 , 書込みアクセスは無視されます。また , 両方のビットはそれらの前の値を維持します。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されてもよい。

38.3.3.11 ストップウォッチレジスタ 2 : STPW2 (Stop Watch Register 2)

チャンネル A, B ストップウォッチカウンタ値をホストから読み出すことができます。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
STPW2 0xD050	R	0	0	0	0	0	SSCVB 10	SSCVB 9	SSCVB 8	SSCVB 7	SSCVB 6	SSCVB 5	SSCVB 4	SSCVB 3	SSCVB 2	SSCVB 1	SSCVB 0
	W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	R	0	0	0	0	0	SSCVA 10	SSCVA 9	SSCVA 8	SSCVA 7	SSCVA 6	SSCVA 5	SSCVA 4	SSCVA 3	SSCVA 2	SSCVA 1	SSCVA 0
	W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0 ～ bit10] SSCVA [10:0] チャンネル A ストップウォッチカウンタ値 (Stop Watch Captured Slot Counter Value Channel A)

イベント発生時のチャンネル A ストップウォッチカウンタ値 (0 to 2047)

[bit16 ～ bit26] SSCVB [10:0] チャンネル B ストップウォッチカウンタ値 (Stop Watch Captured Slot Counter Value Channel B)

イベント発生時のチャンネル B ストップウォッチカウンタ値 (0 to 2047)

38.3.4 通信コントローラ (CC) 制御レジスタ

この節では、FlexRay の通信コントローラ (CC) を制御するレジスタについて説明します。FlexRay プロトコル仕様では、アプリケーション設定データは CONFIG ステート中に設定することを要求しています。DEFAULT_CONFIG ステートにおいて設定レジスタへの書き込みがロックされていないので注意してください。

ハードリセットが入力されると DEFAULT_CONFIG ステートに遷移し、各レジスタが初期化されます。プロトコル操作コントローラ (POC) を DEFAULT_CONFIG ステートから CONFIG ステートへ遷移させるためには、**CMD [3:0] = 0001 (CHI コマンド CONFIG)** を設定してください。さらに、CONFIG ステートから READY ステートに遷移させるためには、"38.3.2.1 ロックレジスタ: LCK (Lock Register)" で記述されている手順に従ってください。

アスタリスク (*) マークが付いたすべてのビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートにおいて更新できます。

38.3.4.1 SUC 設定レジスタ 1 : SUCC1 (SUC Configuration Register 1)

Bit	31		30		29		28		27		26		25		24		23		22		21		20		19		18		17		16	
SUCC1 0xD080	R	0	0	0	0	CCHB*		CCHA*		MTSB*		MTSA*		HCSE*		TSM*		WUCS*		PTA4*		PTA3*		PTA2*		PTA1*		PTA0*				
	W																															
Reset		0	0	0	0	1		1		0		0		0		1		0		0		0		0		0		0		0		

Bit	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0	
	R	CSA4*	CSA3*	CSA2*	CSA1*	CSA0*	0		TXSY*		TXST*		PBSY		0		0		0		0		CMD3		CMD2		CMD1		CMD0			
	W																															
Reset		0	0	0	1	0	0		0		0		1		0		0		0		0		0		0		0		0			

[bit0 ～ bit3] CMD [3:0] CHI コマンドベクタ (CHI Command Vector)

この CHI コマンドベクタは、いつでも書き込み可能ですが、特定のコマンドは特定の POC ステートでのみ有効です。コマンドが有効でない場合はそのコマンドは実行されず、CHI コマンドベクタ **CMD [3:0]** は、"0000"(command_not_accepted) にリセットされ、**EIR.CNA** が "1" に設定されます。前の CHI コマンドがまだ完了していない場合、**EIR.CCL** が **EIR.CNA** と共に "1" に設定された場合、CHI コマンドを繰り返す必要があります。HALT ステートを除いて、ある POC ステートの間に、それと同じ POC ステートへの変更コマンドを適用したとき、このコマンドは無視され、**EIR.CNA** もセットされません。

0000 = command_not_accepted
 0001 = CONFIG
 0010 = READY
 0011 = WAKEUP
 0100 = RUN
 0101 = ALL_SLOTS
 0110 = HALT
 0111 = FREEZE
 1000 = SEND_MTS
 1001 = ALLOW_COLDSTART
 1010 = RESET_STATUS_INDICATORS
 1011 = MONITOR_MODE
 1100 = CLEAR_RAMs
 1101 = reserved

1110 = reserved

1111 = reserved

CMD [3:0] のリードは , 受け付けられた最後の **CHI** コマンドを示します。実際の **POC** 状態は **CCSV.POCS [5:0]** にモニタされます。"reserved" の **CHI** コマンドは , ハードウェアテスト機能に属します。

一般に , **CHI** コマンドを設定する前に , ホストは **SUCC1.PBSY** をチェックしなければなりません。

command_not_accepted

CMD [3:0] = 0000 の書込みは , 下記のうち 1 つが該当した場合 , **CMD [3:0]** = 0000 にリセットされます。

- 無効なコマンドが設定された場合
- 内部 **POC** ステート変更期間にコマンドが設定された場合
- **CHI** コマンド実行中に新しいコマンドが設定された場合
- **command_not_accepted** を設定した場合

コマンドが有効でない場合はそのコマンドは実行されず , **CHI** コマンドベクタ **CMD [3:0]** は , "0000"(command_not_accepted) にリセットされ , **EIR.CNA** が "1" に設定されます。割込み有効であるなら割込みが発生します。

CONFIG

DEFAULT_CONFIG ステート, READY ステート, MONITOR_MODE ステートにて **CMD [3:0] = 0001** を設定したとき, CONFIG ステートに遷移します。HALT ステートにて **CMD [3:0] = 0001** を設定したとき, DEFAULT_CONFIG ステートに遷移します。ほかのステートにて **CMD [3:0] = 0001** を設定したとき, **CMD [3:0] = 0000 (command_not_accepted)** にリセットされます。

READY

CONFIG ステート, NORMAL_ACTIVE ステート, NORMAL_PASSIVE ステート, STARTUP ステート, WAKEUP ステートにて **CMD [3:0] = 0010** を設定したとき, READY ステートに遷移します。ほかのステートで **CMD [3:0] = 0010** を設定したとき, **CMD [3:0] = 0000 (command_not_accepted)** にリセットされます。

WAKEUP

READY ステートで **CMD [3:0] = 0011** を設定したとき, WAKEUP ステートに遷移します。ほかのステートで **CMD [3:0] = 0011** を設定したとき, **CMD [3:0] = 0000 (command_not_accepted)** にリセットされます。

RUN

READY ステートで **CMD [3:0] = 0100** を設定したとき, STARTUP ステートに遷移します。ほかのステートで **CMD [3:0] = 0100** を設定したとき, **CMD [3:0] = 0000 (command_not_accepted)** にリセットされます。

ALL_SLOTS

NORMAL_ACTIVE ステートと NORMAL_PASSIVE ステートにて **CMD [3:0] = 0101** を設定したとき, そのサイクルの次の終了においてスタートアップ/統合の成功後に, SINGLE スロットモードから ALL スロットモードに移行します。ほかのステートで **CMD [3:0] = 0101** を設定したとき, **CMD [3:0] = 0000 (command_not_accepted)** にリセットされます。

HALT

NORMAL_ACTIVE ステートと NORMAL_PASSIVE ステートで **CMD[3:0]= 0110** を設定したとき, 停止要求ビット **CCSV.HRQ** に "1" をセットし, そのサイクルの次の終了において HALT ステートに遷移します。ほかのステートで **CMD [3:0] = 0110** を設定したとき, **CMD [3:0] = 0000 (command_not_accepted)** にリセットされます。

FREEZE

CMD[3:0]=0111 を設定したとき, フリーズステータスインジケータ **CCSV.FSI** を "1" に設定し, 直ちに HALT ステートに遷移します。これは, すべてのステートにて設定可能です。

SEND_MTS

ALL スロットモード(**CCSV.SLM [1:0] = 11**)に設定した後にNORMAL_ACTIVEステートで**CMD [3:0] = 1000** を設定したとき, **MTSA, MTSB** にて設定したチャンネル上に, 次のシンボルウィンドウ中にシングル MTS シンボルを送信します。ほかステートにて **CMD [3:0] = 1000** を設定したとき, **CMD [3:0] = 0000 (command_not_accepted)** にリセットされます。

ALLOW_COLDSTART

DEFAULT_CONFIG, CONFIG, HALT 以外のステートで **CMD [3:0] = 1001** を設定したとき, ノードのコールドスタートを有効にするために **CCSV.CSI** を "0" にクリアします。DEFAULT_CONFIG ステート, CONFIG ステート, HALT ステート, または MONITOR_MODE で **CMD [3:0] = 1001** を設定したとき, **CMD [3:0] = 0000 (command_not_accepted)** にリセットされます。また, コールドスタートを有効にするため **TXST** と **TXSY** の両方をセットすることも必要です。

RESET_STATUS_INDICATORS

CMD [3:0] = 1010 を設定したとき, **CCSV.CSNI**, **CCSV.CSAI** と **CCSV.WSV [2:0]** ステータスフラグをリセットします。READY ステートと STARTUP ステートで実行され, ほかのステートでは **CMD [3:0]** = 0000 (command_not_accepted) にリセットされます。

CLEAR_RAMs

DEFAULT_CONFIG ステートまたは CONFIG ステートで **CMD [3:0]** = 1100 を設定したとき, **MHDS.CRAM** は "1" に設定されます。ほかのステートで **CMD [3:0]** = 1100 を設定したとき, **CMD [3:0]** = 0000 (command_not_accepted) にリセットされます。ハードリセットの後, **MHDS.CRAM** は "1" に設定されます。**MHDS.CRAM** を "1" に設定することによって, すべての内部 RAM ブロックがゼロに初期化されます。RAM の初期化の間, **PBSY** は POC ビジーを示します。CHI コマンド **CLEAR_RAMs**(**CMD [3:0]** = "1100") 実行中, 設定レジスタやステータスレジスタへのアクセスは可能です。

FlexRay コントローラの内部 RAM ブロックの初期化は, 2048HCLK サイクルを必要とします。ハードリセットの後, もしくは **CMD [3:0]** = 1100 (CHI コマンド **CLEAR_RAMs**) の設定後, 内部 RAM ブロックの初期化中に, **IBF** や **OBF** へアクセスしてはいけません。

CMD [3:0] = 1100 の設定前に, メッセージ RAM と **IBF/OBF** 間に何も転送されていないことを確認しなければなりません。

この設定は, メッセージバッファステータスレジスタ (**MHDS**, **TXRQ1/2/3/4**, **NDAT1/2/3/4**, **MBSC1/2/3/4**) をリセットします。

(注意事項) **CLEAR_RAM** と **SEND_MTS** コマンドを除く受け付けられたコマンドは, そのフレームで POC がビジーでなく変化がないなら, CHI 立下りから, どちらかより遅い HCLK か SCLK の 8 サイクル以内に SCLK ドメインの POC ステートを変化します。レジスタ **CCSV** のリードは SCLK から HCLK ドメインまでの同期と CPU インタフェースで遅れます。最大の追加ディレイは HCLK と SCLK のより遅いクロックの 12 サイクルです。

MONITOR_MODE

CONFIG ステートで **CMD [3:0]** = 1011 を設定したとき, **MONITOR_MODE** に遷移します。このモードでは, FlexRay フレームとウェイクアップパターンを受信することが可能であり, コーディングエラーも検出可能です。ただし, 受信フレームの時間の完全性はチェックされません。このモードは, デバッグ目的のために使用することが可能です。例えば, FlexRay ネットワークのスタートアップが失敗する場合に, その原因解析のために使用されます。ほかのステートで **CMD [3:0]** = 1011 を設定したとき, **CMD [3:0]** = 0000 (command_not_accepted) にリセットされます。

[bit7] PBSY POC ビジー (POC Busy)

POC がビジーで, コマンドを受け入れることができないことを示します。**PBSY** = 1 のとき, **CMD [3:0]** はライトアクセスに対してロックされます。ハードリセット後, 内部 RAM の初期化中 "1" に設定されます。

1 = POC がビジー。 **CMD [3:0]** はロックされる

0 = POC がアイドル状態である。 **CMD [3:0]** は書き込み可能である

[bit8] TXST スタートアップフレームのキースロット送信有無 (Transmit Startup Frame in Key Slot) (pKeySlotUsedForStartup)

キースロットがスタートアップフレームを送信するために使われるかどうかを定義します。このビットは, DEFAULT_CONFIG ステートまたは CONFIG ステートにおいてのみ変更可能です。

1 = キースロットが, スタートアップフレームの送信に使われる。コードスタートにある。

0 = キースロットが, スタートアップフレームの送信に使われない。コードスタートにない。

[bit9] TXSY 同期フレームのキースロット送信有無 (Transmit Sync Frame in Key Slot)
(pKeySlotUsedForSync)

キースロットが同期フレームを送信するために使用されるかどうかを定義します。このビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートにおいてのみ変更可能です。

1 = キースロットが、同期フレームの送信に使われる。シンクにある。

0 = キースロットが、同期フレームの送信に使われない。シンクでもコールドスタートでもない。

(注意事項) スタートアップフレームを送信するためには、TXST および TXSY の両方を "1" に設定してください。

[bit11 ~ bit15] CSA [4:0] コールドスタート試行回数 (Cold Start Attempts) (gColdStartAttempts)

コールドスタートノードのネットワークのスタートアップについて、他ノードから有効なレスポンスを受け取れない場合にスタートアップを繰り返す、その許容試行回数の最大値を定義します。この値は、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。クラスタの全ノードで同一でなければなりません。有効値は、2 から 31 です。

[bit16 ~ bit20] PTA [4:0] パッシブ・アクティブ間状態遷移必要サイクルペア数 (Passive to Active)
(pAllowPassiveToActive)

NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへ遷移する場合に必要な有効クロック補正時間について、連続の偶数／奇数サイクルペア数を定義します。"00000" に設定された場合、NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートに遷移することができません。このビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。有効値は、0 から 31 の偶数／奇数サイクルペア数です。

[bit21] WUCS ウェイクアップパターン送信チャネル選択 (Wakeup Channel Select) (pWakeupChannel)

ウェイクアップパターンを送信するチャネルを選択します。DEFAULT_CONFIG ステートまたは CONFIG ステートでないとき、このビットの変更は無視されます。

1 = チャネル B にてウェイクアップパターンを送信する

0 = チャネル A にてウェイクアップパターンを送信する

[bit22] TSM 送信スロットモード選択 (Transmission Slot Mode) (pSingleSlotEnabled)

初期の送信スロットモードを選択します。SINGLE スロットモードにおいては、事前に設定されたキースロットのみで送信します。キースロット ID は、MRC.SPLM. ビットに従う各メッセージバッファ 0,1 とメッセージバッファ 0 のヘッダセクションで構成されます。TSM = 『1』の場合、各メッセージバッファ 0,1 とメッセージバッファ 0 は、DEFAULT_CONFIG または CONFIG だけで構成できます。ALL スロットモードで、全スロットを使用した送信が可能です。

このビットは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。ただし、NORMAL_ACTIVE ステートあるいは NORMAL_PASSIVE ステートの間、CMD [3:0] = 0101 に書き込むことで ALL_SLOT コマンドを適用したときに、ALL スロットモードに移行することが可能です。TSM は、書き込み専用ビットです。現行のスロットモードは、CCSV.SLM [1:0] によってモニタされます。

1 = SINGLE スロットモード

0 = ALL スロットモード

[bit23] HCSE クロック同期エラーによる停止有無 (Halt due to Clock Sync Error) (pAllowHaltDueToClock)

クロック同期エラーによる HALT ステートへの状態遷移を制御します。このビットは , DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

1 = クロック同期エラーの発生により , HALT ステートに遷移する

0 = クロック同期エラーが発生しても , NORMAL_PASSIVE ステートを維持する

[bit24] MTSA チャネル A MTS シンボル送信有無 (Select Channel A for MTS Transmission)

MTS シンボル送信のために , チャネル A を使用するかしないかを選択します。デフォルトでは "0" にクリアされ , DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更可能です。

1 = MTS シンボルの送信のために , チャネル A を使用する

0 = MTS シンボルの送信のために , チャネル A を不使用とする

[bit25] MTSB チャネル B MTS シンボル送信有無 (Select Channel B for MTS Transmission)

MTS シンボル送信のために , チャネル B を使用するかしないかを選択します。デフォルトでは "0" にクリアされ , DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更可能です。

1 = MTS シンボルの送信のために , チャネル B を使用する

0 = MTS シンボルの送信のために , チャネル B を不使用とする

(注意事項) MTSA,B は 38.3.2.1 Lock Register(LCK) のアンロックシーケンスで直接 , SUCC1 レジスタにライトする場合 , DEFAULT_CONFIG もしくは CONFIG ステート以外からも変化します。これは CHI コマンド SEND_MTS に結合されます。

MTSA と MTSB が同時に設定された場合 , **CMD [3:0] = 1000** の書込みによって , MTS シンボルは両方のチャンネルに送信されます。

[bit26] CCHA チャネル A 接続有無 (Connected to Channel A) (pChannels)

ノードがチャネル A に接続するかどうかを設定します。

1 = ノードをチャネル A に接続する

0 = ノードをチャネル A に接続しない

[bit27] CCHB チャネル B 接続有無 (Connected to Channel B) (pChannels)

ノードがチャネル B に接続するかどうかを設定します。

1 = ノードをチャネル B に接続する

0 = ノードをチャネル B に接続しない

表 38.3-2 FlexRay プロトコル仕様の CHI コマンドと CMD [3:0] の対応 (概要) (1 / 2)

CHI コマンド	処理場所 (POC 状態)	CHI コマンドベクタ CMD [3:0]
ALL_SLOTS	POC:normal active, POC:normal passive	ALL_SLOTS
ALLOW_COLDSTART	All except POC:default config, POC:config, POC:halt	ALLOW_COLDSTART
CONFIG	POC:default config, POC:ready	CONFIG
CONFIG_COMPLETE	POC:config	Unlock sequence & READY
DEFAULT_CONFIG	POC:halt	CONFIG
FREEZE	All	FREEZE
HALT	POC:normal active, POC:normal passive	HALT

表 38.3-2 FlexRay プロトコル仕様の CHI コマンドと CMD [3:0] の対応 (概要) (2 / 2)

CHI コマンド	処理場所 (POC 状態)	CHI コマンドベクタ CMD [3:0]
READY	All except POC:default config, POC:config, POC:ready, POC:halt	READY
RUN	POC:ready	RUN
WAKEUP	POC:ready	WAKEUP

38.3.4.2 SUC 設定レジスタ 2 : SUCC2 (SUC Configuration Register 2)

このレジスタは, DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31		30		29		28		27		26		25		24		23		22		21		20		19		18		17		16	
SUCC2	R	0	0	0	0	LTN3*		LTN2*		LTN1*		LTN0*		0	0	0	LT20*		LT19*		LT18*		LT17*		LT16*							
0xD084	W																															
Reset		0	0	0	0	0		0		0		1		0	0	0	0		0		0		0		0		0		0			

Bit	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0		
	R	LT 15*		LT 14*		LT 13*		LT 12*		LT 11*		LT 10*		LT 9*		LT 8*		LT 7*		LT 6*		LT 5*		LT 4*		LT 3*		LT 2*		LT 1*		LT 0*	
	W																																
Reset		0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0			

[bit0 ～ bit20] LT [20:0] リスンタイムアウト値 (Listen Timeout) (pdListenTimeout)

スタートアップおよびウェイクアップのリスンタイムアウトを μT 単位で設定します。

"pdListenTimeout" が取りうる値の範囲は, 1284 から 1283846 μT です。

[bit24 ～ bit27] LTN [3:0] リスンタイムアウトノイズ値 (Listen Timeout Noise) (gListenNoise-1)

ノイズが発生している環境の下での, スタートアップおよびウェイクアップのリスンタイムアウト用の上限値を, pdListenTimeout の倍数として設定します。"gListenNoise" が取りうる値の範囲は, 2 から 16 です。LTN [3:0] はクラスタのすべてのノードで同一でなければなりません。

(注意事項) ウェイクアップおよびスタートアップのノイズタイムアウト時間は, 下記のように計算されます。

$$\text{pdListenTimeout} \cdot \text{gListenNoise} = \text{LT [20:0]} \cdot (\text{LTN [3:0]} + 1)$$

38.3.4.3 SUC 設定レジスタ 3 : SUCC3 (SUC Configuration Register 3)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUCC3	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD088	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0								
	W									WCF3*	WCF2*	WCF1*	WCF0*	WCP3*	WCP2*	WCP1*	WCP0*
Reset		0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1

[bit0～bit3] WCP [3:0] PASSIVE遷移クロック補正損失最大時間(Maximum Without Clock Correction Passive) (gMaxWithoutClockCorrectionPassive)

NORMAL_ACTIVE ステートから NORMAL_PASSIVE ステートへの状態遷移を引き起こすクロック補正損失時間を、連続した偶数／奇数サイクルペア数にて定義します。クラスタのすべてのノードで同一でなければなりません。有効値は 1 から 15 サイクルペア数です。

[bit4 ～ bit7] WCF [3:0] HALT 遷移クロック補正損失最大時間 (Maximum Without Clock Correction Fatal) (gMaxWithoutClockCorrectionFatal)

NORMAL_ACTIVE ステートまたは NORMAL_PASSIVE ステートから HALT ステートへの状態遷移を引き起こすクロック補正損失時間を、連続した偶数／奇数サイクルペア数にて定義します。クラスタのすべてのノードで同一でなければなりません。有効値は 1 から 15 サイクルペア数です。

(注意事項) SUCC1.HCSE がセットされていないなら、HALT ステートへの遷移はありません。

38.3.4.4 NEM 設定レジスタ : NEMC (NEM Configuration Register)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MEMC	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD08C	W															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	NML3*	NML2*	NML1*	NML0*
	W															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0 ～ bit3] NML [3:0] ネットワークマネジメントベクタ長 (Network Management Vector Length) (gNetworkManagementVectorLength)

これらのビットは、ネットワークマネジメントベクタの長さを設定します。構成された長さは、クラスタのすべてのノードで同一でなければなりません。有効値は 0 から 12 バイトです。

38.3.4.5 PRT 設定レジスタ 1 : PRTC1 (PRT Configuration Register 1)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
PRTC1 0xD090	R	RWP5*	RWP4*	RWP3*	RWP2*	RWP1*	RWP0*	0	RXW8*	RXW7*	RXW6*	RXW5*	RXW4*	RXW3*	RXW2*	RXW1*	RXW0*
Reset		0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	R	BRP1*	BRP0*	SPP1*	SPP0*	0	CASM6	CASM5	CASM4	CASM3	CASM2	CASM1	CASM0	TSST3*	TSST2*	TSST1*	TSST0*
Reset		0	0	0	0	0	1	1	0	0	0	1	1	0	0	1	1

[bit0 ～ bit3] TSST [3:0] 送信開始シーケンス時間 (Transmission Start Sequence Transmitter) (gdTSSTransmitter)

送信開始シーケンス (TSS) 時間をビットタイム単位 (1 ビットタイム = $4\mu\text{T} = 100\text{ns}@10\text{Mbps}$) で定義します。クラスタのすべてのノードで同一でなければなりません。有効値は 3 から 15 ビットタイムです。

[bit5 ～ bit10] CASM [6:0] コリジョン回避シンボル上限 (Collision Avoidance Symbol Max) (gdCASRxLowMax)

コリジョン回避シンボル (CAS) に使われるアクセプタンスウィンドウ長の上限を定義します。**CASM** ビット 6 は 1 固定です。有効値は 67 から 99 ビットタイムです。

[bit12, bit13] SPP [1:0] ストロブポイントポジション (Strobe Point Position)

サンプルカウント数を定義します。SPP [1:0] によって定義された回数分サンプリングを行い、それによって観測されたサンプル値(High/Low)の多数決によってビットの値(High/Low)を決定します。

00, 11= Sample 5

01 = Sample 4

10 = Sample 6

(注意事項) FlexRay プロトコル 2.1 では、SPP [1:0] = 00 となります。交互のストロブポイント位置は、物理層で非対称を補償するのに用いられました。

[bit14, bit15] BRP [1:0] ボーレートプリスケアラ (Baud Rate Prescaler) (gdSampleClockPeriod, pSamplePerMicrotick)

FlexRay バス上のボーレートを設定します。1 ビット時間は常に、8 サンプル (gdSampleClockPeriod × 8) で構成されます。システムクロック SCLK の設定については、「第 7 章 FlexRay/RDC 専用クロック」を参照してください。

00:

gdSampleClockPeriod = $1/\text{SCLK}(\text{s})$

pSamplesPerMicrotick = 2

01:

gdSampleClockPeriod = $2/\text{SCLK}(\text{s})$

pSamplesPerMicrotick = 1

10, 11:

gdSampleClockPeriod = $4/\text{SCLK}(\text{s})$

pSamplesPerMicrotick = 1

[bit16 ～ bit24] RXW [8:0] ウェイクアップシンボル受信ウィンドウ長 (Wakeup Symbol Receive Window Length) (gdWakeupSymbolRxWindow)

ノードが受信するウェイクアップパターンのウィンドウ長を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 76 から 301 ビット時間です。

[bit26 ～ bit31] RWP [5:0] ウェイクアップパターン送信回数 (Repetitions of Tx Wakeup Pattern) (pWakeupPattern)

ウェイクアップシンボルの送信回数を設定します。有効値は 2 から 63 です。

38.3.4.6 PRT 設定レジスタ 2 : PRTC2 (PRT Configuration Register 2)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31		30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRTC2	R	0	0	TXL5*	TXL4*	TXL3*	TXL2*	TXL1:	TXL0*	TXI7*	TXI6*	TXI5*	TXI4*	TXI3*	TXI2*	TXI1*	TXI0*
0xD094	W																
Reset		0	0	0	0	1	1	1	1	0	0	1	0	1	1	0	1

Bit	15		14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	RXL5*	RXL4*	RXL3*	RXI2*	RXI1*	RXI0*	0	0	RXI5*	RXI4*	RXI3*	RXI2*	RXI1*	RXI0*
	W																
Reset		0	0	0	0	1	0	1	0	0	0	0	0	1	1	1	0

[bit0 ～ bit5] RXI [5:0] ウェイクアップ受信アイドルフェーズ時間 (Wakeup Symbol Receive Idle) (gdWakeupSymbolRxIdle)

ノードが受信するウェイクアップシンボルのアイドルフェーズ時間を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 14 から 59 ビット時間です。

[bit8 ～ bit13] RXL [5:0] ウェイクアップ受信 Low 時間 (Wakeup Symbol Receive Low) (gdWakeupSymbolRxLow)

ノードが受信するウェイクアップシンボルの Low 時間を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 10 から 55 ビット時間です。

[bit16 ～ bit23] TXI [7:0] ウェイクアップシンボル送信アイドルフェーズ時間 (Wakeup Symbol Transmit Idle) (gdWakeupSymbolTxIdle)

ノードが送信するウェイクアップシンボルのアイドルフェーズ時間を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 45 から 180 ビット時間です。

[bit24 ～ bit29] TXL [5:0] ウェイクアップシンボル送信 Low 時間 (Wakeup Symbol Transmit Low) (gdWakeupSymbolTxLow)

ノードが送信するウェイクアップシンボルの Low 時間を、ビットタイム数で設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 15 から 60 ビット時間です。

38.3.4.7 MHD 設定レジスタ : MHDC (MHD Configuration Register)

このレジスタは, DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MHDC	R	0	0	0	SLT12*	SLT11*	SLT10*	SLT9*	SLT8*	SLT7*	SLT6*	SLT5*	SLT4*	SLT3*	SLT2*	SLT1*	SLT0*
0xD098	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	SFDL6	SFDL5	SFDL4	SFDL3	SFDL2	SFDL1	SFDL0
	W										*	*	*	*	*	*	*
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0 ～ bit6] SFDL [6:0] スタティックフレームデータ長 (Static Frame Data Length) (gPayloadLengthStatic)

スタティックセグメントにて送信される全フレームについて, クラスタ全体のペイロード長を設定します。このビットの設定値に対して, 実際のペイロード長は 2 倍のバイト長になります。ペイロード長は, クラスタのすべてのノードで同一でなければなりません。有効値は 0 から 127 です。

[bit16 ～ bit28] SLT [12:0] 送信終了ミニスロット値 (Start of Latest Transmit) (pLatestTx)

ダイナミックセグメントでフレーム送信が禁止される直前の, 最大ミニスロット値を設定します。
SLT [12:0] が "0" に設定されている場合, ダイナミックセグメントにはデータが送信されません。
有効値は, 0 から 7981 ミニスロットです。

38.3.4.8 GTU 設定レジスタ 1 : GTUC1 (GTU Configuration Register 1)

このレジスタは, DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC1	R	0	0	0	0	0	0	0	0	0	0	0	0	UT19*	UT18*	UT17*	UT16*
0xD0A0	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	UT15*	UT14*	UT13*	UT12*	UT11*	UT10*	UT9*	UT8*	UT7*	UT6*	UT5*	UT4*	UT3*	UT2*	UT1*	UT0*
	W																
Reset		0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0

[bit0 ～ bit19] UT [19:0] マイクロティック (Microtick per Cycle) (pMicroPerCycle)

コミュニケーションサイクルのマイクロティックを設定します。有効値は 640 から 640000μT です。

38.3.4.9 GTU 設定レジスタ 2 : GTUC2 (GTU Configuration Register 2)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31302928272625242322212019181716																
GTUC2	R	0	0	0	0	0	0	0	0	0	0	0	0	SNM3*	SNM2*	SNM1*	SNM0*
0xD0A4	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

Bit	1514131211109876543210																
	R	0	0	MPC13	MPC12	MPC11	MPC10	MPC9*	MPC8*	MPC7*	MPC6*	MPC5*	MPC4*	MPC3*	MPC2*	MPC1*	MPC0*
	W			*	*	*	*										
Reset		0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0

[bit0 ～ bit13] MPC [13:0] マクロティック (MacroTICK Per Cycle) (gMacroPerCycle)

コミュニケーションサイクルのマクロティックを設定します。サイクル長はクラスタのすべてのノードで同一でなければなりません。有効値は 10 から 16000MT です。

[bit16 ～ bit19] SNM [3:0] 最大同期ノード (Sync Node Max) (gSyncNodeMax)

同期フレーム (同期フレームインジケータ **SYN** に "1" がセットされたフレーム) を送信するノードの最大数を設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 2 から 15 です。

38.3.4.10 GTU 設定レジスタ 3 : GTUC3 (GTU Configuration Register 3)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31		30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC3	R	0	MIOB6	MIOB5	MIOB4	MIOB3	MIOB2	MIOB1	MIOB0	0	MIOA6	MIOA5	MIOA4	MIOA3	MIOA2	MIOA1	MIOA0
0xD0A8	W		*	*	*	*	*	*	*		*	*	*	*	*	*	*
Reset		0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0

Bit	15		14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	UIOB7	UIOB6	UIOB5	UIOB4	UIOB3	UIOB2	UIOB1	UIOB0	UIOA7	UIOA6	UIOA5	UIOA4	UIOA3	UIOA2	UIOA1	UIOA0
	W	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0 ～ bit7] UIOA [7:0] チャンネル A マイクロティック初期オフセット (MicroTICK Initial Offset Channel A) (pMicroInitialOffset [A])

チャンネル A のセカンダリ・タイム・リファレンス・ポイント後のマクロティック境界と、実タイム・リファレンス・ポイントの間のマイクロティック数を設定します。パラメータは、pDelayCompensation [A] に依存し、したがって独立してそれぞれのチャンネルに設定されなければなりません。有効値は 0 から 240μT です。

[bit8 ～ bit15] UIOB [7:0] チャンネル B マイクロティック初期オフセット (MicroTICK Initial Offset Channel B)

(pMicroInitialOffset [B])

チャンネル B のセカンダリ・タイム・リファレンス・ポイント後のマクロティック境界と、実タイム・リファレンス・ポイントの間のマイクロティック数を設定します。パラメータは、pDelayCompensation [B] に依存し、したがって独立してそれぞれのチャンネルに設定されなければなりません。有効値は 0 から 240μT です。

[bit16 ～ bit22] MIOA [6:0] チャンネル A マクロティック初期オフセット (Macrotick Initial Offset Channel A)

(pMacroInitialOffset [A])

チャンネル A のセカンダリ・タイム・リファレンス・ポイント後のマクロティック境界と、スタティックスロット境界の間のマクロティック数を指定します。この値は、ノミナルマクロティック時間に基づいています。クラスタのすべてのノードで同一でなければなりません。有効値は 2 から 72MT です。

[bit24 ～ bit30] MIOB [6:0] チャンネル B マクロティック初期オフセット (Macrotick Initial Offset Channel B)

(pMacroInitialOffset [B])

チャンネル B のセカンダリ・タイム・リファレンス・ポイント後のマクロティック境界と、スタティックスロット境界の間のマクロティック数を指定します。この値は、ノミナルマクロティック時間に基づいています。クラスタのすべてのノードで同一でなければなりません。有効値は 2 から 72MT です。

38.3.4.11 GTU 設定レジスタ 4 : GTUC4 (GTU Configuration Register 4)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。**NIT [13:0]** と **OCS [13:0]** の設定の詳細については、「**■ NIT の開始、およびオフセット補正開始の設定**」を参照してください。

Bit	31		30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC4 0xD0AC	R	0	0	OCS13	OCS12	OCS11	OCS10	OCS9*	OCS8*	OCS7*	OCS6*	OCS5*	OCS4*	OCS3*	OCS2*	OCS1*	OCS0*
	W			*	*	*	*										
Reset		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

Bit	15		14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	NIT13*	NIT12*	NIT11*	NIT10*	NIT9*	NIT8*	NIT7*	NIT6*	NIT5*	NIT4*	NIT3*	NIT2*	NIT1*	NIT0*
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

[bit0 ～ bit13] NIT [13:0] ネットワークアイドルタイム開始 (Network Idle Time Start) (gMacroPerCycle - gdNIT - 1)

マクロティック数で表されたコミュニケーションサイクルの終わりににおけるネットワークアイドルタイム NIT のスタートポイントを設定します。

$$\text{Macrotick} = \text{gMacroPerCycle} - \text{gdNIT} - 1$$

の条件を満たせば、NIT が開始されます。クラスタのすべてのノードで同一でなければなりません。有効値は 7 から 15997MT です。

[bit16 ～ bit29] OCS [13:0] オフセット補正開始 (Offset Correction Start) (gOffsetCorrectionStart - 1)

NIT フェーズの中でオフセット補正開始位置を決定し、サイクルのスタート位置から数えて計算されます。クラスタのすべてのノードで同一でなければなりません。有効値は 8 から 15998MT です。

38.3.4.12 GTU 設定レジスタ 5 : GTUC5 (GTU Configuration Register 5)

このレジスタは , DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC5 0xD0B0	R									0	0	0	CDD4*	CDD3*	CDD2*	CDD1*	CDD0*
	W	DEC7*	DEC6*	DEC5*	DEC4*	DEC3*	DEC2*	DEC1*	DEC0*								
Reset		0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R																
	W	DCB7*	DCB6*	DCB5*	DCB4*	DCB3*	DCB2*	DCB1*	DCB0*	DCA7*	DCA6*	DCA5*	DCA4*	DCA3*	DCA2*	DCA1*	DCA0*
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0 ~ bit7] DCA [7:0] チャンネル A 受信遅延補正 (Delay Compensation Channel A) (pDelayCompensation [A])

チャンネル A における受信遅延の補正のために使用されます。これは 0.0125 から 0.05 μ s の範囲の想定された伝播遅延を、マイクロティック単位で設定された cPropagationDelayMax まで保証します。実際には、すべての同期するノードの最小伝播遅延時間が適用されなければなりません。有効値は 0 から 200 μ T です。

[bit8 ~ bit15] DCB [7:0] チャンネル B 受信遅延補正 (Delay Compensation Channel B) (pDelayCompensation [B])

チャンネル B における受信遅延の補正のために使用されます。これは 0.0125 から 0.05 μ s の範囲の想定された伝播遅延を、マイクロティック単位で設定された cPropagationDelayMax まで保証します。実際には、すべての同期するノードの最小伝播遅延時間が適用されなければなりません。有効値は 0 から 200 μ T です。

[bit16 ~ bit20] CDD [4:0] クラスタドリフトダンピング (Cluster Drift Damping) (pClusterDriftDamping)

丸め込み累積を最小にするために、クロック同期化で使用するクラスタドリフトダンピングを設定します。有効値は 0 から 20 μ T です。

[bit24 ~ bit31] DEC [7:0] デコーディング補正值 (Decoding Correction) (pDecodingCorrection)

プライマリタイムリファレンスポイントの決定のために使用されるデコーディング補正值を設定します。有効値は 14 から 143 μ T です。

38.3.4.13 GTU 設定レジスタ 6 : GTUC6 (GTU Configuration Register 6)

このレジスタは , DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31		30		29		28		27		26		25		24		23		22		21		20		19		18		17		16	
GTUC6 0xD0B4	R	0	0	0	0	0	MOD10 *		MOD9*		MOD8*		MOD7*		MOD6*		MOD5*		MOD4*		MOD3*		MOD2*		MOD1*		MOD0*					
	W																															
Reset	0		0		0		0		0		0		0		0		0		0		0		0		0		1		0			

Bit	15		14		13		12		11		10		9		8		7		6		5		4		3		2		1		0	
	R	0	0	0	0	0	ASR10 *		ASR9*		ASR8*		ASR7*		ASR6*		ASR5*		ASR4*		ASR3*		ASR2*		ASR1*		ASR0*					
	W																															
Reset	0		0		0		0		0		0		0		0		0		0		0		0		0		0		0			

ASR [10:0] アクセプタンススタートアップ範囲 (Accepted Startup Range) (pdAcceptedStartupRange)

スタートアップフレームに対する測定誤差の拡張範囲を、マイクロティック数にて設定します。有効値は 0 から 1875 μ T です。

MOD [10:0] 最大オシレータドリフト (Maximum Oscillator Drift) (pdMaxDrift)

1 コミュニケーションサイクル上の非同期な 2 つのノード間で、最大ドリフトオフセットを μ T 単位で設定します。有効値は 2 から 1923 μ T です。

38.3.4.14 GTU 設定レジスタ 7 : GTUC7 (GTU Configuration Register 7)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC7	R	0	0	0	0	0	NSS9*	NSS8*	NSS7*	NSS6*	NSS5*	NSS4*	NSS3*	NSS2*	NSS1*	NSS0*
0xD0B8	W															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	SSL9*	SSL8*	SSL7*	SSL6*	SSL5*	SSL4*	SSL3*	SSL2*	SSL1*	SSL0*
	W															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

[bit0 ～ bit9] SSL [9:0] スタティックスロット長 (Static Slot Length) (gdStaticSlot)

マイクロティックでスタティックスロットの期間を設定します。スタティックスロット長はクラスタのすべてのノードで同一でなければなりません。有効値は 4 から 659 MT です。

[bit16 ～ bit25] NSS [9:0] スタティックスロット数 (Number of Static Slots) (gNumberOfStaticSlots)

サイクルでスタティックスロットの数を設定します。最低 2 つのコールドスタートノードが FlexRay ネットワークのスタートアップのために構成されなければなりません。スタティックスロット数はクラスタのすべてのノードで同一でなければなりません。有効値は 2 から 1023 です。

38.3.4.15 GTU 設定レジスタ 8 : GTUC8 (GTU Configuration Register 8)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC8	R	0	0	0	NMS12	NMS11	NMS10	NMS9*	NMS8*	NMS7*	NMS6*	NMS5*	NMS4*	NMS3*	NMS2*	NMS1*	NMS0*
0xD0BC	W				*	*	*										
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	MSL5*	MSL4*	MSI3*	MSI2*	MSI1*	MSI0*
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

[bit0 ～ bit5] MSL [5:0] ミニスロット長 (Minislot Length) (gdMinislot)

マイクロティックでミニスロットの期間を設定します。ミニスロット長はクラスタのすべてのノードで同一でなければなりません。有効値は 2 から 63MT です。

[bit16 ～ bit28] NMS [12:0] ミニスロット数 (Number of Minislots) (gNumberOfMinislots)

1 つのサイクルのダイナミックセグメント以内でのミニスロット数を設定します。ミニスロット数はクラスタのすべてのノードで同一でなければなりません。有効値は 0 から 7986 です。

38.3.4.16 GTU 設定レジスタ 9 : GTUC9 (GTU Configuration Register 9)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC9	R	0	0	0	0	0	0	0	0	0	0	0	0	0		DSI1*	DSI0*
0xD0C0	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	MAPO4	MAPO3	MAPO2	MAPO1	MAPO0	0	0						
	W				*	*	*	*	*			APO5*	APO4*	APO3*	APO2*	APO1*	APO0*
Reset		0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

[bit0 ～ bit5] APO [5:0] アクションポイントオフセット (Action Point Offset) (gdActionPointOffset)

スタティックスロットとシンボルウィンドウ以内のアクションポイントオフセットを、マクロティックで設定します。クラスタのすべてのノードで同一でなければなりません。有効値は 1 から 63 MT です。

[bit8～bit12] MAPO [4:0] ミニスロットアクションポイントオフセット (Minislot Action Point Offset) (gdMinislotActionPointOffset)

ダイナミックセグメントのミニスロット以内のアクションポイントオフセットを、マクロティックで設定します。クラスタのすべてのノードは同一でなければなりません。有効値は 1 から 31MT です。

[bit16, bit17] DSI [1:0] ダイナミックスロットアイドルフェーズ (Dynamic Slot Idle Phase) (gdDynamicSlotIdlePhase)

ダイナミックスロット中のアイドルフェーズ時間を設定します。その時間は、アイドル検出時間以上でなければなりません。クラスタのすべてのノードは同一でなければなりません。有効値は 0 から 2 ミニスロットです。

38.3.4.17 GTU 設定レジスタ 10 : GTUC10 (GTU Configuration Register 10)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。

Bit	31		30		29		28		27		26		25		24		23		22		21		20		19		18		17		16																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
GTUC10 0xD0C4	R	0	0	0	0	0	MRC10 *		MRC9*	MRC8*	MRC7*	MRC6*	MRC5*	MRC4*	MRC3*	MRC2*	MRC1*	MRC0*																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																							
	W																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																								

[bit0 ～ bit13] MOC [13:0] 最大オフセット補正值 (Maximum Offset Correction) (pOffsetCorrectionOut)

内部クロック同期アルゴリズム (絶対値) によって使用される、許容最大オフセット補正值を設定します。内部オフセット補正と外部オフセット補正の合計は、この値と照合されます。有効値は 5 から 15266 μ T です。

[bit16 ～ bit26] MRC [10:0] 最大レート補正值 (Maximum Rate Correction) (pRateCorrectionOut)

内部クロック同期アルゴリズムによって使用される , 許容最大レート補正值を設定します。内部レート補正と外部レート補正 (絶対値) の合計は , この値と照合されます。有効値は 2 から 1923 μ T です。

38.3.4.18 GTU 設定レジスタ 11 : GTUC11 (GTU Configuration Register 11)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GTUC11	R	0	0	0	0	0	ERC2*	ERC1*	ERC0*	0	0	0	0	0	EOC2*	EOC1*	EOC0*
0xD0C8	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	ERCC1	ERCC0	0	0	0	0	0	0	EOCC1	EOCC0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[bit0, bit1] EOCC [1:0] 外部オフセット補正制御 (External Offset Correction Control) (vExternOffsetControl)

下記に示した設定値を , **EOCC [1:0]** に書き込むことによって , 外部オフセット補正が有効になります。NIT の外側で変更してください。

- 00, 01 = 外部オフセット補正值なし
- 10 = 計算されたオフセット補正值から外部オフセット補正值分を減算する
- 11 = 計算されたオフセット補正值に外部オフセット補正值分を加算する

[bit8, bit9] ERCC [1:0] 外部レート補正制御 (External Rate Correction Control) (vExternRateControl)

下記に示した設定値を , **ERCC [1:0]** に書き込むことによって , 外部レート補正が有効になります。NIT の外側で変更してください。

- 00, 01 = 外部レート補正值なし
- 10 = 計算されたレート補正值から外部レート補正值分を減算する
- 11 = 計算されたレート補正值に外部レート補正值分を加算する

[bit16 ～ bit19] EOC [2:0] 外部オフセット補正 (External Offset Correction) (pExternOffsetCorrection)

内部のクロック同期化アルゴリズムによって使用される外部オフセット補正值を , マイクロティックで設定します。その値は , 計算されたオフセット補正值に対して加算 , あるいはオフセット補正值から減算するために使用されます。その値の適用は , NIT の間に実行されます。DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。有効値は 0 から 7 μ T です。

[bit24 ～ bit26] ERC [2:0] 外部レート補正 (External Rate Correction) (pExternRateCorrection)

内部のクロック同期化アルゴリズムによって使用される外部レート補正值を , マイクロティックで設定します。その値は , 計算されたレート補正值に対して加算 , あるいはレート補正力から減算するために使用されます。その値の適用は , NIT の間に実行されます。DEFAULT_CONFIG ステートまたは CONFIG ステートのみで変更可能です。有効値は 0 から 7 μ T です。

38.3.5 通信コントローラ (CC) ステータスレジスタ

HCLK の周波数によって、ステータスペクタの情報は逐次、ホストがステータスペクタをポーリングするより速く変化します。

38.3.5.1 CC ステータスペクタレジスタ : CCSV (CC Status Vector)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCSV	R	0	0	PSL5	PSL4	PSL3	PSL2	PSL1	PSL0	RCA4	RCA3	RCA2	RCA1	RCA0	WSV2	WSV1	WSV0
0xD100	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	CSI	CSAI	CSNI	0	0	SLM1	SLM0	HRQ	FSI	POCS5	POCS4	POCS3	POCS2	POCS1	POCS0
	W																
Reset		0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

POCS [5:0] POC ステート (Protocol Operation Control Status)

現在の POC の実行ステートを表示します。

- 00 0000 = DEFAULT_CONFIG ステート
- 00 0001 = READY ステート
- 00 0010 = NORMAL_ACTIVE ステート
- 00 0011 = NORMAL_PASSIVE ステート
- 00 0100 = HALT ステート
- 00 0101 = MONITOR_MODE ステート
- 00 0110 ~ 00 1110 = reserved
- 00 1111 = CONFIG ステート

ウェイクアップ手順における現在の POC ステートを表示します。

- 01 0000 = WAKEUP_STANDBY ステート
- 01 0001 = WAKEUP_LISTEN ステート
- 01 0010 = WAKEUP_SEND ステート
- 01 0011 = WAKEUP_DETECT ステート
- 01 0100 ~ 01 1111 = reserved

スタートアップ手順における現在の POC ステートを表示します。

- 10 0000 = STARTUP_PREPARE ステート
- 10 0001 = COLDSTART_LISTEN ステート
- 10 0010 = COLDSTART_COLLISION_RESOLUTION ステート
- 10 0011 = COLDSTART_CONSISTENCY_CHECK ステート
- 10 0100 = COLDSTART_GAP ステート
- 10 0101 = COLDSTART_JOIN ステート
- 10 0110 = INTEGRATION_COLDSTART_CHECK ステート
- 10 0111 = INTEGRATION_LISTEN ステート
- 10 1000 = INTEGRATION_CONSISTENCY_CHECK ステート
- 10 1001 = INITIALIZE_SCHEDULE ステート
- 10 1010 = ABORT_STARTUP ステート
- 10 1011 = STARTUP_SUCCESS ステート
- 10 1011 ~ 11 1111 = reserved

FSI フリーズステータスインジケータ (Freeze Status Indicator) (vPOC!Freeze)

CMD [3:0] ="0111"(CHI コマンド FREEZE) が設定されたか、あるいは直ちに HALT ステートへの状態遷移が必要なエラーが生じたために、HALT ステートに遷移したことを示します。HALT から DEFAULT_CONFIG ステート移行時にリセットされます。

HRQ 停止要求 (Halt Request) (vPOC!CHIHaltRequest)

コミュニケーションサイクルの終わりにおいて、HALT ステートに状態遷移するようにホストから要求されたことを示します。HALT から DEFAULT_CONFIG ステート移行時または READY ステートに遷移したときリセットされます。

SLM [1:0] スロットモード (Slot Mode) (vPOC!SlotMode)

READY, STARTUP, NORMAL_ACTIVE, および NORMAL_PASSIVE ステートにおいて、現在の POC のスロットモードを表示します。デフォルト値は SINGLE スロットモードです。SUCC1.TSM によって ALL に変更されます。NORMAL_ACTIVE ステートあるいは NORMAL_PASSIVE ステートで、CHI コマンド **CMD[3:0]**="0101"(ALL_SLOTS) を設定したとき、スロットモードが SINGLE スロットモードから ALL_PENDING を経由して ALL スロットモードに変更されます。ほかのすべてのステートのときは、SINGLE スロットモードになります。

00 = SINGLE スロットモード

01 = reserved

10 = ALL_PENDING

11 = ALL スロットモード

CSNI コールドスタートノイズインジケータ (Coldstart Noise Indicator) (vColdStartNoise)

コールドスタートプロシージャがノイズの多い条件下で実行されたことを示します。CHI 命令によるリセット、RESET_STATUS_INDICATORS または HALT からの DEFAULT_CONFIG の移行、または READY から STARTUP ステートの移行によってリセットされます。

CSAI コールドスタート中止インジケータ (Coldstart Abort Indicator)

コールドスタートが中止されたことを示します。CHI 命令によるリセット、RESET_STATUS_INDICATORS または HALT からの DEFAULT_CONFIG の移行、または READY から STARTUP ステートの移行によってリセットされます。

CSI コールドスタート禁止 (Cold Start Inhibit) (vColdStartInhibit)

ノードがコールドスタートから無効にされることを示します。このフラグは、CHI 命令による READY によって READY ステートにあるときはいつでも "1" に設定されます。このフラグは、SUCC1.CMD [3:0] ="1001"(CHI コマンド ALLOW_COLDSTART) の設定によって、リセットされます。

1 = ノードのコールドスタート不可

0 = ノードのコールドスタート可能

WSV [2:0] ウェイクアップステータス (Wakeup Status) (vPOC!WakeupStatus)

現在のウェイクアップステータスを示します (38.4.5.6 WAKEUP ステート参照)。CHI 命令によるリセット、RESET_STATUS_INDICATORS または DEFAULT_CONFIG からの CONFIG への移行によってリセットされます。

000 = UNDEFINED:

ウェイクアップが開始されていない。

001 = RECEIVED_HEADER:

WAKEUP_LISTEN ステートにおいて、いずれかのチャンネル上にエラーなしのフレームヘッダを受信したことによって、ウェイクアップが終了するときに設定されます。

010 = RECEIVED_WUP:

WAKEUP_LISTEN ステートにおいて、指定のウェイクアップチャンネル上で有効なウェイクアップパターンを受信したことによって、ウェイクアップが終了するときにセットされます。

011 = COLLISION_HEADER:

ウェイクアップパターン送信中に、どちらかのチャンネル上で有効ヘッダの受信によりコリジョンを検出したことによって、ウェイクアップが停止するときにセットされます。

100 = COLLISION_WUP:

ウェイクアップパターン送信中に、指定のウェイクアップチャンネル上で有効ウェイクアップパターンの受信によりコリジョンを検出したことによって、ウェイクアップが停止するときに設定されます。

101 = COLLISION_UNKNOWN:

有効ウェイクアップパターンもしくは有効フレームヘッダのいずれも受信せずに、ウェイクアップタイマが所定の時間を経過したことによって、WAKEUP_DETECT ステートより遷移してウェイクアップが停止したときにセットされます。

110 = TRANSMITTED:

ウェイクアップパターンの送信が正常に完了したときにセットされます。

111 = reserved

RCA [4:0] コールドスタート試行残存回数 (Remaining Coldstart Attempts)

(vRemainingColdstartAttempts)

コールドスタート試行の残り回数を示します。RUN コマンドは **SUCC1.CSA [4:0]** で設定されるコールドスタート試行回数の最大数にこのカウンタをリセットします。CONFIG と DEFAULT_CONFIG ステートでの初期値もまた **SUCC1.CSA [4:0]** 0 の値です。

PSL [5:0] POC ステータスログ (POC Status Log)

HALT ステート前の POCS [5:0] ステータスを示します。HALT ステート時に設定されます。HALT ステート中に FREEZE コマンドで HALT になり、FSI はまだセットされません、すなわち、FREEZE コマンドで HALT ステートに達しませんでした。HALT ステートでなくなると "000000" にリセットされます。

38.3.5.2 CC エラーベクタレジスタ : CCEV (CC Error Vector)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCEV	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD104	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	PTAC4	PTAC3	PTAC2	PTAC1	PTAC0	ERRM1	ERRM0	0	0	CCFC3	CCFC2	CCFC1	CCFC0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HALT から DEFAULT_CONFIG ステート移行時または READY ステートに遷移したときリセットされます。

CCFC [3:0] クロック補正フェイルカウンタ (Clock Correction Failed Counter)

(vClockCorrectionFailed)

オフセット補正消失エラーもしくはレート補正消失エラーのどちらかが発生している場合、奇数コミュニケーションサイクルの終わりに 1 つ増加されます。オフセット補正消失エラーとレート補正消失エラーのいずれも発生していない場合は、奇数コミュニケーションサイクルの終わりで "0" にリセットされます。クロック補正フェイルカウンタは 15 でストップします。

ERRM [1:0] エラーモード (Error Mode) (vPOC!ErrorMode)

POC の現在のエラーモードを表示します。

00 = ACTIVE

01 = PASSIVE

10 = COMM_HALT

11 = reserved

PTAC [4:0] パッシブ・アクティブ間状態遷移必要サイクルペア数カウンタ (Passive to Active Count)

(vAllowPassiveToActive)

ノードが NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへ遷移するのを待つ間に、レート補正時間とオフセット補正時間が有効であることによってパスした連続の偶数／奇数サイクルペアの数を示します。そのステート遷移は、PTAC [4:0] が SUCC1.PTA [4:0] -1 に等しいとき行われます。

38.3.5.3 スロットカウンタ値レジスタ : SCV (Slot Counter Value)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SCV	R	0	0	0	0	0	SCCB ₁₀	SCCB9	SCCB8	SCCB7	SCCB6	SCCB5	SCCB4	SCCB3	SCCB2	SCCB1	SCCB0
0xD110	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	SCCA ₁₀	SCCA9	SCCA8	SCCA7	SCCA6	SCCA5	SCCA4	SCCA3	SCCA2	SCCA1	SCCA0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CONFIG ステートからの移行時、または STARTUP ステートに遷移したとき、レジスタはリセットされます。

SCCA [10:0] チャネル A スロットカウンタ (Slot Counter Channel A) (vSlotCounter [A])

チャネル A の現在のスロットカウンタ値を示します。この値は、コミュニケーションサイクルの開始において 1 になり、各スタティックスロットの終わりでそのサイクルの終わりまでインクリメントされます。有効値は 0 から 2047 です。

SCCB [10:0] チャネル B スロットカウンタ (Slot Counter Channel B) (vSlotCounter [B])

チャネル B の現在のスロットカウンタ値を示します。この値は、コミュニケーションサイクルの開始において 1 になり、各スタティックスロットの終わりでそのサイクルの終わりまでインクリメントされます。有効値は 0 から 2047 です。

38.3.5.4 マクロティックおよびサイクルカウンタ値レジスタ : MTCCV (Macrotick and Cycle Counter Value)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MTCCV	R	0	0	0	0	0	0	0	0	0	0	CCV5	CCV4	CCV3	CCV2	CCV1	CCV0
0xD114	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	MTV13	MTV12	MTV11	MTV10	MTV9	MTV8	MTV7	MTV6	MTV5	MTV4	MTV3	MTV2	MTV1	MTV0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CONFIG ステートからの移行時, または STARTUP ステートに遷移したとき, レジスタはリセットされます。

MTV [13:0] マクロティック値 (Macrotick Value) (vMacrotick)

現在のマクロティック値を示します。この値は, コミュニケーションサイクルの開始において 0 になり, そのサイクルの終わりまでインクリメントされます。有効値は 0 から 15999 です。

CCV [5:0] サイクルカウンタ値 (Cycle Counter Value) (vCycleCounter)

現在のサイクルカウンタ値を示します。この値は, コミュニケーションサイクルの開始において, インクリメントされます。有効値は 0 から 63 です。

38.3.5.5 レート補正值レジスタ : RCV (Rate Correction Value)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RCV	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD118	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	RCV11	RCV10	RCV9	RCV8	RCV7	RCV6	RCV5	RCV4	RCV3	RCV2	RCV1	RCV0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタは CONFIG ステートから出るか, STARTUP ステートに入るとリセットされます。

RCV [11:0] レート補正值 (Rate Correction Value) (vRateCorrection)

レート補正值 (2 の補数) を示します。これは, 最大レート補正值 GTUC10.MRC [10:0] で制限される前の, コントローラ内部で計算されたレート補正值です。値が最大レート補正值をこえると, SFS.RCLR フラグは "1" に設定されます。

38.3.5.6 オフセット補正值レジスタ : OCV (Offset Correction Value)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OCV	R	0	0	0	0	0	0	0	0	0	0	0	0	0	OCV18	OCV17	OCV16
0xD11C	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OCV	R	OCV15	OCV14	OCV13	OCV12	OCV11	OCV10	OCV9	OCV8	OCV7	OCV6	OCV5	OCV4	OCV3	OCV2	OCV1	OCV0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

OCV [18:0] オフセット補正值 (Offset Correction Value) (vOffsetCorrection)

オフセット補正值 (2 の補数) を示します。これは、最大オフセット補正值 **GTUC10.MOC [10:0]** で制限される前の、内部で計算されたオフセット補正值です。値が最大オフセット補正值をこえると、**SFS.OCLR** フラグは "1" に設定されます。

(注意事項) 外部レート／オフセット補正值は、最大レート／オフセット補正值にて制限されたレート／オフセット補正值に加算されます。

38.3.5.7 同期フレームステータスレジスタ : SFS (Sync Frame Status)

1 コミュニケーションサイクルで有効同期フレームの最大値は 15 です。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SFS	R	0	0	0	0	0	0	0	0	0	0	0	0	RCLR	MRCs	OCLR	MOCS
0xD120	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	VSBO3	VSBO2	VSBO1	VSBO0	VSBE3	VSBE2	VSBE1	VSBE0	VSAO3	VSAO2	VSAO1	VSAO0	VSAE3	VSAE2	VSAE1	VSAE0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

VSAE [3:0] チャンネル A 有効同期フレーム、偶数コミュニケーションサイクル (Valid Sync Frames Channel A, even communication cycle)

チャンネル A の偶数コミュニケーションサイクルで受信された、有効な同期フレームの数を表示します。同期フレームの送信が **SUCC1.TXSY** によって許可されるならば、値は 1 ずつ増加します。この値は、偶数コミュニケーションサイクルごとの NIT の期間中更新されます。

VSAO [3:0] チャンネル A 有効同期フレーム、奇数コミュニケーションサイクル (Valid Sync Frames Channel A, odd communication cycle)

チャンネル A の奇数コミュニケーションサイクルで受信された、有効な同期フレームの数を表示します。同期フレームの送信が **SUCC1.TXSY** によって許可されるならば、値は 1 ずつ増加します。この値は、奇数コミュニケーションサイクルごとの NIT の期間中更新されます。

VSBE [3:0] チャネル B 有効同期フレーム , 偶数コミュニケーションサイクル (Valid Sync Frames Channel B, **even** communication cycle)

チャネル B の偶数コミュニケーションサイクルで受信された , 有効な同期フレームの数を表示します。同期フレームの送信が **SUCC1.TXSY** によって許可されるならば , 値は 1 ずつ増加します。この値は , 偶数コミュニケーションサイクルごとの **NIT** の期間中更新されます。

VSBO [3:0] チャネル B 有効同期フレーム , 奇数コミュニケーションサイクル (Valid Sync Frames Channel B, **odd** communication cycle)

チャネル B の奇数コミュニケーションサイクルで受信された , 有効な同期フレームの数を表示します。同期フレームの送信が **SUCC1.TXSY** によって許可されるならば , 値は 1 ずつ増加します。この値は , 奇数コミュニケーションサイクルごとの **NIT** の期間中更新されます。

(注意事項) 上記のビットフィールドは , それぞれのチャネルが **SUCC1.CCHA** または **SUCC1.CCHB** によって割り当てられた場合のみ有効となります。

MOCS オフセット補正信号消失 (Missing Offset Correction Signal)

同期フレームが受信されなかったためにオフセット補正の計算が行われなかったことを示します。このフラグは , オフセット補正フェーズ開始において更新されます。

1 = オフセット補正信号の消失

0 = オフセット補正信号が有効

OCLR オフセット補正限界値到達 (Offset Correction Limit Reached)

オフセット補正値が **GTUC10.MOC [13:0]** で定義される限界値を超過したことを示します。このフラグは , オフセット補正フェーズ開始において更新されます。

1 = オフセット補正値が限界値を超過した

0 = オフセット補正値が限界値を超過していない

MRCS レート補正信号消失 (Missing Rate Correction Signal)

偶数 / 奇数の同期フレーム・ペアが受信されなかったためにレート補正の計算が行われなかったことを示します。このフラグは , オフセット補正フェーズ開始において更新されます。

1 = レート補正信号の損失

0 = レート補正信号が有効

RCLR レート補正限界値到達 (Rate Correction Limit Reached)

レート補正値が **GTUC10.MRC [10:0]** で定義される限界値を超過したことを示します。このフラグは , オフセット補正フェーズの開始において更新されます。

1 = レート補正値が限界値を超過した

0 = レート補正値が限界値を超過していない

38.3.5.8 シンボルウィンドウ , および NIT ステータスレジスタ : SWNIT (Symbol Window and NIT Status)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SWNIT	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD124	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	SBNB	SENB	SBNA	SENA	MTSB	MTSA	TCSB	SBSB	SESB	TCSA	SBSA	SESA
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

下記にシンボルウィンドウ関連のステータス情報を持つビットを示します。これらは、各チャネルのシンボルウィンドウの終了にて更新されます。スタートアップ中は更新されません。
レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

SESA チャネル A シンボルウィンドウシンタックスエラー (Syntax Error in Symbol Window Channel A) (vSS!SyntaxErrorA)

- 1 = チャネル A のシンボルウィンドウ中にシンタックスエラーが検出された
- 0 = チャネル A のシンボルウィンドウ中にシンタックスエラーが検出されていない

SBSA チャネル A シンボルウィンドウスロット境界障害 (Slot Boundary Violation in Symbol Window Channel A) (vSS!BViolationA)

- 1 = チャネル A のシンボルウィンドウ中にスロット境界障害が検出された
- 0 = チャネル A のシンボルウィンドウ中にスロット境界障害が検出されていない

TCSA チャネル A シンボルウィンドウ送信コリジョン検出 (Transmission Conflict in Symbol Window Channel A) (vSS!TxConflictA)

- 1 = チャネル A のシンボルウィンドウ中に送信コリジョンが検出された
- 0 = チャネル A のシンボルウィンドウ中に送信コリジョンが検出されていない

SESB チャネル B シンボルウィンドウシンタックスエラー (Syntax Error in Symbol Window Channel B) (vSS!SyntaxErrorB)

- 1 = チャネル B のシンボルウィンドウ中にシンタックスエラーが検出された
- 0 = チャネル B のシンボルウィンドウ中にシンタックスエラーが検出されていない

SBSB チャネル B シンボルウィンドウスロット境界障害 (Slot Boundary Violation in Symbol Window Channel B) (vSS!BViolationB)

- 1 = チャネル B のシンボルウィンドウ中にスロット境界障害が検出された
- 0 = チャネル B のシンボルウィンドウ中にスロット境界障害が検出されていない

TCSB チャネル B シンボルウィンドウ送信コリジョン検出 (Transmission Conflict in Symbol Window Channel B) (vSS!TxConflictB)

- 1 = チャネル B のシンボルウィンドウ中に送信コリジョンが検出された
- 0 = チャネル B のシンボルウィンドウ中に送信コリジョンが検出されていない

MTSA チャンネル A メディアアクセステストシンボル検出 (MTS Received on Channel A)
(vSS!ValidMTSA)

メディアアクセステストシンボルが前のシンボルウィンドウのチャンネル A に受信されました。
シンボルウィンドウ終端の各チャンネルの CC で、アップデートされます。また、このビットが "1"
に設定されるとき、割込みフラグの SIR.MTSA は "1" に設定されます。

1 = チャンネル A に MTS シンボルが検出された

0 = チャンネル A に MTS シンボルが検出されていない

MTSB チャンネル B メディアアクセステストシンボル検出 (MTS Received on Channel B)
(vSS!ValidMTSB)

メディアアクセステストシンボルが前のシンボルウィンドウのチャンネル B に受信されました。
シンボルウィンドウ終端の各チャンネルの CC で、アップデートされます。また、このビットが "1"
に設定されるとき、割込みフラグの SIR.MTSA は "1" に設定されます。

1 = チャンネル B に MTS シンボルが検出された

0 = チャンネル B に MTS シンボルが検出されていない

下記に NIT に関連するステータス情報を持つビットを示します。これらは、各チャンネルの NIT の終了にて更新されます。

SENA チャンネル A NIT 間シンタックスエラー (Syntax Error during NIT Channel A) (vSS!SyntaxErrorA)

1 = チャンネル A において、NIT の間にシンタックスエラーが検出された

0 = チャンネル A において、NIT の間にシンタックスエラーが検出されていない

SBNA チャンネル A NIT 間スロット境界障害 (Slot Boundary Violation during NIT Channel A)
(vSS!BViolationA)

1 = チャンネル A において、NIT の間にスロット境界障害が検出された

0 = チャンネル A において、NIT の間にスロット境界障害が検出されていない

SENB チャンネル B NIT 間シンタックスエラー (Syntax Error during NIT Channel B) (vSS!SyntaxErrorB)

1 = チャンネル B において、NIT の間にシンタックスエラーが検出された

0 = チャンネル B において、NIT の間にシンタックスエラーが検出されていない

SBNB チャンネル B NIT 間スロット境界障害 (Slot Boundary Violation during NIT Channel B)
(vSS!BViolationB)

1 = チャンネル B において、NIT の間にスロット境界障害が検出された

0 = チャンネル B において、NIT の間にスロット境界障害が検出されていない

38.3.5.9 集合チャネルステータスレジスタ : ACS (Aggregated Channel Status)

このレジスタは、すべての通信スロットに対する送受信の割り当てに関係なく、その通信スロットのチャネル稼働中に発生したステータスを提供します。また、このレジスタには、シンボルウィンドウと NIT からのステータスデータも含まれています。そのステータスデータは、各スロット（次のスロットの終わりで最新のものの）の後に更新されます。

このレジスタの各フラグは、対応するビット位置に "1" 書き込みを行うことでクリアされます。"0" 書き込みは、フラグに影響を与えません。レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ACS	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD128	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	SBVB	CIB	CEDB	SEDB	VFRB	0	0	0	SBVA	CIA	CEDA	SEDA	VFRA
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VFRA チャンネル A 有効フレーム受信 (Valid Frame Received on Channel A) (vSS!ValidFrameA)

1 つ以上の有効フレームが、チャンネル A のスタティックスロットまたはダイナミックスロットで受信されたことを示します。

- 1 = チャンネル A に有効なフレームが受信された
- 0 = チャンネル A に有効なフレームが受信されていない

SEDA チャンネル A シンタックスエラー検出 (Syntax Error Detected on Channel A) (vSS!SyntaxErrorA)

スタティックスロット、ダイナミックスロット、シンボルウィンドウ、NIT のいずれかで、1 つ以上のシンタックスエラーがチャンネル A で観測されたことを示します。

- 1 = チャンネル A でシンタックスエラーが観測された
- 0 = チャンネル A でシンタックスエラーが観測されていない

CEDA チャンネル A コンテンツエラー検出 (Content Error Detected on Channel A) (vSS!ContentErrorA)

コンテンツエラーを含む 1 つ以上のフレームが、チャンネル A のスタティックスロットまたはダイナミックスロットで受信されたことを示します。

- 1 = チャンネル A でコンテンツエラーを含むフレームが受信された
- 0 = チャンネル A でコンテンツエラーを含むフレームは受信されていない

CIA チャンネル A 付加通信検出 (Communication Indicator Channel A)

1 つ以上の有効フレームが、チャンネル A の何らかの付加通信を含んでいたスロットで受信されたことを示します。すなわち、1 つ以上のスロットが有効フレームを受信し、なおかつシンタックスエラー、コンテンツエラー、スロット境界障害のいずれかの組合せがあったことを意味します。

- 1 = チャンネル A で、何らかの付加通信を含んだフレームを受信した
- 0 = チャンネル A で、いかなる付加通信を含んだフレームも受信していない

SBVA チャンネル A スロット境界障害 (Slot Boundary Violation on Channel A) (vSS!BViolationA)

1 つ以上のスロット境界障害がスタティックスロット、ダイナミックスロット、シンボルウィンドウ、NIT のいずれかの間にチャンネル A で観測されたことを示します。

- 1 = チャンネル A で、スロット境界障害が観測された
- 0 = チャンネル A で、スロット境界障害が観測されていない

VFRB チャンネル B 有効フレーム受信 (Valid Frame Received on Channel B) (vSS!ValidFrameB)

1 つ以上の有効フレームが、チャンネル B のスタティックスロットまたはダイナミックスロットで受信されたことを示します。

1 = チャンネル B に有効なフレームが受信された

0 = チャンネル B に有効なフレームが受信されていない

SEDB チャンネル B シンタックスエラー検出 (Syntax Error Detected on Channel B) (vSS!SyntaxErrorB)

スタティックスロット、ダイナミックスロット、シンボルウィンドウ、NIT のいずれかで、1 つ以上のシンタックスエラーがチャンネル B 上で観測されたことを示します。

1 = チャンネル B でシンタックスエラーが観測された

0 = チャンネル B でシンタックスエラーが観測されていない

CEDB チャンネル B コンテンツエラー検出 (Content Error Detected on Channel B) (vSS!ContentErrorB)

コンテンツエラーを含む 1 つ以上のフレームが、チャンネル B のスタティックスロットまたはダイナミックスロットで受信されたことを示します。

1 = チャンネル B でコンテンツエラーを含むフレームが受信された

0 = チャンネル B でコンテンツエラーを含むフレームが受信されていない

CIB チャンネル B 付加通信検出 (Communication Indicator Channel B)

1 つ以上の有効フレームが、チャンネル B の何らかの付加通信を含んでいたスロットで受信されたことを示します。すなわち、1 つ以上のスロットが有効フレームを受信し、なおかつシンタックスエラー、コンテンツエラー、スロット境界障害のいずれかの組合せがあったことを意味します。

1 = チャンネル B で、何らかの付加通信を含んだフレームを受信した

0 = チャンネル B で、いかなる付加通信を含んだフレームも受信していない

SBVB チャンネル B スロット境界障害 (Slot Boundary Violation on Channel B) (vSS!BViolationB)

1 つ以上のスロット境界障害がスタティックスロット、ダイナミックスロット、シンボルウィンドウ、NIT のいずれかの間にチャンネル B で観測されたことを示します。

1 = チャンネル B で、スロット境界障害が観測された

0 = チャンネル B で、スロット境界障害が観測されていない

(注意事項) 1 つのフレームだけがスロットにあり、そしてスロットの終わりのスロットバウンダリがアイドルフェーズになるならば、フラグ CIA と CIB のセット条件も満たされます。

SEDB, CIB, CEDB, SBVB フラグのいずれかが、"0" から "1" に変化したとき、割込みフラグ EIR.EDB は "1" に設定されます。**SEDA, CEDA, CIA, SBVA** フラグのうちいずれかが、"0" から "1" に変化したとき、割込みフラグ EIR.EDA は "1" に設定されます。

38.3.5.10 偶数サイクル同期フレーム ID レジスタ : ESIDn (Even Sync ID [1…15])

ESID1 から **ESID15** の 15 のレジスタは、偶数コミュニケーションサイクルで受信された同期フレームのフレーム ID を昇順で格納し、gSyncNodeMax のリミットまでクロック同期のために使用されます。そのため、受信同期フレーム ID で最も小さいものは、レジスタ **ESID1** に格納されます。ノードが、偶数コミュニケーションサイクルにて同期フレームを送信する場合、レジスタ **ESID1** が送信同期フレーム ID を格納し、**RXEA, RXEB** がセットされます。レジスタの値は、各偶数コミュニケーションサイクルの NIT の間に更新されます。レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ESIDn	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD130-0xD168	W															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	RXEB	RXEA	0	0	0	0	EID9	EID8	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

EID [9:0] 偶数サイクル同期フレーム ID(Even Sync ID) (vsSyncIDListA,B even)
偶数コミュニケーションサイクルの同期フレーム ID を示します。

RXEA 偶数サイクル同期フレームチャンネル A 受信 (Received Even Sync ID on Channel A)
偶数サイクルで、同期 ID に対応している同期フレームがチャンネル A で受信されたことを示します。またはノードは、キースロット = **EID [9:0]** (ESID1 のみ) のシンクノードに構成されます。
1 = 同期フレームがチャンネル A で受信された／送信同期フレーム
0 = 同期フレームがチャンネル A で受信されていない／送信同期フレームではない

RXEB 偶数サイクル同期フレームチャンネル B 受信 (Received Even Sync ID on Channel B)
偶数サイクルで、同期 ID に対応している同期フレームがチャンネル B で受信されたことを示します。またはノードは、キースロット = **EID [9:0]** (ESID1 のみ) のシンクノードに構成されます。
1 = 同期フレームがチャンネル B で受信された／送信同期フレーム
0 = 同期フレームがチャンネル B で受信されていない／送信同期フレームではない

38.3.5.11 奇数サイクル同期フレーム ID レジスタ : OSIDn (Odd Sync ID [1…15])

OSID1 から **OSID15** の 15 のレジスタは、奇数または偶数コミュニケーションサイクルで受信された同期フレームのフレーム ID を昇順で格納し、gSyncNodeMax のリミットまでクロック同期のために使用されます。そのため、受信同期フレーム ID で最も小さいものは、レジスタ **OSID1** に格納されます。ノードが、奇数コミュニケーションサイクルにて同期フレームを送信する場合、レジスタ **OSID1** が送信同期フレーム ID を格納し、**RXOA**, **RXOB** がセットされます。レジスタの値は、各奇数コミュニケーションサイクルの NIT の間に更新されます。レジスタは CONFIG ステートから出るか、STARTUP ステートに入るとリセットされます。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSIDn	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD170-0xD1A8	W															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	RXOB	RXOA	0	0	0	0	OID9	OID8	OID7	OID6	OID5	OID4	OID3	OID2	OID1	OID0
W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OID [9:0] 奇数サイクル同期フレーム ID(Odd Sync ID) (vsSyncIDListA,B odd)
奇数コミュニケーションサイクルの同期フレーム ID を示します。

RXOA 奇数サイクル同期フレームチャネル A 受信 (Received Odd Sync ID on Channel A)

奇数サイクルで、同期 ID に対応している同期フレームがチャネル A で受信されたことを示します。またはノードは、キースロット = **OID [9:0]** (OSID1 のみ) のシンクノードに構成されます。

1 = 同期フレームがチャネル A 上で受信された／送信同期フレーム

0 = 同期フレームがチャネル A 上で受信されていない／送信同期フレームではない

RXOB 奇数サイクル同期フレームチャネル B 受信 (Received Odd Sync ID on Channel B)

奇数サイクルで、同期 ID に対応している同期フレームがチャネル B で受信されたことを示します。またはノードは、キースロット = **OID [9:0]** (OSID1 のみ) のシンクノードに構成されます。

1 = 同期フレームがチャネル B 上で受信された／送信同期フレーム

0 = 同期フレームがチャネル B 上で受信されていない／送信同期フレームではない

38.3.5.12 ネットワークマネジメントレジスタ [1…3] :

NMVn (Network Management Vector [1…3])

3 つのネットワークマネジメントレジスタは、発生した NM ベクタ (構成可能な 0 から 12 バイト) を格納します。その NM ベクタは、各チャネルで受信した各 NM ベクタ (PPI="1" である有効なステディックフレーム) のビット単位の OR 演算によって生成されます。NORMAL_ACTIVE ステート、NORMAL_PASSIVE ステートのいずれかである限りにおいては、各コミュニケーションサイクルの終了において、NM ベクタが更新されます。CONFIG ステートから移行するときまたは STARTUP ステートへ移行するとき、NM ベクタはリセットされます。

設定された NM ベクトル長さを超える NMVn レジスタは有効ではありません。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NMVn	R	NM 31	NM 30	NM 29	NM 28	NM 27	NM 26	NM 25	NM 24	NM 23	NM 22	NM 21	NM 20	NM 19	NM 18	NM 17	NM 16
0xD1B0-0xD1B8	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NMVn	R	NM 15	NM 14	NM 13	NM 12	NM 11	NM 10	NM 9	NM 8	NM 7	NM 6	NM 5	NM 4	NM 3	NM 2	NM 1	NM 0
0xD1B0-0xD1B8	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

以下の図 38.3-2 は、ネットワークマネジメントベクタでのバイトデータの割り当てを示します。

図 38.3-2 ネットワークマネジメントベクタでのバイトデータの割り当て

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Word																																
NMV1	Data3								Data2								Data1								Data0							
NMV2	Data7								Data6								Data5								Data4							
NMV3	Data11								Data10								Data9								Data8							

38.3.6 メッセージバッファ制御レジスタ

38.3.6.1 メッセージ RAM 設定レジスタ : MRC (Message RAM Configuration)

メッセージ RAM 設定レジスタは、スタティックセグメント、ダイナミックセグメントと FIFO に割り当てるメッセージバッファを定義します。このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートの間でのみ書込み可能です。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MRC	R	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0xD300	W															
Reset		0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	FFB7*	FFB6*	FFB5*	FFB4*	FFB3*	FFB2*	FFB1*	FFB0*	FDB7*	FDB6*	FDB5*	FDB4*	FDB3*	FDB2*	FDB1*
	W															
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FDB [7:0] 先頭ダイナミックバッファ番号 (First Dynamic Buffer)

- 0 = スタティックセグメントに排他的に設定されているバッファグループは存在しない
- 1-127 = 0 から FDB-1 のメッセージバッファはスタティックセグメントに割り当てられる
- ≥ 128 = ダイナミックセグメントに設定されているバッファは存在しない

FFB [7:0] 先頭 FIFO バッファ番号 (First Buffer of FIFO)

- 0 = すべてのメッセージバッファは FIFO 領域に割り当てられる
- 1-127 = FFB から LCB のメッセージバッファは FIFO 領域に割り当てられる
- ≥ 128 = FIFO 領域に割り当てられるメッセージバッファは存在しない

LCB [7:0] 最終メッセージバッファ番号 (Last Configured Buffer)

- 0…127 = メッセージバッファ数が (LCB + 1) である
- ≥ 128 = 設定されたメッセージバッファは存在しない

SEC [1:0] セキュアバッファ (Secure Buffer)

DEFAULT_CONFIG ステートまたは CONFIG ステートの場合は、このビットは無効です。

一時的なアンロックについては、38.4.12.4 を参照してください。

- 00 = バッファ番号が FFB 以下の、メッセージバッファの再設定が可能である

例外：シンクフレーム送信か、単一スロットモードでは、運用メッセージバッファ 0 (SPLM が "1" ならば、メッセージバッファ 1 も) は常にロックされます。

- 01 = FDB より小さい番号のメッセージバッファは再設定がロックされている。

また、バッファ番号が FDB 以上の、スタティックセグメントに設定されているメッセージバッファは送信不可能である

- 10 = すべてのメッセージバッファの再設定がロックされている

- 11 = すべてのメッセージバッファの再設定がロックされている。

また、バッファ番号が FDB 以上の、スタティックセグメントに設定されているメッセージバッファは送信不可能である。

SPLM シンクフレームペイロードマルチプレックス (Sync Frame Payload Multiplex)

ノードがシンクノード (**SUCC1.TXSY=1**) として設定された場合、もしくは単一スロットモード (**SUCC1.TSM="1"**) の場合、このビットは有効になります。このビットが "1" に設定された場合、メッセージバッファ 0 と 1 は、チャンネル A, B 上に異なるペイロードデータを持つシンクフレーム送信専用となります。このビットが "0" に設定された場合、シンクフレームは、両方のチャンネル上に同じペイロードデータを持ってメッセージバッファ 0 から送信されます。メッセージバッファ 0 のチャンネルフィルタ設定に従って、メッセージバッファ 1 を選ばなければならないことに注意してください。

0 = メッセージバッファ 0,1 共、再設定がロックされています

1 = メッセージバッファ 0 は再設定がロックされています

(注意事項) ノードがシンクノード (**SUCC1.TXSY=1**) として設定された場合、もしくは単一スロットモード (**SUCC1.TSM=1**) の場合、各メッセージバッファ 0,1 はシンクフレームもしくは単一スロットフレームとして用意され、またノード仕様のキースロット ID で設定されなければならない。ノードがシンクノード (**SUCC1.TXSY=0**) または単一スロットメッセージバッファ 0,1 として設定されなかった場合、各メッセージバッファ 0,1 はほかのメッセージバッファのように扱われます。

Message Buffer 0	↓ Static Buffers	
Message Buffer 1		
...	↓ Static + Dynamic Buffers	⇐ FDB
	↓ FIFO	⇐ FFB
Message Buffer N-1		
Message Buffer N		⇐ LCB

FIFO configured: FFG > FDB
No FiFO configured: FFB ≥ 128
LCB ≥ FDB, LCB ≥ FFB

FDB [7:0], **FFB [7:0]**, **LCB [7:0]** が正しく設定されていることを、確認してください。正しく設定されていない場合、動作保障されません。CC は誤った配置をチェックしません。

(注意事項) ヘッダセクションの最大数は 128 です。これは最大 128 のメッセージバッファが設定されることができるとを意味します。1 つのデータセクションの最大長は 254 バイトです。データセクション長は、それぞれのメッセージバッファで異なった設定が可能です。詳細については、「38.4.12 メッセージ RAM」を参照してください。

2 つ以上のメッセージバッファがサイクルフィルタリングでスロット 1 に割り当てられる場合、「スタティックバッファ」か「スタティック+ダイナミックバッファ」セクションの始めに配置しなければなりません。

FlexRay プロトコル仕様では、各ノードがそのキースロットにフレームを送らなければなりません。そのため、メッセージバッファ 0 はキースロットの送信のために予約されます。このため、127 のメッセージバッファの最大数を FIFO 割り当てることができます。それにもかかわらず、スタティックセグメントに送信スロットのない構成の非プロトコルも動作をつづけます。

WRHS2.PLC [6:0] および WRHS3.DP [10:0] を通して FIFO に属しているすべてのメッセージバッファのデータセクション長とペイロードは、同一に設定してください。

CC が DEFAULT_CONFIG か CONFIG ステートにない場合、FIFO に属するメッセージバッファの再設定はロックされます。

38.3.6.2 FIFO リジェクションフィルタレジスタ : FRF (FIFO Rejection Filter)

FIFO リジェクションフィルタレジスタでは、受信フレームのチャンネル、フレーム ID、サイクルカウントと比較されるビット列が設定されます。このレジスタは、FIFO リジェクションフィルタマスクレジスタと組み合わせることによって、メッセージが FIFO によってリジェクトされるかどうかを決定します。このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートの間のみで書込み可能です。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FRF	R	0	0	0	0	0	0									
0xD304	W							RNF*	RSS*	CYF6*	CYF5*	CYF4*	CYF3*	CYF2*	CYF1*	CYF0*
Reset		0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	FID10*	FID9*	FID8*	FID7*	FID6*	FID5*	FID4*	FID3*	FID2*	FID1*	FID0*	
	W														CH1*	CH0*
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CH [1:0] チャンネルフィルタ (Channel Filter)

- 11 = 受信不可
- 10 = チャンネル A でのみ受信
- 01 = チャンネル B でのみ受信
- 00 = 両チャンネルで受信

(注意事項) 両チャンネルでの受信が設定されている場合、たとえそれらが同一のフレームであっても、スタティックセグメント中の両フレームが (チャンネル A とチャンネル B から) FIFO に格納されます。

FID [10:0] フレーム ID フィルタ (Frame ID Filter)

フレーム ID が FIFO で拒絶されることを示します。レジスタ FRFM の追構成で、対応するフレーム ID フィルタビット (さらなるリジェクトフレーム ID をもたらす) は無視されます。

FRFM.MFID10:0 がゼロのとき、このフィルタ値に 0 のフレーム ID を設定した場合、FIFO はすべてのフレーム ID を受信します。

0…2047 = フレーム ID フィルタ値

CYF [6:0] サイクルコードフィルタ (Cycle Code Filter)

7 ビットサイクルカウンタフィルタはサイクルセットを指定し、フレーム ID フィルタとチャンネルフィルタが適用されるコミュニケーションサイクルを決定します。このレジスタにより指定されたサイクルセットによって、フレーム ID フィルタとチャンネルフィルタが適用されないサイクルの間、すべてのフレームは受信されません。サイクルカウンタフィルタの設定についての詳細については、「38.4.7.2 サイクルカウンタフィルタリング」を参照してください。

RSS スタティックセグメント中メッセージ拒否 (Reject in Static Segment)

このビットが "1" に設定された場合、FIFO はダイナミックセグメント中のメッセージのみを受信します。

- 1 = スタティックセグメント中のメッセージは受信されない
- 0 = スタティックセグメントとダイナミックセグメント中のメッセージが受信される

RNF ヌルフレーム拒否 (Reject Null Frames)

このビットが "1" に設定された場合、受信されたヌルフレームは FIFO に格納されません。

1 = すべてのヌルフレームは FIFO に格納されない

0 = ヌルフレームは FIFO に格納される

38.3.6.3 FIFO リジェクションフィルタマスクレジスタ :

FRFM (FIFO Rejection Filter Mask)

FIFO リジェクションフィルタマスクレジスタは、リジェクションフィルタリングを行うために、FRF.FID の比較対象ビットを指定します。このレジスタ中のあるビットに "1" が設定されていると、対応する FRF.FID のビットと比較が行われません。このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートの間でのみ書き込みを行うことができます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FRFM	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD308	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	MFID	MFID9	MFID8	MFID7	MFID6	MFID5	MFID4	MFID3	MFID2	MFID1	MFID0	0	0
	W				10*	*	*	*	*	*	*	*	*	*	*		
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MFID [10:0] マスクフレーム ID フィルタ (Mask Frame ID Filter)

1 = 対応するフレーム ID フィルタビットを無視する

0 = 対応するフレーム ID フィルタビットはリジェクションフィルタリングのために使用される

38.3.6.4 FIFO クリティカルレベルレジスタ : FCL (FIFO Critical Level)

このレジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートの間でのみ書き込み可能です。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FCL	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD30C	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	CL7*	CL6*	CL5*	CL4*	CL3*	CL2*	CL1*	CL0*
	W																
Reset		0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

CL [7:0] クリティカルレベル (Critical Level)

受信 FIFO フィルレベル FSR.RFFL [7:0] の値が本レジスタ値以上のとき、クリティカルレベルフラグ FSR.RFCL をセットします。128 以上の値をセットした場合はクリティカルレベルフラグ FSR.RFCL はセットされません。また SIR.RFCL 信号もセットされ、割込み許可ならば割込み信号を発生します。

38.3.7 メッセージバッファステータスレジスタ

38.3.7.1 メッセージハンドラステータスレジスタ :

MHDS (Message Handler Status)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MHDS	R	0	MBU6	MBU5	MBU4	MBU3	MBU2	MBU1	MBU0	0	MBT6	MBT5	MBT4	MBT3	MBT2	MBT1	MBT0
0xD310	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	FMB6	FMB5	FMB4	FMB3	FMB2	FMB1	FMB0	CRAM	MFMB	FMBD	PTBF2	PTBF1	PMR	POBF	PIBF
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

このレジスタの書込み可能なビットについては、そこに "1" を書き込むことによってクリアされます。"0" を書き込んでも、そのビットに影響を及ぼしません。ハードリセットによって、このレジスタはクリアされます。

PIBF インプットバッファ RAM1,2 読出し時パリティエラー検出 (Parity Error Input Buffer RAM 1,2)

1 = インプットバッファ RAM1,2 を読み出したときにパリティエラーが生じた

0 = パリティエラーが生じていない

POBF アウトプットバッファ RAM1,2 読出し時パリティエラー検出 (Parity Error Output Buffer RAM 1,2)

1 = アウトプットバッファ RAM1,2 を読み出したときにパリティエラーが生じた

0 = パリティエラーが生じていない

PMR メッセージ RAM 読出し時パリティエラー検出 (Parity Error Message RAM)

1 = メッセージ RAM を読み出したときに、パリティエラーが生じた

0 = パリティエラーが生じていない

PTBF1 一時記憶バッファ RAM A 読出し時パリティエラー検出 (Parity Error Transient Buffer RAM A)

1 = 一時記憶バッファ RAM A を読み出したときに、パリティエラーが生じた

0 = パリティエラーが生じていない

PTBF2 一時記憶バッファ RAM B 読出し時パリティエラー検出 (Parity Error Transient Buffer RAM B)

1 = 一時記憶バッファ RAM B を読み出したときに、パリティエラーが生じた

0 = パリティエラーが生じていない

(注意事項) **PIBF, POBF, PMR, PTBF1, PTBF2** のいずれかが "0" から "1" に変化したとき、**EIR.PERR** は "1" に設定されます。

FMBD 障害メッセージバッファ検出 (Faulty Message Buffer Detected)

1 = **FMB [6:0]** によって参照されたメッセージバッファは、パリティエラーによる障害エラーを持つ

0 = 障害のあるメッセージバッファはない

MFMB 2 重障害メッセージバッファ検出 (Multiple Faulty Message Buffers detected)

1 = **FMBD** フラグが設定されている間, ほかの障害のあるメッセージバッファが検出された
0 = ほかに障害のあるメッセージバッファはない

CRAM 全内部 RAM クリア (Clear all internal RAM's)

CHI コマンド **CLEAR_RAMs**(CMD [3:0] ="1100") が実行中 (全内部 RAM ブロックの全ビットに "0" を書き込んでいる) かどうかを示します。このビットは, ハードリセット, もしくは **CHI** コマンド **CLEAR_RAMs** によって "1" に設定されます。

1 = **CHI** コマンド **CLEAR_RAM** が実行中である
0 = **CHI** コマンド **CLEAR_RAM** が実行中でない

FMB [6:0] 障害メッセージエラー (Faulty Message Buffer)

以下の場合で, パリティエラーが発生したときのメッセージバッファ番号を示します。

- ・メッセージバッファを読出した場合
- ・インプットバッファもしくは一時記憶バッファ 1,2 からメッセージバッファにデータを転送した場合

この値は, フラグ **PIBF**, **PMR**, **PTBF1**, **PTBF2**, **FMBD** の 1 つが設定されたときのみ有効です。このフラグはフラグ **FMBD** がリセットされた後に更新されます。**FMBD** フラグがセットされている間, アップデートしません。

MBT [6:0] 送信メッセージバッファ番号 (Message Buffer Transmitted)

最後に正常送信されたメッセージバッファの番号を示します。メッセージバッファが, シングルショットモードに設定されている場合, **TXRQ1/2/3/4** レジスタのそれぞれの **TXR** フラグはリセットされます。

MBU [6:0] 更新メッセージバッファ番号 (Message Buffer Updated)

最後に更新されたメッセージバッファの番号を示します。このメッセージバッファに対応する, **NDAT1/2/3/4** レジスタと **MBSC1/2/3/4** レジスタ中の **ND** と **MBS** フラグも更新されます。

(注意事項) **MBT [6:0]** と **MBU [6:0]** は **CONFIG** ステートから移行するときもしくは **STARTUP** ステートになるときリセットされます。

38.3.7.2 最終ダイナミック送信スロットレジスタ : LDTS (Last Dynamic Transmit Slot)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LDTS 0xD314	R	0	0	0	0	0	LDTB 10	LDTB9	LDTB8	LDTB7	LDTB6	LDTB5	LDTB4	LDTB3	LDTB2	LDTB1	LDTB0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	LDTA 10	LDTA9	LDTA8	LDTA7	LDTA6	LDTA5	LDTA4	LDTA3	LDTA2	LDTA1	LDTA0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタはCONFIGステートから移行するときもしくはSTARTUPステートになるとき、またはCHIコマンド CLEAR_RAMs(CMD [3:0] ="1100") によってリセットされます。

LDTA [10:0] 最終ダイナミック送信チャネル A (Last Dynamic Transmission Channel A)

チャネル A における最後のフレーム送信時の、ダイナミックセグメント内の vSlotCounter [A] 値を示します。ダイナミックセグメントの終わりで更新され、ダイナミックセグメント中にフレームが送信されない場合は、0 になります。

LDTB [10:0] 最終ダイナミック送信チャネル B (Last Dynamic Transmission Channel B)

チャネル B における最後のフレーム送信時の、ダイナミックセグメント内の vSlotCounter [B] 値を示します。ダイナミックセグメントの終わりで更新され、ダイナミックセグメント中にフレームが送信されない場合は、0 になります。

38.3.7.3 FIFO ステータスレジスタ : FSR (FIFO Status Register)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FSR	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD318	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	RFFL7	RFFL6	RFFL5	RFFL4	RFFL3	RFFL2	RFFL1	RFFL0	0	0	0	0	0	RFO	RFCL	RFNE
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタはCONFIGステートから移行するときもしくはSTARTUPステートになるとき、またはCHIコマンド CLEAR_RAMs(CMD [3:0] ="1100") によってリセットされます。

RFNE 受信 FIFO は空でない (Receive FIFO Not Empty)

有効フレーム（データあるいはリジェクションマスクに依存するヌルフレーム）を受信し、FIFO に格納されたときセットされます。さらに、割込みフラグ **SIR.RFNE** がセットされます。ホストが FIFO からすべてのメッセージを読んだ後、ビットがリセットされます。

1 = 受信 FIFO は空ではない

0 = 受信 FIFO は空である

RFCL 受信 FIFO はクリティカルレベル (Receive FIFO Critical Level)

受信 FIFO フィルレベル **RFFL [7:0]** が、設定されたクリティカルレベル **FCL.CL [7:0]** と等しいかまたは大きい場合、このフラグがセットされます。また、以下にさがると直ちにクリアされます。**RFCL** が "0" から "1" に設定されると **SIR.RFCL** は "1" に設定され、有効な場合、割込みが生成されます。

1 = 受信 FIFO はクリティカルレベルにある

0 = 受信 FIFO はクリティカルレベル以下である

RFO 受信 FIFO オーバラン (Receive FIFO Overrun)

受信 FIFO のオーバランが検知された場合、セットされます。オーバランの場合、最も古いメッセージが上書きされます。さらに、割込みフラグ **EIR.RFO** はセットされます。フラグは、FIFO リード・アクセスによってクリアされます。

1 = 受信 FIFO はオーバランしている

0 = 受信 FIFO はオーバランしていない

RFFL [7:0] 受信 FIFO フィルレベル (Receive FIFO Fill Level)

ホストによってまだ読まれない FIFO バッファの数。最大値は 128 です。

38.3.7.4 メッセージハンドラコンストレインフラグ： MHDF (Message Handler Constraints Flags)

HCLK 周波数、メッセージ RAM 設定および FlexRay バストラフィックに関して、いくつかの制約がメッセージハンドラにあります。制約は MHDF のフラグをセットすることにより示します。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MHDF	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD31C	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0									
	W								WAHP	TNSB	TNSA	TBFB	TBFA	FNFB	FNFA	SNUB	SNUA
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

このレジスタ中の書き込み可能なビットについては、そこに "1" を書き込むことによってクリアされます。"0" を書き込んでも、そのビットに影響を及ぼしません。ハードリセットによって、このレジスタはクリアされます。

レジスタは CONFIG ステートから移行するときもしくは STARTUP ステートになるとき、または CHI コマンド CLEAR_RAM (CMD [3:0] = 1100) によってリセットされます。

SNUA チャネル A ステータス未更新 (Status Not Updated Channel A)

メッセージハンドラがオーバーロードにより、チャネル A に関してメッセージバッファのステータス MBS を更新することができなかった場合セットされます。

1 = チャネル A の MBS は更新されていません

0 = チャネル A の MBS 更新時にオーバーロードがありません

SNUB チャネル B ステータス未更新 (Status Not Updated Channel B)

メッセージハンドラがオーバーロードにより、チャネル B に関してメッセージバッファのステータス MBS を更新することができなかった場合セットされます。

1 = チャネル B の MBS は更新されていません

0 = チャネル B の MBS 更新時にオーバーロードがありません

FNFA チャネル A シーケンス未終了 (Find Sequence Not Finished Channel A)

メッセージハンドラがオーバーロードにより、チャネル A に関してファインドシーケンス (メッセージバッファとの一致のためにメッセージ RAM のスキャン) を終了することができなかった場合セットされます。

1 = チャネル A のシーケンス未終了を検出しました

0 = チャネル A のシーケンス未終了は検出されません

FNFB チャネル B シーケンス未終了 (Find Sequence Not Finished Channel B)

メッセージハンドラがオーバーロードにより、チャネル B に関してファインドシーケンス (メッセージバッファとの一致のためにメッセージ RAM のスキャン) を終了することができなかった場合セットされます。

- 1 = チャネル B のシーケンス未終了を検出しました
- 0 = チャネル B のシーケンス未終了は検出されません

TBFA チャネル A トランジェントバッファアクセスフェイル (Transient Buffer Access Failure A)

PRT A によって要求された TBF A への読取りまたは書込みのアクセスが、使用可能時間内に完了することができなかった場合セットされます。

- 1 = TBF A のアクセスに失敗しました
- 0 = TBF A のアクセスに失敗ありません

TBFB チャネル B トランジェントバッファアクセスフェイル (Transient Buffer Access Failure B)

PRT B によって要求された TBF B への読取りまたは書込みのアクセスが、使用可能時間内に完成することができなかった場合セットされます。

- 1 = TBF B のアクセスに失敗しました
- 0 = TBF B のアクセスに失敗ありません

TNSA チャネル A トランスミッションノットスタート (Transmission Not Started Channel A)

メッセージハンドラが構成されたスロットのアクションポイントのチャネル A に予定されているトランスミッションを始める準備ができていなかった場合セットされます。

- 1 = チャネル A のトランスミッションは開始されませんでした
- 0 = チャネル A のトランスミッションは開始

TNSB チャネル B トランスミッションノットスタート (Transmission Not Started Channel B)

メッセージハンドラが構成されたスロットのアクションポイントのチャネル B に予定されているトランスミッションを始める準備ができていなかった場合セットされます。

- 1 = チャネル B のトランスミッションは開始されませんでした
- 0 = チャネル B のトランスミッションは開始

WAHP ヘッダパーティション書込み (Write Attempt to Header Partio)

DEFAULT_CONFIG と CONFIG ステート以外るとき、メッセージハンドラがメッセージバッファの不完全な配置によりメッセージ RAM のヘッダ分割にメッセージデータを書き込もうとする場合セットされます。書込みは意図しない書込みアクセスからヘッダ分割を保護するためには実行されません。

- 1 = ヘッダパーティション書込み
- 0 = ヘッダパーティション未書込み

(注意事項) **SNUA, SNUB, FNFA, FNFB, TBFA, TBFB, TNSA, TNSB, WAHP** 信号の "0" から "1" 変化は **EIR.MHF** 割込みフラグを "1" に設定します。

38.3.7.5 送信要求レジスタ 1/2/3/4 : TXRQ1/2/3/4 (Transmission Request 1/2/3/4)

この 4 つのレジスタは、すべての設定されたメッセージバッファの TXR フラグ状態を反映します。
設定されたメッセージバッファの数が 128 より小さい場合、残りの TXR フラグは意味を持ちません。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXRQ4 0xD32C	R	TXR 127	TXR 126	TXR 125	TXR 124	TXR 123	TXR 122	TXR 121	TXR 120	TXR 119	TXR 118	TXR 117	TXR 116	TXR 115	TXR 114	TXR 113	TXR 112
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	TXR 111	TXR 110	TXR 109	TXR 108	TXR 107	TXR 106	TXR 105	TXR 104	TXR 103	TXR 102	TXR 101	TXR 100	TXR 99	TXR 98	TXR 97	TXR 96
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXRQ3 0xD328	R	TXR 95	TXR 94	TXR 93	TXR 92	TXR 91	TXR 90	TXR 89	TXR 88	TXR 87	TXR 86	TXR 85	TXR 84	TXR 83	TXR 82	TXR 81	TXR 80
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	TXR 79	TXR 78	TXR 77	TXR 76	TXR 75	TXR 74	TXR 73	TXR 72	TXR 71	TXR 70	TXR 69	TXR 68	TXR 67	TXR 66	TXR 65	TXR 64
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXRQ2 0xD324	R	TXR 63	TXR 62	TXR 61	TXR 60	TXR 59	TXR 58	TXR 57	TXR 56	TXR 55	TXR 54	TXR 53	TXR 52	TXR 51	TXR 50	TXR 49	TXR 48
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	TXR 47	TXR 46	TXR 45	TXR 44	TXR 43	TXR 42	TXR 41	TXR 40	TXR 39	TXR 38	TXR 37	TXR 36	TXR 35	TXR 34	TXR 33	TXR 32
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXRQ1 0xD320	R	TXR 31	TXR 30	TXR 29	TXR 28	TXR 27	TXR 26	TXR 25	TXR 24	TXR 23	TXR 22	TXR 21	TXR 20	TXR 19	TXR 18	TXR 17	TXR 16
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	TXR 15	TXR 14	TXR 13	TXR 12	TXR 11	TXR 10	TXR 9	TXR 8	TXR 7	TXR 6	TXR 5	TXR 4	TXR 3	TXR 2	TXR 1	TXR 0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TXR [127:0] 送信要求 (Transmission Request)

フラグが"1"に設定されている場合、それに該当するメッセージバッファが送信バッファとして設定されており、そのメッセージバッファについて送信が進行中であることを示します。シングルショットモードにおいては、送信完了後にそのフラグがリセットされます。

38.3.7.6 ニューデータレジスタ 1/2/3/4 : NDAT1/2/3/4 (New Data 1/2/3/4)

この 4 つのレジスタは、すべての設定されたメッセージバッファの **ND** フラグ状態を反映します。メッセージバッファが送信バッファとして設定されているなら、そのメッセージバッファに対応する **ND** フラグは意味を持ちません。設定されたメッセージバッファの数が 128 より小さいなら、残りの **ND** フラグは、意味を持ちません。

レジスタは **CONFIG** ステートから移行するときもしくは **STARTUP** ステートになるときリセットされます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NDAT4 0xD33C	R	ND 127	ND 126	ND 125	ND 124	ND 123	ND 122	ND 121	ND 120	ND 119	ND 118	ND 117	ND 116	ND 115	ND 114	ND 113	ND 112
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ND 111	ND 110	ND 109	ND 108	ND 107	ND 106	ND 105	ND 104	ND 103	ND 102	ND 101	ND 100	ND 99	ND 98	ND 97	ND 96
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NDAT3 0xD338	R	ND 95	ND 94	ND 93	ND 92	ND 91	ND 90	ND 89	ND 88	ND 87	ND 86	ND 85	ND 84	ND 83	ND 82	ND 81	ND 80
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ND 79	ND 78	ND 77	ND 76	ND 75	ND 74	ND 73	ND 72	ND 71	ND 70	ND 69	ND 68	ND 67	ND 66	ND 65	ND 64
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NDAT2 0xD334	R	ND 63	ND 62	ND 61	ND 60	ND 59	ND 58	ND 57	ND 56	ND 55	ND 54	ND 53	ND 52	ND 51	ND 50	ND 49	ND 48
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ND 47	ND 46	ND 45	ND 44	ND 43	ND 42	ND 41	ND 40	ND 39	ND 38	ND 37	ND 36	ND 35	ND 34	ND 33	ND 32
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NDAT1 0xD330	R	ND 31	ND 30	ND 29	ND 28	ND 27	ND 26	ND 25	ND 24	ND 23	ND 22	ND 21	ND 20	ND 19	ND 18	ND 17	ND 16
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ND 15	ND 14	ND 13	ND 12	ND 11	ND 10	ND 9	ND 8	ND 7	ND 6	ND 5	ND 4	ND 3	ND 2	ND 1	ND 0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ND [127:0] ニューデータ (New Data)

このフラグは、設定されたメッセージバッファフィルタを通過した有効な受信フレームによって、それぞれのメッセージバッファのデータセクションが更新されると "1" に設定されます。無効フレームの受信には受信 FIFO へのメッセージバッファを除き、フラグはセットされません。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると "0" にクリアされます。

38.3.7.7 メッセージバッファステータス変更レジスタ 1/2/3/4 : MBSC1/2/3/4 (Message Buffer Status Changed 1/2/3/4)

この 4 つのレジスタは、すべての設定されたメッセージバッファの **MBC** フラグの状態を反映します。設定されたメッセージバッファの数が 128 より小さいなら、残りの **MBC** フラグは意味を持ちません。

レジスタは CONFIG ステートから移行するときもしくは STARTUP ステートになるときリセットされます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBSC4 0xD34C	R	MBC 127	MBC 126	MBC 125	MBC 124	MBC 123	MBC 122	MBC 121	MBC 120	MBC 119	MBC 118	MBC 117	MBC 116	MBC 115	MBC 114	MBC 113	MBC 112
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	R	MBC 111	MBC 110	MBC 109	MBC 108	MBC 107	MBC 106	MBC 105	MBC 104	MBC 103	MBC 102	MBC 101	MBC 100	MBC 99	MBC 98	MBC 97	MBC 96
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBSC3 0xD348	R	MBC 95	MBC 94	MBC 93	MBC 92	MBC 91	MBC 90	MBC 89	MBC 88	MBC 87	MBC 86	MBC 85	MBC 84	MBC 83	MBC 82	MBC 81	MBC 80
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	R	MBC 79	MBC 78	MBC 77	MBC 76	MBC 75	MBC 74	MBC 73	MBC 72	MBC 71	MBC 70	MBC 69	MBC 68	MBC 67	MBC 66	MBC 65	MBC 64
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBSC2 0xD344	R	MBC 63	MBC 62	MBC 61	MBC 60	MBC 59	MBC 58	MBC 57	MBC 56	MBC 55	MBC 54	MBC 53	MBC 52	MBC 51	MBC 50	MBC 49	MBC 48
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	MBC 47	MBC 46	MBC 45	MBC 44	MBC 43	MBC 42	MBC 41	MBC 40	MBC 39	MBC 38	MBC 37	MBC 36	MBC 35	MBC 34	MBC 33	MBC 32
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBSC1 0xD340	R	MBC 31	MBC 30	MBC 29	MBC 28	MBC 27	MBC 26	MBC 25	MBC 24	MBC 23	MBC 22	MBC 21	MBC 20	MBC 19	MBC 18	MBC 17	MBC 16
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	MBC 15	MBC 14	MBC 13	MBC 12	MBC 11	MBC 10	MBC 9	MBC 8	MBC 7	MBC 6	MBC 5	MBC 4	MBC 3	MBC 2	MBC 1	MBC 0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MBC [127:0] メッセージバッファステータス変更 (Message Buffer Status Changed)

このフラグは、それぞれのメッセージバッファの状態フラグ (**VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB**) が変更されると "1" に設定されます。フラグは対応するメッセージバッファのヘッダセクションが再構成される場合、あるいはデータセクションがアウトプットバッファへ転送されると "0" にクリアされます。

38.3.8 アイデンティフィケーションレジスタ

38.3.8.1 コアリリースレジスタ : CREL (Core Release Register)

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
CREL	R	REL3	REL2	REL1	REL0	STEP7	STEP6	STEP5	STEP4	STEP3	STEP2	STEP1	STEP0	YEAR3	YEAR2	YEAR1	YEAR0
0xD3F0	W																
Reset		0	0	0	1	0	0	0	0	0	0	1	1	1	0	0	1

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	R	MON7	MON6	MON5	MON4	MON3	MON2	MON1	MON0	DAY7	DAY6	DAY5	DAY4	DAY3	DAY2	DAY1	DAY0
	W																
Reset		0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	0

DAY [7:0] 日付 (Design Time Stamp,Day)
2 桁 (BCD)

MON [7:0] 月 (Design Time Stamp,Month)
2 桁 (BCD)

YEAR [3:0] 年 (Design Time Stamp,Year)
1 桁 (BCD)

STEP [7:0] リリースステップ (Step of Core Release)
2 桁 (BCD)

REL [3:0] リリース (Core Release)
1 桁 (BCD)

38.3.8.2 エンディアンレジスタ : ENDN (Endian Register)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ENDN	R	ETV 31	ETV 30	ETV 29	ETV 28	ETV 27	ETV 26	ETV 25	ETV 24	ETV 23	ETV 22	ETV 21	ETV 20	ETV 19	ETV 18	ETV 17	ETV 16
0xD3F4	W																
Reset		1	0	0	0	0	1	1	1	0	1	1	0	0	1	0	1

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	ETV 15	ETV 14	ETV 13	ETV 12	ETV 11	ETV 10	ETV9	ETV8	ETV7	ETV6	ETV5	ETV4	ETV3	ETV2	ETV1	ETV0
	W																
Reset		0	1	0	0	0	0	1	1	0	0	1	0	0	0	0	1

ETV [31:0] エンディアンテスト値 (Endianness Test Value)
テスト値 0x87654321

38.3.9 インプットバッファ

インプットバッファは、インプットバッファホストとインプットバッファシャドウのダブルバッファで構成されています。ホストがインプットバッファホストに書き込み可能な間に、インプットバッファシャドウからメッセージ RAM へ転送されます。インプットバッファは、選択されたメッセージバッファへ転送するためのヘッダセクションとデータセクションを格納します。また、メッセージ RAM のメッセージバッファの構成と送信バッファのデータセクション更新のために使用されます。

インプットバッファから、メッセージ RAM 中のメッセージバッファのヘッダセクションを更新するとき、「38.3.10.5 メッセージバッファステータスレジスタ : MBS (Message Buffer Status)」にて示されるように、メッセージバッファステータスは、ゼロに自動的にリセットされます。

受信 FIFO に属するメッセージバッファのヘッダセクションは、DEFAULT_CONFIG ステートまたは CONFIG ステートでのみ変更してください。

インプットバッファ (IBF) とメッセージ RAM 間のデータ転送はセクション 38.4.11.2「インプットバッファからメッセージ RAM へのデータ転送」で詳細に説明されます。

38.3.9.1 ライトデータセクションレジスタ : WRDSn (Write Data Section [1...64])

メッセージバッファのデータセクションに転送するためのデータを設定します。このデータ (DWn) は、DW1(バイト 0, バイト 1) から DW_{PL}(PL= ペイロード長によって定義された 2 バイト単位のデータ数) まで、送信される順番に従ってメッセージ RAM に書き込まれます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WRDSn 0xD400- 0xD4Fc	R	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD
	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	MD	MD	MD	MD	MD	MD	MD9	MD8	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
	W	15	14	13	12	11	10										
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MD [31:0] メッセージデータ (Message Data)

MD [7:0] = DW_{2n-1}, byte_{4n-4}

MD [15:8] = DW_{2n-1}, byte_{4n-3}

MD [23:16] = DW_{2n}, byte_{4n-2}

MD [31:24] = DW_{2n}, byte_{4n-1}

(注意事項) DW127 は WRDS64.MD [15:0] に配置されます。この場合 WRDS64.MD [31:16] は未使用 (不定データ) です。インプットバッファ RAM は、ハードリセットの終了、または CHI コマンド CLEAR_RAMs (CMD [3:0] = 1100) によって、ゼロに初期化されます。

FlexRay バスの転送順は WRDSn [7:0], WRDSn [15:8], WRDSn [23:16], WRDSn [31:24], の各 msb ビットからです。

ホスト CPU のエンディアンにどう合わせるかをチェックするには、レジスタ ENDN を読んでください。

38.3.9.2 ライトヘッダセクションレジスタ 1 : WRHS1 (Write Header Section 1)

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WRHS1	R	0	0	MBI	TXM	PPIT	CFG	CHB	CHA	0	CYC	CYC	CYC	CYC	CYC	CYC
0xD500	W										6	5	4	3	2	1
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	FID	FID	FID	FID	FID	FID	FID	FID	FID	FID
	W						10	9	8	7	6	5	4	3	2	1
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FID [10:0] フレーム ID(Frame ID)

選択されたメッセージバッファのフレーム ID を示します。フレーム ID は、それぞれのメッセージ送受信のためにスロット番号を定義しています。フレーム ID = "0" のメッセージバッファは、無効です。

CYC [6:0] サイクルコード (Cycle Code)

この 7 ビットコードは、サイクルカウンタフィルタリングに使用されるサイクルセットを決定します。サイクルコードの設定についての詳細は、「38.4.7.2 サイクルカウンタフィルタリング」を参照してください。

CHA, CHB チャンネルフィルタ制御 (Channel Filter Control)

各バッファに関連付けられるこの 2 ビットのチャンネルフィルタリングフィールドは、受信バッファのフィルタとしての機能と、送信バッファのための制御フィールドとしての機能を持ちます。

CHA	CHB	送信バッファ (送信フレーム)	受信バッファ (受信フレームを保存)
1	1	both channels (static segment only)	channel A or B (store first semantically valid frame, static segment only)
1	0	channel A	channel A
0	1	channel B	channel B
0	0	no transmission	ignore frame

(注意事項) メッセージバッファがダイナミックセグメントのために設定され、チャンネルフィルタ制御 (CHA, CHB) の両ビットが "1" に設定された場合、フレームは送信されず、受信フレームは無視されます。
(CHA = CHB = 0 と同じ機能)

CFG メッセージバッファコンフィグレーションビット (Message Buffer Configuration Bit)

各バッファを、送信バッファまたは受信バッファとして設定するために使用されます。受信 FIFO に属しているメッセージバッファに関しては、無効となります。

- 1 = 対応するバッファが、送信バッファとして設定されている
- 0 = 対応するバッファが、受信バッファとして設定されている

PPIT ペイロードプリアンブルインジケータ送信 (Payload Preamble Indicator Transmit)

送信フレームにおいて、ペイロードプリアンブルインジケータの状態を制御するために使用されます。このビットがスタティックメッセージバッファに設定される場合、それぞれのメッセージバッファはネットワークマネジメント情報を保持します。このビットがダイナミックメッセージバッファに設定される場合、ペイロードセグメントの最初の 2 バイトは、メッセージ ID フィルタリングに使用されます。受信フレームのメッセージ ID フィルタリングは、FlexRay コントローラではサポートされていません。

1 = ペイロードプリアンブルインジケータを設定する

0 = ペイロードプリアンブルインジケータを設定しない

TXM 送信モード (Transmission Mode)

このビットは、送信モードを選択するビットです (38.4.8.3 送信バッファを参照)。

1 = シングルショットモード

0 = コンティニューアスモード

MBI メッセージバッファ割込み (Message Buffer Interrupt)

各メッセージバッファに対して、送受信割込みを有効にします。受信バッファにメッセージが受信された後、**SIR.RXI** または **SIR.MBSI** が "1" に設定されます。送信バッファから正常にメッセージが送信された後、**SIR.TXI** フラグが "1" に設定されます。

1 = 対応するメッセージバッファの送受信割込みが有効

0 = 対応するメッセージバッファの送受信割込みが無効

38.3.9.3 ライトヘッダセクションレジスタ 2 : WRHS2 (Write Header Section 2)

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WRHS2	R	0	0	0	0	0	0	0	0	PLC	PLC	PLC	PLC	PLC	PLC	PLC
0xD504	W									6	5	4	3	2	1	0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	CRC	CRC	CRC	CRC	CRC	CRC	CRC	CRC	CRC	CRC	CRC
	W					10	9	8	7	6	5	4	3	2	1	0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRC [10:0] ヘッダ CRC (Header CRC) (vRF!Header!HeaderCRC)

受信バッファ：設定は必要ない。

送信バッファ：ヘッダ CRC はホストによって計算され設定されます。

ヘッダ CRC の計算のために、フレームのペイロード長はホストに伝えなければならない。スタティックセグメントでの、すべてのフレームのペイロード長は **MHDC.SFDL [6:0]** で設定されます。

PLC [6:0] 設定ペイロード長 (Payload Length Configured)

ホストによって設定されたデータセクションの長さ (2 バイト単位の数) を示します。スタティックセグメント中の、**MHDC.SFDL [6:0]** にて設定されたスタティックフレームペイロード長は、すべてのスタティックフレームのペイロード長を定義します。**PLC [6:0]** によって設定されたペイロード長が **MHDC.SFDL [6:0]** の設定より短い場合、スタティックフレームのペイロード長を保証するためにパディングバイトが挿入されます。パディングバイトは、"0" で示されます (38.4.8.3 送信バッファ参照)。

38.3.9.4 ライトヘッダセクションレジスタ 3 : WRHS3 (Write Header Section 3)

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WRHS3	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xD508	W															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	DP10	DP9	DP8	DP7	DP6	DP5	DP4	DP3	DP2	DP1	DP0
	W															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DP [10:0] データポインタ (Data Pointer)

メッセージバッファのデータセクションの先頭 32 ビットデータに対するポインタを示します。

38.3.9.5 インプットバッファコマンドマスクレジスタ : IBCM (Input Buffer Command Mask)

IBCR レジスタによって選択されたメッセージバッファの更新方法を設定します。IBF ホストと IBF シャドウが交換されたとき , マスクビット **LHSH**, **LDSS**, **STXRH** とマスクビット **LHSS**, **LDSS**, **STXRS** も同様に交換されます。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IBCM	R	0	0	0	0	0	0	0	0	0	0	0	0	STX RS	LDSS	LHSS
0xD510	W															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	STX RH	LDSS	LHSH
	W															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LHSH ヘッダセクションホストのロード (Load Header Section Host)

- 1 = ヘッダセクションをインプットバッファからメッセージ RAM へ転送する
- 0 = ヘッダセクションは転送されない

LDSS データセクションホストのロード (Load Data Section Host)

- 1 = データセクションをインプットバッファからメッセージ RAM へ転送する
- 0 = データセクションは転送されない

STXRH 送信要求フラグホストの設定 (Set Transmission Request Host)

このビットが "1" に設定されている場合 , 選択されたメッセージバッファの **TXR** フラグが **TXRQ1/2/3/4** レジスタ中で "1" に設定され , その送信バッファ中のメッセージが開放されます。シングルショットモードにおいては , このフラグは送信完了後にクリアされます。

- 1 = TXR フラグをセットし , 送信バッファ中のメッセージを開放する
- 0 = TXR フラグをリセットする

LHSS ヘッダセクションシャドウのロード (Load Header Section Shadow)

- 1 = ヘッダセクションをインプットバッファからメッセージ RAM へ転送中である。または転送終了した
0 = ヘッダセクションはインプットバッファからメッセージ RAM へ転送されていない

LDSS データセクションシャドウのロード (Load Data Section Shadow)

- 1 = データセクションをインプットバッファからメッセージ RAM へ転送中である。または転送終了した
0 = データセクションはインプットバッファからメッセージ RAM へ転送されていない

STXRS 送信要求フラグシャドウの設定 (Set Transmission Request Shadow)

- 1 = TXR フラグをセットし、送信バッファ中のメッセージを開放している。または、それらの操作が終了した
0 = TXR フラグをリセットしている

38.3.9.6 インプットバッファコマンドリクエストレジスタ : IBCR (Input Buffer Command Request)

IBRH [6:0] へメッセージ RAM 中のターゲットメッセージバッファ番号の書き込みを行ったとき、IBF ホストと IBF シャドウは交換されます。さらに、**IBRH [6:0]** と **IBRS [6:0]** に格納するメッセージバッファ番号も同じく交換されます。(「• インプットバッファからメッセージ RAM へのデータ転送」を参照)

このライトオペレーションで **IBSYS** ビットは "1" に設定されます。それから、メッセージハンドラは **IBRS [6:0]** によって選択されたメッセージ RAM 中のメッセージバッファへ、IBF シャドウの内容を転送し始めます。

IBF シャドウからメッセージ RAM 中のメッセージバッファへデータを転送する間、IBF ホストに次の送信メッセージを書き込むことができます。IBF シャドウとメッセージ RAM との間で転送が完了した後、**IBSYS** は "0" にクリアされます。そして、**IBRH [6:0]** に次の送信メッセージのターゲットメッセージバッファ番号を書き込むことで、メッセージ RAM への次の転送が開始されます。

IBRH [6:0] へのライトアクセスが **IBSYS** = "1" の間に発生した場合、**IBSYH** は "1" に設定されます。IBF シャドウからメッセージ RAM への現在のデータ転送が完了した後に、IBF ホストと IBF シャドウは交換され、同時に **IBRH [6:0]** と **IBRS [6:0]** に格納するメッセージバッファ番号も同じく交換されます。そのとき、**IBSYH** が "0" にリセットされます。このとき **IBSYS** に "1" 設定が残っているなら、メッセージ RAM へ次の転送が開始されます。

IBSYS, **IBSYH** の両方に "1" 設定されている間に、このインプットバッファレジスタへの書き込みを行った場合、エラーフラグ **EIR.IIBA** が "1" に設定されます。この場合、インプットバッファは変更されません。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IBCR	R	IBSYS	0	0	0	0	0	0	0	0	IBRS6	IBRS5	IBRS4	IBRS3	IBRS2	IBRS1	IBRS0
0xD514	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	IBSYH	0	0	0	0	0	0	0	0	IBRH6	IBRH5	IBRH4	IBRH3	IBRH2	IBRH1	IBRH0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IBRH [6:0] インプットバッファホスト転送リクエスト (Input Buffer Request Host)

インプットバッファからデータ転送するためのメッセージ RAM 中のターゲットメッセージバッファ番号を選択します。有効値は 0x00 から 0x7F (0 から 127) です。

IBSYH インプットバッファホストビジー (Input Buffer Busy Host)

IBSYS がまだ "1" である間に **IBRH [6:0]** に書き込みが行われた場合、このフラグは "1" に設定されます。IBF シャドウとメッセージ RAM との間で現在のデータ転送が完了した後、このフラグは "0" にクリアされます。

1 = メッセージの転送が保留されている

0 = メッセージの転送が保留されていない

IBRS [6:0] インプットバッファシャドウ転送リクエスト (Input Buffer Request Shadow)

現在更新された、もしくは最近更新されたターゲットメッセージバッファ番号を示します。有効値は 0x00 から 0x7F (0 から 127) です。

IBSYS インプットバッファシャドウビジー (Input Buffer Busy Shadow)

IBRH [6:0] に書き込まれた後、このフラグは "1" に設定されます。IBF シャドウとメッセージ RAM 間の転送が完了したとき、**IBSYS** が "0" にクリアされます。

1 = IBF シャドウとメッセージ RAM 間の転送実行中

0 = IBF シャドウとメッセージ RAM 間の転送終了

38.3.10 アウトプットバッファ

アウトプットバッファは、アウトプットバッファホストとアウトプットバッファシャドウのダブルバッファで構成されており、メッセージ RAM からメッセージバッファを読み出すために使用されます。ホストがアウトプットバッファホストを読み出し可能な間に、選択されたメッセージバッファをメッセージ RAM からアウトプットバッファシャドウに対して転送します。メッセージ RAM とアウトプットバッファ (OBF) 間のデータ転送の詳細は、38.4.11.2 「• メッセージ RAM からアウトプットバッファへのデータ転送」を参照してください。

38.3.10.1 リードデータセクションレジスタ : RDDSn (Read Data Section [~164])

メッセージバッファのデータセクションから読出されたデータを設定します。このデータ (DWn) は、DW1(バイト 0, バイト 1) から DW_{PL} (PL =ペイロード長によって定義された 2 バイト単位のデータ数) まで、受信された順序に従ってメッセージ RAM から読出されます。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDDSn	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD
0xD600-	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
0xD6FC	W															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	MD	MD	MD	MD	MD	MD	MD9	MD8	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MD [31:0] メッセージデータ (Message Data)

MD [7:0] = DW_{2n-1}, byte_{4n-4}

MD [15:8] = DW_{2n-1}, byte_{4n-3}

MD [23:16] = DW_{2n}, byte_{4n-2}

MD [31:24] = DW_{2n}, byte_{4n-1}

(注意事項) **DW127** は **RDDS64.MD [15:0]** に配置されます、この場合 **RDDS64.MD [31:16]** は未使用 (不定データ) です。

アウトプットバッファ RAM は、ハードリセットを終了、または CHI コマンド **CLEAR_RAM** (**CMD [3:0]** ="1100") によって、ゼロに初期化されます。

38.3.10.2 リードヘッダセクションレジスタ 1 : RDHS1 (Read Header Section 1)

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDHS1	R	0	0	MBI	TXM	PPIT	CFG	CHB	CHA	0	CYC6	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
0xD700	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	FID10	FID9	FID8	FID7	FID6	FID5	FID4	FID3	FID2	FID1	FID0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WRHS1 を通じて設定する値を下記に示します。

FID [10:0] フレーム ID(Frame ID)

CYC [6:0] サイクルコード (Cycle Code)

CHA, CHB チャネルフィルタコントロール (Channel Filter Control)

CFG メッセージバッファコンフィグレーションビット (Message Buffer Configuration Bit)

PPIT ペイロードプリアンブルインジケータ送信 (Payload Preamble Indicator Transmit)

TXM 送信モード (Transmission Mode)

MBI メッセージバッファ割込み (Message Buffer Interrupt)

メッセージ RAM から読出されたメッセージバッファが受信 FIFO に属している場合 , **CYC [6:0]** , **CHA, CHB, CFG, PPIT, TXM, MBI** が "0" にリセットされている間 , **FID [10:0]** は受信したフレーム ID を保持します。

38.3.10.3 リードヘッダセクションレジスタ 2 : RDHS2 (Read Header Section 2)

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDHS2	R	0	PLR	PLR	PLR	PLR	PLR	PLR	0	PLC	PLC	PLC	PLC	PLC	PLC	PLC
0xD704	W		6	5	4	3	2	1	0	6	5	4	3	2	1	0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	CRC	CRC	CRC	CRC	CRC	CRC	CRC	CRC	CRC	CRC	CRC
	W					10	9	8	7	6	5	4	3	2	1	0
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRC [10:0] ヘッダ CRC(Header CRC) (vRF!Header!HeaderCRC)

受信バッファ : ヘッダ CRC は受信フレームによって更新されます

送信バッファ : インプットバッファからのメッセージ転送によって設定されたヘッダ CRC が表示されます

PLC [6:0] 設定ペイロード長 (Payload Length Configured)

ホストによって設定されたデータセクションの長さ (2 バイト単位の数) を表します。

PLR [6:0] 受信ペイロード長 (Payload Length Received) (vRF!Header!Length)

受信フレームによって更新されたペイロード長の値を表します。

受信ペイロード長および設定ペイロード長に関して、メッセージがメッセージバッファへ格納される際、次のような動作になります：

PLR [6:0] > PLC [6:0] :メッセージバッファに格納されたペイロードデータは、設定された **PLC [6:0]** あるいは **PLC [6:0] +1** のペイロード長に切り詰められます。

PLR [6:0] > PLC [6:0] :受信ペイロードデータは、メッセージバッファのデータセクションへ格納されます。**PLC [6:0]** に設定されたデータセクションの残りのデータバイトは、不定データで満たされます。

PLR [6:0] =0: メッセージバッファのデータセクションは不定データで満たされます。

PLC [6:0] =0: メッセージバッファのデータセクションはありません。データはメッセージバッファのデータセクションへ格納されません。

(注意事項) メッセージ RAM は 4 バイト構成になります。受信データがメッセージバッファのデータセクションへ格納される場合、メッセージバッファに書き込まれた 2 バイト単位のデータワード数は、次の偶数値に丸められた **PLC [6:0]** です。受信 FIFO へのすべてのメッセージバッファに対して **PLC [6:0]** は同一に設定します。ヘッダ 2 はデータフレームだけから更新されます。

38.3.10.4 リードヘッダセクションレジスタ 3 : RDHS3 (Read Header Section 3)

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDHS3 0xD708	R	0	0	RES	PPI	NFI	SYN	SFI	RCI	0	0	RCC	RCC	RCC	RCC	RCC
	W															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	DP10	DP9	DP8	DP7	DP6	DP5	DP4	DP3	DP2	DP1
	W															
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DP [10:0] データポインタ (Data Pointer)

メッセージバッファのデータセクションの先頭 32 ビットデータに対するポインタを示します。

RCC [5:0] 受信サイクルカウンタ (Receive Cycle Count) (vRF!Header!CycleCount)

受信したフレームにより更新されるサイクルカウンタ値を表します。

RCI 受信チャネルインジケータ (Received on Channel Indicator) (vSS!Channel)

それぞれの受信バッファを更新する受信フレームが、どのチャネルから受け取られたかを示します。

1 = チャネル A にてフレーム受信した

0 = チャネル B にてフレーム受信した

SFI スタートアップフレームインジケータ (Startup Frame Indicator) (vRF!Header!SuFIndicator)

受信したフレームが、スタートアップフレームであることを示します。

1 = 受信フレームがスタートアップフレームである

0 = 受信フレームがスタートアップフレームでない

SYN 同期フレームインジケータ (Sync Frame Indicator) (vRF!Header!SyFIndicator)

受信したフレームが、同期フレームであることを示します。

1 = 受信フレームが同期フレームである

0 = 受信フレームが同期フレームでない

NFI ノルフレームインジケータ (Null Frame Indicator) (vRF!Header!NFIndicator)

このビットが "0" の場合、受信したフレームのペイロードセグメントには、有効なデータがありません。

1 = 受信フレームが、ノルフレームではない

0 = 受信フレームが、ノルフレームである

PPI ペイロードプリアンブルインジケータ (Payload Preamble Indicator) (vRF!Header!PPIIndicator)

ネットワークマネジメントベクタあるいはメッセージ ID が、受信したフレームのペイロードセグメントの中に含まれているかどうかを示します。

1 = スタティックセグメント：ペイロードの最初に、ネットワークマネジメントベクタが含まれている

ダイナミックセグメント：ペイロードの最初に、メッセージ ID が含まれている

0 = 受信フレームのペイロードセグメントはネットワークマネジメントベクタもメッセージ ID も含まれていない

RES 予約ビット (Reserved Bit) (vRF!Header!Reserved)

受信した予約ビットの状態を反映します。

(注意事項) ヘッダ 3 はデータフレームだけから更新されます。

38.3.10.5 メッセージバッファステータスレジスタ : MBS (Message Buffer Status)

メッセージバッファステータスは、そのメッセージバッファに割り当てられたスロットの次のスロットの終わりで、割り当てられたチャンネルに関して更新されます。ある 1 つのメッセージバッファに 1 つだけ (A または B) チャンネルが割り当てられている場合、その片方のチャンネルのステータスフラグは "0" にクリアされます。1 つのメッセージバッファに両方のチャンネルが割り当てられている場合、両チャンネルのステータスフラグが更新されます。

メッセージバッファステータスは常に、メッセージバッファに割り当てられた最新のスロットの状態を示します。ホストが入力バッファを通してメッセージバッファを更新する場合、すべての MBS フラグは IBCM ビットがセットされていてもリセットされます。送受信フィルタリングについての詳細は、「38.4.7 フィルタリングとマスキング」、「38.4.8 送信手順」、「38.4.9 受信手順」を参照してください。メッセージハンドラがフラグ **VFRA**, **VFRA**, **SEOA**, **SEOB**, **CEOA**, **SVOA**, **SVOB**, **TCIA**, **TCIB**, **ESA**, **ESB**, **MLST**, **FTA**, **FTB** のうちの 1 つを変更する場合は常に、レジスタ MBSC1/2/3/4 のそれぞれのメッセージバッファの MBC フラグがセットされます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MBS	R	0	0	RESS	PPIS	NFIS	SYNS	SFIS	RCIS	0	0	CCS5	CCS4	CCS3	CCS2	CCS1	CCS0
0xD70C	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	FTB	FTA	0	MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

• 受信 , および送信バッファに関するステータスフラグ

VFRA チャネル A 受信有効フレーム (Valid Frame Received on Channel A) (vSS!ValidFrameA)

有効フレームがチャネル A で受信されたとき , "1" に設定されます。

1 = チャネル A で有効なフレームが受信された

0 = チャネル A で有効なフレームが受信されていない

VFRB チャネル B 受信有効フレーム (Valid Frame Received on Channel B) (vSS!ValidFrameB)

有効フレームがチャネル B で受信されたとき , "1" に設定されます。

1 = チャネル B で有効なフレームが受信された

0 = チャネル B で有効なフレームが受信されていない

SEOA チャネル A シンタックスエラー (Syntax Error Observed on Channel A) (vSS!SyntaxErrorA)

シンタックスエラーが , チャネル A に割り当てられたスロットで検出されたことを示します。

1 = チャネル A でシンタックスエラーが検出された

0 = チャネル A でシンタックスエラーが検出されていない

SEOB チャネル B シンタックスエラー (Syntax Error Observed on Channel B) (vSS!SyntaxErrorB)

シンタックスエラーが , チャネル B に割り当てられたスロットで検出されたことを示します。

1 = チャネル B でシンタックスエラーが検出された

0 = チャネル B でシンタックスエラーが検出されていない

CEOA チャネル A コンテンツエラー (Content Error Observed on Channel A) (vSS!ContentErrorA)

コンテンツエラーが , チャネル A に割り当てられたスロットで検出されたことを示します。

1 = チャネル A でコンテンツエラーが検出された

0 = チャネル A でコンテンツエラーが検出されていない

CEOB チャネル B コンテンツエラー (Content Error Observed on Channel B) (vSS!ContentErrorB)

コンテンツエラーが , チャネル B に割り当てられたスロットで検出されたことを示します。

1 = チャネル B でコンテンツエラーが検出された

0 = チャネル B でコンテンツエラーが検出されていない

SVOA チャネル A 境界障害 (Slot Boundary Violation Observed on Channel A) (vSS!BViolationA)

スロット境界障害が , チャネル A に割り当てられたスロットで検出されたことを示します。すなわち , 設定されたスロットの開始もしくは終了において , チャネルがアクティブであることを意味します。

1 = チャネル A でスロット境界障害が検出された

0 = チャネル A でスロット境界障害が検出されていない

SVOB チャネル B 境界障害 (Slot Boundary Violation Observed on Channel B) (vSS!BViolationB)

スロット境界障害が , チャネル B に割り当てられたスロットで検出されたことを示します。すなわち , 設定されたスロットの開始もしくは終了において , チャネルがアクティブであることを意味します。

1 = チャネル B でスロット境界障害が検出された

0 = チャネル B でスロット境界障害が検出されていない

• 送信バッファに関するステータスフラグ

TCIA チャンネル A 送信コリジョンインジケータ (Transmission Conflict Indication Channel A)
(vSS!TxConflictA)

送信コリジョンがチャンネル A で検出されたとき、このビットが "1" に設定されます。

1 = チャンネル A で送信コリジョンが検出された

0 = チャンネル A で送信コリジョンが検出されていない

TCIB チャンネル B 送信コリジョンインジケータ (Transmission Conflict Indication Channel B)
(vSS!TxConflictB)

送信コリジョンがチャンネル B で検出されたとき、このビットが "1" に設定されます。

1 = チャンネル B で送信コリジョンが検出された

0 = チャンネル B で送信コリジョンが検出されていない

• 受信バッファに関するステータスフラグ

ESA チャンネル A エンプティスロット (Empty Slot Channel A)

エンプティスロットでは、バスがアイドル状態、すなわちフレーム送信が検出されないことを意味します。この状態は、スタティックスロット並びにダイナミックスロットでチェックされます。

1 = チャンネル A で、割り当てられたスロット中ではバスがアイドル状態である

0 = チャンネル A で、割り当てられたスロット中ではバスがアイドル状態でない

ESB チャンネル B エンプティスロット (Empty Slot Channel B)

エンプティスロットでは、バスがアイドル状態、すなわちフレーム送信が検出されないことを意味します。この状態は、スタティックスロット並びにダイナミックスロットでチェックされます。

1 = チャンネル B で、割り当てられたスロット中ではバスがアイドル状態である

0 = チャンネル B で、割り当てられたスロット中ではバスがアイドル状態でない

MLST メッセージロスト (Message Lost)

メッセージバッファが新しいメッセージに上書きされる前に、メッセージが読出されなかった場合セットされます。受信 FIFO へのメッセージバッファを除き、ヌルフレームの受信は影響しません。IBF へのメッセージバッファ書込み、もしくは OBF からメッセージバッファを読みだすことによってメッセージバッファの ND フラグがリセットされた後に新しいメッセージがメッセージバッファに保存されると、フラグはリセットされます。

1 = 読み出されなかったメッセージが上書きされた

0 = メッセージロストなし

FTA チャンネル A フレーム転送 (Frame Transmitted on Channel A)

チャンネル A にデータフレームを送信したことを示します。

1 = チャンネル A でデータフレームが送信された

0 = チャンネル A でデータフレームが送信されていない

FTB チャンネル B フレーム転送 (Frame Transmitted on Channel B)

チャンネル B にデータフレームを送信したことを示します。

1 = チャンネル B でデータフレームが送信された

0 = チャンネル B でデータフレームが送信されていない

(注意事項) ホストのみが **FTA** および **FTB** をリセットできます。したがって、ビットが "1" に設定されるとき、サイクルカウンタステータス **CCS [5:0]** は有効です。

CCS [5:0] サイクルカウンタステータス (Cycle Count Status)

ステータスが更新されたとき、サイクルカウンタされます。

受信バッファ (CFG="0") では、次のステータスビットは有効および無効なフレームデータの両方から更新されます。有効なフレームが受け取られなかった場合、前の値が維持されます。
送信バッファでは意味がなく、無視します。

RCIS チャネルインジケータステータス受信 (Received on Channel Indicator Staus) (vSS!Channel)

1 = チャネル A で、フレーム受信

0 = チャネル B で、フレーム受信

SFIS スタートアップフレームインジケータステータス (Startup Frame Indicator Staus) (vRF!Header!SuFIndicator)

1 = スタートアップフレーム受信あり

0 = スタートアップフレーム受信なし

SYNS シンクフレームインジケータステータス (Sync Frame Indicator Staus) (vRF!Header!SyFIndicator)

1 = シンクフレーム受信あり

0 = シンクフレーム受信なし

NFIS ヌルフレームインジケータステータス (Null Frame Indicator Staus) (vRF!Header!NFIndicator)

1 = レシーブフレームはヌルフレームではない

0 = レシーブフレームはヌルフレームです

PPIS ペイロードプリアンブルインジケータステータス (Payload Preamble Indicator Staus) (vRF!Header!PPIndicator)

ペイロードプリアンブルインジケータは、ネットワークマネジメントベクトルあるいはメッセージ ID が受信フレームのペイロードセグメント内に含まれるかどうか定義します。

1 = スタティックセグメント: ネットワークマネジメントあり

ダイナミックセグメント: メッセージ ID あり

0 = 含まれない

RESS リザーブビットステータス (Received Bit Staus) (vRF!Header!Reserved)

受信リザーブビットの状態を示します。リザーブビットは、"0" として送信されます。

38.3.10.6 アウトプットバッファコマンドマスクレジスタ : OBCM (Output Buffer Command Mask)

OBCR レジスタによって選択されたメッセージバッファによる , アウトプットバッファの更新方法を設定します。メッセージバッファ転送が **OBCR.REQ** によって要求されると , マスクビットの **RDSS** と **RHSS** は内部レジスタにコピーされます。OBF ホストと OBF シャドウが交換されると , マスクビット **RDSH**, **RHSH** とマスクビット **RDSS**, **RHSS** も同様に交換されます。アウトプットバッファ (OBF) とメッセージ RAM 間のデータ転送はセクション 38.4.11.2 「・メッセージ RAM からアウトプットバッファへのデータ転送」で詳細に説明されます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OBCM	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RDSH	RHSH
0xD710	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RDSS	RHSS
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RHSS ヘッダセクションシャドウ読出し (Read Header Section Shadow)

- 1 = ヘッダセクションをメッセージ RAM からアウトプットバッファへ転送する
- 0 = ヘッダセクションは読み出されない

RDSS データセクションシャドウ読出し (Read Data Section Shadow)

- 1 = データセクションをメッセージ RAM からアウトプットバッファへ転送する
- 0 = データセクションは読み出されない

RHSH ヘッダセクションホスト読出し (Read Header Section Host)

- 1 = ヘッダセクションをメッセージ RAM からアウトプットバッファへ転送する
- 0 = ヘッダセクションは読み出されていない

RDSH データセクションホスト読出し (Read Data Section Host)

- 1 = データセクションをメッセージ RAM からアウトプットバッファへ転送する
- 0 = データセクションは読み出されていない

(注意事項) メッセージ RAM から OBF シャドウへヘッダセクション転送が完了した後 , **MBSC1/2/3/4** レジスタ中の選択されたメッセージバッファのメッセージバッファステータス変更フラグ **MBS** が "0" にクリアされます。
メッセージ RAM から OBF シャドウへデータセクション転送が完了した後 , **NDAT1/2/3/4** レジスタ中の選択されたメッセージバッファのニューデータフラグ **ND** が "0" にクリアされます。

38.3.10.7 アウトプットバッファコマンドリクエストレジスタ : OBCR (Output Buffer Command Request)

OBSYS が "0" の間に, **REQ** を "1" に設定すると, **OBSYS** は "1" に設定されます。 **OBRs [6:0]** は内部レジスタにコピーされ, マスクビットの **OBCM.RDSS** と **OBCM.RHSS** は内部レジスタ **OBCM** にコピーされます。それから, **OBRs [6:0]** によって選択されたメッセージバッファを, メッセージバッファから **OBF** シャドウへ転送開始します。メッセージバッファと **OBF** シャドウ間の転送完了後, **OBSYS** ビットは "0" にクリアされます。

OBSYS が "0" の間に, **VIEW** を "1" に設定すると, **OBF** ホストと **OBF** シャドウは入れ替わります。さらに, マスクビット **OBCM.RDSH** と **OBCM.RHSH** は内部レジスタ **OBCM** に交換されて, 各アウトプットバッファ転送に対応します。 **OBRH [6:0]** は CPU がアクセス可能なメッセージバッファの数を示します。

OBSYS が "0" の間に, **REQ** と **VIEW** を同時に "1" に設定すると, **OBSYS** は "1" に設定されます。そして, **OBF** ホストと **OBF** シャドウは入れ替わります。さらに, マスクビットの **OBCM.RDSH** と **OBCM.RHSH** は内部レジスタにスワップされて, 各アウトプットバッファ転送に対応します。その後, **OBRs [6:0]** は内部レジスタにコピーされます。そして, 選択されたメッセージバッファのメッセージ RAM から **OBF** シャドウへ転送開始します。転送が進行中である間, CPU は **OBF** ホストから前の転送で移されたメッセージバッファを読むことができます。メッセージ RAM と **OBF** シャドウの間の転送が完了したとき, **OBSYS** ビットは "0" にクリアされます。

OBSYS が "1" の間に, このアウトプットバッファレジスタへの書き込みを行った場合, エラーフラグ **EIR.IOBA** が "1" に設定されます。この場合, アウトプットバッファは変更されません。

アウトプットバッファとメッセージ RAM 間のデータ転送セクション 38.4.11.2 は「• メッセージ RAM からアウトプットバッファへのデータ転送」で詳細に説明されます。

Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OBCR	R	0	0	0	0	0	0	0	0	0	OBRH6	OBRH5	OBRH4	OBRH3	OBRH2	OBRH1	OBRH0
0xD714	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	R	OBSYS	0	0	0	0	0	REQ	VIEW	0	OBRs6	OBRs5	OBRs4	OBRs3	OBRs2	PBRs1	OBRs0
	W																
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OBRs [6:0] アウトプットバッファシャドウ転送リクエスト (Output Buffer Request Shadow)

メッセージ RAM から **OBF** シャドウへ転送するためのメッセージバッファ番号を示します。有効値は, 0x00 から 0x7F (0 から 127) です。受信 FIFO の先頭メッセージバッファ番号がこのレジスタに書き込まれた場合, GET Index (GIDX, 38.4.10 FIFO 機能を参照) によって指定されたメッセージバッファを **OBF** シャドウへ転送します。

VIEW シャドウバッファ・ホストバッファ入れ替え (View Shadow Buffer)

OBF シャドウと **OBF** ホスト間を入れ替えます。 **OBSYS** が "0" の間のみ書き込み可能です。

1 = **OBF** シャドウと **OBF** ホストを入れ替える

0 = **OBF** シャドウと **OBF** ホストを入れ替えない

REQ メッセージ RAM 転送要求 (Request Message RAM Transfer)

OBRS [6:0] によって指定されたメッセージバッファを、メッセージ RAM 中から OBF シャドウへ転送開始します。**OBSYS** が "0" の間のみ書込み可能です。

1 = メッセージ RAM から OBF シャドウへの転送が要求される

0 = メッセージ RAM から OBF シャドウへの転送要求なし

OBSYS アウトプットバッファシャドウビジー (Output Buffer Shadow Busy)

ビット **REQ** が "1" に設定された後、このフラグは "1" に設定されます。メッセージ RAM と OBF シャドウ間の転送が完了したとき、**OBSYS** が "0" にクリアされます。

1 = メッセージ RAM と OBF シャドウ間の転送が実行中である

0 = メッセージ RAM と OBF シャドウ間の転送が実行中でない

OBRH [6:0] アウトプットバッファホスト転送リクエスト (Output Buffer Request Host)

RDHS [1…3]、**MBS**、**RDDS [1…64]** を経由して現在アクセスが可能なメッセージバッファ番号を示します。**VIEW** へ "1" の書込みを行うことによって OBF シャドウと OBF ホストが入れ替わり、そのようにすることで転送されたメッセージバッファはアクセス可能となります。有効値は、0x00 から 0x7F(0 から 127) です。

38.4 FlexRay の動作説明

この章では、FlexRay のプロトコル機能について記述します。FlexRay プロトコルのさらに詳しい情報については、FlexRay プロトコル仕様書 V2.1 を参照してください。

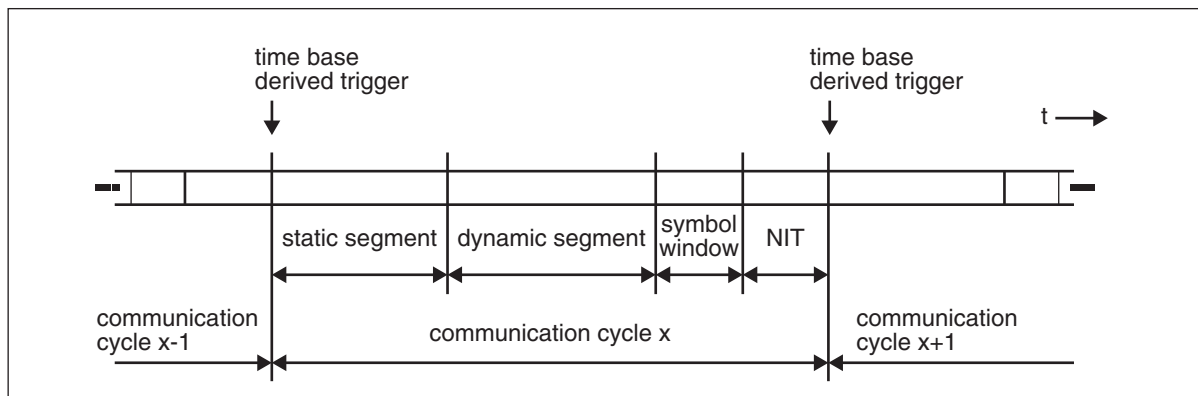
38.4.1 コミュニケーションサイクル

FlexRay コミュニケーションサイクルは下記の要素から成り立ちます。

- スタティックセグメント
- ダイナミックセグメント (オプション)
- シンボルウィンドウ (オプション)
- ネットワークアイドルタイム (NIT)

ネットワークコミュニケーションタイム (NCT) は、スタティックセグメント、ダイナミックセグメント、シンボルウィンドウから構成されます。各コミュニケーションチャンネルについてスロットカウンタは 1 でスタートし、そしてダイナミックセグメントの終わりまでカウントアップします。また両チャンネルは、同期化された同じマクロティックを使用しています。

図 38.4-1 コミュニケーションサイクルの構造



■ スタティックセグメント

スタティックセグメントは、下記の特長を持ちます。

- スロットは、(利用可能である場合) バスガーディアンによって保護される
- 各スタティックスロットのアクションポイントにおいて、フレーム送信が開始される
- ペイロード長は両チャンネルの全フレームで同じである

パラメータ：スタティックスロット数 **GTUC7.NSS [9:0]**

スタティックスロット長 **GTUC7.SSL [9:0]**

スタティックフレームデータ長 **MHDC.SFDL [6:0]**

アクションポイントオフセット **GTUC9.APO [5:0]**

■ ダイナミックセグメント

ダイナミックセグメントは、下記の特長を持ちます。

- (利用可能であっても) バスガーディアン無効、すべてのコントローラはバスアクセスを持つ
- スロット長は可変であり、両チャンネルでも異なる
- ミニスロットアクションポイントにおいて、送信が開始される

パラメータ：ミニスロット数 **GTUC8.NMS [12:0]**
 ミニスロット長 **GTUC8.MSL [5:0]**
 ミニスロットアクションポイントオフセット **GTUC9.MAPO [4:0]**
 送信終了ミニスロット値 **MHDC.SLT [12:0]**

■ シンボルウィンドウ

FlexRay プロトコル仕様書 V2.1 は、3 つのシンボルを定義します。

- ウェイクアップシンボル (WUS):WAKEUP ステートのみで送信される
- コリジョン回避シンボル (CAS):STARTUP ステートのみで送信される
- メディアアクセステストシンボル(MTS):バスガーディアンをテストするためにNORMAL_ACTIVE ステートで送信される

シンボルウィンドウ期間中、1 チャンネルにつき 1MTS シンボルが送信されます。

シンボルウィンドウは、下記の特長を持ちます。

- 1 つのシンボルを送信
- MTS シンボルの送信は、シンボルウィンドウアクションポイントでスタートする。

パラメータ：アクションポイントオフセット **GTUC9.APO [5:0]**
 ネットワークアイドルタイム開始 **GTUC4.NIT [13:0]**

■ ネットワークアイドルタイム (NIT: Network Idle Time)

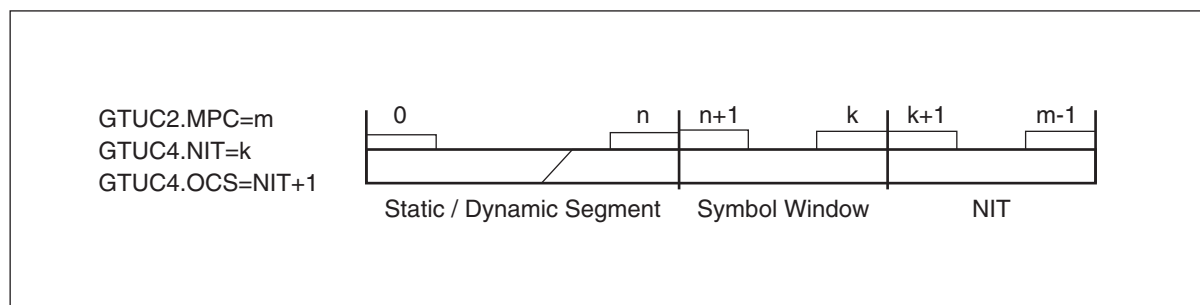
ネットワークアイドルタイム (NIT) の間、FlexRay コントローラは以下のタスクを実行します。

- クロック補正時間 (オフセットとレート) を計算する
- オフセット補正開始後、各マクロティックにオフセット補正を実施する
- クラスタサイクル関連のタスクを実行する

パラメータ：ネットワークアイドルタイム開始 **GTUC4.NIT [13:0]** ,
 オフセット補正開始 **GTUC4.OCS [13:0]**

■ NIT の開始、およびオフセット補正開始の設定

図 38.4-2 NIT の開始、およびオフセット補正開始の設定



1 サイクル当りのマイクロティック数 $g_{MacroPerCycle}$ を m とすると、**GTUC2.MPC = m** にて設定します。

また、スタティック／ダイナミックセグメントが、マクロティック 0 で開始し、マクロティック n で終了するとします。

$$n = \text{スタティックセグメント長} + \text{ダイナミックセグメントオフセット} + \text{ダイナミックセグメント長} - 1\text{MT}$$

$$= g\text{NumberOfStaticSlots} \cdot g\text{StaticSlot} + \text{dynamic segment offset} + g\text{NumberOfMinislots} \cdot g\text{Minislot} - 1\text{MT}$$

スタティックセグメント長については、**GTUC7.SSL** および **GTUC7.NSS** にて設定します。
ダイナミックセグメント長については、**GTUC8.MSL** および **GTUC8.NMS** にて設定します。

ダイナミックセグメントオフセットは、次のように求められます。

if $g\text{ActionPointOffset} \leq g\text{MinislotActionPointOffset}$:

ダイナミックセグメントオフセット = 0 MT

else if $g\text{ActionPointOffset} > g\text{MinislotActionPointOffset}$:

ダイナミックセグメントオフセット = $g\text{ActionPointOffset} - g\text{MinislotActionPointOffset}$

NIT がマクロティック $k+1$ で開始し $m-1$ サイクルの最終マクロティックで終了する場合、次のように設定します。

GTUC4.NIT = k

また、オフセット補正開始については、次の条件を満たすように設定します。

GTUC4.OCS \geq **GTUC4.NIT** + 1 = $k+1$

スタティック／ダイナミックセグメントの終了と NIT 開始の間のシンボルウィンドウ長については、 $k-n$ で計算されます。

38.4.2 通信モード

FlexRay プロトコル v2.1 はタイムトリガ分散モード (TT-D) モードをサポートします。タイムトリガ分散 (TT-D) モードによる通信モードを説明します。

■ タイムトリガ分散モード (TT-D: Time-triggered Distributed)

TT-D モードでは、以下の通信モードが可能です。

- 純粋なスタティック: 最小 2 スタティックスロット + シンボルウィンドウ (オプション)
- 混合のスタティック / ダイナミック: 最小 2 スタティックスロット + ダイナミックセグメント + シンボルウィンドウ (オプション)

タイムトリガ分散モードの動作には、最小限 2 つのコールドスタートノードが必要です。また、クラスタスタートアップのためには、2 つの障害のないコールドスタートノードが必要です。それぞれのスタートアップフレームは同期フレームでなければなりません。すべてのコールドスタートノードは同期ノードとなります。

38.4.3 クロック同期

TT-D モードでは、分散クロック同期が使用されます。ほかのノードからの同期フレームの受信タイミングを測ることで、各ノードはクラスタに同期します。

38.4.3.1 グローバルタイム

各ノードは、それぞれが個別のクロックを持つにもかかわらず、グローバルタイムの概念で動作しています。グローバルタイムは 2 つの値のベクタ、すなわちサイクル (サイクルカウンタ) とサイクルタイム (マクロティックカウンタ) から成り立ちます。

- マクロティック (MT) = FlexRay ネットワークのタイム測定の基本単位
(マクロティックはマイクロティック (μT) の整数倍)
- サイクル = 1 コミュニケーションサイクルの期間を表す単位
(サイクルはマクロティック (MT) で表される)

38.4.3.2 ローカルタイム

ノードの内部では、マイクロティック単位の精度でノードの動作時刻が決められています。マイクロティックとは、個別ノードのシステムクロックから得られた、コントローラ個別の時間単位です。そのため、同ノードの異なるコントローラで、異なった時間を持つ場合があります。そのローカルタイムの誤差測定の精度は、マイクロティック単位 (μT) です。

- マクロティック生成順序: システムクロック → プリスケアラ → マイクロティック (μT)
- μT = FlexRay コントローラでの時間測定の基本単位 (クロック補正は μT 単位で実行される)
- サイクルカウンタ + マクロティックカウンタ = ノードのグローバルタイムのローカルビュー

38.4.3.3 同期化プロセス

クロック同期化の手段として、同期フレームが使用されます。事前に設定された同期ノードだけが、同期フレームを送信可能です。2 チャネルクラスタにおいて、同期ノードは同期フレームを両チャネルに送信しなければなりません。

FlexRay での同期化のために、以下の制約があります。

- 1 つのコミュニケーションサイクルで、1 ノードにつき最大 1 つの同期フレーム
- 1 つのコミュニケーションサイクルで、1 クラスタにつき最大 15 の同期フレーム
- クロック同期化のために、すべてのノードがあらかじめ設定された同期フレーム数 (GTUC2.SNM [3:0]) を使用しなければならない。
- 最低 2 つの同期ノードがクロック同期化とスタートアップのために必要とされる。

クロック同期化のために、スタティックセグメント期間に受信された同期フレームについて、期待された受信時間と観測された受信時間との間の時間偏差が測定されます。補正時間の計算は、FTM アルゴリズムを使用することによって NIT (オフセット: すべてのサイクル, レート: 奇数サイクル) 期間に行われます。詳しくは、FlexRay プロトコル仕様書 V2.1 の 8 章を参照してください。

• オフセット (フェーズ) 補正

- 現在のサイクルの時間偏差が測定される。
- 2 つのチャネルを持つノードでは、各チャネルで測定された値で小さい方の値が計算値として採用される。
- 全コミュニケーションサイクルの NIT の期間に計算される。
- 偶数サイクルで計算されたオフセット補正值は、エラーチェックのみのために使用される。
- リミット値と照合され、エラーチェックされる。
- 補正值は、 μT の符号付き整数である。

- 補正は奇数サイクルで実行される。オフセット補正開始からサイクルの終了 (NIT の終わり) までの各マイクロティックに渡って分配され、各ノードの次のサイクル開始位置をシフトして現在のサイクルを数 MT 長くしたり短くしたりする。

• レート (周波数) 補正

- 偶数サイクルと奇数サイクルの各時間偏差の差分 (差分偏差時間) が測定される。
- 2つのチャンネルを持つノードでは、各チャンネルで測定された差分偏差時間の平均が計算値として採用される。
- 奇数コミュニケーションサイクルの NIT の期間に計算される。
- クラスタドリフトダンピングは、グローバルな制動 (ダンピング) 値を使用して実行される。
- リミット値と照合され、エラーチェックされる。
- 補正値は、 μT の符号付き整数である。
- 補正は次の偶数/奇数サイクルペアで実行される。1 サイクルを構成する各マイクロティックに分配され、各ノードの次サイクルペアの開始位置をシフトして現在のサイクルを数 μT 長くしたり短くしたりする。

• シンクフレーム送信

シンクフレーム送信はバッファ 0 および 1 からのみ可能です。メッセージバッファ 1 は、シンクフレームが 2 つのチャンネル上に異なるペイロードを持っている場合、シンクフレーム送信のために使用します。この場合、**MRC.SPLM** ビットを「1」にしなければなりません。

シンクフレームの送信に使用されるメッセージバッファはキースロット ID で構成されなければならず、**DEFAULT_CONFIG** か **CONFIG** ステートのみで設定できます。

シンクフレームを送信するノードは、**SUCC1.TXSY** を「1」に設定します。

38.4.3.4 外部クロック同期化

ノーマルオペレーションの間、独立クラスタでは著しくドリフトが発生することがあります。独立クラスタの中で同期オペレーションが必要とされる場合は、それぞれのクラスタ中のノードで同期が行われるとしても、外部クロック同期化が必要です。これは、そのクラスタに対して、ホストがオフセット補正時間およびレート補正時間を推論することで、達成可能となります。

- 外部オフセット/レート補正値は、符号付整数である。
- 外部オフセット/レート補正値は、計算されたオフセット/レート補正値に追加される。
- 総数のオフセット/レート補正時間 (外部+内部) は、設定されたリミット値とチェックされる。

38.4.4 エラーハンドリング

FlexRayに実装されているエラーハンドリングは、ノード中に下位レイヤプロトコルエラーが存在している間に、その影響を受けていないノード間の通信が保証されることを前提にしています。場合によっては、FlexRay コントローラのノーマルオペレーションを再開する動作が、アプリケーションプログラムに実装される必要があります。エラーハンドリングステートが遷移することで、**EIR.PEMC** が "1" に設定されます。そして、割込みが有効なら割込みが発生します。実際のエラーモードは、**CCEV.ERRM [1:0]** によって表示されます。

表 4-3 POC のエラーモード

エラーモード	機能
ACTIVE (green)	フルオペレーション ステート : NORMAL_ACTIVE FlexRay コントローラは完全に同期し、クラスタ全体のクロック同期をサポートします。 EIR レジスタおよび SIR レジスタからエラー割込みフラグと状態割込みフラグを読み出すことによって、エラー状態やステータス変化の情報が取得可能です。割込み有効ならば割込みが発生します。
PASSIVE (yellow)	限定オペレーション ステート : NORMAL_PASSIVE , FlexRay コントローラ自己復帰可能 FlexRay コントローラはフレームとシンボルを送信するのを停止しますが、受信したフレームは処理可能です。クロック同期は、受信フレームに基づいて継続して行われ、クラスタ全体の能動的なクロック同期は行われません。 EIR レジスタおよび SIR レジスタからエラー割込みフラグと状態割込みフラグを読み出すことによって、エラー状態やステータス変化の情報が取得可能です。割込み有効ならば割込みが発生します。
COMM_HALT (red)	オペレーション停止 ステート : HALT , FlexRay コントローラ自己復帰不可 FlexRay コントローラはフレームとシンボル処理、クロック同期化処理とマクロティック生成を停止します。 EIR レジスタおよび SIR レジスタからエラー割込みフラグと状態割込みフラグを読み出すことによって、エラー状態やステータス変化の情報が取得可能です。バスドライバは停止されます。

38.4.4.1 クロック補正フェイルカウンタ

クロック補正フェイルカウンタが、PASSIVE 遷移クロック補正損失最大時間 **SUCC3.WCP [3:0]** に達したとき、**NORMAL_ACTIVE** ステートから **NORMAL_PASSIVE** ステートへ遷移します。また、クロック補正フェイルカウンタが、HALT 遷移クロック補正損失最大時間 **SUCC3.WCF [3:0]** に達したとき、**NORMAL_ACTIVE** ステート／**NORMAL_PASSIVE** ステートから **HALT** ステートに遷移します。

クロック補正フェイルカウンタ **CCEV.CCFC [3:0]** は、スタートアップフェーズを経過した後、ノードのクロック補正時間を計算することのできない期間をモニタできます。オフセット補正信号消失 **SFS.MOCS** あるいはレート補正信号消失 **SFS.MRCS** のどちらかで "1" に設定されていれば、クロック補正フェイルカウンタは奇数のコミュニケーションサイクルの終わりでインクリメントされます。

クロック補正フェイルカウンタは、オフセット補正信号消失 **SFS.MOCS** とレート補正信号消失 **SFS.MRCS** が "1" に設定されていなければ、奇数のコミュニケーションサイクルの終わりで 0 になります。

クロック補正フェイルカウンタは、HALT 遷移クロック補正損失最大時間 **SUCC3.WCF [3:0]** に達したとき、インクリメントは停止します(すなわち、最大値においてカウンタをインクリメントしても、ゼロには戻りません)。クロック補正フェイルカウンタは、CONFIG ステートから READY ステートへ遷移するとき、もしくはノーマルアクティブステートになるとき、0 になります。

(注意事項) SUCC1.HCSE がセットされていないなら、HALT 状態への遷移はされません。

38.4.4.2 パッシブ・アクティブ間状態遷移必要サイクルペア数カウンタ

パッシブ・アクティブ間状態遷移必要サイクルペア数カウンタ **SUCC1.PTAC [4:0]** は、NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへの POC の遷移を制御します。**SUCC1.PTA [4:0]** は、NORMAL_PASSIVE ステートから NORMAL_ACTIVE ステートへ遷移する前の、クロック補正時間が有効な偶数／奇数サイクルペアの数を定義します。**SUCC1.PTA [4:0]** が 0 に設定されている場合、NORMAL_PASSIVE から NORMAL_ACTIVE ステートに遷移することはできません。

38.4.4.3 HALT コマンド

ホストがエラー状態を検出した場合、**SUCC1.CMD [3:0] = "0110"**(CHI コマンド HALT) を設定することで、HALT ステートに遷移することが可能です。

NORMAL_ACTIVE ステートあるいは NORMAL_PASSIVE ステートにて実行されるとき、POC は現在のサイクルの終わりにおいて HALT ステートへ遷移します。ほかのステートで実行されるとき、**SUCC1.CMD [3:0]** が "0000"= command_not_accepted になり、**EIR.CNA** が "1" に設定されます。割り込み有効なら割り込みが発生します。

38.4.4.4 FREEZE コマンド

ホストが深刻なエラー状態を検出した場合、**SUCC1.CMD [3:0] = "0111"**(CHI コマンド FREEZE) を設定することによって、HALT ステートに遷移することが可能です。このコマンドは、現在の POC ステートにかかわらず、HALT ステートへの状態遷移を引き起こします。

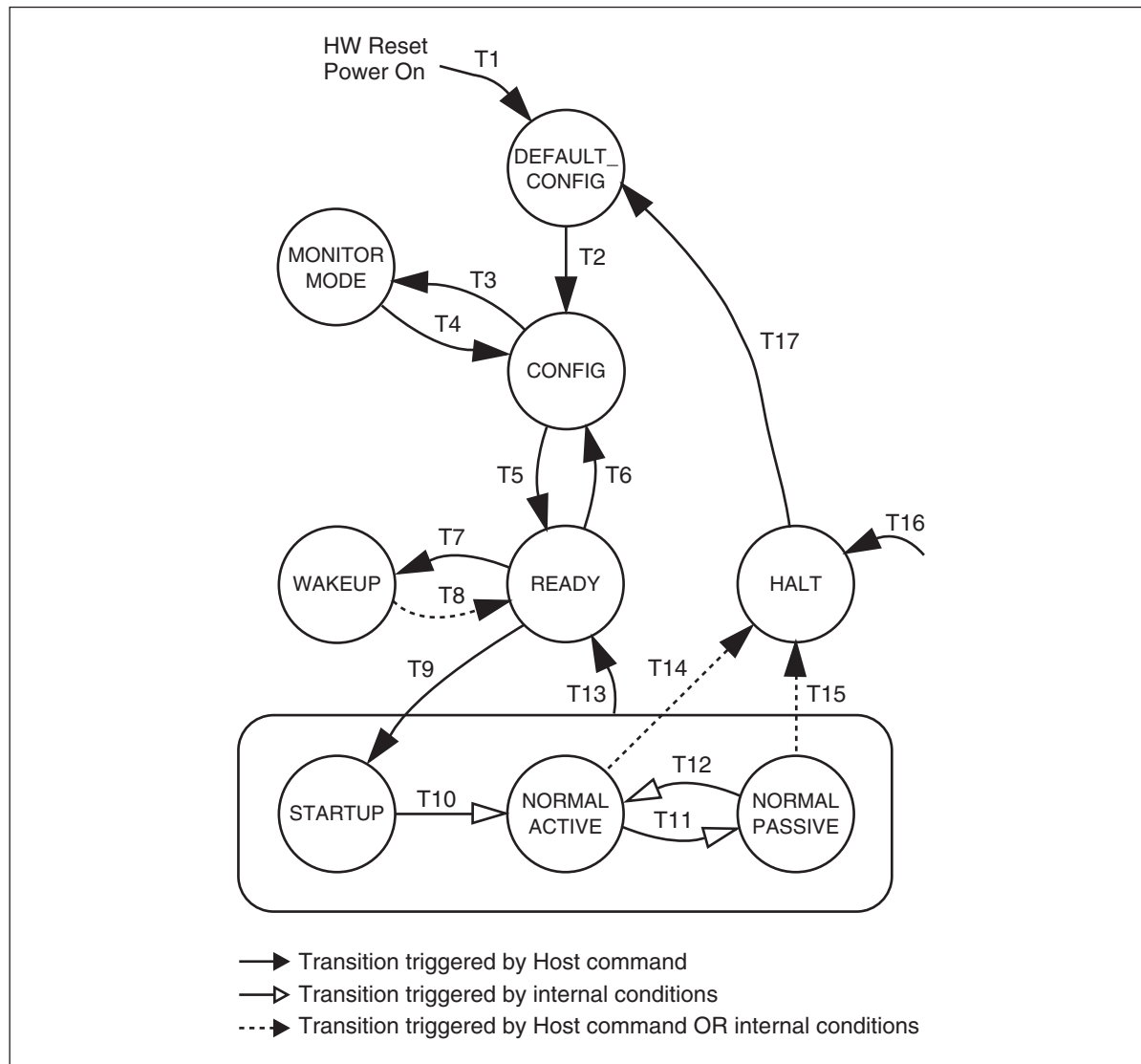
HALT ステート状態への遷移は **CCSV.PSL [5:0]** から読むことができます。

(注意事項) SUCC1.HCSE がセットされていないなら、HALT 状態への遷移はされません。

38.4.5 通信コントローラステート

38.4.5.1 通信コントローラステートのダイアグラム

図 38.4-4 通信コントローラ (CC) のステートダイアグラム全図



状態遷移は、ホストによるソフトウェアリセット、外部端子 /RXDA/RXDB, POC ステートマシーン、および CHI コマンドベクタ **SUCC1.CMD [3:0]** によって制御されます。

SUCC1.CMD [3:0] = 0111 (CHI コマンド FREEZE) を設定した場合、すべてのステートから HALT ステートに遷移します。

表 38.4-1 FlexRay コントローラのステート遷移表

Tn	状態	From	To
1	・ ハードリセット	All States	DEFAULT_CONFIG
2	・ コンフィグコマンド SUCC1.CMD [3:0] = 0001 (CHI コマンド CONFIG) の設定	DEFAULT_CONFIG	CONFIG
3	・ アンロックシーケンス (モニタモードコマンドによる) SUCC1.CMD [3:0] = 1011 (CHI コマンド MONITOR_MODE) の設定	CONFIG	MONITOR_MODE
4	・ コンフィグコマンド SUCC1.CMD [3:0] = 0001 (CHI コマンド CONFIG) の設定	MONITOR_MODE	CONFIG
5	・ アンロックシーケンス (レディコマンドによる) SUCC1.CMD [3:0] = 0010 (CHI コマンド READY) の設定	CONFIG	READY
6	・ コンフィグコマンド SUCC1.CMD [3:0] = 0001 (CHI コマンド CONFIG) の設定	READY	CONFIG
7	・ ウェイクアップコマンド SUCC1.CMD [3:0] = 0011 (CHI コマンド WAKEUP) の設定	READY	WAKEUP
8	・ 正常なウェイクアップパターン送信 ・ WUP の受信 ・ フレームヘッダの受信 ・ ウェイクアップコリジョンの発生 ・ レディコマンド SUCC1.CMD [3:0] = 0010 (CHI コマンド READY) の設定	WAKEUP	READY
9	・ ランコマンド SUCC1.CMD [3:0] = 0100 (CHI コマンド RUN) の設定	READY	STARTUP
10	・ スタートアップの成功	STARTUP	NORMAL_ACTIVE
11	・ クロック補正フェイルカウンタが SUCC3.WCP [3:0] の設定値に達した	NORMAL_ACTIVE	NORMAL_PASSIVE
12	・ クロック補正時間の有効なサイクルペア数が UCC1.PTA [4:0] の設定値に達した	NORMAL_PASSIVE	NORMAL_ACTIVE
13	・ レディコマンド SUCC1.CMD [3:0] = 0010 (CHI コマンド READY) の設定	STARTUP, NORMAL_ACTIVE, NORMAL_PASSIVE	READY
14	・ クロック補正フェイルカウンタが SUCC3.WCF [3:0] の設定値に達し, SUCC1.HCSE が "1" に設定された ・ ホルトコマンド SUCC1.CMD [3:0] = 0110 (コマンド HALT) の設定	NORMAL_ACTIVE	HALT
15	・ クロック補正フェイルカウンタが SUCC3.WCF [3:0] の設定値に達し, SUCC1.HCSE が "1" に設定された ・ ホルトコマンド SUCC1.CMD [3:0] = 0110 (コマンド HALT) の設定	NORMAL_PASSIVE	HALT
16	・ フリーズコマンド SUCC1.CMD [3:0] = 0111 (CHI コマンド FREEZE) の設定	All States	HALT
17	・ コンフィグコマンド SUCC1.CMD [3:0] = 0001 (CHI コマンド CONFIG) の設定	HALT	DEFAULT_CONFIG

38.4.5.2 DEFAULT_CONFIG ステート

DEFAULT_CONFIG ステートでは、FlexRay コントローラは停止します。すべての設定レジスタはアクセス可能であり、端子 RXDA/RXDB/TXDA/TXDB/TXEN はインアクティブです。

次の場合、このステートに状態遷移します。

- ハードリセットを実施したとき
- HALT ステートから遷移するとき

DEFAULT_CONFIG ステートから CONFIG ステートに遷移するには、**SUCC1.CMD= 0001** の書込みを行います。

38.4.5.3 CONFIG ステート

CONFIG ステートで FlexRay コントローラは停止します。すべての設定レジスタはアクセス可能であり、端子 RXDA/RXDB/TXDA/TXDB/TXEN はインアクティブです。このステートは、FlexRay コントローラ設定を初期化するために使用されます。

下記の場合に、このステートに状態遷移します。

- DEFAULT_CONFIG ステートから遷移したとき
- MONITOR_MODE ステートもしくは READY ステートから遷移したとき

HALT ステートと DEFAULT_CONFIG ステート経由でこのステートに状態遷移した場合、ステータス情報と設定を解析できます。CONFIG ステートから遷移する前に、設定漏れがないことを確認してください。

CONFIG ステートから遷移するために、「38.3.2.1 ロックレジスタ : LCK (Lock Register)」で記述されているアンロックシーケンスを実行しなければなりません。CONFIG ステートのアンロックの後、次のステートに遷移するために **SUCC1.CMD** に書込みを行わなければなりません。

(注意事項) メッセージバッファステータスレジスタ (**MHDS**, **TXRQ1/2/3/4**, **NDAT1/2/3/4**, **MBSC1/2/3/4**) とメッセージ RAM に格納されているステータスデータは、CONFIG ステートから READY ステートへの遷移によって影響を受けません。

38.4.5.4 MONITOR_MODE

CONFIG ステートのアンロックと **SUCC1.CMD= "1011"** 書込みの後、MONITOR_MODE に遷移します。このモードで FlexRay フレームとウェイクアップパターンの受信が可能となります。受信したフレームの時間の完全性はチェックされません。一時的な受信フレームの整合はチェックされません。したがって、サイクルカウンタフィルタリングはサポートされません。このモードは、例えば FlexRay ネットワークのスタートアップが失敗する場合に備えたデバッグ目的のために使用できます。**SUCC1.CMD = "0001"** 書込みの後、CONFIG ステートへ遷移します。

MONITOR_MODE では最初の動作は無効になります。これは、1 つのチャンネル上で受け取るために単に受信メッセージバッファが形成されるかもしれないことを意味します。受信フレームは、フレーム ID のメッセージバッファへ格納され、チャンネルを受信します。無効フレームはデータフレームのように扱われます。フレーム受信のみの後に、状態ビット **MBS.VFRA**, **MBS.VFRB**, **MBS.MLST**, **MBS.RCIS**, **MBS.SFIS**, **MBS.SYNS**, **MBS.NFIS**, **MBS.PPIS**, **MBS.RESS** は有効な値になります。MONITOR_MODE では、受信 FIFO は利用できません。

MONITOR_MODE では、CAS と MTS シンボルを見分けることができません。これらのシンボルの 1 つがチャンネル上に検出された場合、**SIR.MTSA** か、**SIR.MTSB** がセットされます。**SIR.CAS** は MONITOR_MODE では機能しません。

38.4.5.5 READY ステート

CONFIG ステートのロック解除と **SUCC1.CMD** = "0010" 書込みの後, **READY** ステートへ遷移します。このステートから **WAKEUP** ステートに遷移してクラスタウェイクアップ, あるいはこのステートから **STARTUP** へ遷移してコールドスタート, またあるいはこのステートから実行中のクラスタの中への統合がそれぞれ可能です。

SUCC1.CMD = "0010" (CHI コマンド **READY**) の書込みを行ったとき, 次に示す各ステートから **READY** ステートに状態遷移します。

- **CONFIG** ステート
- **WAKEUP** ステート
- **STARTUP** ステート
- **NORMAL_ACTIVE** ステート
- **NORMAL_PASSIVE** ステート

下記の書込みを行ったとき, **READY** ステートからそれぞれのステートに遷移します。

- **SUCC1.CMD** = 0001 (CHI コマンド **CONFIG**) の書込みを行うことによって **CONFIG** ステートへ
- **SUCC1.CMD** = 0011 (CHI コマンド **WAKEUP**) の書込みを行うことによって **WAKEUP** ステートへ
- **SUCC1.CMD** = 0100 (CHI コマンド **RUN**) の書込みを行うことによって **STARTUP** ステートへ

(注意事項) ステータスビット (**MHDS [14:0]**), レジスタ (**TXRQ1/2/3/4**), メッセージ RAM のステータスは, レディからスタートアップステートまで **POC** の変化に影響されません。

38.4.5.6 WAKEUP ステート

下記に, FlexRay コントローラ用にウェイクアップの設定について説明します。

次の条件で, **READY** ステートから **WAKEUP** ステートに遷移します。

- **SUCC1.CMD [3:0]** = 0011 (CHI コマンド **WAKEUP**) の書込みを行ったとき

次の条件で, **WAKEUP** ステートから **READY** ステートに遷移します。

- 正常なウェイクアップパターンの送信が完了した後
- **WUP** を受信した後
- **WUP** のコリジョン検出後
- フレームヘッダの受信の後
- **SUCC1.CMD [3:0]** = 0010 (CHI コマンド **READY**) の書込みを行ったとき

クラスタのウェイクアップを行うために, ウェイクアップはコミュニケーションスタートアップの前に実行する必要があります。バスドライバは, チャンネル上のウェイクアップパターンを受信すると, そのノードの他コンポーネントをウェイクアップさせます。クラスタ中で少なくとも1つのノードが, ウェイクアップパターンを発生します。

ホストは、ウェイクアップ手続きのすべてを制御します。まず、バスドライバと FlexRay コントローラからクラスタの状態を参照し、FlexRay コントローラ（さらに、利用可能であればバスガーディアン）を設定し、クラスタのウェイクアップを行います。この FlexRay コントローラの設定によって、利用可能なそれぞれのチャンネルに対し、別々に特別なウェイクアップパターンを送信することが可能です。FlexRay コントローラは、ウェイクアップステートの間だけ、ウェイクアップパターンを認識する必要があります。

ウェイクアップは、1 回につき 1 つのチャンネルにしか行えません。CONFIG ステートの間、**SUCC1.WUCS** を書き込むことで、ウェイクアップチャンネルを設定する必要があります。このチャンネル上で、実行中の通信に影響を及ぼさないことは保証できますが、スタートアップフェーズからの正常動作を全ノードについて確認することはできないので、ウェイクアップチャンネルに接続した全ノードがウェイクアップパターンの送信によってウェイクアップされたかどうかを保証することはできません。また、2 チャンネルシステムにおいては、1 つのチャンネルにしかウェイクアップパターンを送信することができません。システムスタートアップが必要なコールドスタートノードは、コミュニケーションスタートアップをはじめる前に、残りのチャンネルをウェイクアップさせます。

このウェイクアップ手続きでは、シングルチャンネルに接続するノードが同時にウェイクアップパターンを送信しても、1 つのノードがウェイクアップパターンを送信するような状態になります。さらに、ウェイクアップパターンは、信号の衝突から立ち直るのが早いため、2 つのノードが同時にウェイクアップパターンを送信することによってその衝突が生じたとしても、ほかのノードをウェイクアップさせることができます。

ウェイクアップの後、FlexRay コントローラは READY ステートに遷移し、フラグ **SIR.WST** を "1" に設定することによって、ウェイクアップステータス変化を通知します。ウェイクアップステータスベクタは、**CCSV.WSV [2:0]** から読み出すことができます。有効なウェイクアップパターンを受信した場合、**SIR.WUPA**、**SIR.WUPB** のいずれかのフラグが "1" に設定されます。

図 38.4-5 WAKEUP ステートの POC 構成

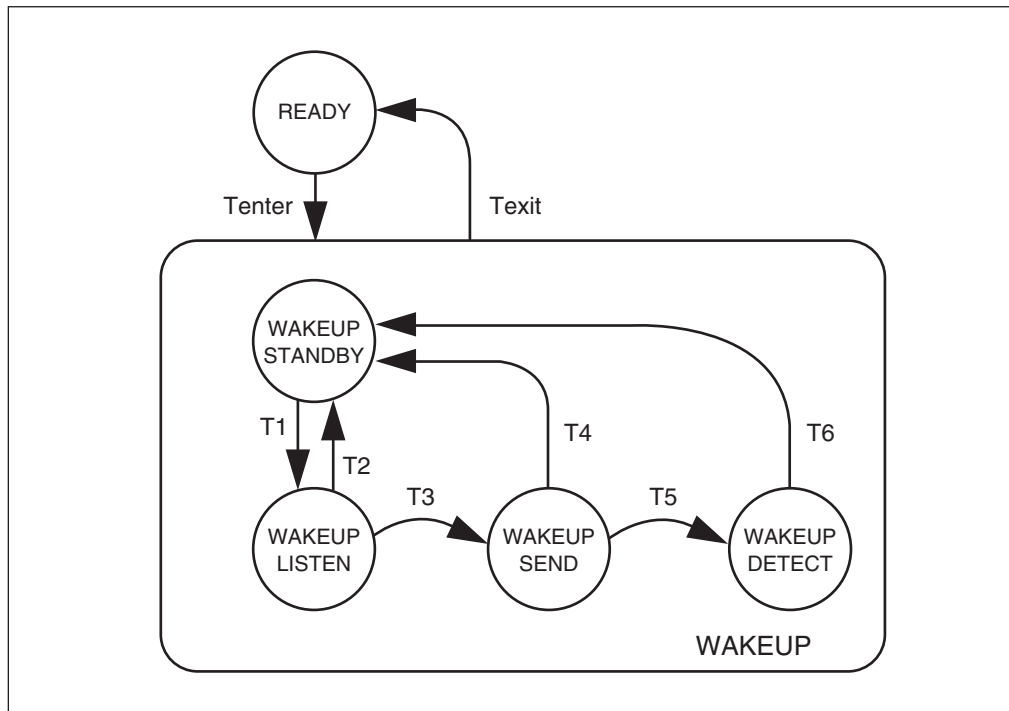


表 38.4-2 WAKEUP ステート遷移

Tn	状態	From	To
Enter	<ul style="list-style-type: none"> ウェイクアップコマンド SUCC1.CMD [3:0] = 0011 (CHI コマンド WAKEUP) の設定 	READY	WAKEUP
1	<ul style="list-style-type: none"> ウェイクアップコマンド SUCC1.CMD [3:0] = 0011 (CHI コマンド WAKEUP) の設定 	WAKEUP_STANDBY	WAKEUP_LISTEN
2	<ul style="list-style-type: none"> SUCC1.WUCS によって選択されたウェイクアップ チャンネルで WUP 受信した 有効なチャンネルのどちらかでフレームヘッダを受信 した 	WAKEUP_LISTEN	WAKEUP_STANDBY
3	<ul style="list-style-type: none"> タイマイイベントが発生した 	WAKEUP_LISTEN	WAKEUP_SEND
4	<ul style="list-style-type: none"> 正常にウェイクアップパターンの送信が完了した 	WAKEUP_SEND	WAKEUP_STANDBY
5	<ul style="list-style-type: none"> コリジョンが検出された 	WAKEUP_SEND	WAKEUP_DETECT
6	<ul style="list-style-type: none"> ウェイクアップタイマがタイムアウトした SUCC1.WUCS によって選択されたウェイクアップ チャンネルで WUP を受信した 有効なチャンネルのどちらかでフレームヘッダを受信 した 	WAKEUP_DETECT	WAKEUP_STANDBY
Exit	<ul style="list-style-type: none"> ウェイクアップが完了した (T2,T4,T6 後) レディコマンド SUCC1.CMD [3:0] = 0010 (CHI コマンド READY) の 設定 (この CHI コマンドは , 同時に WAKEUP_STANDBY ス テートへリセットする) 	WAKEUP	READY

WAKEUP_LISTEN ステートは、ウェイクアップタイマとウェイクアップノイズタイマによって制御され、その 2 つのタイマは、パラメータであるリスンタイムアウト値 **SUCC2.LT [20:0]** とリスンタイムアウトノイズ値 **SUCC2.LTN [3:0]** によって制御されます。リスンタイムアウトは、ノイズのない環境下で早いクラスタウェイクアップが有効であり、一方リスンタイムアウトノイズは、ノイズ干渉の多い環境下でのウェイクアップが有効です。

WAKEUP_SEND ステートでは、設定されたチャンネル上にウェイクアップパターンを送信し、その衝突をチェックします。WAKEUP ステートから READY ステートに遷移した後、**CMD [3:0] = 0100** (CHI コマンド RUN) によって STARTUP ステートへ遷移させなければなりません。

WAKEUP_DETECT ステートでは、WAKEUP_SEND ステートで検出されたウェイクアップコリジョンの原因識別が可能です。その識別は、**SUCC2.LT [20:0]** によって設定されたリスンタイムアウトを超過したときに中止されます。ほかのノードによるウェイクアップパターンの検出、もしくはフレームヘッダの受信のどちらかによって、直接 READY ステートへ遷移します。そうでなければ、リスンタイムアウトを超過した後に、WAKEUP_DETECT ステートから遷移することになります。この場合は、ウェイクアップコリジョンの原因は不明です。

ホストは、ウェイクアップ中に起こり得る障害を意識し、それに対しての対処をしなければなりません。ウェイクアップを起こさせるノードのスタートアップは、もう 1 つのコールドスタートノードがウェイクアップし初期設定されるのにかかる最小時間まで、延期することを推奨します。

FlexRay プロトコル仕様書 V2.1 では、2 つの異なる FlexRay コントローラを使用して、2 つのチャンネルをウェイクアップさせることを推奨しています。

• ホストの動作

ホストは、2 つのチャンネルのウェイクアップを調整し、特定のチャンネルをウェイクアップさせるか決定しなければなりません。ウェイクアップパターンの送信は、ホストによって開始されます。対向側のバスドライバはウェイクアップパターンを検出し、ローカルホストにそれを通知します。

下記のウェイクアップ手順は、ホストによって制御されます (1 チャンネルのウェイクアップ手順)。

- CONFIG ステートで FlexRay コントローラを設定する
 - ビット **SUCC1.WUCS** の設定によるウェイクアップチャンネルを選択する。
- WUP が受信されたかどうかの、バスドライバをチェックする。
- 選択されたウェイクアップチャンネルのバスドライバを起動する。
- READY ステートに遷移するために、**SUCC1.CMD [3:0] = 0010** の書込みを行う。
- **SUCC1.CMD [3:0] = 0011** の書込みを行うことによって、設定されたチャンネルのウェイクアップを開始する。
 - FlexRay コントローラは WAKEUP ステートへ遷移する。
 - ウェイクアップ完了後、FlexRay コントローラは READY ステートへの遷移、およびウェイクアップステータス (**CCSV.POCS [5:0]**) の表示を行う
- ほかのノードがウェイクアップし設定できるような、前もって定めた時間分ウェイトする。
- コールドスタートノードの場合は、下記の手順を行う
 - 2 チャンネルのクラスタ構成では、ほかのチャンネルが WUP になるのを待つ
 - SUCC1.CMD [3:0] = 1001** (CHI コマンド ALLOW_COLDSTART) の書込みを行うことで、コールドスタート禁止フラグ **CCSV.CSI** をリセットする。

- **SUCC1.CMD [3:0] = 0100** (CHI コマンド RUN) の書込みを行うことによって, STARTUP ステートに遷移する

下記のウェイクアップ手順は, バスドライバによって引き起こされます。

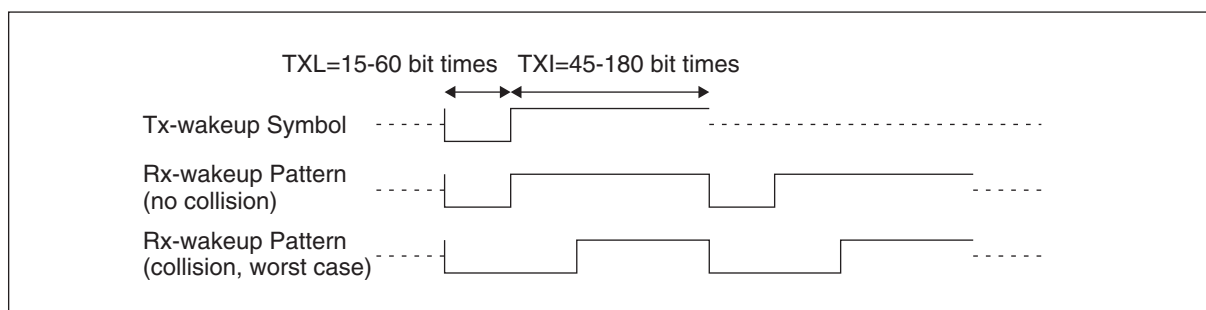
- ウェイクアップがバスドライバによって識別される。
- バスドライバがホストへウェイクアップイベントを通知する。
- ホストが, FlexRay コントローラを設定する。
- 必要なら, ホストは下記のことを行う。
 - 2 番目のチャネルのウェイクアップコマンド
 - ほかのノードが自らをウェイクアップし設定できるような, 前もって定めたウェイト
- **SUCC1.CMD [3:0] = 0100** (CHI コマンド RUN) の書込みを行うことによって, STARTUP ステートへ遷移する。

• ウェイクアップパターン (WUP: Wakeup pattern)

ウェイクアップパターン (WUP) は, 少なくとも 2 つのウェイクアップシンボル (WUS) で作成されます。ウェイクアップシンボルとウェイクアップパターンは, **PRTC1** レジスタおよび **PRTC2** レジスタによって設定されます。

- シングルチャネルウェイクアップ, ウェイクアップシンボルは同時間において両チャネルに送信することができない。
- 少なくとも 2 つのウェイクアップパターンを送信するノードがある環境で, ウェイクアップシンボルは信号の衝突から立ち直るのが早い。
(2 つのオーバーラップしているウェイクアップシンボルはいつでも識別可能)
- ウェイクアップシンボルは, クラスタのすべてのノードで同じでなければならない。
- ウェイクアップシンボルの Low 時間は, **PRTC2.TXL [5:0]** によって設定される
- バス上の活動をリスンするために使用されるウェイクアップシンボルアイドルタイムは, **PRTC2.TXI [7:0]** によって設定される。
- ウェイクアップパターンは, ウェイクアップに必要な少なくとも 2 つの送信ウェイクアップシンボルで構成される
- 反復回数 (2 から 63 の反復) は, **PRTC1.RWP [5:0]** によって設定可能である。
- ウェイクアップシンボル受信ウィンドウ長は, **PRTC1.RXW [8:0]** によって設定される。
- ウェイクアップ受信 Low 時間は, **PRTC2.RXL [5:0]** によって設定される。
- ウェイクアップ受信アイドルフェーズ時間は, **PRTC2.RXI [5:0]** によって設定される。

図 38.4-6 ウェイクアップパターンのタイミング



38.4.5.7 STARTUP ステート

コールドスタートされるノードは、最初に、接続されている両チャンネルがウェイクアップされていることを STARTUP ステートにて確認するべきです。

すべてのノードとスターがウェイクアップと設定を終了するのに必要な時間を、想定することはできません。少なくとも 2 つのノードがクラスタコミュニケーションのスタートアップのために必要なので、ウェイクアップを生じさせるノードのスタートアップは、もう 1 つのコールドスタートノードのウェイクアップ・初期設定・スタートアップするのにかかる最小時間まで、延期することを推奨します。

すべてのノードとスターが完全にウェイクアップ・設定完了されるその遅延時間は、目安として約数百ミリ秒必要となります(ただし、使用するハードウェアに依存します)。

スタートアップは、同時にすべてのチャンネル上で行われます。スタートアップの間、ノードはスタートアップフレームのみを送信します。

障害に耐性のある分散スタートアップの手順が、全ノードの初期同期化のためにあらかじめ用意されています。一般に、ノードは下記に示される手順(図 38.4-7 参照)を通じて、NORMAL_ACTIVE ステートに遷移します。

- スケジュール同期化を始めるコールドスタート手順(リーディングコールドスタートノード)
- ほかのコールドスタートノードに参加するコールドスタート手順(フォローイングコールドスタートノード)
- 既存コミュニケーションスケジュールに統合するインテグレーション手順(すべてのほかのノード)

コールドスタートの試行は、コリジョン回避シンボル(CAS)の送信で開始されます。CAS を送信したコールドスタートノードのみが、CAS の後に最初の 4 サイクルでフレーム送信します。その後、ほかのコールドスタートノードが参加し、次にその他すべてのノードがクラスタに参加します。

コールドスタートノードは、SUCC1.TXST と SUCC1.TXSY に "1" を設定することによって、キースロットに同期フレームを送信します。メッセージバッファ 0 は、スタートアップフレームが送信されるスロット番号を定義するキースロット ID を持ちます。スタートアップフレームのフレームヘッダにおいて、スタートアップフレームインジケータが "1" に設定されます。

スタートアップフレームが送信された後、メッセージバッファ 0 の送信要求フラグ TXRQ1.TXR0 は、"0" にリセットされます。メッセージバッファ 0 からデータフレームを送信したいのなら、NORMAL_ACTIVE ステートへ遷移した後で、IBCR レジスタ経由で TXRQ1.TXR0 へ "1" を設定しなければなりません。設定しない場合、メッセージバッファ 0 に格納されたフレーム ID に対応したスロットの中に、ヌルフレームが送信されます。

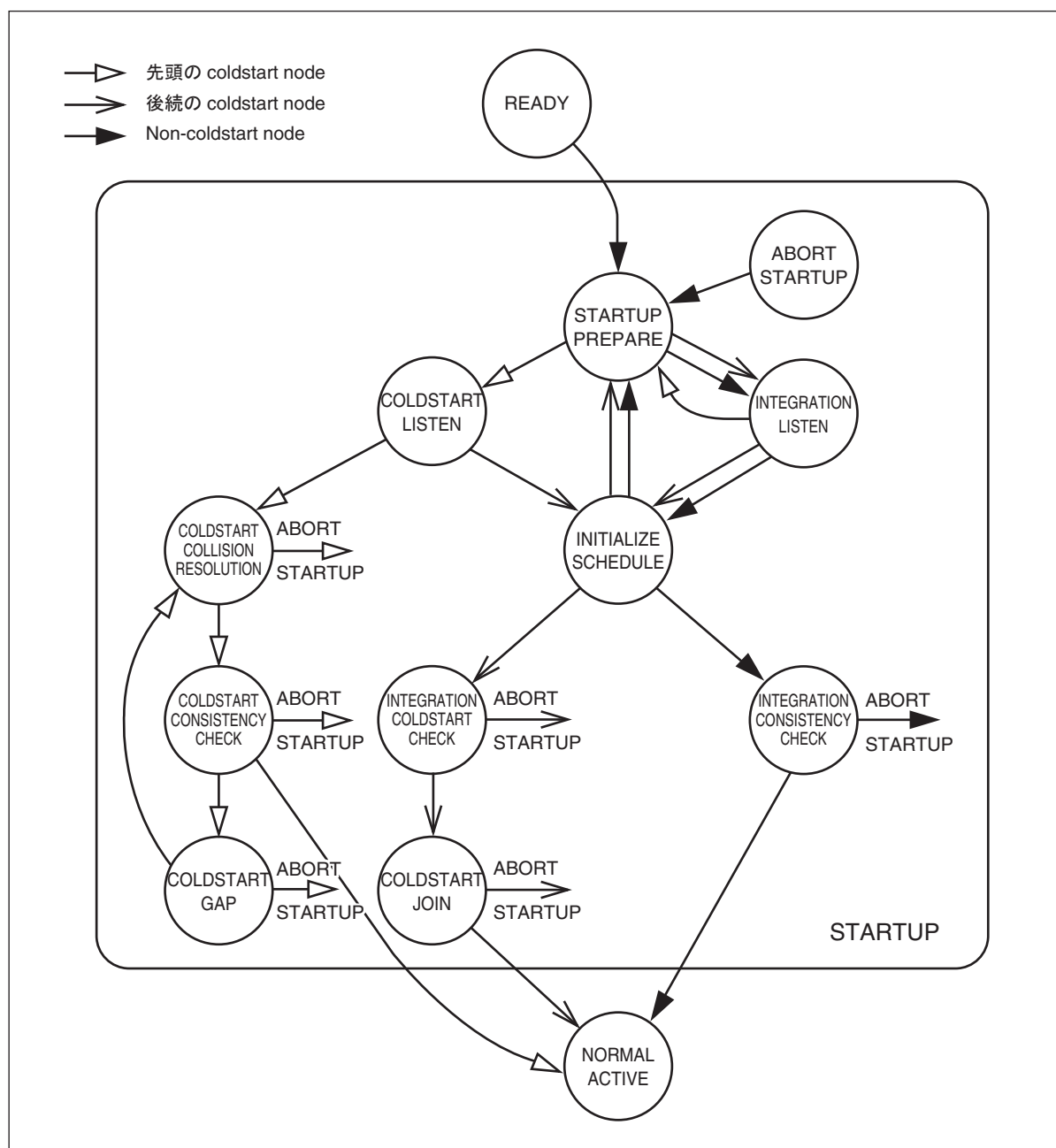
3 つ以上で構成されるクラスタで、少なくとも 3 つのノードがコールドスタートノードであるように設定されなければなりません。2 つのノードで構成されるクラスタで、両ノードはコールドスタートノードでなければなりません。少なくとも 2 つの障害のないコールドスタートノードは、クラスタのスタートアップに必要です。

各スタートアップフレームも、同期フレームでなければなりません。そのため、すべてのコールドスタートノードは同期ノードでもあります。コールドスタートの試行回数は、SUCC1.CSA [4:0] によって設定されます。

非コールドスタートノードがクラスタに統合するためには、別のノードから少なくとも 2 つのスタートアップフレームを必要とします。コールドスタートノードがスタートアップを終える前に、非コールドスタートノードが統合を始めるかもしれませんが、少なくとも 2 つのコールドスタートノードがスタートアップを終えるまで、非コールドスタートノードはスタートアップを終了することはありません。

非コールドスタートノードとコールドスタートノードの両方が、TDMA(時分割多重アクセス)スケジュール情報を得てから同期フレームを受信すると、すぐにインテグレーション手順を通じて受動的な統合を開始します。その統合の間、ノードはグローバルクロック(レートとオフセット)へ自身のクロックを適合させ、自身のサイクルタイムをネットワークのグローバルサイクルと整合します。その後、これらの設定は、すべての利用可能なネットワークノードで一貫性を持つためにチェックされます。ノードは、これらのチェックをパスしたときのみ能動的にコミュニケーションに参加できます。

図 38.4-7 タイムトリガスタートアップのステートダイアグラム



- コールドスタート禁止モード

コールドスタート禁止モード (CCSV.CSI= 1) においては、ノードはクラスタコミュニケーションを初期化することができません。それは、コールドスタート手順によってスタートアップを開始することが禁止されることを意味します。そのようなノードは、実行中のクラスタに統合するか、あるいはほかのコールドスタートノードがクラスタコミュニケーションの初期化を始めた後、スタートアップフレームを送信することが可能です。

コールドスタート禁止ビット CCSV.CSI は、POC が READY ステートの間に設定可能です。このビットは、**SUCC1.CMD [3:0] = 1001** (CHI コマンド ALLOW_COLDSTART) によって、クリアしてください。

• スタートアップタイムアウト

FlexRay コントローラは、2つのタイムアウト値 (スタートアップタイムアウトとスタートアップノイズタイムアウト) をサポートする 2 つの異なる μT タイマを提供します。この 2 つのタイマは、COLDSTART_LISTEN ステートに遷移するときに開始します。この 2 つのうちいずれかのタイマが終了すると、ノードはコミュニケーションを開始するために、他ノード検出フェーズを終了 (COLDSTART_LISTEN ステートから別のステートに遷移) します。

(注意事項) スタートアップタイムとスタートアップノイズタイムは、それぞれウェイクアップタイムとウェイクアップノイズタイムと同一であり、**SUCC2.LT [20:0]** と **SUCC2.LTN [3:0]** が使用されます。

スタートアップタイムアウト

スタートアップタイムアウトは、既にほかノード間でコミュニケーションが成立しているかどうか、もしくは少なくとも 1 つのコールドスタートノードが他ノードの統合を要求しているかどうかを決定するために、ノードで使用されるリスンタイムを制限します。スタートアップタイムは、**SUCC2.LT [20:0]** (pdListenTimeout) にて設定されます。

スタートアップタイムは $\text{pdListenTimeout} = \text{SUCC2.LT [20:0]}$

スタートアップタイムは、下記によって再起動されます。

- COLDSTART_LISTEN ステートへの遷移
- COLDSTART_LISTEN ステートでの、両チャネルのアイドルステートへの到達

スタートアップタイムは下記によって停止します。

- COLDSTART_LISTEN ステートにいる間に、設定されたチャネルのうち 1 つのチャネルでコミュニケーションが検出された場合
- COLDSTART_LISTEN ステートから別のステートに遷移するとき

いったんスタートアップタイムが制限時間を過ぎた場合、タイマのオーバフローも周期的なリスタートも発生しません。タイマ状態は、今後の処理のために保持されます。

スタートアップノイズタイムアウト

スタートアップタイムとスタートアップノイズタイムは、STARTUP_PREPARE ステートから COLDSTART_LISTEN ステートへ遷移したときに開始します。スタートアップノイズタイムアウトは、ノイズが発生している環境下でスタートアップ手順の信頼性を改善するために使用されます。スタートアップノイズタイムアウトは、**SUCC2.LTN [3:0]** によって決定されます。

スタートアップノイズタイムは

$$\text{pdListenTimeout} \cdot \text{gListenNoise} = \text{SUCC2.LT [20:0]} \cdot (\text{SUCC2.LTN [3:0]} + 1)$$

スタートアップノイズタイムアウトは、次のように計算されます。

$$\text{SUCC2.LT [20:0]} + (\text{SUCC2.LTN [3:0]} \times \text{SUCC2.LT [20:0]})$$

スタートアップノイズタイムは、下記の場合に再起動されます。

- COLDSTART_LISTEN ステートへの遷移
- COLDSTART_LISTEN ステートでの、正常にデコードされたヘッダもしくは CAS シンボルの受信

スタートアップノイズタイマは、COLDSTART_LISTEN ステートから別のステートに遷移するとき停止します。

いったんスタートアップタイマが制限時間を過ぎた場合、タイマのオーバフローも周期的なリスタートも発生しません。タイマ状態は、今後の処理のために保持されます。スタートアップノイズタイマは、任意のチャネルでコミュニケーションが検知されると再起動しません。つまりこのタイムアウトは、ノイズの発生している環境下においてもノードがコミュニケーションクラスタを開始可能なことを保証するために用意された、万一のための解決方法として定義されています。

• リーディングコールドスタートノードの起動過程 (コールドスタートを開始する)

コールドスタートノードが COLDSTART_LISTEN ステートにあるとき、そのノードは接続されているチャネルの状態を監視します。

コミュニケーションが検出されない場合、ノードは COLDSTART_COLLISION_RESOLUTION ステートに遷移し、コールドスタートを開始します。CAS シンボルの最初の送信が、最初の通常サイクルに行われます。このサイクルを、サイクル 0 とよびます。

サイクル 0 から、ノードはそのスタートアップフレームを送信します。各コールドスタートノードがコールドスタート可能となるまで、あるいくつかのノードが同時に CAS シンボルを送信しコールドスタート手順からスタートアップを開始することがあります。この状態は、CAS 送信後の最初の 4 サイクル間に解決されます。

コールドスタート開始するノードが、この 4 サイクルの間に CAS シンボルもしくはフレームヘッダを受信した場合、再び COLDSTART_LISTEN ステートに遷移します。その結果、クラスタ中の 1 ノードだけがこのコールドスタート手順を継続します。サイクル 4 では、ほかのコールドスタートノードが、自分のスタートアップフレームを送信し始めます。

COLDSTART_COLLISION_RESOLUTION ステートでの 4 サイクルの後に、コールドスタートを開始するノードは、COLDSTART_CONSISTENCY_CHECK ステートに遷移します。そのノードは、サイクル 4,5 からすべてのスタートアップフレームを集め、クロック補正を行います。クロック補正がエラーなく行われ、少なくとも 1 つの有効なスタートアップフレームのペアを受信した場合、COLDSTART_CONSISTENCY_CHECK から NORMAL_ACTIVE ステートに遷移します。

コールドスタート試行回数は、SUCC1.CSA [4:0] によって設定されます。コールドスタートの残存試行回数は、CCSV.RCA [4:0] から読み出すことが可能です。残存試行回数は、コールドスタート試行が行われるたびにデクリメントされます。残存試行回数が 1 より大きい場合、COLDSTART_LISTEN ステートに遷移することができ、残存試行回数が 0 より大きい場合、COLDSTART_COLLISION_RESOLUTION ステートに遷移できます。コールドスタート試行回数が 1 の場合、クラスタに統合することは可能ですが、コールドスタートは禁止されます。

• フォローイングコールドスタートノードの起動過程 (リーディングコールドスタートノードに反応する)

コールドスタートノードが COLDSTART_LISTEN ステートに遷移するとき、リーディングコールドスタートノードからサイクルスケジュールとクロック補正を得るために、スタートアップフレームの有効なペアを受信しようとします。

1 番目の有効なスタートアップフレームを受信するとすぐに、INITIALIZE_SCHEDULE ステートに遷移します。また、2 番目の有効なスタートアップフレームを受信し、サイクルスケジュールを得ることができた場合、INTEGRATION_COLDSTART_CHECK ステートに遷移します。

INTEGRATION_COLDSTART_CHECK ステートにおいては、クロック補正は正確に実行できることが保証され、また、リーディングコールドスタートノード(フォローイングコールドスタートノードは、このノードに合わせてスケジュールを初期化する)が利用可能であることも保証されています。フォローイングコールドスタートノードは、すべての同期フレームを集め、後続するサイクルペアにてクロック補正を実行します。クロック補正がエラーを示さない場合、かつそのノードが同じノードから十分なフレームを受信し続ける場合、COLDSTART_JOIN ステートに遷移します。

COLDSTART_JOIN ステートにおいて、フォローイングコールドスタートノードは、自分自身のスタートアップフレームを送信し始めて、次のサイクルでもそのフレームを送信し続けます。それによって、リーディングコールドスタートノードとそれに参加するノードは、それらのサイクルスケジュールがお互いに同期されているかどうかチェックすることが可能です。クロック補正によってエラーが検出された場合、参加するノードはクラスタ統合を中止します。このステートにあるノードが、偶数サイクル中に少なくとも 1 つの有効なスタートアップフレームを受信し、かつすべてのサイクルペア中に少なくとも 1 つの有効なスタートアップフレームのペアを受信した場合、そのノードは COLDSTART_JOIN ステートから NORMAL_ACTIVE ステートに遷移します。それゆえ、フォローイングコールドスタートノードは、リーディングコールドスタートノードよりも、少なくとも 1 サイクル遅れて STARTUP ステートから NORMAL_ACTIVE ステートに遷移します。

• 非コールドスタートノードの起動過程

非コールドスタートノードが INTEGRATION_LISTEN ステートにあるとき、そのノードは接続されているチャンネルの状態を監視します。

1 番目の有効なスタートアップフレームを受信するとすぐに、INITIALIZE_SCHEDULE ステートに遷移します。また、2 番目の有効なスタートアップフレームを受信し、サイクルスケジュールを得ることができた場合、INTEGRATION_CONSISTENCY_CHECK ステートに遷移します。

INTEGRATION_CONSISTENCY_CHECK ステートにおいて非コールドスタートノードは、クロック補正が正常に動いているか、十分な数のコールドスタートノード(少なくとも 2 つ)がサイクルスケジュールに対して同期が取れたスタートアップフレームを送信しているかを検証します。クロック補正は動作しており、そのときに何らかのエラーが検出された場合、統合は中止されます。

このステートにおける最初の偶数サイクルの間、2 つの有効なスタートアップフレームか、またはこの非コールドスタートノードが統合した別ノードからの有効なスタートアップフレームのいずれかが受信されなければいけません。そうでなければ、そのノードは統合を中止します。

このステートにおける最初のサイクルペアの間、2 つの有効なスタートアップフレームのペアか、またはこの非コールドスタートノードが統合した別ノードからの有効なスタートアップフレームのペアのいずれかが受信されなければいけません。そうでなければ、そのノードは統合を中止します。

最初のサイクルペアの後、2 つ以上の有効なスタートアップフレームが偶数サイクル以内に受信されなかった場合、または 2 つ以上の有効なスタートアップフレームのペアが 1 サイクルペア以内に受信されなかった場合、スタートアップは中止されます。

このステートにあるノードが、STARTUP ステートから NORMAL_ACTIVE ステートに遷移するためには、2 つのサイクルペアに対して、それぞれ 2 つの有効なスタートアップフレームのペアを受信する必要があります。その結果として、そのノードはコールドスタートを開始したノードの後の少なくとも 1 つのサイクルペア、かつ奇数サイクル番号を付された 1 サイクルの終了において、STARTUP ステートから NORMAL_ACTIVE ステートに遷移します。

38.4.5.8 NORMAL_ACTIVE ステート

最初の CAS シンボルを送信するノードと 1 つの追加のノードが, NORMAL_ACTIVE ステートに遷移するとすぐに, クラスタ全体のスタートアップフェーズが終了します。NORMAL_ACTIVE ステートで, すべての送信メッセージはその送信タイミングがスケジュールされます。これは, 同期フレームと同様, すべてのデータフレームを含みます。レートとオフセットの測定が, すべての偶数サイクル (偶数 / 奇数サイクルのペアが要求される) で開始されます。

FlexRay コントローラは, NORMAL_ACTIVE ステートで通常の通信機能をサポートします。

- 設定どおりに FlexRay バス上の送受信を行う。
- クロック同期化は動作中である。

FlexRay コントローラは, NORMAL_ACTIVE ステートから下記のステートに遷移します。

- **SUCC1.CMD [3:0] = 0110** (CHI コマンド HALT) の書込みを行うことによって, 現サイクルの終了後に HALT ステートへ
- **SUCC1.CMD [3:0] = 0111** (CHI コマンド FREEZE) の書込みを行うことによって, 即座に HALT ステートへ
- ACTIVE から COMM_HALT へエラーステートが変化したために, HALT ステートへ
- ACTIVE から PASSIVE へエラーステートが変化したために, NORMAL_PASSIVE ステートへ
- **SUCC1.CMD [3:0] = 0010** (CHI コマンド READY) の書込みを行うことによって, READY ステートへ

38.4.5.9 NORMAL_PASSIVE ステート

ACTIVE から PASSIVE にエラーステートが変化したとき, NORMAL_ACTIVE ステートから NORMAL_PASSIVE ステートに遷移します。

NORMAL_PASSIVE ステートで, ノードはすべてのフレームを受信可能です (ノードが完全に同期され, そしてクロック同期が実行できる)。ただし, NORMAL_ACTIVE ステートと比べて, ノードは能動的にコミュニケーションに参加しません。これは, シンボルとフレームのいずれも送信しないことを意味します。

NORMAL_PASSIVE ステートでは, 下記の動作が行われます。

- FlexRay バス上のフレームを受信する。
- FlexRay バス上にフレームもシンボルも送信しない。
- クロック同期化は動作中である。

FlexRay コントローラは, NORMAL_PASSIVE ステートから下記のステートに遷移します。

- **SUCC1.CMD [3:0] = 0110** (CHI コマンド HALT) の書込みを行うことによって, 現サイクルの終了後に HALT ステートへ
- **SUCC1.CMD [3:0] = 0111** (CHI コマンド FREEZE) の書込みを行うことによって, 即座に HALT ステートへ
- PASSIVE から COMM_HALT へエラーステートが変化したために, HALT ステートへ
- PASSIVE から ACTIVE へエラーステートが変化したために, NORMAL_ACTIVE へ (このエラーステート変化は, **CCEV.PTAC [4:0]** と **SUCC1.PTA [4:0] -1** が等しくなったとき発生する。)
- **SUCC1.CMD [3:0] = 0010** (CHI コマンド READY) の書込みを行うことによって, READY ステートへ

38.4.5.10 HALT ステート

このステートで、すべてのコミュニケーション（送受信）は停止します。

次の場合、FlexRay コントローラは HALT ステートに遷移します。

- **SUCC1.CMD [3:0] = 0110** (CHI コマンド HALT) の書込みを行ったとき、NORMAL_ACTIVE もしくは NORMAL_PASSIVE ステートから遷移
- **SUCC1.CMD [3:0] = 0111** (CHI コマンド FREEZE) の書込みを行ったとき、すべてのステートから遷移
- クロック補正フェタルカウンタがHALT遷移クロック補正損失最大時間**WCF [3:0]**に達したとき、NORMAL_ACTIVE ステートから遷移。**SUCC1.HCSE** を "1" に設定
- クロック補正フェタルカウンタがHALT遷移クロック補正損失最大時間**WCF [3:0]**に達したとき、NORMAL_PASSIVE ステートから遷移。**SUCC1.HCSE** を "1" に設定

次の場合、FlexRay コントローラはこのステートから DEFAULT_CONFIG ステートへ遷移します。

- **SUCC1.CMD [3:0] = 0001** (CHI コマンド CONFIG) の書込みを行ったとき

SUCC1.CMD [3:0] = 0110 (CHI コマンド HALT) の書込みを行うとき、ビット **CCSV.HRQ** を "1" に設定し、そして次のサイクルが終了した後に HALT ステートに遷移します。

SUCC1.CMD [3:0] = 0111 (CHI コマンド FREEZE) の書込みを行うとき、すぐに HALT ステートに遷移し、ビット **CCSV.FSI** が "1" に設定されます。

HALT ステートへの遷移が発生した状態は **CCSV.PSL [5:0]** から読むことができます。

38.4.6 ネットワークマネジメント

発生したネットワークマネジメント (NM) ベクタは、レジスタ **NMV1…3** から読み出すことができます。FlexRay コントローラは、ペイロードプリアンブルインジケータ (PPI) がセットされたすべての受信有効 NM フレーム中の全 NM ベクタ上で、ビット OR 演算を実行します。NM フレームとして設定できるのは、スタティックフレームだけです。また、NM ベクタはそれぞれのサイクルの終了後に更新されます。

NM ベクタの長さは、**NEMC.NML [3:0]** によって 0 から 12 バイトに設定できます。NM ベクタ長は、クラスタのすべてのノードで同一に設定しなければなりません。

PPI ビットがセットされたフレームの送信バッファ設定のために、各送信バッファのヘッダセクションの **PPIT** ビットは、**WRHS1.PPIT** を通じて設定されなければなりません。さらに、それぞれの送信バッファのデータセクションに NM 情報の書込みを行わなければなりません。

NM ベクタを評価する仕組みは、アプリケーションにて実装してください。

- (注意事項) メッセージバッファが、ネットワーク管理フレームの送信 / 受信のために設定された場合、そのメッセージバッファのヘッダ 2 の中で設定されたペイロード長は等しいか、あるいは **NEMC.NML [3:0]** に設定された NM ベクトル長より大きくなければなりません。HALT 状態を通過するとき、サイクルカウントは増加しません、したがって、NM ベクタをアップデートしません。この場合、**NMV1…3** は以前のサイクルからの値を保持します。

38.4.7 フィルタリングとマスキング

現在のスロット、サイクルカウンタ値、チャンネル ID(チャンネル A, B) とメッセージバッファの設定の比較によって、フィルタリングが行われます。それらの比較による情報一致が発生した場合、メッセージバッファについて更新/送信が行われます。

フィルタリングは下記で行われます。

- スロットカウンタ
- サイクルカウンタ
- チャンネル ID

送受信時のフィルタリング用に下記のフィルタの組合せが可能です。

- スロットカウンタ+チャンネル ID
- スロットカウンタ+チャンネル ID + サイクルカウンタ

メッセージバッファに受信メッセージを格納するためには、すべての設定されたフィルタは受信メッセージの情報と一致しなければなりません。

(注意事項) FIFO 用アクセプタンスフィルタは、FIFO リジェクションフィルタと FIFO リジェクションフィルタマスクによって設定されます。

メッセージは、設定されたチャンネルに、設定されたフレーム ID に対応しているタイムスロットに送信されます。サイクルカウンタフィルタリングが有効の場合、設定されたサイクルフィルタ値も一致しなければなりません。

38.4.7.1 スロットカウンタフィルタリング

すべての送受信バッファは、ヘッダセクション中にフレーム ID を含んでいます。フレーム ID は、送受信バッファに対応するスロットに割り当てるために、現在のスロットカウンタ値と比較されます。

2 つ以上のバッファが同じフレーム ID かつ同じチャンネル ID に設定されている場合、かつそのバッファが同じスロットに対して一致するサイクルカウンタフィルタ値を持っている場合、最も低いバッファ番号のメッセージバッファが使われます。

38.4.7.2 サイクルカウンタフィルタリング

サイクルカウンタフィルタリングは、サイクルセットの概念に基づいています。フィルタリングのために、サイクルセットの要素の 1 つが一致した場合、フィルタとの一致が検出されます。サイクルセットは、各メッセージバッファのヘッダセクション 1 でのサイクルコードフィールドによって定義されます。

メッセージバッファ 0 が、**SUCC1.TXST**, **SUCC1.TXSY**, **SUCC1.TSM** の各ビットの設定によって、スタートアップ/同期フレーム、もしくはシングルスロットフレームを格納するように設定されている場合、メッセージバッファ 0 のサイクルカウンタフィルタリングを無効にしてください。

(注意事項) FlexRay ネットワークの異なったノードの間のサイクルカウンタフィルタリングによってのスタティックタイムスロットの共有が許されていません。

サイクルセットに属しているサイクル数の設定は、表 38.4-3 で記述されているとおりです。

表 38.4-3 サイクルセットの定義

サイクルコード	サイクルカウンタ値との一致		
0b000000x	all Cycles		
0b000001c	every second Cycle	at (Cycle Count)mod2	= c
0b00001cc	every fourth Cycle	at (Cycle Count)mod4	= cc
0b0001ccc	every eighth Cycle	at (Cycle Count)mod8	= ccc
0b001cccc	every sixteenth Cycle	at (Cycle Count)mod16	= cccc
0b01ccccc	every thirty-second Cycle	at (Cycle Count)mod32	= cccccc
0b1cccccc	every sixty-fourth Cycle	at (Cycle Count)mod64	= ccccccc

下記の表 38.4-4 は、サイクルカウンタフィルタリングのために使用される有効なサイクルセットのいくつかの例を示しています。

表 38.4-4 有効なサイクルセットの例

サイクルコード	サイクルカウンタ値との一致
0b0000011	1-3-5-7-....-63↓
0b0000100	0-4-8-12-....-60↓
0b0001110	6-14-22-30-....-62↓
0b0011000	8-24-40-56↓
0b0100011	3-35↓
0b1001001	9↓

受信されたメッセージは、メッセージを受信しているサイクル間のサイクルカウンタ値が、受信バッファのサイクルセットの要素に一致している場合のみ、格納されます。ほかのフィルタ基準も同じく満たされなければなりません。

送信バッファの内容は、サイクル設定の要素と現在のサイクルカウンタ値が一致したとき、設定したチャンネルに送信されます。ほかのフィルタ基準も同じく満たされなければなりません。

38.4.7.3 チャンネル ID フィルタリング

メッセージ RAM 中の各メッセージバッファのヘッダセクション中に、2 ビットチャンネルフィルタリングフィールド (CHA, CHB) があります。それは、受信バッファのためのフィルタとして、そして送信バッファのための制御フィールドとしての役割を果たします。(下記表 38.4-5 を参照)。

表 38.4-5 チャンネルフィルタリング設定

CHA	CHB	送信バッファ (送信フレーム)	受信バッファ (受信フレームを保存)
1	1	on both channels (static segment only)	received on channel A or B (store first semantically valid frame, static segment only)
1	0	on channel A	received on channel A
0	1	on channel B	received on channel B
0	0	no transmission	ignore frame

スロットカウンタフィルタリングとサイクルカウンタフィルタリング基準を満たしたとき、送信

バッファの内容は、チャンネルフィルタリングフィールドで指定されたチャンネルに送信されます。ただし、両チャンネルに送信するように設定アップ (**CHA** と **CHB** を設定) されることが許されるのは、スタティックセグメントにおいてのみです。

スロットカウンタフィルタリングとサイクルカウンタフィルタリング基準を満たしたとき、有効受信フレームは、それらがチャンネルフィルタリングフィールドで指定されたチャンネルで受信されたときに、格納されます。ただし、両チャンネルでフレーム受信するように設定アップ (**CHA** と **CHB** を設定) されることが許されるのは、スタティックセグメントにおいてのみです。

(注意事項) メッセージバッファがダイナミックセグメントに設定され、そして両方のチャンネルフィルタリングフィールドのビット (**CHA**, **CHB**) が "1" に設定された場合、フレームは送信されず、受信フレームは無視されます。(CHA = CHB = 0 の機能と同じ)

38.4.7.4 FIFO フィルタリング

FIFO フィルタリングのために、1 つのリジェクトフィルタと 1 つのリジェクトフィルタマスクが用意されています。リジェクトフィルタは、チャンネルフィルタ **FRF.CH [1:0]**、フレーム ID フィルタ **FRF.FID [10:0]**、サイクルカウンタフィルタ **FRF.CYF [6:0]** から構成されます。FRF レジスタ、FRFM レジスタは、DEFAULT_CONFIG ステートまたは CONFIG ステートのみで設定できます。FIFO のグループに属しているメッセージバッファのヘッダセクションのフィルタ設定は、無視されます。

7 ビットサイクルカウンタフィルタ **FRF.CYF [6:0]** はサイクルセットを指定し、フレーム ID フィルタとチャンネルフィルタが適用されるコミュニケーションサイクルを決定します。このレジスタにより指定されたサイクルセットによって、フレーム ID フィルタとチャンネルフィルタが適用されないサイクルの間、すべてのフレームは受信されません。

設定されたリジェクションフィルタとリジェクションフィルタマスクによるフィルタリングによって、チャンネル ID、フレーム ID、サイクルカウンタがリジェクトされない場合、なおかつ専用の受信バッファに一致しない場合、有効な受信フレームは FIFO に格納されます。

38.4.8 送信手順

38.4.8.1 スタティックセグメント

スタティックセグメントについて、送信が保留されているいくつかのメッセージがある場合、次の送信スロットに対応するフレーム ID を持っているメッセージが次の送信メッセージとして選択されます。

スタティックセグメントに割り当てられた送信バッファのデータセクションは、前のタイムスロットの終了までに更新できます。これは、このタイムスロットの最後にインプットバッファコマンドリクエストレジスタに書き込むことで、インプットバッファからのメッセージ転送が開始されなければならないことを意味します。

38.4.8.2 ダイナミックセグメント

ダイナミックセグメントについて、送信が保留されているいくつかのメッセージがある場合、そのうち優先度の高い(フレーム ID が最も小さい)メッセージが、次に送信メッセージとして選択されます。また、ダイナミックセグメントにおいては、チャンネル A とチャンネル B で異なったスロットカウンタ列が発生することがあります(両方のチャンネルで違ったフレーム ID で同時送信する場合)。

ダイナミックセグメントに割り当てられた送信バッファのデータセクションは、前のスロットの終了までに更新できます。これは、このタイムスロットの最後にインプットバッファコマンドリクエストレジスタに書き込むことで、インプットバッファからのメッセージ転送が開始されなければならないことを意味します。

送信終了ミニスロット値 **MHDC.SLT [12:0]** は、現サイクルのダイナミックセグメントにおいて、フレームの送信を禁止する前の、送信可能な最大ミニスロット値を定義します。

38.4.8.3 送信バッファ

メッセージバッファは、各メッセージバッファのヘッダセクションの **CFG** ビットを、**WRHS1** を通じて "1" に設定することによって、送信バッファとして使用できます。

送信バッファを FlexRay コントローラのチャンネルに割り当てるには、以下の方法があります。

- スタティックセグメント: チャンネル A もしくはチャンネル B, チャンネル A とチャンネル B
- ダイナミックセグメント: チャンネル A もしくはチャンネル B

メッセージバッファ 0 は、**SUCC1.TXST**, **SUCC1.TXSY**, **SUCC1.TSM** によって設定されるように、スタートアップフレーム、同期フレームを格納する専用バッファ、あるいは指定シングルスロットフレーム専用バッファとして使用されます。この場合、メッセージバッファ 0 は **DEFAULT_CONFIG** ステートまたは **CONFIG** ステートのみで再設定できます。これは、どんなノードでもコミュニケーションサイクルごとに大抵 1 つのスタートアップフレーム / 同期フレームを送信することを保証します。ほかのメッセージバッファからのスタートアップフレーム / 同期フレームの送信は不可能です。

スタティックセグメントもしくはダイナミックセグメント送信用に設定されたバッファ 0 以外の全メッセージバッファは、**MRC.SEC [1:0]** の設定により実行中に再設定可能です。(38.4.11.1 メッセージバッファ再設定を参照)。ただし、メッセージ RAM 中のデータパーティションは、ヘッダパーティション中のデータポイントによって参照されているため、メッセージバッファのヘッダセクション中のペイロード長とデータポイントを再設定したときに、誤ったメッセージバッファの構成をする恐れがあります。

メッセージバッファが実行中に再設定された場合 (ヘッダセクションが更新された場合), このメッセージバッファは各コミュニケーションサイクルにて送信されない場合があります。

FlexRay コントローラは, ヘッダ CRC を計算する機能を持たないので, すべての送信バッファに対してヘッダ CRC を提供しなければなりません。ネットワークマネジメントが必要とされる場合, ホストは各メッセージバッファのヘッダセクション中の **PPIT** ビットを "1" に設定して, メッセージバッファのデータセクションにネットワークマネジメント情報の書込みを行わなければなりません (38.4.6 ネットワークマネジメントを参照)。

ペイロード長フィールドには, 2 バイト単位のペイロード長が格納されます。設定されているスタティック送信バッファのペイロード長が **MHDC.SFDL [6:0]** の設定より短い場合, スタティックフレームのペイロード長を保証するためにパディングバイトが挿入されます。パディングバイトは, "0" で示されます。

(注意事項) 奇数ペイロード長 (PLC=1, 3, 5, ...) の場合には, メッセージバッファの最後に 16 ビットのゼロを書かなければなりません。

各送信バッファは, 送信モードフラグ **TXM** によって送信モードを設定できます。このビットが "1" に設定されている場合, 送信メッセージはシングルショットモードで送信されます。このビットが "0" に設定されているなら, 送信メッセージはコンティニュアスモードで送信されます。

シングルショットモードでは, 各メッセージバッファの **TXR** フラグは送信終了後に "0" にクリアされます。そのとき初めて, 送信バッファを次に送信するメッセージで上書きすることが可能です。

コンティニュアスモードでは, 各メッセージバッファの **TXR** フラグは送信終了後に "0" にクリアされません。この場合, フィルタ基準が一致するごとに, フレームが送信されます。**IBCM.STXRH** ビットが "0" に設定される間, **IBCR** レジスタにそれぞれのメッセージバッファ番号を書き込むことで, **TXR** フラグを "0" にクリアすることが可能です。

2 つ以上の送信バッファがフィルタ基準を満たす場合は, 最も低いバッファ番号の送信バッファが, 各スロット中の送信に使われます。

38.4.8.4 フレーム送信

送信用のメッセージバッファを用意するために, 下記の手順が必要です。

- **WRHS1, WRHS2, WRHS3** を通じてメッセージ RAM 中の送信バッファを設定する
- **WRDSn** を通じて, 送信バッファのデータセクションにデータの書込みを行う
- **IBCR** レジスタにターゲットバッファ番号を書き込むことで, インプットバッファからメッセージ RAM への設定とメッセージデータの転送を行う
- **IBCM** レジスタをメッセージ送信するように設定した場合, それぞれのメッセージバッファの送信要求フラグ **TXR** は, インプットバッファからの転送が完了するとすぐに "1" に設定され, メッセージバッファは送信待ちとなる。
- **TRXQ1/2/3/4** レジスタ中の, それぞれの **TXR** ビット (**TXR=0**) をチェックすることによって, メッセージバッファが送信完了したかどうかを確認できる (ただし, シングルショットモードのみ)。

送信完了後, **TXRQ1/2/3/4** のそれぞれの **TXR** フラグは "0" にクリアされます (シングルショットモード)。そして, そのメッセージバッファのヘッダセクションのビット **MBI** が "1" に設定されている場合, **SIR.TXI** が "1" に設定されます。割込み有効なら割込みが発生します。

38.4.8.5 ヌルフレーム送信

スタティックセグメントで送信時間前に送信要求フラグが "1" に設定されず, さらにほかの送信バッファでフィルタ基準に一致するものがない場合, FlexRay コントローラはヌルフレームインジケータが "0", ペイロードデータが "0" にクリアされたヌルフレームを送信します。

下記の場合, ヌルフレームが送信されます。

- フィルタ基準に一致し, 最も低いバッファ番号のメッセージバッファについて, その送信要求フラグがセットされていない (**TXR = 0**) 場合
- 全送信バッファが, 現在のサイクルに一致しないサイクルカウンタフィルタを持っている場合。この場合, メッセージバッファステータス **MBS** は更新されない。

ヌルフレームは, ダイナミックセグメントでは送信されません。

38.4.9 受信手順

38.4.9.1 受信バッファ

メッセージバッファは、各メッセージバッファのヘッダセクションの **CFG** ビットを、**WRHS1** を通じて "0" に設定することによって、専用の受信バッファとして使用できます。

受信バッファを FlexRay コントローラのチャンネルに割り当てるには、以下の方法があります。

- スタティックセグメント:チャンネル A もしくはチャンネル B
チャンネル A とチャンネル B
- ダイナミックセグメント:チャンネル A もしくはチャンネル B

FlexRay コントローラは受信バッファに対して、フィルタ基準に一致したフレームの全要素 (フレーム CRC を除く) を格納します。

スタティックセグメントまたはダイナミックセグメント用に設定された全受信メッセージバッファは、**MRC.SEC [1:0]** の設定によって、実行中に再設定が可能です (38.4.11.1 メッセージバッファ再設定を参照)。ただし、実行中にメッセージバッファのヘッダセクションが再設定された場合、各コミュニケーションサイクルの受信メッセージがロストされる恐れがあります。

2 つ以上のバッファがフィルタ基準に一致した場合、最下位メッセージバッファ番号を持つ受信バッファが受信メッセージによって更新されます。

38.4.9.2 フレーム受信

受信用のメッセージバッファを準備するために、下記の手順が必要です。

- **WRHS1**, **WRHS2**, **WRHS3** を通じて、メッセージ RAM 中の受信バッファを設定する。
- **IBCR** レジスタにターゲットメッセージバッファ番号の書き込みを行うことによって、インプットバッファからメッセージ RAM へ設定を転送する。

このステップが実行されると、メッセージバッファはアクティブな受信バッファとして機能し、メッセージが受信されるたびにアクセプタンスフィルタリング処理が行われます。最初にフィルタ基準に一致した受信バッファは、受信メッセージによって更新されます。

有効なペイロードセグメントがメッセージバッファのデータセクションに格納されたならば、**NDAT1/2/3/4** レジスタ中の各 **ND** フラグが "1" に設定されます。また、そのメッセージバッファのヘッダセクション中の **MBI** ビットが "1" に設定されている場合、**SIR.RXI** フラグが "1" に設定されます。割込み有効なら割込みが発生します。

メッセージバッファを更新するときに、**ND** ビットが既に "1" に設定されている場合は、受信メッセージバッファの **MBS.MLST** がセットされ、未処理のメッセージデータが失われます。

スロット中にフレームがない場合、あるいはヌルフレーム、破壊フレームのいずれかがスロットで受信された場合、このスロット用に設定されたメッセージバッファのデータセクションは更新されません。この場合、各メッセージバッファステータスフラグだけが、更新されます。

メッセージバッファのヘッダセクション中のステータスフラグが更新されたとき、**MBSC1/2/3/4** レジスタの各 **MBS** フラグが "1" に設定されます。そのメッセージバッファのヘッダセクションのビット **MBI** が "1" に設定されている場合、**SIR.MBSI** フラグは "1" に設定されます。割込み有効なら割込みが発生します。

受信フレームのペイロード長 **PLR [6:0]** が、各メッセージバッファのヘッダセクションの **PLC [6:0]** で設定された値より長いなら、メッセージバッファに格納されたデータフィールドはその長さになるように切り捨てられます。

アウトプットバッファ (OBF) とメッセージ RAM 間のデータ転送はセクション 38.4.11.2 「• メッセージ RAM からアウトプットバッファへのデータ転送」で詳細に説明されます。

(注意事項) **ND** と **MBS** フラグは、受信されたメッセージのペイロードデータとヘッダがそれぞれアウトプットバッファに転送されるとき、"0" にクリアされます。

38.4.9.3 Null フレーム受信

受信した Null フレームのペイロードセグメントは、受信バッファに反映されません。Null フレームが受信された場合、受信バッファのヘッダセクションは受信 Null フレームによって更新されます。受信したメッセージバッファのヘッダセクションの Null フレームインジケータ **NFI** は、"0" にクリアされます。

メッセージバッファのヘッダセクション中のステータスフラグが更新されたとき、**MBSC1/2/3/4** レジスタ中の各 **MBS** フラグが "1" に設定されます。そのメッセージバッファのヘッダセクションのビット **MBI** が "1" に設定されている場合、**SIR.MBSI** フラグは "1" に設定されます。割込み有効なら割込みが発生します。

38.4.10 FIFO 機能

38.4.10.1 詳細

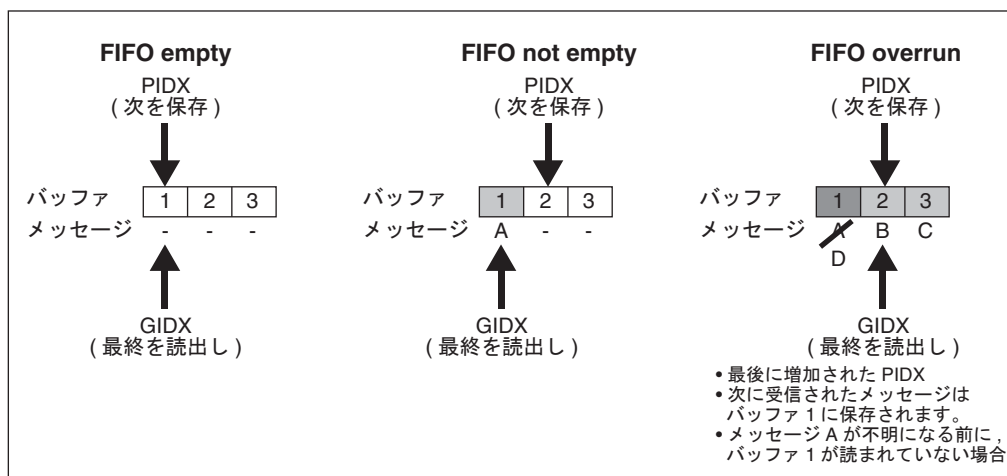
メッセージバッファの 1 グループが、FIFO バッファとして設定できます。FIFO メッセージグループに属しているメッセージバッファは、レジスタマップ中で隣接しており、**MRC.FFB [7:0]** によって参照されたメッセージバッファで開始し、**MRC.LCB [7:0]** によって参照されたメッセージバッファで終了します。最大 127 のメッセージバッファを FIFO に割り当てることが可能です。

専用受信バッファのフィルタ条件に一致せず、設定された FIFO フィルタ条件に一致するすべての有効な受信メッセージが、FIFO に格納されます。この場合、指定された FIFO メッセージバッファ中のフレーム ID、ペイロード長、受信サイクルカウント、ステータスビットが、受信フレームによって上書きされます。またビット **SIR.RFNE** は FIFO がエンプティでないことを示し、ビット **SIR.RFF** は受信 FIFO がフルになるときに "1" に設定され、**EIR.RFO** ビットは FIFO オーバーランが検出されたことを示します。割込み有効なら割込みが発生します。

FIFO は、それ自身と結び付けられた 2 つのインデックスレジスタ、PUT Index(PIDX) レジスタと GET Index(GIDX) レジスタを持っています。PIDX レジスタは、FIFO 中で次のメッセージが格納される場所を示します。新しいメッセージが受信されたとき、そのメッセージは PIDX レジスタによって指定されたメッセージバッファに書き込まれます。そのとき、PIDX レジスタ値はインクリメントされ、次のメッセージが格納されるメッセージバッファを示します。PIDX レジスタ値が FIFO 中の最も高いメッセージバッファ番号を超えて増加する場合、PIDX レジスタには FIFO 中で最も低いメッセージバッファ番号の値になります。GIDX レジスタは、読出される FIFO 中の次のメッセージバッファを指定するために使用されます。FIFO メッセージグループに属しているメッセージバッファの内容をアウトプットバッファへ転送した後、GIDX レジスタ値はインクリメントされます。PIDX レジスタと GIDX レジスタに対し、アクセスすることはできません。

PIDX レジスタ値が GIDX レジスタ値に達したとき、FIFO はフルになります。FIFO 中で最も古いメッセージが読出される前に次のメッセージが書き込まれたとき、PIDX レジスタ値と GIDX レジスタ値は両方ともインクリメントされ、新しいメッセージが FIFO 中の最も古いメッセージを上書きします。これによって、EIR.RFO フラグが "1" に設定されます。

図 38.4-8 FIFO ステータス：エンプティ、非エンプティ、オーバーラン



PIDX レジスタ値と GIDX レジスタ値が異なるとき ,FIFO 非エンプティ状態が検出され ,フラグ **SIR.RFNE** が "1" に設定されます。これは ,FIFO 中に少なくとも 1 つの受信したメッセージが存在することを示します。図 38.4-8 では ,FIFO 中に 3 つのメッセージバッファを持つ場合の FIFO エンプティ ,FIFO 非エンプティ ,FIFO オーバランの 3 つの状態について説明しています。

FIFO リジェクションフィルタ (FRF) は ,メッセージをリジェクトするためのフィルタパターンを定義します。そのフィルタは ,チャンネルフィルタ ,フレーム ID, サイクルカウンタフィルタから構成されています。**FRF.RSS** ビットが "1" に設定されているなら ,スタティックセグメントで受信されるすべてのメッセージが ,その FIFO フィルタによってリジェクトされます。**FRF.RNF** ビットが "1" に設定されているなら ,受信したヌルフレームは FIFO に格納されません。

FIFO リジェクションフィルタマスク (FRFM) は ,FIFO リジェクションフィルタレジスタのフレーム ID フィルタ中で ,リジェクトフィルタリングにおいてどのビットを使用しないかを指定します。

38.4.10.2 FIFO の設定

FIFO に属しているすべてのメッセージバッファについて ,ペイロード長 **PLC [6:0]** は ,**WRHS2** を通じて同じ値に設定してください。また ,メッセージ RAM 中の各メッセージバッファについて ,データセクションの先頭 32 ビットワードへのデータポインタは ,**WRHS3** を通じて設定してください。

アクセプタンスフィルタに要求されるすべての情報は ,FIFO リジェクションフィルタと FIFO リジェクションフィルタマスクにて設定されるので ,FIFO に属している各メッセージバッファのヘッダセクションでは ,そのフィルタ条件は設定する必要はありません。

(注意事項) RX 割込みの発生を避けるために **WRHS1.MBI** を "0" にし ,FIFO としてメッセージバッファに MBI ビットをプログラムすることを推奨します。
受信フレームのペイロード長が各メッセージバッファのヘッダセクションでの **PLC [6:0]** の設定値より大きいなら ,FIFO のメッセージバッファに格納されるデータフィールドは ,**PLC [6:0]** の長さに切り捨てられます。

38.4.10.3 FIFO へのアクセス

FIFO から読み出すためには ,FIFO の最初のメッセージバッファ番号 (**MRC.FFB [7:0]** によって参照される) を **OBCR** レジスタに対して書き込むことにより ,メッセージ RAM からアウトプットバッファへ転送してください。そのことにより ,GIDX レジスタによって指定されたメッセージバッファは ,アウトプットバッファに転送されます。この転送の後 ,GIDX レジスタ値はインクリメントされます。

38.4.11 メッセージハンドリング

メッセージハンドラは、インプット／アウトプットバッファとメッセージRAM間、そしてメッセージRAMと2つの一時記憶バッファRAM間のデータ転送を制御します。内部RAMへのすべてのアクセスは、32 + 1 ビット単位で行われます。追加ビットはパリティチェックのために使用されます。

メッセージRAMに格納されるメッセージバッファへのアクセスは、メッセージハンドラステートマシンの制御下で行われます。これは、2つのFlexRayチャンネルプロトコルコントローラとメッセージRAMへのホスト間のアクセスの衝突を回避する役割を果たします。

スタティックセグメントに割り当てられるメッセージバッファのフレームIDは、1からGTUC7.NSS [9:0] までの範囲にある必要があります。ダイナミックセグメントに割り当てられるメッセージバッファのフレームIDは、GTUC7.NSS [9:0] +1 から 2047 までの範囲にある必要があります。

専用受信バッファ（スタティックセグメントまたはダイナミックセグメント）のフィルタ条件に一致しない受信メッセージは、そのメッセージがFIFOリジェクションフィルタのフィルタ条件に一致した場合に、（設定されているなら）受信FIFOに格納されます。

38.4.11.1 メッセージバッファ再設定

アプリケーションが128個より多くのメッセージバッファを必要とする場合、スタティックメッセージバッファおよびダイナミックメッセージバッファは、FlexRayコントローラの動作中に再設定される場合があります。これは、インプットバッファレジスタWRHS1...3を通じて、それぞれのメッセージバッファのヘッダセクションを更新することで実行されます。

再設定は、メッセージRAM設定レジスタ中のMRC.SEC [1:0]のコントロールビットを通じて有効としなければなりません。

再設定が始まる以前に、メッセージバッファが受信フレームにより更新されなかった場合、あるいはメッセージバッファの送信メッセージが送信されなかった場合、そのメッセージは失われます。

再設定されたメッセージバッファについて、フレームIDの再設定によって送受信する準備ができるタイミングは、ヘッダセクションの更新が終わったときの現行のスロットカウンタのステートに依存します。そのため、再設定されたメッセージバッファは、その再設定がなされるサイクルによっては、メッセージバッファが受信フレームにより更新されなかったり、あるいはメッセージバッファの送信メッセージが送信されなかったりする場合があります。

メッセージRAMスキャンは完了しなくともNITのスタートで終了する。2から15スロットのメッセージRAMスキャンは実サイクルのスロット1の初めからスタートする。スロット1のメッセージRAMスキャンは、次のサイクルのスロット1用に設定されたメッセージバッファがあっても、メッセージRAMの各スキャンと平行してチェックすることにより、サイクルに以前に行われます。

最初のダイナミックメッセージバッファの番号はMRC.FDB [7:0]で設定されます。CCがダイナミックセグメントにある間、メッセージRAMスキャンがスタートした場合、スキャンはMRC.FDB [7:0]に設定されたメッセージバッファ番号で始まります。

メッセージバッファを次のサイクルのスロット1で使用するために再設定する場合、次のようにしなければなりません。

- スロット 1 用に再設定されるメッセージバッファが「スタティックバッファ」の場合、実サイクルのスタティックセグメントで最後のメッセージ RAM スキャンがこのメッセージバッファを評価する前に再設定します。
- スロット 1 用に再設定されるメッセージバッファが「スタティック + ダイナミックバッファ」の場合、実サイクルの最後のメッセージ RAM スキャンがこのメッセージバッファを評価する前に再設定します。
- NIT のスタートはメッセージ RAM スキャンを終了します。メッセージ RAM スキャンがこのときまで再設定されたメッセージバッファを評価していなかった場合、メッセージバッファは次のサイクルの間考慮されません。

(注意事項) メッセージバッファの再設定は、メッセージ損失に繋がる可能性があるため、十分に注意して行わなければなりません。連続サイクルでの再設定を行った場合、メッセージバッファが受信フレームにより全く更新されなかったり、あるいはメッセージバッファの送信メッセージが全く送信されなかったりする場合があります。

38.4.11.2 メッセージ RAM へのホストアクセス

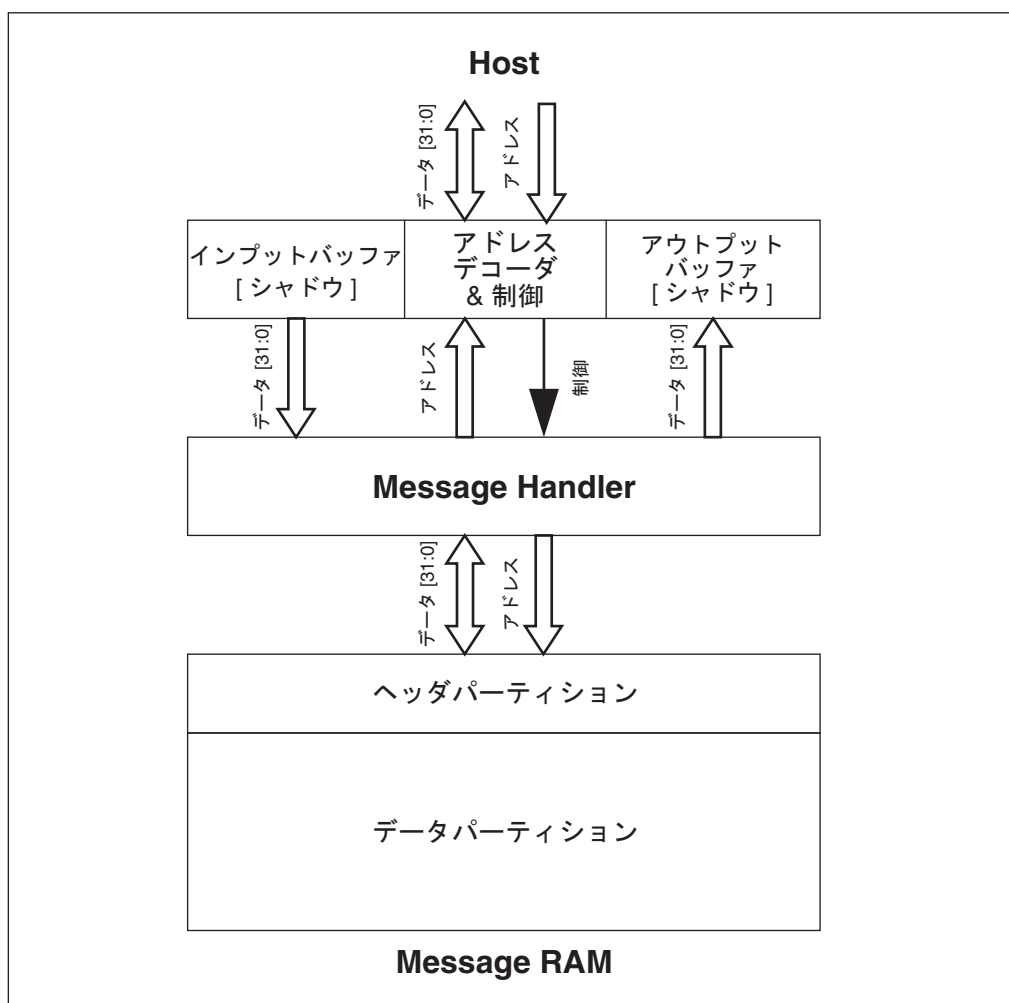
インプットバッファとメッセージ RAM 間、メッセージ RAM とアウトプットバッファ間のメッセージ転送は、それぞれ転送対象となるメッセージバッファの番号を **IBCR** レジスタ、**OBCR** レジスタに書き込むことで開始されます。

IBCM レジスタ、および **OBCM** レジスタは、選択されたメッセージバッファのヘッダセクションとデータセクションを読出し／書込みするために別々に使用できます。

IBCM.STXRH ビットに "1" を設定した場合、**IBCM.STXRS** ビットが "1" に設定され、選択されたメッセージバッファが更新された後、メッセージバッファの送信要求フラグ **TXR** は自動的に "1" に設定されます。**IBCM.STXRH** ビットに "0" を設定した場合、**IBCM.STXRS** ビットが "0" にクリアされ、選択されたメッセージバッファの送信要求フラグ **TXR** は "0" にクリアされます。このクリア動作は、コンティニュアスモードで稼働しているメッセージバッファから送信をストップするために使用できます。

インプットバッファ (IBF) とアウトプットバッファ (OBF) は、ダブルバッファで構成されています。このダブルバッファ構成のうちの IBF ホスト / OBF ホストは、ホストからアクセス可能であり、もう一方の IBF シャドウ / OBF シャドウは、IBF/OBF とメッセージ RAM 間のデータ転送のためにメッセージハンドラからアクセスされます。

図 38.4-9 メッセージ RAM へのホストアクセス

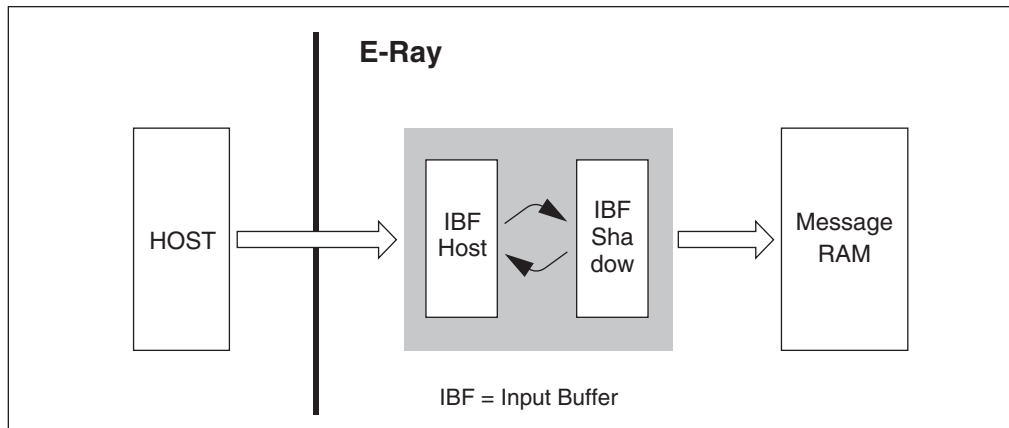


• インプットバッファからメッセージ RAM へのデータ転送

メッセージ RAM のメッセージバッファを設定／更新するために、データを **WRDS_n** に、さらにヘッダを **WRHS1…3** に書き込みを行わなければなりません。**IBCM** を設定することによって、特定の動作が選択されます。

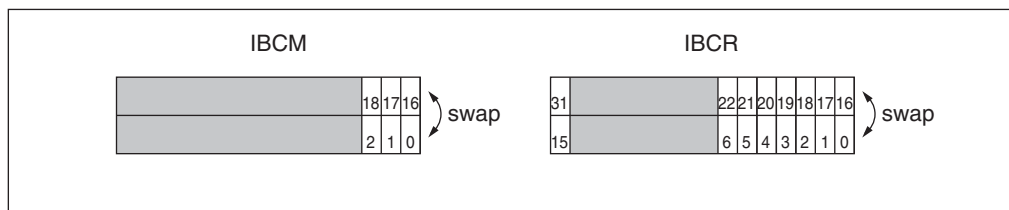
IBCR.IBRH [6:0] へのメッセージ RAM のターゲットメッセージバッファ番号の書き込みが行われることにより、IBF ホストと IBF シャドウが入れ替わります。(図 38.4-10 参照)

図 38.4-10 インพุットバッファの 2 重バッファ構造



さらに、**IBCM** レジスタと **IBCR** レジスタでのビットについても、IBF の各セクションに対する関連付けを保つために、交換されます。(図 38.4-11 参照)

図 38.4-11 IBCM レジスタと IBCR レジスタのビット交換



この書き込み動作によって、**IBCR.IBSYS** は "1" に設定されます。メッセージハンドラは、**IBCR.IBRS [6:0]** によって選択されたメッセージ RAM 中のメッセージバッファに、IBF シャドウの内容を送信し始めます。

IBF シャドウからメッセージ RAM 中のターゲットメッセージバッファヘデータを転送している間に、IBF ホストへ次のメッセージの書き込みが可能です。IBF シャドウとメッセージ RAM 間の転送が完了した後にビット **IBCR.IBSYS** は "0" にクリアされた後、**IBCR.IBRH [6:0]** に次のターゲットメッセージバッファ番号の書き込みを行うことで、メッセージ RAM への次の転送が開始されます。

IBCR.IBRH [6:0] への書き込みが **IBCR.IBSYS** = "1" の間に発生した場合、**IBCR.IBSYH** は "1" に設定されます。IBF シャドウからメッセージ RAM へのデータ転送が完了したとき、**IBCR.IBSYH** は "0" にクリアされ、**IBCR.IBSYS** には "1" が保持され、そしてメッセージ RAM への次の転送が開始されます。さらに、**IBCR.IBRH [6:0]** と **IBCR.IBRS [6:0]** に格納されているメッセージバッファ番号と、コマンドマスクフラグは同時に入れ替わります。

インพุットバッファの設定手順の例：

IBF を通じて、1 番目のメッセージバッファを設定／更新します。

WRDSn へ、データセクションの書き込み

WRHS1...3 へ、ヘッダセクションの書き込み

コマンドマスクの書き込み：**IBCM.LSH**, **IBCM.LDSH**, **IBCM.STXRH** への書き込み

対象メッセージバッファへのデータ転送要求：**IBCR.IBRH [6:0]** への書き込み

IBF を通じて、2 番目のメッセージバッファを設定／更新します。

WRDSn へ、データセクションの書込み

WRHS1...3 へ、ヘッダセクションの書込み

コマンドマスクの書込み : IBCM.LHSH, IBCM.LDSH, IBCM.STXRH への書込み

対象メッセージバッファへのデータ転送要求 : IBCR.IBSYH が "0" にクリアされた後の、
IBCR.IBRH [6:0] への書込み

IBF を通じて、3 番目のメッセージバッファを設定／更新します。

...(以下、2 番目のメッセージバッファの設定／更新の手順の繰り返し)

(注意事項) IBCR.IBSYH が "1" のとき、インプットバッファへのアクセスはエラーフラグ EIR.IIBA を
"1" に設定します。この場合アクセスは無効となります。

表 38.4-6 インプットバッファコマンドマスクビットの割り当て

位置	アクセス	ビット	機能
18	r	STXRS	送信要求シャドウの開始または終了を設定
17	r	LDSS	データセクションシャドウ開始または終了を読み出す
16	r	LHSS	ヘッダセクションシャドウ開始または終了を読み出す
2	r/w	STXRH	送信要求ホストを設定
1	r/w	LDSH	データセクションホストを読み出す
0	r/w	LHSH	ヘッダセクションホストを読み出す

表 38.4-7 インプットバッファリクエストマスクビットの割り当て

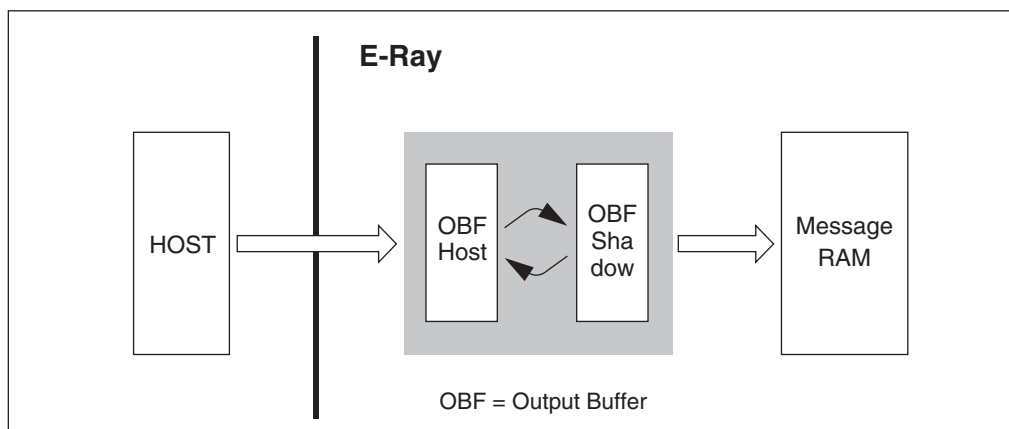
位置	アクセス	ビット	機能
31	r	IBSYS	IBF ビジーシャドウ， 進行中の IBF シャドウからメッセージ RAM への転送開始信号
22...16	r	IBRS [6:0]	IBF 要求シャドウ， 現在および最終更新したメッセージ・バッファ番号
15	r	IBSYH	IBF ビジーホスト， IBRH6:0 により参照されるメッセージ・バッファの未定の転送要求
6...0	r/w	IBRH [6:0]	IBF 要求ホスト， 次に更新されるメッセージ・バッファ番号

• メッセージ RAM からアウトプットバッファへのデータ転送

メッセージ RAM からメッセージバッファを読み出すためには、**OBCM** にて設定されているようなデータ転送を引き起こすため、**OBCR** レジスタへの書込みを行わなければいけません。転送が完了した後、**RDDSn**, **RDHS1...3**, **MBS** からの転送されたデータを読み出すことができます。

メッセージ RAM 中の転送元メッセージバッファのバッファ番号は、**OBCR.OBRS [6:0]** で設定します。

図 38.4-12 アウトプットバッファの 2 重バッファ構造

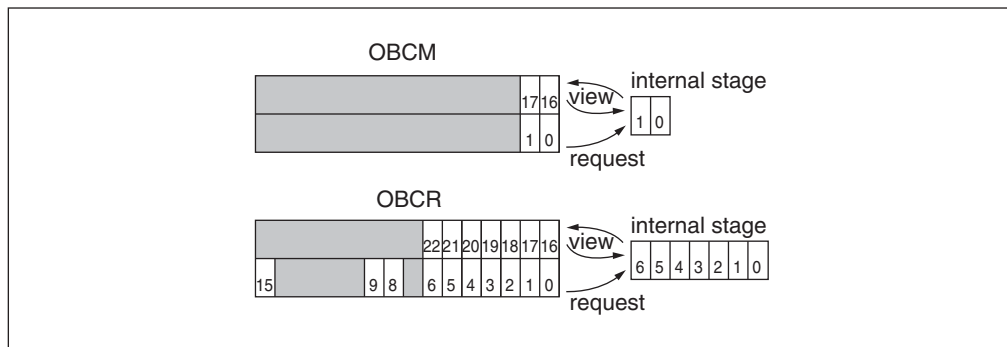


OBCM.RHSS, **OBCM.RDSS**, **OBCM.RHSH**, **OBCM.RDSH** の各ビットと **OBCR.OBRS [6:0]**, **OBCR.OBRH [6:0]** の各ビットと同様に、**OBF** ホストと **OBF** シャドウは、**OBCR.VIEW** ビットと **OBCR.REQ** ビットの設定によって交換されます。

OBCR.REQ ビットを "1" に設定することで、**OBCM.RHSS**, **OBCM.RDSS**, **OBCR.OBRS [6:0]** の各ビットは、内部レジスタにコピーされます。(図 38.4-13 参照)。

OBCR.REQ を "1" に設定した後、**OBCR.OBSYS** は "1" に設定され、**OBCR.OBRS [6:0]** によって選択されたメッセージバッファのメッセージ RAM から **OBF** シャドウへの転送が開始されます。メッセージ RAM と **OBF** シャドウ間の転送が完了した後、**OBCR.OBSYS** ビットは "0" にクリアされます。**OBCR.OBSYS** が "0" の間、**OBCR.REQ** および **OBCR.VIEW** は "1" に設定することが可能です。

図 38.4-13 OBCM レジスタと OBCR レジスタのビット交換



OBF ホストと OBF シャドウは、ビット **OBCR.OBSYS** が "0" の間、**OBCR.VIEW** に "1" を設定することによって交換可能です (図 38.4-12 参照)。さらに、ビット **OBCR.OBRH [6:0]** と **OBCM.RHSH** および **OBCM.RDSH** が内部レジスタと交換されます。その内部レジスタには、**OBCR.VIEW** に "1" を設定する前に **OBCR.OBRS [6:0]** と **OBCM.RHSS** および **OBCM.RDSS** からコピーされた内容が格納されているため、その交換によって、**OBCR.OBRH [6:0]** から読み出せるメッセージバッファ番号と **OBCM.RHSH** および **OBCM.RDSH** から読み出せるマスク設定が、OBF ホストから読み出せる転送データと一致することを保障します (図 38.4-13 参照)。

この交換の後、メッセージハンドラが次のメッセージをメッセージ RAM から OBF シャドウへ転送可能である間に、OBF ホストから転送済メッセージバッファを読み出すことができます。

OBSYS が "0" の間に、**REQ** と **VIEW** を同時に "1" に設定すると、**OBSYS** は "1" に設定されます。そして、OBF ホストと OBF シャドウは入れ替わります。さらに、マスクビットの **OBCM.RDSH** と **OBCM.RHSH** は内部レジスタにスワップされて、各アウトプットバッファ転送に対応します。その後、**OBRS [6:0]** は内部レジスタにコピーされます。そして、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへ転送開始します。転送が進行中である間、CPU は OBF ホストから前の転送で移されたメッセージバッファを読むことができます。メッセージ RAM と OBF シャドウの間の転送が完了したとき、**OBSYS** ビットは "0" にクリアされます。

アウトプットバッファの設定手順の例：

OBF シャドウに対する 1 番目のメッセージバッファへの転送要求

コマンドマスクの書込み：**OBCM.RHSS** および **OBCM.RDSS** への書込み

1 番目のメッセージバッファの転送要求：**OBCR.OBRS [6:0]** および **OBCR.REQ** への書込み

OBCR.OBSYS が "0" にクリアされるまでの待機

OBF シャドウに対する 2 番目のメッセージバッファへの転送要求、OBF ホストからの 1 番目のメッセージバッファの読出し

コマンドマスクの書込み：**OBCM.RHSS**, **OBCM.RDSS** への書込み

1 番目のメッセージについて OBF のホスト・シャドウ間の交換、2 番目のメッセージの転送要求：**OBCR.VIEW**, **OBCR.REQ**, **OBCR.OBRS [6:0]** への書込み

1 番目のメッセージの読出し

OBCR.OBSYS が "0" にクリアされるまでの待機

OBF シャドウに対する 3 番目のメッセージバッファへの転送要求、OBF ホストからの 2 番目のメッセージバッファの読出し

コマンドマスクの書込み：**OBCM.RHSS**, **OBCM.RDSS** の書込み

2 番目のメッセージについて OBF のホスト・シャドウ間の交換、3 番目のメッセージの転送要求：

OBCR.VIEW, OBCR.REQ, OBCR.OBRS [6:0] への書込み

2 番目のメッセージの読出し

OBCR.OBSYS が "0" にクリアされるまでの待機

・・・(同じ手順の繰り返し)

OBF ホストからの n 番目のメッセージバッファの読出し (これ以上のメッセージバッファ転送は要求されないとする)

n 番目のメッセージについて OBF のホスト・シャドウ間の交換 : **OBCR.VIEW** への書込み (**OBCR.OBRS [6:0]** には書き込まない)

n 番目のメッセージの読出し

表 38.4-8 アウトプットバッファコマンドマスクビットの割り当て

位置	アクセス	ビット	機能
17	r	RDSH	ホストアクセスに利用可能なデータセクション
16	r	RHSH	ホストアクセスに利用可能なヘッダセクション
1	r/w	RDSS	データセクションシャドウを読み込む
0	r/w	RHSS	ヘッダセクションシャドウを読み込む

表 38.4-9 アウトプットバッファリクエストマスクビットの割り当て

位置	アクセス	ビット	機能
22...16	r	OBRH [6:0]	OBF 要求ホスト, ホストアクセスに利用可能なメッセージ・バッファ番号
15	r	OBSYS	OBF ビジーシャドウ, 進行中のメッセージ RAMOBF から シャドウへの転送開始信号
9	r/w	REQ	メッセージ RAM から OBF シャドウへの要求転送
8	r/w	VIEW	OBF シャドウを表示, OBF シャドウと OBF ホストを交換
6...0	r/w	OBRS [6:0]	OBF 要求シャドウ, 次に要求されるメッセージ・バッファ番号

38.4.11.3 メッセージ RAM に対する FlexRay プロトコルコントローラのアクセス

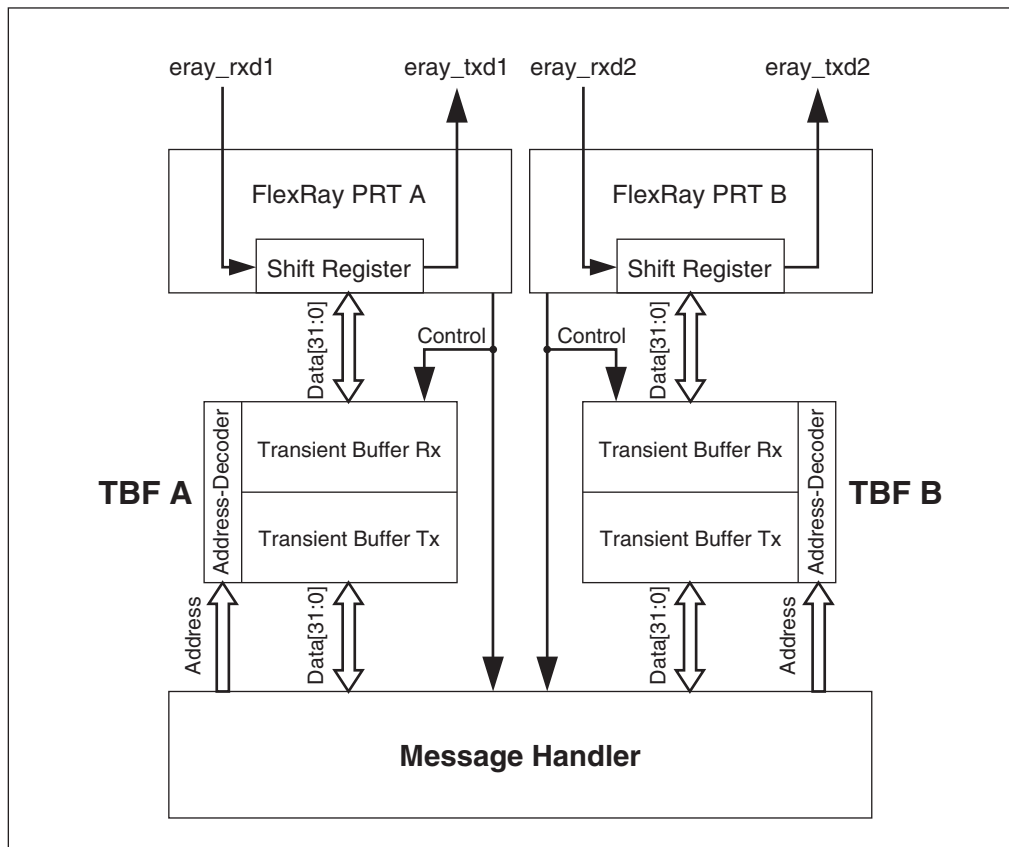
2つの一時記憶バッファRAM (TBF A, B)は, 2つのFlexRay チャンネルプロトコルコントローラとメッセージ RAM 間の転送でデータをバッファするために使用されます。

2つの一時記憶バッファRAMは, ダブルバッファで構成されており, 2つの完全なFlexRay メッセージを格納することが可能です。1つのバッファがメッセージハンドラによってアクセス可能な間, もう1つのバッファは対応するチャンネルプロトコルコントローラにアサインされています。

例えば, メッセージハンドラが一時記憶バッファTxへ送信メッセージの書込みを行う場合, FlexRay チャンネルプロトコルコントローラは現在受信しているメッセージを一時記憶バッファ Rx に格納することが可能です。一時記憶バッファTxに格納されたメッセージが送信されている間, メッセージハンドラは(アクセプタンスフィルタを通過した場合)一時記憶バッファRxに格納された最新の受信メッセージをメッセージRAMに転送して, メッセージバッファを更新します。

一時記憶バッファ RAM と FlexRay チャンネルプロトコルコントローラのシフトレジスタ間のデータ転送は、32 ビットのワード単位で行われます。このことは、FlexRay メッセージの長さの独立した 32 ビットのシフトレジスタの使用を有効にします。

図 38.4-14 一時記憶バッファ RAM へのアクセス



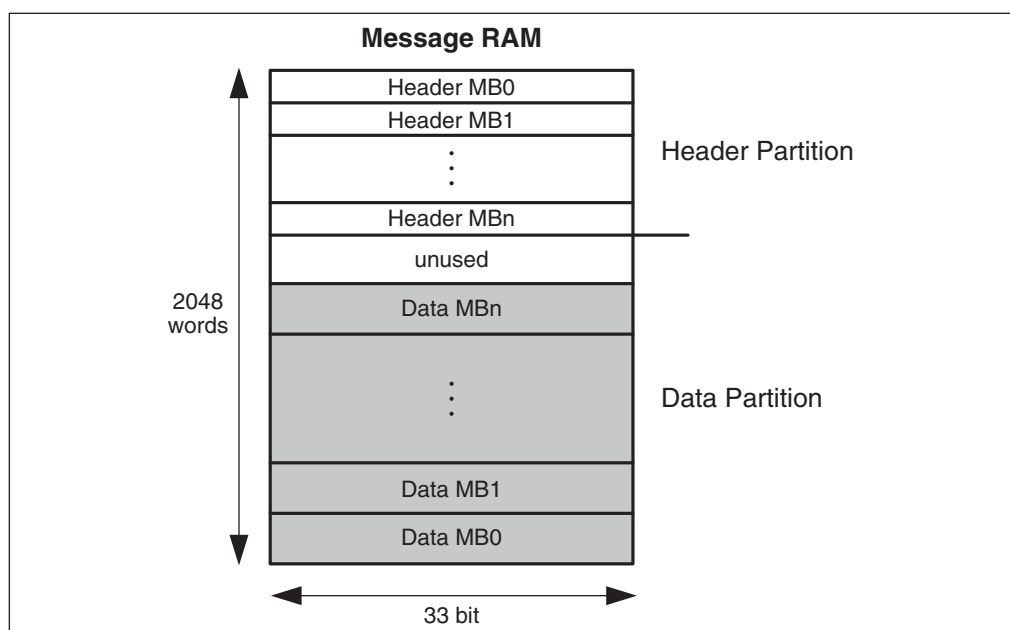
38.4.12 メッセージ RAM

メッセージ RAM へのホストアクセスと FlexRay メッセージの送受信間の衝突を回避するため、メッセージ RAM のメッセージバッファに直接アクセスすることはできません。アクセスは、インプットバッファとアウトプットバッファを介して処理されます。メッセージ RAM は、最大 128 個のメッセージバッファを格納できます。

メッセージ RAM は、2048 バイト × 33 ビット = 67,584 ビットで編成され、各 32 ビットデータはパリティビットによって保護されています。FlexRay フレームごとに可変長 (0 から 254) のデータバイト数を持つことができるように、メッセージ RAM は図 38.4-15 に示すような構造になっています。

データパーティションはメッセージ RAM 中の (MRC.LCB + 1) × 4 ワードから始まります (1 ワード = 32 + 1 ビット)。

図 38.4-15 メッセージ RAM 中のメッセージバッファの設定例



ヘッダパーティション

設定されたメッセージバッファのヘッダセクションを格納します。

最大、128 メッセージバッファをサポートする。

各メッセージバッファは、4 ワード (1 ワード = 32 + 1 ビット) のヘッダセクションを持つ。

各メッセージバッファのヘッダ 3 は、データパーティション中の各データセクションに対する 11-bit のデータポインタを持つ。

データパーティション

異なったデータ長でデータセクションを格納できる可変長の記憶領域です。様々なデータ長における最大メッセージバッファ数を、下記に示します。

それぞれのデータセクションが、254 バイト長で、30 メッセージバッファ。

それぞれのデータセクションが、128 バイト長で、56 メッセージバッファ。

それぞれのデータセクションが、48 バイト長で、128 メッセージバッファ。

(注意事項) ヘッダパーティション + データパーティションの使用領域が、2048 ワード (1 ワード = 33bit) 以内となるように設定してください。

38.4.12.1 ヘッダパーティション

メッセージバッファステータスとメッセージバッファの設定要素は、以下の図 38.4-16 に示されるように、メッセージ RAM のヘッダパーティションに格納されています。メッセージバッファのヘッダセクションの設定は、**IBF (WRHS1…3)** を介して行われ、ヘッダセクションからの読出しは、**OBF (RDHS1…3 + MBS)** を介して行われます。各メッセージバッファのデータセクションの開始位置を定義するために、ヘッダセクション中でデータポインタを設定してください。また、データポインタは実行中に修正しないでください。**FIFO** メッセージグループに属しているメッセージバッファの(再)設定は、**DEFAULT_CONFIG** ステートまたは **CONFIG** ステートで行ってください。

各メッセージバッファのヘッダセクションは、メッセージ RAM のヘッダパーティションで 4 ワード (1 ワード = 32+1 ビット) を占領します。メッセージバッファ 0 のヘッダセクションは、メッセージ RAM の先頭から開始されます。

送信バッファのヘッダ CRC については、計算により求めてください。

受信されたペイロード長 **PLR [6:0]**、受信サイクルカウンタ **RCC [5:0]**、受信チャネルインジケータ **RCI**、スタートアップフレームインジケータ **SFI**、同期フレームインジケータ **SYN**、ヌルフレームインジケータ **NFI**、ペイロードプリアンブルインジケータ **PPI**、予約ビット **RES** は、有効な受信フレーム (有効なヌルフレームも含む) によって更新されます。

設定された各メッセージバッファのヘッダの 4 ワード領域に、それぞれメッセージバッファステータス **MBS** を持ちます。

図 38.4-16 メッセージ RAM 中のメッセージバッファのヘッダセクション

Bit Word	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	P			M B I	T X M	P P I T	C F G	C H B	C H A																								
1	P																																
2	P																																
3	P																																
...	P																																
...	P																																

フレーム構成 (PPIT, CFG, FrameID, Payload Length Configured)

フィルタ構成 (CHB, CHA, Cycle Code)

メッセージバッファ制御 (MIB, TXM)

メッセージ RAM 構成 (データポインタ)

受信フレームからの更新 (受信されたペイロード長, RES, PPI, NFI, SYN, SFI, RCI はサイクルカウントを受信)

メッセージバッファステータス MBS (MLST, ESB, ESA, TCIB, TCIA, SVOB, SVOA, CEOB, CEOA, SEOB, SEOA, VFRB, VFRA, RESS, PPIS, NFIS, SYNS, SFIS, RCIS, サイクルカウントステータス, FTA, FTB)

パリティビット

未使用

ヘッダ 1

以下のパラメータについて、**WRHS1** を通じて書込み、**RDHS1** を通じて読出しを行います。

フレーム ID	- スロットカウンタフィルタリングの設定
サイクルコード	- サイクルカウンタフィルタリングの設定
CHA, CHB	- チャネルフィルタリングの設定
CFG	- メッセージバッファの設定：受信／送信
PPIT	- ペイロードプリアンブルインジケータの送信
TXM	- 送信モードの設定：シングルショット／コンティニューアス
MBI	- メッセージバッファ送受信割込みの有効フラグ

ヘッダ 2

以下のパラメータについて、**WRHS2** を通じて書込み、**RDHS2** を通じて読出しを行います。

ヘッダ CRC	- 送信バッファ：フレームヘッダセグメントをもとに計算により求める - 受信バッファ：受信フレームによって更新される
設定ペイロード長	- 設定されたデータセクション長 (2 バイト単位)
受信ペイロード長	- 受信フレーム中に格納されているペイロードセグメント長 (2 バイト単位)

ヘッダ 3

以下のパラメータについて、**WRHS3** を通じて書込み、**RDHS3** を通じて読出しを行います。

データポインタ - データパーティション中の対応するデータセクションの開始位置へのポインタ

以下のパラメータについて、**RDHS3** を通じて読出しを行います。

これは受信バッファにのみ有効で、受信フレームによって更新されます。

受信サイクルカウント	- 受信フレームから格納されるサイクルカウント値
RCI	- 受信チャネルインジケータ
SFI	- スタートアップフレームインジケータ
SYN	- 同期フレームインジケータ
NFI	- ノルフレームインジケータ
PPI	- ペイロードプリアンブルインジケータ
RES	- 予約ビット

ヘッダ 4

MBS を通じて読出しを行います。これは設定されたスロットの終わりにて更新されます。

以下のパラメータについて、送信バッファおよび受信バッファについて有効です。

VFRA	- チャネル A 受信有効フレーム
VFRB	- チャネル B 受信有効フレーム
SEOA	- チャネル A シンタックスエラー
SEOB	- チャネル B シンタックスエラー
CEOA	- チャネル A コンテンツエラー
CEOB	- チャネル B コンテンツエラー
SVOA	- チャネル A スロット境界障害
SVOB	- チャネル B スロット境界障害

以下のパラメータについて、送信バッファについてのみ有効です。

TCIA	- チャネル A 送信コリジョンインジケータ
------	------------------------

TCIB	- チャネル B 送信コリジョンインジケータ
以下のパラメータについて、受信バッファについてのみ有効です。	
ESA	- チャネル A エンプティスロット
ESB	- チャネル B エンプティスロット
MLST	- メッセージ消失
FTA	- チャネル A フレーム送信
FTB	- チャネル B フレーム送信
Cycle Count Status	- ステータス更新時の実サイクルカウント
RCIS	- チャネルインジケータ受信
SFIS	- スタートアップフレームインジケータステータス
SYNS	- シンクフレームインジケータステータス
NFIS	- ノルフレームインジケータステータス
PPIS	- ペイロードプレアンブルインジケータステータス
RESS	- リザーブビットステータス

38.4.12.2 データパーティション

メッセージ RAM のデータパーティションは、ヘッダパーティションで定義されるように受信／送信用に設定されたメッセージバッファのデータセクションを格納します。各メッセージバッファ用に、データバイトの数は 0 から 254 バイトまで設定可能です。ホストインタフェースとメッセージ RAM 間のデータ転送と、2 つの FlexRay チャネルプロトコルコントローラのシフトレジスタとメッセージ RAM 間のデータ転送を最適化するために、メッセージ RAM ビット幅は、32 ビット + 1 パリティビットで設定されます。

データパーティションは、ヘッダパーティションの直後から開始されます。メッセージ RAM 中でメッセージバッファを設定するとき、データポインタがデータパーティション以内のアドレスを指し示すように設定してください。下記の図 38.4-17 は、設定されたメッセージバッファのデータセクションについてのメッセージ RAM のデータパーティションへの格納方法について、その例を示すものです。

メッセージバッファ中のデータセクションの始点と終点は、メッセージバッファのヘッダセクションにて設定されたデータポインタとペイロード長で決定されます。これにより、メッセージバッファの RAM 空間を、異なったデータ長でフレキシブルに利用することが可能になります。

データセクションのサイズが、2 バイト単位の奇数ならば、最後の 32 ビットワード中にある残りの 16 ビットは使用されません。(図 38.4-17 を参照)

図 38.4-17 メッセージ RAM 中のデータセクション構造の例

Bit Word	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
...	P	unused								unused								unused								unused							
...	P	unused								unused								unused								unused							
...	P	MBn Data3								MBn Data2								MBn Data1								MBn Data0							
...	P							
...	P							
...	P	MBn Data(m)								MBn Data(m-1)								MBn Data(m-2)								MBn Data(m-3)							
...	P							
...	P							
...	P							
...	P	MB1 Data3								MB1 Data2								MB1 Data1								MB1 Data0							
...	P							
...	P	MBn Data(k)								MBn Data(k-1)								MBn Data(k-2)								MBn Data(k-3)							
2046	P	MB0 Data3								MB0 Data2								MB0 Data1								MB0 Data0							
2047	P	unused								unused								MB0 Data5								MB0 Data4							

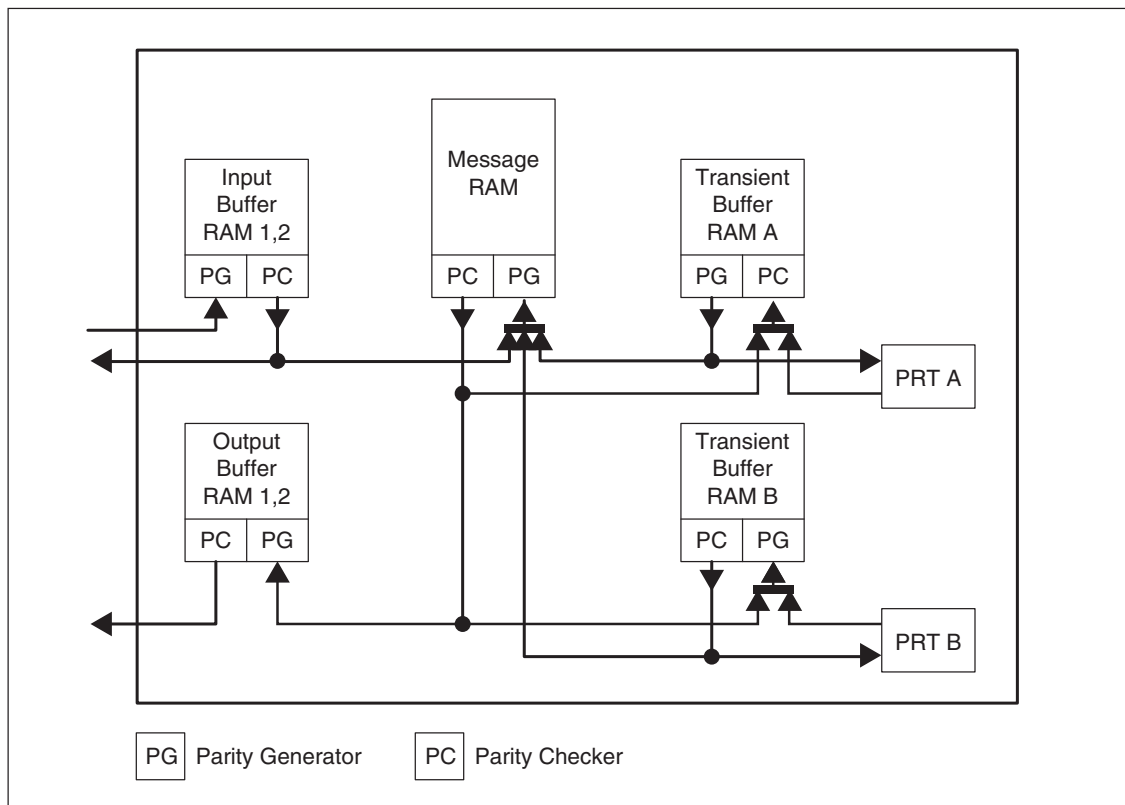
38.4.12.3 パリティチェック

FlexRay コントローラには、7つの RAM ブロックに格納されるデータの完全性を保証する、パリティチェックメカニズムが実装されています。その RAM ブロックは、図 38.4-18 に示すように接続されているパリティジェネレータ/チェッカを持ち、その RAM ブロックにデータが書き込まれるとき、パリティジェネレータはパリティビットを生成します。FlexRay コントローラは、偶数パリティを使用します (32 ビットワード中の「1」の数が偶数であることで、0 のパリティビットが生成されます)。そしてパリティビットは、それぞれのデータと一緒に格納されます。また、パリティは、データが RAM ブロックから読出されるごとにチェックされます。FlexRay コントローラの内部データバスは 32 ビットの幅を持っています。

パリティエラーが検出された場合、それぞれのエラーフラグは "1" に設定されます。そのパリティエラーフラグ (MHDS.PIBF, MHDS.POBf, MHDS.PMR, MHDS.PTBF1, MHDS.PTBF2) と障害メッセージバッファインジケータ (MHDS.FMBD, MHDS.MFMB, MHDS.FMB [6:0]) はメッセージハンドラスタータスレジスタの中にあります。これらのエラーフラグは、エラー割込みフラグ EIR.PERR を制御します。

図 38.4-18 は、RAM ブロック間とパリティジェネレータ/チェッカ間のデータバスを示します。

図 38.4-18 パリティの生成とチェック



(注意事項) パリティジェネレータとパリティチェッカは , RAM ブロックとは独立のブロックです。

パリティエラーを検出した場合 , 下記のことが実行されます。

すべてのケース :

- **MHDS** レジスタのそれぞれのパリティエラーフラグがセットされる。
- パリティエラーフラグ **EIR.PERR** がセットされる , 割込み有効なら , 割込みが発生する。

特殊なケース :

1) インプットバッファ RAM1,2 →メッセージ RAM のデータ転送中のパリティエラー

a) ヘッダ , データの転送 , または , データの転送 :

- **MHDS.PIBF** ビットがセットされる。
- **MHDS.FMBD** ビットは , **MHDS.FMB [6:0]** が更新されたことを示すために設定される。
- **MHDS.FMB [6:0]** は , 障害のあるメッセージバッファの番号を表示する。
- パリティエラーの生じた送信バッファについては , 送信要求ビットはセットされない。

b) データの転送

メッセージ RAM から各メッセージのヘッダ部分を読むときのパリティエラー

- **MHDS.PMR** ビットがセットされる。
- **MHDS.FMBD** ビットは , **MHDS.FMB [6:0]** が更新されたことを示すために設定される。
- **MHDS.FMB [6:0]** は , 障害のあるメッセージバッファの番号を表示する。
- メッセージバッファのデータをアップデートしません。
- パリティエラーの生じた送信バッファについては , 送信要求ビットはセットされない。

- 2) インพุットバッファ RAM1,2 →ホストのデータ転送中のパリティエラー
 - **MHDS.PIBF** ビットがセットされる。

- 3) メッセージ RAM のヘッダセクションをスキャン中のパリティエラー
 - **MHDS.PMR** ビットがセットされる。
 - **MHDS.FMBD** ビットは, **MHDS.FMB [6:0]** が読出されたことを表示するために設定される。
 - **MHDS.FMB [6:0]** は, 障害のあるメッセージバッファの番号を表示する。
 - パリティエラーの生じたメッセージバッファは無視される。

- 4) メッセージ RAM →一時記憶バッファ RAM1,2 のデータ転送中のパリティエラー
 - **MHDS.PMR** がセットされる
 - **MHDS.FMBD** は, **MHDS.FMB [6:0]** が読出されたことを表示するために設定される。
 - **MHDS.FMB [6:0]** は, 障害のあるメッセージバッファの番号を表示する。
 - 障害のあるメッセージバッファからのフレーム送信は停止される。

- 5) 一時記憶バッファ RAM1,2 →チャネルプロトコルコントローラ 1,2 のデータ転送中のパリティエラー
 - **MHDS.PTBF1, 2** がセットされる。
 - 障害のある一時記憶バッファからのフレーム送信は停止される。

- 6) 一時記憶バッファ RAM1,2 →メッセージ RAM のデータ転送中のパリティエラー
 - **MHDS.PTBF1, 2** がセットされる。
 - **MHDS.FMBD** は, **MHDS.FMB [6:0]** が更新されたことを表示するために設定される。
 - **MHDS.FMB [6:0]** は, 障害のあるメッセージバッファの番号を表示する。

- 7) メッセージ RAM →アウトプットバッファ RAM のデータ転送中のパリティエラー
 - **MHDS.PMR** がセットされる。
 - **MHDS.FMBD** は, **MHDS.FMB [6:0]** が読出されたことを表示するために設定される。
 - **MHDS.FMB [6:0]** は, 障害のあるメッセージバッファの番号を表示する。

- 8) アウトプットバッファ RAM →ホストのデータ転送中のパリティエラー
 - **MHDS.POBF** がセットされる。

- 9) 一時記憶バッファ RAM 1, 2 のデータ読み取り中のパリティエラー
 メッセージハンドラが一時記憶バッファ RAM1,2 からネットワークマネジメント情報 (PPI=「1」) を備えたフレームを読む際, パリティエラーが発生した場合, そのフレームに対応するネットワーク管理ベクタレジスタ MV1…3 は更新されません。

38.4.12.4 パリティエラーの取扱い

転送によるパリティエラーの修復。

● 自己修復

- 入力バッファ RAM1, 2
- 出力バッファ RAM1, 2
- メッセージ RAM のデータ
- 一時的なバッファ RAM A

- 一時的なバッファ RAM B

以上におけるパリティエラーの発生については、CPU アクセスか FlexRay 通信によって上書きすることで自己修復が可能です。

● クリア RAM コマンド

DEFAULT_CONFIG か CONFIG ステート時、CLEAR_RAMs コマンドはすべてのモジュール内部の RAM をゼロに初期化します。

● ヘッダ部分の一時的なアンロック

ロックされたメッセージバッファのヘッダ部分のパリティエラーは、インプットバッファからロックされたバッファのヘッダ部分までの転送で修復できます。

この転送において、IBCR(メッセージバッファ数を指定する)へのライトアクセスはCONFIGステートからのアンロックに先行しなければなりません(「38.3.2.1 ロックレジスタ:LCK (Lock Register)」を参照)。

その単一転送において、各メッセージ・バッファヘッダがアンロックされ、FIFO に属するか、または MRC.SEC [1:0] によってロックが属すかどうかに係わらず、データのアップデートします。

38.4.13 割込み

エラー発生、ステータス変更の検出、フレームの送受信、タイマイイベントのいずれかが生じたとき、それらの割込みがすぐに発生するような割込み端子が用意されています。これによって、エラー状態、ステータス変更、タイマイイベントに対してすばやく対応することが可能です。ただし、あまりにも多くの割込みを発生させた場合、アプリケーションに要求される動作速度を満たさなくなる可能性があります。そのため、FlexRay コントローラは、それぞれの割込み別に有効／無効を設定できる機能をサポートします。

下記の場合、割込みが発生します。

- エラーが検出された
- ステータスフラグがセットされた
- タイマが設定された値に達した
- インพุットバッファからメッセージバッファもしくはメッセージ RAM からアウトプットバッファのメッセージ転送が完了した
- ストップウォッチイベントが発生した

ステータス変更またはエラー発生の際のイベント表示と割込み生成は、2 つの独立したタスクで動作します。割込みが有効であるかどうかにかかわらず、各イベントが表示されます。EIR レジスタと SIR レジスタを読み出すことによって、現在のエラー情報とステータス情報を得ることができます。

表 38.4-10 モジュール割込みフラグと割込みライン有効フラグ一覧 (1 / 2)

レジスタ	ビット	機能
EIR	PEMC	POC エラーモード変更フラグ
	CNA	コマンド無効通知フラグ
	SFBM	同期フレーム数不足フラグ
	SFO	同期フレーム数超過フラグ
	CCF	クロック補正フェイルフラグ
	CCL	CHI コマンドロックフラグ
	PERR	パリティエラーフラグ
	RFO	受信 FIFO オーバランフラグ
	EFA	エンプティ FIFO アクセスフラグ
	IIBA	イリーガルインพุットバッファアクセスフラグ
	IOBA	イリーガルアウトプットバッファアクセスフラグ
	MHF	メッセージハンドラ制約フラグ
	EDA	チャンネル A エラー検出フラグ
	LTVA	チャンネル A 送信障害検出フラグ
	TABA	チャンネル A スロット境界越え送信検出フラグ
	EDB	チャンネル B エラー検出フラグ
	LTVB	チャンネル B 送信障害検出フラグ
	TABB	チャンネル B スロット境界越え送信検出フラグ

表 38.4-10 モジュール割込みフラグと割込みライン有効フラグ一覧 (2 / 2)

レジスタ	ビット	機能
SIR	WST	ウェイクアップステータスフラグ
	CAS	コリジョン回避シンボルフラグ
	CYCS	コミュニケーションサイクル開始フラグ
	TXI	送信完了フラグ
	RXI	受信完了フラグ
	RFNE	受信 FIFO フラグ
	RFF	受信 FIFO フルフラグ
	NMVC	ネットワークマネジメントベクタ変更フラグ
	TI0	タイマ 0 フラグ
	TI1	タイマ 1 フラグ
	TIBC	インプットバッファ転送完了フラグ
	TOBC	アウトプットバッファ転送完了フラグ
	SWE	ストップウォッチイベントフラグ
	SUCS	スタートアップ成功フラグ
	MBSI	メッセージバッファステータス変更フラグ
	SDS	ダイナミックセグメント開始フラグ
	WUPA	チャンネル A ウェイクアップパターン受信フラグ
	MTSA	チャンネル A MTS 受信フラグ
	WUPB	チャンネル B ウェイクアップパターン受信フラグ
	MTSB	チャンネル B MTS 受信フラグ
ILE	EINT0	割込み端子 INT0 有効フラグ
	EINT1	割込み端子 INT1 有効フラグ

割込み端子 INT0,INT1 は , 有効な割込みによって制御されます。さらに , それぞれの 2 つの割込み端子 INT0,INT1 は , **ILE.EINT0** と **ILE.EINT1** を設定することによって個別に有効／無効の選択が可能です。

割込みタイマ 0 と割込みタイマ 1 によって生成される 2 つのタイマ割込みは , 16 ビットノンマルチプレックスバスモード時端子 INT2, 16 ビットマルチプレックスバスモード時 INT2, INT3 で利用可能です。それらは , **T0C** レジスタと **T1C** レジスタを介して設定できます。

ストップウォッチイベントは入力ピン **STOPWT** によって発生します。

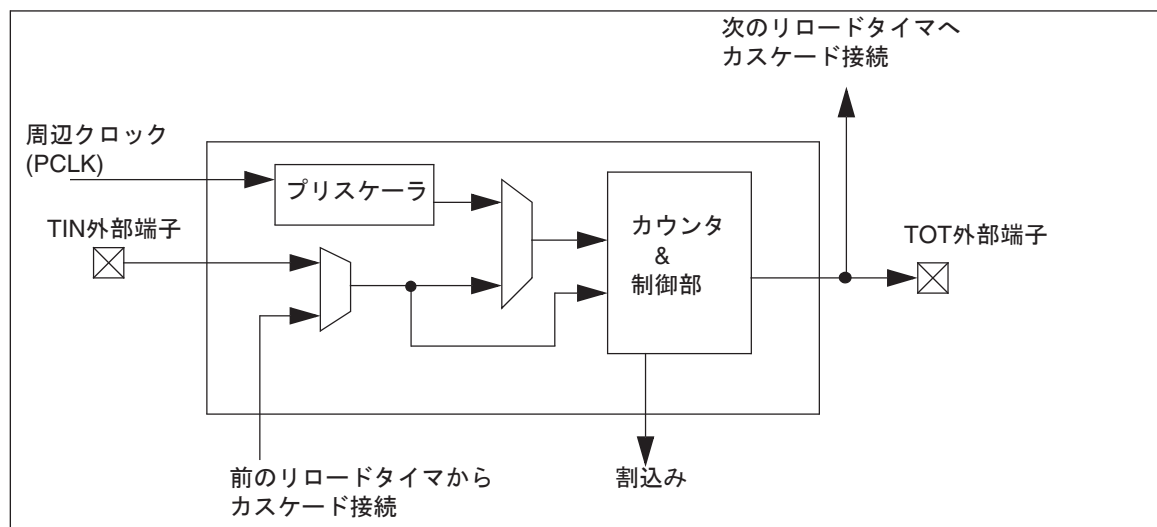
IBF/OBF とメッセージ RAM 間のデータ転送が完了したとき , **SIR.TIBC**, **SIR.TOBC** の各ビットは "1" に設定されます。

第 39 章 リロードタイマ

39.1 概要

本モジュールは、内部クロックをカウントするインターバルタイマモードと外部イベントをカウントするイベントカウンタモードを持つ 16 ビットのリロードダウンカウンタタイマです。

図 39.1-1 リロードタイマのブロックダイヤグラム (1 チャンネル分, 概要)



39.2 特長

本製品は 4 チャンネルのリロードタイマを搭載しています。各チャンネルは以下により構成されています。

- | | |
|-----------------------------|-----|
| • 16 ビットダウンカウンタ | × 1 |
| • 16 ビットリロードレジスタ | × 1 |
| • 16 ビットリロード／コンペア／キャプチャレジスタ | × 1 |
| • 上記 バッファ | × 1 |
| • 内部カウントクロック作成用 6 ビットプリスケアラ | × 1 |
| • 外部トリガ／イベント入力 (TIN) | × 1 |
| • 外部トグル出力 (TOT) | × 1 |
| • コントロールレジスタ | × 1 |
| • カウント比較器 | × 1 |

本タイマは以下のインターバルタイマモード／イベントカウンタモードをもち、レジスタを設定することにより、以下の用途・機能で可以使用です。

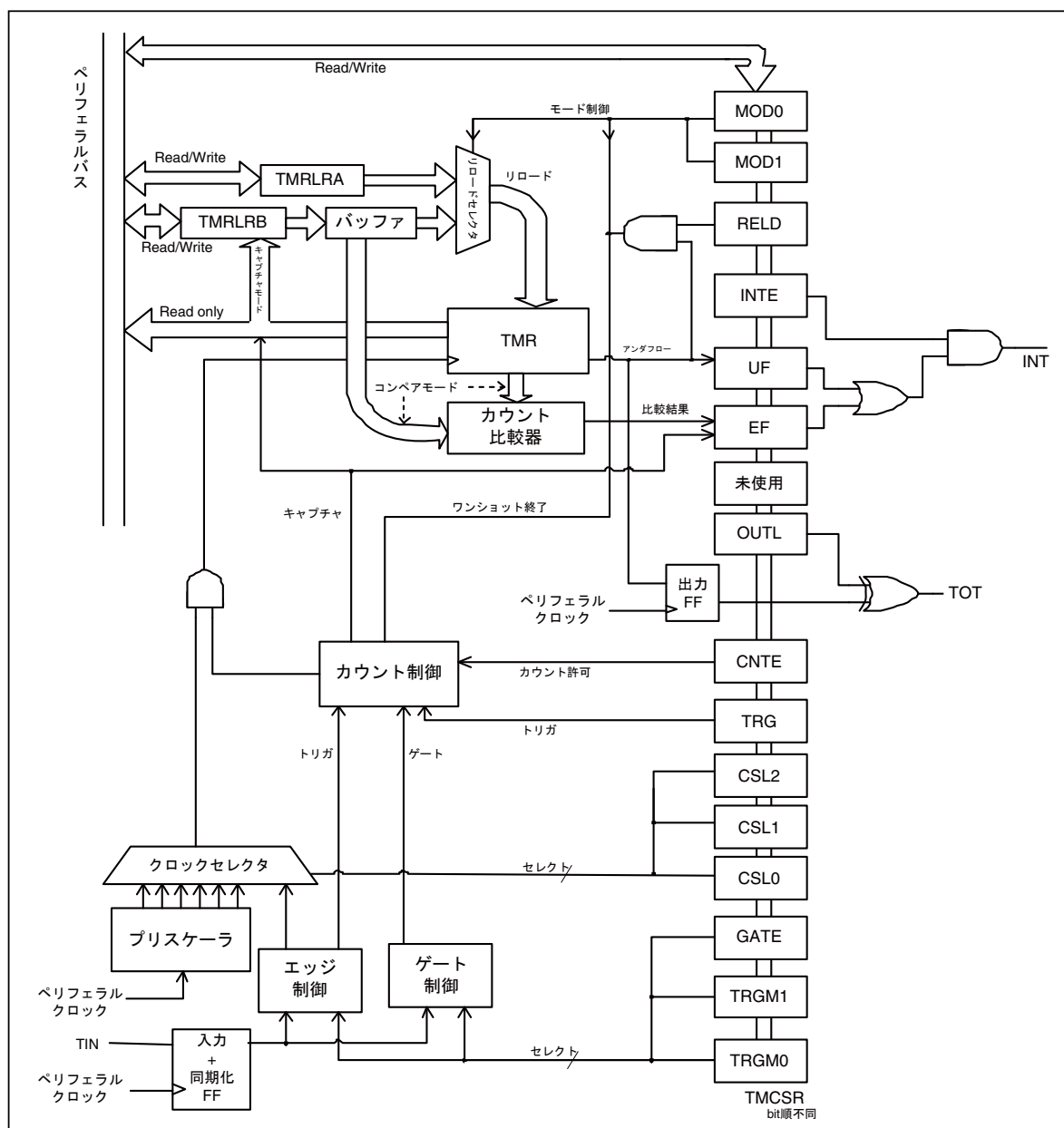
- インターバルタイマモード
 - シングルワンショット動作 → シングルショットタイマ
 - デュアルワンショット動作
 - シングルリロード動作 → リロードタイマ
 - デュアルリロード動作 → PPG(Programmable Pulse Generator)

管理コード : FR81S09_RLT-1v0-91580L-1-J

- コンペアモード → アウトプットコンペア, PWM(Pulse Width Modulator)
- キャプチャモード (外部トリガ入力／ソフトウェアトリガ使用) → PWC(Pulse Width Counter)
- アンダフロー割込み／キャプチャ割込み
- 内部クロック 6 種類 (周辺クロック (PCLK) の 2/4/8/16/32/64 分周)
- 外部トリガ入力 (立上りエッジ／立下りエッジ／両エッジ)
- 外部ゲート入力

- イベントカウンタモード
 - シングルワンショット動作
 - デュアルワンショット動作
 - シングルリロード動作
 - デュアルリロード動作
 - コンペアモード
 - キャプチャモード (ソフトウェアトリガのみ)
 - アンダフロー割込み／キャプチャ割込み／コンペア割込み
 - 外部イベント入力エッジ検出 (立上りエッジ検出／立下りエッジ検出／両エッジ検出)
 - カスケードモード (ch.0 出力を ch.1 入力に使用する。ch.1 出力を ch.2 入力に使用する。ch.2 出力を ch.3 入力に使用する。)

図 39.3-1 リロードタイマのブロックダイアグラム (1 チャンネル分, 詳細)



39.4 レジスタ

■ ベースアドレス (Base_addr) ・ 外部端子表

表 39.4-1 ベースアドレス (Base_addr) ・ 外部端子表

チャンネル	Base_addr	外部端子	
		TOT	TIN
0	0x0060	TOT0	TIN0
1	0x0100	TOT1	TIN1
2	0x0108	TOT2	TIN2
3	0x0110	TOT3	TIN3

■ レジスタマップ

表 39.4-2 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0060	TMRLRA0		TMR0		16 ビットタイマリロードレジスタ A0 16 ビットタイマレジスタ 0
0x0064	TMRLRB0		TMCSR0		16 ビットタイマリロードレジスタ B0 コントロールステータスレジスタ 0
0x0100	TMRLRA1		TMR1		16 ビットタイマリロードレジスタ A1 16 ビットタイマレジスタ 1
0x0104	TMRLRB1		TMCSR1		16 ビットタイマリロードレジスタ B1 コントロールステータスレジスタ 1
0x0108	TMRLRA2		TMR2		16 ビットタイマリロードレジスタ A2 16 ビットタイマレジスタ 2
0x010C	TMRLRB2		TMCSR2		16 ビットタイマリロードレジスタ B2 コントロールステータスレジスタ 2
0x0110	TMRLRA3		TMR3		16 ビットタイマリロードレジスタ A3 16 ビットタイマレジスタ 3
0x0114	TMRLRB3		TMCSR3		16 ビットタイマリロードレジスタ B3 コントロールステータスレジスタ 3

39.4.1 コントロールステータスレジスタ : TMCSR (TiMer Control and Status Register)

動作モード, および割込みを制御します。

bit7, bit3-0 以外は bit1:CNTE= 1 のときは書換えできません。

bit15-8, bit6-4 の書換えと CNTE= 1 書込みによるカウンタ動作許可の同時書込み, または bit15-8, bit6-4 の書換えと CNTE= 0 書込みによる動作停止の同時書込みは可能です。

• TMCSR0 ～ TMCSR3 :

アドレス 0066_H, 0106_H, 010E_H, 0116_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
MOD[1:0]		TRGM[1:0]		CSL[2:0]		GATE		
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
EF	-	OUTL	RELD	INTE	UF	CNTE	TRG	
0	0	0	0	0	0	0	0	初期値
R(RM1), W	R/W0	R,W	R,W	R/W	R(RM1), W	R/W	R0,W	属性

[bit15, bit14] MOD (MODE) : モード選択ビット

MOD1, MOD0	動作モード
00	シングルモード (初期値)
01	デュアルモード
10	コンペアモード
11	キャプチャモード

[bit13, bit12] TRGM1, TRGM0 (TRiGger input Mode select) : TIN 入力モード選択ビット

入力端子機能を制御します。インターバルタイマモードとイベントカウンタモードで機能が変わります。

[インターバルタイマモード時・トリガ入力 (bit8:GATE ビット="0") のとき]

TIN 入力による, リロードトリガとなる有効外部エッジを以下のように選択します。

TRGM1, TRGM0	TIN の有効外部エッジ
00	外部トリガ検出なし (初期値)
01	立上りエッジ
10	立下りエッジ
11	両エッジ

[インターバルタイマモード時・ゲート入力 (bit8:GATE ビット="1") のとき]

TIN 入力中にカウンタ許可となる端子レベルを以下のように選択します。

TRGM1, TRGM0	TIN の有効レベル
x0	TIN 端子 "L" 入力期間のみカウント (初期値)
x1	TIN 端子 "H" 入力期間のみカウント

[イベントカウンタモード時の有効エッジ設定]

イベントカウンタモード時，外部イベント検出用のエッジを以下のように選択します。外部イベントを検出すると，カウンタはその都度ダウンカウントします。外部イベント選択時，bit8:GATE ビットの設定は無効となります。

TRGM1, TRGM0	カウント対象エッジ
00	使用しません
01	立上りエッジ
10	立下りエッジ
11	両エッジ

[bit11 ～ bit9] CSL2 ～ CSL0 (Count source SeLect) : カウントソース選択ビット

カウントソース選択ビットです。内部クロック (周辺クロック (PCLK)) と外部イベント (TIN 入力) より，カウントソースを以下に示すように選択します。イベントカウンタモードを設定した場合のカウント有効エッジは bit13, 12:TRGM[1:0] ビットで設定します。

CSL2 ～ CSL0	カウントソース	動作モード
000	周辺クロックの 2 分周 (初期値)	インターバルタイマモード
001	周辺クロックの 4 分周	
010	周辺クロックの 8 分周	
011	周辺クロックの 16 分周	
100	周辺クロックの 32 分周	
101	周辺クロックの 64 分周	
110	カスケードモード (ch.0:TIN0, ch.1:TOT0, ch.2:TOT1, ch.3:TOT2)	イベントカウンタモード
111	外部イベント (TIN 入力)	

[bit8] GATE(GATE input enable) : ゲート入力許可ビット

インターバルタイマモード時 (bit11, 10, 9:CSL[2:0]=000 ～ 101) の入力端子 (TIN) の機能を以下に示すように制御します。

GATE	TIN 入力端子機能
0	トリガ入力として使用 (初期値)
1	ゲート入力として使用

イベントカウンタモード時は，本ビットによる動作への影響はありません。

[bit7] EF(Extended Flag) : 拡張割込みフラグ

コンペアモード時にコンペア一致割込み，またはキャプチャモード時にキャプチャ入力割込みが発生した事を示すフラグです。

セット要因	[イベントカウンタモードのコンペアモード時] コンペア一致 (TMR = TMRLRB) からのカウントダウン発生 [キャプチャモード時] キャプチャ入力 (リトリガ)
クリア要因	本ビットへの "0" 書込み，またはリセット

このビットへの "1" 書込みは無効です。コンペアモードでは、カウントクロックに同期して、セット・クリアを行います。リードモディファイライト系命令における読出し値は、常に "1" となります。

[bit6] 予約

必ず "0" を書き込んでください。

[bit5] OUTL(OUTput Level) : 出力極性設定ビット

タイマ出力端子 (TOT) の出力極性を制御します。

OUTL	TOT の初期値	TOT の初期出力レベル
0	正極性 (初期値)	L レベル
1	負極性	H レベル

[bit4] RELD(RELoaD enable) : リロード動作許可ビット

アンダフロー発生時のリロード動作を以下に示すように設定します。

RELD	動作モード	動作内容
0	ワンショットモード	カウンタのアンダフローが発生すると同時にカウント動作を停止します。次にトリガを入力するまでリロードを行いません。* (初期値)
1	リロードモード	カウンタのアンダフローが発生すると同時にリロードレジスタの内容をカウンタへロードしてカウント動作を続けます。

* ただし、デュアルワンショット機能では TMRLRA のアンダフローと同時に TMRLRB のリロードを行い、カウントを継続します。その後、TMRLRB のアンダフローと同時にカウント動作を停止します。

[bit3] INTE(INTerrupt Enable) : 割込み要求許可ビット

アンダフロー発生／コンペアー一致 (イベントカウンタモード時) / キャプチャ時の割込み要求を以下に示すように制御をします。

INTE	動作内容
0	割込み禁止 (UF/EF ビットがセットされても割込みは発生しません。)(初期値)
1	割込み許可 (UF/EF ビットがセットされると割込み要求を発生します。)

[bit2] UF(Under flow Flag) : アンダフローフラグ

カウンタの値が、0x0000 からダウンカウント行ったときに、アンダフローが発生した事を示すフラグです。

セット要因	カウンタのアンダフローの発生
クリア要因	本ビットへの "0" 書込み、またはリセット

[bit1] CNTE(timer CouNTEr Enable) : タイマカウント許可ビット

タイマの動作を以下のように制御します。

CNTE	動作内容
0	動作禁止 (初期値)
1	動作許可 (起動トリガ待ち)

[bit0] TRG(software TRiGger) : ソフトウェアトリガビット

タイマのソフトウェアトリガを発生します。ソフトウェアトリガが発生すると , リロードレジスタの内容をカウンタへロードしてカウント動作を開始します。

TRG	動作内容
"0" 書込み	何もしない
"1" 書込み	ソフトウェアトリガ発生

このビットへの "0" 書込みは , タイマは何も動作を行いません。読出し値は常に "0" となります。

このレジスタによるトリガ入力は , bit1:CNTE = 1 のときのみ有効となります。

TRG ビットの "1" 書込みは , タイマが起動状態 (bit1:CNTE= 1) のとき , 動作モードにかかわらず常に有効トリガを発生します。

39.4.2 16 ビットタイマレジスタ : TMR (16bit TiMer Register)

タイマのカウント値を読み出すことができます。

このレジスタには必ず 16 ビットアクセスをしてください。

- TMR0 ~ TMR3 : アドレス 0062_H, 0102_H, 010A_H, 0112_H (アクセス : ハーフワード)

15	14	...	2	1	0	bit
TMR[15:0]						
X	X	...	X	X	X	初期値
R,WX	R,WX	...	R,WX	R,WX	R,WX	属性

[bit15 ~ bit0] TMR (TiMeR) : 16 ビットタイマ

16 ビットタイマのカウント値を読み出すことができるレジスタです。初期値は不定です。

39.4.3 16 ビットタイマリロードレジスタ A, 16 ビットタイマリロードレジスタ B : TMRLRA, TMRLRB(16bit TiMer ReLoad Register A/B)

カウント初期値などを設定します。

このレジスタには必ず 16 ビットアクセスをしてください。

- **TMRLRA0 ～ TMRLRA3 : アドレス 0060_H, 0100_H, 0108_H, 0110_H (アクセス : ハーフワード)**

15	14	...	2	1	0	bit
TMRLRA[15:0]						
X	X	...	X	X	X	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

- **TMRLRB0 ～ TMRLRB3 : アドレス 0064_H, 0104_H, 010C_H, 0114_H (アクセス : ハーフワード)**

15	14	...	2	1	0	bit
TMRLRB[15:0]						
X	X	...	X	X	X	初期値
R,W	R,W	...	R,W	R,W	R,W	属性

[bit15 ～ bit0] TMRLRA (TiMer ReLoad Register A) 16 ビットリロード設定レジスタ A

[bit15 ～ bit0] TMRLRB (TiMer ReLoad Register B) 16 ビットリロード設定レジスタ B

TMRLRA レジスタは, カウント初期値を保持しておくレジスタです。TMRLRA は TMCSR レジスタの bit15, 14:MOD[1:0] の設定に関係なく全モードで使用されます。

TMRLRB は TMCSR レジスタの bit15, 14:MOD[1:0] の設定により以下のように使用されます。

モード	MOD[1:0]	TMRLRB の機能
シングルモード	00	使用しません
デュアルモード	01	H 幅 (OUTL="0" のとき) カウンタ値
コンペアモード	10	コンペアレジスタ (H 幅設定 OUTL="0" のとき)
キャプチャモード	11	キャプチャレジスタ (リトリガ入力時の TMR 値)

カウンタ値として使用の際は, 0x0000 を書き込んだときは 1 カウント, 0xFFFF を書き込んだときは 65,536 カウントするとアンダフローを発生します。

タイマ出力波形 (TOT) の H 幅・L 幅は MOD[1:0](TMCSR レジスタの bit15, 14), RELD(TMCSR レジスタの bit4), OUTL(TMCSR レジスタの bit5) ビット設定と TMRLRA/B レジスタ値により決まります。出力される波形 (TOT) の H 幅・L 幅の設定を下表に示します。

MOD[1:0]	モード	RELD	OUTL	TOT 出力	
				H 幅	L 幅
00	シングル	0	0	TMRLRA+1	—
			1	—	TMRLRA+1
		1	0	TMRLRA+1	
			1		
01	デュアル	0	0	TMRLRB+1	TMRLRA+1
			1	TMRLRA+1	TMRLRB+1
		1	0	TMRLRB+1	TMRLRA+1
			1	TMRLRA+1	TMRLRB+1

MOD[1:0]	モード	RELD	OUTL	TOT 出力	
				H 幅	L 幅
10	コンペア	0	0	*以下を参照	
			1		
		1	0		
			1		
11	キャプ チャ	0	0	TMRLRA+1	---
			1	---	TMRLRA+1
		1	0	TMRLRA+1	
			1		

*コンペアモード時の H 幅・L 幅は以下となります。

- ・ $TMRLRB < TMRLRA$ のとき (OUTL=0) $TMRLRA - TMRLRB + 1$ の "L" 幅, $TMRLRB$ の "H" 幅
(OUTL=1) $TMRLRA - TMRLRB + 1$ の "H" 幅, $TMRLRB$ の "L" 幅
- ・ $TMRLRB = 0$ のとき (OUTL=0)"L" 出力固定
(OUTL=1)"H" 出力固定
- ・ $TMRLRB > TMRLRA$ のとき (OUTL=0)"H" 出力固定
(OUTL=1)"L" 出力固定
- ・ $TMRLRB = TMRLRA$ のとき (OUTL=0) 1 サイクルの "L" 出力, $TMRLRB$ の "H" 幅
(OUTL=1) 1 サイクルの "H" 出力, $TMRLRB$ の "L" 幅

インターバルタイマモード時でシングルモード・デュアルモードとして使用しているときの TOT 出力時間 (TOUT) を表す式を以下に示します。

$$TOUT = (\text{本レジスタの設定値} + 1) \times \text{カウントソースの周期}$$

39.5 動作説明

39.5.1 設定

本タイマは「カウントソース」(TMCSR.CSL[2:0] で選択) と , カウンタ動作 ({TMCSR.MOD[1:0], TMCSR.RELD}) で動作を設定します。

■ カウントソース

TMCSR.CSL[2:0] により , ダウンカウンタのダウンカウント条件を選択します。

表 39.5-1 カウントソース一覧

CSL[2:0]	カウントソース	動作モード
000	周辺クロックの 2 分周 (初期値)	インターバルタイマモード
001	周辺クロックの 4 分周	
010	周辺クロックの 8 分周	
011	周辺クロックの 16 分周	
100	周辺クロックの 32 分周	
101	周辺クロックの 64 分周	
110	カスケードモード (ch.0:TIN0, ch.1:TOT0, ch.2:TOT1, ch.3:TOT2)	イベントカウンタモード
111	外部イベント (TIN 入力)	

■ タイマのアンダフロー周期

カウンタが 0x0000 からダウンカウントするときをアンダフローとしています。タイマがカウント動作を初めてからアンダフローが発生するまでの時間 (周期) をリロードレジスタ (TMRLRA/TMRLRB) に設定します。リロードレジスタのロード後は " リロードレジスタの設定値 + 1 " カウントでアンダフローを発生します。インターバルタイマモード時のタイマのアンダフロー周期 TUF は以下で表せます。

$$TUF = \text{周辺クロック (PCLK) 周期} \times \text{プリスケアラの分周値 (2 \sim 64)} \\ \times (\text{リロードレジスタ値 (TMRLRA/B)} + 1)$$

■ トリガ

トリガには以下の 2 種類があります。

- ・ ソフトウェアトリガ・・・TMCSR.TRG に "1" 書込みで発生。
- ・ 外部端子トリガ・・・TIN 端子から入力。

イベントカウンタモードでは TIN 端子はカウントソースとして使用されるため , 常にソフトウェアトリガを使用します。インターバルタイマモード時は TMCSR レジスタで設定します。

■ ゲート

インターバルタイマモード時・ゲート入力 (TMCSR.GATE = 1) 設定において, TIN 外部端子を使用して, カウンタのダウンカウントを止めることができます。

表 39.5-2 TIN 有効レベル

TRGM[0]	TIN の有効レベル
0	TIN 端子 "L" 入力期間のみカウント (初期値)
1	TIN 端子 "H" 入力期間のみカウント

■ カウンタ動作選択

カウンタのアンダフローが発生したときの動作をモード選択ビット (TMCSR レジスタの bit15, 14:MOD[1:0]) と, リロード動作許可ビット (TMCSR レジスタの bit4:RELD) で選択します。各モードでの動作詳細は各カウンタ動作の項を参照してください。

表 39.5-3 カウンタ動作一覧

MOD[1:0]	RELD	アンダフロー発生時の動作	カウンタ動作名
00	0	カウントを 0xFFFF で停止	シングルワンショット
	1	TMRLRA をリロード	シングルリロード
01	0	① TMRLRB をリロード ② カウントを 0xFFFF で停止 (デュアルワンショット機能の項を参照)	デュアルワンショット
	1	TMRLRA, TMRLRB を交互にリロード	デュアルリロード
10	0	カウントを 0xFFFF で停止	コンペアワンショット
	1	TMRLRA をリロード	コンペアリロード
11	0	カウントを 0xFFFF で停止	キャプチャワンショット
	1	TMRLRA をリロード	キャプチャリロード

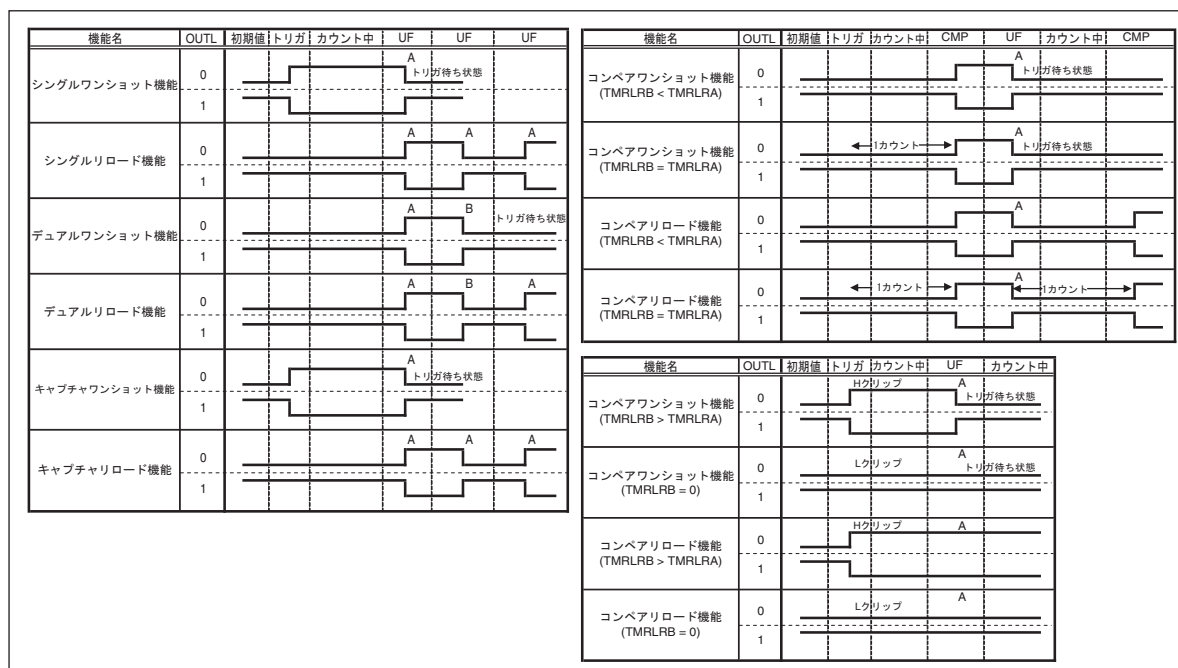
■ TOT 端子レベル設定

TMCSR レジスタの bit5:OUTL ビットによって端子出力極性の設定を行います。

以下に各機能でのイベントと TOT の関係を示します。

下中の UF(アンダフロー)の項の A/B は, TMRLRA/TMRLRB どちらのデータをロードした値でのダウンカウントでアンダフローが発生したかを表します。CMP(比較一致)は, TMRLRB = TMR からダウンカウントが発生したタイミングを表します。

図 39.5-1 各イベントでの TOT 出力変化



39.5.2 動作手順

■ 起動

TMCSRレジスタのbit1:CNTEビットに"1"を書き込むとカウンタは起動トリガ待ち状態になります。

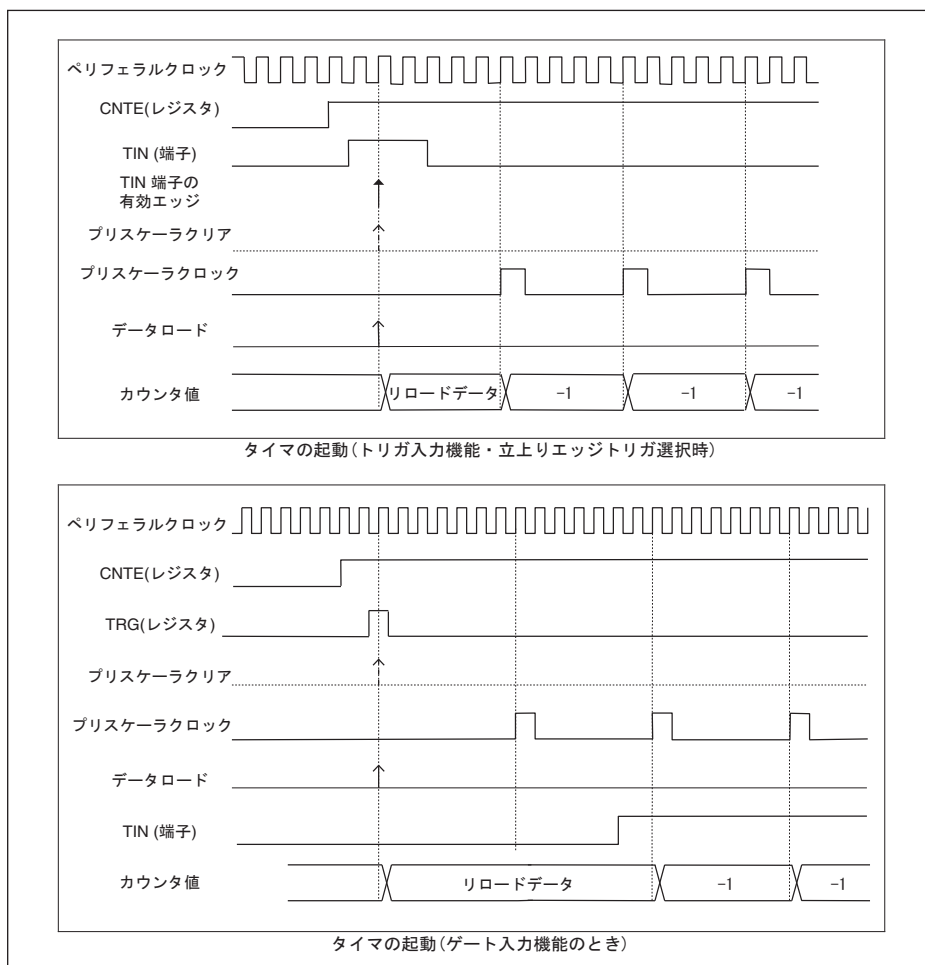
• TIN 入力トリガ入力機能時

起動トリガ待ち状態中に TMCSR レジスタの bit0:TRG ビットへの "1" 書込み, または TIN 入力による外部トリガが入力されると, プリスケアラのクリアが発生し, タイマはリロードレジスタから値をロードしてダウンカウント動作を行います。TIN 入力は, $2 \times T$ (T は周辺クロック (PCLK) 周期) 以上のパルスを入力してください。

• TIN 入力ゲート入力機能時

起動トリガ待ち状態中に TMCSR レジスタの bit0:TRG ビットへ "1" 書込みを行うと, プリスケアラのクリアが発生し, タイマはリロードレジスタから値をロードし有効入力極性待ち状態になります。有効入力極性待ち状態で TIN 入力から有効な極性のゲート入力があると, タイマはダウンカウント動作を行います。TIN 入力は, $2 \times T$ (T は周辺クロック (PCLK) 周期) 以上のパルスを入力してください。

図 39.5-2 タイマの起動



■ リトリガ

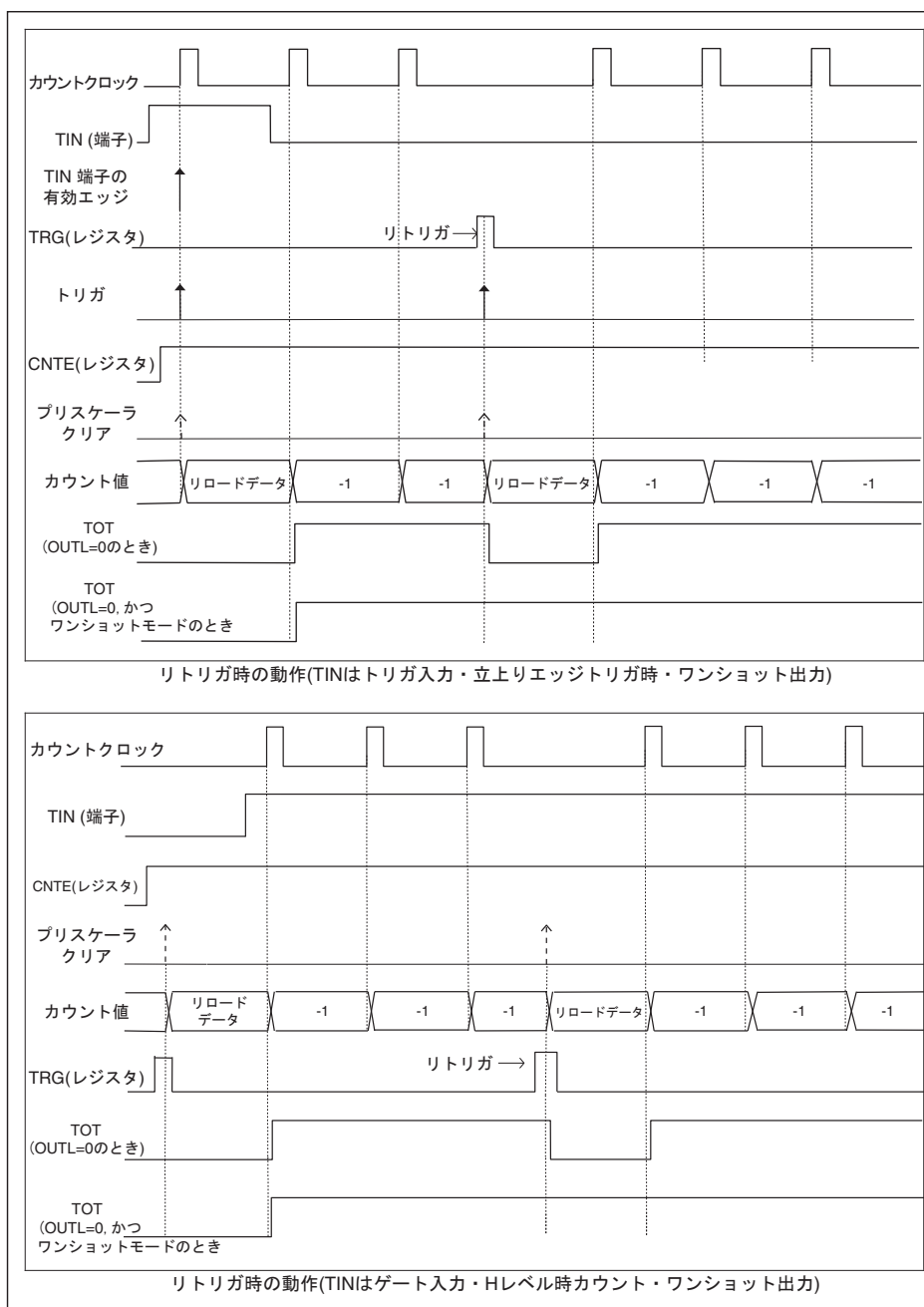
タイマのカウント中にトリガが発生した場合の事をリトリガとよびます。その際、

1. TOT を初期化
2. リロードレジスタの値をカウンタにロード
3. 6 ビットプリスケアラのクリア
4. カウント継続

を行います。キャプチャモード時のみ、リトリガ発生によりカウント中の値を TMRLRB に転送し、TMCSR レジスタの EF ビットをセットします。

(注意事項) ワンショットモードではリトリガ時、TOT は初期化されません。

図 39.5-3 リトリガ時の動作



■ アンダフロー／リロード

タイマが 0x0000 からダウンカウントするときをアンダフローとしています。アンダフローが発生すると、TMCSR レジスタの bit2:UF ビットがセットされます。タイマは "リロードレジスタの設定値 + 1" カウントでアンダフローが発生します。

■ 割込み要求発生

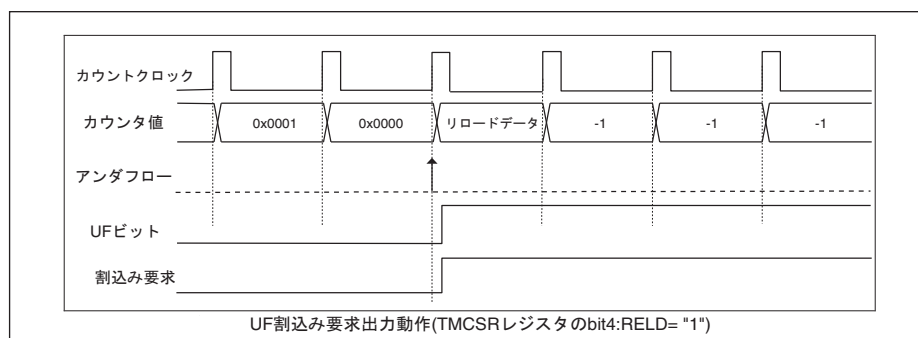
TMCSR レジスタの bit3:INTE ビットが "1" のときに、bit2:UF ビット /bit7:EF ビットがセットされると割込み要求が発生します。インターバルタイマモードでは、以下の条件のときに UF ビット /EF ビットがセットされます。

- UF ビットがセット：カウンタのアンダフローが発生したとき
- EF ビットがセット：キャプチャモード時にキャプチャ入力が発生したとき

TMCSR レジスタの bit2:UF ビットのセットと、UF ビットへの "0 書込み" によるクリアが同時に発生したときは、UF ビットへの "0 書込み" は無効となり UF ビットがセットされます。また、bit7:EF ビットのセットと EF ビットへの "0 書込み" によるクリアが同時に発生したときは、EF ビットへの "0 書込み" は無効となり EF ビットがセットされます。

割込み要求発生例を以下に示します。

図 39.5-4 UF 割込み要求出力動作例



■ レジスタ書込みとタイマ動作の同時動作

ユーザの操作によるレジスタ書込みとタイマ動作が同時に発生したときの実行動作について下表に示します。

表 39.5-4 同時動作

レジスタ書込み	タイマ動作	実行する動作
UF ビットへの "0" 書込みによるクリア	UF ビットのセット	UF ビットのセット ("0" 書込みは無効になる)
EF ビットの "0" 書込みによるクリア	EF ビットのセット	EF ビットのセット ("0" 書込みは無効になる)
リロードレジスタへの書込み	リトリガによるタイマのロード	旧データのリロード (新しく書き換えた値は次回)

39.5.3 各カウンタ動作の説明

■ シングルワンショット動作

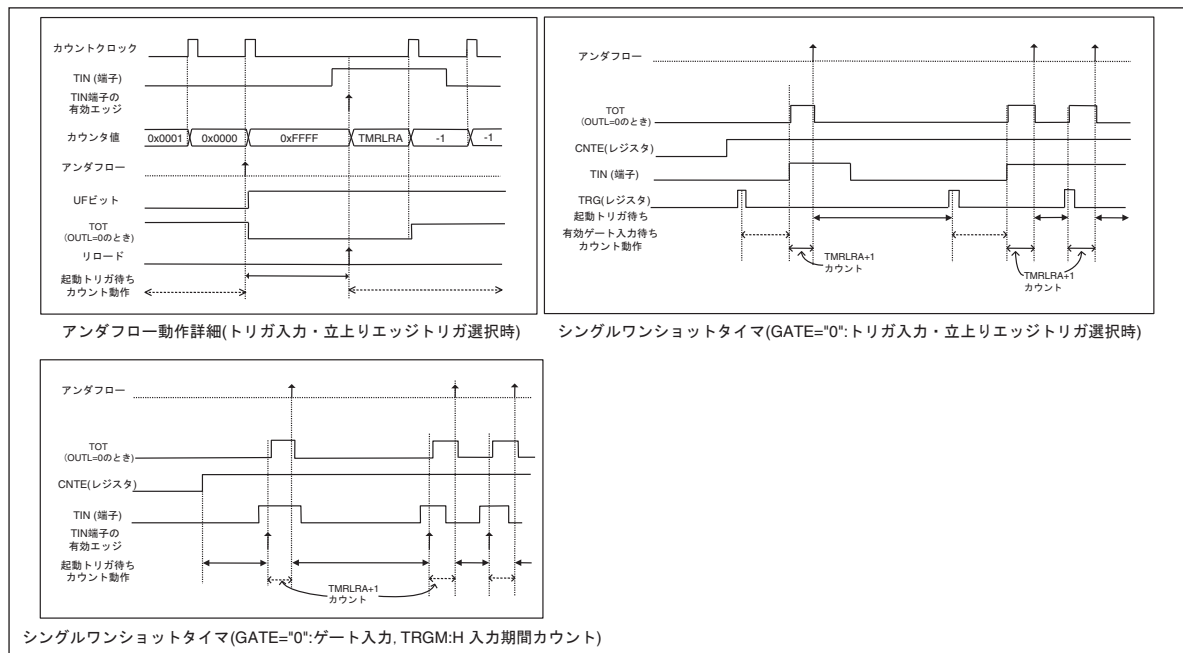
TMCSR レジスタの bit15, 14:MOD[1:0] = 00, bit4:RELD= 0 のとき, タイマはアンダフローの発生により 0xFFFF で停止するシングルワンショット動作を行います。

シングルワンショット設定時にアンダフローが発生したときは以下の動作を行います。

- TMCSR レジスタの UF ビットをセット
- 割込み許可 (TMCSR レジスタの bit3:INTE= 1) のとき, 割込み発生
- 0xFFFF でカウント停止
- TOT 出力を初期化
- タイマはトリガ待ち状態

シングルワンショットタイマではTMRLRAはリロード時のカウンタの初期値になります。TMRLRB は使用しません。

図 39.5-5 シングルワンショット動作



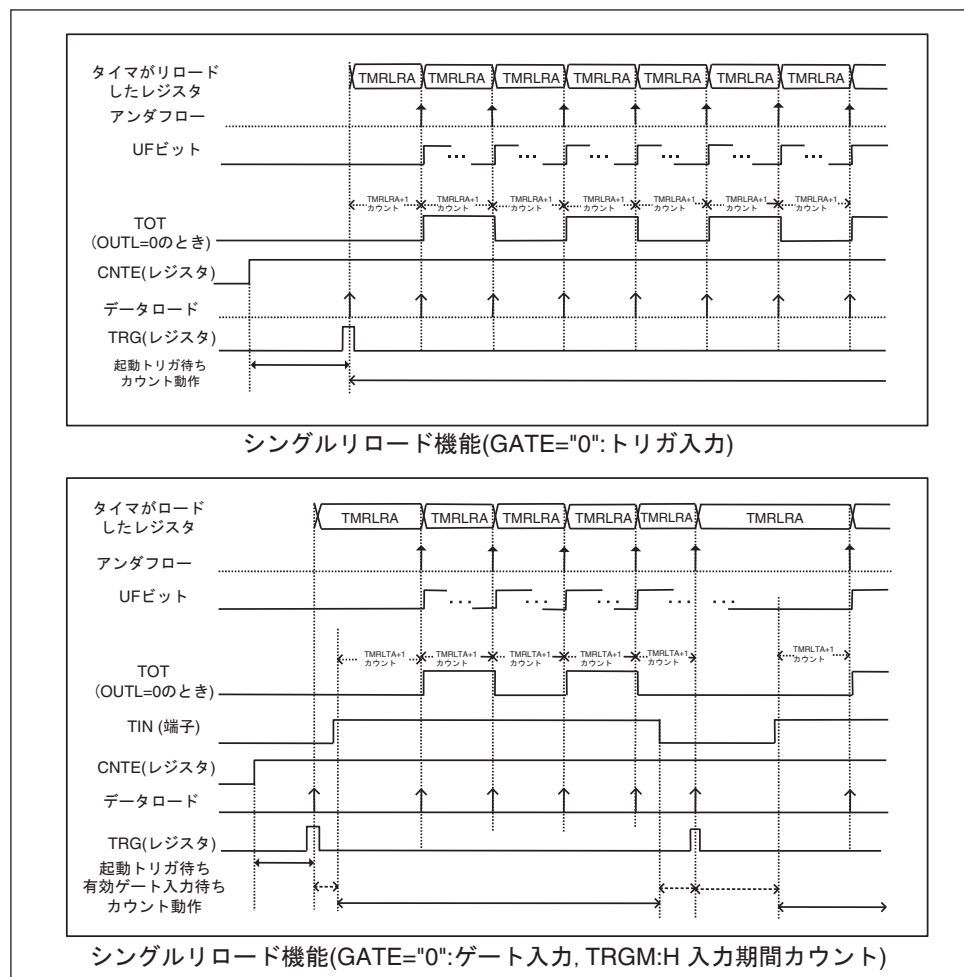
■ シングルリロード動作

TMCSR レジスタの bit15, 14:MOD[1:0] = 00, bit4:RELD = 1 のとき, シングルリロード動作を行います。

シングルリロード動作は, トリガ入力により TMRLRA から値をタイマへロードして, ダウンカウント動作を始めます。アンダフローが発生すると, 再び TMRLRA から値をリロードしてダウンカウント動作を継続します。TMRLRA の値はタイマがリロードする時間を表します。TMRLRB レジスタは使用しません。シングルリロード設定時に, アンダフローが発生したときは以下の動作を行います。

- TMCSR レジスタの bit2:UF ビットをセット
- 割込み許可 (TMCSR レジスタの bit3:INTE=1) のとき, 割込み発生
- TMRLRA レジスタをカウンタにロード
- TOT 出力を反転
- ダウンカウント継続

図 39.5-6 シングルリロード動作



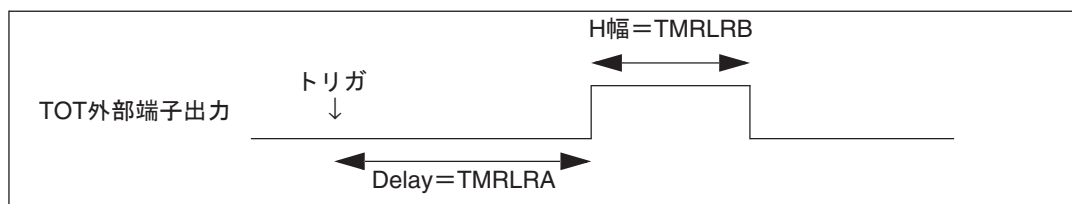
■ デュアルワンショット動作

TMCSR レジスタの bit15, 14:MOD[1:0] = 01, bit4: RELD = 0 のとき, タイマはデュアルワンショット動作を行います。ワンショット PPG として使用できます。

デュアルワンショット動作では, TMRLRA → TMRLRB の順に 1 回ずつ値をカウンタへロードして, それぞれダウンカウントを行い, 2 回目のアンダフローによりカウントを停止します。

TMCSR レジスタの bit5:OUTL="0" のとき, TMRLRA の値はタイマの起動 (TOT 出力は L レベル) から TOT 出力が H へトグルするまでの時間, TMRLRB の値は TOT 出力の H 幅の時間を示します。

図 39.5-7 TOT パルス幅



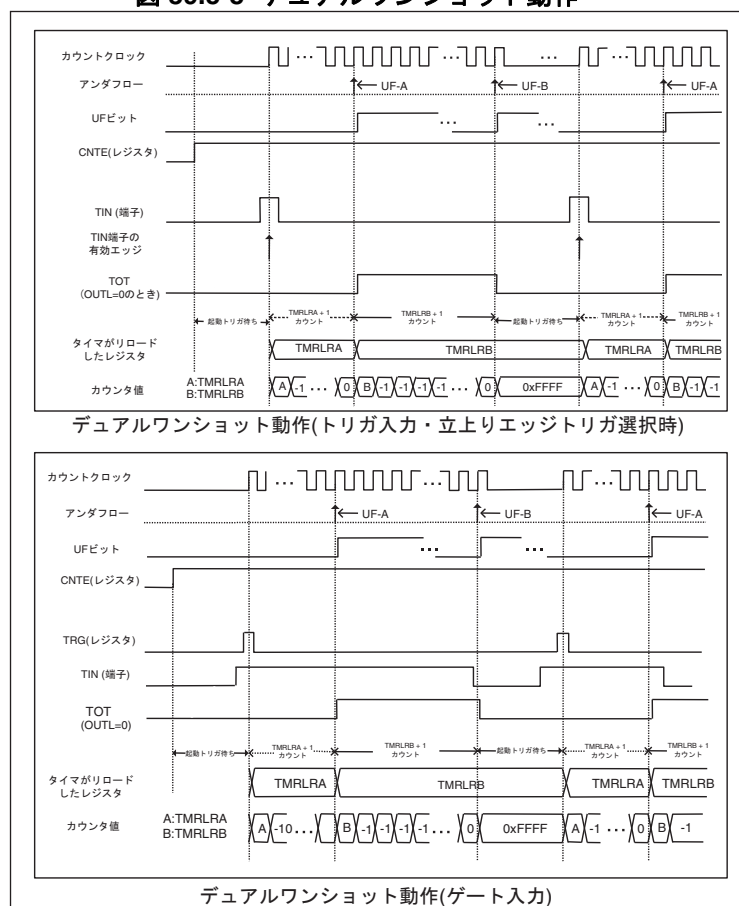
1 回目のアンダフロー (UF-A) が発生したときは以下の動作を行います。

- TMCSR レジスタの bit2:UF ビットをセット
- 割込み許可 (TMCSR レジスタの bit3:INTE= 1) のとき, 割込み発生
- TMRLRB をカウンタにロード
- TOT 出力を反転
- TMRLRB からダウンカウント開始

2 回目のアンダフロー (UF-B) が発生したときは以下の動作を行います。

- TMCSR レジスタの bit2:UF ビットをセット
- 割込み許可 (TMCSR レジスタの bit3:INTE= 1) のとき, 割込み発生
- 0xFFFF でカウント停止
- TOT 出力を初期化
- タイマは起動トリガ待ち状態へ

図 39.5-8 デュアルワンショット動作



■ デュアルリロード動作

TMCSR レジスタの bit15, 14:MOD[1:0] = 01, bit4: RELD = 1 のとき, タイマはデュアルリロード動作を行います。

デュアルリロード動作では, TMRLRA をカウンタへロードして, ダウンカウントを行い, アンダフローが発生すると, TMRLRB をカウンタへロードして, ダウンカウントを行いアンダフローが発生すると, TMRLRA をカウンタへロードしてダウンカウント・・・のように TMRLRA と TMRLRB を交互にロードしカウントを行う機能です。

TMCSR レジスタの bit5:OUTL="0" のとき, TMRLRA の値はタイマの起動(TOT 出力は L レベル)から TOT 出力が H へトグルするまでの時間, TMRLRB の値は TOT 出力の H 幅の時間を示します。

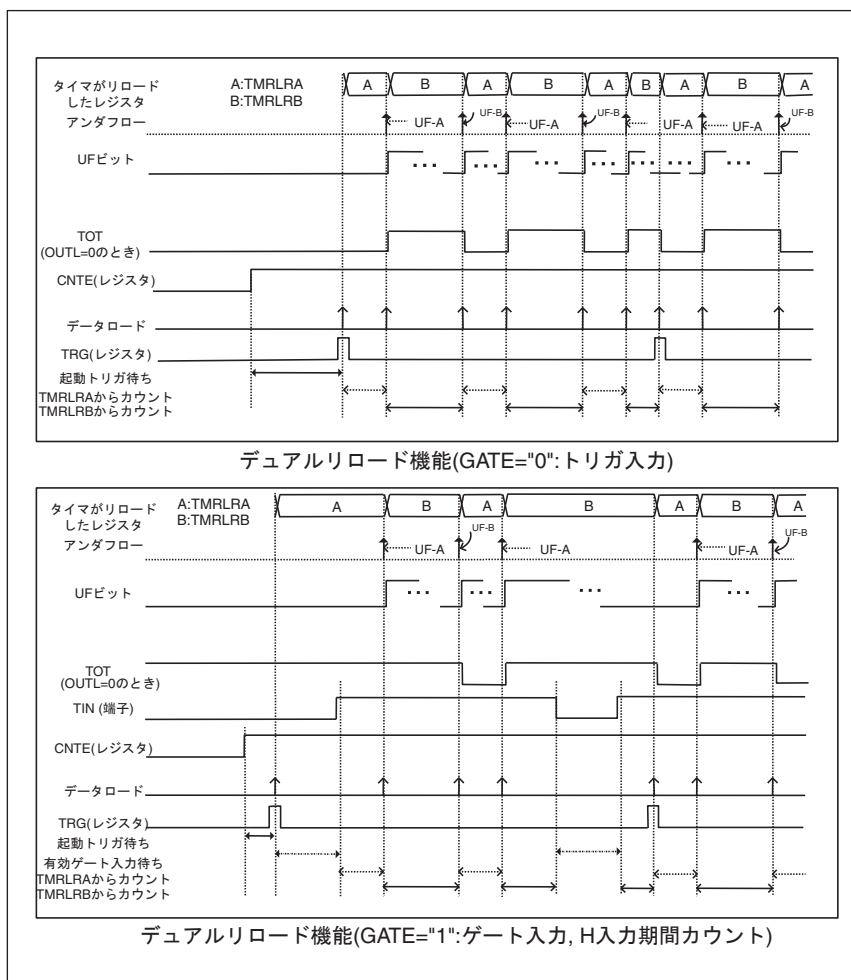
TMRLRA から値をロードした後のダウンカウントでアンダフロー (UF-A) が発生したときは以下の動作を行います。

- TMCSR レジスタの bit2:UF ビットをセット
- 割込み許可 (TMCSR レジスタの bit3:INTE= 1) のとき, 割込み発生
- TMRLRB をカウンタにロード
- TOT 出力を反転
- TMRLRB からダウンカウント開始

TMRLRB から値をロードした後のダウンカウントでアンダフロー (UF-B) が発生したときは以下の動作を行います。

- TMCSR レジスタの bit2:UF ビットをセット
- 割込み許可 (TMCSR レジスタの bit3:INTE=1) のとき, 割込み発生
- TMRLRA をカウンタにロード
- TOT 出力を反転
- TMRLRA からダウンカウント開始

図 39.5-9 デュアルリロード動作

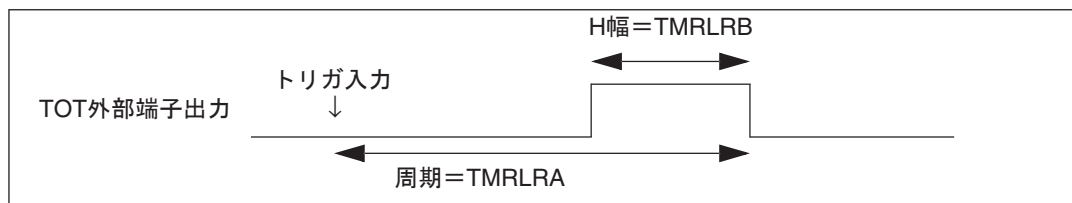


■ コンペアワンショット動作

TMCSR レジスタの bit15, 14:MOD[1:0] = 10, bit4:RELD = 0 のとき, ダウンカウントごとにカウンタ値 (TMR) と TMRLRB レジスタの値を比較するコンペアワンショット動作を行います。トリガを受け付け後, TMRLRA レジスタの値のロードを行い, ダウンカウントを始めます。比較一致 (TMR = TMRLRB) からダウンカウントすると, TOT 出力を反転させます。アンダフローが発生すると, カウント動作を停止・TOT 出力を初期化し, 起動トリガ待ち状態になります。

TMRLRA の値はタイマの起動から停止するまでの時間, TMRLRB の値は, TOT 出力の H 幅が出力され始めるカウンタ値を示します。OUTL="0" のとき, $TMR < TMRLRB$ のときに TOT 出力は "H レベル" となります。

図 39.5-10 TOT 周期, パルス幅



ダウンカウント開始時から $TMR = TMRLRB$ となるまで ($TMR \geq TMRLRB$ のとき) は以下の動作を行います。

- TOT 出力は初期値継続
- タイマはカウント継続

$TMR = TMRLRB$ からダウンカウントが発生したときは以下の動作を行います。

- TOT 出力を反転
- タイマはカウント継続

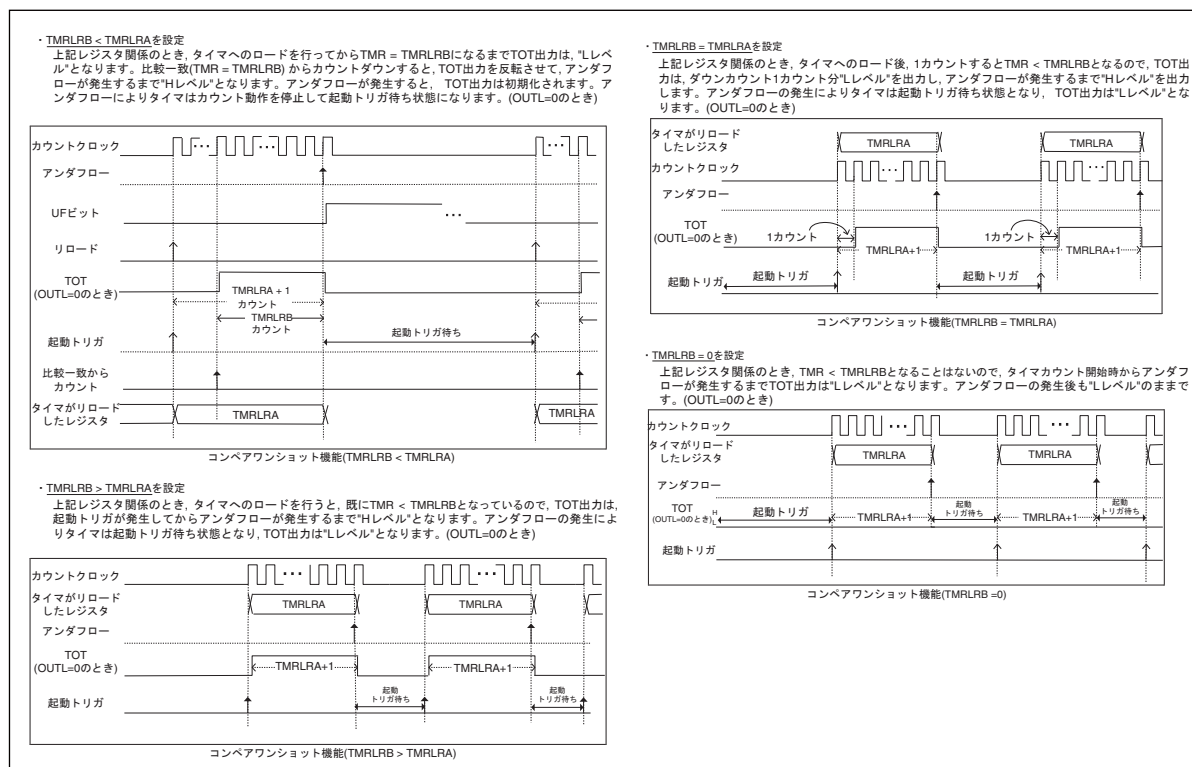
(インターバルタイマモードでのコンペア動作時は, TMCSR レジスタの bit7:EF ビットはセットされません。)

アンダフローが発生したときは以下の動作を行います。

- TMCSR レジスタの bit2:UF ビットをセット
- 割込み許可 (TMCSR レジスタの bit3:INTE= 1) のとき, 割込み発生
- TOT 出力を初期化
- タイマは 0xFFFF で停止
- タイマは起動トリガ待ち状態

コンペア機能の動作は TMRLRA と TMRLRB の設定関係により変わります。

図 39.5-11 コンペアワンショット動作



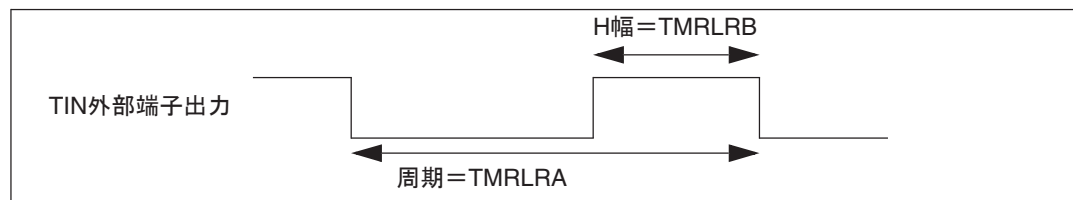
■ コンペアリロード動作

TMCSR レジスタの bit15, 14:MOD[1:0] = 10, bit4:RELD = 1 のとき、タイマはダウンカウントごとにカウンタ値 (TMR) と $TMRLRB$ の値を比較し、比較一致 ($TMR = TMRLRB$) からダウンカウントすると TOT 出力を反転します。アンダフローが発生すると、再び $TMRLRA$ から値をロードしダウンカウント動作を行うコンペアリロード動作を行います。カウンタへのロードは $TMRLRA$ から行います。

$TMRLRA$ の値はタイマが起動してからリロードするまでのカウンタ周期、 $TMRLRB$ の値は TOT 出力が "L レベル出力" から "H レベル出力" へ反転した後の "H レベル幅" を示します。

$TMR + 1 = TMRLRB$ のとき、TOT 出力は反転し、"H レベル" となります ($OUTL=0$ のとき)。

図 39.5-12 TOT 周期、パルス幅



ダウンカウント開始時から $TMR = TMRLRB$ となるまで ($TMR \geq TMRLRB$ のとき) は以下の動作を行います。

- ・ TOT 出力は初期値継続
- ・ カウント継続

TMR = TMRLRB からダウンカウントとなったときは以下の動作を行います。

- TOT 出力を反転
- カウント継続

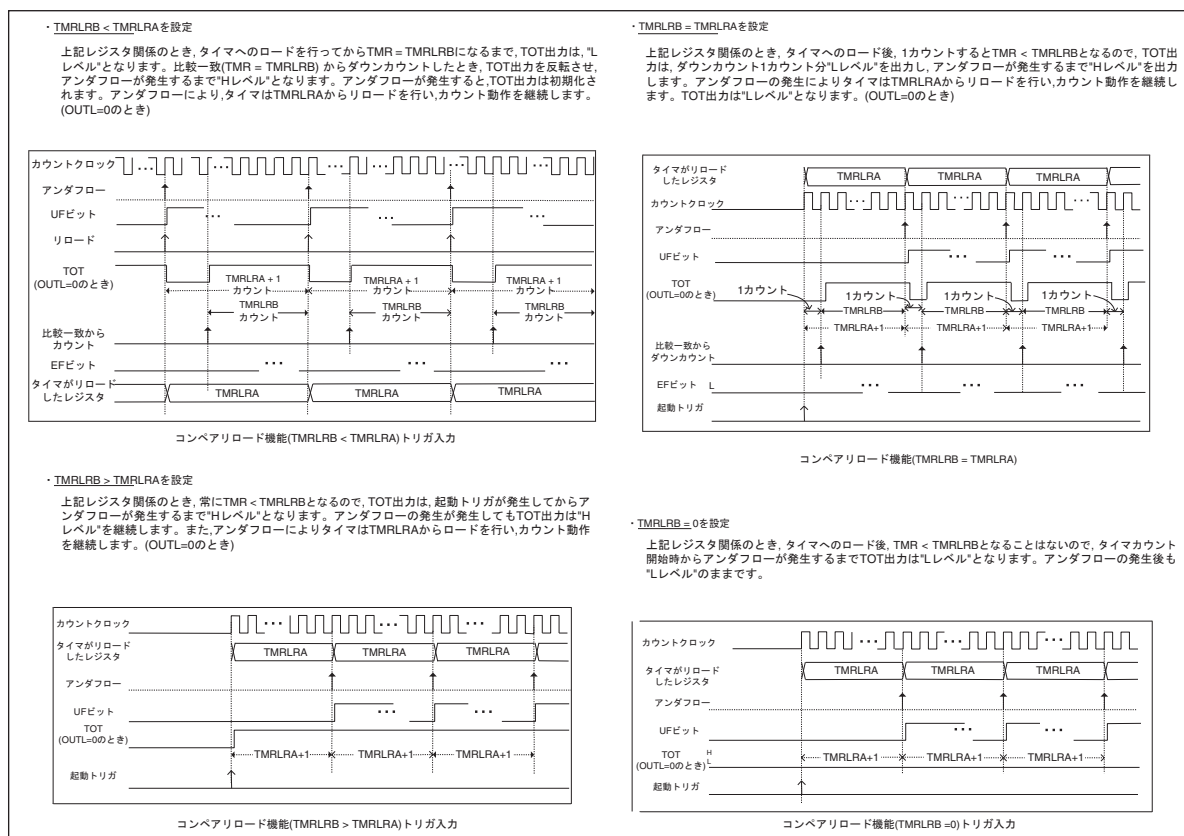
(インターバルタイマモードでのコンペア動作時は, TMCSR レジスタの bit7:EF ビットはセットされません。)

アンダフローが発生したときは以下の動作を行います。

- TMCSR レジスタの bit2:UF ビットをセット
- 割込み許可 (TMCSR レジスタの bit3:INTE=1) のとき, 割込み発生
- TOT 出力を初期化
- TMRLRA から値をリロード
- タイマはカウント継続

コンペア機能の動作は TMRLRA と TMRLRB の設定関係により変わります。

図 39.5-13 コンペアリロード動作



■ キャプチャモード

TMCSR レジスタの bit15, 14:MOD[1:0] = 11 のとき, タイマはキャプチャ動作を行います。リトリガが発生したとき, その時点の TMR の値を TMRLRB レジスタにキャプチャし, TMCSR レジスタの bit7:EF をセットします。

TIN入力をゲート入力として使用(TMCSRレジスタのbit8:GATE= 1 のとき)しているときは, TMCSR レジスタの bit0:TRG によってリトリガを発生させてください。

トリガモード以外では, リトリガ発生時にキャプチャは行いません。EF 割込みも発生しません。タイマの動作 /TOT 出力はシングルワンショット機能・シングルリロード機能どちらも同じです。

(注意事項) ワンショットモードではリトリガ時, TOT は初期化されません。

図 39.5-14 キャプチャ動作

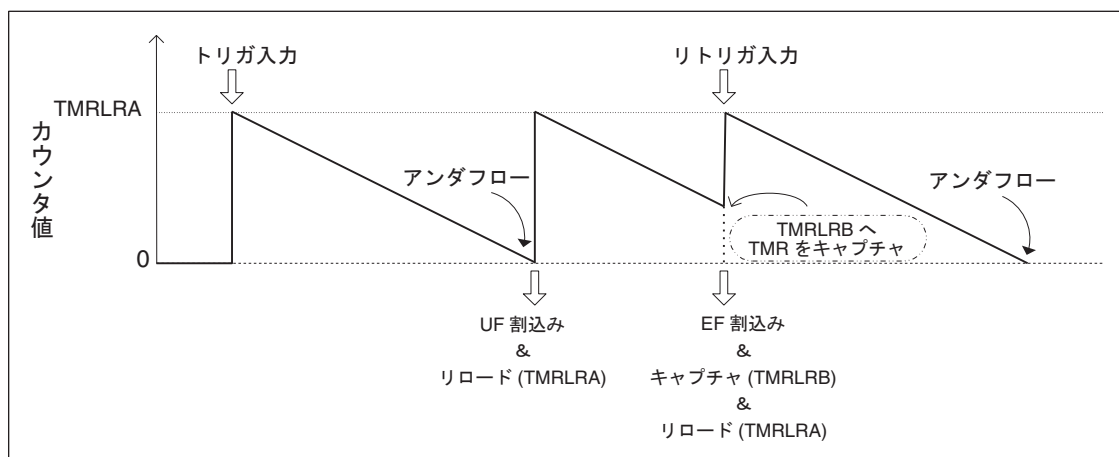


図 39.5-15 インターバルタイマモード時におけるトリガ入力機能のフローチャート

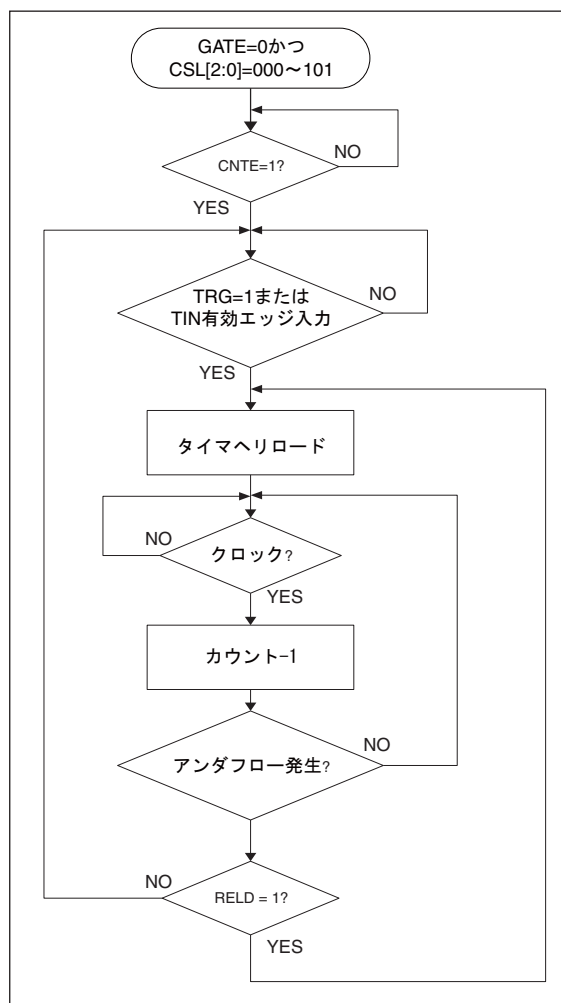
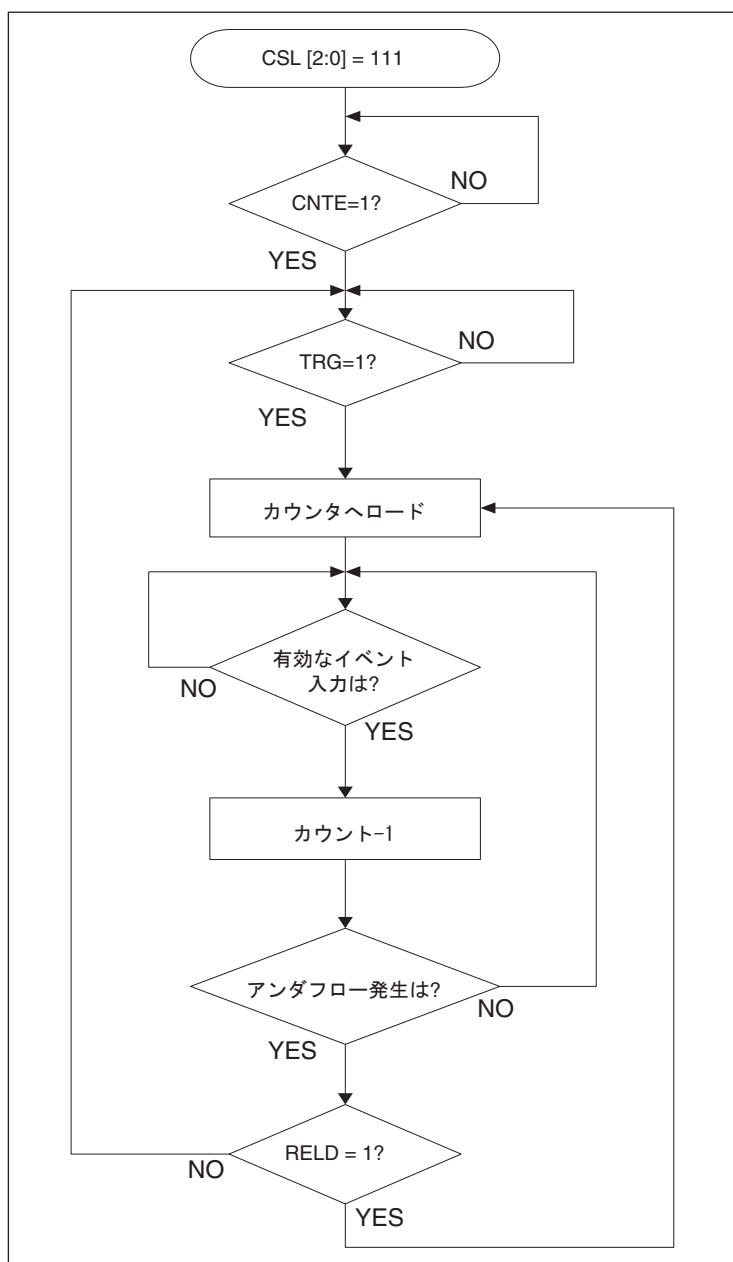


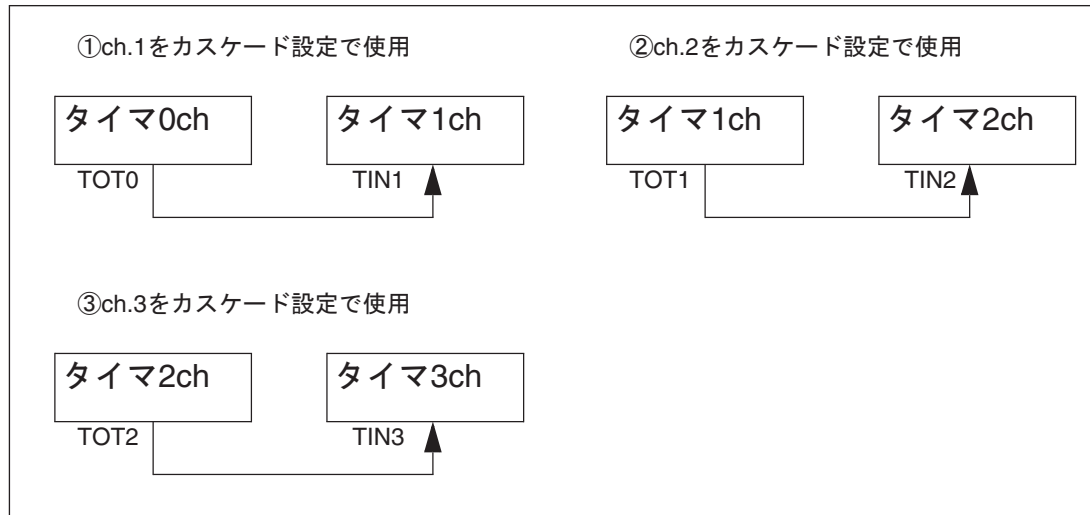
図 39.5-16 イベントカウンタモード時におけるフローチャート



39.5.4 カスケード入力

カスケード入力 (TMCSR レジスタの bit11-9:CSL[2:0]= 110) を選択すると , タイマの ch.0 の出力 (TOT0) を ch.1 の入力 (TIN1) として , ch.1 の出力 (TOT1) を ch.2 の入力 (TIN2) として , ch.2 の出力 (TOT2) を ch.3 の入力 (TIN3) として使用できます。

図 39.5-17 カスケード入力設定時のタイマの入出力



39.5.5 同時動作の優先順位

タイマの動作を決定するイベントが同時に発生したときに , 動作状態を決定する優先順位を示します。

1. レジスタ書込み
2. トリガ入力
3. アンダフロー
4. クロック入力

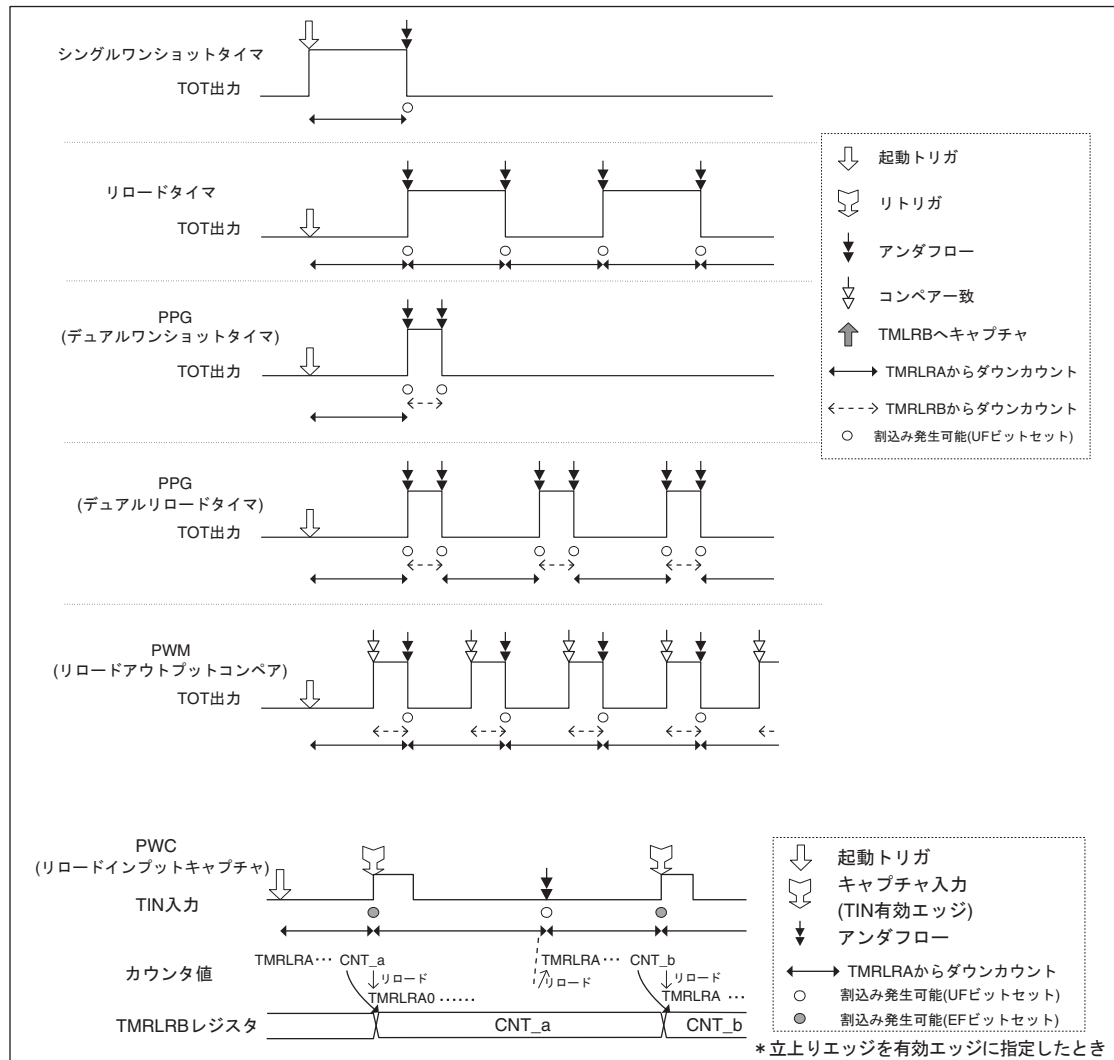
タイマの動作による各フラグのセットと , レジスタ書込みによるフラグのクリアが同時に発生したときの動作を決定する優先順位を示します。

1. タイマ動作によるフラグのセット
2. UF ビット /EF ビットへのフラグクリアのためのレジスタ書込み

39.6 アプリケーションノート

本タイマで実現できる代表的な機能を示します。

図 39.6-1 使用例



上図の例を使用するための設定を示します。

表 39.6-1 設定例

機能	MOD[1:0]	RELD	TMRLRA	TMRLRB
シングルワンショットタイマ	00 (シングルモード)	0	必須	---
リロードタイマ	00 (シングルモード)	1	必須	---
PPG (Programmable Pulse Generator)	01 (デュアルモード)	0 or 1	必須	必須
PWM (Pulse Width Modulator)	10 (コンペアモード)	1	必須	必須
PWC (Pulse Width Counter)	11 (キャプチャモード)	1	必須	---

39.6.1 シングルワンショットタイマ

シングルワンショットタイマは、トリガが入力されると、TMRLRA レジスタからカウンタへロードを行い、ダウンカウント動作を行います。アンダフローが発生するとカウント動作を停止します。

TOT 端子は、カウント中は "H レベル" を出力し、アンダフローが発生すると "L レベル" を出力します。(OUTL=0 のとき)

[設定] シングルワンショットタイマとして使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しないとき

TMCSR											TMRLRA
MOD [1:0]	TRGM [1:0]	CSL [2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	00	* 1	0	-	* 2	0	* 3	-	1	S	

S: タイマ起動時に使用

-: 動作に影響なし

* 1: カウントクロック分周設定 CSL[2:0]= 000・・・周辺クロック (PCLK) の 2 分周

010・・・周辺クロック (PCLK) の 8 分周

011・・・周辺クロック (PCLK) の 16 分周

100・・・周辺クロック (PCLK) の 32 分周

101・・・周辺クロック (PCLK) の 64 分周

* 2: TOT 出力極性設定 OUTL=0・・・初期値 L → カウント開始 H → アンダフロー発生 L

OUTL=1・・・初期値 H → カウント開始 L → アンダフロー発生 H

* 3: 割込み要求許可設定 INTE=0・・・割込み禁止

INTE=1・・・割込み許可

(2) TIN 入力をゲート入力として使用するとき

TMCSR											TMRLRA
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	* 1	* 2	1	-	* 3	0	* 4	-	1	S	

S: タイマ起動時に使用

-: 動作に影響なし

* 1: TIN の有効レベル設定 TRGM[1:0]=x0・・・L 入力期間のみカウント

TRGM[1:0]=x1・・・H 入力期間のみカウント

* 2: カウントクロック分周設定 CSL[2:0]= 000・・・周辺クロック (PCLK) の 2 分周

010・・・周辺クロック (PCLK) の 8 分周

011・・・周辺クロック (PCLK) の 16 分周

100・・・周辺クロック (PCLK) の 32 分周

101・・・周辺クロック (PCLK) の 64 分周

* 3: TOT 出力極性設定 OUTL=0・・・初期値 L → カウント開始 H → アンダフロー発生 L

OUTL=1・・・初期値 H → カウント開始 L → アンダフロー発生 H

* 4: 割込み要求許可設定 INTE=0・・・割込み禁止

INTE=1・・・割込み許可

(3) TIN 入力をトリガ入力として使用するとき

TMCSR											TMRLRA
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	* 1	* 2	0	-	* 3	0	* 4	-	1	S	

S: タイマ起動時に使用

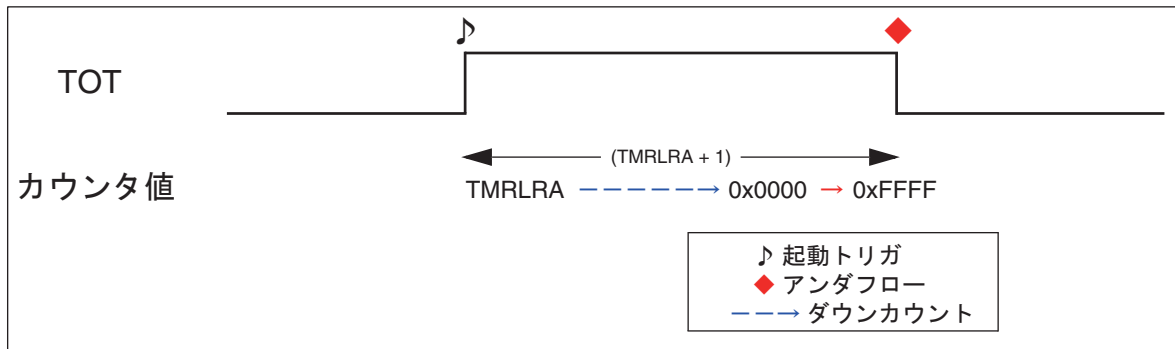
-: 動作に影響なし

- * 1: TIN の有効レベル設定 TRGM[1:0]=00・・・外部トリガエッジ検出しない
 TRGM[1:0]=01・・・立上りエッジ
 TRGM[1:0]=10・・・立下りエッジ
 TRGM[1:0]=11・・・両エッジ
- * 2: カウントクロック分周設定 CSL[2:0]= 000・・・周辺クロック (PCLK) の 2 分周
 010・・・周辺クロック (PCLK) の 8 分周
 011・・・周辺クロック (PCLK) の 16 分周
 100・・・周辺クロック (PCLK) の 32 分周
 101・・・周辺クロック (PCLK) の 64 分周
- * 3: OUT 出力極性設定 OUTL=0・・・初期値 L → カウント開始 H → アンダフロー発生 L
 OUTL=1・・・初期値 H → カウント開始 L → アンダフロー発生 H
- * 4: 割込み要求許可設定 INTE=0・・・割込み禁止
 INTE=1・・・割込み許可

[タイマ起動] 以下の手順でタイマの起動を行ってください。

- ・起動トリガを入力 (TRG ビットへの "1" 書き込み or TIN 端子からの有効外部エッジ入力)
- ・TIN 端子入力をゲート入力として使用する際は, 有効レベルを入力

図 39.6-2 動作例 (OUTL=0)



39.6.2 リロードタイマ

リロードタイマは、アンダフローが発生するたびに、TMRLRA レジスタからカウンタへロードを行い、ダウンカウント動作を繰り返します。TOT 出力は、起動トリガから最初のアンダフローまでのカウント中は "L レベル", アンダフローが発生するたびに出力は反転し、最初のアンダフローの発生によって "H レベル" を出力します。また、リトリガが発生すると、TOT 出力は初期値になります。(OUTL="0" のとき)

[設定] リロードタイマとして使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しないとき

TMCSR											TMRLRA
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	00	* 1	0	-	* 2	1	* 3	-	1	S	

S: タイマ起動時に使用

-: 動作に影響なし

* 1: カウントクロック分周設定 CSL[2:0]= 000・・・周辺クロック (PCLK) の 2 分周

010・・・周辺クロック (PCLK) の 8 分周

011・・・周辺クロック (PCLK) の 16 分周

100・・・周辺クロック (PCLK) の 32 分周

101・・・周辺クロック (PCLK) の 64 分周

* 2: TOT 出力極性設定 OUTL=0・・・初期値 L → カウント開始 L → アンダフロー発生たびに反転

OUTL=1・・・初期値 H → カウント開始 H → アンダフロー発生たびに反転

* 3: 割込み要求許可設定 INTE=0・・・割込み禁止 INTE=1・・・割込み許可

(2) TIN 入力をゲート入力として使用するとき

TMCSR											TMRLRA
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	* 1	* 2	1	-	* 3	1	* 4	-	1	S	

S: タイマ起動時に使用

-: 動作に影響なし

* 1: TIN の有効レベル設定 TRGM[1:0]=x0・・・TIN=L 入力期間のみカウント

TRGM[1:0]=x1・・・TIN=H 入力期間のみカウント

* 2: カウントクロック分周設定 CSL[2:0]= 000・・・周辺クロック (PCLK) の 2 分周

010・・・周辺クロック (PCLK) の 8 分周

011・・・周辺クロック (PCLK) の 16 分周

100・・・周辺クロック (PCLK) の 32 分周

101・・・周辺クロック (PCLK) の 64 分周

* 3: OUT 出力極性設定 OUTL=0・・・初期値 L → カウント開始 L → アンダフロー発生たびに反転

OUTL=1・・・初期値 H → カウント開始 H → アンダフロー発生たびに反転

* 4: 割込み要求許可設定 INTE=0・・・割込み禁止 INTE=1・・・割込み許可

(3) TIN 入力をトリガ入力として使用するとき

TMCSR											TMRLRA
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	カウント初期値設定
00	* 1	* 2	0	-	* 3	1	* 4	-	1	S	

S: タイマ起動時に使用

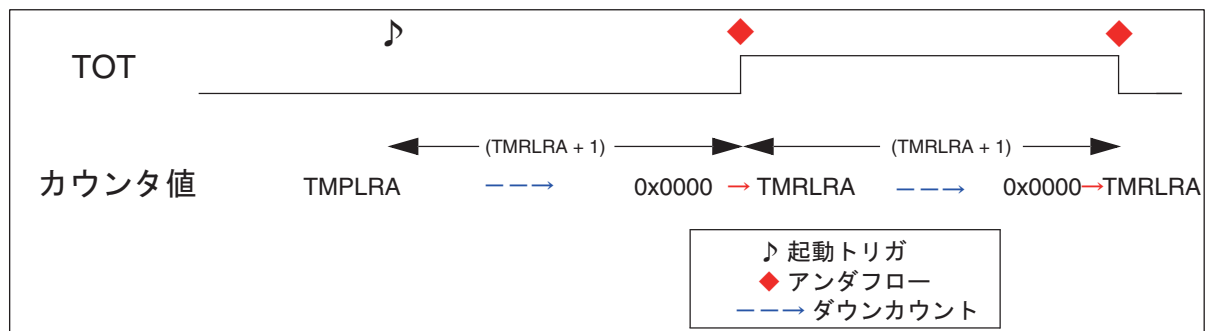
-: 動作に影響なし

- * 1: TIN の有効エッジ設定 TRGM[1:0]=00 ・ ・ 外部トリガエッジ検出しない
 TRGM[1:0]=01 ・ ・ 立上りエッジ
 TRGM[1:0]=10 ・ ・ 立下りエッジ
 TRGM[1:0]=11 ・ ・ 両エッジ
- * 2: カウントクロック分周設定 CSL[2:0]= 000 ・ ・ 周辺クロック (PCLK) の 2 分周
 010 ・ ・ 周辺クロック (PCLK) の 8 分周
 011 ・ ・ 周辺クロック (PCLK) の 16 分周
 100 ・ ・ 周辺クロック (PCLK) の 32 分周
 101 ・ ・ 周辺クロック (PCLK) の 64 分周
- * 3: OUT 出力極性設定 OUTL=0 ・ ・ 初期値 L → カウント開始 L → アンダフロー発生たびに反転
 OUTL=1 ・ ・ 初期値 H → カウント開始 H → アンダフロー発生たびに反転
- * 4: 割込み要求許可設定 INTE=0 ・ ・ 割込み禁止 INTE=1 ・ ・ 割込み許可

[タイマ起動] 以下の手順でタイマ起動を行ってください。

- ・ 起動トリガを入力 (TRG ビットへの "1" 書込みまたは TIN 端子からの有効外部エッジ入力)
- ・ TIN 端子入力をゲート入力として使用する際は、有効レベルを入力

図 39.6-3 動作例 (OUTL=0)



39.6.3 PPG

PPG は、パルスの L 幅 / H 幅を設定して出力パルスを生成する機能です。起動トリガによって TMRLRA からカウンタへロードしダウンカウントを行い、アンダフローが発生すると TMRLRB から値をロードしダウンカウントを実行します。

RELD="0" のときは起動トリガ → TMRLRA ロード → ダウンカウント → アンダフロー → TMRLRB ロード → ダウンカウント → アンダフローでダウンカウントを停止します。

RELD="1" のときは起動トリガ → TMRLRA ロード → ダウンカウント → アンダフロー → TMRLRB ロード → ダウンカウント → アンダフロー → TMRLRA ロード → ダウンカウント → アンダフロー → TMRLRB ロード というように、アンダフローが発生するたびに TMRLRA/TMRLRB を交互にロードを行い、ダウンカウントを実行します。

TOT 出力は、TMRLRA からのダウンカウントによるアンダフローが発生するまでのカウント中は "L レベル", TMRLRB からのダウンカウントによるアンダフローが発生するまでは, "H レベル" を出力します。また、リトリガが発生すると、TOT 出力は初期値になります。

(注意事項) ワンショットモードではリトリガ時、TOT は初期化されません。

[設定] PPG として使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しないとき

TMCSR											TMRLRA	TMRLRB
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
01	00	* 1	0	-	* 2	* 3	* 4	-	1	S		

(A): 起動トリガ発生時カウンタ初期値 /TMRLRB 値からのカウントによるアンダフロー時のリロード値 (RELD=1 のとき)

(B):TMRLRA 値からのカウントによるアンダフロー時のリロード値

S: タイマ起動時に使用

- : 動作に影響なし

* 1: カウンタクロック分周設定 CSL[2:0]= 000・・・周辺クロック (PCLK) の 2 分周
010・・・周辺クロック (PCLK) の 8 分周
011・・・周辺クロック (PCLK) の 16 分周
100・・・周辺クロック (PCLK) の 32 分周
101・・・周辺クロック (PCLK) の 64 分周

* 2: TOT 出力極性設定 OUTL=0・・・初期値 L → TMRLRA からカウンタ L → アンダフロー発生で H → TMRLRB からカウンタ H → アンダフロー発生で L
OUTL=1・・・初期値 H → TMRLRA からカウンタ H → アンダフロー発生で L → TMRLRB からカウンタ L → アンダフロー発生で H

* 3: アンダフロー発生時リロード設定 RELD=0・・・ワンショットモード
RELD=1・・・リロードモード

* 4: 割込み要求許可設定 INTE=0・・・割込み禁止
INTE=1・・・割込み許可



(2) TIN 入力をゲート入力として使用するとき

TMCSR											TMRLRA	TMRLRB
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
01	* 1	* 2	1	-	* 3	* 4	* 5	-	1	S		

(A): 起動トリガ発生時カウント初期値 /TMRLRB 値からのカウントによるアンダフロー時のリロード値 (RELD=1 のとき)

(B):TMRLRA 値からのカウントによるアンダフロー時のリロード値

S: タイマ起動時に使用

-: 動作に影響なし

* 1: TIN の有効レベル設定 TRGM[1:0]=x0・・TIN=L 入力期間のみカウント

TRGM[1:0]=x1・・TIN=H 入力期間のみカウント

* 2: カウントクロック分周設定 CSL[2:0]= 000・・周辺クロック (PCLK) の 2 分周
010・・周辺クロック (PCLK) の 8 分周
011・・周辺クロック (PCLK) の 16 分周
100・・周辺クロック (PCLK) の 32 分周
101・・周辺クロック (PCLK) の 64 分周

* 3: TOT 出力極性設定 OUTL=0・・初期値 L→TMRLRA からカウント L→アンダフロー発生で H→
TMRLRB からカウント H→アンダフロー発生で L
OUTL=1・・初期値 H→TMRLRA からカウント H→アンダフロー発生で L→
TMRLRB からカウント L→アンダフロー発生で H

* 4: アンダフロー発生時リロード設定 RELD=0・・ワンショットモード
RELD=1・・リロードモード

* 5: 割込み要求許可設定 INTE=0・・割込み禁止
INTE=1・・割込み許可

(3) TIN 入力をトリガ入力として使用するとき

TMCSR											TMRLRA	TMRLRB
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
01	* 1	* 2	0	-	* 3	* 4	* 5	-	1	S		

(A): 起動トリガ発生時カウント初期値 /TMRLRB 値からのカウントによるアンダフロー時のリロード値 (RELD=1 のとき)

(B):TMRLRA 値からのカウントによるアンダフロー時のリロード値

S: タイマ起動時に使用

-: 動作に影響なし

* 1: TIN の有効エッジ設定 TRGM[1:0]=00・・外部トリガエッジ検出しない
TRGM[1:0]=01・・立上りエッジ
TRGM[1:0]=10・・立下りエッジ
TRGM[1:0]=11・・両エッジ

* 2: カウントクロック分周設定 CSL[2:0]= 000・・周辺クロック (PCLK) の 2 分周
010・・周辺クロック (PCLK) の 8 分周
011・・周辺クロック (PCLK) の 16 分周
100・・周辺クロック (PCLK) の 32 分周
101・・周辺クロック (PCLK) の 64 分周

* 3: TOT 出力極性設定 OUTL=0・・初期値 L→TMRLRA からカウント L→アンダフロー発生のたびに反転
OUTL=1・・初期値 H→TMRLRA からカウント H→アンダフロー発生のたびに反転

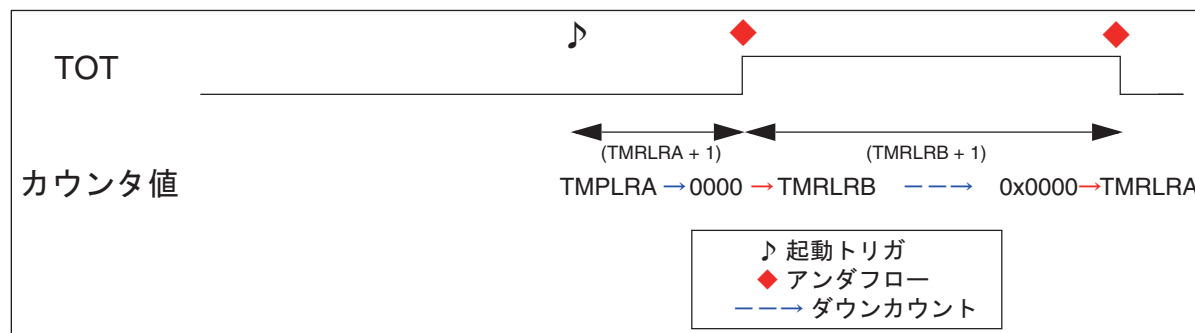
* 4: アンダフロー発生時リロード設定 RELD=0・・ワンショットモード
RELD=1・・リロードモード

* 5: 割込み要求許可設定 INTE=0・・割込み禁止
INTE=1・・割込み許可

[タイマ起動] 以下の手順でタイマ起動を行ってください。

- ・ 起動トリガを入力 (TRG ビットへの "1" 書込みまたは TIN 端子からの有効外部エッジ入力)
- ・ TIN 端子入力をゲート入力として使用する際は , 有効レベルを入力

図 39.6-4 動作例 (OUTL=0)



39.6.4 PWM

PWM は、パルスの周期と H 幅を設定して出力パルスを生成する機能です。

起動トリガによって TMRLRA からカウンタへロードしダウンカウント動作を行います。

TOT 出力は、起動トリガ後は "L レベル" を出力し、TMRLRB の設定値よりもカウンタ値が小さくなると "H レベル" を出力します。アンダフローが発生すると、TOT 出力は初期値に戻ります。(OUTL="0" のとき)

RELD="0" のときは起動トリガ → TMRLRA ロード → ダウンカウント → アンダフローでダウンカウントを停止します。

RELD="1" のときは起動トリガ → TMRLRA ロード → ダウンカウント → アンダフロー → TMRLRA ロード → ダウンカウント・・・というように、アンダフローが発生するたびに TMRLRA のロードを行い、ダウンカウントを実行します。

[設定] PWM として使用するためには、以下の設定を行ってください。

(1) TIN 入力を使用しないとき

TMCSR											TMRLRA	TMRLRB
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
10	0	* 1	0	-	* 2	* 3	* 4	-	1	S		

(A): 起動トリガ発生時のカウンタ初期値／アンダフロー発生時のリロード値 (RELD=1 のとき)

(B): カウンタ値と比較する値を設定 (TMRLRB < TMRLRA) * 5

S: タイマ起動時に使用

-: 動作に影響なし

* 1: カウンタクロック分周設定 CSL[2:0]= 000・・・周辺クロック (PCLK) の 2 分周
010・・・周辺クロック (PCLK) の 8 分周
011・・・周辺クロック (PCLK) の 16 分周
100・・・周辺クロック (PCLK) の 32 分周
101・・・周辺クロック (PCLK) の 64 分周

* 2: TOT 出力極性設定

OUTL=0・・・初期値 L → TMRLRA からカウンタ L → TMRLRB よりカウンタ値が小さい H

OUTL=1・・・初期値 H → TMRLRA からカウンタ H → TMRLRB よりカウンタ値が小さい L

* 3: アンダフロー発生時リロード設定 RELD=0・・・ワンショットモード

RELD=1・・・リロードモード

* 4: 割込み要求許可設定 INTE=0・・・割込み禁止

NTE=1・・・割込み許可

* 5: L クリップ出力で TOT 出力を使用するには、TMRLRB = 0 に設定

H クリップ出力で TOT 出力を使用するには、TMRLRB = "TMRLRA + 1" に設定

(2) TIN 入力をゲート入力として使用するとき

TMCSR											TMRLRA	TMRLRB
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
10	* 1	* 2	1	-	* 3	* 4	* 5	-	1	S		

(A): 起動トリガ発生時のカウンタ初期値／アンダフロー発生時のリロード値 (RELD=1 のとき)

(B): カウンタ値と比較する値を設定 (TMRLRB < TMRLRA) * 6

S: タイマ起動時に使用

-: 動作に影響なし

* 1: TIN の有効レベル設定 TRGM[1:0]=x0・・TRGM=L 入力期間のみカウント
TRGM[1:0]=x1・・TRGM=H 入力期間のみカウント

* 2: カウントクロック分周設定 CSL[2:0]= 000・・周辺クロック (PCLK) の 2 分周
010・・周辺クロック (PCLK) の 8 分周
011・・周辺クロック (PCLK) の 16 分周
100・・周辺クロック (PCLK) の 32 分周
101・・周辺クロック (PCLK) の 64 分周

* 3: TOT 出力極性設定

OUTL=0・・初期値 L → TMRLRA からカウント L → TMRLRB よりカウンタ値が小さい H

OUTL=1・・初期値 H → TMRLRA からカウント H → TMRLRB よりカウンタ値が小さい L

* 4: アンダフロー発生時リロード設定 RELD=0・・ワンショットモード

RELD=1・・リロードモード

* 5: 割込み要求許可設定 INTE=0・・割込み禁止

INTE=1・・割込み許可

* 6: L クリップ出力で TOT 出力を使用するには, TMRLRB = 0 に設定

H クリップ出力で TOT 出力を使用するには, TMRLRB = "TMRLRA + 1" に設定

(3) TIN 入力をトリガ入力として使用するとき

TMCSR											TMRLRA	TMRLRB
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
10	* 1	* 2	0	-	* 3	* 4	* 5	-	1	S		

(A): 起動トリガ発生時のカウンタ初期値／アンダフロー発生時のリロード値 (RELD=1 のとき)

(B): カウンタ値と比較する値を設定 (TMRLRB < TMRLRA) * 6

S: タイマ起動時に使用

-: 動作に影響なし

* 1: TIN の有効エッジ設定 TRGM[1:0]=00・・外部トリガエッジ検出しない
TRGM[1:0]=01・・立上りエッジ
TRGM[1:0]=10・・立下りエッジ
TRGM[1:0]=11・・両エッジ

* 2: カウントクロック分周設定 CSL[2:0]= 000・・周辺クロック (PCLK) の 2 分周
010・・周辺クロック (PCLK) の 8 分周
011・・周辺クロック (PCLK) の 16 分周
100・・周辺クロック (PCLK) の 32 分周
101・・周辺クロック (PCLK) の 64 分周

* 3: TOT 出力極性設定

OUTL=0・・初期値 L → TMRLRA からカウント L → TMRLRB よりカウンタ値が小さい H

OUTL=1・・初期値 H → TMRLRA からカウント H → TMRLRB よりカウンタ値が小さい L

* 4: アンダフロー発生時リロード設定 RELD=0・・ワンショットモード

RELD=1・・リロードモード

* 5: 割込み要求許可設定 INTE=0・・割込み禁止

NTE=1・・割込み許可

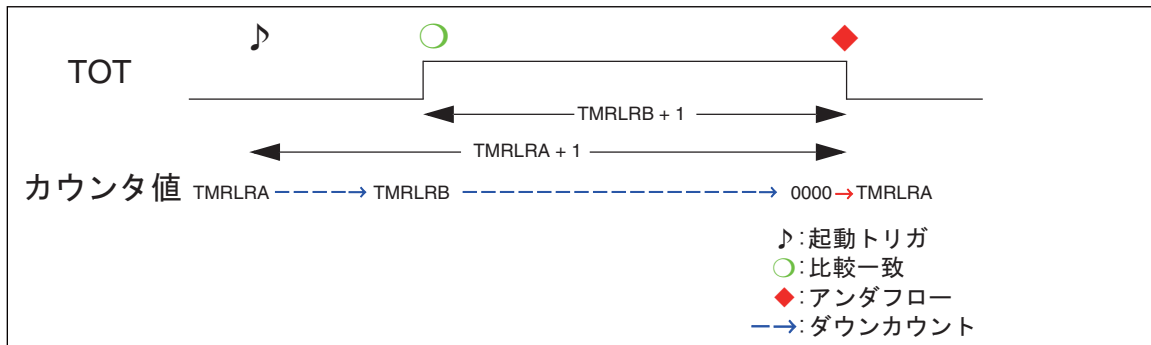
* 6: L クリップ出力で TOT 出力を使用するには, TMRLRB = 0 に設定

H クリップ出力で TOT 出力を使用するには, TMRLRB = "TMRLRA + 1" に設定

[タイマ起動] 以下の手順でタイマ起動を行ってください。

- ・起動トリガを入力 (TRG ビットへの "1" 書込みまたは TIN 端子からの有効外部エッジ入力)
- ・TIN 端子入力をゲート入力として使用する際は, 有効レベルを入力

図 39.6-5 動作例 (OUTL=0)



39.6.5 PWC

PWC は、入力するトリガのトリガ間の時間を測定する機能です。

起動トリガの入力によって TMRLRA からカウタ値をロードしダウンカウント動作を開始します。カウント中にトリガ入力することにより、TMRLRB へそのときのカウタ値をキャプチャするので、入力トリガ間の時間の測定ができます。

[設定] PWC として使用するためには、以下の設定を行ってください。

TMCSR											TMRLRA	TMRLRB
MOD[1:0]	TRGM[1:0]	CSL[2:0]	GATE	EF	OUTL	RELD	INTE	UF	CNTE	TRG	(A)	(B)
11	* 1	* 2	0	-	* 3	* 4	* 5	-	1	S		

(A): 起動トリガ発生時のカウタ初期値／アンダフロー発生時のリロード値 (RELD=1 のとき)

S: タイマ起動時に使用

- : 動作に影響なし

* 1: TIN の有効エッジ設定 TRGM[1:0]=00・・・外部トリガエッジ検出しない

TRGM[1:0]=01・・・立上りエッジ

TRGM[1:0]=11・・・両エッジ

* 2: カウタクロック分周設定 CSL[2:0]= 000・・・周辺クロック (PCLK) の 2 分周

010・・・周辺クロック (PCLK) の 8 分周

011・・・周辺クロック (PCLK) の 16 分周

100・・・周辺クロック (PCLK) の 32 分周

101・・・周辺クロック (PCLK) の 64 分周

* 3: TOT 出力極性設定 OUTL=0・・・初期値L → TMRLRAからカウタL →アンダフロー発生たびに反転

OUTL=1・・・初期値H → TMRLRAからカウタH →アンダフロー発生たびに反転

* 4: アンダフロー発生時リロード設定 RELD=0・・・ワンショットモード

RELD=1・・・リロードモード

* 5: 割込み要求許可設定 INTE=0・・・割込み禁止 INTE=1・・・割込み許可

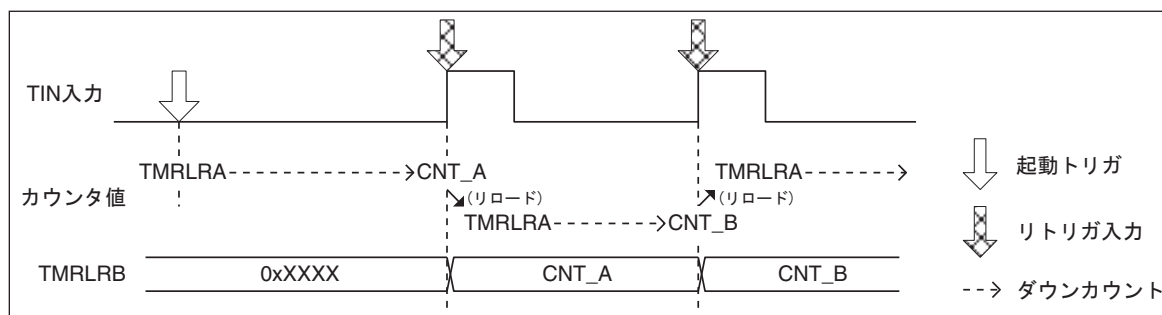
[タイマ起動] 以下の手順でタイマ起動を行ってください。

・起動トリガを入力 (TRG ビットへの "1" 書き込みまたは TIN 端子からの有効外部エッジ入力)

ダウンカウント中、トリガ入力があるたびにカウタ値が TMRLRB へキャプチャされます。入力するトリガのエッジ間の時間は以下となります。

$T = (\text{TMRLRA の設定値} - \text{TMRLRB のキャプチャ値}) \times \text{周辺クロック (PCLK) の周期} \times \text{CSL で設定した分周比}$

図 39.6-6 動作例 (TRGM=01)



第 40 章 アップダウンカウンタ

40.1 概要

アップダウンカウンタは、設定によってカウントアップ／ダウンするカウンタです。

16 ビットアップダウンカウンタの下位バイトのみを使用して、8 ビットアップダウンカウンタとして使用することもできます。

8 ビットアップダウンカウンタ時は "00_H" ～ "FF_H" の範囲で、16 ビットアップダウンカウンタ時は "0000_H" ～ "FFFF_H" の範囲でカウントできます。

本製品は、16 ビットアップダウンカウンタを 2 チャンネル内蔵しています。ただし、8 ビットアップダウンカウンタとして使用できるのは下位バイトのみになるため、8 ビット時も、16 ビット時も使用できるチャンネルは合計で 2 チャンネルになります。

40.2 特長

- カウンタモード: 次の 2 モードから選択できます。
 - 8 ビットアップダウンカウンタ (8 ビットモード)
 - 16 ビットアップダウンカウンタ (16 ビットモード)
- 動作モード: 次の 3 モード (4 種類) から選択できます。
 - **タイマモード**
カウント用クロックに同期してカウントダウンします。
カウント用クロックは周辺クロック (PCLK) をプリスケアラで 2 分周 / 8 分周して生成された内部クロックを使用します。
 - **アップダウンカウントモード**
2 本の外部信号入力端子から入力される信号をカウントアップ／カウントダウンします。カウントするエッジを、立上りエッジ、立下りエッジ、両エッジの中から選択できます。
 - **位相差カウントモード**
2 本の外部信号入力端子から入力される信号の位相差をカウントアップ／カウントダウンします。
位相差カウントモードは、モータなどのエンコーダのカウントに適しています。エンコーダの A 相、B 相、Z 相の出力をそれぞれ入力することにより、回転角度や回転数などを高い精度で容易にカウントできます。
位相差カウントモードには 2 通倍モードと 4 通倍モードがあり、それぞれカウント方法が異なります。

管理コード: FG20-1v2-91580L-1-J

アップダウンカウンタの動作モードを表 40.2-1 に示します。

表 40.2-1 アップダウンカウンタの動作モード

動作モード	カウントタイミング	カウント方向
タイマモード	内部クロック	カウントダウン
アップダウンカウントモード	外部クロック	カウントアップ／カウントダウン
位相差カウントモード (2 通倍 / 4 通倍)	外部信号入力端子からの入力 信号の位相	カウントアップ／カウントダウン

- リロードコンペア機能 : 次の 3 種類から選択できます。
 - **コンペア機能**
あらかじめ設定した値までカウントすると, カウンタの値をクリアして, カウントを続けます。
 - **リロード機能**
アンダフローが発生すると, リロード値をロードしてカウントを続けます。
 - **リロードコンペア機能**
コンペア機能とリロード機能を組み合わせて使用できます。
- カウント方向 : 直前のカウント方向 (カウントアップ／カウントダウン) を確認できます。
- 割込み要求 : 次の場合に割込み要求が発生できます。
 - カウント方向が反転したとき
 - カウンタの値があらかじめ設定した値と一致したとき
 - オーバフローが発生したとき
 - アンダフロー (リロード) が発生したとき

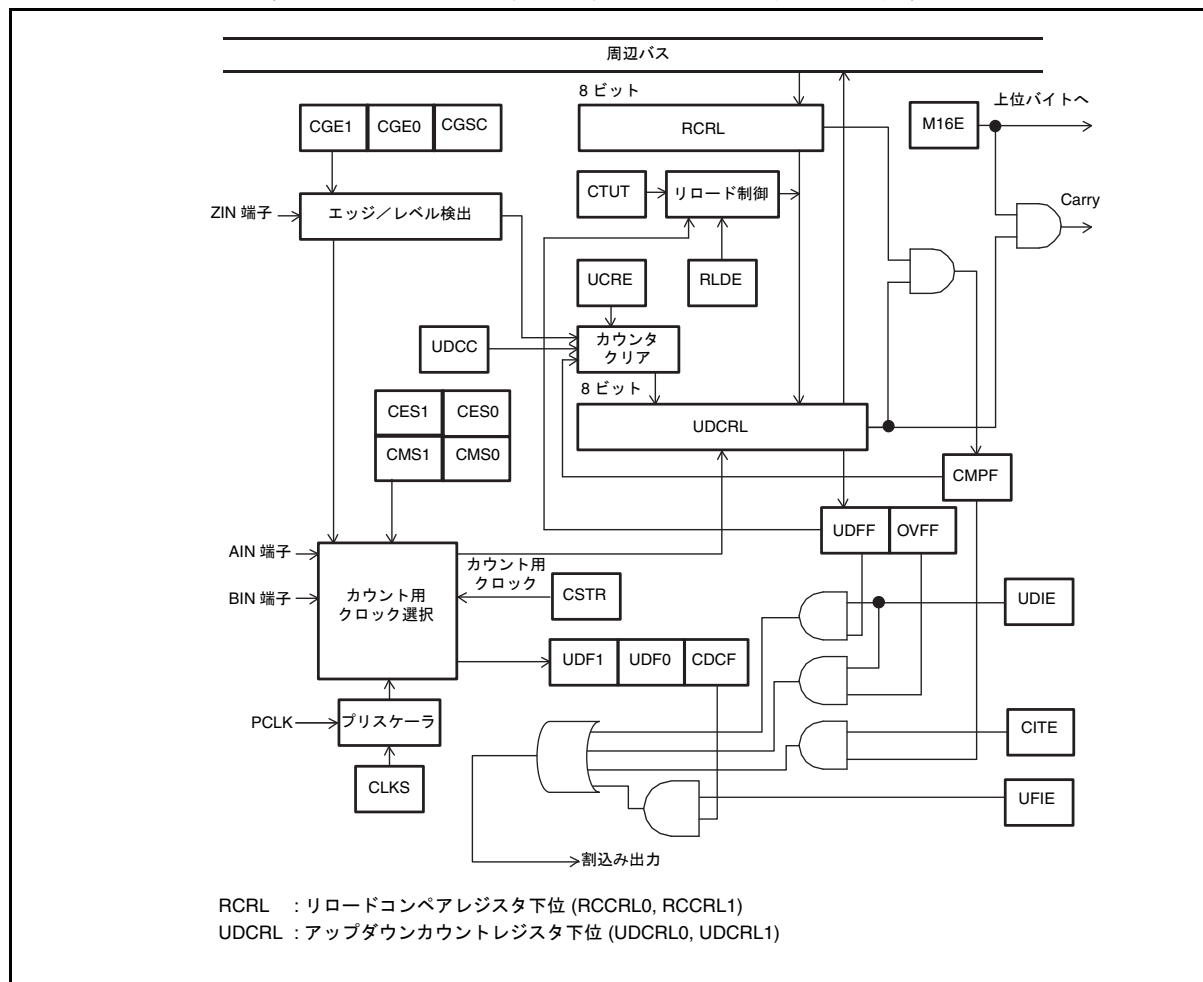
40.3 構成

アップダウンカウンタの構成を示します。

■ アップダウンカウンタのブロックダイヤグラム

アップダウンカウンタのブロックダイアグラムを ch.0 を例にとって図 40.3-1 に示します。

図 40.3-1 アップダウンカウンタのブロックダイアグラム



- **リロードコンペアレジスタ (RCR)**
アップダウンカウンタのリロード値およびコンペア値を設定するレジスタです。
次のように上位 8 ビットと下位 8 ビットに分かれています。
8 ビットモードで使用する場合は、下位側を使用します。
 - リロードコンペアレジスタ上位 (RCRH)
 - リロードコンペアレジスタ下位 (RCRL)
- **アップダウンカウントレジスタ (UDCR)**
アップダウンカウンタのカウンタとして動作するレジスタです。
次のように上位 8 ビットと下位 8 ビットに分かれています。
8 ビットモードで使用する場合は、下位側を使用します。
 - アップダウンカウントレジスタ上位 (UDCRH)
 - アップダウンカウントレジスタ下位 (UDCRL)

- カウンタコントロールレジスタ (CCR)
アップダウンカウンタを制御するレジスタです。
- カウンタステータスレジスタ (CSR)
アップダウンカウンタの状態を確認したり、割込み要求の制御をしたりするレジスタです。
- カウント用クロック選択回路
アップダウンカウンタのカウント用クロックを選択する回路です。
- プリスケーラ
アップダウンカウンタをタイマモードで使用するときに、周辺クロック (PCLK) の分周比を選択します。

■ クロック

アップダウンカウンタで使用するクロックを表 40.3-1 に示します。

表 40.3-1 アップダウンカウンタで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-
カウント用クロック	内部クロック (周辺クロック)	周辺クロック (PCLK) を分周して生成
	外部端子からの入力をカウント	AIN 端子, BIN 端子から入力

40.4 レジスタ

アップダウンカウンタで使用するレジスタの構成と機能について説明します。

■ 端子とチャネルの対応

チャネルと端子の対応を下表に示します。

チャネル番号	外部信号入力端子		
0	AIN0	BIN0	ZIN0
1	AIN1	BIN1	ZIN1

■ レジスタマップ

アップダウンカウンタのレジスタマップを下表に示します。

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x02F0	RCRH0	RCRL0	UDCRH0	UDCRL0	リロードコンペアレジスタ上位 0 リロードコンペアレジスタ下位 0 アップダウンカウントレジスタ上位 0 アップダウンカウントレジスタ下位 0
0x02F4	CCR0		予約	CSR0	カウンタコントロールレジスタ 0 カウンタステータスレジスタ 0
0x02F8	RCRH1	RCRL1	UDCRH1	UDCRL1	リロードコンペアレジスタ上位 1 リロードコンペアレジスタ下位 1 アップダウンカウントレジスタ上位 1 アップダウンカウントレジスタ下位 1
0x02FC	CCR1		予約	CSR1	カウンタコントロールレジスタ 1 カウンタステータスレジスタ 1

40.4.1 リロードコンペアレジスタ (RCR0, RCR1)

アップダウンカウンタのリロード値およびコンペア値を設定するレジスタです。

リロード値はカウントダウン時にカウントを開始する値、コンペア値はカウントアップ時にカウントされた値と比較する値(ここまで数えるという値)です。リロード値とコンペア値は同一です。

- RCRH0: アドレス 02F0_H (アクセス: ハーフワード, ワード)

- RCRH1: アドレス 02F8_H (アクセス: ハーフワード, ワード)

15	14	13	12	11	10	9	8	Bit
D15	D14	D13	D12	D11	D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	属性

- RCRL0: アドレス 02F1_H (アクセス: バイト, ハーフワード, ワード)

- RCRL1: アドレス 02F9_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	Bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	RX,W	属性

このレジスタは、次のように上位バイトと下位バイトに分かれています。

- リロードコンペアレジスタ上位 (RCRH0, RCRH1)
- リロードコンペアレジスタ下位 (RCRL0, RCRL1)

16 ビットモード時は、両方の値が使用され、8 ビットモード時は、下位バイトの値が使用されます。このレジスタに書き込んだ値をアップダウンカウンタレジスタ (UDCR) に転送することで、アップダウンカウンタは、"0000_H" (8 ビット時は "00_H") ～このレジスタに設定した値の範囲でカウントを行います。

- (注意事項) • カウンタコントロールレジスタ (CCR) の CTUT ビットに "1" を書き込むと、このレジスタに設定した値をアップダウンカウンタレジスタ (UDCR) に転送できます。ただし、カウンタコントロールレジスタ (CCR) の CTUT ビットは、アップダウンカウンタの停止中に書き込んでください。
- カウンタコントロールレジスタ (CCR) の M16E ビットで 16 ビットモードを設定した場合 (M16E=1), このレジスタは必ずハーフワードで書き込んでください。
 - カウンタコントロールレジスタ (CCR) の M16E ビットで 8 ビットモードを設定した場合 (M16E=0), 必ずリロードコンペアレジスタ下位 (RCRL) にバイトで書き込んでください。

40.4.2 アップダウンカウントレジスタ (UDCR0, UDCR1)

アップダウンカウンタのカウンタとして動作するレジスタです。このレジスタを読み出すとカウンタの値を確認できます。

- UDCRH0: アドレス 02F2_H (アクセス : ハーフワード, ワード)
- UDCRH1: アドレス 02FA_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	Bit
D15	D14	D13	D12	D11	D10	D9	D8	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

- UDCRL0: アドレス 02F3_H (アクセス : バイト, ハーフワード, ワード)
- UDCRL1: アドレス 02FB_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	Bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

このレジスタは、次のように上位バイトと下位バイトに分かれています。

- アップダウンカウントレジスタ上位 (UDCRH0, UDCRH1)
- アップダウンカウントレジスタ下位 (UDCRL0, UDCRL1)

8 ビットモード時は、上位バイトの値は無効です。

アップダウンカウントレジスタ下位 (UDCRL) の値を読み出してください。

(注意事項) • このレジスタは読出し専用です。このレジスタに値を設定する場合は、次の手順でリロードコンペアレジスタ (RCR) の値をこのレジスタに転送してください。

1. リロードコンペアレジスタ (RCR) に値を書き込む
 2. カウンタステータスレジスタ (CSR) の CSTR ビットに "0" を書き込む
 3. カウンタコントロールレジスタ (CCR) の CTUT ビットに "1" を書き込む
- カウンタコントロールレジスタ (CCR) の M16E ビットで 16 ビットモードを設定した場合 (M16E=1), このレジスタは必ずハーフワードで読み出してください。
 - カウンタコントロールレジスタ (CCR) の M16E ビットで 8 ビットモードを設定した場合 (M16E=0), アップダウンカウントレジスタ下位 (UDCRL) の値を読み出してください。

40.4.3 カウンタコントロールレジスタ (CCR0, CCR1)

アップダウンカウンタの動作を制御するレジスタです。

- CCR0: アドレス 02F4_H (アクセス: バイト, ハーフワード)
- CCR1: アドレス 02FC_H (アクセス: バイト, ハーフワード)

15	14	13	12	11	10	9	8	Bit
M16E	CDCF	CFIE	CLKS	CMS1	CMS0	CES1	CES0	
0	0	0	0	0	0	0	0	初期値
R/W	R(RM1),W	R/W	R/W	R/W	R/W	R/W	R/W	属性

7	6	5	4	3	2	1	0	Bit
予約	CTUT	UCRE	RLDE	UDCC	CGSC	CGE1	CGE0	
0	0	0	0	1	0	0	0	初期値
R0,W0	R0,W	R/W	R/W	R1,W	R/W	R/W	R/W	属性

[bit15] M16E : 16 ビットモード選択ビット

アップダウンカウンタを 8 ビットで使用するか, 16 ビットで使用するかを選択します。

書込み値	説明
0	8 ビットモード (1 チャネル) で使用します。
1	16 ビットモード (1 チャネル) で使用します。

[bit14] CDCF : カウント方向転換フラグビット

カウント方向が, カウントダウンからカウントアップ, またはカウントアップからカウントダウンに 1 回以上反転したことを示します。

このビットが "1" のときに CFIE ビットが "1" に設定されていると, カウント方向転換割込み要求が発生します。

CDCF	読出し時	書込み時
0	カウント方向は反転していません。	このビットを "0" にクリアします。
1	カウント方向が 1 回以上反転しました。	無視されます。

- (注意事項) • カウンタのリセットが発生した場合, カウント方向はカウントダウンに設定されます。そのため, リセット直後にカウントアップが行われると, このビットが "1" に変わります。
- カウント方向が短期間で連続して変化した場合は, カウント方向がもとに戻り, カウンタステータスレジスタ (CSR) の UDF1, UDF0 ビットが変化しない場合があります。

[bit13] CFIE : カウント方向転換割込み許可ビット

カウント方向が反転したとき (CDCF=1) に , カウント方向転換割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	カウント方向転換割込み要求の発生を禁止します。
1	カウント方向転換割込み要求の発生を許可します。

[bit12] CLKS : 内部クロック分周選択ビット

タイマモード選択時に , このビットで設定した分周比で分周された周辺クロック (PCLK) をカウント用クロックとして使用します。

書込み値	説明
0	周辺クロック (PCLK) の 2 分周
1	周辺クロック (PCLK) の 8 分周

(注意事項) このビットは , CMS1, CMS0 ビットで動作モードをタイマモードに設定 (CMS1, CMS0=00) した場合のみ有効です。その他の動作モードを選択しているときは , このビットの設定は無視されます。

[bit11, bit10] CMS1, CMS0 : 動作モード選択ビット

アップダウンカウンタの動作モードを次の中から選択します。

- タイマモード
カウント用クロックに同期してカウントダウンします。
- アップダウンカウントモード
2 本の外部信号入力端子からの入力信号をカウントアップ／カウントダウンします。
- 位相差カウントモード
2 本の外部信号入力端子の位相差をカウントアップ／カウントダウンします。位相差カウントモードには 2 通倍モードと 4 通倍モードがあり , それぞれカウント方法が異なります。

CMS1	CMS0	動作モード
0	0	タイマモード
0	1	アップダウンカウントモード
1	0	位相差カウントモード (2 通倍)
1	1	位相差カウントモード (4 通倍)

[bit9, bit8] CES1, CES0 : カウント用クロックエッジ選択ビット

AIN 端子および BIN 端子の検出エッジを選択します。

アップダウンカウントモード選択時に、このビットで選択したエッジが検出されるたびに、カウント動作が行われます。

CES1	CES0	検出エッジ
0	0	エッジ検出禁止
0	1	立下りエッジ
1	0	立上りエッジ
1	1	両エッジ

(注意事項) このビットは、CMS1, CMS0 ビットで動作モードをアップダウンカウントモードに設定 (CMS1, CMS0=01) した場合のみ有効です。その他の動作モードを選択しているときは、このビットの設定は無視されます。

[bit7] 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6] CTUT : カウンタライトビット

リロードコンペアレジスタ (RCR) に設定した値をアップダウンカウントレジスタ (UDCR) に転送します。

CTUT	読出し時	書込み時
0	"0" が読み出されます。	無視されます。
1		値を転送します。

(注意事項) このビットに "1" を書き込んだ時点で、リロードコンペアレジスタ (RCR) の値が転送されるため、カウンタステータスレジスタ (CSR) の CSTR ビットが "1" のとき (カウンタの動作中) は、このビットを "1" に書き換えしないでください。

[bit5] UCRE : カウンタクリア許可ビット

コンペア機能の使用を許可／禁止します。

コンペア機能とは、カウンタの値が、リロードコンペアレジスタ (RCR) に設定した値と一致したときに、カウンタの値を "0000_H" にクリアし、カウントを続ける機能です。

書込み値	説明
0	コンペア機能の使用を禁止します。
1	コンペア機能の使用を許可します。

(注意事項) このビットで制御できるのは、コンペア機能を利用したクリア動作のみです。次のクリア動作は、このビットでは制御できません。

- 本デバイスがリセットされたことによるクリア
- ZIN 端子からの有効エッジ入力によるクリア (CGSC ビット =0 のとき)
- UDCC ビットに "0" を書き込むことによるクリア (ソフトウェアによるクリア)

[bit4] RLDE : リロード許可ビット

リロード機能の使用を許可／禁止します。

リロード機能とは、カウントダウン時にカウンタがアンダフローすると、リロードコンペアレジスタ (RCR) に設定した値をカウンタにリロードして、カウントを続ける機能です。

書込み値	説明
0	リロード機能の使用を禁止します。
1	リロード機能の使用を許可します。

[bit3] UDCC : カウンタクリアビット

カウンタの値を "0000_H" にクリアします。

UDCC	読出し時	書込み時
0	"1" が読み出されます。	クリアします。
1		無視されます。

[bit2] CGSC : カウンタクリア / ゲート選択ビット

ZIN 端子の機能を次の中から選択します。

- カウンタクリア機能

ZIN 端子から有効エッジが入力されたときに、カウンタの値を "0000_H" にクリアします。

- ゲート機能

ZIN 端子から有効レベルが入力されている間だけ、カウンタが動作します。

書込み値	説明
0	カウンタクリア機能
1	ゲート機能

(注意事項) ZIN 端子は、このビットと CGE1, CGE0 ビットの設定を組み合わせることで機能します。
必ず、CGE1, CGE0 ビットも設定してください。

[bit1, bit0] CGE1, CGE0 : エッジ / レベル選択ビット

ZIN 端子の有効エッジ／有効レベルを選択します。CGSC ビット設定によって、このビットの意味は異なります。

- CGSC ビットでカウンタクリア機能を選択した場合 (CGSC=0)

有効エッジを選択します。

このビットで選択したエッジが ZIN 端子で検出されると、カウンタの値が "0000_H" にクリアされます。

•CGSC ビットでゲート機能を選択した場合 (CGSC=1)

有効レベルを選択します。

このビットで選択したレベルが ZIN 端子から入力されている間だけ、カウンタが動作します。

CGE1	CGE0	カウンタクリア機能選択時 (CGSC=0)	ゲート機能選択時 (CGSC=1)
0	0	エッジ検出禁止	レベル検出禁止 (カウント禁止)
0	1	立下りエッジ	"L" レベル
1	0	立上りエッジ	"H" レベル
1	1	設定禁止	設定禁止

40.4.4 カウンタステータスレジスタ (CSR0, CSR1)

アップダウンカウンタの状態の確認と、割込み要求を制御するレジスタです。

- CSR0: アドレス 02F7_H (アクセス: バイト)
- CSR1: アドレス 02FF_H (アクセス: バイト)

7	6	5	4	3	2	1	0	Bit
CSTR	CITE	UDIE	CMPF	OVFF	UDFF	UDF1	UDF0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R(RM1),W	R(RM1),W	R(RM1),W	R,WX	R,WX	属性

[bit7] CSTR : カウント起動ビット

アップダウンカウンタを起動／停止します。

書込み値	説明
0	カウント動作を停止します。
1	アップダウンカウンタを起動します。

[bit6] CITE : 比較結果一致割込み許可ビット

カウンタの値が、リロードコンペアレジスタ (RCR) に設定した値と一致したとき (CMPF=1) に、比較結果一致割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	比較結果一致割込み要求の発生を禁止します。
1	比較結果一致割込み要求の発生を許可します。

[bit5] UDIE : オーバフロー／アンダフロー割込み許可ビット

アップダウンカウンタがオーバフロー／アンダフローしたとき (OVFF/UDFF=1) に、オーバフロー／アンダフロー割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	オーバフロー／アンダフロー割込み要求の発生を禁止します。
1	オーバフロー／アンダフロー割込み要求の発生を許可します。

[bit4] CMPF : 比較結果一致検出フラグビット

カウンタの値がリロードコンペアレジスタ (RCR) に設定した値と一致したことを示します。

このビットが "1" のときに CITE ビットが "1" に設定されていると、比較結果一致割込み要求が発生します。

CMPF	読出し時	書込み時
0	値は一致していません。	このビットを "0" にクリアします。
1	値が一致しました。	無視されます。

(注意事項) このビットは、次の場合に "1" に変わります。

- カウントアップで値が一致したとき
- リロードコンペアレジスタ (RCR) の値をカウンタにリロードしたとき
- アップダウンカウンタを起動したときに、既に値が一致していたとき

[bit3] OVFF : オーバフロー検出フラグビット

アップダウンカウンタがオーバフローしたことを示します。

このビットが "1" のときに UDIE ビットが "1" に設定されていると、オーバフロー割込み要求が発生します。

OVFF	読出し時	書込み時
0	オーバフローは発生していません。	このビットを "0" にクリアします。
1	オーバフローが発生しました。	無視されます。

オーバフローは、カウンタの値が "FFFF_H" のときにカウントアップしようとするると発生します。

[bit2] UDFB : アンダフロー検出フラグビット

アップダウンカウンタがアンダフローしたことを示します。

このビットが "1" のときに UDIE ビットが "1" に設定されていると、アンダフロー割込み要求が発生します。

UDFB	読出し時	書込み時
0	アンダフローは発生していません。	このビットを "0" にクリアします。
1	アンダフローが発生しました。	無視されます。

アンダフローは、カウンタの値が "0000_H" のときに、カウントダウンしようとするると発生します。

[bit1, bit0] UDF1, UDF0 : アップダウンフラグビット

直前のカウント方向を示します。

このビットは、アップダウンカウンタがカウントするたびに更新されます。

UDF1	UDF0	説明
0	0	入力なし
0	1	カウントダウン
1	0	カウントアップ
1	1	カウントアップ／カウントダウン同時発生

40.5 割込み

次のいずれかの場合に割込み要求が発生します。

- カウント方向が反転したとき (カウント方向転換割込み要求)
- カウンタの値がリロードコンペアレジスタ (RCR) に設定した値と一致したとき (比較結果一致割込み要求)
- オーバフローが発生したとき (オーバフロー割込み要求)
- アンダフローが発生したとき (アンダフロー割込み要求)

アップダウンカウンタの動作モードによって、発生する割込み要求は異なります。

動作モードと割込み要求の対応を表 40.5-1 に示します。

表 40.5-1 動作モードと割込み要求の対応

割込み要求	タイマモード	アップダウン カウントモード	位相差カウントモード (2 通倍 /4 通倍)
カウント方向転換割込み要求	×	○	○
比較結果一致割込み要求	○	○	○
オーバフロー割込み要求	×	○	○
アンダフロー割込み要求	○	○	○

アップダウンカウンタで使える割込みについて表 40.5-2 に示します。

表 40.5-2 アップダウンカウンタの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
カウント方向転換 割込み要求	CCR の CDCF=1	CCR の CFIE=1	CCR の CDCF ビット に "0" を書き込む
比較結果一致 割込み要求	CSR の CMPF=1	CSR の CITE=1	CSR の CMPF ビット に "0" を書き込む
オーバフロー 割込み要求	CSR の OVFF=1	CSR の UDIE=1	CSR の OVFF ビット に "0" を書き込む
アンダフロー 割込み要求	CSR の UDFF=1	CSR の UDIE=1	CSR の UDFF ビット に "0" を書き込む

CCR: カウンタコントロールレジスタ

CSR: カウンタステータスレジスタ

- (注意事項)
- 割込み要求が発生すると、割込み要求フラグがクリアされるまで、アップダウンカウンタは動作を停止します。
 - カウンタコントロールレジスタ (CCR) の CMPF ビットは、カウントアップで値が一致した場合に加え、リロードコンペアレジスタ (RCR) の値がリロードされた場合や、アップダウンカウンタを起動時、既に値が一致していた場合も "1" に変わります。
 - カウンタのクリアおよびリロードのタイミングについては、「40.6 動作説明と設定手順例」の「■ クリアイベント」および「■ リロードイベント」を参照してください。
 - 割込み要求フラグが "1" のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
 - 割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする
 - 割込み許可と同時に割込み要求をクリアする
 - 各割込み要求の割込みベクタ番号については、「付録 C. 割込みベクター一覧」を参照してください。
 - 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については、「第 22 章 割込み制御 (割込みコントローラ)」を参照してください。

40.6 動作説明と設定手順例

アップダウンカウンタの動作について説明します。また、動作状態を設定するための手順例も示します。

■ 概要

● カウンタモード

アップダウンカウンタは、設定によって 16 ビットアップダウンカウンタとして使用することも、8 ビットアップダウンカウンタとして使用することもできます。

カウンタコントロールレジスタ (CCR) の M16E ビットで設定してください。

- 8 ビットモード (M16E=0)

アップダウンカウンタレジスタ下位 (UDCRL) のみを利用します。リロード値およびコンペア値は、リロードコンペアレジスタ下位 (RCRL) のみにバイトで書き込んでください。

- 16 ビットモード (M16E=1)

アップダウンカウンタレジスタ (UDCR) の上位バイトと下位バイトの両方を利用します。リロード値およびコンペア値は、リロードコンペアレジスタ (RCR) にハーフワードで書き込んでください。

● 動作モード

アップダウンカウンタの動作モードは、カウンタコントロールレジスタ (CCR) の CMS1, CMS0 ビットで次の 3 モード (4 種類) から選択できます。

- タイマモード (CMS1, CMS0=00)

あらかじめ設定した値からカウント用クロックに同期してカウントダウンするモードです。

カウント用クロックは、周辺クロック (PCLK) をプリスケアラで 2 分周 / 8 分周して生成されます。

- アップダウンカウンタモード (CMS1, CMS0=01)

外部信号入力端子から入力される信号をカウントアップ / カウントダウンするモードです。

- 位相差カウントモード (2 通倍) (CMS1, CMS0=10) / 位相差カウントモード (4 通倍) (CMS1, CMS0=11)

外部信号入力端子から入力される信号の位相差をカウントアップ / カウントダウンするモードです。エンコーダの A 相を AIN 端子、B 相を BIN 端子、Z 相を ZIN 端子から入力することで、回転角度や回転数のカウント、回転方向の検出などを高精度で行えるため、モータなどのエンコーダのカウントに適しています。

■ 利用できる機能

● リロード／コンペア機能

8/16ビットアップダウンカウンタは、カウンタコントロールレジスタ (CCR) のRLDEビットとUCREビットでリロード機能およびコンペア機能の利用を許可／禁止できます。

• リロード機能

カウントダウン時にアンダフローが発生すると、リロードコンペアレジスタ (RCR) に設定した値をリロードして、再度カウントダウンする機能です。動作については、「40.6.1 タイマモード時の動作」の「■ カウント動作」を参照してください。

• コンペア機能

アップダウンカウンタの値がリロードコンペアレジスタ (RCR) に設定した値と一致 (比較結果一致) した状態で、さらにカウントアップが行われようとする時、アップダウンカウンタの値を "0000_H" にクリアして、再度カウントアップする機能です。動作については、「40.6.2 アップダウンカウンタモード時の動作」の「■ カウント動作」を参照してください。

この機能はタイマモードでは利用できません。

• リロードコンペア機能

リロード機能とコンペア機能を組み合わせて使用する機能です。"0000_H" とリロードコンペアレジスタ (RCR) に設定した値の間でカウントダウン／アップを行うため、任意幅でのカウントが可能です。「40.6.2 アップダウンカウンタモード時の動作」の「■ カウント動作」を参照してください。この機能はタイマモードでは利用できません。

リロード機能／コンペア機能の設定方法を表 40.6-1 に示します。

表 40.6-1 リロード機能／コンペア機能の設定方法

RLDE ビット	UCRE ビット	説明
0	0	リロード機能／コンペア機能の利用禁止
0	1	リロード機能の利用禁止 コンペア機能の利用許可
1	0	リロード機能の利用許可 コンペア機能の利用禁止
1	1	リロード機能／コンペア機能の利用許可

● ZIIN 端子の機能

カウンタコントロールレジスタ (CCR) の CGSC ビットで ZIN 端子の機能を次の中から選択できます。

• カウンタクリア機能 (CGSC=0)

カウント動作中に ZIN 端子から有効エッジが入力されると、カウンタの値を "0000_H" にクリアします。

• ゲート機能 (CGSC=1)

ZIN 端子から有効レベルが入力されている間だけ、カウンタが動作します。

カウンタクリア機能を選択した場合は有効エッジ、ゲート機能を選択した場合は有効レベルをカウンタコントロールレジスタ (CCR) の CGE1, CGE0 ビットで選択してください。

CGE1	CGE0	カウンタクリア機能選択時 (CGSC=0)	ゲート機能選択時 (CGSC=1)
0	0	エッジ検出禁止	レベル検出禁止 (カウント禁止)
0	1	立下りエッジ	"L" レベル
1	0	立上りエッジ	"H" レベル
1	1	設定禁止	設定禁止

■ クリアイベント

カウンタの値は、次のいずれかの場合に "0000_H" にクリアされます。

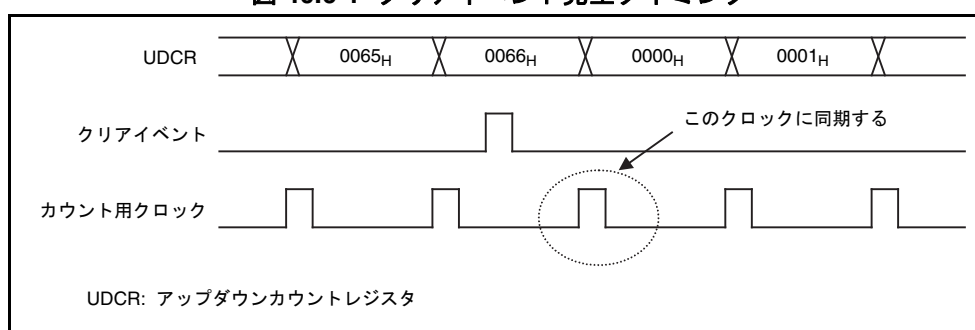
- 本デバイスがリセットされた
- ZIN 端子から有効エッジが入力された
(カウンタコントロールレジスタ (CCR) の CGSC ビットで ZIN 端子の機能をカウンタクリア機能 (CGSC=0) に設定している場合)
- ソフトウェアによるクリア
カウンタコントロールレジスタ (CCR) の UDCC ビットに "0" が書き込まれた
- コンペア機能によるクリア
カウンタの値が、リロードコンペアレジスタ (RCR) に設定した値と一致し、さらにカウントアップが行われようとした
(カウントダウンが行われた場合や、カウンタが停止した場合はクリアされません。)
- オーバフロー発生によるクリア
カウンタの値が "FFFF_H" (8 ビットモード時は "FF_H") になった後のカウントアップ／カウントダウンのタイミング

カウンタの値が "0000_H" にクリアされるタイミングは、アップダウンカウンタの動作状態によって次のようになります。

- カウント動作中にクリアイベントが発生した場合カウント用クロックに同期して、値がクリアされます。

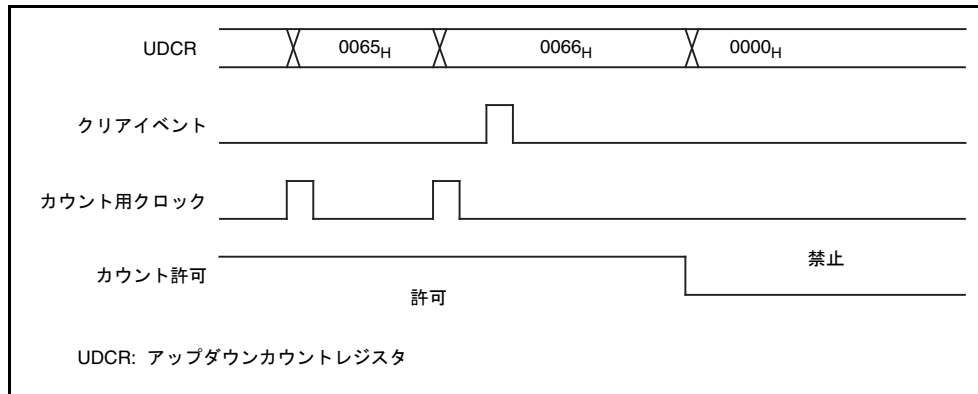
クリアイベント発生タイミングを図 40.6-1 に示します。

図 40.6-1 クリアイベント発生タイミング



- カウント動作中にクリアイベントが発生し、次のカウント用クロックが入力される前にカウント動作を停止した場合（カウンタステータスレジスタ (CSR) の CSTR ビット =0）アップダウンカウンタが停止した時点で、値がクリアされます。
クリアイベント発生タイミングを図 40.6-2 に示します。

図 40.6-2 クリアイベント発生タイミング



■ リロードイベント

アップダウンカウンタの値は、次のいずれかの場合にリロードされます。

- カウンタコントロールレジスタ (CCR) の CTUT ビットに "1" を書き込んだ場合
- リロード機能によって値がリロードされた場合
アップダウンカウンタの値がリロードされるタイミングは、アップダウンカウンタの動作状態によって次のようになります。
- カウント動作中にリロードイベントが発生した場合
カウント用クロックに同期して、値がリロードされます。
- カウント停止中にリロードイベントが発生した場合
リロードイベントが発生した時点で、値がリロードされます。

- (注意事項) • カウント動作中は、カウンタコントロールレジスタ (CCR) の CTUT ビットに "1" を書き込まないでください。
- リロードイベントとクリアイベントが同時に発生した場合は、クリアイベントが優先されます。

40.6.1 タイマモード時の動作

タイマモード時の動作について説明します。

■ 概要

リロードコンペアレジスタ (RCR) に設定した値から、カウントダウンするモードです。周辺クロック (PCLK) をプリスケアラで分周して、カウント用クロックとして使用します。

カウンタがアンダフローしたときに、リロードコンペアレジスタ (RCR) の値をリロードして、再度カウントダウンするリロード機能を使用することもできます。

■ カウント動作

● 通常動作

1. リロードコンペアレジスタ (RCR) にリロード値／コンペア値を設定
2. カウンタコントロールレジスタ (CCR) の CTUT ビットに "1" を書き込むと設定した値がアップダウンカウンタレジスタ (UDCR) に転送されます。
3. カウンタステータスレジスタ (CSR) の CSTR ビットに "1" を書き込んでアップダウンカウンタの動作を許可するとリロードコンペアレジスタ (RCR) の設定した値からカウントダウンを開始します。

カウンタがアンダフローすると、カウンタステータスレジスタ (CSR) の UDFB ビットが "1" に変わります。このとき、カウンタステータスレジスタの UDIE ビットに "1" が設定されていると、アンダフロー割込み要求が発生します。

なお、カウンタコントロールレジスタ (CCR) の CGSC ビットで ZIN 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN 端子から入力されている間のみカウントします。

有効レベルの設定については、「40.4.3 カウンタコントロールレジスタ (CCR0, CCR1)」を参照してください。

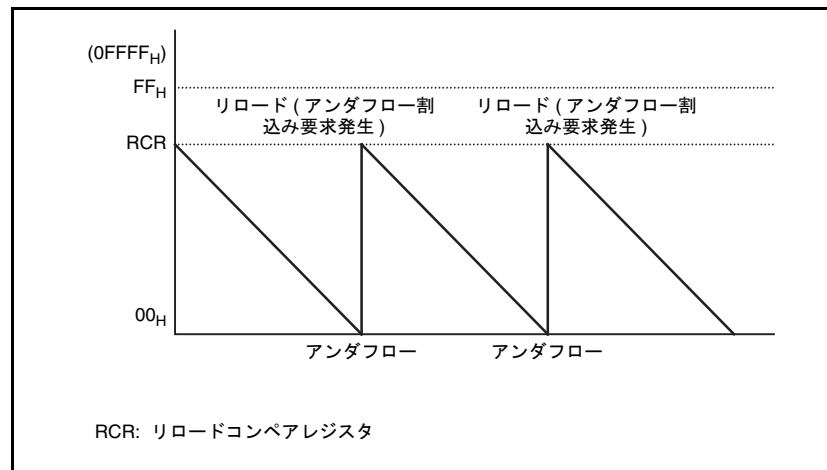
(注意事項) ZIN 端子に必要な最低パルス幅は、2T (T: 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

カウントダウン時に、カウンタがアンダフローすると、カウンタステータスレジスタ (CSR) の UDFB ビットが "1" に変わります。アンダフローが発生した次のカウントダウンタイミングで、リロードコンペアレジスタ (RCR) の値がリロードされ、再度カウントダウンを開始します。このとき、カウンタステータスレジスタ (CSR) の UDIE ビットに "1" が設定されていると、アンダフロー割込み要求が発生します。

リロード機能使用時の動作を図 40.6-3 に示します。

図 40.6-3 リロード機能使用時の動作



(注意事項) リロードコンペアレジスタ (RCR) の値は、リロード値とコンペア値を兼ねています。そのため、リロードコンペアレジスタ (RCR) の値がリロードされると、カウンタステータスレジスタ (CSR) の CMPF ビットも "1" に変わります。

40.6.2 アップダウンカウントモード時の動作

アップダウンカウントモード時の動作について説明します。

■ 概要

AIN 端子および BIN 端子から入力される外部信号をカウント用クロックとして、カウントアップ／カウントダウンするモードです。

AIN 端子から外部信号が入力されたときはカウントアップし、BIN 端子から外部信号が入力されたときはカウントダウンします。

外部信号のどのエッジでカウントするかは、カウンタコントロールレジスタ (CCR) の CES1, CES0 ビットで次の中から選択します。

- 立下りエッジ (CES1, CES0=01)
- 立上りエッジ (CES1, CES0=10)
- 両エッジ (CES1, CES0=11)

また、アップダウンカウントモード時には、次の 3 種類の機能を使用できます。

- リロード機能
- コンペア機能
- リロードコンペア機能

■ カウント動作

● 通常動作

カウンタが動作可能な状態で、AIN 端子から有効エッジが入力されたときはカウントアップし、BIN 端子から有効エッジが入力されたときはカウントダウンします。

カウントアップからカウントダウン、またはカウントダウンからカウントアップのようにカウント方向が反転すると、カウンタコントロールレジスタ (CCR) の CDCF ビットが "1" に変わります。このとき、カウンタコントロールレジスタ (CCR) の CFIE ビットに "1" が設定されていると、カウント方向転換割込み要求が発生します。

なお、カウンタコントロールレジスタ (CCR) の CGSC ビットで ZIN 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN 端子から入力されている間のみカウントします。

有効レベルの設定については、「40.4.3 カウンタコントロールレジスタ (CCR0, CCR1)」を参照してください。

(注意事項) AIN 端子、BIN 端子、ZIN 端子に必要な最低パルス幅は、2T (T: 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

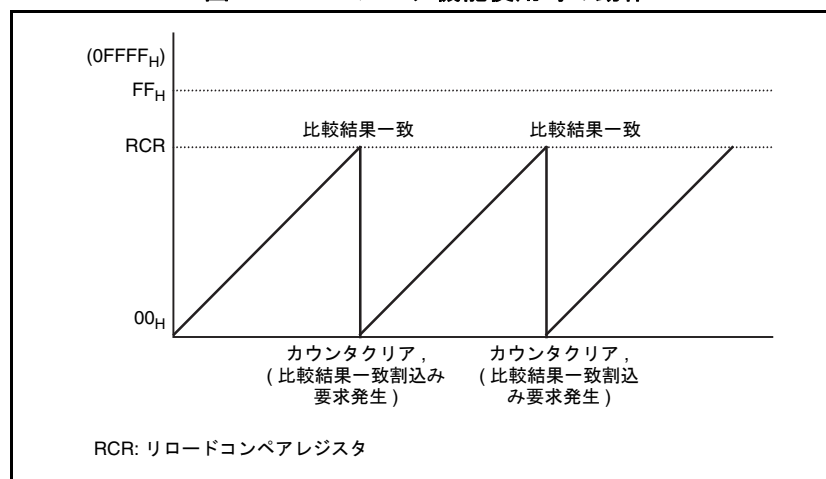
タイマモード時の動作と同様です。「40.6.1 タイマモード時の動作」の「■ カウント動作」を参照してください。

● コンペア機能使用時の動作

アップダウンカウンタの値がリロードコンペアレジスタ (RCR) に設定した値と一致するとカウンタステータスレジスタ (CSR) の CMPF ビットが "1" に変わります。このとき、カウンタステータスレジスタ (CSR) の CITE ビットに "1" が設定されていると、比較結果一致割込み要求が発生します。この状態でさらにカウントアップが行われようとする、アップダウンカウンタの値を "0000_H" にクリアして、再度カウントアップを開始します。

コンペア機能使用時の動作を図 40.6-4 に示します。

図 40.6-4 コンペア機能使用時の動作



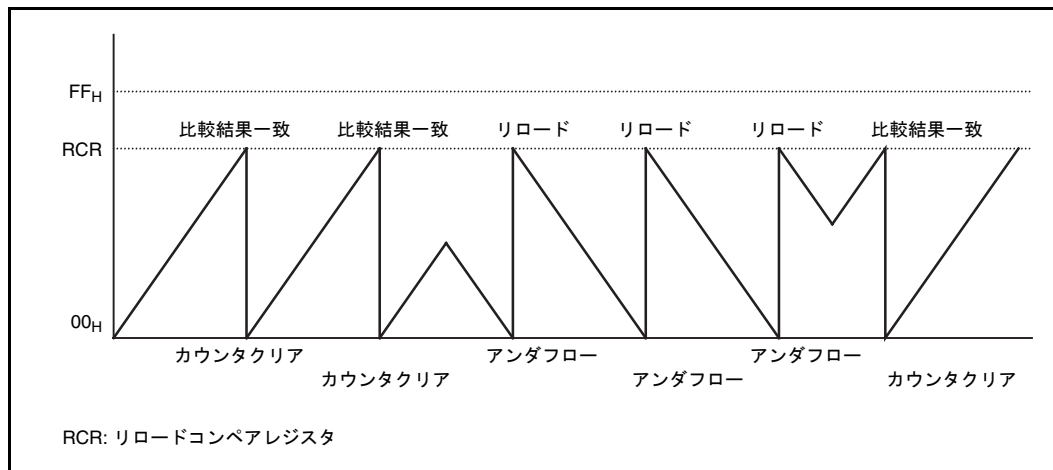
(注意事項) コンペア機能を使用した場合は、次の条件を満たしたときに、アップダウンカウンタの値が "0000_H" にクリアされます。

- アップダウンカウンタの値とリロードコンペアレジスタ (RCR) に設定した値が一致 (比較結果一致) し、さらに次のカウントアップが行われた
ただし、比較結果が一致しても、次の場合はアップダウンカウンタの値はクリアされません。
- 次の動作がカウントダウン
- アップダウンカウンタが停止

● リロードコンペア機能使用時の動作

カウントダウン時はリロード機能を用、カウントアップ時はコンペア機能を用します。
リロードコンペア機能使用時の動作を図 40.6-5 に示します。

図 40.6-5 リロードコンペア機能使用時の動作



● カウント方向の確認

このモードでは、カウントアップとカウントダウンの両方が行われます。そのため、カウント方向をカウンタステータスレジスタ (CSR) の UDF1, UDF0 ビットで確認できます。カウントが行われるたびに、このビットが書き換えられるため、現在のカウント方向を確認できます。モータの制御などで回転方向を知りたい場合などに利用すると便利です。
UDF1, UDF0 ビットの示すカウント方向を表 40.6-2 に示します。

表 40.6-2 UDF1, UDF0 ビットとカウント方向の対応

UDF1	UDF0	カウント方向
0	0	入力なし
0	1	カウントダウン
1	0	カウントアップ
1	1	カウントアップ／カウントダウン同時発生

また、カウント方向が、カウントダウンからカウントアップ、またはカウントアップからカウントダウンに 1 回以上反転すると、カウンタコントロールレジスタ (CCR) の CDCF ビットが "1" に変わります。このとき、方向転換割込み要求も発生させることができるため、CDCF ビットと方向転換割込み要求の発生を利用して、カウント方向が反転したかどうかを確認できます。

(注意事項) カウント方向の転換が短期間に連続発生した場合は、カウント方向がもとに戻り、カウンタステータスレジスタ (CSR) の UDF1, UDF0 ビットで示す方向が、CDCF ビットが "1" に変わる前と同じ方向になる場合があります。

40.6.3 位相差カウントモード (2 通倍) 時の動作

位相差カウントモード (2 通倍) 時の動作について説明します。

■ 概要

2 本の外部信号入力端子から入力される信号の位相差をカウントするモードです。エンコーダ出力の A 相と B 相の位相差をカウントするのに適しています。

BIN 端子から立上りエッジ、立下りエッジが検出されたときに、AIN 端子の入力レベルを確認し、BIN 端子と AIN 端子の位相差をカウントアップ／カウントダウンします。A 相が B 相より進んでいる場合はカウントアップし、遅れている場合はカウントダウンします。

カウントアップするかカウントダウンするかは、BIN 端子の検出エッジと AIN 端子の入力レベルによって異なります。

カウント方法を表 40.6-3 に示します。

表 40.6-3 カウント方法

BIN 端子	AIN 端子	カウント方向
立上りエッジ	"H" レベル	カウントアップ
	"L" レベル	カウントダウン
立下りエッジ	"H" レベル	カウントダウン
	"L" レベル	カウントアップ

また、位相差カウントモード (2 通倍) 時は、次の 3 種類の機能を使用できます。

- リロード機能
- コンペア機能
- リロードコンペア機能

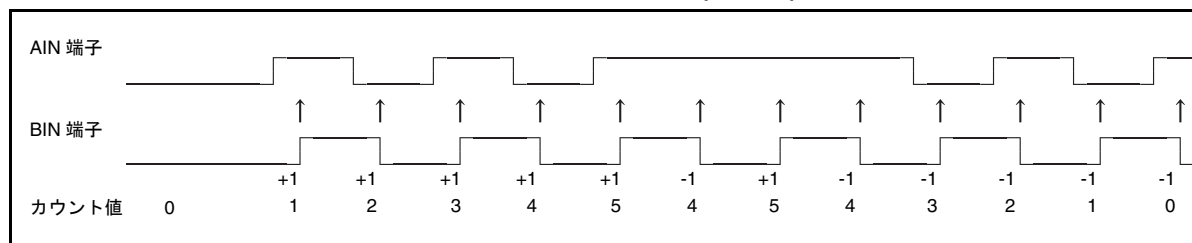
■ カウント動作

● 通常動作

カウンタが動作可能な状態で、BIN 端子から立上りエッジ／立下りエッジが入力されると、AIN 端子の入力レベルを検出し、カウントアップ／カウントダウンします。

位相差カウントモード (2 通倍) 時の動作を図 40.6-6 に示します。

図 40.6-6 位相差カウントモード (2 通倍) 時の動作



なお、カウンタコントロールレジスタ (CCR) の CGSC ビットで ZIN 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN 端子から入力されている間のみカウントします。

有効レベルの設定については、「40.4.3 カウンタコントロールレジスタ (CCR0, CCR1)」を参照してください。

(注意事項) AIN 端子、BIN 端子、ZIN 端子に必要な最低パルス幅は、 $2T$ (T : 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

タイマモード時の動作と同様です。「40.6.1 タイマモード時の動作」の「■ カウント動作」を参照してください。

● コンペア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「40.6.2 アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。

● リロードコンペア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「40.6.2 アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。

■ カウント方向の確認

アップダウンカウントモード時と同様です。「40.6.2 アップダウンカウントモード時の動作」の「■ カウント方向の確認」を参照してください。

40.6.4 位相差カウントモード (4 通倍) 時の動作

位相差カウントモード (4 通倍) 時の動作について説明します。

■ 概要

2 本の外部信号入力端子から入力される信号の位相差をカウントするモードです。エンコーダ出力の A 相と B 相の位相差をカウントするのに適しています。

AIN 端子または BIN 端子から立上りエッジ, 立下りエッジが検出されたときに, もう一方の端子からの入力レベルを確認し, AIN 端子と BIN 端子の位相差をカウントアップ/カウントダウンします。カウントアップするかカウントダウンするかは, 検出するエッジと入力レベルの組合せによって異なります。

カウント方法を表 40.6-4 に示します。

表 40.6-4 カウント方法

エッジ検出端子	検出エッジ	レベル確認端子	入力レベル	カウント方向
BIN 端子	立上りエッジ	AIN 端子	"H" レベル	カウントアップ
			"L" レベル	カウントダウン
	立下りエッジ		"H" レベル	カウントダウン
			"L" レベル	カウントアップ
AIN 端子	立上りエッジ	BIN 端子	"H" レベル	カウントダウン
			"L" レベル	カウントアップ
	立下りエッジ		"H" レベル	カウントアップ
			"L" レベル	カウントダウン

また, 位相差カウントモード (4 通倍) 時は, 次の 3 種類の機能を使用できます。

- リロード機能
- コンペア機能
- リロードコンペア機能

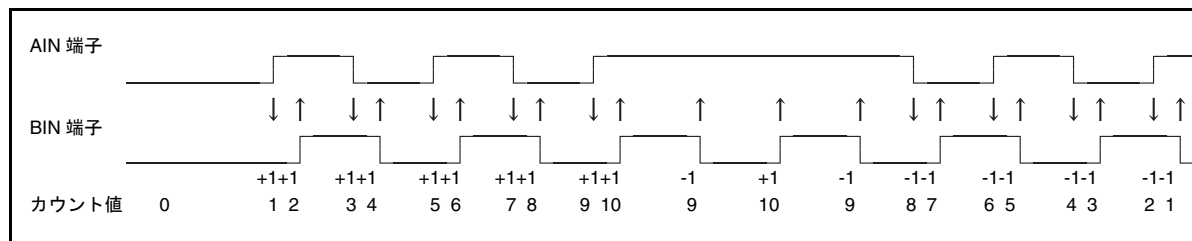
■ カウント動作

● 通常動作

カウンタが動作可能な状態で、AIN 端子または BIN 端子から立上りエッジ／立下りエッジが入力されると、もう一方の端子の入力レベルを検出し、カウントアップ／カウントダウンします。

位相差カウントモード (4 通倍) 時の動作を図 40.6-7 に示します。

図 40.6-7 位相差カウントモード (4 通倍) 時の動作



なお、カウンタコントロールレジスタ (CCR) の CGSC ビットで ZIN 端子をゲート機能 (CGSC=1) に設定した場合は、CGE1, CGE0 ビットで設定した有効レベルが ZIN 端子から入力されている間のみカウントします。

有効レベルの設定については、「40.4.3 カウンタコントロールレジスタ (CCR0, CCR1)」を参照してください。

(注意事項) AIN 端子、BIN 端子、ZIN 端子に必要な最低パルス幅は、2T (T: 周辺クロック (PCLK) の周期) です。

● リロード機能使用時の動作

タイマモード時の動作と同様です。「40.6.1 タイマモード時の動作」の「■ カウント動作」を参照してください。

● コンペア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「40.6.2 アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。

● リロードコンペア機能使用時の動作

アップダウンカウントモード時の動作と同様です。「40.6.2 アップダウンカウントモード時の動作」の「■ カウント動作」を参照してください。

■ カウント方向の確認

アップダウンカウントモード時と同様です。「40.6.2 アップダウンカウントモード時の動作」の「■ カウント方向の確認」を参照してください。

第 41 章 ベースタイマ

41.1 概要

本品種はベースタイマを 2 チャンネル搭載しています。ベースタイマは、次の機能を提供します。

- 16/32 ビットリロードタイマ
- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビット PWC タイマ

41.2 特長

本品種はベースタイマを 2 チャンネル搭載しています。それぞれのチャンネルで次の機能を選択して使用します。

■ 16/32 ビットリロードタイマ

ベースタイマを 16/32 ビットリロードタイマとして使用できます。16/32 ビットリロードタイマはあらかじめ設定した値からカウントダウンするタイマです。

- **入出力モード**: ベースタイマ入出力選択機能を利用して、信号 (外部クロック / 外部起動トリガ / 波形) の入出力動作を選択できます。
- **タイマモード**: チャンネルごとに個別に動作させることも、2 チャンネルの 16 ビットリロードタイマを組み合わせると 32 ビットリロードタイマとしても利用できます。
- **動作モード**: 次の 2 種類から選択できます。
 - リロードモード: ダウンカウンタがアンダフローすると、設定している値 (周期) をリロードしてカウントを繰り返すモードです。
 - ワンショットモード: ダウンカウンタがアンダフローすると、カウントを停止するモードです。
- **カウント用クロック**: 内部クロック (周辺クロック) 8 種類、外部クロック (ECK 信号) 3 種類の中から選択できます。
 - 内部クロック (周辺クロック): 周辺クロック (PCLK) の 1 分周, 4 分周, 16 分周, 128 分周, 256 分周, 512 分周, 1024 分周, 2048 分周
 - 外部クロック (ECK 信号): 立上りエッジ, 立下りエッジ, 両エッジ検出
- **起動トリガ**: 次のの中から選択できます。
 - ソフトウェアトリガ
 - 外部イベント: 立上りエッジ, 立下りエッジ, 両エッジ
 - 16/32 ビットリロードタイマの再起動: カウント動作中に起動トリガを検出したときに 16/32 ビットリロードタイマを再起動できます。
- **割込み要求**: 次の場合に割込み要求を発生できます。
 - IRQ0: アンダフローが発生したとき
 - IRQ1: 16/32 ビットリロードタイマの起動トリガを検出したとき

管理コード: FM10-3v1-91580L-1-J

■ 16 ビット PWM タイマ

16 ビット PWM タイマは、パルス幅変調タイマ (Pulse Width Modulator Timer) の略で、パルス幅のデューティ比を設定することで外部端子から任意の波形を出力するタイマです。

- **入出力モード**：ベースタイマ入出力選択機能を利用して、信号 (外部クロック / 外部起動トリガ / 波形) の入出力動作を選択できます。
- **動作モード**：次の 2 種類から選択できます。
 - リロードモード：16 ビットダウンカウンタがアンダフローすると設定してある周期をリロードしてカウントを繰り返すモードです。
 - ワンショットモード：16 ビットダウンカウンタがアンダフローするとカウントを停止するモードです。
- **カウント用クロック**：内部クロック (周辺クロック) 8 種類、外部クロック (ECK 信号) 3 種類の中から選択できます。
 - 内部クロック (周辺クロック)：周辺クロック (PCLK) の 1 分周、4 分周、16 分周、128 分周、256 分周、512 分周、1024 分周、2048 分周
 - 外部クロック (ECK 信号)：立上りエッジ、立下りエッジ、両エッジ検出
- **起動トリガ**：次の中から選択できます。
 - ソフトウェアトリガ
 - 外部イベント 3 種類：(立上りエッジ、立下りエッジ、両エッジ検出)
- **16 ビット PWM タイマの再起動**：カウント動作中に起動トリガを検出したときに 16 ビット PWM タイマを再起動できます。
- **出力波形**：外部端子からの出力信号を "L" レベルまたは "H" レベルに固定できます。
- **割込み要求**：次の場合に割込み要求を発生できます。
 - IRQ0: アンダフローが発生したとき、あらかじめ決めておいた値 (デューティ) までカウントしたとき
 - IRQ1: 16 ビット PWM タイマの起動トリガを検出したとき

■ 16/32 ビット PWC タイマ

16/32 ビット PWC タイマは、パルス幅カウンタタイマ (Pulse Width Counter) の略で、パルス幅や周期を測定するタイマです。

- **入出力モード:** ベースタイマ入出力選択機能を利用して、信号 (波形) の入力動作を選択できます。
- **タイマモード:** チャンネルごとに個別に動作させることも、2 チャンネルの 16 ビット PWC タイマを組み合わせて 32 ビット PWC タイマとしても利用できます。
- **動作モード:** 次の 2 種類から選択できます。
 - 単発測定モード: 測定を 1 回のみ行うモードです。
 - 連続測定モード: 1 回測定が終わると、次の測定開始エッジが入力されるまで待機し、再度測定開始エッジが入力されると測定を行うモードです。
- **カウント用クロック:** 周辺クロック (PCLK) を分周して生成した内部クロック (周辺クロック) 8 種類の中から選択できます。
 - 周辺クロック (PCLK) の 1 分周, 4 分周, 16 分周, 128 分周, 256 分周, 512 分周, 1024 分周, 2048 分周
- **測定モード:** 測定するパルス幅や周期を次の 5 種類から選択できます。
 - "H" パルス幅: "H" レベルの信号が入力されている期間
 - "L" パルス幅: "L" レベルの信号が入力されている期間
 - 立上りエッジ間周期: 立上りエッジを検出してから、次の立上りエッジを検出するまでの期間
 - 立下りエッジ間周期: 立下りエッジを検出してから、次の立下りエッジを検出するまでの期間
 - 全エッジ間パルス幅: 連続して入力されるエッジ間の幅は次のいずれかになります。
 - 立上りエッジを検出してから立下りエッジを検出するまでの期間
 - 立下りエッジを検出してから立上りエッジを検出するまでの期間
- **16/32 ビット PWC タイマの再起動:** カウント動作中に起動トリガを検出したときに 16/32 ビット PWC タイマを再起動できます。
- **割込み要求:** 次の場合に割込み要求を発生できます。
 - IRQ0: オーバフローが発生したとき
 - IRQ1: 測定が終了したとき

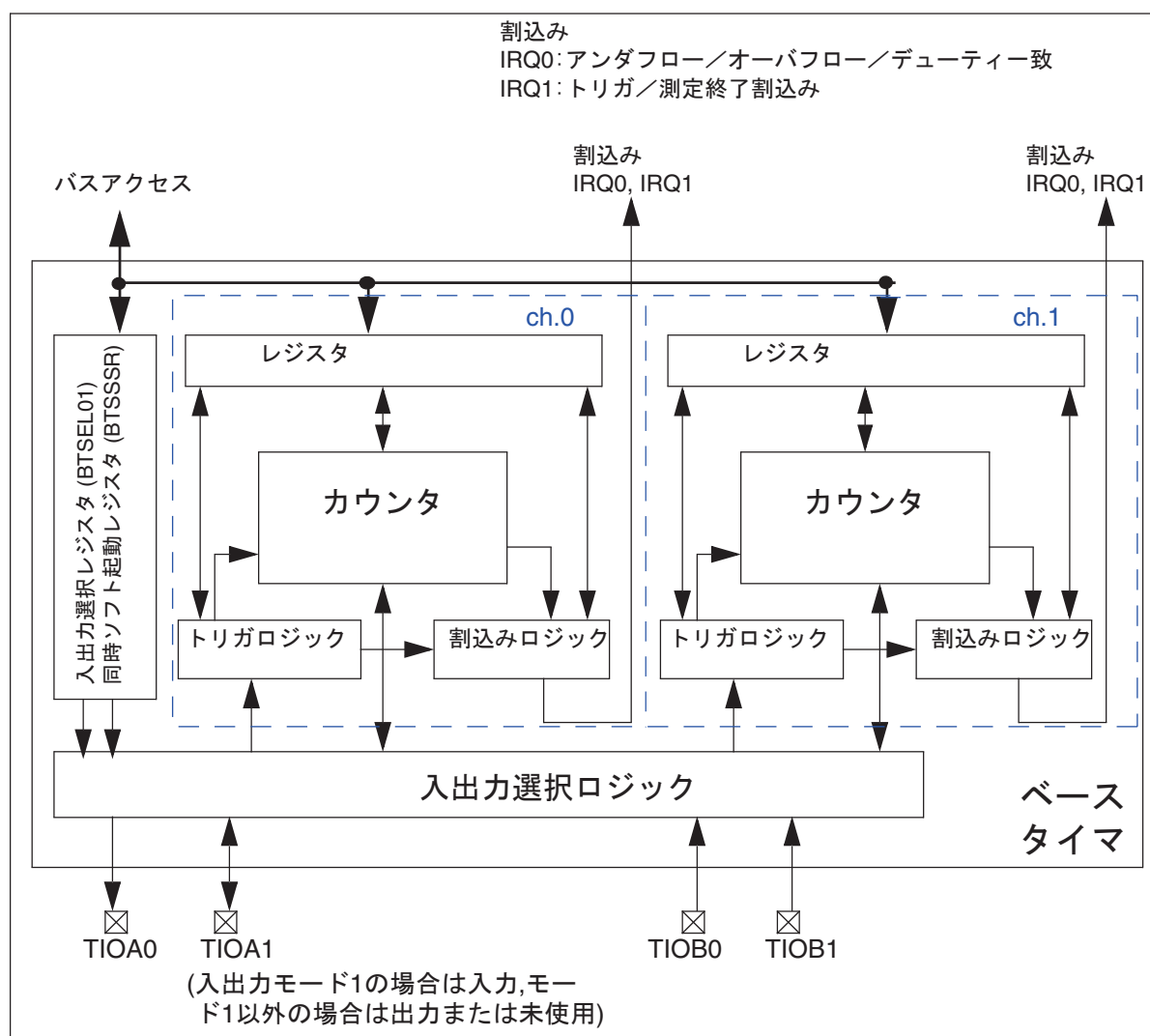
■ 16 ビット PPG タイマ

16 ビット PPG タイマは、プログラマブルパルス発生タイマ (Programmable Pulse Generator Timer) の略で、任意のパルス幅を持つ波形を出力するタイマです。

- **入出力モード**：ベースタイマ入出力選択機能を利用して、信号 (外部クロック / 外部起動トリガ / 波形) の入出力動作を選択できます。
- **動作モード**：次の 2 種類から選択できます。
 - リロードモード："L" レベルと "H" レベルの信号を連続して出力 (連続パルス) するモードです。
 - ワンショットモード："L" レベルと "H" レベルの信号を 1 回ずつ出力 (単一パルス) するモードです。
- **カウント用クロック**：内部クロック (周辺クロック) 8 種類、外部クロック (ECK 信号) 3 種類の中から選択できます。
 - 内部クロック (周辺クロック)：周辺クロック (PCLK) の 1 分周, 4 分周, 16 分周, 128 分周, 256 分周, 512 分周, 1024 分周, 2048 分周
 - 外部クロック (ECK 信号)：立上りエッジ, 立下りエッジ, 両エッジ検出
- **起動トリガ**：次の中から選択できます。
 - ソフトウェアトリガ
 - 外部イベント 3 種類：(立上りエッジ, 立下りエッジ, 両エッジ検出)
- **16 ビット PPG タイマの再起動**：カウント動作中に起動トリガを検出したときに 16 ビット PPG タイマを再起動できます。
- **割込み要求**：次の場合に割込み要求を発生できます。
 - IRQ0:H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値でアンダフローが発生したとき
 - IRQ1:16 ビット PPG タイマの起動トリガを検出したとき

41.3 構成

図 41.3-1 ベースタイマのブロックダイヤグラム (概要)



41.4 レジスタ

■ ベースアドレス (Base-addr) ・ 外部端子一覧

表 41.4-1 ベースアドレス (Base_addr) ・ 外部端子表

チャンネル番号	ベースアドレス	外部端子
0	0x0080	TIOA0, TIOA1, TIOB0, TIOB1 を BTSEL01 レジスタ の設定に応じて割り当て
1	0x0090	

■ レジスタマップ

表 41.4-2 レジスタマップ

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0080	[共通] BT0TMR		[共通] BT0TMCR		[共通] タイマレジスタ 0 [共通] 制御レジスタ 0
0x0084	[共通] BT0TMCR 2	[リロード タイマ] BT0STC [PWM] BT0STC [PPG] BT0STC [PWC] BT0STC	予約		[共通] 制御レジスタ 2 0 [リロードタイマ] ステータス制御レジスタ 0 [PWM] ステータス制御レジスタ 0 [PPG] ステータス制御レジスタ 0 [PWC] ステータス制御レジスタ 0
0x0088	[リロードタイマ] BT0PCSR [PWM] BT0PCSR [PPG] BT0PRL [PWC] 予約		[リロードタイマ] 予約 [PWM] BT0PDUT [PPG] BT0PRLH [PWC] BT0DTBF		[リロードタイマ] 周期設定レジスタ 0 [[PWM] 周期設定レジスタ 0 [PPG] L 幅設定リロードレジスタ 0 [PWM] デューティ設定レジスタ 0 [PPG] H 幅設定リロードレジスタ 0 [PWC] データバッファレジスタ 0
0x008C	予約				
0x0090	[共通] BT1TMR		[共通] BT1TMCR		[共通] タイマレジスタ 1 [共通] 制御レジスタ 1
0x0094	[共通] BT1TMCR 2	[リロード タイマ] BT1STC [PWM] BT1STC [PPG] BT1STC [PWC] BT1STC	予約		[共通] 制御レジスタ 2 1 [リロードタイマ] ステータス制御レジスタ 1 [PWM] ステータス制御レジスタ 1 [PPG] ステータス制御レジスタ 1 [PWC] ステータス制御レジスタ 1
0x0098	[リロードタイマ] BT1PCSR [PWM] BT1PCSR [PPG] BT1PRL [PWC] 予約		[リロードタイマ] 予約 [PWM] BT1PDUT [PPG] BT1PRLH [PWC] BT1DTBF		[リロードタイマ] 周期設定レジスタ 1 [PWM] 周期設定レジスタ 1 [PPG] L 幅設定リロードレジスタ 1 [PWM] デューティ設定レジスタ 1 [PPG] H 幅設定リロードレジスタ 1 [PWC] データバッファレジスタ 1
0x009C	BTSEL01	予約	BTSSSR		入出力選択レジスタ 同時ソフト起動レジスタ

41.4.1 共通レジスタ

各動作で共通のレジスタです。

41.4.1.1 タイマレジスタ 0-1 : BT0TMR, BT1TMR (Base Timer0/1 Timer Register)

タイマのカウンタ値を読み出すレジスタです。リロードタイマ, PWM, PPG 時のみ有効です。PWC 時の読出し値は不定です。読出し値については動作説明をご参照ください。

(注意事項) このレジスタは 16 ビットでアクセスしてください。

• BT0TMR ~ BT1TMR : アドレス 0080_H, 0090_H (アクセス : ハーフワード)

15	14	...	2	1	0	bit
D[15:0]						
0	0	...	0	0	0	初期値
R,WX	R,WX	...	R,WX	R,WX	R,WX	属性

41.4.1.2 タイマ制御レジスタ 0-1 :

BT0TMCR, BT1TMCR (Base Timer 0/1 TiMer Control Register), BT0TMCR2, BT1TMCR2 (Base Timer 0/1 TiMer Control Register2)

ベースタイマの各種設定, および動作停止, ソフトウェアトリガ発行を行うレジスタです。

(注意事項) ・FMD[2:0] の設定を変更する場合, いったん FMD[2:0]=000 を設定してから, FMD[2:0] を設定してください。

・予約となっているビットには "0" を設定してください。

・ソフトウェアトリガ (STRG) 以外の本レジスタビット設定する場合は, 次の順序で行ってください。

①いったん FMD[2:0]=000, または CTEN=0 を書き込みして動作を停止させる。

②各ビット, 並びにタイマ機能選択 (FMD[2:0]) の設定したい値を書き込む。

・ソフトウェアトリガ (STRG) に書き込む際は, ほかのビットをクリアしてしまわないように注意してください。

・FMD[2:0]=000 はリセットモードのため, FMD[2:0]=000 と同時にほかのビットを設定することはできません。

・このレジスタは 16 ビットでアクセスしてください。

・本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書き込み) によっても初期化されます。

• BT0TMCR ~ BT1TMCR : アドレス 0082_H, 0092_H (アクセス : ハーフワード)

15	14	13	12	11	10	9	8	bit
予約	CKS[2:0]			[PWM・PPG] RTGEN [他] 予約	[PWM・PPG] PMSK [PWC] EGS[2] [他] 予約	EGS[1:0]		
0	0	0	0	0	0	0	0	初期値
R/W R0,WX(*3)	R/W	R/W	R/W	R/W R0,WX(*1)	R/W R0,WX(*1)	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
[リロードタイ マ・PWC] T32 [他] 予約	FMD[2:0]			[リロードタイ マ・PWM・ PPG] OSEL [他] 予約	MDSE	CTEN	STRG	
0	0	0	0	0	0	0	0	初期値
R/W R0,WX(*1) R0,WX(*2)	R/W	R/W	R/W	R/W R/W0(*1)	R/W	R,W	R0,W R0,W0(*1)	属性

(*1) 予約の場合の属性

(*2) 32 ビットタイマ奇数チャネル側時の属性

(*3) 32 ビットタイマ奇数チャネル側時または 16/32 ビット PWC タイマ時の属性

• BT0TMCR2 ～ BT1TMCR2 : アドレス 0084_H, 0094_H (アクセス : バイト)

15	14	13	12	11	10	9	8	bit
-	-	-	-	-	-	-	CKS3	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	属性

[BTxTMCR2 : bit15 ～ bit9, BTxTMCR : bit15] 予約

本ビットへの書込みは効果ありません。

[BTxTMCR2 : bit8,BTxTMCR:bit14 ～ bit12] CKS3 ～ CKS0 (Clock Select) : カウントクロック
選択ビット

カウント用クロックを選択します。

CKS3 ～ CKS0	説明	
	クロックソース	説明
0000	内部クロック (周辺クロック (PCLK))	1 分周
0001		4 分周
0010		16 分周
0011		128 分周
0100		256 分周
0101	[リロードタイマ・PWM・PPG] 外部クロック (ECK 信号) [PWC] 設定禁止	立上りエッジ
0110		立下りエッジ
0111		両エッジ
1000	内部クロック (周辺クロック (PCLK))	512 分周
1001		1024 分周
1010		2048 分周
他	設定禁止	

PWC モードのときは, 0101, 0110, 0111 は設定禁止です。

[PWM・PPG] [BTxTMCR : bit11] RTGEN (Restart by TriGger ENable) : 再起動許可ビット

STRG ビットに "1" が書き込まれた場合や, 外部起動トリガ (TGIN 信号) が検出された場合に, 周期設定レジスタ (BT0PCSR/BT1PCSR)/L 幅設定リロードレジスタ (BT0PRLL/BT1PRLL) の値を 16 ビットダウンカウンタにリロードして, カウントし直すかどうかを設定します。

RTGEN	動作内容
0	再起動しない
1	再起動する

[PWM・PPG] [BTxTMCR : bit10] PMSK (Pulse MaSK) : パルス出力マスクビット

出力する波形 (TOUT 信号) のレベルを次の中から選択します。

- 通常出力 : 16 ビット PWM/PPG タイマからの出力波形をそのまま出力します。

- 固定出力：周期やデューティの設定にかかわらず "L" レベルまたは "H" レベルを出力し続けます。

PMSK	説明
0	通常出力
1	固定出力

このビットに "1" を書き込んで固定出力を選択した場合，出力されるレベルは OSEL ビットの設定によって異なります。

- OSEL=0 の場合："L" レベルが出力されます。
- OSEL=1 の場合："H" レベルが出力されます。

[リロードタイマ・PWM・PPG] [BTxTMCR : bit9,bit8] EGS1,EGS0 (EdGe Select) : トリガ入力選択ビット

外部起動トリガ (TGIN) 信号の有効エッジを選択します。

EGS1, EGS0	説明
00	トリガ入力無効
01	立上りエッジ
10	立下りエッジ
11	両エッジ

[PWC] [BTxTMCR : bit10 ~ bit8] EGS2 ~ EGS0 (EdGe Select) : 測定モード選択ビット

測定する種類を選択します。

EGS2 ~ EGS0	説明
000	"H" パルス幅測定："H" レベルの信号が入力されている期間
001	立上りエッジ間周期測定：立上りエッジを検出してから，次の立上りエッジを検出するまでの期間
010	立下りエッジ間周期測定：立下りエッジを検出してから，次の立下りエッジを検出するまでの期間
011	全エッジ間パルス幅測定：連続して入力されるエッジ間の幅①②のいずれかになります。 ① 立上りエッジを検出してから立下りエッジを検出するまでの期間 ② 立下りエッジを検出してから立上りエッジを検出するまでの期間
100	"L" パルス幅測定："L" レベルの信号が入力されている期間 (立下りエッジを検出してから，立上りエッジを検出するまでの期間)
101 110 111	設定禁止

[リロードタイマ・PWC] [BTxTMCR : bit7] T32 (Timer 32bit) : 32 ビットタイマ選択ビット

16/32 ビットタイマを1 チャンネルずつ個別に動作させるか, 2 チャンネルをカスケード接続して32 ビットのタイマとして使うかを選択します。ch.0 と ch.1 の本ビットの両方を設定してください。

T32 (ch.0)	T32 (ch.1)	説明
0	0	それぞれ 16 ビット独立動作
0	1	設定禁止
1	0	32 ビットタイマとする。
1	1	設定禁止

(注意事項) FMD[2:0] を 000 にしてから, 本ビットを変更してください。(いったん FMD[2:0] を 000 に設定した後, T32 ビットと FMD[2:0] を同時に所要の値に設定します。)

[BTxTMCR : bit6 ～ bit4] FMD2 ～ FMD0 (Function MoDe) : タイマ機能選択ビット

ベースタイマの機能を選択するビットです。本ビットを変更する際は, いったん 000(リセットモード) を経由してから, ほかのモードへと設定してください。

FMD2 ～ FMD0	説明
000	リセットモード (FMD=000 書込みにより, ベースタイマをリセット後の状態に戻します。各レジスタは初期値に戻ります。)
001	16 ビット PWM タイマ
010	16 ビット PPG タイマ
011	16/32 ビットリロードタイマ
100	16/32 ビット PWC タイマ
101 110 111	設定禁止

[BTxTMCR : bit3] OSEL (Output SElect) : 出力極性指定ビット

本ビットがセットされていると, TOUT から出力される信号レベル (H/L) が反転されます。

OSEL	説明
0	通常出力
1	反転出力

[BTxTMCR : bit2] MDSE (MoDe SeLect) : モード選択ビット

[リロードタイマ・PWM]

MDSE	説明
0	リロードモード: ダウンカウンタがアンダフローすると, 周期設定レジスタ (BT0PCSR/BT1PCSR) の値をリロードしてカウント動作を続けます。
1	ワンショットモード: ダウンカウンタがアンダフローすると, カウント動作を停止します。

[PPG]

MDSE	説明
0	リロードモード: "L" レベルと "H" レベルの信号を連続して出力 (連続パルス) するモードです。
1	ワンショットモード: "L" レベルと "H" レベルの信号を 1 回ずつ出力 (単一パルス) するモードです。

[PWC]

MDSE	説明
0	連続測定モード: 1 回測定が終わると、測定開始エッジが入力されるまで待機し、再度測定開始エッジが入力されると測定を行うモードです。
1	単発測定モード: 測定を 1 回のみ行うモードです。

[BTxTMCR : bit1] CTEN (Count ENable) : カウンタ動作許可ビット

カウンタ動作を許可・禁止します。

CTEN	説明
0	禁止 / 停止します。
1	動作を許可します。

PWC で単発測定モードの場合、測定終了後に CTEN は "0" にクリアされます。

[BTxTMCR : bit0] STRG (Software TRiGger) : ソフトウェアトリガビット

タイマ起動などのトリガとして機能します。

PWC のとき読出し値は "0" です。PWC のとき、このビットへは "0" を書き込んでください。

- (注意事項) ・本ビットを書き込む際に、ほかのビットをクリアしてしまわないように注意してください。
・CTEN, FMD[2:0] との同時書込みは、動作許可と同時にトリガを発行します。

STRG	説明
0	無視されます。
1	トリガを発行します。

41.4.1.3 入出力選択レジスタ : BTSEL01 (Base Timer SElect register ch.0 and ch.1)

ベースタイマの ch.0 および ch.1 の入出力モードを設定するビットです。

(注意事項) ・ このレジスタは 8 ビットでアクセスしてください。

・ このレジスタは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ～ FMD0 ビットで、ベースタイマリセットモードに設定 (FMD2 ～ FMD0=000) してから書き換えしてください。

・ BTSEL01: アドレス 009C_H (アクセス: バイト)

7	6	5	4	3	2	1	0	bit
-				SEL01[3:0]				
1	1	1	1	0	0	0	0	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R/W	R/W	R/W	R/W	属性

[bit7 ～ bit4] 未定義

書込みは動作に影響ありません。

[bit3 ～ bit0] SEL013 ～ SEL010 (SElect) : ch.0/ch.1 用入出力選択ビット

ベースタイマの ch.0 および ch.1 の入出力モードを設定するビットです。

SEL013 ～ SEL010	説明
0000	入出力モード 0 (16 ビットタイマ標準モード)
0001	入出力モード 1 (32 ビットタイマフルモード)
0010	入出力モード 2 (外部トリガ共有モード)
0011	設定禁止
0100	入出力モード 4 (タイマ起動/停止モード)
0101	入出力モード 5 (同時ソフト起動モード)
0110	入出力モード 6 (ソフト起動タイマ起動/停止モード)
0111	入出力モード 7 (タイマ起動モード)
1xxx	設定禁止

41.4.1.4 同時ソフト起動レジスタ：

BTSSSR (Base Timer Software Synchronous Start Register)

入出力モード 5, 6 における入力信号になります。本レジスタを使用すれば、すべてのチャンネルに同時にトリガを発生させることができます。

• **BTSSSR: アドレス 009E_H (アクセス：バイト, ハーフワード)**

15	14	13	12	11	10	9	8	bit
-								
1	1	1	1	1	1	1	1	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	属性
7	6	5	4	3	2	1	0	bit
-						SSSR1	SSSR0	
1	1	1	1	1	1	1	1	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,W	R1,W	属性

[bit15 ～ bit2] 未定義

書込みは動作に影響ありません。

[bit1] SSSR1 (Software Synchronous Start Register ch.1)：同時ソフト起動ビット ch.1

[bit0] SSSR0 (Software Synchronous Start Register ch.0)：同時ソフト起動ビット ch.0

入出力モード 5, 6 における入力信号になります。接続は「図 41.5-2 各入出力モード配線図 (2)」をご参照ください。

SSSR0/1	説明
0	何もしません。
1	"1" パルスを入力に当て、対応したチャンネルを起動します。

41.4.2 16/32 ビットリロードタイマ時のレジスタ

41.4.2.1 ステータス制御レジスタ 0-1 :

BT0STC, BT1STC (Base Timer 0/1 SStatus Control)

割込み要求を制御するレジスタです。

(注意事項) ・ 予約ビットには "0" を書き込んでください。

- ・ TGIR, UDIR へのリードモディファイライト系命令では "1" が読み出されます。
- ・ このレジスタは 8 ビットでアクセスしてください。
- ・ 本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書き込み) によっても初期化されます。

・ BT0STC ～ BT1STC : アドレス 0085_H, 0095_H (アクセス : バイト)

7	6	5	4	3	2	1	0	bit
予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R0,W0	R/W	R0,W0	R(RM1), W	R0,W0	R(RM1), W	属性

[bit7] 予約

必ず "0" を書き込んでください。

[bit6] TGIE (TriGger Interrupt Enable) : トリガ割込み要求許可ビット

16/32 ビットリロードタイマの起動トリガが検出されたとき (TGIR ビット=1) に, トリガ割込み要求を発生させるかどうかを設定します。

[bit5] 予約

必ず "0" を書き込んでください。

[bit4] UDIE (UnDerflow Interrupt Enable) : アンダフロー割込み要求許可ビット

ダウンカウンタがアンダフローしたとき (UDIR=1) にアンダフロー割込み要求を発生させるかどうかを設定します。

TGIE/UDIE	説明
0	禁止します
1	許可します

[bit3] 予約

必ず "0" を書き込んでください。

[bit2] TGIR (TriGger Interrupt Register) : トリガ割込み要求フラグビット

16/32 ビットリロードタイマの起動トリガが検出されたことを示します。このビットが "1" のときに, TGIE ビットに "1" が設定されていると, トリガ割込み要求が発生します。

[bit1] 予約

必ず "0" を書き込んでください。

[bit0] UDIR (UnDerflow Interrupt Register) : アンダフロー割込み要求フラグビット

ダウンカウンタの値が "0000_H" から "FFFF_H" に変わり, アンダフローしたことを示します。このビットが "1" のときに, UDIE ビットに "1" が設定されていると, アンダフロー割込み要求が発生します。

TGIR/UDIR	読出し時	書込み時
0	トリガ検出／アンダフローはありません。	このビットをクリアします。
1	トリガ検出／アンダフローがありました。	無視します。

41.4.2.2 周期設定レジスタ 0-1 :

BT0PCSR, BT1PCSR (Base Timer 0/1 Pulse Counter Start Register)

16/32 ビットリロードタイマの周期を設定するバッファ付レジスタです。ダウンカウンタが、このレジスタに設定した値からカウントダウンします。

(注意事項) ・ このレジスタは 16 ビットでアクセスしてください。

- ・タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットで、ベースタイマの機能を 16/32 ビットリロードタイマに選択 (FMD2 ～ FMD0=011) してから、このレジスタを設定してください。
- ・本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書き込み) によっても初期化されます。

・ BT0PCSR ～ BT1PCSR : アドレス 0088_H, 0098_H (アクセス : ハーフワード)

15	14	...	2	1	0	bit
D[15:0]						
0	0	...	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

[bit15 ～ bit0] D[15:0] (Data) : データビット

16/32 ビットリロードタイマの周期を設定するバッファ付レジスタです。ダウンカウンタが、このレジスタに設定した値からカウントダウンします。

このレジスタに設定した値は、次の場合に 16 ビットダウンカウンタにロードされます。

- ・ 16/32 ビットリロードタイマの起動時
- ・ダウンカウンタのアンダフロー時

2 チャンネルの 16 ビットリロードタイマをカスケード接続して、32 ビットリロードタイマとして使用する場合は、このレジスタに設定した値は次のようになります。

- ・偶数チャンネルの周期設定レジスタ (BT0PCSR/BT1PCSR) の値 : 下位 16 ビットの値
- ・奇数チャンネルの周期設定レジスタ (BT0PCSR/BT1PCSR) の値 : 上位 16 ビットの値

そのため、32 ビットタイマモード時にこのレジスタに値を書き込む場合は、次の順番で値を書き込んでください。

1. 奇数チャンネルの周期設定レジスタ (BT0PCSR/BT1PCSR)
2. 偶数チャンネルの周期設定レジスタ (BT0PCSR/BT1PCSR)

41.4.3 16 ビット PWM タイマ時のレジスタ

41.4.3.1 ステータス制御レジスタ 0-1 :

BT0STC, BT1STC (Base Timer 0/1 SStatus Control)

割込み要求を制御するレジスタです。

(注意事項) ・ 予約ビットには "0" を書き込んでください。

- ・ TGIR, DTIR, UDIR へのリードモディファイライト系命令では "1" が読み出されます。
- ・ このレジスタは 8 ビットでアクセスしてください。
- ・ 本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書き込み) によっても初期化されます。

・ BT0STC ～ BT1STC : アドレス 0085_H, 0095_H (アクセス : バイト)

7	6	5	4	3	2	1	0	bit
予約	TGIE	DTIE	UDIE	予約	TGIR	DTIR	UDIR	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R(RM1), W	R(RM1), W	R(RM1), W	属性

[bit7] 予約

必ず "0" を書き込んでください。

[bit6] TGIE (TriGger Interrupt Enable) : トリガ割込み要求許可ビット

16 ビット PWM タイマの起動トリガが検出されたとき (TGIR ビット=1) にトリガ割込み要求を発生させるかどうかを設定します。

[bit5] DTIE (DuTy Interrupt Enable) : デューティ一致割込み要求許可ビット

16 ビットダウンカウンタの値が , デューティ設定レジスタ (BT0PDUT/BT1PDUT) の値と一致したとき (DTIR ビット=1) にデューティ一致割込み要求を発生させるかどうかを設定します。

[bit4] UDIE (UnDerflow Interrupt Enable) : アンダフロー割込み要求許可ビット

ダウンカウンタがアンダフローしたとき (UDIR=1) にアンダフロー割込み要求を発生させるかどうかを設定します。

TGIE/DTIE/UDIE	説明
0	禁止します
1	許可します

[bit3] 予約

必ず "0" を書き込んでください。

[bit2] TGIR (TriGger Interrupt Register) : トリガ割込み要求フラグビット

16 ビット PWM タイマの起動トリガが検出されたことを示します。このビットが "1" のときに TGIE ビットに "1" が設定されていると , トリガ割込み要求発生します。

[bit1] DTIR (DuTy Interrupt Register) : デューティ一致割込み要求フラグビット

16 ビットダウンカウンタの値が デューティ設定レジスタ (BT0PDUT/BT1PDUT) と一致したこと (デューティが一致したこと) を示します。このビットが "1" のときに DTIE ビットに "1" が設定されているとデューティ一致割込み要求が発生します。

[bit0] UDIR (UnDerflow Interrupt Register) : アンダフロー割込み要求フラグビット

16 ビットダウンカウンタの値が "0000_H" から "FFFF_H" に変わりアンダフローが発生したことを示します。このビットが "1" のときに UDIE ビットに "1" が設定されているとアンダフロー割込み要求が発生します。

TGIR/DTIR/UDIR	読出し時	書込み時
0	トリガ検出 / デューティ一致 / アンダフローはありません。	このビットをクリアします。
1	トリガ検出 / デューティ一致 / アンダフローがありました。	無視します。

41.4.3.2 周期設定レジスタ 0-1 :

BT0PCSR, BT1PCSR (Base Timer 0/1 Pulse Counter Start Register)

16 ビット PWM タイマの周期を設定するバッファ付レジスタです。16 ビットダウンカウンタがこのレジスタに設定した値からカウントダウンします。カウンタの値がこのレジスタに設定した値と一致すると、出力信号 (TOUT 信号) のレベルが反転します。

(注意事項) ・ このレジスタは 16 ビットでアクセスしてください。

- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットで、ベースタイマの機能を 16 ビット PWM タイマに選択してから、このレジスタを設定してください。
- ・ このレジスタを書き換えた場合 必ず デューティ設定レジスタ (BT0PDUT/BT1PDUT) も書き換えてください。
- ・ このレジスタには デューティ設定レジスタ (BT0PDUT/BT1PDUT) より小さな値は設定しないでください。
- ・ 本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書込み) によっても初期化されます。

・ BT0PCSR ～ BT1PCSR : アドレス 0088_H, 0098_H (アクセス : ハーフワード)

15	14	...	2	1	0	bit
D[15:0]						
0	0	...	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

[bit15 ～ bit0] D15 ～ D0 (Data) : データビット

16 ビット PWM タイマの周期を設定するバッファ付レジスタです。16 ビットダウンカウンタがこのレジスタに設定した値からカウントダウンします。カウンタの値がこのレジスタに設定した値と一致すると、出力信号 (TOUT 信号) のレベルが反転します。

このレジスタはバッファ付のため、カウント動作中に書き換えることができます。このレジスタに設定した値は、次の場合に 16 ビットダウンカウンタにロードされます。

- ・ 16 ビット PWM タイマの起動時
- ・ 16 ビットダウンカウンタのアンダフロー時

このレジスタとデューティ設定レジスタ (BT0PDUT/BT1PDUT) に同じ値を設定すると、出力信号 (TOUT 信号) のレベルを固定できます。出力される信号レベルはタイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットの設定によって次のようになります。

- ・ OSEL=0: "H" レベル
- ・ OSEL=1: "L" レベル

41.4.3.3 デューティ設定レジスタ 0-1 :

BT0PDUT, BT1PDUT (Base Timer 0/1 Pulse DuTy register)

16 ビット PWM タイマのデューティを設定するバッファ付レジスタです。16 ビットダウンカウンタがこのレジスタに設定した値と一致すると出力信号 (TOUT 信号) のレベルが反転します。

(注意事項) ・ このレジスタは 16 ビットでアクセスしてください。

- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットで、ベースタイマの機能を 16 ビット PWM タイマに選択してから、このレジスタを設定してください。
- ・ このレジスタを書き換えた場合 必ず 周期設定レジスタ (BT0PCSR/BT1PCSR) より大きい値は設定しないでください。
- ・ 本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書込み) によっても初期化されます。

・ BT0PDUT ～ BT1PDUT : アドレス 008A_H, 009A_H (アクセス : ハーフワード)

15	14	...	2	1	0	bit
D[15:0]						
0	0	...	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

[bit15 ～ bit0] D15 ～ D0 (Data) : データビット

16 ビット PWM タイマのデューティを設定するバッファ付レジスタです。16 ビットダウンカウンタがこのレジスタに設定した値と一致すると出力信号 (TOUT 信号) のレベルが反転します。

このレジスタはバッファ付のため、カウント動作中に書き換えることができます。

16 ビットダウンカウンタがアンダフローすると、バッファの値が転送されます。

このレジスタと周期設定レジスタ (BT0PCSR/BT1PCSR) に同じ値を設定すると、出力信号 (TOUT 信号) のレベルを固定できます。出力される信号レベルはタイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットの設定によって次のようになります。

- ・ OSEL=0: すべて "H" レベル
- ・ OSEL=1: すべて "L" レベル

41.4.4 16 ビット PPG タイマ時のレジスタ

41.4.4.1 ステータス制御レジスタ 0-1 :

BT0STC, BT1STC (Base Timer 0/1 SStatus Control)

割込み要求を制御するレジスタです。

(注意事項) ・予約ビットには "0" を書き込んでください。

- ・TGIR, UDIR へのリードモディファイライト系命令では "1" が読み出されます。
- ・このレジスタは 8 ビットでアクセスしてください。
- ・本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書込み) によっても初期化されます。

・ BT0STC ~ BT1STC : アドレス 0085_H, 0095_H (アクセス : バイト)

7	6	5	4	3	2	1	0	bit
予約	TGIE	予約	UDIE	予約	TGIR	予約	UDIR	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R0,W0	R/W	R0,W0	R(RM1), W	R0,W0	R(RM1), W	属性

[bit7] 予約

必ず "0" を書き込んでください。

[bit6] TGIE (TriGger Interrupt Enable) : トリガ割込み要求許可ビット

16 ビット PPG タイマの起動トリガが検出されたとき (TGIR ビット =1) にトリガ割込み要求を発生させるかどうかを設定します。

[bit5] 予約

必ず "0" を書き込んでください。

[bit4] UDIE (UnDerflow Interrupt Enable) : アンダフロー割込み要求許可ビット

H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) のカウントダウンが終了し, アンダフローが発生したとき (UDIR ビット =1) にアンダフロー割込み要求を発生させるかどうかを設定します。

TGIE/UDIE	説明
0	禁止します
1	許可します

[bit3] 予約

必ず "0" を書き込んでください。

[bit2] TGIR (TriGger Interrupt Register) : トリガ割込み要求フラグビット

16 ビット PPG タイマの起動トリガが検出されたことを示します。このビットが "1" のときに TGIE ビットに "1" が設定されていると, トリガ割込み要求発生します。

[bit1] 予約

必ず "0" を書き込んでください。

[bit0] UDIR (UnDerflow Interrupt Register) : アンダフロー割込み要求フラグビット

H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) のカウントダウンが終了しアンダフローが発生したことを示します。16 ビットダウンカウンタの値が "0000_H" の状態でさらにカウントダウンしようとするアンダフローが発生します。このビットが "1" のときに, UDIE ビットに "1" が設定されていると, アンダフロー割込み要求が発生します。

TGIR/UDIR	読出し時	書込み時
0	トリガ検出／アンダフローはありません。	このビットをクリアします。
1	トリガ検出／アンダフローがありました。	無視します。

41.4.4.2 L 幅設定レジスタ 0-1 :

BT0PRL, BT1PRL (Base Timer 0/1 Pulse Length of "L" register)

16 ビット PPG タイマから初めに出力する信号レベルの幅を設定するレジスタです。

(注意事項) ・ このレジスタは 16 ビットでアクセスしてください。

- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットで , ベースタイマの機能を PPG タイマに選択してから , このレジスタを設定してください。
- ・ 本レジスタはリセットモードへの設定 (BT0TMCR:FMD=000/BT1TMCR:FMD=000 書き込み) によっても初期化されます。

・ BT0PRL ～ BT1PRL : アドレス 0088_H, 0098_H (アクセス : ハーフワード)

15	14	...	2	1	0	bit
D[15:0]						
0	0	...	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

[bit15 ～ bit0] D15 ～ D0 (Data) : データビット

16 ビット PPG タイマから初めに出力する信号レベルの幅を設定するレジスタです。16 ビットダウンカウンタがこのレジスタに設定した値をカウントダウンし終わると , 出力波形 (TOUT 信号) のレベルが反転します。このレジスタと H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) を設定することで , 出力信号の "L" レベルの幅と "H" レベルの幅が決まります。このレジスタでどちらの信号レベルの幅を設定するかは , タイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットの設定によって次のようになります。

- ・ OSEL=0 の場合 : "L" レベルの幅
- ・ OSEL=1 の場合 : "H" レベルの幅

16 ビット PPG タイマの起動トリガ検出時や , H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値のカウントが終了し , アンダフローが発生したときに , このレジスタに設定した値が 16 ビットダウンカウンタにロードされます。

41.4.4.3 H 幅設定レジスタ 0 ～ 1 :

BT0PRLH, BT1PRLH (Base Timer 0/1 Pulse Length of "H" register)

L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値をカウント終了後に , 出力される信号レベルの幅を設定するバッファ付レジスタです。

(注意事項) ・ このレジスタは 16 ビットでアクセスしてください。

- ・タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットで , ベースタイマの機能を PPG タイマに選択してから , このレジスタを設定してください。
- ・本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書込み) によっても初期化されます。

・ BT0PRLH ～ BT1PRLH : アドレス 008A_H, 009A_H (アクセス : ハーフワード)

15	14	...	2	1	0	bit
D[15:0]						
0	0	...	0	0	0	初期値
R/W	R/W	...	R/W	R/W	R/W	属性

[bit15 ～ bit0] D15 ～ D0 (Data) : データビット

L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値をカウント終了後に , 出力される信号レベルの幅を設定するバッファ付レジスタです。16 ビットダウンカウンタがこのレジスタに設定した値をカウントダウンし終わると , 出力波形 (TOUT 信号) の信号レベルが反転します。

このレジスタと L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) を設定することで , 出力信号の "L" レベルの幅と "H" レベルの幅が決まります。このレジスタでどちらの信号レベルの幅を設定するかは , タイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットの設定によって次のようになります。

- ・ OSEL=0 の場合 : "H" レベルの幅
- ・ OSEL=1 の場合 : "L" レベルの幅

このレジスタはバッファ付のため , カウント動作中に書き換えることができます。このレジスタの値の転送タイミングは次のとおりです。

- ・ バッファへの転送
 - 16 ビット PPG タイマの起動トリガ検出時
 - H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値のカウントが終了し , アンダフローが発生したとき
- ・ 16 ビットダウンカウンタへの転送
 - L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値のカウントが終了したとき

書き換えるタイミングについては , 「41.5.6.3 リロードモード時の動作」の「■書込みタイミング」を参照してください。

41.4.5 16/32 ビット PWC タイマ時のレジスタ

41.4.5.1 ステータス制御レジスタ 0-1 :

BT0STC, BT1STC (Base Timer 0/1 SStatus Control)

割込み要求を制御するレジスタです。

(注意事項) ・ 予約ビットには "0" を書き込んでください。

・ OVIR へのリードモディファイライト系命令では "1" が読み出されます。

・ このレジスタは 8 ビットでアクセスしてください。

・ 本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書込み) によっても初期化されます。

・ BT0STC ～ BT1STC : アドレス 0085_H, 0095_H (アクセス : バイト)

7	6	5	4	3	2	1	0	bit
ERR	EDIE	予約	OVIE	予約	EDIR	予約	OVIR	
0	0	0	0	0	0	0	0	初期値
R,W0	R/W	R0,W0	R/W	R0,W0	R,WX	R0,W0	R(RM1), W	属性

[bit7] ERR (ERRor) : エラーフラグビット

連続測定モードで動作中に データバッファレジスタ (BT0DTBF/BT1DTBF) から測定結果を読み出す前に次の測定が終了し, 測定結果が新しい値に上書きされたことを示します。このとき上書きされる前の値は破棄されます。データバッファレジスタ (BT0DTBF/BT1DTBF) を読み出すとこのビットが "0" にクリアされます。

ERR	説明
0	測定結果は上書きされていません。
1	測定結果は上書きされました。

[bit6] EDIE (EnD Interrupt Enable) : 測定終了割込み要求許可ビット

16/32 ビット PWC タイマの測定が終了したとき (EDIR ビット =1) に, 測定終了割込み要求を発生させるかどうかを設定します。

[bit5] 予約

必ず "0" を書き込んでください。

[bit4] OVIE (OVerflow Interrupt Enable) : オーバフロー割込み要求許可ビット

アップカウンタがオーバフローしたとき (OVIR ビット =1) にオーバフロー割込み要求を発生させるかどうかを設定します。

EDIE/OVIE	説明
0	禁止します
1	許可します

[bit3] 予約

必ず "0" を書き込んでください。

[bit2] EDIR (EnD Interrupt Register) : 測定終了割込み要求フラグビット

16/32 ビット PWC タイマの測定が終了したことを示します。このビットが "1" のときに EDIE ビットに "1" が設定されていると測定終了割込み要求が発生します。本ビットは測定結果 (BT0DTBF/ BT1DTBF) を読出しすることによりクリアされます。

[bit1] 予約

必ず "0" を書き込んでください。

[bit0] OVIR (OVerflow Interrupt Register) : オーバフロー割込み要求フラグビット

アップカウンタの値が "FFFF_H" から "0000_H" に変わり、オーバフローが発生したことを示します。このビットが "1" のときに、OVIE ビットに "1" が設定されていると、オーバフロー割込み要求が発生します。本ビットは "0" 書込みによりクリアされます。

EDIR/OVIR	読出し時	書込み時
0	測定終了／オーバフローはありません。	(EDIR) 無視します。 (OVIR) このビットをクリアします。
1	測定終了／オーバフローがありました。	無視します。

41.4.5.2 データバッファレジスタ 0-1 :**BT0DTBF, BT1DTBF (Base Timer 0/1 DaTa BuFfer register)**

16/32 ビット PWC タイマの測定値やアップカウンタの値を読み出すために利用するレジスタです。

(注意事項) ・ このレジスタは 16 ビットでアクセスしてください。

- ・ 本レジスタはリセットモードへの設定 (BT0TMCR.FMD=000/BT1TMCR.FMD=000 書込み) によっても初期化されます。

- ・ BT0DTBF ～ BT1DTBF : アドレス 008A_H, 009A_H (アクセス : ハーフワード)

15	14	...	2	1	0	bit
D[15:0]						
0	0	...	0	0	0	初期値
R,WX	R,WX	...	R,WX	R,WX	R,WX	属性

[bit15 ～ bit0] D15 ～ D0 (Data) : データビット

16/32 ビット PWC タイマの測定値やアップカウンタの値を読み出すために利用するレジスタです。このレジスタは、単発測定モード時と連続測定モード時で読み出す値が異なります。

- ・ 単発測定モード時 : アップカウンタの動作中はアップカウンタの値を、測定終了後は測定結果を読み出します。
- ・ 連続測定モード時 : アップカウンタの動作中／測定終了後とも前回測定した結果を読み出します。アップカウンタの値を読み出すことはできません。

2 チャンルの 16 ビット PWC タイマをカスケード接続して、32 ビット PWC タイマとして使用する場合は、このレジスタの値は次のようになります。

- ・ 偶数チャンネルのデータバッファレジスタ (BT0DTBF) の値 : 下位 16 ビットの値
- ・ 奇数チャンネルのデータバッファレジスタ (BT1DTBF) の値 : 上位 16 ビットの値

そのため、32 ビットタイマモード時は、次の順番でこのレジスタを読み出してください。

1. 偶数チャンネルのデータバッファレジスタ (BT0DTBF)
2. 奇数チャンネルのデータバッファレジスタ (BT1DTBF)

41.5 動作説明

41.5.1 タイマ機能の選択

BT0TMCR.FMD[2:0]/BT1TMCR.FMD[2:0] で、使用するタイマ機能を選択してください。

41.5.2 入出力割り当て

タイマを使用する前に、BTSEL01 レジスタでベースタイマの入出力設定を行ってください。次の 7 とおりから選択できます。

入出力モード 0: 16 ビットタイマ標準モード

ベースタイマを 1 チャンネルごとに個別に動作させるモードです。

入出力モード 1: 32 ビットタイマフルモード

ベースタイマの偶数チャンネルの信号を個別に外部端子に割り当てて動作させるモードです。

入出力モード 2: 外部トリガ共有モード

2 チャンネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。このモードを利用すると、2 チャンネルのベースタイマを同時に起動できます。

入出力モード 4: タイマ起動／停止モード

偶数チャンネルで奇数チャンネルの起動／停止を制御するモードです。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジ(*)で起動し、立下りエッジ(*)で停止します。

入出力モード 5: 同時ソフト起動モード

ソフトウェアで複数のチャンネルを同時に起動するモードです。

入出力モード 6: ソフト起動タイマ起動／停止モード

偶数チャンネルで奇数チャンネルの起動／停止を制御するモードです。偶数チャンネルはソフトウェアで起動します。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジ(*)で起動し、立下りエッジ(*)で停止します。

入出力モード 7: タイマ起動モード

偶数チャンネルで奇数チャンネルの起動を制御するモードです。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジ(*)で起動します。

(*): トリガ入力選択ビット (BT0TMCR.EGS/BT1TMCR.EGS) で設定してください。

図 41.5-1 各入出力モード配線図 (1)

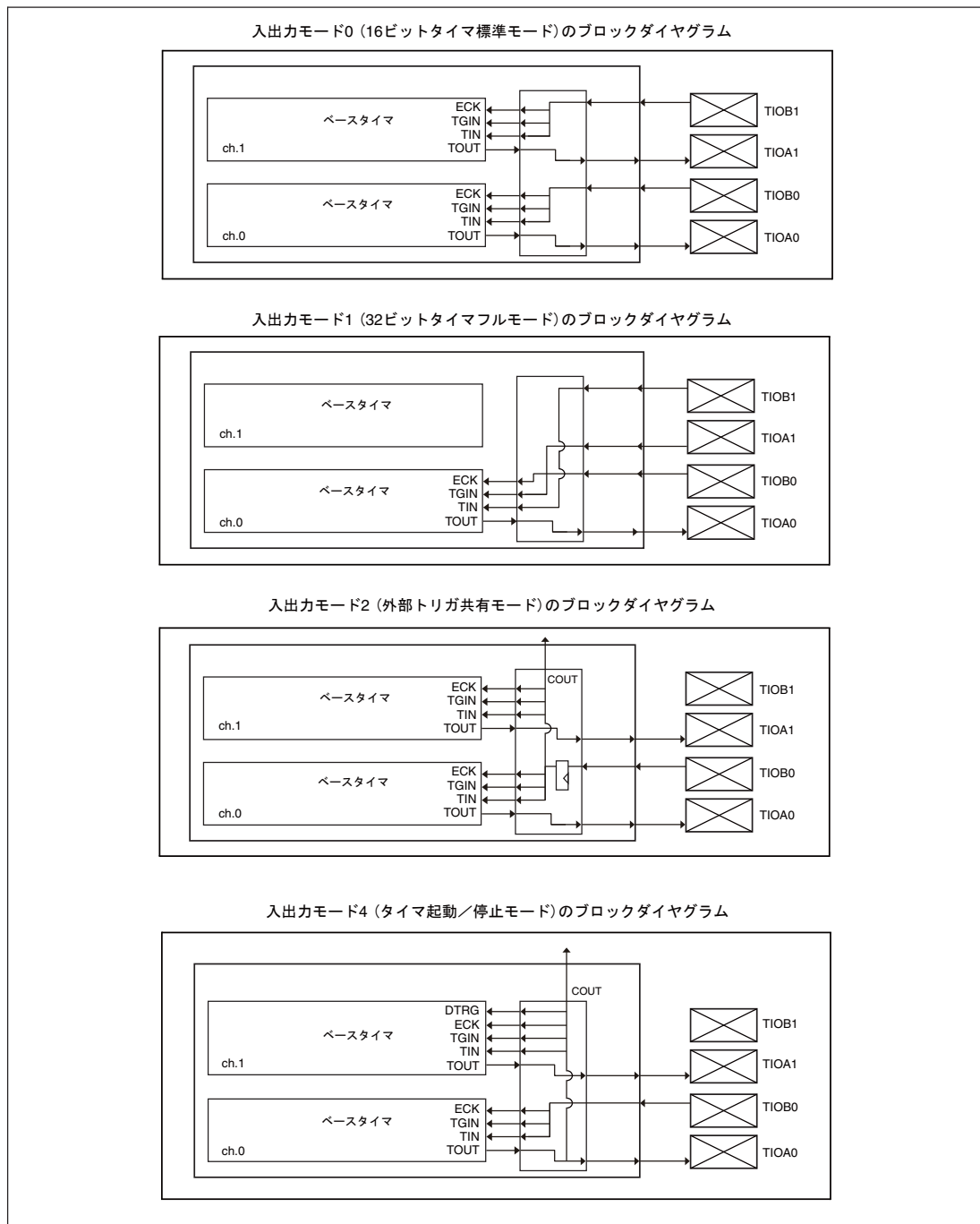
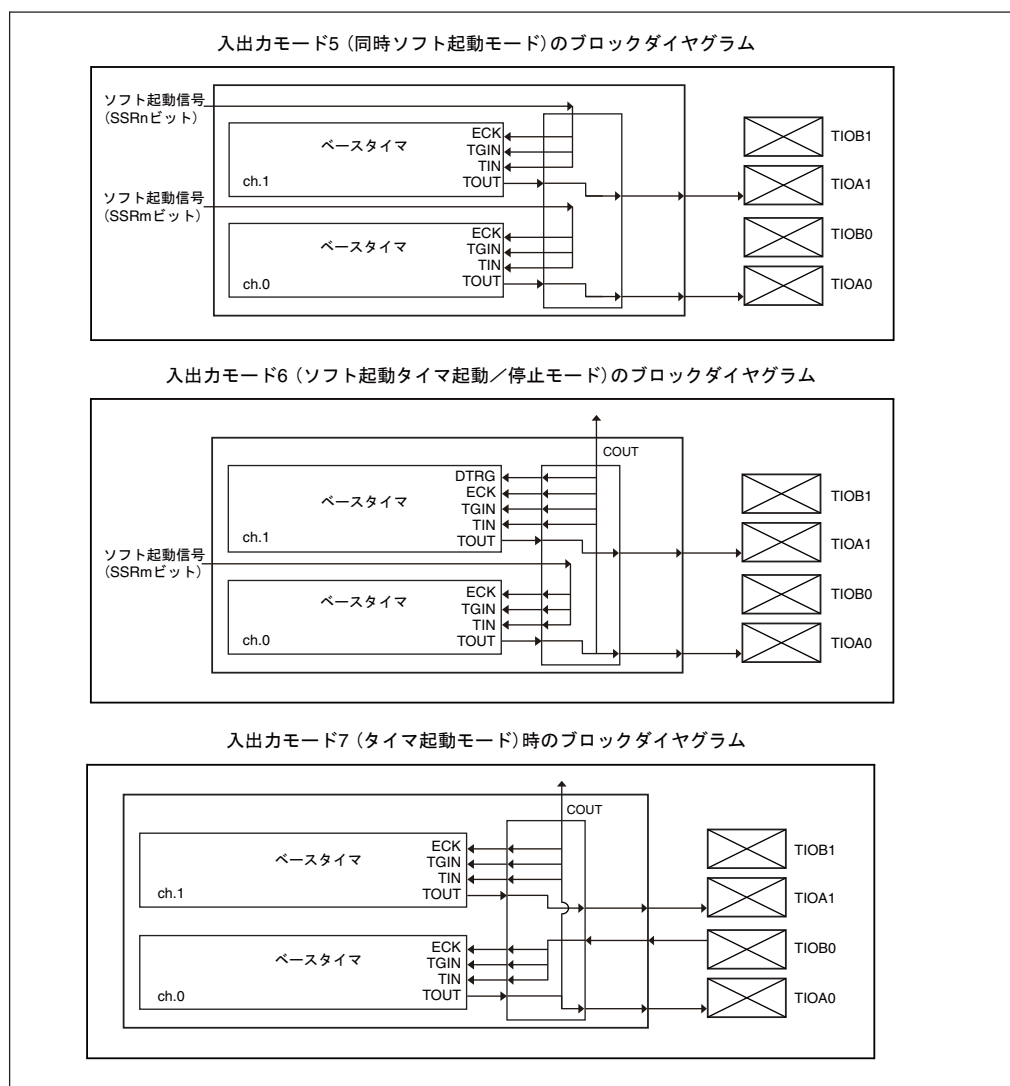


図 41.5-2 各入出力モード配線図 (2)



41.5.3 32 ビットモード動作

リロードタイマ、PWC タイマは、2 チャンネルを使用して 32 ビットモード動作が可能です。以下に、32 ビットモード機能における基本機能／動作について示します。

■ 32 ビットモード機能

ベースタイマを 2 チャンネル組合せて 32 ビットデータのリロードタイマまたは 32 ビットデータの PWC タイマ動作を実現する機能です。偶数チャンネルの下位 16 ビットタイマ・カウンタ値を読み出す際に、奇数チャンネルの上位 16 ビットタイマ・カウンタ値も取り込むので、動作中のタイマ・カウンタ値も読み出すことが可能です。

■ 32 ビットモード設定

まず、偶数チャンネルの BT0TMCR/BT1TMCR レジスタの FMD ビットを "000" でリセットモードにして状態をリセットしてから、16 ビットモード時と同様にリロードタイマ、または PWC タイマ選択と動作の設定を行います。このとき、BT0TMCR/BT1TMCR レジスタの T32 ビットにも "1" を書き込むことで 32 ビット動作モードに設定します。奇数チャンネルの T32 ビットは "0" のままにしてください。リセットモードの設定も必要ありません。次に、リロードタイマの場合は、奇数チャンネルの周期設定レジスタに 32 ビットのうち、上位 16 ビットのリロード値を設定し、その後に偶数チャンネルの周期設定レジスタに下位 16 ビットのリロード値を設定します。

32 ビット動作モードへの移行は T32 ビット書き込み後、直ちに反映されるので、設定変更は両チャンネルともカウント停止状態で行ってください。

32 ビットモードから 16 ビットモードへの移行は、偶数チャンネルの BT0TMCR/BT1TMCR レジスタの FMD ビットを "000" でリセットモードにして偶数、奇数の両チャンネルの状態をリセットし、チャンネルごとに 16 ビットモードでの設定を行います。

■ 32 ビットモード動作

32 ビットモード設定の後、偶数チャンネルの制御によりリロードタイマ、または PWC タイマを起動すると、偶数チャンネルのタイマ／カウンタは下位 16 ビット動作となり、奇数チャンネルのタイマ／カウンタは上位 16 ビット動作となります。

32 ビットモードでの動作は偶数チャンネルの設定に従うので、奇数チャンネルの設定は（リロードタイマ時の周期設定レジスタを除き）無視します。タイマ起動、波形出力、割込み信号も偶数チャンネルのものが有効となります（奇数チャンネルは L 固定にマスクされます）。

構成は「図 41.5-11 32 ビットタイマモード時の構成」および「図 41.5-27 32 ビットタイマモード時の構成」をご参照ください。

41.5.4 16/32 ビットリロードタイマの動作

本製品に内蔵されているベースタイマを 16/32 ビットリロードタイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 41.5-3 16/32 ビットリロードタイマのブロックダイアグラム (16 ビットリロードタイマ動作時)

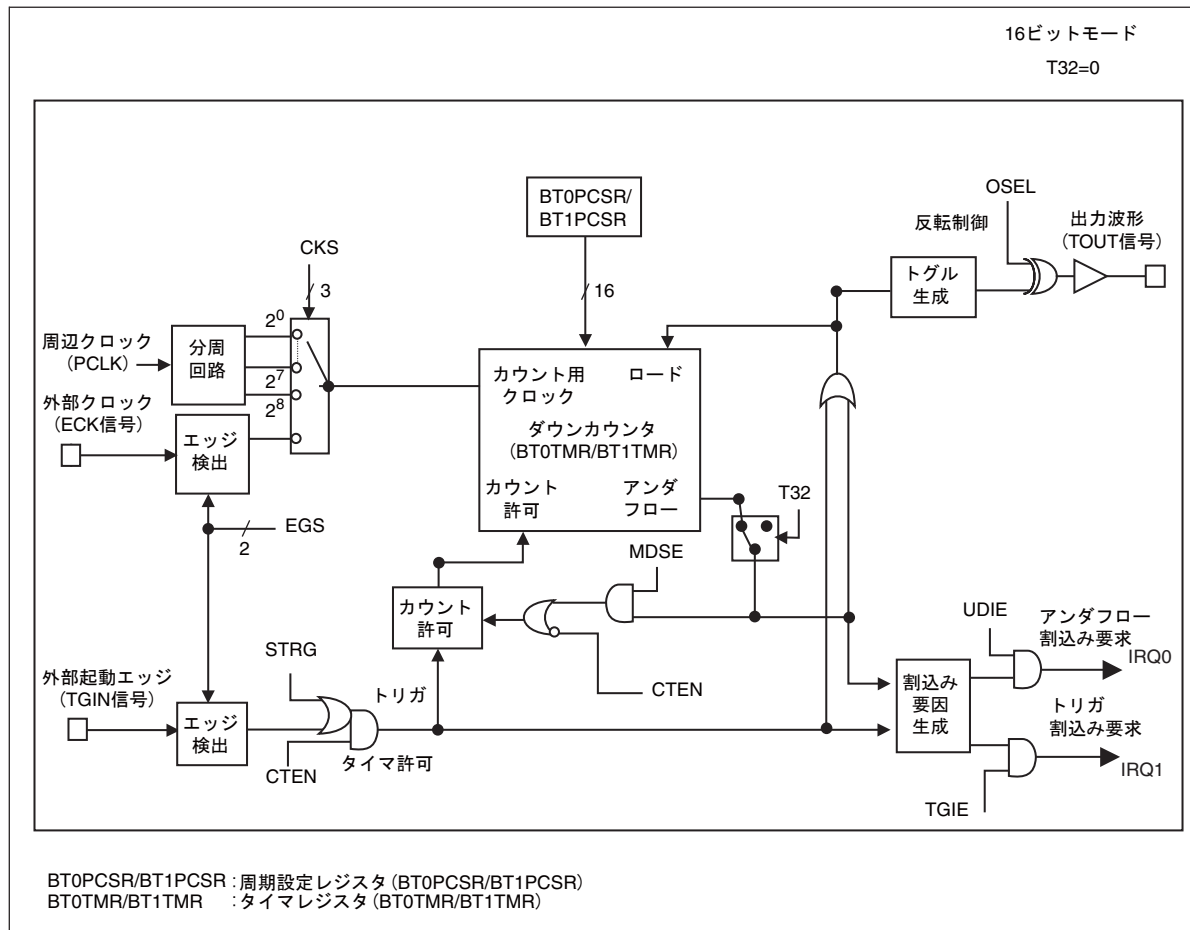
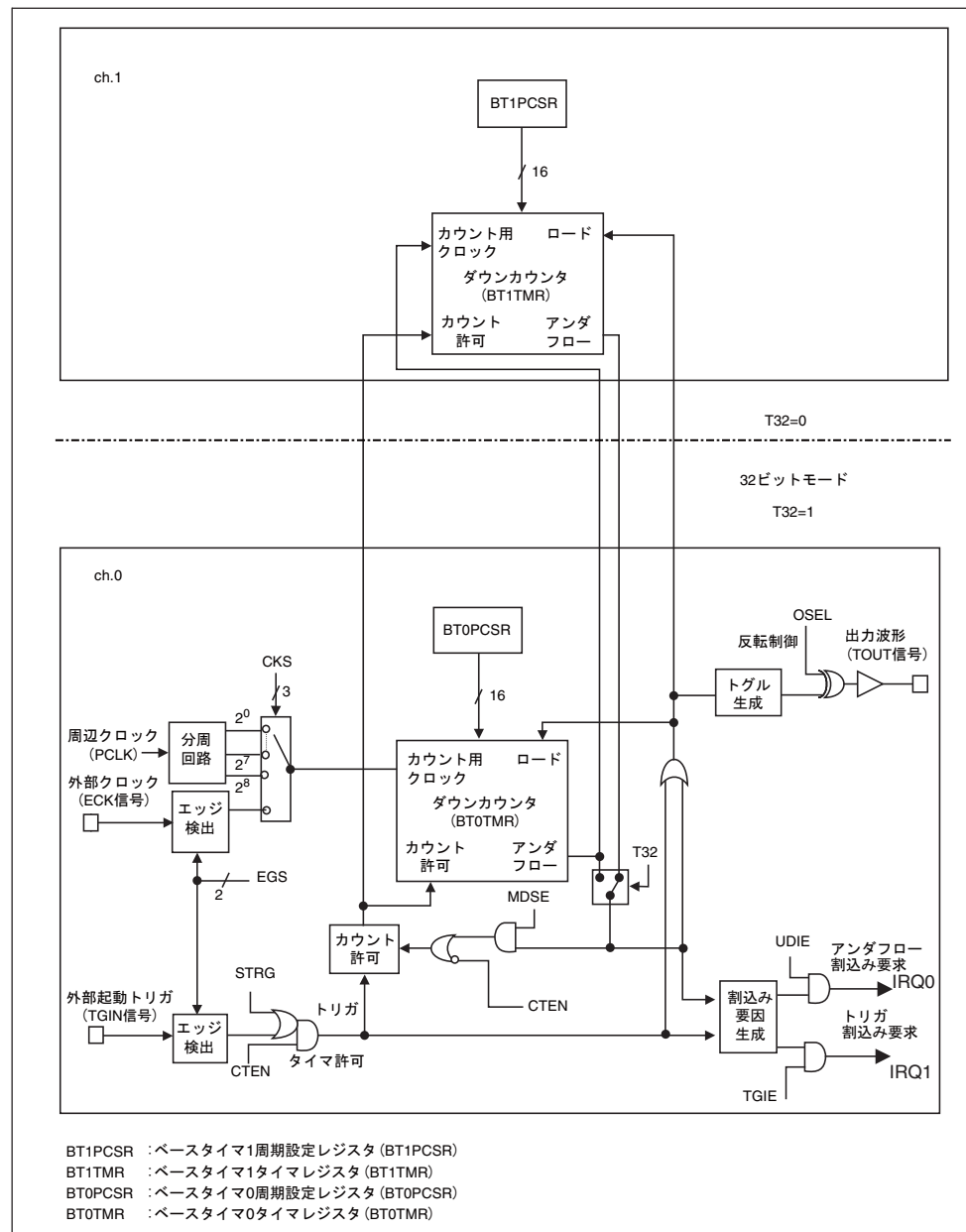


図 41.5-4 16/32 ビットリロードタイマのブロックダイアグラム (32 ビットリロードタイマ動作時)



41.5.4.1 概要

16/32 ビットリロードタイマは、周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値からカウントダウンするタイマです。ダウンカウンタがアンダフローしたときに、アンダフロー割込み要求を発生させる機能があります。

16/32 ビットリロードタイマには、タイマモードと動作モードの 2 つのモードがあり、それぞれのモードの組み合わせによって、動作が異なります。

- ・ タイマモード: タイマ制御レジスタ (BT0TMCR/BT1TMCR) の T32 ビットで次の 2 種類のモードから選択します。
 - ・ 16 ビットタイマモード (T32=0): 16 ビットリロードタイマを 1 チャンネルずつ個別に動作させます。
 - ・ 32 ビットタイマモード (T32=1): 2 チャンネルをカスケード接続して 32 ビットリロードタイマとして使用します。
- ・ 動作モード: タイマ制御レジスタ (BT0TMCR/BT1TMCR) の MDSE ビットで次の 2 種類のモードから選択します。
 - ・ リロードモード (MDSE=0): ダウンカウンタがアンダフローすると、設定している値 (周期) をリロードしてカウントを繰り返すモードです。
 - ・ ワンショットモード (MDSE=1): ダウンカウンタがアンダフローすると、カウントを停止するモードです。

41.5.4.2 リロードモード時の動作

リロードモード時の動作について説明します。

■ 概要

アンダフローが発生するたびに、周期設定レジスタ (BT0PCSR/BT1PCSR) の値をリロードして、カウントダウンを継続するモードです。このモードを利用するには、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の MDSE ビットでリロードモードを設定 (MDSE=0) してください。

■ 動作

● 起動

次の手順で 16/32 ビットリロードタイマを起動してください。

(1) タイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットで、16/32 ビットリロードタイマの動作を許可 (CTEN=1) する。

16/32 ビットリロードタイマが起動トリガ待ち状態になります。

(2) 次のいずれかの方法で起動トリガを入力する。

- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の STRG ビットに "1" を書き込む (ソフトウェアトリガ)
- ・ 外部起動トリガ (TGIN 信号) の有効エッジ (EGS1, EGS0 ビットで設定したエッジ) を入力する。

(注意事項) ・ 外部起動トリガ (TGIN 信号) の入力方法は、入出力選択レジスタ (BTSEL01) で設定した入出力モードによって異なります。「41.5.2 入出力割り当て」を参照してください。
・ 動作を許可すると同時にカウントを開始したい場合はタイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットと STRG ビットの両方に "1" を書き込んでください。

● カウント動作

起動トリガが入力されると、次の時間の経過後に周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値 (周期) がダウンカウンタにロードされ、カウントダウンが開始されます。

- ソフトウェアトリガ入力時: 1T (T: カウント用クロックの周期)
- 外部起動トリガ (TGIN 信号) 入力時: 2T ~ 3T (T: カウント用クロックの周期)

カウントの開始タイミングを図 41.5-5 および図 41.5-6 に示します。

図 41.5-5 カウントの開始タイミング (ソフトウェアトリガ)

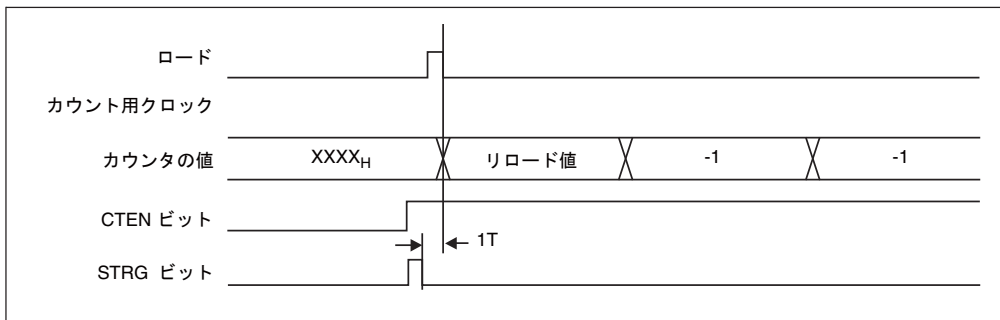
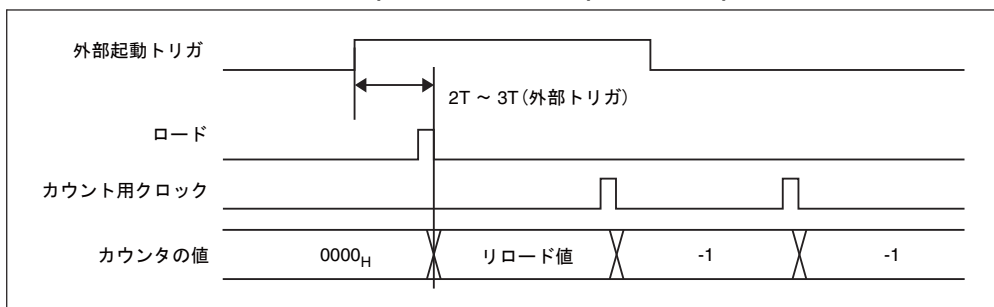


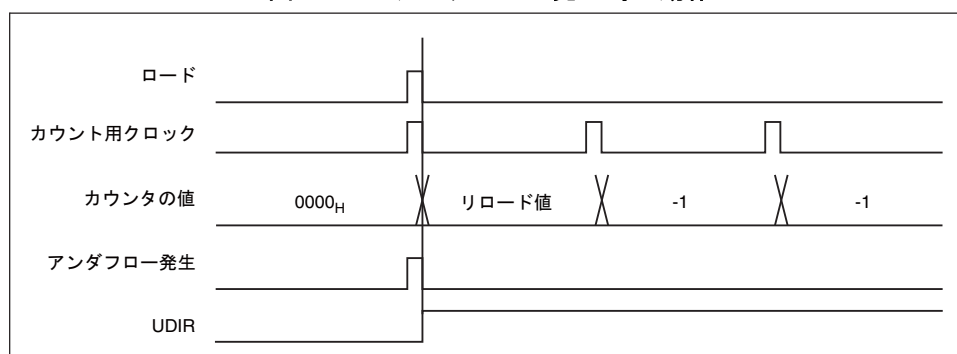
図 41.5-6 カウントの開始タイミング (外部起動トリガ (TGIN 信号), 有効エッジ = 立上りエッジ)



(注意事項) 外部起動トリガ (TGIN 信号) の入力方法は、入出力選択レジスタ (BTSEL01) で設定した入出力モードによって異なります。「41.5.2 入出力割り当て」を参照してください。

ダウンカウンタの値が "0000_H" からさらにカウントダウンしようとして、アンダフローすると、周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値 (周期) が再びダウンカウンタにロードされ、カウント動作を続けます。また、アンダフローが発生すると、ステータス制御レジスタ (BT0STC/BT1STC) の UDIR ビットが "1" に変わります。このとき、UDIE ビットが "1" に設定されているとアンダフロー割り込み要求が発生します。アンダフロー発生時の動作を次に示します。

図 41.5-7 アンダフロー発生時の動作



■ 出力波形

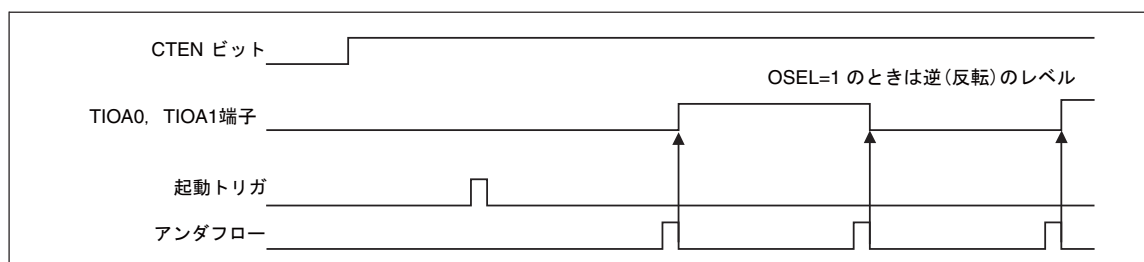
16/32 ビットリロードタイマの波形 (TOUT 信号) を出力できます。出力する波形 (TOUT 信号) はタイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットの設定によって異なります。

表 41.5-1 出力極性と出力波形の対応

出力極性	出力波形
通常極性 (OSEL=0)	カウント開始時に "L" レベルを出力 以降、アンダフローが発生するたびに出力レベルが反転
反転極性 (OSEL=1)	カウント開始時に "H" レベルを出力 以降、アンダフローが発生するたびに出力レベルが反転

リロードモード時の出力波形を次に示します。

図 41.5-8 リロードモード時の出力波形 (通常極性時)



41.5.4.3 ワンショットモード時の動作

ワンショットモード時の動作について説明します。

■ 概要

アンダフローが発生するとカウントダウンを停止するモードです。

このモードを利用するには、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の MDSE ビットでワンショットモードを設定 (MDSE=1) してください。

■ 動作

● 起動

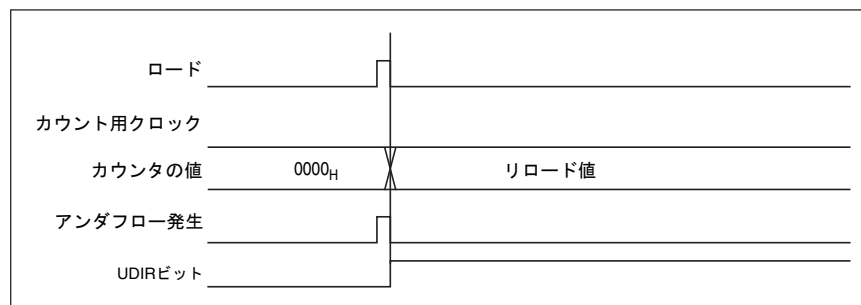
リロードモード時の動作と同様です。「41.5.4.2 リロードモード時の動作」の「■ 動作」を参照してください。

● カウント動作

アンダフローが発生するまでの動作は、リロードモード時の動作と同様です。「41.5.4.2 リロードモード時の動作」の「■ 動作」を参照してください。アンダフローすると、周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値 (周期) が再びダウンカウンタにロードされます。ただし、ダウンカウンタはカウント動作を停止します。また、アンダフローが発生すると、ステータス制御レジスタ (BT0STC/BT1STC) の UDIR ビットが "1" に変わります。このとき、ステータス制御レジスタ (BT0STC/BT1STC) の UDIE ビットが "1" に設定されているとアンダフロー割込み要求が発生します。

アンダフロー発生時の動作を図 41.5-9 に示します。

図 41.5-9 アンダフロー発生時の動作



■ 出力波形

16/32 ビットリロードタイマの波形 (TOUT 信号) を出力できます。出力する波形 (TOUT 信号) はタイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットの設定によって異なります。

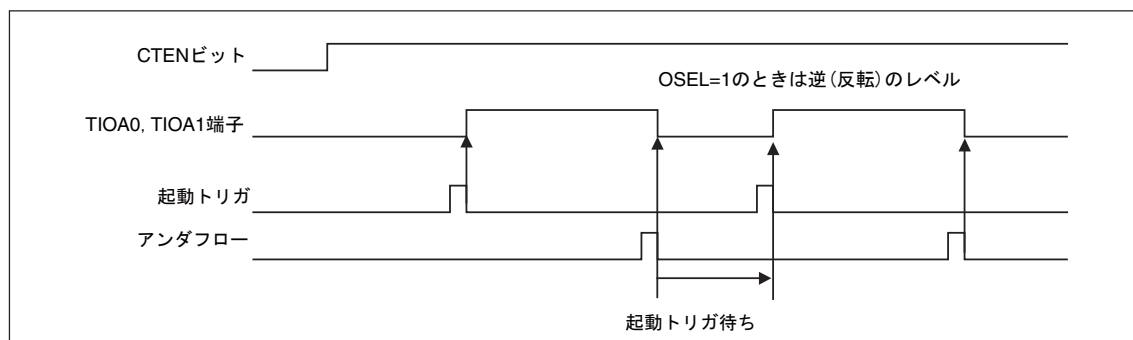
出力極性と出力波形の対応を次に示します。

表 41.5-2 出力極性と出力波形の対応

出力極性	出力波形
通常極性 (OSEL=0)	起動トリガが入力されると (カウント中) "H" レベルを出力 起動トリガ待ち状態時は "L" レベルを出力
反転極性 (OSEL=1)	起動トリガが入力されると (カウント中) "L" レベルを出力 起動トリガ待ち状態時は "H" レベルを出力

ワンショットモード時の出力波形を図 41.5-10 に示します。

図 41.5-10 ワンショットモード時の出力波形 (通常極性時)



41.5.4.4 32 ビットタイマモード時の動作

16 ビットリロードタイマ 2 チャンネルをカスケード接続して, 32 ビットのリロードタイマとして使用する場合の設定と動作について説明します。

■ 概要

タイマ制御レジスタ (BT0TMCR/BT1TMCR) の T32 ビットで 16 ビットリロードタイマ 2 チャンネルをカスケード接続して, 32 ビットのリロードタイマとして使用できます。このモードでは, 偶数チャンネルが下位 16 ビットの動作に, 奇数チャンネルが上位 16 ビットの動作に対応します。そのため, リロード値の設定は, 上位 16 ビット (奇数チャンネル) → 下位 16 ビット (偶数チャンネル) の順に, ダウンカウンタの値の読出しは, 下位 16 ビット (偶数チャンネル) → 上位 16 ビット (奇数チャンネル) の順に行ってください。

■ 設定手順例

32 ビットタイマモードを設定する場合は, 偶数チャンネルのタイマ制御レジスタ (BT0TMCR/BT1TMCR) の T32 ビットを "1" に, 奇数チャンネルのタイマ制御レジスタ (BT0TMCR/BT1TMCR) の T32 ビットを "0" に設定してください。また, 32 ビットタイマモード設定時は次の手順で各レジスタを設定してください。偶数チャンネルと奇数チャンネルでレジスタの設定が異なります。カスケード接続する場合を例に説明します。

1. ベースタイマ 0 タイマ制御レジスタ (BT0TMCR) の FMD2 ～ FMD0 ビットで ch.0 をリセットモードに設定 (FMD2 ～ FMD0=000)
2. ch.0 と ch.1 のタイマ制御レジスタ (BT0TMCR, BT1TMCR) の FMD2 ～ FMD0 ビットで, ch.0 と ch.1 を 16/32 ビットリロードタイマを設定 (FMD2 ～ FMD0=011)
同時にベースタイマ 0 タイマ制御レジスタ (BT0TMCR) の T32 ビットで 32 ビットタイマモードを設定 (T32=1)
3. ベースタイマ 1 周期設定レジスタ (BT1PCSR) に上位 16 ビットのリロード値を設定
4. ベースタイマ 0 周期設定レジスタ (BT0PCSR) に下位 16 ビットのリロード値を設定

(注意事項) ・ T32 ビットは, 偶数チャンネル／奇数チャンネル両方の動作が停止している状態で書き換えてください。カウント動作が停止しているかどうかは, タイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットで確認できます (CTEN=0) 。
・ 周期設定レジスタ (BT0PCSR/BT1PCSR) にリロード値を設定する際は, 必ず奇数チャンネル → 偶数チャンネルの順番で設定してください。

■ 動作

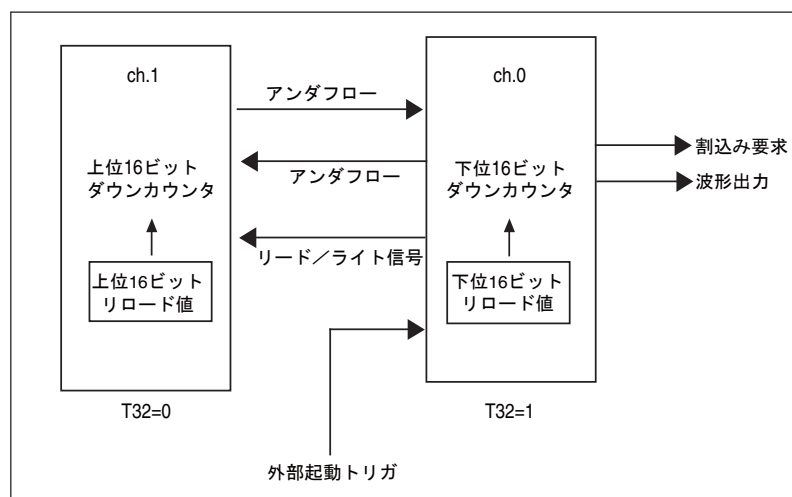
32 ビットタイマモード設定時も、カウント動作は基本的に 16 ビットタイマモード時と同様です。ただし、カウント動作は偶数チャンネルの設定に従うため、奇数チャンネルの次のレジスタの設定は無視されます。

- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR)
- ・ ステータス制御レジスタ (BT0STC/BT1STC)

32 ビットタイマモード時のカウント動作について説明します。

1. 32 ビットリロードタイマが起動すると、奇数チャンネルの周期設定レジスタ (BT0PCSR/BT1PCSR) と偶数チャンネルの周期設定レジスタ (BT0PCSR/BT1PCSR) の値 (下位 16 ビット) がダウンカウンタにロードされます。
2. 偶数チャンネルを下位 16 ビット、奇数チャンネルを上位 16 ビットの 32 ビットカウンタとして、ダウンカウンタがカウント動作を開始します。
3. ダウンカウンタがアンダフローすると、偶数チャンネルのタイマ制御レジスタ (BT0TMCR/BT1TMCR) の UDIR ビットが "1" に変わります。32 ビットタイマモード時のチャンネル構成を次に示します。

図 41.5-11 32 ビットタイマモード時の構成



- (注意事項) ・ダウンカウンタの値は、タイマレジスタ (BT0TMR/BT1TMR) を読み出すことで確認できます。32 ビットタイマモード時は必ず下位 16 ビット (偶数チャンネル) → 上位 16 ビット (奇数チャンネル) の順で読み出してください。
- ・ 32 ビットタイマモード時は、32 ビットリロードタイマの動作は偶数チャンネルの設定に従います。そのため、起動トリガや割り込み要求は偶数チャンネルのものが有効になります。また、奇数チャンネルの端子からの出力信号 (TOUT 信号) は "L" レベルに固定されます。

41.5.4.5 割込み

次のいずれかの場合に割込み要求が発生します。

- ・ 起動トリガ検出時 (トリガ割込み要求)
- ・ アンダフロー発生時 (アンダフロー割込み要求)

表 41.5-3 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
トリガ割込み要求	BT0STC/BT1STC の TGIR=1	BT0STC/BT1STC の TGIE=1	BT0STC/BT1STC の TGIR ビットに "0" を書き込む。
アンダフロー割込み要求	BT0STC/BT1STC の UDIR=1	BT0STC/BT1STC の UDIE=1	BT0STC/BT1STC の UDIR ビットに "0" を書き込む。

(注意事項) ・ 割込み要求フラグが "1" のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。

- 割込み要求の発生を許可する前に割込み要求をクリアする。
- 割込み許可と同時に割込み要求をクリアする。
- ・ 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- ・ 各割込み要求の割込みベクタ番号については、「付録 C. 割込みベクター一覧」の「付表 C-1」を参照してください。
- ・ 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については、「第 22 章 割込み制御 (割込みコントローラ)」を参照してください。

41.5.4.6 使用上の注意

16/32 ビットリロードタイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の次のビットは、CTEN ビットで 16 ビットダウンカウンタの動作を停止 (CTEN=0) してから書き換えてください。
 - CKS3 ～ CKS0 ビット
 - EGS1, EGS0 ビット
 - T32 ビット
 - FMD2 ～ FMD0 ビット
 - MDSE ビット
- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットでリセットモードを設定 (FMD2 ～ FMD0=000) すると、すべてのレジスタが初期化されます。
- ・ ベースタイマの機能を変更する場合や T32 ビットを変更する場合は、一度ベースタイマをリセットする必要があります。リセット後に、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットや T32 ビットを書き換える場合以外は、必ず FMD2 ～ FMD0 ビットでリセットモードを選択 (FMD2 ～ FMD0=000) してから、これらのビットを書き換えてください。

■ 動作に関する注意

- ダウンカウンタのカウントのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
- ワンショットモードで、カウント終了時に16/32ビットリロードタイマの起動トリガが検出されると、周期設定レジスタ (BT0PCSR/BT1PCSR) の値 (周期) が 16 ビットダウンカウンタにロードされ、カウント動作を開始します。
- ベースタイマ入出力選択機能によって、信号 (外部クロック／外部起動トリガ／波形) の入出力動作が異なります。

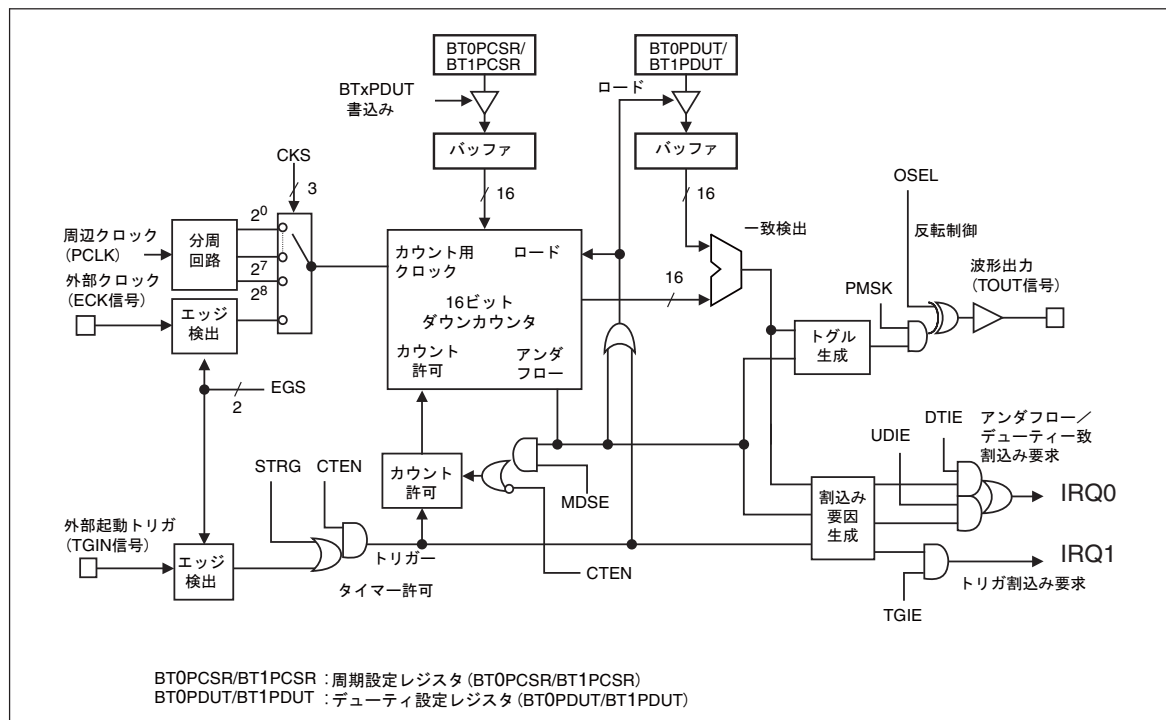
■ 割込みに関する注意

- 割込み要求フラグのクリアと、割込み要求フラグが "1" に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは "1" のままになります。

41.5.5 16 ビット PWM タイマの動作

本製品に内蔵されているベースタイマを 16 ビット PWM タイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 41.5-12 16 ビット PWM タイマのブロックダイアグラム (16 ビット PWM タイマ動作時)



41.5.5.1 概要

16 ビット PWM タイマは、周期設定レジスタ (BT0PCSR/BT1PCSR) に周期を、デューティ設定レジスタ (BT0PDUT/BT1PDUT) にデューティを設定します。これらのレジスタの値を設定することで任意の波形 (TOUT 信号) を出力します。16 ビット PWM タイマは、周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値からカウントダウンを開始します。ダウンカウンタの値がデューティ設定レジスタ (BT0PDUT/BT1PDUT) の値と一致すると、出力信号 (TOUT 信号) のレベルを反転させます。ダウンカウンタがアンダフローすると再度出力レベルを反転させます。これにより、周期とデューティが任意の波形 (TOUT 信号) を出力できます。

16 ビット PWM の動作モードは、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の MDSE ビットで次の 2 種類から選択できます。

- リロードモード (MDSE=0) : 16 ビットダウンカウンタがアンダフローすると設定してある周期をリロードしてカウントを繰り返すモードです。
- ワンショットモード (MDSE=1) : 16 ビットダウンカウンタがアンダフローするとカウントを停止するモードです。

41.5.5.2 リロードモード時の動作

リロードモード時の動作について説明します。

■ 概要

アンダフローが発生するたびに、周期設定レジスタ (BT0PCSR/BT1PCSR) の値をリロードして、カウントダウンを継続するモードです。このモードを利用するには、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の MDSE ビットでリロードモードを設定 (MDSE=0) してください。

■ 動作

● 起動

次の手順で 16 ビット PWM タイマを起動してください。

1. タイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットで、16 ビット PWM タイマの動作を許可 (CTEN=1) する。
16 ビット PWM タイマが起動トリガ待ち状態になります。
2. 次のいずれかの方法で起動トリガを入力する。
 - タイマ制御レジスタ (BT0TMCR/BT1TMCR) の STRG ビットに "1" を書き込む (ソフトウェアトリガ)
 - 外部起動トリガ (TGIN 信号) の有効エッジ (EGS1, EGS0 ビットで設定したエッジ) を入力する。

16 ビットダウンカウンタが周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値からカウントダウンを開始します。

- (注意事項) ・ 外部起動トリガ (TGIN 信号) の入力方法は、入出力選択レジスタ (BTSEL01) で設定した入出力モードによって異なります。
- ・ 16 ビット PWM タイマの起動トリガを検出してから周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値が 16 ビットダウンカウンタにロードされるまで、次の時間が必要です。
 - ソフトウェアトリガ時: 1T (T: カウント用クロックの周期)
 - 外部イベントトリガ時: 2T ~ 3T (T: カウント用クロックの周期)

● カウント動作

起動トリガが入力されると、16 ビットダウンカウンタがカウント用クロックに同期して、周期設定レジスタ (BT0PCSR/BT1PCSR) の値からカウントダウンを開始します。

16 ビットダウンカウンタの値がデューティ設定レジスタ (BT0PDUT/BT1PDUT) の値と一致すると、次の動作が行われます。

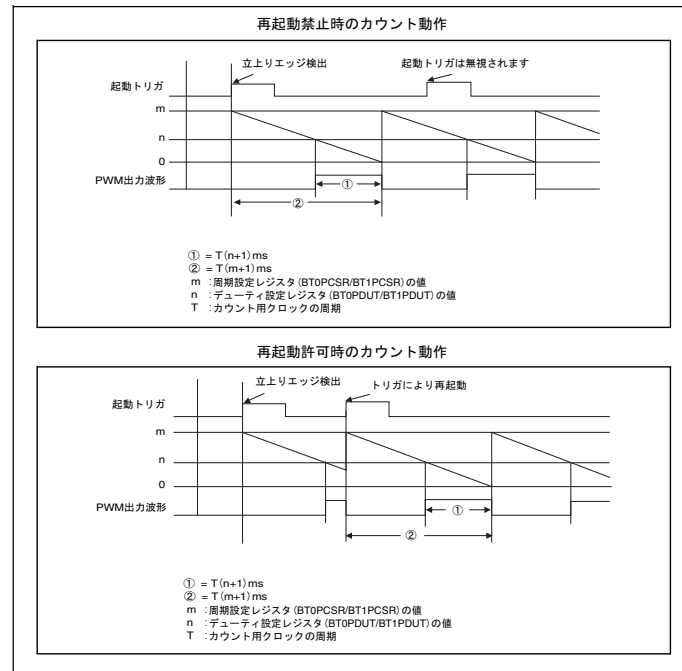
- ステータス制御レジスタ (BT0STC/BT1STC) の DTIR ビットが "1" に変わる。
- 出力信号 (TOUT 信号) のレベルが反転する。
- カウントダウンを継続する。その後、16 ビットダウンカウンタがアンダフローすると、次の動作が行われます。
- ステータス制御レジスタ (BT0STC/BT1STC) の UDIR ビットが "1" に変わる出力信号 (TOUT 信号) のレベルが反転する。
- 周期設定レジスタ (BT0PCSR/BT1PCSR) の値をリロードし、カウントダウンを継続する。

このように、アンダフローが発生するたびに周期設定レジスタ (BT0PCSR/BT1PCSR) の値をリロードし、カウント動作を続けます。また、カウント中に、起動トリガが入力された場合の動作は、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の RTGEN ビットで再起動を許可しているかどうかで異なります。

- 再起動禁止 (RTGEN=0) の場合: カウント中に入力された起動トリガは無視されます。
- 再起動許可 (RTGEN=1) の場合: ステータス制御レジスタ (BT0STC/BT1STC) の TGIR ビットが "1" に変わります。また, 周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値が 16 ビットダウンカウンタにリロードされ, カウントが開始されます。

それぞれの動作を図 41.5-13 に示します。

図 41.5-13 カウント動作



(注意事項) 16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが一致した場合は, ロード動作が優先されます。

■ 出力波形

16 ビット PWM タイマの波形 (TOUT 信号) を出力できます。出力する波形 (TOUT 信号) はタイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットの設定によって異なります。

通常極性 (OSEL=0) 時

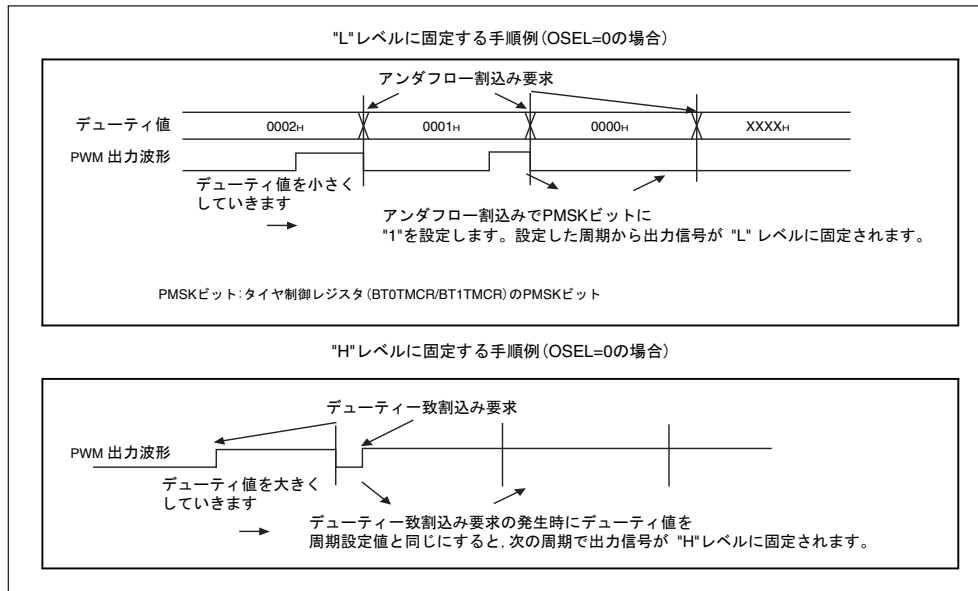
- 16 ビット PWM タイマ起動時: "L" レベル
- デューティ一致発生時: "H" レベル
- アンダフロー発生時: "L" レベル

反転極性 (OSEL=1) 時

- 16 ビット PWM タイマ起動時: "H" レベル
- デューティ一致発生時: "L" レベル
- アンダフロー発生時: "H" レベル

また, 出力 (TOUT 信号) を "L" レベルまたは "H" レベルに固定することもできます。
タイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットの設定によって, 出力レベルが変わります。手順例を図 41.5-14 に示します。

図 41.5-14 "L・H" レベルに固定する手順例



(注意事項) ・ 16 ビット PWM タイマの波形 (TOUT 信号) の出力方法／出力先は, 次の設定によって異なります。

- ベースタイマの入出力モード
- TIOA0, TIOA1 端子機能

■ 割込み発生タイミング

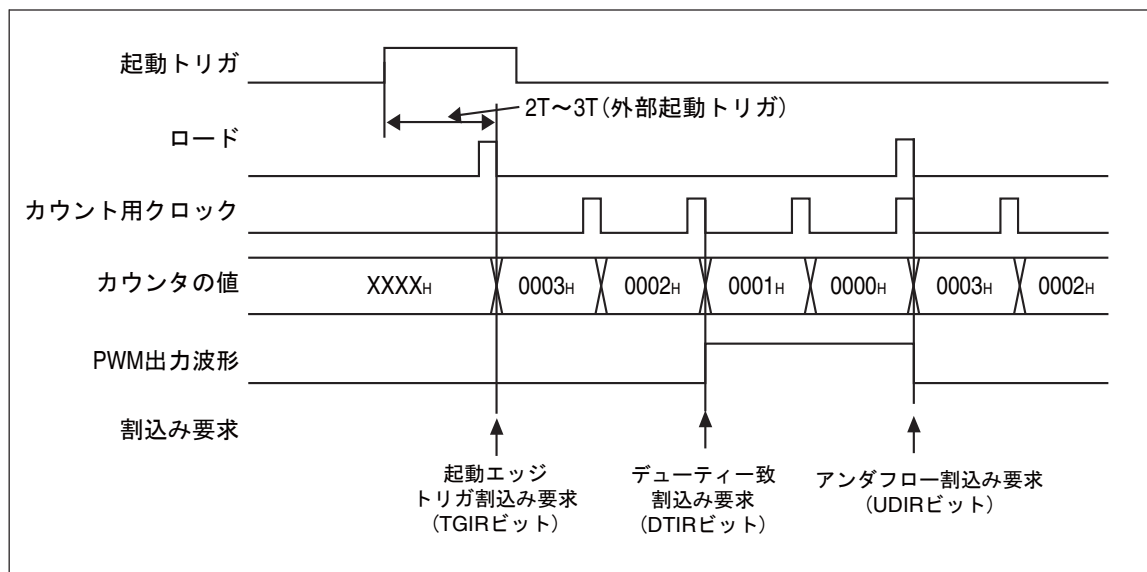
16 ビット PPG タイマは次の場合に割込み要求を発生できます。

- 起動トリガ検出時
- 16 ビットダウンカウンタの値が, デュティ設定レジスタ (BT0PDUT/BT1PDUT) の値と一致したとき
- アンダフロー発生時

割込み要求発生タイミングを次の設定がされているときを例にとりて, 次に示します。

- 周期設定レジスタ (BT0PCSR/BT1PCSR) の値 =0003_H
- デュティ設定レジスタ (BT0PDUT/BT1PDUT) の値 =0001_H

図 41.5-15 割り込み要求発生タイミングチャート



41.5.5.3 ワンショットモード時の動作

ワンショットモード時の動作について説明します。

■ カウント動作

16 ビットダウンカウンタの値が周期設定レジスタの設定値(BT0PCSR/BT1PCSR) から"FFFF_H" に変わり、アンダフローが発生するとカウント動作を停止するモードです。

このモードを利用するには、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の MDSE ビットでワンショットモードを設定 (MDSE=1) してください。

● 起動

リロードモード時と同様です。「41.5.5.2 リロードモード時の動作」の「■ 動作」を参照してください。

● カウント動作

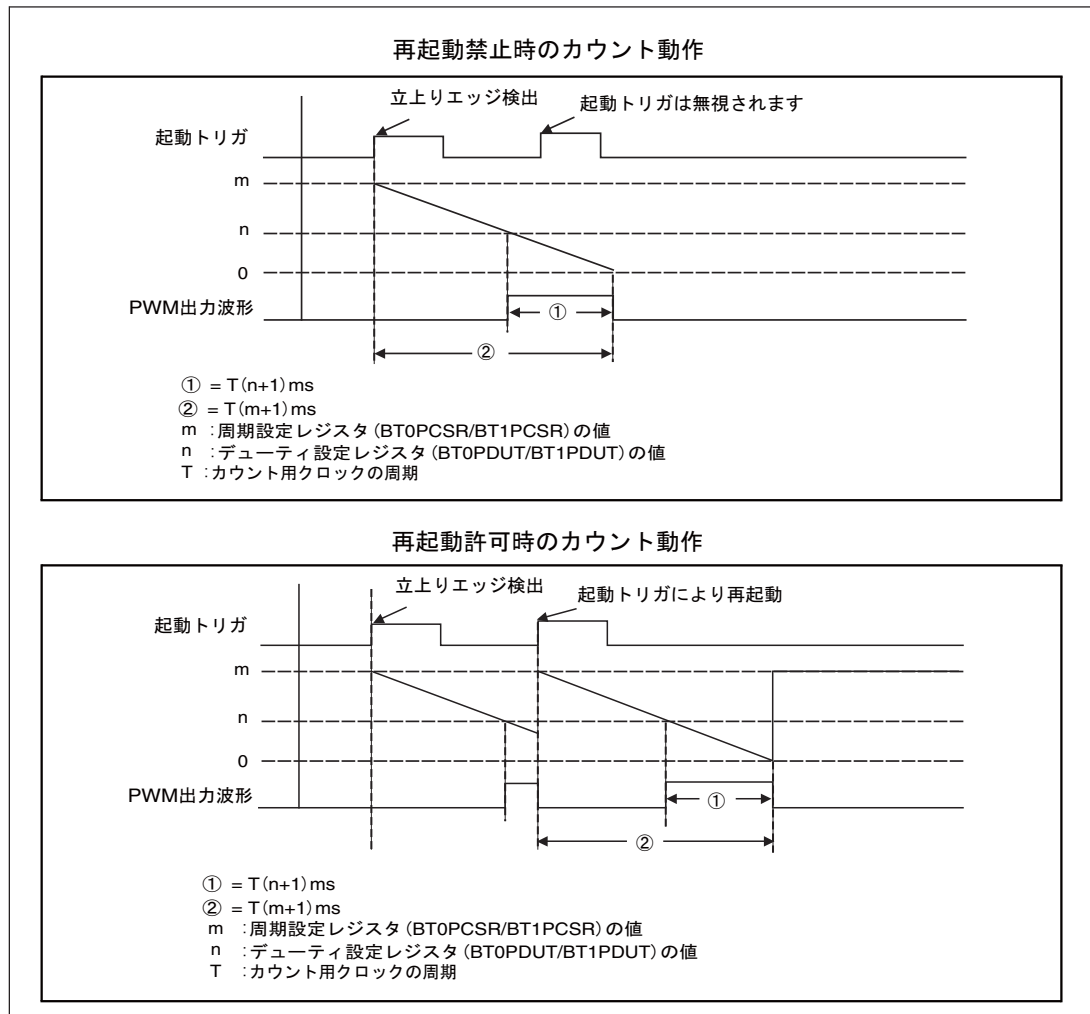
起動トリガが入力されると、16 ビットダウンカウンタがカウント用クロックに同期して、周期設定レジスタ (BT0PCSR/BT1PCSR) の値からカウントダウンを開始します。16 ビットダウンカウンタの値がデューティ設定レジスタ (BT0PDUT/BT1PDUT) の値と一致すると、次の動作が行われます。

- ステータス制御レジスタ (BT0STC/BT1STC) の DTIR ビットが "1" に変わる
- 出力信号 (TOUT 信号) のレベルが反転する
- カウントダウンを継続する。その後、16 ビットダウンカウンタがアンダフローすると、次の動作が行われます。
- ステータス制御レジスタ (BT0STC/BT1STC) の UDIR ビットが "1" に変わる
- 出力信号 (TOUT 信号) のレベルが反転する
- カウント動作を停止する (16 ビットダウンカウンタの値は "FFFF_H" で止まります。)

また，カウント中に，起動トリガが入力された場合の動作は，タイマ制御レジスタ (BT0TMCR/BT1TMCR) の RTGEN ビットで再起動を許可しているかどうかで異なります。

- 再起動禁止 (RTGEN=0) の場合：カウント中に入力された起動トリガは無視されます。
- 再起動許可 (RTGEN=1) の場合：ステータス制御レジスタ (BT0STC/BT1STC) の TGIR ビットが "1" に変わります。また，周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値が 16 ビットダウンカウンタにリロードされ，カウントが開始されます。

図 41.5-16 カウント動作



(注意事項) カウント終了時に，16 ビット PWM タイマの起動トリガが検出されると周期設定レジスタ (BT0PCSR/BT1PCSR) に設定した値が 16 ビットダウンカウンタにロードされ，カウントを開始します。

■ 出力波形

リロードモード時と同様です。「41.5.5.2 リロードモード時の動作」の「■ 出力波形」を参照してください。

■ 割込み発生タイミング

リロードモード時と同様です。「41.5.5.2 リロードモード時の動作」の「■ 割込み発生タイミング」を参照してください。

41.5.5.4 割込み

次のいずれかの場合に割込み要求が発生します。

- ・ 起動トリガ検出時 (トリガ割込み要求)
- ・ 16 ビットダウンカウンタの値が (デューティ設定レジスタ (BT0PDUT/BT1PDUT)) の値と一致したとき (デューティ一致割込み要求)
- ・ アンダフロー発生時 (アンダフロー割込み要求)

表 41.5-4 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
トリガ割込み要求	BT0STC/BT1STC の TGIR=1	BT0STC/BT1STC の TGIE=1	BT0STC/BT1STC の TGIR ビットに "0" を書き込む。
デューティ一致割込み要求	BT0STC/BT1STC の DTIR=1	BT0STC/BT1STC の DTIE=1	BT0STC/BT1STC の DTIR ビットに "0" を書き込む。
アンダフロー割込み要求	BT0STC/BT1STC の UDIR=1	BT0STC/BT1STC の UDIE=1	BT0STC/BT1STC の UDIR ビットに "0" を書き込む。

(注意事項) ・ 割込み要求フラグが "1" のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。

- 割込み要求の発生を許可する前に割込み要求をクリアする
- 割込み許可と同時に割込み要求をクリアする。
- ・ 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- ・ 各割込み要求の割込みベクタ番号については、「付録 C. 割込みベクター一覧」の「付表 C-1」を参照してください。
- ・ 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については、「第 22 章 割込み制御 (割込みコントローラ)」を参照してください。

41.5.5.5 使用上の注意

16 ビット PWM タイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の次のビットは、CTEN ビットで 16 ビットダウンカウンタの動作を停止 (CTEN=0) してから、書き換えてください。
 - CKS3 ～ CKS0 ビット
 - EGS1, EGS0 ビット
 - FMD2 ～ FMD0 ビット
 - MDSE ビット
- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットでリセットモードを設定 (FMD2 ～ FMD0=000) すると、すべてのレジスタが初期化されます。
- ・ ベースタイマの機能を変更する場合は、一度ベースタイマをリセットする必要があります。リセット後に、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットを書き換える場合以外は、必ず FMD2 ～ FMD0 ビットでリセットモードを選択 (FMD2 ～ FMD0=000) してから、再度 FMD2 ～ FMD0 ビットでベースタイマの機能を選択してください。

- 16 ビット PWM タイマの周期やデューティは次の手順で設定してください。
 1. タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットでベースタイマの機能に 16 ビット PWM タイマを設定 (FMD2 ～ FMD0=001)
 2. 周期設定レジスタ (BT0PCSR/BT1PCSR) に周期を設定
 3. デューティ設定レジスタ (BT0PDUT/BT1PDUT) にデューティを設定

■ 動作に関する注意

- 16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
- ワンショットモードでカウント終了時に、16 ビット PWM タイマの再起動トリガが検出されると、周期設定レジスタ (BT0PCSR/BT1PCSR) の値が 16 ビットダウンカウンタにロードされ、カウントが開始されます。
- ベースタイマ入出力選択機能によって、信号 (外部クロック／外部起動トリガ／波形) の入出力動作が異なります。

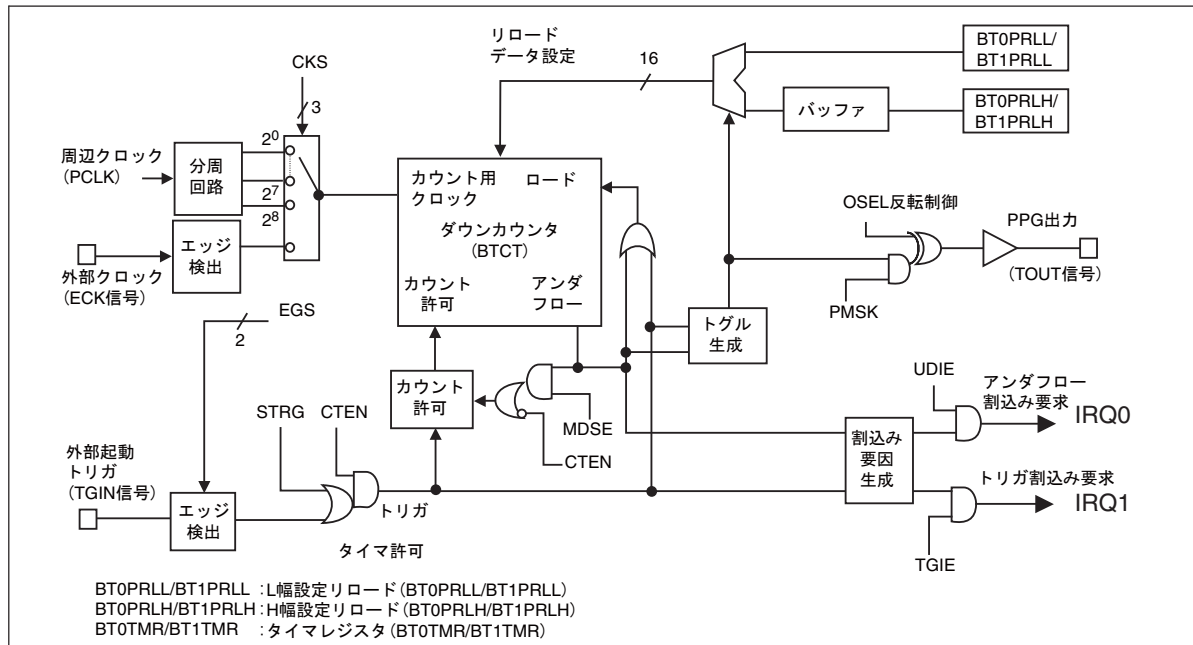
■ 割込みに関する注意

- 割込み要求フラグのクリアと、割込み要求フラグが "1" に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは "1" のままになります。

41.5.6 16 ビット PPG タイマの動作

本製品に内蔵されているベースタイマを 16 ビット PPG タイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 41.5-17 16 ビット PPG タイマのブロックダイアグラム(16 ビット PPG 動作時)



41.5.6.1 概要

16 ビット PPG タイマが起動すると、初めにL 幅設定リロードレジスタ (BT0PRL/ BT1PRL) の値をカウントダウンします。L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) の値をカウントダウンし終わると、次に H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) に設定された値をカウントダウンします。

各レジスタの値をカウント終了後、出力信号 (TOUT 信号) のレベルが反転するので、L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) を設定することで出力する信号の "L" レベルの幅と "H" レベルの幅を任意に設定できます。

16 ビット PPG タイマの動作モードはタイマ制御レジスタ (BT0TMCR/ BT1TMCR) の MDSE ビットで次の 2 種類から選択できます。

- リロードモード (MDSE=0) : "L" レベルと "H" レベルの信号を連続して出力 (連続パルス) するモードです。
- ワンショットモード (MDSE=1) : "L" レベルと "H" レベルの信号を 1 回ずつ出力 (単一パルス) するモードです。

41.5.6.2 パルス幅の計算方法

16 ビット PPG タイマは、L 幅設定リロードレジスタ (BT0PRLL/BT1PRLL) / H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) に設定した値 +1 カウントすると、出力信号 (TOUT 信号) のレベルが反転します。そのため、出力される信号のパルス幅は、次の計算式で求められます。

例：出力極性が通常極性の場合

"L" レベルのパルス幅 = $T \times (L+1)$

"H" レベルのパルス幅 = $T \times (H+1)$

T: カウント用クロックの周期

L: L 幅設定リロードレジスタ (BT0PRLL/BT1PRLL) の値

H: H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値

つまり、L 幅設定リロードレジスタ (BT0PRLL/BT1PRLL) ・ H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) に "0000_H" を設定すると、カウント用クロック 1 周期のパルス幅になります。また、"FFFF_H" を設定すると、カウント用クロック 65536 周期のパルス幅が設定されます。

41.5.6.3 リロードモード時の動作

リロードモード時の動作について説明します。

■ 概要

L 幅設定リロードレジスタ (BT0PRLL/BT1PRLL) と H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値を交互にリロードして、カウントダウンを継続するモードです。アンダフロー割込み要求の発生タイミングで、L 幅設定リロードレジスタ (BT0PRLL/BT1PRLL) / H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) を書き換えると、任意のパルス幅を連続で出力できます。

このモードを利用するには、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の MDSE ビットでリロードモードを設定 (MDSE=0) してください。

■ 動作

● 起動

次の手順で 16 ビット PPG タイマを起動してください。

1. タイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットで、16 ビット PPG タイマの動作を許可 (CTEN=1) する。16 ビット PPG タイマが起動トリガ待ち状態になります。
2. 次のいずれかの方法で起動トリガを入力する
 - タイマ制御レジスタ (BT0TMCR/BT1TMCR) の STRG ビットに "1" を書き込む (ソフトウェアトリガ)
 - 外部起動トリガ (TGIN 信号) の有効エッジ (EGS1, EGS0 ビットで設定したエッジ) を入力する

(注意事項) ・ 外部起動トリガ (TGIN 信号) の入力方法は、入出力選択レジスタ (BTSEL01) で設定した入出力モードによって異なります。

・ 16 ビット PPG タイマの起動トリガを検出してから L 幅設定リロードレジスタ (BT0PRLL/BT1PRLL) に設定した値 (周期) が 16 ビットダウンカウンタにロードされるまで、次の時間が必要です。

- ソフトウェアトリガ時: 1T (T: カウント用クロックの周期)
- 外部イベントトリガ時: 2T ~ 3T (T: カウント用クロックの周期)

● カウント動作

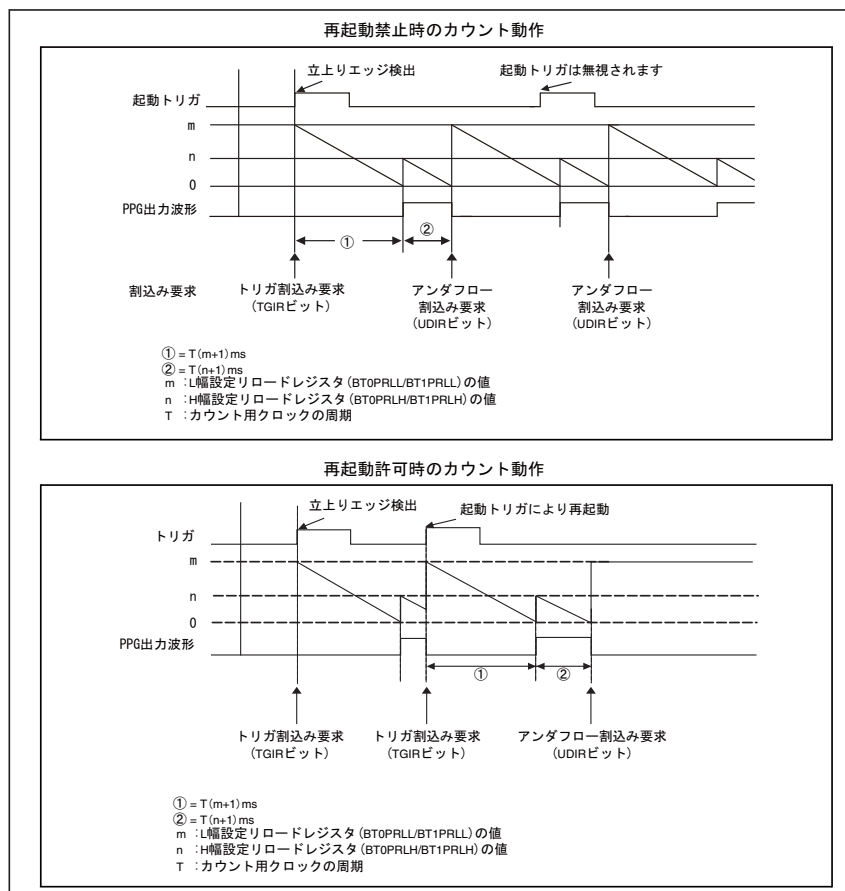
起動トリガが入力されてからのカウント動作を タイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットで通常極性を設定した (OSEL=0) 場合を例にとって説明します。

1. L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値が 16 ビットダウンカウンタに、H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値がバッファに転送され、L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値のカウントダウンが開始される。このとき、出力信号 (TOUT 信号) は "L" レベルになります。
2. 16 ビットダウンカウンタが L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値をカウントダウンし終わる。
3. バッファに転送されていた H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値が 16 ビットダウンカウンタにリロードされ、カウント動作を続ける。このとき、出力信号 (TOUT 信号) は "H" レベルになります。
4. 16 ビットダウンカウンタが H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) に設定した値をカウントダウンし終わり、アンダフローが発生する。
5. L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値が 16 ビットダウンカウンタにリロードされ、カウント動作を続ける。このとき、出力信号 (TOUT 信号) は "L" レベルになります。また、H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値がバッファに転送されます。
6. 手順 2 ～ 5 が繰り返され、カウント動作を継続します。

また、カウント中の再起動が許可／禁止されている場合の動作は、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の RTGEN ビットで再起動を許可しているかどうかで異なります。

- 再起動禁止 (RTGEN=0) の場合：カウント中に入力された起動トリガは無視されます。
- 再起動許可 (RTGEN=1) の場合：ステータス制御レジスタ (BT0STC/BT1STC) の TGIR ビットが "1" に変わります。また、L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

図 41.5-18 リロードモード時カウント動作例



(注意事項) ・16 ビット PPG タイマの出力信号 (TOUT 信号) の出力方法／出力先は、次の設定によって異なります。

- ベースタイマの入出力モード
- TIOA0, TIOA1 端子機能

・16ビットダウンカウンタのカウントのタイミングとロードのタイミングが一致した場合は、ロード動作が優先されます。

■ 書込みタイミング

L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) / H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) の値は、次のタイミングでリロードされます。

● L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) の値

次のいずれかの場合に 16 ビットダウンカウンタへロードされます。

- ・ 起動トリガ検出時
- ・ H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) の値のカウント後、アンダフローが発生したとき

● H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) の値

次のいずれかの場合にバッファに転送されます。

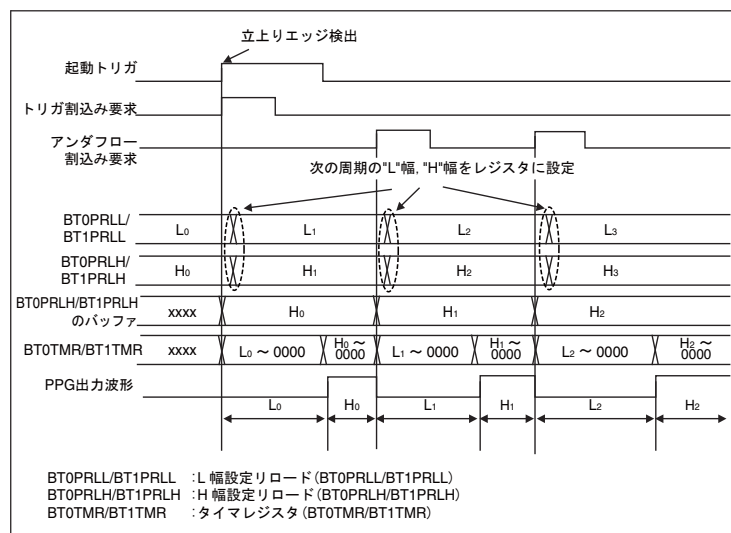
- ・ 起動トリガ検出時
- ・ H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) の値のカウント後、アンダフローが発生したとき

次の場合に、バッファから 16 ビットダウンカウンタにロードされます。

- ・ L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) の値のカウントが終了したとき

そのため、L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) ・H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) は、アンダフローが発生してから (ステータス制御レジスタ (BT0STC/ BT1STC) の UDIR ビットが "1" に変わってから)、次の周期のカウントが開始されるまでの間に書き換えてください。書き換えたデータは次の周期として反映されます。

図 41.5-19 書込みタイミング



■ 割込み発生タイミング

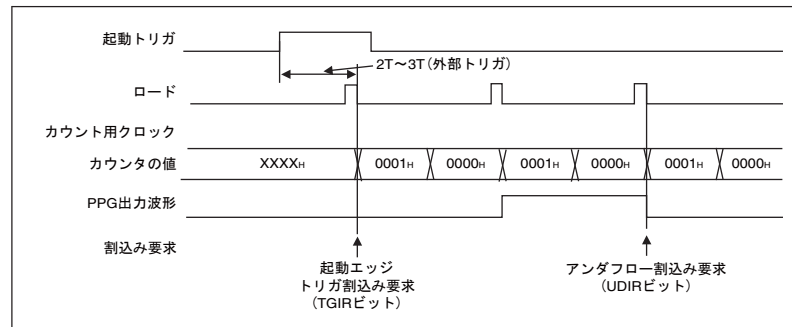
16 ビット PPG タイマは次の場合に割込み要求を発生できます。

- 起動トリガ検出時
- H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値で、アンダフローが発生したとき

割込み要求発生タイミングを次の設定がされているときを例にとつて、図 41.5-20 に示します。

- L 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値 = 0001_H
- H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値 = 0001_H

図 41.5-20 割込み要求発生タイミングチャート



41.5.6.4 ワンショットモード時の動作

ワンショットモード時の動作について説明します。

■ カウント動作

● 起動

リロードモード時と同様です。「41.5.6.3 リロードモード時の動作」の「■ 動作」を参照してください。

● カウント動作

起動トリガが入力されてからのカウント動作をタイマ制御レジスタ (BT0TMCR/BT1TMCR) の OSEL ビットで通常極性を設定した (OSEL=0) 場合を例にとって説明します。

1. L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) の値が 16 ビットダウンカウンタに、H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) の値がバッファに転送され、L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) の値のカウントダウンが開始される。このとき、出力信号 (TOUT 信号) は "L" レベルになります。
2. 16 ビットダウンカウンタが L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) の値をカウントダウンし終わる。
3. バッファに転送されていた H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) の値が 16 ビットダウンカウンタにリロードされ、カウント動作を続ける。このとき、出力信号 (TOUT 信号) は "H" レベルになります。
4. 16 ビットダウンカウンタが、H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) に設定した値をカウントダウンし終わり、アンダフローが発生する。
5. カウント動作が停止する。

また、カウント中の再起動が許可／禁止されている場合の動作は、タイマ制御レジスタ (BT0TMCR/ BT1TMCR) の RTGEN ビットで再起動を許可しているかどうかで異なります。

- ・ 再起動禁止 (RTGEN=0) の場合：カウント中に入力された起動トリガは無視されます。
- ・ 再起動許可 (RTGEN=1) の場合：ステータス制御レジスタ (BT0STC/ BT1STC) の TGIR ビットが "1" に変わります。また、L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) に設定した値が 16 ビットダウンカウンタにリロードされ、カウントが開始されます。

図 41.5-21 再起動禁止時のカウント動作例

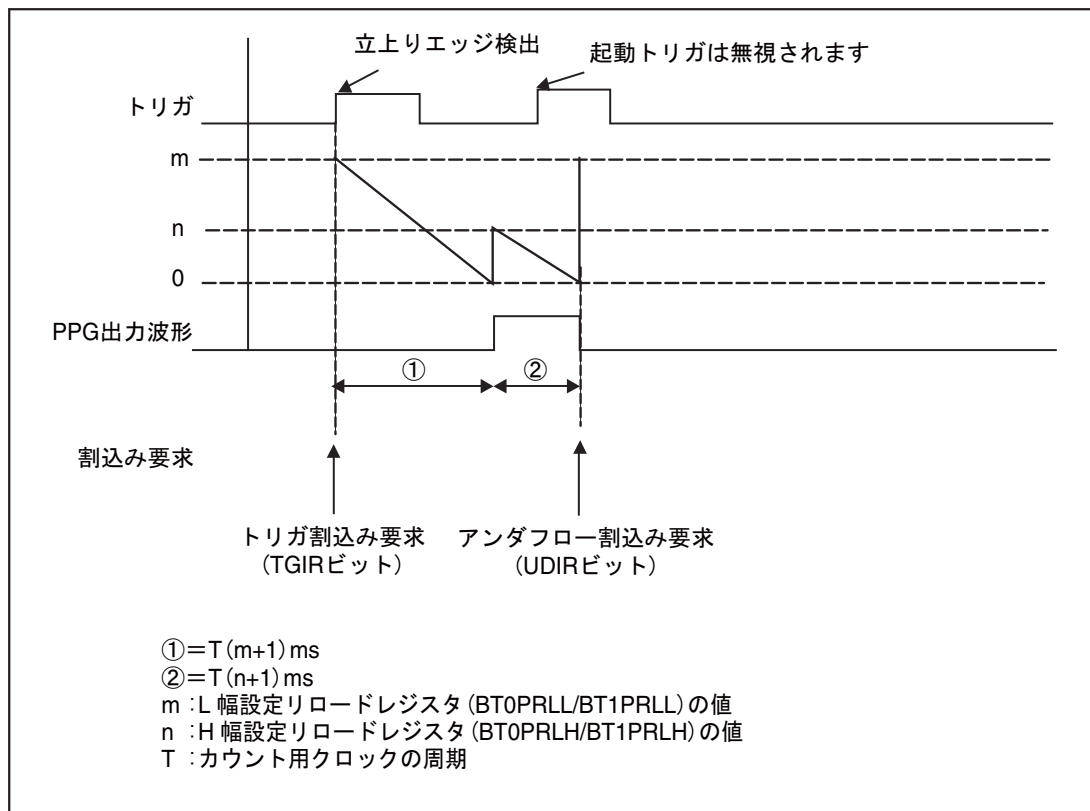
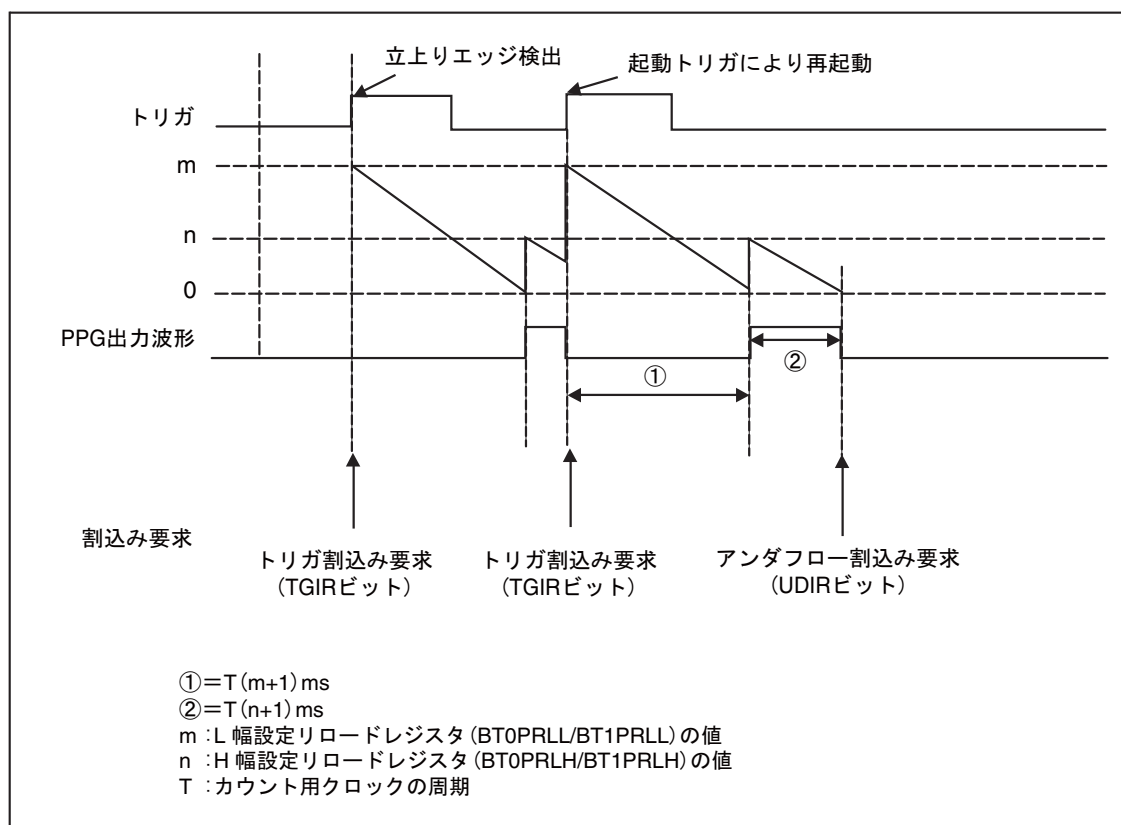


図 41.5-22 再起動許可時のカウント動作例



(注意事項) ・16 ビット PPG タイマの出力信号 (TOUT 信号) の出力方法／出力先は、次の設定によって異なります。

- ベースタイマの入出力モード
- TIOA0, TIOA1 端子機能
- ・カウント終了時に、16 ビット PPG タイマの起動トリガが検出されると、L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) の値 (周期) が 16 ビットダウンカウンタにロードされ、カウントが開始されます。

■ 割込み発生タイミング

リロードモード時と同様です。「41.5.6.3 リロードモード時の動作」の「■ 割込み発生タイミング」を参照してください。

41.5.6.5 割込み

次のいずれかの場合に割込み要求が発生します。

- ・ 起動トリガ検出時 (トリガ割込み要求)
- ・ H 幅設定リロードレジスタ (BT0PRLH/BT1PRLH) の値でアンダフローが発生したとき (アンダフロー割込み要求)

表 41.5-5 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
トリガ割込み要求	BT0STC/BT1STC の TGIR=1	BT0STC/BT1STC の TGIE=1	BT0STC/BT1STC の TGIR ビットに "0" を 書き込む。
アンダフロー割込み要求	BT0STC/BT1STC の UDIR=1	BT0STC/BT1STC の UDIE=1	BT0STC/BT1STC の UDIR ビットに "0" を 書き込む。

- (注意事項) ・ 割込み要求フラグが "1" のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
- ・ 割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする
 - 割込み許可と同時に割込み要求をクリアする。
 - ・ 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
 - ・ 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については、「第 22 章 割込み制御 (割込みコントローラ)」を参照してください。

41.5.6.6 使用上の注意

16 ビット PPG タイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- タイマ制御レジスタ (BT0TMCR/BT1TMCR) の次のビットは、CTEN ビットで 16 ビットダウンカウンタの動作を停止 (CTEN=0) してから、書き換えてください。
 - CKS3 ～ CKS0 ビット
 - EGS1, EGS0 ビット
 - FMD2 ～ FMD0 ビット
 - MDSE ビット
- タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットでリセットモードを設定 (FMD2 ～ FMD0=000) すると、すべてのレジスタが初期化されます。
- ベースタイマの機能を変更する場合は、一度ベースタイマをリセットする必要があります。リセット後に、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットを書き換える場合以外は、必ず FMD2 ～ FMD0 ビットでリセットモードを選択 (FMD2 ～ FMD0=000) してから、再度 FMD2 ～ FMD0 ビットでベースタイマの機能を選択してください。
- 16 ビット PPG タイマは次の手順で設定してください。
 1. タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットでベースタイマの機能に 16 ビット PPG タイマを設定 (FMD2 ～ FMD0=010)
 2. L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) を設定
 3. H 幅設定リロードレジスタ (BT0PRLH/ BT1PRLH) を設定

■ 動作に関する注意

- 16 ビットダウンカウンタのカウントのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
- ワンショットモードでカウント終了時に、16 ビット PPG タイマの再起動トリガが検出されると、L 幅設定リロードレジスタ (BT0PRL/ BT1PRL) の値 (周期) が 16 ビットダウンカウンタにロードされ、カウントが開始されます。
- ベースタイマ入出力選択機能によって、信号 (外部クロック/外部起動トリガ/波形) の入出力動作が異なります。

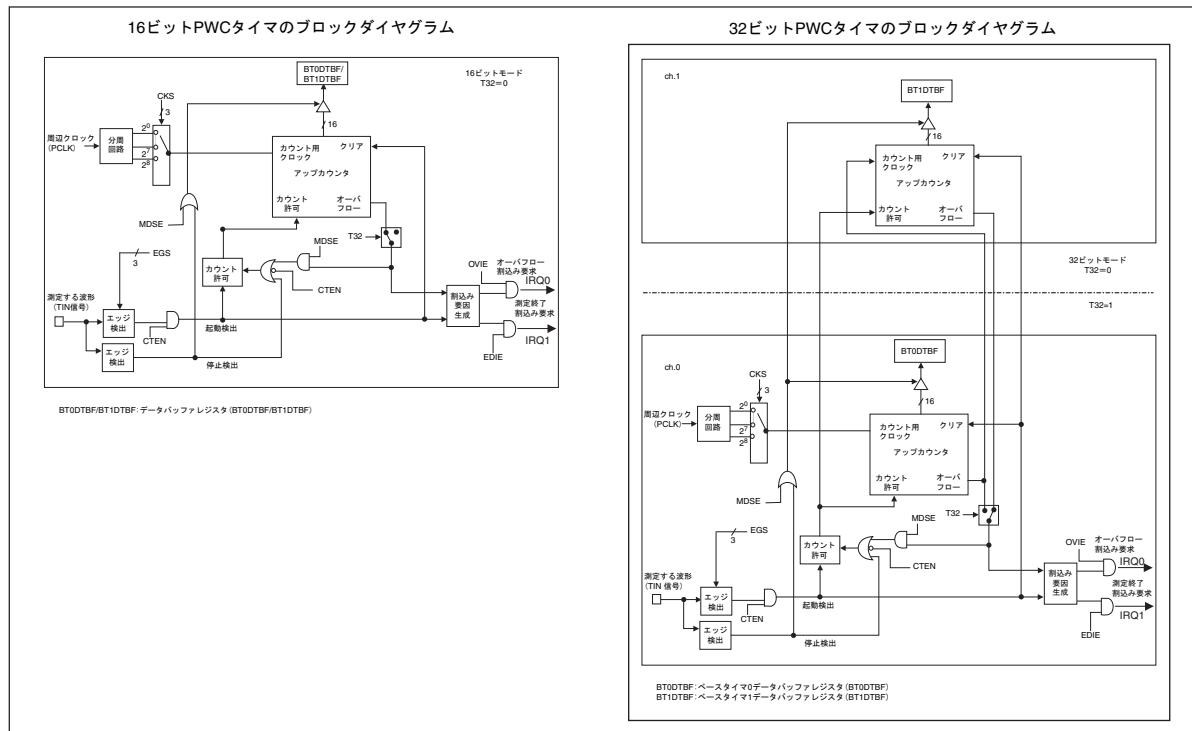
■ 割込みに関する注意

- 割込み要求フラグのクリアと、割込み要求フラグが "1" に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは "1" のままになります。

41.5.7 16/32 ビット PWC タイマの動作

本製品に内蔵されているベースタイマを 16/32 ビット PWC タイマとして使用する場合の動作について説明します。また、各動作状態を設定するための手順例も示します。

図 41.5-23 16 ビット PWC タイマのブロックダイアグラム(16/32 ビット PWC 動作時)



41.5.7.1 概要

16/32 ビット PWC タイマは、入力される信号のパルス幅や周期を測定するタイマです。入力信号 (TIN 信号) で測定開始エッジを検出するとカウントアップを開始し、測定終了エッジを検出するとカウント動作を停止します。カウントされた値 (測定結果) がパルス幅や周期としてデータバッファレジスタ (BT0DTBF/BT1DTBF) に格納されます。

16/32 ビット PWC タイマには、タイマモード、動作モード、測定モードの 3 種類のモードがあり、それぞれのモードの組み合わせによって、動作が異なります。

(注意事項) TIN 信号の入力方法は、入出力選択レジスタ (BTSEL01) で設定した入出力モードによって異なります。「41.5.2 入出力割り当て」を参照してください。

■ タイマモード

タイマ制御レジスタ (BT0TMCR/BT1TMCR) の T32 ビットで次の 2 種類のモードから選択します。

- 16 ビットタイマモード (T32=0): 16 ビット PWC タイマを 1 チャンネルずつ個別に動作させます。
- 32 ビットタイマモード (T32=1): 2 チャンネルをカスケード接続して 32 ビット PWC タイマとして使用します。

32 ビットタイマモード時の動作については、「41.5.7.3 32 ビットタイマモード時の動作」を参照してください。

(注意事項) 32 ビットタイマモードを設定する場合は , 偶数チャネルと奇数チャネルの T32 ビットの
設定が異なります。詳しくは , 「41.5.7.3 32 ビットタイマモード時の動作」を参照して
ください。

■ 動作モード

タイマ制御レジスタ (BT0TMCR/BT1TMCR) の MDSE ビットで次の 2 種類のモードから選択しま
す。

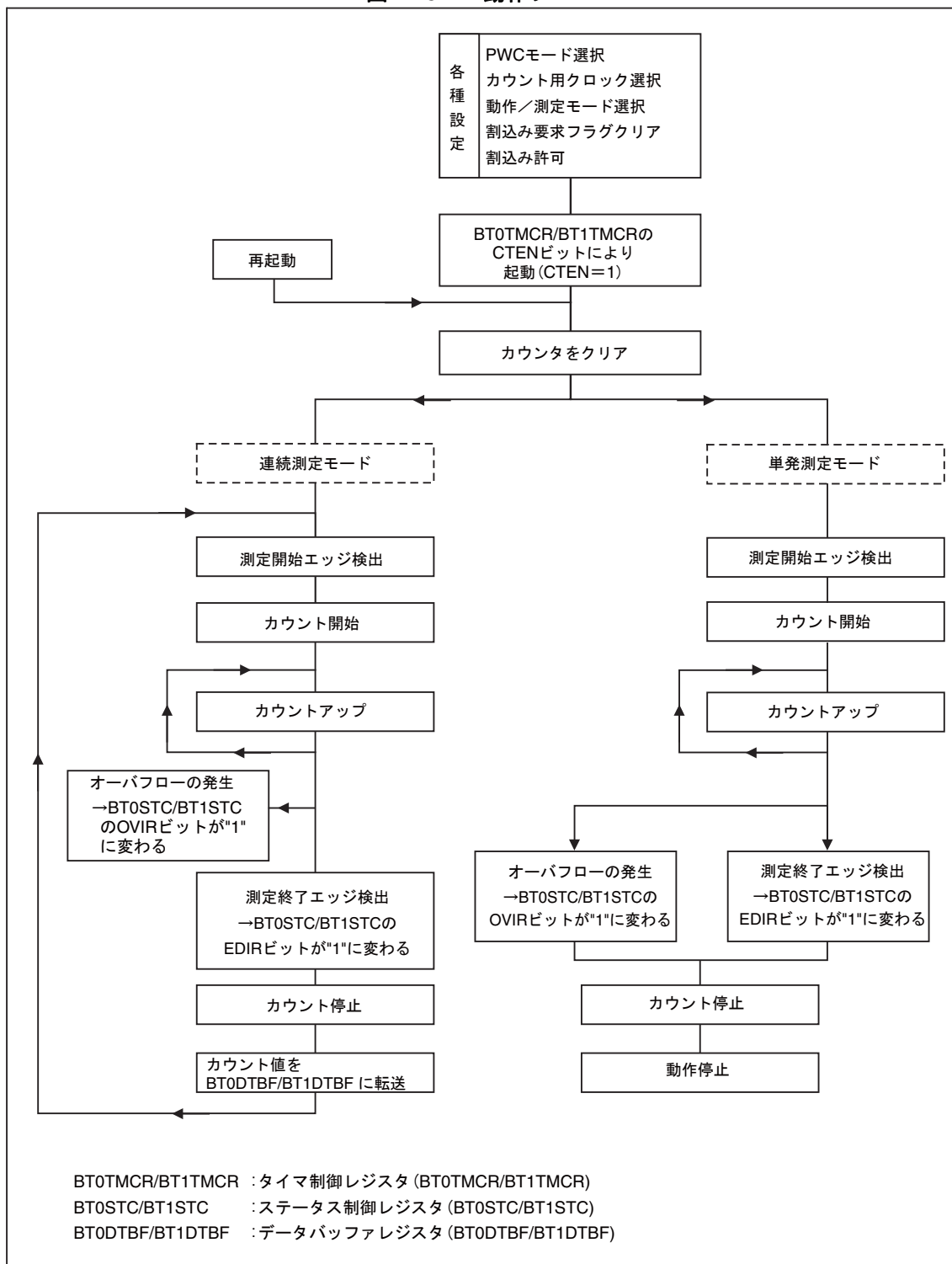
- 連続測定モード (MDSE=0) : 1 回測定が終わると , 測定開始エッジが入力されるまで待機し , 再
度測定開始エッジが入力されると測定を行うモードです。
- 単発測定モード (MDSE=1) : 測定を 1 回のみ行うモードです。単発測定モードと連続測定モー
ドの相違点を表 41.5-6 に示します。

表 41.5-6 単発測定モードと連続測定モードの相違点

	単発測定モード	連続測定モード
測定動作	測定終了エッジを検出すると 測定動作を停止。	測定終了エッジを検出すると , 測定動作を停止し , 測定開始 エッジが検出されるまで待機。 測定開始エッジが検出されると , 再 度測定を開始。
BT0DTBF/BT1DTBF の 機能	測定動作中 : 測定中の値を保持 測定終了後 : 測定結果を保持	測定動作中 : 前回の測定結果を 保持 測定終了後 : 測定結果を保持
オーバフロー時の動作	測定を停止。	0000 _H から再度測定を開始

動作フローを次に示します。

図 41.5-24 動作フロー



(注意事項) 連続測定モードの場合，データバッファレジスタ (BT0DTBF/BT1DTBF) から測定結果を読み出す前に次の測定が終了すると，データバッファレジスタ (BT0DTBF/BT1DTBF) に保持されている値が新しい値に上書きされ，古い値は破棄されます。このとき，ステータス制御レジスタ (BT0STC/BT1STC) の ERR ビットが "1" に変わります。データバッファレジスタ (BT0DTBF/BT1DTBF) を読み出すと ERR ビットを "0" にクリアできます。

■ 測定モード

タイマ制御レジスタ (BT0TMCR/BT1TMCR) の EGS2 ～ EGS0 ビットで次の 5 種類から選択します。

図 41.5-25 測定モードと測定内容

測定モード (EGS2～EGS0)	測定内容
H パルス幅測定 (EGS2～EGS0=000)	<p>"H"レベルの信号が入力されている期間の幅を測定します。</p> <p>カウント(測定)開始: 立上りエッジ検出時 カウント(測定)終了: 立下りエッジ検出時</p>
立上りエッジ間 周期測定 (EGS2～EGS0=001)	<p>立上りエッジを検出してから、次の立上りエッジを検出するまでの周期を測定します。</p> <p>カウント(測定)開始: 立上りエッジ検出時 カウント(測定)終了: 立上りエッジ検出時</p>
立下りエッジ間 周期測定 (EGS2～EGS0=010)	<p>立下りエッジを検出してから、次の立下りエッジを検出するまでの周期を測定します。</p> <p>カウント(測定)開始: 立下りエッジ検出時 カウント(測定)終了: 立下りエッジ検出時</p>
全エッジ間パルス 幅測定 (EGS2～EGS0=011)	<p>連続して入力されるエッジ間の幅を測定します。 ・立上りエッジ検出から立下りエッジ検出まで ・立下りエッジ検出から立上りエッジ検出まで</p> <p>カウント(測定)開始: エッジ検出時 カウント(測定)終了: エッジ検出時</p>
L パルス幅測定 (EGS2～EGS0=100)	<p>"L"レベルの信号が入力されている期間の幅を測定します。</p> <p>カウント(測定)開始: 立下りエッジ検出時 カウント(測定)終了: 立上りエッジ検出時</p>

41.5.7.2 PWC 測定時の動作

測定時の動作について説明します。以下文中のセンシティブエッジ①およびセンシティブエッジ②の内容は、「図 41.5-25 測定モードと測定内容」をご参照ください。

■ 起動

次の手順で 16/32 ビット PWC タイマを起動してください。

タイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットで、16/32 ビット PWC タイマの動作を許可 (CTEN=1) する。カウンタの値が "0000_H" にクリアされ、16/32 ビット PWC タイマが測定開始エッジ入力待機状態になります。(測定開始エッジが入力されるまではカウントは行われません。)

■ カウント動作

● 単発測定モード時の動作

測定開始エッジ待機中に、入力信号 (TIN 信号) でセンシティブエッジ①を検出すると、アップカウンタがカウント用クロックに同期して "0001_H" からカウントアップを開始します。入力信号 (TIN 信号) でセンシティブエッジ②が検出されると、アップカウンタの動作が停止します。また、アップカウンタの値がデータバッファレジスタ (BT0DTBF/BT1DTBF) に格納されます。測定が終了したときや、オーバフローが発生したときに割込み要求を発生させることができます。

(注意事項) ・単発測定モードでは、オーバフローが発生するとカウント動作を停止します。

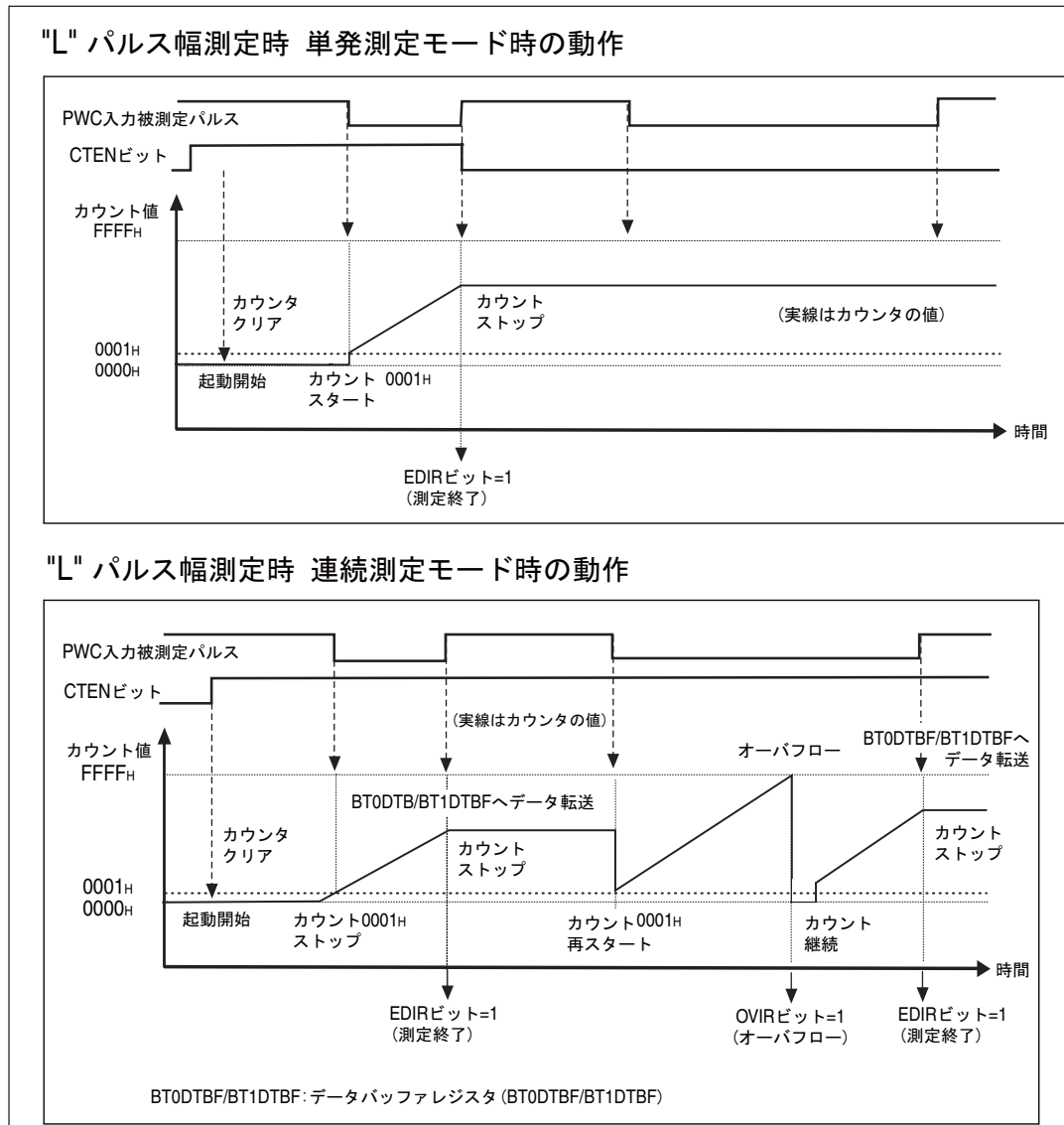
・測定する波形 (TIN 信号) の入力方法は、入出力選択レジスタ (BTSEL01) で設定した入出力モードによって異なります。

● 連続測定モード時の動作

測定開始エッジ待機中に、入力信号 (TIN 信号) でセンシティブエッジ①を検出すると、アップカウンタがカウント用クロックに同期して "0001_H" からカウントアップを開始します。入力信号 (TIN 信号) でセンシティブエッジ②が検出されると、アップカウンタの動作が停止し、測定開始エッジ入力待機状態になります。また、アップカウンタの値がデータバッファレジスタ (BT0DTBF/BT1DTBF) に格納されます。測定開始エッジ待機中に、入力信号 (TIN 信号) で立上りエッジを検出すると、アップカウンタが再度 "0001_H" からカウントアップを開始します。測定が終了したときや、オーバフローが発生したときに割込み要求を発生させることができます。

(注意事項) 測定する波形 (TIN 信号) の入力方法は、入出力選択レジスタ (BTSEL01) で設定した入出力モードによって異なります。

図 41.5-26 動作例



■ 再起動

カウント動作中にタイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットに "1" が書き込まれると、アップカウンタに再起動がかかり次のように動作します。

- 測定開始エッジ待機中に再起動がかけられた場合：
そのまま測定開始エッジ待機状態を継続します。
- 測定中に再起動がかけられた場合：
アップカウンタの値が "0000_H" にクリアされ、測定開始エッジ待機状態になります。

(注意事項) ・ 測定終了エッジの検出と再起動が同時に発生すると、次のようなことが起こる場合があります。割込み要求フラグの動作に注意して割込み制御を行ってください。

- 単発測定モード時：再起動を行い測定開始エッジ待機状態となりますが、ステータス制御レジスタ (BT0STC/BT1STC) の EDIR ビット (測定終了割込み要求フラグ) が "1" に変わります。

- 連続測定モード時：再起動を行い測定開始エッジ待機状態となりますが，ステータス制御レジスタ (BT0STC/BT1STC) の EDIR ビット (測定終了割込み要求フラグ) が "1" に変わります。また，その時点での測定結果がデータバッファレジスタ (BT0DTBF/BT1DTBF) に転送されます。
- ・ 連続測定モードで 16/32 ビット PWC タイマを再起動したと同時に，入力信号 (TIN 信号) で測定開始エッジを検出した場合は直ちに "0001_H" からカウントを開始します。

■ パルス幅算出方法

測定終了後，データバッファレジスタ (BT0DTBF/BT1DTBF) に格納された測定結果から測定したパルス幅を次の計算式で算出できます。

パルス幅 = $n \times T$

n: データバッファレジスタ (BT0DTBF/BT1DTBF) の値

T: カウント用クロックの周期

41.5.7.3 32 ビットタイマモード時の動作

16 ビット PWC タイマ 2 チャンネルをカスケード接続して，32 ビットの PWC タイマとして使用する場合の設定と動作について説明します。

■ 概要

タイマ制御レジスタ (BT0TMCR/BT1TMCR) の T32 ビットで 16 ビット PWC タイマ 2 チャンネルをカスケード接続して，32 ビットの PWC タイマとして使用できます。

このモードでは，偶数チャンネルが下位 16 ビットの動作に，奇数チャンネルが上位 16 ビットの動作に対応します。そのためアップカウンタの値の読出しは，下位 16 ビット (偶数チャンネル) → 上位 16 ビット (奇数チャンネル) の順に行ってください。

■ 設定手順例

32 ビットタイマモードを設定する場合は，偶数チャンネルのタイマ制御レジスタ (BT0TMCR/BT1TMCR) の T32 ビットを "1" に，奇数チャンネルの T32 ビットを "0" に設定してください。また，32 ビットタイマモード設定時は次の手順で各レジスタを設定してください。

偶数チャンネルと奇数チャンネルでレジスタの設定が異なります。ch.0 と ch.1 をカスケード接続する場合を例に説明します。

1. ベースタイマ 0 タイマ制御レジスタ (BT0TMCR) の FMD2 ～ FMD0 ビットで ch.0 をリセットモードに設定 (FMD2 ～ FMD0=000)
2. ch.0 と ch.1 のタイマ制御レジスタ (BT0TMCR, BT1TMCR) の FMD2 ～ FMD0 ビットで，ch.0 と ch.1 を 16/32 ビット PWC タイマを設定 (FMD2 ～ FMD0=100)。同時にベースタイマ 0 タイマ制御レジスタ (BT0TMCR) の T32 ビットで 32 ビットタイマモードを設定。(T32=1)

(注意事項) T32 ビットは，偶数チャンネル／奇数チャンネル両方の動作が停止している状態で書き換えてください。カウント動作が停止しているかどうかは，タイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットで確認できます (CTEN=0)。

■ 動作

32 ビットタイマモード設定時も、カウント動作は基本的に 16 ビットタイマモード時と同様です。ただし、カウント動作は偶数チャンネルの設定に従うため、奇数チャンネルの次のレジスタの設定は無視されます。

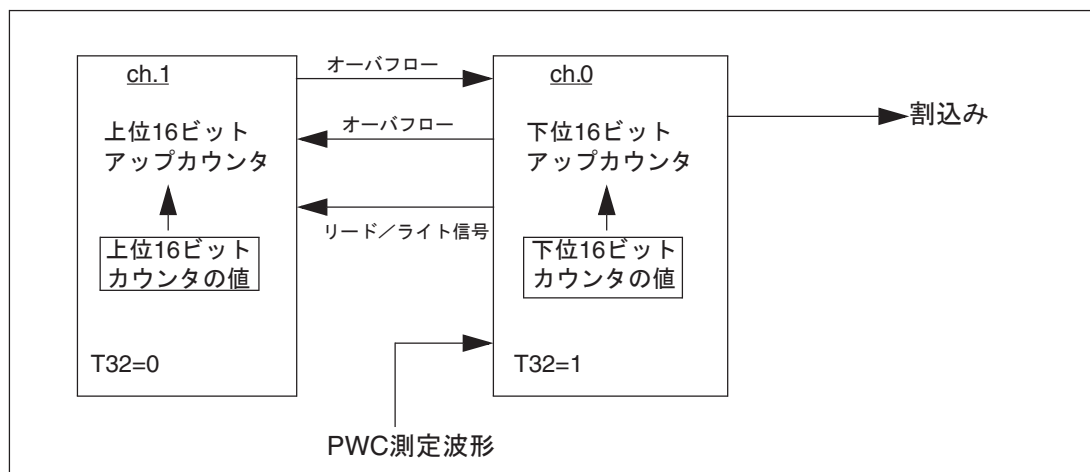
- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR)
- ・ ステータス制御レジスタ (BT0STC/BT1STC)

32 ビットタイマモード時のカウント動作について説明します。

1. 偶数チャンネルの タイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットで、16/32 ビット PWC タイマの動作を許可 (CTEN=1) すると、32 ビット PWC タイマが起動します。
2. 入力信号 (TIN 信号) で測定開始エッジを検出するとカウント動作が開始されます。
3. 偶数チャンネルが下位 16 ビット、奇数チャンネルが上位 16 ビットの 32 ビットカウンタとしてアップカウンタがカウントを開始します。
4. 入力信号 (TIN 信号) で測定終了エッジを検出すると、アップカウンタの値の下位 16 ビットが偶数チャンネルのデータバッファレジスタ (BT0DTBF) に、上位 16 ビットが奇数チャンネルのデータバッファレジスタ (BT1DTBF) に格納されます。

32 ビットタイマモード時のチャンネル構成を次に示します。

図 41.5-27 32 ビットタイマモード時の構成



- (注意事項) ・ ダウンカウンタの値はデータバッファレジスタ (BT0DTBF/BT1DTBF) を読み出すことで確認できます。32 ビットタイマモード時は必ず下位 16 ビット (偶数チャンネル) → 上位 16 ビット (奇数チャンネル) の順で読み出してください。
- ・ 32 ビットタイマモード時は、32 ビット PWC タイマの動作は偶数チャンネルの設定に従います。そのため、割り込み要求は偶数チャンネルのものが有効になります。

41.5.7.4 割込み

次のいずれかの場合に割込み要求が発生します。

- ・ オーバフロー発生時 (オーバフロー割込み要求)
- ・ 測定が終了したとき (測定終了割込み要求)

表 41.5-7 割込み発生条件

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
オーバフロー割込み要求	BT0STC/BT1STC の OVIR=1	BT0STC/BT1STC の OVIE=1	BT0STC/BT1STC の OVIR ビットに "0" を書き込む。
測定終了割込み要求	BT0STC/BT1STC の EDIR=1	BT0STC/BT1STC の EDIE=1	BT0DTBF/BT1DTBF を読み出 す

(注意事項) ・ 割込み要求フラグが "1" のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。

- ・ 割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
- ・ 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- ・ 各割込み要求の割込みベクタ番号については、「付録 C. 割込みベクター一覧」の「付表 C-1」を参照してください。
- ・ 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ～ ICR47) で設定します。割込みレベルの設定については、「第 22 章 割込み制御 (割込みコントローラ)」を参照してください。

41.5.7.5 使用上の注意

16/32 ビット PWC タイマを使用する際は、次の点に注意してください。

■ プログラムで設定する場合の注意

- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の次のビットは、CTEN ビットでアップカウンタの動作を停止 (CTEN=0) してから、書き換えてください。
 - CKS3 ～ CKS0 ビット
 - EGS2 ～ EGS0 ビット
 - T32 ビット
 - FMD2 ～ FMD0 ビット
 - MDSE ビット
- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットでリセットモードを設定 (FMD2 ～ FMD0=000) すると、すべてのレジスタが初期化されます。
- ・ ベースタイマの機能を変更する場合や T32 ビットを変更する場合は、一度ベースタイマをリセットする必要があります。リセット後に、タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットや T32 ビットを書き換える場合以外は、必ず FMD2 ～ FMD0 ビットでリセットモードを選択 (FMD2 ～ FMD0=000) してから、これらのビットを書き換えてください。
- ・ システムリセット／リセットモード時に、次の設定を同時に行うと、その直前の測定信号の状態によって動作する場合があります。
 - タイマ制御レジスタ (BT0TMCR/BT1TMCR) の FMD2 ～ FMD0 ビットで、ベースタイマの機能を 16/32 ビット PWC タイマに設定 (FMD2 ～ FMD0=100)

- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットで 16/32 ビット PWC タイマの動作を許可 (CTEN=1)

■ 動作に関する注意

- ・ アップカウンタのカウンタのタイミングとロードのタイミングが重なった場合は、ロード動作が優先されます。
- ・ タイマ制御レジスタ (BT0TMCR/BT1TMCR) の CTEN ビットで 16/32 ビット PWC タイマの動作を許可 (CTEN=1) すると、アップカウンタの値がクリアされ、起動許可前のアップカウンタの値は無効になります。
- ・ 連続測定モードで 16/32 ビット PWC タイマを再起動したと同時に入力信号 (TIN 信号) で測定開始エッジを検出した場合は直ちに "0001_H" からカウントを開始します。
- ・ 32 ビット PWC タイマとして使用する場合は、偶数チャネルの 16 ビット PWC タイマへの設定が有効になり、奇数チャネルの設定は無視されます。
- ・ ベースタイマ入出力選択機能によって、測定する波形の入力動作が異なります。

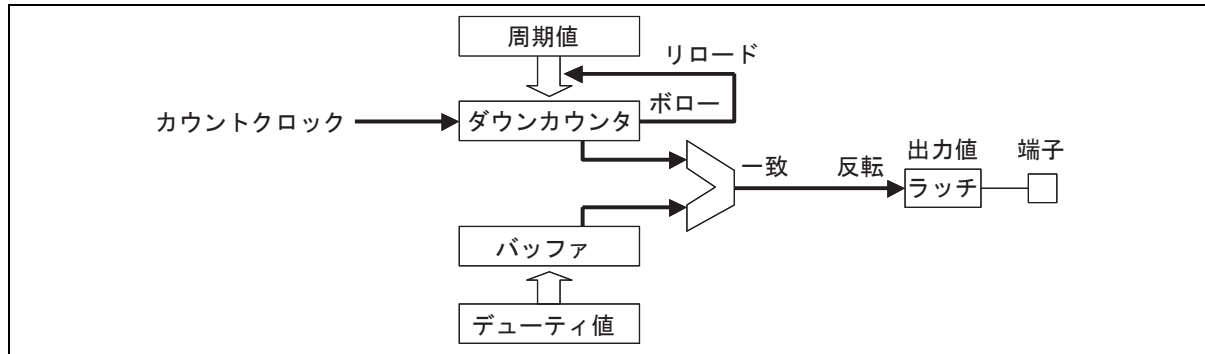
■ 割込みに関する注意

- ・ 割込み要求フラグのクリアと、割込み要求フラグが "1" に変わるタイミングが重なった場合は、割込み要求フラグのクリア動作は無視され、割込み要求フラグは "1" のままになります。
- ・ 測定終了エッジの検出と同時に 16/32 ビット PWC タイマを再起動すると次のようなことが起こる場合があります。割込み要求フラグの動作に注意して割込み制御を行ってください。
 - パルス幅単発測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、測定終了割込み要求フラグ (EDIR) は "1" に変わります。
 - パルス幅連続測定モード時: 再起動を行い測定開始エッジ待機状態となりますが、測定終了割込み要求フラグ (EDIR) が "1" に変わり、その時点での測定結果がデータバッファレジスタ (BT0DTBF/BT1DTBF) に転送されます。

第 42 章 PPG

42.1 概要

プログラマブルパルスジェネレータ (PPG) は、ワンショット (矩形波) 出力、または、パルス幅変調 (PWM) 出力を得るために使用します。周期とデューティをソフトウェアでプログラム可能なことにより、PPG は広範なアプリケーションに容易に適合できます。

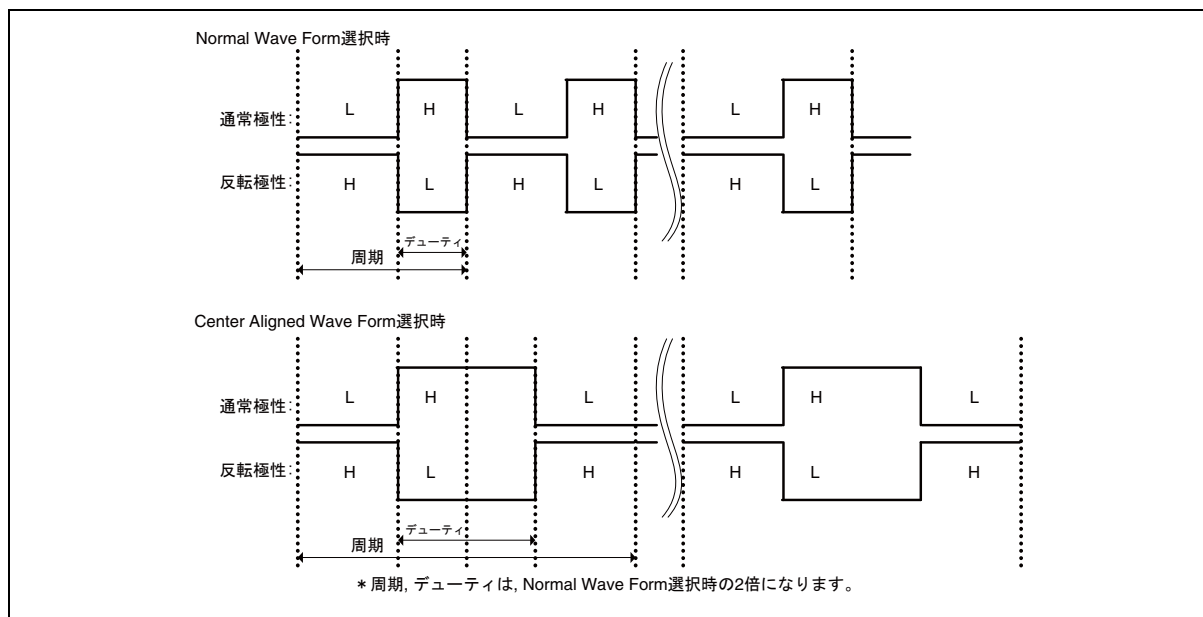


42.2 特長

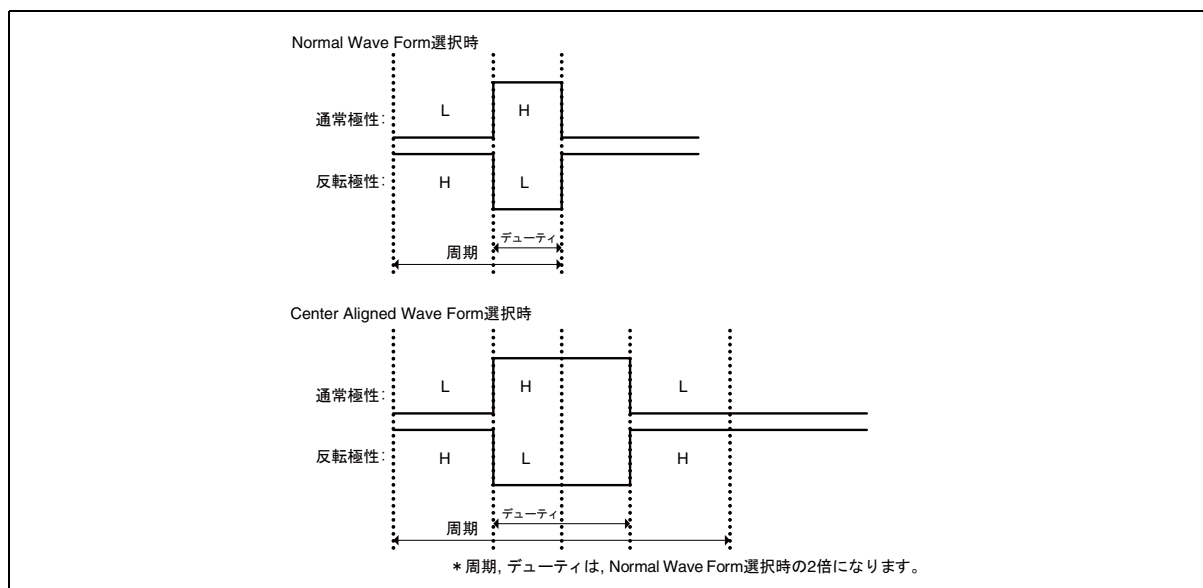
- クランプ出力
 - 通常極性: "L" クランプ出力
 - 反転極性: "H" クランプ出力
- カウントクロック
 - 次の 4 種類から選択
周辺クロックの 1, 1/4, 1/16, 1/64 で出力
- 周期
 - 設定範囲 = デューティ値 ~ 65535 (16 ビットレジスタで指定)
 - 周期 = カウントクロック × (PCSR レジスタ値 + 1)
 - (例) カウントクロック = 32MHz (31.25ns), PCSR 値 = 63999
周期 = 31.25ns × (63999 + 1) = 2ms
- デューティ
 - 設定範囲 = 0 ~ 周期値 (16 ビットレジスタで指定)
 - デューティ = カウントクロック (PDUT レジスタ値 + 1)

管理コード: FS30-3v1-91580L-1-J

- 出力波形
 - PWM 波形



- ワンショット波形 (矩形波)



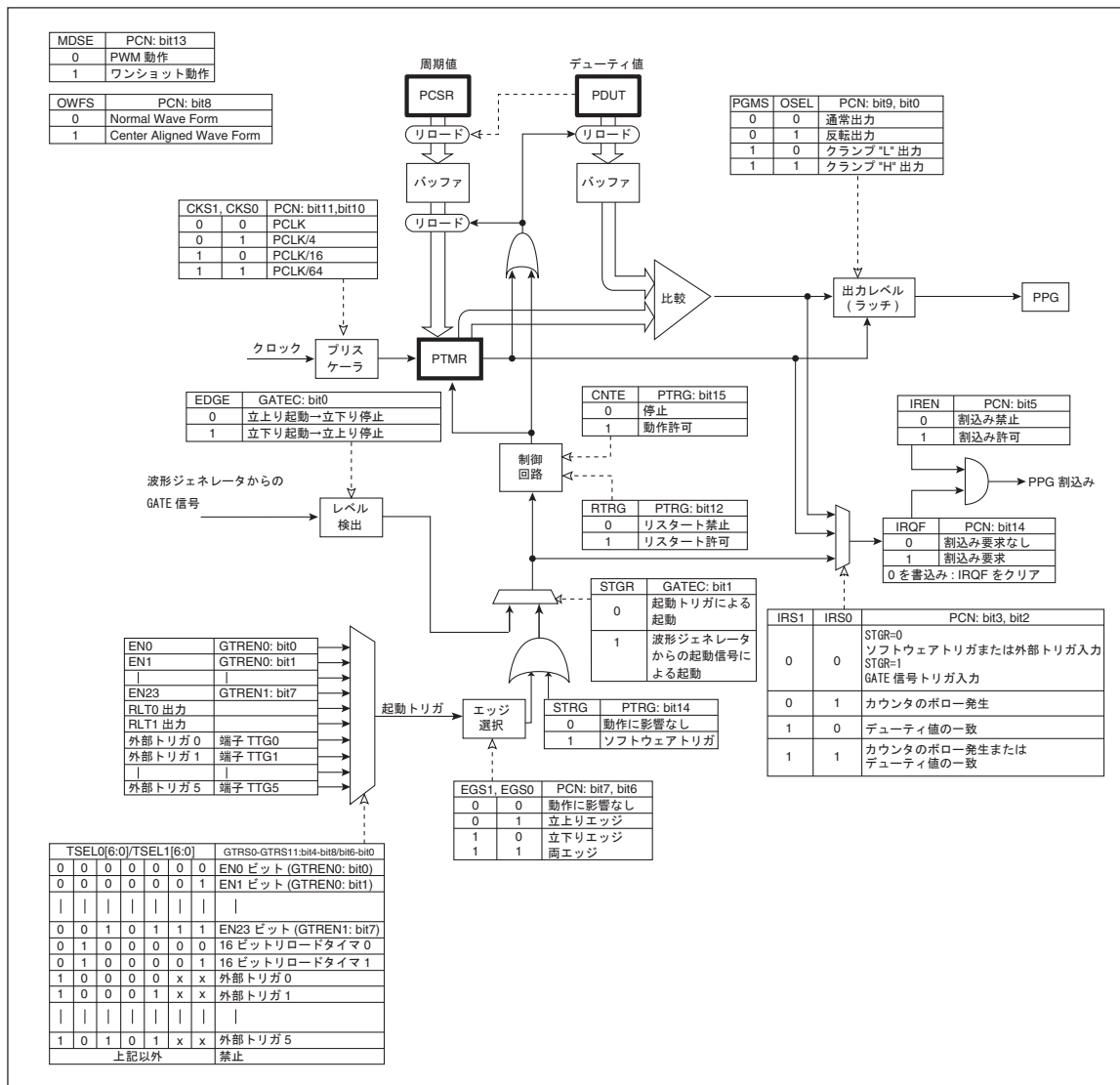
- 割込み
 - 次の 4 種類から選択
 - ソフトウェアトリガ, または, 外部トリガ (TRG 端子)
 - カウンタのボロー発生 (設定した周期が一致)
 - デューティの一致
 - カウンタのボロー発生 (設定した周期が一致), または, デューティの一致
- 起動トリガ
 - ソフトウェアトリガ
 - 起動トリガ
 - 起動トリガは次のトリガから 1 つが選択されます。

- 内部トリガ (EN0 ～ EN23)
 - 外部トリガ (TRG 端子 0 ～ 5)
 - リロードタイム 0/1
- GATE 機能
 - 波形ジェネレータからの GATE 信号により ,PPG の起動・停止を行う。

42.3 構成

■ PPG のブロックダイアグラム

図 42.3-1 PPG のブロックダイアグラム



42.4 レジスタ

PPG, PPG Control, PPG SEL のレジスタ一覧を示します。

■ PPG のレジスタ一覧

表 42.4-1 PPG のレジスタ一覧 (1 / 2)

アドレス	+0	+1	+2	+3
0x0200	PPG (ch.0) 制御状態レジスタ (PCN0)		PPG (ch.0) 周期設定レジスタ (PCSR0)	
0x0204	PPG (ch.0) デューティ設定レジスタ (PDUT0)		PPG (ch.0) タイマレジスタ (PTMR0)	
0x0208	PPG (ch.1) 制御状態レジスタ (PCN1)		PPG (ch.1) 周期設定レジスタ (PCSR1)	
0x020C	PPG (ch.1) デューティ設定レジスタ (PDUT1)		PPG (ch.1) タイマレジスタ (PTMR1)	
0x0210	PPG (ch.2) 制御状態レジスタ (PCN2)		PPG (ch.2) 周期設定レジスタ (PCSR2)	
0x0214	PPG (ch.2) デューティ設定レジスタ (PDUT2)		PPG (ch.2) タイマレジスタ (PTMR2)	
0x0218	PPG (ch.3) 制御状態レジスタ (PCN3)		PPG (ch.3) 周期設定レジスタ (PCSR3)	
0x021C	PPG (ch.3) デューティ設定レジスタ (PDUT3)		PPG (ch.3) タイマレジスタ (PTMR3)	
0x0220	PPG (ch.4) 制御状態レジスタ (PCN4)		PPG (ch.4) 周期設定レジスタ (PCSR4)	
0x0224	PPG (ch.4) デューティ設定レジスタ (PDUT4)		PPG (ch.4) タイマレジスタ (PTMR4)	
0x0228	PPG (ch.5) 制御状態レジスタ (PCN5)		PPG (ch.5) 周期設定レジスタ (PCSR5)	
0x022C	PPG (ch.5) デューティ設定レジスタ (PDUT5)		PPG (ch.5) タイマレジスタ (PTMR5)	
0x0230	PPG (ch.6) 制御状態レジスタ (PCN6)		PPG (ch.6) 周期設定レジスタ (PCSR6)	
0x0234	PPG (ch.6) デューティ設定レジスタ (PDUT6)		PPG (ch.6) タイマレジスタ (PTMR6)	
0x0238	PPG (ch.7) 制御状態レジスタ (PCN7)		PPG (ch.7) 周期設定レジスタ (PCSR7)	
0x023C	PPG (ch.7) デューティ設定レジスタ (PDUT7)		PPG (ch.7) タイマレジスタ (PTMR7)	
0x0240	PPG (ch.8) 制御状態レジスタ (PCN8)		PPG (ch.8) 周期設定レジスタ (PCSR8)	
0x0244	PPG (ch.8) デューティ設定レジスタ (PDUT8)		PPG (ch.8) タイマレジスタ (PTMR8)	
0x0248	PPG (ch.9) 制御状態レジスタ (PCN9)		PPG (ch.9) 周期設定レジスタ (PCSR9)	
0x024C	PPG (ch.9) デューティ設定レジスタ (PDUT9)		PPG (ch.9) タイマレジスタ (PTMR9)	
0x0250	PPG (ch.10) 制御状態レジスタ (PCN10)		PPG (ch.10) 周期設定レジスタ (PCSR10)	
0x0254	PPG (ch.10) デューティ設定レジスタ (PDUT10)		PPG (ch.10) タイマレジスタ (PTMR10)	
0x0258	PPG (ch.11) 制御状態レジスタ (PCN11)		PPG (ch.11) 周期設定レジスタ (PCSR11)	
0x025C	PPG (ch.11) デューティ設定レジスタ (PDUT11)		PPG (ch.11) タイマレジスタ (PTMR11)	
0x0260	PPG (ch.12) 制御状態レジスタ (PCN12)		PPG (ch.12) 周期設定レジスタ (PCSR12)	
0x0264	PPG (ch.12) デューティ設定レジスタ (PDUT12)		PPG (ch.12) タイマレジスタ (PTMR12)	
0x0268	PPG (ch.13) 制御状態レジスタ (PCN13)		PPG (ch.13) 周期設定レジスタ (PCSR13)	
0x026C	PPG (ch.13) デューティ設定レジスタ (PDUT13)		PPG (ch.13) タイマレジスタ (PTMR13)	
0x0270	PPG (ch.14) 制御状態レジスタ (PCN14)		PPG (ch.14) 周期設定レジスタ (PCSR14)	
0x0274	PPG (ch.14) デューティ設定レジスタ (PDUT14)		PPG (ch.14) タイマレジスタ (PTMR14)	
0x0278	PPG (ch.15) 制御状態レジスタ (PCN15)		PPG (ch.15) 周期設定レジスタ (PCSR15)	
0x027C	PPG (ch.15) デューティ設定レジスタ (PDUT15)		PPG (ch.15) タイマレジスタ (PTMR15)	
0x0280	PPG (ch.16) 制御状態レジスタ (PCN16)		PPG (ch.16) 周期設定レジスタ (PCSR16)	
0x0284	PPG (ch.16) デューティ設定レジスタ (PDUT16)		PPG (ch.16) タイマレジスタ (PTMR16)	

表 42.4-1 PPG のレジスタ一覧 (2 / 2)

アドレス	+0	+1	+2	+3
0x0288	PPG (ch.17) 制御状態レジスタ (PCN17)		PPG (ch.17) 周期設定レジスタ (PCSR17)	
0x028C	PPG (ch.17) デューティ設定レジスタ (PDUT17)		PPG (ch.17) タイマレジスタ (PTMR17)	
0x0290	PPG (ch.18) 制御状態レジスタ (PCN18)		PPG (ch.18) 周期設定レジスタ (PCSR18)	
0x0294	PPG (ch.18) デューティ設定レジスタ (PDUT18)		PPG (ch.18) タイマレジスタ (PTMR18)	
0x0298	PPG (ch.19) 制御状態レジスタ (PCN19)		PPG (ch.19) 周期設定レジスタ (PCSR19)	
0x029C	PPG (ch.19) デューティ設定レジスタ (PDUT19)		PPG (ch.19) タイマレジスタ (PTMR19)	
0x02A0	PPG (ch.20) 制御状態レジスタ (PCN20)		PPG (ch.20) 周期設定レジスタ (PCSR20)	
0x02A4	PPG (ch.20) デューティ設定レジスタ (PDUT20)		PPG (ch.20) タイマレジスタ (PTMR20)	
0x02A8	PPG (ch.21) 制御状態レジスタ (PCN21)		PPG (ch.21) 周期設定レジスタ (PCSR21)	
0x02AC	PPG (ch.21) デューティ設定レジスタ (PDUT21)		PPG (ch.21) タイマレジスタ (PTMR21)	
0x02B0	PPG (ch.22) 制御状態レジスタ (PCN22)		PPG (ch.22) 周期設定レジスタ (PCSR22)	
0x02B4	PPG (ch.22) デューティ設定レジスタ (PDUT22)		PPG (ch.22) タイマレジスタ (PTMR22)	
0x02B8	PPG (ch.23) 制御状態レジスタ (PCN23)		PPG (ch.23) 周期設定レジスタ (PCSR23)	
0x02BC	PPG (ch.23) デューティ設定レジスタ (PDUT23)		PPG (ch.23) タイマレジスタ (PTMR23)	

■ PPG Control のレジスタ一覧

表 42.4-2 PPG Control のレジスタ一覧

アドレス	+0	+1	+2	+3
0x02C0	汎用トリガ選択レジスタ 0(GTRS0)		汎用トリガ選択レジスタ 1(GTRS1)	
0x02C4	汎用トリガ選択レジスタ 2(GTRS2)		汎用トリガ選択レジスタ 3(GTRS3)	
0x02C8	汎用トリガ選択レジスタ 4(GTRS4)		汎用トリガ選択レジスタ 5(GTRS5)	
0x02CC	汎用トリガ選択レジスタ 6(GTRS6)		汎用トリガ選択レジスタ 7(GTRS7)	
0x02D0	汎用トリガ選択レジスタ 8(GTRS8)		汎用トリガ選択レジスタ 9(GTRS9)	
0x02D4	汎用トリガ選択レジスタ 10(GTRS10)		汎用トリガ選択レジスタ 11(GTRS11)	
0x02D8	汎用トリガ設定レジスタ 0(GTREN0)		汎用トリガ設定レジスタ 1(GTREN1)	

■ GATE 機能制御レジスタの一覧

表 42.4-3 GATE 制御レジスタ一覧

アドレス	+0	+1	+2	+3
0x02E0	予約	GATE 機能制御 レジスタ 0 (GATEC0)	予約	GATE 機能制御 レジスタ 2 (GATEC2)
0x02E4	予約	GATE 機能制御 レジスタ 4 (GATEC4)	予約	GATE 機能制御 レジスタ 8 (GATEC8)
0x02E8	予約	GATE 機能制御 レジスタ 10 (GATEC10)	予約	GATE 機能制御 レジスタ 12 (GATEC12)

42.4.1 PPG 制御状態レジスタ : PCN0 ～ PCN23

PPG 制御状態レジスタ (PCN) は、PPG の動作と状態を制御します。

- PCN0 ～ PCN23: アドレス 0200_H, 0208_H, ... 02B8_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
CNTE	STRG	MDSE	RTRG	CKS1	CKS0	PGMS	OWFS	
0	0	0	0	0	0	0	0	初期値
R/W	R0/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
EGS1	EGS0	IREN	IRQF	IRS1	IRS0	予約	OSEL	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R(RM1)/W	R/W	R/W	R/W0	R/W	属性

[bit15] CNTE : タイマ動作許可ビット

CNTE	機能
0	停止
1	動作

タイマ動作許可ビットです。

"0" に設定した場合: PPG の動作を停止します。

"1" に設定した場合: PPG の動作を許可します。

[bit14] STRG : ソフトウェアトリガビット

STRG	機能
0	動作は書込みに影響されない (読出し値は常に "0")
1	ソフトウェアトリガ発生

ソフトウェアトリガビットです。

"0" に設定した場合: 動作は書込みに影響されない。

"1" に設定した場合: 外部トリガ (TRG 端子) とは独立してソフトウェアトリガが発生し、PPG が起動します。このトリガは、トリガ入力エッジ選択ビット (EGS1, EGS0) の設定には影響されません。

[bit13] MDSE : モード選択ビット

MDSE	機能
0	PWM 動作
1	ワンショット動作

出力波形の種類を選択します。

"0" に設定した場合: PWM 動作が許可され、連続したパルスが発生します。

"1" に設定した場合: 1 回のみパルス出力が行われます。

(注意事項) 本ビットは、周期ごと (トリガ発生、または、カウンタのボロー発生) に反映されます。

[bit12] RTRG : リスタート許可ビット

RTRG	機能
0	リスタートを禁止
1	リスタートを許可

PPG の動作のリスタート許可ビットです。

"0" に設定した場合：リスタートを禁止します。

"1" に設定した場合：リスタートを許可します。

リスタート許可ビットを "1" にすると，トリガ (ソフト／内部／外部) により再起動を許可します。

[bit11, bit10] CKS1, CKS0 : カウントクロック選択ビット

CKS1	CKS0	機能
0	0	周辺クロック (PCLK)
0	1	周辺クロックの 4 分周
1	0	周辺クロックの 16 分周
1	1	周辺クロックの 64 分周

ダウンカウンタのカウントクロック選択ビットです。

[bit9] PGMS : PPG 出力マスク選択ビット

PGMS	機能
0	出力マスクなし
1	出力マスクあり

PPG 出力のマスクを選択します。

"0" に設定した場合：PPG 出力マスクなしにします。

"1" に設定した場合：PPG 出力マスクありにします。

(注意事項) ・本ビットを "1" に設定すると，PPG 出力をモード選択，周期，デューティの設定値にかかわらず "L" または "H" にクランプできます。

出力レベルは，PPG 出力極性選択ビット (PCN:OSEL) で指定できます。

(OSEL=0 のとき，出力は "L" レベルに保持されます)

- ・本ビットを "1" から "0" に設定し，PPG 出力マスクを解除する場合には，周期の始めから，デューティ一致となる前までの間に設定を行ってください。

[bit8] OWFS : PPG 出力波形選択ビット

OWFS	機能
0	Normal Wave Form
1	Center Aligned Wave Form

PPG 出力波形を選択します。

"0" に設定した場合：Normal Wave Form を出力します。

"1" に設定した場合：Center Aligned Wave Form を出力します。

(注意事項) 本ビットは，周期ごと (トリガ発生，またはカウンタのボロー発生) に反映されます。

[bit7, bit6] EGS1, EGS0 : トリガ入力エッジ選択ビット

EGS1	EGS0	機能
0	0	エッジの選択なし (ソフトウェアトリガのみ可能)
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ (立上り, または, 立下り)

各 PPG の起動トリガ選択ビット (GTRS0 ～ GTRS11.TSEL1/0) にて選択したトリガ入力に対して, 起動要因となるエッジを本ビットで選択します。

- (注意事項) ・ EGS1=0 かつ EGS0=0 の場合には, ソフトウェアトリガ (PCN:STRG) のみ可能です。ソフトウェアトリガ以外のトリガからの入力禁止されます。
- ・ EGS1=1 または EGS0=1 の設定は, ソフトウェアトリガ以外のトリガの入力にのみ影響します。
 - ・ ソフトウェアトリガ (PCN:STRG) への "1" の書込みは PCN:EGS1, EGS0 の設定には, 影響されません。

[bit5] IREN : 割込み要求許可ビット

IREN	機能
0	割込み要求を禁止
1	割込み要求を許可

割込み要求の許可ビットです。

"0" に設定した場合: 割込み要求を禁止します。

"1" に設定した場合: 割込み要求を許可します。

[bit4] IRQF : 割込み要求フラグビット

IRQF	リード	ライト
0	割込み要求なし	割込み要求フラグをクリア
1	割込み要求あり	"1" の書込みは動作に影響なし

割込み要求フラグビットです。

- (注意事項) 割込み要求フラグ (IRQF)=1 の際に "0" を書き込んだ場合には, ハードウェアによる割込み要求フラグの設定 (IRQF=1) が優先します。

[bit3, bit2] IRS1, IRS0 : 割込み原因選択ビット

IRS1	IRS0	機能
0	0	STGR=0: ソフトウェアトリガ, または, 外部トリガ (TRG 端子) 入力 STGR=1: GATE 信号トリガ入力
0	1	カウンタのボロー発生
1	0	カウンタとデューティ値の一致
1	1	カウンタのボロー発生, または, カウンタとデューティ値の一致

割込み要求を発生する動作を選択します。

(注意事項) 出力波形と割込み発生場所の関係は以下の図を参照してください。

- PPG 出力波形選択ビット (OWFS=0) の場合 :
 - 「図 42.5-1 PWM 動作例 (Normal Wave Form 選択時)」,
 - 「図 42.5-3 ワンショット動作例 (Normal Wave Form 選択時)」
- PPG 出力波形選択ビット (OWFS=1) の場合 :
 - 「図 42.5-2 PWM 動作例 (Center Aligned Wave Form 選択時)」,
 - 「図 42.5-4 ワンショット動作例 (Center Aligned Wave Form 選択時)」

[bit1] 予約

必ず "0" を設定してください。

[bit0] OSEL : PPG 出力極性指定ビット

OSEL	機能
0	通常極性
1	反転極性

PPG 出力極性の選択ビットです。

"0" に設定した場合 : 通常極性を選択します。

"1" に設定した場合 : 反転極性を選択します。

(注意事項) PPG 出力マスク選択ビット (PCN:PGMS) が "1" に設定されている場合には, PPG 出力極性選択ビット (OSEL) を "0" に設定すると, 出力は "L" にクランプされ, PPG 出力極性選択ビットを "1" に設定すると, 出力は "H" にクランプされます。

* PPG 制御状態レジスタ (PCN) の各ビットは, bit13 MDSE: モード選択ビット, bit8 OWFS: PPG 出力波形選択ビットを除き, レジスタライトにより即時反映されます。

42.4.2 PPG 周期設定レジスタ :PCSR0 ～ PCSR23

PPG 周期設定レジスタ (PCSR) は, PPG の出力波形の周期を設定します。

• PCSR0 ～ PCSR23: 0202_H, 020A_H, ... 02BA_H (アクセス: ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
D15	D14	D13	D12	D11	D10	D9	D8	
x	x	x	x	x	x	x	x	初期値
R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
x	x	x	x	x	x	x	x	初期値
R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	属性

[bit15 ～ bit0] D15 ～ D0 : PPG 周期設定ビット

D15 ～ D0	機能
PPG の出力波形の周期	

注) ライトオンリです。

PPG 周期設定レジスタにはバッファが付随しています。

バッファからカウンタへの転送は, 自動的にカウンタのボロー発生時に行われます。

PPG 周期設定レジスタに書き込んだ場合は, 必ず PPG デューティ設定レジスタ (PDUT) も設定してください。

- (注意事項)
- PPG 出力選択ビット (PCN.OWFS)="0" (Normal Wave Form) が選択されている場合は, PPG 周期選択レジスタの設定値の周期で波形を出力します。
 - PPG 出力波形選択ビット (PCN.OWFS)=1 (Center Aligned Wave Form) が選択されている場合は, PPG 周期設定レジスタの設定値の 2 倍の周期で波形を出力します。

42.4.3 PPG デューティ設定レジスタ : PDUT0 ～ PDUT23

PPG デューティ設定レジスタ (PDUT) は、PPG の出力波形のデューティを設定します。

- PDUT0 ～ PDUT23: アドレス 0204_H, 020C_H, ... 02BC_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
D15	D14	D13	D12	D11	D10	D9	D8	
x	x	x	x	x	x	x	x	初期値
R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
x	x	x	x	x	x	x	x	初期値
R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	R1, W	属性

[bit15 ～ bit0] D15 ～ D0 : PPG デューティ設定ビット

D15 ～ D0	機能
PPG の出力波形のデューティ	

注) ライトオンリです。

PPG デューティ設定レジスタにはバッファが付随しています。

バッファからカウンタへの転送は、自動的にカウンタのボロー発生時に行われます。

- (注意事項)
- PPG デューティ設定レジスタには、PPG 周期設定レジスタ (PCSR) に設定した値よりも小さい値を設定してください。
 - PPG 出力波形選択ビット (PCN.OWFS)="0" (Normal Wave Form) が選択されている場合は、PPG デューティ設定レジスタの設定値のデューティで波形を出力します。
 - PPG 出力波形選択ビット (PCN.OWFS)=1 (Center Aligned Wave Form) が選択されている場合は、PPG デューティ設定レジスタの設定値の 2 倍のデューティで波形を出力します。

42.4.4 PPG タイマレジスタ : PTMR0 ～ PTMR23

PPG タイマレジスタ (PTMR) には, PPG タイマのカウントダウン値が読み出されます。

- PTMR0 ～ PTMR23: アドレス 0206_H, 020E_H, ... 02BE_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
D15	D14	D13	D12	D11	D10	D9	D8	
1	1	1	1	1	1	1	1	初期値
R, WX	R, WX	R, WX	R, WX	R, WX	R, WX	R, WX	R, WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
1	1	1	1	1	1	1	1	初期値
R, WX	R, WX	R, WX	R, WX	R, WX	R, WX	R, WX	R, WX	属性

[bit15 ～ bit0] D15 ～ D0 : PPG タイマ値ビット

D15 ～ D0	機能
タイマのダウンカウント値	

注) リードオンリです。

16 ビットダウンカウンタのカウント値を読み出すことができます。

- Normal Wave Form (OWFS=0) 選択時は, 下位 16 ビットを読み出します。
- Center Aligned Wave Form (OWFS=1) 選択時は, 上位 16 ビットを読み出します。

42.4.5 汎用トリガ選択レジスタ : GTRS0 ～ GTRS11

汎用トリガ選択レジスタ (GTRS) は、PPG へのトリガ入力を選択します。

- GTRS0 ～ GTRS11 : アドレス 02C0_H～02D6_H (アクセス : バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
-	TSEL1[6:0]							
0	0	0	0	0	0	0	0	初期値
R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

7	6	5	4	3	2	1	0	bit
-	TSEL0[6:0]							
0	0	0	0	0	0	0	0	初期値
R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15] : 未定義ビット

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit14 ~ bit8] TSEL1 : 起動トリガ選択ビット

PPG1,3,5,7,9,11,13,15,17,19,21,23 の起動トリガの選択ビットです。

TSEL1[6:0]							起動トリガ選択
0	0	0	0	0	0	0	内部トリガ (EN0) を選択
0	0	0	0	0	0	1	内部トリガ (EN1) を選択
0	0	0	0	0	1	0	内部トリガ (EN2) を選択
0	0	0	0	0	1	1	内部トリガ (EN3) を選択
0	0	0	0	1	0	0	内部トリガ (EN4) を選択
0	0	0	0	1	0	1	内部トリガ (EN5) を選択
0	0	0	0	1	1	0	内部トリガ (EN6) を選択
0	0	0	0	1	1	1	内部トリガ (EN7) を選択
0	0	0	1	0	0	0	内部トリガ (EN8) を選択
0	0	0	1	0	0	1	内部トリガ (EN9) を選択
0	0	0	1	0	1	0	内部トリガ (EN10) を選択
0	0	0	1	0	1	1	内部トリガ (EN11) を選択
0	0	0	1	1	0	0	内部トリガ (EN12) を選択
0	0	0	1	1	0	1	内部トリガ (EN13) を選択
0	0	0	1	1	1	0	内部トリガ (EN14) を選択
0	0	0	1	1	1	1	内部トリガ (EN15) を選択
0	0	1	0	0	0	0	内部トリガ (EN16) を選択
0	0	1	0	0	0	1	内部トリガ (EN17) を選択
0	0	1	0	0	1	0	内部トリガ (EN18) を選択
0	0	1	0	0	1	1	内部トリガ (EN19) を選択
0	0	1	0	1	0	0	内部トリガ (EN20) を選択
0	0	1	0	1	0	1	内部トリガ (EN21) を選択
0	0	1	0	1	1	0	内部トリガ (EN22) を選択
0	0	1	0	1	1	1	内部トリガ (EN23) を選択
0	1	0	0	0	0	0	16 ビットリロードタイマ 0 を選択
0	1	0	0	0	0	1	16 ビットリロードタイマ 1 を選択
1	0	0	0	0	x	x	外部トリガ 0 を選択
1	0	0	0	1	x	x	外部トリガ 1 を選択
1	0	0	1	0	x	x	外部トリガ 2 を選択
1	0	0	1	1	x	x	外部トリガ 3 を選択
1	0	1	0	0	x	x	外部トリガ 4 を選択
1	0	1	0	1	x	x	外部トリガ 5 を選択
上記以外							禁止

(注意事項) PPG へのトリガ入力を選択します。

選択された PPG では、トリガ入力エッジ選択ビット (PCN:EGS1,EGS0) で選択されたエッジが、選択された起動トリガで検出されると PPG が起動します。

[bit7] : 予約

必ず "0" を設定してください。

[bit6 ~ bit0] TSEL0 : 起動トリガ選択ビット

PPG0,2,4,6,8,10,12,14,16,18,20,22 の起動トリガの選択ビットです。

TSEL0[6:0]							起動トリガ選択
0	0	0	0	0	0	0	内部トリガ (EN0) を選択
0	0	0	0	0	0	1	内部トリガ (EN1) を選択
0	0	0	0	0	1	0	内部トリガ (EN2) を選択
0	0	0	0	0	1	1	内部トリガ (EN3) を選択
0	0	0	0	1	0	0	内部トリガ (EN4) を選択
0	0	0	0	1	0	1	内部トリガ (EN5) を選択
0	0	0	0	1	1	0	内部トリガ (EN6) を選択
0	0	0	0	1	1	1	内部トリガ (EN7) を選択
0	0	0	1	0	0	0	内部トリガ (EN8) を選択
0	0	0	1	0	0	1	内部トリガ (EN9) を選択
0	0	0	1	0	1	0	内部トリガ (EN10) を選択
0	0	0	1	0	1	1	内部トリガ (EN11) を選択
0	0	0	1	1	0	0	内部トリガ (EN12) を選択
0	0	0	1	1	0	1	内部トリガ (EN13) を選択
0	0	0	1	1	1	0	内部トリガ (EN14) を選択
0	0	0	1	1	1	1	内部トリガ (EN15) を選択
0	0	1	0	0	0	0	内部トリガ (EN16) を選択
0	0	1	0	0	0	1	内部トリガ (EN17) を選択
0	0	1	0	0	1	0	内部トリガ (EN18) を選択
0	0	1	0	0	1	1	内部トリガ (EN19) を選択
0	0	1	0	1	0	0	内部トリガ (EN20) を選択
0	0	1	0	1	0	1	内部トリガ (EN21) を選択
0	0	1	0	1	1	0	内部トリガ (EN22) を選択
0	0	1	0	1	1	1	内部トリガ (EN23) を選択
0	1	0	0	0	0	0	16 ビットリロードタイマ 0 を選択
0	1	0	0	0	0	1	16 ビットリロードタイマ 1 を選択
1	0	0	0	0	x	x	外部トリガ 0 を選択
1	0	0	0	1	x	x	外部トリガ 1 を選択
1	0	0	1	0	x	x	外部トリガ 2 を選択
1	0	0	1	1	x	x	外部トリガ 3 を選択
1	0	1	0	0	x	x	外部トリガ 4 を選択
1	0	1	0	1	x	x	外部トリガ 5 を選択
上記以外							禁止

(注意事項) PPG へのトリガ入力を選択します。

選択された PPG では、トリガ入力エッジ選択ビット (PCN:EGS1,EGS0) で選択されたエッジが、選択された起動トリガで検出されると PPG が起動します。

42.4.6 汎用トリガ設定レジスタ : GTREN0, 1

汎用トリガ設定レジスタ (GTREN) は, PPG への内部トリガの発生を制御します。

• GTREN0: アドレス 02D8_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

7	6	5	4	3	2	1	0	bit
EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

• GTREN1: アドレス 02DA_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性

7	6	5	4	3	2	1	0	bit
EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

GTREN0 [bit15 ~ bit0] , GTREN1 [bit7 ~ bit0] EN23 ~ EN0 : 内部トリガ入力ビット

EN23 ~ EN0	機能
0	レベルを "L" に設定
1	レベルを "H" に設定

内部トリガのレベルを指定してトリガを発生します。

"0" に設定した場合 : レベル "L" のトリガを発生します。

"1" に設定した場合 : レベル "H" のトリガを発生します。

GTREN1 [bit15 ~ bit8] 予約

必ず "0" を設定してください。

(注意事項) PPG の起動トリガ選択ビット (TSEL0[6:0],TSEL1[6:0]) によって, いずれかの内部トリガ (EN0 ~ EN23) が選択されている場合には, 選択された EN は PPG のトリガ入力ビットとなります。

トリガ入力エッジ選択ビット (PCN:EGS1, EGS0) で選択された状態が, トリガ入力ビット (選択された EN0 ~ EN23) を使用してソフトウェアで発生された場合には, PPG を起動するための起動トリガとなります。

42.4.7 GATE 機能制御レジスタ : GATEC0, 2, 4, 8, 10, 12

- GATEC0, 2, 4, 8, 10, 12:

アドレス 02E1_H, 02E3_H, ... 02EB_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約						STGR	EDGE	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	属性

[bit7 ~ bit2] 予約

必ず "0" を設定してください。

[bit1] STGR : GATE 機能選択ビット

STGR	機能
0	起動トリガによって, PPG を起動させます。
1	波形ジェネレータからの GATE 信号により, PPG の起動・停止を行います。

[bit0] EDGE : 起動有効エッジ選択ビット

EDGE	機能
0	GATE 信号の立上りで PPG を起動させ, 立下りで PPG を停止させます。 "H" の間起動します。
1	GATE 信号の立下りで PPG を起動させ, 立上りで PPG を停止させます。 "L" の間起動します。

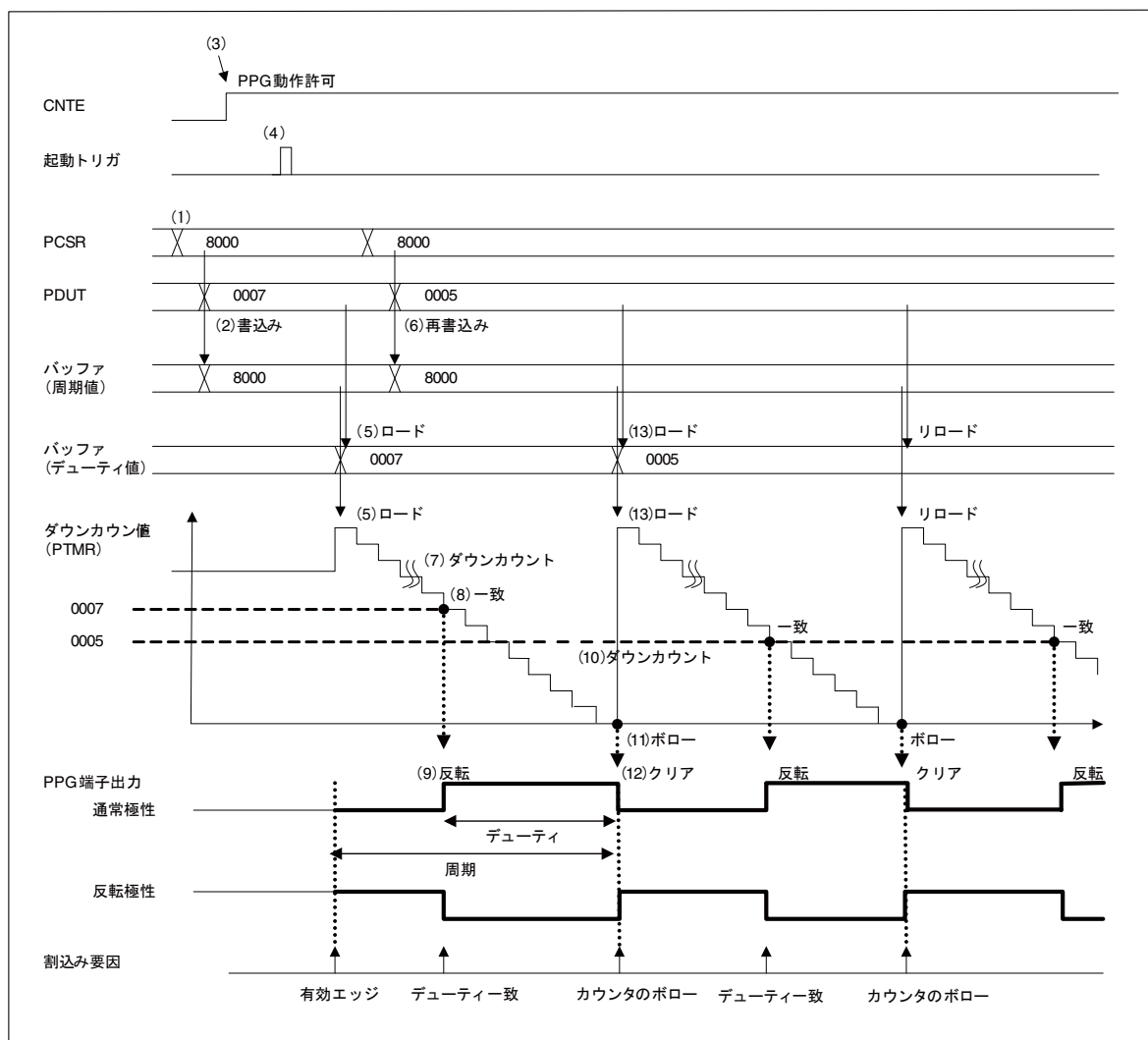
42.5 動作説明

PPG の動作について説明します。

42.5.1 PWM 動作 (Normal Wave Form 選択時)

PWM 動作では, PPG 端子から可変デューティパルスが出力されます。

図 42.5-1 PWM 動作例 (Normal Wave Form 選択時)



- (1) PCSR(周期値) の書き込み
- (2) PDUT(デューティ値) の書き込み, および, バッファ (周期値) への周期値の転送
- (3) PPG の動作を許可
- (4) 起動トリガの発生
- (5) ダウンカウンタ値 (PTMR) への周期値とバッファ (デューティ値) へのデューティ値のロード
- (6) PDUT(デューティ値) の再書き込み, および, バッファ (周期値) への周期値の転送
- (7) カウンタのダウンカウント
- (8) ダウンカウンタがデューティ値と一致
- (9) PPG 端子の出力レベルを反転
- (10) カウンタのダウンカウント

- (11) カウンタでボロー発生
- (12) PPG 端子の出力レベルをクリア (通常状態に復帰)
- (13) ダウンカウント値 (PTMR) への周期値とバッファ (デューティ値) へのデューティ値の再ロード
- (14) (7) ～ (13) までを反復

計算式:

-周期 = { 周期値 (PCSR) + 1 } × カウントクロック

-デューティ = { デューティ値 (PDUT) + 1 } × カウントクロック

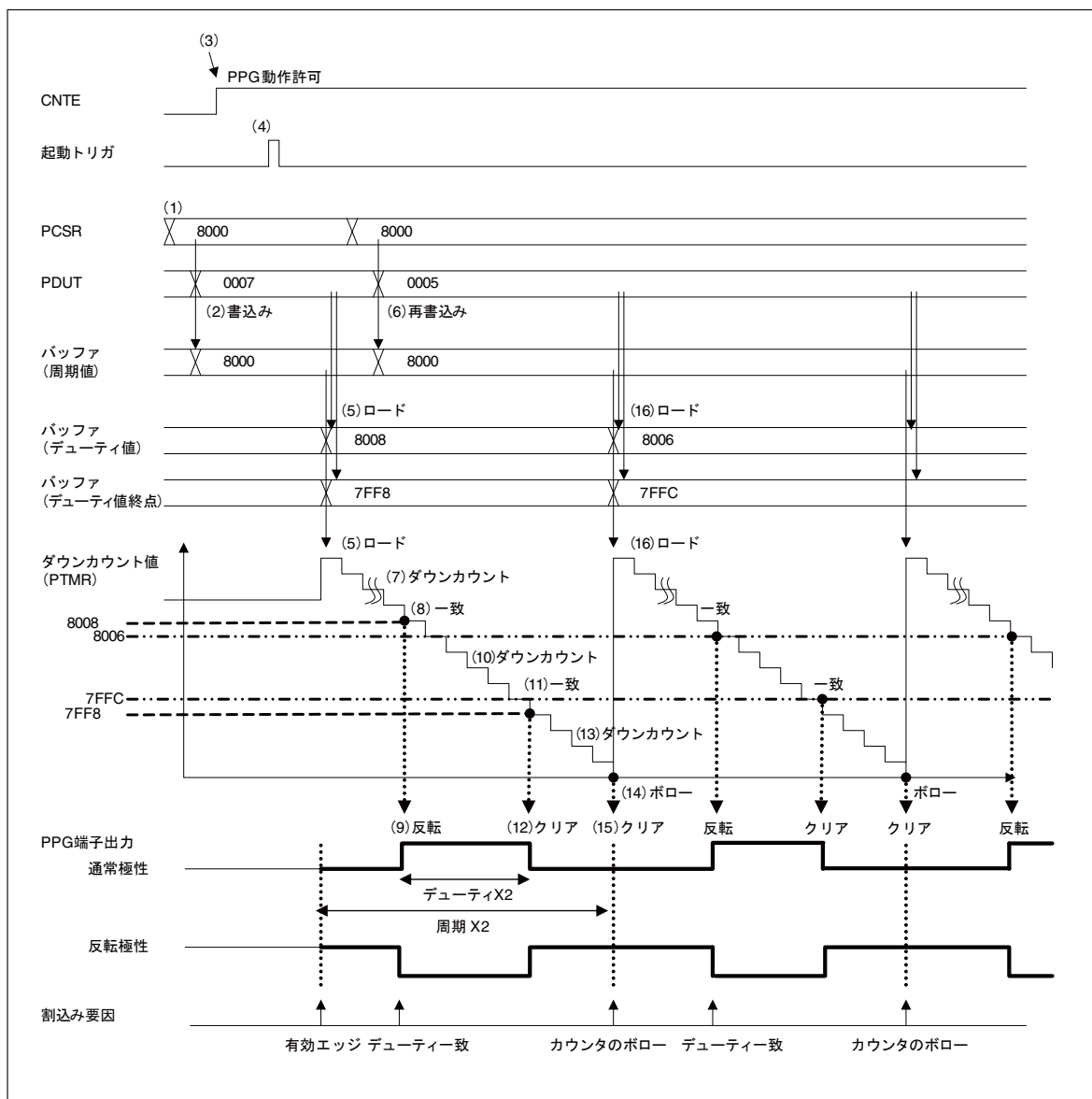
-パルス出力までの時間 = { 周期値 (PCSR) - デューティ値 (PDUT) } × カウントクロック

42.5.2 PWM 動作 (Center Aligned Wave Form 選択時)

PWM 動作では, PPG 端子から可変デューティパルスが出力されます。

PPG 出力波形選択ビット (PCN.OWFS)=1 (Center Aligned Wave Form) が選択されている場合は, PPG 周期設定レジスタ (PCSR), PPG デューティ設定レジスタ (PDUT) の設定値をそれぞれ 2 倍して出力波形を生成します。

図 42.5-2 PWM 動作例 (Center Aligned Wave Form 選択時)



- (1) PCSR(周期値) の書き込み
- (2) PDUT(デューティ値) の書き込み, および, バッファ(周期値) への周期値の転送
- (3) PPG の動作を許可
- (4) 起動トリガの発生
- (5) ダウンカウント値 (PTMR) への (周期値 × 2 + 1) のロード, および, バッファ(デューティ値) / バッファ(デューティ値終点) へのデューティ値のロード

$$\text{デューティ値 (出力レベル反転タイミング)} = (\text{デューティ値} + \text{周期値} + 1)$$

$$\text{デューティ値終点 (出力レベルクリアタイミング)} = (\text{周期値} - \text{デューティ値} - 1)$$

- (6) PDUT(デューティ値) の再書込み , および , バッファ (周期値) への周期値の転送
- (7) カウンタのダウンカウント
- (8) ダウンカウンタがデューティ値 (出力レベル反転タイミグ) と一致
- (9) PPG 端子の出力レベルを反転
- (10) カウンタのダウンカウント
- (11) ダウンカウンタがデューティ値終点 (出力レベルクリアタイミグ) と一致
- (12) PPG 端子の出力レベルをクリア (通常状態に復帰)
- (13) カウンタのダウンカウント
- (14) カウンタでボロー発生
- (15) PPG 端子の出力レベルをクリア (通常状態に復帰)
- (16) ダウンカウント値 (PTMR) への (周期値 $\times 2 + 1$) と バッファ (デューティ値) / バッファ (デューティ値終点) へのデューティ値の再ロード
- (17) (7) ～ (16) までを反復

計算式 :

-周期 = { (周期値 (PCSR) + 1) $\times 2$ } \times カウントクロック

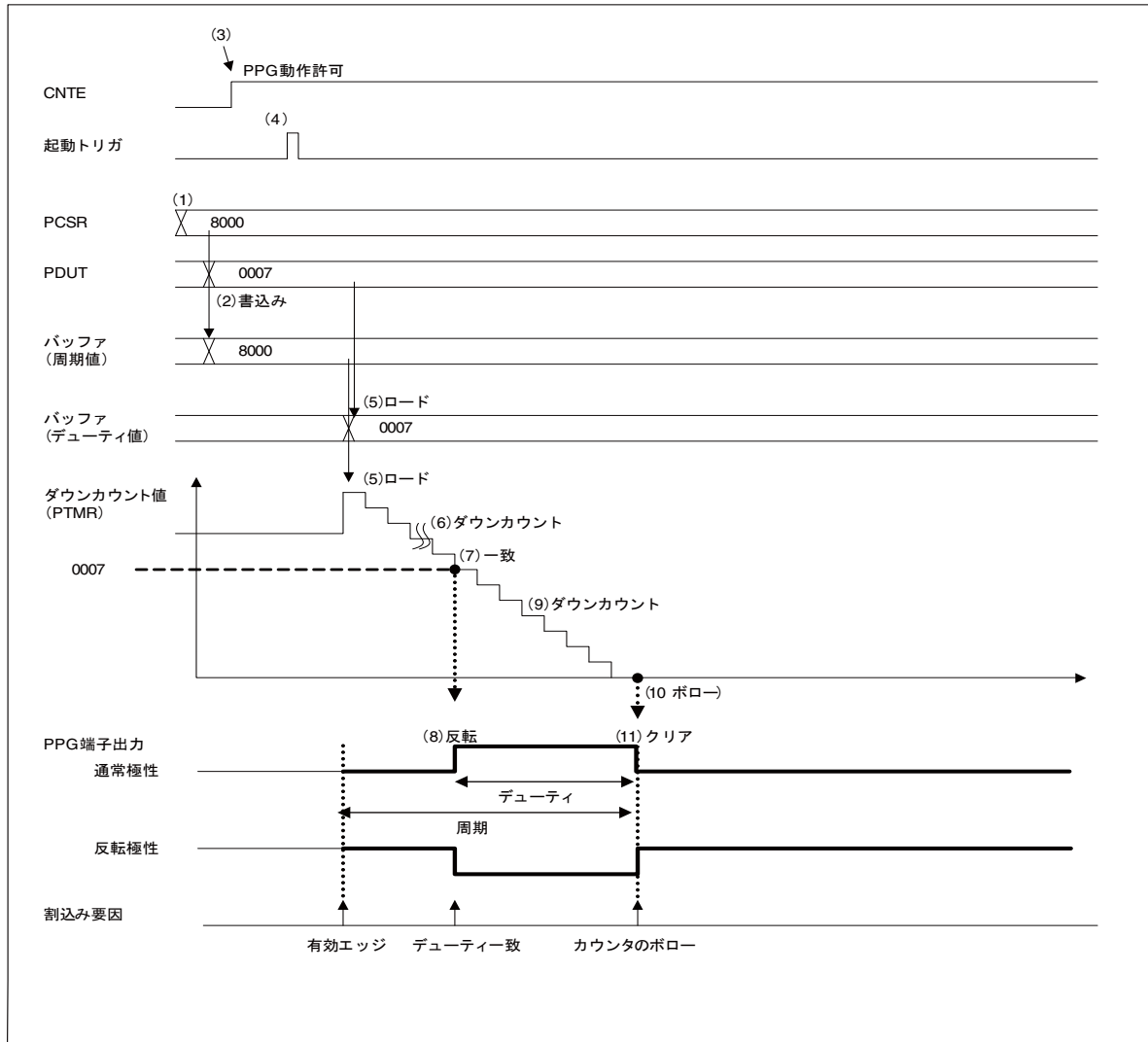
-デューティ = { (デューティ値 (PDUT) + 1) $\times 2$ } \times カウントクロック

-パルス出力までの時間 = { 周期値 (PCSR) - デューティ値 (PDUT) } \times カウントクロック

42.5.3 ワンショット動作 (Normal Wave Form 選択時)

ワンショット動作では、PPG 端子からワンショットパルスが出力されます。

図 42.5-3 ワンショット動作例 (Normal Wave Form 選択時)



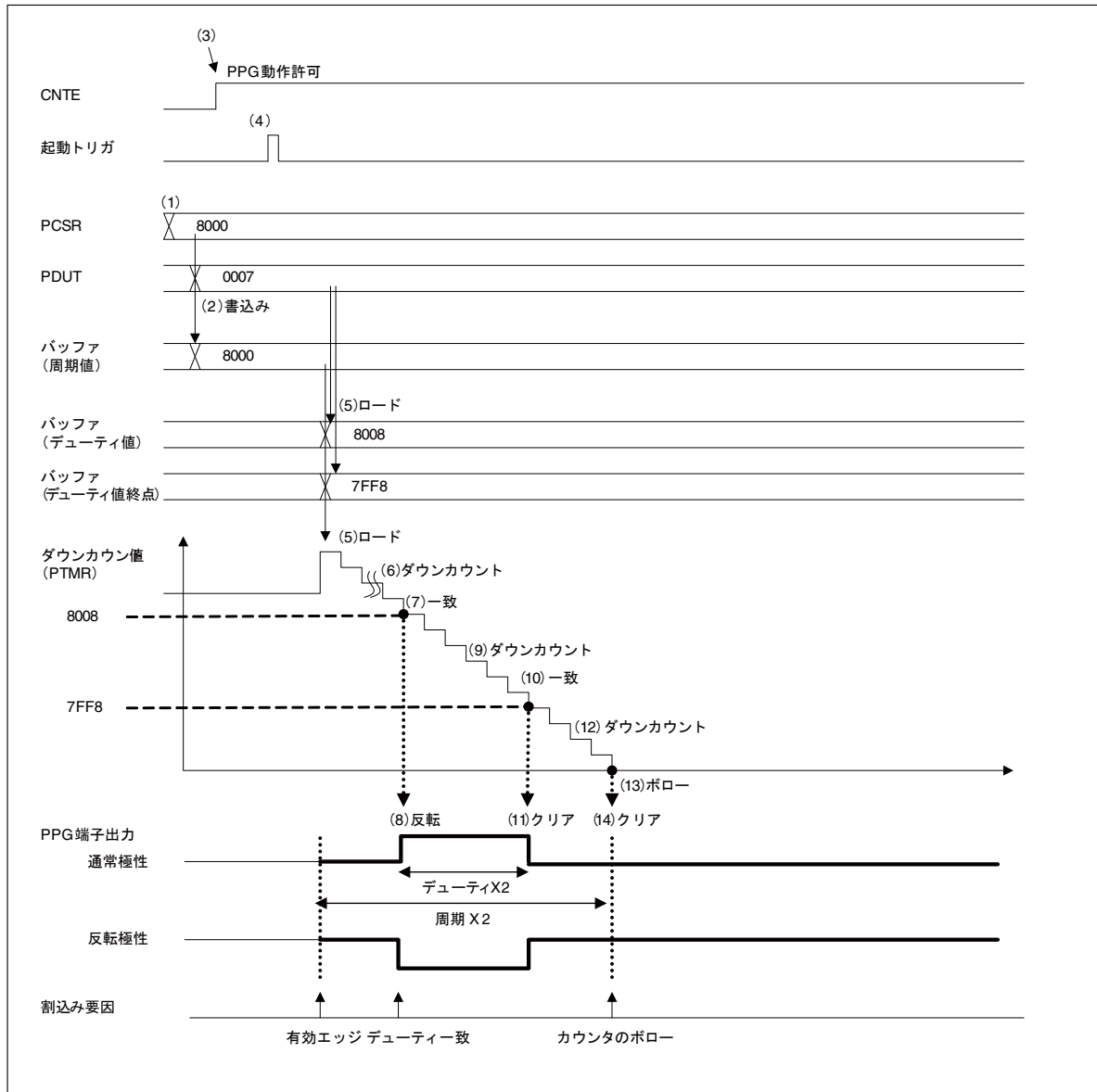
- (1) PCSR(周期値) の書込み
- (2) PDUT(デューティ値) の書込み , および , バッファ (周期値) への周期値の転送
- (3) PPG の動作を許可
- (4) 起動トリガの発生
- (5) ダウンカウント値 (PTMR) への周期値とバッファ (デューティ値) へのデューティ値のロード
- (6) カウンタのダウンカウント
- (7) ダウンカウンタがデューティ値と一致
- (8) PPG 端子の出力レベルを反転
- (9) カウンタのダウンカウント
- (10) カウンタでボロー発生
- (11) PPG 端子の出力レベルをクリア (通常状態に復帰)
- (12) 動作シーケンス終了

42.5.4 ワンショット動作 (Center Aligned Wave Form 選択時)

ワンショット動作では、PPG 端子からワンショットパルスが出力されます。

PPG 出力波形選択ビット (PCN.OWFS)=1 (Center Aligned Wave Form) が選択されている場合は、PPG 周期設定レジスタ (PCSR), PPG デューティ設定レジスタ (PDUT) の設定値をそれぞれ 2 倍して出力波形を生成します。

図 42.5-4 ワンショット動作例 (Center Aligned Wave Form 選択時)



- (1) PCSR(周期値) の書込み
- (2) PDUT(デューティ値) の書込み , および , バッファ (周期値) への周期値の転送
- (3) PPG の動作を許可
- (4) 起動トリガの発生
- (5) ダウンカウンタ値 (PTMR) への (周期値 × 2 + 1) のロード , および , バッファ (デューティ値) / バッファ (デューティ値終点) へのデューティ値のロード

$$\text{デューティ値 (出力レベル反転タイミング)} = (\text{デューティ値} + \text{周期値} + 1)$$

$$\text{デューティ値終点 (出力レベルクリアタイミング)} = (\text{周期値} - \text{デューティ値} - 1)$$

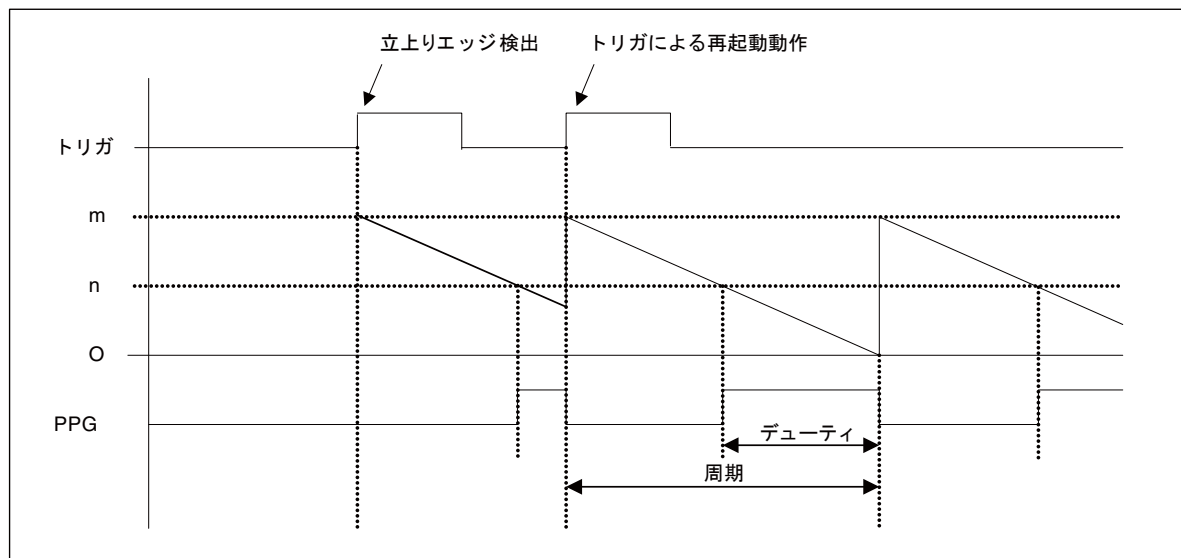
- (6) カウンタのダウンカウント
- (7) ダウンカウンタがデューティ値 (出力レベル反転タイミング) と一致
- (8) PPG 端子の出力レベルを反転
- (9) カウンタのダウンカウント
- (10) ダウンカウンタがデューティ値終点 (出力レベルクリアタイミング) と一致
- (11) PPG 端子の出力レベルをクリア (通常状態に復帰)
- (12) カウンタのダウンカウント
- (13) カウンタでボロー発生
- (14) PPG 端子の出力レベルをクリア (通常状態に復帰)
- (15) 動作シーケンス終了

42.5.5 再起動動作

リスタート動作を示します。

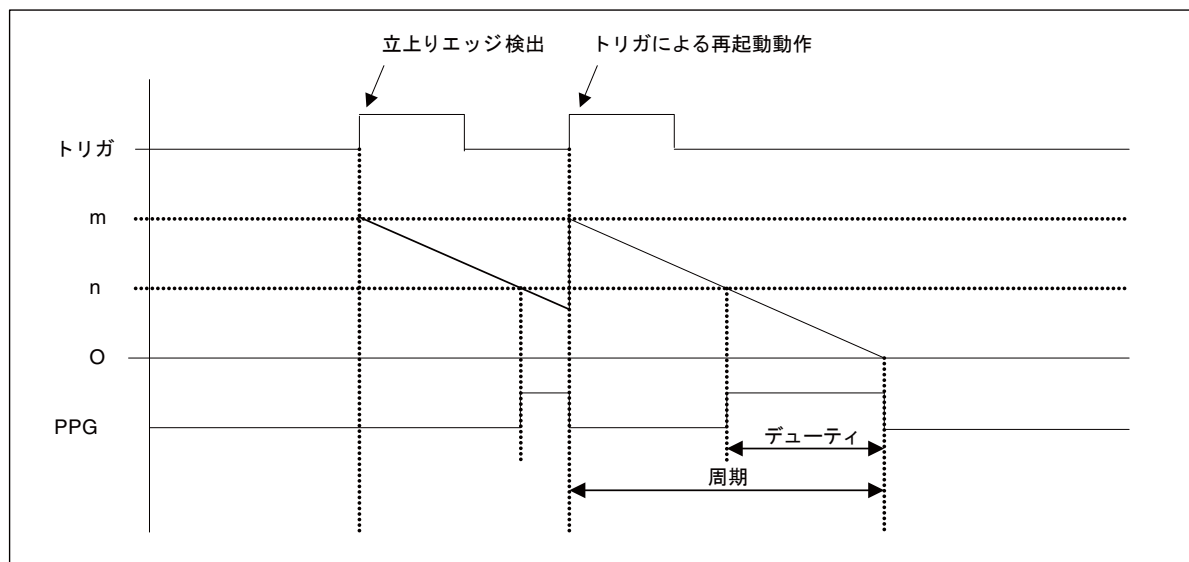
■ PWM 動作中の再起動動作

図 42.5-5 PWM 動作中の再起動動作 (Normal Wave Form 選択時)



■ ワンショット動作中の再起動動作

図 42.5-6 ワンショット動作中の再起動動作 (Normal Wave Form 選択時)

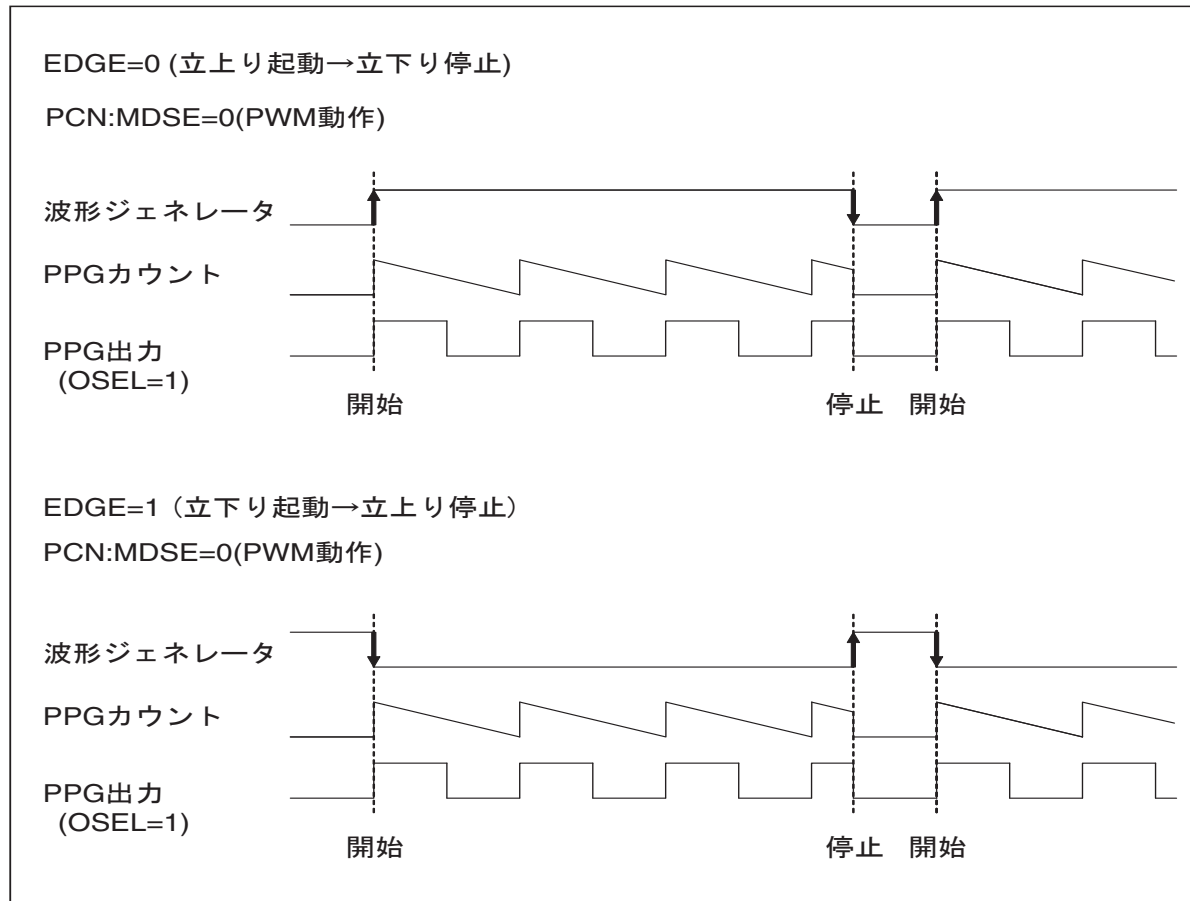


PWM 動作とワンショット動作のいずれでも、リスタート許可ビット (PCN:RTRG)=0 (リスタートを禁止) の場合には、2 番目以降のトリガは動作に影響しません (リスタートしません)。ただし、ワンショット動作の場合は、ワンショット動作終了後であれば、2 番目以降のトリガは機能します。

42.5.6 GATE 動作

波形ジェネレータからの GATE 信号により、PPG を起動・停止させることができます。
GATE 制御レジスタの EDGE ビット (GATEC:EDGE) と波形ジェネレータからの GATE 信号により、PPG 起動有効時間を制御できます。

図 42.5-7 GATE 機能による PPG カウント動作



GATE 機能による PPG 動作選択時 (GATEC:STGR) が "1" のときにワンショットパルス動作 (PCN:MDSE="1") を設定した場合、PPG 出力端子からは PWM 動作と同じように、連続してパルス出力を行います。

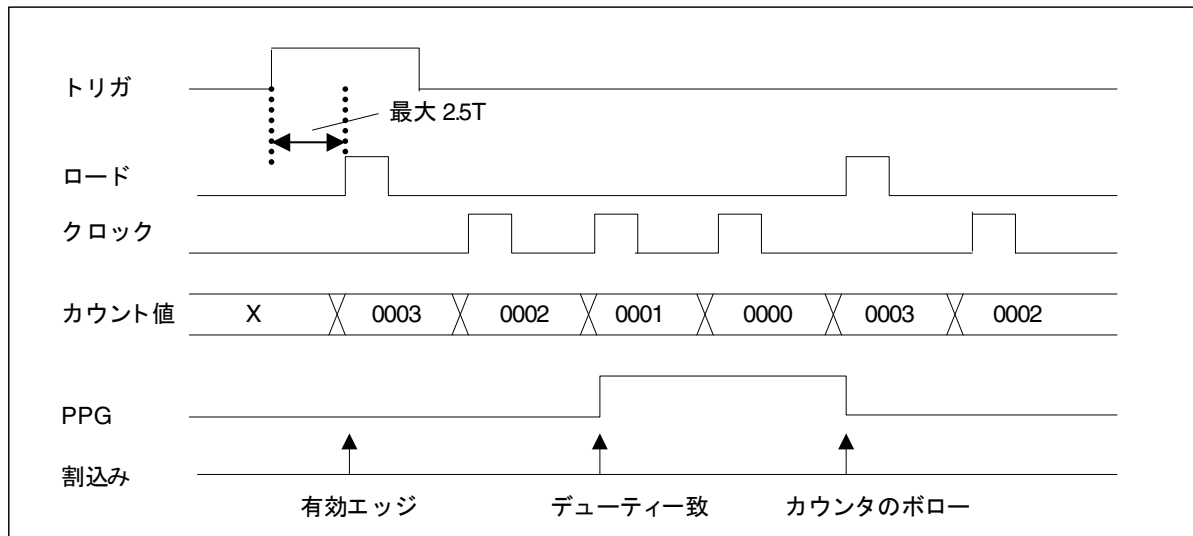
42.6 注意事項

PPG を使用するときの注意事項を説明します。

■ 使用上の注意

- 割込み要求フラグ (PCNn.IRQF) が "1" になるタイミングと "0" になるタイミングが重複した場合には、割込み要求フラグを "1" に設定する動作が優先し、フラグをクリアする要求は無効となります。
- 最初のロードは起動トリガの後、最大 2.5T 遅延します。(T: カウントクロック)
ダウンカウンタへのロードとカウントが同時に発生した場合には、ロード操作がダウンカウンタを上書きします。

図 42.6-1 タイミングチャート



- 周期値 (PCSR), デューティ値 (PDUT) の書き込みは、必ず、(1)PCSR, (2)PDUT の順で書き込んでください。
周期値 (PCSR), デューティ値 (PDUT) の書換え時の注意事項を次に示します。
 - ① 周期値 (PCSR), デューティ値 (PDUT) は、デューティ値 (PDUT) が書き込まれる事によりバッファに取り込まれ、起動トリガ、または、ボロー発生時にバッファからカウンタへ転送されます。
 - ② PPG 動作中に、周期値 (PCSR), または、デューティ値 (PDUT) を書き換えたときの出力波形への反映は、デューティ値 (PDUT) 書換え後の次の周期からとなります。
 - ③ 周期値 (PCSR) のみ書き換えたい場合でも、(1)PCSR, (2)PDUT の順で、デューティ値 (PDUT) を同一値として、再設定し直す必要があります。
 - ④ デューティ値 (PDUT) は、任意に書き換えることができます。
- PPG デューティ設定レジスタ値 (PDUT) には、PPG 周期設定レジスタ値 (PCSR) に設定した値よりも小さい値を設定してください。
- PPG の周期設定レジスタ (PCSR) とデューティ設定レジスタ (PDUT) は、必ずワード (16 ビット) フォーマットでアクセスしてください。これらのレジスタにバイトアクセスした場合には、上側と下側のビット位置に値が書き込まれません。
- PPG を起動するには、PPG の動作を許可する前または同時にタイマ動作許可ビット (PCN:CNTE) を "1" に設定する必要があります。

- PPG の動作中には、モード選択ビット (PCN:MDSE), リスタート許可ビット (PCN:RTRG), カウンタクロック選択ビット (PCN:CKS1, CKS0), トリガ入力エッジ選択ビット (PCN:EGS1, EGS0), 割込み原因選択ビット (PCN:IRS1, IRS0), 起動トリガ選択ビット (GTRS:TSEL[6:0]), PPG 出力極性選択ビット (PCN:OSEL) は変更しないでください。
PPG の動作中にこれらの値を変更したい場合には、レジスタ設定を変更する前に PPG の動作を禁止してください。
- 起動トリガ選択ビット (GTRS0 ～ GTRS11:TSEL0[6:0],TSEL1[6:0]) に指定範囲外 (001_1000 ～ 001_1111, 010_0010 ～ 011_1111, 101_1000 ～ 111_1111) の値を設定した場合、レジスタを正常化するには、PPG の動作を禁止した後に指定範囲内の値を書き込んでください。
- PPG の動作中にタイマ動作許可ビット (PCN:CNTA) に "0" を設定して、PPG を禁止した場合には、PPG ダウンカウンタ値 (PTMR) は値が保持され、PPG 出力は "L" になり、停止します。
その後、タイマ動作許可ビット (PCN:CNTA) を "1" に設定して PPG の動作を許可し、起動トリガの入力で、周期値とデューティ値を再ロードして動作を再開します。
- PPG 動作中に GATE 信号が "1" から "0" (EDGE="0" の場合) となった場合には、PPG ダウンカウンタ値 (PTMR) は値が保持され、PPG 出力は "L" になり、停止します。
その後、GATE 信号を "0" から "1" に設定して、周期値とデューティ値を再ロードして動作を再開します。
- GATE 機能制御レジスタ (GATEC) を設定する場合は、PPG の起動前に設定してください。
PPG の動作中には、GATE 機能制御レジスタ (GATEC) の、GATE 選択ビット (STGR), 極性選択ビット (EDGE) は変更しないでください。
- GATE信号がネゲートされてからPPG出力が停止するまで、内部クロックで4クロックかかります。
- タイマ動作許可ビット (PCN:CNTA) に "0" を設定して、PPG を禁止した場合には、PPG 出力が停止するまで、内部クロックで 3 クロックかかります。
- PPG の動作中に PPG 出力波形選択 (OWFS) を書換えた場合、次の周期から設定が反映されます。
- PPG の動作中に PPG 出力マスク (PCN.PGMS) を "1" から "0" に設定し、マスクを解除する場合には、周期の始めから、デューティ一致となる前までの間に設定を行ってください。
- PPG 出力マスク中 (PCN.PGMS="1") は、以下となります。
デューティ一致による割込み要因により、割込みフラグが "1" に設定されることはありません。
カウンタのボロー発生による割込み要因により、割込みフラグは "1" に設定されます。
トリガ (ソフトウェアトリガまたは外部トリガまたは GATE 信号入力によるトリガ) による割込み要因により、割込みフラグは "1" に設定されます。
- GATE 機能有効 (STGR="1") かつ、リスタート許可有効 (RTRG="1") のとき、ほかの起動トリガを入力しても、リスタート動作を開始しません。

第 43 章 フリーランタイム

43.1 概要

フリーランタイムは、1 個のフリーランタイム同時起動・6 個 (各 1ch で計 6ch) の 16 ビットフリーランタイム・1 個のフリーランタイムセレクトから構成されます。

43.2 特長

■ フリーランタイム同時起動の機能

- 6 個ある 16 ビットフリーランタイムのうち指定した 16 ビットフリーランタイムを同時起動 / クリア可能です。
- フリーランタイム同時起動を許可する各 16 ビットフリーランタイムのタイマ状態レジスタ (TCCS) のタイマ許可ビット (STOP) およびタイマクリアビット (SCLR) を同時に制御します。
- 同時起動 / クリアを行わない場合、各 16 ビットフリーランタイムはタイマ状態レジスタ (TCCS) のタイマ許可ビット (STOP) およびタイマクリアビット (SCLR) を設定することにより、個別に起動 / クリア可能です。

■ 16 ビットフリーランタイムの機能

- 16 ビットフリーランタイムは 16 ビットアップ / ダウンカウンタ、制御レジスタ、16 ビットコンペアクリアレジスタ (バッファレジスタがあります)、およびプリスケアラから構成されています。
- 9 種類のカウンタ動作クロック (ϕ , $\phi/2$, $\phi/4$, $\phi/8$, $\phi/16$, $\phi/32$, $\phi/64$, $\phi/128$, $\phi/256$) を選択できます (ϕ : 周辺クロック)。
- コンペアクリア割込みは、コンペアクリアレジスタと 16 ビットフリーランタイムが比較され、一致した場合に生成されます。0 検出割込みは、16 ビットフリーランタイムがカウント値 "0" を検出している間に生成されます。
- コンペアクリアレジスタには、選択可能なバッファレジスタがあります (このバッファレジスタに書き込まれたデータはコンペアクリアレジスタへ転送されます)。16 ビットフリーランタイムが停止し、バッファにデータが書き込まれると、転送は直ちに実行されます。16 ビットフリーランタイムの動作中にタイマ値 "0" が検出されるとバッファからデータが転送されます。
- リセットやソフトウェアクリア、あるいはコンペアクリアレジスタとのコンペア一致が発生すると、カウンタ値は "0000_H" にリセットされます。
- このカウンタの出力値は、アウトプットコンペアとインプットキャプチャと A/D 起動コンペアのクロックカウントとして使用できます。

■ フリーランタイムセレクトの機能

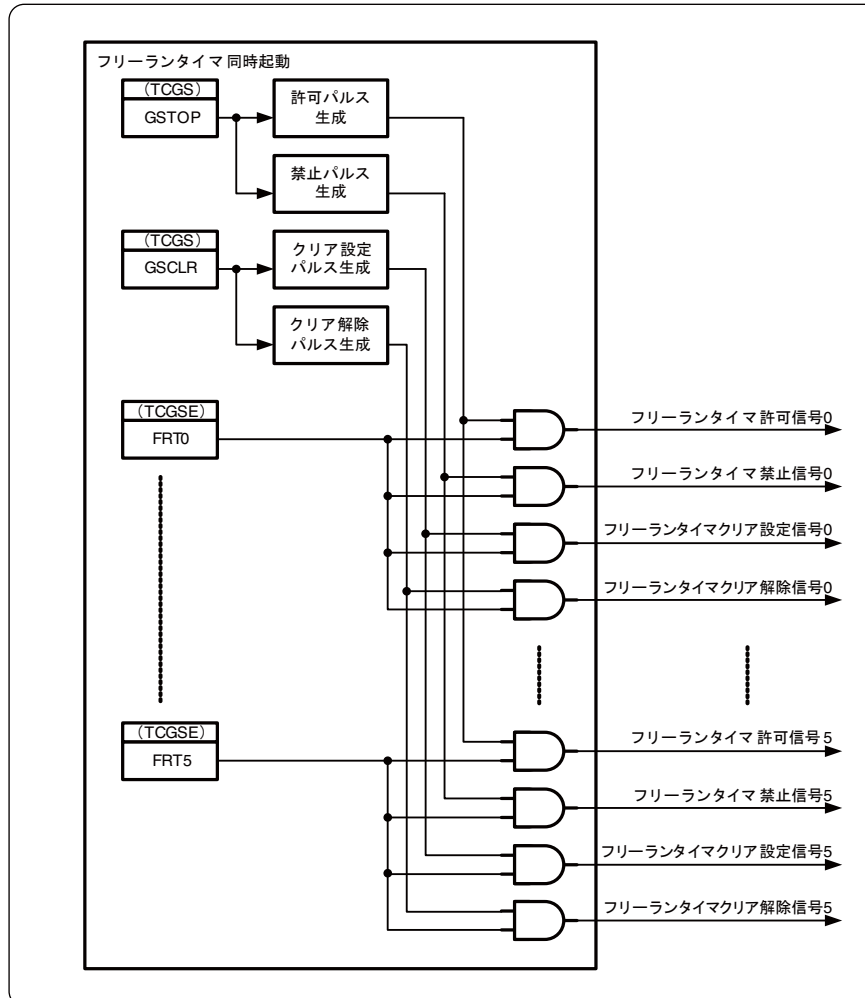
- フリーランタイム選択レジスタによって、フリーランタイムの割当てを、アウトプットキャプチャ、インプットキャプチャ、A/D 起動コンペアから選択できます。

管理コード : FS17-1v0-91580L-1-J

43.3 構成

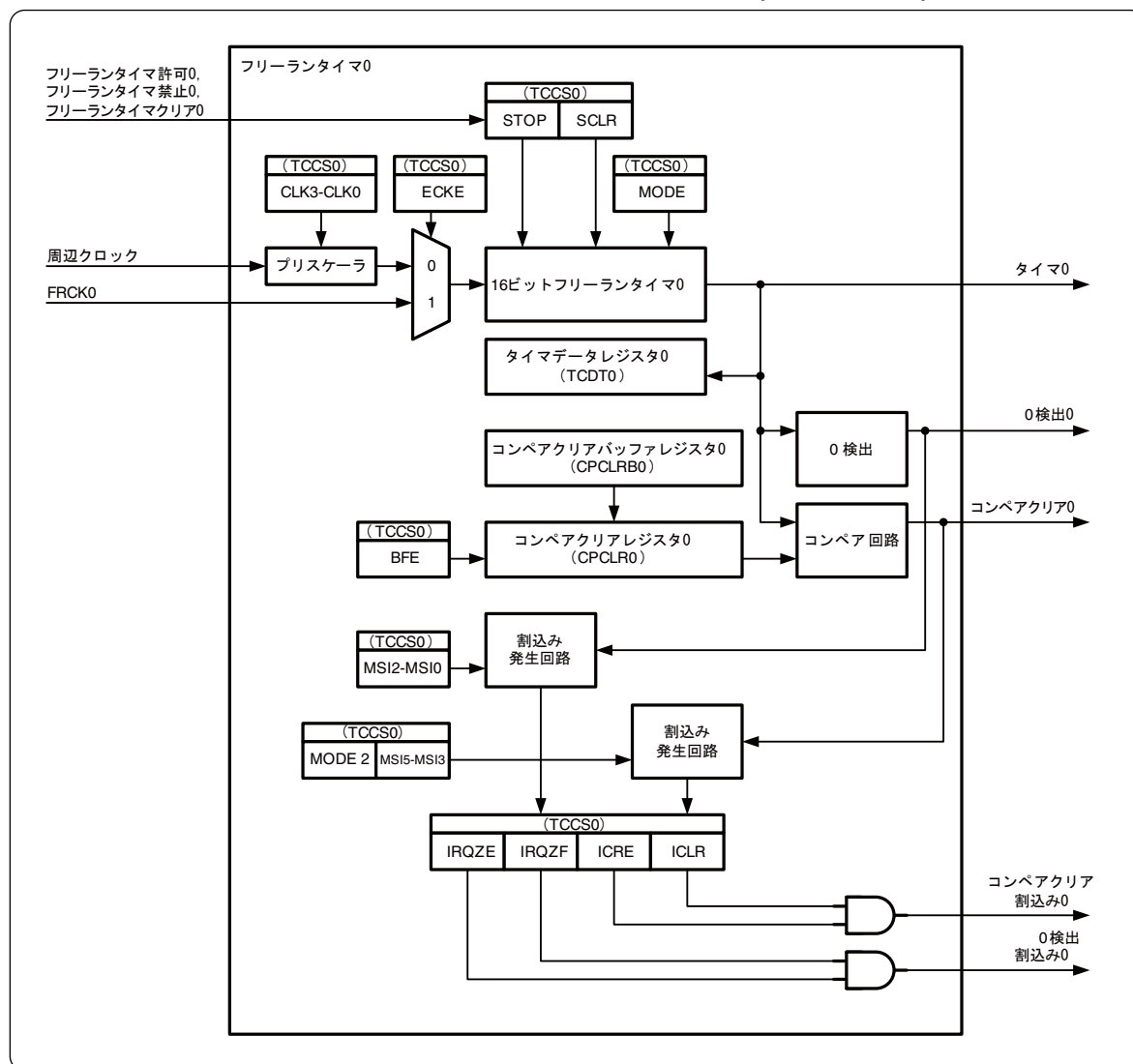
■ フリーランタイム同時起動の構成

図 43.3-1 フリーランタイム同時起動の構成



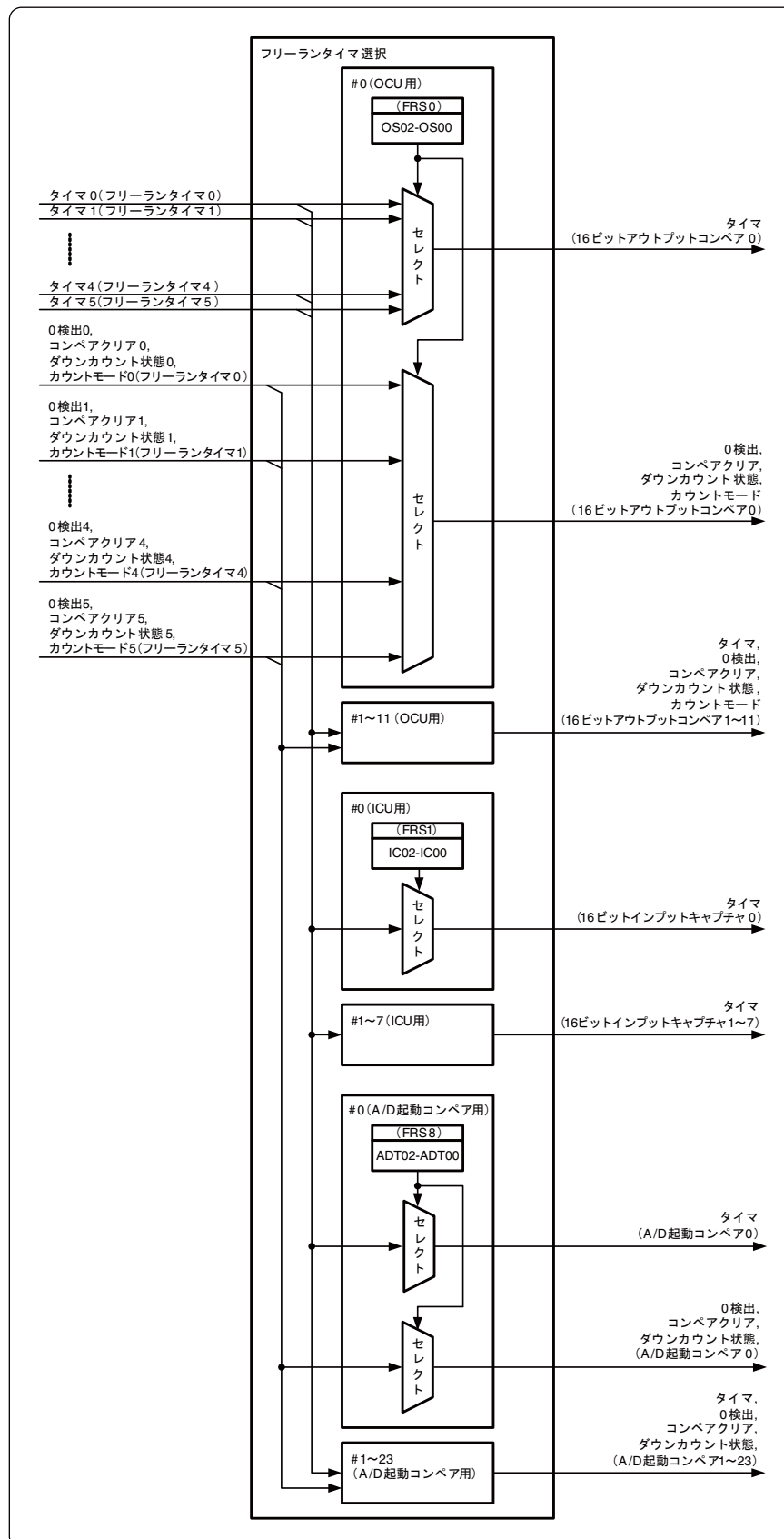
■ 16 ビットフリーランタイムの構成

図 43.3-2 16 ビットフリーランタイムの構成 (1 チャンネル分)



■ フリーランタイムセクタの構成

図 43.3-3 フリーランタイムセクタの構成



43.4 レジスタ

表 43.4-1 フリーランタイム同時起動のレジスタ一覧

アドレス	+0	+1	+2	+3
0x1100 _H	タイマ同時起動 レジスタ (TCGS)	予約	予約	タイマ同時起動 許可レジスタ (TCGSE)

表 43.4-2 16 ビットフリーランタイムのレジスタ一覧

アドレス	+0	+1	+2	+3
0x1104 _H	コンペアクリアバッファレジスタ 0 (CPCLRB0) コンペアクリアレジスタ 0 (CPCLR0)		タイマデータレジスタ (TCDT0)	
0x1108 _H	タイマ状態制御レジスタ 0 (TCCS0)			予約
0x110C _H	コンペアクリアバッファレジスタ 1 (CPCLRB1) コンペアクリアレジスタ 1 (CPCLR1)		タイマデータレジスタ (TCDT1)	
0x1110 _H	タイマ状態制御レジスタ 1 (TCCS1)			予約
0x1114 _H	コンペアクリアバッファレジスタ 2 (CPCLRB2) コンペアクリアレジスタ 2 (CPCLR2)		タイマデータレジスタ (TCDT2)	
0x1118 _H	タイマ状態制御レジスタ 2 (TCCS2)			予約
0x111C _H	コンペアクリアバッファレジスタ 3 (CPCLRB3) コンペアクリアレジスタ 3 (CPCLR3)		タイマデータレジスタ (TCDT3)	
0x1120 _H	タイマ状態制御レジスタ 3 (TCCS3)			予約
0x1124 _H	コンペアクリアバッファレジスタ 4 (CPCLRB4) コンペアクリアレジスタ 4 (CPCLR4)		タイマデータレジスタ (TCDT4)	
0x1128 _H	タイマ状態制御レジスタ 4 (TCCS4)			予約
0x112C _H	コンペアクリアバッファレジスタ 5 (CPCLRB5) コンペアクリアレジスタ 5 (CPCLR5)		タイマデータレジスタ (TCDT5)	
0x1130 _H	タイマ状態制御レジスタ 5 (TCCS5)			予約

表 43.4-3 フリーランタイムセレクタのレジスタ一覧

アドレス	+0	+1	+2	+3
0x1134 _H	フリーランタイム選択レジスタ 0 (FRS0)			
0x1138 _H	フリーランタイム選択レジスタ 1 (FRS1)			
0x113C _H	フリーランタイム選択レジスタ 2 (FRS2)			
0x1140 _H	フリーランタイム選択レジスタ 3 (FRS3)			
0x1144 _H	フリーランタイム選択レジスタ 4 (FRS4)			
0x1148 _H	フリーランタイム選択レジスタ 5 (FRS5)			
0x114C _H	フリーランタイム選択レジスタ 6 (FRS6)			

43.4.1 フリーランタイム同時起動のレジスタ

フリーラン同時起動には、タイマ同時起動レジスタ、およびタイマ同時許可レジスタがあります。

43.4.1.1 タイマ同時起動レジスタ : TCGS

タイマ同時起動レジスタ (TCGS) は、フリーランタイムの同時タイマ許可、および同時タイマクリアを制御するために使用します。同時タイマ許可、および同時タイマクリアするフリーランタイムはタイマ同時起動許可レジスタ (TCGSE) で指定します。

- TCGS: アドレス 1100_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約						GSTOP	GSCLR	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W	R0,W	属性

[bit7 ~ bit2] 予約

必ず "0" を書き込んでください。

[bit1] GSTOP : 同時タイマ許可ビット

GSTOP	機能	
	読出し時	書込み時
0	常に "0" を読み出す	カウントを同時許可する (カウントを開始する)
1		カウントを同時禁止する (カウントを停止する)

- このビットは、タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイムのカウントを同時停止 / 同時開始するために使用します。
- このビットに "0" を設定した場合:
タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイムの 16 ビットフリーランタイムのカウントを開始します。また、タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイムのタイマ状態制御レジスタ (TCCS) の STOP ビットを "0" にします。
- このビットに "1" を設定した場合:
タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイムの 16 ビットフリーランタイムのカウントを停止します。また、タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイムのタイマ状態制御レジスタ (TCCS) の STOP ビットを "1" にします。
- 読出し値は、必ず "0" です。

[bit0] GSCLR : 同時タイマクリアビット

GSCLR	機能	
	読出し時	書き込み時
0	常に "0" を読み出す	カウンタを初期化しない
1		カウンタを "0000 _H " に同時初期化

- このビットは、タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイム 16 ビットフリーランタイムを "0000_H" に初期化するために使用します。
- このビットに "1" を設定した場合：
タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイムの 16 ビットフリーランタイムを初期化します。また、タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイムのタイマ状態制御レジスタ (TCCS) の SCLR ビットを "1" にします。
- このビットに "0" を設定した場合：
タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイムの 16 ビットフリーランタイムの初期化指示を解除します。また、タイマ同時起動許可レジスタ (TCGSE) で指定したフリーランタイムのタイマ状態制御レジスタ (TCCS) の SCLR ビットを "0" にします。
- 読出し値は、必ず "0" です。

43.4.1.2 タイマ同時起動許可レジスタ : TCGSE

タイマ同時起動許可レジスタ (TCGSE) は、同時起動 / クリアを許可するフリーランタイムを設定します。

• TCGSE: アドレス 1103_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約		FRT5	FRT4	FRT3	FRT2	FRT1	FRT0	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7,bit6] 予約

必ず "0" を書き込んでください。

[bit5 ~ bit0] FRT5 ~ FRT0 : 同時起動 / クリア設定ビット

FRT5 ~ FRT0	機能
0	同時起動 / クリアしない
1	同時起動 / クリアする

- 同時起動 / クリアを許可するフリーランタイムを設定します。
- 本ビットに "0" を設定した場合 :
タイマ同時起動レジスタ (TCGS) の設定時に、フリーランタイムが起動またはクリアされません。
- 本ビットに "1" を設定した場合 :
タイマ同時起動レジスタ (TCGS) の設定時に、フリーランタイムが起動またはクリアされます。

43.4.2 16 ビットフリーランタイムのレジスタ

16 ビットフリーランタイムには、コンペアクリアバッファレジスタ、コンペアクリアレジスタ、タイマデータレジスタ、およびタイマ状態制御レジスタがあります。

43.4.2.1 コンペアクリアバッファレジスタ : CPCLRB/ コンペアクリアレジスタ : CPCLR

コンペアクリアバッファレジスタ (CPCLRB) は、コンペアクリアレジスタ (CPCLR) に存在する 16 ビットバッファレジスタです。

CPCLRB レジスタと CPCLR レジスタは、両方とも同じアドレスに存在します。

- CPCLRB0, 1, 2, 3, 4, 5: アドレス 1104_H, 110C_H, ... 112C_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08	
1	1	1	1	1	1	1	1	初期値
W	W	W	W	W	W	W	W	属性
7	6	5	4	3	2	1	0	bit
CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00	
1	1	1	1	1	1	1	1	初期値
W	W	W	W	W	W	W	W	属性

[bit15 ~ bit0] CL15 ~ CL00 : コンペアクリア値バッファビット

CL15 ~ CL00	機能
コンペアクリア値バッファ	

- コンペアクリアバッファレジスタは、コンペアクリアレジスタ (CPCLR) と同じアドレスに存在するバッファレジスタです。
- バッファ機能が無効になるか (タイマ状態制御レジスタ (TCCS) の BFE:bit23=0), またはフリーランタイムが停止すると、コンペアクリアバッファレジスタの値が直ちにコンペアクリアレジスタへ転送されます。
- バッファ機能が有効になると、16 ビットフリーランタイムのカウント値 "0" が検出されたときに値がコンペアクリアレジスタへ転送されます。

(注意事項) コンペアクリアバッファレジスタには、"0000_H" を設定しないでください。

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

リードモディファイライト系命令でのアクセスは行わないでください。

• CPCLR0, 1, 2, 3, 4, 5: アドレス 1104_H, 110C_H, ... 112C_H (アクセス: ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08	
1	1	1	1	1	1	1	1	初期値
R	R	R	R	R	R	R	R	属性
7	6	5	4	3	2	1	0	bit
CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00	
1	1	1	1	1	1	1	1	初期値
R	R	R	R	R	R	R	R	属性

[bit15 ～ bit0] CL15 ～ CL00 : コンペアクリア値ビット

	機能
CL15 ～ CL00	コンペアクリア値

- コンペアクリアレジスタは, 16 ビットフリーランタイムのカウント値と比較するために使用します。
- アップカウントモード時は, このレジスタが 16 ビットフリーランタイムのカウント値と一致すると, 16 ビットフリーランタイムは "0000_H" にリセットされます。
- アップダウンカウントモード時は, このレジスタが 16 ビットフリーランタイムのカウント値と一致すると, 16 ビットフリーランタイムはアップカウントからダウンカウントに変わるか, または "0" 検出時にダウンカウントからアップカウントに変わります。

(注意事項) このレジスタへアクセスする場合は, ハーフワードもしくはワードアクセス命令をご使用ください。
リードモディファイライト系命令でのアクセスは行わないでください。

43.4.2.2 タイマデータレジスタ : TCDT0 ~ TCDT5

タイマデータレジスタ (TCDT) は、16 ビットフリーランタイムのカウンタ値を読み出すために使用します。また、16 ビットフリーランタイムのカウンタ値を設定できます。

- TCDT0: アドレス 1106_H (アクセス: ハーフワード, ワード)
- TCDT1: アドレス 110E_H (アクセス: ハーフワード, ワード)
- TCDT2: アドレス 1116_H (アクセス: ハーフワード, ワード)
- TCDT3: アドレス 111E_H (アクセス: ハーフワード, ワード)
- TCDT4: アドレス 1126_H (アクセス: ハーフワード, ワード)
- TCDT5: アドレス 112E_H (アクセス: ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
T15	T14	T13	T12	T11	T10	T09	T08	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

7	6	5	4	3	2	1	0	bit
T07	T06	T05	T04	T03	T02	T01	T00	
0	0	0	0	0	0	0	0	初期値
R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	属性

[bit15 ~ bit0] T15 ~ T00 : カウンタ値ビット

	機能
T15 ~ T00	カウンタ値

- タイマデータレジスタは、16 ビットフリーランタイムのカウンタ値を読み出すために使用します。
- カウンタ値は、リセットが発生すると直ちに "0000_H" にクリアされます。
- タイマ値は、このレジスタへ値を書き込むことで設定できます。ただし、値の書き込みはタイマの停止中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=1) でなければなりません。
- 16 ビットフリーランタイムは、以下の要因が発生すると直ちに初期化されます。

-リセット

-16 ビットフリーランタイム動作中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=0) のタイマ状態制御レジスタ (TCCS) のクリアビット (SCLR:bit20)=1

-アップカウンタモード (タイマ状態制御レジスタ (TCCS) の MODE:bit21=0) 時におけるコンペアクリアレジスタとタイマカウンタ値の一致

(注意事項) 16 ビットフリーランタイム停止中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=1) の、タイマ状態制御レジスタ (TCCS) のクリアビット (SCLR:bit20)=1 としても、16 ビットフリーランタイムは初期化されません。

タイマデータレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

アップダウンカウンタモード中 (タイマ状態制御レジスタ (TCCS) の MODE:bit21=1) にカウンタ値を書き込むと、意図しないカウンタを行う可能性があります。

アップダウンカウンタモード中 (タイマ状態制御レジスタ (TCCS) の MODE:bit21=1) にカウンタ値を書き込む場合、次の手順で書き込んでください。

1. 16 ビットフリーランタイムのカウンタを停止する。(タイマ状態制御レジスタ (TCCS) の STOP:bit21 への 1 書き込み)

2. タイマデータレジスタにカウント値を設定する。
3. ソフトウェアクリアを行う。(タイマ状態制御レジスタ (TCCS) の SCLR:bit20 への "1" 書込み)
4. 16 ビットフリーランタイムのカウントを開始する。

43.4.2.3 タイマ状態制御レジスタ : TCCS0 ～ TCCS5

タイマ状態制御レジスタ (TCCS) は、16 ビットフリーランタイムの動作を制御するために使用するレジスタです。

- TCCS0: アドレス 1108_H (アクセス: バイト, ハーフワード, ワード)
- TCCS1: アドレス 1110_H (アクセス: バイト, ハーフワード, ワード)
- TCCS2: アドレス 1118_H (アクセス: バイト, ハーフワード, ワード)
- TCCS3: アドレス 1120_H (アクセス: バイト, ハーフワード, ワード)
- TCCS4: アドレス 1128_H (アクセス: バイト, ハーフワード, ワード)
- TCCS5: アドレス 1130_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
ECKE	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE	
0	0	0	0	0	0	0	0	初期値
R/W	R(RM1),W	R/W	R,W	R,W	R,W	R(RM1),W	R/W	属性
23	22	21	20	19	18	17	16	bit
BFE	STOP	MODE	SCLR	CLK3	CLK2	CLK1	CLK0	
0	1	0	0	0	0	0	0	初期値
R/W	R,W	R/W	R0,W	R/W	R/W	R/W	R/W	属性
15	14	13	12	11	10	9	8	bit
予約				MODE2	MSI5	MSI4	MSI3	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R,W	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
予約								
1	1	1	1	1	1	1	1	初期値
R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	属性

[bit31] ECKE : クロック選択ビット

ECKE	機能
0	周辺クロック
1	外部クロック

- このビットは、周辺クロックまたは外部クロックを 16 ビットフリーランタイムのカウントクロックとして選択するために使用します。
- このビットに "0" を設定した場合：
周辺クロックが選択されます。カウントクロック周波数を選択するためには、TCCS レジスタのクロック周波数選択ビット (CLK3 ～ CLK0) も選択しなければなりません。
- このビットに "1" を設定した場合：
外部クロック (FRCK) が選択されます。

(注意事項) カウントクロックは、このビットが設定されると直ちに変更されます。したがって、このビットの変更は、アウトプットコンペアとインプットキャプチャが停止している間でなければなりません。

[bit30] IRQZF :0 検出割込みフラグビット

IRQZF	機能	
	読出し時	書込み時
0	0 検出なし	このビットをクリアする
1	0 検出あり	このビットに影響を与えない

- 16 ビットフリーランタイムのカウント値が "0000_H" のとき、このビットには "1" がセットされます。
- このビットに "0" を設定した場合：このビットはクリアされます。
- このビットに "1" を設定した場合：このビットは影響を受けません。
- このビットは 0 検出割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。

16 ビットフリーランタイム動作中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=0) 時の、ソフトウェアクリア (タイマ状態制御レジスタ (TCCS) の SCLR:bit20 への "1" 書込み) では、このビットは設定されません。

アップダウンカウントモード (タイマ状態制御レジスタ (TCCS) の MODE:bit21=1) 時は、割込みマスク選択ビット (タイマ状態制御レジスタ (TCCS) の MSI2 ～ MSI0:bit28 ～ bit26 が "000_B" 以外) で設定した割込みが発生したときにこのビットに "1" が設定されます。割込みが発生しないときは、このビットに "1" は設定されません。

アップカウントモード (MODE:bit21=0) 時には、MSI2 ～ MSI0:bit28 ～ bit26 の値とは無関係に、このビットは 0 検出が発生するたびに設定されます。

ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit29] IRQZE : 0 検出割込み要求許可ビット

IRQZE	機能
0	割込み要求を禁止にする
1	割込み要求を許可する

- このビットと割込みフラグビット (IRQZF:bit30) に "1" が設定されると、CPU に対する割込み要求が生成されます。

[bit28 ～ bit26] MSI2 ～ MSI0 : 割込みマスク選択ビット

MSI2	MSI1	MSI0	機能
0	0	0	1 回目の一致が発生したときに割込み生成
0	0	1	2 回目の一致が発生したときに割込み生成
0	1	0	3 回目の一致が発生したときに割込み生成
0	1	1	4 回目の一致が発生したときに割込み生成
1	0	0	5 回目の一致が発生したときに割込み生成
1	0	1	6 回目の一致が発生したときに割込み生成
1	1	0	7 回目の一致が発生したときに割込み生成
1	1	1	8 回目の一致が発生したときに割込み生成

- タイマ状態制御レジスタ (TCCS) の MODE2:bit11=0 のとき
 - これらのビットは、アップカウントモード (タイマ状態制御レジスタ (TCCS) の MODE:bit21=0) 時には、コンペアクリア割込みのマスク回数を設定するために使用します。アップダウンカウントモード (タイマ状態制御レジスタ (TCCS) の MODE:bit21=1) 時は、0 検出割込みのマスク回数を設定するために使用します。
 - このビットに "0" を設定した場合、割込み要因はマスクされません。
- タイマ状態制御レジスタ (TCCS) の MODE2:bit11=1 のとき
 - これらのビットはアップダウンカウントモード (タイマ状態制御レジスタ (TCCS) の MODE:bit21=1) 時は、0 検出割込みのマスク回数を設定するために使用します。
 - アップカウントモード (タイマ状態制御レジスタ (TCCS) の MODE:bit21=0) の設定は禁止します。

(注意事項) 読出し値はマスクカウンタ値です。

リードモディファイライト系命令時、読出し値はマスクレジスタ値です。

書込み時の書込みデータは、マスクレジスタへ書き込まれます。

フリーランタイム動作中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=0) の、マスクレジスタへの書込み値は、マスクカウンタが 0 になったときのみ、カウンタへリロードされます。

フリーランタイム停止中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=1) の、マスクレジスタへの書込み値は、直ちにカウンタへリロードされます。

[bit25] ICLR : コンペアクリア割込みフラグビット

ICLR	機能	
	読出し時	書込み時
0	コンペアクリア一致なし	このビットをクリアする
1	コンペアクリア一致あり	このビットに影響を与えない

- コンペアクリア値と 16 ビットフリーランタイム値が一致すると、このビットには "1" が設定されます。
- このビットに "0" を設定した場合：このビットはクリアされます。
- このビットに "1" を設定した場合：このビットは影響を受けません。
- このビットはコンペアクリア一致割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。

アップカウントモード (タイマ状態制御レジスタ (TCCS) の MODE:bit21=0) の時は、割込みマスク選択ビットで設定した割込みが発生したときにこのビットに "1" が設定されます。

割込みが発生しないときは、このビットに "1" は設定されません。

アップダウンカウントモード (タイマ状態制御レジスタ (TCCS) の MODE:bit21=1) の時は、MSI2 ～ MSI0 ビットの値とは無関係に、このビットはコンペアクリアが発生するたびに設定されます。

ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

[bit24] ICRE : コンペアクリア割込み要求許可ビット

ICRE	機能
0	割込み要求を禁止にする
1	割込み要求を許可する

- このビットとコンペアクリア割込みフラグビット (ICLR:bit25) に "1" が設定されると、CPU に対する割込み要求が生成されます。

[bit23] BFE : コンペアクリアバッファ許可ビット

BFE	機能
0	コンペアクリアバッファを無効にする
1	コンペアクリアバッファを有効にする

- このビットはコンペアクリアバッファレジスタ (CPCLRB) を有効にするために使用します。
- このビットに "0" を設定した場合：
コンペアクリアバッファレジスタ (CPCLRB) は無効になります。したがって、コンペアクリアレジスタ (CPCLR) に直接書き込むことが可能です。
- このビットに "1" を設定した場合：
コンペアクリアバッファレジスタ (CPCLRB) は有効になります。コンペアクリアバッファレジスタ (CPCLRB) に書き込まれて保持されていたデータは、16 ビットフリーランタイムからのカウント値 "0" が検出されると、コンペアクリアレジスタへ転送されます。

[bit22] STOP : タイマ許可ビット

STOP	機能
0	カウントを許可する (カウント開始する)
1	カウントを禁止する (カウント停止する)

- このビットは、16 ビットフリーランタイムのカウントを停止 / 開始するために使用します。
- このビットに "0" を設定した場合：
16 ビットフリーランタイムのカウントを開始します。
- このビットに "1" を設定した場合：
16 ビットフリーランタイムのカウントを停止します。
- フリーランタイム停止中 (本ビット =1) に、タイマ状態制御レジスタ (TCCS) の SCLR:bit20=1 としても、フリーランタイムは初期化されません。
- 本ビットは、タイマ同時起動許可レジスタ (TCGSE) の FRT ビット =1 時に、タイマ同時起動レジスタ (TCGS) の GSTOP ビットに指定した値が反映されます。

[bit21] MODE : タイマカウントモードビット

MODE	機能
0	アップカウントモード
1	アップダウンカウントモード

- このビットは、16 ビットフリーランタイムのカウントモードを選択するために使用します。
- このビットに "0" を設定した場合：
アップカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致して "0000_H" にリセットされるまでカウントアップし、その後、再びカウントアップします。
- このビットに "1" を設定した場合：
アップダウンカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致するまでカウントアップしてその後、ダウンカウントに変わります。その後、カウント値が "0000_H" に達すると再びアップカウントに変わります。
- このビットは、タイマが動作中であっても停止されていても書込みが可能です。タイマが動作中の場合は、このビットに書き込まれた値はバッファに入れられ、その後、タイマ値が "0000_H" になるとバッファの値によりカウントモードが変わります。

[bit20] SCLR : タイマクリアビット

SCLR	機能	
	読出し時	書き込み時
0	常に "0" を読み出す	カウンタを初期化しない
1		カウンタを "0000 _H " に初期化

- このビットは、16 ビットフリーランタイムを "0000_H" に初期化するために使用します。
- 16 ビットフリーランタイムの初期化：
16 ビットフリーランタイム動作中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=0) に、このビットに "1" を設定した場合、16 ビットフリーランタイムは、その次のカウントクロックで "0000_H" に初期化されます。16 ビットフリーランタイム停止中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=1) に、このビットに "1" を設定した場合、16 ビットフリーランタイムは初期化されません。
- 読出し値は、必ず "0" です。
- 本ビットは、タイマ同時起動許可レジスタ (TCGSE) の FRT ビット =1 時に、タイマ同時起動レジスタ (TCGS) の GSTOP ビットに指定した値が反映されます。

(注意事項) このビットに "1" を書き込んでも、0 検出割込みは生成されません。

"1" を設定した後、次のカウントクロックの前に "0" を書き込むとタイマクリアは行われません。

[bit19 ～ bit16] CLK3 ～ CLK0 : クロック周波数選択ビット

CLK3	CLK2	CLK1	CLK0	機能					
				カウント クロック	$\phi=40\text{MHz}$	$\phi=20\text{MHz}$	$\phi=10\text{MHz}$	$\phi=5\text{MHz}$	$\phi=2.5\text{MHz}$
0	0	0	0	ϕ	25ns	50ns	100ns	200ns	400ns
0	0	0	1	$\phi/2$	50ns	100ns	200ns	400ns	800ns
0	0	1	0	$\phi/4$	100ns	200ns	400ns	800ns	1.6 μs
0	0	1	1	$\phi/8$	200ns	400ns	800ns	1.6 μs	3.2 μs
0	1	0	0	$\phi/16$	400ns	800ns	1.6 μs	3.2 μs	6.4 μs
0	1	0	1	$\phi/32$	800ns	1.6 μs	3.2 μs	6.4 μs	12.8 μs
0	1	1	0	$\phi/64$	1.6 μs	3.2 μs	6.4 μs	12.8 μs	25.6 μs
0	1	1	1	$\phi/128$	3.2 μs	6.4 μs	12.8 μs	25.6 μs	51.2 μs
1	0	0	0	$\phi/256$	6.4 μs	12.8 μs	25.6 μs	51.2 μs	102.4 μs
その他 設定禁止				-	-	-	-	-	-

注) ϕ : 周辺クロック

- このビットは、16 ビットフリーランタイムのカウントクロック周波数を選択するために使用します。

(注意事項) CLK3 ～ CLK0 ビットを設定する場合、必ずフリーランタイムが停止していることを確認してください。

[bit15 ～ bit12] 予約

必ず "0" を書き込んでください。

[bit11] MODE2 : 割込みマスクモードビット 2

MODE2	MODE*	機能
0	0	MSI5 ~ MSI3 の設定値は無効
0	1	MSI5 ~ MSI3 の設定値は無効
1	0	設定禁止 (動作は保証されません)
1	1	MSI5 ~ MSI3 の設定値が有効

- このビットは、16 ビットフリーランタイムがアップダウンカウントモード時 (タイマ状態制御レジスタ (TCCS) の MODE:bit21=1), 0 検出割込みとコンペアクリア割込みを、それぞれ独立してマスクするために使用します。
- タイマ状態制御レジスタ (TCCS) の MODE:bit21="1" のとき、このビットに "1" を設定した場合、本レジスタの MSI5 ~ MSI3:bit10 ~ bit8 に設定した値が有効となり、コンペアクリア割込みを設定した回数マスクします。0 検出割込みのマスク回数は、タイマ状態制御レジスタ (TCCS) の MSI2 ~ MSI0:bit28 ~ bit26 に設定した値が有効となります。

(注意事項) タイマ状態制御レジスタ (TCCS) の MODE:bit21="0" のとき、このビットに "1" を設定した場合、動作は保証されません。

[bit10 ~ bit8] MSI5 ~ MSI3 : コンペアクリア割込みマスク選択ビット

MSI5	MSI4	MSI3	機能
0	0	0	1 回目の一致が発生したときに割込み発生
0	0	1	2 回目の一致が発生したときに割込み発生
0	1	0	3 回目の一致が発生したときに割込み発生
0	1	1	4 回目の一致が発生したときに割込み発生
1	0	0	5 回目の一致が発生したときに割込み発生
1	0	1	6 回目の一致が発生したときに割込み発生
1	1	0	7 回目の一致が発生したときに割込み発生
1	1	1	8 回目の一致が発生したときに割込み発生

- このビットは、本レジスタの MODE2:bit11=1 かつタイマ状態制御レジスタ (TCCS) の MODE:bit21=1 のときのみ有効で、コンペアクリア割込みのマスク回数を設定するために使います。0 検出割込みのマスク回数はタイマ状態制御レジスタ (TCCS) の MSI2 ~ MSI0:bit28 ~ bit26 で設定します。
- このビットに "000_B" を設定した場合、コンペアクリア割込み要因はマスクされません。

(注意事項) 読出し値はマスクカウンタ値です。

リードモディファイライト系命令時、読出し値はマスクレジスタ値です。

書込み時の書込みデータは、マスクレジスタへ書き込まれます。

フリーランタイム動作中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=0) の時は、マスクレジスタへの書込み値は、マスクカウンタが "0" になったときのみ、カウンタヘリロードされます。

フリーランタイム停止中 (タイマ状態制御レジスタ (TCCS) の STOP:bit22=1) の時は、マスクレジスタへの書込み値は、直ちにカウンタヘリロードされます。

[bit7 ~ bit0] 予約

必ず "1" を書き込んでください。

43.4.3 フリーランタイムセレクトのレジスタ

フリーランタイムセレクトには、フリーランタイム選択レジスタがあります。

43.4.3.1 フリーランタイム選択レジスタ :FRS

フリーランタイム選択レジスタ (FRS) は、各インプットキャプチャ、アウトプットコンペア、A/D 起動コンペアに対して、6 チャンネルあるフリーランタイムのいずれかを割り当てるかを設定します。

• FRS0: アドレス 1134_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
予約								
1	1	1	1	1	1	1	1	初期値
R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	属性
23	22	21	20	19	18	17	16	bit
予約	OS52	OS51	OS50	予約	OS42	OS41	OS40	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性
15	14	13	12	11	10	9	8	bit
予約	OS32	OS31	OS30	予約	OS22	OS21	OS20	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
予約	OS12	OS11	OS10	予約	OS02	OS01	OS00	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

• FRS2: アドレス 113C_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
予約								
1	1	1	1	1	1	1	1	初期値
R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	属性
23	22	21	20	19	18	17	16	bit
予約	OS112	OS111	OS110	予約	OS102	OS101	OS100	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性
15	14	13	12	11	10	9	8	bit
予約	OS92	OS91	OS90	予約	OS82	OS81	OS80	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
予約	OS72	OS71	OS70	予約	OS62	OS61	OS60	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

[bit31 ～ bit24] 予約

必ず "1" を書き込んでください。

[bit23] 予約

必ず "0" を書き込んでください。

[bit22 ～ bit20] OS112 ～ OS110 : アウトプットコンペア用フリーランタイムセレクトラ選択ビット

OS52/ OS112	OS51/ OS111	OS50/ OS110	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

• アウトプットコンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit19] 予約

必ず "0" を書き込んでください。

[bit18 ～ bit16] OS102 ～ OS100 : アウトプットコンペア用フリーランタイムセレクトラ選択ビット

OS42/ OS102	OS41/ OS101	OS40/ OS100	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

• アウトプットコンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit15] 予約

必ず "0" を書き込んでください。

[bit14 ～ bit12] OS92 ～ OS90 : アウトプットコンペア用フリーランタイムセクタ選択ビット

OS32/ OS92	OS31/ OS91	OS30/ OS90	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

• アウトプットコンペアに対して割り当てるフリーランタイムを設定します。
(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit11] 予約

必ず "0" を書き込んでください。

[bit10 ～ bit8] OS82 ～ OS80 : アウトプットコンペア用フリーランタイムセクタ選択ビット

OS22/ OS82	OS21/ OS81	OS20/ OS80	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

• アウトプットコンペアに対して割り当てるフリーランタイムを設定します。
(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit7] 予約

必ず "0" を書き込んでください。

[bit6 ～ bit4] OS72 ～ OS70 : アウトプットコンペア用フリーランタイムセレクトラ選択ビット

OS12/ OS72	OS11/ OS71	OS10/ OS70	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

• アウトプットコンペアに対して割り当てるフリーランタイムを設定します。
(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit3] 予約

必ず "0" を書き込んでください。

[bit2 ～ bit0] OS62 ～ OS60 : アウトプットコンペア用フリーランタイムセレクトラ選択ビット

OS02/ OS62	OS01/ OS61	OS00/ OS60	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

• アウトプットコンペアに対して割り当てるフリーランタイムを設定します。
(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

• FRS1: アドレス 1138_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
予約								
1	1	1	1	1	1	1	1	初期値
R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	属性
23	22	21	20	19	18	17	16	bit
予約								
1	1	1	1	1	1	1	1	初期値
R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	属性
15	14	13	12	11	10	9	8	bit
予約	IS32	IS31	IS30	予約	IS22	IS21	IS20	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
予約	IS12	IS11	IS10	予約	IS02	IS01	IS00	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

• FRS3: アドレス 1140_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
予約								
1	1	1	1	1	1	1	1	初期値
R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	属性
23	22	21	20	19	18	17	16	bit
予約								
1	1	1	1	1	1	1	1	初期値
R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	属性
15	14	13	12	11	10	9	8	bit
予約	IS72	IS71	IS70	予約	IS62	IS61	IS60	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
予約	IS52	IS51	IS50	予約	IS42	IS41	IS40	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

[bit31 ~ bit16] 予約

必ず "1" を書き込んでください。

[bit15] 予約

必ず "0" を書き込んでください。

[bit14 ～ bit12] IS72 ～ IS70 : インプットキャプチャ用フリーランタイムセレクトビット

IS32/ IS72	IS31/ IS71	IS30/ IS70	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•インプットキャプチャに対して割り当てるフリーランタイムを設定します。
(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit11] 予約

必ず "0" を書き込んでください。

[bit10 ～ bit8] IS62 ～ IS60 : インプットキャプチャ用フリーランタイムセレクト選択ビット

IS22/ IS62	IS21/ IS61	IS20/ IS60	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•インプットキャプチャに対して割り当てるフリーランタイムを設定します。
(注意事項) このビットを設定する前に, 必ずフリーランタイムが停止していることを確認してください。

[bit7] 予約

必ず "0" を書き込んでください。

[bit6 ～ bit4] IS52 ～ IS50 : インプットキャプチャ用フリーランタイムセレクト選択ビット

IS12/ IS52	IS11/ IS51	IS10/ IS50	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•インプットキャプチャに対して割り当てるフリーランタイムを設定します。
(注意事項) このビットを設定する前に, 必ずフリーランタイムが停止していることを確認してください。

[bit3] 予約

必ず "0" を書き込んでください。

[bit2 ～ bit0] IS42 ～ IS40 : インพุットキャプチャ用フリーランタイムセレクトビット

IS02/ IS42	IS01/ IS41	IS00/ IS40	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
0	1	0	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•インพุットキャプチャに対して割り当てるフリーランタイムを設定します。
(注意事項) このビットを設定する前に, 必ずフリーランタイムが停止していることを確認してください。

• FRS4: アドレス 1144_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
予約	AS72	AS71	AS70	予約	AS62	AS61	AS60	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

23	22	21	20	19	18	17	16	bit
予約	AS52	AS51	AS50	予約	AS42	AS41	AS40	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

15	14	13	12	11	10	9	8	bit
予約	AS32	AS31	AS30	予約	AS22	AS21	AS20	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

7	6	5	4	3	2	1	0	bit
予約	AS12	AS11	AS10	予約	AS02	AS01	AS00	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

• FRS5: アドレス 1148_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
予約	AS152	AS151	AS150	予約	AS142	AS141	AS140	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

23	22	21	20	19	18	17	16	bit
予約	AS132	AS131	AS130	予約	AS122	AS121	AS120	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

15	14	13	12	11	10	9	8	bit
予約	AS112	AS111	AS110	予約	AS102	AS101	AS100	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

7	6	5	4	3	2	1	0	bit
予約	AS92	AS91	AS90	予約	AS82	AS811	AS80	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

• FRS6: アドレス 114C_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
予約	AS232	AS231	AS230	予約	AS222	AS221	AS220	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性
23	22	21	20	19	18	17	16	bit
予約	AS212	AS211	AS210	予約	AS202	AS201	AS200	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性
15	14	13	12	11	10	9	8	bit
予約	AS192	AS191	AS190	予約	AS182	AS181	AS180	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
予約	AS172	AS171	AS170	予約	AS162	AS161	AS160	
0	0	0	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	属性

[bit31] 予約

必ず "0" を書き込んでください。

[bit30 ～ bit28] AS232 ～ AS230 :A/D 起動コンペア用フリーランタイムセレクトビット

AS72/ AS152/ AS232	AS71/ AS151/ AS231	AS70/ AS150/ AS230	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit27] 予約

必ず "0" を書き込んでください。

[bit26 ～ bit24] AS222 ～ AS220 : A/D 起動コンペア用フリーランタイムセレクトタ選択ビット

AS62/ AS142/ AS222/	AS61/ AS141/ AS221	AS60/ AS140/ AS220	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit23] 予約

必ず "0" を書き込んでください。

[bit22 ～ bit20] AS212 ～ AS210 :A/D 起動コンペア用フリーランタイムセレクトタ選択ビット

AS52/ AS132/ AS212	AS51/ AS131/ AS211/	AS50/ AS130/ AS210	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit19] 予約

必ず "0" を書き込んでください。

[bit18 ～ bit16] AS202 ～ AS200 :A/D 起動コンペア用フリーランタイムセレクトラ選択ビット

AS42/ AS122/ AS202	AS41/ AS121/ AS201	AS40/ AS120/ AS200	機能
0	0	0	フリーランタイム 0
0	0	0	フリーランタイム 1
0	0	1	フリーランタイム 2
0	0	1	フリーランタイム 3
0	1	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit15] 予約

必ず "0" を書き込んでください。

[bit14 ～ bit12] AS192 ～ AS190 :A/D 起動コンペア用フリーランタイムセレクトラ選択ビット

AS32/ AS112/ AS192	AS31/ AS111/ AS191	AS30/ AS110/ AS190	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit11] 予約

必ず "0" を書き込んでください。

[bit10 ～ bit8] AS182 ～ AS180 : A/D 起動コンペア用フリーランタイムセレクトラ選択ビット

AS22/ AS102/ AS182	AS21/ AS101/ AS181	AS20/ AS100/ AS180	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit7] 予約

必ず "0" を書き込んでください。

[bit6 ～ bit4] AS172 ～ AS170 : A/D 起動コンペア用フリーランタイムセレクトラ選択ビット

AS12/ AS92/ AS172	AS11/ AS91/ AS171	AS10/ AS90/ AS170	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

[bit3] 予約

必ず "0" を書き込んでください。

[bit2 ～ bit0] AS162 ～ AS160 : A/D 起動コンペア用フリーランタイムセレクトラ選択ビット

AS02/ AS82/ AS162	AS01/ AS81/ AS161	AS00/ AS80/ AS160	機能
0	0	0	フリーランタイム 0
0	0	1	フリーランタイム 1
0	1	0	フリーランタイム 2
0	1	1	フリーランタイム 3
1	0	0	フリーランタイム 4
1	0	1	フリーランタイム 5
その他			設定禁止 (動作を保証しません)

•A/D 起動コンペアに対して割り当てるフリーランタイムを設定します。

(注意事項) このビットを設定する前に, 必ずフリーランタイムが停止していることを確認してください。

43.5 動作説明

● フリーランタイム同時起動

6 個ある 16 ビットフリーランタイムのうち指定した 16 ビットフリーランタイムを同時起動 / クリアします。

● 16 ビットフリーランタイム

16 ビットフリーランタイムはカウント動作を許可すると、タイマデータレジスタ (TCDT) に設定されている値からカウントアップを開始します。カウント値は、16 ビットアウトプットコンペアと 16 ビットインプットキャプチャの基準時間として使用されます。

● フリーランタイムセクタ

16 ビットアウトプットコンペア、16 ビットインプットキャプチャそれぞれに対して、フリーランタイム入力を選択できます。

43.5.1 16 ビットフリーランタイムの割込み

16 ビットフリーランタイムの割込み制御ビットと割込み要因を表 43.5-1 に示します。

表 43.5-1 16 ビットフリーランタイムの割込み制御ビットと割込み要因

	16 ビットフリーランタイム	
	コンペアクリア	0 検出
割込み要求 フラグビット	タイマ状態制御レジスタ (TCCS) の ICLR:bit25	タイマ状態制御レジスタ (TCCS) の IRQZF:bit30
割込み要求 許可ビット	タイマ状態制御レジスタ (TCCS) の ICRE:bit24	タイマ状態制御レジスタ (TCCS) の IRQZE:bit29
割込み要因	16 ビットフリーランタイム値が コンペアクリアレジスタ (CPCLR) と一致する	16 ビットフリーランタイム値が "0000 _H " になる

16 ビットフリーランタイムの値がコンペアクリアレジスタ (CPCLR) と一致すると、タイマ状態制御レジスタ (TCCS) の ICLR:bit25 がセットされます。セット状態において割込み要求が許可 (TCCS) の ICRE:bit24=1) になると、割込み要求が割込みコントローラへ出力されます。

タイマ値が "0000_H" になると、タイマ状態制御レジスタ (TCCS) の IRQZF:bit30 がセットされます。セット状態において割込み要求が許可 (TCCS の IRQZE:bit29=1) になると、割込み要求が割込みコントローラへ出力されます。

43.5.2 16 ビットフリーランタイムの動作

16 ビットフリーランタイムは、リセット完了後、タイマデータレジスタ (TCDT) に設定されている値からカウントアップを開始します。カウント値は、16 ビットアウトプットコンペアと 16 ビットインプットキャプチャの基準時間として使用されます。

43.5.2.1 タイマクリア

16 ビットフリーランタイムのカウント値は、下記のいずれかの場合にクリアされます。

- アップカウントモード (TCCS レジスタの MODE:bit21=0) によってコンペアクリアレジスタとの一致が検出された場合
- 動作中に TCCS レジスタの SCLR:bit20 に "1" が書き込まれた場合
- 停止中に TCDT レジスタに "0000_H" が書き込まれた場合
- リセットされた場合

リセットされると、カウンタは直ちにクリアされます。ソフトウェアクリアされた場合、またはコンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

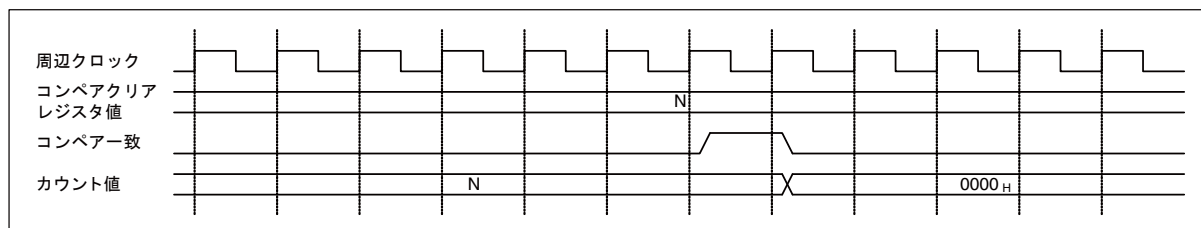
< 注意事項 >

停止中に TCCS レジスタの SCLR:bit20 に "1" が書き込まれても、16 ビットフリーランタイムのカウント値はクリアされません。

アップダウンカウントモード中 (タイマ状態制御レジスタ (TCCS) の MODE:bit21=1) に TCDT レジスタに "0000_H" を書き込むと、意図しないカウントを行う可能性があります。

アップダウンカウントモード中 (タイマ状態制御レジスタ (TCCS) の MODE:bit21=1) の TCDT レジスタの設定手順については「43.4.2.2 タイマデータレジスタ : TCDT0 ～ TCDT5」を参照してください。

図 43.5-1 16 ビットフリーランタイムのクリアタイミング



43.5.2.2 タイマモード

16 ビットフリーランタイムでは、以下のどちらかのモードを選択できます。

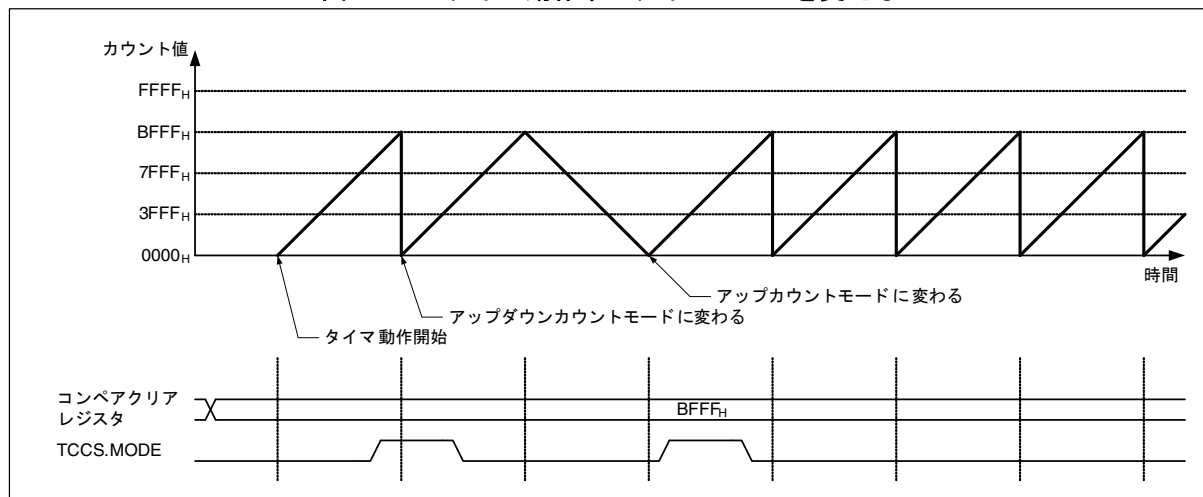
- アップカウントモード (TCCS レジスタの MODE:bit21=0)
- アップダウンカウントモード (TCCS レジスタの MODE:bit21=1)

アップカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ (TCDDT) からカウントを開始し、カウント値がコンペアクリアレジスタ (CPCLR) の値と一致するまでカウントアップし、カウンタは "0000_H" にクリアされて再びカウントアップします。

アップダウンカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ (TCDDT) からカウントを開始し、カウント値がコンペアクリアレジスタ (CPCLR) の値と一致するまでカウントアップし、カウントがアップカウントからダウンカウントに変わり、カウンタ値が "0000_H" に達するまでカウントダウンして再びカウントアップします。

モードビット (TCCS レジスタの MODE:bit21) には、タイマが動作中であろうと停止していようと、いつでも値を書き込むことができます。タイマ動作中にこのビットに書き込まれた値はバッファに入れられ、カウントモードはタイマ値が "0000_H" になると変わります。

図 43.5-2 タイマ動作中にタイマモードを変える



43.5.2.3 コンペアクリアバッファ

コンペアクリアレジスタ (CPCLR) には、有効または無効にすることができるバッファ機能が存在します。バッファ機能が有効 (TCCS レジスタの BFE:bit23=1) の場合は、コンペアクリアバッファレジスタ (CPCLRB) に書き込まれたデータは、16 ビットフリーランタイム値 "0" が検出されると CPCLR レジスタに転送されます。バッファ機能が無効 (TCCS レジスタの BFE:bit23=0) の場合は、データは CPCLR レジスタに直接書き込むことができます。

図 43.5-3 コンペアクリアバッファが無効 (TCCS レジスタ BFE:bit23=0) 時のアップカウントモードによる動作

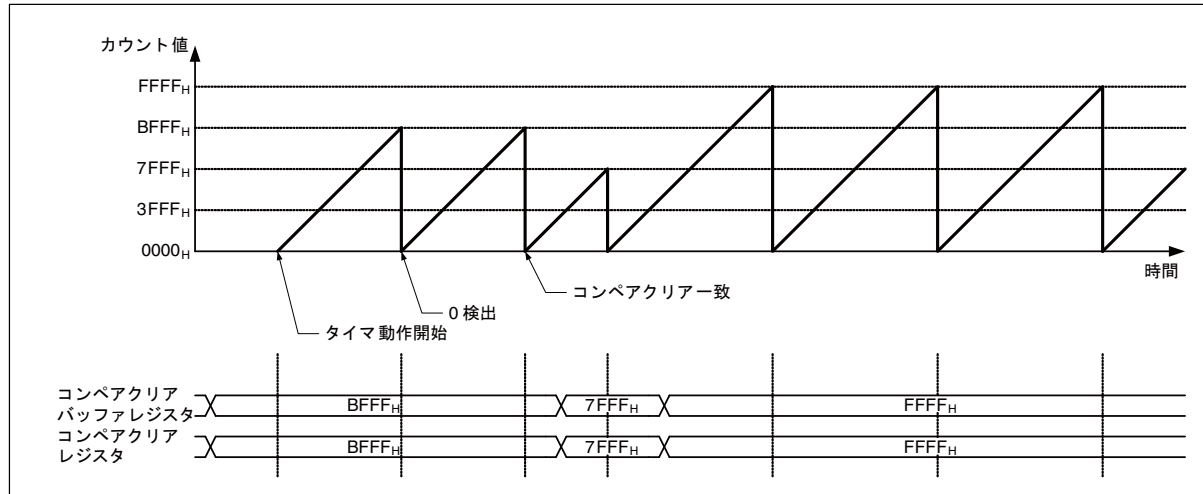


図 43.5-4 コンペアクリアバッファが有効 (TCCS レジスタ BFE:bit23=1) 時のアップカウントモードによる動作

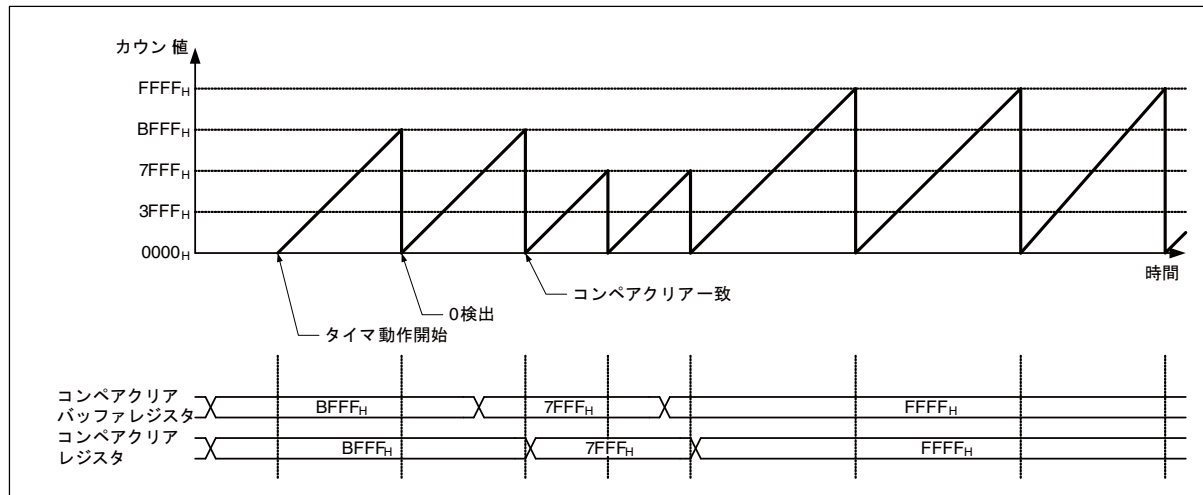
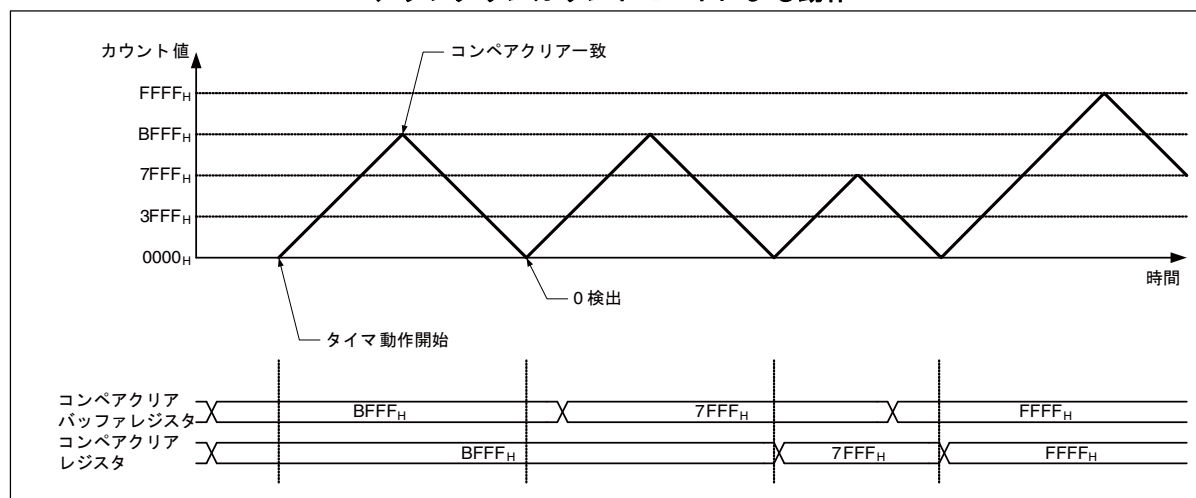


図 43.5-5 コンペアクリアバッファが有効 (TCCS レジスタ BFE:bit23=1) 時の
アップダウンカウントモードによる動作



43.5.2.4 タイマ割込み

16 ビットフリーランタイムでは、以下の 2 つの割込みを生成できます。

- コンペアクリア割込み
- 0 検出割込み

コンペアクリア割込みは、タイマ値がコンペアクリアレジスタの値と一致すると生成されます。

0 検出割込みは、タイマ値が "0000_H" に達すると生成されます。

< 注意事項 >

ソフトウェアクリア (TCCS レジスタの SCLR:bit20=1) は、0 検出割込みを生成しません。

図 43.5-6 アップカウントモード (TCCS レジスタ MODE:bit21=0) で生成された割込み

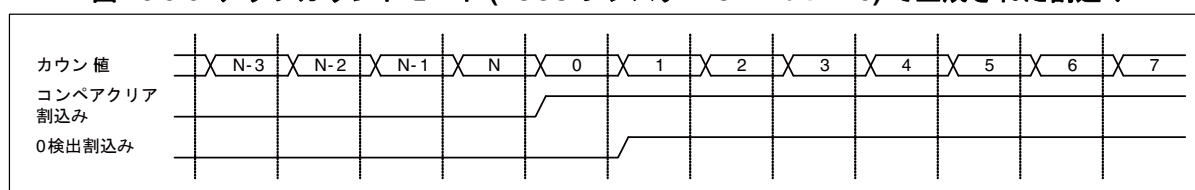
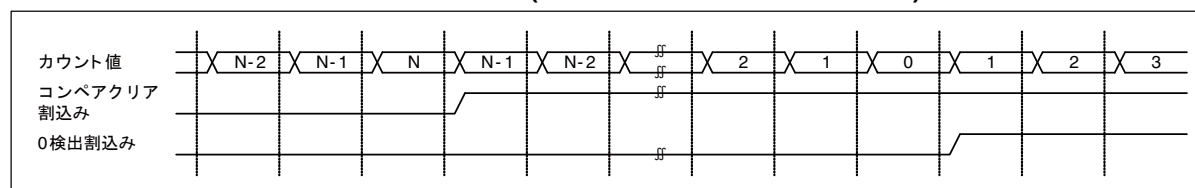


図 43.5-7 アップダウンカウントモード (TCCS レジスタ MODE:bit21=1) で生成された割込み



43.5.2.5 割込みマスク機能

0 検出割込み / コンペア一致割込みのどちらか 1 つ、もしくは両方をマスクできます。以下にどちらか 1 つの割込みをマスクする場合について説明します。

- TCCS レジスタの MSI2 ～ MSI0:bit28 ～ bit26 を設定すると割込み要求をマスクできます。MSI2 ～ MSI0 ビットは、カウント値が "000_B" に達すると値をリロードする 3 ビットリロードダウンレジスタです。カウント値は MSI2 ～ MSI0 ビットに直接書くことによってもロードできます。マスクカウントは、MSI2 ～ MSI0 に設定された値です。MSI2 ～ MSI0 ビットが "000_B" になると、割込み要求はマスクされません。
- 割込み要求はカウントモード (TCCS レジスタの MODE:bit21) によって異なります。アップカウントモード時は、コンペアクリア割込みのみをマスクすることができ、0 検出割込みは "0" が検出されるたびに生成されます。アップダウンカウントモード時は 0 検出割込みのみをマスクできます。

以下に両方の割込み要求をマスクする場合について説明します。

- フリーランタイムがアップダウンカウントモード時のみ、TCCS レジスタの MODE2=1 かつ TCCS レジスタの MODE=1 にすると両方の割込みマスクができます。

0 検出割込みマスク用には TCCS レジスタの MSI2 ～ MSI0 ビットを、コンペアクリア割込みマスク用には TCCS レジスタの MSI5 ～ MSI3 ビットを使用します。

< 注意事項 >

ソフトウェアクリア (TCCS レジスタの SCLR:bit20=1) は、0 検出割込みを生成しません。

図 43.5-8 アップカウントモードでマスクされるコンペアクリア割込み

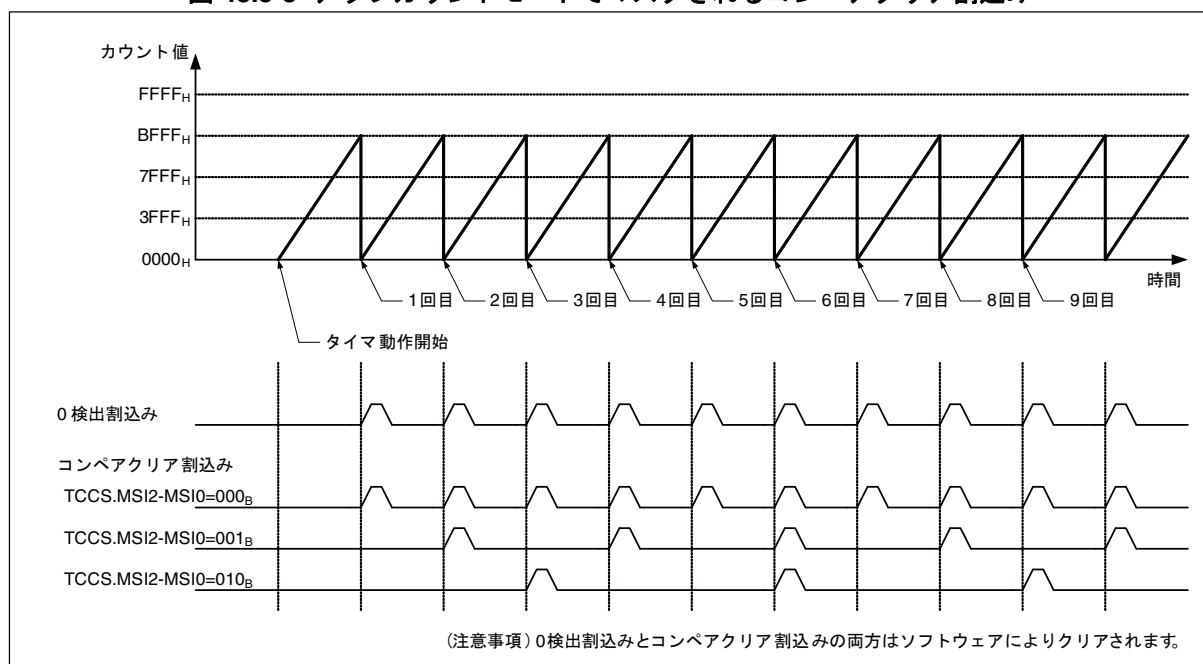


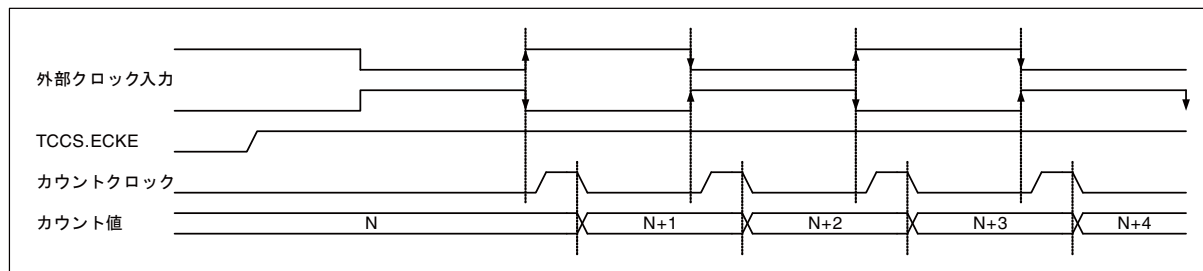
Figure 10-10 illustrates the timing of the TCCS counter. The top graph shows the counter value (カウント値) on the y-axis (0000H to FFFFH) versus time (時間) on the x-axis. The counter increments linearly and then resets, repeating this cycle 6 times. The bottom graph shows the timing of the 'コンペアクリア割込み' (Compare Clear Interrupt) and '0 検出割込み' (Zero Detect Interrupt) signals. The 'コンペアクリア割込み' signal is active during the reset phase of each cycle. The '0 検出割込み' signal is active when the counter value reaches 0000H at the start of each cycle. Vertical dashed lines indicate the timing of the 'タイマ動作開始' (Timer operation start) and the beginning of each cycle.

Figure 10 is a timing diagram for the TCCS counter. The top graph shows the counter value (カウント値) on the y-axis (0000H to FFFFH) versus time (時間) on the x-axis. The counter increments from 0000H to FFFFH and then resets to 0000H, repeating this cycle six times. The bottom graph shows the timing of the counter reset signals: TCCS.MSI5-MSI3=000B, TCCS.MSI5-MSI3=01B, and TCCS.MSI5-MSI3=010B for the 5-bit counter, and TCCS.MSI2-MSI0=000B, TCCS.MSI2-MSI0=001B, and TCCS.MSI2-MSI0=010B for the 3-bit counter. Vertical dashed lines indicate the start of each counter cycle.

43.5.2.6 選択された外部カウントクロック

16 ビットフリーランタイムは、入力クロック（周辺クロックまたは外部クロック）に基づいてインクリメントされます。外部クロックが選択されると、外部クロックモード (TCCS レジスタの ECKE:bit31=1) が選択された後、16 ビットフリーランタイムは外部入力の初期値が "1" の場合、立上りエッジでカウントアップを開始します。その後は両エッジでカウントアップします。外部入力の初期値が "0" の場合、立下りエッジでカウントアップを開始します。その後は両エッジでカウントアップします。

図 43.5-11 16 ビットフリーランタイムのカウントタイミング



< 注意事項 >

外部クロック入力のカウントは、外部クロックの両エッジとなります。

43.5.3 フリーランタイムセクタの動作

フリーランタイムセクタは、アウトプットコンペア、インプットキャプチャ、AD 起動コンペア用のフリーランタイム入力を設定するために使用します。

本チップにはそれぞれ、6 個のフリーランタイム、6 個 (12ch) のアウトプットコンペア、4 個 (8ch) のインプットキャプチャ構成で、さらに A/D 起動コンペアは 24 チャンネル構成なので、それぞれ以下の表に示したレジスタにより選択できます。

表 43.5-2 レジスタ対応表 (1 / 2)

リソース	レジスタ	備考
OCU0	FRS0.OS0[2:0]	アウトプットコンペア
OCU1	FRS0.OS1[2:0]	
OCU2	FRS0.OS2[2:0]	
OCU3	FRS0.OS3[2:0]	
OCU4	FRS0.OS4[2:0]	
OCU5	FRS0.OS5[2:0]	
ICU0	FRS1.IS0[2:0]	インプットキャプチャ
ICU1	FRS1.IS1[2:0]	
ICU2	FRS1.IS2[2:0]	
ICU3	FRS1.IS3[2:0]	
OCU6	FRS2.OS6[2:0]	アウトプットコンペア
OCU7	FRS2.OS7[2:0]	
OCU8	FRS2.OS8[2:0]	
OCU9	FRS2.OS9[2:0]	
OCU10	FRS2.OS10[2:0]	
OCU11	FRS2.OS11[2:0]	
ICU4	FRS3.IS4[2:0]	インプットキャプチャ
ICU5	FRS3.IS5[2:0]	
ICU6	FRS3.IS6[2:0]	
ICU7	FRS3.IS7[2:0]	

表 43.5-2 レジスタ対応表 (2 / 2)

リソース	レジスタ	備考
ADT0	FRS4.AS0[2:0]	A/D 起動コンペア
ADT1	FRS4.AS1[2:0]	
ADT2	FRS4.AS2[2:0]	
ADT3	FRS4.AS3[2:0]	
ADT4	FRS4.AS4[2:0]	
ADT5	FRS4.AS5[2:0]	
ADT6	FRS4.AS6[2:0]	
ADT7	FRS4.AS7[2:0]	
ADT8	FRS5.AS8[2:0]	
ADT9	FRS5.AS9[2:0]	
ADT10	FRS5.AS10[2:0]	
ADT11	FRS5.AS11[2:0]	
ADT12	FRS5.AS12[2:0]	
ADT13	FRS5.AS13[2:0]	
ADT14	FRS5.AS14[2:0]	
ADT15	FRS5.AS15[2:0]	
ADT16	FRS6.AS16[2:0]	
ADT17	FRS6.AS17[2:0]	
ADT18	FRS6.AS18[2:0]	
ADT19	FRS6.AS19[2:0]	
ADT20	FRS6.AS20[2:0]	
ADT21	FRS6.AS21[2:0]	
ADT22	FRS6.AS22[2:0]	
ADT23	FRS6.AS23[2:0]	

表 43.5-3 設定値対応表

設定値	フリーランタイム
000 _B	FRT0(初期状態)
001 _B	FRT1
010 _B	FRT2
011 _B	FRT3
100 _B	FRT4
101 _B	FRT5
0110 _B	設定禁止 (動作を保証しません)
0111 _B	

< 注意事項 >

フリーランタイム選択レジスタを設定する前に必ずフリーランタイムを停止させてください。

43.5.4 動作仕様注意事項

43.5.4.1 バッファレジスタへアクセス時の注意

フリーランタイム内の CPCLR レジスタにはバッファ機能があります。このレジスタに対して、リードモディファイライト系命令でのアクセスは行わないでください。

43.5.4.2 16 ビットフリーランタイムの使用上の注意

● プログラムによる設定上の注意

- リセットを実行するとタイマ値が "0000_H" になりますが、0 検出割込みフラグは設定されません。
- タイマモードビット (TCCS レジスタの MODE) には、バッファがあるので、ゼロ検出後に変更されたタイマモードが有効になります。
- ソフトウェアクリア (TCCS レジスタの SCLR=1) はタイマを初期化しますが、ゼロ検出割込みを生成しません。
- コンペア値とカウント値が一致しているときにカウントを開始する場合は、コンペアクリアフラグは設定されません。
- コンペア値は、"0000_H" 以外の値となるように設定してください。仮に設定した場合は、以下の動作となりますので、ご注意ください。
 - タイマモードビット (TCCS レジスタの MODE) がアップカウントモードのときは、タイマ値が "0000_H" に更新されてからタイマ値は "0000_H" 固定となります。0 検出割込みフラグとコンペアクリアフラグがカウントクロックごとに設定され続けます。
 - タイマモードビット (TCCS レジスタの MODE) がアップダウンカウントモードのときは、タイマ値は "0000_H" から "FFFF_H" までのアップカウント動作を繰り返します。0 検出割込みフラグとコンペアクリアフラグはタイマ値が "0000_H" と一致すると設定されます。

● 割込みの注意

- タイマ状態制御レジスタ (TCCS) の割込み要求許可ビット (IRQZE) に "1" を設定する前に、必ず割込みフラグ (IRQZF) をクリアしてください。
- タイマ状態制御レジスタ (TCCS) の割込み要求許可ビット (ICRE) に "1" を設定する前に、必ず割込みフラグ (ICLR) をクリアしてください。

● TCCS レジスタアクセス時の注意

- リードモディファイライト系命令の場合、MSI2 ～ MSI0/MSI5 ～ MSI3 からは設定値が読み出されます。
- 通常の読出し時の場合、MSI2 ～ MSI0/MSI5 ～ MSI3 からはカウント値が読み出されます。

43.5.4.3 フリーランタイムセレクタの使用上の注意

必ずフリーランタイムの停止中に選択設定を行ってください。

第 44 章 インพุットキャプチャ

44.1 概要

8 個の 16 ビットインพุットキャプチャが搭載されています。

44.2 特長

■ 16 ビットインพุットキャプチャの機能

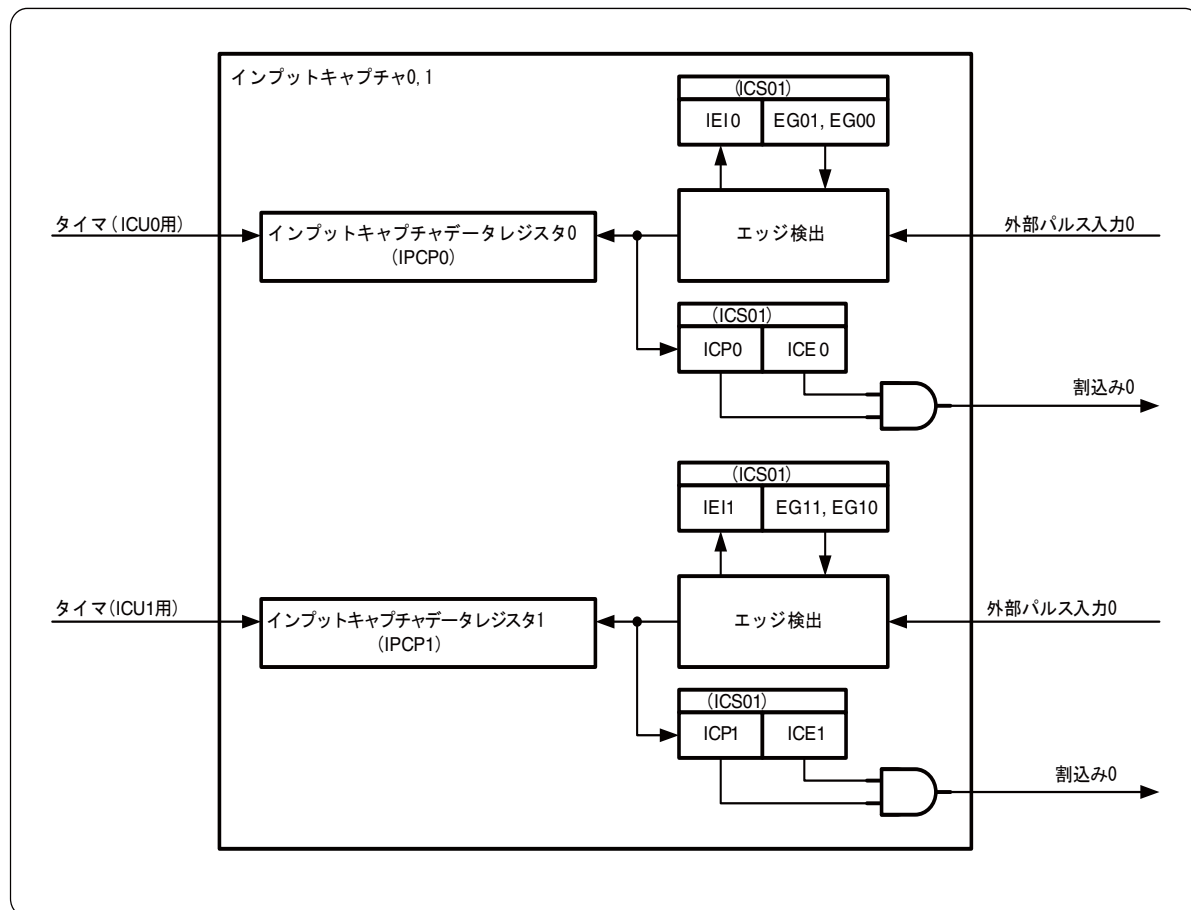
- インพุットキャプチャは、8 つの独立した外部入力端子と、この端子に対応するキャプチャレジスタおよびキャプチャ制御レジスタから構成されています。外部端子において入力信号のエッジを検出すると、16 ビットフリーランタイムの値をキャプチャレジスタへ格納することができ、また、割込みも同時に生成されます。
- 外部入力信号の 3 種類のトリガエッジ (立上りエッジ, 立下りエッジ, およびその両方のエッジ) を選択することができ、また、トリガエッジが立上りエッジであるか立下りエッジであるかを示すレジスタがあります。
- 8 つのインพุットキャプチャを別々に動作させることができます。
- 割込みは外部入力からの有効エッジが検出されると生成されます。
- 各コンペアユニットに対応するフリーランタイムのチャンネルを任意に設定することが可能です。
- インพุットキャプチャが 8 チャンネルあり、それぞれフリーランタイム 0 ～ 5 のいずれかをインพุットキャプチャ 0 ～ 7 用入力として選択することが可能です。選択はフリーランタイム選択レジスタ : FRS1 と FRS3 にて設定できます。詳細は「43.4.3.1 フリーランタイム選択レジスタ : FRS」を参照してください。

管理コード : FS23-1v0-91580L-1-J

44.3 構成

■ 16 ビットインพุットキャプチャの構成

図 44.3-1 16 ビットインพุットキャプチャの構成 (0, 1ch の場合)



44.4 レジスタ

■ ベースアドレス (Base-addr) ・ 外部端子一覧

チャンネル	Base_addr	外部端子名
0	0x1184	IN0
1	0x1184	IN1
2	0x118C	IN2
3	0x118C	IN3
4	0x1194	IN4
5	0x1194	IN5
6	0x119C	IN6
7	0x119C	IN7

■ 16 ビットインพุットキャプチャのレジスタ一覧

表 44.4-1 16 ビットインพุットキャプチャのレジスタ一覧

アドレス	+0	+1	+2	+3
0000_1184	インพุットキャプチャデータレジスタ 0 (IPCP0)		インพุットキャプチャデータレジスタ 1 (IPCP1)	
0000_1188	インพุットキャプチャ状態制御レジスタ 01 (ICS01)		予約	Sync 切換えレジスタ (LSYNS)
0000_118C	インพุットキャプチャデータレジスタ 2 (IPCP2)		インพุットキャプチャデータレジスタ 3 (IPCP3)	
0000_1190	インพุットキャプチャ状態制御レジスタ 23 (ICS23)		予約	予約
0000_1194	インพุットキャプチャデータレジスタ 4 (IPCP4)		インพุットキャプチャデータレジスタ 5 (IPCP5)	
0000_1198	インพุットキャプチャ状態制御レジスタ 45 (ICS45)		予約	予約
0000_119C	インพุットキャプチャデータレジスタ 6 (IPCP6)		インพุットキャプチャデータレジスタ 7 (IPCP7)	
0000_11A0	インพุットキャプチャ状態制御レジスタ 67 (ICS67)		予約	予約

44.4.1 16 ビットインพุットキャプチャのレジスタ

16 ビットインพุットキャプチャには , インพุットキャプチャデータレジスタ , およびインพุットキャプチャ状態制御レジスタがあります。

44.4.1.1 インพุットキャプチャデータレジスタ : IPCP0 ~ IPCP7

インพุットキャプチャデータレジスタ (IPCP) は , 入力波形の有効エッジが検出されたときのフリーランタイムのカウント値を保持するために使用します。

x : チャネル番号 0,2,4,6

y : チャネル番号 1,3,5,7

- IPCPx: アドレス Base_addr+0x00_H (アクセス : ハーフワード , ワード)
- IPCPy: アドレス Base_addr+0x02_H (アクセス : ハーフワード , ワード)

15	14	13	12	11	10	9	8	bit
CP15	CP14	CP13	CP12	CP11	CP10	CP09	CP08	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
CP07	CP06	CP05	CP04	CP03	CP02	CP01	CP00	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15 ~ bit0] CP15 ~ CP00 : フリーランタイム値

CP15-CP00	機能
フリーランタイム値	

- このレジスタは , 対応する外部端子入力波形の有効エッジが検出されたときのフリーランタイム値を格納するために使用します。
- 以上の説明中のフリーランタイムはインพุットキャプチャが選択しているフリーランタイムの動作状態についてです。

(注意事項) このレジスタへアクセスする場合は , ハーフワードもしくはワードアクセス命令をご使用ください。このレジスタにデータを書き込むことはできません。

44.4.1.2 インพุットキャプチャ状態制御レジスタ : ICS

インพุットキャプチャ状態制御レジスタ (ICS) は、エッジ選択、割込み要求許可、および割込み要求フラグを制御するために使用します。また、インพุットキャプチャにおいて検出された有効なエッジを示すためにも使用します。

x : チャンネル番号 0,2,4,6

y : チャンネル番号 1,3,5,7

• ICSxy: アドレス Base_addr+0x04_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約						IEIy	IEIx	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
ICPy	ICPx	ICEy	ICEx	EGy1	EGy0	EGx1	EGx0	
0	0	0	0	0	0	0	0	初期値
R(RM1),W	R(RM1),W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ~ bit10] 予約

必ず "0" を書き込んでください。

[bit9,bit8] 有効エッジ指示ビット

IEIn	機能
0	立下りエッジが検出される
1	立上りエッジが検出される

- このビットは、キャプチャレジスタ (ICP) の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。
- 立下りエッジが検出されると、このビットに "0" が書き込まれます。
- 立上りエッジが検出されると、このビットに "1" が書き込まれます。
- このビットは読出し専用ビットです。

(注意事項) インพุットキャプチャ状態制御レジスタ (ICS) の EG1n, EG0n=00_B の場合、読出し値は意味がありません。

IEIn : n の番号がインพุットキャプチャのチャンネル番号に対応します。

[bit7,bit6] 割込み要求フラグビット

ICP1	機能	
	読出し時	書込み時
0	有効エッジが検出されない	このビットはクリアされる
1	有効エッジが検出される	このビットは影響を受けない

- このビットは、インพุットキャプチャの割込み要求フラグとして使用します。
- このビットは、外部入力端子の有効エッジが検出されると直ちに "1" が設定されます。
- 割込み要求許可ビット (ICE_n) が設定されている間に有効エッジが検出されると、直ちに割込みが生成されます。
- このビットに "0" を設定した場合：このビットはクリアされます。
- このビットに "1" を設定した場合：このビットは影響を受けません。

- (注意事項) リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。
ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。
ICPn : n の番号がインพุットキャプチャのチャネル番号に対応します。

[bit5,bit4] 割込み要求許可ビット

ICEn	機能
0	割込み要求を禁止する
1	割込み要求を許可する

- このビットは、インพุットキャプチャのインพุットキャプチャ割込みを許可するために使用します。
- このビットに "1" が設定されている間に割込み要求フラグ (ICPn) が設定されると、インพุットキャプチャ割込みが生成されます。

ICEn : n の番号がインพุットキャプチャのチャネル番号に対応します。

[bit3 ~ bit0] エッジ選択ビット

EGn1	EGn0	機能
0	0	エッジは検出されない (停止)
0	1	立上りエッジが検出される
1	0	立下りエッジが検出される
1	1	両方のエッジが検出される

- これらのビットは、インพุットキャプチャの外部入力の有効エッジ極性を指定するために使用します。
- これらのビットは、インพุットキャプチャの動作を有効にするためにも使用します。

EGn1,EGn0 : n の番号がインพุットキャプチャのチャネル番号に対応します。

44.4.1.3 LIN SYNC FIELD 切換えレジスタ : LSYNS

LIN SYNC FIELD 切換えレジスタ (LSYNS) は, LIN の連携制御をするのに使用します。

• LSYNS: アドレス 118B_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約			LSYN4	LSYN3	LSYN2	LSYN1	LSYN0	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	R/W	属性

[bit7 ～ bit5] 予約

必ず "0" を書き込んでください。

[bit4 ～ bit0] LSYN4 ～ LSYN0 : インพุットキャプチャ 4 ～ 0 入力選択

LSYN4 ～ LSYN0	機能
0	外部端子入力 (IN4 ～ IN0)
1	マルチファンクションシリアルインタフェース ch.4 ～ ch.0 からの Lin Sync Field 検出信号を入力

- このビットは, マルチファンクションシリアルインタフェース ch.4 ～ ch.0 からの Lin Sync Field を許可するために使用します。

44.5 動作説明

44.5.1 16 ビットインพุットキャプチャの割込み

16 ビットインพุットキャプチャの割込み制御ビットと割込み要因を表 44.5-1 に示します。

表 44.5-1 16 ビットインพุットキャプチャの割込み制御ビットと割込み要因

	16 ビットインพุットキャプチャ	
	偶数チャネル	奇数チャネル
割込み要求 フラグビット	インพุットキャプチャ状態 制御レジスタ (ICS) の ICP0:bit6	インพุットキャプチャ状態 制御レジスタ (ICS) の ICP1:bit7
割込み要求 許可ビット	インพุットキャプチャ状態 制御レジスタ (ICS) の ICE0:bit4	インพุットキャプチャ状態 制御レジスタ (ICS) の ICE1:bit5
割込み要因	有効なエッジが IN 端子で検出される	有効なエッジが IN 端子で検出される

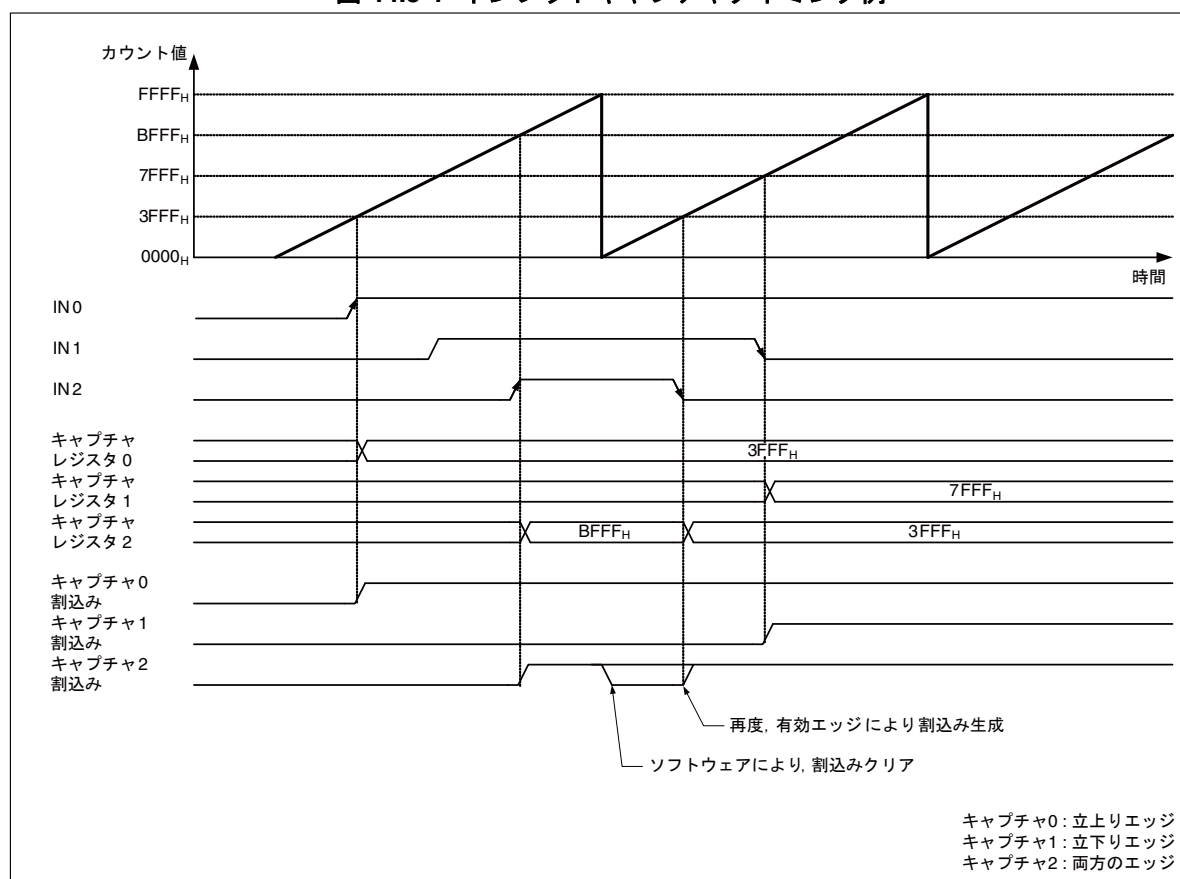
16 ビットインพุットキャプチャでは、有効なエッジが端子で検出されると、インพุットキャプチャ状態制御レジスタ (ICS) の ICP1/ICP0:bit7/bit6 に "1" が設定されます。この状態において割込み要求が許可(ICS01のICE1/ICE0:bit5, bit4=1)になると、割込み要求は割込みコントローラへ出力されます。

44.5.2 16 ビットインพุットキャプチャの動作

インพุットキャプチャは、指定された有効なエッジを検出するために使用します。有効なエッジが検出されると割込みフラグが設定され、16 ビットフリーランタイムの値がキャプチャレジスタへロードされます。

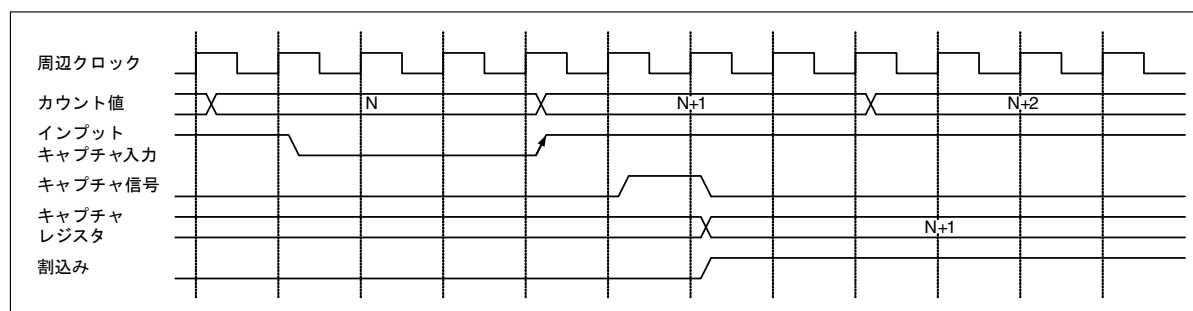
44.5.2.1 16 ビットインพุットキャプチャの動作

図 44.5-1 インพุットキャプチャタイミング例



44.5.2.2 16 ビットインพุットキャプチャ入力タイミング

図 44.5-2 入力信号に対する 16 ビットインพุットキャプチャタイミング例



44.5.3 16 ビットインพุットキャプチャの使用上の注意

インพุットキャプチャ状態制御レジスタ (ICS01) の ICP1/ICP0 がビット設定されてから割込みルーチンが処理されるまでの間にインพุットキャプチャ端子 (IN) レベルが切り換わると、ICP1, ICP0 の有効エッジ指示ビット (ICS01 レジスタの IEI1, IEI0) は、検出された最新のエッジを示します。

- ch.2,3, ch.4,5, ch.6,7 においても ch.0,1 と同様の注意が必要になります。

● インพุットキャプチャレジスタ

リセット時のインพุットキャプチャレジスタ値は不定です。

インพุットキャプチャレジスタからの読出しは、常に 16 ビットまたは 32 ビットアクセスを使用し
て行われる必要があります。

● リードモディファイライト

リードモディファイライトを使用して読み出す場合は、インพุットキャプチャ状態制御レジスタ (ICS01) の ICP1/ICP0 は "1" で読み出されます。

- ch.2,3, ch.4,5, ch.6,7 においても ch.0,1 と同様の注意が必要になります。

● 割込みの注意

インพุットキャプチャ状態制御レジスタ (ICS) の割込み要求許可ビット (ICE1/ICE0) に "1" を設定する前に、必ず割込みフラグ (ICP1/ICP0) をクリアしてください。

第 45 章 アウトプットコンペア

45.1 概要

12 個の 16 ビットアウトプットコンペアが搭載されています。

45.2 特長

■ 16 ビットアウトプットコンペアの機能

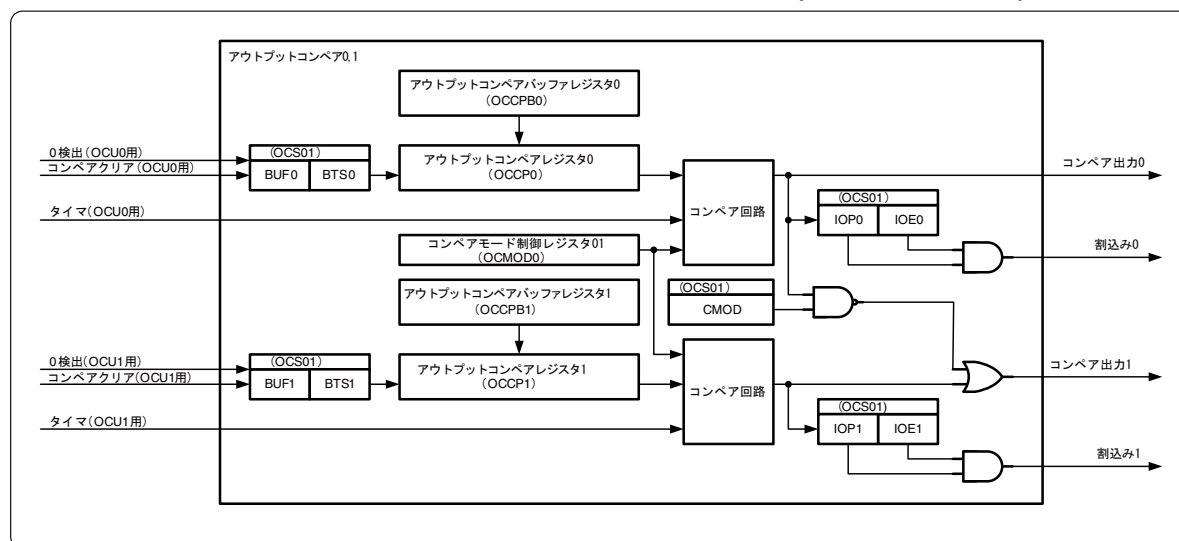
- 16 ビットアウトプットコンペアは、12 個の 16 ビットコンペアレジスタ (選択可能なバッファレジスタがあります)、コンペア出力ラッチ、6 個のコンペア制御レジスタ、コンペアモード制御レジスタから構成されています。16 ビットフリーランタイム値とコンペアレジスタが一致すると、割込みが生成され、出力レベルが反転します。
- 12 個のコンペアレジスタは、別々に動作させることができます。出力端子と割込みフラグは各コンペアレジスタに対応しています。
- 2 つのコンペアレジスタを対 (ペア) にして出力端子を制御できます。2 つのコンペアレジスタを一緒に使用することによって出力端子を反転させます。
- 各出力端子の初期値を設定できます。
- 割込みはアウトプットコンペアレジスタが 16 ビットフリーランタイムと一致した場合に生成されます。
- 各コンペアユニットに対応するフリーランタイムのチャンネルを任意に設定することが可能です。
- アウトプットコンペア 0 ～ 11 チャンネルは、それぞれフリーランタイム 0 ～ 5 のいずれかをアウトプットコンペア 0 ～ 11 用入力として選択することが可能です。選択はフリーランタイム選択レジスタ :FRS0 と FRS2 にて設定できます。詳細は「43.4.3.1 フリーランタイム選択レジスタ :FRS」を参照してください。
- アウトプットコンペアのコンペア出力は波形ジェネレータ出力端子から出力できます。また、PPG タイマの GATE 信号出力を制御することが可能です。詳細は「第 47 章 波形ジェネレータ」を参照してください。

管理コード : FS18-2v5-91580L-1-J

45.3 構成

■ 16 ビットアウトプットコンペアの構成

図 45.3-1 16 ビットアウトプットコンペアの構成 (ch.0, ch.1 の場合)



45.4 レジスタ

■ ベースアドレス (Base-addr)

チャンネル	Base_addr
0	0x1154
1	0x1154
2	0x115C
3	0x115C
4	0x1164
5	0x1164
6	0x116C
7	0x116C
8	0x1174
9	0x1174
10	0x117C
11	0x117C

■ 16 ビットアウトプットコンペアのレジスタ一覧

表 45.4-1 16 ビットアウトプットコンペアのレジスタ一覧

アドレス	+0	+1	+2	+3
0000_1154	アウトプットコンペアバッファレジスタ 0 (OCCPB0), アウトプットコンペアレジスタ 0 (OCCP0)		アウトプットコンペアバッファレジスタ 1 (OCCPB1), アウトプットコンペアレジスタ 1 (OCCP1)	
0000_1158	コンペア制御レジスタ 01 (OCS01)		予約	コンペアモード制御 レジスタ 01(OCMOD01)
0000_115C	アウトプットコンペアバッファレジスタ 2 (OCCPB2), アウトプットコンペアレジスタ 2 (OCCP2)		アウトプットコンペアバッファレジスタ 3 (OCCPB3), アウトプットコンペアレジスタ 3 (OCCP3)	
0000_1160	コンペア制御レジスタ 23 (OCS23)		予約	コンペアモード制御 レジスタ 23(OCMOD23)
0000_1164	アウトプットコンペアバッファレジスタ 4 (OCCPB4), アウトプットコンペアレジスタ 4 (OCCP4)		アウトプットコンペアバッファレジスタ 5 (OCCPB5), アウトプットコンペアレジスタ 5 (OCCP5)	
0000_1168	コンペア制御レジスタ 45 (OCS[4][5])		予約	コンペアモード制御 レジスタ 45(OCMOD45)
0000_116C	アウトプットコンペアバッファレジスタ 6 (OCCPB6), アウトプットコンペアレジスタ 6 (OCCP6)		アウトプットコンペアバッファレジスタ 7 (OCCPB7), アウトプットコンペアレジスタ 7 (OCCP7)	

表 45.4-1 16 ビットアウトプットコンペアのレジスタ一覧

アドレス	+0	+1	+2	+3
0000_1170	コンペア制御レジスタ 67 (OCS67)		予約	コンペアモード制御 レジスタ 67(OCMOD67)
0000_1174	アウトプットコンペアバッファレジスタ 8 (OCCPB8), アウトプットコンペアレジスタ 8 (OCCP8)		アウトプットコンペアバッファレジスタ 9 (OCCPB9), アウトプットコンペアレジスタ 9 (OCCP9)	
0000_1178	コンペア制御レジスタ 89 (OCS89)		予約	コンペアモード制御 レジスタ 89(OCMOD89)
0000_117C	アウトプットコンペアバッファレジスタ 10 (OCCPB10), アウトプットコンペアレジスタ 10 (OCCP10)		アウトプットコンペアバッファレジスタ 11 (OCCPB11), アウトプットコンペアレジスタ 11 (OCCP11)	
0000_1180	コンペア制御レジスタ 1011 (OCS1011)		予約	コンペアモード制御 レジスタ 1011(OCMOD1011)

45.4.1 16 ビットアウトプットコンペアのレジスタ

16 ビットアウトプットコンペアには、アウトプットコンペアバッファレジスタ、アウトプットコンペアレジスタ、コンペア制御レジスタ、およびコンペアモード選択レジスタがあります。

45.4.1.1 アウトプットコンペアバッファレジスタ : OCCPB0 ～ OCCPB11/ アウトプットコンペアレジスタ : OCCP0 ～ OCCP11

アウトプットコンペアバッファレジスタ (OCCPB) は、アウトプットコンペアレジスタ (OCCP) 用の 16 ビットバッファレジスタです。

アウトプットコンペアレジスタ (OCCP) は、16 ビットフリーランタイムのカウント値と比較するために使用する 16 ビットレジスタです。

OCCPB レジスタと OCCP レジスタは、両方とも同じアドレスに存在しています。

x : チャンネル番号 0,2,4,6,8,10

y : チャンネル番号 1,3,5,7,9,11

• OCCPBx : アドレス Base_addr + 0x00_H (アクセス : ハーフワード, ワード)

• OCCPBy : アドレス Base_addr + 0x02_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
OP15	OP14	OP13	OP12	OP11	OP10	OP09	OP08	
0	0	0	0	0	0	0	0	初期値
W	W	W	W	W	W	W	W	属性

7	6	5	4	3	2	1	0	bit
OP07	OP06	OP05	OP04	OP03	OP02	OP01	OP00	
0	0	0	0	0	0	0	0	初期値
W	W	W	W	W	W	W	W	属性

[bit15 ～ bit0] OP15 ～ OP00 : コンペア値バッファビット

	機能
OP15 ～ OP00	コンペア値バッファ

- アウトプットコンペアバッファレジスタは、アウトプットコンペアレジスタ (OCCP) 用のバッファレジスタです。バッファ機能が無効になるか(コンペア制御レジスタ(OCS)のBUF0:bit2=1), またはフリーランタイムが停止すると、アウトプットコンペアバッファレジスタの値は直ちにアウトプットコンペアレジスタへ転送されます。バッファ機能が有効になると(コンペア制御レジスタ(OCS)のBUF0:bit2=0), 値はコンペア制御レジスタ(OCS)の転送選択ビット(BTS0:bit2)に従ってコンペアクリア一致時、またはゼロ検出時に転送されます。

(注意事項) このレジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令をご使用ください。

リードモディファイライト系命令でのアクセスは行わないでください。

x : チャネル番号 0,2,4,6,8,10

y : チャネル番号 1,3,5,7,9,11

• OCCPx : アドレス Base_addr + 0x00_H (アクセス : ハーフワード, ワード)

• OCCPy : アドレス Base_addr + 0x02_H (アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
OP15	OP14	OP13	OP12	OP11	OP10	OP09	OP08	
0	0	0	0	0	0	0	0	初期値
R	R	R	R	R	R	R	R	属性

7	6	5	4	3	2	1	0	bit
OP07	OP06	OP05	OP04	OP03	OP02	OP01	OP00	
0	0	0	0	0	0	0	0	初期値
R	R	R	R	R	R	R	R	属性

[bit31 ~ bit16] OP15 ~ OP00 : コンペア値ビット

	機能
OP15 ~ OP00	コンペア値

- アウトプットコンペアレジスタは, 16 ビットフリーランタイマのカウント値と比較するために使用する 16 ビットレジスタです。16 ビットフリーランタイマの動作を有効にする前にアウトプットコンペアバッファレジスタ (OCCPB) に値を設定してください。
- アウトプットコンペアレジスタの値が 16 ビットフリーランタイマのカウント値と一致するとコンペア信号が生成され, アウトプットコンペア割込みフラグビット (コンペア制御レジスタ (OCS) の IOP0:bit6) が設定されます。出力レベルが設定されると (コンペア制御レジスタ (OCS) の OTD0:bit8), アウトプットコンペアレジスタ (OCCP) に対応するコンペア出力レベルを反転させることができます。
- 以下のすべての条件を満足し, 本レジスタ値に 16 ビットフリーランタイマのピーク値以上の値を設定した場合, バッファ転送直後にアウトプットコンペア出力は "1" となります。また, "0000H" を設定した場合, バッファ転送直後にアウトプットコンペア出力は "0" となります。

- フリーランタイマがアップダウンカウント
- コンペア制御レジスタ (OCS) の BUF ビット = "0" (バッファ機能有効)
- コンペア制御レジスタ (OCS) の BTS ビット = "1" (コンペアクリア一致時転送)
- コンペア制御レジスタ (OCS) の CMD ビット = "1"
- コンペアモード制御レジスタ (OCMOD) の MOD ビット = "1"

上記のすべての条件を満足しないとき, 本レジスタ値と 16 ビットフリーランタイマのアップダウンモード時のピーク値と一致しても, コンペア信号は生成されません。

また, コンペア制御レジスタ (OCS) の CMD ビットの設定によって以下ようになります。

- コンペア制御レジスタ (OCS) の CMOD ビット = 1 のとき
本レジスタ値に "FFFF_H" を設定した場合, 16 ビットフリーランタイマの値や反転モードにかかわらずアウトプットコンペア出力は "1" となります。
"0000_H" を設定した場合, アウトプットコンペア出力は "0" となります。
- コンペア制御レジスタ (OCS) の CMOD ビット = 0 のとき
本レジスタ値に "FFFF_H" を設定した場合, 16 ビットフリーランタイマの値や反転モードにかかわらずアウトプットコンペア出力は "0" となります。
"0000_H" を設定した場合, アウトプットコンペア出力は "1" となります。

(注意事項) このレジスタへアクセスする場合 , ハーフワードもしくはワードアクセス命令をご使用ください。
リードモディファイライト系命令でのアクセスは行わないでください。

45.4.1.2 コンペア制御レジスタ : OCS

コンペア制御レジスタ (OCS) は, OUT0 ～ OUT5/OUT6 ～ OUT11 の出力レベル, 出力許可, 出力レベル反転モード, コンペア動作許可, コンペア一致割込み許可, およびコンペア一致割込みフラグを制御するために使用します。

x : チャネル番号 0,2,4,6,8,10

y : チャネル番号 1,3,5,7,9,11

• OCSxy: アドレス Base_addr + 0x04_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約	BTSy	BTSx	CMOD	予約	予約	OTDy	OTDx	
0	1	1	0	0	0	0	0	初期値
R0,W0	R/W	R/W	R/W	R/W0	R/W0	R,W	R,W	属性
7	6	5	4	3	2	1	0	bit
IOPy	IOPx	IOEy	IOEx	BUFy	BUFx	CSTy	CSTx	
0	0	0	0	1	1	0	0	初期値
R(RM1),W	R(RM1),W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15] 予約

必ず "0" を書き込んでください。

[bit14,bit13] バッファ転送選択ビット

BTSn	機能
0	0 検出が発生すると転送が起動 (ch.n)
1	コンペアクリア一致が発生すると転送が起動 (ch.n)

- 本ビットは, アウトプットコンペアバッファレジスタ (OCCPBn) からアウトプットコンペアレジスタ (OCCPn) へのデータ転送時期を選択するために使用します。
 - 本ビットに "0" を設定した場合:
データ転送は, 16 ビットフリーランタイムのカウンタ値 "0" が検出されると起動します。
 - 本ビットに "1" を設定した場合:
データ転送は, 16 ビットフリーランタイムでコンペアクリア一致が発生すると起動します。
- BTSn : n の番号がアウトプットコンペアのチャネル番号に対応します。

[bit12] CMOD : 出力レベル反転モードビット

CMOD	機能	
0	<p><u>コンペアモード制御レジスタ:MODm=0 の場合</u> コンペア出力 m は, アウトプットコンペアレジスタ (OCCPm) との一致が発生すると直ちに反転する。</p> <p><u>コンペアモード制御レジスタ:MODm+1=0 の場合</u> コンペア出力 m+1 は, アウトプットコンペアレジスタ (OCCPm+1) との一致が発生すると直ちに反転する。</p>	<p><u>コンペアモード制御レジスタ:MODm=1 またはMODm+1=1 の場合</u></p> <p>アップカウント時の一致時は "1" に設定 ダウンカウント時の一致時は "0" にリセット</p>
1	<p><u>コンペアモード制御レジスタ:MODm=0 の場合</u> コンペア出力 m は, アウトプットコンペアレジスタ (OCCPm) との一致が発生すると直ちに反転する。</p> <p><u>コンペアモード制御レジスタ:MODm+1=0 の場合</u> コンペア出力 m+1 は, アウトプットコンペアレジスタ (OCCPm または OCCPm+1) との一致が発生すると直ちに反転する。</p>	<p><u>コンペアモード制御レジスタ:MODm=1 またはMODm+1=1 の場合</u></p> <p>アップカウント時の一致時は "0" に設定 ダウンカウント時の一致時は "1" にリセット</p>

- 本ビットは , 一致が発生した場合にコンペア出力レベル反転モードを直ちに切り換えるために使用します。
- アウトプットコンペアのコンペア出力は波形ジェネレータ出力端子 (RTO) から出力できます。出力設定方法については「第 47 章 波形ジェネレータ」を参照してください。
- 本ビットに "0" を設定した場合 :

コンペアモード制御レジスタ:MODm/MODm+1=0 のとき

-コンペアモード制御レジスタ:MODm=0 の場合

コンペア出力 m は, 16 ビットフリーランタイムとアウトプットコンペアレジスタ (OCCPm) が一致すると直ちに反転します。

-コンペアモード制御レジスタ:MODm+1=0 の場合

コンペア出力 m+1 は, 16 ビットフリーランタイムとアウトプットコンペアレジスタ (OCCPm+1) が一致すると直ちに反転します。

コンペアモード制御レジスタ:MODm/MODm+1=1 のとき

-アップカウントモード時に一致したときは, "1" に設定

-ダウンカウントモード時に一致したときは, "0" にリセット

- 本ビットに "1" を設定した場合：

コンペアモード制御レジスタ：MODm/MODm+1=0 のとき

- コンペアモード制御レジスタ：MODm=0 の場合

コンペア出力 m は、16 ビットフリーランタイムとアウトプットコンペアレジスタ (OCCPm) が一致すると直ちに反転します。

- コンペアモード制御レジスタ：MODm+1=0 の場合

コンペア出力 m+1 は、16 ビットフリーランタイムとアウトプットコンペアレジスタ (OCCPm または OCCPm+1) が一致すると直ちに反転します。

- アウトプットコンペアレジスタ (OCCPm と OCCPm+1) が同じ値の場合は、1 つのコンペアレジスタが使用される場合と同じ動作になります。

コンペアモード制御レジスタ：MODm/MODm+1=1 のとき

- アップカウントモード時に一致したときは、"0" にリセット

- ダウンカウントモード時に一致したときは、"1" に設定

m：アウトプットコンペアのチャンネル番号に対応します。(m=0,2,4,6,8,10)

[bit11, bit10] 予約

必ず "0" を書き込んでください。

[bit9, bit8] バッファ転送選択ビット

OTDn	機能	
	読出し時	書込み時
0	コンペア出力 n の出力値	コンペア出力 n が "0" を出力
1		コンペア出力 n が "1" を出力

- 本ビットは、アウトプットコンペアのコンペア出力 n レベルを変更するために使用します。
- コンペア端子出力の初期値は "0" です。
- 値を書き込む場合は、必ず前もってコンペア動作を停止させてください。このビットの読出し値は、アウトプットコンペア値 (コンペア出力 n) を示します。

(注意事項) このビットは、コンペア制御レジスタ (OCS) の CSTn=0 のとき、書込みが可能です。

OTDn：n の番号がアウトプットコンペアのチャンネル番号に対応します。

[bit7, bit6] コンペアー一致割込みフラグビット

IOPn	機能	
	読出し時	書込み時
0	アウトプットコンペアレジスタ (OCCPn) のコンペアー一致割込みが発生しない	このビットをクリアする
1	アウトプットコンペアレジスタ (OCCPn) のコンペアー一致割込みが発生する	このビットに影響を与えない

- 本ビットは、アウトプットコンペアレジスタ (OCCPn) が 16 ビットフリーランタイムの値と一致したことを示す割込みフラグです。

- 本ビットは、アウトプットコンペアレジスタ値が 16 ビットフリーランタイム値に一致した場合に "1" が設定されます。
- コンペア一致割込み許可ビット (IOEn) が許可 ("1") になっている間にこのビットが設定されると、アウトプットコンペア割込みが発生します。
- 本ビットに "0" を設定した場合：このビットはクリアされます。
- 本ビットに "1" を設定した場合：このビットは影響を受けません。

(注意事項) リードモディファイライト系命令時には、必ず "1" が読み出されます。

ソフトウェアクリア("0"書き込み)または割込みクリア信号("H")によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットが優先されます。

IOPn : n の番号がアウトプットコンペアのチャンネル番号に対応します。

[bit5,bit4] コンペア一致割込み許可ビット

IOEn	機能
0	アウトプットコンペアレジスタ (OCCPn) のコンペア一致割込みを禁止する
1	アウトプットコンペアレジスタ (OCCPn) のコンペア一致割込みを許可する

- 本ビットは、アウトプットコンペアレジスタ (OCCPn) のアウトプットコンペア割込みを許可するために使用します。
- 本ビットに "1" が書き込まれている間にコンペア一致割込みフラグビット (IOPn) が設定されると、アウトプットコンペア割込みが発生します。

IOEn : n の番号がアウトプットコンペアのチャンネル番号に対応します。

[bit3,bit2] コンペアバッファ無効ビット

BUFn	機能
0	アウトプットコンペアレジスタ (OCCPn) のコンペアバッファを有効にする
1	アウトプットコンペアレジスタ (OCCPn) のコンペアバッファを無効にする

- 本ビットは、アウトプットコンペアレジスタ (OCCPn) のバッファ機能を無効にするために使用します。
- 本ビットに "0" を設定した場合：バッファ機能が有効になります。

BUFn : n の番号がアウトプットコンペアのチャンネル番号に対応します。

[bit1,bit0] コンペア動作許可ビット

CSTn	機能
0	アウトプットコンペアレジスタ (OCCPn) のコンペア動作を禁止にする
1	アウトプットコンペアレジスタ (OCCPn) のコンペア動作を許可にする

- 本ビットは、16 ビットフリーランタイムとアウトプットコンペアレジスタ (OCCPn) の間のコンペア動作を許可するために使用します。
- コンペア動作を許可する場合は、必ず前もってアウトプットコンペアレジスタ (OCCPn) とフリーランタイムのタイマデータレジスタ (TCDT[x], x=該当するフリーランタイム) に値を書き込んでください。

CSTn : n の番号がアウトプットコンペアのチャンネル番号に対応します。

45.4.1.3 コンペアモード制御レジスタ : OCMOD

コンペアモード制御レジスタ(OCMOD)は, コンペア一致時の出力レベルを反転モードもしくはセット, リセットを行うかを制御します。

x : チャネル番号 0,2,4,6,8,10

y : チャネル番号 1,3,5,7,9,11

• OCMODxy: アドレス Base_addr + 0x07_H(アクセス : バイト , ハーフワード , ワード)

7	6	5	4	3	2	1	0	bit
予約						MODy	MODx	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	RR0,W0	R/W	R/W	属性

[bit7 ~ bit2] 予約

必ず "0" を書き込んでください。

[bit1,bit0] コンペア一致モード設定ビット

MODn	機能
0	前出力値の反転
1	コンペア制御レジスタ (OCSxy) の CMOD ビットの設定により "1" に設定もしくは "0" にリセット

- 本ビットによりアウトプットコンペア出力 n のコンペア一致時の動作を指示します。
- "0" のときは, 一致時に出力値を反転します。
- "1" のときは, 一致時に出力値を "1" に設定, もしくは "0" にリセットします。セット / リセットの切換えはコンペア制御レジスタ (OCSxy) の CMOD ビットにて設定します。

(注意事項) 値を書き込む場合は, 必ず前もってコンペア動作を停止させてください。

MODn : n の番号がアウトプットコンペアのチャネル番号に対応します。

45.5 動作説明

45.5.1 16 ビットアウトプットコンペアの割込み

16 ビットアウトプットコンペアの割込み制御ビットと割込み要因を表 45.5-1 に示します。

表 45.5-1 16 ビットアウトプットコンペアの割込み制御ビットと割込み要因

	16 ビットアウトプットコンペア	
	偶数チャンネル	奇数チャンネル
割込み要求 フラグビット	コンペア制御レジスタ (OCS) の IOP0:bit6	コンペア制御レジスタ (OCS) の IOP1:bit7
割込み要求 許可ビット	コンペア制御レジスタ (OCS) の IOE0:bit4	コンペア制御レジスタ (OCS) の IOE1:bit5
割込み要因	16 ビットフリーランタイム値が アウトプットコンペアレジスタ 0 (OCCP0) と一致する	16 ビットフリーランタイム値が アウトプットコンペアレジスタ 1 (OCCP1) と一致する

16 ビットフリーランタイム値がアウトプットコンペアレジスタ (OCCP) と一致すると、コンペア制御レジスタ (OCS) の IOP1/IOP0:bit7/bit6 が "1" に設定されます。この状態において割込み要求が許可 (OCS の IOE1/IOE0:bit5/bit4=1) になると、割込み要求が割込みコントローラへ出力されます。

45.5.2 16 ビットアウトプットコンペアの動作

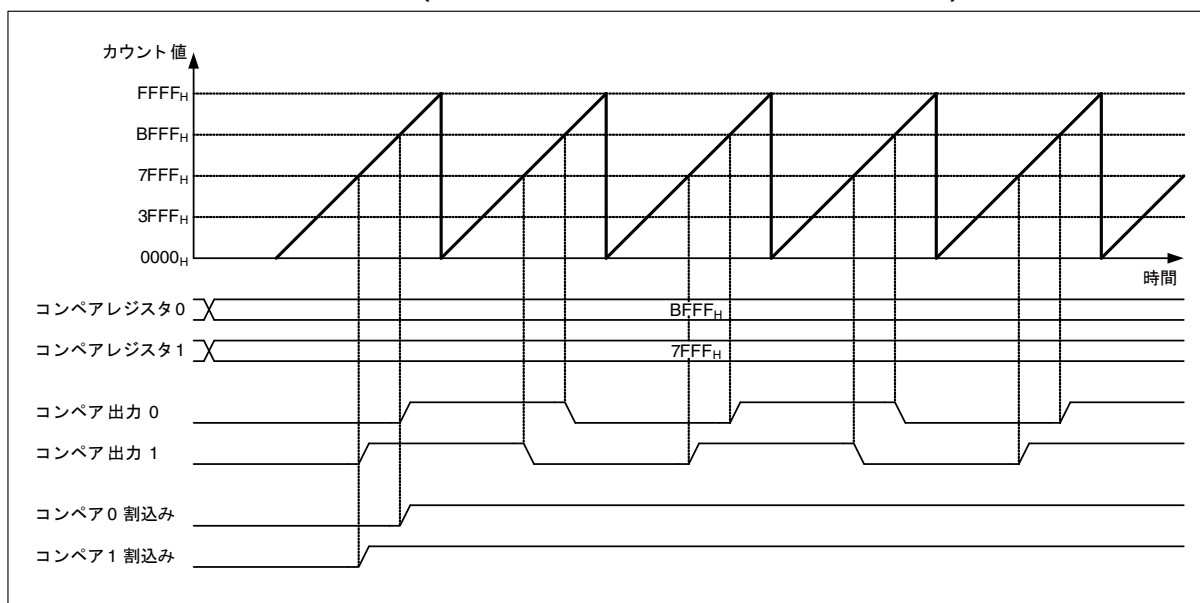
アウトプットコンペアは, " 指定されたコンペアクリアレジスタに設定されている値 " と "16 ビットフリーランタイマの値 " の比較に使用します。一致が検出された場合は, 割込みフラグが設定されて出力レベルが反転します。フリーランタイマがアップダウンカウンタモードの場合, カウントピークとコンペアレジスタ値が一致したときは一致信号を無視します。

45.5.2.1 16 ビットアウトプットコンペアの動作

(反転モード, OCMOD01 レジスタの MOD0=0)

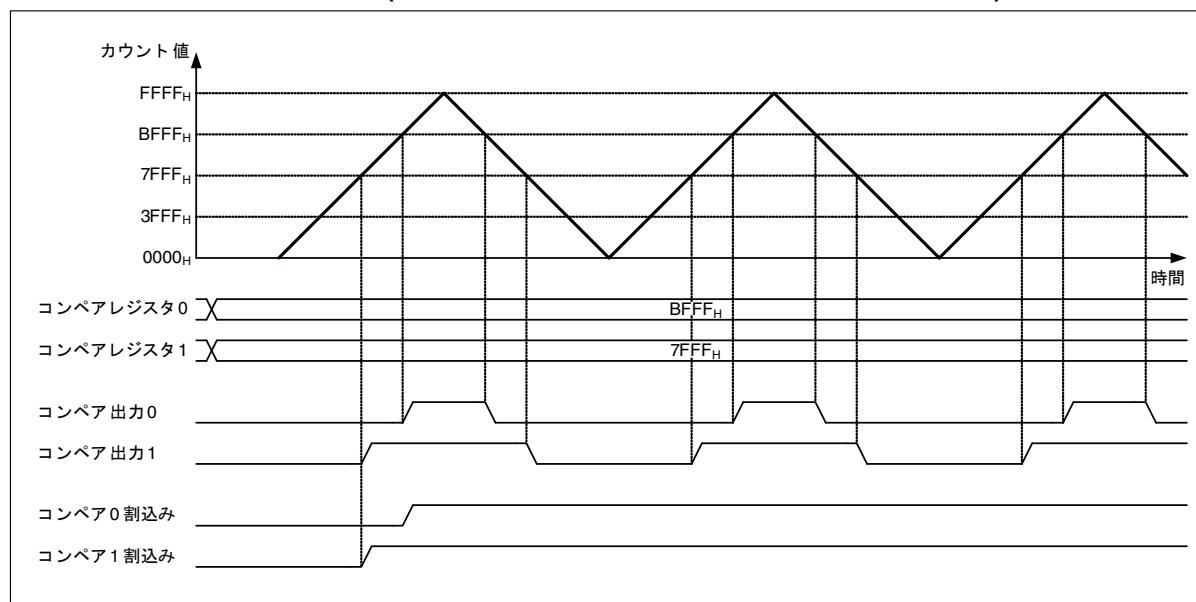
コンペア動作は, 各チャンネル (コンペア制御レジスタ (OCS01) の CMOD:bit12=0) において実行できます。

図 45.5-1 出力初期値が "0" のときにコンペアレジスタ 0 とコンペアレジスタ 1 を別々に使用した際の出力波形例 (フリーランタイマはアップカウンタモード)



- ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, においても ch.0, 1 と同様になります。

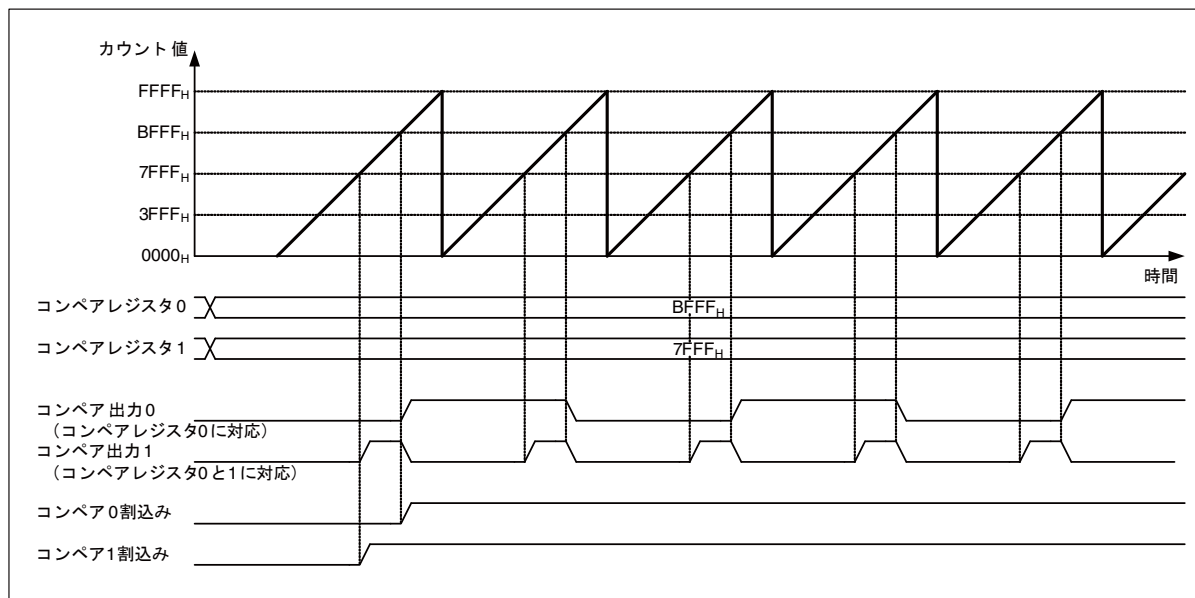
図 45.5-2 出力初期値が "0" のときにコンペアレジスタ 0 とコンペアレジスタ 1 を別々に使用した際の出力波形例 (フリーランタイムはアップダウンカウントモード)



- ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, においても ch.0, 1 と同様になります。

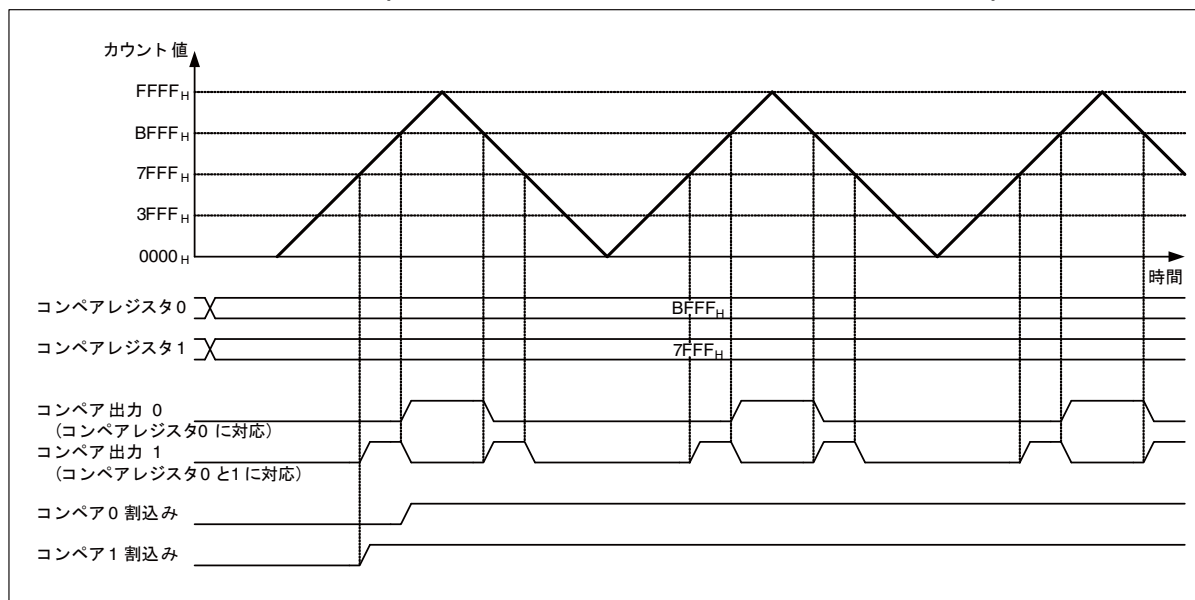
- 出力レベルは、一対のコンペアレジスタ (OCS01) の CMOD:bit12=1) を使用して変更できます。

図 45.5-3 出力初期値が "0" のときにコンペアレジスタ 0 とコンペアレジスタ 1 を一対で使用した際の出力波形例 (フリーランタイムはアップカウントモード)



- ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, においても ch.0, 1 と同様になります。

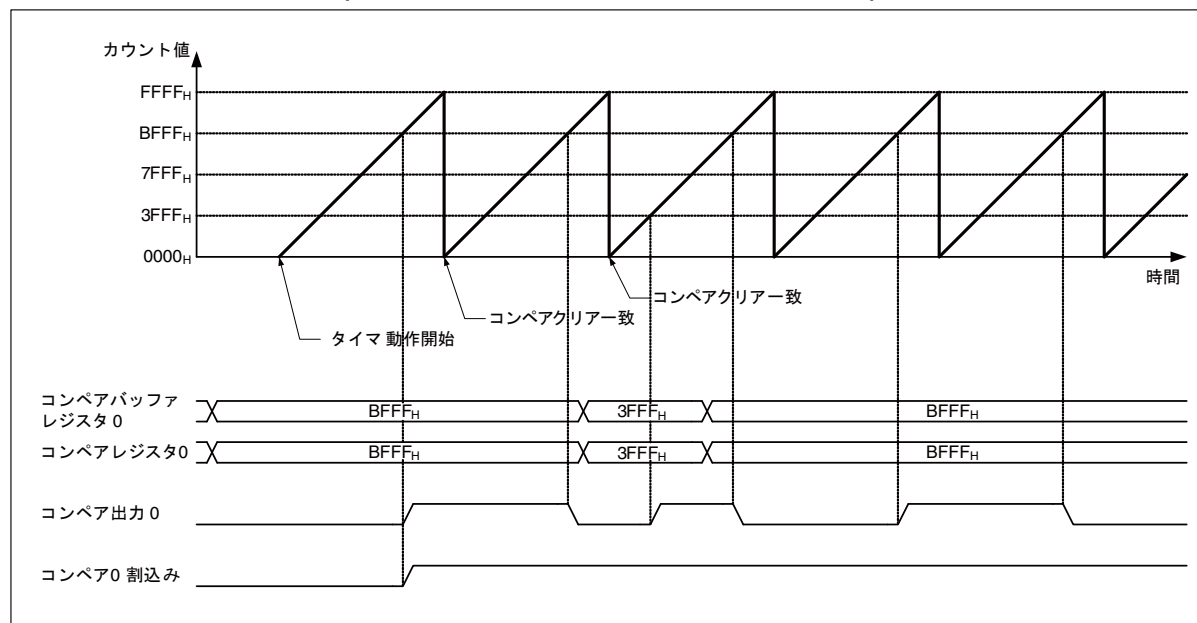
図 45.5-4 出力初期値が "0" のときにコンペアレジスタ 0 とコンペアレジスタ 1 を同時に使用した際の出力波形例 (フリーランタイムはアップダウンカウントモード)



- ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, においても ch.0, 1 と同様になります。

● コンペアバッファが無効になったときの出力レベル

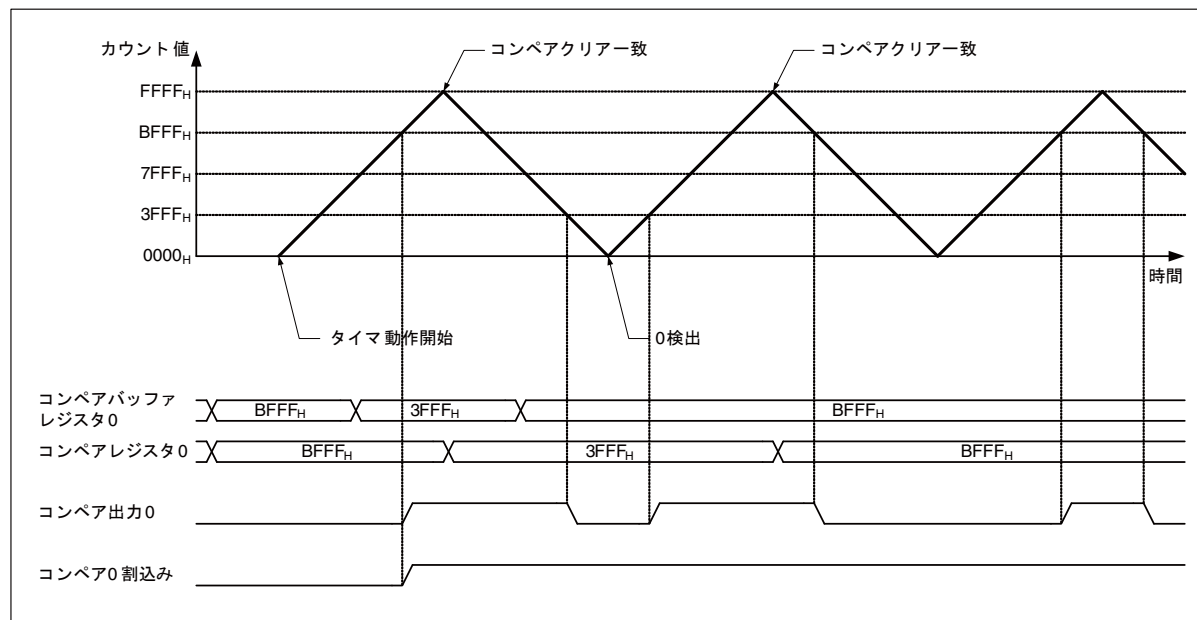
図 45.5-5 コンペアバッファが無効になっているときの出力波形例
(フリーランタイムはアップカウントモード)



- ch.1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, においても ch.0 と同様になります。

● コンペアクリアー一致発生時にコンペアバッファが選択されたときの出力レベル

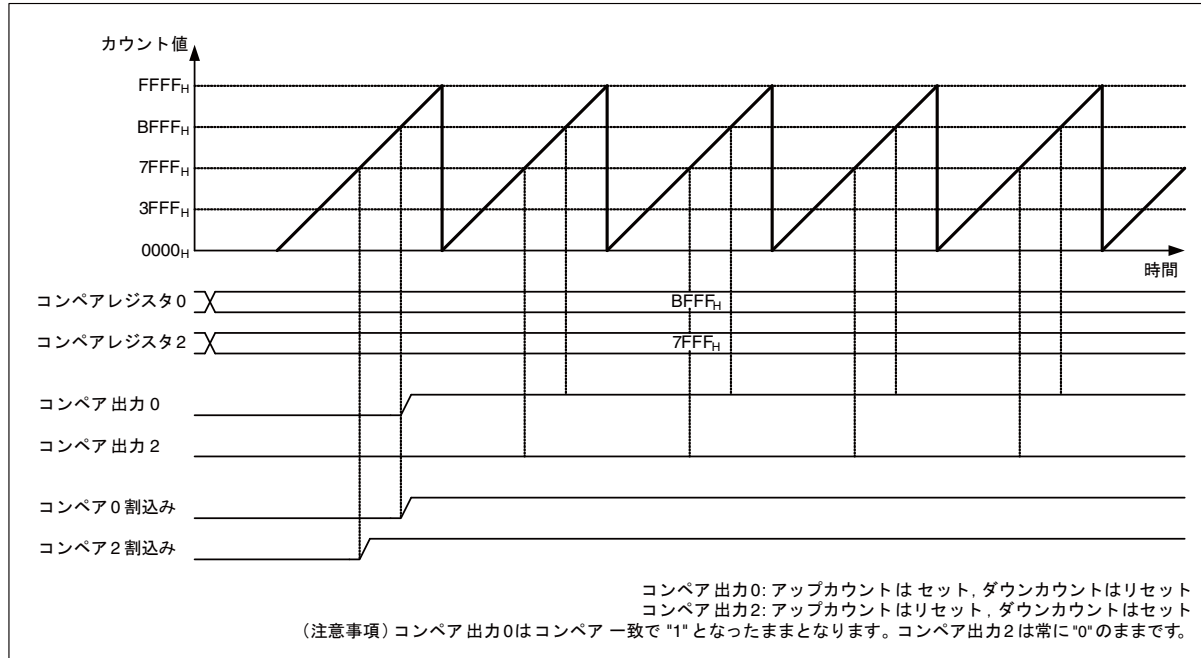
図 45.5-6 コンペアバッファが有効になったときの出力波形例
(フリーランタイムはアップダウンカウントモード)



- ch.1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, においても ch.0 と同様になります。

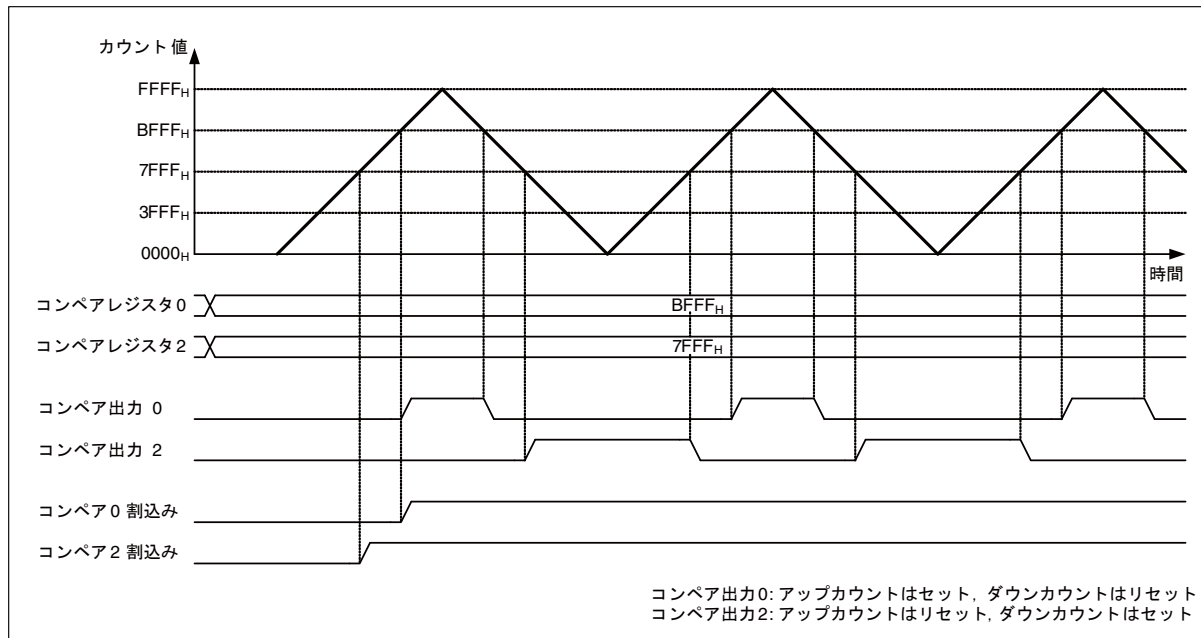
45.5.2.2 16 ビットアウトプットコンペアの動作 (セット/リセットモード, OCMOD01 レジスタの MOD0=1)

図 45.5-7 16 ビットアウトプットコンペアの動作 (セット/リセットモード) #1



- ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, においても ch.0, 1 と同様になります。

図 45.5-8 16 ビットアウトプットコンペアの動作 (セット/リセットモード) #2



- ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, においても ch.0, 1 と同様になります。

45.5.2.3 16 ビットアウトプットコンペアタイミング

フリーランタイムがコンペアレジスタ値と一致すると、アウトプットコンペアはコンペア一致信号を生成して出力を反転して割込みを生成します。コンペア一致が発生すると、出力はカウンタのカウンタタイミングと同期して反転します。

図 45.5-9 コンペアレジスタ割込みタイミング

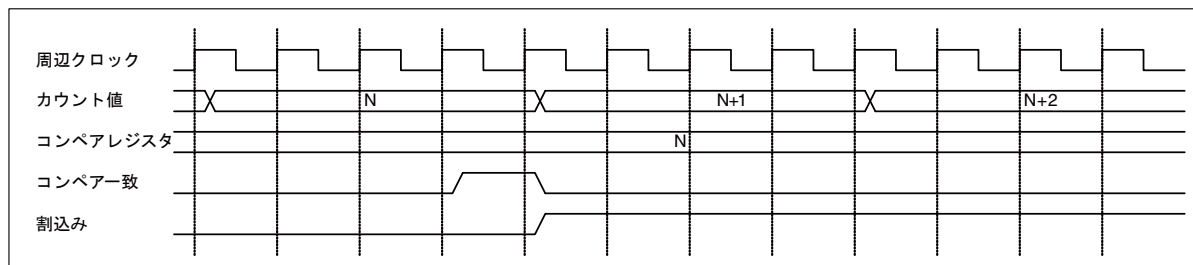
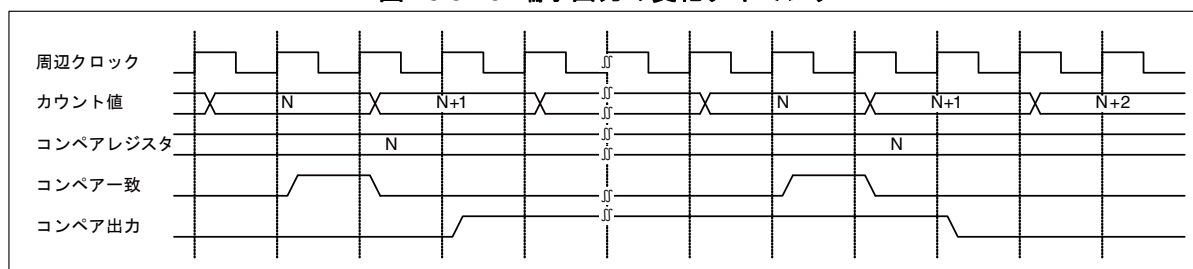


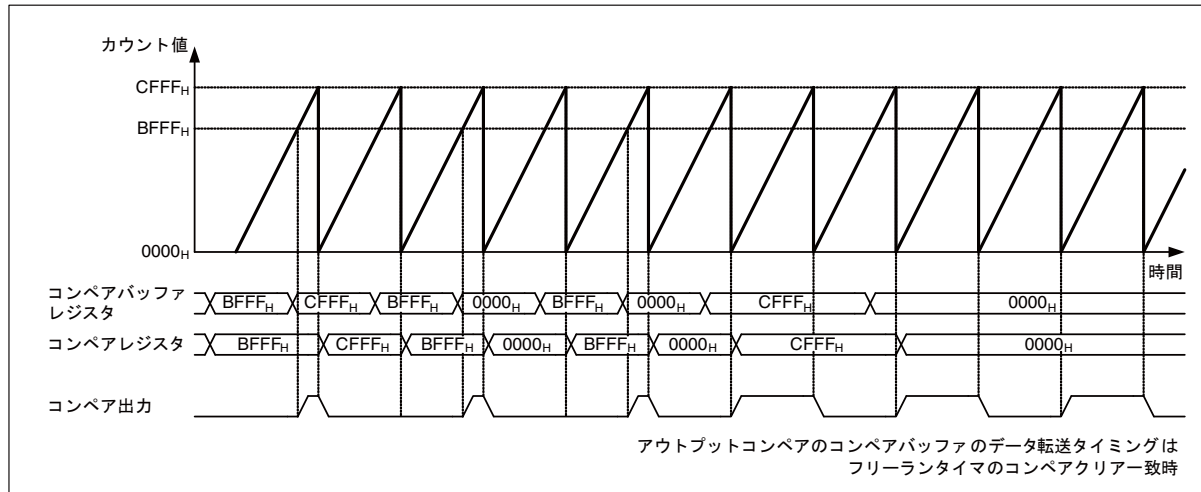
図 45.5-10 端子出力の変化タイミング



45.5.2.4 16 ビットアウトプットコンペアとフリーランタイマの動作について

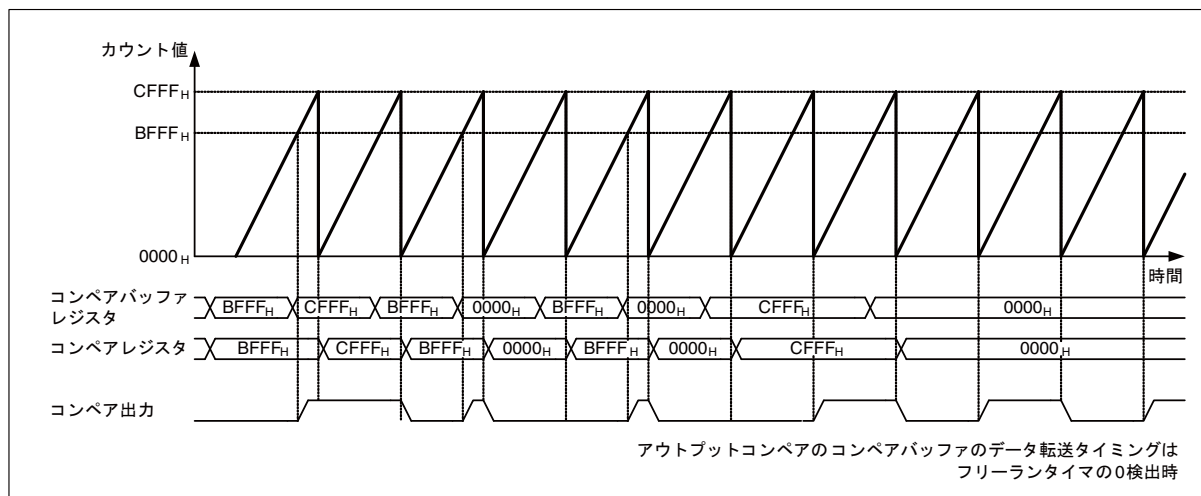
● フリーランタイマがアップカウントの場合 #1

図 45.5-11 フリーランタイマがアップカウントの場合 #1



● フリーランタイマがアップカウントの場合 #2

図 45.5-12 フリーランタイマがアップカウントの場合 #2



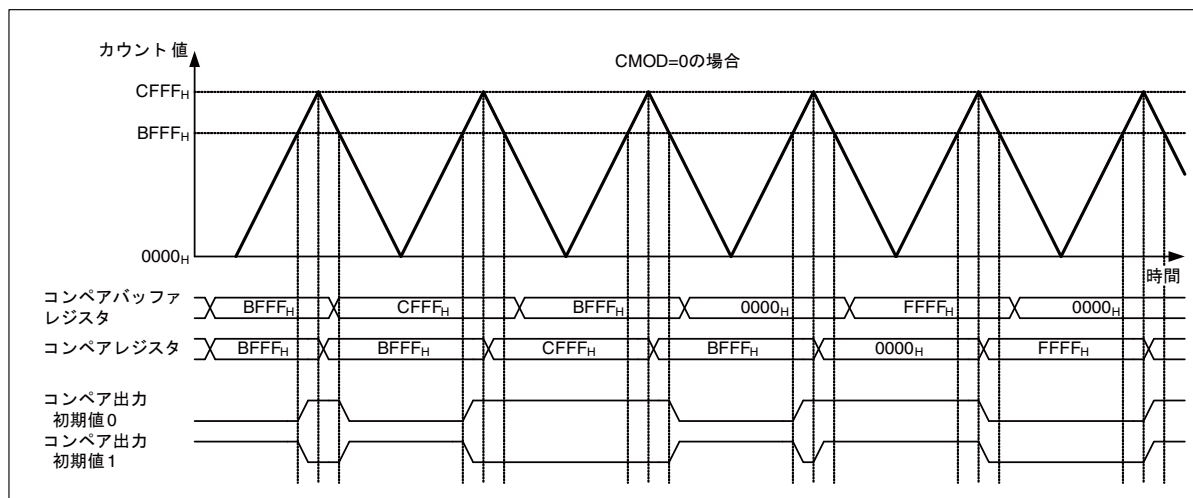
● フリーランタイムがアップダウンカウントの場合 #1

- ・ アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムのコンペアクリア一致時
- ・ アウトプットコンペア出力が一致時, 出力反転モードの場合

< 注意事項 >

- ・ コンペアレジスタ値を "0000_H" に設定したとき, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "1" に設定されます (OCS の CMOD:bit12=1 時は "0" にリセット)。
- ・ コンペアレジスタ値を "FFFF_H" に設定したとき, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "0" にリセットされます (OCS の CMOD:bit12=1 時は "1" に設定)。
- ・ フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし, フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は, フリーランタイム動作開始時に 1 度だけコンペア一致が発生しますので, ご注意ください。このとき, コンペアクリアレジスタ値とコンペアレジスタ値をともに "FFFF_H" に設定した場合, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "0" にリセットされます。

図 45.5-13 フリーランタイムがアップダウンカウントの場合 #1



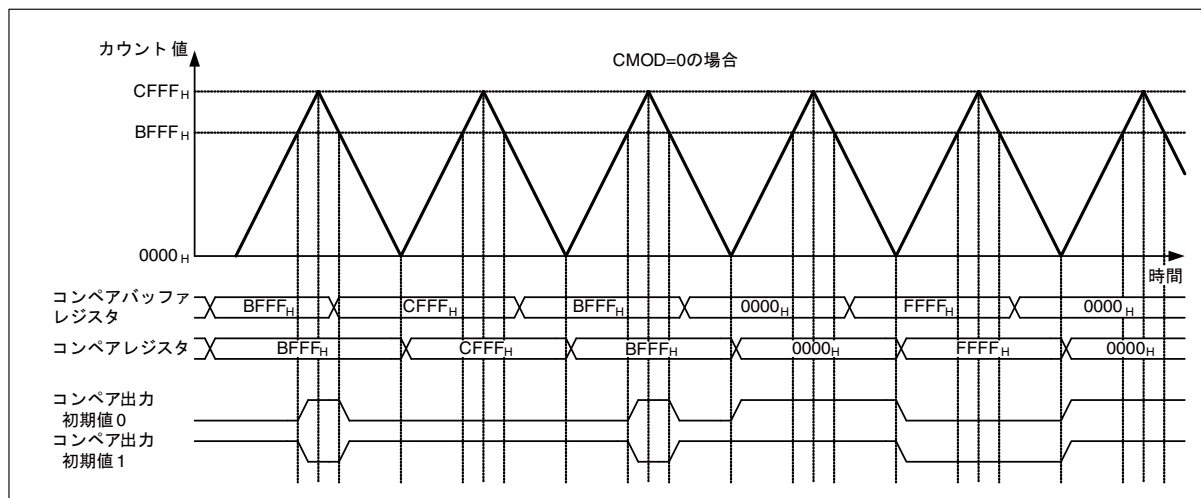
● フリーランタイムがアップダウンカウントの場合 #2

- アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムの 0 検出時
- アウトプットコンペア出力は一致時, 出力反転モードの場合

< 注意事項 >

- コンペアレジスタ値を "0000_H" に設定したとき, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "1" に設定されます (OCS の CMOD:bit12=1 時は "0" にリセット)。
- コンペアレジスタ値を "FFFF_H" に設定したとき, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "0" にリセットされます (OCS の CMOD:bit12=1 時は "1" に設定)。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし, フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は, フリーランタイム動作開始時に 1 度だけコンペア一致が発生しますので, ご注意ください。このとき, コンペアクリアレジスタ値とコンペアレジスタ値をともに "FFFF_H" に設定した場合, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "0" にリセットされます。

図 45.5-14 フリーランタイムがアップダウンカウントの場合 #2



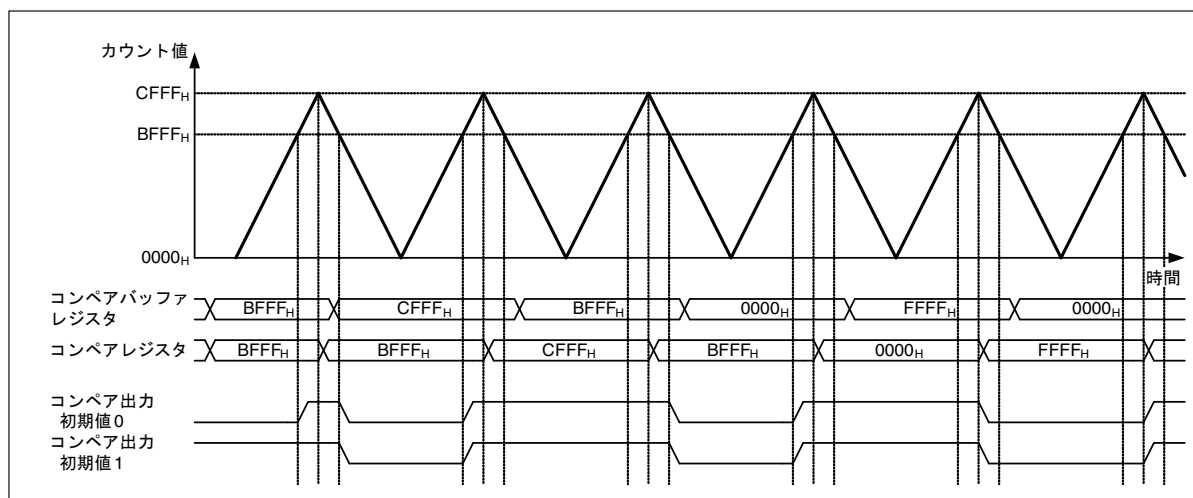
● フリーランタイムがアップダウンカウントの場合 #3

- アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムのコンペアクリア一致時
- アウトプットコンペア出力をアップカウント時の一致では"1"に設定、ダウンカウント時の一致では"0"にリセットする場合 (OCS01 の CMOD:bit12=0)
- ch.0, 1, ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, で同様の動作になります。

< 注意事項 >

- コンペアレジスタ値を "0000_H" に設定したとき、フリーランタイムのカウント値にかかわらず、アウトプットコンペア出力は "1" に設定されます。
- コンペアレジスタ値を "FFFF_H" に設定したとき、フリーランタイムのカウント値にかかわらず、アウトプットコンペア出力は "0" にリセットされます。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし、フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は、フリーランタイム動作開始時に 1 度だけコンペア一致が発生しますので、ご注意ください。このとき、コンペアクリアレジスタ値とコンペアレジスタ値をともに "FFFF_H" に設定した場合、フリーランタイムのカウント値にかかわらず、アウトプットコンペア出力は "0" にリセットされます。

図 45.5-15 フリーランタイムがアップダウンカウントの場合 #3



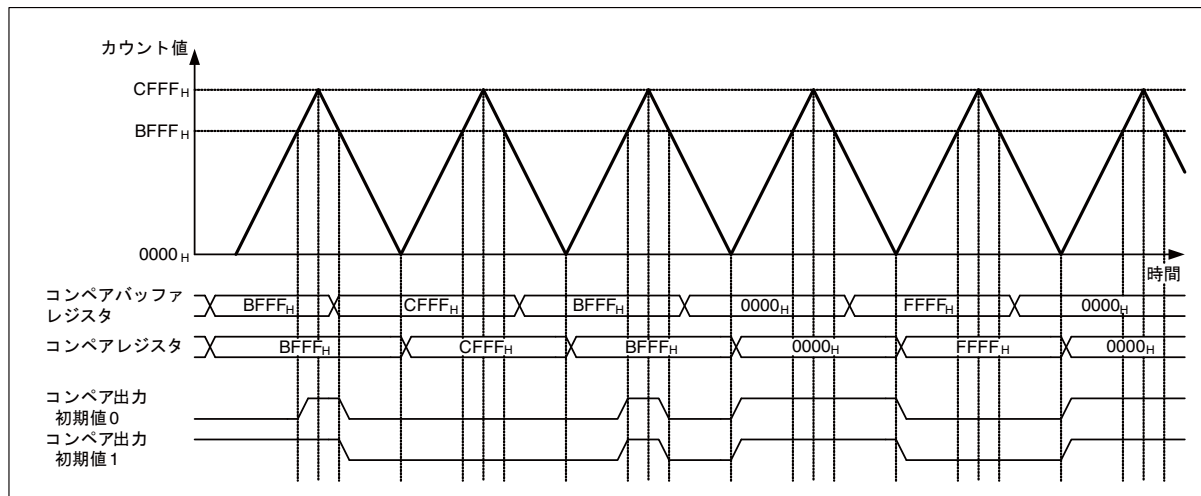
● フリーランタイムがアップダウンカウントの場合 #4

- アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムの 0 検出時
- アウトプットコンペア出力をアップカウント時の一致では"1"に設定, ダウンカウント時の一致では"0" にリセットする場合 (OCS01 の CMOD:bit12=0)
- ch.0, 1, ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, で同様の動作になります。

< 注意事項 >

- コンペアレジスタ値を "0000_H" に設定したとき, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "1" に設定されます。
- コンペアレジスタ値を "FFFF_H" に設定したとき, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "0" にリセットされます。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし, フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は, フリーランタイム動作開始時に 1 度だけコンペア一致が発生しますので, ご注意ください。このとき, コンペアクリアレジスタ値とコンペアレジスタ値をともに "FFFF_H" に設定した場合, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "0" にリセットされます。

図 45.5-16 フリーランタイムがアップダウンカウントの場合 #4



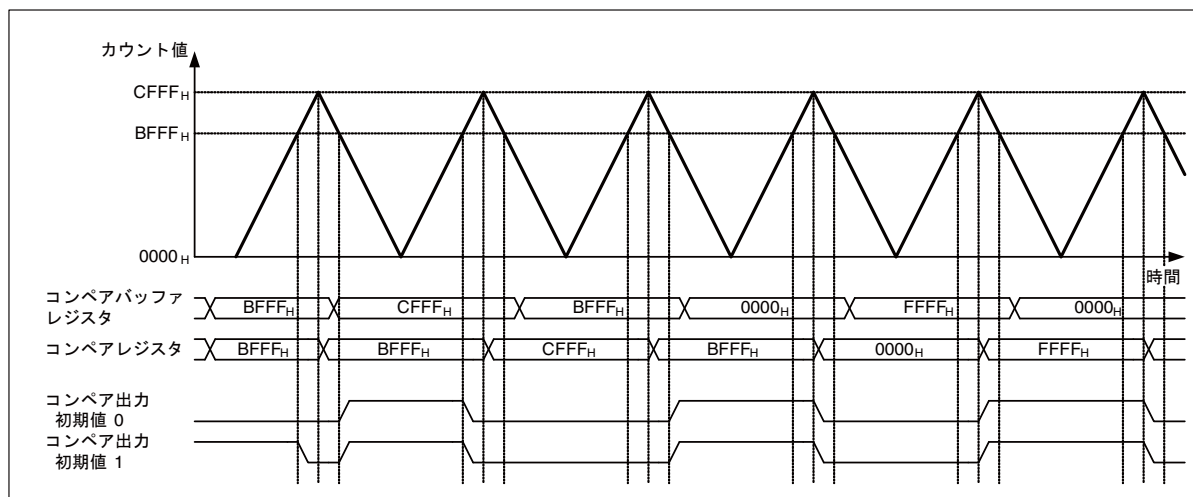
● フリーランタイムがアップダウンカウントの場合 #5

- アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムのコンペアクリアー一致時
- アウトプットコンペア出力をアップカウント時の一致では"0"にリセット, ダウンカウント時の一致では"1"に設定する場合 (OCS01 の CMOD:bit12=1)
- ch.0, 1, ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, で同様の動作になります。

< 注意事項 >

- コンペアレジスタ値を "0000_H" に設定したとき, フリーランタイムのコンペアクリアーリアー一致時に, アウトプットコンペア出力は "0" になります。
- コンペアレジスタ値をフリーランタイムのコンペアクリアーレジスタ値以上に設定したとき, フリーランタイムのコンペアクリアー一致時に, アウトプットコンペア出力は "1" になります。
- フリーランタイムのコンペアクリアーレジスタ値とアウトプットコンペアのコンペアレジスタ値が一致したときには比較が行われ, 割込みフラグが発生します。

図 45.5-17 フリーランタイムがアップダウンカウントの場合 #5



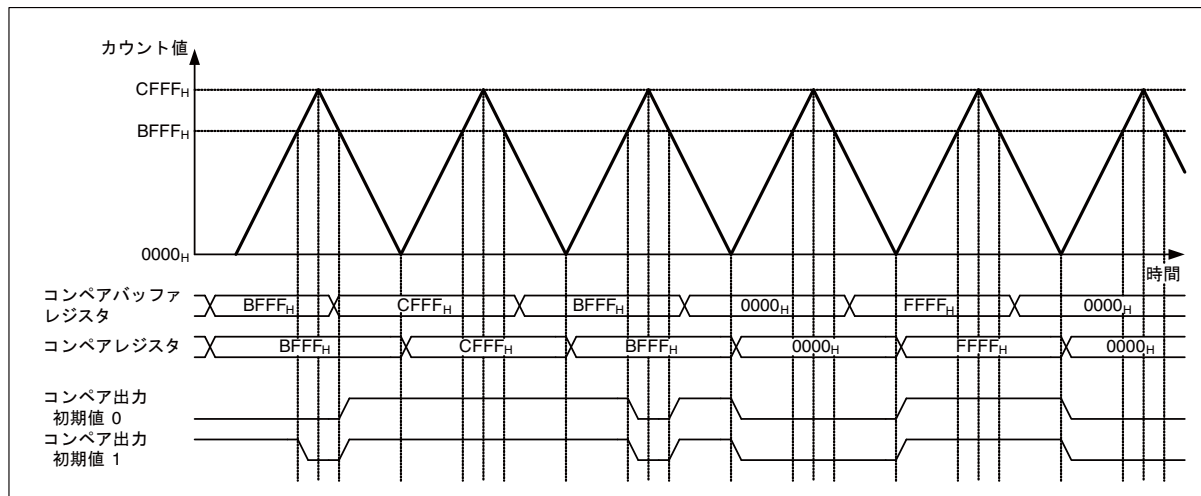
● フリーランタイムがアップダウンカウントの場合 #6

- アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムの 0 検出時
- アウトプットコンペア出力をアップカウント時の一致では "0" にリセット, ダウンカウント時の一致では "1" に設定する場合 (OCS01 の CMOD:bit12=1)
- ch.0, 1, ch.2, 3, ch.4, 5, ch.6, 7, ch.8, 9, ch.10, 11, で同様の動作になります。

< 注意事項 >

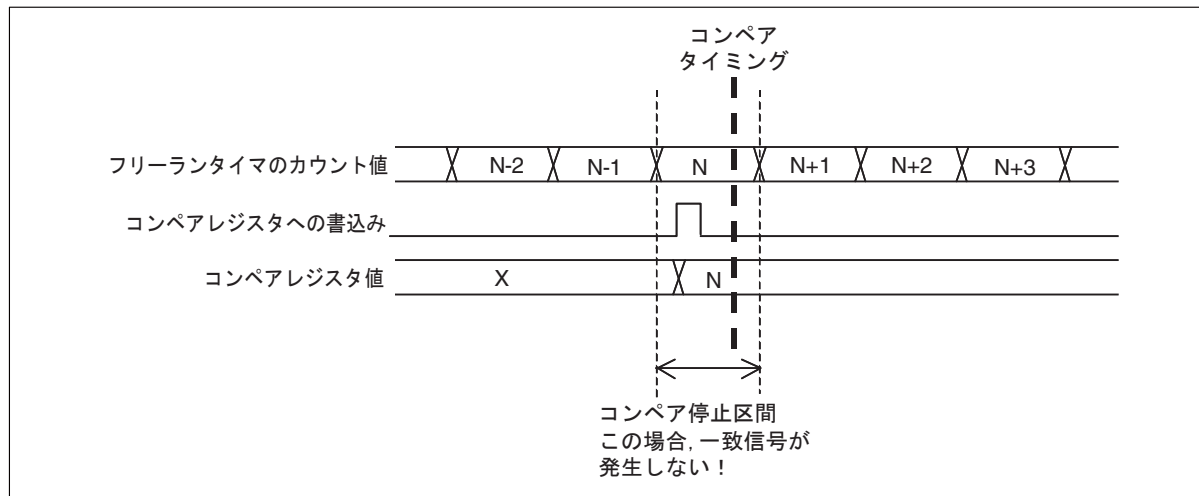
- コンペアレジスタ値を "0000_H" に設定したとき, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "0" にリセットされます。
- コンペアレジスタ値を "FFFF_H" に設定したとき, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "1" に設定されます。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。ただし, フリーランタイムの初期値がコンペアクリアレジスタ値と同じ場合は, フリーランタイム動作開始時に 1 度だけコンペア一致が発生しますので, ご注意ください。このとき, コンペアクリアレジスタ値とコンペアレジスタ値をともに "FFFF_H" に設定した場合, フリーランタイムのカウント値にかかわらず, アウトプットコンペア出力は "0" にリセットされます。

図 45.5-18 フリーランタイムがアップダウンカウントの場合 #6



45.5.3 16 ビットアウトプットコンペアの使用上の注意

- コンペア動作中のコンペア停止区間について
下記に示すようにコンペアレジスタにコンペア値を書き込んだ直後の 1 カウント分は、コンペア動作が行われません。



- CMOD=1 であつ OCCP0 = OCCP1, OCCP2 = OCCP3, OCCP4 = OCCP5, OCCP6 = OCCP7, OCCP8 = OCCP9, OCCP10 = OCCP11 の設定の場合、コンペア一致が発生するとポートは 1 回のみ反転します。
- アウトプットコンペア出力の出力レベルの指定をするときには、コンペア動作を停止させてから行ってください。
- アウトプットコンペアは、フリーランタイマと同期しているため、フリーランタイマを停止させるとコンペア動作も停止します。
- コンペアモードビットを CMOD = 1 にした場合でも、割込み動作は OCU0 から OCU11 それぞれ独立で発生します。

● リードモディファイライト

割込み要求フラグビットの (IOP0), (IOP1), (IOP2), (IOP3), (IOP4), (IOP5), (IOP6), (IOP7), (IOP8), (IOP9), (IOP10), (IOP11) をリードモディファイライトで読み出すと "1" が読めます。

● 割込みの注意

コンペア制御レジスタ (OCS) の割込みフラグビット (IOP1/IOP0) に "1" を設定し、次に割込み要求を許可 (OCS の割込み要求許可ビット (IOE1/IOE0) に "1" を設定) にすると、制御は割込み処理から戻ることができません。割込みフラグビット (IOP1/IOP0) は、必ずクリアしてください。

第 46 章 12 ビット A/D コンバータ

46.1 概要

12 ビット A/D コンバータには RC 逐次比較変換方式でアナログ入力電圧を 12 ビットのデジタル値に変換する機能があります。A/D 起動トリガ入力により、A/D 変換を行います。A/D 変換中に再度 A/D 起動トリガが入力された場合、A/D 変換を再起動します。また、A/D 変換キャンセル入力信号により、強制停止機能もサポートします。

46.2 特長

■ A/D 起動コンペアの機能

- 24 チャンネルのアナログ入力の許可 / 禁止を選択することが可能です。
- A/D 起動要求制御および A/D 変換データ格納を行います。
- A/D 起動チャンネルは、12 ビット A/D コンバータの各ユニットと対応しています。起動チャンネル 0 ～ 7 は 12 ビット A/D コンバータユニット 0 に、起動チャンネル 8 ～ 15 は 12 ビット A/D コンバータユニット 1 に、起動チャンネル 16 ～ 23 は 12 ビット A/D コンバータユニット 2 に、それぞれ対応しています。
- 各起動チャンネルは、コンペアレジスタと A/D 起動トリガ制御ステータスレジスタおよび A/D データレジスタから構成されます。
- 各起動チャンネルは、ソフトウェア、外部トリガ (立下り), リロードタイマ (立上り), およびコンペア一致のいずれかで A/D 起動要求を行います。なお、起動チャンネル内では、A/D 変換 (起動要求) 中の再起動はできません。
- ソフトウェア起動、外部トリガ、およびリロードタイマ起動は、任意の起動チャンネルを選択可能です。
- コンペア一致起動は、16 ビットフリーランタイム値と各起動チャンネルのコンペアレジスタが一致したときに、A/D 起動要求を行います。なお、使用するフリーランタイム値はフリーランタイム選択で選択され、各起動チャンネルにそれぞれ入力されます。選択はフリーランタイム選択レジスタ : FRS4, FRS5, FRS6 にて設定できます。詳細は「43.4.3.1 フリーランタイム選択レジスタ : FRS」を参照してください。
- コンペア一致起動では、16 ビットフリーランタイムのアップカウント時のみ、またはダウンカウント時のみ、またはアップ / ダウンカウントの双方時のいずれかで、フリーランタイム値とコンペアレジスタが一致したときに A/D 起動要求を行います。
- 起動チャンネルごとに、起動要求はシングルモードまたはリピートモードのいずれかが設定可能です。
- シングルモードでは、1 回の起動要因で 1 回の起動要求を行います。A/D 変換は 1 回行われ、起動要求は A/D 変換終了で解除されます。
- リピートモードでは、1 回の起動要因で起動要求を継続して行います。A/D 変換は繰り返し実行され、起動要求はリピートモードが解除されるまで継続します。
- A/D 変換終了時に、A/D データレジスタに変換データを格納します。A/D データレジスタは、起動チャンネルごとにあります。
- 各 A/D データレジスタ内には、エラーフラグビットおよびエラーステータスビットが存在し、これらの値より A/D 変換データの状態を知ることができます。
- 各起動チャンネルは、A/D 変換終了時に、割込み要求を発生できます。
- 各 A/D データレジスタは、データ保護機能を設定可能です。なお、保護機能はコンペア一致起動以外の要因のときに働きます。
- 保護機能が有効時、A/D データレジスタのデータ読出しと割込みフラグクリアがされるまで、起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。また、割込みフラグのクリアを条件にいれるかどうかは設定可能です。

管理コード : FIP004_FS24-2v3-91580L-1-J

- A/D 起動要求中または変換中は、レジスタのビットにより通知できます。また、現在の A/D 変換要求または変換を強制終了したい場合には、該当のビットに "0" を書き込むことにより可能です。

■ A/D 起動調停の機能

- A/D 起動調停は、12 ビット A/D コンバータユニットごとにあります。A/D 起動コンペアの起動チャンネル 0～7 は A/D 起動調停 0、起動チャンネル 8～15 は A/D 起動調停 1、起動チャンネル 16～23 は A/D 起動調停 2 で処理されます。
 - A/D 起動調停は、調停回路、A/D 起動トリガ生成、およびアナログチャンネル番号選択で構成されます。
 - A/D 起動コンペアからの起動要求の調停を行い、起動トリガ、A/D 変換キャンセル信号、およびアナログチャンネル番号を生成します。
 - 起動トリガは、各 A/D 起動コンペアからの起動要求から 1 つを選択して生成します。A/D 起動調停では、各 A/D 起動コンペアの起動要求が競合した場合、優先制御を行います。優先順位は、「起動チャンネルの若い番号」(チャンネル番号による優先制御)、および「コンペア一致 > 外部トリガ / リロードタイマ > ソフトウェア起動」(起動要因による優先制御)となります。選択されなかった起動要求は待たされ、処理中の A/D 変換が終了すると再度調停が行われます。なお、起動要因による優先制御は、A/D 変換中も行われます。その際、現在の変換は中断され、優先度の高い起動要因が処理されます。中断した起動要因は、優先度の高い変換終了後に再度調停されチャンネル番号および起動要因による優先度の高いものがなければ、処理が再起動されます。
- A/D 変換停止中に優先度が同じ起動要因が発生した場合：
起動チャンネルの若い番号のものから処理します。
- A/D 変換停止中に優先度が異なる起動要因が発生した場合：
優先度の高い起動要因から処理します。
- A/D 変換中に優先度の高い起動要因が発生した場合：
現在の変換を中断して優先度の高い起動要因を処理します。その変換後に再度調停され、中断した起動要因を再起動します。
- A/D 変換中に優先度の低い起動要因が発生した場合：
現在の変換終了後に再度調停され、優先度の低い起動要因を処理します。
- A/D 変換中に優先度が同じ起動要因が発生した場合：
現在の変換終了後に再度調停され、優先度が同じ起動要因を処理します。
- 変換キャンセル信号は、変換中の起動要因が非アクティブになり、ほかの起動要因もアクティブでないときに、現在の変換処理を強制終了するために生成します。
 - アナログチャンネル番号は、起動要求調停結果の起動チャンネルから入力される起動要求アナログ番号が選択されます。

■ 12 ビット A/D コンバータ制御の機能

- 12 ビット A/D コンバータ 0～2 が 3 個あり、アナログ入力端子がそれぞれに割り振られています。

アナログ入力端子に入力されたアナログ電圧 (入力電圧) をデジタル値に A/D 変換する機能があり、次の特長があります。

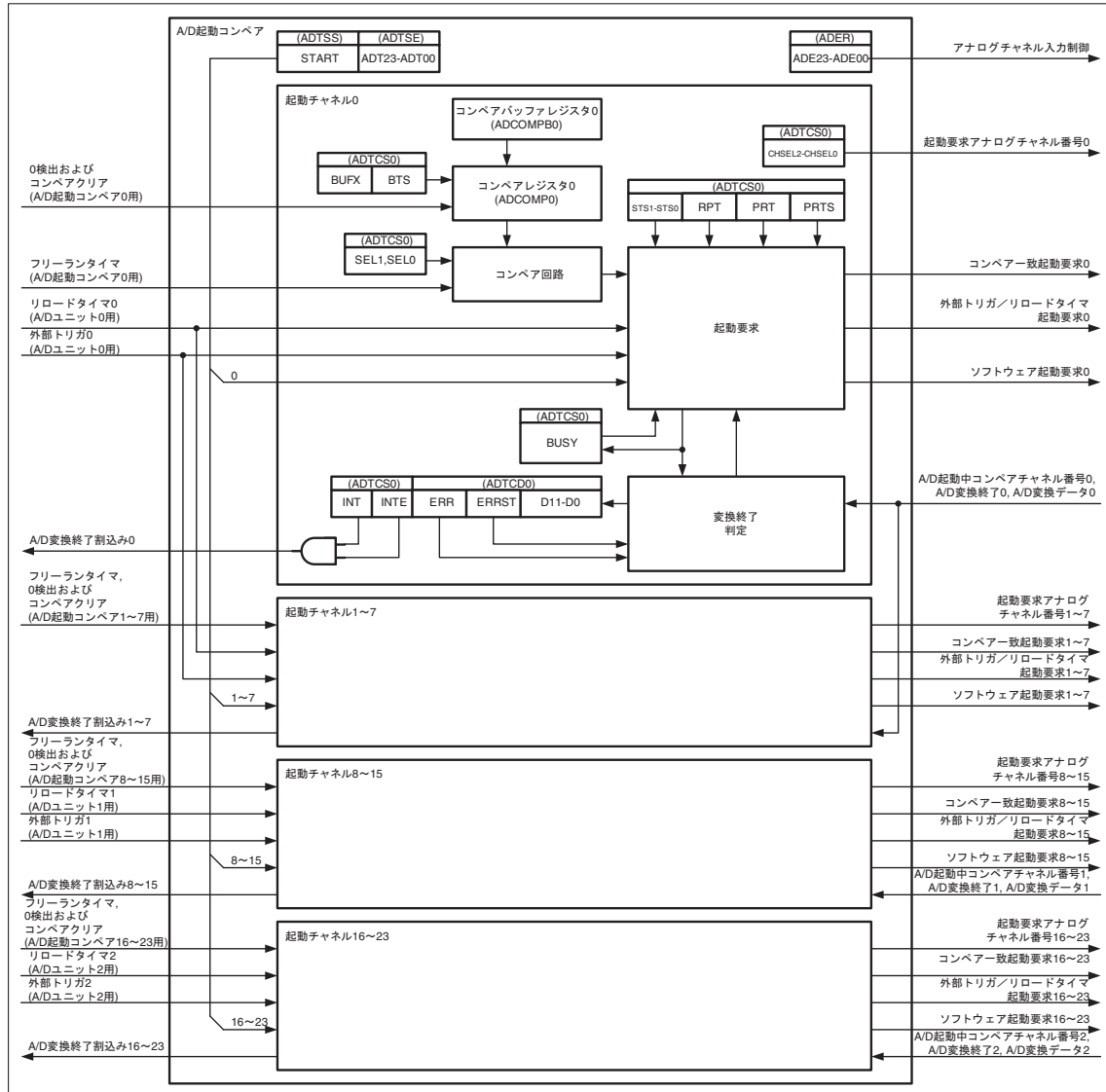
- 変換時間は、最小 1.0 μ s(サンプリング時間を含む) です。
- 変換方式は、サンプルホールド回路付き RC 逐次変換比較方式です。
- アナログ入力端子はプログラムで選択できます。(A/D 起動コンペア部にて設定します。)
- 起動信号はパルス信号で入力されます。
- A/D 変換は、1 回の起動要因の入力で 1 回の変換を行います。
- A/D 変換中に、再度、起動信号が入力された場合は、再起動を行います。(再起動機能)
- A/D 変換中に、A/D 変換キャンセル信号を受信すると、現在の処理を停止 / 初期化します。(強制停止機能)

(注意事項) リピート変換時の変換時間は、1.1 μ s(サンプリング時間を含む) です。

46.3 構成

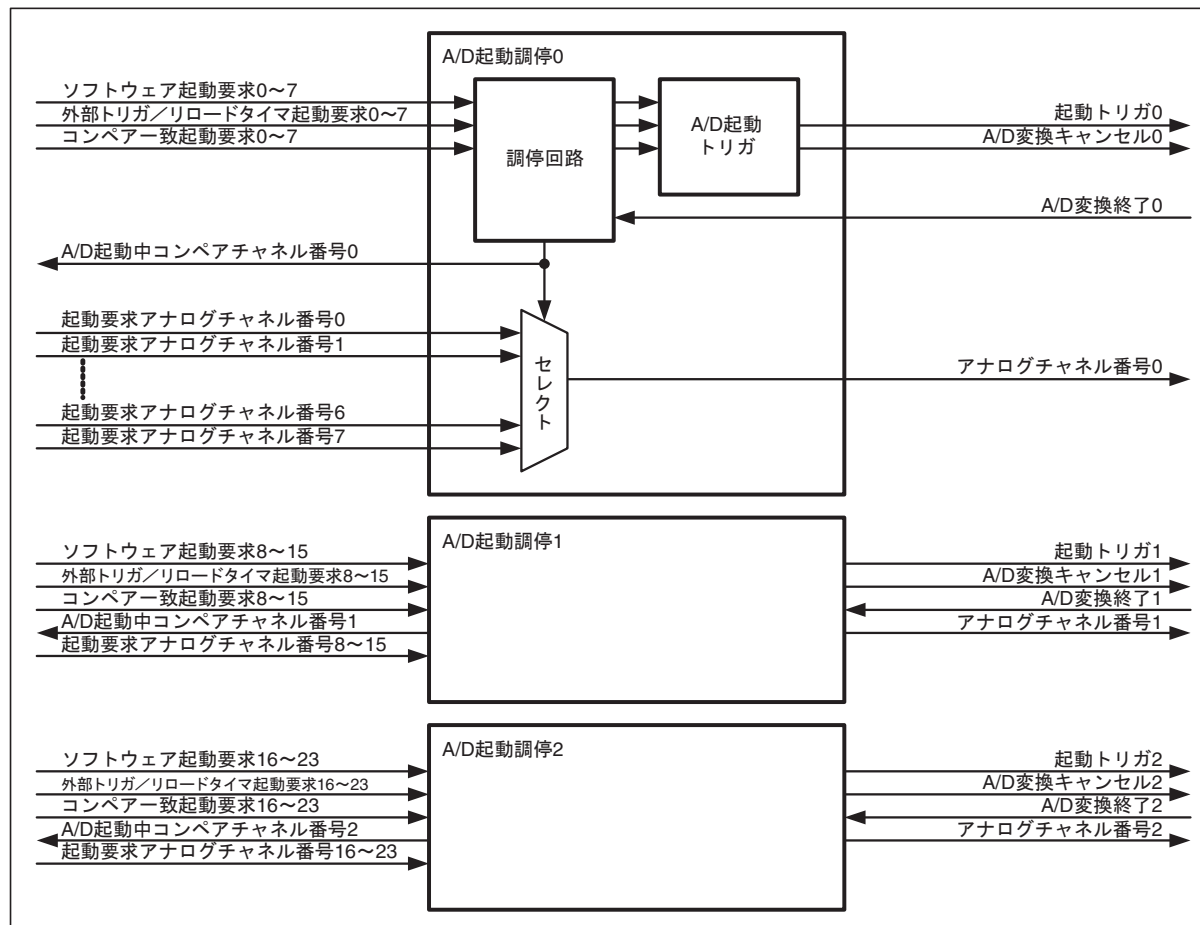
■ A/D 起動コンペアの構成

図 46.3-1 A/D 起動コンペアの構成



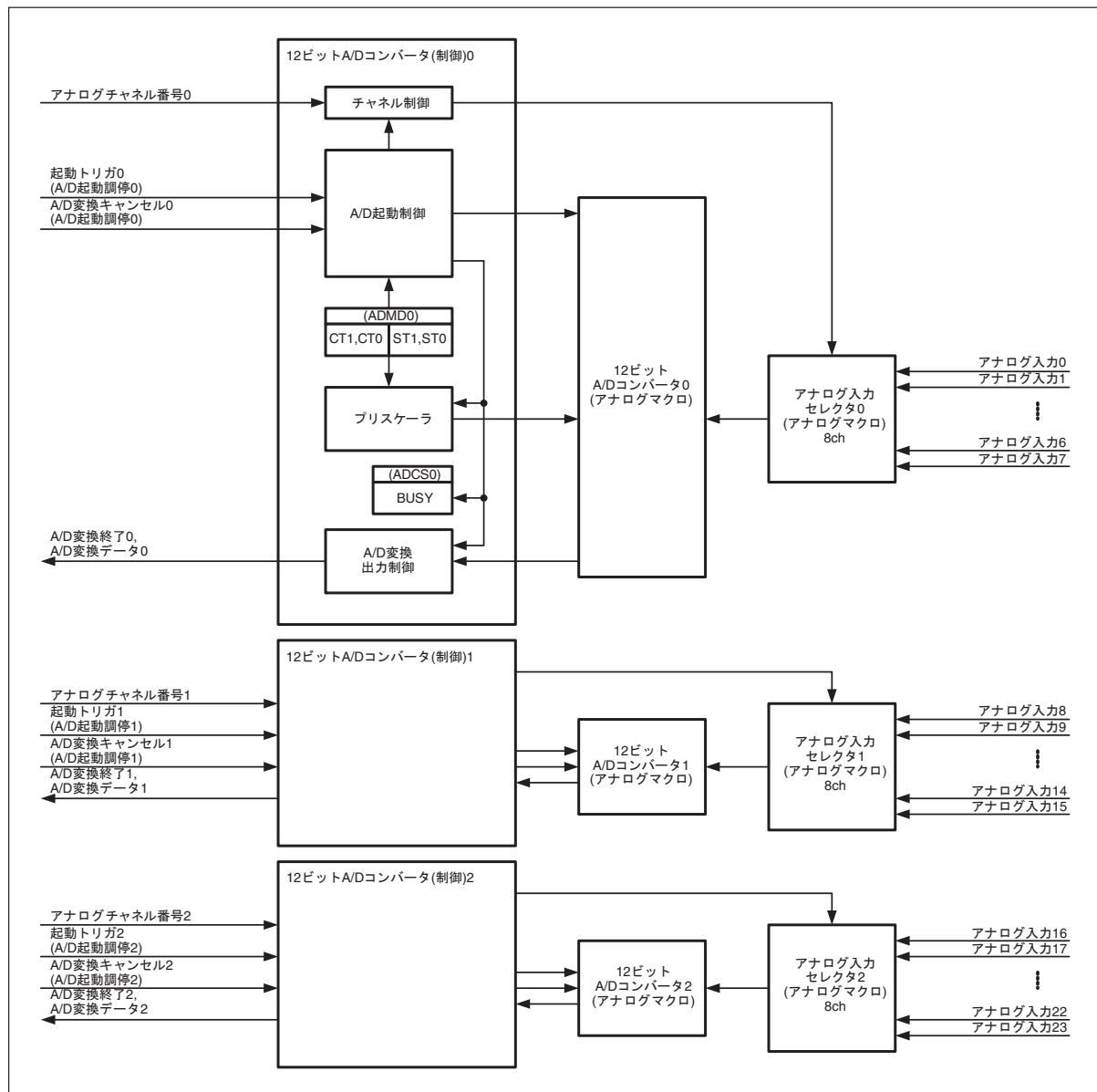
■ A/D 起動調停の構成

図 46.3-2 A/D 起動調停の構成



■ 12 ビット A/D コンバータ制御の構成

図 46.3-3 12 ビット A/D コンバータ制御の構成



46.4 レジスタ

表 46.4-1 アナログ入力制御のレジスタ一覧

アドレス	+0	+1	+2	+3
0F48 _H	アナログ入力制御レジスタ上位 (ADERH) (キーコード対象レジスタ)		アナログ入力制御レジスタ下位 (ADERL) (キーコード対象レジスタ)	

表 46.4-2 A/D 起動コンペアのレジスタ一覧 (1 / 3)

アドレス	+0	+1	+2	+3
11DC _H	A/D ソフトウェア起動 レジスタ (ADTSS)	予約	予約	予約
11E0 _H	A/D ソフトウェア起動チャネル選択レジスタ (ADTSE)			
11E4 _H	コンペアバッファレジスタ 0 (ADCOMP0B), コンペアレジスタ 0 (ADCOMP0)		コンペアバッファレジスタ 1 (ADCOMP1B), コンペアレジスタ 1 (ADCOMP1)	
11E8 _H	コンペアバッファレジスタ 2 (ADCOMP2B), コンペアレジスタ 2 (ADCOMP2)		コンペアバッファレジスタ 3 (ADCOMP3B), コンペアレジスタ 3 (ADCOMP3)	
11EC _H	コンペアバッファレジスタ 4 (ADCOMP4B), コンペアレジスタ 4 (ADCOMP4)		コンペアバッファレジスタ 5 (ADCOMP5B), コンペアレジスタ 5 (ADCOMP5)	
11F0 _H	コンペアバッファレジスタ 6 (ADCOMP6B), コンペアレジスタ 6 (ADCOMP6)		コンペアバッファレジスタ 7 (ADCOMP7B), コンペアレジスタ 7 (ADCOMP7)	
11F4 _H	コンペアバッファレジスタ 8 (ADCOMP8B), コンペアレジスタ 8 (ADCOMP8)		コンペアバッファレジスタ 9 (ADCOMP9B), コンペアレジスタ 9 (ADCOMP9)	
11F8 _H	コンペアバッファレジスタ 10 (ADCOMP10B), コンペアレジスタ 10 (ADCOMP10)		コンペアバッファレジスタ 11 (ADCOMP11B), コンペアレジスタ 11 (ADCOMP11)	
11FC _H	コンペアバッファレジスタ 12 (ADCOMP12B), コンペアレジスタ 12 (ADCOMP12)		コンペアバッファレジスタ 13 (ADCOMP13B), コンペアレジスタ 13 (ADCOMP13)	
1200 _H	コンペアバッファレジスタ 14 (ADCOMP14B), コンペアレジスタ 14 (ADCOMP14)		コンペアバッファレジスタ 15 (ADCOMP15B), コンペアレジスタ 15 (ADCOMP15)	



表 46.4-2 A/D 起動コンペアのレジスタ一覧 (2 / 3)

アドレス	+0	+1	+2	+3
1204 _H	コンペアバッファレジスタ 16 (ADCOMPB16), コンペアレジスタ 16 (ADCOMP16)		コンペアバッファレジスタ 17 (ADCOMPB17), コンペアレジスタ 17 (ADCOMP17)	
1208 _H	コンペアバッファレジスタ 18 (ADCOMPB18), コンペアレジスタ 18 (ADCOMP18)		コンペアバッファレジスタ 19 (ADCOMPB19), コンペアレジスタ 19 (ADCOMP19)	
120C _H	コンペアバッファレジスタ 20 (ADCOMPB20), コンペアレジスタ 20 (ADCOMP20)		コンペアバッファレジスタ 21 (ADCOMPB21), コンペアレジスタ 21 (ADCOMP21)	
1210 _H	コンペアバッファレジスタ 22 (ADCOMPB22), コンペアレジスタ 22 (ADCOMP22)		コンペアバッファレジスタ 23 (ADCOMPB23), コンペアレジスタ 23 (ADCOMP23)	
1214 _H 1220 _H	予約		予約	
1224 _H	A/D 起動トリガ制御ステータスレジスタ 0 (ADTCS0)		A/D 起動トリガ制御ステータスレジスタ 1 (ADTCS1)	
1228 _H	A/D 起動トリガ制御ステータスレジスタ 2 (ADTCS2)		A/D 起動トリガ制御ステータスレジスタ 3 (ADTCS3)	
122C _H	A/D 起動トリガ制御ステータスレジスタ 4 (ADTCS4)		A/D 起動トリガ制御ステータスレジスタ 5 (ADTCS5)	
1230 _H	A/D 起動トリガ制御ステータスレジスタ 6 (ADTCS6)		A/D 起動トリガ制御ステータスレジスタ 7 (ADTCS7)	
1234 _H	A/D 起動トリガ制御ステータスレジスタ 8 (ADTCS8)		A/D 起動トリガ制御ステータスレジスタ 9 (ADTCS9)	
1238 _H	A/D 起動トリガ制御ステータスレジスタ 10 (ADTCS10)		A/D 起動トリガ制御ステータスレジスタ 11 (ADTCS11)	
123C _H	A/D 起動トリガ制御ステータスレジスタ 12 (ADTCS12)		A/D 起動トリガ制御ステータスレジスタ 13 (ADTCS13)	
1240 _H	A/D 起動トリガ制御ステータスレジスタ 14 (ADTCS14)		A/D 起動トリガ制御ステータスレジスタ 15 (ADTCS15)	
1244 _H	A/D 起動トリガ制御ステータスレジスタ 16 (ADTCS16)		A/D 起動トリガ制御ステータスレジスタ 17 (ADTCS17)	
1248 _H	A/D 起動トリガ制御ステータスレジスタ 18 (ADTCS18)		A/D 起動トリガ制御ステータスレジスタ 19 (ADTCS19)	
124C _H	A/D 起動トリガ制御ステータスレジスタ 20 (ADTCS20)		A/D 起動トリガ制御ステータスレジスタ 21 (ADTCS21)	
1250 _H	A/D 起動トリガ制御ステータスレジスタ 22 (ADTCS22)		A/D 起動トリガ制御ステータスレジスタ 23 (ADTCS23)	
1254 _H 1260 _H	予約		予約	

表 46.4-2 A/D 起動コンペアのレジスタ一覧 (3 / 3)

アドレス	+0	+1	+2	+3
1264 _H	A/D データレジスタ 0 (ADTCD0)		A/D データレジスタ 1 (ADTCD1)	
1268 _H	A/D データレジスタ 2 (ADTCD2)		A/D データレジスタ 3 (ADTCD3)	
126C _H	A/D データレジスタ 4 (ADTCD4)		A/D データレジスタ 5 (ADTCD5)	
1270 _H	A/D データレジスタ 6 (ADTCD6)		A/D データレジスタ 7 (ADTCD7)	
1274 _H	A/D データレジスタ 8 (ADTCD8)		A/D データレジスタ 9 (ADTCD9)	
1278 _H	A/D データレジスタ 10 (ADTCD10)		A/D データレジスタ 11 (ADTCD11)	
127C _H	A/D データレジスタ 12 (ADTCD12)		A/D データレジスタ 13 (ADTCD13)	
1280 _H	A/D データレジスタ 14 (ADTCD14)		A/D データレジスタ 15 (ADTCD15)	
1284 _H	A/D データレジスタ 16 (ADTCD16)		A/D データレジスタ 17 (ADTCD17)	
1288 _H	A/D データレジスタ 18 (ADTCD18)		A/D データレジスタ 19 (ADTCD19)	
128C _H	A/D データレジスタ 20 (ADTCD20)		A/D データレジスタ 21 (ADTCD21)	
1290 _H	A/D データレジスタ 22 (ADTCD22)		A/D データレジスタ 23 (ADTCD23)	
1294 _H 12A0 _H	予約		予約	

表 46.4-3 12 ビット A/D コンバータ制御のレジスタ一覧

アドレス	+0	+1	+2	+3
12A4 _H	A/D 制御ステータスレジスタ 0 (ADCS0)		A/D チャンネル ステータスレジスタ 0 (ADCH0)	A/D モード設定 レジスタ 0 (ADMD0)
12A8 _H	A/D 制御ステータスレジスタ 1 (ADCS1)		A/D チャンネル ステータスレジスタ 1 (ADCH1)	A/D モード設定 レジスタ 1 (ADMD1)
12AC _H	A/D 制御ステータスレジスタ 2 (ADCS2)		A/D チャンネル ステータスレジスタ 2 (ADCH2)	A/D モード設定 レジスタ 2 (ADMD2)

46.4.1 アナログ入力許可のレジスタ

46.4.1.1 アナログ入力許可レジスタ : ADER

アナログ入力許可レジスタ (ADERH, ADERL) は、使用する端子をアナログ入力に設定します。

- ADERH: アドレス 0F48_H (アクセス : バイト, ハーフワード)

15	14	13	12	11	10	9	8	bit
1	1	1	1	1	1	1	1	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	属性
7	6	5	4	3	2	1	0	bit
ADE23	ADE22	ADE21	ADE20	ADE19	ADE18	ADE17	ADE16	
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ～ bit8] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit7 ～ bit0] ADE23 ～ ADE16 : アナログ入力許可ビット

ADE23 ～ ADE16	機能
0	ポート入力 / 出力モード
1	アナログ入力モード

- アナログ入力端子を制御します。
- このビットが "0" の場合、アナログ入力は禁止されます。
- このビットが "1" の場合、アナログ入力は許可されます。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。設定方法は「第 24 章 I/O ポート」の「24.4.10 キーコードレジスタ : KEYCDR」, 「24.5.11 キーコードレジスタ機能の設定」をご参照ください。また、本レジスタへのワードアクセスは禁止です。

• ADERL: アドレス 0F4A_H (アクセス: バイト, ハーフワード)

15	14	13	12	11	10	9	8	bit
ADE15	ADE14	ADE13	ADE12	ADE11	ADE10	ADE09	ADE08	
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
ADE07	ADE06	ADE05	ADE04	ADE03	ADE02	ADE01	ADE00	
1	1	1	1	1	1	1	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ～ bit0] ADE15 ～ ADE00 : アナログ入力許可ビット

ADE15 ～ ADE00	機能
0	ポート入力 / 出力モード
1	アナログ入力モード

- アナログ入力端子を制御します。
- このビットが "0" の場合, アナログ入力は禁止されます。
- このビットが "1" の場合, アナログ入力は許可されます。

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。設定方法は「第 24 章 I/O ポート」の「24.4.10 キーコードレジスタ: KEYCDR」, 「24.5.11 キーコードレジスタ機能の設定」をご参照ください。また, 本レジスタへのワードアクセスは禁止です。

46.4.2 A/D 起動コンペアのレジスタ

46.4.2.1 A/D ソフトウェア起動レジスタ : ADTSS

A/D ソフトウェア起動レジスタ (ADTSS) は, 12 ビット A/D コンバータの A/D 起動要求を行うレジスタです。なお, 起動するチャンネルは, A/D ソフトウェア起動チャンネル選択レジスタ (ADTSE) で設定される起動チャンネルに対してです。

- ADTSS: アドレス 11DC_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約							START	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W	属性

[bit7 ~ bit1] 予約

必ず "0" を書き込んでください。

[bit0] START : A/D 変換起動ビット (ソフトウェア)

START	機能
0	A/D 変換機能を起動しない
1	A/D 変換機能を起動する

- A/D 変換動作をソフトウェアで起動するビットです。
- このビットに "1" を書き込むと A/D 変換が起動します。なお, 起動するチャンネルは, A/D ソフトウェア起動チャンネル選択レジスタ (ADTSE) で設定される起動チャンネルに対してです。
- このビットによる変換の再起動はかかりません。

46.4.2.2 A/D ソフトウェア起動チャネル選択レジスタ : ADTSE

A/D ソフトウェア起動チャネル選択レジスタ (ADTSE) は, A/D 起動要求を行う起動チャネルを選択するレジスタです。

• ADTSE: アドレス 11E0_H (アクセス: バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
-								
1	1	1	1	1	1	1	1	初期値
R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	R1,WX	属性
23	22	21	20	19	18	17	16	bit
ADT23	ADT22	ADT21	ADT20	ADT19	ADT18	ADT17	ADT16	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
15	14	13	12	11	10	9	8	bit
ADT15	ADT14	ADT13	ADT12	ADT11	ADT10	ADT09	ADT08	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
ADT07	ADT06	ADT05	ADT04	ADT03	ADT02	ADT01	ADT00	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit31 ～ bit24] 未定義

常に "1" が読み出されます。書込みは動作に影響ありません。

[bit23 ～ bit0] ADT23 ～ ADT00 : ソフトウェア起動チャネル選択ビット

ADT23 ～ ADT00	機能
0	ソフトウェア起動禁止
1	ソフトウェア起動許可

- 起動チャネルのソフトウェア起動を制御します。
- このビットが "0" の場合, ソフトウェア起動は禁止されます。
- このビットが "1" の場合, ソフトウェア起動は許可されます。

46.4.2.3 コンペアバッファレジスタ : ADCOMP_B0 ～ ADCOMP_B23/ コンペアレジスタ : ADCOMP₀ ～ ADCOMP₂₃

コンペアバッファレジスタ (ADCOMP_B) は、コンペアレジスタ (ADCOMP) 用の 16 ビットバッファレジスタです。

コンペアレジスタ (ADCOMP) は、フリーランタイムの値と一致したときに A/D コンバータを起動させます。

ADCOMP_B レジスタと ADCOMP レジスタは、両方とも同じアドレスに存在しています。

• ADCOMP_B0 ～ ADCOMP_B23: アドレス 11E4_H～ 1212_H(アクセス : ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
CMP15	CMP14	CMP13	CMP12	CMP11	CMP10	CMP09	CMP08	
0	0	0	0	0	0	0	0	初期値
W	W	W	W	W	W	W	W	属性
7	6	5	4	3	2	1	0	bit
CMP07	CMP06	CMP05	CMP04	CMP03	CMP02	CMP01	CMP00	
0	0	0	0	0	0	0	0	初期値
W	W	W	W	W	W	W	W	属性

[bit15 ～ bit0] CMP15 ～ CMP00 : コンペア値バッファビット

CMP15 ～ CMP00	機能
コンペア値バッファ	

- コンペアバッファレジスタは、A/D 起動コンペアレジスタ (ADCOMP) 用バッファレジスタです。バッファ機能が無効時 (A/D 起動トリガ制御ステータスレジスタ (ADTCS) の BUFX=1), またはフリーランタイムが停止するとコンペアバッファ値は直ちにコンペアレジスタに転送されます。
- バッファ機能が有効時 (A/D 起動トリガ制御ステータスレジスタ (ADTCS) の BUFX=0), コンペアバッファ値は、16 ビットフリーランタイムのコンペアクリアレジスタと一致したときもしくは 0 検出時にコンペアレジスタへ転送されます。

(注意事項) このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

• ADCOMP0 ～ ADCOMP23: アドレス 11E4_H～ 1212_H (アクセス: ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
CMP15	CMP14	CMP13	CMP12	CMP11	CMP10	CMP09	CMP08	
0	0	0	0	0	0	0	0	初期値
R	R	R	R	R	R	R	R	属性

7	6	5	4	3	2	1	0	bit
CMP07	CMP06	CMP05	CMP04	CMP03	CMP02	CMP01	CMP00	
0	0	0	0	0	0	0	0	初期値
R	R	R	R	R	R	R	R	属性

[bit15 ～ bit0] CMP15 ～ CMP00 : コンペア値ビット

	機能
CMP15 ～ CMP00	コンペア値

- コンペア値の更新はコンペアバッファレジスタを介して行います。
- コンペアレジスタは, 16 ビットフリーランタイマのカウント値と比較するためのコンペア値を格納するレジスタで, フリーランタイマとコンペア値が一致したときに A/D を起動させることができます。
- コンペアレジスタに格納されたコンペア値は, すぐに比較動作されます。
- A/D 起動トリガ制御ステータスレジスタ (ADTCS) の SEL1, SEL0=11_B のとき, コンペアー致動作を行いません。

(注意事項) コンペアレジスタへの読出しは, ワードもしくはハーフワードで行ってください。
リードモディファイライト系命令でのアクセスは行わないでください。

46.4.2.4 A/D 起動トリガ制御ステータスレジスタ : ADTCS0 ～ ADTCS23

A/D 起動トリガ制御ステータスレジスタ (ADTCS) は, A/D 起動要求確認, 割込み要求の許可 / 禁止, 割込み要求の状態の確認, 起動要因選択, 変換モード選択, 保護機能制御, コンペア動作に使用するコンペア値の選択, コンペア値のバッファ制御, およびアナログ入力チャネルの選択に使用します。

• ADTCS0 ～ ADTCS23: アドレス 1224_H～ 1252_H(アクセス : バイト , ハーフワード , ワード)

15	14	13	12	11	10	9	8	bit
BUSY	INT	INTE	STS1	STS0	RPT	PRT	PRTS	
0	0	0	0	0	0	0	0	初期値
R(RM1),W	R(RM1),W	R/W	R/W	R/W	R/W	R/W	R/W	属性

7	6	5	4	3	2	1	0	bit
SEL1	SEL0	BUFX	BTS	CHSEL3 *	CHSEL2	CHSEL1	CHSEL0	
0	0	1	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

* : ADTCS0 ～ ADTCS15 では , CHSEL3 は Reserved となり , 属性は R0,WX です。

[bit15] BUSY : A/D 起動要求中ビット

BUSY	機能	
	読出し時	書込み時
0	A/D 起動未要求	A/D 起動要求強制停止
1	A/D 起動要求中または変換中	変化なし, ほかに影響なし

- A/D 起動要求または変換の動作表示ビットです。
- 読出し時, このビットが "0" であれば A/D 変換未要求であることを示し, "1" であれば A/D 変換要求中または変換中であることを示します。
- 書込み時, このビットへの "0" の書込みによって A/D 起動要求または変換を強制停止します。
"1" の書込みでは, 変化せずほかに影響はありません。

(注意事項) リードモディファイライト (RMW) 系命令のリード時には, "1" が読み出されます。

[bit14] INT : 割込み要求フラグビット

INT	機能	
	読出し時	書込み時
0	A/D 変換未終了	ビットクリア
1	A/D 変換終了	変化なし, ほかに影響なし

- A/D 変換によって A/D データレジスタ (ADTCD) にデータがセットされると, このビットは "1" に設定されます。
- このビットと割込み要求許可ビット (ADTCS:INTE) が "1" のときに割込み要求を発生します。
- 書込み時は, "0" でこのビットがクリアされ, "1" では変化せずほかに影響はありません。
- このビットは A/D 変換終了割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令のリード時には, "1" が読み出されます。
ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセットが同時に発生した場合は, ハードウェアセットが優先されます。

[bit13] INTE : 割込み要求許可ビット

INTE	機能
0	割込み要求出力の禁止
1	割込み要求出力の許可

- CPU への割込み出力の許可 / 禁止をするビットです。
- このビットと割込み要求フラグビット (ADTCS:INT) が "1" のときに割込み要求を発生します。

[bit12, bit11] STS1, STS0 : A/D 起動要因選択ビット

STS1	STS0	機能
0	0	ソフトウェア起動
0	1	外部端子トリガ起動 (立下りエッジ)
1	0	リロードタイマ起動 (立上りエッジ)
1	1	コンペアー一致起動

- A/D 変換の起動要因の選択を行います。

(注意事項) 起動要因は書き換えと同時に変更されますので、本ビットの変更は、現在の選択先と変更する選択先の起動要因がアクティブとならない状態で、かつ、A/D変換要求中(ADTCS:BUSY=1)でないときに行ってください。
A/D 起動要求を行わない場合は、本ビットをソフトウェア起動 ("00_B") と設定し、ADTSE の該当ビットをソフトウェア起動禁止 (ADT ビット =0) としてください。

[bit10] RPT : リピート変換選択ビット

RPT	機能
0	シングル変換
1	リピート変換

- A/D 変換のモードを設定します。
- "0" に設定した場合、シングル変換モードになります。1 回の起動要因で 1 回の A/D 変換要求を行います。A/D 変換を 1 回行います。
- "1" に設定した場合、リピート変換モードになります。1 回の起動要因で A/D 変換要求を継続します。A/D 変換はシングル変換モードに設定されるまで繰り返し行われます。

[bit9] PRT : A/D データレジスタ保護有効ビット

PRT	機能
0	保護無効
1	保護有効

- "1" に設定した場合、A/D データレジスタへの上書きを保護します。なお、保護機能はコンペアー一致起動 (STS1, STS0=11) 以外の要因のときに働きます。
- A/Dデータレジスタに変換データが格納された後、A/Dデータレジスタ保護解除選択ビット(PRTS)で設定される要因が発生するまで次の起動要求をマスクして、A/D データレジスタへの上書きを保護します。

[bit8] PRTS : A/D データレジスタ保護解除選択ビット

PRTS	機能
0	データ読出しおよび割込みフラグクリア
1	データ読出し

- A/D データレジスタ保護機能有効時 (PRT=1) に、起動要求のマスク解除条件を選択します。
- "0" に設定した場合、A/D データレジスタ (ADTCD) の読出しと割込み要求フラグビット (INT) のクリアとなります。
- "1" に設定した場合、A/D データレジスタ (ADTCD) の読出しとなります。

[bit7, bit6] SEL1, SEL0 : カウント方向選択ビット

SEL1	SEL0	機能
0	0	アップダウンカウント双方時
0	1	アップカウント時のみ
1	0	ダウンカウント時のみ
1	1	コンペア禁止

- "00_B" を設定した場合、フリーランタイマがアップカウント / ダウンカウント中のいずれでも、コンペア一致動作を行います。
- "01_B" を設定した場合、フリーランタイマがアップカウント中にのみコンペア一致動作を行います。
- "10_B" を設定した場合、フリーランタイマがダウンカウント中にのみコンペア一致動作を行います。
- "11_B" を設定した場合、コンペア動作を行いません。
- 選択しているフリーランタイマが停止中は、コンペア動作を行いません。

(注意事項) フリーランタイマがアップカウントモードのとき、"10" に設定することを禁止します。

[bit5] BUFX : コンペアレジスタバッファ機能制御ビット

BUFX	機能
0	有効
1	無効

- "1" を設定した場合、バッファ機能は無効となります。
- "0" を設定した場合、バッファ機能は有効となります。

[bit4] BTS : コンペアレジスタバッファ転送制御ビット

BTS	機能
0	0 検出時
1	コンペアクリア時

- "0" を設定した場合、フリーランタイマの 0 検出時にコンペアバッファレジスタの値がコンペアレジスタに転送されます。
- "1" を設定した場合、フリーランタイマのコンペアクリアレジスタに一致したときにコンペアバッファレジスタ値がコンペアレジスタに転送されます。

[bit3 ～ bit0] CHSEL3 ～ CHSEL0 : アナログチャネル選択ビット

CHSEL3	CHSEL2	CHSEL1	CHSEL0	機能		
				ADTCS0-7	ADTCS8-15	ADTCS16-23
0	0	0	0	ch.0	ch.8	ch.16
0	0	0	1	ch.1	ch.9	ch.17
:				:	:	:
0	1	1	0	ch.6	ch.14	ch.22
0	1	1	1	ch.7	ch.15	ch.23
1	0	0	0	設定禁止		
:						
1	1	1	1			

- 指定した値のアナログチャネルを選択します。
- ADTCS0-7 で選択されるチャネルは ch.0 ～ ch.7 です。
- ADTCS8-15 で選択されるチャネルは ch.8 ～ ch.15 です。
- ADTCS16-23 で選択されるチャネルは ch.16 ～ ch.23 です。
- ADTCS0-15 では BIT3(CHSEL3) は Reserved になります。

< 注意事項 >

- STS1, STS0 ビット, BTS ビットを設定する場合, 必ずフリーランタイムが停止していることを確認してください。
- A/D 変換要求中は, CHSEL3-0 ビットの設定を変更しないでください。
- PRT ビットおよび PRTS ビットは, A/D 変換を動作させる前に設定してください。
A/D 変換中および A/D データレジスタが保護されている状態で, 本ビットの設定を変更しないでください。

46.4.2.5 A/D データレジスタ : ADTCD0 ～ ADTCD23

A/D データレジスタ (ADTCD) は, A/D 変換結果を格納するレジスタです。

• ADTCD0 ～ ADTCD23: アドレス 1264_H～1292_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
ERR	ERRST	予約		D11	D10	D9	D8	
1	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R0,W0	R0,W0	R,WX	R,WX	R,WX	R,WX	属性
7	6	5	4	3	2	1	0	bit
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	初期値
R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	属性

[bit15] ERR : 変換データエラーフラグビット

ERR	機能
0	変換データは正常です。
1	変換データは正常ではありません。

- A/D 変換データにエラーがあったことを示すビットでエラーの内容は本ビットが "1" のとき, ERRST ビットの値で知ることができます。
- 本ビットは読み出すと "1" に設定されます。
- 新しい変換結果が本レジスタに書き込まれると "0" にクリアされます。
- なお, A/D データレジスタ保護機能が有効 (ADTCS.PRT=1) かつコンペアー一致起動 (ADTCS.STS1, STS0=11) 以外の要因のときは, "0" が読み出されます。

[bit14] ERRST : 変換データエラーステータスビット (ERR=1 時のみ)

ERRST	機能
0	変換データは古い結果です。
1	変換データは新しいデータに上書きされたものです。

- ERR ビット =1 のとき, A/D 変換データのエラー内容を示すフラグです。
- ERR ビット =1 かつ本ビット =0 のとき, CPU 読出しによる変換結果が古いことを示します。
- ERR ビット =1 かつ本ビット =1 のとき, CPU 読出しによる変換結果は, CPU による旧変換結果の読出しが完了しないまま, 新しい変換結果の上書きより旧変換データが失われたことを示します。
- CPU による旧変換結果の読出しが完了しないまま, 新しい変換結果の上書きより旧変換データが失われていた場合, "1" に設定されます。
- 本ビットは読み出すと "0" にクリアされます。
- なお, A/D データレジスタ保護機能が有効 (ADTCS.PRT=1) かつコンペアー一致起動 (ADTCS.STS1, STS0=11) 以外の要因のときは, "0" が読み出されます。

[bit13, bit12] 予約

必ず "0" を書き込んでください。

[bit11 ～ bit0] D11 ～ D0 : A/D データビット

D11 ～ D0	機能
	変換データ

- A/D 変換の結果が格納され、レジスタは 1 回の変換終了ごとに書き換えられます。
- 通常は、最終変換値が格納されます。

(注意事項) A/D 変換中に本ビットにデータを書き込まないようにしてください。

46.4.3 12 ビット A/D コンバータ制御のレジスタ

12 ビット A/D コンバータ制御には、A/D 制御ステータスレジスタ、A/D チャネルステータスレジスタ、および A/D モード設定レジスタがあります。

46.4.3.1 A/D 制御ステータスレジスタ (ADCS)

A/D 制御ステータスレジスタ (ADCS) は、変換確認をする機能があります。

- ADCS0: アドレス 12A4_H (アクセス: バイト, ハーフワード, ワード)
- ADCS1: アドレス 12A8_H (アクセス: バイト, ハーフワード, ワード)
- ADCS2: アドレス 12AC_H (アクセス: バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
BUSY	予約							
0	0	0	0	0	0	0	0	初期値
R,WX	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	属性
7	6	5	4	3	2	1	0	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W0	R/W0	R0,W0	属性

[bit15] BUSY : A/D 変換中ビット

BUSY	機能
0	A/D 変換停止中
1	A/D 変換動作中

- A/D コンバータの動作表示ビットです。
- 読出し時、このビットが "0" であれば A/D 変換停止中であることを示し、"1" であれば A/D 変換動作中であることを示します。
- 書き込みは、変化せずほかへの影響はありません。

[bit14 ~ bit0] 予約

必ず "0" を書き込んでください。

46.4.3.2 A/D チャネルステータスレジスタ (ADCH)

A/D チャネルステータスレジスタ (ADCH) は、A/D 変換中に、変換中のアナログチャネル番号が読めます。

- ADCH0: アドレス 12A6_H (アクセス: バイト, ハーフワード, ワード)
- ADCH1: アドレス 12AA_H (アクセス: バイト, ハーフワード, ワード)
- ADCH2: アドレス 12AE_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約					CH2	CH1	CH0	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R,WX	R,WX	R,WX	属性

[bit7 ～ bit3] 予約

必ず "0" を書き込んでください。

[bit2 ～ bit0] CH2 ～ CH0 : アナログチャネルビット

CH2	CH1	CH0	機能		
			ADCH0	ADCH1	ADCH2
0	0	0	ch.0	ch.8	ch.16
0	0	1	ch.1	ch.9	ch.17
:			:	:	:
1	1	0	ch.6	ch.14	ch.22
1	1	1	ch.7	ch.15	ch.23

- A/D 変換中に、変換中のアナログチャネル番号の確認を行うことができるビットです。

46.4.3.3 A/D モード設定レジスタ (ADMD)

A/D モード設定レジスタ (ADMD) は、A/D 変換のコンペア時間やサンプリング時間を設定する機能があります。

- ADMD0: アドレス 12A7_H (アクセス: バイト, ハーフワード, ワード)
- ADMD1: アドレス 12AB_H (アクセス: バイト, ハーフワード, ワード)
- ADMD2: アドレス 12AF_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約				CT1	CT0	ST1	ST0	
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W	属性

[bit7 ~ bit4] 予約

必ず "0" を書き込んでください。

[bit3, bit2] CT1, CT0 : コンペア時間設定ビット

CT1	CT0	機能
0	0	28 周辺クロックサイクル (A/D クロック出力: 周辺クロック /2)
0	1	42 周辺クロックサイクル (A/D クロック出力: 周辺クロック /3)
1	0	56 周辺クロックサイクル (A/D クロック出力: 周辺クロック /4)
1	1	112 周辺クロックサイクル (A/D クロック出力: 周辺クロック /8)

- A/D 変換時のコンペア時間を選択するビットです。
- アナログ入力を取り込まれた (サンプリング時間経過) 後、このビットに設定された時間後に変換結果のデータが確定します。

推奨設定

周辺クロック (MHz)	CT1	CT0	コンペア期間 (ns)
40	0	0	700
32	0	0	875
24	0	0	1166.7
16	0	0	1750

(注意事項) ビットの手換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

[bit1, bit0] ST1, ST0 : サンプルング時間設定ビット

ST1	ST0	機能
0	0	12 周辺クロックサイクル (A/D クロック出力 : 周辺クロック /2)
0	1	18 周辺クロックサイクル (A/D クロック出力 : 周辺クロック /3)
1	0	24 周辺クロックサイクル (A/D クロック出力 : 周辺クロック /4)
1	1	48 周辺クロックサイクル (A/D クロック出力 : 周辺クロック /8)

- A/D 変換時のサンプルング時間を選択するビットです。
- A/D が起動されると、このビットに設定された時間、アナログ入力に取り込まれます。

推奨設定

周辺クロック (MHz)	ST1	ST0	サンプルング期間 (ns)
40	0	0	300
32	0	0	375
24	0	0	500
16	0	0	750

(注意事項) ビットの手換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。

46.5 動作説明

46.5.1 A/D 起動コンペアの割込み

A/D 起動コンペアの割込み制御ビットと割込み要因を示します。

表 46.5-1 A/D 起動コンペアの割込み制御ビットと割込み要因

	A/D 起動コンペア
割込み要求フラグビット	A/D 起動トリガ制御ステータスレジスタ (ADTCS) の INT:bit14
割込み要求許可ビット	A/D 起動トリガ制御ステータスレジスタ (ADTCS) の INTE:bit13
割込み要因	A/D 変換結果の A/D データレジスタへの書込み

A/D コンバータを起動したコンペアチャネルの A/D 変換終了時に割込み要求を発生できます。

A/D 変換結果が A/D データレジスタ (ADTCD) に設定されると、A/D 起動トリガ制御ステータスレジスタ (ADTCS) の INT ビットが "1" に設定されます。このとき、割込み要求が許可 (ADTCS の INTE=1) されていると割込みコントローラに割込み要求を出力します。

46.5.2 A/D 起動コンペアの動作

ソフトウェア、外部トリガ、リロードタイマ、コンペア一致 (16 ビットフリーランタイムの値が指示値となったとき) のいずれかで、A/D 起動要求を行うことができます。

46.5.2.1 A/D 起動

3 ユニットある A/D コンバータのいずれかに起動要求を行います。起動要求は 24 チャンネルあるアナログチャンネルごとに生成可能です。ソフトウェア、外部トリガ (立下り)、リロードタイマ (立上り)、コンペア一致 (フリーランタイムとコンペアレジスタ値が一致したとき) のいずれかで、A/D 起動調停に対して起動要求信号を生成します。A/D 起動要求信号は、起動チャンネルごとに、ソフトウェア起動要求、外部トリガ/リロードタイマ起動要求、コンペア一致起動要求の 3 つがあり、いずれかがアクティブとなります。該当チャンネルの A/D 変換終了で起動要求がクリアされ、A/D データレジスタに変換データが格納されます。その際、割込みを発生可能です。

なお、起動チャンネル内では、起動要求中に起動要因を受信しても起動要求の再起動は行いません。

24 チャンネルある起動チャンネルは、3 個ある A/D コンバータに割り振られており、起動チャンネル 0 ～ 7 は A/D コンバータユニット 0、起動チャンネル 8 ～ 15 は A/D コンバータユニット 1、起動チャンネル 16 ～ 23 は A/D コンバータユニット 2 に対応しています。

46.5.2.2 A/D 起動許可

A/D 起動要因は、A/D 起動トリガ制御ステータスレジスタ (ADTCS) の STS1, STS0 で選択します。ソフトウェア、外部トリガ、リロードタイマ、コンペア一致のいずれかが選択されます。選択された起動要因が発生したときに、A/D 起動調停に対して起動要求信号を発生します。

A/D 起動を行わない起動チャンネルに対しては、ソフトウェア起動を選択 (STS1, STS0=00_B) し、さらに A/D ソフトウェア起動チャンネル選択レジスタ (ADTSE) の該当チャンネルをソフトウェア起動禁止にすることにより、A/D 起動要求を禁止できます。

46.5.2.3 フリーランタイム入力

コンペア一致に使用するフリーランタイム入力は、起動チャンネルごとに独立して入力されます。複数の起動チャンネルで同じフリーランタイムを使用したい場合は、フリーランタイムセレクトで設定します。

46.5.2.4 アナログチャンネル選択

A/D 起動トリガ制御ステータスレジスタ (ADTCS) の CHSEL ビットにより、A/D 変換するアナログチャンネルを選択可能です。

46.5.2.5 ソフトウェア起動

A/D 起動トリガ制御ステータスレジスタ (ADTCS) の STS1, STS0 をソフトウェア起動 ("00_B") に設定します。

A/D ソフトウェア起動チャンネル選択レジスタ (ADTSE) にて、ソフト起動したいチャンネルを起動許可設定します。ここで設定したチャンネルに対して、同時に起動要求が発生可能です。

そして、A/D ソフトウェア起動レジスタ (ADTSS) の START ビットに "1" を書き込むことにより、ソフトウェア起動要求信号がセットされます。

46.5.2.6 外部トリガ起動

A/D 起動トリガ制御ステータスレジスタ (ADTCS) の STS1, STS0 を外部トリガ起動 ("01_B") に設定します。

外部トリガは、A/D コンバータユニットごとに 1 つずつ入力され、外部トリガ 0 は起動チャネル 0 ～ 7 に、外部トリガ 1 は起動チャネル 8 ～ 15 に、外部トリガ 2 は起動チャネル 16 ～ 23 に対応しています。

外部トリガの立下りを検出すると、外部トリガ / リロードタイマ起動要求信号がセットされます。

46.5.2.7 リロードタイマ起動

A/D 起動トリガ制御ステータスレジスタ (ADTCS) の STS1, STS0 をリロードタイマ起動 ("10_B") に設定します。

リロードタイマは、A/D コンバータユニットごとに 1 つずつ入力され、リロードタイマ 0 は起動チャネル 0 ～ 7 に、リロードタイマ 1 は起動チャネル 8 ～ 15 に、リロードタイマ 2 は起動チャネル 16 ～ 23 に対応しています。

リロードタイマの立上りを検出すると、外部トリガ / リロードタイマ起動要求信号がセットされます。

46.5.2.8 コンペアー一致起動

A/D 起動トリガ制御ステータスレジスタ (ADTCS) の STS1, STS0 をコンペアー一致起動 ("11_B") に設定します。

起動チャネルごとにコンペアレジスタを持ち、フリーランタイマとコンペアレジスタ値が一致したときに、コンペアー一致起動要求をセットします。

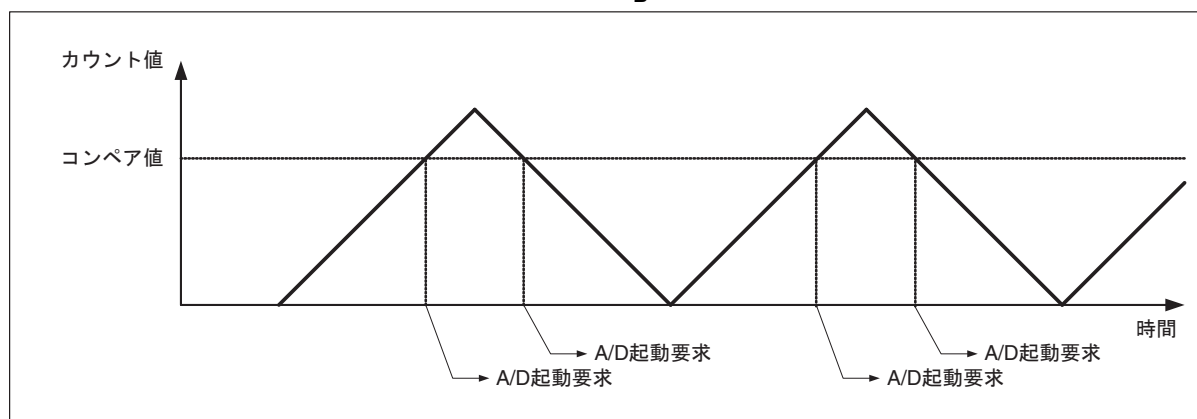
コンペアレジスタには、起動したいタイマ値を設定します。フリーランタイマの 0 検出時と同タイミングで A/D 起動要求を行いたい場合は "0000_H" を設定してください。また、フリーランタイマのコンペアクリアー一致時と同タイミングで A/D 起動を行いたい場合は、フリーランタイマのコンペアクリア値と同値を設定してください。

46.5.2.9 A/D コンペア起動モード

A/D 起動トリガ制御ステータスレジスタ (ADTCS) の SEL1, SEL0 ビットにより, A/D 起動モードを設定できます。A/D 起動コンペアレジスタとフリーランタイマとの比較を, アップ / ダウンカウント両方時, アップカウント時のみ, ダウンカウント時のみのいずれかに行うかを設定可能です。SEL1, SEL0 を "11_B" に設定すると, フリーランタイマとコンペアレジスタ値が一致しても, A/D 起動調停に対して起動要求信号を発生しません。

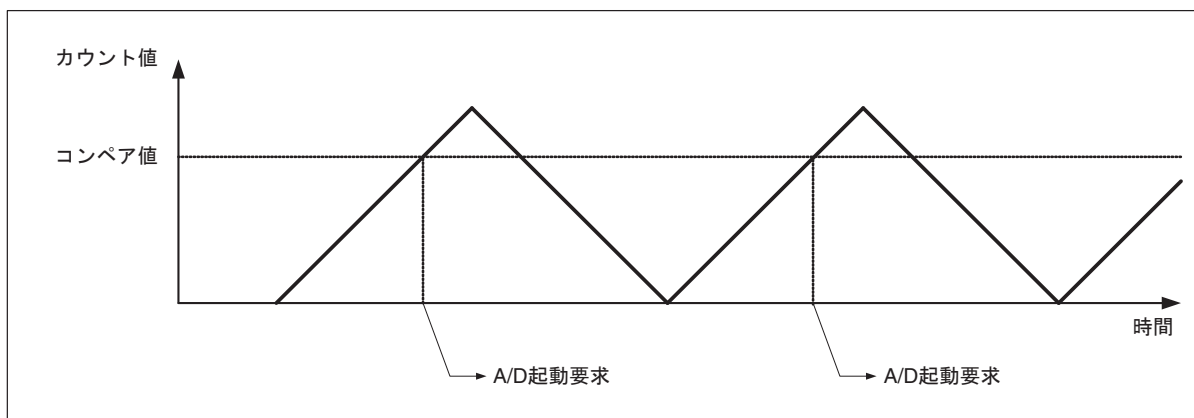
● SEL1, SEL0=00_B: コンペアー一致時起動

図 46.5-1 SEL1, SEL0=00_B: コンペアー一致時起動



● SEL1, SEL0=01_B: アップカウント時のみコンペアー一致時起動

図 46.5-2 SEL1, SEL0=01_B: アップカウント時のみコンペアー一致時起動



- SEL1, SEL0=10_B: ダウンカウント時のみコンペアー一致時起動

図 46.5-3 SEL1, SEL0=10_B: ダウンカウント時のみコンペアー一致時起動

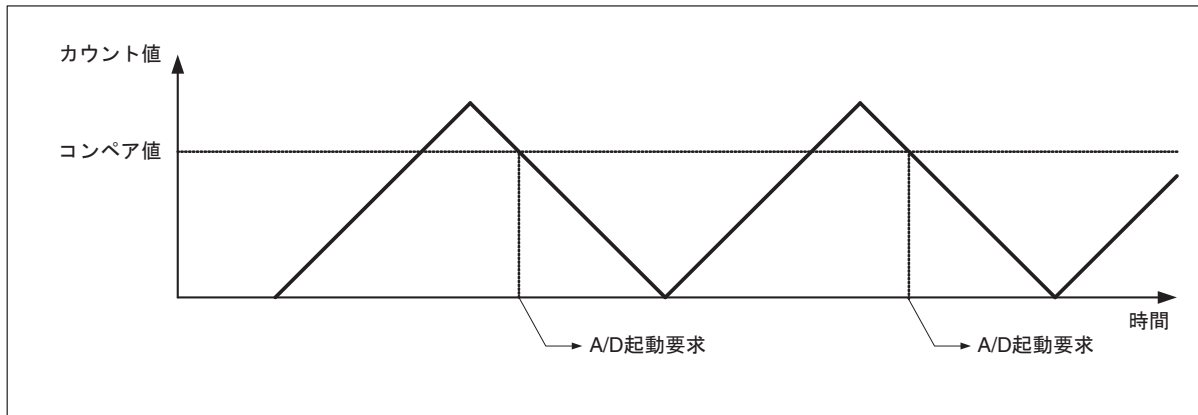
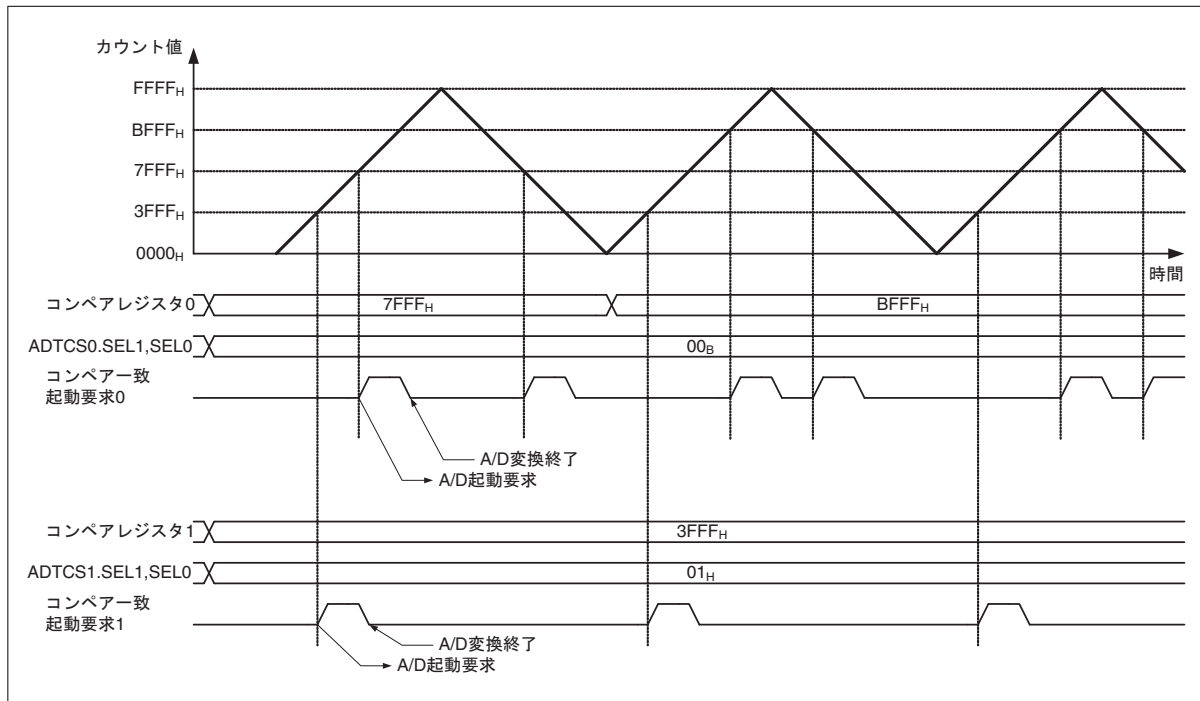


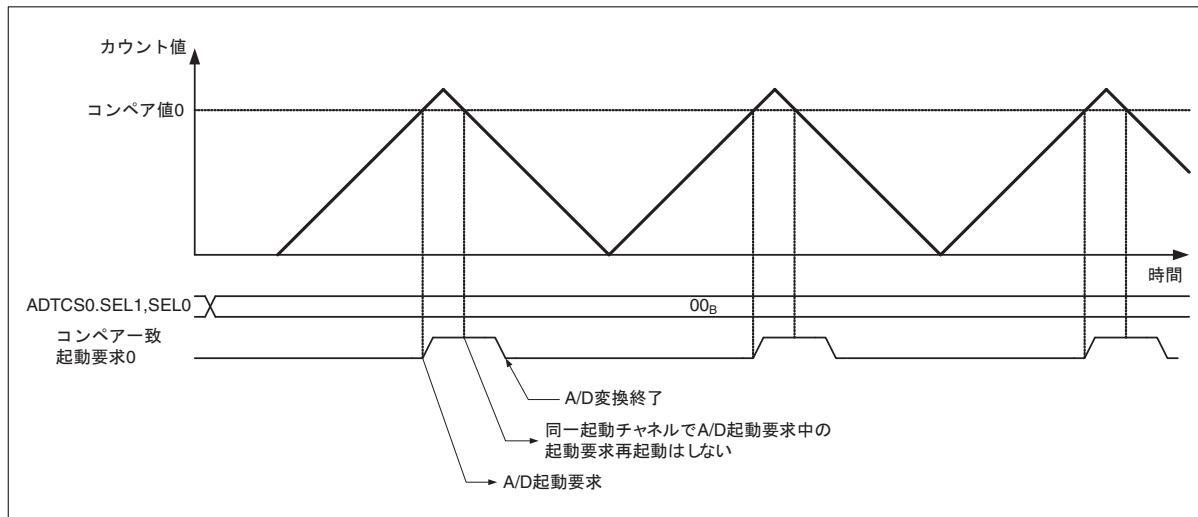
図 46.5-4 起動チャネル 0: アップ/ダウンカウント時, 起動チャネル 1: アップカウント時に A/D 起動



46.5.2.10 A/D コンペア起動モード時のコンペア値の設定について

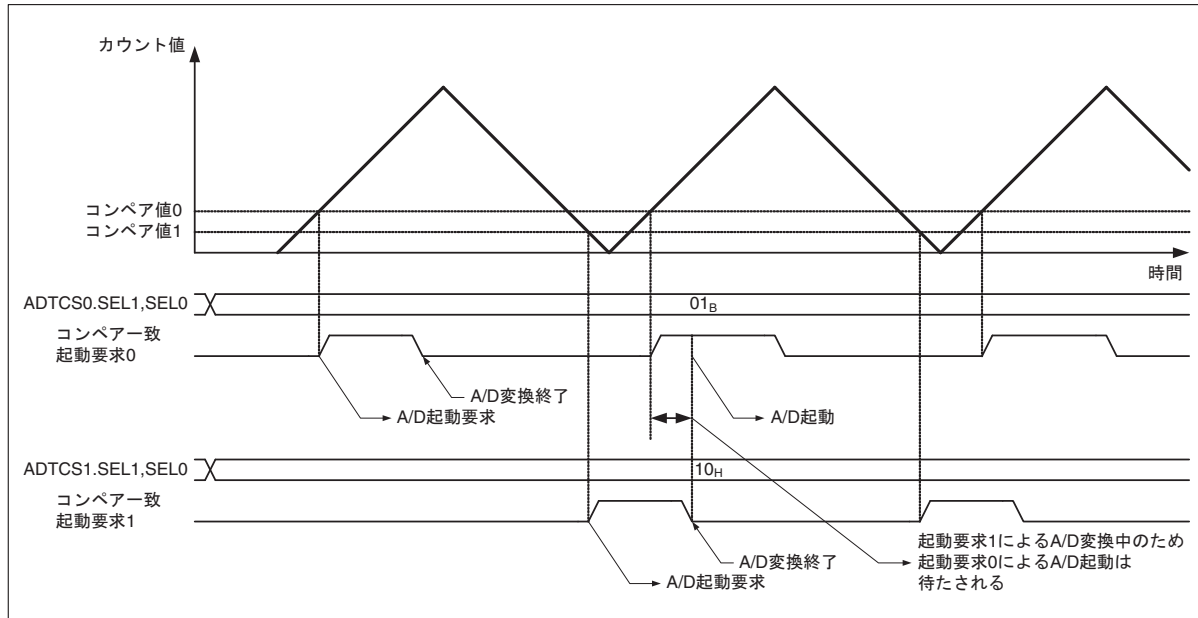
コンペア一致起動を行う同一起動チャンネル内で、コンペア一致の発生間隔が A/D の変換時間よりも短い場合、A/D 変換中に発生したコンペア一致は無視されます。

図 46.5-5 同一起動チャンネルでコンペア一致の発生間隔が A/D の変換時間よりも短い場合



また、同一 A/D コンバータを起動する起動チャンネル間において、コンペア一致の発生間隔が A/D の変換時間よりも短い場合、A/D 変換中に発生した起動要求による A/D 変換開始は待たされます。意図したタイミングで A/D 変換が開始されず、遅れて A/D 変換が開始します。

図 46.5-6 起動チャンネル間でコンペア一致の発生間隔が A/D の変換時間よりも短い場合



46.5.2.11 コンペアレジスタバッファ機能

A/D 起動トリガ制御ステータスレジスタ (ADTCS) の BUFEX ビットに "0" を書き込むとコンペアレジスタのバッファ機能が有効になります。バッファするタイミングは、ADTCS レジスタの BTS ビットにより選択可能で、BTS=1 のときにはコンペアクリア時、BTS=0 のときには 0 検出時に、コンペアバッファレジスタに書き込まれた値がコンペアレジスタに転送されます。

図 46.5-7 コンペアレジスタ 0: バッファ機能有効, コンペアレジスタ 1: バッファ機能無効

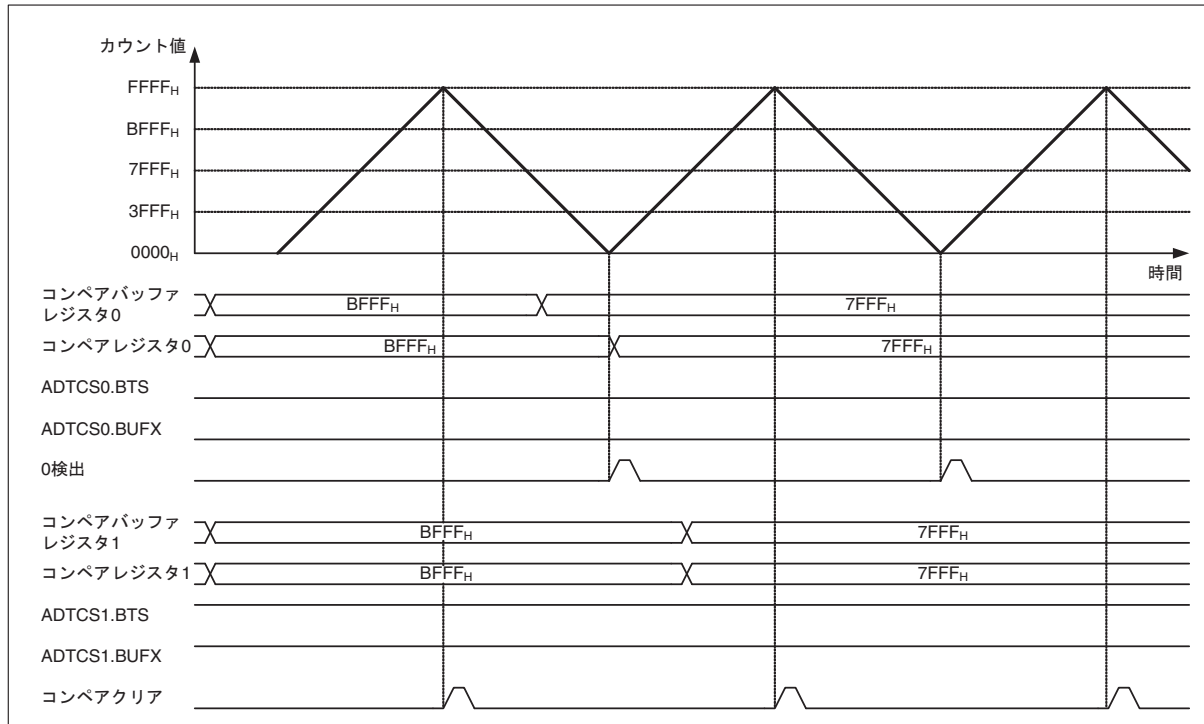


図 46.5-8 フリーランタイムアップカウント時、コンペアー一致時のコンペアレジスタデータ転送タイミング

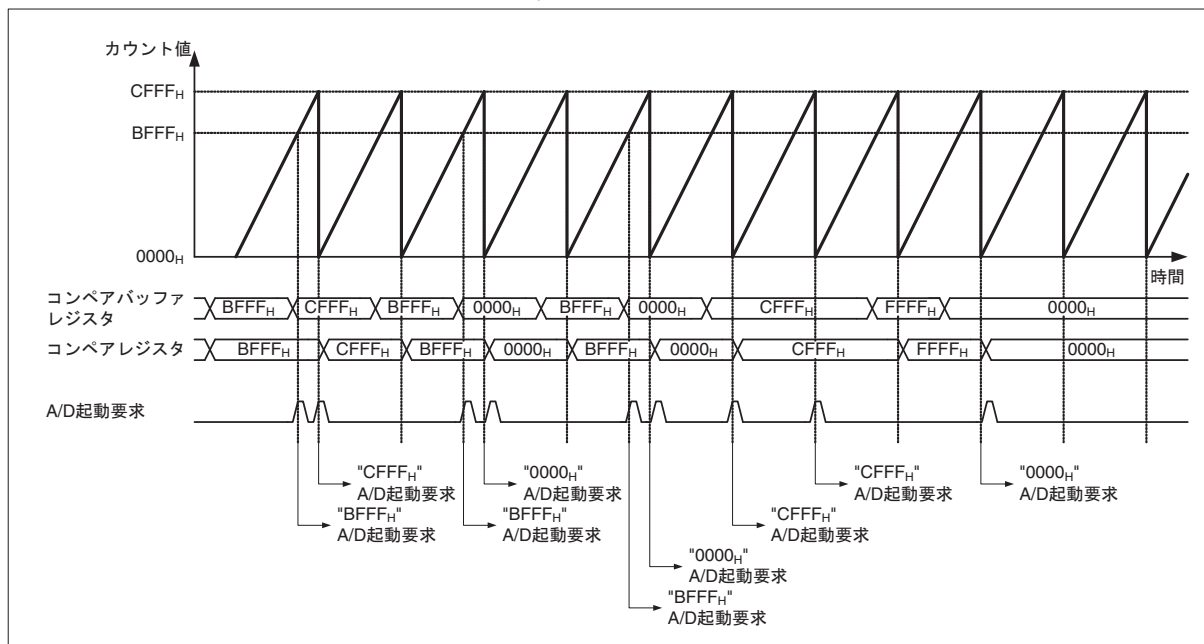


図 46.5-9 フリーランタイムアップカウント時, 0 検出時のコンペアレジスタデータ転送タイミング

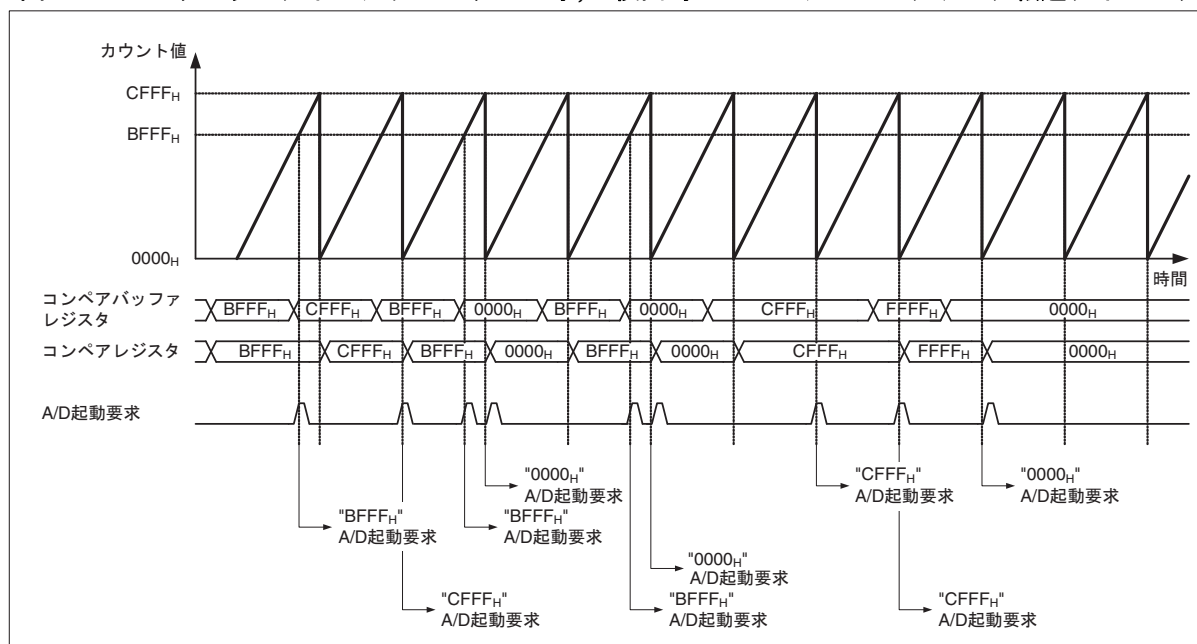


図 46.5-10 フリーランタイムアップダウンカウント時, コンペア一致時のコンペアレジスタデータ転送タイミング

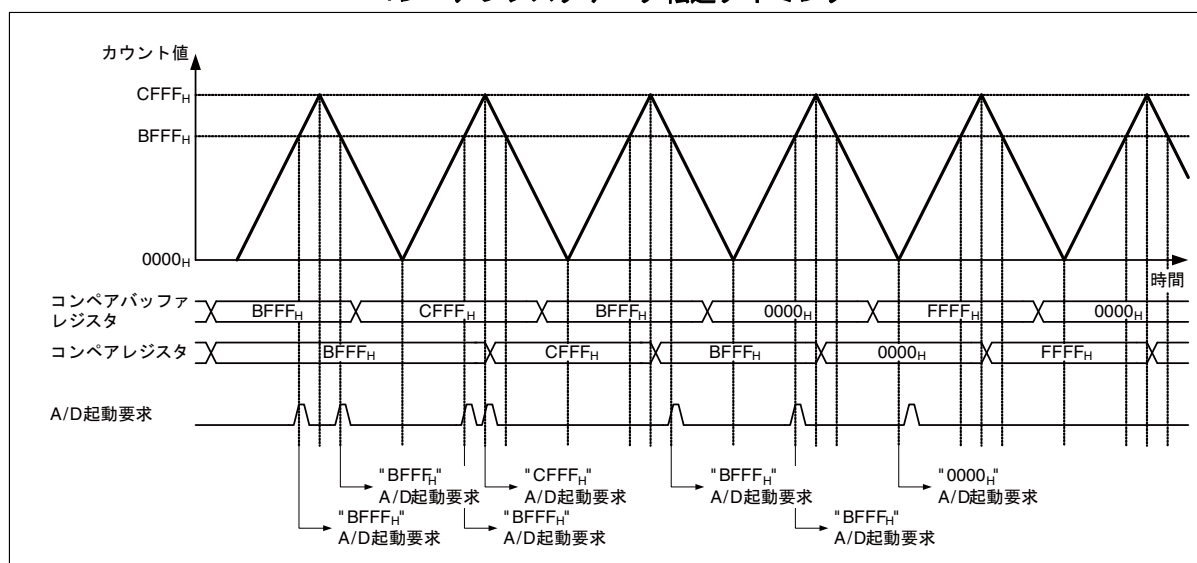
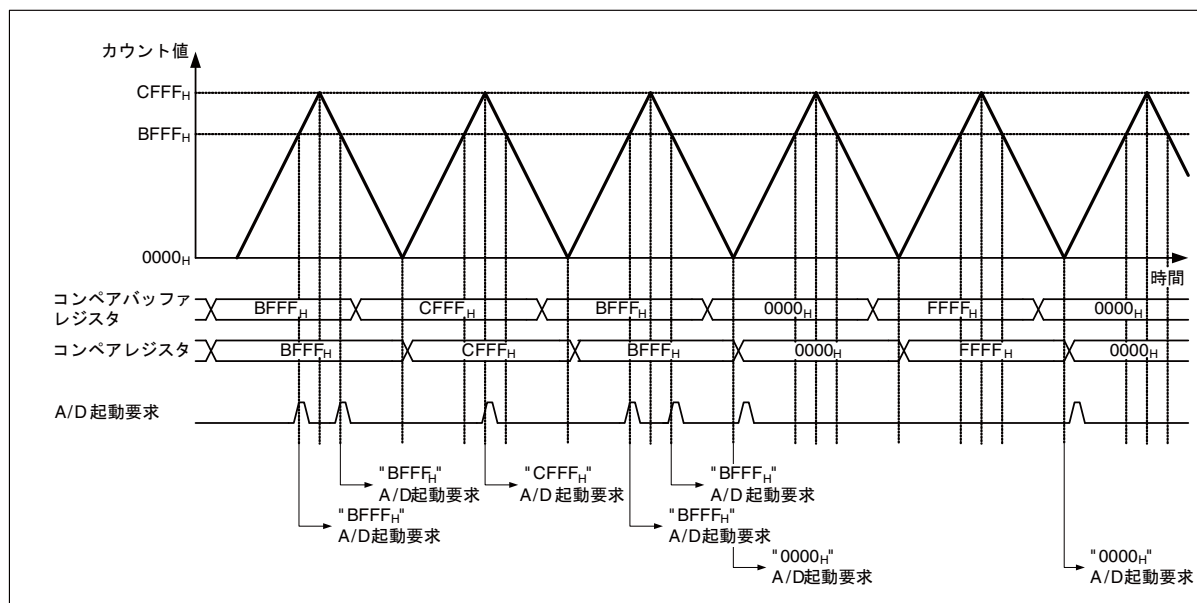


図 46.5-11 フリーランタイムアップダウンカウンタ時、0 検出時のコンペアレジスタデータ転送タイミング

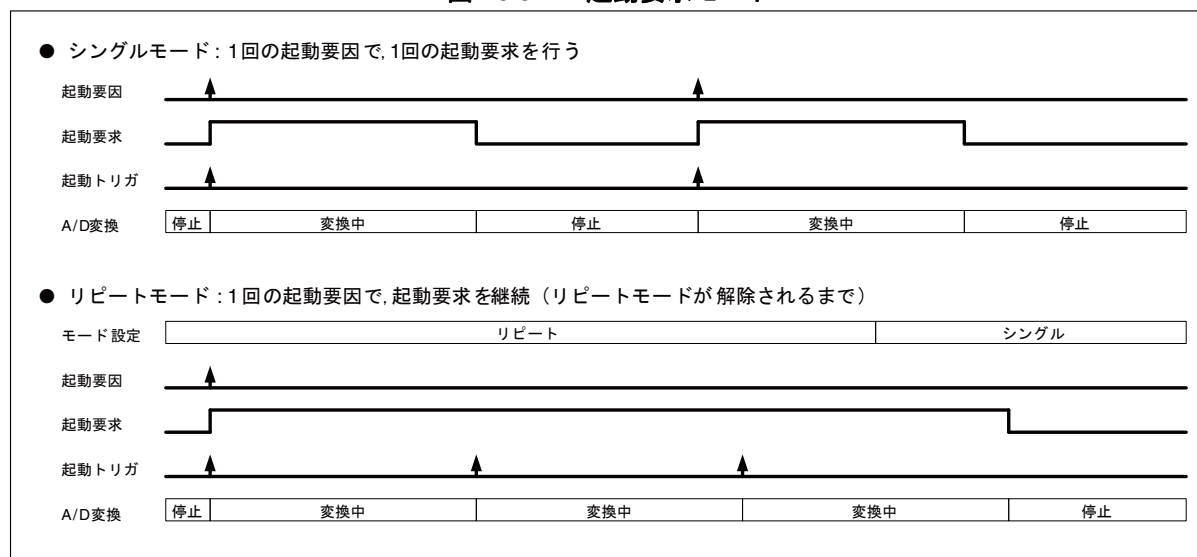


46.5.2.12 起動要求モード

起動チャンネルごとに起動要求モードを設定可能です。起動モードはシングルモードとリピートモードの 2 つです。A/D 起動トリガ制御ステータスレジスタ (ADTCS) の RPT ビットで設定します。

- シングルモードでは、1 回の起動要因で 1 回の起動要求を行います。A/D 変換は 1 回行われ、起動要求は AD 変換終了で解除されます。
- リピートモードでは、1 回の起動要因で起動要求を継続して行います。A/D 変換は繰り返し実行され、起動要求はリピートモードが解除されるまで継続します。

図 46.5-12 起動要求モード



46.5.2.13 保護機能

各 A/D データレジスタは、データ保護機能を設定可能です。保護機能は、A/D 起動トリガ制御ステータスレジスタ (ADTCS) の PRT ビットで設定します。なお、保護機能はコンペアー一致起動以外の要因のときに働きます。

保護機能が有効時、ADTCS レジスタの PRSTS ビットで設定される条件に従って、A/D データレジスタに変換格納後に、次の起動要因が発生しても起動要求信号をマスク（非アクティブ）することで、未読出しの A/D データレジスタのデータが次の A/D 変換データで上書きされることを保護します。

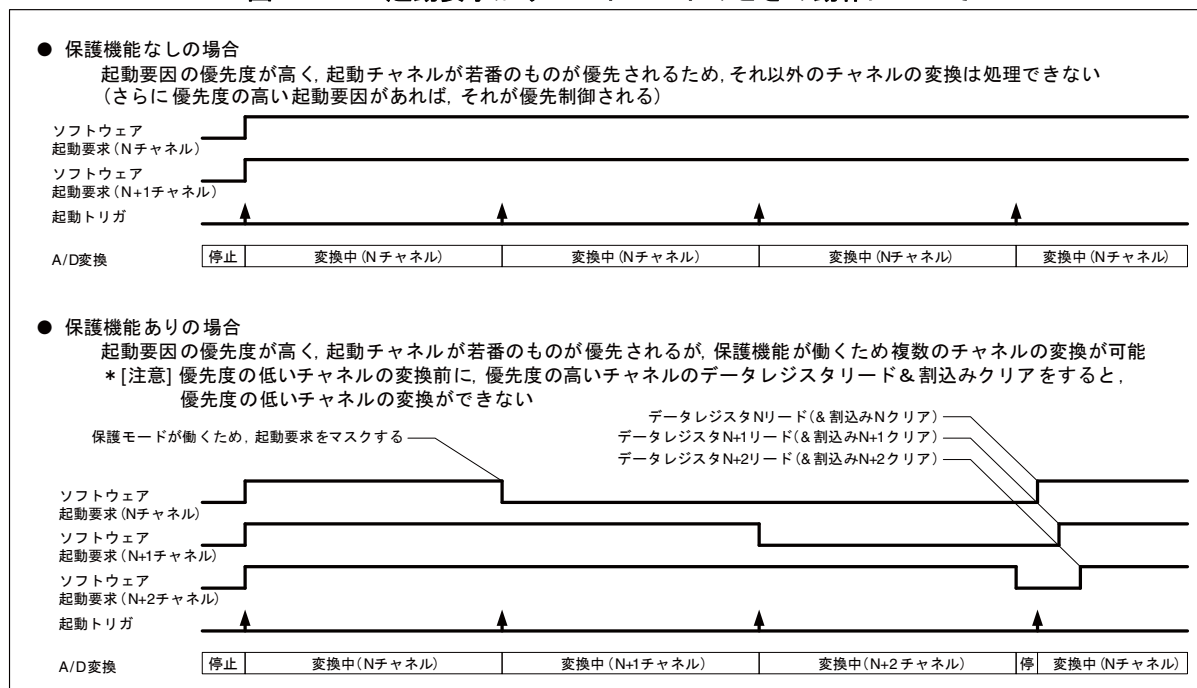
PRSTS ビットが "0" の場合、A/D データレジスタのデータ読出しと割込みフラグクリアがされるまで、起動要求がマスクされます。なお、データ読出しと割込みフラグクリアは順不同です。

PRSTS ビットが "1" の場合、A/D データレジスタのデータ読出しがされるまで、起動要求がマスクされます。

46.5.2.14 A/D 起動要求がリピートモードのときの動作について

同じ A/D コンバータに対応する起動チャンネル間で、リピートモードが複数設定される場合、後段の A/D 起動調停では、優先順位に従って、ある 1 つのチャンネルのみを処理することになります。その場合は、それらの起動チャンネルは保護機能を有効にして使用することを推奨します。

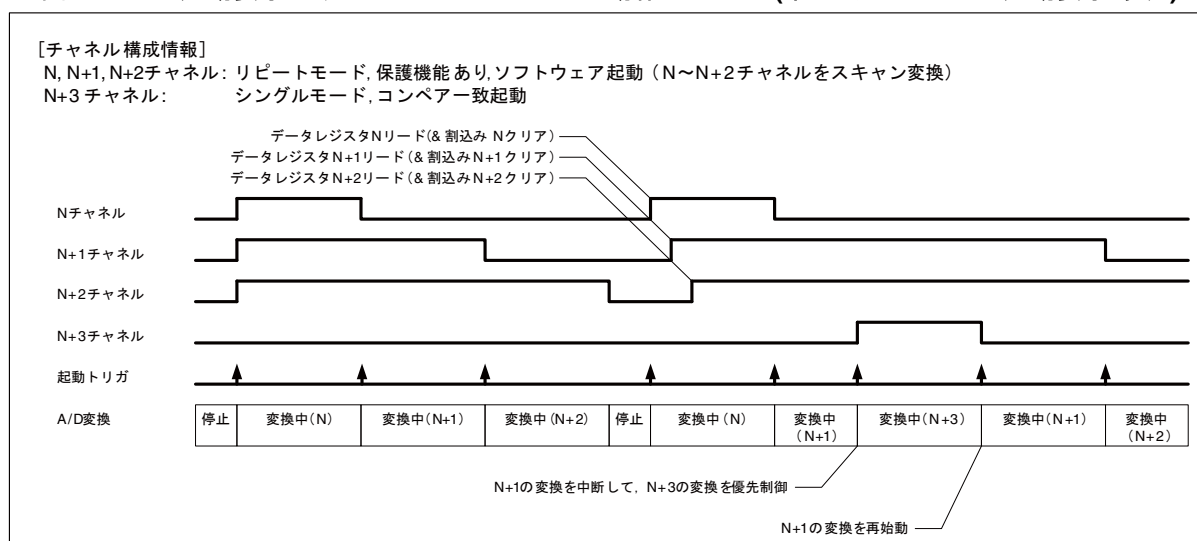
図 46.5-13 起動要求がリピートモードのときの動作について



同じ A/D コンバータに対応する起動チャンネル間で、リピートモードを複数の起動チャンネルに設定して連続で A/D 変換を行う (スキャン変換) 場合に、それらのチャンネル以外からの起動要求があった場合、起動要因および起動チャンネル情報により起動チャンネルが優先制御されます。なお、優先制御は、後段の A/D 起動調停で行われます。

スキャン変換を行う起動チャンネルよりも優先度の高い起動要因がほかの起動チャンネルから発生した場合には、スキャン変換を中断して、高優先の A/D 変換終了後に、中断したスキャン変換の起動チャンネルから A/D 変換を再始動することになります。

図 46.5-14 起動要求がリピートモードのときの動作について (他チャンネルからの起動要求あり)



46.5.2.15 起動要求の強制終了

A/D 起動要求中または変換中は、レジスタのビットにより通知できます。また、現在の A/D 起動要求または変換を強制終了したい場合には、該当のビットに "0" を書き込むことにより可能です。

46.5.3 A/D 起動調停の動作

A/D 起動コンペアからの A/D 起動要求の調停を行い、A/D 起動トリガを生成します。また A/D 変換するアナログチャンネルを決定します。

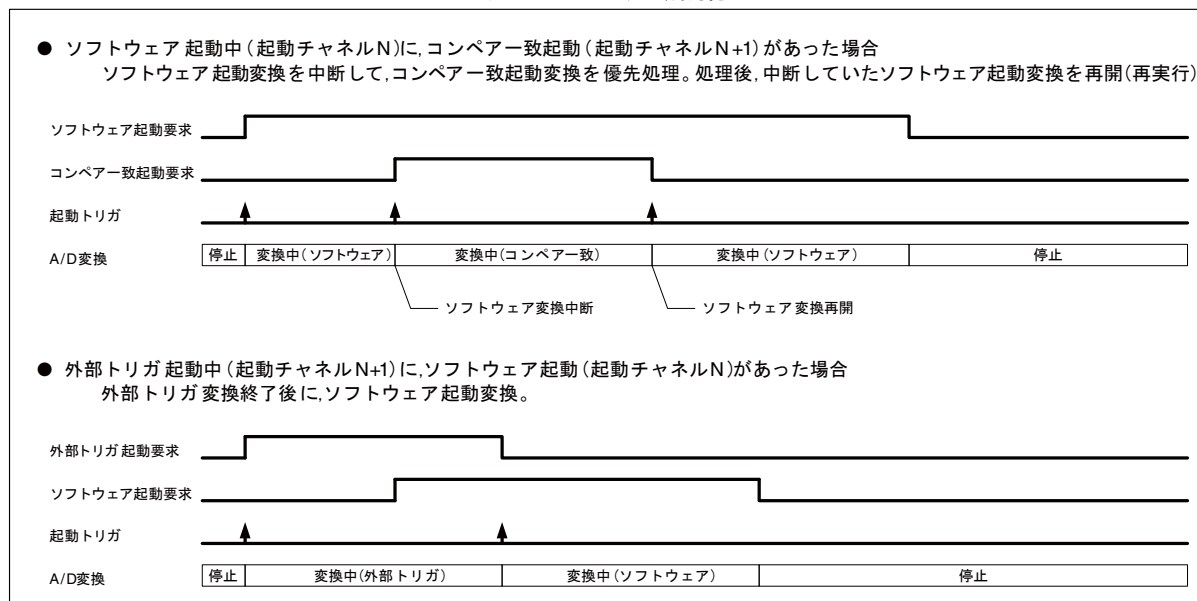
46.5.3.1 A/D 起動トリガ調停

A/D 起動コンペアのチャンネルごとの起動要求から 1 つを選択して A/D 起動トリガを生成します。起動要求は A/D 起動コンペアの各チャンネルからそれぞれソフトウェア起動要求、外部トリガ / リロードタイム起動要求、コンペア一致起動要求の 3 つが入力されて、A/D 起動トリガ信号が生成されます。起動要求が競合した場合、コンペアチャンネル番号の小さいものが優先されます。選択されなかった起動要求は待たされ、処理中の A/D 変換が終了すると再度調停が行われます。

起動調停の起動要因による優先順位は、「コンペア一致起動要求 > 外部トリガ / リロードタイム起動要求 > ソフトウェア起動要求」です。なお、同じ優先度の起動要因の場合、若い起動チャンネル番号のものが優先されます。

- A/D 変換停止中に優先度が同じ起動要因が発生した場合：
起動チャンネルの若い番号のものから処理します。
- A/D 変換停止中に優先度が異なる起動要因が発生した場合：
優先度の高い起動要因から処理します。
- A/D 変換中に優先度の高い起動要因が発生した場合：
現在の変換を中断して優先度の高い起動要因を処理します。その変換後に再度調停をして、中断した起動要因を再処理します。
- A/D 変換中に優先度の低い起動要因が発生した場合：
現在の変換終了後に再度調停をして、優先度の低い起動要因を処理します。
- A/D 変換中に優先度が同じ起動要因が発生した場合：
現在の変換終了後に再度調停をして、優先度が同じ起動要因を処理します。

図 46.5-15 起動調停



46.5.3.2 アナログチャネル選択

A/D 起動コンペアからは A/D 起動要求と共に A/D 変換を行うアナログチャネル番号が入力されます。
A/D 起動調停では、選択された A/D 起動コンペアチャネルの起動要求アナログチャネル番号を選択します。

46.5.3.3 A/D 変換キャンセル機能

A/D 変換中に、要求元の起動要求が非アクティブになったとき、現在の変換処理を強制終了させるために A/D 変換キャンセル信号を生成します。なお、要求元の起動要求が非アクティブになったときに他起動チャネルの起動要因がアクティブであれば、A/D 変換キャンセル信号は生成せず、アクティブな起動要因による A/D 起動トリガの生成を行います。

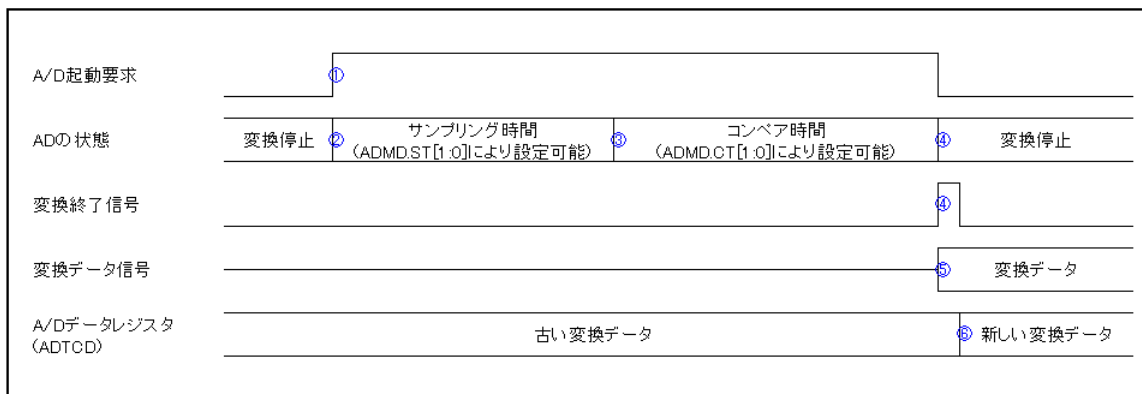
46.5.4 12 ビット A/D コンバータの動作

12 ビット A/D コンバータ制御は、A/D 変換を制御します。

■ 動作タイミング

12 ビット A/D コンバータの動作タイミング

図 46.5-16 12 ビット A/D コンバータの動作タイミング



- ①: 設定された起動要因により A/D 変換を開始。
- ②: ①の起動要求を受けてサンプリング動作を開始。
- ③: ADMD.ST[1:0] で設定されたサンプリング時間経過後にコンペア動作開始。
- ④: ADMD.CT[1:0] で設定されたコンペア時間経過後に変換終了信号が立上り、変換を完了。
- ⑤: A/D 変換データを出力。
- ⑥: 新しい変換データを A/D データレジスタ (ADTCD) に格納。

46.5.4.1 起動要因について

AD 変換の起動要因にはソフトウェア起動，外部トリガ起動，リロードタイマ起動，コンペアー致起動があります。ADTCS.STS[1:0] により選択されます。

AD 起動要求を行わない場合は，本ビットをソフトウェア起動 ("00B") に設定し，ADTSE の該当ビットをソフトウェア起動禁止 (ADTSE.ADT = 0) としてください。

46.5.4.2 A/D 変換について

A/D 変換は，1 回の起動トリガの入力で 1 回の変換を行います。

46.5.4.3 再起動について

A/D 変換中に，起動トリガ信号入力があった場合，現在の変換を停止 / 初期化して，A/D 変換を再起動します。

そのため，A/D 変換の再起動は，通常起動 (A/D 変換停止中の A/D 変換開始) に比べて数クロック (12 ビット A/D コンバータのクロック) 遅れて開始されます。

46.5.4.4 A/D 変換キャンセルについて

A/D 変換中に，A/D 変換キャンセル信号を受信すると，現在の変換を停止 / 初期化します。

46.5.4.5 アナログチャネル選択制御

起動トリガのほかに，変換を行うアナログチャネル情報が入力されます。

起動トリガのアクティブ時のアナログチャネル情報を保持し，アナログチャネル選択に使用します。

46.5.4.6 A/D 変換終了，A/D データ取込み

A/D 変換が再起動やキャンセルが行われずに正常終了 (既定のサイクル数が経過) した場合，受信した変換データを取り込んで出力します。その際，A/D 変換終了信号を生成します。

46.5.4.7 パワーダウン

スタンバイモードのときに，パワーダウンとなります。

46.6 注意事項

■ A/D 起動コンペアの使用上の注意

- 選択設定について
必ずフリーランタイムの停止中に選択設定を行ってください。
- A/D データレジスタ保護設定について
PRT ビットおよび PRTS ビットの設定は、A/D 変換を動作させる前に設定してください。A/D 変換中および A/D データレジスタが保護されている状態で、本ビットの設定を変更しないでください。A/D データレジスタの保護機能の解除を行う場合は、A/D 変換停止後に、PRTS ビットに設定した保護解除の動作を行うか、もしくは、PRT ビットにより保護機能を無効としてください。
仮に、A/D データレジスタが保護されている状態で、PRTS ビットを変更した場合、A/D データレジスタの保護を解除するためには、PRTS ビットの変更後に、PRTS ビットに設定した保護解除の動作 (A/D データレジスタの読出しや、割込み要求フラグビットへの 0 書込みによるクリア動作) を行ってください。例えば、PRT=1 かつ PRTS=1 の状態で A/D データレジスタが保護されている状態で、割込み要求フラグビットのクリアを行ってから PRTS=0 とした場合、保護解除するためには、A/D データレジスタの読出しと、再度、割込み要求フラグビットへの 0 書込みによるクリア動作が必要となります。
- コンペア一致起動について
コンペアレジスタ (ADCOMP) に 0x0000 およびフリーランタイムのコンペアクリアレジスタの設定値と同じ値を設定した場合、A/D 起動トリガ制御レジスタ (ADTCS) のカウント方向選択ビット (SEL0/1 ビット) の設定でのカウント方向がアップであるかダウンであるかに関係なく、コンペア一致時に A/D 起動要求信号が発生します。
- A/D 起動トリガ制御ステータスレジスタのカウント方向選択ビットの設定について
フリーランタイムがアップカウントモードのとき、A/D 起動トリガ制御ステータスレジスタ (ADTCS) のカウント方向選択ビット (SEL0/1 ビット) の設定を (SEL1, SEL0)=(1, 0) (ダウンカウント時のみ) にすることを禁止します。



第 47 章 波形ジェネレータ

47.1 概要

本製品では波形ジェネレータを 2 ユニット (12 チャンネル) 搭載しています。

47.2 特長

■ 波形ジェネレータの機能

- 波形ジェネレータは、3 つの 16 ビットデッドタイムレジスタ、3 つのタイマ状態制御レジスタ、16 ビットデッドタイムリロード割込みレジスタ、16 ビットデッドタイムマイナス制御レジスタ、1 つの 16 ビット波形制御レジスタ、PPG 出力制御レジスタ、DTTI 選択レジスタから構成されています。
- 波形ジェネレータは、リアルタイム出力、16 ビット PPG 波形出力、ノンオーバーラップ 3 相波形出力 (インバータ制御用)、および DC チョップパ波形出力を生成できます。
- 16 ビットデッドタイムのデッドタイムに基づいて、ノンオーバーラップ波形出力を生成できます (デッドタイムタイマ機能)。
- リアルタイムアウトプットコンペア一致を検出すると、GATE 信号が生成され、この信号により PPG タイマの動作が開始または停止します (GATE 機能)。
- リアルタイムアウトプットコンペア一致が検出されると、16 ビットデッドタイムがアクティブになり、PPG 動作の制御用 GATE 信号を生成することによって、PPG タイマを容易に開始または停止させることができます (GATE 機能)。
- DTTI セレクタによって、波形ジェネレータに対する DTTI 入力を選択をすることが可能です。

■ DTTI の機能

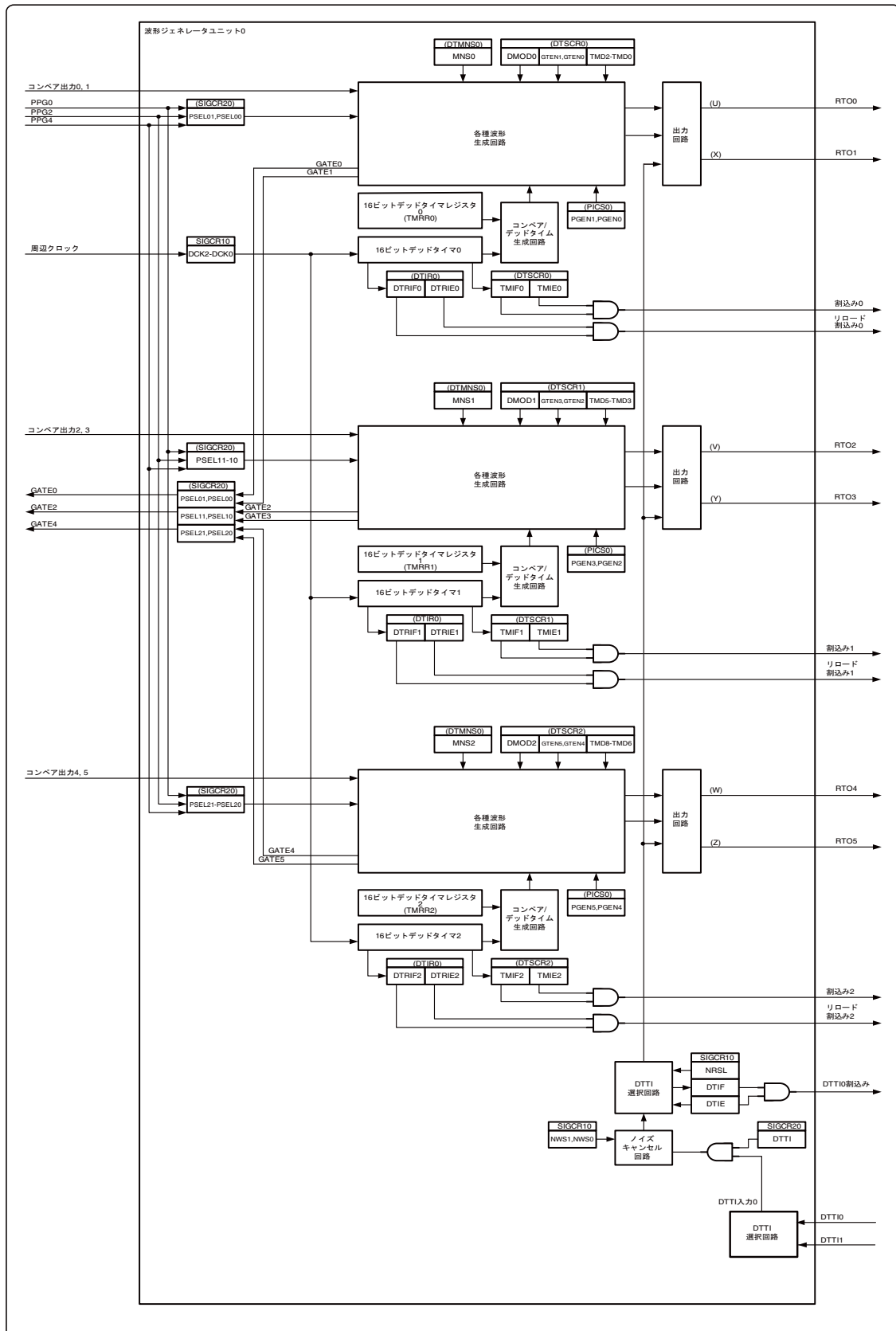
- DTTI 端子を使用することによって、波形ジェネレータ出力を強制的に停止を制御できます。
- DTTI レジスタにより、波形ジェネレータ出力を強制的に停止を制御することも可能です。
- 波形ジェネレータ出力を強制的に禁止することができ、拡張ポート機能レジスタ (EPFR) の設定にかかわらず、汎用ポートとして機能させることができます。

管理コード: FS20-1v0-91580L-1-J

47.3 構成

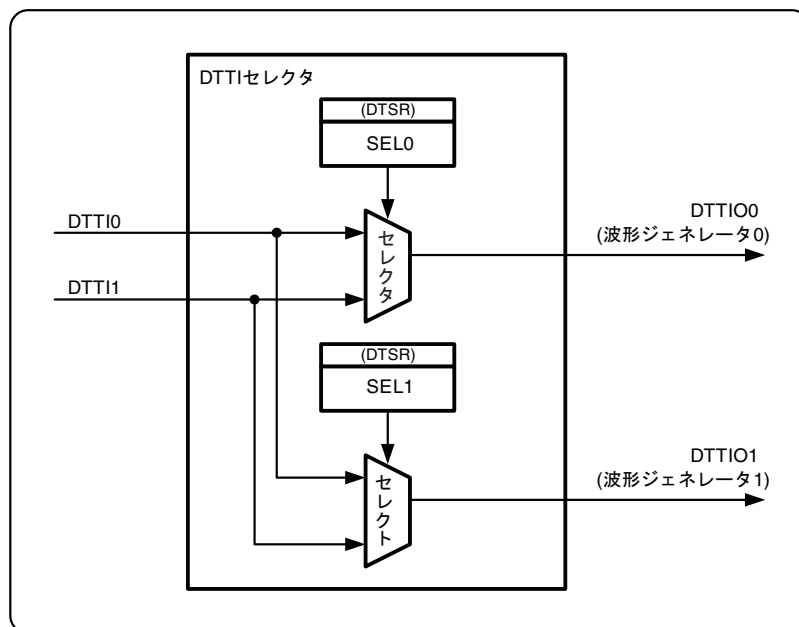
■ 波形ジェネレータの構成

図 47.3-1 波形ジェネレータの構成



■ DTTI セレクタの構成

図 47.3-2 DTTI セレクタの構成



■ 波形ジェネレータの端子対応表 (ユニット 0, ユニット 1)

波形ジェネレータユニット 0, ユニット 1 の端子の対応表を表 47.3-1 に示します。

表 47.3-1 波形ジェネレータのチャンネルごとの端子対応表

波形ジェネレータユニット 0	波形ジェネレータユニット 1
コンペア出力 0/1/2/3/4/5	コンペア出力 6/7/8/9/10/11
PPG 0/2/4	PPG 8/10/12
GATE 0/2/4	GATE 8/10/12
RTO 0/1/2/3/4/5	RTO 6/7/8/9/10/11
割込み 0/1/2	割込み 3/4/5
割込みリロード 0/1/2	割込みリロード 3/4/5
DTTI 割込み 0	DTTI 割込み 1
DTTI 0/1	
16 ビットデッドタイム 0/1/2	16 ビットデッドタイム 3/4/5

47.4 レジスタ

表 47.4-1 波形ジェネレータのレジスタ一覧

アドレス	+0	+1	+2	+3
11A4 _H	DTTI 選択レジスタ (DTSR)	予約	予約	予約
11A8 _H	16 ビットデッドタイムレジスタ 0 (TMRR0)		16 ビットデッドタイムレジスタ 1 (TMRR1)	
11AC _H	16 ビットデッドタイムレジスタ 2 (TMRR2)		予約	予約
11B0 _H	16 ビットデッドタイム状態制御レジスタ 0 (DTSCR0)	16 ビットデッドタイム状態制御レジスタ 1 (DTSCR1)	16 ビットデッドタイム状態制御レジスタ 2 (DTSCR2)	予約
11B4 _H	予約	16 ビットデッドタイムリロード割込みレジスタ 0 (DTIR0)	予約	16 ビットデッドタイムマイナス制御レジスタ 0 (DTMNS0)
11B8 _H	予約	波形制御レジスタ 10 (SIGCR10)	予約	波形制御レジスタ 20 (SIGCR20)
11BC _H	PPG 出力制御レジスタ 0 (PICS0)			
11C0 _H	16 ビットデッドタイムレジスタ 3 (TMRR3)		16 ビットデッドタイムレジスタ 4 (TMRR4)	
11C4 _H	16 ビットデッドタイムレジスタ 5 (TMRR5)		予約	予約
11C8 _H	16 ビットデッドタイム状態制御レジスタ 3 (DTSCR3)	16 ビットデッドタイム状態制御レジスタ 4 (DTSCR4)	16 ビットデッドタイム状態制御レジスタ 5 (DTSCR5)	予約
11CC _H	予約	16 ビットデッドタイムリロード割込みレジスタ 1 (DTIR1)	予約	16 ビットデッドタイムマイナス制御レジスタ 1 (DTMNS1)
11D0 _H	予約	波形制御レジスタ 11 (SIGCR11)	予約	波形制御レジスタ 21 (SIGCR21)
11D4 _H	PPG 出力制御レジスタ 1 (PICS1)			

11A8_H ～ 11BC_H のアドレス領域に配置されているレジスタは波形ジェネレータのユニット 0 に、11C0_H ～ 11D4_H のアドレス領域に配置されているレジスタは波形ジェネレータのユニット 1 に対応しています。

47.4.1 波形ジェネレータのレジスタ

波形ジェネレータには、DTTI 選択レジスタ、16 ビットデッドタイムレジスタ、16 ビットデッドタイム状態制御レジスタ、16 ビットデッドタイムリロード割込みレジスタ、16 ビットデッドタイムマイナスイネーブル制御レジスタ、波形制御レジスタ、PPG 出力制御レジスタがあります。

47.4.1.1 DTTI 選択レジスタ : DTSR

DTTI 選択レジスタ (DTSR) は、各波形ジェネレータに対して、2 入力ある DTTI 入力のいずれを割り当てるかを設定します。

- DTSR: アドレス 11A4_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
予約						SEL1	SEL0	
0	0	0	0	0	0	1	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	属性

[bit7 ~ bit2] 予約

必ず "0" を書き込んでください。

[bit1] SEL1 : 波形ジェネレータ 1 用 DTTI 入力選択ビット

SEL1	機能
0	DTTI0
1	DTTI1

- 波形ジェネレータ 1 に対して割り当てる DTTI 入力を設定します。

(注意事項) このビットを設定する前に、必ず波形ジェネレータが停止していることを確認してください。

[bit0] SEL0 : 波形ジェネレータ 0 用 DTTI 入力選択ビット

SEL0	機能
0	DTTI0
1	DTTI1

- 波形ジェネレータ 0 に対して割り当てる DTTI 入力を設定します。

(注意事項) このビットを設定する前に、必ず波形ジェネレータが停止していることを確認してください。

47.4.1.2 16 ビットデッドタイムレジスタ : TMRR

16 ビットデッドタイムレジスタ (TMRR) は, 16 ビットデッドタイムのリロード値を保持します。

- TMRR0: アドレス 11A8_H (アクセス: ハーフワード, ワード)
- TMRR1: アドレス 11AA_H (アクセス: ハーフワード, ワード)
- TMRR2: アドレス 11AC_H (アクセス: ハーフワード, ワード)
- TMRR3: アドレス 11C0_H (アクセス: ハーフワード, ワード)
- TMRR4: アドレス 11C2_H (アクセス: ハーフワード, ワード)
- TMRR5: アドレス 11C4_H (アクセス: ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
TR15	TR14	TR13	TR12	TR11	TR10	TR09	TR08	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性
7	6	5	4	3	2	1	0	bit
TR07	TR06	TR05	TR04	TR03	TR02	TR01	TR00	
0	0	0	0	0	0	0	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit15 ～ bit0] TR15 ～ TR00 : 16 ビットデッドタイムリロード値ビット

	機能
TR15 ～ TR00	16 ビットデッドタイムリロード値

- 16 ビットデッドタイムのリロード値を格納するために使用します。
- 本レジスタ値は, 16 ビットデッドタイムが動作を開始するとリロードされます。
- タイマ動作中にこれらのレジスタに値が再書き込みされると, この新しい値は次のタイマ開始 / 動作時に有効になります。
- デッドタイムタイマモード時は, これらのレジスタはノンオーバーラップ時間を設定するために使用します。

$$\text{ノンオーバーラップ時間} = (\text{設定値}) \times \text{選択されたクロック}$$
- タイマモード時は, これらのレジスタは PPG タイマ動作の GATE 時間を設定するために使用します。

$$\text{GATE 時間} = (\text{設定値}) \times \text{選択されたクロック}$$

(注意事項) このレジスタへアクセスする場合は, ハーフワードもしくはワードアクセス命令をご使用ください。

< 注意事項 >

本レジスタに "0000_H" を設定しないでください。

47.4.1.3 16 ビットデッドタイム状態制御レジスタ : DTSCR

16 ビットデッドタイム状態制御レジスタ (DTSCR) は、波形ジェネレータの動作モード、割込み要求許可、割込み要求フラグ、GATE 信号許可、および出力レベル極性を制御するために使用します。

- DTSCR0: アドレス 11B0_H (アクセス : バイト, ハーフワード, ワード)
- DTSCR3: アドレス 11C8_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
DMOD0	GTEN1	GTEN0	TMIF0	TMIE0	TMD2	TMD1	TMD0	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	R/W	属性

[bit7] DMOD0 : 出力極性制御ビット

DMOD0	機能
0	通常極性出力
1	反転極性出力

- このビットは、デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。
- このビットを設定すると、U/V/W の出力極性は反転します。

(注意事項) このビットは、デッドタイムタイマモードが選択されていない場合 (TMD2:bit26=0) は意味がありません。

[bit6] GTEN1 : GATE 信号制御ビット 1

GTEN1	機能
0	GATE 信号は、アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力で制御される (同期モード)

- このビットは、アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
- "0" に設定した場合、GATE 信号は出力されません。
- "1" に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL01-00 で選択されます。

[bit5] GTEN0 : GATE 信号制御ビット 0

GTEN0	機能
0	GATE 信号は, アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は, アウトプットコンペアのコンペア出力で制御される (同期モード)

- このビットは, アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
- 0 に設定した場合, GATE 信号は出力されません。
- 1 に設定した場合, GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL01, PSEL00 で選択されます。

[bit4] TMIF0 : 割込み要求フラグビット

TMIF0	機能	
	読出し時	書込み時
0	カウンタのアンダフローが検出されない	このビットはクリアされる
1	カウンタのアンダフローが検出される	このビットは影響を受けない

- このビットは, 16 ビットデッドタイマの割込み要求フラグとして使用します。
- このビットは, 16 ビットデッドタイマでアンダフローが発生すると "1" が設定されます。
- このビットに "0" を書き込むと, このビットはクリアされます。"1" を書き込んでも, このビットは影響されません。
- このビットはデッドタイマ割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令時には, 必ず "1" が読み出されます。
このビットは, TMD2 ~ TMD0:bit26 ~ bit24 が "000_B" または "001_B" の場合のみ機能し, ほかの値の場合は必ず "0" になります。
ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") とハードウェアセット (16 ビットデッドタイマ 0 でアンダフローが発生する) が同時に発生した場合は, ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され, このビットはセットされます。

[bit3] TMIE0 : 割込み要求許可ビット, ソフトウェアトリガビット

TMIE0	機能
0	16 ビットデッドタイマでアンダフローが発生されても割込みを生成しない。
1	16 ビットデッドタイマでアンダフローが発生されると割込みを生成する。

- このビットは, 16 ビットデッドタイマのソフトウェアトリガビットおよび割込み許可ビットとして使用します。
- TMD2 ~ TMD0:bit26 ~ bit24 が "000_B" または "001_B" の場合, このビットは 16 ビットデッドタイマのソフトウェアトリガとして使用されます。このビットを "0" から "1" へ変更すると, 16 ビットデッドタイマのトリガとなり, 値がリロードされ, ダウンカウントが開始します。
- このビットが "1" であり, 割込み要求フラグビット (TMIF0:bit28) が "1" の場合, 割込み要求が CPU へ送られます。

(注意事項) 16 ビットデッドタイマを再度トリガとする場合には, このビットに "1" を書き込む前に必ず "0" を書き込んでください。

[bit2 ~ bit0] TMD2 ~ TMD0 : 動作モードビット

TMD2	TMD1	TMD0	機能
0	0	0	OUT 信号を出力する。
0	0	1	PPG 出力禁止の場合, OUT 信号を出力する。 PPG 出力許可の場合: OUT 信号が "H" の間に PPG パルスを出力する
0	1	0	各 OUT 信号の立上りエッジがトリガとなり, 16 ビットデッドタイマが起動する。 PPG 出力禁止の場合, 16 ビットデッドタイマが停止するまで "H" を出力する。 PPG 出力許可の場合, 16 ビットデッドタイマが停止するまで PPG パルスを出力する。 (タイマモード)
1	0	0	OUT 信号でノンオーバーラップ信号を生成する (デッドタイムタイマモード)
1	1	1	禁止
その他			禁止

- これらのビットは, 波形ジェネレータの動作モードを選択するために使用します。
- TMD2 ~ TMD0:bit26 ~ bit24 が "000_B" の場合, アウトプットコンペアのコンペア出力 0/6 と 1/7 の信号は, RTO0/RTO6 と RTO1/RTO7 のそれぞれから出力されます。また, 16 ビットデッドタイマはリロードタイマとしても使用できます。
- TMD2 ~ TMD0:bit26 ~ bit24 が "001_B" の場合, アウトプットコンペアのコンペア出力 0/6 と 1/7 の信号は, PPG 出力が禁止 (PPG 出力制御レジスタ (PICS0/1) の PGEN0:bit26=0, PGEN1:bit27=0) になると, RTO0/RTO6 と RTO1/RTO7 のそれぞれから出力されます。PPG 出力が許可 (PPG 出力制御レジスタ (PICS0/1) の PGEN0:bit26=1, PGEN1:bit27=1) になると, アウトプットコンペアのコンペア出力 0/6 と 1/7 の信号が "H" の間に PPG パルスが, RTO0/RTO6 と RTO1/RTO7 のそれぞれから出力されます。また, 16 ビットデッドタイマはリロードタイマとしても使用できます。
- TMD2 ~ TMD0:bit26 ~ bit24 が "010_B" の場合, 各 OUT 信号の立上りエッジがトリガとなり, 16 ビットデッドタイマが起動します。PPG 出力禁止の場合, 16 ビットデッドタイマが停止するまで "H" を出力します。PPG 出力許可の場合, 16 ビットデッドタイマが停止するまで PPG パルスを出力します。(タイマモード)
- TMD2 ~ TMD0:bit26 ~ bit24 が "100_B" の場合, OUT 信号でノンオーバーラップ信号を生成します。(デッドタイムタイマモード)

- DTSCR1: アドレス 11B1_H (アクセス: バイト, ハーフワード, ワード)
- DTSCR4: アドレス 11C9_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
DMOD1	GTEN3	GTEN2	TMIF1	TMIE1	TMD5	TMD4	TMD3	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	R/W	属性

[bit7] DMOD1 : 出力極性制御ビット

DMOD1	機能
0	通常極性出力
1	反転極性出力

- このビットは, デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。
- このビットを設定すると, U/V/W の出力極性は反転します。

(注意事項) このビットは, デッドタイムタイマモードが選択されていない場合 (TMD5:bit18=0) は意味がありません。

[bit6] GTEN3 : GATE 信号制御ビット 3

GTEN3	機能
0	GATE 信号は, アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は, アウトプットコンペアのコンペア出力で制御される (同期モード)

- このビットは, アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
- 0 に設定した場合, GATE 信号は出力されません。
- 1 に設定した場合, GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL11, PSEL10 で選択されます。

[bit5] GTEN2 : GATE 信号制御ビット 2

GTEN2	機能
0	GATE 信号は, アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は, アウトプットコンペアのコンペア出力で制御される (同期モード)

- このビットは, アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
- 0 に設定した場合, GATE 信号は出力されません。
- 1 に設定した場合, GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL11, PSEL10 で選択されます。

[bit4] TMIF1 : 割込み要求フラグビット

TMIF1	機能	
	読出し時	書込み時
0	カウンタのアンダフローが検出されない	このビットはクリアされる
1	カウンタのアンダフローが検出される	このビットは影響を受けない

- このビットは、16 ビットデッドタイムの割込み要求フラグとして使用します。
- このビットは、16 ビットデッドタイムでアンダフローが発生すると "1" が設定されます。
- このビットに "0" を書き込むと、このビットはクリアされます。"1" を書き込んでも、このビットは影響されません。
- このビットはデッドタイム割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。
このビットは、TMD5 ～ TMD3:bit18 ～ bit16 が "000_B" または "001_B" の場合のみ機能し、ほかの値の場合は必ず "0" になります。
ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセット (16 ビットデッドタイム 1 でアンダフローが発生する) が同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

[bit3] TMIE1 : 割込み要求許可ビット、ソフトウェアトリガビット

TMIE1	機能
0	16 ビットデッドタイムでアンダフローが発生されても割込みを生成しない。
1	16 ビットデッドタイムでアンダフローが発生されると割込みを生成する。

- このビットは、16 ビットデッドタイムのソフトウェアトリガビットおよび割込み許可ビットとして使用します。
- TMD5 ～ TMD3:bit18 ～ bit16 が "000_B" または "001_B" の場合、このビットは 16 ビットデッドタイムのソフトウェアトリガとして使用されます。このビットを "0" から "1" へ変更すると、16 ビットデッドタイムのトリガとなり、値がリロードされ、ダウンカウントが開始します。
- このビットが "1" であり、割込み要求フラグビット (TMIF1:bit20) が "1" の場合、割込み要求が CPU へ送られます。

(注意事項) 16 ビットデッドタイムを再度トリガとする場合には、このビットに "1" を書き込む前に必ず "0" を書き込んでください。

[bit2 ～ bit0] TMD5 ～ TMD3 : 動作モードビット

TMD5	TMD4	TMD3	機能
0	0	0	OUT 信号を出力する。
0	0	1	PPG 出力禁止の場合, OUT 信号を出力する。 PPG 出力許可の場合: OUT 信号が "H" の間に PPG パルスを出力する
0	1	0	各 OUT 信号の立上りエッジがトリガとなり, 16 ビットデッドタイマが起動する。 PPG 出力禁止の場合, 16 ビットデッドタイマが停止するまで "H" を出力する。 PPG 出力許可の場合, 16 ビットデッドタイマが停止するまで PPG パルスを出力する。 (タイマモード)
1	0	0	OUT 信号でノンオーバーラップ信号を生成する (デッドタイムタイマモード)
1	1	1	禁止
その他			禁止

- これらのビットは, 波形ジェネレータの動作モードを選択するために使用します。
- TMD5 ～ TMD3:bit18 ～ bit16 が "000_B" の場合, アウトプットコンペアのコンペア出力 2/8 と 3/9 の信号は, RTO2/RTO8 と RTO3/RTO9 のそれぞれから出力されます。また, 16 ビットデッドタイマはリロードタイマとしても使用できます。
- TMD5 ～ TMD3:bit18 ～ bit16 が "001_B" の場合, アウトプットコンペアのコンペア出力 2/8 と 3/9 の信号は, PPG 出力が禁止 (PPG 出力制御レジスタ (PICS0/1) の PGEN2:bit28=0, PGEN3:bit29=0) になると, RTO2/RTO8 と RTO3/RTO9 のそれぞれから出力されます。PPG 出力が許可 (PPG 出力制御レジスタ (PICS0/1) の PGEN2:bit28=1, PGEN3:bit29=1) になると, アウトプットコンペアのコンペア出力 2/8 と 3/9 の信号が "H" の間に PPG パルスが, RTO2/RTO8 と RTO3/RTO9 のそれぞれから出力されます。また, 16 ビットデッドタイマはリロードタイマとしても使用できます。
- TMD5 ～ TMD3:bit18 ～ bit16 が "010_B" の場合, 各 OUT 信号の立上りエッジがトリガとなり, 16 ビットデッドタイマが起動します。PPG 出力禁止の場合, 16 ビットデッドタイマが停止するまで "H" を出力します。PPG 出力許可の場合, 16 ビットデッドタイマが停止するまで PPG パルスを出力します。(タイマモード)
- TMD5 ～ TMD3:bit18 ～ bit16 が "100_B" の場合, OUT 信号でノンオーバーラップ信号を生成します。(デッドタイムタイマモード)

- DTSCR2: アドレス 11B2_H (アクセス: バイト, ハーフワード, ワード)
- DTSCR5: アドレス 11CA_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
DMOD2	GTEN5	GTEN4	TMIF2	TMIE2	TMD8	TMD7	TMD6	
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	R/W	属性

[bit7] DMOD2 : 出力極性制御ビット

DMOD2	機能
0	通常極性出力
1	反転極性出力

- このビットは、デッドタイムタイマモードにおいて U/VW の出力を設定するために使用します。
- このビットを設定すると、U/VW の出力極性は反転します。

(注意事項) このビットは、デッドタイムタイマモードが選択されていない場合 (TMD8:bit10=0) は意味がありません。

[bit6] GTEN5 : GATE 信号制御ビット 5

GTEN5	機能
0	GATE 信号は、アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力で制御される (同期モード)

- このビットは、アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
- 0 に設定した場合、GATE 信号は出力されません。
- 1 に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL21, PSEL20 で選択されます。

[bit5] GTEN4 : GATE 信号制御ビット 4

GTEN4	機能
0	GATE 信号は、アウトプットコンペアのコンペア出力で制御されない (非同期モード)
1	GATE 信号は、アウトプットコンペアのコンペア出力で制御される (同期モード)

- このビットは、アウトプットコンペアのコンペア出力で PPG タイマの GATE 信号出力を制御するために使用します。
- 0 に設定した場合、GATE 信号は出力されません。
- 1 に設定した場合、GATE 信号は出力されます。出力先の PPG は SIGCR20/21 の PSEL21, PSEL20 で選択されます。

[bit4] TMIF2 : 割込み要求フラグビット

TMIF2	機能	
	読出し時	書込み時
0	カウンタのアンダフローが検出されない	このビットはクリアされる
1	カウンタのアンダフローが検出される	このビットは影響を受けない

- このビットは、16 ビットデッドタイムの割込み要求フラグとして使用します。
- このビットは、16 ビットデッドタイムでアンダフローが発生すると "1" が設定されます。
- このビットに "0" を書き込むと、このビットはクリアされます。"1" を書き込んでも、このビットは影響されません。
- このビットはデッドタイム割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。

このビットは、TMD8 ～ TMD6:bit10 ～ bit8 が "000_B" または "001_B" の場合のみ機能し、ほかの値の場合は必ず "0" になります。

ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセット (16 ビットデッドタイム 2 でアンダフローが発生する) が同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

[bit3] TMIE2 : 割込み要求許可ビット、ソフトウェアトリガビット

TMIE2	機能
0	16 ビットデッドタイムでアンダフローが発生されても割込みを生成しない。
1	16 ビットデッドタイムでアンダフローが発生されると割込みを生成する。

- このビットは、16 ビットデッドタイムのソフトウェアトリガビットおよび割込み許可ビットとして使用します。
- TMD8 ～ TMD6:bit10 ～ bit8 が "000_B" または "001_B" の場合、このビットは 16 ビットデッドタイムのソフトウェアトリガとして使用されます。このビットを "0" から "1" へ変更すると、16 ビットデッドタイムのトリガとなり、値がリロードされ、ダウンカウントが開始します。
- このビットが "1" であり、割込み要求フラグビット (TMIF2:bit12) が "1" の場合、割込み要求が CPU へ送られます。

(注意事項) 16 ビットデッドタイムを再度トリガとする場合には、このビットに "1" を書き込む前に必ず "0" を書き込んでください。

[bit2 ～ bit0] TMD8 ～ TMD6 : 動作モードビット

TMD8	TMD7	TMD6	機能
0	0	0	OUT 信号を出力する。
0	0	1	PPG 出力禁止の場合, OUT 信号を出力する。 PPG 出力許可の場合: OUT 信号が "H" の間に PPG パルスを出力する
0	1	0	各 OUT 信号の立上りエッジがトリガとなり, 16 ビットデッドタイマが起動する。 PPG 出力禁止の場合, 16 ビットデッドタイマが停止するまで "H" を出力する。 PPG 出力許可の場合, 16 ビットデッドタイマが停止するまで PPG パルスを出力する。 (タイマモード)
1	0	0	OUT 信号でノンオーバーラップ信号を生成する (デッドタイムタイマモード)
1	1	1	禁止
その他			禁止

- これらのビットは, 波形ジェネレータの動作モードを選択するために使用します。
- TMD8 ～ TMD6:bit10 ～ bit8 が "000_B" の場合, アウトプットコンペアのコンペア出力 4/10 と 5/11 の信号は, RTO4/RTO10 と RTO5/RTO11 のそれぞれから出力されます。また, 16 ビットデッドタイマはリロードタイマとしても使用できます。
- TMD8 ～ TMD6:bit10 ～ bit8 が "001_B" の場合, アウトプットコンペアのコンペア出力 4/10 と 5/11 の信号は, PPG 出力が禁止 (PPG 出力制御レジスタ (PICS0/1) の PGEN4:bit30=0, PGEN5:bit31=0) になると, RTO4/RTO10 と RTO5/RTO11 のそれぞれから出力されます。PPG 出力が許可 (PPG 出力制御レジスタ (PICS0/1) の PGEN4:bit30=1, PGEN5:bit31=1) になると, アウトプットコンペアのコンペア出力 4/10 と 5/11 の信号が "H" の間に PPG パルスが, RTO4/RTO10 と RTO5/RTO11 のそれぞれから出力されます。また, 16 ビットデッドタイマはリロードタイマとしても使用できます。
- TMD8 ～ TMD6:bit10 ～ bit8 が "010_B" の場合, 各 OUT 信号の立上りエッジがトリガとなり, 16 ビットデッドタイマが起動します。PPG 出力禁止の場合, 16 ビットデッドタイマが停止するまで "H" を出力します。PPG 出力許可の場合, 16 ビットデッドタイマが停止するまで PPG パルスを出力します。(タイマモード)
- TMD8 ～ TMD6:bit10 ～ bit8 が "100_B" の場合, OUT 信号でノンオーバーラップ信号を生成します。(デッドタイムタイマモード)

47.4.1.4 16 ビットデッドタイマリロード割込みレジスタ : DTIR

16 ビットデッドタイマリロード割込みレジスタ (DTIR) は、タイマがアンダフローする前にリロードされるときの割込み要求、および割込み要求許可を制御するために使用します。

- DTIR0: アドレス 11B5_H (アクセス : バイト, ハーフワード, ワード)
- DTIR1: アドレス 11CD_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
DTRIF2	DTRIE2	DTRIF1	DTRIE1	DTRIF0	DTRIE0	予約		
0	0	0	0	0	0	0	0	初期値
R(RM1),W	R/W	R(RM1),W	R/W	R(RM1),W	R/W	R0,W0	R0,W0	属性

[bit7] DTRIF2 : 16 ビットデッドタイマ 2 リロード割込みフラグビット

DTRIF2	機能	
	読出し時	書込み時
0	デッドタイマのリロードが検出されない	このビットはクリアされる
1	デッドタイマのリロードが検出される	このビットは影響を受けない

- 16 ビットデッドタイマ 2 において、タイマがアンダフローする前にリロードされると、このビットは "1" に設定されます。
- このビットと割込み要求許可ビット (DTIR:DTRIE2) が "1" のときに割込み要求が発生します。
- 書込み時は、"0" でこのビットがクリアされ、"1" では変化せずほかへの影響はありません。
- このビットはデッドタイマ割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令のリード時には、必ず "1" が読み出されます。ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

[bit6] DTRIE2 : 16 ビットデッドタイム 2 リロード割込み許可ビット

DTRIE2	機能
0	16 ビットデッドタイムでリロードが発生されても割込みを生成しない。
1	16 ビットデッドタイムでリロードが発生されると割込みを生成する。

- CPU への割込み出力の許可 / 禁止をするビットです。
- このビットと割込み要求フラグビット (DTIR:DTRIF2) が "1" のときに割込み要求を発生します。

[bit5] DTRIF1 : 16 ビットデッドタイム 1 リロード割込みフラグビット

DTRIF1	機能	
	読出し時	書込み時
0	デッドタイムのリロードが検出されない	このビットはクリアされる
1	デッドタイムのリロードが検出される	このビットは影響を受けない

- 16 ビットデッドタイム 1 において、タイマがアンダフローする前にリロードされると、このビットは "1" に設定されます。
- このビットと割込み要求許可ビット (DTIR:DTRIE1) が "1" のときに割込み要求を発生します。
- 書込み時は、"0" でこのビットがクリアされ、"1" では変化せずほかへの影響はありません。
- このビットはデッドタイム割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令のリード時には、必ず "1" が読み出されます。
ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

[bit4] DTRIE1 : 16 ビットデッドタイム 1 リロード割込み許可ビット

DTRIE1	機能
0	16 ビットデッドタイムでリロードが発生されても割込みを生成しない。
1	16 ビットデッドタイムでリロードが発生されると割込みを生成する。

- CPU への割込み出力の許可 / 禁止をするビットです。
- このビットと割込み要求フラグビット (DTIR:DTRIF1) が "1" のときに割込み要求を発生します。

[bit3] DTRIF0 : 16 ビットデッドタイム 0 リロード割込みフラグビット

DTRIF0	機能	
	読出し時	書込み時
0	デッドタイムのリロードが検出されない	このビットはクリアされる
1	デッドタイムのリロードが検出される	このビットは影響を受けない

- 16 ビットデッドタイム 0 において、タイムがアンダフローする前にリロードされると、このビットは "1" に設定されます。
- このビットと割込み要求許可ビット (DTIR:DTRIE0) が "1" のときに割込み要求を発生します。
- 書込み時は、"0" でこのビットがクリアされ、"1" では変化せずほかへの影響はありません。
- このビットはデッドタイム割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令のリード時には、必ず "1" が読み出されます。ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセットが同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

[bit2] DTRIE0 : 16 ビットデッドタイム 0 リロード割込み許可ビット

DTRIE0	機能
0	16 ビットデッドタイムでリロードが発生されても割込みを生成しない。
1	16 ビットデッドタイムでリロードが発生されると割込みを生成する。

- CPU への割込み出力の許可 / 禁止をするビットです。
- このビットと割込み要求フラグビット (DTIR:DTRIF0) が "1" のときに割込み要求を発生します。

[bit1, bit0] 予約

必ず "0" を書き込んでください。

47.4.1.5 16 ビットデッドタイムマイナス制御レジスタ : DTMNS

16 ビットデッドタイムマイナス制御レジスタ (DTMNS) は、デッドタイム機能のマイナス制御を設定します。

本レジスタはキー許可ビット (KEY1, KEY0) を持っており、デッドタイム機能選択ビット (MNS2 ~ MNS0) の設定には注意が必要です。

MNS2 ~ MNS0 ビットに設定する際は、KEY1, KEY0=00 と MNS2 ~ MNS0="設定したい値" → KEY1, KEY0=01 と MNS2 ~ MNS0="設定したい値 (前回と同じ値)" → KEY1, KEY0=10 と MNS2 ~ MNS0="設定したい値 (前回と同じ値)" → KEY1, KEY0=11 と MNS2 ~ MNS0="設定したい値 (前回と同じ値)" と連続して書込みます。MNS2 ~ MNS0 は 4 回目の書込み時 (KEY1, KEY0=11 の書込み時) に値が反映されます。このフローに従わない場合は (書込みフローの途中でほかのレジスタに書込みや読出しを行う場合、書込み値が正しくないとき、および書込みフローの途中で本レジスタに読出しを行う場合) 本レジスタへの書込みは無効となります。

• DTMNS0: アドレス 11B7_H (アクセス: バイト, ハーフワード, ワード)

• DTMNS1: アドレス 11CF_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
KEY1	KEY0	予約			MNS2	MNS1	MNS0	
0	0	0	0	0	0	0	0	初期値
R0,W	R0,W	R0,W0	R0,W0	R0,W0	R,W	R,W	R,W	属性

[bit7, bit6] KEY1, KEY0 : キー許可ビット

	機能
KEY1, KEY0	キーコード

- MNS2 ~ MNS0 の設定に使用するキーコードレジスタです。
- MNS2 ~ MNS0 ビットに設定する際は、KEY1, KEY0=00 と MNS2 ~ MNS0="設定したい値" → KEY1, KEY0=01 と MNS2 ~ MNS0="設定したい値 (前回と同じ値)" → KEY1, KEY0=10 と MNS2 ~ MNS0="設定したい値 (前回と同じ値)" → KEY1, KEY0=11 と MNS2 ~ MNS0="設定したい値 (前回と同じ値)" と連続して書込みます。MNS2 ~ MNS0 は 4 回目の書込み時 (KEY1, KEY0=11 の書込み時) に値が反映されます。
- このフローに従わない場合は (書込みフローの途中でほかのレジスタに書込みや読出しを行う場合、書込み値が正しくないとき、および書込みフローの途中で本レジスタに読出しを行う場合) 本レジスタへの書込みは無効となります。
- 読出し時、"0" が読み出されます。

[bit5 ~ bit3] 予約

必ず "0" を書き込んでください。

[bit2] MNS2 : デッドタイム機能選択ビット (RTO4/RTO10 と RTO5/RTO11)

MNS2	機能
0	デッドタイム機能のマイナス制御を行いません。
1	デッドタイム機能のマイナス制御を行います。

- RTO4/RTO10 と RTO5/RTO11 のデッドタイム機能の制御を選択します。
- "0" に設定した場合：
デッドタイム機能のマイナス制御を行いません。
- "1" に設定した場合：
デッドタイム機能のマイナス制御を行います。
- 設定する際は、KEY1, KEY0 ビットを使用した書込みフローに従って行ってください。

[bit1] MNS1 : デッドタイム機能選択ビット (RTO2/RTO8 と RTO3/RTO9)

MNS1	機能
0	デッドタイム機能のマイナス制御を行いません。
1	デッドタイム機能のマイナス制御を行います。

- RTO2/RTO8 と RTO3/RTO9 のデッドタイム機能の制御を選択します。
- "0" に設定した場合：
デッドタイム機能のマイナス制御を行いません。
- "1" に設定した場合：
デッドタイム機能のマイナス制御を行います。
- 設定する際は、KEY1, KEY0 ビットを使用した書込みフローに従って行ってください。

[bit0] MNS0 : デッドタイム機能選択ビット (RTO0/RTO6 と RTO1/RTO7)

MNS0	機能
0	デッドタイム機能のマイナス制御を行いません。
1	デッドタイム機能のマイナス制御を行います。

- RTO0/RTO6 と RTO1/RTO7 のデッドタイム機能の制御を選択します。
- "0" に設定した場合：
デッドタイム機能のマイナス制御を行いません。
- "1" に設定した場合：
デッドタイム機能のマイナス制御を行います。
- 設定する際は、KEY1, KEY0 ビットを使用した書込みフローに従って行ってください。

47.4.1.6 波形制御レジスタ 1/2 : SIGCR1, SIGCR2

波形制御レジスタ 1/2(SIGCR1, SIGCR2)は、動作クロック周波数、ノイズキャンセル機能有効、DTTI 入力有効、および DTTI 割込みを制御するために使用します。

- **SIGCR10:** アドレス 11B9_H (アクセス : バイト, ハーフワード, ワード)
- **SIGCR11:** アドレス 11D1_H (アクセス : バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
DTIE	DTIF	NRSL	DCK2	DCK1	DCK0	NWS1	NWS0	
0	0	0	0	0	0	0	0	初期値
R/W	R(RM1),W	R/W	R/W	R/W	R/W	R/W	R/W	属性

[bit7] DTIE : DTTI 入力有効ビット

DTIE	機能
0	DTTI 入力を無効にする
1	DTTI 入力を有効にする

- このビットは、RTO0/RTO6 ～ RTO5/RTO11 端子の出力レベル制御用 DTTI 信号を有効にするために使用します。

[bit6] DTIF : DTTI 割込みフラグビット

DTIF	機能	
	読出し時	書込み時
0	割込み要求なし	このビットはクリアされる
1	割込み要求あり	このビットは影響を受けない

- このビットは、DTTI の割込みフラグです。
- DTTI 入力が有効になり (DTIE:bit23=1), DTTI の "L" レベルが検出されると、このビットが設定され、割込み要求が発生します。
- このビットに "0" を設定した場合：このビットはクリアされます。
- このビットに "1" を設定した場合：このビットは影響を受けません。
- このビットは DTTI 割込みクリア信号が "H" のときクリアされます。

(注意事項) リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。
ノイズキャンセル機能が有効になった場合 (NRSL:bit21=1) にノイズパルスが発生すると、このビットには "1" が設定されます。
ソフトウェアクリア ("0" 書込み) または割込みクリア信号 ("H") によるクリアとハードウェアセット (DTTI の "L" レベル検出) が同時に発生した場合は、ハードウェアセットがソフトウェアクリアまたは割込みクリア信号によるクリアよりも優先され、このビットはセットされます。

[bit5] NRSL : ノイズキャンセル機能有効ビット

NRSL	機能
0	DTTI 入力のノイズキャンセル回路が無効
1	DTTI 入力のノイズキャンセル回路が有効

- このビットは、ノイズキャンセル機能を有効にするために使用します。
 - ノイズキャンセル回路は、カウンタでオーバフローが発生するまで "L" レベルが保持されると、DTTI 入力信号を受け取ります。カウンタは、"L" レベル入力で操作される N ビットカウンタです。
N は、NWS1, NWS0:bit17, bit16 の設定に基づいて 2, 3, 4 または 5 のいずれかの値になります。
- (注意事項) ノイズパルス幅をキャンセルするには、約 2n 周辺クロックが必要になります。
ノイズキャンセル回路を選択すると、周辺クロックが停止するモード (停止モードなど)
時は、入力が無効になります。

[bit4 ～ bit2] DCK2 ～ DCK0 : 動作クロック選択ビット

DCK2	DCK1	DCK0	機能
0	0	0	ϕ
0	0	1	$\phi/2$
0	1	0	$\phi/4$
0	1	1	$\phi/8$
1	0	0	$\phi/16$
1	0	1	$\phi/32$
1	1	0	$\phi/64$
1	1	1	禁止

ϕ : 周辺クロック

- これらのビットは, 16 ビットデッドタイムの動作クロックを選択するために使用します。

[bit1, bit0] NWS1, NWS0 : DTTI ノイズ幅選択ビット

NWS1	NWS0	機能
0	0	4 周辺クロックサイクルノイズをキャンセル
0	1	8 周辺クロックサイクルノイズをキャンセル
1	0	16 周辺クロックサイクルノイズをキャンセル
1	1	32 周辺クロックサイクルノイズをキャンセル

- これらのビットは, 除去する DTTI 端子ノイズパルス幅を選択するために使用します。

- SIGCR20: アドレス 11BB_H (アクセス: バイト, ハーフワード, ワード)
- SIGCR21: アドレス 11D3_H (アクセス: バイト, ハーフワード, ワード)

7	6	5	4	3	2	1	0	bit
PSEL21	PSEL20	PSEL11	PSEL10	PSEL01	PSEL00	予約	DTTI	
0	0	0	0	0	0	0	1	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R/W	属性

[bit7, bit6] PSEL21, PSEL20 : PPG 入力チャネル選択ビット (RTO4, RTO5)

PSEL21	PSEL20	機能
0	0	PPG0/PPG8
0	1	PPG2/PPG10
1	0	PPG4/PPG12
1	1	設定禁止 (動作を保証しません)

- このビットは, RTO4/RTO10, RTO5/RTO11 用の PPG 入力を選択するために使用します。
- また, PPG への GATE 出力先の選択にも使用します。
- "11_B" は設定禁止です。

[bit5, bit4] PSEL11, PSEL10 : PPG 入力チャネル選択ビット (RTO2, RTO3)

PSEL11	PSEL10	機能
0	0	PPG0/PPG8
0	1	PPG2/PPG10
1	0	PPG4/PPG12
1	1	設定禁止 (動作を保証しません)

- このビットは, RTO2/RTO8, RTO3/RTO9 用の PPG 入力を選択するために使用します。
- また, PPG への GATE 出力先の選択にも使用します。
- "11_B" は設定禁止です。

[bit3, bit2] PSEL01, PSEL00 : PPG 入力チャネル選択ビット (RTO0, RTO1)

PSEL01	PSEL00	機能
0	0	PPG0/PPG8
0	1	PPG2/PPG10
1	0	PPG4/PPG12
1	1	設定禁止 (動作を保証しません)

- このビットは, RTO0/RTO6, RTO1/RTO7 用の PPG 入力を選択するために使用します。
- また, PPG への GATE 出力先の選択にも使用します。
- "11_B" は設定禁止です。

[bit1] 予約

必ず "0" を書き込んでください。

[bit0] DTTI : ソフト DTTI 設定ビット

DTTI	機能
0	DTTI セット
1	DTTI クリア

- "0" を書き込むと, DTTI のセットとなります。
- "1" を書き込むとクリア DTTI がクリアされます。ただし, DTTI 端子からの入力が "0" の場合はクリアされませんのでご注意ください。

47.4.1.7 PPG 出力制御レジスタ : PICS

PPG 出力制御レジスタ (PICS) は, PPG 出力を制御するために使用します。

- PICS0: アドレス 11BC_H (アクセス : バイト, ハーフワード, ワード)
- PICS1: アドレス 11D4_H (アクセス : バイト, ハーフワード, ワード)

31	30	29	28	27	26	25	24	bit
PGEN5	PGEN4	PGEN3	PGEN2	PGEN1	PGEN0	予約		
0	0	0	0	0	0	0	0	初期値
R/W	R/W	R/W	R/W	R/W	R/W	R0,W0	R0,W0	属性
23	22	21	20	19	18	17	16	bit
予約								
1	1	1	1	1	1	1	1	初期値
R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	属性
15	14	13	12	11	10	9	8	bit
予約								
1	1	1	1	1	1	1	1	初期値
R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	R1,W1	属性
7	6	5	4	3	2	1	0	bit
予約								
0	0	0	0	0	0	0	0	初期値
R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R/W0	R/W0	R/W0	属性

[bit31] PGEN5 : PPG 出力許可ビット

PGEN5	機能
0	RTO5/RTO11 への PPG 出力を禁止する
1	RTO5/RTO11 への PPG 出力を許可する

- このビットは, RTO5/RTO11 への PPG 出力を選択するために使用します。

[bit30] PGEN4 : PPG 出力許可ビット

PGEN4	機能
0	RTO4/RTO10 への PPG 出力を禁止する
1	RTO4/RTO10 への PPG 出力を許可する

- このビットは, RTO4/RTO10 への PPG 出力を選択するために使用します。

[bit29] PGEN3 : PPG 出力許可ビット

PGEN3	機能
0	RTO3/RTO9 への PPG 出力を禁止する
1	RTO3/RTO9 への PPG 出力を許可する

- このビットは, RTO3/RTO9 への PPG 出力を選択するために使用します。

[bit28] PGEN2 : PPG 出力許可ビット

PGEN2	機能
0	RTO2/RTO8 への PPG 出力を禁止する
1	RTO2/RTO8 への PPG 出力を許可する

- このビットは、RTO2/RTO8 への PPG 出力を選択するために使用します。

[bit27] PGEN1 : PPG 出力許可ビット

PGEN1	機能
0	RTO1/RTO7 への PPG 出力を禁止する
1	RTO1/RTO7 への PPG 出力を許可する

- このビットは、RTO1/RTO7 への PPG 出力を選択するために使用します。

[bit26] PGEN0 : PPG 出力許可ビット

PGEN0	機能
0	RTO0/RTO6 への PPG 出力を禁止する
1	RTO0/RTO6 への PPG 出力を許可する

- このビットは、RTO0/RTO6 への PPG 出力を選択するために使用します。

[bit25,bit24] 予約

必ず "0" を書き込んでください。

[bit23 ～ bit8] 予約

必ず "1" を書き込んでください。

[bit7 ～ bit0] 予約

必ず "0" を書き込んでください。

47.5 動作説明

47.5.1 波形ジェネレータの割込み

波形ジェネレータの割込み制御ビットと割込み要因を表 47.5-1 表 47.5-2 に示します。

表 47.5-1 波形ジェネレータの割込み制御ビットと割込み要因 #1-1

	16 ビットデッドタイム 0/3	16 ビットデッドタイム 1/4	16 ビットデッドタイム 2/5
割込み要求 フラグビット	16 ビットデッドタイム 状態制御レジスタ 0/3 (DTSCR0/3) の TMIF0:bit28	16 ビットデッドタイム 状態制御レジスタ 1/4 (DTSCR1/4) の TMIF1:bit20	16 ビットデッドタイム 状態制御レジスタ 2/5 (DTSCR2/5) の TMIF2:bit12
割込み要求 許可ビット	16 ビットデッドタイム 状態制御レジスタ 0/3 (DTSCR0/3) の TMIE0:bit27	16 ビットデッドタイム 状態制御レジスタ 1/4 (DTSCR1/4) の TMIE1:bit19	16 ビットデッドタイム 状態制御レジスタ 2/5 (DTSCR2/5) の TMIE2:bit11
割込み要因	16 ビットデッドタイム 0/3 のアンダフロー	16 ビットデッドタイム 1/4 のアンダフロー	16 ビットデッドタイム 2/5 のアンダフロー

表 47.5-2 波形ジェネレータの割込み制御ビットと割込み要因 #1-2

	DTTI0	DTTI1
割込み要求 フラグビット	波形制御レジスタ 10 (SIGCR10) の DTIF:bit22	波形制御レジスタ 11 (SIGCR11) の DTIF:bit22
割込み要求 許可ビット	-	-
割込み要因	DTTI0 で "L" レベル が検出される	DTTI1 で "L" レベル が検出される

波形ジェネレータでは、16 ビットデッドタイムのアンダフローが発生し、かつ DTSCR レジスタの TMD2-TMD0/TMD5-TMD3/TMD8-TMD6 (bit26 ～ bit24/bit18 ～ bit16/bit10 ～ bit8) が "000_B" または "001_B" のとき、16 ビットデッドタイム状態制御レジスタ (DTSCR) の TMIF0/TMIF1/TMIF2 (bit28/bit20/bit12) には "1" が設定されます。この状態において割込み要求が許可 (DTSCR レジスタの TMIE0/TMIE1/TMIE2 (bit27/bit19/bit11)=1) になると、割込み要求は割込みコントローラへ出力されます。

表 47.5-3 波形ジェネレータの割込み制御ビットと割込み要因 #2-1

	16 ビットデッドタイム 0/3	16 ビットデッドタイム 1/4	16 ビットデッドタイム 2/5
割込み要求 フラグビット	16 ビットデッドタイム リロード割込みレジスタ 0/1 (DTIR0/1) の DTRIF0	16 ビットデッドタイム リロード割込みレジスタ 0/1 (DTIR0/1) の DTRIF1	16 ビットデッドタイム リロード割込みレジスタ 0/1 (DTIR0/1) の DTRIF2
割込み要求 許可ビット	16 ビットデッドタイム リロード割込みレジスタ 0/1 (DTIR0/1) の DTRIE0	16 ビットデッドタイム リロード割込みレジスタ 0/1 (DTIR0/1) の DTRIE1	16 ビットデッドタイム リロード割込みレジスタ 0/1 (DTIR0/1) の DTRIE2
割込み要因	16 ビットデッドタイム 0/3 動作中のアンダフロー 発生前にリロードが発生	16 ビットデッドタイム 1/4 動作中のアンダフロー 発生前にリロードが発生	16 ビットデッドタイム 2/5 動作中のアンダフロー 発生前にリロードが発生

16 ビットデッドタイム動作中に、タイマのアンダフローが発生する前にリロードが発生した場合、割込み要求フラグビットがセットされます。対応する割込み要求許可ビットが許可のとき、割込み要求は割込みコントローラへ出力されます。

47.5.2 波形ジェネレータの動作

波形ジェネレータは、リアルタイム出力 (RTO0 ～ RTO5), 16 ビット PPG タイマ 0/2/4, 16 ビットデッドタイマ 0/1/2 を使用して様々な波形 (デッドタイムを含む) を生成できます。

■ RTO0 ～ RTO5 と GATE の出力状態

表 47.5-4 RTO/GATE 出力状態とビット設定

TMD2	TMD1	TMD0	GTEN	PGEN	RTO	GATE
0	0	0	X	X	コンペア出力 OUT (16 ビットアウトプットコンペア出力)	常に "0"
0	0	1	0/1	0	コンペア出力 OUT (16 ビットアウトプットコンペア出力)	(OUT かつ GTEN)* ²
			0	1	OUT が "H" の期間に PPG0/PPG2/PPG4 のパルスを出力 * ¹	常に "0"
			1	1	OUT が "H" の期間に GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	OUT
0	1	0	0/1	0	OUT の立上りエッジにより 16 ビットデッドタイマを起動し、16 ビットデッドタイマがアンダフローするまで "H" を出力	GTEN かつ タイマ動作期間中は "H" を出力 * ³
			0	1	OUT の立上りエッジにより 16 ビットデッドタイマを起動し、16 ビットデッドタイマがアンダフローするまで PPG0/PPG2/PPG4 のパルスを出力 * ¹	常に "0"
			1	1	OUT の立上りエッジにより 16 ビットデッドタイマを起動し、16 ビットデッドタイマがアンダフローするまで、GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	タイマ動作 期間中は "H" を出力 * ³
1	0	0	X	X	OUT でノンオーバーラップ信号を生成	常に "0"
1	1	1	0	X	設定禁止	-
			1	X	設定禁止	-
その他					常に "0"	常に "0"

*1: あらかじめ使用するチャネルを PPG0/PPG2/PPG4 のうちから選択し、PPG を起動しておく必要があります。

*2: GTEN ビットに "1" を設定した OUT から GATE 信号が生成されます。

*3: GTEN ビットに "1" を設定した OUT によって起動されるタイマの動作期間中に、GATE 信号が生成されます。複数の GATE ビットに "1" を設定した場合、GATE 信号は各々のタイマ動作期間中の信号を OR した信号となります。

■ 各端子とビットの設定について

RTO/GATE 出力状態とビット設定における、各端子については以下に記す対応表のようになる。

表 47.5-5 各端子とビット設定の対応表

GATE 信号 制御ビット	PPG 出力許 可ビット	リアルタイム 出力	コンペア 出力	16 ビットデッドタイム	ノンオーバーラップ信号
GTEN0	PGEN0	RTO0	OUT0	16 ビットデッドタイム 0	OUT1
GTEN1	PGEN1	RTO1	OUT1	16 ビットデッドタイム 0	OUT1
GTEN2	PGEN2	RTO2	OUT2	16 ビットデッドタイム 1	OUT3
GTEN3	PGEN3	RTO3	OUT3	16 ビットデッドタイム 1	OUT3
GTEN4	PGEN4	RTO4	OUT4	16 ビットデッドタイム 2	OUT5
GTEN5	PGEN5	RTO5	OUT5	16 ビットデッドタイム 2	OUT5

< 注意事項 >

RTO0, RTO1 は、16 ビットデッドタイム状態制御レジスタ (DTSCR0) の TMD2 ～ TMD0 により、RTO2, RTO3 は DTSCR1 レジスタの TMD5 ～ TMD3 により、RTO4, RTO5 は DTSCR2 レジスタの TMD8 ～ TMD6 により制御されます。

■ PPG 出力制御

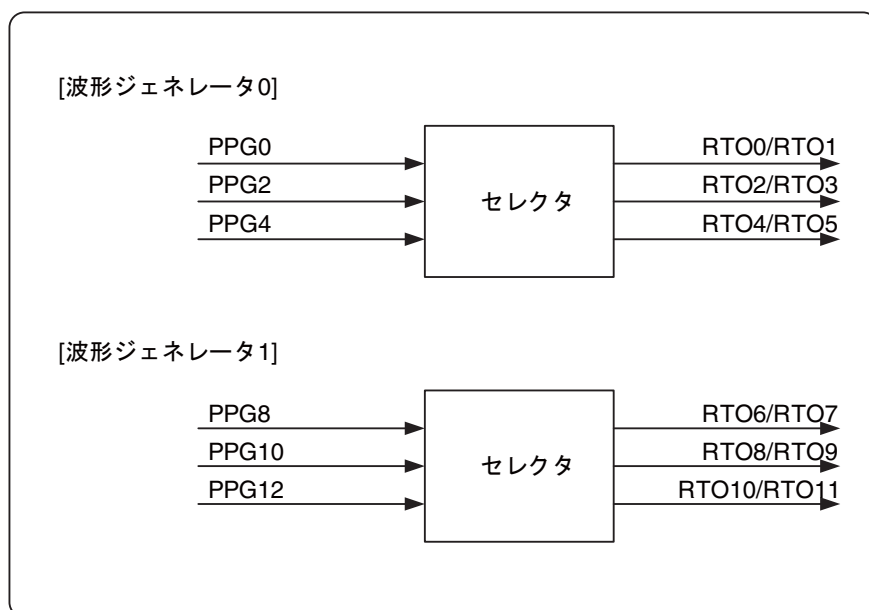
RTO0～RTO5端子へのPPG出力は、PPG出力制御レジスタ(PICS)のPGEN5～PGEN0で許可できます。

■ ゲートトリガされた PPG 出力

波形ジェネレータではリアルタイム出力 RTO0 ～ RTO5 により、GATE 信号を生成できます。1 つの 16 ビットデッドタイム 0, 1, 2 で 2 つのリアルタイム出力 (RTO0/RTO2/RTO4, RTO1/RTO3/RTO5) が操作され、6 つの別々のゲート信号が生成されます。これら 6 つのゲート信号は論理和がとられて GATE 信号を生成し、PPG カウントのトリガとなります。また、PGEN0 ～ PGEN5 信号を使用すると、PPG のみを使用することで RTO0 ～ RTO5 端子に 6 つの異なる波形を出力できます。

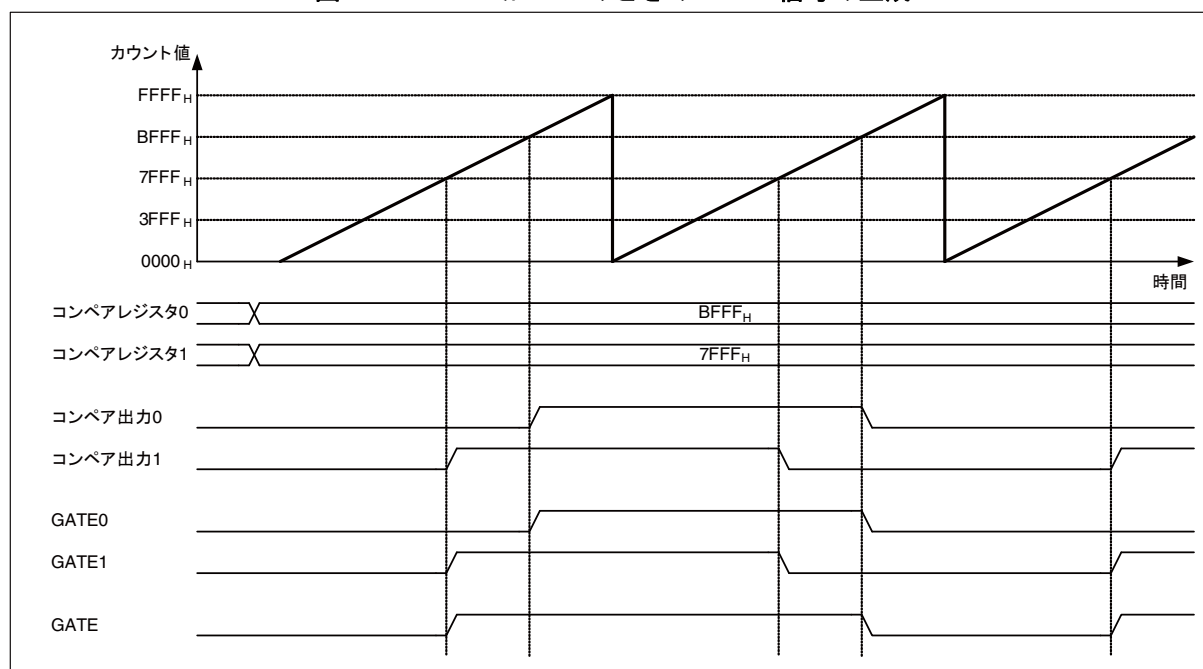
< 注意事項 >

一例として波形ジェネレータ 0 を例にしています。波形ジェネレータ 1 の場合、選択可能な PPG チャンネルは以下の図に示したとおりです。



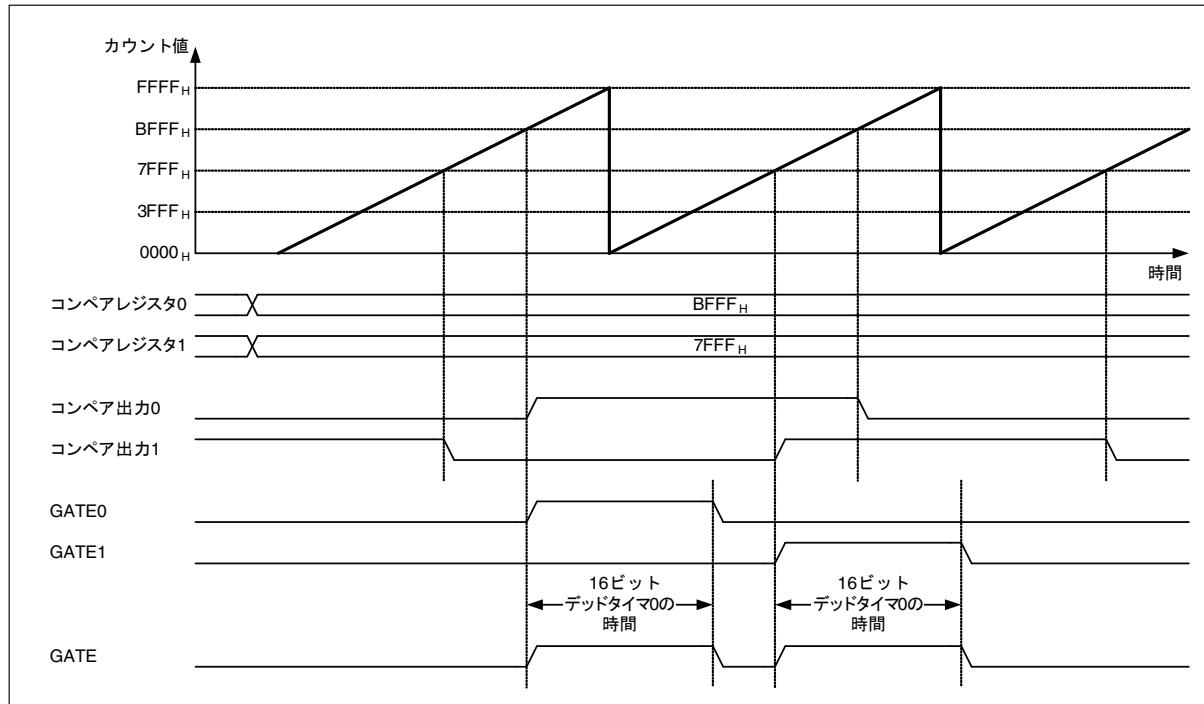
- GATE がアクティブであり、各 OUT が "H" であるとき (16 ビットデッドタイム状態制御 (DTSCR0, DTSCR1, DTSCR2) の TMD8 ~ TMD0 が "001_B") の GATE 信号生成

図 47.5-1 OUT が "H" のときの GATE 信号の生成



- GTENがアクティブ(DTSCR0, DTSCR1, DTSCR2レジスタのTMD8～TMD0=010_B)であるときの OUT 立上りエッジから 16 ビットデッドタイム 0, 1, 2 アンダフローまでにおける GATE 信号の生成

図 47.5-2 OUT 立上りエッジから 16 ビットデッドタイムアンダフローまでにおける GATE 信号の生成



< 注意事項 >

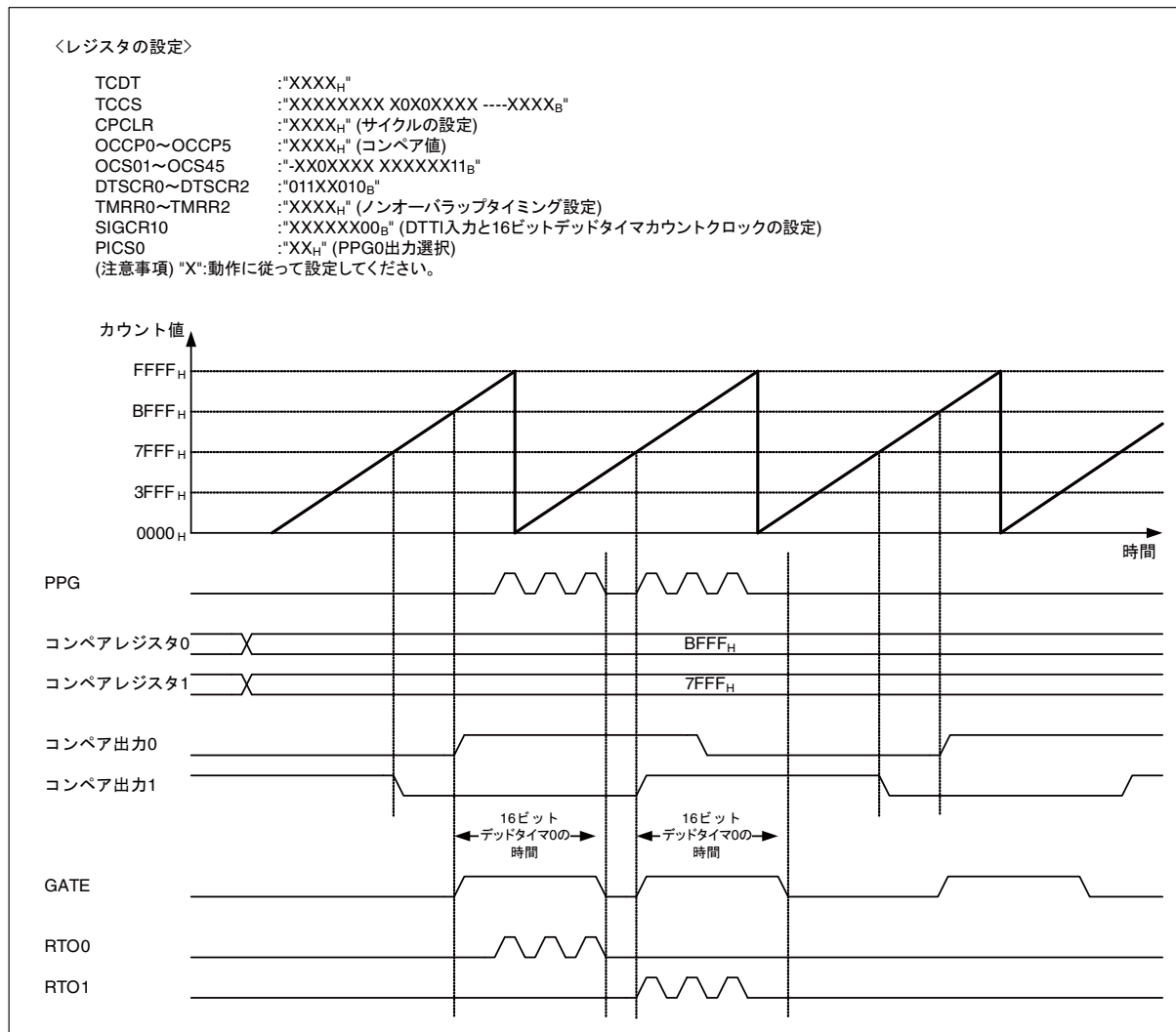
各 16 ビットデッドタイムは、2 つの OUT に対して使用されます。すなわち、16 ビットデッドタイム 0 は OUT0 と OUT1 に対して使用され、16 ビットデッドタイム 1 は OUT2 と OUT3 に対して使用され、16 ビットデッドタイム 2 は OUT4 と OUT5 に対して使用されます。したがって、OUT を使用して、既に動作中のタイマの起動はしないでください。起動を行った場合、GATE 信号出力が拡張され、その結果、誤動作が発生する場合があります。

■ タイマモードの動作

OUT0～OUT5 端子の立上りエッジが検出されると, 16 ビットデッドタイマに値がリロードされて, 16 ビットデッドタイマがダウンカウントを開始します。PPG タイマは, 16 ビットデッドタイマでアンダフローが発生するまで RTO0～RTO5 端子へ出力し続けます。

- OUT 立上りエッジから 16 ビットデッドタイマアンダフローまでにおける PPG 出力パルス生成 (DTSCR0, DTSCR1, DTSCR2 レジスタの TMD8～TMD0=010_B)

図 47.5-3 TMD2～TMD0 が "010_B" のときに生成される波形



< 注意事項 >

各 16 ビットデッドタイマは, 2 つの OUT に対して使用されます。すなわち, 16 ビットデッドタイマ 0 は OUT0 と OUT1 に対して使用され, 16 ビットデッドタイマ 1 は OUT2 と OUT3 に対して使用され, 16 ビットデッドタイマ 2 は OUT4 と OUT5 に対して使用されます。したがって, OUT を使用して, 既に動作中のタイマの起動はしないでください。起動を行った場合, GATE 信号出力が拡張され, その結果, 誤動作が発生する場合があります。

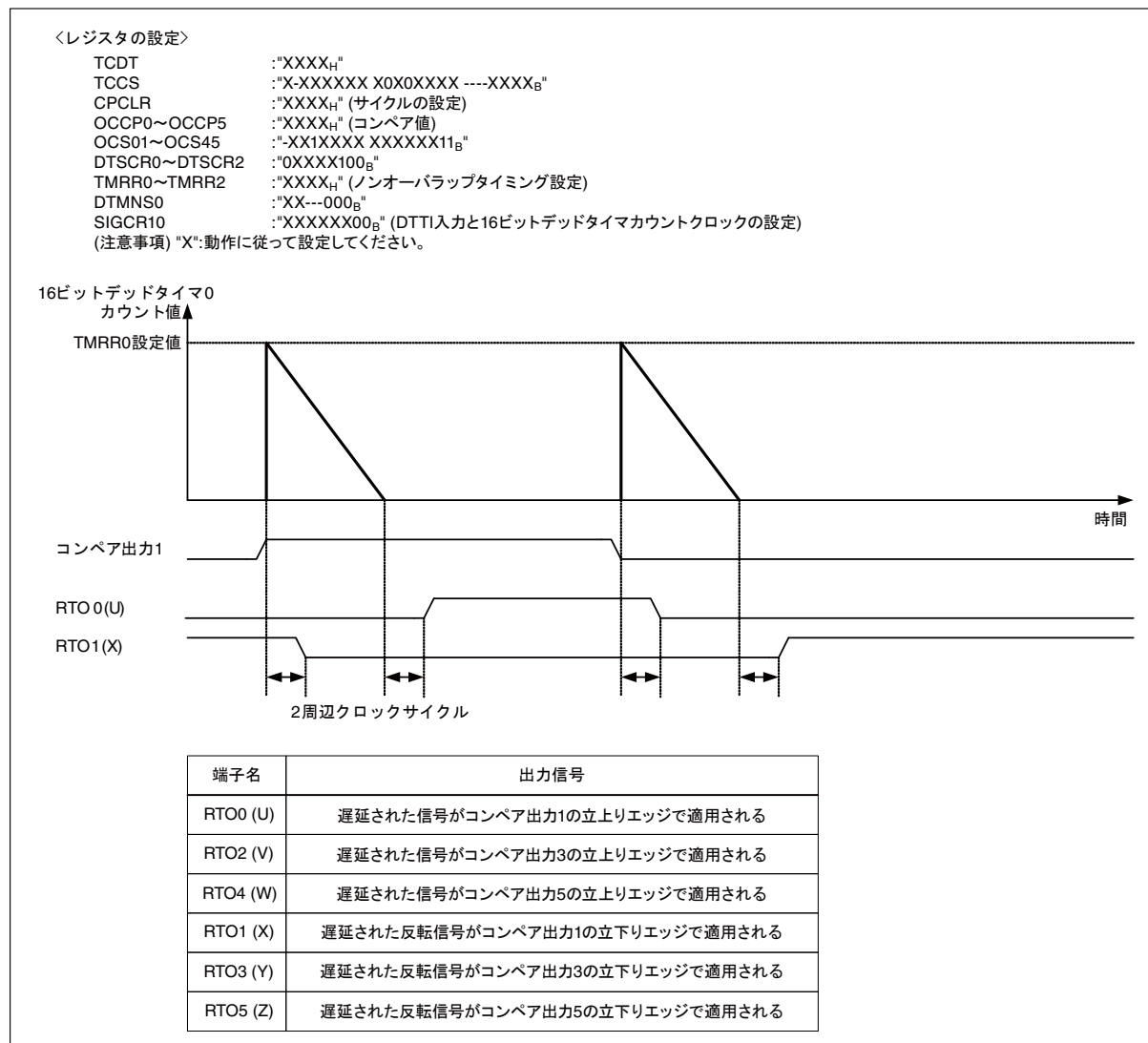
■ デッドタイムタイマモード時の動作

デッドタイムジェネレータは、コンペア出力 (OUT1, OUT3, OUT5) を入力し、外部端子 (RTO0 ～ RTO5) へノンオーバーラップ信号 (反転信号) を出力します。

● 通常極性の OUT1, OUT3, OUT5 によるノンオーバーラップ信号生成 (16 ビットデッドタイム制御レジスタ (DTSCR0, DTSCR1, DTSCR2) の TMD8 ～ TMD0=100_B)

DTSCR0, DTSCR1, DTSCR2 レジスタの DMOD2 ～ DMOD0 が "0" (通常極性) であるノンオーバーラップ信号を選択すると、16 ビットデッドタイムレジスタ (TMRR0 ～ TMRR2) に設定されているノンオーバーラップ時間に相当する遅延が適用されます。この遅延は OUT1, OUT3, OUT5 端子の立上りエッジまたは立下りエッジで適用されます。設定されているノンオーバーラップ時間よりも OUT1, OUT3, OUT5 のエッジ変化時間が小さい場合は、16 ビットデッドタイムは、その次の RT エッジでデッドタイムが起動してから再度起動するまでの時間分の値からダウンカウントを再開します。再起動されたデッドタイムのダウンカウントが終了する前に、もう一度デッドタイムが起動される場合は、TMRR0 ～ TMRR2 レジスタ値からダウンカウントを再開します。

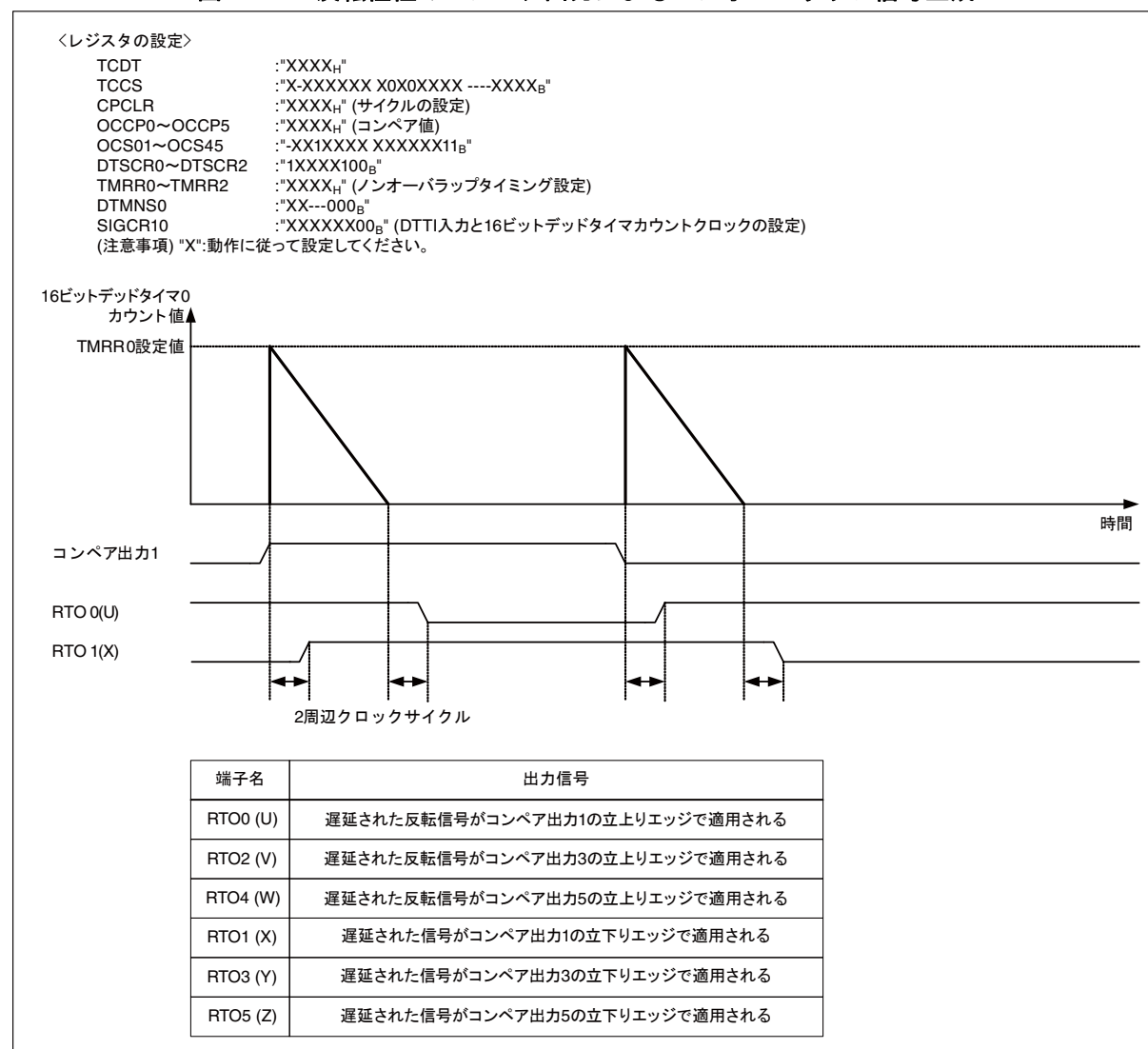
図 47.5-4 通常極性のコンペア出力によるノンオーバーラップ信号生成



● 反転極性の OUT1, OUT3, OUT5 によるマイナス制御のノンオーバーラップ信号生成 (16 ビットデッドタイム制御レジスタ (DTSCR0, DTSCR1, DTSCR2) の TMD8 ～ TMD0=100_B)

DTSCR0, DTSCR1, DTSCR2 レジスタの DMOD2 ～ DMOD0 が "1" (反転極性) であるノンオーバーラップ信号を選択すると、16 ビットデッドタイムレジスタ (TMRR0 ～ TMRR2) に設定されているノンオーバーラップ時間に相当する遅延が適用されます。この遅延は、OUT1, OUT3, OUT5 の立上りエッジまたは立下りエッジで適用されます。設定されているノンオーバーラップ時間よりも OUT1, OUT3, OUT5 のエッジ変化時間が小さい場合は、16 ビットデッドタイムはその次の RT エッジでデッドタイムが起動してから再度起動するまでの時間分の値からダウンカウントを再開します。再起動されたデッドタイムのダウンカウントが終了する前に、もう一度デッドタイムが起動される場合は、TMRR0 ～ TMRR2 レジスタ値からダウンカウントを再開します。

図 47.5-5 反転極性のコンペア出力によるノンオーバーラップ信号生成



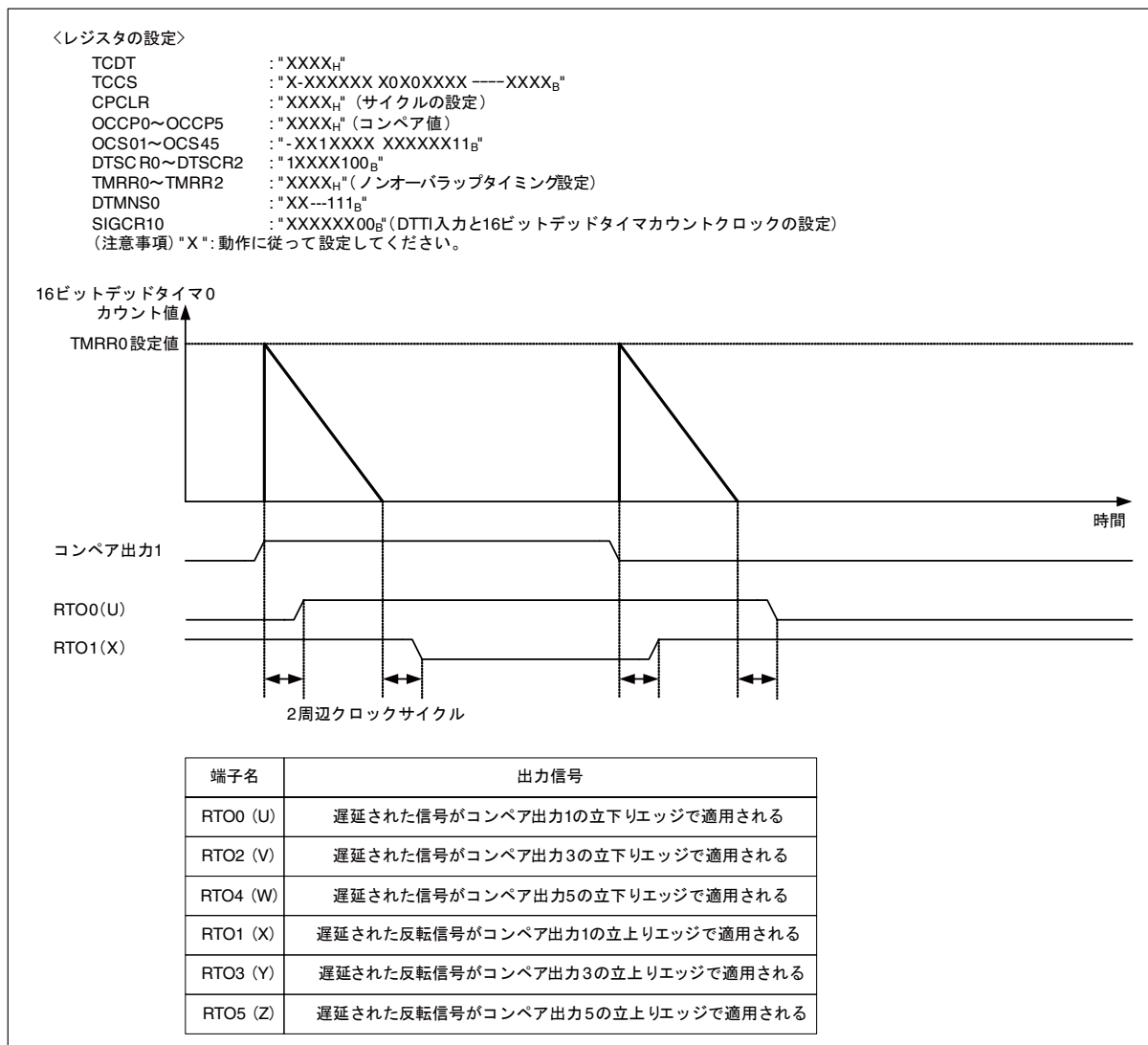
■ デッドタイムタイマモード時の動作 (マイナス制御)

16 ビットデッドタイムマイナス制御レジスタ (DTMNS) により , ノンオーバーラップ時間をマイナス制御 (DTMNS レジスタの MNSx ビット =1) できます。

● 通常極性の OUT1, OUT3, OUT5 によるマイナス制御のノンオーバーラップ信号生成 (16 ビットデッドタイム制御レジスタ (DTSCR0, DTSCR1, DTSCR2) の TMD8 ~ TMD0=100_B)

信号生成は , マイナス制御をしない反転極性のノンオーバーラップ信号の U/V/W と X/Y/Z の出力を X/Y/Z と U/V/W と出力することにより行います。

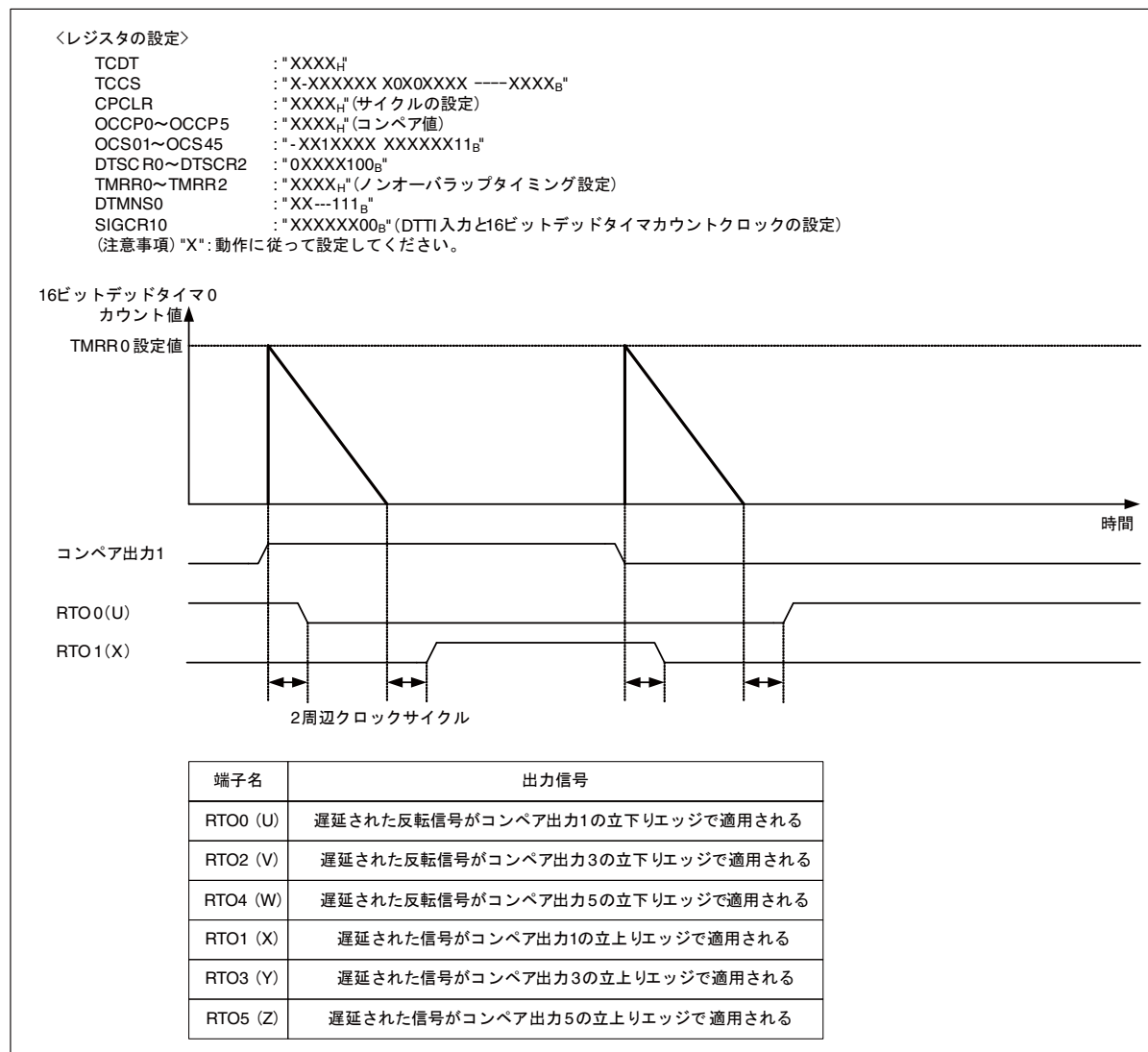
図 47.5-6 通常極性の DTMNS レジスタの MNSx ビット =1 (マイナス設定) による
ノンオーバーラップ信号生成



● 反転極性の OUT1, OUT3, OUT5 によるノンオーバーラップ信号生成 (16 ビットデッドタイム制御レジスタ (DTSCR0, DTSCR1, DTSCR2) の TMD8 ~ TMD0=100_B)

信号生成は、マイナス制御をしない通常極性のノンオーバーラップ信号の U/V/W と X/Y/Z の出力を X/Y/Z と U/V/W と出力することにより行います。

図 47.5-7 反転極性の DTMNS レジスタの MNS ビット=1 (マイナス設定) による
ノンオーバーラップ信号生成



■ デッドタイムタイマモード時の動作 (使用上の注意)

● 信号生成

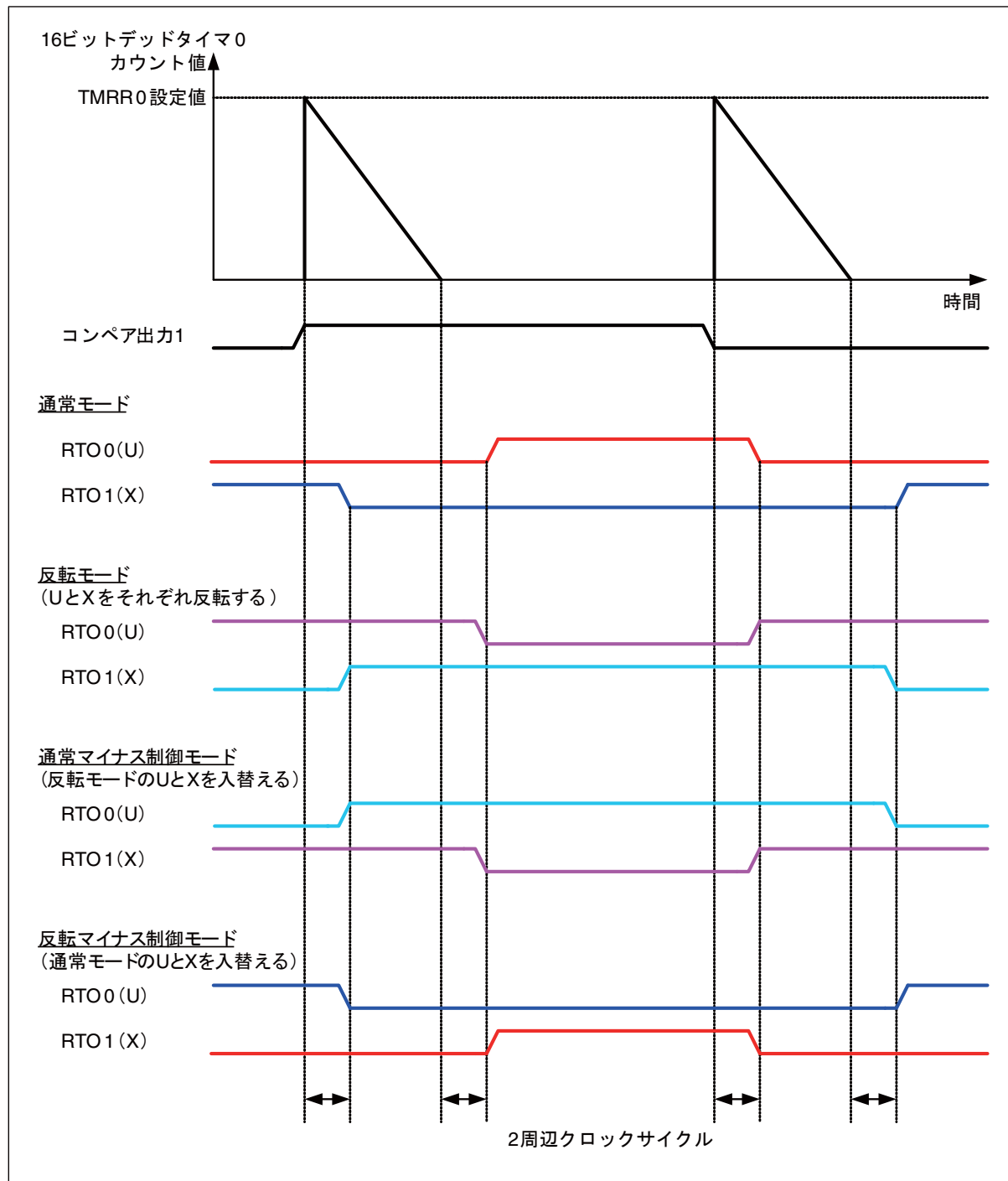
基本は、通常モードです。

反転モードは、通常モードの U と X をそれぞれ反転して出力します。

通常マイナス制御モードは、通常モードの U と X をそれぞれ反転して、さらに U と X を入れ替えて出力します。

反転マイナス制御モードは、通常モードの U と X を入れ替えて出力します。

図 47.5-8 デッドタイムタイマモード時の信号生成



● コンペア出力の"H"区間が大きく(または小さく), デッドタイムのアンダフローが発生する前にリロードされる場合 (デッドタイムのリロードが1回の場合)

通常モードおよび反転マイナス制御モードの場合, X(またはU)が"L"固定で出力されます。

通常マイナス制御モードおよび反転モードでは, U(またはX)が"H"固定で出力されます。さらにデッドタイムがダウンカウント中はUとXが両方とも"H"で出力されます。その区間はデッドタイムが起動してから再起動するまでの時間(コンペア出力変化時間)の2倍の時間となります。

なお, デッドタイム動作中にタイマのアンダフローが発生する前にリロードされる場合は, 16ビットデッドタイムリロード割込みレジスタ(DTIR)の割込み要求フラグビットがセットされ, 割込みが許可されている場合, 割込みが通知されます。

図 47.5-9 コンペア出力の"H"区間が大きく, デッドタイムのアンダフローが発生する前にリロードされる場合

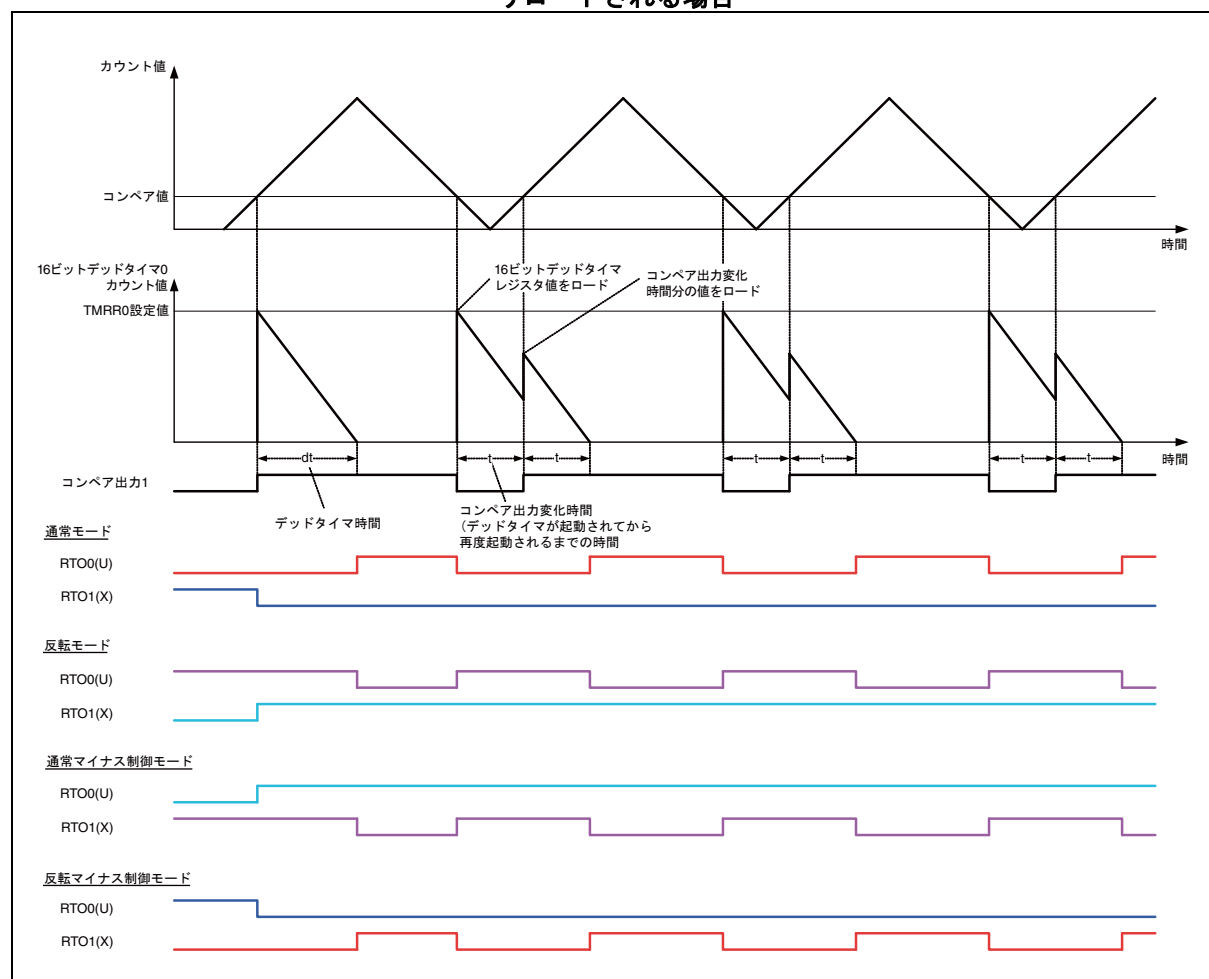
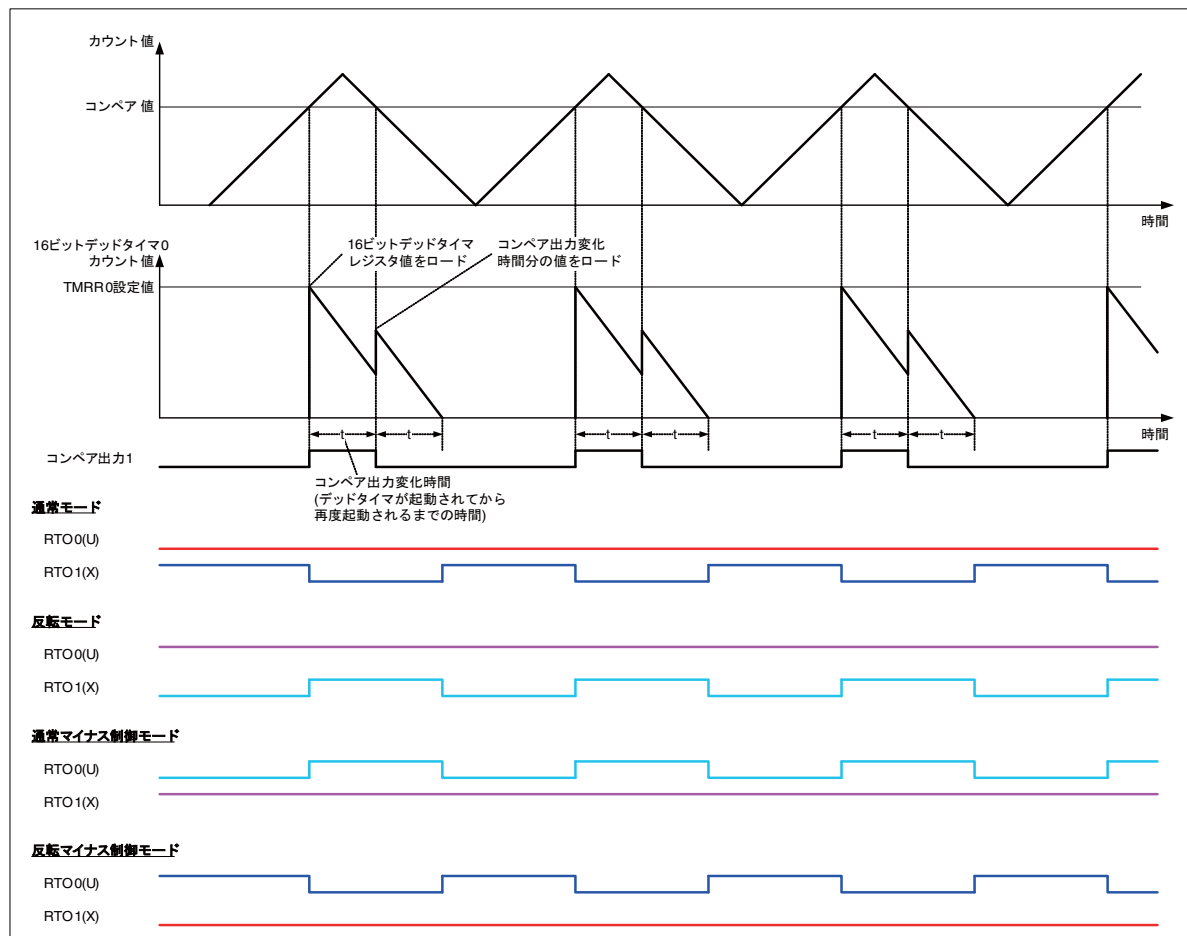


図 47.5-10 コンペア出力の "H" 区間が小さく、デッドタイムのアンダフローが発生する前にリロードされる場合



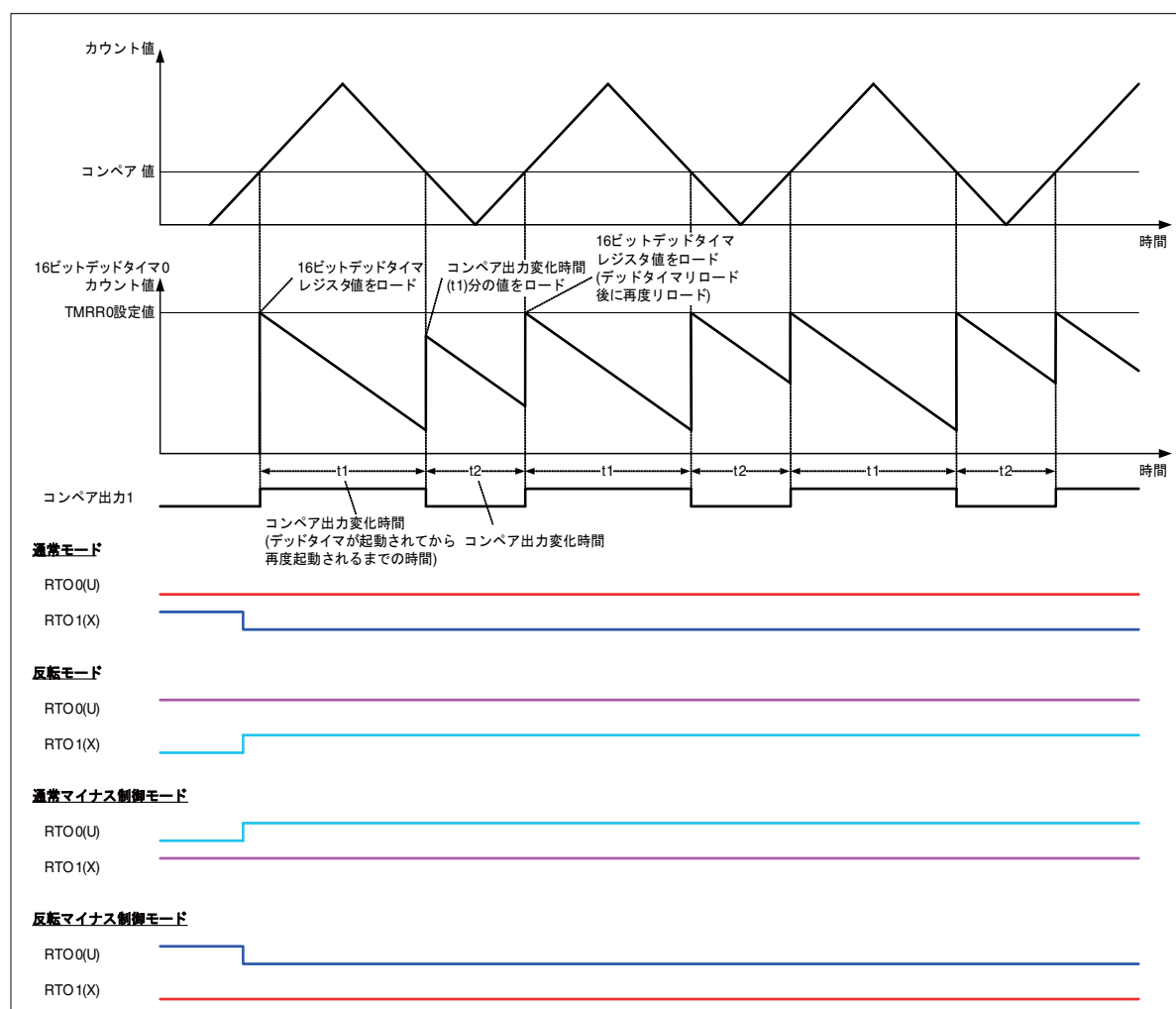
● コンペア出力変化時間が小さく、デッドタイムのアンダフローが発生する前にリロードされ続ける場合 (デッドタイムのリロードが続く場合)

コンペア出力変化時間が小さく、デッドタイムのアンダフローが発生する前にリロードされ続けるような 16 ビットデッドタイムレジスタ (TMRR) の設定は禁止とします。

もし、上記設定を行うと、通常モードおよび反転マイナス制御モードの場合、X および U が "L" 固定で出力されます。通常マイナス制御モードおよび反転モードでは、X および U が "H" 固定で出力されます。

なお、デッドタイム動作中にタイマのアンダフローが発生する前にリロードされる場合は、16 ビットデッドタイムリロード割込みレジスタ (DTIR) の割込み要求フラグビットがセットされ、割込みが許可されている場合、割込みが通知されます。

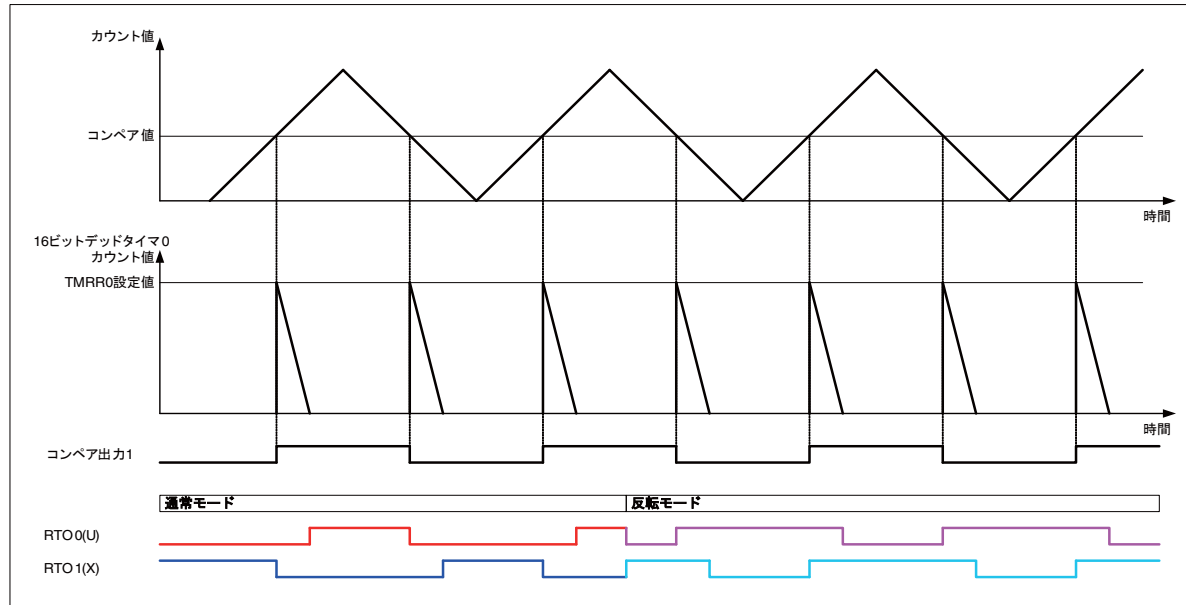
図 47.5-11 コンペア出力変化時間が小さく、デッドタイムのアンダフローが発生する前にリロードされ続ける場合



● デッドタイムタイマモード動作中の通常モードから反転モードへの変更

デッドタイムタイマモード動作中に、通常モードから反転モードに変更した場合、U と X の変化点が重なります。通常モードから反転モードへの変更は即時に行いますので、ご注意ください。

図 47.5-12 デッドタイムタイマモード動作中の通常モードから反転モードへの変更



● デッドタイムタイマモード動作中のマイナス制御モードの変更

デッドタイムタイマモード動作中に、マイナス制御モードを変更する場合、U と X の変化点が重ならないように、マイナス制御モードの設定の反映を、デッドタイマが未動作およびトリガ入力(コンペア出力)が "L" のときに行います。

図 47.5-13 デッドタイムタイマモード動作中の通常モードから通常マイナス制御モードへの変更 #1

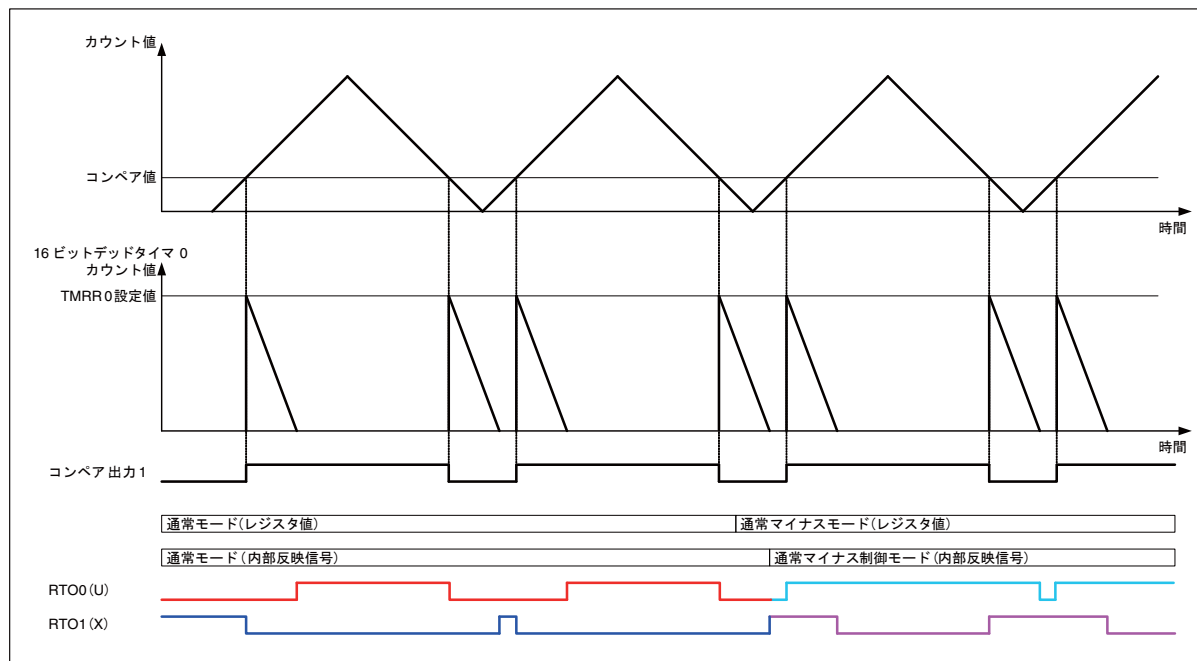
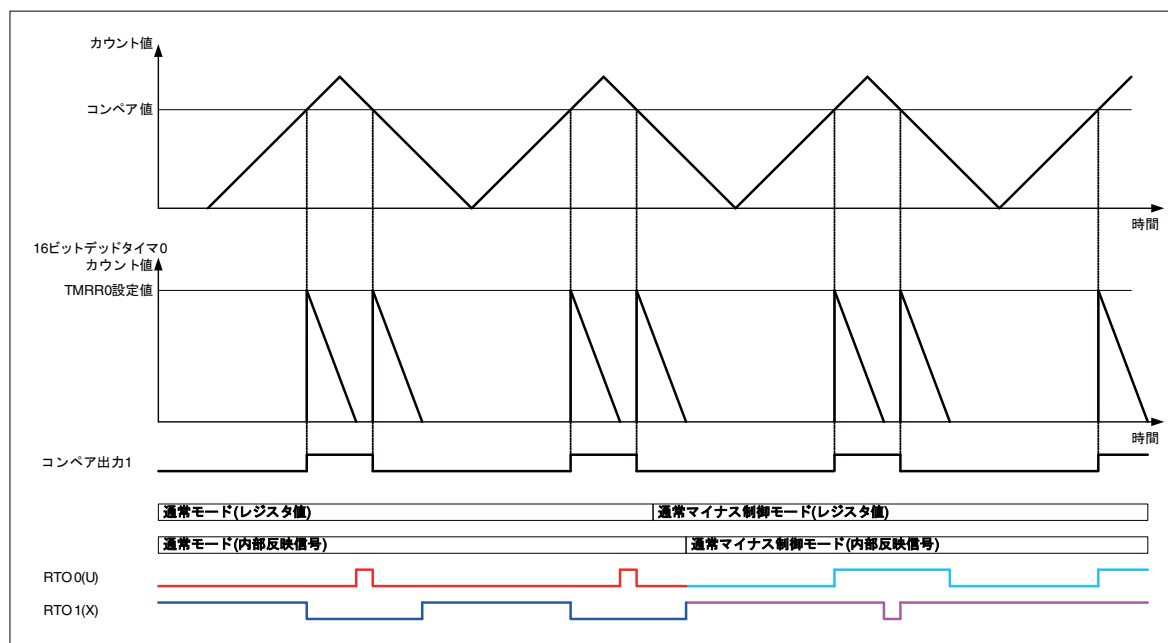


図 47.5-14 デッドタイムタイマモード動作中の通常モードから通常マイナス制御モードへの変更 #2



■ DTTI 端子制御の動作

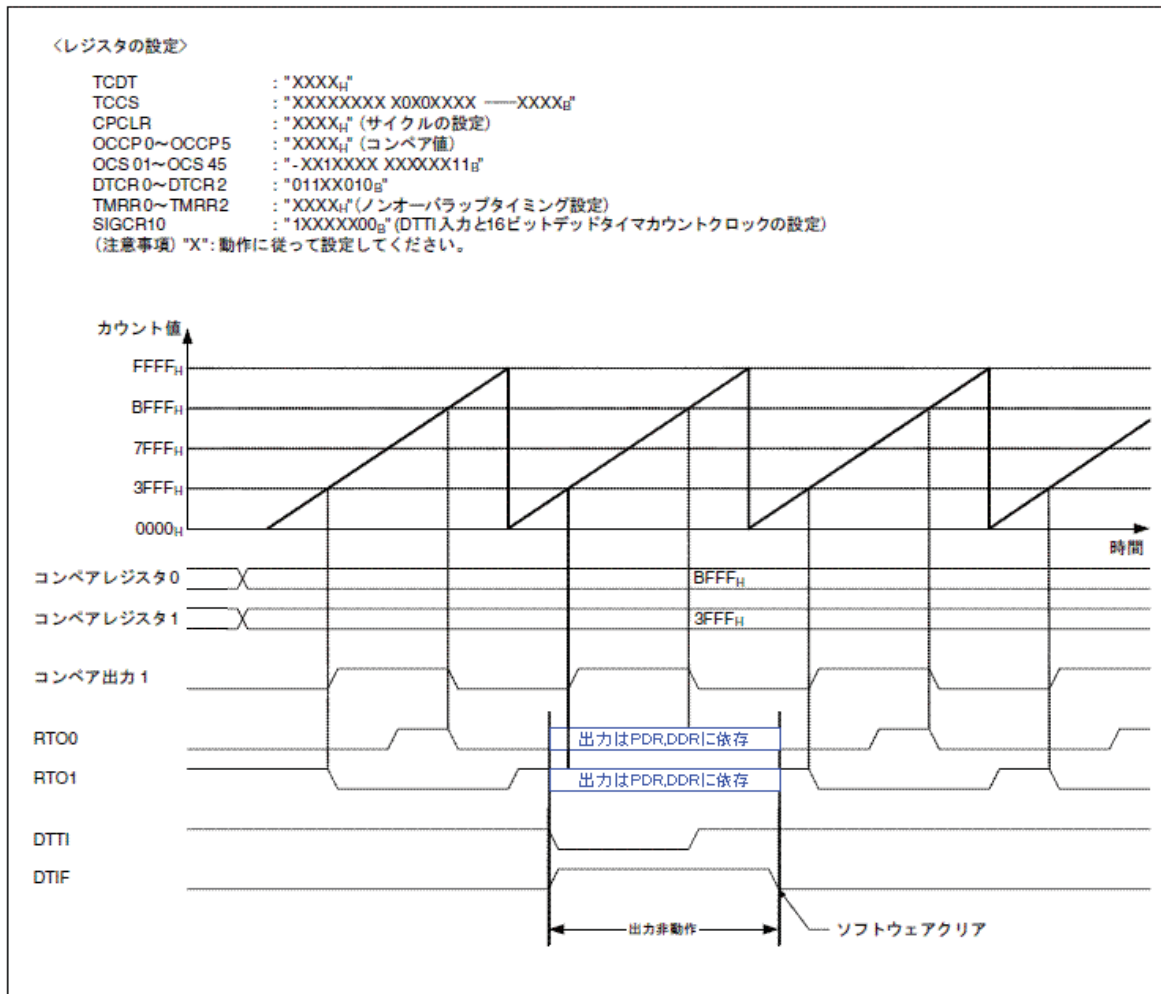
波形制御レジスタ 1(SIGCR1)の DTIE に "1" を設定すると, RTO0 ～ RTO5 出力を DTTI 端子で制御できます。DTTI 端子の "L" レベルが検出されると, RTO0 ～ RTO5 は, 割込みフラグ (SIGCR1 レジスタの DTIF) がクリアされるまで汎用ポートとして機能します。

割込みフラグ (DTIF) 検出中の RT00-05 の汎用ポートの状態は, 拡張ポート機能レジスタ (EPFR) の設定には依存しません。

汎用ポート制御方法については「第 24 章 I/O ポート」を参照してください。

DTTI 端子入力の "L" が検出された場合でも, タイマは波形ジェネレータが動作している間は動作を継続しますが, 波形は外部端子 RTO0 ～ RTO5 へは出力されません。

図 47.5-15 DTTI 入力の有効のときの動作



■ 波形制御レジスタ 2(SIGCR2) の DTTI の動作

波形制御レジスタ 2 の DTTI の出力は、DTTI 端子入力と AND をとって DTTI 入力となるようになっています。したがって、本レジスタを "0" に設定すると常に DTTI 入力状態となり、DTTI 端子の入力は無意味です。

本レジスタに、"1" を書き込んでクリアすると、DTTI 端子入力の値が用いられます。

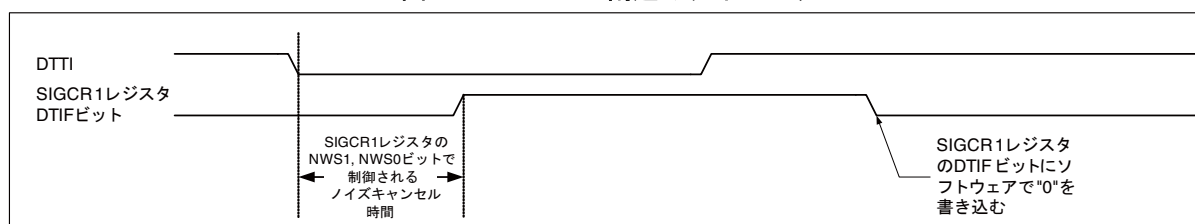
■ DTTI 端子ノイズキャンセル機能

波形制御レジスタ 1(SIGCR1) の NRSL に "1" を設定すると、DTTI 端子入力のノイズキャンセル機能が有効になります。ノイズキャンセル機能が有効になると、出力端子 (RTO0 ～ RTO5) をポート制御の状態に固定するために要する時間が 4, 8, 16 または 32 周辺クロックサイクル (SIGCR1 レジスタの NWS1, NWS0 で選択) だけ遅延します。ノイズキャンセル回路はリソースを使用するので、発振が停止するモード (停止モードなど) 時において DTTI 入力が有効になった場合でも入力は無効になります。

■ DTTI 割込み

DTTI の "L" レベルが検出されると、ノイズキャンセル時間が経過した後で DTTI 割込みフラグ (SIGCR1 レジスタの DTIF) に "1" が設定され、割込み要求は割込みコントローラへ送信されます。

図 47.5-16 DTTI 割込みタイミング



< 注意事項 >

ノイズキャンセル時間内に SIGCR1 レジスタの NWS1, NWS0 ビットの値が変化した場合は、さらに大きな (NWS1, NWS0) ノイズサイクル値が有効になります。

SIGCR1 レジスタの DTIF は、ソフトウェアでのみクリアできます。

47.6 注意事項

■ プログラムによる設定上の注意

- 波形ジェネレータが動作中 (DTSCR レジスタの TMD2 ~ TMD0/TMD5 ~ TMD3/TMD8 ~ TMD6 が "001_B", "010_B" または "100_B") に, 16 ビットデッドタイム状態制御レジスタ (DTSCR) の TMD8, TMD5, TMD2, TMD7, TMD4, TMD1, TMD6, TMD3, TMD0 ビット値を変更する場合は, トリガソースおよび 16 ビットデッドタイムがカウント中でないことを必ず確認してください。この操作を行わない場合は, 以前のトリガでスケジュールされた出力が原因となり, 予期しない波形が RTO 端子から出力されます。ただし, RTO 出力は, タイマでアンダフローが発生したり, 新しいトリガソースで再トリガされたりすると, 正常動作に戻ります。
- トリガソースとは, DTSCR レジスタの TMD8 ~ TMD0 が "001_B" の場合は "OUT の "H" レベル" であり, TMD8 ~ TMD0 ビットが "010_B" の場合は "OUT の立上りエッジ" であり, TMD8 ~ TMD0 ビットが "100_B" の場合は, "OUT の立上りまたは立下りエッジ" です。例えば, TMD8 ~ TMD0 ビットが "100_B" から "010_B" へ変更すると, 下記の手順を実行できます。
 1. 16 ビットデッドタイムレジスタ (TMRR) を "0001_H" のような非常に小さな値に設定する。
 2. RTO1, RTO3, RTO5 の出力を "L" または "H" に設定し, タイマ 0, 1, 2 でアンダフローが発生するまで待つ。
 3. モードビット (TMD8 ~ TMD0), および対応する設定を変更する。
 4. 修正された出力波形が 1 マシンサイクル後, RTO 端子に現れる。
- タイマがカウント中に 16 ビットデッドタイムレジスタ (TMRR) に値が書き込まれると, この新しい値は次のタイマトリガ時に有効になります。タイマレジスタへアクセスする場合は, 必ずハーフワードもしくはワード転送命令をご使用ください。
- タイマがカウントしていない場合のみ, 波形制御レジスタ 1 (SIGCR1) の DCK2 ~ DCK0 を変更してください。
- ノイズキャンセル機能が無効になった場合のみ, 波形制御レジスタ 1 (SIGCR1) の NWS1, NWS0 を変更してください。

■ 割込みの注意

- 16 ビットデッドタイム状態制御レジスタ (DTSCR) の割込み要求許可ビット (TMIE) に "1" を設定する前に, 必ず割込みフラグ (TMIF) をクリアしてください。
- 波形制御レジスタ 1 (SIGCR1) の割込み要求許可ビット (DTIE) に "1" を設定する前に, 必ず割込みフラグ (DTIF) をクリアしてください。

第 48 章 R/D コンバータ

48.1 概要

R/D コンバータは外部のレゾルバからマイコンに入力されるアナログ信号を演算して角度データ，角速度データを算出します。

レゾルバとのシグナルインタフェースが物理的に短絡，断線などを発生した場合の異常通知も行います。

また，トラッキンググループ処理（追従補完演算処理）中の演算結果を監視し，異常がある場合は警告します。

48.2 特長

- 動作モード設定機能
- 角度パラメータと角速度パラメータの独立取得
- トラッキンググループ警告
- 各種異常出力
- 正弦／余弦出力機能

管理コード：zbrdc-1v0-91580L-1-J_diiguest

第 49 章 D/A コンバータ

49.1 概要

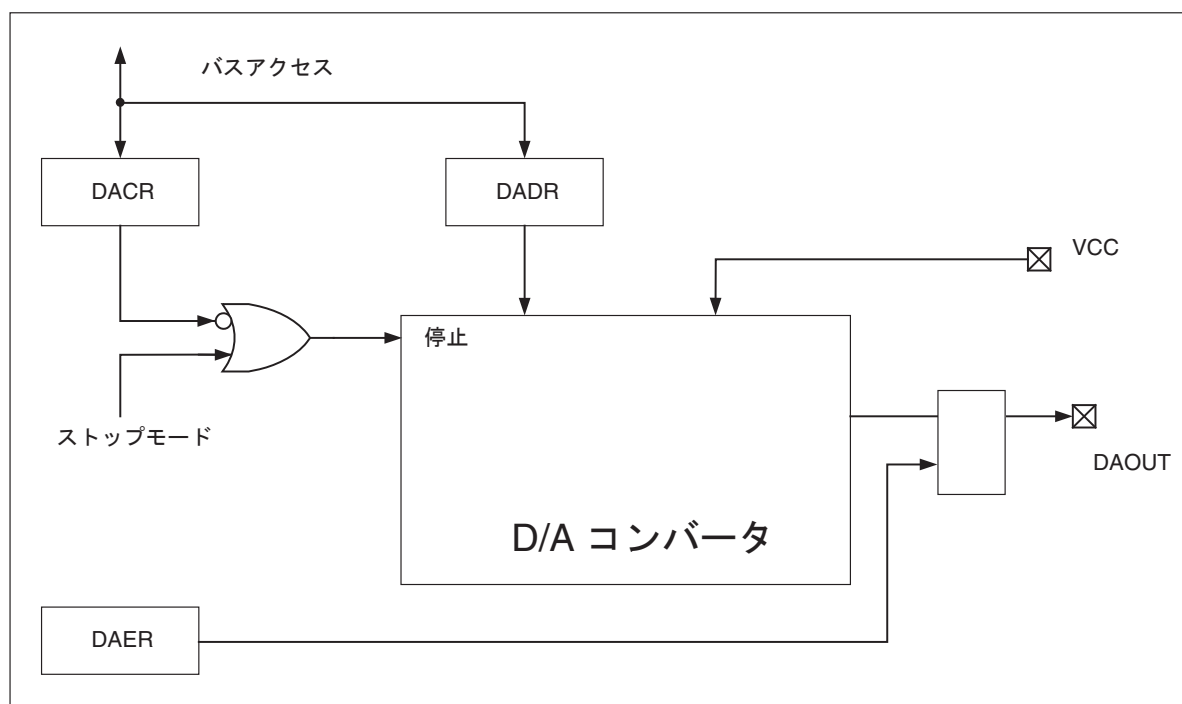
D/A コンバータは、デジタル信号をアナログ信号に変換する周辺機能です。本製品は 10 ビット D/A コンバータを 1 チャンネル内蔵しています。

49.2 特長

- パワーダウン機能
D/A コンバータからの出力が禁止されているときに、電力を落とすパワーダウン機能を内蔵しています。
- 出力電圧範囲についてはデータシートをご参照ください。

49.3 構成

図 49.3-1 D/A コンバータのブロックダイアグラム



管理コード : ZRDC-0v5-91580L-1-J

49.4 レジスタ

表 49.4-1 D/A コンバータのレジスタ一覧

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0F4C _H	DAER	予約	予約	予約	アナログ出力制御レジスタ (キーコード対象レジスタ)
1400 _H	DACR	予約	DADR		D/A 制御レジスタ D/A データレジスタ

49.4.1 D/A コントロールレジスタ : DACR

D/A 端子からの出力を許可するレジスタです。

- DACR: アドレス 1400_H (アクセス: バイト, ハーフワード, ワード)

Bit	15	14	13	12	11	10	9	8
	-							DAE
	0	0	0	0	0	0	0	0
	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit15 ~ bit9] 未定義ビット

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit8] DAE : D/A 出力許可ビット

DAE	DA 出力許可
0	出力禁止
1	出力許可

49.4.2 D/A データレジスタ : DADR

DAOUT 端子からの出力電圧を設定するレジスタです。このレジスタに格納された値をもとに D/A コンバータからの出力電圧が算出されます。

- DADR: アドレス 1402_H (アクセス: ハーフワード)

Bit	15	14	13	12	11	10	9	8
	-							DA[9:8]
	0	0	0	0	0	0	X	X
	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W	R/W

Bit	7	6	5	4	3	2	1	0
	DA[7:0]							
	X	X	X	X	X	X	X	X
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit15 ~ bit10] 未定義ビット

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit9 ～ bit0] DA9 ～ DA0 : D/A 出力値

DA9 ～ DA0	DA 出力電圧
00 0000 0000	$0 \div 1024 \times VCC$
00 0000 0001	$1 \div 1024 \times VCC$
00 0000 0010	$2 \div 1024 \times VCC$
～	
11 1111 1101	$1021 \div 1024 \times VCC$
11 1111 1110	$1022 \div 1024 \times VCC$
11 1111 1111	$1023 \div 1024 \times VCC$

49.4.3 DAER (D/A Enable Register) アナログ出力制御レジスタ

P044 をポート機能か DA 出力端子かを設定します。

- DAER: アドレス 0F4C_H (アクセス: バイト, ハーフワード)

Bit	15	14	13	12	11	10	9	8
				-				DAS
	0	0	0	0	0	0	0	0
	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R0,WX	R/W

[bit15 ～ bit9] 未定義ビット

常に "0" が読み出されます。書込みは動作に影響ありません。

[bit8] DAS : アナログ出力制御ビット

DAS	アナログ出力制御
0	ポート機能 (初期値)
1	D/A 出力端子

(注意事項) 本レジスタはキーコード対象レジスタです。書込みにはキーコード設定が必要です。設定方法は「第 24 章 I/O ポート」の「24.4.10 キーコードレジスタ: KEYCDR」, 「24.5.11 キーコードレジスタ機能の設定」をご参照ください。また, 本レジスタへのワードアクセスは禁止です。

(注意事項) DA 出力をしていない場合, 内部のアンプはパワーダウンしています。この状態から DAER の DAS ビットの制御によって DA 出力を許可する場合, アンプのパワーオンと出力安定に一定時間(10us)が必要となりますのであらかじめご注意ください。

49.5 動作説明

D/A コンバータは、D/A データレジスタ (DADR) に書き込まれた値をもとに出力電圧を算出し、DAOUT 端子からアナログ電圧を出力します。

D/A データレジスタ (DADR) の DA9 ～ DA0 ビットに値を書き込み、D/A コントロールレジスタ (DACR) の DAE ビットに "1" を書き込むと、D/A コンバータからアナログ信号が出力されます。

D/A コントロールレジスタ (DACR) の DAE ビットに "0" を書き込んだ場合は、D/A コンバータからの出力端子 DAOUT は Hi-Z 状態になります。また、DAE ビットに "1" を書き込んだ場合でも、CPU がストップモードの場合は D/A コンバータからの出力端子 DAOUT は Hi-Z 状態になります。

D/A コントロールレジスタ (DACR) の DAE ビットに "1" を書き込んで、D/A コンバータからの出力を許可した場合に出力できる電圧は 0.0V から $1023/1024 \times VCC$ です。

■ 設定手順・方法

D/A コンバータを使用する際は、次の手順・方法で設定します。

● DAOUT 端子から出力する場合 (①～④の順番で設定)。

- ① P044 をポート機能側に設定する。(DAER 設定)
 - ② D/A コンバータの出力電圧値を設定します。(DADR 設定)
 - ③ D/A コンバータ出力を許可します。(DACR.DAE="1" 設定)
 - ④ P044 を D/A 出力側に設定する。(DAER 設定)
- P044 端子から D/A 変換値の出力が開始されます。

● DAOUT 端子からの出力を禁止する場合。

- D/A 出力端子をポート機能側に設定する。(DAER=0 設定)
- D/A コンバータ出力禁止を設定する。(DACR.DAE=0 設定)

第 50 章 オンチップデバッグ (OCD)

50.1 概要

本品種でのオンチップデバッグ (OCD) の概要ならびに仕様制限を説明します。

OCDU は、FR81 においてオンチップデバッグ機能を提供するためのデバイス内蔵デバッグサポートユニットです。OCDU は、デバッグの基本機能 (CPU 実行 / ブレーク制御、CPU レジスタ / メモリ / IO のアクセス)、小規模デバッグ支援機能 (イベント、実行時間測定、トレース、etc)、セキュリティ機能を搭載します。

50.2 特長

- 一線式デバッグツール I/F
- デバッグセキュリティ機能
- デバッグモード制御機能
- 実行制御機能
 - 各種ステータス表示機能 (チップステータス、CPU ステータス、etc)
 - デバッグコマンド実行制御機能
 - 小規模デバッグメインメモリ (8 バイト = 4 命令)
 - CPU レジスタ退避レジスタ (PC/PS)
 - PC モニタ機能
 - リセット機能
 - チップリセット (INIT)
 - CPU リセット (RST)
- ブレーク機能
 - ステップ実行ブレーク
 - イベントトリガブレーク
 - 強制ブレーク
 - ガーデッドアクセスブレーク
 - トレース終了ブレーク
 - 実行開始アドレス直後の割込み受付制御
- デバッグ DMA 機能 (DDMA 機能)
 - 各種転送モードのサポート (アドレスモード、Verify モード、DEBUG I/F のバースト転送)
- イベント機能
 - コードイベント (条件付きコードイベントを含む)
 - データイベント
 - 割込みイベント
 - ユーザイベント
 - イベントシーケンサ
- 実行時間測定タイマ機能
 - Go-Break 間測定
 - トリガ間測定 (単発測定 / 累積測定)
- トレース機能
 - 特殊スタートトレース

管理コード : FR81S09_OCD-1v0-91580L-1-J

- 分岐トレース
- データトレース
- トレースディレイ

50.3 構成

図 50.3-1 OCDU のブロックダイアグラム

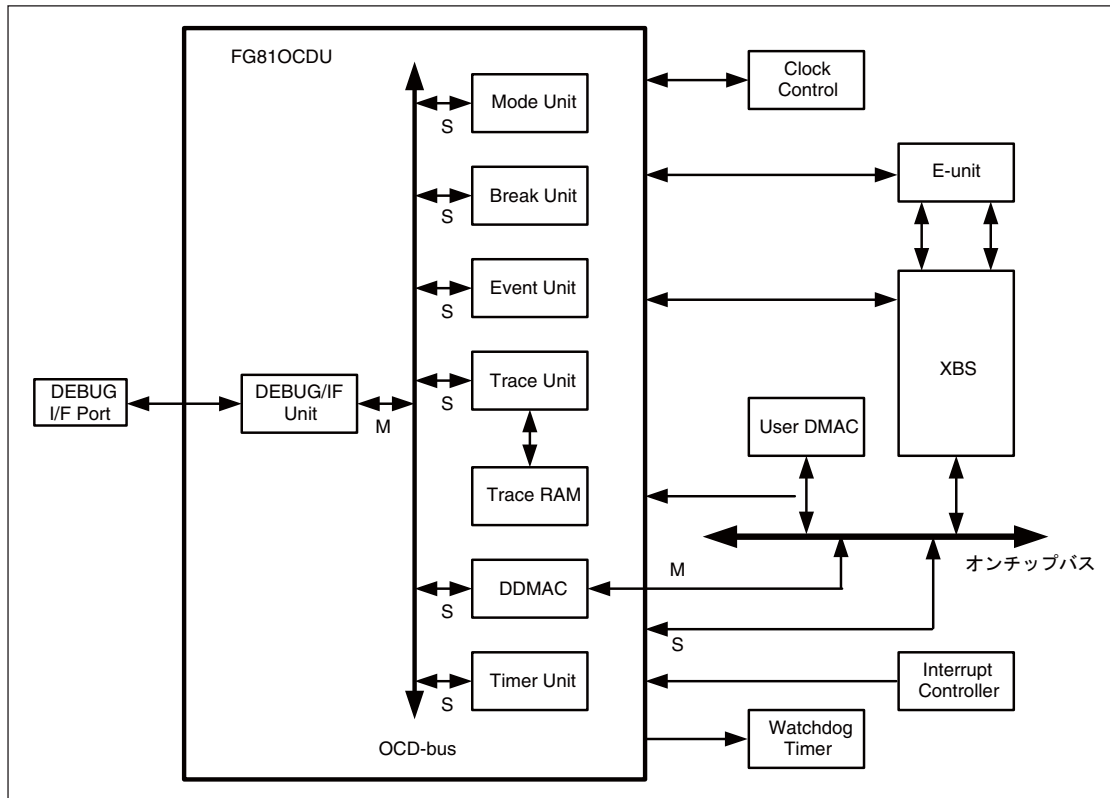
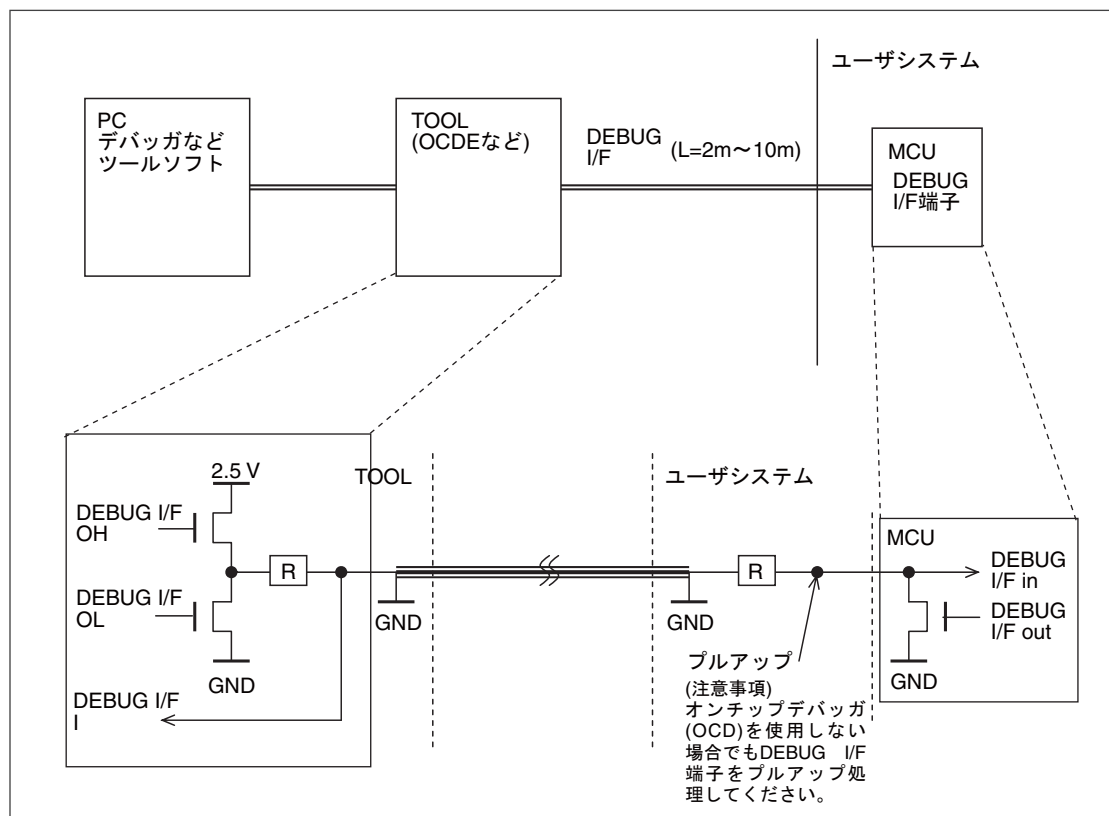


図 50.3-2 OCD 接続図



50.3.1 DEBUG I/F 用クロック

DEBUG I/F 用クロックのクロック接続構成については、「第 6 章 クロック」をご参照ください。

50.3.1.1 DEBUG I/F 用メインクロック (M_MCLK)

OCD ツール接続時, DEBUG I/F 用メインクロック (M_MCLK) にはメインクロック (MCLK) が供給されます。

OCD ツール未接続時, DEBUG I/F 用メインクロック (M_MCLK) は停止します。

50.3.1.2 DEBUG I/F 用 PLL クロック (M_PCLK)

OCD ツール接続時で高速 UART モードおよび位相変調 UART モード選択時, DEBUG I/F 用 PLL クロック (M_PCLK) には PLL クロック (PLLCLK) が供給されます。

OCD ツール未接続時, DEBUG I/F 用 PLL クロック (M_PCLK) は停止します。

50.4 レジスタ

50.4.1 DBG レジスタ

表 50.4-1 レジスタマップ (DBG レジスタ)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0xFF00	DSUCR		予約		DSU 制御レジスタ

50.4.1.1 DSU 制御レジスタ (DSUCR)

フリーランモードにおいて、DSU の制御を行うレジスタです。

詳細は弊社サポート担当にお問い合わせください。

- DSUCR : アドレス FF00_H (アクセス : バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約								
X	X	X	X	X	X	X	X	初期値
RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	属性
7	6	5	4	3	2	1	0	bit
予約							DSU	
X	X	X	X	X	X	X	0	初期値
RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	R,W	属性

50.4.2 ユーザ IO レジスタ

表 50.4-2 レジスタマップ (ユーザ IO レジスタ)

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x0BFC	予約		UER		ユーザイベントレジスタ

50.4.2.1 ユーザイベントレジスタ (UER)

ユーザイベントの検出を行うレジスタです。

詳細は弊社サポート担当にお問い合わせください。

- UER : アドレス 0BFE_H (アクセス : バイト, ハーフワード, ワード)

15	14	13	12	11	10	9	8	bit
予約								
X	X	X	X	X	X	X	X	初期値
RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	属性
7	6	5	4	3	2	1	0	bit
予約							UEVT	
X	X	X	X	X	X	X	X	初期値
RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W0	RX,W	属性

50.5 動作説明

50.5.1 OCDU 動作モード

50.5.1.1 動作モードについて

OCDU の動作モードにはエミュレータモードとフリーランモードがあります。

- エミュレータモード (デバッグ走行状態)

エミュレータモードには , デバッグ命令を実行するためのデバッグステートとユーザプログラムを実行するためのユーザステートがある。デバッグステートで RETI 命令が実行されるとユーザステートへ遷移し , ユーザステートでブレークされるとデバッグステートへ遷移する。

- フリーランモード (通常走行状態)

ユーザプログラムのみが走行するモード。

50.5.1.2 動作モード状態遷移

INIT 解除時 (INIT を伴う RST 含む) は , チップリセットシーケンスにおける DEBUG I/F からのモードコマンドに従って , エミュレータモードのデバッグステートか , フリーランモードに遷移します。

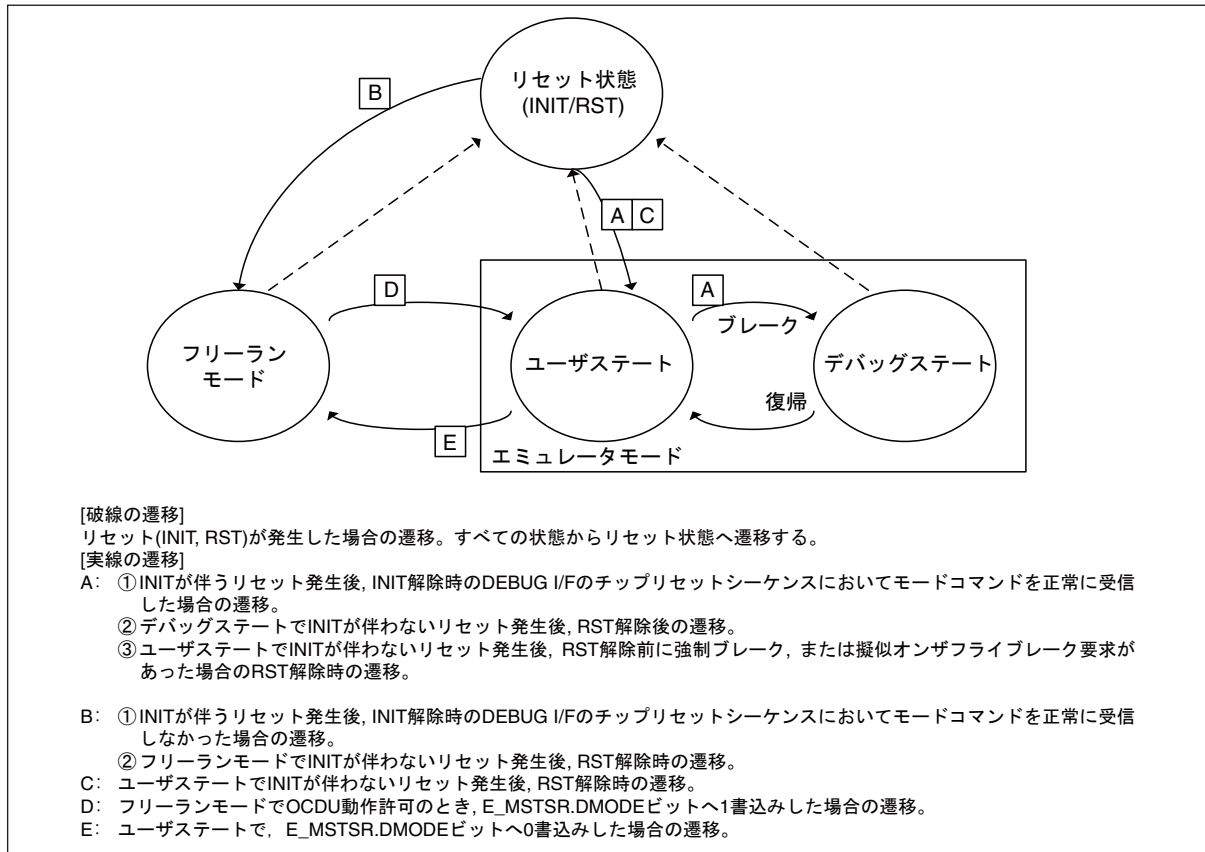
RST 解除時 (INIT は伴わない) は , RST 発生前の動作モードに遷移します。ただし , ユーザステートで RST が発生した後 , 強制ブレーク要求があった場合は , RST 解除時にエミュレータモードのデバッグステートへ遷移します。

また , OCD レジスタの制御により , フリーランモードとエミュレータモードのユーザステート間の遷移が可能となります。

リセット状態からデバッグステートへ遷移する際 , まずユーザステートへ遷移します。この際 , OCDU がブレーク要求をすることで , リセット状態 → ユーザステート → (ブレーク) → デバッグステートへと遷移します。

各遷移条件を以下に示します。

図 50.5-1 OCDU 動作モード遷移図



50.5.2 DEBUG I/F 概要

DEBUG I/F はシングルワイヤのデバッグインタフェースであり、MCU とツールを 1 線 (+GND) で接続します。MCU は 1 端子をデバッグインタフェース用に使用します。

DEBUG I/F は、双方向端子であり、通信と特殊シーケンスの機能を有します。通信はシリアル伝送方式 (UART) で、通信のボーレートは通常 UART モードでは MCU のメインクロックをベースとした分周クロックであり、高速 UART モードおよび位相変調 UART(マンチェスタエンコード UART) では PLL クロックをベースとした分周クロックとします。特殊シーケンスには、チップリセットシーケンスとストールがあります。チップリセットシーケンスでは MCU が INIT 発生を通知する機能と、INIT 解除後に起動するデバッグモードを検出する機能があります。ストール機能には、ツールからの通信ストール要求と強制ブレーク要求、MCU からの通信エラー通知があります。

以下に主な DEBUG I/F の機能を示します。

- チップリセットシーケンス機能 (INIT 通知, モードコマンド)
- UART 機能 (通常 UART, 高速 UART, 位相変調 UART)
- ストール要求 (通信ストール要求, 強制ブレーク要求, 通信エラー通知)

DEBUG I/F の双方向端子は、N-Ch オープンドレイン出力により実現され、DEBUG I/F 端子はユーザシステム上でプルアップされます。ツール接続時は、ツールによりプルアップされます。

ツールの接続は「図 50.3-2 OCD 接続図」をご参照ください。

50.5.2.1 チップリセットシーケンス

INIT が発生した場合、OCDU は DEBUG I/F の仕様に従い、チップリセットシーケンスを実行します。チップリセットシーケンスを実行する基準クロックは、通常 UART のサンプリングクロック (DEBUG I/F 用メインクロック (M_MCLK) の 8 分周クロック) です。

チップリセットシーケンスは、以下の 5 つのフェーズで構成されます。

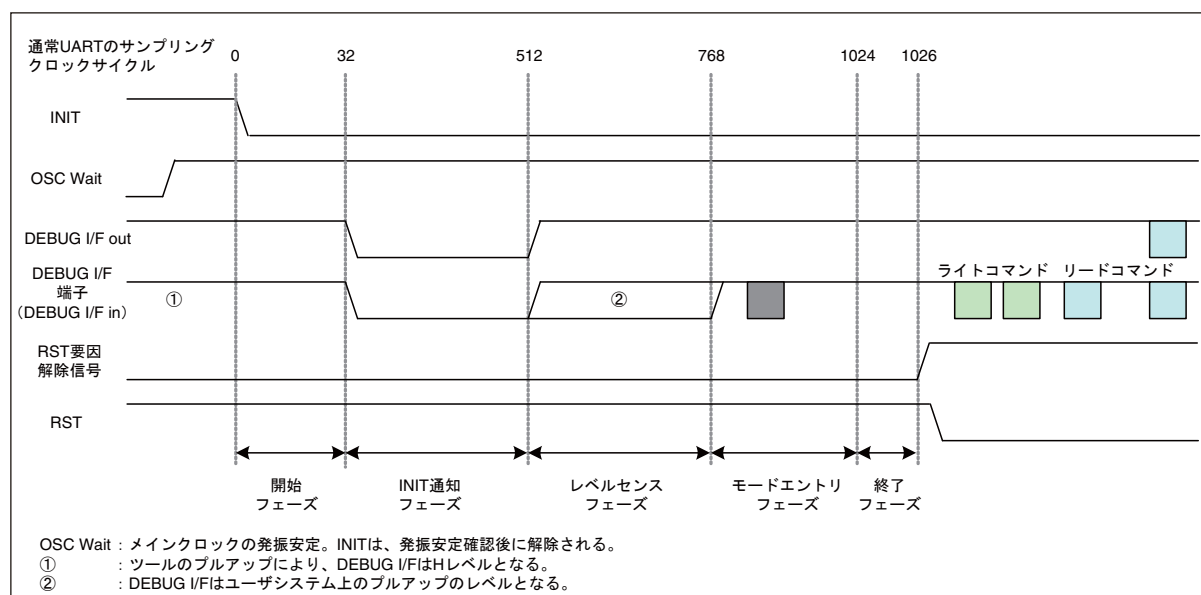
開始フェーズ、INIT フェーズ、レベルセンスフェーズ、モードエントリフェーズ、終了フェーズ

- 開始フェーズ
発生した INIT が解除された時点から通常 UART のサンプリングクロック 32 サイクル間は、開始フェーズです。OCDU は、このフェーズで特別な動作を行いません。
- INIT 通知フェーズ
開始フェーズ終了してから通常 UART のサンプリングクロック 480 サイクル間は、INIT 通知フェーズです。OCDU は、このフェーズにいる間、DEBUG I/F に L を出力し、INIT の発生をツールに通知します。
- レベルセンスフェーズ
INIT 通知フェーズ終了から通常 UART のサンプリングクロック 256 サイクル間は、レベルセンスフェーズです。OCDU は、このフェーズで特別な動作を行いません。
- モードエントリフェーズ
レベルセンスフェーズ終了から通常 UART のサンプリングクロック 256 サイクル間は、モードエントリフェーズです。OCDU は、このフェーズからツールからのモードコマンドの受信を開始します。
このフェーズでモードコマンドの受信開始を検出 (UART 受信でスタートビットを検出) した場合、OCDU はエミュレータモード (デバッグステート) で起動します。その後、正常なモードコマンド (受信エラーなし、かつ、モードコード一致) を受信すると、これ以降 OCDU は後述するレジスタアクセスコマンドの受付が可能になります。正常なモードコマンド (受信エラーまたはモードコード不一致) を受信しなかった場合、OCDU は INIT 要求を発生させ、INIT 解除後に再度チップリセットシーケンスを実行します。
このフェーズでモードコマンドの受信開始を検出 (UART 受信でスタートビットを検出) しなかった場合、OCDU はフリーランモードで起動します。
モードエントリフェーズ開始直後にモードコマンドを受信させる場合、UART 受信サンプリングクロックで 1 サイクル幅以上 DEBUG I/F に H が入力されるのを待って、モードコマンドを受信させる必要があります。これが満足されない場合、モードコマンド受信のスタートビットを正常検出できず、正しくモードエントリできない可能性があります。
- 終了フェーズ
モードエントリフェーズ終了から通常 UART のサンプリングクロック 2 サイクル間は、終了フェーズです。OCDU はこのフェーズで特別な動作を行いません。OCDU は終了フェーズが終わった時点で■リセット (RST) 記載のリセット発行シーケンスを実行します。RST 要因を解除します。

チップリセットシーケンスの通常 UART のサンプリングクロックのサイクル数とフェーズの関係は次のようになります。

チップリセット シーケンスのフェーズ	開始 フェーズ	INIT 通知 フェーズ	レベルセンス フェーズ	モードエントリ フェーズ	終了 フェーズ
INIT 解除からの通常 UART の サンプリングクロックサイクル	1 - 32	33 - 512	513 - 768	769 - 1024	1025, 1026

以下に、チップリセットシーケンスの様子を示します。



50.5.2.2 セキュリティ機能

OCDU にはセキュリティ機能を搭載しています。OCDU は、CPU のメモリ空間にあるデバッグセキュリティ領域に記憶されるセキュリティ情報の設定により、セキュリティ機能を有効にできます。セキュリティ機能を有効にすると、セキュリティロック状態となります。これを解除するために、セキュリティ情報で設定したパスワードを指定長回数、E_SLPR レジスタに書き込むことで、セキュリティをアンロックできます。

セキュリティ情報

デバッグセキュリティ領域は、搭載する Flash の先頭アドレス +4 から +33 の 30 バイトに配置されます。OCDU はセキュリティシーケンスで、この領域を参照します。

デバッグセキュリティ領域には、以下のセキュリティ情報があります。

- セキュリティパスワード長 (PW 長)

デバッグセキュリティ領域の先頭アドレスにある 16bit 長データであり、下位 4bit が有効な PW 長です。上位 12bit は動作に影響がありません。PW 長が 0x0 または 0xF の場合、セキュリティは無効です。PW 長が 0x1 ～ 0xE (1 ～ 14) の場合、セキュリティは有効です。

- セキュリティパスワード (PW)

デバッグセキュリティ領域にある 16bit 長のデータで、1 ～ 14 個あります。PW 長アドレスの次のアドレスから順に、PW1, PW2, …PW14 と配置されます (下図参照)。セキュリティが有効 (PW 長: 1 ～ 14) の場合、PW 長の値が有効な PW を示します。

(例えば、PW 長が 8 の場合、PW1 ～ PW8 が有効、PW9 ～ PW14 が無効。)

アドレス	15	0
ROM/Flash 先頭アドレス +4	PW 長	
ROM/Flash 先頭アドレス +6	PW1	
ROM/Flash 先頭アドレス +8	PW2	
...	...	
ROM/Flash 先頭アドレス +32	PW14	

(注意事項) オンチップデバッガ (OCD) のセキュリティ機能を使用しない場合は、この領域には何も書き込まず、フラッシュ消去直後の初期状態 (全 bit=1) のままとしてください。

50.5.3 本品種の OCD ツール接続時での仕様制限

OCD ツール接続時には、次の制限が発生します。

50.5.3.1 クロック設定

- OCD ツール接続時には、メインクロックは発振停止しません。ただし、OCD ツール未接続時と同様に、CMONR,MCRDY への読出しが可能です。
- OCD 高速 UART ならびに位相変調 UART 通信時には、PLL は発振停止しません。ただし、OCD ツール未接続時と同様に、CSELR.PCEN への書込みならびに CMONR.PCRDY への読出しが可能です。

OCD 高速 UART ならびに位相変調 UART 通信時には、PLL は継続して発振しているため、次の PLL 設定レジスタの変更は有効になりません。ただし、OCD ツール未接続時と同様に、書込みならびに読出しが可能です。

- PLLCR.PDS
- CCPSDIVR.PODS
- CCPLLFBR.IDIV

50.5.3.2 スタンバイモード

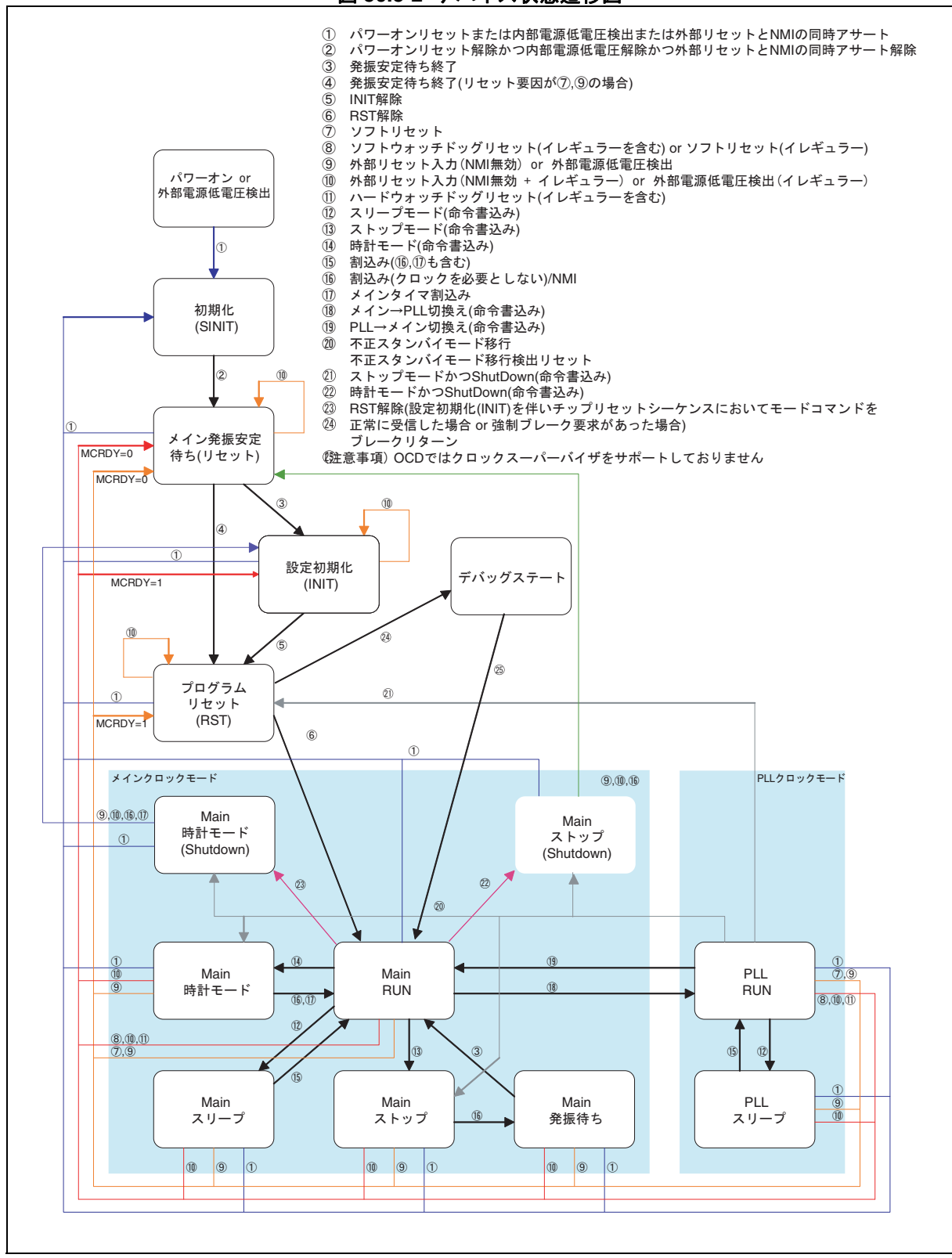
- 時計モードに移行しても、OCD 高速 UART ならびに位相変調 UART 通信許可時は PLL は発振停止しません。
- ストップモードに移行しても、メインクロックは発振停止しません。OCD 高速 UART ならびに位相変調 UART 通信許可時には PLL は発振停止しません。
- 上記制限による、OCD ツール未接続時と動作の違いのある機能を示します。
 - PLL 停止時 (CSELR.PCEN=0), または OCD 高速 UART ならびに位相変調 UART 通信許可時は CAN は時計モード・ストップモード時でも動作継続します。(CPU による処理のない範囲での動作です。)
 - WDT1 補正 (キャリブレーション) のカウンタ動作はストップモード時でも継続します。
- 次の機能は、上記制限を受けずに OCD ツール未接続時と同様の動作になります。
 - メインタイマはストップモード時はクリアされる構造になっているため、ストップモード時は動作しません。
- PLL クロック発振継続のため、時計モード時の消費電力は OCD ツール未接続時と比べて大きくなります。
- PLL クロック、メインクロック発振継続のため、ストップモード時の消費電力は OCD ツール未接続時と比べて大きくなります。

50.5.3.3 クロック・リセット状態遷移

OCD ツール接続時のデバイス状態遷移を示します。本デバイス状態遷移は、「図 50.5-1 OCDU 動作モード遷移図」にあるエミュレータモードを視点にして記載したものです。



図 50.5-2 デバイス状態遷移図



(注意事項) 時計モード (Shutdown) からの復帰時とストップモード (Shutdown) からの復帰時には、リセットされないレジスタがあります。詳細は、「第 9 章 消費電力制御」「電源遮断・通常スタンバイ制御の制限事項」を参照してください。

50.5.4 使用制限まとめ

■ 通信モード *1: 通常 UART

(注意事項) シャットダウンスタンバイモードのデバッグを行う場合, OCD ツール未接続で行ってください。

リセット要因	OCD ツール 未接続との差		備考
	初期化 範囲	処理時 間	
パワーオンリセット	なし	あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
RSTX 端子入力 (イレギュラー)			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
RSTX 端子入力			降圧回路切換え安定待ち時間 *2 なし (注意事項) ストップモード, 時計モードからの復帰のみ
RSTX 端子入力 (+NMIX 端子入力)			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ウォッチドッグリセット 0 (イレギュラー)			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ウォッチドッグリセット 0			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ウォッチドッグリセット 1 (イレギュラー)			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ウォッチドッグリセット 1			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
外部電源低電圧検出リセット (イレギュラー)			降圧回路切換え安定待ち時間 *2 なし (注意事項) ストップモード, 時計モードからの復帰のみ
外部電源低電圧検出リセット			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
不正スタンバイモード移行 検出リセット (イレギュラー)			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
不正スタンバイモード移行 検出リセット		なし	
内部電源低電圧検出リセット		あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
フラッシュセキュリティ違反 リセット (イレギュラー)		なし	
フラッシュセキュリティ違反 リセット		あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ソフトウェアリセット (イレギュラー)		なし	
ソフトウェアリセット		あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移

*1: 通信モード設定に関しては SOFTUNE Workbench 操作マニュアルを参照してください。

*2: 降圧回路安定待ち時間 約 6 μ s



割込み要因	OCD ツール 未接続との 処理時間差	備考
すべての割込み	あり	降圧回路切換え安定待ち時間 * なし (注意事項) ストップモード, 時計モードからの復帰のみ

*: 降圧回路安定待ち時間 約 6 μ s

リセット関連以外の デバイス状態	OCD ツール 未接続との 動作差異	備考
Main RUN/Main スリープ モード	なし	
PLL RUN/PLL スリープ モード		
ストップモード	あり	降圧回路固定 メイン発振継続 動作継続 (WDT1 補正カウンタ動作)
時計モード		降圧回路固定 メイン発振継続

■ 通信モード^{*1}: 高速 UART/ 位相変調 UART

リセット要因	OCD ツール 未接続との差		備考
	初期化 範囲	処理時 間	
パワーオンリセット	あり	あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
RSTX 端子入力 (イレギュラー)			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
RSTX 端子入力			降圧回路切換え安定待ち時間 ^{*2} なし (注意事項) ストップモード, 時計モードからの復帰のみ
RSTX 端子入力 (+NMIX 端子入力)			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ウォッチドッグリセット 0 (イレギュラー)		あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ウォッチドッグリセット 0			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ウォッチドッグリセット 1 (イレギュラー)			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ウォッチドッグリセット 1			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
外部電源低電圧検出リセット (イレギュラー)		あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
外部電源低電圧検出リセット			リセット解除後エミュレータモード (デバッグ ステート) へ遷移
不正スタンバイモード移行 検出リセット (イレギュラー)		あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
不正スタンバイモード移行 検出リセット		なし	
内部電源低電圧検出リセット		あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
フラッシュセキュリティ違反リ セット (イレギュラー)		あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
フラッシュセキュリティ違反リ セット		なし	
ソフトウェアリセット (イレギュラー)		あり	リセット解除後エミュレータモード (デバッグ ステート) へ遷移
ソフトウェアリセット		なし	

*1: 通信モード設定に関しては SOFTUNE Workbench 操作マニュアルを参照してください。

*2: 降圧回路安定待ち時間 約 6 μ s

割込み要因	OCD ツール 未接続との 処理時間差	備考
すべての割込み	あり	降圧回路切換え安定待ち時間 [*] なし (注意事項) ストップモード, 時計モードからの復帰のみ

*: 降圧回路安定待ち時間 約 6 μ s



リセット関連以外の デバイス状態	OCD ツール 未接続との 動作差異	備考
Main RUN/Main スリープ モード	あり	PLL 発振継続
PLL RUN/PLL スリープ モード	なし	
ストップモード	あり	降圧回路固定 メイン発振継続 動作継続 (CAN, WDT1 補正カウンタ動作)
時計モード		降圧回路固定 メイン発振継続 PLL 発振継続 (不正スタンバイモード移行検出無効) 動作継続 (CAN)

50.5.5 本品種の OCD-DSU ID コード

表 50.5-1 本品種の OCD-DSU ID コード

ID 名称	bit 幅	対応 ID レジスタ名称	OCD 空間で のアドレス	値	備考
メーカー ID	16	E_IDMCR	0x000	0x0400	
CPU ファミリ ID	16	E_IDFCR	0x001	0x0200	FR81E/FR81S
DSU タイプ ID	8	E_IDVCR	0x003	0x06	
DSU バージョン ID	4	E_IDVCR	0x003	0x2	
デバイス ID	16	E_IDDCR	0x002	0x001b	
デバイスバージョン ID	4	E_IDVCR	0x003	0x1	

付録

付録 A. メモリマップ

図 A-1 メモリマップ比較

M B91F585LA/F585LC		M B91F586LA/F586LC		M B91F587LA/F587LC	
0000_0000 H	IO領域	0000_0000 H	IO領域	0000_0000 H	IO領域
0000_4000 H	BackUp RAM(8KB)	0000_4000 H	BackUp RAM(8KB)	0000_4000 H	BackUp RAM(8KB)
0000_6000 H	IO領域	0000_6000 H	IO領域	0000_6000 H	IO領域
0001_0000 H	RAM(48KB)	0001_0000 H	RAM(64KB)	0001_0000 H	RAM(96KB)
0001_C000 H	Reserved	0002_0000 H	Reserved	0002_8000 H	Reserved
0007_0000 H	フラッシュメモリ (512+64)KB	0007_0000 H	フラッシュメモリ (768+64)KB	0007_0000 H	フラッシュメモリ (1024+64)KB
0010_0000 H	Reserved	0014_0000 H	Reserved	0018_0000 H	Reserved
0033_0000 H	WorkFlash (64KB)	0033_0000 H	WorkFlash (64KB)	0033_0000 H	WorkFlash (64KB)
0034_0000 H	Reserved	0034_0000 H	Reserved	0034_0000 H	Reserved
FFFF_FFFF H		FFFF_FFFF H		FFFF_FFFF H	

管理コード : APDX-1v0-91580L-1-J

図 A-2 メモリマップ比較

M B91F585LB/F585LD		M B91F586LB/F586LD		M B91F587LB/F587LD	
0000_0000 H	IO領域	0000_0000 H	IO領域	0000_0000 H	IO領域
0000_4000 H	BackUp RAM(8KB)	0000_4000 H	BackUp RAM(8KB)	0000_4000 H	BackUp RAM(8KB)
0000_6000 H	IO領域	0000_6000 H	IO領域	0000_6000 H	IO領域
0001_0000 H	RAM(48KB)	0001_0000 H	RAM(64KB)	0001_0000 H	RAM(96KB)
0001_C000 H	Reserved	0002_0000 H	Reserved	0002_8000 H	Reserved
0007_0000 H	フラッシュメモリ (512+64)KB	0007_0000 H	フラッシュメモリ (768+64)KB	0007_0000 H	フラッシュメモリ (1024+64)KB
0010_0000 H	Reserved	0014_0000 H	Reserved	0018_0000 H	Reserved
0033_0000 H	WorkFlash (64KB)	0033_0000 H	WorkFlash (64KB)	0033_0000 H	WorkFlash (64KB)
0034_0000 H	Reserved	0034_0000 H	Reserved	0034_0000 H	Reserved
0040_0000 H	外バス領域	0040_0000 H	外バス領域	0040_0000 H	外バス領域
FFFF_FFFF H		FFFF_FFFF H		FFFF_FFFF H	

付録 B. I/O マップ

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (1 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000000 _H	PDR00[R/W] B,H,W XXXXXXXXXX	PDR01[R/W] B,H,W XXXXXXXXXX	PDR02[R/W] B,H,W XXXXXXXXXX	PDR03[R/W] B,H,W XXXXXXXXXX	ポートデータ レジスタ
000004 _H	PDR04[R/W] B,H,W -----XXX	—	PDR06[R/W] B,H,W XXXXXXXXXX	PDR07[R/W] B,H,W XXXXXXXXXX	
000008 _H	PDR08[R/W] B,H,W XXXXXXXXXX	PDR09[R/W] B,H,W XXXXXXXXXX	PDR10[R/W] B,H,W XXXXXXXXXX	PDR11[R/W] B,H,W XXXXXXXXXX	
00000C _H	PDR12[R/W] B,H,W XXXXXXXXXX	PDR13[R/W] B,H,W XX-XXXXXX	—	—	
000010 _H 000038 _H	—	—	—	—	予約
00003C _H	WDTCSR0[R/W] B,H,W -0--0000	WDTCSR0[W] B,H,W 00000000	WDTCSR1[R] B,H,W ----0010	WDTCSR1[W] B,H,W 00000000	ウォッチドッグ タイマ [S]
000040 _H	—	—	—		予約
000044 _H	DICR[R/W] B -----0	—	—	—	遅延割込み
000048 _H 00005C _H	—		—		予約
000060 _H	TMRLRA0[R/W] H XXXXXXXXXX XXXXXXXXX		TMR0[R] H XXXXXXXXXX XXXXXXXXX		リロードタイマ 0
000064 _H	TMRLRB0[R/W] H XXXXXXXXXX XXXXXXXXX		TMCSR0[R/W] B,H,W 00000000 0-000000		
000068 _H 00007C _H	—	—	—	—	予約
000080 _H	BT0TMR[R] H 00000000 00000000		BT0TMCR[R/W] H -0000000 00000000		ベースタイマ 0
000084 _H	BT0TMCR2[R/W] B -----0	BT0STC[R/W] B -0-0-0-0	—	—	
000088 _H	BT0PCSR/BT0PRL[R/W] H 00000000 00000000		BT0PDUT/BT0PRLH/BT0DTBF[R/W] H 00000000 00000000		
00008C _H	—	—	—	—	
000090 _H	BT1TMR[R] H 00000000 00000000		BT1TMCR[R/W] H -0000000 00000000		ベースタイマ 1
000094 _H	BT1TMCR2[R/W] B -----0	BT1STC[R/W] B -0-0-0-0	—	—	
000098 _H	BT1PCSR/BT1PRL[R/W] H 00000000 00000000		BT1PDUT/BT1PRLH/BT1DTBF[R/W] H 00000000 00000000		
00009C _H	BTSEL01[R/W] B ----0000	—	BTSSSR[W] B,H -----11		
0000A0 _H 0000FC _H	—	—	—	—	予約

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (2 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000100 _H	TMRLRA1[R/W] H XXXXXXXXXX XXXXXXXXXX		TMR1[R] H XXXXXXXXXX XXXXXXXXXX		リロードタイマ 1
000104 _H	TMRLRB1[R/W] H XXXXXXXXXX XXXXXXXXXX		TMCSR1[R/W] B,H,W 00000000 0-000000		
000108 _H	TMRLRA2[R/W] H XXXXXXXXXX XXXXXXXXXX		TMR2[R] H XXXXXXXXXX XXXXXXXXXX		リロードタイマ 2
00010C _H	TMRLRB2[R/W] H XXXXXXXXXX XXXXXXXXXX		TMCSR2[R/W] B,H,W 00000000 0-000000		
000110 _H	TMRLRA3[R/W] H XXXXXXXXXX XXXXXXXXXX		TMR3[R] H XXXXXXXXXX XXXXXXXXXX		リロードタイマ 3
000114 _H	TMRLRB3[R/W] H XXXXXXXXXX XXXXXXXXXX		TMCSR3[R/W] B,H,W 00000000 0-000000		
000118 _H 0011C _H	—	—	—	—	予約
000120 _H	IRPR0H[R] B,H,W 00-----	IRPR0L[R] B,H,W 00-----	IRPR1H[R] B,H,W 00-----	IRPR1L[R] B,H,W -----	割込み要求一括読 出しレジスタ
000124 _H	IRPR2H[R] B,H,W -----	IRPR2L[R] B,H,W 0000---	IRPR3H[R] B,H,W 00-----	IRPR3L[R] B,H,W 00-----	
000128 _H	IRPR4H[R] B,H,W 00-----	IRPR4L[R] B,H,W 000000--	IRPR5H[R] B,H,W 00-----	IRPR5L[R] B,H,W 00-----	
00012C _H	IRPR6H[R] B,H,W 000000--	IRPR6L[R] B,H,W 000000--	IRPR7H[R] B,H,W 000000--	IRPR7L[R] B,H,W 000000--	
000130 _H	IRPR8H[R] B,H,W 000000--	IRPR8L[R] B,H,W 00-----	IRPR9H[R] B,H,W 00-----	IRPR9L[R] B,H,W 00-----	
000134 _H	IRPR10H[R] B,H,W 00-----	IRPR10L[R] B,H,W 00-----	IRPR11H[R] B,H,W 00-----	IRPR11L[R] B,H,W 0000000-	
000138 _H	IRPR12H[R] B,H,W 0000000-	IRPR12L[R] B,H,W 00000000	IRPR13H[R] B,H,W 00000000	IRPR13L[R] B,H,W 00000000	
00013C _H	IRPR14H[R] B,H,W 00-----	IRPR14L[R] B,H,W 00-----	IRPR15H[R] B,H,W 00000000	IRPR15L[R] B,H,W 000000--	
000140 _H	IRPR16H[R] B,H,W 00-----	IRPR16L[R] B,H,W 00-----	IRPR17H[R] B,H,W 00-----	IRPR17L[R] B,H,W 00-----	
000144 _H	IRPR18H[R] B,H,W 00-----	IRPR18L[R] B,H,W 000000--	—	—	
000148 _H 0001FC _H	—	—	—	—	予約
000200 _H	PCN0[R/W] B,H,W 00000000 000000-0		PCSR0[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG0
000204 _H	PDUT0[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR0[R] H,W 11111111 11111111		
000208 _H	PCN1[R/W] B,H,W 00000000 000000-0		PCSR1[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG1
00020C _H	PDUT1[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR1[R] H,W 11111111 11111111		

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (3 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000210 _H	PCN2[R/W] B,H,W 00000000 000000-0		PCSR2[W] H,W XXXXXXXXXX XXXXXXXXX		PPG2
000214 _H	PDUT2[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR2[R] H,W 11111111 11111111		
000218 _H	PCN3[R/W] B,H,W 00000000 000000-0		PCSR3[W] H,W XXXXXXXXXX XXXXXXXXX		PPG3
00021C _H	PDUT3[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR3[R] H,W 11111111 11111111		
000220 _H	PCN4[R/W] B,H,W 00000000 000000-0		PCSR4[W] H,W XXXXXXXXXX XXXXXXXXX		PPG4
000224 _H	PDUT4[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR4[R] H,W 11111111 11111111		
000228 _H	PCN5[R/W] B,H,W 00000000 000000-0		PCSR5[W] H,W XXXXXXXXXX XXXXXXXXX		PPG5
00022C _H	PDUT5[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR5[R] H,W 11111111 11111111		
000230 _H	PCN6[R/W] B,H,W 00000000 000000-0		PCSR6[W] H,W XXXXXXXXXX XXXXXXXXX		PPG6
000234 _H	PDUT6[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR6[R] H,W 11111111 11111111		
000238 _H	PCN7[R/W] B,H,W 00000000 000000-0		PCSR7[W] H,W XXXXXXXXXX XXXXXXXXX		PPG7
00023C _H	PDUT7[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR7[R] H,W 11111111 11111111		
000240 _H	PCN8[R/W] B,H,W 00000000 000000-0		PCSR8[W] H,W XXXXXXXXXX XXXXXXXXX		PPG8
000244 _H	PDUT8[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR8[R] H,W 11111111 11111111		
000248 _H	PCN9[R/W] B,H,W 00000000 000000-0		PCSR9[W] H,W XXXXXXXXXX XXXXXXXXX		PPG9
00024C _H	PDUT9[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR9[R] H,W 11111111 11111111		
000250 _H	PCN10[R/W] B,H,W 00000000 000000-0		PCSR10[W] H,W XXXXXXXXXX XXXXXXXXX		PPG10
000254 _H	PDUT10[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR10[R] H,W 11111111 11111111		
000258 _H	PCN11[R/W] B,H,W 00000000 000000-0		PCSR11[W] H,W XXXXXXXXXX XXXXXXXXX		PPG11
00025C _H	PDUT11[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR11[R] H,W 11111111 11111111		
000260 _H	PCN12[R/W] B,H,W 00000000 000000-0		PCSR12[W] H,W XXXXXXXXXX XXXXXXXXX		PPG12
000264 _H	PDUT12[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR12[R] H,W 11111111 11111111		
000268 _H	PCN13[R/W] B,H,W 00000000 000000-0		PCSR13[W] H,W XXXXXXXXXX XXXXXXXXX		PPG13
00026C _H	PDUT13[W] H,W XXXXXXXXXX XXXXXXXXX		PTMR13[R] H,W 11111111 11111111		

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (4 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000270 _H	PCN14[R/W] B,H,W 00000000 000000-0		PCSR14[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG14
000274 _H	PDUT14[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR14[R] H,W 11111111 11111111		
000278 _H	PCN15[R/W] B,H,W 00000000 000000-0		PCSR15[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG15
00027C _H	PDUT15[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR15[R] H,W 11111111 11111111		
000280 _H	PCN16[R/W] B,H,W 00000000 000000-0		PCSR16[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG16
000284 _H	PDUT16[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR16[R] H,W 11111111 11111111		
000288 _H	PCN17[R/W] B,H,W 00000000 000000-0		PCSR17[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG17
00028C _H	PDUT17[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR17[R] H,W 11111111 11111111		
000290 _H	PCN18[R/W] B,H,W 00000000 000000-0		PCSR18[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG18
000294 _H	PDUT18[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR18[R] H,W 11111111 11111111		
000298 _H	PCN19[R/W] B,H,W 00000000 000000-0		PCSR19[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG19
00029C _H	PDUT19[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR19[R] H,W 11111111 11111111		
0002A0 _H	PCN20[R/W] B,H,W 00000000 000000-0		PCSR20[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG20
0002A4 _H	PDUT20[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR20[R] H,W 11111111 11111111		
0002A8 _H	PCN21[R/W] B,H,W 00000000 000000-0		PCSR21[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG21
0002AC _H	PDUT21[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR21[R] H,W 11111111 11111111		
0002B0 _H	PCN22[R/W] B,H,W 00000000 000000-0		PCSR22[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG22
0002B4 _H	PDUT22[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR22[R] H,W 11111111 11111111		
0002B8 _H	PCN23[R/W] B,H,W 00000000 000000-0		PCSR23[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG23
0002BC _H	PDUT23[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR23[R] H,W 11111111 11111111		

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (5 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0002C0 _H	GTRS0[R/W] B,H,W -0000000 -0000000		GTRS1[R/W] B,H,W -0000000 -0000000		PPG Control
0002C4 _H	GTRS2[R/W] B,H,W -0000000 -0000000		GTRS3[R/W] B,H,W -0000000 -0000000		
0002C8 _H	GTRS4[R/W] B,H,W -0000000 -0000000		GTRS5[R/W] B,H,W -0000000 -0000000		
0002CC _H	GTRS6[R/W] B,H,W -0000000 -0000000		GTRS7[R/W] B,H,W -0000000 -0000000		
0002D0 _H	GTRS8[R/W] B,H,W -0000000 -0000000		GTRS9[R/W] B,H,W -0000000 -0000000		
0002D4 _H	GTRS10[R/W] B,H,W -0000000 -0000000		GTRS11[R/W] B,H,W -0000000 -0000000		
0002D8 _H	GTREN0[R/W] H,W 00000000 00000000		GTREN1[R/W] H,W ----- 00000000		
0002DC _H	—		—		予約
0002E0 _H	—	GATEC0[R/W] B,H,W -----00	—	GATEC2[R/W] B,H,W -----00	PPG GATE Control
0002E4 _H	—	GATEC4[R/W] B,H,W -----00	—	GATEC8[R/W] B,H,W -----00	
0002E8 _H	—	GATEC10[R/W] B,H,W -----00	—	GATEC12[R/W] B,H,W -----00	
0002EC _H	—	—	—	—	予約
0002F0 _H	RCRH0[W] H,W 00000000	RCRL0[W] B,H,W 00000000	UDCRH0[R] H,W 00000000	UDCRL0[R] B,H,W 00000000	U/D カウンタ 0
0002F4 _H	CCR0[R/W] B,H 00000000 -0001000		—	CSR0[R] B 00000000	
0002F8 _H	RCRH1[W] H,W 00000000	RCRL1[W] B,H,W 00000000	UDCRH1[R] H,W 00000000	UDCRL1[R] B,H,W 00000000	U/D カウンタ 1
0002FC _H	CCR1[R/W] B,H 00000000 -0001000		—	CSR1[R] B 00000000	
000300 _H	—				予約
000304 _H	—	—	—	—	予約
000308 _H	—				予約
00030C _H	—	—	—	—	
000310 _H	—	—	MPUCR[R/W] H 000000-0 ----0100		MPU [S] (この領域へは CPUのみアクセス 可)
000314 _H	—	—	—	—	
000318 _H	—				
00031C _H	—	—	—		
000320 _H	DPVAR[R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000324 _H	—	—	DPVSR[R/W] H ----- 00000--0		

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (6 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000328 _H	DEAR[R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				MPU [S] (この領域へは CPUのみアクセス 可)
00032C _H	—	—	DESR[R/W] H ----- 00000--0		
000330 _H	PABR0[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000334 _H	—	—	PACR0[R/W] H 000000-0 00000--0		
000338 _H	PABR1[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
00033C _H	—	—	PACR1[R/W] H 000000-0 00000--0		
000340 _H	PABR2[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000344 _H	—	—	PACR2[R/W] H 000000-0 00000--0		
000348 _H	PABR3[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
00034C _H	—	—	PACR3[R/W] H 000000-0 00000--0		
000350 _H	PABR4[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000354 _H	—	—	PACR4[R/W] H 000000-0 00000--0		
000358 _H	PABR5[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
00035C _H	—	—	PACR5[R/W] H 000000-0 00000--0		
000360 _H	PABR6[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
000364 _H	—	—	PACR6[R/W] H 000000-0 00000--0		
000368 _H	PABR7[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000				
00036C _H	—	—	PACR7[R/W] H 000000-0 00000--0		
000370 _H	—				予約 [S]
000374 _H	—	—	—		
000378 _H	—				
00037C _H	—	—	—		
000380 _H	—				
000384 _H	—	—	—		
000388 _H	—				
00038C _H	—	—	—		
000390 _H	—				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (7 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000394 _H	—	—	—		予約 [S]
000398 _H	—				
00039C _H	—	—	—		
0003A0 _H	—				
0003A4 _H	—	—	—		
0003A8 _H	—				
0003AC _H	—	—	—		
0003B0 _H 0003CC _H	—	—	—	—	予約 [S]
0003D0 _H	—				予約 [S]
0003D4 _H	—				
0003D8 _H	—				
0003DC _H	—				
0003E0 _H 0003FC _H	—	—	—	—	予約 [S]
000400 _H	ICSEL0[R/W] B,H,W -----000	ICSEL1[R/W] B,H,W -----0	ICSEL2[R/W] B,H,W -----0	ICSEL3[R/W] B,H,W -----0	DMA 転送要求の 発生・クリア
000404 _H	ICSEL4[R/W] B,H,W -----0	ICSEL5[R/W] B,H,W -----0	ICSEL6[R/W] B,H,W -----0	ICSEL7[R/W] B,H,W -----000	
000408 _H	ICSEL8[R/W] B,H,W -----0	ICSEL9[R/W] B,H,W -----0	ICSEL10[R/W] B,H,W -----000	ICSEL11[R/W] B,H,W -----000	
00040C _H	ICSEL12[R/W] B,H,W -----000	ICSEL13[R/W] B,H,W -----000	ICSEL14[R/W] B,H,W -----000	ICSEL15[R/W] B,H,W -----0	
000410 _H	ICSEL16[R/W] B,H,W -----0	ICSEL17[R/W] B,H,W -----0	ICSEL18[R/W] B,H,W -----0	ICSEL19[R/W] B,H,W -----0	
000414 _H	ICSEL20[R/W] B,H,W -----0	ICSEL21[R/W] B,H,W -----000	ICSEL22[R/W] B,H,W -----000	ICSEL23[R/W] B,H,W -----000	
000418 _H	ICSEL24[R/W] B,H,W -----000	ICSEL25[R/W] B,H,W -----000	ICSEL26[R/W] B,H,W -----0	ICSEL27[R/W] B,H,W -----0	
00041C _H	—	—	—	—	
000420 _H	—	—	—	—	予約
000424 _H 00043C _H	—	—	—	—	

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (8 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000440 _H	ICR00[R/W] B,H,W ---11111	ICR01[R/W] B,H,W ---11111	ICR02[R/W] B,H,W ---11111	ICR03[R/W] B,H,W ---11111	割込みコントローラ [S]
000444 _H	ICR04[R/W] B,H,W ---11111	ICR05[R/W] B,H,W ---11111	ICR06[R/W] B,H,W ---11111	ICR07[R/W] B,H,W ---11111	
000448 _H	ICR08[R/W] B,H,W ---11111	ICR09[R/W] B,H,W ---11111	ICR10[R/W] B,H,W ---11111	ICR11[R/W] B,H,W ---11111	
00044C _H	ICR12[R/W] B,H,W ---11111	ICR13[R/W] B,H,W ---11111	ICR14[R/W] B,H,W ---11111	ICR15[R/W] B,H,W ---11111	
000450 _H	ICR16[R/W] B,H,W ---11111	ICR17[R/W] B,H,W ---11111	ICR18[R/W] B,H,W ---11111	ICR19[R/W] B,H,W ---11111	
000454 _H	ICR20[R/W] B,H,W ---11111	ICR21[R/W] B,H,W ---11111	ICR22[R/W] B,H,W ---11111	ICR23[R/W] B,H,W ---11111	
000458 _H	ICR24[R/W] B,H,W ---11111	ICR25[R/W] B,H,W ---11111	ICR26[R/W] B,H,W ---11111	ICR27[R/W] B,H,W ---11111	
00045C _H	ICR28[R/W] B,H,W ---11111	ICR29[R/W] B,H,W ---11111	ICR30[R/W] B,H,W ---11111	ICR31[R/W] B,H,W ---11111	
000460 _H	ICR32[R/W] B,H,W ---11111	ICR33[R/W] B,H,W ---11111	ICR34[R/W] B,H,W ---11111	ICR35[R/W] B,H,W ---11111	
000464 _H	ICR36[R/W] B,H,W ---11111	ICR37[R/W] B,H,W ---11111	ICR38[R/W] B,H,W ---11111	ICR39[R/W] B,H,W ---11111	
000468 _H	ICR40[R/W] B,H,W ---11111	ICR41[R/W] B,H,W ---11111	ICR42[R/W] B,H,W ---11111	ICR43[R/W] B,H,W ---11111	予約 [S]
00046C _H	ICR44[R/W] B,H,W ---11111	ICR45[R/W] B,H,W ---11111	ICR46[R/W] B,H,W ---11111	ICR47[R/W] B,H,W ---11111	
000470 _H 00047C _H	—	—	—	—	予約 [S]
000480 _H	RSTRR[R] B,H,W XXXX--XX	RSTCR[R/W] B,H,W 111---0	STBCR[R/W] B,H,W 000---11 ※	—	リセット制御 [S] 消費電力制御 [S] ※ STBCR への DMA による書込みは禁止です
000484 _H	—	—	—	—	予約 [S]
000488 _H	DIVR0[R/W] B,H,W 000-----	—	DIVR2[R/W] B,H,W 0011----	—	クロック制御 [S]
00048C _H	—	—	—	—	予約 [S]
000490 _H	IORR0[R/W] B,H,W -0000000	IORR1[R/W] B,H,W -0000000	IORR2[R/W] B,H,W -0000000	IORR3[R/W] B,H,W -0000000	ペリフェラルによる DMA 転送要求 [S]
000494 _H	IORR4[R/W] B,H,W -0000000	IORR5[R/W] B,H,W -0000000	IORR6[R/W] B,H,W -0000000	IORR7[R/W] B,H,W -0000000	
000498 _H	—	—	—	—	
00049C _H	—	—	—	—	
0004A0 _H	—	—	—	—	予約
0004A4 _H	CANPRE[R/W] B,H,W ----0000	—	—	—	CAN プリスケーラ

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (9 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0004A8 _H 0004AC _H	—	—	—	—	予約
0004B0 _H	—	—	—	—	予約
0004B4 _H 0004C0 _H	—	—	—	—	予約
0004C4 _H	CUCR1[R/W] B,H,W -----0--00		CUTD1[R/W] B,H,W 11000011 01010000		WDT1 補正 (キャリブレーション)
0004C8 _H	CUTR1[R] B,H,W ----- 00000000 00000000 00000000				
0004CC _H 0004DC _H	—	—	—	—	予約
0004E0 _H	—	—	CSCFG[R/W] B,H,W ---0----	CMCFG[R/W] B,H,W 00000000	クロックモニタ
0004E4 _H	—	—	—	—	
0004E8 _H	PLL2DIVM[R/W] B,H,W ----0000	PLL2DIVN[R/W] B,H,W -0000000	PLL2DIVG[R/W] B,H,W ----0000	PLL2MULG[R/W] B,H,W 00000000	FlexRay/RDC 用 クロック制御
0004EC _H	PLL2CTRL[R/W] B,H,W ----0000	PLL2DIVK[R/W] B,H,W -----0	CLKR2[R/W] B,H,W 000--000	—	
0004F0 _H 0004FC _H	—	—	—	—	予約
000500 _H	—				予約
000504 _H	—				予約
000508 _H 00050C _H	—	—	—	—	予約
000510 _H	CSELR[R/W] B,H,W -0----00	CMONR[R] B,H,W -01---00	MTMCR[R/W] B,H,W 00001111	—	クロック制御 [S]
000514 _H	PLLCR[R/W] B,H,W 00-00000 11110000		CSTBR[R/W] B,H,W ----0000	PTMCR[R/W] B,H,W 00-----	
000518 _H	—	—	CPUAR[R/W] B,H,W 0---XXXX	—	リセット [S]
00051C _H	—		—	—	予約 [S]

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (10 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000520 _H	CCPSSELR[R/W] B,H,W -----0	—	—	CCPSDIVR[R/W] B,H,W -000-000	クロック制御 2
000524 _H	—	CCPLLFBR[R/W] B,H,W -0000000	CCSSFBR0[R/W] B,H,W --000000	CCSSFBR1[R/W] B,H,W ---00000	
000528 _H	—	CCSSCCR0[R/W] B,H,W ---0000	CCSSCCR1[R/W] B,H,W 000-----		
00052C _H	—	CCCGRCR0[R/W] B,H,W 00---00	CCCGRCR1[R/W] B,H,W 00000000	CCCGRCR2[R/W] B,H,W 00000000	
000530 _H	—	—	CCPMUCR0[R/W] B,H,W 0----00	CCPMUCR1[R/W] B,H,W 0--00000	
000534 _H	—	—	—	—	
000538 _H	—	—	—	—	
00053C _H	—	—	—	—	
000540 _H 00054C _H	—	—	—	—	予約
000550 _H	EIRR0[R/W] B,H,W XXXXXXXX	ENIR0[R/W] B,H,W 00000000	ELVR0[R/W] B,H,W 00000000 00000000		外部割込み (INT0 ～ 7)
000554 _H 000568 _H	—	—	—	—	予約
00056C _H	—	CSVCR[R/W] B -0--1--0	—	—	CSV
000570 _H	CRTR[R/W] B,H,W 01111111	—	—	—	WDT1 補正 (トリ ミング)
000574 _H 00057C _H	—	—	—	—	予約
000580 _H	REGSEL[R/W] B,H,W 01--110-	—	—	—	レギュレータ制御
000584 _H	LVD5R[R/W] B,H,W -----1	LVD5F[R/W] B,H,W 0-010--1	LVD[R/W] B,H,W 01000--0	—	低電圧検出
000588 _H 00058C _H	—	—	—	—	予約
000590 _H	PMUSTR [R/W] B,H,W 0-----1X	PMUCTLR[R/W] B,H,W 0-00----	PWRTMCTL[R/W] B,H,W -----011	—	PMU
000594 _H	—	PMUINTF1[R/W] B,H,W 00000000	PMUINTF2[R/W] B,H,W -00-----	—	
000598 _H	—	—	—	—	
00059C _H	—	—	—	—	

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (11 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0005A0 _H 0005FC _H	—	—	—	—	予約
000600 _H 00060C _H	—	—	—	—	予約 [S]
000610 _H 00063C _H	—	—	—	—	予約 [S]
000640 _H 00064C _H	—	—	—	—	予約 [S]
000650 _H 00067C _H	—	—	—	—	予約 [S]
000680 _H 00068C _H	—	—	—	—	予約 [S]
000690 _H 0006BC _H	—	—	—	—	予約 [S]
0006C0 _H 0006CC _H	—	—	—	—	予約 [S]
0006D0 _H 0006F0 _H	—	—	—	—	予約
0006F4 _H	—				予約
0006F8 _H 0006FC _H	—	—	—	—	予約
000700 _H	—				予約
000704 _H 00070C _H	—	—	—	—	予約
000710 _H	BPCCR[A/R/W] B 00000000	BPCCR[B/R/W] B 00000000	BPCCR[C/R/W] B 00000000	—	バス・パフォーマンス・カウンタ
000714 _H	BPCTRA[R/W] W 00000000 00000000 00000000 00000000				
000718 _H	BPCTRB[R/W] W 00000000 00000000 00000000 00000000				
00071C _H	BPCTRC[R/W] W 00000000 00000000 00000000 00000000				
000720 _H 0007F8 _H	—	—	—	—	予約
0007FC _H	BMODR[R] B,H,W XXXXXXXX	—	—	—	動作モード

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (12 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000800 _H 00083C _H	—	—	—	—	予約 [S]
000840 _H	FCTL[R/W] H -0--1000 0--0-----		—	FSTR[R/W] B -----001	フラッシュメモリ レジスタ [S]
000844 _H	—	—	—	—	予約 [S]
000848 _H 000854 _H	—	—	—	—	予約 [S]
000858 _H	—	—	WREN[R/W] H 00000000 00000000		ワイルドレジスタ [S]
00085C _H 00087C _H	—	—	—	—	予約 [S]
000880 _H	WRAR00[R/W] W ----- --XXXXXX XXXXXXXXXX XXXXXXX--				ワイルドレジスタ [S]
000884 _H	WRDR00[R/W] W XXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
000888 _H	WRAR01[R/W] W ----- --XXXXXX XXXXXXXXXX XXXXXXX--				
00088C _H	WRDR01[R/W] W XXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
000890 _H	WRAR02[R/W] W ----- --XXXXXX XXXXXXXXXX XXXXXXX--				
000894 _H	WRDR02[R/W] W XXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
000898 _H	WRAR03[R/W] W ----- --XXXXXX XXXXXXXXXX XXXXXXX--				
00089C _H	WRDR03[R/W] W XXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				
0008A0 _H	WRAR04[R/W] W ----- --XXXXXX XXXXXXXXXX XXXXXXX--				
0008A4 _H	WRDR04[R/W] W XXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (13 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0008A8 _H	WRAR05[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				ワイルドレジスタ [S]
0008AC _H	WRDR05[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008B0 _H	WRAR06[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008B4 _H	WRDR06[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008B8 _H	WRAR07[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008BC _H	WRDR07[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008C0 _H	WRAR08[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008C4 _H	WRDR08[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008C8 _H	WRAR09[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008CC _H	WRDR09[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008D0 _H	WRAR10[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008D4 _H	WRDR10[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008D8 _H	WRAR11[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008DC _H	WRDR11[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008E0 _H	WRAR12[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008E4 _H	WRDR12[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008E8 _H	WRAR13[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008EC _H	WRDR13[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008F0 _H	WRAR14[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008F4 _H	WRDR14[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008F8 _H	WRAR15[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008FC _H	WRDR15[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
000900 _H 000BF8 _H	—	—	—	—	予約

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (14 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000BFC _H	—		UER[W] B,H,W -----X		OCDU
000C00 _H	DCCR0[R/W] W 0----000 --00--00 00000000 0-000000				DMA コントローラ [S]
000C04 _H	DCSR0[R/W] H 0-----000		DTCR0[R/W] H 00000000 00000000		
000C08 _H	DSAR0[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C0C _H	DDAR0[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C10 _H	DCCR1[R/W] W 0----000 --00--00 00000000 0-000000				
000C14 _H	DCSR1[R/W] H 0-----000		DTCR1[R/W] H 00000000 00000000		
000C18 _H	DSAR1[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C1C _H	DDAR1[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C20 _H	DCCR2[R/W] W 0----000 --00--00 00000000 0-000000				
000C24 _H	DCSR2[R/W] H 0-----000		DTCR2[R/W] H 00000000 00000000		
000C28 _H	DSAR2[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C2C _H	DDAR2[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C30 _H	DCCR3[R/W] W 0----000 --00--00 00000000 0-000000				
000C34 _H	DCSR3[R/W] H 0-----000		DTCR3[R/W] H 00000000 00000000		
000C38 _H	DSAR3[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C3C _H	DDAR3[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C40 _H	DCCR4[R/W] W 0----000 --00--00 00000000 0-000000				
000C44 _H	DCSR4[R/W] H 0-----000		DTCR4[R/W] H 00000000 00000000		
000C48 _H	DSAR4[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C4C _H	DDAR4[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C50 _H	DCCR5[R/W] W 0----000 --00--00 00000000 0-000000				
000C54 _H	DCSR5[R/W] H 0-----000		DTCR5[R/W] H 00000000 00000000		
000C58 _H	DSAR5[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (15 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000C5 _C H	DDAR5[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				DMA コントローラ [S]
000C6 ₀ H	DCCR6[R/W] W 0----000 --00--00 00000000 0-000000				
000C6 ₄ H	DCSR6[R/W] H 0-----000		DTCR6[R/W] H 00000000 00000000		
000C6 ₈ H	DSAR6[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				
000C6 _C H	DDAR6[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				
000C7 ₀ H	DCCR7[R/W] W 0----000 --00--00 00000000 0-000000				
000C7 ₄ H	DCSR7[R/W] H 0-----000		DTCR7[R/W] H 00000000 00000000		
000C7 ₈ H	DSAR7[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				
000C7 _C H	DDAR7[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				
000C8 ₀ H 000DF ₀ H	—	—	—	—	
000DF ₄ H	—	—	DNMIR[R/W] B 0-----0	DILVR[R/W] B ---11111	
000DF ₈ H	DMACR[R/W] W 0-----0-----0-----				
000DF _C H	—	—	—	—	予約 [S]
000E0 ₀ H	DDR00[R/W] B,H 00000000	DDR01[R/W] B,H 00000000	DDR02[R/W] B,H 00000000	DDR03[R/W] B,H 00000000	データ方向 レジスタ
000E0 ₄ H	DDR04[R/W] B,H ----000	—	DDR06[R/W] B,H 00000000	DDR07[R/W] B,H 00000000	
000E0 ₈ H	DDR08[R/W] B,H 00000000	DDR09[R/W] B,H 00000000	DDR10[R/W] B,H 00000000	DDR11[R/W] B,H 00000000	
000E0 _C H	DDR12[R/W] B,H 00000000	DDR13[R/W] B,H 00-00000	—	—	
000E1 ₀ H 000E1 _C H	—	—	—	—	予約
000E2 ₀ H	PFR00[R/W] B,H 00000000	PFR01[R/W] B,H 00000000	PFR02[R/W] B,H 00000000	PFR03[R/W] B,H 00000000	ポート機能 レジスタ
000E2 ₄ H	PFR04[R/W] B,H ----000	—	PFR06[R/W] B,H 00000000	PFR07[R/W] B,H 00000000	
000E2 ₈ H	PFR08[R/W] B,H 00000000	PFR09[R/W] B,H 00000000	PFR10[R/W] B,H 00000000	PFR11[R/W] B,H 00000000	
000E2 _C H	PFR12[R/W] B,H 00000000	PFR13[R/W] B,H 00-00000	—	—	
000E3 ₀ H 000E3 _C H	—	—	—	—	予約

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (16 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000E40 _H	PDDR00[R] B,H,W XXXXXXXXXX	PDDR01[R] B,H,W XXXXXXXXXX	PDDR02[R] B,H,W XXXXXXXXXX	PDDR03[R] B,H,W XXXXXXXXXX	入力データ ダイレクトリード レジスタ
000E44 _H	PDDR04[R] B,H,W ----XXX	—	PDDR06[R] B,H,W XXXXXXXXXX	PDDR07[R] B,H,W XXXXXXXXXX	
000E48 _H	PDDR08[R] B,H,W XXXXXXXXXX	PDDR09[R] B,H,W XXXXXXXXXX	PDDR10[R] B,H,W XXXXXXXXXX	PDDR11[R] B,H,W XXXXXXXXXX	
000E4C _H	PDDR12[R] B,H,W XXXXXXXXXX	PDDR13[R] B,H,W XX-XXXXX	—	—	
000E50 _H 000E5C _H	—	—	—	—	予約
000E60 _H	EPFR00[R/W] B,H ----000	EPFR01[R/W] B,H -----00	EPFR02[R/W] B,H --000000	EPFR03[R/W] B,H 00000000	拡張ポート機能 レジスタ
000E64 _H	EPFR04[R/W] B,H 00000000	EPFR05[R/W] B,H 00000000	EPFR06[R/W] B,H -----00	EPFR07[R/W] B,H ---0000	
000E68 _H	EPFR08[R/W] B,H ----0000	EPFR09[R/W] B,H -----0	EPFR10[R/W] B,H 00000000	EPFR11[R/W] B,H ---0000	
000E6C _H	EPFR12[R/W] B,H --000000	EPFR13[R/W] B,H -----1	EPFR14[R/W] B,H -0000000	EPFR15[R/W] B,H -0000000	
000E70 _H	EPFR16[R/W] B,H --000000	EPFR17[R/W] B,H 00000000	EPFR18[R/W] B,H 00000000	EPFR19[R/W] B,H 00000000	
000E74 _H	EPFR20[R/W] B,H 00000000	EPFR21[R/W] B,H 00000000	EPFR22[R/W] B,H 00000000	EPFR23[R/W] B,H 00000000	
000E78 _H	EPFR24[R/W] B,H 00000000	EPFR25[R/W] B,H 00000000	EPFR26[R/W] B,H 00000000	EPFR27[R/W] B,H 00000000	
000E7C _H	EPFR28[R/W] B,H 00000000	EPFR29[R/W] B,H 00000000	EPFR30[R/W] B,H 00000000	EPFR31[R/W] B,H 00000000	
000E80 _H	EPFR32[R/W] B,H 00000000	—	—	—	
000E84 _H 000EBC _H	—	—	—	—	予約
000EC0 _H	PPER00[R/W] B,H 00000000	PPER01[R/W] B,H 00000000	PPER02[R/W] B,H 00000000	PPER03[R/W] B,H 00000000	ポートブルアップ ダウン許可 レジスタ
000EC4 _H	PPER04[R/W] B,H ----000	—	PPER06[R/W] B,H 00000000	PPER07[R/W] B,H 00000000	
000EC8 _H	PPER08[R/W] B,H 00000000	PPER09[R/W] B,H 00000000	PPER10[R/W] B,H 00000000	PPER11[R/W] B,H 00000000	
000ECC _H	PPER12[R/W] B,H 00000000	PPER13[R/W] B,H 00-00000	—	—	
000ED0 _H 000EDC _H	—	—	—	—	予約

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (17 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000EE0 _H	PILR00[R/W] B,H 11111111	PILR01[R/W] B,H 11111111	PILR02[R/W] B,H 11111111	PILR03[R/W] B,H 11111111	ポート入力レベル 選択 レジスタ
000EE4 _H	PILR04[R/W] B,H -----111	—	PILR06[R/W] B,H 11111111	PILR07[R/W] B,H 11111111	
000EE8 _H	PILR08[R/W] B,H 11111111	PILR09[R/W] B,H 11111111	PILR10[R/W] B,H 11111111	PILR11[R/W] B,H 11111111	
000EEC _H	PILR12[R/W] B,H 11111111	PILR13[R/W] B,H 11-11111	—	—	
000EF0 _H 000EFC _H	—	—	—	—	予約
000F00 _H 000F1C _H	—	—	—	—	予約
000F20 _H	PODR00[R/W] B,H 00000000	PODR01[R/W] B,H 00000000	PODR02[R/W] B,H 00000000	PODR03[R/W] B,H 00000000	ポート出力駆動 レジスタ
000F24 _H	PODR04[R/W] B,H -----000	—	PODR06[R/W] B,H 00000000	PODR07[R/W] B,H 00000000	
000F28 _H	PODR08[R/W] B,H 00000000	PODR09[R/W] B,H 00000000	PODR10[R/W] B,H 00000000	PODR11[R/W] B,H 00000000	
000F2C _H	PODR12[R/W] B,H 00000000	PODR13[R/W] B,H 00-00000	—	—	
000F30 _H 000F3C _H	—	—	—	—	予約
000F40 _H	PORTEN[R/W] B,H,W -----00	—	—	—	ポート入力許可 レジスタ
000F44 _H	KEYCDR[R/W] H 00000000 00000000		—	—	ポート キーコード
000F48 _H	ADERH[R/W] B,H ----- 11111111		ADERL[R/W] B,H 11111111 11111111		アナログ入力許可 レジスタ
000F4C _H	—	—	—	—	予約
000F50 _H 000FFF _H	—	—	—	—	予約
001000 _H	SACR[R/W] B,H,W -----0	PICD[R/W] B,H,W ----0011	—	—	同期 / 非同期切換 え制御
001004 _H 0010BC _H	—	—	—	—	予約
0010C0 _H	—	—	—	CRCCR[R/W] B,H,W -0000000	CRC 演算
0010C4 _H	CRCINIT[R/W] B,H,W 11111111 11111111 11111111 11111111				
0010C8 _H	CRCIN[R/W] B,H,W 00000000 00000000 00000000 00000000				
0010CC _H	CRCR[R] B,H,W 11111111 11111111 11111111 11111111				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (18 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0010D0 _H 0010FC _H	—	—	—	—	予約
001100 _H	TCGS[R/W] B,H,W -----00	—	—	TCGSE[R/W] B,H,W --000000	フリーランタイム 同時起動
001104 _H	CPCLRB0/CPCLR0[R/W] H,W 11111111 11111111		TCDT0[R/W] H,W 00000000 00000000		フリーランタイム 0
001108 _H	TCCS0[R/W] B,H,W 00000000 01000000 ----0000 -----				
00110C _H	CPCLRB1/CPCLR1[R/W] H,W 11111111 11111111		TCDT1[R/W] H,W 00000000 00000000		フリーランタイム 1
001110 _H	TCCS1[R/W] B,H,W 00000000 01000000 ----0000 -----				
001114 _H	CPCLRB2/CPCLR2[R/W] H,W 11111111 11111111		TCDT2[R/W] H,W 00000000 00000000		フリーランタイム 2
001118 _H	TCCS2[R/W] B,H,W 00000000 01000000 ----0000 -----				
00111C _H	CPCLRB3/CPCLR3[R/W] H,W 11111111 11111111		TCDT3[R/W] H,W 00000000 00000000		フリーランタイム 3
001120 _H	TCCS3[R/W] B,H,W 00000000 01000000 ----0000 -----				
001124 _H	CPCLRB4/CPCLR4[R/W] H,W 11111111 11111111		TCDT4[R/W] H,W 00000000 00000000		フリーランタイム 4
001128 _H	TCCS4[R/W] B,H,W 00000000 01000000 ----0000 -----				
00112C _H	CPCLRB5/CPCLR5[R/W] H,W 11111111 11111111		TCDT5[R/W] H,W 00000000 00000000		フリーランタイム 5
001130 _H	TCCS5[R/W] B,H,W 00000000 01000000 ----0000 -----				
001134 _H	FRS0[R/W] B,H,W ----- -000-000 -000-000 -000-000				フリーランタイム 選択
001138 _H	FRS1[R/W] B,H,W ----- -000-000 -000-000				
00113C _H	FRS2[R/W] B,H,W ----- -000-000 -000-000 -000-000				
001140 _H	FRS3[R/W] B,H,W ----- -000-000 -000-000				
001144 _H	FRS4[R/W] B,H,W -000-000 -000-000 -000-000 -000-000				
001148 _H	FRS5[R/W] B,H,W -000-000 -000-000 -000-000 -000-000				
00114C _H	FRS6[R/W] B,H,W -000-000 -000-000 -000-000 -000-000				
001150 _H	—				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (19 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001154 _H	OCCPB0/OCCP0[R/W] H,W 00000000 00000000		OCCPB1/OCCP1[R/W] H,W 00000000 00000000		アウトプットコン ペア 0/1
001158 _H	OCS01[R/W] B,H,W -110--00 00001100		—	OCMOD01[R/W] B,H,W -----00	
00115C _H	OCCPB2/OCCP2[R/W] H,W 00000000 00000000		OCCPB3/OCCP3[R/W] H,W 00000000 00000000		アウトプットコン ペア 2/3
001160 _H	OCS23[R/W] B,H,W -110--00 00001100		—	OCMOD23[R/W] B,H,W -----00	
001164 _H	OCCPB4/OCCP4[R/W] H,W 00000000 00000000		OCCPB5/OCCP5[R/W] H,W 00000000 00000000		アウトプットコン ペア 4/5
001168 _H	OCS45[R/W] B,H,W -110--00 00001100		—	OCMOD45[R/W] B,H,W -----00	
00116C _H	OCCPB6/OCCP6[R/W] H,W 00000000 00000000		OCCPB7/OCCP7[R/W] H,W 00000000 00000000		アウトプットコン ペア 6/7
001170 _H	OCS67[R/W] B,H,W -110--00 00001100		—	OCMOD67[R/W] B,H,W -----00	
001174 _H	OCCPB8/OCCP8[R/W] H,W 00000000 00000000		OCCPB9/OCCP9[R/W] H,W 00000000 00000000		アウトプットコン ペア 8/9
001178 _H	OCS89[R/W] B,H,W -110--00 00001100		—	OCMOD89[R/W] B,H,W -----00	
00117C _H	OCCPB10/OCCP10[R/W] H,W 00000000 00000000		OCCPB11/OCCP11[R/W] H,W 00000000 00000000		アウトプットコン ペア 10/11
001180 _H	OCS1011[R/W] B,H,W -110--00 00001100		—	OCMOD1011[R/W] B,H,W -----00	
001184 _H	IPCP0[R] H,W 00000000 00000000		IPCP1[R] H,W 00000000 00000000		インプットキャプ チャ 0/1
001188 _H	ICS01[R/W] B,H,W -----00 00000000		—	LSYNS[R/W] B,H,W ---00000	
00118C _H	IPCP2[R] H,W 00000000 00000000		IPCP3[R] H,W 00000000 00000000		インプットキャプ チャ 2/3
001190 _H	ICS23[R/W] B,H,W -----00 00000000		—	—	
001194 _H	IPCP4[R] H,W 00000000 00000000		IPCP5[R] H,W 00000000 00000000		インプットキャプ チャ 4/5
001198 _H	ICS45[R/W] B,H,W -----00 00000000		—	—	
00119C _H	IPCP6[R] H,W 00000000 00000000		IPCP7[R] H,W 00000000 00000000		インプットキャプ チャ 6/7
0011A0 _H	ICS67[R/W] B,H,W -----00 00000000		—	—	
0011A4 _H	DTSR[R/W] B,H,W -----10	—	—	—	DTTI 選択

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (20 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0011A8 _H	TMRR0[R/W] H,W 00000000 00000001		TMRR1[R/W] H,W 00000000 00000001		波形ジェネレータ 0/1/2
0011AC _H	TMRR2[R/W] H,W 00000000 00000001		—	—	
0011B0 _H	DTSCR0[R/W] B,H,W 00000000	DTSCR1[R/W] B,H,W 00000000	DTSCR2[R/W] B,H,W 00000000	—	
0011B4 _H	—	DTIR0[R/W] B,H,W 000000--	—	DTMNS0[R/W] B,H,W 00--000	
0011B8 _H	—	SIGCR10[R/W] B,H,W 00000000	—	SIGCR20[R/W] B,H,W 000000-1	
0011BC _H	PICS0[R/W] B,H,W 000000-- -----				
0011C0 _H	TMRR3[R/W] H,W 00000000 00000001		TMRR4[R/W] H,W 00000000 00000001		波形ジェネレータ 3/4/5
0011C4 _H	TMRR5[R/W] H,W 00000000 00000001		—	—	
0011C8 _H	DTSCR3[R/W] B,H,W 00000000	DTSCR4[R/W] B,H,W 00000000	DTSCR5[R/W] B,H,W 00000000	—	
0011CC _H	—	DTIR1[R/W] B,H,W 000000--	—	DTMNS1[R/W] B,H,W 00--000	
0011D0 _H	—	SIGCR11[R/W] B,H,W 00000000	—	SIGCR21[R/W] B,H,W 000000-1	
0011D4 _H	PICS1[R/W] B,H,W 000000-- -----				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (21 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0011D8 _H	—	—	—	—	12 ビット A/D コンバータ
0011DC _H	ADTSS[R/W] B,H,W -----0	—	—	—	
0011E0 _H	ADTSE[R/W] B,H,W ----- 00000000 00000000 00000000				
0011E4 _H	ADCOMP0/ADCOMPB0[R/W] H,W 00000000 00000000		ADCOMP1/ADCOMPB1[R/W] H,W 00000000 00000000		
0011E8 _H	ADCOMP2/ADCOMPB2[R/W] H,W 00000000 00000000		ADCOMP3/ADCOMPB3[R/W] H,W 00000000 00000000		
0011EC _H	ADCOMP4/ADCOMPB4[R/W] H,W 00000000 00000000		ADCOMP5/ADCOMPB5[R/W] H,W 00000000 00000000		
0011F0 _H	ADCOMP6/ADCOMPB6[R/W] H,W 00000000 00000000		ADCOMP7/ADCOMPB7[R/W] H,W 00000000 00000000		
0011F4 _H	ADCOMP8/ADCOMPB8[R/W] H,W 00000000 00000000		ADCOMP9/ADCOMPB9[R/W] H,W 00000000 00000000		
0011F8 _H	ADCOMP10/ADCOMPB10[R/W] H,W 00000000 00000000		ADCOMP11/ADCOMPB11[R/W] H,W 00000000 00000000		
0011FC _H	ADCOMP12/ADCOMPB12[R/W] H,W 00000000 00000000		ADCOMP13/ADCOMPB13[R/W] H,W 00000000 00000000		
001200 _H	ADCOMP14/ADCOMPB14[R/W] H,W 00000000 00000000		ADCOMP15/ADCOMPB15[R/W] H,W 00000000 00000000		
001204 _H	ADCOMP16/ADCOMPB16[R/W] H,W 00000000 00000000		ADCOMP17/ADCOMPB17[R/W] H,W 00000000 00000000		
001208 _H	ADCOMP18/ADCOMPB18[R/W] H,W 00000000 00000000		ADCOMP19/ADCOMPB19[R/W] H,W 00000000 00000000		
00120C _H	ADCOMP20/ADCOMPB20[R/W] H,W 00000000 00000000		ADCOMP21/ADCOMPB21[R/W] H,W 00000000 00000000		
001210 _H	ADCOMP22/ADCOMPB22[R/W] H,W 00000000 00000000		ADCOMP23/ADCOMPB23[R/W] H,W 00000000 00000000		
001214 _H	—	—	—	—	
001218 _H	—	—	—	—	
00121C _H	—	—	—	—	
001220 _H	—	—	—	—	
001224 _H	ADTCS0[R/W] B,H,W 00000000 0010-000		ADTCS1[R/W] B,H,W 00000000 0010-000		
001228 _H	ADTCS2[R/W] B,H,W 00000000 0010-000		ADTCS3[R/W] B,H,W 00000000 0010-000		
00122C _H	ADTCS4[R/W] B,H,W 00000000 0010-000		ADTCS5[R/W] B,H,W 00000000 0010-000		
001230 _H	ADTCS6[R/W] B,H,W 00000000 0010-000		ADTCS7[R/W] B,H,W 00000000 0010-000		
001234 _H	ADTCS8[R/W] B,H,W 00000000 0010-000		ADTCS9[R/W] B,H,W 00000000 0010-000		
001238 _H	ADTCS10[R/W] B,H,W 00000000 0010-000		ADTCS11[R/W] B,H,W 00000000 0010-000		
00123C _H	ADTCS12[R/W] B,H,W 00000000 0010-000		ADTCS13[R/W] B,H,W 00000000 0010-000		

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (22 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001240 _H	ADTCS14[R/W] B,H,W 00000000 0010-000		ADTCS15[R/W] B,H,W 00000000 0010-000		12 ビット A/D コンバータ
001244 _H	ADTCS16[R/W] B,H,W 00000000 00100000		ADTCS17[R/W] B,H,W 00000000 00100000		
001248 _H	ADTCS18[R/W] B,H,W 00000000 00100000		ADTCS19[R/W] B,H,W 00000000 00100000		
00124C _H	ADTCS20[R/W] B,H,W 00000000 00100000		ADTCS21[R/W] B,H,W 00000000 00100000		
001250 _H	ADTCS22[R/W] B,H,W 00000000 00100000		ADTCS23[R/W] B,H,W 00000000 00100000		
001254 _H	—	—	—	—	
001258 _H	—	—	—	—	
00125C _H	—	—	—	—	
001260 _H	—	—	—	—	
001264 _H	ADTCD0[R] B,H,W 10--0000 00000000		ADTCD1[R] B,H,W 10--0000 00000000		
001268 _H	ADTCD2[R] B,H,W 10--0000 00000000		ADTCD3[R] B,H,W 10--0000 00000000		
00126C _H	ADTCD4[R] B,H,W 10--0000 00000000		ADTCD5[R] B,H,W 10--0000 00000000		
001270 _H	ADTCD6[R] B,H,W 10--0000 00000000		ADTCD7[R] B,H,W 10--0000 00000000		
001274 _H	ADTCD8[R] B,H,W 10--0000 00000000		ADTCD9[R] B,H,W 10--0000 00000000		
001278 _H	ADTCD10[R] B,H,W 10--0000 00000000		ADTCD11[R] B,H,W 10--0000 00000000		
00127C _H	ADTCD12[R] B,H,W 10--0000 00000000		ADTCD13[R] B,H,W 10--0000 00000000		
001280 _H	ADTCD14[R] B,H,W 10--0000 00000000		ADTCD15[R] B,H,W 10--0000 00000000		
001284 _H	ADTCD16[R] B,H,W 10--0000 00000000		ADTCD17[R] B,H,W 10--0000 00000000		
001288 _H	ADTCD18[R] B,H,W 10--0000 00000000		ADTCD19[R] B,H,W 10--0000 00000000		
00128C _H	ADTCD20[R] B,H,W 10--0000 00000000		ADTCD21[R] B,H,W 10--0000 00000000		
001290 _H	ADTCD22[R] B,H,W 10--0000 00000000		ADTCD23[R] B,H,W 10--0000 00000000		
001294 _H	—	—	—	—	
001298 _H	—	—	—	—	
00129C _H	—	—	—	—	
0012A0 _H	—	—	—	—	
0012A4 _H	ADCS0[R/W] B,H,W 0-----		ADCH0[R] B,H,W -----000	ADMD0[R/W] B,H,W ----0000	
0012A8 _H	ADCS1[R/W] B,H,W 0-----		ADCH1[R] B,H,W -----000	ADMD1[R/W] B,H,W ----0000	

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (23 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0012AC _H	ADCS2[R/W] B,H,W 0-----		ADCH2[R] B,H,W -----000	ADMD2[R/W] B,H,W ----0000	12 ビット A/D コンバータ
0012B0 _H 0012FC _H	—	—	—	—	予約
001300 _H	RDCCTR0[R/W] B,H,W 0---000	RDCCTR1[R/W] B,H,W -0000000	RDCINTR[R] B,H,W -0000000	RDCICER[R/W] B,H,W -----00	RDC
001304 _H	—	RDCCTR2[R/W] B,H,W ---00000	RDCIPR[R/W] H,W ---0000 00000000		
001308 _H	RDCCPR1[R/W] H,W ---0000 00000000		RDCCPR2[R/W] H,W ---0000 00000000		
00130C _H	RDCCPR3[R/W] H,W -----00 00000000		RDCCPR4[R/W] H,W -----00 00000000		
001310 _H	AGLDR[R] H,W 1---XXXX XXXXXXXXX		AGVLDLDR[R] H,W XXXXXXXX XXXXXXXXX		
001314 _H	AGLDBR[R] H,W 1---XXXX XXXXXXXXX		AGVLDBR[R] H,W XXXXXXXX XXXXXXXXX		
001318 _H	SCCIR[R/W] H,W 1---0000 00000000		—	—	
00131C _H	SINDR[R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
001320 _H	COSDR[R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
001324 _H	—		—		
001328 _H	SINDR1[R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
00132C _H	COSDR1[R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
001330 _H	—		—		
001334 _H 0013FC _H	—	—	—	—	予約
001400 _H	—	—	—	—	予約
001404 _H 0014FC _H	—	—	—	—	予約

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (24 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001500 _H	SCR0/(IBCR0)[R/W] B,H,W 0--00000	SMR0[R/W] B,H,W 000000-0	SSR0[R/W] B,H,W 0--00011	ESCR0/(IBSR0)[R/W] B,H,W 00000000	Multi Function Serial I/F 0 ※1 下位 8 ビット にアクセスする場合 のみ、バイトア クセス可 ※2 リセット直後 は I ² C モードでは ないため予約 ※3 リセット直後 は CSIO モードでは ないため予約 ※4 リセット直後 は LIN2.1 モードでは ないため予約
001504 _H	—/(RDR10/(TDR10))[R/W] H,W ----- ※ 3		RDR00/(TDR00)[R/W] B,H,W -----0 00000000 ※ 1		
001508 _H	SACSR0[R/W] B,H,W 0---000 00000000		STMCR0[R] B,H,W 00000000 00000000		
00150C _H	STMCR00[R/W] B,H,W 00000000 00000000		—/(SCSCR0/SFUR0) [R/W] B,H,W ----- ※ 3 ※ 4		
001510 _H	—/(SCSTR30) [R/W] B,H,W ----- ※ 3	—/(SCSTR20) [R/W] B,H,W ----- ※ 3	—/(SCSTR10/SFLR10) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR00/SFLR00) [R/W] B,H,W ----- ※ 3 ※ 4	
001514 _H	—	—	—	—	
001518 _H	—	—	—	—	
00151C _H	BGR0[R/W] H,W 00000000 00000000		—/(ISMK0)[R/W] B,H,W ----- ※ 2	—/(ISBA0)[R/W] B,H,W ----- ※ 2	Multi Function Serial I/F 1 ※1 下位 8 ビット にアクセスする場合 のみ、バイトア クセス可 ※2 リセット直後 は I ² C モードでは ないため予約 ※3 リセット直後 は CSIO モードでは ないため予約 ※4 リセット直後 は LIN2.1 モードでは ないため予約
001520 _H	FCR10[R/W] B,H,W 00-00100	FCR00[R/W] B,H,W -0000000	FBYTE20[R/W] B,H,W 00000000	FBYTE10[R/W] B,H,W 00000000	
001524 _H	SCR1/(IBCR1)[R/W] B,H,W 0--00000	SMR1[R/W] B,H,W 000000-0	SSR1[R/W] B,H,W 0--00011	ESCR1/(IBSR1)[R/W] B,H,W 00000000	
001528 _H	—/(RDR11/(TDR11))[R/W] H,W ----- ※ 3		RDR01/(TDR01)[R/W] B,H,W -----0 00000000 ※ 1		
00152C _H	SACSR1[R/W] B,H,W 0---000 00000000		STMCR1[R] B,H,W 00000000 00000000		
001530 _H	STMCR1[R/W] B,H,W 00000000 00000000		—/(SCSCR1/SFUR1) [R/W] B,H,W ----- ※ 3 ※ 4		
001534 _H	—/(SCSTR31) [R/W] B,H,W ----- ※ 3	—/(SCSTR21) [R/W] B,H,W ----- ※ 3	—/(SCSTR11/SFLR11) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR01/SFLR01) [R/W] B,H,W ----- ※ 3 ※ 4	
001538 _H	—	—	—	—	
00153C _H	—	—	—	TBYTE01[R/W] B,H,W 00000000	
001540 _H	BGR1[R/W] H,W 00000000 00000000		—/(ISMK1)[R/W] B,H,W ----- ※ 2	—/(ISBA1)[R/W] B,H,W ----- ※ 2	
001544 _H	FCR11[R/W] B,H,W 00-00100	FCR01[R/W] B,H,W -0000000	FBYTE21[R/W] B,H,W 00000000	FBYTE11[R/W] B,H,W 00000000	

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (25 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001548 _H	SCR2[R/W] B,H,W 0--00000	SMR2[R/W] B,H,W 000000-0	SSR2[R/W] B,H,W 0--00011	ESCR2[R/W] B,H,W 00000000	Multi Function Serial I/F 2 ※1 下位 8 ビット にアクセスする場 合のみ、バイトア クセス可 ※3 リセット直後 は CSIO モードで はないため予約 ※4 リセット直後 は LIN2.1 モードで はないため予約
00154C _H	—/(RDR12/(TDR12))[R/W] H,W ----- ※ 3		RDR02/(TDR02)[R/W] B,H,W -----0 00000000 ※ 1		
001550 _H	SACSR2[R/W] B,H,W 0---000 00000000		STM2[R] B,H,W 00000000 00000000		
001554 _H	STMCR2[R/W] B,H,W 00000000 00000000		—/(SCSCR2/SFUR2) [R/W] B,H,W ----- ※ 3 ※ 4		
001558 _H	—/(SCSTR32) [R/W] B,H,W ----- ※ 3	—/(SCSTR22) [R/W] B,H,W ----- ※ 3	—/(SCSTR12/SFLR12) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR02/SFLR02) [R/W] B,H,W ----- ※ 3 ※ 4	
00155C _H	—	—	—	—	
001560 _H	—	—	—	TBYTE02[R/W] B,H,W 00000000	
001564 _H	BGR2[R/W] H,W 00000000 00000000		—	—	
001568 _H	FCR12[R/W] B,H,W 00-00100	FCR02[R/W] B,H,W -0000000	FBYTE22[R/W] B,H,W 00000000	FBYTE12[R/W] B,H,W 00000000	Multi Function Serial I/F 3 ※1 下位 8 ビット にアクセスする場 合のみ、バイトア クセス可 ※2 リセット直後 は I ² C モードでは ないため予約 ※3 リセット直後 は CSIO モードで はないため予約 ※4 リセット直後 は LIN2.1 モードで はないため予約
00156C _H	SCR3/(IBCR3)[R/W] B,H,W 0--00000	SMR3[R/W] B,H,W 000000-0	SSR3[R/W] B,H,W 0--00011	ESCR3/(IBSR3)[R/W] B,H,W 00000000	
001570 _H	—/(RDR13/(TDR13))[R/W] H,W ----- ※ 3		RDR03/(TDR03)[R/W] B,H,W -----0 00000000 ※ 1		
001574 _H	SACSR3[R/W] B,H,W 0---000 00000000		STM3[R] B,H,W 00000000 00000000		
001578 _H	STMCR3[R/W] B,H,W 00000000 00000000		—/(SCSCR3/SFUR3) [R/W] B,H,W ----- ※ 3 ※ 4		
00157C _H	—/(SCSTR33) [R/W] B,H,W ----- ※ 3	—/(SCSTR23) [R/W] B,H,W ----- ※ 3	—/(SCSTR13/SFLR13) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR03/SFLR03) [R/W] B,H,W ----- ※ 3 ※ 4	
001580 _H	—	—	—	—	
001584 _H	—	—	—	TBYTE03[R/W] B,H,W 00000000	
001588 _H	BGR3[R/W] H,W 00000000 00000000		—/(ISMK3)[R/W] B,H,W ----- ※ 2	—/(ISBA3)[R/W] B,H,W ----- ※ 2	
00158C _H	FCR13[R/W] B,H,W 00-00100	FCR03[R/W] B,H,W -0000000	FBYTE23[R/W] B,H,W 00000000	FBYTE13[R/W] B,H,W 00000000	

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (26 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001590 _H	SCR4/(IBCR4)[R/W] B,H,W 0--00000	SMR4[R/W] B,H,W 000000-0	SSR4[R/W] B,H,W 0--00011	ESCR4/(IBSR4)[R/W] B,H,W 00000000	Multi Function Serial I/F 4 ※ 1 下位 8 ビット にアクセスする場合のみ、バイトアクセス可 ※ 2 リセット直後は I ² C モードではないため予約 ※ 3 リセット直後は CSIO モードではないため予約 ※ 4 リセット直後は LIN2.1 モードではないため予約
001594 _H	—/(RDR14/(TDR14))[R/W] H,W ----- ※ 3		RDR04/(TDR04)[R/W] B,H,W -----0 00000000 ※ 1		
001598 _H	SACSR4[R/W] B,H,W 0---000 00000000		STMR4[R] B,H,W 00000000 00000000		
00159C _H	STMCR4[R/W] B,H,W 00000000 00000000		—/(SCSCR4/SFUR4) [R/W] B,H,W ----- ※ 3 ※ 4		
0015A0 _H	—/(SCSTR34) [R/W] B,H,W ----- ※ 3	—/(SCSTR24) [R/W] B,H,W ----- ※ 3	—/(SCSTR14/SFLR14) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR04/SFLR04) [R/W] B,H,W ----- ※ 3 ※ 4	
0015A4 _H	—	—/(SCSFR24)[R/W] B,H,W ----- ※ 3	—/(SCSFR14)[R/W] B,H,W ----- ※ 3	—/(SCSFR04)[R/W] B,H,W ----- ※ 3	
0015A8 _H	—/(TBYTE34)[R/W] B,H,W ----- ※ 3	—/(TBYTE24)[R/W] B,H,W ----- ※ 3	—/(TBYTE14)[R/W] B,H,W ----- ※ 3	TBYTE04[R/W] B,H,W 00000000	
0015AC _H	BGR4[R/W] H,W 00000000 00000000		—/(ISMK4)[R/W] B,H,W ----- ※ 2	—/(ISBA4)[R/W] B,H,W ----- ※ 2	
0015B0 _H	FCR14[R/W] B,H,W 00-00100	FCR04[R/W] B,H,W -0000000	FBYTE24[R/W] B,H,W 00000000	FBYTE14[R/W] B,H,W 00000000	
0015B4 _H 001FFC _H	—	—	—	—	予約

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (27 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002000 _H	CTRLR0[R/W] B,H,W ----- 000-0001		STATR0[R/W] B,H,W ----- 00000000		CAN 0 64msb
002004 _H	ERRCNT0 [R] B,H,W 00000000 00000000		BTR0[R/W] B,H,W -0100011 00000001		
002008 _H	INTR0[R] B,H,W 00000000 00000000		TESTR0[R/W] B,H,W ----- X00000--		
00200C _H	BRPER0[R/W] B,H,W ----- ----0000		—		
002010 _H	IF1CREQ0[R/W] B,H,W 0----- 00000001		IF1CMSK0[R/W] B,H,W ----- 00000000		
002014 _H	IF1MSK20[R/W] B,H,W 11-11111 11111111		IF1MSK10[R/W] B,H,W 11111111 11111111		
002018 _H	IF1ARB20[R/W] B,H,W 00000000 00000000		IF1ARB10[R/W] B,H,W 00000000 00000000		
00201C _H	IF1MCTR0[R/W] B,H,W 00000000 0---0000		—		
002020 _H	IF1DTA10[R/W] B,H,W 00000000 00000000		IF1DTA20[R/W] B,H,W 00000000 00000000		
002024 _H	IF1DTB10[R/W] B,H,W 00000000 00000000		IF1DTB20[R/W] B,H,W 00000000 00000000		
002028 _H 00202C _H	—		—		
002030 _H 002034 _H	予約 (IF1 データミラー)				
002038 _H 00203C _H	—		—		
002040 _H	IF2CREQ0[R/W] B,H,W 0----- 00000001		IF2CMSK0[R/W] B,H,W ----- 00000000		
002044 _H	IF2MSK20[R/W] B,H,W 11-11111 11111111		IF2MSK10[R/W] B,H,W 11111111 11111111		
002048 _H	IF2ARB20[R/W] B,H,W 00000000 00000000		IF2ARB10[R/W] B,H,W 00000000 00000000		
00204C _H	IF2MCTR0[R/W] B,H,W 00000000 0---0000		—		
002050 _H	IF2DTA10[R/W] B,H,W 00000000 00000000		IF2DTA20[R/W] B,H,W 00000000 00000000		
002054 _H	IF2DTB10[R/W] B,H,W 00000000 00000000		IF2DTB20[R/W] B,H,W 00000000 00000000		
002058 _H 00205C _H	—		—		
002060 _H 002064 _H	予約 (IF2 データミラー)				
002068 _H 00207C _H	—		—		
002080 _H	TREQR20[R] B,H,W 00000000 00000000		TREQR10[R] B,H,W 00000000 00000000		

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (28 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002084 _H	TREQR40[R] B,H,W 00000000 00000000		TREQR30[R] B,H,W 00000000 00000000		CAN 0 64msb
002088 _H	—		—		
00208C _H	—		—		
002090 _H	NEWDT20[R] B,H,W 00000000 00000000		NEWDT10[R] B,H,W 00000000 00000000		
002094 _H	NEWDT40[R] B,H,W 00000000 00000000		NEWDT30[R] B,H,W 00000000 00000000		
002098 _H	—		—		
00209C _H	—		—		
0020A0 _H	INTPND20[R] B,H,W 00000000 00000000		INTPND10[R] B,H,W 00000000 00000000		
0020A4 _H	INTPND40[R] B,H,W 00000000 00000000		INTPND30[R] B,H,W 00000000 00000000		
0020A8 _H	—		—		
0020AC _H	—		—		
0020B0 _H	MSGVAL20[R] B,H,W 00000000 00000000		MSGVAL10[R] B,H,W 00000000 00000000		
0020B4 _H	MSGVAL40[R] B,H,W 00000000 00000000		MSGVAL30[R] B,H,W 00000000 00000000		
0020B8 _H	—		—		
0020BC _H	—		—		
0020C0 _H 0020FC _H	—		—		
002100 _H	CTRLR1[R/W] B,H,W ----- 000-0001		STATR1[R/W] B,H,W ----- 00000000		CAN 1 64msb
002104 _H	ERRCNT1 [R] B,H,W 00000000 00000000		BTR1[R/W] B,H,W -0100011 00000001		
002108 _H	INTR1[R] B,H,W 00000000 00000000		TESTR1[R/W] B,H,W ----- X00000--		
00210C _H	BRPER1[R/W] B,H,W ----- ----0000		—		
002110 _H	IF1CREQ1[R/W] B,H,W 0----- 00000001		IF1CMSK1[R/W] B,H,W ----- 00000000		
002114 _H	IF1MSK21[R/W] B,H,W 11-11111 11111111		IF1MSK11[R/W] B,H,W 11111111 11111111		
002118 _H	IF1ARB21[R/W] B,H,W 00000000 00000000		IF1ARB11[R/W] B,H,W 00000000 00000000		
00211C _H	IF1MCTR1[R/W] B,H,W 00000000 0---0000		—		
002120 _H	IF1DTA11[R/W] B,H,W 00000000 00000000		IF1DTA21[R/W] B,H,W 00000000 00000000		
002124 _H	IF1DTB11[R/W] B,H,W 00000000 00000000		IF1DTB21[R/W] B,H,W 00000000 00000000		

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (29 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002128 _H 00212C _H	—		—		CAN 1 64msb
002130 _H 002134 _H	予約 (IF1 データミラー)				
002138 _H 00213C _H	—		—		
002140 _H	IF2CREQ1[R/W] B,H,W 0----- 00000001		IF2CMSK1[R/W] B,H,W ----- 00000000		
002144 _H	IF2MSK21[R/W] B,H,W 11-11111 11111111		IF2MSK11[R/W] B,H,W 11111111 11111111		
002148 _H	IF2ARB21[R/W] B,H,W 00000000 00000000		IF2ARB11[R/W] B,H,W 00000000 00000000		
00214C _H	IF2MCTR1[R/W] B,H,W 00000000 0---0000		—		
002150 _H	IF2DTA11[R/W] B,H,W 00000000 00000000		IF2DTA21[R/W] B,H,W 00000000 00000000		
002154 _H	IF2DTB11[R/W] B,H,W 00000000 00000000		IF2DTB21[R/W] B,H,W 00000000 00000000		
002158 _H 00215C _H	—		—		
002160 _H 002164 _H	予約 (IF2 データミラー)				
002168 _H 00217C _H	—		—		
002180 _H	TREQR21[R] B,H,W 00000000 00000000		TREQR11[R] B,H,W 00000000 00000000		
002184 _H	TREQR41[R] B,H,W 00000000 00000000		TREQR31[R] B,H,W 00000000 00000000		
002188 _H	—		—		
00218C _H	—		—		
002190 _H	NEWDT21[R] B,H,W 00000000 00000000		NEWDT11[R] B,H,W 00000000 00000000		
002194 _H	NEWDT41[R] B,H,W 00000000 00000000		NEWDT31[R] B,H,W 00000000 00000000		
002198 _H	—		—		
00219C _H	—		—		
0021A0 _H	INTPND21[R] B,H,W 00000000 00000000		INTPND11[R] B,H,W 00000000 00000000		
0021A4 _H	INTPND41[R] B,H,W 00000000 00000000		INTPND31[R] B,H,W 00000000 00000000		
0021A8 _H	—		—		
0021AC _H	—		—		
0021B0 _H	MSGVAL21[R] B,H,W 00000000 00000000		MSGVAL11[R] B,H,W 00000000 00000000		

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (30 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0021B4 _H	MSGVAL41[R] B,H,W 00000000 00000000		MSGVAL31[R] B,H,W 00000000 00000000		CAN 1 64msb
0021B8 _H	—		—		
0021BC _H	—		—		
0021C0 _H 0021FC _H	—		—		
002200 _H	CTRLR2[R/W] B,H,W ----- 000-0001		STATR2[R/W] B,H,W ----- 00000000		CAN 2 64msb
002204 _H	ERRCNT2 [R] B,H,W 00000000 00000000		BTR2[R/W] B,H,W -0100011 00000001		
002208 _H	INTR2[R] B,H,W 00000000 00000000		TESTR2[R/W] B,H,W ----- X00000--		
00220C _H	BRPER2[R/W] B,H,W ----- ----0000		—		
002210 _H	IF1CREQ2[R/W] B,H,W 0----- 00000001		IF1CMSK2[R/W] B,H,W ----- 00000000		
002214 _H	IF1MSK22[R/W] B,H,W 11-11111 11111111		IF1MSK12[R/W] B,H,W 11111111 11111111		
002218 _H	IF1ARB22[R/W] B,H,W 00000000 00000000		IF1ARB12[R/W] B,H,W 00000000 00000000		
00221C _H	IF1MCTR2[R/W] B,H,W 00000000 0---0000		—		
002220 _H	IF1DTA12[R/W] B,H,W 00000000 00000000		IF1DTA22[R/W] B,H,W 00000000 00000000		
002224 _H	IF1DTB12[R/W] B,H,W 00000000 00000000		IF1DTB22[R/W] B,H,W 00000000 00000000		
002228 _H 00222C _H	—		—		
002230 _H 002234 _H	予約 (IF1 データミラー)				
002238 _H 00223C _H	—		—		
002240 _H	IF2CREQ2[R/W] B,H,W 0----- 00000001		IF2CMSK2[R/W] B,H,W ----- 00000000		
002244 _H	IF2MSK22[R/W] B,H,W 11-11111 11111111		IF2MSK12[R/W] B,H,W 11111111 11111111		
002248 _H	IF2ARB22[R/W] B,H,W 00000000 00000000		IF2ARB12[R/W] B,H,W 00000000 00000000		
00224C _H	IF2MCTR2[R/W] B,H,W 00000000 0---0000		—		
002250 _H	IF2DTA12[R/W] B,H,W 00000000 00000000		IF2DTA22[R/W] B,H,W 00000000 00000000		
002254 _H	IF2DTB12[R/W] B,H,W 00000000 00000000		IF2DTB22[R/W] B,H,W 00000000 00000000		
002258 _H 00225C _H	—		—		

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (31 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002260 _H 002264 _H	予約 (IF2 データミラー)				CAN 2 64msb
002268 _H 00227C _H	—		—		
002280 _H	TREQR22[R] B,H,W 00000000 00000000		TREQR12[R] B,H,W 00000000 00000000		
002284 _H	TREQR42[R] B,H,W 00000000 00000000		TREQR32[R] B,H,W 00000000 00000000		
002288 _H	—		—		
00228C _H	—		—		
002290 _H	NEWDT22[R] B,H,W 00000000 00000000		NEWDT12[R] B,H,W 00000000 00000000		
002294 _H	NEWDT42[R] B,H,W 00000000 00000000		NEWDT32[R] B,H,W 00000000 00000000		
002298 _H	—		—		
00229C _H	—		—		
0022A0 _H	INTPND22[R] B,H,W 00000000 00000000		INTPND12[R] B,H,W 00000000 00000000		
0022A4 _H	INTPND42[R] B,H,W 00000000 00000000		INTPND32[R] B,H,W 00000000 00000000		
0022A8 _H	—		—		
0022AC _H	—		—		
0022B0 _H	MSGVAL22[R] B,H,W 00000000 00000000		MSGVAL12[R] B,H,W 00000000 00000000		
0022B4 _H	MSGVAL42[R] B,H,W 00000000 00000000		MSGVAL32[R] B,H,W 00000000 00000000		
0022B8 _H	—		—		
0022BC _H	—		—		
0022C0 _H 0022FC _H	—		—		
002300 _H	DFCTL[R/W] B,H,W -0-----		—	DFSTR[R/W] B,H,W ----001	WorkFlash
002304 _H	—	—	—	—	
002308 _H	FLIFCTL[R/W] B,H,W ---0--00	—	FLIFFER1[R/W] B,H,W -----	FLIFFER2[R/W] B,H,W -----	
00230C _H 002FFC _H	—	—	—	—	予約

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (32 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003000 _H	SEEARX[R] B,H,W -0000000 00000000		DEEARX[R] B,H,W -0000000 00000000		XBS RAM ECC 制御レジスタ
003004 _H	EECSR _X [R/W] B,H,W ----00-0	—	EFEAR _X [R/W] B,H,W -0000000 00000000		
003008 _H	—	EFECR _X [R/W] B,H,W -----0 00000000 00000000			
00300C _H	TEAR0 _X [R] B,H,W 000----- -0000000 00000000				XBS RAM 診断レジスタ
003010 _H	TEAR1 _X [R] B,H,W 000----- -0000000 00000000				
003014 _H	TEAR2 _X [R] B,H,W 000----- -0000000 00000000				
003018 _H	TAEAR _X [R/W] B,H,W -1011111 11111111		TASAR _X [R/W] B,H,W -0000000 00000000		
00301C _H	TFECR _X [R/W] B,H,W ----0000	TICR _X [R/W] B,H,W ----0000	TTCR _X [R/W] B,H,W -----00 00001100		
003020 _H	TSRCR _X [R/W] B,H,W 0-----	—	—	TKCCR _X [R/W] B,H,W 00----00	
003024 _H	SEEARA[R] B,H,W --000000 00000000		DEEARA[R] B,H,W --000000 00000000		Backup RAM ECC 制御レジスタ
003028 _H	EECSRA[R/W] B,H,W ----00-0	—	EFEARA[R/W] B,H,W --000000 00000000		
00302C _H	—	EFECRA[R/W] B,H,W -----0 00000000 00000000			
003030 _H	TEAR0A[R] B,H,W 000----- -000 00000000				Backup RAM 診断レジスタ
003034 _H	TEAR1A[R] B,H,W 000----- -000 00000000				
003038 _H	TEAR2A[R] B,H,W 000----- -000 00000000				
00303C _H	TAEARA[R/W] B,H,W ----111 11111111		TASARA[R/W] B,H,W -----000 00000000		
003040 _H	TFECRA[R/W] B,H,W ----0000	TICRA[R/W] B,H,W ----0000	TTCRA[R/W] B,H,W -----00 00001100		
003044 _H	TSRCRA[R/W] B,H,W 0-----	—	—	TKCCRA[R/W] B,H,W 00----00	
003048 _H 0030FC _H	—	—	—	—	予約
003100 _H	BUSDIGSR0[R/W] H,W 00000000 0----00		BUSDIGSR1[R/W] H,W 00000000 0----00		バス診断
003104 _H	BUSDIGSR2[R/W] H,W 00000000 0----00		BUSTSTR0[R/W] H,W 00--0000 00000000		
003108 _H	BUSADR0[R] W 00000000 00000000 00000000 00000000				
00310C _H	BUSADR1[R] W 00000000 00000000 00000000 00000000				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (33 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003110 _H	BUSADR2[R] W 00000000 00000000 00000000 00000000				バス診断
003114 _H	—		BUSDIGSR3[R/W] H,W 00000000 0----00		
003118 _H	BUSDIGSR4[R/W] H,W 00000000 0----00		BUSTSTR1[R/W] H,W 00--0000 00000000		
00311C _H	—				
003120 _H	BUSADR3[R] W 00000000 00000000 00000000 00000000				
003124 _H	BUSADR4[R] W 00000000 00000000 00000000 00000000				
003128 _H 003FFC _H	—	—	—	—	予約
004000 _H 005FFC _H	Backup RAM				Backup RAM 領域
006000 _H 00CFFC _H	—	—	—	—	予約
00D000 _H	CIF0[R] W 00000100 11111111 01011011 11111111				FlexRay CIF
00D004 _H	CIF1[R/W] W 00000000 -----0 -00000000 -----				
00D008 _H 00D00C _H	—	—	—	—	予約
00D010 _H	—				FlexRay GIF
00D014 _H	—				
00D018 _H	—	—	—	—	
00D01C _H	LCK[R/W] W ----- 00000000				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (34 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D020 _H	EIR[R/W] W ----000 ----000 ----0000 00000000				FlexRay INT
00D024 _H	SIR[R/W] W -----00 -----00 00000000 00000000				
00D028 _H	EILS[R/W] W ----000 ----000 ----0000 00000000				
00D02C _H	SILS[R/W] W -----11 -----11 11111111 11111111				
00D030 _H	EIES[R/W] W ----000 ----000 ----0000 00000000				
00D034 _H	EIER[R/W] W ----000 ----000 ----0000 00000000				
00D038 _H	SIES[R/W] W -----00 -----00 00000000 00000000				
00D03C _H	SIER[R/W] W -----00 -----00 00000000 00000000				
00D040 _H	ILE[R/W] W -----00				
00D044 _H	T0C[R/W] W --000000 00000000 -0000000 -----00				
00D048 _H	T1C[R/W] W --000000 00000010 -----00				
00D04C _H	STPW1[R/W] W --000000 00000000 --000000 -0000000				
00D050 _H	STPW2[R] W -----000 00000000 -----000 00000000				
00D054 _H 00D07C _H	—	—	—	—	予約
00D080 _H	SUCC1[R/W] W ----1100 01000000 00010-00 1---0000				FlexRay SUC
00D084 _H	SUCC2[R/W] W ----0001 ---00000 00000101 00000100				
00D088 _H	SUCC3[R/W] W -----00000000 00010001				
00D08C _H	NEMC[R/W] W -----0000				FlexRay NEM
00D090 _H	PRTC1[R/W] W 000010-0 01001100 0000-110 00110011				FlexRay PRT
00D094 _H	PRTC2[R/W] W --001111 00101101 --001010 --001110				
00D098 _H	MHDC[R/W] W ---00000 00000000 -----00000000				FlexRay MHD
00D09C _H	—				予約

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (35 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D0A0 _H	GTUC1[R/W] W -----0000 00000010 10000000				FlexRay GTU
00D0A4 _H	GTUC2[R/W] W -----0010 --000000 00001010				
00D0A8 _H	GTUC3[R/W] W -0000010 -0000010 00000000 00000000				
00D0AC _H	GTUC4[R/W] W --000000 00001000 --000000 00000111				
00D0B0 _H	GTUC5[R/W] W 00001110 ---00000 00000000 00000000				
00D0B4 _H	GTUC6[R/W] W ----000 00000010 ----000 00000000				
00D0B8 _H	GTUC7[R/W] W -----00 00000010 -----00 00000100				
00D0BC _H	GTUC8[R/W] W --00000 00000000 -----000010				
00D0C0 _H	GTUC9[R/W] W -----00 ---00001 --000001				
00D0C4 _H	GTUC10[R/W] W ----000 00000010 --000000 00000101				
00D0C8 _H	GTUC11[R/W] W ----000 ----000 -----00 -----00				
00D0CC _H 00D0FC _H	—				予約
00D100 _H	CCSV[R] W --000000 00010000 -100--00 00000000				FlexRay SUC
00D104 _H	CCEV[R] W -----00000 00--0000				
00D108 _H 00D10C _H	—				予約
00D110 _H	SCV[R] W ----000 00000000 ----000 00000000				FlexRay GTU
00D114 _H	MTCCV[R] W -----000000 --000000 00000000				
00D118 _H	RCV[R] W -----000000 --000000 00000000				
00D11C _H	OCV[R] W -----000 00000000 00000000				
00D120 _H	SFS[R] W -----0000 00000000 00000000				
00D124 _H	SWNIT[R] W -----000000 --000000 00000000				
00D128 _H	ACS[R/W] W -----000000 --000000				
00D12C _H	—				
00D130 _H	ESID1[R] W -----00----00 00000000				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (36 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D134 _H	ESID2[R] W ----- 00---00 00000000				FlexRay GTU
00D138 _H	ESID3[R] W ----- 00---00 00000000				
00D13C _H	ESID4[R] W ----- 00---00 00000000				
00D140 _H	ESID5[R] W ----- 00---00 00000000				
00D144 _H	ESID6[R] W ----- 00---00 00000000				
00D148 _H	ESID7[R] W ----- 00---00 00000000				
00D14C _H	ESID8[R] W ----- 00---00 00000000				
00D150 _H	ESID9[R] W ----- 00---00 00000000				
00D154 _H	ESID10[R] W ----- 00---00 00000000				
00D158 _H	ESID11[R] W ----- 00---00 00000000				
00D15C _H	ESID12[R] W ----- 00---00 00000000				
00D160 _H	ESID13[R] W ----- 00---00 00000000				
00D164 _H	ESID14[R] W ----- 00---00 00000000				
00D168 _H	ESID15[R] W ----- 00---00 00000000				
00D16C _H	—				
00D170 _H	OSID1[R] W ----- 00---00 00000000				
00D174 _H	OSID2[R] W ----- 00---00 00000000				
00D178 _H	OSID3[R] W ----- 00---00 00000000				
00D17C _H	OSID4[R] W ----- 00---00 00000000				
00D180 _H	OSID5[R] W ----- 00---00 00000000				
00D184 _H	OSID6[R] W ----- 00---00 00000000				
00D188 _H	OSID7[R] W ----- 00---00 00000000				
00D18C _H	OSID8[R] W ----- 00---00 00000000				
00D190 _H	OSID9[R] W ----- 00---00 00000000				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (37 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D194 _H	OSID10[R] W ----- 00---00 00000000				FlexRay GTU
00D198 _H	OSID11[R] W ----- 00---00 00000000				
00D19C _H	OSID12[R] W ----- 00---00 00000000				
00D1A0 _H	OSID13[R] W ----- 00---00 00000000				
00D1A4 _H	OSID14[R] W ----- 00---00 00000000				
00D1A8 _H	OSID15[R] W ----- 00---00 00000000				
00D1AC _H	—				予約
00D1B0 _H	NMV1[R] W 00000000 00000000 00000000 00000000				FlexRay NEM
00D1B4 _H	NMV2[R] W 00000000 00000000 00000000 00000000				
00D1B8 _H	NMV3[R] W 00000000 00000000 00000000 00000000				
00D1BC _H 00D2FC _H	—				予約
00D300 _H	MRC[R/W] W ----001 10000000 00000000 00000000				FlexRay MHD
00D304 _H	FRF[R/W] W -----1 10000000 ---00000 00000000				
00D308 _H	FRFM[R/W] W ----- ---00000 000000--				
00D30C _H	FCL[R/W] W ----- 10000000				
00D310 _H	MHDS[R/W] W -0000000 -0000000 -0000000 10000000				
00D314 _H	LDTS[R] W ----000 00000000 ----000 00000000				
00D318 _H	FSR[R] W ----- 00000000 ----000				
00D31C _H	MHDF[R/W] W -----0 00000000				
00D320 _H	TXRQ1[R] W 00000000 00000000 00000000 00000000				
00D324 _H	TXRQ2[R] W 00000000 00000000 00000000 00000000				
00D328 _H	TXRQ3[R] W 00000000 00000000 00000000 00000000				
00D32C _H	TXRQ4[R] W 00000000 00000000 00000000 00000000				
00D330 _H	NDAT1[R] W 00000000 00000000 00000000 00000000				

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (38 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D334 _H	NDAT2[R] W 00000000 00000000 00000000 00000000				FlexRay MHD
00D338 _H	NDAT3[R] W 00000000 00000000 00000000 00000000				
00D33C _H	NDAT4[R] W 00000000 00000000 00000000 00000000				
00D340 _H	MBSC1[R] W 00000000 00000000 00000000 00000000				
00D344 _H	MBSC2[R] W 00000000 00000000 00000000 00000000				
00D348 _H	MBSC3[R] W 00000000 00000000 00000000 00000000				
00D34C _H	MBSC4[R] W 00000000 00000000 00000000 00000000				
00D350 _H 00D3EC _H	—				予約
00D3F0 _H	CREL[R] W 00010000 00111001 00000010 00000110				FlexRay GIF
00D3F4 _H	ENDN[R] W 10000111 01100101 01000011 00100001				
00D3F8 _H 00D3FC _H	—				予約
00D400 _H 00D4FC _H	WRDSn[1-64][R/W] W 00000000 00000000 00000000 00000000				FlexRay IBF
00D500 _H	WRHS1[R/W] W --000000 -00000000 ----000 00000000				
00D504 _H	WRHS2[R/W] W ----- -00000000 ----000 00000000				
00D508 _H	WRHS3[R/W] W ----- -----000 00000000				
00D50C _H	—				
00D510 _H	IBCM[R/W] W -----00 -----000				
00D514 _H	IBCR[R/W] W 0----- -0000000 0----- -0000000				
00D518 _H 00D5FC _H	—				予約

付表 B-1 I/O マップ MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC (39 / 39)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D600 _H 00D6FC _H	RDDS _n [1-64][R] W 00000000 00000000 00000000 00000000				FlexRay OBF
00D700 _H	RDHS1[R] W --000000 -00000000 -----000 00000000				
00D704 _H	RDHS2[R] W -00000000 -00000000 -----000 00000000				
00D708 _H	RDHS3[R] W --000000 --000000 -----000 00000000				
00D70C _H	MBS[R] W --000000 --000000 00-000000 00000000				
00D710 _H	OBCM[R/W] W -----00 -----00				
00D714 _H	OBCR[R/W] W -----00000000 0-----00 -00000000				
00D718 _H 00D7FC _H	—				予約
00D800 _H 00EFC _H	—				予約
00F000 _H 00FEFC _H	—				予約 [S]
00FF00 _H	DSUCR[R/W] B,H,W -----0		—	—	OCDU [S]
00FF04 _H 00FF0C _H	—	—	—	—	予約 [S]
00FF10 _H	PCSR[R/W] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				OCDU [S]
00FF14 _H	PSSR[R/W] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
00FF18 _H 00FFF4 _H	—	—	—	—	予約 [S]
00FFF8 _H	EDIR1[R] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				OCDU [S]
00FFFC _H	EDIR0[R] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

[S] システムレジスタです。ユーザモードでこれらのレジスタに読み書きを行った場合は、不正命令例外 (データアクセスエラー) を発生させます。

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (1 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000000 _H	PDR00[R/W] B,H,W XXXXXXXXXX	PDR01[R/W] B,H,W XXXXXXXXXX	PDR02[R/W] B,H,W XXXXXXXXXX	PDR03[R/W] B,H,W XXXXXXXXXX	ポートデータ レジスタ
000004 _H	PDR04[R/W] B,H,W XXXXXXXXXX	PDR05[R/W] B,H,W XXXXXXXXXX	PDR06[R/W] B,H,W XXXXXXXXXX	PDR07[R/W] B,H,W XXXXXXXXXX	
000008 _H	PDR08[R/W] B,H,W XXXXXXXXXX	PDR09[R/W] B,H,W XXXXXXXXXX	PDR10[R/W] B,H,W XXXXXXXXXX	PDR11[R/W] B,H,W XXXXXXXXXX	
00000C _H	PDR12[R/W] B,H,W XXXXXXXXXX	PDR13[R/W] B,H,W XX-XXXXX	—	—	
000010 _H 000038 _H	—	—	—	—	予約
00003C _H	WDTCR0[R/W] B,H,W -0--0000	WDTCPR0[W] B,H,W 00000000	WDTCR1[R] B,H,W ----0010	WDTCPR1[W] B,H,W 00000000	ウォッチドッグ タイマ [S]
000040 _H	—	—	—		予約
000044 _H	DICR[R/W] B -----0	—	—	—	遅延割込み
000048 _H 00005C _H	—		—		予約
000060 _H	TMRLRA0[R/W] H XXXXXXXXXX XXXXXXXXXX		TMR0[R] H XXXXXXXXXX XXXXXXXXXX		リロードタイマ 0
000064 _H	TMRLRB0[R/W] H XXXXXXXXXX XXXXXXXXXX		TMCSR0[R/W] B,H,W 00000000 0-000000		
000068 _H 00007C _H	—	—	—	—	予約
000080 _H	BT0TMR[R] H 00000000 00000000		BT0TMCR[R/W] H -0000000 00000000		ベースタイマ 0
000084 _H	BT0TMCR2[R/W] B -----0	BT0STC[R/W] B -0-0-0-0	—	—	
000088 _H	BT0PCSR/BT0PRL[R/W] H 00000000 00000000		BT0PDUT/BT0PRLH/BT0DTBF[R/W] H 00000000 00000000		
00008C _H	—	—	—	—	
000090 _H	BT1TMR[R] H 00000000 00000000		BT1TMCR[R/W] H -0000000 00000000		ベースタイマ 1
000094 _H	BT1TMCR2[R/W] B -----0	BT1STC[R/W] B -0-0-0-0	—	—	
000098 _H	BT1PCSR/BT1PRL[R/W] H 00000000 00000000		BT1PDUT/BT1PRLH/BT1DTBF[R/W] H 00000000 00000000		
00009C _H	BTSEL01[R/W] B ----0000	—	BTSSSR[W] B,H -----11		ベースタイマ 0,1
0000A0 _H 0000FC _H	—	—	—	—	予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (2 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000100 _H	TMRLRA1[R/W] H XXXXXXXX XXXXXXXX		TMR1[R] H XXXXXXXX XXXXXXXX		リロードタイマ 1
000104 _H	TMRLRB1[R/W] H XXXXXXXX XXXXXXXX		TMCSR1[R/W] B,H,W 00000000 0-000000		
000108 _H	TMRLRA2[R/W] H XXXXXXXX XXXXXXXX		TMR2[R] H XXXXXXXX XXXXXXXX		リロードタイマ 2
00010C _H	TMRLRB2[R/W] H XXXXXXXX XXXXXXXX		TMCSR2[R/W] B,H,W 00000000 0-000000		
000110 _H	TMRLRA3[R/W] H XXXXXXXX XXXXXXXX		TMR3[R] H XXXXXXXX XXXXXXXX		リロードタイマ 3
000114 _H	TMRLRB3[R/W] H XXXXXXXX XXXXXXXX		TMCSR3[R/W] B,H,W 00000000 0-000000		
000118 _H 0011C _H	—	—	—	—	予約
000120 _H	IRPR0H[R] B,H,W 00-----	IRPR0L[R] B,H,W 00-----	IRPR1H[R] B,H,W 00-----	IRPR1L[R] B,H,W -----	割込み要求一括読 出しレジスタ
000124 _H	IRPR2H[R] B,H,W -----	IRPR2L[R] B,H,W 0000----	IRPR3H[R] B,H,W 00-----	IRPR3L[R] B,H,W 00-----	
000128 _H	IRPR4H[R] B,H,W 00-----	IRPR4L[R] B,H,W 000000--	IRPR5H[R] B,H,W 00-----	IRPR5L[R] B,H,W 00-----	
00012C _H	IRPR6H[R] B,H,W 000000--	IRPR6L[R] B,H,W 000000--	IRPR7H[R] B,H,W 000000--	IRPR7L[R] B,H,W 000000--	
000130 _H	IRPR8H[R] B,H,W 000000--	IRPR8L[R] B,H,W 00-----	IRPR9H[R] B,H,W 00-----	IRPR9L[R] B,H,W 00-----	
000134 _H	IRPR10H[R] B,H,W 00-----	IRPR10L[R] B,H,W 00-----	IRPR11H[R] B,H,W 00-----	IRPR11L[R] B,H,W 0000000-	
000138 _H	IRPR12H[R] B,H,W 0000000-	IRPR12L[R] B,H,W 00000000	IRPR13H[R] B,H,W 00000000	IRPR13L[R] B,H,W 00000000	
00013C _H	IRPR14H[R] B,H,W 00-----	IRPR14L[R] B,H,W 00-----	IRPR15H[R] B,H,W 00000000	IRPR15L[R] B,H,W 00000---	
000140 _H	IRPR16H[R] B,H,W 00-----	IRPR16L[R] B,H,W 00-----	IRPR17H[R] B,H,W 00-----	IRPR17L[R]B,H,W 00-----	
000144 _H	IRPR18H[R]B,H,W 00-----	IRPR18L[R]B,H,W 000000--	—	—	
000148 _H 0001FC _H	—	—	—	—	予約
000200 _H	PCN0[R/W] B,H,W 00000000 000000-0		PCSR0[W] H,W XXXXXXXX XXXXXXXX		PPG0
000204 _H	PDUT0[W] H,W XXXXXXXX XXXXXXXX		PTMR0[R] H,W 11111111 11111111		
000208 _H	PCN1[R/W] B,H,W 00000000 000000-0		PCSR1[W] H,W XXXXXXXX XXXXXXXX		PPG1
00020C _H	PDUT1[W] H,W XXXXXXXX XXXXXXXX		PTMR1[R] H,W 11111111 11111111		

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (3 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000210 _H	PCN2[R/W] B,H,W 00000000 000000-0		PCSR2[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG2
000214 _H	PDUT2[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR2[R] H,W 11111111 11111111		
000218 _H	PCN3[R/W] B,H,W 00000000 000000-0		PCSR3[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG3
00021C _H	PDUT3[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR3[R] H,W 11111111 11111111		
000220 _H	PCN4[R/W] B,H,W 00000000 000000-0		PCSR4[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG4
000224 _H	PDUT4[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR4[R] H,W 11111111 11111111		
000228 _H	PCN5[R/W] B,H,W 00000000 000000-0		PCSR5[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG5
00022C _H	PDUT5[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR5[R] H,W 11111111 11111111		
000230 _H	PCN6[R/W] B,H,W 00000000 000000-0		PCSR6[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG6
000234 _H	PDUT6[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR6[R] H,W 11111111 11111111		
000238 _H	PCN7[R/W] B,H,W 00000000 000000-0		PCSR7[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG7
00023C _H	PDUT7[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR7[R] H,W 11111111 11111111		
000240 _H	PCN8[R/W] B,H,W 00000000 000000-0		PCSR8[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG8
000244 _H	PDUT8[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR8[R] H,W 11111111 11111111		
000248 _H	PCN9[R/W] B,H,W 00000000 000000-0		PCSR9[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG9
00024C _H	PDUT9[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR9[R] H,W 11111111 11111111		
000250 _H	PCN10[R/W] B,H,W 00000000 000000-0		PCSR10[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG10
000254 _H	PDUT10[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR10[R] H,W 11111111 11111111		
000258 _H	PCN11[R/W] B,H,W 00000000 000000-0		PCSR11[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG11
00025C _H	PDUT11[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR11[R] H,W 11111111 11111111		
000260 _H	PCN12[R/W] B,H,W 00000000 000000-0		PCSR12[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG12
000264 _H	PDUT12[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR12[R] H,W 11111111 11111111		
000268 _H	PCN13[R/W] B,H,W 00000000 000000-0		PCSR13[W] H,W XXXXXXXXXX XXXXXXXXXX		PPG13
00026C _H	PDUT13[W] H,W XXXXXXXXXX XXXXXXXXXX		PTMR13[R] H,W 11111111 11111111		

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (4 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000270 _H	PCN14[R/W] B,H,W 00000000 000000-0		PCSR14[W] H,W XXXXXXXX XXXXXXXX		PPG14
000274 _H	PDUT14[W] H,W XXXXXXXX XXXXXXXX		PTMR14[R] H,W 11111111 11111111		
000278 _H	PCN15[R/W] B,H,W 00000000 000000-0		PCSR15[W] H,W XXXXXXXX XXXXXXXX		PPG15
00027C _H	PDUT15[W] H,W XXXXXXXX XXXXXXXX		PTMR15[R] H,W 11111111 11111111		
000280 _H	PCN16[R/W] B,H,W 00000000 000000-0		PCSR16[W] H,W XXXXXXXX XXXXXXXX		PPG16
000284 _H	PDUT16[W] H,W XXXXXXXX XXXXXXXX		PTMR16[R] H,W 11111111 11111111		
000288 _H	PCN17[R/W] B,H,W 00000000 000000-0		PCSR17[W] H,W XXXXXXXX XXXXXXXX		PPG17
00028C _H	PDUT17[W] H,W XXXXXXXX XXXXXXXX		PTMR17[R] H,W 11111111 11111111		
000290 _H	PCN18[R/W] B,H,W 00000000 000000-0		PCSR18[W] H,W XXXXXXXX XXXXXXXX		PPG18
000294 _H	PDUT18[W] H,W XXXXXXXX XXXXXXXX		PTMR18[R] H,W 11111111 11111111		
000298 _H	PCN19[R/W] B,H,W 00000000 000000-0		PCSR19[W] H,W XXXXXXXX XXXXXXXX		PPG19
00029C _H	PDUT19[W] H,W XXXXXXXX XXXXXXXX		PTMR19[R] H,W 11111111 11111111		
0002A0 _H	PCN20[R/W] B,H,W 00000000 000000-0		PCSR20[W] H,W XXXXXXXX XXXXXXXX		PPG20
0002A4 _H	PDUT20[W] H,W XXXXXXXX XXXXXXXX		PTMR20[R] H,W 11111111 11111111		
0002A8 _H	PCN21[R/W] B,H,W 00000000 000000-0		PCSR21[W] H,W XXXXXXXX XXXXXXXX		PPG21
0002AC _H	PDUT21[W] H,W XXXXXXXX XXXXXXXX		PTMR21[R] H,W 11111111 11111111		
0002B0 _H	PCN22[R/W] B,H,W 00000000 000000-0		PCSR22[W] H,W XXXXXXXX XXXXXXXX		PPG22
0002B4 _H	PDUT22[W] H,W XXXXXXXX XXXXXXXX		PTMR22[R] H,W 11111111 11111111		
0002B8 _H	PCN23[R/W] B,H,W 00000000 000000-0		PCSR23[W] H,W XXXXXXXX XXXXXXXX		PPG23
0002BC _H	PDUT23[W] H,W XXXXXXXX XXXXXXXX		PTMR23[R] H,W 11111111 11111111		

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (5 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0002C0 _H	GTRS0[R/W] B,H,W -0000000 -0000000		GTRS1[R/W] B,H,W -0000000 -0000000		PPG Control
0002C4 _H	GTRS2[R/W] B,H,W -0000000 -0000000		GTRS3[R/W] B,H,W -0000000 -0000000		
0002C8 _H	GTRS4[R/W] B,H,W -0000000 -0000000		GTRS5[R/W] B,H,W -0000000 -0000000		
0002CC _H	GTRS6[R/W] B,H,W -0000000 -0000000		GTRS7[R/W] B,H,W -0000000 -0000000		
0002D0 _H	GTRS8[R/W] B,H,W -0000000 -0000000		GTRS9[R/W] B,H,W -0000000 -0000000		
0002D4 _H	GTRS10[R/W] B,H,W -0000000 -0000000		GTRS11[R/W] B,H,W -0000000 -0000000		
0002D8 _H	GTREN0[R/W] H,W 00000000 00000000		GTREN1[R/W] H,W ----- 00000000		
0002DC _H	—		—		予約
0002E0 _H	—	GATEC0[R/W] B,H,W -----00	—	GATEC2[R/W] B,H,W -----00	PPG GATE Control
0002E4 _H	—	GATEC4[R/W] B,H,W -----00	—	GATEC8[R/W] B,H,W -----00	
0002E8 _H	—	GATEC10[R/W] B,H,W -----00	—	GATEC12[R/W] B,H,W -----00	
0002EC _H	—	—	—	—	予約
0002F0 _H	RCRH0[W] H,W 00000000	RCRL0[W] B,H,W 00000000	UDCRH0[R] H,W 00000000	UDCRL0[R] B,H,W 00000000	U/D カウンタ 0
0002F4 _H	CCR0[R/W] B,H 00000000 -0001000		—	CSR0[R] B 00000000	
0002F8 _H	RCRH1[W] H,W 00000000	RCRL1[W] B,H,W 00000000	UDCRH1[R] H,W 00000000	UDCRL1[R] B,H,W 00000000	U/D カウンタ 1
0002FC _H	CCR1[R/W] B,H 00000000 -0001000		—	CSR1[R] B 00000000	
000300 _H	—				予約
000304 _H	—	—	—	—	予約
000308 _H	—				予約
00030C _H	—	—	—	—	
000310 _H	—	—	MPUCR[R/W] H 000000-0 ----0100		MPU [S] (この領域へは CPUのみアクセス 可)
000314 _H	—	—	—	—	
000318 _H	—				
00031C _H	—	—	—		
000320 _H	DPVAR[R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000324 _H	—	—	DPVSR[R/W] H ----- 00000--0		

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (6 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック	
	+0	+1	+2	+3		
000328 _H	DEAR[R] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				MPU [S] (この領域へは CPUのみアクセス 可)	
00032C _H	—	—	DESR[R/W] H ----- 00000--0			
000330 _H	PABR0[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000					
000334 _H	—	—	PACR0[R/W] H 000000-0 00000--0			
000338 _H	PABR1[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000					
00033C _H	—	—	PACR1[R/W] H 000000-0 00000--0			
000340 _H	PABR2[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000					
000344 _H	—	—	PACR2[R/W] H 000000-0 00000--0			
000348 _H	PABR3[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000					
00034C _H	—	—	PACR3[R/W] H 000000-0 00000--0			
000350 _H	PABR4[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000					
000354 _H	—	—	PACR4[R/W] H 000000-0 00000--0			
000358 _H	PABR5[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000					
00035C _H	—	—	PACR5[R/W] H 000000-0 00000--0			
000360 _H	PABR6[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000					
000364 _H	—	—	PACR6[R/W] H 000000-0 00000--0			
000368 _H	PABR7[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXX0000					
00036C _H	—	—	PACR7[R/W] H 000000-0 00000--0			
000370 _H	—					予約 [S]
000374 _H	—	—	—			
000378 _H	—					
00037C _H	—	—	—			
000380 _H	—					
000384 _H	—	—	—			
000388 _H	—					
00038C _H	—	—	—			
000390 _H	—					

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (7 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000394 _H	—	—	—	—	予約 [S]
000398 _H	—	—	—	—	
00039C _H	—	—	—	—	
0003A0 _H	—	—	—	—	
0003A4 _H	—	—	—	—	
0003A8 _H	—	—	—	—	
0003AC _H	—	—	—	—	予約 [S]
0003B0 _H 0003CC _H	—	—	—	—	
0003D0 _H	—	—	—	—	予約 [S]
0003D4 _H	—	—	—	—	
0003D8 _H	—	—	—	—	
0003DC _H	—	—	—	—	
0003E0 _H 0003FC _H	—	—	—	—	予約 [S]
000400 _H	ICSEL0[R/W] B,H,W -----000	ICSEL1[R/W] B,H,W -----0	ICSEL2[R/W] B,H,W -----0	ICSEL3[R/W] B,H,W -----0	DMA 転送要求の 発生・クリア
000404 _H	ICSEL4[R/W] B,H,W -----0	ICSEL5[R/W] B,H,W -----0	ICSEL6[R/W] B,H,W -----0	ICSEL7[R/W] B,H,W -----000	
000408 _H	ICSEL8[R/W] B,H,W -----0	ICSEL9[R/W] B,H,W -----0	ICSEL10[R/W] B,H,W -----000	ICSEL11[R/W] B,H,W -----000	
00040C _H	ICSEL12[R/W] B,H,W -----000	ICSEL13[R/W] B,H,W -----000	ICSEL14[R/W] B,H,W -----000	ICSEL15[R/W] B,H,W -----0	
000410 _H	ICSEL16[R/W] B,H,W -----0	ICSEL17[R/W] B,H,W -----0	ICSEL18[R/W] B,H,W -----0	ICSEL19[R/W] B,H,W -----0	
000414 _H	ICSEL20[R/W] B,H,W -----0	ICSEL21[R/W] B,H,W -----000	ICSEL22[R/W] B,H,W -----000	ICSEL23[R/W] B,H,W -----000	
000418 _H	ICSEL24[R/W] B,H,W -----000	ICSEL25[R/W] B,H,W -----000	ICSEL26[R/W] B,H,W -----0	ICSEL27[R/W] B,H,W -----0	
00041C _H	—	—	—	—	
000420 _H	—	—	—	—	予約
000424 _H 00043C _H	—	—	—	—	

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (8 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000440 _H	ICR00[R/W] B,H,W ---11111	ICR01[R/W] B,H,W ---11111	ICR02[R/W] B,H,W ---11111	ICR03[R/W] B,H,W ---11111	割込みコントローラ [S]
000444 _H	ICR04[R/W] B,H,W ---11111	ICR05[R/W] B,H,W ---11111	ICR06[R/W] B,H,W ---11111	ICR07[R/W] B,H,W ---11111	
000448 _H	ICR08[R/W] B,H,W ---11111	ICR09[R/W] B,H,W ---11111	ICR10[R/W] B,H,W ---11111	ICR11[R/W] B,H,W ---11111	
00044C _H	ICR12[R/W] B,H,W ---11111	ICR13[R/W] B,H,W ---11111	ICR14[R/W] B,H,W ---11111	ICR15[R/W] B,H,W ---11111	
000450 _H	ICR16[R/W] B,H,W ---11111	ICR17[R/W] B,H,W ---11111	ICR18[R/W] B,H,W ---11111	ICR19[R/W] B,H,W ---11111	
000454 _H	ICR20[R/W] B,H,W ---11111	ICR21[R/W] B,H,W ---11111	ICR22[R/W] B,H,W ---11111	ICR23[R/W] B,H,W ---11111	
000458 _H	ICR24[R/W] B,H,W ---11111	ICR25[R/W] B,H,W ---11111	ICR26[R/W] B,H,W ---11111	ICR27[R/W] B,H,W ---11111	
00045C _H	ICR28[R/W] B,H,W ---11111	ICR29[R/W] B,H,W ---11111	ICR30[R/W] B,H,W ---11111	ICR31[R/W] B,H,W ---11111	
000460 _H	ICR32[R/W] B,H,W ---11111	ICR33[R/W] B,H,W ---11111	ICR34[R/W] B,H,W ---11111	ICR35[R/W] B,H,W ---11111	
000464 _H	ICR36[R/W] B,H,W ---11111	ICR37[R/W] B,H,W ---11111	ICR38[R/W] B,H,W ---11111	ICR39[R/W] B,H,W ---11111	
000468 _H	ICR40[R/W] B,H,W ---11111	ICR41[R/W] B,H,W ---11111	ICR42[R/W] B,H,W ---11111	ICR43[R/W] B,H,W ---11111	予約 [S]
00046C _H	ICR44[R/W] B,H,W ---11111	ICR45[R/W] B,H,W ---11111	ICR46[R/W] B,H,W ---11111	ICR47[R/W] B,H,W ---11111	
000470 _H 00047C _H	—	—	—	—	予約 [S]
000480 _H	RSTRR[R] B,H,W XXXX--XX	RSTCR[R/W] B,H,W 111---0	STBCR[R/W] B,H,W 000---11 ※	—	リセット制御 [S] 消費電力制御 [S] ※ STBCR への DMA による書込みは禁止です
000484 _H	—	—	—	—	予約 [S]
000488 _H	DIVR0[R/W] B,H,W 000-----	DIVR1[R/W] B,H,W 0001----	DIVR2[R/W] B,H,W 0011----	—	クロック制御 [S]
00048C _H	—	—	—	—	予約 [S]
000490 _H	IORR0[R/W] B,H,W -0000000	IORR1[R/W] B,H,W -0000000	IORR2[R/W] B,H,W -0000000	IORR3[R/W] B,H,W -0000000	ペリフェラルによる DMA 転送要求 [S]
000494 _H	IORR4[R/W] B,H,W -0000000	IORR5[R/W] B,H,W -0000000	IORR6[R/W] B,H,W -0000000	IORR7[R/W] B,H,W -0000000	
000498 _H	—	—	—	—	
00049C _H	—	—	—	—	
0004A0 _H	—	—	—	—	予約
0004A4 _H	CANPRE[R/W] B,H,W ----0000	—	—	—	CAN プリスケーラ

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (9 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0004A8 _H 0004AC _H	—	—	—	—	予約
0004B0 _H	—	—	—	—	予約
0004B4 _H 0004C0 _H	—	—	—	—	予約
0004C4 _H	CUCR1[R/W] B,H,W -----0--00		CUTD1[R/W] B,H,W 11000011 01010000		WDT1 補正 (キャリブレーション)
0004C8 _H	CUTR1[R] B,H,W -----00000000 00000000 00000000				
0004CC _H 0004DC _H	—	—	—	—	予約
0004E0 _H	—	—	CSCFG[R/W] B,H,W ---0----	CMCFG[R/W] B,H,W 00000000	クロックモニタ
0004E4 _H	—	—	—	—	
0004E8 _H	PLL2DIVM[R/W] B,H,W ----0000	PLL2DIVN[R/W] B,H,W -0000000	PLL2DIVG[R/W] B,H,W ----0000	PLL2MULG[R/W] B,H,W 00000000	FlexRay 用 クロック制御
0004EC _H	PLL2CTRL[R/W] B,H,W ----0000	PLL2DIVK[R/W] B,H,W -----0	CLKR2[R/W] B,H,W 000--000	—	
0004F0 _H 0004FC _H	—	—	—	—	予約
000500 _H	—				予約
000504 _H	—				予約
000508 _H 00050C _H	—	—	—	—	予約
000510 _H	CSELR[R/W] B,H,W -0----00	CMONR[R] B,H,W -01---00	MTMCR[R/W] B,H,W 00001111	—	クロック制御 [S]
000514 _H	PLLCR[R/W] B,H,W 00-00000 11110000		CSTBR[R/W] B,H,W ---0000	PTMCR[R/W] B,H,W 00-----	
000518 _H	—	—	CPUAR[R/W] B,H,W 0---XXXX	—	リセット [S]
00051C _H	—		—	—	予約 [S]

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (10 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000520 _H	CCPSSEL[R/W] B,H,W -----0	—	—	CCPSDIVR[R/W] B,H,W -000-000	クロック制御 2
000524 _H	—	CCPLLFBR[R/W] B,H,W -0000000	CCSSFBR0[R/W] B,H,W --000000	CCSSFBR1[R/W] B,H,W ---00000	
000528 _H	—	CCSSCCR0[R/W] B,H,W ---0000	CCSSCCR1[R/W] B,H,W 000-----		
00052C _H	—	CCCGRCR0[R/W] B,H,W 00----00	CCCGRCR1[R/W] B,H,W 00000000	CCCGRCR2[R/W] B,H,W 00000000	
000530 _H	—	—	CCPMUCR0[R/W] B,H,W 0-----00	CCPMUCR1[R/W] B,H,W 0--00000	
000534 _H	—	—	—	—	
000538 _H	—	—	—	—	
00053C _H	—	—	—	—	
000540 _H 00054C _H	—	—	—	—	予約
000550 _H	EIRR0[R/W] B,H,W XXXXXXXX	ENIR0[R/W] B,H,W 00000000	ELVR0[R/W] B,H,W 00000000 00000000		外部割込み (INT0 ～ 7)
000554 _H 000568 _H	—	—	—	—	予約
00056C _H	—	CSVCR[R/W] B -0--1--0	—	—	CSV
000570 _H	CRTR[R/W] B,H,W 01111111	—	—	—	WDT1 補正 (トリ ミング)
000574 _H 00057C _H	—	—	—	—	予約
000580 _H	REGSEL[R/W] B,H,W 01--110-	—	—	—	レギュレータ制御
000584 _H	LVD5R[R/W] B,H,W -----1	LVD5F[R/W] B,H,W 0-010--1	LVD[R/W] B,H,W 01000--0	—	低電圧検出
000588 _H 00058C _H	—	—	—	—	予約
000590 _H	PMUSTR [R/W] B,H,W 0-----1X	PMUCTLR[R/W] B,H,W 0-00----	PWRTMCTL[R/W] B,H,W -----011	—	PMU
000594 _H	—	PMUINTF1[R/W] B,H,W 00000000	PMUINTF2[R/W] B,H,W -00-----	—	
000598 _H	—	—	—	—	
00059C _H	—	—	—	—	

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (11 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0005A0 _H 0005FC _H	—	—	—	—	予約
000600 _H	ASR0[R/W] W 00000000 00000000 ----- 1111-001				外部バス インタフェース[S]
000604 _H	ASR1[R/W] W XXXXXXXX XXXXXXXX ----- XXXX-XX0				
000608 _H	ASR2[R/W] W XXXXXXXX XXXXXXXX ----- XXXX-XX0				
00060C _H	ASR3[R/W] W XXXXXXXX XXXXXXXX ----- XXXX-XX0				
000610 _H 00063C _H	—	—	—	—	予約 [S]
000640 _H	ACR0[R/W] W ----- 00--00--				外部バス インタフェース[S]
000644 _H	ACR1[R/W] W ----- XX--XX--				
000648 _H	ACR2[R/W] W ----- XX--XX--				
00064C _H	ACR3[R/W] W ----- XX--XX--				
000650 _H 00067C _H	—	—	—	—	予約 [S]
000680 _H	AWR0[R/W] W ----1111 00000000 11110000 00000-0-				外部バス インタフェース[S]
000684 _H	AWR1[R/W] W ----XXXX XXXXXXXX XXXXXXXX XXXXX-X-				
000688 _H	AWR2[R/W] W ----XXXX XXXXXXXX XXXXXXXX XXXXX-X-				
00068C _H	AWR3[R/W] W ----XXXX XXXXXXXX XXXXXXXX XXXXX-X-				
000690 _H 0006BC _H	—	—	—	—	予約 [S]
0006C0 _H	DMAR0[R/W] W -----0000				外部バス インタフェース[S]
0006C4 _H	DMAR1[R/W] W -----0000				
0006C8 _H	DMAR2[R/W] W -----0000				
0006CC _H	DMAR3[R/W] W -----0000				
0006D0 _H 0006F0 _H	—	—	—	—	予約
0006F4 _H	—				予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (12 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0006F8 _H 0006FC _H	—	—	—	—	予約
000700 _H	—				予約
000704 _H 00070C _H	—	—	—	—	予約
000710 _H	BPC CRA[R/W] B 00000000	BPC CRB[R/W] B 00000000	BPC CRC[R/W] B 00000000	—	バス・パフォーマ ンス・カウンタ
000714 _H	BPCTRA[R/W] W 00000000 00000000 00000000 00000000				
000718 _H	BPCTRB[R/W] W 00000000 00000000 00000000 00000000				
00071C _H	BPCTRC[R/W] W 00000000 00000000 00000000 00000000				
000720 _H 0007F8 _H	—	—	—	—	予約
0007FC _H	BMODR[R] B,H,W XXXXXXXX	—	—	—	動作モード
000800 _H 00083C _H	—	—	—	—	予約 [S]
000840 _H	FCTL R[R/W] H -0--1000 0--0-----		—	FSTR[R/W] B -----001	フラッシュメモリ レジスタ [S]
000844 _H	—	—	—	—	予約 [S]
000848 _H 000854 _H	—	—	—	—	予約 [S]
000858 _H	—	—	WREN[R/W] H 00000000 00000000		ワイルドレジスタ [S]
00085C _H 00087C _H	—	—	—	—	予約 [S]

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (13 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000880 _H	WRAR00[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				ワイルドレジスタ [S]
000884 _H	WRDR00[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000888 _H	WRAR01[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
00088C _H	WRDR01[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000890 _H	WRAR02[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
000894 _H	WRDR02[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000898 _H	WRAR03[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
00089C _H	WRDR03[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
0008A0 _H	WRAR04[R/W] W ----- --XXXXXX XXXXXXXX XXXXXX--				
0008A4 _H	WRDR04[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (14 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0008A8 _H	WRAR05[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				ワイルドレジスタ [S]
0008AC _H	WRDR05[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008B0 _H	WRAR06[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008B4 _H	WRDR06[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008B8 _H	WRAR07[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008BC _H	WRDR07[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008C0 _H	WRAR08[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008C4 _H	WRDR08[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008C8 _H	WRAR09[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008CC _H	WRDR09[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008D0 _H	WRAR10[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008D4 _H	WRDR10[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008D8 _H	WRAR11[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008DC _H	WRDR11[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008E0 _H	WRAR12[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008E4 _H	WRDR12[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008E8 _H	WRAR13[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008EC _H	WRDR13[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008F0 _H	WRAR14[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008F4 _H	WRDR14[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
0008F8 _H	WRAR15[R/W] W ----- --XXXXXXX XXXXXXXXXXX XXXXXXX--				
0008FC _H	WRDR15[R/W] W XXXXXXXX XXXXXXXXXXX XXXXXXXXXXX XXXXXXXXXXX				
000900 _H 000BF8 _H	—	—	—	—	予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (15 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000BFC _H	—		UER[W] B,H,W -----X		OCDU
000C00 _H	DCCR0[R/W] W 0----000 --00--00 00000000 0-000000				DMA コントローラ [S]
000C04 _H	DCSR0[R/W] H 0-----000		DTCR0[R/W] H 00000000 00000000		
000C08 _H	DSAR0[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C0C _H	DDAR0[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C10 _H	DCCR1[R/W] W 0----000 --00--00 00000000 0-000000				
000C14 _H	DCSR1[R/W] H 0-----000		DTCR1[R/W] H 00000000 00000000		
000C18 _H	DSAR1[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C1C _H	DDAR1[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C20 _H	DCCR2[R/W] W 0----000 --00--00 00000000 0-000000				
000C24 _H	DCSR2[R/W] H 0-----000		DTCR2[R/W] H 00000000 00000000		
000C28 _H	DSAR2[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C2C _H	DDAR2[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C30 _H	DCCR3[R/W] W 0----000 --00--00 00000000 0-000000				
000C34 _H	DCSR3[R/W] H 0-----000		DTCR3[R/W] H 00000000 00000000		
000C38 _H	DSAR3[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C3C _H	DDAR3[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C40 _H	DCCR4[R/W] W 0----000 --00--00 00000000 0-000000				
000C44 _H	DCSR4[R/W] H 0-----000		DTCR4[R/W] H 00000000 00000000		
000C48 _H	DSAR4[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C4C _H	DDAR4[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
000C50 _H	DCCR5[R/W] W 0----000 --00--00 00000000 0-000000				
000C54 _H	DCSR5[R/W] H 0-----000		DTCR5[R/W] H 00000000 00000000		
000C58 _H	DSAR5[R/W] W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (16 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000C5C _H	DDAR5[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				DMA コントローラ [S]
000C60 _H	DCCR6[R/W] W 0----000 --00--00 00000000 0-000000				
000C64 _H	DCSR6[R/W] H 0-----000		DTCR6[R/W] H 00000000 00000000		
000C68 _H	DSAR6[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				
000C6C _H	DDAR6[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				
000C70 _H	DCCR7[R/W] W 0----000 --00--00 00000000 0-000000				
000C74 _H	DCSR7[R/W] H 0-----000		DTCR7[R/W] H 00000000 00000000		
000C78 _H	DSAR7[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				
000C7C _H	DDAR7[R/W] W XXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX XXXXXXXXXXXX				
000C80 _H 000DF0 _H	—	—	—	—	
000DF4 _H	—	—	DNMIR[R/W] B 0-----0	DILVR[R/W] B ---11111	
000DF8 _H	DMACR[R/W] W 0-----0-----0-----				
000DFC _H	—	—	—	—	予約 [S]
000E00 _H	DDR00[R/W] B,H 00000000	DDR01[R/W] B,H 00000000	DDR02[R/W] B,H 00000000	DDR03[R/W] B,H 00000000	データ方向 レジスタ
000E04 _H	DDR04[R/W] B,H 00000000	DDR05[R/W] B,H 00000000	DDR06[R/W] B,H 00000000	DDR07[R/W] B,H 00000000	
000E08 _H	DDR08[R/W] B,H 00000000	DDR09[R/W] B,H 00000000	DDR10[R/W] B,H 00000000	DDR11[R/W] B,H 00000000	
000E0C _H	DDR12[R/W] B,H 00000000	DDR13[R/W] B,H 00-0000	—	—	
000E10 _H 000E1C _H	—	—	—	—	予約
000E20 _H	PFR00[R/W] B,H 00000000	PFR01[R/W] B,H 00000000	PFR02[R/W] B,H 00000000	PFR03[R/W] B,H 00000000	ポート機能 レジスタ
000E24 _H	PFR04[R/W] B,H 00000000	PFR05[R/W] B,H 00000000	PFR06[R/W] B,H 00000000	PFR07[R/W] B,H 00000000	
000E28 _H	PFR08[R/W] B,H 00000000	PFR09[R/W] B,H 00000000	PFR10[R/W] B,H 00000000	PFR11[R/W] B,H 00000000	
000E2C _H	PFR12[R/W] B,H 00000000	PFR13[R/W] B,H 00-0000	—	—	
000E30 _H 000E3C _H	—	—	—	—	予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (17 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000E40 _H	PDDR00[R] B,H,W XXXXXXXXXX	PDDR01[R] B,H,W XXXXXXXXXX	PDDR02[R] B,H,W XXXXXXXXXX	PDDR03[R] B,H,W XXXXXXXXXX	入力データ ダイレクトリード レジスタ
000E44 _H	PDDR04[R] B,H,W XXXXXXXXXX	PDDR05[R] B,H,W XXXXXXXXXX	PDDR06[R] B,H,W XXXXXXXXXX	PDDR07[R] B,H,W XXXXXXXXXX	
000E48 _H	PDDR08[R] B,H,W XXXXXXXXXX	PDDR09[R] B,H,W XXXXXXXXXX	PDDR10[R] B,H,W XXXXXXXXXX	PDDR11[R] B,H,W XXXXXXXXXX	
000E4C _H	PDDR12[R] B,H,W XXXXXXXXXX	PDDR13[R] B,H,W XX-XXXXX	—	—	
000E50 _H 000E5C _H	—	—	—	—	予約
000E60 _H	EPFR00[R/W] B,H ----000	EPFR01[R/W] B,H -----00	EPFR02[R/W] B,H --000000	EPFR03[R/W] B,H 00000000	拡張ポート機能 レジスタ
000E64 _H	EPFR04[R/W] B,H 00000000	EPFR05[R/W] B,H 00000000	EPFR06[R/W] B,H -----00	EPFR07[R/W] B,H ---0000	
000E68 _H	EPFR08[R/W] B,H ----0000	EPFR09[R/W] B,H -----0	EPFR10[R/W] B,H 00000000	EPFR11[R/W] B,H ---0000	
000E6C _H	—	EPFR13[R/W] B,H -----1	EPFR14[R/W] B,H -0000000	EPFR15[R/W] B,H -0000000	
000E70 _H	EPFR16[R/W] B,H --000000	EPFR17[R/W] B,H 00000000	EPFR18[R/W] B,H 00000000	EPFR19[R/W] B,H 00000000	
000E74 _H	EPFR20[R/W] B,H 00000000	EPFR21[R/W] B,H 00000000	EPFR22[R/W] B,H 00000000	EPFR23[R/W] B,H 00000000	
000E78 _H	EPFR24[R/W] B,H 00000000	EPFR25[R/W] B,H 00000000	EPFR26[R/W] B,H 00000000	EPFR27[R/W] B,H 00000000	
000E7C _H	EPFR28[R/W] B,H 00000000	EPFR29[R/W] B,H 00000000	EPFR30[R/W] B,H 00000000	EPFR31[R/W] B,H 00000000	
000E80 _H	EPFR32[R/W] B,H 00000000	—	—	—	
000E84 _H 000EBC _H	—	—	—	—	予約
000EC0 _H	PPER00[R/W] B,H 00000000	PPER01[R/W] B,H 00000000	PPER02[R/W] B,H 00000000	PPER03[R/W] B,H 00000000	ポートブルアップ ダウン許可 レジスタ
000EC4 _H	PPER04[R/W] B,H 00000000	PPER05[R/W] B,H 00000000	PPER06[R/W] B,H 00000000	PPER07[R/W] B,H 00000000	
000EC8 _H	PPER08[R/W] B,H 00000000	PPER09[R/W] B,H 00000000	PPER10[R/W] B,H 00000000	PPER11[R/W] B,H 00000000	
000ECC _H	PPER12[R/W] B,H 00000000	PPER13[R/W] B,H 00-00000	—	—	
000ED0 _H 000EDC _H	—	—	—	—	予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (18 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000EE0 _H	PILR00[R/W] B,H 11111111	PILR01[R/W] B,H 11111111	PILR02[R/W] B,H 11111111	PILR03[R/W] B,H 11111111	ポート入力レベル 選択 レジスタ
000EE4 _H	PILR04[R/W] B,H 11111111	PILR05[R/W] B,H 11111111	PILR06[R/W] B,H 11111111	PILR07[R/W] B,H 11111111	
000EE8 _H	PILR08[R/W] B,H 11111111	PILR09[R/W] B,H 11111111	PILR10[R/W] B,H 11111111	PILR11[R/W] B,H 11111111	
000EEC _H	PILR12[R/W] B,H 11111111	PILR13[R/W] B,H 11-11111	—	—	
000EF0 _H 000EFC _H	—	—	—	—	予約
000F00 _H 000F1C _H	—	—	—	—	予約
000F20 _H	PODR00[R/W] B,H 00000000	PODR01[R/W] B,H 00000000	PODR02[R/W] B,H 00000000	PODR03[R/W] B,H 00000000	ポート出力駆動 レジスタ
000F24 _H	PODR04[R/W] B,H 00000000	PODR05[R/W] B,H 00000000	PODR06[R/W] B,H 00000000	PODR07[R/W] B,H 00000000	
000F28 _H	PODR08[R/W] B,H 00000000	PODR09[R/W] B,H 00000000	PODR10[R/W] B,H 00000000	PODR11[R/W] B,H 00000000	
000F2C _H	PODR12[R/W] B,H 00000000	PODR13[R/W] B,H 00-00000	—	—	
000F30 _H 000F3C _H	—	—	—	—	予約
000F40 _H	PORTEN[R/W] B,H,W -----00	—	—	—	ポート入力許可 レジスタ
000F44 _H	KEYCDR[R/W] H 00000000 00000000		—	—	ポート キーコード
000F48 _H	ADERH[R/W] B,H ----- 11111111		ADERL[R/W] B,H 11111111 11111111		アナログ入力許可 レジスタ
000F4C _H	DAER[R/W] B,H -----0	—	—	—	アナログ出力許可 レジスタ
000F50 _H 000FFF _H	—	—	—	—	予約
001000 _H	SACR[R/W] B,H,W -----0	PICD[R/W] B,H,W ----0011	—	—	同期 / 非同期切換 え制御
001004 _H 0010BC _H	—	—	—	—	予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (19 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0010C0 _H	—	—	—	CRCCR[R/W] B,H,W -0000000	CRC 演算
0010C4 _H	CRCINIT[R/W] B,H,W 11111111 11111111 11111111 11111111				
0010C8 _H	CRCIN[R/W] B,H,W 00000000 00000000 00000000 00000000				
0010CC _H	CRCR[R] B,H,W 11111111 11111111 11111111 11111111				
0010D0 _H 0010FC _H	—	—	—	—	予約
001100 _H	TCGS[R/W] B,H,W -----00	—	—	TCGSE[R/W] B,H,W --000000	フリーランタイム 同時起動
001104 _H	CPCLRB0/CPCLR0[R/W] H,W 11111111 11111111		TCDT0[R/W] H,W 00000000 00000000		フリーランタイム 0
001108 _H	TCCS0[R/W] B,H,W 00000000 01000000 ----0000 -----				
00110C _H	CPCLRB1/CPCLR1[R/W] H,W 11111111 11111111		TCDT1[R/W] H,W 00000000 00000000		フリーランタイム 1
001110 _H	TCCS1[R/W] B,H,W 00000000 01000000 ----0000 -----				
001114 _H	CPCLRB2/CPCLR2[R/W] H,W 11111111 11111111		TCDT2[R/W] H,W 00000000 00000000		フリーランタイム 2
001118 _H	TCCS2[R/W] B,H,W 00000000 01000000 ----0000 -----				
00111C _H	CPCLRB3/CPCLR3[R/W] H,W 11111111 11111111		TCDT3[R/W] H,W 00000000 00000000		フリーランタイム 3
001120 _H	TCCS3[R/W] B,H,W 00000000 01000000 ----0000 -----				
001124 _H	CPCLRB4/CPCLR4[R/W] H,W 11111111 11111111		TCDT4[R/W] H,W 00000000 00000000		フリーランタイム 4
001128 _H	TCCS4[R/W] B,H,W 00000000 01000000 ----0000 -----				
00112C _H	CPCLRB5/CPCLR5[R/W] H,W 11111111 11111111		TCDT5[R/W] H,W 00000000 00000000		フリーランタイム 5
001130 _H	TCCS5[R/W] B,H,W 00000000 01000000 ----0000 -----				

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (20 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001134 _H	FRS0[R/W] B,H,W -----000-000 -000-000 -000-000				フリーランタイム 選択
001138 _H	FRS1[R/W] B,H,W -----000-000 -000-000				
00113C _H	FRS2[R/W] B,H,W -----000-000 -000-000 -000-000				
001140 _H	FRS3[R/W] B,H,W -----000-000 -000-000				
001144 _H	FRS4[R/W] B,H,W -000-000 -000-000 -000-000 -000-000				
001148 _H	FRS5[R/W] B,H,W -000-000 -000-000 -000-000 -000-000				
00114C _H	FRS6[R/W] B,H,W -000-000 -000-000 -000-000 -000-000				
001150 _H	—				
001154 _H	OCCPB0/OCCP0[R/W] H,W 00000000 00000000		OCCPB1/OCCP1[R/W] H,W 00000000 00000000		アウトプットコン ペア 0/1
001158 _H	OCS01[R/W] B,H,W -110--00 00001100		—	OCMOD01[R/W] B,H,W -----00	
00115C _H	OCCPB2/OCCP2[R/W] H,W 00000000 00000000		OCCPB3/OCCP3[R/W] H,W 00000000 00000000		アウトプットコン ペア 2/3
001160 _H	OCS23[R/W] B,H,W -110--00 00001100		—	OCMOD23[R/W] B,H,W -----00	
001164 _H	OCCPB4/OCCP4[R/W] H,W 00000000 00000000		OCCPB5/OCCP5[R/W] H,W 00000000 00000000		アウトプットコン ペア 4/5
001168 _H	OCS45[R/W] B,H,W -110--00 00001100		—	OCMOD45[R/W] B,H,W -----00	
00116C _H	OCCPB6/OCCP6[R/W] H,W 00000000 00000000		OCCPB7/OCCP7[R/W] H,W 00000000 00000000		アウトプットコン ペア 6/7
001170 _H	OCS67[R/W] B,H,W -110--00 00001100		—	OCMOD67[R/W] B,H,W -----00	
001174 _H	OCCPB8/OCCP8[R/W] H,W 00000000 00000000		OCCPB9/OCCP9[R/W] H,W 00000000 00000000		アウトプットコン ペア 8/9
001178 _H	OCS89[R/W] B,H,W -110--00 00001100		—	OCMOD89[R/W] B,H,W -----00	
00117C _H	OCCPB10/OCCP10[R/W] H,W 00000000 00000000		OCCPB11/OCCP11[R/W] H,W 00000000 00000000		アウトプットコン ペア 10/11
001180 _H	OCS1011[R/W] B,H,W -110--00 00001100		—	OCMOD1011[R/W] B,H,W -----00	
001184 _H	IPCP0[R] H,W 00000000 00000000		IPCP1[R] H,W 00000000 00000000		インプットキャプ チャ 0/1
001188 _H	ICS01[R/W] B,H,W -----00 00000000		—	LSYNS[R/W] B,H,W ---00000	

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (21 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00118C _H	IPCP2[R] H,W 00000000 00000000		IPCP3[R] H,W 00000000 00000000		インプットキャプ チャ 2/3
001190 _H	ICS23[R/W] B,H,W -----00 00000000		—	—	
001194 _H	IPCP4[R] H,W 00000000 00000000		IPCP5[R] H,W 00000000 00000000		インプットキャプ チャ 4/5
001198 _H	ICS45[R/W] B,H,W -----00 00000000		—	—	
00119C _H	IPCP6[R] H,W 00000000 00000000		IPCP7[R] H,W 00000000 00000000		インプットキャプ チャ 6/7
0011A0 _H	ICS67[R/W] B,H,W -----00 00000000		—	—	
0011A4 _H	DTSR[R/W] B,H,W -----10	—	—	—	DTTI 選択
0011A8 _H	TMRR0[R/W] H,W 00000000 00000001		TMRR1[R/W] H,W 00000000 00000001		波形ジェネレータ 0/1/2
0011AC _H	TMRR2[R/W] H,W 00000000 00000001		—	—	
0011B0 _H	DTSCR0[R/W] B,H,W 00000000	DTSCR1[R/W] B,H,W 00000000	DTSCR2[R/W] B,H,W 00000000	—	
0011B4 _H	—	DTIR0[R/W] B,H,W 000000--	—	DTMNS0[R/W] B,H,W 00---000	
0011B8 _H	—	SIGCR10[R/W] B,H,W 00000000	—	SIGCR20[R/W] B,H,W 000000-1	
0011BC _H	PICS0[R/W] B,H,W 000000-- -----				波形ジェネレータ 3/4/5
0011C0 _H	TMRR3[R/W] H,W 00000000 00000001		TMRR4[R/W] H,W 00000000 00000001		
0011C4 _H	TMRR5[R/W] H,W 00000000 00000001		—	—	
0011C8 _H	DTSCR3[R/W] B,H,W 00000000	DTSCR4[R/W] B,H,W 00000000	DTSCR5[R/W] B,H,W 00000000	—	
0011CC _H	—	DTIR1[R/W] B,H,W 000000--	—	DTMNS1[R/W] B,H,W 00---000	
0011D0 _H	—	SIGCR11[R/W] B,H,W 00000000	—	SIGCR21[R/W] B,H,W 000000-1	
0011D4 _H	PICS1[R/W] B,H,W 000000-- -----				

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (22 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0011D8 _H	—	—	—	—	12 ビット A/D コンバータ
0011DC _H	ADTSS[R/W] B,H,W -----0	—	—	—	
0011E0 _H	ADTSE[R/W] B,H,W ----- 00000000 00000000 00000000				
0011E4 _H	ADCOMP0/ADCOMPB0[R/W] H,W 00000000 00000000		ADCOMP1/ADCOMPB1[R/W] H,W 00000000 00000000		
0011E8 _H	ADCOMP2/ADCOMPB2[R/W] H,W 00000000 00000000		ADCOMP3/ADCOMPB3[R/W] H,W 00000000 00000000		
0011EC _H	ADCOMP4/ADCOMPB4[R/W] H,W 00000000 00000000		ADCOMP5/ADCOMPB5[R/W] H,W 00000000 00000000		
0011F0 _H	ADCOMP6/ADCOMPB6[R/W] H,W 00000000 00000000		ADCOMP7/ADCOMPB7[R/W] H,W 00000000 00000000		
0011F4 _H	ADCOMP8/ADCOMPB8[R/W] H,W 00000000 00000000		ADCOMP9/ADCOMPB9[R/W] H,W 00000000 00000000		
0011F8 _H	ADCOMP10/ADCOMPB10[R/W] H,W 00000000 00000000		ADCOMP11/ADCOMPB11[R/W] H,W 00000000 00000000		
0011FC _H	ADCOMP12/ADCOMPB12[R/W] H,W 00000000 00000000		ADCOMP13/ADCOMPB13[R/W] H,W 00000000 00000000		
001200 _H	ADCOMP14/ADCOMPB14[R/W] H,W 00000000 00000000		ADCOMP15/ADCOMPB15[R/W] H,W 00000000 00000000		
001204 _H	ADCOMP16/ADCOMPB16[R/W] H,W 00000000 00000000		ADCOMP17/ADCOMPB17[R/W] H,W 00000000 00000000		
001208 _H	ADCOMP18/ADCOMPB18[R/W] H,W 00000000 00000000		ADCOMP19/ADCOMPB19[R/W] H,W 00000000 00000000		
00120C _H	ADCOMP20/ADCOMPB20[R/W] H,W 00000000 00000000		ADCOMP21/ADCOMPB21[R/W] H,W 00000000 00000000		
001210 _H	ADCOMP22/ADCOMPB22[R/W] H,W 00000000 00000000		ADCOMP23/ADCOMPB23[R/W] H,W 00000000 00000000		
001214 _H	—	—	—	—	
001218 _H	—	—	—	—	
00121C _H	—	—	—	—	
001220 _H	—	—	—	—	
001224 _H	ADTCS0[R/W] B,H,W 00000000 0010-000		ADTCS1[R/W] B,H,W 00000000 0010-000		
001228 _H	ADTCS2[R/W] B,H,W 00000000 0010-000		ADTCS3[R/W] B,H,W 00000000 0010-000		
00122C _H	ADTCS4[R/W] B,H,W 00000000 0010-000		ADTCS5[R/W] B,H,W 00000000 0010-000		
001230 _H	ADTCS6[R/W] B,H,W 00000000 0010-000		ADTCS7[R/W] B,H,W 00000000 0010-000		
001234 _H	ADTCS8[R/W] B,H,W 00000000 0010-000		ADTCS9[R/W] B,H,W 00000000 0010-000		
001238 _H	ADTCS10[R/W] B,H,W 00000000 0010-000		ADTCS11[R/W] B,H,W 00000000 0010-000		
00123C _H	ADTCS12[R/W] B,H,W 00000000 0010-000		ADTCS13[R/W] B,H,W 00000000 0010-000		

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (23 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001240 _H	ADTCS14[R/W] B,H,W 00000000 0010-000		ADTCS15[R/W] B,H,W 00000000 0010-000		12 ビット A/D コンバータ
001244 _H	ADTCS16[R/W] B,H,W 00000000 00100000		ADTCS17[R/W] B,H,W 00000000 00100000		
001248 _H	ADTCS18[R/W] B,H,W 00000000 00100000		ADTCS19[R/W] B,H,W 00000000 00100000		
00124C _H	ADTCS20[R/W] B,H,W 00000000 00100000		ADTCS21[R/W] B,H,W 00000000 00100000		
001250 _H	ADTCS22[R/W] B,H,W 00000000 00100000		ADTCS23[R/W] B,H,W 00000000 00100000		
001254 _H	—	—	—	—	
001258 _H	—	—	—	—	
00125C _H	—	—	—	—	
001260 _H	—	—	—	—	
001264 _H	ADTCD0[R] B,H,W 10--0000 00000000		ADTCD1[R] B,H,W 10--0000 00000000		
001268 _H	ADTCD2[R] B,H,W 10--0000 00000000		ADTCD3[R] B,H,W 10--0000 00000000		
00126C _H	ADTCD4[R] B,H,W 10--0000 00000000		ADTCD5[R] B,H,W 10--0000 00000000		
001270 _H	ADTCD6[R] B,H,W 10--0000 00000000		ADTCD7[R] B,H,W 10--0000 00000000		
001274 _H	ADTCD8[R] B,H,W 10--0000 00000000		ADTCD9[R] B,H,W 10--0000 00000000		
001278 _H	ADTCD10[R] B,H,W 10--0000 00000000		ADTCD11[R] B,H,W 10--0000 00000000		
00127C _H	ADTCD12[R] B,H,W 10--0000 00000000		ADTCD13[R] B,H,W 10--0000 00000000		
001280 _H	ADTCD14[R] B,H,W 10--0000 00000000		ADTCD15[R] B,H,W 10--0000 00000000		
001284 _H	ADTCD16[R] B,H,W 10--0000 00000000		ADTCD17[R] B,H,W 10--0000 00000000		
001288 _H	ADTCD18[R] B,H,W 10--0000 00000000		ADTCD19[R] B,H,W 10--0000 00000000		
00128C _H	ADTCD20[R] B,H,W 10--0000 00000000		ADTCD21[R] B,H,W 10--0000 00000000		
001290 _H	ADTCD22[R] B,H,W 10--0000 00000000		ADTCD23[R] B,H,W 10--0000 00000000		
001294 _H	—	—	—	—	
001298 _H	—	—	—	—	
00129C _H	—	—	—	—	
0012A0 _H	—	—	—	—	
0012A4 _H	ADCS0[R/W] B,H,W 0-----		ADCH0[R] B,H,W ----000	ADMD0[R/W] B,H,W ----0000	
0012A8 _H	ADCS1[R/W] B,H,W 0-----		ADCH1[R] B,H,W ----000	ADMD1[R/W] B,H,W ----0000	

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (24 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0012AC _H	ADCS2[R/W] B,H,W 0-----		ADCH2[R] B,H,W -----000	ADMD2[R/W] B,H,W ----0000	12 ビット A/D コンバータ
0012B0 _H 0012FC _H	—	—	—	—	予約
001300 _H	—	—	—	—	予約
001304 _H	—	—	—	—	
001308 _H	—	—	—	—	
00130C _H	—	—	—	—	
001310 _H	—	—	—	—	
001314 _H	—	—	—	—	
001318 _H	—	—	—	—	
00131C _H	—	—	—	—	
001320 _H	—	—	—	—	
001324 _H	—		—		
001328 _H 00132C _H	—	—	—	—	
001330 _H	—		—		
001334 _H 0013FC _H	—	—	—	—	予約
001400 _H	DACR[R/W] B,H,W -----0	—	DADR[R/W] H,W -----XX XXXXXXXXX		DAC
001404 _H 0014FC _H	—	—	—	—	予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (25 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001500 _H	SCR0/(IBCR0)[R/W] B,H,W 0--00000	SMR0[R/W] B,H,W 000000-0	SSR0[R/W] B,H,W 0--00011	ESCR0/(IBSR0)[R/W] B,H,W 00000000	Multi Function Serial I/F 0 ※ 1 下位 8 ビット にアクセスする場合 のみ、バイトア クセス可 ※ 2 リセット直後 は I ² C モードでは ないため予約 ※ 3 リセット直後 は CSIO モードでは ないため予約 ※ 4 リセット直後 は LIN2.1 モードでは ないため予約
001504 _H	—/(RDR10/(TDR10))[R/W] H,W ----- ※ 3		RDR00/(TDR00)[R/W] B,H,W -----0 00000000 ※ 1		
001508 _H	SACSR0[R/W] B,H,W 0---000 00000000		STMCR0[R] B,H,W 00000000 00000000		
00150C _H	STMCR00[R/W] B,H,W 00000000 00000000		—/(SCSCR0/SFUR0) [R/W] B,H,W ----- ※ 3 ※ 4		
001510 _H	—/(SCSTR30) [R/W] B,H,W ----- ※ 3	—/(SCSTR20) [R/W] B,H,W ----- ※ 3	—/(SCSTR10/SFLR10) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR00/SFLR00) [R/W] B,H,W ----- ※ 3 ※ 4	
001514 _H	—	—	—	—	
001518 _H	—	—	—	—	
00151C _H	BGR0[R/W] H,W 00000000 00000000		—/(ISMK0)[R/W] B,H,W ----- ※ 2	—/(ISBA0)[R/W] B,H,W ----- ※ 2	
001520 _H	FCR10[R/W] B,H,W 00-00100	FCR00[R/W] B,H,W -0000000	FBYTE20[R/W] B,H,W 00000000	FBYTE10[R/W] B,H,W 00000000	Multi Function Serial I/F 1 ※ 1 下位 8 ビット にアクセスする場合 のみ、バイトア クセス可 ※ 2 リセット直後 は I ² C モードでは ないため予約 ※ 3 リセット直後 は CSIO モードでは ないため予約 ※ 4 リセット直後 は LIN2.1 モードでは ないため予約
001524 _H	SCR1/(IBCR1)[R/W] B,H,W 0--00000	SMR1[R/W] B,H,W 000000-0	SSR1[R/W] B,H,W 0--00011	ESCR1/(IBSR1)[R/W] B,H,W 00000000	
001528 _H	—/(RDR11/(TDR11))[R/W] H,W ----- ※ 3		RDR01/(TDR01)[R/W] B,H,W -----0 00000000 ※ 1		
00152C _H	SACSR1[R/W] B,H,W 0---000 00000000		STMCR1[R] B,H,W 00000000 00000000		
001530 _H	STMCR1[R/W] B,H,W 00000000 00000000		—/(SCSCR1/SFUR1) [R/W] B,H,W ----- ※ 3 ※ 4		
001534 _H	—/(SCSTR31) [R/W] B,H,W ----- ※ 3	—/(SCSTR21) [R/W] B,H,W ----- ※ 3	—/(SCSTR11/SFLR11) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR01/SFLR01) [R/W] B,H,W ----- ※ 3 ※ 4	
001538 _H	—	—	—	—	
00153C _H	—	—	—	TBYTE01[R/W] B,H,W 00000000	
001540 _H	BGR1[R/W] H,W 00000000 00000000		—/(ISMK1)[R/W] B,H,W ----- ※ 2	—/(ISBA1)[R/W] B,H,W ----- ※ 2	
001544 _H	FCR11[R/W] B,H,W 00-00100	FCR01[R/W] B,H,W -0000000	FBYTE21[R/W] B,H,W 00000000	FBYTE11[R/W] B,H,W 00000000	

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (26 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001548 _H	SCR2[R/W] B,H,W 0-00000	SMR2[R/W] B,H,W 000000-0	SSR2[R/W] B,H,W 0-00011	ESCR2[R/W] B,H,W 00000000	Multi Function Serial I/F 2 ※1 下位 8 ビット にアクセスする場 合のみ、バイトア クセス可 ※3 リセット直後 は CSIO モードで はないため予約 ※4 リセット直後 は LIN2.1 モードで はないため予約
00154C _H	—/(RDR12/(TDR12))[R/W] H,W ----- ※ 3		RDR02/(TDR02)[R/W] B,H,W -----0 00000000 ※ 1		
001550 _H	SACSR2[R/W] B,H,W 0---000 00000000		STMR2[R] B,H,W 00000000 00000000		
001554 _H	STMCR2[R/W] B,H,W 00000000 00000000		—/(SCSCR2/SFUR2) [R/W] B,H,W ----- ※ 3 ※ 4		
001558 _H	—/(SCSTR32) [R/W] B,H,W ----- ※ 3	—/(SCSTR22) [R/W] B,H,W ----- ※ 3	—/(SCSTR12/SFLR12) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR02/SFLR02) [R/W] B,H,W ----- ※ 3 ※ 4	
00155C _H	—	—	—	—	
001560 _H	—	—	—	TBYTE02[R/W] B,H,W 00000000	
001564 _H	BGR2[R/W] H,W 00000000 00000000		—	—	
001568 _H	FCR12[R/W] B,H,W 00-00100	FCR02[R/W] B,H,W -0000000	FBYTE22[R/W] B,H,W 00000000	FBYTE12[R/W] B,H,W 00000000	Multi Function Serial I/F 3 ※1 下位 8 ビット にアクセスする場 合のみ、バイトア クセス可 ※2 リセット直後 は I ² C モードでは ないため予約 ※3 リセット直後 は CSIO モードで はないため予約 ※4 リセット直後 は LIN2.1 モードで はないため予約
00156C _H	SCR3/(IBCR3)[R/W] B,H,W 0-00000	SMR3[R/W] B,H,W 000000-0	SSR3[R/W] B,H,W 0-00011	ESCR3/(IBSR3)[R/W] B,H,W 00000000	
001570 _H	—/(RDR13/(TDR13))[R/W] H,W ----- ※ 3		RDR03/(TDR03)[R/W] B,H,W -----0 00000000 ※ 1		
001574 _H	SACSR3[R/W] B,H,W 0---000 00000000		STMR3[R] B,H,W 00000000 00000000		
001578 _H	STMCR3[R/W] B,H,W 00000000 00000000		—/(SCSCR3/SFUR3) [R/W] B,H,W ----- ※ 3 ※ 4		
00157C _H	—/(SCSTR33) [R/W] B,H,W ----- ※ 3	—/(SCSTR23) [R/W] B,H,W ----- ※ 3	—/(SCSTR13/SFLR13) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR03/SFLR03) [R/W] B,H,W ----- ※ 3 ※ 4	
001580 _H	—	—	—	—	
001584 _H	—	—	—	TBYTE03[R/W] B,H,W 00000000	
001588 _H	BGR3[R/W] H,W 00000000 00000000		—/(ISMK3)[R/W] B,H,W ----- ※ 2	—/(ISBA3)[R/W] B,H,W ----- ※ 2	
00158C _H	FCR13[R/W] B,H,W 00-00100	FCR03[R/W] B,H,W -0000000	FBYTE23[R/W] B,H,W 00000000	FBYTE13[R/W] B,H,W 00000000	

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (27 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
001590 _H	SCR4/(IBCR4)[R/W] B,H,W 0--00000	SMR4[R/W] B,H,W 000000-0	SSR4[R/W] B,H,W 0--00011	ESCR4/(IBSR4)[R/W] B,H,W 00000000	Multi Function Serial I/F 4 ※1 下位 8 ビット にアクセスする場 合のみ、バイトア クセス可 ※2 リセット直後 は I ² C モードでは ないため予約 ※3 リセット直後 は CSIO モードで はないため予約 ※4 リセット直後 は LIN2.1 モードで はないため予約
001594 _H	—/(RDR14/(TDR14))[R/W] H,W ----- ※ 3		RDR04/(TDR04)[R/W] B,H,W -----0 00000000 ※ 1		
001598 _H	SACSR4[R/W] B,H,W 0---000 00000000		STMR4[R] B,H,W 00000000 00000000		
00159C _H	STMCR4[R/W] B,H,W 00000000 00000000		—/(SCSCR4/SFUR4) [R/W] B,H,W ----- ※ 3 ※ 4		
0015A0 _H	—/(SCSTR34) [R/W] B,H,W ----- ※ 3	—/(SCSTR24) [R/W] B,H,W ----- ※ 3	—/(SCSTR14/SFLR14) [R/W] B,H,W ----- ※ 3 ※ 4	—/(SCSTR04/SFLR04) [R/W] B,H,W ----- ※ 3 ※ 4	
0015A4 _H	—	—/(SCSFR24)[R/W] B,H,W ----- ※ 3	—/(SCSFR14)[R/W] B,H,W ----- ※ 3	—/(SCSFR04)[R/W] B,H,W ----- ※ 3	
0015A8 _H	—/(TBYTE34)[R/W] B,H,W ----- ※ 3	—/(TBYTE24)[R/W] B,H,W ----- ※ 3	—/(TBYTE14)[R/W] B,H,W ----- ※ 3	TBYTE04[R/W] B,H,W 00000000	
0015AC _H	BGR4[R/W] H,W 00000000 00000000		—/(ISMK4)[R/W] B,H,W ----- ※ 2	—/(ISBA4)[R/W] B,H,W ----- ※ 2	
0015B0 _H	FCR14[R/W] B,H,W 00-00100	FCR04[R/W] B,H,W -0000000	FBYTE24[R/W] B,H,W 00000000	FBYTE14[R/W] B,H,W 00000000	
0015B4 _H 001FFC _H	—	—	—	—	予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (28 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002000 _H	CTRLR0[R/W] B,H,W ----- 000-0001		STATR0[R/W] B,H,W ----- 00000000		CAN 0 64msb
002004 _H	ERRCNT0 [R] B,H,W 00000000 00000000		BTR0[R/W] B,H,W -0100011 00000001		
002008 _H	INTR0[R] B,H,W 00000000 00000000		TESTR0[R/W] B,H,W ----- X00000--		
00200C _H	BRPER0[R/W] B,H,W ----- ----0000		—		
002010 _H	IF1CREQ0[R/W] B,H,W 0----- 00000001		IF1CMSK0[R/W] B,H,W ----- 00000000		
002014 _H	IF1MSK20[R/W] B,H,W 11-11111 11111111		IF1MSK10[R/W] B,H,W 11111111 11111111		
002018 _H	IF1ARB20[R/W] B,H,W 00000000 00000000		IF1ARB10[R/W] B,H,W 00000000 00000000		
00201C _H	IF1MCTR0[R/W] B,H,W 00000000 0---0000		—		
002020 _H	IF1DTA10[R/W] B,H,W 00000000 00000000		IF1DTA20[R/W] B,H,W 00000000 00000000		
002024 _H	IF1DTB10[R/W] B,H,W 00000000 00000000		IF1DTB20[R/W] B,H,W 00000000 00000000		
002028 _H 00202C _H	—		—		
002030 _H 002034 _H	予約 (IF1 データミラー)				
002038 _H 00203C _H	—		—		
002040 _H	IF2CREQ0[R/W] B,H,W 0----- 00000001		IF2CMSK0[R/W] B,H,W ----- 00000000		
002044 _H	IF2MSK20[R/W] B,H,W 11-11111 11111111		IF2MSK10[R/W] B,H,W 11111111 11111111		
002048 _H	IF2ARB20[R/W] B,H,W 00000000 00000000		IF2ARB10[R/W] B,H,W 00000000 00000000		
00204C _H	IF2MCTR0[R/W] B,H,W 00000000 0---0000		—		
002050 _H	IF2DTA10[R/W] B,H,W 00000000 00000000		IF2DTA20[R/W] B,H,W 00000000 00000000		
002054 _H	IF2DTB10[R/W] B,H,W 00000000 00000000		IF2DTB20[R/W] B,H,W 00000000 00000000		
002058 _H 00205C _H	—		—		
002060 _H 002064 _H	予約 (IF2 データミラー)				
002068 _H 00207C _H	—		—		
002080 _H	TREQR20[R] B,H,W 00000000 00000000		TREQR10[R] B,H,W 00000000 00000000		

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (29 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002084 _H	TREQR40[R] B,H,W 00000000 00000000		TREQR30[R] B,H,W 00000000 00000000		CAN 0 64msb
002088 _H	—		—		
00208C _H	—		—		
002090 _H	NEWDT20[R] B,H,W 00000000 00000000		NEWDT10[R] B,H,W 00000000 00000000		
002094 _H	NEWDT40[R] B,H,W 00000000 00000000		NEWDT30[R] B,H,W 00000000 00000000		
002098 _H	—		—		
00209C _H	—		—		
0020A0 _H	INTPND20[R] B,H,W 00000000 00000000		INTPND10[R] B,H,W 00000000 00000000		
0020A4 _H	INTPND40[R] B,H,W 00000000 00000000		INTPND30[R] B,H,W 00000000 00000000		
0020A8 _H	—		—		
0020AC _H	—		—		
0020B0 _H	MSGVAL20[R] B,H,W 00000000 00000000		MSGVAL10[R] B,H,W 00000000 00000000		
0020B4 _H	MSGVAL40[R] B,H,W 00000000 00000000		MSGVAL30[R] B,H,W 00000000 00000000		
0020B8 _H	—		—		
0020BC _H	—		—		
0020C0 _H 0020FC _H	—		—		
002100 _H	CTRLR1[R/W] B,H,W ----- 000-0001		STATR1[R/W] B,H,W ----- 00000000		CAN 1 64msb
002104 _H	ERRCNT1 [R] B,H,W 00000000 00000000		BTR1[R/W] B,H,W -0100011 00000001		
002108 _H	INTR1[R] B,H,W 00000000 00000000		TESTR1[R/W] B,H,W ----- X00000--		
00210C _H	BRPER1[R/W] B,H,W ----- ----0000		—		
002110 _H	IF1CREQ1[R/W] B,H,W 0----- 00000001		IF1CMSK1[R/W] B,H,W ----- 00000000		
002114 _H	IF1MSK21[R/W] B,H,W 11-11111 11111111		IF1MSK11[R/W] B,H,W 11111111 11111111		
002118 _H	IF1ARB21[R/W] B,H,W 00000000 00000000		IF1ARB11[R/W] B,H,W 00000000 00000000		
00211C _H	IF1MCTR1[R/W] B,H,W 00000000 0---0000		—		
002120 _H	IF1DTA11[R/W] B,H,W 00000000 00000000		IF1DTA21[R/W] B,H,W 00000000 00000000		
002124 _H	IF1DTB11[R/W] B,H,W 00000000 00000000		IF1DTB21[R/W] B,H,W 00000000 00000000		

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (30 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002128 _H 00212C _H	—		—		CAN 1 64msb
002130 _H 002134 _H	予約 (IF1 データミラー)				
002138 _H 00213C _H	—		—		
002140 _H	IF2CREQ1[R/W] B,H,W 0----- 00000001		IF2CMSK1[R/W] B,H,W ----- 00000000		
002144 _H	IF2MSK21[R/W] B,H,W 11-11111 11111111		IF2MSK11[R/W] B,H,W 11111111 11111111		
002148 _H	IF2ARB21[R/W] B,H,W 00000000 00000000		IF2ARB11[R/W] B,H,W 00000000 00000000		
00214C _H	IF2MCTR1[R/W] B,H,W 00000000 0---0000		—		
002150 _H	IF2DTA11[R/W] B,H,W 00000000 00000000		IF2DTA21[R/W] B,H,W 00000000 00000000		
002154 _H	IF2DTB11[R/W] B,H,W 00000000 00000000		IF2DTB21[R/W] B,H,W 00000000 00000000		
002158 _H 00215C _H	—		—		
002160 _H 002164 _H	予約 (IF2 データミラー)				
002168 _H 00217C _H	—		—		
002180 _H	TREQR21[R] B,H,W 00000000 00000000		TREQR11[R] B,H,W 00000000 00000000		
002184 _H	TREQR41[R] B,H,W 00000000 00000000		TREQR31[R] B,H,W 00000000 00000000		
002188 _H	—		—		
00218C _H	—		—		
002190 _H	NEWDT21[R] B,H,W 00000000 00000000		NEWDT11[R] B,H,W 00000000 00000000		
002194 _H	NEWDT41[R] B,H,W 00000000 00000000		NEWDT31[R] B,H,W 00000000 00000000		
002198 _H	—		—		
00219C _H	—		—		
0021A0 _H	INTPND21[R] B,H,W 00000000 00000000		INTPND11[R] B,H,W 00000000 00000000		
0021A4 _H	INTPND41[R] B,H,W 00000000 00000000		INTPND31[R] B,H,W 00000000 00000000		
0021A8 _H	—		—		
0021AC _H	—		—		
0021B0 _H	MSGVAL21[R] B,H,W 00000000 00000000		MSGVAL11[R] B,H,W 00000000 00000000		

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (31 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
0021B4 _H	MSGVAL41[R] B,H,W 00000000 00000000		MSGVAL31[R] B,H,W 00000000 00000000		CAN 1 64msb
0021B8 _H	—		—		
0021BC _H	—		—		
0021C0 _H 0021FC _H	—		—		
002200 _H	CTRLR2[R/W] B,H,W ----- 000-0001		STATR2[R/W] B,H,W ----- 00000000		CAN 2 64msb
002204 _H	ERRCNT2 [R] B,H,W 00000000 00000000		BTR2[R/W] B,H,W -0100011 00000001		
002208 _H	INTR2[R] B,H,W 00000000 00000000		TESTR2[R/W] B,H,W ----- X00000--		
00220C _H	BRPER2[R/W] B,H,W ----- ----0000		—		
002210 _H	IF1CREQ2[R/W] B,H,W 0----- 00000001		IF1CMSK2[R/W] B,H,W ----- 00000000		
002214 _H	IF1MSK22[R/W] B,H,W 11-11111 11111111		IF1MSK12[R/W] B,H,W 11111111 11111111		
002218 _H	IF1ARB22[R/W] B,H,W 00000000 00000000		IF1ARB12[R/W] B,H,W 00000000 00000000		
00221C _H	IF1MCTR2[R/W] B,H,W 00000000 0---0000		—		
002220 _H	IF1DTA12[R/W] B,H,W 00000000 00000000		IF1DTA22[R/W] B,H,W 00000000 00000000		
002224 _H	IF1DTB12[R/W] B,H,W 00000000 00000000		IF1DTB22[R/W] B,H,W 00000000 00000000		
002228 _H 00222C _H	—		—		
002230 _H 002234 _H	予約 (IF1 データミラー)				
002238 _H 00223C _H	—		—		
002240 _H	IF2CREQ2[R/W] B,H,W 0----- 00000001		IF2CMSK2[R/W] B,H,W ----- 00000000		
002244 _H	IF2MSK22[R/W] B,H,W 11-11111 11111111		IF2MSK12[R/W] B,H,W 11111111 11111111		
002248 _H	IF2ARB22[R/W] B,H,W 00000000 00000000		IF2ARB12[R/W] B,H,W 00000000 00000000		
00224C _H	IF2MCTR2[R/W] B,H,W 00000000 0---0000		—		
002250 _H	IF2DTA12[R/W] B,H,W 00000000 00000000		IF2DTA22[R/W] B,H,W 00000000 00000000		
002254 _H	IF2DTB12[R/W] B,H,W 00000000 00000000		IF2DTB22[R/W] B,H,W 00000000 00000000		
002258 _H 00225C _H	—		—		

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (32 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
002260 _H 002264 _H	予約 (IF2 データミラー)				CAN 2 64msb
002268 _H 00227C _H	—		—		
002280 _H	TREQR22[R] B,H,W 00000000 00000000		TREQR12[R] B,H,W 00000000 00000000		
002284 _H	TREQR42[R] B,H,W 00000000 00000000		TREQR32[R] B,H,W 00000000 00000000		
002288 _H	—		—		
00228C _H	—		—		
002290 _H	NEWDT22[R] B,H,W 00000000 00000000		NEWDT12[R] B,H,W 00000000 00000000		
002294 _H	NEWDT42[R] B,H,W 00000000 00000000		NEWDT32[R] B,H,W 00000000 00000000		
002298 _H	—		—		
00229C _H	—		—		
0022A0 _H	INTPND22[R] B,H,W 00000000 00000000		INTPND12[R] B,H,W 00000000 00000000		
0022A4 _H	INTPND42[R] B,H,W 00000000 00000000		INTPND32[R] B,H,W 00000000 00000000		
0022A8 _H	—		—		
0022AC _H	—		—		
0022B0 _H	MSGVAL22[R] B,H,W 00000000 00000000		MSGVAL12[R] B,H,W 00000000 00000000		
0022B4 _H	MSGVAL42[R] B,H,W 00000000 00000000		MSGVAL32[R] B,H,W 00000000 00000000		
0022B8 _H	—		—		
0022BC _H	—		—		
0022C0 _H 0022FC _H	—		—		
002300 _H	DFCTL[R/W] B,H,W -0-----		—	DFSTR[R/W] B,H,W ----001	WorkFlash
002304 _H	—	—	—	—	
002308 _H	FLIFCTL[R/W] B,H,W ---0--00	—	FLIFFER1[R/W] B,H,W -----	FLIFFER2[R/W] B,H,W -----	
00230C _H 0023FC _H	—	—	—	—	予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (33 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003000 _H	SEEARX[R] B,H,W -0000000 00000000		DEEARX[R] B,H,W -0000000 00000000		XBS RAM ECC 制御レジスタ
003004 _H	EECSRX[R/W] B,H,W ----00-0	—	EFEARX[R/W] B,H,W -0000000 00000000		
003008 _H	—	EFECRX[R/W] B,H,W -----0 00000000 00000000			
00300C _H	TEAR0X[R] B,H,W 000----- -0000000 00000000				XBS RAM 診断レジスタ
003010 _H	TEAR1X[R] B,H,W 000----- -0000000 00000000				
003014 _H	TEAR2X[R] B,H,W 000----- -0000000 00000000				
003018 _H	TAEARX[R/W] B,H,W -1011111 11111111		TASARX[R/W] B,H,W -0000000 00000000		
00301C _H	TFECRX[R/W] B,H,W ----0000	TICRX[R/W] B,H,W ----0000	TTCRX[R/W] B,H,W -----00 00001100		
003020 _H	TSRCRX[R/W] B,H,W 0-----	—	—	TKCCRX[R/W] B,H,W 00----00	
003024 _H	SEEARA[R] B,H,W --000000 00000000		DEEARA[R] B,H,W --000000 00000000		Backup RAM ECC 制御レジスタ
003028 _H	EECSRA[R/W] B,H,W ----00-0	—	EFEARA[R/W] B,H,W --000000 00000000		
00302C _H	—	EFECRA[R/W] B,H,W -----0 00000000 00000000			
003030 _H	TEAR0A[R] B,H,W 000----- -000 00000000				Backup RAM 診断レジスタ
003034 _H	TEAR1A[R] B,H,W 000----- -000 00000000				
003038 _H	TEAR2A[R] B,H,W 000----- -000 00000000				
00303C _H	TAEARA[R/W] B,H,W ----111 11111111		TASARA[R/W] B,H,W -----000 00000000		
003040 _H	TFECRA[R/W] B,H,W ----0000	TICRA[R/W] B,H,W ----0000	TTCRA[R/W] B,H,W -----00 00001100		
003044 _H	TSRCRA[R/W] B,H,W 0-----	—	—	TKCCRA[R/W] B,H,W 00----00	
003048 _H 0030FC _H	—	—	—	—	予約
003100 _H	BUSDIGSR0[R/W] H,W 00000000 0----00		BUSDIGSR1[R/W] H,W 00000000 0----00		バス診断
003104 _H	BUSDIGSR2[R/W] H,W 00000000 0----00		BUSTSTR0[R/W] H,W 00--0000 00000000		
003108 _H	BUSADR0[R] W 00000000 00000000 00000000 00000000				
00310C _H	BUSADR1[R] W 00000000 00000000 00000000 00000000				

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (34 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
003110 _H	BUSADR2[R] W 00000000 00000000 00000000 00000000				バス診断
003114 _H	—		BUSDIGSR3[R/W] H,W 00000000 0----00		
003118 _H	BUSDIGSR4[R/W] H,W 00000000 0----00		BUSTSTR1[R/W] H,W 00--0000 00000000		
00311C _H	—				
003120 _H	BUSADR3[R] W 00000000 00000000 00000000 00000000				
003124 _H	BUSADR4[R] W 00000000 00000000 00000000 00000000				
003128 _H 003FFC _H	—	—	—	—	予約
004000 _H 005FFC _H	Backup RAM				Backup RAM 領域
006000 _H 00CFFC _H	—	—	—	—	予約
00D000 _H	CIF0[R] W 00000100 11111111 01011011 11111111				FlexRay CIF
00D004 _H	CIF1[R/W] W 00000000 -----0 -00000000 -----				
00D008 _H 00D00C _H	—	—	—	—	予約
00D010 _H	—				FlexRay GIF
00D014 _H	—				
00D018 _H	—	—	—	—	
00D01C _H	LCK[R/W] W ----- 00000000				

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (35 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D020 _H	EIR[R/W] W ----000 ----000 ----0000 00000000				FlexRay INT
00D024 _H	SIR[R/W] W -----00 -----00 00000000 00000000				
00D028 _H	EILS[R/W] W ----000 ----000 ----0000 00000000				
00D02C _H	SILS[R/W] W -----11 -----11 11111111 11111111				
00D030 _H	EIES[R/W] W ----000 ----000 ----0000 00000000				
00D034 _H	EIER[R/W] W ----000 ----000 ----0000 00000000				
00D038 _H	SIES[R/W] W -----00 -----00 00000000 00000000				
00D03C _H	SIER[R/W] W -----00 -----00 00000000 00000000				
00D040 _H	ILE[R/W] W -----00				
00D044 _H	T0C[R/W] W --000000 00000000 -00000000 -----00				
00D048 _H	T1C[R/W] W --000000 00000010 -----00				
00D04C _H	STPW1[R/W] W --000000 00000000 --000000 -00000000				
00D050 _H	STPW2[R] W -----000 00000000 -----000 00000000				
00D054 _H 00D07C _H	—	—	—	—	予約
00D080 _H	SUCC1[R/W] W ----1100 01000000 00010-00 1---0000				FlexRay SUC
00D084 _H	SUCC2[R/W] W ----0001 ---00000 00000101 00000100				
00D088 _H	SUCC3[R/W] W -----00010001				
00D08C _H	NEMC[R/W] W -----0000				FlexRay NEM
00D090 _H	PRTC1[R/W] W 000010-0 01001100 0000-110 00110011				FlexRay PRT
00D094 _H	PRTC2[R/W] W --001111 00101101 --001010 --001110				
00D098 _H	MHDC[R/W] W ---00000 00000000 -----00000000				FlexRay MHD
00D09C _H	—				予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (36 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D0A0 _H	GTUC1[R/W] W -----0000 00000010 10000000				FlexRay GTU
00D0A4 _H	GTUC2[R/W] W -----0010 --000000 00001010				
00D0A8 _H	GTUC3[R/W] W -0000010 -0000010 00000000 00000000				
00D0AC _H	GTUC4[R/W] W --000000 00001000 --000000 00000111				
00D0B0 _H	GTUC5[R/W] W 00001110 ---00000 00000000 00000000				
00D0B4 _H	GTUC6[R/W] W ----000 00000010 ----000 00000000				
00D0B8 _H	GTUC7[R/W] W -----00 00000010 -----00 00000100				
00D0BC _H	GTUC8[R/W] W --00000 00000000 -----000010				
00D0C0 _H	GTUC9[R/W] W -----00 ---00001 --000001				
00D0C4 _H	GTUC10[R/W] W ----000 00000010 --000000 00000101				
00D0C8 _H	GTUC11[R/W] W ----000 ----000 -----00 -----00				
00D0CC _H 00D0FC _H	—				予約
00D100 _H	CCSV[R] W --000000 00010000 -100--00 00000000				FlexRay SUC
00D104 _H	CCEV[R] W -----00000 00--0000				
00D108 _H 00D10C _H	—				予約
00D110 _H	SCV[R] W ----000 00000000 ----000 00000000				FlexRay GTU
00D114 _H	MTCCV[R] W -----000000 --000000 00000000				
00D118 _H	RCV[R] W -----000000 --000000 00000000				
00D11C _H	OCV[R] W -----000 00000000 00000000				
00D120 _H	SFS[R] W -----0000 00000000 00000000				
00D124 _H	SWNIT[R] W -----000000 --000000 00000000				
00D128 _H	ACS[R/W] W -----000000 --000000				
00D12C _H	—				
00D130 _H	ESID1[R] W -----00----00 00000000				

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (37 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D134 _H	ESID2[R] W ----- 00---00 00000000				FlexRay GTU
00D138 _H	ESID3[R] W ----- 00---00 00000000				
00D13C _H	ESID4[R] W ----- 00---00 00000000				
00D140 _H	ESID5[R] W ----- 00---00 00000000				
00D144 _H	ESID6[R] W ----- 00---00 00000000				
00D148 _H	ESID7[R] W ----- 00---00 00000000				
00D14C _H	ESID8[R] W ----- 00---00 00000000				
00D150 _H	ESID9[R] W ----- 00---00 00000000				
00D154 _H	ESID10[R] W ----- 00---00 00000000				
00D158 _H	ESID11[R] W ----- 00---00 00000000				
00D15C _H	ESID12[R] W ----- 00---00 00000000				
00D160 _H	ESID13[R] W ----- 00---00 00000000				
00D164 _H	ESID14[R] W ----- 00---00 00000000				
00D168 _H	ESID15[R] W ----- 00---00 00000000				
00D16C _H	—				
00D170 _H	OSID1[R] W ----- 00---00 00000000				
00D174 _H	OSID2[R] W ----- 00---00 00000000				
00D178 _H	OSID3[R] W ----- 00---00 00000000				
00D17C _H	OSID4[R] W ----- 00---00 00000000				
00D180 _H	OSID5[R] W ----- 00---00 00000000				
00D184 _H	OSID6[R] W ----- 00---00 00000000				
00D188 _H	OSID7[R] W ----- 00---00 00000000				
00D18C _H	OSID8[R] W ----- 00---00 00000000				
00D190 _H	OSID9[R] W ----- 00---00 00000000				

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (38 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D194 _H	OSID10[R] W ----- 00---00 00000000				FlexRay GTU
00D198 _H	OSID11[R] W ----- 00---00 00000000				
00D19C _H	OSID12[R] W ----- 00---00 00000000				
00D1A0 _H	OSID13[R] W ----- 00---00 00000000				
00D1A4 _H	OSID14[R] W ----- 00---00 00000000				
00D1A8 _H	OSID15[R] W ----- 00---00 00000000				
00D1AC _H	—				予約
00D1B0 _H	NMV1[R] W 00000000 00000000 00000000 00000000				FlexRay NEM
00D1B4 _H	NMV2[R] W 00000000 00000000 00000000 00000000				
00D1B8 _H	NMV3[R] W 00000000 00000000 00000000 00000000				
00D1BC _H 00D2FC _H	—				予約
00D300 _H	MRC[R/W] W ----001 10000000 00000000 00000000				FlexRay MHD
00D304 _H	FRF[R/W] W -----1 10000000 ---00000 00000000				
00D308 _H	FRFM[R/W] W ----- ---00000 000000--				
00D30C _H	FCL[R/W] W ----- 10000000				
00D310 _H	MHDS[R/W] W -0000000 -0000000 -0000000 10000000				
00D314 _H	LDTS[R] W ----000 00000000 ----000 00000000				
00D318 _H	FSR[R] W ----- 00000000 ----000				
00D31C _H	MHDF[R/W] W -----0 00000000				
00D320 _H	TXRQ1[R] W 00000000 00000000 00000000 00000000				
00D324 _H	TXRQ2[R] W 00000000 00000000 00000000 00000000				
00D328 _H	TXRQ3[R] W 00000000 00000000 00000000 00000000				
00D32C _H	TXRQ4[R] W 00000000 00000000 00000000 00000000				
00D330 _H	NDAT1[R] W 00000000 00000000 00000000 00000000				

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (39 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D334 _H	NDAT2[R] W 00000000 00000000 00000000 00000000				FlexRay MHD
00D338 _H	NDAT3[R] W 00000000 00000000 00000000 00000000				
00D33C _H	NDAT4[R] W 00000000 00000000 00000000 00000000				
00D340 _H	MBSC1[R] W 00000000 00000000 00000000 00000000				
00D344 _H	MBSC2[R] W 00000000 00000000 00000000 00000000				
00D348 _H	MBSC3[R] W 00000000 00000000 00000000 00000000				
00D34C _H	MBSC4[R] W 00000000 00000000 00000000 00000000				
00D350 _H 00D3EC _H	—				予約
00D3F0 _H	CREL[R] W 00010000 00111001 00000010 00000110				FlexRay GIF
00D3F4 _H	ENDN[R] W 10000111 01100101 01000011 00100001				
00D3F8 _H 00D3FC _H	—				予約
00D400 _H 00D4FC _H	WRDSn[1-64][R/W] W 00000000 00000000 00000000 00000000				FlexRay IBF
00D500 _H	WRHS1[R/W] W --000000 -00000000 ----000 00000000				
00D504 _H	WRHS2[R/W] W ----- -00000000 ----000 00000000				
00D508 _H	WRHS3[R/W] W ----- -----000 00000000				
00D50C _H	—				
00D510 _H	IBCM[R/W] W -----00 -----000				
00D514 _H	IBCR[R/W] W 0----- -00000000 0----- -00000000				
00D518 _H 00D5FC _H	—				予約

付表 B-2 I/O マップ MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD (40 / 40)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
00D600 _H 00D6FC _H	RDDS _n [1-64][R] W 00000000 00000000 00000000 00000000				FlexRay OBF
00D700 _H	RDHS1[R] W --000000 -00000000 -----000 00000000				
00D704 _H	RDHS2[R] W -00000000 -00000000 -----000 00000000				
00D708 _H	RDHS3[R] W --000000 --000000 -----000 00000000				
00D70C _H	MBS[R] W --000000 --000000 00-000000 00000000				
00D710 _H	OBCM[R/W] W -----00 -----00				
00D714 _H	OBCR[R/W] W -----00000000 0-----00 -00000000				
00D718 _H 00D7FC _H	—				予約
00D800 _H 00EFC _H	—				予約
00F000 _H 00FEFC _H	—				予約 [S]
00FF00 _H	DSUCR[R/W] B,H,W -----0		—	—	OCDU [S]
00FF04 _H 00FF0C _H	—	—	—	—	予約 [S]
00FF10 _H	PCSR[R/W] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				OCDU [S]
00FF14 _H	PSSR[R/W] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				
00FF18 _H 00FFF4 _H	—	—	—	—	予約 [S]
00FFF8 _H	EDIR1[R] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				OCDU [S]
00FFFC _H	EDIR0[R] B,H,W XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX				

[S] システムレジスタです。ユーザモードでこれらのレジスタに読み書きを行った場合は、不正命令例外 (データアクセスエラー) を発生させます。

付録 C. 割込みベクター一覧

割込み要因と割込みベクタ / 割込み制御レジスタの割当てを示します。

付表 C-1 割込みベクタ (1 / 3)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *1	割込み要求一括読み出し対象
	10 進	16 進					
リセット	0	00	-	3FC _H	000FFFFCH	-	
システム予約	1	01	-	3F8 _H	000FFF8H	-	
システム予約	2	02	-	3F4 _H	000FFF4H	-	
システム予約	3	03	-	3F0 _H	000FFF0H	-	
システム予約	4	04	-	3ECH	000FFECH	-	
FPU 例外	5	05	-	3E8 _H	000FFE8H	-	
命令アクセス保護違反例外	6	06	-	3E4 _H	000FFE4H	-	
データアクセス保護違反例外	7	07	-	3E0 _H	000FFE0H	-	
データアクセスエラー割込み	8	08	-	3DCH	000FFDCH	-	
INTE 命令	9	09	-	3D8 _H	000FFD8H	-	
命令ブレイク	10	0A	-	3D4 _H	000FFD4H	-	
システム予約	11	0B	-	3D0 _H	000FFD0H	-	
システム予約	12	0C	-	3CCH	000FFCCH	-	
システム予約	13	0D	-	3C8 _H	000FFC8H	-	
不正命令例外	14	0E	-	3C4 _H	000FFC4H	-	
NMI 要求 内部バス診断時エラー発生 RAM ダブルビットエラー Backup RAM ダブルビットエラー RDC 異常 (*5)	15	0F	15(FH) 固定	3C0 _H	000FFC0H	-	○
外部割込み 0-7	16	10	ICR00	3BCH	000FFBCH	0	
リロードタイマ 0 / 1	17	11	ICR01	3B8 _H	000FFB8H	1	○
リロードタイマ 2 / 3	18	12	ICR02	3B4 _H	000FFB4H	2	○
マルチファンクションシリアル インタフェース ch.0 (受信完了) / マルチファンクションシリアル インタフェース ch.0 (ステータス)	19	13	ICR03	3B0 _H	000FFB0H	3 (*2)	○
マルチファンクションシリアル インタフェース ch.0 (送信完了)	20	14	ICR04	3ACH	000FFACH	4	
マルチファンクションシリアル インタフェース ch.1 (受信完了) / マルチファンクションシリアル インタフェース ch.1 (ステータス)	21	15	ICR05	3A8 _H	000FFA8H	5 (*2)	○
マルチファンクションシリアル インタフェース ch.1 (送信完了)	22	16	ICR06	3A4 _H	000FFA4H	6	
マルチファンクションシリアル インタフェース ch.2 (受信完了) / マルチファンクションシリアル インタフェース ch.2 (ステータス)	23	17	ICR07	3A0 _H	000FFA0H	7 (*2)	○
マルチファンクションシリアル インタフェース ch.2 (送信完了)	24	18	ICR08	39CH	000FF9CH	8	
マルチファンクションシリアル インタフェース ch.3 (受信完了) / マルチファンクションシリアル インタフェース ch.3 (ステータス)	25	19	ICR09	398 _H	000FF98H	9 (*2)	○
マルチファンクションシリアル インタフェース ch.3 (送信完了)	26	1A	ICR10	394 _H	000FF94H	10	

付表 C-1 割込みベクタ (2 / 3)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *1	割込み要求一括読出し対象
	10 進	16 進					
マルチファンクションシリアルインタフェース ch.4 (受信完了) / マルチファンクションシリアルインタフェース ch.4 (ステータス)	27	1B	ICR11	390H	000FFF90H	11 (*2)	○
マルチファンクションシリアルインタフェース ch.4 (送信完了)	28	1C	ICR12	38CH	000FFF8CH	12	
CAN 0	29	1D	ICR13	388H	000FFF88H	-	
CAN 1	30	1E	ICR14	384H	000FFF84H	-	
CAN 2 / FlexRay 0	31	1F	ICR15	380H	000FFF80H	-	○
FlexRay 1	32	20	ICR16	37CH	000FFF7CH	-	
FlexRay タイマ 0	33	21	ICR17	378H	000FFF78H	-	
FlexRay タイマ 1	34	22	ICR18	374H	000FFF74H	-	
RAM 診断終了 RAM 初期化完了 RAM 診断時エラー発生 Backup RAM 診断終了 Backup RAM 初期化完了 Backup RAM 診断時エラー発生	35	23	ICR19	370H	000FFF70H	-	○
メインタイマ / PLL タイマ / FlexRay 用 PLL ギア / FlexRay 用 PLL アラーム	36	24	ICR20	36CH	000FFF6CH	20 (*3)	○
クロックキャリブレーションユニット (CR 発振)	37	25	ICR21	368H	000FFF68H	-	
U/D カウンタ 0 / 1	38	26	ICR22	364H	000FFF64H	22	○
フリーランタイマ 0 (0 検出) / (コンペアクリア)	39	27	ICR23	360H	000FFF60H	23	○
フリーランタイマ 1 (0 検出) / (コンペアクリア)	40	28	ICR24	35CH	000FFF5CH	24	○
フリーランタイマ 2 (0 検出) / (コンペアクリア) PPG 0 / 1 / 2 / 3	41	29	ICR25	358H	000FFF58H	25	○
フリーランタイマ 3 (0 検出) / (コンペアクリア)	42	2A	ICR26	354H	000FFF54H	26	○
フリーランタイマ 4 (0 検出) / (コンペアクリア)	43	2B	ICR27	350H	000FFF50H	27	○
フリーランタイマ 5 (0 検出) / (コンペアクリア) PPG 4 / 5 / 6 / 7	44	2C	ICR28	34CH	000FFF4CH	28	○
ICU 0 (取込み) / ICU 1 (取込み) PPG 8 / 9 / 10 / 11	45	2D	ICR29	348H	000FFF48H	29	○
ICU 2 (取込み) / ICU 3 (取込み) PPG 12 / 13 / 14 / 15	46	2E	ICR30	344H	000FFF44H	30	○
ICU 4 (取込み) / ICU 5 (取込み) PPG 16 / 17 / 18 / 19	47	2F	ICR31	340H	000FFF40H	31	○
ICU 6 (取込み) / ICU 7 (取込み) PPG 20 / 21 / 22 / 23	48	30	ICR32	33CH	000FFF3CH	32	○
OCU 0 (一致) / OCU 1 (一致)	49	31	ICR33	338H	000FFF38H	33	○
OCU 2 (一致) / OCU 3 (一致)	50	32	ICR34	334H	000FFF34H	34	○
OCU 4 (一致) / OCU 5 (一致)	51	33	ICR35	330H	000FFF30H	35	○
OCU 6 (一致) / OCU 7 (一致)	52	34	ICR36	32CH	000FFF2CH	36	○
OCU 8 (一致) / OCU 9 (一致)	53	35	ICR37	328H	000FFF28H	37	○

付表 C-1 割込みベクタ (3 / 3)

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *1	割込み要求一括読み出し対象
	10 進	16 進					
OCU 10 (一致) / OCU 11 (一致)	54	36	ICR38	324H	000FFF24H	38	○
WG デッドタイムアンダフロー 0 / 1 / 2 WG デッドタイムリロード 0 / 1 / 2 WG DTTI 0	55	37	ICR39	320H	000FFF20H	39	○
WG デッドタイムアンダフロー 3 / 4 / 5 WG デッドタイムリロード 3 / 4 / 5 WG DTTI 1	56	38	ICR40	31CH	000FFF1CH	40	○
AD コンバータ 0 / 1 / 2 / 3 / 4 / 5 / 6 / 7	57	39	ICR41	318H	000FFF18H	41	○
AD コンバータ 8 / 9 / 10 / 11 / 12 / 13 / 14 / 15	58	3A	ICR42	314H	000FFF14H	42	○
AD コンバータ 16 / 17 / 18 / 19 / 20 / 21 / 22 / 23	59	3B	ICR43	310H	000FFF10H	43	○
ベースタイム 0 IRQ 0 / ベースタイム 0 IRQ 1	60	3C	ICR44	30CH	000FFF0CH	44	○
ベースタイム 1 IRQ 0 / ベースタイム 1 IRQ 1	61	3D	ICR45	308H	000FFF08H	45	○
DMAC 0 / 1 / 2 / 3 / 4 / 5 / 6 / 7	62	3E	ICR46	304H	000FFF04H	-	○
遅延割込み	63	3F	ICR47	300H	000FFF00H	-	-
システム予約 (REALOS ^(*) にて使用)	64	40	-	2FCH	000FFEFCCH	-	-
システム予約 (REALOS ^(*) にて使用)	65	41	-	2F8H	000FFEFC8H	-	-
INTE 命令で使用	66 255	42 FF	-	2F4H 000H	000FFEFC4H 000FFC00H	-	-

*1: RN (リソース番号) の割り当てのないペリフェラルからの割込みによる DMA 転送要求には対応していません。

*2: マルチファンクションシリアルインタフェースのステータスは、I²C 受信による DMA 転送に対応していません。

*3: 「FlexRay 用 PLL ギア」「FlexRay 用 PLL アラーム」は DMA 転送に対応していません。

*4: REALOS は Spansion LLC の登録商標です。

*5: RDC については、MB91F585LA/F586LA/F587LA/F585LC/F586LC/F587LC の機能となります。

**付録 D. CPU 状態における端子状態 (MB91F585LA/F586LA/F587LA/F585LC/
F586LC/F587LC)**

表 D-1 端子狀態表 (1 / 6)

[illegible]

表 D-1 端子状態表 (2 / 6)

端子番号	端子名	ポート番号	指定機能名			端子属性			状態																																																																																																																																																																																																																																																																																																																									
			入力	出力	入出力	入出力回路形式	Input level	Active Level	PullUp/Down	GPORTEN 制御	リセット外部 要因 1 ⁽¹⁾		リセット外部 要因 2 ⁽²⁾		リセット 内部 要因 ⁽⁴⁾	スリープ モード	ストップ モード	電源遮断ストップ モード				電源遮断ストップモード (リセット外部 要因 2 が発生 した場合)	時計 モード	電源遮断時計 モード				電源遮断時計 モード (リ セット外部要 因 2 が発生し た場合)																																																																																																																																																																																																																																																																																																						
											外部 要因 発生 中	外部要因 解除後	外部要因 発生中	外部要因解 除後				SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	電源遮断移行 中～電源遮断 復帰中～ CPU リセット 解除後	電源遮断移行 中～電源遮断 復帰中～ CPU リセット 解除後			SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	電源遮断移行 中～電源遮断 復帰中～ CPU リセット 解除後	電源遮断移行 中～電源遮断 復帰中～ CPU リセット 解除後		電源遮断移行 中～電源遮断 復帰中～ CPU リセット 解除後	電源遮断移行 中～電源遮断 復帰中～ CPU リセット 解除後																																																																																																																																																																																																																																																																																																				
															内部リセット発信中 内部リセット発信中 ～解除後 (発振安定待ち中) 内部リセット解除後	内部リセット発信中 内部リセット解除後	内部リセット発信中 内部リセット解除後														内部リセット発信中 内部リセット解除後	電源遮断移行中～電源遮断中 (Isolator 解除前～電源遮断復帰中 (CPU リセット中	電源遮断移行中～電源遮断中 (Isolator 解除前～電源遮断復帰中 (CPU リセット中	電源遮断移行中～電源遮断中 (Isolator 解除前～電源遮断復帰中 (CPU リセット中	電源遮断移行中～電源遮断中 (Isolator 解除前～電源遮断復帰中 (CPU リセット中																																																																																																																																																																																																																																																																																															
5	P020/ TRG3/ SIN3_1	P020	TRG3/ SIN3_1			D	CS/ AM	-	U	制御あり	Hi-Z/ 入力遮断	Hi-Z/ 入力可	Hi-Z/ 入力遮断	Hi-Z/ 入力可	Hi-Z/ 入力遮断	Hi-Z/ 入力遮断	直前状態保持 ^(*)	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^(*)	直前状態保持	Hi-Z/ 入力遮断

表 D-1 端子状態表 (3 / 6)

端子番号	端子名	ポート番号	指定機能名			端子属性			状態																				
			入力	出力	入出力	入出力回路形式	Input level	Active Level	PullUp/Down	GPORTEEN 制御	リセット外部要因 1 ⁽¹⁾		リセット外部要因 2 ⁽²⁾		リセット内部要因 ⁽⁴⁾	スリープモード	ストップモード	電源遮断ストップモード				電源遮断ストップモード (リセット外部要因 2 が発生した場合)	時計モード	電源遮断時計モード				電源遮断時計モード (リセット外部要因 2 が発生した場合)	
											外部要因発生中	外部要因解除後	外部要因発生中	外部要因解除後				SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x			電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
27	MAG_OUT	-		MAG_OUT	I					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
28	MAG_PLUS	-	MAG_PLUS		H					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
29	MAG_MINUS	-	MAG_MINUS		H					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
30	COS_OUT	-		COS_OUT	I					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
31	COS_MINUS	-	COS_MINUS		H					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
32	COS_PLUS	-	COS_PLUS		H					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
33	SIN_PLUS	-	SIN_PLUS		H					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
34	SIN_MINUS	-	SIN_MINUS		H					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
35	SIN_OUT	-		SIN_OUT	I					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
38	COS_IN	-	COS_IN		H					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
39	SIN_IN	-	SIN_IN		H					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		
41	AREF2	-		AREF2	I					内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後(発振安定待ち中)	内部リセット解除後	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	SLVL[t:0] = 2'b0x	SLVL[t:0] = 2'b1x	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後	電源遮断移行中～電源遮断中～電源遮断復帰中～CPUリセット中～CPUリセット解除後		

表 D-1 端子状態表 (4 / 6)

端子番号	端子名	ポート番号	指定機能名			端子属性				状態																		
			入力	出力	入出力	入出力回路形式	Input level	Active Level	PullUp/Down	GPORTEEN 制御	リセット外部要因 1 ⁽¹⁾		リセット外部要因 2 ⁽²⁾		リセット内部要因 ⁽⁴⁾	スリープモード	ストップモード	電源遮断ストップモード				電源遮断ストップモード (リセット外部要因 2 が発生した場合)	時計モード	電源遮断時計モード				電源遮断時計モード (リセット外部要因 2 が発生した場合)
											外部要因発生中	外部要因解除後	外部要因発生中	外部要因解除後				SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	電源遮断移行中 ～電源遮断復帰中 (isolator 解除前 ～ CPU リセット中	CPU リセット解除後 (*13)			電源遮断移行中 ～電源遮断復帰中 CPU リセット中 CPU リセット解除後	時計モード SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	電源遮断移行中 ～電源遮断復帰中 (isolator 解除前 ～ CPU リセット中	CPU リセット解除後 (*13)	
44	P060/MM	P060		MM		D	CS/ AM	-	U	制御あり	Hi-Z/ 入力遮断	Hi-Z/ 入力遮断	Hi-Z/ 入力遮断	Hi-Z/ 入力遮断	Hi-Z/ 入力遮断	直前状態保持 ^(*) 直前状態保持 直前状態保持 直前状態保持	Hi-Z/ 入力遮断 ^(*) 直前状態保持 ^(*) Hi-Z/ 入力遮断 ^(*) 直前状態保持 ^(*) Hi-Z/ 入力遮断 ^(*)	電源遮断移行中 ～電源遮断復帰中 (isolator 解除前 ～ CPU リセット中	CPU リセット解除後 (*13)	電源遮断移行中 ～電源遮断復帰中 CPU リセット中 CPU リセット解除後	時計モード SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	電源遮断移行中 ～電源遮断復帰中 (isolator 解除前 ～ CPU リセット中	CPU リセット解除後 (*13)	電源遮断移行中 ～電源遮断復帰中 CPU リセット中 CPU リセット解除後	電源遮断時計モード (リセット外部要因 2 が発生した場合)			

表 D-1 端子状態表 (5 / 6)

端子番号	端子名	ポート番号	指定機能名			端子属性			状態																																																																																																																																																																																																																																																																																																																																																																																																																																	
			入力	出力	入出力	入出力回路形式	Input level	Active Level	PullUp/Down	GPORTEN 制御	リセット外部要因 1 ⁽¹⁾		リセット外部要因 2 ⁽²⁾		リセット内部要因 ⁽⁴⁾	スリープモード	ストップモード	電源遮断ストップモード				電源遮断ストップモード (リセット外部要因 2 が発生した場合)	電源遮断時計モード	電源遮断時計モード	電源遮断時計モード (リセット外部要因 2 が発生した場合)																																																																																																																																																																																																																																																																																																																																																																																																																	
											外部要因発生中	外部要因解除後	外部要因発生中	外部要因解除後				SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	SLVL[1:0] = 2b0x SLVL[1:0] = 2b1x	電源遮断移行中 ～電源遮断復帰中 CPU リセット中 CPU リセット解除後	電源遮断移行中 ～電源遮断復帰中 CPU リセット中 CPU リセット解除後					電源遮断移行中 ～電源遮断復帰中 CPU リセット中 CPU リセット解除後	電源遮断移行中 ～電源遮断復帰中 CPU リセット中 CPU リセット解除後																																																																																																																																																																																																																																																																																																																																																																																																															
76	P092/IN2	P092	IN2			D	CS/ AM	U	制御あり	Hi-Z/ 入力遮断	内部リセット発信中	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発信中 ～解除後 (発振安定待ち中)	内部リセット解除後

表 D-1 端子状態表 (6 / 6)

端子番号	端子名	ポート番号	指定機能名			端子属性			状態																																																						
			入力	出力	入出力	入出力回路形式	Input level	Active Level	PullUp/Down	GPORTEN 制御	リセット外部要因 1 ^{(*)1}		リセット外部要因 2 ^{(*)2}		リセット外部要因 ^{(*)4}	スリープモード	ストップモード	電源遮断ストップモード				電源遮断ストップモード (リセット外部要因 2 が発生した場合)	時計モード	電源遮断時計モード		電源遮断時計モード (リセット外部要因 2 が発生した場合)																																					
											外部要因発生中	外部要因解除後	外部要因発生中	外部要因解除後				SLVL[1:0] = 2b0x	SLVL[1:0] = 2b1x	SLVL[1:0] = 2b0x	SLVL[1:0] = 2b1x			電源遮断移行中 ～電源遮断復帰中～ CPU リセット中 ～CPU リセット解除後	SLVL[1:0] = 2b0x		SLVL[1:0] = 2b1x	電源遮断移行中 ～電源遮断復帰中～ CPU リセット中 ～CPU リセット解除後	SLVL[1:0] = 2b0x	SLVL[1:0] = 2b1x																																	
114	P127/SOT0	P127		SOT0	SOT0	K	CS/ AM	-	U	制御あり	制御なし	Hi-Z/ 入力可		Hi-Z/ 入力可	Hi-Z/ 入力遮断	Hi-Z/ 入力遮断	Hi-Z/ 入力遮断	直前状態保持 ^{(*)7}	直前状態保持	直前状態保持	Hi-Z/ 入力遮断 ^{(*)5}	直前状態保持	Hi-Z/ 入力遮断 ^{(*)5}	Hi-Z/ 入力遮断	直前状態保持	Hi-Z/ 入力遮断 ^{(*)5}	直前状態保持	Hi-Z/ 入力遮断 ^{(*)5}	直前状態保持	Hi-Z/ 入力遮断 ^{(*)5}	Hi-Z/ 入力遮断	直前状態保持	Hi-Z/ 入力遮断 ^{(*)5}	Hi-Z/ 入力遮断	Hi-Z/ 入力可																												
115	P130/SCK0	P130			SCK0	K																																																									
121	P136/DTTI0/MONCLK	P136	DTTI0	MONCLK		D																																																									
122	P137/DTTI1	P137	DTTI1			D																																																									
124	P131/ADTG0	P131	ADTG0			D																																																									
125	P132/ADTG1/SCS1	P132	ADTG1		SCS1	D																																																									
126	P133/ADTG2/TX2	P133	ADTG2	TX2		D																																																									
127	P134/INT7/INT7/STOPWT/RX2	P134	IN7/INT7/STOPWT/RX2			E																																																									
118	X0		-	-	-	A	-	-	-	制御なし	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-																											
119	X1		-	-	-	A																																																									
95	NMIX		-	-	-	B	CS	L	U																																																						
123	RSTX		-	-	-	B	CS	L	U																																																						
110	DEBUGIF		-	-	-	L	TTL	-	-		Hi-Z/ 入力可	入力可	入力無効 ^{(*)9}	入力無効 ^{(*)9}	入力可 ^{(*)10}	入力無効 ^{(*)9}	入力可 ^{(*)10}	入力無効 ^{(*)9}	入力可 ^{(*)10}	入力無効 ^{(*)9}	入力可 ^{(*)10}	入力無効 ^{(*)9}	入力無効 ^{(*)9}																																								
116	MD0		-	-	-	C	CS	-	-		入力可	入力可			入力可	入力可																																															
117	MD1		-	-	-	C	CS	-	-		入力可	入力可			入力可	入力可																																															

(*1) パワーオンリセット, 低電圧検出 (内部電源低電圧検出), NMIX+RSTX が要因となります。

(*2) 低電圧検出 (外部電源低電圧検出), 外部リセットが要因となります。

(*4) ソフトウェアリセット, ソフト/ハードウェア・ウォッチ・ドッグリセットが要因となります。(タイムアウト時も含む)

(*5) 外部割込みが有効なときは, 下記端子の入力遮断は無効となります。

P000, P003, P072, P075, P096, P111, P126, P134

(*7) 周辺機能によっては, 動作を継続します。

(*9) エミュレーションモード時は, 入力可, フリーランモード時は, 入力不可となります。

(*10) INIT レベルのリセットが発行されたときのみ入力可, それ以外だと入力無効となります。

(*13) シャットダウンの復帰後は, リセット内部要因状態になります。ただし, I/O ラッチ制御をソフト処理制御にした場合は, レジスタで解除するまでは, スタンバイの状態を保持します。

付録 E. CPU 状態における端子状態 (MB91F585LB/F586LB/F587LB/F585LD/F586LD/F587LD)

表 E-1 端子状態表 (1 / 5)

端子番号	端子名	ポート番号	指定機能名 (外バス端子機能は省略しています)			端子属性		状態											
			入力	出力	入出力	入出力回路形式	Input Level	Active Level	PullUp/Down	GPORTEN制御									
										外部要因発生中	外部要因発生後	外部要因発生中	外部要因発生後	外部要因発生中	外部要因発生後	外部要因発生中	外部要因発生後	外部要因発生中	外部要因発生後
										内部リセット発中 内部リセット発中～ 解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発中 内部リセット発中～ 解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発中 内部リセット発中～ 解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発中 内部リセット発中～ 解除後 (発振安定待ち中)	内部リセット解除後	内部リセット発中 内部リセット発中～ 解除後 (発振安定待ち中)	内部リセット解除後
131	P000/D16/ SIN1/INT2	P000	SIN1/INT2			E													
132	P001/D17/ SOT1	P001		SOT1	SOT1	K													
133	P002/D18/ SCK1	P002			SCK1	K													
134	P003/D19/ SIN2/INT3/ TXENA	P003	SIN2/INT3	TXENA		O													
135	P004/D20/ SOT2/ TXDA	P004		SOT2/ TXDA		N													
136	P005/D21/ SCK2/ RXDA	P005	RXDA		SCK2	N													
137	P006/D22/ TXENB/ SCS2	P006		TXENB	SCS2	N													
138	P007/D23/ TXDB	P007		TXDB		N													
139	P010/D24/ RXDB	P010	RXDB			N													
140	P011/D25/ TIOA0	P011		TIOA0		D													
141	P012/D26/ TIOB0	P012	TIOB0			D													
142	P013/D27/ TIOA1	P013			TIOA1	D													
143	P014/D28/ TIOB1	P014	TIOB1			D													
2	P015/D29/ TRG0	P015	TRG0			D													
3	P016/D30/ TRG1	P016	TRG1			D													
4	P017/D31/ TRG2	P017	TRG2			D													
5	P020/ASX/ TRG3/ SIN3_1	P020	TRG3/ SIN3_1			D													
6	P021/CSOX/ TRG4/ SOT3_1	P021	TRG4	SOT3_1	SOT3_1	K													
7	P022/CSIX/ TRG5/ SCK3_1	P022	TRG5		SCK3_1	K													
8	P023/RDX/ TIN0/ SCS3_1	P023	TIN0		SCS3_1	D													
9	P024/ WROX/ TIN1/ SIN4_1	P024	TIN1/ SIN4_1			D													

表 E-1 端子狀態表 (2 / 5)

[illegible]

表 E-1 端子狀態表 (3 / 5)

[illegible]

表 E-1 端子狀態表 (4 / 5)

[illegible]

表 E-1 端子状態表 (5 / 5)

端子番号		端子名		ポート番号		指定機能名 (外バス端子機能は省略しています)			端子属性			状態																	
						入力			出力			入出力			入出力回路形式														
</																													

(*1) パワーオンリセット, 低電圧検出 (内部電源低電圧検出), NMIX+RSTX が要因となります。

(*2) 低電圧検出 (外部電源低電圧検出) が要因となります。

(*3) 外部リセットが要因となります。

(*4) ソフトウェアリセット, ソフト/ハードウェア・ウォッチ・ドッグリセットが要因となります。(タイムアウト時も含む)

(*5) 外部割込みが有効なときは, 下記端子の入力遮断は無効となります。

P000, P003, P072, P075, P096, P111, P126, P134

(*7) 周辺機能によっては, 動作を継続します。

(*9) バスタイムアウトを待つため, 内部リセットが発行されるまでリセット要因発生前の動作を継続します。継続期間については『リセット章 RSTCR(リセット制御レジスタ)』をご参照ください。

(*10) エミュレーションモード時は, 入力可, フリーランモード時は, 入力不可となります。

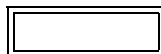
(*11) INIT レベルのリセットが発行されたときのみ入力可, それ以外だと入力無効となります。

(*14) シャットダウンの復帰後は, リセット内部要因状態になります。ただし, I/O ラッチ制御をソフト処理制御にした場合は, レジスタで解除するまでは, スタンバイの状態を保持します。

(*15) NMIX+RSTX 要因の場合, "Hi-Z/ 入力遮断" となります。

☐ 外部バス非同期モード

☒ 外部バス同期モード



外部バス非同期モードと外部バス同期モードで状態が異なる箇所

主な変更内容

ページ	場所	変更箇所
Revision 2.0		
-	-	Initial release



MN705-00007-2v0-J

Spansion • CONTROLLER MANUAL

32 ビット・マイクロコントローラ

FR ファミリ FR81S

MB91580L シリーズ

ハードウェアマニュアル

2014 年 5 月 Rev. 2.0

発行 **Spansion Inc.**

編集 マーケティングコミュニケーション部

免責事項

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途（ただし、用途の限定はありません）に使用されることを意図して設計・製造されています。(1) 極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御等をいう）、ならびに (2) 極めて高い信頼性が要求される用途（海底中継器、宇宙衛星等をいう）に使用されるよう設計・製造されたものではありません。上記の製品の使用方法によって惹起されたいかなる請求または損害についても、Spansion は、お客様または第三者、あるいはその両方に対して責任を一切負いません。半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様において、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。本資料に記載された製品が、外国為替及び外国貿易法、米国輸出管理関連法規などの規制に基づき規制されている製品または技術に該当する場合には、本製品の輸出に際して、同法に基づく許可が必要となります。

商標および注記

このドキュメントは、断りなく変更される場合があります。本資料には Spansion が開発中の Spansion 製品に関する情報が記載されている場合があります。Spansion は、それらの製品に対し、予告なしに仕様を変更したり、開発を中止したりする権利を有します。このドキュメントに含まれる情報は、現状のまま、保証なしに提供されるものであり、その正確性、完全性、実施可能性および特定の目的に対する適合性やその市場性および他者の権利を侵害しない事を保証するものでなく、また、明示、黙示または法定されているあらゆる保証をするものでもありません。Spansion は、このドキュメントに含まれる情報を使用することにより発生したいかなる損害に対しても責任を一切負いません。

Copyright © 2010-2014 Spansion LLC. All rights reserved.

商標: Spansion®, Spansion ロゴ (図形マーク), MirrorBit®, MirrorBit® Eclipse™, ORNAND™ 及びこれらの組合せは、米国・日本ほか諸外国における Spansion LLC の商標です。第三者の社名・製品名等の記載はここでは情報提供を目的として表記したものであり、各権利者の商標もしくは登録商標となっている場合があります。