



---

本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」または「Spansion」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

#### 商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

#### オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

#### 詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

#### サイプレスについて

サイプレス (銘柄コード：CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM<sup>TM</sup>、SRAM、Traveo<sup>TM</sup> マイクロコントローラー、業界唯一の PSoC<sup>®</sup> プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense<sup>®</sup> 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth<sup>®</sup> Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

# MB91570 シリーズ

32 ビット・マイクロコントローラ  
FR ファミリ FR81S

*Hardware Manual (追補資料)*



Spansion (スパンション)のマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。  
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

<http://www.spansion.com/jp/support/microcontrollers/>

## はじめに

### 本書の目的

本資料は MB91570 シリーズハードウェアマニュアルに関して追補する資料です。

MB91570 シリーズハードウェアマニュアルをご利用の際は、必ず本書も合わせて参照してください。

### 対象ドキュメント

名称 : MB91570 シリーズ  
32 ビット・マイクロコントローラ  
FR ファミリ FR81S  
ハードウェアマニュアル

コード : MN705-00011-3v1-J

## 主な変更内容

ページ	場所	変更内容
Original document code: MN705-00011-3v1-J		
594	18.4.1	<p>「18.4.1 ウォッチドッグタイマ 0 制御レジスタ: WDTCR0」、の記述を訂正。</p> <p>(誤) ウォッチドッグ制御レジスタ 0 (WDTCR0)のビット構成について説明します。</p> <p>(正) ウォッチドッグ 0 制御レジスタ (WDTCR0)のビット構成について説明します。 Appendix 1 を参照してください。</p>
690, 691	19.5.7.1	<p>「19.5.7.1 概要」、■測定モードの図 19.5-26 測定モードと測定内容の参照先を削除。</p> <p>(誤) 参照先の欄が空白</p> <p>(正) 参照先の欄を削除 Appendix 2 を参照してください。</p>
701	20.2	<p>「20.2. 特長」、の記述を訂正</p> <p>(誤) ⑨カスケードモード ch.0 出力を ch.1 入力、ch.1 出力を ch.2 入力、ch.2 出力を ch.3 入力に使用 ch.4 出力を ch.5 入力、ch.5 出力を ch.6 入力に使用</p> <p>(正) ・カスケードモード ch.0 出力を ch.1 入力、ch.1 出力を ch.2 入力、ch.2 出力を ch.3 入力に使用 ch.4 出力を ch.5 入力、ch.5 出力を ch.6 入力に使用 Appendix 3 を参照してください。</p>
1122	35.3	<p>「35.3 構成」、■LCD コントローラの構成図の図 3-1 構成図の記述を訂正</p> <p>(誤) (参照先のリンクは正しい) PFR,EPFR で端子機能切換え (「12 章 I/O ポート」参照)</p> <p>(正) PFR,EPFR で端子機能切換え (「11 章 I/O ポート」参照) Appendix 4 を参照してください。</p>

ページ	場所	変更内容																																
1297	39.5	「39.5 動作説明」、の記述を訂正  (誤) (参照先のリンクは正しい) 38.5.1     ECC 生成 39.5.2     ECC 検査  (正) 39.5.1     ECC 生成 39.5.2     ECC 検査  Appendix 5 を参照してください。																																
1317	40.4.	「40.4. レジスタ」、の記述を訂正  (誤) <table><tr><td rowspan="2">アドレス</td><td colspan="4">レジスタ</td><td rowspan="2">レジスタ機能</td></tr><tr><td>+1</td><td>+2</td><td>+3</td><td>+4</td></tr><tr><td>0x04E8</td><td colspan="4">予約予約</td><td></td></tr></table> (正) <table><tr><td rowspan="2">アドレス</td><td colspan="4">レジスタ</td><td rowspan="2">レジスタ機能</td></tr><tr><td>+1</td><td>+2</td><td>+3</td><td>+4</td></tr><tr><td>0x04E8</td><td colspan="4">予約</td><td></td></tr></table> Appendix 6 を参照してください。	アドレス	レジスタ				レジスタ機能	+1	+2	+3	+4	0x04E8	予約予約					アドレス	レジスタ				レジスタ機能	+1	+2	+3	+4	0x04E8	予約				
アドレス	レジスタ				レジスタ機能																													
	+1	+2	+3	+4																														
0x04E8	予約予約																																	
アドレス	レジスタ				レジスタ機能																													
	+1	+2	+3	+4																														
0x04E8	予約																																	
1329	40.4.1.3	「40.4.1.3 FIFO 制御レジスタ」、の記述を訂正  (誤) ③ モード 1, 2, 3 の場合 ● モード 4 の場合  (正) ① モード 1, 2, 3 の場合 ② モード 4 の場合  Appendix 7 を参照してください。																																
1579	41.4.1	「41.4.1 シリアルコントロールレジスタ (SCR)」、[bit3] AD:アドレス／データ形式選択ビットの注意事項を訂正  (誤) (参照先のリンクは正しい) ＜注意事項＞ マルチプロセッサモード(モード 1)以外のモードでの AD ビット読出し値は不定です。AD ビットの使用については、『41.8. <div></div> 使用上の注意事項』を参照してください。  (正) ＜注意事項＞ マルチプロセッサモード(モード 1)以外のモードでの AD ビット読出し値は不定です。AD ビットの使用については、『41.8. 使用上の注意事項』を参照してください。  Appendix 8 を参照してください。																																

ページ	場所	変更内容
1701	42	<p>「CHAPTER 42 : CAN」、の記述を訂正</p> <p>(誤)CAN について説明します (項目の記述がない)</p> <p>(正)CAN について説明します。</p> <ul style="list-style-type: none"> <li>1. 概要</li> <li>2. 特長</li> <li>3. 構成</li> <li>4. レジスタ</li> <li>5. 動作説明</li> </ul> <p style="text-align: right;">Appendix 9 を参照してください。</p>
1775	42.5.3.5	<p>「42.5.3.5 受信メッセージオブジェクトの設定」、の記述を訂正</p> <p>(誤) (参照先のリンクは正しい) Umask="1"のとき、IFx マスクレジスタ(Msk28-0, UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つデータフレームの受信を許可するために使用します。詳細は、「5.3 メッセージ受信動作」のデータフレーム受信を参照してください。</p> <p>(正) Umask="1"のとき、IFx マスクレジスタ(Msk28-0, UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つデータフレームの受信を許可するために使用します。詳細は、「42.5.3 メッセージ受信動作」のデータフレーム受信を参照してください。</p> <p style="text-align: right;">Appendix 10 を参照してください。</p>
1794	42.6	<p>「42.6 制限事項」、の記述を訂正</p> <p>(誤)CAN の制限事項について説明します。 (項目の記述がない)</p> <p>(正)CAN の制限事項について説明します。</p> <ul style="list-style-type: none"> <li>「6. 制限事項」</li> <li>「6.1. INIT ビット」</li> <li>「6.1.1. 制限事項」</li> <li>「6.1.2. 回避方法」</li> </ul> <p style="text-align: right;">Appendix 11 を参照してください。</p>

ページ	場所	変更内容
1832	44.6	<p>「44.6 設定」、表 44.6-1 A/D を使うために必要な設定-単発変換モードの設定方法欄を訂正</p> <p>(誤) (参照先のリンクは正しい)</p> <p>17.7.1 参照</p> <p>44.7.2 参照</p> <p>44.7.3 参照</p> <p>44.7.4 参照</p> <p>17.7.5 参照</p> <p>44.7.6 参照</p> <p>44.7.6 参照</p> <p>17.7.8 参照</p> <p>17.7.9 参照</p> <p>(正)</p> <p>44.7.1 参照</p> <p>44.7.2 参照</p> <p>44.7.3 参照</p> <p>44.7.4 参照</p> <p>44.7.5 参照</p> <p>44.7.6 参照</p> <p>44.7.6 参照</p> <p>44.7.8 参照</p> <p>44.7.9 参照</p> <p>Appendix 12 を参照してください。</p>
1833	44.6	<p>「44.6 設定」、表 44.6-2 A/D を使うために必要な設定-連続変換モードの設定方法欄を訂正</p> <p>(誤) (参照先のリンクは正しい)</p> <p>17.7.1 参照</p> <p>44.7.2 参照</p> <p>44.7.3 参照</p> <p>44.7.4 参照</p> <p>17.7.5 参照</p> <p>44.7.6 参照</p> <p>17.7.7 参照</p> <p>17.7.8 参照</p> <p>17.7.9 参照</p> <p>(正)</p> <p>44.7.1 参照</p> <p>44.7.2 参照</p> <p>44.7.3 参照</p> <p>44.7.4 参照</p> <p>44.7.5 参照</p> <p>44.7.6 参照</p> <p>44.7.7 参照</p> <p>44.7.8 参照</p> <p>44.7.9 参照</p> <p>Appendix 12 を参照してください。</p>

ページ	場所	変更内容
1833	44.6	<p>「44.6 設定」、表 44.6-4 A/D 割込みを行うために必要な項目の設定方法欄を訂正 (誤) (参照先のリンクは正しい)</p> <p>44.7.11 参照 17.7.12 参照 17.7.13 参照</p> <p>(正)</p> <p>44.7.11 参照 44.7.12 参照 44.7.13 参照</p> <p>Appendix 12 を参照してください。</p>
1834	44.7	<p>「44.7 Q&amp;A」の記述を訂正</p> <p>(誤) (参照先のリンクは正しい)</p> <p>17.7.1 周期とデューティの設定(書換え)方法は? 17.7.2. PPG 動作を許可/停止するには? 17.7.3. PPG の動作モード(PWM 動作/ワンショット動作)を設定するには? 17.7.4. 再起動させるには? 17.7.5. カウントクロックの種類と選択方法は? 17.7.6. PPG 端子出力のレベルを固定させるには? 17.7.7. 起動トリガの種類と選択方法は? 17.7.8. 出力極性を反転させるには? 17.7.9. 端子を PPG 出力端子にするには? 17.7.10. 起動トリガの発生方法は? 17.7.11. PPG 動作を停止するには? 17.7.12. 割込み関連レジスタは? 17.7.13. 割込みの種類と選択方法は?</p> <p>(正)</p> <p>44.7.1 変換モードの種類と設定方法は? 44.7.2 ビット長を指定するには? 44.7.3 チャンネルを選択するには? 44.7.4 変換時間を設定するには? 44.7.5 アナログ端子入力を有効にするには? 44.7.6 A/D コンバータの起動方法を選択するには? 44.7.7 A/D コンバータを起動するには? 44.7.8 変換終了を確認するには? 44.7.9 変換値を読み出すには? 44.7.10 A/D 変換動作を強制的に停止させるには? 44.7.11 割込み関連レジスタは? 44.7.12 割込みの種類は? 44.7.13 割込みを許可/禁止/クリアするには?</p> <p>Appendix 13 を参照してください。</p>



ページ	場所	変更内容								
1850	44.7.13	<p>「44.7.13 割込みを許可/禁止/クリアするには?」の記述を訂正</p> <p>(誤) (参照先のリンクは正しい)</p> <table><tr><td>動作</td><td>割込要求フラグ(INT)</td></tr><tr><td>割込み要求をクリアするには</td><td>"0"を書き込む (「17.7.7. 起動トリガの種類と選択方法は?」参照)</td></tr></table> <p>(正)</p> <table><tr><td>動作</td><td>割込要求フラグ(INT)</td></tr><tr><td>割込み要求をクリアするには</td><td>"0"を書き込む (「44.4.2 A/D 制御ステータスレジスタ (上位)」参照)</td></tr></table> <p>Appendix 14 を参照してください。</p>	動作	割込要求フラグ(INT)	割込み要求をクリアするには	"0"を書き込む (「17.7.7. 起動トリガの種類と選択方法は?」参照)	動作	割込要求フラグ(INT)	割込み要求をクリアするには	"0"を書き込む (「44.4.2 A/D 制御ステータスレジスタ (上位)」参照)
動作	割込要求フラグ(INT)									
割込み要求をクリアするには	"0"を書き込む (「17.7.7. 起動トリガの種類と選択方法は?」参照)									
動作	割込要求フラグ(INT)									
割込み要求をクリアするには	"0"を書き込む (「44.4.2 A/D 制御ステータスレジスタ (上位)」参照)									
1864	45.3.2	<p>「45.3.2 セクタ構成図」、図 3-3 セクタ構成図 (512KB+64KB) の図番を訂正</p> <p>(誤) 図 3-3</p> <p>(正) 図 45.3-3</p> <p>Appendix 15 を参照してください。</p>								
1880	45.5	<p>「45.5 動作説明」の記述を訂正</p> <p>(誤) (参照先のリンクは正しい)</p> <p>4.5.1. MD0, MD1, MD2, P127 端子の設定</p> <p>45.5.2 CPU によるフラッシュメモリ書込み</p> <p>4.5.3. 各モードの説明</p> <p>45.5.4. リセットコマンド</p> <p>45.5.5. 書込みコマンド</p> <p>45.5.6. チップ消去コマンド</p> <p>45.5.7. セクタ消去コマンド</p> <p>45.5.8. セクタ消去一時停止コマンド</p> <p>45.5.9. セキュリティ機能</p> <p>45.5.10. フラッシュメモリの使用上の注意</p> <p>(正)</p> <p>45.5.1 アクセスモード設定</p> <p>45.5.2 CPU によるフラッシュメモリ書込み</p> <p>45.5.3 自動アルゴリズム</p> <p>45.5.4. リセットコマンド</p> <p>45.5.5. 書込みコマンド</p> <p>45.5.6. チップ消去コマンド</p> <p>45.5.7. セクタ消去コマンド</p> <p>45.5.8. セクタ消去一時停止コマンド</p> <p>45.5.9. セキュリティ機能</p> <p>45.5.10. フラッシュメモリの使用上の注意</p> <p>Appendix 16 を参照してください。</p>								

ページ	場所	変更内容				
1939	46.5.6	<p>「46.5.6 チップ消去コマンド」、＜注意事項＞の記述を訂正</p> <p>(誤) (参照先のリンクは正しい)</p> <ul style="list-style-type: none"><li>・ セキュリティ ON 時には、フラッシュの消去には手順に制限があります。詳細は「45.5.9.3 フラッシュセキュリティ解除方法」を参照してください。</li></ul> <p>(正)</p> <ul style="list-style-type: none"><li>・ セキュリティ ON 時には、フラッシュの消去には手順に制限があります。詳細は「46.5.9.3 フラッシュセキュリティ解除方法」を参照してください。</li></ul> <p>Appendix 17 を参照してください。</p>				
1945	46.5.9.2	<p>「46.5.9.2 フラッシュセキュリティ設定方法」 の記述を訂正</p> <p>(誤) (参照先のリンクは正しい)</p> <p>フラッシュセキュリティコード領域(『フラッシュメモリ』の章の『図 46.3-2 セクタ構成図』を参照してください)</p> <p>(正)</p> <p>フラッシュセキュリティコード領域(『フラッシュメモリ』の章の『図 45.3-2, 3-3 セクタ構成図』を参照してください)</p> <p>Appendix 18 を参照してください。</p>				
1947	46.5.9.4	<p>「46.5.9.4 セキュリティ ON 時のフラッシュアクセス制限」、表 46.5-3 セキュリティ ON 時のアクセス制限 の記述を訂正</p> <p>(誤) (参照先のリンクは正しい)</p> <table border="1"><tr><td>上記以外 (ライターなど)</td><td>フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「45.5.9.3 フラッシュセキュリティ解除方法」を参照してください。</td></tr></table> <p>(正)</p> <table border="1"><tr><td>上記以外 (ライターなど)</td><td>フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「46.5.9.3 フラッシュセキュリティ解除方法」を参照してください。</td></tr></table> <p>Appendix 19 を参照してください。</p>	上記以外 (ライターなど)	フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「45.5.9.3 フラッシュセキュリティ解除方法」を参照してください。	上記以外 (ライターなど)	フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「46.5.9.3 フラッシュセキュリティ解除方法」を参照してください。
上記以外 (ライターなど)	フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「45.5.9.3 フラッシュセキュリティ解除方法」を参照してください。					
上記以外 (ライターなど)	フラッシュメモリに対するアクセスを制限します。 読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「46.5.9.3 フラッシュセキュリティ解除方法」を参照してください。					
2090	48.5.4	<p>「48.5.4 本シリーズの OCD-DSU ID コードおよび実装タイプ情報」 表 48.5-1 本シリーズの OCD-DSU ID コード のメーカ ID の備考の記述を訂正</p> <p>(誤) 富士通コード</p> <p>(正) 空白</p> <p>Appendix 20 を参照してください。</p>				

ページ	場所	変更内容
2092, 2093, 2094, 2095, 2130, 2133	49	<p>49 章の図番を訂正</p> <p>(誤)</p> <p>図 A-1 メモリマップ MB91F577</p> <p>図 A-2 メモリマップ MB91F575</p> <p>図 B-1 I/O マップの見方</p> <p>表 B-1 : I/O マップ(MB91F575/577)</p> <p>表 C-1 割込みベクタ</p> <p>表 D-1 端子状態表</p> <p>(正)</p> <p>図 49.1-1 メモリマップ MB91F577</p> <p>図 49.1-2 メモリマップ MB91F575</p> <p>図 49.2 I/O マップの見方</p> <p>表 49.2-1 : I/O マップ(MB91F575/577)</p> <p>表 49.3-1 割込みベクタ</p> <p>表 49.4-1 端子状態表</p> <p>Appendix 21, 22, 23, 24 を参照してください。</p>

# Appendix

- Appendix 1:  
18.4.1 ウォッチドッグタイマ 0 制御レジスタ
- Appendix 2:  
19.5.7.1 概要 ■測定モード 図 19.5-26
- Appendix 3:  
20.2 特長
- Appendix 4:  
35.3 構成 ■LCD コントローラの構成図 図 3-1
- Appendix 5:  
39.5 動作説明
- Appendix 6:  
40.4 レジスタ ■レジスタマップ アドレス 0x04E8
- Appendix 7:  
40.4.1.3 FIFO 制御レジスタ 0 ■FCR0 [bit0] FE1
- Appendix 8:  
41.4.1 シリアルコントロールレジスタ ■SCR (P1579)
- Appendix 9:  
42 CHAPTER 42: CAN
- Appendix 10:  
42.5.3.5 受信メッセージオブジェクトの設定
- Appendix 11:  
42.6 制限事項
- Appendix 12:  
44.6 設定 表 44.6-1, 表 44.6-2, 表 44.6-4
- Appendix 13:  
44.7 Q&A
- Appendix 14:  
44.7.13 割込みを許可/禁止/クリアするには?
- Appendix 15:  
45.3.2 セクタ構成図 図 45.3-3
- Appendix 16:  
45.5 動作説明
- Appendix 17:  
46.5.6 チップ消去コマンド
- Appendix 18:  
46.5.9.2 フラッシュセキュリティ設定方法
- Appendix 19:  
46.5.9.4 セキュリティ ON 時のフラッシュアクセス制限 表 46.5-3

## Appendix 20:

48.5.4 本シリーズの OCD-DSU ID コードおよび実装タイプ情報 表 48.5-1

## Appendix 21:

49.1 メモリマップ 図 49.1-1, 図 49.1-2

## Appendix 22:

49.2 I/O マップ 図 49-2, 表 49.2-1

## Appendix 23:

49.3 割込みベクター一覧 表 49.3-1

## Appendix 24:

49.4 CPU 状態における端子状態 表 49.4-1

## ■ Appendix 1

### 18.4.1 ウォッチドッグタイマ 0 制御レジスタ : WDTCR0 (WatchDog Timer Control Register 0)

ウォッチドッグ 0 制御レジスタ (WDTCR0)のビット構成について説明します。

ウォッチドッグタイマ 0 の各種設定を行います。

ウォッチドッグタイマ 0 起動後の本レジスタへの書込みは無効です。

#### ■ WDTCR0 : アドレス 003C<sub>H</sub> (アクセス: バイト, ハーフワード, ワード)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	予約	RSTP	予約	WT[3:0]				
初期値	0	0	0	0	0	0	0	0
属性	R0,W0	R/W	R0,W0	R0,W0	R/W	R/W	R/W	R/W

##### [bit7] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

##### [bit6] RSTP (Reset by SToP) : ストップモード検出リセット許可

ウォッチドッグタイマ 0 動作時、時計モードまたはストップモード遷移を検出したときに、リセットを発生するかどうかを設定します。許可した場合、時計モードまたはストップモードへ遷移するとウォッチドッグリセット 0 が発生します。許可していない場合、時計モードまたはストップモードへ遷移するとウォッチドッグタイマ 0 は一時停止し、時計モードまたはストップモードから復帰する迄カウントを行いません。

RSTP	ストップモード検出
0	検出しない(初期値)
1	検出してリセットを発生する

ウォッチドッグタイマ 0 起動後の本ビットへの書込みは無効です。

##### [bit5,bit4] 予約

このビットは、常に"0"を書き込んでください。読出し値は"0"です。

## ■ Appendix 2

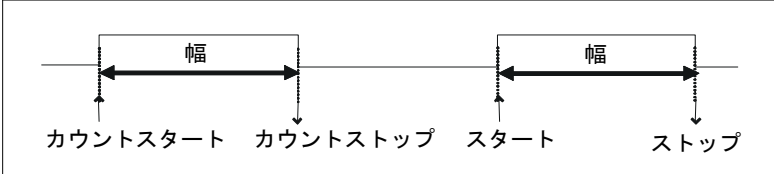
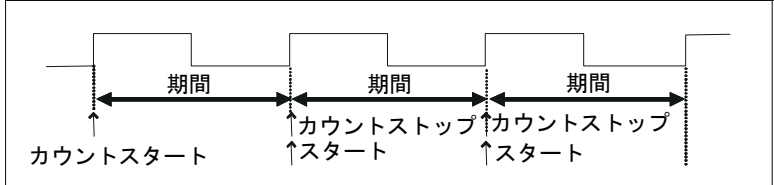
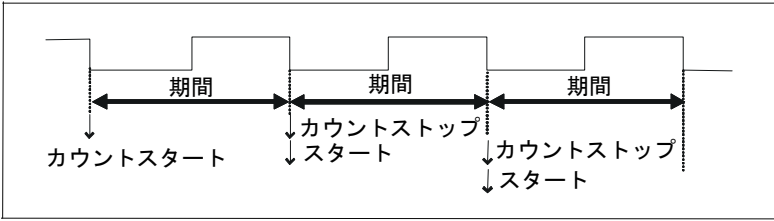
### ＜注意事項＞

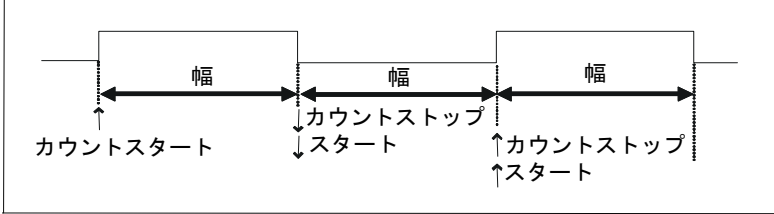
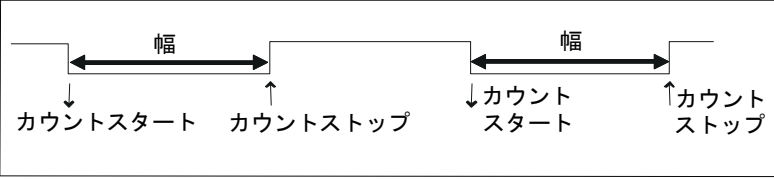
連続測定モードの場合、データバッファレジスタ(BTxDTBF)から測定結果を読み出す前に次の測定が終了すると、データバッファレジスタ(BTxDTBF)に保持されている値が新しい値に上書きされ、古い値は破棄されます。このとき、ステータス制御レジスタ(BTxSTC)の ERR ビットが"1"に変わります。ベースタイマ x データバッファレジスタ(BTxDTBF)を読み出すと ERR ビットを"0"にクリアできます。

## ■ 測定モード

タイマ制御レジスタ (BTxTMCR)の EGS2～EGS0 ビットで次の 5 種類から選択します。

図 19.5-26 測定モードと測定内容

測定モード (EGS2～EGS0)	測定内容
H パルス幅測定 (EGS[2:0]=000)	<p>"H"レベルの信号が入力されている期間の幅を測定します。</p>  <p>カウント(測定)開始: 立上りエッジ検出時            カウント(測定)終了: 立下りエッジ検出時</p>
立上りエッジ間周期測定 (EGS[2:0]=001)	<p>立上りエッジを検出してから、次の立上りエッジを検出するまでの周期を測定します。</p>  <p>カウント(測定)開始: 立上りエッジ検出時            カウント(測定)終了: 立上りエッジ検出時</p>
立下りエッジ間周期測定 (EGS[2:0]=010)	<p>立下りエッジを検出してから、次の立下りエッジを検出するまでの周期を測定します。</p>  <p>カウント(測定)開始: 立下りエッジ検出時            カウント(測定)終了: 立下りエッジ検出時</p>

測定モード (EGS2~EGS0)	測定内容
全エッジ間パルス幅測定 (EGS[2:0]=011)	<p>連続して入力されるエッジ間の幅を測定します。</p> <ul style="list-style-type: none"> <li>・ 立上りエッジ検出から、立下りエッジ検出まで</li> <li>・ 立下りエッジ検出から、立上りエッジ検出まで</li> </ul>  <p>カウント(測定)開始: エッジ検出時            カウント(測定)終了: エッジ検出時</p>
L パルス幅周期測定 (EGS[2:0]=100)	<p>"L"レベルの信号が入力されている期間の幅を測定します。</p>  <p>カウント(測定)開始: 立下りエッジ検出時            カウント(測定)終了: 立上りエッジ検出時</p>



## ■ Appendix 3

### 20.2 特長

リロードタイマの特長について説明します。

本シリーズは7チャンネルのリロードタイマを搭載しています。各チャンネルは以下により構成されています。

・ 16 ビットダウンカウンタ	×1
・ 16 ビットリロードレジスタ	×1
・ 16 ビットリロード / コンペア / キャプチャレジスタ	×1
・ 上記 バッファ	×1
・ 内部カウントクロック作成用 6 ビットプリスケアラ	×1
・ 外部トリガ/イベント入力(TTRG)	×1
・ 外部トグル出力(TOUT)	×1
・ コントロールレジスタ	×1
・ カウント比較器	×1

本タイマは以下のインターバルタイマモード/イベントカウンタモードをもち、レジスタを設定することにより、以下の用途・機能で 사용할 ことができます。

- ・ インターバルタイマモード
  - ① シングルワンショット動作                    => シングルショットタイマ
  - ② デュアルワンショット動作
  - ③ シングルリロード動作                        => リロードタイマ
  - ④ デュアルリロード動作                        => PPG(Programmable Pulse Generator)
  - ⑤ コンペアモード                                => アウトプットコンペア、PWM(Pulse Width Modulator)
  - ⑥ キャプチャモード(外部トリガ入力/ソフトウェアトリガ使用)                        => PWC(Pulse Width Counter)
  - ⑦ アンダフロー割込み / キャプチャ割込み
  - ⑧ 内部クロック 6 種類(周辺クロック(PCLK)の 2/4/8/16/32/64 分周)
  - ⑨ 外部トリガ入力(立上りエッジ / 立下りエッジ / 両エッジ)
  - ⑩ 外部ゲート入力
- ・ イベントカウンタモード
  - ⑪ シングルワンショット動作
  - ⑫ デュアルワンショット動作
  - ⑬ シングルリロード動作
  - ⑭ デュアルリロード動作
  - ⑮ コンペアモード
  - ⑯ キャプチャモード(ソフトウェアトリガのみ)
  - ⑰ アンダフロー割込み / キャプチャ割込み / コンペア割込み
  - ⑱ 外部イベント入力エッジ検出(立上りエッジ検出 / 立下りエッジ検出 / 両エッジ検出)
- ・ カスケードモード
  - ch.0 出力を ch.1 入力, ch.1 出力を ch.2 入力, ch.2 出力を ch.3 入力に使用
  - ch.4 出力を ch.5 入力, ch.5 出力を ch.6 入力に使用

## ■ Appendix 4

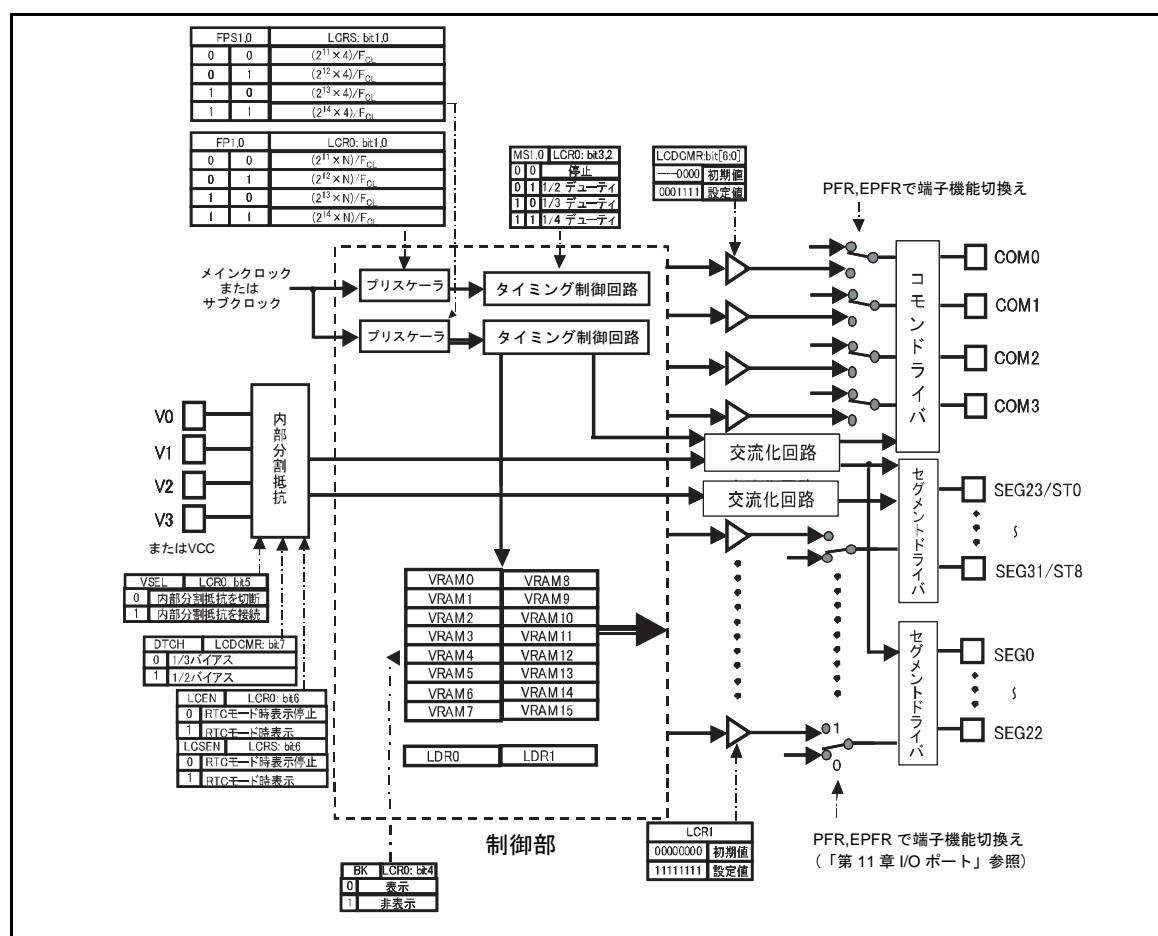
### 35.3 構成

LCD コントローラの構成を示します。

#### ■ LCD コントローラの構成図

LCD コントローラの構成図を、図 3-1 に示します。

図 3-1 構成図



## ■ Appendix 5

### 39.5 動作説明

---

RAMECC の動作について説明します。

---

- 39.5.1. ECC 生成
- 39.5.2. ECC 検査
- 39.5.3. エラー検出による割込み
- 39.5.4. 試験機能

## ■ Appendix 6

アドレス	レジスタ				レジスタ機能
	+0	+1	+2	+3	
0x00CC	【共通】 FCR11	【共通】 FCR01	【共通】 FBYTE1		---ch.1--- 【共通】 FIFO 制御レジスタ 1 【共通】 FIFO 制御レジスタ 0 【共通】 FIFO バイトレジスタ
0x04E0	【UART】 SCR8 【CSIO】 SCR8 【LIN-UA RT】 SCR8	【共通】 SMR8	【UART】 SSR8 【CSIO】 SSR8 【LIN-UA RT】 SSR8	【UART】 ESCR8 【CSIO】 ESCR8 【LIN-UA RT】 ESCR8	---ch.8--- 【UART】 シリアル制御レジスタ 【CSIO】 シリアル制御レジスタ 【LIN-UART】 シリアル制御レジスタ 【共通】 シリアルモードレジスタ 【UART】 シリアルステータスレジスタ 【CSIO】 シリアルステータスレジスタ 【LIN-UART】 シリアルステータスレジスタ 【UART】 拡張通信制御レジスタ 【CSIO】 拡張通信制御レジスタ 【LIN-UART】 拡張通信制御レジスタ
0x04E4	【UART】 RDR8/TDR8 【CSIO】 RDR8/TDR8 【LIN-UART】 RDR8/TDR8 【I <sup>2</sup> C】 RDR8/TDR8		【UART】 BGR8 【CSIO】 BGR8 【LIN-UART】 BGR8 【I <sup>2</sup> C】 BGR8		---ch.8--- 【UART】 送受信データレジスタ 【CSIO】 送受信データレジスタ 【LIN-UART】 送受信データレジスタ 【UART】 ボーレートジェネレータレジスタ 【CSIO】 ボーレートジェネレータレジスタ 【LIN-UART】 ボーレートジェネレータレジスタ
0x04E8	予約				
0x04EC	【共通】 FCR18	【共通】 FCR08	【共通】 FBYTE8		---ch.8--- 【共通】 FIFO 制御レジスタ 1 【共通】 FIFO 制御レジスタ 0 【共通】 FIFO バイトレジスタ
0x04F0	【UART】 SCR9 【CSIO】 SCR9 【LIN-UA RT】 SCR9	【共通】 SMR9	【UART】 SSR9 【CSIO】 SSR9 【LIN-UAR T】 SSR9	【UART】 ESCR9 【CSIO】 ESCR9 【LIN-UA RT】 ESCR9	---ch.9--- 【UART】 シリアル制御レジスタ 【CSIO】 シリアル制御レジスタ 【LIN-UART】 シリアル制御レジスタ 【共通】 シリアルモードレジスタ 【UART】 シリアルステータスレジスタ 【CSIO】 シリアルステータスレジスタ 【LIN-UART】 シリアルステータスレジスタ 【UART】 拡張通信制御レジスタ 【CSIO】 拡張通信制御レジスタ 【LIN-UART】 拡張通信制御レジスタ
0x04F4	【UART】 RDR9/TDR9 【CSIO】 RDR9/TDR9 【LIN-UART】 RDR9/TDR9		【UART】 BGR9 【CSIO】 BGR9 【LIN-UART】 BGR9		---ch.9--- 【UART】 送受信データレジスタ 【CSIO】 送受信データレジスタ 【LIN-UART】 送受信データレジスタ 【UART】 ボーレートジェネレータレジスタ 【CSIO】 ボーレートジェネレータレジスタ 【LIN-UART】 ボーレートジェネレータレジスタ
0x04F8	予約				

## ■ Appendix 7

### [bit0] FE1 (FIFO Enable 1) : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

#### ① モード 1, 2, 3 の場合

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FIFO1 を送信 FIFO に設定し(FCR1:FSEL=0)、本ビットに"1"を書き込んだときに FIFO1 にデータが存在し、送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと SCR:TBIE ビットを"1"にしてください。
- FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは"0"にクリアされ受信エラーがクリアされない限り本ビットに"1"を設定することはできません。
- 送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)、受信 FIFO で使用する場合には受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"または"0"を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

#### ② モード 4 の場合

- FIFO1 を使用する場合、本ビットに"1"を設定してください。
- FCR1:FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後に本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"を設定することはできません。
- FIFO1 を送信 FIFO で使用する場合には送信データがエンプティ(SSR:TDRE= "1" )のときに本ビットに "1" または "0" を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、I<sup>2</sup>C インタフェースを禁止(ISMK:EN=0)、動作フラグ(IBCRA:ACT)が"0"または割込みフラグ(IBCRA:INT)が"1"で受信バッファがエンプティ (SSR:RDRF= "0") および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットにまたは "0" を設定してください。
- FIFO1 を受信 FIFO で使用する場合には、I<sup>2</sup>C インタフェースを禁止(ISMK:EN=0)または動作フラグ(IBCRA:ACT)が"0" または割込みフラグ(IBCRA:INT)が"1"で受信バッファがエンプティ (SSR:RDRF= "0") のときに本ビットにまたは "1" を設定してください。
- FIFO1 を禁止にしても FIFO1 の状態は保持されます。

### <注意事項>

- IBSR:BB ビットが"0"またはIBCRA:INT ビットが"1"のときに許可/禁止の変更を行ってください。
- 受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを"0"にし、IBCRA:ACKE="0"にしてください。
- 受信 FIFO として使用していて本ビットを"1"から"0"に変更したときに SSR の RDRF ビットが"1"になっていると"0"になるまで受信 FIFO は禁止になりません。
- 送信 FIFO として使用していて FIFO1 にデータが存在し、本ビットを"0"から"1"に変更する場合、SMR:TIE ビットを"0"にしてから本ビットに"1"を書込み、SMR:TIE ビットを"1"にしてください。

## ■ Appendix 8

[bit4] CL: データ長選択ビット

CL	データ長選択
0	7 ビット [初期値]
1	8 ビット

送信／受信データ長を指定します。モード 2 およびモード 3 では"1"に固定されます。

[bit3] AD: アドレス／データ形式選択ビット

AD	アドレス／データ形式選択
0	データフレーム [初期値]
1	アドレスフレーム

マルチプロセッサモード(モード 1)でのデータ形式を指定します。読出しは、最後に受信したデータ形式の値になります。

### <注意事項>

マルチプロセッサモード(モード 1)以外のモードでの AD ビット読出し値は不定です。AD ビットの使用については、『41.8. 使用上の注意事項』を参照してください。

[bit2] CRE: 受信エラーフラグクリアビット

CRE	受信エラークリア	
	書込み	読出し
0	影響なし [初期値]	読出し値は常に"0"
1	すべての受信エラー(PE, FRE, ORE)をクリア	

シリアルステータスレジスタ(SSR)の PE, FRE, ORE フラグがクリアされます。

### <注意事項>

受信動作禁止(RXE=0)後に受信エラーフラグをクリアしてください。

[bit1] RXE: 受信許可ビット

RXE	受信許可
0	受信禁止 [初期値]
1	受信許可

LIN-UART の受信動作を許可または禁止します。"0"に設定されている場合は、データフレーム受信は禁止されます。モード 3 の LIN synch break 検出は影響されません。

**■ Appendix 9****CHAPTER 42 : CAN**

---

CAN について説明します。

---

1. 概要
2. 特長
3. 構成
4. レジスタ
5. 動作説明

管理コード : FC42FC28-1v0-91570-1-J

## ■ Appendix 10

### 42.5.3.5 受信メッセージオブジェクトの設定

受信メッセージオブジェクトの設定について示します。

以下に受信メッセージオブジェクトの初期化方法を示します。

表 42.5-2 受信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	0	0	0	appl.	0	0	0	0

IFx アービトレーションレジスタ(ID28-0, Xtd ビット)は、アプリケーションによって与えられ、受容フィルタに用いられる受信メッセージ ID とメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID28～ID18 を使用し、ID17～ID0 は無効となります。また、標準フレームが受信されると、ID17～ID0 は"0"にリセットされます。拡張フレーム(29 ビット ID)を設定した場合は、ID28～ID0 を使用します。

RxIE ビットが"1"にセットされた場合、受信データフレームがメッセージオブジェクトへ格納されると IntPnd ビットが"1"にセットされます。

データ長コード(DLC3-0)は、アプリケーションによって与えられます。CAN コントローラが、受信データフレームをメッセージオブジェクトへ格納するとき、受信データ長コードと 8 バイトのデータを格納します。データ長コードが 8 未満の場合は、メッセージオブジェクトの残りのデータは不定データが書き込まれます。

Umask="1"のとき、IFx マスクレジスタ(Msk28-0, UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つデータフレームの受信を許可するために使用します。詳細は、「42.5.3 メッセージ受信動作」のデータフレーム受信を参照してください。

#### <注意事項>

IFx マスクレジスタの Dir ビットのマスク設定は禁止です。



## ■ Appendix 11

### 42.6 制限事項

---

CAN の制限事項について説明します。

---

- 6. 制限事項
  - 6.1 INIT ビット
    - 6.1.1 制限事項
    - 6.1.2 回避方法

## ■ Appendix 12

### 44.6 設定

A/D コンバータの設定について説明します。

表 44.6-1 A/D を使うために必要な設定-単発変換モード

設定	設定レジスタ	設定方法
モード選択 (単発変換)	A/D 制御 (ADCS0)	44.7.1 参照
ビット長選択		44.7.2 参照
チャンネルの選択		44.7.3 参照
変換時間の設定	変換時間設定 (ADCT)	44.7.4 参照
AN 端子を入力に設定	アナログ入力許可 (ADER) 拡張アナログ入力許可(EADERLL)	44.7.5 参照
A/D 起動トリガ選択	A/D 制御 (ADCS1)	44.7.6 参照
A/D 起動トリガ発生 ソフトトリガ → ソフトトリガビットの設定		44.7.6 参照
リロードタイマ → リロードタイマ立上り出力		
外部トリガ → ADTG 端子にトリガを入力		
変換終了フラグ確認	A/D 制御 (ADCS1)	44.7.8 参照
変換値読出し	データレジスタ (ADCR0, ADCR1)	44.7.9 参照

表 44.6-2 A/D を使うために必要な設定-連続変換モード

設定	設定レジスタ	設定方法
モード選択 (連続変換)	A/D 制御 (ADCS0, ADCS1)	44.7.1 参照
ビット長選択		44.7.2 参照
開始チャネルの選択		44.7.3 参照
変換時間の設定	変換時間設定 (ADCT)	44.7.4 参照
AN 端子を入力に設定	アナログ入力許可 (ADER) 拡張アナログ入力許可(EADERLL)	44.7.5 参照
A/D 起動トリガ選択	A/D 制御 (ADCS1)	44.7.6 参照
A/D 起動トリガ発生 ソフトトリガ → ソフトトリガビットの設定		44.7.7 参照
リロードタイマ → リロードタイマ立上り出力		
外部トリガ → ADTG 端子にトリガを入力	外部より入力	
変換終了フラグ確認	A/D 制御 (ADCS1)	44.7.8 参照
変換値読出し	データレジスタ (ADCR0, ADCR1)	44.7.9 参照

表 44.6-3 A/D 動作の強制停止

設定	設定レジスタ	設定方法
強制停止	A/D 制御 (ADCS1)	44.7.10 参照

表 44.6-4 A/D 割込みを行うために必要な項目

設定	設定レジスタ	設定方法
A/D 割込みベクタ, A/D 割込みレベルの設定	『割込み制御(割込みコントローラ)』の章を参照してください。	
A/D 割込み要因選択 (A/D 変換終了)	A/D 制御レジスタ (ADCS1)	44.7.12 参照
A/D 割込み設定 割込み要求のクリア 割込み要求の許可		44.7.13 参照

## ■ Appendix 13

### 44.7 Q&A

---

A/D コンバータの Q&A について説明します。

---

- |         |                        |
|---------|------------------------|
| 44.7.1  | 変換モードの種類と設定方法は?        |
| 44.7.2  | ビット長を指定するには?           |
| 44.7.3  | チャンネルを選択するには?          |
| 44.7.4  | 変換時間を設定するには?           |
| 44.7.5  | アナログ端子入力を有効にするには?      |
| 44.7.6  | A/D コンバータの起動方法を選択するには? |
| 44.7.7  | A/D コンバータを起動するには?      |
| 44.7.8  | 変換終了を確認するには?           |
| 44.7.9  | 変換値を読み出すには?            |
| 44.7.10 | A/D 変換動作を強制的に停止させるには?  |
| 44.7.11 | 割込み関連レジスタは?            |
| 44.7.12 | 割込みの種類は?               |
| 44.7.13 | 割込みを許可/禁止/クリアするには?     |

## ■ Appendix 14

### 44.7.13 割込みを許可/禁止/クリアするには？

割込みの許可/禁止/クリアについて説明します。

割込み要求の許可ビット、割込み要求フラグ

割込み許可の設定は、割込み要求許可ビット(ADCS1:INTE)にて行ってください。

動作	割込み要求許可ビット(INTE)
割込み要求を禁止するには	"0"にする
割込み要求を許可するには	"1"にする

割込み要求のクリアは、割込み要求フラグ(ADCS1:INT) にて行ってください。

動作	割込要求フラグ(INT)
割込み要求をクリアするには	"0"を書き込む (「44.4.2. A/D 制御ステータスレジスタ (上位)」参照)

## ■ Appendix 15

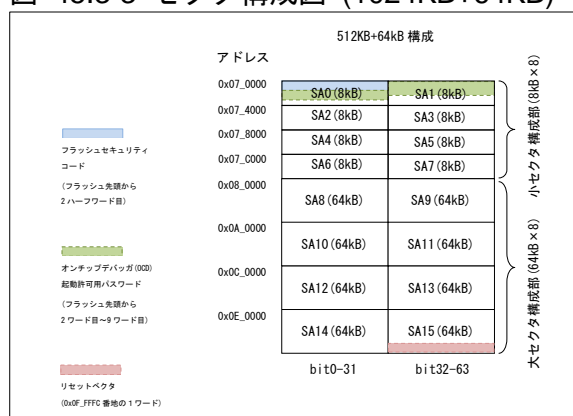
### 45.3.2 セクタ構成図

フラッシュメモリのセクタ構成図について示します。

図 45.3-2 セクタ構成図 (1024KB+64KB)



図 45.3-3 セクタ構成図 (1024KB+64KB)



## ■ Appendix 16

### 45.5 動作説明

---

フラッシュメモリの動作について説明します。

---

- 45.5.1      アクセスモード設定
- 45.5.2      CPU によるフラッシュメモリ書込み
- 45.5.3.      自動アルゴリズム
- 45.5.4.      リセットコマンド
- 45.5.5.      書込みコマンド
- 45.5.6.      チップ消去コマンド
- 45.5.7.      セクタ消去コマンド
- 45.5.8.      セクタ消去一時停止コマンド
- 45.5.9.      セキュリティ機能
- 45.5.10.      フラッシュメモリの使用上の注意

## ■ Appendix 17

### 46.5.6 チップ消去コマンド

---

チップ消去コマンドについて示します。

---

チップ消去コマンドにて、フラッシュメモリの消去対象フラッシュマクロを一括して消去できます。

チップ消去コマンドを対象 FLASH メモリに連続して送ると自動アルゴリズムを起動して、全セクタを一括で消去できます。チップ消去コマンドについては、「46.5.3 自動アルゴリズム」を参照してください。

1. チップ消去コマンドを消去対象フラッシュマクロのセクタに連続して送る  
自動アルゴリズムが起動されフラッシュメモリヘデータが書き込まれます。
2. 消去対象フラッシュマクロの任意のアドレスにリードアクセスする  
読み出したデータはハードウェアシーケンスフラグになります。そのため、読み出したデータの bit7 (DPOLL ビット)が"1" だと、チップ消去が終了したことになります。

チップ消去に必要な時間は「セクタ消去時間 × 全セクタ数+チップ書込み時間(プリプログラム)」となります。チップ消去動作が終了すると、フラッシュメモリは読出し/リセットモードに戻ります。

---

#### <注意事項>

- ・ 自動消去アルゴリズムが起動するとすべてのチップ消去する前に、フラッシュメモリがチップ内のすべてのセルに"0" を書き込んで、マージンを検証(プリプログラム)するため、チップ消去前に、フラッシュメモリに書込みを行う必要はありません。また、マージン検証中は外部からフラッシュメモリを制御する必要もありません。
  - ・ セキュリティ ON 時には、フラッシュの消去には手順に制限があります。詳細は「46.5.9.3 フラッシュセキュリティ解除方法」を参照してください。
-



## ■ Appendix 18

### 46.5.9.2 フラッシュセキュリティ設定方法

---

フラッシュセキュリティ設定方法について示します。

---

フラッシュセキュリティコード領域(『フラッシュメモリ』の章の『図 45.3-2, 3-3 セクタ構成図』を参照してください)に 0x0001 が書き込まれた後にリセットの入力・解除が行われると、セキュリティ ON になります。一度セキュリティ ON になると、フラッシュメモリ領域全体を消去しない限り、セキュリティ OFF にはなりません。

## ■ Appendix 19

**46.5.9.4 セキュリティ ON 時のフラッシュアクセス制限**

セキュリティ ON 時のフラッシュアクセス制限について示します。

セキュリティ ON 時には、起動モードにより以下で示す制限が発生します。

表 46.5-3 セキュリティ ON 時のアクセス制限

動作モード	アクセス制限
ユーザ・外バス	通常状態(後述のフラッシュセキュリティ違反によるアクセス制限がされていない状態)では <b>FLASH</b> メモリに対するアクセス制限はありません。  オンチップバス領域に対して命令フェッチが行なわれるとフラッシュセキュリティ違反リセット要因によるリセット要求が発行されます。以後、フラッシュメモリへのアクセスは受け付けません。  リセットで通常状態に復帰します。
上記以外 (ライタなど)	フラッシュメモリに対するアクセスを制限します。  読出しはデータをマスクし 0xFFFF_FFFF を返却します。書込みコマンド、セクタ消去コマンドは無視されます。 チップ消去コマンドは受け付けます。「46.5.9.3 フラッシュセキュリティ解除方法」を参照してください。

## ■ Appendix 20

### 48.5.4 本シリーズの OCD-DSU ID コードおよび実装タイプ情報

本シリーズの OCD-DSU ID コードおよび実装タイプ情報について示します。

表 48.5-1 本シリーズの OCD-DSU ID コード

ID 名称	bit 幅	対応 ID レジスタ名称	OCD 空間でのアドレス	値	備考
メーカ ID	16	E_IDMCR	0x000	0x0400	
CPU ファミリ ID	16	E_IDFCR	0x001	0x0200	FR81E/FR81S
DSU タイプ ID	8	E_IDVCR	0x003	0x06	
DSU バージョン ID	4	E_IDVCR	0x003	0x2	
デバイス ID	16	E_IDDCR	0x002	0x0018	MB91F575/7
				0x0019	MB91F578/9
デバイスバージョン ID	4	E_IDVCR	0x003	0x0	MB91F575/7
				0x1	MB91F578/9

表 48.5-2 本品種の実装タイプ情報

品種名	コードイベント数	データイベント数	データイベント (大小比較)	シーケンサイベント	トレース
MB91F577 MB91F575	8	8	○	○	512 フレーム

## ■ Appendix 21

### 49.1 メモリマップ

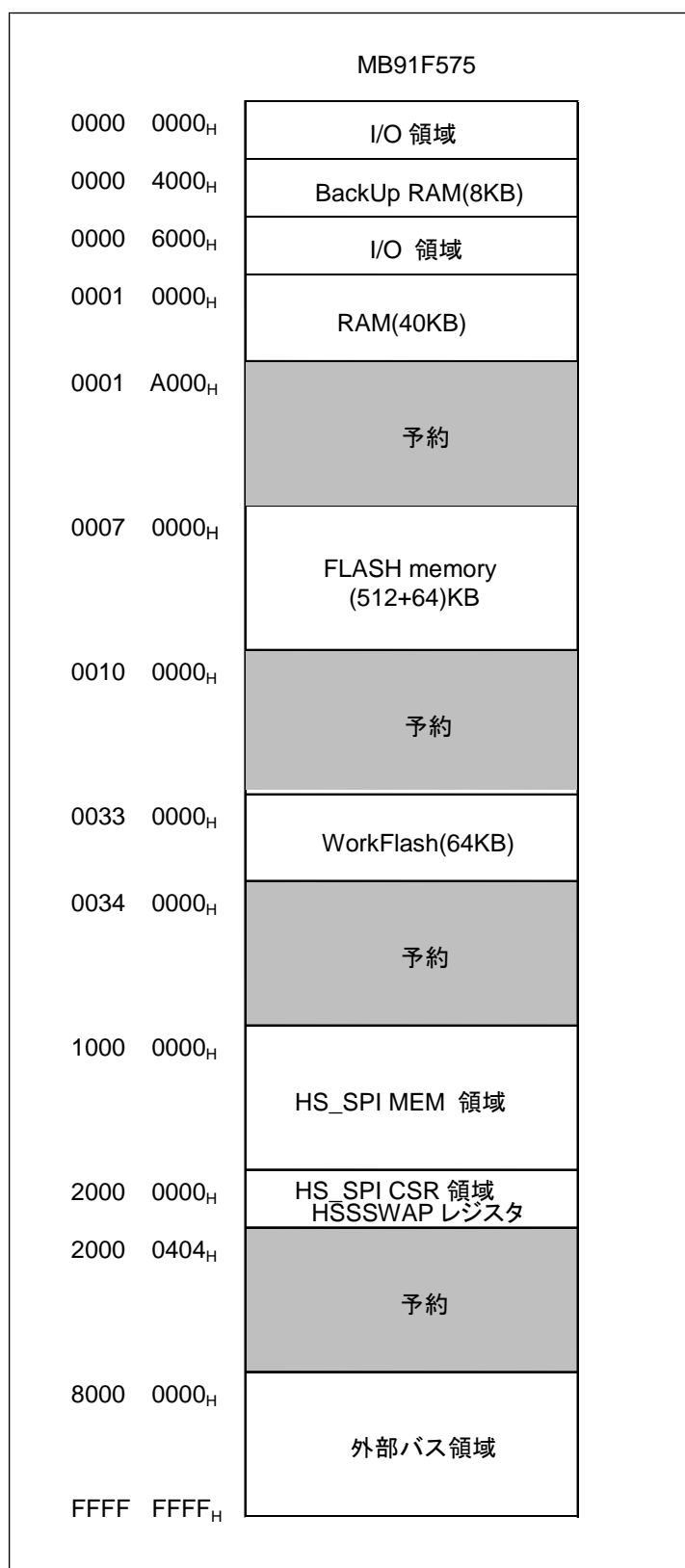
メモリマップについて示します。

MB91F578/9 のメモリマップはデータシートを参照してください。

図 49.1-1 メモリマップ MB91F577

		MB91F577
0000	0000 <sub>H</sub>	I/O 領域
0000	4000 <sub>H</sub>	BackUp RAM(8KB)
0000	6000 <sub>H</sub>	I/O 領域
0001	0000 <sub>H</sub>	RAM(64KB)
0002	0000 <sub>H</sub>	予約
0007	0000 <sub>H</sub>	FLASH Memory (1024+64)KB
0018	0000 <sub>H</sub>	予約
0033	0000 <sub>H</sub>	WorkFlash (64KB)
0034	0000 <sub>H</sub>	予約
1000	0000 <sub>H</sub>	HS_SPI MEM 領域
2000	0000 <sub>H</sub>	HS_SPI CSR 領域 HSSSWAP レジスタ
2000	0404 <sub>H</sub>	予約
8000	0000 <sub>H</sub>	外部バス領域
FFFF	FFFF <sub>H</sub>	

図 49.1-2 メモリマップ MB91F575



## ■ Appendix 22

### 49.2 I/O マップ

IO マップについて示します。

メモリ空間と周辺リソースの各レジスタの対応を示します。

MB91F578/9 の IO マップはデータシートを参照してください。

図 49-2 I/O マップの見方

リード/ライト属性(R: 読出し W: 書込み)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+ 0	+ 1	+ 2	+ 3	
000090 <sub>H</sub>	BT1TMR [R] H 00000000 00000000		BT1TMCR [R/W] B,H,W 00000000 00000000		ベースタイマ1ア
000094 <sub>H</sub>	-	BT1STC [R/W] B 00000000	-	-	
000098 <sub>H</sub>	BT1PCSR/BT1PRL [R/W] H 00000000 00000000		BT1PDUT/BT1PRLH/BT1DTBF [R/W] H 00000000 00000000		
00009C <sub>H</sub>	BTSEL [R/W] B ----0000	-	BTSSSR [W] B, H -----11		
0000A0 <sub>H</sub>	ADERH [R/W] B, H, W 00000000 00000000		ADERL [R/W] B, H, W 00000000 00000000		A/D コンバータ
0000A4 <sub>H</sub>	ADCS1 [R/W] B,H,W 00000000	ADCS0 [R/W] B,H,W 00000000	ADCR1 [R] B,H,W -----XX	ADCR0 [R] B,H,W XXXXXXXX	
0000A8 <sub>H</sub>	ADCT1 [R/W] B,H,W 00010000	ADCT0 [R/W] B,H,W 00101100	ADSCH [R/W] B,H,W ---00000	ADECH [R/W] B,H,W ---00000	

データアクセス属性  
B: バイト  
H: ハーフワード  
W: ワード  
( 注意事項 )  
記述していないデータアクセス属性によるアクセスは禁止です。

リセット後のレジスタ初期値

リセット後のレジスタ初期値の表記の意味を以下に示します。

- ・ "1": 初期値"1"
- ・ "0": 初期値"0"
- ・ "X": 初期値不定
- ・ "-": 予約ビット/未定義ビット
- ・ "\*": 設定により初期値が"0"または"1"に変化

#### <注意事項>

記載のないアドレスへのアクセスは禁止です。

表 49.2-1 : I/O マップ(MB91F575/577)

アドレス	アドレスオフセット値 / レジスタ名				ブロック
	+0	+1	+2	+3	
000000 <sub>H</sub>	PDR00[R/W] B,H,W XXXXXXXXXX	PDR01[R/W] B,H,W XXXXXXXXXX	PDR02[R/W] B,H,W XXXXXXXXXX	PDR03[R/W] B,H,W XXXXXXXXXX	ポートデータレジスタ
000004 <sub>H</sub>	PDR04[R/W] B,H,W XXXXXXXXXX	PDR05[R/W] B,H,W XXXXXXXXXX	PDR06[R/W] B,H,W XXXXXXXXXX	PDR07[R/W] B,H,W XXXXXXXXXX	
000008 <sub>H</sub>	PDR08[R/W] B,H,W XXXXXXXXXX	PDR09[R/W] B,H,W XXXXXXXXXX	PDR10[R/W] B,H,W XXXXXXXXXX	PDR11[R/W] B,H,W XXXXXXXXXX	
00000C <sub>H</sub>	PDR12[R/W] B,H,W XXXXXXXXXX	PDR13[R/W] B,H,W XX-XXXXXX	—	—	
000010 <sub>H</sub> ～ 000038 <sub>H</sub>	—	—	—	—	予約
00003C <sub>H</sub>	WDTCSR0[R/W] B,H,W -0--0000	WDTCSR0[W] B,H,W 00000000	WDTCSR1[R] B,H,W ----0110	WDTCSR1[W] B,H,W 00000000	ウォッチドッグタイマ[S]
000040 <sub>H</sub>	—	—	—	—	予約
000044 <sub>H</sub>	DICR [R/W] B -----0	—	—	—	遅延割込み
000048 <sub>H</sub>	TMRLRA4 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMR4 [R] H XXXXXXXXXX XXXXXXXXXX		リロードタイマ 4
00004C <sub>H</sub>	TMRLRB4 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMCSR4 [R/W] B, H,W 00000000 0-000000		
000050 <sub>H</sub>	TMRLRA5 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMR5 [R] H XXXXXXXXXX XXXXXXXXXX		リロードタイマ 5
000054 <sub>H</sub>	TMRLRB5 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMCSR5 [R/W] B, H,W 00000000 0-000000		
000058 <sub>H</sub>	TMRLRA6 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMR6 [R] H XXXXXXXXXX XXXXXXXXXX		リロードタイマ 6
00005C <sub>H</sub>	TMRLRB6 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMCSR6 [R/W] B, H,W 00000000 0-000000		
000060 <sub>H</sub>	TMRLRA0 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMR0 [R] H XXXXXXXXXX XXXXXXXXXX		リロードタイマ 0
000064 <sub>H</sub>	TMRLRB0 [R/W] H XXXXXXXXXX XXXXXXXXXX		TMCSR0 [R/W] B, H,W 00000000 0-000000		
000068 <sub>H</sub> ～ 00007C <sub>H</sub>	—	—	—	—	予約

## ■ Appendix 23

## 49.3 割込みベクター一覧

割込みベクター一覧について示します。

割込み要因と割込みベクタ/割込み制御レジスタの割当てを示します。

表 49.3-1 割込みベクタ

割込み要因	割込み番号		割込みレベル	オフセット	TBR デフォルトのアドレス	RN *1
	10 進	16 進				
リセット	0	00	-	3FC <sub>H</sub>	000FFFC <sub>H</sub>	-
システム予約	1	01	-	3F8 <sub>H</sub>	000FFF8 <sub>H</sub>	-
システム予約	2	02	-	3F4 <sub>H</sub>	000FFF4 <sub>H</sub>	-
システム予約	3	03	-	3F0 <sub>H</sub>	000FFF0 <sub>H</sub>	-
システム予約	4	04	-	3EC <sub>H</sub>	000FFFE <sub>C</sub>	-
FPU 例外	5	05	-	3E8 <sub>H</sub>	000FFFE8 <sub>H</sub>	-
命令アクセス保護違反例外	6	06	-	3E4 <sub>H</sub>	000FFFE4 <sub>H</sub>	-
データアクセス保護違反例外	7	07	-	3E0 <sub>H</sub>	000FFFE0 <sub>H</sub>	-
データアクセスエラー割込み	8	08	-	3DC <sub>H</sub>	000FFFD <sub>C</sub>	-
INTE 命令	9	09	-	3D8 <sub>H</sub>	000FFFD8 <sub>H</sub>	-
命令ブレイク	10	0A	-	3D4 <sub>H</sub>	000FFFD4 <sub>H</sub>	-
システム予約	11	0B	-	3D0 <sub>H</sub>	000FFFD0 <sub>H</sub>	-
システム予約	12	0C	-	3CC <sub>H</sub>	000FFFC <sub>C</sub>	-
システム予約	13	0D	-	3C8 <sub>H</sub>	000FFFC8 <sub>H</sub>	-
不正命令例外	14	0E	-	3C4 <sub>H</sub>	000FFFC4 <sub>H</sub>	-
NMI 要求/ XBS RAM ダブルビットエラー発生/ Backup RAM ダブルビットエラー発生	15	0F	15 (F <sub>H</sub> ) 固定	3C0 <sub>H</sub>	000FFFC0 <sub>H</sub>	-
外部割込み 0-7	16	10	ICR00	3BC <sub>H</sub>	000FFFB <sub>C</sub>	0
外部割込み 8-15	17	11	ICR01	3B8 <sub>H</sub>	000FFFB8 <sub>H</sub>	1
リロードタイマ 0/1/4/5	18	12	ICR02	3B4 <sub>H</sub>	000FFFB4 <sub>H</sub>	2(*2)
リロードタイマ 2/3/6	19	13	ICR03	3B0 <sub>H</sub>	000FFFB0 <sub>H</sub>	3(*2)
マルチファンクションシリアル インタフェース ch.0 (受信完了)/ マルチファンクションシリアル インタフェース ch.0 (ステータス)	20	14	ICR04	3AC <sub>H</sub>	000FFFA <sub>C</sub>	4 (*3)
マルチファンクションシリアル インタフェース ch.0 (送信完了)	21	15	ICR05	3A8 <sub>H</sub>	000FFFA8 <sub>H</sub>	5
マルチファンクションシリアル インタフェース ch.1 (受信完了)/ マルチファンクションシリアル インタフェース ch.1 (ステータス)	22	16	ICR06	3A4 <sub>H</sub>	000FFFA4 <sub>H</sub>	6 (*3)
マルチファンクションシリアル インタフェース ch.1 (送信完了)	23	17	ICR07	3A0 <sub>H</sub>	000FFFA0 <sub>H</sub>	7
LIN-UART2 (受信完了)	24	18	ICR08	39CH	000FFF9 <sub>C</sub>	8



## ■ Appendix 24

#### 49.4 CPU 状態における端子状態

CPU 状態における端子状態について示します。

表 49.4-1 端子狀態表

[illegible]

(\*) The reset factor consists of Power-On-Reset, Low Voltage Detection (Internal supply voltage) and RSTX+NMIX simultaneous assertion.

(\*)1 The reset factor consists of Power-On-Reset, Low Voltage Detection (Internal supply voltage) and Watchdog timer.

(\*4) The reset factor consists of Software Reset(w. and w/o. bus-tiemout) , Watchdog (both Soft and Hard) Reset(w. and w/o. bus-tiemout) and Recovery from Standby (w.Power Gating) with PMUCTLR10CTMD=0

(\*5) The reset factor consists of Recovery from Standby (w.Power Gating) with PMUCLR:IOCTMD=1

(\*8) The pin does not go Hi-Z and the pin status stays in the last one when the pin is configured for LCD function.

(\*9) The pin does not go Hi-Z and LCD function continues to be active when the pin is configured for LCD function.

(\*)10 The "Input Blocked" bit is not applied when the pin is configured for External Interrupt (i.e.: corresponding EPFR register bit is set, and GPORTEN is cleared as far as the pin is affected by GPORTEN) and it is enabled (i.e.: ENIREN bit of corresponding channel of External Interrupt is set).

enabled (i.e.: ENIR:EN bit of corresponding channel of External Interrupt is set.).

(\*)12 The pin is "Input Enabled" when a reset with INIT level is issued. The pin is "Input Disabled" in the other cases.

(\*13) The pin function is X1A/X0A in parts with sub-clock. The pin function is P136/P137 in parts without sub-clock.

MN705-00011-3v1-J-SI1

---

**SpanSion • Controller Manual**

32 ビット・マイクロコントローラ  
FR ファミリ FR81S  
MB91570 シリーズ  
ハードウェアマニュアル (追補資料)

---

2015 年 1 月 Rev. 1.0

発行 : SpanSion Inc.  
編集 : コーポレートコミュニケーション部

---

## 免責事項

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途（ただし、用途の限定はありません）に使用されることを意図して設計・製造されています。(1) 極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御等をいう）、ならびに(2) 極めて高い信頼性が要求される用途（海底中継器、宇宙衛星等をいう）に使用されるよう設計・製造されたものではありません。上記の製品の使用方法によって惹起されたいかなる請求または損害についても、Spansion は、お客様または第三者、あるいはその両方に対して責任を一切負いません。半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様において、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。本資料に記載された製品が、外国為替及び外国貿易法、米国輸出管理関連法規などの規制に基づき規制されている製品または技術に該当する場合には、本製品の輸出に際して、同法に基づく許可が必要となります。

## 商標および注記

このドキュメントは、断りなく変更される場合があります。本資料には Spansion が開発中の Spansion 製品に関する情報が記載されている場合があります。Spansion は、それらの製品に対し、予告なしに仕様を変更したり、開発を中止したりする権利を有します。このドキュメントに含まれる情報は、現状のまま、保証なしに提供されるものであり、その正確性、完全性、実施可能性および特定の目的に対する適合性やその市場性および他者の権利を侵害しない事を保証するものでなく、また、明示、黙示または法定されているあらゆる保証をするものでもありません。Spansion は、このドキュメントに含まれる情報を使用することにより発生されたいかなる損害に対しても責任を一切負いません。

Copyright © 2015 Spansion All rights reserved.

商標：Spansion®, Spansion ロゴ (図形マーク), MirrorBit®, MirrorBit® Eclipse™, ORNAND™ 及びこれらの組合せは、米国・日本ほか諸外国における Spansion LLC の商標です。第三者の社名・製品名等の記載はここでは情報提供を目的として表記したものであり、各権利者の商標もしくは登録商標となっている場合があります。