

こうして使おうパワーデバイス

第13回 HVIC の構造と使い方の注意点



MOSFETやIGBTで高電圧の負荷を駆動するときには、負荷電圧よりさらに高い電圧でゲートを駆動することが必要な場合があります。H. そのために作られた高耐圧のゲート・ドライバICをHVIC (High Voltage MOS Gate Driver IC) と呼びます。今回は、このHVICを実際に使う場合に注意すべきポイントをご紹介します。

HVICの構造と寄生ダイオード

MOSFETやIGBTをハイサイド(高電圧側)とローサイド(低電圧側)に組み合わせたブリッジ回路では、ハイサイドの駆動時にソース(IGBTではエミッタ)端子が負荷駆動電圧 V_S まで上昇し、ゲートにはそれより10～15V高い駆動電圧を与える必要があります。そのため、高電圧の負荷を駆動するアプリケーションでは、フォトカプラなどの絶縁素子を用いてゲート・ドライバをフローティングにするか、高耐圧のゲート・ドライバを使用する必要があります。

IRでは接合分離による高耐圧モノリシックIC技術を開発し、昇圧用電源とゲート駆動素子を内蔵した使いやすいHVIC(高耐圧MOSゲート・ドライバIC)を製品化しています。これを用いれば、600Vや1200VのMOSFET、IGBTでもロジック・レベル信号で簡単に駆動することができます。

HVICは部品点数の削減、システムの小型化に貢献し、簡単に使えるという大きなメリットがありますが、実際の使用時には知っておきたいことがあります。

耐圧1200VのHVICの概略構造を図1に示します。入力回路、レベル・シフト回路、COMに接続されたローサイドのゲート駆動回路、フローティングされたハイサイドのゲート駆動回路などから構成されています。

CMOSモノリシックICの構造上、実際の素子にはいくつかの寄生ダイオード(寄生トランジスタ、寄生サイリスタ)が存在します。寄生ダイオードは通常時は逆バイアスされていて問題を起こしませんが、スイッチング時などに過渡的に順バイアスされると、誤動作や故障などの問題を起こすことがあります。また、高耐圧ICの内部で実際に高電圧が加わることを想定していない部分は、小型・高速・低損失などのために

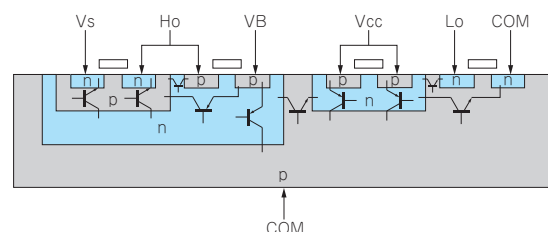


図2.HVIC のシリコン断面図

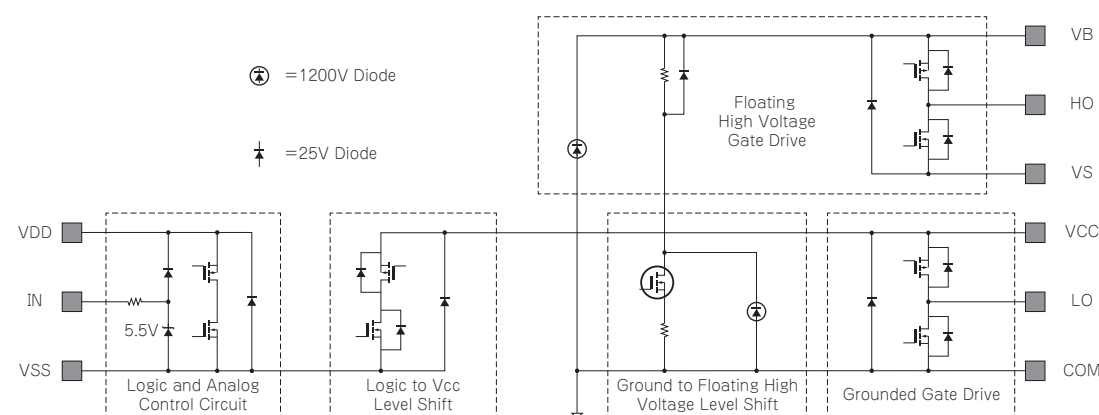


図1.HVIC のESD 及び接合分離構造(1200V 耐圧品)

低耐圧プロセスを採用しています。寄生ダイオードに予期しない高電圧が加わると、故障にいたることもあります。

図1にはこれらの寄生ダイオードが記載されています。このうち、○印の付いた二つが耐圧1200V、それ以外は耐圧25Vの寄生ダイオードです。

実際のHVICのシリコン基板の概略構造を図2に示します。左半分がハイサイドのゲート駆動回路、右半分がローサイドのゲート駆動回路です。基板裏面側のp層はCOMに接続されます。

パワーデバイスでは基板表面側から裏面側に向けて縦方向に電流が流れる縦型構造のMOSFETを使っていますが、制御回路やゲート駆動回路では基板表面近くを横方向に電流が流れる横型構造のMOSFETを採用しています。HVICは横型CMOSですから、通常は V_B - H_O 間、 H_O - V_S 間、 V_{CC} - L_O 間、 L_O -COM間に横方向に電流が流れます。

それに対して、寄生ダイオードでは縦方向にも電流が流れます。たとえば V_B がCOMよりも低電圧(負電圧)になれば、 V_B -COM間の寄生ダイオードが導通し、不正な電流が縦方向に流れることになります。

V_B のアンダシュートに注意する

図3に示すように、ブリッジ構成のパワーデバイスで負荷をスイッチングするとき、負荷インダクタンスや寄生インダクタンスの影響で、負荷駆動電圧 V_S に大きなアンダシュートを生じる場合があります。

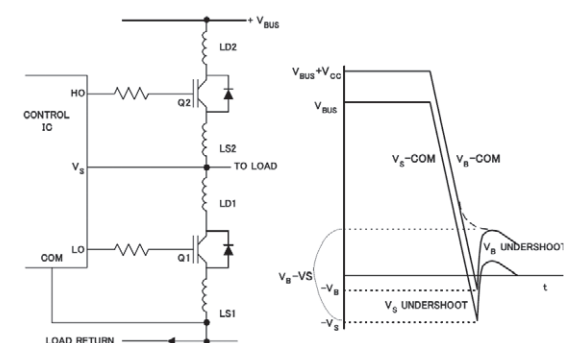


図3.負の電圧スパイクノイズ

これによって、HVICの V_S はグラウンド(COM)に対して負電圧となり、アンダシュートが-5Vを超え

ると V_B -COM間に電源を供給できなくなってしまいます。しかし、 V_S -COM間には寄生ダイオードがなく、 V_B - V_S 間の絶対最大定格を超えなければ故障などの問題は起きません。

問題は、 V_S のアンダシュートと同時に、 V_B にもアンダシュートが生じることです。フローティング電源を用いて V_B の電圧を $V_S + 10V$ に保っている場合は、 V_S とともに V_B が変動し、アンダシュートが大きければ V_B が負電圧になります。これによって V_B -COM間の寄生ダイオードが導通し、誤動作や故障などの問題を生じます。

この V_B のアンダシュートによる誤動作や故障は、実際のアプリケーションでHVICに生じるトラブルの大きな原因になっています。

V_B のアンダシュートを防ぐ根本的な方法は、 V_S のアンダシュートを防ぐことです。寄生インダクタンスの原因となっているパターン設計を変更する、ゲート抵抗を大きくする、 V_S にクランプ・ダイオードを使用するなど、いくつかの方法があります。

HVICのラッチアップ耐量

IRの最近のHVICでは、 V_B -COM間にラッチアップ耐量をもたせることによって、この問題に対処しています。

アプリケーションで V_B のアンダシュートが避けられない場合は、 V_B のピーク電圧と持続時間を評価し、それに適したラッチアップ耐量をもつHVICを選択する方法もあります。

V_B - V_S 間の過電圧に注意する

V_B の電圧生成をブートストラップ電源で行う方法もあります。この場合、 V_S にアンダシュートを生じても V_B -COM間にはアンダシュートを生じないように制御されますから、 V_B が負電圧になることを防げます(図3の点線)。

ただし、この場合は V_S のアンダシュート分の電圧が元々の V_B - V_S 間電圧に加わりますから、 V_B - V_S 間の絶対最大定格に注意する必要があります。HVICであっても、 V_B - V_S 間は25V耐圧のプロセスを用いているので、これを超えると故障の恐れがあります。