

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

Traveo II ファミリマイコンのハードウェアデザインガイド

著者: Swen Wilfling

関連製品ファミリ: CYT2B, CYT4B, CYT4D シリーズ

関連ドキュメント: [関連ドキュメント](#)

本アプリケーションノートは Traveo™ II MCU ファミリのハードウェア環境のセットアップ方法について記述します。

目次

1 はじめに	2	9 クロック出力機能	17
2 パッケージ選択	2	10 レイアウトと EMC(電磁場適合性)	17
3 電源供給	3	10.1 概要	17
3.1 電源ドメイン	3	10.2 電源供給端子	17
3.2 アナログ/デジタルコンバータ供給端子	4	10.3 グランドと電源供給	18
3.3 異種電源供給	4	10.4 電源供給デカップリング	19
3.4 電源供給ドメインの電源 ON/OFF シーケンス	5	10.5 水晶振動子の配置と信号配線	21
3.5 電源供給回路	5	10.6 部品配置	23
3.6 外部コア電源制御	5	10.7 信号配線	23
4 クロックソース	5	11 温度保証	24
5 リセット回路	6	12 まとめ	24
5.1 リセット端子 (XRES)	6	13 略語表	25
5.2 電源供給監視	6	14 関連ドキュメント	26
5.3 ウォッチドッグリセット	7	Appendix A. 電源コンセプト	27
6 ポートと電源以外の端子	8	A.1 CYT2B シリーズ	28
6.1 ポート入力/未使用端子	8	A.2 CYT4B シリーズ (QFP パッケージ)	30
6.2 低電力モード時の端子	8	A.3 CYT4B シリーズ (BGA パッケージ)	32
6.3 ラッチアップ考察 (スイッチ)	8	A.4 CYT4D シリーズ (BGA パッケージ)	34
6.4 5V トレラント入力端子	12	Appendix B. アナログ電源	37
6.5 IO ポート端子のリセット動作	12	Appendix C. 発振器のレイアウト	38
6.6 グリッジフィルタ処理	12	C.1 QFP パッケージ	38
6.7 モード端子	13	C.2 BGA パッケージ	39
6.8 外部割込み入力端子	13	改訂履歴	40
7 フラッシュプログラミング接続	13	ワールドワイド販売と設計サポート	41
8 デバッグインタフェース	14		

1 はじめに

本書はサイプレス Traveo™ II MCU ファミリのハードウェア環境のセットアップ方法について記述します。

信号配線と MCU 電源システムに関する設計上の制約と推奨条件が考慮されています。デバイス機能とその関連した設定の詳細は、Traveo II Architecture Technical Reference Manual (TRM)と専用のデータシートを参照してください。

このアプリケーションノートは FAQ も記載しています。これは設計者の責任を置き換えるものではありません。

2 パッケージ選択

はじめに、設計に使用するパッケージを決定します。決定には、必要な I/O 端子の数、PCB と製品サイズ、PCB 設計ルールおよび熱や機械ストレス等を考慮します。

サイプレスデバイスファミリには、効率的で費用対効果の高いソリューションにより、どのような状況でもニーズに合う、非常に多くのデバイスがあります。パッケージングソリューションは、超小型ウェハスケールパッケージから多ピンのボールグリッドアレイパッケージまで多岐にわたります。Leaded Quad Flat Pack (LQFP) は低層数で低コストの PCB 上でのレイアウトを容易にします。例えば、LQFP パッケージオプションは、48 pin デバイスから 176 pin デバイスまで用意されています。

以下にいくつかのパッケージの選択基準を示します。

LQFP

- 部品下のオープンエリアと大きいピッチのため信号配線が容易です。
- 機械的な剛性が低く、振動や機械的ストレスに対して保護が強化されています。
- デメリットはパッケージサイズと低い熱伝導 (θ_{JA}) があります。

BGA と PBGA

- 多ピンで大きいリードピッチを提供する小型パッケージは、高密度 I/O デバイスの製造の複雑さを大幅に軽減します。BGA パッケージは以下の要求があるアプリケーションで使用されます。
 - 終端が短く、低インダクタンスと低抵抗による高速な回路動作
 - 高い放熱性
- ステンシル印刷や部品実装など従来の表面実装技術 (SMT) 生産技術を使用できます。
- ピッチ (1.27 mm, 0.050" (typical)), リード堅さおよびセルフアライメント特性によって堅牢なリフロー処理が可能です。リフロー中のセルフアライメントは非常に有益で、大幅にプロセスウィンドウを拡大します。
- デメリットとして半田接合部検査のために X 線が必要です。

3 電源供給

3.1 電源ドメイン

MCU 電源システムは表 1 のようにアナログとデジタル電源が分離されています。

表 2 は各電源端子の機能を示しています。

表 1. 電源ドメイン

電源ドメイン	関連端子	
	CYT2B/4B シリーズ	CYT4D シリーズ
アナログ	VDDA, VSSA	VDDA_ADC, VSSA_ADC, VDDA_DAC, VSSA_DAC, VDDPLL_FPD, VDDHA_FPD, VDDA_FPD, VSSA_FPD, VDDA_MIPI, VSSA_MIPI
デジタル	VCCD, VSS	VCCD, VSSD
I/O	VDDIO, VSSIO	VDDIO_GPIO, VDDIO_SMC, VDDIO_HSIO, VDDIO_SMIF, VDDIO_SMIF_HV
共有のデジタルと I/O	VDDD	VDDD

表 2. 電源端子概要

端子名	機能	パワードメインの公称電圧範囲
VDDD/VSSD	内部レギュレータ, 内部ロジック, および GPIO_STD セルとデバッグインタフェース用 I/O ドメインの電源端子。	3.3 V ~ 5.0 V
VSSD_1	サイレントグランド接続用端子。 BGA パッケージのみ。	-
VDDIO_1/VSSIO_1	GPIO_STD I/O セルグリッド用 I/O ドメイン電源端子ペア。	3.3 V ~ 5.0 V
VDDIO_2/VSSIO_2	GPIO_STD I/O セル用 I/O 電源端子。	3.3 V ~ 5.0 V
VDDIO_3/VSSIO_3	メモリアンタフェース用 HSIO_STD I/O セルの I/O 電源端子。 ただし、ドメインで共有される低速信号。 注意: BGA パッケージのみ。	3.3 V
VDDIO_4/VSSIO_4	低速信号と共有されるギガビットイーサネット用 HSIO_STD I/O セルの I/O 電源端子。 注意: BGA パッケージのみ。	3.3 V
VDDA/VSSA	MCU のアナログ部の電源端子ペア。	アナログピンのドメイン属性に応じて VDDIO_2、VDDD または両方と同じ
VREFH/VREFL	AD コンバータ用のリファレンス電圧端子	VDDA と同じ
VCCD	内部でコア電源を供給する場合: 外部の平滑コンデンサでコア電圧をバッファリング用の、内部電圧レギュレータ出力用の専用電源端子 外部でコア電源を供給する場合:	1.1 V

端子名	機能	パワードメインの公称電圧範囲
	<p>デバイスとアプリケーションの消費電力に応じて、外部電源をコア電源に接続するために使用します。</p> <p>全般: デバイスパッケージに複数の VCCD 端子がある場合、PCB の最上層によりすべての VCCD 端子を互いに短絡する必要があります。 QFP パッケージの場合、デカップリングコンデンサは MCU と同層に配置します。 BGA パッケージの場合、EMI 低減のため VCCD の共通電源プレーンを推奨します。</p>	
VDDIO_GPIO	GPIO 用電源端子	3.3 V ~ 5.0 V
VDDIO_SMC	ステッパモータ制御用電源端子	3.3 V ~ 5.0 V
VDDIO_HSIO	ハイスピード I/O 用電源端子	3.3 V
VDDIO_SMIF	シリアルメモリーインタフェース HSIO_ENH IO 1.8 V 用電源端子	1.8 V
VDDIO_SMIF_HV	シリアルメモリーインタフェース HSIO_STD IO 3.3 V 用電源端子	3.3 V
VDDPLL_FPD	FPD-Link PLL 用電源端子	1.1 V
VDDHA_FPD	FPD-Link ラインドライバ用電源端子	3.3 V
VDDA_FPD/VSSA_FPD	FPD-Link コア用電源端子	1.1 V
VDDA_MIPI/VSSA_MIPI	D-PHY 用電源端子	1.1 V
VDDA_ADC/VSSA_ADC	MCU アナログ部電源端子	3.3 V ~ 5.0 V
VDDA_DAC/VSSA_DAC	オーディオデジタル-アナログコンバータ用電源端子	3.3 V

単一の電源レールを定義する場合、すべての電源は 3.3 V ~ 5.0 V の電圧に接続する必要があります。異なる電源電圧の供給が必要な場合、例えばアナログシステム (すなわち $V_{DDA} = V_{REFH}$) への 5 V 供給と MCU ポート端子の V_{DDIO} への 3.3 V 供給のような場合、専用のデータシートの動作条件を参照してください。表 1 は MCU の電源ドメインのリストです。

消費電力が大きいアプリケーション向けに設計されたデバイスには、専用の MCU 端子で制御される外部コア電源が必要です。

3.2 アナログ/デジタルコンバータ供給端子

リーク電流低減のため、A/D コンバータ (ADC) を使用しない場合でも、アナログコンバータ電源供給端子 (V_{DDA} , V_{SSA} , V_{REFH} , およびオプションで V_{REFL}) を接続してください。

3.3 異種電源供給

異なる電源が MCU に供給されるため、互いの依存関係を考慮する必要があります。電源ドメインはそれぞれ独立しています。

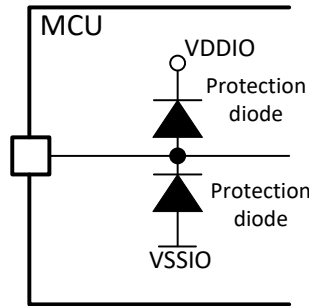
ADC

有効化されたアナログ入力専用の I/O ドメインに属しています。アナログセンサの電圧レベルは、I/O ドメインの電源レベルと保護ダイオード構造によって制限されます。つまり、選択したアナログ入力のアナログ電源と I/O ドメインは、同じ電圧レベルである必要があります。

デバッグ接続

デバッグツールと MCU の両方が通信可能な電源を選択する必要があります。ハードウェア接続の詳細は、[デバッグインタフェース](#)を参照してください。

図 1. 全 I/O 端子の保護ダイオード構造



3.4 電源供給ドメインの電源 ON/OFF シーケンス

MCU の電源レールに異なる電圧レベルを供給できます。したがって電源 ON/OFF シーケンスは不要です。V_{DD} の電圧供給なしにアナログ電源 V_{DDA} が供給される場合、MCU 内部のリーク電流が発生する可能性があります。ただしポート出力は駆動されません。

一般に電源オフの時、積極的に MCU を放電することを推奨します。これはコアがいかなる操作も実行せず、リークだけがコアを放電します。したがって、コア電源が十分速く放電されないためです。MCU の最大ランプレートも考慮する必要があります。最大ランプレートが考慮されていない場合、動作は保証されません。

外部コア電源: MCU は内部電源モードで起動し、アプリケーションで外部コア電源を有効にする必要があります。したがって、外部コア電源で動作するデバイスの電源 ON/OFF シーケンスは同じです。電源 OFF 遷移では、外部コア電源は MCU によって、無効化されます。内部コア電圧供給でデバイスを使用する場合と同様に、積極的な放電が必要です。

3.5 電源供給回路

ターゲットボードの EMC 必要条件を満たすために、ノイズ効率のよい電源バッファリングコンセプトが必要です。したがって、電源供給をフィルタリングする必要があります。アナログ電源のノイズを最小限に抑えるため、アナログとデジタル電源を分離することを推奨します。

電源コンセプトについては [Appendix A 電源コンセプト](#)を参照してください。

3.6 外部コア電源制御

外部コア電源制御はこのドキュメントには含まれません。対応する [TRM](#) および [データシート](#)を参照してください。

4 クロックソース

MCU はシステム必要条件に従い、いくつかのクロックソースを提供します。[表 3](#) は MCU システムで使用可能なクロックソースと MCU 内部クロックシステムへの接続事例を示します。

表 3. クロックソース

クロックソース	発振器	内部 / 外部	ポート端子 (外部のみ)	周波数	トリミング可否	使用事例
Internal Main Oscillator (IMO)	Yes	内部	-	8 MHz	Yes	LIN
Internal Low-Speed Oscillator (ILO)	Yes	内部	-	32 kHz	Yes	
External Crystal Oscillator (ECO)	Yes	外部	ECO_IN ECO_OUT	~4 MHz to 33.33 MHz	Yes	CAN 通信

クロックソース	発振器	内部 / 外部	ポート端子 (外部のみ)	周波数	トリミング可否	使用事例
Watch Crystal (WCO)	Yes	外部	WCO_IN WCO_OUT	32.768 kHz	No	Watch
Low Power External Crystal Oscillator (LPECO) ¹	Yes	外部	LPECO_IN LPECO_OUT	~4 MHz to 8 MHz	No	Watch
EXT_CLK pin ²	No	外部	オプションで複数 ピンに割当て	Note ³	-	試験
Ethernet PHY および MAC の基準クロック	Yes	外部	ETHn_REF_CLK	50 MHz	-	Ethernet: RMII
				125 MHz	-	Ethernet: GMII, RGMII

5 リセット回路

仕様範囲内の MCU 動作のため、リセット入力端子(XRES 端子)を経由した外部リセット信号または内部リセット信号を生成できます。内部リセット回路の実装は、ハードウェア設計に比べいくつかの利点があります。

- 外部モニタ IC 削除による BOM コストの削減
- 外部から監視できない MCU 内部の仕様範囲外動作の検出 (例えば MCU 内部の電圧降下)

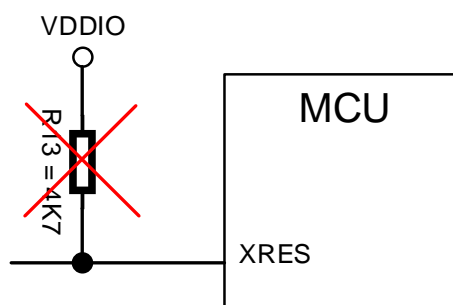
アプリケーション条件によって、外部監視またはリセット IC が必要な場合があります。

5.1 リセット端子 (XRES)

スイッチはリセット入力端子を VSSIO (グランド) に接続します。BOM コストを下げるために、内部プルアップ抵抗や最小 100 ns の内部ノイズフィルタが有効です。フィルタリングに外部コンデンサを追加する場合、EMC 条件を満たすことを確認してください。満たさない場合、ESD 試験パルスによって MCU 内の ESD 保護構造が破壊される可能性があります。

リセット端子の詳細は、[データシート](#)を参照してください。

図 2. 外部リセット入力 (XRES)



5.2 電源供給監視

MCU が動作範囲を逸脱しないために、MCU によって広範囲の電源モニタ回路が提供されます。詳細はデバイスの [Architecture TRM](#) と [データシート](#)を参照してください。

¹ LPECO は CYT4D シリーズでのみ使用可能です。

² このポート端子は双方向で外部クロックソースまたは内部クロックのモニタとしても使用できます。

³ [データシート](#)の外部クロック入力仕様を参照してください。

パワーオンリセット (POR)

パワーオンリセット (POR) 回路は、最初の電源立上げ時に、リセットパルスを生成します。V_{DD} 電源のみ監視します。

ブラウンアウト検出 (BOD)

ブラウンアウト検出 (BOD) 回路は、デバイスリセットを発行し、動作回路または保持回路を安全でない電源状態から保護します。V_{DD}, V_{DDA}, および V_{CCD} 電源に BOD 回路は提供されます。モニターする電源の 1 つが低電圧を検出するとリセットが発生します。この回路は、バッテリー電源の不意の電圧降下を検出するために必要です。

低電圧検出 (LVD) と高電圧検出 (HVD)

BOD 回路がリセットを生成する前に、低電圧検出 (LVD) と高電圧検出 (HVD) の警告を生成できます。トリップポイント (検出レベル) の設定によって、安全対策のために割込みを生成できます。この回路は早い変化を監視できます。

過電圧検出 (OVD)

過電圧検出(OVD)回路は、V_{CCD}, V_{DD}, または V_{DDA} が許容最大電圧を超えた場合にデバイスリセットが発生します。このコンセプトは BOD 回路の逆です。

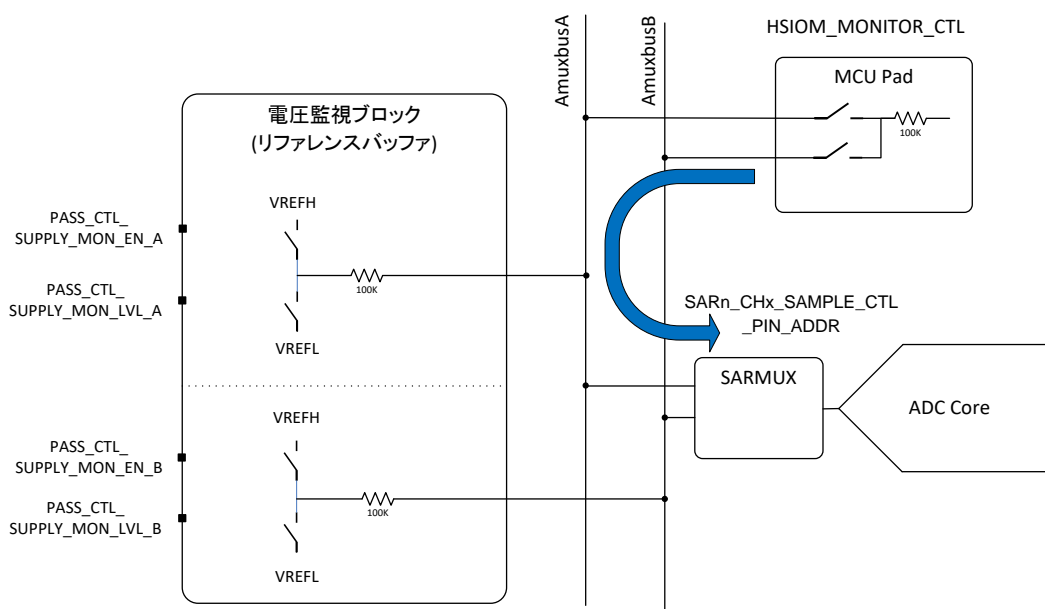
過電流検出 (OCD)

過電流検出回路は V_{CCD} 電源の電流をモニタし、レギュレータの負荷電流が期待値より大きいことを検出します。電流がレギュレータ制限を超えた場合、OCD 回路はデバイスを保護するためリセットを生成します。

ADC による電源ドメイン電圧の監視

ADC は、複数の電源とグラウンドをモニタできます。リセットに代わり対応する ADC は割込みを生成します。CPU 負荷軽減のためレンジコンパレータ機能により範囲外となった場合にのみ割込みを生成できます。この機能の詳細については、[Architecture TRM](#) の「Analog Subsystem > SAR ADC > Reference Buffer」、および「Resources Subsystem (SRSS) > Voltage Monitoring > Voltage Monitoring by ADC」を参照してください。

図 3. ADC による電圧監視のブロックダイアグラム



5.3 ウォッチドッグリセット

MCU の内部ウォッチドッグタイマ (WDT) は広範囲をサポートします。WDT 回路は、HIBERNATE モードでも動作可能です。[Architecture TRM](#) の「Device Power Modes」を参照してください。

6 ポートと電源以外の端子

6.1 ポート入力/未使用端子

ここでは、MCU 操作で重要な未使用端子の取扱いと利点と欠点について説明します。一般に、未使用端子は入力フローティングによる端子構造のラッチアップを発生する可能性があります。

解放端子接続

POR 中および POR 後のデフォルト状態では、I/O 端子は入力バッファをディセーブルしハイインピーダンス (high-Z) アナログ状態になります。この利点は終端抵抗を使用した場合と比べて MCU の消費電力を低くかつ BOM コストを削減できます。欠点として、アセンブリオプションの間、端子への配線が長くなり、その信号配線はアンテナになりノイズを取り込んでラッチアップの原因となる場合があります。

GND または電源への直接接続

I/O 端子を GND または電源に直接接続しないでください。電源配線はアンテナとなりノイズを取り込んでラッチアップの原因になる場合があります。

内部プルアップ/ダウン抵抗による終端

未使用端子がボード設計 (追加機能の長い配線) によってラッチアップの恐れがある場合、内部プルアップ/ダウン抵抗を使用して入力端子を終端してください。

利点は、外部終端抵抗を設けるよりも低消費電流で BOM コストを削減できます。欠点として、リセット後にポート端子状態を設定する必要があります。したがって、外乱 (電源供給、クロック問題等) に起因するリセットの場合、内部の終端は無効となり、システムはラッチアップの原因となる場合があります。長い配線でない未使用端子がある場合、この方法を選択できます。一般に、低電力モードに入る時、端子状態 (イネーブルされたプルアップまたはプルダウン抵抗) は変更されてはいけません。外部抵抗のために、内部終端は常に有効でなければなりません。

外部プルアップ/ダウン抵抗による終端

内部抵抗による終端の代わりに外部終端抵抗を未使用 I/O 端子に配置できます。端子に配線される解放信号の場合、ノイズに対してデバイスリセットの間でも安全に終端できます。2.2 kΩ から 10 kΩ の抵抗値を使用できます。ただし、複数の未使用端子を 1 つの終端抵抗に接続しないでください。未使用 I/O 端子が意図せず異なる出力レベルを駆動すると、I/O 端子は永久故障する場合があります。

6.2 低電力モード時の端子

低電力モードで可能な限り低消費電流を実現する場合、I/O ピンの電流消費を考慮する必要があります。低電力モードに応じて、設定状態と最後の出力状態が固定されます。入力ピンの場合、MCU の休止電流が大幅に増加するため、フローティング状態の入力レベルを禁止します。入力ピンをウェイクアップピンとして使用する場合、ピンが内部や外部のプルアップまたはプルダウン抵抗によって終端されている仮定の元で構成を変更しないでください。低電力モードで入力ピンが不要な場合、入力バッファをディセーブルしハイインピーダンス入力に構成できます。さまざまな低電力モードの詳細は、[関連ドキュメント](#)にリストされる Architecture TRM と対応するアプリケーションノートを参照してください。

6.3 ラッチアップ考察 (スイッチ)

スイッチを押すと信号の振動が発生します。この振動は MCU ポート端子を破壊する可能性があります。対策として、デバウンスコンデンサを設けます。ポート端子に接続したデバウンスコンデンサと共に外部スイッチを V_{CC} または GND に接続してください。

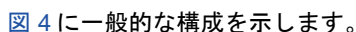
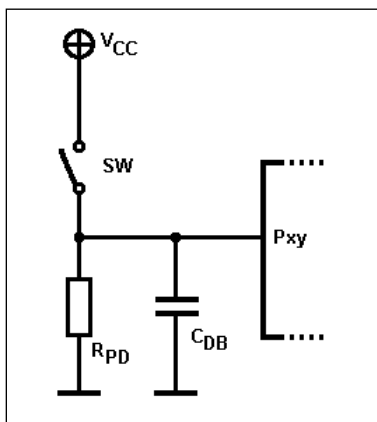
 図 4 に一般的な構成を示します。

図 4. スイッチ回路原理

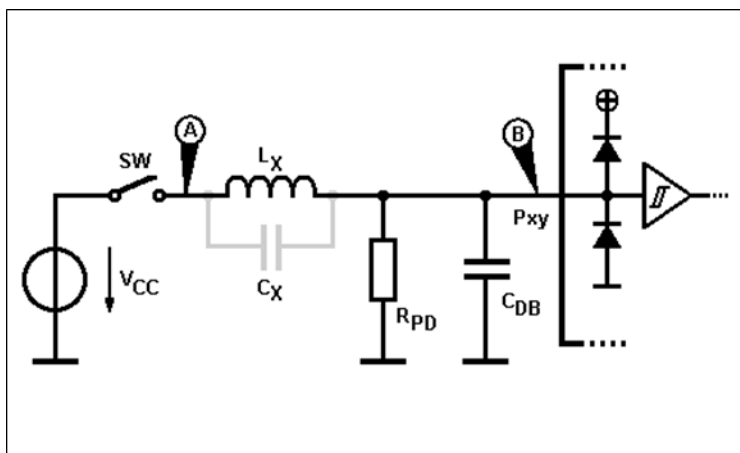


R_{PD} はプルダウン抵抗、 C_{DB} はデバウンスコンデンサです。スイッチ (SW) がオープンの時、ポート端子 P_{xy} には "0" が読み出せます。スイッチが閉じた場合は "1" が読み出せます。

ケーブル、ワイヤ、または回路パスによってスイッチが MCU から物理的に離れた場所に配置される場合は考慮が必要です。回路パスが長いほどインダクタンス L_X (およびキャパシタンス C_X) は高くなります。

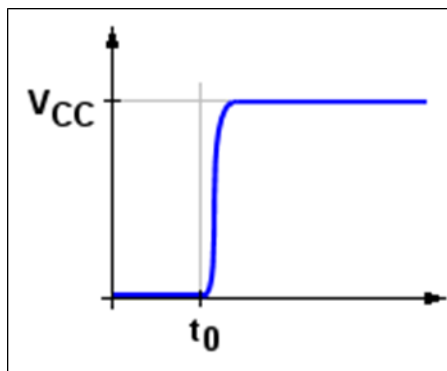
図 5 に等価回路を示します。

図 5. スイッチ回路原理の等価回路



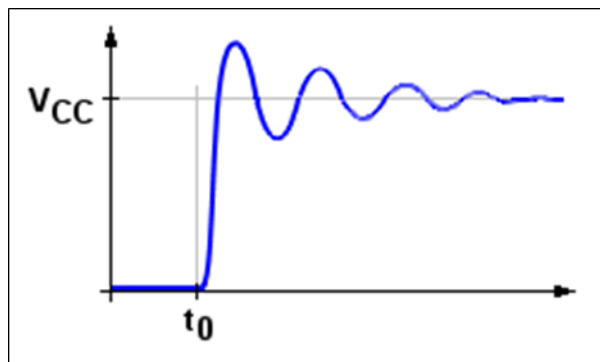
時間 t_0 でスイッチを閉じることによって、ポイント(A)の電圧は図 6 で示すように観測されます。

図 6. ポイント(A)でのスイッチを閉じてからの信号立ち上がり



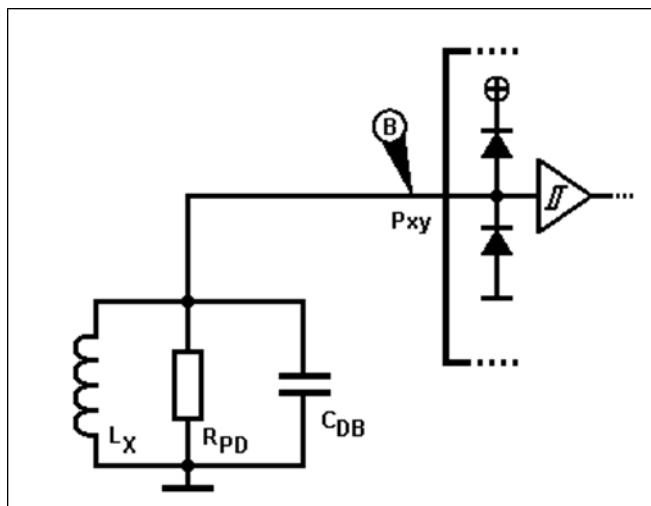
しかし、ポイント(B)のポート端子 Pxy では、図 7 に示すような、電圧が観測されます。

図 7. ポイント(B)でのスイッチを閉じてからの信号立上り



スイッチを閉じると、回路は配線インダクタンス L_X 、デバウンスコンデンサ C_X 、プルダウン抵抗のダンピング R_{PD} を持つ並列発振器になります (内部抵抗のない理想的な電源と仮定します)。

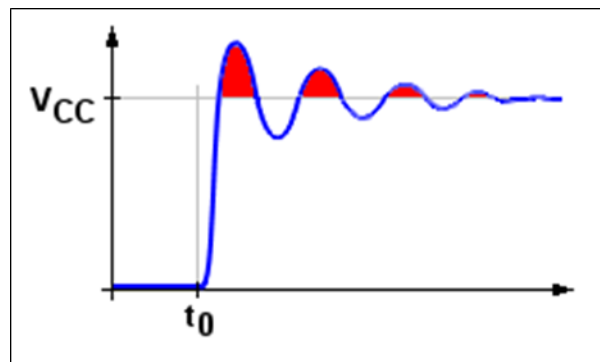
図 8. スイッチを閉じている時の等価回路



R_{PD} は、高い値 ($> 50 \text{ k}\Omega$) を選択されることが多く、その減衰効果は弱くなります。

この弱く減衰した振動は、図 9 の赤色部分に示すようにポート端子 (観測ポイント B) でオーバシュートを引き起こします。

図 9. スイッチを閉じた後のポート端子の信号オーバシュート



このオーバシュートによって内部電源に接続された内部のクランプダイオードが導通状態となり、ポート端子に内部ラッチアップを引き起こす場合があります。スイッチがオープンとなった場合も同様です。この場合、ポート端子にアンダシュートが発生します。

振動の周波数は式 1 で計算できます。

$$f_{OSC} = \frac{1}{2\pi\sqrt{L_X C_{DB}}} \quad \text{式 1}$$

インダクタンス L_X は、PCB 上の配線ルートと配線長に依存します。

ラッチアップを防止するために 2 つの解決策があります。

解決策 A:

1 つの解決策はデバウンスコンデンサの容量を小さくします。振動周波数を高くすることでオーバシュートの全体的なエネルギーが小さくなります。

図 10. 大容量時のバウンス信号

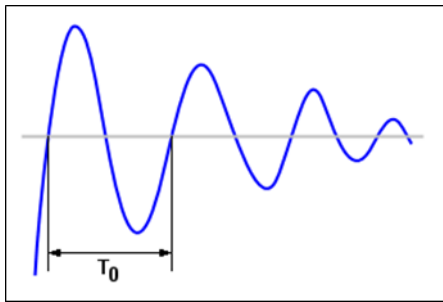
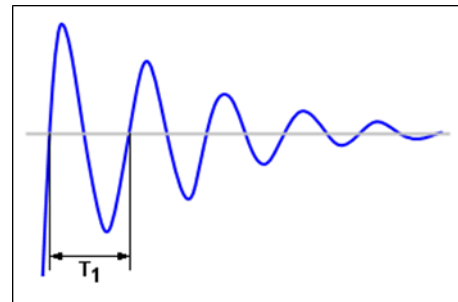


図 11. 小容量時のバウンス信号

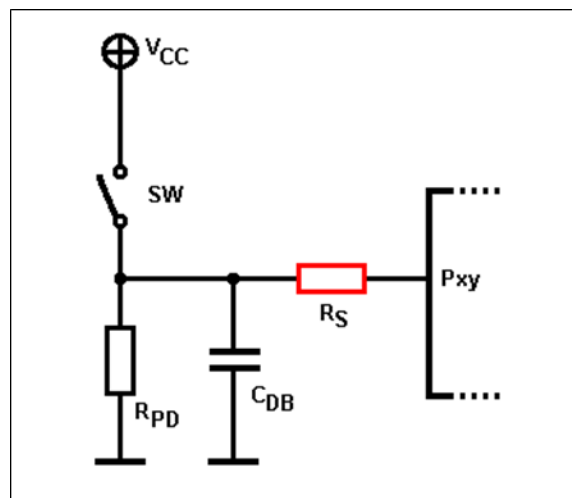


この解決策は 2 つの欠点があります。デバウンス効果の低下およびラッチアップが解消されないことがあります。

解決策 B: (推奨)

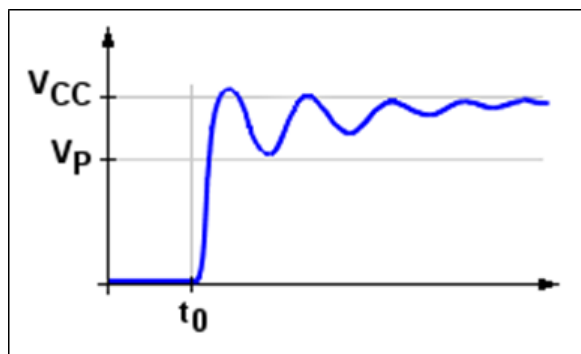
推奨解決策は、図 12 で示すポート端子にシリーズ抵抗 (R_S) を使うことです。

図 12. シリーズ抵抗による推奨スイッチ回路



シリーズ抵抗 R_S は、電圧オフセットの低下と振幅を低減します。大き過ぎる抵抗値を選択しないでください。抵抗値が大きい場合、ポート端子入力電圧 (V_P) は、専用ポート端子 (例えば CMOS/TTL/Automotive レベル) の High 入力レベル閾値を下回る場合があります。

図 13. シリーズ抵抗による信号バウンスの削減



6.4 5 V トレラント入力端子

MCU には 5 V トレラント入力端子はありません。5 V の I²C バスシステムを設け、V_{DDIO} に 3.3 V が供給される場合、MCU ラッチアップを防ぐために外部レベルシフタが必要です。

6.5 IO ポート端子のリセット動作

POR 中および POR 後に、すべての GPIO はハイインピーダンスアナログ状態になり、入力バッファはディセーブルされます。実行中に、GPIO は関連レジスタへの書き込みによって設定できます。DAP 接続は、コード実行開始後のみディセーブルまたは汎用使用のために設定変更できます。

6.6 グリッジフィルタ処理

MCU には内部グリッジフィルタオプションがあります。グリッジフィルタはすべてのポート端子で使用できないため、ウェイクアップ端子の割当てには注意が必要です。ウェイクアップ端子を割り当てる前に、データシートで使用可能なグリッジフィルタ数を確認してください。

アナログフィルタ

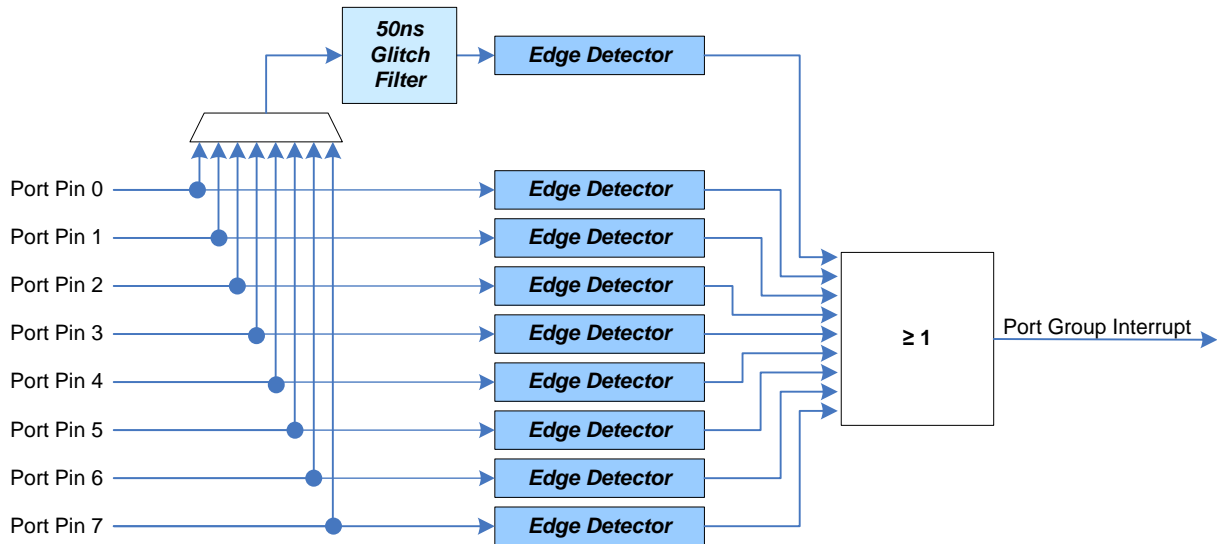
すべてのポートグループには Deep Sleep モードで動作可能な 1 つのアナログフィルタがあります。AC 特性の詳細は、[データシート](#)を参照してください。

デジタルフィルタ

I/O システムの Smart I/O モジュールは専用ポートに 1 つのデジタルフィルタを実装できます。Deep Sleep モードでは、内部低速発振器 (ILO) と外部水晶発振器 (ECO) のいずれかをクロックソースとして選択できます ([クロックソース](#)参照)。これは最小フィルタ期間が 30 μs 以下であることを意味しています。さらにクロックが動作しているため消費電流も増加します。より詳しい情報は Architecture Technical Reference Manual (TRM) のスマート I/O、I/O システムを参照してください。

外部フィルタに関するラッチアップ考慮については[ラッチアップ考察 \(スイッチ\)](#)を参照してください。

図 14. ポートグリッジフィルタと割込み構造



6.7 モード端子

MCU をプログラミングまたは通常動作モードに変更する専用のモードピンはありません。

6.8 外部割込み入力端子

一般に外部割込みは、すべての汎用 I/O (GPIO) ポート端子のエッジ検出によって使用可能です。グリッジフィルタリングの使い方については[グリッジフィルタ処理](#)を参照してください。

表 4 は、さまざまなパワーモードでのウェイクアップソースを示します。パワーモードの詳細は、対応する TRM の「Resources Subsystem (SRSS) > Device Power Modes」を参照してください。

表 4 . 外部割込み/ウェイクアップ パワーモードのサポート

ポート端子機能	外部割込み / ウェイクアップ パワーモード			
	Active	Sleep	Deep Sleep	Hibernate
GPIO	○	○	○	-
専用周辺 ⁴	○	○	○	○
ウェイクアップ ⁵	-	-	-	○

7 フラッシュプログラミング接続

フラッシュプログラミングは JTAG/SWD 接続により可能です。よって、パワーオンリセット後に MCU をプログラミングモードに変更するためのモードピンはありません。デバッグ接続の情報としては[デバッグインタフェース](#)を参照してください。量産プログラミングのために、専用の LIN と CAN チャネルを使うオプションも用意されています。

⁴ TRM またはデータシートを参照してください。

⁵ ウェイクアップ機能は一部の端子のみサポートされています。

8 デバッグインタフェース

デバッグシステムを MCU に接続する方法として、デバッグ要件とツールチェーンサポートによって、いくつかのオプションがあります。以下はデバッグコネクタです。

- 既存 20 ピン IDC JTAG コネクタ
- 10 ピン Cortex デバッグコネクタ
- 20 ピン Cortex デバッグ+ETM コネクタ

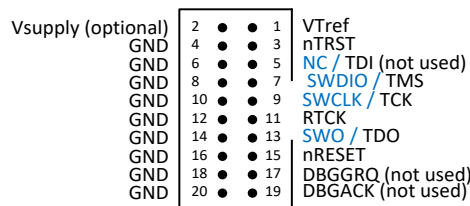
これらのコネクタにおいて、JTAG と SWD 信号は共有されています。違い (Serial Wire Debug (SWD) プロトコル信号) を青字で示しています。インタフェース信号の詳細は、[CoreSight Components Technical Reference Manual](#) の 11 章を参照してください。

既存 20 ピン IDC JTAG コネクタ

既存 JTAG インタフェースはフラッシュプログラムとデバッグに使用されます。JTAG 信号 RTCK は MCU では使用できません。SWD 信号が共有できます。

Note: JTAG インタフェースとして 20 ピン 2.54 mm ピッチ IDC コネクタが使用されます。(例: Hirose HIF3FC-20PA-2.54DSA)

図 15. 既存 20 ピン IDC JTAG コネクタ



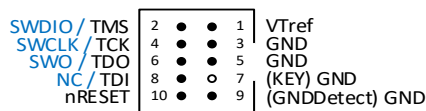
10-pin Cortex デバッグコネクタ

SWD デバッグインタフェースを使用するために、10 ピン MIPI コネクタは、デバッグのため必要最小限の信号で定義されます。JTAG インタフェース信号は、双方向データ信号 (SWDIO) とクロック信号 (SWCLK) に置き換えられます。解放された TDO 信号は、システムトレースデータ出力カシリアルワイヤ出力 (SWO) として再利用可能です。

Note:

- SWD デバッグのために 10 ピン 1.27 mm ピッチのコネクタが使用されます。(例: Samtech FTSH-105-01-L-DV-K).
- コネクタを正しく接続するため、7 ピンはなくキー (KEY) としてのみ使用します。

図 16. 10 ピン Cortex デバッグコネクタ



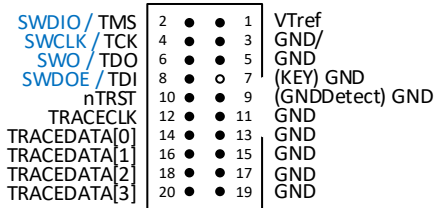
20-pin Cortex Debug+ETM コネクタ

JTAG デバッグと SWD デバッグの他に命令トレースのため Embedded Trace Macrocell (ETM) の信号トレースプロンプの接続に使用します。

Note:

- コネクタとして、20 ピン 2.54 mm ピッチのコネクタが使用されます。(例: Samtech FTSH-110-01-L-DV-K)
- コネクタを正しく接続するため、7 ピンはなくキー (KEY) としてのみ使用します。

図 17. 20 ピン Cortex デバッグ+ETM コネクタ



終端抵抗

一般的にデバッグ接続では適切な通信のため終端抵抗が必要です。パワーオンリセット後、デフォルトでブート ROM により JTAG IF がイネーブルされるため、この MCU は外部終端抵抗を必要としません。外部終端をボード上に実装する場合、それぞれの外部信号の終端は、同じ方向でなければなりません。JTAG IF はリセット後にイネーブルされますが、SWD モードは SWD 接続の確立後にイネーブルされます。

表 5. デバッグ IF のための終端抵抗

JTAG モード	SWD モード	信号	必要な終端抵抗 (MCU 内でアサインしない場合)	MCU Implementation
TCK	SWCLK	デバッグコア内クロック	10 k ~ 100 kΩ の抵抗でグラウンドにプルダウン	プルダウン抵抗
TDI	-	JTAG テストデータ入力	10 k ~ 100 kΩ の抵抗で V _{DDIO} にプルアップ	プルアップ抵抗
TDO	SWO	JTAG テストデータ出力, SWV トレースデータ出力	10 k ~ 100 kΩ の抵抗で V _{DDIO} にプルアップ	終端なし, プッシュプル駆動
TMS	SWDIO	JTAG テストモード選択, SWD データ入出力	10 k ~ 100 kΩ の抵抗で V _{DDIO} にプルアップ	プルアップ抵抗
nTRST	-	JTAG TAP リセット (負論理)	10 k ~ 100 kΩ の抵抗で V _{DDIO} にプルアップ	プルアップ抵抗
GND	GND	システムグラウンドに接続	-	-

図 18 と図 19 は、デバッグコネクタを MCU に接続する方法を示します。一般に、デバッグクロック信号のリンギングと反射防止のために、シリーズ抵抗 R16 はコネクタの近くに配置することを推奨します。抵抗の配置が適切でない場合、レベルが確定するまでの間の強い振動により、デバッグ I/F は、間違ったデータを受信する場合があります。内部終端抵抗によって、デバッグクロック信号に電圧分圧器が構成される可能性を考慮する必要があります。

図 18. 20-pin IDC コネクタによる MCU への JTAG デバッグ接続

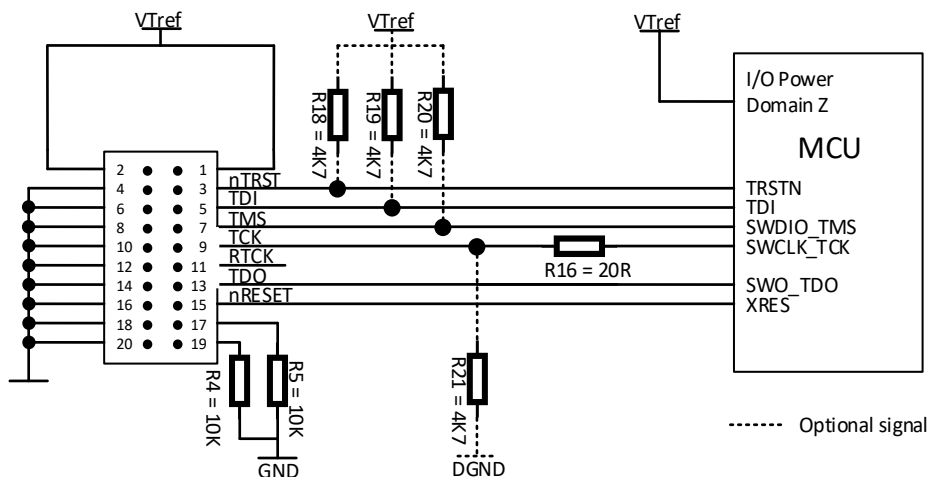
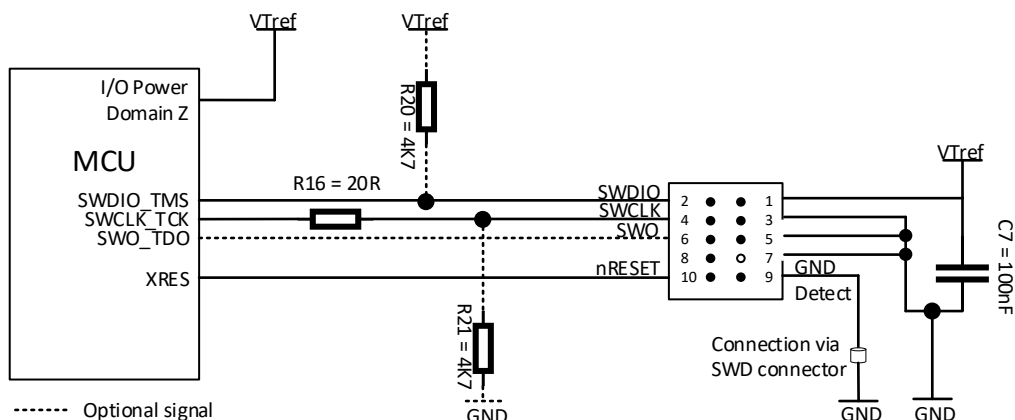


図 19. 10-pin MIPI SWD デバッグコネクタによる MCU への SWD デバッグ接続


Note:

- デバッグインターフェースとして、JTAG の代わりに SWD を使用する場合、リセット後、ROM ブートとユーザピンコンフィギュレーションの間に、JTAG 通信に従い未使用の JTAG ピンが構成されます。これら未使用の JTAG ピンをアプリケーションで使用する場合、ECU 内の周辺機器が影響を受けないことを確認してください。
- デバッグ接続をチェックすることを推奨します。Flash プログラミングとデバッグのためにベンダによってサポートされます。また、ターゲットボードの電源供給とベンダのハードウェアのサポートする電源供給レベルをチェックしてください。電源供給が不適当な組合せの場合、アダプタが必要です。

9 クロック出力機能

評価ため MCU 内部クロック信号をクロスチェックする場合、以下のオプションを使用できます。

- EXT_CLK ポート端子
- 代替出力機能端子

EXT_CLK ポート端子

内部クロックは、クロック出力機能として兼用機能ポート端子の EXT_CLK に分周器を経由して出力できます。イベントジェネレータ (EVTGEN) と EXT_CLK は同じ内部クロック信号 CLK_HF1 によって駆動することを考慮してください。分周された ECO 信号を EXT_CLK ピンでモニタする場合、EVTGEN も ECO クロックで駆動されるため、アプリケーションに影響を与える場合があります。EXT_CLK ピンは双方向ピンで、外部クロックソースとしても使えます。EXT_CLK ピンの詳細は [クロックソース](#) を参照してください。

MCU クロック出力機能は高速デジタル信号を駆動するため、この信号はアナログ入力とアナログ電圧基準信号から離して配線する必要があります。

代替機能端子

例えば、TCPWM 出力チャネルの PWM 信号を用いてシステムクロックを間接的にモニタできます。ただし、それぞれの TCPWM チャネル入力クロックが周辺クロックの専用クロック分周器によって分配されることを考慮する必要があります。クロックツリーの詳細は [TRM](#) の「Clocking System」を参照してください。

10 レイアウトと EMC(電磁場適合性)

10.1 概要

ESD 問題とシステムのノイズ放出を避けるため、レイアウト設計に対するいくつかの規則を考慮してください。

最も重要な点は MCU コアのための内部電源接続である VCCD 端子です。デカップリングコンデンサ (DeCaps) は、VCCD 端子にできるだけ近く配置する必要があります。通常、コンデンサに再充電されるまでの期間をバイパスするため、 μF 単位のおおきなバッファまたはバイパスコンデンサを電源ドメインに追加します。これらが無い場合、DeCaps および最終的にシステム電源が動作範囲を下回る場合があります。

MCU が異なるデジタル電源を持つ場合、電源の配線には注意が必要です。電源配線は、スター形で、内層のデジタルプレーンとして配線する必要があります。デジタルグランドプレーンは、内層または、MCU 直下に設けることを推奨します。DeCaps は、関連する端子のできるだけ近くに配置してください。DeCaps が適切に配置されない場合、機能しない場合があります。

可能な限りすべての DeCaps は、MCU と同じ実装面に配置してください。または、DeCaps を電源端子ペア (例えば VDD/VSS ペア) の下の最下層にも配置できます。

アナログ電源はデジタル電源から分離されなければなりません。そして、共通グランドのスターポイントはできるだけ MCU から離す必要があります。ハードウェア設計において、デジタルとアナログ電源の間、または、アナログとデジタルグランドの間にラッチアップの影響がないことを確認してください。したがって、異なる VSS 端子間、アナロググランドとアナログリファレンス入力間のインピーダンスは可能な限り低くする必要があります。

10.2 電源供給端子

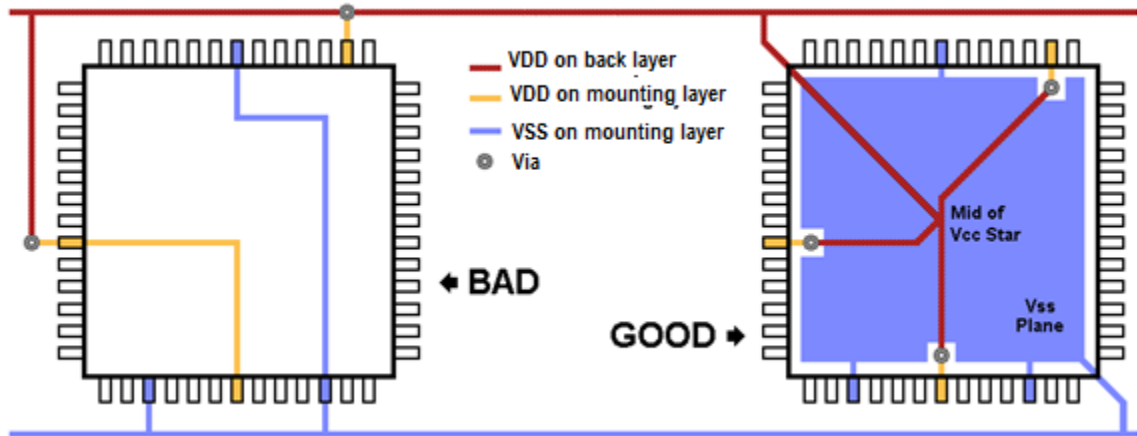
[表 2](#) は EMC 重要ピンリストです。そして、それらの接続方法に関する情報を示します。DeCaps の配置について、一般的な推奨については [概要](#) を参照してください。

10.3 グランドと電源供給

一般に、対応する VDD と VSS ラインは、チェーンではなくスター型で配線しなければいけません。

図 20 は、電源配線の悪い例と良い例を示しています。

図 20. 電源配線の悪い場合と良い場合の一般的な例



多層基板の場合、VDD と VSS は内層のプレーンとして配線されなければなりません。複数の電源供給プレーンで層構成を考慮すると、これらのプレーンは、ノイズ結合防止のため重なってはいけません。

EMC のためのいくつかの推奨事項を示します。

- 多層基板を使用してください。
- 電源供給プレーン(グランドと電源)は内層を使用してください。
- 考えられる放射ノイズ削減のため、対応する各供給端子ペアの近くに 1 または 2 個の DeCaps を配置してください。
- 電力供給デカップリングの周波数特性一致のためコンデンサグループを使用します。DeCaps は、1 nF から 10 μ F の値を使用できます。
- 1 つの共通スターポイントだけがアナログとデジタルのグランドプレーンをお互いに接続することを確認してください。アナログ部分のノイズ低減のため、スターポイントは、MCU からできるだけ遠くに、それぞれ Electronic Control Unit (ECU) コネクタへの電圧レギュレータコンデンサのできるだけ近くに配置する必要があります。
- デジタルとアナログプレーンが重なり干渉しないことを確認してください。また、信号プレーンが、これらのプレーンの間にあってはいけません。
- アナログ入力信号は可能な限りアナロググランドでシールドしてください。
- グランドループを避けてください。
- 層切替による供給配線は少なくとも 2 つのビアを持つことを確認してください。

図 21 は、悪い PCB 層構成の例です。異なる電源プレーンの間にクロストークが発生する可能性があります。それに対して、図 22 は、共通層でアナログとデジタル電源プレーンが分けられた良い設計の PCB 層構成の例です。これによりボードの EMC 特性は改善します。

図 21. 悪い PCB 層構成の例

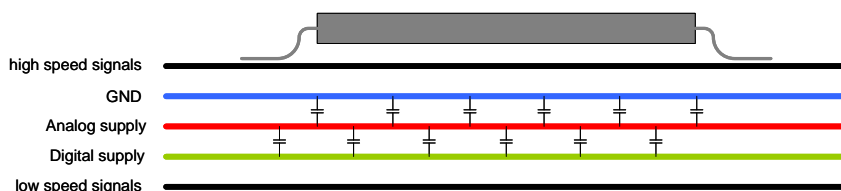
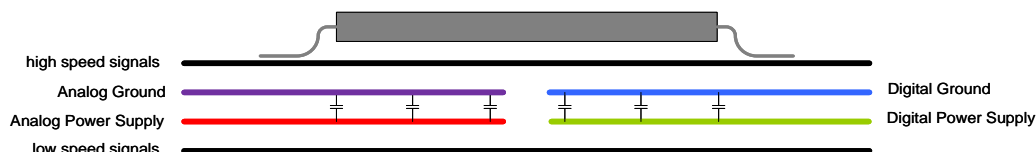


図 22. 良い PCB 層構成の例



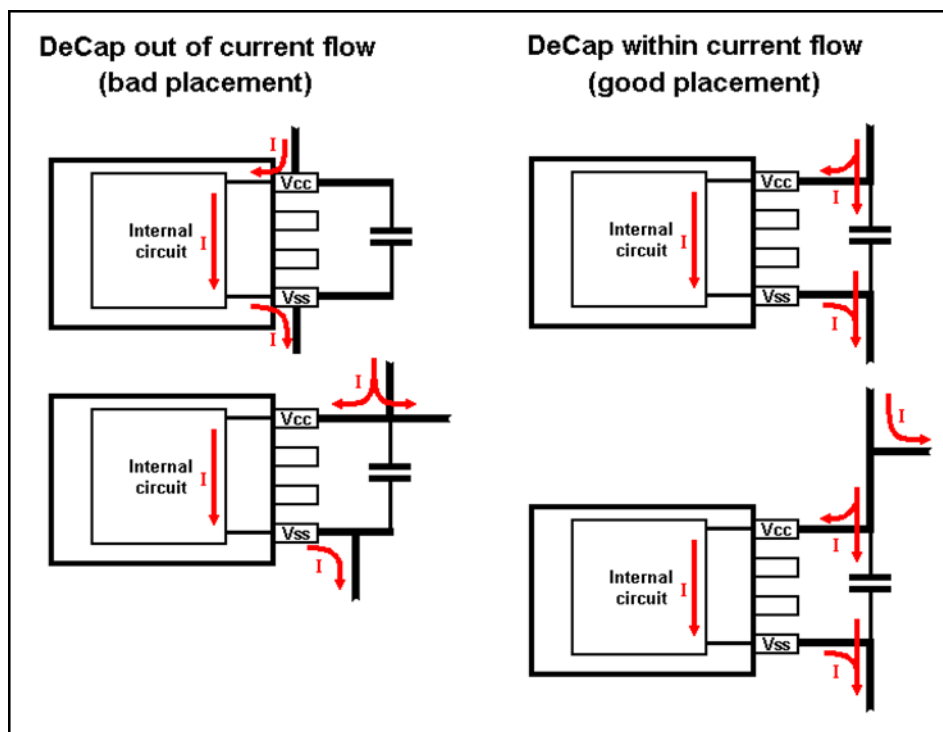
10.4 電源供給デカップリング

10.4.1 配置

一般に、DeCaps は可能な限り MCU の近くに配置しなければなりません。デカップリングのため小さいセラミックコンデンサを大きな電解コンデンサと共に使用する場合、セラミックコンデンサは電解コンデンサより MCU 電源の近くに配置してください。

電源の DeCaps は電流の経路中に配置する必要があります。電流の経路中に配置されない場合、図 23 で示すように効率的に機能しません。一般的に有効な配置例を図 24 から図 25 に示します。VCC は電源供給端子、VSS はグランド端子を示しています。

図 23. 電源供給 DeCaps 配置



通常、ノイズ電流は DeCaps CB の半田付けパッドを流れなければなりません。図 24 はボード上の推奨配置と配線を示します。

図 24. ボード上の推奨電源供給 DeCaps 配置配線

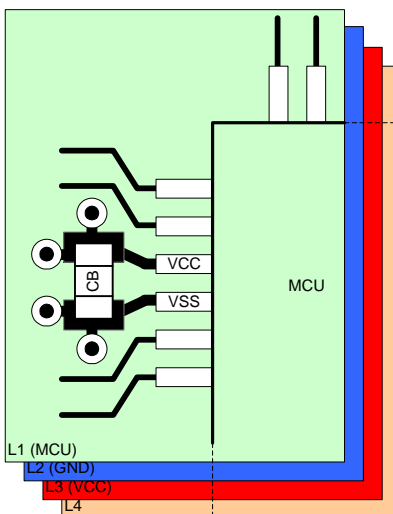
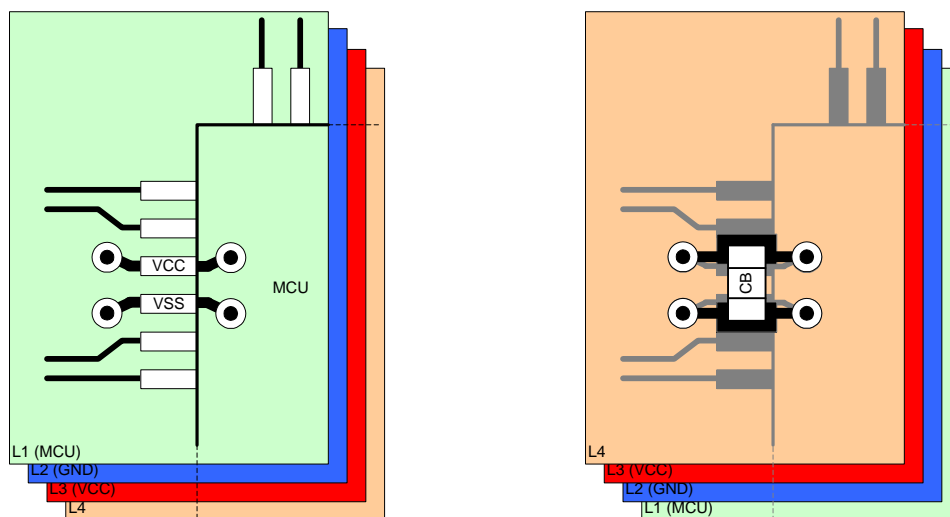


図 25 は代替案を示します。ただし、推奨する配置配線ではありません。コンデンサは MCU とは逆の面に配置されることに注意してください。高密度ボードアセンブリに最適です。

図 25. ボード上の代替電源供給 DeCaps 配置配線



10.4.2 I/O ドメイン

I/O ドメインの DeCaps コンデンサとバイパスコンデンサのサイズはアプリケーション固有です。サイズ決定において考慮すべきポイントを以下に示します。

- 各出力のスイッチング動作 (周期的またはランダム)、および遷移要件はどのようになっていますか？
- 実行中、ウェイクアップまたはリセット後に同時に遷移する出力ピン数は？
- 出力 1 ピンあたりの負荷容量は？
- どのドライバ強度が選択されていますか？
- 大きなバイパスコンデンサによってバッファされる可能性のある抵抗起因による DC 電流はありますか？

対応するモデル (IBIS またはランプモデル) を使用して電源分配ネットワーク (PDN) 解析を実施するか PCB でテストすることを強く推奨します。デカップリングに関する簡単な考慮事項は、[SRAM Board Design Guidelines](#) を参照してください。

10.5 水晶振動子の配置と信号配線

MCU は、ECO と外部 watch oscillator (WCO) のために組込形フィードバック抵抗 (R_f) を持つ 2 つの発振器を実装しています。ユーザはソフトウェアにより両発振器を有効にできます。つまり、MCU は内部クロックソースによってブートプロセスを開始します。

Note: このアプリケーションノートで説明されるこのファミリでの発振器とトリミング機能の実装を示す図 26 から図 29 は、専用デバイスの Architecture TRM とは異なる場合があります。外部のトリミング機能が異なるため、ECU 設計での BOM コストが削減できます。

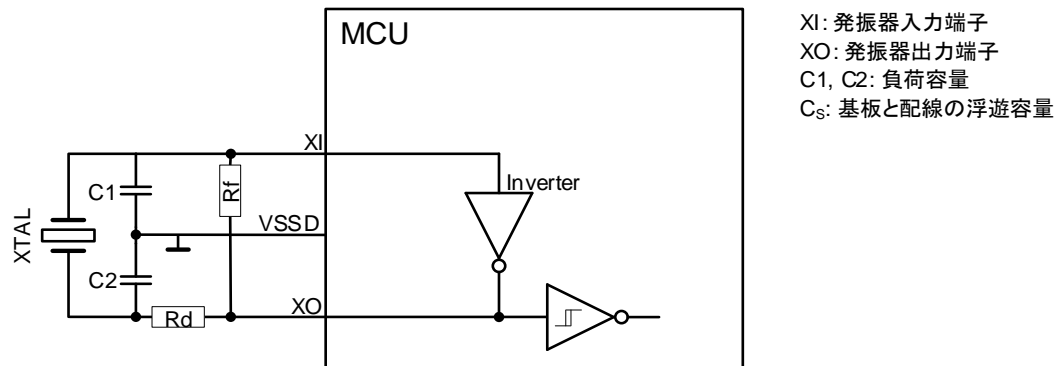
セットアップ

図 26 に外部発振器回路の原理を示します。フィードバック抵抗 (R_f) はアンプとしてインバータ動作するために必要です。任意で、ダンピング抵抗 (R_d) が駆動レベル (DL) 削減のために必要です。DL が強すぎる場合、水晶は寿命を超えて損傷する可能性があります。負荷コンデンサ C_L は終端静電容量で水晶に接続されます。そのため、 C_L には外部コンデンサ C_1 と C_2 および浮遊容量 C_s が含まれます。 C_s は PCB レイアウト、製造誤差および発振器の MCU 端子から構成されます。通常、浮遊容量は信号線ごとに ~4 pF で、 C_1 と C_2 は周波数安定化のために 8 pF 以上にする必要があります。両方の負荷コンデンサ (C_1 , C_2) の値は、水晶マッチングテストによって決定する必要があります。発振器回路に影響を及ぼすターゲットボードの変更がある場合、水晶メーカによって水晶マッチングテストを実施する必要があります。

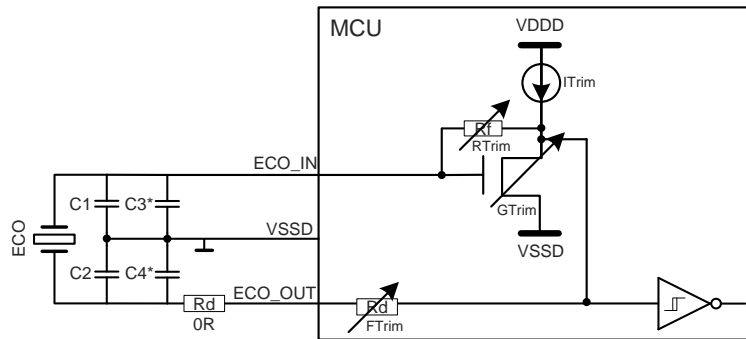
負荷コンデンサ C_L

$$C_L = \frac{C_1 \times C_2}{C_1 + C_2} + C_s \quad \text{式 2}$$

図 26. 外部発振器回路の原理

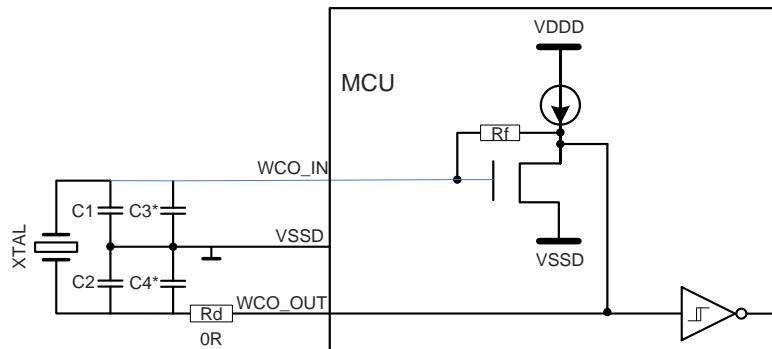


ECO 設計は、BOM コスト削減のために最適化されます (図 27 参照)。これは拡張性のある DL と組込形 R_f によって実現されます。トリミング機能によって、幅広い発振器の周波数レンジをサポートします。詳細は、[Architecture TRM](#) の「Clock Sources」を参照してください。

図 27. ECO 回路構成⁶


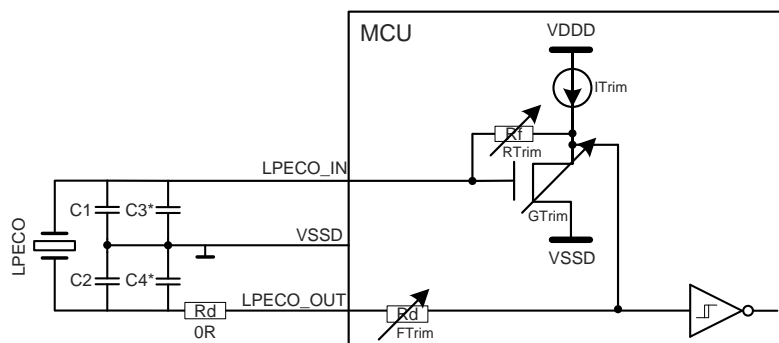
ECO_IN: 外部水晶発振器入力端子
 ECO_OUT: 外部水晶発振器出力端子
 C1, C2: 負荷容量
 C3*, C4*: 基板の浮遊容量

WCO の実施例を図 28 に示します。外部 BOM コストを削減するため、ECO と同様に Rf が内蔵されています。外部発振器のダメージ防止のため、外部 Rd が必要な場合があります。

 図 28. WCO 回路構成⁶


ECO_IN: 外部水晶発振器入力端子
 ECO_OUT: 外部水晶発振器出力端子
 C1, C2: 負荷容量
 C3*, C4*: 基板の浮遊容量

LPECO 設計は、BOM コスト削減のために最適化されます (図 29 参照)。これは拡張性のある DL と組込形 Rf によって実現されます。

 図 29. LPECO 回路構成⁶


LPECO_IN: 外部水晶発振器入力端子
 LPECO_OUT: 外部水晶発振器出力端子
 C1, C2: 負荷容量
 C3*, C4*: 基板の浮遊容量

⁶ 図は専用 Architecture TRM と異なる場合があります。トリミング機能が 100% カバーされているわけではありません。

PCB 設計

EMI の影響を低減するため、外部発振器部品の配置と信号配線には注意が必要です。以下は、PCB レイアウト時に考慮する必要があるアイテムです。設計上の制約により、アイテム間のトレードオフが必要な場合があります。

- 安定した周波数
 - 外部発振器部品は MCU 層に配置してください。
 - 外部発振器部品は MCU と可能な限り近くに配置してください。
 - 負荷容量 C1 と C2 の発振器グランドへの接続は、共通のスターポイントでなければなりません。
 - 両方のコンデンサのグランド接続に間に信号配線がないようにしてください。
 - グランド信号配線にビアを使用しないでください。
- ノイズ注入
 - MCU 直下はグランド層にしてください。
 - MCU 層はグランドシールドを使用し、グランド層として隣接層を使用してください。
 - 発振器ボンディングワイヤの領域をシールドしてください。
 - 発振器のグランド信号としてグランドシールドを使用しないでください。
 - グランドループを避けてください。発振器グランド信号は、システムグランドに接続される前に、VSSD に接続されなければなりません。
 - VSSD への発振器グランドの配線は、可能な限り短くしてください。
 - 強いパルス信号を発振器の近くに配線しないでください。これは隣接層にも有効です。
- ノイズ放射
 - 影響を受けやすい信号を発信器信号の近くに配線しないでください (例えばアナログセンサ信号)

10.6 部品配置

- アナログ部品の配置は、グランド接続が共通の分割領域でなければなりません。デジタル部品も同様です。アナログ電圧リファレンスレギュレータはアナログプレーン上に、デジタル電圧レギュレータはデジタルプレーン上に配置されなければなりません。
- 共通電源を使用する部品はお互いにできるだけ中央に配置しなければなりません。
- MCU と他の混合信号部品は、アナログとデジタル間のブリッジとして、PCB に配置されなければなりません。

10.7 信号配線

- デジタル電源と信号配線は、デジタルグランドプレーンの上に配線しなければなりません。そして、アナログ電源と信号配線はアナロググランドプレーンの上に配線しなければなりません。
- アナログ信号配線を分離するために、配線の周辺領域は周囲を銅で満たし、アナロググランドプレーンに接続されなければなりません。同様にデジタル信号配線の領域にも推奨されます。
- 影響を受けやすい配線に近接してまたは平行に配線しないでください。
- 可能な限り短い配線長を保ってください。

また、アプリケーションを設計するとき、EMC 性能を向上させるために以下のアイテムを厳密に調査する必要があります。

- ノイズの多い信号 (例えば高速なエッジ時間の信号)
- 影響を受けやすい、かつインピーダンスの高い信号
- キャプチャイベント信号 (例えば割込みやストローブ信号)

11 温度保証

MCU 総電力要件の指標を理解することは非常に重要です。システム設計でこの電力を大気中に十分効率的にまたは適切に放熱できる場合、それ以上のアクションは必要ありません。しかし、PCB 設計にヒートシンクが必要となる場合もあります。サイプレスの MCU は、非常に低電力なデバイスから、高速で複雑なロジックを要求される高い電力を必要とするデバイスまで広範囲にわたる製品をカバーします。特定の状況下では、MCU はコア、周辺機器および I/O 電流を含め 1 ワット以上の電力を必要とする可能性があります。多くの電力を必要とする場合、放熱を考慮する必要があります。設計が完了する前に、完全な熱的レビューを行う必要があります。近くの熱源、PCB 構造、およびシステムの風量などの項目を確認する必要があります。以下に示す例は先行設計の目標が指標を満足するかを決定するための第一歩です。

ジャンクション温度の計算

$$T_J = T_A + \theta_{JA} \times P_D \quad \text{式 3}$$

T_J : ジャンクション温度

T_A : 周囲温度

θ_{JA} : 接合部から周囲への熱抵抗

P_D : 消費電力

一次概算として、最初にターゲットデバイスの接合部から周囲までの熱抵抗(θ_{JA})をデータシートで確認してください。 θ_{JA} は、 $^{\circ}\text{C}/\text{watt}$ で表されます。例えば、LQFP 120 ピンの θ_{JA} は、 $38^{\circ}\text{C}/\text{watt}$ です。同じデバイスでも底面に放熱パッドを持つ LQFP 120 ピンパッケージの θ_{JA} は $18^{\circ}\text{C}/\text{watt}$ でありより高い電力使用と周囲温度を許容します。

デバイス接合部と周囲環境の間の最大温度差は θ_{JA} に最大電力を掛けた値です。先の場合では、 $38^{\circ}\text{C}/\text{watt} \times 1.0 \text{ ワット} = 38^{\circ}\text{C}$ です。規定されたデバイスの最大動作ジャンクション温度が 125°C であるため、最大許容周囲温度は $125 - 38 = 87^{\circ}\text{C}$ です。 $18^{\circ}\text{C}/\text{watt}$ の低い熱抵抗 θ_{JA} の放熱パッドバージョンのパッケージを使用し、パッド設計が適切な PCB に実装される場合、最大許容周囲温度は、 $125^{\circ}\text{C} - 18^{\circ}\text{C} = 107^{\circ}\text{C}$ です。これはデバイスの I/O またはコアがより多くの電力を駆動できる可能性がある、または周囲の動作温度の 20°C 上昇することを許容します。

デバイスシリーズの各データシートには、パッケージ熱抵抗と最大許容電力を示す表があります。これにより、特定のパッケージデバイスによって実際に消費される電力量を容易に確認できます。データシートでは最小 PCB 構成が推奨されます。例えば、4 層 PCB は内層によって熱を放熱するため 2 層 PCB より許容損失特性が優れています。

Note: データシートの θ_{JA} は標準値です。周囲温度は製品設計の許容最大値よりも非常に低い必要があります。

Note: 上記の計算では θ_{JA} または許容損失が高い場合、論理的に最大許容周囲温度は接合部温度限界の 125°C に近く可能性があります。ただし、商業用周囲温度限界の 85°C または工業用周囲温度限界の 105°C の製品では適用可能です。上記の第 1 の例では、商業用グレード (85°C) デバイスを動かすためには受け入れられません。第 2 の例では、最終製品の動作条件の選択に応じて商業用グレードまたは工業用グレードのデバイスが適しています。

BGA または QFN パッケージで提供される MCU は、小さいパッケージサイズのために、熱伝導のため利用できる表面積が小さくなります。これらのパッケージは電力を必要とするアプリケーションでは十分にチェックする必要があります。

詳細な情報は[関連ドキュメント](#)にあるアプリケーションノート AN72845 で提供されます。

12 まとめ

このアプリケーションノートでは、最小 MCU システムのセットアップ方法を記述しました。加えて、MCU ピンの異なるケースの取扱い方法と適切な PCB レイアウト設計をする方法についてヒントを提供しました。

13 略語表

略語	説明
ALT	Alternate
BOD	ブラウンアウト検出 (Brown-out-Detection)
BOM	Bill of Material
DeCaps	デカップリングコンデンサ (Decoupling capacitors)
DDR	ダブルデータレート。クロックサイクル内で 2 回サンプリングされたデータ。fDATA = fCLK
DS	データシート
DUT	被試験デバイス (Device under Test)
ECU	Electronic Control Unit
ETM	Embedded Trace Macrocell™
Ext	External
GND	電氣的グラウンド
GPIO	汎用 I/O (General Purpose I/O)
HVD	高電圧検出 (High-Voltage-Detection)
IC	集積回路 (Integrated Circuit)
IF	インタフェース (Interface)
Int	Internal
IO	入出力 (Input, Output)
JTAG	Joint Test Action Group は IEEE 1149.1 の共通名称です。 標準テストアクセスポート、バウンダリスキャンアーキテクチャ、そしてターゲット MCU 内のオンチップデバッグのためのデバッグツールインタフェース
LVD	低電圧検出 (Low-Voltage-Detection)
MAC	メディア・アクセス・コントロール (Media Access Control) 通信媒体に依存しない部品
MCU	Microcontroller または Microcontroller Unit
PDN	電源分配ネットワーク (Power Distribution Network)
PHY	物理層 (PHYsical layer) デジタルと変調されたチャネル間のデータのコーディングとエンコーディングのための電気部品
SDR	シングルデータレート。クロックサイクル内で 1 回だけサンプリングされたデータ。fDATA = ½ x fCLK
S/s	Samples per second
NC	Not connected
OCD	過電流検出 (Over-Current-Detection)
OVD	過電圧検出 (Over-Voltage-Detection)
PCB	プリント回路基板 (Printed Circuit Board)
POR	パワーオンリセット (Power-On-Reset)
Rd	ダンピング抵抗
Rf	フィードバック抵抗
STP	シールド付きツイストペア (Shielded Twisted-Pair)

略語	説明
SWD	シリアルワイヤデバッグ (Serial Wire Debug)
TRM	テクニカルリファレンスマニュアル (Technical Reference Manual)
VCC	電源端子の一般命名規則
VSS	グランド端子の一般命名規則
WDT	ウォッチドッグタイマ (Watchdog Timer)

14 関連ドキュメント

- AN220118 - Getting Started with the Traveo II Family
- [AN72845](#) - Design Guidelines for QFN Packaged Devices
- [AN89611](#) - PSoC 3 and PSoC 5LP Getting Started with Chip Scale Packages
- [AN80994](#) - Design Considerations for Electrical Fast Transient (EFT) Immunity
- [AN57821](#) - PSoC 3, PSoC 4, and PSoC 5LP Mixed Signal Circuit Board Layout Considerations
- AN220222 - Low power mode procedure in the Traveo II family
- [ARM_Link_01](#) - CoreSight Components Technical Reference Manual (Cortex debug connector detailed specification in appendix C)
- [ARM_Link_02](#) - Cortex-M Debug Connectors
- [SRAM Board Design Guidelines](#)
- データシート
 - CYT2B7 Datasheet 32-Bit Arm® Cortex®-M4F Microcontroller Traveo™ II Family
 - CYT2B9 Datasheet 32-Bit Arm® Cortex®-M4F Microcontroller Traveo™ II Family
 - CYT4BF Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller Traveo™ II Family
 - CYT4DN Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller Traveo™ II Family
- CYT2B シリーズ
 - Traveo™ II Automotive Body Controller Entry Family Architecture Technical Reference Manual (TRM)
 - Traveo™ II Automotive Body Controller Entry Registers Technical Reference Manual (TRM) for CYT2B7
 - Traveo™ II Automotive Body Controller Entry Registers Technical Reference Manual (TRM) for CYT2B9
- CYT4B シリーズ
 - Traveo™ II Automotive Body Controller High Family Architecture Technical Reference Manual (TRM)
 - Traveo™ II Automotive Body Controller High Registers Technical Reference Manual (TRM)
- CYT4D シリーズ
 - Traveo™ II Automotive Cluster 2D Family Architecture Technical Reference Manual (TRM)
 - Traveo™ II Automotive Cluster 2D Registers Technical Reference Manual (TRM)

これらの資料を入手する場合は、[テクニカルサポート](#)にお問い合わせください。.

著者について

氏名: Swen Wilfling
 職位: Sr Applications Engineer, Automotive
 経歴: 10 yrs. in Automotive MCU Applications Engineering

Appendix A. 電源コンセプト

ここでは、MCU 電源のデカップリングコンデンサを含む MCU 固有の電源コンセプトを示しています。

Note:

デカップリングキャップとバイパスコンデンサの配置はアプリケーションに依存します。これは特に I/O 電源に有効です。詳細については、[I/O ドメイン](#)を参照してください。

用語定義

- fCLK: クロック信号周波数
- fDATA: データ信号周波数
- SDR: シングルデータレート。クロックサイクル内で 1 回だけサンプリングされたデータ。 $f_{DATA} = \frac{1}{2} \times f_{CLK}$
- DDR: ダブルデータレート。クロックサイクル内で 2 回サンプリングされたデータ。 $f_{DATA} = f_{CLK}$
- 'Pin' : 元のピン名の同義語
- ドメイン: パワードメイン。1 つの電源ドメインに 1 つ以上の電源ピンを含められます。(例えば、VDDD には複数のピンがあります)

A.1 CYT2B シリーズ

図 30. CYT2B シリーズの電源コンセプト例

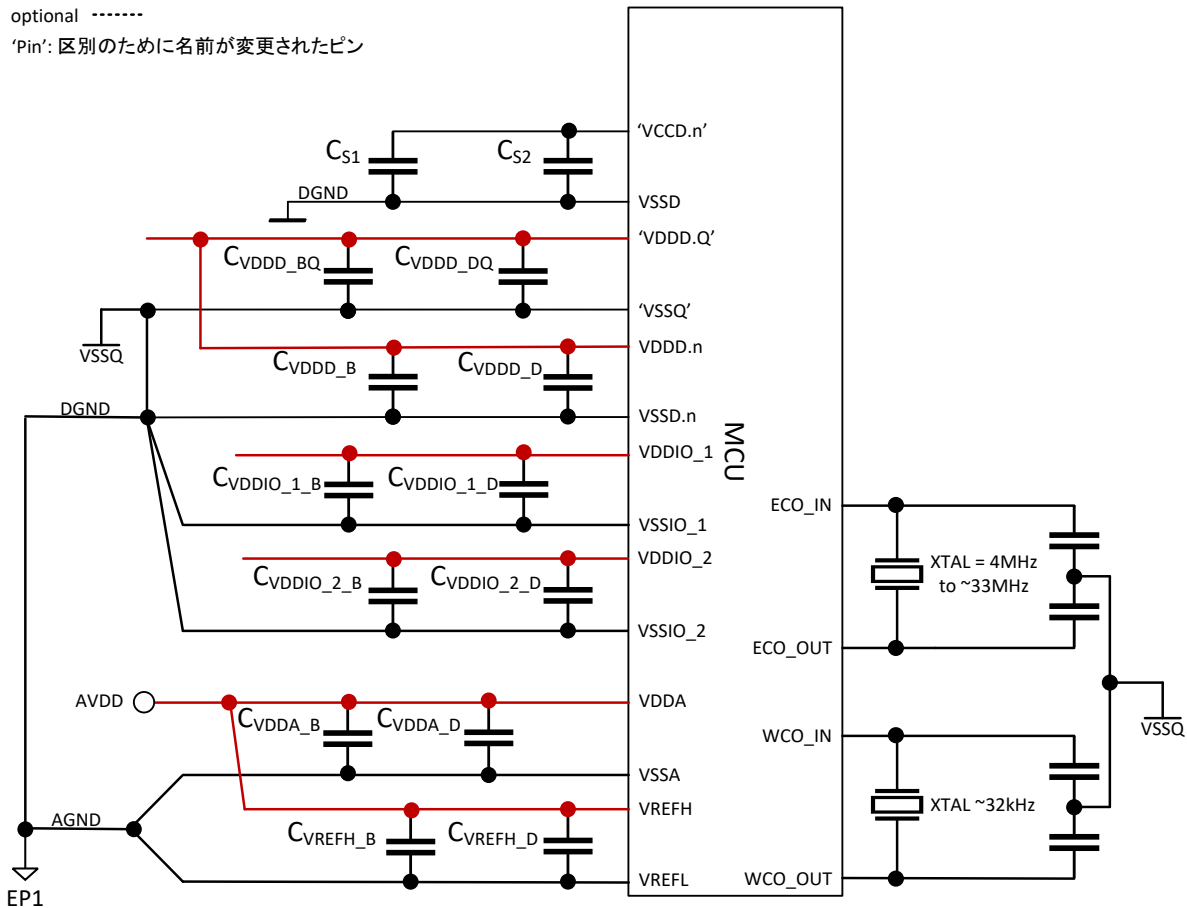


表 6. CYT2B シリーズの外部コンポーネント統合の例

シンボル	パラメータ	パッケージ	
		値	説明
C_{S1}	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	4.7 uF X7R	デバイス DS の仕様に従って、端子ペアおよび 'VCCD.CS1' の近くに配置 $C_S = C_{S1} + n \times C_{S2}$ は DS の仕様制限を満たす必要があります。
C_{S2}	コア電源用 VCCD ドメインのデカップリングコンデンサ	100 nF X7R ALT: 47 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ $C_S = C_{S1} + n \times C_{S2}$ はコンデンサの公差を含めて DS の仕様制限を満たす必要があります。
C_{VDDD_BQ}	IP 用 VDDD ドメインのバイパスコンデンサ	4.7 uF X7R	低周波デカップリングおよび MCU 突入電流にも使用されます。
C_{VDDD_DQ}	IP 用 VDDD ドメインのデカップリングコンデンサ	100 nF X7R	内部 LDO の安定性を維持するために、300 mV を超える一時的な電圧降下を避ける必要があります。 'VDDD.Q' (Quiet Supply) 端子は I/O ドメインとは共有されません。主に発振器用です。
C_{VDDD_B}	IP および I/O 用 VDDD ドメインのバイパスコンデンサ	-	C_{VDDD_BQ} が電源ラインへの供給が十分でない場合のみ必要です。

シンボル	パラメータ	パッケージ	
		値	説明
$C_{VDDD_D}^{7,8}$	IP および I/O 用 VDDD ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサデカップリング条件はピンごとに有効であり、すべてのトグルグループは互いに非同期でトグルする必要があります。
$C_{VDDIO_1_B}$	IO 用 VDDIO_1 ドメインのバイパスコンデンサ	TBD	オプション。電源のインダクタンスに依存します。
$C_{VDDIO_1_D}^{9,10}$	IO 用 VDDIO_1 ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサデカップリング条件はドメイン全体に有効です。
$C_{VDDIO_2_B}$	IO 用 VDDIO_2 ドメインのバイパスコンデンサ	-	
$C_{VDDIO_2_D}^{11}$	IO 用 VDDIO_2 ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサデカップリング条件はドメイン全体に有効です。 注意: $VDDIO_2$ の一時的な電圧降下は $VDDA - 0.3\text{ V} \leq VDDIO_2 \leq VDDA$ を満たす必要があります。
$C_{VDDA_B}^{12}$	ADC VDDA のバイパスコンデンサ	2.2 μ F X7R	-
C_{VDDA_D}	ADC VDDA のデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ
C_{VREFH_B}	ADC VREFH のバイパスコンデンサ	2.2 μ F X7R	オプション。 個別のアナログ基準電源を使用する場合のみ必要です。
C_{VREFH_D}	ADC VREFH のデカップリングコンデンサ	100 nF X7R	

表 7. CYT2B シリーズ用の特別な電源ドメイン端子

名前	パッケージ端子数 (実際の端子名)					コメント
	64-LQFP	80-LQFP	100-LQFP	144-LQFP	176-LQFP	
'VDDD.Q'	55 (VDDD)	69 (VDDD)	86 (VDDD)	124 (VDDD)	153 (VDDD)	Quiet Supply. I/O ドメインとは共有されません
'VSSQ'	56 (VSSD)	70 (VSSD)	87 (VSSD)	125 (VSSD)	154 (VSSD)	発振器用 Quiet グラウンド
'VCCD.CS1'	58 (VCCD)	72 (VCCD)	89 (VCCD)	127 (VCCD)	156 (VCCD)	

⁷ VDDD: 5V, 4% の一時的な電圧降下, f_{DATA} : 2 MHz, 4x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイス内部のインピーダンスは考慮されていません

⁸ VDDD: 5V, 4% の一時的な電圧降下, f_{DATA} : 0.1 MHz, 4x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイス内部のインピーダンスは考慮されていません

⁹ VDDIO_1: 5V, 4% の一時的な電圧降下, f_{DATA} : 2 MHz, 5x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイス内部のインピーダンスは考慮されていません

¹⁰ VDDIO_1: 5V, 4% の一時的な電圧降下, f_{DATA} : 0.1 MHz, 5x パラレル転送: 100 ns, C_L /ピン: 47 pF, 注釈 9 とは非同期, デバイス内部のインピーダンスは考慮されていません

¹¹ VDDIO_2: 5 V, 4% の一時的な電圧降下, f_{CLK} : 2 MHz, SDR, 10 x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイス内部のインピーダンスは考慮されていません

¹² ノイズ低減のため C_{VDDA_B} を両方の ADC DeCaps に接続します。3 つの ADC ユニットは非同期ではなく同時に実行しますが前提条件機能は使用されません。アナログの電源とグラウンドは図 35 に従って次の値を超えないようにしてください: $R_{AVDD} \leq 100\text{ m}\Omega$, $L_{AVDD} \leq 15\text{ nH}$, $R_{AGND} \leq 100\text{ m}\Omega$, $L_{AGND} \leq 15\text{ nH}$, $L_1 \leq 1\text{ nH}$, $L_2 \leq 1\text{ nH}$

A.2 CYT4B シリーズ (QFP パッケージ)

図 31. CYT4B シリーズ(QFP パッケージ)の電源コンセプト例

optional -----

'Pin': 区別のために名前が変更されたピン

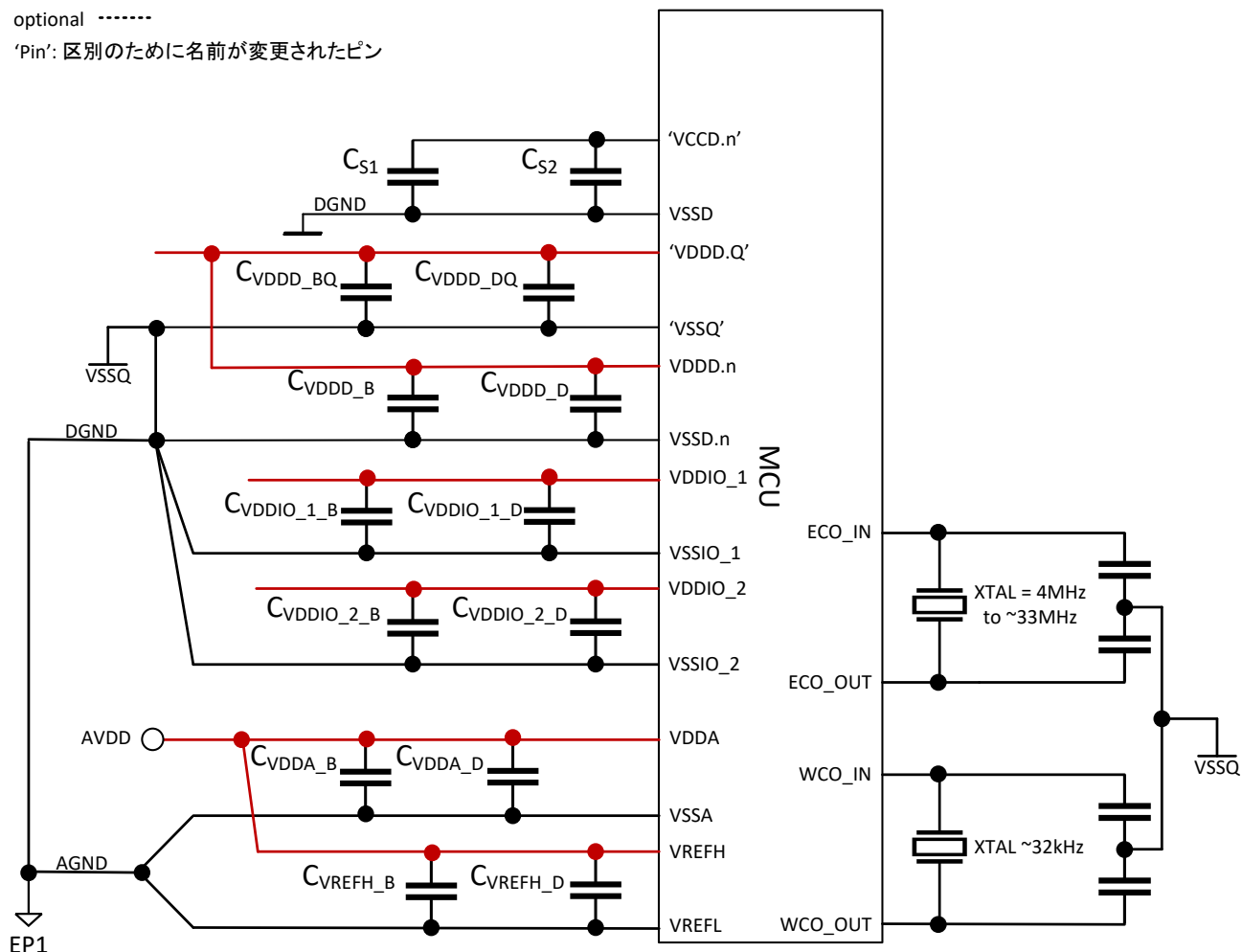


表 8. CYT4B シリーズ (QFP パッケージ) の外部コンポーネント統合の例

シンボル	パラメータ	パッケージ	
		値	説明
C_{S1}	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	4.7 μ F X7R	デバイス DS の仕様に従って、端子ペアおよび 'VCCD.CS1' の近くに配置 $C_S = C_{S1} + n \times C_{S2}$ は DS の仕様制限を満たす必要があります。
C_{S2}	コア電源用 VCCD ドメインのデカップリングコンデンサ	100 nF X7R ALT: 47 nF X7R	電源ドメイン端子グループごとに 1 つのコンデンサ VCCD 端子グループの定義は表 7 を参照してください $C_S = C_{S1} + n \times C_{S2}$ はコンデンサの公差を含めて DS の仕様制限を満たす必要があります。
C_{VDDD_BQ}	IP 用 VDDD ドメインのバイパスコンデンサ	4.7 μ F X7R	低周波デカップリングおよび MCU 突入電流にも使用されます。
C_{VDDD_DQ}	IP 用 VDDD ドメインのデカップリングコンデンサ	100 nF X7R	内部 LDO の安定性を維持するために、300 mV を超える一時的な電圧降下を避ける必要があります。 'VDDD.Q' (Quiet Supply) 端子は I/O ドメインとは共有されません。主に発振器用です。

シンボル	パラメータ	パッケージ	
		値	説明
C_{VDDDD_B}	IP および I/O 用 VDDDD ドメインのバイパスコンデンサ	-	C_{VDDDD_BQ} が電源ラインへの供給が十分でない場合のみ必要です。
$C_{VDDDD_D}^{13,14}$	IP および I/O 用 VDDDD ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ デカップリング条件はピンごとに有効であり、すべてのトグルグループは互いに非同期でトグルする必要があります。
$C_{VDDIO_1_B}$	IO 用 VDDIO_1 ドメインのバイパスコンデンサ	TBD	オプション。電源のインダクタンスに依存します。
$C_{VDDIO_1_D}^{15,16}$	IO 用 VDDIO_1 ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ デカップリング条件はドメイン全体に有効です。
$C_{VDDIO_2_B}$	IO 用 VDDIO_2 ドメインのバイパスコンデンサ	-	
$C_{VDDIO_2_D}^{17}$	IO 用 VDDIO_2 ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ デカップリング条件はドメイン全体に有効です。 Note: $VDDIO_2$ の一時的な電圧降下は $VDDA - 0.3\text{ V} \leq VDDIO_2 \leq VDDA$ を満たす必要があります。
$C_{VDDA_B}^{18}$	ADC VDDA のバイパスコンデンサ	2.2 μ F X7R	-
C_{VDDA_D}	ADC VDDA のデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ
C_{VREFH_B}	ADC VREFH のバイパスコンデンサ	2.2 μ F X7R	オプション。 個別のアナログ基準電源を使用する場合のみ必要です。
C_{VREFH_D}	ADC VREFH のデカップリングコンデンサ	100 nF X7R	

表 9. CYT4B シリーズ (QFP パッケージ) 用の特別な電源ドメイン端子

名前	パッケージ端子数 (実際の端子名)					コメント
	64-LQFP	80-LQFP	100-LQFP	144-LQFP	176-LQFP	
'VDDDD.Q'	N/A	N/A	N/A	N/A	153 (VDDDD)	Quiet Supply. I/O ドメインとは共有されません
'VSSQ'	N/A	N/A	N/A	N/A	154 (VSSD)	発振器用 Quiet グランド
'VCCD.CS2.A'	N/A	N/A	N/A	N/A	37 (VCCD) 39 (VCCD)	ピングループに 1 つのデカップリングコンデンサ CS2
'VCCD.CS2.B'	N/A	N/A	N/A	N/A	91 (VCCD) 92 (VCCD) 93 (VCCD)	ピングループに 1 つのデカップリングコンデンサ CS2
'VCCD.CS2.C'	N/A	N/A	N/A	N/A	127 (VCCD)	ピングループに 1 つのデカップリングコンデンサ CS2

¹³ VDDDD: 5 V, 4% の一時的な電圧降下, f_{DATA} : 2 MHz, 4x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイス内部のインピーダンスは考慮されていません

¹⁴ VDDDD: 5 V, 4% の一時的な電圧降下, f_{DATA} : 0.1 MHz, 4x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイス内部のインピーダンスは考慮されていません

¹⁵ VDDIO_1: 5 V, 4% の一時的な電圧降下, f_{DATA} : 2 MHz, 5x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイス内部のインピーダンスは考慮されていません

¹⁶ VDDIO_1: 5 V, 4% の一時的な電圧降下, f_{DATA} : 0.1 MHz, 5x パラレル転送: 100 ns, C_L /ピン: 47 pF, 注釈 15 とは非同期, デバイス内部のインピーダンスは考慮されていません

¹⁷ VDDIO_2: 5 V, 4% の一時的な電圧降下, f_{CLK} : 2 MHz, SDR, 10 x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイス内部のインピーダンスは考慮されていません

¹⁸ ノイズ低減のため C_{VDDA_B} を両方の ADC DeCaps に接続します。3 つの ADC ユニットは非同期ではなく同時に実行しますが前提条件機能は使用されません。アナログの電源とグラウンドは図 35 に従って次の値を超えないようにしてください: $R_{AVDD} \leq 100\text{ m}\Omega$, $L_{AVDD} \leq 15\text{ nH}$, $R_{AGND} \leq 100\text{ m}\Omega$, $L_{AGND} \leq 15\text{ nH}$, $L_1 \leq 1\text{ nH}$, $L_2 \leq 1\text{ nH}$

A.3 CYT4B シリーズ (BGA パッケージ)

図 32. CYT4B シリーズ(BGA パッケージ)の電源コンセプト例

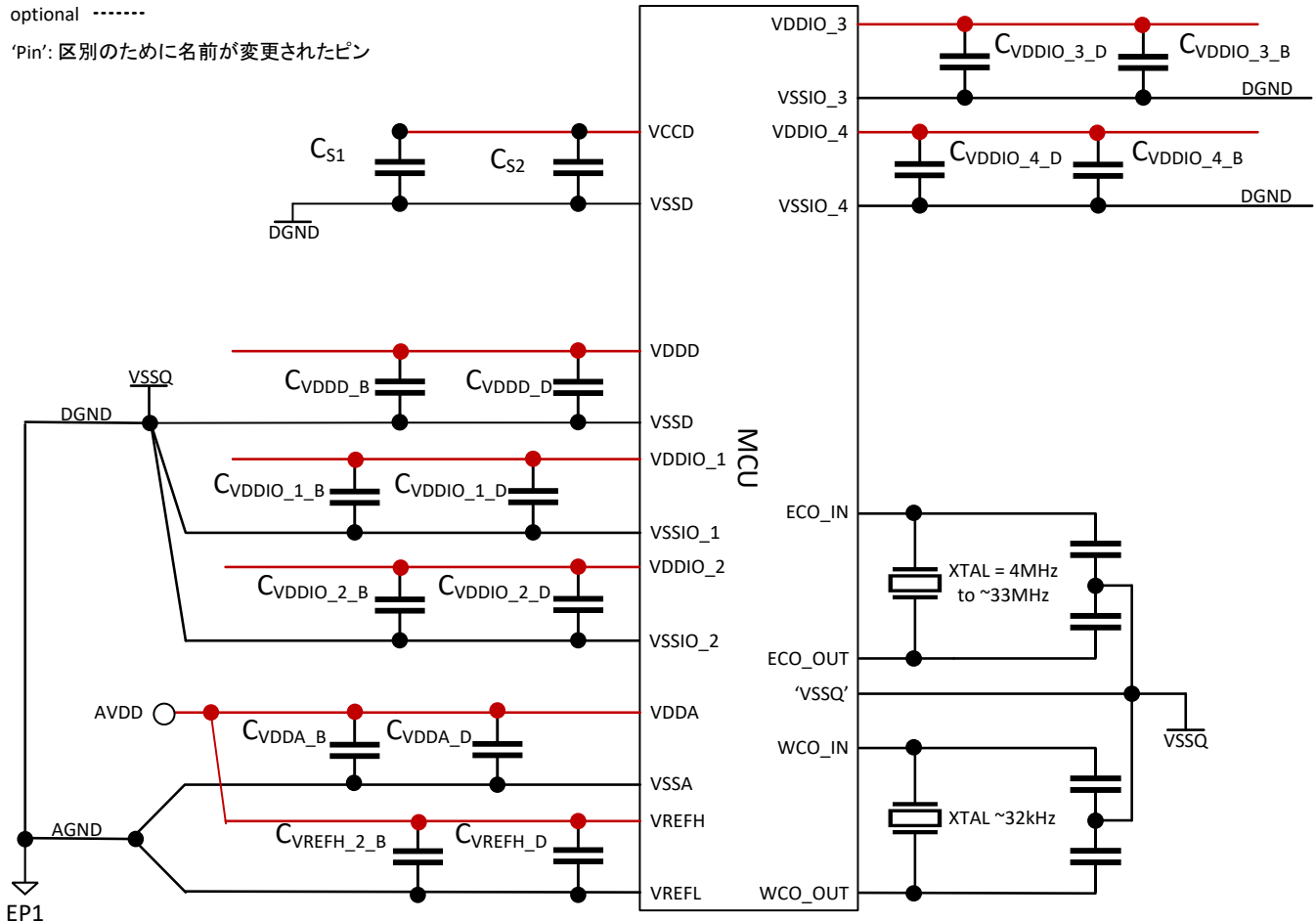


表 10. CYT4B シリーズ (BGA パッケージ) の外部コンポーネント統合の例

シンボル	パラメータ	パッケージ	
		値	説明
CS1	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	10 μ F X7R	電源ドメインの公称値 デバイス DS の仕様に従って、端子ペアおよび'VCCD.CS1'の近くに配置 CS = CS1 + n x CS2 は DS の仕様制限を満たす必要があります。 コア VCCD 電源コンセプトに応じて、MCU と PMIC 間のコンデンサ値と配置要件を確認してください。
CS2	コア電源用 VCCD ドメインのデカップリングコンデンサ	100 nF X7R ALT: 47 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ CS = CS1 + n x CS2 はコンデンサの公差を含めて DS の仕様制限を満たす必要があります。
CVDDD_B	IP および I/O 用 VDDD ドメインのバイパスコンデンサ	10 μ F X7R	内部 LDO 要件です。
CVDDD_D	IP および I/O 用 VDDD ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ 内部 LDO のため、300 mV を超える一時的な電圧降下を避ける必要があります 並列遷移はできるだけ削減する必要があります。

シンボル	パラメータ	パッケージ	
		値	説明
$C_{VDDIO_1_B}^{19}$	IO 用 VDDIO_1 ドメインのバイパスコンデンサ	1 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDIO_1_D}^{19}$	IO 用 VDDIO_1 ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ 最低 2 個必要です。
$C_{VDDIO_2_B}$	IO 用 VDDIO_2 ドメインのバイパスコンデンサ	-	
$C_{VDDIO_2_D}^{20}$	IO 用 VDDIO_2 ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ 注意: VDDIO_2 の一時的な電圧降下は $VDDA - 0.3 \text{ V} \leq VDDIO_2 \leq VDDA$ 要件を満たす必要があります
$C_{VDDIO_3_B}$	IO 用 VDDIO_3 ドメインのバイパスコンデンサ	1 μ F X7R	電源ドメインごとに 1 つのコンデンサ 電源の等価インダクタンス: 20 nH
$C_{VDDIO_3_D}^{21}$	IO 用 VDDIO_3 ドメインのデカップリングコンデンサ	100 nF X7R 10 nF X7R	電源ドメインごとに 1 つのコンデンサ 電源ドメインごとに 1 つのコンデンサ
$C_{VDDIO_4_B}$	IO 用 VDDIO_4 ドメインのバイパスコンデンサ	1 μ F X7R	電源ドメインごとに 1 つのコンデンサ 電源の等価インダクタンス: 20 nH
$C_{VDDIO_4_D}^{22}$	IO 用 VDDIO_4 ドメインのデカップリングコンデンサ	100 nF X7R 10 nF X7R	電源ドメインごとに 1 つのコンデンサ 電源ドメインごとに 1 つのコンデンサ
$C_{VDDA_B}^{23}$	ADC VDDA のバイパスコンデンサ	2.2 μ F X7R	-
C_{VDDA_D}	ADC VDDA のデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VREFH_2_B}$	ADC VREFH のバイパスコンデンサ	2.2 μ F X7R	オプション。 個別のアナログ基準電源を使用する場合のみ必要です
C_{VREFH_D}	ADC VREFH のデカップリングコンデンサ	100 nF X7R	

表 11. CYT4B シリーズ (BGA パッケージ)用の特別な電源ドメイン端子

名前	パッケージ端子数 (実際の端子名)		コメント
	272-BGA	320-BGA	
'VSSQ'	L11 (VSSD_1)	N13 (VSSD_1)	発振器シールド用 Quiet グランド

¹⁹ VDDIO_1: コンデンサで 3.3 V, 5%の一時的な電圧降下, f_{CLK} : 25 MHz, DDR, 9 x パラレル転送: 3 ns, C_L /ピン: 20 pF, デバイス内部のインピーダンスは考慮されていません

²⁰ VDDIO_2: コンデンサで 5 V, 4%の一時的な電圧降下, f_{DATA} : 2 MHz, 10 x パラレル転送: 20 ns, C_L /pin: 47 pF, デバイス内部のインピーダンスは考慮されていません

条件:

²¹ VDDIO_3: コンデンサで 3.3 V, 7%の一時的な電圧降下, f_{CLK} : 100 MHz, DDR, 9 x パラレル転送: 1.5 ns, C_L /ピン: 15 pF, デバイス内部のインピーダンスは考慮されていません

²² VDDIO_4: コンデンサで 3.3 V, 7%の一時的な電圧降下, f_{CLK} : 125 MHz, SDR, 9 x パラレル転送: 0.75 ns, C_L /ピン: 10 pF, デバイス内部のインピーダンスは考慮されていません

²³ ノイズ低減のため C_{VDDA_B} を両方の ADC DeCaps に接続します。3 つの ADC ユニットは非同期ではなく同時に実行しますが前提条件機能は使用されません。アナログの電源とグラウンドは図 35 に従って次の値を超えないようにしてください: $R_{AVDD} \leq 100 \text{ m}\Omega$, $L_{AVDD} \leq 15 \text{ nH}$, $R_{AGND} \leq 100 \text{ m}\Omega$, $L_{AGND} \leq 15 \text{ nH}$, $L_1 \leq 1 \text{ nH}$, $L_2 \leq 1 \text{ nH}$

A.4 CYT4D シリーズ (BGA パッケージ)

図 33. CYT4D シリーズ(BGA パッケージ)の電源コンセプト例

..... optional

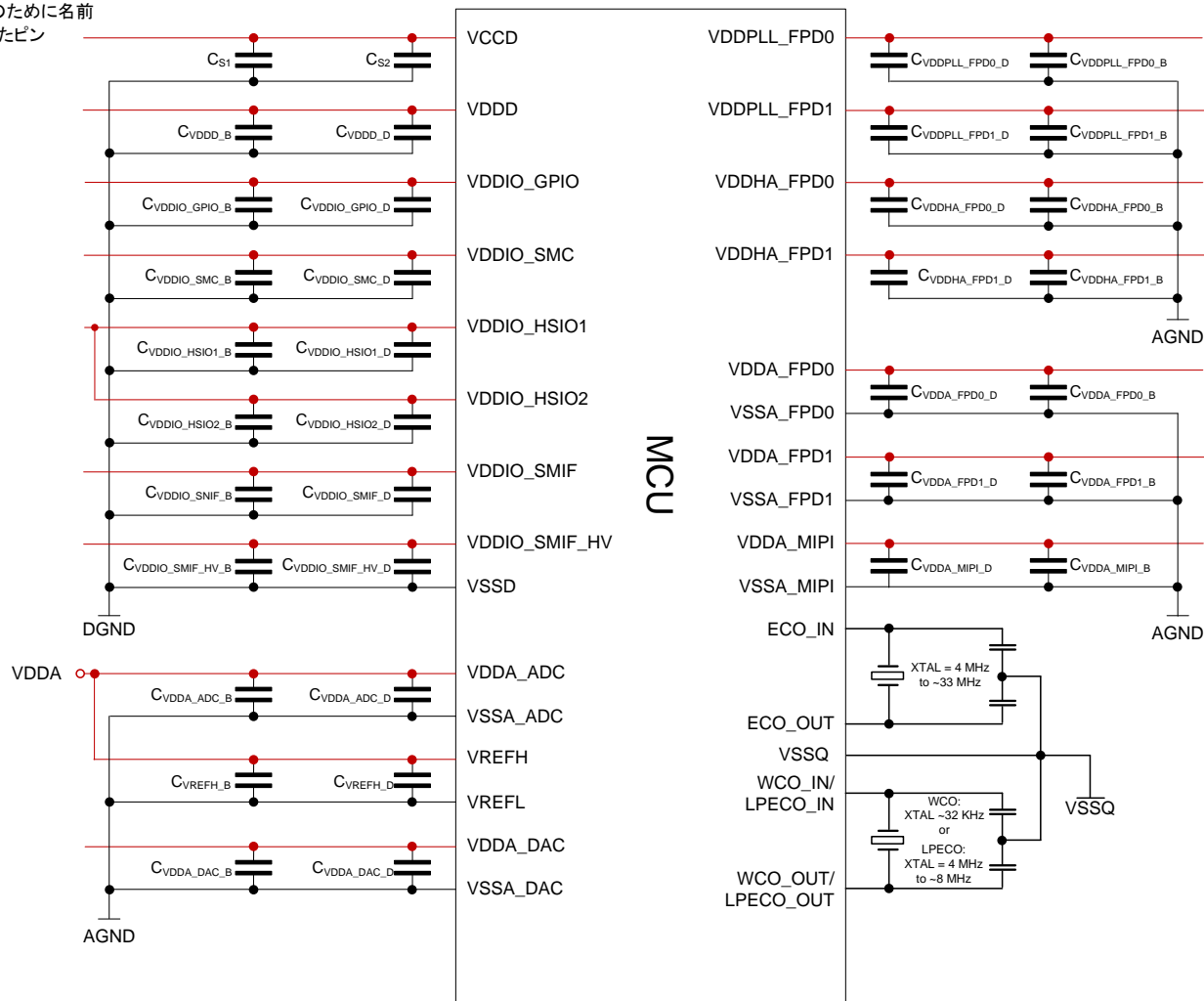
 'Pin': 区別のために名前
 が変更されたピン


表 12. CYT4D シリーズ (BGA パッケージ) の外部コンポーネント統合の例

シンボル	パラメータ	パッケージ	
		値	説明
C _{S1}	コア電源用 VCCD ドメインの バイパス/平滑コンデンサ	22 μF X7R	電源ドメインごとに 2 つのコンデンサ デバイス DS の仕様に従って、端子ペアおよ び 'VCCD.CS1' の近くに配置 C _S = C _{S1} + n × C _{S2} は DS の仕様制限を満たす必要がありま す。 コア VCCD 電源コンセプトに応じて、MCU と PMIC 間の コンデンサ値と配置要件を確認してください。
C _{S2}	コア電源用 VCCD ドメインの デカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ
C _{VDDD_B}	IP および I/O 用 VDDD ドメインの バイパスコンデンサ	44 μF X7R	内部 LDO 要件です。

シンボル	パラメータ	パッケージ	
		値	説明
C_{VDDDD_D}	IP および I/O 用 VDDDD ドメインのデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ 内部 LDO のため、300 mV を超える一時的な電圧降下を避ける必要があります 並列遷移はできるだけ削減する必要があります。
$C_{VDDIO_GPIO_B}$	IO 用 GPIO ドメインのバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDIO_GPIO_D}$	IO 用 GPIO ドメインのデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDIO_SMC_B}$	IO 用 SMC ドメインのバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDIO_SMC_D}$	IO 用 SMC ドメインのデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDIO_HSIO1_B}$	IO 用 HSIO1 ドメインのバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDIO_HSIO1_D}$	IO 用 HSIO1 ドメインのデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDIO_HSIO2_B}$	IO 用 HSIO2 ドメインのバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDIO_HSIO2_D}$	IO 用 HSIO2 ドメインのデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_B}$	IO 用 SMIF ドメインのバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_D}$	IO 用 SMIF ドメインのデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_HV_B}$	IO 用 SMIF_HV ドメインのバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_HV_D}$	IO 用 SMIF_HV ドメインのデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDA_ADC_B}$	ADC VDDA のバイパスコンデンサ	4.7 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDA_ADC_D}$	ADC VDDA のデカップリングコンデンサ	100 nF X7R	電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDA_DAC_B}$	DAC VDDA のバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDA_DAC_D}$	DAC VDDA のデカップリングコンデンサ	100 nF X7R	
C_{VREFH_B}	ADC VREFH のバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ。オプション。 個別のアナログ基準電源を使用する場合のみ必要です。
C_{VREFH_D}	ADC VREFH のデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDPLL_FPD0_B}$	FPD0 VDDPLL のバイパスコンデンサ	4.7 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDPLL_FPD0_D}$	FPD0 VDDPLL のデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDPLL_FPD1_B}$	FPD1 VDDPLL のバイパスコンデンサ	4.7 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDPLL_FPD1_D}$	FPD1 VDDPLL のデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDHA_FPD0_B}$	FPD0 VDDHA のバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDHA_FPD0_D}$	FPD0 VDDHA のデカップリングコンデンサ	100 nF X7R	2 つの電源ドメイン端子ごとに 1 つのコンデンサ
$C_{VDDHA_FPD1_B}$	FPD1 VDDHA のバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDHA_FPD1_D}$	FPD1 VDDHA のデカップリングコンデンサ	100 nF X7R	電源ドメインごとに 4 つのコンデンサ
$C_{VDDA_FPD0_B}$	FPD0 VDDA のバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDA_FPD0_D}$	FPD0 VDDA のデカップリングコンデンサ	100 nF X7R	電源ドメインごとに 4 つのコンデンサ
$C_{VDDA_FPD1_B}$	FPD1 VDDA のバイパスコンデンサ	2.2 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDA_FPD1_D}$	FPD1 VDDA のデカップリングコンデンサ	100 nF X7R	電源ドメインごとに 4 つのコンデンサ
$C_{VDDA_MIPI_B}$	MIPI VDDA のバイパスコンデンサ	4.7 μ F X7R	電源ドメインごとに 1 つのコンデンサ
$C_{VDDA_MIPI_D}$	MIPI VDDA のデカップリングコンデンサ	100 nF X7R	電源ドメインごとに 4 つのコンデンサ

表 13. CYT4D シリーズ (BGA パッケージ)用の特別な電源ドメイン端子

名前	パッケージ端子数 (実際の端子名)	コメント
	500-BGA	
C _{VDDIO_HSIO1}	R7, T7, U7, V7, W7, Y7	
C _{VDDIO_HSIO2}	Y8, Y9, Y10, Y11, Y12	
VSSQ	H25, H26, K25, K26 (VSS)	発振器シールド用 Quiet グランド

Appendix B. アナログ電源

図 34 と図 35 は、寄生要素のない理想的なアナログ電源と電源ラインとフィルタコンデンサに寄生要素のある実際のアナログ電源の違いを示しています。

図 34. 理想的なアナログ電源

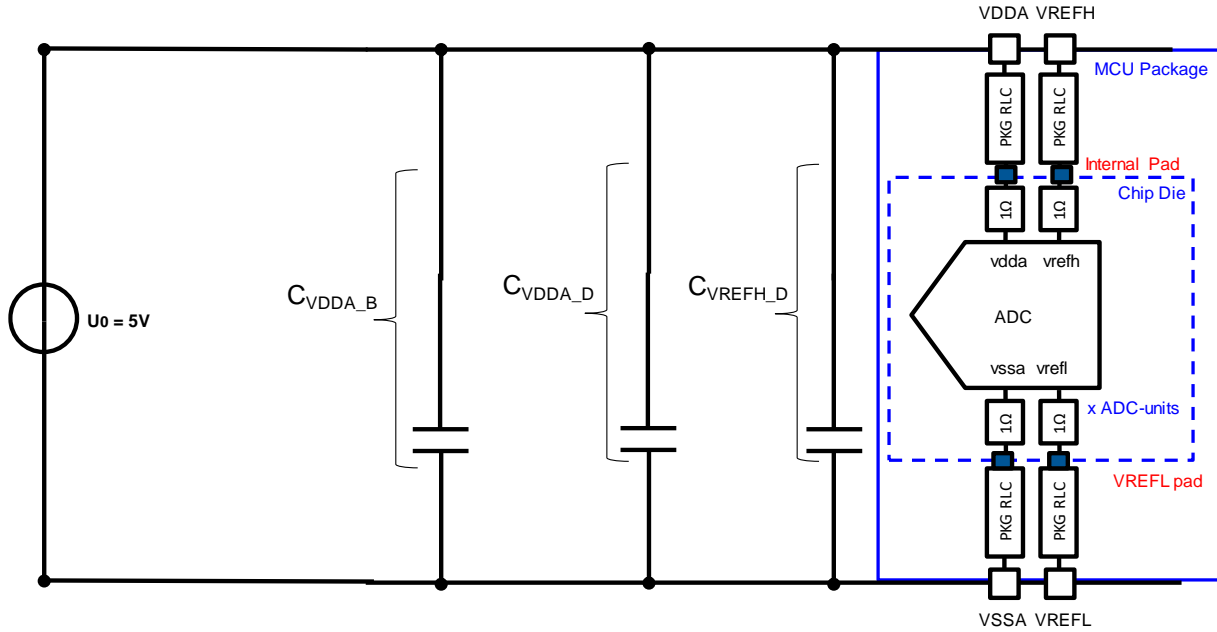
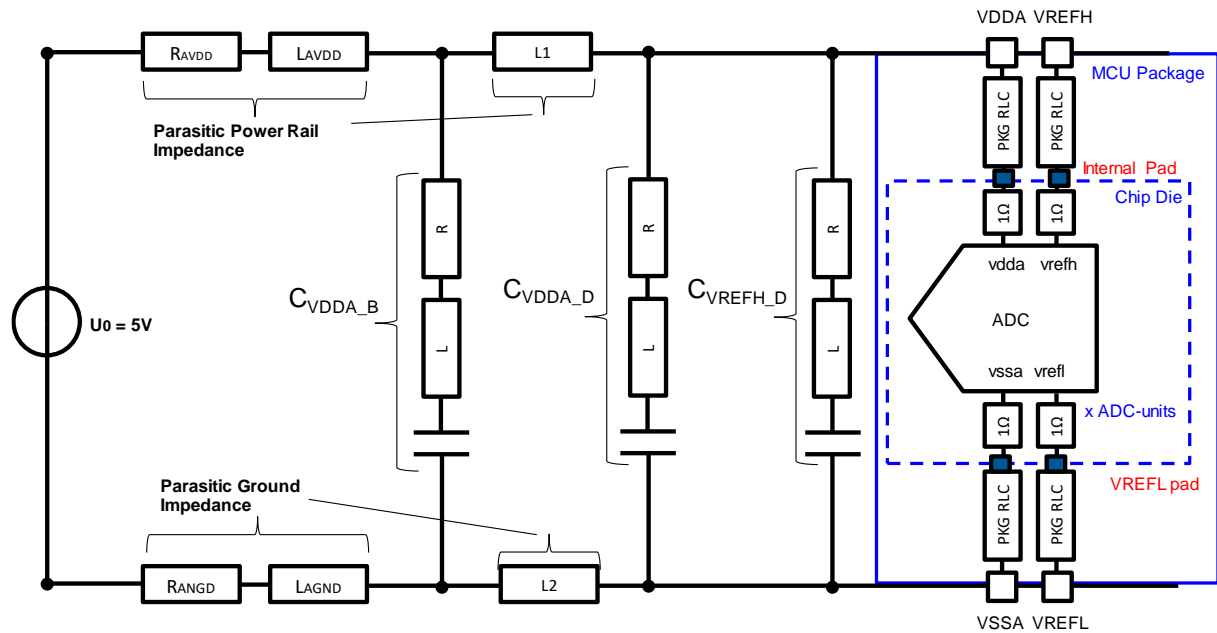


図 35. 実際のアナログ電源



Appendix C. 発振器のレイアウト

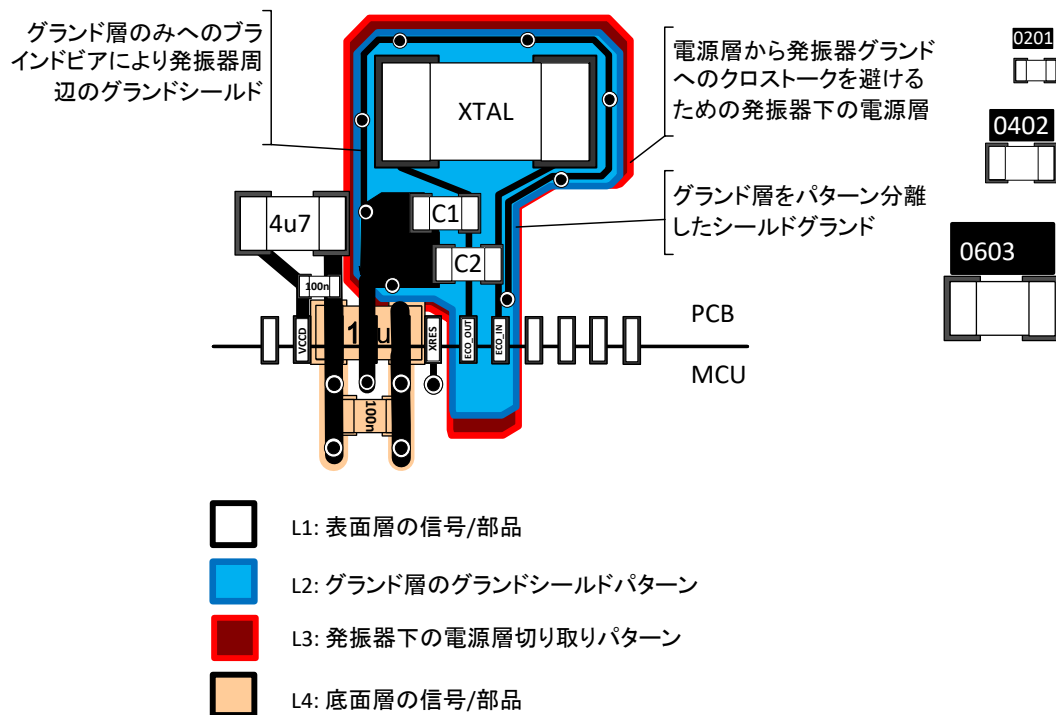
いくつかのパッケージにおける、一般的な発振器のレイアウトを示します。

Note: このレイアウト設計については、正しいコンポーネントサイズを保証するものでも、PCB 設計ルールに従わないものでもありません。

C.1 QFP パッケージ

図 36 に QFP パッケージを使用した一般的な発振器のレイアウトを示します。

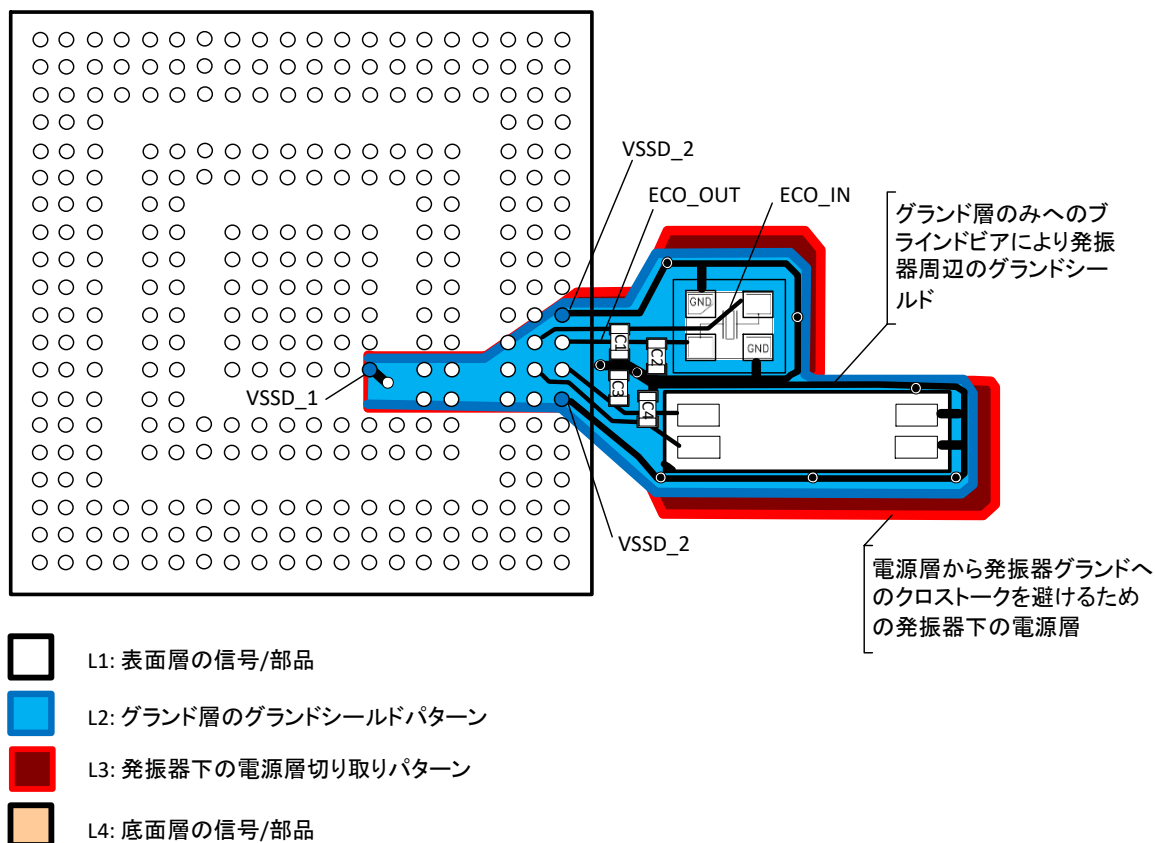
図 36. CYT2B および CYT4B シリーズ QFP パッケージの発振器レイアウト例



C.2 BGA パッケージ

図 37 に BGA パッケージを使用した基本的な発振器のレイアウトを示します。

図 37. BGA パッケージ (CYT4B シリーズ 320-BGA パッケージの場合) の発振器レイアウト例



改訂履歴

文書名: AN220270 - Traveo II ファミリマイコンのハードウェアデザインガイド

文書番号: 002-22807

版	ECN 番号	発行日	変更内容
**	6222931	06/29/2018	これは英語版 002-20270 Rev.**を翻訳した日本語版 002-22807 Rev.**です。
*A	6662586	09/03/2019	これは英語版 002-20270 Rev.*A を翻訳した日本語版 002-22807 Rev.*A です。

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2017-2019. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関して、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。