



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

FR80

32 ビット・マイクロコントローラ

MB91605A Series

ハードウェアマニュアル

FR80

32 ビット・マイクロコントローラ

MB91605A Series

ハードウェアマニュアル

富士通セミコンダクターのマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

開発における最新の注意事項に関しては、必ず「Check Sheet」を参照してください。
「デザインレビューシート」はシステム開発において、問題を未然に防ぐことを目的として、最低限必要と思われるチェック項目をリストにしたものです。

<http://edevicе.fujitsu.com/micom/jp-support/>

富士通セミコンダクター株式会社

MB91605A シリーズ

はじめに

富士通セミコンダクター半導体製品につきまして，平素より格別のご愛顧を賜り厚くお礼申し上げます。

MB91605A シリーズをご利用になる前に，本書および『データシート』をご一読ください。

■ 本書の目的と対象読者

本書は，実際に MB91605A シリーズを使用して製品を開発される技術者を対象に，MB91605A シリーズの機能や動作，使い方について解説しています。

■ 商標

FR は，FUJITSU RISC controller の略で，富士通セミコンダクター株式会社の製品です。その他の社名および製品名は各社の商標もしくは登録商標です。

■ サンプルプログラムおよび開発環境

FR80ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また，MB91605A シリーズで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

- マイコンサポート情報

<http://jp.fujitsu.com/microelectronics/products/micom/support/>

* サンプルプログラムは，予告なしに変更することがあります。また，サンプルプログラムは標準的な動作や使い方を示したものですので，お客様のシステム上でご使用の際は十分評価された上でご使用ください。

また，サンプルプログラムの使用に起因し生じた損害については，当社は一切その責任を負いません。

- 本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。
- 本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。したがって、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。
- 本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。
- 本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。
- 半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。
- 本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。
- 本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

MB91605A シリーズ

本書の使い方

■ 機能の探し方

本書では次の方法で、使いたい機能の説明を探することができます。

- 目次から探す

本書の内容を記載順に示します。

- レジスタ一覧から探す

本デバイスのレジスタが一覧で記載されています。調べたいレジスタの名称から、配置アドレスやレジスタの説明ページを探することができます。

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは、「付録 A I/O マップ」および「付録 B レジスタ一覧」を参照してください。

- 索引から探す

周辺機能の名称などのキーワードから機能の説明を探することができます。

■ 章について

本書では、基本的に 1 つの周辺機能を 1 つの章で説明しています。

■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

MB91605A シリーズ

目次

第 1 章	概要	1
1.1	MB91605A シリーズの概要	2
1.2	MB91605A シリーズの品種構成	5
1.3	MB91605A シリーズのブロックダイアグラム	6
1.4	外形寸法図	7
第 2 章	MB91605A シリーズの端子	9
2.1	端子配列図	10
2.2	端子機能一覧	11
2.3	入出力回路形式	20
第 3 章	CPU	23
3.1	メモリ空間	24
3.2	内部アーキテクチャの特徴	26
3.3	動作モード	27
3.4	パイプライン	28
3.5	命令概要	30
3.5.1	算術演算	30
3.5.2	ロードとストア	30
3.5.3	分岐	31
3.5.4	論理演算とビット操作	31
3.5.5	ダイレクトアドレッシング	31
3.5.6	ビットサーチ	31
3.5.7	その他	31
3.6	基本プログラミングモデル	32
3.7	レジスタ	33
3.7.1	汎用レジスタ (R0 ~ R15)	33
3.7.2	プログラムステータスレジスタ (PS)	34
3.7.3	プログラムカウンタ (PC)	38
3.7.4	テーブルベースレジスタ (TBR)	39
3.7.5	リターンポインタ (RP)	39
3.7.6	システムスタックポインタ (SSP)	39
3.7.7	ユーザスタックポインタ (USP)	40
3.7.8	乗除算レジスタ (Multiply & Divide register)	41
3.8	データ構造	42
3.8.1	ビットオーダリング	42
3.8.2	バイトオーダリング	42
3.8.3	ワードアライメント	43
3.9	アドレッシング	44
3.9.1	ダイレクトアドレッシング領域	44
3.9.2	20 ビットアドレッシング領域	45
3.9.3	32 ビットアドレッシング領域	45
3.9.4	ベクタテーブル初期領域	45
3.10	分岐命令	46
3.10.1	遅延スロット付き動作	46

3.10.2	遅延スロットなし動作	48
3.11	EIT (例外・割込み・トラップ)	49
3.11.1	EIT 要因	49
3.11.2	EIT からの復帰	49
3.11.3	割込みレベル	50
3.11.4	I フラグ	50
3.11.5	割込みレベルマスクレジスタ (ILM)	52
3.11.6	割込み・NMI に対するレベルマスク	52
3.11.7	割込み制御レジスタ (ICR)	53
3.11.8	システムスタックポインタ (SSP)	53
3.11.9	割込みスタック	53
3.11.10	テーブルベースレジスタ (TBR)	54
3.11.11	EIT ベクタテーブル	54
3.11.12	多重 EIT 処理	55
3.11.13	動作	56
3.11.14	INT 命令の動作	58
3.11.15	INTE 命令の動作	58
3.11.16	ステップトレーストラップの動作	58
3.11.17	未定義命令例外の動作	59
3.11.18	RETI 命令の動作	60
3.11.19	遅延スロットと EIT	60
第 4 章	命令キャッシュメモリ	61
4.1	概要	62
4.2	構成	63
4.3	レジスタ	65
4.3.1	命令 / データキャッシュ領域設定レジスタ (CARR)	65
4.3.2	命令キャッシュ制御レジスタ (ICHCR)	67
4.3.3	命令キャッシュサイズレジスタ (ISIZE)	69
4.3.4	命令キャッシュ機能レジスタ (IFUNC)	70
4.4	動作説明	72
4.4.1	初期状態	72
4.4.2	命令キャッシュのキャッシュ対象領域	72
4.4.3	命令キャッシュの無効化	73
4.4.4	命令キャッシュの動作許可	73
4.4.5	命令キャッシュロック機能	73
4.4.6	各キャッシュ動作状態でのキャッシュ内容	75
第 5 章	データキャッシュメモリ	77
5.1	概要	78
5.2	構成	79
5.3	レジスタ	81
5.3.1	データキャッシュ制御レジスタ (DCHCR)	81
5.3.2	データキャッシュサイズレジスタ (DSIZE)	82
5.3.3	データキャッシュ機能レジスタ (DFUNC)	83
5.4	動作説明	85
5.4.1	初期状態	85
5.4.2	データキャッシュのキャッシュ対象領域	85
5.4.3	データキャッシュの無効化	86

MB91605A シリーズ

5.4.4	データキャッシュの動作許可	86
5.4.5	各キャッシュ動作状態でのキャッシュ内容	86
5.4.6	キャッシュオフ時の RAM 動作モード	87
第 6 章	動作モード	89
6.1	概要	90
6.2	構成	91
6.3	レジスタ	92
6.3.1	バスモードデータレジスタ (BMODR)	92
6.3.2	モードレジスタ (MODR)	93
6.4	動作説明	94
6.4.1	動作モード設定方法	94
6.4.2	各種モード詳細	94
第 7 章	クロック生成部	95
7.1	概要	96
7.2	構成	97
7.2.1	クロック生成部	97
7.2.2	ソースクロック (SRCCLK) 選択部	99
7.3	端子	100
7.4	レジスタ	101
7.4.1	クロックソース設定レジスタ (CSELR)	102
7.4.2	クロックソース監視レジスタ (CMONR)	105
7.4.3	発振安定待ち設定レジスタ (CSTBR)	107
7.4.4	PLL 設定レジスタ (PLLCR)	109
7.5	動作説明	113
7.5.1	クロックソースの動作説明	113
7.5.2	ソースクロック (SRCCLK) の切換え	115
7.5.3	PLL クロック (PLLCLK) 生成のための通倍率	117
第 8 章	クロック分周制御部	119
8.1	概要	120
8.2	内部クロック	121
8.3	構成	123
8.4	レジスタ	124
8.4.1	分周設定レジスタ 0 (DIVR0)	125
8.4.2	分周設定レジスタ 1 (DIVR1)	126
8.4.3	分周設定レジスタ 2 (DIVR2)	127
8.5	分周比	128
第 9 章	メインタイマ	131
9.1	概要	132
9.2	構成	133
9.3	レジスタ	134
9.3.1	メインタイマ制御レジスタ (MTMCR)	135
9.4	割込み	139
9.5	動作説明と設定手順例	140
9.5.1	メインタイマの動作	140
9.5.2	ストップモードへの遷移について	142

第 10 章 低消費電力モード	143
10.1 概要	144
10.2 構成	145
10.3 レジスタ	147
10.3.1 スタンバイ制御レジスタ (STBCR)	148
10.3.2 スリープレート設定レジスタ (SLPRR)	151
10.4 動作説明と設定手順例	153
10.4.1 クロック制御時の動作	153
10.4.2 ドーズモード時の動作	155
10.4.3 スリープモード時の動作	156
10.4.4 メインタイマモード時の動作	158
10.4.5 ストップモード時の動作	160
10.5 使用上の注意	162
第 11 章 リセット	163
11.1 概要	164
11.2 構成	165
11.3 端子	167
11.4 レジスタ	168
11.4.1 リセット要因レジスタ (RSTRR)	169
11.4.2 リセット制御レジスタ (RSTCR)	171
11.5 動作説明	173
11.5.1 リセットの種類	173
11.5.2 リセット要因	174
11.5.3 リセットの動作	175
11.5.4 イレギュラーリセット	179
11.6 動作状態と遷移	180
第 12 章 割込みコントローラ	185
12.1 概要	186
12.2 構成	187
12.3 レジスタ	188
12.3.1 割込みコントロールレジスタ (ICR00 ~ ICR47)	189
12.4 動作説明と設定手順例	191
12.4.1 割込みコントローラの動作説明	191
12.5 使用上の注意	193
第 13 章 NMI 入力	195
13.1 概要	196
13.2 動作説明	197
第 14 章 割込み要求一括読出し機能	199
14.1 概要	200
14.2 構成	201
14.3 レジスタ	202
14.3.1 割込み要求一括読出しレジスタ 0 上位 (IRPR0H)	203
14.4 使用上の注意	204

MB91605A シリーズ

第 15 章 遅延割込み	205
15.1 概要	206
15.2 構成	207
15.3 レジスタ	208
15.3.1 遅延割込み制御レジスタ (DICR)	209
15.4 動作説明と設定手順例	210
15.4.1 遅延割込みの動作説明	210
15.5 使用上の注意	211
第 16 章 外部バスインタフェース	213
16.1 概要	214
16.2 構成	215
16.3 レジスタ	217
16.3.1 SRAM/FLASH モードレジスタ (MCMRx)	218
16.3.2 SRAM/FLASH タイミングレジスタ (MCTRx)	221
16.3.3 SRAM/FLASH エリアレジスタ (MCARx)	224
16.3.4 SDRAM モードレジスタ (SDMRx)	226
16.3.5 SDRAM リフレッシュタイマレジスタ (SDRTRx)	229
16.3.6 SDRAM パワーダウンカウンタレジスタ (SDPDRx)	230
16.3.7 SDRAM タイミングレジスタ (SDTRx)	231
16.3.8 SDRAM コマンドレジスタ (SDCMRx)	234
16.3.9 クロックコントロールレジスタ (CLKCTL)	235
16.4 レジスタ設定例	236
16.4.1 SRAM/FLASH 領域のリードアクセス例	237
16.4.2 SRAM/FLASH 領域のライトアクセス例	239
16.4.3 SRAM/FLASH 領域のアドレス領域設定例	243
16.5 使用上の注意	244
第 17 章 I/O ポート	245
17.1 概要	246
17.2 構成	249
17.3 端子	250
17.4 レジスタ	251
17.4.1 ポートデータレジスタ (PDR2 ~ PDRE)	252
17.4.2 データ方向レジスタ (DDR2 ~ DDRE)	253
17.4.3 ポートファンクションレジスタ (PFR2 ~ PFRE)	254
17.4.4 プルアップ制御レジスタ (PCR)	268
17.4.5 ADER 制御レジスタ (ADER)	269
第 18 章 外部割込み制御部	271
18.1 概要	272
18.2 構成	273
18.3 端子	275
18.4 レジスタ	276
18.4.1 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2)	277
18.4.2 外部割込み要因レジスタ (EIRR0 ~ EIRR2)	280
18.4.3 割込み許可レジスタ (ENIR0 ~ ENIR2)	282
18.5 動作説明と設定手順例	283
18.5.1 外部割込み制御部の動作	283

18.5.2	スタンバイモードからの復帰	286
18.5.3	スリープモードからの復帰	288
第 19 章	ウォッチドッグタイマ	289
19.1	概要	290
19.2	構成	291
19.3	レジスタ	293
19.3.1	ウォッチドッグタイマ 0 制御レジスタ (WDTCSR0)	294
19.3.2	ウォッチドッグタイマ 0 クリアレジスタ (WDTCSR0)	297
19.4	動作説明と設定手順例	298
19.4.1	ウォッチドッグタイマの動作	298
第 20 章	16 ビットリロードタイマ	301
20.1	概要	302
20.2	構成	303
20.3	端子	305
20.4	レジスタ	306
20.4.1	コントロールステータスレジスタ (TMCSR0 ~ TMCSR2)	307
20.4.2	16 ビットタイマリロードレジスタ A(TMRLRA0 ~ TMRLRA2)	312
20.4.3	16 ビットタイマレジスタ (TMR0 ~ TMR2)	313
20.5	割込み	314
20.6	動作説明と設定手順例	315
20.6.1	インターバルタイマモード時の動作	316
20.6.2	イベントカウンタモード時の動作	329
20.6.3	カスケードモード時の動作	335
20.7	使用上の注意	337
第 21 章	ベースタイマ入出力選択機能	339
21.1	概要	340
21.2	構成	342
21.3	端子	343
21.4	レジスタ	345
21.4.1	入出力選択レジスタ 0123 (BTSEL0123)	346
21.4.2	入出力選択レジスタ 4567 (BTSEL4567)	348
21.4.3	入出力選択レジスタ 89AB (BTSEL89AB)	350
21.4.4	同時ソフト起動レジスタ (BTSSSR)	352
21.5	入出力モード	356
21.5.1	入出力モード 0 (16 ビットタイマ標準モード)	356
21.5.2	入出力モード 1 (タイマフルモード)	357
21.5.3	入出力モード 2 (外部トリガ共有モード)	359
21.5.4	入出力モード 3 (他チャネルトリガ共有モード)	360
21.5.5	入出力モード 4 (タイマ起動 / 停止モード) 時の動作	362
21.5.6	入出力モード 5 (同時ソフト起動モード) 時の動作	364
21.5.7	入出力モード 6 (ソフト起動タイマ起動 / 停止モード) 時の動作	365
21.5.8	入出力モード 7 (タイマ起動モード) 時の動作	367
21.5.9	入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード) 時の動作	368

MB91605A シリーズ

第 22 章	ベースタイマ	371
22.1	ベースタイマの概要	372
22.2	ベースタイマのブロックダイアグラム	374
22.3	ベースタイマのレジスタ	379
22.4	ベースタイマの動作	387
22.5	32 ビットモード動作	389
22.6	ベースタイマの使用上の注意	391
22.7	ベースタイマ割込み	393
22.8	ベースタイマの機能別説明	394
22.8.1	PWM 機能	395
22.8.2	PPG 機能	409
22.8.3	リロードタイマ機能	424
22.8.4	PWC 機能	437
第 23 章	10 ビット A/D コンバータ	453
23.1	概要	454
23.2	構成	455
23.3	端子	456
23.4	レジスタ	457
23.4.1	A/D 制御レジスタ (ADCTH, ADCTL)	458
23.4.2	ソフト変換アナログ入力選択レジスタ (ADCH)	460
23.4.3	A/D 変換結果レジスタ ch.0 ~ ch.11(ADAT0 ~ ADAT11)	460
23.5	割込み	462
23.6	動作説明	463
第 24 章	マルチファンクションシリアルインタフェース	465
24.1	マルチファンクションシリアルインタフェースの特長	467
24.2	UART(非同期シリアルインタフェース)	469
24.3	UART(非同期シリアルインタフェース)の概要	470
24.4	UART(非同期シリアルインタフェース)のレジスタ	471
24.4.1	シリアル制御レジスタ (SCR)	476
24.4.2	シリアルモードレジスタ (SMR)	479
24.4.3	シリアルステータスレジスタ (SSR)	482
24.4.4	拡張通信制御レジスタ (ESCR)	485
24.4.5	受信データレジスタ / 送信データレジスタ (RDR/TDR)	487
24.4.6	ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	491
24.4.7	FIFO 制御レジスタ 1(FCR1)	493
24.4.8	FIFO 制御レジスタ 0(FCR0)	496
24.4.9	FIFO バイトレジスタ (FBYTE1/FBYTE2)	499
24.5	UART の割込み	501
24.5.1	受信割込み発生とフラグセットのタイミング	503
24.5.2	受信 FIFO 使用時の割込み発生とフラグセットのタイミング	504
24.5.3	送信割込み発生とフラグセットのタイミング	506
24.5.4	送信 FIFO 使用時の割込み発生とフラグセットのタイミング	507
24.6	UART の動作	508
24.7	専用ボーレートジェネレータ	513
24.7.1	ボーレート設定	514
24.8	動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー	518
24.9	動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー	520

24.10	UART モードの注意事項	523
24.11	CSIO(クロック同期シリアルインタフェース)	524
24.12	CSIO(クロック同期シリアルインタフェース) の概要	525
24.13	CSIO(クロック同期シリアルインタフェース) のレジスタ	526
24.13.1	シリアル制御レジスタ (SCR)	531
24.13.2	シリアルモードレジスタ (SMR)	534
24.13.3	シリアルステータスレジスタ (SSR)	537
24.13.4	拡張通信制御レジスタ (ESCR)	540
24.13.5	受信データレジスタ / 送信データレジスタ (RDR/TDR)	542
24.13.6	ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	545
24.13.7	FIFO 制御レジスタ 1(FCR1)	547
24.13.8	FIFO 制御レジスタ 0(FCR0)	550
24.13.9	FIFO バイトレジスタ (FBYTE1/FBYTE2)	553
24.13.10	シリアルモード選択レジスタ (SSEL89AB)	555
24.13.11	受信データミラーレジスタ / 送信データミラーレジスタ (RDRM/TDRM)	557
24.14	CSIO(クロック同期シリアルインタフェース) の割込み	558
24.14.1	受信割込み発生とフラグセットのタイミング	559
24.14.2	受信 FIFO 使用時の割込み発生とフラグセットのタイミング	560
24.14.3	送信割込み発生とフラグセットのタイミング	562
24.14.4	送信 FIFO 使用時の割込み発生とフラグセットのタイミング	563
24.15	CSIO(クロック同期シリアルインタフェース) の動作	564
24.16	専用ボーレートジェネレータ	583
24.16.1	ボーレート設定	584
24.17	CSIO(クロック同期シリアルインタフェース) 設定手順とプログラムフロー	587
24.18	CSIO モードの注意事項	589
24.19	I ² C インタフェース	590
24.20	I ² C インタフェースの概要	591
24.21	I ² C インタフェースのレジスタ	592
24.21.1	I ² C バス制御レジスタ (IBCR)	597
24.21.2	シリアルモードレジスタ (SMR)	603
24.21.3	I ² C バスステータスレジスタ (IBSR)	605
24.21.4	シリアルステータスレジスタ (SSR)	609
24.21.5	受信データレジスタ / 送信データレジスタ (RDR/TDR)	612
24.21.6	7 ビットスレーブアドレスマスクレジスタ (ISMK)	614
24.21.7	7 ビットスレーブアドレスレジスタ (ISBA)	615
24.21.8	ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	616
24.21.9	FIFO 制御レジスタ 1(FCR1)	617
24.21.10	FIFO 制御レジスタ 0(FCR0)	620
24.21.11	FIFO バイトレジスタ (FBYTE1/FBYTE2)	624
24.22	I ² C インタフェースの割込み	626
24.22.1	I ² C インタフェース通信の動作	628
24.22.2	マスタモード	629
24.22.3	スレーブモード	647
24.22.4	バスエラー	651
24.23	専用ボーレートジェネレータ	652
24.23.1	I ² C のフローチャート例	654
24.24	I ² C モードの注意事項	668

MB91605A シリーズ

第 25 章	DMA コントローラ (DMAC)	671
25.1	概要	672
25.2	構成	673
25.3	レジスタ	674
25.3.1	グローバルコンフィギュレーションレジスタ (GCFR)	676
25.3.2	チャンネルコンフィギュレーションレジスタ (CCFR0 ~ CCFR3)	677
25.3.3	チャンネルステータスレジスタ (CSTR0 ~ CSTR3)	678
25.3.4	チャンネルコントロールレジスタ (CCTR0 ~ CCTR3)	682
25.3.5	ソーススペースアドレスレジスタ (SBA0 ~ SBA3)	685
25.3.6	デスティネーションベースアドレスレジスタ (DBA0 ~ DBA3)	686
25.3.7	プライマリインデックスレジスタ (PIX0 ~ PIX3)	687
25.3.8	セカンダリインデックスレジスタ (SIX0 ~ SIX3)	688
25.3.9	バイトカウントリミットレジスタ (BCL0 ~ BCL3)	689
25.3.10	オルタネートポインタレジスタ (APR0 ~ APR3)	690
25.3.11	DMA 転送抑止 NMI フラグレジスタ (DNMIR)	691
25.3.12	DMA 転送抑止割込みレベルレジスタ (DILVR)	692
25.4	動作説明	693
25.4.1	設定	693
25.4.2	起動	700
25.4.3	動作	701
25.5	制御フロー	716
25.6	使用上の注意	717
第 26 章	周辺機能による DMA 転送要求の発生 / クリア選択機能	719
26.1	概要	720
26.2	構成	721
26.3	レジスタ	723
26.3.1	IO 転送要求設定レジスタ (IORR0 ~ IORR3)	725
26.3.2	周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0)	728
26.3.3	周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1)	730
26.3.4	周辺機能による DMA 転送要求のクリア選択レジスタ 2 (ICSEL2)	732
26.3.5	周辺機能による DMA 転送要求のクリア選択レジスタ 3 (ICSEL3)	734
26.4	動作説明と設定手順例	736
26.4.1	DMA 転送時の動作	736
第 27 章	リモコン受信	739
27.1	概要	740
27.2	レジスタ	741
27.2.1	リモコン受信制御レジスタ (RCCR)	741
27.2.2	リモコン受信割込み制御レジスタ (RCST)	743
27.2.3	デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2)	745
27.2.4	スタートビット High 幅設定レジスタ (RCSHW)	746
27.2.5	High 幅設定レジスタ A (RCDAHW)	747
27.2.6	High 幅設定レジスタ B (RCDBHW)	748
27.2.7	データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)	749
27.2.8	クロック分周設定レジスタ (RCCKD)	750
27.3	動作説明と設定手順例	751

第 28 章	シリアル書込み接続例	755
28.1	使用する端子	756
28.2	シリアル書込み接続例	757
28.2.1	同期シリアル書込み接続例	757
28.2.2	非同期シリアル書込み接続例	758
第 29 章	デバイスの取扱いについて	759
29.1	デバイス取扱い上の注意	760
付録		765
付録 A	I/O マップ	766
付録 B	レジスタ一覧	779
付録 C	割込みベクタ	793
付録 D	CPU の状態における端子状態	796
付録 E	命令一覧	801
E.1	命令一覧表の見かた	801
E.2	命令一覧表	805
E.3	遅延スロットに配置可能な命令一覧	814
付録 F	プログラムローダモード	816
索引		829
端子索引		839

本版での主な変更内容

ページ	変更内容 (詳細は本文を参照してください。)	
-	-	本文の「時計モード」の記述をすべて削除。
18	第 2 章 MB91605A シリーズの端子 2.2 端子機能一覧	「表 2.2-1」の端子番号 158, 159 の端子名 MDQM3, MDQM2 の「機能」に、以下の説明文を追加。 MDQM3:D[31:24], MDQM2:D[23:16]
25	第 3 章 CPU 3.1 メモリ空間	「図 3.1-1」を訂正。
94	第 6 章 動作モード 6.4 動作説明	「6.4.2 起動シーケンス」を削除。
	6.4.3 各種モード詳細	「 ユーザモード・外 ROM 外バス」に以下の説明文を追加。 ユーザモード・外 ROM 外バス時の MD 端子 (MD1, MD0) は、RST 解除後に変化しても動作モードは変化しません。
		「 シリアルライトモード」に以下の説明文を追加。 シリアルライトモード時の MD 端子 (MD1, MD0) は常に固定してください。MD 端子が変化すると動作モードが変化してしまいます。
98	第 7 章 クロック生成部 7.2.1 クロック生成部	「 PLL クロック (PLLCLK) 生成部」に<注意事項>を追加。
117	7.5.3 PLL クロック (PLLCLK) 生成のための 逡倍率	<注意事項>を訂正。
144	第 10 章 低消費電力モード 10.1 概要	「 概要」の以下の説明文を削除。 - 時計モード メインクロック発振とメインタイマ以外のすべての動作を停止できるモードです。
148	10.3.1 スタンバイ制御レジスタ (STBCR)	「[bit6]: TIMER(メインタイマモード / 時計モード許可ビット)」の以下の説明文を削除。 時計モードからの復帰要因については、「10.4.5 時計モード時の動作」の「 時計モードからの復帰」を参照してください。
160, 161	10.4 動作説明と設定手順 例	「10.4.5 時計モード時の動作」を削除。
183	第 11 章 リセット 11.6 動作状態と遷移	「 各状態遷移要求の優先順位」を訂正。
215	第 16 章 外部バス インタフェース 16.2 構成	「図 16.2-1」を訂正。
		「図 16.2-1」の下の説明文を追加。 MDQM3 は D[31:24], MDQM2 は D[23:16] のバイトイネーブル出力端子です。
		「図 16.2-2」を訂正。
216		

ページ	変更内容 (詳細は本文を参照してください。)	
238	16.4.1 SRAM/FLASH 領域 のリードアクセス例	「図 16.4-2」を訂正。
239	16.4.2 SRAM/FLASH 領域 のライトアクセス例	「図 16.4-3」を訂正。
240		「図 16.4-4」を訂正。
241		「図 16.4-5」を訂正。
242		「図 16.4-6」を訂正。
243	16.4.3 SRAM/FLASH 領域 のアドレス領域設定例	「表 16.4-1」を訂正。
272	第 18 章 外部割込み制御 部 18.1 概要	「 概要」を訂正。 時計モード メインタイマモード
286	18.5.2 スタンバイモード からの復帰	「 概要」を訂正。 時計モード メインタイマモード
290	第 19 章 ウォッチドッグ タイマ 19.1 概要	「 概要」を訂正。 時計モード メインタイマモード
291	19.2 構成	「図 19.2-1」を訂正。 時計モード メインタイマモード
295	19.3.1 ウォッチドッグタイマ 0 制御レジスタ (WDTCR0)	「[bit6] : RSTP(ストップモード検出リセット許可ビット)」 および<注意事項>を訂正。 時計モード メインタイマモード
298	19.4.1 ウォッチドッグタイマの動作	「 概要」, 「 設定」, および<注意事項>を訂正。 時計モード メインタイマモード
300		「 ウォッチドッグリセット要求の出力」を訂正。 時計モード メインタイマモード
523	第 24 章 マルチファンク ションシリアルインタ フェース	「24.10 UART モードの注意事項」を追加。
589		「24.18 CSIO モードの注意事項」を追加。
668, 669		「24.24 I ² C モードの注意事項」を追加。
760	第 29 章 デバイスの取扱 いについて	「 未使用端子の処理について」を訂正。
761	29.1 デバイス取扱い上の 注意	「 VDDI 端子 (内部電源 1.8V 系) と VDDE 端子 (外部端 子電源 3.3V 系) の電源投入 / 切断の順序について」の以下 の説明文を追加。 ・電源 (VDDI/VDDE/ アナログ) を同時に投入 / 切断するこ とは問題ありません。
796	付録	「付録 D CPU の状態における端子状態」を訂正。
797 ~ 800	「付録 D CPU の状態にお ける端子状態」	表 D-1 の下に以下の説明文を追加。 P : ポート接続時 F : 指定機能使用時
816 ~ 828	付録	「付録 F プログラムローダモード」を追加。

変更箇所は、本文中のページ左側の によって示しています。

第 1 章 概要

MB91605A シリーズの特長と基本的な仕様について説明します。

- 1.1 MB91605A シリーズの概要
- 1.2 MB91605A シリーズの品種構成
- 1.3 MB91605A シリーズのブロックダイアグラム
- 1.4 外形寸法図

1.1 MB91605A シリーズの概要

MB91605A シリーズは、32 ビット RISC CPU を使用し、高性能 / 高速な CPU 処理を要求される組み込み制御用に各種周辺機能を内蔵したマイクロコントローラです。

本シリーズは、FR80 ファミリ CPU をベースにバスアクセスを強化し、より高速での使用に対応したシリーズです。

■ FR80 ファミリ CPU

- 32 ビット RISC, ロード / ストアアーキテクチャ, パイプライン 5 段
- 動作周波数 80 MHz [PLL 使用 : 原振 16 MHz : 5 逓倍]
- 16 ビット固定長命令 (基本命令), 1 命令 / 1 サイクル
- メモリ - メモリ間転送, ビット処理, バレルシフトなどの命令 : 組み込み用途に適した命令
- 関数入口 / 出口命令, レジスタ内容のマルチロードストア命令 : 高級言語対応命令
- レジスタ インターロック機能 - アセンブラ記述の容易化
- 乗算器の内蔵 / 命令レベルでのサポート
 - 符号付 32 ビット乗算 : 5 サイクル
 - 符号付 16 ビット乗算 : 3 サイクル
- 割込み (PC, PS の退避) : 6 サイクル, 16 プライオリティレベル
- ハーバードアーキテクチャにより, プログラムアクセスとデータアクセスを同時に実行可能
- CPU 内の 4 ワードのキューにより, 命令の先取り機能を追加
- FR ファミリとの命令互換

■ バスインタフェース

- 動作周波数 : オンチップバス周波数の 1/1 ~ 1/4 に設定可能
- 基本バスサイクル
 - リード : 1 サイクル
 - ライト : 3 サイクル
- アドレスデータマルチプレックスバス対応
- 未使用アドレス端子は汎用入出力用端子として使用可能
- 書込み禁止設定可能 (読出し専用領域, SDRAM 領域以外)
- 領域ごとにプログラマブルな自動ウェイトサイクル発生機構 (最大 15 サイクル)
- 最小 1M バイト単位で領域設定が可能
- 完全に独立した 8 領域のチップセレクト出力が可能

■ DMAC (DMA コントローラ)

- チャンネル数：4 チャンネル
- 2 つの転送要因：内部ペリフェラル / ソフトウェア
- アドレッシングモード：32 ビットフルアドレス指定 (増加 / 減少 / 固定)
- 転送モード：バースト転送 / ブロック転送
- 転送データサイズ：1/2/4/32 バイト から選択可能

■ 16 ビットリロードタイマ (REALOS 用 1 チャンネル含む)

- チャンネル数：3 チャンネル
- 内部クロック：2/4/8/16/32/64 分周から選択可能

■ マルチファンクションシリアルインタフェース

- 16 バイト FIFO 付 8 チャンネル, FIFO なし 4 チャンネル
- チャンネルごとに, 使用方法を次の 3 つの中から選択可能

< UART >

- 全二重ダブルバッファ
- パリティあり / なし選択可能
- 専用ボーレートジェネレータを内蔵
- 外部クロックをシリアルクロックとして使用可能
- 豊富なエラー検出機能あり (パリティエラー, フレーミングエラー, オーバーランエラー)

< CSIO >

- 転送形式：クロック同期 (最大 10Mbps)
- 全二重ダブルバッファ
- 専用ボーレートジェネレータを内蔵
- オーバーランエラー検出機能あり

< I²C >

- 標準モード (最大 100Kbps) / 高速モード (最大 400Kbps) に対応

■ 割込みコントローラ

- 外部割込み：合計 25 本 (外部割込み端子：24 本 + $\overline{\text{NMI}}$ 端子：1 本)
- 内部周辺機能からの割込み
- $\overline{\text{NMI}}$ 端子以外は, 優先レベルをプログラマブルに設定可能 (16 レベル)
- STOP 時の ウェイクアップ用として使用可能

■ A/D コンバータ

- チャンネル数：12 チャンネル
- 10 ビット分解能
- 逐次比較変換型：変換時間：約 8.1 μ s
- 変換モード：単発変換モード、スキャン変換モード
- 起動要因：ソフトウェア / 外部トリガ

■ ベースタイマ

- チャンネル数：12 チャンネル
- チャンネルごとに、使用方法を次の中から選択可能
 - 16/32 ビットリロードタイマ (32 ビットタイマとして使用する際は 2 チャンネル単位で使用)
 - 16 ビット PWM タイマ
 - 16/32 ビット PWC タイマ (32 ビットタイマとして使用する際は 2 チャンネル単位で使用)
 - 16 ビット PPG タイマ
- 4 チャンネル同時起動モードあり

■ HDMI-CEC/ リモコン受信

- チャンネル数：1 チャンネル
- HDMI-CEC 受信機能 (自動 ACK 応答機能あり)
- リモコン受信機能 (4 バイトの受信バッファ搭載)

■ その他のインターバルタイマ

- ウォッチドッグタイマ：1 チャンネル内蔵

■ I/O ポート

- 最大 92 ポート

■ その他の特長

- クロックソースとして発振回路内蔵
- リセット端子として $\overline{\text{INIT}}$ を用意
- ウォッチドッグタイマリセット、ソフトウェアリセットあり
- 低消費電力モードとしてストップモードとスリープモードをサポート
- ギア機能
 - タイムベースタイマ内蔵
- 電源電圧：3.3 V \pm 0.3 V, 1.8 V \pm 0.15 V 2 電源

1.2 MB91605A シリーズの品種構成

MB91605A シリーズの品種について説明します。

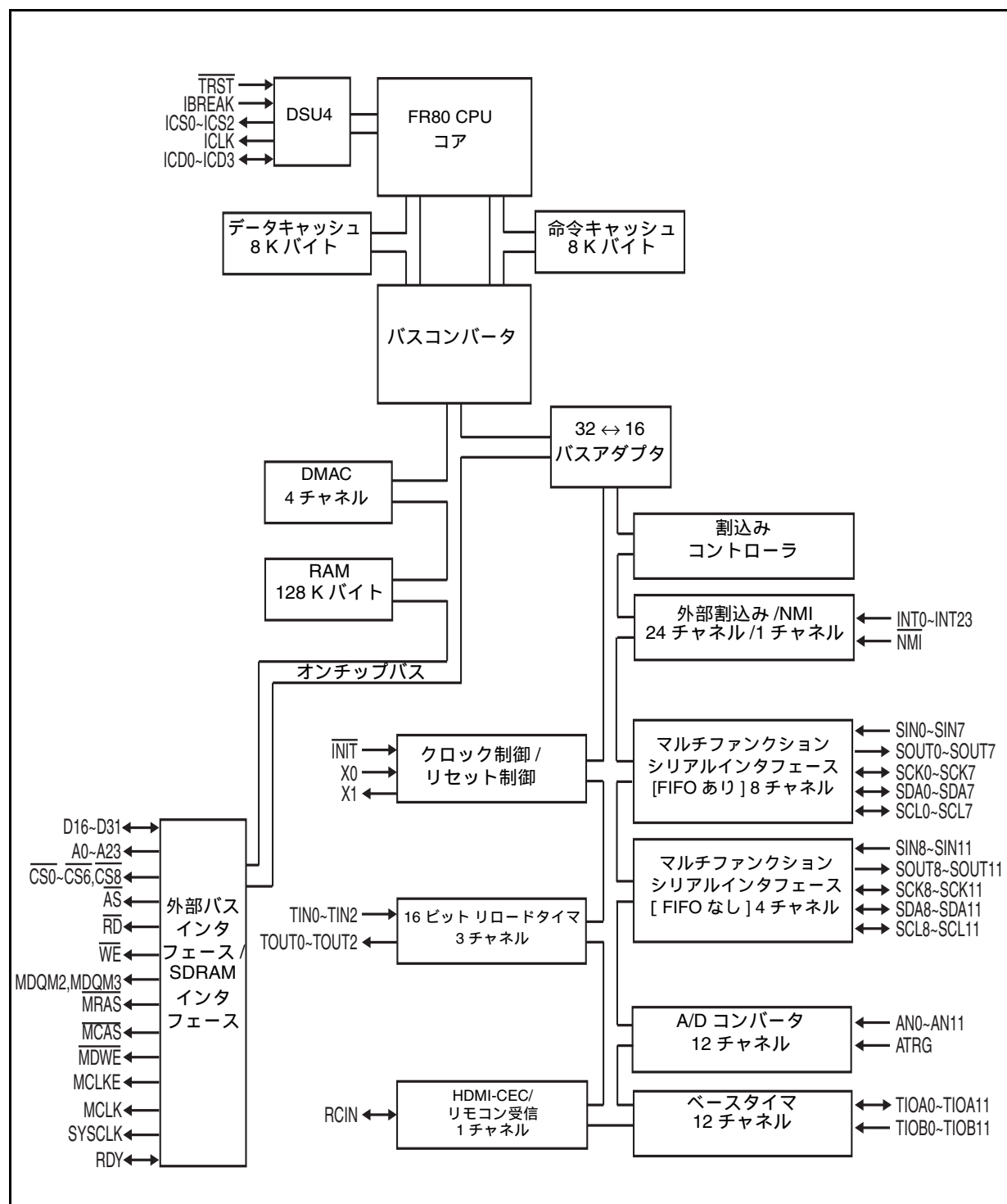
表 1.2-1 MB91605A シリーズの品種構成

項目 \ 品名	MB91605A
RAM 容量	128K バイト
命令キャッシュ容量	8K バイト
データキャッシュ容量	8K バイト
パッケージ	種類：LQFP-176 パッケージコード：FPT-176P-M07 端子ピッチ：0.50mm ピッチ サイズ：24.0mm × 24.0mm

1.3 MB91605A シリーズのブロックダイアグラム

MB91605A シリーズのブロックダイアグラムを図 1.3-1 に示します。

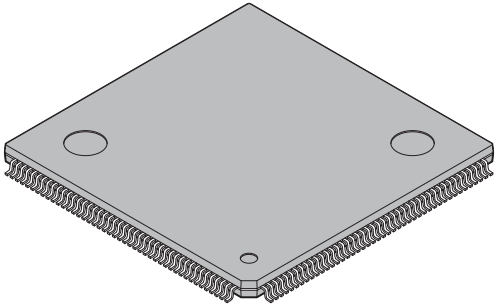
図 1.3-1 MB91605A シリーズのブロックダイアグラム

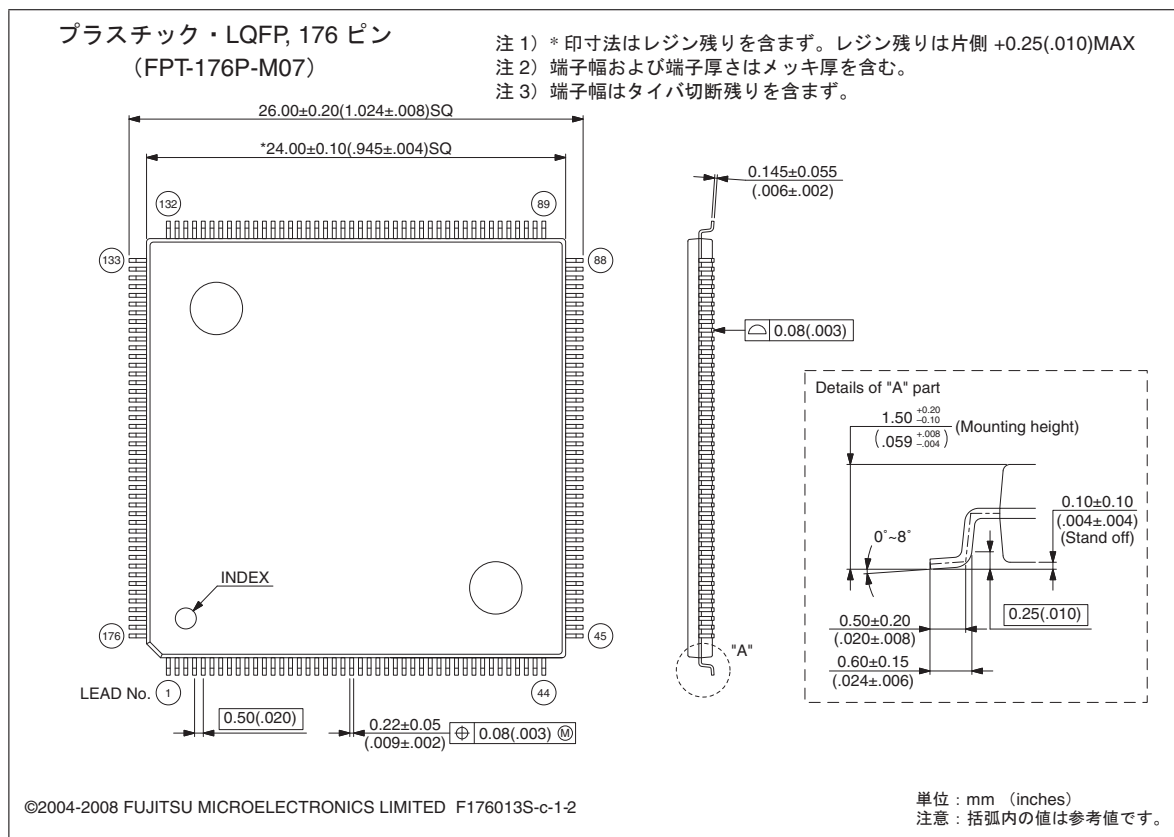


1.4 外形寸法図

MB91605A シリーズで使用する各パッケージの外形寸法図を示します。

図 1.4-1 外形寸法図 (FPT-176P-M07)

<p>プラスチック・LQFP, 176 ピン</p>  <p>(FPT-176P-M07)</p>	リードピッチ	0.50mm
	パッケージ幅× パッケージ長さ	24.0 × 24.0mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70mm MAX
	コード (参考)	P-LQFP-0176-2424-0.50



最新の外形寸法図については、下記の URL にてご確認ください。

<http://edevic.fujitsu.com/package/jp-search/>

第 2 章 MB91605A シリーズの端子

MB91605A シリーズの端子と、兼用端子の設定について説明します。

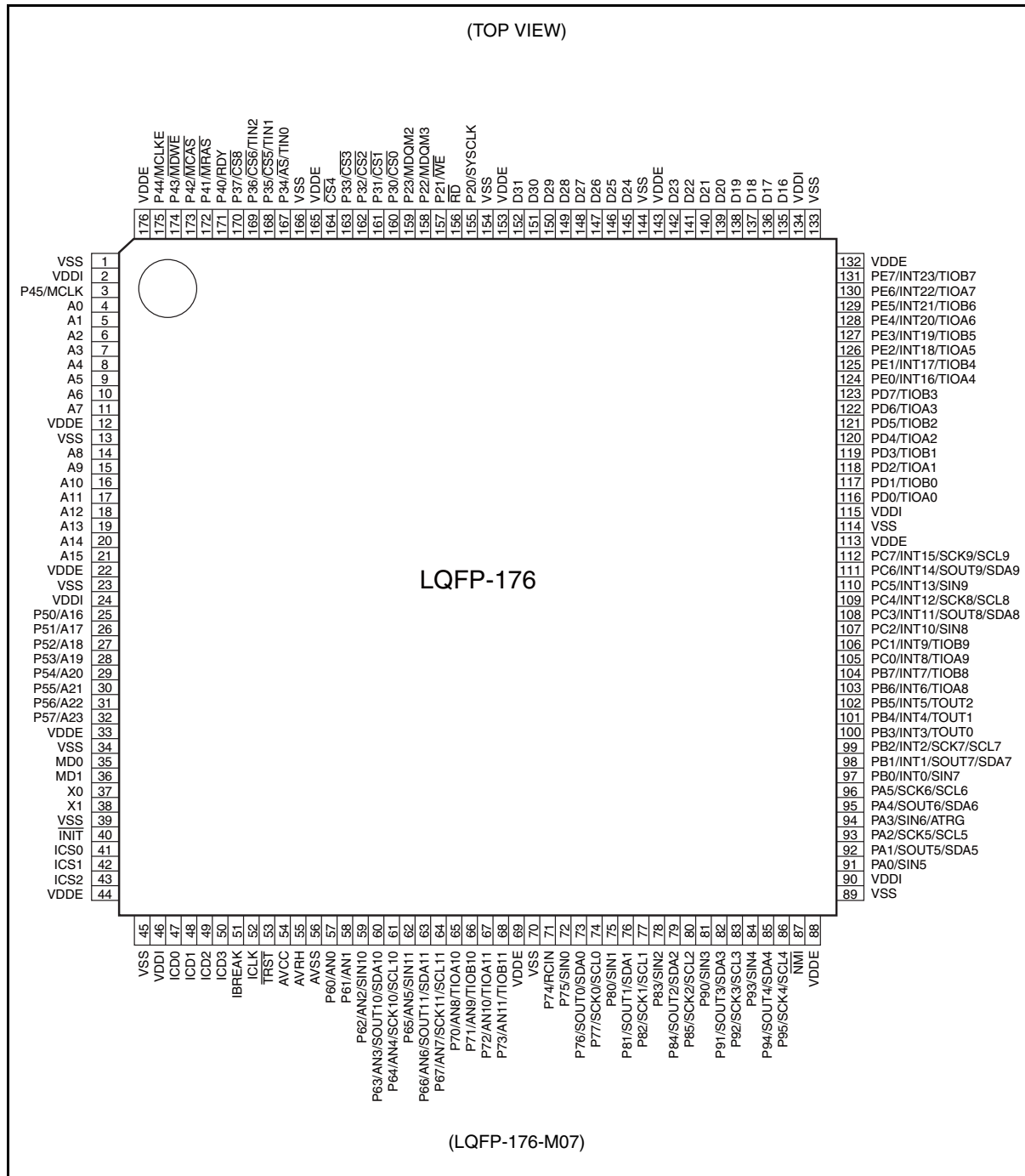
- 2.1 端子配列図
- 2.2 端子機能一覧
- 2.3 入出力回路形式

2.1 端子配列図

MB91605A シリーズには 1 種類のパッケージが用意されています。

■ LQFP-176

図 2.1-1 LQFP-176 の端子配列図



2.2 端子機能一覧

表 2.2-1 に、MB91605A シリーズの端子の機能一覧を示します。

■ 端子機能一覧表

表 2.2-1 端子機能一覧 (1 / 9)

端子番号	端子名	入出力 回路形式	機能
3	P45	A	汎用入出力ポートです。
	MCLK		外部バスインタフェースのクロック出力端子です。
4 ~ 11	A0 ~ A7	B	外部バスインタフェースのアドレスバスの出力端子 (bit0 ~ bit7) です。
14 ~ 21	A8 ~ A15	B	外部バスインタフェースのアドレスバスの出力端子 (bit8 ~ bit15) です。
25 ~ 32	P50 ~ P57	A	汎用入出力ポートです。
	A16 ~ A23		外部バスインタフェースのアドレスバスの出力端子 (bit16 ~ bit23) です。
35, 36	MD0, MD1	C	モード設定端子です。
37	X0	D	クロック (発振) 入力端子です。
38	X1	D	クロック (発振) 入出力端子です。
40	$\overline{\text{INIT}}$	E	外部リセット入力端子です。
41 ~ 43	ICS0 ~ ICS2	B	開発ツール用ステータス出力端子です。
47 ~ 50	ICD0 ~ ICD3	F	開発ツール用データ入出力端子です。
51	IBREAK	G	開発ツール用ブレーク入力端子です。
52	ICLK	B	開発ツール用クロック出力端子です。
53	$\overline{\text{TRST}}$	E	開発ツール用リセット入力端子です。
57	P60	H	汎用入出力ポートです。
	AN0		A/D コンバータ ch.0 用アナログ入力端子です。
58	P61	H	汎用入出力ポートです。
	AN1		A/D コンバータ ch.1 用アナログ入力端子です。
59	P62	H	汎用入出力ポートです。
	AN2		A/D コンバータ ch.2 用アナログ入力端子です。
	SIN10		マルチファンクションシリアルインタフェース ch.10 のシリアルデータ入力端子です。
60	P63	H	汎用入出力ポートです。
	AN3		A/D コンバータ ch.3 用アナログ入力端子です。
	SOUT10		マルチファンクションシリアルインタフェース ch.10 のシリアルデータ出力端子です。
	SDA10		マルチファンクションシリアルインタフェース ch.10 の I ² C データ入出力端子です。

表 2.2-1 端子機能一覧 (2 / 9)

端子番号	端子名	入出力 回路形式	機能
61	P64	H	汎用入出力ポートです。
	AN4		A/D コンバータ ch.4 用アナログ入力端子です。
	SCK10		マルチファンクションシリアルインタフェース ch.10 のシリアルクロック入出力端子です。
	SCL10		マルチファンクションシリアルインタフェース ch.10 の I ² C クロック入出力端子です。
62	P65	H	汎用入出力ポートです。
	AN5		A/D コンバータ ch.5 用アナログ入力端子です。
	SIN11		マルチファンクションシリアルインタフェース ch.11 のシリアルデータ入力端子です。
63	P66	H	汎用入出力ポートです。
	AN6		A/D コンバータ ch.6 用アナログ入力端子です。
	SOUT11		マルチファンクションシリアルインタフェース ch.11 のシリアルデータ出力端子です。
	SDA11		マルチファンクションシリアルインタフェース ch.11 の I ² C データ入出力端子です。
64	P67	H	汎用入出力ポートです。
	AN7		A/D コンバータ ch.7 用アナログ入力端子です。
	SCK11		マルチファンクションシリアルインタフェース ch.11 のシリアルクロック入出力端子です。
	SCL11		マルチファンクションシリアルインタフェース ch.11 の I ² C クロック入出力端子です。
65	P70	H	汎用入出力ポートです。
	AN8		A/D コンバータ ch.8 用アナログ入力端子です。
	TIOA10		ベースタイマ ch.10 のタイマ出力端子です。
66	P71	H	汎用入出力ポートです。
	AN9		A/D コンバータ ch.9 用アナログ入力端子です。
	TIOB10		ベースタイマ ch.10 のタイマ入力端子です。
67	P72	H	汎用入出力ポートです。
	AN10		A/D コンバータ ch.10 用アナログ入力端子です。
	TIOA11		ベースタイマ ch.11 のタイマ入出力端子です。
68	P73	H	汎用入出力ポートです。
	AN11		A/D コンバータ ch.11 用アナログ入力端子です。
	TIOB11		ベースタイマ ch.11 のタイマ入力端子です。
71	P74	A	汎用入出力ポートです。
	RCIN		HDMI-CEC/ リモコン入出力端子です。
72	P75	A	汎用入出力ポートです。
	SIN0		マルチファンクションシリアルインタフェース ch.0 のシリアルデータ入力端子です。

表 2.2-1 端子機能一覧 (3 / 9)

端子番号	端子名	入出力 回路形式	機能
73	P76	A	汎用入出力ポートです。
	SOUT0		マルチファンクションシリアルインタフェース ch.0 のシリアルデータ出力端子です。
	SDA0		マルチファンクションシリアルインタフェース ch.0 の I ² C データ入出力端子です。
74	P77	A	汎用入出力ポートです。
	SCK0		マルチファンクションシリアルインタフェース ch.0 のシリアルクロック入出力端子です。
	SCL0		マルチファンクションシリアルインタフェース ch.0 の I ² C クロック入出力端子です。
75	P80	A	汎用入出力ポートです。
	SIN1		マルチファンクションシリアルインタフェース ch.1 のシリアルデータ入力端子です。
76	P81	A	汎用入出力ポートです。
	SOUT1		マルチファンクションシリアルインタフェース ch.1 のシリアルデータ出力端子です。
	SDA1		マルチファンクションシリアルインタフェース ch.1 の I ² C データ入出力端子です。
77	P82	A	汎用入出力ポートです。
	SCK1		マルチファンクションシリアルインタフェース ch.1 のシリアルクロック入出力端子です。
	SCL1		マルチファンクションシリアルインタフェース ch.1 の I ² C クロック入出力端子です。
78	P83	A	汎用入出力ポートです。
	SIN2		マルチファンクションシリアルインタフェース ch.2 のシリアルデータ入力端子です。
79	P84	A	汎用入出力ポートです。
	SOUT2		マルチファンクションシリアルインタフェース ch.2 のシリアルデータ出力端子です。
	SDA2		マルチファンクションシリアルインタフェース ch.2 の I ² C データ入出力端子です。
80	P85	A	汎用入出力ポートです。
	SCK2		マルチファンクションシリアルインタフェース ch.2 のシリアルクロック入出力端子です。
	SCL2		マルチファンクションシリアルインタフェース ch.2 の I ² C クロック入出力端子です。
81	P90	A	汎用入出力ポートです。
	SIN3		マルチファンクションシリアルインタフェース ch.3 のシリアルデータ入力端子です。

表 2.2-1 端子機能一覧 (4 / 9)

端子番号	端子名	入出力 回路形式	機能
82	P91	A	汎用入出力ポートです。
	SOUT3		マルチファンクションシリアルインタフェース ch.3 のシリアルデータ出力端子です。
	SDA3		マルチファンクションシリアルインタフェース ch.3 の I ² C データ入出力端子です。
83	P92	A	汎用入出力ポートです。
	SCK3		マルチファンクションシリアルインタフェース ch.3 のシリアルクロック入出力端子です。
	SCL3		マルチファンクションシリアルインタフェース ch.3 の I ² C クロック入出力端子です。
84	P93	A	汎用入出力ポートです。
	SIN4		マルチファンクションシリアルインタフェース ch.4 のシリアルデータ入力端子です。
85	P94	A	汎用入出力ポートです。
	SOUT4		マルチファンクションシリアルインタフェース ch.4 のシリアルデータ出力端子です。
	SDA4		マルチファンクションシリアルインタフェース ch.4 の I ² C データ入出力端子です。
86	P95	A	汎用入出力ポートです。
	SCK4		マルチファンクションシリアルインタフェース ch.4 のシリアルクロック入出力端子です。
	SCL4		マルチファンクションシリアルインタフェース ch.4 の I ² C クロック入出力端子です。
87	$\overline{\text{NMI}}$	E	NMI 入力端子です。
91	PA0	A	汎用入出力ポートです。
	SIN5		マルチファンクションシリアルインタフェース ch.5 のシリアルデータ入力端子です。
92	PA1	A	汎用入出力ポートです。
	SOUT5		マルチファンクションシリアルインタフェース ch.5 のシリアルデータ出力端子です。
	SDA5		マルチファンクションシリアルインタフェース ch.5 の I ² C データ入出力端子です。
93	PA2	A	汎用入出力ポートです。
	SCK5		マルチファンクションシリアルインタフェース ch.5 のシリアルクロック入出力端子です。
	SCL5		マルチファンクションシリアルインタフェース ch.5 の I ² C クロック入出力端子です。
94	PA3	A	汎用入出力ポートです。
	SIN6		マルチファンクションシリアルインタフェース ch.6 のシリアルデータ入力端子です。
	ATRG		A/D コンバータ外部トリガ入力端子です。

表 2.2-1 端子機能一覧 (5 / 9)

端子番号	端子名	入出力 回路形式	機能
95	PA4	A	汎用入出力ポートです。
	SOUT6		マルチファンクションシリアルインタフェース ch.6 のシリアルデータ出力端子です。
	SDA6		マルチファンクションシリアルインタフェース ch.6 の I ² C データ入出力端子です。
96	PA5	A	汎用入出力ポートです。
	SCK6		マルチファンクションシリアルインタフェース ch.6 のシリアルクロック入出力端子です。
	SCL6		マルチファンクションシリアルインタフェース ch.6 の I ² C クロック入出力端子です。
97	PB0	I	汎用入出力ポートです。
	INT0		外部割込み入力端子です。
	SIN7		マルチファンクションシリアルインタフェース ch.7 のシリアルデータ入力端子です。
98	PB1	I	汎用入出力ポートです。
	INT1		外部割込み入力端子です。
	SOUT7		マルチファンクションシリアルインタフェース ch.7 のシリアルデータ出力端子です。
	SDA7		マルチファンクションシリアルインタフェース ch.7 の I ² C データ入出力端子です。
99	PB2	I	汎用入出力ポートです。
	INT2		外部割込み入力端子です。
	SCK7		マルチファンクションシリアルインタフェース ch.7 のシリアルクロック入出力端子です。
	SCL7		マルチファンクションシリアルインタフェース ch.7 の I ² C クロック入出力端子です。
100 ~ 102	PB3 ~ PB5	I	汎用入出力ポートです。
	INT3 ~ INT5		外部割込み入力端子です。
	TOUT0 ~ TOUT2		16 ビットリロードタイマ ch.0 ~ ch.2 の出力端子です。
103	PB6	I	汎用入出力ポートです。
	INT6		外部割込み入力端子です。
	TIOA8		ベースタイマ ch.8 のタイマ出力端子です。
104	PB7	I	汎用入出力ポートです。
	INT7		外部割込み入力端子です。
	TIOB8		ベースタイマ ch.8 のタイマ入力端子です。
105	PC0	I	汎用入出力ポートです。
	INT8		外部割込み入力端子です。
	TIOA9		ベースタイマ ch.9 のタイマ入出力端子です。
106	PC1	I	汎用入出力ポートです。
	INT9		外部割込み入力端子です。
	TIOB9		ベースタイマ ch.9 のタイマ入力端子です。

表 2.2-1 端子機能一覧 (6 / 9)

端子番号	端子名	入出力 回路形式	機能
107	PC2	I	汎用入出力ポートです。
	INT10		外部割込み入力端子です。
	SIN8		マルチファンクションシリアルインタフェース ch.8 のシリアルデータ入力端子です。
108	PC3	I	汎用入出力ポートです。
	INT11		外部割込み入力端子です。
	SOUT8		マルチファンクションシリアルインタフェース ch.8 のシリアルデータ出力端子です。
	SDA8		マルチファンクションシリアルインタフェース ch.8 の I ² C データ入出力端子です。
109	PC4	I	汎用入出力ポートです。
	INT12		外部割込み入力端子です。
	SCK8		マルチファンクションシリアルインタフェース ch.8 のシリアルクロック入出力端子です。
	SCL8		マルチファンクションシリアルインタフェース ch.8 の I ² C クロック入出力端子です。
110	PC5	I	汎用入出力ポートです。
	INT13		外部割込み入力端子です。
	SIN9		マルチファンクションシリアルインタフェース ch.9 のシリアルデータ入力端子です。
111	PC6	I	汎用入出力ポートです。
	INT14		外部割込み入力端子です。
	SOUT9		マルチファンクションシリアルインタフェース ch.9 のシリアルデータ出力端子です。
	SDA9		マルチファンクションシリアルインタフェース ch.9 の I ² C データ入出力端子です。
112	PC7	I	汎用入出力ポートです。
	INT15		外部割込み入力端子です。
	SCK9		マルチファンクションシリアルインタフェース ch.9 のシリアルクロック入出力端子です。
	SCL9		マルチファンクションシリアルインタフェース ch.9 の I ² C クロック入出力端子です。
116	PD0	A	汎用入出力ポートです。
	TIOA0		ベースタイマ ch.0 のタイマ出力端子です。
117	PD1	A	汎用入出力ポートです。
	TIOB0		ベースタイマ ch.0 のタイマ入力端子です。
118	PD2	A	汎用入出力ポートです。
	TIOA1		ベースタイマ ch.1 のタイマ入出力端子です。
119	PD3	A	汎用入出力ポートです。
	TIOB1		ベースタイマ ch.1 のタイマ入力端子です。
120	PD4	A	汎用入出力ポートです。
	TIOA2		ベースタイマ ch.2 のタイマ出力端子です。

表 2.2-1 端子機能一覧 (7 / 9)

端子番号	端子名	入出力 回路形式	機能
121	PD5	A	汎用入出力ポートです。
	TIOB2		ベースタイマ ch.2 のタイマ入力端子です。
122	PD6	A	汎用入出力ポートです。
	TIOA3		ベースタイマ ch.3 のタイマ入出力端子です。
123	PD7	A	汎用入出力ポートです。
	TIOB3		ベースタイマ ch.3 のタイマ入力端子です。
124	PE0	I	汎用入出力ポートです。
	INT16		外部割込み入力端子です。
	TIOA4		ベースタイマ ch.4 のタイマ出力端子です。
125	PE1	I	汎用入出力ポートです。
	INT17		外部割込み入力端子です。
	TIOB4		ベースタイマ ch.4 のタイマ入力端子です。
126	PE2	I	汎用入出力ポートです。
	INT18		外部割込み入力端子です。
	TIOA5		ベースタイマ ch.5 のタイマ入出力端子です。
127	PE3	I	汎用入出力ポートです。
	INT19		外部割込み入力端子です。
	TIOB5		ベースタイマ ch.5 のタイマ入力端子です。
128	PE4	I	汎用入出力ポートです。
	INT20		外部割込み入力端子です。
	TIOA6		ベースタイマ ch.6 のタイマ出力端子です。
129	PE5	I	汎用入出力ポートです。
	INT21		外部割込み入力端子です。
	TIOB6		ベースタイマ ch.6 のタイマ入力端子です。
130	PE6	I	汎用入出力ポートです。
	INT22		外部割込み入力端子です。
	TIOA7		ベースタイマ ch.7 のタイマ入出力端子です。
131	PE7	I	汎用入出力ポートです。
	INT23		外部割込み入力端子です。
	TIOB7		ベースタイマ ch.7 のタイマ入力端子です。
135 ~ 142	D16 ~ D23	J	外部バスインタフェースのデータバスの入出力端子 (bit16 ~ bit23) です。
145 ~ 152	D24 ~ D31	J	外部バスインタフェースのデータバスの入出力端子 (bit24 ~ bit31) です。
155	P20	A	汎用入出力ポートです。
	SYSCLK		システムクロック出力端子です。
156	$\overline{\text{RD}}$	B	外部バスインタフェースのリードストロブ出力端子です。
157	P21	A	汎用入出力ポートです。
	$\overline{\text{WE}}$		外部バスインタフェースのライトストロブ出力端子です。

表 2.2-1 端子機能一覧 (8 / 9)

端子番号	端子名	入出力 回路形式	機能
158, 159	P22, P23	A	汎用入出力ポートです。
	MDQM3, MDQM2		外部バスインタフェースのバイトイネーブル出力端子です。MDQM3:D[31:24], MDQM2:D[23:16]
160 ~ 163	P30 ~ P33	A	汎用入出力ポートです。
	$\overline{CS0}$ ~ $\overline{CS3}$		外部バスインタフェースのチップセレクト 出力端子です。
164	$\overline{CS4}$	B	外部バスインタフェースのチップセレクト 出力端子です。
167	P34	A	汎用入出力ポートです。
	\overline{AS}		外部バスインタフェースのアドレスストロープ出力端子です。
	TIN0		16 ビットリロードタイマ ch.0 の入力端子です。
168, 169	P35, P36	A	汎用入出力ポートです。
	$\overline{CS5}$, $\overline{CS6}$		外部バスインタフェースのチップセレクト 出力端子です。
	TIN1, TIN2		16 ビットリロードタイマ ch.1, ch.2 の入力端子です。
170	P37	A	汎用入出力ポートです。
	$\overline{CS8}$		SDRAM インタフェースのチップセレクト 出力端子です。
171	P40	A	汎用入出力ポートです。
	RDY		外部バスインタフェースのレディ入力端子です。
172	P41	A	汎用入出力ポートです。
	\overline{MRAS}		SDRAM インタフェースの RAS ストロープ出力端子です。
173	P42	A	汎用入出力ポートです。
	\overline{MCAS}		SDRAM インタフェースの CAS ストロープ出力端子です。
174	P43	A	汎用入出力ポートです。
	\overline{MDWE}		SDRAM インタフェースのライトストロープ出力端子です。
175	P44	A	汎用入出力ポートです。
	MCLKE		SDRAM インタフェースのクロックイネーブル出力端子です。

表 2.2-1 端子機能一覧 (9 / 9)

端子番号	端子名	入出力 回路形式	機能
12, 22, 33, 44, 69, 88, 113, 132, 143, 153, 165, 176	VDDE	-	3.3 V 電源端子です。
2, 24, 46, 90, 115, 134	VDDI	-	1.8 V 電源端子です。
1, 13, 23, 34, 39, 45, 70, 89, 114, 133, 144, 154, 166	VSS	-	GND 端子です。
54	AVCC	-	A/D コンバータ用電源端子です。
56	AVSS	-	A/D コンバータ用アナログ GND 端子です。
55	AVRH	-	A/D コンバータ用基準電源端子です。

2.3 入出力回路形式

表 2.3-1 に、MB91605A シリーズの入出力回路の形式を示します。

■ 入出力回路形式

表 2.3-1 入出力回路形式 (1 / 3)

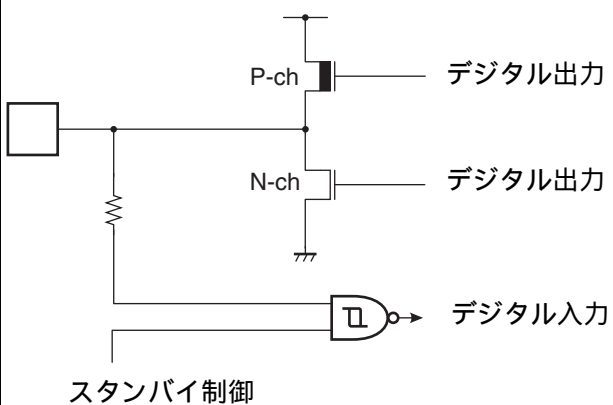
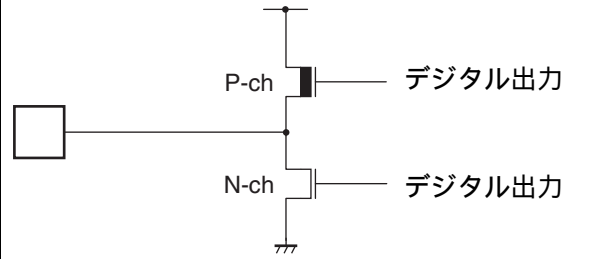
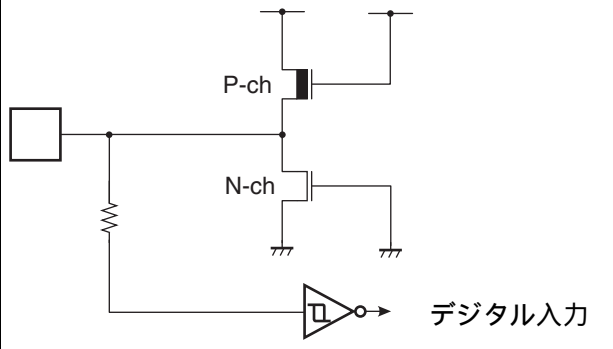
分類	回路形式	備考
A		CMOS レベル出力 CMOS レベルヒステリシス入力 スタンバイ制御あり
B		CMOS レベル出力
C		CMOS レベルヒステリシス入力

表 2.3-1 入出力回路形式 (2 / 3)

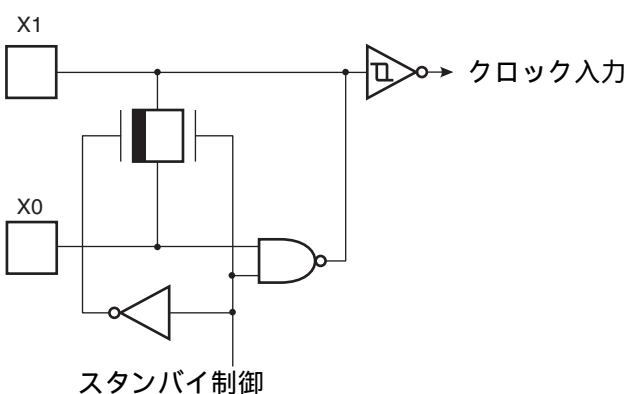
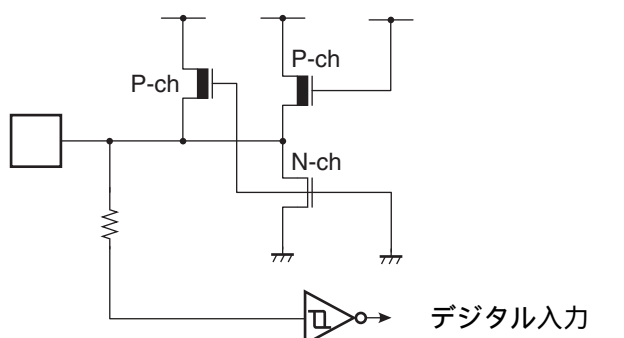
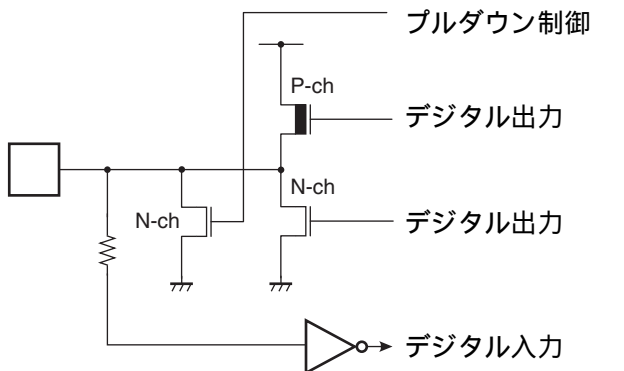
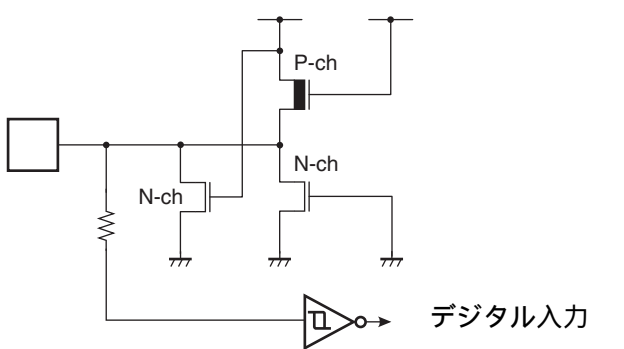
分類	回路形式	備考
D	 <p>スタンバイ制御</p>	発振帰還抵抗: 約 1 MΩ (内蔵)
E	 <p>デジタル入力</p>	プルアップ抵抗付き CMOS ヒステリシス入 力 プルアップ抵抗値 = 約 33 KΩ (Typ)
F	 <p>プルダウン制御</p> <p>デジタル出力</p> <p>デジタル出力</p> <p>デジタル入力</p>	CMOS 入出力 プルダウン制御あり
G	 <p>デジタル入力</p>	CMOS ヒステリシス入 力 プルダウン抵抗付き

表 2.3-1 入出力回路形式 (3 / 3)

分類	回路形式	備考
H	<p>デジタル出力</p> <p>デジタル出力</p> <p>アナログ入力</p> <p>デジタル入力</p> <p>スタンバイ制御</p>	CMOS レベル出力 CMOS レベルヒステリシス入力 スタンバイ制御あり アナログ入力付き
I	<p>プルアップ制御</p> <p>デジタル出力</p> <p>デジタル出力</p> <p>デジタル入力</p> <p>スタンバイ制御</p>	プルアップ制御付き プルアップ抵抗値 = 約 33 K Ω (Typ) CMOS レベル出力 CMOS レベルヒステリシス入力 スタンバイ制御あり
J	<p>デジタル出力</p> <p>デジタル出力</p> <p>デジタル入力</p> <p>スタンバイ制御</p>	CMOS レベル入出力 スタンバイ制御あり

第 3 章 CPU

FR80 ファミリ CPU の機能を知るために、アーキテクチャ、仕様、命令などの基本的な事柄について説明します。

- 3.1 メモリ空間
- 3.2 内部アーキテクチャの特徴
- 3.3 動作モード
- 3.4 パイプライン
- 3.5 命令概要
- 3.6 基本プログラミングモデル
- 3.7 レジスタ
- 3.8 データ構造
- 3.9 アドレッシング
- 3.10 分岐命令
- 3.11 EIT (例外・割込み・トラップ)

3.1 メモリ空間

FR80 ファミリ CPU の論理アドレスは 4G バイト (2^{32} 番地) あり, CPU はリニアにアクセスを行います。

■ ダイレクトアドレッシング領域

アドレス空間の 0000 0000_H ~ 0000 03FF_H をダイレクトアドレッシング領域とよびます。

この領域は, 命令中で直接オペランドを指定できます。

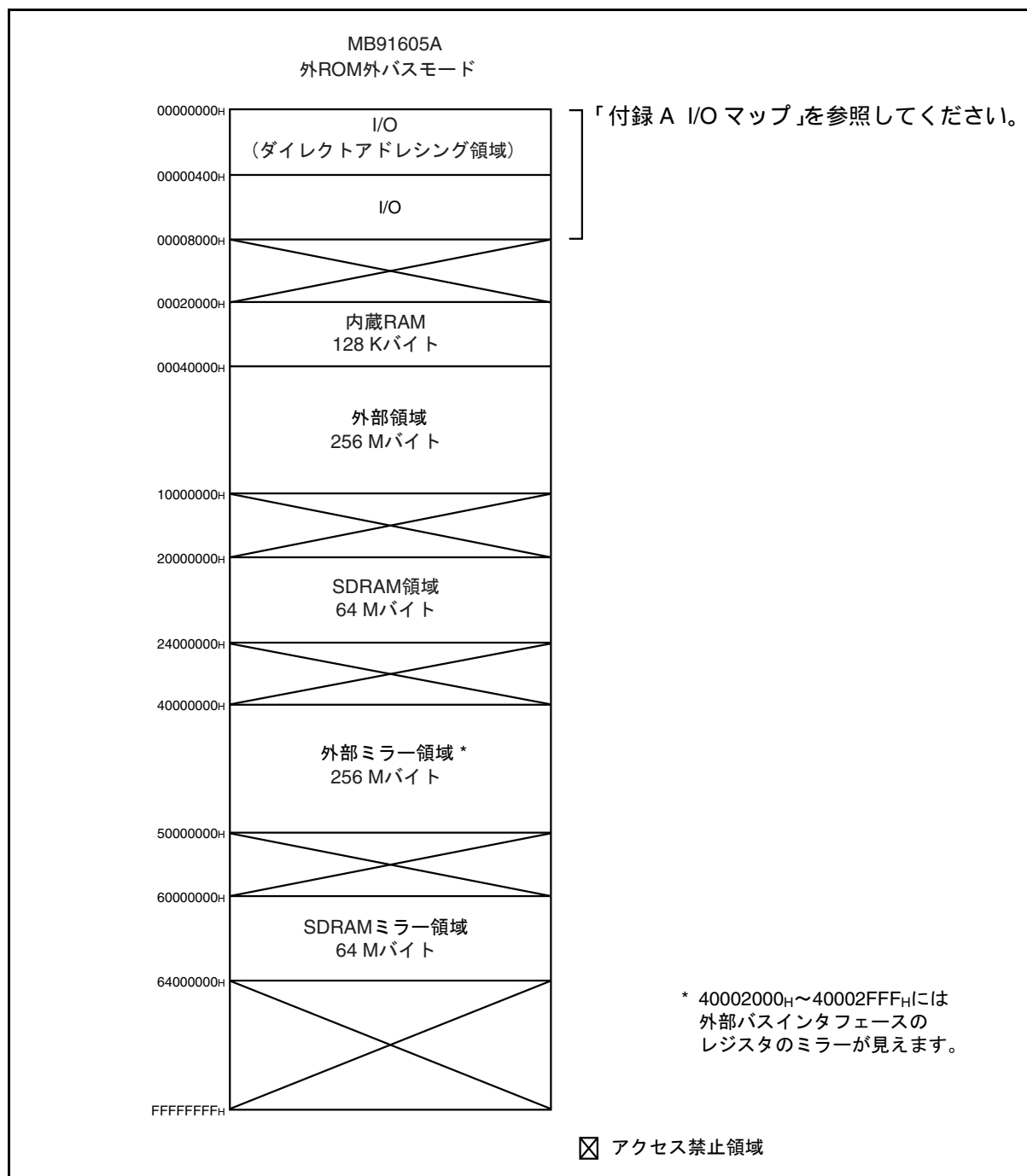
アクセスするデータのサイズによって, ダイレクトアドレッシング領域は次のようになります。

- バイトデータアクセス : 0000 0000_H ~ 0000 00FF_H
- ハーフワードデータアクセス : 0000 0000_H ~ 0000 01FF_H
- ワードデータアクセス : 0000 0000_H ~ 0000 03FF_H

■ メモリマップ

MB91605A シリーズのメモリマップを図 3.1-1 に示します。

図 3.1-1 メモリマップ



3.2 内部アーキテクチャの特徴

FR80 ファミリ CPU は、RISC アーキテクチャを採用すると同時に、組込み用途に向けた高機能命令を導入した高性能コアです。

- RISC アーキテクチャの採用
基本命令 1 命令 1 サイクル
- 32 ビットアーキテクチャ
汎用レジスタ 32 ビット × 16 本
- 4G バイトのリニアなメモリ空間
- 乗算器の内蔵
 - 32 ビット × 32 ビット乗算 5 サイクル
 - 16 ビット × 16 ビット乗算 3 サイクル
- 割込み処理機能の強化
 - 高速応答速度 (6 サイクル)
 - 多重割込みのサポート
 - レベルマスク機能 (16 レベル)
- I/O 操作用命令の強化
 - メモリ - メモリ転送命令
 - ビット処理命令
- 高いコード効率
 - 基本命令語長 16 ビット
- FR60 ファミリと基本命令互換
- FR60 ファミリに対し次の命令を追加
 - ビットサーチ命令 (SRCH0, SRCH1, SRCHC)
- FR60 ファミリから次の命令を削除
 - コプロ命令 (COPOP, COPLD, COPST, COPSV)
 - リソース命令 (LDRES, STRES)
- ノンブロッキングロード
最大で 4 つのロード命令を先行して発行可能

3.3 動作モード

本シリーズの動作モードについて説明します。

本シリーズは以下の動作モードを持ち、デバイス起動時に動作モードを選択できます。

- ユーザモード・外 ROM 外バス
- シリアルライターモード

本シリーズの動作モードを表 3.3-1 に示します。

表 3.3-1 動作モード

MD 端子		動作モード
MD1	MD0	
0	0	ユーザモード・外 ROM 外バス
	1	シリアルライターモード

3.4 パイプライン

FR80 ファミリ CPU は 32 ビット RISC の FR アーキテクチャをコンパクトにインプリメントしたものです。

通常命令実行パイプラインに加えてメモリロード用パイプラインを追加することにより、ロード命令実行中のパイプラインハザードの低減を行います。

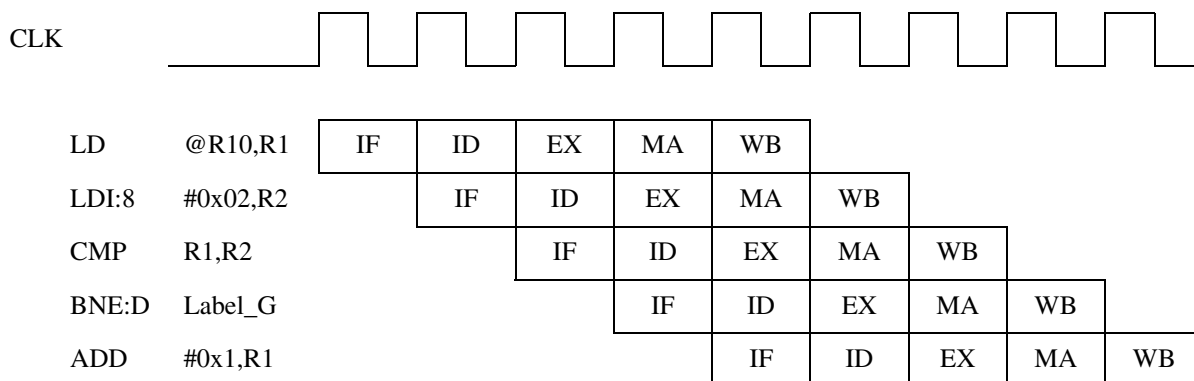
1 サイクルあたり 1 命令の実行を行うため、5 段階の命令パイプライン方式を採用しています。パイプラインは次のステージから構成されています。

- 命令フェッチステージ (IF) : 出力したアドレスの命令を取得します。
- 命令デコードステージ (ID) : フェッチした命令をデコードします。レジスタの読出しも行います。
- 実行ステージ (EX) : デコードした命令を実行します。
- メモリアクセスステージ (MA) : 対象となるメモリにアクセスします。
- レジスタ書き込みステージ (WB) : 演算結果 (またはロードされたメモリデータ) をレジスタに書き込みます。

メモリロード用のパイプラインを追加しているため、メモリアクセスを行わない命令の MA, WB ステージと LD 命令の MA, WB ステージは重なることができます。

命令の実行は、原則として 1 サイクルあたり 1 命令の速度で行われます。ただし、メモリウェイトを伴ったロード・ストア命令、遅延スロットを持たない分岐命令、複数サイクル命令では命令の実行に複数のサイクルが必要となります。また、命令の供給が遅い場合も命令の実行速度が低下します。

(例 1)



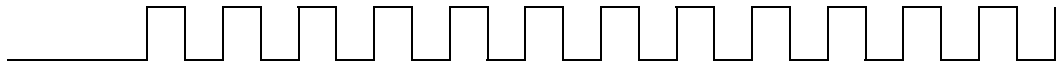
例 1 : の CMP 命令で の LD 命令を書き込む R1 を使用しているがデータが 1 サイクルで返ってきているため、順番通りに命令を実行します。

ロード系動作では、ロードしたデータの読込みが終了するまで MA ステージが延長されます。

ただし、ロードで使用するレジスタを、以降の命令で使用しない場合はそのまま命令を実行します。

(例2)

CLK



LD	@R10,R1	IF	ID	EX	MA	MA	MA	WB											
LDI:8	#0x02,R2		IF	ID	EX	MA	WB												
CMP	R1,R2			IF	ID	ID	ID	EX	MA	WB									
BNE:D	Label_G						IF	ID	EX	MA	WB								
ADD	#0x1,R1							IF	ID	EX	MA	WB							

例2： の CMP 命令で の LD 命令を書込む R1 を使用しているがデータが1サイクルで返ってこない場合、 の LDI:8 命令まで実行し、CMP はレジスタコンフリクトにより ID ステージで待たされます。

3.5 命令概要

FR80 ファミリ CPU は、一般的な RISC の命令体系に加え、組み込み用途に最適化された論理演算とビット操作命令およびダイレクトアドレッシング命令をサポートしています。各命令は 16 ビット長（一部命令は 32, 48 ビット長）ですので、優れたメモリ使用効率を持ちます。

命令セットは次の機能グループに分けることができます。

- 算術演算
- ロードとストア
- 分岐
- 論理演算とビット操作
- ダイレクトアドレッシング
- ビットサーチ
- その他

3.5.1 算術演算

標準の算術演算命令（加算、減算、比較）およびシフト命令（論理シフト、算術演算シフト）があります。加算と減算については、多ワード長演算（32 ビット以上のデータの演算）で使用するキャリ付演算や、アドレス計算に便利なフラグ値を変化させない演算も可能です。

さらに、32 ビット × 32 ビット、16 ビット × 16 ビットの乗算命令と、32 ビット ÷ 32 ビットのステップ除算命令を持ちます。

また、レジスタに即値をセットする即値転送命令や、レジスタ間転送命令も備えています。

算術演算命令はすべて CPU 内の汎用レジスタおよび乗除算レジスタを用いて演算を行います。

3.5.2 ロードとストア

ロードとストアは外部メモリに対して読出しと書込みを行う命令です。また、チップ内の周辺機能の読出しと書込みにも使用されます。

ロードとストアはバイト、ハーフワード、ワードの 3 種類のアクセス長を持ちます。また一般的なレジスタ間接のメモリアドレッシングに加え、一部の命令についてはディスプレースメント付レジスタ間接やレジスタインクリメント・デクリメント付レジスタ間接のメモリアドレッシングも可能です。

3.5.3 分岐

分岐, コール, 割込みおよび復帰の命令です。分岐命令は, 遅延スロットを持つものと持たないものがあり, 用途に応じて最適化を行うことができます。分岐命令の詳細については, 「3.10 分岐命令」を参照してください。

3.5.4 論理演算とビット操作

論理演算命令は汎用レジスタ間, または汎用レジスタとメモリ (および I/O) 間で AND, OR, EOR の論理演算を行うことが可能です。またビット操作命令はメモリ (および I/O) の内容を直接操作することができます。メモリアドレッシングは一般的なレジスタ間接です。

3.5.5 ダイレクトアドレッシング

ダイレクトアドレッシング命令は I/O と汎用レジスタ間, または I/O とメモリ間のアクセスに使用する命令です。I/O のアドレスをレジスタ間接ではなく命令中で直接指定することにより, 高速, 高効率なアクセスを行うことができます。一部の命令についてはレジスタインクリメント・デクリメント付レジスタ間接のメモリアドレッシングも可能です。

3.5.6 ビットサーチ

ビットサーチ命令は 32 ビットのデータを MSB から探索を行い, 最初に見つかった "1" または "0" のビット位置をレジスタに示すことができます。また, MSB の値と比較を行い, 最初に見つかった MSB と異なる値のビット位置をレジスタに示すことができます。

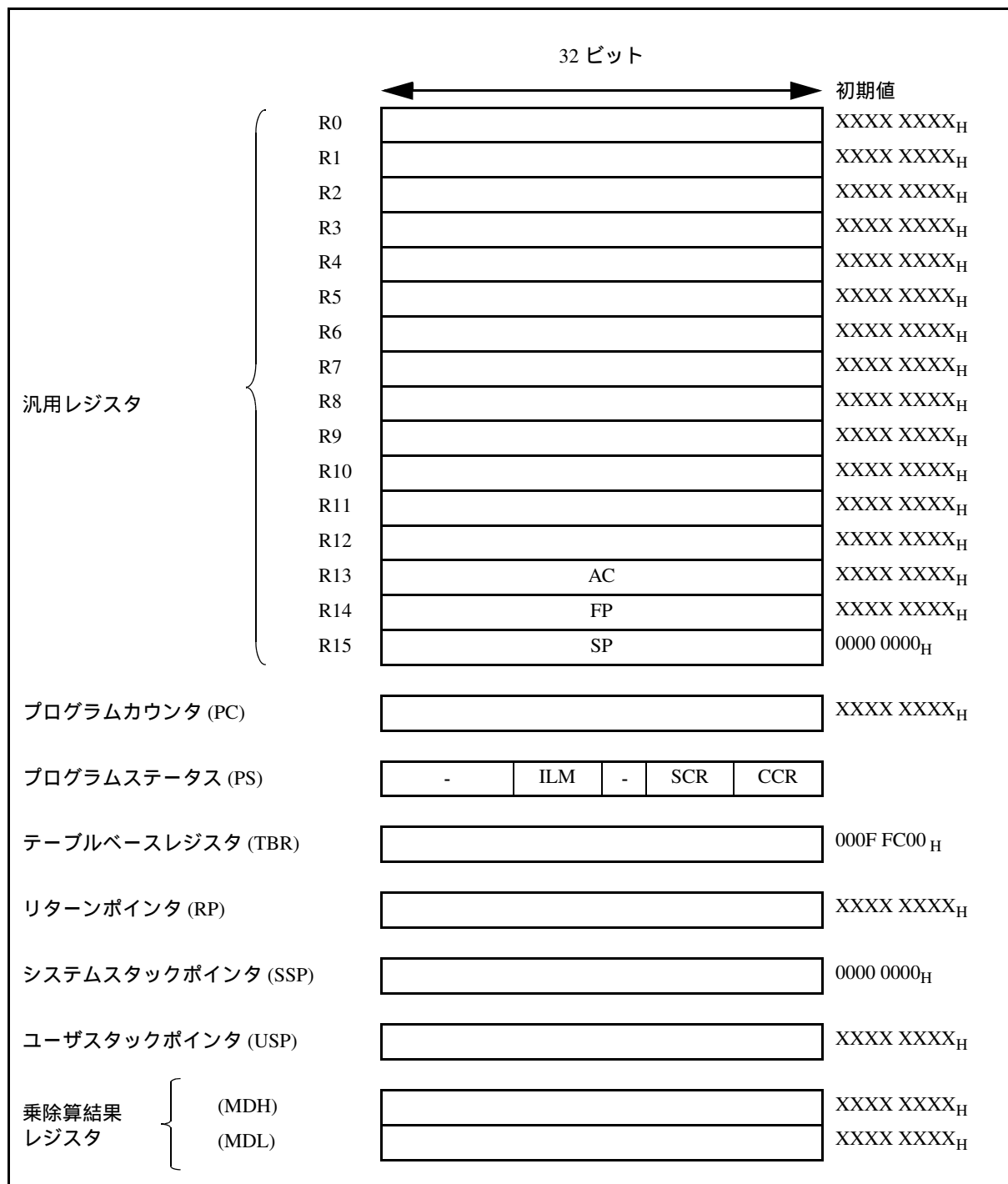
3.5.7 その他

PS レジスタ内のフラグ設定, スタック操作, 符号 / ゼロ拡張などを行う命令があります。また高級言語対応の関数入口 / 出口, レジスタマルチロード / ストア命令も備えています。

3.6 基本プログラミングモデル

基本プログラミングモデルを図 3.6-1 に示します。

図 3.6-1 基本プログラミングモデル



3.7 レジスタ

汎用レジスタおよび、特定の目的のために使用する専用レジスタで構成されています。

3.7.1 汎用レジスタ (R0 ~ R15)

R0 ~ R15 は汎用レジスタです。各種演算におけるアキュムレータ，およびメモリアクセスのポインタとして使用されます。

汎用レジスタ (R0 ~ R15) のビット構成を図 3.7-1 に示します。

図 3.7-1 汎用レジスタ (R0 ~ R15) のビット構成

32 ビット		初期値
R0		XXXX XXXX _H
R1		XXXX XXXX _H
R2		XXXX XXXX _H
R3		XXXX XXXX _H
R4		XXXX XXXX _H
R5		XXXX XXXX _H
R6		XXXX XXXX _H
R7		XXXX XXXX _H
R8		XXXX XXXX _H
R9		XXXX XXXX _H
R10		XXXX XXXX _H
R11		XXXX XXXX _H
R12		XXXX XXXX _H
R13	AC	XXXX XXXX _H
R14	FP	XXXX XXXX _H
R15	SP	0000 0000 _H

16本のレジスタのうち、以下に示すレジスタは特殊な用途を想定しており、そのために一部の命令が強化されています。リセット時の初期値については、図 3.7-1 を参照してください。

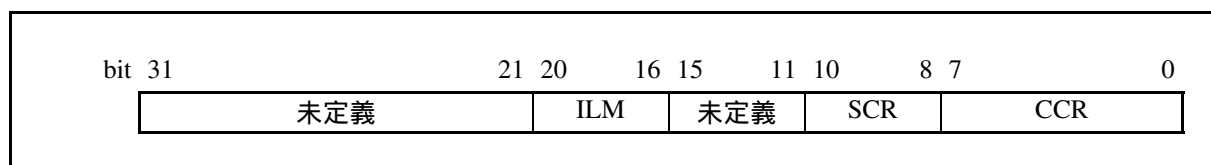
- R13：AC (仮想アキュムレータ)
- R14：FP (フレームポインタ)
- R15：SP (スタックポインタ)

3.7.2 プログラムステータスレジスタ (PS)

プログラムステータスを保持するレジスタで、割込みレベルマスクレジスタ (ILM)、システムコンディションコードレジスタ (SCR) および、コンディションコードレジスタ (CCR) の3つのパートに分かれています。

プログラムステータスレジスタ (PS) のビット構成を図 3.7-2 に示します。

図 3.7-2 プログラムステータスレジスタ (PS) のビット構成



[bit31 ~ bit21, bit15 ~ bit11] 未定義ビット

書込み時	無視されます。
読出し時	常に "0" が読み出されます。

[bit20 ~ bit16] 割込みレベルマスクレジスタ (ILM)

「 割込みレベルマスクレジスタ (ILM)」を参照してください。

[bit10 ~ bit8] システムコンディションコードレジスタ (SCR)

「 システムコンディションレジスタ (SCR)」を参照してください。

[bit7 ~ bit0] コンディションコードレジスタ (CCR)

「 コンディションコードレジスタ (CCR)」を参照してください。

■ コンディションコードレジスタ (CCR)

コンディションコードレジスタ (CCR) のビット構成を図 3.7-3 に示します。

図 3.7-3 コンディションコードレジスタ (CCR) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	S	I	N	Z	V	C
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	X	X	X	X

R/W : リード / ライト可能
 - : 未定義
 X : 不定

[bit7, bit6] : 未定義ビット

書込み時	無視されます。
読出し時	常に "0" が読み出されます。

[bit5] : S (スタックフラグ)

汎用レジスタ 15 (R15) として使用されるスタックポインタを指定します。

S	説明
0	システムスタックポインタ (SSP) が汎用レジスタ 15 (R15) として使用されます。 EIT 発生時, 自動的に "0" にクリアされます。 (ただし, スタックに退避される値は, クリアされる前の値です。)
1	ユーザスタックポインタ (USP) が汎用レジスタ 15 (R15) として使用されます。

このビットはリセットにより "0" にクリアされます。

RETI 命令実行時は "0" を書き込んでください。

[bit4] : I (割り込み許可フラグ)

ユーザ割り込み要求の許可 / 禁止を制御します。

I	説明
0	ユーザ割り込み要求を禁止します。 INT 命令実行時, 自動的に "0" にクリアされます。 (ただし, スタックに退避される値は, クリアされる前の値です。)
1	ユーザ割り込みを許可します。 ユーザ割り込み要求のマスク処理は, 割り込みレベルマスクレジスタ (ILM) の保持する値により制御されます。

このビットはリセットにより "0" にクリアされます。

[bit3] : N (ネガティブフラグ)

演算結果を2の補数で表現された整数とみなしたときの符号を示します。

N	説明
0	演算結果が正の値であったことを示します。
1	演算結果が負の値であったことを示します。

リセットによる初期状態は不定です。

[bit2] : Z (ゼロフラグ)

演算結果が "0" であったかどうかを示します。

Z	説明
0	演算結果が "0" 以外の値であったことを示します。
1	演算結果が "0" であったことを示します。

リセットによる初期状態は不定です。

[bit1] : V (オーバーフローフラグ)

演算に用いたオペランドを2の補数で表現される整数であるとみなし、演算の結果、オーバーフローが生じたかどうかを示します。

V	説明
0	演算の結果、オーバーフローは発生していません。
1	演算の結果、オーバーフローが発生しました。

リセットによる初期状態は不定です。

[bit0] : C (キャリフラグ)

演算により、最上位ビットからのキャリ、またはボローが発生したかどうかを示します。

C	説明
0	キャリ、またはボローは発生していません。
1	キャリ、またはボローが発生しました。

リセットによる初期状態は不定です。

■ システムコンディションレジスタ (SCR)

システムコンディションレジスタ (SCR) のビット構成を図 3.7-4 に示します。

図 3.7-4 システムコンディションレジスタ (SCR) のビット構成

	bit	10	9	8
		D1	D0	T
属性		R/W	R/W	R/W
初期値		X	X	0

R/W : リード / ライト可能
X : 不定

[bit 10, bit9] : D1, D0 (ステップ除算用フラグ)

ステップ除算実行時の中間データを保持します。

除算処理の実行途中は、このビットを変更しないでください。

ステップ除算実行途中にほかの処理を行う場合は、プログラムステータスレジスタ (PS) の値を退避・復帰することで、ステップ除算の再開が保証されます。

リセットによる初期状態は不定です。

< 注意事項 >

- DIV0S 命令の実行により被除数と除数を参照して設定されます。
- DIV0U 命令の実行により、強制的にクリアされます。

[bit8] : T (ステップトレーストラップフラグ)

ステップトレーストラップを有効にするかどうかを指定するフラグです。

T	説明
0	ステップトレーストラップは無効です。
1	ステップトレーストラップが有効です。 ユーザ割込み要求がすべて、禁止されます。

このビットはリセットにより "0" にクリアされます。

ステップトレーストラップの機能はエミュレータが使用します。エミュレータ使用時、ユーザプログラム中で使用することはできません。

■ 割込みレベルマスクレジスタ (ILM)

割込みレベルマスク値を保持するレジスタです。このレジスタの保持する値がレベルマスクに使用されます。

割込みレベルマスクレジスタ (ILM) のビット構成を図 3.7-5 に示します。

図 3.7-5 割込みレベルマスクレジスタ (ILM) のビット構成

bit	20	19	18	17	16
	ILM4	ILM3	ILM2	ILM1	ILM0
属性	R/W	R/W	R/W	R/W	R/W
初期値	0	1	1	1	1
R/W : リード / ライト可能					

CPUに入力される割込み要求の中で、対応する割込みレベルが、このレジスタで示されるレベルよりも強い場合にのみ割込み要求が受け付けられます。

レベル値は、"0" (00000_B) が最強で、"31" (11111_B) が最弱です。

プログラムから設定可能な値には制限があります。

- 元の値が 16 ~ 31 の場合: 新たな値として設定できるのは 16 ~ 31 です。0 ~ 15 を設定した命令を実行すると、(指定した値 + 16) という値が転送されます。
- 元の値が 0 ~ 15 の場合: 0 ~ 31 の任意の値が設定可能です。

このビットはリセットにより 15 (01111_B) に初期化されます。

3.7.3 プログラムカウンタ (PC)

プログラムカウンタ (PC) で、実行している命令のアドレスを示すレジスタです。

プログラムカウンタ (PC) のビット構成を図 3.7-6 に示します。

図 3.7-6 プログラムカウンタ (PC) のビット構成

bit	31	0	初期値
			XXXX XXXX _H

命令の実行を伴う PC の更新時に、bit0 は "0" に設定されます。

分岐先アドレスとして奇数番地を指定して、bit0 を "1" にすることは禁止です。

命令は 2 の倍数のアドレスに置く必要があります。

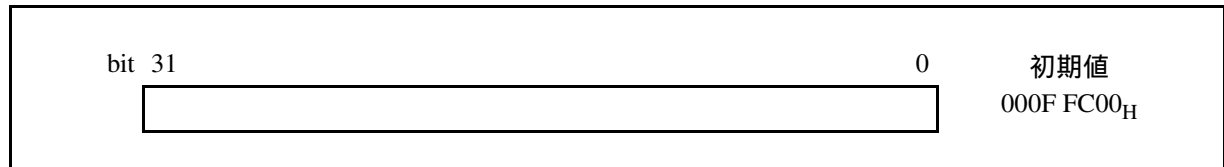
リセットによる初期値は不定で、リセットベクタフェッチによりプログラム開始アドレスが設定されます。

3.7.4 テーブルベースレジスタ (TBR)

EIT 処理の際に使用されるベクタテーブルの先頭アドレスを保持するレジスタです。

テーブルベースレジスタ (TBR) のビット構成を図 3.7-7 に示します。

図 3.7-7 テーブルベースレジスタ (TBR) のビット構成



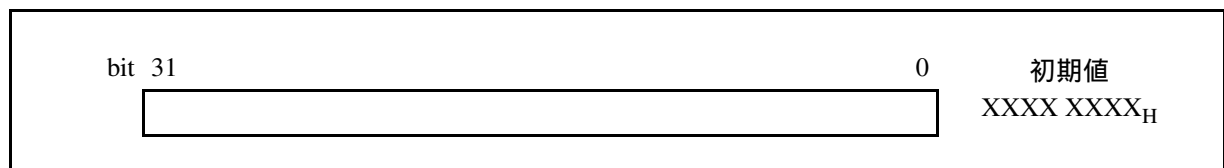
リセットによる初期値は, "000F FC00_H" です。

3.7.5 リターンポインタ (RP)

このポインタで, サブルーチンから復帰するアドレスを保持します。

リターンポインタ (RP) のビット構成を図 3.7-8 に示します。

図 3.7-8 リターンポインタ (RP) のビット構成



CALL 命令実行時, プログラムカウンタ (PC) の値が, このレジスタに転送されます。

RET 命令実行時, このレジスタの内容がプログラムカウンタ (PC) に転送されます。

3.7.6 システムスタックポインタ (SSP)

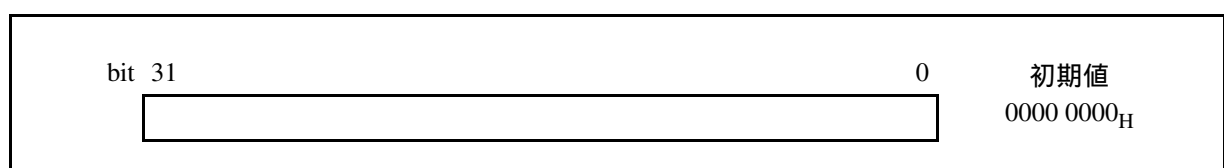
コンディションコードレジスタ (CCR) の S フラグが "0" のとき, R15 として機能します。

システムスタックポインタ (SSP) を明示的に指定することも可能です。

また, EIT 発生時に, プログラムステータスレジスタ (PS) とプログラムカウンタ (PC) を退避するスタックを指定するスタックポインタとしても使用されます。

システムスタックポインタ (SSP) のビット構成を図 3.7-9 に示します。

図 3.7-9 システムスタックポインタ (SSP) のビット構成



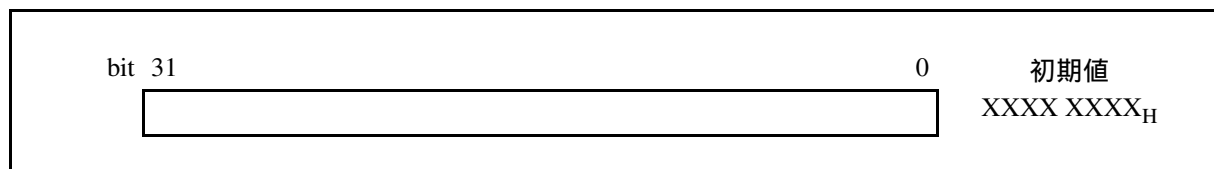
リセットによる初期値は, "0000 0000_H" です。

3.7.7 ユーザスタックポインタ (USP)

コンディションコードレジスタ (CCR) の S フラグが "1" のとき、R15 として機能します。
ユーザスタックポインタ (USP) を明示的に指定することも可能です。

ユーザスタックポインタ (USP) のビット構成を図 3.7-10 に示します。

図 3.7-10 ユーザスタックポインタ (USP) のビット構成

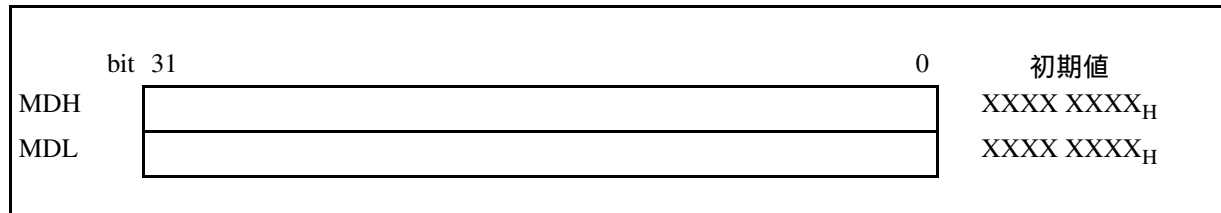


リセットによる初期値は不定です。
RETI 命令で使用することはできません。

3.7.8 乗除算レジスタ (Multiply & Divide register)

乗除算用のレジスタで、それぞれ 32 ビット長です。

図 3.7-11 乗除算レジスタ (Multiply & Divide register) のビット構成



リセットによる初期値は不定です。

● 乗算実行時

32 ビット × 32 ビットの乗算のとき、64 ビット長の演算結果は、次の配置で乗除算結果格納レジスタに格納されます。

- MDH：上位 32 ビット
- MDL：下位 32 ビット

16 ビット × 16 ビットの乗算のときは、次のように結果が格納されます。

- MDH：不定
- MDL：結果 32 ビット

● 除算実行時

計算開始時、被除数を MDL に格納します。

DIV0S, DIV0U, DIV1, DIV2, DIV3, DIV4S 命令の実行により除算を実行すると、結果が MDH と MDL に格納されます。

- MDH：剰余
- MDL：商

3.8 データ構造

FR80 ファミリ CPU のデータ配置には、次の 2 つがあります。

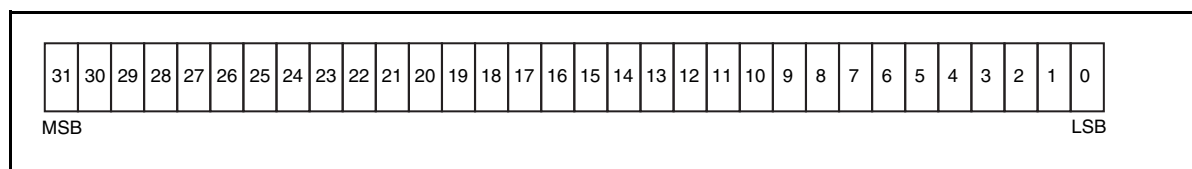
- ビットオーダーリング
- バイトオーダーリング

3.8.1 ビットオーダーリング

FR80ファミリCPUでは、ビットオーダーリングとして、リトルエンディアンを採用しています。

ビットオーダーリングを図 3.8-1 に示します。

図 3.8-1 ビットオーダーリング

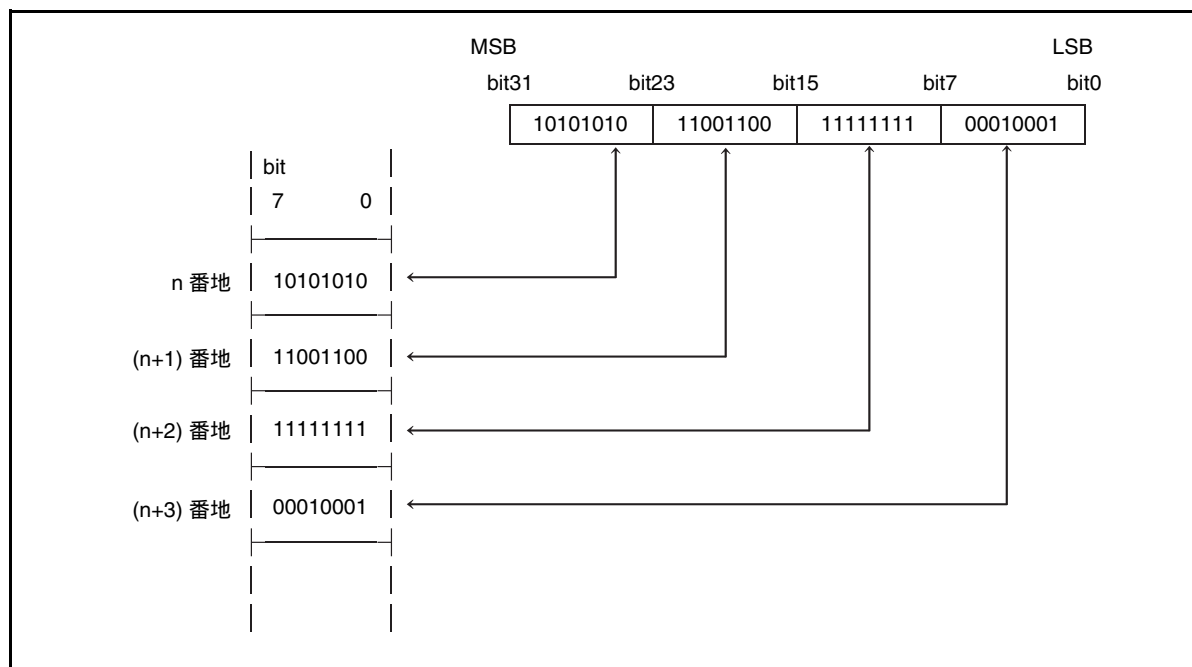


3.8.2 バイトオーダーリング

FR80ファミリCPUでは、バイトオーダーリングとして、ビッグエンディアンを採用しています。

バイトオーダーリングを図 3.8-2 に示します。

図 3.8-2 バイトオーダーリング



3.8.3 ワードアライメント

■ プログラムアクセス

FR80 ファミリ CPU のプログラムは、2 の倍数のアドレスに配置する必要があります。プログラムカウンタ (PC) の bit0 は、命令の実行に伴うプログラムカウンタ (PC) の更新時に、“0” に設定されます。分岐先アドレスとして奇数番地を指定して、bit0 を “1” にすることは禁止です。

命令は 2 の倍数のアドレスに置かなくてはなりません。

奇数アドレス例外はありません。

■ データアクセス

FR80 ファミリでは、データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。(ハードでアラインメントが行われません。)

ワードアクセス：アドレスは、4 の倍数 (最下位 2 ビットは “00”)

ハーフワードアクセス：アドレスは、2 の倍数 (最下位 ビットは “0”)

バイトアクセス：

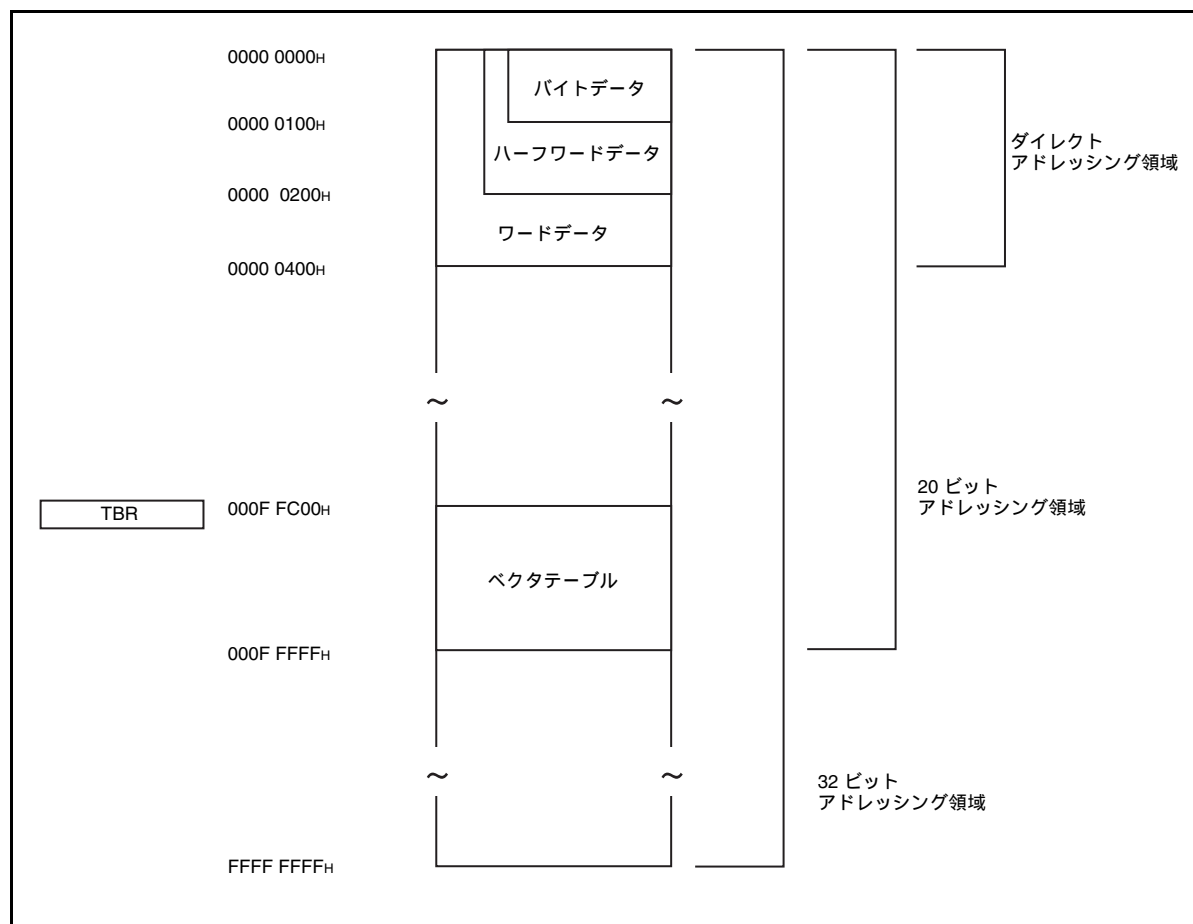
ワードおよびハーフワードデータアクセス時に、実効アドレスの計算結果に対して上記のアドレスとしてください。

3.9 アドレッシング

メモリ空間は 32 ビットリニアです。

メモリ空間を図 3.9-1 に示します。

図 3.9-1 メモリ空間



3.9.1 ダイレクトアドレッシング領域

メモリ空間の下記の領域は、I/O 用の領域です。この領域は、ダイレクトアドレッシングにより、命令中で直接オペランドアドレスを指定することができます。

ダイレクトアドレス指定可能なアドレス領域の大きさは、データ長ごとに異なります。

- バイトデータ (8 ビット) 0 ~ 0x0FF
- ハーフワードデータ (16 ビット) 0 ~ 0x1FF
- ワードデータ (32 ビット) 0 ~ 0x3FF

3.9.2 20 ビットアドレッシング領域

20 ビットアドレッシング領域 0 ~ 0xFFFFF

20 ビットアドレッシング領域内に、プログラム領域やデータ領域をすべて配置すると、コンパイル時にコンパクトで高速なプログラムが実現できます。

20 ビット通常分岐マクロ命令の展開例を以下に示します。

BRA20	label20,Ri	コードサイズ
LDI:20	#label20,Ri	; 4 バイト
JMP	@Ri	; 2 バイト
		計 6 バイト

詳細は、「FR ファミリ SOFTUNE C/C++ コンパイラマニュアル V6 対応」を参照してください。

3.9.3 32 ビットアドレッシング領域

32 ビットアドレッシング領域 0 ~ 0xFFFFFFFF

20 ビットアドレッシング領域を超える範囲に、プログラム領域やデータ領域を配置すると、20 ビットアドレッシング領域内で作成したプログラムよりもコードサイズが大きくなります。

32 ビット通常分岐マクロ命令の展開例を以下に示します。

BRA32	label32,Ri	コードサイズ
LDI:32	#label32,Ri	; 6 バイト
JMP	@Ri	; 2 バイト
		計 8 バイト

詳細は、「FR ファミリ SOFTUNE C/C++ コンパイラマニュアル V6 対応」を参照してください。

3.9.4 ベクタテーブル初期領域

000F FC00_H ~ 000F FFFF_H の領域は EIT ベクタテーブル初期領域です。

EIT 処理時に使用されるベクタテーブルは、テーブルベースレジスタ (TBR) を書換えることにより任意のアドレスに配置可能ですが、リセットによる初期化によってこのアドレスに配置されます。

3.10 分岐命令

FR80 ファミリ CPU では、分岐命令に遅延スロット付きの動作と遅延スロットなしの動作を指定できます。

3.10.1 遅延スロット付き動作

■ 命令

次に示す命令が、遅延スロット付きの分岐動作を行います。

JMP:D	@Ri	/	CALL:D	label12	/	CALL:D	@Ri	/	RET:D	
BRA:D	label9	/	BNO:D	label9	/	BEQ:D	label9	/	BNE:D	label9
BC:D	label9	/	BNC:D	label9	/	BN:D	label9	/	BP:D	label9
BV:D	label9	/	BNV:D	label9	/	BLT:D	label9	/	BGE:D	label9
BLE:D	label9	/	BGT:D	label9	/	BLS:D	label9	/	BHI:D	label9

■ 動作説明

分岐命令の直後（「遅延スロット」とよびます）に置かれた命令を実行した後に、分岐し、その後、分岐先の命令を実行します。分岐動作の前に遅延スロットの命令を実行するため、見掛け上の実行速度が1サイクルとなります。その代わり、遅延スロットに有効な命令を入れることができないときは、NOP 命令を置かなくてはなりません。

[例]

```

;      命令の並び
      ADD      R1, R2;
      BRA:D    LABEL    ; 分岐命令
      MOV      R2, R3    ; 遅延スロット      .....分岐の前に実行される
      ...
LABEL:  ST      R3, @R4    ; 分岐先

```

条件分岐命令の場合、分岐条件が成立する場合も、しない場合も遅延スロットに置かれた命令は実行されます。

遅延分岐命令では、一部の命令の実行順序が反転するように見えますが、それはプログラムカウンタ (PC) の更新動作だけです。その他の動作（レジスタの更新・参照等）はあくまで記述された順番で実行されます。

以下に、具体的な説明をします。

1. JMP:D @Ri / CALL:D @Ri 命令で参照する Ri は、遅延スロットの中の命令が Ri を更新しても影響を受けません。

[例]

```
LDI:32    #Label, R0
JMP:D     @R0           ; Label に分岐
LDI:8     #0, R0        ; 分岐先アドレスには影響を与えない。
...
```

2. RET:D 命令が参照するリターンポインタ (RP) は、遅延スロットの中の命令がリターンポインタ (RP) を更新しても影響を受けません。

[例]

```
RET:D           ; これより前に設定された RP の示すアドレスへ分岐
MOV            R8, RP      ; リターン動作には影響を与えない。
...
```

3. Bcc:D rel 命令が参照するフラグも、遅延スロットの命令の影響を受けません。

[例]

```
ADD         #1, R0      ; フラグ変化
BC:D        Overflow    ; 上記の命令の実行結果により分岐
ANDCCR      #0          ; このフラグ更新は上記分岐命令では参照しない。
...
```

4. CALL:D 命令の遅延スロットの中の命令で RP を参照すると、CALL:D 命令により更新された内容が読み出されます。

[例]

```
CALL:D      Label      ; RP を更新して分岐
MOV         RP, R0      ; 上記 CALL:D の実行結果の RP を転送
...
```

■ 遅延スロットに置くことができる命令

遅延スロット内で実行できるのは、次の条件を満たす命令のみです。

- 1 サイクル命令
- 分岐命令ではないこと
- 順番が変化した場合でも動作に影響を与えない命令

■ ステップトレーストラップ

遅延スロットを持つ分岐命令の実行と遅延スロットの間では、ステップトレーストラップは発生しません。

■ 割込み・NMI

遅延スロットを持つ分岐命令の実行と遅延スロットの間では、割込み・NMI を受理しません。

■ 未定義命令例外

遅延スロットに未定義命令があった場合、未定義命令例外は発生しません。このとき、未定義命令は NOP 命令として動作します。

3.10.2 遅延スロットなし動作

■ 命令

以下に示す命令が、遅延スロットなしの分岐動作を行います。

JMP	@Ri	/	CALL	label12	/	CALL	@Ri	/	RET
BRA	label9	/	BNO	label9	/	BEQ	label9	/	BNE label9
BC	label9	/	BNC	label9	/	BN	label9	/	BP label9
BV	label9	/	BNV	label9	/	BLT	label9	/	BGE label9
BLE	label9	/	BGT	label9	/	BLS	label9	/	BHI label9

■ 動作説明

命令の並び順に実行します。分岐命令直後の命令が分岐前に実行されることはありません。

[例]

```

;          命令の並び
          ADD      R1, R2          ;
          BRA      LABEL          ; 分岐命令 (遅延スロットなし)
          MOV      R2, R3          ; 実行されない
          ...
LABEL     ST       R3, @R4          ; 分岐先

```

遅延スロットなしの分岐命令の実行サイクル数は、分岐するとき 2 サイクル、分岐しないとき 1 サイクルとなります。

遅延スロットに適切な命令を入れることができないために NOP を明記した遅延スロット付き分岐命令に比べ、命令コード効率を上げることができます。

遅延スロットに有効な命令を設置できるときは遅延スロット付きの動作を選択し、そうでないときは遅延スロットなしの動作を選択することで、実行速度とコード効率を両立させることが可能となります。

3.11 EIT (例外・割り込み・トラップ)

EIT とは、現プログラム実行時にイベントの発生により、そのプログラムの実行を中断しほかのプログラムを実行することを指し、例外 (Exception)、割り込み (Interrupt)、トラップ (Trap) の総称です。

例外とは実行中のコンテキストに関連して発生する事象です。例外を起こした命令から再実行します。

割り込みとは実行中のコンテキストに無関係に発生する事象です。イベント要因は、ハードウェアです。

トラップとは実行中のコンテキストに関連して発生する事象です。システムコールのようにプログラムで指示するものがあります。トラップを起こした命令の次の命令から再実行します。

■ 特徴

- 多重 EIT をサポート
- 割り込みにレベルマスク機能 (15 レベルをユーザが使用可能)
- トラップ命令 (INT/INTE)
- エミュレータ起動用 EIT (ハードウェア/ソフトウェア)

3.11.1 EIT 要因

EIT 要因として、次のものがあります。

- リセット
- ユーザ割り込み (周辺機能、外部割り込み)
- NMI
- 遅延割り込み
- 未定義命令例外
- トラップ命令 (INT)
- トラップ命令 (INTE)
- ステップトレーストラップ

3.11.2 EIT からの復帰

RETI 命令により、各 EIT より復帰します。

3.11.3 割込みレベル

割込みレベルは 0 ~ 31 で、5 ビットで管理されます。

各レベルの割り当てを表 3.11-1 に示します。

表 3.11-1 割込みレベル割り当て表

レベル		割込みの種類	備考
2 進数	10 進数		
00000	0	(システム予約)	割込みレベルマスキレジスタ (ILM) の元の値が 16 ~ 31 のときは、この範囲の値をプログラムから割込みレベルマスキレジスタ (ILM) に設定することはできません。
...	
...	
00011	3	(システム予約)	
00100	4	INTE 命令 ステップトレース ラップ	
00101	5	(システム予約)	
...	
...	
01100	14	(システム予約)	
01101	15	NMI (ユーザ用)	
10000	16	割込み要求	割込みレベルマスキレジスタ (ILM) 設定時は、ユーザ割込み禁止
10001	17	割込み要求	
...	
...	
11110	30	割込み要求	割込み制御レジスタ (ICR) 設定時、割込み禁止
11111	31	-	

操作が可能なのは、16 ~ 31 のレベルです。

未定義命令例外、INT 命令は、割込みレベルの影響を受けません。また、割込みレベルマスキレジスタ (ILM) を変化させることもありません。

3.11.4 I フラグ

割込みの許可 / 禁止を指定するフラグです。プログラムステータスレジスタ (PS) のコンディションコードレジスタ (CCR) の bit4 として設けられています。

I	説明
0	INT 命令実行時、自動的に "0" にクリアされます。 (ただし、スタックに退避される値は、クリアされる前の値です。)
1	ユーザ割込み要求のマスキ処理は、割込みレベルマスキレジスタ (ILM) の保持する値により制御されます。

< 注意事項 >

Iフラグの値を変更したとき、割込み要求の受付はIフラグを書き換えた命令の次の次の命令から反映されます。

よって、割込みを正しく動作させるためにIフラグを変更する命令の後にはNOPを置いてください。

- 割込み許可 (I フラグ =1) にするとき

命令実行		I フラグ	割込み	ここから割込み許可
ORCCR #set_iflag		0	禁止	
NOP		1	禁止	
命令 A		1	許可	

- 割込み禁止 (I フラグ =0) にするとき

命令実行		I フラグ	割込み	ここから割込み禁止
ANDCCR #clear_iflag		1	許可	
NOP		0	許可	
命令 A		0	禁止	

3.11.5 割込みレベルマスクレジスタ (ILM)

割込みレベルマスク値を保持します。プログラムステータスレジスタ (PS) の bit20 ~ bit16 として設けられています。

FR80 ファミリ CPU に入力される割込み要求の中で、対応する割込みレベルが、この割込みレベルマスクレジスタ (ILM) で示されるレベルよりも強い場合にのみ割込み要求が受け付けられます。

レベル値は、"0" (00000) が最強で、"31" (11111) が最弱です。

プログラムから設定可能な値には制限があります。元の値が 16 ~ 31 のとき、新たな値として設定できるのは 16 ~ 31 です。0 ~ 15 の値を設定する命令を実行すると、(指定した値 + 16) が転送されます。

元の値が 0 ~ 15 のときは、0 ~ 31 の任意の値が設定可能です。設定するには STILM 命令を使用します。

< 注意事項 >

割込みレベルマスクレジスタ (ILM) の値を変更したとき、割込み要求の受け付けは割込みレベルマスクレジスタ (ILM) を書き換えた命令の次の次の命令から反映されます。

よって、割込みを正しく動作させるために割込みレベルマスクレジスタ (ILM) を変更する命令の後には NOP を置いてください。

命令実行	ILM	割込み受け付け
STILM #set_ILM_B	A	A
NOP	B	A
命令 C	B	B
命令 D	B	B

ここから ILM=B が反映

3.11.6 割込み・NMI に対するレベルマスク

割込みおよび NMI 要求が発生したときは、割込み要因の持つ割込みレベルが割込みレベルマスクレジスタ (ILM) の保持するレベルマスク値と比較されます。そして、次の条件が成立したときはマスクされ、要求は受理されません。

要因の持つ割込みレベル レベルマスク値

3.11.7 割込み制御レジスタ (ICR)

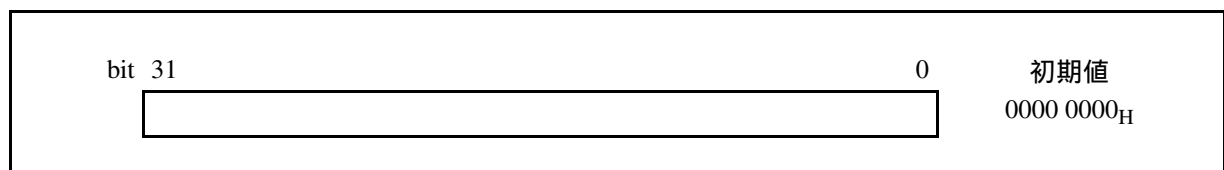
「第12章 割込みコントローラ」を参照してください。

3.11.8 システムスタックポインタ (SSP)

EIT の受理および復帰動作時のデータ退避・復帰用スタックを示すポインタとして使用されます。

システムスタックポインタ (SSP) のビット構成を図 3.11-1 に示します。

図 3.11-1 システムスタックポインタ (SSP) のビット構成



EIT 処理時に "8" 減算され, RETI 命令の実行による EIT からの復帰動作時に "8" 加算されます。

リセットによる初期値は 0000 0000_H です。

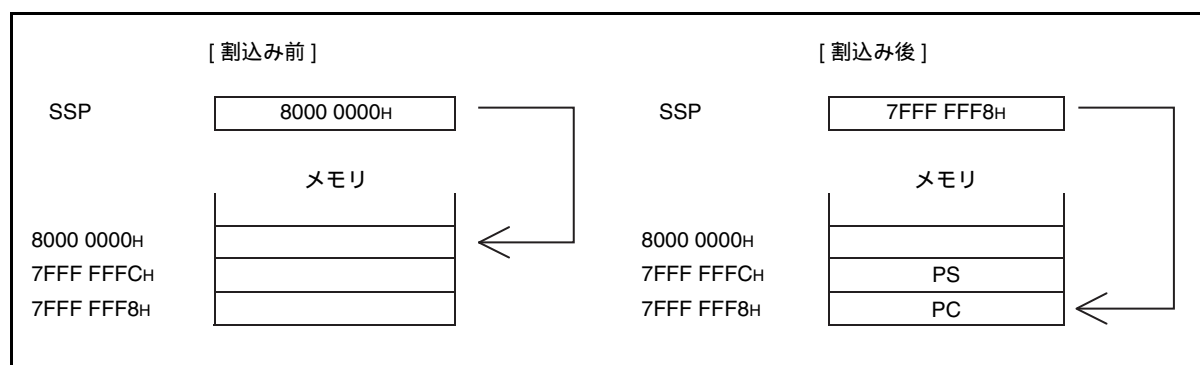
コンディションコードレジスタ (CCR) 中の S フラグが "0" のとき, 汎用レジスタ R15 としても機能します。

3.11.9 割込みスタック

システムスタックポインタ (SSP) により示される領域で, プログラムカウンタ (PC) およびプログラムステータスレジスタ (PS) の値が退避・復帰されます。割込み後はシステムスタックポインタ (SSP) の示すアドレスにプログラムカウンタ (PC), (SSP + 4) のアドレスにプログラムステータスレジスタ (PS) が格納されています。

割込みスタックを図 3.11-2 に示します。

図 3.11-2 割込みスタック

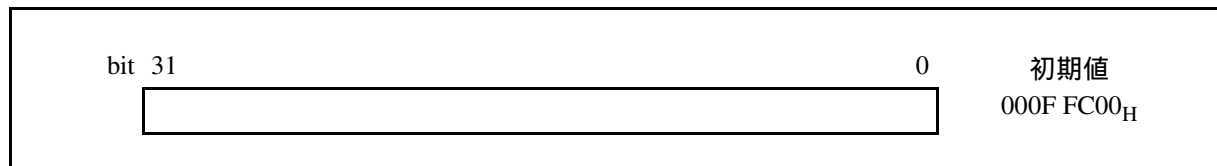


3.11.10 テーブルベースレジスタ (TBR)

EIT 用ベクタテーブルの先頭アドレスを示すレジスタです。

テーブルベースレジスタ (TBR) のビット構成を図 3.11-3 に示します。

図 3.11-3 テーブルベースレジスタ (TBR) のビット構成



テーブルベースレジスタ (TBR) と EIT 要因ごとに決められたオフセット値を加算したアドレスが、ベクタアドレスとなります。

リセットによる初期値は 000F FC00_H です。

3.11.11 EIT ベクタテーブル

テーブルベースレジスタ (TBR) の示すアドレスから 1K バイトの領域が、EIT 用ベクタ領域となっています。

1 ベクタあたりの大きさは 4 バイトで、割込みベクタ番号とベクタアドレスの関係は下記のように表されます。

$$\begin{aligned} \text{vctadr} &= \text{TBR} + \text{vctofs} \\ &= \text{TBR} + (0\text{x}3\text{FC} - 4 \times \text{vct}) \end{aligned}$$

vctadr : ベクタアドレス vctofs : ベクタオフセット vct : 割込みベクタ番号
TBR : テーブルベースレジスタ (TBR)

加算結果の下位 2 ビット は常に "00" として扱われます。

000F FC00_H ~ 000F FFFF_H の領域がリセットによるベクタテーブルの初期領域です。

ベクタの一部には特殊な機能が割り当てられています。

3.11.12 多重 EIT 処理

複数の EIT 要因が同時に発生した場合、CPU は 1 つの EIT 要因を選択して受理し、EIT シーケンスを実行した後、再び EIT 要因の検出を行う、という動作を繰り返します。EIT 要因検出の際に、受理可能な EIT 要因がなくなったとき、最後に受理した EIT 要因のハンドラの命令を実行します。

そのため、複数の EIT 要因が同時に発生した場合の各要因のハンドラの実行順序は、

1. EIT 要因受理の優先順位
 2. 受理した場合にほかの要因をどのようにマスクするか
- という 2 つの要素により決まります。

EIT 要因受理の優先度とは、プログラムステータスレジスタ (PS) とプログラムカウンタ (PC) を退避してプログラムカウンタ (PC) を更新し (必要に応じて) ほかの要因のマスク処理を行うという、EIT シーケンスを実行する要因を選ぶときの順番です。必ずしも、先に受理された要因のハンドラが先に実行されるわけではありません。

EIT 要因受理の優先度を表 3.11-2 に示します。

表 3.11-2 EIT 要因の受理の優先度と他の要因へのマスク

受理の優先順位	要因	ほかの要因によるマスク	ILM
1	リセット	ほかの要因は破棄されます。	15
2	未定義命令以外	これより優先度の低い要因すべて	-
3	INT 命令	I フラグ = 0	-
4	INTE 命令	これより優先度の低い要因すべて	4
5	ユーザ割込み	ILM = 受理した要因のレベル	ICR
6	NMI (ユーザ用)	ILM = 15	15
7	NMI (エミュレータ用)	これより優先度の低い要因すべて	4
8	ステップトレーストラップ	ILM = 15	4

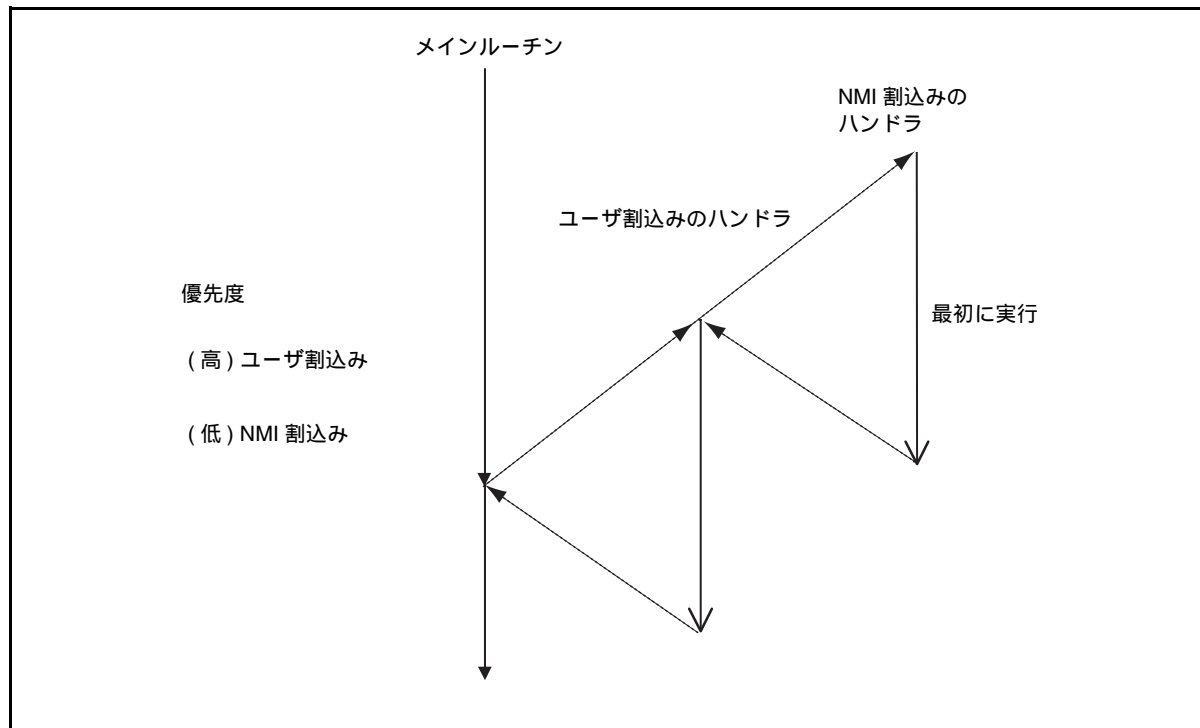
EIT 要因を受理した後のほかの要因に対するマスクの処理を加味すると、同時に発生した EIT 要因の各ハンドラの実行順序は、表 3.11-3 のようになります。

表 3.11-3 EIT ハンドラの実行順序

受理の優先順位	要因
1	リセット
2	未定義命令以外
3	INTE 命令
4	ステップトレーストラップ
5	NMI (ユーザ用)
6	INT 命令
7	ユーザ割込み

多重 EIT 処理について、図 3.11-4 に示します。

図 3.11-4 多重 EIT 処理



3.11.13 動作

次の説明で、転送元の「PC」とは各 EIT 要因を検出した命令のアドレスを示すものとします。

また、「次の命令のアドレス」とは、EIT を検出した命令が

- LDI:32 のとき：PC + 6
- LDI:20 のとき：PC + 4
- その他の命令のとき：PC + 2

を意味します。

■ ユーザ割り込み・NMI の動作

ユーザ割り込み、またはユーザ NMI の割り込み要求が発生すると、次の順序で要求受理の可否が判定されます。

ユーザ割り込みとは、各種周辺機能から要求が発生する割り込みで、割り込み要求ごとに割り込みレベルが設定されています。

● 割り込み要求受理の可否判定

1. 同時に発生した要求の割り込みレベルを比較し、最も強いレベル（最も小さい数値）を保持するものが選択されます。

比較に使用されるレベルは、以下のとおりです。

- マスク可能割り込み：対応する割り込み制御レジスタ (ICR) の保持する値
- ユーザ NMI：あらかじめ定められた定数

2. 同じレベルを持つ割り込み要求が複数発生しているときは、最も若い割り込み番号を持つ割り込み要求が選択されます。
3. 割り込みレベル レベルマスク値のとき、割り込み要求はマスクされ受理されません。
割り込みレベル < レベルマスク値のとき、4 へ。
4. 選択された割り込み要求がマスク可能割り込みであるとき、I フラグが "0" ならば割り込み要求はマスクされ、受理されません。I フラグが "1" ならば割り込み要求受理へ。
選択された割り込み要求が NMI であるとき、I フラグの値にかかわらず割り込み要求は受理されます。
上記の条件が成立したとき、命令処理の切れ目で割り込み要求は受理されます。
I フラグや割り込みレベルマスクレジスタ (ILM) を変更する命令を実行した場合、2 命令後から新しい受け付け条件での EIT 制御を行います。

EIT 要求検出時にユーザ割り込み・ユーザ NMI 要求が受理されると、受理された割り込み要求に対応した割り込み番号を使用して、CPU は次のように動作します。

下記の「動作」における () はレジスタの指すアドレスを表します。

● 動作

1	(TBR + 受理した割り込み要求のベクタオフセット)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	次の命令のアドレス	(SSP)
6	受理した要求の割り込みレベル	ILM
7	"0"	S フラグ
8	TMP	PC

割り込みシーケンス終了後ハンドラの先頭の命令を実行する前に、新たな EIT の検出を行います。この時点で受理可能な EIT が発生していると、CPU は EIT 処理シーケンスに遷移します。

3.11.14 INT 命令の動作

INT #u8 命令はソフトウェアでトラップを発生する命令です。
オペランドで指定された割込み番号のトラップを発生します。

● 動作

1	(TBR + 0x3FC - 4 × u8)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	PC + 2	(SSP)
6	"0"	I フラグ
7	"0"	S フラグ
8	TMP	PC

3.11.15 INTE 命令の動作

INTE 命令は、デバッグ用にソフトウェアでトラップを発生する命令です。

● 動作

1	(TBR + 0x3D8)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	PC + 2	(SSP)
6	"00100 _B "	ILM
7	"0"	S フラグ
8	TMP	PC

3.11.16 ステップトレーストラップの動作

ステップトレーストラップはデバッグ用のトラップでプログラムステータスレジスタ (PS) の T フラグをセットすることにより、1 命令実行ごとに発生します。ステップトレーストラップは、遅延分岐命令実行時の分岐命令実行直後には発生しません。遅延スロット内の命令を実行した後に発生します。

● ステップトレーストラップ検出の条件

1. プログラムステータスレジスタ (PS) の T フラグ = 1
2. 実行している命令が遅延分岐命令ではないとき。
3. CPU がユーザモードのとき。

以上の条件が成立すると、命令動作の切れ目でブレークします。

● 動作

1	(TBR + 0x3C4)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	次の命令のアドレス	(SSP)
6	"00100 _B "	ILM
7	"0"	S フラグ
8	TMP	PC

T フラグ =1 のときは、ユーザ割込みとユーザ NMI は禁止状態となります。

3.11.17 未定義命令例外の動作

命令のデコード時に未定義命令であることを検出すると、未定義命令例外が発生します。

● 未定義命令例外の検出条件

1. 命令のデコード時に、未定義命令であることを検出。
 2. 命令が遅延スロット外に置かれている。(= 遅延分岐命令の直後ではない。)
- 以上の条件が成立すると、未定義命令例外が発生しブレークします。

● 動作

1	(TBR + 0x3C4)	TMP
2	SSP - 4	SSP
3	PS	(SSP)
4	SSP - 4	SSP
5	PC	(SSP)
6	"0"	S フラグ
7	TMP	PC

プログラムカウンタ (PC) として退避されるのは、未定義命令例外を検出した命令自身のアドレスです。

3.11.18 RETI 命令の動作

RETI 命令は、EIT 処理ルーチンから復帰する命令です。

● 動作

1	(R15)	PC
2	$R15 + 4$	R15
3	(R15)	PS
4	$R15 + 4$	R15

RETI 命令は、S フラグが "0" の状態で実行する必要があります。

3.11.19 遅延スロットと EIT

分岐命令の遅延スロットには、EIT に関して次の制約があります。

● 割込み、トラップ

遅延スロットを持つ分岐命令の実行と遅延スロットの間では、割込み・トラップは発生しません。

● 例外

遅延スロットに未定義命令があった場合、未定義命令例外は発生しません。このとき、未定義命令は NOP 命令として動作します。

第4章 命令キャッシュメモリ

命令キャッシュメモリの機能と動作について説明します。

- 4.1 概要
- 4.2 構成
- 4.3 レジスタ
- 4.4 動作説明

4.1 概要

本品種は、以下に示す構成の命令キャッシュを搭載しています。

- キャッシュ容量：8K バイト (1 ウェイあたり 4K バイト)
 - マッピング方式：2 ウェイセットアソシエイティブ方式
 - ラインサイズ：16 バイト (8 命令)
 - 総エントリ数：512 エントリ (1 ウェイあたり 256 ライン)
-

■ 概要

キャッシュフィルは 1 ライン単位で行われ、1 回のミスアクセスにつき 16 バイト分のリード動作を行います。

制御ビットへの書込みにより、全エントリの無効化を行うことが可能です。

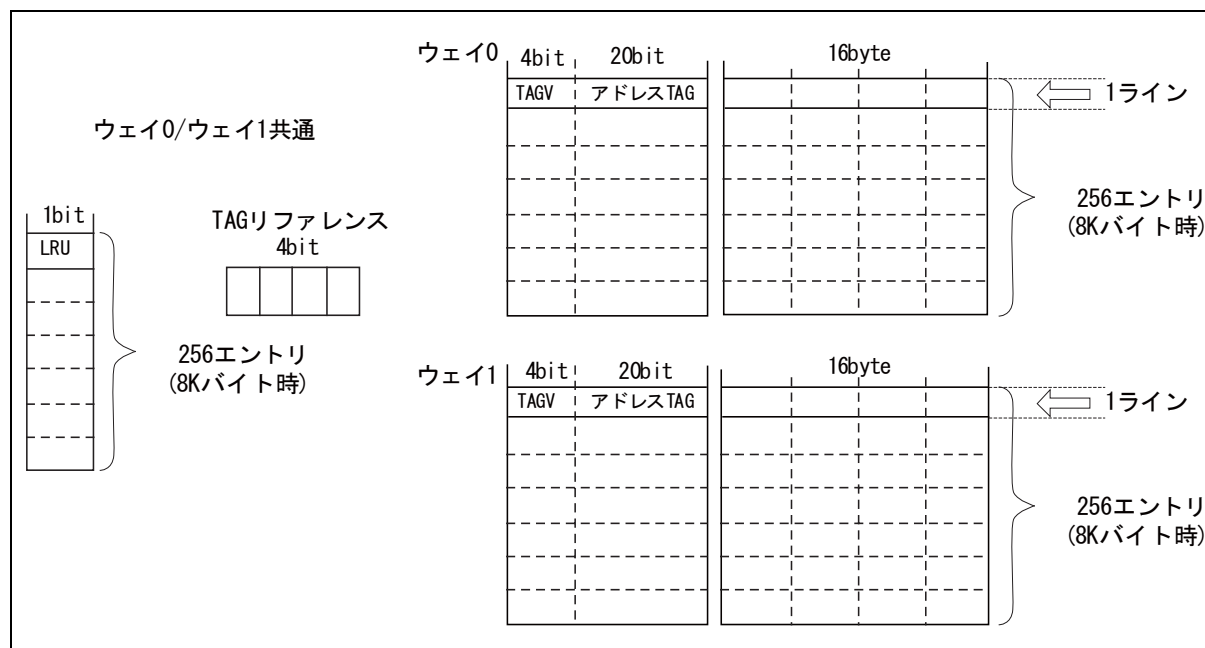
本品種では、エントリされた命令をキャッシュ内にロックする場合、ウェイ単位でのロックが可能です (エントリ単位でのロック機能はありません)。

キャッシュ可能なメモリ領域は、データキャッシュと共通の CARR レジスタにより特定領域ごとに設定できます。

4.2 構成

図 4.2-1 に命令キャッシュメモリの構成を示します。

図 4.2-1 命令キャッシュメモリの構成



■ TAGV (バリッドビット)

対応するラインのアドレスタグが有効 = 命令がストアされていることを示します。
1ラインにつき4ビットで構成されており、命令が取り込まれた際に4ビットのTAGリファレンス値が書き込まれます。
TAGの検索の際、TAGリファレンス値と同じ値のTAGVを持つエントリが有効なエントリと見なされます。
TAG初期化動作(「4.4.3 命令キャッシュの無効化」参照)により全エントリが"1111"となります。

■ アドレスTAG

対応するラインにストアされている命令のメモリアドレス上位20ビット(8Kバイト時)を示します。
TAGVがTAGリファレンス値と一致し、かつアドレスTAGの内容がCPUからのアクセス要求アドレスと一致したエントリがヒットとなります。

■ LRU

対応するラインのどちらのウェイが最後にアクセスされたかを示します。
"0" のときウェイ 0 が, "1" のときウェイ 1 が最後にアクセスされたことを示します。
エントリを更新する時は LRU が示していないウェイから更新します。
キャッシュがフラッシュされた後は, 必ずウェイ 0 から先に更新します。
どちらか片方のウェイのエントリがロックされている場合, LRU は参照せずにロックされていないウェイのエントリを常に更新します。

■ TAG リファレンス

有効な TAGV と同じ値を示す 4 ビットのフラグです。
リセットにより "1111" となり, キャッシュ使用開始時に行うフラッシュにより "0000" がセットされます。以降フラッシュを行うたびに 1 ずつカウントアップされます。
"1110" のときにフラッシュを行うと "0000" に戻ります。
"0000" がセットされる際, 全エントリの TAGV に "1111" を順次書き込むことにより TAG の初期化を行います。初期化には 256 サイクルかかります (8K バイト時, ライン数と同じ)。その間受け付けたアクセスは非キャッシュ領域へのアクセスとして扱われます。TAG の初期化時以外でのフラッシュは, TAG リファレンスの変更のみとなり 1 サイクルで完了します。

4.3 レジスタ

命令キャッシュメモリで使用するレジスタの構成と機能について説明します。

■ 命令キャッシュメモリのレジスタ一覧

命令キャッシュメモリのレジスタ一覧を表 4.3-1 に示します。

表 4.3-1 命令キャッシュメモリのレジスタ一覧

レジスタ略称	レジスタ名	参照先
CARR*	命令 / データキャッシュ領域設定レジスタ	4.3.1
ICHCR	命令キャッシュ制御レジスタ	4.3.2
ISIZE	命令キャッシュサイズレジスタ	4.3.3
IFUNC	命令キャッシュ機能レジスタ	4.3.4

* データキャッシュと共用です。

4.3.1 命令 / データキャッシュ領域設定レジスタ (CARR)

命令キャッシュおよびデータキャッシュのキャッシュ対象領域を設定する 8 ビット長のレジスタです。

本レジスタへの書込みは、必ず ICHCR/DCHCR レジスタの ENAB=0(キャッシュ禁止)のときにのみ行ってください。

いずれかのキャッシュが許可されている間は、本レジスタへの書込みは無視され、レジスタ値に影響を与えません。

以下の領域は本レジスタ値に関わらず常にキャッシュ禁止領域となります。

- 0000 0000_H ~ 0000 FFFF_H: 内蔵 I/O 領域

以下の領域は本レジスタ値に関わらず常にキャッシュ許可領域となります。

- 0010 0000_H ~ 3FFF FFFF_H: 内蔵 / 外部メモリ領域

なお、本レジスタの設定に関わらず、エミュレータモードでは全領域キャッシュ禁止となります。よって、エミュレータモード中は命令キャッシュの状態が保持されます。キャッシュ可能な命令領域をエミュレータモード中に書換えた場合、必ずエミュレータモード中に命令キャッシュのフラッシュを行ってください。

命令 / データキャッシュ領域設定レジスタ (CARR) のビット構成を図 4.3-1 に示します。

図 4.3-1 命令 / データキャッシュ領域設定レジスタ (CARR) のビット構成

bit	7	6	5	4	3	2	1	0
	CEA7	CEA6	CEA5	CEA4	CEA3	CEA2	CEA1	CEA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

[bit 7, bit 6] : CEA7, CEA6 (キャッシュ許可領域ビット 7, 6)

命令 / データキャッシュの対象領域を以下のように設定します。

CEA7	CEA6	設定するキャッシュ対象領域	制御内容
0	0	4000 0000 _H ~ FFFF FFFF _H	キャッシュ許可
0	1	4000 0000 _H ~ 7FFF FFFF _H 8000 0000 _H ~ BFFF FFFF _H C000 0000 _H ~ FFFF FFFF _H	キャッシュ禁止 キャッシュ許可 キャッシュ禁止
1	0	4000 0000 _H ~ 7FFF FFFF _H 8000 0000 _H ~ FFFF FFFF _H	キャッシュ許可 キャッシュ禁止
1	1	4000 0000 _H ~ FFFF FFFF _H	キャッシュ禁止

各ビットは、リセットにより "0" に初期化されます。

[bit 5 ~ bit 0] : CEA5 ~ CEA0 (キャッシュ許可領域ビット 5 ~ 0)

命令 / データキャッシュの対象領域を以下のように設定します。

	設定するキャッシュ対象領域	制御内容
CEA5	000C 0000 _H ~ 000F FFFF _H	0= キャッシュ / 1= 非キャッシュ
CEA4	0008 0000 _H ~ 000B FFFF _H	0= キャッシュ / 1= 非キャッシュ
CEA3	0004 0000 _H ~ 0007 FFFF _H	0= キャッシュ / 1= 非キャッシュ
CEA2	0003 0000 _H ~ 0003 FFFF _H	0= キャッシュ / 1= 非キャッシュ
CEA1	0002 0000 _H ~ 0002 FFFF _H	0= キャッシュ / 1= 非キャッシュ
CEA0	0001 0000 _H ~ 0001 FFFF _H	0= キャッシュ / 1= 非キャッシュ

各ビットは、リセットにより "0" に初期化されます。

4.3.2 命令キャッシュ制御レジスタ (ICHCR)

命令キャッシュの動作を制御する 8 ビット長のレジスタです。

本レジスタへの書込みは、書込み命令以降 4 サイクルの間にフェッチされる命令のキャッシュ動作には影響を与えません。

また、本 CPU には命令のプリフェッチ機構がありますので、プリフェッチバッファの消化状況次第では 5 サイクル以上後の命令でもキャッシュ動作の変更の影響を受けない場合があります。

リセット後は、命令キャッシュを許可する前に必ずフラッシュを行ってください。

命令キャッシュ制御レジスタ (ICHCR) のビット構成を図 4.3-2 に示します。

図 4.3-2 命令キャッシュ制御レジスタ (ICHCR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	W1LK	W0LK	FLSH	ENAB
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	0	0	0	0

R/W：リード / ライト可能
X：不定

[bit 7 ~ bit 4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	値は不定です。

[bit 3] : W1LK (ウェイ 1 ロックビット)

ウェイ 1 の全エントリのロックを以下のように制御します。

書込み値	命令キャッシュウェイ 1 のロック動作
0	ウェイ 1 はロックしません。(初期値)
1	ウェイ 1 の有効エントリをロックします。

W1LK=1 を書き込んだ次のサイクル以降、ウェイ 1 の有効なエントリがロックされます。これにより、ウェイ 1 内の有効なエントリを ROM のように使用することが可能となります。

ウェイ 1 がロックされた状態でキャッシュ対象領域へのアクセスがあった場合の動作を以下に示します。

ウェイ1の TAG 検索	ウェイ0の TAG 検索	ウェイ0の ロック状態	動作
ヒット	-	-	ウェイ1の命令を供給
-	ヒット	-	ウェイ0の命令を供給
エントリが空	エントリが空	-	ウェイ0を更新
	ミス	-	ウェイ1を更新
ミス	ミス	ロックしていない	ウェイ0を更新
		ロックしている	両ウェイとも更新しない

*1 ウェイ0のエントリが空の状態ではウェイ1にヒットまたはミスすることはありません。

*2 「エントリが空」とは、そのエントリへの取り込みがフラッシュ後から1度も発生していない状態を示します。

本ビットはキャッシュ動作中の書換えが可能です。また、ロック中であっても FLSH=1 でのフラッシュは有効となります。

[bit 2] : W0LK (ウェイ0 ロックビット)

ウェイ0の全エントリのロックを以下のように制御します。

書込み値	命令キャッシュウェイ0のロック動作
0	ウェイ0はロックしません。(初期値)
1	ウェイ0の有効エントリをロックします。

W0LK=1 を書き込んだ次のサイクル以降、ウェイ0の有効なエントリがロックされます。これにより、ウェイ0内の有効なエントリをROMのように使用することが可能となります。

ウェイ0がロックされた状態でキャッシュ対象領域へのアクセスがあった場合の動作を以下に示します。

ウェイ0の TAG 検索	ウェイ1の TAG 検索	ウェイ1の ロック状態	動作
ヒット	-	-	ウェイ0の命令を供給
-	ヒット	-	ウェイ1の命令を供給
エントリが空	エントリが空	-	ウェイ0を更新
ミス	エントリが空	-	ウェイ1を更新
	ミス	ロックしていない	ウェイ1を更新
		ロックしている	両ウェイとも更新しない

*1 ウェイ0のエントリが空の状態ではウェイ1にヒットまたはミスすることはありません。

*2 「エントリが空」とは、そのエントリへの取り込みがフラッシュ後から1度も発生していない状態を示します。

本ビットはキャッシュ動作中の書換えが可能です。また、ロック中であっても FLSH=1 でのフラッシュは有効となります。

[bit 1] : FLSH (フラッシュビット)

命令キャッシュの全エントリの無効化を指示します。

FLSH=1 を書き込んだ次のサイクルで、TAG リファレンス値をカウントアップし、全エントリを無効化します。キャッシュ動作中のフラッシュも可能です。

リセット後の 1 回目の書込み時と、それ以降書込みを 15 回行うごとに、TAG リファレンス値が "0000" にリセットされ、その際のみ全エントリの TAGV に "1111" を順次書込み TAG の初期化を行います。初期化には 256 サイクルかかります (8K バイト時、ライン数と同じ)。その間受け付けたアクセスは非キャッシュ領域へのアクセスとして扱われます。TAG の初期化時以外でのフラッシュは、TAG リファレンスの変更のみとなり、1 サイクルで完了します。

[bit 0] : ENAB (命令キャッシュ許可ビット)

命令キャッシュの動作の許可 / 禁止を以下のように制御します。

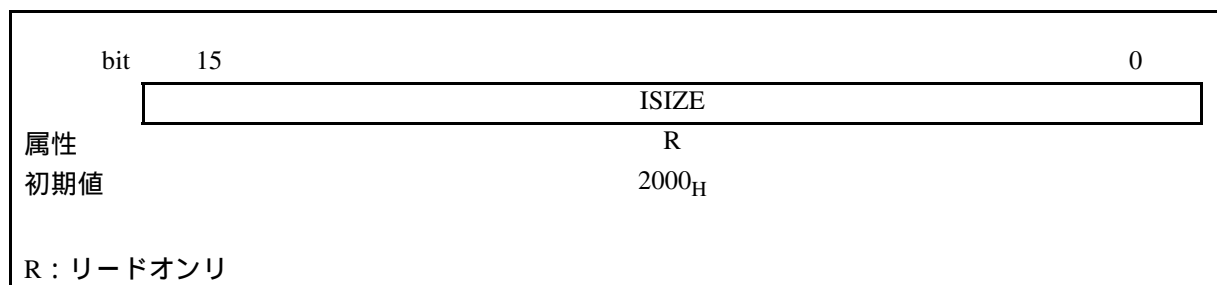
書込み値	命令キャッシュの動作
0	動作を禁止します。(初期値)
1	動作を許可します。

4.3.3 命令キャッシュサイズレジスタ (ISIZE)

命令キャッシュの容量を表示する 16 ビット長のレジスタです。

命令キャッシュサイズレジスタ (ISIZE) のビット構成を図 4.3-3 に示します。

図 4.3-3 命令キャッシュサイズレジスタ (ISIZE) のビット構成

**[bit 15 ~ bit 0] : ISIZE (命令キャッシュサイズビット)**

命令キャッシュの容量に応じて、以下に示す値が読み出されます。

読出し値	命令キャッシュ容量
0800 _H	2 K バイト
1000 _H	4 K バイト
2000 _H	8 K バイト
4000 _H	16 K バイト
8000 _H	32 K バイト

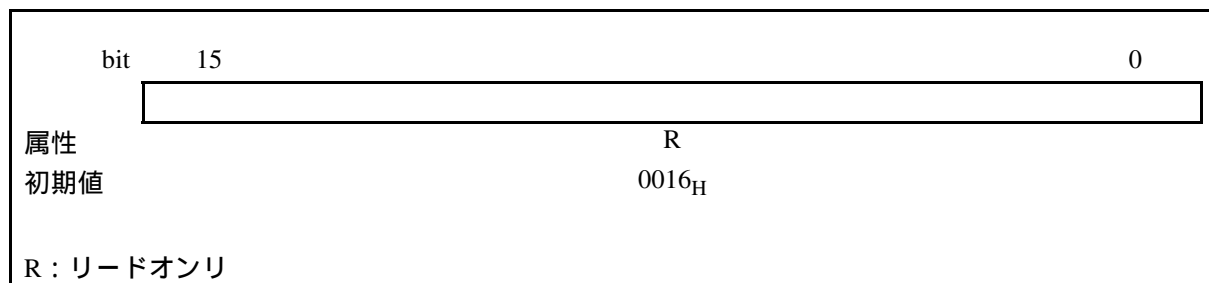
本レジスタは読出し専用です。書込みは、レジスタ値には影響を与えません。

4.3.4 命令キャッシュ機能レジスタ (IFUNC)

命令キャッシュのサポートする機能を表示する 16 ビット長のレジスタです。

命令キャッシュ機能レジスタ (IFUNC) のビット構成を図 4.3-4 に示します。

図 4.3-4 命令キャッシュ機能レジスタ (IFUNC) のビット構成



命令キャッシュの各種機能に応じて、各ビットごとに以下に示す値が読出されます。
本レジスタは読出し専用です。書込みは、レジスタ値には影響を与えません。

[bit 15 ~ bit 8] : 予約ビット

常に "0" が読み出されます。

[bit 7, bit 6] : RAM モード

RAM モード機能のサポート内容を示します。

読出し値	RAM モード機能
00	未サポート (RAM モード無し) (本品種)
01	命令キャッシュオフ時に RAM 使用可能
10	ウェイ単位の RAM モード機能
11	予約

[bit 5, bit 4] : ウェイ数

命令キャッシュのウェイ数設定を示します。

読出し値	ウェイ数, 方式
00	ダイレクトマップ
01	2 ウェイ セットアソシエイティブ (本品種)
10	4 ウェイ セットアソシエイティブ
11	8 ウェイ セットアソシエイティブ

[bit 3, bit 2] : ロック機能

エントリをロックする機能のサポート内容を示します。

読出し値	ロック機能
00	未サポート (ロック機能無し)
01	ウェイ単位のグローバルロック機能 (本品種)
10	エントリ単位およびグローバルロック機能
11	予約

[bit 1, bit 0] : フラッシュ機能

エントリを無効化する機能のサポート内容を示します。

読出し値	無効化を実現する機能
00	ソフトウェアによる無効化
01	1 サイクルでのハードウェアによる無効化
10	n サイクルでのハードウェアによる無効化 (本品種)
11	予約

4.4 動作説明

命令キャッシュメモリの動作について説明します。

4.4.1 初期状態

本命令キャッシュはリセット後、キャッシュ動作禁止状態となり、TAGの内容は不定となっています（「4.4.6 各キャッシュ動作状態でのキャッシュ内容」参照）。

キャッシュ動作を許可する前には、キャッシュ対象領域の設定、キャッシュの無効化を行ってからキャッシュ動作を許可してください。

4.4.2 命令キャッシュのキャッシュ対象領域

本命令キャッシュは、以下に示す領域をキャッシュ対象とし、それ以外の領域はキャッシュ対象としません（CARRレジスタはデータキャッシュと共有しています）。

1. 0001 0000_H ~ 0001 FFFF_H（ただし、CARRレジスタのCEA0=0のときのみ）
2. 0002 0000_H ~ 0002 FFFF_H（ただし、CARRレジスタのCEA1=0のときのみ）
3. 0003 0000_H ~ 0003 FFFF_H（ただし、CARRレジスタのCEA2=0のときのみ）
4. 0004 0000_H ~ 0007 FFFF_H（ただし、CARRレジスタのCEA3=0のときのみ）
5. 0008 0000_H ~ 000B FFFF_H（ただし、CARRレジスタのCEA4=0のときのみ）
6. 000C 0000_H ~ 000F FFFF_H（ただし、CARRレジスタのCEA5=0のときのみ）
7. 0010 0000_H ~ 3FFF FFFF_H
8. 4000 0000_H ~ 7FFF FFFF_H（ただし、CARRレジスタのCEA6=0のときのみ）
9. 8000 0000_H ~ BFFF FFFF_H（ただし、CARRレジスタのCEA7=0のときのみ）
10. C000 0000_H ~ FFFF FFFF_H（ただし、CARRレジスタのCEA7, CEA6=00のときのみ）

CARRレジスタへの書込みは、必ずICHCR/DCHCRレジスタのENAB=0（キャッシュ禁止）のときにのみ行ってください。

いずれかのキャッシュが許可されている間は、CARRレジスタへの書込みは無視され、レジスタ値に影響を与えません。

ただし、CARRレジスタの設定に関わらず、エミュレータモードでは全領域キャッシュ禁止となります。よって、エミュレータモード中は命令キャッシュの状態が保持されません。キャッシュ可能な命令領域をエミュレータモード中に書換えた場合、必ずエミュレータモード中に命令キャッシュのフラッシュを行ってください。

4.4.3 命令キャッシュの無効化

ICHCR レジスタの FLSH ビットを用いて、本命令キャッシュの内容の無効化（フラッシュ）を行います。

以下に示す場合は、命令キャッシュのフラッシュが必須となります。

- リセット後、命令キャッシュを使用開始する前
- 命令キャッシュ動作停止後、命令キャッシュの使用を再度開始する前
- 命令キャッシュ対象領域のメモリ内容を書き換えたとき

リセット後 1 回目のフラッシュ操作、およびその後のフラッシュ操作の 15 回目おきのみ、ライン数と同じサイクル (8K バイトの場合は 256 サイクル) の期間で全ラインの TAG の初期化を行います。この間に受け付けられたアクセスは、キャッシュ許可領域へのアクセスであってもキャッシュへのアクセスは行わず、非キャッシュ領域へのアクセスまたはキャッシュ動作禁止中のアクセスと同様に動作します。TAG の初期化が終了した後は、通常のキャッシュ動作を再開します。

それ以外のフラッシュ操作においては、1 サイクルで全エントリの無効化を行い、キャッシュ動作抑止は行いません。

4.4.4 命令キャッシュの動作許可

本命令キャッシュの動作を許可するには、ICHCR レジスタの ENAB ビットへ "1" を書き込んでください。

TAG の初期化中に命令キャッシュの動作を許可すると、TAG の初期化が終了するまでキャッシュ動作は行われません。

4.4.5 命令キャッシュロック機能

ICHCR レジスタの WILK ビットおよび WOLK ビットを用いて、本命令キャッシュの内容をウェイ単位でロックすることができます。この機能により、一旦取り込んだ命令コードを恒久的に高速でアクセスすることが可能となります。

ロックはウェイ単位で独立に設定可能となっており、一方のウェイのみに高速アクセスしたい命令を保持しつつ、もう一方のウェイに通常のキャッシュ動作をさせることができます。

WILK ビットがウェイ 1、WOLK ビットがウェイ 0 の全エントリのロックを指示します。各ビットに "0" を書き込んだ次のサイクル以降、対応するウェイのすべての有効なエントリがロックされます。

ロックされたエントリにヒットするアクセスがあった場合、通常のキャッシュヒットと同様に CPU に対し命令コードを供給します。

ロックされたエントリにミスするアクセスがあった場合、そのエントリの更新は行いません。この場合、LRU の値に関わらず、ロックされていないウェイ側のエントリが更新されます。

ロックされたウェイ内の未使用のエントリに対するアクセスがあった場合、ロックされていない状態と同様にエントリに命令コードを取り込み、直後にそのエントリがロックされます。

両ウェイ共にロックされている場合、どちらのウェイのエントリにもヒットしないアクセスは、非キャッシュ領域へのアクセスと同様に動作し、キャッシュ内への取り込みは行いません。

ロック機能を使用する場合、以下の手順が効率的です。

1. キャッシュのフラッシュを行います。
2. ウェイ0のロック機能を許可します。
3. ロックさせたいプログラムに分岐、実行します。

キャッシュのフラッシュ直後は、どちらのウェイのエントリも未使用のため、最初のキャッシュ対象領域へのアクセスは、ウェイ0から先に取り込まれます。このため、上記手順(2)でウェイ0ではなくウェイ1をロックしても、最初のアクセスはウェイ0に取り込まれ、ロックされません。その場合、ウェイ1がロックされるのは、ウェイ0のエントリにミスしたアクセスのみとなります。

なお、ラインに空きがある限りロックする必要のないプログラムも同一ウェイ内に取り込まれてロックされます。したがって、ロックさせたくないプログラムが取り込まれることを抑止する場合は、そのプログラムは非キャッシュ領域に配置してください。
ウェイ0がロックされた状態でキャッシュ対象領域へのアクセスがあった場合の動作を以下に示します。

ウェイ0の TAG 検索	ウェイ1の TAG 検索	ウェイ1の ロック状態	動作
ヒット	-	-	ウェイ0の命令を供給
-	ヒット	-	ウェイ1の命令を供給
エントリが空	エントリが空	-	ウェイ0を更新
ミス	エントリが空	-	ウェイ1を更新
	ミス	ロックしていない	ウェイ1を更新
		ロックしている	両ウェイとも更新しない

ウェイ1がロックされた状態でキャッシュ対象領域へのアクセスがあった場合の動作を以下に示します。

ウェイ1の TAG 検索	ウェイ0の TAG 検索	ウェイ0の ロック状態	動作
ヒット	-	-	ウェイ1の命令を供給
-	ヒット	-	ウェイ0の命令を供給
エントリが空	エントリが空	-	ウェイ0を更新
	ミス	-	ウェイ1を更新
ミス	ミス	ロックしていない	ウェイ0を更新
		ロックしている	両ウェイとも更新しない

*1 ウェイ0のエントリが空の状態でもウェイ1にヒットまたはミスすることはありません。

*2 「エントリが空」とは、そのエントリへの取り込みがフラッシュ後から1度も発生していない状態を示します。

ウェイロック許可 / 禁止はキャッシュ動作中に設定変更可能です。なお、ロック中であっても FLSH=1 でのフラッシュは有効となります。

4.4.6 各キャッシュ動作状態でのキャッシュ内容

各種状態でのキャッシュハードウェアの内容を以下に示します。

	リセット直後	キャッシュ禁止時	フラッシュ時
キャッシュメモリ	内容は不定	直前の状態を保持	直前の状態を保持
アドレス TAG	内容は不定	直前の状態を保持	直前の状態を保持
TAGV ビット	内容は不定	直前の状態を保持 FLSH により更新可	TAG リファレンスが [0000]になるときのみ全 エントリが[1111]となる それ以外は直前の値を 保持
TAG リファレンス	1111	直前の状態を保持 FLSH により更新可	[1110][1111] の場合は [0000] にリセット それ以外は直前の値 + 1 にカウントアップ
LRU ビット	内容は不定	直前の状態を保持	直前の状態を保持
W1LK ビット	0= ロックしない	直前の状態を保持	直前の状態を保持
W0LK ビット	0= ロックしない	直前の状態を保持	直前の状態を保持
FLSH ビット	0= 消去しない	直前の状態を保持 1 書込みでフラッシュ動作	1= 消去する 次サイクルで 0 に戻る
ENAB ビット	0= キャッシュ禁止	0= キャッシュ禁止	直前の状態を保持

第 5 章 データキャッシュメモリ

データキャッシュメモリの機能と動作について説明します。

- 5.1 概要
- 5.2 構成
- 5.3 レジスタ
- 5.4 動作説明

5.1 概要

本品種は、以下に示す構成のデータキャッシュを搭載しています。

- キャッシュ容量：8K バイト (1 ウェイあたり 4K バイト)
 - マッピング方式：2 ウェイセットアソシエイティブ方式
 - 置換方式：ライトスルー (ライトヒット時、キャッシュとメモリ双方を更新)
 - ラインサイズ：16 バイト (4WORD)
 - 総エン트리数：512 エン트리 (1 ウェイあたり 256 ライン)
-

■ 概要

キャッシュへの取り込みは 1 ライン単位で行われ、1 回のミスアクセスにつき 16 バイト分のリード動作を行います。

ライトアクセスでエントリにヒットした場合、キャッシュとメモリの両方を書換えるライトスルー動作を行います。

制御ビットへの書込みにより、全エントリの無効化を行うことが可能です。

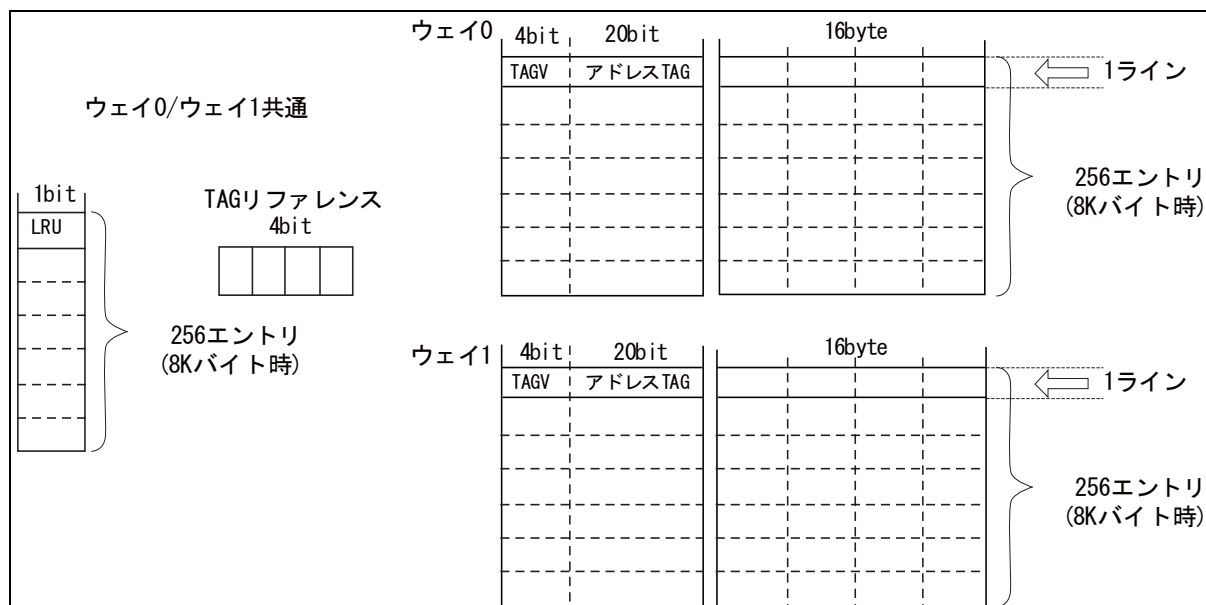
本品種では、エントリされたデータをキャッシュ内にロックすることはできません。

キャッシュ可能なメモリ領域は、データキャッシュと共通の CARR レジスタにより特定領域ごとに設定できます。

5.2 構成

図 5.2-1 にデータキャッシュメモリの構成を示します。

図 5.2-1 データキャッシュメモリの構成



■ TAGV (バリッドビット)

対応するラインのアドレスタグが有効 = データがストアされていることを示します。

1ラインにつき4ビットで構成されており、データが取り込まれた際に4ビットのTAGリファレンス値が書き込まれます。

TAGの検索の際、TAGリファレンス値と同じ値のTAGVを持つエントリが有効なエントリと見なされます。

TAG初期化動作（「5.4.3 データキャッシュの無効化」）により全エントリが"1111"となります。

■ アドレス TAG

対応するラインに取り込まれているデータのメモリアドレス上位20ビット（8Kバイト時）を示します。

TAGVがTAGリファレンス値と一致し、かつアドレスTAGの内容がCPUからのアクセス要求アドレスと一致したエントリがヒットとなります。

■ LRU

対応するラインのどちらのウェイトが最後にアクセスされたかを示します。

"0"のときウェイト0が、"1"のときウェイト1が最後にアクセスされたことを示します。

エントリを更新する時はLRUが示していないウェイトから更新します。

キャッシュがフラッシュされた後は、必ずウェイト0から先に更新します。

■ TAG リファレンス

有効な TAGV と同じ値を示す 4 ビットのフラグです。

リセットにより "1111" となり、キャッシュ使用開始時に行うフラッシュにより "0000" がセットされます。以降フラッシュを行うたびに 1 ずつカウントアップされます。"1110" のときにフラッシュを行うと "0000" に戻ります。

"0000" がセットされる際、全エントリの TAGV に "1111" を順次書き込むことにより TAG の初期化を行います。

初期化には 256 サイクルかかります (ライン数と同じ)。その間受け付けたアクセスは非キャッシュ領域へのアクセスとして扱われます。TAG の初期化時以外でのフラッシュは、TAG リファレンスの変更のみとなり、1 サイクルで完了します。

5.3 レジスタ

データキャッシュメモリで使用するレジスタの構成と機能について説明します。

■ データキャッシュメモリのレジスタ一覧

データキャッシュメモリのレジスタ一覧を表 5.3-1 に示します。

表 5.3-1 データキャッシュメモリのレジスタ一覧

レジスタ略称	レジスタ名	参照先
CARR*	命令 / データキャッシュ領域設定レジスタ	4.3.1
DCHCR	データキャッシュ制御レジスタ	5.3.1
DSIZE	データキャッシュサイズレジスタ	5.3.2
DFUNC	データキャッシュ機能レジスタ	5.3.3

* 命令キャッシュと共用です。

5.3.1 データキャッシュ制御レジスタ (DCHCR)

データキャッシュの動作を制御する 8 ビット長のレジスタです。

本レジスタへの書込みは、書込み命令直後の命令によるデータアクセス以降に影響を与えます。

リセット後は、データキャッシュを許可する前に必ずフラッシュを行ってください。

データキャッシュ制御レジスタ (DCHCR) のビット構成を図 5.3-1 に示します。

図 5.3-1 データキャッシュ制御レジスタ (DCHCR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	予約	FLSH	ENAB
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	0	0
R/W：リード / ライト可能								
X：不定								

[bit 7 ~ bit 2]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	値は不定です。

[bit 1] : FLSH (フラッシュビット)

データキャッシュの全エントリの無効化を指示します。

FLSH=1 を書き込んだ次のサイクルで、TAG リファレンス値をカウントアップし、全エントリを無効化します。キャッシュ動作中のフラッシュも可能です。

リセット後の1回目の書込み時と、それ以降書込みを15回行うごとに、TAG リファレンス値が"0000" にリセットされ、その際のみ全エントリのTAGVに"1111"を順次書込みTAGの初期化を行います。初期化には256サイクルかかります(8Kバイト時、ライン数と同じ)。その間受け付けたアクセスは非キャッシュ領域へのアクセスとして扱われます。TAGの初期化時以外でのフラッシュは、TAG リファレンスの変更のみとなり、1サイクルで完了します。

[bit 0] : ENAB (データキャッシュ許可ビット)

データキャッシュの動作の許可/禁止を以下のように制御します。

書込み値	データキャッシュの動作
0	動作を禁止します。(初期値)
1	動作を許可します。

本ビットは、リセットにより"0"に初期化されます。

5.3.2 データキャッシュサイズレジスタ (DSIZE)

データキャッシュの容量を表示する16ビット長のレジスタです。

データキャッシュサイズレジスタ (DSIZE) のビット構成を図 5.3-2 に示します。

図 5.3-2 データキャッシュサイズレジスタ (DSIZE) のビット構成

bit	15	0
	DSIZE	
属性	R	
初期値	2000 _H	
R：リードオンリ		

[bit 15 ~ bit 0] : DSIZE (データキャッシュサイズビット)

データキャッシュの容量に応じて、以下に示す値が読み出されます。

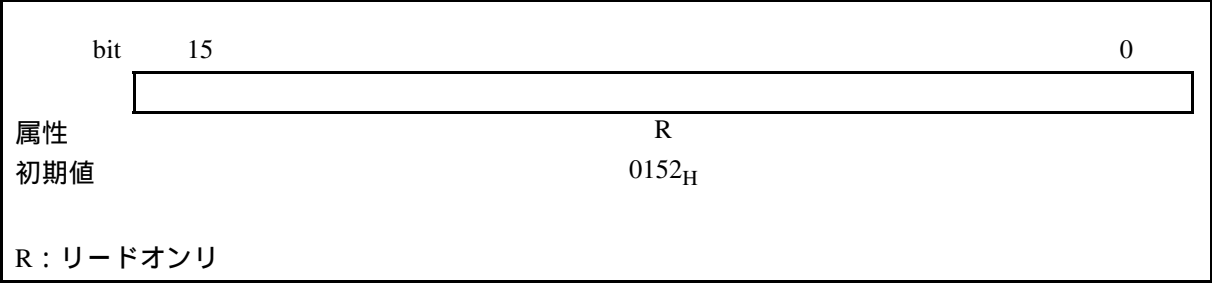
読出し値	データキャッシュ容量
0800 _H	2 K バイト
1000 _H	4 K バイト
2000 _H	8 K バイト
4000 _H	16 K バイト
8000 _H	32 K バイト

本レジスタは読出し専用です。書込みは、レジスタ値には影響を与えません。

5.3.3 データキャッシュ機能レジスタ (DFUNC)

データキャッシュのサポートする機能を表示する 16 ビット長のレジスタです。
データキャッシュ機能レジスタ (IFUNC) のビット構成を図 5.3-3 に示します。

図 5.3-3 データキャッシュ機能レジスタ (IFUNC) のビット構成



データキャッシュの各種機能に応じて、各ビットごとに以下に示す値が読出されます。
本レジスタは読出し専用です。書込みは、レジスタ値には影響を与えません。

[bit 15 ~ bit 11] : 予約ビット

常に "0" が読み出されます。

[bit 10] : コピーバック機能

コピーバック機能のサポート内容を示します。

読出し値	コピーバック機能
0	未サポート (本品種)
1	サポート

[bit 9] : ライトアロケート機能

ライトアロケート機能のサポート内容を示します。

読出し値	ライトアロケート機能
0	未サポート (本品種)
1	サポート

[bit 8] : ライトスルー機能

ライトスルー機能のサポート内容を示します。

読出し値	ライトスルー機能
0	未サポート
1	サポート (本品種)

[bit 7, bit 6] : RAM モード

RAM モード機能のサポート内容を示します。

読出し値	RAM モード機能
00	未サポート (RAM モード無し)
01	データキャッシュオフ時に RAM 使用可能 (本品種)
10	ウェイ単位の RAM モード機能
11	予約

[bit 5, bit 4] : ウェイ数

データキャッシュのウェイ数設定を示します。

読出し値	ウェイ数, 方式
00	ダイレクトマップ
01	2 ウェイ セットアソシエイティブ (本品種)
10	4 ウェイ セットアソシエイティブ
11	8 ウェイ セットアソシエイティブ

[bit 3, bit 2] : ロック機能

エントリをロックする機能のサポート内容を示します。

読出し値	ロック機能
00	未サポート (ロック機能無し) (本品種)
01	ウェイ単位のグローバルロック機能
10	エントリ単位およびグローバルロック機能
11	予約

[bit 1, bit 0] : フラッシュ機能

エントリを無効化する機能のサポート内容を示します。

読出し値	無効化を実現する機能
00	ソフトウェアによる無効化
01	1 サイクルでのハードウェアによる無効化
10	n サイクルでのハードウェアによる無効化 (本品種)
11	予約

5.4 動作説明

データキャッシュメモリの動作について説明します。

5.4.1 初期状態

本データキャッシュはリセット後、キャッシュ動作禁止状態となり、TAG の内容は不定となっています(「4.4.6 各キャッシュ動作状態でのキャッシュ内容」参照)。

キャッシュ動作を許可する前には、キャッシュ対象領域の設定、キャッシュの無効化を行ってからキャッシュ動作を許可してください。

5.4.2 データキャッシュのキャッシュ対象領域

本データキャッシュは、以下に示す領域をキャッシュ対象とし、それ以外の領域はキャッシュ対象としません(CARR レジスタは命令キャッシュと共有しています)。

1. 0001 0000_H ~ 0001 FFFF_H (ただし、CARR レジスタの CEA0=0 のときのみ)
2. 0002 0000_H ~ 0002 FFFF_H (ただし、CARR レジスタの CEA1=0 のときのみ)
3. 0003 0000_H ~ 0003 FFFF_H (ただし、CARR レジスタの CEA2=0 のときのみ)
4. 0004 0000_H ~ 0007 FFFF_H (ただし、CARR レジスタの CEA3=0 のときのみ)
5. 0008 0000_H ~ 000B FFFF_H (ただし、CARR レジスタの CEA4=0 のときのみ)
6. 000C 0000_H ~ 000F FFFF_H (ただし、CARR レジスタの CEA5=0 のときのみ)
7. 0010 0000_H ~ 3FFF FFFF_H
8. 4000 0000_H ~ 7FFF FFFF_H (ただし、CARR レジスタの CEA6=0 のときのみ)
9. 8000 0000_H ~ BFFF FFFF_H (ただし、CARR レジスタの CEA7=0 のときのみ)
10. C000 0000_H ~ FFFF FFFF_H (ただし、CARR レジスタの CEA7, CEA6=00 のときのみ)

CARR レジスタの設定に関わらず、エミュレータモードでは全領域でリードはキャッシュ禁止、ライトはキャッシュ許可となります。よって、エミュレータモード中のリードではデータキャッシュの状態が保持され、ライトはキャッシュにヒットした場合、キャッシュ内部のデータおよびメモリの両方が更新されます(LRUは更新されません)。

また、キャッシュのフラッシュでTAG リファレンスが"0000"となったときに行われる、TAG 初期化サイクル中に受け付けたアクセスは、すべて非キャッシュ領域へのアクセスとして扱われます。TAG 初期化サイクルが終了した後から、キャッシュ対象アクセスの判定を再開します。

5.4.3 データキャッシュの無効化

DCHCR レジスタのFLSHビットを用いて、本データキャッシュの内容の無効化（フラッシュ）を行います。

以下に示す場合、データキャッシュのフラッシュが必須となります。

- リセット後、データキャッシュを使用開始する前
- データキャッシュ動作停止後、データキャッシュの使用を再度開始する前
- データキャッシュ対象領域のメモリ内容を命令以外で書き換えたとき（DMA 転送など）

リセット後1回目のフラッシュ操作、およびその後のフラッシュ操作の15回目おきのみ、ライン数と同じサイクル（8K バイトの場合は256 サイクル）の期間で全ラインのTAGの初期化を行います。この間に受け付けられたアクセスは、キャッシュ許可領域へのアクセスであってもキャッシュへのアクセスは行わず、非キャッシュ領域へのアクセスまたはキャッシュ動作禁止中のアクセスと同様に動作します。TAGの初期化が終了した後は、通常のキャッシュ動作を再開します。

それ以外のフラッシュ操作においては、1サイクルで全エントリの無効化を行い、キャッシュ動作抑止は行いません。

5.4.4 データキャッシュの動作許可

本データキャッシュの動作を許可するには、DCHCR レジスタのENABビットへ"1"を書き込んでください。

TAGの初期化中に命令キャッシュの動作を許可すると、TAGの初期化が終了するまでキャッシュ動作は行われません。

5.4.5 各キャッシュ動作状態でのキャッシュ内容

各種状態でのキャッシュハードウェアの内容を以下に示します。

	リセット直後	キャッシュ禁止時	フラッシュ時
キャッシュメモリ	内容は不定	直前の状態を保持	直前の状態を保持
アドレスTAG	内容は不定	直前の状態を保持	直前の状態を保持
TAGV ビット	内容は不定	直前の状態を保持 FLSHにより更新可	TAG リファレンスが[0000]になるときのみ全エントリが[1111]となる それ以外は直前の値を保持
TAG リファレンス	1111	直前の状態を保持 FLSHにより更新可	[1110][1111]の場合は[0000]にリセット それ以外は直前の値+1にカウントアップ
LRU ビット	内容は不定	直前の状態を保持	直前の状態を保持
FLSH ビット	0=消去しない	直前の状態を保持 1 書込みでフラッシュ動作	1= 消去する 次サイクルで0に戻る
ENAB ビット	0=キャッシュ禁止	0= キャッシュ禁止	直前の状態を保持

5.4.6 キャッシュオフ時の RAM 動作モード

本データキャッシュは、キャッシュ禁止 (DCHCR レジスタの ENAB=0) 時には、高速アクセスが可能なデータ RAM として動作します。

データ RAM 動作時のメモリマップは以下のとおりです (下記 RAM 領域の区切りは、キャッシュのサイズにより変わります)。

- 0000 8000_H ~ 0000 8FFF_H: RAM 領域 (1) (4 K バイト)
- 0000 9000_H ~ 0000 9FFF_H: RAM 領域 (2) (4 K バイト)
- 0000 A000_H ~ 0000 AFFF_H: RAM 領域 (1) のミラー領域
- 0000 B000_H ~ 0000 BFFF_H: RAM 領域 (2) のミラー領域
- 0000 C000_H ~ 0000 CFFF_H: RAM 領域 (1) のミラー領域
- 0000 D000_H ~ 0000 DFFF_H: RAM 領域 (2) のミラー領域
- 0000 E000_H ~ 0000 EFFF_H: RAM 領域 (1) のミラー領域
- 0000 F000_H ~ 0000 FFFF_H: RAM 領域 (2) のミラー領域

なお、データキャッシュ動作許可 (DCHCR レジスタの ENAB=1) 時に上記領域を読み出すとデータキャッシュの内容が返されます。ただし、エントリの有効 / 無効は考慮されず、無効なデータであってもそのまま読み出されます。データキャッシュ動作許可中の上記領域への書込みは無視されます。

このデータ RAM は DMA 転送の対象にできません。CPU によるプログラムアクセスのみ可能です。

第 6 章 動作モード

動作モードの機能と動作について説明します。

- 6.1 概要
- 6.2 構成
- 6.3 レジスタ
- 6.4 動作説明

6.1 概要

本シリーズは以下の動作モードを持ち、起動時に選択して使用することができます。

- ユーザモード・外 ROM 外バス
 - シリアルライターモード
-

■ 概要

MD 端子と動作モードの関係を以下に示します。

表 6.1-1 MD 端子と動作モードの関係

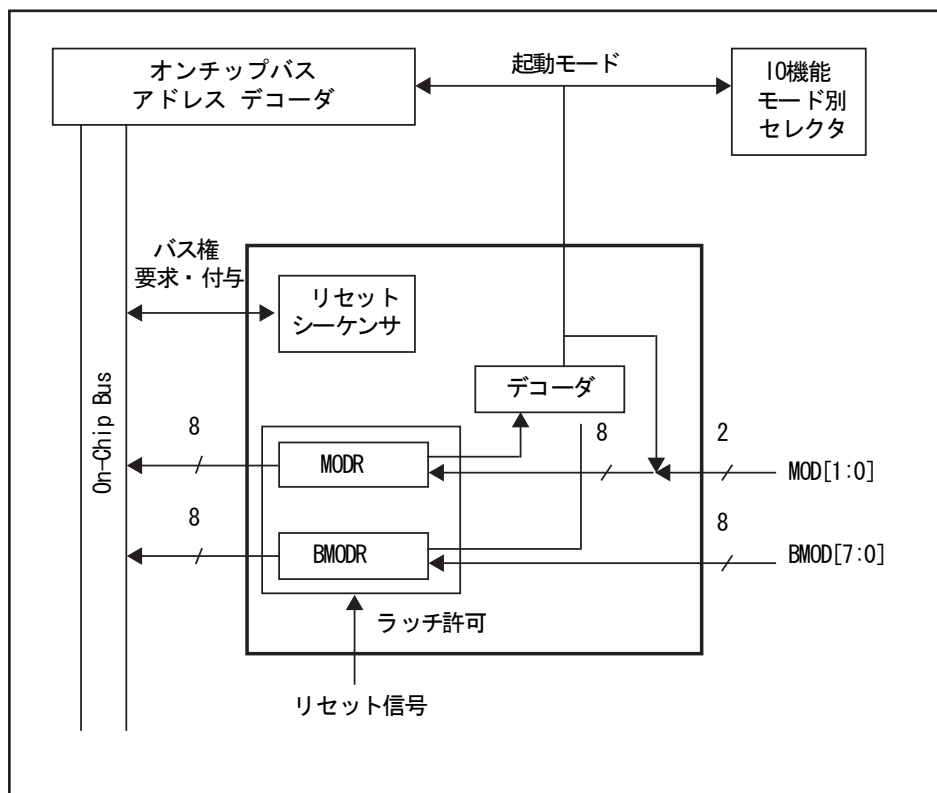
MD 端子		動作モード
MD1	MD0	
0	0	ユーザモード・外 ROM 外バス
	1	シリアルライターモード

6.2 構成

動作モードのブロック図を図 6.2-1 に示します。

■ ブロック図

図 6.2-1 動作モードのブロック図



6.3 レジスタ

動作モードで使用するレジスタの構成と機能について説明します。

■ 動作モードのレジスタ一覧

動作モードのレジスタ一覧を表 6.3-1 に示します。

表 6.3-1 動作モードのレジスタ一覧

レジスタ略称	レジスタ名	参照先
BMODR	バスモードデータレジスタ	6.3.1
MODR	モードレジスタ	6.3.2

6.3.1 バスモードデータレジスタ (BMODR)

起動時に設定されたバスモードデータを示す 8 ビット長のレジスタです。

本レジスタは読出しのみ可能です。書込みは本レジスタの値に影響しません。
バスモードデータレジスタ (BMODR) のビット構成を図 6.3-1 に示します。

図 6.3-1 バスモードデータレジスタ (BMODR) のビット構成



[bit 7 ~ bit 0] : BMOD[7:0] (バスモードビット)

バスモードデータを示します。MD1, MD0端子の設定値ごとに、以下の内容を示します。

MD 端子		モードデータ BMOD[7:0]	動作モード
MD1	MD0		
0	0	XXXXXXXX	ユーザモード・外 ROM 外バス
	1	0111XXXX	シリアルライタモード

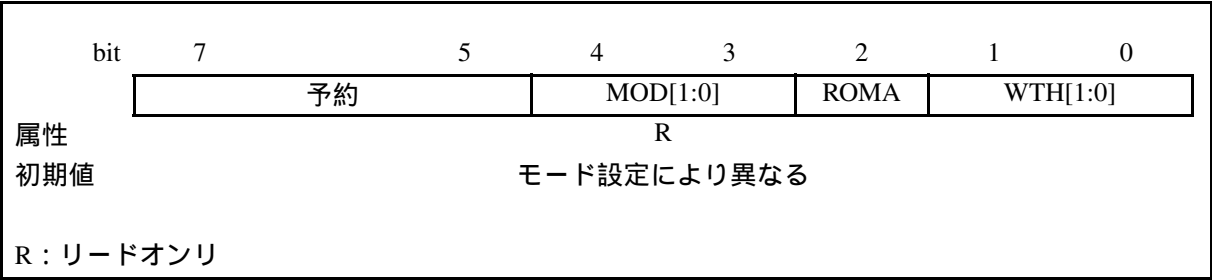
6.3.2 モードレジスタ (MODR)

起動時に設定されたモードを示す 8 ビット長のレジスタです。

本レジスタは読出しのみ可能です。書込みは本レジスタの値に影響しません。

モードレジスタ (MODR) のビット構成を図 6.3-2 に示します。

図 6.3-2 モードレジスタ (MODR) のビット構成



[bit 7 ~ bit 5] : 予約ビット

"000" 固定です。

[bit 4, bit 3] : MOD[1:0] (モード値ビット)

各モードに従い以下の内容を示します。

読出し値	起動中のモード
00	ユーザモード・外 ROM 外バス
11	シリアルライターモード

[bit 2] : ROMA (ROM 領域ビット)

起動時のリセットベクタを含む ROM 領域のマッピングに従い、以下の内容を示します。

本ビットは、ユーザモード・外 ROM 外バスで "0(外部バス領域)", シリアルライターモードで "1(内部 ROM 領域)" を示します。

読出し値	ROM 領域
0	外部バス領域
1	内部 ROM 領域

[bit 1, bit 0] : WTH[1:0] (外部バス幅初期値ビット)

起動時の初期外部バス幅の設定に従い、以下の内容を示します。

本ビットは、ユーザモード・外 ROM 外バス、およびシリアルライターモードで "11" 固定です。

6.4 動作説明

本シリーズの動作モードについて説明します。

6.4.1 動作モード設定方法

動作モードは、MD 端子 (MD1, MD0) 入力により設定します。

6.4.2 各種モード詳細

以下に各動作モードの動作の詳細を示します。

■ ユーザモード・外 ROM 外バス

ユーザモード・外 ROM 外バスは、外部バス拡張機能が有効なモードです。初期状態では、汎用 CS 領域 CS4 が、外部バス領域として機能します。この場合、外部バス幅の初期値は 16 ビットです。

このモードでは、外部バス領域がブート領域にマッピングされます。よって、起動後に CPU はリセットベクタを汎用 CS 領域 CS4 から取得し、動作を開始します。

ユーザモード・外 ROM 外バス時の MD 端子 (MD1, MD0) は、RST 解除後に変化しても動作モードは変化しません。

■ シリアルライターモード

シリアルライターモードは、シリアルライターで FLASH メモリの書き込みを行うモードです。

シリアルライターモード時の MD 端子 (MD1, MD0) は、常に固定してください。MD 端子が変化すると動作モードが変化してしまいます。

詳しくは、「第 28 章 シリアル書き込み 接続例」を参照してください。

第7章 クロック生成部

本デバイスのすべての内部クロックの元となる，ソースクロック (SRCCLK) を生成するクロック生成部について説明します。

- 7.1 概要
- 7.2 構成
- 7.3 端子
- 7.4 レジスタ
- 7.5 動作説明

7.1 概要

ソースクロック (SRCCLK) とは、本デバイスを動作させるために使用する内部クロックの生成元になるクロックです。

ソースクロック (SRCCLK) となるクロックの生成と発振制御、またどのクロックをソースクロック (SRCCLK) として選択するか、その方法を説明します。

■ 概要

本デバイスは各種内部クロックを利用して動作します。各種内部クロックは、ソースクロック (SRCCLK) を分周して生成します。

ソースクロック (SRCCLK) は、次の2つのクロックから選択できます。

- メインクロック (MAINCLK)
- PLL クロック (PLLCLK)

クロック生成部では次の制御を行います。

- メインクロック (MAINCLK) の生成
 - メインクロック (MAINCLK) の発振を制御します。
 - メインクロック (MAINCLK) の発振安定待ち時間を設定します。
 - メインタイマの制御やメインタイマ割込み要求の発生を制御します。
- PLL クロック (PLLCLK) の生成
 - PLL クロック (PLLCLK) の発振を制御します。
 - PLL クロック (PLLCLK) の発振安定待ち時間を設定します。
 - PLL 逡倍率 (PLL クロック (PLLCLK) を生成するためのメインクロック (MAINCLK) の逡倍率) を設定します。

メインクロック (MAINCLK) の逡倍のみです。

- ソースクロック (SRCCLK) の選択

2つのクロックの中から、ソースクロック (SRCCLK) として使用するクロックを選択します。

7.2 構成

クロック生成部は、クロック生成部とソースクロック (SRCCLK) 選択部で構成されています。

7.2.1 クロック生成部

2 つのクロック生成部があります。クロック生成部で作成したクロックは、ソースクロック (SRCCLK) として選択できます。

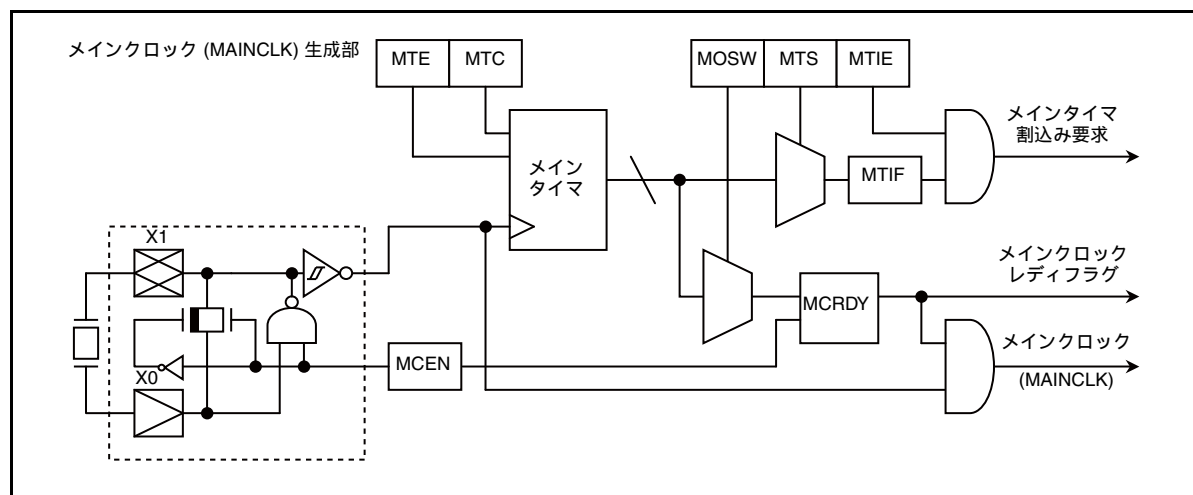
■ メインクロック (MAINCLK) 生成部

X0 端子, X1 端子 (メイン発振子) からの入力を使用してメインクロック (MAINCLK) を生成します。

メインクロック (MAINCLK) は、PLL クロック (PLLCLK) の生成にも使用します。

メインクロック (MAINCLK) 生成部のブロックダイアグラムを図 7.2-1 に示します。

図 7.2-1 メインクロック (MAINCLK) 生成部のブロックダイアグラム



- メインタイマ

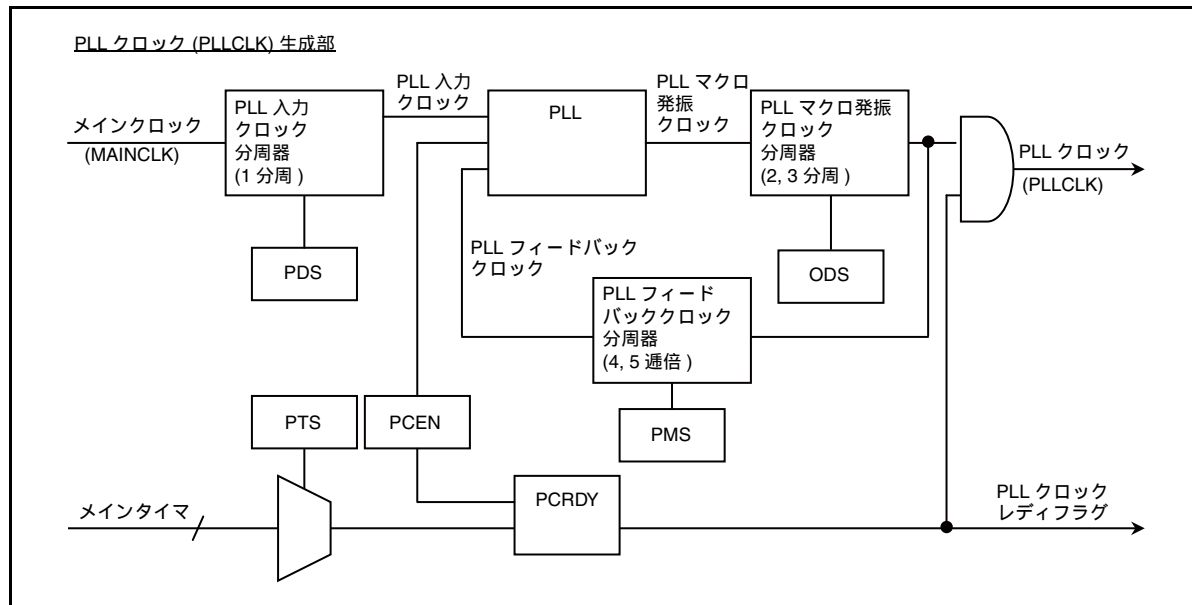
メインクロック (MAINCLK) で動作するタイマです。詳細は「第 9 章 メインタイマ」を参照してください。

■ PLL クロック (PLLCLK) 生成部

メインクロック (MAINCLK) を通倍して PLL クロック (PLLCLK) を生成します。

PLL クロック (PLLCLK) 生成部のブロックダイアグラムを図 7.2-2 に示します。

図 7.2-2 PLL クロック (PLLCLK) 生成部のブロックダイアグラム



- PLL
クロック通倍回路です。
- PLL 入力クロック分周器
メインクロック (MAINCLK) を分周して PLL 入力クロックを生成します。
- PLL フィードバッククロック分周器
PLL マクロ発振クロックを分周して生成した PLL クロック (PLLCLK) をさらに分周して、PLL フィードバッククロックを生成します。
- PLL マクロ発振クロック分周器
PLL マクロ発振クロックを分周して、PLL クロック (PLLCLK) を生成します。

< 注意事項 >

メインクロック 10MHz 以上、PLL マクロ発振クロック周波数 150MHz ~ 200MHz の設定で使用してください。

7.2.2 ソースクロック (SRCCLK) 選択部

ソースクロック (SRCCLK) の選択について説明します。ソースクロック (SRCCLK) は、次の2つのクロックソースの中から選択します。

- メインクロック (MAINCLK) の2分周
- PLL クロック (PLLCLK)

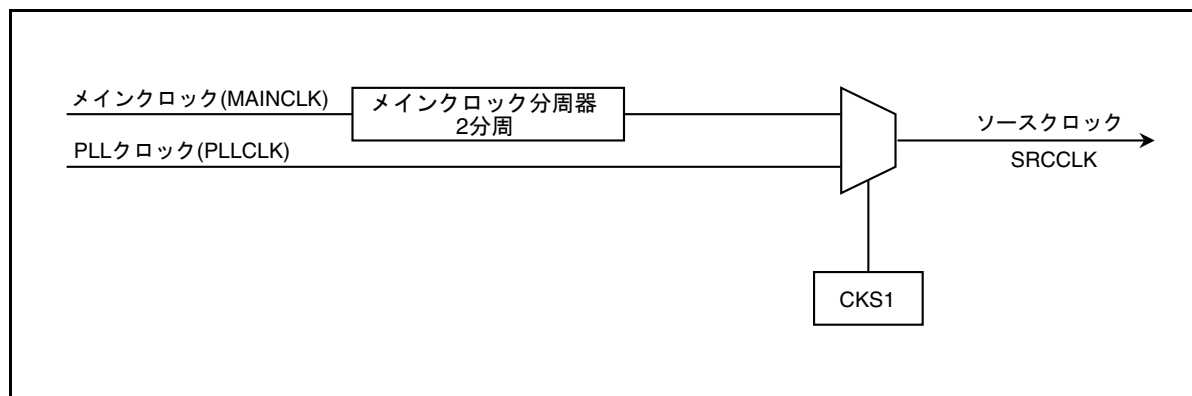
イニシャライズリセット (INIT) が発生した場合、ソースクロック (SRCCLK) の設定は初期化されて、ソースクロック (SRCCLK) はメインクロック (MAINCLK) の2分周になります。

プログラムの動作開始後は、クロックソース設定レジスタ (CSELR) の設定によって、任意のソースクロック (SRCCLK) に変更してください。

■ ソースクロック (SRCCLK) 選択部のブロックダイアグラム

ソースクロック (SRCCLK) 選択部のブロックダイアグラムを図 7.2-3 に示します。

図 7.2-3 ソースクロック (SRCCLK) 選択部のブロックダイアグラム



- メインクロック分周器 (2 分周)
メインクロック (MAINCLK) は、2 分周されてからソースクロック (SRCCLK) になります。
- CKS1 ビット
クロックソース設定レジスタ (CSELR) のソースクロック (SRCCLK) 選択ビットです。

7.3 端子

クロック生成部で使用する端子について説明します。

■ 概要

- X0, X1 端子
メインクロック (MAINCLK) の生成に使用する端子です。

7.4 レジスタ

クロック生成部で使用するレジスタの構成と機能について説明します。

■ クロック生成部のレジスタ一覧

クロック生成部のレジスタ一覧を表 7.4-1 に示します。

表 7.4-1 クロック生成部のレジスタ一覧

レジスタ略称	レジスタ名	参照先
CSELR	クロックソース設定レジスタ	7.4.1
CMONR	クロックソース監視レジスタ	7.4.2
CSTBR	発振安定待ち設定レジスタ	7.4.3
PLLCR	PLL 設定レジスタ	7.4.4

7.4.1 クロックソース設定レジスタ (CSELR)

クロックソースの制御とソースクロック (SRCCLK) を選択するレジスタです。

クロックソース設定レジスタ (CSELR) のビット構成を図 7.4-1 に示します。

図 7.4-1 クロックソース設定レジスタ (CSELR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	PCEN	MCEN	予約	予約	予約	CKS1	CKS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT 時)	-	0	1	-	-	-	0	0
初期値 (RST 時)	-	*	*	-	-	-	*	*

R/W : リード / ライト可能
 * : 初期化されないビット
 - : 未定義

< 注意事項 >

- このレジスタを読み出しても、実際に設定されている値は読み出されません。このレジスタに設定した値が実際に反映されたかどうかは、クロックソース監視レジスタ (CMONR) を読み出して確認してください。
- このレジスタを書き換える場合は、このレジスタに設定した値とクロックソース監視レジスタ (CMONR) の値が同じであることを確認してから、書き換えてください。
- クロックの切り替え中に (CKS1, CKS0 CKM1, CKM0) のときに、このレジスタに書込みを行っても、書込みは無視されます。

[bit6] : PCEN (PLL クロック発振許可ビット)

PLL クロック (PLLCLK) の発振を制御します。

書込み値	説明
0	PLL クロック (PLLCLK) の発振を停止します。
1	PLL クロック (PLLCLK) が発振します。

< 注意事項 >

- ストップモードにする前に、このビットに "0" を書き込んで、PLL クロック (PLLCLK) の発振を停止してください。
- 次のいずれかの場合は、このビットは書き換えられません。
 - CKS1, CKS0 ビットでソースクロック (SRCCLK) に PLL クロック (PLLCLK) を選択している (CKS1, CKS0=10)
 - メインクロック (MAINCLK) の発振が停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の MCRDY ビット =0)
- MCEN ビットでメインクロック (MAINCLK) の発振を停止 (MCEN=0) すると、このビットも "0" になります。
- メインタイマのクリア中 (メインタイマ制御レジスタ (MTMCR) の MTC ビット=1) は、このビットを "0" から "1" に書き換えしないでください。
- このビットを "0" から "1" に書き換えて、PLL クロック (PLLCLK) の発振を許可すると、メインタイマがクリアされます。
このとき、メインタイマ制御レジスタ (MTMCR) の MTC ビットからは "1" が読み出されます。

[bit5] : MCEN (メインクロック発振許可ビット)

メインクロック (MAINCLK) の発振を制御します。

書込み値	説明
0	メインクロック (MAINCLK) の発振を停止します。
1	メインクロック (MAINCLK) が発振します。

< 注意事項 >

- 本デバイスでは本ビットは書き換えられません。
- ストップモード時は、このビットの値にかかわらずメインクロック (MAINCLK) の発振が停止します。

[bit7, bit4 ~ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : CKS1, CKS0 (ソースクロック選択ビット)

ソースクロック (SRCCLK) を選択します。

CKS1	CKS0	説明
0	0	メインクロック (MAINCLK) の2分周
0	1	
1	0	PLL クロック (PLLCLK)
1	1	設定禁止

発振が停止中/発振安定待ち中のクロックは、ソースクロック (SRCCLK) に選択できません。

このビットの書換え条件を表 7.4-2 に示します。

表 7.4-2 CKS1, CKS0 ビットの書換え条件

変更前の値		書換え可能な値 [CKS1:CKS0]	書換え条件となるビット クロックソース監視レジスタ (CMONR)	書換え不可能な値 [CKS1:CKS0]
CKS1	CKS0			
0	0	00, 01	MCRDY=1	-
		10	PCRDY=1	
0	1	00, 01	MCRDY=1	10
1	0	00	MCRDY=1	01
		10	PCRDY=1	

表 7.4-2 の書換え不可能の値は書き込まないでください。ソースクロック (SRCCLK) の切換え手順は、「7.5.2 ソースクロック (SRCCLK) の切換え」を参照してください。

7.4.2 クロックソース監視レジスタ (CMONR)

クロックソースや、ソースクロック (SRCCLK) の状態を表示するレジスタです。

このレジスタを読み出すと、クロックソース設定レジスタ (CSELR) に設定した値が、実際に反映されているかどうかを確認できます。

クロックソース監視レジスタ (CMONR) のビット構成を図 7.4-2 に示します。

図 7.4-2 クロックソース監視レジスタ (CMONR) のビット構成

	bit							
	7	6	5	4	3	2	1	0
	予約	PCRDY	MCRDY	予約	予約	予約	CKM1	CKM0
属性	R	R	R	R	R	R	R	R
初期値 (INIT 時)	-	0	1	-	-	-	0	0
初期値 (RST 時)	-	*	*	-	-	-	*	*
R : リードオンリ								
* : 初期化されないビット								
- : 未定義								

< 注意事項 >

- クロックソース設定レジスタ (CSELR) の設定値を変更した場合は、必ずこのレジスタを読み出して、値がクロックソース設定レジスタ (CSELR) の設定値と同じかどうか確認してください。
- クロックソース設定レジスタ (CSELR) に設定した値とこのレジスタの値が一致するまで、クロックソース設定レジスタ (CSELR) は変更しないでください。

[bit6] : PCRDY (PLL クロックレディビット)

PLL クロック (PLLCLK) の状態を表示します。

読出し値	説明
0	発振が停止しているか、発振安定待ち状態です。
1	安定発振中です。 ソースクロック (SRCCLK) として使用できます。

< 注意事項 >

- このビットが "0" のときは、PLL クロック (PLLCLK) をソースクロック (SRCCLK) として選択できません。
- クロックソース設定レジスタ (CSELR) の PCEN ビットを "1" から "0" に書き換えた後に、このビットを読み出すと "1" が読み出される場合があります。

[bit5] : MCRDY (メインクロックレディビット)

メインクロック (MAINCLK) の状態を表示します。

読出し値	説明
0	発振が停止しているか、発振安定待ち状態です。
1	安定発振中です。 ソースクロック (SRCCLK) として使用できます。

< 注意事項 >

- このビットが "0" のときは、メインクロック (MAINCLK) または PLL クロック (PLLCLK) をソースクロック (SRCCLK) として選択できません。
- クロックソース設定レジスタ (CSELR) の MCEN ビットを "1" から "0" に書き換えた後に、このビットを読み出すと "1" が読み出される場合があります。

[bit7, bit4 ~ bit2] : 予約ビット

読出し時	"0" が読み出されます。
------	---------------

[bit1, bit0] : CKM1, CKM0 (ソースクロック表示ビット)

ソースクロック (SRCCLK) に選択中のクロックを表示します。

CKM1	CKM0	説明
0	0	メインクロック (MAINCLK) の 2 分周を選択しています。
0	1	
1	0	PLL クロック (PLLCLK) を選択しています。
1	1	-

7.4.3 発振安定待ち設定レジスタ (CSTBR)

クロックソースの発振安定待ち時間を設定するレジスタです。

このレジスタで設定した発振安定待ち時間は、次の場合に、そのクロックのレディビットが "1" になるまでに使用します。

- ストップモードからの復帰時
- メイン発振停止かつイニシャライズリセット (INIT) 発生時
レディビットとは次のビットを指します。
 - PLL クロック : PCRDY ビット
 - メインクロック : MCRDY ビット

発振安定待ち設定レジスタ (CSTBR) のビット構成を図 7.4-3 に示します。

図 7.4-3 発振安定待ち設定レジスタ (CSTBR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	MOSW3	MOSW2	MOSW1	MOSW0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
INIT 端子 =L 時	-	-	-	-	0	0	0	0
初期値 (INIT 時)	-	-	-	-	*	*	*	*
初期値 (RST 時)	0	*	*	*	*	*	*	*
R/W : リード / ライト可能								
* : 初期化されないビット								
- : 未定義								

< 注意事項 >

メイン発振停止時、イニシャライズリセット (INIT) が発生した場合、動作再開後のメイン発振安定待ち時間は、このレジスタの初期値の時間になります。

[bit7 ~ bit4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3 ~ bit0] : MOSW3 ~ MOSW0 (メインクロック発振安定待ち選択ビット)

メインクロック (MAINCLK) の発振安定待ち時間を選択します。

MOSW3	MOSW2	MOSW1	MOSW0	メインクロック (MAINCLK) 発振安定待ち時間	16MHz 時
0	0	0	0	$2^1 \times$ メインクロック (MAINCLK) の周期	500ns
0	0	0	1	$2^5 \times$ メインクロック (MAINCLK) の周期	2ns
0	0	1	0	$2^6 \times$ メインクロック (MAINCLK) の周期	4 μ s
0	0	1	1	$2^7 \times$ メインクロック (MAINCLK) の周期	8 μ s
0	1	0	1	$2^8 \times$ メインクロック (MAINCLK) の周期	16 μ s
0	1	0	1	$2^9 \times$ メインクロック (MAINCLK) の周期	32 μ s
0	1	1	0	$2^{10} \times$ メインクロック (MAINCLK) の周期	64 μ s
0	1	1	1	$2^{11} \times$ メインクロック (MAINCLK) の周期	128 μ s
1	0	0	0	$2^{12} \times$ メインクロック (MAINCLK) の周期	256 μ s
1	0	0	1	$2^{13} \times$ メインクロック (MAINCLK) の周期	512 μ s
1	0	1	0	$2^{14} \times$ メインクロック (MAINCLK) の周期	1024 μ s
1	0	1	1	$2^{15} \times$ メインクロック (MAINCLK) の周期	2048 μ s
1	1	0	0	$2^{17} \times$ メインクロック (MAINCLK) の周期	8196 μ s
1	1	0	1	$2^{19} \times$ メインクロック (MAINCLK) の周期	32.8ms
1	1	1	0	$2^{21} \times$ メインクロック (MAINCLK) の周期	131.1ms
1	1	1	1	$2^{23} \times$ メインクロック (MAINCLK) の周期	524.5ms

< 注意事項 >

表中の時間は、計算値です。実際の時間は、発振の状態により、若干の誤差を含みますので目安としてください。

7.4.4 PLL 設定レジスタ (PLLCR)

メインクロック (MAINCLK) から PLL クロック (PLLCLK) を生成するための通倍率を設定するレジスタです。

PLLクロック (PLLCLK) の生成に関係するクロック周波数と通倍率の計算方法は「7.5.3 PLL クロック (PLLCLK) 生成のための通倍率」を参照してください。

PLL 設定レジスタ (PLLCR) のビット構成を図 7.4-4 に示します。

図 7.4-4 PLL 設定レジスタ (PLLCR) のビット構成

bit	15	14	13	12	11	10	9	8
	予約	予約	ODS1	ODS0	PMS3	PMS2	PMS1	PMS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT 時)	-	-	0	0	0	0	0	0
初期値 (RST 時)	-	-	*	*	*	*	*	*

bit	7	6	5	4	3	2	1	0
	PTS3	PTS2	PTS1	PTS0	PDS3	PDS2	PDS1	PDS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT 時)	1	1	1	1	0	0	0	0
初期値 (RST 時)	*	*	*	*	*	*	*	*

R/W : リード / ライト可能
 * : 初期化されないビット
 - : 未定義

< 注意事項 >

PLL クロック (PLLCLK) の発振を許可している場合は (クロックソース設定レジスタ (CSELR) の PCEN=1), このレジスタへの書込みは無効です。

[bit15, bit14] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit13, bit12] : ODS1, ODS0 (PLL マクロ発振クロック分周比選択ビット)

PLL マクロ発振クロックから PLL クロック (PLLCLK) への分周比を選択します。

ODS1	ODS0	説明
0	0	PLL クロック (PLLCLK) = PLL マクロ発振クロック / 1
0	1	PLL クロック (PLLCLK) = PLL マクロ発振クロック / 2
1	0	PLL クロック (PLLCLK) = PLL マクロ発振クロック / 3
1	1	PLL クロック (PLLCLK) = PLL マクロ発振クロック / 4

< 注意事項 >

PLL クロック (PLLCLK) の発振を許可するときは、必ず事前にこのビットを "01" または "10" に設定してください。「7.5.3 PLL クロック (PLLCLK) 生成のための通倍率」も参照してください。

[bit11 ~ bit8] : PMS3 ~ PMS0 (PLL クロック通倍率選択ビット)

PLL 入力クロックから PLL クロック (PLLCLK) への通倍率を選択します。

PMS3	PMS2	PMS1	PMS0	PLL クロック (PLLCLK) 通倍率
0	0	0	0	PLL クロック (PLLCLK) = PLL 入力クロック × 1
0	0	0	1	PLL クロック (PLLCLK) = PLL 入力クロック × 2
0	0	1	0	PLL クロック (PLLCLK) = PLL 入力クロック × 3
0	0	1	1	PLL クロック (PLLCLK) = PLL 入力クロック × 4
0	1	0	0	PLL クロック (PLLCLK) = PLL 入力クロック × 5
0	1	0	1	PLL クロック (PLLCLK) = PLL 入力クロック × 6
0	1	1	0	PLL クロック (PLLCLK) = PLL 入力クロック × 7
0	1	1	1	PLL クロック (PLLCLK) = PLL 入力クロック × 8
1	0	0	0	PLL クロック (PLLCLK) = PLL 入力クロック × 9
1	0	0	1	PLL クロック (PLLCLK) = PLL 入力クロック × 10
1	0	1	0	PLL クロック (PLLCLK) = PLL 入力クロック × 11
1	0	1	1	PLL クロック (PLLCLK) = PLL 入力クロック × 12
1	1	0	0	PLL クロック (PLLCLK) = PLL 入力クロック × 13
1	1	0	1	PLL クロック (PLLCLK) = PLL 入力クロック × 14
1	1	1	0	PLL クロック (PLLCLK) = PLL 入力クロック × 15
1	1	1	1	PLL クロック (PLLCLK) = PLL 入力クロック × 16

< 注意事項 >

PLL クロック (PLLCLK) の発振を許可するときは、必ず事前にこのビットを "0100" または "0011" に設定してください。「7.5.3 PLL クロック (PLLCLK) 生成のための通倍率」も参照してください。

[bit7 ~ bit4] : PTS3 ~ PTS0 (PLL クロック発振安定待ち時間選択ビット)

PLL クロック (PLLCLK) の発振安定待ち時間を選択します。

PTS3	PTS2	PTS1	PTS0	PLL クロック (PLLCLK) 発振安定待ち時間	16MHz 時
1	0	0	0	$2^9 \times$ メインクロック (MAINCLK) 周期	32.0 μ s
1	0	0	1	$2^{10} \times$ メインクロック (MAINCLK) 周期	64.0 μ s
1	0	1	0	$2^{11} \times$ メインクロック (MAINCLK) 周期	128.0 μ s
1	0	1	1	$2^{12} \times$ メインクロック (MAINCLK) 周期	256.0 μ s
1	1	0	0	$2^{13} \times$ メインクロック (MAINCLK) 周期	512.0 μ s
1	1	0	1	$2^{14} \times$ メインクロック (MAINCLK) 周期	1024.0 μ s
1	1	1	0	$2^{15} \times$ メインクロック (MAINCLK) 周期	2048.0 μ s
1	1	1	1	$2^{16} \times$ メインクロック (MAINCLK) 周期	4096.0 μ s

< 注意事項 >

- 表中の時間は、計算値です。実際の時間は、発振の状態により、若干の誤差を含みますので目安としてください。
- PTS3 ビットには常に "1" を書き込んでください。

[bit3 ~ bit0] : PDS3 ~ PDS0 (PLL 入力クロック分周選択ビット)

PLL 入力クロックを生成するための、メインクロック (MAINCLK) の分周比を選択します。

このビットは常に "0000" (PLL 入力クロック = メインクロック (MAINCLK)/ 1) を設定してください。それ以外は設定禁止です。

7.5 動作説明

クロック生成部の動作について説明します。

各クロックソースの動作説明とソースクロックの切替えについて説明します。

7.5.1 クロックソースの動作説明

各クロックソースについて発振制御を中心に説明します。

■ メインクロック (MAINCLK)

X0 端子, X1 端子 (メイン発振子) からの入力を使用して生成するクロックです。PLL クロックの生成にも使用します。

メインクロックを使用して, メインタイマが動作します。(「第 9 章 メインタイマ」参照。)

● 発振停止の条件

次の場合にメインクロック (MAINCLK) の発振が停止します。

- ストップモード中

上記の発振停止条件がすべて取り下げられた後, 発振安定待ち設定レジスタ (CSTBR) の MOSW3 ~ MOSW0 ビットに設定された発振安定待ち時間を経過すると, メインクロック (MAINCLK) の供給を開始します。

● 発振安定待ち時間の選択

メインクロック (MAINCLK) は発振が許可されると, 発振が安定するのを待ってから, クロックの供給を開始します。

メインクロック (MAINCLK) の発振安定待ち時間は, 発振安定待ち設定レジスタ (CSTBR) の MOSW3 ~ MOSW0 ビットで設定します。

MOSW3 ~ MOSW0 ビットは, $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると, 初期化され, 発振安定待ち時間が初期値に戻ります。その場合の初期値は, $2^1 \times$ メインクロック (MAINCLK) 周期です。

それ以外のリセットが発生しても, MOSW3 ~ MOSW0 ビットは初期化されません。

● 発振安定待ち時間の終了

発振安定待ち時間が終了すると, メインクロック (MAINCLK) が供給されます。

メインクロック (MAINCLK) が発振安定待ち時間中かどうかは, メインクロック (MAINCLK) の動作が許可されているときに, 以下の値で確認できます。

発振安定待ち状態の表示	発振安定状態の表示
クロックソース監視レジスタ (CMONR) の MCRDY=0	クロックソース監視レジスタ (CMONR) の MCRDY=1

■ PLL クロック (PLLCLK)

メインクロック (MAINCLK) を通倍して生成する高速のクロックです。

● 発振停止の条件

次のいずれかの場合に PLL クロック (PLLCLK) の発振が停止します。

- メインクロック (MAINCLK) の発振が停止中、または発振安定待ち時間中
(クロックソース設定レジスタ (CSELR) の PCEN ビット =0)
- ソースクロック (SRCCLK) に PLL クロック (PLLCLK) 以外を選択中に次の条件が揃った場合
 - クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビット =10 以外
 - クロックソース設定レジスタ (CSELR) の PCEN ビット =0

上記の発振停止条件がすべて取り下げられた後、PLL 設定レジスタ (PLLCR) の PTS3 ~ PTS0 ビットに設定された発振安定待ち時間を経過すると、PLL クロック (PLLCLK) の供給を開始します。

$\overline{\text{INIT}}$ 端子に "L" が入力された場合、またはイニシャライズリセット (INIT) から復帰した場合は、クロックソース設定レジスタ (CSELR) の PCEN ビットが "0" に初期化され、PLL クロック (PLLCLK) の発振は停止します。(初期化後、発振するにはクロックソース設定レジスタ (CSELR) の PCEN ビットを "1" にしてください。)

● 発振安定待ち時間の選択

PLL クロック (PLLCLK) は発振が許可されると、発振が安定するのを待ってから、クロックの供給を開始します。

PLL クロック (PLLCLK) の発振安定待ち時間は、PLL 設定レジスタ (PLLCR) の PTS3 ~ PTS0 ビットで設定します。

PTS3 ~ PTS0 ビットは、 $\overline{\text{INIT}}$ 端子に "L" が入力された場合、またはイニシャライズリセット (INIT) から復帰すると初期化され、発振安定待ち時間が初期値にも戻ります。その場合の初期値は、 $2^{16} \times$ メインクロック (MAINCLK) 周期です。

発振安定待ち時間を変更するには、PTS3 ~ PTS0 ビットを設定後、クロックソース設定レジスタ (CSELR) の PCEN ビットに "1" を書き込んでください。

● 発振安定待ち時間の終了

発振安定待ち時間が終了すると、PLL クロック (PLLCLK) が供給されます。

PLL クロック (PLLCLK) が発振安定待ち時間中かどうかは、PLL クロック (PLLCLK) の動作が許可されているときに、以下の値で確認できます。

発振安定待ち状態の表示	発振安定状態の表示
クロックソース監視レジスタ (CMONR) の PCRDY=0	クロックソース監視レジスタ (CMONR) の PCRDY=1

7.5.2 ソースクロック (SRCCLK) の切換え

ソースクロック (SRCCLK) の切換えについて説明します。

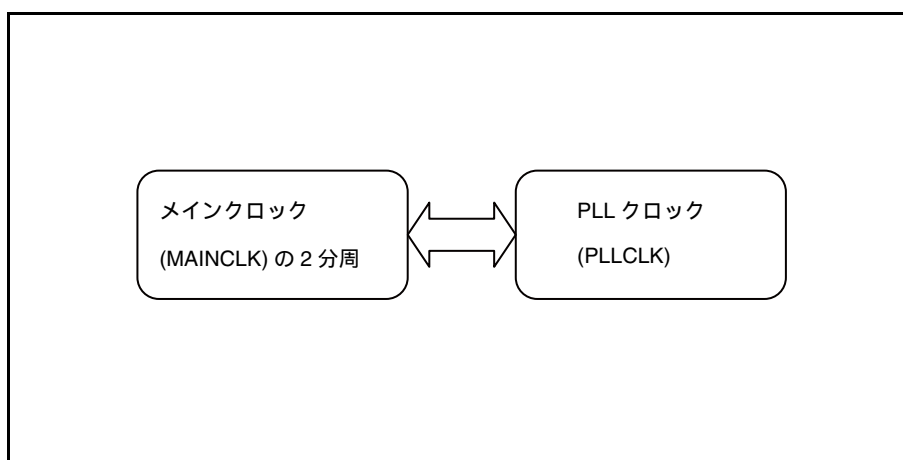
■ 概要

$\overline{\text{INIT}}$ 端子に "L" が入力された場合、またはイニシャライズリセット (INIT) が発生すると、ソースクロック (SRCCLK) の設定は初期化されて、ソースクロック (SRCCLK) はメインクロック (MAINCLK) の2分周になります。

プログラムの動作開始後は、クロックソース設定レジスタ (CSELR) のCKS1, CKS0ビットでソースクロック (SRCCLK) をクロックソースの中から選択できます。

ソースクロック (SRCCLK) の切換え方法を図 7.5-1 に示します。

図 7.5-1 ソースクロック (SRCCLK) 切換え方法



< 注意事項 >

ソースクロック (SRCCLK) を切り換えても、各クロックの発振許可設定 (クロックソース設定レジスタ (CSELR) の PCEN ビット, MCEN ビットの値) は保持されています。必要に応じて発振を停止してください。

■ 手順

● メインクロック(MAINCLK)の2分周からPLLクロック(PLLCLK)への切換え

ソースクロック (SRCCLK) をメインクロック (MAINCLK) の 2 分周から PLL クロック (PLLCLK) に切り換える場合は、次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、メインクロック (MAINCLK) の 2 分周が選択されていることを確認 (CKM1, CKM0=00 または 01)
2. PLL 設定レジスタ (PLLCR) で、PLL 通倍率と PLL クロック (PLLCLK) 発振安定待ち時間を設定
3. クロックソース設定レジスタ (CSELR) の PCEN ビットで、PLL クロック (PLLCLK) の発振を開始 (PCEN=1)
4. クロックソース監視レジスタ (CMONR) の PCRDY ビットで、PLL クロック (PLLCLK) の発振が安定したのを確認 (PCRDY=1)
5. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで、ソースクロック (SRCCLK) を PLL クロック (PLLCLK) に切換え (CKS1, CKS0=10)
6. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、ソースクロック (SRCCLK) が PLL クロック (PLLCLK) に切り換えられたことを確認 (CKM1, CKM0=10)

< 注意事項 >

PLLクロック (PLLCLK) の発振が有効になっている場合は、手順2.から4.は省略できます。

● PLLクロック(PLLCLK)からメインクロック(MAINCLK)の2分周への切換え

ソースクロック (SRCCLK) を PLL クロック (PLLCLK) からメインクロック (MAINCLK) の 2 分周に切り換える場合は、次のように設定してください。

1. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、PLL クロック (PLLCLK) が選択されていることを確認 (CKM1, CKM0=10)
2. クロックソース設定レジスタ (CSELR) の CKS1, CKS0 ビットで、ソースクロック (SRCCLK) をメインクロック (MAINCLK) の 2 分周に切換え (CKS1, CKS0=00)
3. クロックソース監視レジスタ (CMONR) の CKM1, CKM0 ビットで、ソースクロック (SRCCLK) がメインクロック (MAINCLK) の 2 分周に切り換えられたことを確認 (CKM1, CKM0=00)

7.5.3 PLL クロック (PLLCLK) 生成のための通倍率

PLL クロック (PLLCLK) の生成に関するクロック周波数と通倍率の計算方法について説明します。

PLL 入力クロック周波数

= (メイン発振周波数) / (PLL 設定レジスタ (PLLCR) の PDS ビットで設定した分周比)

PLL 通倍率

= (PLL 設定レジスタ (PLLCR) の ODS ビットで設定した分周比) × (PLL 設定レジスタ (PLLCR) の PMS ビットで設定した通倍率)

PLL マクロ発振クロック周波数

= (PLL 入力クロック周波数) × PLL 通倍率

PLL クロック (PLLCLK) 周波数

= (PLL 入力クロック周波数) × (PLL 設定レジスタ (PLLCR) の PMS ビットで設定した通倍率)

PLL クロック (PLLCLK) の設定例を表 7.5-1 に示します。

表 7.5-1 PLL クロック (PLLCLK) の設定例

メイン 発振 周波数	PLL 設定レジスタ (PLLCR)			PLL 入力 クロック 周波数	PLL 通倍率 ODS × PMS	PLL マクロ 発振クロック 周波数	PLL クロック 周波数
	PDS3 ~ PDS0	ODS1 ~ ODS0	PMS3 ~ PMS0				
16MHz	0000	01	0100	16MHz	10 通倍	160MHz	80MHz
16MHz	0000	10	0011	16MHz	12 通倍	192MHz	64MHz

< 注意事項 >

- メイン発振周波数 10MHz 以上 , PLL マクロ発振クロック周波数 150MHz ~ 200MHz の設定で使用してください。
- FUJITSU FLASH MCU Programmerを使用する場合 , メイン発振周波数 16MHz 固定となりますので , PLL 入力クロック , PLL 通倍率 , PLL マクロ発振クロック (PLL 発振を許可する場合) は , 必ず事前に以下のどちらかに設定してください。

PLL 入力クロック周波数	16MHz	16MHz
PLL 通倍率	10 通倍	12 通倍
PLL マクロ発振クロック周波数	160MHz	192MHz
PLL クロック周波数	80MHz	64MHz

DIVB (ベースクロック分周設定ビット) が 1 分周設定のとき。

第 8 章 クロック分周 制御部

内部クロックを生成するクロック分周制御部について説明します。

- 8.1 概要
- 8.2 内部クロック
- 8.3 構成
- 8.4 レジスタ
- 8.5 分周比

8.1 概要

クロック生成部から入力したソースクロック (SRCCLK) を分周して内部クロックを生成します。

クロック分周制御部は、ソースクロック (SRCCLK) を分周して、内部クロックを生成し、CPU やバス、周辺機能に供給します。

生成する内部クロックを表 8.1-1 に示します。これらのクロックを総称して内部クロックと言います。

表 8.1-1 生成する内部クロック

クロック名	生成元クロック
ベースクロック (BCLK)	ソースクロック (SRCCLK) の 1 ~ 8 分周
CPU クロック (CCLK)	ベースクロック (BCLK) の 1 分周 (非分周)
オンチップバスクロック (HCLK)	ベースクロック (BCLK) の 1 分周 (非分周)
外部出力クロック (TCLK)	ベースクロック (BCLK) の 1 ~ 8 分周
周辺クロック (PCLK)	ベースクロック (BCLK) の 1 ~ 16 分周

ソースクロック (SRCCLK) については、「第7章 クロック生成部」を参照してください。

8.2 内部クロック

各内部クロックについて説明します。

■ ベースクロック (BCLK)

すべての内部クロックの生成元になるクロックです。

分周設定レジスタ0 (DIVR0) のDIVB2 ~ DIVB0ビットでソースクロック (SRCCLK) を1 ~ 8分周して生成します。

デバイス全体の動作周波数を一括して低下させることができます。

次の各低消費電力モード時に停止します。

- メインタイマモード
- ストップモード

■ CPU クロック (CCLK)

本デバイスのCPU部に供給するクロックで、ベースクロック (BCLK) から生成します。

ベースクロック (BCLK) を分周せずに生成するので、動作周波数は常にベースクロック (BCLK) と同じです。

次の各低消費電力モード時に停止します。

- ドーズモード (停止期間中)
- スリープモード
- メインタイマモード
- ストップモード

クロック名	代表的な供給先
CPU クロック (CCLK)	CPU (命令実行部)

■ オンチップバスクロック (HCLK)

オンチップバスとそれに接続される各回路に供給されるクロックで、ベースクロック (BCLK) から生成します。

ベースクロック (BCLK) を分周せずに生成するので、動作周波数は常にベースクロック (BCLK) と同じです。

次の各低消費電力モード時に停止します。

- バススリープモード
- メインタイマモード
- ストップモード

クロック名	代表的な供給先
オンチップバスクロック (HCLK)	DMA コントローラ (DMAC) 外部バスインタフェース 内蔵 RAM

■ 外部出力クロック (TCLK)

外部 SYSCLK 端子に供給されるクロックです。

分周設定レジスタ 1 (DIVR1) の DIVT2 ~ DIVT0 ビットでベースクロック (BCLK) を 1 ~ 8 分周して生成します。

分周設定レジスタ 1 (DIVR1) の TSTP ビットを設定することで、バススリープモード中でオンチップバスアクセスを行っていないときは停止させることができます。

次の低消費電力モード時は、設定にかかわらず停止します。

- メインタイマモード
- ストップモード

クロック名	代表的な供給先
外部出力クロック (TCLK)	SYSCLK 端子

< 注意事項 >

- 外部出力クロック (TCLK) と同じ周波数が、SYSCLK 端子からバスクロック (SYSCLK) として出力されます。
- ベースクロック (BCLK) の分周比を奇数分周に設定 (分周設定レジスタ 1 (DIVR1) の DIVT2 ~ DIVT0 ビット) すると、SYSCLK 端子から出力されるバスクロック (SYSCLK) のデューティ比は 50% になりません。"H" レベルの出力期間が出力周期の 50% 以下となります。

■ 周辺クロック (PCLK)

周辺バスとそれに接続する各周辺機能に供給されるクロックです。

分周設定レジスタ 2 (DIVR2) の DIVP3 ~ DIVP0 ビットでベースクロック (BCLK) を 1 ~ 16 分周して生成します。

次の低消費電力モード時は、設定にかかわらず停止します。

- メインタイマモード
- ストップモード

クロック名	代表的な供給先
周辺クロック (PCLK)	周辺バス クロック制御部 リセット制御部 ウォッチドッグタイマ 割込みコントローラ 外部割込み, NMI 入力 遅延割込み 16 ビットリロードタイマ 各周辺機能

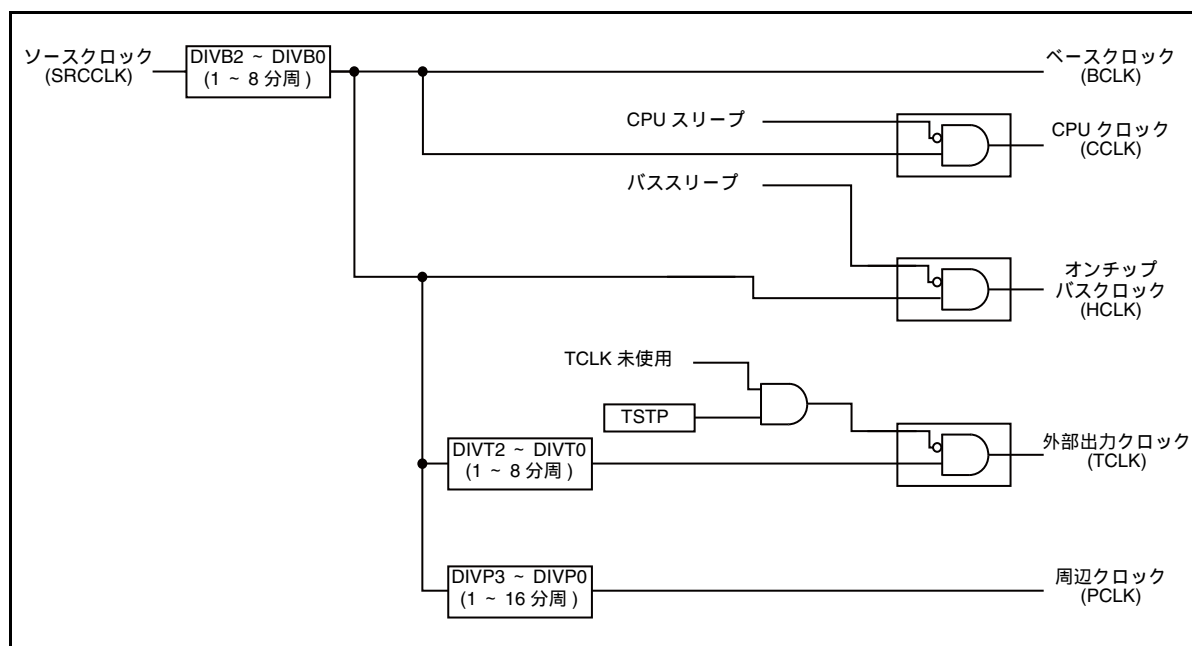
8.3 構成

クロック生成部から入力されたソースクロックを、レジスタに設定した値で分周し、各回路へ出力します。

■ クロック分周制御部のブロックダイアグラム

クロック分周制御部のブロックダイアグラムを図 8.3-1 に示します。

図 8.3-1 クロック分周制御部のブロックダイアグラム



8.4 レジスタ

クロック分周制御部で使用するレジスタの構成と機能について説明します。

■ クロック分周制御部のレジスタ一覧

クロック分周制御部のレジスタ一覧を表 8.4-1 に示します。

表 8.4-1 クロック分周制御のレジスタ一覧

レジスタ略称	レジスタ名	参照先
DIVR0	分周設定レジスタ 0	8.4.1
DIVR1	分周設定レジスタ 1	8.4.2
DIVR2	分周設定レジスタ 2	8.4.3

8.4.1 分周設定レジスタ 0 (DIVR0)

ベースクロック (BCLK) を生成するときのソースクロック (SRCCLK) の分周比を設定するレジスタです。

分周設定レジスタ 0 (DIVR0) のビット構成を図 8.4-1 に示します。

図 8.4-1 分周設定レジスタ 0 (DIVR0) のビット構成

bit	7	6	5	4	3	2	1	0
	DIVB2	DIVB1	DIVB0	予約	予約	予約	予約	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

[bit7 ~ bit5] : DIVB2 ~ DIVB0 (ベースクロック分周設定ビット)

ソースクロック (SRCCLK) からベースクロック (BCLK) を生成するときの分周比を設定します。

CPU クロック (CCLK) とオンチップバスクロック (HCLK) はベースクロック (BCLK) を分周しないで生成するので、ベースクロック (BCLK) と同じ周波数になります。

DIVB2	DIVB1	DIVB0	説明
0	0	0	1 分周 (非分周)
0	0	1	2 分周
0	1	0	3 分周
0	1	1	4 分周
1	0	0	5 分周
1	0	1	6 分周
1	1	0	7 分周
1	1	1	8 分周

[bit4 ~ bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読込み時	"0" が読み出されます。

[bit1, bit0] : 予約ビット

書込み時	必ず "1" を書き込んでください。
読込み時	"1" が読み出されます。

8.4.2 分周設定レジスタ 1 (DIVR1)

外部出力クロック (TCLK) を生成するときのベースクロック (BCLK) の分周比を設定するレジスタです。また、外部出力クロック (TCLK) の停止制御も行います。

分周設定レジスタ 1 (DIVR1) のビット構成を図 8.4-2 に示します。

図 8.4-2 分周設定レジスタ 1 (DIVR1) のビット構成

bit	7	6	5	4	3	2	1	0
	TSTP	DIVT2	DIVT1	DIVT0	予約	予約	予約	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	0	0	0	0

R/W : リード / ライト可能

[bit7] : TSTP (外部出力クロック停止許可ビット)

スリープモード時、クロック出力を停止する場合に、外部出力クロック (TCLK) も停止するかどうかを設定します。

停止を許可した場合は、外部出力クロック (TCLK) は供給されません。

書込み値	説明
0	外部出力クロック (TCLK) を停止しない。
1	外部出力クロック (TCLK) を停止する。

[bit6 ~ bit4] : DIVT2 ~ DIVT0 (外部出力クロック分周設定ビット)

ベースクロック (BCLK) から外部出力クロック (TCLK) を生成するときの分周比を設定します。

DIVT2	DIVT1	DIVT0	説明
0	0	0	1 分周 (非分周)
0	0	1	2 分周
0	1	0	3 分周
0	1	1	4 分周
1	0	0	5 分周
1	0	1	6 分周
1	1	0	7 分周
1	1	1	8 分周

[bit3 ~ bit0] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読込み時	"0" が読み出されます。

8.4.3 分周設定レジスタ 2 (DIVR2)

周辺クロック (PCLK) を生成するときのベースクロック (BCLK) の分周比を設定するレジスタです。

分周設定レジスタ 2 (DIVR2) のビット構成を図 8.4-3 に示します。

図 8.4-3 分周設定レジスタ 2 (DIVR2) のビット構成

bit	7	6	5	4	3	2	1	0
	DIVP3	DIVP2	DIVP1	DIVP0	予約	予約	予約	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	1	0	0	0	0

R/W : リード / ライト可能

[bit7 ~ bit4] : DIVP3 ~ DIVP0 (周辺クロック分周設定ビット)

ベースクロック (BCLK) から周辺クロック (PCLK) を生成するときの分周比を設定します。

DIVP3	DIVP2	DIVP1	DIVP0	説明
0	0	0	0	1 分周 (非分周)
0	0	0	1	2 分周
0	0	1	0	3 分周
0	0	1	1	4 分周
0	1	0	0	5 分周
0	1	0	1	6 分周
0	1	1	0	7 分周
0	1	1	1	8 分周
1	0	0	0	9 分周
1	0	0	1	10 分周
1	0	1	0	11 分周
1	0	1	1	12 分周
1	1	0	0	13 分周
1	1	0	1	14 分周
1	1	1	0	15 分周
1	1	1	1	16 分周

[bit3 ~ bit0] : 予約ビット

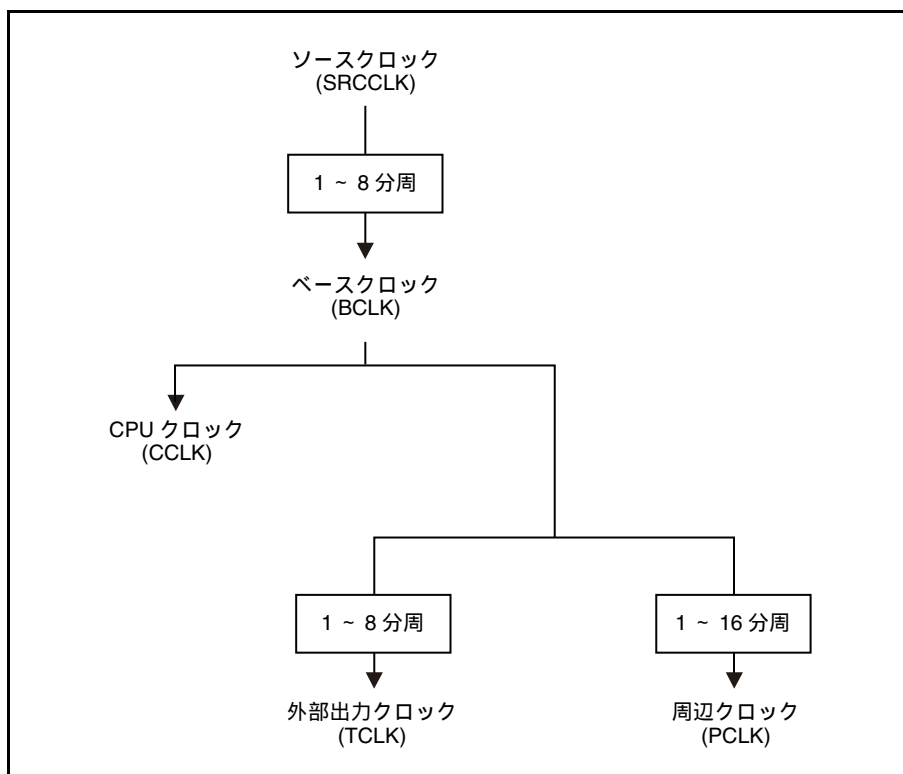
書込み時	必ず "0" を書き込んでください。
読み込み時	"0" が読み出されます。

8.5 分周比

クロック分周制御部は、各内部クロックに対して分周比を設定できます。

各内部クロックに対するソースクロックからの分周比を図 8.5-1 に示します。

図 8.5-1 各内部クロックに対するソースクロックからの分周比



■ 初期化後の分周比

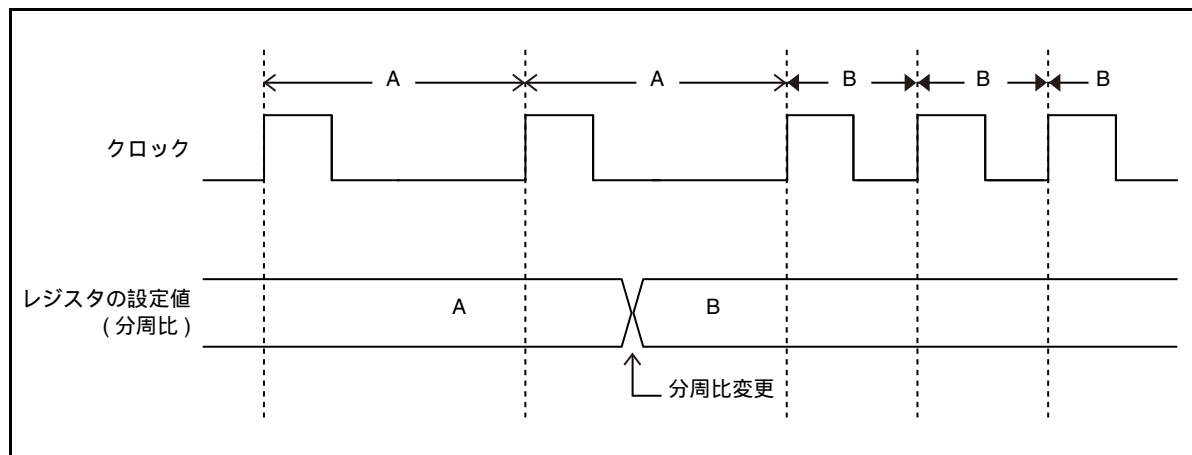
リセット発生後の内部クロックの分周を表 8.5-1 に示します。

表 8.5-1 リセット発生後の分周比

クロック名	初期化後の分周比
ベースクロック (BCLK)	ソースクロック (SRCCLK) の 1 分周 (非分周)
CPU クロック (CCLK)	ベースクロック (BCLK) の 1 分周 (非分周)
オンチップバスクロック (HCLK)	ベースクロック (BCLK) の 1 分周 (非分周)
外部出力クロック (TCLK)	ベースクロック (BCLK) の 2 分周
周辺クロック (PCLK)	ベースクロック (BCLK) の 4 分周

■ 分周比の変更

分周比の設定に変更があった場合は、設定値を変更した次のクロックの立上りエッジから変更した分周比が有効となります。



第 9 章 メインタイマ

メインタイマの機能と動作について説明します。

- 9.1 概要
- 9.2 構成
- 9.3 レジスタ
- 9.4 割込み
- 9.5 動作説明と設定手順例

9.1 概要

メインタイマは、メインクロック (MAINCLK) で動作するタイマです。
メインクロック (MAINCLK) と PLL クロック (PLLCLK) の発振安定待ち時間の生成に使用します。

メインタイマは、メインクロック (MAINCLK) の発振安定待ち時間や PLL クロック (PLLCLK) の発振安定待ち時間をカウントするタイマです。

メインクロック (MAINCLK) の発振が安定状態のときは、一定間隔で割込み要求を発生するインターバルタイマとしても使用できます。

このタイマは、次の場合にクリアされます。

- メインタイマ制御レジスタ (MTMCR) の MTC ビットに "1" を書き込んだとき
MTC ビットに "1" を書き込んでから、メインタイマがクリアされるまでは、メインタイマ制御レジスタ (MTMCR) の MTC ビットからは "1" が読み出されます。
- メインクロック (MAINCLK) の発振が停止しているとき
(クロックソース設定レジスタ (CSELR) の MCEN ビット =0 のとき)
- ストップモード時
- メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマを停止したとき (MTE=0)

メインタイマの動作が禁止されると、メインクロック (MAINCLK) と PLL クロック (PLLCLK) の発振安定待ち時間以外は、このタイマは停止します。

9.2 構成

メインタイマの構成を示します。

■ メインタイマのブロックダイアグラム

メインタイマのブロックダイアグラムは、「第7章 クロック生成部」の「メインクロック (MAINCLK) 生成部」を参照してください。

■ クロック

メインタイマで使用するクロックを表 9.2-1 に示します。

表 9.2-1 メインタイマで使用するクロック

クロック名	内容
動作クロック	メインクロック (MAINCLK)

9.3 レジスタ

メインタイマで使用するレジスタの構成と機能について説明します。

■ メインタイマのレジスタ一覧

メインタイマのレジスタ一覧を表 9.3-1 に示します。

表 9.3-1 メインタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
MTMCR	メインタイマ制御レジスタ	9.3.1

9.3.1 メインタイマ制御レジスタ (MTMCR)

メインタイマを制御するレジスタです。

メインタイマ制御レジスタ (MTMCR) のビット構成を図 9.3-1 に示します。

図 9.3-1 メインタイマ制御レジスタ (MTMCR) のビット構成

bit	7	6	5	4	3	2	1	0
	MTIF	MTIE	MTC	MTE	MTS3	MTS2	MTS1	MTS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	1	1

R/W : リード / ライト可能

< 注意事項 >

- このレジスタは、メインクロック (MAINCLK) が安定発振中のとき (クロックソース監視レジスタ (CMONR) の MCRDY ビット =1) のみ、書き換えられます。
ただし、MTIE ビットは、MCRDY ビットが "0" の場合も書き換えることができます。
- ソフトウェアリセットは、MTE ビットと MTC ビットの両方が "0" のときに、行ってください。ソフトウェアリセットについては、「第 11 章 リセット」を参照してください。

[bit7] : MTIF (メインタイマ割込みフラグビット)

メインタイマがオーバーフローしたことを示すフラグです。

メインタイマは次の場合にオーバーフローします。

- MTS3 ~ MTS0 ビットで設定した周期をカウントアップし終わったとき
- クロックソース設定レジスタ (CSELR)のMCENビットを"0"から"1"に書き換えた後、メインクロック (MAINCLK) の発振安定待ち時間が経過したとき
- ストップモードから復帰後、メインクロック (MAINCLK) の発振安定待ち時間が経過したとき

MTIE ビットに "1" が設定されているときに、このビットが "1" になると、メインタイマ割込み要求が発生します。

MTIF	読出し時	書込み時
0	オーバーフローは発生していません。	このビットを "0" にクリアします。
1	オーバーフローが発生しました。	無視されます。

メインタイマ割込み要求による DMA 転送が発生した場合も、このビットは "0" にクリアされます。

< 注意事項 >

- MTEビットでメインタイマの動作を禁止 (MTE=0) すると、メインタイマがクリアされます。
 - MTIE ビットが "0" に設定されていると、メインタイマ割込み要求による DMA 転送が発生した場合でも、このビットはクリアされません。
 - $\overline{\text{INIT}}$ 端子から "L" レベルの信号を入力して本デバイスをリセット後、再度 $\overline{\text{INIT}}$ 端子から "H" レベルの信号を入力した場合は、メインクロック (MAINCLK) の発振安定待ち時間が経過しても、このビットは "1" に変わりません。
 - このビットを "0" にクリアするタイミングと、オーバーフロー発生のタイミングが重なった場合は、オーバーフローの発生が優先され、このビットは "1" のままになります。
 - リードモディファイライト系命令では "1" が読み出されます。
 - 以下を行ったとき、MTC=0 となるまでメインタイマは動作します。
 - MTE=1 0 書換え時
 - MTC=1 書込み時
- 上記の動作中に、このビットが "1" になる可能性があります。

[bit6] : MTIE (メインタイマ割込み許可ビット)

メインタイマがオーバーフローしたとき (MTIF=1) にメインタイマ割込み要求を発生させるかどうかを設定します。

このビットに "1" が設定されている場合に、MTIF ビットが "1" になると、メインタイマ割込み要求が発生します。

書込み値	説明
0	メインタイマ割込み要求の発生を禁止します。
1	メインタイマ割込み要求の発生を許可します。

[bit5] : MTC (メインタイマクリアビット)

メインタイマをクリアします。

また、このビットを読み出すとメインタイマの動作状態を確認できます。

MTC	書込み時	読出し時
0	無視されます。	通常動作中です。
1	メインタイマをクリアします。	メインタイマのクリア中です。

< 注意事項 >

- リードモディファイライト系命令では "0" が読み出されます。
- PLL クロック (PLLCLK) の発振安定待ち中は、メインタイマをクリアしないでください。
- メインクロック (MAINCLK) の発振が安定している場合にのみ、このレジスタを書き換えることができます。そのため、次の条件が揃ったときは、このビットに "1" を書き込んでも、メインタイマをクリアできません。
 - メインクロック (MAINCLK) の発振中 (クロックソース設定レジスタ (CSELR) の MCEN ビット =1)
 - メインクロック (MAINCLK) の発振停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の MCRDY ビット =0)
- MTE ビットを "0" から "1" に書き換えるのと同時に、このビットに "1" を書き込むと、メインタイマをクリアしてから、メインタイマの動作が開始されます。
- このビットが "1" のときに、再度このビットに "1" を書き込まないでください。
- MTC ビットが "0" になるまでは、MTIF ビットが "1" になることがあります。

[bit4] : MTE (メインタイマ動作許可ビット)

メインタイマの動作を許可 / 禁止 (停止) します。

書込み値	説明
0	メインタイマの動作を禁止 (停止) します。
1	メインタイマの動作を許可します。

< 注意事項 >

- メインタイマの動作を禁止 (停止) すると、メインクロック (MAINCLK) と PLL クロック (PLLCLK) の発振安定待ち時間中以外は、メインタイマは停止します。
- メインタイマの動作を禁止 (停止) すると、メインタイマがクリアされます。メインタイマのクリア中は、MTC ビットから "1" が読み出されます。MTC ビットが "0" になるまでは、MTIF ビットが "1" になることがあります。
- PLL クロック (PLLCLK) の発振安定待ち中は、このビットを "1" から "0" に書き換えしないでください。
- MTC ビットが "1" のときは、このビットに "1" を書き込まないでください。

[bit3 ~ bit0] : MTS3 ~ MTS0 (メインタイマ周期選択ビット)

メインタイマのオーバーフロー周期を選択します。

このビットで設定した周期をカウントアップし終わると、メインタイマがオーバーフローします。

MTS3	MTS2	MTS1	MTS0	オーバーフロー周期	16MHz 時
1	0	0	0	$2^9 \times$ メインクロックの周期	32.0 μ s
1	0	0	1	$2^{10} \times$ メインクロックの周期	64.0 μ s
1	0	1	0	$2^{11} \times$ メインクロックの周期	128.0 μ s
1	0	1	1	$2^{12} \times$ メインクロックの周期	256.0 μ s
1	1	0	0	$2^{13} \times$ メインクロックの周期	512.0 μ s
1	1	0	1	$2^{14} \times$ メインクロックの周期	1024.0 μ s
1	1	1	0	$2^{15} \times$ メインクロックの周期	2048.0 μ s
1	1	1	1	$2^{16} \times$ メインクロックの周期	4096.0 μ s

MTS3 ビットには必ず "1" を書き込んでください。

< 注意事項 >

このビットは、MTE ビットでメインタイマを停止して (MTE=0) から変更してください。

9.4 割込み

メインタイマがオーバフローすると、メインタイマ割込み要求が発生します。

メインタイマで利用できる割込みについて表 9.4-1 に示します。

表 9.4-1 メインタイマの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
メインタイマ 割込み要求	MTMCR の MTIF=1	MTMCR の MTIE=1	MTMCR の MTIF ビットに "0" を書き込む

MTMCR : メインタイマ制御レジスタ (MTMCR)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする
 - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 12 章 割込みコントローラ」を参照してください。

9.5 動作説明と設定手順例

メインタイマの動作について説明します。また、動作状態を設定するための手順例も示します。

9.5.1 メインタイマの動作

■ 概要

メインタイマは、メインクロック (MAINCLK) の発振安定待ち時間や PLL クロック (PLLCLK) の発振安定待ち時間をカウントするタイマです。

メインクロック (MAINCLK) の発振が安定状態のときは、一定間隔で割込み要求を発生するインターバルタイマとしても使用できます。

メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマの動作を禁止すると (MTE=0)、メインクロック (MAINCLK) と PLL クロック (PLLCLK) の発振安定待ち時間以外は、このタイマは停止します。

■ 動作

メインタイマは次のように動作します。

1. メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマの動作を許可する (MTE=1)
2. メインタイマがメインクロック (MAINCLK) に同期して、カウントアップを開始する
メインタイマ制御レジスタ (MTMCR) の MTE ビットが "1" の間、カウントアップを継続します。
3. メインタイマ制御レジスタ (MTMCR) の MTS3 ~ MTS0 ビットで設定した値までカウントアップする

メインタイマ制御レジスタ (MTMCR) の MTIF ビットが "1" に変わります。

このとき、メインタイマ制御レジスタ (MTMCR) の MTIE ビットが "1" だと、メインタイマ割込み要求が発生します。

メインタイマ割込み要求をクリアするには、MTIF ビットに "0" を書き込んでください。MTIF ビットが "0" にクリアされます。

メインタイマの動作中に、メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマの動作を禁止 (MTE=0) すると、メインタイマはカウントを停止し、値がクリアされます。詳しくは、「タイマクリア」を参照してください。

■ タイマクリア

メインタイマは次の場合にクリアされます。

- メインタイマ制御レジスタ (MTMCR) の MTC ビットに "1" を書き込んだとき
MTC ビットに "1" を書き込んでから、メインタイマがクリアされるまでは、メインタイマ制御レジスタ (MTMCR) の MTC ビットからは "1" が読み出されます。

- メインクロック (MAINCLK) の発振が停止しているとき
(クロックソース設定レジスタ (CSELR) の MCEN ビット =0 のとき)
- ストップモード時
- メインタイマ制御レジスタ (MTMCR) の MTE ビットでメインタイマを停止したとき (MTE=0)

< 注意事項 >

メインタイマ制御レジスタ (MTMCR) は、メインクロック (MAINCLK) の発振が安定している場合にのみ書き換えられます。そのため、次の条件が揃ったときに、メインタイマ制御レジスタ (MTMCR) の MTC ビットに "1" を書き込んでも、メインタイマはクリアできません。

- メインクロック (MAINCLK) の発振中 (クロックソース設定レジスタ (CSELR) の MCEN ビット =1)
- メインクロック (MAINCLK) の発振停止中 / 発振安定待ち中 (クロックソース監視レジスタ (CMONR) の MCRDY ビット =0)

■ 割込みの設定手順

メインタイマ制御レジスタ (MTMCR) の設定手順例は次の通りです。

1. MTIE ビットでメインタイマ割込みを禁止 (MTIE=0)
2. MTIF ビットでメインタイマ割込みフラグをクリア (MTIF=0)
3. MTE ビットでメインタイマの動作を禁止 (MTE=0)
4. MTC ビットを読み出して、メインタイマのクリアが完了していることを確認 (MTC=0)

5. MTS3 ~ MTS0 ビットでタイマ周期を設定

6. MTIE ビットでメインタイマ割込みを許可 (MTIE=1)

7. MTE ビットで、メインタイマの動作を許可 (MTE=1)

MTS3 ~ MTS0 ビットで設定した周期が経過すると、メインタイマ割込み要求が発生し、割込み処理ルーチンへ移行します。

8. MTIF ビットで、メインタイマ割込みフラグをクリア (MTIF=0)

9. MTIF ビットを 1 回読み出して、メインタイマ割込みフラグのクリアを完了させる。

RETI 命令で割込み処理ルーチンから、通常のプログラム処理動作へ復帰します。

< 注意事項 >

MTIF ビットに "0" を書き込んでもメインタイマ割込みフラグはすぐにクリアされません。MTIF ビットを 1 回読み出すことでフラグクリア完了後、RETI 命令で復帰させることができます。

9.5.2 ストップモードへの遷移について

ストップモードへ遷移する前には、メインタイマ割込み要求の発生を禁止する必要があります。

ストップモードへの遷移は次の手順で行ってください。

1. クロックソース設定レジスタ (CSELR) の PCEN ビットで、PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
2. メインタイマ制御レジスタ (MTMCR) の MTIE ビットで、メインタイマ割込み要求の発生を禁止 (MTIE=0)
3. メインタイマ制御レジスタ (MTMCR) の MTE ビットで、メインタイマの動作を禁止 (MTE=0)
4. メインタイマ制御レジスタ (MTMCR) の MTC ビットを読み出して、メインタイマがクリア中でないことを確認 (MTC=0)
5. メインタイマ制御レジスタ (MTMCR) の MTIF ビットで、メインタイマ割込みフラグをクリア (MTIF=0)
6. 発振安定待ち設定レジスタ (CSTBR) の MOSW3 ~ MOSW0 ビットでメインクロック (MAINCLK) の発振安定待ち時間を設定
7. ストップモードへ遷移

< 注意事項 >

ストップモードへ遷移する前に、必ず PLL クロック (PLLCLK) の発振を停止してください。

第 10 章 低消費電力モード

低消費電力モードの機能と動作について説明します。

- 10.1 概要
- 10.2 構成
- 10.3 レジスタ
- 10.4 動作説明と設定手順例
- 10.5 使用上の注意

10.1 概要

本製品は、消費電力を低減するために低消費電力モードを利用することができます。

■ 概要

本製品では次のように消費電力を制御することができます。

- クロック制御
 - クロック分周
各動作クロックの分周比を変更することで、動作周波数を落とすことができます。
 - クロック停止
特定のクロックを指定して停止させることができます。
- ドーズモード
設定した動作率で CPU を繰り返し間欠動作させるモードです。
- スリープモード
周辺機能のみを動作させるモードです。次の 2 種類の中から選択できます。
 - CPU スリープモード
CPU の動作を停止させるモードです。
 - バススリープモード
CPU とオンチップバスの動作を停止させるモードです。
- スタンバイモード
次の 2 種類の中から選択できます。
 - メインタイマモード
メインクロック発振以外の動作をすべて停止できるモードです。
 - ストップモード
すべてのクロック発振と動作を停止させるモードです。

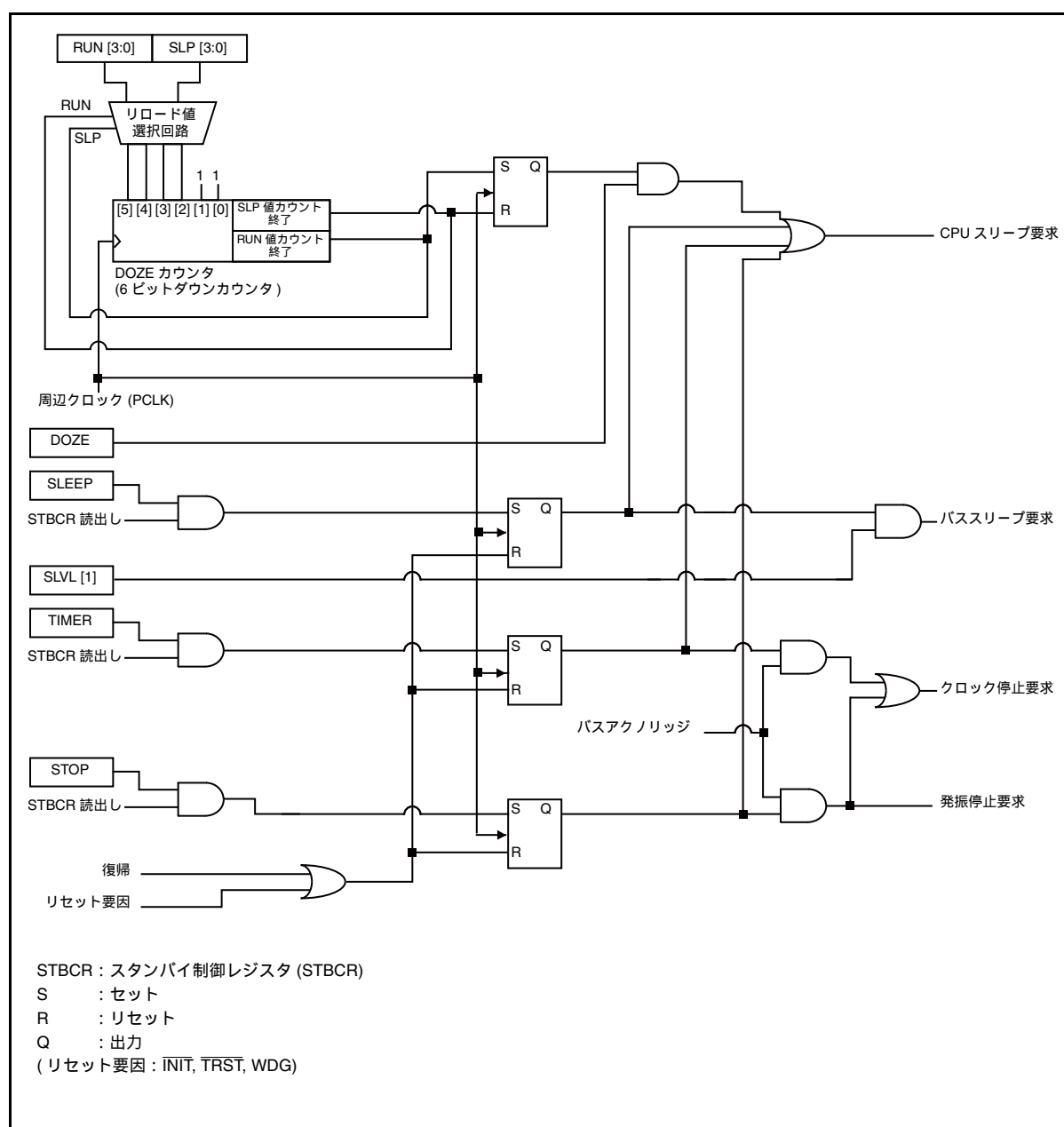
10.2 構成

消費電力制御部の構成を示します。

■ 消費電力制御部のブロックダイアグラム

消費電力制御部のブロックダイアグラムを図 10.2-1 に示します。

図 10.2-1 消費電力制御部のブロックダイアグラム



- スタンバイ制御レジスタ (STBCR)

低消費電力モードを制御するレジスタです。

- スリープレート設定レジスタ (SLPRR)
ドーズモード時の、動作状態 (RUN 状態) の比率およびスリープ状態の比率 (スリープレート) を設定するレジスタです。
- リロード値選択回路
スリープレート設定レジスタ (SLPRR) に設定された動作状態 (RUN 状態) の比率とスリープ状態の比率 (スリープレート) のどちらをリロードするか選択する回路です。

■ クロック

消費電力制御部で使用するクロックを表 10.2-1 に示します。

表 10.2-1 消費電力制御部で使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-

10.3 レジスタ

消費電力を制御するために必要なレジスタの構成と機能について説明します。

■ 消費電力を制御するレジスタ一覧

消費電力を制御するレジスタの一覧を表 10.3-1 に示します。

表 10.3-1 消費電力を制御するレジスタ一覧

レジスタ略称	レジスタ名	参照先
STBCR	スタンバイ制御レジスタ	10.3.1
SLPRR	スリープレート設定レジスタ	10.3.2

10.3.1 スタンバイ制御レジスタ (STBCR)

低消費電力モードを制御するレジスタです。

スタンバイ制御レジスタ (STBCR) のビット構成を図 10.3-1 に示します。

図 10.3-1 スタンバイ制御レジスタ (STBCR) のビット構成

bit	7	6	5	4	3	2	1	0
	STOP	TIMER	SLEEP	DOZE	予約	予約	SLVL1	SLVL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	1

R/W : リード / ライト可能

[bit7] : STOP (ストップモード許可ビット)

ストップモードへの移行を許可するビットです。

書込み値	説明
0	ストップモードへ移行しません。
1	ストップモードへ移行します。

このビットで、ストップモードへの移行を許可後、このレジスタを読み出すとストップモードへ移行します。

ストップモードからの復帰要因が発生すると、このビットは "0" にクリアされます。ストップモードからの復帰要因については、「10.4.5 ストップモード時の動作」の「ストップモードからの復帰」を参照してください。

[bit6] : TIMER (メインタイマモード / 時計モード許可ビット)

メインタイマモード / 時計モードへの移行を許可するビットです。

書込み値	説明
0	メインタイマモードへ移行しません。
1	メインタイマモードへ移行します。

このビットで、メインタイマモードへの移行を許可後、このレジスタを読み出すとメインタイマモードに移行します。

ただし、STOPビットでストップモードへの移行を許可 (STOP=1) した場合は、このビットに "1" を書き込んでメインタイマモードへの移行を許可しても、このビットの設定は無視されます。

メインタイマモードからの復帰要因が発生すると、このビットは "0" にクリアされます。メインタイマモードからの復帰要因については、「10.4.4 メインタイマモード時の動作」の「メインタイマモードからの復帰」を参照してください。

[bit5] : SLEEP (スリープモード許可ビット)

スリープモードへの移行を許可するビットです。

書込み値	説明
0	スリープモードへ移行しません。
1	スリープモードへ移行します。

このビットで、スリープモードへの移行を許可後、このレジスタを読み出すとスリープモードへ移行します。

ただし、STOP ビット /TIMER ビットでストップモード / メインタイムモードへの移行を許可 (STOP/TIMER=1) した場合は、このビットに "1" を書き込んでスリープモードへの移行を許可しても、このビットの設定は無視されます。

スリープモードからの復帰要因が発生すると、このビットは "0" にクリアされます。スリープモードからの復帰要因については、「10.4.3 スリープモード時の動作」の「スリープモードからの復帰」を参照してください。

[bit4] : DOZE (ドーズモード許可ビット)

ドーズモードへの移行を許可するビットです。

書込み値	説明
0	ドーズモード (CPU 間欠スリープ) へ移行しません。
1	CPU がドーズモード (CPU 間欠スリープ) へ移行します。

SLVL1 ビットが "0" に設定されている場合は、ドーズモードからの復帰要因が発生すると、このビットは "0" にクリアされます。ドーズモードからの復帰要因については、「10.4.2 ドーズモード時の動作」の「ドーズモードからの復帰」を参照してください。

[bit3, bit2] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit1, bit0] : SLVL1, SLVL0 (スタンバイレベル設定ビット)

このビットは低消費電力モードごとに値の意味が異なります。

低消費電力モード	SLVL1	SLVL0	説明
ストップモード / メインタイマモード	0	0	ストップモード/メインタイマモード/時計モード時に各端子からの出力を Hi-Z にしません。
	0	1	
	1	0	ストップモード/メインタイマモード/時計モード時に各端子からの出力を Hi-Z にします。
	1	1	
スリープモード	0	0	スリープモード移行時, CPU スリープモード (CPU の動作のみ停止) に移行します。
	0	1	
	1	0	スリープモード移行時, バススリープモード (CPU, オンチップバスの動作を停止) に移行します。*
	1	1	
ドーズモード	0	0	割込み要求発生時, DOZE ビットを "0" にクリアします。
	0	1	
	1	0	割込み要求発生時, DOZE ビットを "0" にクリアしません。
	1	1	

* DMA 転送中は, オンチップバスは動作します。

< 注意事項 >

- ストップモード/メインタイマモード設定時に出力を Hi-Z にできる端子は,「付録 D CPU の状態における端子状態」を参照してください。
- SLVL0 ビットの設定値は動作に影響ありません。

10.3.2 スリープレート設定レジスタ (SLPRR)

ドーズモード時の、動作状態 (RUN 状態) の比率およびスリープ状態の比率 (スリープレート) を設定するレジスタです。

スリープレート設定レジスタ (SLPRR) のビット構成を図 10.3-2 に示します。

図 10.3-2 スリープレート設定レジスタ (SLPRR) のビット構成

bit	7	6	5	4	3	2	1	0
	RUN3	RUN2	RUN1	RUN0	SLP3	SLP2	SLP1	SLP0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

ドーズモード中に、このレジスタを書き換えた場合は、次の停止 / 動作起動タイミングで書き換えた設定が反映されます。

[bit7 ~ bit4] : RUN3 ~ RUN0 (動作周期ビット)

ドーズモード時に CPU が動作する期間を設定します。

このビットに設定した値から CPU の動作期間が次のように算出されます。

$$(\text{このビットの値} + 1) \times 4 \times t_{\text{CYCP}}$$

t_{CYCP} : 周辺クロック (PCLK) の周期

動作期間についての詳細は、「10.4.2 ドーズモード時の動作」を参照してください。

[bit3 ~ bit0] : SLP3 ~ SLP0 (スリープ状態周期ビット)

ドーズモード時のスリープ状態の期間を設定します。

このビットに設定した値からスリープ状態の期間が次のように算出されます。

(このビットの値 +1) × 4 × t_{CYCP}

t_{CYCP} : 周辺クロック (PCLK) の周期

スリープ状態の期間についての詳細は、「10.4.2 ドーズモード時の動作」を参照してください。

< 注意事項 >

- CPU がスリープ要求を受け付けるときに、遅延が生じる場合があります。その場合は、上記の計算式で得られた期間よりもスリープ期間が短くなります。
 - スリープ状態の期間が短い場合、CPU の動作状況によっては、スリープ状態にならない場合があります。
-

10.4 動作説明と設定手順例

低消費電力モードの動作や使用方法と設定手順例について説明します。

■ 概要

動作クロックの分周比を変更したり、動作クロックを停止させて消費電力を低減したりすることができます。

また、次の低消費電力モードを使用することができます。

- ドーズモード

設定した動作率で CPU を繰り返し間欠動作させるモードです。

設定した期間で CPU の動作と停止を交互に繰り返すことで、CPU の平均消費電力を低減できます。

- スリープモード

CPU やオンチップバスを停止させ、周辺機能のみを動作させるモードです。

次の 2 種類の中から選択できます。

- CPU スリープモード

CPU の動作を停止させるモードです。

- バススリープモード

CPU とオンチップバスの動作を停止させるモードです。

- スタンバイモード

デバイス全体を停止させ、待機状態にするモードです。

次の 2 種類の中から選択できます。

- メインタイマモード

- ストップモード

10.4.1 クロック制御時の動作

本製品に内蔵されている各動作クロックを調整することで消費電力と CPU の処理能力の最適化を行うことができます。

■ 概要

クロックを制御して消費電力を低減するには、次の 2 つの方法があります。

- クロック分周

各動作クロックの分周比を変更することで、動作周波数を落とすことができます。

- クロック停止

特定のクロックを指定して停止させることができます。

■ クロック分周

各動作クロックの分周比を変更することで消費電力を低減できます。動作クロックの分周比は個別に設定することができます。

各動作クロックと設定可能な分周比を表 10.4-1 に示します。

表 10.4-1 動作クロックと設定可能な分周比

動作クロック	分周比
ベースクロック (BCLK)	ソースクロック (SRCCLK) の 1 ~ 8 分周
外部出力クロック (TCLK)	ベースクロック (BCLK) の 1 ~ 8 分周
周辺クロック (PCLK)	ベースクロック (BCLK) の 1 ~ 16 分周

< 注意事項 >

分周方法や条件は動作クロックによって異なります。動作クロックの分周については、「第 8 章 クロック分周制御部」を参照してください。

■ クロックの停止

使用しない動作クロックを停止することで、消費電力を低減することができます。

停止できる動作クロックと供給 / 停止タイミングの対応を表 10.4-2 に示します。

表 10.4-2 停止できる動作クロックと供給 / 停止タイミングとの対応

動作クロック	供給 / 停止タイミング
外部出力クロック (TCLK)	バススリープ中

外部出力クロック (TCLK) の停止を許可すると、外部バスを使用したアクセスが行われない間などは、自動的に外部出力クロック (TCLK) の供給を停止します。

アクセスが行われると、自動的に供給を再開し、アクセス終了後に再度、供給を停止します。外部出力クロック (TCLK) の停止条件については、「第 8 章 クロック分周制御部」を参照してください。

10.4.2 ドーズモード時の動作

CPU の平均消費電力を低減させるために、CPU を間欠動作させるモードです。

■ 概要

ドーズモードを利用すると、設定した期間で CPU を動作させたり、停止させたりできるので、CPU の平均消費電力を低減できます。処理負荷に応じて、スリープレートを変更し、消費電力を低減させながら処理能力を維持してください。

■ 周期の設定

スリープレート設定レジスタ (SLPRR) の RUN3 ~ RUN0 ビットに、CPU の動作期間を、SLP3 ~ SLP0 ビットにスリープ状態の期間を設定すると、設定した値から次の計算式で周期が算出されます。

$$(\text{RUN}+1) \times 4 \times t_{\text{CYCP}} + (\text{SLP}+1) \times 4 \times t_{\text{CYCP}}$$

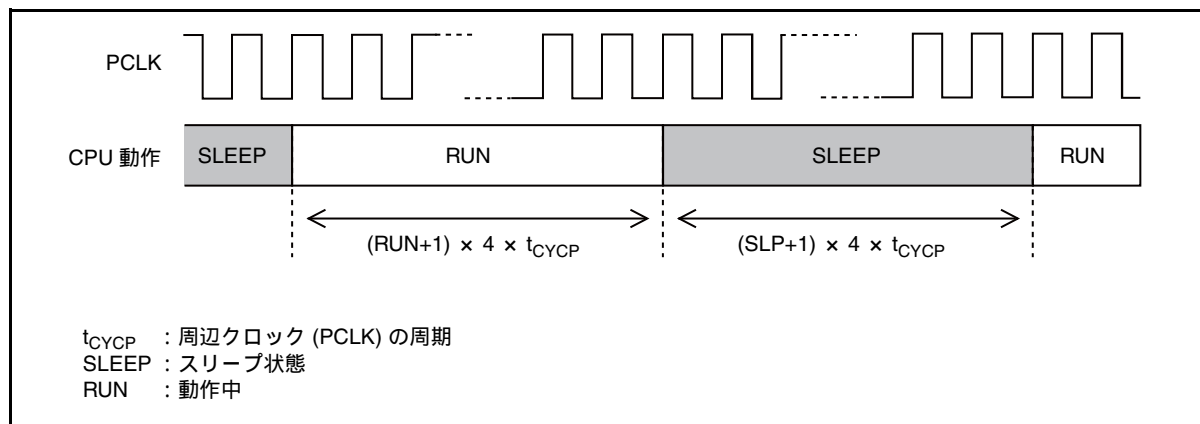
RUN : RUN3 ~ RUN0 ビットの値

SLP : SLP3 ~ SLP0 ビットの値

t_{CYCP} : 周辺クロック (PCLK) の周期

それぞれの期間について図 10.4-1 に示します。

図 10.4-1 動作期間とスリープ状態の期間



< 注意事項 >

- 上記の計算式は、CPU がスリープ要求を受け付けるときの遅延時間を含みません。そのため、誤差が生じる場合があります。
- スリープ状態の期間が短い場合、CPU の動作状況によっては、スリープ状態にならない場合があります。

■ 移行

周期を設定後、スタンバイ制御レジスタ (STBCR) の DOZE ビットに "1" を書き込むと、ドーズモードへ移行し、スリープレート設定レジスタ (SLPRR) の設定にしたがって CPU が動作と停止を繰り返す間欠動作を開始します。

ドーズモードから復帰する場合は、スタンバイ制御レジスタ (STBCR) の DOZE ビットに "0" を書き込んでください。

< 注意事項 >

ドーズモード中にスリープレート設定レジスタ (SLPRR) を書き換えた場合は、次の停止 / 動作移行タイミングで書き換えた設定が反映されます。

■ ドーズモードからの復帰

次のいずれかの場合に CPU がドーズモードから復帰します。

- 本デバイスがリセットされた
- スタンバイ制御レジスタ (STBCR) の DOZE ビットに "0" が書き込まれた
- スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" のときに、割込み要求が発生した

上記以外の場合は、設定が維持されるためスリープモード、メインタイマモード、ストップモードからの復帰後も、ドーズモードを利用できます。

10.4.3 スリープモード時の動作

イベント待ち状態での消費電力を低減させるために利用するモードです。

スリープモードになると、復帰要因が発生するまでスリープモードを継続し、復帰要因が発生すると 2 ~ 3 クロックの周期でプログラム動作へ復帰できます。

■ 概要

スリープモードを利用すると、CPU とオンチップバスを停止させ周辺機能のみが動作するため、イベント待ち状態での消費電力を大幅に低減することができます。

スリープモードには次の 2 つのモードが用意されています。

- CPU スリープモード

CPU のみを停止させるモードです。

DMA コントローラ (DMAC) やオンチップバスへのクロックは供給されているので、動作を継続できます。

バススリープモードより電力を消費しますが、DMA 転送要求に早く対応できます。

- バススリープモード

CPU とオンチップバスの動作を停止させるモードです。

DMA コントローラ (DMAC) やオンチップバスへのクロック供給も停止します。クロックの停止については、「第 8 章 クロック分周制御部」を参照してください。

ただし、DMA 転送要求が受け付けられると、一時的に DMA コントローラ (DMAC) やオンチップバスへのクロック供給が再開し、DMA 転送を行うことができます。

DMA 転送が終了すると、クロックの供給が再度停止します。

分周設定レジスタ 1 (DIVR1) の TSTP ビットで、バススリープモード時に外部出力クロック (TCLK) の供給を停止するかどうかを設定できます。

分周設定レジスタ 1 (DIVR1) については、「8.4.2 分周設定レジスタ 1 (DIVR1)」を参照してください。

CPU スリープモード時より、DMA 転送要求に対する反応が遅れますが、消費電力を低減できます。

■ 設定

スリープモードへ移行する前に必要な設定を表 10.4-3 に示します。

表 10.4-3 設定レジスタ

レジスタ	ビット	説明
分周設定レジスタ 1 (DIVR1)	TSTP	外部出力クロック (TCLK) を供給するかどうかを設定 0= 供給する 1= 停止する
スタンバイ制御レジスタ (STBCR)	SLVL1	CPU スリープモードへ移行するかバススリープモードへ移行するかを設定 0=CPU スリープモード 1= バススリープモード

< 注意事項 >

分周設定レジスタ 1 (DIVR1) の TSTP ビットで外部出力クロック (TCLK) の供給を停止 (TSTP=1) した場合は、外部 DMA 転送要求による DMA 転送の起動はできません。

■ 移行

次の手順を実施するとスリープモードへ移行します。

- スタンバイ制御レジスタ (STBCR) の STOP ビットに "0", TIMER ビットに "0", SLEEP ビットに "1" を書き込む
- スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

スリープモードに移行する前に CPU が次の命令を実行しないよう、例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

LDI	#value_of_sleep, R0	; SLEEP ビット =1, SLVL1, SLVL0 ビット設定
LDI	#_STBCR, R12	;
STB	R0, @R12	; 書込み
LDUB	@R12, R0	; 読出し (スリープモードへ移行)
MOV	R0, R0	; ダミー処理
NOP		; ダミー処理
NOP		; ダミー処理

■ スリープモードからの復帰

次のいずれかの場合に CPU がスリープモードから復帰します。

- 本デバイスがリセットされた
- NMI 要求が発生した
- 割込み要求が発生した (割込みレベルが "31" 以外の割込み要求)

割込みレベルについては、「第 12 章 割込みコントローラ」を参照してください。

< 注意事項 >

- 割込み要求でスリープモードから復帰したときに、CPU が割込み要求を受け付けなかった場合は、スリープモードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は、割込み処理ルーチンへ分岐します。
- バススリープモードでは、DMA 転送要求が発生すると、オンチップバスクロック (HCLK) を一時的に復帰させ、DMA 転送を行います。また、DMA 転送が終了するとオンチップバスクロック (HCLK) を再度停止します。

10.4.4 メインタイマモード時の動作

メインタイマモードは、スタンバイモードの 1 つとして分類されます。スタンバイモードは、デバイス全体を停止させて、待機状態にするモードです。そのため、外部イベントの発生待ち状態での消費電力を大幅に低減できます。ただし、許可されたクロックの発振は動作するため、ストップモードほどは消費電力は低減できません。

メインタイマモード時は、CPU のソースクロック (SRCCLK) としてメインクロック (MAINCLK) の発振を選択してください。

メインタイマモードになると、復帰要因が発生するまでメインタイマモードを継続し、復帰要因が発生すると 2 ~ 3 クロックの周期でプログラム動作へ復帰できます。

■ 概要

メインタイマモードでは、CPU のソースクロック (SRCCLK) としてメインクロック (MAINCLK) の発振が許可されているため、メインタイマのカウント動作が実行されます。

■ 設定

メインタイマモードへ移行する前に必要な設定を表 10.4-4 に示します。

表 10.4-4 設定レジスタ

レジスタ	ビット	説明
クロックソース 設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にメインクロック (MAINCLK) を選択 (CKS1, CKS0=00 または 01)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
スタンバイ制御 レジスタ (STBCR)	SLVL1	メインタイマモード時の端子から出力信号を設定 0= メインタイマモードになる前の状態を保持 1=Hi-Z

< 注意事項 >

メインタイマモードに移行する時点で、ドーズモードを設定しているときに、スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると、メインタイマモードからの復帰時に DOZE ビット "0" にクリアされ、ドーズモードが終了します。

■ 移行

次の手順を実施するとメインタイマモードへ移行します。

1. スタンバイ制御レジスタ (STBCR) の STOP ビットに "0", TIMER ビットに "1", SLEEP ビットに "0" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

メインタイマモードに移行する前に CPU が次の命令を実行しないよう、例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

```
LDI    #value_of_timer, R0    ; TIMER ビット =1, SLVL1, SLVL0 ビット設定
LDI    #_STBCR, R12           ;
STB     R0, @R12              ; 書き込み
LDUB    @R12, R0              ; 読出し (メインタイマモードへ移行)
MOV     R0, R0                ; ダミー処理
NOP                                           ; ダミー処理
NOP                                           ; ダミー処理
```


■ メインタイマモードからの復帰

次のいずれかの場合に CPU がメインタイマモードから復帰します。

- 本デバイスがリセットされた
- 以下の割込み要求が発生した（割込みレベルが "31" 以外の割込み要求）
 - メインタイマ割込み
 - 外部割込み

割込みレベルについては、「第 12 章 割込みコントローラ」を参照してください。

< 注意事項 >

割込み要求でメインタイマモードから復帰したときに，CPU が割込み要求を受け付けなかった場合は，メインタイマモードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は，割込み処理ルーチンへ分岐します。

10.4.5 ストップモード時の動作

ストップモードは，スタンバイモードの 1 つとして分類されます。スタンバイモードは，デバイス全体を停止させて，待機状態にするモードです。そのため，外部イベントの発生待ち状態での消費電力を大幅に低減できます。

ストップモードは，すべてのクロックの発振を停止し，消費電力を最小にするモードです。

■ 概要

ストップモードを利用すると，すべてのクロックの発振が停止するため消費電力を最小にできます。

ただし，復帰要求が発生してからプログラム動作へ復帰するまでには発振安定待ち時間を必要とします。

■ 設定

ストップモードへ移行する前に必要な設定を表 10.4-5 に示します。

表 10.4-5 設定レジスタ

レジスタ	ビット	説明
クロックソース設定レジスタ (CSELR)	CKS1, CKS0	CPU のソースクロック (SRCCLK) にメインクロック (MAINCLK) を選択 (CKS1, CKS0=00/01)
	PCEN	PLL クロック (PLLCLK) の発振を停止 (PCEN=0)
スタンバイ制御レジスタ (STBCR)	SLVL1	ストップモード時の端子から出力信号を設定 0= ストップモードになる前の状態を保持 1=Hi-Z

< 注意事項 >

ストップモードに移行する時点で、ドーズモードを設定しているときに、スタンバイ制御レジスタ (STBCR) の SLVL1 ビットが "0" に設定されていると、ストップモードからの復帰時に DOZE ビット "0" にクリアされ、ドーズモードが終了します。

■ 移行

次の手順を実施するとストップモードへ移行します。

1. スタンバイ制御レジスタ (STBCR) の STOP ビットに "1", TIMER ビットに "0", SLEEP ビットに "0" を書き込む
2. スタンバイ制御レジスタ (STBCR) を読み出す

< 注意事項 >

ストップモードに移行する前に CPU が次の命令を実行しないよう、例) のように手順 2 の次の命令で読み出した値を使用するダミー処理を行ってください。

例)

```
LDI    #value_of_stop, R0    ; STOP ビット =1, SLVL1, SLVL0 ビット設定
LDI    #_STBCR, R12          ;
STB     R0, @R12              ; 書込み
LDUB    @R12, R0              ; 読出し (ストップモードへ移行)
MOV     R0, R0                ; ダミー処理
NOP                                           ; ダミー処理
NOP                                           ; ダミー処理
```

■ ストップモードからの復帰

次のいずれかの場合に CPU がストップモードから復帰します。

- 本デバイスがリセットされた
- NMI 要求が発生した
- 以下の割込み要求が発生した (割込みレベルが "31" 以外の割込み要求)
外部割込み

割込みレベルについては、「第 12 章 割込みコントローラ」を参照してください。

< 注意事項 >

割込み要求でストップモードから復帰したときに、CPU が割込み要求を受け付けなかった場合は、ストップモードになった次の命令からプログラムが実行されます。CPU が割込み要求を受け付けた場合は、割込み処理ルーチンへ分岐します。

10.5 使用上の注意

低消費電力モードを使用する際は、次の点に注意してください。

- 次の低消費電力モードに切り換えるときに、割込み要求が発生していると低消費電力モードへ移行できません。
 - ドーズモード
 - スリープモード
 - メインタイマモード
 - ストップモード
- 例として、次の場合はスリープモードにはなりません。割込み要求をクリアしてからスリープモードへ移行してください。
 - スリープモード中、CPUが受け付けられない割込み要求によりスリープモードから復帰した後で、割込み要求をクリアせずに再びスリープモードへの移行動作を行った。

第 11 章 リセット

リセットの機能と動作について説明します。

- 11.1 概要
- 11.2 構成
- 11.3 端子
- 11.4 レジスタ
- 11.5 動作説明
- 11.6 動作状態と遷移

11.1 概要

内部回路を初期化するためのリセットについて説明します。

■ 概要

本デバイスには、次の 4 種類のリセット要因があります。

- $\overline{\text{TRST}}$ 端子入力
- $\overline{\text{INIT}}$ 端子入力
- ウォッチドッグリセット 0
- ソフトウェアリセット

リセット要因が発生すると、すべてのプログラムと内部回路の動作を停止して、状態を初期化します。

この状態をリセット状態とよびます。

リセット要因が解除されると、プログラムおよびハードウェア動作が開始されます。

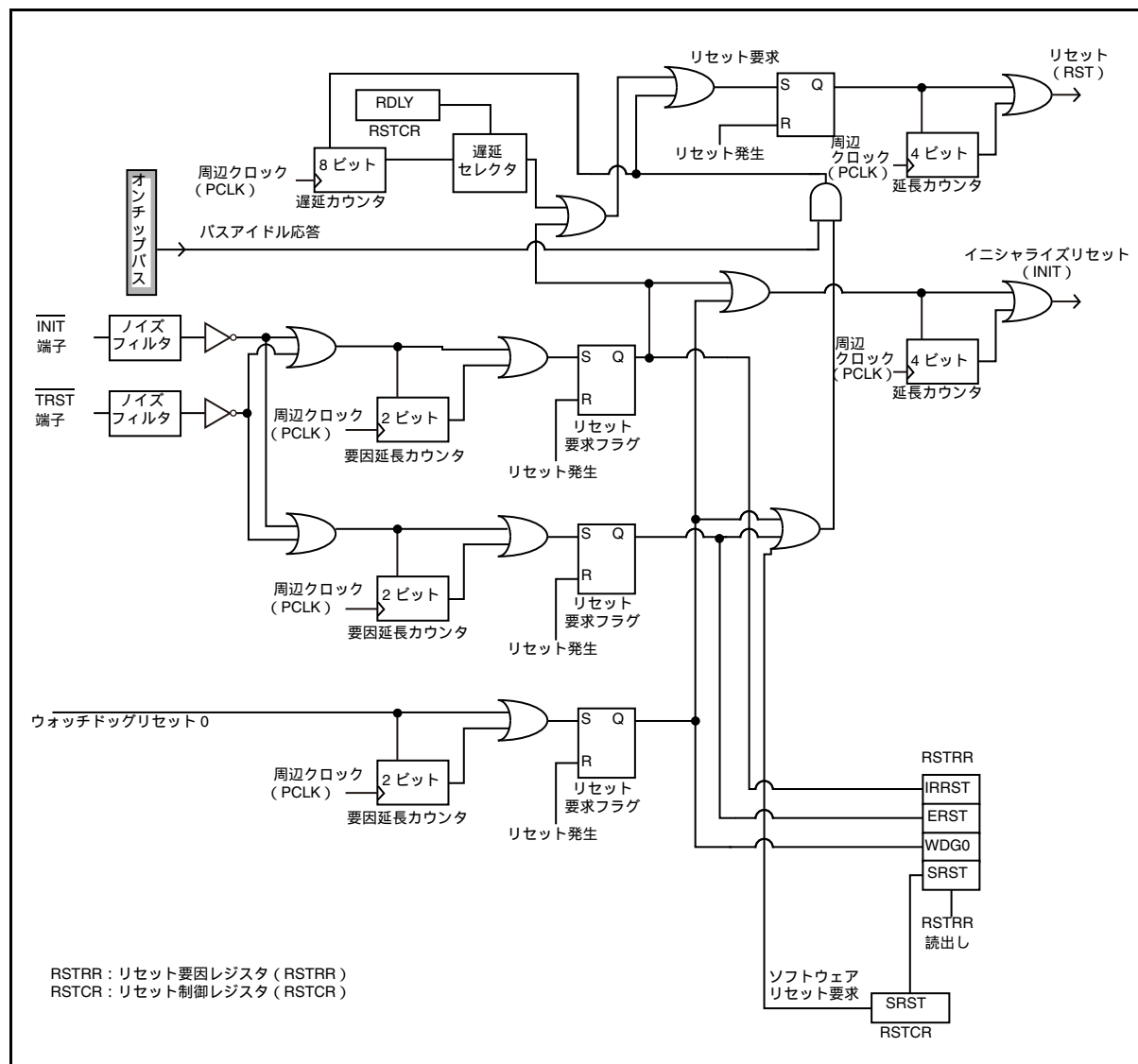
11.2 構成

リセットの構成を示します。

■ リセットのブロックダイアグラム

リセットのブロックダイアグラムを図 11.2-1 に示します。

図 11.2-1 リセットのブロックダイアグラム



- リセット要因レジスタ (RSTRR)
リセット要因を表示するレジスタです。
- リセット制御レジスタ (RSTCR)
リセット発行を制御するレジスタです。

- 遅延カウンタ
リセット要求が発生してから、バスがアイドル状態になるまでの期間をカウントします。
一定時間内にバスアイドル状態にならない場合は、強制的にイニシャライズリセット (INIT) が発行されます。
- 要因延長カウンタ
リセット要因を延長する時間をカウントするカウンタです。各リセット要因は、リセットが発行されるまで保持されます。

■ クロック

リセットで使用するクロックを表 11.2-1 に示します。

表 11.2-1 リセットで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

11.3 端子

リセットで使用する端子について説明します。

■ 概要

リセットには次の端子があります。

- $\overline{\text{INIT}}$ 端子, $\overline{\text{TRST}}$ 端子

リセット要求を入力する, 外部入力端子です。

11.4 レジスタ

リセットで使用するレジスタの構成と機能について説明します。

■ リセットのレジスタ一覧

リセットのレジスタ一覧を表 11.4-1 に示します。

表 11.4-1 リセットのレジスタ一覧

レジスタ略称	レジスタ名	参照先
RSTRR	リセット要因レジスタ	11.4.1
RSTCR	リセット制御レジスタ	11.4.2

11.4.1 リセット要因レジスタ (RSTRR)

リセット要因を記憶するレジスタです。
電源投入後，このレジスタを読み出すまでの間に発生したリセット要因をすべて記憶します。
リセット要因レジスタ (RSTRR) のビット構成を図 11.4-1 に示します。

図 11.4-1 リセット要因レジスタ (RSTRR) のビット構成

bit76543210

IRRST	ERST	未定義	WDG0	未定義	未定義	未定義	SRST
R	R	R	R	R	R	R	R

属性
初期値：

R：リードオンリ
*：初期値は次のとおりです。

リセット要因	初期値
INIT 端子入力	11XXXXXX
ウォッチドッグリセット 0	XXX1XXXX
ウォッチドッグリセット 0 のタイムアウト	1XX1XXXX
ソフトウェアリセット	XXXXXXX1
ソフトウェアリセット時のタイムアウト	1XXXXXX1
このレジスタの読出し	00000000

X：初期化されません。

* リセット要因により異なる

< 注意事項 >
このレジスタを読み出すと，すべてのビットがクリアされます。

[bit7]：IRRST (イレギュラーリセットビット)
バスアクセスの完了を待たずにリセットが発行されることを，イレギュラーリセットとよびます。イレギュラーリセットが発生すると，リセット時にメモリ内容が破壊されている可能性があります。
INIT 端子入力によるリセットか，リセットタイムアウトが発生すると，このビットが "1" に変わります。

読出し値	説明
0	イレギュラーリセットは検出されていません。 メモリ内容が破壊されていないことを保証します。
1	イレギュラーリセットが検出されました。 直前のリセットで，メモリ内容が破壊された可能性があります。

イレギュラーリセットについては、「11.5.3 リセットの動作」の「イレギュラーリセット」を参照してください。

[bit6] : ERST (リセット端子入力ビット)

$\overline{\text{INIT}}$ 端子入力のリセットが発生したかどうかを示します。

読出し値	説明
0	$\overline{\text{INIT}}$ 端子入力のリセットは発生していません。
1	$\overline{\text{INIT}}$ 端子入力のリセットが発生しました。

[bit5] : 未定義ビット

読出し時	値は不定です。
------	---------

[bit4] : WDG0 (ウォッチドッグリセット 0 ビット)

ウォッチドッグリセット 0 が発生したかどうかを示します。

ウォッチドッグタイマ 0 でリセットタイムアウトが発生した場合は、IRRST ビットも "1" に変わります。

読出し値	説明
0	ウォッチドッグリセット 0 は発生していません。
1	ウォッチドッグリセット 0 が発生しました。

[bit3 ~ bit1] : 未定義ビット

読出し時	値は不定です。
------	---------

[bit0] : SRST (ソフトウェアリセットビット)

ソフトウェアリセット (RSTCR : SRST) が発生したかどうかを示します。

ソフトウェアリセット (RSTCR : SRST) でリセットタイムアウトが発生していた場合は、IRRST ビットも "1" に変わります。

読出し値	説明
0	ソフトウェアリセット (RSTCR : SRST) は発生していません。
1	ソフトウェアリセット (RSTCR : SRST) が発生しました。

11.4.2 リセット制御レジスタ (RSTCR)

リセットの発行を制御するレジスタです。

リセット制御レジスタ (RSTCR) のビット構成を図 11.4-2 に示します。

図 11.4-2 リセット制御レジスタ (RSTCR) のビット構成

bit	7	6	5	4	3	2	1	0
	RDLY2	RDLY1	RDLY0	予約	予約	予約	予約	SRST
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

[bit7 ~ bit5] : RDLY2 ~ RDLY0 (リセット発行遅延ビット)

リセット要求が受け付けられてから、すべてのバスがアイドルになるまで、リセット発行を遅延させる時間を設定します (遅延サイクル)。

RDLY2	RDLY1	RDLY0	説明
0	0	0	周辺クロック (PCLK) × 2 サイクル
0	0	1	周辺クロック (PCLK) × 4 サイクル
0	1	0	周辺クロック (PCLK) × 8 サイクル
0	1	1	周辺クロック (PCLK) × 16 サイクル
1	0	0	周辺クロック (PCLK) × 32 サイクル
1	0	1	周辺クロック (PCLK) × 64 サイクル
1	1	0	周辺クロック (PCLK) × 128 サイクル
1	1	1	周辺クロック (PCLK) × 256 サイクル

< 注意事項 >

- 各ビットの値は、リセットにより初期化されます。リセット後の書込みは 1 回のみ可能です。
- 遅延サイクルの設定が短い場合は、リセットタイムアウトによるイレギュラーリセットが発生する可能性が高くなります。一方、遅延サイクルの設定が長い場合は、リセット要因が発生してからリセットが発行されるまでに長時間かかることがあります。
- イレギュラーリセットについては、「11.5.3 リセットの動作」の「イレギュラーリセット」を参照してください。

[bit4 ~ bit1] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit0] : SRST (ソフトウェアリセットビット)

このビットに "1" を書き込んだ後、リセット制御レジスタ (RSTCR) を読み出すと、ソフトウェアリセット要求が発生します。

書込み値	説明
0	リセット要求が発生しません。
1	本レジスタの読出しによってリセット要求が発生します。

< 注意事項 >

- このビットに "1" を書き込んだ後は、リセットが発生するまで、リセット制御レジスタ (RSTCR) への書込みは無視されます。
 - SRST=1 でソフトウェアリセット要求が発生させるまえに、ソースクロックをメインクロック (MAINCLK) の 2 分周に切り換えてください。
-

11.5 動作説明

リセットの動作について説明します。

11.5.1 リセットの種類

本デバイスには、3 種類のリセットがあり、それぞれ発生要因や初期化する内容が異なります。

- 電源投入リセット (SINIT)

分周回路の不定状態を初期化するために使用します。

また、同時にイニシャライズリセット (INIT) とリセット (RST) を発行します。

リセット要因	・ INIT 端子へ "L" レベルを入力
初期化対象	・ メインクロック (MAINCLK) の発振安定待ち時間
同時に発生するリセット	・ イニシャライズリセット (INIT) ・ リセット (RST)

- イニシャライズリセット (INIT)

クロック制御の設定をリセットするために、次のレジスタを初期化します

- ・ クロックソース設定レジスタ (CSELR) ・ クロックソース監視レジスタ (CMONR)
- ・ PLL設定レジスタ (PLLCR) ・ 発振安定待ち設定レジスタ (CSTBR)

また、同時に、リセット (RST) を発行します。

リセット要因	・ INIT 端子入力 ・ リセットタイムアウト ・ ウォッチドッグリセット 0
初期化対象	・ ソースクロック = メインクロック (MAINCLK) の 2 分周 ・ クロック発振 = メイン発振, PLL 停止 ・ PLL マクロ発振クロックの分周比 ・ PLL クロック (PLLCLK) の通倍率 ・ PLL クロックの発振安定待ち時間 ・ PLL 入力クロックの分周比
同時に発生するリセット	・ リセット (RST)

- リセット (RST)

プログラム動作を初期化するリセットです。

リセット要因	・ INIT 端子入力 ・ リセットタイムアウト ・ ウォッチドッグリセット 0 ・ ソフトウェアリセット
初期化対象	電源投入リセット (SINIT) およびイニシャライズリセット (INIT) で初期化されるレジスタ以外のすべてのレジスタ設定およびハードウェア
同時に発生するリセット	なし

11.5.2 リセット要因

4 種類のリセット要因があります。リセット要因によって、発行されるリセットのレベルが異なります。

また、バスアクセスの完了を確認せずに、イニシャライズリセット (INIT) を発行するイレギュラーリセットが発生するかどうかもリセット要因によって異なります。

- $\overline{\text{TRST}}$ 端子入力 (TRST)

ICE 接続時に、ICE 側から入力されるハードウェアリセットです。

デバイス内部では、 $\overline{\text{INIT}}$ 端子入力 (INIT) として認識されます。

- $\overline{\text{INIT}}$ 端子入力

$\overline{\text{INIT}}$ 端子に "L" レベルが入力されている間、イニシャライズリセット (INIT) 要求が発生します。

発生要因	INIT 端子へ "L" レベルを入力
解除要因	INIT 端子へ "H" レベルを入力
リセットレベル	電源投入リセット (SINIT), イニシャライズリセット (INIT), リセット (RST) すべてを発行
対応フラグ	リセット要因レジスタ (RSTRR) の ERST ビット =1
動作	バスアクセスの完了を待たずに電源投入リセット (SINIT), イニシャライズリセット (INIT), リセット (RST) を発行 (イレギュラーリセット)

- ウォッチドッグリセット 0

ウォッチドッグタイマで設定した周期が経過すると、ウォッチドッグリセット 0 要求が発生します。ウォッチドッグリセット 0 要求が発生すると、イニシャライズリセット (INIT) が発行されます。

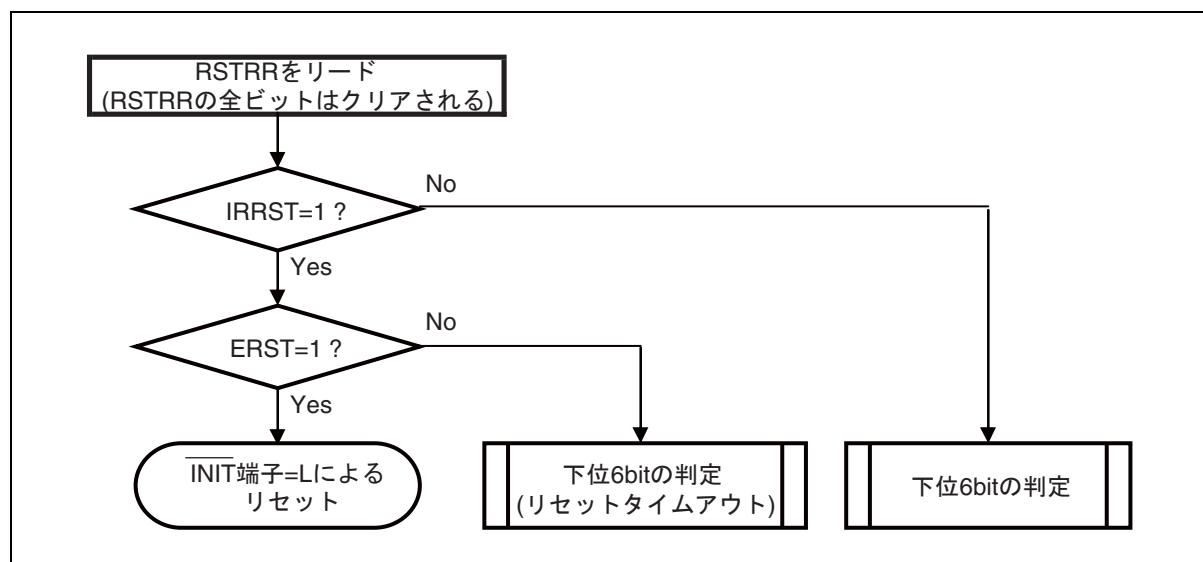
発生要因	ウォッチドッグタイマで設定した周期が経過
解除要因	イニシャライズリセット (INIT) の発行後、自動的に解除
リセットレベル	イニシャライズリセット (INIT) とリセット (RST) を発行
対応フラグ	リセット要因レジスタ (RSTRR) の WDG0 ビット =1
動作	<ul style="list-style-type: none"> ・ バスアクセスの完了を確認してからイニシャライズリセット (INIT) とリセット (RST) を発行 ・ バスアクセスが完了せずリセットタイムアウトが発生した場合は、強制的にイニシャライズリセット (INIT) とリセット (RST) を発行 (イレギュラーリセット)

- ソフトウェアリセット (RSTCR : SRST)

リセット制御レジスタ (RSTCR) の SRST ビットに "1" を書き込んだ後に、リセット制御レジスタ (RSTCR) を読み出すと、リセット (RST) 要求が発生します。

発生要因	リセット制御レジスタ (RSTCR) の SRST ビットに "1" を書き込んだ後に、リセット制御レジスタ (RSTCR) を読み出す
解除要因	リセット (RST) の発行後、自動的に解除
リセットレベル	リセット (RST) のみを発行
対応フラグ	リセット要因レジスタ (RSTRR) の SRST ビット =1
動作	<ul style="list-style-type: none"> バスアクセスの完了を確認してからリセット (RST) を発行 バスアクセスが完了せずリセットタイムアウトが発生した場合は、強制的にイニシャライズリセット (INIT) とリセット (RST) を発行 (イレギュラーリセット)

■ リセット要因判定フロー



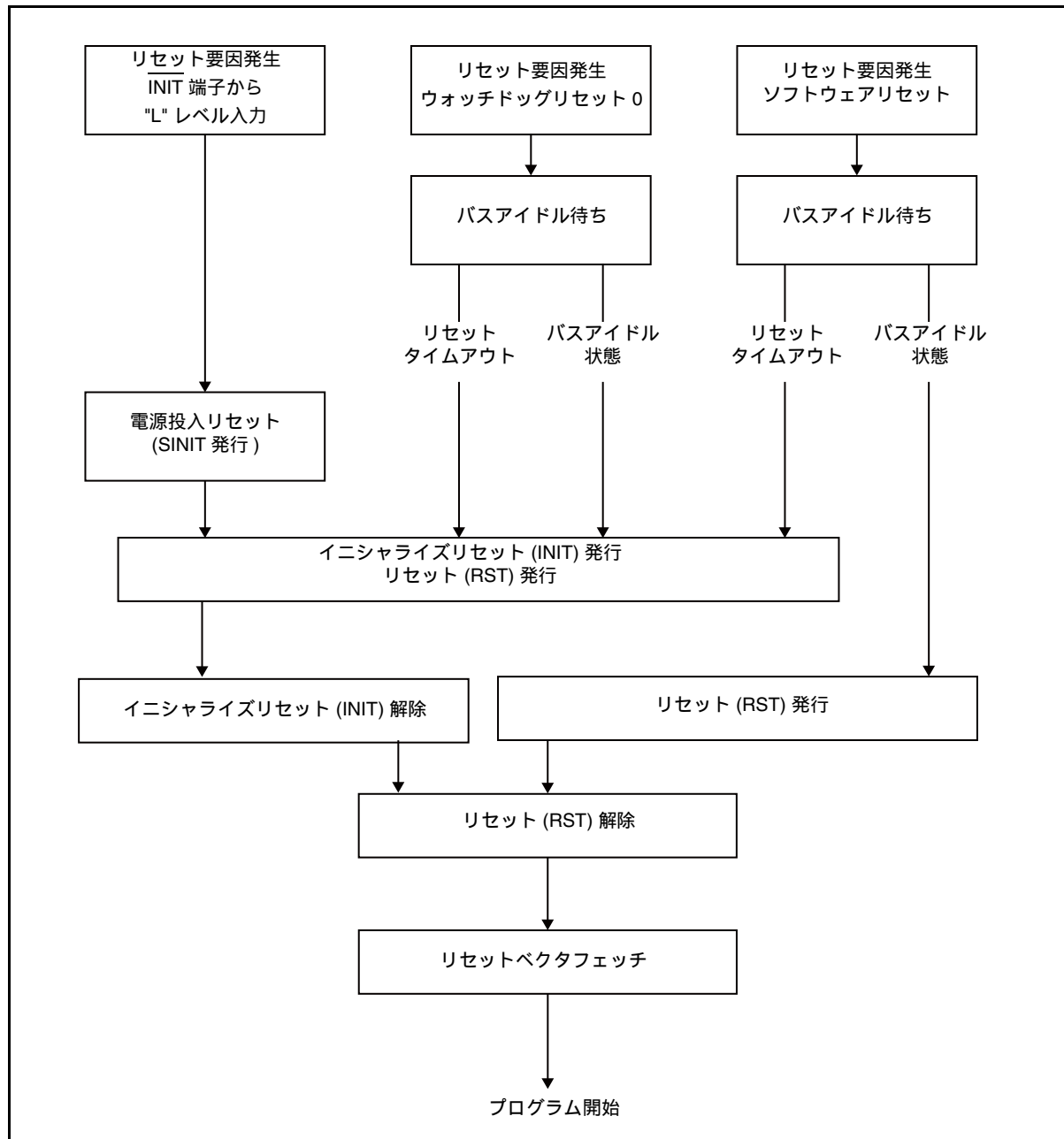
11.5.3 リセットの動作

■ リセット動作の流れ

リセットが発生し、リセット状態に入ってから、CPU が動作を開始するまでの一連の動作をリセットシーケンスとよびます。

リセットシーケンスを図 11.5-1 に示します。

図 11.5-1 リセットシーケンス



1. リセット要因の取り込みと延長

発生したリセット要因が非同期で取り込まれ、リセットが発行されるまで保持されます。

2 ビットの要因延長カウンタを持ち、最小でも 4T (T: 周辺クロック (PCLK) の周期) リセット要因を保持します。

2. リセット要求の発生

生成したリセット要求を内部バス制御部へ通知し、次の処理を行います。

- CPU のプログラム動作の停止 (スリープモードと同一処理。)
- すべてのバスへアイドル要求が通知されたことの確認

同時に遅延カウンタがカウントを開始します。

3. リセット要求の受理とリセット発行

リセット要求に対するすべての処理が完了すると、リセット要求が受理されます。バスから完了の応答がある前に、遅延カウンタがオーバフローしリセットタイムアウトが発生すると、イレギュラーリセットが発行されます。

4. リセットの発行

- $\overline{\text{INIT}}$ 端子へ "L" レベルを入力

電源投入リセット (SINIT), イニシャライズリセット (INIT), リセット (RST) が発行されます。

- ウォッチドッグリセット 0

イニシャライズリセット (INIT), リセット (RST) が発行されます。

- リセットタイムアウト

イニシャライズリセット (INIT), リセット (RST) が発行されます。

- ソフトウェアリセット (RSTCR : SRST)

リセット (RST) が発行されます。

5. リセット要因の解除

リセット要因が解除されると、4T (T: 周辺クロック (PCLK)) の間、リセット要求が延長されます。その後、16T (T: 周辺クロック (PCLK)) リセット周期を維持します。このため、リセットの最小発行周期は 20T になります。

6. リセットの解除

リセットサイクルが終了すると、リセットが解除されハードウェアが動作を開始します。

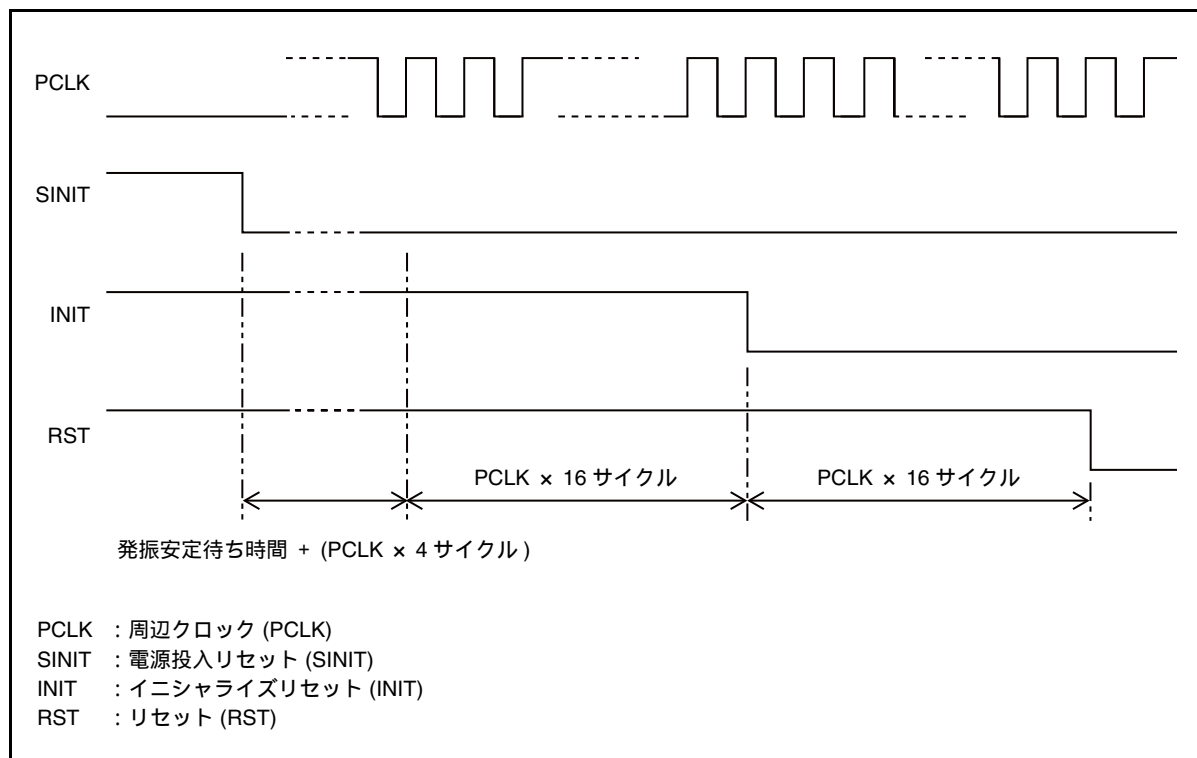
7. リセットベクタの取込み (フェッチ)

CPU がリセットベクタ (000F FFFC_H) の取込み (フェッチ) を開始します。CPU は取得したリセットベクタをプログラムカウンタ (PC) に取り込んで、プログラム動作を開始します。

■ 電源投入リセット (SINIT)

電源リセット (SINIT) が発行されると同時にイニシャライズリセット (INIT), リセット (RST) も発行されます。電源投入リセット (SINIT) のリセット要因が解除された後の各リセット発行シーケンスを図 11.5-2 に示します。

図 11.5-2 電源投入リセット (SINIT) のリセット要因解除後の各リセット発行シーケンス

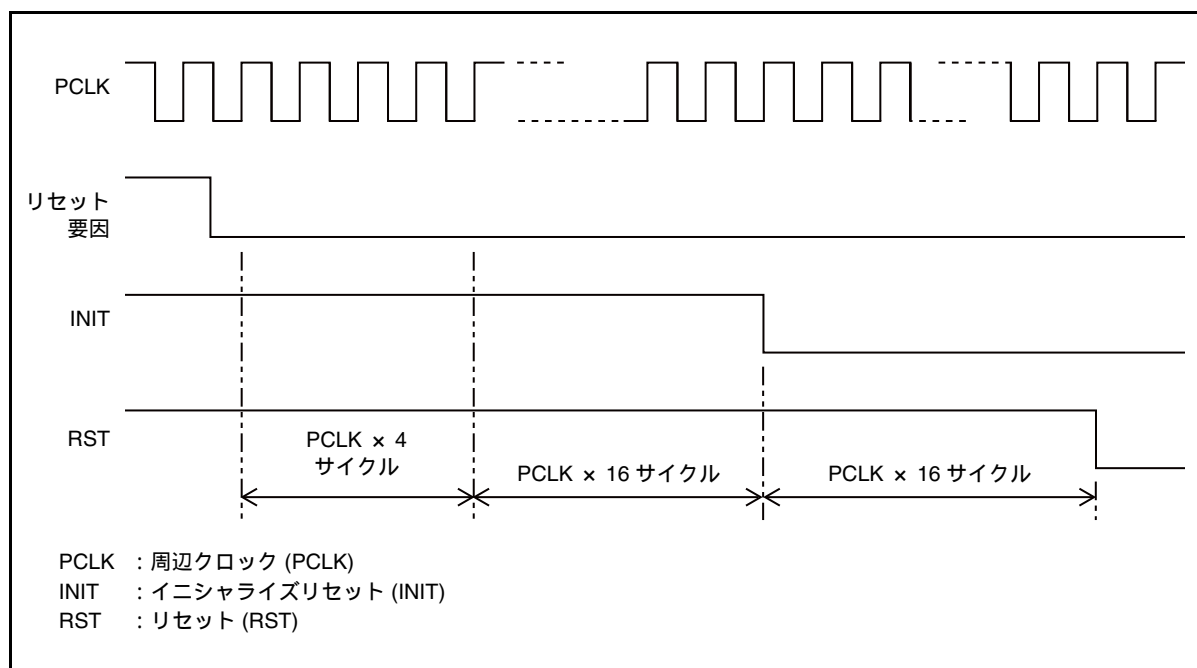


■ イニシャライズリセット (INIT)

イニシャライズリセット (INIT) が発行されると同時にリセット (RST) も発行されます。

イニシャライズリセット (INIT) のリセット要因が解除された後の各リセット発行シーケンスを図 11.5-3 に示します。

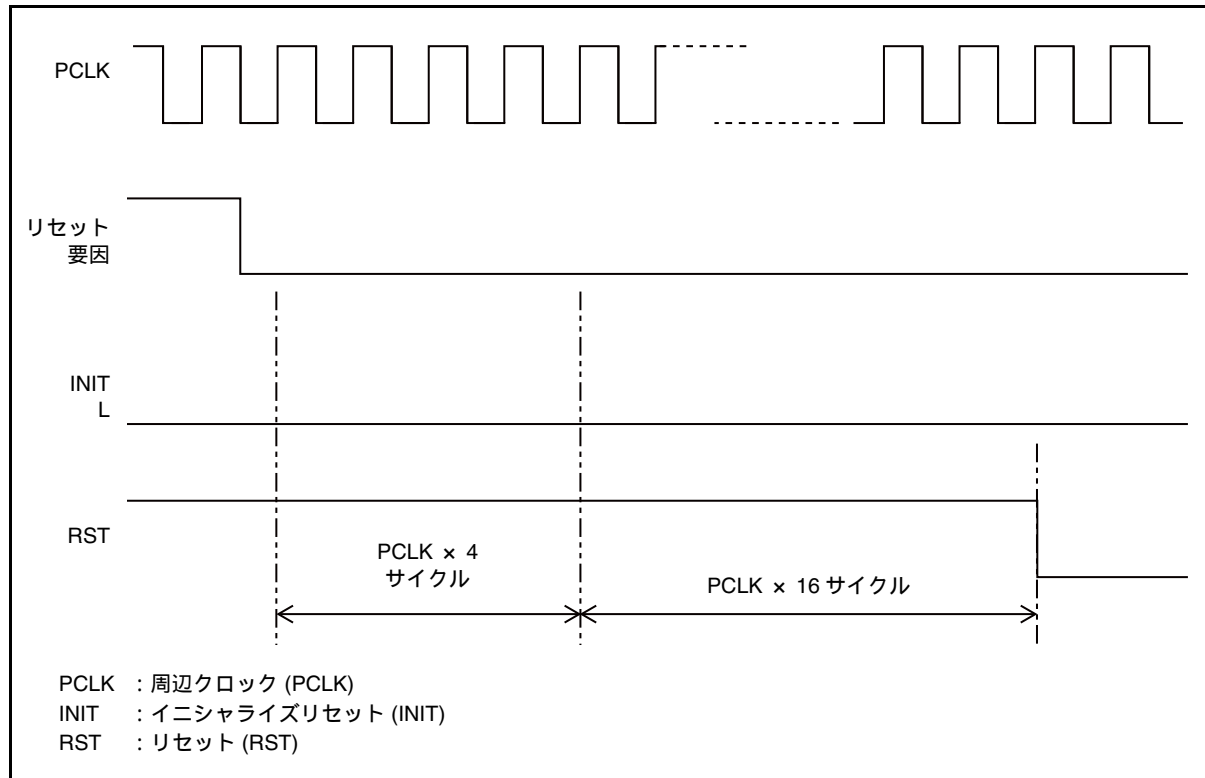
図 11.5-3 イニシャライズリセット (INIT) のリセット要因解除後の各リセット発行シーケンス



■ リセット (RST)

リセット (RST) のリセット要因が解除された後の各リセット発行シーケンスを図 11.5-4 に示します。

図 11.5-4 リセット (RST) のリセット要因解除後の各リセット発行シーケンス



11.5.4 イレギュラーリセット

次の場合にイレギュラーリセットが発生します。

- $\overline{\text{INIT}}$ 端子入力 (INIT) 時
- リセットタイムアウト発生時

(ウォッチドッグリセット 0/ ソフトウェアリセット (RSTCR:SRST) 時, バスから応答がある前に, 遅延カウンタがオーバーフローした)

イレギュラーリセットが発生すると, 次の処理が行われます。

- イニシャライズリセット (INIT) を発行
- リセット要因レジスタ (RSTR) の IRRST ビットが "1" に変わる

< 注意事項 >

イレギュラーリセット発生時は, リセットが入力される時点でバスアクセスが行われていた可能性があり, メモリ内容が破壊されていることがあります。

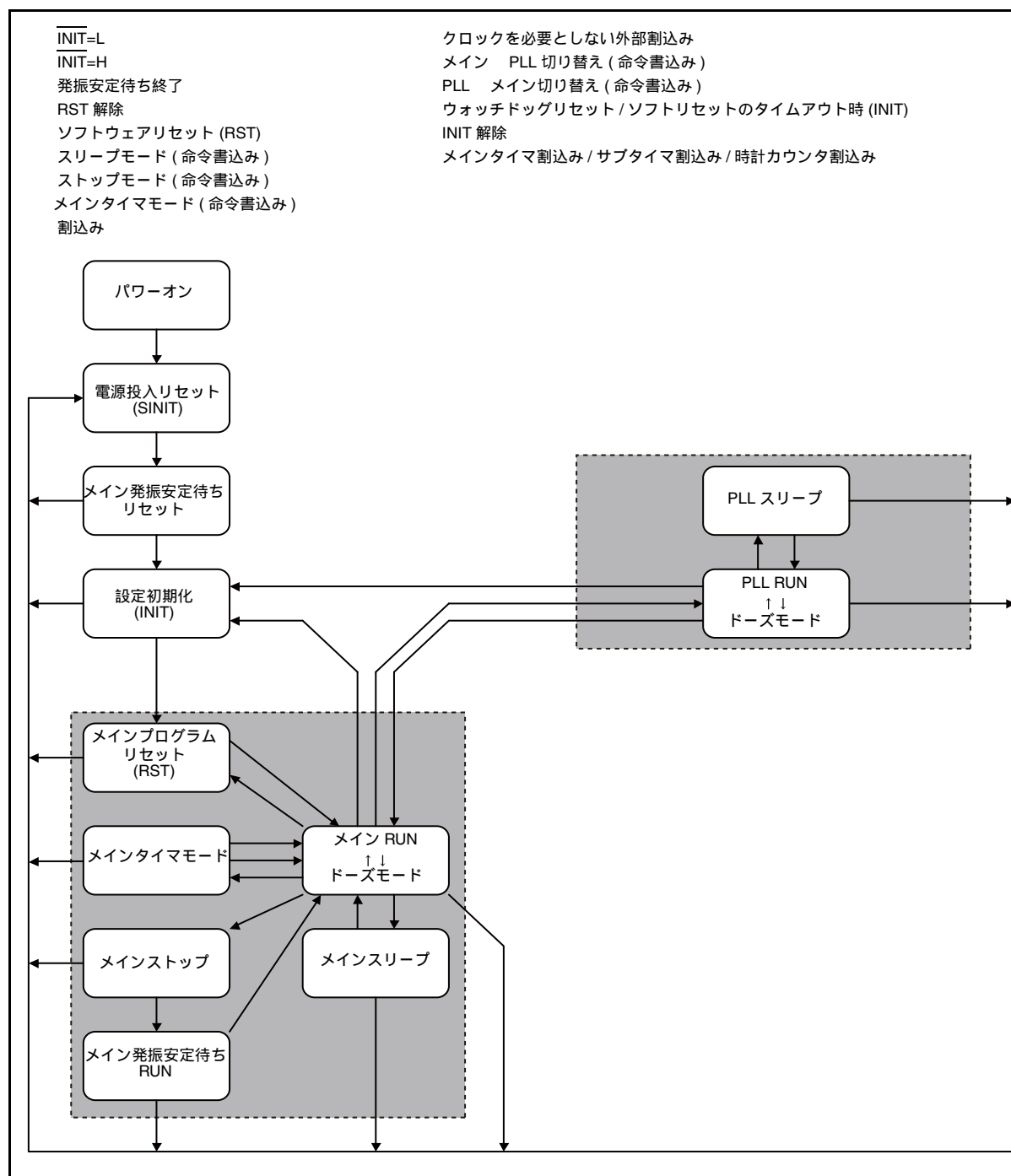
11.6 動作状態と遷移

各種状態と、その制御について説明します。

■ 動作状態

動作状態の遷移を図 11.6-1 に示します。

図 11.6-1 動作状態の遷移



● RUN 状態 (通常動作)

プログラム実行状態です。

すべての内部クロックが供給され、すべての回路が動作可能な状態です。

ストップ状態とメインタイマモード状態の外部端子の Hi-Z 制御は解除されます。

● スリープ状態

プログラム停止状態です。プログラム動作によって遷移します。

CPU のプログラム実行のみを停止します。周辺回路は動作が可能です。

各種内蔵メモリおよび外部バスは、DMA コントローラ (DMAC) が要求するまで停止します。

内部バスは、バススリープモードの時、DMA コントローラ (DMAC) が要求するまで停止状態です。

- 有効な割込み要求が発生すると、RUN 状態 (通常動作) へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ遷移します。

● メインタイマモード状態

デバイス停止状態です。プログラムによって遷移します。発振回路 (メインクロック (MAINCLK) 以外の内部回路が停止します。外部端子を一律 Hi-Z にすることができます (一部端子を除く)。

- 外部割込み要求が発生すると、RUN 状態 (通常動作) へ遷移します。
- メインタイマ割込み要求が発生すると、RUN 状態 (通常動作) へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ遷移します。

< 注意事項 >

メインタイマモードに移行する前に PLL クロック (PLLCLK) の発振を停止してください。

● ストップ状態

デバイス停止状態です。プログラム動作によって移行します。

すべての内部回路が停止します。

外部端子を一律 Hi-Z にすることができます。(一部端子を除く)

- 外部割込み要求が発生すると、発振安定待ち RUN 状態へ遷移します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ遷移します。

< 注意事項 >

ストップ状態に移行する前に、PLL クロック (PLLCLK) の発振を停止してください。

● 発振安定待ち RUN 状態

デバイス停止状態です。ストップ状態からの復帰後に移行します。

すべての内部回路が停止します。(発振安定待ちのためのタイマ動作を除く)

内部クロックはすべて停止しますが、動作を許可されていた発振回路は動作しています。

- 発振安定待ち時間が経過すると、RUN 状態 (通常動作) へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ移行します。

● 発振安定待ちリセット (RST) 状態

デバイス停止状態です。電源投入リセット (SINIT) からの復帰後に移行します。

すべての内部回路が停止します。(発振安定待ちのためのタイマ動作を除く)

内部クロックはすべて停止しますが、メイン発振回路は動作しています。

- 発振安定待ち時間が経過すると、イニシャライズリセット (INIT) 状態へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" レベルが入力されると、電源投入リセット (SINIT) 状態へ移行します。

● プログラムリセット (RST) 状態

プログラム初期化状態です。リセット (RST) 要求を受け付けたとき、またはイニシャライズリセット (INIT) 状態の終了後に移行します。

CPU のプログラム実行は停止し、プログラムカウンタは初期化されます。周辺回路は初期化されます。(一部を除く)

すべての内部クロックと動作が許可されていた発振回路と PLL クロック (PLLCLK) は動作しています。

- 内部回路に対してリセット (RST) 要求し、リセット (RST) 要求が消失すると、RUN 状態 (通常動作) へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" が入力されると、電源投入リセット (SINIT) 状態へ移行します。

● イニシャライズリセット (INIT) 状態

全設定初期化状態です。イニシャライズリセット (INIT) 要求の受け付けによって移行します。

CPU のプログラム実行は停止し、プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。メインクロック (MAINCLK) 発振回路は動作します (PLL クロック (PLLCLK) 発振回路は動作を停止します)。 $\overline{\text{INIT}}$ 端子への "L" レベル入力期間は、すべての内部クロックは停止しますが、それ以外では動作します。

内部回路に対し、イニシャライズリセット (INIT) とリセット (RST) を出力します。

- イニシャライズリセット (INIT) 要求が消失すると、この状態は解除されて、プログラムリセット (RST) 状態へ移行します。
- $\overline{\text{INIT}}$ 端子に "L" が入力されると、電源投入リセット (SINIT) 状態へ移行します。

どの状態においても、各状態遷移要求は以下の優先順位に従います。ただし、一部要求は特定の状態でしか発生しませんので、その状態でしか有効になりません。

<div> <div>最強</div> <div>▼</div> <div>最弱</div> </div>	電源投入リセット (SINIT) 要求	
	イニシャライズリセット (INIT) 要求	
	発振安定待ち時間の終了	発振安定待ちリセット状態、発振安定待ち RUN 状態のみ発生
	リセット (RST) 要求	
	有効な割り込み要求	RUN, スリープ, ストップ, メインタイマモード状態のみ発生
	ストップモード要求 (レジスタ書込み)	RUN 状態のみ発生
	メインタイマモード要求 (レジスタ書込み)	RUN 状態のみ発生
	スリープモード要求 (レジスタ書込み)	RUN 状態のみ発生

第 12 章 割込みコントローラ

割込みコントローラの機能と動作について説明します。

- 12.1 概要
- 12.2 構成
- 12.3 レジスタ
- 12.4 動作説明と設定手順例
- 12.5 使用上の注意

12.1 概要

割込みコントローラは、割込み要求の優先度を判定して、要求を CPU へ送ります。

■ 概要

割込みコントローラには次の機能があります。

- NMI 要求 / 周辺機能からの割込み要求を受け付けます。
- 割込みレベル、および割込みベクタによって、CPU へ送る優先順位を判定します。
- 最も優先度の高い割込み要求を CPU へ送ります。
- 最も優先度の高い割込み要求の割込みベクタ番号を CPU へ送ります。
- NMI/ 割込みレベルが "1111" 以外の割込み要求で、スリープモードおよびストップモードからの復帰要求を生成します。

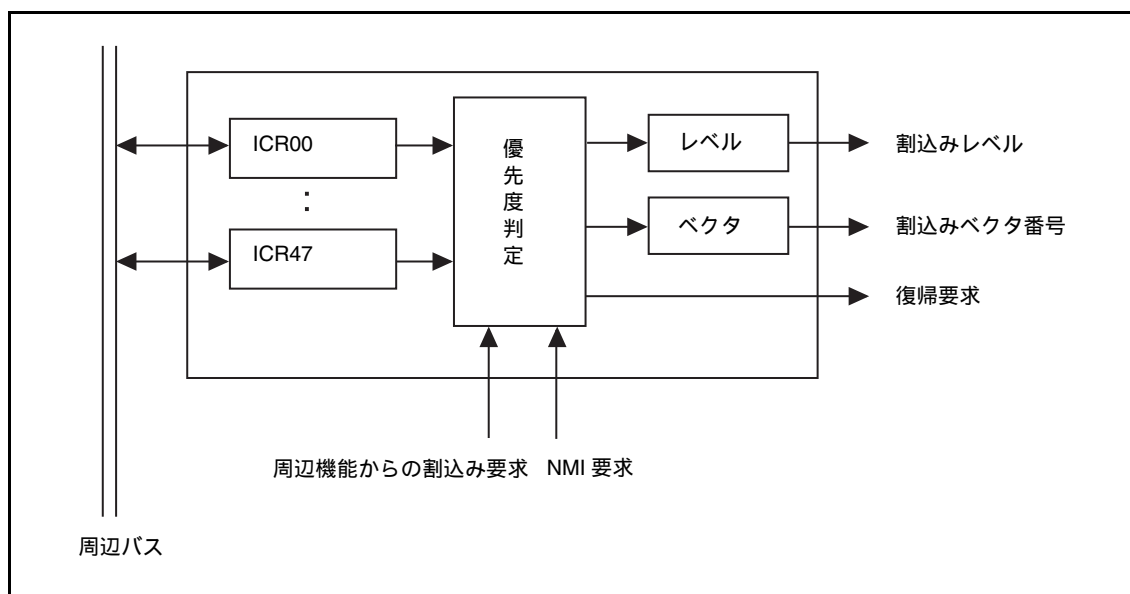
12.2 構成

割込みコントローラの構成を示します。

■ 割込みコントローラのブロックダイアグラム

割込みコントローラのブロックダイアグラムを図 12.2-1 に示します。

図 12.2-1 割込みコントローラのブロックダイアグラム



- 割込み優先度判定回路
入ってきた割込み要求の優先度を判定します。また、スリープモード/ストップモードのときは復帰要求を生成します。
- 割込みレベル発生回路
割込み要求の割込みレベルを CPU に送ります。
- 割込みベクタ発生回路
割込み要求の割込みベクタを CPU に送ります。
- 割込みコントロールレジスタ (ICR00 ~ ICR47)
割込み要求の割込みレベルを設定するレジスタです。

■ クロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

12.3 レジスタ

割込みコントローラで使用するレジスタの構成と機能について説明します。

■ 割込みコントローラのレジスタ一覧

割込みコントローラのレジスタ一覧を表 12.3-1 に示します。

表 12.3-1 割込みコントローラのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ICR00 ~ ICR47	割込みコントロールレジスタ 00 ~ 47	12.3.1

12.3.1 割込みコントロールレジスタ (ICR00 ~ ICR47)

割込みレベルを設定するレジスタです。各割込みの入力に対して 1 つずつ設けられています。

割込みコントロールレジスタ (ICR00 ~ ICR47) のビット構成を図 12.3-1 に示します。

図 12.3-1 割込みコントロールレジスタ (ICR00 ~ ICR47) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	IL4	IL3	IL2	IL1	IL0
属性	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

R/W : リード / ライト可能
R : リードオンリ

[bit7 ~ bit5] : 未定義ビット

書込み時	無視されます。
読出し時	"1" が読み出されます。

[bit4 ~ bit0] : IL4 ~ IL0 (割込みレベルコントロールビット)

割込み要求の割込みレベルを指定します。

リセットされると IL4 ~ IL0=11111 ("11111_B" は「レベル 31 割込み禁止」) に初期化されます。

IL4	IL3	IL2	IL1	IL0	割込みレベル	
1	0	0	0	0	16	設定可能な最強レベル
1	0	0	0	1	17	
1	0	0	1	0	18	
1	0	0	1	1	19	
1	0	1	0	0	20	
1	0	1	0	1	21	
1	0	1	1	0	22	
1	0	1	1	1	23	
1	1	0	0	0	24	
1	1	0	0	1	25	
1	1	0	1	0	26	
1	1	0	1	1	27	
1	1	1	0	0	28	
1	1	1	0	1	29	
1	1	1	1	0	30	設定可能な最弱レベル
1	1	1	1	1	31	割込み禁止

< 注意事項 >

- このレジスタに設定した割込みレベルが、CPU の割込みレベルマスクレジスタ (ILM) のマスクレベル値より弱い場合は、CPU 側で割込み要求がマスクされます。
- NMI 要求発生時、割込みレベルは 15("01111_B") を示します。
- 周辺機能によって、割込みレベルを設定する割込みコントロールレジスタ (ICR00 ~ ICR47) が異なります。周辺機能と割込みコントロールレジスタ (ICR00 ~ ICR47) の対応については、「付録 C 割込みベクタ」を参照してください。
- IL4 ビットは "1" 固定で、IL3 ~ IL0 のみ設定が可能です。

12.4 動作説明と設定手順例

割込みコントローラの動作について説明します。

12.4.1 割込みコントローラの動作説明

割込みコントローラの 3 つの動作について説明します。

- 割込みコントロールレジスタ (ICR00 ~ ICR47) を使った割込みレベルの指定
- 割込み要求の優先度判定
- スリープモード / ストップモードからの復帰要求の生成

■ 割込みレベルの指定

割込みコントロールレジスタ (ICR00 ~ ICR47) を使った割込みレベルの設定手順を示します。

1. 割込み要求を発生させたい周辺機能に対応する割込みベクタ番号の割込みコントロールレジスタ (ICR00 ~ ICR47) に割込みレベルを設定する。
割込みベクタ番号と割込み要求の対応については、「付録 C 割込みベクタ」を参照してください。
2. 割込み要求を発生させたい周辺機能側で、割込み要求の発生を許可する。
3. 設定した周辺機能を起動する。

■ 割込み要求の優先度判定

割込みコントローラは、同時に発生している割込み要求の中から、最も優先度の高い割込み要求の割込みレベルと割込みベクタ番号を CPU へ送ります。

割込み要求の優先順位判定基準を、判定の順に示します。

1. NMI
2. 割込みレベルが "30" 以下の割込み要求か。(レベル 31 は「割込み禁止」です。)
3. 割込みレベルの数値が最も小さい割込み要求か。
4. 割込みレベルが同じ場合は、その中で割込みベクタ番号が最も小さい割込み要求か。

上記の判定基準にあてはまる割込み要求がなかった場合は、CPU に割込み要求がないことを示す割込みレベル "31" (11111_B) を出力します。

■ スリープモードからの復帰要求の生成

割込みレベルが "31" 以外の割込み要求が発生すると、クロック制御部に対して、スリープモードからの復帰要求を発生します。

■ ストップモードからの復帰要求の生成

NMI または外部割込みから、割込みレベルが "31" 以外の割込み要求が発生すると、クロック制御部に対して、ストップモードからの復帰要求が発生します。

ストップから復帰後、割込み優先判定回路は、クロックの供給が開始してから動作を再開するので、割込み優先判定回路の結果が出るまでは、CPU は命令を実行しています。

< 注意事項 >

ストップモードからの復帰要因として使用しない割込みには、対応する割込みコントロールレジスタ (ICR00 ~ ICR47) で割込みレベルを "31" (割込み禁止) に設定してください。

12.5 使用上の注意

割込みコントローラを使用する際は、次の点に注意してください。

■ プログラムに関する注意

- スリープモード/ストップモードからの復帰要求を発生したくない割込み要求には、対応する割込みコントロールレジスタ (ICR00 ~ ICR47) で割込みレベルを "31" (割込み禁止) に設定してください。

■ 動作に関する注意

- 割込みコントロールレジスタ (ICR00 ~ ICR47) に設定した割込みレベルが、CPU の割込みレベルマスクレジスタ (ILM) のレベルマスク値より弱い場合は、CPU 側で割込み要求がマスクされます。

第 13 章 NMI 入力

NMI 入力の機能と動作について説明します。

13.1 概要

13.2 動作説明

13.1 概要

NMI(Non Maskable Interrupt) は、 $\overline{\text{NMI}}$ 端子から入力されるマスクすることができない割り込み入力です。

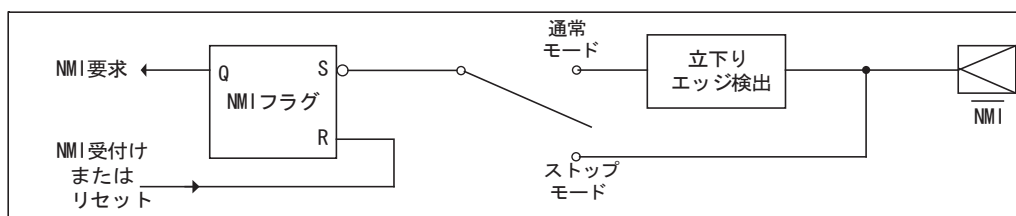
■ 概要

NMI はストップモードからの復帰要因として使用できます。

■ ブロック図

NMI のブロックダイアグラムを図 13.1-1 に示します。

図 13.1-1 NMI のブロックダイアグラム



13.2 動作説明

NMI の動作について説明します。

■ NMI について

NMI は、ユーザ割込みの中で最強の割込みで、マスクすることは不可能です。例外として、リセット後 CPU が割込みレベルマスクレジスタ (ILM) を設定するまで NMI はマスクされます。

■ NMI 要求の受付けレベル

NMI の受付けレベルは、ストップモード遷移中は「L レベル検出」、それ以外の時は「立下りエッジ検出」となります。

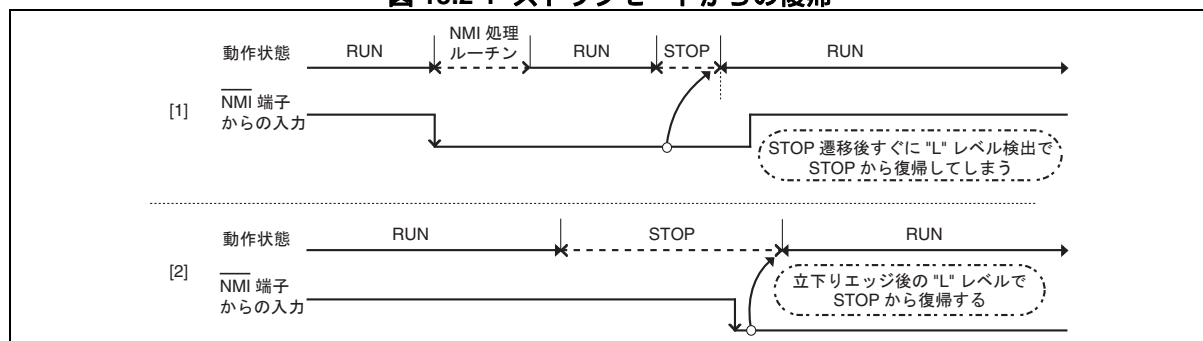
■ 割込み要求出力

NMI 要求検出部は NMI フラグがあり、NMI 要求によりセットされ、NMI 自身の割込み受付け、またはリセットでのみクリアされます。NMI フラグは読み込み / 書き込みができません。

■ ストップモードからの復帰

ストップモードに遷移しているとき、 $\overline{\text{NMI}}$ 端子の入力が "L" レベルで、NMI 要求が割込みコントローラに出力され、ストップモードから復帰します。通常状態（ストップモードではないとき）で NMI 処理ルーチン終了後、 $\overline{\text{NMI}}$ 端子を "H" レベルに戻さずにストップモードに遷移すると、ストップモードへの遷移後すぐにストップから復帰してしまいます（図 13.2-1 の [1]）。ストップモード遷移前に $\overline{\text{NMI}}$ 端子を "H" レベルに戻して、ストップモード中に $\overline{\text{NMI}}$ 端子を "L" レベルにしてください（図 13.2-1 の [2]）。

図 13.2-1 ストップモードからの復帰



第 14 章 割込み要求一括 読出し機能

割込み要求一括読出し機能について説明します。

- 14.1 概要
- 14.2 構成
- 14.3 レジスタ
- 14.4 使用上の注意

14.1 概要

割込み要求一括読出し機能は、1つの割込みベクタ番号に割り当てられた複数の割込み要求を一括で読み出す機能です。

FR80 ファミリ CPU のビットサーチ命令を使用することで、どの割込み要求が発生しているのかを素早く確認できます。

この機能を使用すると、1つの割込みベクタ番号を兼用している割込み要求が発生しているかどうかを一度で確認できます。

ただし、この機能で割込み要求フラグをクリアすることはできません。割込み要求フラグは、各周辺機能のレジスタでクリアしてください。

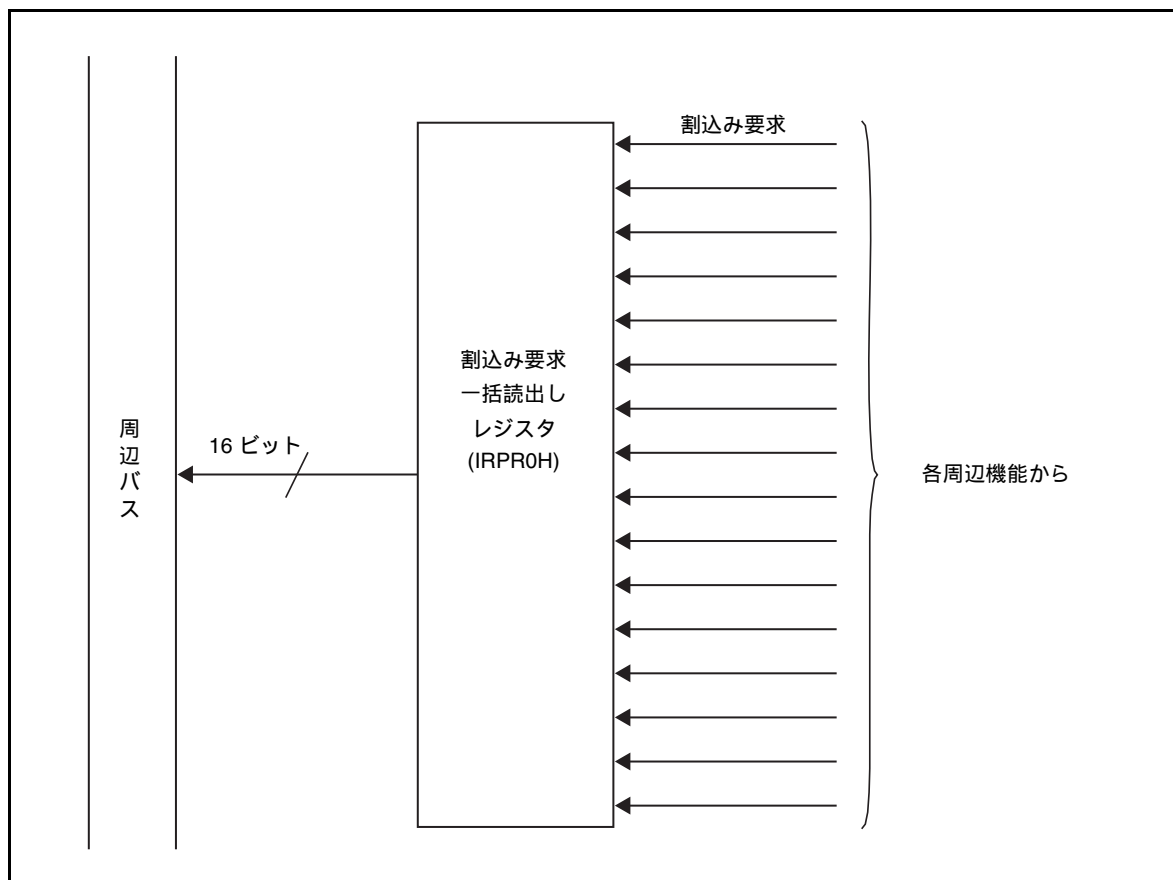
14.2 構成

割り込み要求一括読出し機能の構成を示します。

■ 割り込み要求一括読出し機能のブロックダイアグラム

割り込み要求一括読出し機能のブロックダイアグラムを図 14.2-1 に示します。

図 14.2-1 割り込み要求一括読出し機能のブロックダイアグラム



■ クロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

14.3 レジスタ

割込み要求一括読出し機能で使用するレジスタの構成と機能について説明します。

■ 割込み要求一括読出し機能のレジスタ一覧

割込み要求一括読出し機能のレジスタ一覧を表 14.3-1 に示します。

表 14.3-1 割込み要求一括読出し機能のレジスタ一覧

レジスタ略称	レジスタ名	参照先
IRPR0H	割込み要求一括読出しレジスタ 0 上位	14.3.1

14.3.1 割込み要求一括読出しレジスタ 0 上位 (IRPR0H)

割込みベクタ番号 57(10 進) は、ベースタイマ ch.8/ch.9/ch.10/ch.11 に兼用されています。このレジスタを読み出すと、割込み要求が発生したチャンネルや割込み要求の種類を確認できます。

割込み要求一括読出しレジスタ 0 上位(IRPR0H)のビット構成を図 14.3-1 に示します。

図 14.3-1 割込み要求一括読出しレジスタ 0 上位 (IRPR0H) のビット構成

bit	15	14	13	12	11	10	9	8
	BT0IR8	BT1IR8	BT0IR9	BT1IR9	BT0IR10	BT1IR10	BT0IR11	BT1IR11
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
R : リードオンリ								

割込み要求が発生すると、発生した割込み要求に対応するビットが "1" に変わります。

ビット番号	ビット	値	説明
bit15	BT0IR8	0	ベースタイマ ch.8 で割込み要求 0 なし
		1	ベースタイマ ch.8 で割込み要求 0 あり
bit14	BT1IR8	0	ベースタイマ ch.8 で割込み要求 1 なし
		1	ベースタイマ ch.8 で割込み要求 1 あり
bit13	BT0IR9	0	ベースタイマ ch.9 で割込み要求 0 なし
		1	ベースタイマ ch.9 で割込み要求 0 あり
bit12	BT1IR9	0	ベースタイマ ch.9 で割込み要求 1 なし
		1	ベースタイマ ch.9 で割込み要求 1 あり
bit11	BT0IR10	0	ベースタイマ ch.10 で割込み要求 0 なし
		1	ベースタイマ ch.10 で割込み要求 0 あり
bit10	BT1IR10	0	ベースタイマ ch.10 で割込み要求 1 なし
		1	ベースタイマ ch.10 で割込み要求 1 あり
bit9	BT0IR11	0	ベースタイマ ch.11 で割込み要求 0 なし
		1	ベースタイマ ch.11 で割込み要求 0 あり
bit8	BT1IR11	0	ベースタイマ ch.11 で割込み要求 1 なし
		1	ベースタイマ ch.11 で割込み要求 1 あり

割込み要求 0 および割込み要求 1 は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティー致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

14.4 使用上の注意

割込み要求一括読出し機能を使用する際は、次の点に注意してください。

■ 動作に関する注意

割込み要求一括読出しレジスタ (IRPR0) は、書込みは無効です。割込み要求を取り下げたい場合は、各機能のレジスタにある割込み要求フラグビットをクリアしてください。

第 15 章 遅延割込み

遅延割込みの機能と動作について説明します。

- 15.1 概要
- 15.2 構成
- 15.3 レジスタ
- 15.4 動作説明と設定手順例
- 15.5 使用上の注意

15.1 概要

遅延割込みは、リアルタイム OS で使用するタスク切換え用の割込みを発生するものです。

■ 概要

遅延割込みは、REALOS などのリアルタイム OS でのタスク切換え用の割込み要求を発生するものです。遅延割込みを使用すると、ソフトウェアで CPU に対して割込み要求を発生したり、取り消したりすることができます。

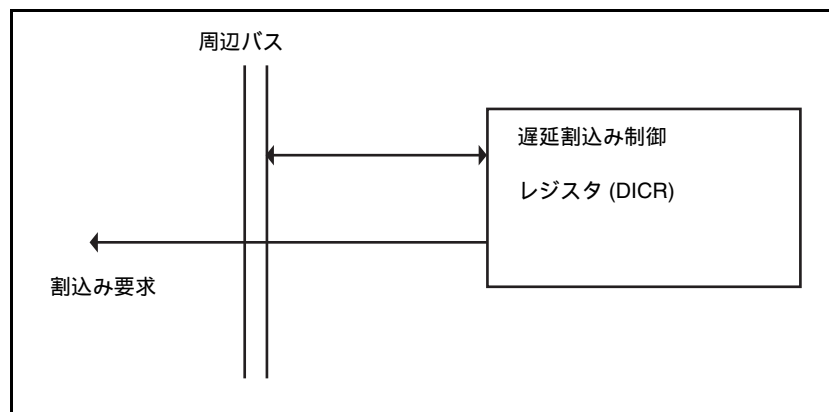
15.2 構成

遅延割込みの構成を示します。

■ 遅延割込みのブロックダイアグラム

遅延割込みのブロックダイアグラムを図 15.2-1 に示します。

図 15.2-1 遅延割込みのブロックダイアグラム



- 遅延割込み制御レジスタ (DICR)
遅延割込みを制御するレジスタです。

■ クロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

15.3 レジスタ

遅延割込みで使用するレジスタの構成と機能について説明します。

■ 遅延割込みのレジスタ一覧

遅延割込みのレジスタ一覧を表 15.3-1 に示します。

表 15.3-1 遅延割込みのレジスタ一覧

レジスタ略称	レジスタ名	参照先
DICR	遅延割込み制御レジスタ	15.3.1

15.3.1 遅延割込み制御レジスタ (DICR)

遅延割込みを制御するレジスタです。

遅延割込み制御レジスタ (DICR) のビット構成を図 15.3-1 に示します。

図 15.3-1 遅延割込み制御レジスタ (DICR) のビット構成

bit	7	6	5	4	3	2	1	0
	未定義	未定義	未定義	未定義	未定義	未定義	未定義	DLYI
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	0

R/W : リード / ライト可能

[bit7 ~ bit1] : 未定義ビット

書込み時	無視されます。
読出し時	"1" が読み出されます。

[bit0] : DLYI (遅延割込み制御ビット)

遅延割込み要求の発生と解除を設定します。

書込み値	説明
0	遅延割込み要因の解除または要求なし
1	遅延割込み要求の発生

< 注意事項 >

このビットは、ほかの割込み要求フラグと同じです。割込み処理ルーチンの中でこのビットをクリアして、合わせてタスクを切り換えてください。

15.4 動作説明と設定手順例

遅延割込みの動作と設定手順について説明します。

15.4.1 遅延割込みの動作説明

遅延割込みを使用すると、CPU に対してソフトウェアで、タスク切り換え用の割込み要求を発生したり、取り消したりできます。

遅延割込みが発生する条件を表 15.4-1 に示します。

表 15.4-1 割込み要求発生条件

割込み要求	遅延割込み要求
割込み要求の発生	遅延割込み制御レジスタ (DICR) の DLYI ビットに "1" を書き込む
割込み要求許可	なし (常に許可)
割込み要求のクリア	遅延割込み制御レジスタ (DICR) の DLYI ビットに "0" を書き込む

< 注意事項 >

- 遅延割込みは、DMA 転送要求に使用できません。
- 割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR47) で設定します。割込みレベルの設定については、「第 12 章 割込みコントローラ」を参照してください。

15.5 使用上の注意

遅延割込みを使用する際は、次の点に注意してください。

■ プログラムに関する注意

- 遅延割込み制御ビットは、ほかの割込み要求フラグと同じです。割込みルーチンの中でこのビットをクリアして、合わせてタスクを切り換えてください。
- 遅延割込みは、DMA 転送要求に使用できません。

第 16 章 外部バス インタフェース

外部バスインタフェースの機能と動作について説明します。

- 16.1 概要
- 16.2 構成
- 16.3 レジスタ
- 16.4 レジスタ設定例
- 16.5 使用上の注意

16.1 概要

外部バスインタフェースは、本デバイスと外部装置（メモリ・IO デバイスなど）とを接続してデータの入出力を行うバスインタフェースです。

■ 概要

外部バスインタフェースの特長を示します。

8 本の CS 領域

$\overline{CS0} \sim \overline{CS6}$: SRAM/FLASH 領域

8 ビット・16 ビットバス幅に対応。

256M バイトのアドレス空間。

キャッシュ非対象に設定可能な 256M バイトのミラー空間。

セパレートバス・マルチプレックスバス対応。

1 領域当たり最大 128M バイト。

各 CS 領域ごとに RDY 入力を設定可能。

$\overline{CS8}$: SDRAM 専用領域

64M バイトのアドレス空間。

キャッシュ非対象に設定可能な 64M バイトのミラー空間。

16 ビットバス幅のみ対応。

CAS レイテンシ : 1 ~ 3 を選択可能。

ページサイズ : 最大 1K バイト。

クロック分周機能

オンチップバスに対して、1 : 1 ~ 1 : 4 のクロックを設定可能。

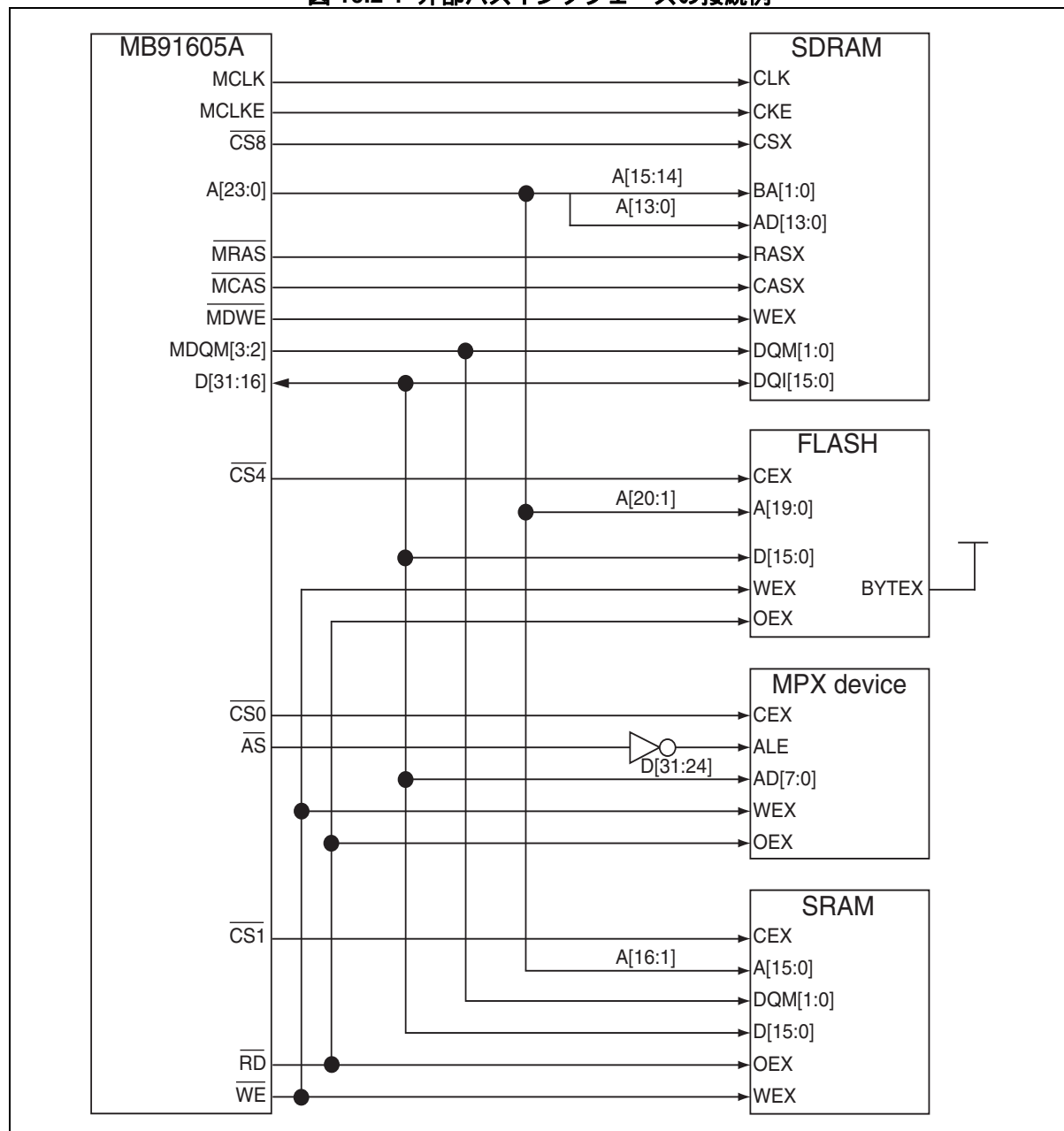
16.2 構成

外部バスインタフェースの構成を示します。

■ 接続例

外部バスインタフェースの接続例を図 16.2-1 に示します。

図 16.2-1 外部バスインタフェースの接続例



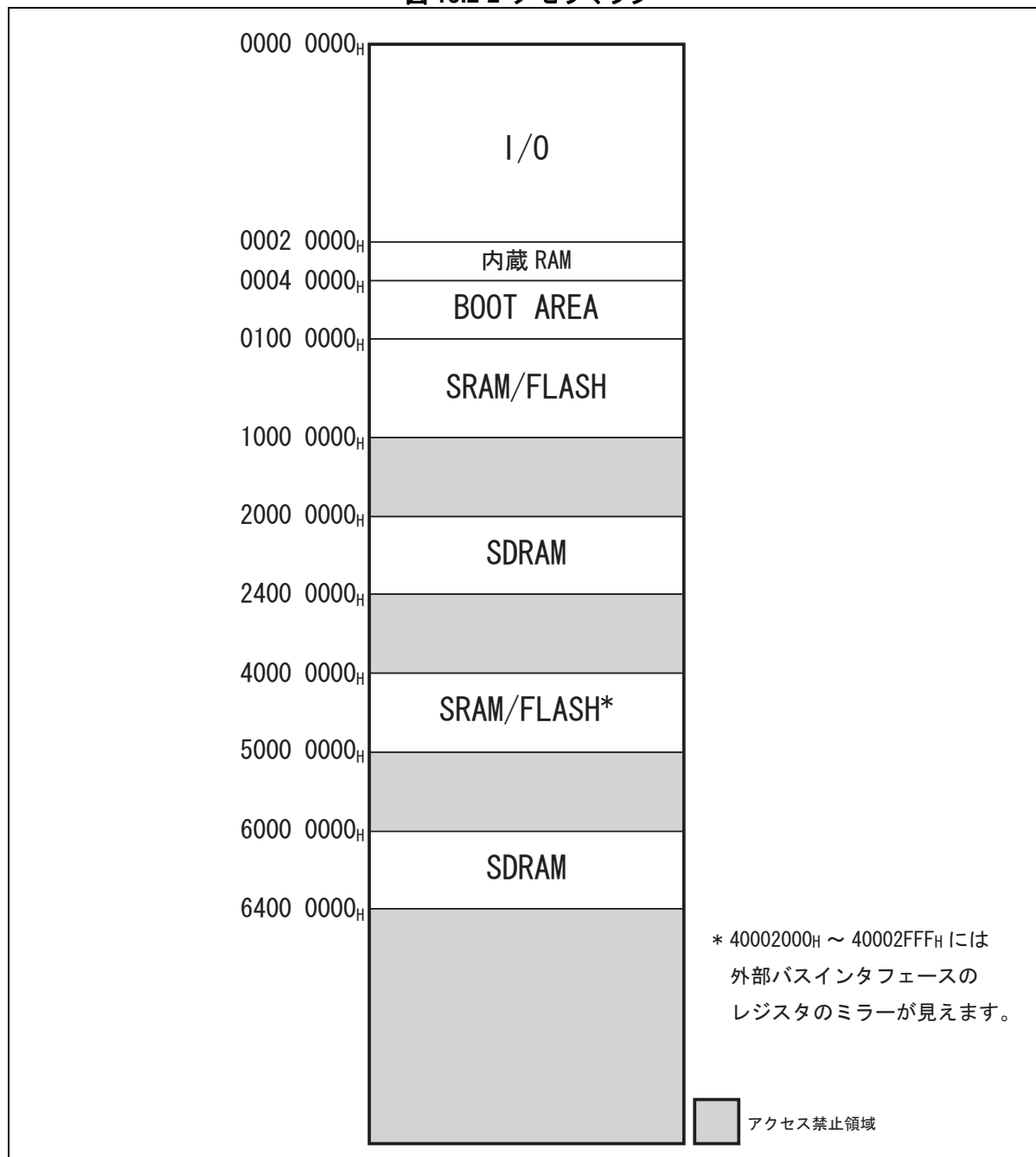
リセット直後, BOOT 領域は $\overline{\text{CS4}}$ に割り当てられています。

MDQM3 は D[31:24], MDQM2 は D[23:16] のバイトイネーブル出力端子です。

■ メモリマップ

メモリマップを図 16.2-2 に示します。

図 16.2-2 メモリマップ



リセット直後, BOOT 領域は $\overline{CS4}$ に割り当てられています。

16.3 レジスタ

外部バスインタフェースで使用するレジスタの構成と機能について説明します。

■ 外部バスインタフェースのレジスタ一覧

外部バスインタフェースのレジスタ一覧を表 16.3-1 に示します。

表 16.3-1 外部バスインタフェースのレジスタ一覧

SRAM/FLASH 制御レジスタ

レジスタ略称	レジスタ名	参照先
MCMR0	SRAM/FLASH モードレジスタ 0	16.3.1
MCMR1	SRAM/FLASH モードレジスタ 1	16.3.1
MCMR2	SRAM/FLASH モードレジスタ 2	16.3.1
MCMR3	SRAM/FLASH モードレジスタ 3	16.3.1
MCMR4	SRAM/FLASH モードレジスタ 4	16.3.1
MCMR5	SRAM/FLASH モードレジスタ 5	16.3.1
MCMR6	SRAM/FLASH モードレジスタ 6	16.3.1
MCMR7	SRAM/FLASH モードレジスタ 7(予約)	16.3.1
MCTR0	SRAM/FLASH タイミングレジスタ 0	16.3.2
MCTR1	SRAM/FLASH タイミングレジスタ 1	16.3.2
MCTR2	SRAM/FLASH タイミングレジスタ 2	16.3.2
MCTR3	SRAM/FLASH タイミングレジスタ 3	16.3.2
MCTR4	SRAM/FLASH タイミングレジスタ 4	16.3.2
MCTR5	SRAM/FLASH タイミングレジスタ 5	16.3.2
MCTR6	SRAM/FLASH タイミングレジスタ 6	16.3.2
MCTR7	SRAM/FLASH タイミングレジスタ 7(予約)	16.3.2
MCAR0	SRAM/FLASH エリアレジスタ 0	16.3.3
MCAR1	SRAM/FLASH エリアレジスタ 1	16.3.3
MCAR2	SRAM/FLASH エリアレジスタ 2	16.3.3
MCAR3	SRAM/FLASH エリアレジスタ 3	16.3.3
MCAR4	SRAM/FLASH エリアレジスタ 4	16.3.3
MCAR5	SRAM/FLASH エリアレジスタ 5	16.3.3
MCAR6	SRAM/FLASH エリアレジスタ 6	16.3.3
MCAR7	SRAM/FLASH エリアレジスタ 7(予約)	16.3.3

SDRAM 制御レジスタ

レジスタ略称	レジスタ名	参照先
SDMR	SDRAM モードレジスタ	16.3.4
SDRTR	SDRAM リフレッシュタイマレジスタ	16.3.5
SDPDR	SDRAM パワーダウンカウントレジスタ	16.3.6
SDTR	SDRAM タイミングレジスタ	16.3.7
SDCMR	SDRAM コマンドレジスタ	16.3.8

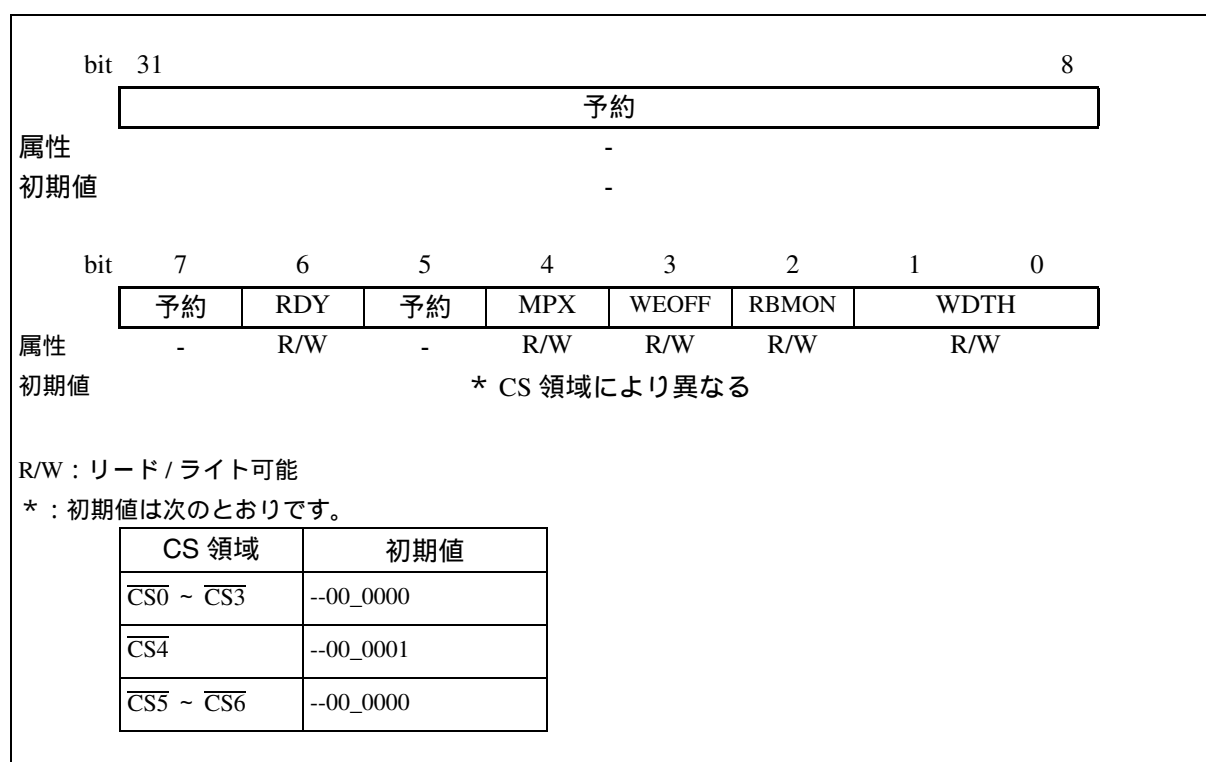
クロック制御レジスタ

レジスタ略称	レジスタ名	参照先
CLKCTL	クロックコントロールレジスタ	16.3.9

16.3.1 SRAM/FLASH モードレジスタ (MCMRx)

SRAM/FLASH モードレジスタ (MCMRx) のビット構成を図 16.3-1 に示します。

図 16.3-1 SRAM/FLASH モードレジスタ (MCMRx) のビット構成



< 注意事項 >

このレジスタは 32 ビットアクセスのみ可能です。

[bit 31 ~ bit 7] : 予約ビット**[bit 6] : RDY**

外部 RDY を許可するビットです。

書込み値	説明
0	RDY 無効
1	RDY 有効

< 注意事項 >

RDY を有効にする場合は、RADC/WADC を 3 サイクル以上に設定してください。

[bit 5] : 予約ビット

"0" を書き込んでください。

[bit 4] : MPX

マルチプレックスバスモードを選択するビットです。

書込み値	説明
0	セパレートバスモード
1	アドレス・データマルチプレックスモード

< 注意事項 >

非同期マルチプレックスモードを使用する場合は、アドレス出力サイクルを確保するために、RADC/WADC を 2 サイクル以上に設定してください。

[bit 3] : WEOFF

$\overline{\text{WE}}$ 出力を制御するビットです。

書込み値	説明
0	$\overline{\text{WE}}$ 出力許可
1	$\overline{\text{WE}}$ 出力禁止

< 注意事項 >

本ビットで $\overline{\text{WE}}$ 出力禁止とした場合、該当 CS 領域への書込み時のキャッシュとのコヒーレンスは保証されません。キャッシュ対象領域で出力禁止とする場合は注意してください。

[bit 2] : RBMON

リードアクセス時にバイトマスク信号 MDQM 出力を許可するビットです。

書込み値	説明
0	MDQM 出力禁止
1	MDQM 出力許可

- ライト時
RBMON に関わらず、常にバイトイネーブルが有効です。
- リード時
RBMON=1 のときのみバイトイネーブルがバイトごとに制御されます。
RBMON=0 のときは全ビットイネーブルです (バイト幅分のビットを全部読み出す)。

[bit 1, bit 0] : WDTH

該当 CS 領域のバス幅を設定するビットです。

書込み値	説明
00	8 ビット
01	16 ビット
10	32 ビット (設定禁止)
11	予約 (設定禁止)

16.3.2 SRAM/FLASH タイミングレジスタ (MCTRx)

SRAM/FLASH タイミングレジスタ (MCTRx) のビット構成を図 16.3-2 に示します。

図 16.3-2 SRAM/FLASH タイミングレジスタ (MCTRx) のビット構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WIDLC				WWEC				WADC				WACC			
属性	R/W															
初期値	0	0	0	0	0	1	0	1	0	1	0	1	1	1	1	1

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIDLC				予約				RADC				RACC			
属性	R/W															
初期値	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1

R/W：リード / ライト可能

< 注意事項 >

- このレジスタは 32 ビットアクセスのみ可能です。
- MCTR を変更したアクセスの次のアクセスから設定が有効になります。
確実に設定が有効になったあとにアクセスするためには、外バスレジスタ書込みをダミーリードしてください。

[bit 31 ~ bit 28] : WIDLC

ライト後アイドルサイクルのサイクル数を設定します。

書込み値	説明
0	1 サイクル
1	2 サイクル
⋮	⋮
15	16 サイクル

[bit 27 ~ bit 24] : WWEC

ライトストローク信号のアサート幅を設定します。

書込み値	説明
0	1 サイクル
⋮	⋮
5	6 サイクル
⋮	⋮
14	15 サイクル
15	予約 (設定禁止)

[bit 23 ~ bit 20] : WADC

ライト時のアドレスセットアップサイクル数を設定します。

書込み値	説明
0	1 サイクル
1	2 サイクル
5	6 サイクル
14	15 サイクル
15	予約 (設定禁止)

[bit 19 ~ bit 16] : WACC

ライト時のアクセスサイクルを設定します。

書込み値	説明
0	1 サイクル (設定禁止)
1	2 サイクル
15	16 サイクル

< 注意事項 >

WACC に設定するサイクル数は、WVEC と WADC に設定したサイクル数の和以上のサイクル数を設定してください。

[bit 15 ~ bit 12] : RIDLC

リード後アイドルサイクルのサイクル数を設定します。

書込み値	説明
0	1 サイクル
1	2 サイクル
15	16 サイクル

[bit 11 ~ bit 8] : 予約ビット

"0" を書き込んでください。

[bit 7 ~ bit 4] : RADC

リード時のアドレスセットアップサイクル数を設定します。

書込み値	説明
0	0 サイクル
1	1
5	5 サイクル
10	10
15	15 サイクル

< 注意事項 >

\overline{AS} を使用する場合は、1 サイクル以上を設定してください。

[bit 3 ~ bit 0] : RACC

リード時のアクセスサイクルを設定します。

書込み値	説明
0	1 サイクル
1	2 サイクル
10	10
15	16 サイクル

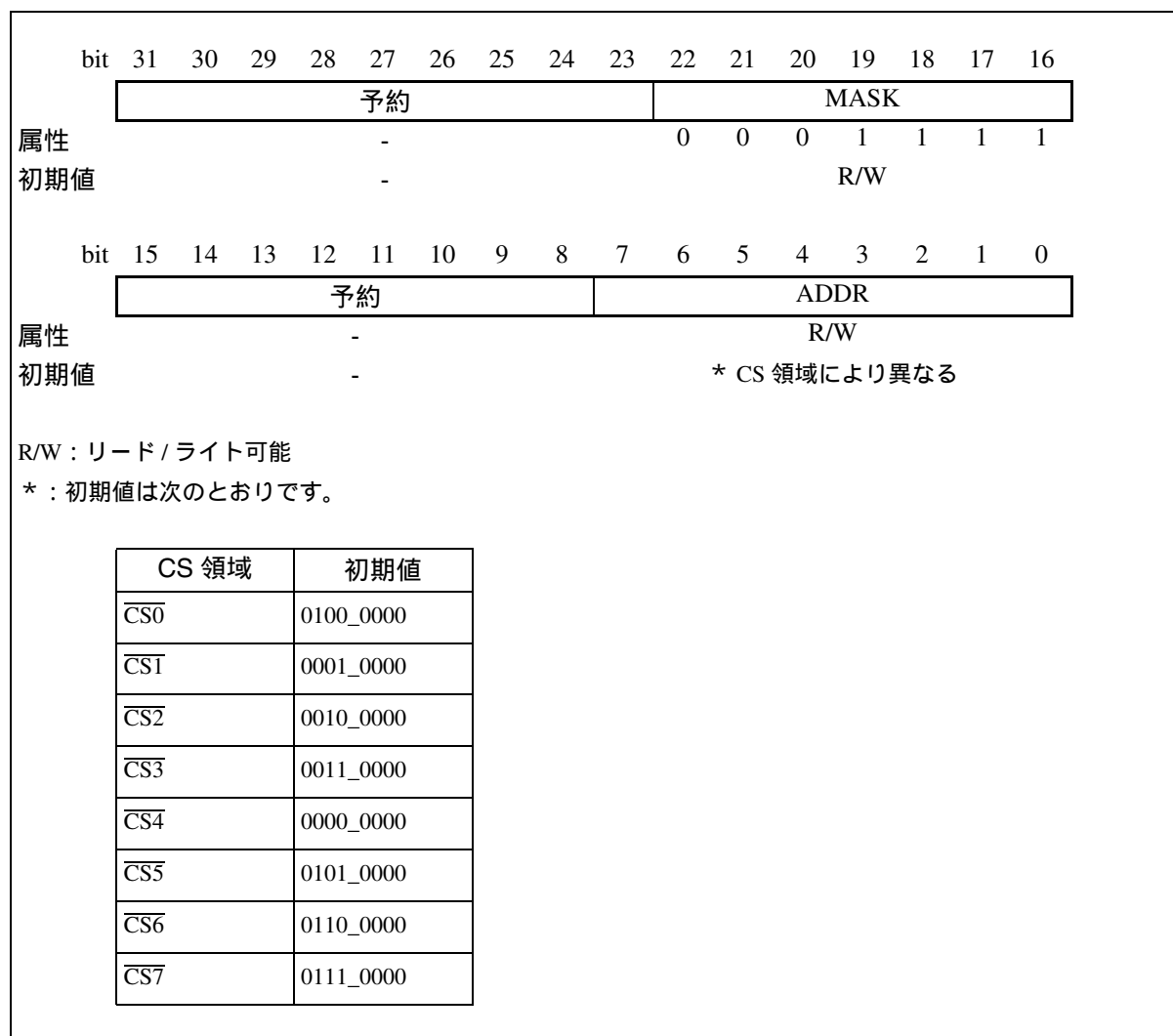
< 注意事項 >

RACC に設定するサイクル数は、RADC に設定したサイクル数を超えるサイクル数を設定してください。

16.3.3 SRAM/FLASH エリアレジスタ (MCARx)

SRAM/FLASH エリアレジスタ (MCARx) のビット構成を図 16.3-3 に示します。

図 16.3-3 SRAM/FLASH エリアレジスタ (MCARx) のビット構成



ADDR が領域の開始アドレスで , MASK が領域サイズに相当します。

< 注意事項 >

このレジスタは 32 ビットアクセスのみ可能です。

[bit 31 ~ bit 23] : 予約ビット

[bit 22 ~ bit 16] : MASK

CS 領域のアドレスマスクを設定します。

アクセスアドレス bit26 ~ bit20 と下記 ADDR ビットの設定値と比較するビットを "0", 比較しないビット (マスクビット) を "1" に設定します。すべて "0" のときは全ビットを比較します。すべて "1" のときは bit27 のみ比較します。

設定例	
000_0000	1M バイト
000_0001	2M バイト
000_0011	4M バイト
000_0111	8M バイト
000_1111	16M バイト
001_1111	32M バイト
011_1111	64M バイト
111_1111	128M バイト

[bit 15 ~ bit 8] : 予約ビット

[bit 7 ~ bit 0] : ADDR

CS 領域の上位アドレス bit27 ~ bit20 の比較アドレスを設定します。

各 CS 領域の初期値		初期値でのアドレス範囲
$\overline{CS0}$	0100_0000	0x0400_0000 ~ 0x04FF_FFFF 0x4400_0000 ~ 0x44FF_FFFF
$\overline{CS1}$	0001_0000	0x0100_0000 ~ 0x01FF_FFFF 0x4100_0000 ~ 0x41FF_FFFF
$\overline{CS2}$	0010_0000	0x0200_0000 ~ 0x02FF_FFFF 0x4200_0000 ~ 0x42FF_FFFF
$\overline{CS3}$	0011_0000	0x0300_0000 ~ 0x03FF_FFFF 0x4300_0000 ~ 0x43FF_FFFF
$\overline{CS4}$	0000_0000	0x0004_0000 ~ 0x00FF_FFFF(1) 0x4000_0000 ~ 0x40FF_FFFF
$\overline{CS5}$	0101_0000	0x0500_0000 ~ 0x05FF_FFFF 0x4500_0000 ~ 0x45FF_FFFF
$\overline{CS6}$	0110_0000	0x0600_0000 ~ 0x06FF_FFFF 0x4600_0000 ~ 0x46FF_FFFF
$\overline{CS7}$ (2)	0111_0000	0x0700_0000 ~ 0x07FF_FFFF 0x4700_0000 ~ 0x47FF_FFFF

- 1 初期値では、BOOT 領域は $\overline{CS4}$ 領域に割り当てられています。
- 2 $\overline{CS7}$ 端子は存在しません、領域設定は必ず行ってください。

< 注意事項 >

各領域は、必ず重ならないように設定してください。

16.3.4 SDRAM モードレジスタ (SDMRx)

SDRAM モードレジスタ (SDMRx) のビット構成を図 16.3-4 に示します。

図 16.3-4 SDRAM モードレジスタ (SDMRx) のビット構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	予約															
属性	-															
初期値	-															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BASEL				RASEL				予約		CASEL		予約	ROFF	PDON	SDON
属性	R/W								-		R/W					
初期値	0	0	0	1	0	0	1	1	-	-	0	0	-	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは 32 ビットアクセスのみ可能です。

[bit 31 ~ bit 16] : 予約ビット

[bit 15 ~ bit 12] : BASEL

A[15:14] 端子に出力される BANK アドレスのビット位置を選択します。

書込み値	説明
0000	bit20, bit19
0001	bit21, bit20
0010	bit22, bit21
0011	bit23, bit22
0100	bit24, bit23
0101	bit25, bit24
0110	bit26, bit25
0111 ~ 1111	設定禁止

A[13:0] 端子に出力される ROW アドレスのビット位置を選択します。

A[9:0] 端子に出力される COLUMN アドレスのビット位置を選択します。

The diagram illustrates the timing of the CAS pin for a memory module. The horizontal axis represents time, with bit positions 31 down to 0. The vertical axis represents the signal level, with '0' at the top and '1' at the bottom. The signals are as follows:

Signal	Address	Data Value
RAS	RASEL	0000
RAS	RASEL	0001
RAS	RASEL	0010
RAS	RASEL	0011
RAS	RASEL	0100
RAS	RASEL	0101
BANK	BASEL	0000
BANK	BASEL	0001
BANK	BASEL	0010
BANK	BASEL	0011
BANK	BASEL	0100
BANK	BASEL	0101
BANK	BASEL	0110

[bit 3] : 予約ビット

[bit 2] : ROFF

SDRAM コマンドレジスタ (SDCMR) へアクセスしている間、リフレッシュを停止させます。

書込み値	説明
0	リフレッシュ許可
1	リフレッシュ停止

[bit 1] : PDON

パワーダウンカウンタで設定した時間を経過すると SDRAM をパワーダウンモードにします。

書込み値	説明
0	パワーダウン無し
1	パワーダウン許可

[bit0] : SDON

SDRAM アクセスを許可します。

書込み値	説明
0	アクセス禁止
1	アクセス許可

< 注意事項 >

このビットを "1" にすると、SDRAM ヘモードデータの転送が行われます。
このレジスタを設定する前に、他の SDRAM 制御レジスタを設定してください。

16.3.5 SDRAM リフレッシュタイマレジスタ (SDRTRx)

SDRAM リフレッシュタイマレジスタ (SDRTRx) のビット構成を図 16.3-5 に示します。

図 16.3-5 SDRAM リフレッシュタイマレジスタ (SDRTRx) のビット構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	予約							PREF	NREF							
属性	-							R/W	R/W							
初期値	-							0	0							
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REFC															
属性	R/W															
初期値	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W : リード / ライト可能																

< 注意事項 >

このレジスタは 32 ビットアクセスのみ可能です。

[bit 31 ~ bit 25] : 予約ビット

[bit 24] : PREF

Pre-Refresh を許可するビットです。

書込み値	説明
0	なし
1	あり

[bit 23 ~ bit 16] : NREF

リフレッシュインターバル毎に発行されるリフレッシュコマンドの回数を設定するビットです。

書込み値	説明
0000_0000	1 回
↑	↑
1111_1111	256 回

[bit 15 ~ bit 0] : REFC

リフレッシュインターバルを設定するビットです。

書込み値	説明
0000 _H ~ 0009 _H	予約 (設定禁止)
0028 _H	40 サイクル
FFFF _H	65536 サイクル

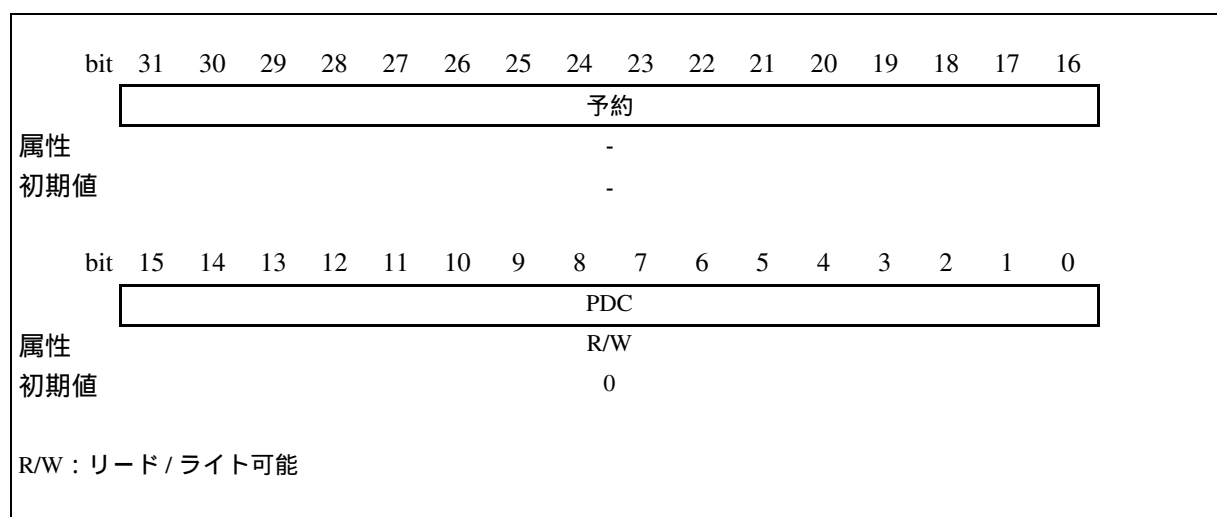
SDRAM のデータシートに、リフレッシュインターバルが 4096cycles/64ms とある場合、以下の条件になるように REFC と NREF を設定してください。

$$64 \times 10^{-3}[\text{s}] \times \text{MCLK}[\text{Hz}]/4096[\text{cyc}] \quad (\text{REFC})/(\text{NREF}+1)$$

16.3.6 SDRAM パワーダウンカウントレジスタ (SDPDRx)

SDRAM パワーダウンカウントレジスタ (SDPDRx) のビット構成を図 16.3-6 に示します。

図 16.3-6 SDRAM パワーダウンカウントレジスタ (SDPDRx) のビット構成



< 注意事項 >

このレジスタは 32 ビットアクセスのみ可能です。

[bit 31 ~ bit 16] : 予約ビット

[bit 15 ~ bit 0] : PDC

パワーダウンカウンタのカウント値を設定するビットです。

書込み値	説明
0000 _H	0 回
ι	ι
FFFF _H	65535 回

16.3.7 SDRAM タイミングレジスタ (SDTRx)

SDRAM タイミングレジスタ (SDTRx) のビット構成を図 16.3-7 に示します。

図 16.3-7 SDRAM タイミングレジスタ (SDTRx) のビット構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	予約						TDPL		TREFC				TRAS			
属性	-						R/W									
初期値	-	-	-	-	-	-	0	0	0	1	0	0	0	0	1	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRCD				TRP				TRC				予約		CL	
属性	R/W										-		R/W			
初期値	0	0	0	1	0	0	0	1	0	1	0	0	-	-	0	1

R/W：リード / ライト可能

< 注意事項 >

このレジスタは 32 ビットアクセスのみ可能です。

[bit 31 ~ bit 26] : 予約ビット

[bit 25, bit 24] : TDPL

ライトからプリチャージまでのレイテンシを設定するビットです。

書込み値	説明
00	1 サイクル
01	2 サイクル
10	3 サイクル
11	4 サイクル

[bit 23 ~ bit 20] : TREFC

コマンドからリフレッシュまでのレイテンシを設定するビットです。

書込み値	説明
0000	1 サイクル
1	1
0100	5 サイクル
1	1
0111	8 サイクル
1000 ~ 1111	予約 (設定禁止)

[bit 19 ~ bit 16] : TRAS

RAS アクティブタイムを設定するビットです。

書込み値	説明
0000	1 サイクル
0001	2 サイクル
0010	3 サイクル
1	1
0111	8 サイクル
1000 ~ 1111	予約 (設定禁止)

[bit 15 ~ bit 12] : TRCD

RAS-CAS デイレイを設定するビットです。

書込み値	説明
0000	1 サイクル
0001	2 サイクル
0010 ~ 1111	予約 (設定禁止)

[bit 11 ~ bit 8] : TRP

RAS プリチャージタイムを設定するビットです。

書込み値	説明
0000	1 サイクル
0001	2 サイクル
0010	3 サイクル
0011	4 サイクル
0100 ~ 1111	予約 (設定禁止)

[bit 7 ~ bit 4] : TRC

RAS サイクルタイムを設定するビットです。

書込み値	説明
0000	1 サイクル
1	1
0100	5 サイクル
1	1
0111	8 サイクル
1000 ~ 1111	予約 (設定禁止)

[bit 3, bit 2] : Reserved

予約ビットです。

[bit 1, bit 0] : CL

CAS レイテンシを設定するビットです。

書込み値	説明
00	1 サイクル
01	2 サイクル
10	3 サイクル
11	予約 (設定禁止)

16.3.8 SDRAM コマンドレジスタ (SDCMRx)

SDRAM コマンドレジスタ (SDCMRx) のビット構成を図 16.3-8 に示します。

図 16.3-8 SDRAM コマンドレジスタ (SDCMRx) のビット構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PEND	予約										SDCKE	SDCS	SDRAS	SDCAS	SDWE
属性	R	-										R/W				
初期値	0	-										0				

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDAD															
属性	R/W															
初期値	0															

R/W：リード/ライト可能

R：リードオンリ

< 注意事項 >

- このレジスタは 32 ビットアクセスのみ可能です。
- 本レジスタに書き込みを行うと、SDRAM ヘコマンドが発行されます。

[bit 31] : PEND

アクセス要求 Pending 状態を示すビットです。

読出し値	説明
0	アクセス可能
1	アクセス抑止中

このレジスタへ書き込みを行って SDRAM コマンド発行を行ったときに、次のデータアクセス要求が受けられる状態に戻ったかどうかを示します。

[bit 30 ~ bit 21] : 予約ビット

[bit 20] : SDCKE

MCLK_E 端子に出す値を設定するビットです。

[bit 19] : SDCS

$\overline{\text{CS}}_8$ 端子に出力する値を設定するビットです。

[bit 18] : SDRAS

$\overline{\text{RAS}}$ 端子に出力する値を設定するビットです。

[bit 17] : SDCAS

$\overline{\text{MCAS}}$ 端子に出力する値を設定するビットです。

[bit 16] : SDWE

$\overline{\text{MDWE}}$ 端子に出力する値を設定するビットです。

[bit 15 ~ bit 0] : SDAD

アドレス端子に出力する値を設定するビットです。

各ビットの設定例

セルフリフレッシュコマンドを発行する場合
SDCKE=0, SDCS=0, SDRAS=0, SDCAS=0, SDWE=1

16.3.9 クロックコントロールレジスタ (CLKCTL)

クロックコントロールレジスタ (CLKCTL) のビット構成を図 16.3-9 に示します。

図 16.3-9 クロックコントロールレジスタ (CLKCTL) のビット構成

bit	31	30	29	28	27	26	25	24
	予約						CLKSEL	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	-	-	-	-	0	0
R/W : リード / ライト可能								

< 注意事項 >

このレジスタはバイトアクセスのみ可能です。

[bit 31 ~ bit 26] : 予約ビット

"0" を書き込んでください。

[bit 25, bit 24] : CLKSEL

外部バスのクロックを選択するビットです。
ベースクロックを分周したクロックが選択できます。

書込み値	説明
00	1 分周 (非分周)
01	2 分周
10	3 分周
11	4 分周

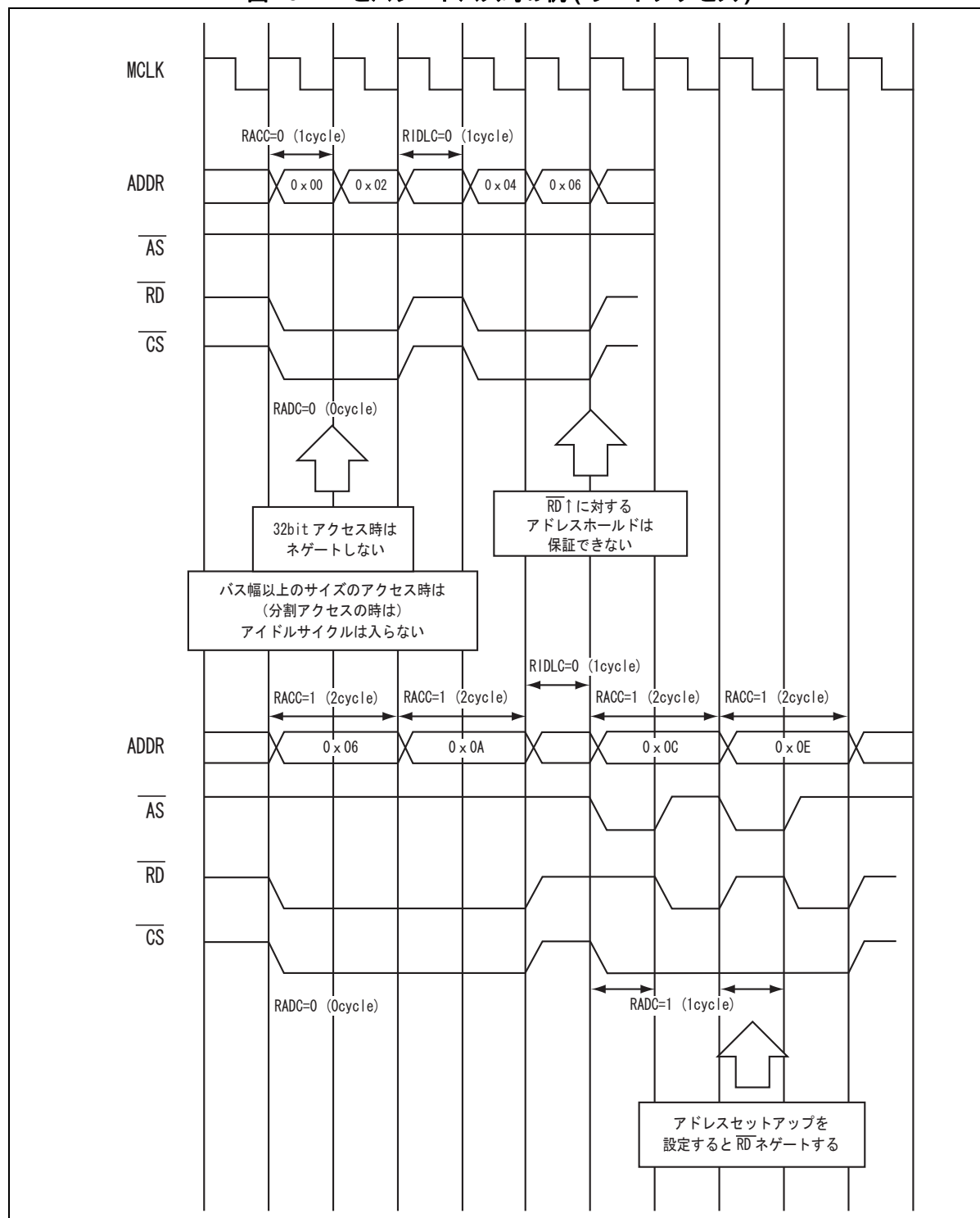
16.4 レジスタ設定例

外部バスインタフェースのレジスタ設定例を示します。

16.4.1 SRAM/FLASH 領域のリードアクセス例

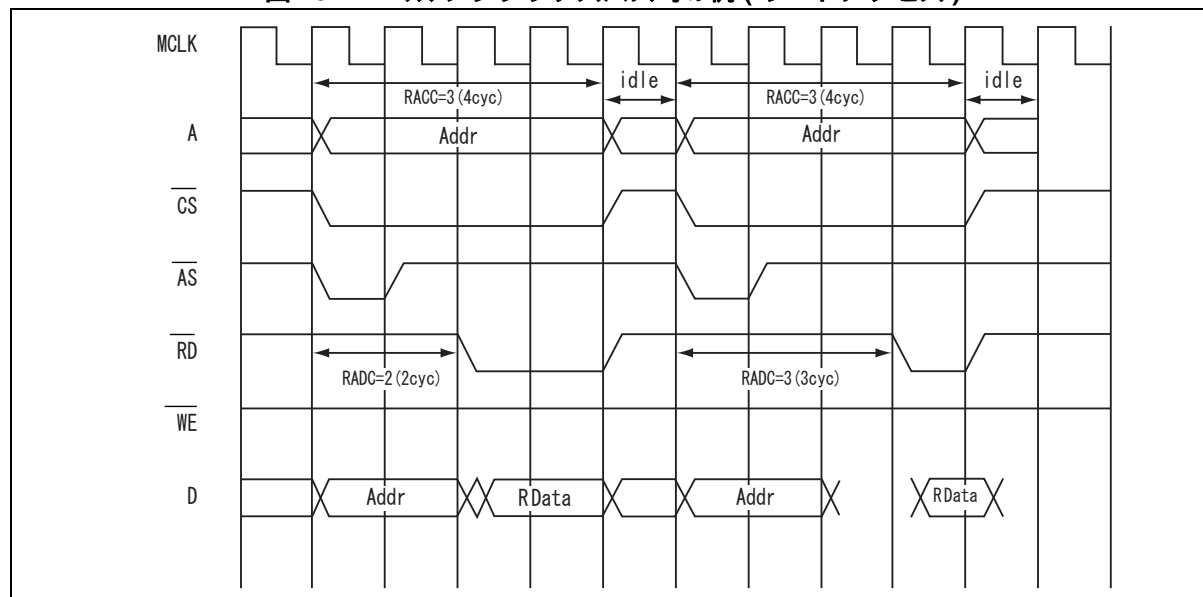
■ セパレートバス時の例

図 16.4-1 セパレートバス時の例 (リードアクセス)



■ マルチプレックスバス時の例

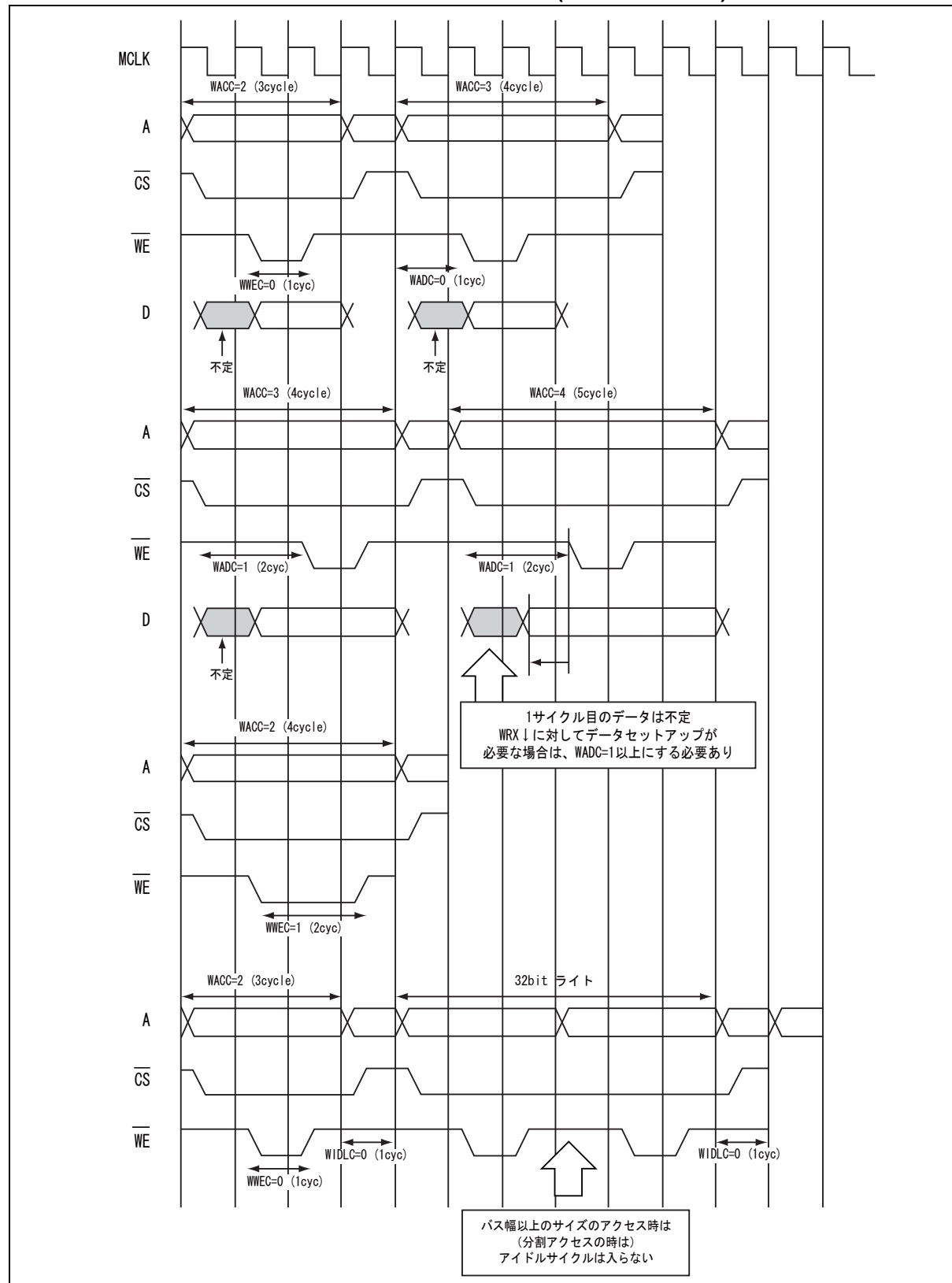
図 16.4-2 マルチプレックスバス時の例 (リードアクセス)



16.4.2 SRAM/FLASH 領域のライトアクセス例

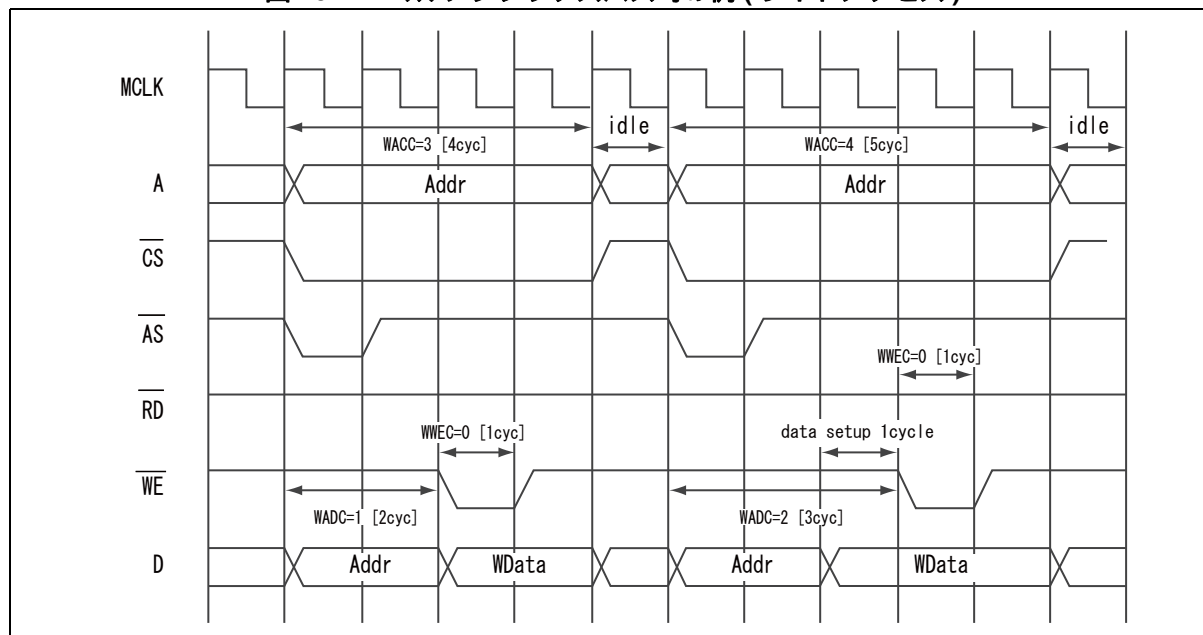
■ セパレートバス時の例

図 16.4-3 セパレートバス時の例 (ライトアクセス)



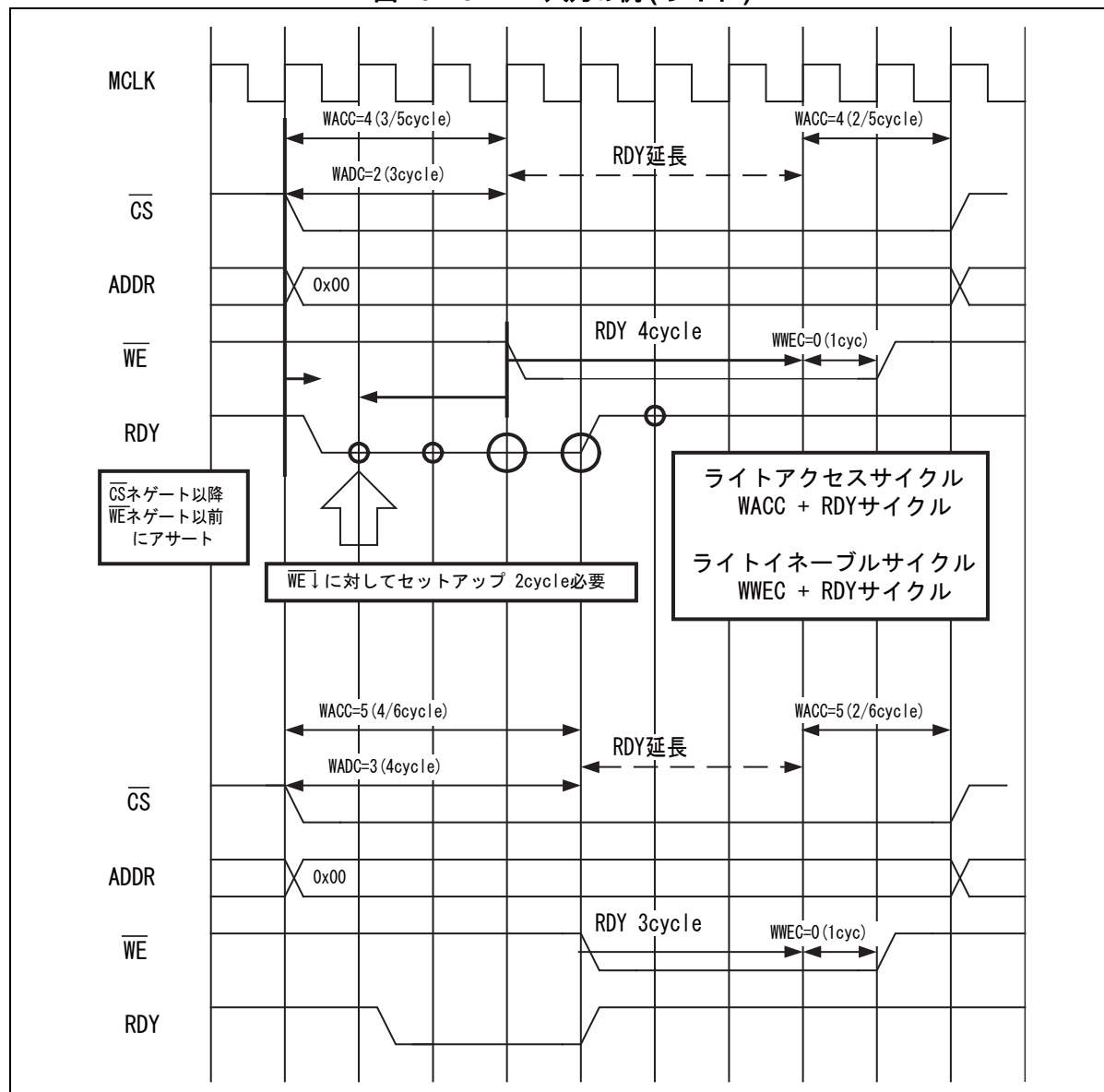
■ マルチプレックスバス時の例

図 16.4-4 マルチプレックスバス時の例 (ライトアクセス)



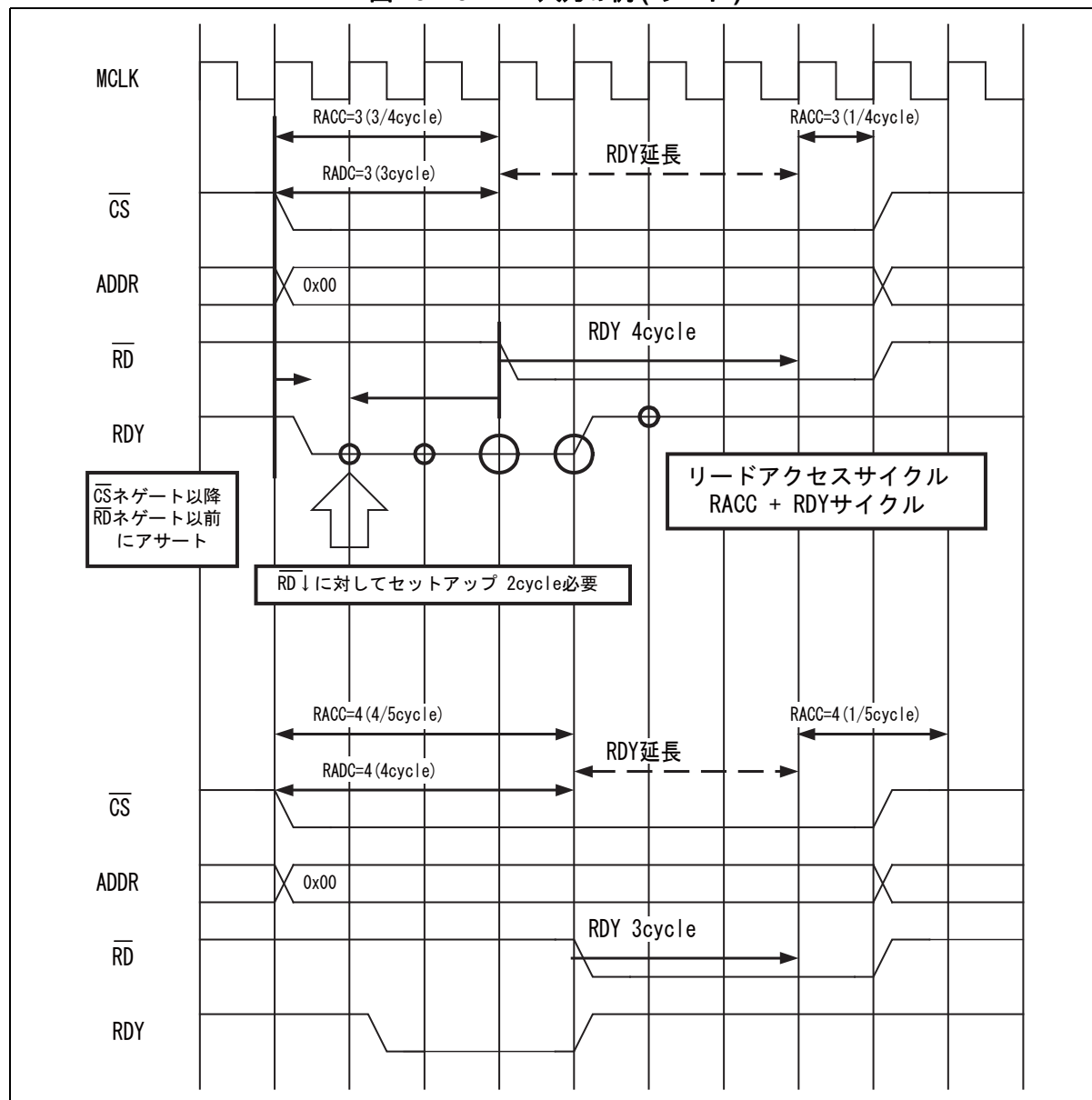
■ RDY 入力の例 (ライト)

図 16.4-5 RDY 入力の例 (ライト)



■ RDY 入力の例 (リード)

図 16.4-6 RDY 入力の例 (リード)



16.4.3 SRAM/FLASH 領域のアドレス領域設定例

SRAM/FLASH 領域のアドレス領域設定例を表 16.4-1 に示します。

表 16.4-1 SRAM/FLASH 領域のアドレス領域設定例

CS 領域の設定例		アドレス範囲	容量	備考
$\overline{\text{CS0}}$	ADDR:0100_0000 MASK:-000_1111	0x0400_0000 ~ 0x04FF_FFFF 0x4400_0000 ~ 0x44FF_FFFF	16M バイト	初期値
$\overline{\text{CS1}}$	ADDR:0001_0000 MASK:-000_1111	0x0100_0000 ~ 0x01FF_FFFF 0x4100_0000 ~ 0x41FF_FFFF	16M バイト	初期値
$\overline{\text{CS2}}$	ADDR:0010_0000 MASK:-000_1111	0x0200_0000 ~ 0x02FF_FFFF 0x4200_0000 ~ 0x42FF_FFFF	16M バイト	初期値
$\overline{\text{CS3}}$	ADDR:0011_0000 MASK:-000_1111	0x0300_0000 ~ 0x03FF_FFFF 0x4300_0000 ~ 0x43FF_FFFF	16M バイト	初期値
$\overline{\text{CS4}}$	ADDR:1000_0000 MASK:-111_1111	0x0800_0000 ~ 0x0FFF_FFFF 0x4800_0000 ~ 0x4FFF_FFFF	128M バイト	最大 容量
$\overline{\text{CS5}}$	ADDR:0101_0000 MASK:-000_1111	0x0500_0000 ~ 0x05FF_FFFF 0x4500_0000 ~ 0x45FF_FFFF	16M バイト	初期値
$\overline{\text{CS6}}$	ADDR:0110_0000 MASK:-000_1111	0x0600_0000 ~ 0x06FF_FFFF 0x4600_0000 ~ 0x46FF_FFFF	16M バイト	初期値
$\overline{\text{CS7}}$ ()	ADDR:0111_0000 MASK:-000_1111	0x0700_0000 ~ 0x07FF_FFFF 0x4700_0000 ~ 0x47FF_FFFF	16M バイト	初期値

端子は存在しませんが、領域設定は必ず重ならないように設定してください。

16.5 使用上の注意

外部バスインタフェースを使用する際は、次の点に注意してください。

- \overline{AS} は SRAM/FLASH 領域のみ出力可能です。 \overline{AS} 出力を使用するときは、該当 CS 領域のアドレスセットアップサイクル (RADC, WADC) を 1 サイクル以上に設定してください。 \overline{AS} アサート幅は 1 サイクル固定です。
- アドレス・データマルチプレックスは SRAM/FLASH 領域のみ設定可能です。マルチプレックスを使用するときは、該当 CS 領域のアドレスセットアップサイクル (RADC, WADC) を 2 サイクル以上に設定してください。アドレスサイクルは 2 サイクル固定です。
- マルチプレックス設定のとき、バス幅を超えるリード (16 ビットバス幅への 32 ビットリード等) を行った場合、最初のリードサイクルの直後 (\overline{RD} 後) に次のアドレスサイクルが発生します。そのため、メモリからの読出しデータとアドレス出力が一瞬バス衝突する可能性があります。
バス衝突を回避するためには、バス幅を超えるデータ幅のリードアクセスは行わないでください。バス幅以下のアクセスであれば、リード後にアイドルサイクルが入るので、バス衝突は起こりません。
- クロック分周の設定の切り替えは、外部バスの動作とは同期していないので、メモリアクセス中にクロックが切り替わります。遅い周波数から速い周波数へ切り替えるときは、アクセス速度が間に合うかどうか注意してください。
- SRAM/FLASH エリアレジスタ (MCAR) で、各 CS 領域は必ず重ならないように設定してください。優先度判定が無いため、複数の領域の CS が同時にアサートします。 $\overline{CS7}$ 領域は、端子は存在しませんが、領域が重ならないようにレジスタ設定は必ず行ってください。
- SRAM/FLASH タイミングレジスタ (MCTR) で、アクセスサイクル RACC と WACC の設定サイクル数は、下記のように設定してください。
 - RACC は、RADC で設定したアドレスサイクル数を超えるサイクル数になるように設定してください。
 - WACC は、WADC と WVEC で設定したサイクル数の和以上のサイクル数になるように設定してください。

第 17 章 I/O ポート

I/O ポートの機能と動作について説明します。

- 17.1 概要
- 17.2 構成
- 17.3 端子
- 17.4 レジスタ

17.1 概要

本製品の端子を外部バスインタフェースや周辺機能で利用しないときは、I/O ポートとして使用することができます。

本製品では、92 本の I/O ポートが用意されています。

■ 概要

I/O ポートには、次の特長があります。

- ポートごとにポートデータレジスタ (PDR) があり、出力データを格納します。リセット後、PDR レジスタの内容は初期化されません。
- ポートごとにデータ方向レジスタ (DDR) があり、ポートの入出力方向を切り替えます。リセット後、すべてのポートは入力となります (DDR=00_H)。
- 各レジスタの設定により、入出力モードを次の中から選択できます。入出力モードを表 17.1-1 に示します。

表 17.1-1 入出力モード

入出力モード	PFR	DDR	PDR へのアクセス	
ポート入力モード	0	0	読出し時 (RMW 系命令以外)	対応する外部端子のレベルが読み出されます。
			読出し時 (RMW 系命令)	PDR の値が読み出されます。
			書込み時	PDR に値が書き込まれます。
ポート出力モード	0	1	読出し時 (RMW 系命令以外)	PDR の値が読み出されます。
			読出し時 (RMW 系命令)	PDR の値が読み出されます。
			書込み時	PDR に値が書き込まれ、対応する外部端子へ出力されます。
周辺機能出力モード	1	0	読出し時 (RMW 系命令以外)	周辺機能からの出力値が読み出されます。
			読出し時 (RMW 系命令)	PDR の値が読み出されます。
			書込み時	PDR に値が書き込まれます。
	1	1	読出し時 (RMW 系命令以外)	PDR の値が読み出されます。
			読出し時 (RMW 系命令)	PDR の値が読み出されます。
			書込み時	PDR に値が書き込まれます。

PFR：ポートファンクションレジスタ (PFR2 ~ PFRE)

DDR：データ方向レジスタ (DDR2 ~ DDRE)

PDR：ポートデータレジスタ (PDR2 ~ PDRE)

RMW 系命令：リードモディファイライト系命令

- 周辺機能への入力は、特別な場合を除き常に端子に接続されています。通常はポート入力モードで周辺機能への入力を行ってください。
- ポート B/C/E にはプルアップ制御レジスタ (PCR) があり、端子ごとに 33k のプルアップを設定することができます。
- ポートにはポートファンクションレジスタ (PFR) があり、主に周辺機能の出力を制御しています。
- 外部バスモードで、外部バスインタフェースに割り当てられている端子は、DDR レジスタ、PFR レジスタの設定を無効とし、バスインタフェースの機能が優先されます。外部バスモードでこれらの端子を汎用ポート / 周辺機能出力として使用する場合は、PFR レジスタを設定し、バスインタフェースとしての機能を無効に設定してください。

- STOP モード時, 入力は "0" 固定となります。ただし外部割込み入力は, 対応する割込みが有効な場合 (ENIR ビットの設定と PFR による入力端子選択) は固定されず, 端子への入力は割込みとして使用できます。
- 周辺機能の双方向信号 (マルチファンクションシリアルインタフェースの I²C 機能 SOUT/SDA, SCK/SCL) は, PFR レジスタで有効となります。入出力の切換えについては対応する周辺機能の章を参照してください。

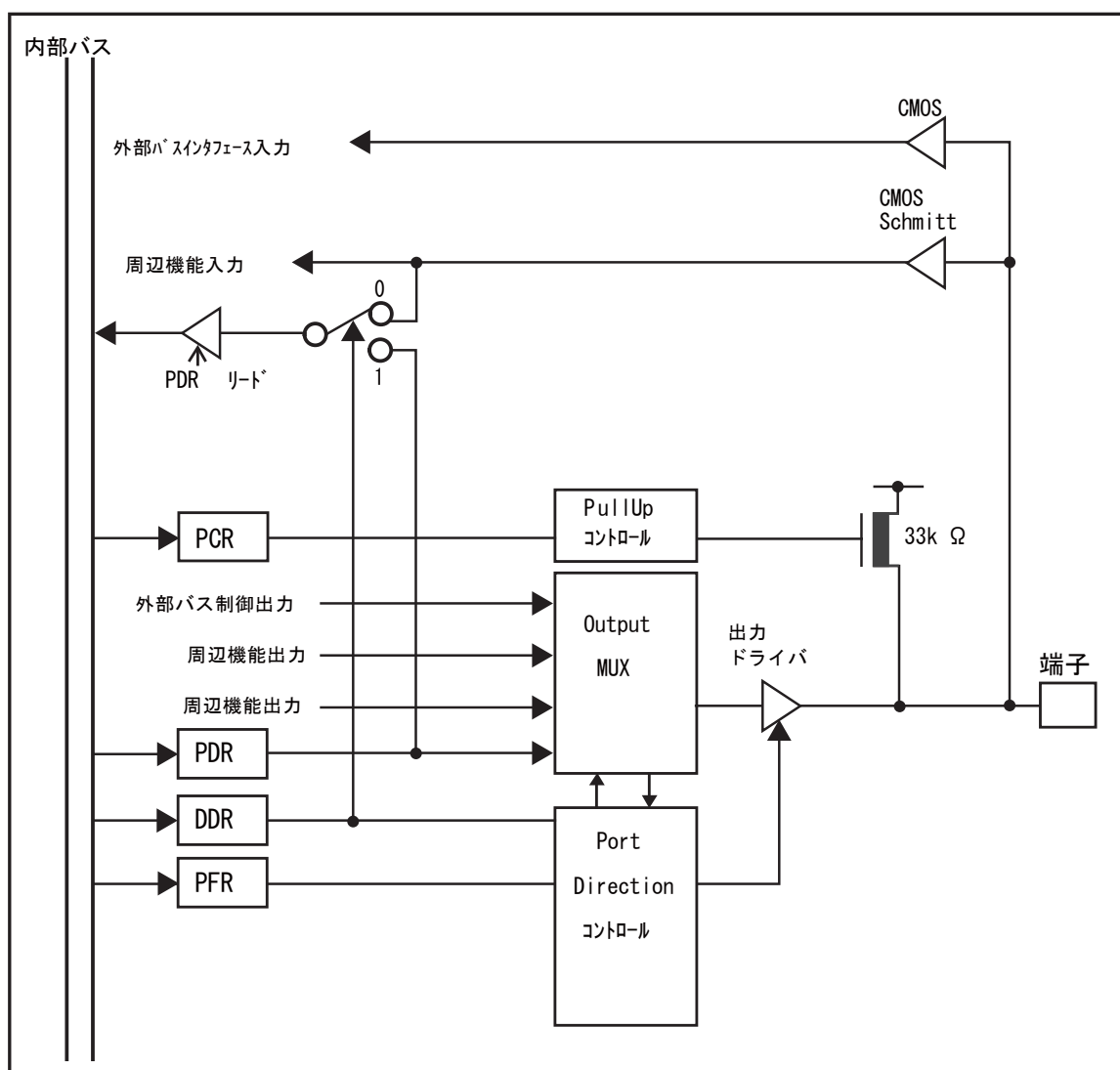
17.2 構成

I/O ポートの構成について説明します。

■ ポート基本ブロックダイアグラム

図 17.2-1 に、ポートの基本的な構成を示します。

図 17.2-1 ポート基本ブロックダイアグラム



17.3 端子

I/O ポートで使用する端子について説明します。

■ 概要

ポート 2 ~ ポート E に分類される I/O ポートが最大で 92 本用意されています。
同じ番号に分類されたポートは、同時に読出し / 書込みが可能です。

- P20 ~ P23 (ポート 2)
- P30 ~ P37 (ポート 3)
- P40 ~ P45 (ポート 4)
- P50 ~ P57 (ポート 5)
- P60 ~ P67 (ポート 6)
- P70 ~ P77 (ポート 7)
- P80 ~ P85 (ポート 8)
- P90 ~ P95 (ポート 9)
- PA0 ~ PA5 (ポート A)
- PB0 ~ PB7 (ポート B)
- PC0 ~ PC7 (ポート C)
- PD0 ~ PD7 (ポート D)
- PE0 ~ PE7 (ポート E)

17.4 レジスタ

I/O ポートで使用するレジスタの構成と機能について説明します。

■ I/O ポートのレジスタ一覧

I/O ポートのレジスタ一覧を表 17.4-1 に示します。

表 17.4-1 I/O ポートのレジスタ一覧 (1 / 2)

ポート	レジスタ略称	レジスタ名	参照先
共通	ADER	ADER 制御レジスタ	17.4.5
2	PDR2	ポートデータレジスタ 2	17.4.1
	DDR2	データ方向レジスタ 2	17.4.2
	PFR2	ポートファンクションレジスタ 2	17.4.3
3	PDR3	ポートデータレジスタ 3	17.4.1
	DDR3	データ方向レジスタ 3	17.4.2
	PFR3	ポートファンクションレジスタ 3	17.4.3
4	PDR4	ポートデータレジスタ 4	17.4.1
	DDR4	データ方向レジスタ 4	17.4.2
	PFR4	ポートファンクションレジスタ 4	17.4.3
5	PDR5	ポートデータレジスタ 5	17.4.1
	DDR5	データ方向レジスタ 5	17.4.2
	PFR5	ポートファンクションレジスタ 5	17.4.3
6	PDR6	ポートデータレジスタ 6	17.4.1
	DDR6	データ方向レジスタ 6	17.4.2
	PFR6	ポートファンクションレジスタ 6	17.4.3
7	PDR7	ポートデータレジスタ 7	17.4.1
	DDR7	データ方向レジスタ 7	17.4.2
	PFR7	ポートファンクションレジスタ 7	17.4.3
8	PDR8	ポートデータレジスタ 8	17.4.1
	DDR8	データ方向レジスタ 8	17.4.2
	PFR8	ポートファンクションレジスタ 8	17.4.3
9	PDR9	ポートデータレジスタ 9	17.4.1
	DDR9	データ方向レジスタ 9	17.4.2
	PFR9	ポートファンクションレジスタ 9	17.4.3
A	PDRA	ポートデータレジスタ A	17.4.1
	DDRA	データ方向レジスタ A	17.4.2
	PFRA	ポートファンクションレジスタ A	17.4.3
B	PDRB	ポートデータレジスタ B	17.4.1
	DDRB	データ方向レジスタ B	17.4.2
	PFRB	ポートファンクションレジスタ B	17.4.3
	PCRB	ブルアップ制御レジスタ B	17.4.4

表 17.4-1 I/O ポートのレジスタ一覧 (2 / 2)

ポート	レジスタ略称	レジスタ名	参照先
C	PDR2	ポートデータレジスタ C	17.4.1
	DDR2	データ方向レジスタ C	17.4.2
	PFRC	ポートファンクションレジスタ C	17.4.3
	PCRC	プルアップ制御レジスタ C	17.4.4
D	PDRD	ポートデータレジスタ D	17.4.1
	DDRD	データ方向レジスタ D	17.4.2
	PFRD	ポートファンクションレジスタ D	17.4.3
E	PDRE	ポートデータレジスタ E	17.4.1
	DDRE	データ方向レジスタ E	17.4.2
	PFRE	ポートファンクションレジスタ E	17.4.3
	PCRE	プルアップ制御レジスタ E	17.4.4

17.4.1 ポートデータレジスタ (PDR2 ~ PDRE)

ポートごとにポートデータレジスタ (PDR2 ~ PDRE) があり, 出力データを格納します。

リセット後, このレジスタの内容は初期化されません。

ポートデータレジスタ (PDR2 ~ PDRE) のビット構成を図 17.4-1 に示します。

図 17.4-1 ポートデータレジスタ (PDR2 ~ PDRE) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
PDR2	-	-	-	-	PDR23	PDR22	PDR21	PDR20	----XXXX	R/W
PDR3	PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30	XXXXXXXXXX	R/W
PDR4	-	-	PDR45	PDR44	PDR43	PDR42	PDR41	PDR40	--XXXXXX	R/W
PDR5	PDR57	PDR56	PDR55	PDR54	PDR53	PDR52	PDR51	PDR50	XXXXXXXXXX	R/W
PDR6	PDR67	PDR66	PDR65	PDR64	PDR63	PDR62	PDR61	PDR60	XXXXXXXXXX	R/W
PDR7	PDR77	PDR76	PDR75	PDR74	PDR73	PDR72	PDR71	PDR70	XXXXXXXXXX	R/W
PDR8	-	-	PDR85	PDR84	PDR83	PDR82	PDR81	PDR80	--XXXXXX	R/W
PDR9	-	-	PDR95	PDR94	PDR93	PDR92	PDR91	PDR90	--XXXXXX	R/W
PDRA	-	-	PDRA5	PDRA4	PDRA3	PDRA2	PDRA1	PDRA0	--XXXXXX	R/W
PDRB	PDRB7	PDRB6	PDRB5	PDRB4	PDRB3	PDRB2	PDRB1	PDRB0	XXXXXXXXXX	R/W
PDR2	PDR27	PDR26	PDR25	PDR24	PDR23	PDR22	PDR21	PDR20	XXXXXXXXXX	R/W
PDRD	PDRD7	PDRD6	PDRD5	PDRD4	PDRD3	PDRD2	PDRD1	PDRD0	XXXXXXXXXX	R/W
PDRE	PDRE7	PDRE6	PDRE5	PDRE4	PDRE3	PDRE2	PDRE1	PDRE0	XXXXXXXXXX	R/W

R/W : リード / ライト可能
- : 未定義
X : 不定

PDR2 ~ PDRE は, I/O ポートの入出力データレジスタです。

対応する DDR2 ~ DDRE で入出力制御を行います。

ポートの状態に関わらず, ポートデータレジスタへのリードモディファイライト命令では, レジスタの設定値が読み出されます。

17.4.2 データ方向レジスタ (DDR2 ~ DDRE)

ポートごとにデータ方向レジスタ (DDR2 ~ DDRE) があり，ポートの入出力方向を切り替えます。

リセット後，すべてのポートは入力となります (DDR=00_H)。

データ方向レジスタ (DDR2 ~ DDRE) のビット構成を図 17.4-2 に示します。

図 17.4-2 データ方向レジスタ (DDR2 ~ DDRE) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
DDR2	-	-	-	-	DDR23	DDR22	DDR21	DDR20	---0000	R/W
DDR3	DDR37	DDR36	DDR35	DDR34	DDR33	DDR32	DDR31	DDR30	00000000	R/W
DDR4	-	-	DDR45	DDR44	DDR43	DDR42	DDR41	DDR40	--000000	R/W
DDR5	DDR57	DDR56	DDR55	DDR54	DDR53	DDR52	DDR51	DDR50	00000000	R/W
DDR6	DDR67	DDR66	DDR65	DDR64	DDR63	DDR62	DDR61	DDR60	00000000	R/W
DDR7	DDR77	DDR76	DDR75	DDR74	DDR73	DDR72	DDR71	DDR70	00000000	R/W
DDR8	-	-	DDR85	DDR84	DDR83	DDR82	DDR81	DDR80	--000000	R/W
DDR9	-	-	DDR95	DDR94	DDR93	DDR92	DDR91	DDR90	--000000	R/W
DDRA	-	-	DDRA5	DDRA4	DDRA3	DDRA2	DDRA1	DDRA0	--000000	R/W
DDRB	DDRB7	DDRB6	DDRB5	DDRB4	DDRB3	DDRB2	DDRB1	DDRB0	00000000	R/W
DDRC	DDRC7	DDRC6	DDRC5	DDRC4	DDRC3	DDRC2	DDRC1	DDRC0	00000000	R/W
DDRD	DDRD7	DDRD6	DDRD5	DDRD4	DDRD3	DDRD2	DDRD1	DDRD0	00000000	R/W
DDRE	DDRE7	DDRE6	DDRE5	DDRE4	DDRE3	DDRE2	DDRE1	DDRE0	00000000	R/W

R/W：リード / ライト可能
 -：未定義
 X：不定

このビットの設定と，ポートファンクションレジスタ (PFR2 ~ PFRE) の設定によりポートデータレジスタ (PDR2 ~ PDRE) からの読出し値 / 書込み値の意味が異なります。

レジスタ設定とポートデータレジスタ (PDR2 ~ PDRE) からの読出し値 / 書込み値の関係を表 17.4-2 に示します。

表 17.4-2 レジスタ設定とポートデータレジスタ (PDR2 ~ PDRE) からの読出し値 / 書き込み値の関係

入出力モード	PFR	DDR	PDR へのアクセス	
ポート入力モード	0	0	読出し時 (RMW 系命令以外)	対応する外部端子のレベルが読み出されます。
			読出し時 (RMW 系命令)	PDR の値が読み出されます。
			書き込み時	PDR に値が書き込まれます。
ポート出力モード	0	1	読出し時 (RMW 系命令以外)	PDR の値が読み出されます。
			読出し時 (RMW 系命令)	PDR の値が読み出されます。
			書き込み時	PDR に値が書き込まれ、対応する外部端子へ出力されます。
周辺機能出力モード	1	0	読出し時 (RMW 系命令以外)	周辺機能からの出力値が読み出されます。
			読出し時 (RMW 系命令)	PDR の値が読み出されます。
			書き込み時	PDR に値が書き込まれます。
	1	1	読出し時 (RMW 系命令以外)	PDR の値が読み出されます。
			読出し時 (RMW 系命令)	PDR の値が読み出されます。
			書き込み時	PDR に値が書き込まれます。

PFR : ポートファンクションレジスタ (PFR2 ~ PFRE)

DDR : データ方向レジスタ (DDR2 ~ DDRE)

PDR : ポートデータレジスタ (PDR2 ~ PDRE)

RMW 系命令: リードモディファイライト系命令

周辺機能への入力とは特別な場合を除き常に端子に接続されています。通常はポート入力モードで周辺機能への入力を行ってください。

17.4.3 ポートファンクションレジスタ (PFR2 ~ PFRE)

このレジスタについて各ポートごとに説明します。

■ ポート 2

ポート 2 はポートファンクションレジスタ 2 (PFR2) により制御されます。

外部バスモード時はバスインタフェースの制御端子 (SYSCLK, \overline{WE} , MDQM3, MDQM2) となります。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。ポートファンクションレジスタ 2 (PFR2) のビット構成を図 17.4-3 に示します。

図 17.4-3 ポートファンクションレジスタ 2 (PFR2) のビット構成

bit	7	6	5	4	3	2	1	0
	-	-	-	-	PFR23	PFR22	PFR21	PFR20
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	-	-	1	1	1	0

R/W：リード / ライト可能
-：未定義

各ビットの対応は以下のとおりです。

ビット	PFR2	機能
bit7	0	無効
	1	無効
bit6	0	無効
	1	無効
bit5	0	無効
	1	無効
bit4	0	無効
	1	無効
bit3	0	汎用ポート
	1	MDQM2 出力
bit2	0	汎用ポート
	1	MDQM3 出力
bit1	0	汎用ポート
	1	$\overline{\text{WE}}$ 出力
bit0	0	汎用ポート
	1	SYSCLK 出力

■ ポート 3

ポート 3 はポートファンクションレジスタ 3 (PFR3) により制御されます。

外部バスモード時はバスインタフェースの制御端子 ($\overline{\text{CSn}}$, $\overline{\text{AS}}$) となります。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ 3 (PFR3) のビット構成を図 17.4-4 に示します。

図 17.4-4 ポートファンクションレジスタ 3 (PFR3) のビット構成

bit	7	6	5	4	3	2	1	0
	PFR37	PFR36	PFR35	PFR34	PFR33	PFR32	PFR31	PFR30
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	1	1	1	1

R/W : リード / ライト可能

各ビットの対応は以下のとおりです。

ビット	PFR3	機能
bit7	0	汎用ポート
	1	チップセレクト 8($\overline{CS8}$) 出力
bit6	0	汎用ポート
	1	チップセレクト 6($\overline{CS6}$) 出力
bit5	0	汎用ポート
	1	チップセレクト 5($\overline{CS5}$) 出力
bit4	0	汎用ポート
	1	アドレスストローブ (\overline{AS}) 出力
bit3	0	汎用ポート
	1	チップセレクト 3($\overline{CS3}$) 出力
bit2	0	汎用ポート
	1	チップセレクト 2($\overline{CS2}$) 出力
bit1	0	汎用ポート
	1	チップセレクト 1($\overline{CS1}$) 出力
bit0	0	汎用ポート
	1	チップセレクト 0($\overline{CS0}$) 出力

■ ポート 4

ポート 4 はポートファンクションレジスタ 4 (PFR4) により制御されます。

外部バスモード時は、ポート 4 はバスインタフェースの制御端子 (RDY, \overline{MRAS} , \overline{MCAS} , \overline{MDWE} , MCLKE, MCLK) となります。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ 4 (PFR4) のビット構成を図 17.4-5 に示します。

図 17.4-5 ポートファンクションレジスタ 4 (PFR4) のビット構成

bit	7	6	5	4	3	2	1	0
	-	-	PFR45	PFR44	PFR43	PFR42	PFR41	PFR40
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	1	1	0	0	0	0

R/W：リード / ライト可能
-：未定義

各ビットの対応は以下のとおりです。

ビット	PFR4	機能
bit7	0	無効
	1	無効
bit6	0	無効
	1	無効
bit5	0	汎用ポート
	1	MCLK 出力
bit4	0	汎用ポート
	1	MCLKE 出力
bit3	0	汎用ポート
	1	$\overline{\text{MDWE}}$ 出力
bit2	0	汎用ポート
	1	$\overline{\text{MCAS}}$ 出力
bit1	0	汎用ポート
	1	$\overline{\text{MRAS}}$ 出力
bit0	0	汎用ポート
	1	設定禁止

■ ポート 5

ポート 5 はポートファンクションレジスタ 5 (PFR5) により制御されます。
外部バスモードでは、ポート 5 はバスインタフェースの A23 ~ A16 となります。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。
ポートファンクションレジスタ 5 (PFR5) のビット構成を図 17.4-6 に示します。

図 17.4-6 ポートファンクションレジスタ 5 (PFR5) のビット構成

bit	7	6	5	4	3	2	1	0
	PFR57	PFR56	PFR55	PFR54	PFR53	PFR52	PFR51	PFR50
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

R/W : リード / ライト可能

各ビットの対応は以下のとおりです。

ビット	PFR5	機能
bit7	0	汎用ポート
	1	外部アドレス出力 A23
bit6	0	汎用ポート
	1	外部アドレス出力 A22
bit5	0	汎用ポート
	1	外部アドレス出力 A21
bit4	0	汎用ポート
	1	外部アドレス出力 A20
bit3	0	汎用ポート
	1	外部アドレス出力 A19
bit2	0	汎用ポート
	1	外部アドレス出力 A18
bit1	0	汎用ポート
	1	外部アドレス出力 A17
bit0	0	汎用ポート
	1	外部アドレス出力 A16

■ ポート 6

ポート 6 はポートファンクションレジスタ 6 (PFR6) により制御されます。

ポート 6 は、AD コンバータのアナログ入力と兼用しており、ADER レジスタの対応するビットがセットされると、ポートの設定は無効となり、アナログ入力端子となります。

それ以外のモードでは、マルチファンクションシリアルインタフェース ch.10/ch.11 に割り当てられます。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ 6 (PFR6) のビット構成を図 17.4-7 に示します。

図 17.4-7 ポートファンクションレジスタ 6 (PFR6) のビット構成

bit	7	6	5	4	3	2	1	0
	PFR67	PFR66	PFR65	PFR64	PFR63	PFR62	PFR61	PFR60
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード/ライト可能

各ビットの対応は以下のとおりです。

ビット	PFR6	機能
bit7	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.11 SCK11/SCL11 出力
bit6	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.11 SOUT11/SDA11 出力
bit5	0	汎用ポート
	1	設定禁止
bit4	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.10 SCK10/SCL10 出力
bit3	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.10 SOUT10/SDA10 出力
bit2	0	汎用ポート
	1	設定禁止
bit1	0	汎用ポート
	1	設定禁止
bit0	0	汎用ポート
	1	設定禁止

< 注意事項 >

デフォルトで ADER レジスタは A/D アナログ入力に設定されています。アナログ入力以外の機能を使用する場合は、ADER レジスタの設定をクリアしてください。

■ ポート 7

ポート 7 はポートファンクションレジスタ 7 (PFR7) により制御されます。

ポート 7 のビット 0 ~ 3 は、AD コンバータのアナログ入力と兼用しており、ADER レジスタの対応するビットがセットされると、ポートの設定は無効となり、アナログ入力端子となります。

それ以外のモードでは、ベースタイマ ch.10/ch.11、マルチファンクションシリアルインタフェース ch.0、HDMI-CEC 入出力に割り当てられます。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ 7 (PFR7) のビット構成を図 17.4-8 に示します。

図 17.4-8 ポートファンクションレジスタ 7 (PFR7) のビット構成

bit	7	6	5	4	3	2	1	0
	PFR77	PFR76	PFR75	PFR74	PFR73	PFR72	PFR71	PFR70
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

各ビットの対応は以下のとおりです。

ビット	PFR7	機能
bit7	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.0 SCK0/SCL0 出力
bit6	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.0 SOUT0/SDA0 出力
bit5	0	汎用ポート
	1	設定禁止
bit4	0	汎用ポート
	1	HDMI-CEC 入出力 (オープンドレイン)
bit3, bit2	00	汎用ポート
	01	ベースタイマ ch.11 TIOA11 出力 (通常出力)
	10	設定禁止
	11	ベースタイマ ch.11 TIOA11 出力 (オープンドレイン出力)
bit1, bit0	00	汎用ポート
	01	ベースタイマ ch.10 TIOA10 出力 (通常出力)
	10	設定禁止
	11	ベースタイマ ch.10 TIOA10 出力 (オープンドレイン出力)

< 注意事項 >

- デフォルトで ADER レジスタは A/D アナログ入力に設定されています。アナログ入力以外の機能を使用する場合は、ADER レジスタの設定をクリアしてください。
- HDMI-CEC 入出力モードは、HDMI-CEC モード使用時のみ設定してください。その他のリモコン受信モードの時は、汎用ポートを選択し、DDR7 レジスタで入力に設定してください。

■ ポート 8

ポート 8 はポートファンクションレジスタ 8 (PFR8) により制御されます。マルチファンクションシリアルインタフェース ch.1/ch.2 と兼用です。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ 8 (PFR8) のビット構成を図 17.4-9 に示します。

図 17.4-9 ポートファンクションレジスタ 8 (PFR8) のビット構成

bit	7	6	5	4	3	2	1	0
	-	-	PFR85	PFR84	PFR83	PFR82	PFR81	PFR80
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	0	0	0	0	0	0

R/W : リード / ライト可能
- : 未定義

各ビットの対応は以下のとおりです。

ビット	PFR8	機能
bit7	0	無効
	1	無効
bit6	0	無効
	1	無効
bit5	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.2 SCK2/SCL2 出力
bit4	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.2 SOUT2/SDA2 出力。
bit3	0	汎用ポート
	1	設定禁止
bit2	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.1 SCK1/SCL1 出力

ビット	PFR8	機能
bit1	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.1 SOUT1/SDA1 出力
bit0	0	汎用ポート
	1	設定禁止

■ ポート 9

ポート 9 はポートファンクションレジスタ 9 (PFR9) により制御されます。マルチファンクションシリアルインタフェース ch.3/ch.4 と兼用です。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ 9 (PFR9) のビット構成を図 17.4-10 に示します。

図 17.4-10 ポートファンクションレジスタ 9 (PFR9) のビット構成

bit	7	6	5	4	3	2	1	0
	-	-	PFR95	PFR94	PFR93	PFR92	PFR91	PFR90
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	0	0	0	0	0	0

R/W : リード / ライト可能
- : 未定義

各ビットの対応は以下のとおりです。

ビット	PFR9	機能
bit7	0	無効
	1	無効
bit6	0	無効
	1	無効
bit5	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.4 SCK4/SCL4 出力
bit4	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.4 SOUT4/SDA4 出力
bit3	0	汎用ポート
	1	設定禁止
bit2	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.3 SCK3/SCL3 出力

ビット	PFR9	機能
bit1	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.3 SOUT3/SDA3 出力
bit0	0	汎用ポート
	1	設定禁止

■ ポート A

ポート A はポートファンクションレジスタ A (PFRA) により制御されます。マルチファンクションシリアルインタフェース ch.5/ch.6 と兼用です。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ A (PFRA) のビット構成を図 17.4-11 に示します。

図 17.4-11 ポートファンクションレジスタ A (PFRA) のビット構成

bit	7	6	5	4	3	2	1	0
	-	-	PFRA5	PFRA4	PFRA3	PFRA2	PFRA1	PFRA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	0	0	0	0	0	0

R/W：リード/ライト可能
-：未定義

各ビットの対応は以下のとおりです。

ビット	PFRA	機能
bit7	0	無効
	1	無効
bit6	0	無効
	1	無効
bit5	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.6 SCK6/SCL6 出力
bit4	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.6 SOUT6/SDA6 出力
bit3	0	汎用ポート
	1	設定禁止
bit2	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.5 SCK5/SCL5 出力

ビット	PFRA	機能
bit1	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.5 SOUT5/SDA5
bit0	0	汎用ポート
	1	設定禁止

■ ポート B

ポート B はポートファンクションレジスタ B (PFRB) により制御されます。マルチファンクションシリアルインタフェース ch.7, リロードタイマ出力 ch.0~ch.2, ベースタイマ ch.8, 外部割込み 0 ~ 7 と兼用です。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ B (PFRB) のビット構成を図 17.4-12 に示します。

図 17.4-12 ポートファンクションレジスタ B (PFRB) のビット構成

bit	7	6	5	4	3	2	1	0
	PFRB7	PFRB6	PFRB5	PFRB4	PFRB3	PFRB2	PFRB1	PFRB0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
R/W : リード / ライト可能								

各ビットの対応は以下のとおりです。

ビット	PFRB	機能
bit7	0	汎用ポート
	1	設定禁止
bit6	0	汎用ポート
	1	ベースタイマ ch.8 TIOA8 出力
bit5	0	汎用ポート
	1	リロードタイマ ch.2 TOUT2 出力
bit4	0	汎用ポート
	1	リロードタイマ ch.1 TOUT1 出力
bit3	0	汎用ポート
	1	リロードタイマ ch.0 TOUT0 出力
bit2	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.7 SCK7/SCL7 出力
bit1	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.7 SOUT7/SDA7 出力

ビット	PFRB	機能
bit0	0	汎用ポート
	1	設定禁止

■ ポート C

ポート C はポートファンクションレジスタ C (PFRC) により制御されます。マルチファンクションシリアルインタフェース ch.8/ch.9, ペースタイマ ch.9, 外部割込み 8 ~ 15 と兼用です。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。ポートファンクションレジスタ C (PFRC) のビット構成を図 17.4-13 に示します。

図 17.4-13 ポートファンクションレジスタ C (PFRC) のビット構成

bit	7	6	5	4	3	2	1	0
	PFRC7	PFRC6	PFRC5	PFRC4	PFRC3	PFRC2	PFRC1	PFRC0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

各ビットの対応は以下のとおりです。

ビット	PFRC	機能
bit7	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.9 SCK9/SCL9 出力
bit6	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.9 SOUT9/SDA9 出力
bit5	0	汎用ポート
	1	設定禁止
bit4	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.8 SCK8/SCL8 出力
bit3	0	汎用ポート
	1	マルチファンクションシリアルインタフェース ch.8 SOUT8/SDA8 出力
bit2	0	汎用ポート
	1	設定禁止
bit1	0	汎用ポート
	1	設定禁止
bit0	0	汎用ポート
	1	ペースタイマ ch.9 TIOA9 出力

■ ポート D

ポート D はポートファンクションレジスタ D (PFRD) により制御されます。ベースタイマ ch.0 ~ ch.3 と兼用です。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ D (PFRD) のビット構成を図 17.4-14 に示します。

図 17.4-14 ポートファンクションレジスタ D (PFRD) のビット構成

bit	7	6	5	4	3	2	1	0
	PFRD7	PFRD6	PFRD5	PFRD4	PFRD3	PFRD2	PFRD1	PFRD0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

各ビットの対応は以下のとおりです。

ビット	PFRD	機能
bit7, bit6	00	汎用ポート
	01	ベースタイマ ch.3 TIOA3 出力 (通常出力)
	10	設定禁止
	11	ベースタイマ ch.3 TIOA3 出力 (オープンドレイン出力)
Bit5, bit4	00	汎用ポート
	01	ベースタイマ ch.2 TIOA2 出力 (通常出力)
	10	設定禁止
	11	ベースタイマ ch.2 TIOA2 出力 (オープンドレイン出力)
Bit3, bit2	00	汎用ポート
	01	ベースタイマ ch.1 TIOA1 出力 (通常出力)
	10	設定禁止
	11	ベースタイマ ch.1 TIOA1 出力 (オープンドレイン出力)
Bit1, bit0	00	汎用ポート
	01	ベースタイマ ch.0 TIOA0 出力 (通常出力)
	10	設定禁止
	11	ベースタイマ ch.0 TIOA0 出力 (オープンドレイン出力)

■ ポート E

ポート E はポートファンクションレジスタ E (PFRE) により制御されます。ベースタイマ ch.4 ~ ch.7, 外部割込み 16 ~ 23 と兼用です。選択可能な入力信号は各リソースにて入力端子の選択を行ってください。

ポートファンクションレジスタ E (PFRE) のビット構成を図 17.4-15 に示します。

図 17.4-15 ポートファンクションレジスタ E (PFRE) のビット構成

bit	7	6	5	4	3	2	1	0
	PFRE7	PFRE6	PFRE5	PFRE4	PFRE3	PFRE2	PFRE1	PFRE0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

各ビットの対応は以下のとおりです。

ビット	PFRE	機能
bit7	0	汎用ポート
	1	設定禁止
bit6	0	汎用ポート
	1	ベースタイマ ch.7 TIOA7 出力
bit5	0	汎用ポート
	1	設定禁止
bit4	0	汎用ポート
	1	ベースタイマ ch.6 TIOA6 出力
bit3	0	汎用ポート
	1	設定禁止
bit2	0	汎用ポート
	1	ベースタイマ ch.5 TIOA5 出力
bit1	0	汎用ポート
	1	設定禁止
bit0	0	汎用ポート
	1	ベースタイマ ch.4 TIOA4 出力

17.4.4 プルアップ制御レジスタ (PCR)

端子には33k のプルアップを付加する機能があります。この機能はソフトウェアによりビット単位で制御可能です。このレジスタにより制御します。

プルアップ制御レジスタ (PCR) のビット構成を図 17.4-16 に示します。

図 17.4-16 プルアップ制御レジスタ (PCR) のビット構成

bit	7	6	5	4	3	2	1	0	初期値	属性
PCRB	PCRB7	PCRB6	PCRB5	PCRB4	PCRB3	PCRB2	PCRB1	PCRB0	00000000	R/W
PCRC	PCRC7	PCRC6	PCRC5	PCRC4	PCRC3	PCRC2	PCRC1	PCRC0	00000000	R/W
PCRE	PCRE7	PCRE6	PCRE5	PCRE4	PCRE3	PCRE2	PCRE1	PCRE0	00000000	R/W

R/W : リード / ライト可能

このレジスタの設定を以下に示します。

ビット	プルアップ制御レジスタ (PCR)	
	0	1
PCR _{xy}	プルアップ無し	プルアップ

各ビットの設定値は対応する PCR が設定されているときのみ有効です。

プルアップ制御可能なポートは、ポート PB7 ~ PB0, PC7 ~ PC0, PE7 ~ PE0 です。それらに対応するビットが存在します。

< 注意事項 >

以下の場合は、端子のプルアップは自動的に無効となります。

- ポートが出力状態
- STOP モード出力 Hi-Z 選択時

17.4.5 ADER 制御レジスタ (ADER)

A/D 入力を有効にします。この機能はソフトウェアによりビット単位で制御可能です。

ADER 制御レジスタ (ADER) のビット構成を図 17.4-17 に示します。

図 17.4-17 ADER 制御レジスタ (ADER) のビット構成

bit	15	14	13	12	11	10	9	8
	-	-	-	-	ADER11	ADER10	ADER9	ADER8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	1	1
bit	7	6	5	4	3	2	1	0
	ADER7	ADER6	ADER5	ADER4	ADER3	ADER2	ADER1	ADER0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1
R/W : リード / ライト可能								

[bit15 ~ bit12] : 予約ビット

必ず "0" を書き込んでください。

[bit11 ~ bit0] : ADER11 ~ ADER0 (A/D 入力許可ビット 11 ~ 0)

P60 ~ P67, P70 ~ P73 端子は A/D コンバータ入力を兼用しています。A/D コンバータのアナログ入力として使用する場合は対応するビットをセットしてください。

このビットをセット (=1) すると、チップ内部の入力ゲートは "0" に固定されます。アナログ入力以外の機能を使用する場合は、このビットをクリア (=0) してください。

第 18 章 外部割込み制御部

外部割込み制御部の機能と動作について説明します。

- 18.1 概要
- 18.2 構成
- 18.3 端子
- 18.4 レジスタ
- 18.5 動作説明と設定手順例

18.1 概要

外部割込み制御部は、外部割込み信号のエッジ / レベルを検出し、外部割込み要求を制御します。

本製品は、外部割込み信号の入力端子を 24 本内蔵しています。

■ 概要

外部割込み制御部は、外部割込み信号から、あらかじめ設定したエッジ / レベルを検出すると、外部割込みを要求します。

検出するエッジ / レベルは、次の 4 種類から選択できます。

- "H" レベル
- "L" レベル
- 立上りエッジ
- 立下りエッジ

また、外部割込み要求はスリープモードとスタンバイモード (メインタイマモードまたはストップモード) からの復帰にも利用できます。

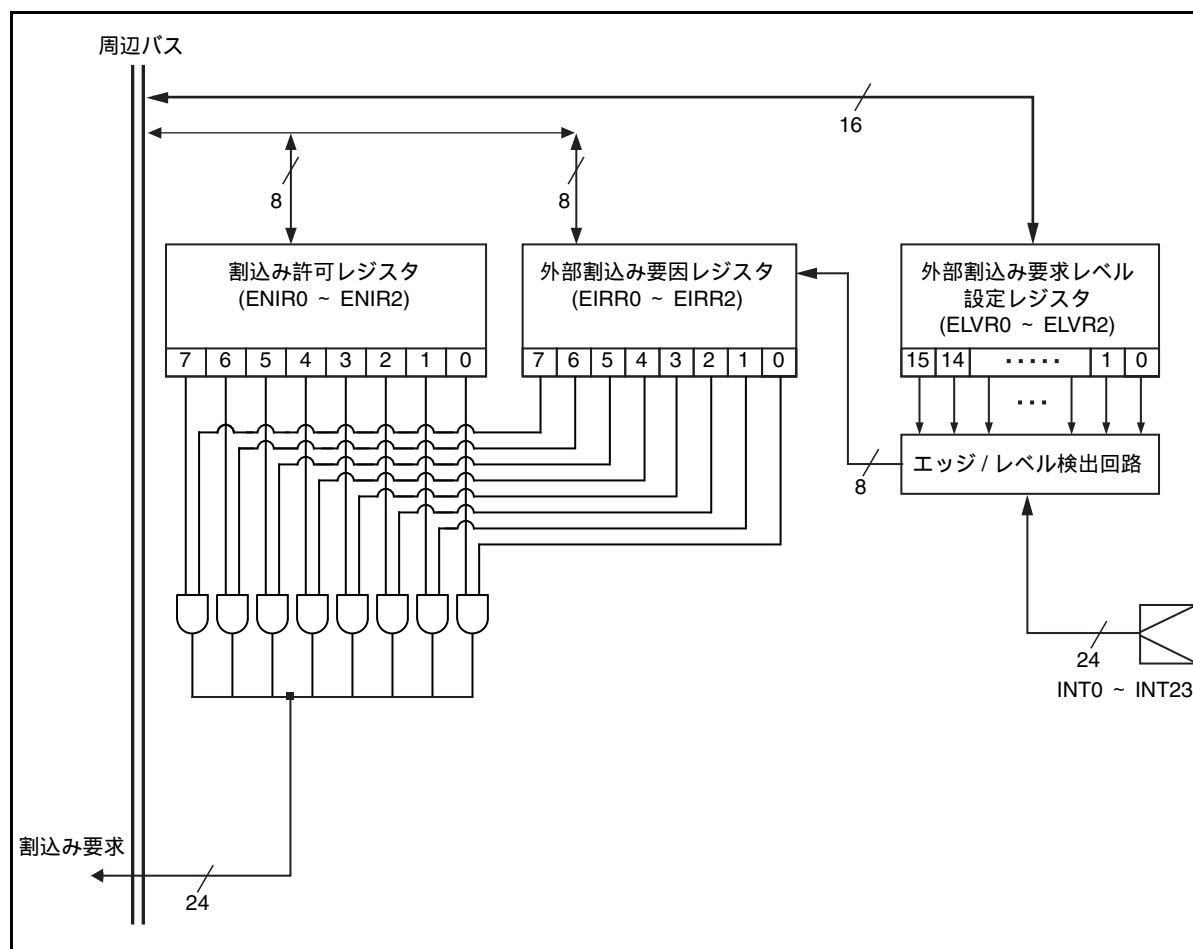
18.2 構成

外部割込み制御部の構成を示します。

■ 外部割込み制御部のブロックダイアグラム

外部割込み制御部のブロックダイアグラムを図 18.2-1 に示します。

図 18.2-1 外部割込み制御部のブロックダイアグラム



- 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2)
INT0 ~ INT23 端子に入力された信号が、外部割込み要求であるかどうかを判断するためのエッジ/レベルを設定するレジスタです。
- 外部割込み要因レジスタ (EIRR0 ~ EIRR2)
割り込み要因 (どの端子から外部割込み要求が発生したか) を保持するレジスタです。
- 割り込み許可レジスタ (ENIR0 ~ ENIR2)
外部割込み要求の許可/禁止を設定するレジスタです。
- エッジ/レベル検出回路
INT0 ~ INT23 端子に入力された信号のエッジ/レベルを検出する回路です。

■ クロック

外部割込み制御部で使用するクロックを表 18.2-1 に示します。

表 18.2-1 外部割込み制御部で使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

18.3 端子

外部割込み制御部で使用する端子について説明します。

■ 概要

外部割込み制御部には、次の端子があります。

- INT0 ~ INT23 端子

外部割込信号入力端子です。この端子は兼用端子です。

18.4 レジスタ

外部割込み制御部で使用するレジスタの構成と機能について説明します。

■ 外部割込み制御部のレジスタ一覧

外部割込み制御部のレジスタ一覧を表 18.4-1 に示します。

表 18.4-1 外部割込み制御部のレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
共通	ELVR0	外部割込み要求レベル設定レジスタ 0	18.4.1
	EIRR0	外部割込み要因レジスタ 0	18.4.2
	ENIR0	割込み許可レジスタ 0	18.4.3
	ELVR1	外部割込み要求レベル設定レジスタ 1	18.4.1
	EIRR1	外部割込み要因レジスタ 1	18.4.2
	ENIR1	割込み許可レジスタ 1	18.4.3
	ELVR2	外部割込み要求レベル設定レジスタ 2	18.4.1
	EIRR2	外部割込み要因レジスタ 2	18.4.2
	ENIR2	割込み許可レジスタ 2	18.4.3

18.4.1 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2)

外部割込み要求を検出するためのエッジ / レベルを設定するレジスタです。

外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2) のビット構成を図 18.4-1 に示します。

図 18.4-1 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2) のビット構成

外部割込み要求レベル設定レジスタ 0 (ELVR0)								
bit	15	14	13	12	11	10	9	8
	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
外部割込み要求レベル設定レジスタ 1 (ELVR1)								
bit	15	14	13	12	11	10	9	8
	LB15	LA15	LB14	LA14	LB13	LA13	LB12	LA12
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	LB11	LA11	LB10	LA10	LB9	LA9	LB8	LA8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
外部割込み要求レベル設定レジスタ 2 (ELVR2)								
bit	15	14	13	12	11	10	9	8
	LB23	LA23	LB22	LA22	LB21	LA21	LB20	LA20
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	LB19	LA19	LB18	LA18	LB17	LA17	LB16	LA16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
R/W：リード / ライト可能								

LB23 ~ LB0, LA23 ~ LA0 (検出条件選択ビット)

外部割込み要求として検出する信号のエッジ / レベルを選択します。このビットで選択したエッジ / レベルを検出すると、外部割込み要求として認識されます。

LB0 ~ LB23 ビットおよび LA0 ~ LA23 ビットは、それぞれ INT0 ~ INT23 端子に対応しています。たとえば、INT0 端子は LB0 ビットと LA0 ビットで設定します。

LB23 ~ LB0	LA23 ~ LA0	説明
0	0	"L" レベル検出
0	1	"H" レベル検出
1	0	立上りエッジ検出
1	1	立下りエッジ検出

スタンバイモードからの復帰に外部割込み要求を利用するときは、「18.5.2 スタンバイモードからの復帰」を参照してください。

< 注意事項 >

- STOP からの復帰について, ch.0 ~ ch.7 はレベルのみ, ch.8 ~ ch.23 はすべての要求レベルが設定可能です。
- このビットで設定したエッジ / レベルを検出するには, 最小 4T (T: 周辺クロック (PCLK) の周期) のパルス幅が必要です。このパルス幅に満たない信号が入力された場合は, 正しく動作しないことがあります。
- 検出条件を "L" レベル検出 / "H" レベル検出に設定しているときは, 外部割込み要求が取り下げられても, 割込み要因が外部割込み要因レジスタ (EIRR0 ~ EIRR2) に保持されます。そのため, 外部割込み要求は割込みコントローラに出力されたままになります。割込みコントローラへの外部割込み要求を取り下げるには, 外部割込み要因レジスタ (EIRR0 ~ EIRR2) の対応するビットを "0" にクリアしてください。
ただし, INT0 ~ INT23 端子から有効レベルが入力されている間は, 外部割込み要因レジスタ (EIRR0 ~ EIRR2) をクリアしても, 外部割込みが要求されたままになります。
割込み要因の保持および, 割込み要因のクリア時の動作図は, 「18.5 動作説明と設定手順例」の「 外部割込み要求の取下げ」を参照してください。
- このビットを書き換えて検出条件を変更すると, 誤った割込み要因が発生する場合があります。誤った割込み要因の発生を避けるため, 検出条件を変更したら, 次の操作を行ってください。
 1. 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2) を読み出す
 2. 外部割込み要因レジスタ (EIRR0 ~ EIRR2) に "0" を書き込み, 割込み要因をクリアする

18.4.2 外部割込み要因レジスタ (EIRR0 ~ EIRR2)

外部割込み要求の割込み要因 (どの端子から外部割込み要求が発生したか) を保持するレジスタです。

外部割込み要因レジスタ (EIRR0 ~ EIRR2) のビット構成を図 18.4-2 に示します。

図 18.4-2 外部割込み要因レジスタ (EIRR0 ~ EIRR2) のビット構成

外部割込み要因レジスタ 0 (EIRR0)								
bit	7	6	5	4	3	2	1	0
	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
外部割込み要因レジスタ 1 (EIRR1)								
bit	7	6	5	4	3	2	1	0
	ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
外部割込み要因レジスタ 2 (EIRR2)								
bit	7	6	5	4	3	2	1	0
	ER23	ER22	ER21	ER20	ER19	ER18	ER17	ER16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
R/W : リード / ライト可能								

ER23 ~ ER0 (外部割込み要求フラグビット)

外部割込み要求が検出されたことを示します。

ER0 ~ ER23 ビットは、それぞれ INT0 ~ INT23 端子に対応しています。たとえば、ER0 ビットは INT0 端子、ER23 ビットは INT23 端子から外部割込み要求を検出します。

割込み許可レジスタ (ENIR0 ~ ENIR2) の EN0 ~ EN23 ビットが "1" に設定されているときに、このビットが "1" になると、外部割込み要求が発生します。

ER23 ~ ER0	読出し時	書込み時
0	外部割込み要求は検出されていません。	割込み要因がクリアされます。
1	外部割込み要求が検出されました。	無視されます。

< 注意事項 >

- リードモディファイライト系命令では "1" が読み出されます。
 - 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2) で、検出条件を、"L" レベル検出 / "H" レベル検出に設定しているときに、このビットをクリアしても、INT0 ~ INT23 端子から有効レベルが入力されていると、このビットは再び "1" に変わります。
-

18.4.3 割込み許可レジスタ (ENIR0 ~ ENIR2)

外部割込み要求を許可 / 禁止するレジスタです。

割込み許可レジスタ (ENIR0 ~ ENIR2) のビット構成を図 18.4-3 に示します。

図 18.4-3 割込み許可レジスタ (ENIR0 ~ ENIR2) のビット構成

割込み許可レジスタ 0 (ENIR0)

bit	7	6	5	4	3	2	1	0
	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込み許可レジスタ 1 (ENIR1)

bit	7	6	5	4	3	2	1	0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

割込み許可レジスタ 2 (ENIR2)

bit	7	6	5	4	3	2	1	0
	EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W：リード / ライト可能

EN23 ~ EN0 (割込み許可ビット)

外部割込みを許可 / 禁止します。

EN0 ~ EN23 ビットは、外部割込み要因レジスタ (EIRR0 ~ EIRR2) の各ビットに対応しています。

書込み値	説明
0	外部割込み要求の発生を禁止します。 割込み要因を保持するだけで、外部割込み要求を出力しません。
1	外部割込み要求の発生を許可します。 外部割込み要求を出力します。

18.5 動作説明と設定手順例

外部割込み制御部の動作と設定手順例について説明します。

18.5.1 外部割込み制御部の動作

■ 概要

外部割込み制御部は、外部信号入力端子に入力された信号から、あらかじめ設定したエッジ / レベルを検出すると、割込みが許可されているときに、外部割込み要求を出力します。

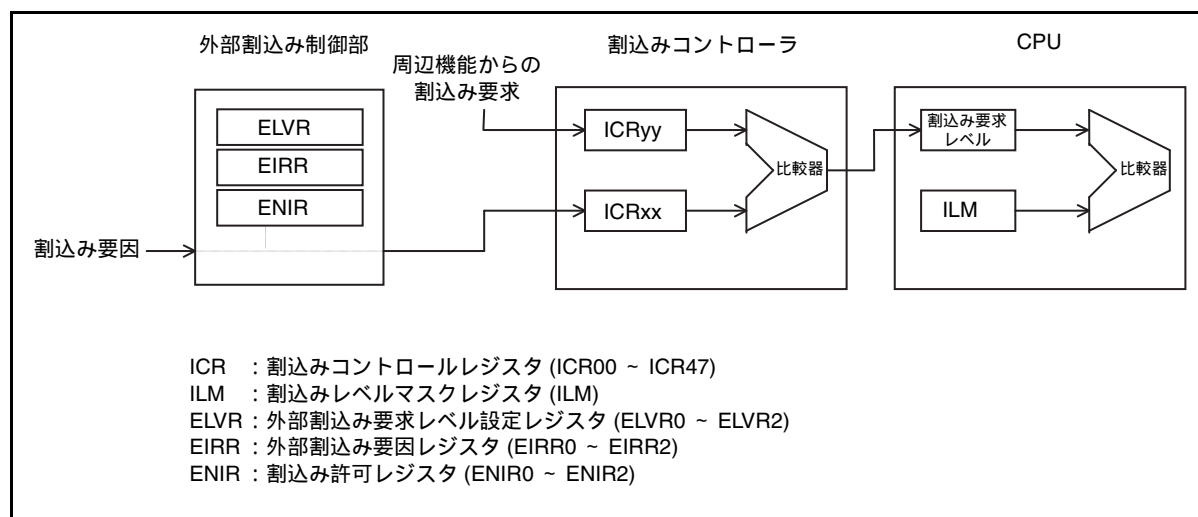
検出するエッジ / レベルは、次の 4 種類から選択できます。

- "H" レベル
- "L" レベル
- 立上りエッジ (スタンバイモードからの復帰時のみ, INT0 ~ INT7 端子は "L" レベル, INT8 ~ INT23 端子は立上りエッジを検出)
- 立下りエッジ (スタンバイモードからの復帰時のみ, INT0 ~ INT7 端子は "H" レベル, INT8 ~ INT23 端子は立下りエッジを検出)

他の周辺機器から割込み要求が同時に発生した場合は、割込みコントローラ内で優先順位が決められます。外部割込み要求の優先順位が高い場合は外部割込みが発生します。

外部割込み制御部の動作を図 18.5-1 に示します。

図 18.5-1 外部割込み制御部の動作



■ 設定手順

外部割込みは、次の手順で設定してください。

1. 割込み許可レジスタ (ENIR0 ~ ENIR2) で外部割込みを禁止する
2. 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2) で検出条件 (有効エッジ / レベル) を変更する
3. 外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2) を読み出す
4. 外部割込み要因レジスタ (EIRR0 ~ EIRR2) で割込み要因をクリアする
5. 割込み許可レジスタ (ENIR0 ~ ENIR2) で外部割込みを許可する
(ただし、3. と 4. は 16 ビットデータによる同時書込みが可能です。)

< 注意事項 >

- 外部割込み制御部を設定するときは、事前に割込み許可レジスタ (ENIR0 ~ ENIR2) で外部割込みを禁止してください。
 - 外部割込み要求の出力を許可するときは、事前に外部割込み要因レジスタ (EIRR0 ~ EIRR2) で割込み要因をクリアしてください。
-

■ 制御動作

外部割込み制御部は、次の順序で割込みコントローラへ外部割込みを要求します。

1. INT0 ~ INT23 端子に入力された信号が、外部割込み要求レベル設定レジスタ (ELVR0 ~ ELVR2) で設定したエッジ / レベルを検出する
2. 割込み許可レジスタ (ENIR0 ~ ENIR2) で外部割込みが許可されているかどうかチェックする
3. 外部割込みが許可されている場合は、割込みコントローラへ外部割込み要求を出力する

要求レベルがエッジ要求のとき、エッジがあったことを検出するためには、パルス幅は最小 3T (T: 周辺クロック (PCLK) の周期) 必要とします。

■ 外部割込み要求の取下げ

外部割込みの検出条件を "L" レベル検出 / "H" レベル検出に設定しているときは、外部割込みを取り下げても、割込み要因が外部割込み要因レジスタ (EIRR0 ~ EIRR2) に保持されます。そのため、外部割込みは割込みコントローラに出力されたままになります。

割込みコントローラへの外部割込み要求を取り下げるには、外部割込み要因レジスタ (EIRR0 ~ EIRR2) の対応するビットを "0" にクリアしてください。これによって割込み要因がクリアされ、外部割込み要求が取り下げられます。

ただし、INT0 ~ INT23 端子から有効レベルが入力されている間は、外部割込み要因レジスタ (EIRR0 ~ EIRR2) をクリアしても、外部割込みは割込みコントローラへ出力されたままになります。

割込み要因の保持については図 18.5-2 に、割込み要因のクリアについては図 18.5-3 に示します。

図 18.5-2 割込み要因の保持

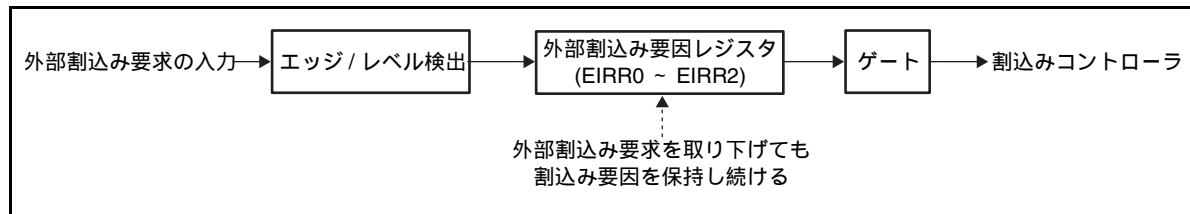
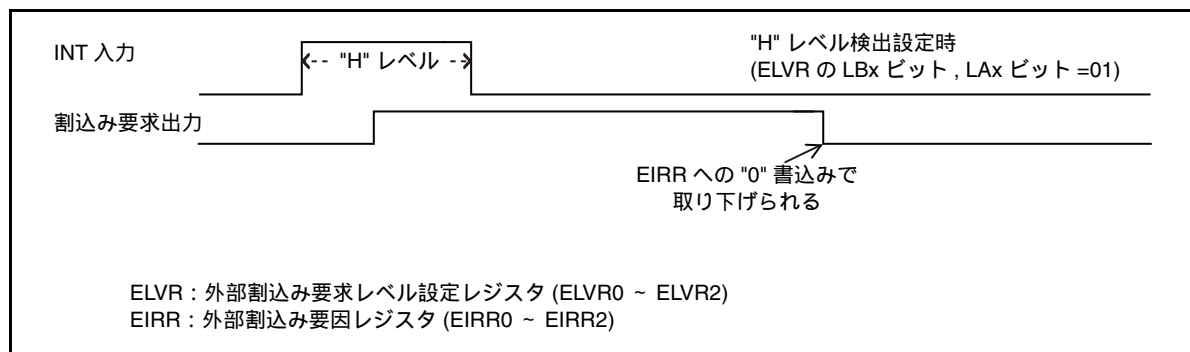


図 18.5-3 割込み要因のクリア



18.5.2 スタンバイモードからの復帰

■ 概要

スタンバイモード（メインタイマモードまたはストップモード）からの復帰に、外部割込み要求を利用できます。スタンバイモード時に、INT0 ~ INT23 端子に最初に入力された信号は非同期で入力され、スタンバイモードからの復帰に利用できます。

■ 設定

スタンバイモードに移行する前に、割込み許可レジスタ (ENIR0 ~ ENIR2) で INT0 ~ INT23 端子を次のように設定してください。

- スタンバイモードからの復帰に利用する端子：割込み要求の出力許可
- スタンバイモードからの復帰に利用しない端子：割込み要求の出力禁止

■ 復帰動作

スタンバイモード時に、INT0 ~ INT23 端子に入力された信号で有効レベルを検出すると、スタンバイモードから復帰します。

外部割込み要求の検出条件とスタンバイモードからの復帰レベルの対応を表 18.5-1 に示します。

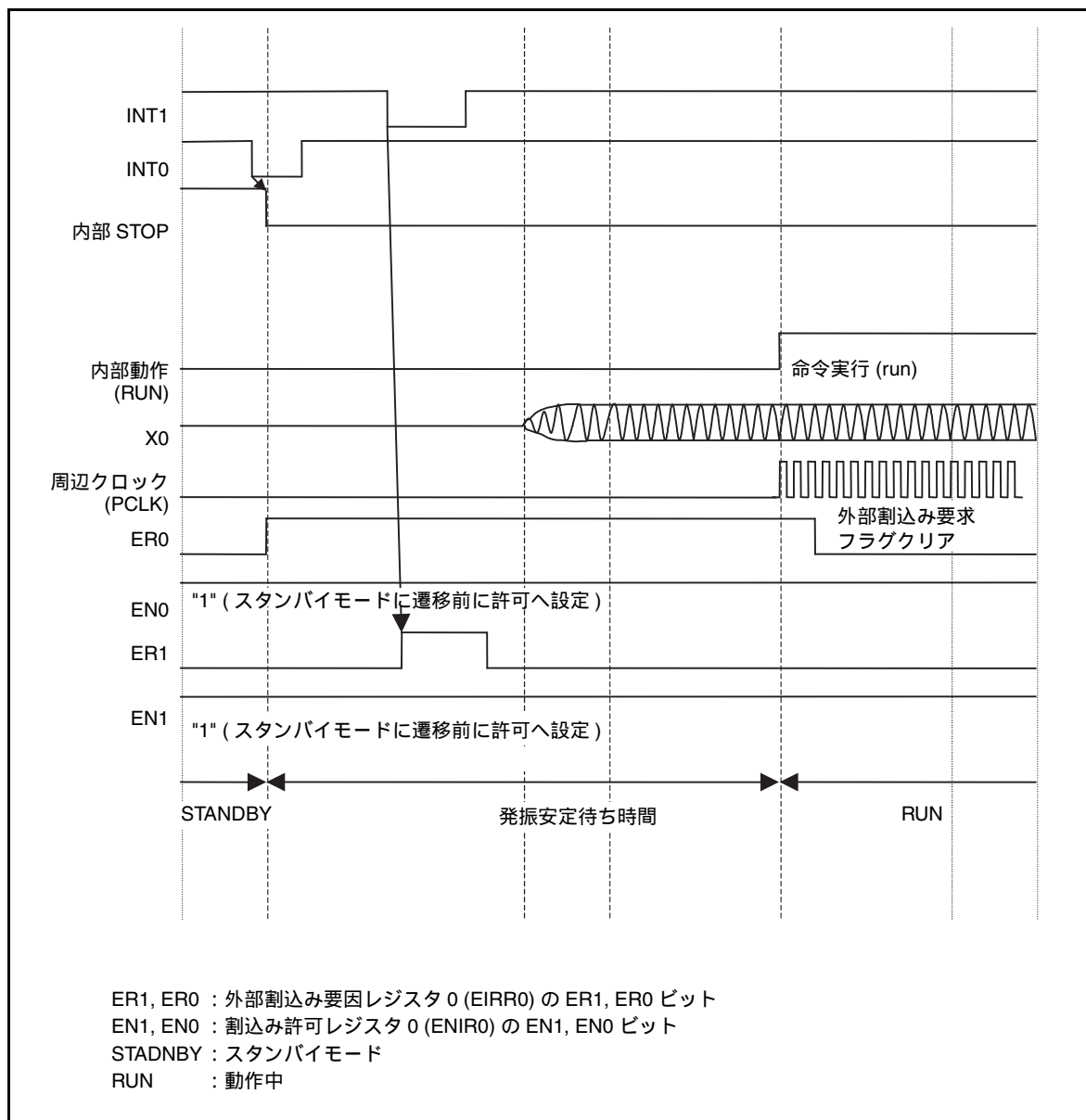
表 18.5-1 外部割込み要求の検出条件とスタンバイモードからの復帰レベル

検出条件	LB23 ~ LB0	LA23 ~ LA0	スタンバイモードからの復帰レベル
"L" レベル検出	0	0	"L" レベル検出
"H" レベル検出	0	1	"H" レベル検出
立上りエッジ検出	1	0	INT0 ~ INT7端子は"L" レベル、 INT8 ~ INT23 端子は立上りエッジを検出
立下りエッジ検出	1	1	INT0 ~ INT7端子は"H" レベル、 INT8 ~ INT23 端子は立下りエッジを検出

スタンバイモードからの復帰後、発振安定待ち時間が経過するまでは、他の外部割込み要求を認識できません。スタンバイモードから復帰した後に、外部割込み要求を出力する場合は、発振安定待ち時間が経過してから、外部割込み要求の信号を入力してください。

INT0 端子と INT1 端子を例とした、スタンバイモードからの復帰動作を図 18.5-4 に示します。

図 18.5-4 スタンバイモードからの復帰動作



18.5.3 スリープモードからの復帰

■ 概要

スリープモードからの復帰に、外部割込み要求を利用できます。

■ 設定

スリープモードに移行する前に、割込み許可レジスタ (ENIR0 ~ ENIR2) でINT0 ~ INT23 端子を次のように設定してください。

- スリープモードからの復帰に利用する端子：割込み要求の出力許可
- スリープモードからの復帰に利用しない端子：割込み要求の出力禁止

■ 復帰動作

スリープモード時に、INT0 ~ INT23 端子に設定したエッジ / レベルが入力されるとスリープモードから復帰します。

第 19 章 ウォッチドッグ タイマ

ウォッチドッグタイマの機能と動作について説明します。

- 19.1 概要
- 19.2 構成
- 19.3 レジスタ
- 19.4 動作説明と設定手順例

19.1 概要

ウォッチドッグタイマは、ソフトウェアが暴走などの異常動作をしていないかどうかを監視するタイマです。

■ 概要

ウォッチドッグタイマは、事前に設定した周期が経過する前にウォッチドッグタイマがクリアされなければ、ソフトウェアの暴走が発生したと判断し、CPU に対してリセット要求を出力します。このリセット要求をウォッチドッグリセット要求とよびます。ウォッチドッグタイマの動作時は、事前に設定した周期が経過する前にタイマを定期的にクリアし続ける必要があります。ソフトウェアの暴走などの異常動作が発生して、定期的なクリアが行われないとウォッチドッグタイマはオーバフローし、ウォッチドッグリセット要求を出力します。

- CPU のプログラム動作中に周期をカウントし、CPU 停止中（スリープモード/ストップモード/メインタイマモード）はカウントを停止します。
- スタンバイモード（メインタイマモード/ストップモード）への移行を検出して、CPU に対してウォッチドッグリセット要求を出力できます。
- ウォッチドッグタイマ0クリアレジスタ (WDTCPR0) に不正な値が書き込まれると、CPU に対してウォッチドッグリセット要求を出力します。
- ウォッチドッグタイマ周期は、周辺クロック (PCLK) $\times (2^9 \sim 2^{24})$ の中から選択できます。

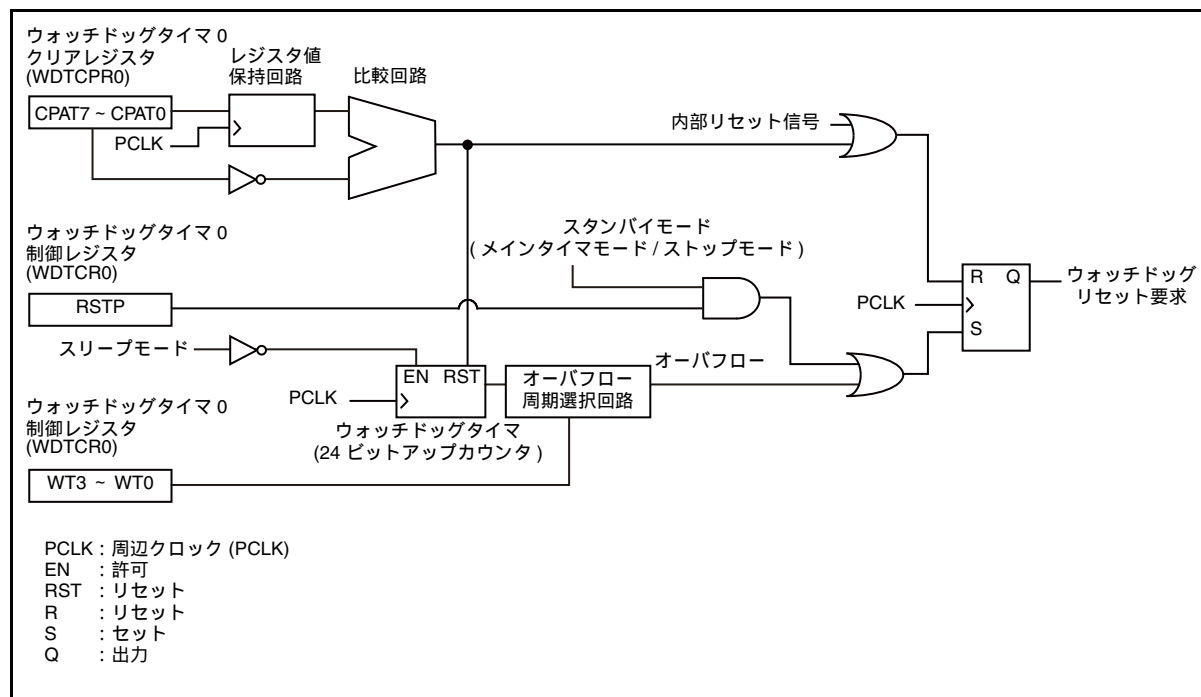
19.2 構成

ウォッチドッグタイマの構成を示します。

■ ウォッチドッグタイマのブロックダイアグラム

ウォッチドッグタイマのブロックダイアグラムを図 19.2-1 に示します。

図 19.2-1 ウォッチドッグタイマのブロックダイアグラム



- ウォッチドッグタイマ 0 制御レジスタ (WDTCR0)
ウォッチドッグタイマの動作を制御するレジスタです。
- ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0)
ウォッチドッグタイマを起動、およびクリアするレジスタです。
- ウォッチドッグタイマ
24 ビットのアップカウンタです。
- レジスタ値保持回路
ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) に書き込まれた値を保持する回路です。
- 比較回路
ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) に書き込まれた値が、前回書き込まれた値と一致するかどうか比較する回路です。
- オーバフロー周期選択回路
ウォッチドッグタイマのオーバフロー周期を選択する回路です。

■ クロック

ウォッチドッグタイマで使用するクロックを表 19.2-1 に示します。

表 19.2-1 ウォッチドッグタイマで使用するクロック

クロック名	内容
動作クロック	周辺クロック (PCLK)

19.3 レジスタ

ウォッチドッグタイマで使用するレジスタの構成と機能について説明します。

■ ウォッチドッグタイマのレジスタ一覧

ウォッチドッグタイマのレジスタ一覧を表 19.3-1 に示します。

表 19.3-1 ウォッチドッグタイマのレジスタ一覧

レジスタ略称	レジスタ名	参照先
WDTCR0	ウォッチドッグタイマ 0 制御レジスタ	19.3.1
WDTCPR0	ウォッチドッグタイマ 0 クリアレジスタ	19.3.2

19.3.1 ウォッチドッグタイマ 0 制御レジスタ (WDTCR0)

ウォッチドッグタイマの動作を制御するレジスタです。
ウォッチドッグタイマ0制御レジスタ (WDTCR0) のビット構成を図 19.3-1 に示します。

図 19.3-1 ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	RSTP	予約	予約	WT3	WT2	WT1	WT0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
R/W：リード / ライト可能								

< 注意事項 >
このレジスタは、ウォッチドッグタイマを起動する前のみ書き換えられます。

[bit7]：予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6] : RSTP (ストップモード検出リセット許可ビット)

ウォッチドッグタイマの動作時，CPU の状態がスタンバイモード（メインタイマモード / ストップモード）になったとき，ウォッチドッグリセット要求の出力を許可するかどうかを設定します。

書込み値	説明
0	ウォッチドッグリセット要求の出力を禁止します。 スタンバイモード（メインタイマモード / ストップモード）への移行を検出したとき，ウォッチドッグタイマは一時停止し，スタンバイモードから復帰するまでカウントを行いません。
1	ウォッチドッグリセット要求の出力を許可します。 スタンバイモード（メインタイマモード / ストップモード）への移行を検出したとき，ウォッチドッグリセット要求を出力します。

< 注意事項 >

- スタンバイモード（メインタイマモード / ストップモード）を使用するときは，このビットを "0" に設定してください。
- このレジスタは，ウォッチドッグタイマの起動前しか書き換えられません。そのため，このビットを "1" に設定すると，ウォッチドッグタイマの起動後は，スタンバイモード（時計モード / ストップモード）を検出して，ウォッチドッグリセット要求が出力されるため，スタンバイモードが使用できなくなります。

[bit5, bit 4] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit3 ~ bit0] : WT3 ~ WT0 (ウォッチドッグタイマ周期選択ビット)

ウォッチドッグタイマがクリアされてから，ウォッチドッグリセット要求を出力するまでの周期を，次の中から選択します。

WT3 ~ WT0	ウォッチドッグタイマ周期
0000	$PCLK \times 2^9$
0001	$PCLK \times 2^{10}$
0010	$PCLK \times 2^{11}$
0011	$PCLK \times 2^{12}$
0100	$PCLK \times 2^{13}$
0101	$PCLK \times 2^{14}$
0110	$PCLK \times 2^{15}$
0111	$PCLK \times 2^{16}$
1000	$PCLK \times 2^{17}$
1001	$PCLK \times 2^{18}$
1010	$PCLK \times 2^{19}$
1011	$PCLK \times 2^{20}$
1100	$PCLK \times 2^{21}$
1101	$PCLK \times 2^{22}$
1110	$PCLK \times 2^{23}$
1111	$PCLK \times 2^{24}$

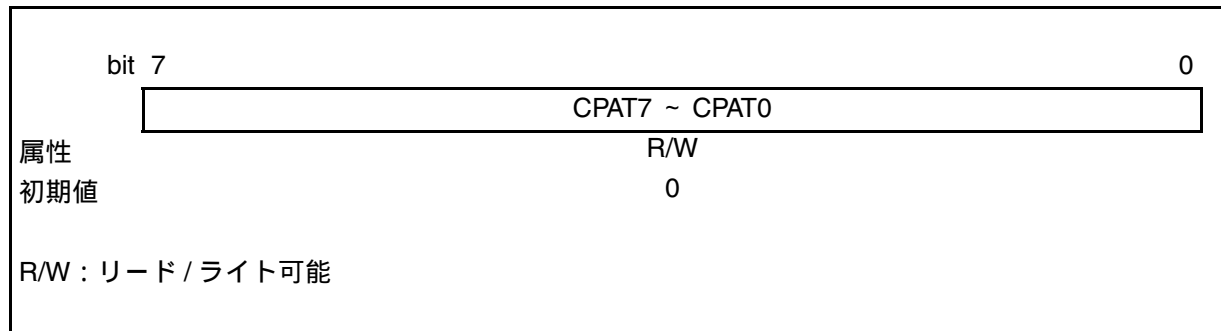
PCLK: 周辺クロック (PCLK) の周期

19.3.2 ウォッチドッグタイマ 0 クリアレジスタ (WDT CPR0)

ウォッチドッグタイマを起動，およびクリアするレジスタです。

ウォッチドッグタイマ 0 クリアレジスタ (WDT CPR0) のビット構成を図 19.3-2 に示します。

図 19.3-2 ウォッチドッグタイマ 0 クリアレジスタ (WDT CPR0) のビット構成



[bit7 ~ bit0] : CPAT7 ~ CPAT0 ビット

本デバイスのリセット後，このレジスタに任意の値を書き込むとウォッチドッグタイマが起動します。

ウォッチドッグタイマを起動後は，ウォッチドッグリセット要求の出力を防ぐためにタイマ周期が経過する前に，ウォッチドッグタイマをクリアしなければなりません。

ウォッチドッグタイマをクリアするには，このビットに前回書き込んだ値の反転値を書き込みます。

ウォッチドッグタイマのクリアについては，「19.4.1 ウォッチドッグタイマの動作」の「ウォッチドッグタイマのクリア」を参照してください。

CPAT7 ~ CPAT0	書込み時	読出し時
前回の書込み値の反転値	起動後のウォッチドッグタイマがクリアされます。	"0" が読み出されます。
前回の書込み値の反転値以外	その時点でウォッチドッグリセット要求を出力します。	

19.4 動作説明と設定手順例

ウォッチドッグタイマの動作について説明します。また、各動作状態を設定するための手順例も示します。

19.4.1 ウォッチドッグタイマの動作

定期的にウォッチドッグタイマのクリアをするようにプログラムを作成しているのに、ウォッチドッグタイマがクリアされなかった場合は、何らかの誤動作が発生したと判断し、ウォッチドッグタイマは CPU に対してウォッチドッグリセット要求を出力します。

■ 概要

ウォッチドッグタイマ動作時は、事前に設定した周期が経過する前にウォッチドッグタイマがクリアされなければ、ソフトウェアの暴走が発生したと判断し、CPU に対してウォッチドッグリセット要求を出力します。

ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) に不正な値が書き込まれたときや、CPU がスタンバイモード (メインタイマモード / ストップモード) に移行した場合もウォッチドッグリセット要求を出力できます。

なお、CPU の停止中はウォッチドッグタイマもカウント動作を停止します。

■ 設定

ウォッチドッグタイマを利用する場合は、ウォッチドッグタイマを起動する前に、ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) で次の設定を行ってください。

- ウォッチドッグタイマがクリアされてから、ウォッチドッグリセット要求を出力するまでの周期 (WT3 ~ WT0 ビット)
- スタンバイモード (メインタイマモード / ストップモード) になったとき、ウォッチドッグリセット要求の出力を許可するかどうか (RSTP)

< 注意事項 >

- ウォッチドッグタイマは、CPU が動作している間だけカウントを行います。そのため、WT3 ~ WT0 ビットは、プログラムステップ数とクロック分周の設定を基準に設定してください。
 - スタンバイモード (メインタイマモード / ストップモード) を使用するときは、RSTP ビットを "0" に設定してください。
 - RSTP ビットを "1" に設定すると、ウォッチドッグタイマの起動後は、スタンバイモード (メインタイマモード / ストップモード) が使用できなくなります。
-

■ 動作

本デバイスのリセット後、ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) の CPAT7 ~ CPAT0 ビットに任意の値を書き込むと、ウォッチドッグタイマが起動し、CPU の動作中は周辺クロック (PCLK) の立上りエッジでカウントします。

ウォッチドッグタイマがクリアされずに、ウォッチドッグタイマ 0 制御レジスタ (WDTCR0) の WT3 ~ WT0 ビットで設定した周期が経過すると、CPU に対してウォッチドッグリセット要求を出力します。

また、ウォッチドッグタイマは、ドーズモードやスリープモードなど、CPU が停止しているときはカウントを一時停止します。

カウントを一時停止しても、ウォッチドッグタイマの値はクリアされず、カウントを再開すると停止したときの値から再開します。

< 注意事項 >

- DMA コントローラ (DMAC) による DMA 転送が行われている場合も、CPU が動作している間は、ウォッチドッグタイマはカウント動作を継続します。
 - CPU のソースクロック (SRCCLK) の発振安定待ち時間中は周辺クロック (PCLK) が停止するため、ウォッチドッグタイマのカウント動作も停止します。
 - CPU 動作状態のサンプリングは、周辺クロック (PCLK) で行われます。そのため、周辺クロック (PCLK) の周期に満たない動作状態の変化は無視されます。
-

■ ウォッチドッグタイマのクリア

ウォッチドッグタイマの起動時にウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) の CPAT7 ~ CPAT0 ビットに書き込んだ値の反転値を書き込むことで、ウォッチドッグタイマをクリアできます。

たとえば、ウォッチドッグタイマ起動時、ウォッチドッグタイマ 0 クリアレジスタ (WDTCPR0) の CPAT7 ~ CPAT0 ビットに "55_H" を書き込んだ場合は、反転値 "AA_H" を書き込むとクリアできます。

以降、CPAT7 ~ CPAT0 ビットに "55_H" と "AA_H" を交互に書き込むと、ウォッチドッグタイマのクリアを繰り返すことができます。

ただし、CPAT7 ~ CPAT0 ビットに反転値以外の値を書き込んだ場合は、その時点で CPU に対してウォッチドッグリセット要求を出力します。

< 注意事項 >

前回書き込んだ値を憶えておくことが難しい場合は、ウォッチドッグタイマをクリアするときに、"AA_H"、"55_H" のように毎回、書込み値と反転値の両方を連続で書き込むこともできます。

■ ウォッチドッグリセット要求の出力

ウォッチドッグタイマは、次のいずれかの場合に CPU に対してウォッチドッグリセット要求を出力します。

- ウォッチドッグタイマ0制御レジスタ (WDTCR0) のWT3 ~ WT0ビットで設定した周期が経過した場合 (オーバーフロー)
- ウォッチドッグタイマ0クリアレジスタ (WDTCPR0) のCPAT7 ~ CPAT0ビットに、前回書き込んだ値の反転値以外の値が書き込まれた場合
- CPUがスタンバイモード (メインタイマモード/ストップモード) に移行した場合 (ウォッチドッグタイマ0制御レジスタ (WDTCR0) のRSTPビットの設定により出力)

ウォッチドッグリセット要求を出力した後の動作については、「第 11 章 リセット」の「11.5 動作説明」を参照してください。

第 20 章 16 ビットリロード タイマ

16 ビットリロードタイマの機能と動作について説明します。

- 20.1 概要
- 20.2 構成
- 20.3 端子
- 20.4 レジスタ
- 20.5 割込み
- 20.6 動作説明と設定手順例
- 20.7 使用上の注意

20.1 概要

16 ビットリロードタイマは、あらかじめ設定した値からカウントダウンするダウンカウンタです。このタイマは、内部クロック（周辺クロック）と同期してカウントダウンするインターバルタイマとして使用できるほか、外部イベントをカウントするイベントカウンタとしても使用できます。

本製品は、16 ビットリロードタイマを 3 チャンネル内蔵しています。

■ 概要

- タイマモード：インターバルタイマモードまたはイベントカウンタモードとして使用できます。
 - インターバルタイマモード
内部クロック（周辺クロック）に同期してカウントダウンします。内部クロック（周辺クロック）は、6 種類（周辺クロック (PCLK) の 2 分周、4 分周、8 分周、16 分周、32 分周、64 分周）から選択します。
 - イベントカウンタモード
外部クロックのエッジ（立下りエッジ / 立上りエッジ / 両エッジ）を検出してカウントします。
また、ch.0 の出力を ch.1 で、ch.1 の出力を ch.2 でカウントするカスケードモードも利用できます。
- 動作モード：次の 2 種類から選択できます。
 - リロードモード
ダウンカウンタがアンダフローすると、リロード値をリロードしてカウント動作を繰り返すモードです。
 - ワンショットモード
ダウンカウンタがアンダフローすると、カウント動作を停止するモードです。
- 入力端子機能：インターバルタイマモード時は、入力端子の機能をトリガ入力機能 / ゲート入力機能の中から選択できます。
 - トリガ入力機能
入力端子から有効エッジ（立下りエッジ / 立上りエッジ / 両エッジ）を検出すると、カウントを開始します。
 - ゲート入力機能
入力端子から有効レベルが入力されている間だけカウント動作を続けます。
- 割込み要求：ダウンカウンタがアンダフローしたときに割込み要求を発生できません。

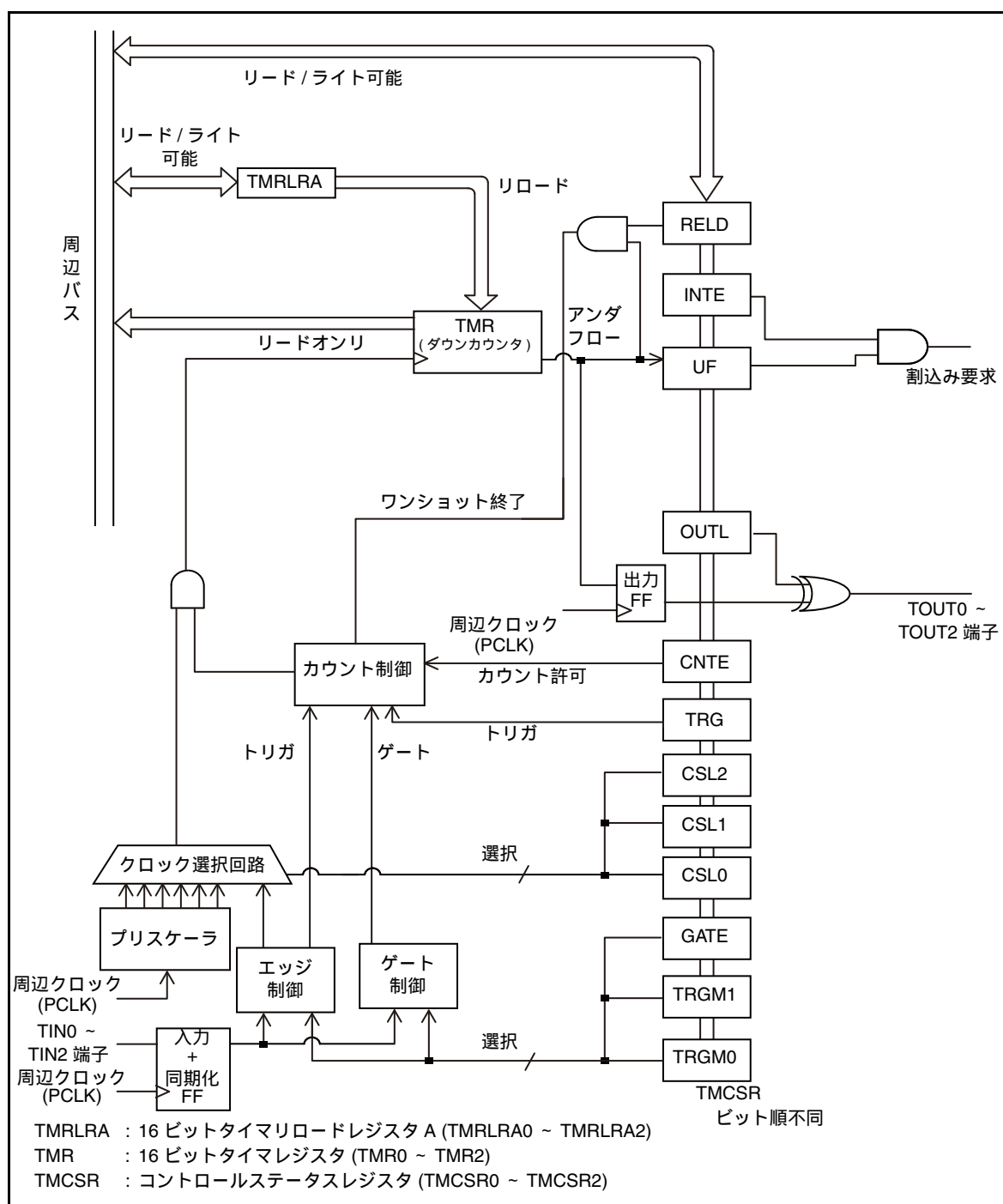
20.2 構成

16 ビットリロードタイマの構成を示します。

■ 16 ビットリロードタイマのブロックダイアグラム

16 ビットリロードタイマのブロックダイアグラムを図 20.2-1 に示します。

図 20.2-1 16 ビットリロードタイマのブロックダイアグラム



- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2)
16 ビットリロードタイマの動作を制御するレジスタです。
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2)
リロード値を設定するレジスタです。
- 16 ビットタイマレジスタ (TMR0 ~ TMR2)
ダウンカウンタとして動作します。このレジスタを読み出すとダウンカウンタの値が読み出せます。
- プリスケーラ
インターバルタイマモードを選択した場合、周辺クロック (PCLK) を分周します。
- クロック選択回路
カウント用クロックを選択します。
- エッジ制御部
TIN0 ~ TIN2 端子をトリガ入力端子として使用するときに、信号の検出エッジを制御します。
- ゲート制御部
TIN0 ~ TIN2 端子をゲート入力端子として使用するときに、端子から入力される信号レベルを制御します。
- カウント制御部
16 ビットリロードタイマのカウントを制御します。

■ クロック

16 ビットリロードタイマで使用するクロックを表 20.2-1 に示します。

表 20.2-1 16 ビットリロードタイマで使用するクロック

クロック名	内容	備考
動作クロック	周辺クロック (PCLK)	-
カウント用クロック	内部クロック (周辺クロック)	周辺クロック (PCLK) を分周して生成
	外部クロック	TIN0 ~ TIN2 端子から入力

20.3 端子

16 ビットリロードタイマで使用する端子について説明します。

■ 概要

16 ビットリロードタイマには次の 2 種類の端子があります。

- TOUT0 ~ TOUT2 端子

16 ビットリロードタイマの波形出力端子です。この端子は兼用端子です。

- TIN0 ~ TIN2 端子

16 ビットリロードタイマの入力端子です。設定によってカウント用クロック , トリガ , ゲートを入力します。この端子は兼用端子です。

■ 端子とチャネルの対応

チャネルと端子の対応を表 20.3-1 に示します。

表 20.3-1 チャネルと端子の対応

チャネル	波形出力端子	入力端子
0	TOUT0	TIN0
1	TOUT1	TIN1
2	TOUT2	TIN2

20.4 レジスタ

16 ビットリロードタイマで使用するレジスタの構成と機能について説明します。

■ 16 ビットリロードタイマのレジスタ一覧

16 ビットリロードタイマのレジスタ一覧を表 20.4-1 に示します。

表 20.4-1 16 ビットリロードタイマのレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
0	TMCSR0	コントロールステータスレジスタ 0	20.4.1
	TMRLRA0	16 ビットタイマリロードレジスタ A0	20.4.2
	TMR0	16 ビットタイマレジスタ 0	20.4.3
1	TMCSR1	コントロールステータスレジスタ 1	20.4.1
	TMRLRA1	16 ビットタイマリロードレジスタ A1	20.4.2
	TMR1	16 ビットタイマレジスタ 1	20.4.3
2	TMCSR2	コントロールステータスレジスタ 2	20.4.1
	TMRLRA2	16 ビットタイマリロードレジスタ A2	20.4.2
	TMR2	16 ビットタイマレジスタ 2	20.4.3

20.4.1 コントロールステータスレジスタ (TMCSR0 ~ TMCSR2)

16 ビットリロードタイマの動作を制御するレジスタです。

コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) のビット構成を図 20.4-1 に示します。

図 20.4-1 コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) のビット構成

bit	15	14	13	12	11	10	9	8
	予約	予約	TRGM1	TRGM0	CSL2	CSL1	CSL0	GATE
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
	未定義	未定義	OUTL	RELD	INTE	UF	CNTE	TRG
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0

R/W : リード / ライト可能
 - : 未定義
 X : 不定

[bit15, bit14] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit13, bit12] : TRGM1, TRGM0 (入力端子動作選択ビット)

16 ビットリロードタイマの TIN0 ~ TIN2 端子の動作を選択します。16 ビットリロードタイマをインターバルタイマモードで使用している場合と、イベントカウンタモードで使用している場合でこのビットの意味が異なります。

- インターバルタイマモードの場合 (CSL2 ~ CSL0=000 ~ 101)

- TIN0 ~ TIN2 端子にトリガ入力機能を選択 (GATE=0)

有効エッジを選択します。

TIN0 ~ TIN2 端子から入力される信号に、このビットで設定したエッジが検出されると、ダウンカウンタがカウントダウンを開始します。

- TIN0 ~ TIN2 端子にゲート機能を選択 (GATE=1)

有効レベルを選択します。

TIN0 ~ TIN2 端子からこのビットで設定したレベルの信号が入力されている間のみダウンカウンタがカウントダウンします。

TRGM1	TRGM0	トリガ入力選択時* (GATE =0)	ゲート機能選択時 (GATE =1)
0	0	エッジ検出禁止	"L" レベル
0	1	立上りエッジ	"H" レベル
1	0	立下りエッジ	"L" レベル
1	1	両エッジ	"H" レベル

* TRG ビットに "1" を書き込んだ場合は、このビットの設定にかかわらず、ダウンカウンタがカウントダウンを開始します。

- イベントカウンタモードの場合 (CSL2 ~ CSL0=110, 111)

有効エッジを選択します。

TIN0 ~ TIN2 端子から入力される信号に、このビットで設定したエッジが検出されると、ダウンカウンタがカウントダウンします。

TRGM1	TRGM0	説明
0	0	設定禁止
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

< 注意事項 >

CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから、このビットを書き換えてください。

ただし、このビットと CNTE ビットを同時に書き換える場合は、CNTE ビットの値にかかわらず書き換えられます。

[bit11 ~ bit9] : CSL2 ~ CSL0 (カウントソース選択ビット)

16 ビットリロードタイマのタイマモードを選択します。インターバルタイマモード時は周辺クロック (PCLK) の分周比を、イベントカウンタモード時は、カスケードモードで使用するか外部クロックを使用するかも選択します。

CSL2	CSL1	CSL0	説明	
0	0	0	インターバル タイマモード	周辺クロック (PCLK) の 2 分周 (=2 ¹)
0	0	1		周辺クロック (PCLK) の 4 分周 (=2 ²)
0	1	0		周辺クロック (PCLK) の 8 分周 (=2 ³)
0	1	1		周辺クロック (PCLK) の 16 分周 (=2 ⁴)
1	0	0		周辺クロック (PCLK) の 32 分周 (=2 ⁵)
1	0	1		周辺クロック (PCLK) の 64 分周 (=2 ⁶)
1	1	0	イベントカウ ンタモード	カスケードモード*
1	1	1		外部クロック

* : カスケードモードを選択した場合の動作については、「20.6.3 カスケードモード時の動作」を参照してください。

< 注意事項 >

- CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから , このビットを書き換えてください。
ただし , このビットと CNTE ビットを同時に書き換える場合は , CNTE ビットの値にかかわらず書き換えられます。
- 2チャンネルの16ビットリロードタイマをカスケード接続して使用する場合は, このビットの設定を次のようにしてください。
 - 小さい番号のチャンネル : インターバルタイマモードまたは外部クロックを選択
 - 大きい番号のチャンネル : カスケードモードを設定
- このビットでイベントカウンタモードを設定した場合は , GATE ビットの設定は無視されます。

[bit8] : GATE (ゲート入力許可ビット)

タイマモードをインターバルタイマモードに設定したときに TIN0 ~ TIN2 端子に割り当てる機能を選択します。

- トリガ入力機能:TIN0 ~ TIN2 端子から有効エッジが入力されると, カウントダウンを開始します。
- ゲート機能:TIN0 ~ TIN2 端子から有効レベルが入力されている間だけ, カウントダウンします。

書込み値	説明
0	トリガ入力機能
1	ゲート機能

< 注意事項 >

- CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから , このビットを書き換えてください。
ただし , このビットと CNTE ビットを同時に書き換える場合は , CNTE ビットの値にかかわらず書き換えられます。
- CSL2 ~ CSL0 ビットでイベントカウンタモードを選択 (CSL2 ~ CSL0=110/111) した場合は , このビットの設定は無視されます。

[bit7, bit6] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit5] : OUTL (出力極性指定ビット)

16 ビットリロードタイマ起動時に, TOUT0 ~ TOUT2 端子から出力する信号レベルを指定します。

書込み値	説明
0	通常極性 ("L" レベル)
1	反転極性 ("H" レベル)

< 注意事項 >

CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから, このビットを書き換えてください。

ただし, このビットと CNTE ビットを同時に書き換える場合は, CNTE ビットの値にかかわらず書き換えられます。

[bit4] : RELD (リロード動作許可ビット)

16 ビットリロードタイマの動作モードを次のいずれかから選択します。

- ワンショットモード

ダウンカウンタがアンダフローすると, 次に起動トリガが入力されるまでカウント動作を停止するモードです。

- リロードモード

ダウンカウンタがアンダフローすると, 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロードしてカウント動作を続けるモードです。

書込み値	説明
0	ワンショットモード
1	リロードモード

< 注意事項 >

CNTE ビットでダウンカウンタの動作を停止 (CNTE=0) してから, このビットを書き換えてください。

ただし, このビットと CNTE ビットを同時に書き換える場合は, CNTE ビットの値にかかわらず書き換えられます。

[bit3] : INTE (割込み要求許可ビット)

ダウンカウンタがアンダフローしたとき (UFビット=1) に, アンダフロー割込み要求を発生させるかどうかを設定します。

書込み値	説明
0	アンダフロー割込み要求の発生を禁止します。
1	アンダフロー割込み要求の発生を許可します。

[bit2] : UF (アンダフロー割込み要求フラグビット)

ダウンカウンタがアンダフローしたことを示します。

このビットが "1" のときに INTE ビットに "1" が設定されていると、アンダフロー割込み要求が発生します。

UF	読出し時	書込み時
0	ダウンカウンタはアンダフローしていません。	このビットを "0" にクリアします。
1	ダウンカウンタがアンダフローしました。	無視されます。

[bit1] : CNTE (カウント動作許可ビット)

ダウンカウンタの動作を許可 / 停止します。

書込み値	説明
0	カウント動作を停止します。
1	カウント動作を許可します (起動トリガ待ち) 。

< 注意事項 >

ダウンカウンタの動作中に、このビットに "0" を書き込むとダウンカウンタは停止します。

[bit0] : TRG (ソフトウェアトリガビット)

16 ビットリロードタイマをソフトウェアで起動します。このビットに "1" を書き込むと、ダウンカウンタは 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をロードして、カウント動作を開始します。

TRG	書込み時	読出し時
0	無視されます。	"0" が読み出されます。
1	16 ビットリロードタイマを起動します。	

< 注意事項 >

- CNTE ビットが "0" のときにこのビットに "1" を書き込んでも、ダウンカウンタは動作しません。
- 16 ビットリロードタイマの動作が許可 (CNTE=1) されているときに、このビットに "1" を書き込むと、TRGM1, TRGM0 ビットの設定にかかわらずダウンカウンタが動作を開始します。

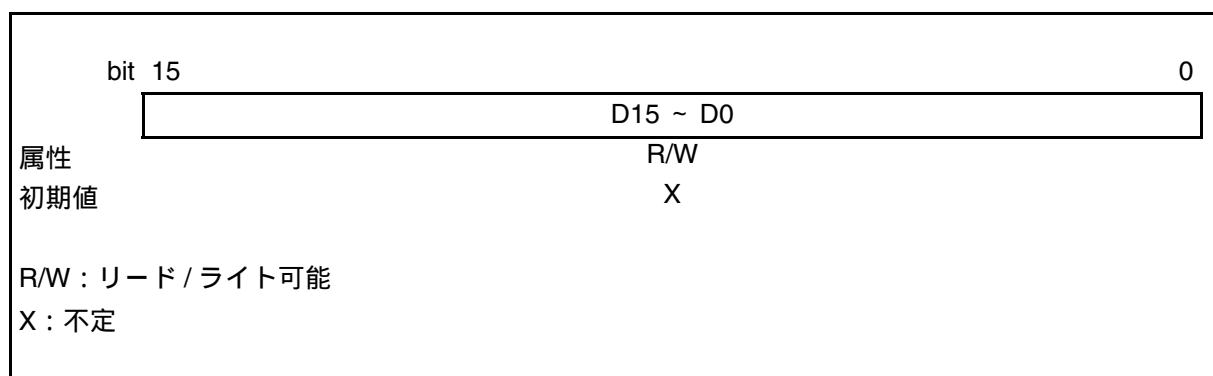
20.4.2 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2)

ダウンカウンタの初期値を設定するレジスタです。

リロードモード時はアンダフローが発生すると、このレジスタの値がダウンカウンタにリロードされます。

16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) のビット構成を図 20.4-2 に示します。

図 20.4-2 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) のビット構成



このレジスタに設定した値 +1 をカウントダウンし終わると、アンダフローが発生します。また、TOUT0 ~ TOUT2 端子から出力される信号レベルが反転します

< 注意事項 >

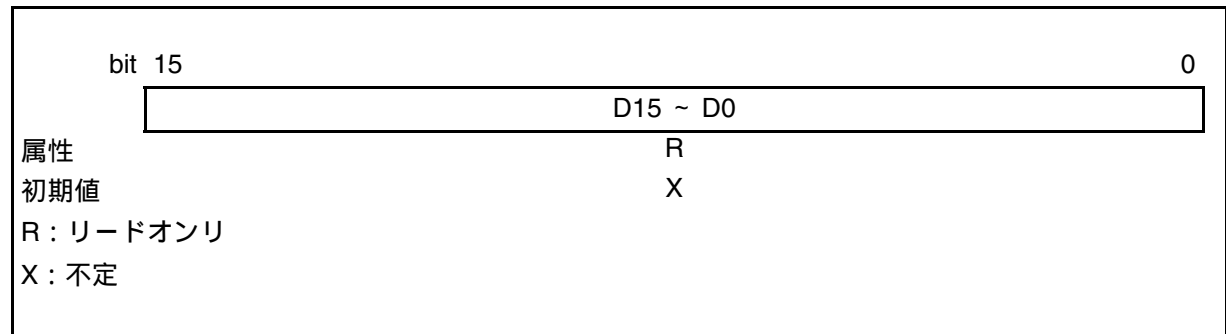
このレジスタは必ずハーフワードでアクセスしてください。

20.4.3 16 ビットタイマレジスタ (TMR0 ~ TMR2)

このレジスタを読み出すとダウンカウンタの値が読み出せます。

16 ビットタイマレジスタ (TMR0 ~ TMR2) のビット構成を図 20.4-3 に示します。

図 20.4-3 16 ビットタイマレジスタ (TMR0 ~ TMR2) のビット構成



< 注意事項 >

このレジスタは必ずハーフワードで読み出してください。

20.5 割込み

ダウンカウンタがアンダフローすると、アンダフロー割込み要求が発生します。

■ 概要

16 ビットリロードタイマで利用できる割込みについて表 20.5-1 に示します。

表 20.5-1 16 ビットリロードタイマの割込み

割込み要求	割込み要求フラグ	割込み要求許可	割込み要求のクリア
アンダフロー割込み要求	TMCSR の UF=1	TMCSR の INTE=1	TMCSR の UF ビットに "0" を書き込む

TMCSR : コントロールステータスレジスタ (TMCSR0 ~ TMCSR2)

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする
 - 割込み許可と同時に割込み要求をクリアする。
- 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 12 章 割込みコントローラ」を参照してください。

20.6 動作説明と設定手順例

16 ビットリロードタイマの動作について説明します。また、各動作状態を設定するための手順例も示します。

■ 概要

16 ビットリロードタイマは、あらかじめ設定した値からカウントダウンするダウンカウンタです。コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットでタイマモードを次の中から選択できます。

- インターバルタイマモード (CSL2 ~ CSL0=000 ~ 101)
周辺クロック (PCLK) を分周したカウント用クロックで動作します。
- イベントカウンタモード (CSL2 ~ CSL0=110, 111)
TIN0 ~ TIN2 端子から有効エッジが入力されるたびにカウントするモードです。
また、ch.0 の出力を ch.1 で、ch.1 の出力を ch.2 でカウントするカスケードモードも使用できます。

■ TOUT0 ~ TOUT2 端子から出力される信号レベルの設定方法

TOUT0 ~ TOUT2 端子から出力される信号レベルはコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の OUTL ビットの設定によって異なります。

● リロードモード時

リロードモード時の TOUT0 ~ TOUT2 端子から出力される信号レベルを表 20.6-1 に示します。

表 20.6-1 リロードモード時の信号レベル

	通常極性 (OUTL=0)	反転極性 (OUTL=1)
16 ビットリロードタイマ起動時	"L" レベル	"H" レベル
その後	アンダフローが発生するたびに信号レベルが反転	

● ワンショットモード時

ワンショットモード時の TOUT0 ~ TOUT2 端子から出力される信号レベルを表 20.6-2 に示します。

表 20.6-2 ワンショットモード時の信号レベル

	通常極性 (OUTL=0)	反転極性 (OUTL=1)
16 ビットリロードタイマ起動時	"L" レベル	"H" レベル
起動トリガ入力時	"H" レベル	"L" レベル
アンダフロー発生時	"L" レベル	"H" レベル

コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の OUTL ビットと出力波形の

対応を図 20.6-1 に示します。

図 20.6-1 コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の OUTL ビットと出力波形の対応

モード	OUTL	初期値	起動トリガ	カウント中	アンダフロー	アンダフロー	アンダフロー
リロード	0						
	1						
ワンショット	0					トリガ待ち状態	
	1						

20.6.1 インターバルタイマモード時の動作

16 ビットリロードタイマを内部クロック (周辺クロック) に同期してカウントするインターバルタイマモードで使用する場合は動作について説明します。
カウント用クロックは、周辺クロック (PCLK) を分周して生成されます。

■ 設定

16 ビットリロードタイマをインターバルタイマモードで使用する場合に必要な設定について説明します。

● インターバルタイマモードの設定

16 ビットリロードタイマをインターバルタイマモードで使用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットを次のいずれかに設定し、周辺クロック (PCLK) の分周比を選択します。

CSL2	CSL1	CSL0	タイマモード	周辺クロックの分周比
0	0	0	インターバルタイマモード	2 分周 ($=2^1$)
0	0	1		4 分周 ($=2^2$)
0	1	0		8 分周 ($=2^3$)
0	1	1		16 分周 ($=2^4$)
1	0	0		32 分周 ($=2^5$)
1	0	1		64 分周 ($=2^6$)

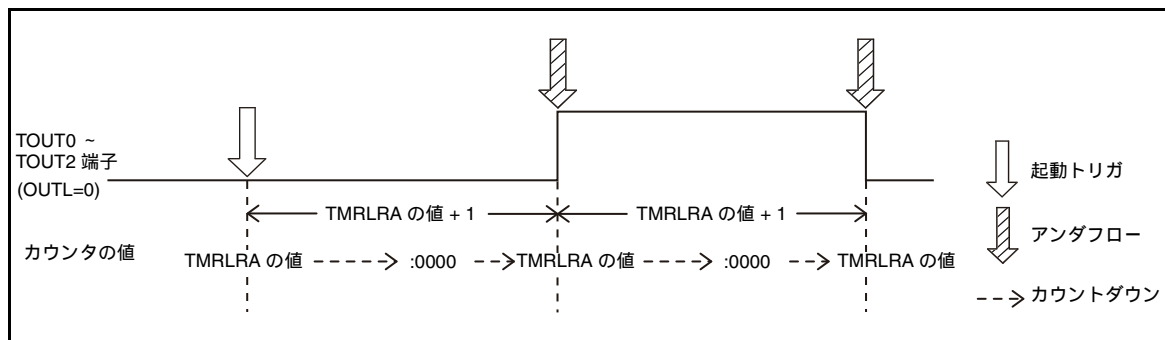
● 動作モードの設定

インターバルタイマモード時, コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の RELD ビットで動作モードを次の中から選択できます。

- リロードモード (RELD=1)

ダウンカウンタがアンダフローすると, 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定された値をリロードしてカウント動作を繰り返すモードです。リロードモードの基本動作を図 20.6-2 に示します。

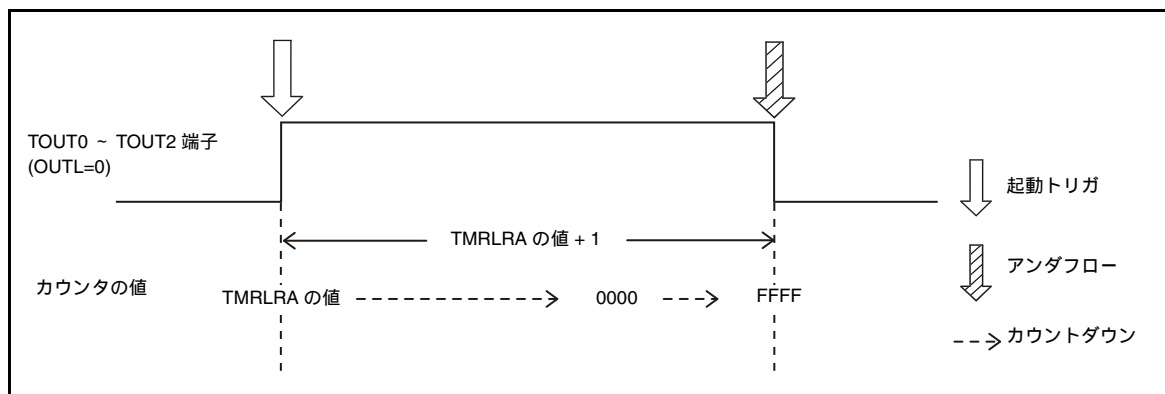
図 20.6-2 リロードモードの基本動作



- ワンショットモード (RELD=0)

ダウンカウンタがアンダフローすると, カウント動作を停止するモードです。ワンショットモードの基本動作を図 20.6-3 に示します。

図 20.6-3 ワンショットモードの基本動作



● TIN0 ~ TIN2 端子機能の設定

コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットと GATE ビットで, TIN0 ~ TIN2 端子の機能を次の中から選択できます。

各ビットの組み合わせを表 20.6-3 に示します。

表 20.6-3 各ビットの組み合わせ

TRGM1, TRGM0	GATE	端子の機能
00	0	TIN0 ~ TIN2 端子は機能しません。
01	0	TIN0 ~ TIN2 端子はトリガ入力機能として動作します。 有効エッジは立上りエッジです。
10	0	TIN0 ~ TIN2 端子はトリガ入力機能として動作します。 有効エッジは立下りエッジです。
11	0	TIN0 ~ TIN2 端子はトリガ入力機能として動作します。 有効エッジは両エッジです。
00/10	1	TIN0 ~ TIN2 端子はゲート入力機能として動作します。 有効レベルは "L" レベルです。
01/11	1	TIN0 ~ TIN2 端子はゲート入力機能として動作します。 有効レベルは "H" レベルです。

■ パルス幅の計算方法

インターバルタイマモード時に, TOUT0 ~ TOUT2 端子から出力される信号のパルス幅の計算方法を説明します。

$$\text{パルス幅} = T \times (L+1)$$

L 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定した値
T カウント用クロックの周期

■ アンダフロー周期の計算方法

ダウンカウンタの値が "0000_H" のときに, さらにカウントダウンしようとする, アンダフローが発生します。ダウンカウンタがカウントを開始してからアンダフローが発生するまでの周期は, 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定します。

アンダフロー周期の計算方法を説明します。

$$T \times (L+1)$$

T カウント用クロックの周期
L 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定した値

■ リロードモード時の動作 (TIN0 ~ TIN2 端子 = トリガ入力時)

TIN0 ~ TIN2 端子をトリガ入力に使用して、アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし、カウントダウンを継続するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット = 01 ~ 11 のいずれか
- GATE ビット = 0
- RELD ビット = 1

● 起動

次の手順で起動してください。

1. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CNTE ビットで、16 ビットリロードタイマの動作を許可 (CNTE=1) する

16 ビットリロードタイマが起動トリガ入力待ち状態になります。

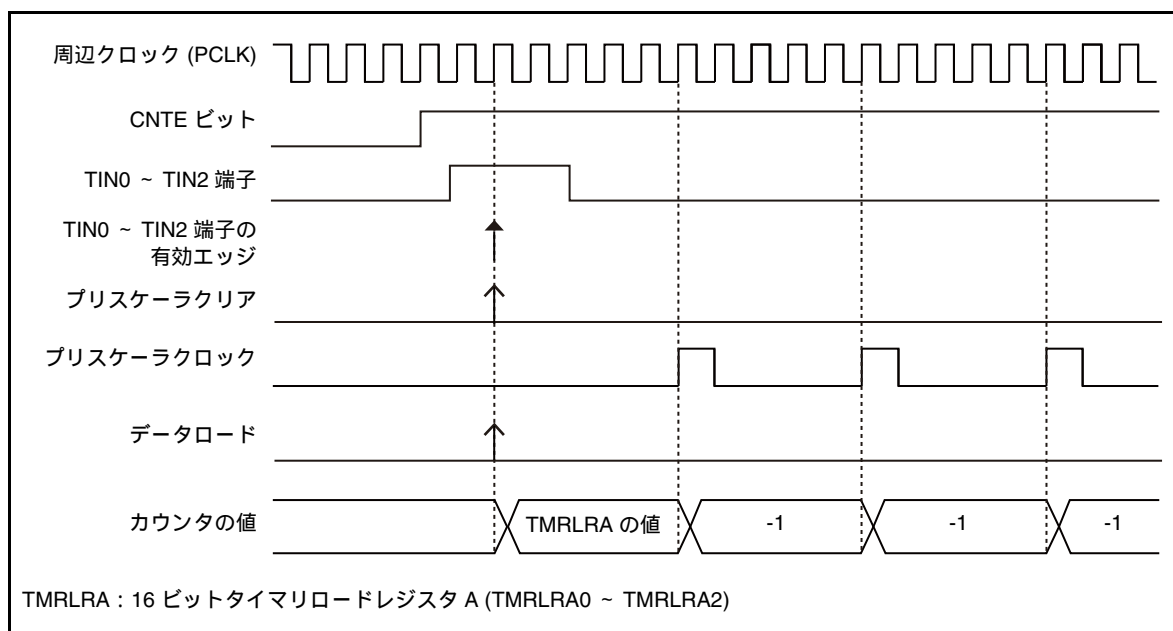
2. 次のいずれかの方法で起動トリガを入力する

- TIN0 ~ TIN2 端子からコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットで設定したエッジを入力する
- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRG ビットに "1" を書き込む

プリスケアラがクリアされます。また、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値がダウンカウンタにロードされ、カウントが開始されます。

起動動作を図 20.6-4 に示します。

図 20.6-4 起動動作 (TIN0 ~ TIN2 端子で起動時、有効エッジ = 立上りエッジの場合)



< 注意事項 >

TIN0 ~ TIN2 端子から入力する起動トリガのパルス幅は, 2T (T: 周辺クロック (PCLK) の周期) 以上になるようにしてください。

● カウント動作

ダウンカウンタがカウント用クロックに同期して, 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値からカウントダウンを開始します。

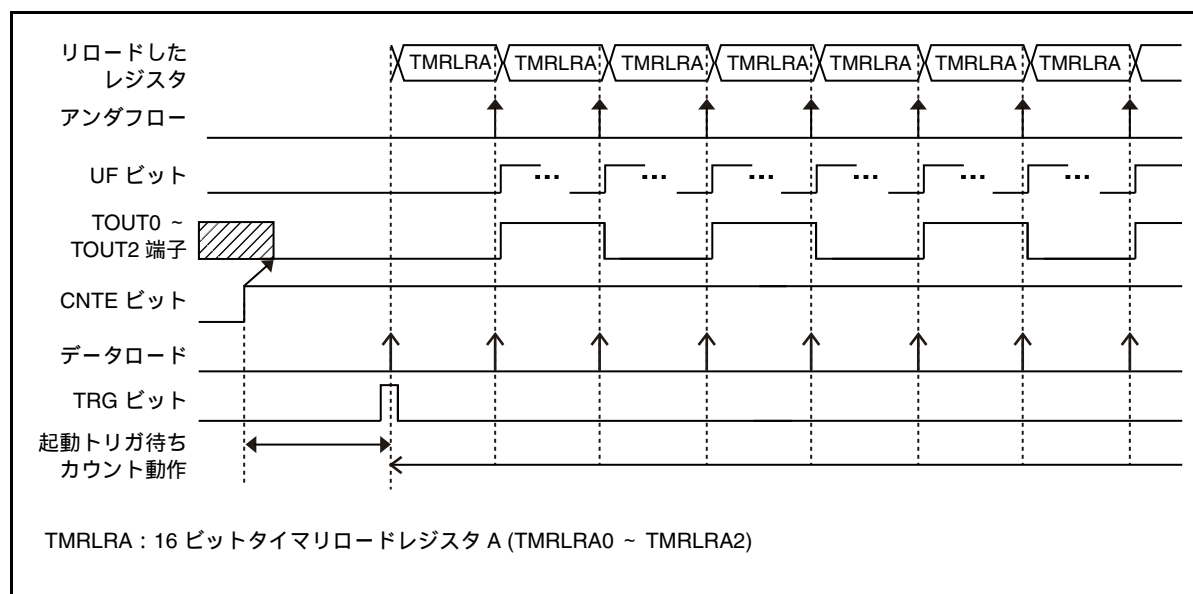
ダウンカウンタの値が "0000_H" からカウントダウンしようとする時, アンダフローが発生し, 次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットが "1" に変わる
- TOUT0 ~ TOUT2 端子から出力される信号レベルが反転する
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし, カウントダウンを継続する

このように, アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし, カウント動作を継続します。

カウント動作を図 20.6-5 に示します。

図 20.6-5 カウント動作 (ソフトウェアでの起動時, 出力極性 = 通常極性の場合)



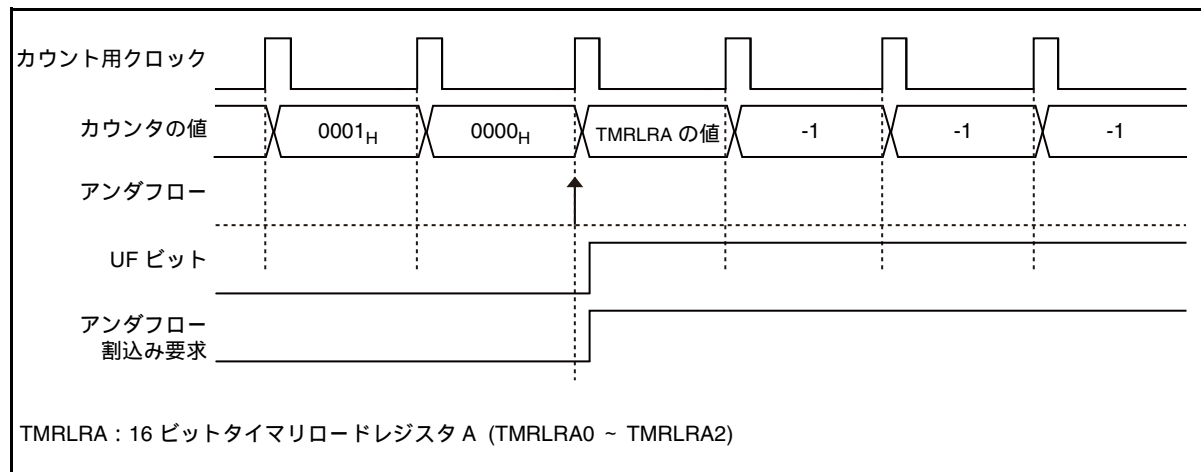
● 割込み処理の動作

ダウンカウンタがアンダフローすると, コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットが "1" に変わります。

このとき, コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の INTE ビットが "1" に設定されていると, アンダフロー割込み要求が発生します。

アンダフロー割込み要求が発生するタイミングを図 20.6-6 に示します。

図 20.6-6 アンダフロー割込み要求の発生タイミング



コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットに "0" を書き込むと、アンダフロー割込み要求をクリアできます。

< 注意事項 >

アンダフロー割込み要求をクリアしたと同時にアンダフロー割込み要求が発生した場合は、クリア動作は無視され、アンダフロー割込み要求が発生したままになります。

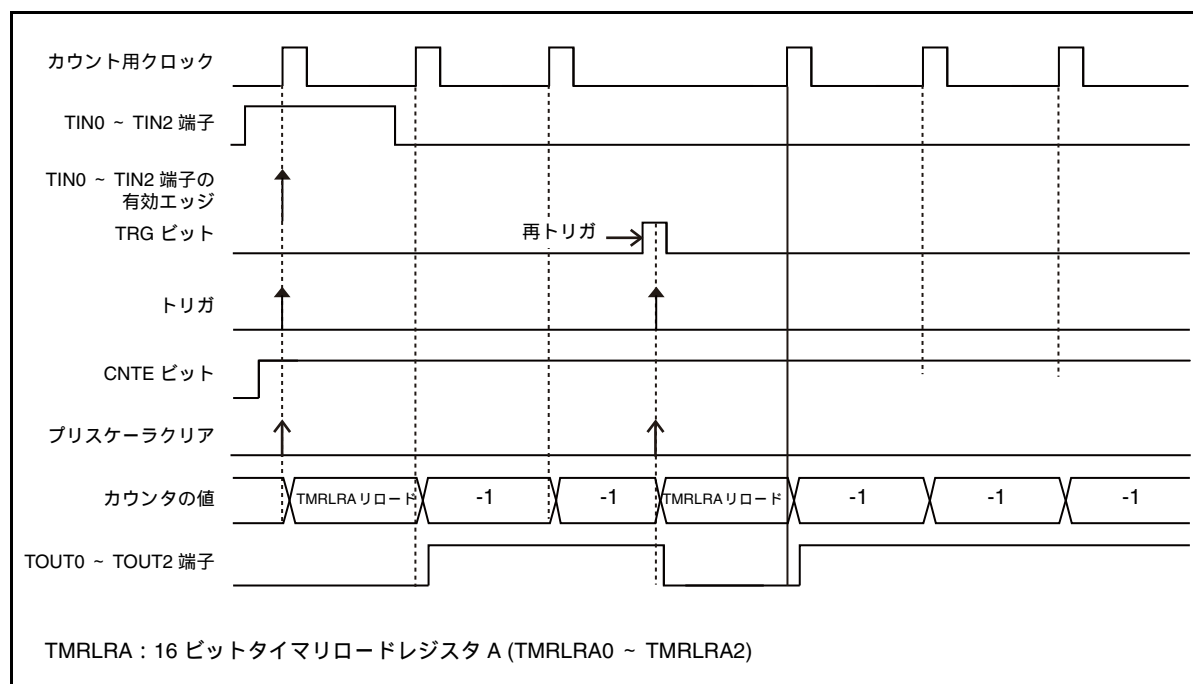
● 再トリガ動作

カウント動作中に、16 ビットリロードタイマの起動トリガを検出すると再トリガが発生し、次の動作が行われます。

- TIN0 ~ TIN2 端子の信号レベルを初期化
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロード
- プリスケアラのクリア
- カウント動作開始

再トリガ発生時の動作を図 20.6-7 に示します。

図 20.6-7 再トリガ発生時の動作
(TIN0 ~ TIN2 端子で再トリガ時, 有効エッジ = 立上りエッジの場合)



< 注意事項 >

16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) を書き換えて、リロード値を変更したと同時に再トリガが発生すると、ダウンカウンタには書き換える前の値がロードされます。

書き換え後の値は、次のリロードタイミングでロードされます。

■ リロードモード時の動作 (TIN0 ~ TIN2 端子 = ゲート入力時)

TIN0 ~ TIN2 端子をゲート入力に使用して、アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし、カウントダウンを継続するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM0 ビット = 0/1
- GATE ビット = 1
- RELD ビット = 1

● 起動

次の手順で起動してください。

1. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CNTE ビットで、16 ビットリロードタイマの動作を許可 (CNTE=1) する

16 ビットリロードタイマが起動トリガ入力待ち状態になります。

2. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRG ビットで起動トリガを入力する (TRG=1)

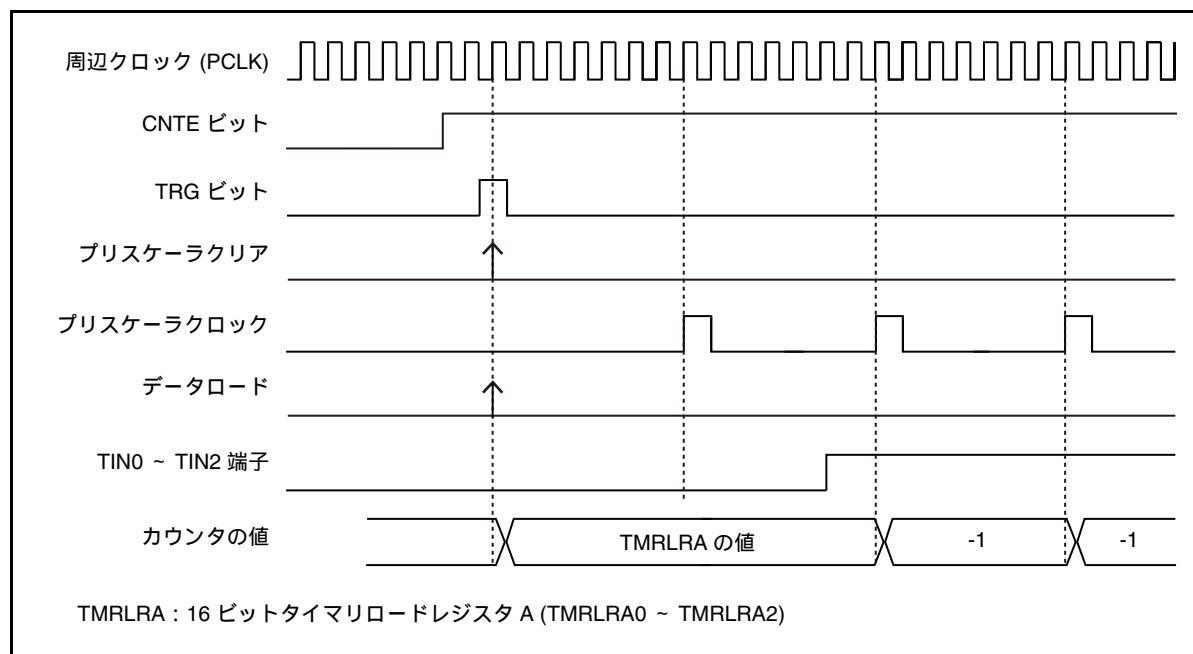
プリスケアラがクリアされます。また、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値がダウンカウンタにロードされ、16 ビットリロードタイマは TIN0 ~ TIN2 端子からの有効入力極性待ち状態になります。

3. TIN0 ~ TIN2 端子からコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットで設定したレベルの信号を入力する

カウントが開始されます。

起動動作を図 20.6-8 に示します。

図 20.6-8 起動動作



< 注意事項 >

TIN0 ~ TIN2 端子から入力する有効レベルは、2T (T: 周辺クロック (PCLK) の周期) 以上になるようにしてください。

● カウント動作

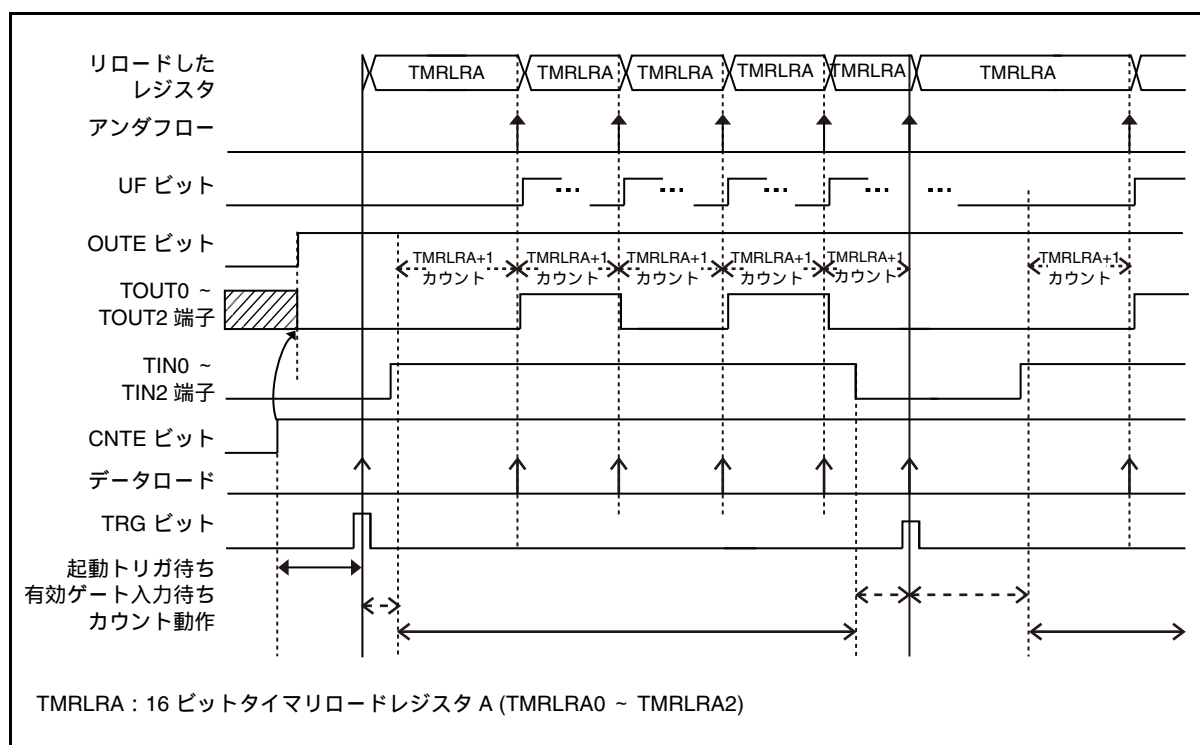
TIN0 ~ TIN2 端子から有効レベルの信号が入力されている間だけ、ダウンカウンタがカウント用クロックに同期して、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値からカウントダウンします。

TIN0 ~ TIN2 端子から有効レベルが入力されないと、ダウンカウンタは動作を停止します。ダウンカウンタの停止中に有効レベルが入力されると、停止していた値から再度カウントを開始します。

以降の動作は、TIN0 ~ TIN2 端子 = トリガ入力機能時の動作と同様です。「リロードモード時の動作 (TIN0 ~ TIN2 端子 = トリガ入力時)」を参照してください。

カウント動作を図 20.6-9 に示します。

図 20.6-9 カウント動作 (有効レベル = "H" レベル, 出力極性 = 通常極性の場合)



● 割込み処理の動作

リロードモード時と同様です。「リロードモード時の動作 (TIN0 ~ TIN2 端子 = トリガ入力時)」を参照してください。

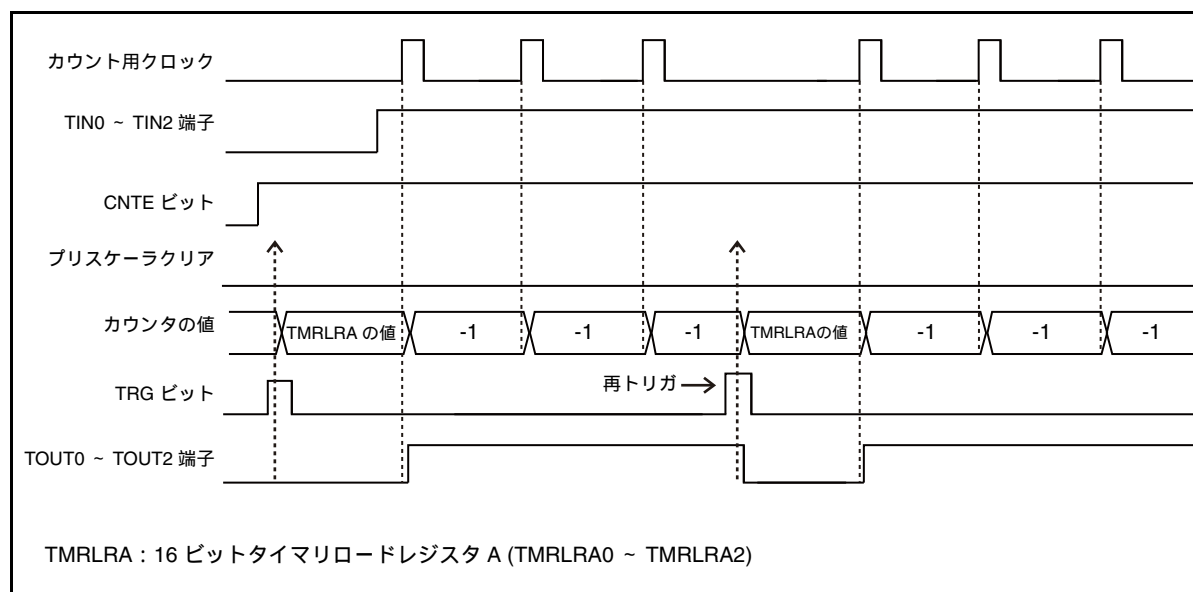
● 再トリガ動作

カウント動作中に、16 ビットリロードタイマの起動トリガを検出すると再トリガが発生し、次の動作が行われます。

- TIN0 ~ TIN2 端子の信号レベルを初期化
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロード
- プリスケアラのクリア

その状態で TIN0 ~ TIN2 端子から有効レベルが入力されると、カウント動作が開始されます。再トリガ時の動作を図 20.6-10 に示します。

図 20.6-10 再トリガ発生時の動作 (有効レベル="H" レベルの場合)



< 注意事項 >

16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) を書き換えて、リロード値を変更したと同時に再トリガが発生すると、ダウンカウンタには書き換える前の値がロードされます。

書き換え後の値は、次のリロードタイミングでロードされます。

■ ワンショットモード時の動作 (TIN0 ~ TIN2 端子 = トリガ入力時)

TIN0 ~ TIN2 端子をトリガ入力に使用して、アンダフローが発生すると次の起動トリガが入力されるまでカウントを停止するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット = 01 ~ 11 のいずれか
- GATE ビット = 0
- RELD ビット = 0

● 起動

リロードモード時と同様です。「リロードモード時の動作 (TIN0 ~ TIN2 端子 = トリガ入力時)」を参照してください。

ただし、ワンショットモード時は起動トリガを検出したら、TOUT0 ~ TOUT2 端子から出力される信号レベルが反転します。

● カウント動作

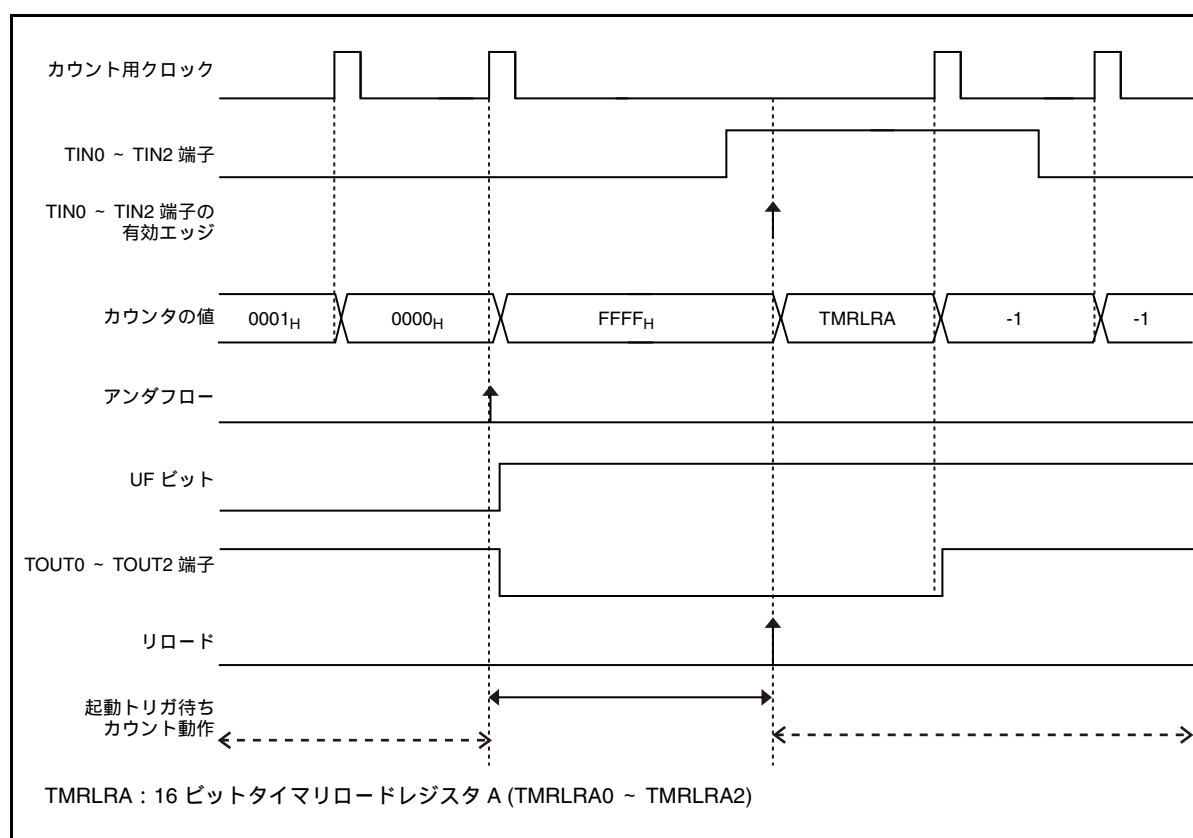
ダウンカウンタがカウント用クロックに同期して、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値からカウントダウンを開始します。

ダウンカウンタの値が "0000_H" からカウントダウンしようとする時、アンダフローが発生し、次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットが "1" に変わる
- TOUT0 ~ TOUT2 端子から出力される信号レベルを初期化する
- カウント動作を停止し、起動トリガ待ち状態になる (ダウンカウンタの値が "FFFF_H" で止まります)

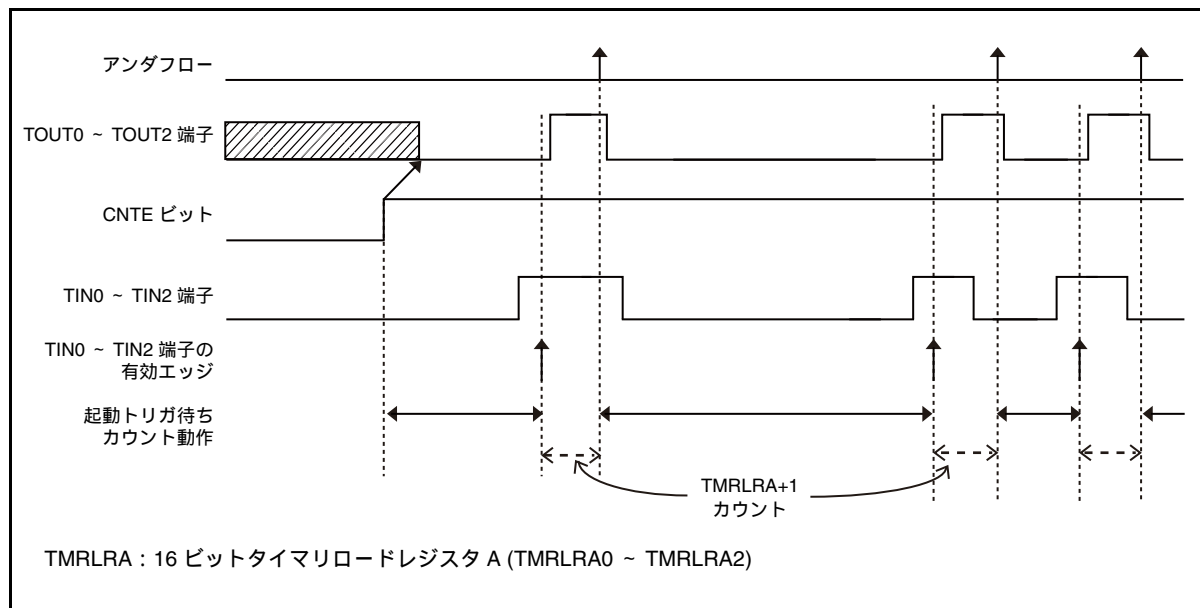
TIN0 ~ TIN2 端子で起動時のカウント動作を図 20.6-11 に示します。

図 20.6-11 カウント動作 (有効エッジ = 立上りエッジ, 出力極性 = 通常極性の場合)



アンダフロー発生時の詳細動作を図 20.6-12 に示します。

図 20.6-12 アンダフロー発生時の詳細動作
(有効エッジ = 立上りエッジ, 出力極性 = 通常極性の場合)



● 割込み処理の動作

リロードモード時と同様です。「リロードモード時の動作 (TIN0 ~ TIN2 端子 = トリガ入力時)」を参照してください。

● 再トリガ動作

リロードモード時と同様です。「リロードモード時の動作 (TIN0 ~ TIN2 端子 = トリガ入力時)」を参照してください。

ただし、ワンショットモード時は再トリガを検出したら、TOUT0 ~ TOUT2 端子から出力される信号レベルが反転します。

■ ワンショットモード時の動作 (TIN0 ~ TIN2 端子 = ゲート入力時)

TIN0 ~ TIN2 端子をゲート入力に使用して、アンダフローが発生すると次の起動トリガが入力されるまでカウントを停止するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM0 ビット = 0/1
- GATE ビット = 1
- RELD ビット = 0

● 起動

リロードモード時と同様です。「リロードモード時の動作 (TIN0 ~ TIN2 端子 = ゲート入力時)」を参照してください。

ただし、ワンショットモード時は起動トリガを検出したら、TOUT0 ~ TOUT2 端子から出力される信号レベルが反転します。

20.6.2 イベントカウンタモード時の動作

16 ビットリロードタイマをイベントカウンタとして使用する場合の動作について説明します。この節では、外部イベントをカウントする場合の動作について説明します。

■ 概要

イベントカウンタモードでは TIN0 ~ TIN2 端子に入力された外部イベントをカウントします。TIN0 ~ TIN2 端子から有効エッジが入力されるたびに、カウントダウンを行います。

カスケードモードについては、「20.6.3 カスケードモード時の動作」を参照してください。

■ 設定

● イベントカウンタモードの設定

16 ビットリロードタイマをイベントカウンタモードで使用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットを次の様に設定します。

CSL2	CSL1	CSL0	モード	カウント用クロック
1	1	1	イベントカウンタモード	外部クロック

● 動作モードの設定

イベントカウンタモード時、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の RELD ビットで動作モードを次の中から選択できます。

- リロードモード (RELD=1)

ダウンカウンタがアンダフローすると、16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) に設定された値をリロードしてカウント動作を繰り返すモードです。

- ワンショットモード (RELD=0)

ダウンカウンタがアンダフローすると、カウント動作を停止するモードです。

● 有効エッジの設定

16 ビットリロードタイマは TIN0 ~ TIN2 端子に有効エッジが入力されるたびに、カウントダウンを行います。

有効エッジはコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットで次の中から選択できます。

TRGM1, TRGM0	端子の機能
00	TIN0 ~ TIN2 端子は機能しません。
01	立上りエッジ
10	立下りエッジ
11	両エッジ

■ リロードモード時の動作

アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし、カウントダウンを継続するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット = 01 ~ 11 のいずれか
- RELD ビット = 1

● 起動

次の手順で起動してください。

1. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CNTE ビットで、16 ビットリロードタイマの動作を許可 (CNTE=1) する
16 ビットリロードタイマが起動トリガ入力待ち状態になります。
2. コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRG ビットで起動トリガを入力する (TRG=1)
16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値がダウンカウンタにロードされ、16 ビットリロードタイマは TIN0 ~ TIN2 端子から入力される信号の有効エッジ検出待ち状態になります。
3. TIN0 ~ TIN2 端子からコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の TRGM1, TRGM0 ビットで設定した有効エッジを入力する
カウントが開始されます。

● カウント動作

TIN0 ~ TIN2 端子からの入力信号に有効エッジを検出するたびに、カウントダウンします。

カウントのタイミングを図 20.6-14 ~ 図 20.6-16 に示します。

図 20.6-14 カウントタイミング (有効エッジ = 立上りエッジ)

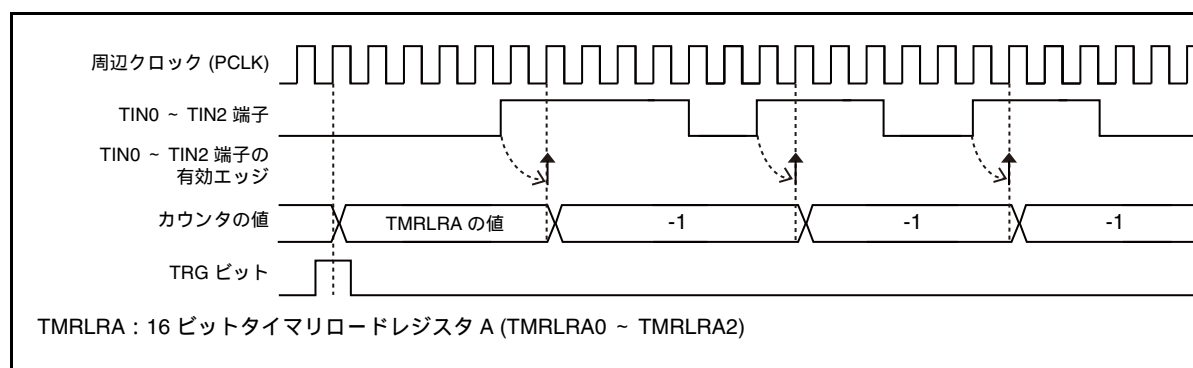


図 20.6-15 カウントタイミング (有効エッジ = 立下りエッジ)

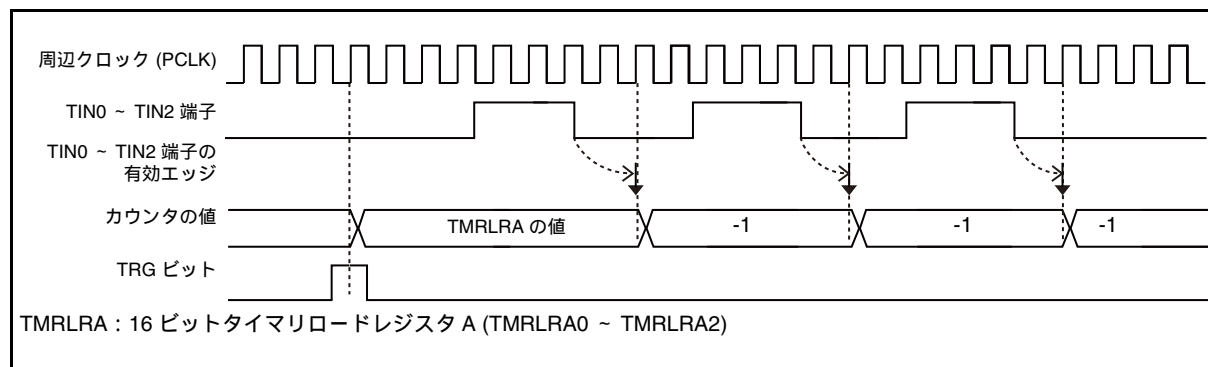
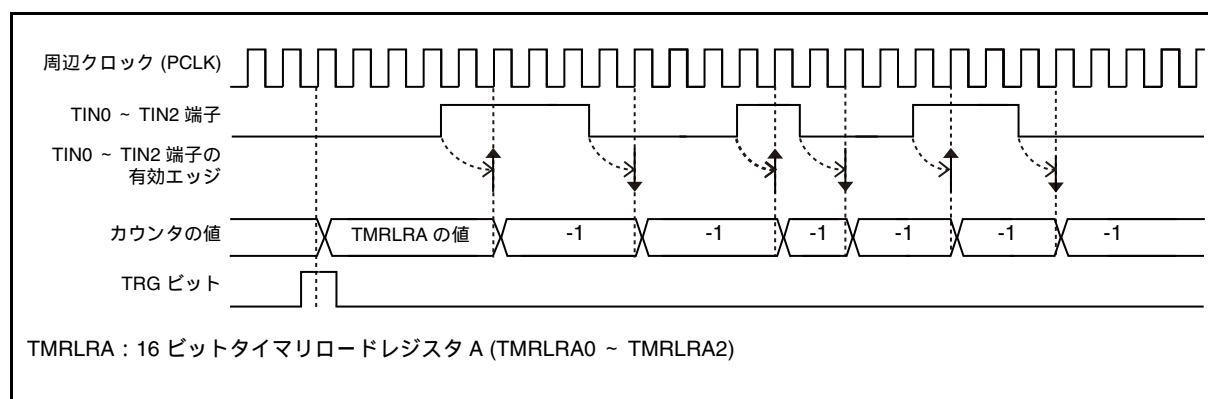


図 20.6-16 カウントタイミング (有効エッジ = 両エッジ)



ダウンカウンタの値が"0000_H"からカウントダウンしようとする時、アンダフローが発生し、次の動作が行われます。

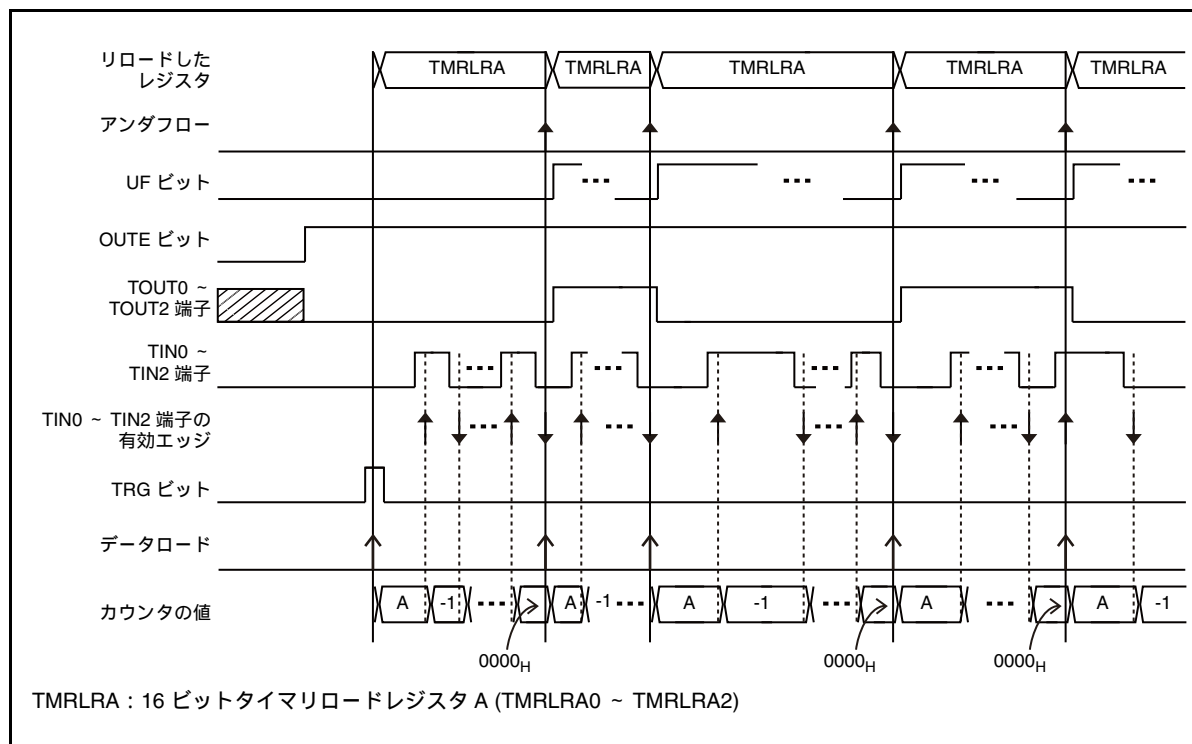
- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) のUFビットが"1"に変わる
- TOUT0 ~ TOUT2 端子からの出力信号レベルが反転する
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロード
- TIN0 ~ TIN2 端子から有効レベルが入力されると、カウントダウンを継続する。

このように、アンダフローが発生するたびに 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をリロードし、カウント動作を継続します。

ただし、アンダフロー発生後、TIN0 ~ TIN2 端子から入力される信号の有効エッジが検出されるまではカウントは開始しません。

カウント動作を図 20.6-17 に示します。

図 20.6-17 カウント動作 (検出エッジ = 両エッジ, 出力極性 = 通常極性の場合)



● 割込み処理の動作

インターバルタイマモード時と同様です。「20.6.1 インターバルタイマモード時の動作」の「リロードモード時の動作 (TIN0 ~ TIN2 端子 = トリガ入力時)」を参照してください。

● 再トリガ動作

カウント動作中に、16 ビットリロードタイマの起動トリガを検出すると再トリガが発生し、次の動作が行われます。

- TOUT0 ~ TOUT2 端子から出力される信号レベルをコントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の OUTL ビットで設定したレベルに初期化
- 16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) の値をダウンカウンタにリロード

その状態で TIN0 ~ TIN2 端子から有効エッジが入力されると、カウント動作が開始されます。

< 注意事項 >

16 ビットタイマリロードレジスタ A (TMRLRA0 ~ TMRLRA2) を書き換えて、リロード値を変更したと同時に再トリガが発生すると、ダウンカウンタには書き換える前の値がロードされます。

書き換え後の値は、次のリロードタイミングでロードされます。

■ ワンショットモード時の動作

アンダフローが発生すると次の起動トリガが入力されるまでカウントを停止するモードです。

このモードで利用する場合は、コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) を次の様に設定してください。

- TRGM1, TRGM0 ビット = 01 ~ 11 のいずれか
- RELD ビット = 0

● 起動

リロードモード時と同様です。「リロードモード時の動作」を参照してください。

● カウント動作

TIN0 ~ TIN2 端子で有効エッジを検出するたびに、カウントダウンします。

ダウンカウンタの値が "0000_H" からカウントダウンしようとする時、アンダフローが発生し、次の動作が行われます。

- コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の UF ビットが "1" に変わる
- TOUT0 ~ TOUT2 端子から出力される信号レベルを初期化する
- カウント動作を停止し、起動トリガ待ち状態になる (ダウンカウンタの値が "FFFF_H" で止まります)

カウント動作を図 20.6-18, 図 20.6-19 に示します。

図 20.6-18 カウント動作 (検出エッジ = 両エッジの場合)

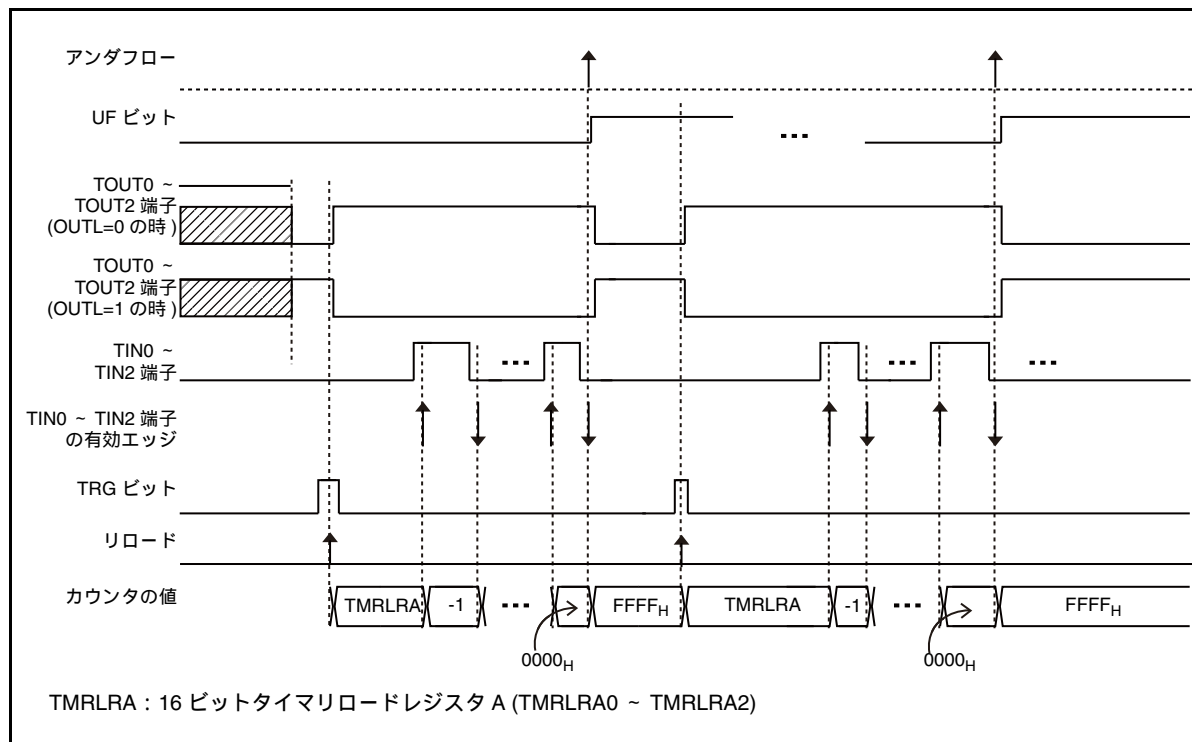
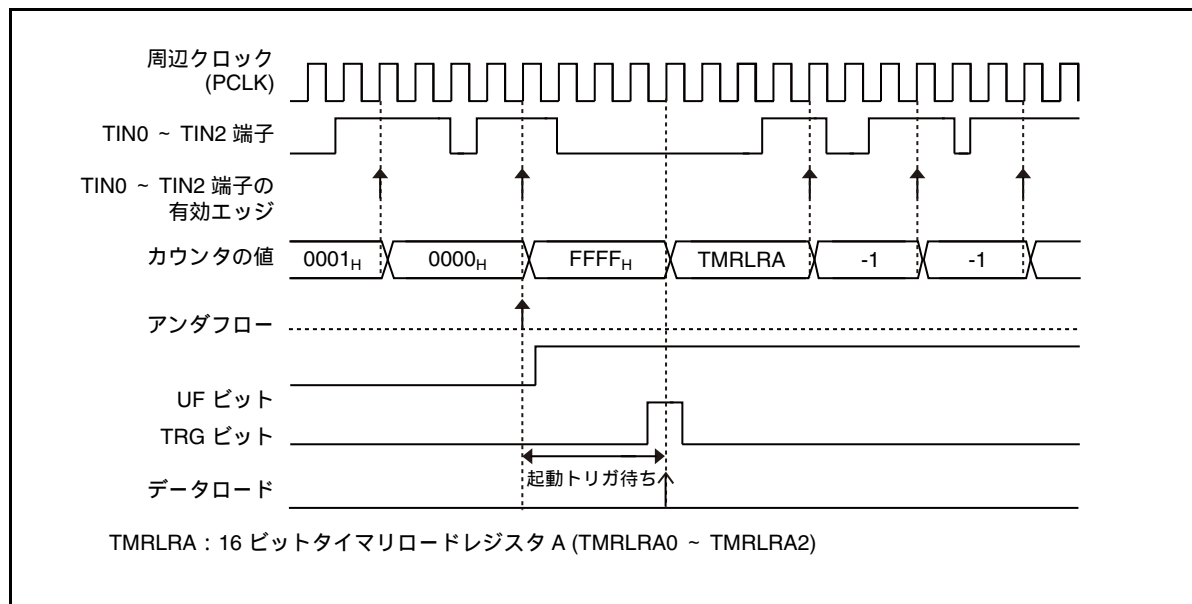


図 20.6-19 カウント動作 (検出エッジ = 立上リエッジの場合)



● 割込み処理の動作

リロードモード時と同様です。「リロードモード時の動作」を参照してください。

● 再トリガ動作

リロードモード時と同様です。「リロードモード時の動作」を参照してください。

20.6.3 カスケードモード時の動作

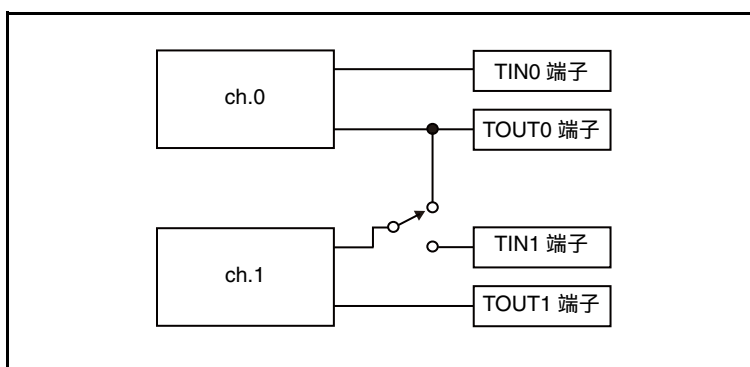
カスケードモードを使用すると、16 ビットリロードタイマの ch.0 からの出力を ch.1 で、ch.1 からの出力を ch.2 でカウントできます。カスケードモード時の動作を説明します。

■ 動作

コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットでカスケードモードを選択 (CSL2 ~ CSL0=110) すると、次のような動作になります。

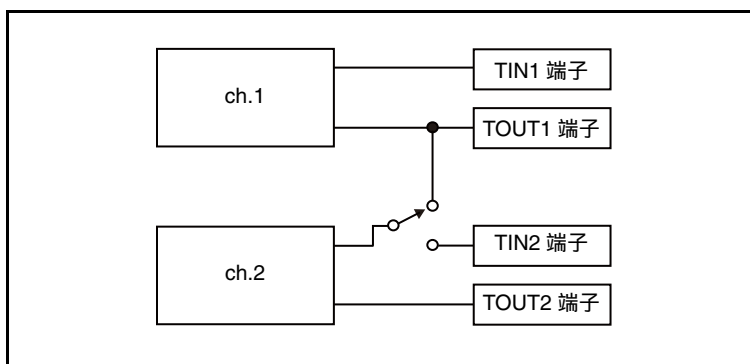
- ch.1 をカスケードモードで接続した場合
ch.0 からの出力をカウントします。ch.1 をカスケードモードで使用した場合の入出力を図 20.6-20 に示します。

図 20.6-20 ch.1 をカスケードモードで使用した場合の入出力



- ch.2 をカスケードモードで接続した場合
ch.1 からの出力をカウントします。ch.2 をカスケードモードで使用した場合の入出力を図 20.6-21 に示します。

図 20.6-21 ch.2 をカスケードモードで使用した場合の入出力



< 注意事項 >

カスケードモードを使用する場合は，コントロールステータスレジスタ (TMCSR0 ~ TMCSR2) の CSL2 ~ CSL0 ビットでタイマモードを次のように設定してください。

- 若い番号のチャンネル
インターバルタイマモードまたは外部クロックを選択 (CSL2 ~ CSL0=110 以外)
- 大きい番号のチャンネル
カスケードモードを設定 (CSL2 ~ CSL0=110)

■ アンダフロー周期

ch.1 および ch.2 のアンダフロー周期の計算式を説明します。

- ch.1 をカスケードモードで接続した場合

$T \times (\text{TMRLRA0 の値} + 1) \times (\text{TMRLRA1 の値} + 1)$

T : ch.0 のカウント用クロックの周期

TMRLRA0 : 16 ビットタイマリロードレジスタ A0 (TMRLRA0)

TMRLRA1 : 16 ビットタイマリロードレジスタ A1 (TMRLRA1)

- ch.2 をカスケードモードで接続した場合

$T \times (\text{TMRLRA1 の値} + 1) \times (\text{TMRLRA2 の値} + 1)$

T : ch.1 のカウント用クロックの周期

TMRLRA1 : 16 ビットタイマリロードレジスタ A1 (TMRLRA1)

TMRLRA2 : 16 ビットタイマリロードレジスタ A2 (TMRLRA2)

20.7 使用上の注意

16 ビットリロードタイマを使用する際は、次の点に注意してください。

■ 割込みに関する注意

- アンダフロー割込み要求フラグのクリアと、アンダフロー割込み要求フラグが"1"に変わるタイミングが重なった場合は、アンダフロー割込み要求フラグのクリア動作は無視され、アンダフロー割込み要求フラグは "1" のままになります。

■ 同時起動の場合の動作

16 ビットリロードタイマの動作を決定するイベントが同時に発生した場合、動作状態を決定する優先順位は次のとおりです。

1. レジスタの読み込み
2. トリガ入力
3. アンダフロー
4. カウント用クロック入力

第 21 章 ベースタイマ 入出力選択機能

ベースタイマの入出力選択機能について説明します。

- 21.1 概要
- 21.2 構成
- 21.3 端子
- 21.4 レジスタ
- 21.5 入出力モード

21.1 概要

ベースタイマ入出力選択機能は、入出力モードを設定することにより、ベースタイマへの信号 (外部クロック / 外部起動トリガ / 波形) の入出力方法を決める機能です。

また、ベースタイマはタイマ機能を切り換えることで、チャンネルごとに次のいずれかのタイマとして使用します。

- 16 ビット PWM タイマ
- 16 ビット PPG タイマ
- 16/32 ビットリロードタイマ
- 16/32 ビット PWC タイマ

ベースタイマは、必ず本章と使用するタイマ機能の章両方を一読の上、使用してください。

■ 概要

2 チャンネルごとに入出力モードを次の 9 種類の中から選択できます。

- 入出力モード 0 : 16 ビットタイマ標準モード
ベースタイマを 1 チャンネルごとに個別に動作させるモードです。
- 入出力モード 1 : タイマフルモード
ベースタイマの偶数チャンネルの信号を個別に外部端子に割り当てて動作させるモードです。
- 入出力モード 2 : 外部トリガ共有モード
2 チャンネルのベースタイマに対して同時に外部起動トリガを入力できるモードです。このモードを利用すると、2 チャンネルのベースタイマを同時に起動できます。
- 入出力モード 3 : 他チャンネルトリガ共有モード
他のチャンネルからの外部信号を外部起動トリガにして、起動するモードです。このモードは ch.0 および ch.1 には設定できません。
- 入出力モード 4 : タイマ起動 / 停止モード
偶数チャンネルで奇数チャンネルの起動 / 停止を制御するモードです。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。
- 入出力モード 5 : 同時ソフト起動モード
ソフトウェアで複数のチャンネルを同時に起動するモードです。
- 入出力モード 6 : ソフト起動タイマ起動 / 停止モード
偶数チャンネルで奇数チャンネルの起動 / 停止を制御するモードです。偶数チャンネルはソフトウェアで起動します。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジで起動し、立下りエッジで停止します。
- 入出力モード 7 : タイマ起動モード
偶数チャンネルで奇数チャンネルの起動を制御するモードです。奇数チャンネルは、偶数チャンネルからの出力信号の立上りエッジで起動します。

- 入出力モード 8：他チャネルトリガ共有タイマ起動 / 停止モード
ほかのチャネルからの外部信号を外部起動トリガにして、起動するモードです。
このモードは ch.0 および ch.1 には設定できません。

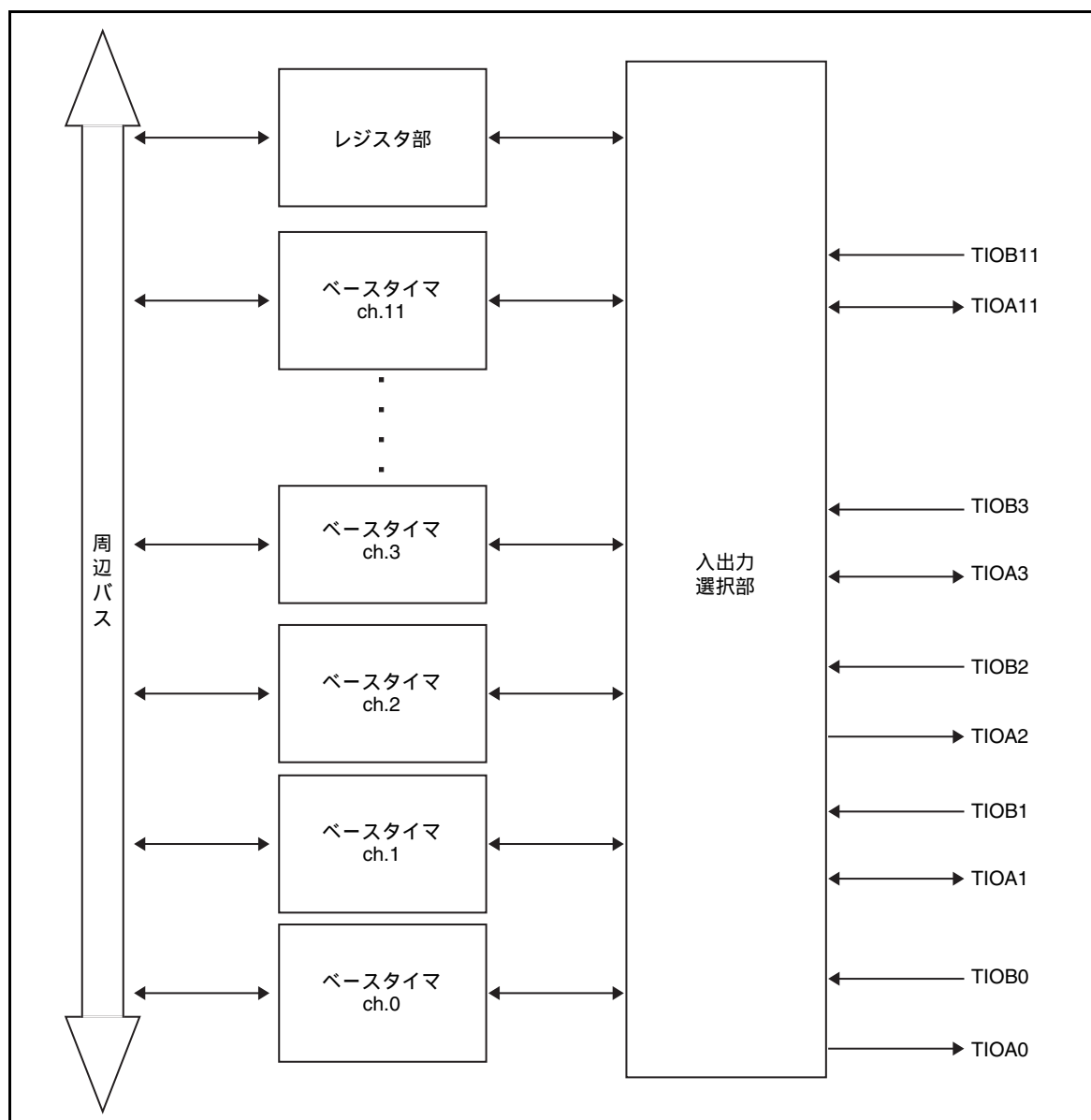
21.2 構成

ベースタイマ入出力選択機能は次のブロックで構成されています。

■ ベースタイマ入出力選択機能のブロックダイアグラム

ベースタイマ入出力選択機能のブロックダイアグラムを図 21.2-1 に示します。

図 21.2-1 ベースタイマ入出力選択機能のブロックダイアグラム



- 入出力選択部
ベースタイマの入出力モードをチャンネルごとに選択する回路です。
- ベースタイマ (ch.0 ~ ch.11)
ベースタイマの ch.0 ~ ch.11 です。

21.3 端子

ベースタイマ入出力選択機能で入出力モードを設定する端子について説明します。

■ 概要

ベースタイマには、チャンネルごとに 2 種類の外部端子と 7 種類の内部信号があります。外部端子と内部信号を接続することで、ベースタイマへ接続先に対応した信号（外部クロック (ECK 信号) / 外部起動トリガ (TGIN 信号) / 波形 (TIN 信号)）を入出力します。外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。使用する端子と入出力する信号は入出力モードによって異なります。

● 外部端子

- TIOA0 ~ TIOA11 端子
ベースタイマの波形 (TOUT 信号) を出力する、あるいは、外部起動トリガ (TGIN 信号) を入力する端子です。この端子は兼用端子です。
- TIOB0 ~ TIOB11 端子
外部起動トリガ (TGIN 信号) / 外部クロック (ECK 信号) / 他チャンネルの波形 (TIN 信号) を入力する端子です。この端子は兼用端子です。

● 内部信号

上記の外部端子と接続する、あるいは、ほかのチャンネルからの出力信号を入力することでベースタイマへ信号を入出力します。

- TOUT 信号
ベースタイマの出力波形です。(16/32 ビット PWC タイマでは使用しません。)
- ECK 信号
ベースタイマの外部クロックです。(16/32 ビット PWC タイマでは使用しません。)
カウント用クロックに外部クロックを選択した場合に入力します。
- TGIN 信号
ベースタイマの外部起動トリガです。(16/32 ビット PWC タイマでは使用しません。)
外部起動トリガの有効エッジを選択すると、この信号のエッジを検出してベースタイマが起動します。
- TIN 信号
測定する波形です。(16/32 ビット PWC タイマでのみ使用します。)

- DTRG 信号
ベースタイマは、この信号の立下りエッジで動作を停止します。
- COUT 信号
他のチャンネルへの出力信号です。
- CIN 信号
他のチャンネルから入力される信号です。

● 外部端子と内部信号の接続

外部端子と内部信号は、ベースタイマの入出力モードを設定することで接続されます。
入出力モードと端子接続の対応を表 21.3-1 に示します。

表 21.3-1 入出力モードと端子接続の対応

入出力 モード	TIOAn (偶数チャンネル)		TIOBn (偶数チャンネル)		TIOAn+1 (奇数チャンネル)		TIOBn+1 (奇数チャンネル)	
	接続先	入出力	接続先	入出力	接続先	入出力	接続先	入出力
0	ch.n の TOUT	出力	ch.n の ECK/TGIN/ TIN	入力	ch.n+1 のTOUT	出力	ch.n+1 の ECK/TGIN/ TIN	入力
1	ch.n の TOUT	出力	ch.n の ECK	入力	ch.n の TGIN	入力	ch.n の TIN	入力
2	ch.n の TOUT	出力	ch.n/ch.n+1 の ECK/ TGIN/TIN ^{*1}	入力	ch.n+1 のTOUT	出力	使用しない	
3	ch.n の TOUT	出力	使用しない		ch.n+1 のTOUT	出力		
4	ch.n の TOUT	出力	ch.n の ECK/TGIN/ TIN	入力	ch.n+1 のTOUT	出力		
5	ch.n の TOUT	出力	使用しない		ch.n+1 のTOUT	出力		
6	ch.n の TOUT	出力			ch.n+1 のTOUT	出力		
7	ch.n の TOUT	出力	ch.n の ECK/TGIN/ TIN	入力	ch.n+1 のTOUT	出力		
8	ch.n の TOUT	出力	使用しない		ch.n+1 のTOUT	出力		

ch.n : 偶数チャンネル

ch.n+1 : 奇数チャンネル

n=0, 2, 4, 6, 8, 10

*1 : 周辺クロック (PCLK) で同期化

21.4 レジスタ

ベースタイマ入出力選択機能で使用するレジスタの構成と機能について説明します。

■ ベースタイマ入出力選択機能のレジスタ一覧

ベースタイマ入出力選択機能のレジスタ一覧を表 21.4-1 に示します。

表 21.4-1 ベースタイマ入出力選択機能のレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.4
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	21.4.3

21.4.1 入出力選択レジスタ 0123 (BTSEL0123)

ベースタイマの ch.0 ~ ch.3 の入出力モードを設定するレジスタです。

入出力選択レジスタ 0123 (BTSEL0123) のビット構成を図 21.4-1 に示します。

図 21.4-1 入出力選択レジスタ 0123 (BTSEL0123) のビット構成

bit	7	6	5	4	3	2	1	0
	SEL23_3	SEL23_2	SEL23_1	SEL23_0	SEL01_3	SEL01_2	SEL01_1	SEL01_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ~ FMD0 ビットで、ベースタイマをリセットモードに設定 (FMD2 ~ FMD0=000) してから書き換えてください。

[bit7 ~ bit4] : SEL23_3 ~ SEL23_0 (ch.2/ch.3 用入出力選択ビット)

ベースタイマの ch.2 および ch.3 の入出力モードを設定するビットです。

SEL23_3	SEL23_2	SEL23_1	SEL23_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャンネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

[bit3 ~ bit0] : SEL01_3 ~ SEL01_0 (ch.0/ch.1 用入出力選択ビット)

ベースタイマの ch.0 および ch.1 の入出力モードを設定するビットです。

ch.0 および ch.1 は、ベースタイマの最下位のチャンネルになり、下位側のチャンネルの信号を利用するモードは使用できません。そのため、次のモードは設定禁止です。

- 入出力モード 3 (他チャンネルトリガ共有モード)
- 入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

SEL01_3	SEL01_2	SEL01_1	SEL01_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	設定禁止
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	設定禁止

< 注意事項 >

上記以外は設定禁止です。

21.4.2 入出力選択レジスタ 4567 (BTSEL4567)

ベースタイマの ch.4 ~ ch.7 の入出力モードを設定するレジスタです。

入出力選択レジスタ 4567 (BTSEL4567) のビット構成を図 21.4-2 に示します。

図 21.4-2 入出力選択レジスタ 4567 (BTSEL4567) のビット構成

bit	7	6	5	4	3	2	1	0
	SEL67_3	SEL67_2	SEL67_1	SEL67_0	SEL45_3	SEL45_2	SEL45_1	SEL45_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ~ FMD0 ビットで、ベースタイマをリセットモードに設定 (FMD2 ~ FMD0=000) してから書き換えてください。

[bit7 ~ bit4] : SEL67_3 ~ SEL67_0 (ch.6/ch.7 用入出力選択ビット)

ベースタイマの ch.6 および ch.7 の入出力モードを設定するビットです。

SEL67_3	SEL67_2	SEL67_1	SEL67_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

[bit3 ~ bit0] : SEL45_3 ~ SEL45_0 (ch.4/ch.5 用入出力選択ビット)

ベースタイマの ch.4 および ch.5 の入出力モードを設定するビットです。

SEL45_3	SEL45_2	SEL45_1	SEL45_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャンネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

21.4.3 入出力選択レジスタ 89AB (BTSEL89AB)

ベースタイマの ch.8 ~ ch.11 の入出力モードを設定するレジスタです。

入出力選択レジスタ 89AB (BTSEL89AB) のビット構成を図 21.4-3 に示します。

図 21.4-3 入出力選択レジスタ 89AB (BTSEL89AB) のビット構成

bit	7	6	5	4	3	2	1	0
	SELAB_3	SELAB_2	SELAB_1	SELAB_0	SEL89_3	SEL89_2	SEL89_1	SEL89_0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ~ FMD0 ビットで、ベースタイマをリセットモードに設定 (FMD2 ~ FMD0=000) してから書き換えてください。

[bit7 ~ bit4] : SELAB_3 ~ SELAB_0 (ch.10/ch.11 用入出力選択ビット)

ベースタイマの ch.10 および ch.11 の入出力モードを設定するビットです。

SELAB_3	SELAB_2	SELAB_1	SELAB_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャンネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

[bit3 ~ bit0] : SEL89_3 ~ SEL89_0 (ch.8/ch.9 用入出力選択ビット)

ベースタイマの ch.8 および ch.9 の入出力モードを設定するビットです。

SEL89_3	SEL89_2	SEL89_1	SEL89_0	説明
0	0	0	0	入出力モード 0 (16 ビットタイマ標準モード)
0	0	0	1	入出力モード 1 (タイマフルモード)
0	0	1	0	入出力モード 2 (外部トリガ共有モード)
0	0	1	1	入出力モード 3 (他チャンネルトリガ共有モード)
0	1	0	0	入出力モード 4 (タイマ起動 / 停止モード)
0	1	0	1	入出力モード 5 (同時ソフト起動モード)
0	1	1	0	入出力モード 6 (ソフト起動タイマ起動 / 停止モード)
0	1	1	1	入出力モード 7 (タイマ起動モード)
1	0	0	0	入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード)

< 注意事項 >

上記以外は設定禁止です。

21.4.4 同時ソフト起動レジスタ (BTSSSR)

ベースタイマをソフトウェアで同時に起動するレジスタです。

"1" を書き込んだビットに対応する，複数のチャンネルを最大 12 チャンネルまで同時に起動できます。

同時ソフト起動レジスタ (BTSSSR) のビット構成を図 21.4-4 に示します。

図 21.4-4 同時ソフト起動レジスタ (BTSSSR) のビット構成

bit	15	14	13	12	11	10	9	8
	予約	予約	予約	予約	SSSR11	SSSR10	SSSR9	SSSR8
属性	W	W	W	W	W	W	W	W
初期値	X	X	X	X	X	X	X	X
bit	7	6	5	4	3	2	1	0
	SSSR7	SSSR6	SSSR5	SSSR4	SSSR3	SSSR2	SSSR1	SSSR0
属性	W	W	W	W	W	W	W	W
初期値	X	X	X	X	X	X	X	X
W : ライトオンリ								
X : 不定								

< 注意事項 >

- 次のモード以外に設定しているときに，本レジスタに書込みを行わないでください。
 - 入出力モード 5 (同時ソフト起動モード)
 - 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) (偶数チャンネルのみ)
- このレジスタを利用して起動するチャンネルは，ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。

[bit15 ~ bit12] : 予約ビット

書込み値	説明
0	無視されます。
1	書込み禁止

[bit11] : SSSR11 (ch.11 用同時ソフト起動ビット)

ベースタイマの ch.11 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.11 を起動します。*

*: 入出力選択レジスタ 89AB (BTSEL89AB) の SELAB_3 ~ SELAB_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SELAB_3 ~ SELAB_0=0101) されている場合のみ

[bit10] : SSSR10 (ch.10 用同時ソフト起動ビット)

ベースタイマの ch.10 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.10 を起動します。*

*: 入出力選択レジスタ 89AB (BTSEL89AB) の SELAB_3 ~ SELAB_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SELAB_3 ~ SELAB_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SELAB_3 ~ SELAB_0=0110)

[bit9] : SSSR9 (ch.9 用同時ソフト起動ビット)

ベースタイマの ch.9 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.9 を起動します。*

*: 入出力選択レジスタ 89AB (BTSEL89AB) の SEL89_3 ~ SEL89_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL89_3 ~ SEL89_0=0101) されている場合のみ

[bit8] : SSSR8 (ch.8 用同時ソフト起動ビット)

ベースタイマの ch.8 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.8 を起動します。*

*: 入出力選択レジスタ 89AB (BTSEL89AB) の SEL89_3 ~ SEL89_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL89_3 ~ SEL89_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL89_3 ~ SEL89_0=0110)

[bit7] : SSSR7 (ch.7 用同時ソフト起動ビット)

ベースタイマの ch.7 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.7 を起動します。*

*: 入出力選択レジスタ 4567 (BTSEL4567) の SEL67_3 ~ SEL67_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL67_3 ~ SEL67_0=0101) されている場合のみ

[bit6] : SSSR6 (ch.6 用同時ソフト起動ビット)

ベースタイマの ch.6 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.6 を起動します。*

*: 入出力選択レジスタ 4567 (BTSEL4567) の SEL67_3 ~ SEL67_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL67_3 ~ SEL67_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL67_3 ~ SEL67_0=0110)

[bit5] : SSSR5 (ch.5 用同時ソフト起動ビット)

ベースタイマの ch.5 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.5 を起動します。*

*: 入出力選択レジスタ 4567 (BTSEL4567) の SEL45_3 ~ SEL45_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL45_3 ~ SEL45_0=0101) されている場合のみ

[bit4] : SSSR4 (ch.4 用同時ソフト起動ビット)

ベースタイマの ch.4 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.4 を起動します。*

*: 入出力選択レジスタ 4567 (BTSEL4567) の SEL45_3 ~ SEL45_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL45_3 ~ SEL45_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL45_3 ~ SEL45_0=0110)

[bit3] : SSSR3 (ch.3 用同時ソフト起動ビット)

ベースタイマの ch.3 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.3 を起動します。*

*: 入出力選択レジスタ 0123 (BTSEL0123) の SEL23_3 ~ SEL23_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL23_3 ~ SEL23_0=0101) されている場合のみ

[bit2] : SSSR2 (ch.2 用同時ソフト起動ビット)

ベースタイマの ch.2 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.2 を起動します。*

*: 入出力選択レジスタ 0123 (BTSEL0123) の SEL23_3 ~ SEL23_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL23_3 ~ SEL23_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL23_3 ~ SEL23_0=0110)

[bit1] : SSSR1 (ch.1 用同時ソフト起動ビット)

ベースタイマの ch.1 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.1 を起動します。*

*: 入出力選択レジスタ 0123 (BTSEL0123) の SEL01_3 ~ SEL01_0 ビットで入出力モードが "5" (同時ソフト起動モード) に設定 (SEL01_3 ~ SEL01_0=0101) されている場合のみ

[bit0] : SSSR0 (ch.0 用同時ソフト起動ビット)

ベースタイマの ch.0 を起動するビットです。

書込み値	説明
0	無視されます。
1	ベースタイマの ch.0 を起動します。*

*: 入出力選択レジスタ 0123 (BTSEL0123) の SEL01_3 ~ SEL01_0 ビットで入出力モードが次のいずれかに設定されている場合のみ

- ・ "5" (同時ソフト起動モード) (SEL01_3 ~ SEL01_0=0101)
- ・ "6" (ソフト起動タイマ起動 / 停止モード) (SEL01_3 ~ SEL01_0=0110)

21.5 入出力モード

入出力選択レジスタ (BTSEL0123 ~ BTSEL89AB) で設定した入出力モードによって、外部端子の働きやベースタイマの起動 / 停止タイミングなどが異なります。

21.5.1 入出力モード 0 (16 ビットタイマ標準モード)

ベースタイマの各チャンネルを個別に利用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-1 に示します。

表 21.5-1 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	1 本	1 本
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-2 に示します。

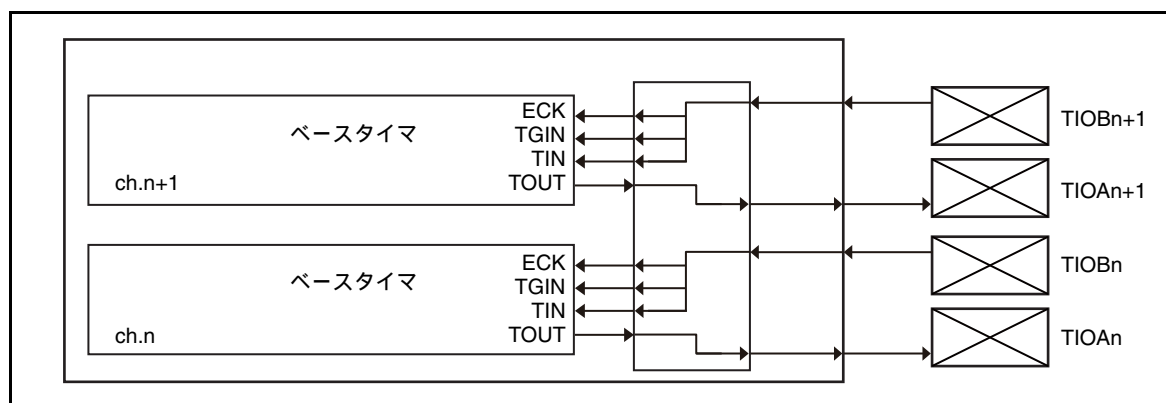
表 21.5-2 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOA0 ~ TIOA11	出力	TOUT	ベースタイマの波形を出力
TIOB0 ~ TIOB11	入力	ECK/TGIN/TIN*	入力した信号を次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)

*: 入力信号の使用方法 (ECK/TGIN/TIN 信号) は、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 0 (16 ビットタイマ標準モード) のブロックダイアグラムを図 21.5-1 に示します。

図 21.5-1 入出力モード 0 (16 ビットタイマ標準モード) のブロックダイアグラム



入出力モード 0 の接続を表 21.5-3 に示します。

表 21.5-3 入出力モード 0 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	TIN/TGIN/ECK として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
TIOBn+1 端子からの入力信号	TIN/TGIN/ECK として ch.n+1 に入力

n=0, 2, 4, 6, 8, 10

21.5.2 入出力モード 1 (タイマフルモード)

偶数チャネルの信号をすべて外部端子に個別に割り当てて使用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-4 に示します。

表 21.5-4 使用する外部端子

入力端子	3 本
出力端子	1 本

使用する外部端子の接続先と入出力信号について表 21.5-5 に示します。

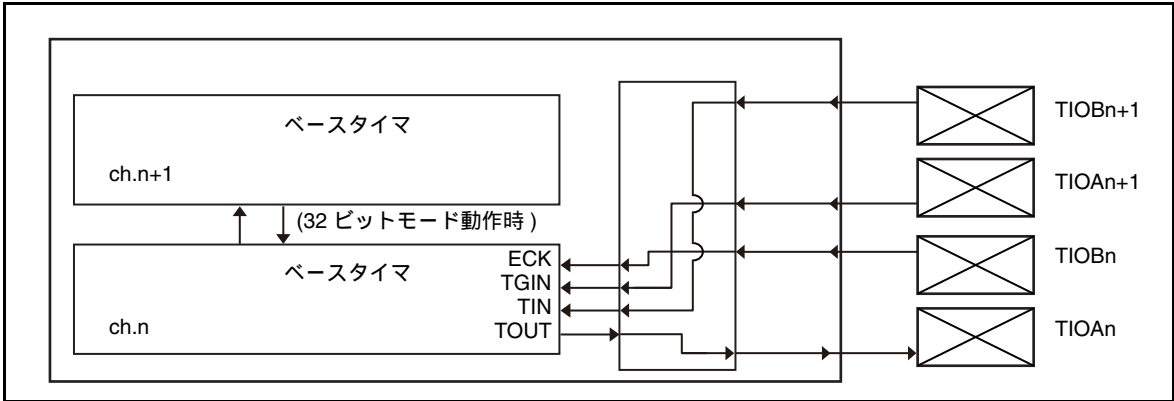
表 21.5-5 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャネルの TOUT	偶数チャネルの波形を出力
TIOBn	入力	偶数チャネルの ECK	偶数チャネルに外部クロック (ECK 信号) を入力
TIOAn+1	入力	偶数チャネルの TGIN	偶数チャネルに外部起動トリガ (TGIN 信号) を入力
TIOBn+1	入力	偶数チャネルの TIN	偶数チャネルに測定する波形 (TIN 信号) を入力

n=0, 2, 4, 6, 8, 10

入出力モード 1 (タイマフルモード) のブロックダイアグラムを図 21.5-2 に示します。

図 21.5-2 入出力モード 1 (タイマフルモード) のブロックダイアグラム例



入出力モード 1 の接続を表 21.5-6 に示します。

表 21.5-6 入出力モード 1 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
TIOBn 端子からの入力信号	TIN 信号として ch.n に入力
ch.n+1 の TOUT 信号	TGIN 信号として ch.n に入力
TIOBn+1 端子	ECK 信号として ch.n に入力

n=0, 2, 4, 6, 8, 10

< 注意事項 >

このモードに設定した場合は , ポートファンクションレジスタ (PFR) で奇数チャネルに対応するTIOAn端子 (TIOA1, TIOA3, TIOA5,・・・TIOA11) をポート入力モードに設定してください。

21.5.3 入出力モード 2 (外部トリガ共有モード)

ベースタイマの入力信号 (ECK/TGIN/TIN) を 2 チャンネルで共有するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-7 に示します。

表 21.5-7 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	1 本 (2 チャンネルで共有)	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-8 に示します。

表 21.5-8 外部端子の接続先と入出力信号

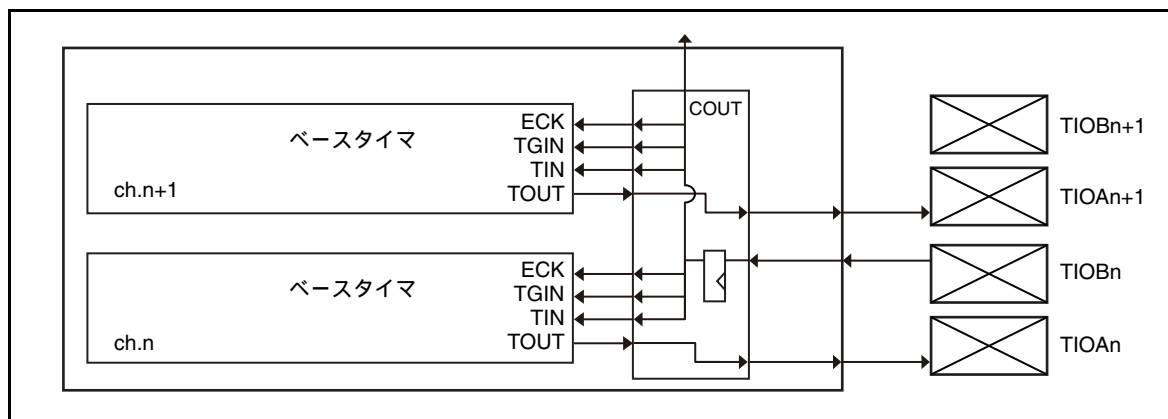
外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn	入力	偶数 / 奇数チャンネルの ECK/TGIN/TIN*	偶数 / 奇数両方のチャンネルに入力 (周辺クロック (PCLK) で同期化) し、次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)
TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10

*: 入力信号の使用方法 (ECK/TGIN/TIN 信号) は、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 2 (外部トリガ共有モード) のブロックダイアグラムを図 21.5-3 に示します。

図 21.5-3 入出力モード 2 (外部トリガ共有モード) のブロックダイアグラム



入出力モード 2 の接続を表 21.5-9 に示します。

表 21.5-9 入出力モード 2 の接続

接続元	接続先	備考
ch.n の TOUT 信号	TIOAn 端子から出力	
TIOBn 端子からの入力信号	<ul style="list-style-type: none"> ・ TIN/TGIN/ECK 信号として ch.n と ch.n+1 に入力 ・ COUT 信号として他のチャンネルに出力 	周辺クロック (PCLK) で同期化
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力	

n=0, 2, 4, 6, 8, 10

< 注意事項 >

このモードに設定したチャンネルの上位 2 チャンネル (n+2, n+3) を入出力モード 3 (他チャンネルトリガ共有モード) に設定すると、4 チャンネル同時に入力信号 (ECK/TGIN/TIN) を入力できます。

(例: ch.0 と ch.1 をこのモードに設定し、ch.2 と ch.3 を入出力モード 3 に設定すると ch.0 ~ ch.3 の 4 チャンネル同時に入力信号 (ECK/TGIN/TIN) を入力できます。)

21.5.4 入出力モード 3 (他チャンネルトリガ共有モード)

2 チャンネル下位側のチャンネルの COUT 信号を CIN 信号として入力し、ECK/TGIN/TIN 信号として使用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-10 に示します。

表 21.5-10 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-11 に示します。

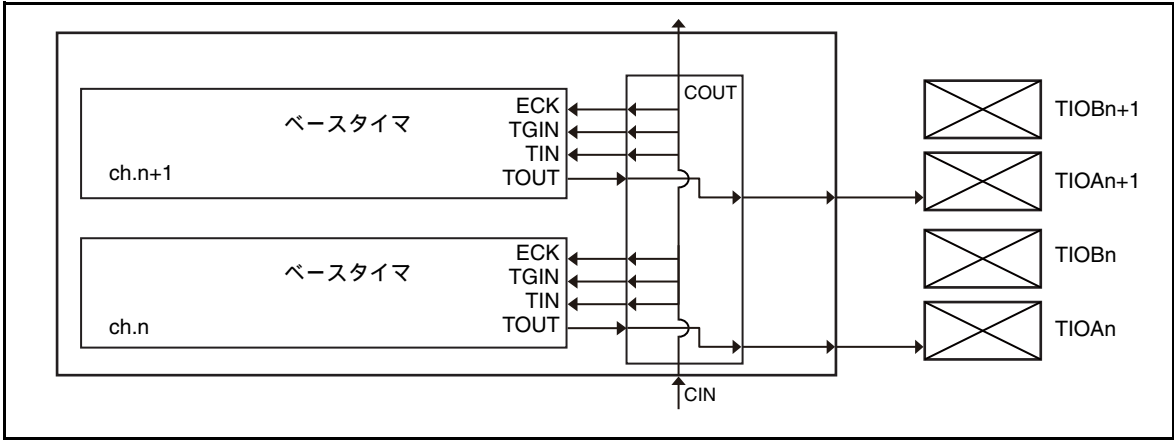
表 21.5-11 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn, TIOBn+1	-	-	使用しない

n=2, 4, 6, 8, 10

入出力モード 3 (他チャネルトリガ共有モード) のブロックダイアグラムを図 21.5-4 に示します。

図 21.5-4 入出力モード 3 (他チャネルトリガ共有モード) のブロックダイアグラム



入出力モード 3 の接続を表 21.5-12 に示します。

表 21.5-12 入出力モード 3 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
CIN 信号 *	・ TIN/TGIN/ECK 信号として ch.n と ch.n+1 に入力 ・ COUP 信号として他のチャネルに出力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=2, 4, 6, 8, 10

* : 他のチャネルの COUP 信号を CIN 信号として入力します。

ch.n/n+1 の ECK, TGIN, TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- ・ 入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- ・ 入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- ・ 入出力モード 4 時の TIOAn-2 出力
- ・ 入出力モード 6 時の TIOAn-2 出力
- ・ 入出力モード 7 時の TIOAn-2 出力
- ・ 入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

< 注意事項 >

- ・ ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
- ・ このモードに設定したチャネルは、2チャネル下位側 (n-2, n-1) の COUP 信号を CIN 信号として入力して使用します。
(例 : ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUP 信号を使用)
そのため、ch.0 および ch.1 をこのモードに設定することはできません。

21.5.5 入出力モード 4 (タイマ起動 / 停止モード) 時の動作

偶数チャンネルで奇数チャンネルの起動 / 停止を制御できるモードです。

奇数チャンネルは、偶数チャンネルの出力波形 (TOUT 信号) の立上りエッジで起動し、立下りエッジで停止します。

このモードに設定した場合に使用する外部端子を表 21.5-13 に示します。

表 21.5-13 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

端子の機能について表 21.5-14 に示します。

表 21.5-14 端子の機能

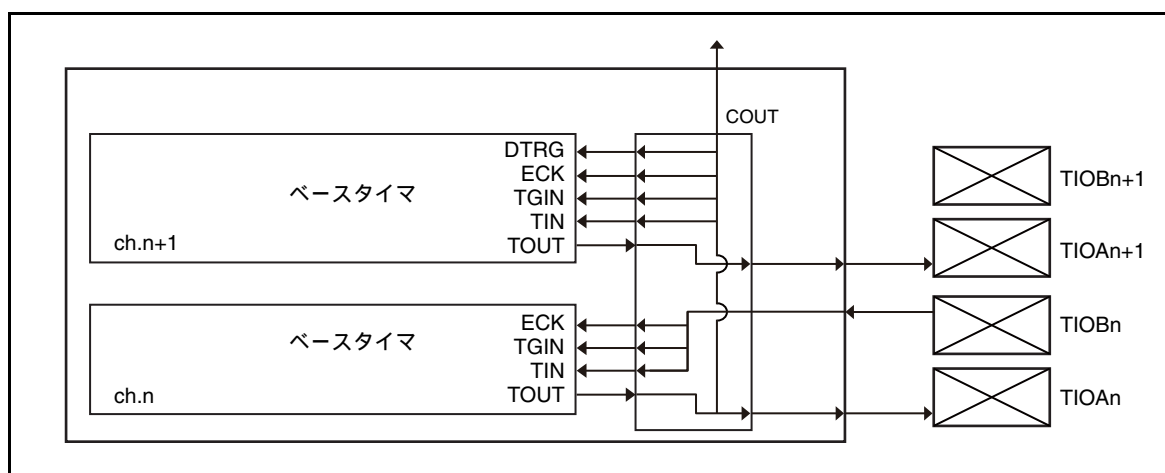
外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn	入力	偶数チャンネルの ECK/TGIN/ TIN*	偶数チャンネルに入力し、次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)
TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10

* : 入力信号の使用方法 (ECK/TGIN/TIN 信号) は、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 4 (タイマ起動 / 停止モード) のブロックダイアグラムを図 21.5-5 に示します。

図 21.5-5 入出力モード 4 (タイマ起動 / 停止モード) のブロックダイアグラム



入出力モード 4 の接続を表 21.5-15 に示します。

表 21.5-15 入出力モード 4 の接続

接続元	接続先
ch.n の TOUT 信号	<ul style="list-style-type: none"> ・ TIOAn 端子から出力 ・ TIN/TGIN/ECK および DTRG 信号として ch.n+1 に入力 ・ COUT 信号として他のチャンネルに出力
TIOBn 端子からの入力信号	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=0, 2, 4, 6, 8, 10

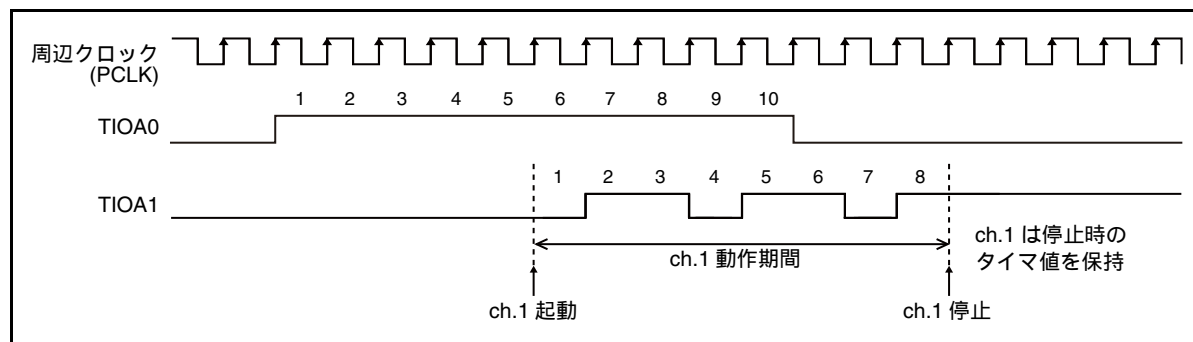
< 注意事項 >

- ・ ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットで奇数チャンネルのトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
- ・ 奇数チャンネルは, DTRG 信号で立下りエッジが検出されると動作を停止します。

入出力モード 4 (タイマ起動 / 停止モード) 設定時の動作を ch.0 と ch.1 を PWM タイマとして使用する場合の設定を例にとって図 21.5-6 に示します。

レジスタ (ch.0)	設定値	レジスタ (ch.1)	設定値
ベースタイマ 0 周期設定レジスタ (BT0PCSR)	0010 _H	ベースタイマ 1 周期設定レジスタ (BT1PCSR)	0002 _H
ベースタイマ 0 デューティ設定レジスタ (BT0PDUT)	0009 _H	ベースタイマ 1 デューティ設定レジスタ (BT1PDUT)	0001 _H
ベースタイマ 0 タイマ制御レジスタ (BT0TMCR)	0013 _H	ベースタイマ 1 タイマ制御レジスタ (BT1TMCR)	0112 _H

図 21.5-6 入出力モード 4 (タイマ起動 / 停止モード) の動作例



21.5.6 入出力モード 5 (同時ソフト起動モード) 時の動作

同時ソフト起動レジスタ (BTSSSR) で複数のチャンネルを同時に起動できるモードです。

同時ソフト起動レジスタ (BTSSSR) で "1" を書き込んだビットに対応するチャンネルがすべて同時に起動します。

このモードに設定した場合に使用する外部端子を表 21.5-16 に示します。

表 21.5-16 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-17 に示します。

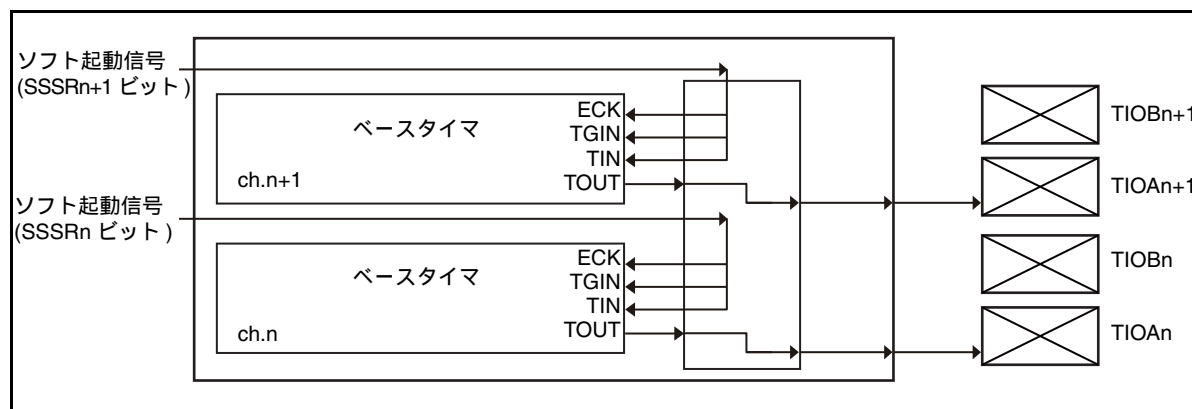
表 21.5-17 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn, TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10

入出力モード 5 (同時ソフト起動モード) のブロックダイアグラムを図 21.5-7 に示します。

図 21.5-7 入出力モード 5 (同時ソフト起動モード) のブロックダイアグラム



入出力モード 5 の接続を表 21.5-18 に示します。

表 21.5-18 入出力モード 5 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの "1" 書込み)	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力
ソフト起動信号 (BTSSSR の SSSRn+1 ビットへの "1" 書込み)	TIN/TGIN/ECK 信号として ch.n+1 に入力

n=0, 2, 4, 6, 8, 10

BTSSSR : 同時ソフト起動レジスタ (BTSSSR)

同時ソフト起動レジスタ (BTSSSR) で "1" を書き込むと、書き込んだビットに対応するチャンネルに立上りエッジが入力 (ECK/TGIN/TIN 信号) されます。

< 注意事項 >

ベースタイマ×タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。

21.5.7 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) 時の動作

偶数チャンネルで奇数チャンネルの起動 / 停止を制御できるモードです。

偶数チャンネルは、同時ソフト起動レジスタ (BTSSSR) に "1" を書き込んで起動します。

奇数チャンネルは、偶数チャンネルの出力波形 (TOUT 信号) で立上りエッジを検出すると起動し、立下りエッジを検出すると停止します。

このモードに設定した場合に使用する外部端子を表 21.5-19 に示します。

表 21.5-19 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-20 に示します。

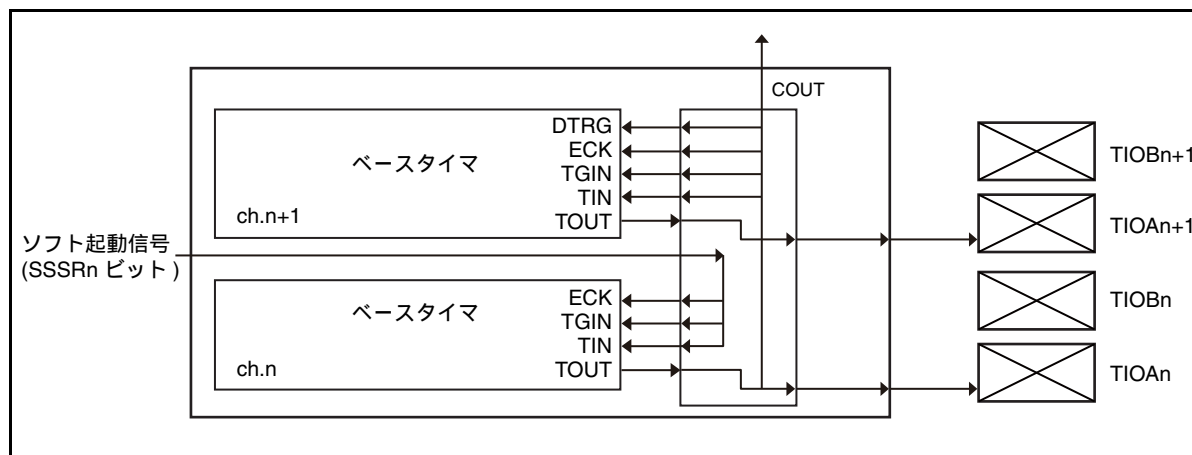
表 21.5-20 外部端子の接続先と入出力信号

端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn, TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10

入出力モード 6 (ソフト起動タイマ起動 / 停止モード) のブロックダイアグラムを図 21.5-8 に示します。

図 21.5-8 入出力モード 6 (ソフト起動タイマ起動 / 停止モード) のブロックダイアグラム



入出力モード 6 の接続を表 21.5-21 に示します。

表 21.5-21 入出力モード 6 の接続

接続元	接続先
ch.n の TOUT 信号	<ul style="list-style-type: none"> ・ TIOAn 端子から出力 ・ TIN/TGIN/ECK/DTRG 信号として ch.n+1 に入力 ・ COUT 信号として他のチャンネルに出力
ソフト起動信号 (BTSSSR の SSSRn ビットへの "1" 書込み)	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=0, 2, 4, 6, 8, 10

BTSSSR : 同時ソフト起動レジスタ (BTSSSR)

同時ソフト起動レジスタ (BTSSSR) で起動したい偶数チャンネルに対応するビットに "1" を書き込むと、対応チャンネルに立上りエッジが入力 (ECK, TGIN, TIN 信号) されます。

ch.n の起動 / 停止タイミングは入出力モード 4 と同じです。

< 注意事項 >

- ・ ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
- ・ 奇数チャンネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。

21.5.8 入出力モード 7 (タイマ起動モード) 時の動作

偶数チャンネルの出力波形 (TOUT 信号) を奇数チャンネルの入力信号 (ECK/TGIN/TIN 信号) として使用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-22 に示します。

表 21.5-22 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	1 本	使用しない
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-23 に示します。

表 21.5-23 外部端子の接続先と入出力信号

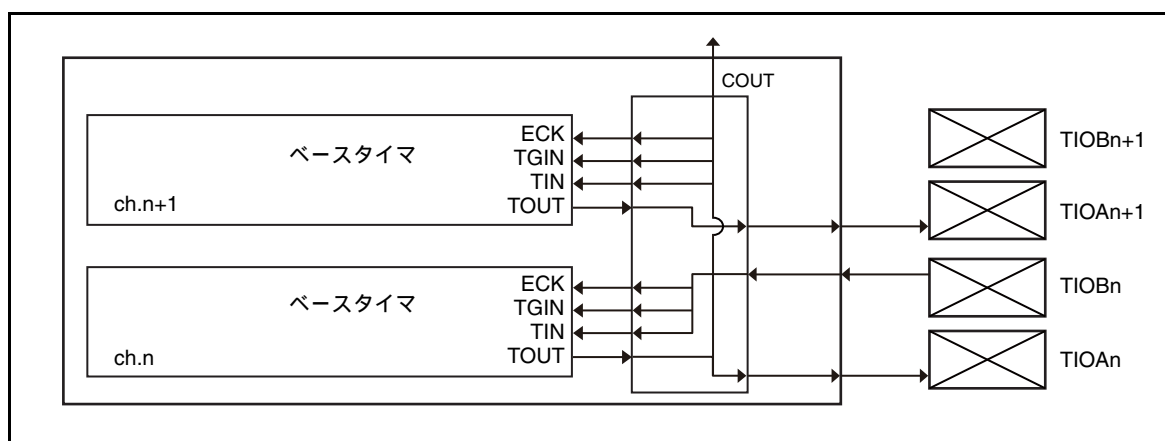
外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn	入力	偶数チャンネルの ECK/TGIN/TIN*	偶数チャンネルに入力し、次のいずれかとして使用 ・外部クロック (ECK 信号) ・外部起動トリガ (TGIN 信号) ・測定する波形 (TIN 信号)
TIOBn+1	-	-	使用しない

n=0, 2, 4, 6, 8, 10

*: 入力信号の使用方法 (ECK/TGIN/TIN 信号) は、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の設定によって異なります。

入出力モード 7 (タイマ起動モード) 時のブロックダイアグラムを図 21.5-9 に示します。

図 21.5-9 入出力モード 7 (タイマ起動モード) 時のブロックダイアグラム



入出力モード 7 の接続を表 21.5-24 に示します。

表 21.5-24 入出力モード 7 の接続

接続元	接続先
ch.n の TOUT 信号	<ul style="list-style-type: none"> ・ TIOAn 端子から出力 ・ TIN/TGIN/ECK/DTRG 信号として ch.n+1 に入力 ・ COUT 信号として他のチャンネルに出力
TIOBn 端子からの入力信号	TIN/TGIN/ECK 信号として ch.n に入力
ch.n+1 の TOUT 信号	TIOAn+1 端子から出力

n=0, 2, 4, 6, 8, 10

ch.n の起動タイミングは入出力モード 4 と同じです。

21.5.9 入出力モード 8 (他チャンネルトリガ共有タイマ起動 / 停止モード) 時の動作

2 チャンネル下位側のチャンネルの COUT 信号を CIN 信号として入力し，外部起動トリガ (TGIN 信号) として使用するモードです。

このモードに設定した場合に使用する外部端子を表 21.5-25 に示します。

表 21.5-25 使用する外部端子

	偶数チャンネル	奇数チャンネル
入力端子	使用しない	
出力端子	1 本	1 本

使用する外部端子の接続先と入出力信号について表 21.5-26 に示します。

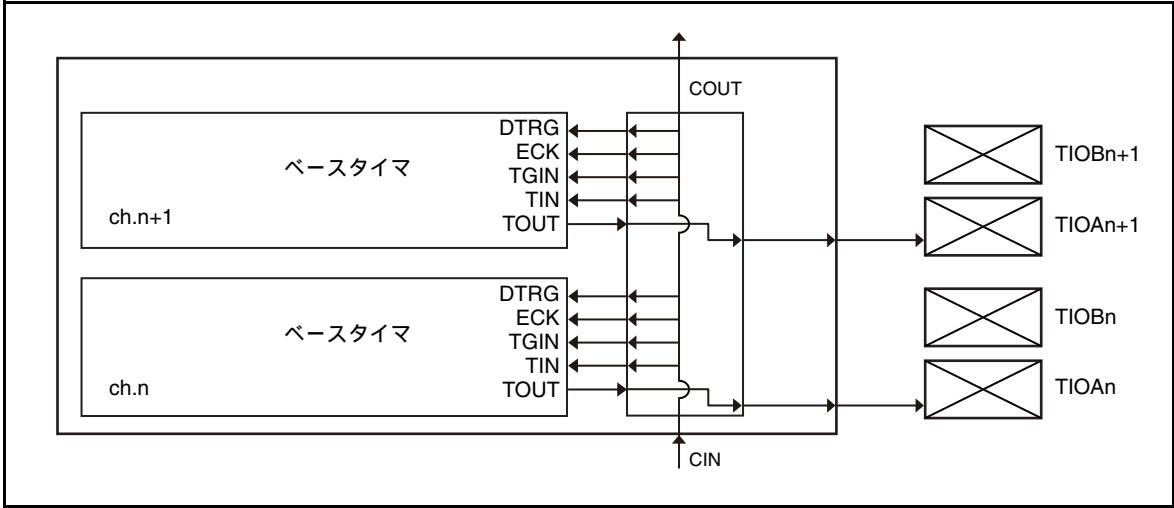
表 21.5-26 外部端子の接続先と入出力信号

外部端子	入出力	接続先 (内部信号)	入出力信号
TIOAn	出力	偶数チャンネルの TOUT	偶数チャンネルの波形を出力
TIOAn+1	出力	奇数チャンネルの TOUT	奇数チャンネルの波形を出力
TIOBn, TIOBn+1	-	-	使用しない

n=2, 4, 6, 8, 10

入出力モード 8 (他チャネルトリガ共有タイマ起動 / 停止モード) のブロックダイアグラムを図 21.5-10 に示します。

図 21.5-10 入出力モード 8
(他チャネルトリガ共有タイマ起動 / 停止モード) のブロックダイアグラム



入出力モード 8 の接続を表 21.5-27 に示します。

表 21.5-27 入出力モード 8 の接続

接続元	接続先
ch.n の TOUT 信号	TIOAn 端子から出力
CIN 信号 *	・TIN/TGIN/ECK 信号および DTRG 信号として ch.n と ch.n+1 に入力 ・COUT 信号として他のチャネルに出力

n=2, 4, 6, 8, 10

*: 他のチャネルの COUT 信号を CIN 信号として入力します。

ch.n/n+1 の ECK, TGIN, TIN に入力できる ch.n-2/n-1 の信号は以下のとおりです。

- ・入出力モード 2 時の TIOBn-2 入力を周辺クロックで同期化した信号
- ・入出力モード 3 時の ch.n-4/n-3 から入力されるトリガ信号
- ・入出力モード 4 時の TIOAn-2 出力
- ・入出力モード 6 時の TIOAn-2 出力
- ・入出力モード 7 時の TIOAn-2 出力
- ・入出力モード 8 時の ch.n-4/n-3 から入力されるトリガ信号

< 注意事項 >

- このモードに設定したチャンネルは、2チャンネル下位側 (n-2, n-1) の COUT 信号を CIN 信号として入力して使用します。
(例：ch.2, ch.3 をこのモードに設定すると ch.0, ch.1 の COUT 信号を使用)
そのため、ch.0 および ch.1 をこのモードに設定することはできません。
 - このモードに設定したチャンネルは、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の EGS1, EGS0 ビットでトリガ入力エッジを立上りエッジ (EGS1, EGS0=01) に設定してください。
ただし、ベースタイマ x タイマ制御レジスタ (BTxTMCR) の FMD2 ~ FMD0 ビットでタイマ機能を 16/32 ビット PWC タイマに設定 (FMD2 ~ FMD0=100) した場合を除きます。
 - 奇数チャンネルは、DTRG 信号で立下りエッジが検出されると動作を停止します。
-

第 22 章 ベースタイマ

ベースタイマの概要，レジスタの構成 / 機能，および動作について説明します。

- 22.1 ベースタイマの概要
- 22.2 ベースタイマのブロックダイアグラム
- 22.3 ベースタイマのレジスタ
- 22.4 ベースタイマの動作
- 22.5 32 ビットモード動作
- 22.6 ベースタイマの使用上の注意
- 22.7 ベースタイマ割込み
- 22.8 ベースタイマの機能別説明

22.1 ベースタイマの概要

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。設定可能な各種タイマ機能の概要を以下に示します。本シリーズは 12ch 搭載しています。

■ モード設定と各種タイマ機能の関係

FMD2, FMD1, FMD0 ビット設定	機能
000 _B	リセットモード
001 _B	16 ビット PWM タイマ
010 _B	16 ビット PPG タイマ
011 _B	16/32 ビットリロードタイマ
100 _B	16/32 ビット PWC タイマ

■ リセットモード

このモードの設定時に、ベースタイマのマクロをリセットした状態（各レジスタは初期値）とします。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、リセット後ならば本モードの設定なしにタイマ機能や T32 ビットの設定は可能です。

■ 16 ビット PWM タイマ

16 ビットのダウンカウンタ、周期設定用バッファ付き 16 ビットのデータレジスタ、デューティ設定用バッファ付き 16 ビットのコンペアレジスタ、端子制御部で構成されます。

周期、デューティのデータはバッファ付きレジスタに格納するため、タイマ動作中に書換えが可能です。

16 ビットのダウンカウンタのカウントクロックは、内部クロック 5 種類（周辺クロック (PCLK) の 1/4/16/128/256 分周）と、外部イベント 3 種類（立上りエッジ、立下りエッジ、両エッジ検出）から選択できます。

アンダフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類（立上りエッジ、立下りエッジ、両エッジ検出）から選択できます。

MB91605A シリーズ

■ 16 ビット PPG タイマ

16 ビットのダウンカウンタ, "H" 幅設定用 16 ビットのデータレジスタ, "L" 幅設定用 16 ビットのデータレジスタ, 端子制御部で構成されます。

16 ビットのダウンカウンタのカウントクロックは, 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) と, 外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

アンダフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

■ 16/32 ビットリロードタイマ

16 ビットのダウンカウンタ, 16 ビットのリロードレジスタ, 端子制御部で構成されます。

16 ビットのダウンカウンタのカウントクロックは, 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) と, 外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

アンダフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

■ 16/32 ビット PWC タイマ

16 ビットのアップカウンタ, 測定入力端子, 制御レジスタで構成されます。

外部からのパルス入力で, 任意イベント間の時間を測定します。

基準となるカウントクロックは, 内部クロック 5 種類 (周辺クロック (PCLK) の 1/4/16/128/256 分周) から選択できます。

各種測定モード "H" パルス幅 (~) / "L" パルス幅 (~)
立上り周期 (~) / 立下り周期 (~)
エッジ間測定 (または ~ または)

測定終了時に割込み要求を発生することが可能です。

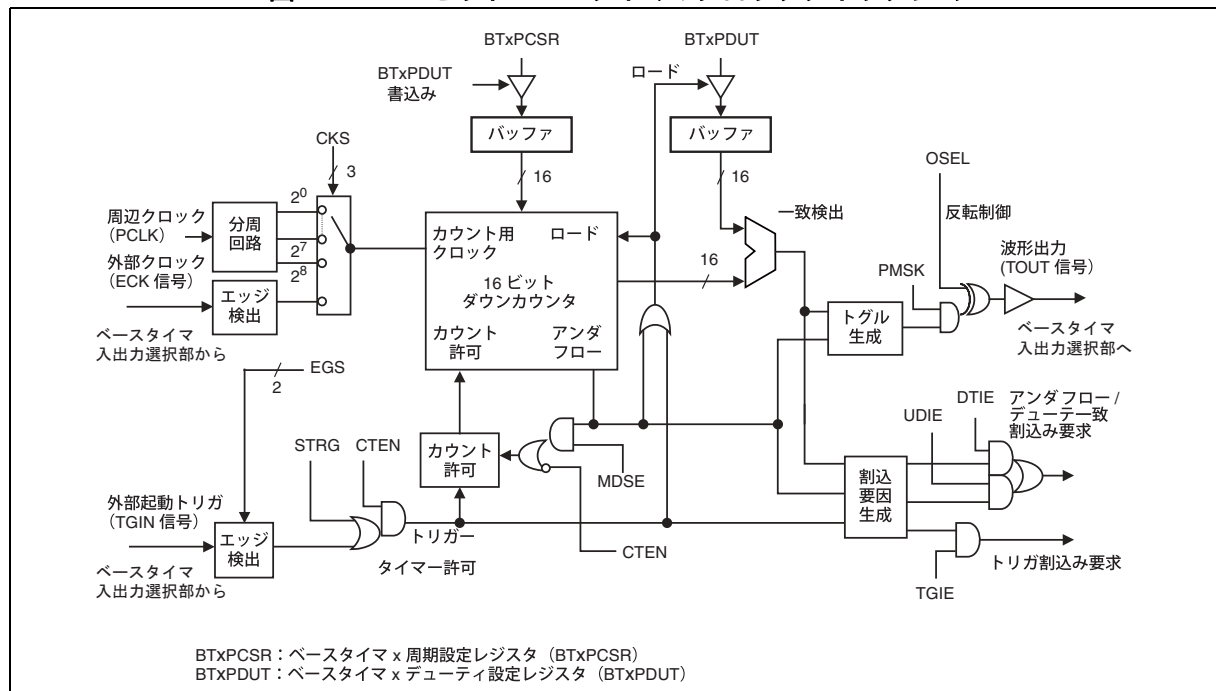
1 回のみの測定か, 連続測定かを選択することが可能です。

22.2 ベースタイマのブロックダイアグラム

ベースタイマの各モード別にブロックダイアグラムを示します。

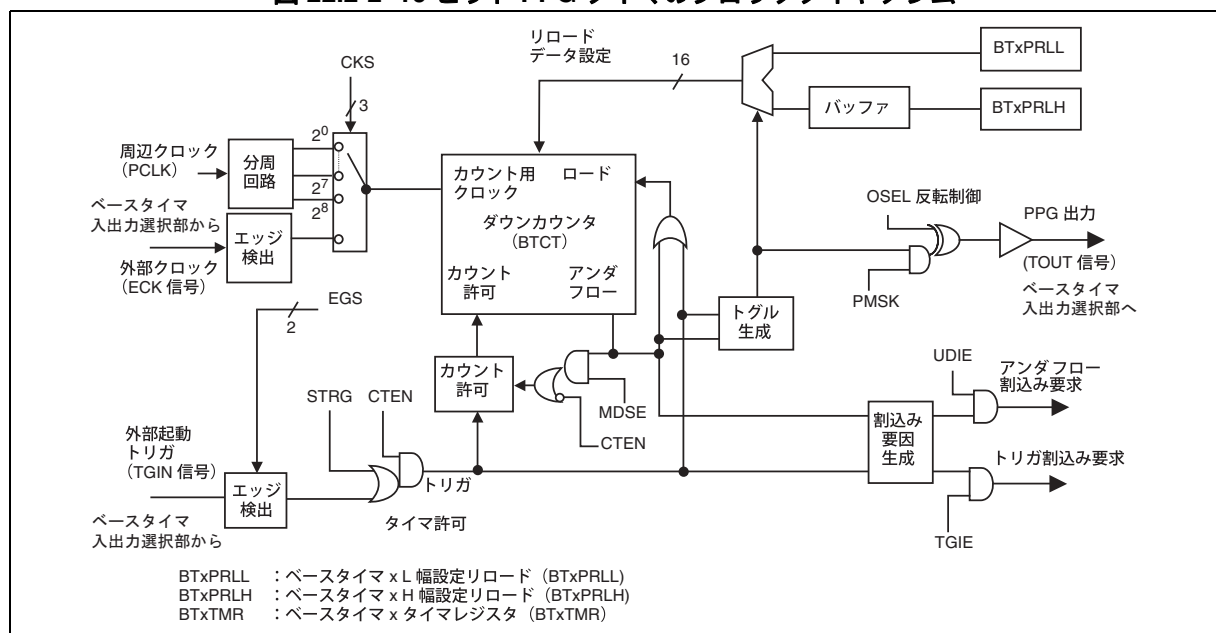
■ 16 ビット PWM タイマのブロックダイアグラム

図 22.2-1 16 ビット PWM タイマのブロックダイアグラム



■ 16 ビット PPG タイマのブロックダイアグラム

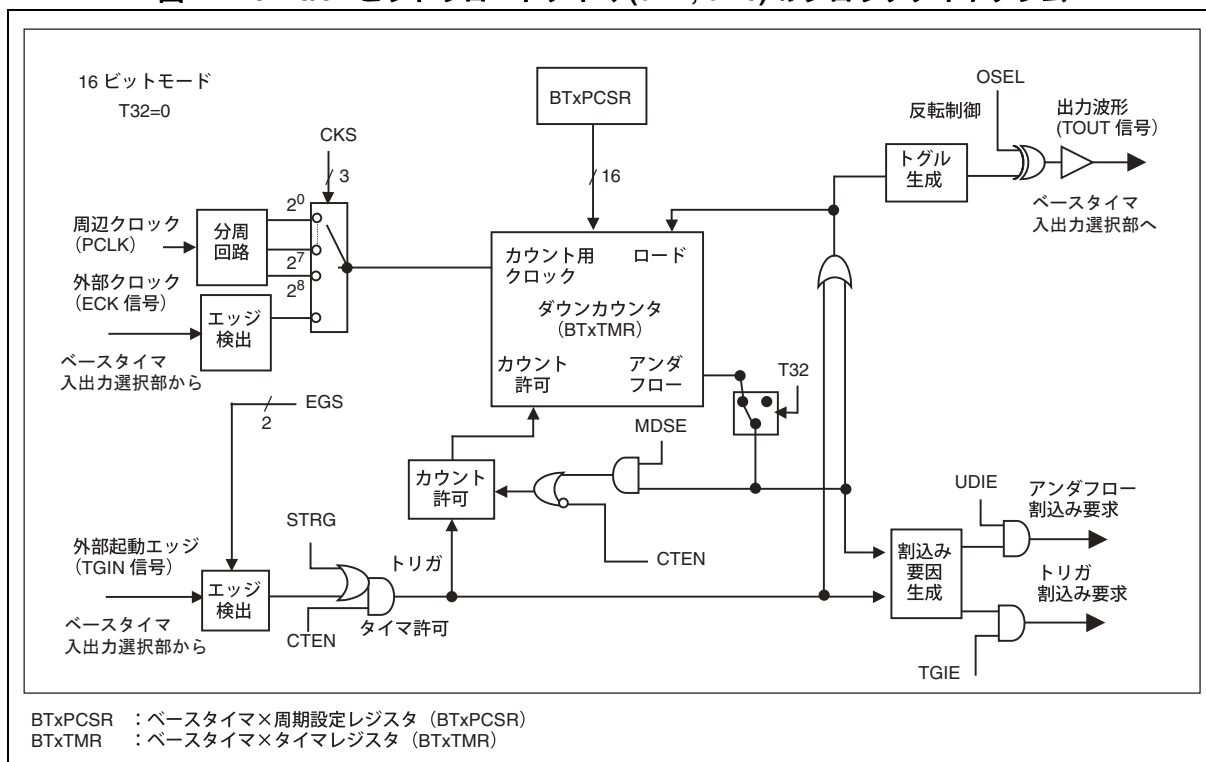
図 22.2-2 16 ビット PPG タイマのブロックダイアグラム



MB91605A シリーズ

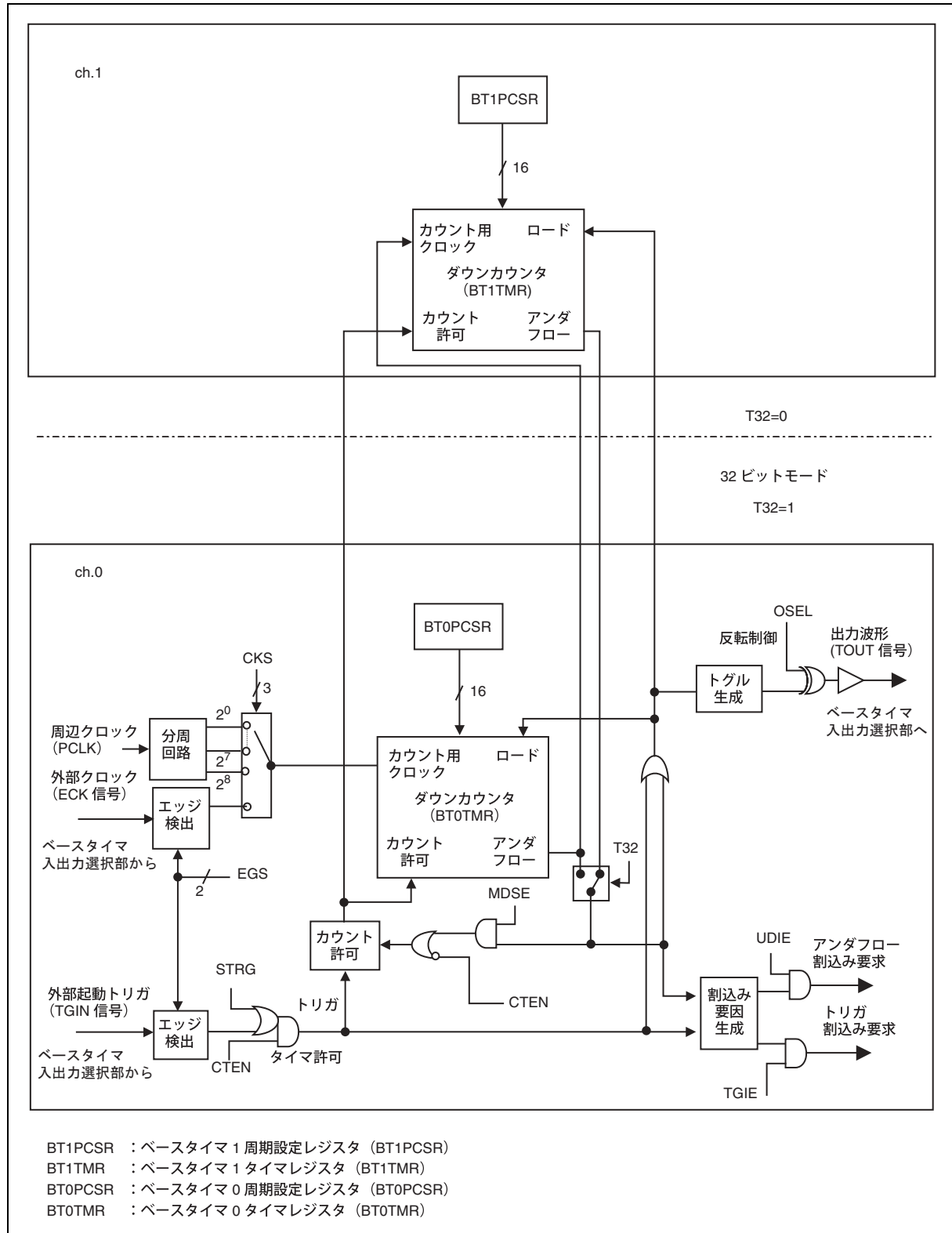
■ 16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイアグラム

図 22.2-3 16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイアグラム



(続く)

(続き)

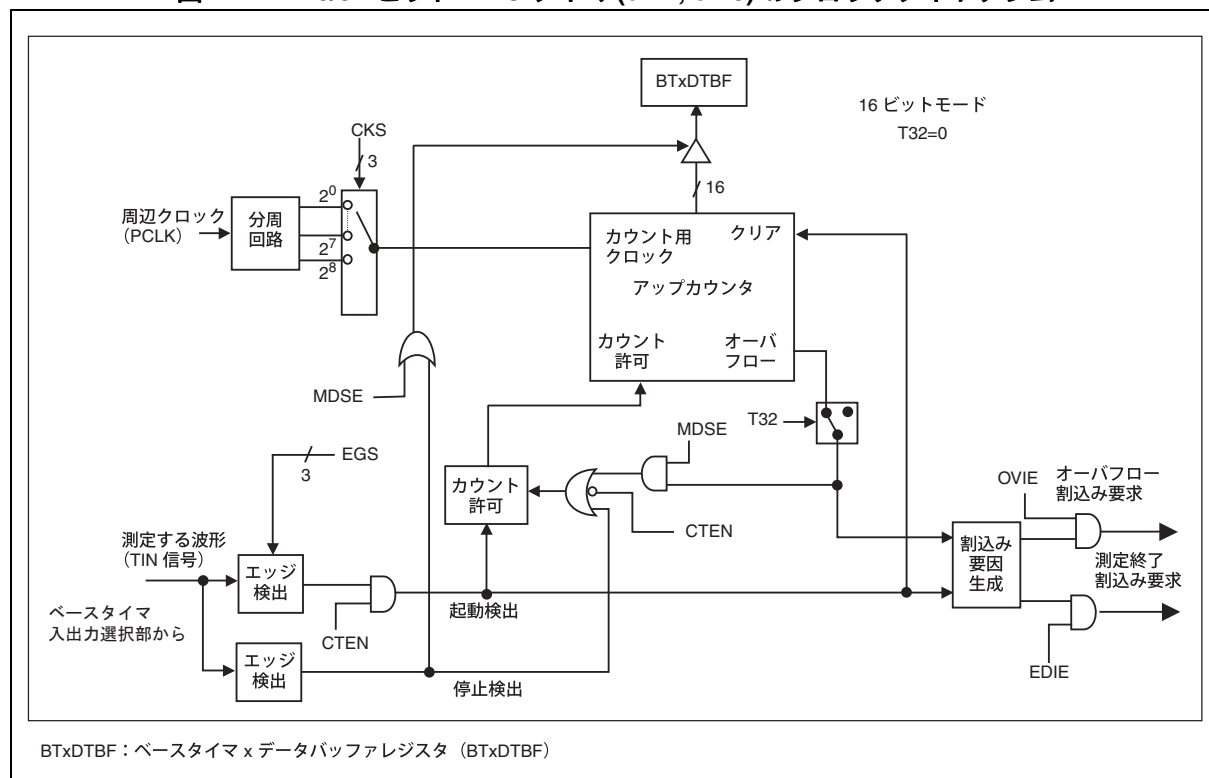


< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間, ch.2 と ch.3 との間, ch.4 と ch.5 との間, ch.6 と ch.7 との間, ch.8 と ch.9 との間, ch.10 と ch.11 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイム 入出力選択機能」を参照してください。

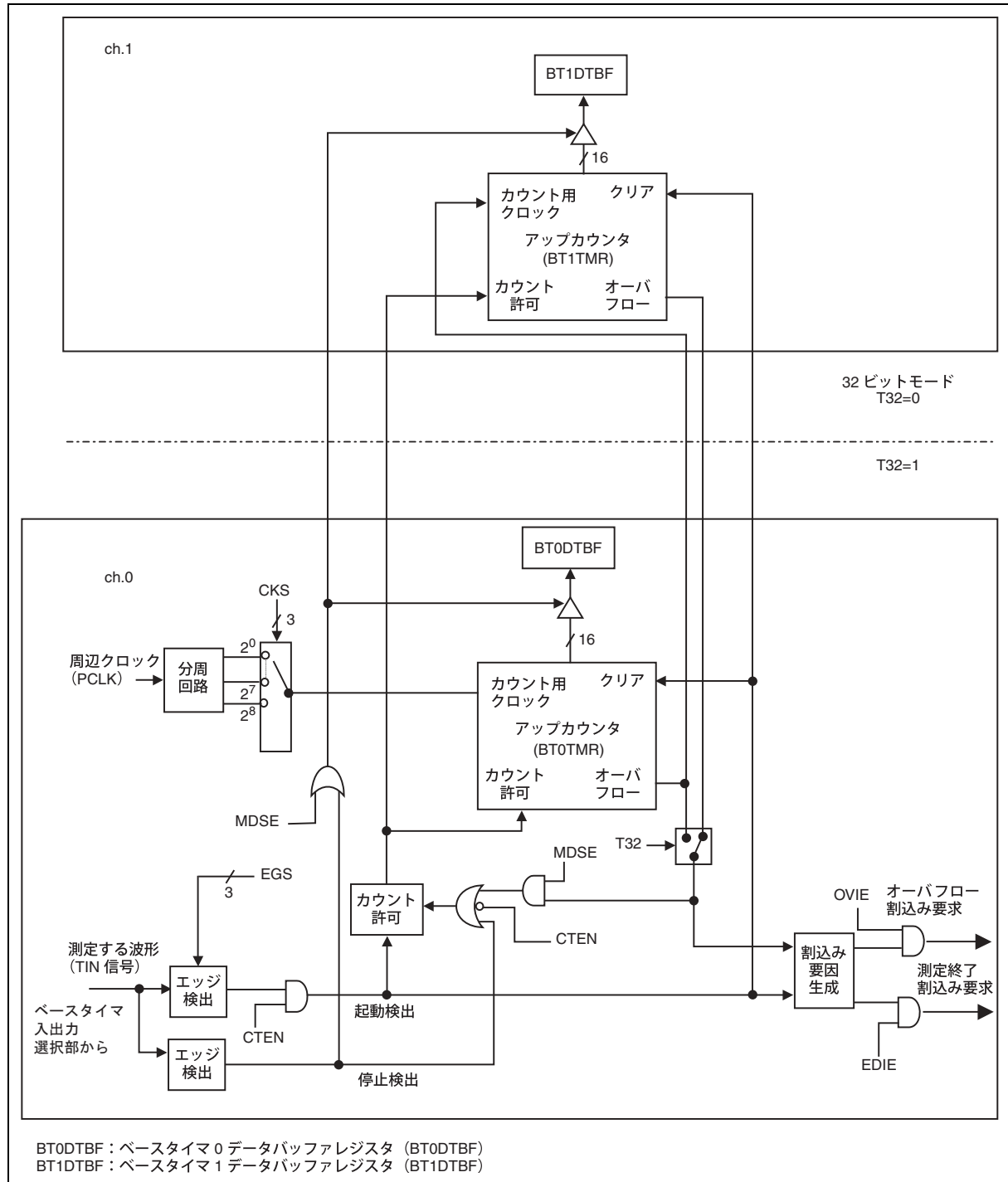
■ 16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイアグラム

図 22.2-4 16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイアグラム



(続く)

(続き)



< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間, ch.2 と ch.3 との間, ch.4 と ch.5 との間, ch.6 と ch.7 との間, ch.8 と ch.9 との間, ch.10 と ch.11 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイム 入出力選択機能」を参照してください。

MB91605A シリーズ

22.3 ベースタイマのレジスタ

ベースタイマのレジスタ一覧と各モード別のビット構成を示します。

■ ベースタイマのレジスタ一覧

表 22.3-1 16 ビット PWM タイマのレジスタ一覧 <Helvetica>(1 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.4
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	21.4.3
0	BT0TMCR	ベースタイマ 0 タイマ制御レジスタ	22.8.1.1
	BT0STC	ベースタイマ 0 ステータス制御レジスタ	22.8.1.1
	BT0PCSR	ベースタイマ 0 周期設定レジスタ	22.8.1.2
	BT0PDUT	ベースタイマ 0 デューティ設定レジスタ	22.8.1.3
	BT0TMR	ベースタイマ 0 タイマレジスタ	22.8.1.4
1	BT1TMCR	ベースタイマ 1 タイマ制御レジスタ	22.8.1.1
	BT1STC	ベースタイマ 1 ステータス制御レジスタ	22.8.1.1
	BT1PCSR	ベースタイマ 1 周期設定レジスタ	22.8.1.2
	BT1PDUT	ベースタイマ 1 デューティ設定レジスタ	22.8.1.3
	BT1TMR	ベースタイマ 1 タイマレジスタ	22.8.1.4
2	BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	22.8.1.1
	BT2STC	ベースタイマ 2 ステータス制御レジスタ	22.8.1.1
	BT2PCSR	ベースタイマ 2 周期設定レジスタ	22.8.1.2
	BT2PDUT	ベースタイマ 2 デューティ設定レジスタ	22.8.1.3
	BT2TMR	ベースタイマ 2 タイマレジスタ	22.8.1.4
3	BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	22.8.1.1
	BT3STC	ベースタイマ 3 ステータス制御レジスタ	22.8.1.1
	BT3PCSR	ベースタイマ 3 周期設定レジスタ	22.8.1.2
	BT3PDUT	ベースタイマ 3 デューティ設定レジスタ	22.8.1.3
	BT3TMR	ベースタイマ 3 タイマレジスタ	22.8.1.4
4	BT4TMCR	ベースタイマ 4 タイマ制御レジスタ	22.8.1.1
	BT4STC	ベースタイマ 4 ステータス制御レジスタ	22.8.1.1
	BT4PCSR	ベースタイマ 4 周期設定レジスタ	22.8.1.2
	BT4PDUT	ベースタイマ 4 デューティ設定レジスタ	22.8.1.3
	BT4TMR	ベースタイマ 4 タイマレジスタ	22.8.1.4

表 22.3-1 16 ビット PWM タイマのレジスタ一覧 <Helvetica>(2 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
5	BT5TMCR	ベースタイマ 5 タイマ制御レジスタ	22.8.1.1
	BT5STC	ベースタイマ 5 ステータス制御レジスタ	22.8.1.1
	BT5PCSR	ベースタイマ 5 周期設定レジスタ	22.8.1.2
	BT5PDUT	ベースタイマ 5 デューティ設定レジスタ	22.8.1.3
	BT5TMR	ベースタイマ 5 タイマレジスタ	22.8.1.4
6	BT6TMCR	ベースタイマ 6 タイマ制御レジスタ	22.8.1.1
	BT6STC	ベースタイマ 6 ステータス制御レジスタ	22.8.1.1
	BT6PCSR	ベースタイマ 6 周期設定レジスタ	22.8.1.2
	BT6PDUT	ベースタイマ 6 デューティ設定レジスタ	22.8.1.3
	BT6TMR	ベースタイマ 6 タイマレジスタ	22.8.1.4
7	BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	22.8.1.1
	BT7STC	ベースタイマ 7 ステータス制御レジスタ	22.8.1.1
	BT7PCSR	ベースタイマ 7 周期設定レジスタ	22.8.1.2
	BT7PDUT	ベースタイマ 7 デューティ設定レジスタ	22.8.1.3
	BT7TMR	ベースタイマ 7 タイマレジスタ	22.8.1.4
8	BT8TMCR	ベースタイマ 8 タイマ制御レジスタ	22.8.1.1
	BT8STC	ベースタイマ 8 ステータス制御レジスタ	22.8.1.1
	BT8PCSR	ベースタイマ 8 周期設定レジスタ	22.8.1.2
	BT8PDUT	ベースタイマ 8 デューティ設定レジスタ	22.8.1.3
	BT8TMR	ベースタイマ 8 タイマレジスタ	22.8.1.4
9	BT9TMCR	ベースタイマ 9 タイマ制御レジスタ	22.8.1.1
	BT9STC	ベースタイマ 9 ステータス制御レジスタ	22.8.1.1
	BT9PCSR	ベースタイマ 9 周期設定レジスタ	22.8.1.2
	BT9PDUT	ベースタイマ 9 デューティ設定レジスタ	22.8.1.3
	BT9TMR	ベースタイマ 9 タイマレジスタ	22.8.1.4
10	BTATMCR	ベースタイマ 10 タイマ制御レジスタ	22.8.1.1
	BTASTC	ベースタイマ 10 ステータス制御レジスタ	22.8.1.1
	BTAPCSR	ベースタイマ 10 周期設定レジスタ	22.8.1.2
	BTAPDUT	ベースタイマ 10 デューティ設定レジスタ	22.8.1.3
	BTATMR	ベースタイマ 10 タイマレジスタ	22.8.1.4
11	BTBTMCR	ベースタイマ 11 タイマ制御レジスタ	22.8.1.1
	BTBSTC	ベースタイマ 11 ステータス制御レジスタ	22.8.1.1
	BTBPCSR	ベースタイマ 11 周期設定レジスタ	22.8.1.2
	BTBPDUT	ベースタイマ 11 デューティ設定レジスタ	22.8.1.3
	BTBTMR	ベースタイマ 11 タイマレジスタ	22.8.1.4

MB91605A シリーズ

表 22.3-2 16 ビット PPG タイマのレジスタ一覧 <Helvetica>(1 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.4
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	21.4.3
0	BT0TMCR	ベースタイム 0 タイマ制御レジスタ	22.8.2.1
	BT0STC	ベースタイム 0 ステータス制御レジスタ	22.8.2.1
	BT0PRL	ベースタイム 0L 幅設定リロードレジスタ	22.8.2.2
	BT0PRLH	ベースタイム 0H 幅設定リロードレジスタ	22.8.2.3
	BT0TMR	ベースタイム 0 タイマレジスタ	22.8.2.4
1	BT1TMCR	ベースタイム 1 タイマ制御レジスタ	22.8.2.1
	BT1STC	ベースタイム 1 ステータス制御レジスタ	22.8.2.1
	BT1PRL	ベースタイム 1L 幅設定リロードレジスタ	22.8.2.2
	BT1PRLH	ベースタイム 1H 幅設定リロードレジスタ	22.8.2.3
	BT1TMR	ベースタイム 1 タイマレジスタ	22.8.2.4
2	BT2TMCR	ベースタイム 2 タイマ制御レジスタ	22.8.2.1
	BT2STC	ベースタイム 2 ステータス制御レジスタ	22.8.2.1
	BT2PRL	ベースタイム 2L 幅設定リロードレジスタ	22.8.2.2
	BT2PRLH	ベースタイム 2H 幅設定リロードレジスタ	22.8.2.3
	BT2TMR	ベースタイム 2 タイマレジスタ	22.8.2.4
3	BT3TMCR	ベースタイム 3 タイマ制御レジスタ	22.8.2.1
	BT3STC	ベースタイム 3 ステータス制御レジスタ	22.8.2.1
	BT3PRL	ベースタイム 3L 幅設定リロードレジスタ	22.8.2.2
	BT3PRLH	ベースタイム 3H 幅設定リロードレジスタ	22.8.2.3
	BT3TMR	ベースタイム 3 タイマレジスタ	22.8.2.4
4	BT4TMCR	ベースタイム 4 タイマ制御レジスタ	22.8.2.1
	BT4STC	ベースタイム 4 ステータス制御レジスタ	22.8.2.1
	BT4PRL	ベースタイム 4L 幅設定リロードレジスタ	22.8.2.2
	BT4PRLH	ベースタイム 4H 幅設定リロードレジスタ	22.8.2.3
	BT4TMR	ベースタイム 4 タイマレジスタ	22.8.2.4
5	BT5TMCR	ベースタイム 5 タイマ制御レジスタ	22.8.2.1
	BT5STC	ベースタイム 5 ステータス制御レジスタ	22.8.2.1
	BT5PRL	ベースタイム 5L 幅設定リロードレジスタ	22.8.2.2
	BT5PRLH	ベースタイム 5H 幅設定リロードレジスタ	22.8.2.3
	BT5TMR	ベースタイム 5 タイマレジスタ	22.8.2.4
6	BT6TMCR	ベースタイム 6 タイマ制御レジスタ	22.8.2.1
	BT6STC	ベースタイム 6 ステータス制御レジスタ	22.8.2.1
	BT6PRL	ベースタイム 6L 幅設定リロードレジスタ	22.8.2.2
	BT6PRLH	ベースタイム 6H 幅設定リロードレジスタ	22.8.2.3
	BT6TMR	ベースタイム 6 タイマレジスタ	22.8.2.4

表 22.3-2 16 ビット PPG タイマのレジスタ一覧 <Helvetica>(2 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
7	BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	22.8.2.1
	BT7STC	ベースタイマ 7 ステータス制御レジスタ	22.8.2.1
	BT7PRL	ベースタイマ 7L 幅設定リロードレジスタ	22.8.2.2
	BT7PRLH	ベースタイマ 7H 幅設定リロードレジスタ	22.8.2.3
	BT7TMR	ベースタイマ 7 タイマレジスタ	22.8.2.4
8	BT8TMCR	ベースタイマ 8 タイマ制御レジスタ	22.8.2.1
	BT8STC	ベースタイマ 8 ステータス制御レジスタ	22.8.2.1
	BT8PRL	ベースタイマ 8L 幅設定リロードレジスタ	22.8.2.2
	BT8PRLH	ベースタイマ 8H 幅設定リロードレジスタ	22.8.2.3
	BT8TMR	ベースタイマ 8 タイマレジスタ	22.8.2.4
9	BT9TMCR	ベースタイマ 9 タイマ制御レジスタ	22.8.2.1
	BT9STC	ベースタイマ 9 ステータス制御レジスタ	22.8.2.1
	BT9PRL	ベースタイマ 9L 幅設定リロードレジスタ	22.8.2.2
	BT9PRLH	ベースタイマ 9H 幅設定リロードレジスタ	22.8.2.3
	BT9TMR	ベースタイマ 9 タイマレジスタ	22.8.2.4
10	BTATMCR	ベースタイマ 10 タイマ制御レジスタ	22.8.2.1
	BTASTC	ベースタイマ 10 ステータス制御レジスタ	22.8.2.1
	BTAPRL	ベースタイマ 10L 幅設定リロードレジスタ	22.8.2.2
	BTAPRLH	ベースタイマ 10H 幅設定リロードレジスタ	22.8.2.3
	BTATMR	ベースタイマ 10 タイマレジスタ	22.8.2.4
11	BTBTMCR	ベースタイマ 11 タイマ制御レジスタ	22.8.2.1
	BTBSTC	ベースタイマ 11 ステータス制御レジスタ	22.8.2.1
	BTBPRL	ベースタイマ 11L 幅設定リロードレジスタ	22.8.2.2
	BTBPRLH	ベースタイマ 11H 幅設定リロードレジスタ	22.8.2.3
	BTBTMR	ベースタイマ 11 タイマレジスタ	22.8.2.4

MB91605A シリーズ

表 22.3-3 16/32 ビットリロードタイマのレジスタ一覧 <Helvetica>(1 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.4
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	21.4.3
0	BT0TMCR	ベースタイマ 0 タイマ制御レジスタ	22.8.3.1
	BT0STC	ベースタイマ 0 ステータス制御レジスタ	22.8.3.1
	BT0PCSR	ベースタイマ 0 周期設定レジスタ	22.8.3.2
	BT0TMR	ベースタイマ 0 タイマレジスタ	22.8.3.3
1	BT1TMCR	ベースタイマ 1 タイマ制御レジスタ	22.8.3.1
	BT1STC	ベースタイマ 1 ステータス制御レジスタ	22.8.3.1
	BT1PCSR	ベースタイマ 1 周期設定レジスタ	22.8.3.2
	BT1TMR	ベースタイマ 1 タイマレジスタ	22.8.3.3
2	BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	22.8.3.1
	BT2STC	ベースタイマ 2 ステータス制御レジスタ	22.8.3.1
	BT2PCSR	ベースタイマ 2 周期設定レジスタ	22.8.3.2
	BT2TMR	ベースタイマ 2 タイマレジスタ	22.8.3.3
3	BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	22.8.3.1
	BT3STC	ベースタイマ 3 ステータス制御レジスタ	22.8.3.1
	BT3PCSR	ベースタイマ 3 周期設定レジスタ	22.8.3.2
	BT3TMR	ベースタイマ 3 タイマレジスタ	22.8.3.3
4	BT4TMCR	ベースタイマ 4 タイマ制御レジスタ	22.8.3.1
	BT4STC	ベースタイマ 4 ステータス制御レジスタ	22.8.3.1
	BT4PCSR	ベースタイマ 4 周期設定レジスタ	22.8.3.2
	BT4TMR	ベースタイマ 4 タイマレジスタ	22.8.3.3
5	BT5TMCR	ベースタイマ 5 タイマ制御レジスタ	22.8.3.1
	BT5STC	ベースタイマ 5 ステータス制御レジスタ	22.8.3.1
	BT5PCSR	ベースタイマ 5 周期設定レジスタ	22.8.3.2
	BT5TMR	ベースタイマ 5 タイマレジスタ	22.8.3.3
6	BT6TMCR	ベースタイマ 6 タイマ制御レジスタ	22.8.3.1
	BT6STC	ベースタイマ 6 ステータス制御レジスタ	22.8.3.1
	BT6PCSR	ベースタイマ 6 周期設定レジスタ	22.8.3.2
	BT6TMR	ベースタイマ 6 タイマレジスタ	22.8.3.3
7	BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	22.8.3.1
	BT7STC	ベースタイマ 7 ステータス制御レジスタ	22.8.3.1
	BT7PCSR	ベースタイマ 7 周期設定レジスタ	22.8.3.2
	BT7TMR	ベースタイマ 7 タイマレジスタ	22.8.3.3

MB91605A シリーズ

表 22.3-3 16/32 ビットリロードタイマのレジスタ一覧 <Helvetica>(2 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
8	BT8TMCR	ベースタイマ 8 タイマ制御レジスタ	22.8.3.1
	BT8STC	ベースタイマ 8 ステータス制御レジスタ	22.8.3.1
	BT8PCSR	ベースタイマ 8 周期設定レジスタ	22.8.3.2
	BT8TMR	ベースタイマ 8 タイマレジスタ	22.8.3.3
9	BT9TMCR	ベースタイマ 9 タイマ制御レジスタ	22.8.3.1
	BT9STC	ベースタイマ 9 ステータス制御レジスタ	22.8.3.1
	BT9PCSR	ベースタイマ 9 周期設定レジスタ	22.8.3.2
	BT9TMR	ベースタイマ 9 タイマレジスタ	22.8.3.3
10	BTATMCR	ベースタイマ 10 タイマ制御レジスタ	22.8.3.1
	BTASTC	ベースタイマ 10 ステータス制御レジスタ	22.8.3.1
	BTAPCSR	ベースタイマ 10 周期設定レジスタ	22.8.3.2
	BTATMR	ベースタイマ 10 タイマレジスタ	22.8.3.3
11	BTBTMCR	ベースタイマ 11 タイマ制御レジスタ	22.8.3.1
	BTBSTC	ベースタイマ 11 ステータス制御レジスタ	22.8.3.1
	BTBPCSR	ベースタイマ 11 周期設定レジスタ	22.8.3.2
	BTBTMR	ベースタイマ 11 タイマレジスタ	22.8.3.3

MB91605A シリーズ

表 22.3-4 16/32 ビット PWC タイマのレジスタ一覧 <Helvetica>(1 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	BTSSSR	同時ソフト起動レジスタ	21.4.4
0 ~ 3 共通	BTSEL0123	入出力選択レジスタ 0123	21.4.1
4 ~ 7 共通	BTSEL4567	入出力選択レジスタ 4567	21.4.2
8 ~ 11 共通	BTSEL89AB	入出力選択レジスタ 89AB	21.4.3
0	BT0TMCR	ベースタイム 0 タイマ制御レジスタ	22.8.4.1
	BT0STC	ベースタイム 0 ステータス制御レジスタ	22.8.4.1
	BT0DTBF	ベースタイム 0 データバッファレジスタ	22.8.4.2
1	BT1TMCR	ベースタイム 1 タイマ制御レジスタ	22.8.4.1
	BT1STC	ベースタイム 1 ステータス制御レジスタ	22.8.4.1
	BT1DTBF	ベースタイム 1 データバッファレジスタ	22.8.4.2
2	BT2TMCR	ベースタイム 2 タイマ制御レジスタ	22.8.4.1
	BT2STC	ベースタイム 2 ステータス制御レジスタ	22.8.4.1
	BT2DTBF	ベースタイム 2 データバッファレジスタ	22.8.4.2
3	BT3TMCR	ベースタイム 3 タイマ制御レジスタ	22.8.4.1
	BT3STC	ベースタイム 3 ステータス制御レジスタ	22.8.4.1
	BT3DTBF	ベースタイム 3 データバッファレジスタ	22.8.4.2
4	BT4TMCR	ベースタイム 4 タイマ制御レジスタ	22.8.4.1
	BT4STC	ベースタイム 4 ステータス制御レジスタ	22.8.4.1
	BT4DTBF	ベースタイム 4 データバッファレジスタ	22.8.4.2
5	BT5TMCR	ベースタイム 5 タイマ制御レジスタ	22.8.4.1
	BT5STC	ベースタイム 5 ステータス制御レジスタ	22.8.4.1
	BT5DTBF	ベースタイム 5 データバッファレジスタ	22.8.4.2
6	BT6TMCR	ベースタイム 6 タイマ制御レジスタ	22.8.4.1
	BT6STC	ベースタイム 6 ステータス制御レジスタ	22.8.4.1
	BT6DTBF	ベースタイム 6 データバッファレジスタ	22.8.4.2
7	BT7TMCR	ベースタイム 7 タイマ制御レジスタ	22.8.4.1
	BT7STC	ベースタイム 7 ステータス制御レジスタ	22.8.4.1
	BT7DTBF	ベースタイム 7 データバッファレジスタ	22.8.4.2
8	BT8TMCR	ベースタイム 8 タイマ制御レジスタ	22.8.4.1
	BT8STC	ベースタイム 8 ステータス制御レジスタ	22.8.4.1
	BT8DTBF	ベースタイム 8 データバッファレジスタ	22.8.4.2
9	BT9TMCR	ベースタイム 9 タイマ制御レジスタ	22.8.4.1
	BT9STC	ベースタイム 9 ステータス制御レジスタ	22.8.4.1
	BT9DTBF	ベースタイム 9 データバッファレジスタ	22.8.4.2
10	BTATMCR	ベースタイム 10 タイマ制御レジスタ	22.8.4.1
	BTASTC	ベースタイム 10 ステータス制御レジスタ	22.8.4.1
	BTADTBF	ベースタイム 10 データバッファレジスタ	22.8.4.2

MB91605A シリーズ

表 22.3-4 16/32 ビット PWC タイマのレジスタ一覧 <Helvetica>(2 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
11	BTBTMCR	ベースタイマ 11 タイマ制御レジスタ	22.8.4.1
	BTBSTC	ベースタイマ 11 ステータス制御レジスタ	22.8.4.1
	BTBDTBF	ベースタイマ 11 データバッファレジスタ	22.8.4.2

ベースタイマの動作について説明します。

■ ベースタイマの動作

● リセットモード

このモードの設定時に、ベースタイマのマクロをリセットした状態(各レジスタは初期値)とします。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、リセット後ならば本モードの設定なしにタイマ機能や T32 ビットの設定は可能です。32 ビットモード設定時にこのモードを偶数チャンネルに設定した場合、奇数チャンネルも同時にリセットがかかるようになっていきますので、奇数チャンネルに対してリセットモードの設定は必要ありません。

● 16 ビット PWM タイマ

16 ビット PWM タイマは、トリガ起動により周期設定した値をダウンカウント開始します。その際、まず出力を "L" レベルにし、16 ビットダウンカウンタがデューティ設定レジスタに設定されている値と一致した場合は "H" レベルに反転出力し、その後カウンタがアンダフローになったときに再度 "L" レベルに反転出力します。これにより、周期とデューティが任意の波形を生成します。

● 16 ビット PPG タイマ

16 ビット PPG タイマは、トリガ起動により "L" 幅設定リロードレジスタに設定されている値分ダウンカウントします。その際、まず出力を "L" レベルにし、アンダフローになったときに出力を "H" レベルに反転出力して、引き続き "H" 幅設定リロードレジスタに設定されている値分ダウンカウント開始し、アンダフローになったときに出力レベルを "L" に反転出力します。これにより、任意の "L" 幅、"H" 幅の波形を生成します。

● 16 ビットリロードタイマ

16 ビットリロードタイマは、トリガ起動により周期設定した値をダウンカウント開始します。16 ビットダウンカウンタがアンダフローになったときに割込みフラグが設定されます。出力レベルは MDSE ビットの設定によって、アンダフローごとに反転するトグル出力か、カウント開始で "H"、アンダフローで "L" 出力のパルス出力になります。

● 32 ビットリロードタイマ

基本動作は 16 ビットリロードタイマと同じですが、偶数チャンネルと奇数チャンネルの 2 チャンネル使用で 32 ビットリロードタイマとして動作します。その際、偶数チャンネルは下位 16 ビットタイマ動作となり、奇数チャンネルは上位 16 ビットタイマ動作となりますが、割込み制御、出力波形制御は偶数チャンネルの設定に従います。周期を設定する場合は、先に上位レジスタ（奇数チャンネル）に書き込んだ後に下位レジスタ（偶数チャンネル）に書き込むようにします。

タイマ値を読み出す場合は、先に下位レジスタ（偶数チャンネル）を読み出した後に上位レジスタ（奇数チャンネル）を読み出すようにします。

< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間、ch.2 と ch.3 との間、ch.4 と ch.5 との間、ch.6 と ch.7 との間、ch.8 と ch.9 との間、ch.10 と ch.11 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイマ 入出力選択機能」を参照してください。

● 16 ビット PWC タイマ

PWC タイマは、設定した測定開始エッジの入力で 16 ビットアップカウンタを起動させ、測定終了エッジの検出でカウンタを停止します。この間のカウント値がパルス幅としてデータバッファレジスタに格納されます。

● 32 ビット PWC タイマ

基本動作は 16 ビット PWC タイマと同じですが、偶数チャンネルと奇数チャンネルの 2 チャンネル使用で 32 ビット PWC タイマとして動作します。その際、偶数チャンネルは下位 16 ビットカウント動作となり、奇数チャンネルは上位 16 ビットカウント動作となりますが、割込み制御は偶数チャンネルの設定に従います。測定値、またはカウント値を読み出す場合は、先に下位レジスタ（偶数チャンネル）を読み出した後に上位レジスタ（奇数チャンネル）を読み出すようにします。

< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間、ch.2 と ch.3 との間、ch.4 と ch.5 との間、ch.6 と ch.7 との間、ch.8 と ch.9 との間、ch.10 と ch.11 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。
 - 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイマ 入出力選択機能」を参照してください。
-

MB91605A シリーズ

22.5 32 ビットモード動作

リロードタイマ, PWC タイマは, 2 チャンネルを使用して 32 ビットモード動作が可能です。以下に, 32 ビットモード機能における基本機能 / 動作について示します。

■ 32 ビットモード機能

ベースタイマを2チャンネル組み合わせて32ビットデータのリロードタイマまたは32ビットデータの PWC タイマ動作を実現する機能です。偶数チャンネルの下位 16 ビットタイマ・カウンタ値を読み出す際に, 奇数チャンネルの上位 16 ビットタイマ・カウンタ値も取り込むので, 動作中のタイマ・カウンタ値も読み出すことが可能です。

■ 32 ビットモード設定

まず, 偶数チャンネルの BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" でリセットモードにして状態をリセットしてから, 16 ビットモード時と同様にリロードタイマ, または PWC タイマ選択と動作の設定を行います。このとき, BTxTMCR レジスタの T32 ビットにも "1" を書き込むことで 32 ビット動作モードに設定します。奇数チャンネルの T32 ビットは "0" のままにしてください。リセットモードの設定も必要ありません。次に, リロードタイマの場合は, 奇数チャンネルの周期設定レジスタに 32 ビットのうち, 上位 16 ビットのリロード値を設定し, その後に偶数チャンネルの周期設定レジスタに下位 16 ビットのリロード値を設定します。

32 ビット動作モードへの移行は T32 ビット書込み後, 直ちに反映されるので, 設定変更は両チャンネルともカウント停止状態で行ってください。

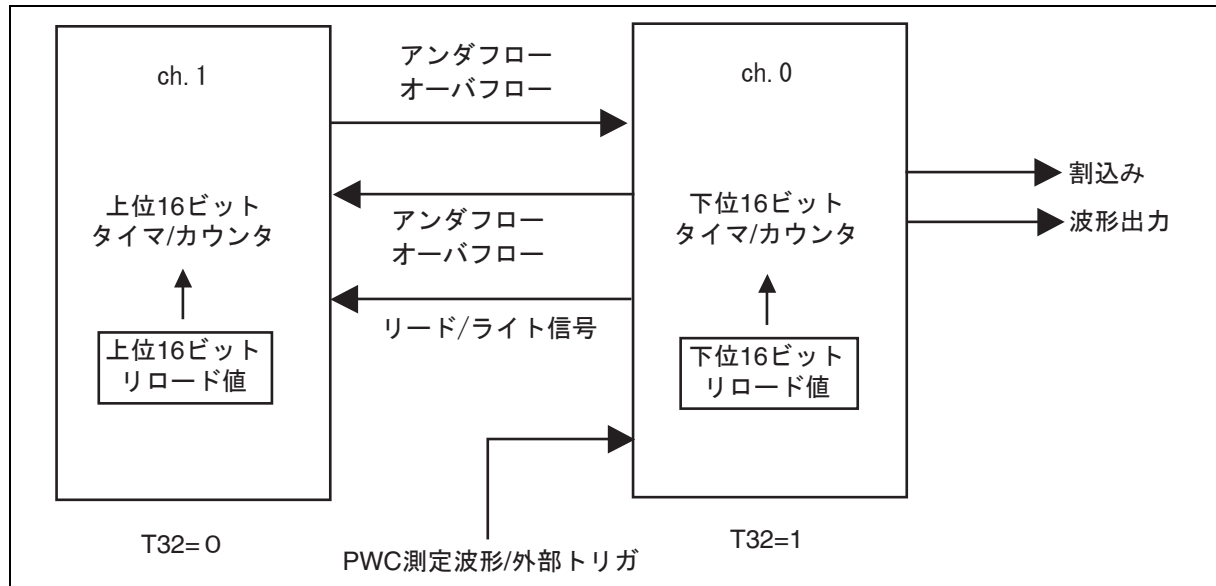
32 ビットモードから 16 ビットモードへの移行は, 偶数チャンネルの BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" でリセットモードにして偶数, 奇数の両チャンネルの状態をリセットし, チャンネルごとに 16 ビットモードでの設定を行います。

■ 32 ビットモード動作

32 ビットモード設定の後、偶数チャンネルの制御によりリロードタイマ、またはPWC タイマを起動すると、偶数チャンネルのタイマ / カウンタは下位 16 ビット動作となり、奇数チャンネルのタイマ / カウンタは上位 16 ビット動作となります。

32 ビットモードでの動作は偶数チャンネルの設定に従うので、奇数チャンネルの設定は(リロードタイマ時の周期設定レジスタを除き)無視します。タイマ起動、波形出力、割込み信号も偶数チャンネルのものが有効となります(奇数チャンネルは"L"固定にマスクされます)。

下記に ch.0, ch.1 の場合の構成を示します。



< 注意事項 >

- 32 ビット動作は ch.0 と ch.1 との間、ch.2 と ch.3 との間、ch.4 と ch.5 との間、ch.6 と ch.7 との間、ch.8 と ch.9 との間、ch.10 と ch.11 との間のみのみ可能です。これ以外の組合せにおける 32 ビット動作はできません。
- 本機能は同時起動をサポートしています。詳細は「第 21 章 ベースタイマ 入出力選択機能」を参照してください。

MB91605A シリーズ

22.6 ベースタイマの使用上の注意

ベースタイマの使用上の注意を以下に示します。

■ 各タイマの使用上で共通する注意

● プログラムによる設定上の注意

- BTxTMCR レジスタの以下に示すビットは動作中に書き換えることを禁止します。
書換えは必ず起動前か停止後に行ってください。
[bit14, bit13, bit12] CKS2, CKS1, CKS0 : クロック選択ビット
[bit10, bit9, bit8] EGS2, EGS1, EGS0 : 測定エッジ選択ビット
[bit7] T32 : 32 ビットタイマ選択ビット
(リロードタイマ・PWC 機能選択時)
[bit6, bit5, bit4] FMD2, FMD1, FMD0 : タイマ機能選択ビット
[bit2] MDSE : 測定モード(単発/連続)選択ビット
- BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" のリセットモードに設定したときはベースタイマの全レジスタは初期化されますので、すべてのレジスタに対して再設定が必要です。
- BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" のリセットモードに設定するとき、BTxTMCR レジスタの FMD2, FMD1, FMD0 ビット以外のビットへの設定は無視されて初期化されます。

■ 16 ビット PWM/PPG/ リロードタイマの使用上の注意

● プログラムによる設定上の注意

- 割込み要求フラグセットタイミングとクリアタイミングが重複した場合には、フラグセットが優先され、クリア動作は無効となります。
- ダウンカウンタは、ロードとカウントのタイミングが重複した場合にはロード動作を優先します。
- BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットによるタイマ機能の設定後に周期設定、デューティ設定、"H" 幅設定、"L" 幅設定をするようにします。
- ワンショットモードでカウント終了時に再起動を検出した場合はカウント値をリロードして再起動を開始します。

■ PWC タイマの使用上の注意

● プログラムによる設定上の注意

- カウント動作許可ビット (CTEN) に "1" 書込みでカウンタがクリアされますので、起動許可前にカウンタ中にあったデータは無効になります。
- システムリセット・リセットモードから PWC モードの設定 (FMD=100_B) と測定開始設定 (CTEN=1) を同時にした場合、その直前の測定信号の状態によって動作する場合があります。
- 連続測定モードにおいて、再起動を設定したときに同時に測定開始エッジを検出した場合は直ちにカウントを "0001_H" から開始します。
- カウント動作を開始した後に再起動を行う場合は、そのタイミングによっては以下に示すようなことが起こり得ます。
 - パルス幅単発測定モード時、測定終了エッジと同時であった場合
再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ (EDIR) はセットされます。
 - パルス幅連続測定モード時、測定終了エッジと同時であった場合
再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ (EDIR) はセットされ、その時点での測定結果は BTxDTBF に転送されます。

以上のように、動作中の再起動時には、フラグの動作に注意して割込み制御などを行うようにしてください。

MB91605A シリーズ

22.7 ベースタイマ割込み

ベースタイマの各機能での割込み要求ビット，割込み許可ビットと割込み要因をまとめた一覧を示します。

■ 機能ごとの割込み制御ビットと割込み要因

機能ごとの割込み制御ビットと割込み要因を表 22.7-1 に示します。

表 22.7-1 各モードでの割込み制御ビットと割込み要因

	ステータス制御レジスタ (BTxSTC)			
	割込み要求ビット	割込み要求許可ビット	割込み要因	IRQ
PWM タイマ機能	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	DTIR : bit1	DTIE : bit5	デューティー致検出	
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PPG タイマ機能	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
リロードタイマ機能	UDIR : bit0	UDIE : bit4	アンダフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PWC タイマ機能	OVIR : bit0	OVIE : bit4	オーバフロー検出	IRQ0
	EDIR : bit2	EDIE : bit6	測定終了検出	IRQ1

22.8 ベースタイマの機能別説明

ベースタイマの各機能について説明します。

■ ベースタイマの機能

- PWM 機能
- PPG 機能
- リロードタイマ機能
- PWC 機能

MB91605A シリーズ

22.8.1 PWM 機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PWM を設定したときのタイマ機能の説明を示します。

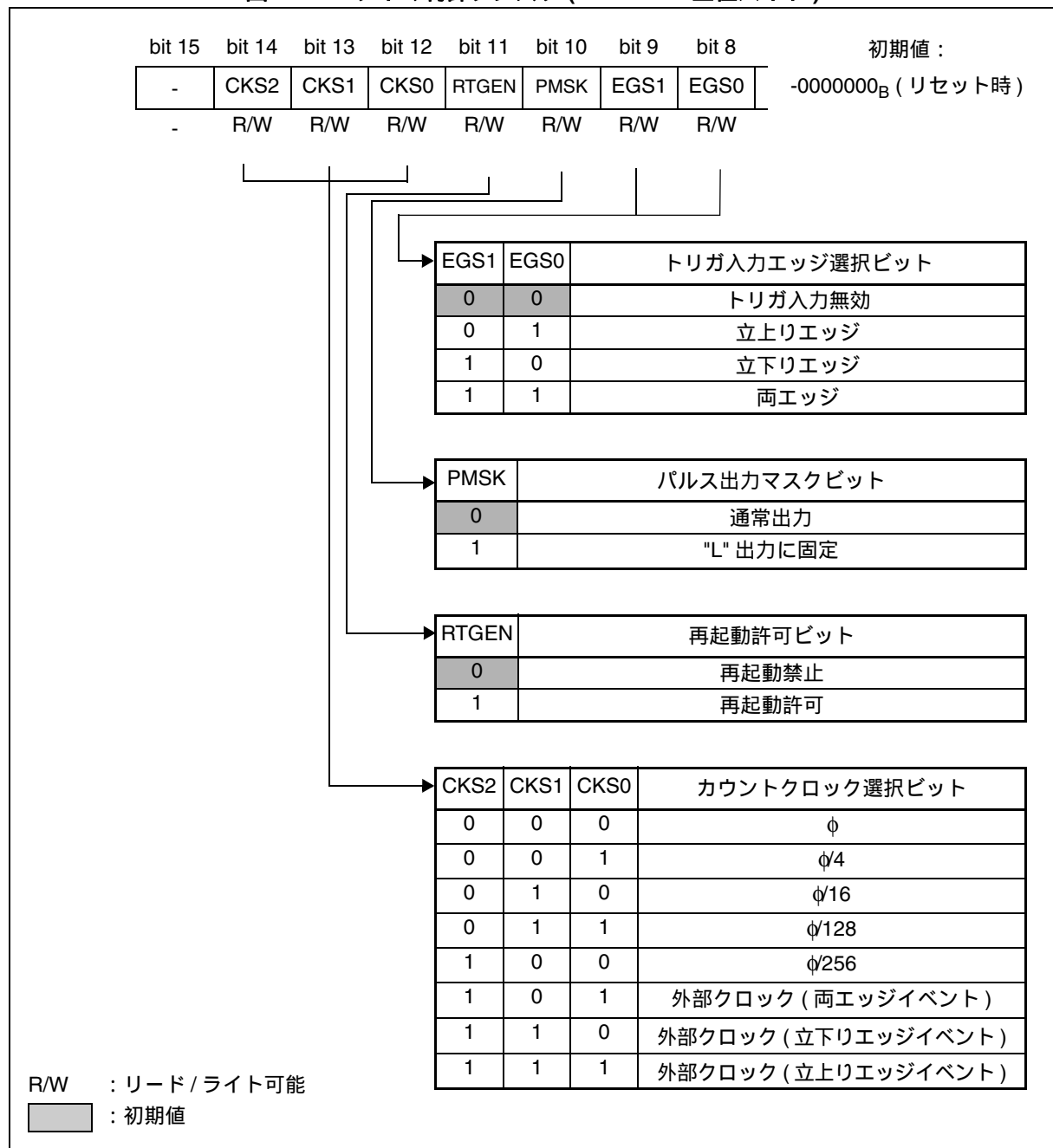
- PWM タイマ選択時のタイマ制御レジスタ (BTxTMCR)
- PWM 周期設定レジスタ (BTxPCSR)
- PWM デューティ設定レジスタ (BTxPDUT)
- タイマレジスタ (BTxTMR)
- 16 ビット PWM タイマ動作
- ワンショット動作
- 割込み要因とタイミングチャート
- 出力波形

22.8.1.1 PWM タイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は、PWM タイマを制御します。PWM タイマ動作中に書換え不可能なビットがありますので注意してください。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 22.8-1 タイマ制御レジスタ (BTxTMCR 上位バイト)



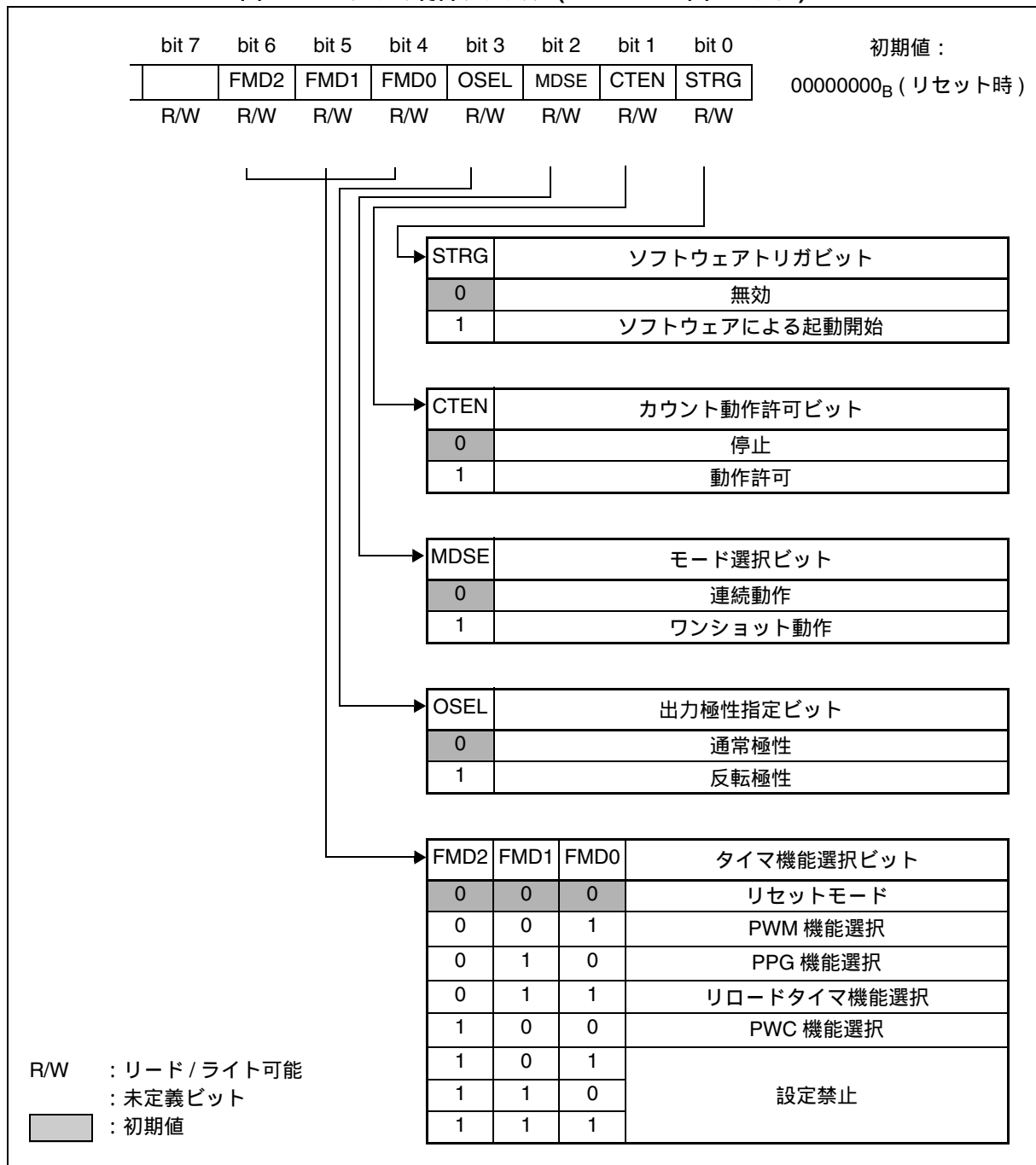
MB91605A シリーズ

表 22.8-1 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14 ~ bit12	CKS2, CKS1, CKS0: カウントクロック 選択ビット	<ul style="list-style-type: none"> 16 ビットダウンカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって、CKS2 ~ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	RTGEN : 再起動許可ビット	ソフトウェアトリガ、またはトリガ入力による再起動を許可するビットです。
bit10	PMSK : パルス出力マスク ビット	<ul style="list-style-type: none"> PWM 出力波形の出力波形レベルを制御します。 このビットが "0" のときは PWM 波形をそのまま出力します。 このビットが "1" のときは、周期やデューティ設定の値にかかわらず PWM 出力を "L" 出力にマスクします。 <p>(注意事項) bit3 の OSEL が反転出力に設定されている場合に PMSK を "1" にすると "H" 出力にマスクとなります。</p>
bit9, bit8	EGS1, EGS0 : トリガ入力エッジ 選択ビット	<ul style="list-style-type: none"> 外部起動要因として入力波形に対する有効エッジを選択し、トリガの条件を設定します。 初期値または "00_B" の設定の場合、入力波形に対する有効エッジが選択されていない状態なので外部波形による起動はかかりません。 <p>(注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。</p> <ul style="list-style-type: none"> EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。













■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 22.8-2 タイマ制御レジスタ (BTxTMCR 下位バイト)



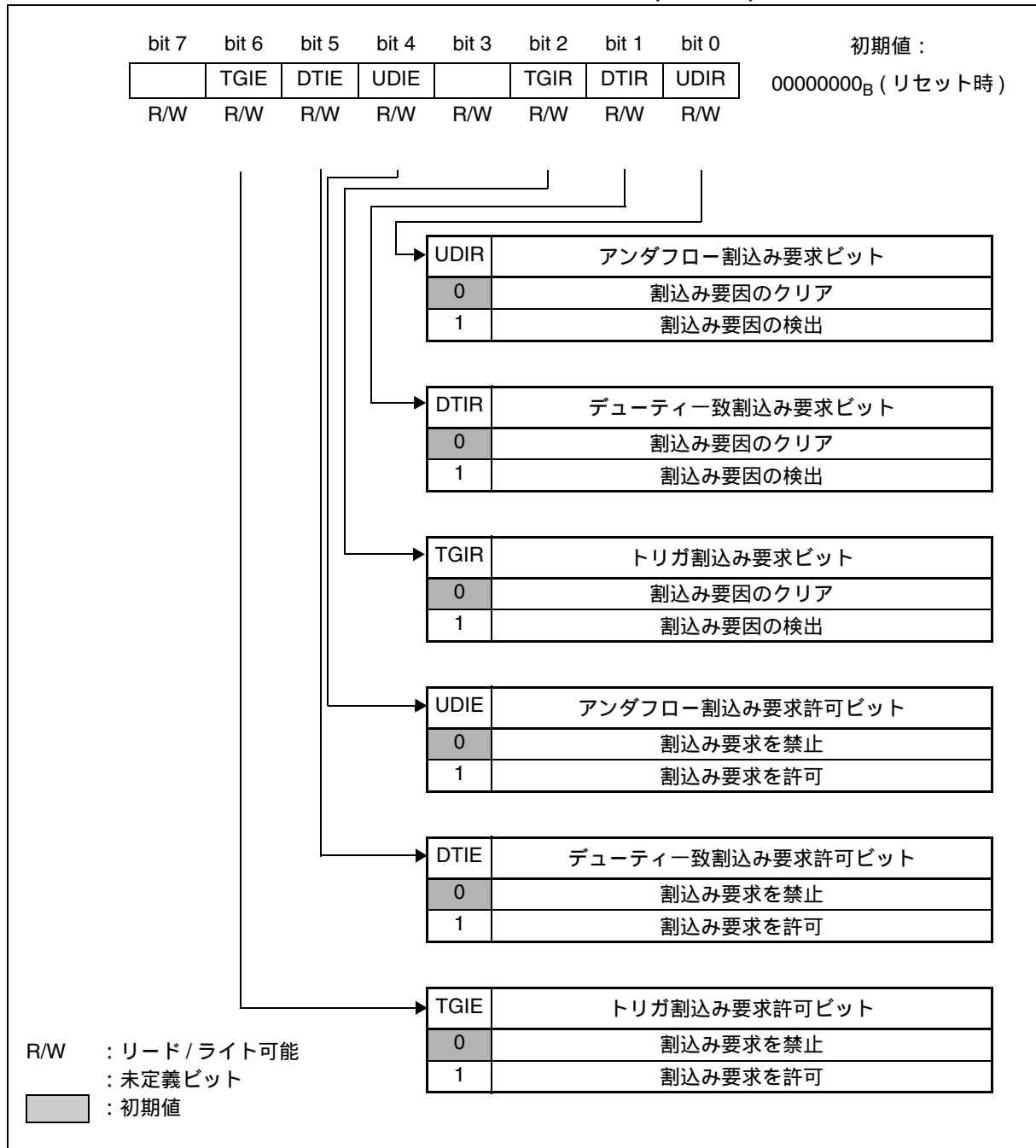
MB91605A シリーズ

表 22.8-2 タイマ制御レジスタ (BTxTMCR 下位バイト)

ビット名		機能												
bit7	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。												
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能選択 ビット	<ul style="list-style-type: none">タイマ機能を選択するビットです。FMD2, FMD1, FMD0 ビットに "001_B" を設定すると PWM 機能が選択されます。変更はタイマ停止中 (CTEN=0) に行ってください。ただし CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit3	OSEL : 出力極性指定 ビット	<p>PWM 出力の極性を設定します。</p> <table><tr><td>極性</td><td>リセット後</td><td>デューティ一致</td><td>アンダフロー</td></tr><tr><td>通常</td><td>"L" 出力</td><td></td><td></td></tr><tr><td>反転</td><td>"H" 出力</td><td></td><td></td></tr></table>	極性	リセット後	デューティ一致	アンダフロー	通常	"L" 出力			反転	"H" 出力		
極性	リセット後	デューティ一致	アンダフロー											
通常	"L" 出力													
反転	"H" 出力													
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none">連続してパルスを出力する動作か, 単一パルスを出力するワンショット動作かを選択します。変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit1	CTEN : カウント動作 許可ビット	<ul style="list-style-type: none">ダウンカウンタの動作を許可するビットです。カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。												
bit0	STRG : ソフトウェア トリガビット	<ul style="list-style-type: none">CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも, ソフトウェアトリガが発生します。STRG ビットの読出し値は常に "0" です。(注意事項) EGS1, EGS0 の設定にかかわらず, STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。												

■ ステータス制御レジスタ (BTxSTC)

図 22.8-3 ステータス制御レジスタ (BTxSTC)



MB91605A シリーズ

表 22.8-3 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit6	TGIE : トリガ割込み 要求許可 ビット	<ul style="list-style-type: none"> bit2 :TGIR の割込み要求を制御します。 TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	DTIE : デューティ 一致割込み要求 許可ビット	<ul style="list-style-type: none"> bit1 :DTIR の割込み要求を制御します。 DTIE ビットが許可されていて bit1: DTIR ビットがセットされると CPU に割込み要求を発生します。
bit4	UDIE : アンダフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0 :UDIR の割込み要求を制御します。 UDIE ビットが許可されていて bit0 :UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	TGIR : トリガ割込み 要求ビット	<ul style="list-style-type: none"> ソフトウェアトリガ , またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 TGIR ビットは "0" 書込みによりクリアされます。 TGIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。
bit1	DTIR : デューティ一致 割込み要求 ビット	<ul style="list-style-type: none"> カウント値がデューティ設定値と一致したときに DTIR ビットが "1" にセットされます。 DTIR ビットは "0" 書込みによりクリアされます。 DTIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。
bit0	UDIR : アンダフロー 割込み要求 ビット	<ul style="list-style-type: none"> カウント値が "0000_H" "FFFF_H" へのアンダフロー時に UDIR ビットが "1" にセットされます。 UDIR ビットは "0" 書込みによりクリアされます。 UDIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。

22.8.1.2 PWM 周期設定レジスタ (BTxPCSR)

PWM 周期設定レジスタ (BTxPCSR) は、周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は、起動時とアンダフロー時に行われます。

■ PWM 周期設定レジスタ (BTxPCSR) のビット構成

図 22.8-4 に、PWM 周期設定レジスタ (BTxPCSR) のビット構成を示します。

図 22.8-4 PWM 周期設定レジスタ (BTxPCSR) のビット構成

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	初期値 :
<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値 :
<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能
X : 不定値

周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は起動時とアンダフロー時に行われます。

周期設定レジスタの初期設定時および書換え時は、周期設定レジスタの書込み後に必ずデューティ設定レジスタへの書込み動作を行ってください。

- BTxPCSR レジスタは 16 ビットデータでアクセスしてください。
- BTxPCSR レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PWM 機能の設定後に周期設定をしてください。

MB91605A シリーズ

22.8.1.3 PWM デューティ設定レジスタ (BTxPDUT)

PWM デューティ設定レジスタ (BTxPDUT) はデューティを設定するためのバッファ付きレジスタです。バッファからの転送は、アンダフローで行われます。

■ PWM デューティ設定レジスタ (BTxPDUT) のビット構成

図 22.8-5 に、PWM デューティ設定レジスタ (BTxPDUT) のビット構成を示します。

図 22.8-5 PWM デューティ設定レジスタ (BTxPDUT) のビット構成

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	初期値 :
								XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値 :
								XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能
X : 不定値

デューティを設定するためのバッファ付きレジスタです。バッファからの転送はアンダフローで行われます。

周期設定レジスタの値とデューティ設定レジスタの値を同じにすると、通常極性時にオール "H" を、反転極性時にオール "L" を出力します。

PSCR < BTxPDUT となるような値を設定しないでください。PWM 出力は不定となります。

- BTxPDUT レジスタは 16 ビットデータでアクセスしてください。
- BTxPDUT レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PWM 機能の設定後にデューティ設定してください。

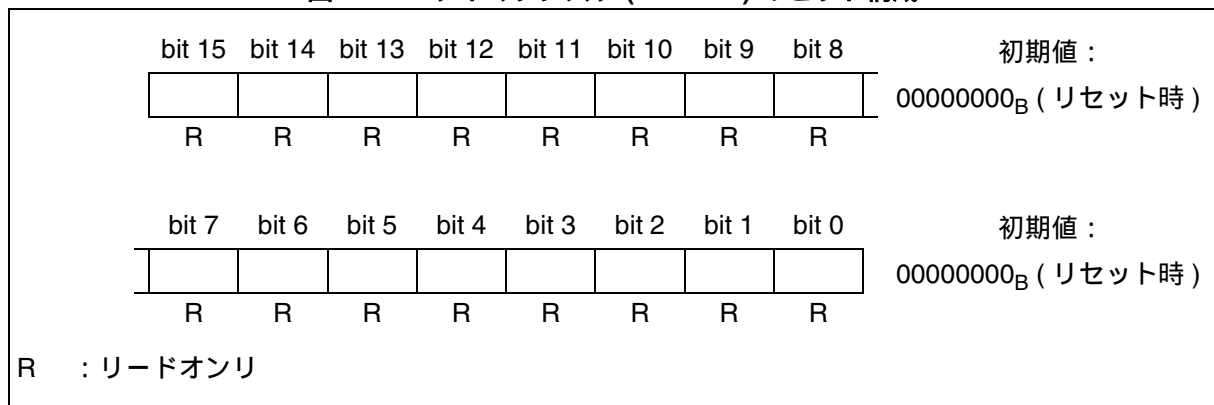
22.8.1.4 タイマレジスタ (BTxTMR)

タイマレジスタ (BTxTMR) は、16 ビットダウンカウンタの値を読み出すことができます。

■ タイマレジスタ (BTxTMR) のビット構成

図 22.8-6 に、PWM タイマレジスタ (BTxTMR) のビット構成を示します。

図 22.8-6 タイマレジスタ (BTxTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

< 注意事項 >

BTxTMR レジスタは 16 ビットデータでアクセスしてください。

22.8.1.5 16 ビット PWM タイマ動作

出力パルスの周期は、BTxPCSR 値を変えることにより制御することができます。
また、デューティ比は、BTxPDUT 値を変えることにより制御することができます。
BTxPCSR にデータを書き込んだ後は、必ず BTxPDUT への書込みを行ってください。

● 再起動禁止の場合 (RTGEN=0)

[illegible]

立ち上りエッジ検出

トリガにより再起動

トリガ

m

n

o

PWM出力波形

①

②

$$= T(n+1) \text{ ms}$$

$$= T(m+1) \text{ ms}$$

T : カウントクロック周期
 m : BTxPCSR 値
 n : BTxPDUT 値

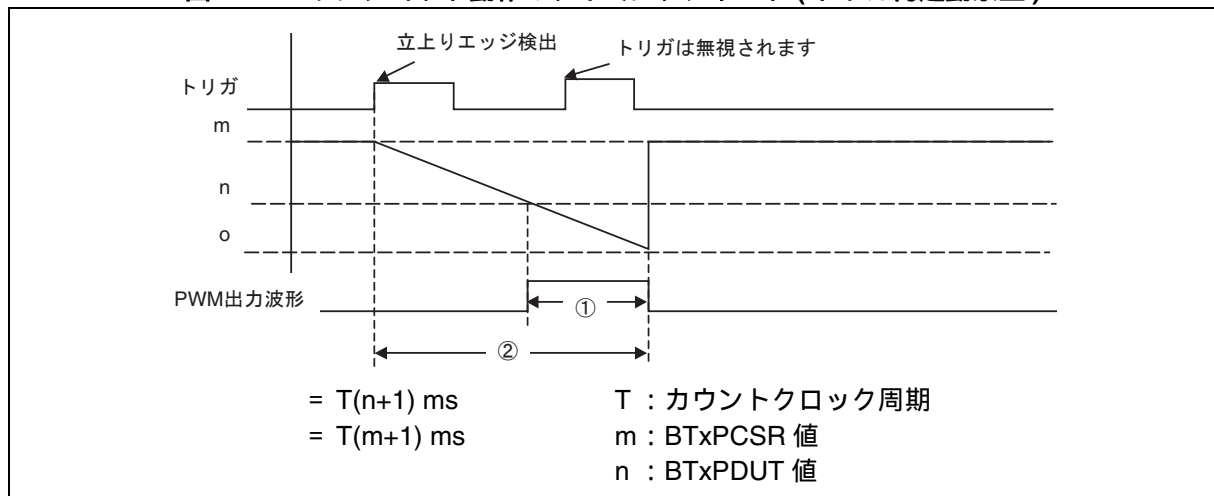
22.8.1.6 ワンショット動作

ワンショット動作では、トリガにより任意の幅の単一パルスを出力することができます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ ワンショット動作

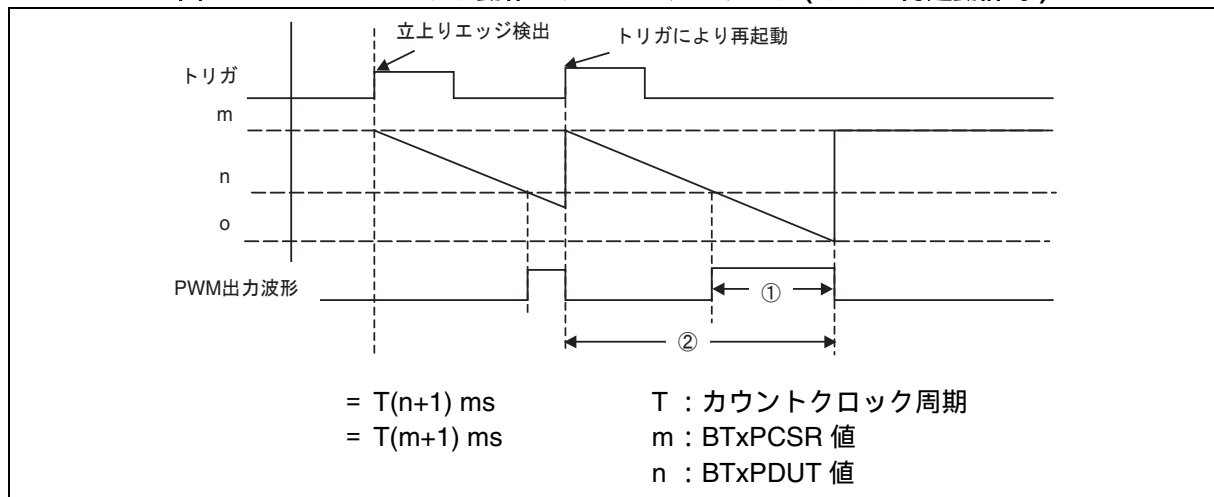
● 再起動禁止の場合 (RTGEN=0)

図 22.8-9 ワンショット動作のタイミングチャート (トリガ再起動禁止)



● 再起動許可の場合 (RTGEN=1)

図 22.8-10 ワンショット動作のタイミングチャート (トリガ再起動許可)



MB91605A シリーズ

22.8.1.7 割込み要因とタイミングチャート

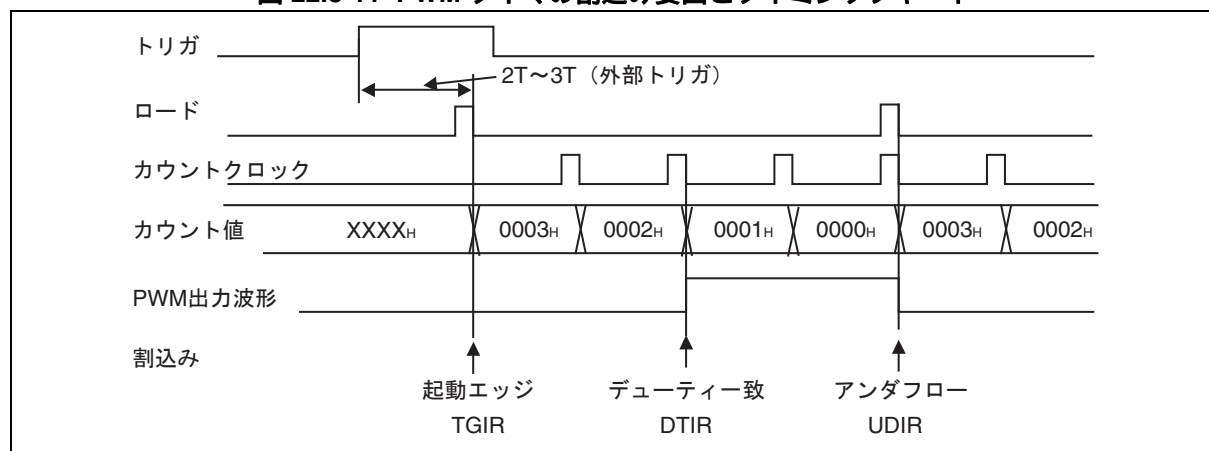
割込み要因とタイミングチャートについて示します。

■ 割込み要因とタイミングチャート (PWM 出力 : 通常極性)

トリガが入力されてカウンタ値がロードされるまで、ソフトウェアトリガ時は T, 外部トリガ時は 2T ~ 3T (T: 周辺クロック (PCLK) サイクル) を必要とします。

図 22.8-11 に、周期設定値 = 3, デューティ値 = 1 の場合の割込み要因とタイミングチャートを示します。

図 22.8-11 PWM タイマの割込み要因とタイミングチャート



22.8.1.8 出力波形

PWM 出力について示します。

■ PWM 出力オール "L" またはオール "H" の出力方法

図 22.8-12 に PWM 出力をオール "L" に、図 22.8-13 にオール "H" にする出力方法を示します。

図 22.8-12 PWM 出力をオール "L" レベルにする例

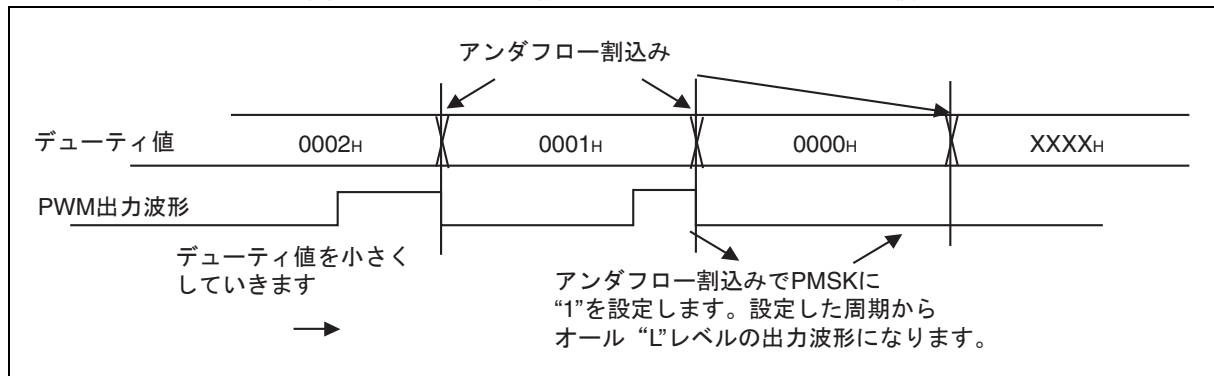
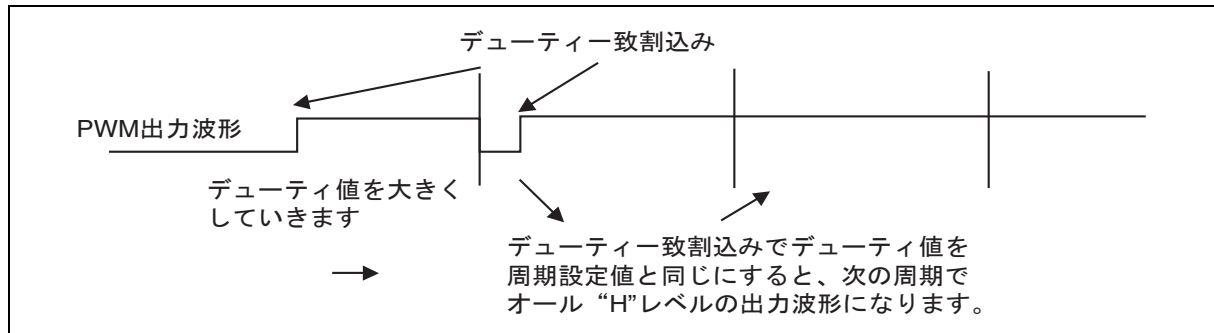


図 22.8-13 PWM 出力をオール "H" レベルにする例



MB91605A シリーズ

22.8.2 PPG 機能

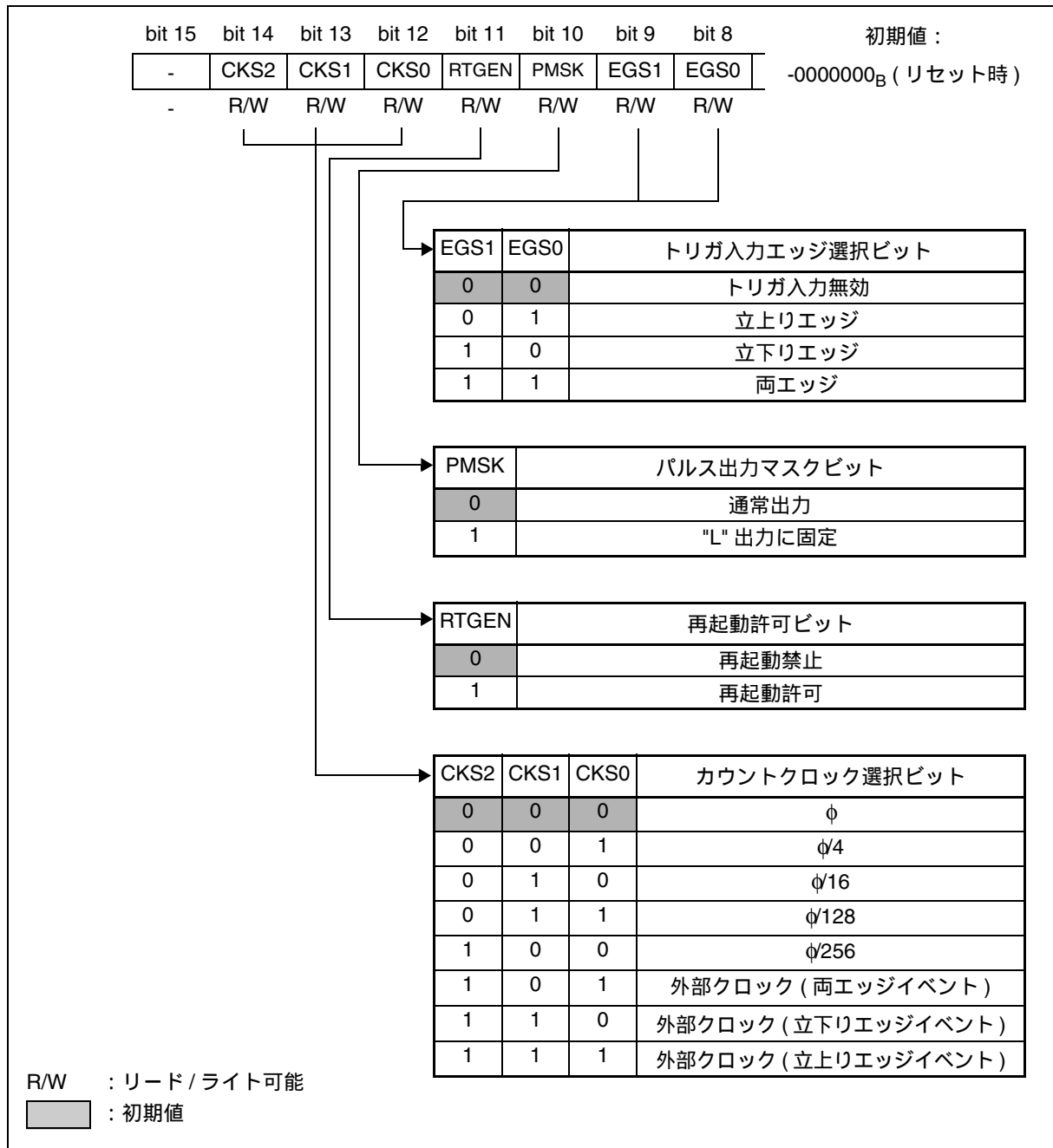
ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PPG を設定したときのタイマ機能の説明を示します。

- PPG タイマ選択時のタイマ制御レジスタ (BTxTMCR)
- "L" 幅設定リロードレジスタ (BTxPRLL)
- "H" 幅設定リロードレジスタ (BTxPRLH)
- タイマレジスタ (BTxTMR)
- 16 ビット PPG タイマ動作
- 連続動作
- ワンショット動作
- 割込み要因とタイミングチャート

22.8.2.1 PPG タイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は、PPG タイマを制御します。PPG タイマ動作中に書換え不可能なビットがありますので注意してください。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

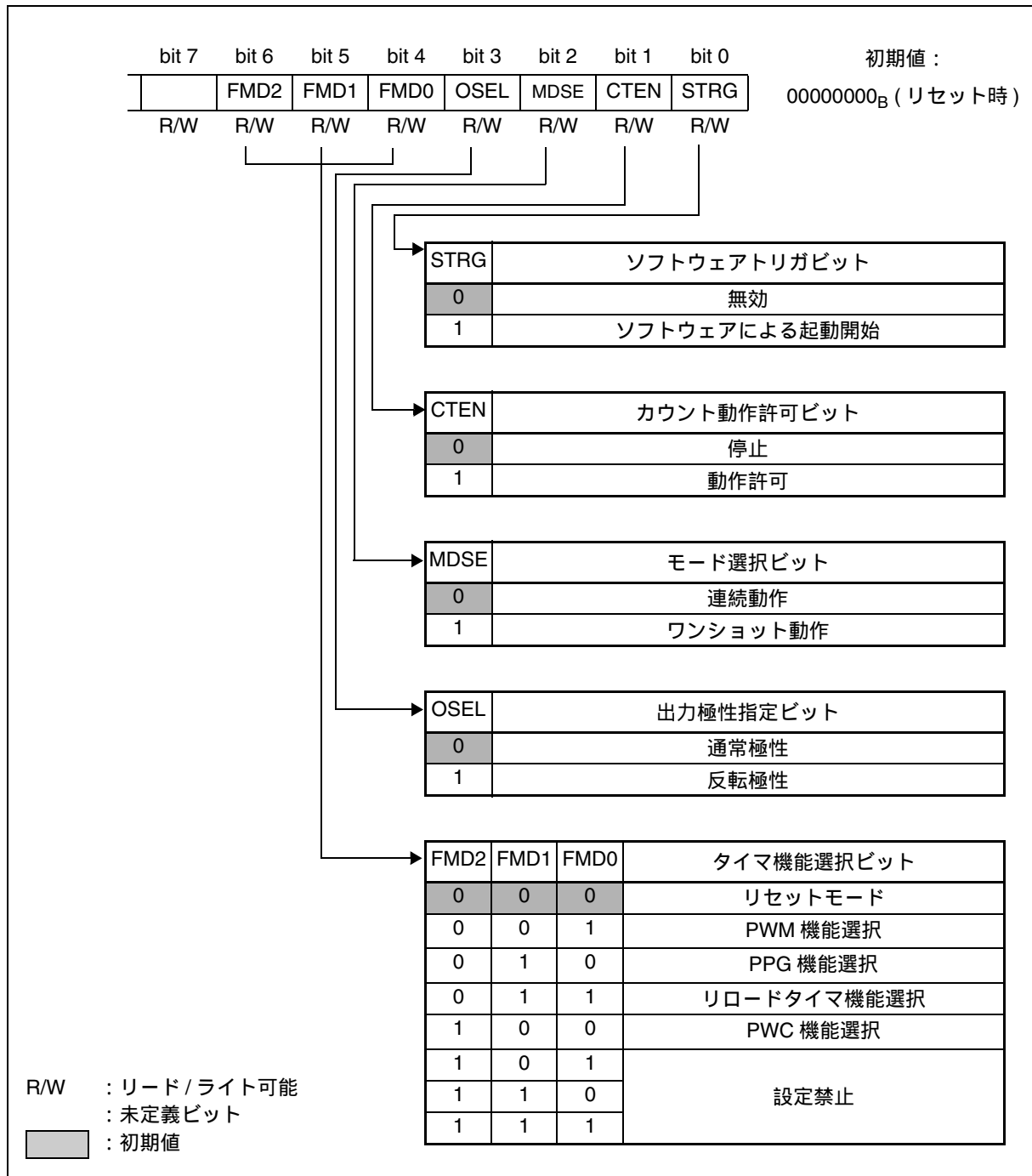


MB91605A シリーズ

表 22.8-4 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14 ～ bit12	CKS2, CKS1, CKS0 : カウント クロック選択 ビット	<ul style="list-style-type: none"> 16 ビットダウンカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって、CKS2 ~ CKS0の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	RTGEN : 再起動許可 ビット	ソフトウェアトリガ、またはトリガ入力による再起動を許可するビットです。
bit10	PMSK : パルス出力 マスクビット	<ul style="list-style-type: none"> PPG 出力波形の出力波形レベルを制御します。 このビットが "0" のときは PPG 波形をそのまま出力します。 このビットが "1" のときは、"H" 幅や "L" 幅設定の値にかかわらず PPG 出力を "L" 出力にマスクします。 <p>(注意事項) bit3 の OSEL が反転出力に設定されている場合に PMSK を "1" にすると "H" 出力にマスクとなります。</p>
bit9, bit8	EGS1, EGS0 : トリガ入力 エッジ選択 ビット	<ul style="list-style-type: none"> 外部起動要因として入力波形に対する有効エッジを選択し、トリガの条件を設定します。 初期値または "00_B" の設定の場合、入力波形に対する有効エッジが選択されていない状態なので外部波形による起動はかかりません。 <p>(注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。</p> <ul style="list-style-type: none"> EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)















R/W : リード/ライト可能

: 未定義ビット

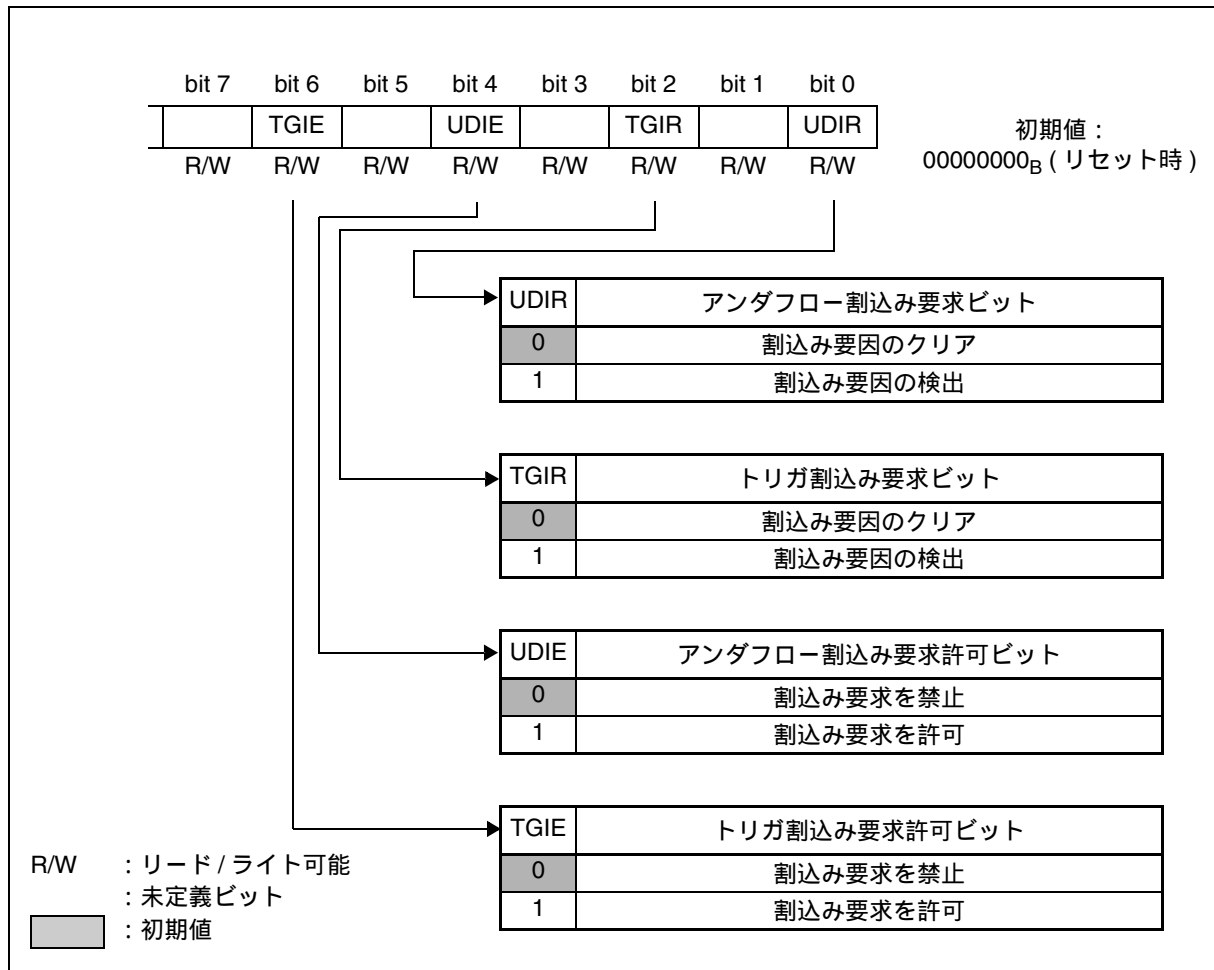
: 初期値

MB91605A シリーズ

表 22.8-5 タイマ制御レジスタ (BTxTMCR 下位バイト)

ビット名		機能												
bit7	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。												
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	<ul style="list-style-type: none">タイマ機能を選択するビットです。FMD2, FMD1, FMD0 ビットに "010_B" を設定すると PPG 機能が選択されます。変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit3	OSEL : 出力極性指定 ビット	<p>PPG 出力の極性を設定します。</p> <table><tr><th>極性</th><th>リセット後</th><th>"L" 幅カウンタ終了</th><th>"H" 幅カウンタ終了</th></tr><tr><td>通常</td><td>"L" 出力</td><td></td><td></td></tr><tr><td>反転</td><td>"H" 出力</td><td></td><td></td></tr></table>	極性	リセット後	"L" 幅カウンタ終了	"H" 幅カウンタ終了	通常	"L" 出力			反転	"H" 出力		
極性	リセット後	"L" 幅カウンタ終了	"H" 幅カウンタ終了											
通常	"L" 出力													
反転	"H" 出力													
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none">連続してパルスを出力する動作か , 単一パルスを出力するワンショット動作かを選択します。変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit1	CTEN : カウンタ動作 許可ビット	<ul style="list-style-type: none">ダウンカウンタの動作を許可するビットです。カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。												
bit0	STRG : ソフトウェア トリガビット	<ul style="list-style-type: none">CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも , ソフトウェアトリガが発生します。STRG ビットの読出し値は常に "0" です。(注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。												

■ ステータス制御レジスタ (BTxSTC)



MB91605A シリーズ

表 22.8-6 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit6	TGIE : トリガ割込み 要求許可ビット	<ul style="list-style-type: none"> bit2: TGIR の割込み要求を制御します。 TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit4	UDIE : アンダフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0 :UDIR の割込み要求を制御します。 UDIE ビットが許可されていて bit0 :UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	TGIR : トリガ割込み 要求ビット	<ul style="list-style-type: none"> ソフトウェアトリガ, またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 TGIR ビットは "0" 書込みによりクリアされます。 TGIR ビットに "1" 書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。
bit1	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit0	UDIR : アンダフロー 割込み要求 ビット	<ul style="list-style-type: none"> "H" 幅を設定した値からのカウント中でカウント値が "0000_H" "FFFF_H" へアンダフロー変化したときに UDIR ビットが "1" にセットされます。 UDIR ビットは "0" 書込みによりクリアされます。 UDIR ビットに "1" 書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。

22.8.2.2 "L" 幅設定リロードレジスタ (BTxPRL)

"L" 幅設定リロードレジスタ (BTxPRL) は、PPG 出力波形の "L" 幅を設定するためのレジスタです。タイマレジスタへの転送は、起動トリガ検出時か、"H" 幅カウント終了時のアンダフローで行われます。

■ "L" 幅設定リロードレジスタ (BTxPRL) のビット構成

図 22.8-14 に、"L" 幅設定リロードレジスタ (BTxPRL) のビット構成を示します。

図 22.8-14 "L" 幅設定リロードレジスタ (BTxPRL) のビット構成

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	初期値 :
								XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値 :
								XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能
X : 不定値

PPG 出力波形の "L" 幅を設定するためのレジスタです。タイマレジスタへの転送は起動トリガ検出時と "H" 幅カウント終了時のアンダフローで行われます。

- BTxPRL レジスタは 16 ビットデータでアクセスしてください。
- BTxPRL レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PPG 機能の設定後に "L" 幅設定してください。

MB91605A シリーズ

22.8.2.3 "H" 幅設定リロードレジスタ (BTxPRLH)

"H" 幅設定リロードレジスタ (BTxPRLH) は PPG 出力波形の "H" 幅を設定するためのバッファ付きレジスタです。BTxPRLH からバッファレジスタへの転送は起動トリガ検出時と "H" 幅カウンタ終了時のアンダフローで行われ、バッファレジスタからタイマレジスタへの転送は "L" 幅カウンタ終了時のアンダフローで行われます。

■ "H" 幅設定リロードレジスタ (BTxPRLH) のビット構成

図 22.8-15 に、"H" 幅設定リロードレジスタ (BTxPRLH) のビット構成を示します。

図 22.8-15 "H" 幅設定リロードレジスタ (BTxPRLH) のビット構成

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	初期値 :
<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値 :
<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	XXXXXXXX _B (リセット時)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能
X : 不定値

PPG 出力波形の "H" 幅を設定するためのレジスタです。BTxPRLH からバッファレジスタへの転送は起動トリガ検出時と "H" 幅カウンタ終了時のアンダフローで行われ、バッファレジスタからタイマレジスタへの転送は "L" 幅カウンタ終了時のアンダフローで行われます。

- BTxPRLH レジスタは 16 ビットデータでアクセスしてください。
- BTxPRLH レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットで PPG 機能の設定後、"H" 幅に設定してください。

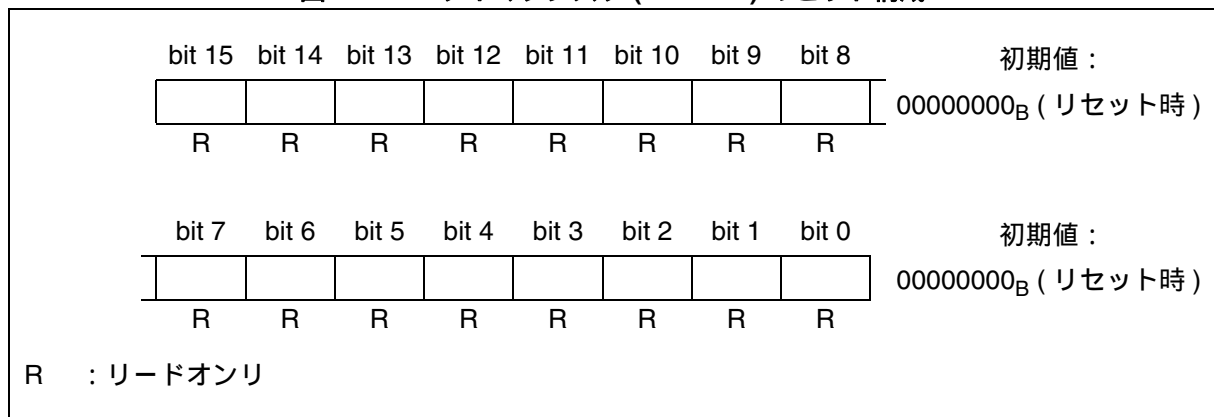
22.8.2.4 タイマレジスタ (BTxTMR)

タイマレジスタ (BTxTMR) は, 16 ビットダウンカウンタの値を読み出すことができます。

■ タイマレジスタ (BTxTMR) のビット構成

図 22.8-16 に, PPG タイマレジスタ (BTxTMR) のビット構成を示します。

図 22.8-16 タイマレジスタ (BTxTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

< 注意事項 >

BTxTMR レジスタは 16 ビットデータでアクセスしてください。

MB91605A シリーズ

22.8.2.5 16 ビット PPG タイマ動作

PPG タイマ動作では、出力パルスの "L" 幅と "H" 幅をそれぞれのリロードレジスタに設定することで任意の出力パルスを制御することができます。

■ 動作概要

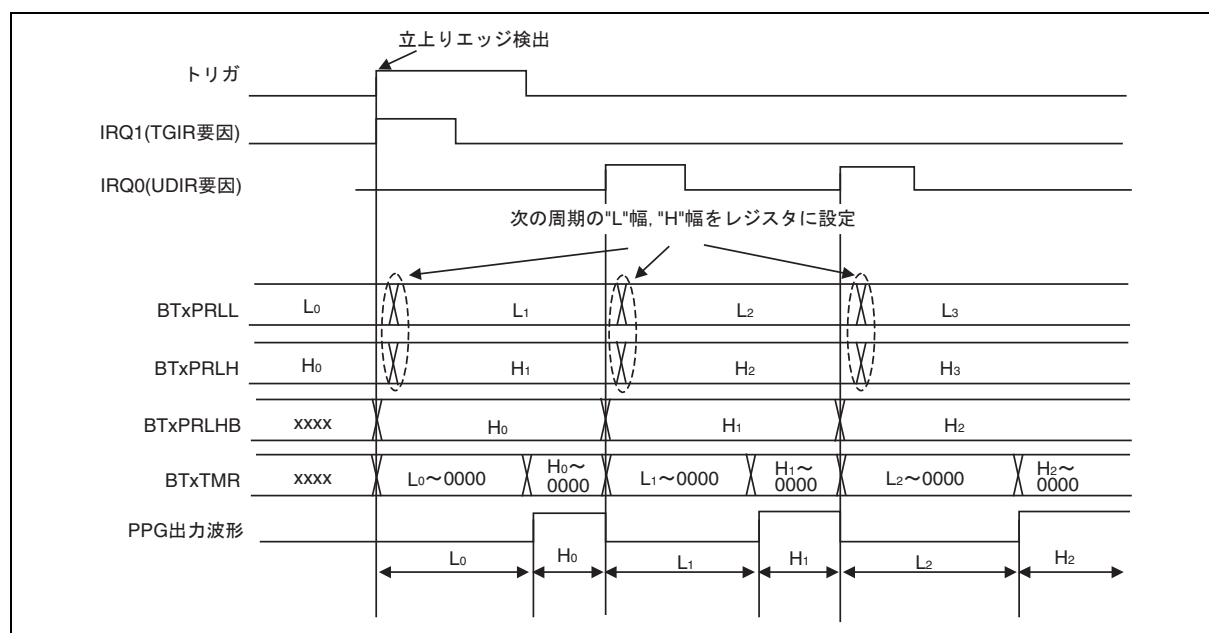
16 ビット長のリロードレジスタが "L" 幅設定用と "H" 幅設定用の 2 本, "H" 幅設定のバッファが 1 本あります (BTxPRL, BTxPRLH, BTxPRLHB)。

起動トリガにより, 16 ビットダウンカウンタに最初は BTxPRL の設定値がロードされ, 同時に BTxPRLHB に BTxPRLH の設定値が転送されます。PPG 出力はレベルを "L" にして, カウントクロックごとにダウンカウントしていきます。アンダフローの検出により BTxPRLHB の値がカウンタにリロードされ, PPG 出力波形を反転してダウンカウントしていきます。再度アンダフローの検出で PPG 出力波形を反転し, BTxPRL の設定値をカウンタにリロードし, BTxPRLH の設定値を BTxPRLHB に転送します。

この動作によって, 出力波形は各リロードレジスタ値に対応した "L" 幅・"H" 幅のパルス出力となります。

■ リロードレジスタへの書き込みタイミング

リロードレジスタ BTxPRL, BTxPRLH へのデータの書き込みは起動トリガ検出時とアンダフロー割込み要因 (UDIR) がセットされてから, 次の周期に移るまでの間に行います。その際に設定するデータは次の周期の設定となります。BTxPRL, BTxPRLH に設定したデータは起動トリガ検出時と "H" 幅カウント終了時のアンダフロー時に BTxTMR と BTxPRLHB にそれぞれ自動転送されます。BTxPRLHB に転送されたデータは "L" 幅カウント終了時のアンダフロー時に BTxTMR に自動でリロードされます。



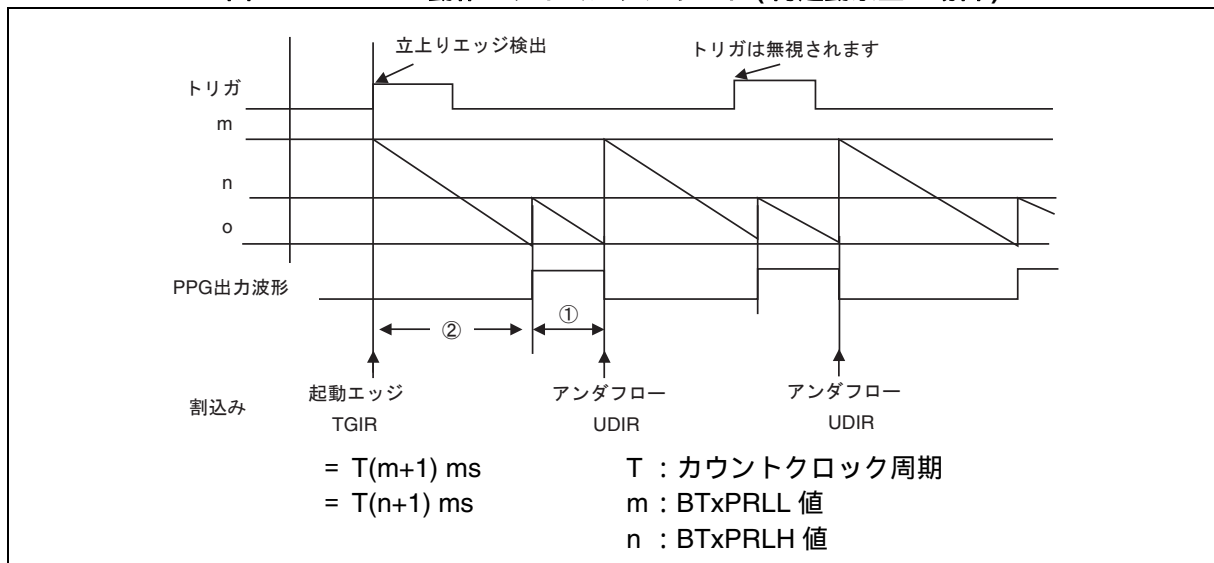
22.8.2.6 連続動作

連続動作では、各割込み要因のセットタイミングで "L" 幅と "H" 幅を更新することにより、任意のパルスを連続で出力することができます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ 連続動作

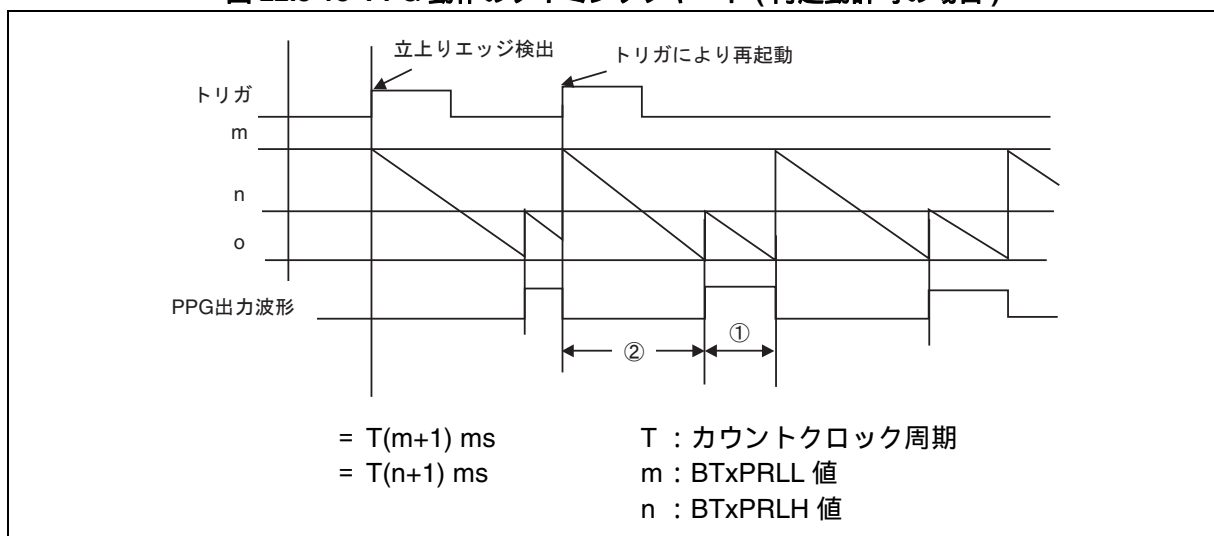
● 再起動禁止の場合 (RTGEN=0)

図 22.8-17 PPG 動作のタイミングチャート (再起動禁止の場合)



● 再起動許可の場合 (RTGEN=1)

図 22.8-18 PPG 動作のタイミングチャート (再起動許可の場合)



MB91605A シリーズ

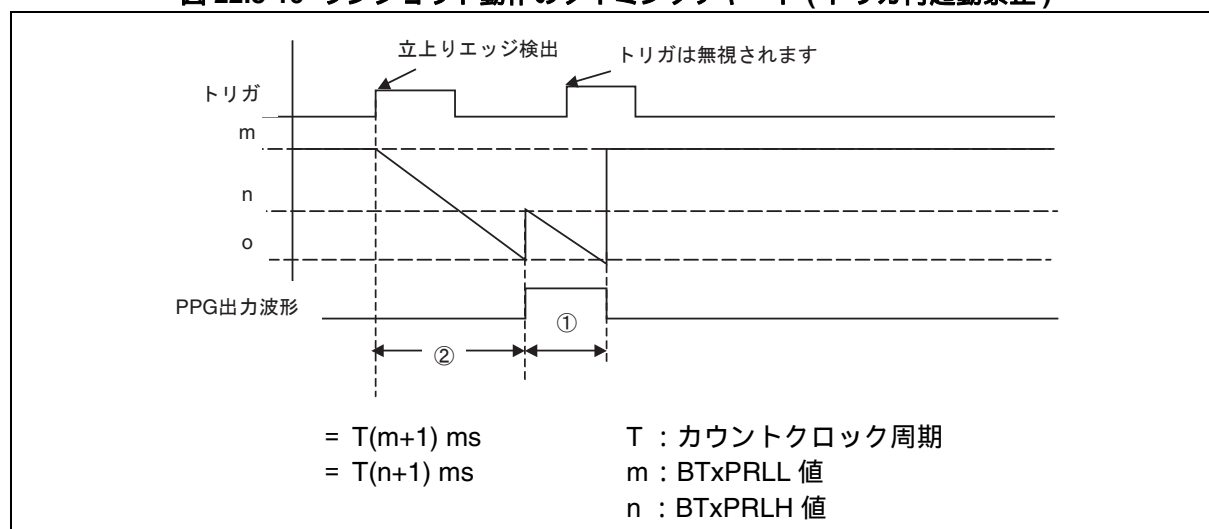
22.8.2.7 ワンショット動作

ワンショット動作では、トリガにより任意の幅の単一パルスを出力することができます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ ワンショット動作

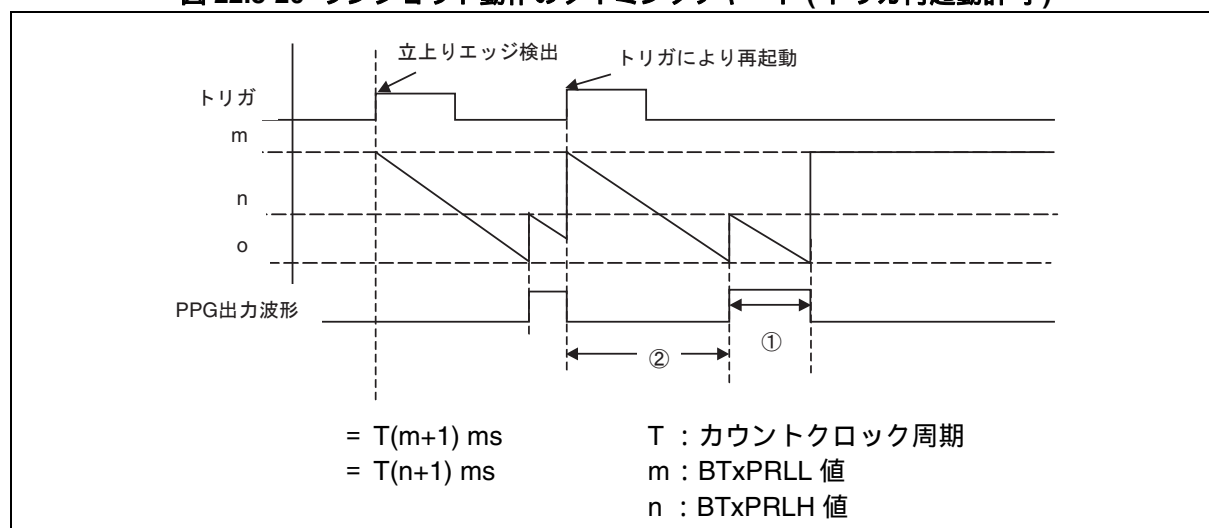
● 再起動禁止の場合 (RTGEN=0)

図 22.8-19 ワンショット動作のタイミングチャート (トリガ再起動禁止)



● 再起動許可の場合 (RTGEN=1)

図 22.8-20 ワンショット動作のタイミングチャート (トリガ再起動許可)



■ リロード値とパルス幅の関係

16 ビット長のリロードレジスタに書かれた値を + 1 した値に , カウントクロックの周期を掛けた値が出力されるパルス幅となります。したがって , リロードレジスタ値が "0000_H" のときはカウントクロック 1 周期のパルス幅になります。また , リロードレジスタ値が "FFFF_H" のときはカウントクロック 65536 周期のパルス幅になります。パルス幅の計算式は以下のようになります。

$PL = T \times (L+1)$	PL : "L" パルスの幅
$PH = T \times (H+1)$	PH : "H" パルスの幅
	T : カウントクロック周期
	L : BTxPRL L 値
	H : BTxPRL H 値

MB91605A シリーズ

22.8.2.8 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

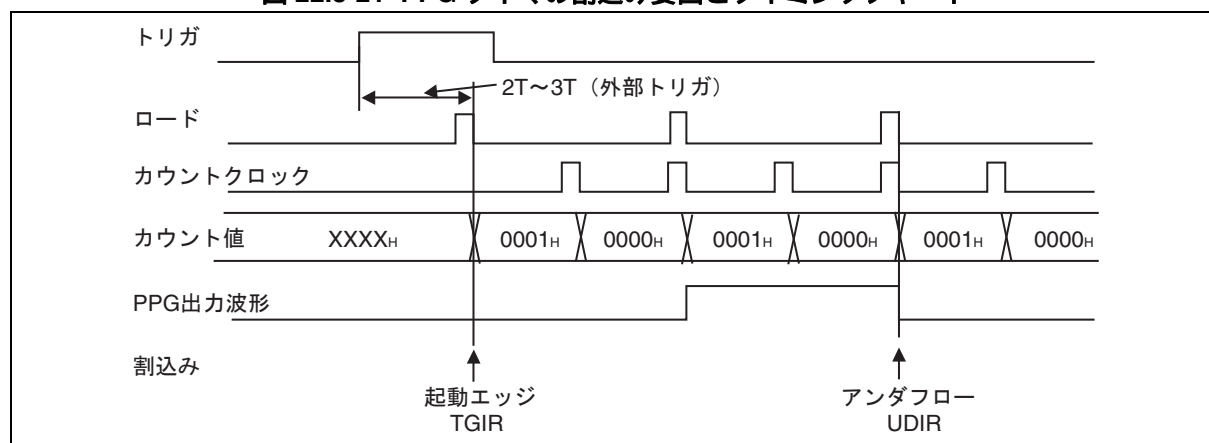
■ 割込み要因とタイミングチャート (PPG 出力 : 通常極性)

トリガがかかってからカウンタ値がロードされるまで、ソフトウェアトリガ時は T, 外部トリガ時は 2T ~ 3T (T: 周辺クロック (PCLK) サイクル) を必要とします。

割込み要因は PPG 起動トリガ検出時と, "H" レベル出力時のアンダフロー検出時にセットされます。

図 22.8-21 に, "L" 幅設定値 = 1, "H" 幅設定値 = 1 の場合の割込み要因とタイミングチャートを示します。

図 22.8-21 PPG タイマの割込み要因とタイミングチャート



22.8.3 リロードタイマ機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。リロードタイマを設定したときのタイマ機能の説明を示します。

- リロードタイマ選択時のタイマ制御レジスタ (BTxTMCR)
- 周期設定レジスタ (BTxPCSR)
- タイマレジスタ (BTxTMR)
- 16 ビットリロードタイマの動作

MB91605A シリーズ

22.8.3.1 リロードタイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は、タイマの動作制御をします。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

図 22.8-22 タイマ制御レジスタ (BTxTMCR 上位バイト)

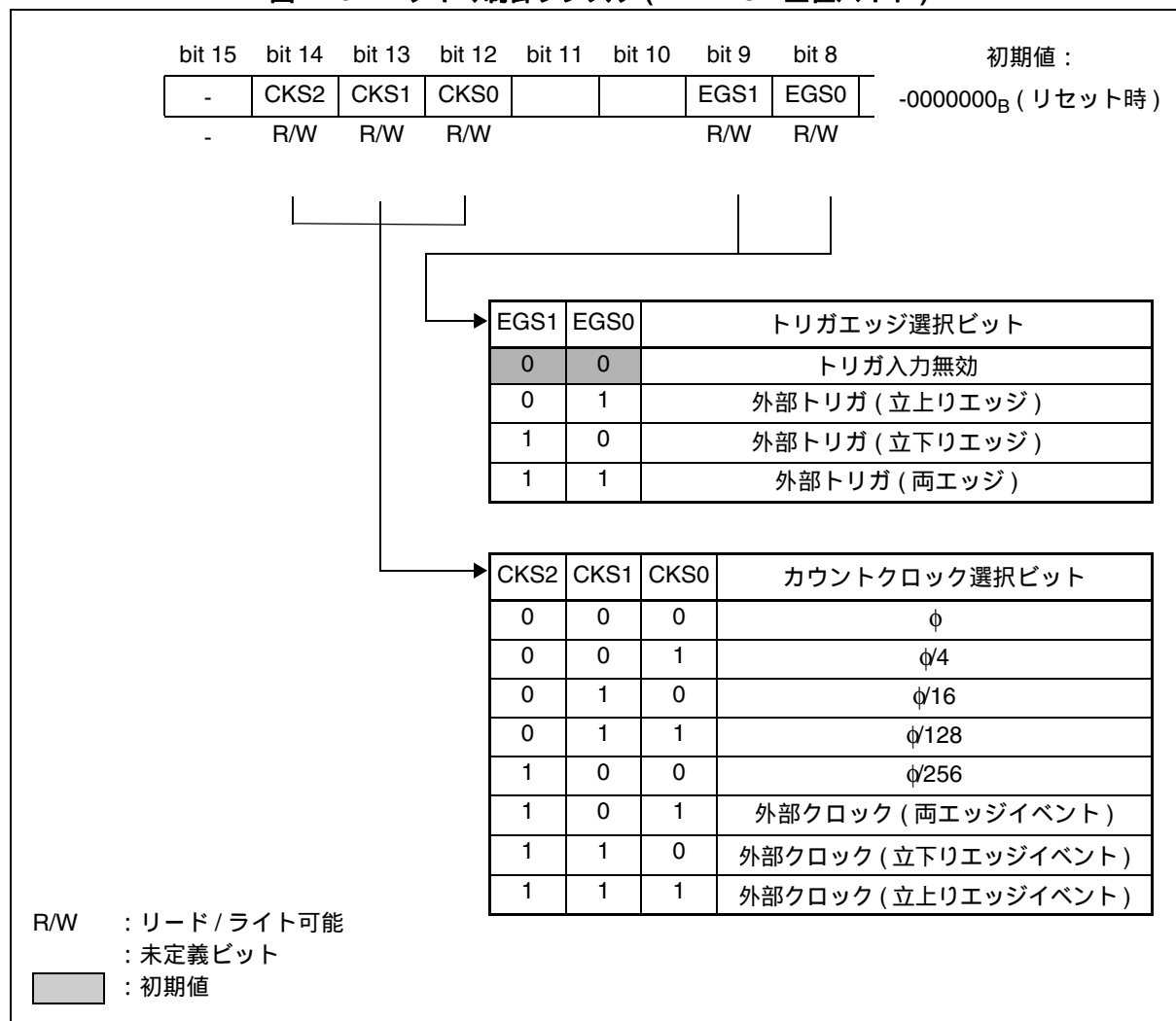


表 22.8-7 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14 ~ bit12	CKS2, CKS1, CKS0 : カウント クロック選択 ビット	<ul style="list-style-type: none"> 16 ビットダウンカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって、CKS2 ~ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11, bit10	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit9, bit8	EGS1, EGS0 : トリガエッジ 選択ビット	<ul style="list-style-type: none"> 外部起動要因として入力波形に対する有効エッジを選択し、トリガの条件を設定します。 初期値または "00_B" の設定の場合、入力波形に対する有効エッジが選択されていない状態なので外部波形による起動は行いません。 (注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。 EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。

MB91605A シリーズ

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

図 22.8-23 タイマ制御レジスタ (BTxTMCR 下位バイト)

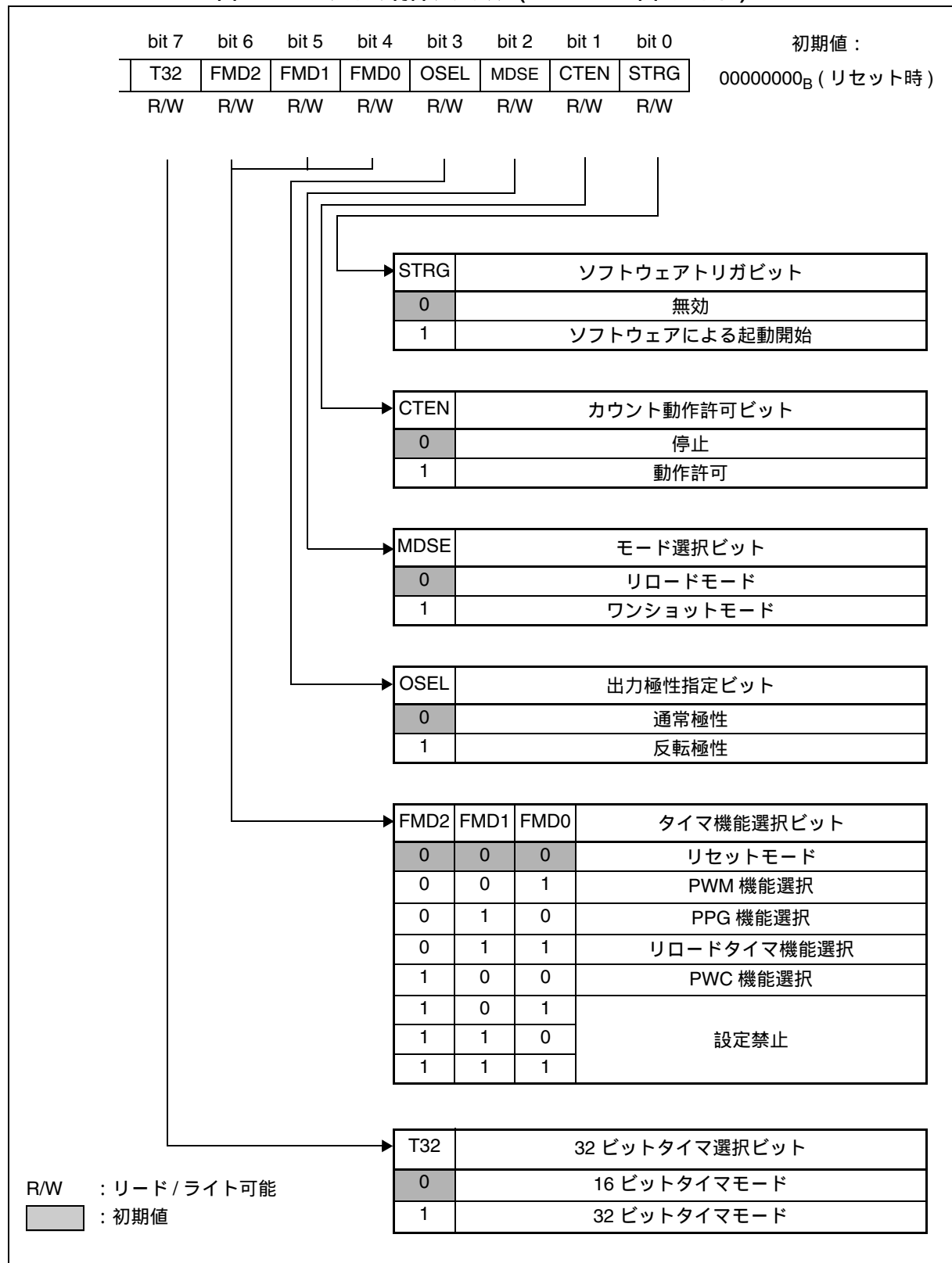


表 22.8-8 タイマ制御レジスタ (BTxTMCR 下位バイト) <Helvetica>(1 / 2)

ビット名		機能															
bit7	T32: 32 ビット タイマ選択 ビット	<ul style="list-style-type: none"> 32 ビットタイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "011_B" を設定して、リロードタイマ機能を選択している場合、T32 ビットを "1" に設定すると 32 ビットタイマモードになります。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です (「22.5 32 ビットモード動作」を参照)。 															
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	<ul style="list-style-type: none"> タイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "011_B" を設定するとリロードタイマ機能が選択されます。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。 															
bit3	OSEL : 出力極性指定 ビット	<ul style="list-style-type: none"> タイマ出力のレベルを通常のまま出力するか反転させるかを選択します。 bit2:MDSE との組合せにより次のように出力波形を生成します。 <table border="1"> <thead> <tr> <th>MDSE</th><th>OSEL</th><th>出力波形</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>カウント開始時 "L" のトグル出力</td></tr> <tr> <td>0</td><td>1</td><td>カウント開始時 "H" のトグル出力</td></tr> <tr> <td>1</td><td>0</td><td>カウント中 "H" の矩形波</td></tr> <tr> <td>1</td><td>1</td><td>カウント中 "L" の矩形波</td></tr> </tbody> </table>	MDSE	OSEL	出力波形	0	0	カウント開始時 "L" のトグル出力	0	1	カウント開始時 "H" のトグル出力	1	0	カウント中 "H" の矩形波	1	1	カウント中 "L" の矩形波
MDSE	OSEL	出力波形															
0	0	カウント開始時 "L" のトグル出力															
0	1	カウント開始時 "H" のトグル出力															
1	0	カウント中 "H" の矩形波															
1	1	カウント中 "L" の矩形波															
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none"> MDSE ビットを "0" に設定するとリロードモードとなり、カウント値が "0000_H" "FFFF_H" へのアンダフローと同時にリロードレジスタ値をカウンタにロードしてカウント動作を続けます。 MDSE ビットを "1" に設定するとワンショットモードとなり、カウント値が "0000_H" "FFFF_H" へのアンダフローにより動作を停止します。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。 															
bit1	CTEN : カウント動作 許可ビット	<ul style="list-style-type: none"> ダウンカウンタの動作を許可するビットです。 カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。 															

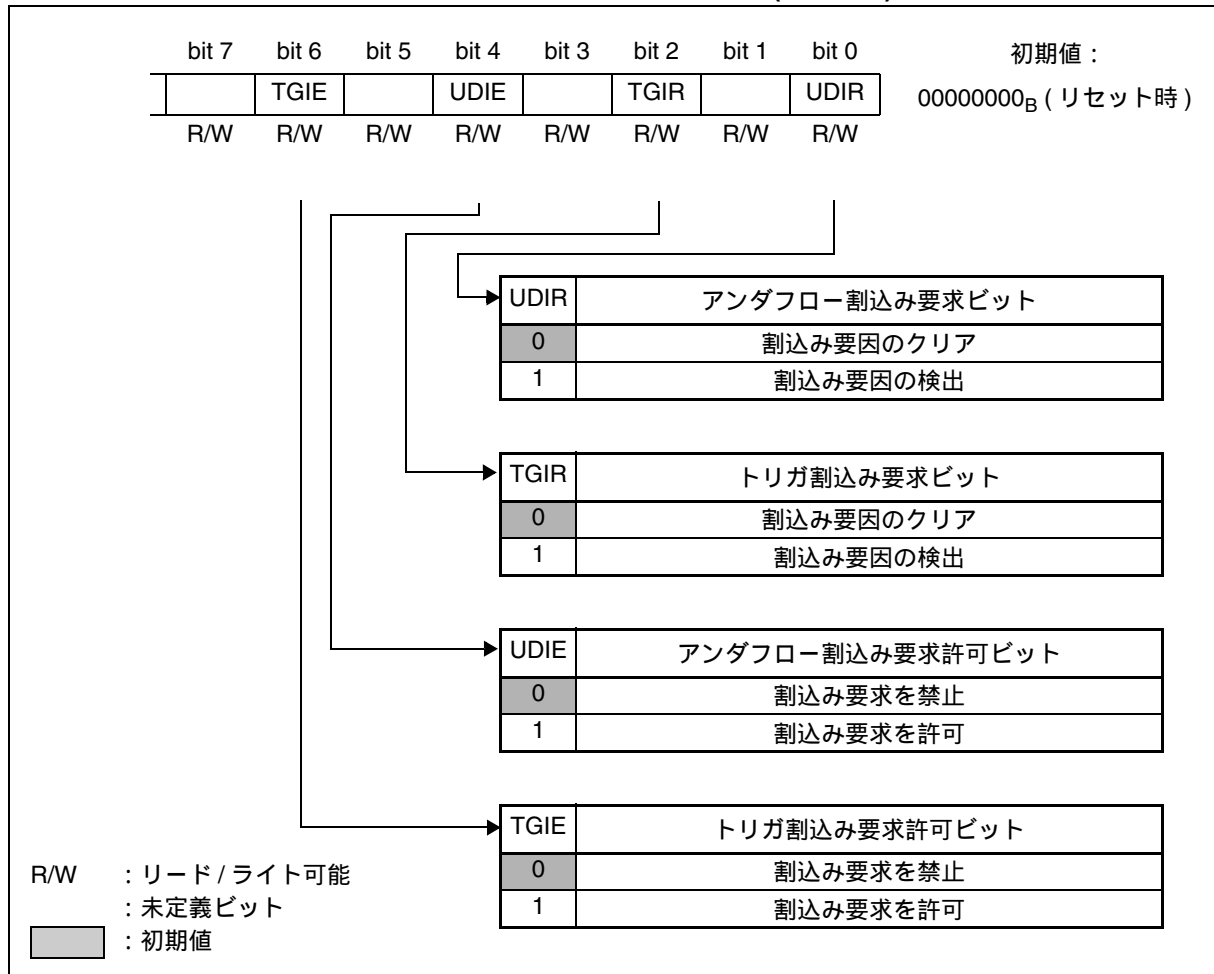
MB91605A シリーズ

表 22.8-8 タイマ制御レジスタ (BTxTMCR 下位バイト) <Helvetica>(2 / 2)

ビット名		機能
bit0	STRG : ソフトウェア トリガビット	<ul style="list-style-type: none">CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも、ソフトウェアトリガが発生します。STRG ビットの読出し値は常に "0" です。(注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。

■ ステータス制御レジスタ (BTxSTC)

図 22.8-24 ステータス制御レジスタ (BTxSTC)



MB91605A シリーズ

表 22.8-9 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit6	TGIE : トリガ割込み 要求許可ビット	<ul style="list-style-type: none"> bit2 :TGIR の割込み要求を制御します。 TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit4	UDIE : アンダフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0: UDIR の割込み要求を制御します。 UDIE ビットが許可されていて bit0: UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	TGIR : トリガ割込み 要求ビット	<ul style="list-style-type: none"> ソフトウェアトリガ, またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 TGIR ビットは "0" 書込みによりクリアされます。 TGIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。
bit1	未使用ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit0	UDIR : アンダフロー 割込み要求 ビット	<ul style="list-style-type: none"> カウント値が "0000_H" "FFFF_H" へのアンダフロー時に UDIR ビットが "1" にセットされます。 UDIR ビットは "0" 書込みによりクリアされます。 UDIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。

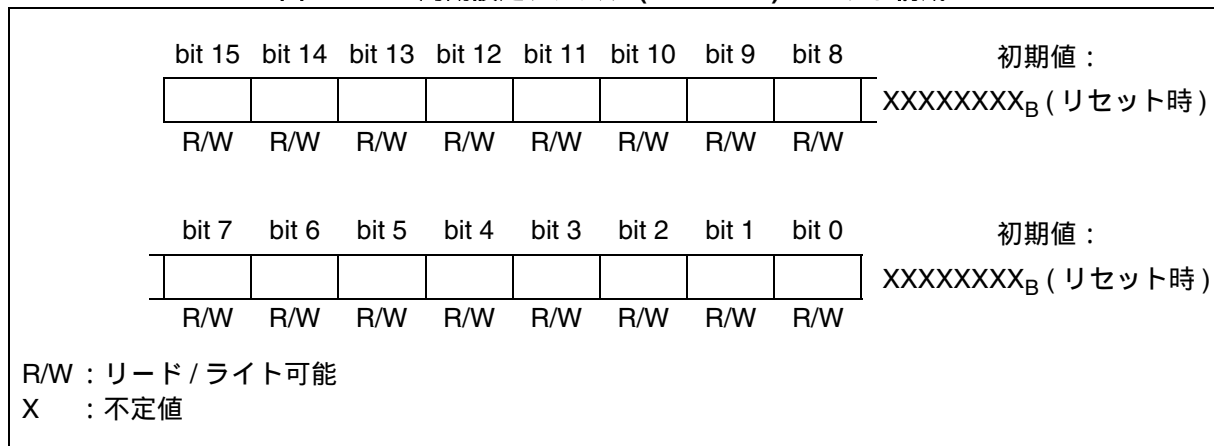
22.8.3.2 周期設定レジスタ (BTxPCSR)

周期設定レジスタ (BTxPCSR) は、カウントの初期値を保持するレジスタです。32 ビットモード時には偶数チャネルの場合は下位 16 ビットのカウント初期値となり、奇数チャネルの場合は上位 16 ビットのカウント初期値となります。リセット時の初期値は不定です。このレジスタへのアクセスは、必ず 16 ビットデータ転送命令で行ってください。

■ 周期設定レジスタ (BTxPCSR) のビット構成

図 22.8-25 に、周期設定レジスタ (BTxPCSR) のビット構成を示します。

図 22.8-25 周期設定レジスタ (BTxPCSR) のビット構成



周期を設定するためのレジスタです。タイマレジスタへの転送はアンダフローで行われます。

- BTxPCSR レジスタは 16 ビットデータでアクセスしてください。
- BTxPCSR レジスタは BTxTMCR レジスタの FMD2, FMD1, FMD0 ビットでリロードタイマ機能の設定後に周期設定をしてください。
- 32 ビットモードで BTxPCSR レジスタにデータを書き込む場合、上位 16 ビットデータ (奇数チャネルのデータ) から先にアクセスした後で、下位 16 ビットデータ (偶数チャネルのデータ) にアクセスしてください。

MB91605A シリーズ

22.8.3.3 タイマレジスタ (BTxTMR)

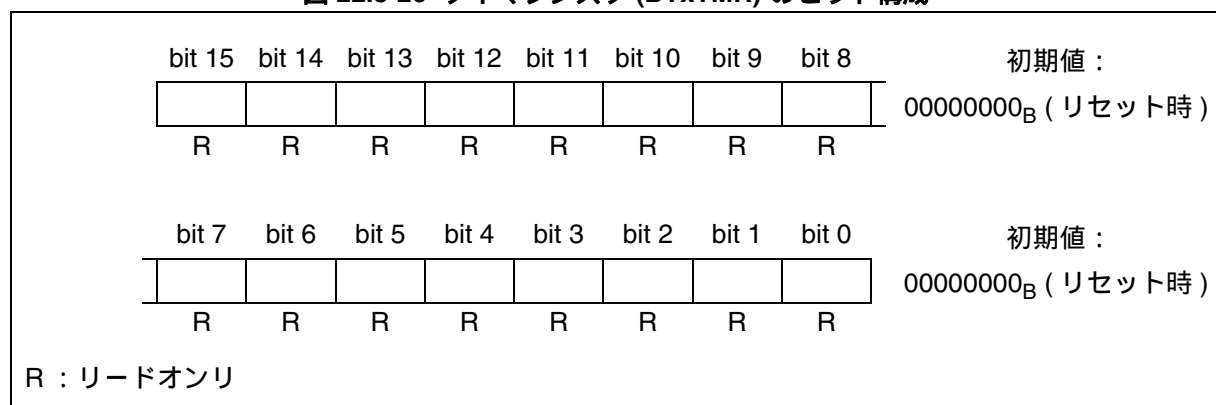
タイマレジスタ (BTxTMR) は、タイマのカウント値を読み出すことができるレジスタです。32 ビットモード時には偶数チャンネルの場合は下位 16 ビットのカウント値となり、奇数チャンネルの場合は上位 16 ビットのカウント値となります。初期値は不定です。

このレジスタの読出しは、必ず 16 ビットデータ転送命令で行ってください。

■ タイマレジスタ (BTxTMR) のビット構成

図 22.8-26 に、タイマレジスタ (BTxTMR) のビット構成を示します。

図 22.8-26 タイマレジスタ (BTxTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

< 注意事項 >

- BTxTMR レジスタは 16 ビットデータでアクセスしてください。
- 32 ビットモードで BTxTMR レジスタを読み出す場合、下位 16 ビットデータ (偶数チャンネルのデータ) から先に読み出した後で、上位 16 ビットデータ (奇数チャンネルのデータ) を読み出してください。

22.8.3.4 16 ビットリロードタイマの動作

リロードタイマ動作では、カウントクロックに同期して周期設定レジスタに設定する値からカウントダウンを実行し、カウント値が "0" となったときにカウントを終了するか、または周期設定を自動でロードしてカウントダウンを停止するまで継続動作します。

■ 内部クロック選択時のカウント動作

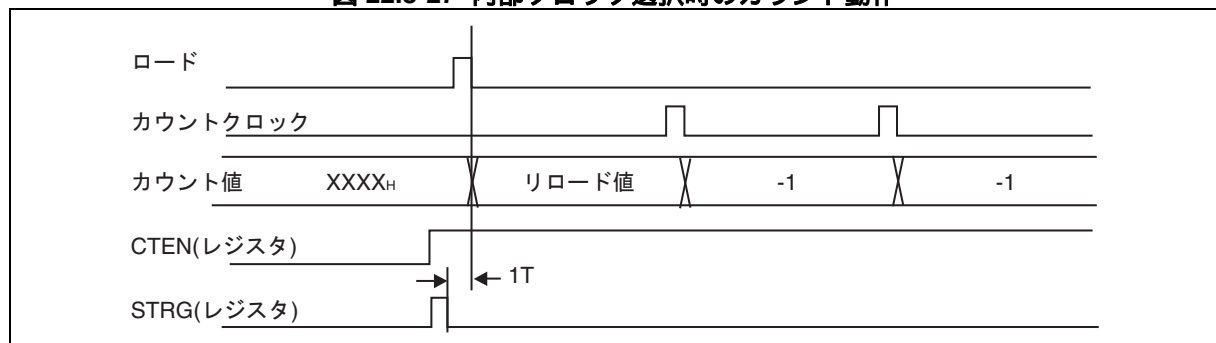
カウント許可と同時にカウント動作を開始したい場合は、タイマ制御レジスタの CTEN ビットと STRG ビットの両方に "1" を書き込んでください。STRG ビットによるトリガ入力は、タイマが起動状態のとき (CNTE=1) は動作モードにかかわらず常に有効です。

カウント動作を許可し、ソフトウェアトリガまたは外部トリガでタイマを起動すると、周期設定レジスタの値をカウンタにロードしてカウントダウンを開始します。

カウンタスタートのトリガがセットされてから周期設定レジスタのデータがカウンタへロードされるまでに、1T (T: 周辺クロック (PCLK) サイクル) の時間がかかります。

図 22.8-27 に、ソフトウェアトリガによるカウンタの起動および動作を示します。

図 22.8-27 内部クロック選択時のカウント動作



MB91605A シリーズ

■ アンダフロー動作

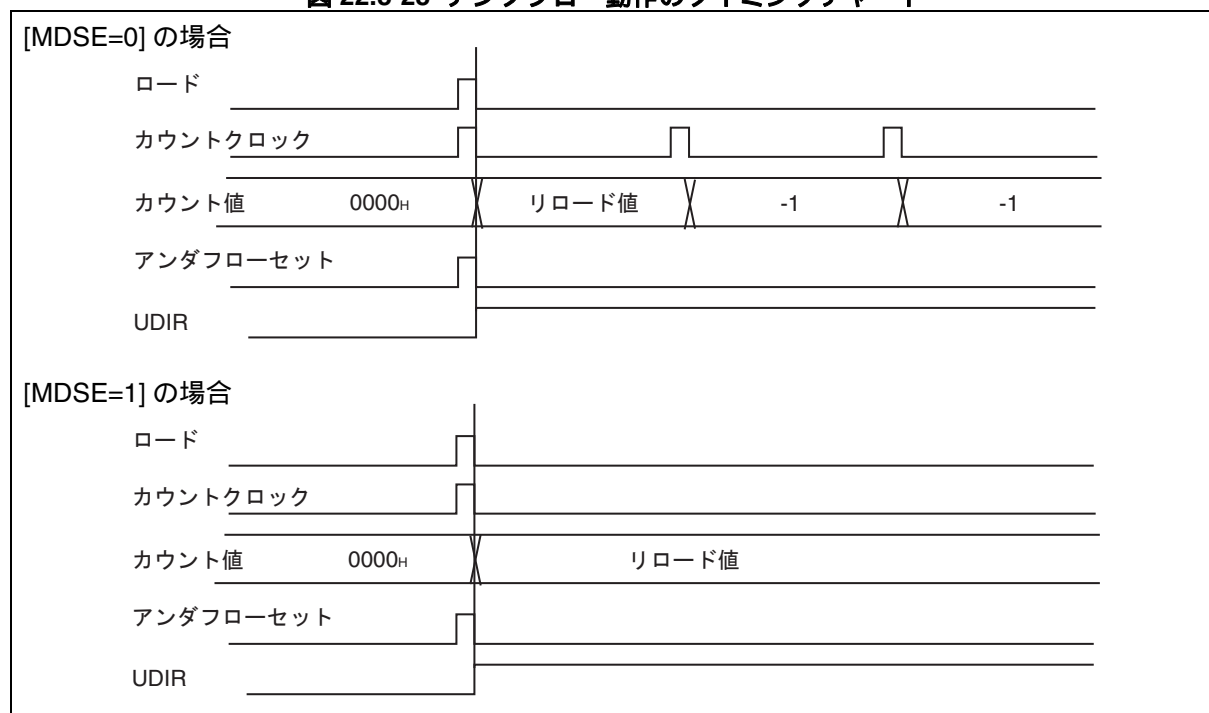
カウンタの値が "0000_H" から "FFFF_H" になる場合をアンダフローとしています。したがって、〔周期設定レジスタの設定値 +1〕カウントでアンダフローが発生します。

アンダフロー発生時に周期設定レジスタ (BTxPCSR) の内容をカウンタへロードして、タイマ制御レジスタ (BTxTMCR) の MDSE ビットが "0" のときはカウント動作を継続します。MDSE ビットが "1" のときは、ロードしたカウンタ値のまま停止します。

アンダフローによりステータス制御レジスタ (BTxSTC) の UDIR ビットがセットされ、UDIE ビットが "1" のときに割込み要求が発生します。

図 22.8-28 に、アンダフロー動作のタイミングチャートを示します。

図 22.8-28 アンダフロー動作のタイミングチャート

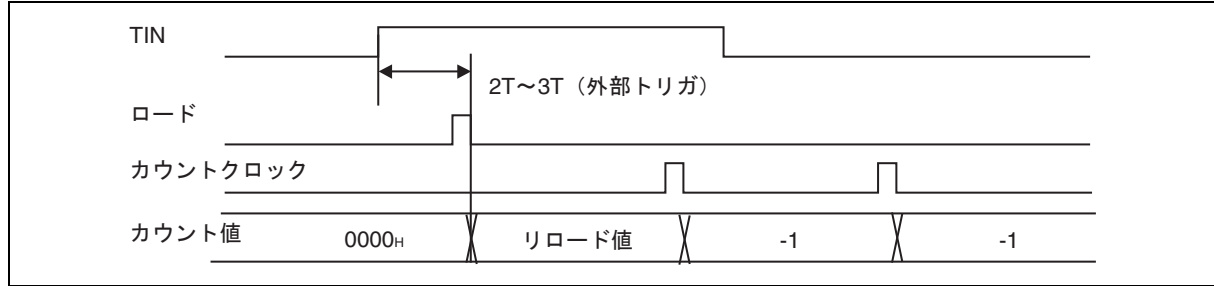


■ 入力端子機能の動作

TIN 端子はトリガ入力として使用することができます。TIN 端子に有効エッジが入力されると周期設定レジスタの内容をカウンタにロードしてカウント動作を開始します。トリガがかかってから、カウンタ値がロードされるまで、 $2T \sim 3T$ (T: 周辺クロック (PCLK) サイクル) を必要とします。

図 22.8-29 に、有効エッジ指定を立上りエッジにした場合のトリガ入力動作を示します。

図 22.8-29 トリガ入力の動作

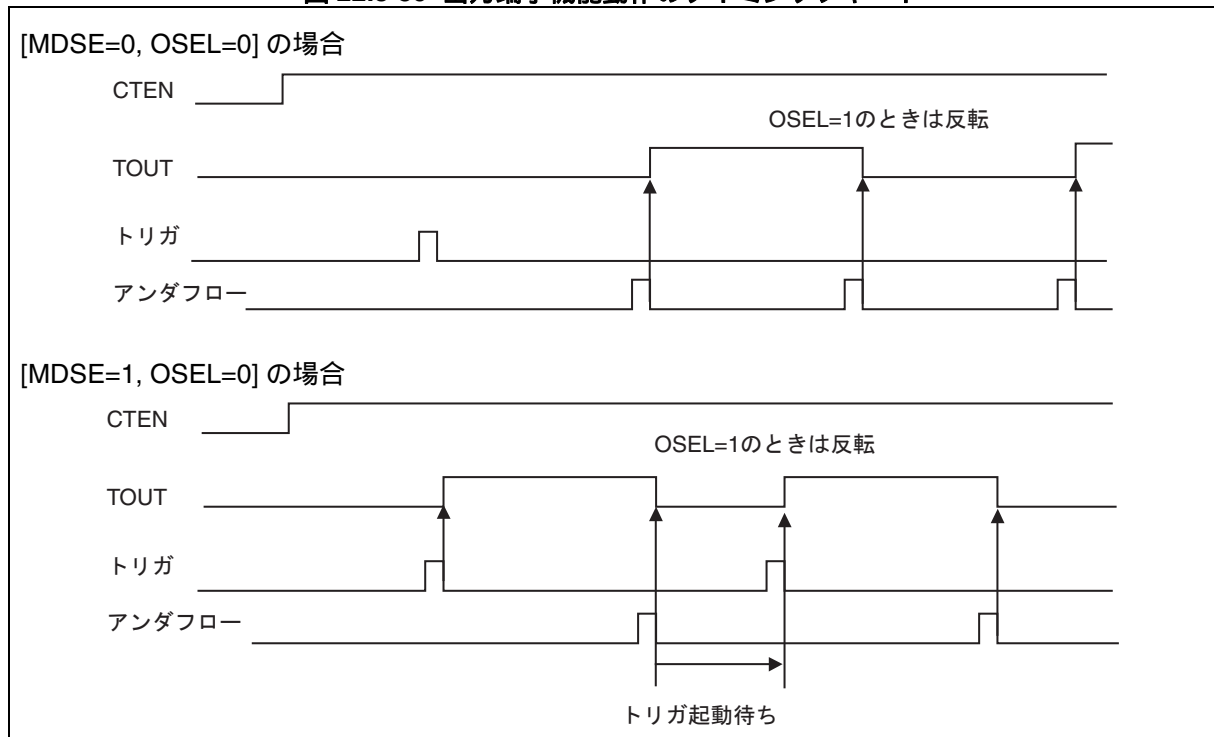


■ 出力端子機能の動作

TOUT 出力端子は、リロードモード時はアンダフローにより反転するトグル出力として、ワンショットモード時はカウント中を示すパルス出力として機能します。出力極性は、タイマ制御レジスタ (BTxTMCr) の OSEL ビットにより設定できます。OSEL=0 の場合、トグル出力は初期値が "0" で、ワンショットパルス出力はカウント中 "1" を出力します。OSEL=1 にすると出力波形は反転します。

図 22.8-30 に、出力端子機能動作のタイミングチャートを示します。

図 22.8-30 出力端子機能動作のタイミングチャート



MB91605A シリーズ

22.8.4 PWC 機能

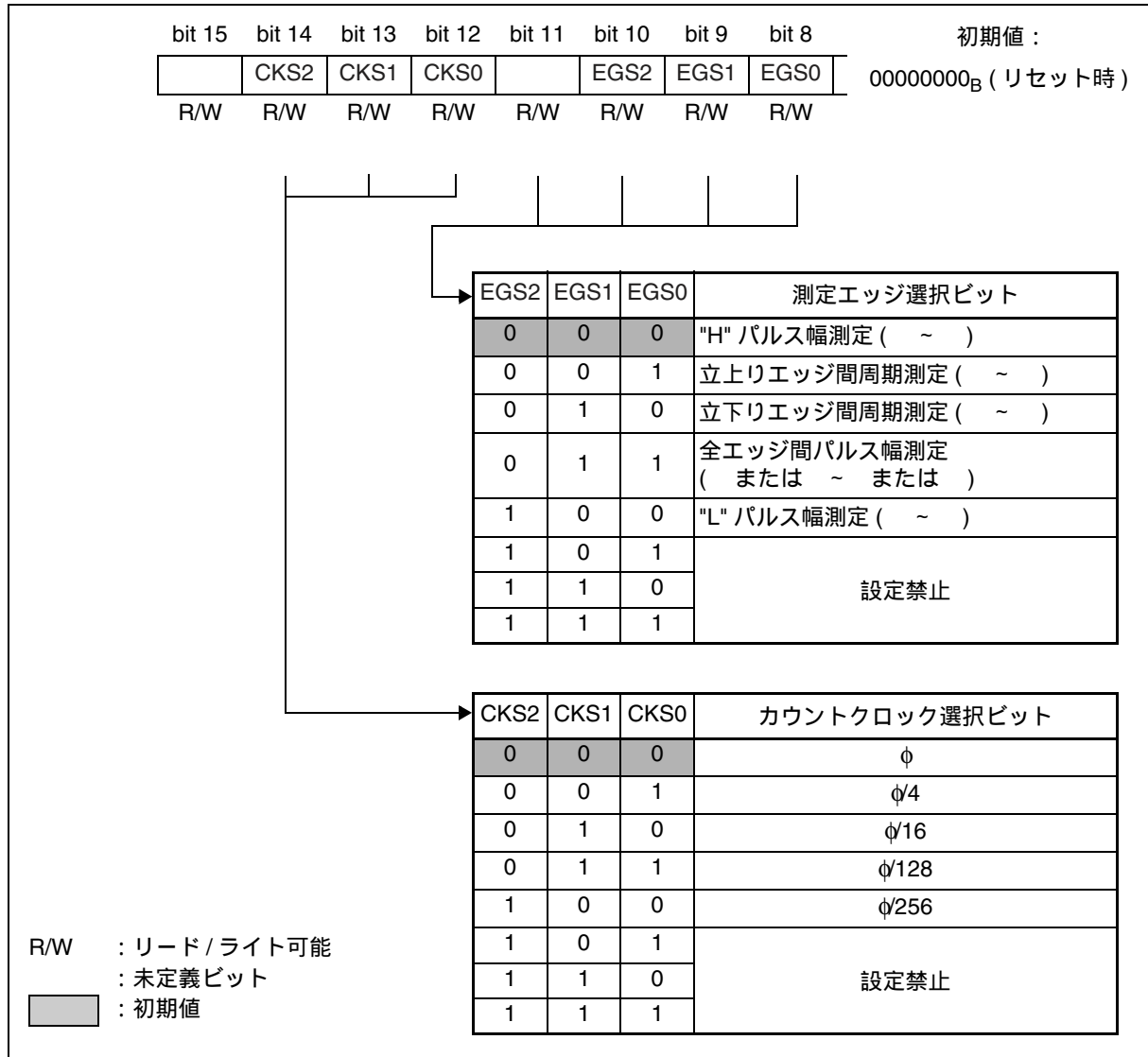
ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PWC を設定したときのタイマ機能の説明を示します。

- PWC タイマ選択時のタイマ制御レジスタ (BTxTMCR)
- データバッファレジスタ (BTxDTBF)
- PWC 動作

22.8.4.1 PWC タイマ選択時のタイマ制御レジスタ (BTxTMCR)

タイマ制御レジスタ (BTxTMCR) は、PWC タイマの動作を制御します。

■ タイマ制御レジスタ (BTxTMCR 上位バイト)

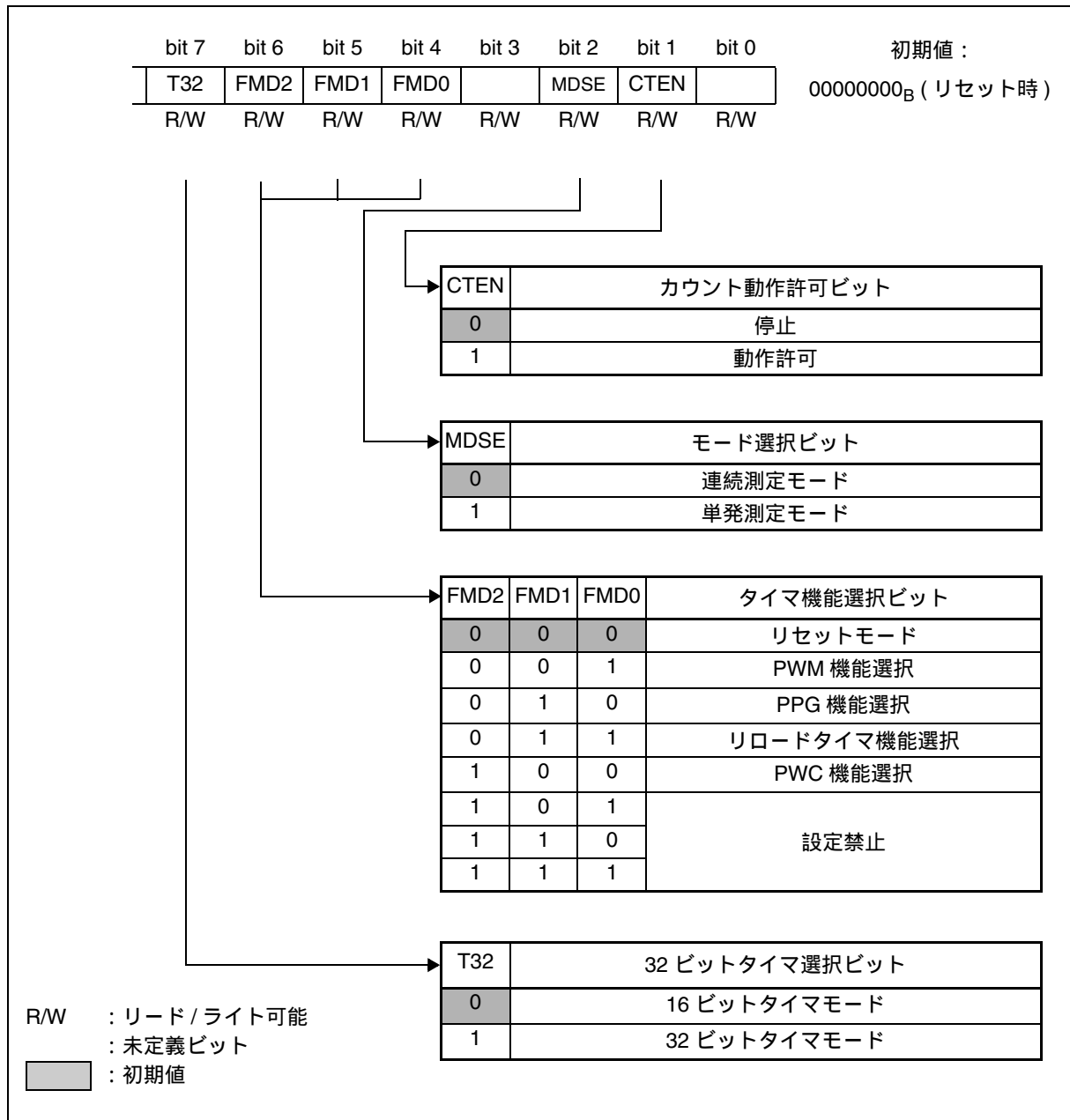


MB91605A シリーズ

表 22.8-10 タイマ制御レジスタ (BTxTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit14 ~ bit12	CKS2, CKS1, CKS0 : カウントクロック 選択ビット	<ul style="list-style-type: none"> 16 ビットアップカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって, CKS2 ~ CKS0の変更はカウント停止状態 (CTEN=0)で行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit10 ~ bit8	EGS2, EGS1, EGS0 : 測定エッジ選択 ビット	<ul style="list-style-type: none"> 測定エッジの条件を設定します。 EGS2, EGS1, EGS0 の変更はカウント停止状態 (CTEN=0)で行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTxTMCR 下位バイト)

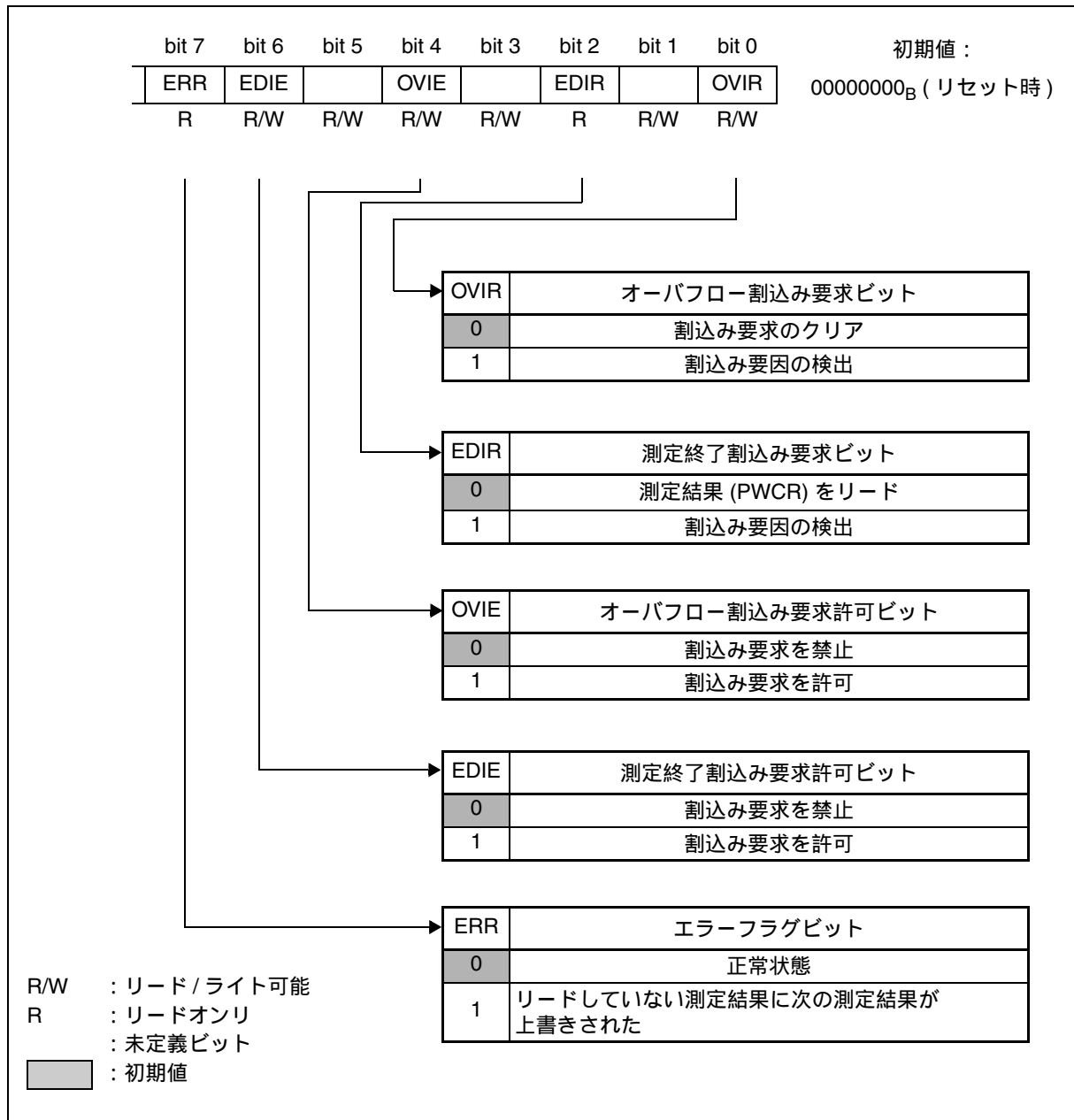


MB91605A シリーズ

表 22.8-11 タイマ制御レジスタ (BTxTMCR 下位バイト)

ビット名		機能									
bit7	T32: 32 ビット タイマ選択 ビット	<ul style="list-style-type: none"> 32 ビットタイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "100_B" を設定して PWC 機能を選択している場合に T32 ビットを "1" に設定すると, 32 ビット PWC モードになります。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です (「22.5 32 ビットモード動作」を参照)。 									
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	<ul style="list-style-type: none"> タイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "100_B" を設定すると PWC 機能が選択されます。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。 									
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。 									
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none"> 測定動作を以下のように選択します <table border="1"> <thead> <tr> <th>MDSE</th><th>モード</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0</td><td>連続測定</td><td>連続測定 : バッファレジスタ有効</td></tr> <tr> <td>1</td><td>単発測定</td><td>1 回測定後に停止</td></tr> </tbody> </table> <ul style="list-style-type: none"> 変更はタイマ停止中 (CTEN=0) に行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。 	MDSE	モード	動作	0	連続測定	連続測定 : バッファレジスタ有効	1	単発測定	1 回測定後に停止
MDSE	モード	動作									
0	連続測定	連続測定 : バッファレジスタ有効									
1	単発測定	1 回測定後に停止									
bit1	CTEN : カウント動作 許可ビット	<ul style="list-style-type: none"> アップカウンタの起動または再起動を許可するビットです。 カウンタが動作許可状態 (CTEN ビットが "1") のときに "1" を書き込むと再起動となりカウンタはクリアされ, 測定開始エッジ待ち状態となります。 カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。 									
bit0	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。 									

■ ステータス制御レジスタ (BTxSTC)



MB91605A シリーズ

表 22.8-12 ステータス制御レジスタ (BTxSTC)

ビット名		機能
bit7	ERR : エラーフラグ ビット	<ul style="list-style-type: none"> 連続測定モード時において、BTxDTB F レジスタの測定結果を読み出さないうちに、次の測定が終了してしまったことを示すフラグです。この場合、BTxDTB F レジスタの値は新しい測定結果に更新されて 1 つ前の測定結果は消失します。 測定は ERR ビット値に関係なく続行されます。 ERR ビットは読出しのみ可能で、書込みしてもビット値には影響しません。 ERR ビットは測定結果 (BTxDTB F) を読出しすることによりクリアされます。
bit6	EDIE : 測定終了割込み 要求許可ビット	<ul style="list-style-type: none"> bit2 :EDIR の割込み要求を制御します。 EDIE ビットが許可されていて bit2 :EDIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit4	OVIE : オーバフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0: OVIR の割込み要求を制御します。 OVIE ビットが許可されていて bit0: OVIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	EDIR : 測定終了割込み 要求ビット	<ul style="list-style-type: none"> 測定終了したことを示し、終了時にフラグが "1" にセットされます。 EDIR ビットは測定結果 (BTxDTB F) を読出しすることによりクリアされます。 EDIR ビットは読出しのみ可能で、書込みしてもビット値には影響しません。
bit1	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit0	OVIR : オーバフロー 割込み要求 ビット	<ul style="list-style-type: none"> カウント値が "FFFF_H" "0000_H" へのオーバフロー時にフラグが "1" にセットされます。 OVIR ビットは "0" 書込みによりクリアされます。 OVIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は、ビット値にかかわらず "1" になります。

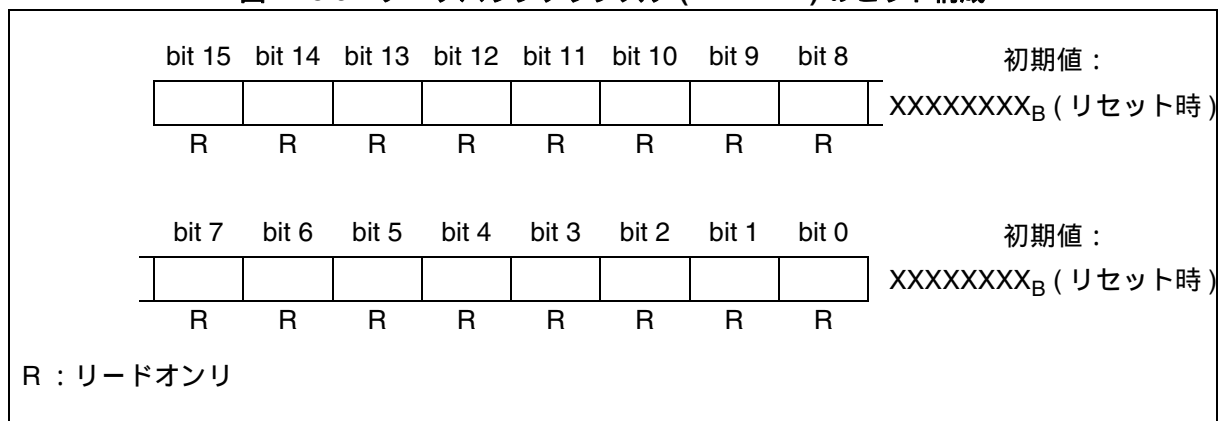
22.8.4.2 データバッファレジスタ (BTxDTBF)

データバッファレジスタ (BTxDTBF) は、PWC タイマの測定値またはカウント値を読み出すことができるレジスタです。32 ビットモード時には偶数チャネルの場合は下位 16 ビットの値となり、奇数チャネルの場合は上位 16 ビットの値となります。このレジスタの読出しは、必ず 16 ビットデータ転送命令で行ってください。

■ データバッファレジスタ (BTxDTBF) のビット構成

図 22.8-31 に、データバッファレジスタ (BTxDTBF) のビット構成を示します。

図 22.8-31 データバッファレジスタ (BTxDTBF) のビット構成



- BTxDTBF レジスタは連続測定モード、ワンショット測定モードのいずれにおいても読出しのみ可能なレジスタです。書き込んでもレジスタ値は変化しません。
- 連続測定モード時 (BTxTMCR:bit3 MDSE=1) は、前回の測定結果を保持するバッファレジスタとなります。
- ワンショット測定モード時 (BTxTMCR: bit3 MDSE=0) は、BTxDTBF レジスタでアップカウンタを直接アクセスします。カウント中も読出し可能で、カウント値を読み出せます。測定終了後は測定結果をそのまま保存します。
- BTxDTBF レジスタは 16 ビットデータでアクセスしてください。

MB91605A シリーズ

22.8.4.3 PWC 動作

PWC タイマには、パルス幅測定機能があり、5 種類のカウントクロックを選択可能で入力パルスの任意イベント間の時間・周期をカウンタで測定できます。以下に、パルス幅測定機能における基本機能 / 動作について示します。

■ パルス幅測定機能

起動後、カウンタを "0000_H" にクリアし、設定した測定開始エッジが入力されるまでカウント動作は行われません。測定開始エッジを検出すると "0001_H" からカウントアップを開始し、測定終了エッジを検出するとカウントを停止します。この間のカウント値がパルス幅としてレジスタに保存されます。

測定終了時、およびオーバフロー発生時に割込み要求が発生できます。

測定終了後は、測定モードに応じて以下のように動作します。

- 単発測定モード時...動作を停止します。
- 連続測定モード時...カウンタ値をバッファレジスタに転送後、再度測定開始エッジが入力されるまでカウントを停止します。

図 22.8-32 パルス幅測定動作 (単発測定モード / "H" 幅測定)

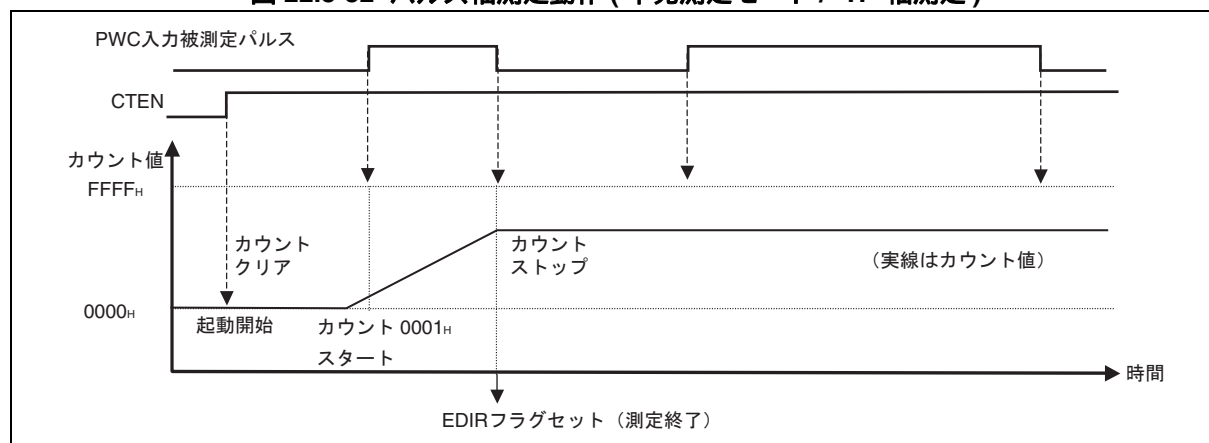
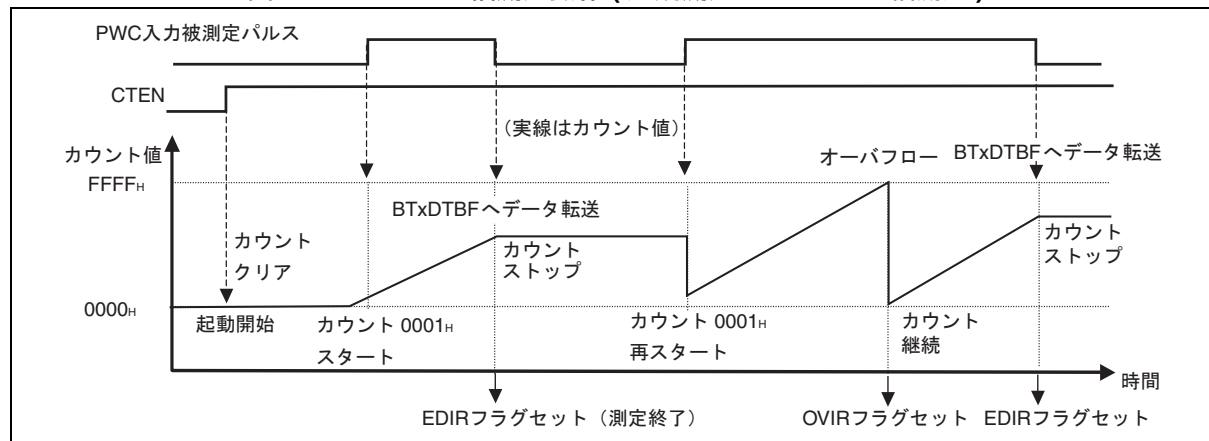


図 22.8-33 パルス幅測定動作 (連続測定モード / "H" 幅測定)



■ カウントクロックの選択

カウンタのカウントクロックは、BTxTMCR レジスタの bit6, bit5, bit4 : CKS2, CKS1, CKS0 の設定によって、5 種類選択することができます。

選択できるカウントクロックは以下のとおりです。

BTxTMCR レジスタ	選択される内部カウントクロック
CKS2, CKS1, CKS0 ビット	
000 _B	周辺クロック (PCLK) [初期値]
001 _B	周辺クロック (PCLK) の 4 分周
010 _B	周辺クロック (PCLK) の 16 分周
011 _B	周辺クロック (PCLK) の 128 分周
100 _B	周辺クロック (PCLK) の 256 分周
101 _B	設定禁止
110 _B	
111 _B	

リセット後の初期値では、周辺クロック (PCLK) が選択されています。

(注意事項) カウントクロックの選択は、必ずカウンタ起動前に行ってください。

MB91605A シリーズ

■ 動作モードの選択

各動作モード / 測定モードの選択は、BTxTMCR の設定により行います。

動作モードの設定... BTxTMCR bit10 ~ bit8 : EGS2, EGS1, EGS0

(測定エッジの選択)

測定モードの設定... BTxTMCR bit2 : MDSE

(単発測定 / 連続測定の選択)

動作モードの選択の一覧を以下に示します。

動作モード		MDSE	EGS2	EGS1	EGS0
~ "H" パルス幅測定	連続測定：バッファ有効	0	0	0	0
	単発測定：バッファ無効	1	0	0	0
~ 立上り間周期測定	連続測定：バッファ有効	0	0	0	1
	単発測定：バッファ無効	1	0	0	1
~ 立下り間周期測定	連続測定：バッファ有効	0	0	1	0
	単発測定：バッファ無効	1	0	1	0
または ~ または 全エッジ間測定	連続測定：バッファ有効	0	0	1	1
	単発測定：バッファ無効	1	0	1	1
~ "L" パルス幅測定	連続測定：バッファ有効	0	1	0	0
	単発測定：バッファ無効	1	1	0	0
設定禁止		0	1	0	1
		1	1	0	1
		0	1	1	0
		1	1	1	0
		0	1	1	1
		1	1	1	1

リセット後の初期値では、"H" パルス幅測定 - 単発測定モードが選択されています。

動作モードの選択は、必ずカウンタ起動前に行ってください。

■ パルス幅測定 of 起動と停止

各動作の起動 / 再起動 / 強制停止は、BTxTMCR の bit1 : CTEN ビットにより行います。パルス幅測定 of 起動 / 再起動は CTEN ビットに "1" を書き込むことにより機能し、強制停止は CTEN ビットに "0" を書き込むことにより機能します。

CTEN	機能
1	パルス幅測定 of 起動 / 再起動
0	パルス幅測定 of 強制停止

■ 起動後の動作

パルス幅測定モード of 起動後の動作は、測定開始エッジが入力されるまでカウントは行われません。測定開始エッジ検出後、16 ビットアップカウンタは "0001_H" からカウントを開始します。

■ 再起動

起動後、動作中に再度起動する (CTEN ビットが "1" の状態で再度 "1" を書き込む) ことを再起動とよびます。再起動すると、以下のような動作が行われます。

- 測定開始エッジ待ち状態の場合 : 動作に影響はありません。
- 測定中の場合 : カウントを "0000_H" にクリアし、再度測定開始エッジ待ち状態となります。この際、測定終了エッジ検出と再起動が同時になると、測定終了フラグ (EDIR) がセットされ、連続測定モード時は測定結果が BTxDTBFB に転送されます。

■ 停止について

単発測定モードでは、カウンタのオーバーフローまたは測定終了により自動的にカウント動作を停止しますので、特に意識する必要はありません。連続測定モードや自動停止する前に停止させたい場合は、強制停止させる必要があります。

■ カウンタ of クリアと初期値

16 ビットアップカウンタは、以下に示す場合に "0000_H" にクリアされます。

- リセット時
- BTxTMCR の bit1 : CTEN ビットに "1" を書き込んだとき (再起動時を含む)

16 ビットアップカウンタは、測定開始エッジ検出時に "0001_H" に初期化されます。

MB91605A シリーズ

■ パルス幅測定動作詳細

● 単発測定と連続測定

パルス幅測定には、1 回だけの測定を行うモードと連続して測定を行うモードがあります。各モードは BTxTMCR の MDSE ビットによって選択します（「22.8.4.3 PWC 動作動作モードの選択」を参照）。両モードにおける相違点は以下のとおりです。

単発測定モード：

1 回目の測定終了エッジが入力されるとカウンタのカウントは停止し、BTxSTC 中の測定終了フラグ (EDIR) がセットされ、以降の測定は行われません。ただし、同時に再起動された場合は測定開始待ち状態となります。

連続測定モード：

測定終了エッジが入力されるとカウンタのカウントは停止し、BTxSTC 中の測定終了フラグ (EDIR) がセットされ、再度測定開始エッジが入力されるまでカウントを停止します。再度、測定開始エッジが入力されるとカウンタを "0001_H" に初期化して測定を開始します。測定終了時、カウンタの測定結果は BTxDTB_F に転送されます。

測定モードの選択 / 変更は、必ずカウンタ停止中に行ってください。

● 測定結果データ

単発測定モードと連続測定モードでは、測定結果とカウンタ値の扱いおよび BTxDTB_F の機能に違いがあります。両モードにおける測定結果の相違点は以下のとおりです。

単発測定モード：

BTxDTB_F を動作中に読み出すと測定中のカウント値が得られます。

BTxDTB_F を測定終了後に読み出すと測定結果データが得られます。

連続測定モード：

測定終了時、カウンタ内の測定結果は BTxDTB_F に転送されます。

BTxDTB_F を読み出すと直前の測定結果が得られ、測定動作中も前回の測定結果を保持しています。測定中のカウント値は読み出せません。

連続測定モードにて、測定結果を読み出さない内に次の測定が終了してしまった場合、前回の測定結果は新しい測定結果に消されてしまいます。この際、BTxSTC 中のエラーフラグ (ERR) がセットされます。エラーフラグ (ERR) は、BTxDTB_F を読み出すと自動的にクリアされます。

測定モードとカウント動作

入力されたパルスのどこを測定するかによって、測定モードは5種類のうちから選択することができます。以下に、それらについて説明します。

測定モード	EGS2, EGS1, EGS0	測定内容 (W : 測定するパルス幅)
"H" パルス幅測定	000 _B	<p>"H" 期間の幅を測定します。 カウント (測定) 開始: 立上りエッジ検出時 カウント (測定) 終了: 立下りエッジ検出時</p>
立上りエッジ間 周期測定	001 _B	<p>立上りエッジ間の周期を測定します。 カウント (測定) 開始: 立上りエッジ検出時 カウント (測定) 終了: 立上りエッジ検出時</p>
立下りエッジ間 周期測定	010 _B	<p>立下りエッジ間の周期を測定します。 カウント (測定) 開始: 立下りエッジ検出時 カウント (測定) 終了: 立下りエッジ検出時</p>
全エッジ間 パルス幅測定	011 _B	<p>連続して入力されるエッジ間の幅を測定します。 カウント (測定) 開始: エッジ検出時 カウント (測定) 終了: エッジ検出時</p>
"L" パルス幅測定	100 _B	<p>"L" 期間の幅を測定します。 カウント (測定) 開始: 立下りエッジ検出時 カウント (測定) 終了: 立上りエッジ検出時</p>

どの測定モードでも、測定起動でカウンタは "0000_H" にクリアされた後、測定開始エッジが入力されるまではカウンタはカウント動作を行いません。測定開始エッジが入力されると、測定終了エッジが入力されるまでの間、カウントクロックごとにアップカウントを続けます。

連続測定モードの場合で、全エッジ間パルス幅測定や周期測定などを行った場合、終了エッジが次の測定開始エッジとなります。

MB91605A シリーズ

● パルス幅 / 周期算出方法

測定終了後、BTxDTBF に得られた測定結果データからの被測定パルス幅 / 周期算出方法は以下のように求められます。

$T_W = n \times t \text{ [ms]}$	T_W : 被測定パルス幅 / 周期 [ms]
	n : BTxDTBF 内の測定結果データ
	t : カウントクロックの周期 [ms]

● 割込み要求発生

2 つの割込み要求を発生することが可能です。

- カウンタのオーバーフローによる割込み要求

測定中、カウントアップによりオーバーフローが発生するとオーバーフローフラグ (OVIR) がセットされ、オーバーフロー割込み要求が許可されていると割込み要求が発生します。

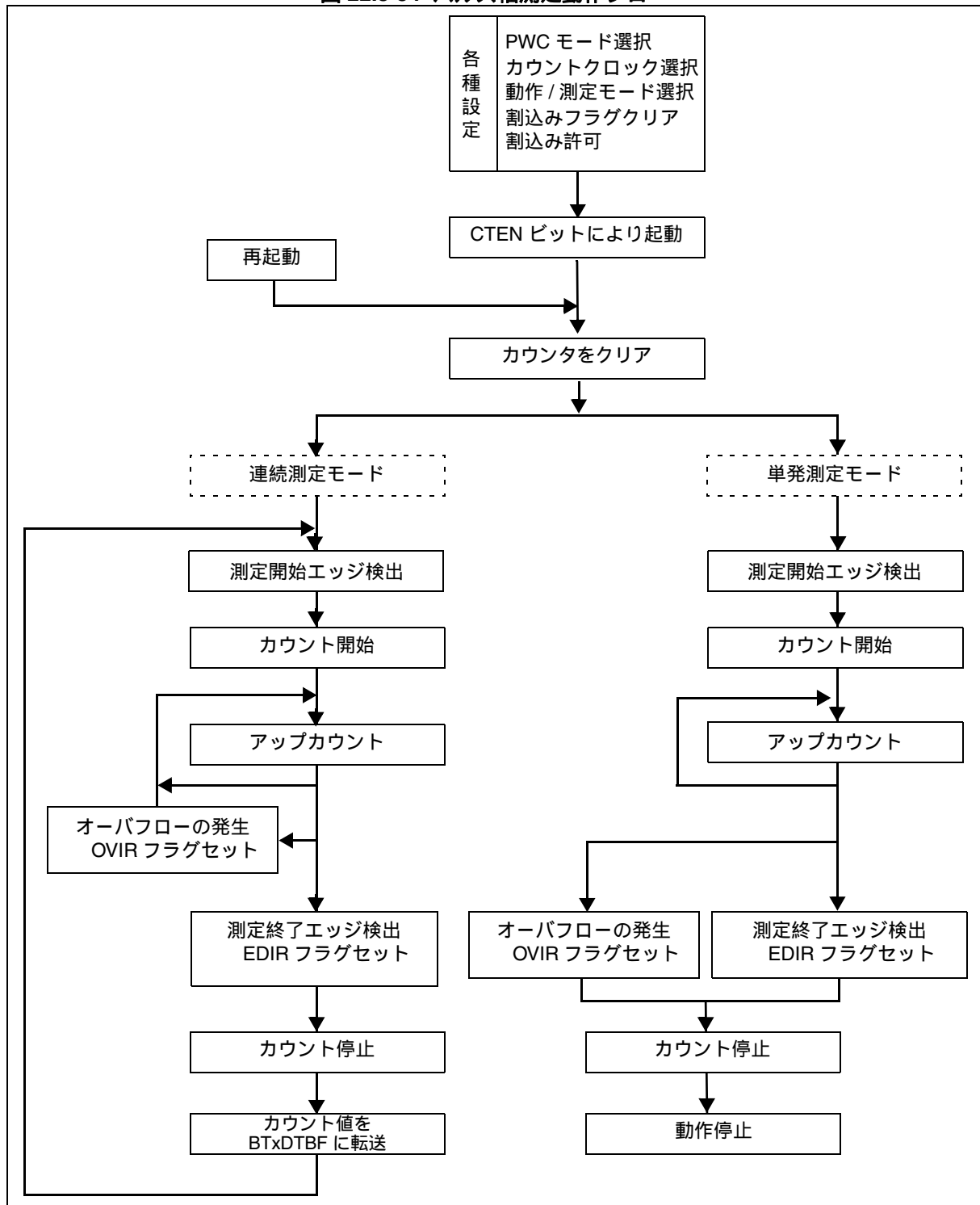
- 測定終了による割込み要求

測定終了エッジを検出すると、BTxSTC 中の測定終了フラグ (EDIR) がセットされ、測定終了割込み要求が許可されていると割込み要求が発生します。

測定終了フラグ (EDIR) は、測定結果 BTxDTBF を読み出すと自動的にクリアされます。

パルス幅測定動作フロー

図 22.8-34 パルス幅測定動作フロー



第 23 章 10 ビット A/D コンバータ

10 ビット A/D コンバータの機能と動作について説明します。

- 23.1 概要
- 23.2 構成
- 23.3 端子
- 23.4 レジスタ
- 23.5 割込み
- 23.6 動作説明

23.1 概要

10 ビット逐次比較変換型 A/D コンバータです。ソフトによる変換起動と外部トリガによる変換起動の 2 つのモードを利用できます。

- 変換時間：約 8.1 μs (サンプルング 5.9 μs , 変換 2.2 μs) fch:@40MHz 時
- A/D 変換結果用レジスタ：各チャンネルごとに用意
- チャンネル・スキャン機能あり

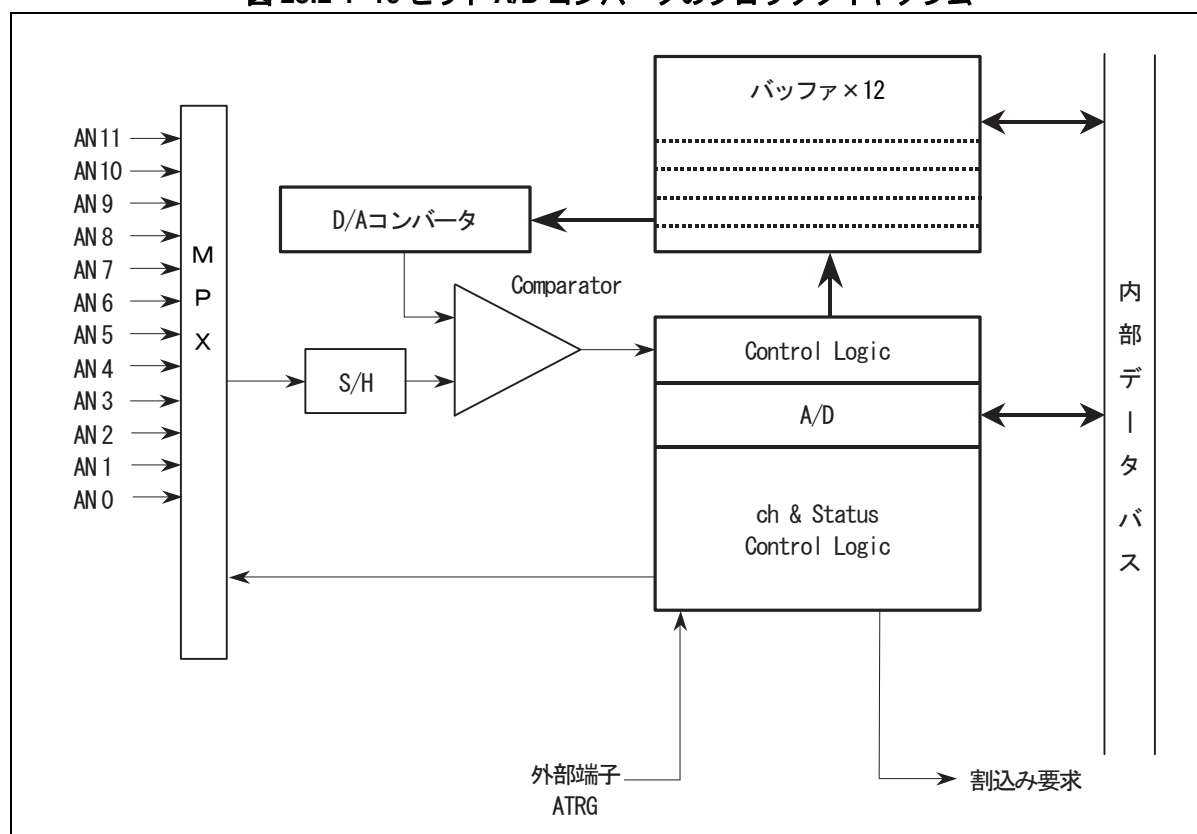
23.2 構成

10 ビット A/D コンバータの構成を示します。

■ 10 ビット A/D コンバータのブロックダイアグラム

10 ビット A/D コンバータのブロックダイアグラムを図 23.2-1 に示します。

図 23.2-1 10 ビット A/D コンバータのブロックダイヤグラム



23.3 端子

10 ビット A/D コンバータで使用する端子について説明します。

■ 概要

10 ビット A/D コンバータには次の端子があります。

- AVCC 端子

10 ビット A/D コンバータのアナログ電源入力端子です。

- AVRH 端子

10 ビット A/D コンバータの基準電圧入力端子です。

- AVSS 端子

10 ビット A/D コンバータの GND 端子です。

- AN0 ~ AN11 端子

10 ビット A/D コンバータのアナログ入力端子です。

この端子は兼用端子です。10 ビット A/D コンバータの AN0 ~ AN11 端子として使用するには「17.4.5 ADER 制御レジスタ (ADER)」を参照してください。

- ATRG 端子

10 ビット A/D コンバータの外部トリガ入力端子です。この端子は兼用端子です。

23.4 レジスタ

10 ビット A/D コンバータで使用するレジスタの構成と機能について説明します。

■ 10 ビット A/D コンバータのレジスタ一覧

10 ビット A/D コンバータのレジスタ一覧を表 23.4-1 に示します。

表 23.4-1 10 ビット A/D コンバータのレジスタ一覧

レジスタ略称	レジスタ名	参照先
ADCTH, ADCTL	A/D 制御レジスタ	23.4.1
ADCH	ソフト変換アナログ入力選択レジスタ	23.4.2
ADAT0	A/D 変換結果レジスタ ch.0	23.4.3
ADAT1	A/D 変換結果レジスタ ch.1	23.4.3
ADAT2	A/D 変換結果レジスタ ch.2	23.4.3
ADAT3	A/D 変換結果レジスタ ch.3	23.4.3
ADAT4	A/D 変換結果レジスタ ch.4	23.4.3
ADAT5	A/D 変換結果レジスタ ch.5	23.4.3
ADAT6	A/D 変換結果レジスタ ch.6	23.4.3
ADAT7	A/D 変換結果レジスタ ch.7	23.4.3
ADAT8	A/D 変換結果レジスタ ch.8	23.4.3
ADAT9	A/D 変換結果レジスタ ch.9	23.4.3
ADAT10	A/D 変換結果レジスタ ch.10	23.4.3
ADAT11	A/D 変換結果レジスタ ch.11	23.4.3

23.4.1 A/D 制御レジスタ (ADCTH, ADCTL)

A/D 制御レジスタ (ADCTH, ADCTL) のビット構成を図 23.4-1 に示します。

図 23.4-1 A/D 制御レジスタ (ADCTH, ADCTL) のビット構成

ADCTH							
bit	15	14	13	12	11	10	9 8
	-	-	-	-	-	-	TRG STR
属性	R	R	R	R	R	R	R/W R/W
初期値	0	0	0	0	0	0	0 0
ADCTL							
bit	7	6	5	4	3	2	1 0
	ASS3	ASS2	ASS1	ASS0	BUSY	-	INT INTE
属性	R	R	R	R	R	R	R/W R/W
初期値	0	0	0	0	0	0	0 0
R/W : リード / ライト可能							
R : リードオンリ							
- : 未使用							

[bit15 ~ bit10] : 未使用ビット

常に "0" が読み出されます。

[bit9] : TRG

TRG=1 のとき外部端子(ATRG)入力の立上りエッジを検出して A/D 変換を起動します。
A/D 変換中にエッジ検出された場合は無視されます。

値	説明
0	外部端子トリガでの起動禁止
1	外部端子トリガでの起動

[bit8] : STR

A/D 変換スタート・ビットです。

値	説明
0	影響なし
1	ソフト起動 / 再起動 (変換中の書込み)

このビットは常に "0" が読み出されます。

[bit7 ~ bit4] : ASS3 ~ ASS0

選択されているアナログチャンネルが読み出せます。
BUSY=1 のときに有効なデータが読み出せます。

値	説明
0000 _B ~ 1011 _B	選択チャンネル
それ以外	設定禁止

[bit3] : BUSY

A/D 変換中を示すフラグです。

値	説明
0	変換中でない
1	変換中

[bit2] : 未使用ビット

常に "0" が読み出されます。

[bit1] : INT

A/D 変換終了フラグです。

値	説明
0	変換なし, または, 変換中
1	変換完了

[bit0] : INTE

A/D 変換割込み許可ビットです。

値	説明
0	割込み禁止
1	割込み許可

INT=1 のとき INTE=1 なら割込み要求を発生します。

23.4.2 ソフト変換アナログ入力選択レジスタ (ADCH)

ソフト変換アナログ入力選択レジスタ (ADCH) のビット構成を図 23.4-2 に示します。

図 23.4-2 ソフト変換アナログ入力選択レジスタ (ADCH) のビット構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	i11	i10	i9	i8	i7	i6	i5	i4	i3	i2	i1	i0
属性	R/W															
初期値	0															
R/W : リード / ライト可能																
- : 未使用																

[bit15 ~ bit12] : 未使用ビット

常に "0" が読み出されます。

[bit11 ~ bit0] : i11 ~ i0

ソフト変換用アナログ入力選択ビットです。

値	説明
0	入力非選択
1	入力選択

複数の入力を選択されている場合には、選択されている入力すべてに対し順次、変換されます。

23.4.3 A/D 変換結果レジスタ ch.0 ~ ch.11(ADAT0 ~ ADAT11)

A/D 変換結果レジスタ ch.0 ~ ch.11(ADAT0 ~ ADAT11) のビット構成を図 23.4-3 に示します。

図 23.4-3 A/D 変換結果レジスタ ch.0 ~ ch.11(ADAT0 ~ ADAT11) のビット構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	"0"	"0"	"0"	"0"	"0"	"0"	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0
属性	R															
初期値	0															
R：リードオンリ																

[bit15 ~ bit10] : 未使用ビット

常に "0" が読み出されます。

[bit9 ~ bit0] : d9 ~ d0

各チャネルに対応した A/D 変換結果が格納されます。

23.5 割込み

A/D 変換が完了したときに割込み要求を発生できます。

■ 概要

割込み要求が発生する条件を表 23.5-1 に示します。

表 23.5-1 割込み要求発生条件

割込み要求	A/D 変換完了割込み要求
割込み要求フラグ	A/D 制御レジスタ (ADCTL) の INT=1
割込み要求許可	A/D 制御レジスタ (ADCTL) の INTE=1
割込み要求のクリア	A/D 制御レジスタ (ADCTL) の INT ビットに "0" を書き込む

< 注意事項 >

- 割込み要求フラグが"1"のときに割込み要求の発生を許可すると割込みを許可した時点で、割込み要求が発生します。
割込み要求の発生を許可する場合は、次のいずれかの処理を行ってください。
 - 割込み要求の発生を許可する前に割込み要求をクリアする。
 - 割込み許可と同時に割込み要求をクリアする。
- 割込み要求は割込み要求の発生を禁止してからクリアするか、割込み処理ルーチン内でクリアしてください。
- 各割込み要求の割込みベクタ番号については、「付録 C 割込みベクタ」を参照してください。
- 割込みベクタ番号に対応する割込みレベルは、割込みコントロールレジスタ (ICR00 ~ ICR47) で設定します。割込みレベルの設定については、「第 12 章 割込みコントロール」を参照してください。

23.6 動作説明

10 ビット A/D コンバータの動作について説明します。

■ ソフト変換による A/D 動作

ソフト変換による A/D 変換を行うには、まず、アナログ入力端子 AN0 ~ AN11 の 12 本のうちから必要なチャンネルを選択します。ADCH レジスタの対応するビットに "1" を書き込むことより有効となります。

● 単一チャンネルの場合

変換用アナログ入力端子として 1 チャンネルのみを選択した場合、ADCTH レジスタの STR ビットに "1" を書き込むことにより、ソフト変換動作が開始され、ADCTL レジスタの BUSY ビットは "1" にセットされます。

変換動作中に STR ビットに再度 "1" を書き込むと変換動作は初期化され、再び変換が開始されます。

A/D 変換動作が終了すると、ADCTL レジスタの BUSY ビットは "0" にリセットされ、ADCTL レジスタの INT ビットは "1" にセットされます。これらのステータス・ビットを読むことにより変換動作の終了を判別することができます。また、変換完了の割り込みを発生したい場合は、ADCTL レジスタの INTE ビットを "1" にしておきます。

● 複数チャンネルの場合 (スキャン変換)

変換用アナログ入力端子として複数のチャンネルを選択した場合、自動的に各チャンネル選択の有無を調べ、順次チャンネル切替えと A/D 変換を起動し、変換結果を各チャンネルに対応したレジスタへ格納します。

変換したいチャンネルに対応する ADCH レジスタのビットに "1" を書き込み、ADCTH レジスタの STR ビットに "1" を書き込むことにより、変換動作を開始します。このとき ADCTL レジスタの BUSY ビットは "1" にセットされます。変換チャンネルは 0 から 11 の順で選択されます。ADCH レジスタで選択されていないチャンネルは変換を行わず、次に選択されているチャンネルの変換に移ります。

変換動作中に STR ビットに再度 "1" を書き込むと変換動作は初期化され、再びチャンネル 0 から 11 の順で選択されたチャンネルの変換を開始します。

選択したすべてのチャンネルの A/D 変換動作が終了すると、ADCTL レジスタの BUSY ビットは "0" にリセットされ、ADCTL レジスタの INT ビットは "1" にセットされます。また、変換完了の割り込みを発生したい場合は、ADCTL レジスタの INTE ビットを "1" にしておきます。

A/D 変換された結果は、各チャンネルのレジスタに格納されます。

■ 外部トリガ変換による A/D 動作

外部トリガ起動を許可した場合 (ADCTH:TRG=1) には、外部端子 (ATRГ) 入力の立上りエッジを検出して A/D 変換を開始します。外部トリガ許可の状態でソフト起動した場合も起動します。また、A/D 起動中に再度外部端子 (ATRГ) 入力の立上りエッジを検出した場合には変換動作は継続されエッジは無視されます。

< 注意事項 >

低消費電力モードのストップモードに入れる場合は、A/D 変換動作が停止しているときに入れてください。

第 24 章 マルチファンクションシリアルインタフェース

マルチファンクションシリアルインタフェースの機能と動作について説明します。

- 24.1 マルチファンクションシリアルインタフェースの特長
- 24.2 UART(非同期シリアルインタフェース)
- 24.3 UART(非同期シリアルインタフェース) の概要
- 24.4 UART(非同期シリアルインタフェース) のレジスタ
- 24.5 UART の割込み
- 24.6 UART の動作
- 24.7 専用ボーレートジェネレータ
- 24.8 動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー
- 24.9 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー
- 24.10 UART モードの注意事項
- 24.11 CSIO(クロック同期シリアルインタフェース)
- 24.12 CSIO(クロック同期シリアルインタフェース) の概要
- 24.13 CSIO(クロック同期シリアルインタフェース) のレジスタ
- 24.14 CSIO(クロック同期シリアルインタフェース) の割込み
- 24.15 CSIO(クロック同期シリアルインタフェース) の動作
- 24.16 専用ボーレートジェネレータ
- 24.17 CSIO(クロック同期シリアルインタフェース) 設定手順とプログラムフロー
- 24.18 CSIO モードの注意事項
- 24.19 I²C インタフェース
- 24.20 I²C インタフェースの概要
- 24.21 I²C インタフェースのレジスタ

- 24.22 I²C インタフェースの割込み
- 24.23 専用ボーレートジェネレータ
- 24.24 I²C モードの注意事項

MB91605A シリーズ

24.1 マルチファンクションシリアルインタフェースの特長

マルチファンクションシリアルインタフェースには以下の特長があります。

■ インタフェースモード

マルチファンクションシリアルインタフェースは動作モードの設定により、以下のインタフェースモードを選択可能です。

- UART0 (非同期ノーマルシリアルインタフェース)
- UART1 (非同期マルチプロセッサシリアルインタフェース)
- CSIO (クロック同期式シリアルインタフェース) (SPI に対応可能)
- I²C (I²C バスインタフェース)

■ インタフェースモードの切換え

各シリアルインタフェースで通信を行う場合には、表 24.1-1 のシリアルモードレジスタ (SMR) で動作モードを設定してから通信を開始します。

表 24.1-1 インタフェースモードの切換え

MD2	MD1	MD0	インタフェースモード
0	0	0	UART0 (非同期ノーマルシリアルインタフェース)
0	0	1	UART1 (非同期マルチプロセッサシリアルインタフェース)
0	1	0	CSIO (クロック同期式シリアルインタフェース) (SPI に対応可能)
1	0	0	I ² C (I ² C バスインタフェース)

(注意事項) 上記以外は設定禁止です。

< 注意事項 >

- 1つのシリアルインタフェースで送信あるいは受信動作中にモードの切換えを行った場合の送受信に関する動作の保証はできません。
- 動作モードを変更すると、ほかのレジスタは初期化されますので動作モードは最初に設定してください。ただし、16 ビット書込みで SCR と SMR を同時に書き込んだとき、SCR には書き込んだ内容が反映されます。

■ チャネル数

本製品はマルチファンクションシリアルインタフェースを 12 チャネル内蔵しています。

ch.0 には I²C 機能はありません。

■ 送受信 FIFO

16 バイトの送信用 FIFO と 16 バイトの受信用 FIFO を搭載しています。以降の説明における FIFO 段数は 16 バイトに読み換えてください。

ch.8 ~ ch.11 には FIFO はありません。

MB91605A シリーズ

24.2 UART(非同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの機能のうち、動作モード 0, 1 でサポートしている UART 機能について説明します。

- UART(非同期シリアルインタフェース)
- UART(非同期シリアルインタフェース) の概要
- UART(非同期シリアルインタフェース) のレジスタ
 - シリアル制御レジスタ (SCR)
 - シリアルモードレジスタ (SMR)
 - シリアルステータスレジスタ (SSR)
 - 拡張通信制御レジスタ (ESCR)
 - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
 - FIFO 制御レジスタ 1(FCR1)
 - FIFO 制御レジスタ 0(FCR0)
 - FIFO バイトレジスタ (FBYTE1/FBYTE2)
- UART の割込み
 - 受信割込み発生とフラグセットのタイミング
 - 受信 FIFO 使用時の割込み発生とフラグセットの タイミング
 - 送信割込み発生とフラグセットのタイミング
 - 送信 FIFO 使用時の割込み発生とフラグセットの タイミング
- UART の動作
- 専用ボーレートジェネレータ
 - ボーレート設定
- 動作モード 0 (非同期 ノーマルモード) 設定手順と プログラムフロー
- 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー

24.3 UART(非同期シリアルインタフェース) の概要

UART(非同期シリアルインタフェース) は , 外部装置と非同期通信 (調歩同期) をするための汎用のシリアルデータ通信インタフェースです。双方向通信機能 (ノーマルモード) , マスタ / スレーブ型通信機能 (マルチプロセッサモード : マスタ / スレーブ両方サポート) をサポートしています。また , 送信 / 受信用の FIFO を搭載しています。

■ UART(非同期シリアルインタフェース) の機能

		機能
1	データ	<ul style="list-style-type: none"> 全二重ダブルバッファ (FIFO 未使用時) 送信 / 受信 FIFO (サイズ最大各 16 バイト) (FIFO 使用時) ^{*1}
2	シリアル入力	3 回オーバーサンプリングを行い , サンプル値の多数決により受信値を決定します。
3	転送形式	非同期
4	ボーレート	<ul style="list-style-type: none"> 専用ボーレートジェネレータ (15 ビットリロードカウンタ構成) 外部クロック入力をリロードカウンタで調節可能。
5	データ長	5 ビット ~ 9 ビット (ノーマルモード時) , 7 ビット , 8 ビット (マルチプロセッサモード時)
6	信号方式	NRZ (Non Return to Zero) , 反転 NRZ
7	スタートビット検出	<ul style="list-style-type: none"> スタートビット立下りエッジに同期 (NRZ 方式の場合) スタートビット立上りエッジに同期 (反転 NRZ 方式の場合)
8	受信エラー検出	<ul style="list-style-type: none"> フレーミングエラー オーバランエラー パリティエラー ^{*2}
9	割込み要求	<ul style="list-style-type: none"> 受信割込み (受信完了 , フレーミングエラー , オーバランエラー , パリティエラー ^{*2}) 送信割込み (送信データエンプティ , 送信バスアイドル) 送信 FIFO 割込み (送信 FIFO がエンプティのとき) 送受信 DMA 転送サポート機能あり
10	マスタ / スレーブ型通信機能 (マルチプロセッサモード)	1 (マスタ) 対 n (スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)
11	FIFO オプション	<ul style="list-style-type: none"> 送受信 FIFO 搭載 (最大容量 : 送信 FIFO 16 バイト , 受信 FIFO 16 バイト) ^{*1} 送信 FIFO と受信 FIFO を選択可能 送信データ再送可能 受信 FIFO 割込みタイミングをソフトで変更可能 独立して FIFO リセットサポート

*1: ch.8 ~ ch.11 には FIFO はありません。

*2: パリティエラーはノーマルモード時のみ。

MB91605A シリーズ

24.4 UART(非同期シリアルインタフェース) のレジスタ

UART(非同期シリアルインタフェース) のレジスタ一覧を示します。

■ UART(非同期シリアルインタフェース) のレジスタ一覧

表 24.4-1 UART(非同期シリアルインタフェース) のレジスタ一覧 <Helvetica>(1 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
0	SCR0	シリアル制御レジスタ 0	24.4.1
	SMR0	シリアルモードレジスタ 0	24.4.2
	ESCR0	拡張通信制御レジスタ 0	24.4.4
	BGR0	ボーレートジェネレータレジスタ 0	24.4.6
	SSR0	シリアルステータスレジスタ 0	24.4.3
	RDR0	受信データレジスタ 0	24.4.5
	TDR0	送信データレジスタ 0	24.4.5
	FCR10	FIFO 制御レジスタ 10	24.4.7
	FCR00	FIFO 制御レジスタ 00	24.4.8
	FBYTE10	FIFO1 バイトレジスタ 0	24.4.9
	FBYTE20	FIFO2 バイトレジスタ 0	24.4.9
1	SCR1	シリアル制御レジスタ 1	24.4.1
	SMR1	シリアルモードレジスタ 1	24.4.2
	ESCR1	拡張通信制御レジスタ 1	24.4.4
	BGR1	ボーレートジェネレータレジスタ 1	24.4.6
	SSR1	シリアルステータスレジスタ 1	24.4.3
	RDR1	受信データレジスタ 1	24.4.5
	TDR1	送信データレジスタ 1	24.4.5
	FCR11	FIFO 制御レジスタ 11	24.4.7
	FCR01	FIFO 制御レジスタ 01	24.4.8
	FBYTE11	FIFO1 バイトレジスタ 1	24.4.9
	FBYTE21	FIFO2 バイトレジスタ 1	24.4.9
2	SCR2	シリアル制御レジスタ 2	24.4.1
	SMR2	シリアルモードレジスタ 2	24.4.2
	ESCR2	拡張通信制御レジスタ 2	24.4.4
	BGR2	ボーレートジェネレータレジスタ 2	24.4.6
	SSR2	シリアルステータスレジスタ 2	24.4.3
	RDR2	受信データレジスタ 2	24.4.5
	TDR2	送信データレジスタ 2	24.4.5
	FCR12	FIFO 制御レジスタ 12	24.4.7
	FCR02	FIFO 制御レジスタ 02	24.4.8
	FBYTE12	FIFO1 バイトレジスタ 2	24.4.9
	FBYTE22	FIFO2 バイトレジスタ 2	24.4.9

MB91605A シリーズ

表 24.4-1 UART(非同期シリアルインタフェース) のレジスタ一覧 <Helvetica>(2 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
3	SCR3	シリアル制御レジスタ 3	24.4.1
	SMR3	シリアルモードレジスタ 3	24.4.2
	ESCR3	拡張通信制御レジスタ 3	24.4.4
	BGR3	ボーレートジェネレータレジスタ 3	24.4.6
	SSR3	シリアルステータスレジスタ 3	24.4.3
	RDR3	受信データレジスタ 3	24.4.5
	TDR3	送信データレジスタ 3	24.4.5
	FCR13	FIFO 制御レジスタ 13	24.4.7
	FCR03	FIFO 制御レジスタ 03	24.4.8
	FBYTE13	FIFO1 バイトレジスタ 3	24.4.9
	FBYTE23	FIFO2 バイトレジスタ 3	24.4.9
4	SCR4	シリアル制御レジスタ 4	24.4.1
	SMR4	シリアルモードレジスタ 4	24.4.2
	ESCR4	拡張通信制御レジスタ 4	24.4.4
	BGR4	ボーレートジェネレータレジスタ 4	24.4.6
	SSR4	シリアルステータスレジスタ 4	24.4.3
	RDR4	受信データレジスタ 4	24.4.5
	TDR4	送信データレジスタ 4	24.4.5
	FCR14	FIFO 制御レジスタ 14	24.4.7
	FCR04	FIFO 制御レジスタ 04	24.4.8
	FBYTE14	FIFO1 バイトレジスタ 4	24.4.9
	FBYTE24	FIFO2 バイトレジスタ 4	24.4.9
5	SCR5	シリアル制御レジスタ 5	24.4.1
	SMR5	シリアルモードレジスタ 5	24.4.2
	ESCR5	拡張通信制御レジスタ 5	24.4.4
	BGR5	ボーレートジェネレータレジスタ 5	24.4.6
	SSR5	シリアルステータスレジスタ 5	24.4.3
	RDR5	受信データレジスタ 5	24.4.5
	TDR5	送信データレジスタ 5	24.4.5
	FCR15	FIFO 制御レジスタ 15	24.4.7
	FCR05	FIFO 制御レジスタ 05	24.4.8
	FBYTE15	FIFO1 バイトレジスタ 5	24.4.9
	FBYTE25	FIFO2 バイトレジスタ 5	24.4.9

MB91605A シリーズ

表 24.4-1 UART(非同期シリアルインタフェース) のレジスタ一覧 <Helvetica>(3 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
6	SCR6	シリアル制御レジスタ 6	24.4.1
	SMR6	シリアルモードレジスタ 6	24.4.2
	ESCR6	拡張通信制御レジスタ 6	24.4.4
	BGR6	ボーレートジェネレータレジスタ 6	24.4.6
	SSR6	シリアルステータスレジスタ 6	24.4.3
	RDR6	受信データレジスタ 6	24.4.5
	TDR6	送信データレジスタ 6	24.4.5
	FCR16	FIFO 制御レジスタ 16	24.4.7
	FCR06	FIFO 制御レジスタ 06	24.4.8
	FBYTE16	FIFO1 バイトレジスタ 6	24.4.9
	FBYTE26	FIFO2 バイトレジスタ 6	24.4.9
7	SCR7	シリアル制御レジスタ 7	24.4.1
	SMR7	シリアルモードレジスタ 7	24.4.2
	ESCR7	拡張通信制御レジスタ 7	24.4.4
	BGR7	ボーレートジェネレータレジスタ 7	24.4.6
	SSR7	シリアルステータスレジスタ 7	24.4.3
	RDR7	受信データレジスタ 7	24.4.5
	TDR7	送信データレジスタ 7	24.4.5
	FCR17	FIFO 制御レジスタ 17	24.4.7
	FCR07	FIFO 制御レジスタ 07	24.4.8
	FBYTE17	FIFO1 バイトレジスタ 7	24.4.9
	FBYTE27	FIFO2 バイトレジスタ 7	24.4.9
8	SCR8	シリアル制御レジスタ 8	24.4.1
	SMR8	シリアルモードレジスタ 8	24.4.2
	ESCR8	拡張通信制御レジスタ 8	24.4.4
	BGR8	ボーレートジェネレータレジスタ 8	24.4.6
	SSR8	シリアルステータスレジスタ 8	24.4.3
	RDR8	受信データレジスタ 8	24.4.5
	TDR8	送信データレジスタ 8	24.4.5
9	SCR9	シリアル制御レジスタ 9	24.4.1
	SMR9	シリアルモードレジスタ 9	24.4.2
	ESCR9	拡張通信制御レジスタ 9	24.4.4
	BGR9	ボーレートジェネレータレジスタ 9	24.4.6
	SSR9	シリアルステータスレジスタ 9	24.4.3
	RDR9	受信データレジスタ 9	24.4.5
	TDR9	送信データレジスタ 9	24.4.5

MB91605A シリーズ

表 24.4-1 UART(非同期シリアルインタフェース) のレジスタ一覧 <Helvetica>(4 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
10	SCRA	シリアル制御レジスタ A	24.4.1
	SMRA	シリアルモードレジスタ A	24.4.2
	ESCRA	拡張通信制御レジスタ A	24.4.4
	BGRA	ボーレートジェネレータレジスタ A	24.4.6
	SSRA	シリアルステータスレジスタ A	24.4.3
	RDRA	受信データレジスタ A	24.4.5
	TDRA	送信データレジスタ A	24.4.5
11	SCRB	シリアル制御レジスタ B	24.4.1
	SMRB	シリアルモードレジスタ B	24.4.2
	ESCRB	拡張通信制御レジスタ B	24.4.4
	BGRB	ボーレートジェネレータレジスタ B	24.4.6
	SSRB	シリアルステータスレジスタ B	24.4.3
	RDRB	受信データレジスタ B	24.4.5
	TDRB	送信データレジスタ B	24.4.5

MB91605A シリーズ

表 24.4-2 UART (非同期シリアルインタフェース) ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/SMR	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SBL	BDS	SCKE	SOE
SSR/ ESCR	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	-	ESBL	INV	PEN	P	L2	L1	L0
RDR/TDR	-							D8 (AD)	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
-	-							-								
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

■ 動作モード

UART(非同期シリアルインタフェース) は , 2 つの異なるモードで動作します。シリアルモードレジスタ (SMR) の MD2, MD1, MD0 によって決定されます。

表 24.4-3 UART(非同期シリアルインタフェース) の動作モード

動作モード	MD2	MD1	MD0	種類
0	0	0	0	UART0 (非同期 ノーマルモード)
1	0	0	1	UART1 (非同期 マルチプロセッサモード)

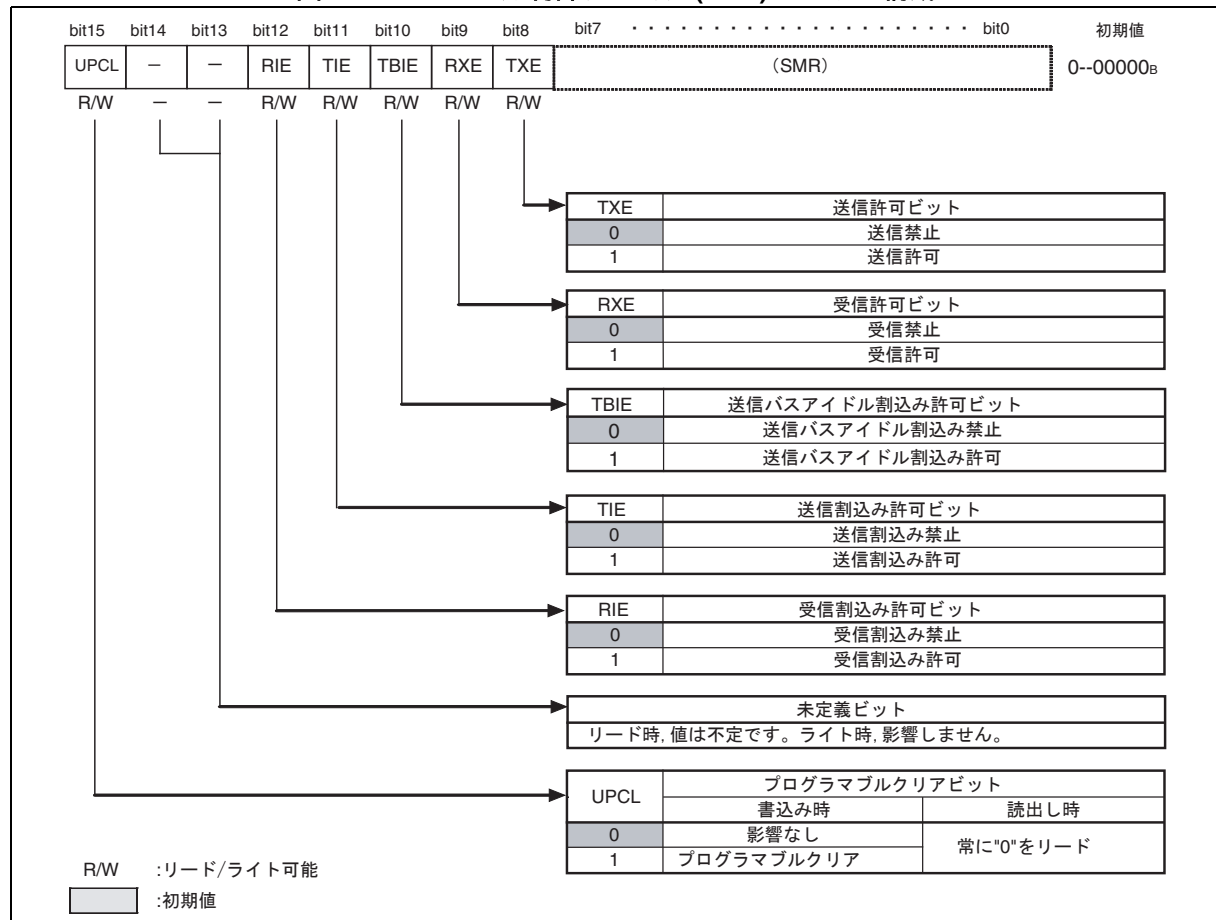
24.4.1 シリアル制御レジスタ (SCR)

シリアル制御レジスタ (SCR) は、送受信の許可 / 禁止、送受信割込みの許可 / 禁止、送信バスアイドル割込みの許可 / 禁止、UART リセットをすることができます。

■ シリアル制御レジスタ (SCR)

図 24.4-1 にシリアル制御レジスタ (SCR) のビット構成を、表 24.4-4 に各ビットの機能を示します。

図 24.4-1 シリアル制御レジスタ (SCR) のビット構成



MB91605A シリーズ

表 24.4-4 シリアル制御レジスタ (SCR) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit15	UPCL : プログラマブル クリアビット	<p>UART の内部状態を初期化するビットです。</p> <p>"1" を設定した場合 :</p> <ul style="list-style-type: none"> UART を直接リセット (ソフトウェアリセット) します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。 ボーレートジェネレータは、BGR1/BGR0 レジスタの設定値をリロードし、再スタートします。 すべての送受信割込み要因 (PE, FRE, ORE, RDRF, TDRE, TBI) は初期化 (000011_B) されます。 <p>"0" を設定した場合 : 影響ありません。</p> <p>リード時は、常に "0" が読み出されます。</p> <p>(注意事項) 割込み禁止に設定した後に、プログラマブルクリアを実行してください。</p> <p>FIFO 使用時は、FIFO 禁止 (FE2, FE1=0) にしてからプログラマブルクリアを実行してください。</p>
bit14, bit13	未定義ビット	<p>リードした場合 : 値は未定です。</p> <p>ライトした場合 : 影響しません。</p>
bit12	RIE : 受信割込み 許可ビット	<ul style="list-style-type: none"> CPU への受信割込み要求出力を許可 / 禁止するビットです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、またはエラーフラグビット (PE, ORE, FRE) のいずれかが "1" の場合に受信割込み要求を出力します。
bit11	TIE : 送信割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信割込み要求出力を許可 / 禁止するビットです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。
bit10	TBIE : 送信バス アイドル割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。 TBIE ビットと TBI ビットが "1" のとき、送信バスアイドル割込み要求を出力します。
bit9	RXE : 受信許可ビット	<p>UART の受信動作を許可 / 禁止します。</p> <ul style="list-style-type: none"> "0" に設定した場合 : 受信動作が禁止されます。 "1" に設定した場合 : 受信動作が許可されます。 <p>(注意事項) 受信動作許可 (RXE=1) にしても、スタートビットの立下りエッジ (NRZ フォーマット (INV=0) の場合) が入力されないと受信動作を開始しません (反転 NRZ フォーマット (INV=1) の場合は、立上りエッジが入力されるまで受信動作を開始しません)。</p> <p>受信中に受信動作を禁止 (RXE=0) した場合には、直ちに受信動作を停止します。</p>

表 24.4-4 シリアル制御レジスタ (SCR) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit8	TXE : 送信許可ビット	<p>UART の送信動作を許可 / 禁止します。</p> <ul style="list-style-type: none"> • "0" に設定した場合：送信動作が禁止されます。 • "1" に設定した場合：送信動作が許可されます。 <p>(注意事項) 送信中に送信動作を禁止 (TXE=0) した場合には、直ちに送信動作を停止します。</p>

MB91605A シリーズ

24.4.2 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、動作モードの設定、転送方向、データ長、ストップビット長の選択、およびシリアルデータとシリアルクロックの端子への出力許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 24.4-2 にシリアルモードレジスタ (SMR) のビット構成を、表 24.4-5 に各ビットの機能を示します。

図 24.4-2 シリアルモードレジスタ (SMR) のビット構成

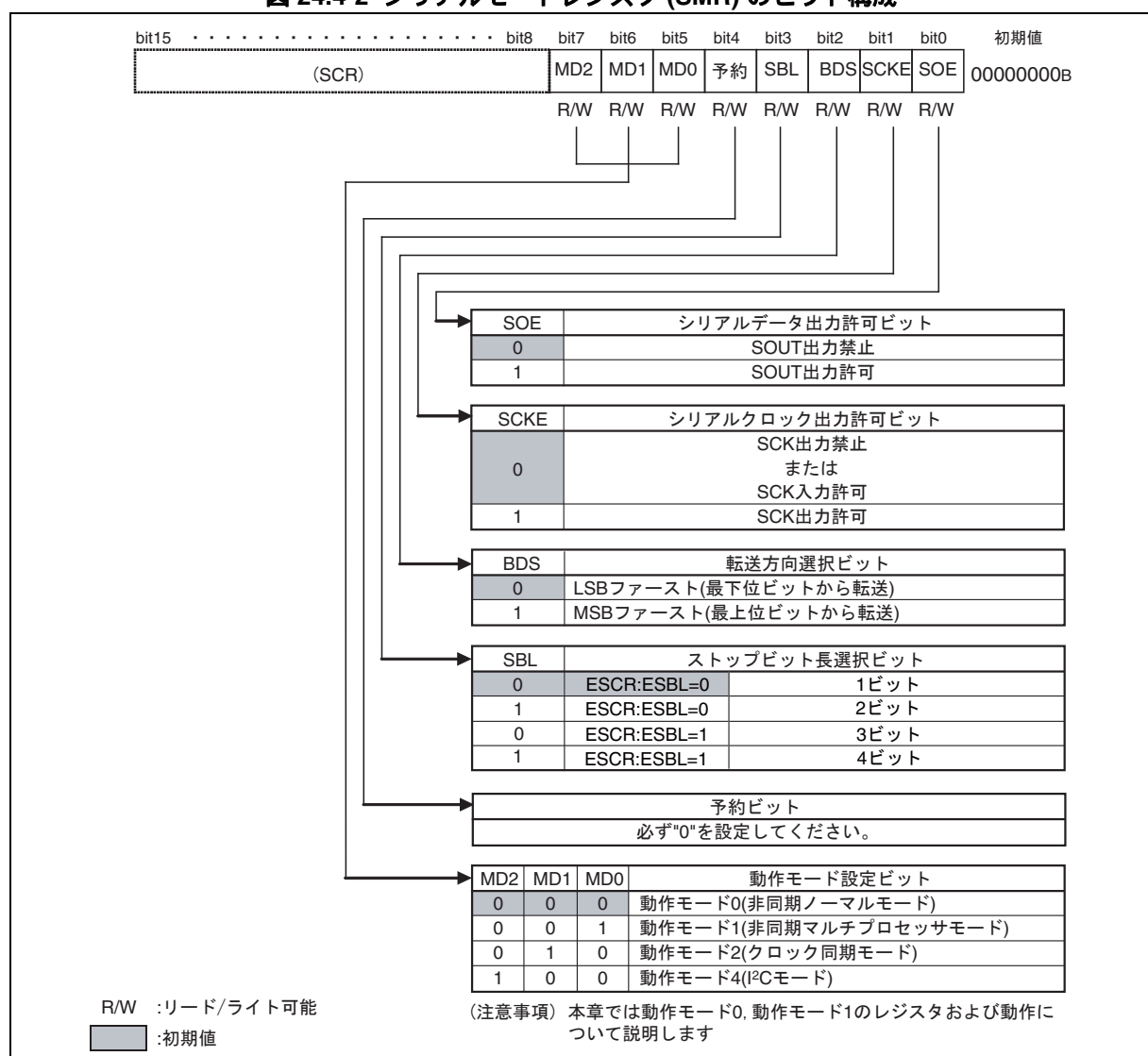


表 24.4-5 シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能
bit7 ~ bit5	MD2, MD1, MD0 : 動作モード 設定ビット	<p>非同期シリアルインタフェースの動作モードを設定します。</p> <p>"000_B" : 動作モード 0 (非同期 ノーマルモード) に設定されます。</p> <p>"001_B" : 動作モード 1 (非同期 マルチプロセッサモード) に設定されます。</p> <p>"010_B" : 動作モード 2 (クロック同期モード) に設定されます。</p> <p>"100_B" : 動作モード 4 (I²C モード) に設定されます。</p> <p>本章では動作モード 0 (非同期 ノーマルモード), 動作モード 1 (非同期 マルチプロセッサモード) のレジスタまたは動作について説明します。</p> <p>(注意事項) 上記の設定以外は禁止です。</p> <p>動作モードを切り換える場合は, プログラマブルクリア 実行 (SCR:UPCL=1) 後, 動作モードを切り換えてください。動作モード設定後, 各レジスタを設定してください。</p>
bit4	予約ビット	必ず "0" を設定してください。
bit3	SBL : ストップ ビット長選択 ビット	<p>ストップビット (送信データのフレームエンドマーク) のビット長を設定します。</p> <p>SBL=0, ESCR:ESBL=0 に設定した場合 : ストップビットは 1 ビットに設定されます。</p> <p>SBL=1, ESCR:ESBL=0 に設定した場合 : ストップビットは 2 ビットに設定されます。</p> <p>SBL=0, ESCR:ESBL=1 に設定した場合 : ストップビットは 3 ビットに設定されます。</p> <p>SBL=1, ESCR:ESBL=1 に設定した場合 : ストップビットは 4 ビットに設定されます。</p> <p>(注意事項)</p> <ul style="list-style-type: none"> 受信時は, 常にストップビットの 1 ビット目だけを検出します。 本ビットは送信が禁止 (TXE=0) のときに設定してください。
bit2	BDS : 転送方向選択 ビット	<p>転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト, BDS=0) 最上位ビット側から先に転送するか (MSB ファースト, BDS=1) を選択するビットです。</p> <p>(注意事項) 本ビットは, 送受信が禁止 (TXE=RXE=0) のときに設定してください。</p>
bit1	SCKE: シリアル クロック出力 許可ビット	<p>シリアルクロックの入出力ポートを制御するビットです。</p> <p>"0" に設定した場合 :</p> <p>SCK "H" 出力, または SCK 入力許可となります。SCK 入力として使う場合は汎用入出力ポートを入力ポートに設定してください。</p> <p>また, 外部クロック選択ビットによって外部クロックを選択 (BGR:EXT=1) してください。</p> <p>"1" に設定した場合 : SCK 出力許可となります。</p>
bit0	SOE: シリアル データ出力 許可ビット	<p>シリアルデータの出力を許可 / 禁止するビットです。</p> <p>"0" に設定した場合 : 出力禁止です。</p> <p>"1" に設定した場合 : SOUT 出力許可となります。</p>

MB91605A シリーズ

< 注意事項 >

動作モードを変更すると、ほかのレジスタは初期化されますので動作モードは最初に設定してください。ただし、16 ビット書込みで SCR と SMR を同時に書き込んだとき、SCR には書き込んだ内容が反映されます。

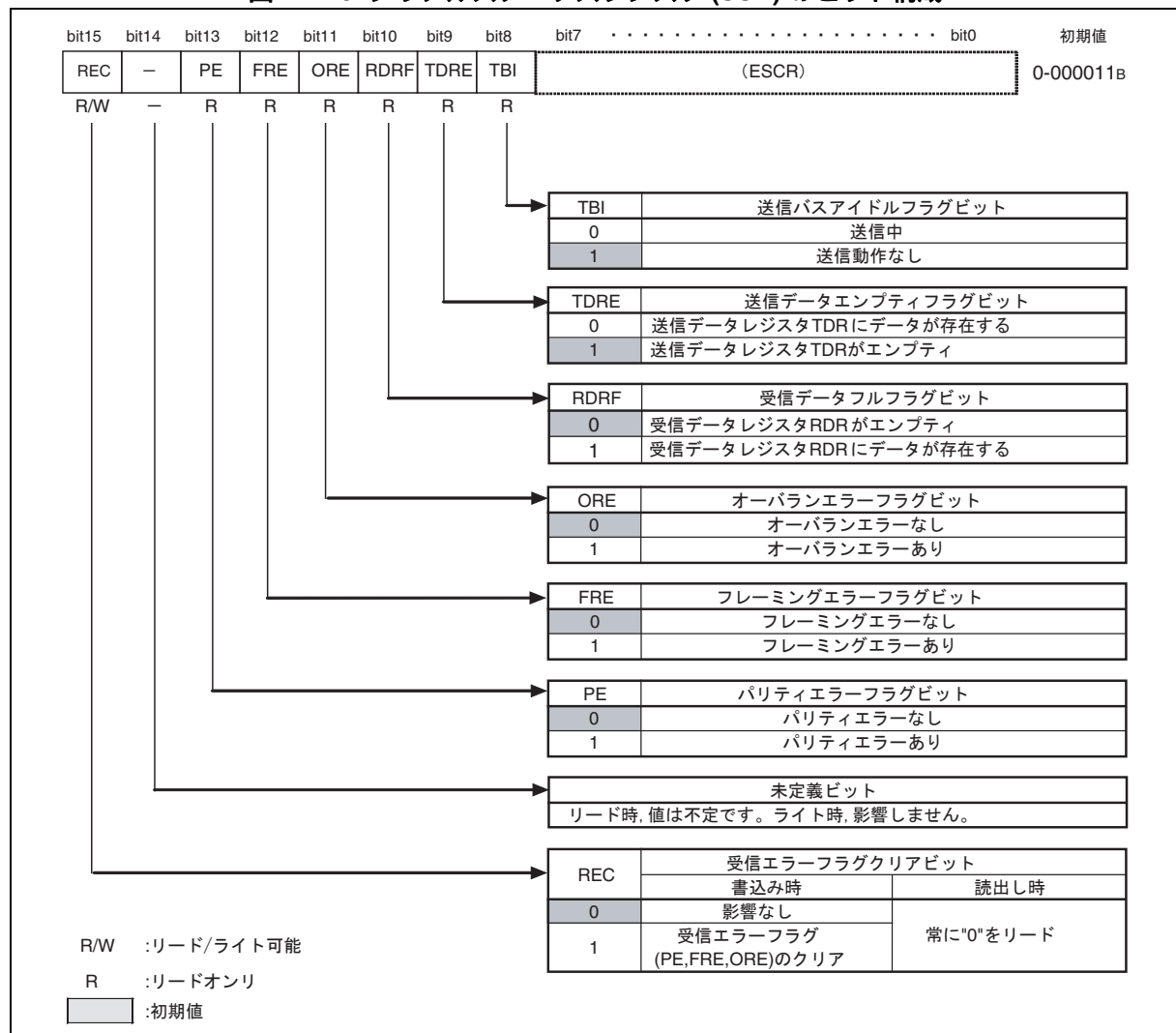
24.4.3 シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は、送受信の状態の確認、受信エラーフラグの確認、また、受信エラーフラグをクリアします。

■ シリアルステータスレジスタ (SSR)

図 24.4-3 にシリアルステータスレジスタ (SSR) のビット構成を、表 24.4-6 に各ビットの機能を示します。

図 24.4-3 シリアルステータスレジスタ (SSR) のビット構成



MB91605A シリーズ

表 24.4-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit15	REC : 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の PE, FRE, ORE フラグをクリアするビットです。 <ul style="list-style-type: none"> • "1" 書込みで、エラーフラグがクリアされます。 • "0" 書込みは、影響しません。 リードした場合、常に "0" が読み出されます。
bit14	未定義ビット	リードした場合 : 値は不定です。 ライトした場合 : 影響しません。
bit13	PE : パリティエラー フラグビット (動作モード 0 のみ機能)	<ul style="list-style-type: none"> • ESCR: PEN=1 で受信時にパリティエラーが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • PE ビットと SCR: RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。
bit12	FRE : フレーミング エラーフラグ ビット	<ul style="list-style-type: none"> • 受信時にフレーミングエラーが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • FRE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。
bit11	ORE : オーバラン エラーフラグ ビット	<ul style="list-style-type: none"> • 受信時にオーバランが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。

表 24.4-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit10	RDRF : 受信データ フルフラグ ビット	<ul style="list-style-type: none"> 受信データレジスタ (RDR) の状態を示すフラグです。 RDR に受信データがロードされると "1" にセットされ、受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 RDRF ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。 受信 FIFO 使用時に、受信 FIFO アイドル検出許可ビット (FCR1:FRIDE) が "1" で、受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。 受信 FIFO 使用時は、受信 FIFO がエンプティになると "0" にクリアされます。
bit9	TDRE : 送信データ エンプティ フラグビット	<ul style="list-style-type: none"> 送信データレジスタ (TDR) の状態を示すフラグです。 TDR に送信データを書き込むと "0" となり、TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり、TDR に有効なデータが存在していないことを示します。 TDRE ビットと TIE ビットが "1" の場合、送信割込み要求を出力します。 シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると、TDRE ビットは "1" になります。 送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは、「24.5.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。
bit8	TBI : 送信バス アイドルフラグ ビット	<ul style="list-style-type: none"> UART が送信動作をしていないことを示すビットです。 送信データレジスタ (TDR) へ送信データを書き込んだ場合に本ビットは "0" になります。 送信データレジスタがエンプティ (TDRE=1) で、送信動作をしていない場合に本ビットは "1" になります。 シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TBI ビットは "1" になります。 本ビットが "1" で、送信バスアイドル割込みが許可 (SCR:TBIE=1) されていると送信割込み要求を出力します。

24.4.4 拡張通信制御レジスタ (ESCR)

拡張通信制御レジスタ (ESCR) は、送受信データ長の設定、ストップビット長の選択、パリティビットの許可/禁止、パリティビットの選択、シリアルデータフォーマットの反転の設定ができます。

■ 拡張通信制御レジスタ (ESCR) のビット構成

図 24.4-4 に拡張通信制御レジスタ (ESCR) のビット構成を、表 24.4-7 に各ビットの機能を示します。

図 24.4-4 拡張通信制御レジスタ (ESCR) のビット構成

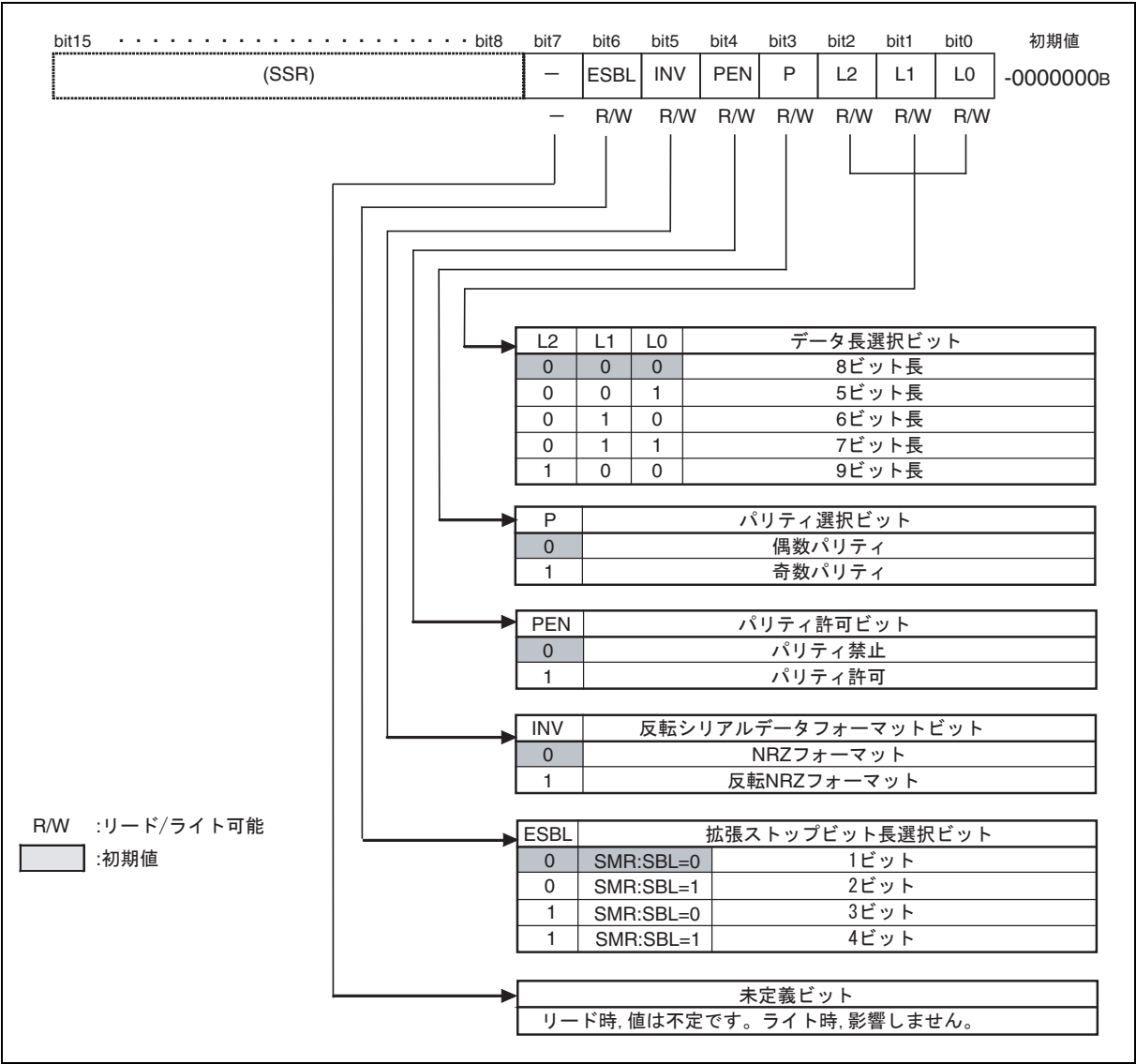


表 24.4-7 拡張通信制御レジスタ (ESCR) の各ビットの機能説明

ビット名		機能
bit7	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit6	ESBL : 拡張ストップビット 長選択ビット	ストップビット (送信データのフレームエンドマーク) のビット 長を設定します。 SMR:SBL=0, ESBL=0 に設定した場合： ストップビットは 1 ビットに設定されます。 SMR:SBL=1, ESBL=0 に設定した場合： ストップビットは 2 ビットに設定されます。 SMR:SBL=0, ESBL=1 に設定した場合： ストップビットは 3 ビットに設定されます。 SMR:SBL=1, ESBL=1 に設定した場合： ストップビットは 4 ビットに設定されます。 (注意事項) ・ 受信時は、常にストップビットの 1 ビット目だけを検出します。 ・ 本ビットは送信が禁止 (TXE=0) のときに設定してください。
bit5	INV : 反転シリアルデータ フォーマットビット	シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。
bit4	PEN : パリティ許可ビット (動作モード 0 のみ 機能)	パリティビットの付加 (送信時) と検出 (受信時) を行うかどう かを設定します。 ・ "0" に設定した場合：パリティビットは付加されません。 ・ "1" に設定した場合：パリティビットは付加されます。 (注意事項) 動作モード 1 のときは、本ビットは内部で "0" に固定されます。
bit3	P : パリティ選択ビット (動作モード 0 のみ 機能)	パリティあり (ESCR : PEN=1) に設定した場合に、奇数パリティ "1" か偶数パリティ "0" のいずれかに設定します。 ・ "0" に設定した場合：偶数パリティに設定されます。 ・ "1" に設定した場合：奇数パリティに設定されます。
bit2 ~ bit0	L2, L1, L0: データ長選択ビット	送受信データのデータ長を指定します。 ・ "000 _B " に設定した場合：データ長は、8 ビットに設定されます。 ・ "001 _B " に設定した場合：データ長は、5 ビットに設定されます。 ・ "010 _B " に設定した場合：データ長は、6 ビットに設定されます。 ・ "011 _B " に設定した場合：データ長は、7 ビットに設定されます。 ・ "100 _B " に設定した場合：データ長は、9 ビットに設定されます。 (注意事項) 上記以外の設定は禁止です。 動作モード 1 では、データ長を 7, 8 ビットに設定し てください。その他の設定は禁止です。

MB91605A シリーズ

24.4.5 受信データレジスタ / 送信データレジスタ (RDR/TDR)

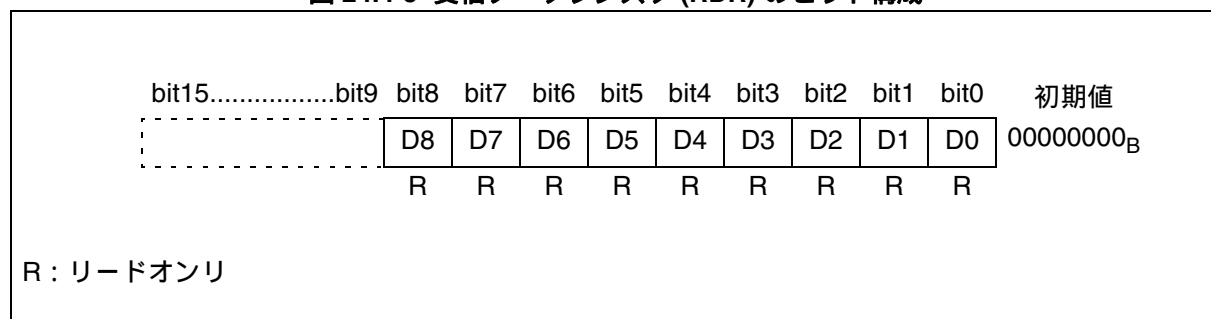
受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。

FIFO 動作許可の場合、RDR/TDR アドレスは FIFO 読出し、書込みアドレスとなります。

■ 受信データレジスタ (RDR)

図 24.4-5 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 24.4-5 受信データレジスタ (RDR) のビット構成



受信データレジスタ (RDR) は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- データ長に応じ、以下のように上位ビットに "0" が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。受信割込みが許可されている場合 (SSR : RIE=1)、受信割込み要求が発生します。
- 受信データレジスタ (RDR) は、受信データフルフラグビット (SSR : RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR : RDRF) は、受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。

MB91605A シリーズ

- 受信エラーが発生 (SSR : PE, ORE, FRE のいずれかが "1") した場合 , 受信データレジスタ (RDR) のデータは無効となります。
- 動作モード 1 (マルチプロセッサモード) では , 7 ビット , 8 ビット長の動作となり , 受信した AD ビットは , D8 ビットに格納されます。
- 9 ビット長転送 , および動作モード 1 の場合 , RDR の読出しは 16 ビットアクセスで行います。

< 注意事項 >

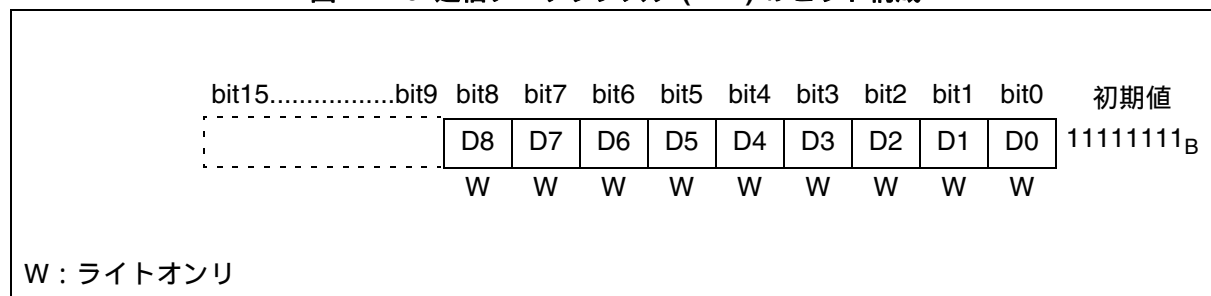
- 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。
 - 受信 FIFO 使用時は , 受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
 - 受信 FIFO 使用時に , 受信エラーが発生 (SSR : PE, ORE, FRE のいずれかが "1") した場合 , 受信 FIFO の許可ビットはクリアされ , 受信データは受信 FIFO には格納されません。
-

MB91605A シリーズ

■ 送信データレジスタ (TDR)

図 24.4-6 に送信データレジスタのビット構成を示します。

図 24.4-6 送信データレジスタ (TDR) のビット構成



送信データレジスタ (TDR) は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR : TXE=1)、送信するデータを送信データレジスタ (TDR) に書き込むと送信データが送信用シフトレジスタに転送され、シリアルデータに変換されてシリアルデータ出力端子 (SOUT 端子) から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

(X は送信データビット)

- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信データレジスタ (TDR) に書き込まれると "0" クリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信用シフトレジスタへ転送されて送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1" にセットされます。
- 送信データエンプティフラグ (SSR : TDRE) が "1" のとき、送信データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書込みは、送信割込みの発生によるか、送信データエンプティフラグ (SSR : TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR : TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データを書き込むことはできません。
- 動作モード 1 (マルチプロセッサモード) では、7 ビット、8 ビット長の動作となり、AD ビットの送信は、D8 ビットへの書込みにより行います。
- 9 ビット長転送、および動作モード 1 の場合、TDR への書込みは 16 ビットアクセスで行います。

< 注意事項 >

- 送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため、書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。
 - 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは、「24.5.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
-

MB91605A シリーズ

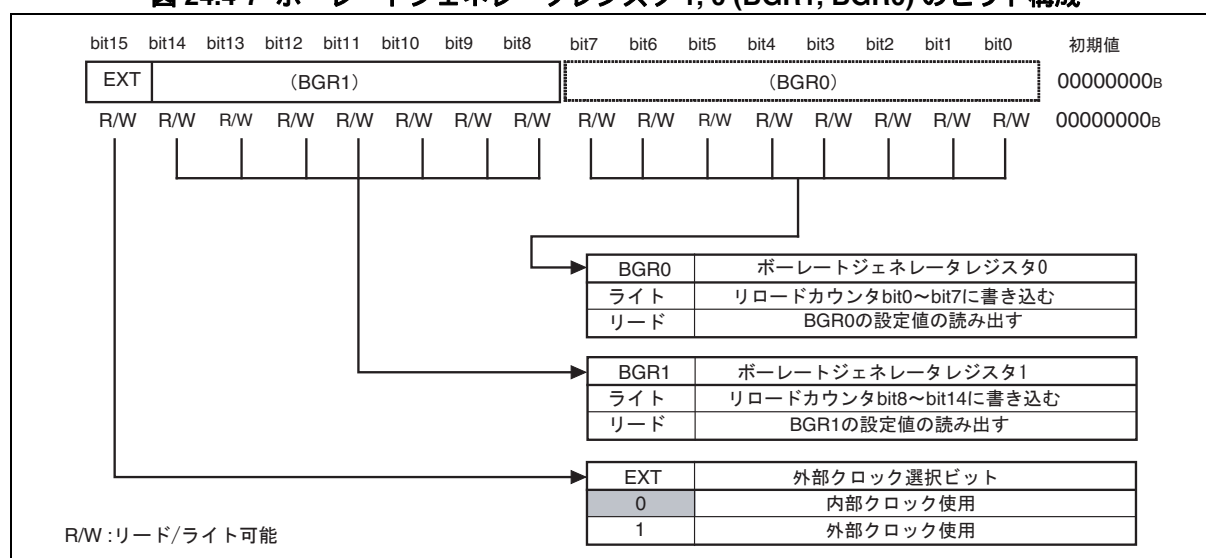
24.4.6 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

■ ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 24.4-7 にポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 24.4-7 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



- ・ ポーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
- ・ BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書き込み、BGR1/BGR0 の設定値の読み出しが可能です。
- ・ ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。
- ・ bit15 の EXT ビットでリロードカウンタのクロックソースを内部クロックに使用するか、外部クロックを使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。

< 注意事項 >

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは, 16 ビットアクセスで行ってください。
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) の設定値を変更した場合, カウンタ値が "0000_H" になってから, 新しい設定値がリロードされます。したがって, 新しい設定値を即有効にしたい場合は, BGR1/BGR0 の設定値を変更した後, プログラムブランククリア (UPCL) を実行してください。
 - リロード値が偶数の場合, 受信シリアルクロックの "H" 幅と "L" 幅は "L" 幅の方が周辺クロック (PCLK) 1 サイクル分長くなります。奇数の場合, シリアルクロックの "H" 幅と "L" 幅は同じになります。
 - BGR1/BGR0 へは, 4 以上の値を設定してください。ただし, ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
 - ボーレートジェネレータ動作中に外部クロックの設定 (EXT=1) に変更する場合, ボーレートジェネレータ 1, 0 (BGR1, BGR0) に "0" を書き込み, プログラムクリア (UPCL) 実行後, 外部クロック (EXT=1) に設定してください。
-

MB91605A シリーズ

24.4.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ 1 (FCR1) は、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 24.4-8 に FIFO 制御レジスタ 1 (FCR1) のビット構成を、表 24.4-8 に各ビットの機能を示します。

図 24.4-8 FIFO 制御レジスタ 1(FCR1) のビット構成

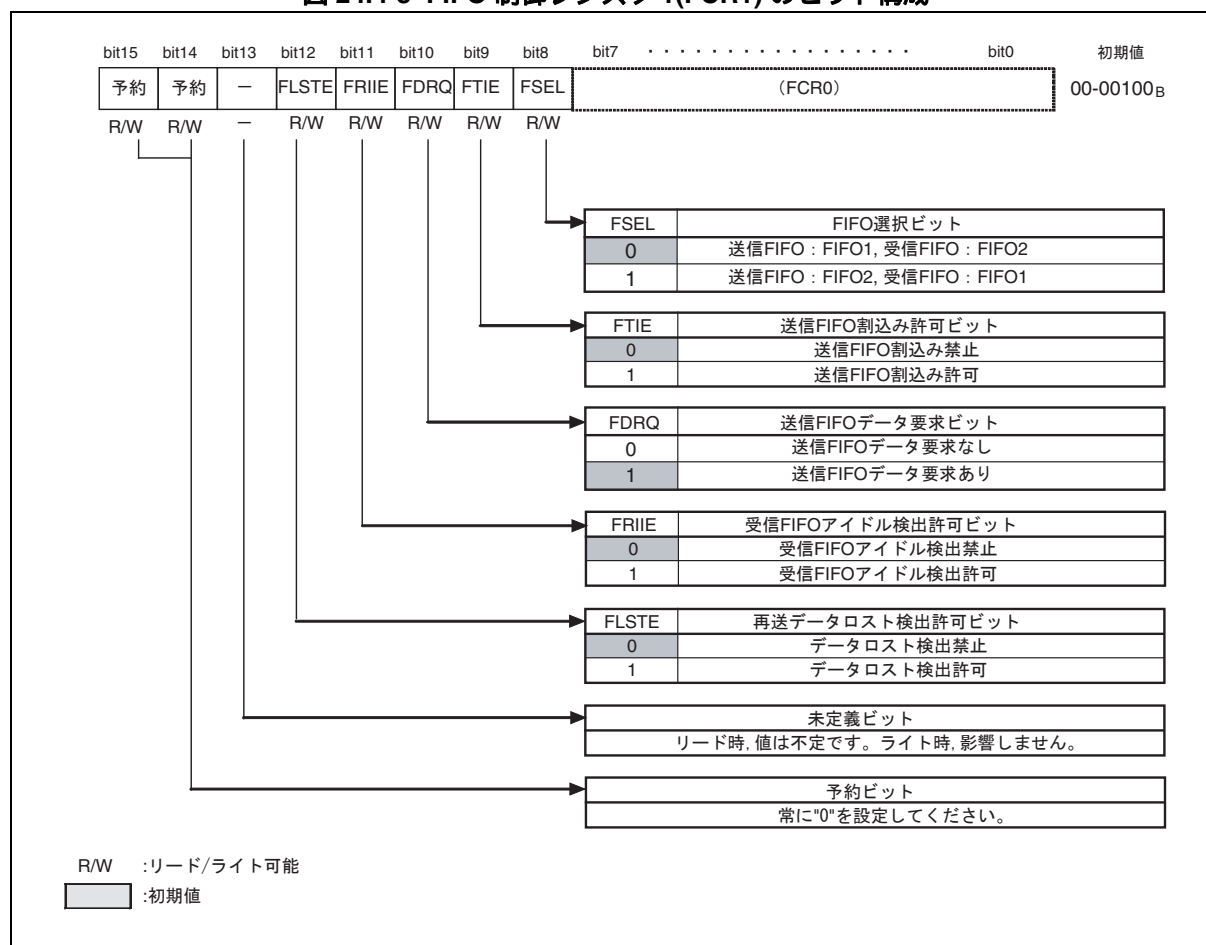


表 24.4-8 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit15, bit14	予約ビット	本ビットには必ず "0" を設定してください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE: 再送データ ロスト検出許可 ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項) 本ビットに "1" を設定する場合、FSET ビットに "1" を 設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル 検出許可ビット	受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態を検出するかどうかを設定する ビットです。受信割込みが許可 (SCR:RIE=1) されているときに受信 アイドル状態が検出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ : 送信 FIFO データ要求 ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき、送信データを要求していることを示します。 このとき、送信 FIFO 割込みが許可 (FTIE=1) されていると、FIFO 送 信割込み要求を出力します。 FDRQ セット条件 FBYTE1/FBYTE2(送信用)=0 (送信 FIFO がエンプティ) FDRQ リセット条件 <ul style="list-style-type: none"> • 本ビットへの "0" 書込み • 送信 FIFO がフルになった場合 (注意事項) 送信 FIFO 許可のときに "0" 書込みは有効です。 FBYTE1/FBYTE2(送信用)=0 のときに本ビットへの "0" 書込みは禁止です。 本ビットに "1" を設定した場合、動作に影響を与えま せん。 リードモディファイライト (RMW) 系命令時には、"1" が読み出されます。
bit9	FTIE : 送信 FIFO 割込み許可 ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

MB91605A シリーズ

表 24.4-8 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit8	FSEL : FIFO 選択 ビット	送受信 FIFO を選択するビットです。 "0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り当てられます。 "1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り当てられます。 (注意事項) 本ビットは, FIFO リセット (FCL2, FCL1=1) ではクリアされません。 本ビットを変更する場合は, FIFO 動作禁止 (FCR0 : FE2, FE1=0) にしてから行ってください。

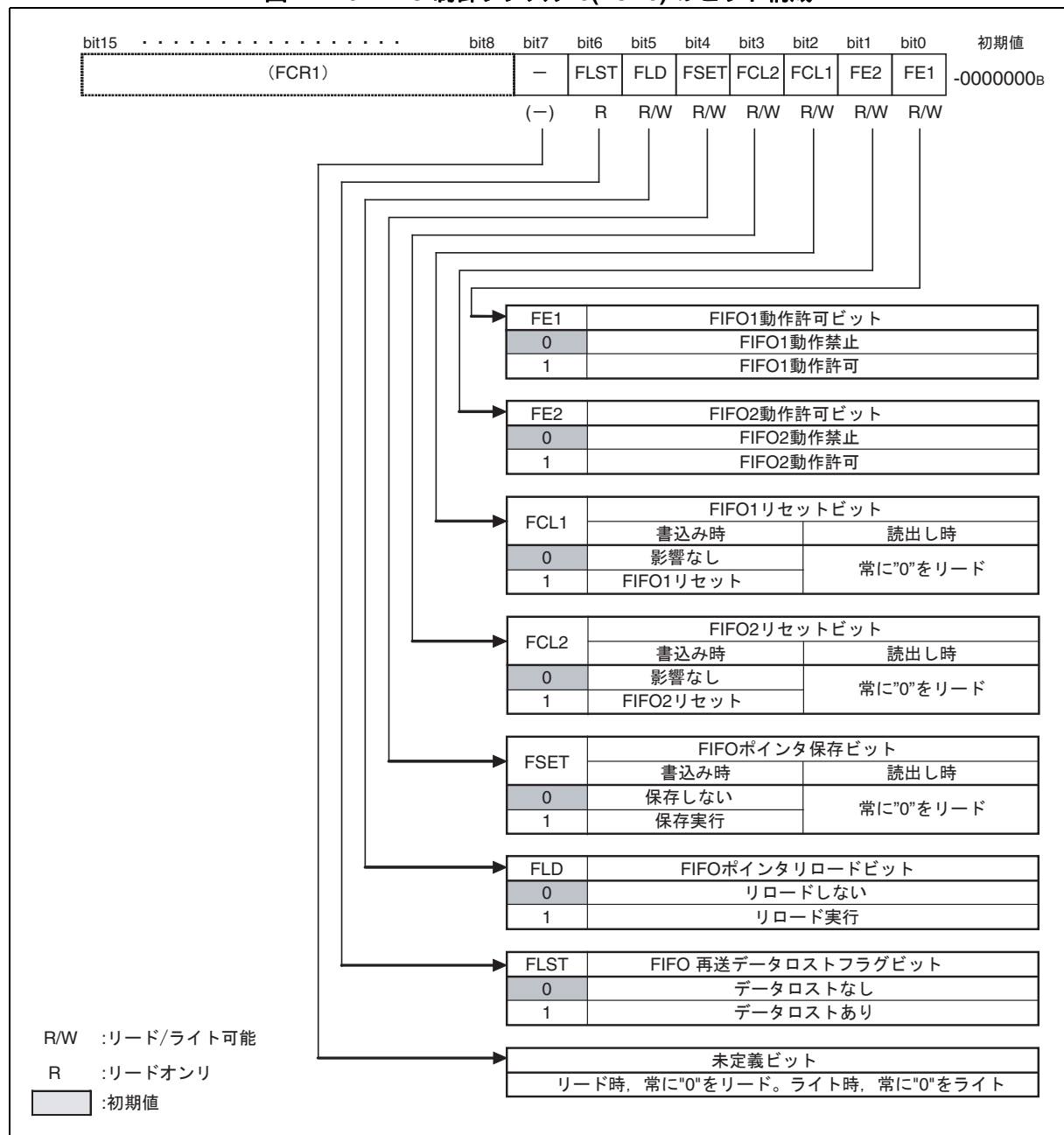
24.4.8 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は、FIFO 動作の許可 / 禁止、FIFO リセット、リードポインタの保存、再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 24.4-9 に FIFO 制御レジスタ 0 (FCR0) のビット構成を、表 24.4-9 に各ビットの機能を示します。

図 24.4-9 FIFO 制御レジスタ 0(FCR0) のビット構成



MB91605A シリーズ

表 24.4-9 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書き込んでください。
bit6	FLST : FIFO 再送 データロス フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポイントと FSET ビットによって保存したリードポイントが一致しているときに FIFO へ書き込んだ (上書きした) 場合 FLST リセット条件 <ul style="list-style-type: none"> • FIFO リセット (FCL への "1" 書込み) • FSET ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポイントが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。
bit5	FLD : FIFO ポインタ リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポイントにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。 再送設定が完了した場合、本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間、リードポイントへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中に本ビットに "1" を設定することは禁止です。 TIE ビットと TBIE ビットは "0" にしてから本ビットに "1" を書き込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを "1" にしてください。
bit4	FSET : FIFO ポインタ 保存ビット	送信 FIFO のリードポイントを保存するビットです。 通信前にリードポイントを保存すると、通信エラーなどが発生した場合、FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポイントの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2 : FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると、FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 24.4-9 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	<p>FIFO1 をリセットするビットです。 本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかの ビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO1 リセットを実行してくだ さい。 送信 FIFO 割込み許可ビットを "0" にしてから実行して ください。 FBYTE1 レジスタの有効データ数は "0" になります。</p>
bit1	FE2 : FIFO2 動作許可 ビット	<p>FIFO2 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO2 を使用する場合、本ビットに "1" を設定してください。 • FIFO2 を送信 FIFO に設定し (FCR1:FSEL=1)、本ビットに "1" を書き 込んだときに FIFO2 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラー が発生すると本ビットは "0" にクリアされ、受信エラーがクリアさ れない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE= 1)のとき、受信FIFOで使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。
bit0	FE1 : FIFO1 動作許可 ビット	<p>FIFO1 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO1 を使用する場合、本ビットに "1" を設定してください。 • FIFO1 を送信 FIFO に設定し (FCR1:FSEL=0)、本ビットに "1" を書き 込んだときに FIFO1 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラー が発生すると本ビットは "0" にクリアされ、受信エラーがクリアさ れない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE= 1)のとき、受信FIFOで使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO1 を禁止にしても FIFO1 の状態は保持されます。

MB91605A シリーズ

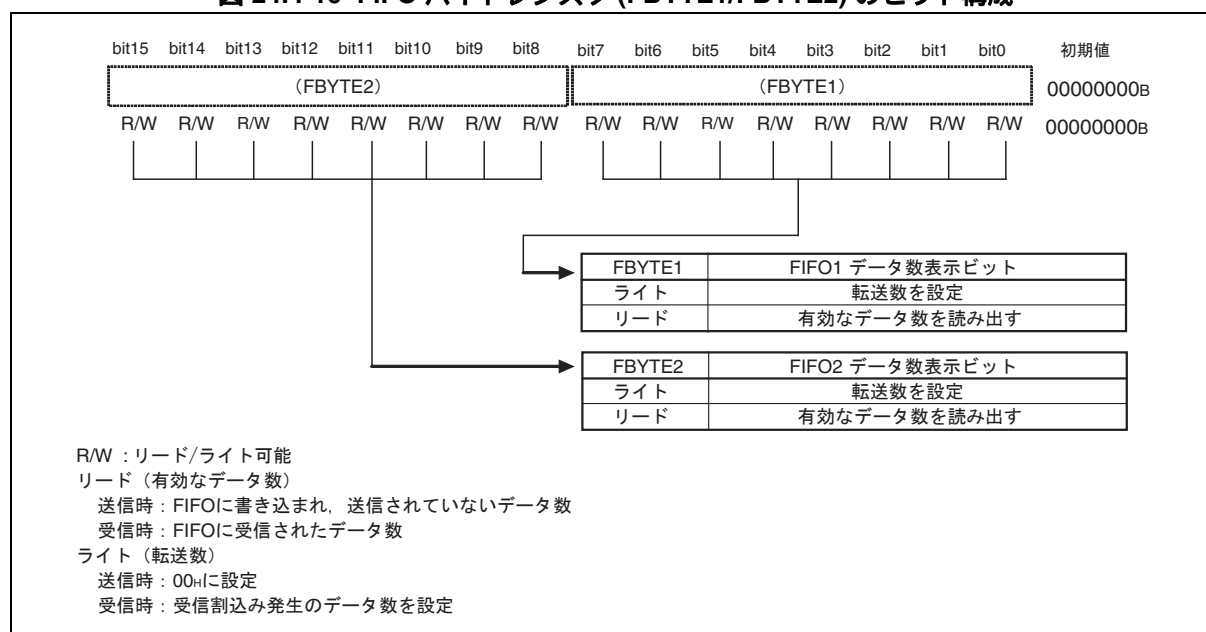
24.4.9 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 24.4-10 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 24.4-10 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE レジスタは、FIFO に書き込みまたは受信した有効なデータ数を示し、FCR1:FSEL ビットの設定によって以下ようになります。

表 24.4-10 データ数表示

FSEL	FIFO 選択	データ数表示
0	FIFO2 : 受信 FIFO, FIFO1 : 送信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1
1	FIFO2 : 送信 FIFO, FIFO1 : 受信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1

- FBYTE1/FBYTE2 レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE1/FBYTE2 に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE1/FBYTE2 レジスタのデータ数表示が一致すると割込みフラグ (SSR:RDRF) が "1" にセットされます。

MB91605A シリーズ

- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

< 注意事項 >

- 送信 FIFO の FBYTE1/FBYTE2 レジスタには "00_H" を設定してください。
 - 受信 FIFO の FBYTE1/FBYTE2 は "1" 以上のデータを設定してください。
 - 受信を禁止してから本レジスタを変更してください。
 - 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
 - FIFO 容量を超える設定は禁止です。
-

24.5 UART の割込み

UART には、送受信割込みがあります。次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ (RDR) にセットされた場合、または受信エラーが発生した場合
 - 送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され、送信が開始された場合
 - 送信バスアイドル (送信動作なし)
 - 送信 FIFO データ要求
-

■ UART の割込み

UART の割込み制御ビットと割込み要因は表 24.5-1 のようになっています。

表 24.5-1 UART の割込み制御ビットと割込み要因

割込みの種類	割込み要求 フラグ ビット	フラグ レジスタ	動作モード		割込み要因	割込み要因 許可ビット	割込み要求 フラグのクリア
			0	1			
受信	RDRF	SSR			1 バイト受信	SCR:RIE	受信データ (RDR) の読出し
					FBYTE1/ FBYTE2 設定値 分受信		受信 FIFO がエンプティになる までの受信データ (RDR) の読出し
					FRIIE ビットが "1" で受信 FIFO に有効なデータ が存在した状態 でポーレートク ロックで 8 ク ロック以上の受 信アイドル状態 検出		
	ORE	SSR			オーバラン エラー		受信エラーフラグクリアビッ ト (SSR:REC) への "1" 書込み
	FRE	SSR			フレーミング エラー		
	PE	SSR		×	パリティエラー		
送信	TDRE	SSR			送信レジスタが エンプティ	SCR:TIE	送信データ (TDR) への書込 み, または送信 FIFO 動作許 可ビットが "0" で送信 FIFO に有効なデータが存在してい るときに送信 FIFO 動作許可 ビットへの "1" 書込み (送信 再送) *
	TBI	SSR			送信動作なし	SCR:TBIE	送信データ (TDR) への書込 み, または送信 FIFO 動作許 可ビットが "0" で送信 FIFO に有効なデータが存在してい るときに送信 FIFO 動作許可 ビットへの "1" 書込み (送信 再送) *
	FDRQ	FCR1			送信 FIFO が エンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込 みまたは送信 FIFO がフル

*: TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

MB91605A シリーズ

24.5.1 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了 (SSR:RDRF) および受信エラーの発生 (SSR: PE, ORE, FRE) があります。

■ 受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されることにより、受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF=1) または受信エラーが発生 (SSR:PE, ORE, FRE=1) すると各フラグがセットされます。そのとき、受信割込みが許可 (SSR:RIE=1) されていると受信割込みが発生します。

< 注意事項 >

受信エラーが発生した場合は、受信データレジスタ (RDR) のデータは無効となります。

図 24.5-1 RDRF(受信データフル) フラグビットのセットタイミング

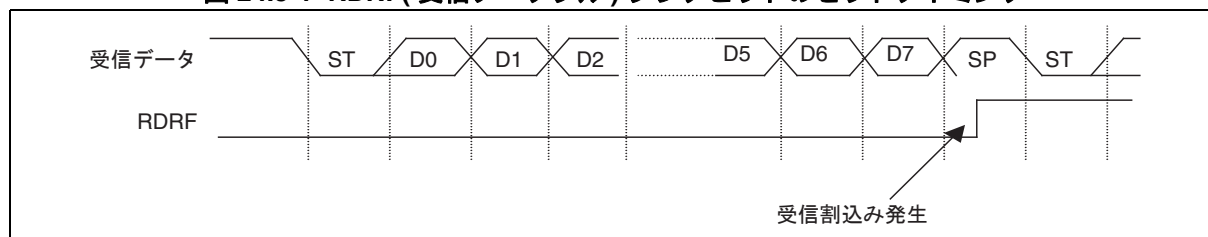


図 24.5-2 FRE (フレーミングエラー) フラグビットのセットタイミング

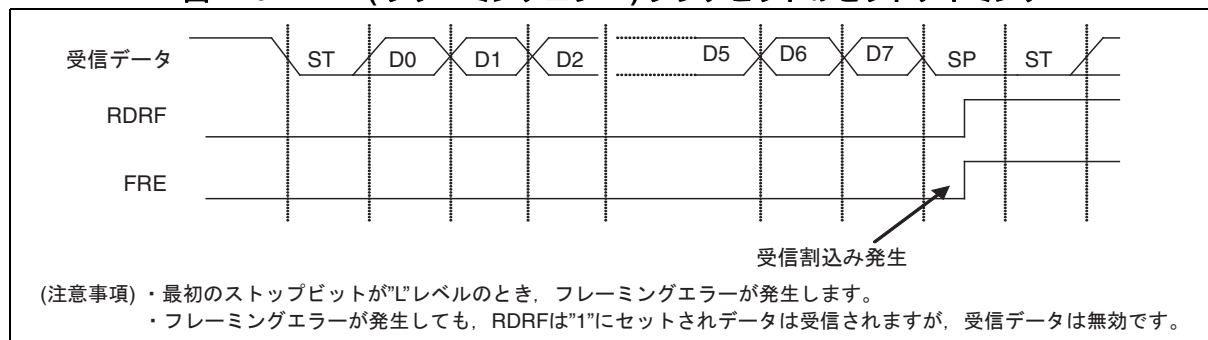
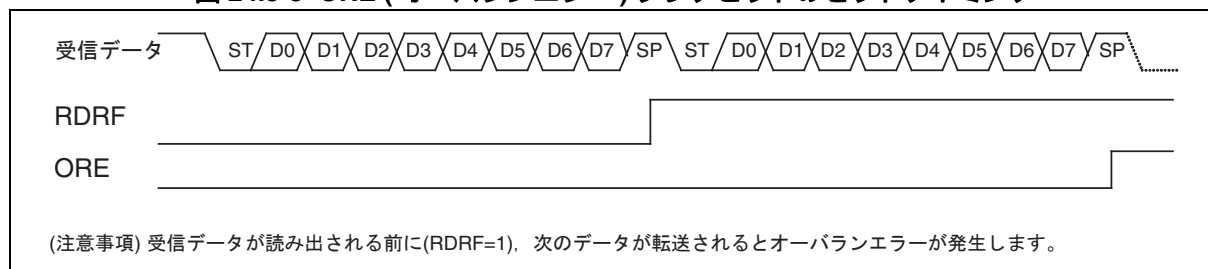


図 24.5-3 ORE (オーバランエラー) フラグビットのセットタイミング



24.5.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

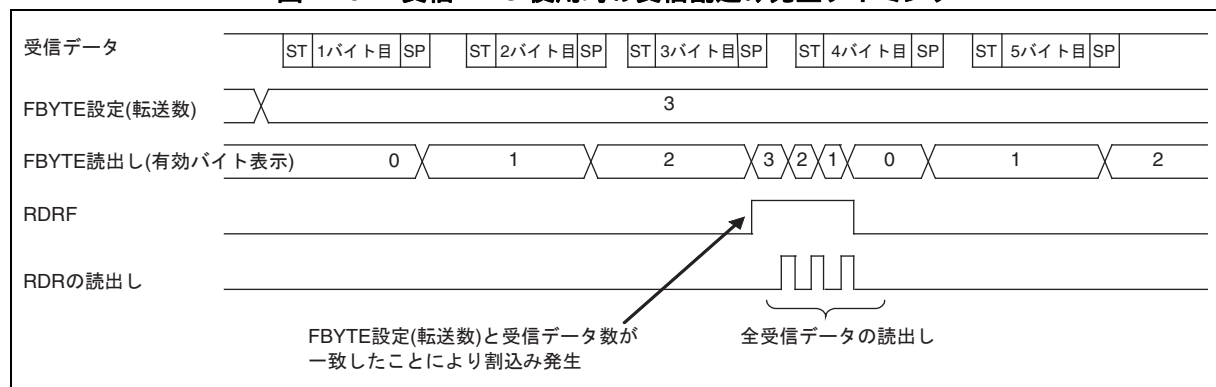
受信 FIFO 使用時の割込みは、FBYTE レジスタ (FBYTE1/FBYTE2) の設定値分受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE1/FBYTE2 レジスタの設定値によって決定されます。

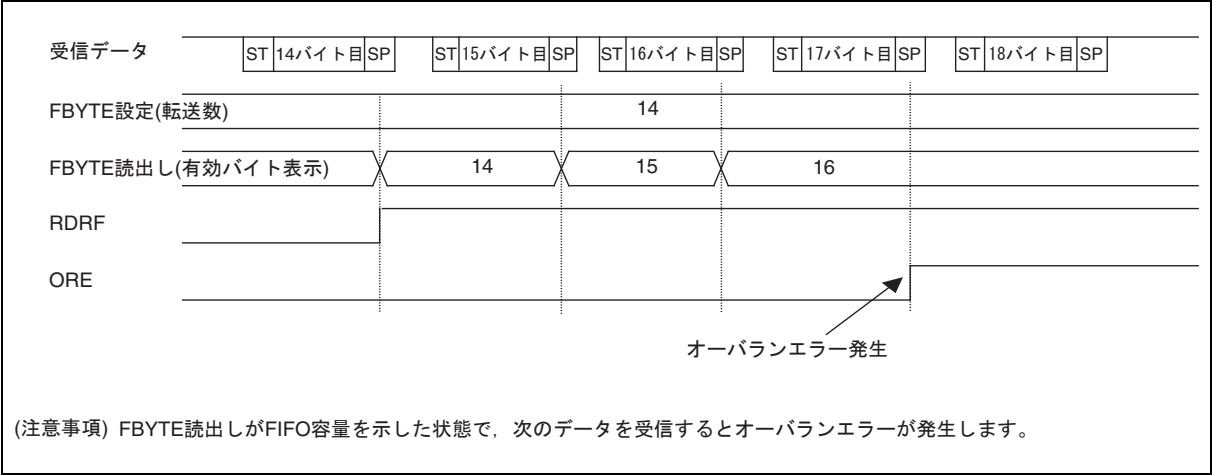
- FBYTE1/FBYTE2 レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" にセットされます。このとき、受信割込みが許可 (SCR:RIE) されていると受信割込みが発生します。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ (RDR) を読み出すと、受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバーランエラー (SSR:ORE=1) が発生します。

図 24.5-4 受信 FIFO 使用時の受信割込み発生タイミング



MB91605A シリーズ

図 24.5-5 ORE (オーバーランエラー) フラグビットのセットタイミング



24.5.3 送信割込み発生とフラグセットのタイミング

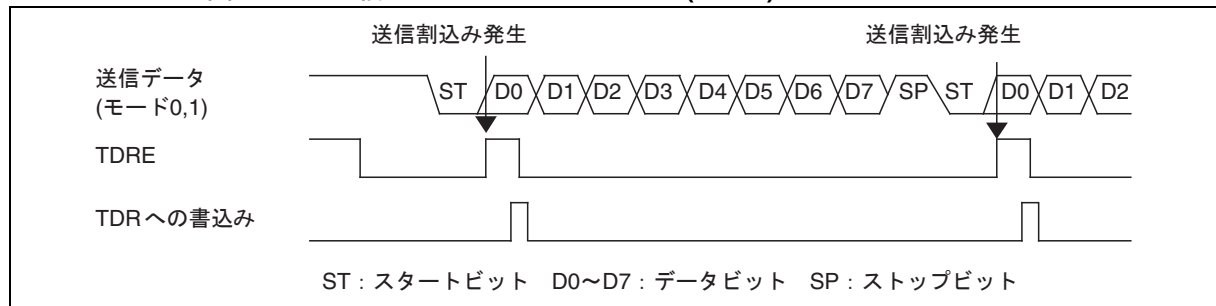
送信時の割込みとしては、送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され (SSR : TDRE=1) で送信が開始された場合と送信動作をしていない場合 (SSR : TBI=1) に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書き込みが可能な状態 (SSR:TDRE=1) になります。そのとき、送信割込みが許可 (SCR:TIE=1) されていると、送信割込みが発生します。TDRE ビットはリードオンリビットなので、送信データレジスタ (TDR) へのデータ書き込みにより "0" にクリアされます。

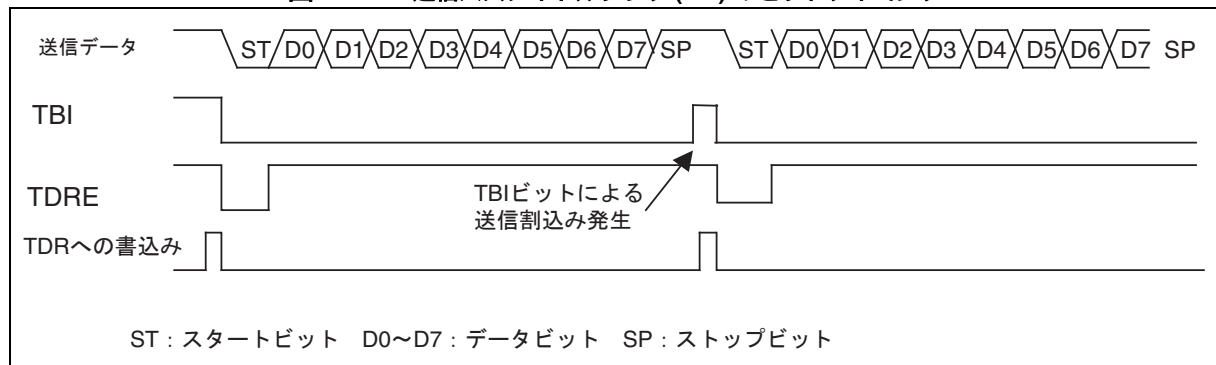
図 24.5-6 送信データエンプティフラグ (TDRE) のセットタイミング



● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタが空 (TDRE=1) で送信動作をしていないとき、SSR : TBI ビットは "1" にセットされます。このとき、送信バスアイドル割込みが許可 (SCR : TBIE=1) されていると、送信割込みが発生します。送信データレジスタ (TDR) に送信データをセットすると TBI ビットおよび送信割込み要求はクリアされます。

図 24.5-7 送信バスアイドルフラグ (TBI) のセットタイミング



MB91605A シリーズ

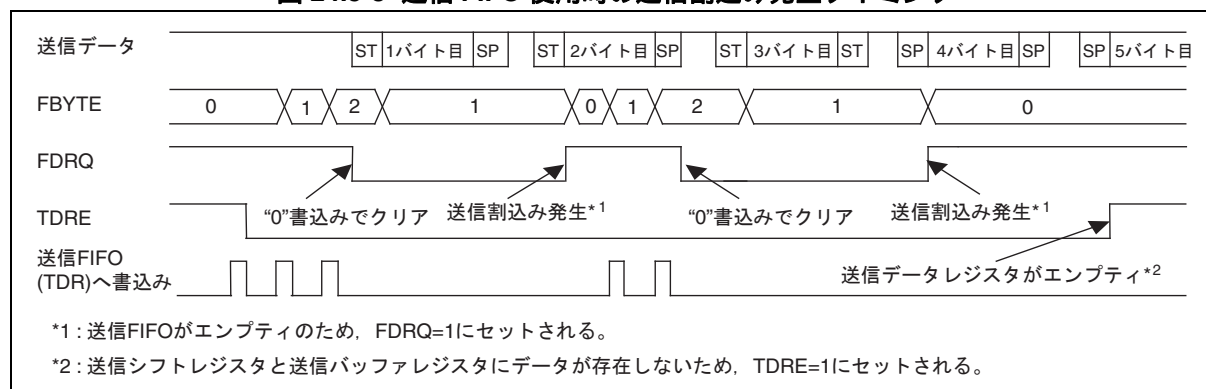
24.5.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しないときに発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット (FCR1 : FDRQ) が "1" にセットされます。
このとき、FIFO 送信割込みが許可 (FCR1 : FTIE=1) されていると送信割込みが発生します。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット (FCR1 : FDRQ) に "0" を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" になります。
- 送信 FIFO のデータの存在確認は、FIFO バイトレジスタ (FBYTE1/FBYTE2) を読み出すことで確認できます。
FBYTE1/FBYTE2 = 00_H のときは、送信 FIFO にデータが存在していないことを示します。

図 24.5-8 送信 FIFO 使用時の送信割込み発生タイミング



24.6 UART の動作

UART は、モード 0 の双方向シリアル非同期通信、モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

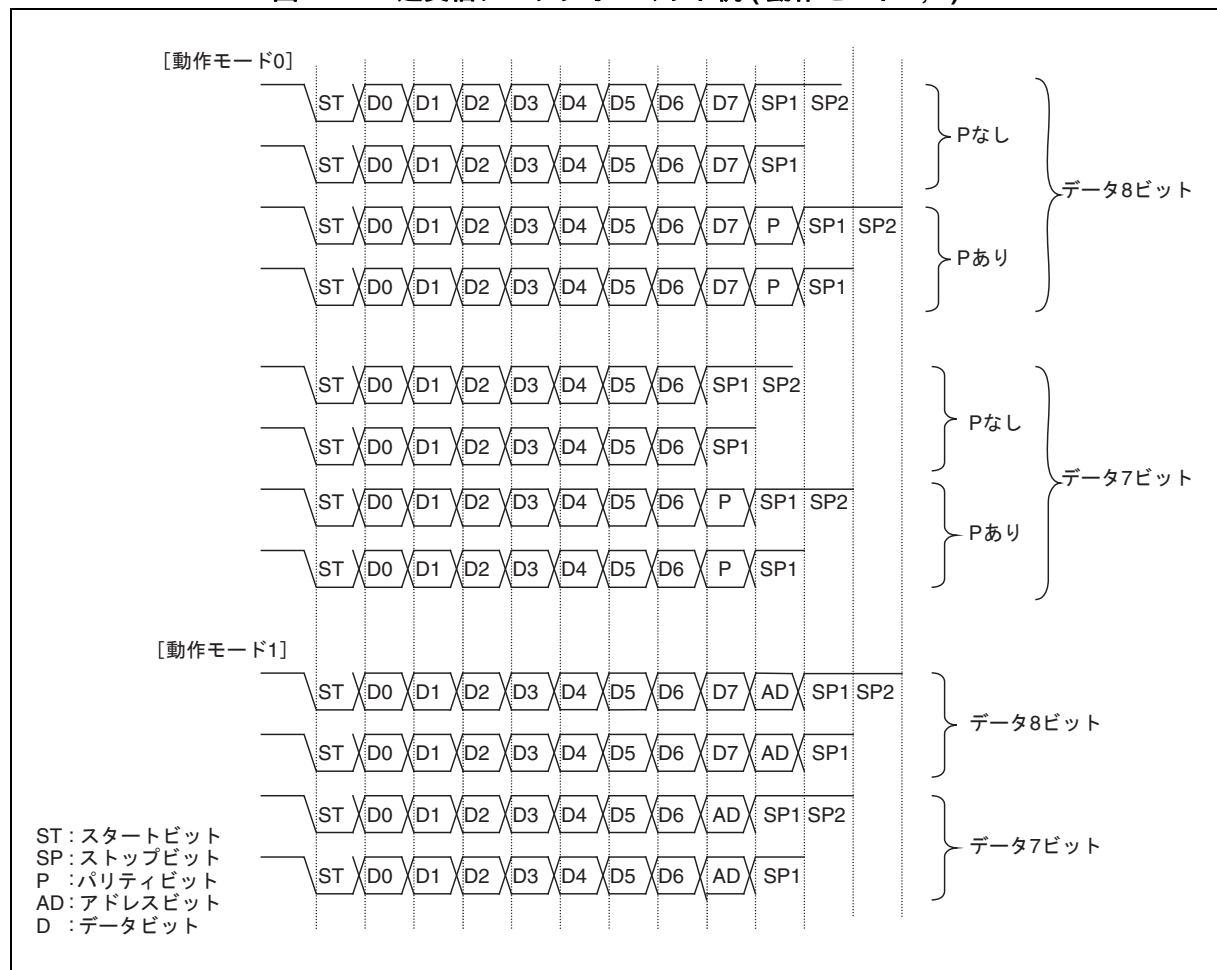
■ UART の動作

● 送受信データフォーマット

- 送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
- データ転送方向 (LSB ファーストまたは MSB ファースト) は、シリアルモードレジスタ (SMR) の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
- 動作モード 0 (通常モード) では、パリティはあり/なしの選択ができます。
- 動作モード 1 (マルチプロセッサモード) ではパリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマットを図 24.6-1 に示します。

図 24.6-1 送受信データフォーマット例 (動作モード 0, 1)



MB91605A シリーズ

< 注意事項 >

- 図 24.6-1 は、データ長 7 ビット、8 ビットに設定した場合を示しています (データ長は、動作モード 0 の場合、5 ビット ~ 9 ビットまで設定できます)。
 - シリアルモードレジスタ (SMR) の BDS ビットを "1" (MSB ファースト) に設定した場合、ビットは D7, D6, D5, . . . , D1, D0(P) の順で処理されます。
 - データ長を X ビット長に設定した場合、送受信データレジスタ (RDR/TDR) の下位 X ビットが有効になります。
-

● 送信動作

- シリアルステータスレジスタ (SSR) の送信データエンプティフラグビット (TDRE) が "1" であれば、送信データレジスタ (TDR) に送信データを書き込むことができます (送信 FIFO が許可されている場合には TDRE=0 でも送信データを書くことは可能)。
 - 送信データを送信データレジスタ (TDR) に書き込むと、送信データエンプティフラグビット (TDRE) は "0" になります。
 - シリアル制御レジスタの送信動作許可ビット (SCR : TXE) を "1" に設定すると、送信データは送信シフトレジスタにロードされてスタートビットから順に送信が開始されます。
 - 送信が開始されると、送信データエンプティフラグビット (TDRE) は再び "1" にセットされます。このとき、送信割込みが許可 (SCR : TIE=1) されていると送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書き込むことができます。
-

< 注意事項 >

- 送信データエンプティフラグビット (SSR : TDRE) は初期値が "1" のため、送信割込みが許可 (SCR : TIE=1) されると直ちに送信割込みが発生します。
 - FIFO 送信データ要求ビット (FCR1 : FDRQ) は初期値が "1" のため、FIFO 送信割込みが許可 (FCR1 : FTIE=1) されると直ちに送信割込みが発生します。
-

● 受信動作

- 受信動作が許可 (SCR : RXE=1) されると受信動作を行います。
- スタートビットを検出すると、拡張通信制御レジスタ (ESCR: PEN, P, L2, L1, L0), およびシリアルモードレジスタ (SMR : BDS) に設定されているデータフォーマットに従って 1 フレームデータの受信が行われます。
- 1 フレームの受信が完了すると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。このとき、受信割込みが許可 (SCR : RIE=1) されている場合、受信割込みが発生します。
- 受信データを読み出す際には、1 フレームデータの受信完了後に受信データを読み出し、シリアルステータスレジスタ (SSR) のエラーフラグの状態を確認してください。受信エラーが発生している場合には、エラー処理を行ってください。
- 受信データの読出しで、受信データフルフラグビット (SSR : RDRF) は "0" にクリアされます。
- 受信 FIFO が許可されている場合、受信 FBYTE1/FBYTE2 に設定された分のフレームを受信すると受信データフルフラグビット (SSR:RDRF) は "1" にセットされます。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されると、そのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO が許可されている場合、シリアルステータスレジスタ (SSR) のエラーフラグが "1" にセットされると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット (SSR : RDRF) を "1" にセットしません (ただし、オーバランエラーの場合は RDRF フラグは "1" にセットされます)。受信 FBYTE1/FBYTE2 の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ (SSR) のエラーフラグが "0" にクリアされないで受信 FIFO は許可されません。
- 受信 FIFO が許可されている場合、受信 FIFO にデータがなくなると受信データフルフラグビット (SSR : RDRF) は "0" にクリアされます。

< 注意事項 >

受信データレジスタ (RDR) のデータは、受信データレジスタフルフラグビット (SSR : RDRF) が "1" にセットされ、受信エラーが発生しなかった場合 (SSR : PE, ORE, FRE=0) に有効となります。

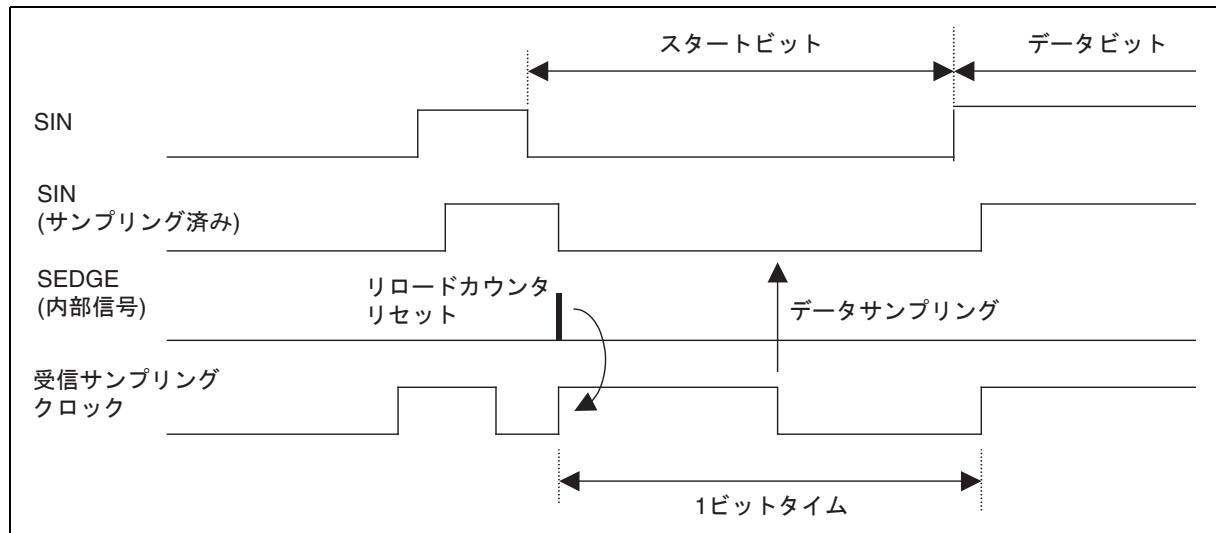
● クロック選択

- 内部クロック、または外部クロックを使用できます。
- 外部クロックを使用する場合は、BGR:EXT=1 に設定します。この場合、外部クロックがボーレートジェネレータで分周されます。

MB91605A シリーズ

● スタートビット検出

- 非同期モード時は、SIN 信号の立下りエッジによってスタートビットを認識します。このため受信動作を許可 (SCR:RXE=1) しても、SIN 信号の立下りエッジが入力されない受信動作を開始しません。
- スタートビットの立下りエッジを検出すると、ボーレートジェネレータの受信リロードカウンタはリセットされ、再リロードしカウントダウンを開始します。これによって、常にデータの中でサンプリングします。



● ストップビット

- 1ビットから4ビット長を選択できます。
- 受信データフルフラグビット (SSR:RDRF) は、最初のストップビットを検出すると "1" にセットされます。

● エラー検出

- 動作モード 0 では、パリティエラー、オーバランエラー、フレームエラーを検出できます。
- 動作モード 1 では、オーバランエラー、フレームエラーを検出できます。パリティエラーは検出できません。

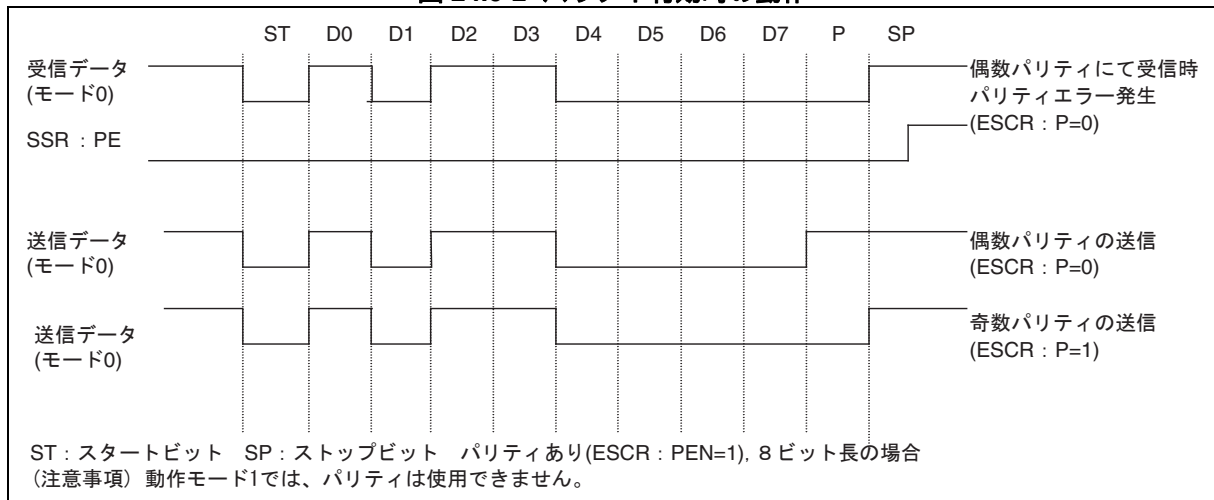
● パリティビット

- パリティビットの付加は、動作モード0の場合のみ設定できます。パリティ許可ビット (ESCR : PEN) でパリティの有無を、パリティ選択ビット (ESCR : P) で偶数パリティ / 奇数パリティを設定できます。

- 動作モード1では、パリティを使用できません。

パリティ有効時の送受信データを図 24.6-2 に示します。

図 24.6-2 パリティ有効時の動作

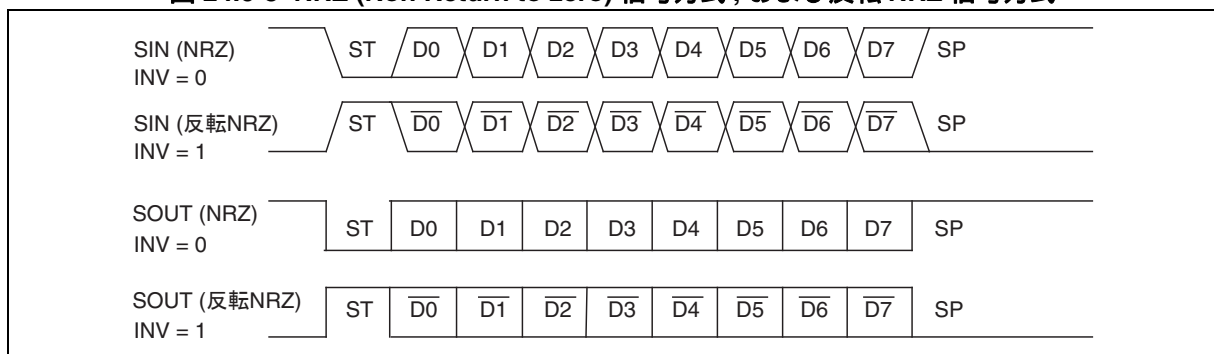


● データ信号方式

拡張通信制御レジスタの INV ビットの設定によって、NRZ (Non Return to Zero) 信号方式 (ESCR : INV=0), または反転 NRZ 信号方式 (ESCR : INV=1) を選択できます。

NRZ 信号方式および反転 NRZ 信号方式を図 24.6-3 に示します。

図 24.6-3 NRZ (Non Return to zero) 信号方式, および反転 NRZ 信号方式



● データ転送方式

データビット転送方法を LSB ファーストまたは MSB ファーストから選択できます。

MB91605A シリーズ

24.7 専用ボーレートジェネレータ

UART の送受信クロックソースは、次のいずれかを選択できます。

- 専用ボーレートジェネレータ (リロードカウンタ)
 - 外部クロックをボーレートジェネレータに入力 (リロードカウンタ)
-

■ UART ボーレート選択

ボーレートは次の 2 種類の中から 1 種類を選択できます。

- 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択 (BGR:EXT=0) してください。

- 専用ボーレートジェネレータ (リロードカウンタ) で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロックの使用を選択 (BGR:EXT=1) してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

< 注意事項 >

- 外部クロックの設定 (EXT=1) は、リロードカウンタが停止した状態 (BGR1/BGR0=15'h00)で行ってください。
 - 外部クロックに設定 (EXT=1) した場合、外部クロックの "H" 幅、"L" 幅は 2 周辺クロック (PCLK) 以上必要です。
-

24.7.1 ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値：

$$V = \phi / b - 1$$

V：リロード値

b：ボーレート

ϕ ：周辺クロック (PCLK), 外部クロック周波数

(2) 計算例

周辺クロック (PCLK) 16MHz, 内部クロック使用, ボーレート 19200bps に設定する場合のリロード値は、次のようになります。

リロード値：

$$V = (16 \times 1000000) / 19200 - 1 = 832$$

よって、ボーレートは、

$$b = (16 \times 1000000) / (832 + 1) = 19208 \text{ bps}$$

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差 (\%)} = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) 周辺クロック (PCLK) 20MHz, 目標ボーレート 153600bps に設定する場合

$$\text{リロード値} = (20 \times 1000000) / 153600 - 1 = 129$$

$$\text{ボーレート (計算値)} = (20 \times 1000000) / (129 + 1) = 153846 \text{ (bps)}$$

$$\text{誤差 (\%)} = (153846 - 153600) / 153600 \times 100 = 0.16 \text{ (\%)}$$

< 注意事項 >

- リロード値を "0" に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合、受信シリアルクロックの "H" 幅と "L" 幅は "L" 幅の方が周辺クロック (PCLK) 1 サイクル分長くなります。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じになります。
- リロード値は 4 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。

MB91605A シリーズ

■ 各周辺クロック (PCLK) 周波数に対するリロード値とボーレート

表 24.7-1 リロード値とボーレート

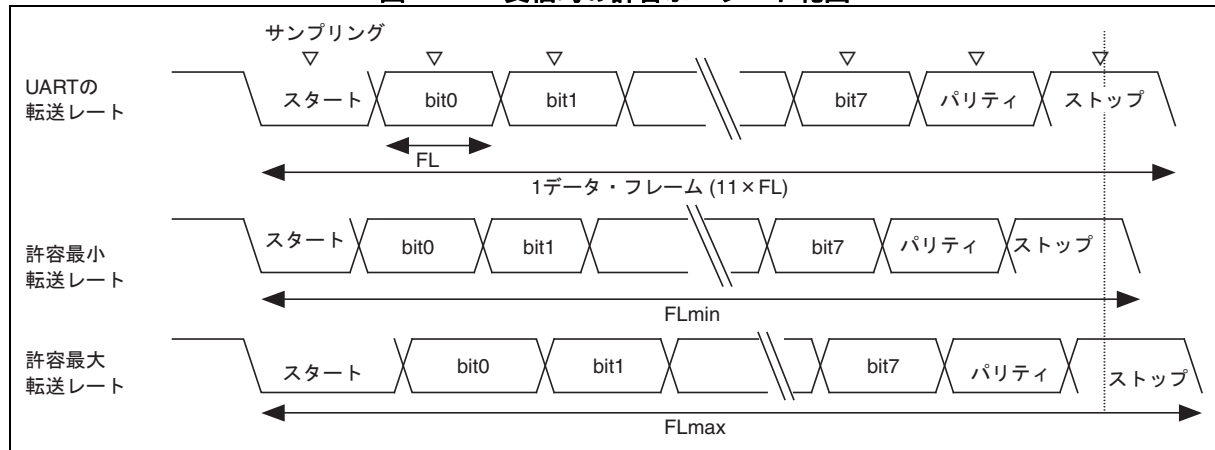
ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	0	-	-	-	-	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	- 0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	- 0.16	-	-
153600	51	- 0.16	64	- 0.16	103	- 0.16	129	- 0.16	155	- 0.16	207	- 0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	- 0.64	86	0.22	138	0.08	173	0.22	207	- 0.16	277	0.08
76800	103	- 0.16	129	- 0.16	207	- 0.16	259	- 0.16	311	- 0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	- 0.16	416	0.08	555	0.08
38400	207	- 0.16	259	- 0.16	416	0.08	520	0.03	624	0	832	- 0.04
28800	277	0.08	346	< 0.01	554	- 0.01	693	- 0.06	832	- 0.03	1110	- 0.01
19200	416	0.08	520	0.03	832	- 0.03	1041	0.03	1249	0	1666	0.02
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1919	< 0.01	2303	< 0.01	3071	< 0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	- 0.01
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2777	< 0.01	3332	< 0.01	4443	- 0.01
4800	1666	0.02	2082	- 0.02	3332	< 0.01	4166	< 0.01	4999	0	6666	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	8332	< 0.01	9999	0	13332	< - 0.01
1200	6666	< 0.01	8334	0.02	13332	< 0.01	16666	< 0.01	19999	0	26666	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	-	-	-	-	-	-
300	26666	< 0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1/BGR0 レジスタの設定値 (10 進)
- ERR : ボーレート誤差 (%)

■ 受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。
 受信時のボーレート誤差は下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 24.7-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後はBGR1/BGR0レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ（ストップビット）までが間に合えば正常に受信できます。

これを 11 ビット受信にあてはめると理論上、次のようになります。

サンプリング・タイミングのマージンを周辺クロック (PCLK) (ϕ) の 2 クロック分とすると、

許容最小転送レート (FLmin) は次のようになります。

$$FL_{min} = (11 \text{ ビット} \times (V+1) - (V+1)/2 + 2)/\phi = (21V+25)/2\phi \text{ (s)}$$

V: リロード値 ϕ : 周辺クロック (PCLK)

したがって、受信可能な送信先の最大ボーレート (BGmax) は次のようになります。

$$BG_{max} = 11/FL_{min} = 22\phi/(21V+25) \text{ (bps)}$$

V: リロード値 ϕ : 周辺クロック (PCLK)

同様に、許容最大転送レート (FLmax) を求めると、次のようになります。

$$FL_{max} = (11 \text{ ビット} \times (V+1) + (V+1)/2 - 2)/\phi = (23V+19)/2\phi \text{ (s)}$$

V: リロード値 ϕ : 周辺クロック (PCLK)

したがって、受信可能な送信先の最小ボーレート (BGmin) は次のようになります。

$$BG_{min} = 11/FL_{max} = 22\phi/(23V+19) \text{ (bps)}$$

V: リロード値 ϕ : 周辺クロック (PCLK)

MB91605A シリーズ

前述の最小 / 最大ボーレート値の算出式から , UART と送信先とのボーレートの許容誤差を求めると次のようになります。

表 24.7-2 ボーレートの許容誤差

リロード値 (V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+2.98%	-2.81%
50	+4.37%	-4.02%
100	+4.56%	-4.18%
200	+4.66%	-4.26%
32767	+4.76%	-4.35%

< 注意事項 >

受信の精度は , 1 フレームのビット数 , 周辺クロック (PCLK), リロード値に依存します。周辺クロック (PCLK) が高く , 分周比が高くなるほど精度は高くなります。

■ 外部クロック

ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) の EXT ビットに "1" を書き込むと , ボーレートジェネレータで外部クロックを分周します。

< 注意事項 >

外部クロック信号は UART で内部クロックに同期します。したがって , 同期化不可能な外部クロックの場合には動作が不安定になります

■ リロードカウンタの機能

リロードカウンタには , 送信リロードカウンタと受信リロードカウンタがあり , 専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており , 外部クロックまたは内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) にリロード値を書き込むと , リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

- 送信 / 受信リロードカウンタ共通
プログラマブルリセット (SCR:UPCL ビット)
- 受信リロードカウンタ
非同期モードでのスタートビット立下りエッジ検出

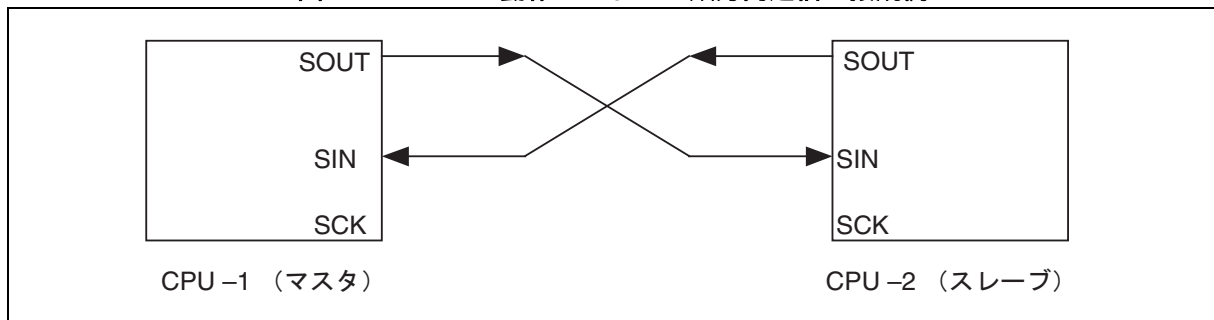
24.8 動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー

動作モード 0 では、非同期シリアル双方向通信をすることができます。

■ CPU 間接続

動作モード 0(通常モード) では、双方向通信を選択します。図 24.8-1 に示すように 2 つの CPU を相互に接続します。

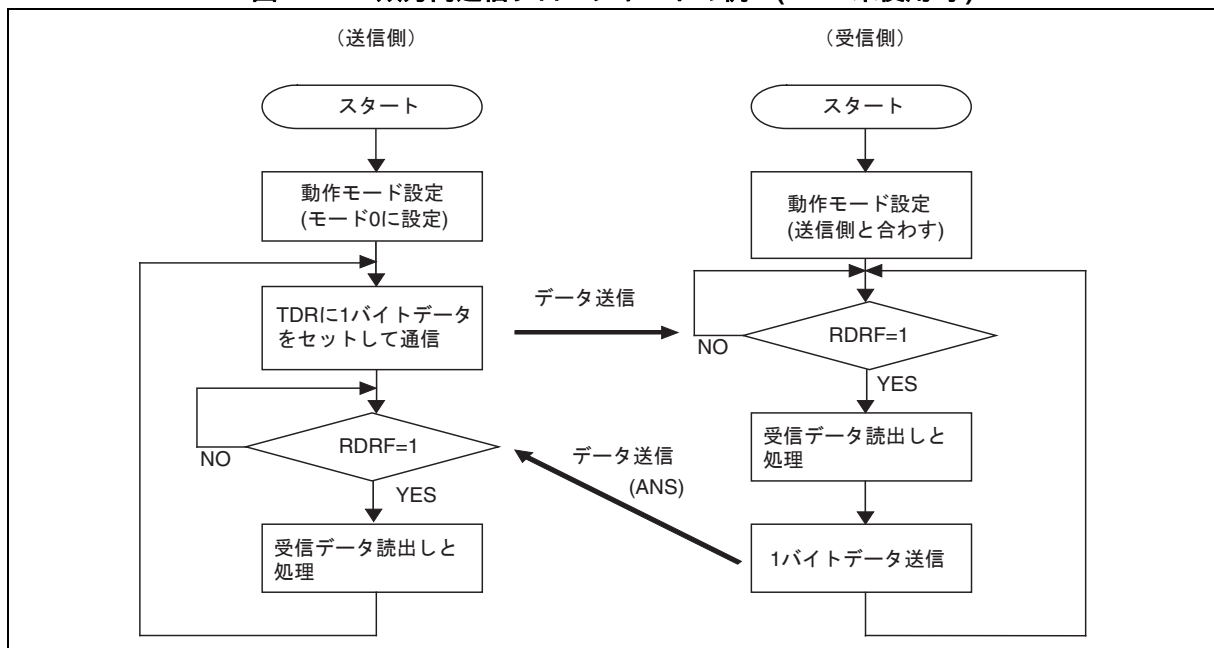
図 24.8-1 UART 動作モード 0 の双方向通信の接続例



■ フローチャート

- FIFO 未使用時

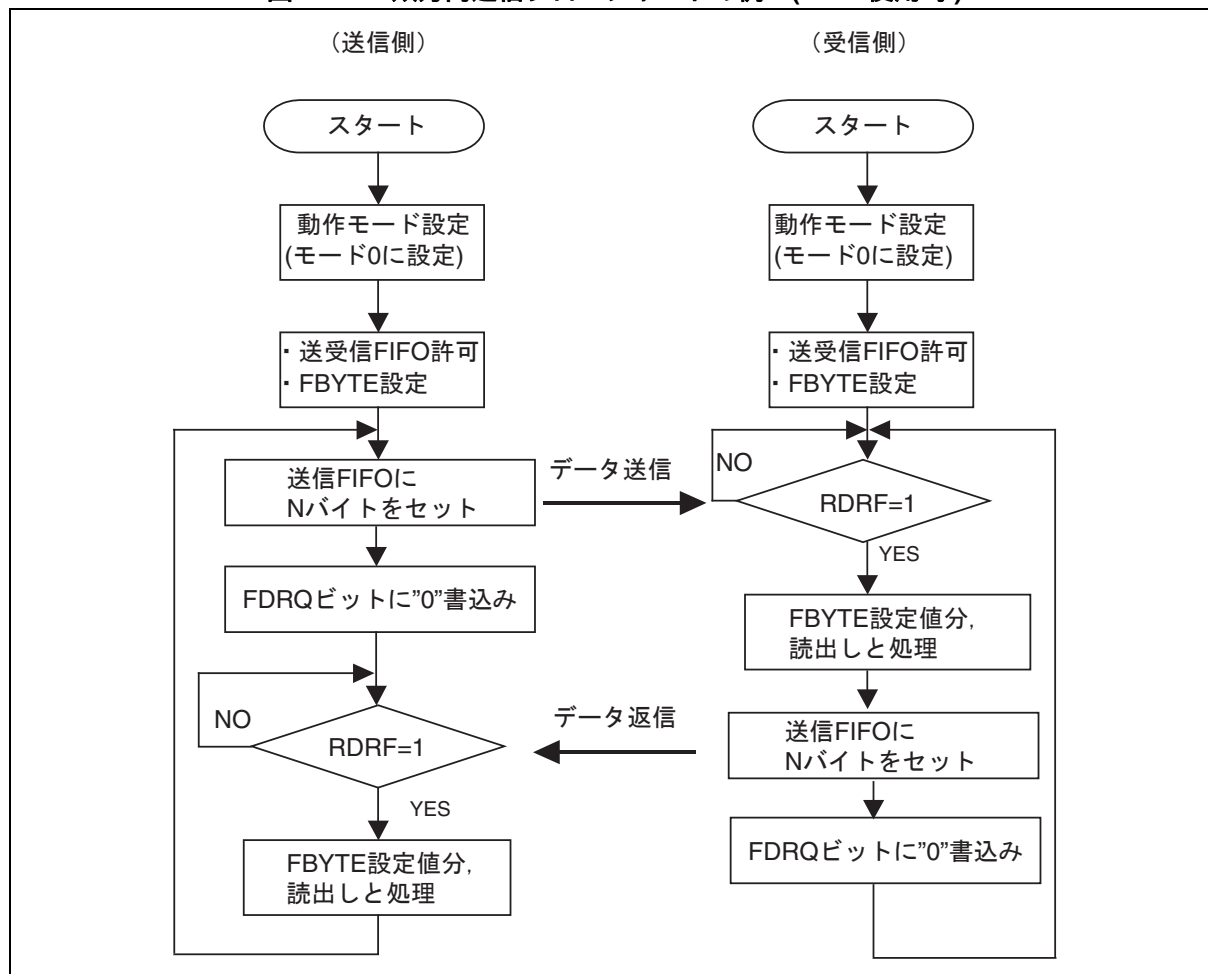
図 24.8-2 双方向通信フローチャートの例 (FIFO 未使用時)



MB91605A シリーズ

● FIFO 使用時

図 24.8-3 双方向通信フローチャートの例 (FIFO 使用時)



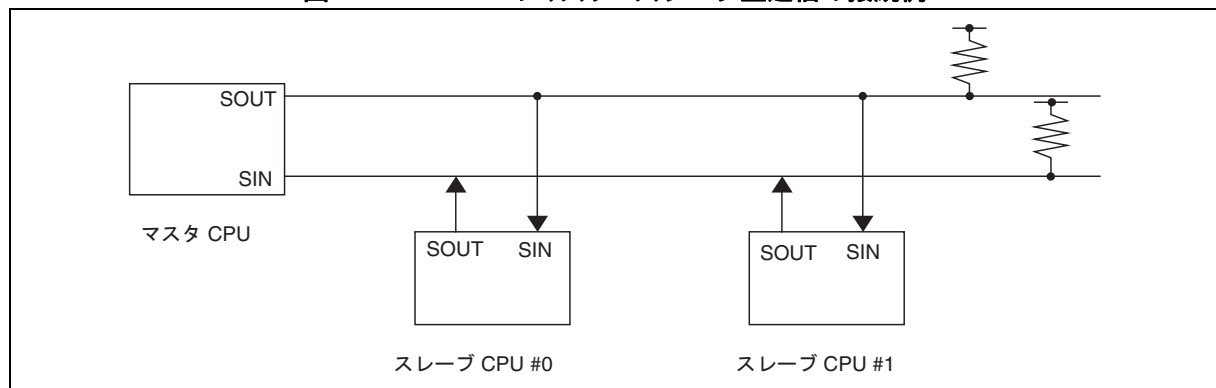
24.9 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー

動作モード 1(マルチプロセッサモード)では、複数 CPU のマスタ/スレーブ接続による通信が可能です。マスタ/スレーブとして使用できます。

■ CPU 間接続

マスタ/スレーブ型通信では、図 24.9-1 に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

図 24.9-1 UART のマスタ/スレーブ型通信の接続例



■ 機能選択

マスタ/スレーブ型通信では、表 24.9-1 に示すように動作モードとデータ転送方式を選択してください。

表 24.9-1 マスタ/スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (AD ビット送信)	モード 1 (AD ビット受信)	AD = 1 + 7 ビットまたは 8 ビットアドレス	なし	1 ビット ~ 4 ビット	LSB ファースト または、 MSB ファースト
データ送受信			AD = 0 + 7 ビットまたは 8 ビットデータ			

< 注意事項 >

動作モード 1 では送受信データ (RDR/TDR) はハーフワードアクセスで行ってください。

MB91605A シリーズ

● 通信手順

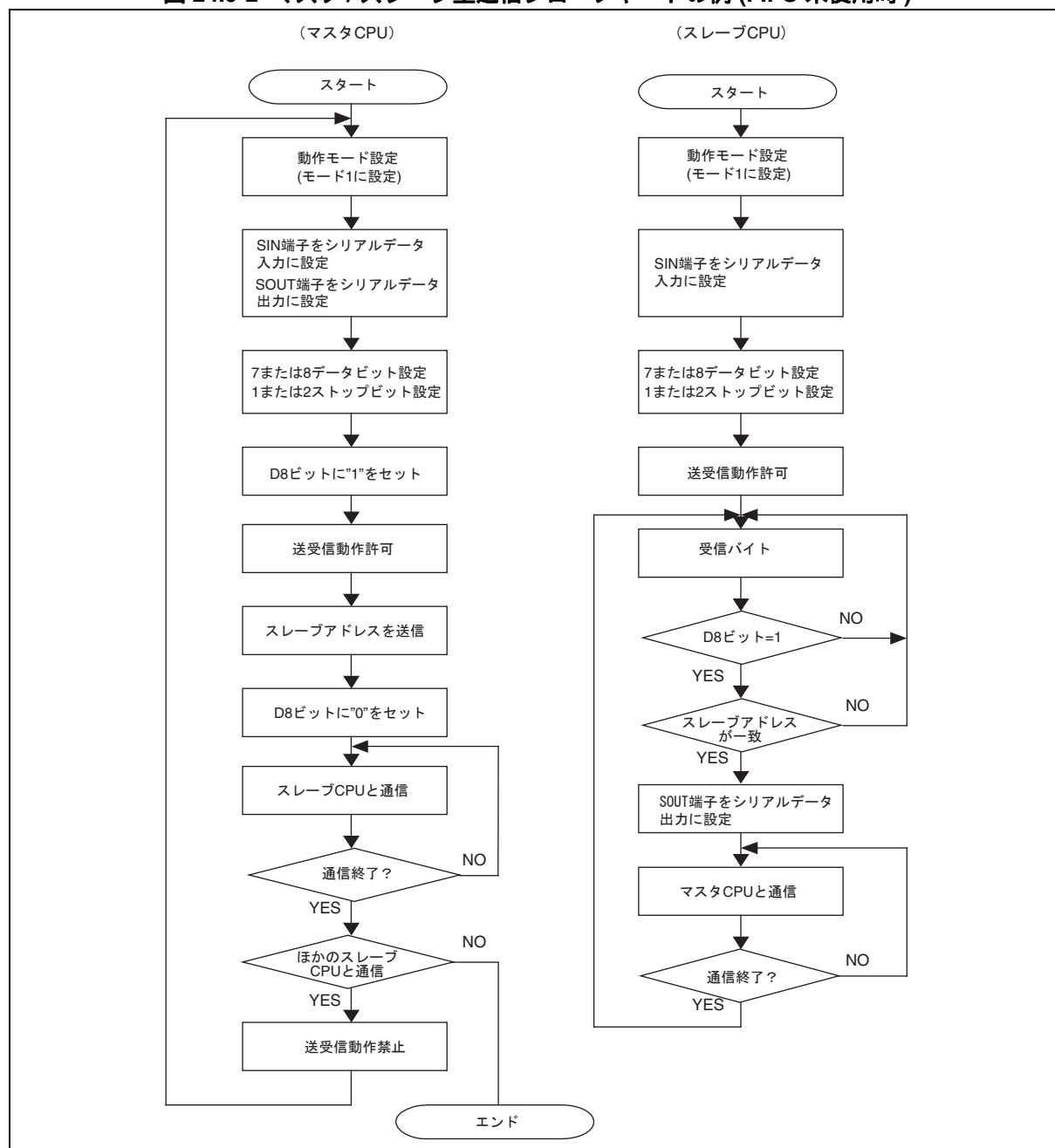
通信は、マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを "1" としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信（通常データ）をします。

図 24.9-2、図 24.9-3 に、マスタ / スレーブ型通信（マルチプロセッサモード）のフローチャートを示します。

■ フローチャート

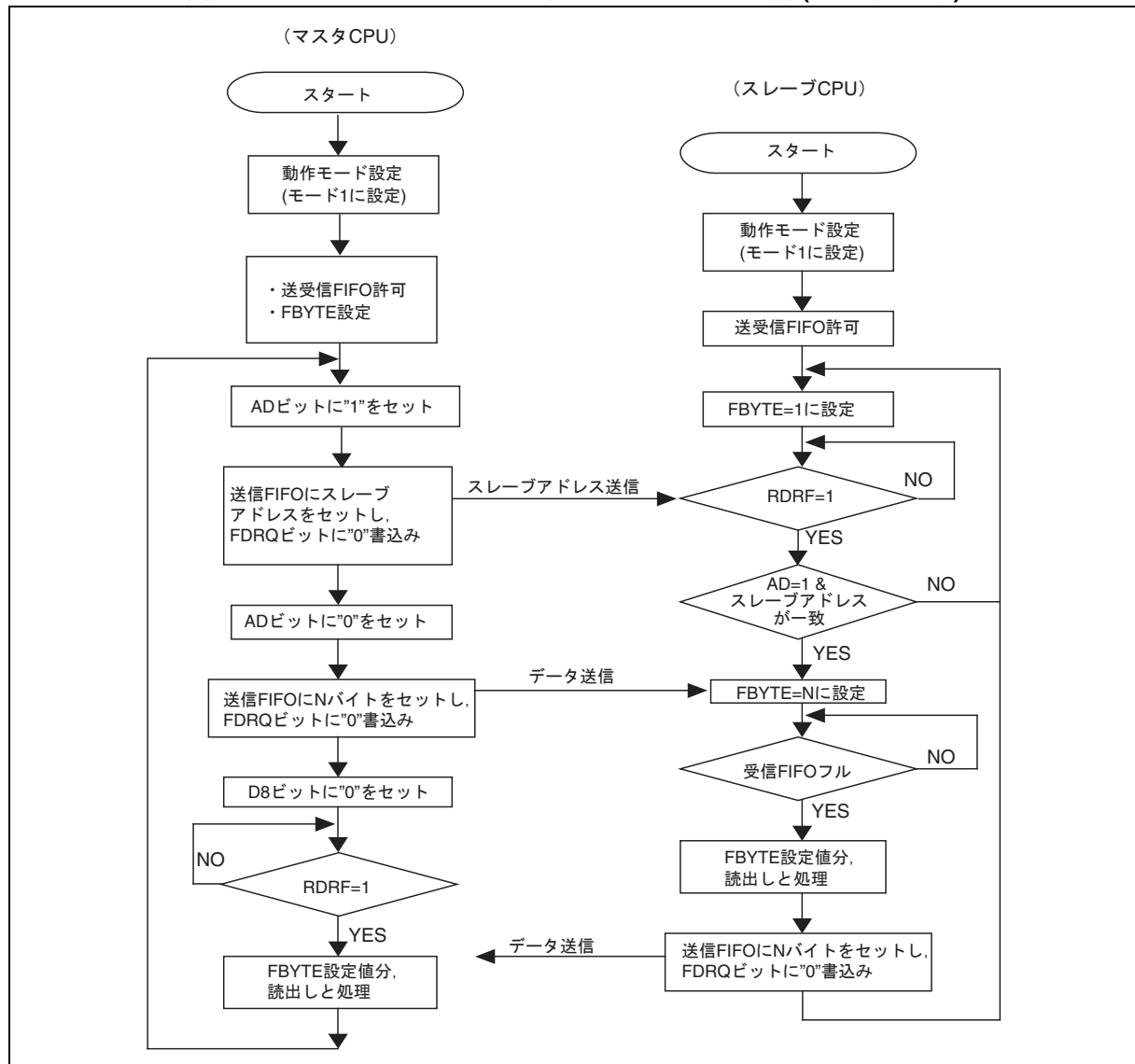
● FIFO 未使用時

図 24.9-2 マスタ / スレーブ型通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 24.9-3 マスタ/スレーブ型通信フローチャートの例 (FIFO 使用時)



24.10 UART モードの注意事項

UART モードの注意事項を下記に示します。

- FIFO 付きチャネルで DMA 転送要求する場合 , FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合 , DMA のブロックサイズを 1 回に設定してください。

24.11 CSIO(クロック同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの機能のうち、動作モード2でサポートしている CSIO 機能について説明します。

- CSIO(クロック同期シリアルインタフェース)
- CSIO(クロック同期シリアルインタフェース) の概要
- CSIO(クロック同期シリアルインタフェース) の レジスタ
 - シリアル制御レジスタ (SCR)
 - シリアルモードレジスタ (SMR)
 - シリアルステータスレジスタ (SSR)
 - 拡張通信制御レジスタ (ESCR)
 - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
 - FIFO 制御レジスタ 1(FCR1)
 - FIFO 制御レジスタ 0(FCR0)
 - FIFO バイトレジスタ (FBYTE1/FBYTE2)
 - シリアルモード選択レジスタ (SSEL89AB)
 - 受信データミラーレジスタ / 送信データミラーレジスタ (RDRM/TDRM)
- CSIO(クロック同期シリアルインタフェース) の割込み
 - 受信割込み発生とフラグセットのタイミング
 - 受信 FIFO 使用時の割込み発生とフラグセットの タイミング
 - 送信割込み発生とフラグセットのタイミング
 - 送信 FIFO 使用時の割込み発生とフラグセットの タイミング
- CSIO(クロック同期シリアルインタフェース) の 動作
- 専用ボーレートジェネレータ
 - ボーレート設定
- CSIO(クロック同期シリアルインタフェース) 設定手順とプログラムフロー

MB91605A シリーズ

24.12 CSIO(クロック同期シリアルインタフェース) の概要

CSIO(クロック同期シリアルインタフェース) は , 外部装置と同期通信をするための汎用のシリアルデータ通信インタフェースです (SPI に対応します)。また , 送信 / 受信 (最大 各 16 バイト) の FIFO を搭載しています。

■ CSIO (クロック同期シリアルインタフェース) の機能

		機能
1	データバッファ	<ul style="list-style-type: none">全二重ダブルバッファ (FIFO 未使用時)送信 / 受信 FIFO (最大各 16 バイト) (FIFO 使用時) *
2	転送形式	<ul style="list-style-type: none">クロック同期 (スタートビット / ストップビットなし)マスタ / スレーブ機能SPI に対応 (マスタ / スレーブ両方サポート)
3	ボーレート	<ul style="list-style-type: none">専用ボーレートジェネレータあり (15 ビットリロードカウンタから構成 , マスタ動作時)外部クロック入力可能 (スレーブ動作時)
4	データ長	5 ビット ~ 9 ビットに可変可能
5	受信エラー検出	オーバランエラー
6	割込み要求	<ul style="list-style-type: none">受信割込み (受信完了 , オーバランエラー)送信割込み (送信データエンプティ , 送信バスアイドル)送信 FIFO 割込み (送信 FIFO がエンプティのとき)送受信 DMA 転送サポート機能あり
7	同期モード	マスタまたはスレーブ機能
8	端子アクセス	シリアルデータ出力端子を "H" に設定可能
9	4 チャンネル同時通信	ch.8 ~ ch.11 を 4 チャンネル同時通信可能
10	FIFO オプション	<ul style="list-style-type: none">送受信 FIFO 搭載 (最大容量 : 送信 FIFO 16 バイト , 受信 FIFO 16 バイト) *送信 FIFO と受信 FIFO を選択可能送信データ再送可能受信 FIFO 割込みタイミングをソフトで変更可能独立して FIFO リセットサポート

*: ch.8 ~ ch.11 には FIFO はありません。

24.13 CSIO(クロック同期シリアルインタフェース) のレジスタ

CSIO(クロック同期シリアルインタフェース) のレジスタ一覧を示します。

■ CSIO(クロック同期シリアルインタフェース) のレジスタ一覧

表 24.13-1 CSIO(クロック同期シリアルインタフェース) のレジスタ一覧
<Helvetica>(1 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
8 ~ 11 共通	SSEL89AB	シリアルモード選択レジスタ 89AB	24.13.10
0	SCR0	シリアル制御レジスタ 0	24.13.1
	SMR0	シリアルモードレジスタ 0	24.13.2
	ESCR0	拡張通信制御レジスタ 0	24.13.4
	BGR0	ポーレートジェネレータレジスタ 0	24.13.6
	SSR0	シリアルステータスレジスタ 0	24.13.3
	RDR0	受信データレジスタ 0	24.13.5
	TDR0	送信データレジスタ 0	24.13.5
	FCR10	FIFO 制御レジスタ 10	24.13.7
	FCR00	FIFO 制御レジスタ 00	24.13.8
	FBYTE10	FIFO1 バイトレジスタ 0	24.13.9
	FBYTE20	FIFO2 バイトレジスタ 0	24.13.9
1	SCR1	シリアル制御レジスタ 1	24.13.1
	SMR1	シリアルモードレジスタ 1	24.13.2
	ESCR1	拡張通信制御レジスタ 1	24.13.4
	BGR1	ポーレートジェネレータレジスタ 1	24.13.6
	SSR1	シリアルステータスレジスタ 1	24.13.3
	RDR1	受信データレジスタ 1	24.13.5
	TDR1	送信データレジスタ 1	24.13.5
	FCR11	FIFO 制御レジスタ 11	24.13.7
	FCR01	FIFO 制御レジスタ 01	24.13.8
	FBYTE11	FIFO1 バイトレジスタ 1	24.13.9
	FBYTE21	FIFO2 バイトレジスタ 1	24.13.9

MB91605A シリーズ

表 24.13-1 CSIO(クロック同期シリアルインタフェース) のレジスタ一覧
<Helvetica>(2 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
2	SCR2	シリアル制御レジスタ 2	24.13.1
	SMR2	シリアルモードレジスタ 2	24.13.2
	ESCR2	拡張通信制御レジスタ 2	24.13.4
	BGR2	ボーレートジェネレータレジスタ 2	24.13.6
	SSR2	シリアルステータスレジスタ 2	24.13.3
	RDR2	受信データレジスタ 2	24.13.5
	TDR2	送信データレジスタ 2	24.13.5
	FCR12	FIFO 制御レジスタ 12	24.13.7
	FCR02	FIFO 制御レジスタ 02	24.13.8
	FBYTE12	FIFO1 バイトレジスタ 2	24.13.9
	FBYTE22	FIFO2 バイトレジスタ 2	24.13.9
3	SCR3	シリアル制御レジスタ 3	24.13.1
	SMR3	シリアルモードレジスタ 3	24.13.2
	ESCR3	拡張通信制御レジスタ 3	24.13.4
	BGR3	ボーレートジェネレータレジスタ 3	24.13.6
	SSR3	シリアルステータスレジスタ 3	24.13.3
	RDR3	受信データレジスタ 3	24.13.5
	TDR3	送信データレジスタ 3	24.13.5
	FCR13	FIFO 制御レジスタ 13	24.13.7
	FCR03	FIFO 制御レジスタ 03	24.13.8
	FBYTE13	FIFO1 バイトレジスタ 3	24.13.9
	FBYTE23	FIFO2 バイトレジスタ 3	24.13.9
4	SCR4	シリアル制御レジスタ 4	24.13.1
	SMR4	シリアルモードレジスタ 4	24.13.2
	ESCR4	拡張通信制御レジスタ 4	24.13.4
	BGR4	ボーレートジェネレータレジスタ 4	24.13.6
	SSR4	シリアルステータスレジスタ 4	24.13.3
	RDR4	受信データレジスタ 4	24.13.5
	TDR4	送信データレジスタ 4	24.13.5
	FCR14	FIFO 制御レジスタ 14	24.13.7
	FCR04	FIFO 制御レジスタ 04	24.13.8
	FBYTE14	FIFO1 バイトレジスタ 4	24.13.9
	FBYTE24	FIFO2 バイトレジスタ 4	24.13.9

MB91605A シリーズ

表 24.13-1 CSIO(クロック同期シリアルインタフェース) のレジスタ一覧
<Helvetica>(3 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
5	SCR5	シリアル制御レジスタ 5	24.13.1
	SMR5	シリアルモードレジスタ 5	24.13.2
	ESCR5	拡張通信制御レジスタ 5	24.13.4
	BGR5	ボーレートジェネレータレジスタ 5	24.13.6
	SSR5	シリアルステータスレジスタ 5	24.13.3
	RDR5	受信データレジスタ 5	24.13.5
	TDR5	送信データレジスタ 5	24.13.5
	FCR15	FIFO 制御レジスタ 15	24.13.7
	FCR05	FIFO 制御レジスタ 05	24.13.8
	FBYTE15	FIFO1 バイトレジスタ 5	24.13.9
	FBYTE25	FIFO2 バイトレジスタ 5	24.13.9
6	SCR6	シリアル制御レジスタ 6	24.13.1
	SMR6	シリアルモードレジスタ 6	24.13.2
	ESCR6	拡張通信制御レジスタ 6	24.13.4
	BGR6	ボーレートジェネレータレジスタ 6	24.13.6
	SSR6	シリアルステータスレジスタ 6	24.13.3
	RDR6	受信データレジスタ 6	24.13.5
	TDR6	送信データレジスタ 6	24.13.5
	FCR16	FIFO 制御レジスタ 16	24.13.7
	FCR06	FIFO 制御レジスタ 06	24.13.8
	FBYTE16	FIFO1 バイトレジスタ 6	24.13.9
	FBYTE26	FIFO2 バイトレジスタ 6	24.13.9
7	SCR7	シリアル制御レジスタ 7	24.13.1
	SMR7	シリアルモードレジスタ 7	24.13.2
	ESCR7	拡張通信制御レジスタ 7	24.13.4
	BGR7	ボーレートジェネレータレジスタ 7	24.13.6
	SSR7	シリアルステータスレジスタ 7	24.13.3
	RDR7	受信データレジスタ 7	24.13.5
	TDR7	送信データレジスタ 7	24.13.5
	FCR17	FIFO 制御レジスタ 17	24.13.7
	FCR07	FIFO 制御レジスタ 07	24.13.8
	FBYTE17	FIFO1 バイトレジスタ 7	24.13.9
	FBYTE27	FIFO2 バイトレジスタ 7	24.13.9

MB91605A シリーズ

表 24.13-1 CSIO(クロック同期シリアルインタフェース) のレジスタ一覧
<Helvetica>(4 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
8	SCR8	シリアル制御レジスタ 8	24.13.1
	SMR8	シリアルモードレジスタ 8	24.13.2
	ESCR8	拡張通信制御レジスタ 8	24.13.4
	BGR8	ボーレートジェネレータレジスタ 8	24.13.6
	SSR8	シリアルステータスレジスタ 8	24.13.3
	RDR8	受信データレジスタ 8	24.13.5
	TDR8	送信データレジスタ 8	24.13.5
	RDRM8	受信データミラーレジスタ 8	24.13.11
	TDRM8	送信データミラーレジスタ 8	24.13.11
9	SCR9	シリアル制御レジスタ 9	24.13.1
	SMR9	シリアルモードレジスタ 9	24.13.2
	ESCR9	拡張通信制御レジスタ 9	24.13.4
	BGR9	ボーレートジェネレータレジスタ 9	24.13.6
	SSR9	シリアルステータスレジスタ 9	24.13.3
	RDR9	受信データレジスタ 9	24.13.5
	TDR9	送信データレジスタ 9	24.13.5
	RDRM9	受信データミラーレジスタ 9	24.13.11
	TDRM9	送信データミラーレジスタ 9	24.13.11
10	SCRA	シリアル制御レジスタ A	24.13.1
	SMRA	シリアルモードレジスタ A	24.13.2
	ES CRA	拡張通信制御レジスタ A	24.13.4
	BGRA	ボーレートジェネレータレジスタ A	24.13.6
	SSRA	シリアルステータスレジスタ A	24.13.3
	RDRA	受信データレジスタ A	24.13.5
	TDRA	送信データレジスタ A	24.13.5
	RDRMA	受信データミラーレジスタ A	24.13.11
	TDRMA	送信データミラーレジスタ A	24.13.11
11	SCR B	シリアル制御レジスタ B	24.13.1
	SMR B	シリアルモードレジスタ B	24.13.2
	ESCR B	拡張通信制御レジスタ B	24.13.4
	BGR B	ボーレートジェネレータレジスタ B	24.13.6
	SSR B	シリアルステータスレジスタ B	24.13.3
	RDR B	受信データレジスタ B	24.13.5
	TDR B	送信データレジスタ B	24.13.5
	RDRMB	受信データミラーレジスタ B	24.13.11
	TDRMB	送信データミラーレジスタ B	24.13.11

表 24.13-2 CSIO (クロック同期シリアルインタフェース) ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
-	-								-							
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

MB91605A シリーズ

24.13.1 シリアル制御レジスタ (SCR)

シリアル制御レジスタ (SCR) は、送受信割込みの許可 / 禁止、送信アイドル割込みの許可 / 禁止、送受信動作の許可 / 禁止の設定を行います。また、SPI に接続するための設定、CSIO をリセットすることが可能です。

■ シリアル制御レジスタ (SCR)

図 24.13-1 にシリアル制御レジスタ (SCR) のビット構成を、表 24.13-3 に各ビットの機能を示します。

図 24.13-1 シリアル制御レジスタ (SCR) のビット構成

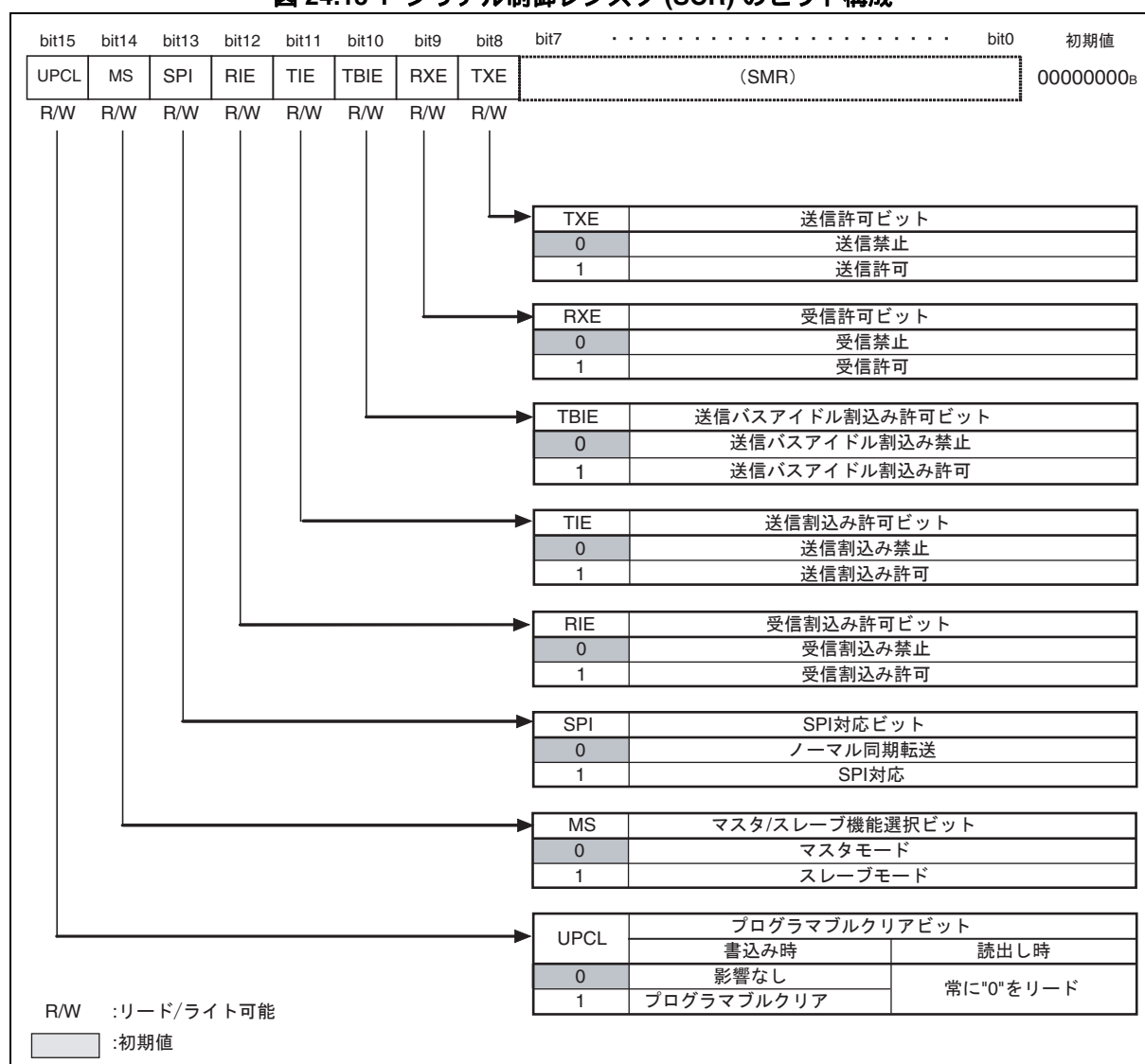


表 24.13-3 シリアル制御レジスタ (SCR) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit15	UPCL : プログラマブル クリアビット	<p>CSIO の内部状態を初期化するビットです。</p> <p>"1" を設定した場合 :</p> <ul style="list-style-type: none"> CSIO を直接リセット (ソフトウェアリセット) します。ただし、レジスタの設定は保持されます。その際、送受信状態のものは直ちに切断されます。 ボーレートジェネレータは、BGR1/BGR0 レジスタの設定値をリロードし、再スタートします。 すべての送受信割込み要因 (TDRE, TBI, RDRF, ORE) は初期化 ("1100_B") されます。 "0" を設定した場合 : 動作に影響を及ぼしません。 リード時は、常に "0" が読み出されます。 <p>(注意事項) 割込み禁止に設定した後に、プログラマブルクリアを実行してください。 FIFO 使用時は、FIFO 禁止 (FE2, FE1=0) にしてからプログラマブルクリアを実行してください。</p>
bit14	MS : マスタ / スレーブ機能 選択ビット	<p>マスタまたはスレーブモードを選択します。</p> <p>"0" に設定した場合 : マスタモードに設定されます。</p> <p>"1" に設定した場合 : スレーブモードに設定されます。</p> <p>(注意事項) スレーブモードを選択した場合、SMR:SCKE=0 であれば、外部クロックが直接入力されます。</p>
bit13	SPI : SPI 対応 ビット	<p>本ビットは、SPI に対応した通信をさせるためのビットです。</p> <p>"0" に設定した場合 : ノーマル同期通信を行います。</p> <p>"1" に設定した場合 : SPI に対応します。</p>
bit12	RIE : 受信割込み 許可ビット	<ul style="list-style-type: none"> CPU への受信割込み要求出力を許可 / 禁止するビットです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、またはエラーフラグビット (ORE) のいずれかが "1" の場合、受信割込み要求を出力します。
bit11	TIE : 送信割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信割込み要求出力を許可 / 禁止するビットです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。
bit10	TBIE : 送信バス アイドル 割込み許可 ビット	<ul style="list-style-type: none"> CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。 TBIE ビットと TBI ビットが "1" のとき、送信バスアイドル割込み要求を出力します。

MB91605A シリーズ

表 24.13-3 シリアル制御レジスタ (SCR) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit9	RXE : 受信許可ビット	CSIO の受信動作を許可 / 禁止します。 "0" に設定した場合：データフレーム受信動作が禁止されます。 "1" に設定した場合：データフレーム受信動作が許可されます。 (注意事項) 受信中に受信動作を禁止 (RXE=0) した場合には , 直ちに受信動作を停止します。
bit8	TXE : 送信許可ビット	CSIO の送信動作を許可 / 禁止します。 "0" に設定した場合：データフレーム送信動作が禁止されます。 "1" に設定した場合：データフレーム送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止 (TXE=0) した場合には , 直ちに送信動作を停止します。

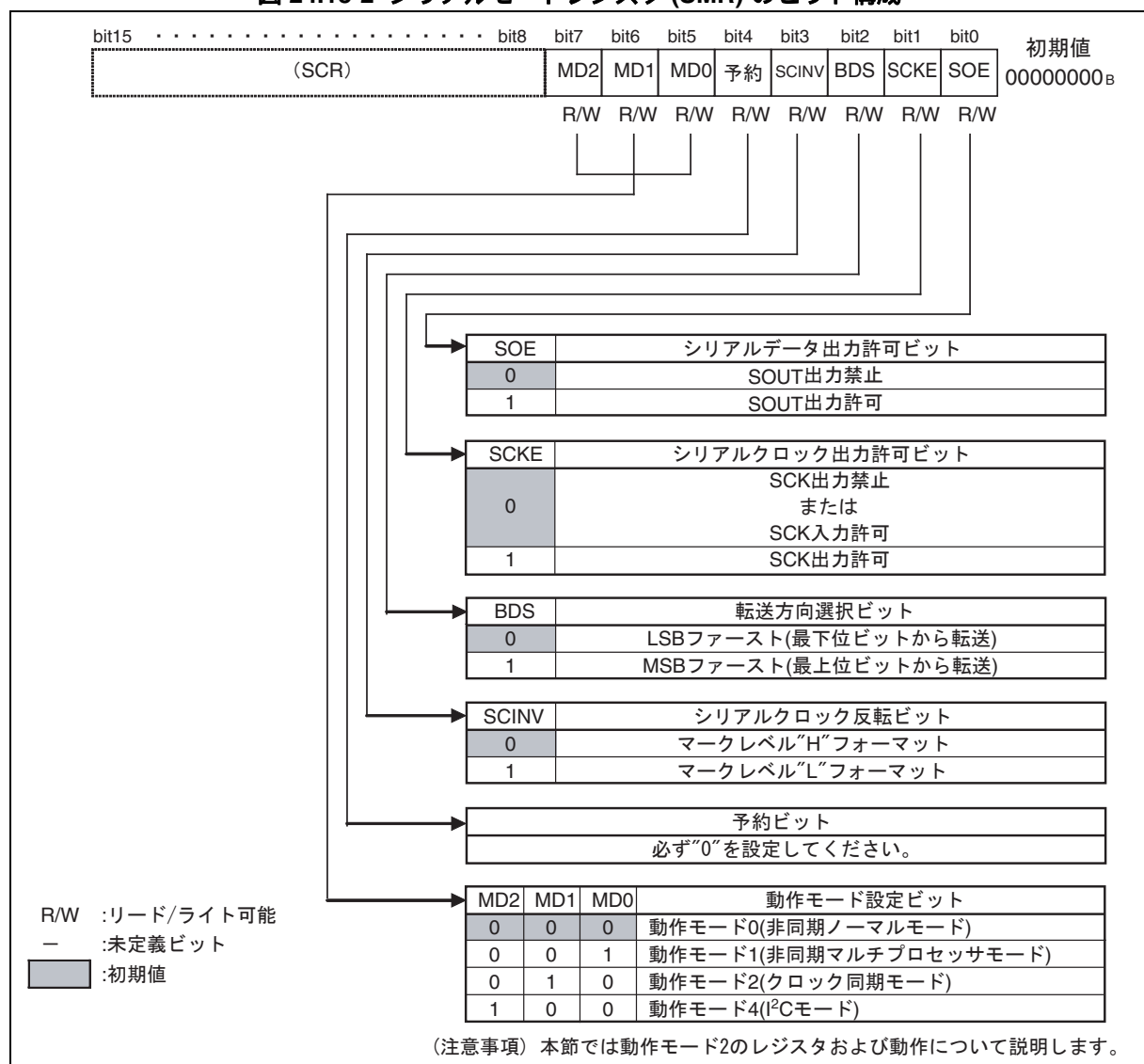
24.13.2 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、動作モードの設定、転送方向、シリアルクロックの反転、およびシリアルデータとクロックの端子への出力許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 24.13-2 にシリアルモードレジスタ (SMR) のビット構成を、表 24.13-4 に各ビットの機能を示します。

図 24.13-2 シリアルモードレジスタ (SMR) のビット構成



MB91605A シリーズ

表 24.13-4 シリアルモードレジスタ (SMR) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit7 ~ bit5	MD2 ~ MD0 : 動作モード 設定ビット	<p>動作モードを設定します。</p> <p>"000_B" : 動作モード 0(非同期 ノーマルモード) に設定されます。</p> <p>"001_B" : 動作モード 1(非同期 マルチプロセッサモード) に設定されます。</p> <p>"010_B" : 動作モード 2(クロック同期モード) に設定されます。</p> <p>"100_B" : 動作モード 4(I²C モード) に設定されます。</p> <p>動作モード 2(クロック同期モード) のレジスタおよび動作について説明します。</p> <p>(注意事項) 上記の設定以外は禁止です。</p> <p>動作モードを切り換える場合には , プログラマブルクリア実行 (SCR:UPCL=1) 後 , 動作モードを切り換えてください。</p> <p>動作モード設定後 , 各レジスタを設定してください。</p>
bit4	予約ビット	必ず "0" を設定してください。
bit3	SCINV : シリアル クロック反転 ビット	<p>シリアルクロックフォーマットを反転するビットです。</p> <p>"0" に設定した場合 :</p> <ul style="list-style-type: none"> シリアルクロック出力のマークレベルを "H" にします。 送信データは , ノーマル転送ではシリアルクロックの立下りエッジ , SPI 転送ではシリアルクロックの立上りエッジに同期して出力します。 受信データは , ノーマル転送ではシリアルクロックの立上りエッジ , SPI 転送ではシリアルクロックの立下りエッジでサンプリングします。 <p>"1" に設定した場合 :</p> <ul style="list-style-type: none"> シリアルクロック出力のマークレベルを "L" にします。 送信データは , ノーマル転送ではシリアルクロックの立上りエッジ , SPI 転送ではシリアルクロックの立下りエッジに同期して出力します。 受信データは , ノーマル転送ではシリアルクロックの立下りエッジ , SPI 転送ではシリアルクロックの立上りエッジでサンプリングします。 <p>(注意事項) 本ビットは , 送受信が禁止 (TXE=RXE=0) のときに設定してください。</p>
bit2	BDS : 転送方向選択 ビット	<p>転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト , BDS=0) 最上位ビット側から先に転送するか (MSB ファースト , BDS=1) を選択するビットです。</p> <p>(注意事項) 本ビットは , 送受信が禁止 (TXE=RXE=0) のときに設定してください。</p>

表 24.13-4 シリアルモードレジスタ (SMR) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit1	SCKE: シリアル クロック出力 許可ビット	シリアルクロックの入出力ポートを制御するビットです。 "0" に設定した場合： SCK"H" 出力, または SCK 入力許可となります。SCK 入力として使う場合は汎用入出力ポートを入力ポートに設定してください。 "1" に設定した場合：SCK 出力許可となります。
bit0	SOE: シリアル データ出力 許可ビット	シリアルデータの出力を許可 / 禁止するビットです。 "0" に設定した場合：SOUT"H" 出力となります。 "1" に設定した場合：SOUT 出力許可となります。

< 注意事項 >

動作モードを変更すると, ほかのレジスタは初期化されますので動作モードを最初に設定してください。ただし, 16 ビット書込みで SCR と SMR を同時に書き込んだとき, SCR には書き込んだ内容が反映されます。

MB91605A シリーズ

24.13.3 シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は、送受信状態の確認、受信エラーフラグの確認、また、受信エラーフラグをクリアします。

■ シリアルステータスレジスタ (SSR)

図 24.13-3 にシリアルステータスレジスタ (SSR) のビット構成を、表 24.13-5 に各ビットの機能を示します。

図 24.13-3 シリアルステータスレジスタ (SSR) のビット構成

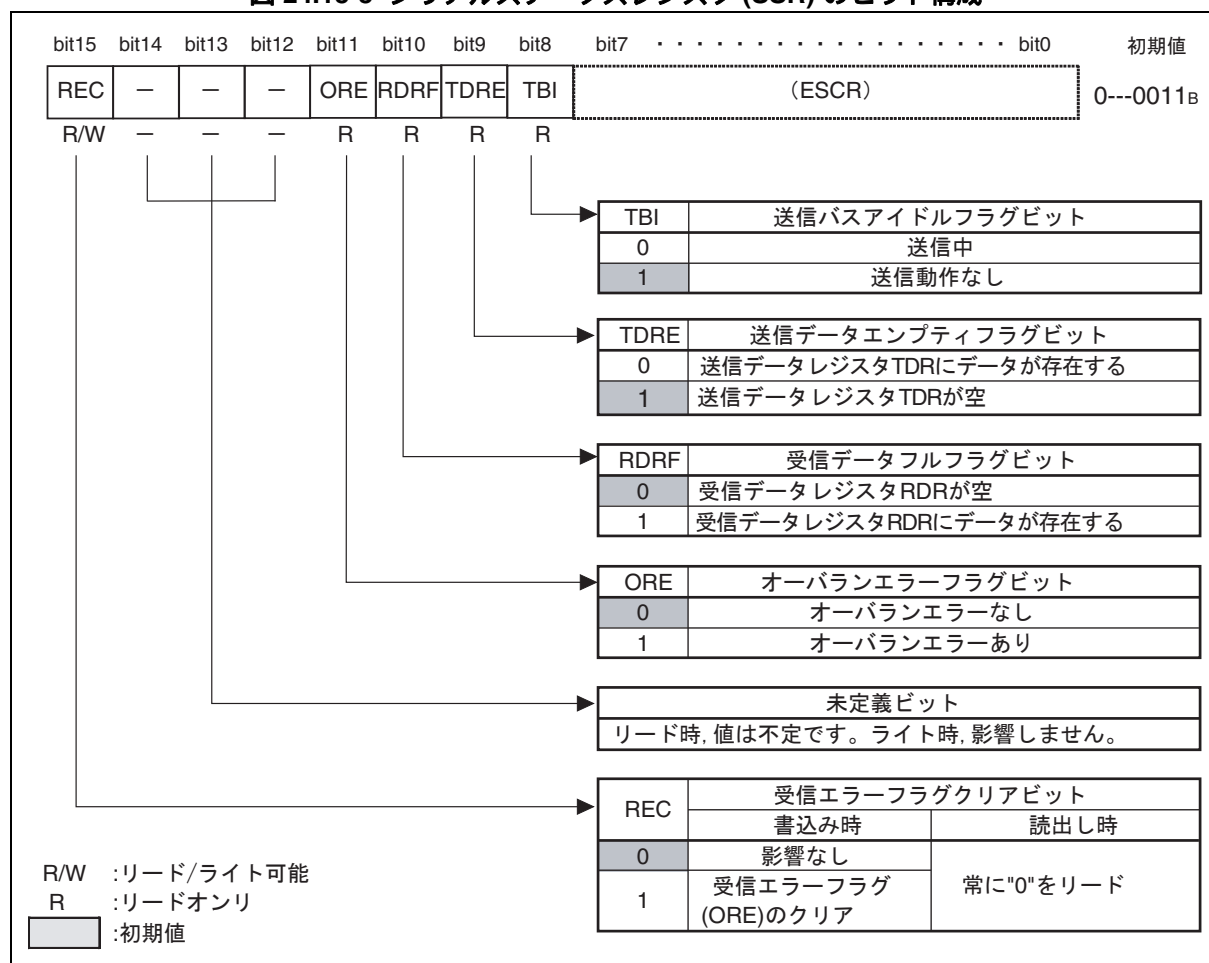


表 24.13-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit15	REC : 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の ORE フラグをクリアするビットです。 <ul style="list-style-type: none"> • "1" 書込みで、エラーフラグがクリアされます。 • "0" 書込みは、影響しません。 リードした場合、常に "0" が読み出されます。
bit14 ~ bit12	未定義ビット	リードした場合 : 値は不定です。 ライトした場合 : 影響しません。
bit11	ORE : オーバラン エラーフラグ ビット	<ul style="list-style-type: none"> • 受信時にオーバランが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。
bit10	RDRF : 受信データ フルフラグ ビット	<ul style="list-style-type: none"> • 受信データレジスタ (RDR) の状態を示すフラグです。 • RDR に受信データがロードされると "1" にセットされ、受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 • RDRF ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。 • 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。 • 受信 FIFO 使用時は、受信 FIFO がエンプティになると "0" にクリアされます。

MB91605A シリーズ

表 24.13-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit9	TDRE : 送信データ エンプティ フラグビット	<ul style="list-style-type: none"> 送信データレジスタ (TDR) の状態を示すフラグです。 TDR に送信データを書き込むと "0" となり, TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり, TDR に有効なデータが存在していないことを示します。 TDRE ビットと TIE ビットが "1" の場合, 送信割り込み要求を出力します。 シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると, TDRE ビットは "1" になります。 送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは「24.14.4 送信 FIFO 使用時の割り込み発生とフラグセットの タイミング」を参照してください。
bit8	TBI : 送信バス アイドル フラグビット	<ul style="list-style-type: none"> CSIO が送信動作をしていないことを示すビットです。 送信データレジスタ (TDR) にデータを書き込んだ場合に本ビットは "0" になります。 送信データレジスタ (TDR) がエンプティ (TDRE=1) で, 送信動作をしていない場合に本ビットが "1" になります。 シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TDRE ビットは "1" になります。 本ビットが "1" で, 送信バスアイドル割り込みが許可 (SCR:TBIE=1) されていると送信割り込み要求を出力します。

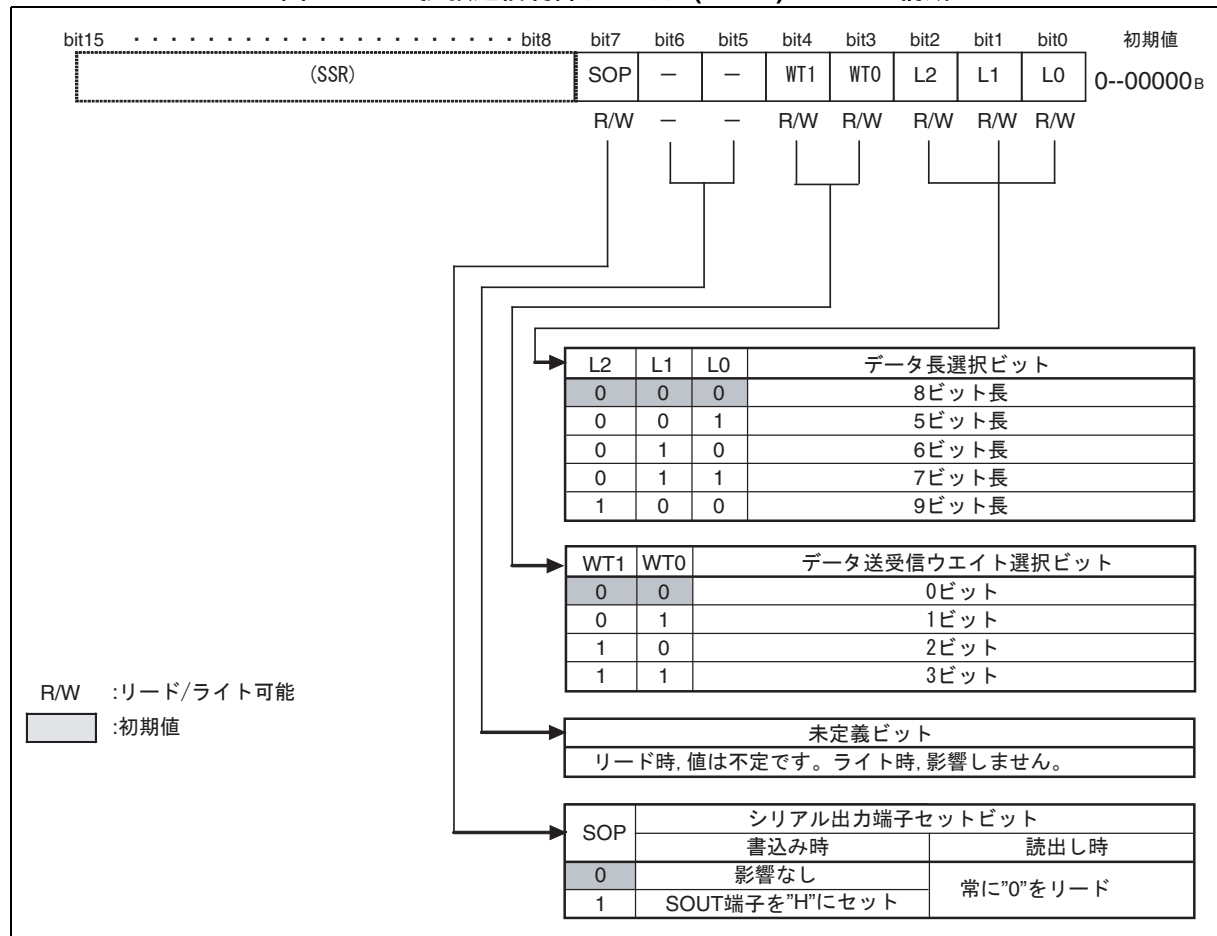
24.13.4 拡張通信制御レジスタ (ESCR)

拡張通信制御レジスタ (ESCR) は、送受信データ長の設定、データ送受信ウェイト選択、シリアル出力を "H" 固定の設定ができます。

■ 拡張通信制御レジスタ (ESCR) のビット構成

図 24.13-4 に拡張通信制御レジスタ (ESCR) のビット構成を、表 24.13-6 に各ビットの機能を示します。

図 24.13-4 拡張通信制御レジスタ (ESCR) のビット構成



MB91605A シリーズ

表 24.13-6 拡張通信制御レジスタ (ESCR) の各ビットの機能説明

ビット名		機能
bit7	SOP : シリアル出力 端子セット ビット	<ul style="list-style-type: none"> シリアル出力端子を "H" にセットするビットです。本ビットに "1" を書いたときに SOUT 端子を "H" にしますが、その後、本ビットに "0" を書く必要はありません。 リードした場合、常に "0" が読み出されます。 <p>(注意事項) シリアルデータ送信中に、本ビットの設定をしないでください。</p>
bit6, bit5	未定義ビット	<p>リードした場合：値は不定です。 ライトした場合：影響しません。</p>
bit4, bit3	WT1, WT0 : データ送受信 ウェイト選択 ビット	<p>マスタ時、連続データの送信または受信に対し、ウェイト数を指定します。スレーブ時は "00" の動作になります。</p> <ul style="list-style-type: none"> "00" に設定した場合：連続的に SCK が出力されます。 "01" に設定した場合：1 ビット時間ウェイト後、SCK が出力されます。 "10" に設定した場合：2 ビット時間ウェイト後、SCK が出力されます。 "11" に設定した場合：3 ビット時間ウェイト後、SCK が出力されます。
bit2 ~ bit0	L2 ~ L0: データ長選択 ビット	<p>送受信データのデータ長を指定します。</p> <p>"000_B" に設定した場合：データ長は、8 ビットに設定されます。</p> <p>"001_B" に設定した場合：データ長は、5 ビットに設定されます。</p> <p>"010_B" に設定した場合：データ長は、6 ビットに設定されます。</p> <p>"011_B" に設定した場合：データ長は、7 ビットに設定されます。</p> <p>"100_B" に設定した場合：データ長は、9 ビットに設定されます。</p> <p>(注意事項) 上記の設定以外は禁止です。</p>

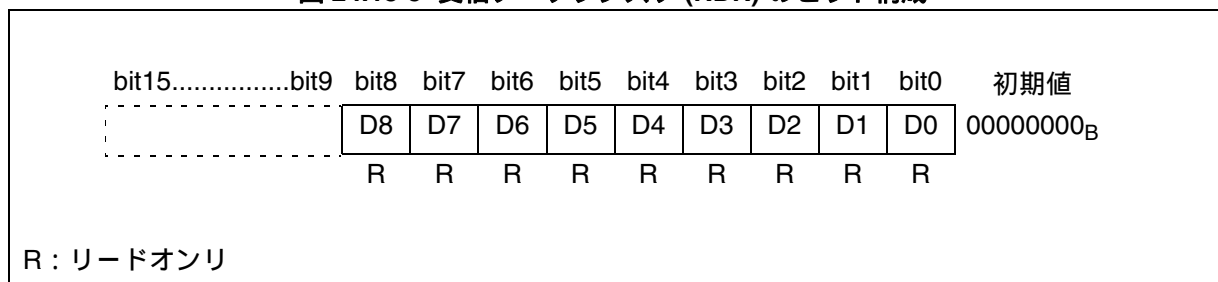
24.13.5 受信データレジスタ / 送信データレジスタ (RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。

■ 受信データレジスタ (RDR)

図 24.13-5 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 24.13-5 受信データレジスタ (RDR) のビット構成



受信データレジスタ (RDR) は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- データ長に応じ、以下のように上位ビットから順に "0" となります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

- 受信データが受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。受信割込みが許可されている場合は (SSR : RIE=1)、受信割込み要求を発生します。
- 受信データレジスタ (RDR) は、受信データフルフラグビット (SSR : RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR : RDRF) は、シリアル受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。
- 受信エラーが発生 (SSR : ORE) した場合、受信データレジスタ (RDR) のデータは無効となります。
- 9 ビット長転送の場合の RDR の読出しは 16 ビットアクセスで行います。

MB91605A シリーズ

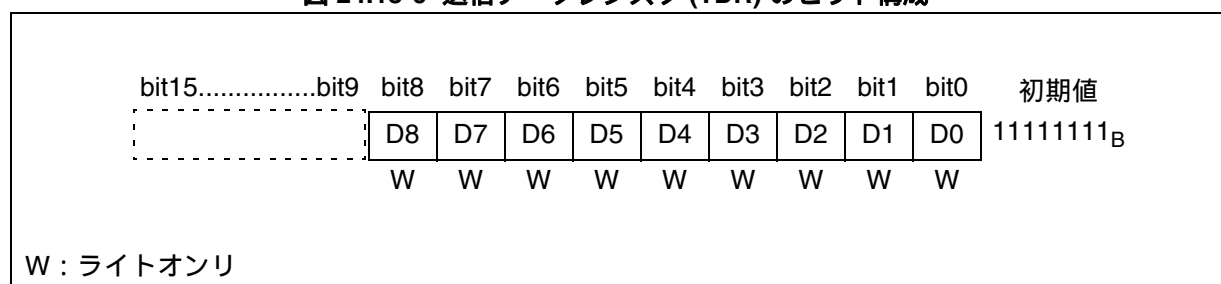
< 注意事項 >

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
- 受信 FIFO 使用時に、受信エラーが発生 (SSR : ORE が "1") した場合、受信 FIFO の許可ビットはクリアされ、受信データを受信 FIFO には格納しません。

■ 送信データレジスタ (TDR)

図 24.13-6 に送信データレジスタのビット構成を示します。

図 24.13-6 送信データレジスタ (TDR) のビット構成



送信データレジスタ (TDR) は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR : TXE=1)、送信するデータを送信データレジスタ (TDR) に書き込むと送信データが送信用シフトレジスタに転送され、シリアルデータに変換されてシリアルデータ出力端子 (SOUT 端子) から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

(X は送信データビット)

- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信データレジスタ (TDR) に書き込まれると "0" にクリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信用シフトレジスタへ転送されて送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1" にセットされます。

MB91605A シリーズ

- 送信データエンプティフラグ (SSR : TDRE) が "1" の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書き込みは、送信割込みの発生によるか、送信データエンプティフラグ (SSR : TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR : TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ (TDR) に送信データを書き込むことはできません。
- 9 ビット長転送の場合、TDR への書き込みは 16 ビットアクセスで行います。

< 注意事項 >

- 送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読み出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため、書き込み値と読み出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。
 - 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは、「24.14.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
-

MB91605A シリーズ

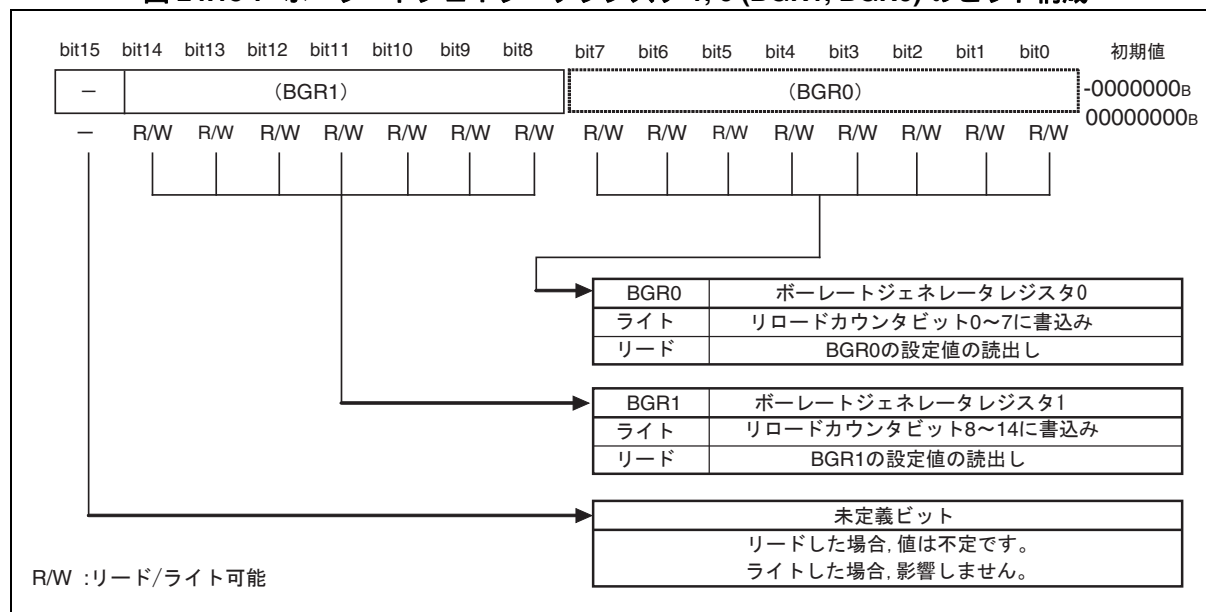
24.13.6 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は、シリアルクロックの分周比を設定します。

■ ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 24.13-7 にポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 24.13-7 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



- ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) に値を設定します。
- BGR0 は下位ビット, BGR1 は上位ビットに対応し, カウントするリロード値の書き込み, BGR0/BGR1 の設定値の読出しが可能です。
- ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。

< 注意事項 >

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは, 16 ビットアクセスで行ってください。
 - リロード値が偶数の場合, シリアルクロックの "H" 幅と "L" 幅は SCINV ビットの設定によって以下ようになります。奇数の場合, シリアルクロックの "H" 幅と "L" 幅は同じになります。
 - SCINV=0 のとき, シリアルクロックの "H" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
 - SCINV=1 のとき, シリアルクロックの "L" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
 - リロード値は 1 以上を設定してください。ただし, 本 CSIO どうしをマスタとスレーブに使用する場合には, マスタとなる CSIO のリロード値は 3 以上を設定してください。
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) の設定値を変更した場合, カウンタ値が "0000_H" になってから, 新しい設定値がリロードされます。したがって, 新しい設定値を即有効にしたい場合は, BGR0/BGR1 の設定値を変更した後, CSIO リセット (UPCL) を実行してください。
 - 受信 FIFO 使用時, 受信 FIFO アイドル検出許可ビット (FCR1:FRIIE) を "1" に設定してスレーブモードで動作させる場合, BGR0/BGR1 にボーレートを設定してください。
-

MB91605A シリーズ

24.13.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ 1 (FCR1) は、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 24.13-8 に FIFO 制御レジスタ 1 (FCR1) のビット構成を、表 24.13-7 に各ビットの機能を示します。

図 24.13-8 FIFO 制御レジスタ 1(FCR1) のビット構成

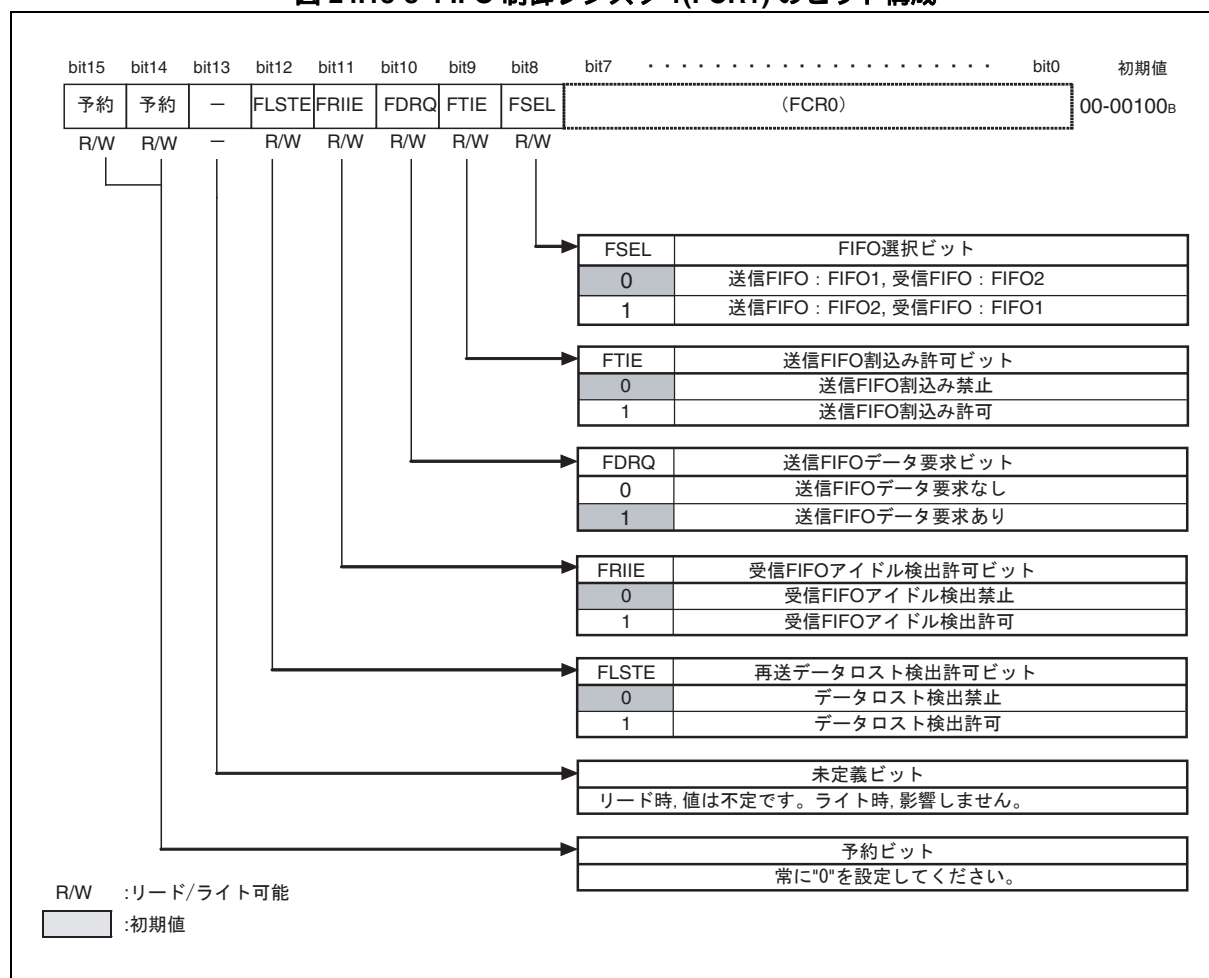


表 24.13-7 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit15, bit14	予約ビット	本ビットには必ず "00 _B " を設定してください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE： 再送データ ロスト検出 許可ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項) 本ビットに "1" を設定する場合，FSET ビットに "1" を設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル検出 許可ビット	受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込みが許可 (SCR:RIE=1) されていると，受信アイドル状態が検出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ： 送信 FIFO データ要求 ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき，送信データを要求していることを示します。このとき，送信 FIFO 割込みが許可 (FTIE=1) されていると，送信 FIFO 割込み要求を出力されます。 FDRQ セット条件 <ul style="list-style-type: none"> • FBYTE1/FBYTE2(送信用)=0 (送信 FIFO がエンプティ) • 送信 FIFO のリセット FDRQ リセット条件 <ul style="list-style-type: none"> • 本ビットへの "0" 書込み • 送信 FIFO がフルになった場合 (注意事項) FBYTE1/FBYTE2(送信用)=0 のときに本ビットへの "0" 書込みは禁止です。 本ビットが "0" のときに FSEL ビットの変更は禁止です。 本ビットに "1" を設定した場合，動作に影響を与えません。 リードモディファイライト (RMW) 系命令時，"1" が読み出されます。
bit9	FTIE： 送信 FIFO 割込み 許可ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

MB91605A シリーズ

表 24.13-7 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit8	FSEL : FIFO 選択 ビット	送受信 FIFO を選択するビットです。 "0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り 当てられます。 "1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り 当てられます。 (注意事項) 本ビットは , FIFO リセット (FCL2, FCL1=1) ではクリ アされません。 本ビットを変更する場合は , FIFO 動作禁止 (FCR0: FE2, FE1=0) にしてから行ってください。

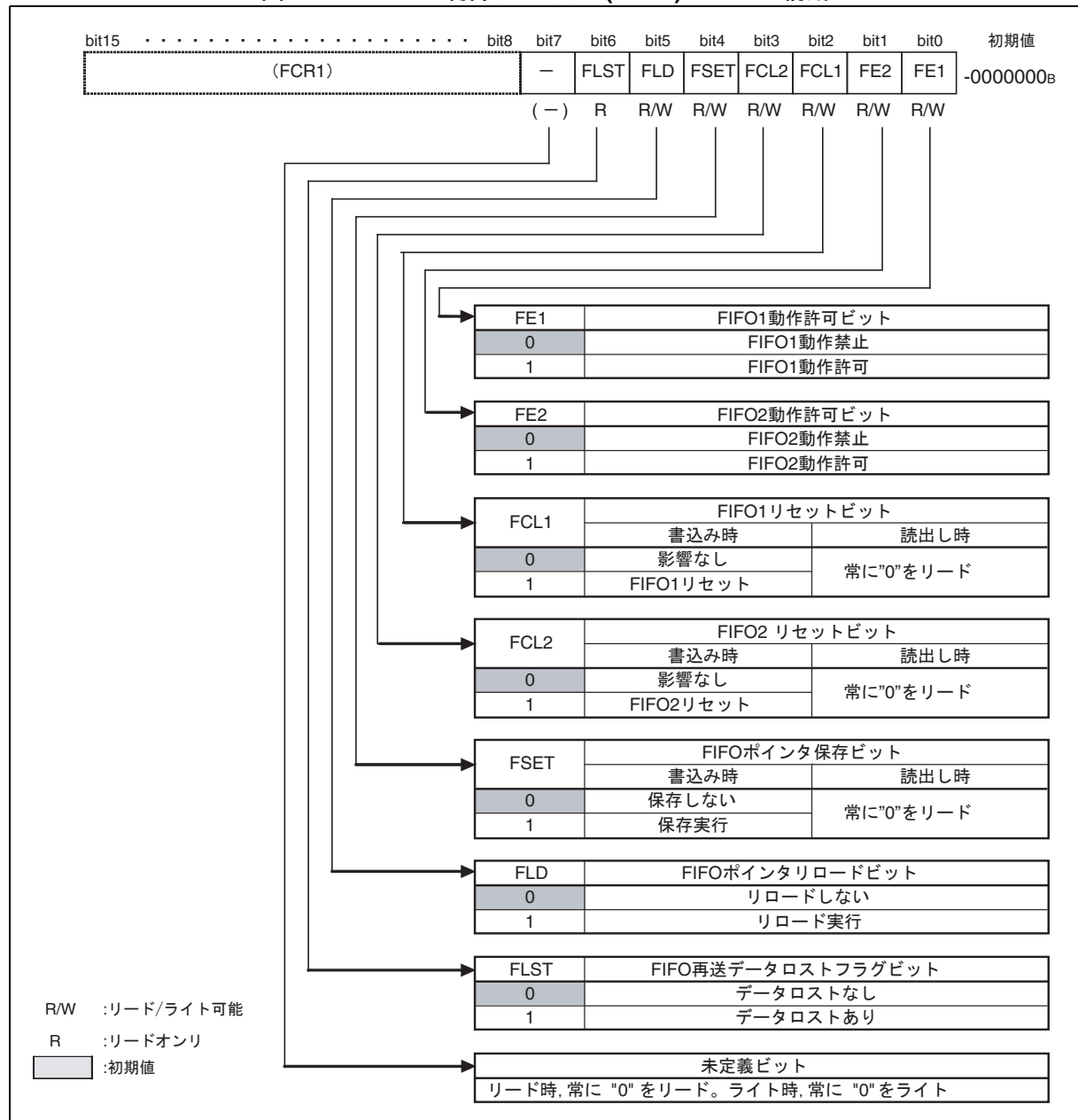
24.13.8 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は、FIFO 動作の許可 / 禁止、FIFO リセット、リードポインタの保存、再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 24.13-9 に FIFO 制御レジスタ 0 (FCR0) のビット構成を、表 24.13-8 に各ビットの機能を示します。

図 24.13-9 FIFO 制御レジスタ 0(FCR0) のビット構成



MB91605A シリーズ

表 24.13-8 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書き込んでください。
bit6	FLST : FIFO 再送 データロス フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 <ul style="list-style-type: none"> • FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ場合 FLST リセット条件 <ul style="list-style-type: none"> • FIFO リセット (FCL への "1" 書込み) • FLST ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポインタが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。
bit5	FLD : FIFO ポインタ リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生して再送するときには使用します。 再送設定が完了した場合、本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間、リードポインタへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中、本ビットに "1" を設定することは禁止です。 TIE ビットと TBIE ビットは "0" にしてから本ビットに "1" を書き込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを "1" にしてください。
bit4	FSET : FIFO ポインタ 保存ビット	送信 FIFO のリードポインタを保存するビットです。 送信前にリードポインタを保存すると、通信エラーなどが発生した場合、FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポインタの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2 : FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると、FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 24.13-8 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	<p>FIFO1 をリセットするビットです。 本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。 FCR1:FLST1 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO1 リセットを実行してください。 送信 FIFO 割り込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。</p>
bit1	FE2 : FIFO2 動作 許可ビット	<p>FIFO2 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO2 を使用する場合、本ビットに "1" を設定してください。 • FIFO2 を送信 FIFO に設定し (FCR1:FSEL=1), 本ビットに "1" を書き込んだときに FIFO2 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。
bit0	FE1 : FIFO1 動作 許可ビット	<p>FIFO1 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO1 を使用する場合、本ビットに "1" を設定してください。 • FIFO1 を送信 FIFO に設定し (FCR1:FSEL=0), 本ビットに "1" を書き込んだときに FIFO1 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO1 を禁止にしても FIFO1 の状態は保持されます。

MB91605A シリーズ

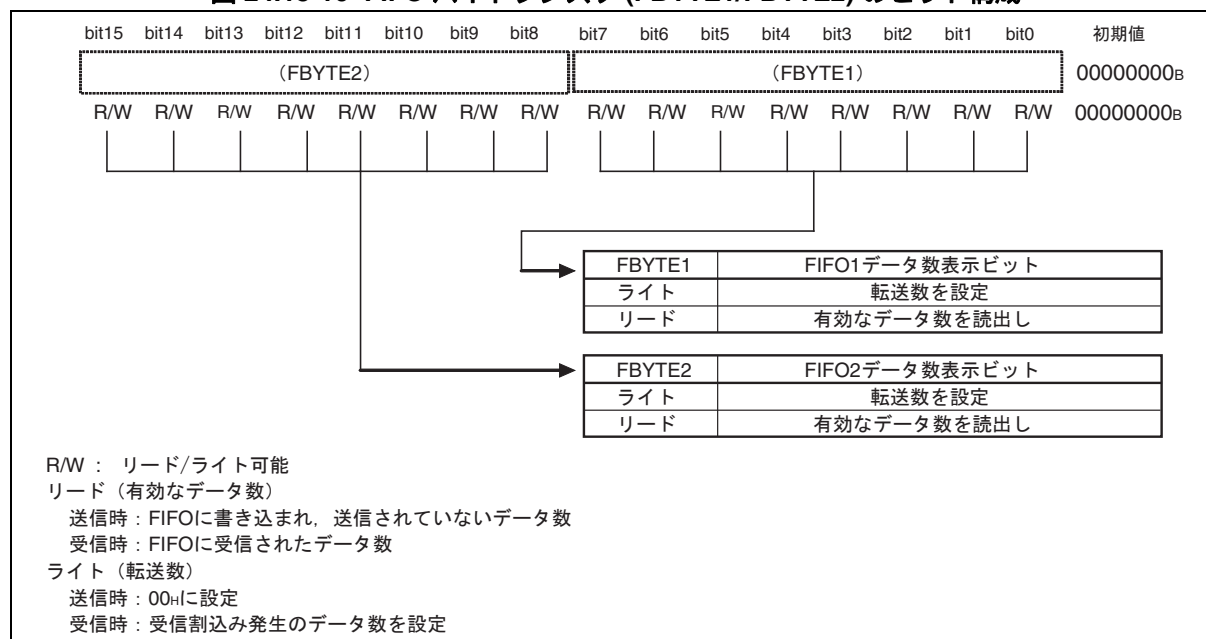
24.13.9 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は, FIFO の有効なデータ数を示します。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 24.13-10 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 24.13-10 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE1/FBYTE2 レジスタは, FIFO の有効なデータ数を示し, FCR1:FSEL ビットの設定によって以下ようになります。

表 24.13-9 データ数表示

FSEL	FIFO 選択	バイト数表示
0	FIFO2 : 受信 FIFO, FIFO1 : 送信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1
1	FIFO2 : 送信 FIFO, FIFO1 : 受信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1

- FBYTE レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致すると割込みフラグ (RDRF) が "1" にセットされます。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合, 受信アイドル状態がポーレートクロックで8クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8クロックカウント中, RDR を読み出すとそのカウンタは "0" にリセットされ, 再度 8クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度, カウントを開始します。

- マスタ動作でデータを受信する場合 (マスタ受信), TIE ビットと TBIE ビットを "0" にして送信 FIFO の FBYTE1/FBYTE2 レジスタに受信データ数を設定し, FDRQ ビットに "0" を書きます。その後, TXE ビットが "1" のときに設定データ分のシリアルクロックが出力され, 設定値分データを受信することができます。TIE ビット, TBIE ビットに "1" を設定したい場合には FDRQ が "1" になった後に "1" に設定してください。

< 注意事項 >

- マスタ動作で, データを受信するとき以外, 送信 FIFO の FBYTE1/FBYTE2 には "00_H" を設定してください。
 - マスタ動作でデータを受信するときの送信データ数の設定は送信FIFOがエンプティで TIE ビット, TBIE ビットが "0" のときに行ってください。
 - マスタ動作でデータを受信中に受信禁止 (RXE=0) にする場合には, 送信 FIFO を禁止にしてから送受信を禁止にしてください。
 - 受信 FIFO の FBYTE1/FBYTE2 には "1" 以上のデータを設定してください。
 - 受信 FIFO の FBYTE1/FBYTE2 の変更は受信を禁止してから変更してください。
 - 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
 - FIFO 容量を超えた設定は禁止です。
-

MB91605A シリーズ

24.13.10 シリアルモード選択レジスタ (SSEL89AB)

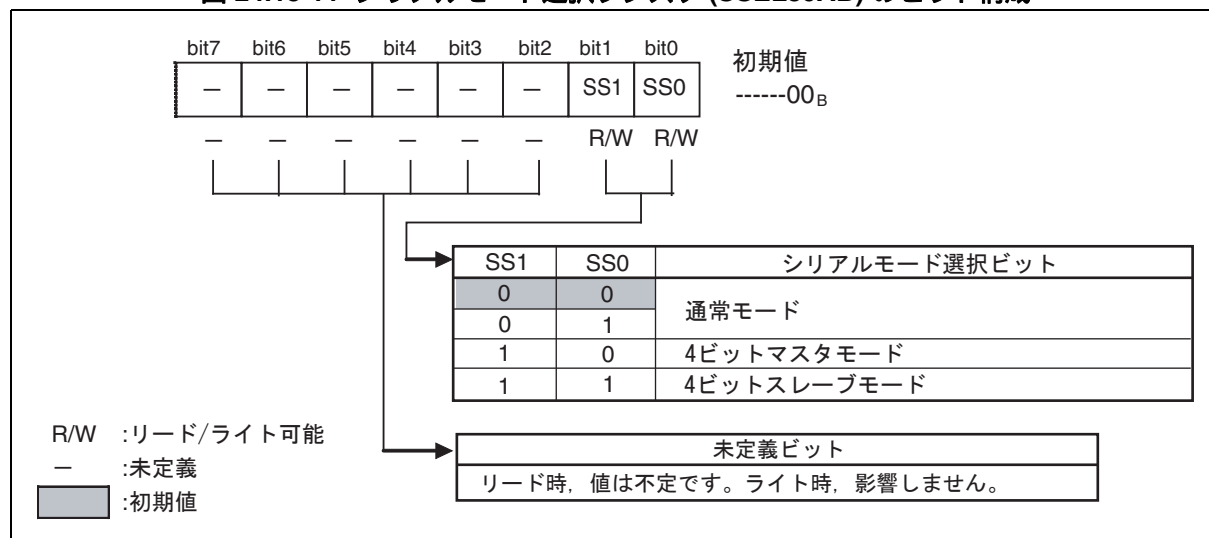
4 チャンネルの CSIO を 1 つのクロックで同時に動作させ、4 ビットのシリアル通信を行うことができます。

4 チャンネル同時通信ができるのは、ch.8 ~ ch.11 の組合せになります。

■ シリアルモード選択レジスタ (SSEL89AB) のビット構成

図 24.13-11 にシリアルモード選択レジスタ (SSEL89AB) のビット構成を示します。

図 24.13-11 シリアルモード選択レジスタ (SSEL89AB) のビット構成



< 注意事項 >

このレジスタは CSIO の動作が停止しているときに設定してください。

[bit7 ~ bit2] : 未定義ビット

書込み時	無視されます。
読出し時	値は不定です。

[bit1, bit0] : SS1, SS0 (シリアルモード選択ビット)

CSIO を 4 チャンネル同時に通信させるかどうかを選択します。また, 4 チャンネル同時通信させる場合は, 動作モードも選択します。

動作モードは次の通りです。

- 通常モード : 4 チャンネル同時通信を利用しないモードです。
- 4 ビットマスタモード : ch.8 ~ ch.11 をマスタモードで 4 チャンネル同時に通信します。
- 4 ビットスレーブモード : ch.8 ~ ch.11 をスレーブモードで 4 チャンネル同時に通信します。

SS1	SS0	説明
0	0	通常モードに設定します。
0	1	
1	0	4 ビットマスタモードに設定します。
1	1	4 ビットスレーブモードに設定します。

< 注意事項 >

- 4 ビットマスタモードに設定する場合は, シリアル制御レジスタ (SCR) の MS ビットで次の設定をしてください。
 - ch.8 ~ ch.10: スレーブモード
 - ch.11: マスタモード
- 4 ビットスレーブモードに設定する場合は, シリアル制御レジスタ (SCR) の MS ビットで同時通信するすべてのチャンネルをスレーブモードにしてください。

MB91605A シリーズ

24.13.11 受信データミラーレジスタ/送信データミラーレジスタ (RDRM/TDRM)

受信データミラーレジスタ (RDRM) は、受信データレジスタ (RDR) の下位 8 ビットのミラーレジスタです。

送信データミラーレジスタ (TDRM) は、送信データレジスタ (TDR) の下位 8 ビットのミラーレジスタです。

このレジスタにアクセスすると受信データレジスタ (RDR) の下位 8 ビット / 送信データレジスタ (TDR) の下位 8 ビットにアクセスできます。

4 チャンネル同時通信を利用するときに、このレジスタを使用してください。

■ 受信データミラーレジスタ (RDRM)

受信データミラーレジスタ 8 (RDRM8) が受信データレジスタ 8 (RDR8) の下位 8 ビットに、受信データミラーレジスタ B (RDRMB) が受信データレジスタ B (RDRB) の下位 8 ビットに対応しています。

ch.8 ~ ch.11 の受信データミラーレジスタ (RDRM) は並んで配置されているため、ワードアクセスすることで、一度に読み出すことができます。DMA 転送などに利用してください。

詳しくは、「24.15 CSIO(クロック同期シリアルインタフェース)の動作」の「4 チャンネル同時通信モード時の動作」を参照してください。

< 注意事項 >

4 チャンネル同時通信を使用する場合は、9 ビット長のデータは使用できません。

■ 送信データミラーレジスタ (TDRM)

送信データミラーレジスタ 8 (TDRM8) が送信データレジスタ 8 (TDR8) の下位 8 ビットに、送信データミラーレジスタ B (TDRMB) が送信データレジスタ B (TDRB) の下位 8 ビットに対応しています。

ch.8 ~ ch.11 の送信データミラーレジスタ (TDRM) は並んで配置されているため、ワードアクセスすることで、一度に書き込むことができます。DMA 転送などに利用してください。

詳しくは、「24.15 CSIO(クロック同期シリアルインタフェース)の動作」の「4 チャンネル同時通信モード時の動作」を参照してください。

< 注意事項 >

4 チャンネル同時通信を使用する場合は、9 ビット長のデータは使用できません。

24.14 CSIO(クロック同期シリアルインタフェース) の割込み

CSIO (クロック同期シリアルインタフェース) の割込みには受信割込みと送信割込みがあり、次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ (RDR) にセットされた場合、または受信エラーが発生した場合
- 送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル (送信動作なし)
- 送信 FIFO データ要求

■ CSIO の割込み

CSIO の割込み制御ビットと割込み要因は表 24.14-1 のようになっています。

表 24.14-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ (RDR) の読出し
			FBYTE1/FBYTE2 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
			FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ (TDR) への書込み、または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ (TDR) への書込み、または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込みまたは送信 FIFO がフル

*: TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

MB91605A シリーズ

24.14.1 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了 (SSR:RDRF) および受信エラーの発生 (SSR : ORE) があります。

■ 受信割込み発生とフラグセットのタイミング

最終データビットが検出されることにより、受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF=1) または受信エラーが発生 (SSR : ORE=1) すると各フラグがセットされます。そのとき、受信割込みが許可 (SSR : RIE=1) されていると受信割込みが発生します。

< 注意事項 >

受信エラーが発生した場合は、受信データレジスタ (RDR) のデータは無効となります。

図 24.14-1 受信動作とフラグセットのタイミング

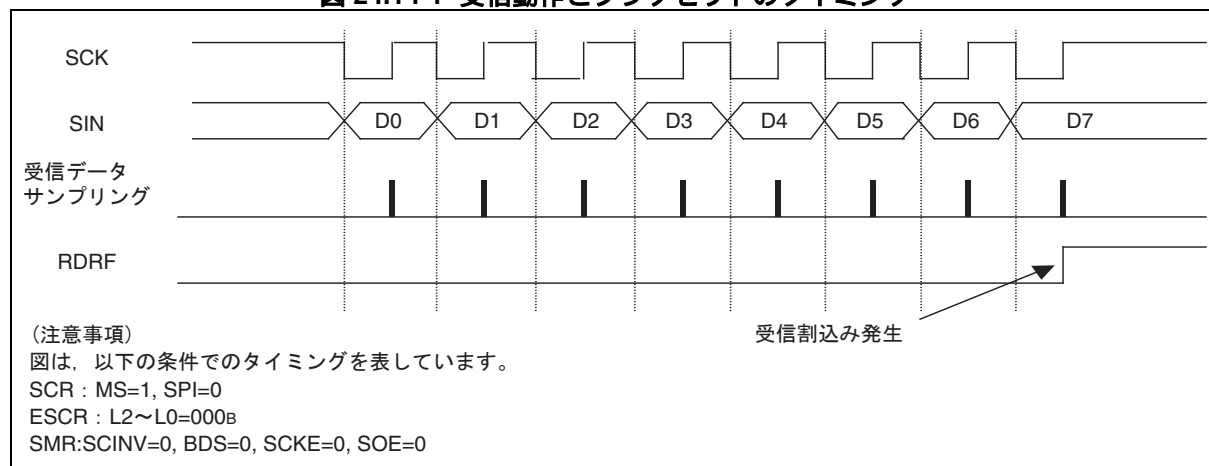
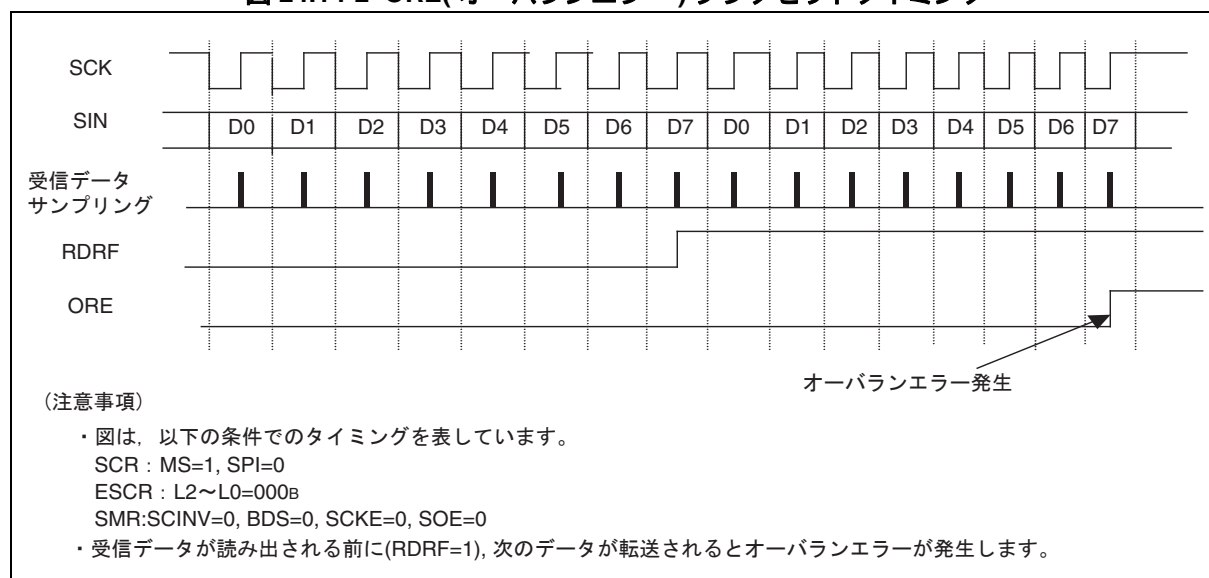


図 24.14-2 ORE(オーバランエラー) フラグセットタイミング



24.14.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

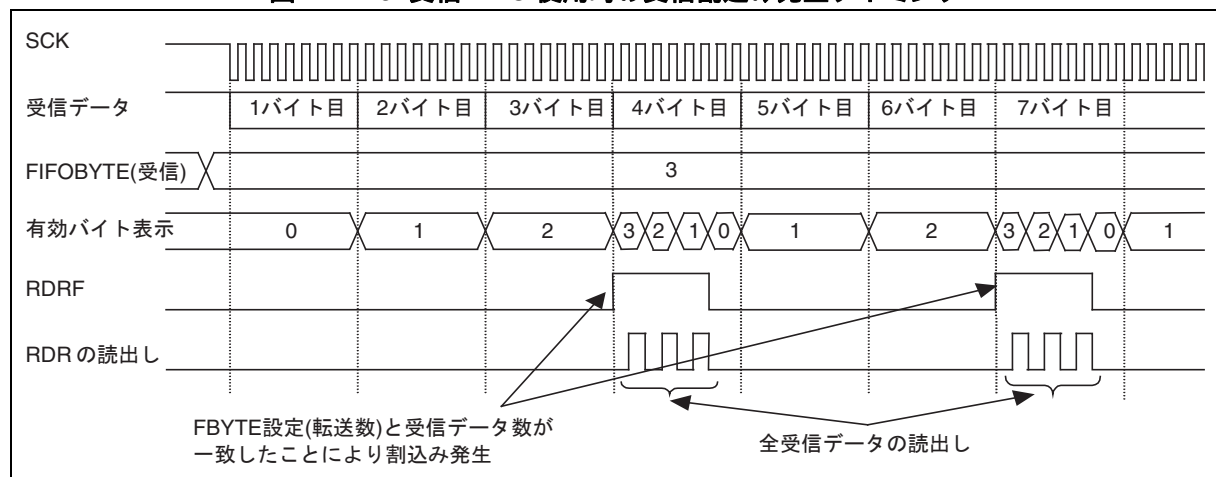
受信 FIFO 使用時の割込みは、FBYTE1/FBYTE2 レジスタ (FBYTE1/FBYTE2) の設定値分のデータを受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE1/FBYTE2 レジスタの設定値によって決定されます。

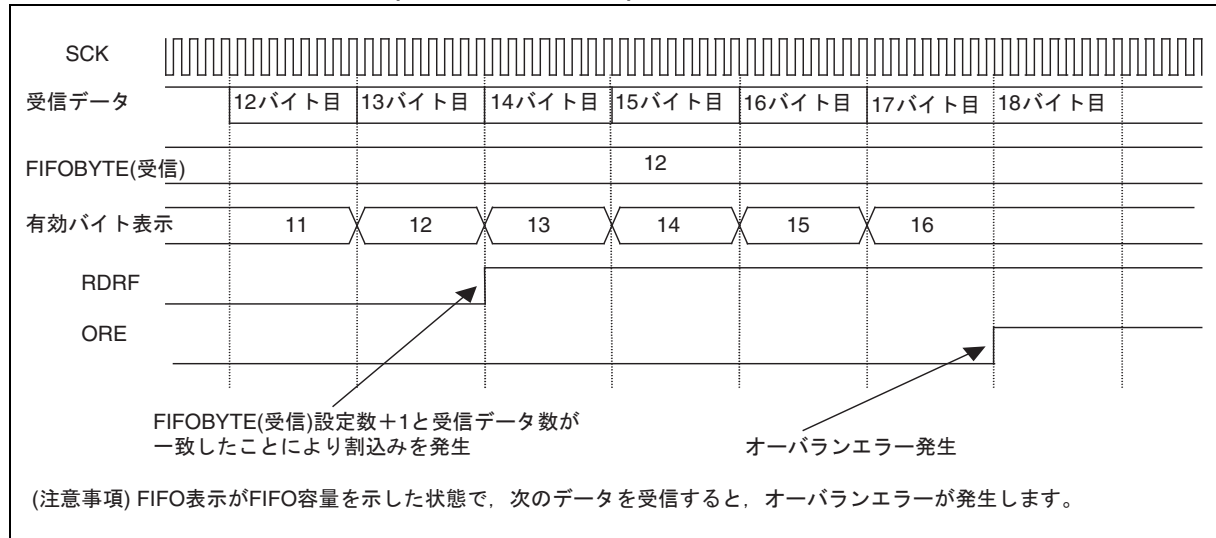
- FBYTE1/FBYTE2 レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" にセットされます。このとき、受信割込みが許可 (SCR:RIE) されていると受信割込みが発生します。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ (RDR) を読み出すと、受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバーランエラー (SSR:ORE=1) が発生します。

図 24.14-3 受信 FIFO 使用時の受信割込み発生タイミング



MB91605A シリーズ

図 24.14-4 ORE (オーバーランエラー) フラグビットのセットタイミング



24.14.3 送信割込み発生とフラグセットのタイミング

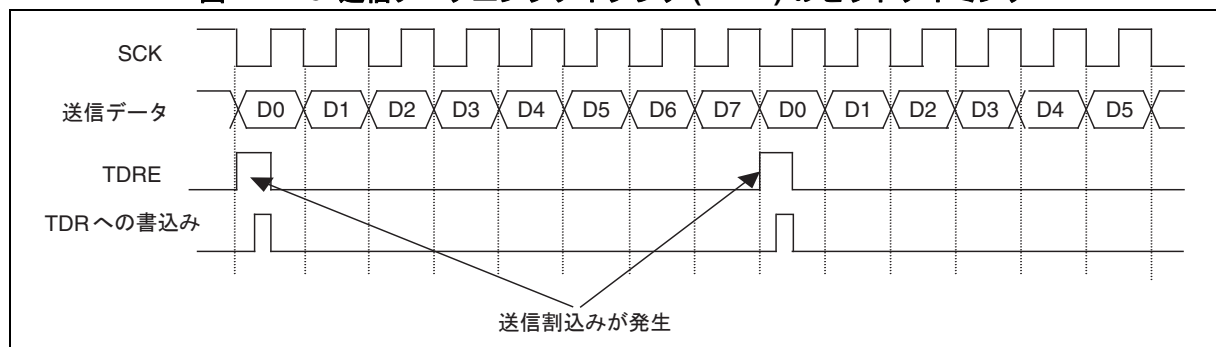
送信時の割込みとしては、送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され (SSR : TDRE=1) で送信が開始された場合と、送信動作をしていないとき (SSR : TBI=1) に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書き込みが可能な状態 (SSR:TDRE=1) になります。そのとき、送信割込みが許可 (SCR:TIE=1) されていると送信割込みが発生します。TDRE ビットはリードオンリビットなので、送信データレジスタ (TDR) へのデータ書き込みにより "0" にクリアされます。

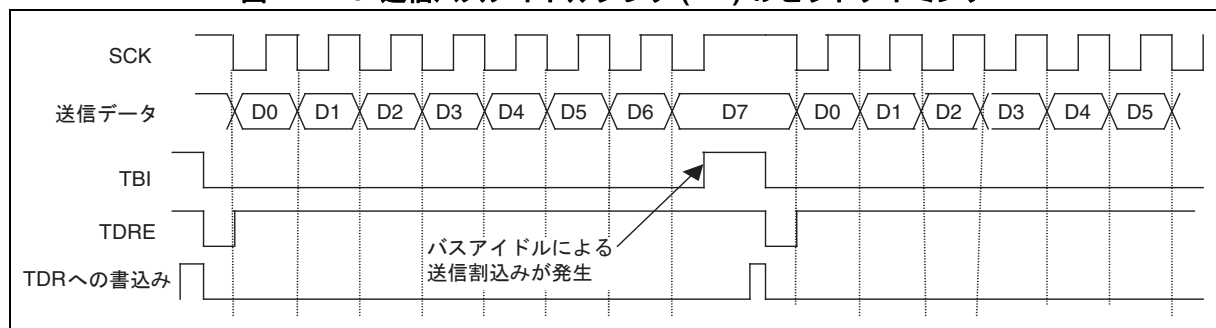
図 24.14-5 送信データエンプティフラグ (TDRE) のセットタイミング



● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタがエンプティ (TDRE=1) で送信動作をしていないとき、SSR : TBI ビットは "1" にセットされます。このとき、送信バスアイドル割込みが許可 (SCR : TBIE=1) されていると送信割込みが発生します。送信データレジスタ (TDR) に送信データをセットすると、TBI ビットおよび送信割込み要求はクリアされます。

図 24.14-6 送信バスアイドルフラグ (TBI) のセットタイミング



MB91605A シリーズ

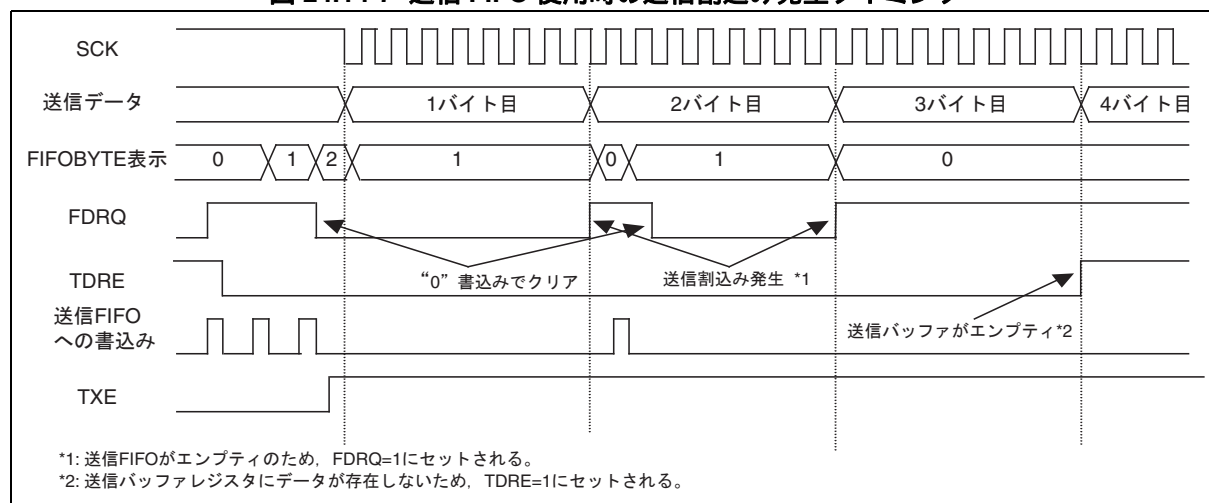
24.14.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しないときに発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット (FCR1 : FDRQ) が "1" にセットされます。このとき、FIFO 送信割込みが許可 (FCR1 : FTIE=1) されていると送信割込みが発生します。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット (FCR1 : FDRQ) に "0" を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" になります。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ (FBYTE1/FBYTE2) を読み出すことで確認できます。
FBYTE1/FBYTE2 = 00_H のときは、送信 FIFO にデータが存在していないことを示します。

図 24.14-7 送信 FIFO 使用時の送信割込み発生タイミング



24.15 CSIO(クロック同期シリアルインタフェース) の動作

転送方式はクロック同期式となります。

■ CSIO (クロック同期シリアルインタフェース) の動作

■ ノーマル転送 (I)

● 特長

表 24.15-1 ノーマル転送 (I) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ビット ~ 9 ビット

● レジスタ設定

ノーマル転送 (I) に必要なレジスタの設定値を以下に示します。

表 24.15-2 ノーマル転送 (I) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

MB91605A シリーズ

< 注意事項 >

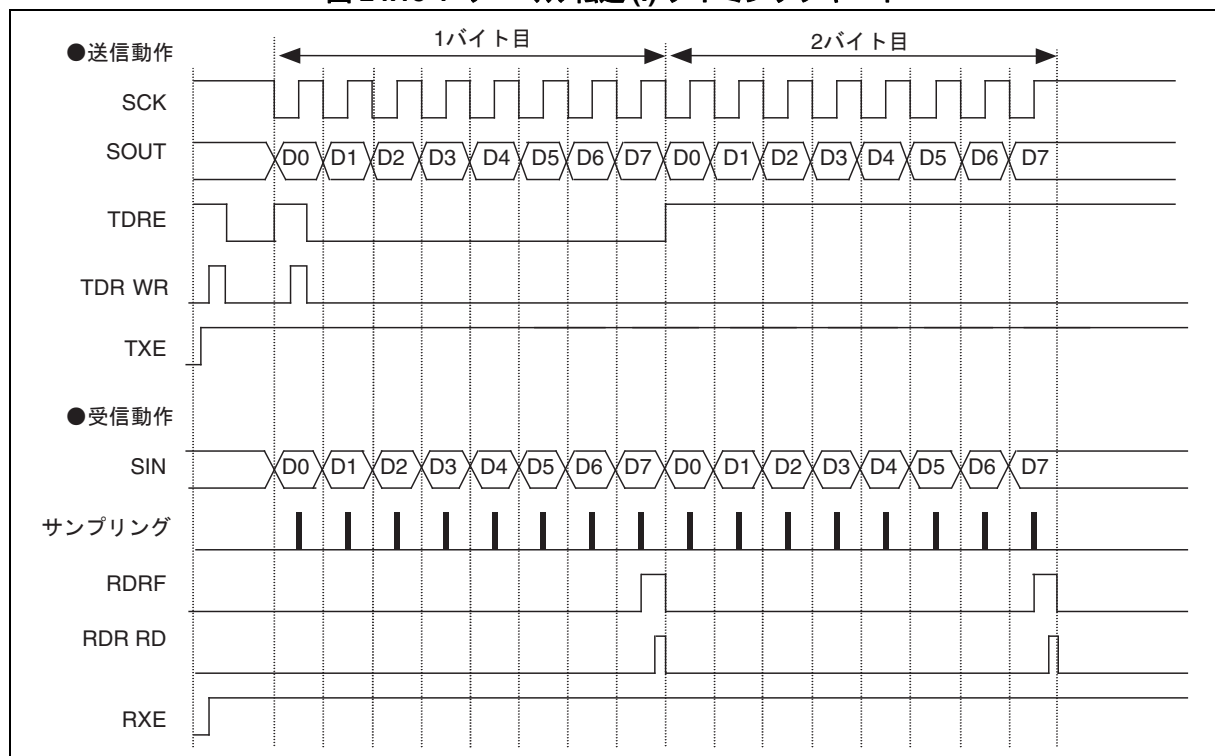
上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

● ノーマル転送 (I) タイミングチャート

図 24.15-1 ノーマル転送 (I) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

・ 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にして TDR に送信データを書き込むと SSR:TDRE=0 となり、シリアルクロック (SCK) 出力の立下りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にして TDR にダミーデータを書き込むと, シリアルクロック出力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時は, 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

- 送受信動作

送受信動作を同時に行う場合は, シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

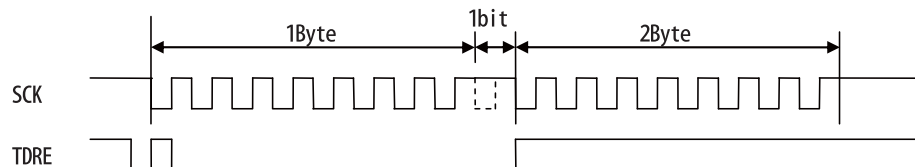
TDR に送信データを書き込むと, SSR:TDRE=0 となりシリアルクロック (SCK) 出力の立下りエッジに同期して, 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時, 2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 出力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると, 受信割込み要求を出力します。この時, 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

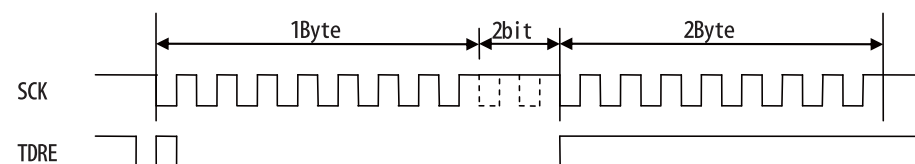
- 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し, (ESCR:WT1, ESCR:WT0)= (0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

- ESCR:WT1=0, ESCR:WT0=1(マスタ時)

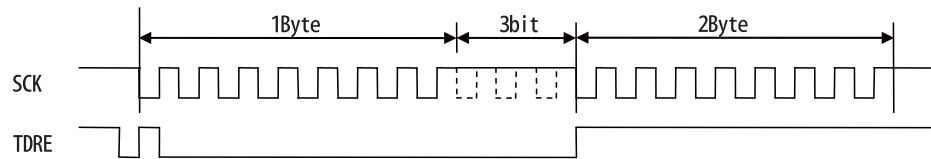


- ESCR:WT1=1, ESCR:WT0=0(マスタ時)



MB91605A シリーズ

- ESCR:WT1=1, ESCR:WT0=1(マスタ時)



(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

• 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にして TDR に送信データを書き込むと SSR:TDRE=0 となり, シリアルクロック (SCK) 入力の立下りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

• 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると, シリアルクロック入力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

• 送受信動作

送受信動作を同時に行う場合は, シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

TDR に送信データを書き込むと, SSR:TDRE=0 となりシリアルクロック (SCK) 入力の立下りエッジに同期して, 送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時, 2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると, 受信割込み要求を出力します。この時, 受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ ノーマル転送 (II)

● 特長

表 24.15-3 ノーマル転送 (II) の特長

項目	説明
1 シリアルクロック (SCK) のマークレベル	"L"
2 送信データ出力タイミング	SCK の立上りエッジ
3 受信データのサンプリング	SCK の立下りエッジ
4 データ長	5 ビット ~ 9 ビット

● レジスタ設定

ノーマル転送 (II) に必要なレジスタの設定値を以下に示します。

表 24.15-4 ノーマル転送 (II) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit07	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

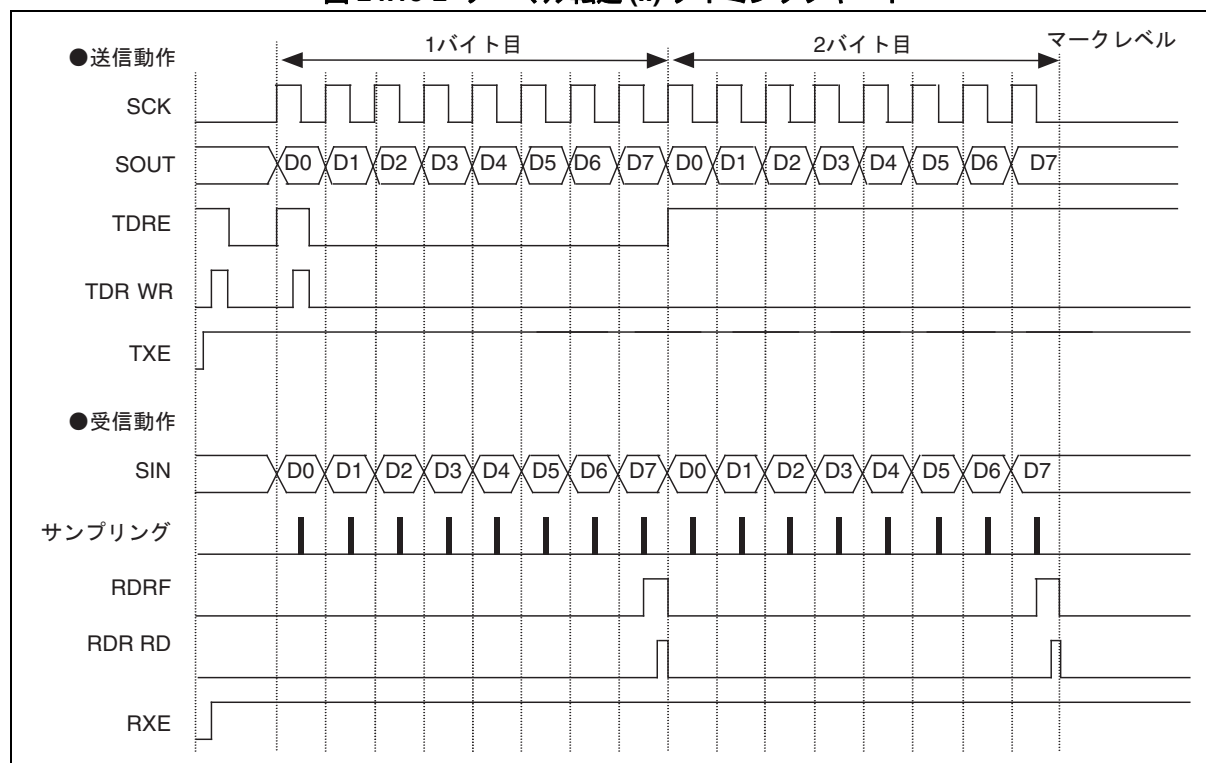
マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

MB91605A シリーズ

ノーマル転送 (II) タイミングチャート

図 24.15-2 ノーマル転送 (II) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

● 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし, TDR に送信データを書き込むと SSR:TDRE=0 となり, シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

最初の1ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

● 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし, TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合，シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時，転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで，設定値分のフレームのシリアルクロック (SCK) が出力されます。

• 送受信動作

送受信動作を同時に行う場合は，シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

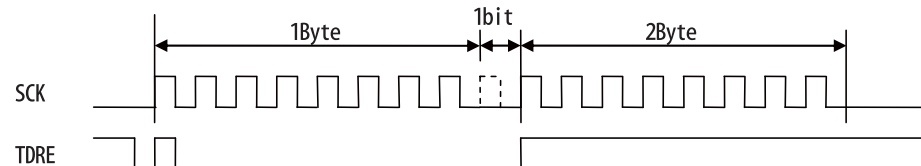
TDR に送信データを書き込むと，SSR:TDRE=0 となりシリアルクロック (SCK) 出力の立上りエッジに同期して，送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり，送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時，2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり，受信割込み許可 (SCR:RIE=1) されていると，受信割込み要求を出力します。この時，受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

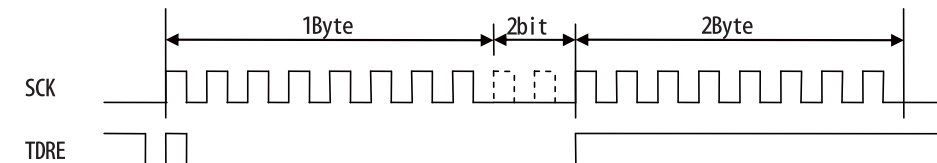
• 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し，(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

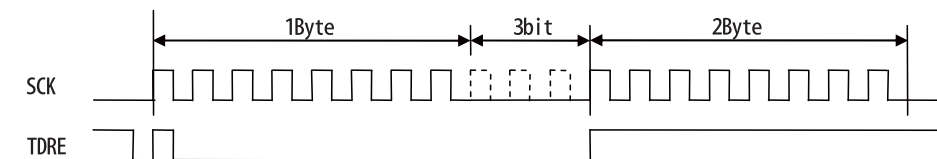
- ESCR:WT1=0, ESCR:WT0=1(マスタ時)



- ESCR:WT1=1, ESCR:WT0=0(マスタ時)



- ESCR:WT1=1, ESCR:WT0=1(マスタ時)



MB91605A シリーズ

(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし、TDR に送信データを書き込むと SSR:TDRE=0 となり、シリアルクロック (SCK) 入力の立上りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると、シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり、受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

- 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1)、送受信動作許可 (SCR:TXE,RXE=1) にします。

TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ SPI 転送 (I)

- 特長

表 24.15-5 SPI 転送 (I) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5 ビット ~ 9 ビット

● レジスタ設定

SPI 転送 (I) に必要なレジスタの設定値を以下に示します。

表 24.15-6 SPI 転送 (I) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

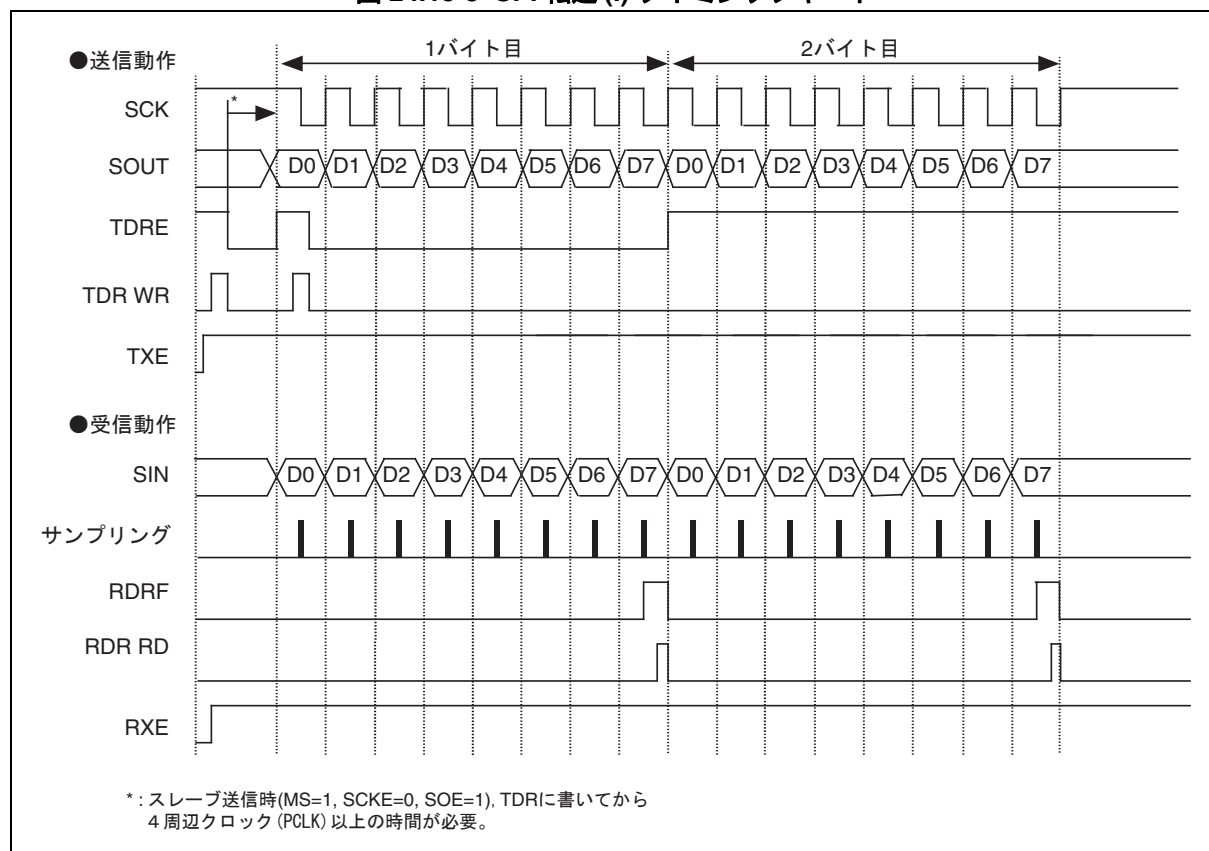
マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

MB91605A シリーズ

● SPI 転送 (I) タイミングチャート

図 24.15-3 SPI 転送 (I) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

● 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし, TDR に送信データを書き込むと SSR:TDRE=0 となり, 1 ビット目が出力されます。その後, シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

最初のシリアルクロック (SCK) 出力の立下りエッジの半サイクル前で SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

● 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし, TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合、シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで、設定値分のフレームのシリアルクロック (SCK) が出力されます。

• 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

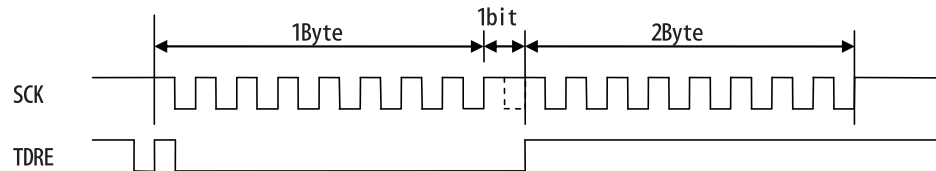
TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック (SCK) 出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロック (SCK) 出力の立下りエッジの半サイクル前で SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 出力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

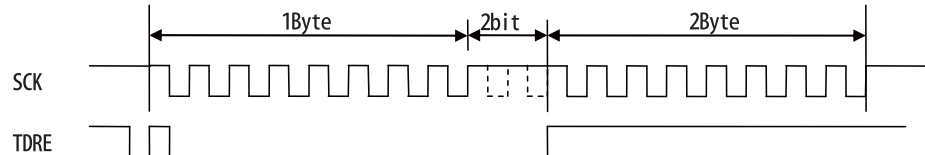
• 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

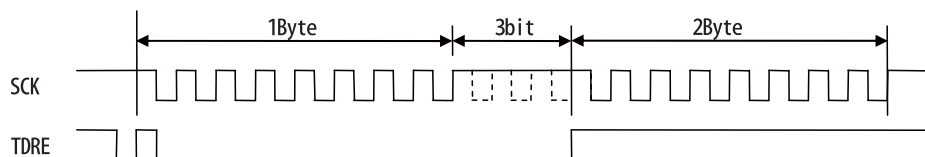
- ESCR:WT1=0, ESCR:WT0=1(マスタ時)



- ESCR:WT1=1, ESCR:WT0=0(マスタ時)



- ESCR:WT1=1, ESCR:WT0=1(マスタ時)



MB91605A シリーズ

(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし、TDR に送信データを書き込むと SSR:TDRE=0 となり、1 ビット目が出力されます。その後、シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

最初のシリアルクロックの立下りエッジの半サイクル前で SSR:TDRE=1 となり、送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると、シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり、受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

- 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1)、送受信動作許可 (SCR:TXE,RXE=1) にします。

TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック (SCK) 入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 入力の立下りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ SPI 転送 (II)

- 特長

表 24.15-7 SPI 転送 (II) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ビット ~ 9 ビット

● レジスタ設定

SPI 転送 (II) に必要なレジスタの設定値を以下に示します。

表 24.15-8 SPI 転送 (II) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
RDR/ TDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

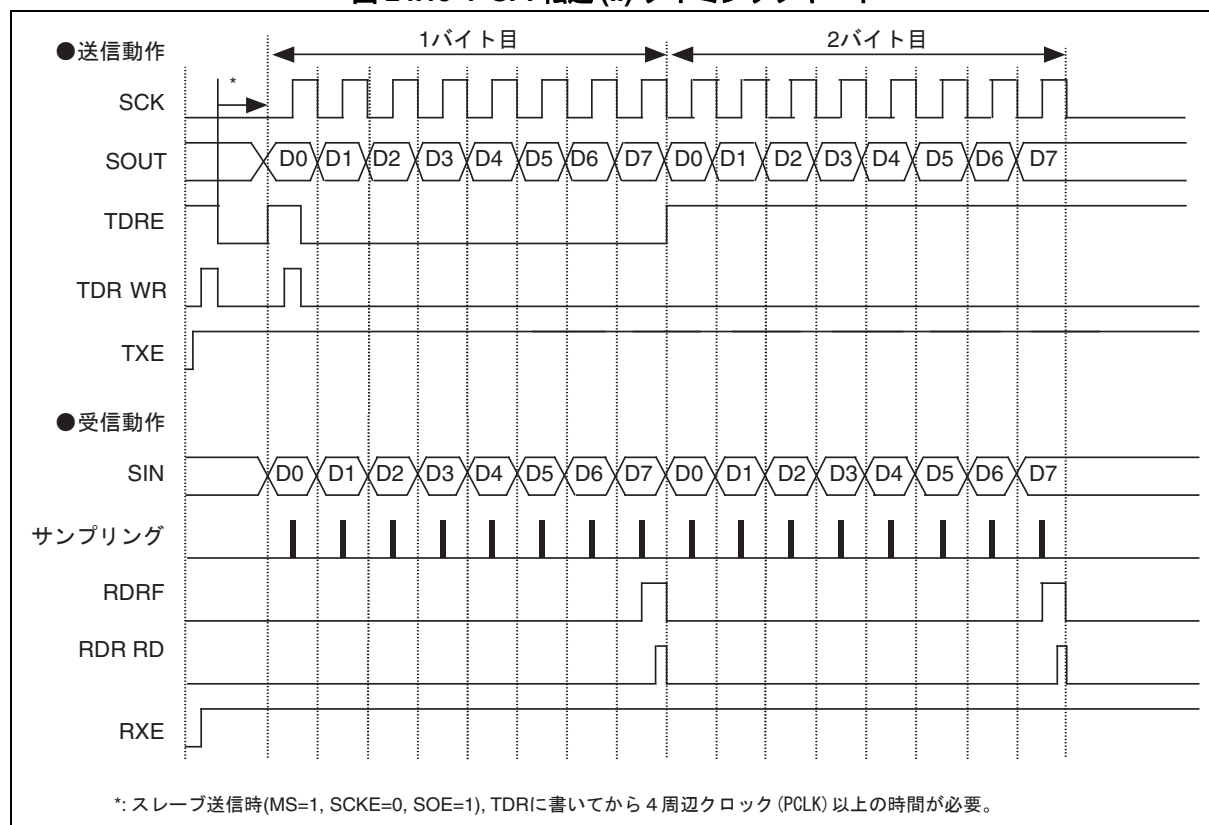
マスタ動作時 : SCR:MS=0, SMR:SCKE=1

スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

MB91605A シリーズ

● SPI 転送 (II) タイミングチャート

図 24.15-4 SPI 転送 (II) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

● 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし, TDR に送信データを書き込むと SSR:TDRE=0 となり, 1 ビット目が出力されます。その後, シリアルクロック (SCK) 出力の立下りエッジに同期して送信データを出力します。

最初のシリアルクロック (SCK) 出力の立上りエッジの半サイクル前で SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

● 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし, TDR にダミーデータを書き込むとシリアルクロック出力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合、シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時、転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで、設定値分のフレームのシリアルクロック (SCK) が出力されます。

• 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1), 送受信動作許可 (SCR:TXE,RXE=1) にします。

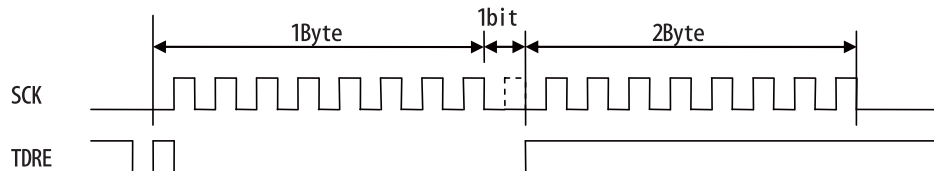
TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック (SCK) 出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロック (SCK) 出力の立上りエッジの半サイクル前で SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データを送信クロックの立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

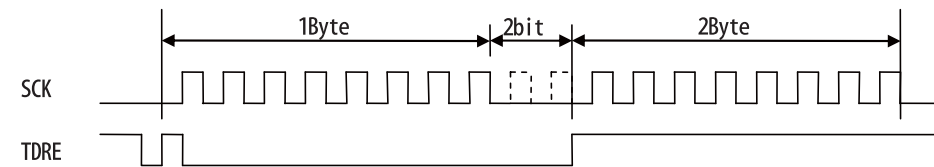
• 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR:WT0)=(0, 0) 以外を設定した場合フレーム間にウェイトが挿入されます。

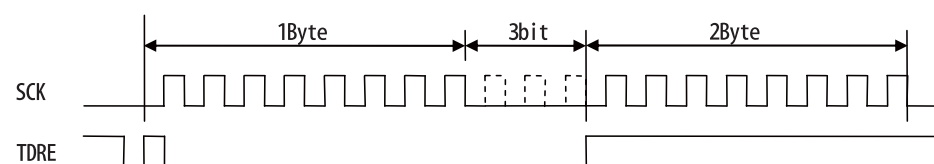
- ESCR:WT1=0, ESCR:WT0=1(マスタ時)



- ESCR:WT1=1, ESCR:WT0=0(マスタ時)



- ESCR:WT1=1, ESCR:WT0=1(マスタ時)



MB91605A シリーズ

(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

- 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし、TDR に送信データを書き込むと SSR:TDRE=0 となり、1 ビット目が出力されます。その後、シリアルクロック (SCK) 入力の立下りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

- 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると、シリアルクロック入力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり、受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき、受信データ (RDR) を読み出すことができます。

受信データ (RDR) を読み出すと、SSR:RDRF は "0" にクリアされます。

- 送受信動作

送受信動作を同時に行う場合は、シリアルデータ出力許可 (SMR:SOE=1)、送受信動作許可 (SCR:TXE,RXE=1) にします。

TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック (SCK) 入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可 (SCR:TIE=1) されていると送信割込み要求を出力します。この時、2 バイト目の送信データを書き込むことができます。

受信データをシリアルクロック (SCK) 入力の立上りエッジでサンプリングします。受信データの最後のビットを受信すると SSR:RDRF=1 となり、受信割込み許可 (SCR:RIE=1) されていると、受信割込み要求を出力します。この時、受信データ (RDR) を読み出すことができます。受信データを読み出すと SSR:RDRF は "0" にクリアされます。

■ 4 チャンネル同時通信モード時の動作

ch.8 ~ ch.11 の 4 チャンネルの CSIO を同時に通信させ、一度に 4 ビットのデータを送受信できます。

4 チャンネルをマスタモードでも、スレーブモードで利用できます。4 チャンネル同時通信モード時の動作を説明します。

- 概要

4 チャンネル同時に通信するには、シリアルモード選択レジスタ (SSEL89AB) の SS1, SS0 ビットで設定します。

また、マスタモードで通信するかスレーブモードで通信するかで必要な設定が異なります。

4 チャンネル同時通信モード時に必要な設定を表 24.15-9 に示します。

表 24.15-9 4 チャンネル同時通信モード時の設定

モード	設定		ch.8	ch.9	ch.10	ch.11
4 ビットマスタ	SSEL	SS1/SS0 ビット	10	10	10	10
	SCR	MS ビット	1	1	1	0
4 ビットスレーブ	SSEL	SS1/SS0 ビット	11	11	11	11
	SCR	MS ビット	1	1	1	1

SSEL：シリアルモード選択レジスタ (SSEL89AB)

SCR：シリアル制御レジスタ (SCR)

4 ビットマスタモード時と4 ビットスレーブモード時は、シリアルクロックの入力方法が異なります。

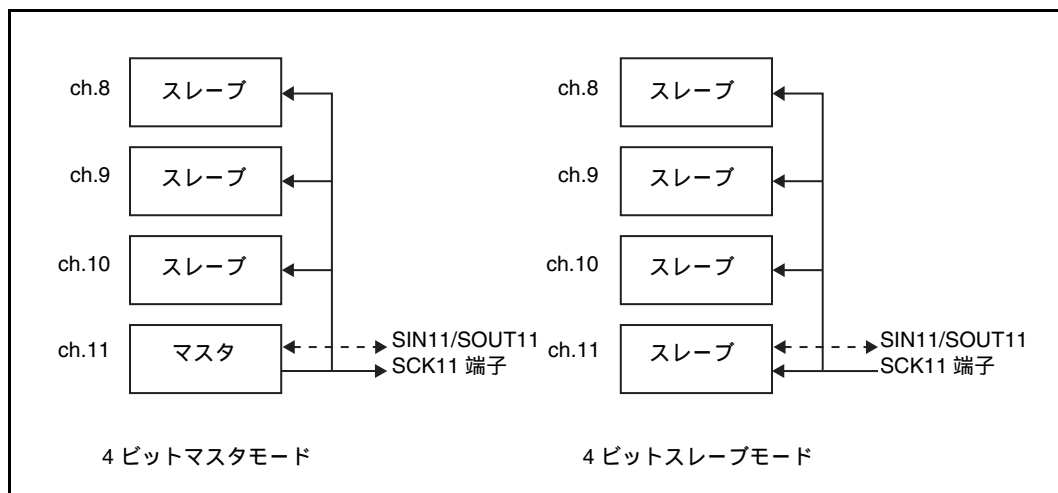
シリアルクロックの入力元を表 24.15-10 に示します。

表 24.15-10 シリアルクロックの入力元

モード	ch.8	ch.9	ch.10	ch.11
4 ビットマスタ (SS1, SS0=10)	ch.11 からの出力	ch.11 からの出力	ch.11 からの出力	SCK11 端子
4 ビットスレーブ (SS1, SS0=11)	SCK11 端子	SCK11 端子	SCK11 端子	SCK11 端子

4 ビットマスタモード時と 4 ビットスレーブモード時のシリアルクロック入力元を図 24.15-5 に示します。

図 24.15-5 シリアルクロックの入力元



MB91605A シリーズ

4 チャンネル同時通信モード時の使用可能端子組合せを、表 24.15-11 に示します。

表 24.15-11 使用可能端子組合せ

	ch.8	ch.9	ch.10	ch.11
組合せ 1	SCK8 SIN8 SOUT8	SCK9 SIN9 SOUT9	SCK10 SIN10 SOUT10	SCK11 SIN11 SOUT11

● 動作

4 チャンネル同時通信モード利用時の受信動作 / 送信動作は、1 チャンネル動作時と同様です。

ただし、4 ビット同時に送受信するために、次のレジスタが用意されています。

- 受信データミラーレジスタ (RDRM)
- 送信データミラーレジスタ (TDRM)

これらのレジスタにアクセスすると、受信データレジスタ (RDR) の下位 8 ビットや送信データレジスタ (TDR) の下位 8 ビットにアクセスされます。

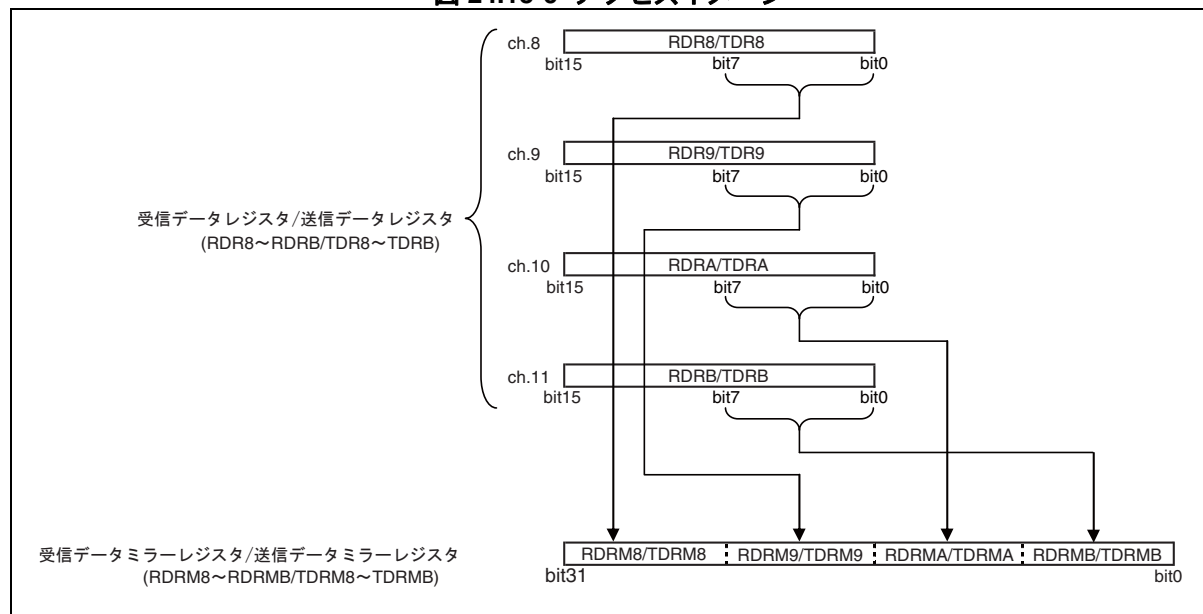
また、ch.8 ~ ch.11 の受信データミラーレジスタ (RDRM) / 送信データミラーレジスタ (TDRM) は並んで配置されているため、ワードアクセスすることで、一度に書き込むことができます。DMA 転送などに利用してください。

< 注意事項 >

4 チャンネル同時起動時の割込みは 4ch 中 1ch のみを使用許可することを推奨致します。

受信データミラーレジスタ (RDRM) / 送信データミラーレジスタ (TDRM) のイメージを図 24.15-6 に示します。

図 24.15-6 アクセスイメージ



< 注意事項 >

4 チャンネル同時通信を使用する場合は、9 ビット長のデータは使用できません。

MB91605A シリーズ

24.16 専用ポーレートジェネレータ

専用ポーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ポーレートジェネレータを設定してください。

■ CSIO(クロック同期シリアルインタフェース) ポーレート選択

専用ポーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

● マスタ動作時

専用ポーレートジェネレータで内部クロックを分周させてポーレートを選択します。

- 2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ポーレートを選択できます。
- リロードカウンタは設定された値で内部クロックを分周します。

● スレーブ動作時

スレーブ動作時 (SCR:MS=1) は、専用ポーレートジェネレータは機能しません (クロック入力端子 SCK から入力された 外部クロックを直接使用します)。

< 注意事項 >

受信 FIFO を使用する場合にはスレーブ動作時でも専用ポーレートジェネレータを設定してください。

24.16.1 ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値：

$$V = \phi / b - 1$$

V：リロード値

b：ボーレート

ϕ ：周辺クロック (PCLK) 周波数

(2) 計算例

周辺クロック (PCLK) 16MHz, 内部クロック使用, ボーレート 19200bps に設定する場合のリロード値は、次のようになります。

リロード値：

$$V = (16 \times 1000000) / 19200 - 1 = 832$$

よって、ボーレートは、

$$b = (16 \times 1000000) / (832 + 1) = 19208 \text{ bps}$$

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差 (\%)} = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) 周辺クロック (PCLK) 20MHz, 目標ボーレート 153600bps に設定する場合

$$\text{リロード値} = (20 \times 1000000) / 153600 - 1 = 129$$

$$\text{ボーレート (計算値)} = (20 \times 1000000) / (129 + 1) = 153846 \text{ (bps)}$$

$$\text{誤差 (\%)} = (153846 - 153600) / 153600 \times 100 = 0.16 \text{ (\%)}$$

< 注意事項 >

- リロード値を "0" に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合、シリアルクロックの "H" 幅と "L" 幅は SCINV ビットの設定によって以下ようになります。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じになります。
 - SCINV=0 のとき、シリアルクロックの "H" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
 - SCINV=1 のとき、シリアルクロックの "L" 幅が周辺クロック (PCLK) 1 サイクル分長くなります。
- リロード値は "3" 以上を設定してください。

MB91605A シリーズ

■ 各周辺クロック (PCLK) 周波数に対するリロード値とボーレート

表 24.16-1 リロード値とボーレート

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	-	-	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	- 0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	- 0.16	-	-
153600	51	- 0.16	64	- 0.16	103	- 0.16	129	- 0.16	155	- 0.16	207	- 0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	- 0.64	86	0.22	138	0.08	173	0.22	207	- 0.16	277	0.08
76800	103	- 0.16	129	- 0.16	207	- 0.16	259	- 0.16	311	- 0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	- 0.16	416	0.08	555	0.08
38400	207	- 0.16	259	- 0.16	416	0.08	520	0.03	624	0	832	- 0.04
28800	277	0.08	346	< 0.01	554	- 0.01	693	- 0.06	832	- 0.03	1110	- 0.01
19200	416	0.08	520	0.03	832	- 0.03	1041	0.03	1249	0	1666	0.02
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1919	< 0.01	2303	< 0.01	3071	< 0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	- 0.01
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2777	< 0.01	3332	< 0.01	4443	- 0.01
4800	1666	0.02	2082	- 0.02	3332	< 0.01	4166	< 0.01	4999	0	6666	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	8332	< 0.01	9999	0	13332	< - 0.01
1200	6666	< 0.01	8334	0.02	13332	< 0.01	16666	< 0.01	19999	0	26666	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	-	-	-	-	-	-
300	26666	< 0.01	-	-	-	-	-	-	-	-	-	-

- Value : BGR1/BGR0 レジスタの設定値
- ERR : ボーレート誤差 (%)

■ リロードカウンタの機能

リロードカウンタには送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

- 送信 / 受信リロードカウンタ共通

プログラマブルリセット (SCR:UPCL ビット)

MB91605A シリーズ

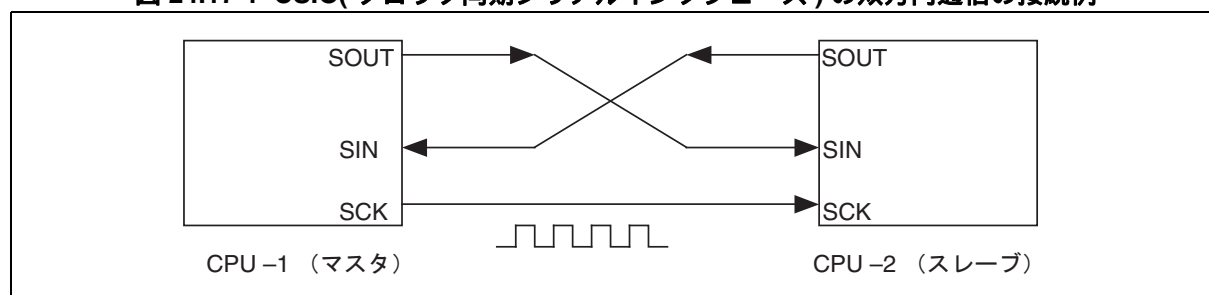
24.17 CSIO(クロック同期シリアルインタフェース) 設定手順とプログラムフロー

CSIO(クロック同期シリアルインタフェース) では , シリアル双方向同期通信をすることができます。

■ CPU 間接続

CSIO(クロック同期シリアルインタフェース) では , 双方向通信を選択します。図 24.17-1 に示すように 2 つの CPU を相互に接続します。

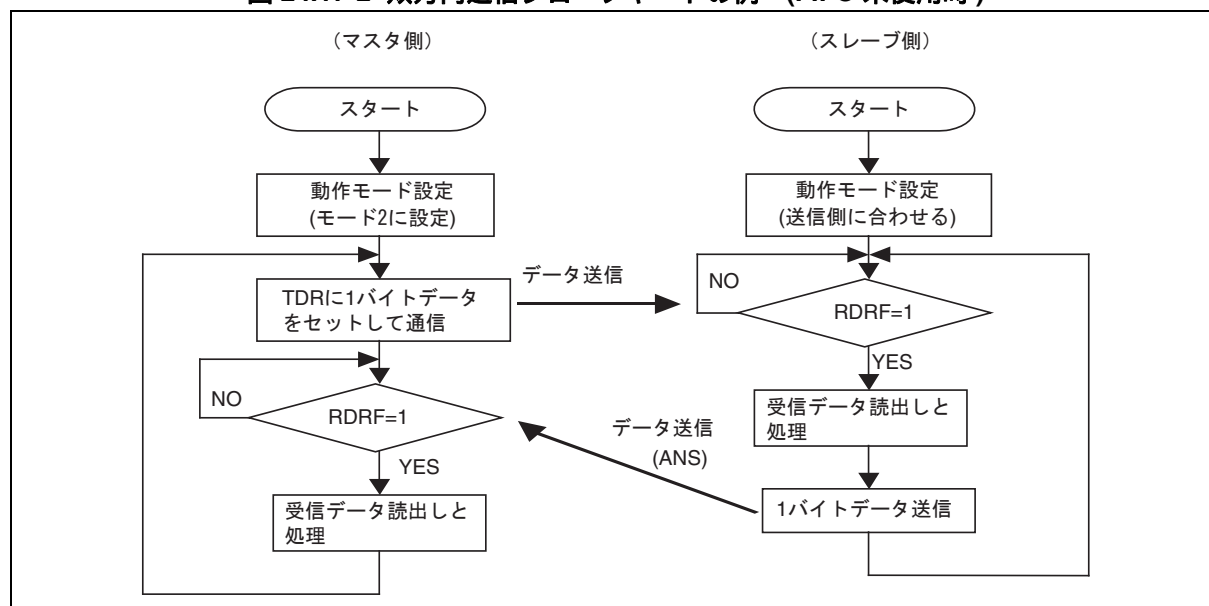
図 24.17-1 CSIO(クロック同期シリアルインタフェース) の双方向通信の接続例



■ フローチャート

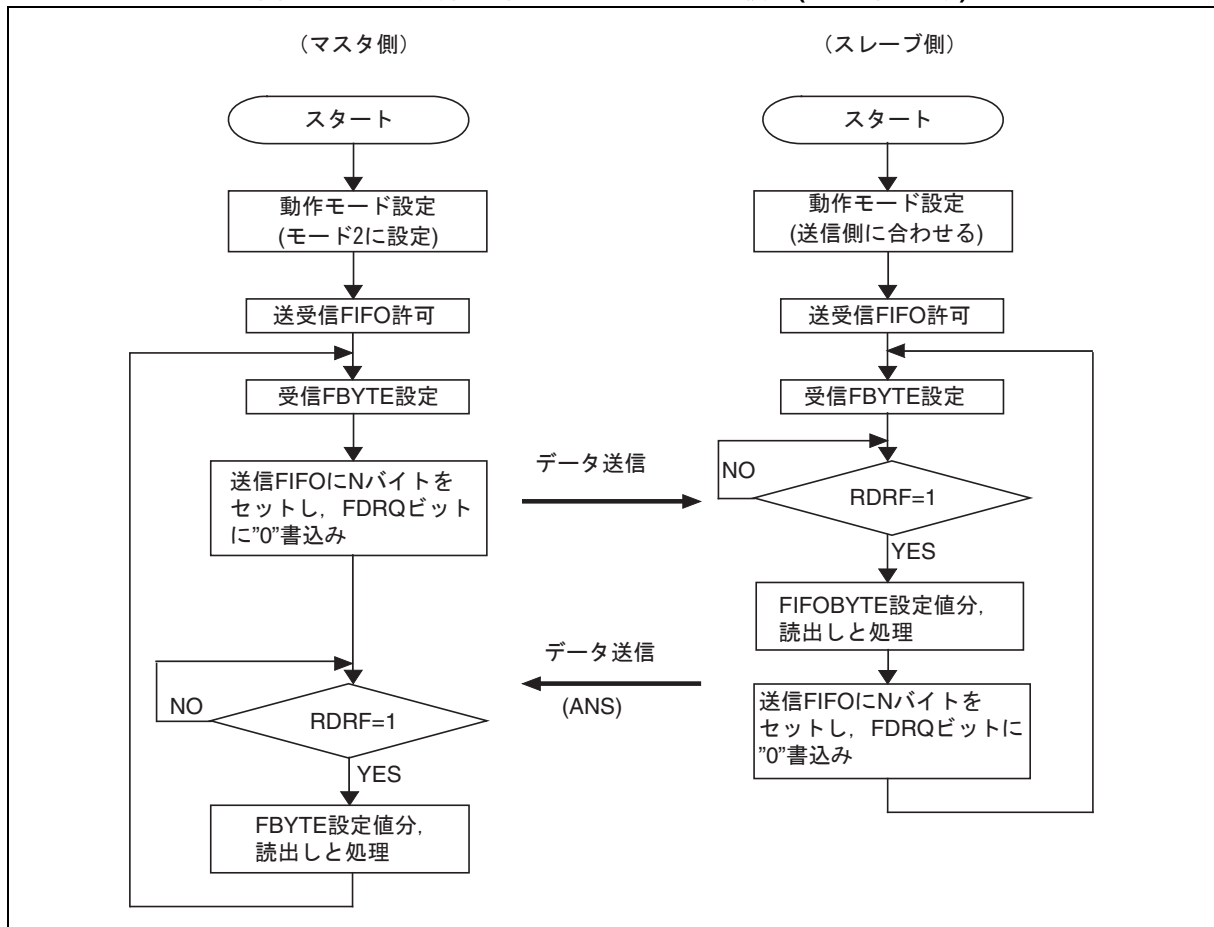
● FIFO 未使用時

図 24.17-2 双方向通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 24.17-3 双方向通信フローチャートの例 (FIFO 使用時)



24.18 CSIO モードの注意事項

CSIO モードの注意事項を下記に示します。

- FIFO 付きチャンネルで DMA 転送要求する場合 , FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合 , DMA のブロックサイズを 1 回に設定してください。
- マスタ受信およびスレーブ受信時には , データ受信用の DMA 転送と , ダミーデータ送信用の DMA 転送が必要なため , DMA を 2 チャンネル使用する必要があります。

24.19 I²C インタフェース

マルチファンクションシリアルインタフェースの機能のうち、動作モード4でサポートしているI²C インタフェースについて説明します。

- I²C インタフェース
- I²C インタフェースの概要
- I²C インタフェースのレジスタ
 - I²C バス制御レジスタ (IBCR)
 - シリアルモードレジスタ (SMR)
 - I²C バスステータスレジスタ (IBSR)
 - シリアルステータスレジスタ (SSR)
 - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
 - 7 ビットスレーブアドレスマスクレジスタ (ISMK)
 - 7 ビットスレーブアドレスレジスタ (ISBA)
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
 - FIFO 制御レジスタ 1 (FCR1)
 - FIFO 制御レジスタ 0 (FCR0)
 - FIFO バイトレジスタ (FBYTE1/FBYTE2)
- I²C インタフェースの割込み
 - I²C インタフェース通信の動作
 - マスタモード
 - スレーブモード
 - バスエラー
- 専用ボーレートジェネレータ
 - I²C のフローチャート例

MB91605A シリーズ

24.20 I²C インタフェースの概要

I²C インタフェースは IC 間バスをサポートし、I²C バス上のマスタ / スレーブデバイスとして動作します。また、送信 / 受信 (最大 各 16 バイト) の FIFO を搭載しています。ch.0 には I²C 機能はありません。

■ I²C インタフェースの機能

I²C インタフェースには、以下の機能があります。

- マスタ / スレーブ送受信機能
- 調停機能
- クロック同期機能
- 転送方向検出機能
- 反復スタート条件の発生と検出機能
- バスエラー検出機能
- ゼネラルコールアドレッシング機能
- マスタおよびスレーブとしての 7 ビットアドレッシング
- 転送およびバスエラー時に割込み発生可能
- 10 ビットアドレッシング機能は、プログラムで対応可能

■ FIFO の機能

FIFO には、以下の機能があります。

- 送受信 FIFO 搭載 (最大容量：送信 FIFO 16 バイト、受信 FIFO 16 バイト)*
- 送信 FIFO と受信 FIFO を選択可能
- 送信データの再送信が可能
- 受信 FIFO 割込みタイミングをソフトで変更可能
- 独立して FIFO リセットをサポート

*: ch.8 ~ ch.11 には FIFO はありません。

24.21 I²C インタフェースのレジスタ

I²C インタフェースのレジスタ一覧を示します。

■ I²C インタフェースのレジスタ一覧

表 24.21-1 I²C インタフェースのレジスタ一覧 <Helvetica>(1 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
0	IBCR0	I ² C バス制御レジスタ 0	24.21.1
	SMR0	シリアルモードレジスタ 0	24.21.2
	IBSR0	I ² C バスステータスレジスタ 0	24.21.3
	BGR0	ボーレートジェネレータレジスタ 0	24.21.8
	SSR0	シリアルステータスレジスタ 0	24.21.4
	RDR0	受信データレジスタ 0	24.21.5
	TDR0	送信データレジスタ 0	24.21.5
	FCR10	FIFO 制御レジスタ 10	24.21.9
	FCR00	FIFO 制御レジスタ 00	24.21.10
	FBYTE10	FIFO1 バイトレジスタ 0	24.21.11
	FBYTE20	FIFO2 バイトレジスタ 0	24.21.11
	ISMK0	7 ビットスレーブアドレスマスクレジスタ 0	24.21.6
	ISBA0	7 ビットスレーブアドレスレジスタ 0	24.21.7
1	IBCR1	I ² C バス制御レジスタ 1	24.21.1
	SMR1	シリアルモードレジスタ 1	24.21.2
	IBSR1	I ² C バスステータスレジスタ 1	24.21.3
	BGR1	ボーレートジェネレータレジスタ 1	24.21.8
	SSR1	シリアルステータスレジスタ 1	24.21.4
	RDR1	受信データレジスタ 1	24.21.5
	TDR1	送信データレジスタ 1	24.21.5
	FCR11	FIFO 制御レジスタ 11	24.21.9
	FCR01	FIFO 制御レジスタ 01	24.21.10
	FBYTE11	FIFO1 バイトレジスタ 1	24.21.11
	FBYTE21	FIFO2 バイトレジスタ 1	24.21.11
	ISMK1	7 ビットスレーブアドレスマスクレジスタ 1	24.21.6
	ISBA1	7 ビットスレーブアドレスレジスタ 1	24.21.7

MB91605A シリーズ

表 24.21-1 I²C インタフェースのレジスタ一覧 <Helvetica>(2 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
2	IBCR2	I ² C バス制御レジスタ 2	24.21.1
	SMR2	シリアルモードレジスタ 2	24.21.2
	IBSR2	I ² C バスステータスレジスタ 2	24.21.3
	BGR2	ポーレートジェネレータレジスタ 2	24.21.8
	SSR2	シリアルステータスレジスタ 2	24.21.4
	RDR2	受信データレジスタ 2	24.21.5
	TDR2	送信データレジスタ 2	24.21.5
	FCR12	FIFO 制御レジスタ 12	24.21.9
	FCR02	FIFO 制御レジスタ 02	24.21.10
	FBYTE12	FIFO1 バイトレジスタ 2	24.21.11
	FBYTE22	FIFO2 バイトレジスタ 2	24.21.11
	ISMK2	7 ビットスレーブアドレスマスクレジスタ 2	24.21.6
	ISBA2	7 ビットスレーブアドレスレジスタ 2	24.21.7
3	IBCR3	I ² C バス制御レジスタ 3	24.21.1
	SMR3	シリアルモードレジスタ 3	24.21.2
	IBSR3	I ² C バスステータスレジスタ 3	24.21.3
	BGR3	ポーレートジェネレータレジスタ 3	24.21.8
	SSR3	シリアルステータスレジスタ 3	24.21.4
	RDR3	受信データレジスタ 3	24.21.5
	TDR3	送信データレジスタ 3	24.21.5
	FCR13	FIFO 制御レジスタ 13	24.21.9
	FCR03	FIFO 制御レジスタ 03	24.21.10
	FBYTE13	FIFO1 バイトレジスタ 3	24.21.11
	FBYTE23	FIFO2 バイトレジスタ 3	24.21.11
	ISMK3	7 ビットスレーブアドレスマスクレジスタ 3	24.21.6
	ISBA3	7 ビットスレーブアドレスレジスタ 3	24.21.7
4	IBCR4	I ² C バス制御レジスタ 4	24.21.1
	SMR4	シリアルモードレジスタ 4	24.21.2
	IBSR4	I ² C バスステータスレジスタ 4	24.21.3
	BGR4	ポーレートジェネレータレジスタ 4	24.21.8
	SSR4	シリアルステータスレジスタ 4	24.21.4
	RDR4	受信データレジスタ 4	24.21.5
	TDR4	送信データレジスタ 4	24.21.5
	FCR14	FIFO 制御レジスタ 14	24.21.9
	FCR04	FIFO 制御レジスタ 04	24.21.10
	FBYTE14	FIFO1 バイトレジスタ 4	24.21.11
	FBYTE24	FIFO2 バイトレジスタ 4	24.21.11
	ISMK4	7 ビットスレーブアドレスマスクレジスタ 4	24.21.6
	ISBA4	7 ビットスレーブアドレスレジスタ 4	24.21.7

MB91605A シリーズ

表 24.21-1 I²C インタフェースのレジスタ一覧 <Helvetica>(3 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
5	IBCR5	I ² C バス制御レジスタ 5	24.21.1
	SMR5	シリアルモードレジスタ 5	24.21.2
	IBSR5	I ² C バスステータスレジスタ 5	24.21.3
	BGR5	ポーレートジェネレータレジスタ 5	24.21.8
	SSR5	シリアルステータスレジスタ 5	24.21.4
	RDR5	受信データレジスタ 5	24.21.5
	TDR5	送信データレジスタ 5	24.21.5
	FCR15	FIFO 制御レジスタ 15	24.21.9
	FCR05	FIFO 制御レジスタ 05	24.21.10
	FBYTE15	FIFO1 バイトレジスタ 5	24.21.11
	FBYTE25	FIFO2 バイトレジスタ 5	24.21.11
	ISMK5	7 ビットスレーブアドレスマスクレジスタ 5	24.21.6
	ISBA5	7 ビットスレーブアドレスレジスタ 5	24.21.7
6	IBCR6	I ² C バス制御レジスタ 6	24.21.1
	SMR6	シリアルモードレジスタ 6	24.21.2
	IBSR6	I ² C バスステータスレジスタ 6	24.21.3
	BGR6	ポーレートジェネレータレジスタ 6	24.21.8
	SSR6	シリアルステータスレジスタ 6	24.21.4
	RDR6	受信データレジスタ 6	24.21.5
	TDR6	送信データレジスタ 6	24.21.5
	FCR16	FIFO 制御レジスタ 16	24.21.9
	FCR06	FIFO 制御レジスタ 06	24.21.10
	FBYTE16	FIFO1 バイトレジスタ 6	24.21.11
	FBYTE26	FIFO2 バイトレジスタ 6	24.21.11
	ISMK6	7 ビットスレーブアドレスマスクレジスタ 6	24.21.6
	ISBA6	7 ビットスレーブアドレスレジスタ 6	24.21.7
7	IBCR7	I ² C バス制御レジスタ 7	24.21.1
	SMR7	シリアルモードレジスタ 7	24.21.2
	IBSR7	I ² C バスステータスレジスタ 7	24.21.3
	BGR7	ポーレートジェネレータレジスタ 7	24.21.8
	SSR7	シリアルステータスレジスタ 7	24.21.4
	RDR7	受信データレジスタ 7	24.21.5
	TDR7	送信データレジスタ 7	24.21.5
	FCR17	FIFO 制御レジスタ 17	24.21.9
	FCR07	FIFO 制御レジスタ 07	24.21.10
	FBYTE17	FIFO1 バイトレジスタ 7	24.21.11
	FBYTE27	FIFO2 バイトレジスタ 7	24.21.11
	ISMK7	7 ビットスレーブアドレスマスクレジスタ 7	24.21.6
	ISBA7	7 ビットスレーブアドレスレジスタ 7	24.21.7

MB91605A シリーズ

表 24.21-1 I²C インタフェースのレジスタ一覧 <Helvetica>(4 / 4)

チャンネル	レジスタ略称	レジスタ名	参照先
8	IBCR8	I ² C バス制御レジスタ 8	24.21.1
	SMR8	シリアルモードレジスタ 8	24.21.2
	IBSR8	I ² C バスステータスレジスタ 8	24.21.3
	BGR8	ポーレートジェネレータレジスタ 8	24.21.8
	SSR8	シリアルステータスレジスタ 8	24.21.4
	RDR8	受信データレジスタ 8	24.21.5
	TDR8	送信データレジスタ 8	24.21.5
	ISMK8	7 ビットスレーブアドレスマスクレジスタ 8	24.21.6
	ISBA8	7 ビットスレーブアドレスレジスタ 8	24.21.7
9	IBCR9	I ² C バス制御レジスタ 9	24.21.1
	SMR9	シリアルモードレジスタ 9	24.21.2
	IBSR9	I ² C バスステータスレジスタ 9	24.21.3
	BGR9	ポーレートジェネレータレジスタ 9	24.21.8
	SSR9	シリアルステータスレジスタ 9	24.21.4
	RDR9	受信データレジスタ 9	24.21.5
	TDR9	送信データレジスタ 9	24.21.5
	ISMK9	7 ビットスレーブアドレスマスクレジスタ 9	24.21.6
	ISBA9	7 ビットスレーブアドレスレジスタ 9	24.21.7
10	IBCRA	I ² C バス制御レジスタ A	24.21.1
	SMRA	シリアルモードレジスタ A	24.21.2
	IBSRA	I ² C バスステータスレジスタ A	24.21.3
	BGRA	ポーレートジェネレータレジスタ A	24.21.8
	SSRA	シリアルステータスレジスタ A	24.21.4
	RDRA	受信データレジスタ A	24.21.5
	TDRA	送信データレジスタ A	24.21.5
	ISMKA	7 ビットスレーブアドレスマスクレジスタ A	24.21.6
	ISBAA	7 ビットスレーブアドレスレジスタ A	24.21.7
11	IBCRB	I ² C バス制御レジスタ B	24.21.1
	SMRB	シリアルモードレジスタ B	24.21.2
	IBSRB	I ² C バスステータスレジスタ B	24.21.3
	BGRB	ポーレートジェネレータレジスタ B	24.21.8
	SSRB	シリアルステータスレジスタ B	24.21.4
	RDRB	受信データレジスタ B	24.21.5
	TDRB	送信データレジスタ B	24.21.5
	ISMKB	7 ビットスレーブアドレスマスクレジスタ B	24.21.6
	ISBAB	7 ビットスレーブアドレスレジスタ B	24.21.7

表 24.21-2 I²C インタフェースのビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
IBCR/ SMR	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	MD2	MD1	MD0	-	RIE	TIE	-	-
SSR/ IBSR	REC	TSET	-	-	ORE	RDRF	TDRE	-	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
RDR/ TDR	-	-	-	-	-	-	-	-	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
ISMK/ ISBA	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

MB91605A シリーズ

24.21.1 I²C バス制御レジスタ (IBCR)

I²C バス制御レジスタ (IBCR) は、マスタ/スレーブモード選択、反復スタート条件の発生、アクノリッジ許可、割込み許可設定、バスエラー検出、割込みフラグを表示します。

■ I²C バス制御レジスタ (IBCR)

図 24.21-1 に I²C バス制御レジスタ (IBCR) のビット構成を、表 24.21-3 に各ビットの機能を示します。

図 24.21-1 I²C バス制御レジスタ (IBCR) のビット構成

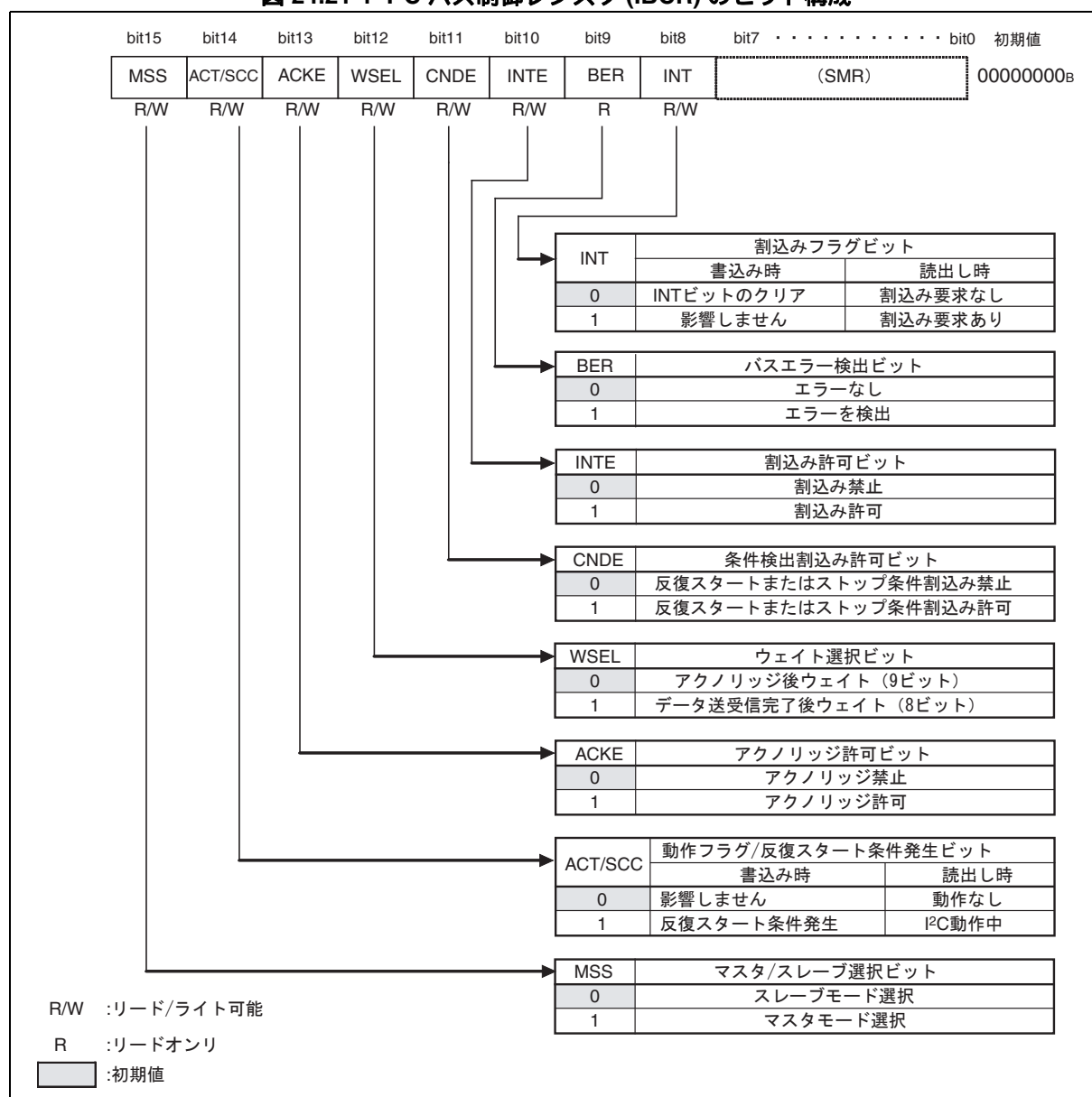


表 24.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 <Helvetica>(1 / 5)

ビット名		機能															
bit15	MSS : マスタ/ スレーブ 選択 ビット	<ul style="list-style-type: none"> 本ビットに "1" を設定すると I²C バスがアイドル状態 (EN=1, BB=0) のとき , マスタモードとなります。 IBSR レジスタの BB ビットが "1" のとき , このビットに "1" を設定すると BB ビットが "0" になるまでスタート条件の発生をウェイトします。そのウェイト中にスレーブアドレスが一致してスレーブとして動作する場合には本ビットは "0" になり , IBSR レジスタの AL ビットが "1" になります。 マスタ動作中 (MSS=1, ACT=1) で割込みフラグ (INT) が "1" のとき , 本ビットに "0" を書き込むとストップ条件が発生します。 <p>MSS ビットは以下の条件でクリアされます。</p> <ul style="list-style-type: none"> I²C インタフェースの禁止 (EN ビット =0) アービトラクションロスト発生時 バスエラー検出 (BER ビット =1) INT=1 のとき , MSS ビットへの "0" 書込み <p>MSS ビットと ACT ビットの間係を以下に示します。</p> <table border="1"> <thead> <tr> <th>MSS ビット</th><th>ACT ビット</th><th>状態</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>アイドル</td></tr> <tr> <td>0</td><td>1</td><td>スレーブアドレス一致または予約アドレスに対し ACK 応答 * し , スレーブ動作中 (スレーブモード)</td></tr> <tr> <td>1</td><td>0</td><td>マスタ動作待機中</td></tr> <tr> <td>1</td><td>1</td><td>マスタ動作中 (マスタモード)</td></tr> </tbody> </table> <p>*:ACK 応答 : アクノリッジ区間に I²C バスの SDA が "L" であることを指します。</p> <p>(注意事項) MSS ビットが "1" に設定されていて MSS ビットを "0" に変更する場合 , MSS ビット =1, INT ビット =1 のときに行ってください。ACT ビットが "1" のときに MSS ビットに "0" を書き込むと INT ビットも "0" にクリアされます。</p> <p>マスタ動作中 , MSS ビットに "0" を書き込んでも ACT ビットが "1" の間は "1" が読み出されます。</p>	MSS ビット	ACT ビット	状態	0	0	アイドル	0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答 * し , スレーブ動作中 (スレーブモード)	1	0	マスタ動作待機中	1	1	マスタ動作中 (マスタモード)
MSS ビット	ACT ビット	状態															
0	0	アイドル															
0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答 * し , スレーブ動作中 (スレーブモード)															
1	0	マスタ動作待機中															
1	1	マスタ動作中 (マスタモード)															

MB91605A シリーズ

表 24.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 <Helvetica>(2 / 5)

ビット名		機能				
bit14	ACT/SCC : 動作フラグ / 反復スタート 条件発生ビット	<p>このビットは、読出しと書込みで意味が異なります。</p> <table><tr><td>読出し</td><td>書込み</td></tr><tr><td>ACT ビット</td><td>SCC ビット</td></tr></table> <p>ACT ビットはマスタモードまたはスレーブモードとして動作していることを示します。 ACT ビットのセット条件：</p> <ul style="list-style-type: none">・ スタート条件を I²C バスに出力したとき（マスタモード）・ スレーブアドレスとマスタから送信されたアドレスが一致したとき（スレーブモード）・ 予約アドレスを検出し、それに対しアクノリッジ応答したとき（MSS=0 のときスレーブモードとなる） <p>ACT ビットのリセット条件：</p> <p><マスタモード></p> <ul style="list-style-type: none">・ ストップ条件検出・ アービトレーションロスト検出・ バスエラー検出・ I²C インタフェースの禁止 (EN ビット =0) <p><スレーブモード></p> <ul style="list-style-type: none">・ （反復）スタート条件検出・ ストップ条件検出・ 予約アドレス検出状態 (RSA ビット =1) でアクノリッジ応答しなかったとき・ I²C インタフェースの禁止 (EN ビット =0)・ バスエラーの発生 (BER ビット =1) <p>マスタモード時、このビットに "1" を書き込むと反復スタートを実行します。 "0" 書込みは無効です。 (注意事項) SCC ビットへの "1" 書込みは、マスタモードの割込み中 (MSS=1, ACT=1, INT=1) に行ってください。ACT ビットが "1" のときに SCC ビットに "1" を書き込むと INT ビットは "0" にクリアされます。 スレーブモード (MSS=0, ACT=1) 時、本ビットに "1" を書き込むことは禁止です。 SCC ビットに "1", MSS ビットに "0" を書き込んだ場合には、MSS ビットが優先されます。 リードモディファイライト (RMW) 系命令のリード時には SCC ビットが読み出されます。</p>	読出し	書込み	ACT ビット	SCC ビット
		読出し	書込み			
ACT ビット	SCC ビット					

表 24.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 <Helvetica>(3 / 5)

ビット名		機能
bit13	ACKE : アクノリッジ 許可 ビット	<ul style="list-style-type: none"> 本ビットに "1" を設定するとアクノリッジタイミングで "L" を出力します。 ACT=1 のときに本ビットを変更する場合, INT ビットが "1" のときに行ってください。 <p>本ビットは以下の条件では無効となります。</p> <ul style="list-style-type: none"> 予約アドレス以外のアドレスフィールドに対するアクノリッジ(自動生成) データ送信時 (RSA=0, TRX=1, FBT=0) 受信 FIFO 許可でスレーブ受信時 (FE=1, MSS=0, ACT=1), 常に ACK 応答します。 受信FIFO許可, WSELが"0", マスタ受信時(FE=1, MSS=1, ACT=1, WSEL=0), TDRE ビットが "0" のとき ACK 応答し, TDRE ビットが "1" のとき NACK 応答します。受信 FIFO 許可, WSEL="0", 予約アドレス検出してスレーブ送信時 (RSA=1, TRX=1, FBT=1), 常に ACK 応答します。NACK 応答させる場合, 予約アドレス検出後の割込み時, 受信 FIFO を禁止にして ACKE=0 にしてください。 受信 FIFO 許可, WSEL が "1", マスタ受信で送信データレジスタにデータがあるとき (FE=1, MSS=1, ACT=1, WSEL=1, TDRE=0)
bit12	WSEL : ウェイト 選択ビット	<ul style="list-style-type: none"> 本ビットはアクノリッジ前か後のどちらに割込み (INT=1) を発生させ, I²C バスをウェイトさせるかを選択するビットです。 WSEL ビットは以下の条件では無効になります。 <ul style="list-style-type: none"> 第一バイト^{*1} に対する割込み発生時 (INT=1) 予約アドレス検出時 (FBT=1, RSA=1) FIFO 使用時のデータ転送途中での NACK 応答^{*2} 検出時 (FE=1, RACK=1, ACT=1) 受信 FIFO 使用時, 受信 FIFO がフルになったとき <p>*1: 第一バイト : (反復) スタート条件後のデータを指します。 *2: NACK 応答 : アクノリッジ期間 I²C バスの SDA が "H" であることを指します。</p>
bit11	CNDE : 条件検出 割込み許可 ビット	マスタモードまたはスレーブモード時 (ACT=1), ストップ条件または反復スタート条件が検出された場合, 割込みの発生を許可するビットです。IBSR レジスタの RSC または SPC ビットが "1" で本ビットが "1" のときに割込みが発生します。
bit10	INTE : 割込み許可 ビット	マスタモードまたはスレーブモード時, データ送受信およびバスエラーに対する割込み (INT=1) を許可するビットです。

MB91605A シリーズ

表 24.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 <Helvetica>(4 / 5)

ビット名		機能
bit9	BER: バスエラー 検出ビット	<p>本ビットは I²C バス上でエラーを検出したことを示します。</p> <p>BER ビットのセット条件：</p> <ul style="list-style-type: none"> • 第一バイト * 転送中にスタート条件またはストップ条件を検出 • 第二バイト以降，データの 2 ビット～ 9(アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出 <p>BER ビットのリセット条件：</p> <ul style="list-style-type: none"> • BER=1 のときに INT ビットへ "0" 書込みした場合 • I²C インタフェースの禁止 (EN=0) の場合 <p>*: 第一バイト：(反復) スタート条件後のデータを指します。 (注意事項) 割込みフラグ (INT ビット) が "1" になったときにこのビットを確認し，"1" になっていると正常に送受信ができていないので再送などの処理を行ってください。</p>

表 24.21-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 <Helvetica>(5 / 5)

ビット名	機能
bit8 INT : 割込み フラグビット	<p>本ビットはマスタモード、スレーブモード時、データ送受信の 8 ビット、9 ビット (ACK) 後、もしくはバスエラー時にこのフラグを "1" にセットします。バスエラー時以外は、INT ビットが "1" になると SCL を "L" にし、INT ビットが "0" になると SCL の "L" の状態を解除します。</p> <p>INT ビットのセット条件：</p> <p>< 8 ビット目 ></p> <ul style="list-style-type: none"> ・ 第一バイトで予約アドレスを検出した場合 ・ WSEL が "1", 第二バイト以降でアービトレーションロストを検出した場合 ・ WSEL が "1", マスタ動作中、第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL が "1", スレーブ動作中、受信 FIFO 禁止、第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL が "1", スレーブ送信中、第二バイト以降で TDRE ビットが "1" の場合 <p>< 9 ビット目 ></p> <ul style="list-style-type: none"> ・ 第一バイトでアービトレーションロストを検出した場合 ・ ストップ条件出力設定 (マスタ動作中の MSS ビットへの "0" 書込み) 時以外に NACK を受信した場合 ・ 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの送信方向 (TRX=1) で TDRE ビットが "1" の場合 ・ 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向 (TRX=0) で受信 FIFO 許可時に受信 FIFO にデータがある場合 ・ 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向 (TRX=0) で受信 FIFO 禁止時に TDRE ビットが "1" の場合 ・ WSEL=0 設定時、第二バイト以降でアービトレーションロストを検出した場合 ・ WSEL=0 設定時、マスタモード動作中に第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL=0 設定時、スレーブ送信中に第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL=0 設定時、受信 FIFO 禁止でスレーブ受信の場合。ただし、予約アドレスを検出した第一バイトでのスレーブ受信では 9 ビット目では割込みは発生しません。 ・ 受信 FIFO 許可、スレーブ受信のときに受信 FIFO がフルになった場合 <p>< その他 ></p> <p>バスエラー検出</p> <p>INT ビットのリセット条件：</p> <ul style="list-style-type: none"> ・ INT ビットへの "0" 書込み ・ INT ビットが "1", ACT ビットが "1" のときに MSS ビットへの "0" 書込み ・ INT ビットが "1", ACT ビットが "1" のときに SCC ビットへの "1" 書込み <p>INT ビットへの "1" 書込みは無効です。</p> <p>(注意事項) EN ビットを "0" にした場合、受信タイミングによっては RDRF ビットと INT ビットが "1" になることがあります。この場合、受信データを読み出し、INT ビットをクリアしてください。</p> <p>リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。</p> <p>受信 FIFO 許可時、マスタ受信動作で受信 FIFO がフルになっても INT ビットには "1" がセットされません。</p>

MB91605A シリーズ

24.21.2 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、動作モードの設定、送受信割込みの許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 24.21-2 にシリアルモードレジスタ (SMR) のビット構成を、表 24.21-4 に各ビットの機能を示します。

図 24.21-2 シリアルモードレジスタ (SMR) のビット構成

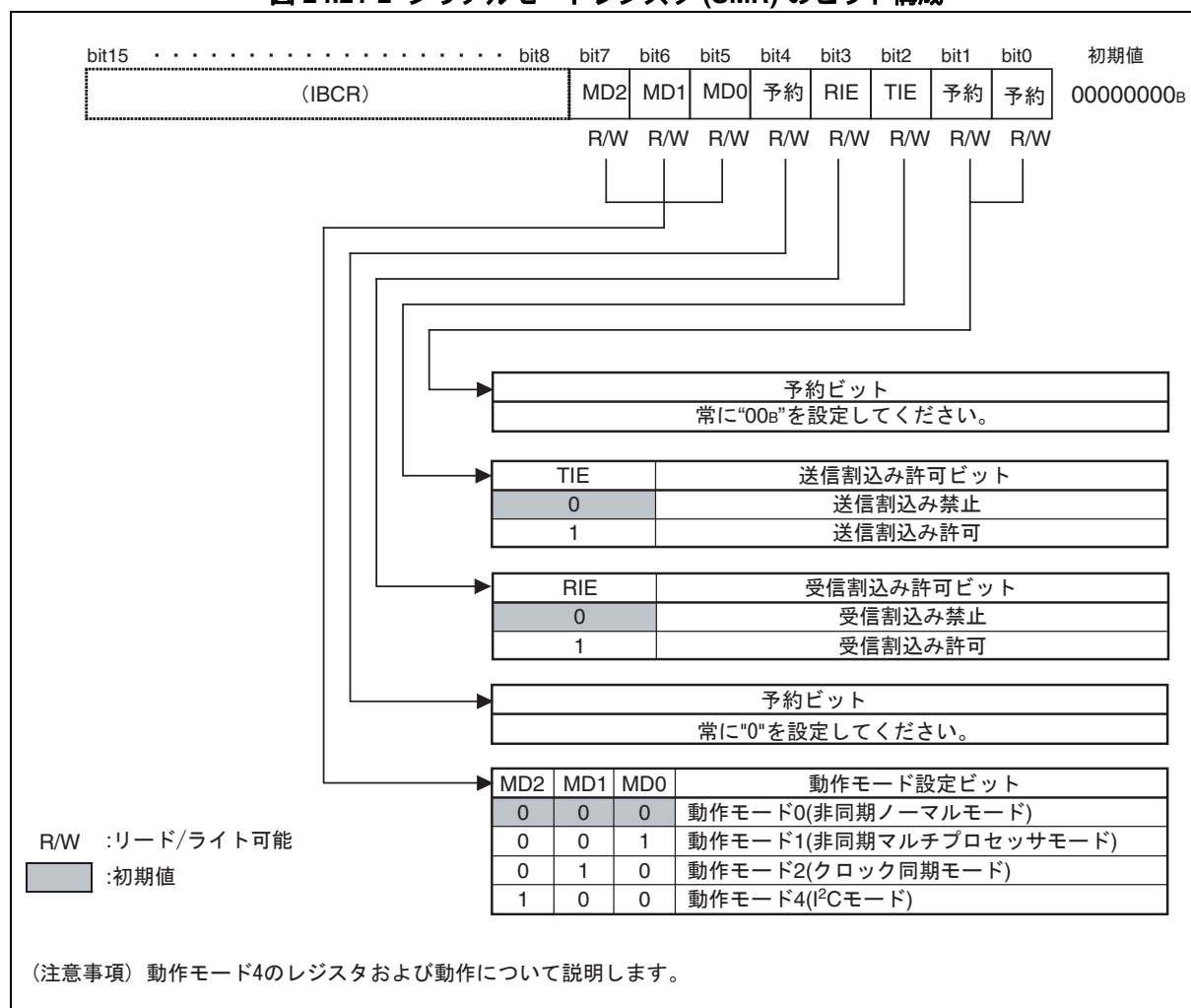


表 24.21-4 シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能
bit7 ~ bit5	MD2, MD1, MD0 : 動作モード 設定ビット	<p>動作モードを設定します。</p> <p>"000_B" : 動作モード 0(非同期ノーマルモード) に設定されます。</p> <p>"001_B" : 動作モード 1(非同期マルチプロセッサモード) に設定されます。</p> <p>"010_B" : 動作モード 2(クロック同期モード) に設定されます。</p> <p>"100_B" : 動作モード 4(I²C モード) に設定されます。</p> <p>動作モード 4(I²C モード) のレジスタおよび動作について説明します。</p> <p>(注意事項) 上記の設定以外は禁止です。</p> <p>動作モードを切り換える場合は、I²C 禁止 (ISMK:EN=0) 後、動作モードを切り換えてください。</p> <p>動作モード設定後、各レジスタを設定してください。</p>
bit4	予約ビット	本ビットには、必ず "0" を設定してください。
bit3	RIE : 受信割込み 許可ビット	<ul style="list-style-type: none"> CPU への受信割込み要求出力を許可 / 禁止するビットです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、またはエラーフラグビット (ORE) が "1" の場合、受信割込み要求を出力します。 <p>(注意事項) I²C バス制御レジスタ (IBCR) の INT ビットを使用してデータを受信する場合、本ビットを "0" にしてください。</p>
bit2	TIE : 送信割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信割込み要求出力を許可 / 禁止するビットです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。 <p>(注意事項) I²C バス制御レジスタ (IBCR) の INT ビットを使用してデータを送信する場合、本ビットを "0" にしてください。</p>
bit1, bit0	予約ビット	本ビットには、必ず "00 _B " を設定してください。

< 注意事項 >

動作モードを変更すると、ほかのレジスタが初期化されるので動作モードは最初に設定してください。ただし、16 ビット書込みで IBCR と SMR を同時に書き込んだとき、IBCR には書き込んだ内容が反映されます。

MB91605A シリーズ

24.21.3 I²C バスステータスレジスタ (IBSR)

I²C バスステータスレジスタ (IBSR) は、ファーストバイト、予約アドレス、反復スタート、アクノリッジ、データ方向、アービトレーションロスト、ストップ条件、I²C バス状態を検出したことを示します。

■ I²C バスステータスレジスタ (IBSR)

図 24.21-3 に I²C バスステータスレジスタ (IBSR) のビット構成を、表 24.21-5 に各ビットの機能を示します。

図 24.21-3 I²C バスステータスレジスタ (IBSR) のビット構成

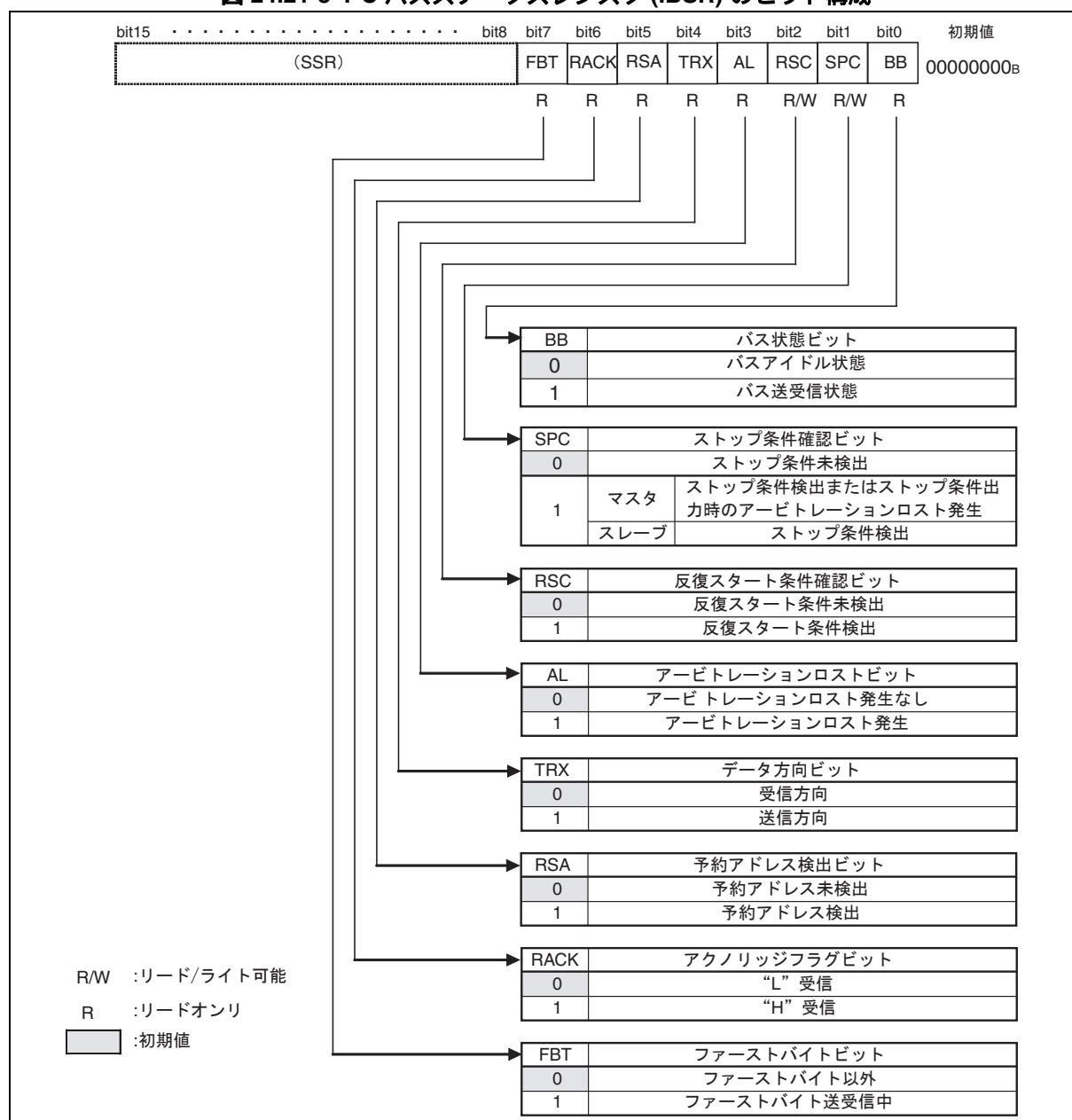


表 24.21-5 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 <Helvetica>(1 / 3)

ビット名		機能
bit7	FBT: ファースト バイトビット	<p>第一バイトを示すビットです。</p> <p>FBT ビットのセット条件： (反復) スタート条件を検出した場合</p> <p>FBT ビットのクリア条件：</p> <ul style="list-style-type: none"> • 2 バイト目の送受信 • ストップ条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1)
bit6	RACK : アクノリッジ フラグビット	<p>第一バイト、マスタモード時またはスレーブモード時に受信したアクノリッジをこのビットに示します。</p> <p>RACK ビットの更新条件</p> <ul style="list-style-type: none"> • ファーストバイト時のアクノリッジ • マスタモードまたはスレーブモード時のデータのアクノリッジ <p>RACK ビットのクリア条件 (RACK ビット =0)</p> <ul style="list-style-type: none"> • (反復) スタート条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1)
bit5	RSA : 予約アドレス 検出ビット	<p>本ビットは予約アドレスを検出したことを示すビットです。</p> <p>RSA ビットのセット条件 (RSA=1)</p> <p>一バイト目が (0000XXXX_B) または (1111XXXX_B)。"X" は "0" または "1" を示します。</p> <p>RSA ビットのリセット条件 (RSA=0)</p> <ul style="list-style-type: none"> • (反復) スタート条件検出 • ストップ条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1) <p>第一バイトで RSA ビットが "1" になると、その一バイトの 8 ビット目の SCL の立下りで、FIFO 許可、禁止に関係なく割込みフラグ (INT) を "1" にして SCL を "L" にします。このとき、受信データを読み出し、スレーブとして動作させる場合には ACKE を "1" に設定し、割込みフラグ (INT) を "0" にクリアします。その後、TRX ビットが "0" であれば、スレーブとしてデータを受信します。途中でデータを受信させない場合には ACKE ビットを "0" にします。それ以降、データを受信しません。</p> <p>(注意事項) データ転送中に ACKE を "0" にした場合には、ストップ条件または反復スタート条件を検出するまで ACKE を "1" にすることは禁止です。</p> <p>予約アドレス検出による割込み時、スレーブ送信を確認した場合、受信 FIFO が許可になっていると ACK 応答しますので受信 FIFO を禁止にし、ACKE=0 にしてください。</p>

MB91605A シリーズ

表 24.21-5 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 <Helvetica>(2 / 3)

ビット名		機能
bit4	TRX: データ方向 ビット	<p>本ビットはデータの方向を示すビットです。</p> <p>TRX ビットのセット条件：</p> <ul style="list-style-type: none"> ・ マスタモードで (反復) スタート条件を送信 ・ スレーブモードで第一バイトの 8 ビット目が "1" の場合 (スレーブとして送信方向) <p>TRX ビットのリセット条件：</p> <ul style="list-style-type: none"> ・ アービトレーションロスト発生 (AL=1) ・ スレーブモードでファーストバイトの 8 ビット目が "0" の場合 (スレーブとして受信方向) ・ マスタモードでファーストバイトの 8 ビット目が "1" の場合 (マスタとして受信方向) ・ ストップ条件検出 ・ マスタモード以外で (反復) スタート条件検出 ・ I²C インタフェースの禁止 (EN ビット =0) ・ バスエラー検出 (BER ビット =1)
bit3	AL: アービトレー ションロスト ビット	<p>本ビットはアービトレーションロストを示します。</p> <p>AL ビットのセット条件：</p> <ul style="list-style-type: none"> ・ マスタモード時, 出力しているデータと受信したデータが異なる場合 ・ MSS ビットに "1" を設定したが, スレーブとして動作している場合 ・ マスタモード時, 第二バイト目以降のデータの 1 ビット目で反復スタート条件を検出した場合 ・ マスタモード時, 第二バイト目以降のデータの 1 ビット目でストップ条件を検出した場合 ・ マスタモード時, 反復スタート条件を発生させようとして発生できない場合 ・ マスタモード時, ストップ条件を発生させようとして発生できない場合 <p>AL ビットのリセット条件：</p> <ul style="list-style-type: none"> ・ MSS ビットへの "1" 書込み ・ INT ビットへの "0" 書込み ・ AL ビット =1, SPC ビット =1 のときに SPC ビットへの "0" 書込み ・ I²C インタフェースの禁止 (EN ビット =0) ・ バスエラー検出 (BER ビット =1)

表 24.21-5 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 <Helvetica>(3 / 3)

ビット名		機能
bit2	RSC : 反復スタート 条件確認 ビット	<p>マスタモードまたはスレーブモード時に反復スタート条件を検出したことを示すビットです。</p> <p>RSC ビットのセット条件 :</p> <p>スレーブモードまたはマスタモードで動作中にアクノリッジ後、反復スタート条件が検出された場合</p> <p>RSC ビットのリセット条件 :</p> <p>(1) RSC ビットへの "0" 書込み (2) MSS ビットへの "1" 書込み (3) I²C インタフェースの禁止 (EN ビット =0)</p> <p>本ビットへの "1" 書込みは無効となります。</p> <p>(注意事項) 予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次に反復スタート条件を検出しても本ビットに "1" はセットされません。</p> <p>リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。</p>
bit1	SPC : ストップ条件 確認ビット	<p>マスタモードまたはスレーブモード時にストップ条件を検出したことを示すビットです。</p> <p>SPC ビットのセット条件 :</p> <p>(1) スレーブモードまたはマスタモードで動作中にストップ条件が検出された場合 (2) マスタモード時、ストップ条件発生動作でアービトレーションロストが発生した場合</p> <p>SPC ビットのリセット条件 :</p> <p>(1) 本ビットへの "0" 書込み (2) MSS ビットへの "1" 書込み (3) I²C インタフェースの禁止 (EN ビット =0)</p> <p>本ビットへの "1" 書込みは無効です。</p> <p>(注意事項) 予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次にストップ条件を検出しても本ビットに "1" はセットされません。</p> <p>リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。</p>
bit0	BB: バス状態 ビット	<p>本ビットはバスの状態を示します。</p> <p>BB ビットのセット条件 :</p> <p>I²C バスの SDA または SCL で "L" を検出した場合</p> <p>BB ビットのリセット条件 :</p> <p>(1) ストップ条件を検出した場合 (2) I²C インタフェースの禁止 (EN ビット =0) (3) バスエラー検出 (BER ビット =1)</p>

24.21.4 シリアルステータスレジスタ (SSR)

■ シリアルステータスレジスタ (SSR)

図 24.21-4 シリアルステータスレジスタ (SSR) のビット構成

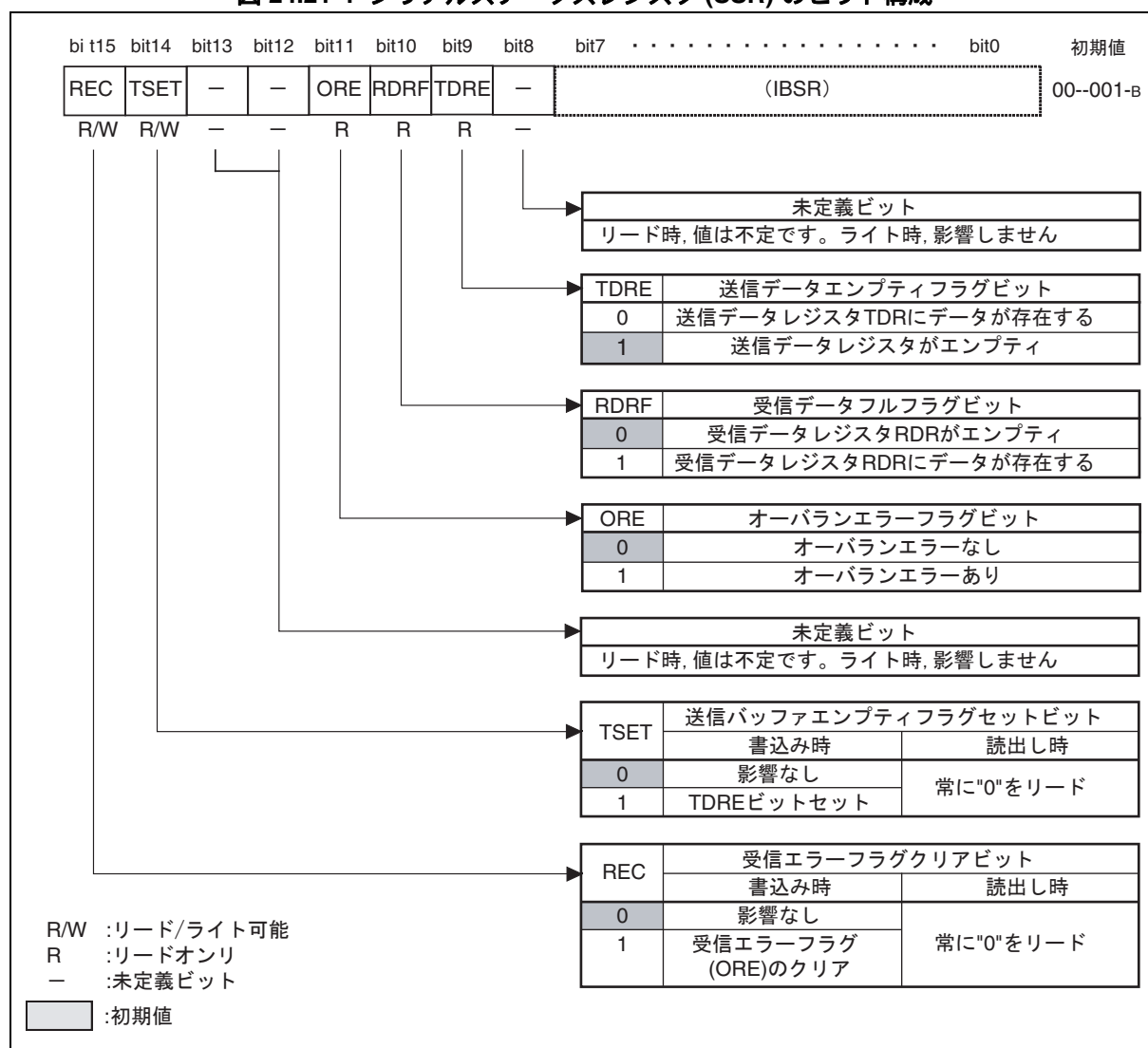


表 24.21-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit15	REC : 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の ORE ビットをクリアするビットです。 <ul style="list-style-type: none"> • "1" 書込みで, ORE ビットがクリアされます。 • "0" 書込みは, 影響しません。 リードした場合, 常に "0" が読み出されます。
bit14	TSET : 送信バッファ エンプティ フラグセット ビット	シリアルステータスレジスタ (SSR) の TDRE ビットをセットするビットです。 <ul style="list-style-type: none"> • "1" 書込みで, TDRE ビットがセットされます。 • "0" 書込みは, 影響しません。 リードした場合, 常に "0" が読み出されます。
bit13, bit12	未定義ビット	リードした場合 : 値は不定です。 ライトした場合 : 影響しません。
bit11	ORE : オーバラン エラー フラグビット	<ul style="list-style-type: none"> • 受信時にオーバランが発生すると "1" にセットされ, シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合, 受信割込み要求を出力します。 • 本フラグがセットされた場合, 受信データレジスタ (RDR) は無効です。 • 受信 FIFO 使用時, 本フラグがセットされた場合には受信データは受信 FIFO には格納されません。

MB91605A シリーズ

表 24.21-6 シリアルステータスレジスタ (SSR) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit10	RDRF : 受信データフルフラグビット	<ul style="list-style-type: none"> 受信データレジスタ (RDR) の状態を示すフラグです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、受信割込み要求を出力します。 RDR に受信データがロードされると "1" にセットされ、受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 データの 8 ビット目の SCL 立下りタイミングでセットされます。 NACK 応答でもセットされます。 受信FIFO使用時は、受信FIFOに所定のデータ数を受信したらRDRFが "1" にセットされます。 受信 FIFO 使用時は、受信 FIFO がエンプティになると "0" にクリアされます。 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態が受信ポーレートクロックで 8 クロック以上続き、BER ビットが "0" のとき RDRF が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。 <p>(注意事項) NACK 応答：アクノリッジ期間、I²C バスの SDA が "H" であることを指します。</p>
bit9	TDRE : 送信データエンプティフラグビット	<ul style="list-style-type: none"> 送信データレジスタ (TDR) の状態を示すフラグです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。 TDR に送信データを書き込むと "0" となり、TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" となり、TDR に有効なデータが存在していないことを示します。 シリアルステータスレジスタ (SSR) の TSET ビットに "1" を書き込むとセットされます。アービトレーションロスト、バスエラーなどを検出した場合、TDRE ビットを "1" にセットしたいときに使用します。
bit8	未定義ビット	<p>リードした場合 : 値は不定です。 ライトした場合 : 影響しません。</p>

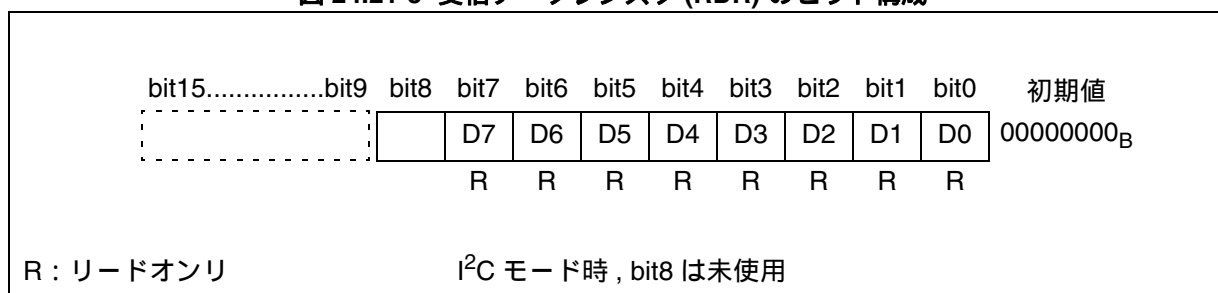
24.21.5 受信データレジスタ / 送信データレジスタ (RDR/TDR)

受信データレジスタと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。

■ 受信データレジスタ (RDR)

図 24.21-5 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 24.21-5 受信データレジスタ (RDR) のビット構成



受信データレジスタ (RDR) は、シリアルデータ受信用のデータバッファレジスタです。

- シリアルデータライン (SDA 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- 第一バイト^{*}を受信した場合、最下位ビット (RDR:D0) がデータ方向ビットとなります。
- 受信データが受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。
- 受信データフルフラグビット (SSR : RDRF) は、受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。

* : (反復) スタート条件後のデータを指します。

< 注意事項 >

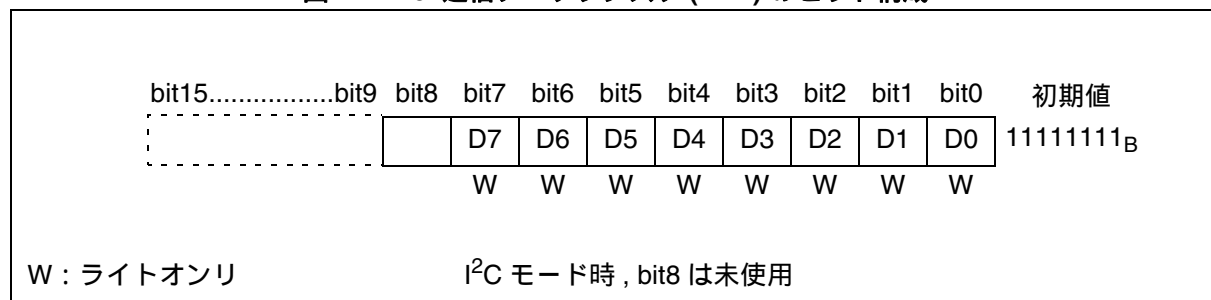
- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信すると RDRF が "1" にセットされます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が "0" にクリアされます。

MB91605A シリーズ

■ 送信データレジスタ (TDR)

図 24.21-6 に送信データレジスタのビット構成を示します。

図 24.21-6 送信データレジスタ (TDR) のビット構成



送信データレジスタ (TDR) は, シリアルデータ送信用のデータバッファレジスタです。

- 送信データレジスタ (TDR) の値の MSB ファーストでシリアルデータライン (SDA 端子) に出力します。
- 第一バイトを送信する場合, 最下位ビット (TDR:D0) がデータ方向ビットになります。
- 送信データエンプティフラグ (SSR : TDRE) は, 送信データが送信データレジスタ (TDR) に書き込まれると "0" にクリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は, 送信用シフトレジスタへ転送されると "1" にセットされます。
- 次の送信データの書込みは, 以下の条件のときに行ってください。
 - 割込みフラグ (INT ビット) が "1"
 - バスエラーが発生していない (BER ビット =0)
 - アクノリッジが ACK 応答 (アクノリッジとして "0" 受信)
- 送信 FIFO 禁止時, データエンプティフラグ (SSR : TDRE) が "0" のときは送信データレジスタ (TDR) に送信データを書き込むことはできません。
- 送信 FIFO 使用時, データエンプティフラグ (SSR:TDRE) が "0" であっても送信 FIFO の容量まで送信データを書き込むことが可能です。

< 注意事項 >

送信データレジスタは書込み専用のレジスタで, 受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため, 書込み値と読出し値が異なります。したがって, INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。

24.21.6 7 ビットスレーブアドレスマスクレジスタ (ISMK)

7 ビットスレーブアドレスマスクレジスタ (ISMK) は、スレーブアドレスの各ビットの比較をするか設定するレジスタです。

■ 7 ビットスレーブアドレスマスクレジスタ (ISMK)

図 24.21-7 に7ビットスレーブアドレスレジスタ (ISMK) のビット構成を、表 24.21-7 に各ビットの機能を示します。

図 24.21-7 7 ビットスレーブマスクレジスタ (ISMK) のビット構成

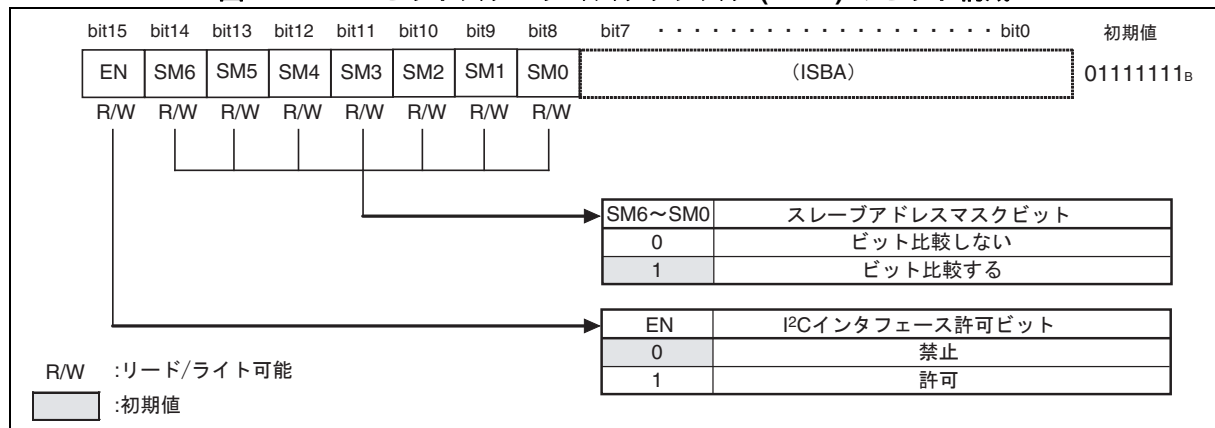


表 24.21-7 7 ビットスレーブマスクレジスタ (ISMK) の各ビットの機能説明

ビット名		機能
bit15	EN : I ² C インタ フェース 許可ビット	<p>I²C インタフェースの動作を許可 / 禁止するビットです。</p> <p>"0" に設定した場合：I²C インタフェースは動作禁止状態になります。</p> <p>"1" に設定した場合：I²C インタフェースが動作可能となります。</p> <p>(注意事項) IBSR レジスタの BER ビットが "1" にセットされても、本ビットは "0" にクリアされません。</p> <p>本ビットが "0" のときにボーレートジェネレータを設定してください。</p> <p>本ビットが "0" のときに7ビットスレーブアドレスおよび7ビットスレーブマスクレジスタを設定してください。</p> <p>送信中に EN ビットを "0" にすると I²C バスの SDA/ SCL にパルスが発生することがあります。</p> <p>FIFO 許可の場合、FIFO を禁止にして EN ビットに "0" を書いてください。</p>
bit14 ~ bit8	SM6 ~ SM0 : スレーブ アドレス マスクビット	<p>7 ビットスレーブアドレスと受信したアドレスに対し、比較対象外にするかどうかを設定するビットです。</p> <p>"1" を設定したビット：比較する</p> <p>"0" を設定したビット：一致したものとして処理する</p> <p>(注意事項) EN ビットが "0" のときに本レジスタを設定してください。</p>

MB91605A シリーズ

24.21.7 7 ビットスレーブアドレスレジスタ (ISBA)

7 ビットスレーブアドレスレジスタ (ISBA) は、スレーブアドレスを設定するレジスタです。

■ 7 ビットスレーブアドレスレジスタ (ISBA)

図 24.21-8 に 7 ビットスレーブアドレスレジスタ (ISBA) のビット構成を、表 24.21-8 に各ビットの機能を示します。

図 24.21-8 7 ビットスレーブアドレスレジスタ (ISBA) のビット構成

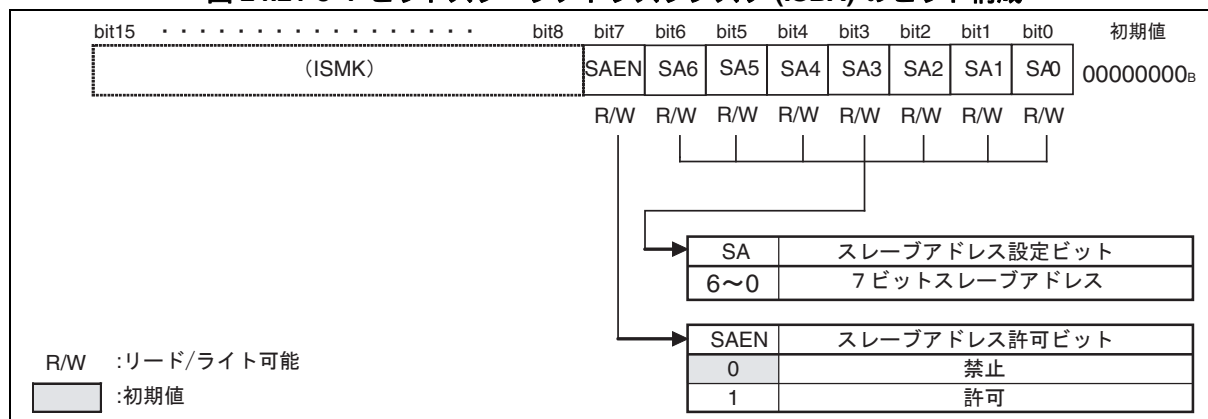


表 24.21-8 7 ビットスレーブアドレスレジスタ (ISBA) の各ビットの機能説明

ビット名		機能
bit7	SAEN : スレーブ アドレス 許可ビット	スレーブアドレスの検出許可ビットです。 "0" を設定した場合：スレーブアドレスを検出しません。 "1" を設定した場合：ISBA, ISMK の設定と受信した第一バイトと比較を行います。
bit6 ~ bit0	SA6 ~ SA0 : スレーブ アドレス	7 ビットスレーブアドレスレジスタ (ISBA) は、スレーブアドレス検出が許可 (SAEN=1) されていると、(反復) スタート条件検出後に受信した 7 ビットのデータが本レジスタと比較し、全ビットが一致するとスレーブモードとして動作し、ACK を出力します。そのとき、受信したスレーブアドレスは本レジスタにセットされます (SAEN=0 の場合は、ACK を出力しません)。 ISMK レジスタに "0" を設定したアドレスビットは比較対象外となります。 (注意事項) 予約アドレスの設定は禁止です。 本レジスタは ISMK レジスタの EN ビットが "0" のときに設定してください。

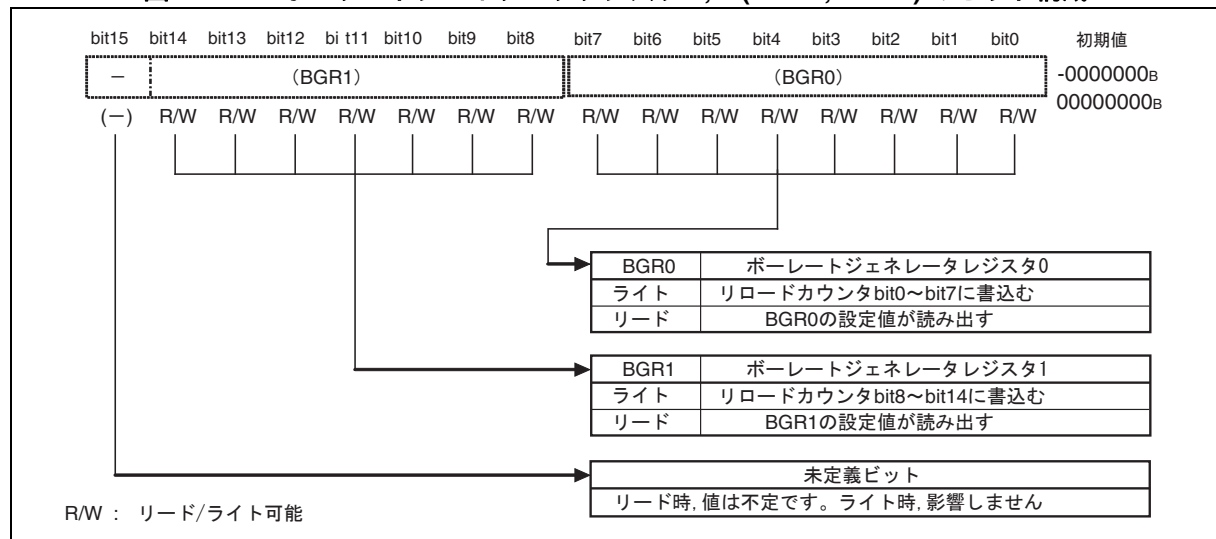
24.21.8 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は、シリアルクロックの分周比を設定します。

■ ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 24.21-9 にポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 24.21-9 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



ポーレートジェネレータレジスタはシリアルクロックの分周比を設定します。

BGR1 は上位ビット, BGR0 は下位ビットに対応し, カウントするリロード値の書込み, BGR1/BGR0 の設定値の読み出しが可能です。

ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。

< 注意事項 >

- ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは、16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが "0" のときにポーレートジェネレータレジスタの設定を行ってください。
- マスタモード, スレーブモードに関係なくポーレートを設定してください。
- 動作モード 4(I²C モード) では周辺クロック (PCLK) は 8 MHz 以上で使用し, 400kbps を超えるポーレートジェネレータの設定は禁止です。

MB91605A シリーズ

24.21.9 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ 1 (FCR1) は, 送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 24.21-10 に FIFO 制御レジスタ 1 (FCR1) のビット構成を, 表 24.21-9 に各ビットの機能を示します。

図 24.21-10 FIFO 制御レジスタ 1(FCR1) のビット構成

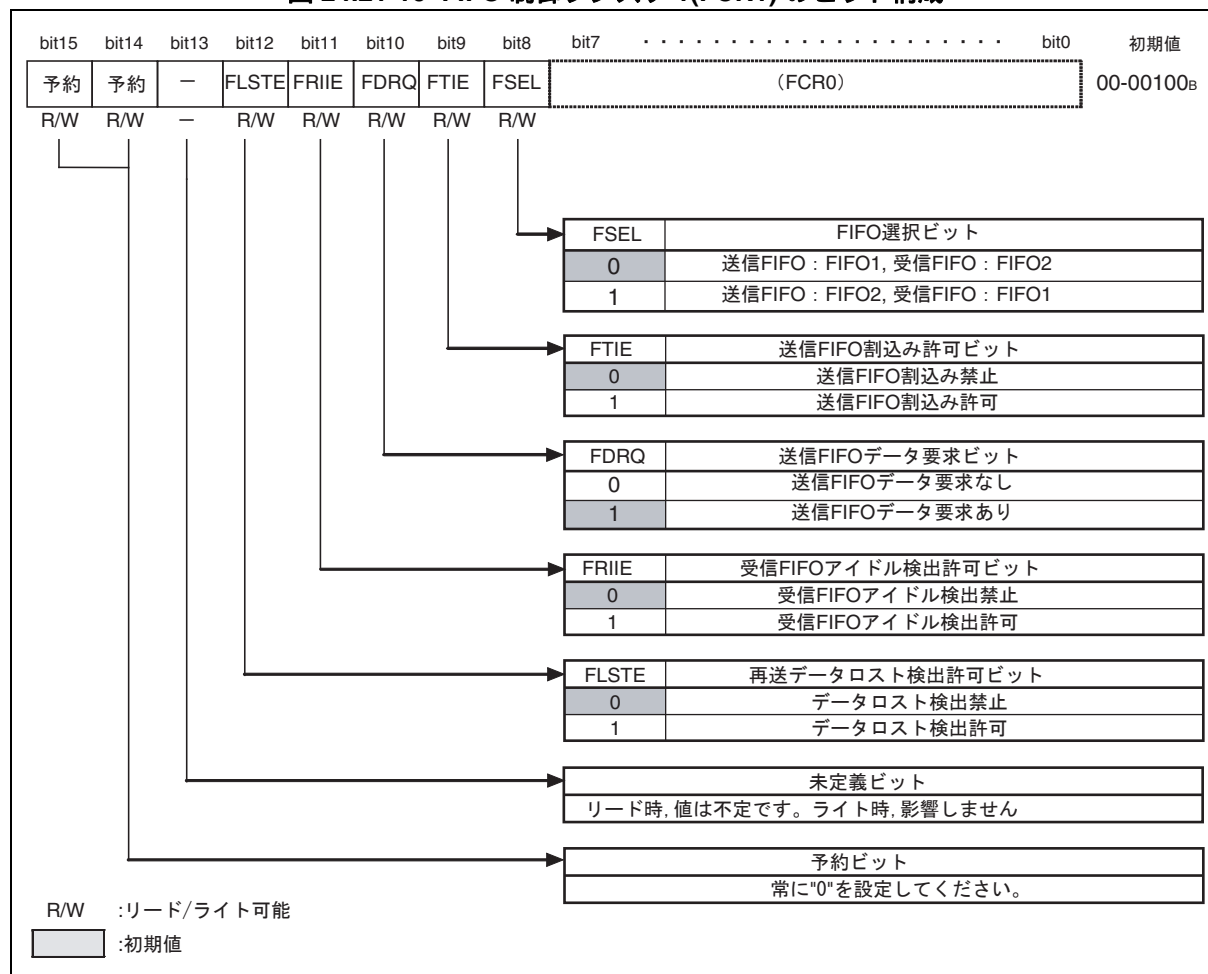


表 24.21-9 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 <Helvetica>(1 / 2)

ビット名		機能
bit15, bit14	予約ビット	常に "00 _B " を書き込んでください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE： 再送データ ロスト検出 許可ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項) 本ビットに "1" を設定する場合、FSET ビットに "1" を 設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル検出 許可ビット	受信 FIFO に有効なデータが存在した状態でボーレートクロックで 8 クロック以上の受信アイドル状態を検出するかどうかを設定するビット です。受信割込みが許可 (SCR:RIE=1) されているときに受信アイドル 状態が検出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ： 送信 FIFO データ 要求ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき、送信データを要求していることを示します。 このとき、送信割込みが許可 (FTIE=1) されていると送信 FIFO 割込み 要求が出力されます。 FDRQ セット条件 <ul style="list-style-type: none"> • FBYTE(送信用)=0 (送信 FIFO がエンプティ) • 送信 FIFO のリセット FDRQ リセット条件 <ul style="list-style-type: none"> • 本ビットへの "0" 書込み • 送信 FIFO が Full になった場合 (注意事項) FBYTE(送信用)=0 のときに本ビットへの "0" 書込みは 禁止です。 本ビットが "0" のときに FSEL ビットの変更は禁止で す。 本ビットに "1" を設定した場合、動作に影響を与えませ ん。 リードモディファイライト (RMW) 系命令時には、"1" が読み出されます。
bit9	FTIE： 送信 FIFO 割込み許可 ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

MB91605A シリーズ

表 24.21-9 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 <Helvetica>(2 / 2)

ビット名		機能
bit8	FSEL : FIFO 選択 ビット	<p>送受信 FIFO を選択するビットです。</p> <p>"0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り当てられます。</p> <p>"1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り当てられます。</p> <p>(注意事項) 本ビットは , FIFO リセット (FCL2, FCL1=1) ではクリアされません。</p> <p>本ビットを変更する場合は , FIFO 動作禁止 (FCR0: FE2, FE1=0) にしてから行ってください。</p>

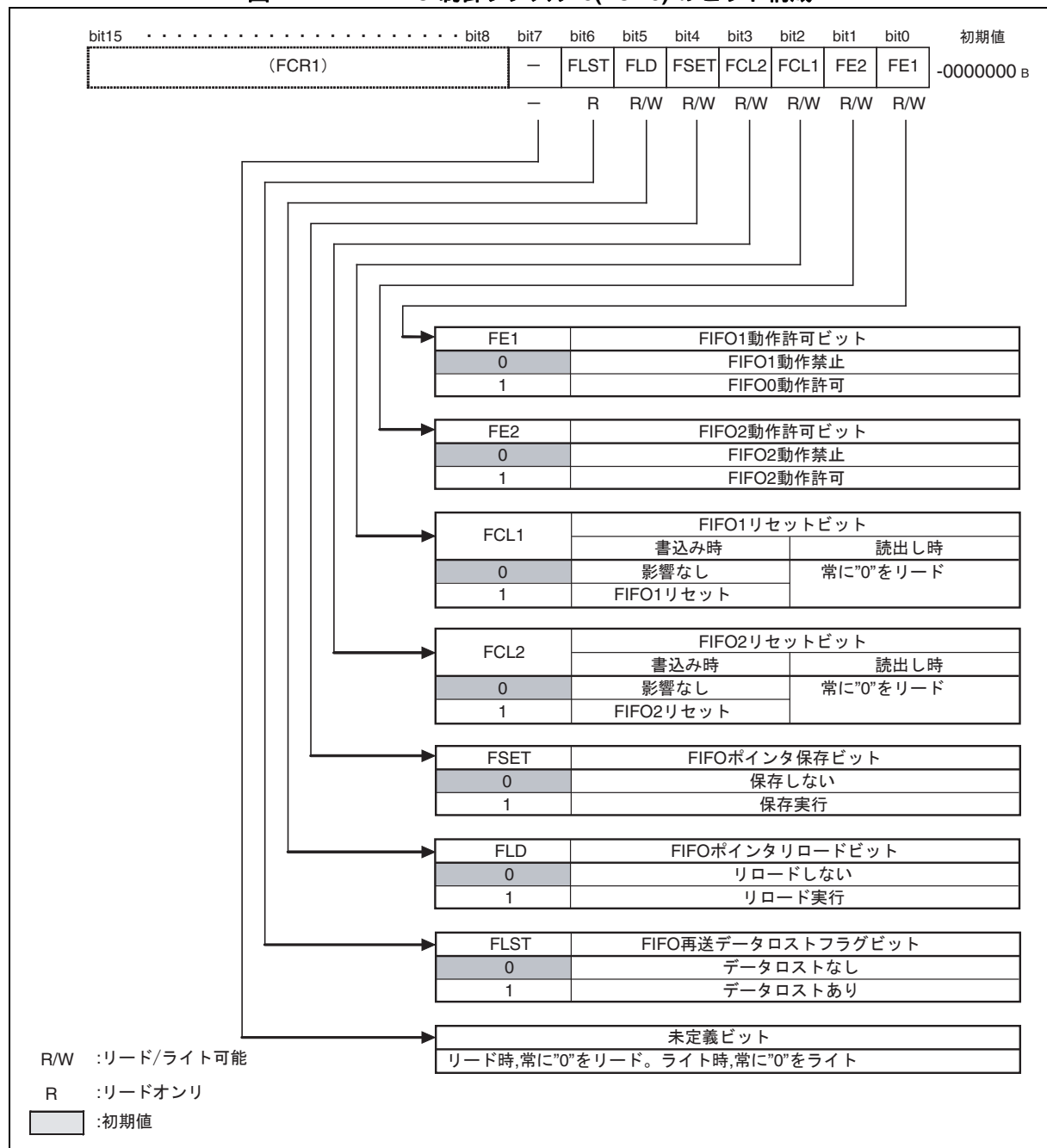
24.21.10 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は、FIFO 動作の許可 / 禁止、FIFO リセット、リードポインタの保存、再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 24.21-11 に FIFO 制御レジスタ 0 (FCR0) のビット構成を、表 24.21-10 に各ビットの機能を示します。

図 24.21-11 FIFO 制御レジスタ 0(FCR0) のビット構成



MB91605A シリーズ

表 24.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 <Helvetica>(1 / 3)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書いてください。
bit6	FLST : FIFO 再送 データロス フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポイントと FSET ビットによって保存したリードポイントが一致しているときに FIFO へ書き込んだ場合 FLST リセット条件 <ul style="list-style-type: none"> • FIFO リセット (FCL への "1" 書込み) • FSET ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポイントが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。
bit5	FLD : FIFO ポイント リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポイントにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。 再送設定が完了した場合、本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間、リードポイントへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中、本ビットに "1" を設定することは禁止です。 TIE ビットを "0" にしてから本ビットに "1" を書き込み、送信 FIFO 許可後、TIE ビットを "1" にしてください。
bit4	FSET : FIFO ポイント 保存ビット	送信 FIFO のリードポイントを保存するビットです。 送信前にリードポイントを保存すると、通信エラーなどが発生した場合、FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポイントの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2 : FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると、FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) FIFO2 を禁止してから、FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 24.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 <Helvetica>(2 / 3)

ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	<p>FIFO1 をリセットするビットです。 本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) FIFO1 を禁止してから、FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。</p>
bit1	FE2 : FIFO2 動作 許可ビット	<p>FIFO2 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO2 を使用する場合、本ビットに "1" を設定してください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信データがエンプティ (TDRE=1)、受信 FIFO で使用する場合には受信データがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。 <p>(注意事項) BB ビットが "0" または INT ビットが "1" のときに許可 / 禁止の変更を行ってください。 受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを "0" にし、ACKE=0 にしてください。 受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR の RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。 送信 FIFO として使用していて FIFO2 にデータが存在し、本ビットを "0" から "1" に変更する場合、TIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットを "1" にしてください。</p>

MB91605A シリーズ

表 24.21-10 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 <Helvetica>(3 / 3)

ビット名		機能
bit0	FE1 : FIFO1 動作 許可ビット	<p>FIFO1 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO1 を使用する場合、本ビットに "1" を設定してください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信データがエンプティ (TDRE=1)、受信 FIFO で使用する場合には受信データがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO1 を禁止にしても FIFO1 の状態は保持されます。 <p>(注意事項) BB ビットが "0" または INT ビットが "1" のときに許可 / 禁止の変更を行ってください。</p> <p>受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを "0" にし、ACKE=0 にしてください。</p> <p>受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR の RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。</p> <p>送信 FIFO として使用していて FIFO1 にデータが存在し、本ビットを "0" から "1" に変更する場合、TIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットを "1" にしてください。</p>

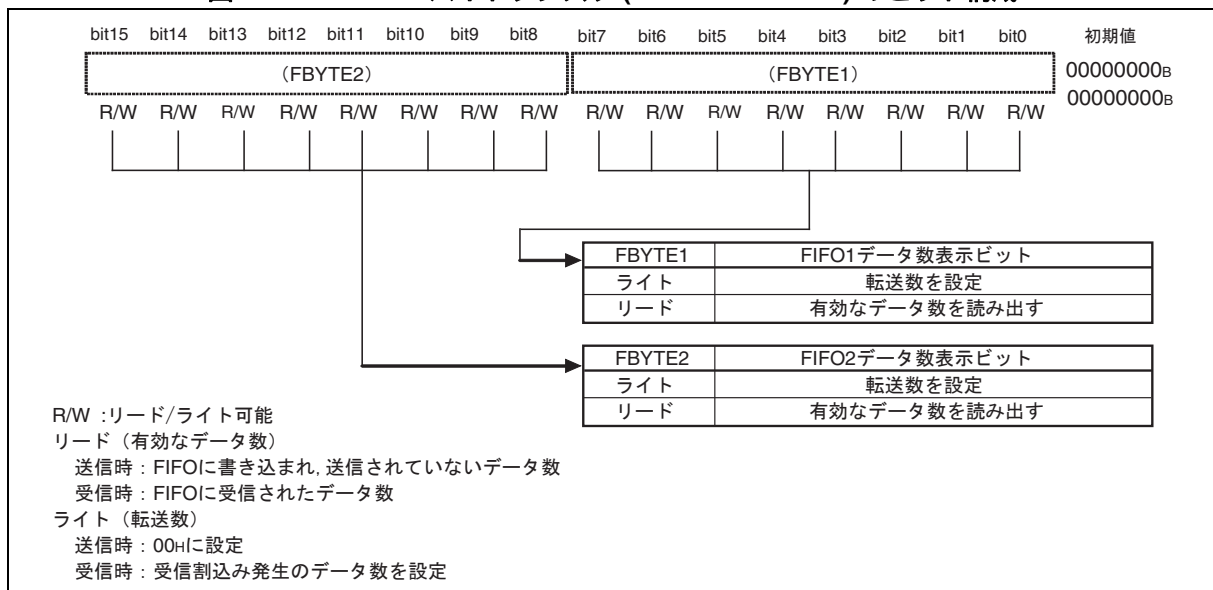
24.21.11 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 24.21-12 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 24.21-12 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE レジスタは FIFO の有効なデータ数を示し、FCR1:FSEL ビットの設定によって以下ようになります。

表 24.21-11 データ数表示

FSEL	FIFO 選択	データ数表示
0	FIFO2 : 受信 FIFO, FIFO1 : 送信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1
1	FIFO2 : 送信 FIFO, FIFO1 : 受信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1

- FBYTE レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致すると割込みフラグ (RDRF) が "1" にセットされます。

MB91605A シリーズ

- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- マスタ動作でデータを受信する場合(マスタ受信), TIE ビットを "0" にして送信 FIFO の FBYTE レジスタに受信データ数を設定し、FDRQ ビットに "0" を書きます。設定データ分の SCL のクロックが出力され、その後、INT ビットが "1" になります。TIE ビットに "1" を設定したい場合には、FDRQ が "1" になった後に "1" に設定してください。

< 注意事項 >

- マスタ動作でデータを受信するとき以外、送信 FIFO の FBYTE は "00_H" を設定してください。
 - マスタ動作でデータを受信するときの送信データ数の設定は、送信 FIFO がエンプティで TIE ビットが "0" のときに行ってください。
 - マスタ動作でデータを受信中に I²C インタフェースを禁止 (EN=0) にする場合には、送受信 FIFO を禁止にしてから禁止してください。
 - 受信 FIFO の FBYTE には "1" 以上のデータを設定してください。
 - 送受信を禁止してから変更してください。
 - 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
 - FIFO 容量を超えた設定は禁止です。
-

24.22 I²C インタフェースの割込み

I²C インタフェースの割込みは、次に示す要因で割込み要求を発生させることができます。

- 第一バイト送受信後 / データ送受信後
- ストップ条件
- 反復スタート条件
- FIFO 送信データ要求
- FIFO 受信データ完了

■ I²C インタフェースの割込み

I²C インタフェースの割込み制御ビットと割込み要因は表 24.22-1 のようになっています。

表 24.22-1 I²C インタフェースの割込み制御ビットと割込み要因 <Helvetica>(1 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
ステータス	INT	IBCR	第一バイト送受信後 *1	IBCR:INTE	割込みフラグビット (IBCR:INT) への "0" 書込み
			データ送受信後 *1		
			バスエラー検出		
			アービトレーションロスト検出		
			予約アドレス検出		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し後、割込みフラグビット (IBCR:INT) へ "0" 書込み
	SPC	IBSR	ストップ条件	IBCR:CNDE	ストップ条件検出ビット (IBSR : SPC) への "0" 書込み
	RSC	IBSR	反復スタート条件		反復スタート検出フラグビット (IBSR : RSC) への "0" 書込み

MB91605A シリーズ

表 24.22-1 I²C インタフェースの割込み制御ビットと割込み要因 <Helvetica>(2 / 2)

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	予約アドレス受信後	SMR : RIE	受信データ (RDR) の読出し
			データ受信後		
			FBYTE 設定値分受信		
			FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
	ORE	SSR	オーバランエラー		受信エラーフラグビット (SSR:REC) への "1" 書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SMR : TIE	送信データ (TDR) への書込み, または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *2
			送信バッファエンプティフラグセットビット (SSR:TSET) への "1" 書込み		
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビットへの "0" 書込み, または送信 FIFO がフル

*1 : 正常なデータを送受信できます。TDRE が "0" の場合, 割込みは発生しません。これは DMA 転送をサポートするためです。

データ送受信時に INT フラグを発生させたい場合には, INT フラグがセットされるタイミングより前に TDRE ビットが "1" である必要があります。

*2 : TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

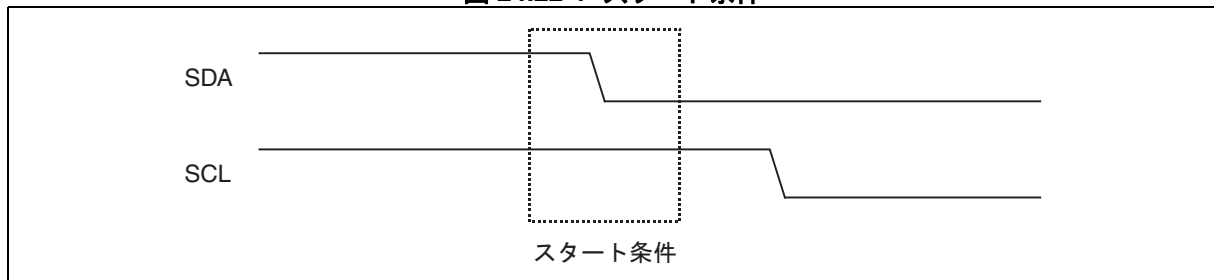
24.22.1 I²C インタフェース通信の動作

I²C インタフェースは、2本の双方向バスライン、シリアルデータライン (SDA) およびシリアルクロックライン (SCL) を使用して通信を行います。

■ I²C バススタート条件

I²C バスの起動条件を以下に示します。

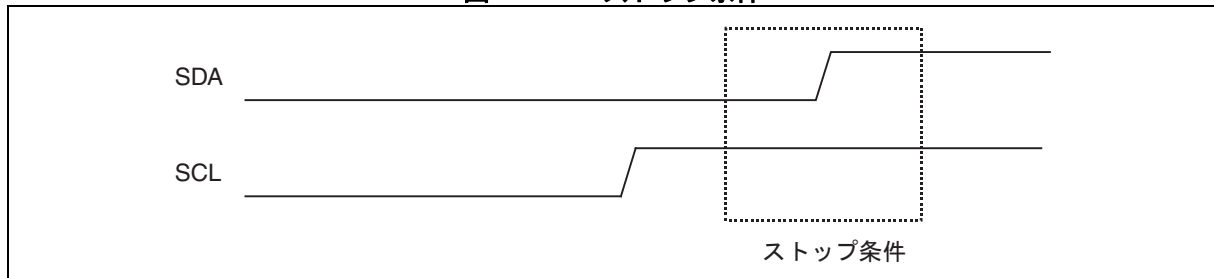
図 24.22-1 スタート条件



■ I²C バスストップ条件

I²C バスのストップ条件を以下に示します。

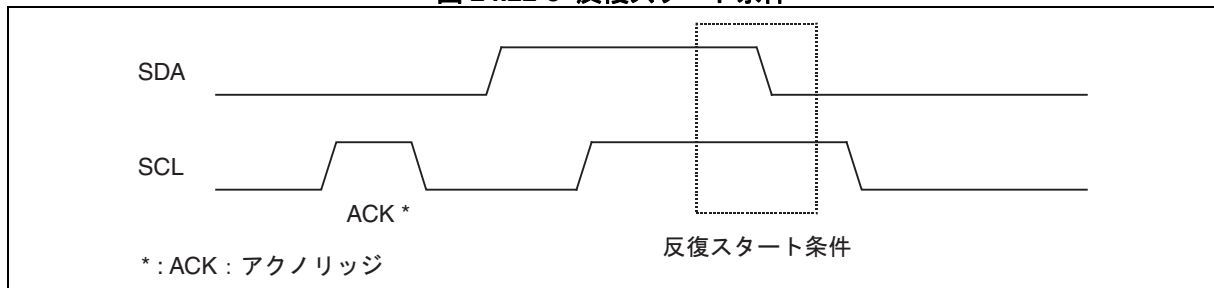
図 24.22-2 ストップ条件



■ I²C バス反復スタート条件

I²C バスの反復スタート条件を以下に示します。

図 24.22-3 反復スタート条件



MB91605A シリーズ

24.22.2 マスタモード

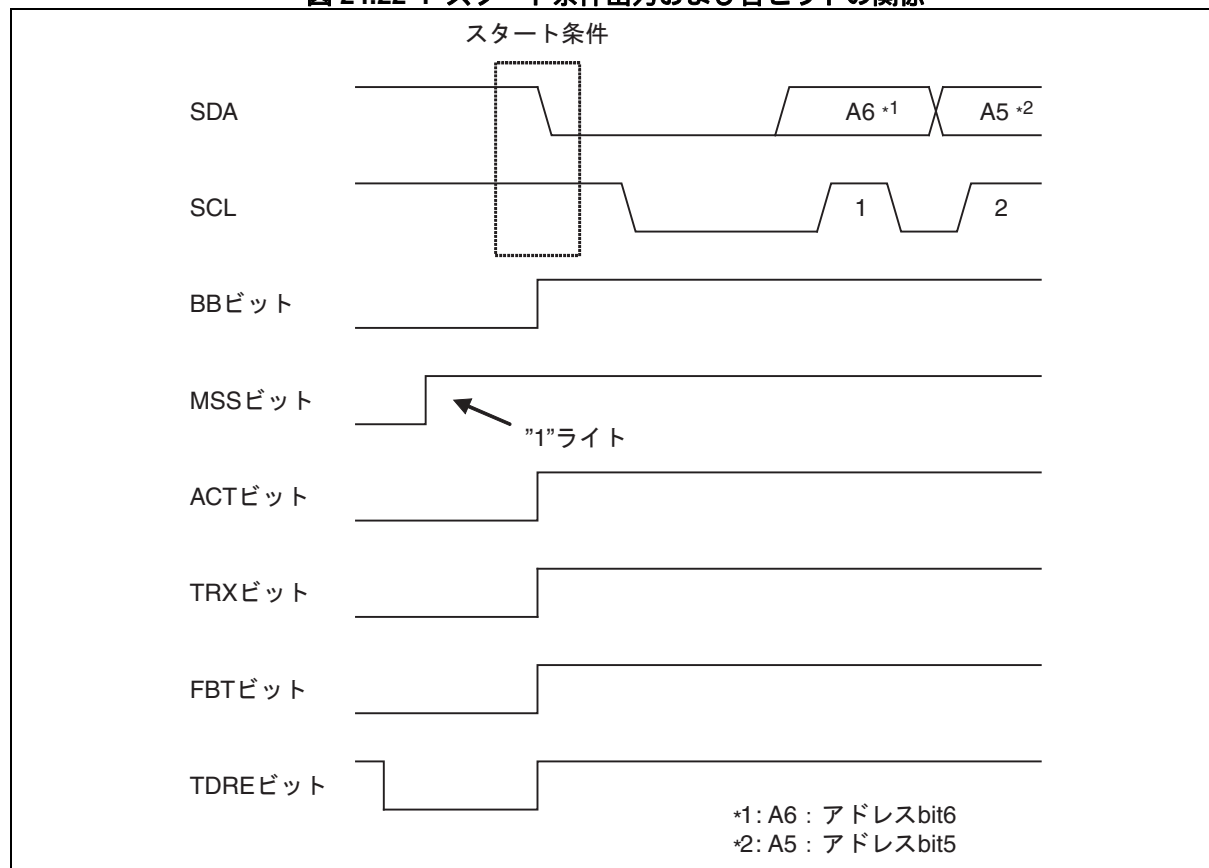
マスタモードは、I²C バスにスタート条件を発生させ、I²C バスにクロックを出力します。I²C バスがアイドル状態 (SCL="H", SDA="H") のとき、IBCR レジスタの MSS ビットに "1" を設定するとマスタモードになり、IBCR レジスタの ACT ビットが "1" になります。

■ スタート条件生成

SDA="H", SCL="H", EN=1, BB=0 のとき、MSS ビットへ "1" を書き込むとスタート条件が出力されます。

I²C バスへスタート条件を出力すると ACT ビットに "1" をセットします。その後、スタート条件を受信すると BB ビットが "1" にセットされ、I²C バスは通信中であることを示します (図 24.22-4 を参照)。

図 24.22-4 スタート条件出力および各ビットの関係



< 注意事項 >

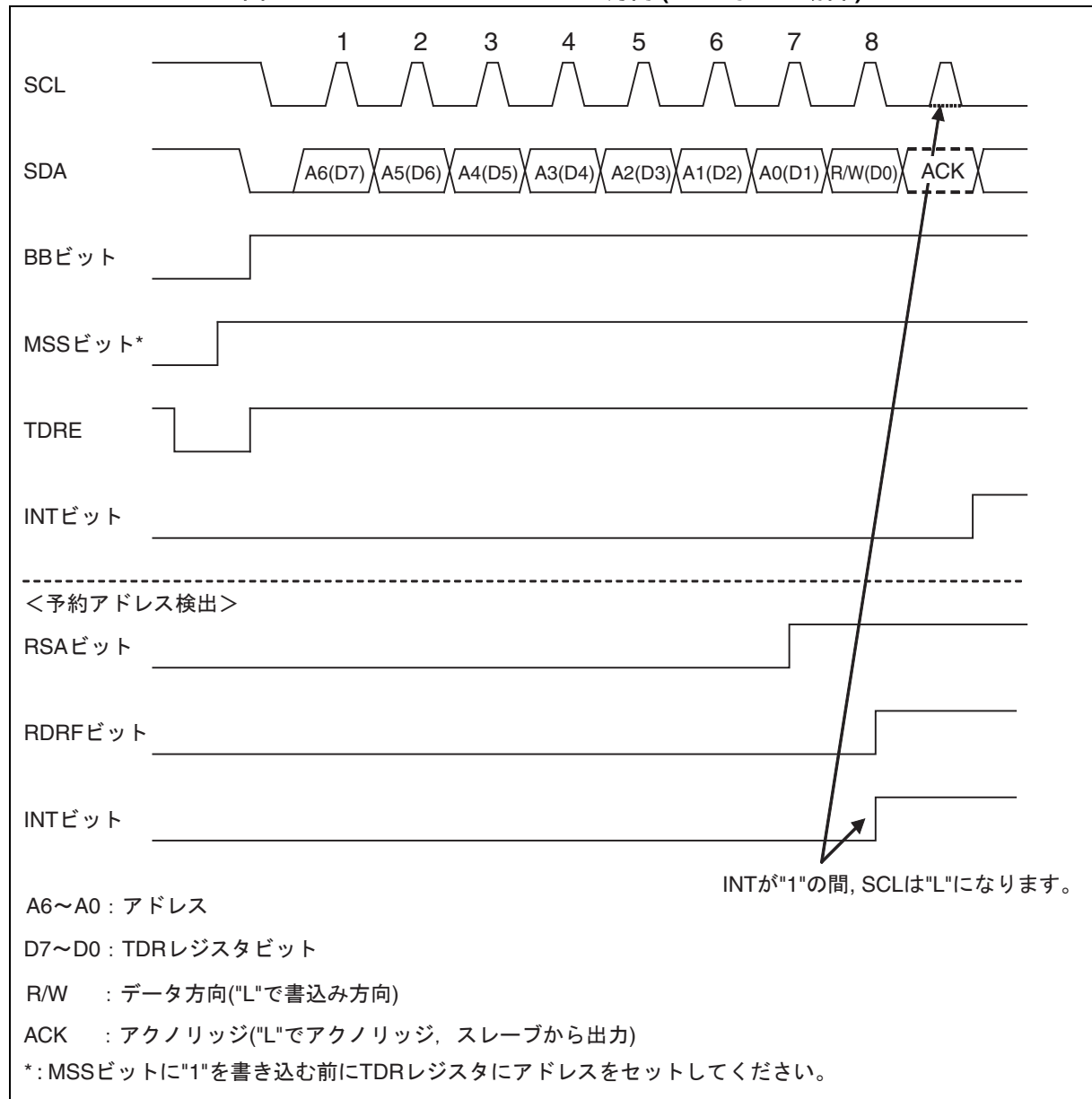
動作モード 4(I²C モード) では周辺クロック (PCLK) は 8 MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。

■ スレーブアドレス出力

スタート条件を出力すると TDR レジスタに設定されたデータを bit7 からアドレスとして出力します。FIFO 許可の場合、最初を書いた TDR レジスタのデータを出力します。bit0 はデータ方向ビット (R/W) として使用され、データ方向ビット (R/W) が "0" のとき、データはライト方向 (マスタ スレーブ) を示します。TDR レジスタへのアドレス設定は、MSS=1 または SCC=1 を書く前に行ってください。

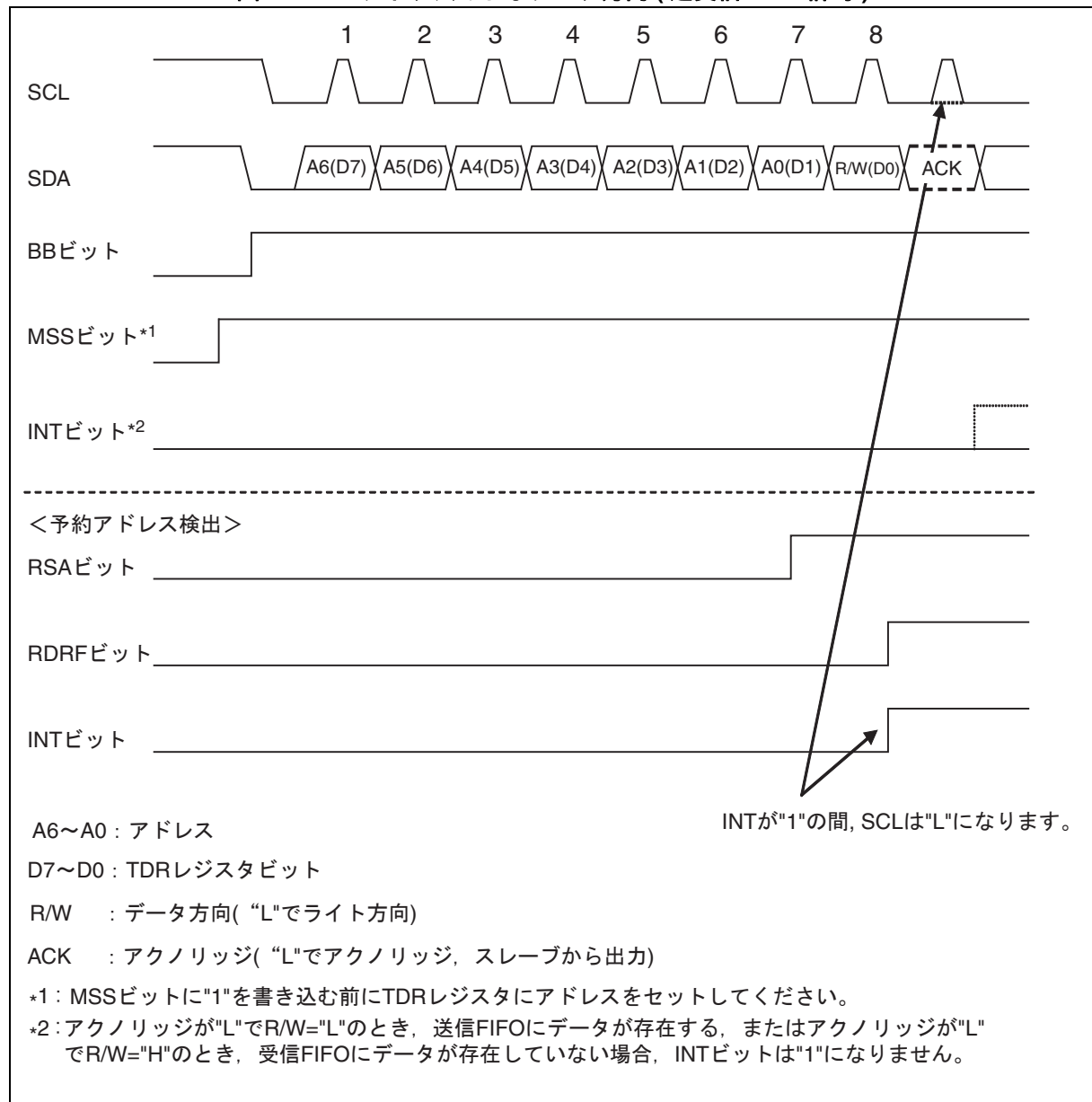
アドレスおよびデータ方向の出力タイミングについて図 24.22-5、図 24.22-6 に示します。

図 24.22-5 アドレスおよびデータ方向 (FIFO 禁止の場合)



MB91605A シリーズ

図 24.22-6 アドレスおよびデータ方向 (送受信 FIFO 許可)



■ 第一バイト送信によるアクノリッジ受信

データ方向ビット (R/W) を出力すると、I²C インタフェースはスレーブからのアクノリッジを受信します。FIFO 許可と FIFO 禁止では、以下の動作になります。

表 24.22-2 アクノリッジ受信後の動作 (RSA ビット =0)

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向 ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジ が NACK
禁止	禁止	-	-	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
				1		
禁止	許可	-	データなし	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	
許可	禁止	-	-	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
				1		
許可	許可	-	データなし	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	

MB91605A シリーズ

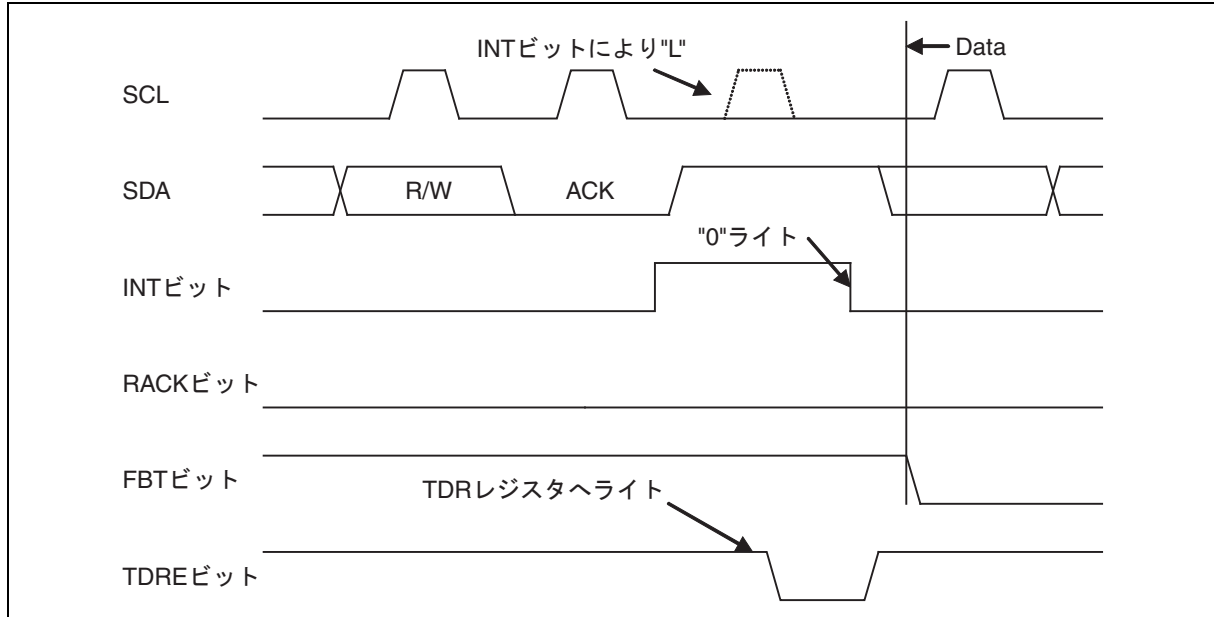
FIFO 禁止 (送信 FIFO, 受信 FIFO 両方とも禁止)

- RSA ビットが "0" の場合, アクノリッジ受信後, TDRE ビットが "1" の場合には, 割込みフラグ (INT) を "1" にセットし, SCL を "L" に保持してウェイトします。ウェイトは割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。TDRE ビットが "0" の場合には, ACK を受信すると割込みフラグを "1" にセットせずに SCL にクロックを発生します。
- RSA ビットが "1" の場合, 予約アドレス受信後 (アクノリッジ前), 割込みフラグ (INT) を "1" にセットし, SCL を "L" に保持してウェイトします。RDR レジスタ読出し後, ACKE ビット, 送信データを設定し, 割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。
- 受信したアクノリッジは RACK ビットにセットされます。ウェイト中に RACK ビットを確認し, NACK の場合には, MSS ビットに "0" または SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, INT ビットは自動的に "0" にクリアされます。

FIFO 許可

- MSS ビットに "1" を設定する前に FIFO に以下の設定をする必要があります。
 - スレーブへ送信する場合 (データ方向ビット = 0), スレーブアドレスなどを含むデータを送信 FIFO に設定
 - スレーブからデータを受信する場合 (データ方向ビット = 1)
下記のどちらかを行ってください。
 1. スレーブアドレスおよびデータ方向ビットを送信データレジスタに書き込んだ後, FIFO バイト設定レジスタに受信数を設定
 2. スレーブアドレスおよびデータ方向ビットを送信データレジスタに書き込んだ後, 受信するデータ数分のダミーデータを送信データレジスタに書き込み
- RSA ビットが "0" の場合, アクノリッジ受信後, ACK の場合には, 割込みフラグ (INT) を "1" にセットせず, データ方向ビットに従ってデータを送受信します (ウェイトなし)。NACK の場合には, 割込みフラグ (INT) を "1" にセットし, SCL を "L" に保持してウェイトします。
- 受信したアクノリッジは RACK ビットに格納されます。ウェイト中に RACK ビットを確認し, NACK の場合には, MSS ビットに "0" または SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, INT ビットは自動的に "0" にクリアされます。

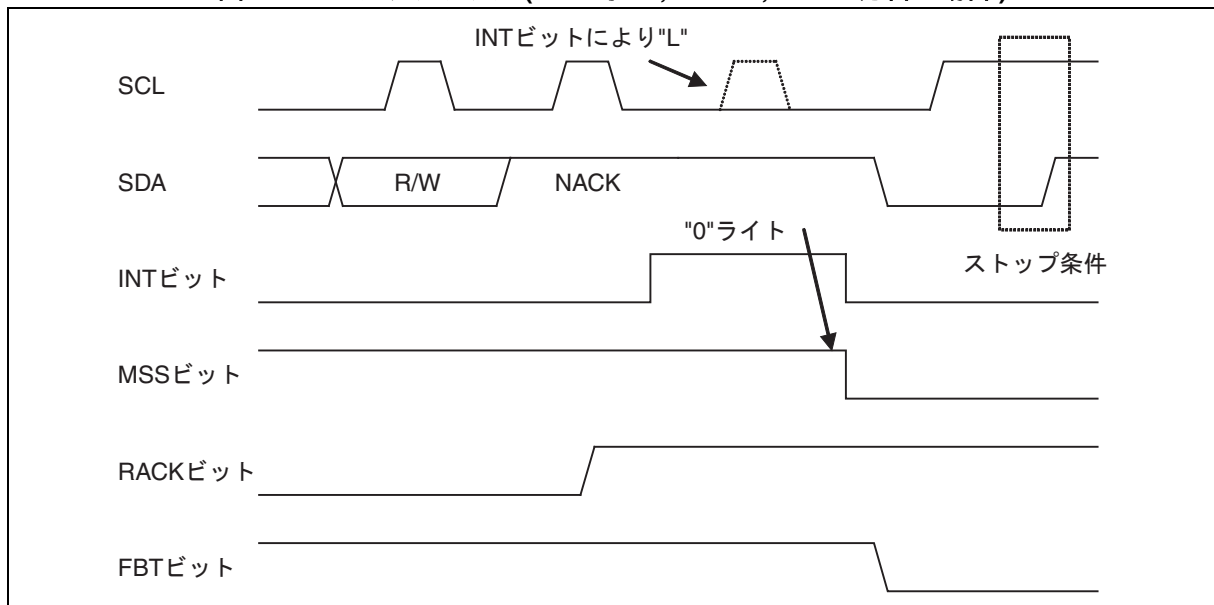
図 24.22-7 アクノリッジ (FIFO 禁止, RSA=0, ACK 応答の場合)



アドレスに対するウェイトは

- RSA ビットが "0" の場合, アクノリッジ受信後
 - RSA ビットが "1" の場合, アクノリッジ受信前
- になります。WSEL の設定には依存しません。

図 24.22-8 アクノリッジ (FIFO 禁止, RSA=0, NACK 応答の場合)



MB91605A シリーズ

図 24.22-9 アクノリッジ (FIFO 禁止, RSA=1, ACK 応答の場合)

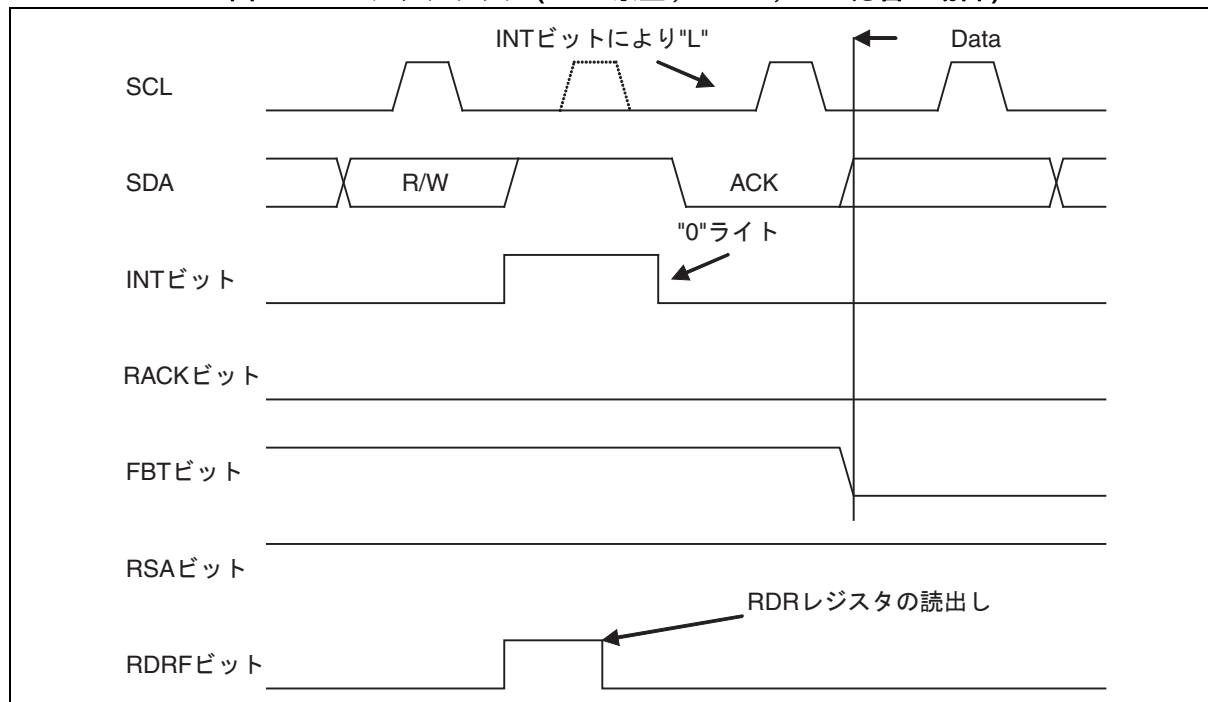


図 24.22-10 アクノリッジ (FIFO 禁止, RSA=1, NACK 応答の場合)

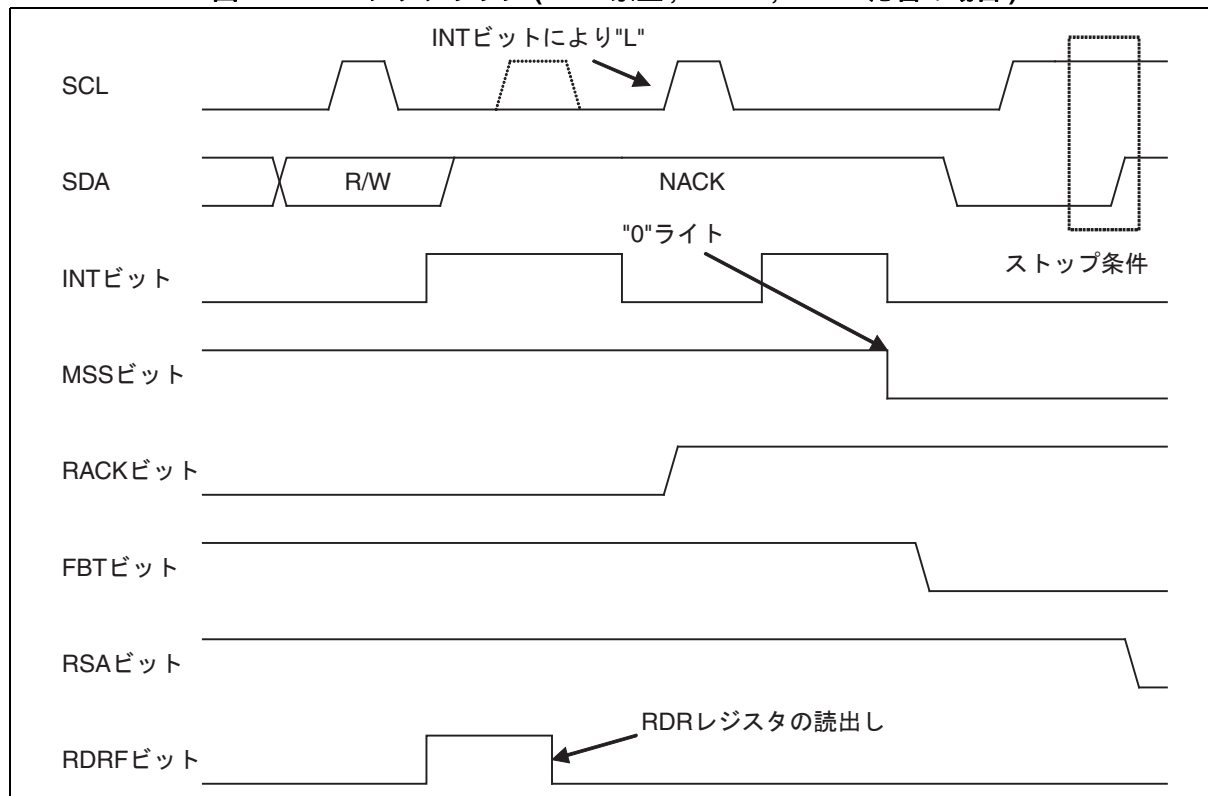
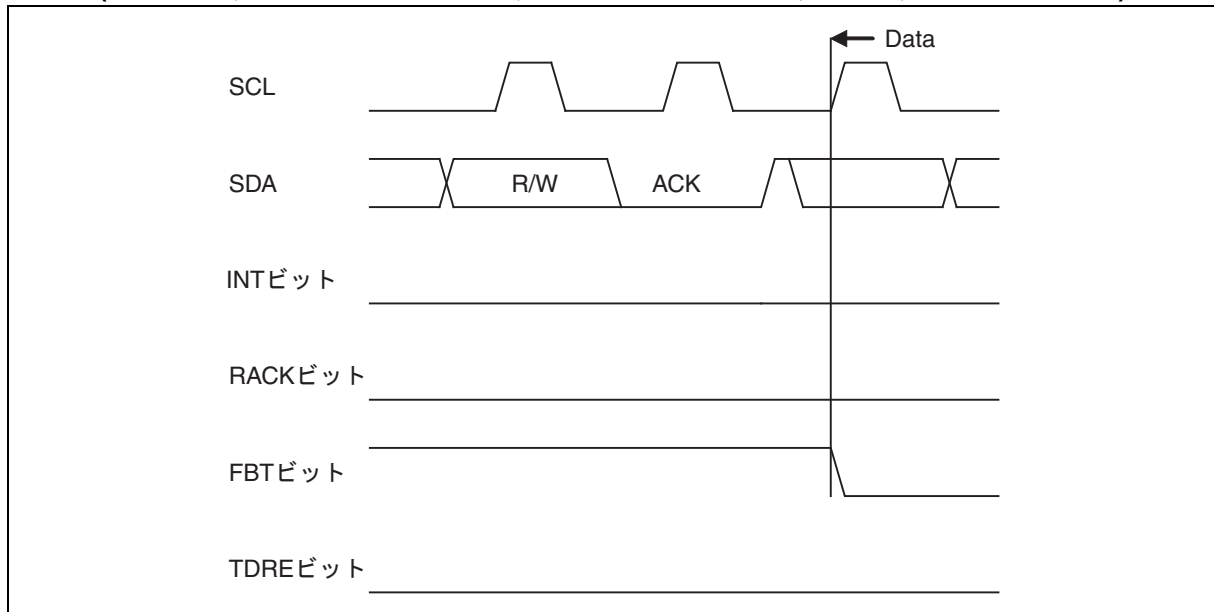


図 24.22-11 アクノリッジ
(FIFO 許可, 送信 FIFO データあり, 受信 FIFO データなし, RSA=0, ACK 応答の場合)



■ マスタによるデータ送信

データ方向ビット (R/W) が "0" の場合, データはマスタから送信します。1 バイト送信ごとにスレーブから ACK または NACK の応答があります。

WSEL ビットの設定によってウェイトの発生する場所が以下ようになります。

表 24.22-3 マスタデータ送信時の WSEL ビット

WSEL ビット	動作
0	第二バイト以降, TDRE ビットが "1" またはアービトレーションロスト検出でアクノリッジ後, 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。FIFO 許可の場合, アクノリッジ後, アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (TDRE=1) ときにアクノリッジ後, 割込みフラグ (INT) を "1" にしてウェイト状態にします。
1	第二バイト以降, TDRE ビットが "1" またはアービトレーションロスト検出でマスタが 1 バイトのデータを送信後, 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。FIFO 許可の場合, アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (TDRE=1) ときにデータ送信後, 割込みフラグ (INT) を "1" にしてウェイト状態にします。

ただし, ストップ条件設定 (MSS=0, ACT=1) 時以外に NACK を受信した場合, WSEL の設定に依存せずにアクノリッジ後に割込みフラグ (INT) をセットします。

MB91605A シリーズ

スレーブヘータを送信する場合の手順の一例を以下に示します。

● 予約アドレス以外への送信の場合

• 送信 FIFO が禁止されている場合

スレーブアドレス (データ方向ビットも含む) を TDR レジスタにセットし, MSS ビットに "1" を書きます。

スレーブアドレス送信後に ACK を受信し, 割込みフラグ (INT) が "1" になります。

TDR レジスタに送信するデータを書きます。

WSEL ビット更新とともに割込みフラグ (INT) に "0" を書き込み, I²C バスのウェイトを解除します。

1 バイト送信後に WSEL=0 の場合にはアクノリッジ受信後, WSEL=1 の場合には 1 バイト送信直後に割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで ~ を繰り返します。ただし, WSEL=1 のとき, ウェイト解除後に NACK を受信した場合にはアクノリッジ受信後にもう一度割込みが発生し, バスをウェイトします。

MSS ビットに "0" または SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

• 送信 FIFO が許可されている場合

スレーブアドレス (データ方向ビットも含む), 送信データを TDR レジスタに書きます。

WSEL ビット設定とともに MSS ビットに "1" を書きます。

送信中に NACK 受信した場合, その直後に割込みフラグ (INT) を "1" にして I²C バスをウェイトします。すべて ACK 応答を受信した場合, 最終バイト送信後, WSEL の設定に従って割込みフラグを "1" にして I²C バスをウェイトします。

MSS ビットに "0" を書いてストップ条件を生成させます。

● 予約アドレスへの送信の場合

• 送信 FIFO が禁止されている場合

スレーブアドレスとして予約アドレスを TDR レジスタにセットし, MSS ビットに "1" を書きます。

スレーブアドレス送信後, 割込みフラグ (INT) が "1" になります。

RDR レジスタを読み出し, 予約アドレスを確認します。*

TDR レジスタに送信するデータを書きます。

WSEL ビット更新とともに割込みフラグ (INT) に "0" を書き込み, I²C バスのウェイトを解除します。

1 バイト送信後に WSEL=0 の場合にはアクノリッジ受信後, WSEL=1 の場合には 1 バイト送信直後に割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで ~ を繰り返します。ただし, WSEL=1 のとき, ウェイト解除後に NACK を受信した場合にはアクノリッジ受信後にもう一度割込みが発生してバスをウェイトします。

MSS ビットに "0" または SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

- 送信 FIFO が許可されている場合

スレーブアドレスとして予約アドレスを TDR レジスタにセットし、MSS ビットに "1" を書きます。

スレーブアドレス送信後、割込みフラグ (INT) が "1" になります。

RDR レジスタを読み出し、予約アドレスを確認します。*

TDR レジスタに全送信データ (送信 FIFO がフルとなる場合にはその状態になるまで) を書きます。

送信中に NACK 受信した場合、その直後に割込みフラグ (INT) を "1" にして I²C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後、WSEL の設定に従って割込みフラグを "1" にして I²C バスをウェイトします。

MSS ビットに "0" または SCC ビットに "1" を設定し、ストップ条件または反復スタート条件を発生させます。

*: マルチマスタで予約アドレスがゼネラルコールの場合、アービトレーションロストが発生してスレーブとして動作する可能性がある場合、ACKE ビットを "1"、WSEL ビットを "1" にして次のデータでマスタとして動作するのか、スレーブとして動作するのかを確認する必要があります。

< 注意事項 >

- 送受信中に IBCR レジスタを変更する場合、割込みフラグ (INT) が "1" のときに変更してください。
 - WSEL ビットを変更した場合、次のデータの割込みフラグ (INT) の発生条件に使用されます。
 - データ送信中で TDRE が "1" のときに TDR レジスタへ送信データを書き込み、ACK 応答を検出すると割込みフラグ (INT) は "1" にならずにその書き込まれたデータが送信されます。
 - データ受信中に TDRE が "1" のときに TDR レジスタへ送信データを書き込み、ACK 応答した場合、割込みフラグ (INT) は "1" にならずに RDRF のみ "1" になります (受信 FIFO 許可の場合、FBYTE レジスタ設定分受信した場合)。
-

MB91605A シリーズ

図 24.22-12 FIFO 禁止によるマスタの割込み 1(WSEL=0, RSA=0)

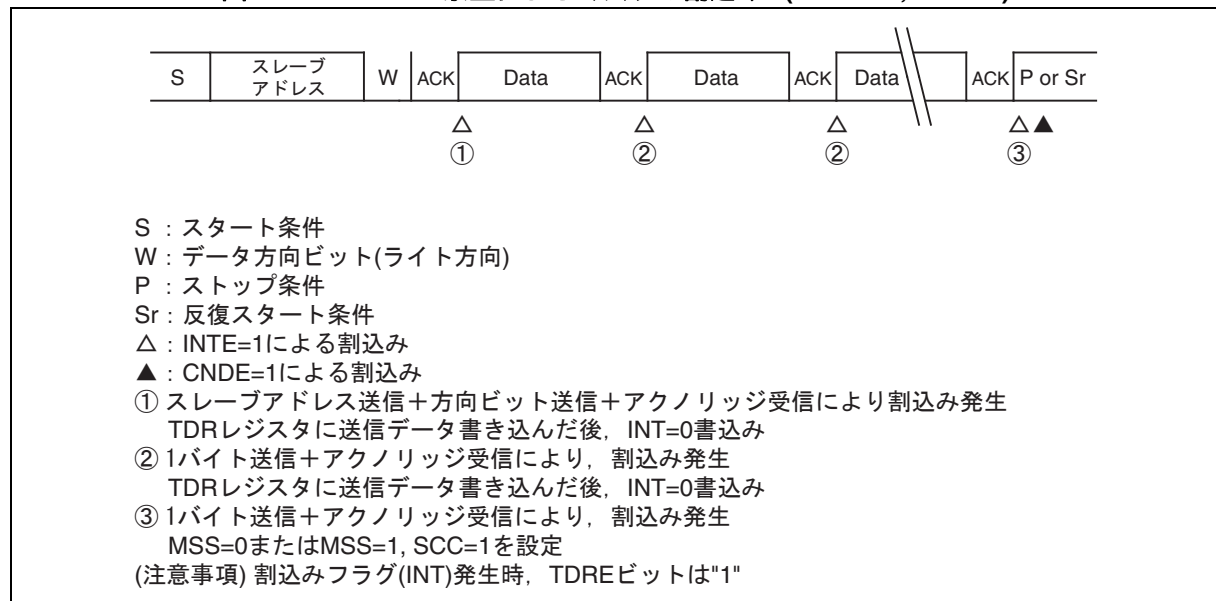


図 24.22-13 FIFO 禁止によるマスタ送信の割込み 2(WSEL=1, RSA=0, ACK 応答)

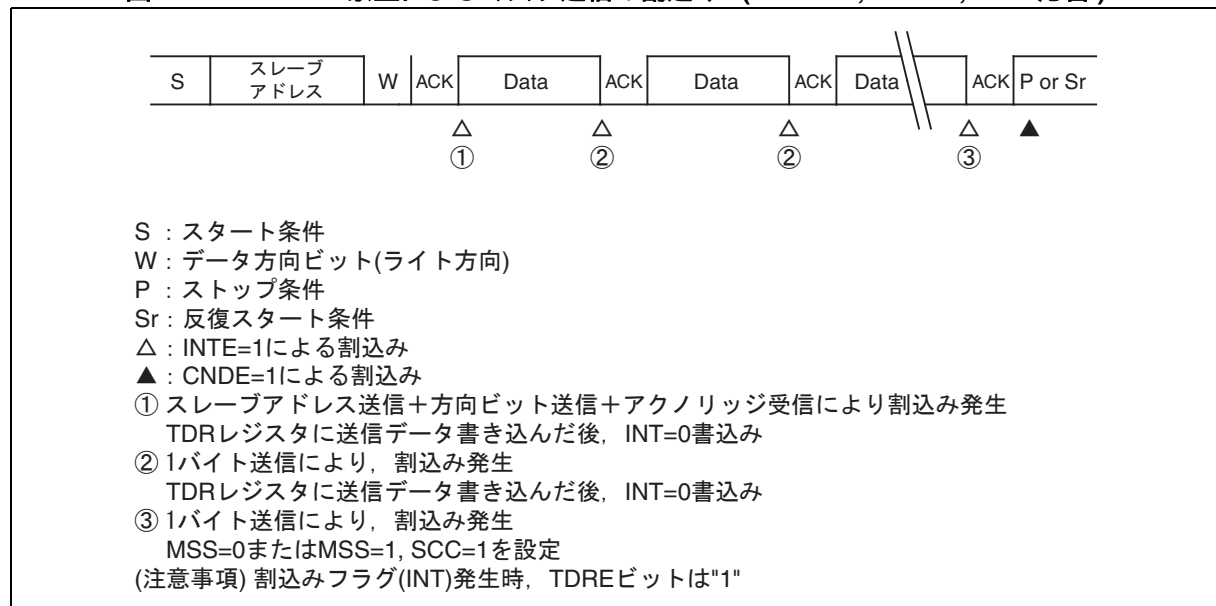


図 24.22-14 FIFO 禁止によるマスタ送信の割り込み 3(WSEL=1, RSA=0, NACK 応答)

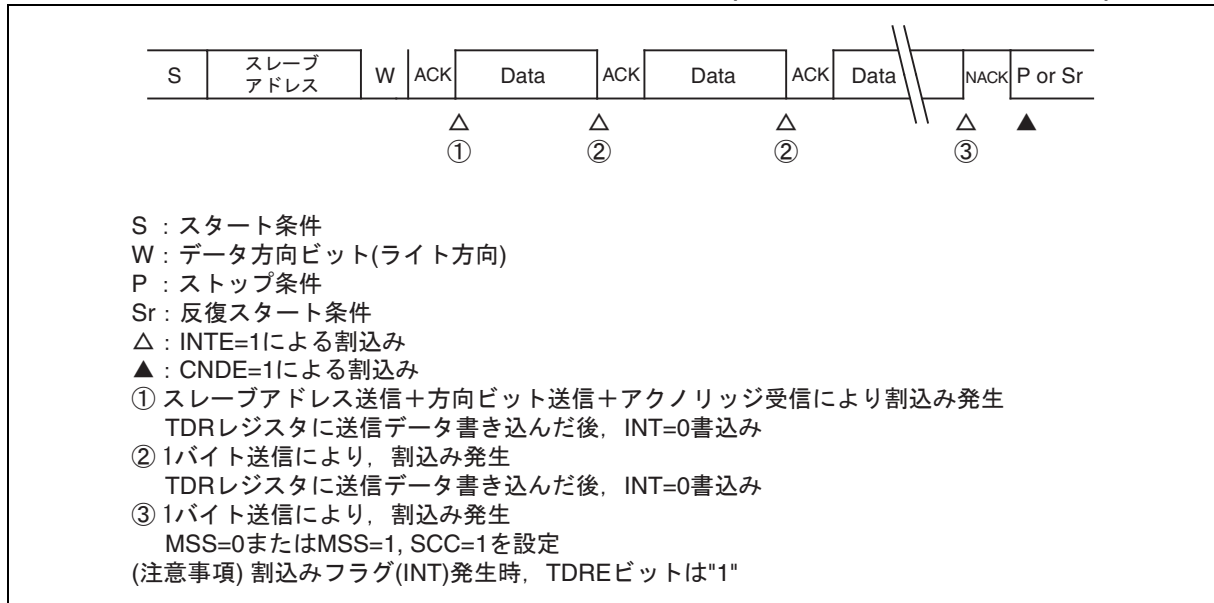
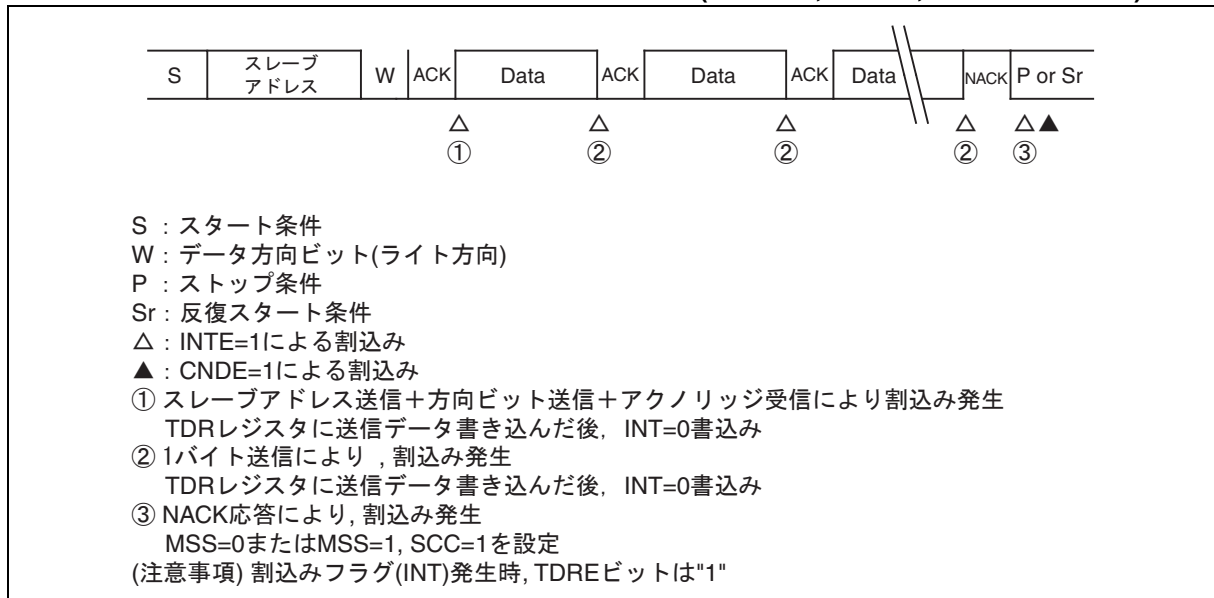


図 24.22-15 FIFO 禁止によるマスタ送信の割り込み 4(WSEL=1, RSA=0, 途中 NACK 応答)



MB91605A シリーズ

図 24.22-16 FIFO 禁止によるマスタ送信の割り込み 5(WSEL=1->0, RSA=0, ACK 応答)

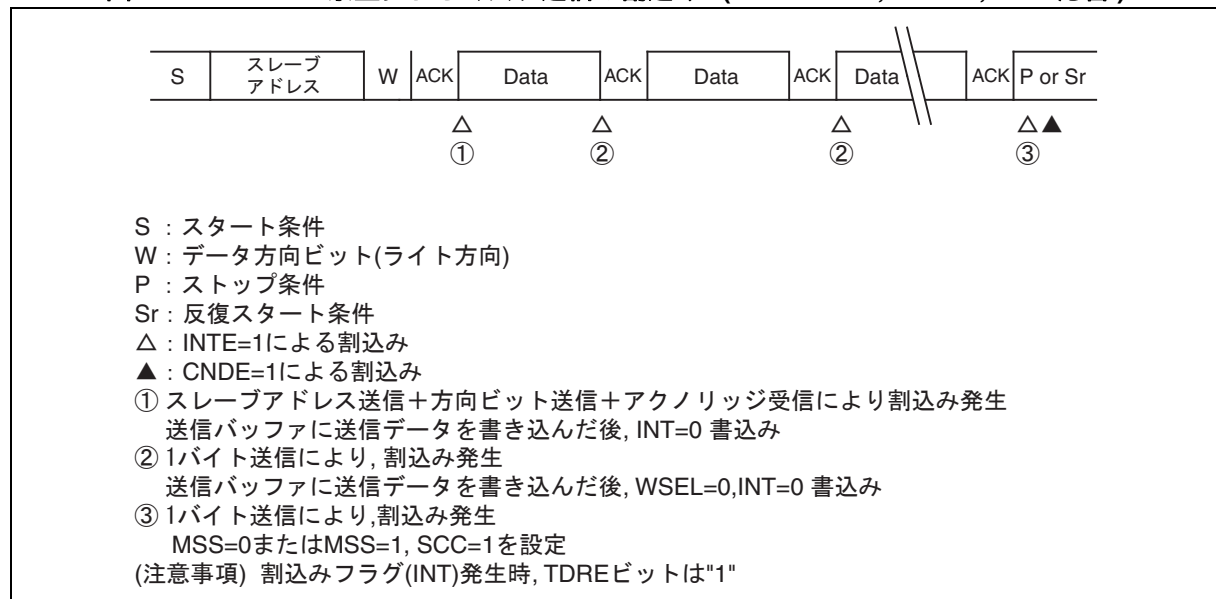


図 24.22-17 FIFO 禁止によるマスタの割り込み 6(WSEL=0, RSA=1)

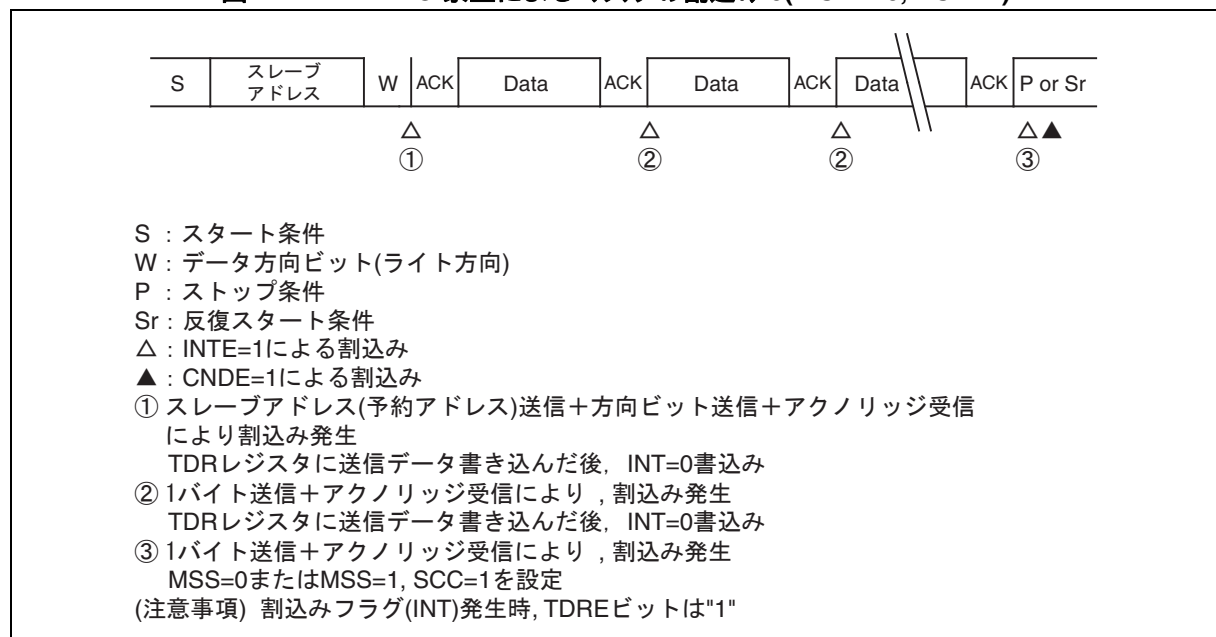


図 24.22-18 FIFO 許可によるマスタ送信の割り込み 7 (WSEL=0, RSA=0, ACK 応答)

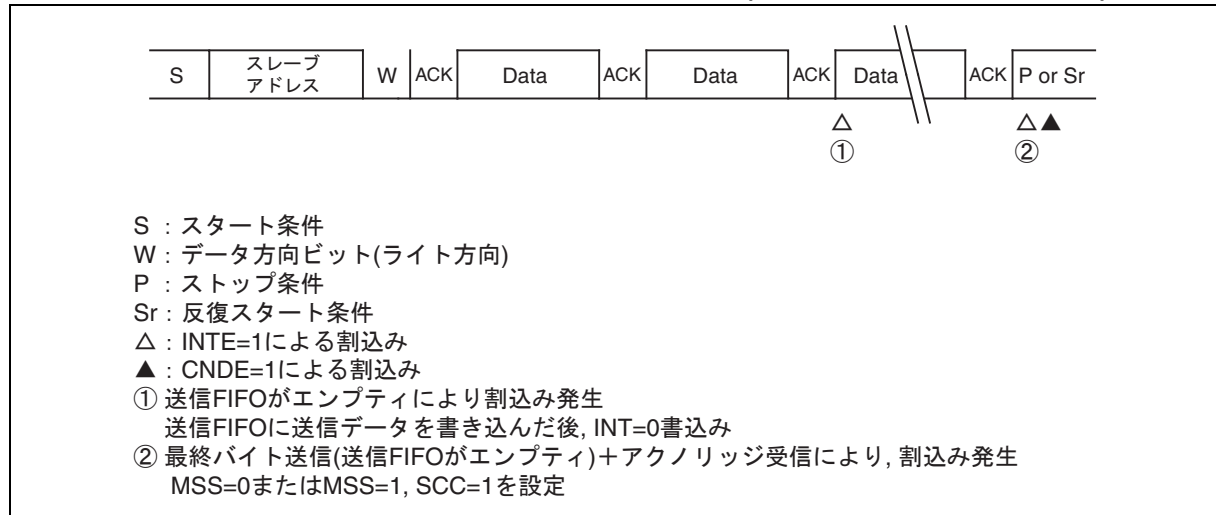


図 24.22-19 FIFO 許可によるマスタ送信の割り込み 8 (WSEL=1, RSA=0)

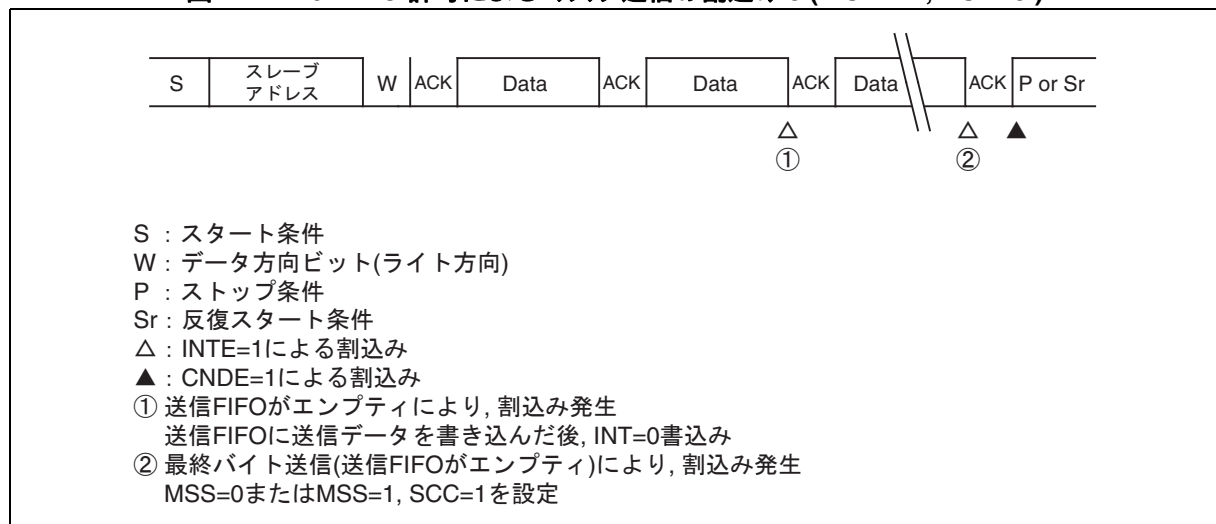
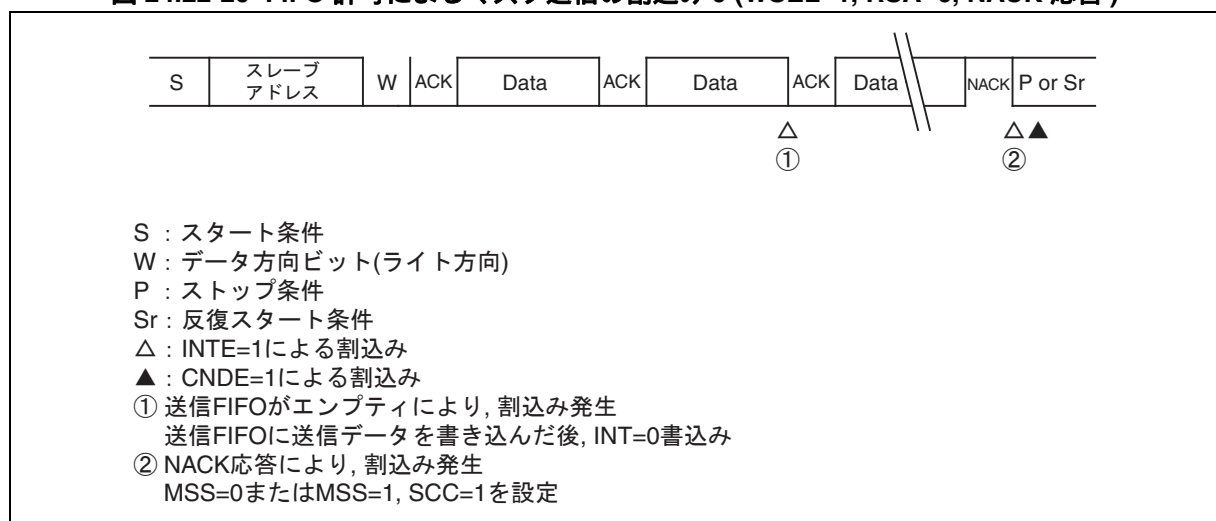


図 24.22-20 FIFO 許可によるマスタ送信の割り込み 9 (WSEL=1, RSA=0, NACK 応答)



MB91605A シリーズ

■ マスタによるデータ受信

データ方向ビット (R/W) が "1" の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは TDRE ビットが "1" であれば 1 バイト受信ごとにウェイトを発生 (INT=1, RDRF=1) し、WSEL ビットに従って IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。TDRE ビットが "0" であれば、IBCR レジスタの ACKE ビットの設定で ACK 応答であればウェイトは発生せず (INT=0) に次のデータを受信し、NACK 応答であればウェイトが発生します (INT=1)。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信すると RDRF ビットがセットされます。割込みフラグは TDRE ビットが "1" のときにセットし、I²C バスをウェイトします。WSEL=0 の場合、TDRE ビットが "1" になると NACK 応答して割込みフラグを "1" にします。WSEL=1 の場合、最終バイト受信後にウェイトが発生しますので、そのウェイト中に ACKE ビットを設定し、割込みフラグを "0" にクリアした後、ACKE の設定に従って ACK または NACK 応答します。NACK 出力した場合でも受信データとして受信 FIFO に格納します。

割込みによるウェイトは以下を参照してください。

表 24.22-4 マスタデータ受信時の WSEL ビット

WSEL ビット	動作
0	第二バイト以降、TDRE ビットが "1" でアクノリッジ後、割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。
1	第二バイト以降、TDRE ビットが "1" でマスタが 1 バイトのデータを受信後、割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

- 受信 FIFO が禁止されている場合

スレーブアドレス (データ方向ビットも含む) を TDR レジスタにセットし、MSS ビットに "1" を書きます。

スレーブアドレス送信後に ACK を受信し、割込みフラグ (INT) が "1" になります。

WSEL ビット更新とともに割込みフラグビット (INT) に "0" を書き込み、I²C バスのウェイトを解除します。

1 バイト受信後に WSEL=0 の場合にはアクノリッジ送信後、WSEL=1 の場合には 1 バイト受信直後、割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を受信するまで ~ を繰り返します。

最終データ受信後、NACK を出力し、MSS ビットに "0" または SCC ビットに "1" を設定し、ストップ条件または反復スタート条件を発生させます。

- 送受信 FIFO が許可されている場合

FBYTE レジスタに受信数を設定します。

スレーブアドレス(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書きます。

MSS ビットに "1" を書きます。

TDRE ビットが "0" の間, ACK 応答し, 受信し続けます。その受信中に FBYTE に設定数分受信すると RDRF を "1" にします。RDRF が "1" になったところで RDR レジスタを読み出します。

TDRE ビットが "1" になると WSEL=0 の場合には NACK 出力後, WSEL=1 の場合には 1 バイト受信直後, 割込みフラグを "1" にして I²C バスをウェイトします。

WSEL=1 の場合, ACKE ビットを "0" に設定し, WSEL=0 の場合, ACKE ビットの設定は必要なく, MSS ビットに "0" または SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

< 注意事項 >

- 7 ビットスレーブアドレスの検出を許可しているとき (ISBA:SAEN=1) に, マスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。
- TDRE が "0" のとき, オーバランエラーが発生しても ACKE ビットの設定に従ってアクノリッジを出力し, 次の処理を行います。
- 送受信中に IBCR レジスタを変更する場合, 割込みフラグ (INT) が "1" のときに変更してください。
- マスタ受信時, TDR レジスタにダミーデータを書き込み, 割込みフラグ (INT) が "1" になるタイミングで TDRE ビットが "0" の場合, 割込みフラグ (INT) は "0" のままで次のデータを受信します。
- 受信FIFOが許可, WSEL=0のときにデータを受信する場合, 最終ビット受信後にRDRF ビットが "1" となり, ACK 送信後に割込みフラグ (INT) が "1" となります。

図 24.22-21 FIFO 禁止によるマスタ受信の割込み 1 (WSEL=0, RSA=0)



△ : INTE=1による割込み

▲ : CNDE=1による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生
INT=0 書込みにより割込みが"0"にクリア

② 1バイト受信+アクノリッジ送信により割込み発生
受信データを読み出した後, ACKE=0に設定し, INT=0書込み

③ 1バイト受信+アクノリッジ送信したことにより割込み発生
MSS=0またはMSS=1, SCC=1を設定

(注意事項) 割込みフラグ(INT)発生時, TDREビットは"1"

MB91605A シリーズ

図 24.22-22 FIFO 禁止によるマスタ受信の割り込み 2 (WSEL=1, RSA=0)

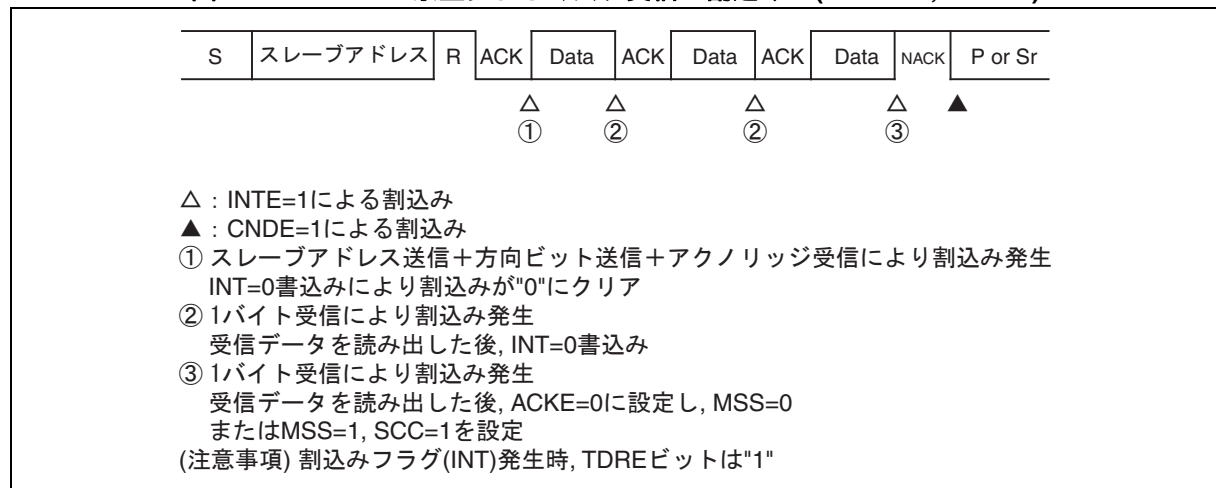


図 24.22-23 FIFO 許可によるマスタ受信の割り込み 3 (WSEL=0, ACKE=0, RSA=0)

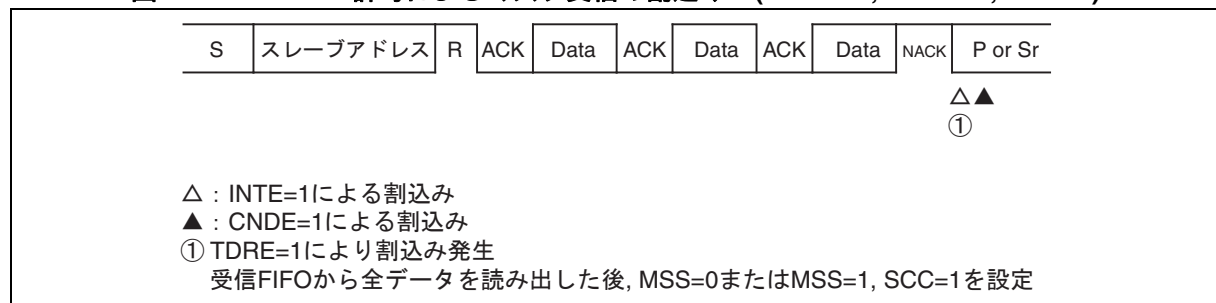
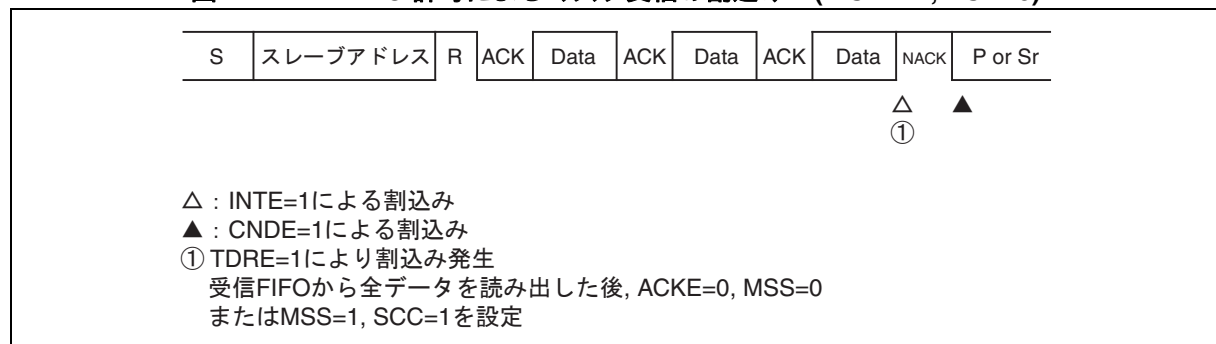


図 24.22-24 FIFO 許可によるマスタ受信の割り込み 4 (WSEL=1, RSA=0)



■ アービトレーションロスト

マスタのデータがほかのマスタからのデータと衝突し, 送信したデータと異なるデータを受信した場合, アービトレーションロストと判断して MSS ビットを "0", AL ビットを "1" にしてスレーブモードとして動作可能となります。

AL ビットは, 以下の条件で "0" にクリアすることができます。

- MSS ビットへの "1" 書込み
- INT ビットへの "0" 書込み
- AL ビット=1, SPC ビット=1 のときに SPC ビットへの "0" 書込み
- I²C インタフェースの禁止 (EN ビット=0)

アービトレーションロストが発生すると WSEL の設定に従って割り込みフラグ (INT) を "1" にし, I²C バスの SCL を "L" にします。

■ マスタモードのウェイト

BB ビットが "1" のときに MSS ビットに "1" を設定するとスレーブモードとして動作していなければ BB ビットが "1" の間、マスタモードをウェイトし、BB ビットが "0" になってからスタート条件を送信します。マスタモードがウェイト中かどうかは MSS ビットと ACT ビットで判断できます (MSS=1, ACT=0 であればウェイト状態)。MSS ビットに "1" を設定後、スレーブモードとして動作する場合、AL ビットを "1", MSS ビットを "0", ACT ビットを "1" にします。

MB91605A シリーズ

24.22.3 スレーブモード

スレーブモードは(反復)スタート条件を検出し, ISBA レジスタと ISMK レジスタとの組合せと受信したアドレスが一致すると ACK 応答し, スレーブモードとして動作します。

■ スレーブアドレス一致検出

(反復)スタート条件を検出すると次のデータの7ビットをアドレスとして受信します。
 ISMK レジスタで "1" がセットされているビットについて ISBA レジスタと受信アドレスの各ビットを比較し, 一致した場合に ACK を出力します。

表 24.22-5 スレーブアドレスに対するアクノリッジ出力直後の動作

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ 方向ビット (R/W)	アクノリッジ直後の動作	
					アクノリッジが ACK	アクノリッジ が NACK
禁止	禁止	-	-	0	TDRE ビットが "1" の場合, INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合, INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
				1		
禁止	許可	-	データなし	0	INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合, INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合, INT ビットは "0" のままでウェイトなし	
許可	禁止	-	-	0	TDRE ビットが "1" の場合, INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合, INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
				1		
許可	許可	-	データなし	0	INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合, INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合, INT ビットは "0" のままでウェイトなし	

- 予約アドレス検出

一バイト目で予約アドレス ("0000XXXX_B" または "1111XXXX_B") と一致した場合、送受信 FIFO の許可に依存せずに 8 ビット目のデータ受信後、INT ビットを "1" にして I²C バスをウェイトします。このとき受信データを読み出し、スレーブとして動作させたい場合には ACKE を "1" にセットして INT ビットをクリアします。その後、スレーブとして動作します。ACKE を "0" にした場合には、アクノリッジ出力後、スレーブとして動作を行いません。

■ データ方向ビット

アドレス受信後、データの送受信を決めるデータ方向ビットを受信します。このビットが "0" のときにマスタからの送信を示し、スレーブとしてはデータを受信します。

■ スレーブによる受信

スレーブアドレスが一致しデータ方向ビットが "0" のとき、スレーブモードによる受信を示します。スレーブモードによる受信の手順の一例は以下のようになります。

- 受信 FIFO が禁止されている場合

ACK 送信後、割込みフラグ (INT) を "1" にして I²C バスをウェイトします。MSS ビット、ACT ビットと FBT ビットでスレーブアドレス一致による割込みと判断し、ACKE ビットに "1"、割込みフラグ (INT) に "0" を書いて I²C バスのウェイトを解除します (表 24.22-5 を参照)。

1 バイトのデータを受信後、WSEL の設定に従って割込みフラグ (INT) を "1" にして I²C バスをウェイトします。

RDR レジスタから受信したデータを読み出し、ACKE ビットを設定後、割込みフラグ (INT) に "0" を書いて I²C バスのウェイトを解除します。

ストップ条件または反復スタート条件を検出するまで、を繰り返します。

- 受信 FIFO が許可されている場合

NACK の検出または 受信 FIFO がフルになると割込みフラグ (INT) は "1" になり、I²C バスをウェイトします。ストップ条件、反復スタート条件を検出した場合、SPC ビット、RSC ビットを "1" にして割込みフラグ (INT) は "1" になりません (I²C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致すると RDRF ビットを "1" にします。そのとき、RIE ビットが "1" になっていると受信割込みが発生します。

割込みフラグ (INT) が "1" になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出した後に、割込みフラグに "0" を書いて I²C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、SPC ビットまたは RSC ビットを "0" にクリアします。

MB91605A シリーズ

図 24.22-25 FIFO 禁止によるスレーブ受信の割り込み 1(WSEL=0, RSA=0)

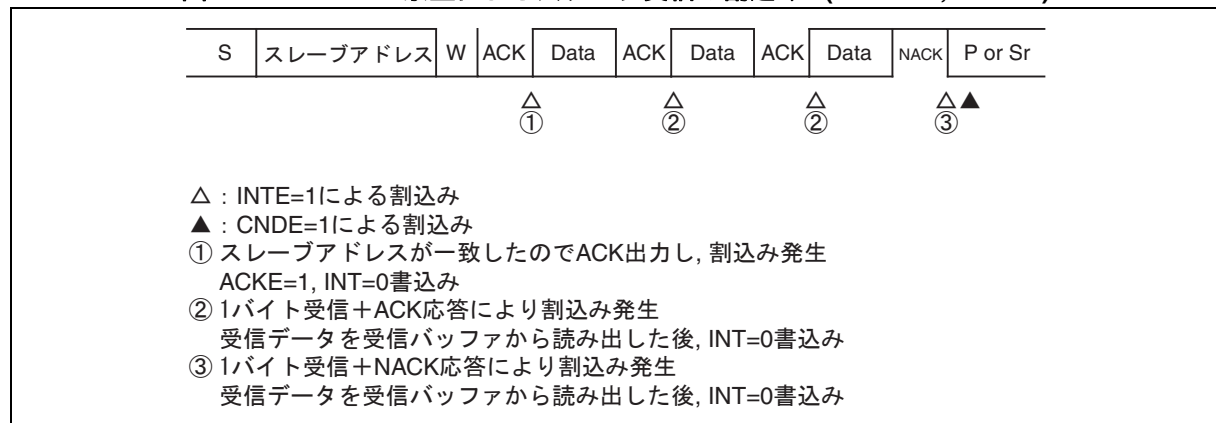


図 24.22-26 FIFO 禁止によるスレーブ受信の割り込み 2(WSEL=1, RSA=0)

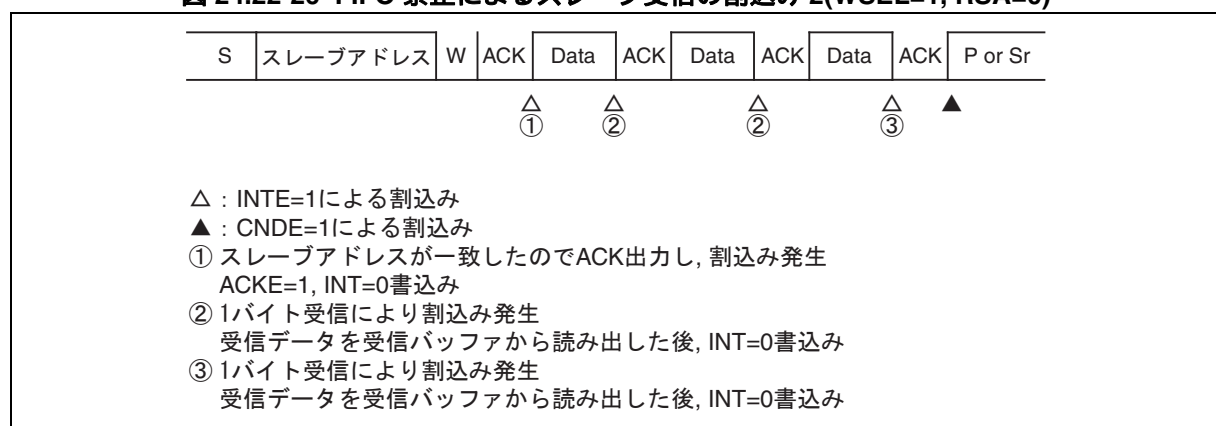


図 24.22-27 FIFO 禁止によるスレーブ受信の割り込み 3(WSEL=1, RSA=0)

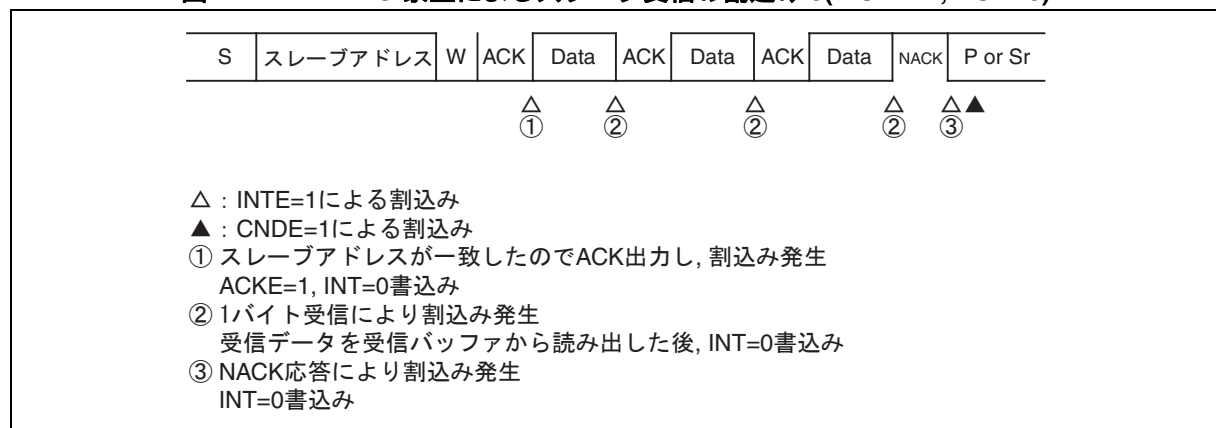


図 24.22-28 受信 FIFO 許可によるスレーブ受信の割り込み 4 (RSA=0)

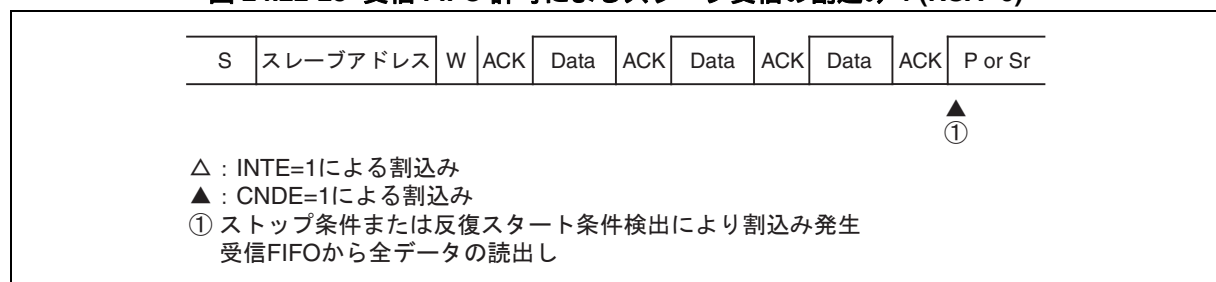


図 24.22-29 受信 FIFO 許可によるスレーブ受信の割り込み 5 (RSA=0)

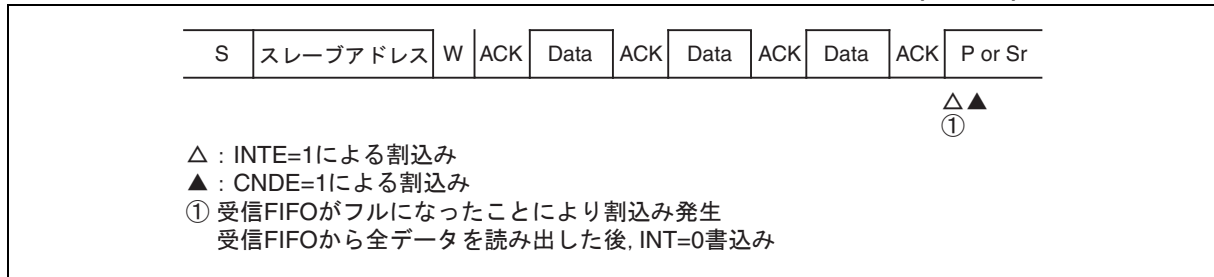
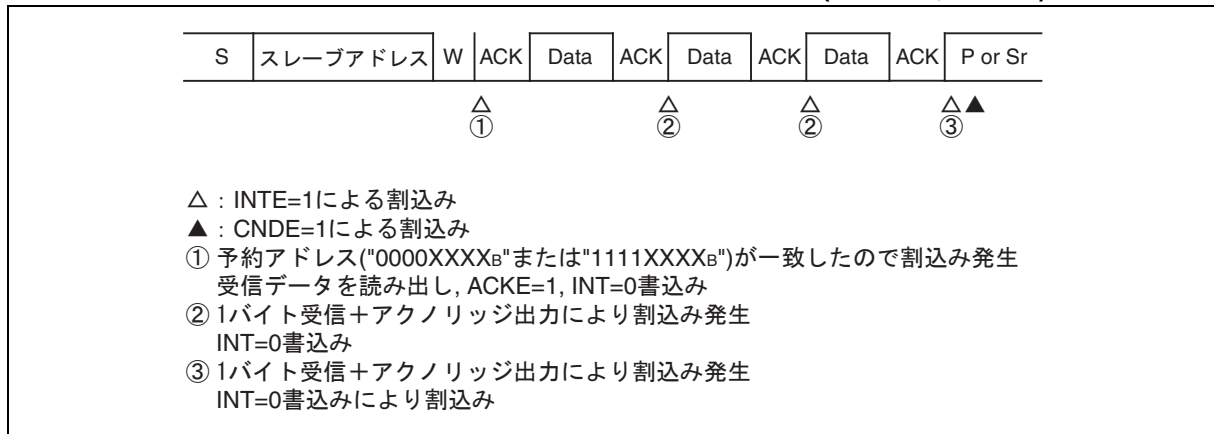


図 24.22-30 FIFO 禁止によるスレーブ受信の割り込み 6(WSEL=0, RSA=1)



■ スレーブによる送信

スレーブアドレスが一致してデータ方向ビットが"1"のとき, スレーブによる送信を示します。FIFO 禁止の場合, WSEL の設定により, 1 バイト送信後またはアクノリッジ応答後に割り込みフラグ (INT) を "1" にしてウェイトを発生します (表 24.22-5 を参照)。

RACK ビットによってマスタから出力されたアクノリッジを確認することができ, マスタから NACK 応答時, マスタが正しく受信できなかったか, データ受信の終了を示します。WSEL=1 のときに NACK を検出した場合, 割り込みが発生してウェイトします。

MB91605A シリーズ

24.22.4 バスエラー

I²C バス上でデータの送受信中にストップ条件, (反復) スタート条件を検出するとバスエラーとして取り扱います。

■ バスエラー発生条件

バスエラーは以下の条件で BER ビットを "1" にします。

- 第一バイト転送中に (反復) スタート条件またはストップ条件を検出
- データの 2 ビット ~ 9 (アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出

■ バスエラー動作

送受信による割込みフラグ (INT) が "1" になったときに BER ビットを確認し, BER ビットが "1" の場合はエラー処理を行ってください。BER ビットは INT ビットに "0" を書くことによってクリアされます。

バスエラーによって INT ビットは "1" にセットされますが, I²C バスの SCL を "L" にしてウェイト状態にはなりません。

24.23 専用ボーレートジェネレータ

専用ボーレートジェネレータは、シリアルクロックの周波数の設定を行います。

■ ボーレート選択

- 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値：

$$V = \phi / b - 1$$

V：リロード値 b：ボーレート ϕ ：周辺クロック (PCLK) 周波数

ただし、I²C バスの SCL の立上り時間によっては設定したボーレートが発生しませんのでリロード値を調整してください。

(2) 計算例：

周辺クロック (PCLK) 16MHz, ボーレート 400kbps に設定する場合のリロード値は、次のようになります。

リロード値：

$$V = (16 \times 1000000) / 400000 - 1 = 39$$

よって、ボーレートは、

$$b = (16 \times 1000000) / (39 + 1) = 400 \text{ kbps}$$

< 注意事項 >

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは、16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが "0" のときにボーレートジェネレータレジスタの設定を行ってください。
- 動作モード 4 (I²C モード) では周辺クロック (PCLK) は 8 MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。
- リロード値を "0" に設定するとリロードカウンタは停止します。

MB91605A シリーズ

■ 各周辺クロック (PCLK) 周波数に対するリロード値とボーレート

表 24.23-1 リロード値とボーレート

ボーレート [bps]	8 MHz	10 MHz	16 MHz	20 MHz	24 MHz	32MHz
	リロード値	リロード値	リロード値	リロード値	リロード値	リロード値
400000	19	24	39	49	59	79
200000	39	49	79	99	119	159
100000	79	99	159	199	239	319

本数値は I²C バスの SCL 立上りが "0" の場合です。I²C バスの SCL 立上りが遅い場合には上記の数値より遅いボーレートになります。

■ リロードカウンタの機能

リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値をボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) より読み出すことができます。

■ カウントの開始

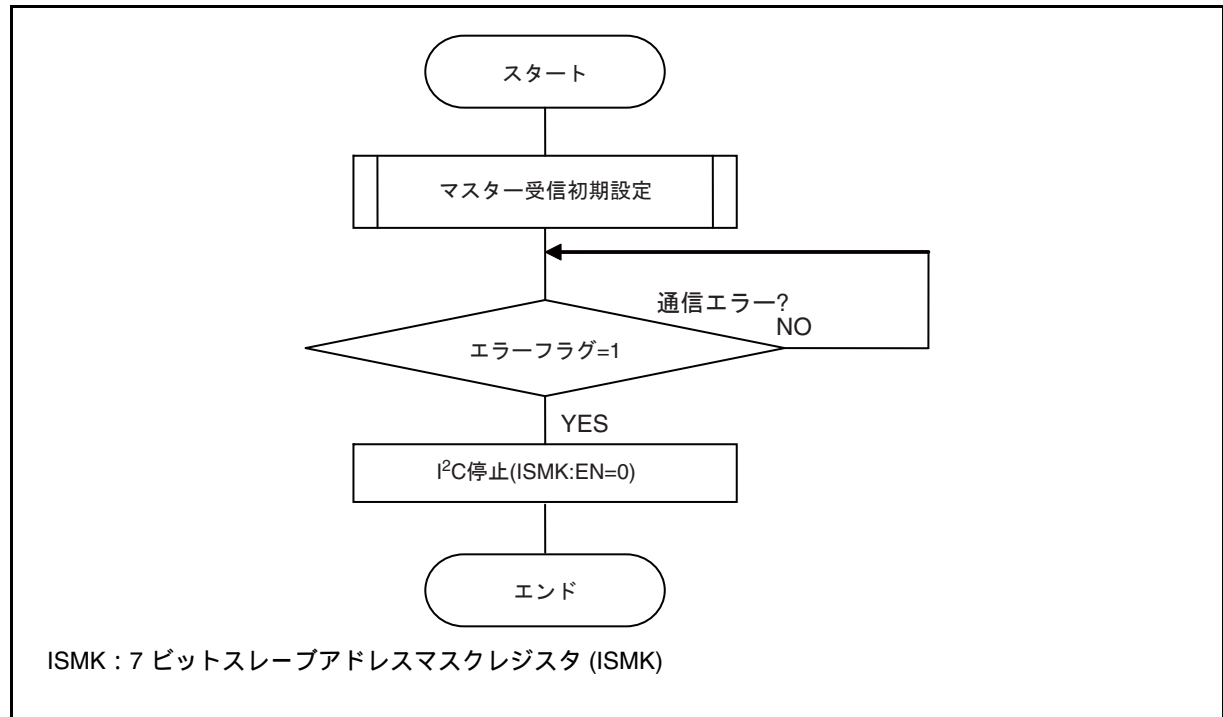
ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

24.23.1 I²C のフローチャート例

I²C の通信フローチャート例を示します。

■ I²C マスタ受信 / スレーブ送信 FIFO 通信フロー

図 24.23-1 マスタ受信メイン設定



MB91605A シリーズ

図 24.23-2 マスタ受信初期設定

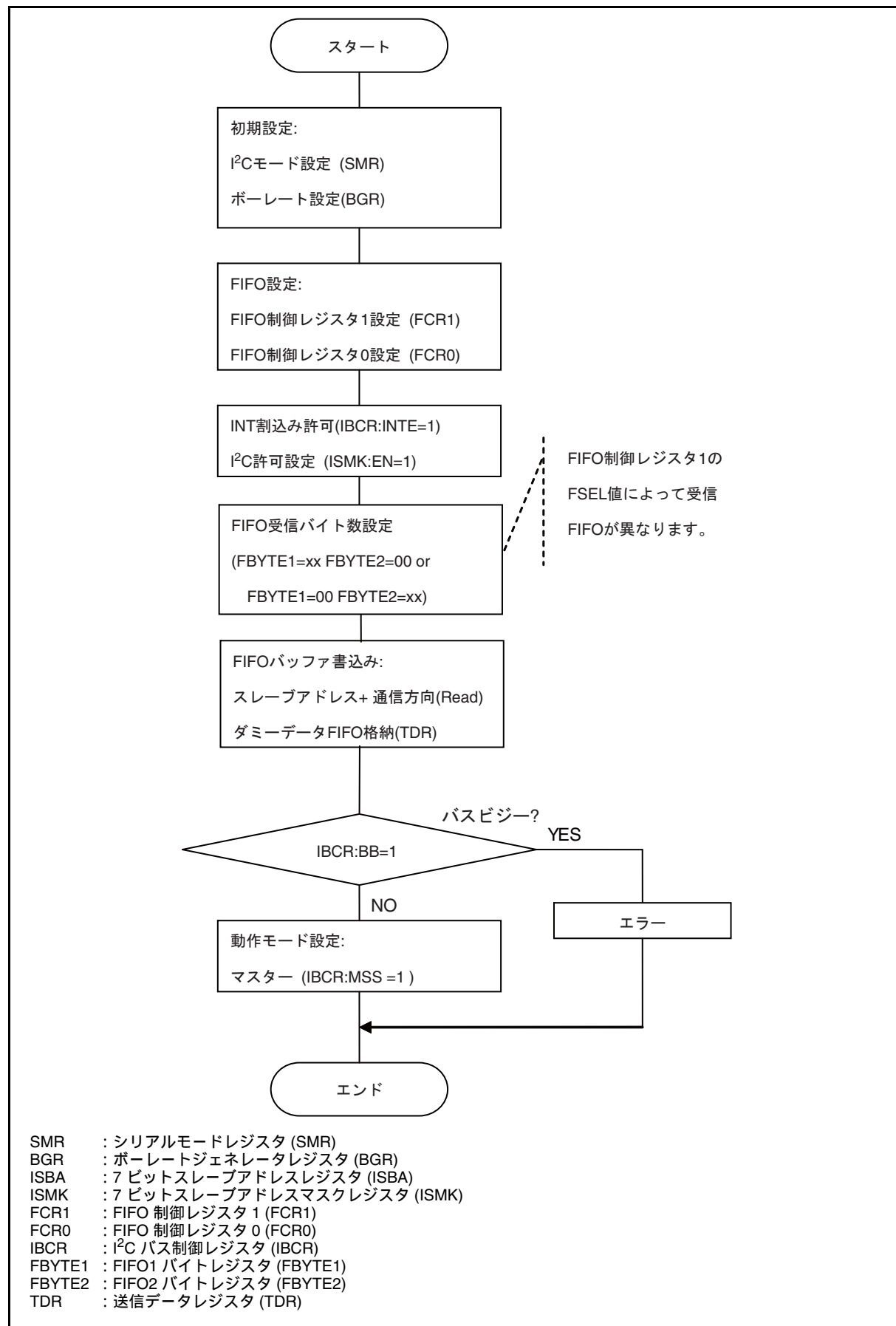
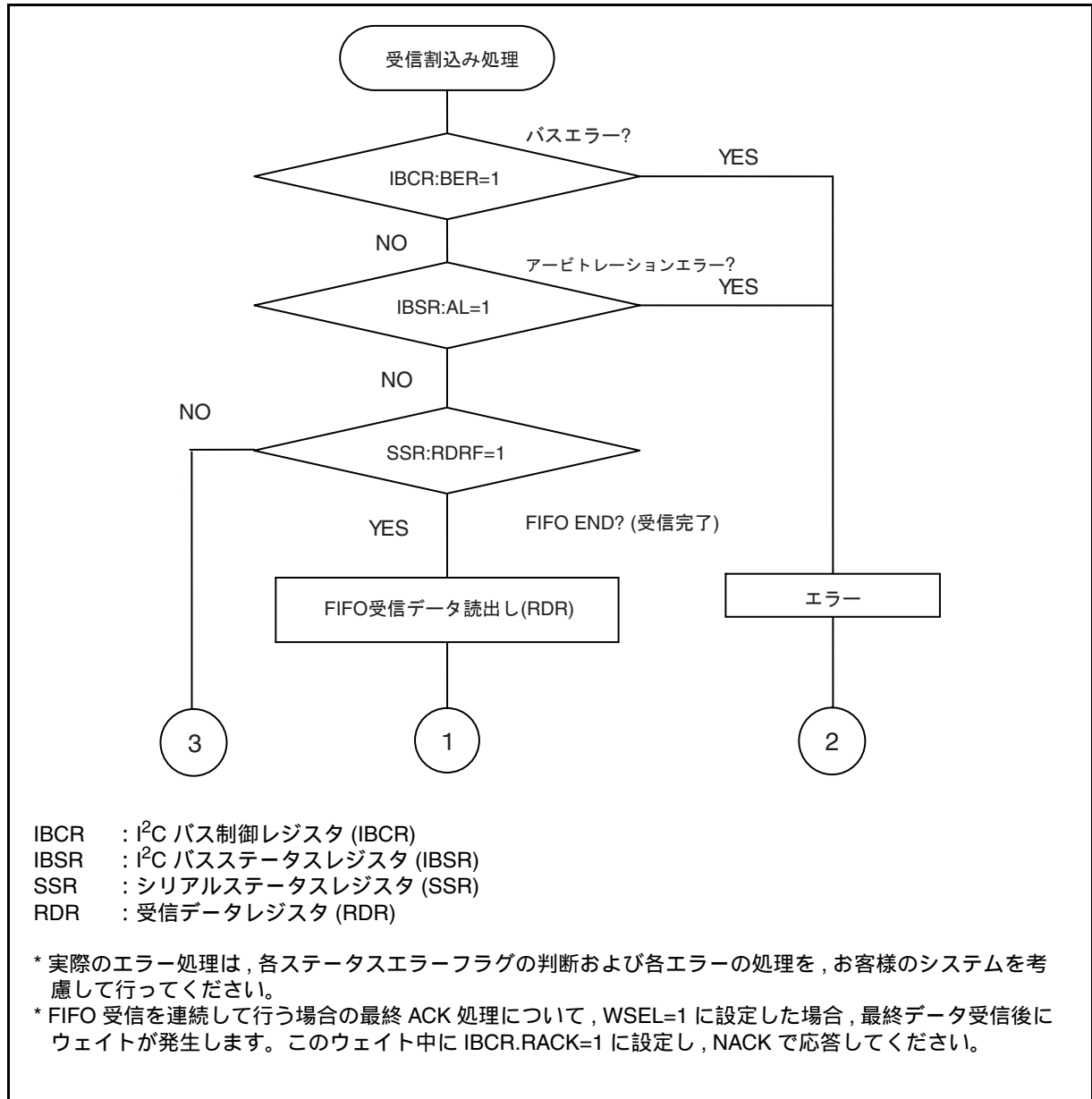


図 24.23-3 マスタ受信割込み処理



MB91605A シリーズ

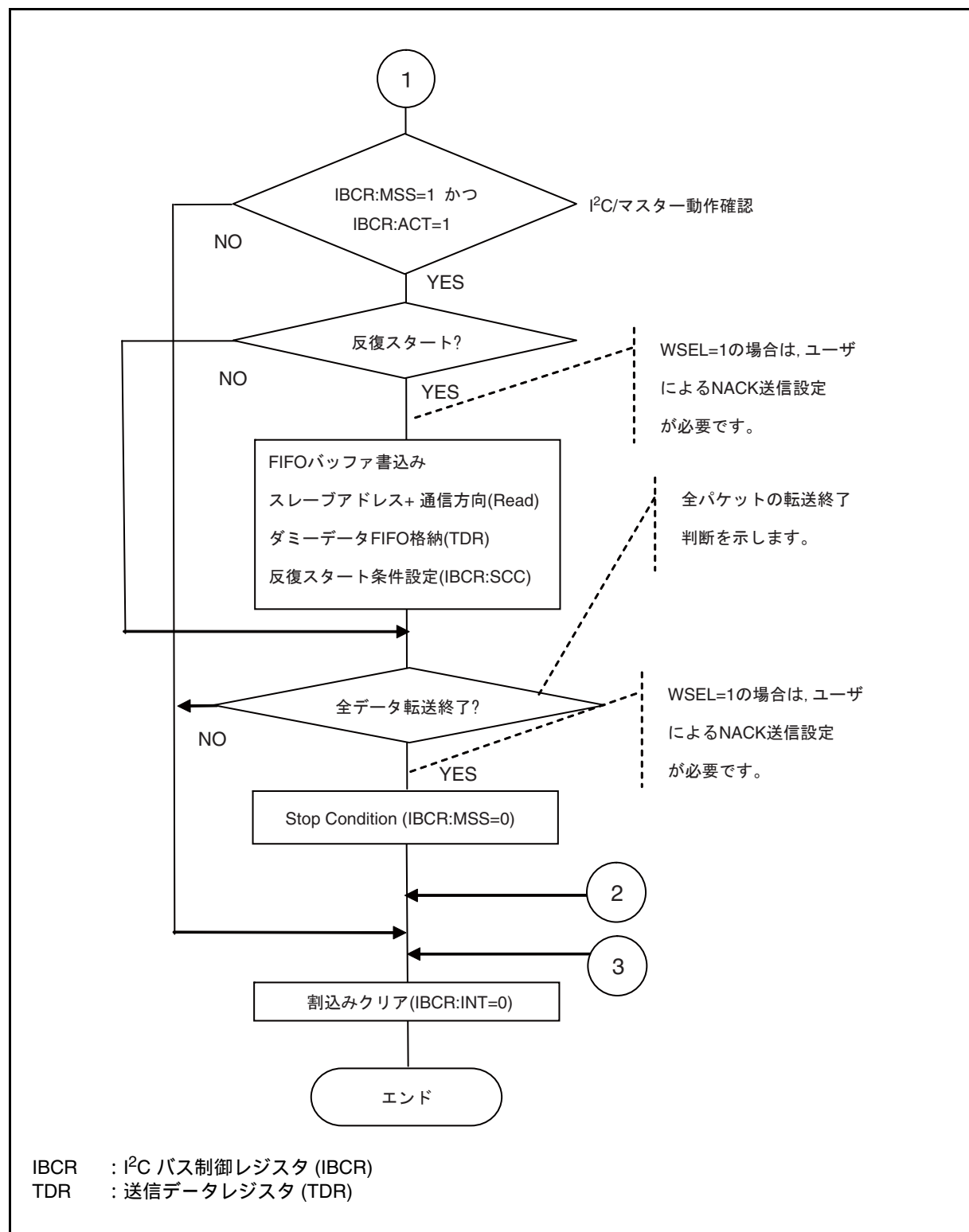
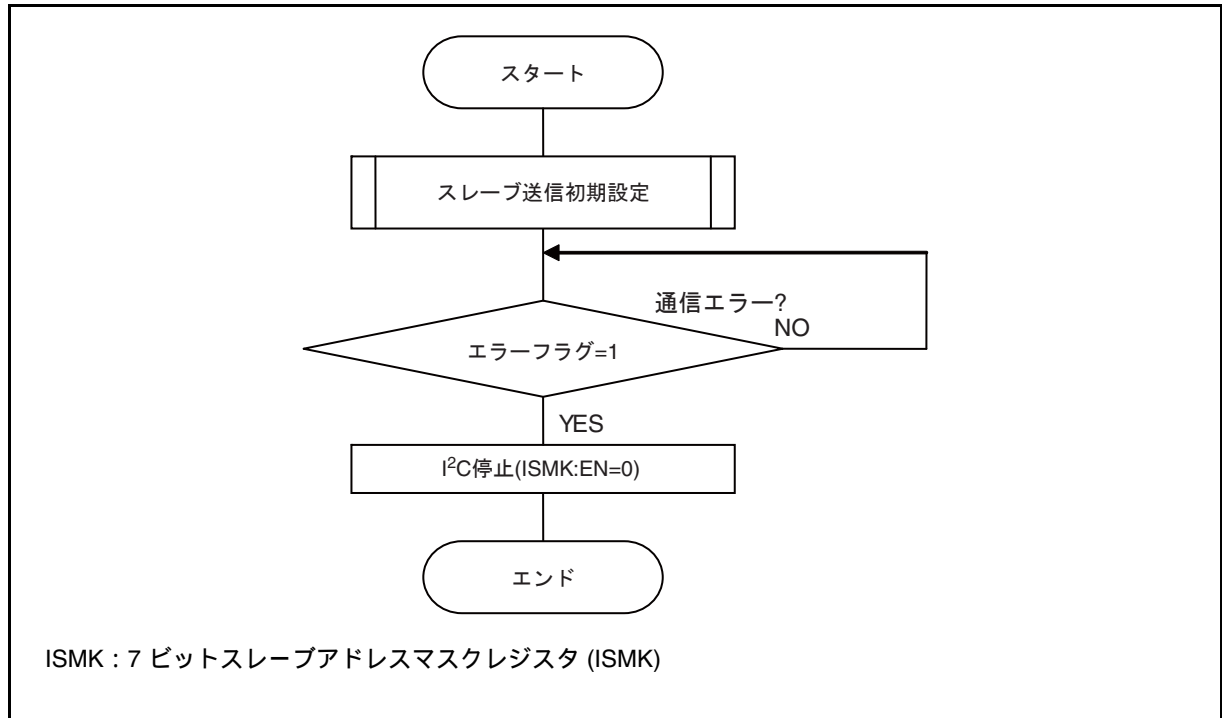


図 24.23-4 スレーブ送信メイン設定



MB91605A シリーズ

図 24.23-5 スレーブ送信初期設定

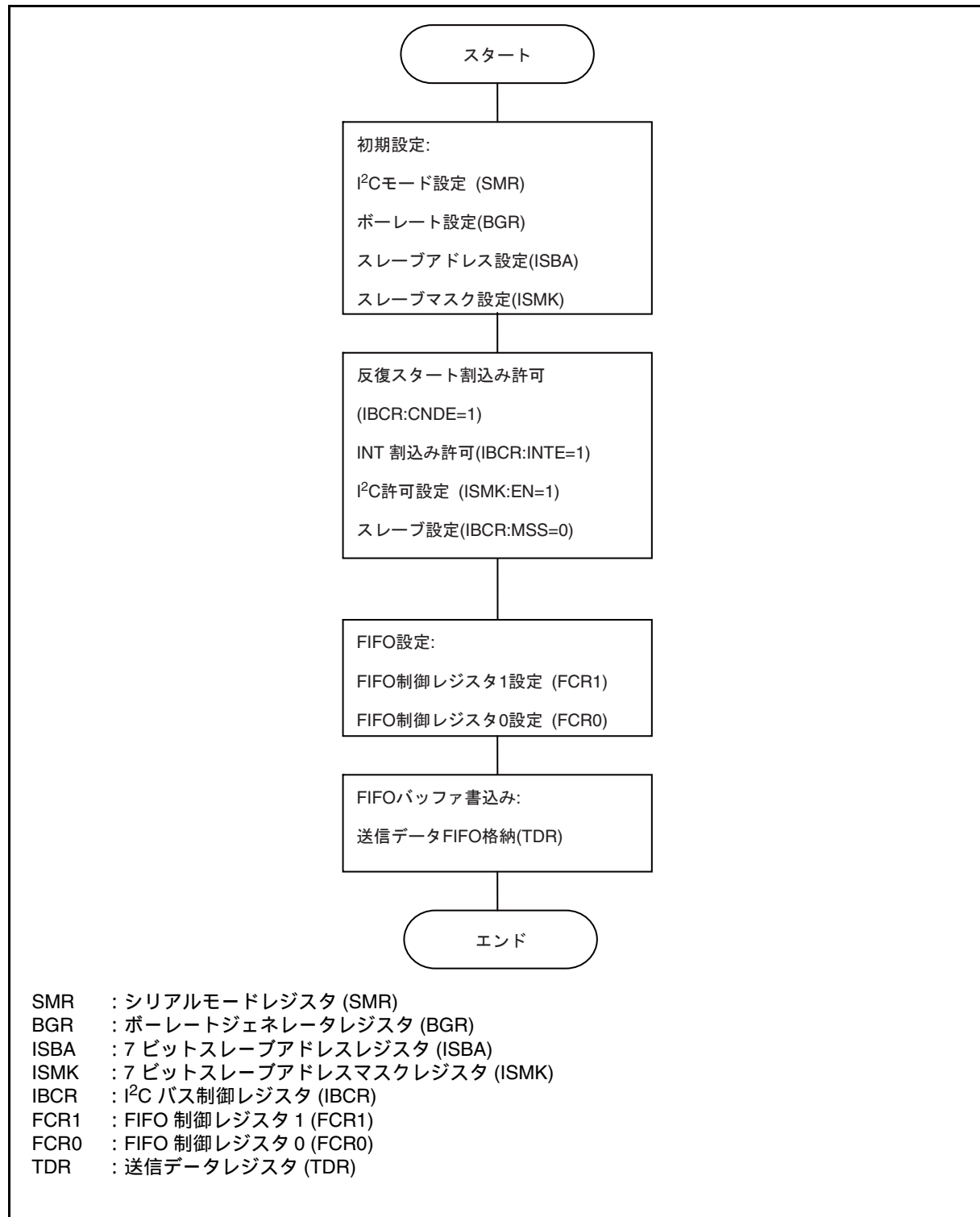
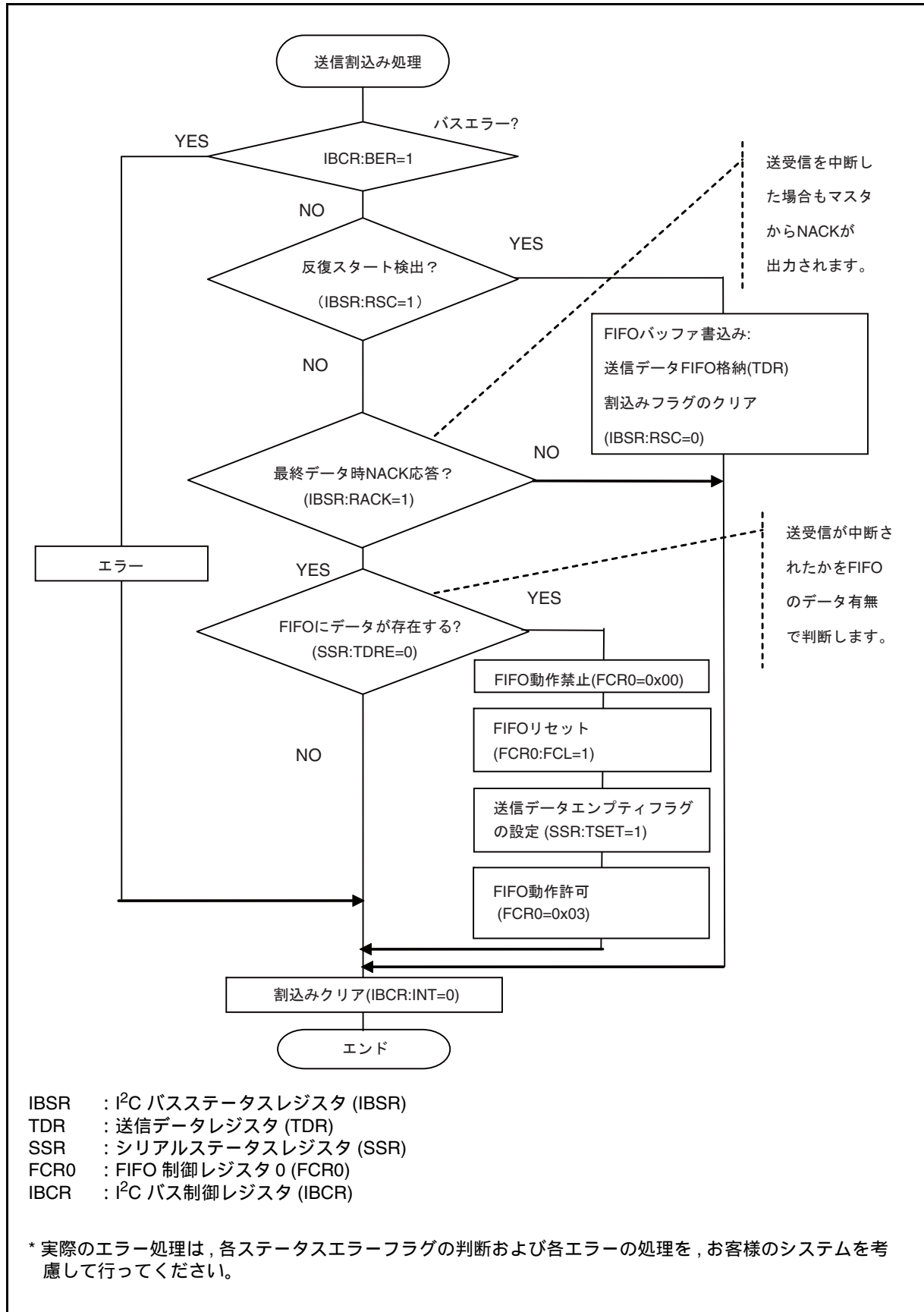


図 24.23-6 スレーブ送信割込み処理



MB91605A シリーズ

■ I²C マスタ送信 / スレーブ受信 FIFO 通信フロー

図 24.23-7 マスタ送信メイン設定

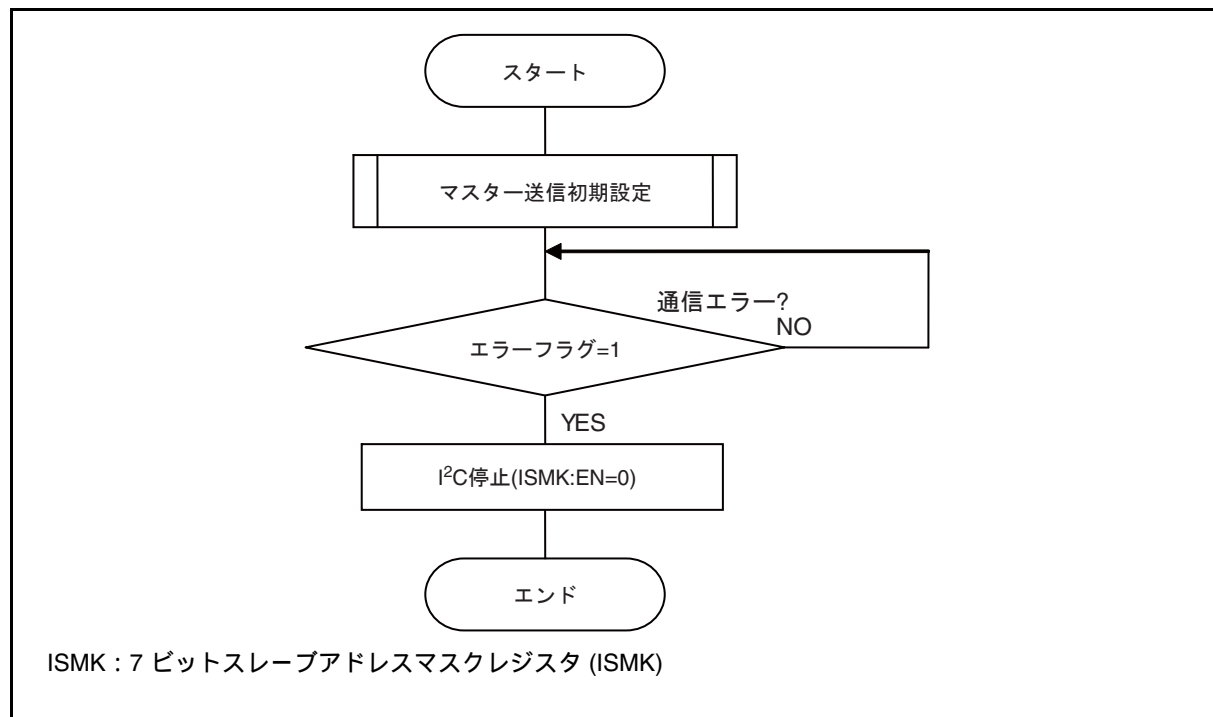
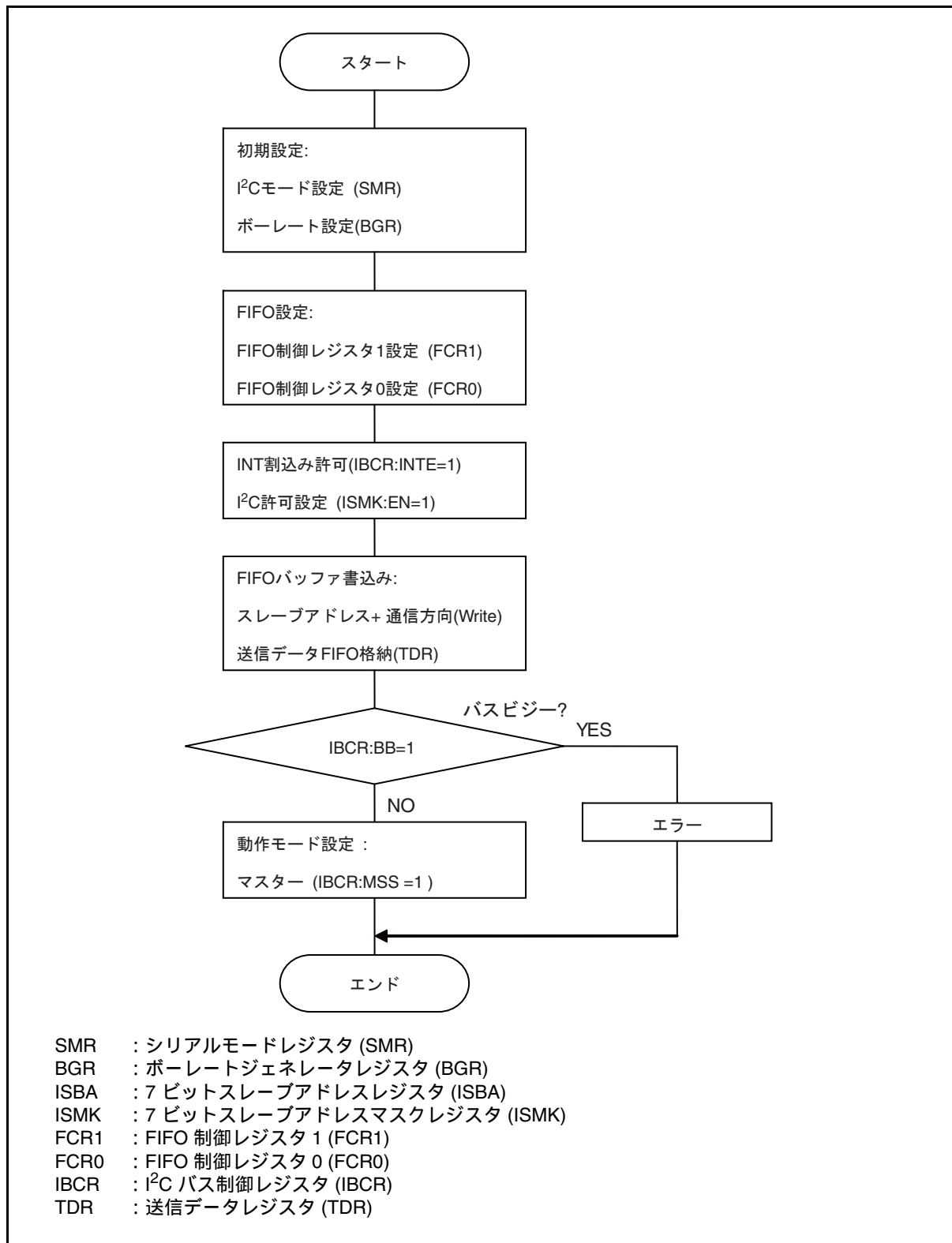
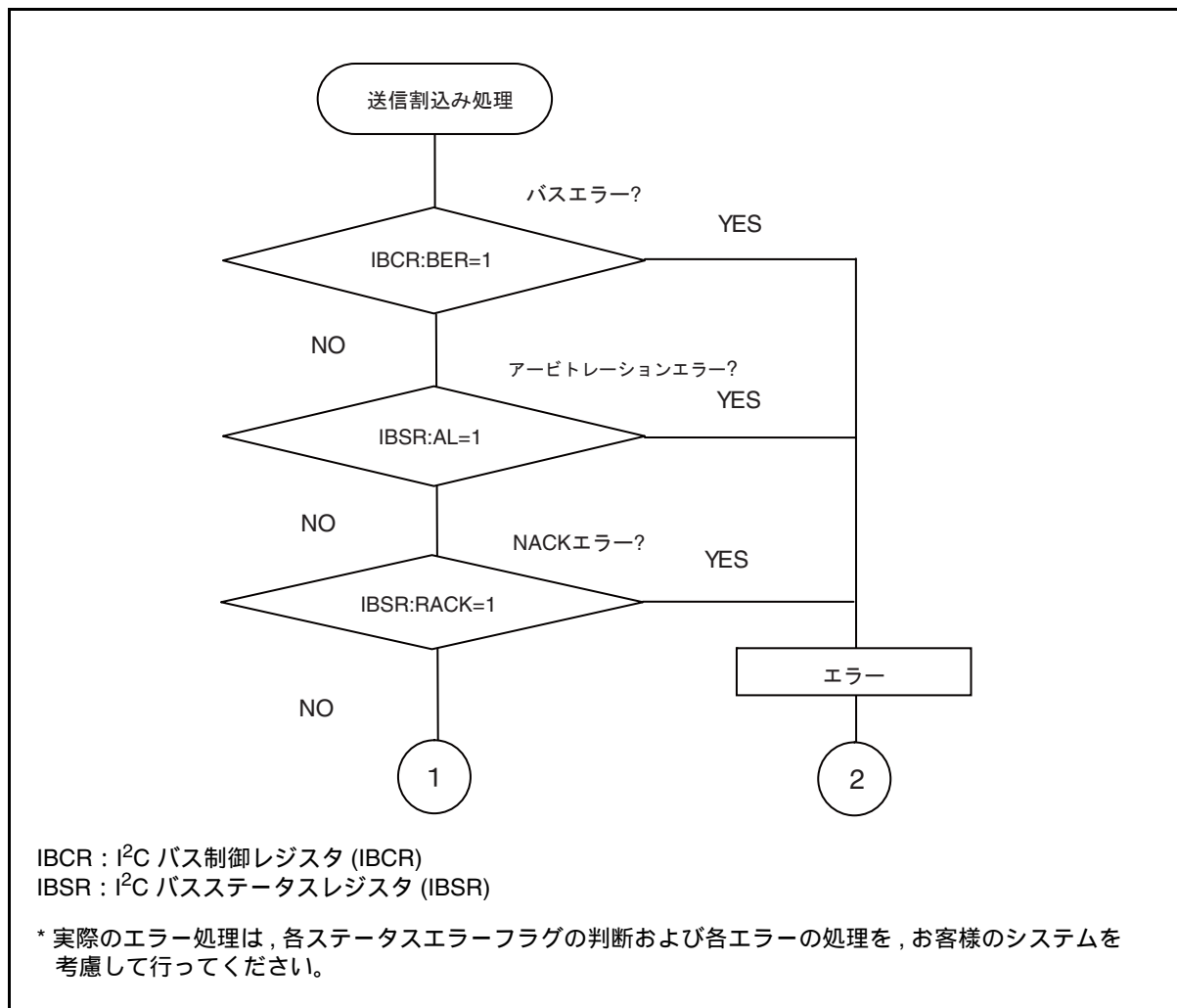


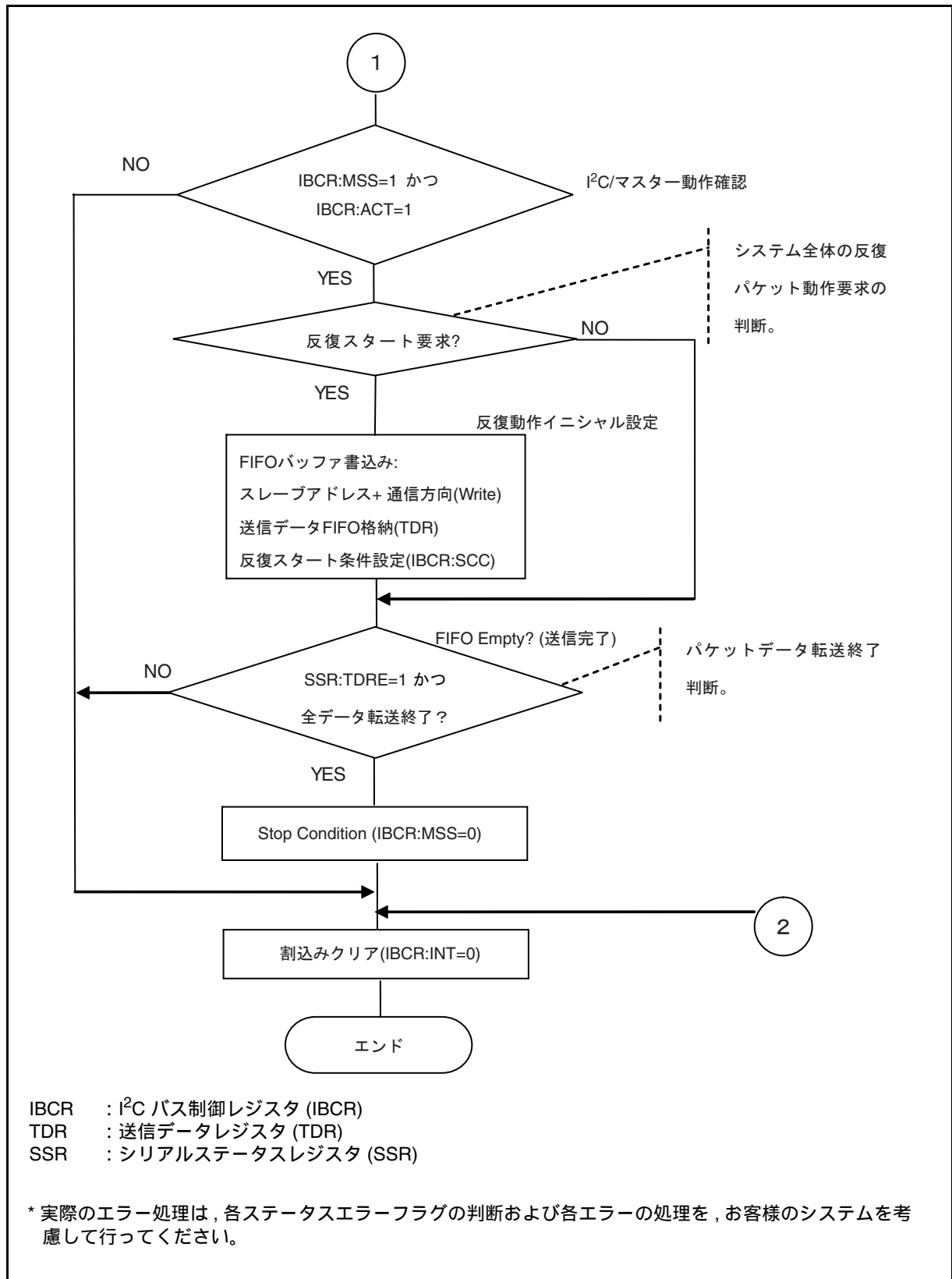
図 24.23-8 マスタ送信初期設定



MB91605A シリーズ

図 24.23-9 マスタ送信割込み処理





MB91605A シリーズ

図 24.23-10 スレーブ受信メイン設定

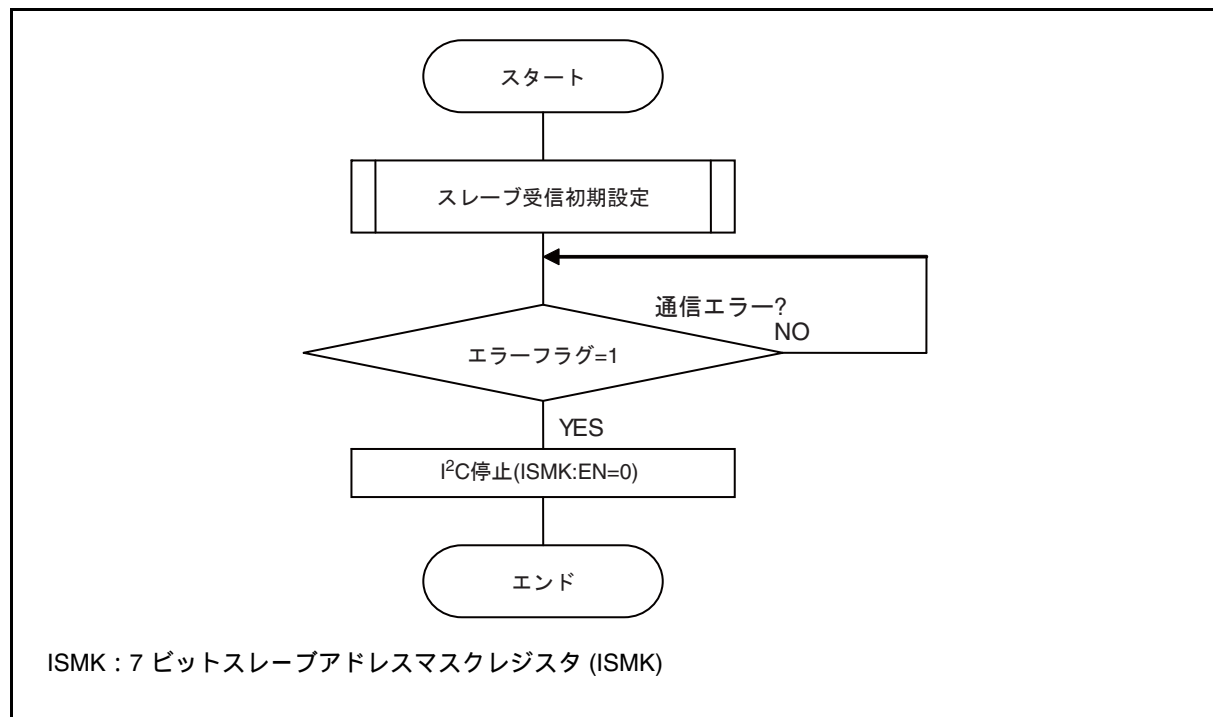
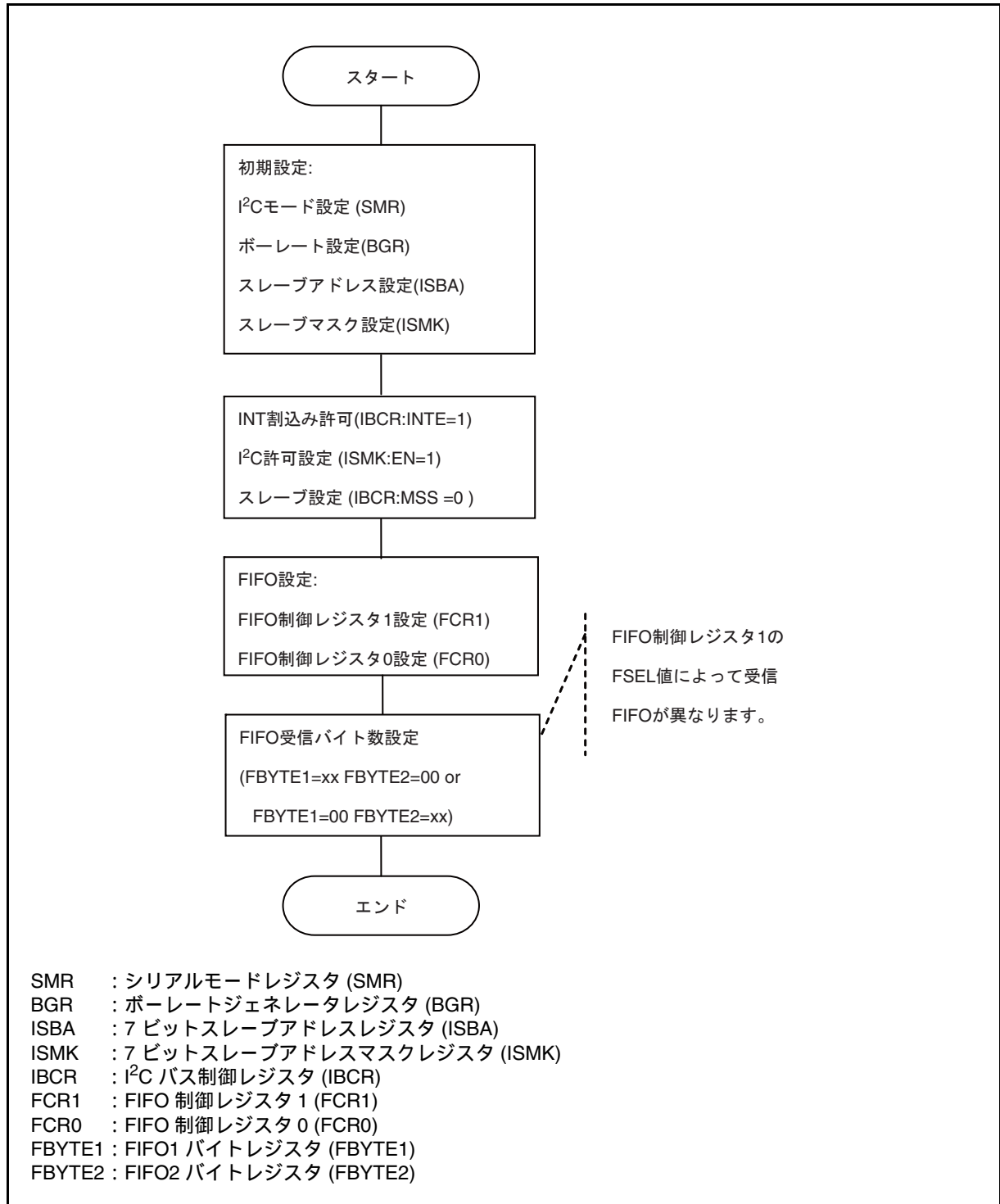
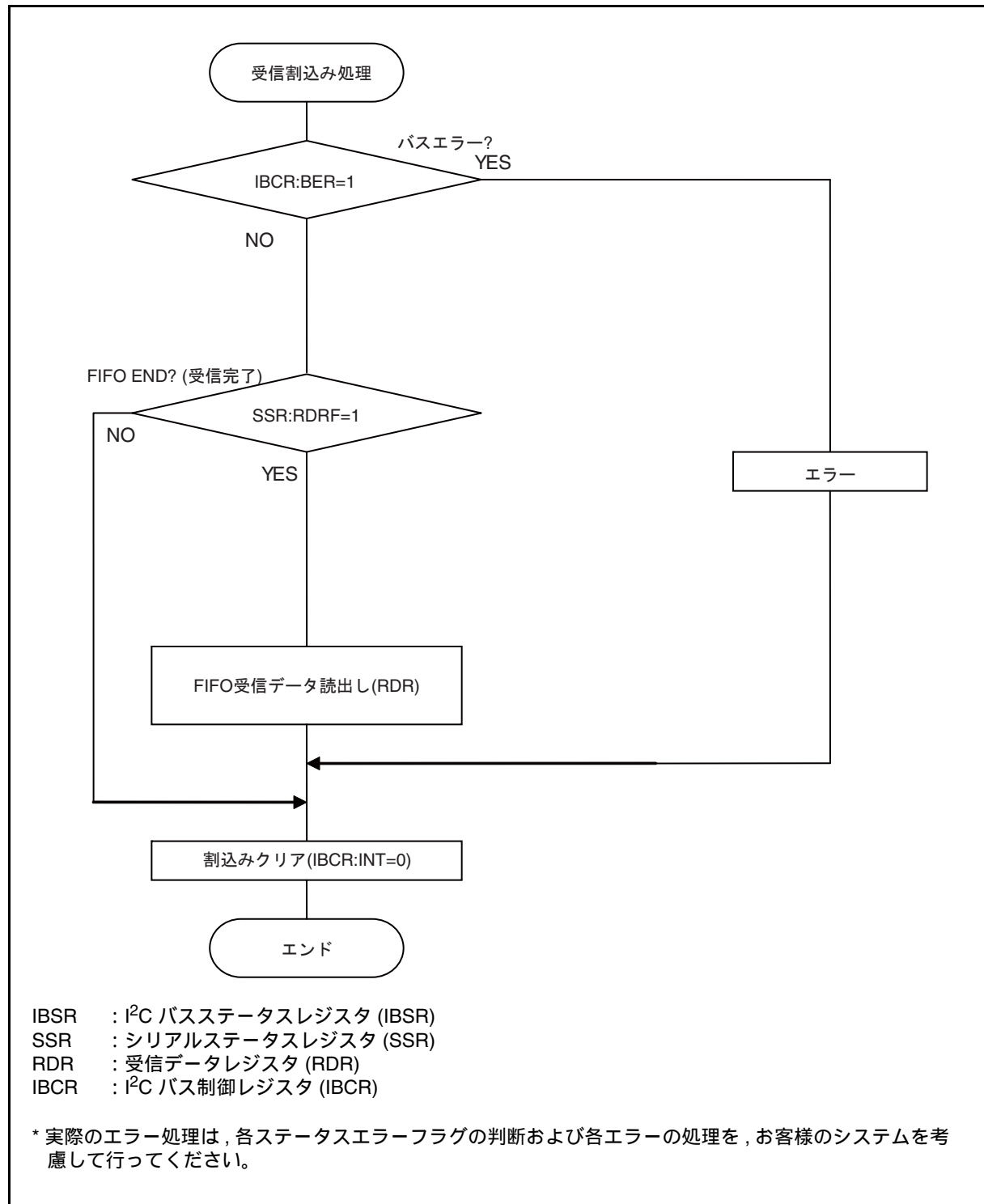


図 24.23-11 スレーブ受信初期設定



MB91605A シリーズ

図 24.23-12 スレーブ受信割り込み処理

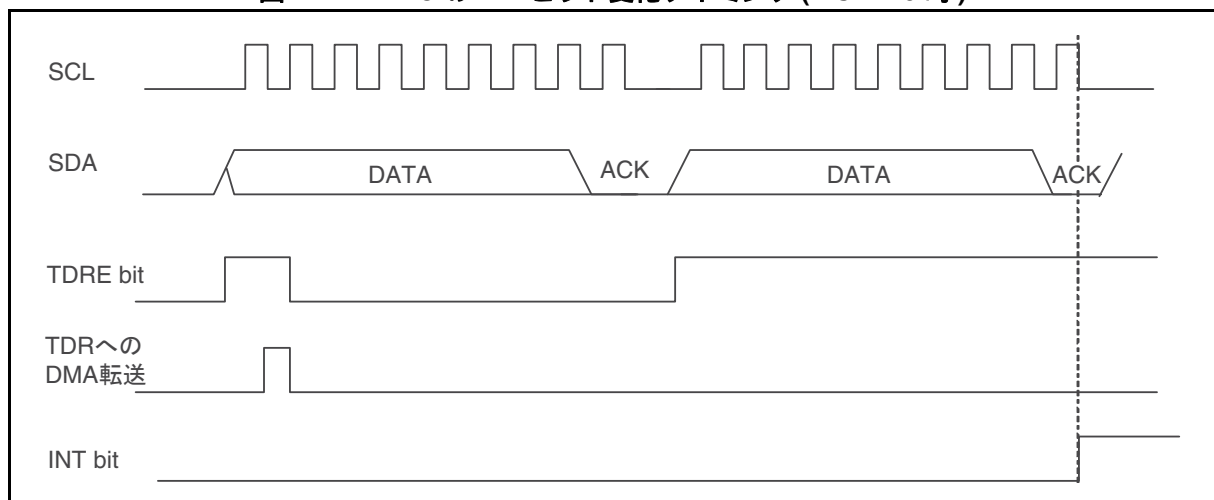


24.24 I²C モードの注意事項

I²C モードの注意事項を下記に示します。

- FIFO 付きチャネルで DMA 転送要求する場合、FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合、DMA のブロックサイズを 1 回に設定してください。
- マスタ受信およびスレーブ受信時には、データ受信用の DMA 転送と、ダミーデータ送信用の DMA 転送が必要なため、DMA を 2 チャネル使用する必要があります。
- I²C モードでは、送信レジスタ (TDR) に有効なデータがなく、送信データエンプティフラグビット (TDRE) が "1" の状態で、I²C バス上のデータが 9 ビット目 (WSEL=0 時) または 8 ビット目 (WSEL=1 時) まで送信された場合、図 24.24-1 のように割込みフラグ (INT) が "1" となります。DMA 転送中に割込みフラグ (INT) が "1" になると、ソフトで "0" クリアしない限り、DMA 転送が継続できません。(マスタ送信、スレーブ送信、マスタ受信、スレーブ受信共)

図 24.24-1 I²C の INT ビット変化タイミング (WSEL=0 時)



上記のような仕様のため、I²C モードで DMA 転送する場合には、割込みフラグ (INT) が "1" となる前に、TDR への DMA 転送が行われるように対応してください。I²C の DMA 転送を優先するには、以下のような対応があります。

- 優先度が高い (チャネル番号が小さい) DMA を使用する。優先順位設定ビットを固定 (AT=0) で使用する場合に有効。
- DMA 転送抑止割込みレベルビット (DILVR レジスタの LVL4-LVL0 ビット) を可能な限り小さい値にする。

MB91605A シリーズ

- 送信データエンプティフラグ (SSR:TDRE) が "1" になって送信データレジスタ (TDR) に送信データを DMA 転送によって書くか、またはソフトによって送信データエンプティフラグ (SSR:TDRE) を確認して書く場合、送信データエンプティフラグ (SSR:TDRE) が "0" にならない場合があるため、ACK フィールドの SCL が立下がるまでに送信データを書いてください。ソフトによって割り込みフラグ (IBCR:INT) が "1" になってから送信データを書く場合は特に制限はありません。

DMA 転送時またはソフトにて送信データエンプティフラグ (SSR:TDRE) による送信処理を行うとき、ACK フィールドの SCL が立ち下がるまでに送信データを書くのが遅れる場合には以下の設定および手順にしてください。

- 設定
割り込みフラグ (IBCR:INT) が "1" になるタイミングを 8 ビット目に設定 (WSEL=1) する。
- 手順
マスタで送受信を行う場合、以下の手順で処理してください。スレーブで送受信を行う場合には、下記手順は必要ありません。
 1. ソフトにて第一バイト (スレーブアドレス) を送信データレジスタに書く。
 2. マスタ起動 (IBCR:MSS="1" ライト) と同時にウェイト選択を 8 ビットに設定 (IBCR:WSEL="1" ライト) する。
 3. 第一バイト送信後、割り込みフラグ (IBCR:INT) が "1" になるので ACK 応答 (IBSR:RACK="0") を確認後、第二バイト目をソフトによって送信データレジスタ (TDR) に書いてから DMAC の設定を行い、DMA 転送を起動し、割り込みフラグ (IBCR:INT) に "0" を書く。
 4. 送受信が終了した場合、マスタの終了 (IBCR:MSS="0" ライト) または再起動 (IBCR:SCC="1" ライト) を行います。

第 25 章 DMA コントローラ (DMAC)

DMA コントローラ (DMAC) の機能と動作について説明します。

- 25.1 概要
- 25.2 構成
- 25.3 レジスタ
- 25.4 動作説明
- 25.5 制御フロー
- 25.6 使用上の注意

25.1 概要

DMA コントローラは、本品種にて DMA(Direct Memory Access) 転送を実現するためのモジュールです。DMA コントローラは本品種のオンチップバスに接続されます。本モジュール制御の DMA 転送により、CPU を介さずに各種データ転送を高速に行うことが可能となり、システムのパフォーマンスを増加させます。

■ ハードウェア構成

本モジュールは、以下より構成されます。

- オンチップバスインタフェース
- 独立した DMA チャンネル×4 チャンネル
- 32 ビットアドレスレジスタ (各チャンネルにベースアドレスとインデックスアドレスなど計5本)
- 32 ビット転送バイト数レジスタ (各チャンネル1本)
- データバッファ (各チャンネル32 バイト)

■ 主要機能

本モジュールによるデータ転送には、以下のような機能があります。

- 複数チャンネル (4 チャンネル) の独立した DMA 転送が可能
- 優先順位
 - 固定優先順位
優先順位が ch.0 > ch.1 > ch.2 > ch.3 で固定になります。
 - ラウンドロビン優先順位
転送を行ったチャンネルの優先順位が最下位になり、転送を行っていないチャンネルの優先順位が高くなるように次の優先順位が決まります。
- DMA 転送起動要因
 - 内部 (常時) 要求
 - ICH からの要求 (ICH 内蔵の周辺機能による要求)
- DMA 転送モード
 - 転送要求モード：バースト転送 / ブロック転送
 - チャンネルモード：DA モード / SCA モード / DCA モード / 2-D モード、アドレス増加 / 減少 / 固定
 - 転送データサイズ：1 バイト / 2 バイト / 4 バイト / 32 バイト
 - 転送総バイト数：最大 2^{24} バイト
- 割込み発生による DMA 転送抑止
 - 割込み発生時に、DMA 転送を抑止する割込みレベルを設定可能

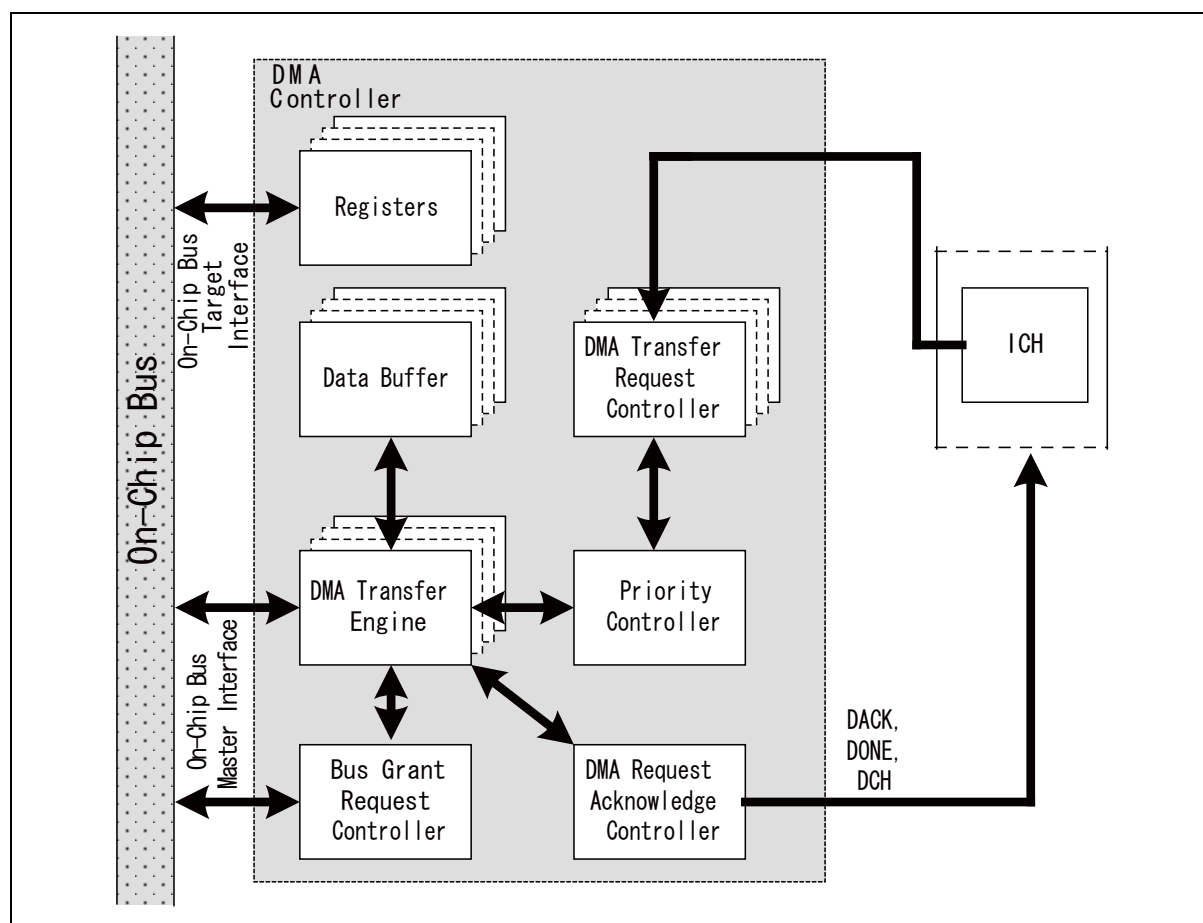
25.2 構成

DMA コントローラの構成を示します。

■ DMA コントローラのブロックダイアグラム

DMA コントローラのブロックダイアグラムを図 25.2-1 に示します。

図 25.2-1 DMA コントローラのブロックダイアグラム



25.3 レジスタ

DMA コントローラで使用するレジスタの構成と機能について説明します。

■ レジスタ一覧

DMA コントローラのレジスタ一覧を表 25.3-1 に示します。

表 25.3-1 DMA コントローラのレジスタ一覧 (1 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
共通	GCFR	グローバルコンフィギュレーションレジスタ	25.3.1
	DNMIR	DMA 転送抑止 NMI フラグレジスタ	25.3.11
	DILVR	DMA 転送抑止割込みレベルレジスタ	25.3.12
0	CCFR0	チャンネルコンフィギュレーションレジスタ 0	25.3.2
	CSTR0	チャンネルステータスレジスタ 0	25.3.3
	CCTR0	チャンネルコントロールレジスタ 0	25.3.4
	SBA0	ソースベースアドレスレジスタ 0	25.3.5
	DBA0	デスティネーションベースアドレスレジスタ 0	25.3.6
	PIX0	プライマリインデックスレジスタ 0	25.3.7
	SIX0	セカンダリインデックスレジスタ 0	25.3.8
	BCL0	バイトカウントリミットレジスタ 0	25.3.9
	APR0	オルタネートポインタレジスタ 0	25.3.10
1	CCFR1	チャンネルコンフィギュレーションレジスタ 1	25.3.2
	CSTR1	チャンネルステータスレジスタ 1	25.3.3
	CCTR1	チャンネルコントロールレジスタ 1	25.3.4
	SBA1	ソースベースアドレスレジスタ 1	25.3.5
	DBA1	デスティネーションベースアドレスレジスタ 1	25.3.6
	PIX1	プライマリインデックスレジスタ 1	25.3.7
	SIX1	セカンダリインデックスレジスタ 1	25.3.8
	BCL1	バイトカウントリミットレジスタ 1	25.3.9
	APR1	オルタネートポインタレジスタ 1	25.3.10

表 25.3-1 DMA コントローラのレジスタ一覧 (2 / 2)

チャンネル	レジスタ略称	レジスタ名	参照先
2	CCFR2	チャンネルコンフィギュレーションレジスタ 2	25.3.2
	CSTR2	チャンネルステータスレジスタ 2	25.3.3
	CCTR2	チャンネルコントロールレジスタ 2	25.3.4
	SBA2	ソースベースアドレスレジスタ 2	25.3.5
	DBA2	デスティネーションベースアドレスレジスタ 2	25.3.6
	PIX2	プライマリインデックスレジスタ 2	25.3.7
	SIX2	セカンダリインデックスレジスタ 2	25.3.8
	BCL2	バイトカウントリミットレジスタ 2	25.3.9
	APR2	オルタネートポインタレジスタ 2	25.3.10
3	CCFR3	チャンネルコンフィギュレーションレジスタ 3	25.3.2
	CSTR3	チャンネルステータスレジスタ 3	25.3.3
	CCTR3	チャンネルコントロールレジスタ 3	25.3.4
	SBA3	ソースベースアドレスレジスタ 3	25.3.5
	DBA3	デスティネーションベースアドレスレジスタ 3	25.3.6
	PIX3	プライマリインデックスレジスタ 3	25.3.7
	SIX3	セカンダリインデックスレジスタ 3	25.3.8
	BCL3	バイトカウントリミットレジスタ 3	25.3.9
	APR3	オルタネートポインタレジスタ 3	25.3.10

25.3.1 グローバルコンフィギュレーションレジスタ (GCFR)

本レジスタは DMA コントローラ全体を制御します。

グローバルコンフィギュレーションレジスタ (GCFR) のビット構成を図 25.3-1 に示します。

図 25.3-1 グローバルコンフィギュレーションレジスタ (GCFR) のビット構成

bit	31	30	0
	AT	予約	
属性	R/W		
初期値	0		
R/W：リード / ライト可能			

[bit 31] : AT (優先順位タイプビット)

チャンネル間の優先順位の決定方法を指定します。

書込み値	優先順位タイプ
0	ラウンドロビン優先順位 転送を行ったチャンネルの優先順位が最下位になり、転送を行っていないチャンネルの優先順位が高くなるよう次の優先順位が決定されます。
1	固定優先順位 Ch.0(最高) > Ch.1 > Ch.2 > Ch.3(最低) の順で固定されます。

[bit 30 ~ bit 0] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

25.3.2 チャンネルコンフィギュレーションレジスタ (CCFR0 ~ CCFR3)

チャンネルの構成を決定するための 16 ビット長のレジスタです。チャンネルごとに存在します。
チャンネルコンフィギュレーションレジスタ (CCFR0 ~ CCFR3) のビット構成を図 25.3-2 に示します。

図 25.3-2 チャンネルコンフィギュレーションレジスタ (CCFR0 ~ CCFR3) のビット構成

bit	15	14	13	12	11	10	9	8
	予約	予約	予約	予約	TM1	TM0	CM1	CM0
属性	R/W							
初期値	0							
bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	RS3	RS2	RS1	RS0
属性	R/W							
初期値	0							
R/W：リード/ライト可能								

[bit 15 ~ bit 12] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit 11, bit 10] : TM1, TM0 (転送モード設定ビット)

チャンネルの転送モードを設定します。2 種類のモードが設定できます。

TM1	TM0	転送モード
0	0	ブロック転送
0	1	バースト転送
1	0	設定禁止
1	1	設定禁止

[bit 9, bit 8] : CM1, CM0 (チャンネルモード設定ビット)

チャンネルの動作モードを設定します。4 種類のモードが設定できます。

CM1	CM0	チャンネルモード
0	0	DA モード (Dual Addressing Mode)
0	1	SCA モード (Source Circular Addressing Mode)
1	0	DCA モード (Destination Circular Addressing Mode)
1	1	2D モード (2-Dimensional Addressing Mode)

[bit 7 ~ bit 4] : 予約ビット

書込み時	必ず '0001' を設定してください。
------	----------------------

[bit 3 ~ bit 0] : RS3 ~ RS0 (DMA 転送要求元設定ビット)

チャンネルに対する転送要求の発生元を選択します。
ただし、チャンネルが SCA モードまたは DCA モードのときは内部 (常時) 要求の指定は無視されます。

RS3	RS2	RS1	RS0	DMA 転送要求元
0	0	0	0	内部 (常時) 要求
0	0	0	1	IORR レジスタで設定
その他				設定禁止

25.3.3 チャンネルステータスレジスタ (CSTR0 ~ CSTR3)

チャンネルの状態を表示するための 16 ビット長のレジスタです。チャンネルごとに存在します。
チャンネルステータスレジスタ (CSTR0 ~ CSTR3) のビット構成を図 25.3-3 に示します。

図 25.3-3 チャンネルステータスレジスタ (CSTR0 ~ CSTR3) のビット構成

属性 初期値	bit	15	14	13	12	11	10	9	8
		BUSY	INT	CE	RER	WER	STP	FED	NE
		R/W 0							
属性 初期値	bit	7	6	5	4	3	2	1	0
		予約	FS6	FS5	FS4	FS3	FS2	FS1	FS0
		R/W 0							
R/W : リード / ライト可能									

[bit 15] : BUSY (ビジー状態フラグ)

チャンネルが動作中であることを示すフラグです。

セット要因	CCTR レジスタの ACT への "1" 書込みによる DMA 転送開始
クリア要因	・ DMA 転送完了 ・ エラーの発生 ・ CCTR レジスタの ACT への "0" 書込みによる DMA 転送停止

本ビットへの書込みは動作に影響を与えません。

[bit 14] : INT (割込みリクエストフラグ)

割込み要因が検出されていることを示すフラグです。

セット要因	・ ノーマルエンデッド ・ フォースエンデッド ・ コンペアエンデッド ・ リードエラー / ライトエラー検出による DMA 転送動作の完了 ・ 本ビットへの "1" 書込み
クリア要因	本ビットへの "0" 書込み

本フラグビットは、ソフトウェアによる "1" 書込みが可能です。

本フラグビットは、必ずメモリストア命令によるアクセスを行ってください。

リードモディファイライト命令 (ビット操作演算命令)によるアクセスを行わないでください。

[bit 13] : CE (コンペアエンデッドフラグ)

SCA もしくは DCA モードでアドレスの一致を検出して停止したことを示すフラグです。

セット要因	・ SCA/DCA モードで、アドレスの一致を検出して DMA が停止 ・ 本ビットへの "1" 書込み
クリア要因	本ビットへの "0" 書込み

本フラグビットは、ソフトウェアによる "1" 書込みが可能です。

本フラグビットは、必ずメモリストア命令によるアクセスを行ってください。

リードモディファイライト命令 (ビット操作演算命令)によるアクセスを行わないでください。

[bit 12] : RER (リードエラーフラグ)

ソース側のデータをリードする際にエラーが検出されたことを示すフラグです。

セット要因	・ ソース側データのリードエラーの発生 ・ 本ビットへの "1" 書込み
クリア要因	本ビットへの "0" 書込み

本フラグビットは、ソフトウェアによる "1" 書込みが可能です。

本フラグビットは、必ずメモリストア命令によるアクセスを行ってください。

リードモディファイライト命令 (ビット操作演算命令)によるアクセスを行わないでください。

[bit 11] : WER (ライトエラーフラグ)

デスティネーション側へのライトの際にエラーが検出されたことを示すフラグです。

セット要因	・ デスティネーション側へのライトエラーの発生 ・ 本ビットへの "1" 書込み
クリア要因	本ビットへの "0" 書込み

本フラグビットは、ソフトウェアによる "1" 書込みが可能です。

本フラグビットは、必ずメモリストア命令によるアクセスを行ってください。

リードモディファイライト命令 (ビット操作演算命令) によるアクセスを行わないでください。

[bit 10] : STP (ストップエンデッドフラグ)

DSTP 入力がアクティブになったことにより、強制的に動作を停止させたことを示すフラグです。DSTP 入力 that アクティブになった後、転送中の動作が完了した時点で、本フラグが "1" に遷移し、ストップエンデッドとなります。

セット要因	・ ストップエンデッドの発生 (DSTP 入力をアクティブ) ・ 本ビットへの "1" 書込み
クリア要因	本ビットへの "0" 書込み

本フラグビットは、ソフトウェアによる "1" 書込みが可能です。

本フラグビットは、必ずメモリストア命令によるアクセスを行ってください。

リードモディファイライト命令 (ビット操作演算命令) によるアクセスを行わないでください。

[bit 9] : FED (フォースエンデッドフラグ)

CCTR レジスタの ACT ビットへの "0" 書込みにより、強制的に動作を停止させたことを示します。ACT ビットへの "0" 書込み後、転送中の動作が完了した時点で、本フラグが "1" に遷移し、フォースエンデッドとなります。

セット要因	・ フォースエンデッドの発生 (CCTR レジスタの ACT ビットへの "0" 書込み) ・ 本ビットへの "1" 書込み
クリア要因	本ビットへの "0" 書込み

本フラグビットは、ソフトウェアによる "1" 書込みが可能です。

本フラグビットは、必ずメモリストア命令によるアクセスを行ってください。

リードモディファイライト命令 (ビット操作演算命令) によるアクセスを行わないでください。

[bit 8] : NE (ノーマルエンデッドフラグ)

設定された転送動作が正常終了したことを示します。本ビットのセット条件はチャンネルのモードにより以下に示すようになっています (SCA, DCA モードでは転送の終了により本ビットはセットされません)。

セット要因	<ul style="list-style-type: none"> ・ DA モード...BCL で示されるバイト数の転送の完了 ・ 2D モード...SIX で示されるスキャンライン数の転送の終了 ・ 本ビットへの "1" 書込み
クリア要因	本ビットへの "0" 書込み

本フラグビットは、ソフトウェアによる "1" 書込みが可能です。

本フラグビットは、必ずメモリストア命令によるアクセスを行ってください。

リードモディファイライト命令 (ビット操作演算命令) によるアクセスを行わないでください。

[bit 7] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit 6 ~ bit 0] : FS6 ~ FS0 (FIFO ステータスビット)

正常に転送が完了したサイズを示します。

これらのビットへの書込みは無効です。

- ・ 転送がエラーで終了した場合

エラーの種類	レジスタの表示内容
リードエラー	読出しが正常に完了したサイズ
ライトエラー	書込みが正常に完了したサイズ
両方	読出しが正常に完了したサイズ

- ・ フォースエンデッドの場合

SSIZ の関係 *1	レジスタの表示内容
SSIZ < DSIZ	読出しが完了したサイズを示す。書込み完了により 0 になる。 転送開始時は 0
SSIZ > DSIZ	書込みが完了したサイズを示す。読出し完了により 0 になる。 転送開始時は SSIZ の値
SSIZ = DSIZ	読出しが完了すると SSIZ の値を示す。書込み完了により 0 になる。 転送開始時は 0

*1 SSIZ/DSIZ ビットは CCTR レジスタにあります。

25.3.4 チャネルコントロールレジスタ (CCTR0 ~ CCTR3)

チャネルの動作を制御するための 16 ビット長のレジスタです。チャネルごとに存在します。

チャネルコントロールレジスタ (CCTR0 ~ CCTR3) のビット構成を図 25.3-4 に示します。

図 25.3-4 チャネルコントロールレジスタ (CCTR0 ~ CCTR3) のビット構成

属性 初期値	bit	15	14	13	12	11	10	9	8
		ACT	IE	BUF	ICE	FC	予約	SAU1	SAU0
	R/W 0								
属性 初期値	bit	7	6	5	4	3	2	1	0
		SSIZ2	SSIZ1	SSIZ0	DAU1	DAU0	DSIZ2	DSIZ1	DSIZ0
	R/W 0								
R/W : リード / ライト可能									

[bit 15] : ACT (チャネル動作ビット)

本ビットに "1" を設定するとチャネルの動作が開始されます。また、動作中に "0" を書き込むと動作を一時中断しますが、再度 "1" を書き込めば動作は再開します。

転送処理が完了した時点で、"0" に遷移します。また、エラーにより転送が中断された場合にも "0" に遷移し、チャネルは動作を停止します。

書込み値	チャネルへの指示
0	チャネルに停止を指示
1	チャネルに動作を指示

[bit 14] : IE (割込み許可ビット)

CSTR レジスタの INT ビットが "1" の場合に割込みを発生するかどうかを指定します。

書込み値	割込みの動作
0	割込みの発生を禁止
1	割込みの発生を許可

[bit 13] : BUF (バッファアクセス許可ビット)

DMA 転送の内部バスアクセスをバッファ可能なアクセスかどうかを指定します。

書込み値	DMA 転送のアクセス
0	DMA 転送のバッファアクセスを禁止
1	DMA 転送のバッファアクセスを許可

[bit 12] : ICE (インデックスコンペア許可ビット)

チャンネルモードが SCA もしくは DCA の場合にアドレス一致による停止を行うことを指定します。サーキュラ側に固定を指定した場合, "1" を設定することは禁止です。

書込み値	アドレス比較動作
0	アドレス比較禁止
1	アドレス比較を許可 (アドレス一致を検出すると DMA 転送を停止)

[bit 11] : FC (FIFO クリアビット)

"1" を書き込むとチャンネルの FIFO バッファをクリアします。"1" を設定した後, チャンネルを動作させるためには, ソフトウェアにより "0" を設定してください。

CCTR レジスタの ACT ビットと本ビットが両方とも "0" の状態で, 両方のビットへ同時に "1" を書き込むと, FIFO に残された情報の書込み動作が行われます。

書込み値	FIFO クリア動作
0	FIFO をクリアしない
1	FIFO をクリアする

[bit 10] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit 9, bit 8] : SAU1, SAU0 (転送元アドレス更新ビット)

ソース側のアドレスの更新量を指定します (実際には, チャンネルのモードにより PIX レジスタ, または SIX レジスタが更新され, その状況が転送の際のアドレスに反映されます)。

SAU1	SAU0	ソースアドレス更新
0	0	ホールド。アドレスは固定。
0	1	インクリメント。SSIZ で指定されるサイズを加算。
1	0	デクリメント。SSIZ で指定されるサイズを減算。 (デクリメントを指定した場合, SSIZ=DSIZ となるように設定する。)
1	1	設定禁止

[bit 7 ~ bit 5] : SSIZ2 ~ SSIZ0 (転送元サイズ設定ビット)

ソース側の転送サイズを指定します。

SSIZ2	SSIZ1	SSIZ0	ソース側転送サイズ
0	0	0	1 バイト
0	0	1	2 バイト
0	1	0	4 バイト
0	1	1	設定禁止
1	0	0	設定禁止
1	0	1	32 バイト
1	1	0	設定禁止
1	1	1	設定禁止

[bit 4, bit 3] : DAU1, DAU0 (転送先アドレス更新ビット)

デスティネーション側のアドレスの更新量を指定します (実際には, チャンネルのモードにより PIX レジスタまたは SIX レジスタが更新され, その状況が転送の際のアドレスに反映されます)。

DAU1	DAU0	デスティネーションアドレス更新
0	0	ホールド。アドレスは固定。
0	1	インクリメント。DSIZ で指定されるサイズを加算。
1	0	デクリメント。DSIZ で指定されるサイズを減算。 (デクリメントを指定した場合, DSIZ=SSIZ となるように設定する。)
1	1	設定禁止

[bit 2 ~ bit 0] : DSIZ2 ~ DSIZ0 (転送先サイズ設定ビット)

デスティネーション側の転送サイズを指定します。

DSIZ2	DSIZ1	DSIZ0	デスティネーション側 転送サイズ
0	0	0	1 バイト
0	0	1	2 バイト
0	1	0	4 バイト
0	1	1	設定禁止
1	0	0	設定禁止
1	0	1	32 バイト
1	1	0	設定禁止
1	1	1	設定禁止

25.3.5 ソーススペースアドレスレジスタ (SBA0 ~ SBA3)

ソース側のベースアドレスを示す 32 ビット長のレジスタです。チャンネルごとに存在します。

ソーススペースアドレスレジスタ (SBA0 ~ SBA3) のビット構成を図 25.3-5 に示します。

図 25.3-5 ソーススペースアドレスレジスタ (SBA0 ~ SBA3) のビット構成

	bit 31		0
	SBA		
属性	R/W		
初期値	0		
R/W : リード / ライト可能			

[bit 31 ~ bit 0] : SBA (ソーススペースアドレス)

ソース側のベースアドレスを格納します。

ソース側のトランザクションに使用されるアドレスは、モードにより、以下に示すような方法で計算されます。

また、本レジスタ値は CCTR レジスタの SSIZ2 ~ SSIZ0 ビット、DSIZ2 ~ DSIZ0 ビットで示されるサイズによりアラインする必要があります。アライン方法については「25.4.1 設定」の「各チャンネルにおいて独立に設定する項目」を参照してください。

- DA, SCA モード

アドレス計算は CCTL レジスタの SAU1, SAU0 ビットに従い下表のようになります。

SAU1	SAU0	アドレス計算
0	0	ホールド SBA (固定)
0	1	インクリメント SBA + PIX
1	0	デクリメント SBA - PIX

- DCA モード

アドレスは SBA に固定です。アドレス計算値 = SBA (固定)

- 2D モード

水平方向のアドレス計算は SAU に従い下表 A のようになります。

また、BCL で示されるバイト数の転送が完了すると、垂直方向のアドレス計算値に従い下表 B のようになります。

表 A 水平方向

SAU1	SAU0	アドレス計算
0	0	ホールド SBA (固定)
0	1	インクリメント SBA + PIX
1	0	デクリメント SBA - PIX

表 B 垂直方向

SAU1	SAU0	アドレス計算
0	0	ホールド SBA(固定)
0	1	インクリメント SBA + AP
1	0	デクリメント SBA - AP

25.3.6 デスティネーションベースアドレスレジスタ (DBA0 ~ DBA3)

デスティネーション側のベースアドレスを示す 32 ビット長のレジスタです。チャンネルごとに存在します。

デスティネーションベースアドレスレジスタ (DBA0 ~ DBA3) のビット構成を図 25.3-6 に示します。

図 25.3-6 デスティネーションベースアドレスレジスタ (DBA0 ~ DBA3) のビット構成

bit	31	0
	DBA	
属性	R/W	
初期値	0	
R/W : リード / ライト可能		

[bit 31 ~ bit 0] : DBA (デスティネーションベースアドレス)

デスティネーション側のベースアドレスを格納します。

デスティネーション側のトランザクションに使用されるアドレスは、モードにより、以下に示すような方法で計算されます。

また、本レジスタ値は CCTL レジスタの SSIZ2 ~ SSIZ0 ビット、DSIZ2 ~ DSIZ0 ビットで示されるサイズによりアラインする必要があります。アライン方法については「25.4.1 設定」の「各チャンネルにおいて独立に設定する項目」を参照してください。

• DA モード

アドレス計算は CCTL レジスタの DAU1, DAU0 に従い下表のようになります。

DAU1	DAU0	アドレス計算
0	0	ホールド DBA(固定)
0	1	インクリメント DBA + SIX
1	0	デクリメント DBA - SIX

- DCA モード

アドレス計算は CCTL レジスタの DAU1, DAU0 に従い下表のようになります。

DAU1	DAU0	アドレス計算
0	0	ホールド DBA(固定)
0	1	インクリメント DBA + PIX
1	0	デクリメント DBA - PIX

- SCI モード

アドレスは DBA に固定です。アドレス計算値 = DBA (固定)

- 2D モード

水平方向のアドレス計算は DAU に従い下表 A のようになります。

また, BCL で示されるバイト数の転送が完了すると, 垂直方向のアドレス計算値は DAU に従い下表 B のようになります。

表 A 水平方向

DAU1	DAU0	アドレス計算
0	0	ホールド DBA(固定)
0	1	インクリメント DBA + PIX
1	0	デクリメント DBA - PIX

表 B 垂直方向

DAU1	DAU0	アドレス計算
0	0	ホールド DBA(固定)
0	1	インクリメント DBA + AP
1	0	デクリメント DBA - AP

25.3.7 プライマリインデックスレジスタ (PIX0 ~ PIX3)

ソース側の次に転送されるデータのアドレスをベースアドレスからのオフセットの形で保持する 32 ビット長のレジスタです。チャンネルごとに存在します。

プライマリインデックスレジスタ (PIX0 ~ PIX3) のビット構成を図 25.3-7 に示します。

図 25.3-7 プライマリインデックスレジスタ (PIX0 ~ PIX3) のビット構成

bit	31	0
	PIX	
属性	R/W	
初期値	0	
R/W : リード / ライト可能		

[bit 31 ~ bit 0] : PIX (プライマリインデックス)

チャンネルのモードにより、以下に示すように機能が変化します。

本レジスタは、転送を開始する前にソフトウェアにより "0" を設定してください。

本レジスタは転送制御用に使用されるため、DMA コントローラが転送を開始した後は本レジスタの読出し値は、転送バイト数としては保証されません。

- DA モード

ソース側の転送済みバイト数を格納します。

1 回のトランザクションを終えるたびに、転送されたデータのサイズが加算されます。

DMA コントローラの最大転送バイトは 2^{24} バイトのため、PIX が取りうる値は "00000000_H" (0 バイト) ~ "01000000_H" (2^{24} バイト) です。

- SCA モード

次にデータを読出す位置をサーキュラバッファの先頭からのバイトオフセットの形で保持しています。

1 回のトランザクションを終えるたびに、転送されたデータのサイズが加算されます。値を更新した結果、BCL に格納されているサーキュラバッファ末尾のオフセットの値を超えると "0" にクリアされ、読出し位置がバッファの先頭に戻されます。

DMA コントローラの最大転送バイトは 2^{24} バイトのため、PIX が取りうる値は "00000000_H" (0 バイト) ~ "01000000_H" (2^{24} バイト) です。

- DCA モード

次にデータを格納される位置をサーキュラバッファの先頭からのバイトオフセットの形で保持しています。

1 回のトランザクションを終えるたびに、転送されたデータのサイズが加算されます。値を更新した結果、BCL の値と一致すると "0" にクリアされ、書込み位置がバッファの先頭に戻されます。

DMA コントローラの最大転送バイトは 2^{24} バイトのため、PIX が取りうる値は "00000000_H" (0 バイト) ~ "01000000_H" (2^{24} バイト) です。

- 2D モード

スキャンライン内の転送済みデータのバイト数を格納します。

1 回のトランザクションを終えるたびに、転送されたデータのサイズが加算されます。値を更新した結果、BCL の値と一致すると "0" にクリアされます。

DMA コントローラの最大転送バイトは 2^{24} バイトのため、PIX が取りうる値は "00000000_H" (0 バイト) ~ "01000000_H" (2^{24} バイト) です。

25.3.8 セカンダリインデックスレジスタ (SIX0 ~ SIX3)

デスティネーション側の次に転送されるデータのアドレスをベースアドレスからのオフセットの形で保持する 32 ビット長のレジスタです。チャンネル毎に存在します。

2D モードの際には、残りのスキャンライン数を格納するために使用され、SCA, DCA モードではアドレス一致により転送中断するためのアドレスを格納するために使用されます。

セカンダリインデックスレジスタ (SIX0 ~ SIX3) のビット構成を図 25.3-8 に示します。

図 25.3-8 セカンダリインデックスレジスタ (SIX0 ~ SIX3) のビット構成

	bit 31	0
	SIX	
属性	R/W	
初期値	0	
R/W : リード / ライト可能		

[bit 31 ~ bit 0] : SIX (セカンダリインデックス)

チャネルのモードにより、以下に示すように機能が変化します。

本レジスタは、DA モードで使用する場合、転送を開始する前にソフトウェアにより "0" を設定してください。

本レジスタは転送制御用に使用されるため、DMA コントローラが転送を開始した後は本レジスタの読出し値は、転送バイト数、および転送スキャンライン数としては保証されません。

- DA モード

デスティネーション側の転送済みバイト数を格納します。

1 回のトランザクションを終えるたびに、転送されたデータのサイズが加算されます。

DMA コントローラの最大転送バイトは 2^{24} バイトのため、SIX が取りうる値は "00000000_H" (0 バイト) ~ "01000000_H" (2^{24} バイト) です。

- SCA, DCA モード

転送ごとに、SIX の値が比較されます。

CCTR レジスタの ICE=1 の場合、両者が一致すると、一致したときの転送を終えた後で、CCTR レジスタの ACT ビットが "0" にクリアされ、チャネルは停止状態に遷移します。

- 2D モード

残りのスキャンライン数を格納します。

1 スキャンライン分の転送を完了するごとにデクリメント (- 1) されます。"0" が指定されると、 $4G(2^{32})$ ラインを指定したことになります。

DMA コントローラの最大スキャンライン数は、 2^{24} です。そのため、SIX に設定可能な値は "00000001_H" (残り 1 ライン) ~ "01000000_H" (残り 2^{24} ライン) です。これ以外の設定は禁止です。

25.3.9 バイトカウントリミットレジスタ (BCL0 ~ BCL3)

転送されるデータの総量をバイト数で保持する 32 ビット長のレジスタです。チャネルごとに存在します。

バイトカウントリミットレジスタ (BCL0 ~ BCL3) のビット構成を図 25.3-9 に示します。

図 25.3-9 バイトカウントリミットレジスタ (BCL0 ~ BCL3) のビット構成

	bit	31		0
		BCL		
属性		R/W		
初期値		0		
R/W : リード / ライト可能				

[bit 31 ~ bit 0] : BCL (バイトカウントリミット)

転送されるデータのバイト数を保持します。

DMA コントローラの最大転送バイト数は、 2^{24} バイトです。そのため、BCL に設定可能な値は、"00000001_H" (1 バイト) ~ "01000000_H" (2^{24} バイト) です。これ以外の設定は禁止です。

機能がチャンネルのモードにより以下のように変わります。

また、本レジスタ値は CCTR レジスタの SSIZ/DSIZ ビットで示されるサイズによりアラインする必要があります。アライン方法については「25.4.1 設定」の「各チャンネルにおいて独立に設定する項目」を参照してください。

- DA モード

BCL で示されるバイト数の転送が完了すると、転送が完了したと判断します。

- SCA, DCA モード

BCL で示されるバイト数の転送が完了すると、PIX を "0" にクリアします。チャンネルの動作は継続されます。

- 2D モード

BCL で示されるバイト数の転送が完了すると、以下のような動作を行います。デクリメントの結果、SIX の値が "0" になった場合はチャンネルの動作は終了しますが、その他の場合には動作は継続されます。

- AP の値を使い SBA, DBA を更新します。
- PIX を "0" にクリアします。
- SIX の値をデクリメント (-1) します。

25.3.10 オルタネートポインタレジスタ (APR0 ~ APR3)

チャンネルが 2D モードの場合に、フレームバッファの幅を格納するために使用する 32 ビット長のレジスタです。チャンネルごとに存在します。

オルタネートポインタレジスタ (APR0 ~ APR3) のビット構成を図 25.3-10 に示します。

図 25.3-10 オルタネートポインタレジスタ (APR0 ~ APR3) のビット構成

	bit 31		0
	AP		
属性	R/W		
初期値	0		
R/W : リード / ライト可能			

[bit 31 ~ bit 0] : AP (オルタネートポインタ)

次のスキャンライン中の転送開始アドレスまでのオフセットが格納されます。
DMA コントローラで設定可能な最大オフセットは、 $2^{24}-1$ です。そのため、AP に設定可能な値は、"00000000_H" (オフセット : 0) ~ "00FFFFFF_H" (オフセット : $2^{24}-1$) です。これ以外の設定は禁止です。
1 スキャンライン分の有効データの転送が終ると、AP の値がベースレジスタに加算もしくは減算されます。また、本レジスタ値は CCTR レジスタの SSIZ/DSIZ ビットで示されるサイズによりアラインする必要があります。アライン方法については「25.4.1 設定」の「各チャンネルにおいて独立に設定する項目」を参照してください。

25.3.11 DMA 転送抑止 NMI フラグレジスタ (DNMIR)

ユーザ用 NMI による DMA 転送の抑止制御を行います。NMI 要求は他の周辺機能の割込みと異なり、割込み要求フラグを持たないため、本レジスタにて代用します。
ただし、本レジスタで制御するのは DMA 転送抑止機能のみであり、NMI 要求そのものの制御には影響しません。

DMA 転送抑止 NMI フラグレジスタ (DNMIR) のビット構成を図 25.3-11 に示します。

図 25.3-11 DMA 転送抑止 NMI フラグレジスタ (DNMIR) のビット構成

	bit	7	6	0
		NMIH	予約	
属性		R/W		
初期値		0		
R/W：リード / ライト可能				

[bit7] : NMIH (NMI 抑止制御フラグ)

ユーザ用 NMI 要求が発生したことを示すフラグです。
本ビットがセットされていると DMA 転送抑止要求が発生します。DMA 転送を再開するには、ユーザ用 NMI ハンドラ処理終了時に本ビットをクリアしてください。

書込み値	ユーザ用 NMI による DMA 転送抑止
0	DMA 転送を抑止していません
1	ユーザ用 NMI が発生し、DMA 転送を抑止しています

[bit 6 ~ bit 0] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

25.3.12 DMA 転送抑止割込みレベルレジスタ (DILVR)

周辺機能の割込み要求による DMA 転送の抑制制御を行うための、基準となる割込みレベルを設定します。本レジスタはリセットにより 1F_H に初期化されますので、設定値を変更するまではすべての割込み要求で DMA 転送を抑止します。

DMA 転送抑止割込みレベルレジスタ (DILVR) のビット構成を図 25.3-12 に示します。

図 25.3-12 DMA 転送抑止割込みレベルレジスタ (DILVR) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	LVL4	LVL3	LVL2	LVL1	LVL0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	1	1	1	1	1

R/W : リード / ライト可能

[bit 7 ~ bit 5] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit 4 ~ bit 0] : LVL4 ~ LVL0 (DMA 抑止割込みレベル)

DMA 転送抑止を行う割込みレベルを設定します。

本レジスタに設定したレベルより強いレベルの周辺機能の割込みが発生していると DMA 転送抑止要求が発生します。bit4 は "1" 固定で、bit3 ~ bit0 が設定可能です。

LVL4	LVL3	LVL2	LVL1	LVL0	DMA 転送抑止割込みレベル設定
1	1	1	1	1	すべての周辺機能の割込み要求で DMA 転送を抑止する
1	1	1	1	0	レベルが 1E _H より強い周辺機能の割込み要求で DMA 転送を抑止する
1	1	1	0	1	レベルが 1D _H より強い周辺機能の割込み要求で DMA 転送を抑止する
...					...
1	0	0	0	1	レベルが 10 _H より強い周辺機能の割込み要求で DMA 転送を抑止する
1	0	0	0	0	周辺機能の割込み要求では DMA 転送を抑止しない

25.4 動作説明

割込みコントローラの動作について説明します。

25.4.1 設定

全チャンネル共通の設定項目と、各チャンネルごとの設定項目に分けて説明します。

■ 全チャンネルにおいて共通に設定する項目

全チャンネルにおいて共通に設定する項目は以下のとおりです。

- チャンネル優先順位設定
- 割込み発生時の DMA 転送抑止設定

各項目の詳細を以下に示します。

チャンネル優先順位設定

GCFR レジスタの AT ビットで、チャンネル間の優先順位の決定方法を設定します。

チャンネル優先順位は、以下の 2 つから設定できます。

- ラウンドロビン優先順位 [AT=0]
- 固定優先順位 [AT=1]

割込み発生時の DMA 転送抑止設定

DILVR レジスタの LVL3 ~ LVL0 ビットで、割込み発生時に DMA 転送より優先して処理したい割込みレベルを設定します。

設定可能なレベルは 1F_H から 10_H までです。

■ 各チャンネルにおいて独立に設定する項目

各チャンネルにおいて独立に設定する項目は以下のとおりです。

- DMA 転送要求設定
- 転送モード設定
- アクノリッジタイミング設定
- 転送単位設定
- 転送アドレス更新設定
- チャンネルモード、および、転送アドレス / 転送データ設定
- 割込み許可設定
- DMA 転送のパッファ可能アクセス設定
- SCA/DCA モード時のアドレス比較検出設定

各項目の詳細を以下に示します。

DMA 転送要求設定

CCFR レジスタの RS3 ~ RS0 ビットで転送要求を受け付ける転送要求元を設定します。
転送要求は、以下の 2 つから設定できます。

- 内部 (常時) 転送要求 [RS3 ~ RS0=0000]
- ICH からの転送要求 [RS3 ~ RS0=0001]

転送モード設定

CCFR レジスタの TM1, TM0 ビットで DMA 転送の転送モードを設定します。
転送モードは、以下の 2 つから設定できます。

- ブロック転送 [TM1, TM0=00]
- バースト転送 [TM1, TM0=01]

転送単位設定

CCTR レジスタの SSIZ3 ~ SSIZ0 ビットで、ソース側からの DMA 転送の転送単位を設定します。

CCTR レジスタの DSIZ3 ~ DSIZ0 ビットで、デスティネーション側への DMA 転送の転送単位を設定します。

転送単位は、SSIZ/DSIZ ビットともに以下の 4 つから設定できます。

- 1 バイト [SSIZ3 ~ SSIZ0=000, DSIZ3 ~ DSIZ0=000]
- 2 バイト [SSIZ3 ~ SSIZ0=001, DSIZ3 ~ DSIZ0=001]
- 4 バイト [SSIZ3 ~ SSIZ0=010, DSIZ3 ~ DSIZ0=010]
- 32 バイト [SSIZ3 ~ SSIZ0=101, DSIZ3 ~ DSIZ0=101]

転送アドレス更新設定

CCTR レジスタの SAU1, SAU0 ビットで、DMA 転送におけるソース側のアドレス更新を設定します。

CCTR レジスタの DAU ビットで、DMA 転送におけるデスティネーション側のアドレス更新を設定します。

アドレス更新は、SAU/DAU ビットともに以下の 3 つから設定できます。

- ホールド [SAU1, SAU0=00, DAU=00]
- インクリメント [SAU1, SAU0=01, DAU=01]
- デクリメント [SAU1, SAU0=10, DAU=10]

チャンネルモード、および、転送アドレス / 転送データ設定

CCFR レジスタの CM1, CM0 ビットで、DMA 転送するチャンネルモードを設定します。
チャンネルモードは、以下の 4 つから設定できます。

- DA(Dual Addressing) モード [CM1, CM0=00]
- SCA(Source Circular Addressing) モード [CM1, CM0=01]
- DCA(Destination Circular Addressing) モード [CM1, CM0=10]
- 2D(2-Demensional Addressing) モード [CM1, CM0=11]

各チャンネルモードによって、SBA/DBA/PIX/SIX/BCL/APR の転送アドレス / 転送データ設定レジスタが持つ機能が変化します。

各チャンネルモードの詳細は「チャンネルモード」を参照してください。

割込み許可設定

CCTR レジスタの IE ビットで DMA コントローラの割込み許可を設定します。

DMA 転送のバッファ許可アクセス設定

CCTR レジスタの BUF ビットで , DMA 転送アクセスのバッファ許可を設定します。

SCA/DCA モード時のアドレス比較検出設定

CCTR レジスタの ICE ビットで , SCA モード /DCA モードにおけるアドレス比較検出の許可を設定します。

■ チャンネルモード

以下に、各チャンネルモードにおける各レジスタ設定と転送アドレス/転送データの関係および、設定値のアライメントを示します。

なお、転送アドレス/転送データ設定レジスタは、初期値が不定です。これらのレジスタは、チャンネルの使用/不使用に関わらずソフトウェアによる初期化を行ってください。

● 各チャンネルモードにおける各レジスタ設定と転送アドレス/転送データの関係

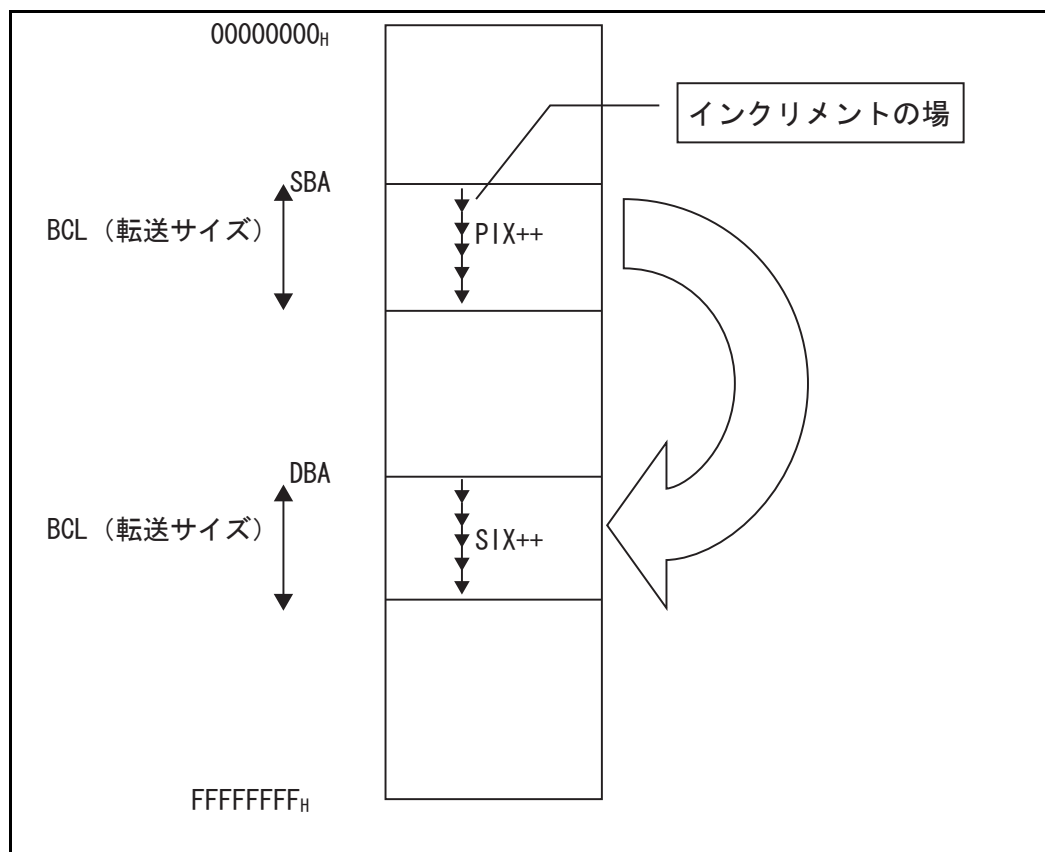
DA モード

最も基本的な転送モードです。

SBA + PIX で指定されるアドレスから DBA + SIX で指定されるアドレスへの転送を行い、PIX と SIX を指定された量だけ更新するという動作を繰り返しながら、BCL で指定されるバイト数のデータを転送します。

- SBA：転送元のデータ領域の先頭アドレス
- DBA：転送先のデータ領域の先頭アドレス
- PIX："0" を設定
- SIX："0" を設定
- BCL：転送サイズ
- APR："0" を設定

図 25.4-1 DA モード



SCA モード

メモリ上のサーキュラバッファから固定アドレスへの転送を行うモードです。

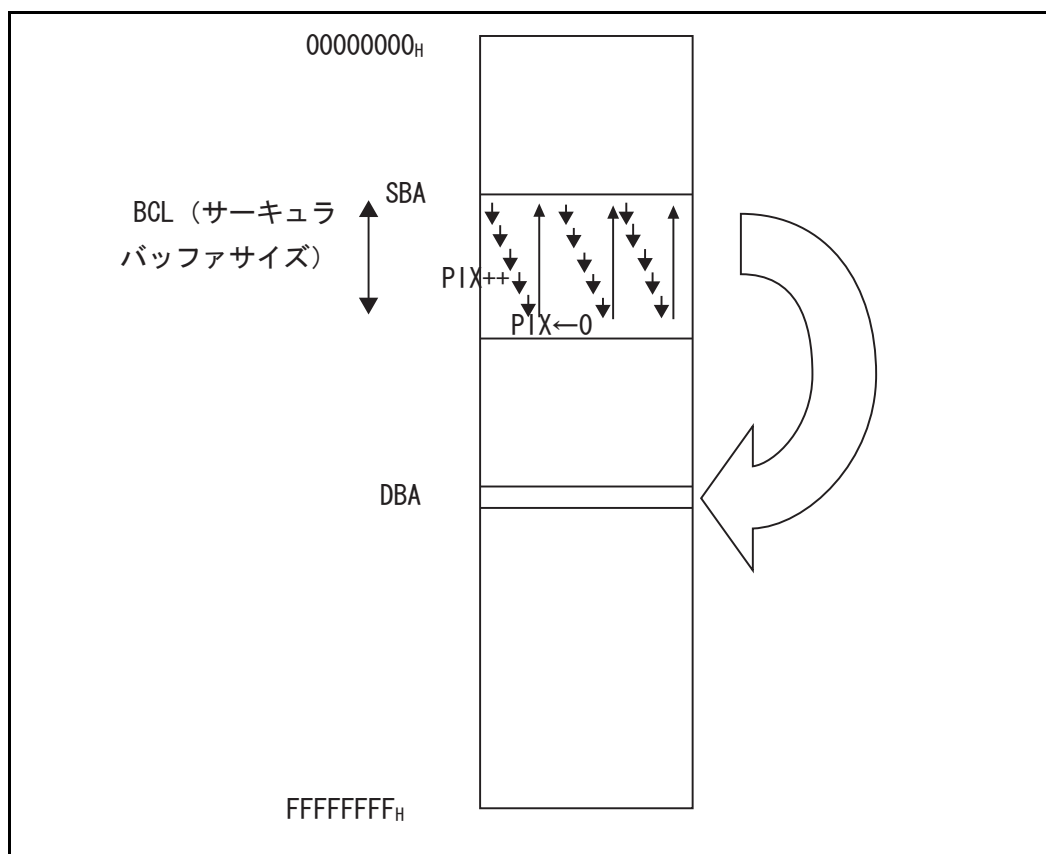
本モードは内部 (常時) 要求の設定と併用できません。

SBA + PIX で指定されるアドレスから DBA で指定される固定アドレスへの転送を行います。転送後 PIX の値を指定された量だけ更新する点は DA モードの場合と似ていますが、PIX の値が BCL に達した場合、停止するのではなく PIX を "0" に戻して動作を継続します。

SCA モードでは、CCTR レジスタの ICE ビットに "1" を設定することにより、SBA+PIX = SIX となる転送を終えたところで動作を停止させることが可能です。

- SBA：サーキュラバッファの先頭アドレス
- DBA：転送先の I/O アドレス
- PIX："0" を設定
- SIX：転送を停止するサーキュラバッファ内のアドレス
- BCL：サーキュラバッファのサイズ
- APR："0" を設定

図 25.4-2 SCA モード



DCA モード

固定アドレスからメモリ上のサーキュラバッファへの転送を行うモードです。

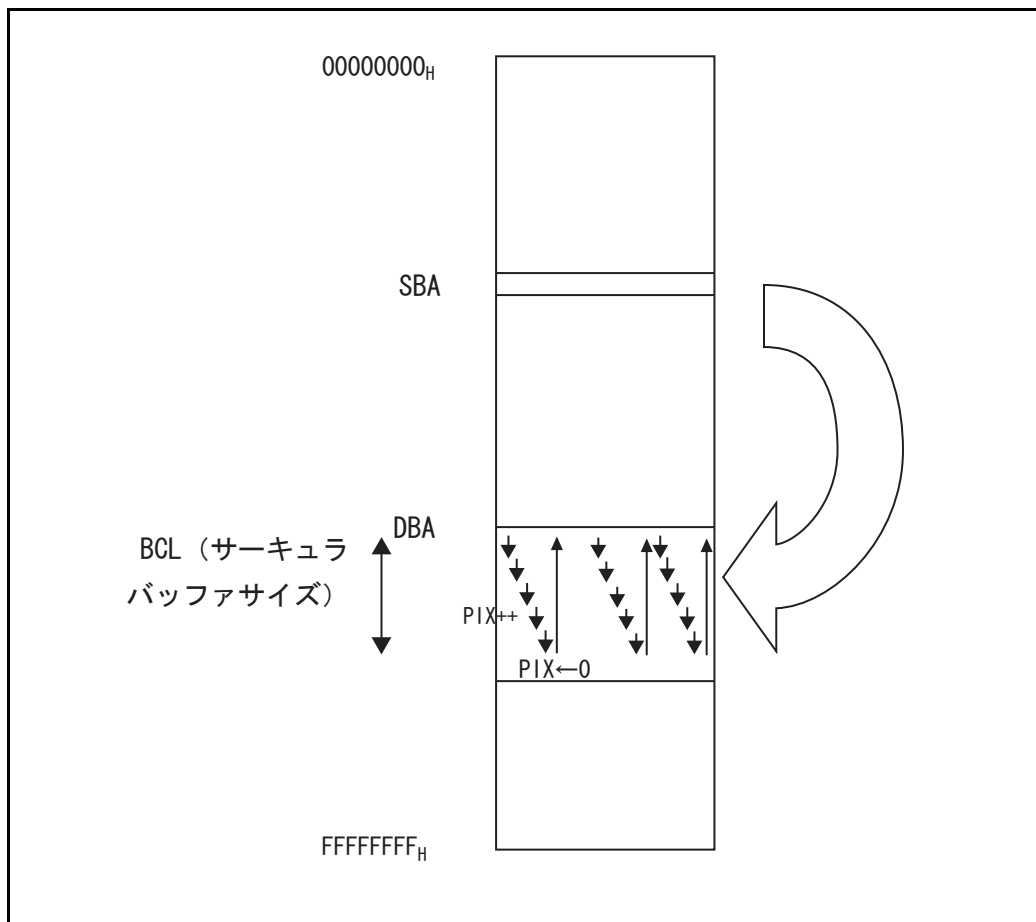
本モードは内部 (常時) 要求の設定と併用できません。

SBA で指定される固定アドレスから DBA + PIX で指定されるアドレスへの転送を行います。SCA モードと同様, PIX の値が BCL に達すると PIX を "0" に戻して転送を継続します。

また,本モードでも, CCTRレジスタのICEビットに"1"を設定することにより, DBA+PIX = SIX となる転送を終えたところで動作を停止させることが可能です。

- SBA : 転送元の I/O アドレス
- DBA : サーキュラバッファの先頭アドレス
- PIX : "0" を設定
- SIX : 転送を停止するサーキュラバッファ内のアドレス
- BCL : サーキュラバッファのサイズ
- APR : "0" を設定

図 25.4-3 DCA モード

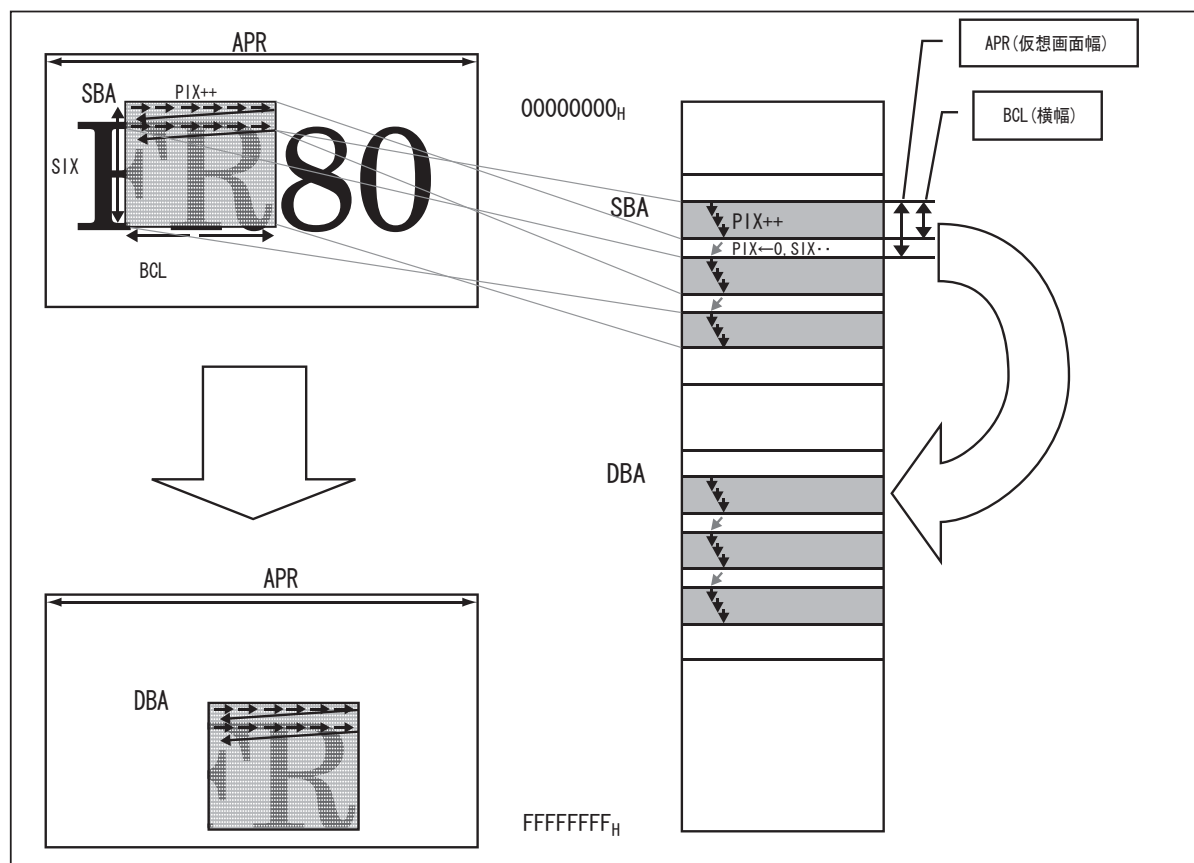


2D モード

メモリ上にあるフレームバッファ内の矩形領域を転送することができます。
本モードを使うためには、チャンネルの制御レジスタを以下に示すように設定して転送を開始させます。

- SBA：転送元の矩形領域の基準アドレス（例：左下隅のピクセルのアドレス）
- DBA：転送先の矩形領域の基準アドレス（例：左下隅のピクセルのアドレス）
- PIX："0" を設定
- SIX：矩形領域のスクアンライン数
- BCL：矩形領域の 1 行分の転送バイト数
- APR：仮想画面の 1 行分のバイト数

図 25.4-4 2D モード



● 転送アドレス / 転送データにおける設定値のアライメント

SBA/DBA/PIX/SIX/BCL/APR の転送アドレス / 転送データ設定レジスタは、次の表に示されるサイズでアラインする必要があります。

転送モード	レジスタ				
	SBA	DBA	BCL	APR	SIX
SCA, または, 転送先アドレスが固定	SSIZ と DSIZ の大きい方	DSIZ(*1)	DSIZ(*2)	SSIZ と DSIZ の大きい方	SSIZ と DSIZ の大きい方
DCA, または, 転送元アドレスが固定	SSIZ(*1)	SSIZ と DSIZ の大きい方	SSIZ(*3)	SSIZ と DSIZ の大きい方	SSIZ と DSIZ の大きい方
ソース, デスティネーションの双方が非固定	SSIZ と DSIZ の大きい方	SSIZ と DSIZ の大きい方	SSIZ と DSIZ の大きい方	SSIZ と DSIZ の大きい方	-

- (*1) ソース側, もしくはデスティネーション側にデクリメントを指定した場合, CCTR レジスタの SSIZ2 ~ SSIZ0 ビットと DSIZ2 ~ DSIZ0 ビットの大きいほうのサイズの倍数になるようアラインしてください。
- (*2) 転送元からは, CCTR レジスタの SSIZ ビットで示される単位で読出しが行われるため, 転送先には書き込まれるよりも多くの情報が読み出される場合があります。読み出されるサイズを転送先に送られるサイズと同じサイズにしたい場合には CCTR レジスタの DSIZ ビットに加え, SSIZ ビットでもアラインしてください。また, ソース側にデクリメントを指定した場合も SSIZ ビットの倍数になるようアラインしてください。
- (*3) 転送先への書込みが CCTR レジスタの DSIZ ビットで行われない場合があります。書込みのサイズを DSIZ ビットで行わなければならない場合は, DSIZ ビットでもアラインしてください。また, デスティネーション側にデクリメントを指定した場合も DSIZ ビットの倍数になるようアラインしてください。また, デスティネーション側の転送で DREQ による起動を使用して転送する場合 (CCFR レジスタの ATS2 ~ ATS0=010) にも, DSIZ ビットの倍数となるようアラインしてください。

25.4.2 起動

DMA コントローラは、各チャネルの CCTR レジスタの ACT ビットを "1" に設定することで起動します。このとき, CCFR レジスタの RS3 ~ RS0 ビットによって設定される DMA 転送要求設定により, DMA コントローラは以下のような状態になります。

- 内部 (常時) 転送要求 [RS3 ~ RS0=0000]
DMA コントローラ起動により, DMA 転送を即時開始します。
- 各リソースからの転送要求 [RS3 ~ RS0=0001]
DMA コントローラ起動により, 転送要求受付状態となります。転送要求を受け付けるまで, 転送動作を開始しません。

25.4.3 動作

DMA コントローラの動作について説明します。

■ DMA コントローラの起動確認

DMA コントローラのチャンネルごとの起動状態を確認する方法を説明します。

ステータス確認ビット

DMA コントローラが起動状態にある場合、CSTR レジスタの BUSY ビットが "1" になり、チャンネルが動作中であることを示します。

また、DMA コントローラが転送完了あるいは転送中断により停止状態に遷移した場合 BUSY ビットは "0" になり、チャンネルが停止中であることを示します。

■ 転送動作

DMA コントローラの転送動作について、設定とその動作について説明します。

転送モード

転送モードは、DMA コントローラが 1 回の転送要求に対してどのような転送を行うかを決定します。

DMA コントローラでサポートする転送モードは以下の 2 つです。

- ブロック転送
一回の転送要求に対して 1 転送単位のみ転送を行い、その後、次の転送要求が受け付けられるまで DMA コントローラは転送を停止します。ここで、1 転送単位とは以下を示します。
 - ソース側に対して転送要求を行う場合 (CCFR レジスタの ATS2 ~ ATS0 ビットが 001), CCTR レジスタの SSIZ2 ~ SSIZ0 ビットで決まります。
 - デスティネーション側に対して転送要求を行う場合 (CCFR レジスタの ATS2 ~ ATS0 ビットが 010), CCTR レジスタの DSIZ2 ~ DSIZ0 ビットで決まります。
- バースト転送
一回の転送要求に対して、BCL レジスタで設定された転送バイト数の転送が完了するまで、チャンネル内部で転送単位ごとに転送要求し続けます。一回の転送要求に対して、転送が完了するまで連続して転送を行います。

転送要求

転送要求は、どの転送要求元からの転送要求を受け付けるかを決定します。

DMA コントローラが設定可能な転送要求元は以下の 2 つです。

- 内部 (常時) 転送要求
内部 (常時) 転送要求を設定すると、CCTR レジスタの ACT ビットを "1" にする (チャンネル起動操作) だけで、DMA 転送を開始します。そのため、CCTR レジスタの ACT ビットを "1" にする以前に DMA 転送に必要なすべての設定を行ってください。
- ICH からの転送要求
ICH からの転送要求を設定すると、チャンネル起動状態において、ICH からの転送要求を検出することで DMA 転送を開始します。

転送単位

転送単位は、ソース側アクセス/デスティネーション側アクセスに対して独立に以下から設定できます。

- 1 バイト
- 2 バイト
- 4 バイト
- 32 バイト

転送単位を 1 バイト / 2 バイト / 4 バイトに設定した場合、オンチップバスではシングルアクセスを行います。転送単位を 32 バイトに設定した場合、オンチップバスでは 8 ビートのラップ式バーストアクセスを行います。

転送アドレス更新

転送アドレスの更新は、以下から設定できます。

- ホールド
- インクリメント
- デクリメント

上記の更新設定により、転送アドレスのインデックス (PIX/SIX) は転送単位ごとの転送を行うと、以下のように更新されます。ただし、チャンネルモードによってインデックス (PIX/SIX) の更新方法が決まっているものがあります。その場合、転送アドレスの更新はチャンネルモードの更新方法に従います。

- ホールド

転送アドレスのインデックスは固定であり、SIX/PIX は更新されません。

- インクリメント

ソース側: 転送単位 (CCTR レジスタの SSIZ2 ~ SSIZ0 ビット) が加算されます。
デスティネーション側: 転送単位 (CCTR レジスタの DSIZ2 ~ DSIZ0 ビット) が加算されます。

- デクリメント

ソース側: 転送単位 (CCTR レジスタの SSIZ2 ~ SSIZ0 ビット) が減算されます。
デスティネーション側: 転送単位 (CCTR レジスタの DSIZ2 ~ DSIZ0 ビット) が減算されます。

アクノリッジタイミング

DMA 転送単位ごとの転送要求に対するアクノリッジには、以下の 4 つのタイミングが設定可能です。

- アクノリッジを出力しない
 - ソース側のアクセス時にアクノリッジを出力する
 - デスティネーション側のアクセス時にアクノリッジを出力する
 - ソース側とデスティネーション側の両アクセスに対してアクノリッジを出力する
- 上記の 4 つのタイミングでの転送要求およびアクノリッジ動作は以下のようになります。

- アクノリッジを出力しない
転送単位ごとの転送要求で, CCTR レジスタの SSIZ ビットと DSIZ ビットの大きい方のサイズだけソース側に対してリードします。その後, 同サイズのデスティネーション側に対するライトをします。ソース側 / デスティネーション側のどちらに対してもアクノリッジを出力しません。
- ソース側のアクセス時にアクノリッジを出力する
転送単位ごとの転送要求で, CCTR レジスタの SSIZ ビットのサイズだけソース側に対してリードすると同時に, アクノリッジを出力します。その後, デスティネーション側に対するライトをしますが, このときにアクノリッジを出力しません。
- デスティネーション側のアクセス時にアクノリッジを出力する
転送単位ごとの転送要求で, CCTR レジスタの DSIZ ビットのサイズだけデスティネーション側に対してライトが実行されます。ソース側に対するリードは転送要求に関係なく自動的に行い, このときアクノリッジを出力しません。そのためチャネルを起動する前に転送元のデータを準備する必要があります。
- ソース側とデスティネーション側の両アクセスに対してアクノリッジを出力する
転送単位ごとの転送要求で, CCTR レジスタの SSIZ ビットのサイズだけソース側に対してリード, または, CCTR レジスタの DSIZ ビットのサイズだけデスティネーション側に対してライトが実行されます。ソース側 / デスティネーション側の両方に対して, アクノリッジを出力します。

チャネルモード

DMA コントローラでサポートするチャネルモードは以下の 4 つです。

- DA モード
- SCA モード
- DCA モード
- 2D モード

各チャネルモードの詳細は「チャネルモード」を参照してください。

アクセスのバッファ許可

DMA コントローラは, DMA 転送を行うターゲットへのバッファ可能アクセスをサポートしています。バッファ可能アクセスをサポートしているターゲットに対して, バッファ可能アクセスを行うことができます。ただし, DMA コントローラでバッファ可能アクセスを指定した場合でも, バッファ可能アクセスをサポートしていないターゲットに DMA 転送を行うと, この指定は無効になります。

チャンネル間の転送優先順位

チャンネル間の転送優先順位は、以下の 2 つをサポートしています。

- ラウンドロビン優先順位

転送の優先順位は、DMA 転送を開始したチャンネルの優先順位が最下位になり、開始したチャンネルより下位であったチャンネルの優先順位が 1 つずつ上がります。転送単位での転送を行うたびに、優先順位が更新されます。

- 固定優先順位

転送の優先順位は、以下に固定されます。

チャンネル 0 (最高) > チャンネル 1 > チャンネル 2 > チャンネル 3 (最低)

いずれの設定において同時に転送要求が発生した場合、転送を開始可能なチャンネルの中で最も優先順位が高いチャンネルの転送を行います。

固定優先順位では、2 つ以上のチャンネルを同時に起動させる場合、以下のような動作を行います。

低い優先順位のチャンネルは、優先順位が高いチャンネルが DMA 転送を行っていない場合に DMA 転送を行います。このため、転送要求から転送動作までにタイムラグが発生します。

このタイムラグを一定時間以下にしたい場合には、固定優先順位でチャンネル 0 を使用するか、もしくは、ラウンドロビン優先順位を使用してください。

DMA 転送のデータの動き (通常転送時)

図 25.4-5 ~ 図 25.4-10 に転送例を示します。

図 25.4-5 外部領域 外部領域の転送

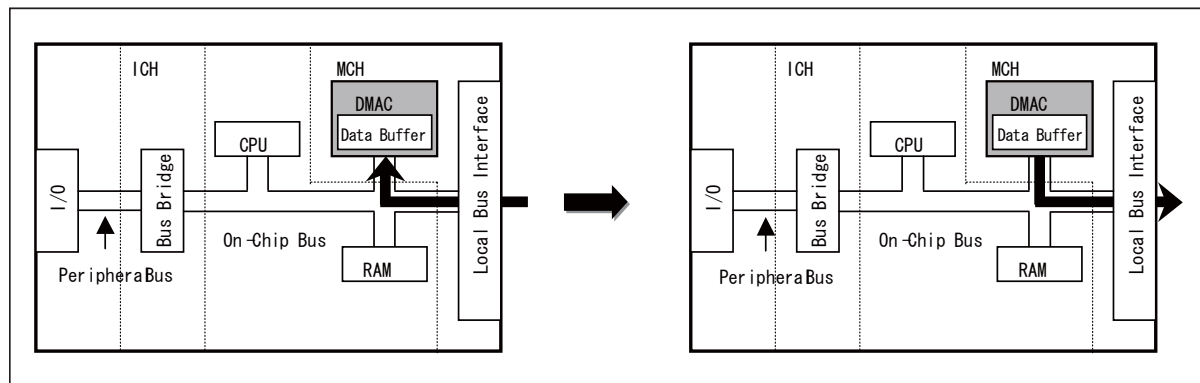


図 25.4-6 外部領域 内部 RAM 領域の転送

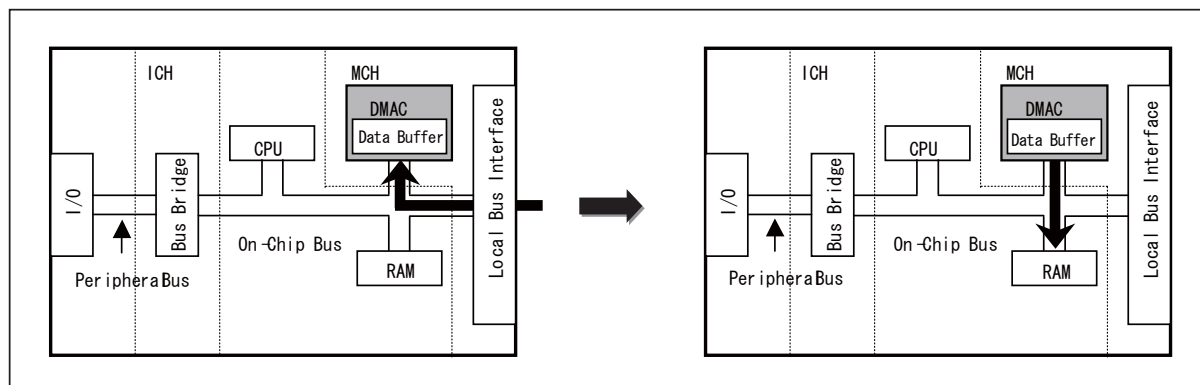


図 25.4-7 外部領域 内部 IO 領域の転送

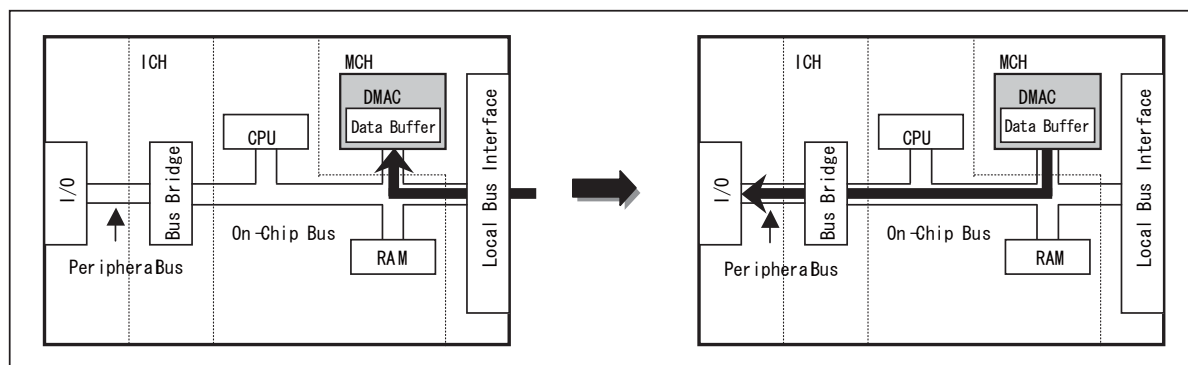


図 25.4-8 内部 RAM 領域 外部領域の転送

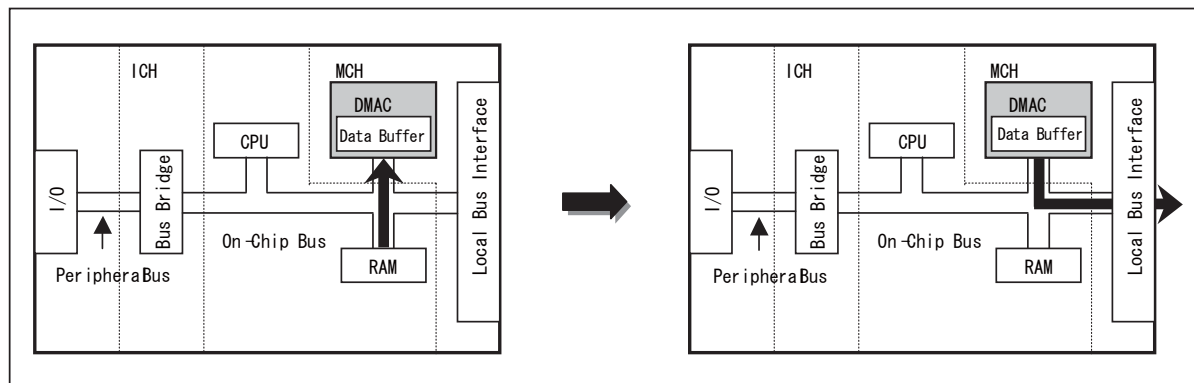


図 25.4-9 内部 RAM 領域 内部 IO 領域の転送

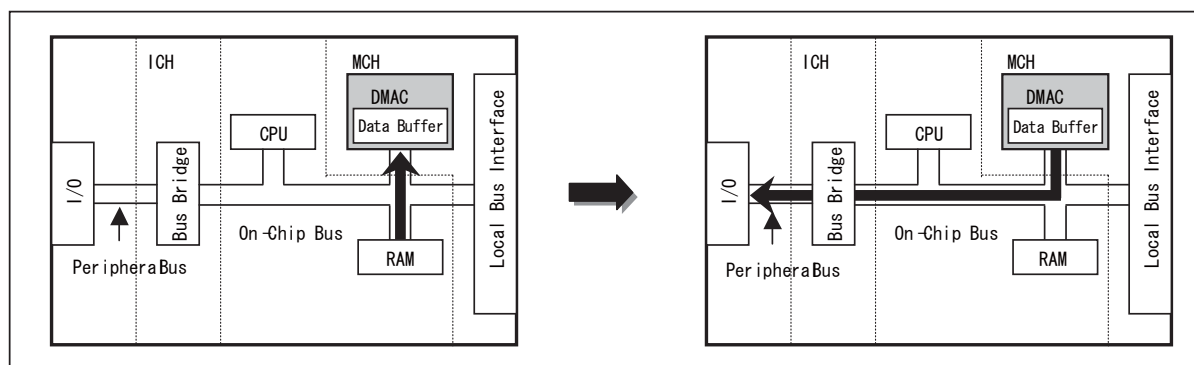
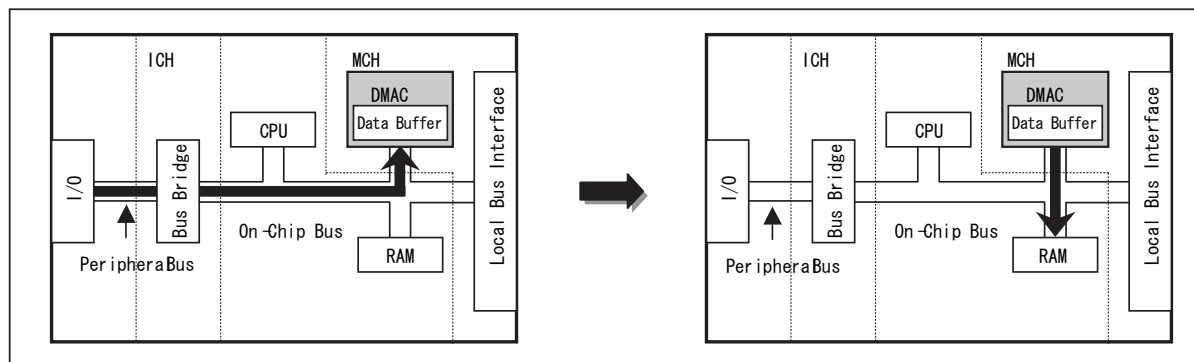


図 25.4-10 内部 IO 領域 内部 RAM 領域の転送



■ 転送完了と割込み

転送正常終了と割込みについて説明します。

転送正常終了後の状態

転送が正常終了した場合、DMA コントローラが停止状態へ遷移するため CCTR レジスタの ACT ビットが "0" になります。さらに、以下に示す CSTR レジスタのフラグビットが変化します。

- BUSY ビット

"0" になり、DMA コントローラのチャンネルが停止状態へ遷移したことを示します。

- INT ビット

"1" になり、割込み要因 (DMA 転送の正常終了) が検出されたことを示します。

- NE ビット

"1" になり、設定された転送が正常に終了したことを示します。

割込み

転送が正常終了した場合、CSTR レジスタの INT ビットが "1" になります。CCTR レジスタの IE ビットによりチャンネルの割込みを許可している場合、DMA コントローラは割込みコントローラに対して割込み要求を出力します。

割込み要求のクリアは、CSTR レジスタの INT ビットに "0" を書き込むことにより行います。

転送終了後の処理

転送が正常に終了し、再び転送を行う前に必ず以下の処理をします。

- CSTR レジスタの INT ビットに "0" を書き込む (割込みフラグの初期化)
- CSTR レジスタの NE ビットに "0" を書き込む (転送正常終了フラグの初期化)

■ 転送中断と割込み

転送動作の中断と割込みについて説明します。

転送動作の中断要因

DMA コントローラは、以下の要因によって転送動作を中断します。

- チャンネルモードが SCA モードまたは DCA モードにおける、アドレス一致検出の転送停止機能による転送中断
- オンチップバスのリードアクセス時における、エラー応答検出による転送中断
- オンチップバスのライトアクセス時における、エラー応答検出による転送中断
- 転送要求元からの転送停止要求による転送中断
- 起動中のチャンネルに対する CCTR レジスタの ACT ビットのクリアによる強制停止

転送動作の中断

各要因による転送動作の中断を説明します。

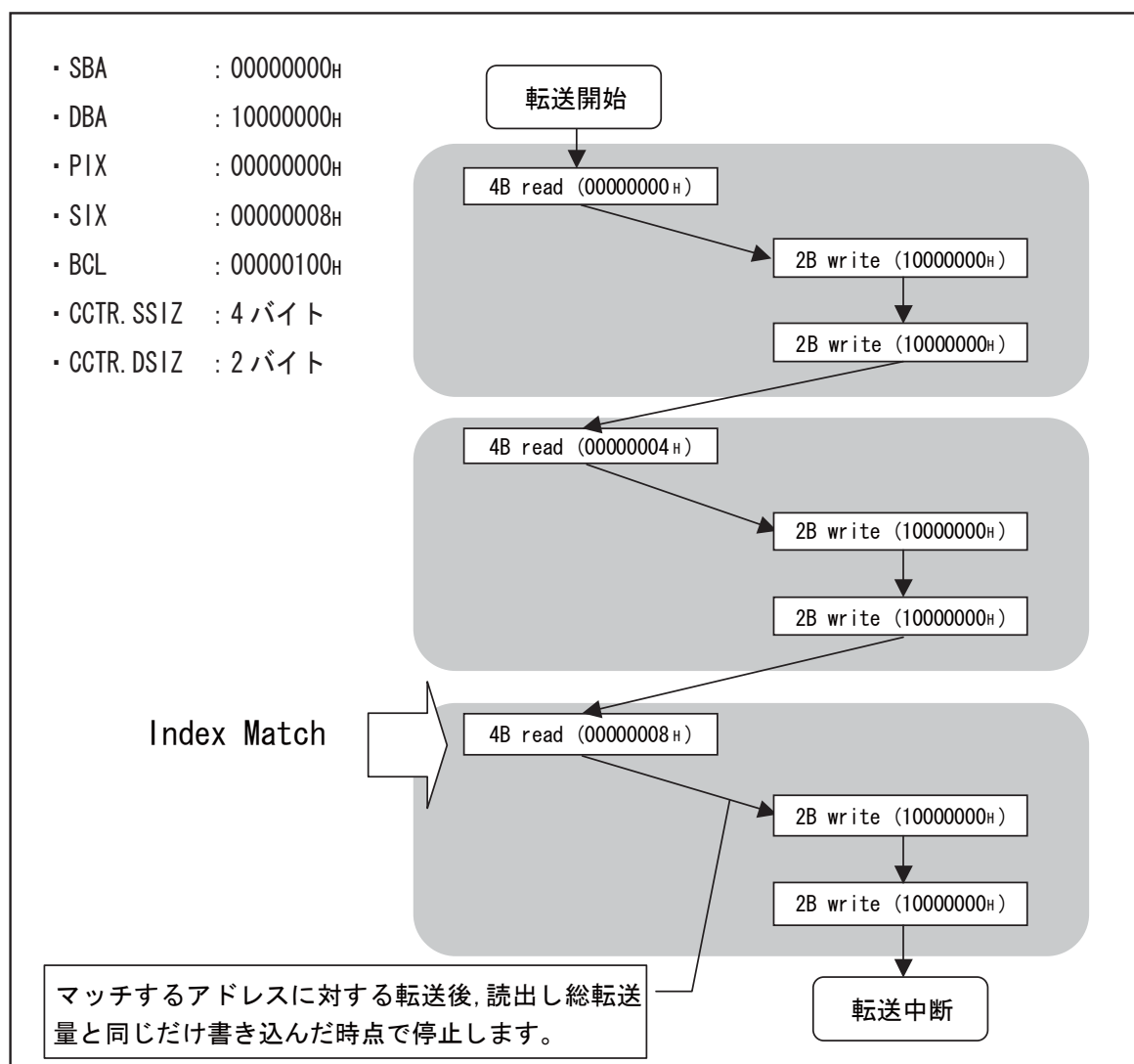
- チャンネルモードが SCA モードまたは DCA モードにおける、アドレス一致検出の転送停止機能による転送中断

チャンネルモードが SCA/DCA モードの場合において、CCTR レジスタの ICE ビットを "1" に設定することにより、任意のアドレスで転送を中断することが可能です。DMA コントローラが転送を中断する際には、転送するアドレスが SIX の値に一致する箇所の転送を実行してから転送を中断しますので、CCTR レジスタの ACT ビットを "1" にセットすることで転送を継続することが可能です。

また、ソース側の転送サイズ (CCTR レジスタの SSIZ2 ~ SSIZ0 ビット) とデスティネーション側の転送サイズ (CCTR レジスタの DSIZ2 ~ DSIZ0 ビット) が異なる場合には SIX の値は大きい方の転送サイズでアラインしなければなりません。その際転送が中断される位置についてはソース側の転送サイズとデスティネーション側の総転送サイズが一致するアドレスまで転送してから中断されます。

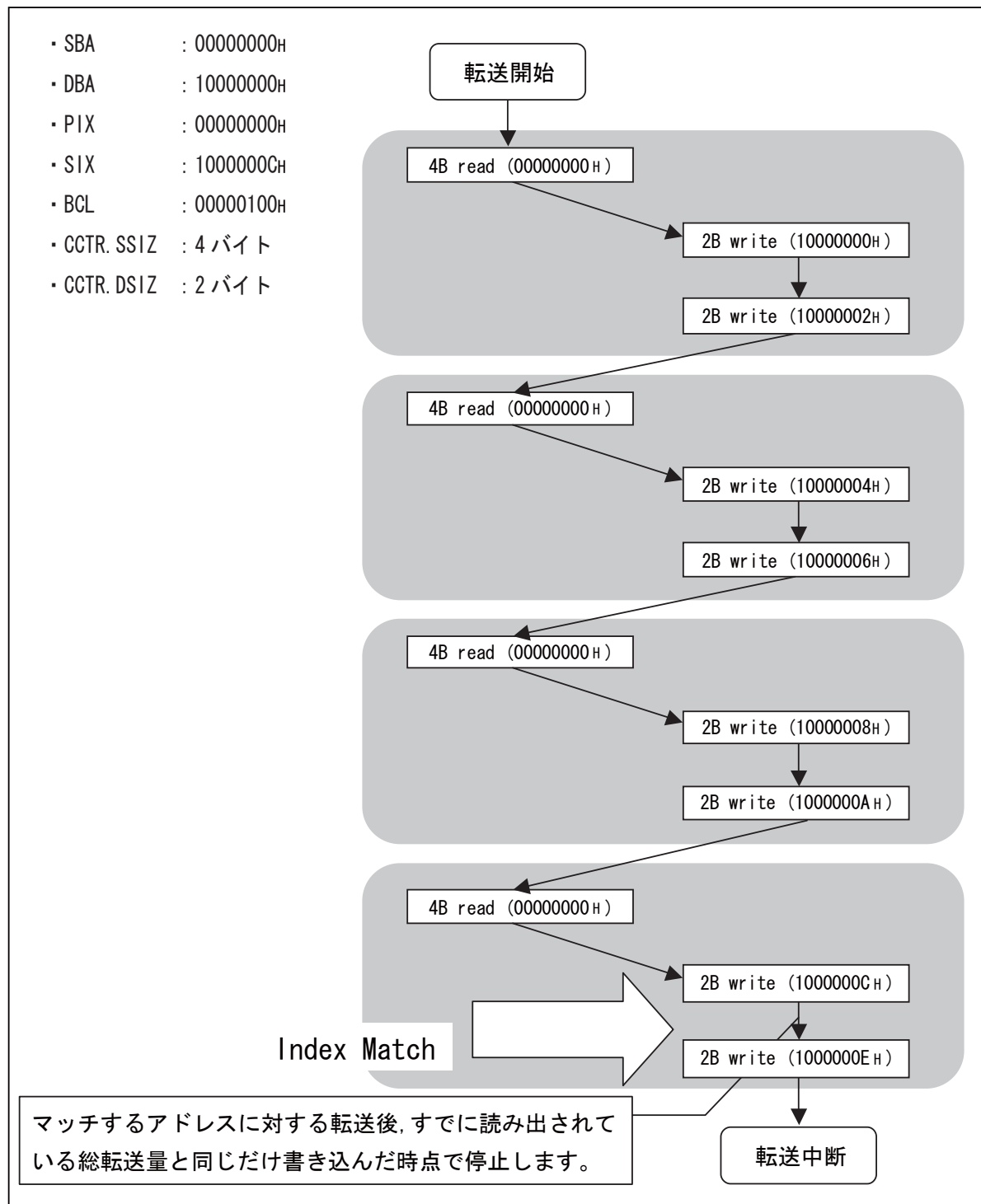
転送モードに SCA を設定した場合の例を図 25.4-11 に示します。

図 25.4-11 転送モードに SCA を設定した場合



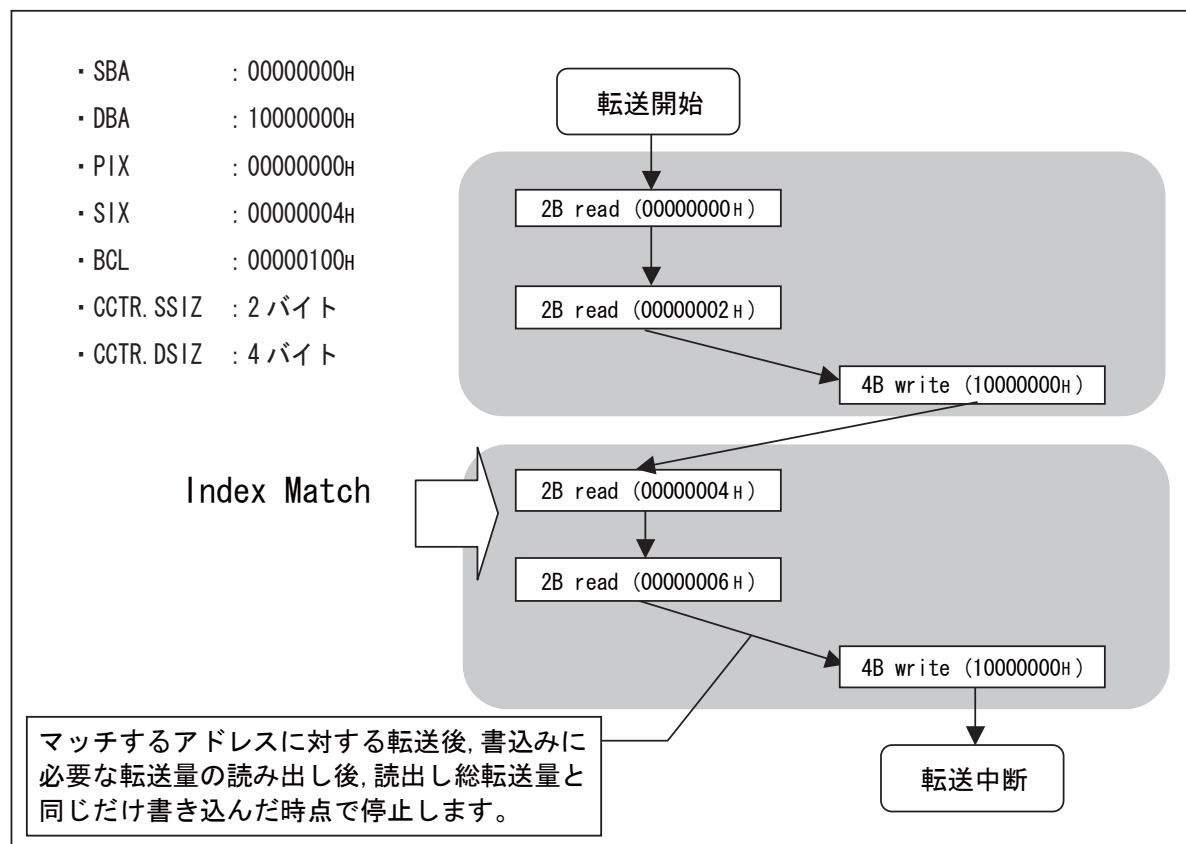
転送モードに DCA を設定した場合の例を図 25.4-12 に示します。

図 25.4-12 転送モードに DCA を設定した場合



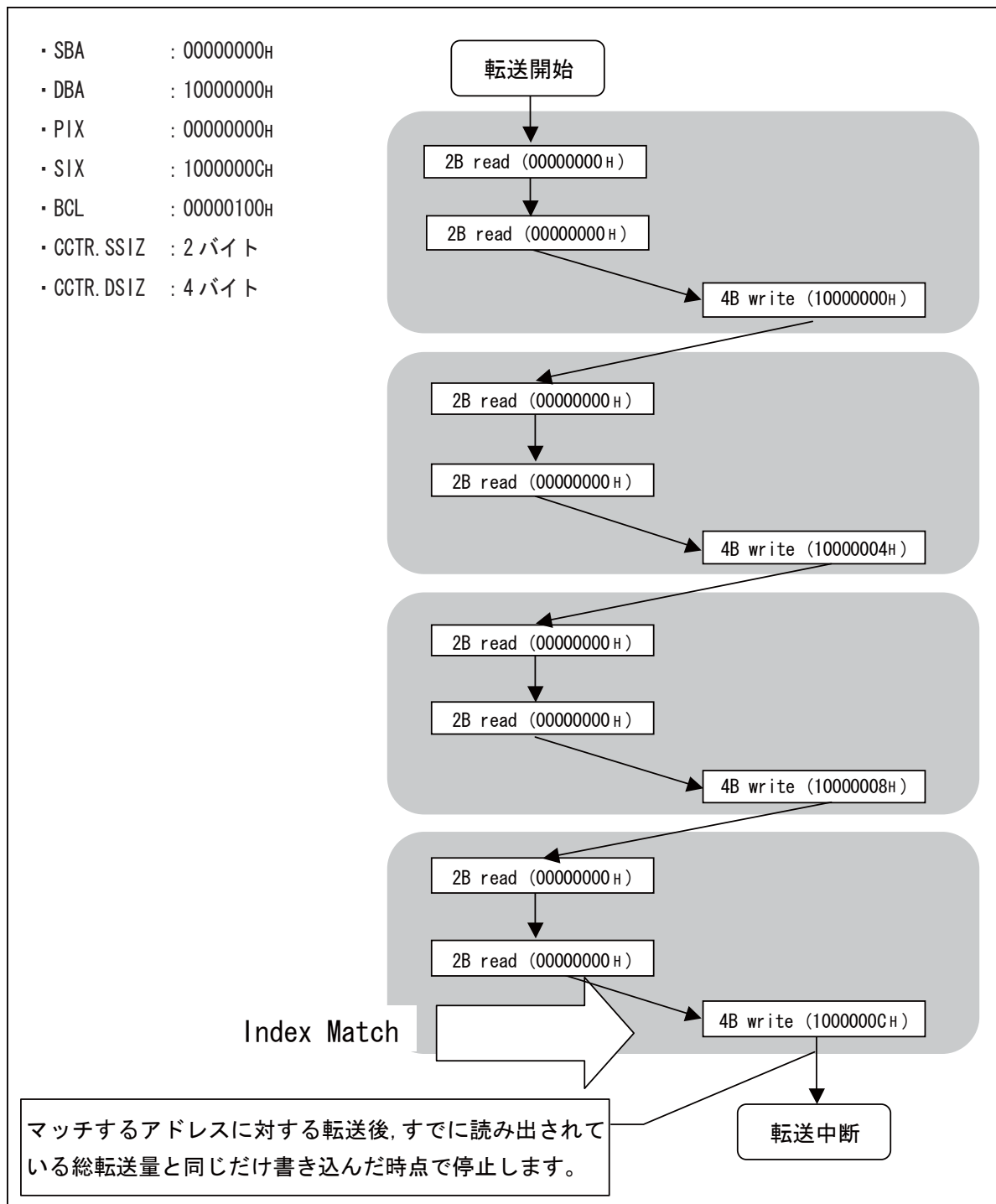
転送モードに SCA を設定した場合の例を図 25.4-13 に示します。

図 25.4-13 転送モードに SCA を設定した場合



転送モードに DCA を設定した場合の例を図 25.4-14 に示します。

図 25.4-14 転送モードに DCA を設定した場合



- オンチップバスのリードアクセスおよびライトアクセス時における、エラー応答検出による転送中断
エラーによって転送が中断した場合、エラーを発生した箇所のデータは使用しないでください。エラーが発生した場合、インデックスレジスタの更新は行いません。従って、ベースアドレスとインデックスで示されるアドレスがエラーの発生した位置を示しています。
エラーが発生した場合には、その転送を再開することができません。CCTR レジスタの FC ビットにより、FIFO クリアを行ってから新たに各レジスタを設定して転送を行ってください。
- 転送要求元からの転送停止要求による転送中断
CCFR レジスタの RS3 ~ RS0 ビットで設定した転送要求元から転送停止要求を検出すると、すでに受け付けた転送要求に応じた転送を終えたところで転送を中断します。その状態で CCTR レジスタの ACT ビットに "1" が書き込まれると、DMA コントローラは転送を再開します。一時中断や転送再開の際に、ACT ビットに "0" や "1" を書き込む場合には他の設定を変更しないように、リードモディファイライトでの処理を行う必要があります。
- 起動中のチャンネルに対する CCTR レジスタの ACT ビットをクリアによる強制停止
起動中のチャンネルの CCTR レジスタの ACT ビットに "0" を書き込むと、すでに受け付けた転送要求に応じた転送を終えたところで転送を中断します。その状態で ACT ビットに "1" が書き込まれると、DMA コントローラは転送を再開します。一時中断や転送再開の際に、ACT ビットに "0" や "1" を書き込む場合には他の設定を変更しないように、リードモディファイライトでの処理を行う必要があります。

転送中断後の状態

転送を中断した場合、DMA コントローラが停止状態に遷移するため CCTR レジスタの ACT ビットが "0" になります。さらに、転送動作の中断要因に関係なく、表 25.4-1 に示す CSTR レジスタのフラグビットが変化します。

表 25.4-1 転送動作の中断要因に関係なく変化する CSTR レジスタのフラグビット

ビット	変化
BUSY	"0" になり、DMA コントローラのチャンネルが停止状態へ遷移したことを示します。
INT	"1" になり、割込み要因 (DMA 転送の中断) が検出されたことを示します。

また、転送動作の中断要因によって、表 25.4-2 に示す CSTR レジスタのフラグビットが変化します。

表 25.4-2 転送動作の中断要因によって変化する CSTR レジスタのフラグビット

ビット	変化
CE	チャンネルモードが SCA モードまたは DCA モードにおいて、アドレスの一致による転送停止機能で転送動作を中断した場合、"1" になります。それ以外では、変化しません。
RER	オンチップバスのリードアクセス時にエラー応答を検出して転送動作を中断した場合、"1" になります。それ以外では、変化しません。
WER	オンチップバスのライトアクセス時にエラー応答を検出して転送動作を中断した場合、"1" になります。それ以外では、変化しません。
STP	転送要求元から転送停止要求により転送動作を中断した場合、"1" になります。それ以外では、変化しません。
FED	起動中のチャンネルに対して CCTR レジスタの ACT ビットへ "0" を書き込み、強制的に動作を停止させた場合、"1" になります。それ以外では、変化しません。

割込み

転送が中断した場合、CSTR レジスタの INT ビットが "1" になります。CCTR レジスタの IE ビットによりチャンネルの割込みを許可している場合、DMA コントローラは割込みコントローラに対して割込み要求を出力します。

割込み要求のクリアは、INT ビットに "0" を書き込むことにより行います。

転送中断時の処理

転送が中断した後、再び転送を行う前に必ず以下の処理をします。

- CSTR レジスタの INT ビットに "0" を書き込む（割込みフラグの初期化）
- CSTR レジスタの CE ビット /RER ビット /WER ビット /STP ビット /FED ビットに "0" を書き込む（転送中断要因フラグの初期化）

転送中断により未転送となったデータの処理方法

転送要求元からの転送停止要求による転送中断、または、起動中のチャンネルに対する CCTR レジスタの ACT ビットをクリアによる強制停止では、DMA コントローラのデータバッファに書き込みが完了していないデータが残る場合があります。そのような状態は、CSTR レジスタの BUSY ビットが "0" のときに CSTR レジスタの FS6 ~ FS0 を読み出し、表 25.4-3、表 25.4-4 から確認することができます。

表 25.4-3 転送中断により未転送となったデータの処理方法 (1/2)

状態	SSIZ = DSIZ		SSIZ < DSIZ		
	FS = 0	FS != 0	FS = 0	FS != 0 and FS[6] = 0	FS != 0 and FS[6] = 1
未転送データ	なし	あり	なし	あり	あり
書き込み後に有効なデータ長	IX	IX + SSIZ	IX	IX + FS	BCL

表 25.4-4 転送中断により未転送となったデータの処理方法 (2/2)

状態	SSIZ > DSIZ		
	FS = SSIZ or (IX = 0 and FS != 0)	FS != SSIZ and (BCL % SSIZ <= BCL - IX) and not(IX = 0 and FS != 0)	FS != SSIZ and (BCL % SSIZ > BCL - IX) and not(IX = 0 and FS != 0)
未転送データ	なし	あり	あり
書き込み後に有効なデータ長	IX	IX + SSIZ - FS	BCL

また、DMA コントローラのデータバッファに未転送データが残っている場合に、そのデータをデスティネーション側へ書き込むことが可能です。それには他の設定を変えずに、CCTR レジスタの ACT ビットと FC ビットを同時に "1" に遷移させます。この場合、CCTR レジスタの DSIZ2 ~ DSIZ0 で示される転送サイズで転送が行われ、DBA から始まる以下の表に示される長さのデータが有効となります。また、IX の値はモードによって異なり、DA モードでは書き込み動作を行う前の SIX 値が、SCA/DCA/2D モードでは書き込み動作を行う前の PIX 値 となります。

モード	IX の値
DA	書き込み前の SIX 値
SCA	書き込み前の PIX 値
DCA	書き込み前の PIX 値
2D	書き込み前の PIX 値

■ 割込み発生時の DMA 転送抑止

割込み発生時の DMA 転送を抑止する機能の動作を説明します。

DMA 転送抑止の目的

リアルタイム性が重要視されるアプリケーションでは、割込み応答が重要なファクタです。

DMA 転送時では、CPU よりバス権付与のプライオリティが高い DMA コントローラがバス権を持ちます。DMA 転送を行っている場合、オンチップバスシステムは DMA コントローラが行うバスアクセスの合間にのみ CPU へバス権を付与します。そのため DMA 転送時に割込みが発生すると、以下のような現象が生じます。

- 即座に CPU へバス権が付与されない
 - DMA コントローラのバスアクセスの合間に CPU が割込みハンドラを実行する
- その結果、割込みの応答および処理が大幅に低下します。この現象を防止する目的で、割込み発生時は DMA 転送を抑止する機能が必要となります。

DMA 転送抑止レベルと割込みレベルの関係

DILVR レジスタの LVL4 ~ LVL0 で設定した DMA 転送抑止レベルと発生した割込みのレベルの関係により、割込み発生時に CPU コアは次のように動作します。

- 発生した割込みレベル > DILVR レジスタに設定したレベル
DMA 転送は抑止され、CPU の割込みハンドラを優先的に実行します。
- 発生した割込みレベル ≤ DILVR レジスタに設定したレベル
DMA 転送は抑止されません。DMA 転送を優先的に実行します。

割込みハンドラでの処理

割込みによる DMA 転送抑止機能に関連して、割込みハンドラでは次のようなフローで処理を行ってください。

- ユーザ NMI 以外による割込み
 1. 割込みハンドラの本処理
 2. 割込みフラグのクリア
 3. RETI 命令実行による割込みハンドラからの復帰
- ユーザ NMI による割込み
 1. 割込みハンドラの本処理
 2. DNMR レジスタの NMIR ビットのクリア
 3. RETI 命令実行による割込みハンドラからの復帰

上記の 2 つのフローの 2 以降において、RETI 命令実行前に DMA 転送が再開されることがあります。この現象が発生するのは、以下に示す場合です。

フローの 2 の直後の割込みレベルが DMA 転送抑止レベル以下の場合

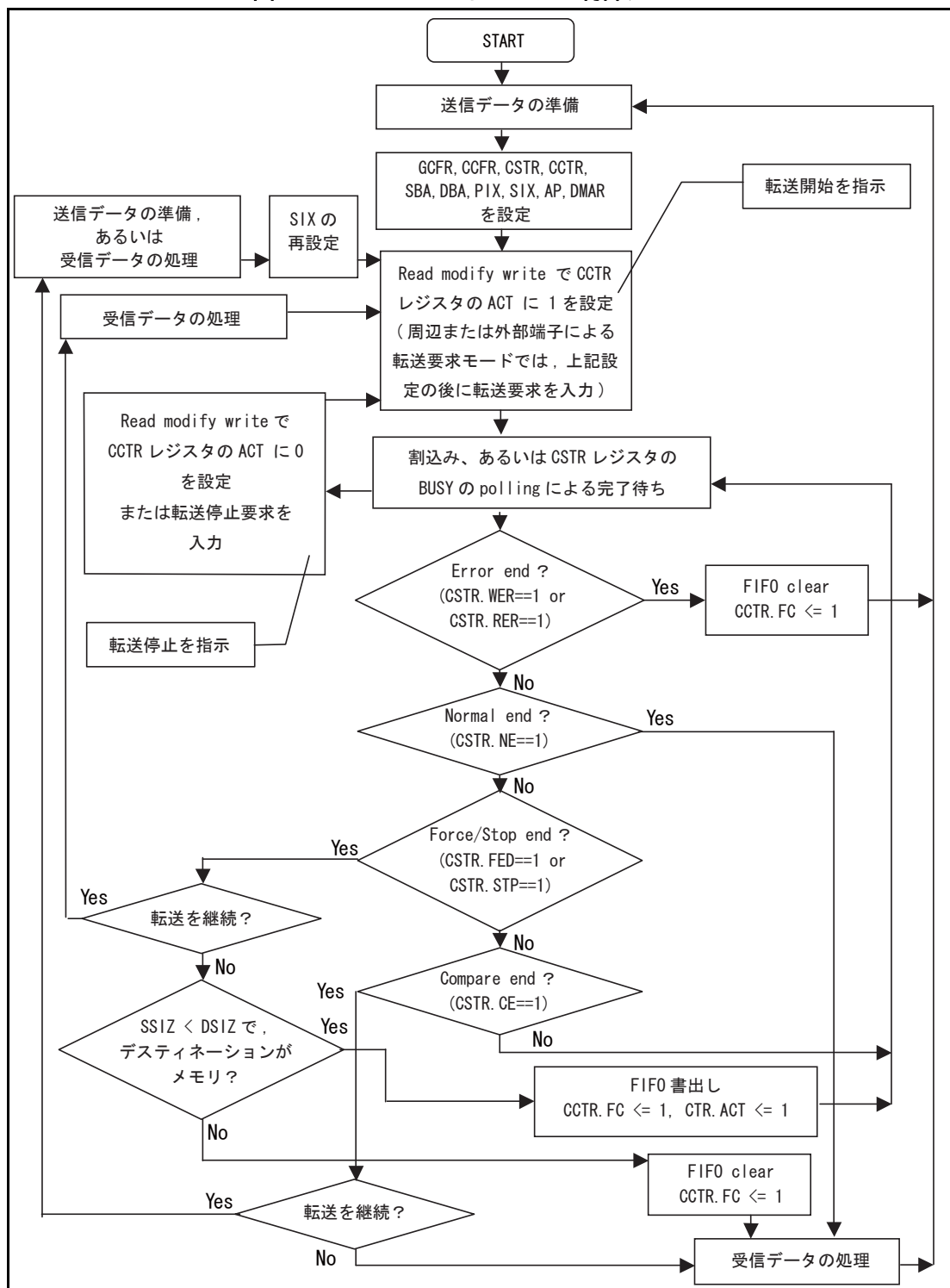
エミュレータモード時の DMA 転送抑止

エミュレータモードでは、DMA 転送抑止レベルの設定に関係なく DMA 転送は抑止されます。ICE 接続時では、DSU の DMA 転送抑止機能 (ECTL3 レジスタの DMST ビット)によりエミュレーション状態からトレース状態へ移行する RETI 命令実行中も DMA 転送を抑止できます。

25.5 制御フロー

DMA コントローラの制御フローを示します。

図 25.5-1 DMA コントローラの制御フロー



25.6 使用上の注意

DMA コントローラを使用する際は、次の点に注意してください。

DMA 転送の転送起動要因に対応していない周辺機能の割込みを転送起動要因として設定した場合の動作

DMA 転送の転送起動要因に対応していない周辺機能の割込み (DMA コントローラの割込み、遅延割込み、など) を ICH の IORR レジスタで転送起動要因として設定した場合、割込み発生により以下のように動作します。

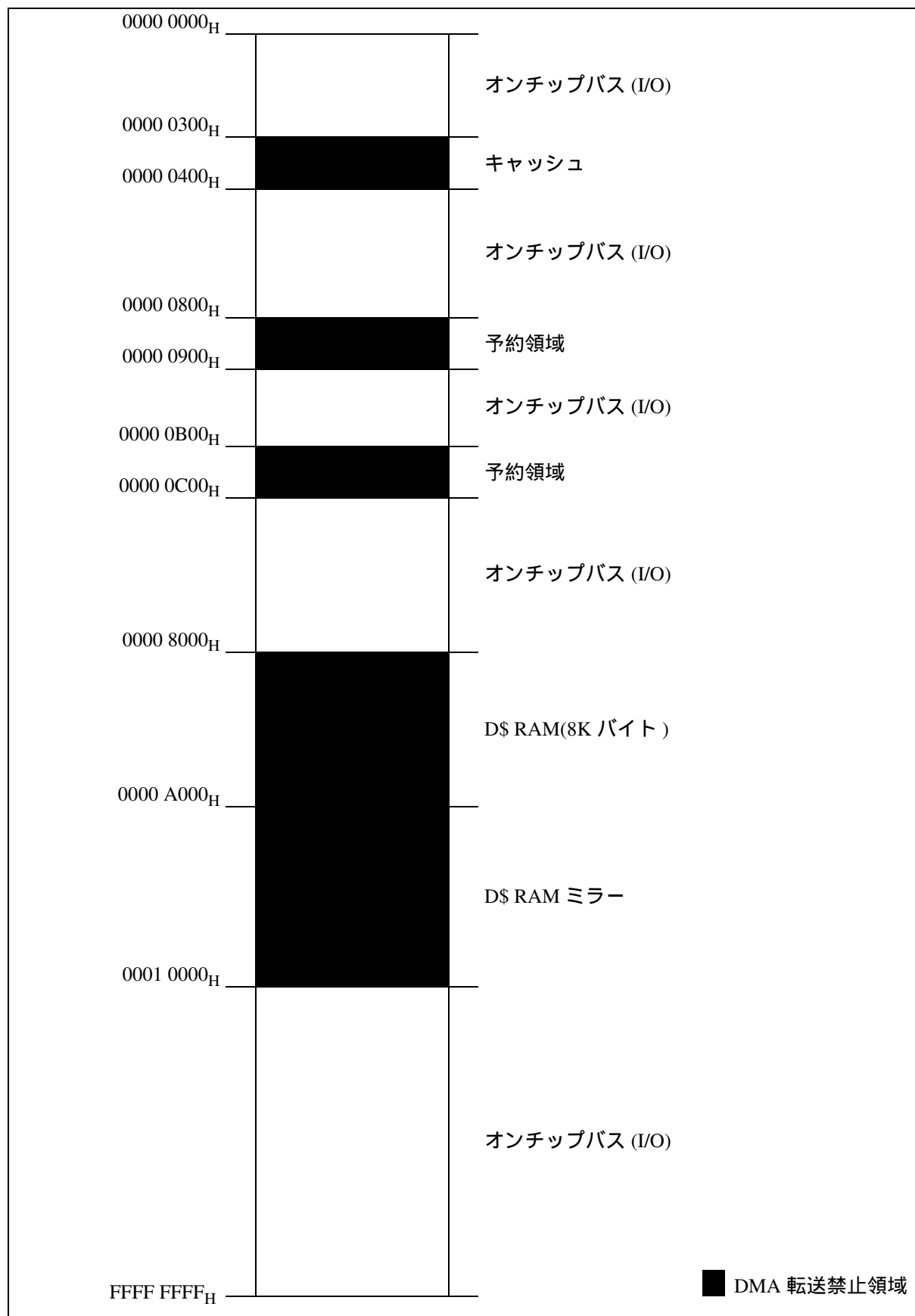
1. 転送起動要求と転送停止要求がアクティブになります。
2. DMA コントローラのチャンネルは、転送起動要求により転送を起動します。同時に転送停止要求により転送を停止するため、チャンネルは転送を行わずに停止します。
3. DMA コントローラのチャンネルは、ストップエンデッドとなります。

DMA 転送の転送禁止領域について

本品種では、以下に挙げる領域は DMA 転送を行えません。

- 予約領域 00000800_H ~ 000008FF_H
- 予約領域 00000B00_H ~ 00000BFF_H
- キャッシュ領域 00000300_H ~ 000003FF_H
- データキャッシュ RAM 領域 00008000_H ~ 00009FFF_H
- データキャッシュ RAM ミラー領域 0000A000_H ~ 0000FFFF_H

図 25.6-1 DMA 転送の転送禁止領域



第 26 章 周辺機能による DMA 転送要求の 発生 / クリア選択 機能

周辺機能の割込み要求を利用して DMA 転送要求を発生させる方法と、DMA コントローラ (DMAC) から周辺機能の割込み要求フラグをクリアする方法を説明します。

- 26.1 概要
- 26.2 構成
- 26.3 レジスタ
- 26.4 動作説明と設定手順例

26.1 概要

本製品では、周辺機能の割り込み要求を利用して DMA 転送を起動することができます。
DMA 転送を起動する割り込み要求を選択するレジスタが DMA コントローラ (DMAC) のチャンネルごとに用意されています。

1つの割り込みベクタ番号に複数の割り込み要求が割り当てられていた場合に、どの割り込み要求フラグを DMA コントローラ (DMAC) でクリアするのも設定する必要があります。

■ 周辺機能による DMA 転送要求発生についての概要

DMA コントローラ (DMAC) のレジスタで DMA 転送要求の発生要因 (転送要求元) を周辺機能の割り込み要求に設定できます。

割り込みベクタ番号に対応する値を指定して、使用する割り込み要求を選択します。

■ 周辺機能による DMA 転送要求クリア選択機能の概要

- 割り込み要求の選択

DMA 転送要求の発生要因 (転送要求元) を周辺機能の割り込み要求にすると、その割り込み要求フラグは DMA 転送後に DMA コントローラ (DMAC) によってクリアされます。

そのため、DMA 転送要求の発生要因 (転送要求元) として選択した割り込みベクタ番号に複数の割り込み要求が割り当てられていると、DMA 転送の終了後、DMA コントローラ (DMAC) がクリアする割り込み要求フラグを選択する必要があります。

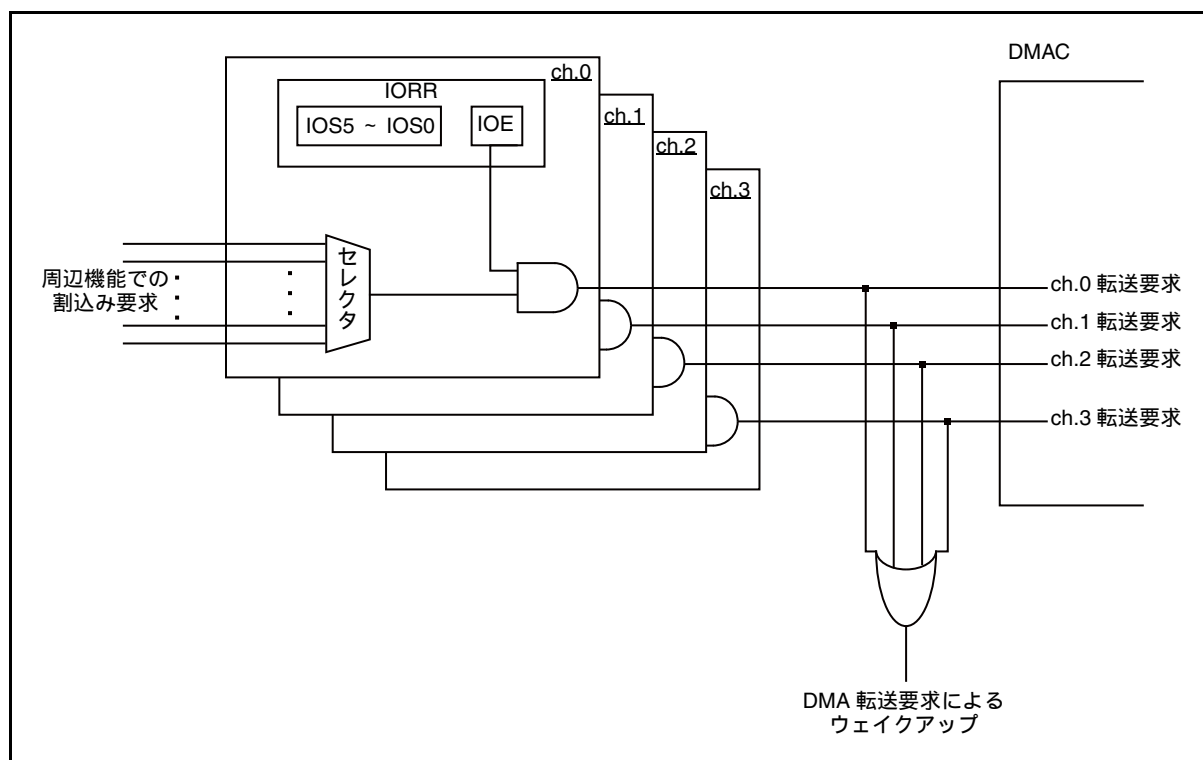
26.2 構成

周辺機能による DMA 転送要求発生部および DMA 転送要求のクリア選択機能の構成について説明します。

■ 周辺機能による DMA 転送要求発生部のブロックダイアグラム

周辺機能の割り込み要求を DMA 転送の転送要求元として使用する部分のブロックダイアグラムを図 26.2-1 に示します。

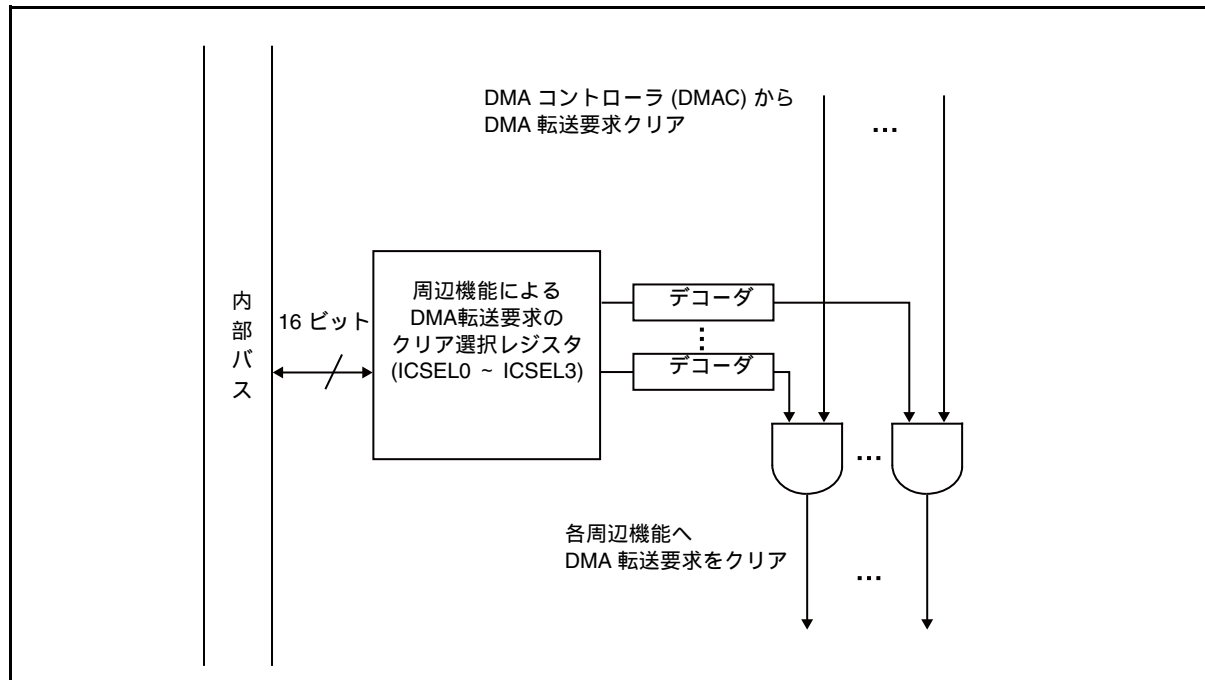
図 26.2-1 周辺機能割り込み要求利用時のブロックダイアグラム



■ DMA 転送要求のクリア選択機能のブロックダイアグラム

DMA 転送要求のクリア選択機能のブロックダイアグラムを図 26.2-2 に示します。

図 26.2-2 DMA 転送要求のクリア選択機能のブロックダイアグラム



- 周辺機能による DMA 転送要求のクリア選択レジスタ (ICSEL0 ~ ICSEL3)
DMA コントローラ (DMAC) でフラグビットをクリアする割り込み要求を選択するレジスタです。

26.3 レジスタ

DMA 転送要求の発生 / クリア選択機能で使用するレジスタの構成と機能について説明します。

■ 周辺機能による DMA 転送要求発生部のレジスタ一覧

DMA 転送要求発生部のレジスタ一覧を表 26.3-1 に示します。

表 26.3-1 周辺機能による DMA 転送要求発生部のレジスタ一覧

DMAC のチャンネル	レジスタ略称	レジスタ名	参照先
0	IORR0	IO 転送要求設定レジスタ 0	26.3.1
1	IORR1	IO 転送要求設定レジスタ 1	26.3.1
2	IORR2	IO 転送要求設定レジスタ 2	26.3.1
3	IORR3	IO 転送要求設定レジスタ 3	26.3.1

■ DMA 転送要求のクリア選択機能のレジスタ一覧

DMA 転送要求のクリア選択機能のレジスタ一覧を表 26.3-2 に示します。

表 26.3-2 DMA 転送要求のクリア選択機能のレジスタ一覧

チャンネル	レジスタ略称	レジスタ名	参照先
共通	ICSEL0	周辺機能による DMA 転送要求のクリア選択レジスタ 0	26.3.2
	ICSEL1	周辺機能による DMA 転送要求のクリア選択レジスタ 1	26.3.3
	ICSEL2	周辺機能による DMA 転送要求のクリア選択レジスタ 2	26.3.4
	ICSEL3	周辺機能による DMA 転送要求のクリア選択レジスタ 3	26.3.5

26.3.1 IO 転送要求設定レジスタ (IORR0 ~ IORR3)

DMA 転送要求の発生要因を周辺機能の割込み要求に設定したときに、どの周辺機能の割込み要求を DMA 転送要求の発生要因にするかを設定するレジスタです。

DMA コントローラ (DMAC) のチャンネルごとに、このレジスタが用意されています。

IO 転送要求設定レジスタ (IORR0 ~ IORR3) のビット構成を図 26.3-1 に示します。

図 26.3-1 IO 転送要求設定レジスタ (IORR0 ~ IORR3) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	IOE	IOS5	IOS4	IOS3	IOS2	IOS1	IOS0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

このレジスタは、チャンネルコンフィギュレーションレジスタ (CCFR0 ~ CCFR3) の RS3 ~ RS0 ビットで IORR レジスタで設定 (RS3 ~ RS0=0001) したときに有効になります。

[bit7] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit6] : IOE (転送要求許可ビット)

IOS5 ~ IOS0 ビットで指定した割込み要求が発生したときに、対応するチャンネルの DMA コントローラ (DMAC) に、DMA 転送要求を出力するかどうかを設定します。

書込み値	説明
0	DMA 転送要求を出力しません。 (周辺機能で発生した割込み要求を DMA 転送要求として使用しません)
1	DMA 転送要求を出力します。 (周辺機能で発生した割込み要求を DMA 転送要求として使用します)

[bit5 ~ bit0] : IOS5 ~ IOS0 (転送要求選択ビット)

このレジスタに対応するチャンネルの DMA コントローラ (DMAC) が、どの周辺機能で発生した割込み要求を転送要求元として使用するか設定します。

IOS5 ~ IOS0	割込みベクタ 番号		周辺機能
	10 進	16 進	
000000	16	10	外部割込み要求 ch.0
000001	17	11	外部割込み要求 ch.1
000010	18	12	外部割込み要求 ch.2
000011	19	13	外部割込み要求 ch.3
000100	20	14	外部割込み要求 ch.4
000101	21	15	外部割込み要求 ch.5
000110	22	16	外部割込み要求 ch.6
000111	23	17	外部割込み要求 ch.7
001000	24	18	16 ビットリロードタイマ ch.0
001001	25	19	16 ビットリロードタイマ ch.1
001010	26	1A	16 ビットリロードタイマ ch.2
001011	27	1B	マルチファンクションシリアルインタフェース ch.0 RX
001100	28	1C	マルチファンクションシリアルインタフェース ch.0 TX
001101	29	1D	-
001110	30	1E	マルチファンクションシリアルインタフェース ch.1 RX
001111	31	1F	マルチファンクションシリアルインタフェース ch.1 TX
010000	32	20	-
010001	33	21	マルチファンクションシリアルインタフェース ch.2 RX
010010	34	22	マルチファンクションシリアルインタフェース ch.2 TX
010011	35	23	-
010100	36	24	マルチファンクションシリアルインタフェース ch.3 RX/TX
010101	37	25	マルチファンクションシリアルインタフェース ch.4 RX/TX
010110	38	26	マルチファンクションシリアルインタフェース ch.5 RX/TX
010111	39	27	A/D コンバータ
011000	40	28	-
011001	41	29	外部割込み要求 ch.8 ~ ch.15
011010	42	2A	外部割込み要求 ch.16 ~ ch.23
011011	43	2B	マルチファンクションシリアルインタフェース ch.6 RX/TX
011100	44	2C	マルチファンクションシリアルインタフェース ch.7 RX/TX
011101	45	2D	マルチファンクションシリアルインタフェース ch.8 RX/TX
011110	46	2E	マルチファンクションシリアルインタフェース ch.9 RX/TX
011111	47	2F	マルチファンクションシリアルインタフェース ch.10 RX/TX
100000	48	30	マルチファンクションシリアルインタフェース ch.11 RX/TX
100001	49	31	ベースタイマ ch.0 IRQ0/IRQ1
100010	50	32	ベースタイマ ch.1 IRQ0/IRQ1
100011	51	33	ベースタイマ ch.2 IRQ0/IRQ1
100100	52	34	ベースタイマ ch.3 IRQ0/IRQ1
100101	53	35	ベースタイマ ch.4 IRQ0/IRQ1
100110	54	36	ベースタイマ ch.5 IRQ0/IRQ1

IOS5 ~ IOS0	割込みベクタ 番号		周辺機能
	10 進	16 進	
100111	55	37	ベースタイマ ch.6 IRQ0/IRQ1
101000	56	38	ベースタイマ ch.7 IRQ0/IRQ1
101001	57	39	ベースタイマ ch.8/ch.9/ch.10/ch.11 IRQ0/IRQ1
101010	58	3A	-
101011	59	3B	-
101100	60	3C	-
101101	61	3D	-
101110	62	3E	-
101111	63	3F	-

< 注意事項 >

- 1 つの割込みベクタ番号を複数の割込み要求で兼用している場合 , DMA 転送の転送要求元として使用できる割込み要求は 1 つだけです。
DMA 転送の転送要求元にしない割込み要求の発生は禁止してください。
- 1 つの割込みベクタ番号を複数の割込み要求で兼用している場合 , 周辺機能による DMA 転送要求のクリア選択レジスタ (ICSEL0 ~ ICSEL3) でフラグビットをクリアする割込み要求を設定してください。
- このレジスタで選択する割込み要求は , 割込みレベルマスケジスタ (ILM) と割込みコントロールレジスタ (ICR00 ~ ICR47) の値が次のようになるよう , 割込みレベルを設定してください。

ILM ICR

26.3.2 周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0)

割込みベクタ番号 41 (10 進) には, 外部割込み要求 ch.8 ~ ch.15 が割り当てられています。この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0) のビット構成を図 26.3-2 に示します。

図 26.3-2 周辺機能による DMA 転送要求のクリア選択レジスタ 0 (ICSEL0) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	EISEL12	EISEL11	EISEL10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : EISEL12 ~ EISEL10 (割込み要求選択ビット)

割込みベクタ番号 41 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でクリアするフラグビットを選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 41 (10 進) に対して、割込み要求クリア信号を出力すると、ここで選択したビットがクリアされます。

EISEL12	EISEL11	EISEL10	説明
0	0	0	外部割込み ch.8
0	0	1	外部割込み ch.9
0	1	0	外部割込み ch.10
0	1	1	外部割込み ch.11
1	0	0	外部割込み ch.12
1	0	1	外部割込み ch.13
1	1	0	外部割込み ch.14
1	1	1	外部割込み ch.15

26.3.3 周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1)

割込みベクタ番号 42 (10 進) には, 外部割込み要求 ch.16 ~ ch.23 が割り当てられています。この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1) のビット構成を図 26.3-3 に示します。

図 26.3-3 周辺機能による DMA 転送要求のクリア選択レジスタ 1 (ICSEL1) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	EISEL22	EISEL21	EISEL20
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : EISEL22 ~ EISEL20 (割込み要求選択ビット)

割込みベクタ番号 42(10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択します。

DMA コントローラ (DMAC) が割込みベクタ番号 42(10 進) に対して , 割込み要求クリア信号を出力すると , ここで選択したビットがクリアされます。

EISEL22	EISEL21	EISEL20	説明
0	0	0	外部割込み ch.16
0	0	1	外部割込み ch.17
0	1	0	外部割込み ch.18
0	1	1	外部割込み ch.19
1	0	0	外部割込み ch.20
1	0	1	外部割込み ch.21
1	1	0	外部割込み ch.22
1	1	1	外部割込み ch.23

26.3.4 周辺機能による DMA 転送要求のクリア選択レジスタ 2 (ICSEL2)

割込みベクタ番号 49 ~ 56 (10 進) には, それぞれベースタイマ ch.0 ~ ch.7 の割込み要求が割り当てられています。

この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 2 (ICSEL2) のビット構成を図 26.3-4 に示します。

図 26.3-4 周辺機能による DMA 転送要求のクリア選択レジスタ 2 (ICSEL2) のビット構成

bit	7	6	5	4	3	2	1	0
	BTSEL07	BTSEL06	BTSEL05	BTSEL04	BTSEL03	BTSEL02	BTSEL01	BTSEL00
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えしないでください。

[bit7 ~ bit0] : BTSEL07 ~ BTSEL00 (割込み要求選択ビット)

割込みベクタ番号 49 ~ 56 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を、割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティ一致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 49 ~ 56 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

ビット名	割込みベクタ番号 (10 進)	書込み値	説明
BTSEL07	56	0	ベースタイマ ch.7 の割込み要求 0
		1	ベースタイマ ch.7 の割込み要求 1
BTSEL06	55	0	ベースタイマ ch.6 の割込み要求 0
		1	ベースタイマ ch.6 の割込み要求 1
BTSEL05	54	0	ベースタイマ ch.5 の割込み要求 0
		1	ベースタイマ ch.5 の割込み要求 1
BTSEL04	53	0	ベースタイマ ch.4 の割込み要求 0
		1	ベースタイマ ch.4 の割込み要求 1
BTSEL03	52	0	ベースタイマ ch.3 の割込み要求 0
		1	ベースタイマ ch.3 の割込み要求 1
BTSEL02	51	0	ベースタイマ ch.2 の割込み要求 0
		1	ベースタイマ ch.2 の割込み要求 1
BTSEL01	50	0	ベースタイマ ch.1 の割込み要求 0
		1	ベースタイマ ch.1 の割込み要求 1
BTSEL00	49	0	ベースタイマ ch.0 の割込み要求 0
		1	ベースタイマ ch.0 の割込み要求 1

26.3.5 周辺機能による DMA 転送要求のクリア選択レジスタ 3 (ICSEL3)

割込みベクタ番号 57 (10 進) には, ベースタイマ ch.8 ~ ch.11 の割込み要求が割り当てられています。

この中から, DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を選択するレジスタです。

周辺機能による DMA 転送要求のクリア選択レジスタ 3 (ICSEL3) のビット構成を図 26.3-5 に示します。

図 26.3-5 周辺機能による DMA 転送要求のクリア選択レジスタ 3 (ICSEL3) のビット構成

bit	7	6	5	4	3	2	1	0
	予約	予約	予約	予約	予約	BTSEL12	BTSEL11	BTSEL10
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

R/W : リード / ライト可能

< 注意事項 >

DMA 転送中にこのレジスタを書き換えしないでください。

[bit7 ~ bit3] : 予約ビット

書込み時	必ず "0" を書き込んでください。
読出し時	"0" が読み出されます。

[bit2 ~ bit0] : BTSEL12 ~ BTSEL10 (割込み要求選択ビット)

割込みベクタ番号 57 (10 進) に割り当てられた割込み要求の中から DMA コントローラ (DMAC) でフラグビットをクリアする割込み要求を、割込み要求 0 と割込み要求 1 の中から選択します。

割込み要求 0 および割込み要求 1 に割り当てられている割込み要求は、ベースタイマの使用方法によって異なります。

ベースタイマの使用方法	割込み要求 0	割込み要求 1
16/32 ビットリロードタイマ	アンダフロー割込み要求	トリガ割込み要求
16 ビット PWM タイマ	アンダフロー割込み要求 デューティ一致割込み要求	トリガ割込み要求
16/32 ビット PWC タイマ	オーバフロー割込み要求	測定終了割込み要求
16 ビット PPG タイマ	アンダフロー割込み要求	トリガ割込み要求

DMA コントローラ (DMAC) が割込みベクタ番号 57 (10 進) に対して、割込み要求クリア信号を出力するとこのビットで選択した割込み要求のフラグビットがクリアされます。

BTSEL12	BTSEL11	BTSEL10	説明
0	0	0	ベースタイマ ch.8 の割込み要求 0
0	0	1	ベースタイマ ch.8 の割込み要求 1
0	1	0	ベースタイマ ch.9 の割込み要求 0
0	1	1	ベースタイマ ch.9 の割込み要求 1
1	0	0	ベースタイマ ch.10 の割込み要求 0
1	0	1	ベースタイマ ch.10 の割込み要求 1
1	1	0	ベースタイマ ch.11 の割込み要求 0
1	1	1	ベースタイマ ch.11 の割込み要求 1

26.4 動作説明と設定手順例

周辺機能の割り込み要求で DMA 転送を起動する場合の動作と設定手順について説明します。

26.4.1 DMA 転送時の動作

■ 設定

DMA 転送の転送要求元を周辺機能の割り込み要求にする場合は、割り込みベクタ番号の選択や、各周辺機能での設定も必要です。

設定する順番は次のようになります。

1. 割り込みベクタ番号の選択 (IO 転送要求設定レジスタ (IORR0 ~ IORR3))
 - IOS5 ~ IOS0 ビットに割り込みベクタ番号に対応した値を書き込む
 - IOE ビットで周辺機能の割り込み要求による DMA 転送の開始を許可する (IOE=1)
2. DMA コントローラ (DMAC) でクリアする割り込み要求を選択 (周辺回路による DMA 転送要求のクリア選択レジスタ (ICSEL0 ~ ICSEL3))
3. DMA コントローラ (DMAC) の設定
詳しくは、「第 25 章 DMA コントローラ (DMAC)」を参照してください。
 - DMA 転送の転送要求元を周辺機能の割り込み要求に設定
 - DMA 転送の動作を許可して、転送要求待ち状態に設定
4. 周辺機能の設定
使用する周辺機能の章を参照してください。
 - DMA 転送に使用する割り込み要求のフラグをクリア
 - DMA 転送に使用する割り込み要求の発生を許可

< 注意事項 >

- 周辺機能の割り込み要求フラグは DMA コントローラ (DMAC) によってクリアされるため、周辺機能の割り込み要求としては使用できません。
DMA 転送の転送要求元として使用する割り込み要求は、割り込みレベルを "31" (割り込み禁止) にしてください。
割り込みレベルの設定方法については、「第 12 章 割り込みコントローラ」を参照してください。
 - 周辺機能の設定をする際は、割り込み要求フラグをクリアしてから、割り込み要求の発生を許可してください。
-

■ 動作

次のように動作します。

1. 周辺機能を起動
2. 周辺機能で DMA 転送要求元になる割込み要求が発生
3. DMA 転送要求が発生し, DMA コントローラ (DMAC) が起動
4. DMA 転送終了

周辺機能の割込み要求フラグが DMA コントローラ (DMAC) によってクリアされます。

< 注意事項 >

割込み要求が発生した時点での割込みレベルマスクレジスタ (ILM) と割込みコントロールレジスタ (ICR00 ~ ICR47) の値が次のようになるよう、割込みレベルを設定してください。

ILM ICR

割込みレベルマスクレジスタ (ILM) の値が割込みコントロールレジスタ (ICR00 ~ ICR47) の値より大きいと、周辺機能の割込み要求発生動作が成立し、DMA 転送要求も発生できますが、割込み要求処理動作が不安定になります。

第 27 章 リモコン受信

HDMI-CEC 受信・ACK 自動応答，リモコン受信の機能と動作について説明します。

27.1 概要

27.2 レジスタ

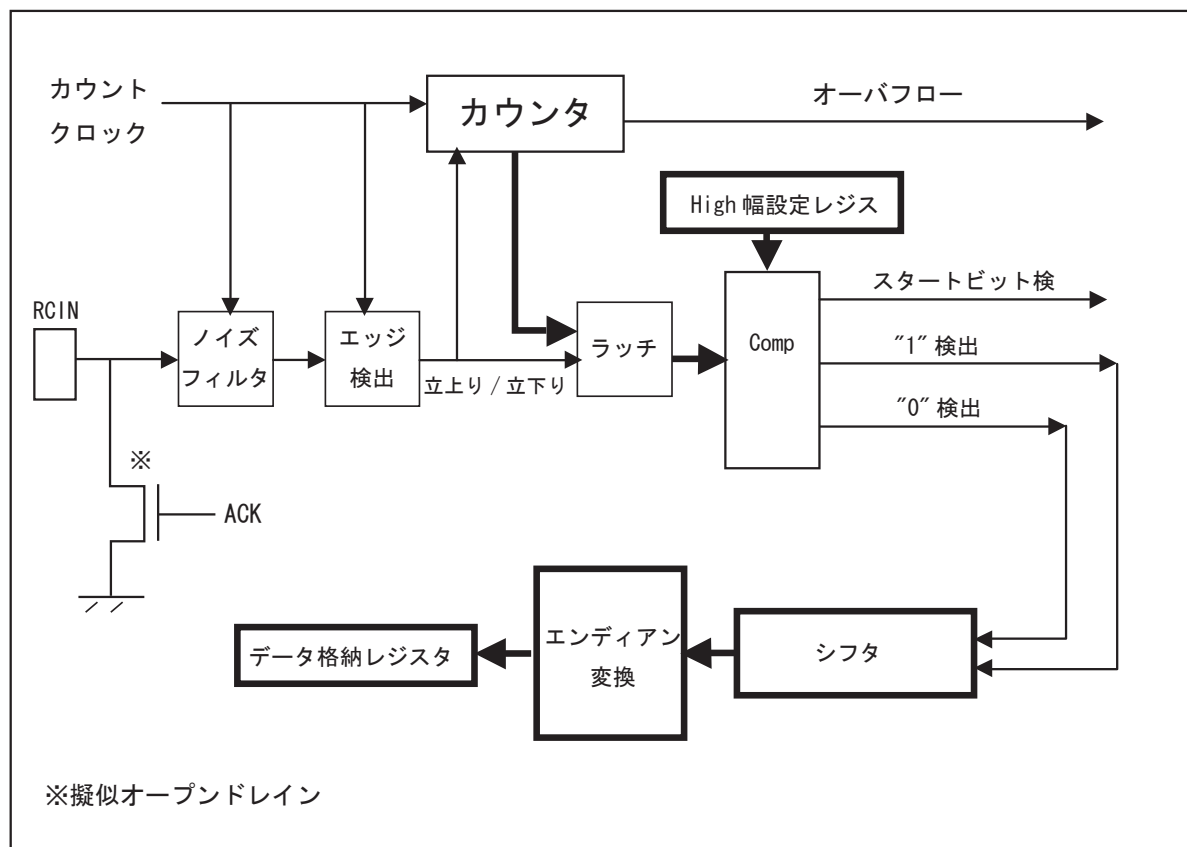
27.3 動作説明と設定手順例

27.1 概要

本製品には、HDMI-CEC 受信・ACK 自動応答、リモコン受信の機能が搭載されています。

■ リモコン受信のブロックダイアグラム

図 27.1-1 リモコン受信のブロックダイアグラム



27.2 レジスタ

リモコン受信で使用するレジスタの構成と機能について説明します。

■ レジスタ一覧

リモコン受信のレジスタ一覧を表 27.2-1 に示します。

表 27.2-1 リモコン受信のレジスタ一覧

レジスタ略称	レジスタ名	参照先
RCCR	リモコン受信制御レジスタ	27.2.1
RCST	リモコン受信割込み制御レジスタ	27.2.2
RCSHW	スタートビット High 幅設定レジスタ	27.2.4
RCDAHW	High 幅設定レジスタ A	27.2.5
RCDBHW	High 幅設定レジスタ B	27.2.6
RCADR1	デバイスアドレス設定レジスタ 1	27.2.3
RCADR2	デバイスアドレス設定レジスタ 2	27.2.3
RCDTHH	データ格納レジスタ HH	27.2.7
RCDTHL	データ格納レジスタ HL	27.2.7
RCDTLH	データ格納レジスタ LH	27.2.7
RCDTLL	データ格納レジスタ LL	27.2.7
RCCKD	クロック分周レジスタ	27.2.8

27.2.1 リモコン受信制御レジスタ (RCCR)

リモコン受信制御レジスタ (RCCR) のビット構成を図 27.2-1 に示します。

図 27.2-1 リモコン受信制御レジスタ (RCCR) のビット構成

bit	7	6	5	4	3	2	1	0
	THSEL	予約	予約	予約	ADRCE	MOD1	MOD0	EN
属性	R/W							
初期値	0	-	-	-	0	0	0	0
R/W : リード / ライト可能								

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

[bit 7] : THSEL

閾値選択ビットです。

初期値は "0" です。

High 幅設定レジスタ A/B によって "0", "1" を判定する基準を設定します。

状態	THSEL	
	0	1
W > 幅 A W < 幅 B	Logic "0"	Logic "1"
W > 幅 A W 幅 B	Logic "1"	Logic "0"

[bit 6 ~ bit 4] : 予約ビット

書込み時	無効です。
読出し時	"0" が読み出されます。

[bit 3] : ADRCE

アドレス比較許可ビットです。

初期値は "0" (比較禁止) で, "1" にすると受信アドレスとデバイスアドレスの比較が許可されます。

比較許可の場合, アドレスが一致したときのみ ACK/OVF 割込みが発生します。

CEC モードの場合, アドレス一致を検出すると ACK 応答を返します。ブロードキャストアドレスの場合は一致とみなしますが, ACK 応答は行いません。

SIRCS モード・HDMI-CEC モード以外のときは "0" に設定してください。

[bit 2, bit 1] : MOD1, MOD0

リモコン受信の動作モードを設定します。

MOD1	MOD0	機能
0	0	SIRCS モード
0	1	設定禁止
1	0	NEC/家電協モード (リピート信号未対応)
1	1	HDMI-CEC モード

SIRCS モード以外 (MOD1=1 のとき) は, 入力信号を内部で反転して処理しています。

High 幅比較は Low 幅に対して適用されます。

[bit 0] : EN

動作許可ビットです。

本ビットを "1" にすると, リモコン受信動作が開始されます。

初期値は "0" (停止) です。

本ビットが "1" のとき (動作中) は, 下記の設定レジスタ・ビットは変更しないでください。

RCCR レジスタの THSEL ビット, ADRCE ビット, MOD ビット

RCST レジスタの OVFSSEL ビット

RCSHW, RCDAHW, RCDBHW, RCADR1, RCADR2, RCCKD レジスタ

27.2.2 リモコン受信割込み制御レジスタ (RCST)

リモコン受信割込み制御レジスタ (RCST) のビット構成を図 27.2-2 に示します。

図 27.2-2 リモコン受信割込み制御レジスタ (RCST) のビット構成

	bit	7	6	5	4	3	2	1	0
		STIE	ACKIE	OVFIE	OVFSEL	ST	ACK	EOM	OVF
属性		R/W							
初期値		0							
R/W : リード / ライト可能									

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

[bit 7] : STIE

スタートビット割込みを許可するビットです。

値	説明
0	割込み禁止
1	割込み許可

[bit 6] : ACKIE

ACK 割込みを許可するビットです。

値	説明
0	割込み禁止
1	割込み許可

CEC モードのみ有効です。

[bit 5] : OVFIE

カウンタオーバーフロー割込みを許可するビットです。

値	説明
0	割込み禁止
1	割込み許可

本割込みは , スタートビットが検出された後にオーバーフローが発生した場合のみ発生します。
スタートビット未検出の状態では割込みは発生しません。

[bit 4] : OVFSEL

オーバーフロー検出の条件を設定するビットです。

値	説明
0	カウンタが 128 クロックカウントするとオーバーフローが発生します。
1	カウンタが 256 クロックカウントするとオーバーフローが発生します。

[bit 3] : ST

スタートビット検出を示すビットです。

値	説明
0	スタートビット未検出
1	スタートビット検出

"0" 書込みでクリアされます。

STIE ビットが "1" のとき、スタートビットを検出すると割込みが発生します。

[bit 2] : ACK

ACK 検出を示すビットです。

値	説明
0	ACK 未検出
1	ACK 検出

"0" 書込みでクリアされます。

ACKIE ビットが "1" のとき、ACK を検出すると割込みが発生します。

アドレス比較許可の場合は、アドレス一致した場合のみ割込みが発生します。

CEC モードのみ有効です。

[bit 1] : EOM

EOM 検出を示すビットです。

値	説明
0	EOM 未検出
1	EOM 検出

"0" 書込みでクリアされます。

CEC モードのみ有効です。

[bit 0] : OVF

カウンタオーバーフローの検出を示すビットです。

値	説明
0	カウンタオーバーフロー未検出
1	カウンタオーバーフロー検出

アドレス比較許可の場合は、アドレス一致した場合のみ割込みが発生します。

"0" 書込みでクリアされます。

SIRCS モード時は、2 バイト目を受信するまでは OVF フラグはセットされません。

27.2.3 デバイスアドレス設定レジスタ 1, 2
(RCADR1, RCADR2)

デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2) のビット構成を図 27.2-3 に示します。

図 27.2-3 デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2) のビット構成

	bit	7	6	5	4	3	2	1	0
		予約			RCADR1, 2				
属性		R/W							
初期値		-	-	-	0	0	0	0	0
R/W : リード / ライト可能									

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

[bit 7 ~ bit 5] : 予約ビット

書込み時	無効です。
読出し時	"0" が読み出されます。

[bit 4 ~ bit 0] : RCADR1, 2

デバイス側 (受信側) のアドレスを設定するレジスタです。
本レジスタに設定したアドレスが , リモコン受信したデバイスアドレスや HDMI-CEC のデスティネーションと比較されます。
HDMI-CEC モード時は , 本レジスタに 0F_H(ブロードキャストアドレス) を設定しないでください。

27.2.4 スタートビット High 幅設定レジスタ (RCSHW)

スタートビット High 幅設定レジスタ (RCSHW) のビット構成を図 27.2-4 に示します。

図 27.2-4 スタートビット High 幅設定レジスタ (RCSHW) のビット構成

bit	7	0
	RCSHW	
属性	R/W	
初期値	0	
R/W : リード / ライト可能		

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

スタートビットの High 期間を設定するレジスタです。

設定値を超える幅の High が受信されると , スタートビットと認識します。

受信した信号の High 幅が設定値未満の場合 , スタートビット未検出となり , 再度スタートビット High の検出待ち状態となります。

OVFSEL=0 のときは RCSHW 127(オーバーフロー検出を超えない値) としてください。

27.2.5 High 幅設定レジスタ A (RCDAHW)

High 幅設定レジスタ A (RCDAHW) のビット構成を図 27.2-5 に示します。

図 27.2-5 High 幅設定レジスタ A (RCDAHW) のビット構成

bit	7	0
	RCDAHW	
属性	R/W	
初期値	0	
R/W : リード / ライト可能		

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

High 期間を設定するレジスタ A です。

本レジスタに設定する値は , $2 \leq \text{RCDAHW} < \text{RCDBHW}$ となるようにしてください。

また , CEC モード時は , $\text{RCDAHW} < 46$ となるようにしてください (ACK 応答パルス幅未満)。

27.2.6 High 幅設定レジスタ B (RCDBHW)

High 幅設定レジスタ B (RCDBHW) のビット構成を図 27.2-6 に示します。

図 27.2-6 High 幅設定レジスタ B (RCDBHW) のビット構成

bit	7	0
	RCDBHW	
属性	R/W	
初期値	0	
R/W : リード / ライト可能		

< 注意事項 >

本レジスタは , 8 ビットアクセスのみ可能です。

High 期間を設定するレジスタ B です。

RCCDAHW より小さい値は設定しないでください。

必ず $RCCDAHW < RCDBHW < RCSHW$ となるように設定してください。

27.2.7 データ格納レジスタ
(RCDTHH, RCDTHL, RCDTLH, RCDTLL)

データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)のビット構成を図 27.2-7 に示します。

図 27.2-7 データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL) のビット構成

	bit 31	24 23	16 15	8 7	0				
	<table><tr><td>RCDTHH</td><td>RCDTHL</td><td>RCDTLH</td><td>RCDTLL</td></tr></table>					RCDTHH	RCDTHL	RCDTLH	RCDTLL
RCDTHH	RCDTHL	RCDTLH	RCDTLL						
属性	R								
初期値	0								
R：リードオンリ									

受信したデータを格納するレジスタです。
CEC モードの場合は RCDTHH に受信データが格納されます。
リモコンモードの場合は、8 ビット受信するごとに RCDTHH から順に格納されます。
カウンタオーバーフロー割込み発生時は、それまで受信されたビットが MSB 詰めで格納されます。
RCCR レジスタの EN ビットが "0" のときは、本レジスタからは不定が読み出されます。
4 バイト分を超える信号が入力された場合、超過分は無視され、レジスタには反映されません。

27.2.8 クロック分周設定レジスタ (RCCKD)

クロック分周設定レジスタ (RCCKD) のビット構成を図 27.2-8 に示します。

図 27.2-8 クロック分周設定レジスタ (RCCKD) のビット構成

	bit 15	13	12	11	0
	予約		CKSEL	CKDIV	
属性	R/W		R/W	R/W	
初期値	-		0	0	
R/W : リード / ライト可能					

< 注意事項 >

本レジスタは , 16 ビットアクセスのみ可能です。

[bit 15 ~ bit 13] : 予約ビット

書込み時	無効です。
読出し時	"0" が読み出されます。

[bit 12] : CKSEL

動作クロックを選択します。

値	説明
0	周辺クロックを分周したクロックが選択されます。
1	原発振クロックを分周したクロックが選択されます。

[bit 11 ~ bit 0] : CKDIV

クロックの分周比を設定します。

分周比は CKDIV + 1 となります。

1 分周 (非分周) ~ 4096 分周まで設定できます。

分周後の周波数が 32.768KHz に近くなるように設定します。

以下に設定例を示します。

動作クロック周波数	CKDIV 設定値	分周後周波数
16MHz(原発振)	487	32.787KHz
32MHz(周辺クロック)	976	32.753KHz
40MHz(周辺クロック)	1220	32.760KHz

27.3 動作説明と設定手順例

リモコン受信の動作について説明します。また、各動作状態を設定するための設定例も示します。

■ 動作フローチャート

図 27.3-1 HDMI-CEC 受信の動作フローチャート

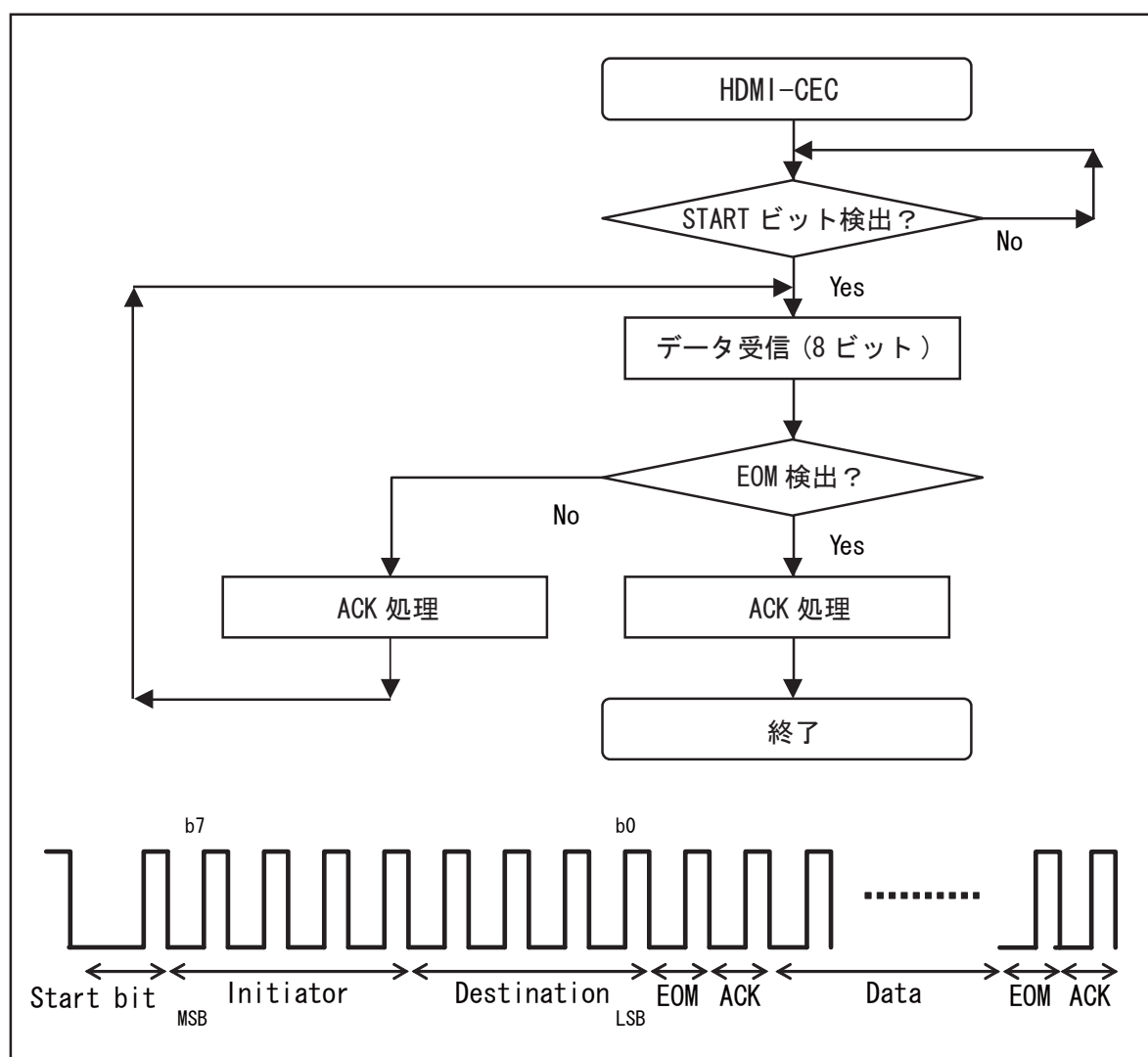
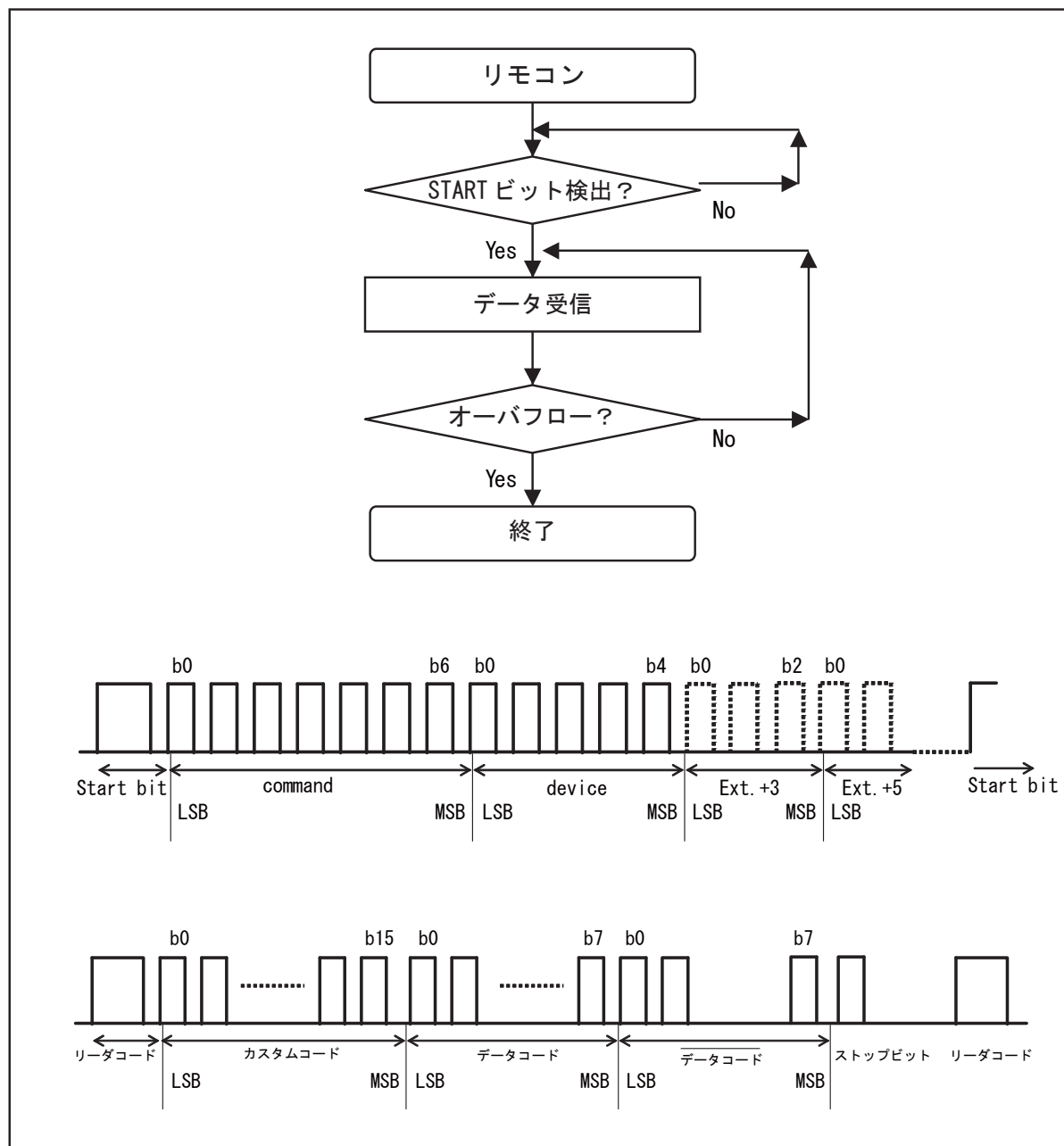


図 27.3-2 リモコン受信の動作フローチャート



■ 設定例

HDMI-CEC 時

レジスタ	設定値	
リモコン受信制御レジスタ	MOD=11, THSEL=1, ADRCE=1	
リモコン受信割込み制御レジスタ	ACKIE=1, OVFSSEL=1, OVFIIE=1	(7.8ms)
スタートビット High 幅設定レジスタ	114	3.5ms
High 幅設定レジスタ A	13	0.4ms
High 幅設定レジスタ B	42	1.3ms

リモコン (SIRCS) 時

レジスタ	設定値	
リモコン受信制御レジスタ	MOD=00, THSEL=0, ADRCE=1	
リモコン受信割込み制御レジスタ	ACKIE=0, OVFSSEL=0, OVFIIE=1	3.9ms
スタートビット High 幅設定レジスタ	76	2.3ms
High 幅設定レジスタ A	17	0.52ms
High 幅設定レジスタ B	37	1.1ms

リモコン (NEC) 時

レジスタ	設定値	
リモコン受信制御レジスタ	MOD=10, THSEL=0	
リモコン受信割込み制御レジスタ	ACKIE=0, OVFSSEL=1, OVFIIE=1	7.8ms
スタートビット High 幅設定レジスタ	144	4.4ms
High 幅設定レジスタ A	15	0.46ms
High 幅設定レジスタ B	52	1.6ms

第 28 章 シリアル書込み 接続例

MB91605A では外部バス接続されたフラッシュメモリのシリアルオンボード書込みをサポートしています。その仕様について解説します。

28.1 使用する端子

28.2 シリアル書込み接続例

28.1 使用する端子

シリアルオンボード書き込みに使用する端子について説明します。

表 28.1-1 シリアルオンボード書き込みに使用する端子

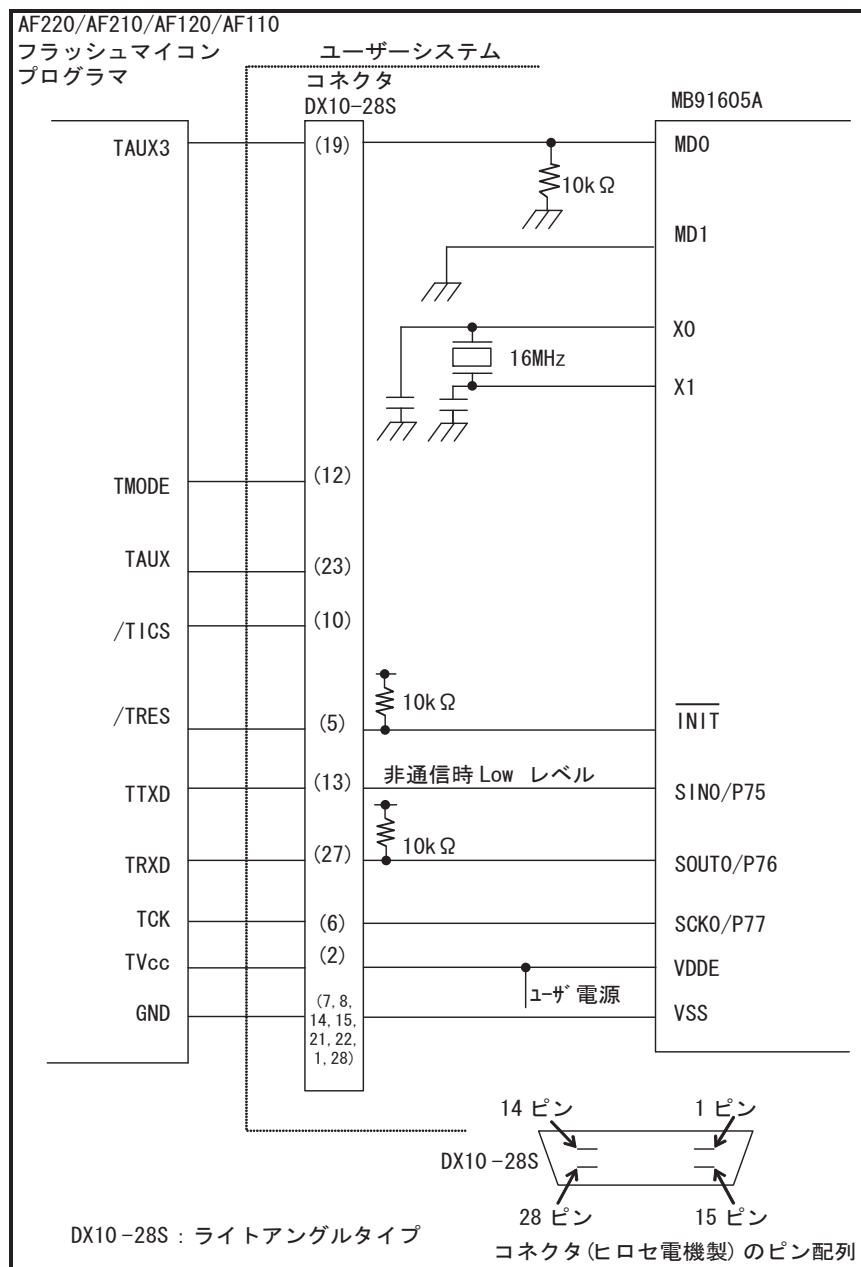
端子	機能	補足説明
MD1, MD0	モード端子	MB91605A は MD1=0, MD0=1 に設定し, SOUT0=1 の状態でリセットを掛けるとシリアル書き込みモードとなります。なお, プルアップ/プルダウン抵抗を付ける場合は, 配線の引き回しをしないように注意願います。
X0, X1	発振用端子	シリアル書き込みモード時に使用可能な原周波数クロックは 16MHz となります。
SOUT0/P76	書き込みプログラム起動 端子 /UART シリアル データ出力端子	外部に Pull Up 抵抗を付加し, リセット時のレベルを "1" にすることでシリアル書き込みプログラム起動端子となります。 通信モードを UART とした場合, プログラムが起動し通信が開始された時点でシリアルデータ出力端子となります。
SIN0/P75	UART 同期・非同期選択 端子 /UART シリアル データ入力端子	通信を開始するまでの本端子の入力レベルを "1" にする事で非同期 UART 通信モードとなり, "0" とすることで同期 UART 通信モードとなります。 プログラムが起動し通信が開始された時点で, UARTシリアルデータ入力端子として使用します。
SCK0/P77	シリアルクロック入力端子	通信モードを UART 同期通信した場合, シリアルクロック入力端子となります。
INIT	リセット端子	
VDDE	電源電圧供給端子	書き込み電圧をユーザシステムから供給してください。接続時にはユーザ側の電源と短絡しないようにしてください。
VSS	GND 端子	フラッシュマイコンプログラムの GND と共通にします。

28.2 シリアル書込み接続例

シリアル書込み接続例を示します。

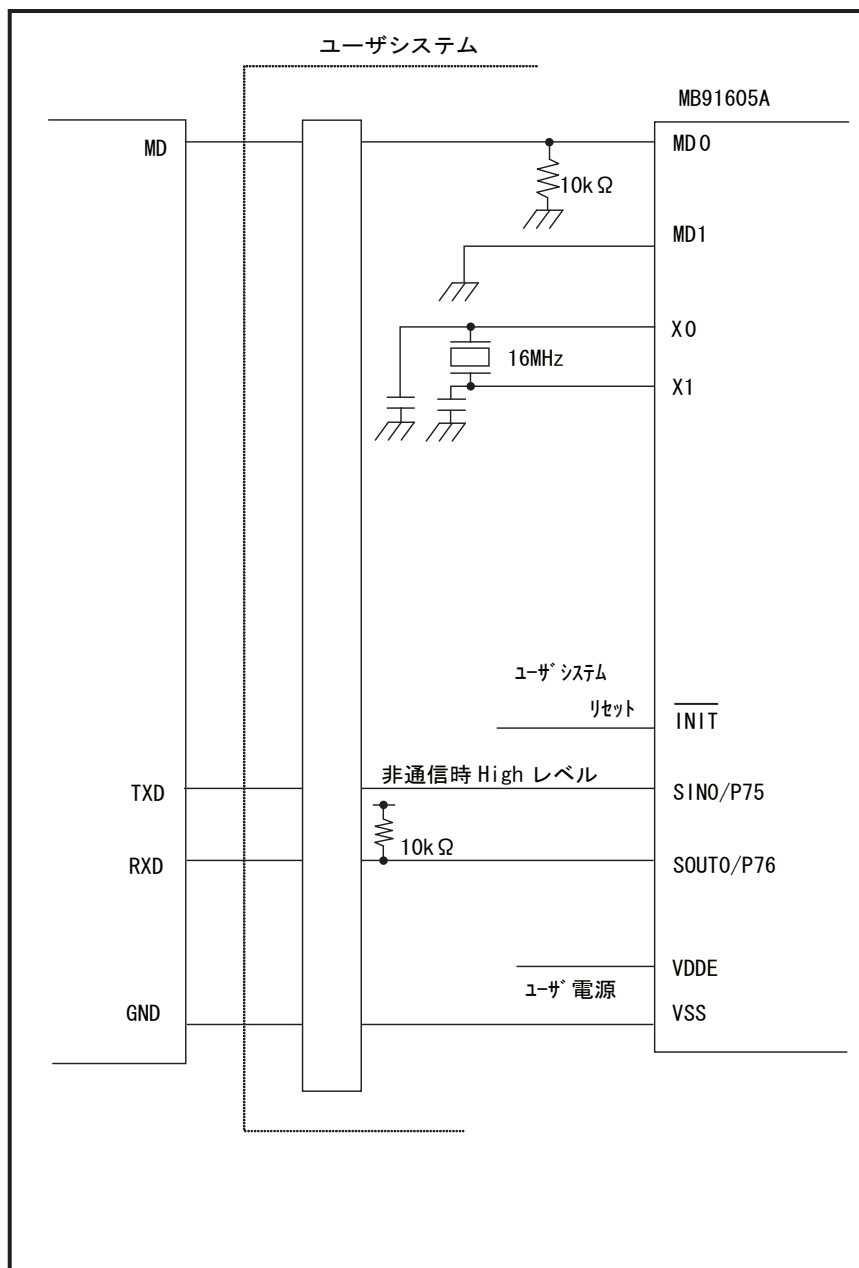
28.2.1 同期シリアル書込み接続例

図 28.2-1 シリアル書込み接続例 (同期通信モード)



28.2.2 非同期シリアル書き込み接続例

図 28.2-2 シリアル書き込み接続例 (非同期通信モード)



第 29 章 デバイスの取扱いについて

本製品の使用上の注意について説明します。

29.1 デバイス取扱い上の注意

29.1 デバイス取扱い上の注意

本製品を使用する際は、次の点に注意してください。

■ デバイス取扱い上の注意

● ラッチアップ防止のために

CMOS IC では入力端子や出力端子に V_{DDE} または V_{DDI} より高い電圧や V_{SS} より低い電圧を印加した場合、または、 $VDDE$ 端子と VSS 端子または $VDDI$ 端子と VSS 端子の間に定格を超える電圧を印加した場合に、ラッチアップ現象を生じることがあります。ラッチアップが生じると電源電流が激増し、素子の熱破壊に至ることがあります。使用に際しては最大定格を超えることのないよう十分に注意してください。

● 未使用端子の処理について

使用していない入力端子を開放のままにした場合、誤動作、およびラッチアップによる永久破壊の原因となることがありますので、 $2\text{ k}\Omega$ 以上の抵抗を介して、プルアップ、またはプルダウンなどの処理をしてください。

また、使用していない入出力端子がある場合は、出力状態に設定して開放するか、入力状態に設定して入力端子と同じ処理をしてください。

● 電源端子について

MB91605A シリーズは、 $VDDE$ 端子または $VDDI$ 端子、 VSS 端子が複数あります。そのため、デバイス設計上ラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してあります。不要輻射の低減・グランドレベルの上昇によるストロブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできるかぎり低インピーダンスで本デバイスの $VDDE$ 端子または $VDDI$ 端子、 VSS 端子に接続するような配慮をお願いします。

さらに、本デバイスの近くで、 $VDDE$ 端子または $VDDI$ 端子、 VSS 端子の間に $0.1\text{ }\mu\text{F}$ 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

● 水晶発振回路について

$X0$, $X1$ 端子の近辺のノイズは本デバイスの誤動作のもととなります。 $X0$ と $X1$ および水晶発振子さらにグランドへのバイパスコンデンサはできるかぎり近くに配置するようにプリント板を設計してください。

また、 $X0$, $X1$ 端子の回りをグランドで囲むようなプリント板アートワークは安定した動作を期待できるので、強くお勧めします。

各量産品において、ご使用される発振子メーカーに発振評価依頼をしてください。

● モード端子 (MD0, MD1) について

これらの端子は、電源端子または GND 端子に直接つないで使用してください。ノイズにより誤ってテストモードに入ってしまうことを防ぐために、プリント板上の各モード端子と電源端子または GND 端子間のパターン長をできる限り短くし、これらを低インピーダンスで接続するようにしてください。

● 電源投入時について

電源投入直後は必ず $\overline{\text{INIT}}$ 端子にて設定初期化リセット (INIT) を行ってください。
また、電源投入直後は、発振回路の発振安定待ち時間を確保するため、 $\overline{\text{INIT}}$ 端子への "L" レベル入力を発振回路の要求する安定待ち時間の間持続してください ($\overline{\text{INIT}}$ 端子による INIT では、発振安定待ち時間の設定は最小値に初期化されています)。

● 電源投入時の原振入力について

電源投入時は、必ず発振安定待ちが解除されるまでクロックを入力し続けてください。

● VDDI 端子 (内部電源 1.8 V 系) と VDDE 端子 (外部端子電源 3.3 V 系) の電源投入 / 切断の順序について

- 電源は、次の順序で投入 / 切断してください。

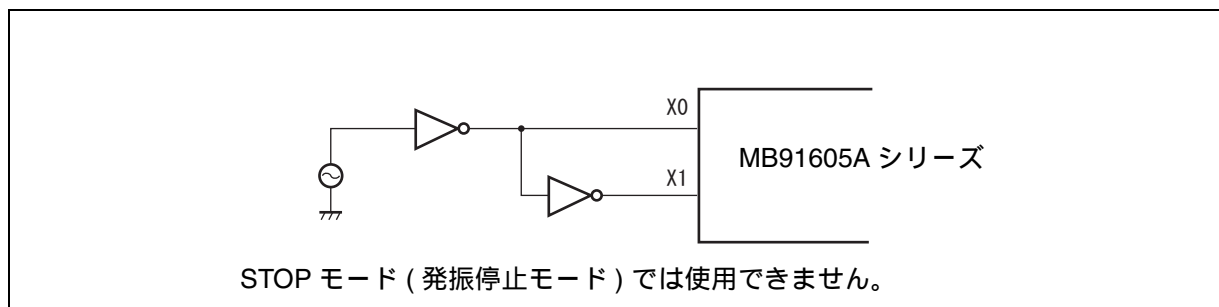
投入時	VDDI 端子 (内部電源)	VDDE 端子 (外部電源)	アナログ信号
切断時	信号	アナログ	VDDE 端子 (外部電源) VDDI 端子 (内部電源)

- VDDI 端子 (内部電源) が切断されている条件で VDDE 端子 (外部電源) のみを継続的 (1 分間を目安) に印加することは、LSI の信頼性上の問題がありますので避けてください。
- VDDE 端子 (外部電源) を OFF 状態から ON 状態に復帰させる際には、電源ノイズなどの影響により、回路の内部状態が保持できない場合があります。
- 電源投入時は内部電源が安定するまでの間、出力端子が不定となる可能性があります。
- 電源 (VDDI/VDDE/ アナログ) を同時に投入 / 切断することは問題ありません。

● 外部クロック使用時の注意について

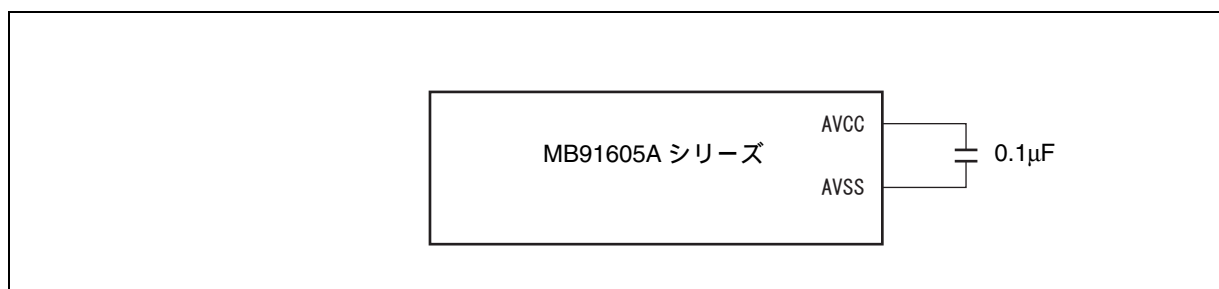
外部クロックを使用する際には、原則として X0 端子と X1 端子へ同時に供給してください。また X1 端子には X0 と逆相のクロックを供給してください。ただし、この場合には STOP モード（発振停止モード）は使用しないでください（STOP 時 X1 端子が "H" 出力で停止するため）。

図 29.1-1 外部クロック使用方法



● AVCC 端子について

MB91605A シリーズは A/D コンバータを内蔵しています。AVCC 端子と AVSS 端子の間に 0.1 μ F 程度のコンデンサを必ず入れてください。



● エミュレータを使用しない場合の注意について

エミュレータを接続しない状態でユーザシステム上の評価 MCU を動作させる場合、ユーザシステム上でエミュレータインタフェースと接続している評価 MCU の各入力端子を以下のように処理してください。

ユーザシステム上に切換え回路などが必要になる場合がありますので設計時にはご注意ください。

表 29.1-1 エミュレータインタフェース端子処理

評価 MCU 端子名	端子処理
$\overline{\text{TRST}}$	ユーザシステム上のリセット出力回路に接続します。
$\overline{\text{INIT}}$	ユーザシステム上のリセット出力回路に接続します。
その他	開放とします。

● PLL クロック選択時の注意について

本マイクロコントローラで PLL クロックを選択しているときに発振子が外れたり、クロック入力が停止した場合には PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。

この動作は保証外となります。

■ 制限事項

1. PS レジスタに関する注意事項

一部の命令で PS レジスタを先行処理しているため、例外動作により、デバッグ使用時に割込み処理ルーチンでブレークしたり、PS レジスタ内のフラグの表示内容が更新されたりする場合があります。いずれの場合も、EIT から復帰後以降に正しく再処理を行うように設計されていますので、EIT 前後の動作は仕様どおりの処理を行います。

DIV0U/DIV0S 命令の直前の命令では、以下の場合に、1 ~ 3 の処理を行うことがあります。

- ユーザ割込み /NMI を受け付けた場合
- ステップ実行を行った場合
- データイベント / エミュレータメニューでブレークした場合

1. D0, D1 フラグが先行して更新されます。
2. EIT 処理ルーチン (ユーザ割込み /NMI またはエミュレータ) を実行します。
3. EIT から復帰後、DIV0U/DIV0S 命令が実行され、D0/D1 フラグが 1 と同じ値に更新されます。

ユーザ割込み /NMI 要因が発生している状態で割込みを許可するために OR CCR, ST ILM, MOV Ri, PS の各命令が実行されると、以下のような動作を行います。

1. PS レジスタが先行して更新されます。
2. EIT 処理ルーチン (ユーザ割込み /NMI, またはエミュレータ) を実行します。
3. EIT から復帰後、上記命令が実行され、PS レジスタが 1 と同じ値に更新されます。

2. ウォッチドッグタイマ機能について

ウォッチドッグタイマは、プログラムが一定時間内にリセット延期動作を行うことを監視し、プログラムの暴走によりリセット延期動作が行われなかったときに、CPU をリセットするための機能です。そのため、いったんウォッチドッグタイマ機能を有効にすると、リセットを掛けるまで動作を続けます。例外として、CPU のプログラム実行が停止する条件では自動的にリセット延期を行います。なお、システムの暴走により上記状態となってしまった場合、ウォッチドッグリセットが発生しない可能性があります。その場合、外部 $\overline{\text{INIT}}$ 端子よりリセット (INIT) をかけてください。

3. デバッグ関連の注意事項

- RETI 命令のステップ実行

ステップ実行する際、割込みが頻繁に発生する環境下では、該当割込み処理ルーチンだけを繰り返して実行されます。その結果、メインルーチンや割込みレベルの低いプログラムが実行されなくなります（例えば、リロードタイマの割込みを許可していた場合、RETI をステップ実行すると、必ずリロードタイマの割込みルーチンの先頭でブレークされます。該当割込み処理ルーチンのデバッグが不要になった段階で、該当割込みを禁止してください。

- ブレーク機能

ハードウェアブレーク（イベントブレーク含む）の対象アドレスを現在のシステムスタックポインタのアドレスや、スタックポインタを含む領域に設定すると、ユーザプログラムに実際のデータアクセス命令がないにもかかわらず、1 命令実行後にブレークされます。

したがって、システムスタックポインタのアドレスを含む領域に対する（ワード）アクセスを、ハードウェアブレーク（イベントブレーク含む）の対象に設定しないでください。

- オペランドブレークについて

DSU のオペランドブレークとして設定している領域にスタックポインタがあると誤動作の原因となります。システムスタックポインタのアドレスを含む領域に対するアクセスを、データイベントブレークの対象にしないでください。

付録

I/O マップ，レジスター一覧，CPU の状態における端子状態および FR80 ファミリ CPU の命令一覧について説明します。

付録 A I/O マップ

付録 B レジスター一覧

付録 C 割込みベクタ

付録 D CPU の状態における端子状態

付録 E 命令一覧

付録 F プログラムローダモード

付録 A I/O マップ

メモリ空間領域と周辺機能の各レジスタの対応を示します。

■ I/O マップの見かた

メモリ空間領域と周辺リソースの各レジスタの対応を示します。

図 A-1 表の見方

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
000000 _H	PDR0 [R/W] XXXXXXXX	PDR1 [R/W] XXXXXXXX	PDR2 [R/W] XXXXXXXX	PDR3 [R/W] XXXXXXXX	T-unit ポートデータ レジスタ

リード/ライト 属性
 リセット後のレジスタ初期値
 レジスタ名 (1 コラムのレジスタが 4n 番地, 2 コラムが 4n + 1 番地・・・)
 最左のレジスタ番地 (ワードでアクセスした際は, 1 コラム目のレジスタがデータの MSB 側となる。)

< 注意事項 >

- レジスタのビット値は, 以下のように初期値を表します。
 - "1": 初期値 "1"
 - "0": 初期値 "0"
 - "X": 初期値 不定
 - "-": その位置に物理的にレジスタがない
 - "*": 初期化されないビット
- リード/ライト属性は, 以下を表します。
 - "R": リードオンリのビットが存在することを示します。
 - "R/W": リード/ライト可能なビットが存在することを示します。
 - "W": ライトオンリのビットが存在することを示します。
- 記述されていないデータアクセス属性によるアクセスは禁止です。

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
000000 _H	予約		PDR2 [R/W] ----XXXX	PDR3 [R/W] XXXXXXXXXX	ポートデータ レジスタ
000004 _H	PDR4 [R/W] --XXXXXX	PDR5 [R/W] XXXXXXXXXX	PDR6 [R/W] XXXXXXXXXX	PDR7[R/W] XXXXXXXXXX	
000008 _H	PDR8 [R/W] --XXXXXX	PDR9 [R/W] --XXXXXX	PDRA [R/W] --XXXXXX	PDRB[R/W] XXXXXXXXXX	
00000C _H	PDRC [R/W] XXXXXXXXXX	PDRD [R/W] XXXXXXXXXX	PDRE [R/W] XXXXXXXXXX	予約	
000010 _H ~ 00001C _H	予約				
000020 _H	ADCTH [R/W] 00000000	ADCTL [R/W] 00000000	ADCH [R/W] 00000000 00000000		10 ビット A/D コンバータ
000024 _H	ADAT0 [R] 00000000 00000000		ADAT1 [R] 00000000 00000000		
000028 _H	ADAT2 [R] 00000000 00000000		ADAT3 [R] 00000000 00000000		
00002C _H	ADAT4 [R] 00000000 00000000		ADAT5 [R] 00000000 00000000		
000030 _H	ADAT6 [R] 00000000 00000000		ADAT7 [R] 00000000 00000000		
000034 _H	ADAT8 [R] 00000000 00000000		ADAT9 [R] 00000000 00000000		
000038 _H	ADAT10 [R] 00000000 00000000		ADAT11 [R] 00000000 00000000		
00003C _H	WDTCR0 [R/W] 00000000	WDTCPR0 [R/W] 00000000	予約		ウォッチ ドッグタイマ
000040 _H	EIRR0 [R/W] 00000000	ENIR0 [R/W] 00000000	ELVR0 [R/W] 00000000 00000000		外部割込み 0 ~ 7
000044 _H	DICR [R/W] 11111110	予約		遅延割込み	
000048 _H	TMRLRA0 [R/W] XXXXXXXXXX XXXXXXXXXX		TMR0 [R] XXXXXXXXXX XXXXXXXXXX		16 ビット リロード タイマ ch. 0
00004C _H	予約		TMCSR0 [R/W] 00000000 XX000000		
000050 _H	TMRLRA1 [R/W] XXXXXXXXXX XXXXXXXXXX		TMR1 [R] XXXXXXXXXX XXXXXXXXXX		16 ビット リロード タイマ ch. 1
000054 _H	予約		TMCSR1 [R/W] 00000000 XX000000		
000058 _H	TMRLRA2 [R/W] XXXXXXXXXX XXXXXXXXXX		TMR2 [R] XXXXXXXXXX XXXXXXXXXX		16 ビット リロード タイマ ch. 2
00005C _H	予約		TMCSR2 [R/W] 00000000 XX000000		

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
000060 _H	SCR0/IBCR0 [R, R/W] 0--00000	SMR0 [R/W] 00000000	SSR0 [R, R/W] 0-000011	ESCR0 [R/W], IBSR0 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO あり) ch.0
000064 _H	RDR0[R]/TDR0[W] -----0 00000000		BGR10 [R/W] 00000000	BGR00 [R/W] 00000000	
000068 _H	ISMK0 [R/W] 01111111	ISBA0 [R/W] 00000000	予約		
00006C _H	FCR10 [R/W] 00-00100	FCR00 [R, R/W] 00000000	FBYTE20 [R/W] 00000000	FBYTE10 [R/W] 00000000	
000070 _H	SCR1/IBCR1 [R, R/W] 0--00000	SMR1 [R/W] 00000000	SSR1 [R, R/W] 0-000011	ESCR1 [R/W], IBSR1 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO あり) ch.1
000074 _H	RDR1[R]/TDR1[W] -----0 00000000		BGR11 [R/W] 00000000	BGR01 [R/W] 00000000	
000078 _H	ISMK1 [R/W] 01111111	ISBA1 [R/W] 00000000	予約		
00007C _H	FCR11 [R/W] 00-00100	FCR01 [R, R/W] 00000000	FBYTE21 [R/W] 00000000	FBYTE11 [R/W] 00000000	
000080 _H	SCR2/IBCR2 [R, R/W] 0--00000	SMR2 [R/W] 00000000	SSR2 [R, R/W] 0-000011	ESCR2 [R/W], IBSR2 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO あり) ch.2
000084 _H	RDR2[R]/TDR2[W] -----0 00000000		BGR12 [R/W] 00000000	BGR02 [R/W] 00000000	
000088 _H	ISMK2 [R/W] 01111111	ISBA2 [R/W] 00000000	予約		
00008C _H	FCR12 [R/W] 00-00100	FCR02 [R, R/W] 00000000	FBYTE22 [R/W] 00000000	FBYTE12 [R/W] 00000000	
000090 _H	SCR3/IBCR3 [R, R/W] 0--00000	SMR3 [R/W] 00000000	SSR3 [R, R/W] 0-000011	ESCR3 [R/W], IBSR3 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO あり) ch.3
000094 _H	RDR3[R]/TDR3[W] -----0 00000000		BGR13 [R/W] 00000000	BGR03 [R/W] 00000000	
000098 _H	ISMK3 [R/W] 01111111	ISBA3 [R/W] 00000000	予約		
00009C _H	FCR13 [R/W] 00-00100	FCR03 [R, R/W] 00000000	FBYTE23 [R/W] 00000000	FBYTE13 [R/W] 00000000	
0000A0 _H	SCR4/IBCR4 [R, R/W] 0--00000	SMR4 [R/W] 00000000	SSR4 [R, R/W] 0-000011	ESCR4 [R/W], IBSR4 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO あり) ch.4
0000A4 _H	RDR4[R]/TDR4[W] -----0 00000000		BGR14 [R/W] 00000000	BGR04 [R/W] 00000000	
0000A8 _H	ISMK4 [R/W] 01111111	ISBA4 [R/W] 00000000	予約		
0000AC _H	FCR14 [R/W] 00-00100	FCR04 [R, R/W] 00000000	FBYTE24 [R/W] 00000000	FBYTE14 [R/W] 00000000	

MB91605A シリーズ

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0000B0 _H	SCR5/IBCR5 [R, R/W] 0--00000	SMR5 [R/W] 00000000	SSR5 [R, R/W] 0-000011	ESCR5 [R/W], IBSR5 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO あり) ch.5
0000B4 _H	RDR5[R]/TDR5[W] -----0 00000000		BGR15 [R/W] 00000000	BGR05 [R/W] 00000000	
0000B8 _H	ISMK5 [R/W] 01111111	ISBA5 [R/W] 00000000	予約		
0000BC _H	FCR15 [R/W] 00-00100	FCR05 [R, R/W] 00000000	FBYTE25 [R/W] 00000000	FBYTE15 [R/W] 00000000	
0000C0 _H	SCR6/IBCR6 [R, R/W] 0--00000	SMR6 [R/W] 00000000	SSR6 [R, R/W] 0-000011	ESCR6 [R/W], IBSR6 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO あり) ch.6
0000C4 _H	RDR6[R]/TDR6[W] -----0 00000000		BGR16 [R/W] 00000000	BGR06 [R/W] 00000000	
0000C8 _H	ISMK6 [R/W] 01111111	ISBA6 [R/W] 00000000	予約		
0000CC _H	FCR16 [R/W] 00-00100	FCR06 [R, R/W] 00000000	FBYTE26 [R/W] 00000000	FBYTE16 [R/W] 00000000	
0000D0 _H	SCR7/IBCR7 [R, R/W] 0--00000	SMR7 [R/W] 00000000	SSR7 [R, R/W] 0-000011	ESCR7 [R/W], IBSR7 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO あり) ch.7
0000D4 _H	RDR7[R]/TDR7[W] -----0 00000000		BGR17 [R/W] 00000000	BGR07 [R/W] 00000000	
0000D8 _H	ISMK7 [R/W] 01111111	ISBA7 [R/W] 00000000	予約		
0000DC _H	FCR17 [R/W] 00-00100	FCR07 [R, R/W] 00000000	FBYTE27 [R/W] 00000000	FBYTE17 [R/W] 00000000	
0000E0 _H	EIRR1 [R/W] 00000000	ENIR1 [R/W] 00000000	ELVR1 [R/W] 00000000 00000000		外部割込み 8 ~ 15
0000E4 _H	EIRR2 [R/W] 00000000	ENIR2 [R/W] 00000000	ELVR2 [R/W] 00000000 00000000		外部割込み 16 ~ 23
0000E8 _H	IRPR0H [R] 00000000	予約			割込み要求 一括読出し機 能
0000EC _H	予約				
0000F0 _H	RCCR [R/W] 0---0000	RCST [R/W] 00000000	RCSHW [R/W] 00000000	RCDAHW [R/W] 00000000	リモコン
0000F4 _H	RCDBHW [R/W] 00000000	予約	RCADR1 [R/W] ---00000	RCADR2 [R/W] ---00000	
0000F8 _H	RCDTHH [R] 00000000	RCDTHL [R] 00000000	RCDTLH [R] 00000000	RCDTLL[R] 00000000	
0000FC _H	RCCKD [R/W] ---00000 00000000		予約		
000100 _H ~ 0001FC _H	予約				予約

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
000200 _H	SCR8/IBCR8 [R, R/W] 0--00000	SMR8 [R/W] 00000000	SSR8 [R, R/W] 0-000011	ESCR8 [R/W], IBSR8 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO なし) ch.8
000204 _H	RDR8[R]/TDR8[W] -----0 00000000		BGR18 [R/W] 00000000	BGR08 [R/W] 00000000	
000208 _H	ISMK8 [R/W] 01111111	ISBA8 [R/W] 00000000	予約		
00020C _H	予約				
000210 _H	SCR9/IBCR9 [R, R/W] 0--00000	SMR9 [R/W] 00000000	SSR9 [R, R/W] 0-000011	ESCR9 [R/W], IBSR9 [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO なし) ch.9
000214 _H	RDR9[R]/TDR9[W] -----0 00000000		BGR19 [R/W] 00000000	BGR09 [R/W] 00000000	
000218 _H	ISMK9 [R/W] 01111111	ISBA9 [R/W] 00000000	予約		
00021C _H	予約				
000220 _H	SCRA/IBCRA [R, R/W] 0--00000	SMRA [R/W] 00000000	SSRA [R, R/W] 0-000011	ESCRA [R/W], IBSRA [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO なし) ch.10
000224 _H	RDRA[R]/TDRA[W] -----0 00000000		BGR1A [R/W] 00000000	BGR0A [R/W] 00000000	
000228 _H	ISMKA [R/W] 01111111	ISBAA [R/W] 00000000	予約		
00022C _H	予約				
000230 _H	SCRB/IBCRB [R, R/W] 0--00000	SMRB [R/W] 00000000	SSRB [R, R/W] 0-000011	ESCRB [R/W], IBSRB [R, R/W] -0000000	マルチ ファンク ション シリアル インタ フェース (FIFO なし) ch.11
000234 _H	RDRB[R]/TDRB[W] -----0 00000000		BGR1B [R/W] 00000000	BGR0B [R/W] 00000000	
000238 _H	ISMKB [R/W] 01111111	ISBAB [R/W] 00000000	予約		
00023C _H	予約				
000240 _H	RDRM8/TDRM8 [R/W] 00000000	RDRM9/TDRM9 [R/W] 00000000	RDRMA/TDRMA [R/W] 00000000	RDRMB/TDRMB [R/W] 00000000	マルチ ファンク ション シリアル インタ フェース データ レジスタ (ミラー)
000244 _H	SSEL89AB [R/W] -----00	予約			
000248 _H ~ 00027C _H	予約				予約

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
000280 _H	BT0TMR [R] 00000000 00000000		BT0TMCR [R/W] 00000000 00000000		ベースタイマ ch.0
000284 _H	予約	BT0STC [R/W] 00000000	予約		
000288 _H	BT0PCSR/BT0PRLL [R/W] XXXXXXXXXX XXXXXXXXXX		BT0PDUT/BT0PRLH [R/W], BT0DTBF [R] XXXXXXXXXX XXXXXXXXXX		
00028C _H	予約				
000290 _H	BT1TMR [R] 00000000 00000000		BT1TMCR [R/W] 00000000 00000000		ベースタイマ ch.1
000294 _H	予約	BT1STC [R/W] 00000000	予約		
000298 _H	BT1PCSR/BT1PRLL [R/W] XXXXXXXXXX XXXXXXXXXX		BT1PDUT/BT1PRLH [R/W], BT1DTBF [R] XXXXXXXXXX XXXXXXXXXX		
00029C _H	予約				
0002A0 _H	BT2TMR [R] 00000000 00000000		BT2TMCR [R/W] 00000000 00000000		ベースタイマ ch.2
0002A4 _H	予約	BT2STC [R/W] 00000000	予約		
0002A8 _H	BT2PCSR/BT2PRLL [R/W] XXXXXXXXXX XXXXXXXXXX		BT2PDUT/BT2PRLH [R/W], BT2DTBF [R] XXXXXXXXXX XXXXXXXXXX		
0002AC _H	予約				
0002B0 _H	BT3TMR [R] 00000000 00000000		BT3TMCR [R/W] 00000000 00000000		ベースタイマ ch.3
0002B4 _H	予約	BT3STC [R/W] 00000000	予約		
0002B8 _H	BT3PCSR/BT3PRLL [R/W] XXXXXXXXXX XXXXXXXXXX		BT3PDUT/BT3PRLH [R/W], BT3DTBF [R] XXXXXXXXXX XXXXXXXXXX		
0002BC _H	BTSEL0123 [R/W] 00000000	予約			
0002C0 _H	BT4TMR [R] 00000000 00000000		BT4TMCR [R/W] 00000000 00000000		ベースタイマ ch.4
0002C4 _H	予約	BT4STC [R/W] 00000000	予約		
0002C8 _H	BT4PCSR/BT4PRLL [R/W] XXXXXXXXXX XXXXXXXXXX		BT4PDUT/BT4PRLH [R/W], BT4DTBF [R] XXXXXXXXXX XXXXXXXXXX		
0002CC _H	予約				
0002D0 _H	BT5TMR [R] 00000000 00000000		BT5TMCR [R/W] 00000000 00000000		ベースタイマ ch.5
0002D4 _H	予約	BT5STC [R/W] 00000000	予約		
0002D8 _H	BT5PCSR/BT5PRLL [R/W] XXXXXXXXXX XXXXXXXXXX		BT5PDUT/BT5PRLH [R/W], BT5DTBF [R] XXXXXXXXXX XXXXXXXXXX		
0002DC _H	予約				
0002E0 _H	BT6TMR [R] 00000000 00000000		BT6TMCR [R/W] 00000000 00000000		ベースタイマ ch.6
0002E4 _H	予約	BT6STC [R/W] 00000000	予約		
0002E8 _H	BT6PCSR/BT6PRLL [R/W] XXXXXXXXXX XXXXXXXXXX		BT6PDUT/BT6PRLH [R/W], BT6DTBF [R] XXXXXXXXXX XXXXXXXXXX		
0002EC _H	予約				

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0002F0 _H	BT7TMR [R] 00000000 00000000		BT7TMCR [R/W] 00000000 00000000		ペースタイマ ch.7
0002F4 _H	予約	BT7STC [R/W] 00000000	予約		
0002F8 _H	BT7PCSR/BT7PRLL [R/W] XXXXXXXX XXXXXXXX		BT7PDUT/BT7PRLH [R/W], BT7DTBF [R] XXXXXXXX XXXXXXXX		
0002FC _H	BTSEL4567 [R/W] 00000000	予約			
000300 _H ~ 0003CC _H	予約				予約
0003D0 _H ~ 0003DC _H	予約				命令 / データ キャッシュ
0003E0 _H	CARR [R/W] 00000000	予約		DCHCR [R/W] XXXXXX00	
0003E4 _H	予約			ICHCR [R/W] XXXX0000	
0003E8 _H	DSIZE [R] 00100000 00000000		DFUNC [R] 00000001 01010010		
0003EC _H	ISIZE [R] 00100000 00000000		IFUNC [R] 00000000 00010110		
0003F0 _H ~ 0003FC _H	予約				予約
000400 _H	予約		DDR2 [R/W] ----0000	DDR3 [R/W] 00000000	データ方向 レジスタ
000404 _H	DDR4 [R/W] --000000	DDR5 [R/W] 00000000	DDR6 [R/W] 00000000	DDR7[R/W] 00000000	
000408 _H	DDR8 [R/W] --000000	DDR9 [R/W] --000000	DDRA [R/W] --000000	DDRB[R/W] 00000000	
00040C _H	DDRC [R/W] 00000000	DDRD [R/W] 00000000	DDRE [R/W] 00000000	予約	
000410 _H ~ 00041C _H	予約				
000420 _H , 000424 _H	予約				ポート プルアップ 制御レジスタ
000428 _H	予約			PCRB [R/W] 00000000	
00042C _H	PCRC [R/W] 00000000	予約	PCRE [R/W] 00000000	予約	
000430 _H ~ 00043C _H	予約				

MB91605A シリーズ

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
000440 _H	ICR00 [R/W] 11111111	ICR01 [R/W] 11111111	ICR02 [R/W] 11111111	ICR03 [R/W] 11111111	割込み コントローラ
000444 _H	ICR04 [R/W] 11111111	ICR05 [R/W] 11111111	ICR06 [R/W] 11111111	ICR07 [R/W] 11111111	
000448 _H	ICR08 [R/W] 11111111	ICR09 [R/W] 11111111	ICR10 [R/W] 11111111	ICR11 [R/W] 11111111	
00044C _H	ICR12 [R/W] 11111111	ICR13 [R/W] 11111111	ICR14 [R/W] 11111111	ICR15 [R/W] 11111111	
000450 _H	ICR16 [R/W] 11111111	ICR17 [R/W] 11111111	ICR18 [R/W] 11111111	ICR19 [R/W] 11111111	
000454 _H	ICR20 [R/W] 11111111	ICR21 [R/W] 11111111	ICR22 [R/W] 11111111	ICR23 [R/W] 11111111	
000458 _H	ICR24 [R/W] 11111111	ICR25 [R/W] 11111111	ICR26 [R/W] 11111111	ICR27 [R/W] 11111111	
00045C _H	ICR28 [R/W] 11111111	ICR29 [R/W] 11111111	ICR30 [R/W] 11111111	ICR31 [R/W] 11111111	
000460 _H	ICR32 [R/W] 11111111	ICR33 [R/W] 11111111	ICR34 [R/W] 11111111	ICR35 [R/W] 11111111	
000464 _H	ICR36 [R/W] 11111111	ICR37 [R/W] 11111111	ICR38 [R/W] 11111111	ICR39 [R/W] 11111111	
000468 _H	ICR40 [R/W] 11111111	ICR41 [R/W] 11111111	ICR42 [R/W] 11111111	ICR43 [R/W] 11111111	
00046C _H	ICR44 [R/W] 11111111	ICR45 [R/W] 11111111	ICR46 [R/W] 11111111	ICR47 [R/W] 11111111	
000470 _H ~ 00047C _H	予約				
000480 _H	RSTRR [R] XXXXXXXXXX	RSTCR [R/W] 00000000	STBCR [R/W] 00000011	SLPRR [R/W] 00000000	
000484 _H	予約				
000488 _H	DIVR0 [R/W] 00000000	DIVR1 [R/W] 00010000	DIVR2 [R/W] 00110000	予約	
00048C _H	予約				
000490 _H	IORR0 [R/W] 00000000	IORR1 [R/W] 00000000	IORR2 [R/W] 00000000	IORR3 [R/W] 00000000	周辺機能 DMA 転送 要求
000494 _H ~ 00049C _H	予約				予約
0004A0 _H	予約		PFR2 [R/W] ----1110	PFR3 [R/W] 10001111	ポート ファンク ション レジスタ
0004A4 _H	PFR4 [R/W] --110000	PFR5 [R/W] 11111111	PFR6 [R/W] 00000000	PFR7 [R/W] 00000000	
0004A8 _H	PFR8 [R/W] --000000	PFR9 [R/W] --000000	PFRA [R/W] --000000	PFRB [R/W] 00000000	
0004AC _H	PFRC [R/W] 00000000	PFRD [R/W] 00000000	PFRE [R/W] 00000000	予約	
0004B0 _H ~ 0004DC _H	予約				

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
0004E0 _H	ADER [R/W] 00001111 11111111		予約		A/D 入力許可
0004E4 _H ~ 0004EC _H	予約				予約
0004F0 _H	ICSEL0[R/W] 00000000	ICSEL1[R/W] 00000000	ICSEL2[R/W] 00000000	ICSEL3[R/W] 00000000	DMA 起動 要求クリア 選択機能
0004F4 _H ~ 00050C _H	予約				予約
000510 _H	CSELR [R/W] -01---00 (INIT 時) -**-*** (RST 時)	CMONR [R] -01---00 (INIT 時) -**-*** (RST 時)	MTMCR [R/W] 00001111	予約	クロック生成
000514 _H	PLLCR [R/W] --000000 11110000 (INIT 時) --***** (RST 時)		CSTBR [R/W] ---- 0000 ($\overline{\text{INIT}}$ 端子 =L 時) ---- ****(INIT 時) 0*** ****(RST 時)	予約	
000518 _H ~ 0007DC _H	予約				予約
0007E0 _H ~ 0007E8 _H	予約				DMAC
0007EC _H	予約		DNMIR [R/W] 00000000	DILVR [R/W] 00011111	
0007F0 _H ~ 0007F8 _H	予約				予約
0007FC _H	BMODR [R] XXXXXXXX (動作モードによっ て異なる。)	MODR [R] 000XXXXX (動作モードによっ て異なる。)	予約		動作モード 制御
000800 _H ~ 000BFC _H	予約				予約
000C00 _H	GCFR [R/W] 00000000 00000000 00000000 00000000				DMAC
000C04 _H ~ 000CFC _H	予約				予約
000D00 _H	CCFR0 [R/W] 00000000 00000000		CSTR0 [R/W] 00000000 00000000		DMAC
000D04 _H	CCTR0 [R/W] 00000000 00000000		予約		
000D08 _H	SBA0 [R/W] 00000000 00000000 00000000 00000000				
000D0C _H	DBA0 [R/W] 00000000 00000000 00000000 00000000				

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
000D10 _H	PIX0 [R/W] 00000000 00000000 00000000 00000000				DMAC
000D14 _H	SIX0 [R/W] 00000000 00000000 00000000 00000000				
000D18 _H	BCL0 [R/W] 00000000 00000000 00000000 00000000				
000D1C _H	APR0 [R/W] 00000000 00000000 00000000 00000000				
000D20 _H	CCFR1 [R/W] 00000000 00000000		CSTR1 [R/W] 00000000 00000000		
000D24 _H	CCTR1 [R/W] 00000000 00000000		予約		
000D28 _H	SBA1 [R/W] 00000000 00000000 00000000 00000000				
000D2C _H	DBA1 [R/W] 00000000 00000000 00000000 00000000				
000D30 _H	PIX1 [R/W] 00000000 00000000 00000000 00000000				
000D34 _H	SIX1 [R/W] 00000000 00000000 00000000 00000000				
000D38 _H	BCL1 [R/W] 00000000 00000000 00000000 00000000				
000D3C _H	APR1 [R/W] 00000000 00000000 00000000 00000000				
000D40 _H	CCFR2 [R/W] 00000000 00000000		CSTR2 [R/W] 00000000 00000000		
000D44 _H	CCTR2 [R/W] 00000000 00000000		予約		
000D48 _H	SBA2 [R/W] 00000000 00000000 00000000 00000000				
000D4C _H	DBA2 [R/W] 00000000 00000000 00000000 00000000				
000D50 _H	PIX2 [R/W] 00000000 00000000 00000000 00000000				
000D54 _H	SIX2 [R/W] 00000000 00000000 00000000 00000000				
000D58 _H	BCL2 [R/W] 00000000 00000000 00000000 00000000				
000D5C _H	APR2 [R/W] 00000000 00000000 00000000 00000000				
000D60 _H	CCFR3 [R/W] 00000000 00000000		CSTR3 [R/W] 00000000 00000000		
000D64 _H	CCTR3 [R/W] 00000000 00000000		予約		
000D68 _H	SBA3 [R/W] 00000000 00000000 00000000 00000000				
000D6C _H	DBA3 [R/W] 00000000 00000000 00000000 00000000				
000D70 _H	PIX3 [R/W] 00000000 00000000 00000000 00000000				

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
000D74 _H	SIX3 [R/W] 00000000 00000000 00000000 00000000				DMAC
000D78 _H	BCL3 [R/W] 00000000 00000000 00000000 00000000				
000D7C _H	APR3 [R/W] 00000000 00000000 00000000 00000000				
000D80 _H ~ 000EFC _H	予約				予約
000F00 _H	BT8TMR [R] 00000000 00000000		BT8TMCR [R/W] 00000000 00000000		ベースタイマ ch.8
000F04 _H	予約	BT8STC [R/W] 00000000	予約		
000F08 _H	BT8PCSR/BT8PRLL [R/W] XXXXXXXX XXXXXXXX		BT8PDUT/BT8PRLH [R/W], BT8DTBF [R] XXXXXXXX XXXXXXXX		
000F0C _H	予約				
000F10 _H	BT9TMR [R] 00000000 00000000		BT9TMCR [R/W] 00000000 00000000		ベースタイマ ch.9
000F14 _H	予約	BT9STC [R/W] 00000000	予約		
000F18 _H	BT9PCSR/BT9PRLL [R/W] XXXXXXXX XXXXXXXX		BT9PDUT/BT9PRLH [R/W], BT9DTBF [R] XXXXXXXX XXXXXXXX		
000F1C _H	予約				
000F20 _H	BTATMR [R] 00000000 00000000		BTATMCR [R/W] 00000000 00000000		ベースタイマ ch.10
000F24 _H	予約	BTASTC [R/W] 00000000	予約		
000F28 _H	BTAPCSR/BTAPRLL [R/W] XXXXXXXX XXXXXXXX		BTAPDUT/BTAPRLH [R/W], BTADTBF [R] XXXXXXXX XXXXXXXX		
000F2C _H	予約				
000F30 _H	BTBTMR [R] 00000000 00000000		BTBTMCR [R/W] 00000000 00000000		ベースタイマ ch.11
000F34 _H	予約	BTBSTC [R/W] 00000000	予約		
000F38 _H	BTBPCSR/BTBPRLL [R/W] XXXXXXXX XXXXXXXX		BTBPDUT/BTBPRLH [R/W], BTBDTBF [R] XXXXXXXX XXXXXXXX		
000F3C _H	BTSEL89AB [R/W] 00000000	予約	BTSSSR [W] -----		
000F40 _H ~ 001FFC _H	予約				予約

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
002000 _H	MCMR0 [R/W] ----- -0000000				外部バス インタ フェース
002004 _H	MCMR1 [R/W] ----- -0000000				
002008 _H	MCMR2 [R/W] ----- -0000000				
00200C _H	MCMR3 [R/W] ----- -0000000				
002010 _H	MCMR4 [R/W] ----- -0000001				
002014 _H	MCMR5 [R/W] ----- -0000000				
002018 _H	MCMR6 [R/W] ----- -0000000				
00201C _H	MCMR7 [R/W] ----- -0000000				
002020 _H	MCTR0 [R/W] 00000101 01011111 11110000 00001111				
002024 _H	MCTR1 [R/W] 00000101 01011111 11110000 00001111				
002028 _H	MCTR2 [R/W] 00000101 01011111 11110000 00001111				
00202C _H	MCTR3 [R/W] 00000101 01011111 11110000 00001111				
002030 _H	MCTR4 [R/W] 00000101 01011111 11110000 00001111				
002034 _H	MCTR5 [R/W] 00000101 01011111 11110000 00001111				
002038 _H	MCTR6 [R/W] 00000101 01011111 11110000 00001111				
00203C _H	MCTR7 [R/W] 00000101 01011111 11110000 00001111				
002040 _H	MCAR0 [R/W] ----- -0001111 ----- 01000000				
002044 _H	MCAR1 [R/W] ----- -0001111 ----- 00010000				
002048 _H	MCAR2 [R/W] ----- -0001111 ----- 00100000				
00204C _H	MCAR3 [R/W] ----- -0001111 ----- 00110000				
002050 _H	MCAR4 [R/W] ----- -0001111 ----- 00000000				
002054 _H	MCAR5 [R/W] ----- -0001111 ----- 01010000				
002058 _H	MCAR6 [R/W] ----- -0001111 ----- 01100000				
00205C _H	MCAR7 [R/W] ----- -0001111 ----- 01110000				
002000 _H ~ 0020FC _H	予約				予約

表 A-1 I/O マップ

アドレス	レジスタ				ブロック
	+ 0	+ 1	+ 2	+ 3	
002100 _H	SDMR [R/W] ----- 00010011 --00-000				SDRAM インタ フェース
002104 _H	SDRTR [R/W] -----0 00000000 00000000 00101000				
002108 _H	SDPDR [R/W] ----- 00000000 00000000				
00210C _H	SDTR [R/W] -----00 01000010 00010001 0100--01				
002110 _H	SDCMR [R/W] 0----- ---00000 00000000 00000000				
002114 _H ~ 0022FC _H	予約				予約
002300 _H	CLKCTL [R/W] -----00	予約			外部バス インタ フェース
002304 _H ~ 007FFC _H	予約			予約	

MB91605A シリーズ

付録 B レジスタ一覧

本製品で利用できるレジスタを示します。

本製品のレジスタをレジスタ略称順に示します。

略称	レジスタ名	アドレス	参照先
A			
ADAT0	A/D 変換結果レジスタ ch.0	000024 _H	23.4.3
ADAT1	A/D 変換結果レジスタ ch.1	000026 _H	23.4.3
ADAT2	A/D 変換結果レジスタ ch.2	000028 _H	23.4.3
ADAT3	A/D 変換結果レジスタ ch.3	00002A _H	23.4.3
ADAT4	A/D 変換結果レジスタ ch.4	00002C _H	23.4.3
ADAT5	A/D 変換結果レジスタ ch.5	00002E _H	23.4.3
ADAT6	A/D 変換結果レジスタ ch.6	000030 _H	23.4.3
ADAT7	A/D 変換結果レジスタ ch.7	000032 _H	23.4.3
ADAT8	A/D 変換結果レジスタ ch.8	000034 _H	23.4.3
ADAT9	A/D 変換結果レジスタ ch.9	000036 _H	23.4.3
ADAT10	A/D 変換結果レジスタ ch.10	000038 _H	23.4.3
ADAT11	A/D 変換結果レジスタ ch.11	00003A _H	23.4.3
ADCH	ソフト変換アナログ入力選択レジスタ	000022 _H	23.4.2
ADCTH	A/D 制御レジスタ	000020 _H	23.4.1
ADCTL	A/D 制御レジスタ	000021 _H	23.4.1
ADER	ADER 制御レジスタ	0004E0 _H	17.4.5
APR0	オルタネートポイントレジスタ 0	000D1C _H	25.3.10
APR1	オルタネートポイントレジスタ 1	000D3C _H	25.3.10
APR2	オルタネートポイントレジスタ 2	000D5C _H	25.3.10
APR3	オルタネートポイントレジスタ 3	000D7C _H	25.3.10
B			
BCL0	バイトカウントリミットレジスタ 0	000D18 _H	25.3.9
BCL1	バイトカウントリミットレジスタ 1	000D38 _H	25.3.9
BCL2	バイトカウントリミットレジスタ 2	000D58 _H	25.3.9
BCL3	バイトカウントリミットレジスタ 3	000D78 _H	25.3.9
BGR00	ボーレートジェネレータレジスタ 00	000067 _H	24.4.6 ,24.13.6 ,24.21.8
BGR01	ボーレートジェネレータレジスタ 01	000077 _H	24.4.6 ,24.13.6 ,24.21.8
BGR02	ボーレートジェネレータレジスタ 02	000087 _H	24.4.6 ,24.13.6 ,24.21.8
BGR03	ボーレートジェネレータレジスタ 03	000097 _H	24.4.6 ,24.13.6 ,24.21.8
BGR04	ボーレートジェネレータレジスタ 04	0000A7 _H	24.4.6 ,24.13.6 ,24.21.8
BGR05	ボーレートジェネレータレジスタ 05	0000B7 _H	24.4.6 ,24.13.6 ,24.21.8

BGR06	ポーレートジェネレータレジスタ 06	0000C7 _H	24.4.6 ,24.13.6 ,24.21.8
BGR07	ポーレートジェネレータレジスタ 07	0000D7 _H	24.4.6 ,24.13.6 ,24.21.8
BGR08	ポーレートジェネレータレジスタ 08	000207 _H	24.4.6 ,24.13.6 ,24.21.8
BGR09	ポーレートジェネレータレジスタ 09	000217 _H	24.4.6 ,24.13.6 ,24.21.8
BGR0A	ポーレートジェネレータレジスタ 0A	000227 _H	24.4.6 ,24.13.6 ,24.21.8
BGR0B	ポーレートジェネレータレジスタ 0B	000237 _H	24.4.6 ,24.13.6 ,24.21.8
BGR10	ポーレートジェネレータレジスタ 10	000066 _H	24.4.6 ,24.13.6 ,24.21.8
BGR11	ポーレートジェネレータレジスタ 11	000076 _H	24.4.6 ,24.13.6 ,24.21.8
BGR12	ポーレートジェネレータレジスタ 12	000086 _H	24.4.6 ,24.13.6 ,24.21.8
BGR13	ポーレートジェネレータレジスタ 13	000096 _H	24.4.6 ,24.13.6 ,24.21.8
BGR14	ポーレートジェネレータレジスタ 14	0000A6 _H	24.4.6 ,24.13.6 ,24.21.8
BGR15	ポーレートジェネレータレジスタ 15	0000B6 _H	24.4.6 ,24.13.6 ,24.21.8
BGR16	ポーレートジェネレータレジスタ 16	0000C6 _H	24.4.6 ,24.13.6 ,24.21.8
BGR17	ポーレートジェネレータレジスタ 17	0000D6 _H	24.4.6 ,24.13.6 ,24.21.8
BGR18	ポーレートジェネレータレジスタ 18	000206 _H	24.4.6 ,24.13.6 ,24.21.8
BGR19	ポーレートジェネレータレジスタ 19	000216 _H	24.4.6 ,24.13.6 ,24.21.8
BGR1A	ポーレートジェネレータレジスタ 1A	000226 _H	24.4.6 ,24.13.6 ,24.21.8
BGR1B	ポーレートジェネレータレジスタ 1B	000236 _H	24.4.6 ,24.13.6 ,24.21.8
BMODR	バスモードデータレジスタ	0007FC _H	6.3.1
BT0PCSR	ベースタイム 0 周期設定レジスタ	000288 _H	22.8.1.2 ,22.8.3.2
BT0PDUT	ベースタイム 0 デューティ設定レジスタ	00028A _H	22.8.1.3
BT0PRLH	ベースタイム 0 H 幅設定リロードレジスタ	00028A _H	22.8.2.3
BT0DTBF	ベースタイム 0 データバッファレジスタ	00028A _H	22.8.4.2
BT0PRL	ベースタイム 0 L 幅設定リロードレジスタ	000288 _H	22.8.2.2
BT0STC	ベースタイム 0 ステータス制御レジスタ	000285 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT0TMCR	ベースタイム 0 タイマ制御レジスタ	000282 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT0TMR	ベースタイム 0 タイマレジスタ	000280 _H	22.8.1.4 ,22.8.2.4 ,22.8.3.3
BT1PCSR	ベースタイム 1 周期設定レジスタ	000298 _H	22.8.1.2 ,22.8.3.2
BT1PDUT	ベースタイム 1 デューティ設定レジスタ	00029A _H	22.8.1.3
BT1PRLH	ベースタイム 1 H 幅設定リロードレジスタ	00029A _H	22.8.2.3
BT1DTBF	ベースタイム 1 データバッファレジスタ	00029A _H	22.8.4.2
BT1PRL	ベースタイム 1 L 幅設定リロードレジスタ	000298 _H	22.8.2.2
BT1STC	ベースタイム 1 ステータス制御レジスタ	000295 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT1TMCR	ベースタイム 1 タイマ制御レジスタ	000292 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT1TMR	ベースタイム 1 タイマレジスタ	000290 _H	22.8.1.4 ,22.8.2.4 ,22.8.3.3
BT2PCSR	ベースタイム 2 周期設定レジスタ	0002A8 _H	22.8.1.2 ,22.8.3.2
BT2PDUT	ベースタイム 2 デューティ設定レジスタ	0002AA _H	22.8.1.3
BT2PRLH	ベースタイム 2 H 幅設定リロードレジスタ	0002AA _H	22.8.2.3
BT2DTBF	ベースタイム 2 データバッファレジスタ	0002AA _H	22.8.4.2
BT2PRL	ベースタイム 2 L 幅設定リロードレジスタ	0002A8 _H	22.8.2.2
BT2STC	ベースタイム 2 ステータス制御レジスタ	0002A5 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1

MB91605A シリーズ

付録 B レジスタ一覧

BT2TMCR	ベースタイマ 2 タイマ制御レジスタ	0002A2 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT2TMR	ベースタイマ 2 タイマレジスタ	0002A0 _H	22.8.1.4 ,22.8.2.4 ,22.8.3.3
BT3PCSR	ベースタイマ 3 周期設定レジスタ	0002B8 _H	22.8.1.2 ,22.8.3.2
BT3PDUT	ベースタイマ 3 デューティ設定レジスタ	0002BA _H	22.8.1.3
BT3PRLH	ベースタイマ 3 H 幅設定リロードレジスタ	0002BA _H	22.8.2.3
BT3DTBF	ベースタイマ 3 データバッファレジスタ	0002BA _H	22.8.4.2
BT3PRLL	ベースタイマ 3 L 幅設定リロードレジスタ	0002B8 _H	22.8.2.2
BT3STC	ベースタイマ 3 ステータス制御レジスタ	0002B5 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT3TMCR	ベースタイマ 3 タイマ制御レジスタ	0002B2 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT3TMR	ベースタイマ 3 タイマレジスタ	0002B0 _H	22.8.1.4 ,22.8.2.4 ,22.8.3.3
BT4PCSR	ベースタイマ 4 周期設定レジスタ	0002C8 _H	22.8.1.2 ,22.8.3.2
BT4PDUT	ベースタイマ 4 デューティ設定レジスタ	0002CA _H	22.8.1.3
BT4PRLH	ベースタイマ 4 H 幅設定リロードレジスタ	0002CA _H	22.8.2.3
BT4DTBF	ベースタイマ 4 データバッファレジスタ	0002CA _H	22.8.4.2
BT4PRLL	ベースタイマ 4 L 幅設定リロードレジスタ	0002C8 _H	22.8.2.2
BT4STC	ベースタイマ 4 ステータス制御レジスタ	0002C5 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT4TMCR	ベースタイマ 4 タイマ制御レジスタ	0002C2 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT4TMR	ベースタイマ 4 タイマレジスタ	0002C0 _H	22.8.1.4 ,22.8.2.4 ,22.8.3.3
BT5PCSR	ベースタイマ 5 周期設定レジスタ	0002D8 _H	22.8.1.2 ,22.8.3.2
BT5PDUT	ベースタイマ 5 デューティ設定レジスタ	0002DA _H	22.8.1.3
BT5PRLH	ベースタイマ 5 H 幅設定リロードレジスタ	0002DA _H	22.8.2.3
BT5DTBF	ベースタイマ 5 データバッファレジスタ	0002DA _H	22.8.4.2
BT5PRLL	ベースタイマ 5 L 幅設定リロードレジスタ	0002D8 _H	22.8.2.2
BT5STC	ベースタイマ 5 ステータス制御レジスタ	0002D5 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT5TMCR	ベースタイマ 5 タイマ制御レジスタ	0002D2 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT5TMR	ベースタイマ 5 タイマレジスタ	0002D0 _H	22.8.1.4 ,22.8.2.4 ,22.8.3.3
BT6PCSR	ベースタイマ 6 周期設定レジスタ	0002E8 _H	22.8.1.2 ,22.8.3.2
BT6PDUT	ベースタイマ 6 デューティ設定レジスタ	0002EA _H	22.8.1.3
BT6PRLH	ベースタイマ 6 H 幅設定リロードレジスタ	0002EA _H	22.8.2.3
BT6DTBF	ベースタイマ 6 データバッファレジスタ	0002EA _H	22.8.4.2
BT6PRLL	ベースタイマ 6 L 幅設定リロードレジスタ	0002E8 _H	22.8.2.2
BT6STC	ベースタイマ 6 ステータス制御レジスタ	0002E5 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT6TMCR	ベースタイマ 6 タイマ制御レジスタ	0002E2 _H	22.8.1.1 ,22.8.2.1 ,22.8.3.1 , 22.8.4.1
BT6TMR	ベースタイマ 6 タイマレジスタ	0002E0 _H	22.8.1.4 ,22.8.2.4 ,22.8.3.3
BT7PCSR	ベースタイマ 7 周期設定レジスタ	0002F8 _H	22.8.1.2 ,22.8.3.2
BT7PDUT	ベースタイマ 7 デューティ設定レジスタ	0002FA _H	22.8.1.3
BT7PRLH	ベースタイマ 7 H 幅設定リロードレジスタ	0002FA _H	22.8.2.3
BT7DTBF	ベースタイマ 7 データバッファレジスタ	0002FA _H	22.8.4.2

BT7PRL	ベースタイマ 7 L 幅設定リロードレジスタ	0002F8 _H	22.8.2.2
BT7STC	ベースタイマ 7 ステータス制御レジスタ	0002F5 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT7TMCR	ベースタイマ 7 タイマ制御レジスタ	0002F2 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT7TMR	ベースタイマ 7 タイマレジスタ	0002F0 _H	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BT8PCSR	ベースタイマ 8 周期設定レジスタ	000F08 _H	22.8.1.2 , 22.8.3.2
BT8PDUT	ベースタイマ 8 デューティ設定レジスタ	000F0A _H	22.8.1.3
BT8PRLH	ベースタイマ 8 H 幅設定リロードレジスタ	000F0A _H	22.8.2.3
BT8DTBF	ベースタイマ 8 データバッファレジスタ	000F0A _H	22.8.4.2
BT8PRL	ベースタイマ 8 L 幅設定リロードレジスタ	000F08 _H	22.8.2.2
BT8STC	ベースタイマ 8 ステータス制御レジスタ	000F05 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT8TMCR	ベースタイマ 8 タイマ制御レジスタ	000F02 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT8TMR	ベースタイマ 8 タイマレジスタ	000F00 _H	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BT9PCSR	ベースタイマ 9 周期設定レジスタ	000F18 _H	22.8.1.2 , 22.8.3.2
BT9PDUT	ベースタイマ 9 デューティ設定レジスタ	000F1A _H	22.8.1.3
BT9PRLH	ベースタイマ 9 H 幅設定リロードレジスタ	000F1A _H	22.8.2.3
BT9DTBF	ベースタイマ 9 データバッファレジスタ	000F1A _H	22.8.4.2
BT9PRL	ベースタイマ 9 L 幅設定リロードレジスタ	000F18 _H	22.8.2.2
BT9STC	ベースタイマ 9 ステータス制御レジスタ	000F15 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT9TMCR	ベースタイマ 9 タイマ制御レジスタ	000F12 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BT9TMR	ベースタイマ 9 タイマレジスタ	000F10 _H	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BTAPCSR	ベースタイマ 10 周期設定レジスタ	000F28 _H	22.8.1.2 , 22.8.3.2
BTAPDUT	ベースタイマ 10 デューティ設定レジスタ	000F2A _H	22.8.1.3
BTAPRLH	ベースタイマ 10 H 幅設定リロードレジスタ	000F2A _H	22.8.2.3
BTADTBF	ベースタイマ 10 データバッファレジスタ	000F2A _H	22.8.4.2
BTAPRL	ベースタイマ 10 L 幅設定リロードレジスタ	000F28 _H	22.8.2.2
BTASTC	ベースタイマ 10 ステータス制御レジスタ	000F25 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BTATMCR	ベースタイマ 10 タイマ制御レジスタ	000F22 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BTATMR	ベースタイマ 10 タイマレジスタ	000F20 _H	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BTBPCSR	ベースタイマ 11 周期設定レジスタ	000F38 _H	22.8.1.2 , 22.8.3.2
BTBPDUT	ベースタイマ 11 デューティ設定レジスタ	000F3A _H	22.8.1.3
BTBPRLH	ベースタイマ 11 H 幅設定リロードレジスタ	000F3A _H	22.8.2.3
BTBDTBF	ベースタイマ 11 データバッファレジスタ	000F3A _H	22.8.4.2
BTBPRL	ベースタイマ 11 L 幅設定リロードレジスタ	000F38 _H	22.8.2.2
BTBSTC	ベースタイマ 11 ステータス制御レジスタ	000F35 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BTBTMCR	ベースタイマ 11 タイマ制御レジスタ	000F32 _H	22.8.1.1 , 22.8.2.1 , 22.8.3.1 , 22.8.4.1
BTBTMR	ベースタイマ 11 タイマレジスタ	000F30 _H	22.8.1.4 , 22.8.2.4 , 22.8.3.3
BTSEL0123	入出力選択レジスタ 0123	0002BC _H	21.4.1
BTSEL4567	入出力選択レジスタ 4567	0002FC _H	21.4.2

MB91605A シリーズ

付録 B レジスター一覧

BTSEL89A	入出力選択レジスタ 89AB	000F3C _H	21.4.3
BTSSSR	同時ソフト起動レジスタ	000F3E _H	21.4.4

C

CARR	命令 / データキャッシュ領域設定レジスタ	0003E0 _H	4.3.1
CCFR0	チャンネルコンフィギュレーションレジスタ 0	000D00 _H	25.3.2
CCFR1	チャンネルコンフィギュレーションレジスタ 1	000D20 _H	25.3.2
CCFR2	チャンネルコンフィギュレーションレジスタ 2	000D40 _H	25.3.2
CCFR3	チャンネルコンフィギュレーションレジスタ 3	000D60 _H	25.3.2
CCTR0	チャンネルコントロールレジスタ 0	000D04 _H	25.3.4
CCTR1	チャンネルコントロールレジスタ 1	000D24 _H	25.3.4
CCTR2	チャンネルコントロールレジスタ 2	000D44 _H	25.3.4
CCTR3	チャンネルコントロールレジスタ 3	000D64 _H	25.3.4
CLKCTL	クロックコントロールレジスタ	002300 _H	16.3.9
CMONR	クロックソース監視レジスタ	000511 _H	7.4.2
CSELR	クロックソース設定レジスタ	000510 _H	7.4.1
CSTBR	発振安定待ち設定レジスタ	000516 _H	7.4.3
CSTR0	チャンネルステータスレジスタ 0	000D02 _H	25.3.3
CSTR1	チャンネルステータスレジスタ 1	000D22 _H	25.3.3
CSTR2	チャンネルステータスレジスタ 2	000D42 _H	25.3.3
CSTR3	チャンネルステータスレジスタ 3	000D62 _H	25.3.3

D

DBA0	デスティネーションベースアドレスレジスタ 0	000D0C _H	25.3.6
DBA1	デスティネーションベースアドレスレジスタ 1	000D2C _H	25.3.6
DBA2	デスティネーションベースアドレスレジスタ 2	000D4C _H	25.3.6
DBA3	デスティネーションベースアドレスレジスタ 3	000D6C _H	25.3.6
DCHCR	データキャッシュ制御レジスタ	0003E3 _H	5.3.1
DDR2	データ方向レジスタ 2	000402 _H	17.4.2
DDR3	データ方向レジスタ 3	000403 _H	17.4.2
DDR4	データ方向レジスタ 4	000404 _H	17.4.2
DDR5	データ方向レジスタ 5	000405 _H	17.4.2
DDR6	データ方向レジスタ 6	000406 _H	17.4.2
DDR7	データ方向レジスタ 7	000407 _H	17.4.2
DDR8	データ方向レジスタ 8	000408 _H	17.4.2
DDR9	データ方向レジスタ 9	000409 _H	17.4.2
DDRA	データ方向レジスタ A	00040A _H	17.4.2
DDRB	データ方向レジスタ B	00040B _H	17.4.2
DDRC	データ方向レジスタ C	00040C _H	17.4.2
DDRD	データ方向レジスタ D	00040D _H	17.4.2
DDRE	データ方向レジスタ E	00040E _H	17.4.2
DFUNC	データキャッシュ機能レジスタ	0003EA _H	5.3.3
DICR	遅延割込み制御レジスタ	000044 _H	15.3.1

DILVR	DMA 転送抑止割込みレベルレジスタ	0007EF _H	25.3.12
DIVR0	分周設定レジスタ 0	000488 _H	8.4.1
DIVR1	分周設定レジスタ 1	000489 _H	8.4.2
DIVR2	分周設定レジスタ 2	00048A _H	8.4.3
DNMIR	DMA 転送抑止 NMI フラグレジスタ	0007EE _H	25.3.11
DSIZE	データキャッシュサイズレジスタ	0003E8 _H	5.3.2

E

EIRR0	外部割込み要因レジスタ 0	000040 _H	18.4.2
EIRR1	外部割込み要因レジスタ 1	0000E0 _H	18.4.2
EIRR2	外部割込み要因レジスタ 2	0000E4 _H	18.4.2
ELVR0	外部割込み要求レベル設定レジスタ 0	000042 _H	18.4.1
ELVR1	外部割込み要求レベル設定レジスタ 1	0000E2 _H	18.4.1
ELVR2	外部割込み要求レベル設定レジスタ 2	0000E6 _H	18.4.1
ENIR0	割込み許可レジスタ 0	000041 _H	18.4.3
ENIR1	割込み許可レジスタ 1	0000E1 _H	18.4.3
ENIR2	割込み許可レジスタ 2	0000E5 _H	18.4.3
ESCR0	拡張通信制御レジスタ 0	000063 _H	24.4.4 ,24.13.4
ESCR1	拡張通信制御レジスタ 1	000073 _H	24.4.4 ,24.13.4
ESCR2	拡張通信制御レジスタ 2	000083 _H	24.4.4 ,24.13.4
ESCR3	拡張通信制御レジスタ 3	000093 _H	24.4.4 ,24.13.4
ESCR4	拡張通信制御レジスタ 4	0000A3 _H	24.4.4 ,24.13.4
ESCR5	拡張通信制御レジスタ 5	0000B3 _H	24.4.4 ,24.13.4
ESCR6	拡張通信制御レジスタ 6	0000C3 _H	24.4.4 ,24.13.4
ESCR7	拡張通信制御レジスタ 7	0000D3 _H	24.4.4 ,24.13.4
ESCR8	拡張通信制御レジスタ 8	000203 _H	24.4.4 ,24.13.4
ESCR9	拡張通信制御レジスタ 9	000213 _H	24.4.4 ,24.13.4
ESCR A	拡張通信制御レジスタ A	000223 _H	24.4.4 ,24.13.4
ESCR B	拡張通信制御レジスタ B	000233 _H	24.4.4 ,24.13.4

F

FBYTE10	FIFO1 バイトレジスタ 0	00006F _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE11	FIFO1 バイトレジスタ 1	00007F _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE12	FIFO1 バイトレジスタ 2	00008F _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE13	FIFO1 バイトレジスタ 3	00009F _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE14	FIFO1 バイトレジスタ 4	0000AF _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE15	FIFO1 バイトレジスタ 5	0000BF _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE16	FIFO1 バイトレジスタ 6	0000CF _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE17	FIFO1 バイトレジスタ 7	0000DF _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE20	FIFO2 バイトレジスタ 0	00006E _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE21	FIFO2 バイトレジスタ 1	00007E _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE22	FIFO2 バイトレジスタ 2	00008E _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE23	FIFO2 バイトレジスタ 3	00009E _H	24.4.9 ,24.13.9 ,24.21.11

MB91605A シリーズ

付録 B レジスタ一覧

FBYTE24	FIFO2 バイトレジスタ 4	0000AE _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE25	FIFO2 バイトレジスタ 5	0000BE _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE26	FIFO2 バイトレジスタ 6	0000CE _H	24.4.9 ,24.13.9 ,24.21.11
FBYTE27	FIFO2 バイトレジスタ 7	0000DE _H	24.4.9 ,24.13.9 ,24.21.11
FCR00	FIFO 制御レジスタ 00	00006D _H	24.4.8 ,24.13.8 ,24.21.10
FCR01	FIFO 制御レジスタ 01	00007D _H	24.4.8 ,24.13.8 ,24.21.10
FCR02	FIFO 制御レジスタ 02	00008D _H	24.4.8 ,24.13.8 ,24.21.10
FCR03	FIFO 制御レジスタ 03	00009D _H	24.4.8 ,24.13.8 ,24.21.10
FCR04	FIFO 制御レジスタ 04	0000AD _H	24.4.8 ,24.13.8 ,24.21.10
FCR05	FIFO 制御レジスタ 05	0000BD _H	24.4.8 ,24.13.8 ,24.21.10
FCR06	FIFO 制御レジスタ 06	0000CD _H	24.4.8 ,24.13.8 ,24.21.10
FCR07	FIFO 制御レジスタ 07	0000DD _H	24.4.8 ,24.13.8 ,24.21.10
FCR10	FIFO 制御レジスタ 10	00006C _H	24.4.7 ,24.13.7 ,24.21.9
FCR11	FIFO 制御レジスタ 11	00007C _H	24.4.7 ,24.13.7 ,24.21.9
FCR12	FIFO 制御レジスタ 12	00008C _H	24.4.7 ,24.13.7 ,24.21.9
FCR13	FIFO 制御レジスタ 13	00009C _H	24.4.7 ,24.13.7 ,24.21.9
FCR14	FIFO 制御レジスタ 14	0000AC _H	24.4.7 ,24.13.7 ,24.21.9
FCR15	FIFO 制御レジスタ 15	0000BC _H	24.4.7 ,24.13.7 ,24.21.9
FCR16	FIFO 制御レジスタ 16	0000CC _H	24.4.7 ,24.13.7 ,24.21.9
FCR17	FIFO 制御レジスタ 17	0000DC _H	24.4.7 ,24.13.7 ,24.21.9

G

GCFR	グローバルコンフィギュレーションレジスタ	000C00 _H	25.3.1
------	----------------------	---------------------	--------

I

IBCR0	I ² C バス制御レジスタ 0	000060 _H	24.21.1
IBCR1	I ² C バス制御レジスタ 1	000070 _H	24.21.1
IBCR2	I ² C バス制御レジスタ 2	000080 _H	24.21.1
IBCR3	I ² C バス制御レジスタ 3	000090 _H	24.21.1
IBCR4	I ² C バス制御レジスタ 4	0000A0 _H	24.21.1
IBCR5	I ² C バス制御レジスタ 5	0000B0 _H	24.21.1
IBCR6	I ² C バス制御レジスタ 6	0000C0 _H	24.21.1
IBCR7	I ² C バス制御レジスタ 7	0000D0 _H	24.21.1
IBCR8	I ² C バス制御レジスタ 8	000200 _H	24.21.1
IBCR9	I ² C バス制御レジスタ 9	000210 _H	24.21.1
IBCR A	I ² C バス制御レジスタ A	000220 _H	24.21.1
IBCR B	I ² C バス制御レジスタ B	000230 _H	24.21.1
IBSR0	I ² C バスステータスレジスタ 0	000063 _H	24.21.3
IBSR1	I ² C バスステータスレジスタ 1	000073 _H	24.21.3
IBSR2	I ² C バスステータスレジスタ 2	000083 _H	24.21.3
IBSR3	I ² C バスステータスレジスタ 3	000093 _H	24.21.3
IBSR4	I ² C バスステータスレジスタ 4	0000A3 _H	24.21.3

IBSR5	I ² C バスステータスレジスタ 5	0000B _H	24.21.3
IBSR6	I ² C バスステータスレジスタ 6	0000C _H	24.21.3
IBSR7	I ² C バスステータスレジスタ 7	0000D _H	24.21.3
IBSR8	I ² C バスステータスレジスタ 8	00020 _H	24.21.3
IBSR9	I ² C バスステータスレジスタ 9	00021 _H	24.21.3
IBSRA	I ² C バスステータスレジスタ A	00022 _H	24.21.3
IBSRB	I ² C バスステータスレジスタ B	00023 _H	24.21.3
ICHCR	命令キャッシュ制御レジスタ	0003E _H	4.3.2
ICR00	割込みコントロールレジスタ 00	00044 _H	12.3.1
ICR01	割込みコントロールレジスタ 01	00044 _H	12.3.1
ICR02	割込みコントロールレジスタ 02	00044 _H	12.3.1
ICR03	割込みコントロールレジスタ 03	00044 _H	12.3.1
ICR04	割込みコントロールレジスタ 04	00044 _H	12.3.1
ICR05	割込みコントロールレジスタ 05	00044 _H	12.3.1
ICR06	割込みコントロールレジスタ 06	00044 _H	12.3.1
ICR07	割込みコントロールレジスタ 07	00044 _H	12.3.1
ICR08	割込みコントロールレジスタ 08	00044 _H	12.3.1
ICR09	割込みコントロールレジスタ 09	00044 _H	12.3.1
ICR10	割込みコントロールレジスタ 10	00044 _H	12.3.1
ICR11	割込みコントロールレジスタ 11	00044 _H	12.3.1
ICR12	割込みコントロールレジスタ 12	00044 _H	12.3.1
ICR13	割込みコントロールレジスタ 13	00044 _H	12.3.1
ICR14	割込みコントロールレジスタ 14	00044 _H	12.3.1
ICR15	割込みコントロールレジスタ 15	00044 _H	12.3.1
ICR16	割込みコントロールレジスタ 16	00045 _H	12.3.1
ICR17	割込みコントロールレジスタ 17	00045 _H	12.3.1
ICR18	割込みコントロールレジスタ 18	00045 _H	12.3.1
ICR19	割込みコントロールレジスタ 19	00045 _H	12.3.1
ICR20	割込みコントロールレジスタ 20	00045 _H	12.3.1
ICR21	割込みコントロールレジスタ 21	00045 _H	12.3.1
ICR22	割込みコントロールレジスタ 22	00045 _H	12.3.1
ICR23	割込みコントロールレジスタ 23	00045 _H	12.3.1
ICR24	割込みコントロールレジスタ 24	00045 _H	12.3.1
ICR25	割込みコントロールレジスタ 25	00045 _H	12.3.1
ICR26	割込みコントロールレジスタ 26	00045 _H	12.3.1
ICR27	割込みコントロールレジスタ 27	00045 _H	12.3.1
ICR28	割込みコントロールレジスタ 28	00045 _H	12.3.1
ICR29	割込みコントロールレジスタ 29	00045 _H	12.3.1
ICR30	割込みコントロールレジスタ 30	00045 _H	12.3.1
ICR31	割込みコントロールレジスタ 31	00045 _H	12.3.1
ICR32	割込みコントロールレジスタ 32	00046 _H	12.3.1
ICR33	割込みコントロールレジスタ 33	00046 _H	12.3.1
ICR34	割込みコントロールレジスタ 34	00046 _H	12.3.1
ICR35	割込みコントロールレジスタ 35	00046 _H	12.3.1

ICR36	割込みコントロールレジスタ 36	000464 _H	12.3.1
ICR37	割込みコントロールレジスタ 37	000465 _H	12.3.1
ICR38	割込みコントロールレジスタ 38	000466 _H	12.3.1
ICR39	割込みコントロールレジスタ 39	000467 _H	12.3.1
ICR40	割込みコントロールレジスタ 40	000468 _H	12.3.1
ICR41	割込みコントロールレジスタ 41	000469 _H	12.3.1
ICR42	割込みコントロールレジスタ 42	00046A _H	12.3.1
ICR43	割込みコントロールレジスタ 43	00046B _H	12.3.1
ICR44	割込みコントロールレジスタ 44	00046C _H	12.3.1
ICR45	割込みコントロールレジスタ 45	00046D _H	12.3.1
ICR46	割込みコントロールレジスタ 46	00046E _H	12.3.1
ICR47	割込みコントロールレジスタ 47	00046F _H	12.3.1
ICSEL0	周辺機能による DMA 転送要求のクリア選択レジスタ 0	0004F0 _H	26.3.2
ICSEL1	周辺機能による DMA 転送要求のクリア選択レジスタ 1	0004F1 _H	26.3.3
ICSEL2	周辺機能による DMA 転送要求のクリア選択レジスタ 2	0004F2 _H	26.3.4
ICSEL3	周辺機能による DMA 転送要求のクリア選択レジスタ 3	0004F3 _H	26.3.5
IFUNC	命令キャッシュ機能レジスタ	0003EE _H	4.3.4
IORR0	IO 転送要求設定レジスタ 0	000490 _H	26.3.1
IORR1	IO 転送要求設定レジスタ 1	000491 _H	26.3.1
IORR2	IO 転送要求設定レジスタ 2	000492 _H	26.3.1
IORR3	IO 転送要求設定レジスタ 3	000493 _H	26.3.1
IRPR0H	割込み要求一括読出しレジスタ 0 上位	0000E8 _H	14.3.1
ISBA0	7 ビットスレーブアドレスレジスタ 0	000069 _H	24.21.7
ISBA1	7 ビットスレーブアドレスレジスタ 1	000079 _H	24.21.7
ISBA2	7 ビットスレーブアドレスレジスタ 2	000089 _H	24.21.7
ISBA3	7 ビットスレーブアドレスレジスタ 3	000099 _H	24.21.7
ISBA4	7 ビットスレーブアドレスレジスタ 4	0000A9 _H	24.21.7
ISBA5	7 ビットスレーブアドレスレジスタ 5	0000B9 _H	24.21.7
ISBA6	7 ビットスレーブアドレスレジスタ 6	0000C9 _H	24.21.7
ISBA7	7 ビットスレーブアドレスレジスタ 7	0000D9 _H	24.21.7
ISBA8	7 ビットスレーブアドレスレジスタ 8	000209 _H	24.21.7
ISBA9	7 ビットスレーブアドレスレジスタ 9	000219 _H	24.21.7
ISBAA	7 ビットスレーブアドレスレジスタ A	000229 _H	24.21.7
ISBAB	7 ビットスレーブアドレスレジスタ B	000239 _H	24.21.7
ISIZE	命令キャッシュサイズレジスタ	0003EC _H	4.3.3
ISMK0	7 ビットスレーブアドレスマスクレジスタ 0	000068 _H	24.21.6
ISMK1	7 ビットスレーブアドレスマスクレジスタ 1	000078 _H	24.21.6
ISMK2	7 ビットスレーブアドレスマスクレジスタ 2	000088 _H	24.21.6
ISMK3	7 ビットスレーブアドレスマスクレジスタ 3	000098 _H	24.21.6
ISMK4	7 ビットスレーブアドレスマスクレジスタ 4	0000A8 _H	24.21.6
ISMK5	7 ビットスレーブアドレスマスクレジスタ 5	0000B8 _H	24.21.6
ISMK6	7 ビットスレーブアドレスマスクレジスタ 6	0000C8 _H	24.21.6
ISMK7	7 ビットスレーブアドレスマスクレジスタ 7	0000D8 _H	24.21.6
ISMK8	7 ビットスレーブアドレスマスクレジスタ 8	000208 _H	24.21.6

ISMK9	7 ビットスレーブアドレスマスクレジスタ 9	000218 _H	24.21.6
ISMKA	7 ビットスレーブアドレスマスクレジスタ A	000228 _H	24.21.6
ISMKB	7 ビットスレーブアドレスマスクレジスタ B	000238 _H	24.21.6

M

MCAR0	SRAM/FLASH エリアレジスタ 0	002040 _H	16.3.3
MCAR1	SRAM/FLASH エリアレジスタ 1	002044 _H	16.3.3
MCAR2	SRAM/FLASH エリアレジスタ 2	002048 _H	16.3.3
MCAR3	SRAM/FLASH エリアレジスタ 3	00204C _H	16.3.3
MCAR4	SRAM/FLASH エリアレジスタ 4	002050 _H	16.3.3
MCAR5	SRAM/FLASH エリアレジスタ 5	002054 _H	16.3.3
MCAR6	SRAM/FLASH エリアレジスタ 6	002058 _H	16.3.3
MCAR7	SRAM/FLASH エリアレジスタ 7	00205C _H	16.3.3
MCMR0	SRAM/FLASH モードレジスタ 0	002000 _H	16.3.1
MCMR1	SRAM/FLASH モードレジスタ 1	002004 _H	16.3.1
MCMR2	SRAM/FLASH モードレジスタ 2	002008 _H	16.3.1
MCMR3	SRAM/FLASH モードレジスタ 3	00200C _H	16.3.1
MCMR4	SRAM/FLASH モードレジスタ 4	002010 _H	16.3.1
MCMR5	SRAM/FLASH モードレジスタ 5	002014 _H	16.3.1
MCMR6	SRAM/FLASH モードレジスタ 6	002018 _H	16.3.1
MCMR7	SRAM/FLASH モードレジスタ 7	00201C _H	16.3.1
MCTR0	SRAM/FLASH タイミングレジスタ 0	002020 _H	16.3.2
MCTR1	SRAM/FLASH タイミングレジスタ 1	002024 _H	16.3.2
MCTR2	SRAM/FLASH タイミングレジスタ 2	002028 _H	16.3.2
MCTR3	SRAM/FLASH タイミングレジスタ 3	00202C _H	16.3.2
MCTR4	SRAM/FLASH タイミングレジスタ 4	002030 _H	16.3.2
MCTR5	SRAM/FLASH タイミングレジスタ 5	002034 _H	16.3.2
MCTR6	SRAM/FLASH タイミングレジスタ 6	002038 _H	16.3.2
MCTR7	SRAM/FLASH タイミングレジスタ 7	00203C _H	16.3.2
MODR	モードレジスタ	0007FD _H	6.3.2
MTMCR	メインタイマ制御レジスタ	000512 _H	9.3.1

P

PCRB	プルアップ制御レジスタ B	00042B _H	17.4.4
PCRC	プルアップ制御レジスタ C	00042C _H	17.4.4
PCRE	プルアップ制御レジスタ E	00042E _H	17.4.4
PDR2	ポートデータレジスタ 2	000002 _H	17.4.1
PDR3	ポートデータレジスタ 3	000003 _H	17.4.1
PDR4	ポートデータレジスタ 4	000004 _H	17.4.1
PDR5	ポートデータレジスタ 5	000005 _H	17.4.1
PDR6	ポートデータレジスタ 6	000006 _H	17.4.1
PDR7	ポートデータレジスタ 7	000007 _H	17.4.1
PDR8	ポートデータレジスタ 8	000008 _H	17.4.1

MB91605A シリーズ

付録 B レジスター一覧

PDR9	ポートデータレジスタ 9	000009 _H	17.4.1
PDRA	ポートデータレジスタ A	00000A _H	17.4.1
PDRB	ポートデータレジスタ B	00000B _H	17.4.1
PDRC	ポートデータレジスタ C	00000C _H	17.4.1
PDRD	ポートデータレジスタ D	00000D _H	17.4.1
PDRE	ポートデータレジスタ E	00000E _H	17.4.1
PFR2	ポートファンクションレジスタ 2	0004A2 _H	17.4.3
PFR3	ポートファンクションレジスタ 3	0004A3 _H	17.4.3
PFR4	ポートファンクションレジスタ 4	0004A4 _H	17.4.3
PFR5	ポートファンクションレジスタ 5	0004A5 _H	17.4.3
PFR6	ポートファンクションレジスタ 6	0004A6 _H	17.4.3
PFR7	ポートファンクションレジスタ 7	0004A7 _H	17.4.3
PFR8	ポートファンクションレジスタ 8	0004A8 _H	17.4.3
PFR9	ポートファンクションレジスタ 9	0004A9 _H	17.4.3
PFRA	ポートファンクションレジスタ A	0004AA _H	17.4.3
PFRB	ポートファンクションレジスタ B	0004AB _H	17.4.3
PFRC	ポートファンクションレジスタ C	0004AC _H	17.4.3
PFRD	ポートファンクションレジスタ D	0004AD _H	17.4.3
PFRE	ポートファンクションレジスタ E	0004AE _H	17.4.3
PIX0	プライマリインデックスレジスタ 0	000D10 _H	25.3.7
PIX1	プライマリインデックスレジスタ 1	000D30 _H	25.3.7
PIX2	プライマリインデックスレジスタ 2	000D50 _H	25.3.7
PIX3	プライマリインデックスレジスタ 3	000D70 _H	25.3.7
PLLCR	PLL 設定レジスタ	000514 _H	7.4.4

R

RCADR1	デバイスアドレス設定レジスタ 1	0000F6 _H	27.2.3
RCADR2	デバイスアドレス設定レジスタ 2	0000F7 _H	27.2.3
RCCKD	クロック分周レジスタ	0000FC _H	27.2.8
RCCR	リモコン受信制御レジスタ	0000F0 _H	27.2.1
RCDAHW	High 幅設定レジスタ A	0000F3 _H	27.2.5
RCDBHW	High 幅設定レジスタ B	0000F4 _H	27.2.6
RCDTHH	データ格納レジスタ HH	0000F8 _H	27.2.7
RCDTHL	データ格納レジスタ HL	0000F9 _H	27.2.7
RCDTLH	データ格納レジスタ LH	0000FA _H	27.2.7
RCDTLL	データ格納レジスタ LL	0000FB _H	27.2.7
RCSHW	スタートビット High 幅設定レジスタ	0000F2 _H	27.2.4
RCST	リモコン受信割込み制御レジスタ	0000F1 _H	27.2.2
RDR0	受信データレジスタ 0	000064 _H	24.4.5 ,24.13.5 ,24.21.5
RDR1	受信データレジスタ 1	000074 _H	24.4.5 ,24.13.5 ,24.21.5
RDR2	受信データレジスタ 2	000084 _H	24.4.5 ,24.13.5 ,24.21.5
RDR3	受信データレジスタ 3	000094 _H	24.4.5 ,24.13.5 ,24.21.5
RDR4	受信データレジスタ 4	0000A4 _H	24.4.5 ,24.13.5 ,24.21.5

RDR5	受信データレジスタ 5	0000B4 _H	24.4.5 ,24.13.5 ,24.21.5
RDR6	受信データレジスタ 6	0000C4 _H	24.4.5 ,24.13.5 ,24.21.5
RDR7	受信データレジスタ 7	0000D4 _H	24.4.5 ,24.13.5 ,24.21.5
RDR8	受信データレジスタ 8	000204 _H	24.4.5 ,24.13.5 ,24.21.5
RDR9	受信データレジスタ 9	000214 _H	24.4.5 ,24.13.5 ,24.21.5
RDRA	受信データレジスタ A	000224 _H	24.4.5 ,24.13.5 ,24.21.5
RDRB	受信データレジスタ B	000234 _H	24.4.5 ,24.13.5 ,24.21.5
RDRM8	受信データミラーレジスタ 8	000240 _H	24.13.11
RDRM9	受信データミラーレジスタ 9	000241 _H	24.13.11
RDRMA	受信データミラーレジスタ A	000242 _H	24.13.11
RDRMB	受信データミラーレジスタ B	000243 _H	24.13.11
RSTCR	リセット制御レジスタ	000481 _H	11.4.2
RSTRR	リセット要因レジスタ	000480 _H	11.4.1

S

SBA0	ソースベースアドレスレジスタ 0	000D08 _H	25.3.5
SBA1	ソースベースアドレスレジスタ 1	000D28 _H	25.3.5
SBA2	ソースベースアドレスレジスタ 2	000D48 _H	25.3.5
SBA3	ソースベースアドレスレジスタ 3	000D68 _H	25.3.5
SCR0	シリアル制御レジスタ 0	000060 _H	24.4.1 ,24.13.1
SCR1	シリアル制御レジスタ 1	000070 _H	24.4.1 ,24.13.1
SCR2	シリアル制御レジスタ 2	000080 _H	24.4.1 ,24.13.1
SCR3	シリアル制御レジスタ 3	000090 _H	24.4.1 ,24.13.1
SCR4	シリアル制御レジスタ 4	0000A0 _H	24.4.1 ,24.13.1
SCR5	シリアル制御レジスタ 5	0000B0 _H	24.4.1 ,24.13.1
SCR6	シリアル制御レジスタ 6	0000C0 _H	24.4.1 ,24.13.1
SCR7	シリアル制御レジスタ 7	0000D0 _H	24.4.1 ,24.13.1
SCR8	シリアル制御レジスタ 8	000200 _H	24.4.1 ,24.13.1
SCR9	シリアル制御レジスタ 9	000210 _H	24.4.1 ,24.13.1
SCRA	シリアル制御レジスタ A	000220 _H	24.4.1 ,24.13.1
SCRB	シリアル制御レジスタ B	000230 _H	24.4.1 ,24.13.1
SDCMR	SDRAM コマンドレジスタ	002110 _H	16.3.8
SDMR	SDRAM モードレジスタ	002100 _H	16.3.4
SDPDR	SDRAM パワーダウncウントレジスタ	002108 _H	16.3.6
SDRTR	SDRAM リフレッシュタイムレジスタ	002104 _H	16.3.5
SDTR	SDRAM タイミングレジスタ	00210C _H	16.3.7
SIX0	セカンダリインデックスレジスタ 0	000D14 _H	25.3.8
SIX1	セカンダリインデックスレジスタ 1	000D34 _H	25.3.8
SIX2	セカンダリインデックスレジスタ 2	000D54 _H	25.3.8
SIX3	セカンダリインデックスレジスタ 3	000D74 _H	25.3.8
SLPRR	スリープレート設定レジスタ	000483 _H	10.3.2
SMR0	シリアルモードレジスタ 0	000061 _H	24.4.2 ,24.13.2 ,24.21.2
SMR1	シリアルモードレジスタ 1	000071 _H	24.4.2 ,24.13.2 ,24.21.2

MB91605A シリーズ

付録 B レジスター一覧

SMR2	シリアルモードレジスタ 2	000081 _H	24.4.2 ,24.13.2 ,24.21.2
SMR3	シリアルモードレジスタ 3	000091 _H	24.4.2 ,24.13.2 ,24.21.2
SMR4	シリアルモードレジスタ 4	0000A1 _H	24.4.2 ,24.13.2 ,24.21.2
SMR5	シリアルモードレジスタ 5	0000B1 _H	24.4.2 ,24.13.2 ,24.21.2
SMR6	シリアルモードレジスタ 6	0000C1 _H	24.4.2 ,24.13.2 ,24.21.2
SMR7	シリアルモードレジスタ 7	0000D1 _H	24.4.2 ,24.13.2 ,24.21.2
SMR8	シリアルモードレジスタ 8	000201 _H	24.4.2 ,24.13.2 ,24.21.2
SMR9	シリアルモードレジスタ 9	000211 _H	24.4.2 ,24.13.2 ,24.21.2
SMRA	シリアルモードレジスタ A	000221 _H	24.4.2 ,24.13.2 ,24.21.2
SMRB	シリアルモードレジスタ B	000231 _H	24.4.2 ,24.13.2 ,24.21.2
SSEL89AB	シリアルモード選択レジスタ 89AB	000244 _H	24.13.10
SSR0	シリアルステータスレジスタ 0	000062 _H	24.4.3 ,24.13.3 ,24.21.4
SSR1	シリアルステータスレジスタ 1	000072 _H	24.4.3 ,24.13.3 ,24.21.4
SSR2	シリアルステータスレジスタ 2	000082 _H	24.4.3 ,24.13.3 ,24.21.4
SSR3	シリアルステータスレジスタ 3	000092 _H	24.4.3 ,24.13.3 ,24.21.4
SSR4	シリアルステータスレジスタ 4	0000A2 _H	24.4.3 ,24.13.3 ,24.21.4
SSR5	シリアルステータスレジスタ 5	0000B2 _H	24.4.3 ,24.13.3 ,24.21.4
SSR6	シリアルステータスレジスタ 6	0000C2 _H	24.4.3 ,24.13.3 ,24.21.4
SSR7	シリアルステータスレジスタ 7	0000D2 _H	24.4.3 ,24.13.3 ,24.21.4
SSR8	シリアルステータスレジスタ 8	000202 _H	24.4.3 ,24.13.3 ,24.21.4
SSR9	シリアルステータスレジスタ 9	000212 _H	24.4.3 ,24.13.3 ,24.21.4
SSRA	シリアルステータスレジスタ A	000222 _H	24.4.3 ,24.13.3 ,24.21.4
SSRB	シリアルステータスレジスタ B	000232 _H	24.4.3 ,24.13.3 ,24.21.4
STBCR	スタンバイ制御レジスタ	000482 _H	10.3.1

T

TDR0	送信データレジスタ 0	000064 _H	24.4.5 ,24.13.5 ,24.21.5
TDR1	送信データレジスタ 1	000074 _H	24.4.5 ,24.13.5 ,24.21.5
TDR2	送信データレジスタ 2	000084 _H	24.4.5 ,24.13.5 ,24.21.5
TDR3	送信データレジスタ 3	000094 _H	24.4.5 ,24.13.5 ,24.21.5
TDR4	送信データレジスタ 4	0000A4 _H	24.4.5 ,24.13.5 ,24.21.5
TDR5	送信データレジスタ 5	0000B4 _H	24.4.5 ,24.13.5 ,24.21.5
TDR6	送信データレジスタ 6	0000C4 _H	24.4.5 ,24.13.5 ,24.21.5
TDR7	送信データレジスタ 7	0000D4 _H	24.4.5 ,24.13.5 ,24.21.5
TDR8	送信データレジスタ 8	000204 _H	24.4.5 ,24.13.5 ,24.21.5
TDR9	送信データレジスタ 9	000214 _H	24.4.5 ,24.13.5 ,24.21.5
TDRA	送信データレジスタ A	000224 _H	24.4.5 ,24.13.5 ,24.21.5
TDRB	送信データレジスタ B	000234 _H	24.4.5 ,24.13.5 ,24.21.5
TDRM8	送信データミラーレジスタ 8	000240 _H	24.13.11
TDRM9	送信データミラーレジスタ 9	000241 _H	24.13.11
TDRMA	送信データミラーレジスタ A	000242 _H	24.13.11
TDRMB	送信データミラーレジスタ B	000243 _H	24.13.11
TMCSR0	コントロールステータスレジスタ 0	00004E _H	20.4.1

TMCSR1	コントロールステータスレジスタ 1	000056 _H	20.4.1
TMCSR2	コントロールステータスレジスタ 2	00005E _H	20.4.1
TMR0	16 ビットタイマレジスタ 0	00004A _H	20.4.3
TMR1	17 ビットタイマレジスタ 0	000052 _H	20.4.3
TMR2	18 ビットタイマレジスタ 0	00005A _H	20.4.3
TMRLRA0	16 ビットタイマリロードレジスタ A0	000048 _H	20.4.2
TMRLRA1	17 ビットタイマリロードレジスタ A0	000050 _H	20.4.2
TMRLRA2	18 ビットタイマリロードレジスタ A0	000058 _H	20.4.2

W

WDTCPR0	ウォッチドッグタイマ 0 クリアレジスタ	00003D _H	19.3.2
WDTCR0	ウォッチドッグタイマ 0 制御レジスタ	00003C _H	19.3.1

MB91605A シリーズ

付録 C 割込みベクタ

本製品の割込みベクタテーブルについて説明します。割込み要因と割込みベクタおよび割込みコントロールレジスタ (ICR00 ~ ICR47) の割り当てが配置されています。

割込要因	割込番号		割込レベル	オフセット	TBR デフォルト のアドレス	DMA 転送 要求
	10 進	16 進				
リセット	0	00	-	3FC _H	000FFFFC _H	-
システム予約	1	01	-	3F8 _H	000FFFF8 _H	-
システム予約	2	02	-	3F4 _H	000FFFF4 _H	-
システム予約	3	03	-	3F0 _H	000FFFF0 _H	-
システム予約	4	04	-	3EC _H	000FFFE _C	-
システム予約	5	05	-	3E8 _H	000FFFE8 _H	-
システム予約	6	06	-	3E4 _H	000FFFE4 _H	-
システム予約	7	07	-	3E0 _H	000FFFE0 _H	-
システム予約	8	08	-	3DC _H	000FFFD _C	-
INTE 命令	9	09	-	3D8 _H	000FFFD8 _H	-
命令ブレーク例外	10	0A	-	3D4 _H	000FFFD4 _H	-
オペランドブレーク	11	0B	-	3D0 _H	000FFFD0 _H	-
ステップトレーストラップ	12	0C	-	3CC _H	000FFFC _C	-
NMI 要求 (tool)	13	0D	-	3C8 _H	000FFFC8 _H	-
未定義命令例外	14	0E	-	3C4 _H	000FFFC4 _H	-
NMI 要求	15	0F	15 (F _H) 固定	3C0 _H	000FFFC0 _H	-
外部割込み ch.0	16	10	ICR00	3BC _H	000FFFB _C	
外部割込み ch.1	17	11	ICR01	3B8 _H	000FFFB8 _H	
外部割込み ch.2	18	12	ICR02	3B4 _H	000FFFB4 _H	
外部割込み ch.3	19	13	ICR03	3B0 _H	000FFFB0 _H	
外部割込み ch.4	20	14	ICR04	3AC _H	000FFFA _C	
外部割込み ch.5	21	15	ICR05	3A8 _H	000FFFA8 _H	
外部割込み ch.6	22	16	ICR06	3A4 _H	000FFFA4 _H	
外部割込み ch.7	23	17	ICR07	3A0 _H	000FFFA0 _H	
16 ビットリロードタイマ ch.0	24	18	ICR08	39C _H	000FFF9 _C	
16 ビットリロードタイマ ch.1	25	19	ICR09	398 _H	000FFF98 _H	
16 ビットリロードタイマ ch.2	26	1A	ICR10	394 _H	000FFF94 _H	
マルチファンクションシリアルインタフェース ch.0 RX	27	1B	ICR11	390 _H	000FFF90 _H	
マルチファンクションシリアルインタフェース ch.0 TX	28	1C	ICR12	38C _H	000FFF8 _C	
マルチファンクションシリアルインタフェース ch.0 I ² C ステータス	29	1D	ICR13	388 _H	000FFF88 _H	-

割込要因	割込番号		割込レベル	オフセット	TBR デフォルト のアドレス	DMA 転送 要求
	10 進	16 進				
マルチファンクションシリアルインタフェース ch.1 RX	30	1E	ICR14	384 _H	000FFF84 _H	
マルチファンクションシリアルインタフェース ch.1 TX	31	1F	ICR15	380 _H	000FFF80 _H	
マルチファンクションシリアルインタフェース ch.1 I ² C ステータス	32	20	ICR16	37C _H	000FFF7C _H	-
マルチファンクションシリアルインタフェース ch.2 RX	33	21	ICR17	378 _H	000FFF78 _H	
マルチファンクションシリアルインタフェース ch.2 TX	34	22	ICR18	374 _H	000FFF74 _H	
マルチファンクションシリアルインタフェース ch.2 I ² C ステータス	35	23	ICR19	370 _H	000FFF70 _H	-
マルチファンクションシリアルインタフェース ch.3 RX/TX/I ² C ステータス	36	24	ICR20	36C _H	000FFF6C _H	*
マルチファンクションシリアルインタフェース ch.4 RX/TX/I ² C ステータス	37	25	ICR21	368 _H	000FFF68 _H	*
マルチファンクションシリアルインタフェース ch.5 RX/TX/I ² C ステータス	38	26	ICR22	364 _H	000FFF64 _H	*
A/D コンバータ	39	27	ICR23	360 _H	000FFF60 _H	
HDMI-CEC/ リモコン	40	28	ICR24	35C _H	000FFF5C _H	-
外部割込み 8 ~ 15	41	29	ICR25	358 _H	000FFF58 _H	
外部割込み 16 ~ 23	42	2A	ICR26	354 _H	000FFF54 _H	
マルチファンクションシリアルインタフェース ch.6 RX/TX/I ² C ステータス	43	2B	ICR27	350 _H	000FFF50 _H	*
マルチファンクションシリアルインタフェース ch.7 RX/TX/I ² C ステータス	44	2C	ICR28	34C _H	000FFF4C _H	*
マルチファンクションシリアルインタフェース ch.8 RX/TX/I ² C ステータス	45	2D	ICR29	348 _H	000FFF48 _H	*
マルチファンクションシリアルインタフェース ch.9 RX/TX/I ² C ステータス	46	2E	ICR30	344 _H	000FFF44 _H	*
マルチファンクションシリアルインタフェース ch.10 RX/TX/I ² C ステータス	47	2F	ICR31	340 _H	000FFF40 _H	*
マルチファンクションシリアルインタフェース ch.11 RX/TX/I ² C ステータス	48	30	ICR32	33C _H	000FFF3C _H	*
ベースタイマ ch.0	49	31	ICR33	338 _H	000FFF38 _H	
ベースタイマ ch.1	50	32	ICR34	334 _H	000FFF34 _H	
ベースタイマ ch.2	51	33	ICR35	330 _H	000FFF30 _H	
ベースタイマ ch.3	52	34	ICR36	32C _H	000FFF2C _H	
ベースタイマ ch.4	53	35	ICR37	328 _H	000FFF28 _H	
ベースタイマ ch.5	54	36	ICR38	324 _H	000FFF24 _H	
ベースタイマ ch.6	55	37	ICR39	320 _H	000FFF20 _H	
ベースタイマ ch.7	56	38	ICR40	31C _H	000FFF1C _H	
ベースタイマ ch.8/ch.9/ch.10/ch.11	57	39	ICR41	318 _H	000FFF18 _H	
DMAC ch.0	58	3A	ICR42	314 _H	000FFF14 _H	-
DMAC ch.1	59	3B	ICR43	310 _H	000FFF10 _H	-

割込要因	割込番号		割込 レベル	オフセット	TBR デフォルト のアドレス	DMA 転送 要求
	10 進	16 進				
DMAC ch.2	60	3C	ICR44	30C _H	000FFF0C _H	-
DMAC ch.3	61	3D	ICR45	308 _H	000FFF08 _H	-
タイムベースタイマ	62	3E	ICR46	304 _H	000FFF04 _H	-
遅延割込み	63	3F	ICR47	300 _H	000FFF00 _H	-
システム予約 (REALOS にて使用)	64	40	-	2FC _H	000FFEFC _H	-
システム予約 (REALOS にて使用)	65	41	-	2F8 _H	000FFE8 _H	-
INT 命令で使用	66 ~ 255	42 ~ FF	-	2F4 _H ~ 000 _H	000FFE4 _H ~ 000FFC00 _H	-

*I²C ステータス割込みは DMAC の転送要求に使用できません。

付録 D CPU の状態における端子状態

CPU の状態と端子の状態を示します。

■ 端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

- $\overline{\text{INIT}}=\text{"L"}$ 時
 $\overline{\text{INIT}}$ 端子が "L" レベルの期間です。
- $\overline{\text{INIT}}=\text{"H"}$ 時
 $\overline{\text{INIT}}$ 端子が "L" レベルから "H" レベルに遷移した直後の状態です。
- SLVL1
スタンバイ制御レジスタ (STBCR) にあるスタンバイレベル設定ビットです。
- 入力可
入力機能が使用可能な状態です。
- 入力不可
入力機能が使用できない状態です。
- 出力 Hi-Z
端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。
- 直前状態保持
本モードになる直前に出力していた状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能にしたがって出力を行います。
ポートなどとして出力している場合は、その出力を保持します。
- 内部入力 "0" 固定
端子からすぐの入力ゲートで外部入力を遮断し、内部へ "0" を伝えています。
- 割込み機能選択許可時入力可能
端子機能を外部割込み要求入力端子に設定し、外部割込み要求を許可している場合にのみ入力できます。

表 D-1 外部バス 16 ビットモード時の端子状態

端子 番号	ポート名	指定機能名	イニシャライズ時 (INIT=0)		スリープ 時	ストップ時	
			機能名	初期値		HIZ=0	HIZ=1
3	P45	MCLK	MCLK	"L" 出力	P: 直前状態保持 F: "L" 出力	P: 直前状態保持 F: "L" 出力	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定
4	--	A0	A0	出力不定	アドレス 出力	アドレス 出力	出力 Hi-Z
5	--	A1	A1				
6	--	A2	A2				
7	--	A3	A3				
8	--	A4	A4				
9	--	A5	A5				
10	--	A6	A6				
11	--	A7	A7	出力不定	アドレス 出力	アドレス 出力	出力 Hi-Z
14	--	A8	A8				
15	--	A9	A9				
16	--	A10	A10				
17	--	A11	A11				
18	--	A12	A12				
19	--	A13	A13				
20	--	A14	A14	出力不定	アドレス 出力	アドレス 出力	出力 Hi-Z
21	--	A15	A15				
25	P50	A16	A16				
26	P51	A17	A17				
27	P52	A18	A18				
28	P53	A19	A19				
29	P54	A20	A20				
30	P55	A21	A21	出力不定	P: 直前状態保持 F: アドレス出力	P: 直前状態保持 F: アドレス出力	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定
31	P56	A22	A22				
32	P57	A23	A23				
57	P60	AN0	AN0	アナログ 入力無効	P: 直前状態保持 F: 通常動作	P: 直前状態保持 F: 直前状態保持	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定
58	P61	AN1	AN1				
59	P62	AN2/SIN10	AN2				
60	P63	AN3/SOUT10/SDA10	AN3				
61	P64	AN4/SCK10/SCL10	AN4				
62	P65	AN5/SIN11	AN5				
63	P66	AN6/SOUT11/SDA11	AN6				
64	P67	AN7/SCK11/SCL11	AN7				
65	P70	AN8/TIOA10	AN8				
66	P71	AN9/TIOB10	AN9				
67	P72	AN10/TIOA11	AN10				
68	P73	AN11/TIOB11	AN11				

P: ポート接続時 F: 指定機能使用時

端子 番号	ポート名	指定機能名	イニシャライズ時 ($\overline{\text{INIT}}=0$)		スリープ 時	ストップ時	
			機能名	初期値		HIZ=0	HIZ=1
71	P74	RCIN	P74	出力 Hi-Z 入力可能	P: 直前状態保持 F: 通常動作	P: 直前状態保持 F: 直前状態保持	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定
72	P75	SIN0	P75				
73	P76	SOUT0/SDA0	P76				
74	P77	SCK0/SCL0	P77				
75	P80	SIN1	P80				
76	P81	SOUT1/SDA1	P81				
77	P82	SCK1/SCL1	P82				
78	P83	SIN2	P83				
79	P84	SOUT2/SDA2	P84				
80	P85	SCK2/SCL2	P85				
81	P90	SIN3	P90	出力 Hi-Z 入力可能	P: 直前状態保持 F: 通常動作	P: 直前状態保持 F: 直前状態保持	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定
82	P91	SOUT3/SDA3	P91				
83	P92	SCK3/SCL3	P92				
84	P93	SIN4	P93				
85	P94	SOUT4/SDA4	P94				
86	P95	SCK4/SCL4	P95				
87	--	$\overline{\text{NMI}}$	$\overline{\text{NMI}}$	入力可能	入力可能	入力可能	入力可能
91	PA0	SIN5	PA0	出力 Hi-Z 入力可能	P: 直前状態保持 F: 通常動作	P: 直前状態保持 F: 直前状態保持	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定
92	PA1	SOUT5/SDA5	PA1				
93	PA2	SCK5/SCL5	PA2				
94	PA3	SIN6/ATRG	PA3				
95	PA4	SOUT6/SDA6	PA4				
96	PA5	SCK6/SCL6	PA5				P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定 (外部割込み要因許可の場合は入力可能)
97	PB0	INT0/SIN7	PB0				
98	PB1	INT1/SOUT7/SDA7	PB1				
99	PB2	INT2/SCK7/SCL7	PB2				
100	PB3	INT3/TOUT0	PB3				
101	PB4	INT4/TOUT1	PB4				
102	PB5	INT5/TOUT2	PB5				
103	PB6	INT6/TIOA8	PB6				
104	PB7	INT7/TIOB8	PB7				
105	PC0	INT8/TIOA9	PC0				
106	PC1	INT9/TIOB9	PC1				
107	PC2	INT10/SIN8	PC2				
108	PC3	INT11/SOUT8/SDA8	PC3				
109	PC4	INT12/SCK8/SCL8	PC4				
110	PC5	INT13/SIN9	PC5				
111	PC6	INT14/SOUT9/SDA9	PC6				
112	PC7	INT15/SCK9/SCL9	PC7				

*FLASH シリアル書込みモード時は、SIN0, SOUT0, SCK0 端子のみ異なります。

P : ポート接続時 F : 指定機能使用時

端子 番号	ポー ト名	指定機能名	イニシャライズ時 ($\overline{\text{INIT}}=0$)		スリープ 時	ストップ時	
			機能名	初期値		HIZ=0	HIZ=1
116	PD0	TIOA0	PD0	出力 Hi-Z 入力可能	P: 直前状 態保持 F: 通常動 作	P: 直前状 態保持 F: 直前状 態保持	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定
117	PD1	TIOB0	PD1				
118	PD2	TIOA1	PD2				
119	PD3	TIOB1	PD3				
120	PD4	TIOA2	PD4				
121	PD5	TIOB2	PD5				
122	PD6	TIOA3	PD6				
123	PD7	TIOB3	PD7				
124	PE0	INT16/TIOA4	PE0				P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定 (外部割込み要 因許可の場合 は入力可能)
125	PE1	INT17/TIOB4	PE1				
126	PE2	INT18/TIOA5	PE2				
127	PE3	INT19/TIOB5	PE3				
128	PE4	INT20/TIOA6	PE4				
129	PE5	INT21/TIOB6	PE5				
130	PE6	INT22/TIOA7	PE6				
131	PE7	INT23/TIOB7	PE7				
135	--	D16	D16	出力 Hi-Z 入力可能	出力保持 または Hi- Z	出力保持 または Hi- Z	出力 Hi-Z/ 入力 "0" 固定
136	--	D17	D17				
137	--	D18	D18				
138	--	D19	D19				
139	--	D20	D20				
140	--	D21	D21				
141	--	D22	D22				
142	--	D23	D23	出力 Hi-Z 入力可能	出力保持 または Hi- Z	出力保持 または Hi- Z	出力 Hi-Z/ 入力 "0" 固定
145	--	D24	D24				
146	--	D25	D25				
147	--	D26	D26				
148	--	D27	D27				
149	--	D28	D28				
150	--	D29	D29				
151	--	D30	D30	出力 Hi-Z 入力可能	P: 直前状 態保持 F:SYSCLK 出力	P: 直前状 態保持 F:"H" または "L" 出力	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定
152	--	D31	D31				
155	P20	SYSCLK	P20	出力 Hi-Z 入力可能	P: 直前状 態保持 F:SYSCLK 出力	P: 直前状 態保持 F:"H" または "L" 出力	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定

P : ポート接続時 F : 指定機能使用時

端子 番号	ポー ト名	指定機能名	イニシャライズ時 (INIT=0)		スリープ 時	ストップ時		
			機能名	初期値		HIZ=0	HIZ=1	
156	--	\overline{RD}	\overline{RD}	"H" 出力	"H" 出力	"H" 出力	出力 Hi-Z	
157	P21	\overline{WE}	\overline{WE}		P: 直前状 態保持 F:"H" 出力	P: 直前状 態保持 F:"H" 出力	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定	
158	P22	MDQM3	MDQM 3					
159	P23	MDQM2	MDQM 2					
160	P30	$\overline{CS0}$	$\overline{CS0}$					
161	P31	$\overline{CS1}$	$\overline{CS1}$					
162	P32	$\overline{CS2}$	$\overline{CS2}$					
163	P33	$\overline{CS3}$	$\overline{CS3}$					
164	--	$\overline{CS4}$	$\overline{CS4}$	"H" 出力	"H" 出力	出力 Hi-Z		
167	P34	$\overline{AS}/TIN0$	P34	出力 Hi-Z 入力可能	P: 直前状 態保持 F:"H" 出力	P: 直前状 態保持 F:"H" 出力	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定	
168	P35	$\overline{CS5}/TIN1$	P35		P: 直前状 態保持 F:"H" 出力	P: 直前状 態保持 F:"H" 出力	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定	
169	P36	$\overline{CS6}/TIN2$	P36					
170	P37	$\overline{CS8}$	$\overline{CS8}$	"H" 出力	P: 直前状 態保持 F:"H" 出力	P: 直前状 態保持 F:"H" 出力	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定	
171	P40	RDY	P40	出力 Hi-Z 入力可能	P: 直前状 態保持 F:RDY 入 力	P: 直前状 態保持 F: 直前状 態保持	P: 出力 Hi-Z/ 入力 "0" 固定 F: 出力 Hi-Z/ 入力 "0" 固定	
172	P41	\overline{MRAS}	P41		P: 直前状 態保持 F:"H" 出力	P: 直前状 態保持 F:"H" 出力		
173	P42	\overline{MCAS}	P42					
174	P43	\overline{MDWE}	P43					
175	P44	MCLKE	MCLKE	"H" 出力	P: 直前状 態保持 F: 直前状 態保持	P: 直前状 態保持 F: 直前状 態保持		

P: ポート接続時 F: 指定機能使用時

付録 E 命令一覧

FR80 ファミリ CPU の命令一覧と命令マップを示します。

E.1 命令一覧表の見かた

命令一覧表および命令細則に用いている記号の意味を説明します。

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
ADD Rj,Rj	A	A6	1	CCCC		Ri + Rj Rj	
*ADD #s5,Rj	C	A4	1	CCCC		Ri + s5 Ri	
.	
.	

(1) (2) (3) (4) (5) (6) (7) (8)

(1) 命令名が示されています。

* 印は、CPU 仕様ではなくアセンブラで命令を拡張または追加した拡張命令です。

(2) オペランドに指定可能なアドレッシングモードを記号で示されています。

記号の意味は、「 アドレッシングモードの記号 (次項)」を参照してください。

(3) 命令フォーマットが示されています。

(4) 命令コードが 16 進数表示されています。

(アセンブラ拡張命令では記載されません。)

(5) マシンサイクル数を表しています。

a: メモリアクセスサイクルであり、アクセス対象により変化します。

最小値は 1 サイクルです。

b: 完了していない LD 命令が 4 命令未満であり、LD 動作の対象となるレジスタが後続の命令に参照されない間は、1 サイクルで動作します。

完了していない LD 命令が 4 命令となった場合、その時点から最初の LD 命令が完了するまでインタロックがかかり、実行サイクル数が (メモリアクセスサイクル数 - 命令発行から最初の LD 命令が完了するまでのサイクル数) だけ増加します。

c: 直後の命令が MDH を参照する場合、インタロックがかかり、実行サイクル数は増加して 2 となります。それ以外は 1 サイクルとなります。

d: プリフェッチバッファへの命令先読みが完了していない場合、最大で 2 サイクルとなります。最小値は 1 サイクルです。

(6) フラグ変化を表しています。

フラグ変化	フラグの意味
C : 変化する	N : ネガティブフラグ
- : 変化しない	Z : ゼロフラグ
0 : クリア	V : オーバフラグ
1 : セット	C : キャリフラグ

(7) RMW 系命令時は が入ります。

(8) 命令動作が表記されています。

■ アドレッシングモードの記号

Ri	: レジスタ直接 (R0 ~ R15, AC, FP, SP)
Rj	: レジスタ直接 (R0 ~ R15, AC, FP, SP)
R13	: レジスタ直接 (R13, AC)
Ps	: レジスタ直接 (プログラムステータスレジスタ)
Rs	: レジスタ直接 (TBR, RP, SSP, USP, MDH, MDL)
#i4	: 4 ビット即値 (ゼロ拡張 :0 ~ 15, マイナス拡張 :-16 ~ -1)
#i8	: 符号なし 8 ビット即値 (0 ~ 255)
#i20	: 符号なし 20 ビット即値 (-0x80000 ~ 0xFFFFF) *1
#i32	: 符号なし 32 ビット即値 (-0x80000000 ~ 0xFFFFFFFF) *2
#s5	: 符号付き 5 ビット即値 (-16 ~ 15)
#s10	: 符号付き 10 ビット即値 (-512 ~ 508 4 の倍数のみ)
#u4	: 符号なし 4 ビット即値 (0 ~ 15)
#u5	: 符号なし 5 ビット即値 (0 ~ 31)
#u8	: 符号なし 8 ビット即値 (0 ~ 255)
#u10	: 符号なし 10 ビット即値 (0 ~ 1020 4 の倍数のみ)
@dir8	: 符号なし 8 ビット直接アドレス (0 ~ 0xFF)
@dir9	: 符号なし 9 ビット直接アドレス (0 ~ 0x1FE 2 の倍数のみ)
@dir10	: 符号なし 10 ビット直接アドレス (0 ~ 0x3FC 4 の倍数のみ)
label9	: 符号付き 9 ビット分岐アドレス (-0x100 ~ 0xFC 2 の倍数のみ)
label12	: 符号付き 12 ビット分岐アドレス (-0x800 ~ 0x7FC 2 の倍数のみ)
label20	: 符号付き 20 ビット分岐アドレス (-0x80000 ~ 0x7FFFF)
label32	: 符号付き 32 ビット分岐アドレス (-0x80000000 ~ 0x7FFFFFFF)
@Ri	: レジスタ間接 (R0 ~ R15, AC, FP, SP)
@Rj	: レジスタ間接 (R0 ~ R15, AC, FP, SP)
@(R13,Rj)	: レジスタ相対間接 (Rj: R0 ~ R15, AC, FP, SP)
@(R14,disp10)	: レジスタ相対間接 (disp10: -0x200 ~ 0x1FC 4 の倍数のみ)
@(R14,disp9)	: レジスタ相対間接 (disp9: -0x100 ~ 0xFE 2 の倍数のみ)
@(R14,disp8)	: レジスタ相対間接 (disp8: -0x80 ~ 0x7F)
@(R15,udisp6)	: レジスタ相対間接 (udisp6: 0 ~ 60 4 の倍数のみ)
@Ri+	: ポストインクリメント付きレジスタ間接 (R0 ~ R15, AC, FP, SP)

@R13+ : ポストインクリメント付きレジスタ間接 (R13, AC)
 @SP+ : スタックポップ
 @-SP : スタックプッシュ
 (reglist) : レジスタリスト

*1: -0x7FFFF ~ -1 は, 0x7FFFF ~ 0xFFFFF として扱います。
 *2: -0x80000000 ~ -1 は, 0x80000000 ~ 0xFFFFFFFF として扱います。

■ 命令フォーマット一覧

TYPE-A	<table><tr><td>OP</td><td>Rj</td><td>Ri</td></tr><tr><td>8</td><td>4</td><td>4</td></tr></table>	OP	Rj	Ri	8	4	4
OP	Rj	Ri					
8	4	4					
TYPE-B	<table><tr><td>OP</td><td>i/8 o/8</td><td>Ri</td></tr><tr><td>4</td><td>8</td><td>4</td></tr></table>	OP	i/8 o/8	Ri	4	8	4
OP	i/8 o/8	Ri					
4	8	4					
TYPE-C	<table><tr><td>OP</td><td>u4/m4</td><td>Ri</td></tr><tr><td>8</td><td>4</td><td>4</td></tr></table>	OP	u4/m4	Ri	8	4	4
OP	u4/m4	Ri					
8	4	4					
ADD, ADDN, CMP, LSL, LSR, ASR 命令のみ							
TYPE-C'	<table><tr><td>OP</td><td>s5/u5</td><td>Ri</td></tr><tr><td>7</td><td>5</td><td>4</td></tr></table>	OP	s5/u5	Ri	7	5	4
OP	s5/u5	Ri					
7	5	4					
TYPE-D	<table><tr><td>OP</td><td>u8/rel8/dir/reglist</td></tr><tr><td>8</td><td>8</td></tr></table>	OP	u8/rel8/dir/reglist	8	8		
OP	u8/rel8/dir/reglist						
8	8						
TYPE-E	<table><tr><td>OP</td><td>SUB-OP</td><td>Ri</td></tr><tr><td>8</td><td>4</td><td>4</td></tr></table>	OP	SUB-OP	Ri	8	4	4
OP	SUB-OP	Ri					
8	4	4					
TYPE-F	<table><tr><td>OP</td><td>rel11</td></tr><tr><td>5</td><td>11</td></tr></table>	OP	rel11	5	11		
OP	rel11						
5	11						

■ 動作欄

命令一覧表の動作欄と、命令細則のオペレーションに使用されている記号です。

extu ()	ゼロ拡張操作を示します。上位ビットの欠けている部分に "0" ビットを補います。
extn ()	マイナス拡張操作を示します。上位ビットの欠けている部分に "1" ビットを補います。
exts ()	符号拡張操作を示します。() 内のデータの MSB が "0" ならばゼロ拡張操作をし、MSB が "1" ならばマイナス拡張操作をします。
&	ビット毎の論理積 (AND) を示します。
	ビット毎の論理和 (OR) を示します。
^	ビット毎の排他的論理和 (EXOR) を示します。
()	間接アドレス指定を示します。() 内のレジスタまたは式の示すアドレスのメモリ読み出し・書き込み値です。
{ }	演算の優先順位を明示するための括弧になります。() を間接アドレス指定に使用しているため、{ } を使用します。
if (条件) then { 式 } または if (条件) then { 式 1 } else { 式 2 }	条件実行を示します。条件が成立したときに then の次の式を、成立しなかったときに else の次の式を実行します。式は { } で囲み複数記述できます。
[m:n]	ビット m からビット n までを取り出して、操作対象とします。

E.2 命令一覧表

FR80 ファミリ CPU の命令一覧を示します。

FR80 ファミリ CPU の命令数は全部で 162 あります。以下の 15 種類に分類しています。

- 加減算命令
- 比較演算命令
- 論理演算命令
- ビット操作演算命令
- 乗除算命令
- シフト演算命令
- 即値データ転送命令
- メモリロード命令
- メモリストア命令
- レジスタ間転送命令 / 専用レジスタ転送命令
- 遅延なし分岐命令
- 遅延分岐命令
- ダイレクトアドレス指定命令
- ビットサーチ命令
- その他の命令

表 E-1 加減算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
ADD Rj, Ri	A	A6	1	CCCC	-	Ri+Rj Ri	
*ADD #s5, Ri	C'	-	1	CCCC	-	Ri+s5 Ri	アセンブラでは s5 の上位 1 ビットを符 号と見る
ADD #i4, Ri	C	A4	1	CCCC	-	Ri+extu(i4) Ri	i4 はゼロ拡張
ADD2 #i4, Ri	C	A5	1	CCCC	-	Ri+extn(i4) Ri	i4 はマイナス拡張
ADDC Rj, Ri	A	A7	1	CCCC	-	Ri+Rj+C Ri	キャリ付き加算
ADDN Rj, Ri	A	A2	1	----	-	Ri+Rj Ri	
*ADDN #s5, Ri	C'	-	1	----	-	Ri+s5 Ri	アセンブラでは s5 の上位 1 ビットを符 号と見る
ADDN #i4, Ri	C	A0	1	----	-	Ri+extu(i4) Ri	i4 はゼロ拡張
ADDN2 #i4, Ri	C	A1	1	----	-	Ri+extn(i4) Ri	i4 はマイナス拡張
SUB Rj, Ri	A	AC	1	CCCC	-	Ri-Rj Ri	
SUBC Rj, Ri	A	AD	1	CCCC	-	Ri-Rj-C Ri	キャリ付き減算
SUBN Rj, Ri	A	AE	1	----	-	Ri-Rj Ri	

表 E-2 比較演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
CMP Rj, Ri	A	AA	1	CCCC	-	Ri-Rj	
*CMP #s5, Ri	C'	-	1	CCCC	-	Ri-s5	アセンブラでは s5 の上位1ビットを符 号と見る
CMP #i4, Ri	C	A8	1	CCCC	-	Ri-extu(i4)	i4 はゼロ拡張
CMP2 #i4, Ri	C	A9	1	CCCC	-	Ri-extn(i4)	i4 はマイナス拡張

表 E-3 論理演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
AND Rj, Ri	A	82	1	CC--	-	Ri & Rj Ri	ワード
AND Rj, @Ri	A	84	1+2a	CC--		(Ri) & Rj (Ri)	ワード
ANDH Rj, @Ri	A	85	1+2a	CC--		(Ri) & Rj (Ri)	ハーフワード
ANDB Rj, @Ri	A	86	1+2a	CC--		(Ri) & Rj (Ri)	バイト
OR Rj, Ri	A	92	1	CC--	-	Ri Rj Ri	ワード
OR Rj, @Ri	A	94	1+2a	CC--		(Ri) Rj (Ri)	ワード
ORH Rj, @Ri	A	95	1+2a	CC--		(Ri) Rj (Ri)	ハーフワード
ORB Rj, @Ri	A	96	1+2a	CC--		(Ri) Rj (Ri)	バイト
EOR Rj, Ri	A	9A	1	CC--	-	Ri ^ Rj Ri	ワード
EOR Rj, @Ri	A	9C	1+2a	CC--		(Ri) ^ Rj (Ri)	ワード
EORH Rj, @Ri	A	9D	1+2a	CC--		(Ri) ^ Rj (Ri)	ハーフワード
EORB Rj, @Ri	A	9E	1+2a	CC--		(Ri) ^ Rj (Ri)	バイト

表 E-4 ビット操作演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
BANDL #u4, @Ri	C	80	1+2a	----		(Ri) & {F0 _H +u4} (Ri)	下位 4 ビット
BANDH #u4, @Ri	C	81	1+2a	----		(Ri) & {u4<<4+0F _H } (Ri)	上位 4 ビット
*BAND #u8, @Ri ^{*1}	-	-	-	----		(Ri) & =u8	
BORL #u4, @Ri	C	90	1+2a	----		(Ri) u4 (Ri)	下位 4 ビット
BORH #u4, @Ri	C	91	1+2a	----		(Ri) {u4<<4} (Ri)	上位 4 ビット
*BOR #u8, @Ri ^{*2}	-	-	-	----		(Ri) =u8	
BEORL #u4, @Ri	C	98	1+2a	----		(Ri) ^ u4 (Ri)	下位 4 ビット
BEORH #u4, @Ri	C	99	1+2a	----		(Ri) ^ {u4<<4} (Ri)	上位 4 ビット
*BEOR #u8, @Ri ^{*3}	-	-	-	----		(Ri) ^ =u8	
BTSTL #u4, @Ri	C	88	2+a	0C--	-	(Ri) & u4	下位 4 ビット
BTSTH #u4, @Ri	C	89	2+a	CC--	-	(Ri) & {u4<<4}	上位 4 ビット

*1: アセンブラは, u8 & 0x0F でビットが立っていれば, BANDL を生成し, u8 & 0xF0 でビットが立っていれば, BANDH を生成する。BANDL, BANDH 両方生成する場合もある。

*2: アセンブラは, u8 & 0x0F でビットが立っていれば, BORL を生成し, u8 & 0xF0 でビットが立っていれば, BORH を生成する。BORL, BORH 両方生成する場合もある。

*3: アセンブラは, u8 & 0x0F でビットが立っていれば, BEORL を生成し, u8 & 0xF0 でビットが立っていれば, BEORH を生成する。BEORL, BEORH 両方生成する場合もある。

表 E-5 乗除算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
MUL Rj, Ri	A	AF	5	CCC-	-	Ri × Rj MDH,MDL	32 × 32 ビット =64 ビット
MULU Rj, Ri	A	AB	5	CCC-	-	Ri × Rj MDH,MDL	符号なし
MULH Rj, Ri	A	BF	3	CC--	-	Ri × Rj MDL	16 × 16 ビット =32 ビット
MULUH Rj, Ri	A	BB	3	CC--	-	Ri × Rj MDL	符号なし
DIV0S Ri	E	97-4	1	----	-	所定の命令シーケ ンスにて MDL ÷ Ri MDL MDL%Ri MDH	ステップ演算 32 ÷ 32 ビット =32 ビット
DIV0U Ri	E	97-5	1	----	-		
DIV1 Ri	E	97-6	1	-C-C	-		
DIV2 Ri	E	97-7	c	-C-C	-		
DIV3	E	9F-6	1	----	-		
DIV4S	E	9F-7	1	----	-		
*DIV Ri *1	-	-	36	-C-C	-	MDL ÷ Ri MDL MDL%Ri MDH	
*DIVU Ri *2	-	-	36	-C-C	-	MDL ÷ Ri MDL MDL%Ri MDH	

*1: DIV0S, DIV1 × 32, DIV2, DIV3, DIV4S を生成する。命令コード長は、72 バイトとなる。

*2: DIV0U, DIV1 × 32 を生成する。命令コード長は、66 バイトとなる。

表 E-6 シフト演算命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
LSL Rj, Ri	A	B6	1	CC-C	-	Ri << Rj Ri	論理シフト
*LSL #u5, Ri (u5:0 ~ 31)	C'	-	1	CC-C	-	Ri << u5 Ri	
LSL #u4, Ri	C	B4	1	CC-C	-	Ri << u4 Ri	
LSL2 #u4, Ri	C	B5	1	CC-C	-	Ri << {u4+16} Ri	
LSR Rj, Ri	A	B2	1	CC-C	-	Ri >> Rj Ri	論理シフト
*LSR #u5, Ri (u5:0 ~ 31)	C'	-	1	CC-C	-	Ri >> u5 Ri	
LSR #u4, Ri	C	B0	1	CC-C	-	Ri >> u4 Ri	
LSR2 #u4, Ri	C	B1	1	CC-C	-	Ri >> {u4+16} Ri	
ASR Rj, Ri	A	BA	1	CC-C	-	Ri >> Rj Ri	算術シフト
*ASR #u5, Ri (u5:0 ~ 31)	C'	-	1	CC-C	-	Ri >> u5 Ri	
ASR #u4, Ri	C	B8	1	CC-C	-	Ri >> u4 Ri	
ASR2 #u4, Ri	C	B9	1	CC-C	-	Ri >> {u4+16} Ri	

表 E-7 即値データ転送命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
LDI:32 #i32, Ri	H	9F-8	d	----	-	i32 Ri	
LDI:20 #i20, Ri	G	9B	d	----	-	extu(i20) Ri	上位 12 ビットは ゼロ拡張
LDI:8 #i8, Ri	B	C0	l	----	-	extu(i8) Ri	上位 24 ビットは ゼロ拡張
*LDI {i8li20li32}, Ri *1	-	-	-	-	-	{i8li20li32} Ri	

*1: 即値が絶対値の場合は, i8,i20,i32 の選択はアセンブラが自動的に行う。
即値が相対値または外部参照シンボルを含む場合は, i32 が選択される。

表 E-8 メモリロード命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
LD @Rj, Ri	A	04	b	----	-	(Rj) Ri	ワード
LD @(R13, Rj), Ri	A	00	b	----	-	(R13+Rj) Ri	
LD @(R14, disp10), Ri	B	2	b	----	-	(R14+o8 × 4) Ri	
LD @(R15, udisp6), Ri	C	03	b	----	-	(R15+u4 × 4) Ri	
LD @R15+, Ri	E	07-0	b	----	-	(R15) Ri, R15+4 R15	
LD @R15+, Rs	E	07-8	b	----	-	(R15) Rs, R15+4 R15	Rs: 特殊 レジスタ
LD @R15+, PS	E	07-9	l+a	CCCC	-	(R15) PS, R15+4 R15	ワード
LDUH @Rj, Ri	A	05	b	----	-	extu((Rj)) Ri	ハーフ ワード ゼロ拡張
LDUH @(R13, Rj), Ri	A	01	b	----	-	extu((R13+Rj)) Ri	
LDUH @(R14, disp9), Ri	B	04	b	----	-	extu((R14+o8 × 2)) Rj	
LDUB @Rj, Ri	A	06	b	----	-	extu((Rj)) Ri	バイト ゼロ拡張
LDUB @(R13, Rj), Ri	A	02	b	----	-	extu((R13+Rj)) Ri	
LDUB @(R14, disp8), Ri	B	6	b	----	-	extu((R14+o8)) Ri	

- 命令フォーマットTYPE-Bのo8およびTYPE-Cのu4フィールドと、アセンブラ記述の disp8 ~ disp10 の関係は次のようになっています。

o8 = disp8

o8 = disp9 >> 1

o8 = disp10 >> 2

u4 = udisp6 >> 2

表 E-9 メモリストア命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
ST Ri, @Rj	A	14	a	----	-	Ri (Rj)	ワード
ST Ri, @(R13, Rj)	A	10	a	----	-	Ri (R13+Rj)	
ST Ri, @(R14, disp10)	B	3	a	----	-	Ri (R14+o8 × 4)	
ST Ri, @(R15, udisp6)	C	13	a	----	-	Ri (R15+u4 × 4)	
ST Ri, @-R15	E	17-0	a	----	-	R15-4 R15, Ri (R15)	
ST Rs, @-R15	E	17-8	a	----	-	R15-4 R15, Rs (R15)	Rs: 特殊レジスタ
ST PS, @-R15	E	17-9	a	----	-	R15-4 R15, PS (R15)	ワード
STH Ri, @Rj	A	15	a	----	-	Ri (Rj)	ハーフワード
STH Ri, @(R13, Rj)	A	11	a	----	-	Ri (R13+Rj)	
STH Ri, @(R14, disp9)	B	5	a	----	-	Ri (R14+o8 × 2)	
STB Ri, @Rj	A	16	a	----	-	Ri (Rj)	バイト
STB Ri, @(R13, Rj)	A	12	a	----	-	Ri (R13+Rj)	
STB Ri, @(R14, disp8)	B	7	a	----	-	Ri (R14+o8)	

- 命令フォーマット TYPE-B の o8 および TYPE-C の u4 フィールドと、アセンブラ記述 disp8 ~ disp10 の関係は次のようになっています。

o8 = disp8

o8 = disp9 >> 1

o8 = disp10 >> 2

u4 = udisp6 >> 2

表 E-10 レジスタ間転送命令 / 専用レジスタ転送命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
MOV Rj, Ri	A	8B	1	----	-	Rj Ri	汎用レジスタ間転送
MOV Rs, Ri	A	B7	1	----	-	Rs Ri	Rs: 特殊レジスタ
MOV Ri, Rs	A	B3	1	----	-	Ri Rs	Rs: 特殊レジスタ
MOV PS, Ri	E	17-1	1	----	-	PS Ri	PS: プログラムステータス
MOV Ri, PS	E	07-1	1	CCCC	-	Ri PS	PS: プログラムステータス

表 E-11 遅延なし分岐命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作
JMP @Ri	E	97-0	2	----	-	Ri PC
CALL label12	F	D0	2	----	-	PC+2 RP, PC+2+exts(rel11 × 2) PC
CALL @Ri	E	97-1	2	----	-	PC+2 RP, Ri PC
RET	E	97-2	2	----	-	RP PC
INT #u8	D	1F	1+3a	----	-	SSP-4 SSP, PS (SSP), SSP-4 SSP, PC+2 (SSP), 0 CCR:I, 0 CCR:S, (TBR+3FC-u8 × 4) PC
INTE	E	9F-3	1+3a	----	-	SSP-4 SSP, PS (SSP), SSP-4 SSP, PC+2 (SSP), 0 CCR:S, 4 ILM, (TBR+3D8) PC
RETI	E	97-3	1+2b	----	-	(SSP) PC, SSP+4 SSP, (SSP) PS, SSP+4 SSP
BRA label9	D	E0	2	----	-	PC+2+exts(rel8 × 2) PC
BNO label9	D	E1	1	----	-	非分岐
BEQ label9	D	E2	2/1	----	-	if (Z==1) then PC+2+exts(rel8 × 2) PC
BNE label9	D	E3	2/1	----	-	if (Z==0) then PC+2+exts(rel8 × 2) PC
BC label9	D	E4	2/1	----	-	if (C==1) then PC+2+exts(rel8 × 2) PC
BNC label9	D	E5	2/1	----	-	if (C==0) then PC+2+exts(rel8 × 2) PC
BN label9	D	E6	2/1	----	-	if (N==1) then PC+2+exts(rel8 × 2) PC
BP label9	D	E7	2/1	----	-	if (N==0) then PC+2+exts(rel8 × 2) PC
BV label9	D	E8	2/1	----	-	if (V==1) then PC+2+exts(rel8 × 2) PC
BNV label9	D	E9	2/1	----	-	if (V==0) then PC+2+exts(rel8 × 2) PC
BLT label9	D	EA	2/1	----	-	if (V ^ N==1) then PC+2+exts(rel8 × 2) PC
BGE label9	D	EB	2/1	----	-	if (V ^ N==0) then PC+2+exts(rel8 × 2) PC
BLE label9	D	EC	2/1	----	-	if ({V ^ N} Z==1) then PC+2+exts(rel8 × 2) PC
BGT label9	D	ED	2/1	----	-	if ({V ^ N} Z==0) then PC+2+exts(rel8 × 2) PC
BLS label9	D	EE	2/1	----	-	if (C or Z==1) then PC+2+exts(rel8 × 2) PC
BHI label9	D	EF	2/1	----	-	if (C or Z==0) then PC+2+exts(rel8 × 2) PC

- CYC 欄の "2/1" は、分岐するときは 2、分岐しないときは 1 を示します。
- RETI を実行するときはスタックフラグ (S) が "0" である必要があります。
- 命令フォーマット TYPE-D の rel8 および TYPE-F の rel11 フィールドと、アセンブラ記述の label9, label12 の関係は次のようになっています。

$$\text{rel8} = (\text{label9} - \text{PC} - 2) / 2$$

$$\text{rel11} = (\text{label12} - \text{PC} - 2) / 2$$

表 E-12 遅延分岐命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作
JMP:D @Ri	E	9F-0	1	----	-	Ri PC
CALL:D label12	F	D8	1	----	-	PC+4 RP, PC+2+exts(rel11 × 2) PC
CALL:D @Ri	E	9F-1	1	----	-	PC+4 RP, Ri PC
RET:D	E	9F-2	1	----	-	RP PC
BRA:D label9	D	F0	1	----	-	PC+2+exts(rel8 × 2) PC
BNO:D label9	D	F1	1	----	-	非分岐
BEQ:D label9	D	F2	1	----	-	if (Z==1) then PC+2+exts(rel8 × 2) PC
BNE:D label9	D	F3	1	----	-	if (Z==0) then PC+2+exts(rel8 × 2) PC
BC:D label9	D	F4	1	----	-	if (C==1) then PC+2+exts(rel8 × 2) PC
BNC:D label9	D	F5	1	----	-	if (C==0) then PC+2+exts(rel8 × 2) PC
BN:D label9	D	F6	1	----	-	if (N==1) then PC+2+exts(rel8 × 2) PC
BP:D label9	D	F7	1	----	-	if (N==0) then PC+2+exts(rel8 × 2) PC
BV:D label9	D	F8	1	----	-	if (V==1) then PC+2+exts(rel8 × 2) PC
BNV:D label9	D	F9	1	----	-	if (V==0) then PC+2+exts(rel8 × 2) PC
BLT:D label9	D	FA	1	----	-	if (V ^ N==1) then PC+2+exts(rel8 × 2) PC
BGE:D label9	D	FB	1	----	-	if (V ^ N==0) then PC+2+exts(rel8 × 2) PC
BLE:D label9	D	FC	1	----	-	if ((V ^ N) Z==1) then PC+2+exts(rel8 × 2) PC
BGT:D label9	D	FD	1	----	-	if ((V ^ N) Z==0) then PC+2+exts(rel8 × 2) PC
BLS:D label9	D	FE	1	----	-	if (C or Z==1) then PC+2+exts(rel8 × 2) PC
BHI:D label9	D	FF	1	----	-	if (C or Z==0) then PC+2+exts(rel8 × 2) PC

- 遅延分岐命令は必ず次の命令 (遅延スロット) を実行してから分岐します。
- 命令フォーマット TYPE-D の rel8 および TYPE-F の rel11 フィールドと、アセンブラ記述の label9, label12 の関係は次のようになっています。

rel8 = (label9-PC-2) /2

rel11 = (label12-PC-2) /2

表 E-13 ダイレクトアドレス指定命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
DMOV @dir10, R13	D	08	b	----	-	(dir10) R13	ワード
DMOV R13, @dir10	D	18	a	----	-	R13 (dir10)	
DMOV @dir10, @R13+	D	0C	1+2a	----	-	(dir10) (R13), R13+=4	
DMOV @R13+, @dir10	D	1C	1+2a	----	-	(R13) (dir10), R13+=4	
DMOV @dir10, @-R15	D	0B	1+2a	----	-	R15-=4, (R15) (dir10)	
DMOV @R15+, @dir10	D	1B	1+2a	----	-	(R15) (dir10), R15+=4	
DMOVH @dir9, R13	D	09	b	----	-	(dir9) R13	ハーフ ワード
DMOVH R13, @dir9	D	19	a	----	-	R13 (dir9)	
DMOVH @dir9, @R13+	D	0D	1+2a	----	-	(dir9) (R13), R13+=2	
DMOVH @R13+, @dir9	D	1D	1+2a	----	-	(R13) (dir9), R13+=2	
DMOVB @dir8, R13	D	0A	b	----	-	(dir8) R13	バイト
DMOVB R13, @dir8	D	1A	a	----	-	R13 (dir8)	
DMOVB @dir8, @R13+	D	0E	1+2a	----	-	(dir8) (R13), R13++	
DMOVB @R13+, @dir8	D	1E	1+2a	----	-	(R13) (dir8), R13++	

- 命令フォーマットTYPE-Dのdir8フィールドとアセンブラ記述のdir8, dir9, dir10の関係は次のようになっています。

dir8 = dir8

dir8 = dir9 >> 1

dir8 = dir10 >> 2

表 E-14 ビットサーチ命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
SRCH0 Ri	E	97-C	1	----	-	search_zero(Ri) Ri	MSB から LSB へ 0 検索
SRCH1 Ri	E	97-D	1	----	-	search_one(Ri) Ri	MSB から LSB へ 1 検索
SRCHC Ri	E	97-E	1	----	-	search_change(Ri) Ri	MSB から LSB へ 変化点検索

表 E-15 その他の命令

ニーモニック	型	OP	CYC	FLAG NZVC	RMW	動作	備考
NOP	E'	9F-A	1	----	-	何も変化しない	
ANDCCR #u8	D	83	1	CCCC	-	CCR & u8 CCR	
ORCCR #u8	D	93	1	CCCC	-	CCR u8 CCR	
STILM #u8	D	87	1	----	-	u8 ILM	ILM 即値セット
ADDSP #s10	D	A3	1	----	-	R15 += s10	
EXTSB Ri	E	97-8	1	----	-	exts(Ri[7:0]) Ri	符号拡張 8 32
EXTUB Ri	E	97-9	1	----	-	extu(Ri[7:0]) Ri	ゼロ拡張 8 32
EXTSH Ri	E	97-A	1	----	-	exts(Ri[15:0]) Ri	符号拡張 16 32
EXTUH Ri	E	97-B	1	----	-	extu(Ri[15:0]) Ri	ゼロ拡張 16 32
LDM0 (reglist)	D	8C	*1	----	-	(R15) reglist, R15 インクリメント	ロードマルチ R0 ~ R7
LDM1 (reglist)	D	8D	*1	----	-	(R15) reglist, R15 インクリメント	ロードマルチ R8 ~ R15
*LDM (reglist) *3	-	-	-	----	-	(R15) reglist, R15 インクリメント	ロードマルチ R0 ~ R15
STM0 (reglist)	D	8E	*2	----	-	R15ディクリメント, reglist (R15)	ストアマルチ R0 ~ R7
STM1 (reglist)	D	8F	*2	----	-	R15ディクリメント, reglist (R15)	ストアマルチ R8 ~ R15
*STM (reglist) *4	-	-	-	----	-	R15ディクリメント, reglist (R15)	ストアマルチ R0 ~ R15
ENTER #u10	D	0F	1+a	----	-	R14 (R15-4), R15-4 R14, R15-extu(u8 × 4) R15	関数の入口処理
LEAVE	E	9F-9	b	----	-	R14+4 R15, (R15-4) R14	関数の出口処理
XCHB @Rj, Ri	A	8A	2a	----		Ri TEMP, extu((Rj)) Ri, TEMP (Rj))	セマフォ管理用 バイトデータ

*1: LDM0 (reglist), LDM1 (reglist) の実行サイクル数は、指定されたレジスタ数が n のとき $b \times n$ サイクルとなります。

*2: STM0 (reglist), STM1 (reglist) の実行サイクル数は、指定されたレジスタ数が n のとき $a \times n$ サイクルとなります。

*3: reglist で、R0-R7 のいずれかの指定があれば、LDM0 を生成し、R8-R15 のいずれかの指定があれば、LDM1 を生成する。LDM0, LDM1 両方生成する場合もある。

*4: reglist で、R0-R7 のいずれかの指定があれば、STM0 を生成し R8-R15 のいずれかの指定があれば、STM1 を生成する。STM1, STM0 両方生成する場合もある。

- ADDSP 命令において、命令フォーマット TYPE-D の s8 フィールドとアセンブラ記述の s10 の関係は次のようになっています。

$s8 = s10 \gg 2$

- ENTER 命令において、命令フォーマット中の TYPE-D の u8 フィールドとアセンブラ記述の u10 の関係は次のようになっています。

$u8 = u10 \gg 2$

E.3 遅延スロットに配置可能な命令一覧

遅延分岐命令の遅延スロットに配置可能な命令一覧を示します。

- 加減算命令

ADD Rj, Ri	ADD #14, Ri	ADD2 #i4, Ri
ADDC Rj, Ri	ADDN Rj, Ri	ADDN #i4, Ri
ADDN2 #i4, Ri	SUB Rj, Ri	SUBC Rj, Ri
SUBN Rj, Ri		

- 比較演算命令

CMP Rj, Ri	CMP #i4, Ri	CMP2 #i4, Ri
------------	-------------	--------------

- 論理演算命令

AND Rj, Ri	OR Rj, Ri	EOR Rj, Ri
------------	-----------	------------

- 乗除算命令

DIV0S Ri	DIV0U Ri	DIV1 Ri
DIV2 Ri	DIV3	DIV4S

- シフト演算命令

LSL Rj, Ri	LSL #u4, Ri	LSL2 #u4, Ri
LSR Rj, Ri	LSR #u4, Ri	LSR2 #u4, Ri
ASR Rj, Ri	ASR #u4, Ri	ASR2 #u4, Ri

- 即値データ転送命令

LDI:8 #i8, Ri

- メモリロード命令

LD @Rj, Ri	LD @(R13, Rj), Ri	LD @(R14, disp10), Ri
LD @(R15, udisp6), Ri	LD @R15+, Ri	LD @R15+, Rs
LDUH @Rj, Ri	LDUH @(R13, Rj), Ri	LDUH @(R14, disp9), Ri
LDUB @Rj, Ri	LDUB @(R13, Rj), Ri	LDUB @(R14, disp8), Ri

- メモリストア命令

ST Ri, @Rj	ST Ri, @(R13, Rj)	ST Ri, @(R14, disp10)
ST Ri, @(R15, udisp6)	ST Ri, @-R15	ST Rs, @-R15
ST PS, @-R15		
STH Ri, @Rj	STH Ri, @(R13, Rj)	STH Ri, @(R14, disp9)
STB Ri, @Rj	STB Ri, @(R13, Rj)	STB Ri, @(R14, disp8)

- レジスタ間転送命令

MOV Rj, Ri	MOV Rs, Ri	MOV Ri, Rs
MOV PS, Ri	MOV Ri, PS	

- ダイレクトアドレス指定命令

DMOV @dir10, R13	DMOV R13, @dir10	DMOVH @dir9, R13
DMOVH R13, @dir9	DMOVB @dir8, R13	DMOVB R13, @dir8

- ビットサーチ命令

SRCH0 Ri	SRCH1 Ri	SRCHC Ri
----------	----------	----------

- その他の命令

NOP	ANDCCR #u8	ORCCR #u8
STILM #u8	ADDSP #s10	EXTSB Ri
EXTUB Ri	EXTSH Ri	EXTUH Ri
LEAVE		

付録 F プログラムローダモード

本モードは、内蔵 ROM に格納されたプログラムローダが、マルチファンクションシリアルインタフェース ch.0 を用いて外部とシリアル通信を行い、外部からプログラムを内蔵 RAM (128K バイト) へロードして、ロードしたプログラムを起動するモードです。

シリアル通信は、INIT による初期化時の MD1, MD0, SIN0/P75, SOUT0/P76 の状態により、非同期通信か同期通信かを選択可能です。端子設定は「■ 設定方法」を参考にしてご使用ください。

■ 設定方法

INIT による初期化時に端子 MD1, MD0, SIN0/P75, SOUT0/P76 の状態を下記表のとおり
に設定すると、内蔵 ROM に格納されたプログラムローダが起動します。

プログラムローダは、MD1, MD0, SOUT0/P76 で決定されます。

外部とのシリアル通信に用いるマルチファンクションシリアルインタフェース ch.0 の
非同期通信か同期通信かは SIN0/P75 で決定されます。

原発振周波数は 16MHz となります。

● 端子設定 (原発振周波数 16MHz)

	端子名			
仕様	MD1	MD0	SIN0/P75	SOUT0/P76
非同期通信	0	1	1	1
同期通信	0	1	0	1

■ 詳細

• 非同期通信 - 原発振周波数 (16MHz)

マルチファンクションシリアルインタフェース ch.0 の非同期モード (モード 0) で
シリアル通信を行います。

ボーレート 9600bps になります。

シリアル設定はデータ長: 8 ビット, ストップビット長: 1 ビット, パリティなし,
LSB ファーストです。

• 同期通信

マルチファンクションシリアルインタフェース ch.0 の同期モード (モード 2) でシ
リアル通信を行います。ボーレートの選択は、クロック入力 (SCK0) により自由に
設定できます (クロック入力 SCK0 の周波数がそのままボーレート)。

クロック入力の最大周波数は、2MHz です。

シリアル設定はデータ長: 8 ビット, パリティなし, LSB ファーストです。

いずれのモードも

• コマンドデータ (00_H)

- ダウンロード先 RAM アドレス 4 バイト (00020000_H ~ 0003FEFF_H)
(使用禁止: 0003FF00_H ~ 0003FFFF_H)
- ダウンロードバイト数 4 バイト (最大 0001FEFF_H)

の 3 つのダウンロード情報データを FR 側へ順に上位バイトから 1 バイトずつ与え、さらにこれらの SUM チェックデータ (データをすべて加えて下位 8 ビットを取り出す) を与えることにより、RAM へのダウンロードルーチンに入ります。次に、内蔵 RAM にダウンロードしたいデータを同じく FR 側へ順に上位バイトから 1 バイトずつ与え、SUM チェックデータを与えます。転送終了後、RAM にジャンプしダウンロードされたプログラムが実行されます。

例) RAM アドレス "00020000_H" へ "0000005B_H" バイトのデータを転送するとき

表 F-1 ダウンロード時のハンドシェイク

		PC など		FR
コマンドデータ		00 _H		
ダウンロード先アドレス		00 _H		
		02 _H		
		00 _H		
		00 _H		
ダウンロードバイト数 (91 バイト)		00 _H		
		00 _H		
		00 _H		
		5B _H		
SUM チェックデータ		5E _H		
FR からのアクノリッジ				01 _H
データ送信		DATA		
SUM チェックデータ		*		
FR からのアクノリッジ				01 _H

※: 送信データをすべて加えて下位 8 ビットを取り出します。

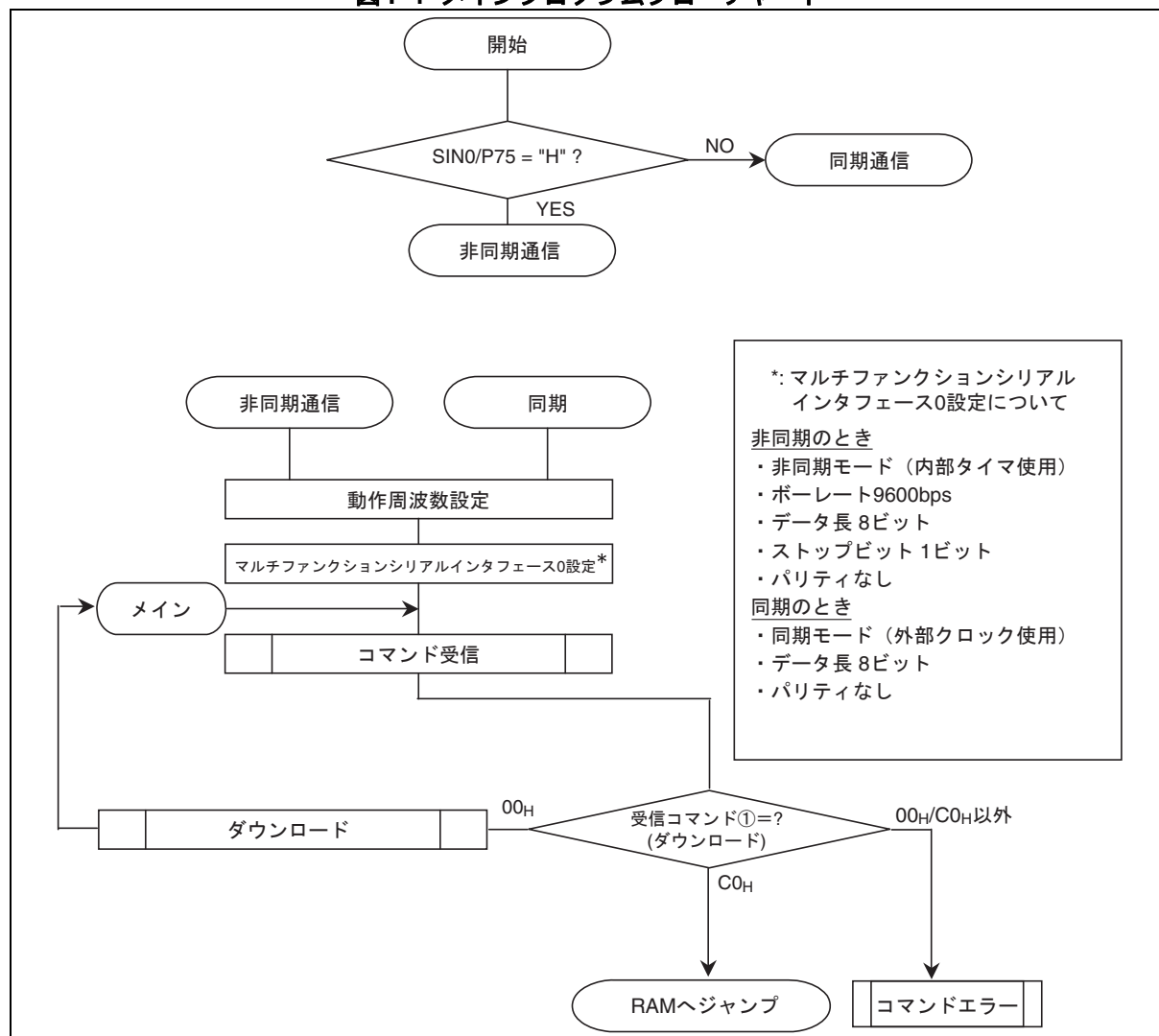
表 F-2 RAM ヘジャンプするときのハンドシェイク

		PC など		FR
コマンドデータ		C0 _H		
ダミーデータ		00 _H		
		00 _H		
		00 _H		
		00 _H		
ダミーデータ		00 _H		
		00 _H		
		00 _H		
		00 _H		
SUM チェックデータ		C0 _H		
RAM ヘジャンプ				

なお、マルチファンクションシリアルインタフェースの詳細動作、全端子状態などについては、「第 24 章 マルチファンクションシリアル インタフェース」、または表 D-1 の「イニシャライズ時 (INIT)」を参照してください。

- メインプログラムフローチャート

図 F-1 メインプログラムフローチャート

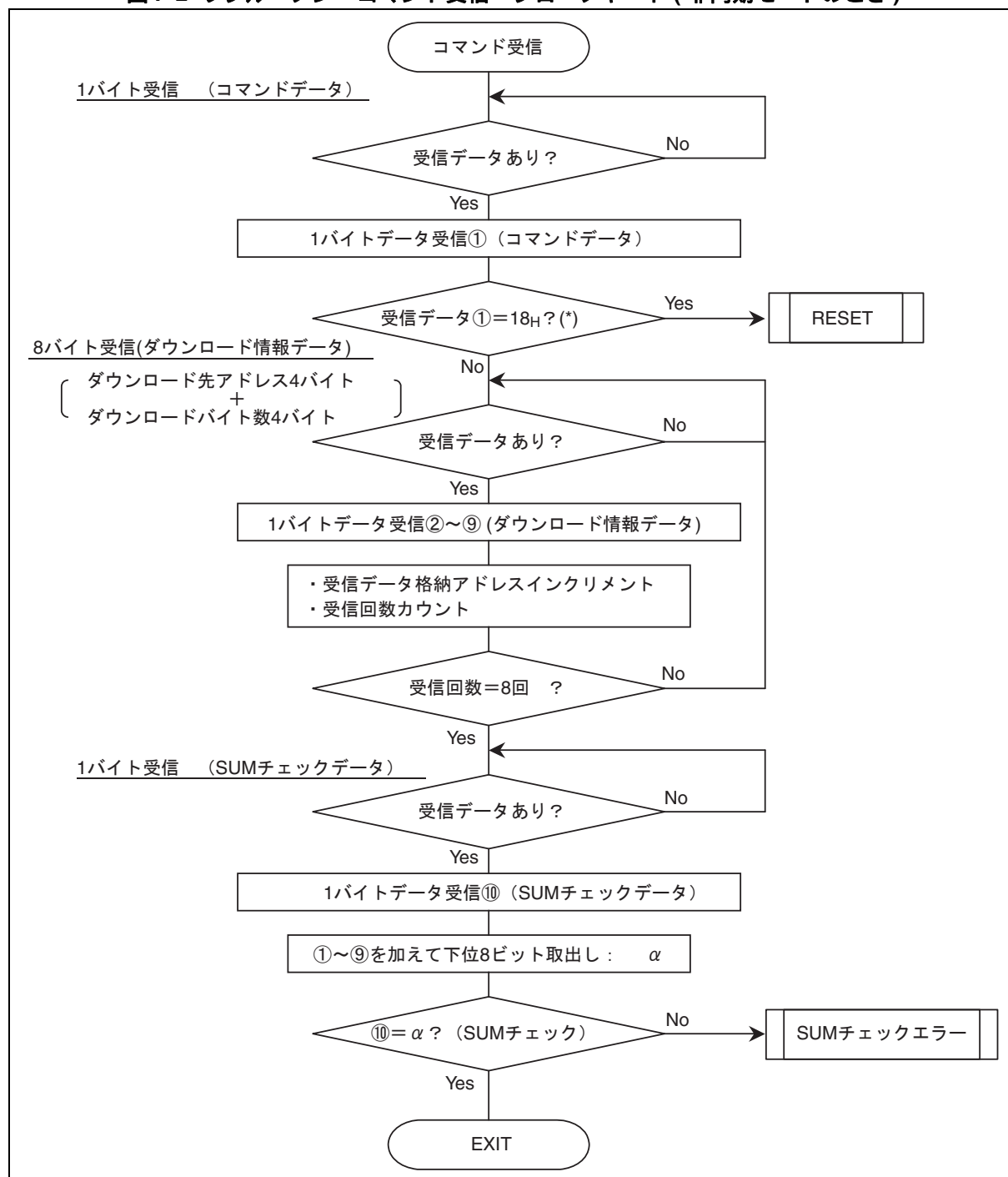


FR 側に発行されるコマンドおよび FR 側からの応答信号の一覧を示します。

		FR		PC など
コマンド	ダウンロード			00 _H
	リセット			18 _H
	RAM ジャンプ			C0 _H
コマンド 受信応答	コマンド異常	(受信コマンド & F0 _H) 04 _H		
	SUM チェック異常	(受信コマンド (00 _H) & F0 _H) 04 _H		
	RESET コマンド受信	11 _H		
	DOWN LOAD コマンド受信	01 _H		

- サブルーチン " コマンド受信 " フローチャート (非同期モードのとき)

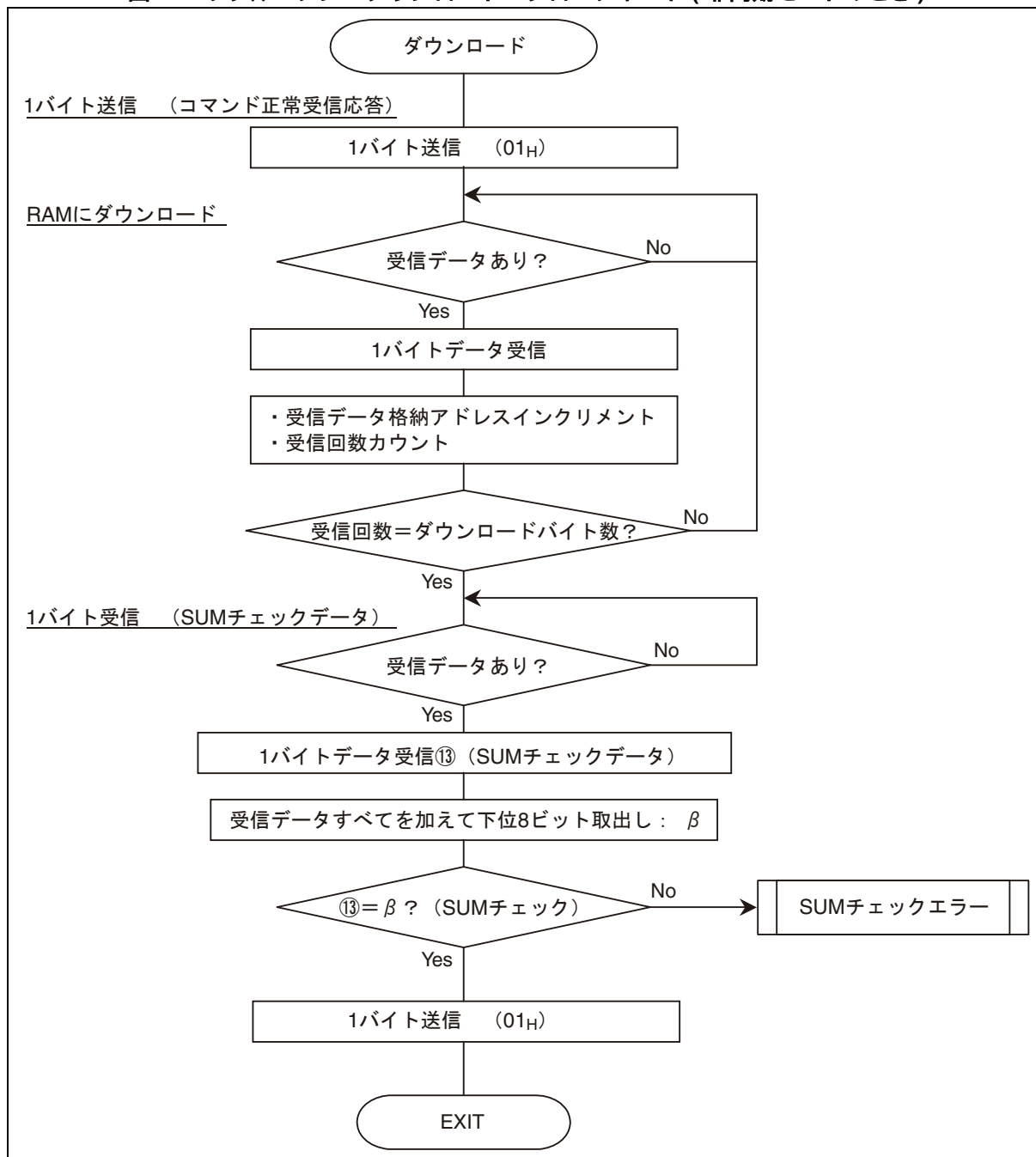
図 F-2 サブルーチン " コマンド受信 " フローチャート (非同期モードのとき)



*: 受信データ が 00_H である場合は、フローチャート中の番号は表 F-1 に対応しています。
受信データ が C0_H である場合は、フローチャート中の番号は表 F-2 に対応しています。

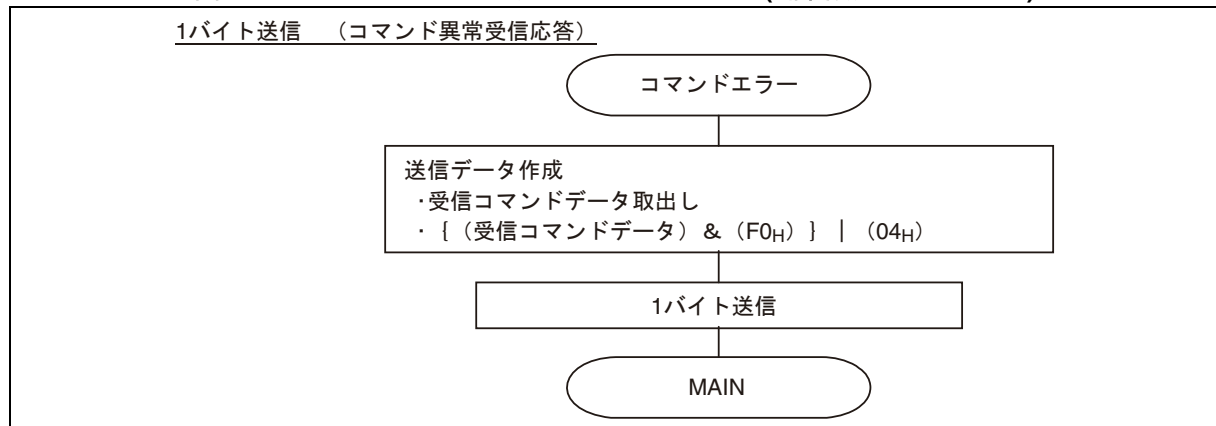
- ・ サブルーチン "ダウンロード" フローチャート (非同期モードのとき)

図 F-3 サブルーチン "ダウンロード" フローチャート (非同期モードのとき)



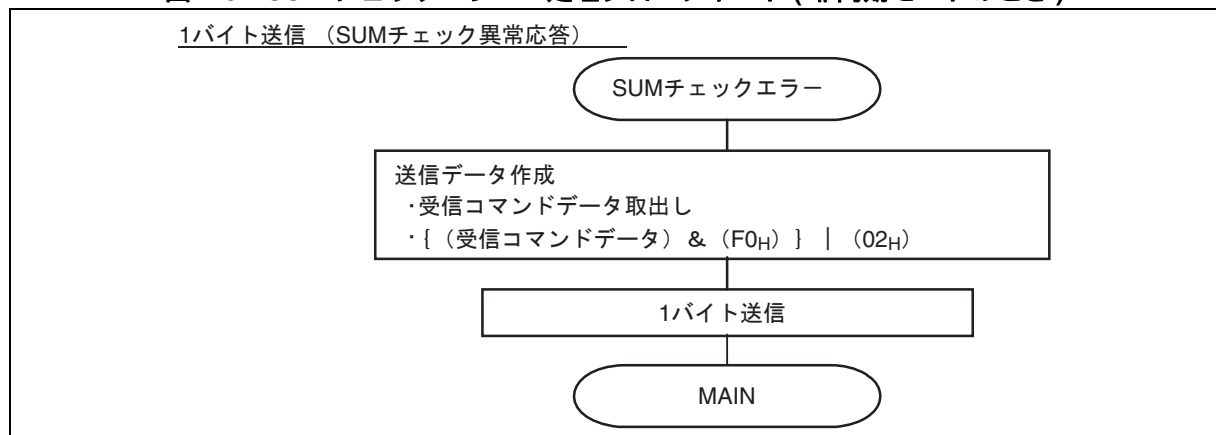
- "コマンドエラー" 処理フローチャート (非同期モードのとき)

図 F-4 "コマンドエラー" 処理フローチャート (非同期モードのとき)



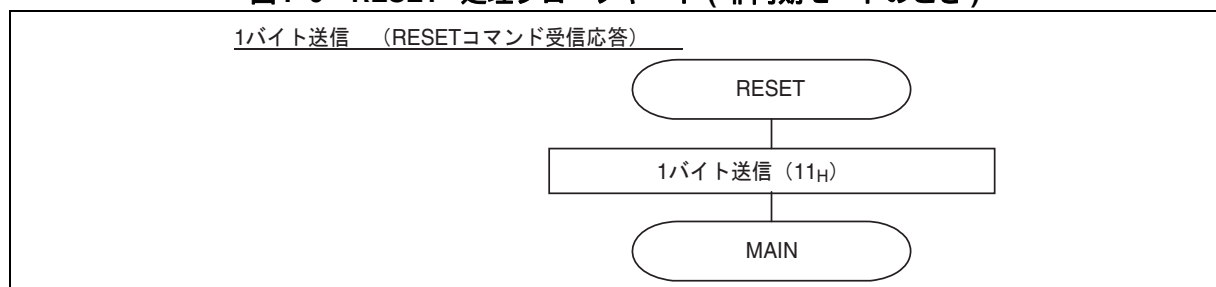
- "SUM チェックエラー" 処理フローチャート (非同期モードのとき)

図 F-5 "SUM チェックエラー" 処理フローチャート (非同期モードのとき)



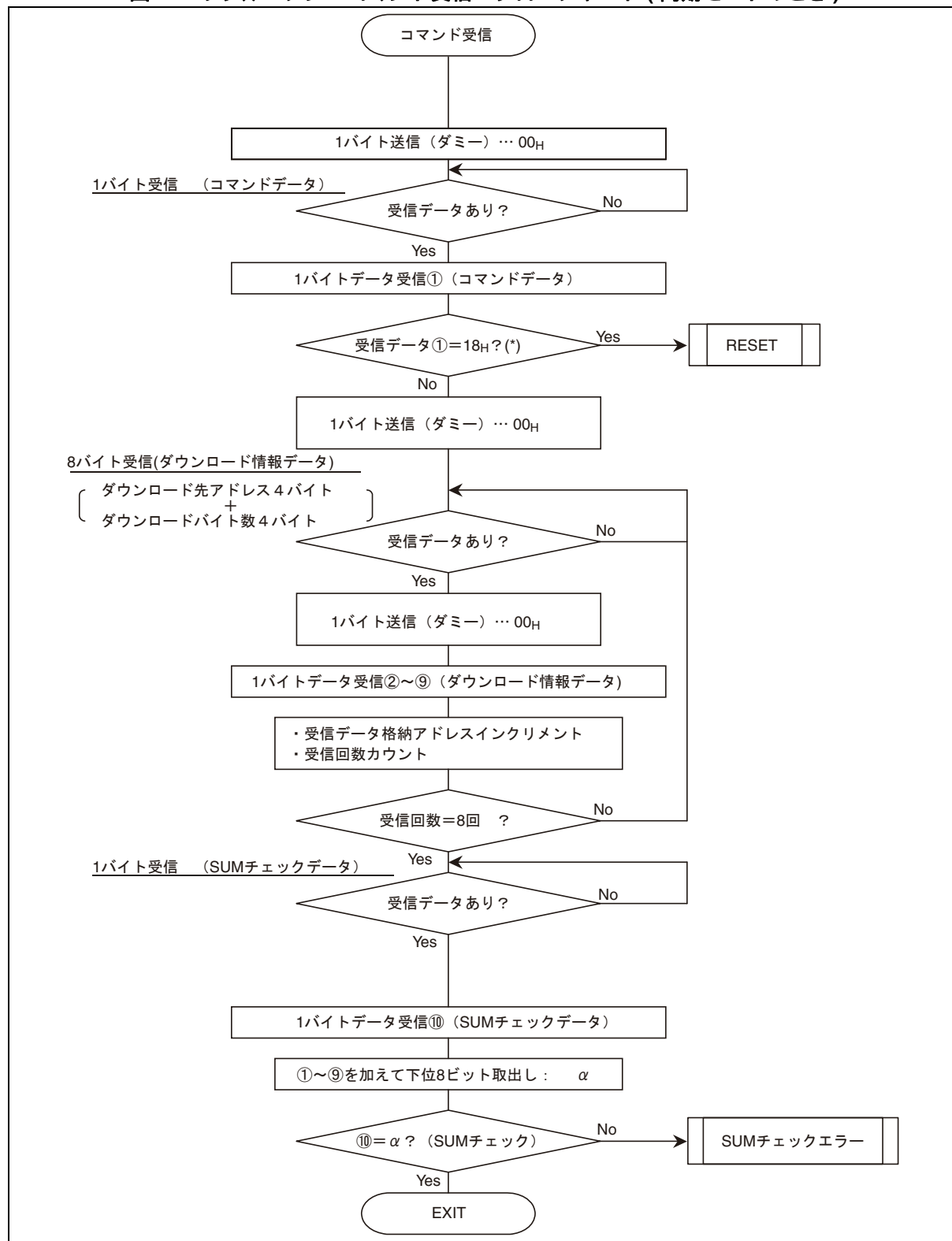
- "RESET" 処理フローチャート (非同期モードのとき)

図 F-6 "RESET" 処理フローチャート (非同期モードのとき)



- ・ サブルーチン " コマンド受信 " フローチャート (同期モードのとき)

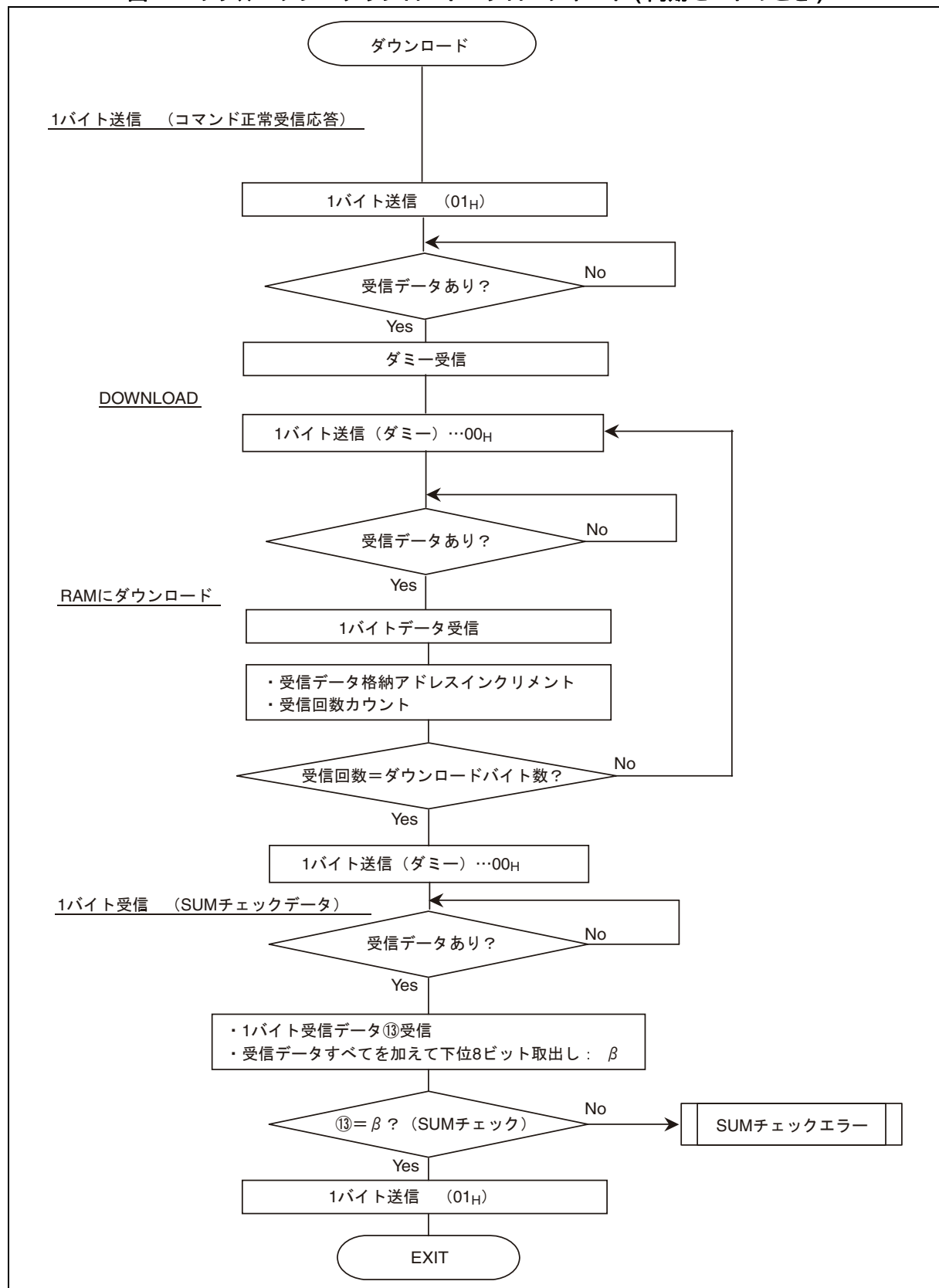
図 F-7 サブルーチン " コマンド受信 " フローチャート (同期モードのとき)



*: 受信データ が 00_H である場合は、フローチャート中の番号は表 F-1 に対応しています。
受信データ が C0_H である場合は、フローチャート中の番号は表 F-2 に対応しています。

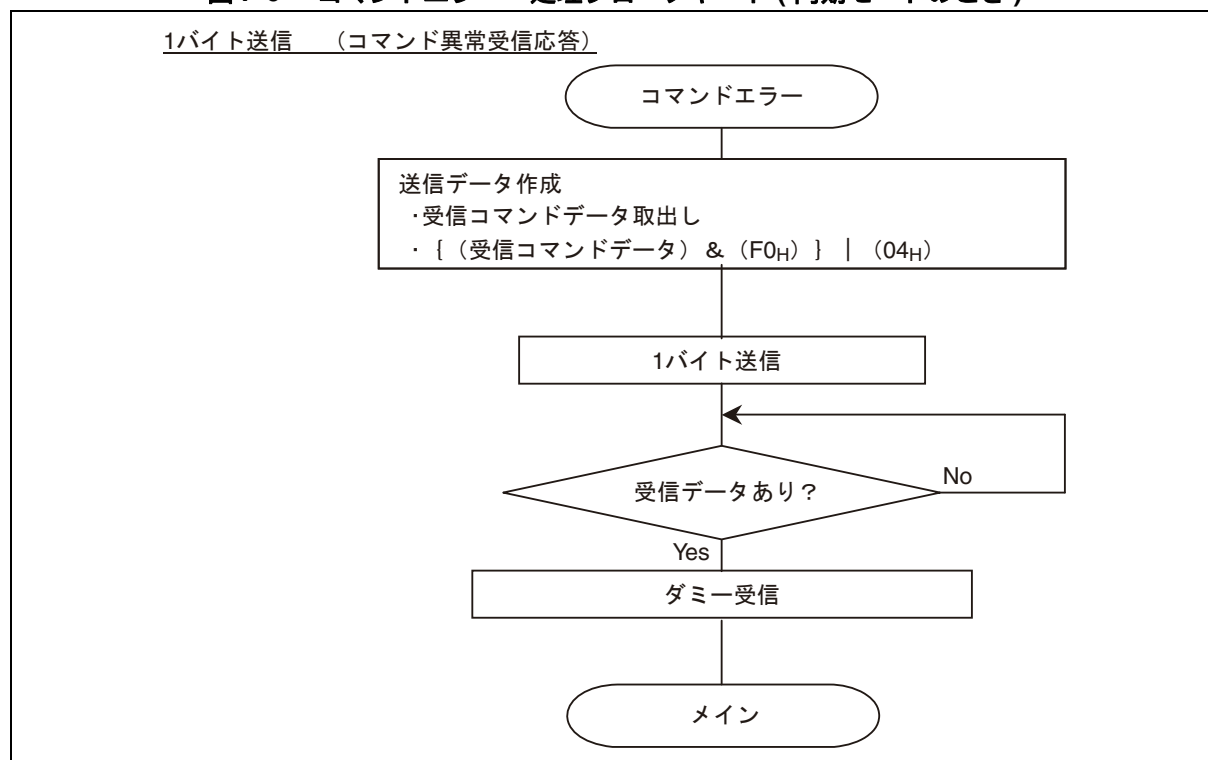
- サブルーチン "ダウンロード" フローチャート (同期モードのとき)

図 F-8 サブルーチン "ダウンロード" フローチャート (同期モードのとき)



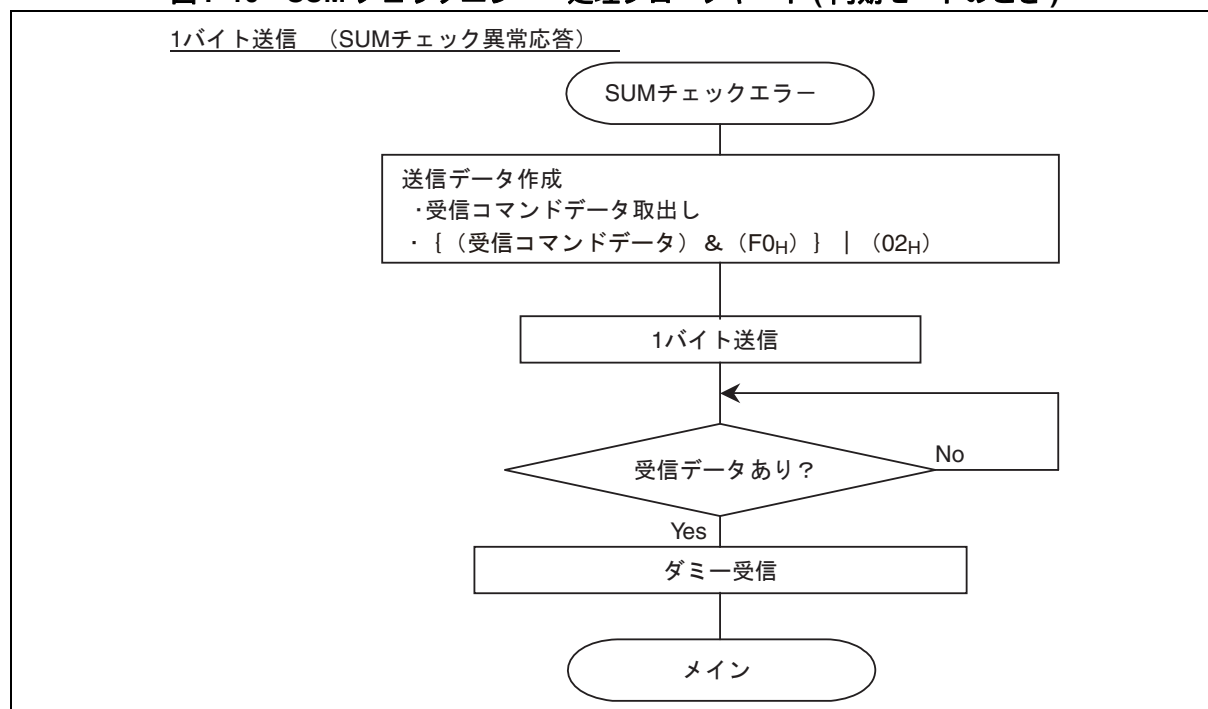
- "コマンドエラー" 処理フローチャート (同期モードのとき)

図 F-9 "コマンドエラー" 処理フローチャート (同期モードのとき)



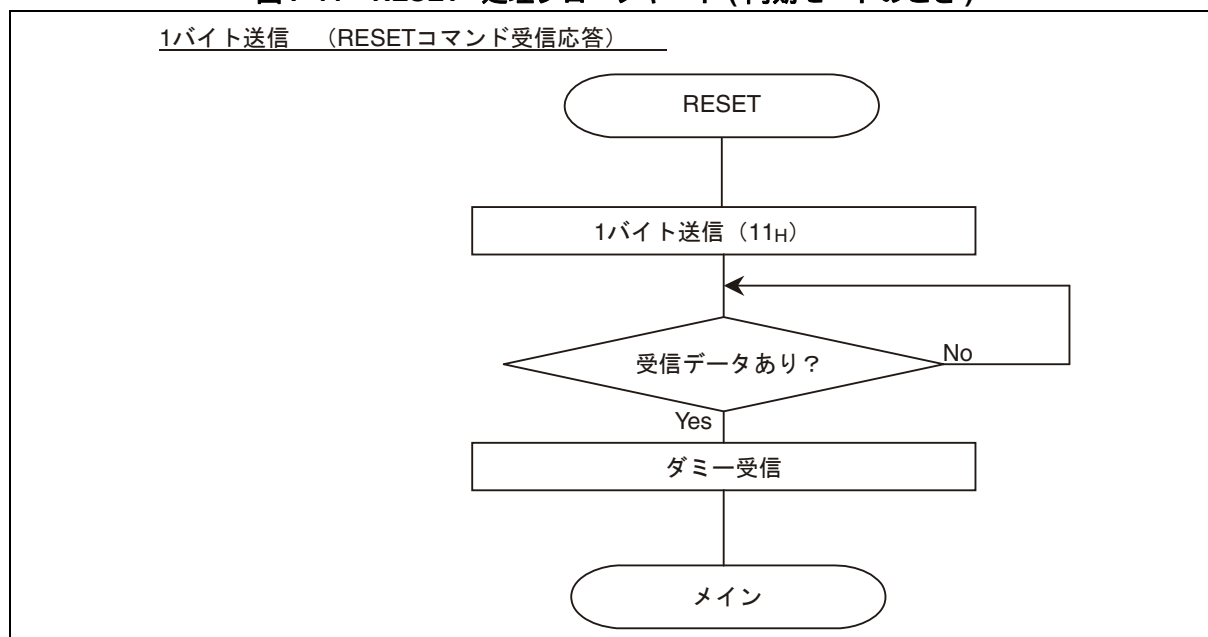
- "SUM チェックエラー" 処理フローチャート (同期モードのとき)

図 F-10 "SUM チェックエラー" 処理フローチャート (同期モードのとき)



- "RESET" 処理フローチャート (同期モードのとき)

図 F-11 "RESET" 処理フローチャート (同期モードのとき)

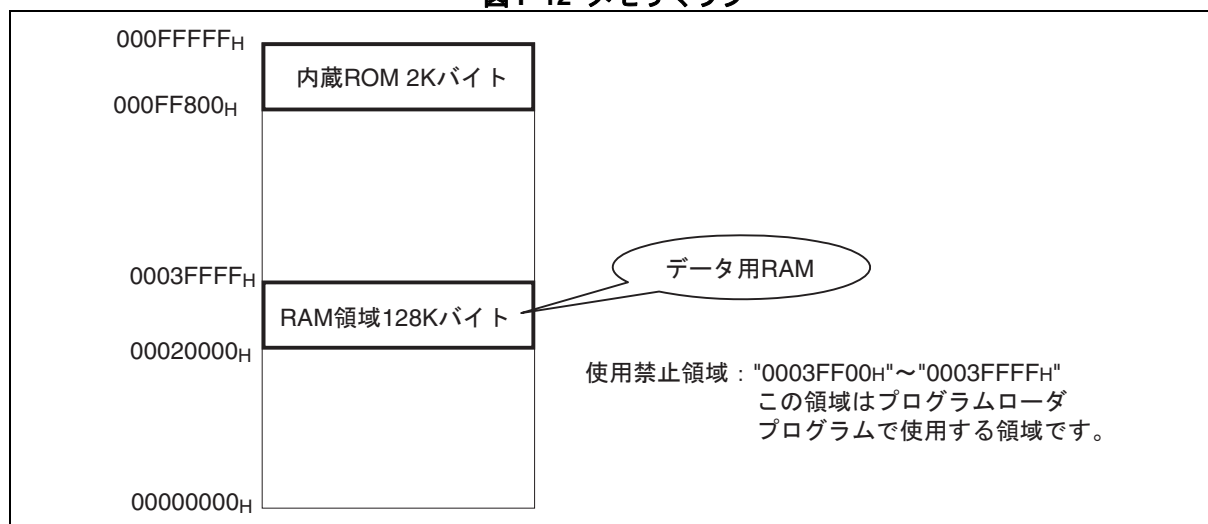


■ メモリマップ

本ローダプログラムは、シリアルライターモードで実行され、実行後のメモリマップは、下記ようになります。プログラムを配置できるのは下記の RAM 領域となります。

外部領域以外へアクセスする場合は、ダウンロードされたプログラムにて、必要なレジスタ設定を行ってください。

図 F-12 メモリマップ



■ ロードプログラムを利用して、フラッシュメモリへの書き込みを行う例

図 F-13 に、ロード (RAM に展開) されたプログラムにて、「CS4 へ接続されたフラッシュメモリを書き込む」場合の接続例を示します。

フラッシュ全体をアクセスするためには、内蔵リソースや RAM などの内部領域とオーバラップしない領域にフラッシュメモリを配置する必要があります。本例では、CS4 領域に接続された 1M バイトのフラッシュメモリを "0x10 0000_H" ~ "0x1F FFFF_H" 番地としてアクセスすることを想定しています。ただし、FR ファミリでは、リセットベクタは "0xF FFFC_H" 番地、モードベクタは "0xF FFF8_H" 番地に固定されており、書き込まれたフラッシュ内のプログラムを正常に実行させるためには、この領域をカバーしておく必要があります。これは、1M バイトのフラッシュの場合であれば、A20 より上位のアドレス信号はフラッシュへは接続されませんので、CS4 のアドレスレンジ設定を "0x0-0x1F FFFF_H" 番地とすることで、"0x0-0xF FFFF_H" 番地と "0x10 0000_H" ~ "0x1F FFFF_H" 番地をミラー領域としてアクセスすることで対応できます。

なお、フラッシュへ書き込まれたプログラムを実行する場合は、外 ROM 外バスモードとなりますので、ローダが格納された内蔵 ROM 領域は意識する必要はありません (図 F-14 を参照)。

- ・ オフセットアドレスを付加したメモリアクセス

図 F-13 1M バイトフラッシュの接続例

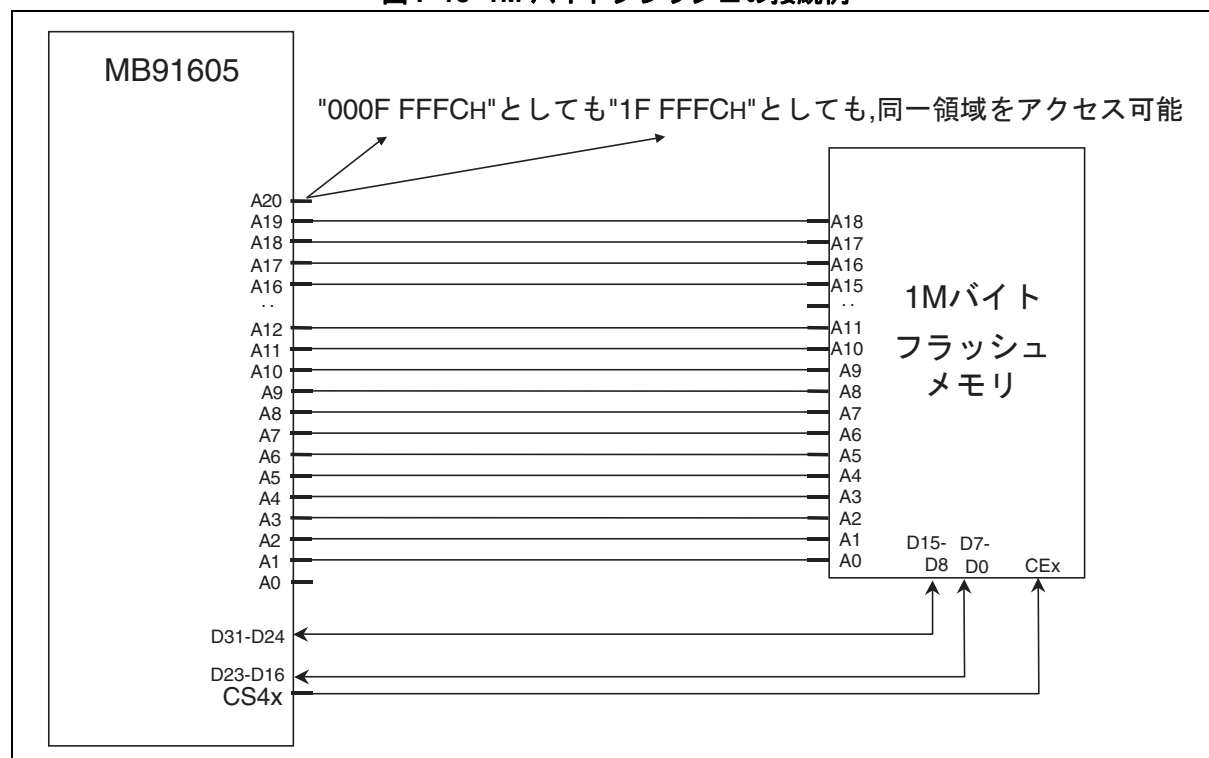
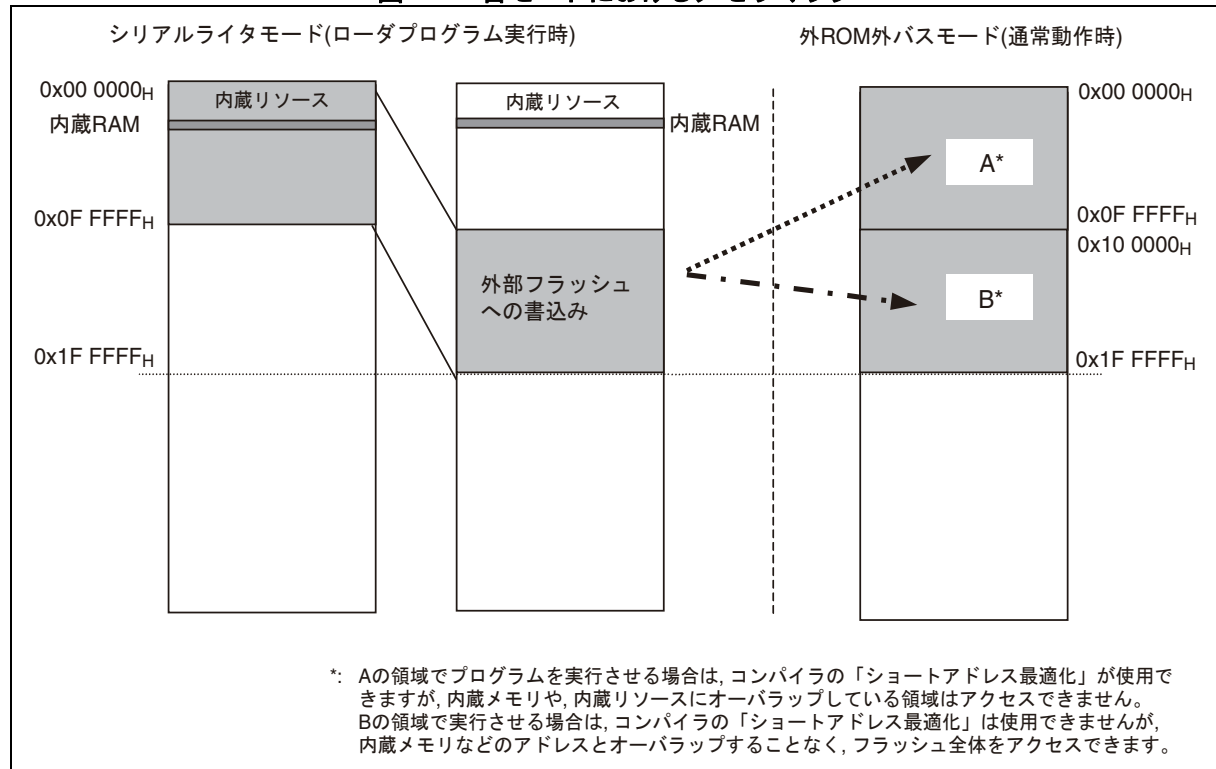


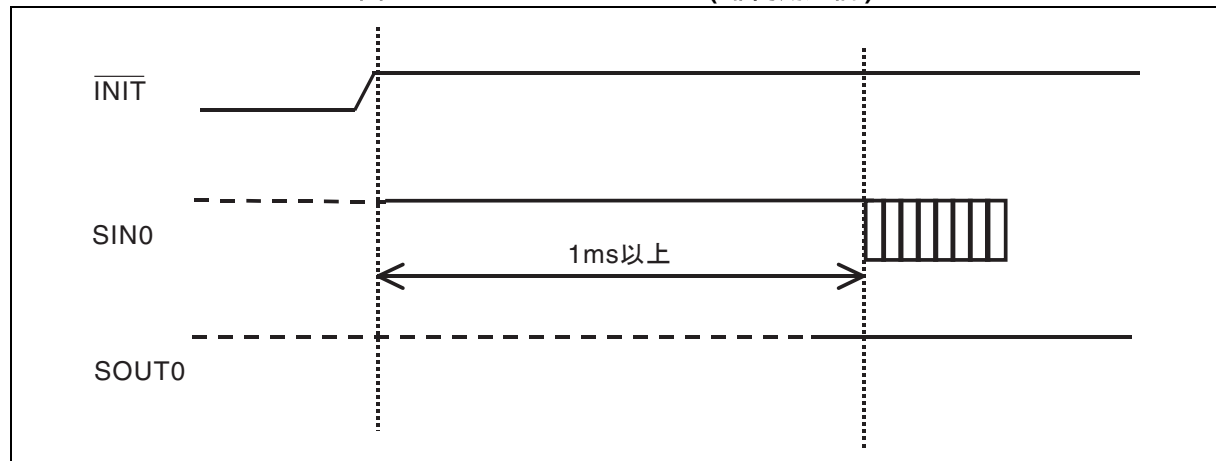
図 F-14 各モードにおけるメモリマップ



■ リセットのタイミングチャート

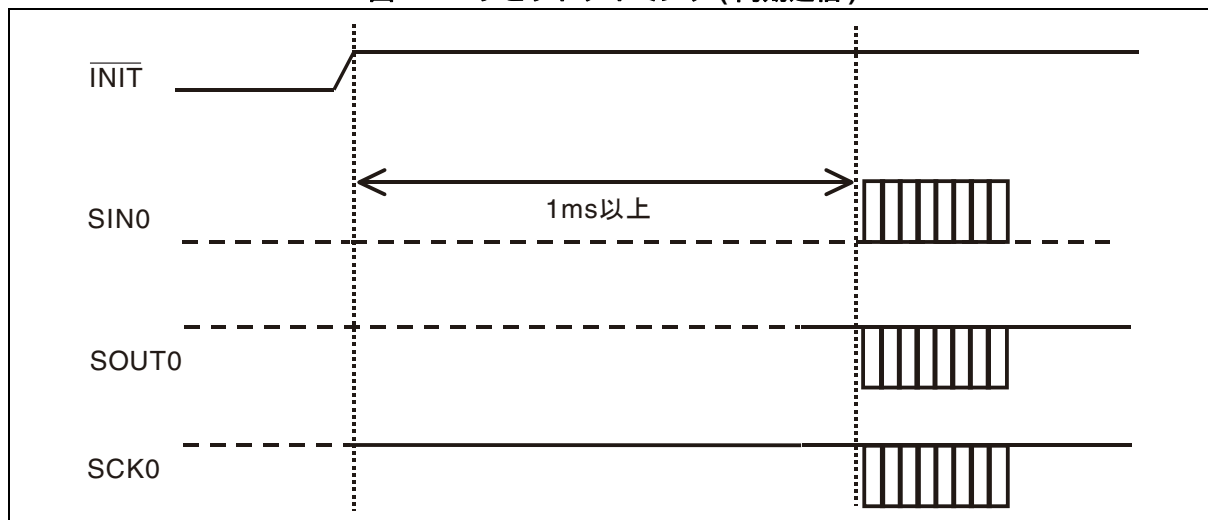
- リセットタイミング (非同期通信)

図 F-15 リセットタイミング (非同期通信)



- リセットタイミング (同期通信)

図 F-16 リセットタイミング (同期通信)



索引

Numerics

10 ビット A/D コンバータ	
構成	455
端子	456
動作説明	463
レジスタ	457
割込み	462
16/32 ビット	
16/32 ビット PWC タイマ	373
16/32 ビット PWC タイマ (ch.1, ch.0) のブロック ダイヤグラム	377
16/32 ビットリロードタイマ	373
16/32 ビットリロードタイマ (ch.1, ch.0) の ブロックダイヤグラム	375
16 ビット	
16 ビット PPG タイマ	373
16 ビット PPG タイマのブロック ダイヤグラム	374
16 ビット PWM/PPG/ リロードタイマの使用上の 注意	391
16 ビット PWM タイマ	372
16 ビット PWM タイマのブロック ダイヤグラム	374
16 ビット PPG タイマ	
16 ビット PPG タイマ	373
16 ビット PPG タイマのブロック ダイヤグラム	374
16 ビット PWM タイマ	
16 ビット PWM タイマ	372
16 ビット PWM タイマのブロック ダイヤグラム	374
16 ビットリロードタイマ	
イベントカウンタモード時の動作	329
インターバルモード時の動作	316
カスケードモード時の動作	335
構成	303
使用上の注意	337
端子	305
レジスタ	306
割込み	314
32 ビット	
16/32 ビット PWC タイマ	373
16/32 ビット PWC タイマ (ch.1, ch.0) のブロック ダイヤグラム	377
16/32 ビットリロードタイマ	373
16/32 ビットリロードタイマ (ch.1, ch.0) の ブロックダイヤグラム	375
32 ビットモード機能	389
32 ビットモード設定	389
32 ビットモード動作	390
7 ビットスレーブアドレスマスクレジスタ	
7 ビットスレーブアドレスマスクレジスタ (ISMK)	614
7 ビットスレーブアドレスレジスタ	
7 ビットスレーブアドレスレジスタ (ISBA)	615

A

A/D コンバータ	
構成	455
端子	456
動作説明	463
レジスタ	457
割込み	462

B

BGR	
ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成	491, 545, 616
BTxDTB	
データバッファレジスタ (BTxDTB) の ビット構成	444
BTxPCSR	
PWM 周期設定レジスタ (BTxPCSR) の ビット構成	402
周期設定レジスタ (BTxPCSR) の ビット構成	432
BTxPDUT	
PWM デューティ設定レジスタ (BTxPDUT) の ビット構成	403
BTxPRLH	
"H" 幅設定リロードレジスタ (BTxPRLH) のビッ ト構成	417
BTxPRL	
"L" 幅設定リロードレジスタ (BTxPRL) のビット 構成	416
BTxSTC	
ステータス制御レジスタ (BTxSTC)	400, 414, 430, 442
BTxTMCR	
タイマ制御レジスタ (BTxTMCR 下位バイト)	398, 412, 427, 440
タイマ制御レジスタ (BTxTMCR 上位バイト)	396, 410, 438, 425
BTxTMR	
タイマレジスタ (BTxTMR) の ビット構成	404, 418, 433

C

CPU	
CPU 間接続	518, 520, 587
EIT (例外・割込み・トラップ)	49
アドレッシング	44
基本プログラミングモデル	32
データ構造	42
内部アーキテクチャの特徴	26
パイプライン	28
分岐命令	46
命令概要	30
メモリ空間	24

レジスタ	33
CSIO	
4 チャンネル同時通信モード時の動作	579
CSIO (クロック同期シリアルインタフェース) の機能	525
CSIO (クロック同期シリアルインタフェース) の動作	564
CSIO (クロック同期シリアルインタフェース) のレジスタ一覧	526
CSIO (クロック同期シリアルインタフェース) のボーレート選択	583
CSIO の割込み	558

D

DMA コントローラ (DMAC)	
起動	700
構成	673
使用上の注意	717
制御フロー	716
設定	693
動作	701
レジスタ	674

E

EIT	
EIT (例外・割込み・トラップ)	49
ESCR	
拡張通信制御レジスタ (ESCR) のビット構成	485, 540

F

FIFO	
FIFO 制御レジスタ 0(FCR0) のビット構成	496, 550, 620
FIFO 制御レジスタ 1(FCR1) のビット構成	493, 547, 617
FIFO の機能	591
FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成	499, 553, 624
受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング	504, 560
送受信 FIFO	468
送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング	507, 563
FIFO 制御レジスタ	
FIFO 制御レジスタ 0(FCR0) のビット構成	496, 550, 620
FIFO 制御レジスタ 1(FCR1) のビット構成	493, 547, 617
FIFO バイトレジスタ	
FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成	499, 553, 624

H

"H" 幅設定リロードレジスタ	
"H" 幅設定リロードレジスタ (BTxPRLH) のビット構成	417

I

I/O ポート	
構成	249
端子	250
レジスタ	251
I ² C	
I ² C インタフェースの機能	591
I ² C インタフェースのレジスタ一覧	592
I ² C インタフェースの割込み	626
I ² C バススタート条件	628
I ² C バスステータスレジスタ (IBSR)	605
I ² C バスストップ条件	628
I ² C バス制御レジスタ (IBCR)	597
I ² C バス反復スタート条件	628
IBCR	
I ² C バス制御レジスタ (IBCR)	597
IBSR	
I ² C バスステータスレジスタ (IBSR)	605
ISBA	
7 ビットスレーブアドレスレジスタ (ISBA)	615
ISMK	
7 ビットスレーブアドレスマスクレジスタ (ISMK)	614

L

L	
PWM 出力オール "L" またはオール "H" の出力方法	408
"L" 幅設定リロードレジスタ	
"L" 幅設定リロードレジスタ (BTxPRL) のビット構成	416

M

MB91605A	
外形寸法図	7
概要	2
品種構成	5
ブロックダイアグラム	6

N

NMI 入力	
動作説明	197

P

PCLK	
各周辺クロック (PCLK) 周波数に対するリロード値とボーレート	585, 653
PPG	
16 ビット PPG タイマ	373
16 ビット PPG タイマのブロックダイアグラム	374
16 ビット PWM/PPG/リロードタイマの使用上の注意	391
割込み要因とタイミングチャート (PPG 出力: 通常極性)	423

PWC

16/32 ビット PWC タイマ	373
PWC タイマの使用上の注意	392

PWC タイマ

16/32 ビット PWC タイマ (ch.1, ch.0) のブロック ダイヤグラム	377
--	-----

PWM

16 ビット PWM/PPG/ リロードタイマの使用上の 注意	391
16 ビット PWM タイマ	372
16 ビット PWM タイマのブロック ダイヤグラム	374

PWM 周期設定レジスタ (BTxPCSR) の ビット構成	402
---	-----

PWM 出力オール "L" またはオール "H" の 出力方法	408
--	-----

PWM デューティ設定レジスタ (BTxPDUT) の ビット構成	403
--	-----

割込み要因とタイミングチャート (PWM 出力 : 通常極性)	407
--	-----

PWM 周期設定レジスタ

PWM 周期設定レジスタ (BTxPCSR) の ビット構成	402
---	-----

PWM 出力

PWM 出力オール "L" またはオール "H" の 出力方法	408
--	-----

割込み要因とタイミングチャート (PWM 出力 : 通常極性)	407
--	-----

PWM タイマ

16 ビット PWM タイマ	372
16 ビット PWM タイマのブロック ダイヤグラム	374

PWM デューティ設定レジスタ

PWM デューティ設定レジスタ (BTxPDUT) の ビット構成	403
--	-----

R

RDR

受信データレジスタ (RDR)	487, 542, 612
--------------------------	---------------

S

SCR

シリアル制御レジスタ (SCR)	476, 531
------------------------	----------

SMR

シリアルモードレジスタ (SMR)	479, 534, 603
-------------------------	---------------

SPI

SPI 転送 (I)	571
SPI 転送 (II)	575

SSR

シリアルステータスレジスタ (SSR)	482, 537, 609
------------------------------	---------------

T

TDR

送信データレジスタ (TDR)	489, 543, 613
--------------------------	---------------

U

UART

UART(非同期シリアルインタフェース) の 機能	470
--------------------------------------	-----

UART(非同期シリアルインタフェース) の レジスター覧	471
--	-----

UART の動作	508
----------------	-----

UART の割込み	501
-----------------	-----

UART ボーレート選択	513
--------------------	-----

あ

アービトレーションロスト	
アービトレーションロスト	645
アドレス	
7ビットスレーブアドレスマスクレジスタ (ISMK)	614
7ビットスレーブアドレスレジスタ (ISBA)	615
スレーブアドレス一致検出	647
スレーブアドレス出力	630
アドレスレジスタ	
7ビットスレーブアドレスレジスタ (ISBA)	615
アンダフロー動作	
アンダフロー動作	435

い

インタフェース	
CSIO (クロック同期シリアルインタフェース) の機能	525
CSIO (クロック同期シリアルインタフェース) の動作	564
CSIO (クロック同期シリアルインタフェース) のレジスター一覧	526
CSIO (クロック同期シリアルインタフェース) ボーレート選択	583
I ² C インタフェースの機能	591
I ² C インタフェースのレジスター一覧	592
I ² C インタフェースの割込み	626
UART (非同期シリアルインタフェース) の機能	470
UART (非同期シリアルインタフェース) のレジスター一覧	471
インタフェースモード	467
インタフェースモードの切換え	467

う

ウォッチドッグタイマ	
構成	291
動作説明	298
レジスタ	293

え

エラー	
バスエラー動作	651
バスエラー発生条件	651

お

オール "L" またはオール "H"	
PWM 出力オール "L" またはオール "H" の出力方法	408

か

外部	
外部クロック	517
外部クロック	
外部クロック	517
外部バスインタフェース	
構成	215
使用上の注意	244
レジスタ	217
レジスタ設定例	236
外部割込み制御部	
構成	273
スタンバイモードからの復帰	286
スリープモードからの復帰	288
端子	275
動作説明	283
レジスタ	276
概要	
動作概要	419
カウンタ	
カウンタのクリアと初期値	448
リロードカウンタの機能	517, 585, 653
カウント	
カウントクロックの選択	446
カウントの開始	517, 585, 653
書込み	
リロードレジスタへの書込みタイミング	419
各タイマ	
各タイマの使用上で共通する注意	391
拡張通信制御レジスタ	
拡張通信制御レジスタ (ESCR) のビット構成	485, 540
関係	
モード設定と各種タイマ機能の関係	372
リロード値とパルス幅の関係	422

き

起動	
起動後の動作	448
パルス幅測定 of 起動と停止	448
機能	
機能ごとの割込み制御ビットと割込み要因	393
機能選択	520

く

クリア	
カウンタのクリアと初期値	448
クロック	
CSIO (クロック同期シリアルインタフェース) の機能	525
CSIO (クロック同期シリアルインタフェース) の動作	564
CSIO (クロック同期シリアルインタフェース) のレジスター一覧	526
CSIO (クロック同期シリアルインタフェース) ボーレート選択	583
外部クロック	517
カウントクロックの選択	446

各周辺クロック (PCLK) 周波数に対するリロード 値とボーレート	585, 515, 653
内部クロック選択時のカウント動作	434
クロック生成部	
PLL クロック (PLLCLK) 生成のための通倍率	117
構成	97
ソースクロック (SRCCLK) の切換え	115
端子	100
動作説明	113
レジスタ	101
クロック同期シリアルインタフェース	
CSIO (クロック同期シリアルインタフェース) の 機能	525
CSIO (クロック同期シリアルインタフェース) の 動作	564
CSIO (クロック同期シリアルインタフェース) の レジスタ一覧	526
CSIO (クロック同期シリアルインタフェース) ボーレート選択	583
クロック分周制御部	
構成	123
内部クロック	121
分周比	128
レジスタ	124
さ	
再起動	
再起動	448
再スタート	
再スタート	517, 586
し	
周期設定レジスタ	
PWM 周期設定レジスタ (BTxPCSR) の ビット構成	402
周期設定レジスタ (BTxPCSR) の ビット構成	432
周辺機能によるDMA転送要求の発生/クリア選択機能	
DMA 転送時の動作	736
構成	721
レジスタ	723
受信 FIFO	
受信 FIFO 使用時の受信割込み発生とフラグ セットのタイミング	504, 560
受信時	
受信時の許容ボーレート範囲	516
受信データミラーレジスタ	
受信データミラーレジスタ (RDRM)	557
受信データレジスタ	
受信データレジスタ (RDR)	487, 542, 612
受信割込み	
受信 FIFO 使用時の受信割込み発生とフラグ セットのタイミング	504, 560
受信割込み発生とフラグセットの タイミング	503, 559
出力端子機能	
出力端子機能の動作	436

使用上の注意	
16 ビット PWM/PPG/ リロードタイマの使用上の 注意	391
PWC タイマの使用上の注意	392
初期値	
カウンタのクリアと初期値	448
シリアル書込み接続例	
使用する端子	756
同期シリアル書込み接続例	757
非同期シリアル書込み接続例	758
シリアルステータスレジスタ	
シリアルステータスレジスタ (SSR)	482, 537, 609
シリアル制御レジスタ	
シリアル制御レジスタ (SCR)	476, 531
シリアルモード選択レジスタ	
シリアルモード選択レジスタ (SSEL89AB) の ビット構成	555
シリアルモードレジスタ	
シリアルモードレジスタ (SMR)	479, 534, 603

す

スタート	
スタート条件生成	629
ステータス制御レジスタ	
ステータス制御レジスタ (BTxSTC)	400, 414, 430, 442
ストップモード	
ストップモード時の動作	160
スリープモード	
スリープモード時の動作	156
スレーブ	
7 ビットスレーブアドレスマスクレジスタ (ISMK)	614
7 ビットスレーブアドレスレジスタ (ISBA)	615
スレーブアドレス一致検出	647
スレーブアドレス出力	630
スレーブによる受信	648
スレーブによる送信	650
スレーブアドレスマスクレジスタ	
7 ビットスレーブアドレスマスクレジスタ (ISMK)	614
スレーブアドレスレジスタ	
7 ビットスレーブアドレスレジスタ (ISBA)	615

せ

制御レジスタ	
FIFO 制御レジスタ 0 (FCR0) の ビット構成	496, 550, 620
FIFO 制御レジスタ 1 (FCR1) の ビット構成	493, 547, 617
I ² C バス制御レジスタ (IBCR)	597
シリアル制御レジスタ (SCR)	476, 531
ステータス制御レジスタ (BTxSTC)	400, 414, 430, 442
タイマ制御レジスタ (BTxTMCR 下位バイト)	398, 412, 427, 440

タイマ制御レジスタ (BTxTMCR 上位バイト)	396, 410, 438, 425
------------------------------------	--------------------

そ

送受信	
送受信 FIFO	468
送信 FIFO	
送信 FIFO 使用時の送信割込み発生とフラグ セットのタイミング	507, 563
送信データミラーレジスタ	
送信データミラーレジスタ (TDRM)	557
送信データレジスタ	
送信データレジスタ (TDR)	489, 543, 613
送信割込み	
送信 FIFO 使用時の送信割込み発生とフラグ セットのタイミング	507, 563
送信割込み発生とフラグセットの タイミング	506, 562
ソースクロック	
ソースクロック (SRCCLK) の切換え	115

た

第一バイト送信	
第一バイト送信によるアクノリッジ受信	632
タイマ	
16/32 ビット PWC タイマ	373
16/32 ビットリロードタイマ	373
16/32 ビットリロードタイマ (ch.1, ch.0) の ブロックダイアグラム	375
16 ビット PPG タイマ	373
16 ビット PPG タイマのブロック ダイアグラム	374
16 ビット PWM/PPG/ リロードタイマの使用上の 注意	391
16 ビット PWM タイマ	372
16 ビット PWM タイマのブロック ダイアグラム	374
PWC タイマの使用上の注意	392
各タイマの使用上で共通する注意	391
タイマ制御レジスタ	
(BTxTMCR 下位バイト)	398, 412, 427, 440
タイマ制御レジスタ	
(BTxTMCR 上位バイト)	396, 410, 438, 425
タイマレジスタ (BTxTMR) の ビット構成	404, 418, 433
ベースタイマの機能	394
ベースタイマの動作	387
ベースタイマのレジスター一覧	379
モード設定と各種タイマ機能の関係	372
タイマ制御レジスタ	
タイマ制御レジスタ (BTxTMCR 下位バイト)	398, 412, 427, 440
タイマ制御レジスタ (BTxTMCR 上位バイト)	396, 410, 438, 425
タイマレジスタ	
タイマレジスタ (BTxTMR) の ビット構成	404, 418, 433

タイミング

受信 FIFO 使用時の受信割込み発生とフラグ セットのタイミング	504, 560
受信割込み発生とフラグセットの タイミング	503, 559
送信 FIFO 使用時の送信割込み発生とフラグ セットのタイミング	507, 563
送信割込み発生とフラグセットの タイミング	506, 562
リロードレジスタへの書き込みタイミング	419
割込み要因とタイミングチャート (PPG 出力: 通常極性)	423
割込み要因とタイミングチャート (PWM 出力: 通常極性)	407
タイミングチャート	
割込み要因とタイミングチャート (PPG 出力: 通常極性)	423
割込み要因とタイミングチャート (PWM 出力: 通常極性)	407
端子	
出力端子機能の動作	436
端子機能一覧	11
端子配列図	10
入出力回路形式	20
入力端子機能の動作	436

ち

遅延割込み	
構成	207
使用上の注意	211
動作説明	210
レジスタ	208
注意	
16 ビット PWM/PPG/ リロードタイマの使用上の 注意	391
PWC タイマの使用上の注意	392
各タイマの使用上で共通する注意	391

つ

通常極性	
割込み要因とタイミングチャート (PPG 出力: 通常極性)	423
割込み要因とタイミングチャート (PWM 出力: 通常極性)	407

て

停止	
停止について	448
パルス幅測定の起動と停止	448
低消費電力モード	
クロック制御時の動作	153
構成	145
使用上の注意	162
ストップモード時の動作	160
スリープモード時の動作	156
ドーズモード時の動作	155
メインタイマモード時の動作	158
レジスタ	147

データ				構成	91
受信データレジスタ				動作モード	475
(RDR)	487, 542, 612			動作モードの選択	447
送信データレジスタ				動作モード設定方法	94
(TDR)	489, 543, 613			レジスタ	92
データ方向ビット	648			ドーズモード	
マスタによるデータ受信	643			ドーズモード時の動作	155
マスタによるデータ送信	636				
データキャッシュメモリ				な	
各キャッシュ動作状態でのキャッシュ内容	86			内部クロック	
キャッシュオフ時の RAM 動作モード	87			内部クロック選択時のカウント動作	434
構成	79				
初期状態	85			に	
データキャッシュのキャッシュ対象領域	85			入出力回路形式	
データキャッシュの動作許可	86			入出力回路形式	20
データキャッシュの無効化	86			入力端子機能	
レジスタ	81			入力端子機能の動作	436
データバッファレジスタ				の	
データバッファレジスタ (BTxDTBF) の				ノーマル	
ビット構成	444			ノーマル転送 (I)	564
データレジスタ				ノーマル転送 (II)	567
受信データレジスタ					
(RDR)	487, 542, 612			は	
送信データレジスタ				バスエラー	
(TDR)	489, 543, 613			バスエラー動作	651
デバイスの取扱いについて				バスエラー発生条件	651
デバイス取扱い上の注意	760			バスステータスレジスタ	
転送				I ² C バスステータスレジスタ (IBSR)	605
SPI 転送 (I)	571			パルス	
SPI 転送 (II)	575			パルス幅測定機能	445
ノーマル転送 (I)	564			パルス幅測定動作詳細	449
ノーマル転送 (II)	567			パルス幅測定の起動と停止	448
				リロード値とパルス幅の関係	422
と				ひ	
同期シリアルインタフェース				ビット構成	
CSIO (クロック同期シリアルインタフェース) の				FIFO 制御レジスタ 0 (FCR0) の	
機能	525			ビット構成	496, 550, 620
CSIO (クロック同期シリアルインタフェース) の				FIFO 制御レジスタ 1 (FCR1) の	
動作	564			ビット構成	493, 547, 617
CSIO (クロック同期シリアルインタフェース) の				FIFO バイトレジスタ (FBYTE1/FBYTE2) の	
レジスタ一覧	526			ビット構成	499, 553, 624
CSIO (クロック同期シリアルインタフェース)				"H" 幅設定リロードレジスタ (BTxPRLH) の	
ポーレート選択	583			ビット構成	417
動作				"L" 幅設定リロードレジスタ (BTxPRL) のビット	
32 ビットモード動作	390			構成	416
CSIO (クロック同期シリアルインタフェース) の				PWM 周期設定レジスタ (BTxPCSR) の	
動作	564			ビット構成	402
UART の動作	508			PWM デューティ設定レジスタ (BTxPDUT) の	
アンダフロー動作	435			ビット構成	403
起動後の動作	448			拡張通信制御レジスタ (ESCR) の	
出力端子機能の動作	436			ビット構成	485, 540
動作概要	419			周期設定レジスタ (BTxPCSR) の	
動作モード	475			ビット構成	432
動作モードの選択	447				
内部クロック選択時のカウント動作	434				
入力端子機能の動作	436				
バスエラー動作	651				
ベースタイマの動作	387				
ワンショット動作	406, 421				
動作モード					
各種モード詳細	94				

シリアルモード選択レジスタ (SSEL89AB) の	
ビット構成	555
タイマレジスタ (BTxTMR) の	
ビット構成	404, 418, 433
データバッファレジスタ (BTxDTBF) の	
ビット構成	444
ボーレートジェネレータレジスタ 1, 0	
(BGR1, BGR0) のビット構成	491, 545, 616
非同期シリアルインタフェース	
UART(非同期シリアルインタフェース) の	
機能	470
UART(非同期シリアルインタフェース) の	
レジスタ一覧	471

ふ

フラグセット	
受信 FIFO 使用時の受信割込み発生とフラグ	
セットのタイミング	504, 560
受信割込み発生とフラグセットの	
タイミング	503, 559
送信 FIFO 使用時の送信割込み発生とフラグ	
セットのタイミング	507, 563
送信割込み発生とフラグセットの	
タイミング	506, 562
フローチャート	
フローチャート	518, 521, 587
ブロックダイアグラム	
16/32 ビット PWC タイマ (ch.1, ch.0) のブロック	
ダイアグラム	377
16/32 ビットリロードタイマ (ch.1, ch.0) の	
ブロックダイアグラム	375
16 ビット PPG タイマのブロック	
ダイアグラム	374
16 ビット PWM タイマのブロック	
ダイアグラム	374

へ

ベースタイマ	
ベースタイマの機能	394
ベースタイマの動作	387
ベースタイマのレジスタ一覧	379
ベースタイマ入出力選択機能	
構成	342
端子	343
入出力モード	356
レジスタ	345

ほ

ボーレート	
CSIO(クロック同期シリアルインタフェース)	
ボーレート選択	583
UART ボーレート選択	513
各周辺クロック (PCLK) 周波数に対するリロード	
値とボーレート	515, 585, 653
受信時の許容ボーレート範囲	516
ボーレート選択	652
ボーレートの計算	514, 584, 652

ボーレートジェネレータ	
ボーレートジェネレータレジスタ 1, 0	
(BGR1, BGR0) のビット構成	491, 545, 616

ま

マスタ	
マスタによるデータ受信	643
マスタによるデータ送信	636
マスタモードのウェイト	646
マルチファンクションシリアルインタフェース	
(CSIO)	
4 チャンネル同時通信モード時の動作	579

め

命令キャッシュメモリ	
各キャッシュ動作状態でのキャッシュ内容	75
構成	63
初期状態	72
命令キャッシュのキャッシュ対象領域	72
命令キャッシュの動作許可	73
命令キャッシュの無効化	73
命令キャッシュロック機能	73
レジスタ	65
メインタイマ	
構成	133
ストップモードへの遷移について	142
メインタイマの動作	140
レジスタ	134
割込み	139
メインタイマモード	
メインタイマモード時の動作	158

も

モード	
32 ビットモード機能	389
32 ビットモード設定	389
32 ビットモード動作	390
インタフェースモード	467
インタフェースモードの切換え	467
シリアルモードレジスタ (SMR)	479, 534, 603
動作モード	475
動作モードの選択	447
マスタモードのウェイト	646
モード設定と各種タイマ機能の関係	372
リセットモード	372
モードレジスタ	
シリアルモードレジスタ (SMR)	479, 534, 603

り

リセット	
イレギュラーリセット	179
リセットモード	372
構成	165
端子	167
動作状態と遷移	180
リセットの種類	173
リセットの動作	175

リセット要因	174
レジスタ	168
リモコン受信	
動作説明と設定手順例	751
レジスタ	741
リロード	
16/32 ビットリロードタイマ	373
16/32 ビットリロードタイマ (ch.1, ch.0) の ブロックダイアグラム	375
16 ビット PWM/PPG/ リロードタイマの使用上の 注意	391
"H" 幅設定リロードレジスタ (BTxPRLH) のビット 構成	417
"L" 幅設定リロードレジスタ (BTxPRL) のビット 構成	416
各周辺クロック (PCLK) 周波数に対するリロード 値とボーレート	515, 585, 653
リロードカウンタの機能	517, 585, 653
リロード値とパルス幅の関係	422
リロードレジスタへの書込みタイミング	419
リロードタイマ	
16/32 ビットリロードタイマ	373
16/32 ビットリロードタイマ (ch.1, ch.0) の ブロックダイアグラム	375
16 ビット PWM/PPG/ リロードタイマの使用上の 注意	391
リロードタイマ (16 ビット)	
イベントカウンタモード時の動作	329
インターバルモード時の動作	316
カスケードモード時の動作	335
構成	303
使用上の注意	337
端子	305
レジスタ	306
割込み	314
リロード値	
各周辺クロック (PCLK) 周波数に対するリロード 値とボーレート	515, 585, 653
リロード値とパルス幅の関係	422
リロードレジスタ	
"H" 幅設定リロードレジスタ (BTxPRLH) のビット 構成	417
"L" 幅設定リロードレジスタ (BTxPRL) のビット 構成	416
リロードレジスタへの書込みタイミング	419

れ

レジスタ	
7 ビットスレーブアドレスマスクレジスタ (ISMK)	614
7 ビットスレーブアドレスレジスタ (ISBA)	615
CSIO(クロック同期シリアルインタフェース) の レジスター一覧	526
FIFO 制御レジスタ 0(FCR0) の ビット構成	496, 550, 620
FIFO 制御レジスタ 1(FCR1) の ビット構成	493, 547, 617
FIFO バイトレジスタ (FBYTE1/FBYTE2) の ビット構成	499, 553, 624

"H" 幅設定リロードレジスタ (BTxPRLH) の ビット構成	417
I ² C インタフェースのレジスター一覧	592
I ² C バスステータスレジスタ (IBSR)	605
I ² C バス制御レジスタ (IBCR)	597
"L" 幅設定リロードレジスタ (BTxPRL) のビット 構成	416
PWM 周期設定レジスタ (BTxPCSR) の ビット構成	402
PWM デューティ設定レジスタ (BTxPDUT) の ビット構成	403
UART(非同期シリアルインタフェース) の レジスター一覧	471
拡張通信制御レジスタ (ESCR) の ビット構成	485, 540
周期設定レジスタ (BTxPCSR) の ビット構成	432
受信データレジスタ (RDR0)	487, 542, 612
シリアルステータスレジスタ (SSR)	482, 537, 609
シリアル制御レジスタ (SCR)	476, 531
シリアルモードレジスタ (SMR)	479, 534, 603
ステータス制御レジスタ (BTxSTC)	400, 414, 430, 442
送信データレジスタ (TDR)	489, 543, 613
タイマ制御レジスタ (BTxTMCR 下位バイト)	398, 412, 427, 440
タイマ制御レジスタ (BTxTMCR 上位バイト)	396, 410, 438, 425
タイマレジスタ (BTxTMR) の ビット構成	404, 418, 433
データバッファレジスタ (BTxDTB) の ビット構成	444
ベースタイマのレジスター一覧	379
ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成	491, 545, 616
リロードレジスタへの書込みタイミング	419
受信データミラーレジスタ (RDRM)	557
シリアルモード選択レジスタ (SSEL89AB) の ビット構成	555
送信データミラーレジスタ (TDRM)	557
レジスター一覧	
CSIO(クロック同期シリアルインタフェース) の レジスター一覧	526
I ² C インタフェースのレジスター一覧	592
UART(非同期シリアルインタフェース) の レジスター一覧	471
ベースタイマのレジスター一覧	379
連続動作	
連続動作	405, 420

わ

割込み	
CSIO の割込み	558
I ² C インタフェースの割込み	626
UART の割込み	501
機能ごとの割込み制御ビットと割込み 要因	393

受信 FIFO 使用時の受信割込み発生とフラグ セットのタイミング	504, 560
受信割込み発生とフラグセットの タイミング	503, 559
送信 FIFO 使用時の送信割込み発生とフラグ セットのタイミング	507, 563
送信割込み発生とフラグセットの タイミング	506, 562
割込み要因とタイミングチャート (PPG 出力 : 通常極性)	423
割込み要因とタイミングチャート (PWM 出力 : 通常極性)	407
割込みコントローラ	
構成	187
使用上の注意	193
動作説明	191
レジスタ	188
割込み制御	
機能ごとの割込み制御ビットと割込み 要因	393
割込み要因	
機能ごとの割込み制御ビットと割込み 要因	393
割込み要因とタイミングチャート (PPG 出力 : 通常極性)	423
割込み要因とタイミングチャート (PWM 出力 : 通常極性)	407
割込み要求一括読出し機能	
構成	201
使用上の注意	204
レジスタ	202
ワンショット動作	
ワンショット動作	406, 421

MB91605A シリーズ

端子索引

端子名	関連機能	ページ
A		
A0	外部バスインタフェース	213
A1	外部バスインタフェース	213
A2	外部バスインタフェース	213
A3	外部バスインタフェース	213
A4	外部バスインタフェース	213
A5	外部バスインタフェース	213
A6	外部バスインタフェース	213
A7	外部バスインタフェース	213
A8	外部バスインタフェース	213
A9	外部バスインタフェース	213
A10	外部バスインタフェース	213
A11	外部バスインタフェース	213
A12	外部バスインタフェース	213
A13	外部バスインタフェース	213
A14	外部バスインタフェース	213
A15	外部バスインタフェース	213
A16	外部バスインタフェース	213
A17	外部バスインタフェース	213
A18	外部バスインタフェース	213
A19	外部バスインタフェース	213
A20	外部バスインタフェース	213
A21	外部バスインタフェース	213
A22	外部バスインタフェース	213
A23	外部バスインタフェース	213
AN0	10 ビット A/D コンバータ	456
AN1	10 ビット A/D コンバータ	456
AN2	10 ビット A/D コンバータ	456
AN3	10 ビット A/D コンバータ	456
AN4	10 ビット A/D コンバータ	456
AN5	10 ビット A/D コンバータ	456
AN6	10 ビット A/D コンバータ	456
AN7	10 ビット A/D コンバータ	456
AN8	10 ビット A/D コンバータ	456
AN9	10 ビット A/D コンバータ	456
AN10	10 ビット A/D コンバータ	456
AN11	10 ビット A/D コンバータ	456
\overline{AS}	外部バスインタフェース	213
ATRG	10 ビット A/D コンバータ	456
AV _{CC}	10 ビット A/D コンバータ	456
AVRH	10 ビット A/D コンバータ	456
AV _{SS}	10 ビット A/D コンバータ	456

MB91605A シリーズ

端子名	関連機能	ページ
C		
$\overline{\text{CS4}}$	外部バスインタフェース	213
$\overline{\text{CS5}}$	外部バスインタフェース	213
$\overline{\text{CS6}}$	外部バスインタフェース	213
$\overline{\text{CS8}}$	SDRAM インタフェース	213
D		
D16	外部バスインタフェース	213
D17	外部バスインタフェース	213
D18	外部バスインタフェース	213
D19	外部バスインタフェース	213
D20	外部バスインタフェース	213
D21	外部バスインタフェース	213
D22	外部バスインタフェース	213
D23	外部バスインタフェース	213
D24	外部バスインタフェース	213
D25	外部バスインタフェース	213
D26	外部バスインタフェース	213
D27	外部バスインタフェース	213
D28	外部バスインタフェース	213
D29	外部バスインタフェース	213
D30	外部バスインタフェース	213
D31	外部バスインタフェース	213
I		
$\overline{\text{INT}}$	リセット	165
INT0	外部割込み要求	275
INT1	外部割込み要求	275
INT2	外部割込み要求	275
INT3	外部割込み要求	275
INT4	外部割込み要求	275
INT5	外部割込み要求	275
INT6	外部割込み要求	275
INT7	外部割込み要求	275
INT8	外部割込み要求	275
INT9	外部割込み要求	275
INT10	外部割込み要求	275
INT11	外部割込み要求	275
INT12	外部割込み要求	275
INT13	外部割込み要求	275
INT14	外部割込み要求	275
INT15	外部割込み要求	275
INT16	外部割込み要求	275
INT17	外部割込み要求	275
INT18	外部割込み要求	275
INT19	外部割込み要求	275
INT20	外部割込み要求	275
INT21	外部割込み要求	275
INT22	外部割込み要求	275

MB91605A シリーズ

端子名	関連機能	ページ
INT23	外部割込み要求	275
M		
$\overline{\text{MCAS}}$	SDRAM インタフェース	213
MCLK	外部バスインタフェース	213
MCLKE	SDRAM インタフェース	213
MD0	モード端子	11
MD1	モード端子	11
MDQM2	外部バスインタフェース	213
MDQM3	外部バスインタフェース	213
$\overline{\text{MDWE}}$	SDRAM インタフェース	213
$\overline{\text{MRAS}}$	SDRAM インタフェース	213
N		
$\overline{\text{NMI}}$	NMI 入力	195
P		
P20	I/O ポート	250
P21	I/O ポート	250
P22	I/O ポート	250
P23	I/O ポート	250
P30	I/O ポート	250
P31	I/O ポート	250
P32	I/O ポート	250
P33	I/O ポート	250
P34	I/O ポート	250
P35	I/O ポート	250
P36	I/O ポート	250
P37	I/O ポート	250
P40	I/O ポート	250
P41	I/O ポート	250
P42	I/O ポート	250
P43	I/O ポート	250
P44	I/O ポート	250
P45	I/O ポート	250
P50	I/O ポート	250
P51	I/O ポート	250
P52	I/O ポート	250
P53	I/O ポート	250
P54	I/O ポート	250
P55	I/O ポート	250
P56	I/O ポート	250
P57	I/O ポート	250
P60	I/O ポート	250
P61	I/O ポート	250
P62	I/O ポート	250
P63	I/O ポート	250
P64	I/O ポート	250
P65	I/O ポート	250
P66	I/O ポート	250

MB91605A シリーズ

端子名	関連機能	ページ
P67	I/O ポート	250
P70	I/O ポート	250
P71	I/O ポート	250
P72	I/O ポート	250
P73	I/O ポート	250
P74	I/O ポート	250
P75	I/O ポート	250
P76	I/O ポート	250
P77	I/O ポート	250
P80	I/O ポート	250
P81	I/O ポート	250
P82	I/O ポート	250
P83	I/O ポート	250
P84	I/O ポート	250
P85	I/O ポート	250
P90	I/O ポート	250
P91	I/O ポート	250
P92	I/O ポート	250
P93	I/O ポート	250
P94	I/O ポート	250
P95	I/O ポート	250
PA0	I/O ポート	250
PA1	I/O ポート	250
PA2	I/O ポート	250
PA3	I/O ポート	250
PA4	I/O ポート	250
PA5	I/O ポート	250
PB0	I/O ポート	250
PB1	I/O ポート	250
PB2	I/O ポート	250
PB3	I/O ポート	250
PB4	I/O ポート	250
PB5	I/O ポート	250
PB6	I/O ポート	250
PB7	I/O ポート	250
PC0	I/O ポート	250
PC1	I/O ポート	250
PC2	I/O ポート	250
PC3	I/O ポート	250
PC4	I/O ポート	250
PC5	I/O ポート	250
PC6	I/O ポート	250
PC7	I/O ポート	250
PD0	I/O ポート	250
PD1	I/O ポート	250
PD2	I/O ポート	250
PD3	I/O ポート	250
PD4	I/O ポート	250

MB91605A シリーズ

端子名	関連機能	ページ
PD5	I/O ポート	250
PD6	I/O ポート	250
PD7	I/O ポート	250
PE0	I/O ポート	250
PE1	I/O ポート	250
PE2	I/O ポート	250
PE3	I/O ポート	250
PE4	I/O ポート	250
PE5	I/O ポート	250
PE6	I/O ポート	250
PE7	I/O ポート	250

R

RCIN	リモコン	739
$\overline{\text{RD}}$	外部バスインタフェース	213
RDY	外部バスインタフェース	213

S

SCK0	マルチファンクションシリアルインタフェース	465
SCK1	マルチファンクションシリアルインタフェース	465
SCK2	マルチファンクションシリアルインタフェース	465
SCK3	マルチファンクションシリアルインタフェース	465
SCK4	マルチファンクションシリアルインタフェース	465
SCK5	マルチファンクションシリアルインタフェース	465
SCK6	マルチファンクションシリアルインタフェース	465
SCK7	マルチファンクションシリアルインタフェース	465
SCK8	マルチファンクションシリアルインタフェース	465
SCK9	マルチファンクションシリアルインタフェース	465
SCK10	マルチファンクションシリアルインタフェース	465
SCK11	マルチファンクションシリアルインタフェース	465
SIN0	マルチファンクションシリアルインタフェース	465
SIN1	マルチファンクションシリアルインタフェース	465
SIN2	マルチファンクションシリアルインタフェース	465
SIN3	マルチファンクションシリアルインタフェース	465
SIN4	マルチファンクションシリアルインタフェース	465
SIN5	マルチファンクションシリアルインタフェース	465
SIN6	マルチファンクションシリアルインタフェース	465
SIN7	マルチファンクションシリアルインタフェース	465
SIN8	マルチファンクションシリアルインタフェース	465
SIN9	マルチファンクションシリアルインタフェース	465
SIN10	マルチファンクションシリアルインタフェース	465
SIN11	マルチファンクションシリアルインタフェース	465
SOUT0	マルチファンクションシリアルインタフェース	465
SOUT1	マルチファンクションシリアルインタフェース	465
SOUT2	マルチファンクションシリアルインタフェース	465
SOUT3	マルチファンクションシリアルインタフェース	465
SOUT4	マルチファンクションシリアルインタフェース	465
SOUT5	マルチファンクションシリアルインタフェース	465
SOUT6	マルチファンクションシリアルインタフェース	465

MB91605A シリーズ

端子名	関連機能	ページ
SOUT7	マルチファンクションシリアルインタフェース	465
SOUT8	マルチファンクションシリアルインタフェース	465
SOUT9	マルチファンクションシリアルインタフェース	465
SOUT10	マルチファンクションシリアルインタフェース	465
SOUT11	マルチファンクションシリアルインタフェース	465
T		
TIOA0	ベースタイマ	343
TIOA1	ベースタイマ	343
TIOA2	ベースタイマ	343
TIOA3	ベースタイマ	343
TIOA4	ベースタイマ	343
TIOA5	ベースタイマ	343
TIOA6	ベースタイマ	343
TIOA7	ベースタイマ	343
TIOA8	ベースタイマ	343
TIOA9	ベースタイマ	343
TIOA10	ベースタイマ	343
TIOA11	ベースタイマ	343
TIOB0	ベースタイマ	343
TIOB1	ベースタイマ	343
TIOB2	ベースタイマ	343
TIOB3	ベースタイマ	343
TIOB4	ベースタイマ	343
TIOB5	ベースタイマ	343
TIOB6	ベースタイマ	343
TIOB7	ベースタイマ	343
TIOB8	ベースタイマ	343
TIOB9	ベースタイマ	343
TIOB10	ベースタイマ	343
TIOB11	ベースタイマ	343
TIN0	16 ビットリロードタイマ	305
TIN1	16 ビットリロードタイマ	305
TIN2	16 ビットリロードタイマ	305
TOUT0	16 ビットリロードタイマ	305
TOUT1	16 ビットリロードタイマ	305
TOUT2	16 ビットリロードタイマ	305
V		
VDDE	電源端子	19
VSS	電源端子	19
VDDI	電源端子	19
W		
\overline{WE}	外部バスインタフェース	213
X		
X0	クロック制御部	100
X1	クロック制御部	100

CM71-10147-2

富士通セミコンダクター・CONTROLLER MANUAL

FR80

32 ビット・マイクロコントローラ

MB91605A シリーズ Series

ハードウェアマニュアル

2010 年 5 月 第 2 版発行

発行	富士通セミコンダクター株式会社
編集	企画部 プロモーション推進部
