



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

32 ビット・マイクロコントローラ
FR60
MB91470/480 シリーズ
ハードウェアマニュアル

32 ビット・マイクロコントローラ
FR60
MB91470/480 シリーズ
ハードウェアマニュアル

富士通セミコンダクターのマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

開発における最新の注意事項に関しては、「デザインレビューシート」を参照してください。
「デザインレビューシート」はシステム開発において、問題を未然に防ぐことを目的として、最低限必要と思われるチェック項目をリストにしたものです。

<http://edevic.e.fujitsu.com/micom/jp-support/>

富士通セミコンダクター株式会社

MB91470/480 シリーズ

はじめに

■ 本書の目的と対象読者

富士通半導体製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
MB91470/480 シリーズは、32 ビット高性能 RISC CPU を使用し、高性能 / 高速な CPU 処理が要求される組込み制御用に各種 I/O リソースやバス制御機構を内蔵した、シングルチップマイクロコントローラです。CPU の命令実行を高速化するために RAM (データ用) を内蔵しています。

高性能な CPU 処理パワーを要求される組込み用途に最適な仕様となっています。

本書は、実際に MB91470/480 シリーズを使用して製品を開発される技術者を対象に、MB91470/480 シリーズの機能や動作について解説したものです。本書をご一読ください。

なお、各種命令の詳細については、『FR ファミリ 32 ビット・マイクロコントローラ インストラクションマニュアル』をご参照ください。

FR は、FUJITSU RISC controller の略で、富士通セミコンダクター株式会社の製品です。

■ 商標

本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

■ 本書の全体構成

本書は、以下に示す 23 の章および付録から構成されています。

第 1 章 概要

MB91470/480 シリーズの特長、ブロックダイアグラム、外形寸法など全体を知るための基本的なことについて説明します。

第 2 章 デバイス使用上の注意

デバイスを取り扱う際の注意事項について説明します。

第 3 章 CPU および制御部

MB91470/480 シリーズの CPU コアの機能を知るために、アーキテクチャ、仕様、命令などの基本的なことについて説明します。

第 4 章 外部バスインタフェース

外部バスインタフェースコントローラは、LSI の内部バスと外部のメモリおよび I/O デバイスとのインタフェースを制御します。外部バスインタフェースの各機能について説明します。

第 5 章 I/O ポート

I/O ポートの概要、レジスタの構成、および機能について説明します。

第 6 章 割込みコントローラ

割込みコントローラの概要、レジスタの構成 / 機能、および動作について説明します。

第 7 章 外部割込み・NMI 制御部

外部割込み / NMI 制御部の概要、レジスタの構成 / 機能、および動作について説明します。

第 8 章 REALOS 関連ハード

REALOS 関連ハードは、リアルタイム OS により使用されます。したがって、REALOS を使用する場合にはユーザプログラムで使用することはできません。遅延割込みモジュールおよびビットサーチモジュールの概要、レジスタ構成 / 機能、および動作について説明します。

第 9 章 16 ビットリロードタイマ

16 ビットリロードタイマのレジスタの構成と機能およびタイマの動作について説明します。

第 10 章 タイミングジェネレータ

タイミングジェネレータの概要、レジスタの構成 / 機能、および動作について説明します。

第 11 章 PPG

PPG の概要、レジスタの構成 / 機能、および動作について説明します。

第 12 章 多機能タイマ

多機能タイマの概要、レジスタの構成 / 機能、および動作について説明します。

第 13 章 ベースタイマ

ベースタイマの概要、レジスタの構成 / 機能、および動作について説明します。

第 14 章 アップダウンカウンタ

8 ビット / 16 ビットアップダウンカウンタの機能と動作について説明します。

第 15 章 マルチファンクション シリアルインタフェース

マルチファンクションシリアルインタフェースの機能と動作について説明します。

第 16 章 8/10 ビット A/D コンバータ

A/D コンバータの概要、レジスタの構成 / 機能、および動作について説明します。

第 17 章 12 ビット A/D コンバータ

A/D コンバータの概要、レジスタの構成 / 機能、および動作について説明します。

MB91470/480 シリーズ

第 18 章 クロックモニタ

クロックモニタの機能と動作について説明します。

第 19 章 積和演算回路

積和演算回路の概要、レジスタの構成 / 機能、および動作について説明します。

第 20 章 DMAC (DMA コントローラ)

DMAC の概要、レジスタの構成 / 機能、および DMAC の動作について説明します。

第 21 章 フラッシュメモリ

フラッシュメモリの概要、レジスタの構成 / 機能、および動作について説明します。

第 22 章 シリアル書込み接続

シリアル書込み基本構成、シリアルオンボード書込みに使用する端子、シリアル書込み接続例、およびフラッシュマイコンプログラマシステム構成について説明します。

第 23 章 ワイルドレジスタ制御部

ワイルドレジスタ制御部のレジスタの構成と機能およびタイマの動作について説明します。

付録

各 CPU ステートにおける端子状態、リトルエンディアン領域を利用する際の注意事項、FR ファミリの命令一覧、および MB91470/480 シリーズを使用する際の注意事項について説明します。

- 本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。
- 本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。したがって、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。
- 本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。
- 本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。
- 半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。
- 本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。
- 本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

MB91470/480 シリーズ

目次

第 1 章	概要	1
1.1	概要	2
1.2	ブロックダイアグラム	9
1.3	端子配列図	11
1.4	外形寸法図	15
1.5	端子機能一覧	20
1.6	入出力回路形式	33
第 2 章	デバイス使用上の注意	37
2.1	デバイス使用上の注意	38
第 3 章	CPU および制御部	41
3.1	メモリ空間	42
3.2	メモリマップ	43
3.3	内部アーキテクチャ	45
3.4	プログラミングモデル	50
3.4.1	レジスタ	51
3.5	データ構造	58
3.6	メモリマップ	60
3.7	分岐命令	62
3.8	EIT (例外・割込み・トラップ)	65
3.9	動作モード	77
3.9.1	バスモード	78
3.9.2	モード設定	79
3.9.3	注意事項	81
3.10	リセット (デバイス初期化)	82
3.10.1	リセットレベル	83
3.10.2	リセット要因	85
3.10.3	リセットシーケンス	87
3.10.4	発振安定待ち時間	89
3.10.5	リセット動作モード	91
3.11	クロック生成制御	93
3.11.1	ソースクロックの選択	94
3.11.2	PLL 制御	95
3.11.3	発振安定待ち・PLL ロック待ち時間	98
3.11.4	クロック分配	100
3.11.5	クロック分周	101
3.11.6	クロック生成制御部のブロックダイアグラム	102
3.11.7	クロック生成制御部のレジスタ詳細説明	103
3.11.8	クロック制御部の周辺回路	117
3.12	デバイス状態制御	121
第 4 章	外部バスインタフェース	133
4.1	外部バスインタフェースの特長	134

4.2	外部バスインタフェースのレジスタ	138
4.2.1	ASR0 ~ ASR2 (Area Select Register)	139
4.2.2	ACR0 ~ ACR2 (Area Configuration Register)	140
4.2.3	AWR0 ~ AWR2 (Area Wait Register)	146
4.2.4	CSER (Chip Select Enable register)	152
4.3	チップセレクト領域	153
4.4	エンディアンとバスアクセス	155
4.4.1	データバス幅と制御信号との関係	156
4.4.2	ビッグエンディアンのバスアクセス	157
4.4.3	リトルエンディアンのバスアクセス	162
4.4.4	外部アクセス	166
4.5	通常バスインタフェース	170
4.6	アドレス/データマルチプレックスインタフェース	178
4.7	レジスタ設定手順	182
第5章	I/O ポート	183
5.1	I/O ポートの概要	184
5.2	I/O ポートのブロックダイアグラム	185
5.2.1	通常 I/O ポート	186
5.2.2	外部割込み入力兼用 I/O ポート	188
5.2.3	アナログ入力兼用 I/O ポート	190
5.2.4	外部バスインタフェース兼用 I/O ポート	192
5.2.5	多機能タイマ兼用 I/O ポート	194
5.3	I/O ポートのレジスタ	196
第6章	割込みコントローラ	213
6.1	割込みコントローラの概要	214
6.2	割込みコントローラのレジスタ一覧	215
6.3	割込みコントローラのブロックダイアグラム	219
6.4	割込みコントローラのレジスタ詳細説明	220
6.5	割込みコントローラの動作説明	223
第7章	外部割込み・NMI 制御部	229
7.1	外部割込み /NMI 制御部の概要	230
7.2	外部割込み /NMI 制御部のレジスタ	232
7.3	外部割込み /NMI 制御部の動作	234
第8章	REALOS 関連ハード	239
8.1	遅延割込みモジュール	240
8.2	ビットサーチモジュール	242
第9章	16 ビットリロードタイマ	249
9.1	16 ビットリロードタイマの概要	250
9.2	16 ビットリロードタイマのレジスタ	251
9.2.1	コントロールステータスレジスタ (TMCSR)	252
9.2.2	16 ビットタイマレジスタ (TMR)	254
9.2.3	16 ビットリロードレジスタ (TMRLR)	255
9.3	16 ビットリロードタイマの動作	256

MB91470/480 シリーズ

第 10 章 タイミングジェネレータ	259
10.1 タイミングジェネレータの概要	260
10.2 タイミングジェネレータのブロックダイアグラム	261
10.3 タイミングジェネレータのレジスタ	263
10.3.1 タイミングジェネレータ制御レジスタ (TTCR0/TTCR1)	265
10.3.2 コンペアレジスタ (COMP0/COMP2/COMP4/COMP6, COMP1/COMP3/COMP5/ COMP7)	267
10.4 タイミングジェネレータの動作	269
第 11 章 PPG	271
11.1 PPG の概要	272
11.2 PPG のブロックダイアグラム	274
11.3 PPG のレジスタ	279
11.3.1 PPG 動作モード制御レジスタ (PPGC0 ~ PPGC15)	282
11.3.2 リロードレジスタ (PRLH0 ~ PRLH15, PRLL0 ~ PRLL15)	285
11.3.3 PPG 起動レジスタ (TRG)	286
11.3.4 出力反転レジスタ (REVC)	287
11.3.5 GATE 機能制御レジスタ (GATEC0/GATEC4/GATEC8/GATEC12)	288
11.4 PPG の動作説明	289
第 12 章 多機能タイマ	295
12.1 多機能タイマの概要	296
12.2 多機能タイマのブロックダイアグラム	301
12.3 多機能タイマの端子	316
12.4 多機能タイマのレジスタ	318
12.4.1 コンペアクリアバッファレジスタ (CPCLRBH0 ~ CPCLRBH5, CPCLRBL0 ~ CPCLRBL5) / コンペアクリアレジスタ (CPCLRH0 ~ CPCLRH5, CPCLRL0 ~ CPCLRL5)	327
12.4.2 タイマデータレジスタ (TCDTH0 ~ TCDTH5, TCDTL0 ~ TCDTL5)	329
12.4.3 タイマ状態制御レジスタ (TCCSH0 ~ TCCSH5, TCCSL0 ~ TCCSL5, TCCSM0 ~ TCCSM5)	330
12.4.4 A/D トリガ制御レジスタ (ADTRGC0 ~ ADTRGC5)	338
12.4.5 フリーランタイム選択レジスタ (FRS0 ~ FRS9)	340
12.4.6 アウトプットコンペアバッファレジスタ (OCCPBH0 ~ OCCPBH11/OCCPBL0 ~ OCCPBL11) / アウトプットコンペアレジスタ (OCCPH0 ~ OCCPH11/OCCPL0 ~ OCCPL11)	348
12.4.7 コンペア制御レジスタ (OCSH0 ~ OCSH11, OCSL0 ~ OCSL11)	350
12.4.8 コンペアモード制御レジスタ (OCMOD0/OCMOD1)	357
12.4.9 インプットキャプチャデータレジスタ (IPCPH0 ~ IPCPH7/IPCPL0 ~ IPCPL7)	359
12.4.10 インプットキャプチャ状態制御 / PPG 出力制御レジスタ (ICSH23/ICSH67, ICSL23/ ICSL67, PICSH01/PICSH45, PICSL01/PICSL45)	360
12.4.11 16 ビットデッドタイムレジスタ (TMRRH0 ~ TMRRH5/ TMRRL0 ~ TMRRL5)	369
12.4.12 16 ビットデッドタイム状態制御レジスタ (DTCR0 ~ DTCR5)	371
12.4.13 波形制御レジスタ (SIGCR1/SIGCR2)	380
12.4.14 A/D 起動コンペアレジスタ (ADCOMPB0 ~ ADCOMP5, ADCOMP0 ~ ADCOMP5, ADTGCE0, ADTGCE1, ADTGSEL0, ADTGSEL1, ADTGBUF0, ADTGBUF1)	384
12.5 多機能タイマ割込み	392
12.6 多機能タイマの動作	395

12.6.1	16 ビットフリーランタイムの動作	396
12.6.2	フリーランタイムセレクタの動作	404
12.6.3	16 ビットアウトプットコンペアの動作	407
12.6.4	16 ビットインプットキャプチャの動作	419
12.6.5	波形ジェネレータの動作	420
12.6.6	A/D 起動コンペアの動作	432
12.7	多機能タイマの使用上の注意	438
12.8	多機能タイマのプログラム例	444
第 13 章	ベースタイマ	449
13.1	ベースタイマの概要	450
13.2	ベースタイマのブロックダイアグラム	452
13.3	ベースタイマのレジスタ	455
13.4	ベースタイマの動作	459
13.5	32 ビットモード動作	461
13.6	ベースタイマの使用上の注意	463
13.7	ベースタイマ割込み	465
13.8	ベースタイマの機能別説明	466
13.8.1	PWM 機能	467
13.8.2	PPG 機能	481
13.8.3	リロードタイマ機能	496
13.8.4	PWC 機能	509
第 14 章	アップダウンカウンタ	525
14.1	アップダウンカウンタの概要	526
14.2	アップダウンカウンタのブロックダイアグラム	528
14.3	アップダウンカウンタのレジスタ	529
14.3.1	アップダウンカウンタレジスタ (UDCR)	530
14.3.2	リロードコンペアレジスタ (RCR)	531
14.3.3	カウンタステータスレジスタ (CSR)	532
14.3.4	カウンタコントロールレジスタ (CCR)	534
14.4	アップダウンカウンタの動作	538
第 15 章	マルチファンクションシリアルインタフェース	547
15.1	マルチファンクションシリアルインタフェースの特長	548
15.2	UART (非同期シリアルインタフェース)	550
15.3	UART (非同期シリアルインタフェース) の概要	551
15.4	UART (非同期シリアルインタフェース) のレジスタ	552
15.4.1	シリアル制御レジスタ (SCR)	554
15.4.2	シリアルモードレジスタ (SMR)	557
15.4.3	シリアルステータスレジスタ (SSR)	560
15.4.4	拡張通信制御レジスタ (ESCR)	563
15.4.5	受信データレジスタ / 送信データレジスタ (RDR0/RDR1/TDR0/TDR1)	565
15.4.6	ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	569
15.4.7	FIFO 制御レジスタ 1 (FCR1)	571
15.4.8	FIFO 制御レジスタ 0 (FCR0)	574
15.4.9	FIFO バイトレジスタ (FBYTE1/FBYTE2)	577
15.5	UART の割込み	579
15.5.1	受信割込み発生とフラグセットのタイミング	581

MB91470/480 シリーズ

15.5.2	受信 FIFO 使用時の割込み発生とフラグセットのタイミング	582
15.5.3	送信割込み発生とフラグセットのタイミング	584
15.5.4	送信 FIFO 使用時の割込み発生とフラグセットのタイミング	585
15.6	UART の動作	586
15.7	専用ボーレートジェネレータ	591
15.7.1	ボーレート設定	592
15.8	動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー	596
15.9	動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー	598
15.10	UART モードの注意事項	601
15.11	CSIO (クロック同期シリアルインタフェース)	602
15.12	CSIO (クロック同期シリアルインタフェース) の概要	603
15.13	CSIO (クロック同期シリアルインタフェース) のレジスタ	604
15.13.1	シリアル制御レジスタ (SCR)	606
15.13.2	シリアルモードレジスタ (SMR)	609
15.13.3	シリアルステータスレジスタ (SSR)	612
15.13.4	拡張通信制御レジスタ (ESCR)	615
15.13.5	受信データレジスタ / 送信データレジスタ (RDR0/RDR1/TDR0/TDR1)	617
15.13.6	ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	620
15.13.7	FIFO 制御レジスタ 1 (FCR1)	622
15.13.8	FIFO 制御レジスタ 0 (FCR0)	625
15.13.9	FIFO バイトレジスタ (FBYTE1/FBYTE2)	628
15.14	CSIO (クロック同期シリアルインタフェース) の割込み	630
15.14.1	受信割込み発生とフラグセットのタイミング	631
15.14.2	受信 FIFO 使用時の割込み発生とフラグセットのタイミング	633
15.14.3	送信割込み発生とフラグセットのタイミング	635
15.14.4	送信 FIFO 使用時の割込み発生とフラグセットのタイミング	636
15.15	CSIO (クロック同期シリアルインタフェース) の動作	637
15.16	専用ボーレートジェネレータ	649
15.16.1	ボーレート設定	650
15.17	CSIO (クロック同期シリアルインタフェース) 設定手順とプログラムフロー	653
15.18	CSIO モードの注意事項	655
15.19	I ² C インタフェース	656
15.20	I ² C インタフェースの概要	657
15.21	I ² C インタフェースのレジスタ	658
15.21.1	I ² C バス制御レジスタ (IBCR)	660
15.21.2	シリアルモードレジスタ (SMR)	666
15.21.3	I ² C バスステータスレジスタ (IBSR)	668
15.21.4	シリアルステータスレジスタ (SSR)	672
15.21.5	受信データレジスタ / 送信データレジスタ (RDR/TDR)	675
15.21.6	7 ビットスレーブアドレスマスクレジスタ (ISMK)	677
15.21.7	7 ビットスレーブアドレスレジスタ (ISBA)	678
15.21.8	ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	679
15.21.9	FIFO 制御レジスタ 1 (FCR1)	680
15.21.10	FIFO 制御レジスタ 0 (FCR0)	683
15.21.11	FIFO バイトレジスタ (FBYTE1/FBYTE2)	687
15.22	I ² C インタフェースの割込み	689
15.22.1	I ² C インタフェース通信の動作	691
15.22.2	マスタモード	692
15.22.3	スレーブモード	710

15.22.4	バスエラー	714
15.23	専用ボーレートジェネレータ	715
15.23.1	I ² C のフローチャート例	717
15.24	I ² C モードの注意事項	731
第 16 章	8/10 ビット A/D コンバータ	733
16.1	8/10 ビット A/D コンバータの概要	734
16.2	8/10 ビット A/D コンバータの構成	736
16.3	8/10 ビット A/D コンバータの端子	740
16.4	8/10 ビット A/D コンバータのレジスタ	741
16.4.1	A/D チャンネル制御レジスタ (ADCH)	743
16.4.2	A/D モード設定レジスタ (ADMMD)	745
16.4.3	A/D 制御ステータスレジスタ (ADCS)	748
16.4.4	A/D データレジスタ (ADCD)	751
16.4.5	アナログ入力制御レジスタ (AICR)	753
16.5	8/10 ビット A/D コンバータの割込み	754
16.6	8/10 ビット A/D コンバータの動作説明	755
16.7	8/10 ビット A/D コンバータの A/D 変換データ保護機能	758
16.8	8/10 ビット A/D コンバータの使用メモ	759
16.9	8/10 ビット A/D コンバータの使用上の注意	760
第 17 章	12 ビット A/D コンバータ	763
17.1	12 ビット A/D コンバータの概要	764
17.2	12 ビット A/D コンバータの構成	766
17.3	12 ビット A/D コンバータの端子	769
17.4	12 ビット A/D コンバータのレジスタ	770
17.4.1	A/D チャンネル制御レジスタ (ADCH)	771
17.4.2	A/D モード設定レジスタ (ADMMD)	773
17.4.3	A/D 制御ステータスレジスタ (ADCS)	776
17.4.4	A/D データレジスタ (ADCD)	779
17.4.5	アナログ入力制御レジスタ (AICR)	781
17.5	12 ビット A/D コンバータの割込み	782
17.6	12 ビット A/D コンバータの動作説明	783
17.7	12 ビット A/D コンバータの A/D 変換データ保護機能	786
17.8	12 ビット A/D コンバータの差動入力モード	787
17.9	12 ビット A/D コンバータの使用メモ	789
17.10	12 ビット A/D コンバータの使用上の注意	790
第 18 章	クロックモニタ	793
18.1	クロックモニタの概要	794
18.2	クロックモニタのクロック出力許可レジスタ	796
第 19 章	積和演算回路	797
19.1	積和演算回路の概要	798
19.2	積和演算回路のブロックダイヤグラム	799
19.3	積和演算回路の命令定義	801
19.4	積和演算回路のレジスタ一覧	802
19.5	積和演算回路のレジスタ説明	803
19.6	積和演算回路の動作説明	810

MB91470/480 シリーズ

19.7	積和演算回路の命令詳細説明	814
19.8	積和演算回路の使用上の注意	820
第 20 章	DMAC (DMA コントローラ)	821
20.1	DMAC の概要	822
20.2	DMAC のレジスタ詳細説明	825
20.2.1	DMAC-ch.0, ch.1, ch.2, ch.3, ch.4 コントロール / ステータスレジスタ A	826
20.2.2	DMAC-ch.0, ch.1, ch.2, ch.3, ch.4 コントロール / ステータスレジスタ B	830
20.2.3	DMAC-ch.0, ch.1, ch.2, ch.3, ch.4 転送元 / 転送先アドレス設定レジスタ	836
20.2.4	DMAC-ch.0, ch.1, ch.2, ch.3, ch.4 DMAC 全体制御レジスタ	838
20.3	DMAC の動作説明	840
20.3.1	動作概要	841
20.3.2	転送要求の設定	843
20.3.3	転送シーケンス	844
20.3.4	DMA 転送全般	846
20.3.5	アドレッシングモード	847
20.3.6	データの種類	848
20.3.7	転送回数制御	849
20.3.8	CPU 制御	850
20.3.9	動作開始	851
20.3.10	転送要求の受け付けと転送	852
20.3.11	DMA による周辺割込みクリア	853
20.3.12	一時停止	854
20.3.13	動作終了 / 停止	855
20.3.14	エラーによる停止	856
20.3.15	DMAC 割込み制御	857
20.3.16	スリープ中の DMA 転送	858
20.3.17	チャンネル選択と制御	859
20.4	DMAC の動作フロー	861
20.5	DMAC のデータバス	863
第 21 章	フラッシュメモリ	867
21.1	フラッシュメモリの概要	868
21.2	フラッシュメモリのレジスタ	871
21.2.1	フラッシュコントロール / ステータスレジスタ (FLCR)	872
21.2.2	フラッシュウェイトレジスタ (FLWC)	875
21.3	フラッシュメモリの動作説明	877
21.4	フラッシュメモリ自動アルゴリズム	879
21.4.1	コマンドシーケンス	880
21.4.2	自動アルゴリズム実行状態の確認	884
21.5	フラッシュメモリ書込み / 消去の詳細説明	889
21.5.1	読出し / リセット状態	890
21.5.2	データ書込み	891
21.5.3	データ消去 (チップ消去)	893
21.5.4	データ消去 (セクタ消去)	894
21.5.5	セクタ消去一時停止	897
21.5.6	セクタ消去再開	898
21.5.7	連続モード動作	899
21.6	データポーリングフラグ (DQ7) の制約事項と回避方法	901

21.7	フラッシュメモリプログラミングの注意事項.....	904
第 22 章	シリアル書込み接続.....	907
22.1	シリアル書込み接続の概要.....	908
第 23 章	ワイルドレジスタ制御部.....	913
23.1	ワイルドレジスタ制御部の概要	914
23.2	ワイルドレジスタ制御部のレジスタ	915
23.2.1	ワイルドレジスタ許可レジスタ (WREN).....	916
23.2.2	ワイルドレジスタアドレスレジスタ (WA).....	917
23.2.3	ワイルドレジスタデータレジスタ (WD)	918
23.3	ワイルドレジスタ制御部の動作	919
23.4	制限および注意事項	920
付録	921
付録 A	I/O マップ	922
付録 B	割込みベクタ	937
付録 C	各 CPU ステートにおける端子状態	941
付録 D	リトルエンディアン領域を利用する際の注意事項	945
付録 E	命令一覧表.....	952
付録 F	使用上の注意	967
索引	971

MB91470/480 シリーズ

本版での主な変更内容

変更箇所は、本文中のページ左側の によって示しています。

ページ	変更内容（詳細は本文を参照してください。）	
872	第 21 章フラッシュメモリ	サマリを訂正
873	21.2 フラッシュメモリのレジスタ 21.2.1 フラッシュコントロール / ステータスレジスタ (FLCR)	[bit1] WE：書込み許可 を訂正
878	21.3 フラッシュメモリの動作説明	自動アルゴリズム実行状態 を訂正
880	21.4 フラッシュメモリ自動アルゴリズム	表 21.4-1 コマンドシーケンス表 を訂正
881	21.4.1 コマンドシーケンス	データ書込みコマンド を訂正
882		セクタ消去コマンド を訂正
884	21.4.2 自動アルゴリズム実行状態の確認 RDY ビット	用語を訂正 レディ / ビジー信号 (RDY/BUSYX) RDY ビット
885	21.4.2 自動アルゴリズム実行状態の確認 ハードウェアシーケンスフラグ	表 21.4-2 ハードウェアシーケンスフラグ状態一覧 を訂正
886		[bit7] DPOLL：データポーリングフラグ (DQ7) を訂正
895	21.5 フラッシュメモリ書込み / 消去の詳細説明	「データポーリングフラグ (DQ7) の制約事項」の項目を追加
896	21.5.4 データ消去（セクタ消去）	図 21.5-2 セクタ消去手順の例 を訂正
899 ~ 900	第 21 章 フラッシュメモリ 21.5.7 連続モード動作	項を追加
901 ~ 903	第 21 章 フラッシュメモリ 21.6 データポーリングフラグ (DQ7) の制約事項と回避方法	節を追加

MB91470/480 シリーズ

第1章

概要

MB91470/480 シリーズの特長，ブロックダイアグラム，外形寸法など全体を知るための基本的なことについて説明します。

- 1.1 概要
- 1.2 ブロックダイアグラム
- 1.3 端子配列図
- 1.4 外形寸法図
- 1.5 端子機能一覧
- 1.6 入出力回路形式

1.1 概要

MB91470/480 シリーズは高速処理を要求される組込み制御用途向けに設計された汎用の富士通 32 ビット RISC マイクロコントローラです。

FR CPU の特長

- 32 ビット RISC, ロード / ストアアーキテクチャ, パイプライン 5 段
- 最大動作周波数 : 80MHz ; (PLL クロック逡倍方式)
- 16 ビット固定長命令 (基本命令)
- 命令実行速度 : 1 命令 / 1 サイクル
- メモリ - メモリ間転送命令, ビット処理命令, バレルシフト命令など :
組込み用途に適した命令
- 関数入口 / 出口命令, レジスタ内容のマルチロードストア命令 : C 言語対応命令
- レジスタのインターロック機能 : アセンブラ記述も容易に可能
- 乗算器の内蔵 / 命令レベルでのサポート
符号付き 32 ビット乗算 : 5 サイクル
符号付き 16 ビット乗算 : 3 サイクル
- 割込み (PC/PS 退避) : 6 サイクル (16 プライオリティレベル)
- ハーバードアーキテクチャにより, プログラムアクセスとデータアクセスを同時に実行可能
- FR ファミリとの命令互換

外部バスインタフェース

- 最大動作周波数 : 40MHz
- 16 ビットアドレスフル出力可能 (64K バイト空間)
- 8/16 ビットデータ出力
- 未使用データ / アドレス端子は汎用入出力ポートとして使用可能
- 最小 64K バイト単位で設定可能な完全独立な 3 領域のチップセレクト出力が可能
- 各種メモリに対するインタフェースのサポート (SRAM/ROM/Flash)
- 基本バスサイクル : 2 サイクル
- 領域ごとに, プログラマブルでウェイト挿入可能な自動ウェイトサイクル発生機構
- RDY 入力による外部ウェイトサイクル

内蔵メモリ

	MB91470 シリーズ		MB91480 シリーズ	
	144 ピン		100 ピン	
	FLASH 品	MASK 品	FLASH 品	MASK 品
256K バイト /16K バイト	MB91F475	—	MB91F482	MB91482
384K バイト /24K バイト	MB91F478	—	MB91F486	MB91486
512K バイト /32K バイト	MB91F479	—	MB91F487	MB91487

I/O ポート

- 端子ごとにプルアップの制御可能
- 端子レベルの直接読出し可能

外部割込み入力

- マスク不可割込み端子 (NMI:Non Maskable Interrupt)1 本を含む
- ストップ時のウェイクアップ用として使用可能です

ビットサーチモジュール (REALOS 使用)

1 ワード中の MSB (上位ビット) から最初の "1" "0" 変化ビット位置をサーチする機能

16 ビットリロードタイマ

- REALOS 用 1 チャンネルを含む
- 内部クロックは 2/8/32 分周から選択可能

タイミングジェネレータ

複数の PPG タイマをタイマ間で同期し遅延起動可能

8/16 ビット PPG タイマ

多機能タイマ

- 16 ビットフリーランタイム
- インプットキャプチャ
フリーランタイムと連動
- アウトプットコンペア
フリーランタイムと連動
- A/D 起動コンペア
フリーランタイムと連動
- 波形ジェネレータ

アウトプットコンペア出力, 16 ビット PPG タイマ, 16 ビットデッドタイムを使用して様々な波形を生成することができます。

ベースタイマ

16 ビット PWM タイマ, 16 ビット PPG タイマ, 16/32 ビットリロードタイマ, 16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することが可能。

8/16 ビットアップダウンカウンタ

マルチファンクションシリアルインタフェース

- 全二重ダブルバッファ方式
- 16 バイト FIFO 付き
- 非同期 (Start-Stop 同期) 通信, クロック同期通信, I²C 標準モード (最大 100kbps), I²C 高速モード (最大 400kbps の各種モード選択可能)
- パリティあり / なし選択可能
- チャンネルごとにボーレートジェネレータを内蔵
- パリティ, フレーム, オーバランエラー検出機能あり
- 外部クロックを転送クロックとして使用可能
- I²C 機能あり

8/10 ビット A/D コンバータ (逐次比較型)

- 分解能 : 8/10 ビット設定選択可能
- 変換時間 : 1.2 μ s(最小変換時間周辺クロック (CLKP)33MHz 時)
1.2 μ s(最小変換時間周辺クロック (CLKP)40MHz 時)

12 ビット A/D コンバータ (逐次比較型)

- 分解能 : 12 ビット
- 変換時間 : 2.0 μ s(最小変換時間周辺クロック (CLKP)33MHz 時)
2.2 μ s(最小変換時間周辺クロック (CLKP)40MHz 時)
- 差動入力モードあり

クロックモニタ

分周 (2/4/8/16/32/64/128/256) した周辺クロック (CLKP) が出力可能

積和演算回路

- RAM : 命令 RAM(I-RAM) 256 \times 16 ビット
係数 RAM(X-RAM) 64 \times 32 ビット
変数 RAM(Y-RAM) 64 \times 32 ビット
- 高速積和演算 (7 段パイプライン処理)
- 積和演算 (32 ビット \times 32 ビット + 72 ビット)
- 演算結果は 72 ビットから 32 ビットへの丸め処理で抽出, もしくは 72 ビット結果データ読出し可能

DMAC (DMA controller)

- 同時に最大 5 チャンネルの動作が可能
- 2 つの転送要因 (内蔵ペリフェラル割込み, ソフトウェア) によって転送起動が可能
- アドレッシングモード 32 ビットフルアドレス指定 (増加 / 減少 / 固定)
- 転送モード (バースト転送 / ステップ転送 / ブロック転送)
- 転送データサイズは 8/16/32 ビットから選択可能
- 多バイト転送可能 (ソフトにて決定)

ワイルドレジスタ

対象アドレスに置かれた命令 / データの置換えが可能 (内蔵 Flash/ROM 領域内のみ)

その他の特長

- クロックソースとして発振回路を内蔵し、PLL 通倍も選択可能
- リセット端子として INITX を用意
- その他、ウォッチドッグタイマリセット、ソフトウェアリセットあり
- 低消費電力モードとしてストップモード、スリープモードをサポート
- ギア機能
- タイムベースタイマ内蔵
- CMOS 0.18 μm テクノロジ
- 電源 : 1 電源 [$V_{CC} = 4.0\text{V} \sim 5.5\text{V}$]
- 内部回路は、内蔵降圧回路により 1.9V が供給されます。

パッケージラインアップ

シリーズ名 パッケージ	MB91470 シリーズ	MB91480 シリーズ	
	MB91F475 MB91F478 MB91F479	MB91F482 MB91F486 MB91F487	MB91482 MB91486 MB91487
FPT-100P-M20 (LQFP-0.50 mm)	-	○	○
FPT-100P-M06 (QFP-0.65 mm)	-	○	○
FPT-144P-M12 (LQFP-0.40 mm)	○	-	-
FPT-144P-M27 (LQFP-0.40 mm)	○	-	-
BGA-144P-M06 (FBGA-0.80 mm)	○	-	-

製品比較

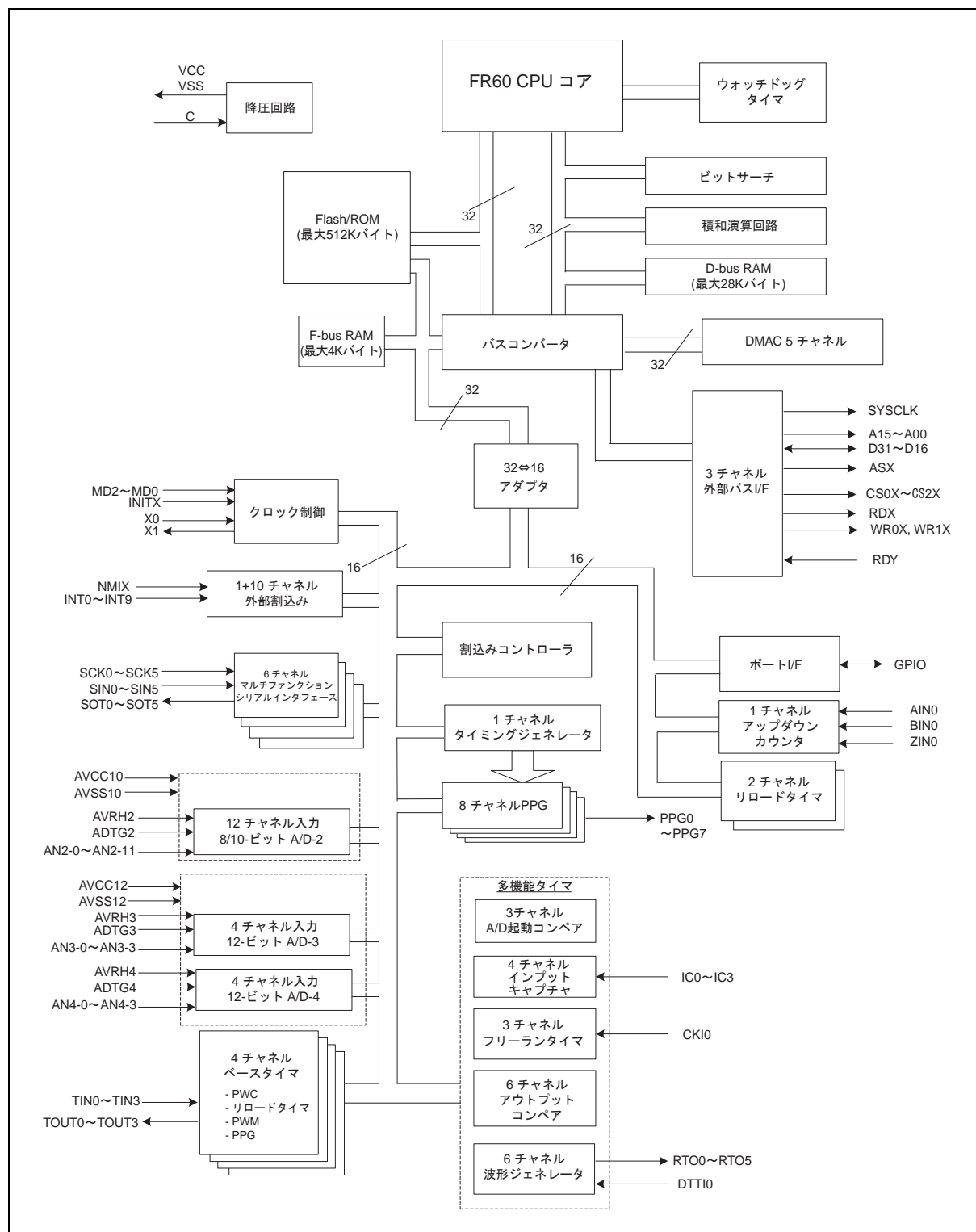
特長	MB91470/480 シリーズ共通 EVA	MB91470 シリーズ			MB91480 シリーズ		
	MB91FV470	MB91F475	MB91F478	MB91F479	MB91F487 MB91487	MB91F486 MB91486	MB91F482 MB91482
端子数	224 ピン	144 ピン			100 ピン		
内蔵 Flash/ ROM 容量	512K バイト (Flash)	256K バイト (Flash)	384K バイト (Flash)	512K バイト (Flash)	512K バイト (Flash/ROM)	384K バイト (Flash/ROM)	256K バイト (Flash/ROM)
内蔵 RAM 容量	40K バイト	16K バイト	24K バイト	32K バイト	32K バイト	24K バイト	16K バイト
外部バス	あり	あり			-		
I/O ポート	160	113			77		
外部割込み	NMI + 16 チャンネル	NMI + 10 チャンネル			NMI + 10 チャンネル		
リロード タイマ	2 チャンネル	2 チャンネル			2 チャンネル		
タイミング ジェネレー タ	2 ユニット	1 ユニット			2 ユニット		
PPG	8 ビット× 16 チャンネル 16 ビット× 8 チャンネル	8 ビット× 8 チャンネル 16 ビット× 4 チャンネル (PPG 出力 : 8 チャンネル)			8 ビット× 16 チャンネル 16 ビット× 8 チャンネル (PPG 出力 : 10 チャンネル)		
多機能タイ マ	2 ユニット	1 ユニット			2 ユニット		
フリーラン タイマ	6 チャンネル	3 チャンネル			6 チャンネル		
OCU	12 チャンネル	6 チャンネル			12 チャンネル		
ICU	8 チャンネル	4 チャンネル			8 チャンネル		
A/D 起動 コンペア	6 チャンネル	3 チャンネル			6 チャンネル		
波形ジェネ レータ	12 チャンネル	6 チャンネル			12 チャンネル		
ベースタイ マ	6 チャンネル	4 チャンネル			4 チャンネル		
アップダウ ンカウンタ	2 チャンネル	1 チャンネル			-		

特長	MB91470/480 シリーズ共通 EVA	MB91470 シリーズ			MB91480 シリーズ		
	MB91FV470	MB91F475	MB91F478	MB91F479	MB91F487 MB91487	MB91F486 MB91486	MB91F482 MB91482
マルチファンクション シリアル インタ フェース	6 ユニット	6 ユニット			3 ユニット		
8/10 ビット A/D コン バータ	4 チャンネル× 2 ユニット 16 チャンネル × 1 ユニット	12 チャンネル× 1 ユニット			4 チャンネル× 2 ユニット 10 チャンネル× 1 ユニット		
12 ビット A/D コン バータ	4 チャンネル× 2 ユニット	4 チャンネル× 2 ユニット			-		
クロック モニタ	1 ユニット	-			1 ユニット		
積和演算 回路	1 ユニット	1 ユニット			1 ユニット		
DMAC	5 チャンネル	5 チャンネル			5 チャンネル		
ワイルド レジスタ	16 チャンネル	16 チャンネル			16 チャンネル		
デバッグ 機能	DSU4	-			-		

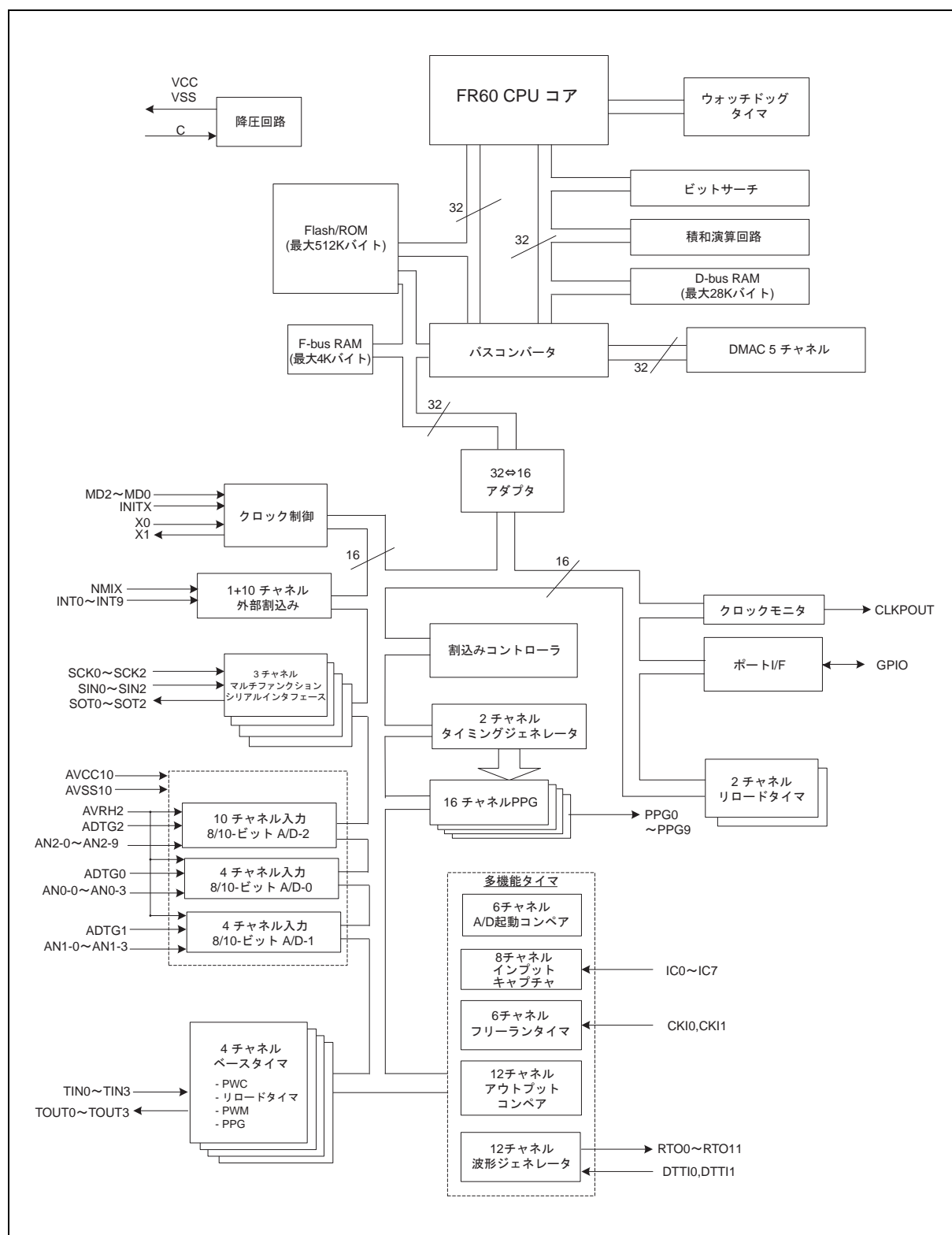
1.2 ブロックダイアグラム

MB91470/480 シリーズのブロックダイアグラムを示します。

■ MB91470 シリーズ (144 ピン) ブロックダイアグラム



■ MB91480 シリーズ(100ピン) ブロックダイアグラム

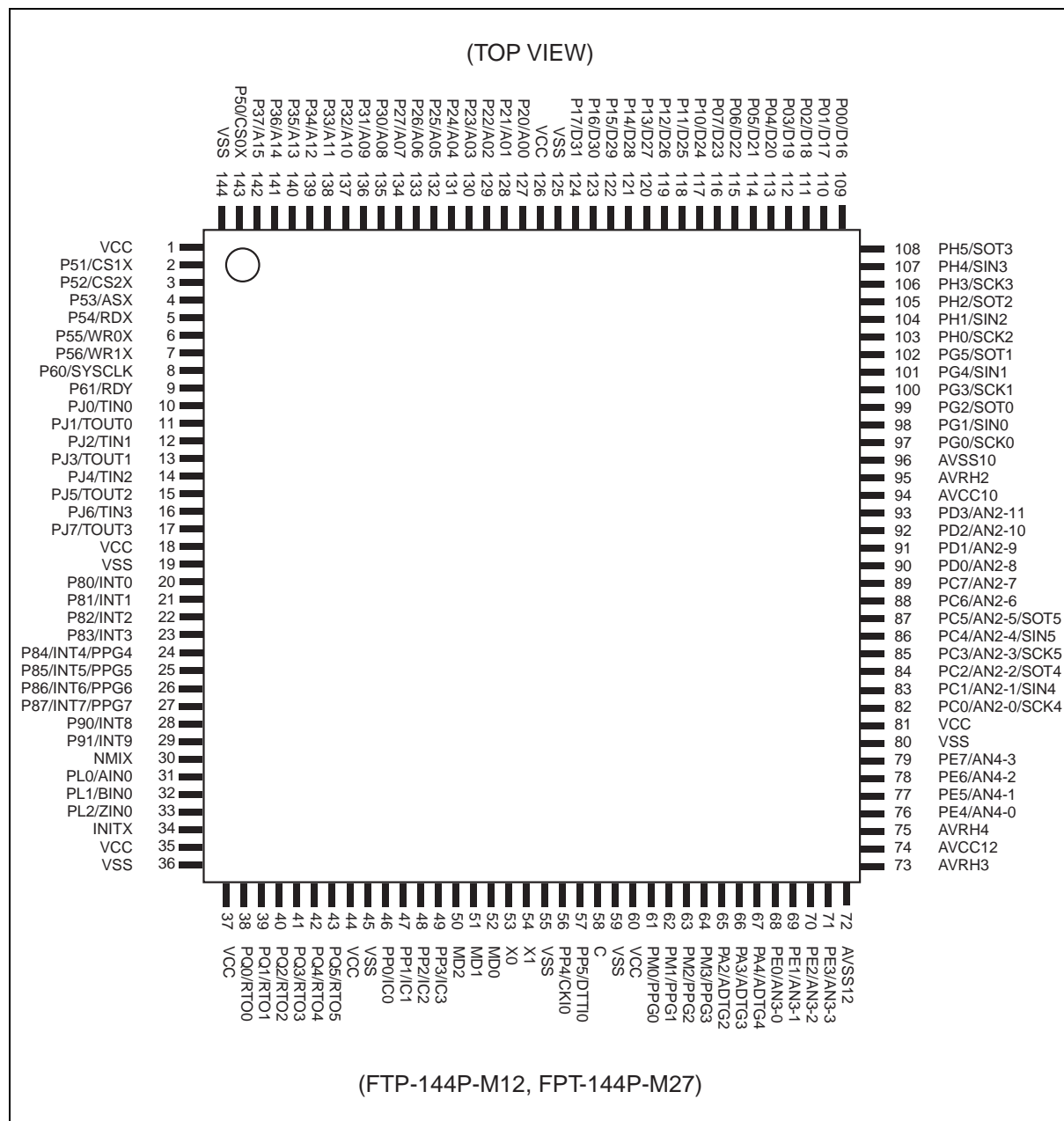


MB91470/480 シリーズ

1.3 端子配列図

MB91470/480 シリーズの端子配列図および外形寸法図を示します。

■ LQFP-144 (MB91470 シリーズ)



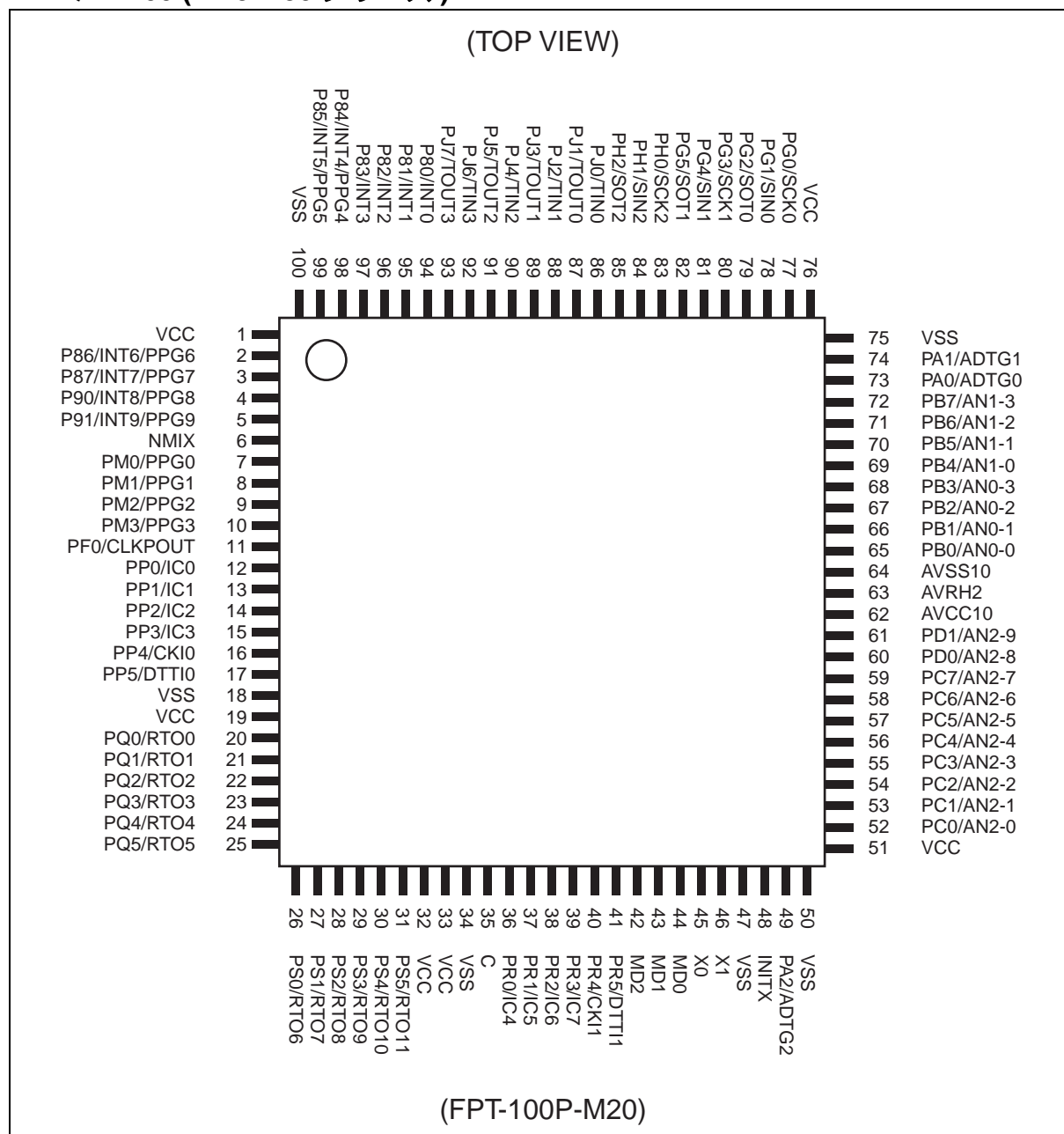
■ FBGA-144 (MB91470 シリーズ)

▼Index	1	2	3	4	5	6	7	8	9	10	11	12	13	
A	1	48	47	46	45	44	43	42	41	40	39	38	37	A
B	2	49	88	87	86	85	84	83	82	81	80	79	36	B
C	3	50	89	120	119	118	117	116	115	114	113	78	35	C
D	4	51	90	121	144	143	142	141	140	139	112	77	34	D
E	5	52	91	122						138	111	76	33	E
F	6	53	92	123						137	110	75	32	F
G	7	54	93	124						136	109	74	31	G
H	8	55	94	125						135	108	73	30	H
J	9	56	95	126						134	107	72	29	J
K	10	57	96	127	128	129	130	131	132	133	106	71	28	K
L	11	58	97	98	99	100	101	102	103	104	105	70	27	L
M	12	59	60	61	62	63	64	65	66	67	68	69	26	M
N	13	14	15	16	17	18	19	20	21	22	23	24	25	N
	1	2	3	4	5	6	7	8	9	10	11	12	13	

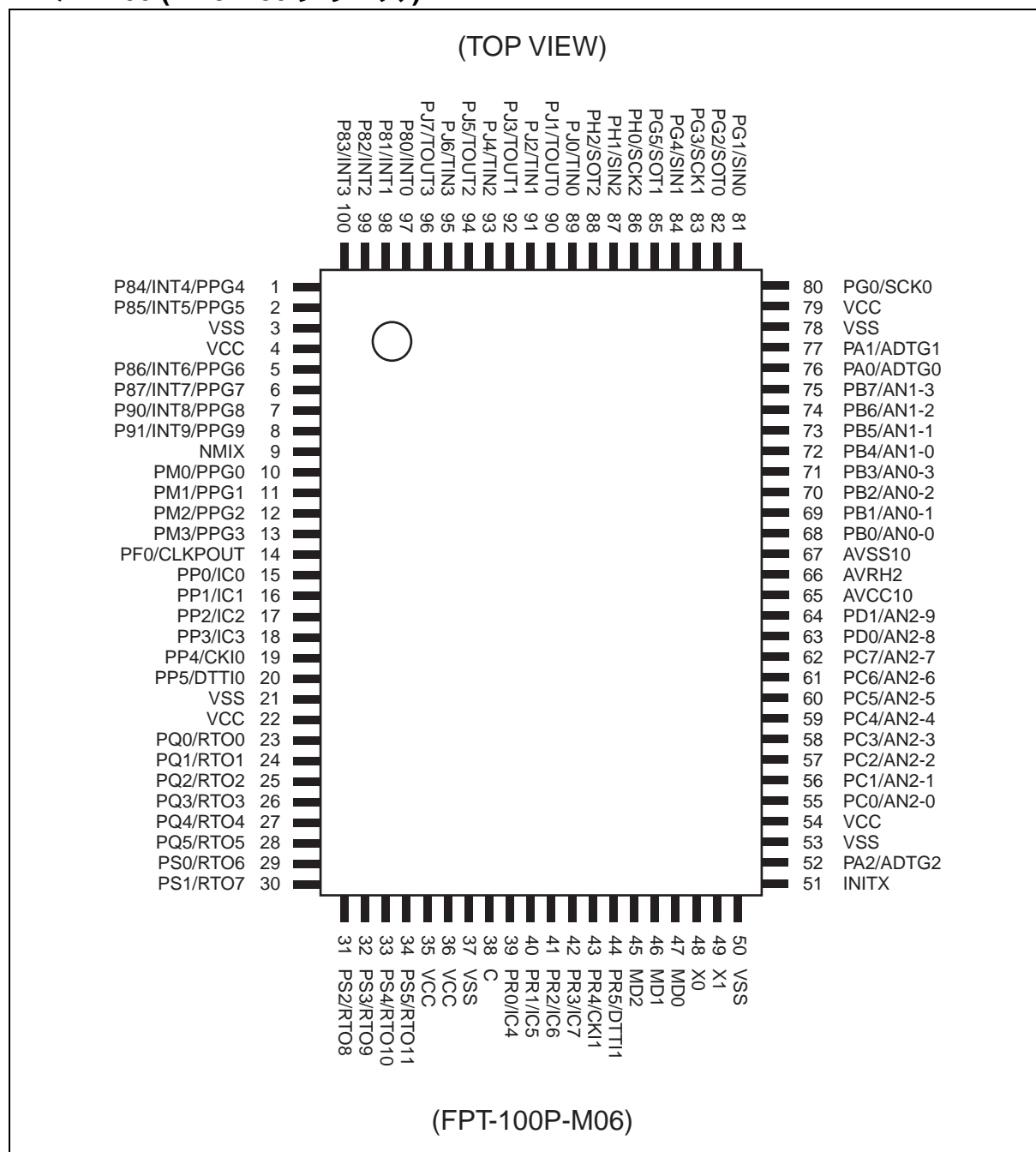
TOP VIEW

(BGA-144P-M06)

■ LQFP-100 (MB91480 シリーズ)



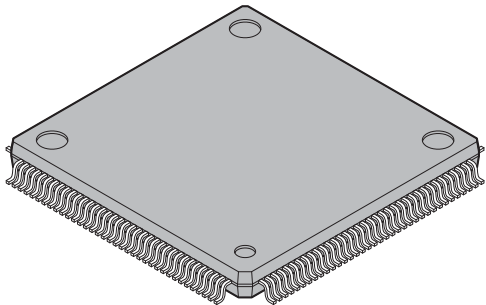
■ QFP-100 (MB91480 シリーズ)

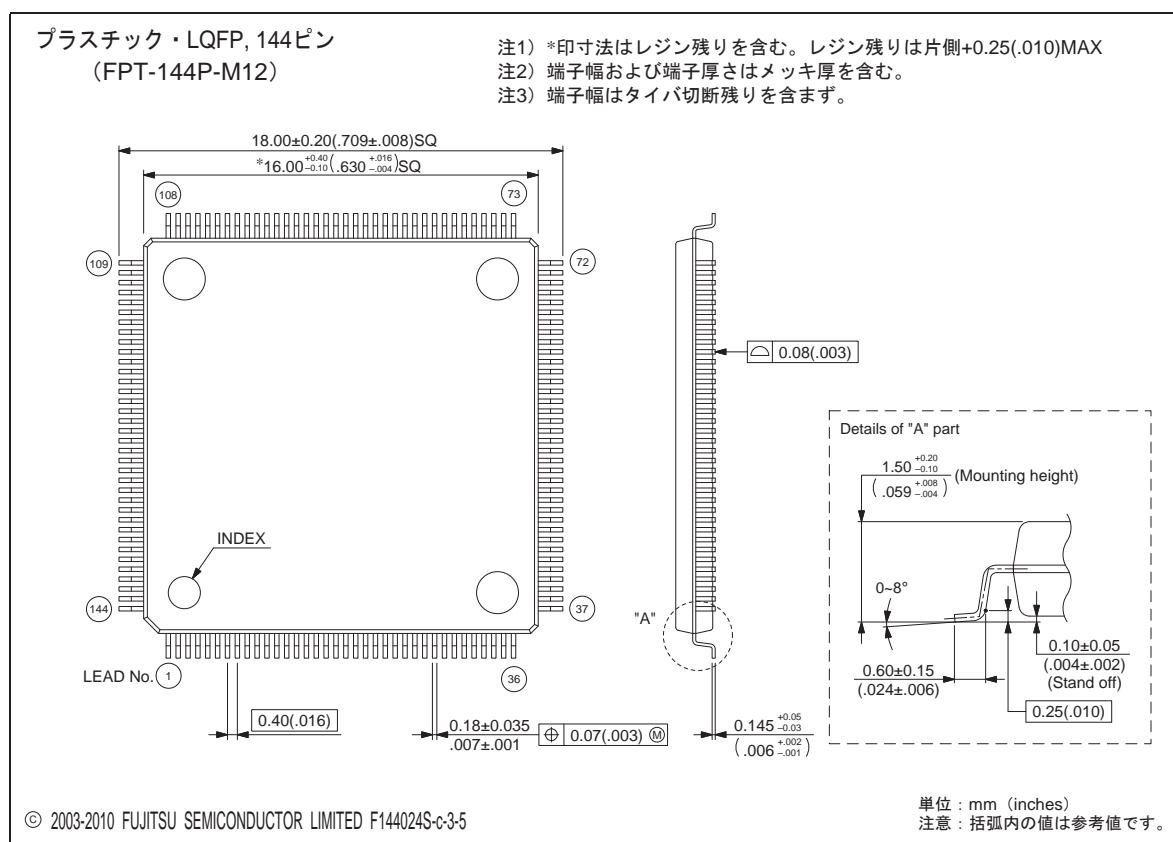


1.4 外形寸法図

MB91470/480 シリーズで使用する各パッケージの外形寸法図を示します。

■ パッケージ外形寸法図 (FPT-144P-M12)

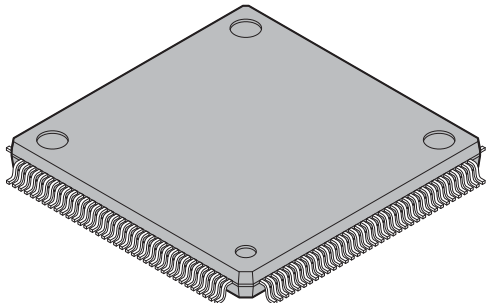
<p>プラスチック・LQFP, 144ピン</p>  <p>(FPT-144P-M12)</p>	リードピッチ	0.40 mm
	パッケージ幅 × パッケージ長さ	16.0 × 16.0 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70mm MAX
	質量	0.88 g
	コード (参考)	P-LFQFP144-16×16-0.40

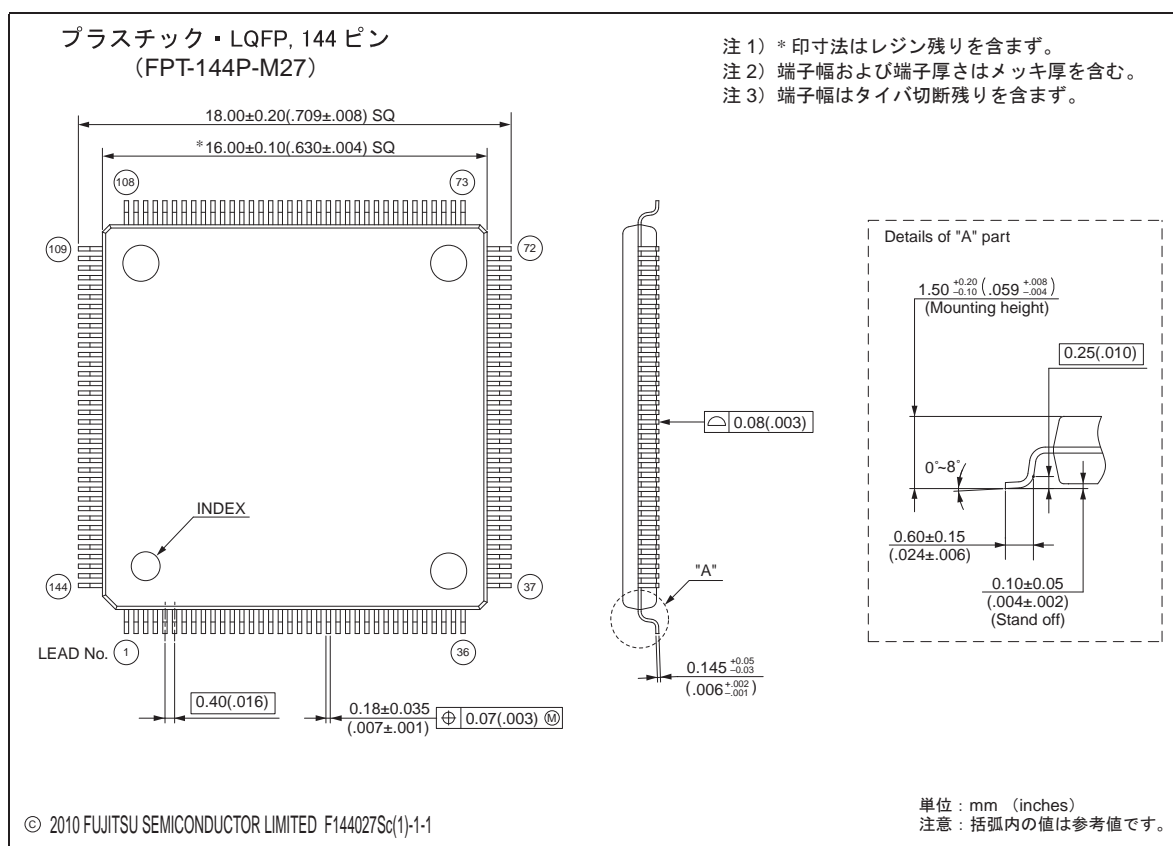


最新の外形寸法図については, 下記の URL にてご確認ください。

<http://edevice.fujitsu.com/package/jp-search/>

■ パッケージ外形寸法図 (FPT-144P-M27)

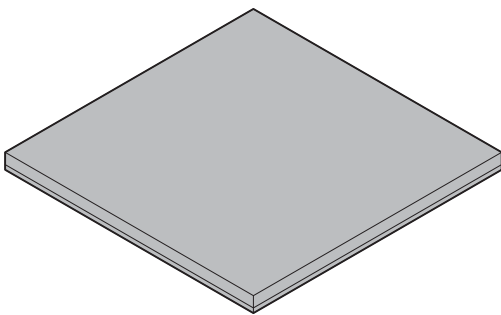
<p>プラスチック・LQFP, 144 ピン</p>  <p>(FPT-144P-M27)</p>	リードピッチ	0.40 mm
	パッケージ幅× パッケージ長さ	16.0 mm × 16.0 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70 mm Max
	質量	0.88 g
	コード (参考)	P-LFQFP144-16×16-0.40

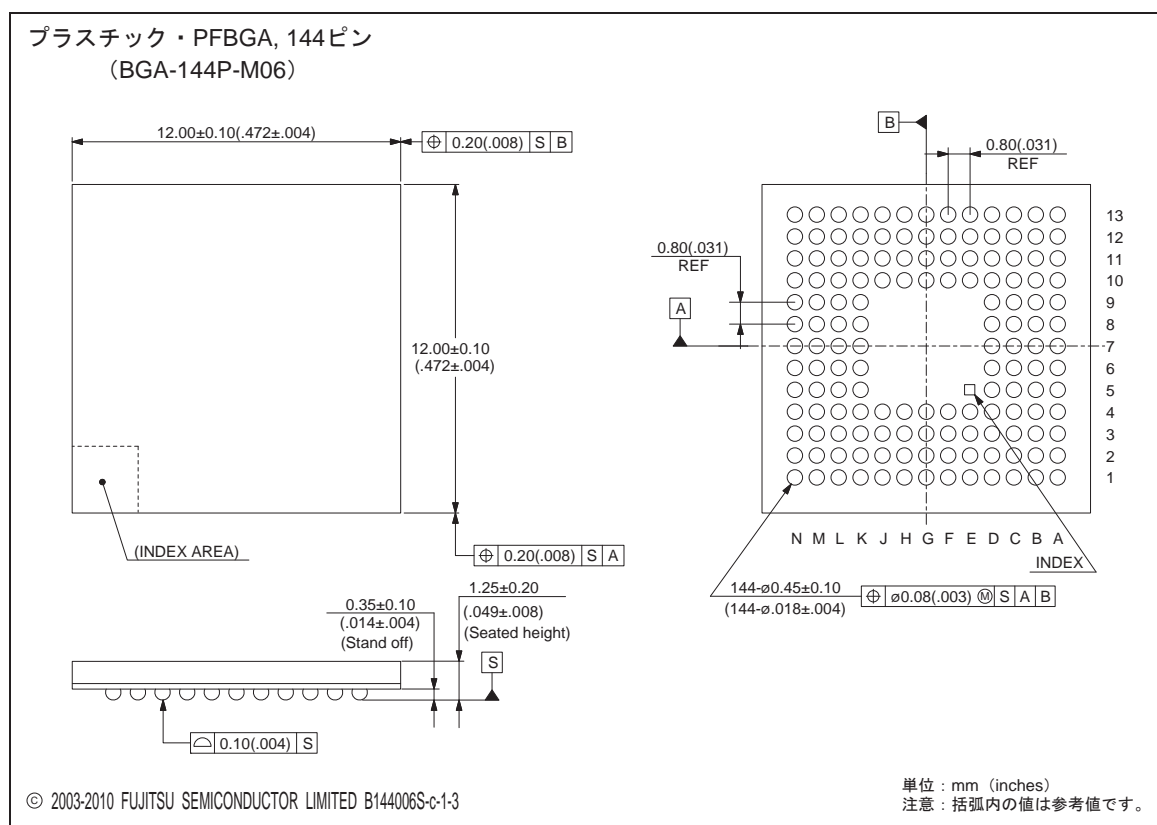


最新の外形寸法図については, 下記の URL にてご確認ください。

<http://edevice.fujitsu.com/package/jp-search/>

■ パッケージ外形寸法図 (BGA-144P-M06)

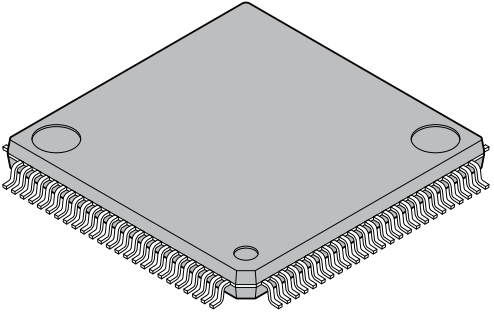
<p>プラスチック・PFBGA, 144ピン</p>  <p>(BGA-144P-M06)</p>	リードピッチ	0.80 mm
	パッケージ幅× パッケージ長さ	12.00 × 12.00 mm
	リード形状	半田ボール
	封止方法	プラスチックモールド
	ボールサイズ	Ø0.45 mm
	取付け高さ	1.45 mm Max.
	質量	約 0.32 g

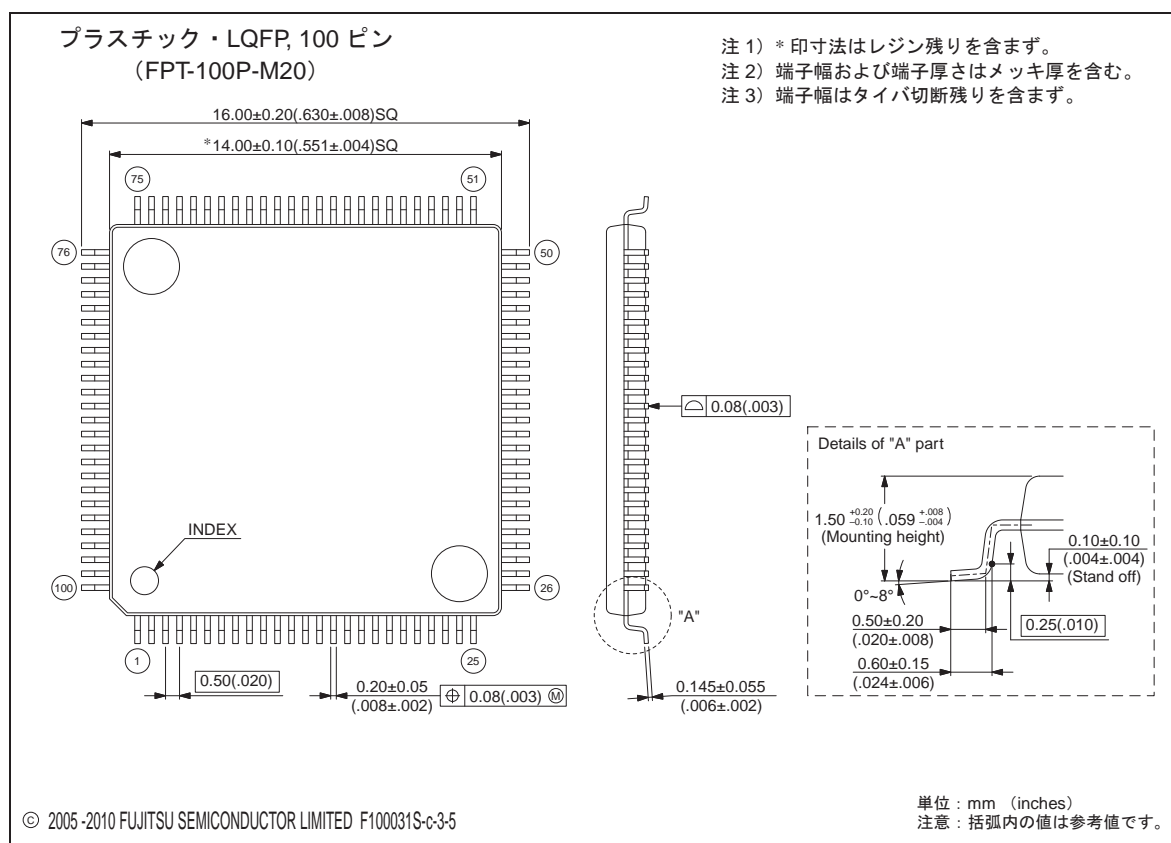


最新の外形寸法図については、下記の URL にてご確認ください。

<http://edevic.fujitsu.com/package/jp-search/>

■ パッケージ外形寸法図 (FPT-100P-M20)

<p>プラスチック・LQFP, 100 ピン</p>  <p>(FPT-100P-M20)</p>	リードピッチ	0.50 mm
	パッケージ幅 × パッケージ長さ	14.0 mm × 14.0 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70 mm Max
	質量	0.65 g
	コード (参考)	P-LFQFP100-14×14-0.50



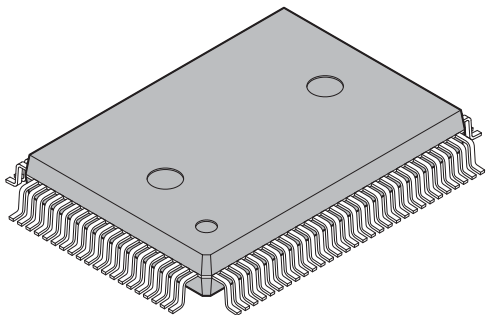
最新の外形寸法図については, 下記の URL にてご確認ください。

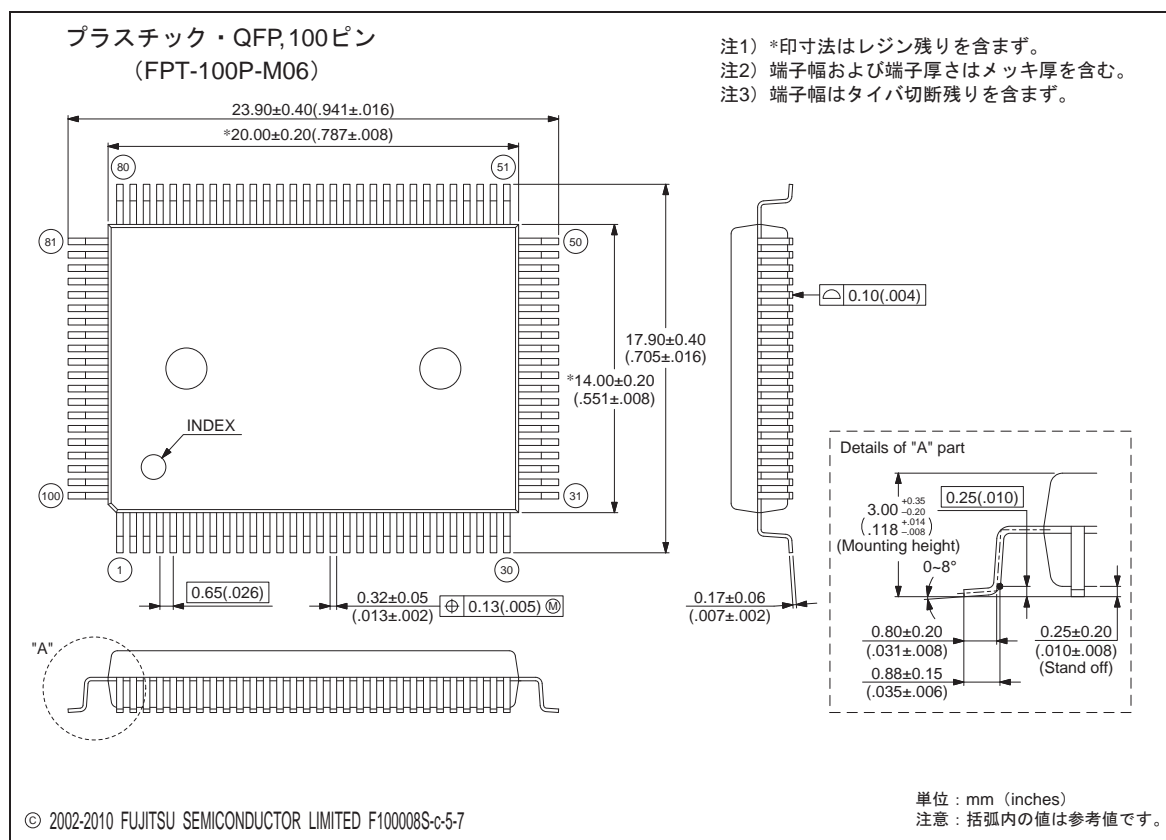
<http://edevic.fujitsu.com/package/jp-search/>

MB91470/480 シリーズ

第 1 章 概要 1.4 外形寸法図

■ パッケージ外形寸法図 (FPT-100P-M06)

<p>プラスチック・QFP, 100ピン</p>  <p>(FPT-100P-M06)</p>	リードピッチ	0.65 mm
	パッケージ幅× パッケージ長さ	14.00 × 20.00mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	3.35 mm MAX
	コード (参考)	P-QFP100-14×20-0.65



最新の外形寸法図については、下記の URL にてご確認ください。

<http://edevice.fujitsu.com/package/jp-search/>

1.5 端子機能一覧

表 1.5-1 に、端子機能について説明します。

■ 端子機能一覧

表 1.5-1 端子機能一覧表 (1 / 12)

端子番号				端子名	入出力回路形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP-144	FBGA-144	LQFP-100	QFP-100			
50	M6	42	45	MD2	H,K	モード端子 2 です。 この端子の設定により基本動作モードを設定します。 VCC または VSS に接続してください。フラッシュメモリ品は回路形式 K です。
51	N6	43	46	MD1	H,K	モード端子 1 です。 この端子の設定により基本動作モードを設定します。 VCC または VSS に接続してください。フラッシュメモリ品は回路形式 K です。
52	K5	44	47	MD0	H,K	モード端子 0 です。 この端子の設定により基本動作モードを設定します。 VCC または VSS に接続してください。フラッシュメモリ品は回路形式 K です。
53	L6	45	48	X0	A	クロック (発振) 入力です。
54	K6	46	49	X1	A	クロック (発振) 出力です。
34	L1	48	51	INITX	I	外部リセット入力です。
30	J4	6	9	NMIX	H	NMI(Non Maskable Interrupt) 入力です。
109	A12	-	-	D16	C	外部データバス入出力端子 bit16 です。
				P00		汎用入出力ポートです。
110	B12	-	-	D17	C	外部データバス入出力端子 bit17 です。
				P01		汎用入出力ポートです。
111	A11	-	-	D18	C	外部データバス入出力端子 bit18 です。
				P02		汎用入出力ポートです。
112	B11	-	-	D19	C	外部データバス入出力端子 bit19 です。
				P03		汎用入出力ポートです。
113	C12	-	-	D20	C	外部データバス入出力端子 bit20 です。
				P04		汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (2 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
114	B10	-	-	D21	C	外部データバス入出力端子 bit21 です。
				P05		汎用入出力ポートです。
115	A10	-	-	D22	C	外部データバス入出力端子 bit22 です。
				P06		汎用入出力ポートです。
116	C11	-	-	D23	C	外部データバス入出力端子 bit23 です。
				P07		汎用入出力ポートです。
117	C10	-	-	D24	C	外部データバス入出力端子 bit24 です。
				P10		汎用入出力ポートです。
118	B9	-	-	D25	C	外部データバス入出力端子 bit25 です。
				P11		汎用入出力ポートです。
119	A9	-	-	D26	C	外部データバス入出力端子 bit26 です。
				P12		汎用入出力ポートです。
120	D10	-	-	D27	C	外部データバス入出力端子 bit27 です。
				P13		汎用入出力ポートです。
121	C9	-	-	D28	C	外部データバス入出力端子 bit28 です。
				P14		汎用入出力ポートです。
122	B8	-	-	D29	C	外部データバス入出力端子 bit29 です。
				P15		汎用入出力ポートです。
123	A8	-	-	D30	C	外部データバス入出力端子 bit30 です。
				P16		汎用入出力ポートです。
124	D9	-	-	D31	C	外部データバス入出力端子 bit31 です。
				P17		汎用入出力ポートです。
127	A7	-	-	A00	C	外部アドレスバス出力端子 bit0 です。
				P20		汎用入出力ポートです。
128	B7	-	-	A01	C	外部アドレスバス出力端子 bit1 です。
				P21		汎用入出力ポートです。
129	C7	-	-	A02	C	外部アドレスバス出力端子 bit2 です。
				P22		汎用入出力ポートです。
130	D7	-	-	A03	C	外部アドレスバス出力端子 bit3 です。
				P23		汎用入出力ポートです。
131	A6	-	-	A04	C	外部アドレスバス出力端子 bit4 です。
				P24		汎用入出力ポートです。
132	B6	-	-	A05	C	外部アドレスバス出力端子 bit5 です。
				P25		汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (3 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
133	C6	-	-	A06	C	外部アドレスバス出力端子 bit6 です。
				P26		汎用入出力ポートです。
134	D6	-	-	A07	C	外部アドレスバス出力端子 bit7 です。
				P27		汎用入出力ポートです。
135	A5	-	-	A08	C	外部アドレスバス出力端子 bit8 です。
				P30		汎用入出力ポートです。
136	B5	-	-	A09	C	外部アドレスバス出力端子 bit9 です。
				P31		汎用入出力ポートです。
137	C5	-	-	A10	C	外部アドレスバス出力端子 bit10 です。
				P32		汎用入出力ポートです。
138	D5	-	-	A11	C	外部アドレスバス出力端子 bit11 です。
				P33		汎用入出力ポートです。
139	A4	-	-	A12	C	外部アドレスバス出力端子 bit12 です。
				P34		汎用入出力ポートです。
140	B4	-	-	A13	C	外部アドレスバス出力端子 bit13 です。
				P35		汎用入出力ポートです。
141	C4	-	-	A14	C	外部アドレスバス出力端子 bit14 です。
				P36		汎用入出力ポートです。
142	A3	-	-	A15	C	外部アドレスバス出力端子 bit15 です。
				P37		汎用入出力ポートです。
143	A2	-	-	CS0X	C	外部チップセレクト 0 出力です。
				P50		汎用入出力ポートです。
2	B2	-	-	CS1X	C	外部チップセレクト 1 出力です。
				P51		汎用入出力ポートです。
3	C1	-	-	CS2X	C	外部チップセレクト 2 出力です。
				P52		汎用入出力ポートです。
4	C2	-	-	ASX	C	外部アドレスストロブ出力です。
				P53		汎用入出力ポートです。
5	B3	-	-	RDX	C	外部リードストロブ出力です。
				P54		汎用入出力ポートです。
6	D2	-	-	WR0X	C	外部ライトストロブ出力です。 外部データバス入出力 bit31 ~ bit24 に対応します。
				P55		汎用入出力ポートです。
7	D1	-	-	WR1X	C	外部ライトストロブ出力です。 外部データバス入出力 bit23 ~ bit16 に対応します。
				P56		汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (4 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
8	C3	-	-	SYSCLK P60	C	外部クロック出力です。 汎用入出力ポートです。
9	D3	-	-	RDY P61	C	外部レディ入力です。 汎用入出力ポートです。
20	G2	94	97	INT0 P80	D	外部割込み 0 入力です。 汎用入出力ポートです。
21	G3	95	98	INT1 P81	D	外部割込み 1 入力です。 汎用入出力ポートです。
22	G4	96	99	INT2 P82	D	外部割込み 2 入力です。 汎用入出力ポートです。
23	H1	97	100	INT3 P83	D	外部割込み 3 入力です。 汎用入出力ポートです。
24	H2	98	1	INT4 PPG4 P84	D	外部割込み 4 入力です。 PPG タイマ 4 の出力です。 汎用入出力ポートです。
25	H3	99	2	INT5 PPG5 P85	D	外部割込み 5 入力です。 PPG タイマ 5 の出力です。 汎用入出力ポートです。
26	H4	2	5	INT6 PPG6 P86	D	外部割込み 6 入力です。 PPG タイマ 6 の出力です。 汎用入出力ポートです。
27	J1	3	6	INT7 PPG7 P87	D	外部割込み 7 入力です。 PPG タイマ 7 の出力です。 汎用入出力ポートです。
28	J2	4	7	INT8 PPG8 P90	D	外部割込み 8 入力です。 PPG タイマ 8 の出力です。 汎用入出力ポートです。
29	J3	5	8	INT9 PPG9 P91	D	外部割込み 9 入力です。 PPG タイマ 9 の出力です。 汎用入出力ポートです。
-	-	-	-	INT10 PPG10 P92	D	外部割込み 10 入力です。 PPG タイマ 10 の出力です。 汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (5 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
-	-	-	-	INT11	D	外部割込み 11 入力です。
				PPG11		PPG タイマ 11 の出力です。
				P93		汎用入出力ポートです。
-	-	-	-	INT12	D	外部割込み 12 入力です。
				PPG12		PPG タイマ 12 の出力です。
				P94		汎用入出力ポートです。
-	-	-	-	INT13	D	外部割込み 13 入力です。
				PPG13		PPG タイマ 13 の出力です。
				P95		汎用入出力ポートです。
-	-	-	-	INT14	D	外部割込み 14 入力です。
				PPG14		PPG タイマ 14 の出力です。
				P96		汎用入出力ポートです。
-	-	-	-	INT15	D	外部割込み 15 入力です。
				PPG15		PPG タイマ 15 の出力です。
				P97		汎用入出力ポートです。
-	-	73	76	ADTG0	D	8/10 ビット A/D コンバータ 0 の外部トリガ入力です。
				PA0		汎用入出力ポートです。
-	-	74	77	ADTG1	D	8/10 ビット A/D コンバータ 1 の外部トリガ入力です。
				PA1		汎用入出力ポートです。
65	L9	49	52	ADTG2	D	8/10 ビット A/D コンバータ 2 の外部トリガ入力です。
				PA2		汎用入出力ポートです。
66	K9	-	-	ADTG3	D	12 ビット A/D コンバータ 3 の外部トリガ入力です。
				PA3		汎用入出力ポートです。
67	N10	-	-	ADTG4	D	12 ビット A/D コンバータ 4 の外部トリガ入力です。
				PA4		汎用入出力ポートです。
-	-	65	68	AN0-0	G	8/10 ビット A/D コンバータ 0 のアナログ 0 入力です。
				PB0		汎用入出力ポートです。
-	-	66	69	AN0-1	G	8/10 ビット A/D コンバータ 0 のアナログ 1 入力です。
				PB1		汎用入出力ポートです。
-	-	67	70	AN0-2	G	8/10 ビット A/D コンバータ 0 のアナログ 2 入力です。
				PB2		汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (6 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
-	-	68	71	AN0-3	G	8/10 ビット A/D コンバータ 0 のアナログ 3 入力です。
				PB3		汎用入出力ポートです。
-	-	69	72	AN1-0	G	8/10 ビット A/D コンバータ 1 のアナログ 0 入力です。
				PB4		汎用入出力ポートです。
-	-	70	73	AN1-1	G	8/10 ビット A/D コンバータ 1 のアナログ 1 入力です。
				PB5		汎用入出力ポートです。
-	-	71	74	AN1-2	G	8/10 ビット A/D コンバータ 1 のアナログ 2 入力です。
				PB6		汎用入出力ポートです。
-	-	72	75	AN1-3	G	8/10 ビット A/D コンバータ 1 のアナログ 3 入力です。
				PB7		汎用入出力ポートです。
82	J12	52	55	AN2-0	G	8/10 ビット A/D コンバータ 2 のアナログ 0 入力です。
				SCK4 (SCL4)		マルチファンクションシリアルインタフェース 4 のクロック入出力です (I ² C モード時, SCL4)。
				PC0		汎用入出力ポートです。
83	J13	53	56	AN2-1	G	8/10 ビット A/D コンバータ 2 のアナログ 1 入力です。
				SIN4		マルチファンクションシリアルインタフェース 4 のデータ入力です (I ² C モード時, 未使用)。
				PC1		汎用入出力ポートです。
84	K10	54	57	AN2-2	G	8/10 ビット A/D コンバータ 2 のアナログ 2 入力です。
				SOT4 (SDA4)		マルチファンクションシリアルインタフェース 4 のデータ出力です (I ² C モード時, SDA4)。
				PC2		汎用入出力ポートです。
85	J11	55	58	AN2-3	G	8/10 ビット A/D コンバータ 2 のアナログ 3 入力です。
				SCK5 (SCL5)		マルチファンクションシリアルインタフェース 5 のクロック入出力です (I ² C モード時, SCL5)。
				PC3		汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (7 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
86	H12	56	59	AN2-4	G	8/10 ビット A/D コンバータ 2 のアナログ 4 入力です。
				SIN5		マルチファンクションシリアルインタフェース 5 のデータ入力です (I ² C モード時, 未使用)。
				PC4		汎用入出力ポートです。
87	H13	57	60	AN2-5	G	8/10 ビット A/D コンバータ 2 のアナログ 5 入力です。
				SOT5 (SDA5)		マルチファンクションシリアルインタフェース 5 のデータ出力です (I ² C モード時, SDA5)。
				PC5		汎用入出力ポートです。
88	J10	58	61	AN2-6	G	8/10 ビット A/D コンバータ 2 のアナログ 6 入力です。
				PC6		汎用入出力ポートです。
89	H11	59	62	AN2-7	G	8/10 ビット A/D コンバータ 2 のアナログ 7 入力です。
				PC7		汎用入出力ポートです。
90	H10	60	63	AN2-8	G	8/10 ビット A/D コンバータ 2 のアナログ 8 入力です。
				PD0		汎用入出力ポートです。
91	G13	61	64	AN2-9	G	8/10 ビット A/D コンバータ 2 のアナログ 9 入力です。
				PD1		汎用入出力ポートです。
92	G12	-	-	AN2-10	G	8/10 ビット A/D コンバータ 2 のアナログ 10 入力です。
				PD2		汎用入出力ポートです。
93	G11	-	-	AN2-11	G	8/10 ビット A/D コンバータ 2 のアナログ 11 入力です。
				PD3		汎用入出力ポートです。
68	M10	-	-	AN3-0/ AN3-0P	G	通常入力モード時, 12 ビット A/D コンバータ 3 のアナログ 0 入力です。 差動入力モード時, 12 ビット A/D コンバータ 3 のアナログ 0(+) 側入力です。
				PE0		汎用入出力ポートです。
69	L10	-	-	AN3-1/ AN3-0N	G	通常入力モード時, 12 ビット A/D コンバータ 3 のアナログ 1 入力です。 差動入力モード時, 12 ビット A/D コンバータ 3 のアナログ 0(-) 側入力です。
				PE1		汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (8 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
70	N11	-	-	AN3-2/ AN3-1P	G	通常入力モード時,12 ビット A/D コンバータ 3 のアナログ 2 入力です。 差動入力モード時,12 ビット A/D コンバータ 3 のアナログ 1(+) 側入力です。
				PE2		汎用入出力ポートです。
71	N12	-	-	AN3-3/ AN3-1N	G	通常入力モード時,12 ビット A/D コンバータ 3 のアナログ 3 入力です。 差動入力モード時,12 ビット A/D コンバータ 3 のアナログ 1(-) 側入力です。
				PE3		汎用入出力ポートです。
76	L12	-	-	AN4-0/ AN4-0P	G	通常入力モード時,12 ビット A/D コンバータ 4 のアナログ 0 入力です。 差動入力モード時,12 ビット A/D コンバータ 4 のアナログ 0(+) 側入力です。
				PE4		汎用入出力ポートです。
77	M11	-	-	AN4-1/ AN4-0N	G	通常入力モード時,12 ビット A/D コンバータ 4 のアナログ 1 入力です。 差動入力モード時,12 ビット A/D コンバータ 4 のアナログ 0(-) 側入力です。
				PE5		汎用入出力ポートです。
78	K12	-	-	AN4-2/ AN4-1P	G	通常入力モード時,12 ビット A/D コンバータ 4 のアナログ 2 入力です。 差動入力モード時,12 ビット A/D コンバータ 4 のアナログ 1(+) 側入力です。
				PE6		汎用入出力ポートです。
79	K13	-	-	AN4-3/ AN4-1N	G	通常入力モード時,12 ビット A/D コンバータ 4 のアナログ 3 入力です。 差動入力モード時,12 ビット A/D コンバータ 4 のアナログ 1(-) 側入力です。
				PE7		汎用入出力ポートです。
-	-	11	14	CLKPOUT	D	クロックモニタ出力です。
				PF0		汎用入出力ポートです。
-	-	-	-	PF1	D	汎用入出力ポートです。
-	-	-	-	PF2	D	汎用入出力ポートです。
-	-	-	-	PF3	D	汎用入出力ポートです。
-	-	-	-	PF4	D	汎用入出力ポートです。
-	-	-	-	PF5	D	汎用入出力ポートです。
-	-	-	-	PF6	D	汎用入出力ポートです。
-	-	-	-	PF7	D	汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (9 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
97	F11	77	80	SCK0 (SCL0)	D	マルチファンクションシリアルインタフェース 0 の クロック入出力です (I ² C モード時, SCL0)。
				PG0		汎用入出力ポートです。
98	F10	78	81	SIN0	D	マルチファンクションシリアルインタフェース 0 の データ入力です (I ² C モード時, 未使用)。
				PG1		汎用入出力ポートです。
99	E13	79	82	SOT0 (SDA0)	D	マルチファンクションシリアルインタフェース 0 の データ出力です (I ² C モード時, SDA0)。
				PG2		汎用入出力ポートです。
100	E12	80	83	SCK1 (SCL1)	D	マルチファンクションシリアルインタフェース 1 の クロック入出力です (I ² C モード時, SCL1)。
				PG3		汎用入出力ポートです。
101	E11	81	84	SIN1	D	マルチファンクションシリアルインタフェース 1 の データ入力です (I ² C モード時, 未使用)。
				PG4		汎用入出力ポートです。
102	E10	82	85	SOT1 (SDA1)	D	マルチファンクションシリアルインタフェース 1 の データ出力です (I ² C モード時, SDA1)。
				PG5		汎用入出力ポートです。
103	D13	83	86	SCK2 (SCL2)	D	マルチファンクションシリアルインタフェース 2 の クロック入出力です (I ² C モード時, SCL2)。
				PH0		汎用入出力ポートです。
104	D12	84	87	SIN2	D	マルチファンクションシリアルインタフェース 2 の データ入力です (I ² C モード時, 未使用)。
				PH1		汎用入出力ポートです。
105	D11	85	88	SOT2 (SDA2)	D	マルチファンクションシリアルインタフェース 2 の データ出力です (I ² C モード時, SDA2)。
				PH2		汎用入出力ポートです。
106	C13	-	-	SCK3 (SCL3)	D	マルチファンクションシリアルインタフェース 3 の クロック入出力です (I ² C モード時, SCL3)。
				PH3		汎用入出力ポートです。
107	B13	-	-	SIN3	D	マルチファンクションシリアルインタフェース 3 の データ入力です (I ² C モード時, 未使用)。
				PH4		汎用入出力ポートです。
108	A13	-	-	SOT3 (SDA3)	D	マルチファンクションシリアルインタフェース 3 の データ出力です (I ² C モード時, SDA3)。
				PH5		汎用入出力ポートです。

MB91470/480 シリーズ

表 1.5-1 端子機能一覧表 (10 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
10	E2	86	89	TIN0	D	ベースタイマ 0 入力です。
				PJ0		汎用入出力ポートです。
11	E1	87	90	TOUT0	D	ベースタイマ 0 出力です。
				PJ1		汎用入出力ポートです。
12	D4	88	91	TIN1	D	ベースタイマ 1 入力です。
				PJ2		汎用入出力ポートです。
13	E3	89	92	TOUT1	D	ベースタイマ 1 出力です。
				PJ3		汎用入出力ポートです。
14	F2	90	93	TIN2	D	ベースタイマ 2 入力です。
				PJ4		汎用入出力ポートです。
15	F1	91	94	TOUT2	D	ベースタイマ 2 出力です。
				PJ5		汎用入出力ポートです。
16	E4	92	95	TIN3	D	ベースタイマ 3 入力です。
				PJ6		汎用入出力ポートです。
17	F3	93	96	TOUT3	D	ベースタイマ 3 出力です。
				PJ7		汎用入出力ポートです。
31	K1	-	-	AIN0	D	アップダウンカウンタ 0 用 8/16 ビットアップカウ ント入力端子です。
				PL0		汎用入出力ポートです。
32	K2	-	-	BIN0	D	アップダウンカウンタ 0 用 8/16 ビットダウンカウ ント入力端子です。
				PL1		汎用入出力ポートです。
33	K3	-	-	ZIN0	D	アップダウンカウンタ 0 用 8/16 ビットリセット入 力端子です。
				PL2		汎用入出力ポートです。
61	L8	7	10	PPG0	D	PPG タイマ 0 の出力です。
				PM0		汎用入出力ポートです。
62	K8	8	11	PPG1	D	PPG タイマ 1 の出力です。
				PM1		汎用入出力ポートです。
63	N9	9	12	PPG2	D	PPG タイマ 2 の出力です。
				PM2		汎用入出力ポートです。
64	M9	10	13	PPG3	D	PPG タイマ 3 の出力です。
				PM3		汎用入出力ポートです。
46	M5	12	15	IC0	D	インプットキャプチャ 0 のトリガ入力です。
				PP0		汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (11 / 12)

端子番号				端子名	入出力 回路 形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100			
47	N5	13	16	IC1	D	インプットキャプチャ 1 のトリガ入力です。
				PP1		汎用入出力ポートです。
48	K4	14	17	IC2	D	インプットキャプチャ 2 のトリガ入力です。
				PP2		汎用入出力ポートです。
49	L5	15	18	IC3	D	インプットキャプチャ 3 のトリガ入力です。
				PP3		汎用入出力ポートです。
56	M7	16	19	CKI0	D	フリーランタイム ch.0 ~ ch.2 の外部クロック入力 端子です。
				PP4		汎用入出力ポートです。
57	L7	17	20	DTTI0	D	多機能タイマ 0 の波形ジェネレータ出力 RTO0 ~ RTO5 を制御する入力信号です。
				PP5		汎用入出力ポートです。
38	M2	20	23	RTO0	J	多機能タイマ 0 の波形ジェネレータ出力です。
				PQ0		汎用入出力ポートです。
39	N3	21	24	RTO1	J	多機能タイマ 0 の波形ジェネレータ出力です。
				PQ1		汎用入出力ポートです。
40	M3	22	25	RTO2	J	多機能タイマ 0 の波形ジェネレータ出力です。
				PQ2		汎用入出力ポートです。
41	L2	23	26	RTO3	J	多機能タイマ 0 の波形ジェネレータ出力です。
				PQ3		汎用入出力ポートです。
42	M4	24	27	RTO4	J	多機能タイマ 0 の波形ジェネレータ出力です。
				PQ4		汎用入出力ポートです。
43	N4	25	28	RTO5	J	多機能タイマ 0 の波形ジェネレータ出力です。
				PQ5		汎用入出力ポートです。
-	-	36	39	IC4	D	インプットキャプチャ 4 のトリガ入力です。
				PR0		汎用入出力ポートです。
-	-	37	40	IC5	D	インプットキャプチャ 5 のトリガ入力です。
				PR1		汎用入出力ポートです。
-	-	38	41	IC6	D	インプットキャプチャ 6 のトリガ入力です。
				PR2		汎用入出力ポートです。
-	-	39	42	IC7	D	インプットキャプチャ 7 のトリガ入力です。
				PR3		汎用入出力ポートです。
-	-	40	43	CKI1	D	フリーランタイム ch.3 ~ ch.5 の外部クロック入力 端子です。
				PR4		汎用入出力ポートです。

表 1.5-1 端子機能一覧表 (12 / 12)

端子番号				端子名	入出力回路形式*	機能
MB91470 シリーズ		MB91480 シリーズ				
LQFP-144	FBGA-144	LQFP-100	QFP-100			
-	-	41	44	DTTI1	D	多機能タイマ 1 の波形ジェネレータ出力 RTO6 ~ RTO11 を制御する入力信号です。
				PR5		汎用入出力ポートです。
-	-	26	29	RTO6	J	多機能タイマ 1 の波形ジェネレータ出力です。
				PS0		汎用入出力ポートです。
-	-	27	30	RTO7	J	多機能タイマ 1 の波形ジェネレータ出力です。
				PS1		汎用入出力ポートです。
-	-	28	31	RTO8	J	多機能タイマ 1 の波形ジェネレータ出力です。
				PS2		汎用入出力ポートです。
-	-	29	32	RTO9	J	多機能タイマ 1 の波形ジェネレータ出力です。
				PS3		汎用入出力ポートです。
-	-	30	33	RTO10	J	多機能タイマ 1 の波形ジェネレータ出力です。
				PS4		汎用入出力ポートです。
-	-	31	34	RTO11	J	多機能タイマ 1 の波形ジェネレータ出力です。
				PS5		汎用入出力ポートです。

* : 入出力回路形式については「1.6 入出力回路形式」を参照してください。

端子番号				端子名	機能
MB91470 シリーズ		MB91480 シリーズ			
LQFP- 144	FBGA- 144	LQFP- 100	QFP- 100		
1 18 35 37 44 60 81 126	B1 F4 M1 N2 L3 M8 K11 D8	1 19 32 33 51 76	4 22 35 36 54 79	VCC	電源端子です。すべて同電位でお使いください。
19 36 45 55 59 80 125 144	A1 G1 N1 L4 N7 N8 L11 C8	18 34 47 50 75 100	21 37 50 53 78 3	VSS	GND 端子です。すべて同電位でお使いください。
58	K7	35	38	C	内部レギュレータ用のコンデンサ結合端子です。
94	G10	62	65	AVCC10	8/10 ビット A/D コンバータ 0/1/2 用のアナログ電源端子です。
96	F12	64	67	AVSS10	8/10 ビット A/D コンバータ 0/1/2 用のアナログ GND 端子です。
74	M12	-	-	AVCC12	12 ビット A/D コンバータ 3/4 用のアナログ電源端子です。
72	N13	-	-	AVSS12	12 ビット A/D コンバータ 3/4 用のアナログ GND 端子です。
-	-	-	-	AVRH0	8/10 ビット A/D コンバータ 0 用のアナログ基準電源端子です。
-	-	-	-	AVRH1	8/10 ビット A/D コンバータ 1 用のアナログ基準電源端子です。
95	F13	63	66	AVRH2	8/10 ビット A/D コンバータ 2 用のアナログ基準電源端子です。
73	M13	-	-	AVRH3	12 ビット A/D コンバータ 3 用のアナログ基準電源端子です。
75	L13	-	-	AVRH4	12 ビット A/D コンバータ 4 用のアナログ基準電源端子です。

1.6 入出力回路形式

表 1.6-1 に、入出力回路形式を示します。

■ 入出力回路形式

表 1.6-1 入出力回路形式 (1 / 3)

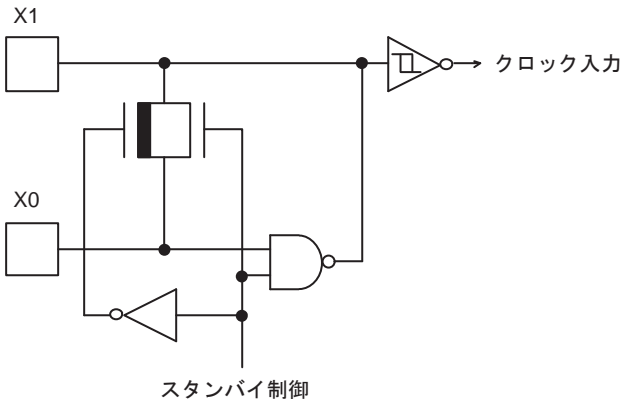
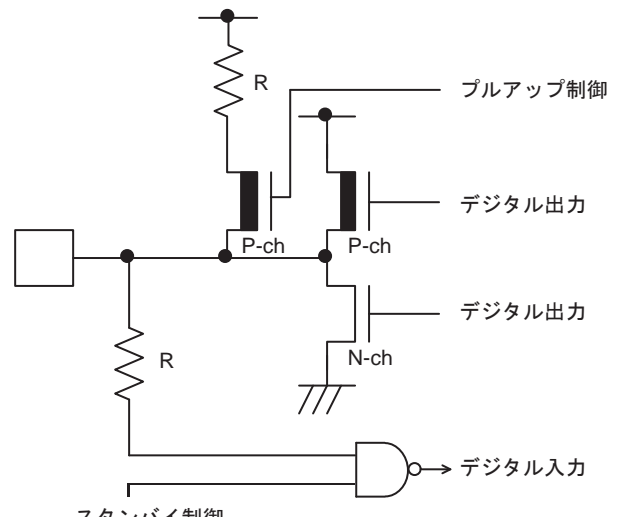
分類	回路形式	備考
A	 <p>スタンバイ制御</p>	<p>高速用 (メインクロック原発振) 発振帰還抵抗 : 約 1 M</p>
C	 <p>プルアップ制御</p> <p>デジタル出力</p> <p>P-ch</p> <p>P-ch</p> <p>デジタル出力</p> <p>N-ch</p> <p>スタンバイ制御</p> <p>デジタル入力</p>	<ul style="list-style-type: none"> CMOS レベル出力 CMOS レベル入力 スタンバイ制御あり プルアップ制御あり

表 1.6-1 入出力回路形式 (2 / 3)

分類	回路形式	備考
D		<ul style="list-style-type: none"> CMOS レベル出力 CMOS レベルヒステリシス入力 スタンバイ制御あり プルアップ制御あり
G		<ul style="list-style-type: none"> アナログ /CMOS レベルヒステリシス入出力端子 CMOS レベル出力 CMOS レベルヒステリシス入力 (スタンバイ制御付き) アナログ入力 (AICR レジスタの対応するビットが "1" のときにアナログ入力が有効になります) プルアップ制御あり
H		<ul style="list-style-type: none"> CMOS レベルヒステリシス入力 スタンバイ制御なし

表 1.6-1 入出力回路形式 (3 / 3)

分類	回路形式	備考
I		<ul style="list-style-type: none"> CMOS レベルヒステリシス入力 プリアップ抵抗付き スタンバイ制御なし
J		<ul style="list-style-type: none"> CMOS レベル出力 CMOS レベルヒステリシス入力 スタンバイ制御あり プリアップ制御あり
K		<p>フラッシュメモリ品のみ</p> <ul style="list-style-type: none"> CMOS レベル入力 フラッシュテスト用の高電圧制御あり

第2章

デバイス使用上の注意

デバイスを取り扱う際の注意事項について説明します。

2.1 デバイス使用上の注意

2.1 デバイス使用上の注意

デバイスを扱う際の注意事項について説明します。

デバイス使用上の注意

- ラッチアップ防止のために

CMOS IC では入力端子や出力端子に VCC より高い電圧や VSS より低い電圧を印加した場合、または VCC 端子と VSS 端子との間に定格を超える電圧を印加した場合にラッチアップ現象が発生することがあります。ラッチアップが発生すると電源電流が激増し、素子の熱破壊に至ることがありますので、使用に際しては最大定格を超えないようにしてください。

- 未使用入力端子の処理について

使用していない入力端子を開放のままにしておくとは誤動作の原因となることがありますので、プルアップまたはプルダウンの処理をしてください。

- 電源端子について

VCC または VSS が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してあります。不要輻射の低減、グラウンドレベルの上昇によるストロブ信号の誤動作の防止、総出力電流規格を遵守などのため、必ずすべての VCC と VSS を外部で電源およびグラウンドに接続してください。また、電流供給源と本デバイスの VCC 端子と VSS 端子は、低インピーダンスで接続してください。本デバイスの近くで、VCC 端子と VSS 端子の間に 0.1 μ F 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

- 水晶発振回路について

X0 端子と X1 端子の近くにノイズがあると、デバイスの誤動作の原因となる可能性があります。X0 端子、X1 端子、水晶発振子（またはセラミック発振子）およびグラウンドへのバイパスコンデンサをできるだけデバイスの近くに配置するようにプリント基板を設計してください。グラウンドで X0 端子と X1 端子を取り囲むようにプリント基板アートを設計すると、安定した動作が得られますので、この設計を強く推奨します。各量産品において、ご使用される発振子メーカーに発振評価依頼をしてください。

- モード端子 (MD0 ~ MD2) について

モード端子 (MD0 ~ MD2) は VCC 端子または VSS 端子に直接接続してください。

内蔵 FLASH 書き換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、出来るだけ低インピーダンスで接続するようにプリント基板を設計してください。

● 電源投入時について

電源投入直後は必ず INITX 端子にて設定初期化リセット (INIT) をかけてください。また、電源投入直後は、発振回路の発振安定待ち時間およびレギュレータの安定待ち時間を確保するため、INITX 端子への "L" レベル入力を発振回路の要求する安定待ち時間の間持続してください (INITX 端子による INIT では、発振安定待ち時間の設定は最小値に初期化されています)。

● 電源投入順序について

電源投入および電源切断は下記の順序で行ってください。

なお、A/D コンバータを使用しない場合でも、AVCC=VCC レベル、AVSS=VSS レベルに接続してください。

投入時：VCC AVCC AVRH

切断時：AVRH AVCC VCC

● 電源投入時の原発振入力について

電源投入時は、必ず発振安定待ち解除されるまでの間クロックを入力してください。

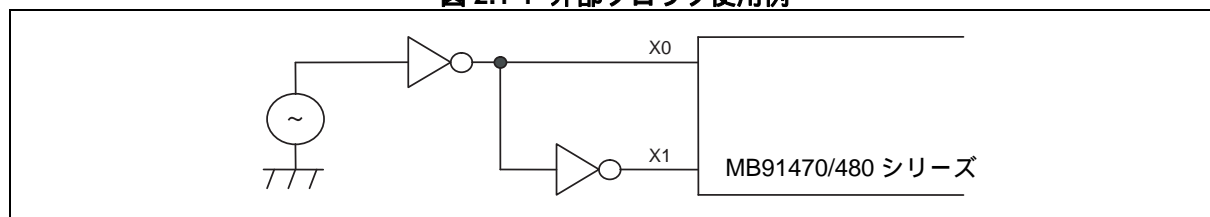
● PLL クロックモード動作中の注意について

MB91470/480 シリーズで、PLL クロックを選択しているときに発振子が外れたり、あるいはクロック入力が停止した場合、MB91470/480 シリーズは PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証外の動作です。

● 外部クロックについて

外部クロックを使用する際には、原則として X1 端子には X0 端子とは逆相のクロックを同時に供給してください。ただし、STOP モード（発振停止モード）を併用する場合は、STOP モード時に X1 端子が "H" 出力で停止しますので、出力どうしの衝突を避けるために外部に 1k 程度の抵抗を入れるようにしてください。

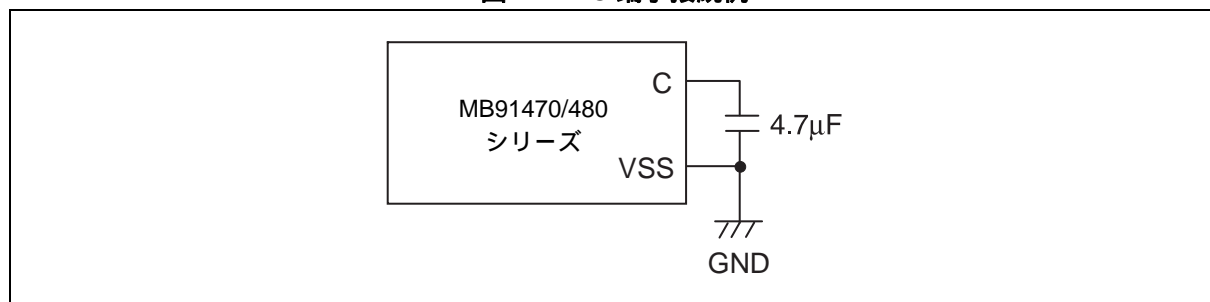
図 2.1-1 外部クロック使用例



● C 端子について

MB91470/480 シリーズはレギュレータを内蔵しており、C 端子にはレギュレータ用に 4.7 μF 程度のバイパスコンデンサを必ず入れてください。

図 2.1-2 C 端子接続例



● 同期モードのソフトウェアリセットについて

同期モードのソフトウェアリセットを使用する時は、STCR(スタンバイ制御レジスタ)のSRSTビットに"0"を設定する前に、以下2つの条件を必ず満たしてください。

- ・ 割込み許可フラグ(I-Flag)を割込み禁止(I-Flag=0)に設定する。
- ・ NMI を使用しない。

● 電源投入時の注意点

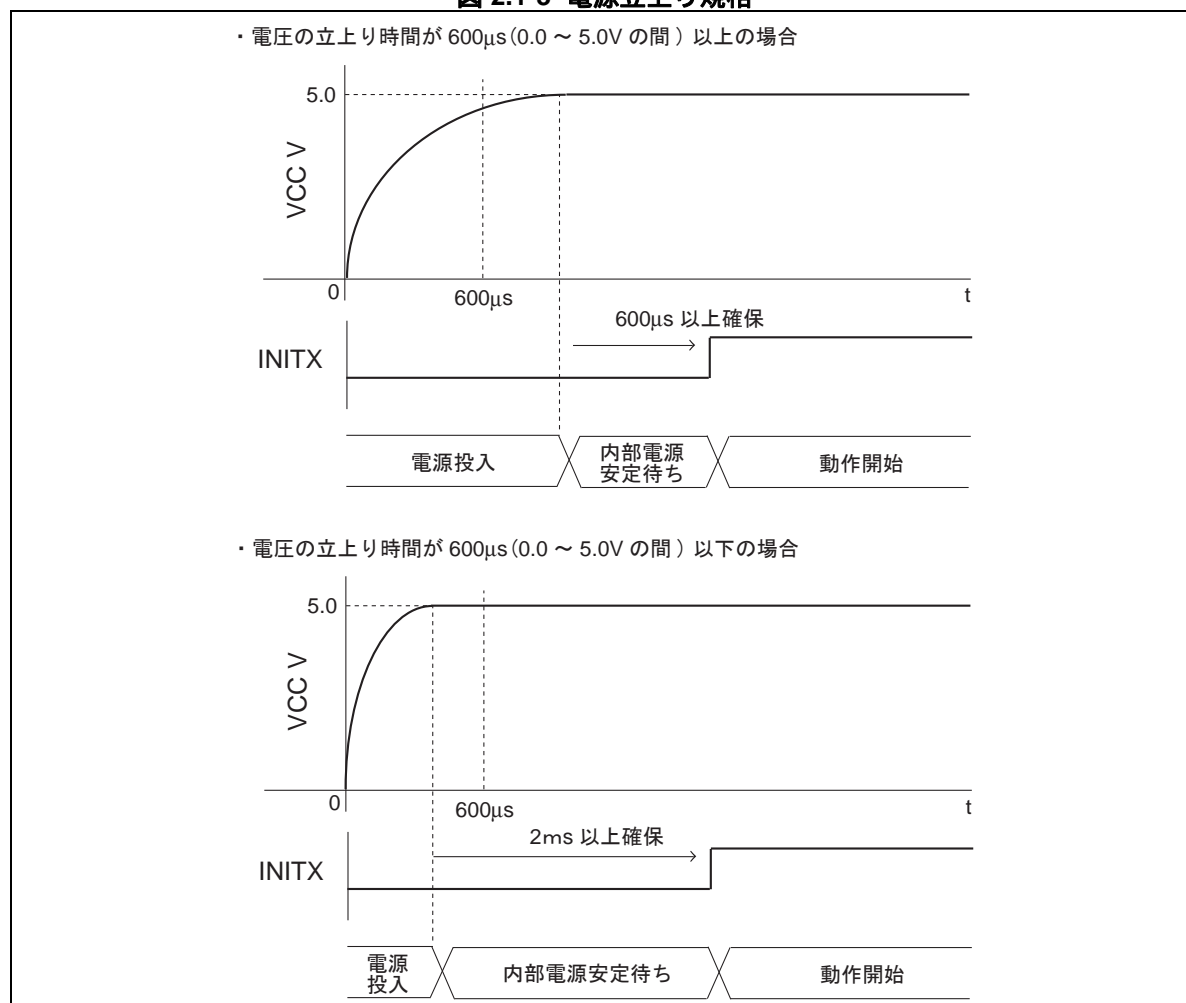
内部に内蔵している降圧回路のオーバシュートによるデバイスの誤動作を防ぐために、電源投入時における電圧の立上り時間は、 $600\mu\text{s}$ ($0.0\text{V} \sim 5.0\text{V}$ の間)以上を確保してください。

かつ、電源電圧安定後(立上り後)、内部電圧が安定するまで $600\mu\text{s}$ かかりますので、その間 INITX を入れ続けてください。

電源投入時における電圧の立上り時間が $600\mu\text{s}$ ($0.0\text{V} \sim 5.0\text{V}$ の間)以下の場合には、電源電圧安定後(立上り後)、内部電圧が安定するまで 2ms^* かかりますので、その間 INITX を入れ続けてください。

*: 電圧の立上り時間が $600\mu\text{s}$ ($0.0\text{V} \sim 5.0\text{V}$ の間)以下の場合における内部電源安定待ち時間は、本デバイスのC端子に付けるバイパスコンデンサの容量値に比例します。この 2ms は、C端子 $=4.7\mu\text{F}$ 時における値であり、C端子 $=9.4\mu\text{F}$ 時における内部電源安定待ち時間は、 4ms になります。

図 2.1-3 電源立上り規格



第3章

CPU および制御部

MB91470/480 シリーズの CPU コアの機能を知るために、アーキテクチャ、仕様、命令などの基本的なことについて説明します。

- 3.1 メモリ空間
- 3.2 メモリマップ
- 3.3 内部アーキテクチャ
- 3.4 プログラミングモデル
- 3.5 データ構造
- 3.6 メモリマップ
- 3.7 分岐命令
- 3.8 EIT (例外・割込み・トラップ)
- 3.9 動作モード
- 3.10 リセット (デバイス初期化)
- 3.11 クロック生成制御
- 3.12 デバイス状態制御

3.1 メモリ空間

MB91470/480 シリーズの論理アドレス空間は 4G バイト (2^{32} 番地) あり, CPU はリニアにアクセスを行います。

■ ダイレクトアドレッシング領域

アドレス空間の下記の領域は I/O 用に使用されます。

この領域をダイレクトアドレッシング領域とよび, 命令中で直接オペランドのアドレスを指定できます。

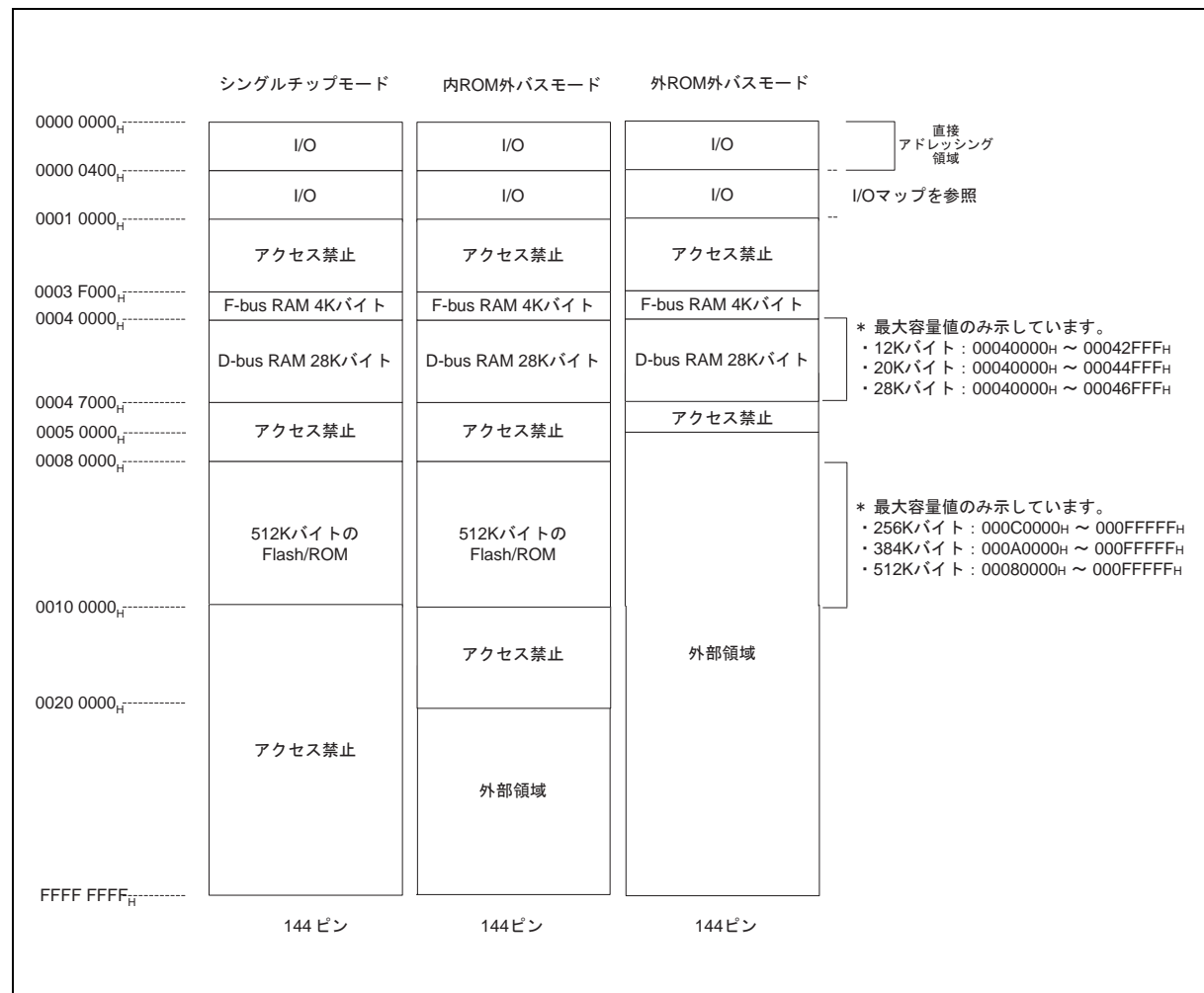
ダイレクト領域は, アクセスするデータのサイズにより, 以下のように異なります。

- バイトデータアクセス : $000_H \sim 0FF_H$
- ハーフワードデータアクセス : $000_H \sim 1FF_H$
- ワードデータアクセス : $000_H \sim 3FF_H$

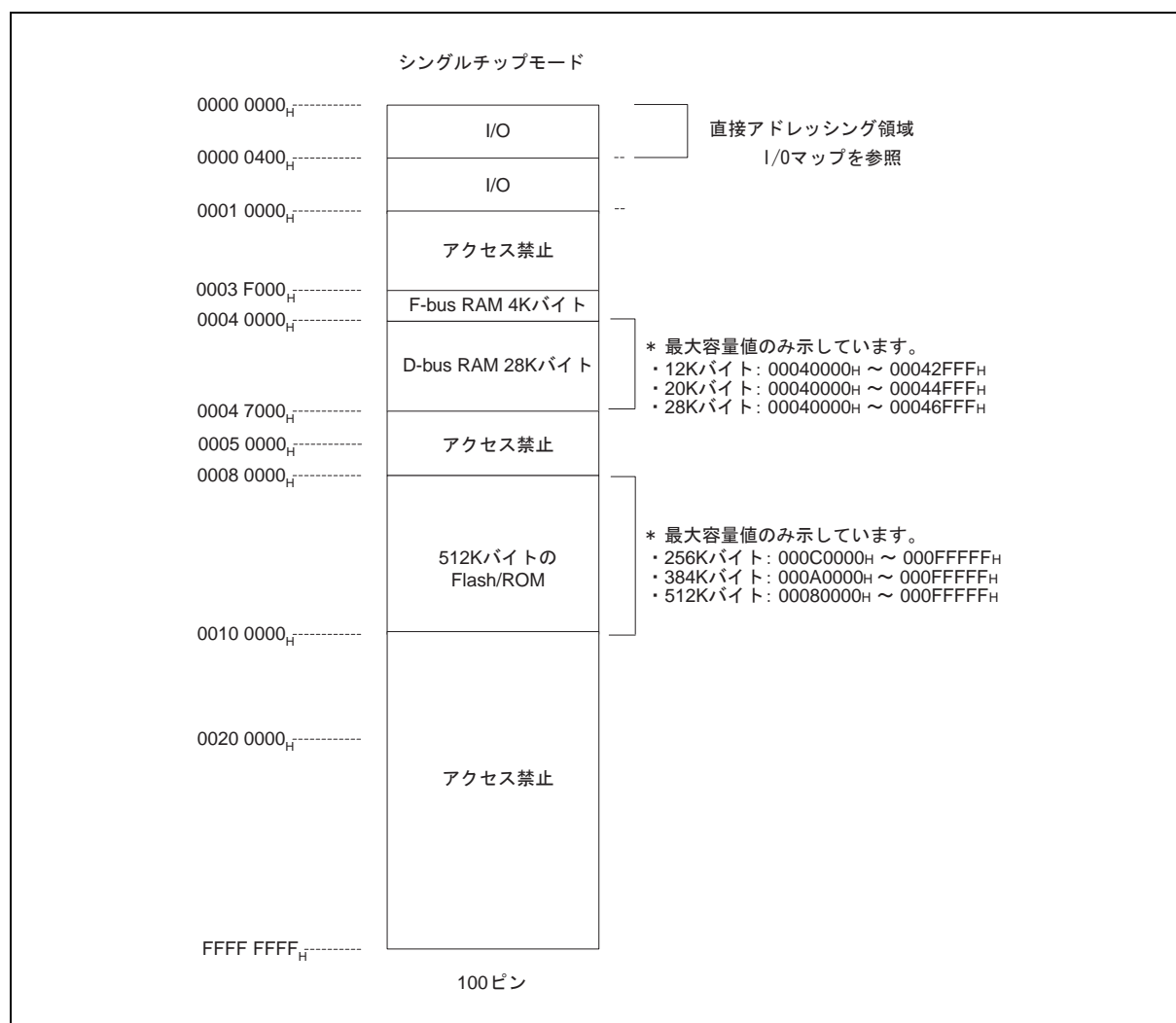
3.2 メモリマップ

MB91470/480 シリーズのメモリマップを示します。

■ MB91470 シリーズ



■ MB91480 シリーズ



モードの設定は、INITX ネゲート後のモードベクタフェッチにより決定します
(モードの設定については、「3.9 動作モード」の「動作モード」を参照)。

MB91470/480 シリーズ

3.3 内部アーキテクチャ

MB91470/480 シリーズ CPU は、RISC アーキテクチャを採用すると同時に、組み込み用途に向けた高機能命令を導入した高性能コアです。

■ 特長

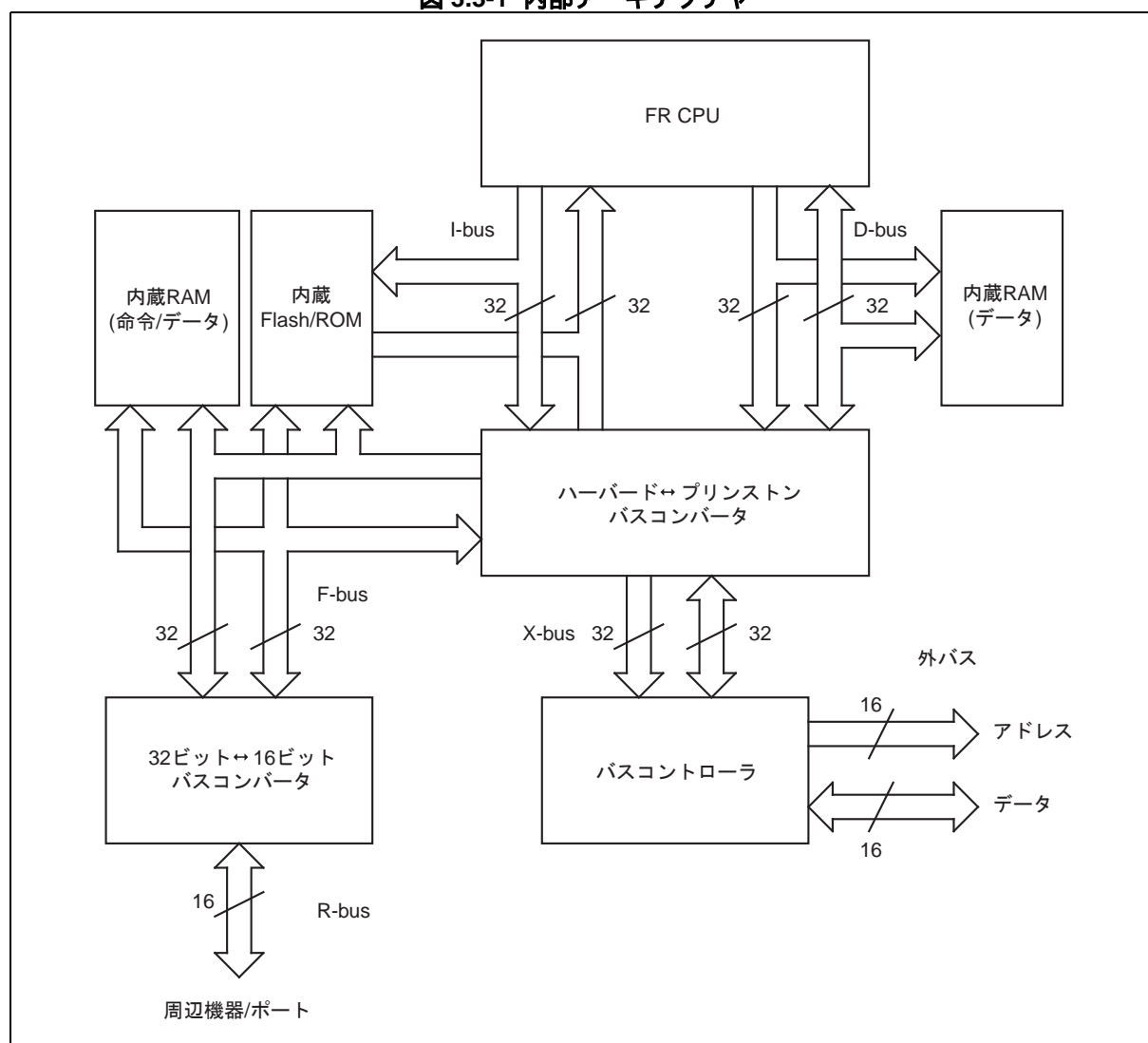
- RISC アーキテクチャの採用
基本命令 : 1 命令 1 サイクル
- 32 ビットアーキテクチャ
汎用レジスタ 32 ビット × 16 本
- 4G バイトのリニアなメモリ空間
- 乗算器の搭載
 - ・ 32 ビット × 32 ビット乗算 : 5 サイクル
 - ・ 16 ビット × 16 ビット乗算 : 3 サイクル
- 割込み処理機能の強化
 - ・ 高速応答速度 (6 サイクル)
 - ・ 多重割込みのサポート
 - ・ レベルマスク機能 (16 レベル)
- I/O 操作用命令の強化
 - ・ メモリ - メモリ転送命令
 - ・ ビット処理命令
- 高いコード効率
基本命令語長 : 16 ビット
- 低消費電力
スリープモード・ストップモード
- クロック分周比設定機能

■ 内部アーキテクチャ

FR ファミリの CPU は命令バスとデータバスが独立したハーバードアーキテクチャ構造を採用しています。

32 ビット \leftrightarrow 16 ビットバスコンバータは32 ビットバス (F-bus) に接続され、CPU と周辺リソースとのインタフェースを実現します。ハーバード \leftrightarrow プリンストンバスコンバータはI-bus, D-bus 双方に接続され、CPU とバスコントローラとのインタフェースを実現します。

図 3.3-1 内部アーキテクチャ



■ CPU

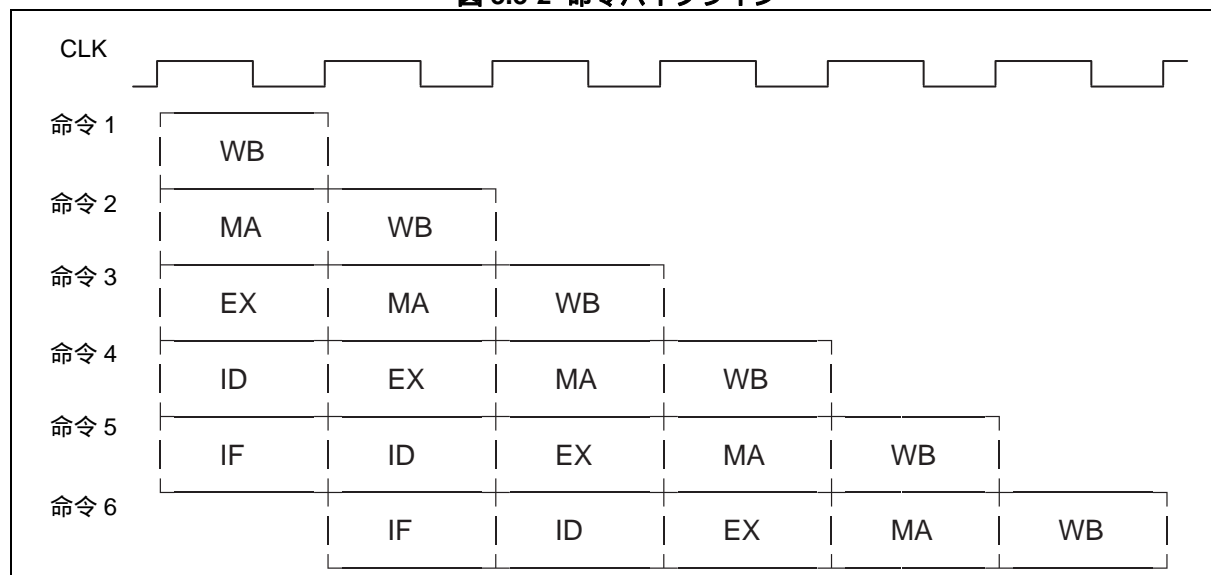
CPU は 32 ビット RISC の FR ファミリアーキテクチャをコンパクトにインプリメントしたものです。

1 サイクルあたり 1 命令の実行を行うため、5 段階の命令パイプライン方式を採用しています。

パイプラインは以下のステージから構成されています。

- 命令フェッチ (IF) : 命令アドレスを出力し、命令をフェッチします。
- 命令デコード (ID) : フェッチした命令をデコードします。レジスタの読出しも行います。
- 実行 (EX) : 演算を実行します。
- メモリアクセス (MA) : メモリに対するロードまたはストアのアクセスを行います。
- ライトバック (WB) : 演算結果 (またはロードされたメモリデータ) をレジスタに書き込みます。

図 3.3-2 命令パイプライン



命令は、順不同で実行されることはありません。すなわち、命令 A が命令 B の前にパイプラインに入ると、命令 A は必ず命令 B の前にライトバックステージに達します。

命令の実行は、原則として 1 サイクルあたり 1 命令の速度で行われます。ただし、メモリウェイトを伴ったロード・ストア命令、遅延スロットを持たない分岐命令、複数サイクル命令では命令の実行に複数のサイクルが必要となります。また、命令の供給が遅い場合も命令の実行速度が低下します。

■ 32 ビット 16 ビットバスコンバータ

32 ビット幅で高速アクセスされる F-bus と、16 ビット幅でアクセスされる R-bus とのインタフェースを行い、CPU から内蔵周辺回路へのデータアクセスを実現します。

CPU から 32 ビット幅のアクセスがあった場合、このバスコンバータがそれを 2 回の 16 ビット幅アクセスに変換して R-bus へのアクセスを行います。内蔵周辺回路の一部にはアクセス幅に関して制限のあるものがあります。

■ ハーバード プリンストンバスコンバータ

CPU の命令アクセスとデータアクセスの整合をとり、外部バスとのスムーズなインタフェースを実現します。

CPU は命令バスとデータバスが独立したハーバードアーキテクチャ構造です。一方、外部バスの制御を行うバスコントローラは単一バスのプリンストンアーキテクチャ構造です。このバスコンバータは CPU の命令アクセスとデータアクセスに優先順位をつけ、バスコントローラへのアクセスを制御します。この働きにより、外部へのバスアクセス順位が常に最適化されます。

■ 命令概要

FR ファミリは、一般的な RISC の命令体系に加え、組み込み用途に最適化された論理演算とビット操作およびダイレクトアドレッシング命令をサポートしています。命令セットの一覧は「付録 E 命令一覧表」を参照してください。各命令は 16 ビット長（一部命令は 32 ビット長、48 ビット長）ですので、メモリ使用効率が優れています。

命令セットは以下の機能グループに分けることができます。

- 算術演算
- ロードとストア
- 分岐
- 論理演算とビット操作
- ダイレクトアドレッシング
- その他

● 算術演算

標準の算術演算命令（加算、減算、比較）およびシフト命令（論理シフト、算術演算シフト）があります。加算と減算については、多ワード長演算で使用するキャリ付き演算や、アドレス計算に便利なフラグ値を変化させない演算も可能です。さらに、32 ビット × 32 ビット、16 ビット × 16 ビットの乗算命令と、32 ビット ÷ 32 ビットのステップ除算命令があります。また、レジスタに即値をセットする即値転送命令や、レジスタ間転送命令も備えています。

算術演算命令はすべて CPU 内の汎用レジスタおよび乗除算レジスタを用いて演算を行います。

● ロードとストア

ロードとストアは外部メモリに対して読出しと書込みを行う命令です。また、チップ内の周辺リソース (I/O) への読出しと書込みにも使用されます。

ロードとストアにはバイト、ハーフワード、ワードの 3 種類のアクセス長があります。また、一般的なレジスタ間接のメモリアドレッシングに加え、一部の命令についてはディスプレースメント付きレジスタ間接やレジスタインクリメント・デクリメント付きレジスタ間接のメモリアドレッシングも可能です。

● 分岐

分岐、コール、割込みおよび復帰の命令です。分岐命令には、遅延スロットがあるものとなないものがあり、用途に応じて最適化を行うことができます。分岐命令の詳細については「3.7 分岐命令」を参照してください。

- 論理演算とビット操作

論理演算命令は汎用レジスタ間、または汎用レジスタとメモリ（および I/O）間で AND, OR, EOR の論理演算を行えます。また、ビット操作命令はメモリ（および I/O）の内容を直接操作することができます。メモリアドレッシングは一般的なレジスタ間接です。

- ダイレクトアドレッシング

ダイレクトアドレッシング命令は I/O と汎用レジスタ間、または I/O とメモリ間のアクセスに使用する命令です。I/O のアドレスをレジスタ間接ではなく命令中で直接指定することにより、高速、高効率なアクセスを行えます。一部の命令についてはレジスタインクリメント・デクリメント付きレジスタ間接のメモリアドレッシングも可能です。

- その他

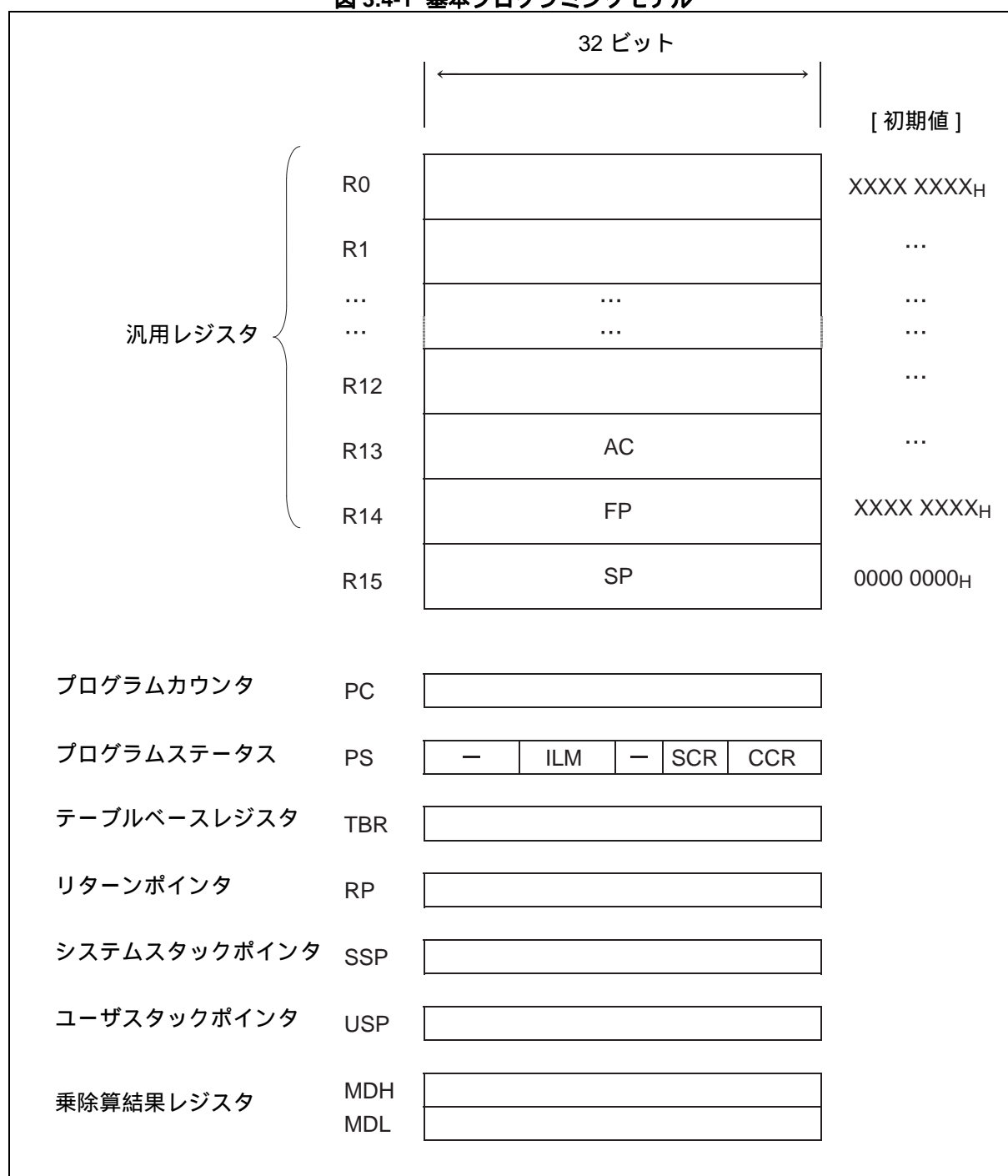
PS レジスタ内のフラグ設定、スタック操作、符号 / ゼロ拡張などを行う命令です。また、高級言語対応の関数入口 / 出口、レジスタマルチロード / ストア命令も備えています。

3.4 プログラミングモデル

基本プログラミングモデルと各レジスタについて説明します。

■ 基本プログラミングモデル

図 3.4-1 基本プログラミングモデル

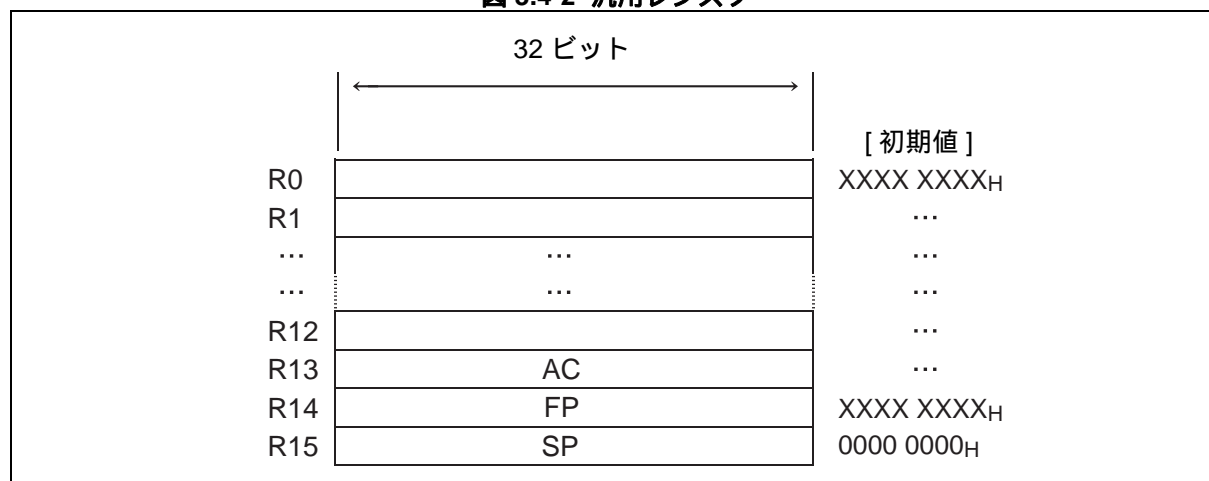


3.4.1 レジスタ

各レジスタについて説明します。

■ 汎用レジスタ

図 3.4-2 汎用レジスタ



レジスタ R0 ~ R15 は汎用レジスタです。各種演算におけるアキュムレータおよびメモリアクセスのポインタとして使用されます。

16本のレジスタのうち、以下に示すレジスタは特殊な用途を想定しており、そのために一部の命令が強化されています。

R13：仮想アキュムレータ

R14：フレームポインタ

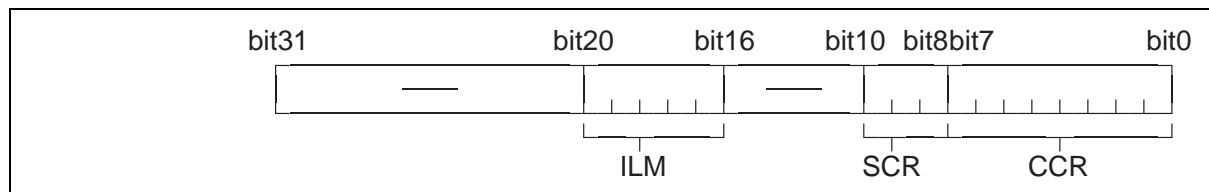
R15：スタックポインタ

リセットによる初期値は、R0 ~ R14 は不定です。R15 は、00000000_H (SSP の値) となります。

■ プログラムステータス (PS)

プログラムステータスを保持するレジスタで、ILM, SCR と CCR の3つのパートに分かれています。

図中、未定義のビットはすべて予約ビットです。読出し時、常に "0" が読み出されます。書込みは無効です。



■ コンディションコードレジスタ (CCR)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	[初期値]
-	-	S	I	N	Z	V	C	--00XXXX _B

[bit5] S: スタックフラグ

R15 として使用されるスタックポインタを指定します。

値	内容
0	SSP が R15 として使用されます。 EIT 発生時, 自動的に "0" となります (ただし, スタックに退避される値はクリアされる前の値です)。
1	USP が R15 として使用されます。

リセットにより "0" にクリアされます。

RETI 命令実行時は "0" にしてください。

[bit4] I: 割込み許可フラグ

ユーザ割込み要求の許可・禁止を制御します。

値	内容
0	ユーザ割込み禁止です。 INT 命令実行時, "0" にクリアされます (ただし, スタック退避させる値はクリアする前の値です)。
1	ユーザ割込み許可です。 ユーザ割込み要求のマスク処理は, ILM の保持する値により制御されます。

リセットにより "0" にクリアされます。

[bit3] N: ネガティブフラグ

演算結果を "2" の補数で表現された整数とみなしたときの符号を示します。

値	内容
0	演算結果が正の値であったことを示します。
1	演算結果が負の値であったことを示します。

リセットによる初期状態は不定です。

[bit2] Z: ゼロフラグ

演算結果が "0" であったかどうかを示します。

値	内容
0	演算結果が "0" 以外の値であったことを示します。
1	演算結果が "0" であったことを示します。

リセットによる初期状態は不定です。

[bit1] V: オーバフローフラグ

演算に用いたオペランドを "2" の補数で表現される整数であるとみなし、演算の結果、オーバフローが発生したかどうかを示します。

値	内容
0	演算の結果、オーバフローは発生していないことを示します。
1	演算の結果、オーバフローが発生したことを示します。

リセットによる初期状態は不定です。

[bit0] C: キャリフラグ

演算により、最上位ビットからのキャリ、またはボローが発生したかどうかを示します。

値	内容
0	キャリもボローも発生していないことを示します。
1	キャリまたはボローが発生したことを示します。

リセットによる初期状態は不定です。

■ システムコンディションコードレジスタ (SCR)

bit10	bit9	bit8	[初期値]
D1	D0	T	XX0 _B

[bit10, bit9] D1, D0: ステップ除算用フラグ

ステップ除算実行時の中間データを保持します。

除算処理の実行途中に変更してはいけません。

ステップ除算実行途中に他の処理を行う場合は、PS レジスタの値を退避・復帰することによりステップ除算の再開が保証されます。

リセットによる初期状態は不定です。

DIV0S 命令の実行により、被除数と除数を参照して設定されます。

DIV0U 命令の実行により、強制的にクリアされます。

[bit8] T: ステップトレーストラップフラグ

ステップトレーストラップを有効にするかどうかを指定するフラグです。

値	内容
0	ステップトレーストラップ無効です。
1	ステップトレーストラップ有効です。 このとき、ユーザ用 NMI とユーザ割込みがすべて割込み禁止となります。

リセットにより "0" に初期化されます。

ステップトレーストラップの機能はエミュレータが使用します。エミュレータ使用時、ユーザプログラム中で使用することはできません。

■ ILM

bit20	bit19	bit18	bit17	bit16	[初期値]
ILM4	ILM3	ILM2	ILM1	ILM0	01111 _B

割込みレベルマスク値を保持するレジスタで、この ILM の保持する値がレベルマスクに使用されます。

CPU に入力される割込み要求の中で対応する割込みレベルが、この ILM で示されるレベルよりも強い場合にのみ割込み要求が受け付けられます。

レベル値は、0 ("00000_B") が最強で、31 ("11111_B") が最弱です。

プログラムから設定可能な値には制限があります。

元の値が 16 ~ 31 のとき

新たな値として設定できるのは 16 ~ 31 です。0 ~ 15 を設定する命令の実行により、(指定した値 + 16) という値が転送されます。

元の値が 0 ~ 15 のとき

0 ~ 31 の任意の値が設定可能です。

リセットにより、15 ("01111_B") に初期化されます。

[PS レジスタに関する注意事項]

一部の命令で PS レジスタを先行処理しているため、下記の例外動作により、デバッガの使用時に割込み処理ルーチンでブレークしたり、PS フラグの表示内容が更新されたりする場合があります。

いずれの場合も、EIT から復帰後以降に正しく再処理を行うように設計されていますので、EIT 前後の動作は仕様どおりの処理を行います。

1. DIV0U/DIV0S 命令の直前の命令で、(a) ユーザ割込み・NMI を受け付けた場合、(b) ステップ実行を行った場合、(c) データイベントまたはエミュレータメニューにてブレークした場合、以下のような動作を行う場合があります。
 - (1) D0, D1 フラグが先行して更新されます。
 - (2) EIT 処理ルーチン (ユーザ割込み・NMI, またはエミュレータ) を実行します。
 - (3) EIT から復帰後、DIV0U/DIV0S 命令が実行され、D0/D1 フラグが (1) と同じ値に更新されます。
2. ユーザ割込み・NMI 要因が発生している状態で割込みを許可するために、ORCCR, STILM, MOV Ri, PS の各命令が実行されると以下のような動作を行います。
 - (1) PS レジスタが先行して更新されます。
 - (2) EIT 処理ルーチン (ユーザ割込み・NMI) を実行します。
 - (3) EIT から復帰後、上記の命令が実行され、PS レジスタが (1) と同じ値に更新されます。

■ プログラムカウンタ (PC)

	bit 31	bit0	[初期値]
PC	<input type="text"/>		XXXXXXXX _H

プログラムカウンタで実行している命令のアドレスを示しています。

命令の実行を伴う PC の更新時に ,bit0 は "0" に設定されます。bit0 が "1" になる可能性があるのは、分岐先アドレスとして奇数番地を指定した場合だけです。ただし、その場合でも bit0 は無効であり、命令は "2" の倍数のアドレスに置く必要があります。

リセットによる初期値は不定です。

■ テーブルベースレジスタ (TBR)

	bit 31	bit0	[初期値]
TBR	<input type="text"/>		000FFC00 _H

テーブルベースレジスタで、EIT 処理の際に使用されるベクタテーブルの先頭アドレスを保持します。

リセットによる初期値は、"000FFC00_H" です。

■ リターンポインタ (RP)

	bit 31	bit0	[初期値]
RP	<input type="text"/>		XXXXXXXX _H

リターンポインタで、サブルーチンから復帰するアドレスを保持します。

CALL 命令実行時、PC の値がこの RP に転送されます。

RET 命令実行時、RP の内容が PC に転送されます。

リセットによる初期値は不定です。

■ システムスタックポインタ (SSP)

	bit 31	bit0	[初期値]
SSP	<input type="text"/>		00000000 _H

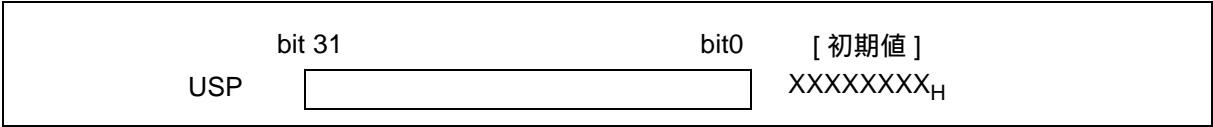
SSP は、システムスタックポインタです。

S フラグが "0" のとき、R15 として機能します。

SSP を明確に指定することも可能です。また、EIT 発生時に、PS と PC を退避するスタックを指定するスタックポインタとしても使用されます。

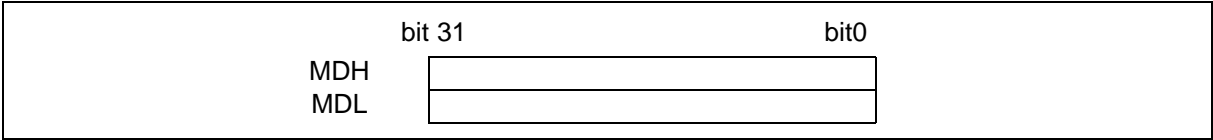
リセットによる初期値は "00000000_H" です。

■ ユーザスタックポインタ (USP)



USP は、ユーザスタックポインタです。
S フラグが "1" のとき、R15 として機能します。
USP を明確に指定することも可能です。
リセットによる初期値は不定です。
RETI 命令で使用することはできません。

■ 乗除算レジスタ (Multiply & Divide register) (MDH/MDL)



乗除算用のレジスタで、各々 32 ビット長です。
リセットによる初期値は不定です。

乗算実行時
32 ビット × 32 ビットの乗算のとき、64 ビット長の演算結果は、以下の配置で乗除算結果格納レジスタに格納されます。

MDH : 上位 32 ビット
MDL : 下位 32 ビット

16 ビット × 16 ビットの乗算のときは、以下のように結果が格納されます。

MDH : 不定
MDL : 結果 32 ビット

除算実行時
計算開始時、被除数を MDL に格納します。

DIV0S/DIV0U, DIV1, DIV2, DIV3, DIV4S 命令の実行により除算を計算すると、結果が MDL と MDH に格納されます。

MDH : 剰余
MDL : 商

3.5 データ構造

ビットオーダリング、バイトオーダリングおよびワードアライメントについて説明します。

■ ビットオーダリング

FR ファミリでは、ビットオーダリングとしてリトルエンディアンを採用しています。

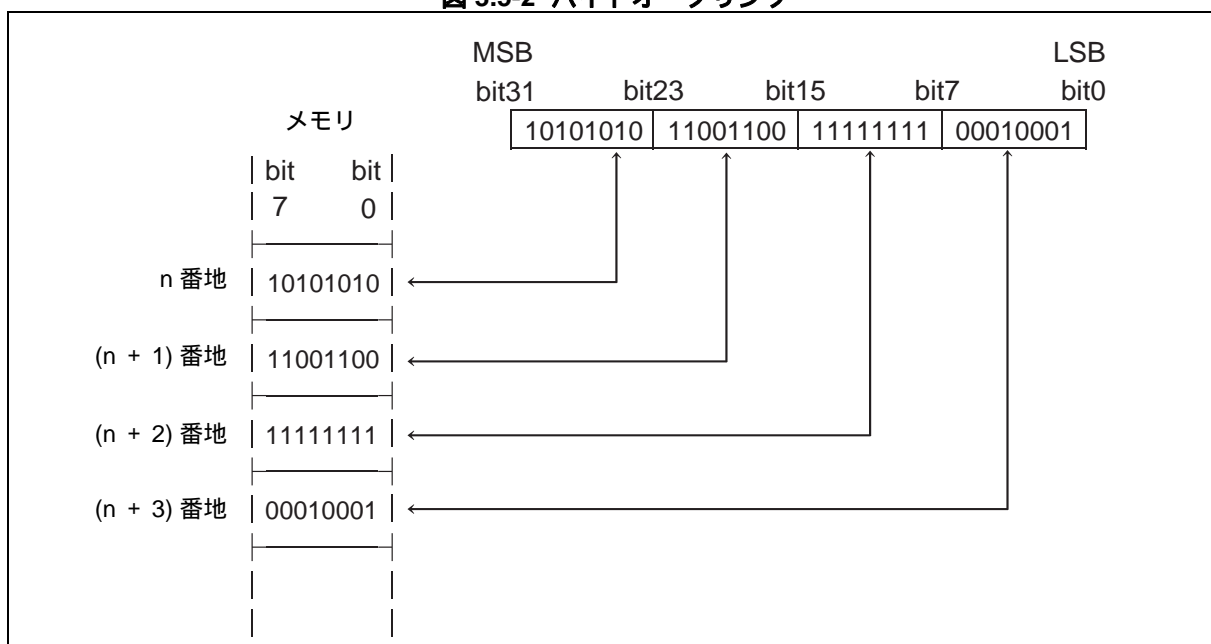
図 3.5-1 ビットオーダリング



■ バイトオーダリング

FR ファミリでは、バイトオーダリングとしてビッグエンディアンを採用しています。

図 3.5-2 バイトオーダリング



■ ワードアライメント

● プログラムアクセス

FR ファミリのプログラムは、2 の倍数のアドレスに配置する必要があります。

PC の bit0 は、命令の実行に伴う PC の更新時に "0" に設定されます。"1" になる可能性があるのは、分岐先アドレスとして奇数番地を指定した場合だけです。ただし、その場合でも bit0 は無効であり、命令は 2 の倍数のアドレスに置かなくてはなりません。

奇数アドレス例外はありません。

● データアクセス

FR ファミリではデータアクセスを行う際、その幅により以下のように強制的なアライメントがアドレスに対して施されます。

ワードアクセス : アドレスは "4" の倍数 (最下位 2 ビットは強制的に "00_B")

ハーフワードアクセス : アドレスは "2" の倍数 (最下位ビットは強制的に "0")

バイトアクセス :

ワードおよびハーフワードデータアクセス時に、一部のビットが強制的に "0" にされるのは、実効アドレスの計算結果に対してです。例えば、@ (R13, Ri) のアドレッシングモードの場合、加算前のレジスタは (たとえ最下位ビットが "1" であっても) そのまま計算に使用され、加算結果の下位ビットがマスクされます。計算前のレジスタがマスクされるわけではありません。

[例] LD @ (R13, R2), R0

R13	00002222 _H
R2	00000003 _H
+)	
<hr/>	
加算結果	00002225 _H
	下位 2 ビット強制マスク
アドレス端子	00002224 _H

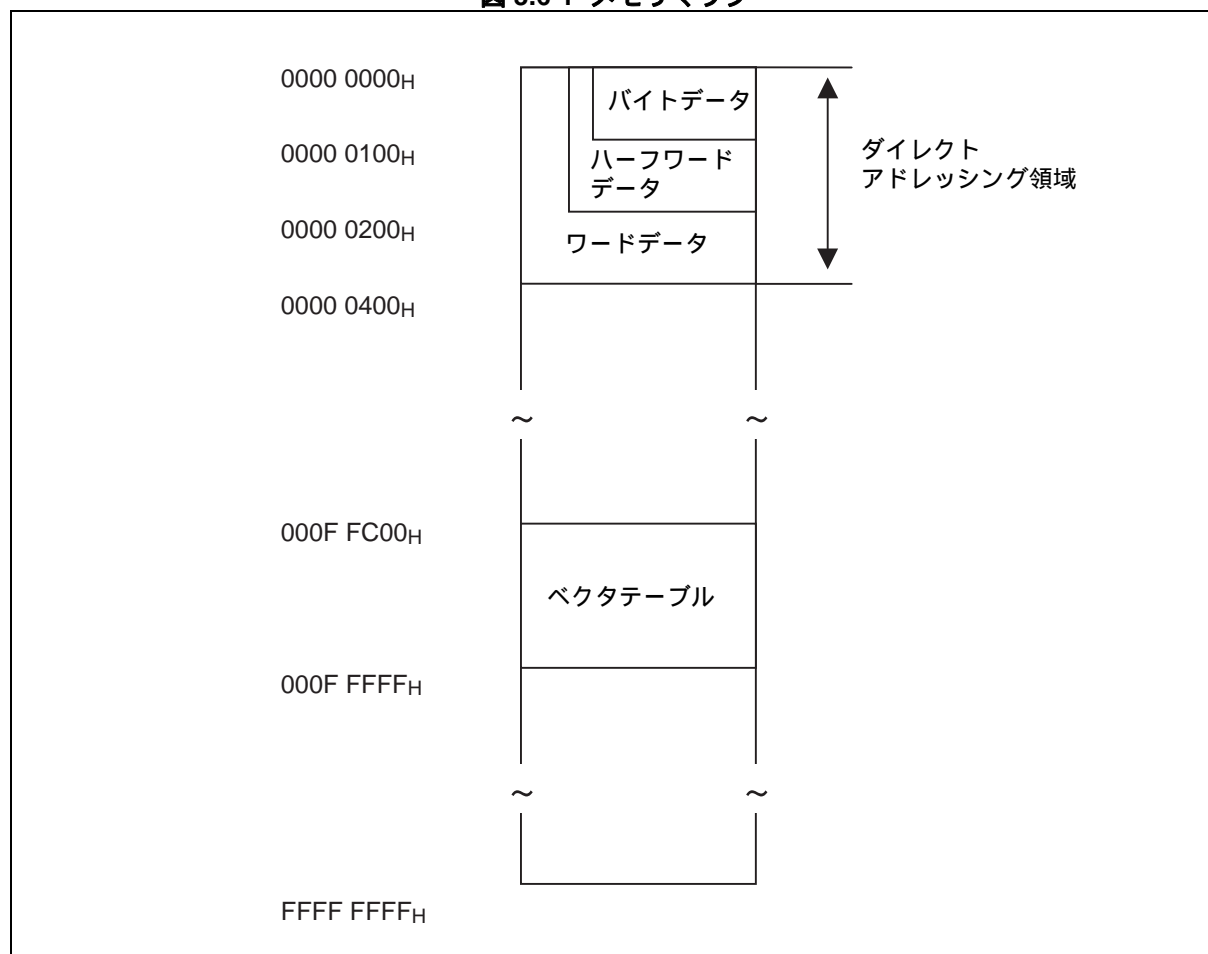
3.6 メモリマップ

MB91470/480 シリーズのメモリマップについて説明します。

■ メモリマップ

アドレス空間は 32 ビットリニアです。

図 3.6-1 メモリマップ



■ ダイレクトアドレッシング領域

アドレス空間の下記の領域は I/O 用の領域です。この領域は、ダイレクトアドレッシングにより命令中で直接オペランドアドレスを指定することができます。

ダイレクトアドレス指定可能なアドレス領域の大きさは、データ長ごとに異なります。

- バイトデータ (8 ビット) : 000_H ~ 0FF_H
- ハーフワードデータ (16 ビット) : 000_H ~ 1FF_H
- ワードデータ (32 ビット) : 000_H ~ 3FF_H

■ ベクタテーブル初期領域

"000FFC00_H" ~ "000FFFF_H" の領域は EIT ベクタテーブル初期領域です。

EIT 処理時に使用されるベクタテーブルは, TBR を書き換えることにより任意のアドレスに配置可能ですが, リセットによる初期化によってこのアドレスに配置されます。

3.7 分岐命令

FR ファミリでは、分岐命令によって遅延スロット付きの動作と遅延スロットなしの動作を指定します。

■ 遅延スロット付き動作

● 命令

以下に示す表記をした命令が、遅延スロット付きの分岐動作を行います。

JMP:D @Ri	CALL:D label12	CALL:D @Ri	RET:D
BRA:D label9	BNO:D label9	BEQ:D label9	BNE:D label9
BC:D label9	BNC:D label9	BN:D label9	BP:D label9
BV:D label9	BNV:D label9	BLT:D label9	BGE:D label9
BLE:D label9	BGT:D label9	BLS:D label9	BHI:D label9

● 動作説明

遅延スロット付きの動作では、分岐先の命令を実行する前に分岐命令の直後（「遅延スロット」とよびます）に置かれた命令を実行した後に分岐します。分岐動作の前に遅延スロットの命令を実行するため、見掛け上の実行速度が1サイクルとなります。その代わり、遅延スロットに有効な命令を入れられないときは、NOP 命令を置いてください。

[例]

```

;      命令の並び
ADD    R1, R2 ;
BRA:D  LABEL ;分岐命令
MOV    R2, R3 ;遅延スロット.....分岐の前に実行される
...
LABEL: ST    R3, @R4 ;分岐先

```

条件分岐命令の場合、分岐条件が成立する場合も成立しない場合も遅延スロットに置かれた命令は実行されます。

遅延分岐命令では、一部の命令の実行順序が反転するように見えますが、それはPCの更新動作だけについてであり、その他の動作（レジスタの更新・参照など）はあくまで記述された順番で実行されます。

次に、具体的な説明をします。

- JMP:D @Ri / CALL:D @Ri 命令で参照する Ri は、遅延スロットの中の命令が Ri を更新しても影響を受けません。

[例]

```

LDI:32 #Label, R0
JMP:D  @R0      ; Label に分岐
LDI:8   #0,     R0 ; 分岐先アドレスには影響を与えない。
...

```

- RET:D 命令が参照する RP は、遅延スロットの中の命令が RP を更新しても影響を受けません。

[例]

```
RET:D                ; これより前に設定された RP の示すアドレスへ分岐
MOV    R8,    RP    ; リターン動作には影響を与えない。
...
```

- Bcc:D rel 命令が参照するフラグも遅延スロットの命令の影響を受けません。

[例]

```
ADD    #1,    R0    ; フラグ変化
BC:D   Overflow    ; 上記の命令の実行結果により分岐
AND    CCR#0        ; このフラグ更新は上記の分岐命令では参照しない。
...
```

- CALL:D 命令の遅延スロット中の命令で RP を参照すると、CALL:D 命令により更新された内容が読み出されます。

[例]

```
CALL:D Label        ; RP を更新して分岐
MOV    RP,    R0    ; 上記 CALL:D の実行結果の RP を転送
...
```

● 制限事項

- 遅延スロットに置ける命令
遅延スロット内で実行できるのは、以下の条件を満たす命令のみです。
 - 1 サイクル命令
 - 分岐命令ではないこと
 - 順番が変化した場合でも動作に影響を与えない命令
 「1 サイクル命令」とは、命令一覧表中でサイクル数の欄が「1」、「a」、「b」、「c」または「d」と記載された命令です。
- ステップトレーストラップ
遅延スロットを持つ分岐命令の実行と遅延スロットの間では、ステップトレーストラップは発生しません。
- 割込み・NMI
遅延スロットを持つ分岐命令の実行と遅延スロットの間では、割込み・NMI を受理しません。
- 未定義命令例外
遅延スロットに未定義命令があった場合、未定義命令例外は発生しません。このとき、未定義命令は NOP 命令として動作します。

■ 遅延スロットなし動作

● 命令

以下に示す表記をした命令が、遅延スロットなしの分岐動作を行います。

JMP @Ri	CALL label12	CALL @Ri	RET
BRA label9	BNO label9	BEQ label9	BNE label9
BC label9	BNC label9	BN label9	BP label9
BV label9	BNV label9	BLT label9	BGE label9
BLE label9	BGT label9	BLS label9	BHI label9

● 動作説明

遅延スロットなしの動作では、あくまで命令の並びの順に実行します。直後の命令が分岐前に実行されることはありません。

[例]

```
； 命令の並び
ADD R1, R2 ；
BRA LABEL ；分岐命令（遅延スロットなし）
MOV R2, R3 ；実行されない
...
LABEL: ST R3, @R4 ；分岐先
```

遅延スロットなしの分岐命令の実行サイクル数は、分岐するとき2サイクル、分岐しないとき1サイクルとなります。

遅延スロットに適切な命令を入れることができないためにNOPを明記した遅延スロット付き分岐命令に比べ、命令コード効率を上げることができます。

遅延スロットに有効な命令を設置できるときは遅延スロット付きの動作を選択し、そうでないときは遅延スロットなしの動作を選択することで、実行速度とコード効率を両立させることが可能となります。

3.8 EIT (例外・割込み・トラップ)

EIT とは、現プログラム実行時にイベントの発生により、そのプログラムの実行を中断し、ほかのプログラムを実行することを指し、例外 (Exception)、割込み (Interrupt)、トラップ (Trap) の総称です。

例外とは実行中のコンテキストに関連して発生する事象です。例外を起こした命令から再実行します。

割込みとは実行中のコンテキストとは無関係に発生する事象です。イベント要因は、ハードウェアです。

トラップとは実行中のコンテキストに関連して発生する事象です。システムコールのようにプログラムで指示するものがあります。トラップを起こした命令の次の命令から再実行します。

■ 特長

- 割込みに多重割込みをサポート
- 割込みにレベルマスク機能 (15 レベルをユーザが使用可能)
- トラップ命令 (INT)
- エミュレータ起動用 EIT (ハードウェア / ソフトウェア)

■ EIT 要因

EIT 要因として、次のものがあります。

- リセット
- ユーザ割込み (内部リソース、外部割込み)
- NMI
- 遅延割込み
- 未定義命令例外
- トラップ命令 (INT)
- トラップ命令 (INTE)
- ステップトレーストラップ
- コプロセッサ不在トラップ
- コプロセッサエラートラップ

■ EIT からの復帰

EIT から復帰するためには RETI 命令を実行します。

■ 割込みレベル

割込みレベルは 0 ~ 31 で、5 ビットによって管理されます。

各レベルの割当ては、以下のとおりです。

表 3.8-1 割込みレベル

レベル		割込み要因	注意事項
2 進数	10 進数		
00000	0	(システム予約)	ILM の元の値が 16 ~ 31 のとき、この範囲の値をプログラムによって ILM には設定できません。
...	
...	
00011	3	(システム予約)	
00100	4	INTE 命令	
		ステップトレーストラップ	
00101	5	(システム予約)	
...	
...	
01110	14	(システム予約)	
01111	15	NMI (ユーザ用)	
10000	16	割込み	ILM 設定時、ユーザ割込み禁止
10001	17	割込み	
...	
...	
11110	30	割込み	
11111	31		ICR 設定時、割込み禁止

操作が可能なのは、16 ~ 31 のレベルです。

未定義命令例外、コプロセッサ不在トラップ、コプロセッサエラートラップおよび INT 命令は、割込みレベルの影響を受けません。また、ILM を変化させることもありません。

■ I フラグ

割込みの許可・禁止を指定するフラグです。PS レジスタの CCR の bit4 として設けられています。

値	内容
0	割込み禁止です。 INT 命令実行時の "0" にクリアされます (ただし、スタック退避させる値はクリアする前の値です)。
1	割込み許可です。 割込み要求のマスク処理は、ILM の保持する値により制御されます。

■ ILM

割込みレベルマスク値を保持する PS レジスタ (bit20 ~ bit16) です。

CPU に入力される割込み要求の中で対応する割込みレベルが、この ILM で示されるレベルよりも強い場合にのみ割込み要求が受け付けられます。

レベル値は、0 ("00000_B") が最強で、31 ("11111_B") が最弱です。

プログラムから設定可能な値には制限があります。元の値が 16 ~ 31 のとき、新たな値として設定できるのは 16 ~ 31 です。0 ~ 15 の値を設定する命令を実行すると、(指定した値 + 16) という値が転送されます。

元の値が 0 ~ 15 のときは、0 ~ 31 の任意の値が設定可能です。設定するには STILM 命令を使用します。

■ 割込み・NMI に対するレベルマスク

NMI および割込み要求が発生したときは、割込み要因の割込みレベル (表 3.8-1 を参照) が ILM の保持するレベルマスク値と比較されます。そして、次の条件が成立したときはマスクされ、要求は受理されません。

要因の割込みレベル レベルマスク値

■ 割込み制御レジスタ (ICR)

割込みコントローラ内に設けられたレジスタで、割込みの各要求に対するレベルを設定します。ICR は割込み要求入力の各々に対応して用意されています。ICR は I/O 空間にマッピングされており、CPU からはバスを通してアクセスされます。

● ICR ビット構成

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---1111 _H
-	-	-	R	R/W	R/W	R/W	R/W	

[bit4] ICR4

このビットは常に "1" です。

[bit3 ~ bit0] ICR3 ~ ICR0

対応する割込み要因の割込みレベルの下位 4 ビットです。読出しおよび書込みが可能です。

bit4 と合わせて、ICR は 16 ~ 31 の範囲で値を設定できます。

● ICR マッピング

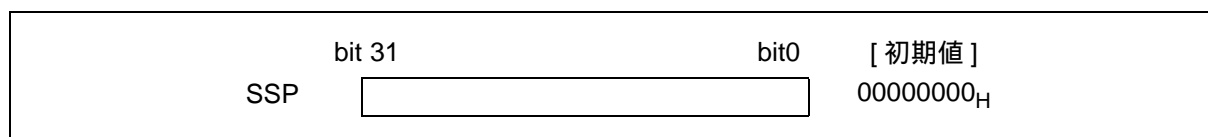
表 3.8-2 割込み要因と割込み制御レジスタ、割込みベクタ

割込み要因	割込み制御レジスタ		対応する割込みベクタ		
			番号		アドレス
			16 進	10 進	
IRQ00	ICR00	00000440 _H	10 _H	16	TBR + 3BC _H
IRQ01	ICR01	00000441 _H	11 _H	17	TBR + 3B8 _H
IRQ02	ICR02	00000442 _H	12 _H	18	TBR + 3B4 _H
...
...
IRQ45	ICR45	0000046D _H	3D _H	61	TBR + 308 _H
IRQ46	ICR46	0000046E _H	3E _H	62	TBR + 304 _H
IRQ47	ICR47	0000046F _H	3F _H	63	TBR + 300 _H

TBR 初期値 : 000F FC00_H

(参考)「第6章 割込みコントローラ」を参照してください。

■ システムスタックポインタ (SSP)



SSP が、EIT の受理および復帰動作時のデータ退避・復帰用スタックを示すポインタとして使用されます。

SSP は、EIT 処理時に内容が 8 減ぜられ、RETI 命令の実行による EIT からの復帰動作時に 8 加算されます。

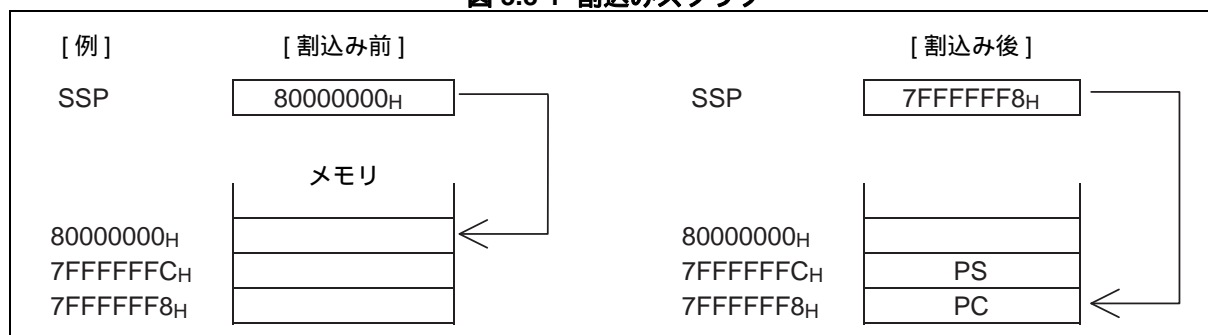
リセットによる初期値は "00000000_H" です。

SSP は、CCR 中の S フラグが "0" のときに汎用レジスタ R15 としても機能します。

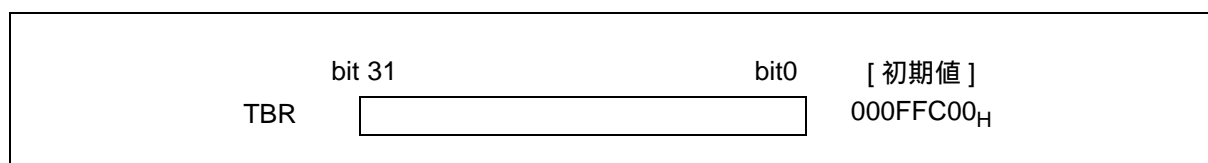
■ 割り込みスタック

SSP により示される領域で、PC および PS の値が退避・復帰されます。割り込み後は SSP の示すアドレスに PC、(SSP + 4) のアドレスに PS が格納されています。

図 3.8-1 割り込みスタック



■ テーブルベースレジスタ (TBR)



EIT 用ベクタテーブルの先頭アドレスを示すレジスタです。

TBR と EIT 要因ごとに決められたオフセット値を加算したアドレスがベクタアドレスとなります。

リセットによる初期値は "000FFC00_H" です。

■ EIT ベクタテーブル

TBR の示すアドレスから 1 K バイトの領域が EIT 用ベクタ領域となっています。

1 ベクタあたりの大きさは 4 バイトで、ベクタ番号とベクタアドレスの関係は下記のように表されます。

$$\begin{aligned} \text{vctadr} &= \text{TBR} + \text{vctofs} \\ &= \text{TBR} + (3\text{FC}_\text{H} - 4 \times \text{vct}) \end{aligned}$$

vctadr : ベクタアドレス

vctofs : ベクタオフセット

vct : ベクタ番号

加算結果の下位 2 ビットは常に "00_B" として扱われます。

000FFC00_H ~ 000FFFFF_H の領域がリセットによるベクタテーブルの初期領域です。

ベクタの一部には特殊な機能が割り当てられています。

■ 多重 EIT 処理

複数の EIT 要因が同時に発生した場合、CPU は 1 つの EIT 要因を選択して受理し、EIT シーケンスを実行した後、再び EIT 要因の検出を行うという動作を繰り返します。

EIT 要因検出の際に受理可能な EIT 要因がなくなったとき、最後に受理した EIT 要因のハンドラの命令を実行します。

そのため、複数の EIT 要因が同時に発生した場合、各要因のハンドラの実行順序は、次の 2 つの要素により決まります。

EIT 要因受理の優先順位

受理した場合に他の要因をどのようにマスクするか

■ EIT 要因の優先度

EIT 要因受理の優先度とは、PS と PC を退避して PC を更新し（必要に応じて）ほかの要因のマスク処理を行うという、EIT シーケンスを実行する要因を選ぶときの順番です。

必ずしも、先に受理された要因のハンドラが先に実行されるわけではありません。

EIT 要因受理の優先度は、表 3.8-3 のようになっています。

表 3.8-3 EIT 要因の受理の優先度とほかの要因へのマスク

受理の優先順位	要因	ほかの要因に対するマスク
1	リセット	ほかの要因は破棄されます。
2	未定義命令例外	取消し
3	INTE 命令	ILM = 4 ほかの要因は破棄されます。
4	INT 命令	I フラグ = 0
5	コプロセッサ不在トラップ コプロセッサエラートラップ	
6	ユーザ割り込み	ILM = 受理した要因のレベル
7	NMI (ユーザ用)	ILM = 15
8	NMI (エミュレータ用)	ILM = 4
9	ステップトレーストラップ	ILM = 4

EIT 要因を受理した後のほかの要因に対してマスクの処理を考慮すると、同時に発生した EIT 要因の各ハンドラの実行順序は、表 3.8-4 のようになります。

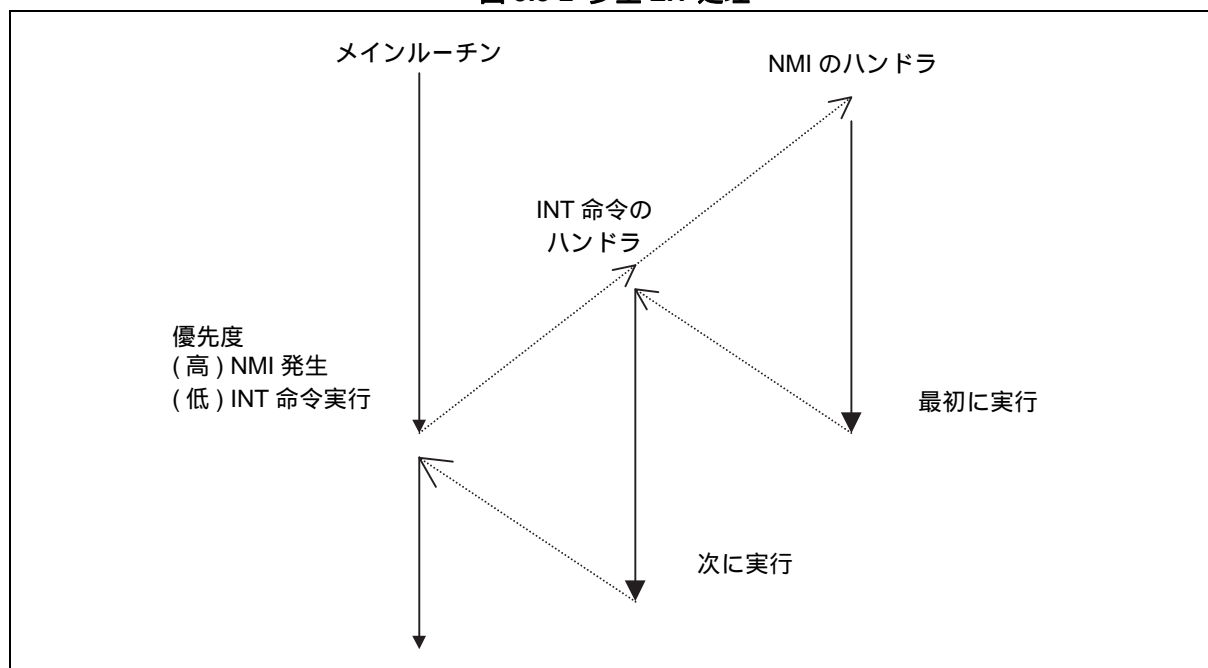
表 3.8-4 EIT ハンドラの実行順序

ハンドラの実行順序	要因
1	リセット *
2	未定義命令例外
3	INTE 命令 *
4	ステップトレーストラップ
5	NMI (ユーザ用)
6	INT 命令
7	ユーザ割り込み
8	コプロセッサ不在トラップ、コプロセッサエラートラップ

※: ほかの要因は破棄されます。

[例]

図 3.8-2 多重 EIT 処理



■ EIT の動作

以下の説明で、転送元の「PC」とは各 EIT 要因を検出した命令のアドレスを示します。
また、「次の命令のアドレス」とは、EIT を検出した命令により以下を意味します。

- LDI : 32 のとき : PC + 6
- LDI : 20, COPOP, COPLD, COPST, COPSV のとき : PC + 4
- その他の命令のとき : PC + 2

● ユーザ割り込み・NMI の動作

ユーザ割り込みまたはユーザ用 NMI の割り込み要求が発生すると、以下の順序で要求受理の可否が判定されます。

[割り込み要求受理の可否判定]

同時に発生した要求の割り込みレベルを比較し、最も強いレベル (最も小さい数値) を保持するものが選択されます。

比較に使用されるレベルは、マスク可能割り込みについては対応する ICR の保持する値が、NMI についてはあらかじめ定められた定数を使用されます。

同じレベルの割り込み要求が複数発生しているときは、最も若い割り込み番号の割り込み要求が選択されます。

割り込みレベル レベルマスク値のとき、割り込み要求はマスクされ受理されません。
割り込みレベル < レベルマスク値のとき、へ。

選択された割り込み要求がマスク可能割り込みであるとき、I フラグが "0" ならば割り込み要求はマスクされ、受理されません。I フラグが "1" ならばへ。

選択された割り込み要求が NMI であるとき、I フラグの値にかかわらずへ。

上記の条件が成立したとき、命令処理の切れ目で割り込み要求が受理されます。

EIT 要求検出時にユーザ割り込み・NMI の要求が受理されると、受理された割り込み要求に対応した割り込み番号を使用して、CPU は以下のように動作します。

(注意事項) [動作] における () はレジスタの指すアドレスを表します。

[動作]

SSP - 4	SSP
PS	(SSP)
SSP - 4	SSP
次の命令のアドレス	(SSP)
受理した要求の割り込みレベル	ILM
"0"	S フラグ

(TBR + 受理した割り込み要求のベクタオフセット) PC

割り込みシーケンス終了後、ハンドラの先頭の命令を実行する前に新たな EIT の検出を行います。この時点で受理可能な EIT が発生していると、CPU は EIT 処理シーケンスに遷移します。

● INT 命令の動作

INT #u8

u8 で示されるベクタの割込みハンドラへ分岐します。

[動作]

SSP - 4	SSP
PS	(SSP)
SSP - 4	SSP
PC + 2	(SSP)
"0"	I フラグ
"0"	S フラグ
(TBR + 3FC _H - 4 × u8)	PC

● INTE 命令の動作

INTE

ベクタ番号 #9 のベクタの割込みハンドラへ分岐します。

[動作]

SSP - 4	SSP
PS	(SSP)
SSP - 4	SSP
PC + 2	(SSP)
"00100 _B "	ILM
"0"	S フラグ
(TBR + 3D8 _H)	PC

INTE 命令, およびステップトレーストラップの処理ルーチン中では, INTE 命令は使用しないでください。また, ステップ実行中は INTE による EIT の発生はありません。

● ステップトレーストラップの動作

PS 中の SCR における T フラグをセットしてステップトレースの機能を許可にしておくと、1 命令実行ごとにトラップが発生してブレークします。

[ステップトレーストラップ検出の条件]

T フラグ = 1

遅延分岐命令ではないとき。

INTE 命令、ステップトレーストラップの処理ルーチン以外を実行中であるとき。

以上の条件が成立すると、命令動作の切れ目でブレークします。

[動作]

SSP - 4	SSP
PS	(SSP)
SSP - 4	SSP
次の命令のアドレス	(SSP)
"00100 _B "	ILM
"0"	S フラグ
(TBR + 3CC _H)	PC

T フラグをセットしてステップトレーストラップを許可にしたとき、ユーザ用の NMI とユーザ割り込みは禁止状態となります。また、INTE 命令による EIT は発生しなくなります。

FR ファミリでは、T フラグをセットした次の命令からトラップが発生します。

● 未定義命令例外の動作

命令のデコード時に未定義命令であることを検出すると、未定義命令例外が発生します。

[未定義命令例外の検出条件]

命令のデコード時に未定義命令であることを検出。

遅延スロット外に置かれている (遅延分岐命令の直後ではないこと)。

以上の条件が成立すると、未定義命令例外が発生してブレークします。

[動作]

SSP - 4	SSP
PS	(SSP)
SSP - 4	SSP
PC	(SSP)
"0"	S フラグ
(TBR + 3C4 _H)	PC

PC として退避されるのは、未定義命令例外を検出した命令自身のアドレスです。

● コプロセッサ不在トラップ

実装していないコプロセッサを使用するコプロセッサ命令を実行すると、コプロセッサ不在トラップが発生します。

[動作]

SSP - 4	SSP
PS	(SSP)
SSP - 4	SSP
次の命令のアドレス	(SSP)
"0"	S フラグ
(TBR + 3E0 _H)	PC

● コプロセッサエラートラップ

コプロセッサを使用しているときにエラーが発生した場合、次にそのコプロセッサを操作するコプロセッサ命令を実行したとき、コプロセッサエラートラップが発生します。

[動作]

SSP - 4	SSP
PS	(SSP)
SSP - 4	SSP
次の命令のアドレス	(SSP)
"0"	S フラグ
(TBR + 3DC _H)	PC

● RETI 命令の動作

RETI 命令は、EIT 処理ルーチンから復帰する命令です。

[動作]

(R15)	PC
R15 + 4	R15
(R15)	PS
R15 + 4	R15

RETI 命令は、S フラグが "0" の状態で実行する必要があります。

■ 注意事項

● 遅延スロット

分岐命令の遅延スロットには、EIT に関して制約があります。

分岐命令については「3.7 分岐命令」を参照してください。

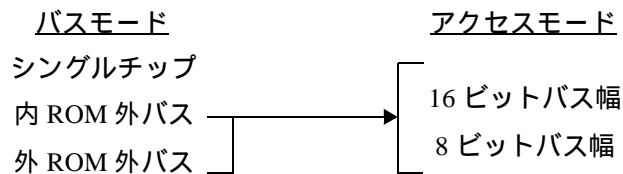
MB91470/480 シリーズ

3.9 動作モード

MB91470/480 シリーズの動作モードについて説明します。

■ 動作モード

動作モードには、バスモードとアクセスモードがあります。



● バスモード

バスモードとは、内部 ROM の動作と外部アクセス機能の動作を制御するモードを指し、モード設定端子 (MD2, MD1, MD0) とモードデータ内の ROMA ビットの内容で指定します。

● アクセスモード

アクセスモードとは、外部データバス幅を制御するモードを示し、モードデータ内の WTH1, WTH0 ビットと ACR0 ~ ACR2 (Area Configuration Register) 内の DBW1, DBW0 ビットで指定します。

3.9.1 バスモード

MB91470/480 シリーズには、次に示す3つのバスモードがあります。
詳細は、「3.2 メモリマップ」を参照してください。

- バスモード0 (シングルチップモード)

内部 I/O, 内蔵 RAM, 内蔵 Flash/ROM が有効で、それ以外の領域へのアクセスが無効なモードです。外部端子は、周辺リソースまたは汎用ポートとして機能します。外部バス端子としては機能しません。

- バスモード1 (内 ROM 外バスモード)

内部 I/O, 内蔵 RAM, 内蔵 Flash/ROM が有効で、外部アクセスが可能な領域へのアクセスは外部空間へのアクセスとなるモードです。外部端子の一部は外部バス端子として機能します。

- バスモード2 (外 ROM 外バスモード)

内部 I/O, 内蔵 RAM が有効で、内蔵 Flash/ROM へのアクセスを禁止して、外部アクセスが可能な領域と内蔵 Flash/ROM 空間へのアクセスが外部空間へのアクセスとなるモードです。外部端子の一部は外部バス端子として機能します。

MB91470/480 シリーズ

3.9.2 モード設定

FR ファミリでは、モード端子 (MD2, MD1, MD0) とモードデータで動作モードの設定を行います。

■ モード端子

MD2, MD1, MD0 の3端子で、モードベクタ、リセットベクタフェッチに関する指定を行います。

表に示した設定以外は禁止です。

モード端子			モード名	リセットベクタ アクセス領域	備考
MD2	MD1	MD0			
0	0	0	内 ROM モードベクタ	内部	
0	0	1	外 ROM モードベクタ	外部	バス幅はモードレジスタで設定

■ モードデータ

モードベクタフェッチ (「3.10.3 リセットシーケンス」を参照) によって、内部のモードレジスタ (MODR) に書き込むデータをモードデータとよびます。

モードレジスタに設定が行われた後、本レジスタの設定に従った動作モードで動作します。

モードデータは、すべてのリセット要因で設定されます。また、ユーザプログラムからは設定することはできません。

< モードデータ詳細説明 >

bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
0	0	0	0	0	ROMA	WTH1	WTH0
					← 動作モード設定ビット →		

[bit23 ~ bit19] 予約ビット

必ず "00000_B" を設定してください。"00000_B" 以外の値を設定したときの動作は保証できません。

[bit18] ROMA (内部 Flash/ROM イネーブルビット)

内部 Flash/ROM 領域を有効にするかどうかを設定します。

ROMA	機能	備 考
0	外 ROM モード	内部 Flash/ROM 領域 (80000 _H ~ FFFFF _H) が外部領域になります。
1	内 ROM モード	内部 Flash/ROM 領域 (80000 _H ~ FFFFF _H) が有効になります。

[bit17, bit16] WTH1, WTH0 (バス幅指定ビット)

外バスモード時のバス幅指定の設定を行います。

外バスモード時, この値が ACR0 (CS0 領域) の DBW1, DBW0 ビットに設定されます。

WTH1	WTH0	機能	備 考
0	0	8 ビットバス幅	外バスモード
0	1	16 ビットバス幅	〃
1	0	-	(設定禁止)
1	1	シングルチップモード	シングルチップモード

3.9.3 注意事項

動作モード設定上の注意事項について説明します。

■ 注意事項

モードベクタに設定するモードデータは、"000FFFF8_H" にバイトデータとして配置する必要があります。

FR ファミリは、バイトエンディアンとしてビッグエンディアンを採用していますので、下図のように、bit31 ~ bit24 の最上位バイトに配置してください。

		bit 31	24 23	16 15	8 7	0
誤	000FFFF8 _H	XXXXXXXX _B	XXXXXXXX _B	XXXXXXXX _B	モードデータ	
正	000FFFF8 _H	モードデータ		XXXXXXXX _B	XXXXXXXX _B	XXXXXXXX _B
	000FFFFC _H	リセットベクタ				

3.10 リセット (デバイス初期化)

リセット動作について説明します。

■ 概要

リセット要因が発生すると、デバイスはすべてのプログラムおよびハードウェア動作を停止して状態を初期化します。この状態をリセット状態とよびます。

リセット要因の消失により、デバイスは初期状態からプログラムおよびハードウェア動作を開始します。このリセット状態から動作開始に至る一連の動作をリセットシーケンスとよびます。

リセット要因、リセットレベル、リセット動作モード、設定初期化リセット (INIT) 解除後の発振安定待ち時間を以下の表にまとめます。

リセット要因	リセットレベル			リセット動作モード	設定初期化リセット (INIT) 解除後の発振安定待ち時間
	システム初期化リセット (SINIT) - 強 -	設定初期化リセット (INIT) - 中 -	動作初期化リセット (RST) - 弱 -		
外部 INITX 端子	発行する	発行する	発行する	通常 (非同期) リセット動作のみ	最小待ち時間 (OS1, OS0=00 _B)
ウォッチドッグリセット	発行しない	発行する	発行する	通常 (非同期) リセット動作のみ	発振安定待ち時間なし
ソフトウェアリセット	発行しない	発行しない	発行する	通常 (非同期) リセット動作もしくは同期リセット動作選択可	発振安定待ち時間なし

3.10.1 リセットレベル

MB91470/480 シリーズのリセット動作は3種類のレベルに分けられ、それぞれ発生要因および初期化の内容が異なります。以下、各リセットレベルについて説明します。

■ システム初期リセット (SINIT)

すべてのシステムを初期化するリセットをシステム初期化リセット (SINIT) とよびます。システム初期化リセット(SINIT)により初期化される主な内容は以下のとおりです。

[システム初期化リセット (SINIT) による初期化箇所]

- 発振安定待ち時間 (スタンバイ制御レジスタ (STCR) の OS1 , OS0 ビット)
- 設定初期化リセット (INIT) で初期化されるすべての箇所

詳細はそれぞれの機能の解説を参照してください。

なお、電源投入後は必ず INITX 端子にてシステム初期化リセット (SINIT) をかけてください。

■ 設定初期化リセット (INIT)

発振安定待ち時間を除くすべての設定を初期化するリセットを設定初期化リセット (INIT) とよびます。

設定初期化リセット (INIT) により初期化される主な内容は以下のとおりです。

[設定初期化リセット (INIT) による初期化箇所]

- 内部クロックに関するすべての設定 (クロックソース選択, PLL 制御, 分周比設定)
- 外部バスの CS0 領域に関するすべての設定
- その他, 端子状態に関するすべての設定
- 動作初期化リセット (RST) で初期化されるすべての箇所

詳細はそれぞれの機能の解説を参照してください。

■ 動作初期化リセット (RST)

プログラム動作を初期化するリセットを動作初期化リセット (RST) とよびます。

設定初期化リセット (INIT) 時には、同時に動作初期化リセット (RST) も発生します。

動作初期化リセット (RST) により初期化される主な内容は以下のとおりです。

[動作初期化リセット (RST) による初期化箇所]

- プログラム動作
- CPU および内部バス
- 周辺回路のレジスタ設定値
- I/O ポート設定
- デバイスの動作モード (バスモードおよび外部バス幅の設定)

詳細はそれぞれの機能の解説を参照してください。

3.10.2 リセット要因

各リセット発生要因と発生するリセットレベルについて説明します。

■ リセット要因

過去に発生したリセット要因は、RSRR (リセット要因レジスタ) を読み出すことにより知ることが可能です (各説明のレジスタ、フラグの詳細は、「3.11 クロック生成制御」の「3.11.6 クロック生成制御部のブロックダイアグラム」、 「3.11.7 クロック生成制御部のレジスタ詳細説明」を参照)。

■ INITX 端子入力 (システム初期化リセット端子)

外部端子の INITX 端子は、システム初期化リセット端子として機能します。

本端子へ "L" レベル入力を行っている間、システム初期化リセット (SINIT) 要求が発生します。

本端子へ "H" レベルを入力することにより、システム初期化リセット (SINIT) 要求は解除されます。

本端子要求によるシステム初期化リセット (SINIT) が発生した場合、RSRR (リセット要因レジスタ) 中の bit15:INIT ビットがセットされます。

本端子要求によるシステム初期化リセット (SINIT) は、すべてのリセット要因中で最強のものであり、すべての入力・動作・状態よりも優先されます。

なお、電源投入直後は必ず INITX 端子にてシステム初期化リセット (SINIT) をかけてください。また、電源投入直後は、発振回路の発振安定待ち時間を確保するため、INITX 端子への "L" レベル入力を発振回路の要求する発振安定待ち時間の間持続してください (INITX 端子による SINIT では、発振安定待ち時間の設定は最小値に初期化されています)。

- 発生要因 : 外部 INITX 端子への "L" レベル入力
- 解除要因 : 外部 INITX 端子への "H" レベル入力
- 発生レベル : システム初期化リセット (SINIT)
- 対応フラグ : bit15:INIT

■ ウォッチドッグリセット

RSRR (ウォッチドッグタイマ制御レジスタ) に対して書込みを行うと、ウォッチドッグタイマが起動します。その後、RSRR 中の bit9, bit8:WT1, WT0 ビットにて設定した周期ごとにウォッチドッグリセット要求が発生します。

ウォッチドッグリセット要求は、設定初期化リセット (INIT) 要求です。要求が受け付けられて設定初期化リセット (INIT) が発生するか、動作初期化リセット (RST) が発生すると、ウォッチドッグリセット要求は解除されます。

ウォッチドッグリセット要求による設定初期化リセット (INIT) が発生した場合、RSRR (リセット要因レジスタ) 中の bit13:WDOG ビットがセットされます。

なお、ウォッチドッグリセット要求による設定初期化リセット (INIT) が発生した場合では、発振安定待ち時間の設定は初期化されません。

- 発生要因 : ウォッチドッグタイマの設定周期経過
- 解除要因 : 設定初期化リセット (INIT) または動作初期化リセット (RST) の発生
- 発生レベル : 設定初期化リセット (INIT)
- 対応フラグ : bit13:WDOG

■ STCR:SRST ビット書込み (ソフトウェアリセット)

STCR (スタンバイ制御レジスタ) 中の bit4:SRST ビットに "0" が書き込まれると、ソフトウェアリセット要求が発生します。

ソフトウェアリセット要求は、動作初期化リセット (RST) 要求です。

要求が受け付けられて動作初期化リセット (RST) が発生すると、ソフトウェアリセット要求は解除されます。

ソフトウェアリセット要求による動作初期化リセット (RST) が発生した場合、RSRR (リセット要因レジスタ) 中の bit11:SRST ビットがセットされます。

ソフトウェアリセット要求による動作初期化リセット (RST) は、TBCR (タイムベースカウンタ制御レジスタ) 中の bit9:SYNCR ビットがセットされている場合 (同期リセットモード)、すべてのバスアクセスが停止した後でないと発生しません。

このため、バスの使用状況によっては動作初期化リセット (RST) が発生するまでに長時間を要する場合があります。

- 発生要因 : STCR (スタンバイ制御レジスタ) 中の bit4:SRST ビットへの "0" 書込み
- 解除要因 : 動作初期化リセット (RST) の発生
- 発生レベル : 動作初期化リセット (RST)
- 対応フラグ : bit11:SRST

< 注意事項 >

同期モードのソフトウェアリセットの使用に関しては TBCR (タイムベースカウンタ制御レジスタ) の bit9:SYNCR ビットの制限事項を参照してください。

3.10.3 リセットシーケンス

リセット要因の消失により、デバイスはリセットシーケンスの実行を開始します。リセットシーケンスは、リセットレベルによりそれぞれ動作内容が異なります。各リセットレベルにおけるリセットシーケンスの動作内容について説明します。

■ システム初期化リセット (SINIT) 解除シーケンス

本リセットは外部 INITX 端子入力で発生します。

システム初期化リセット (SINIT) 要求が解除されると、デバイスは以下の動作を順に実行します。

- (1) システム初期化リセット (SINIT) の解除
- (2) 設定初期化リセット (INIT) 状態、内部クロック動作開始
- (3) 設定初期化リセット (INIT) の解除、発振安定待ち状態への遷移
- (4) 最小発振安定待ち時間 (STCR の bit3, bit2:OS1, OS0=00_B にて設定) の間、動作初期化リセット (RST) 状態を保持、内部クロック動作停止
- (5) 動作初期化リセット (RST) 状態、内部クロック動作開始
- (6) 動作初期化リセット (RST) の解除、通常動作状態へ遷移
- (7) 000FFFF8_H 番地より、モードベクタの読出し
- (8) MODR (モードレジスタ) へ、モードベクタの書込み
- (9) 000FFFFC_H 番地より、リセットベクタの読出し
- (10) PC (プログラムカウンタ) へ、リセットベクタの書込み
- (11) PC (プログラムカウンタ) の示す番地より、プログラム動作開始

■ 設定初期化リセット (INIT) 解除シーケンス

本リセットはウォッチドッグリセットで発生します。

設定初期化リセット (INIT) 要求が解除されると、デバイスは以下の動作を順に実行します。

- (1) 設定初期化リセット (INIT) の解除
- (2) 動作初期化リセット (RST) 状態、内部クロック動作開始
- (3) 動作初期化リセット (RST) の解除、通常動作状態へ遷移
- (4) 000FFFF8_H 番地より、モードベクタの読出し
- (5) MODR (モードレジスタ) へ、モードベクタの書込み
- (6) 000FFFFC_H 番地より、リセットベクタの読出し
- (7) PC (プログラムカウンタ) へ、リセットベクタの書込み
- (8) PC (プログラムカウンタ) の示す番地より、プログラム動作開始

■ 動作初期化リセット (RST) 解除シーケンス

本リセットは、ソフトウェアリセットで発生します。

動作初期化リセット (RST) 要求が解除されると、デバイスは以下の動作を順に実行します。

- (1) 動作初期化リセット (RST) の解除、通常動作状態へ遷移
- (2) 000FFFF8_H 番地より、モードベクタの読出し
- (3) MODR (モードレジスタ) へ、モードベクタの書込み
- (4) 000FFFFC_H 番地より、リセットベクタの読出し
- (5) PC (プログラムカウンタ) へ、リセットベクタの書込み
- (6) PC (プログラムカウンタ) の示す番地より、プログラム動作開始

3.10.4 発振安定待ち時間

デバイスの原発振が停止していた、またはその可能性がある状態から復帰したとき、自動的に発振安定待ち状態に遷移します。本機能により発振開始後の安定していない発振器出力を使用しないようにします。

発振安定待ち時間中は、内部および外部へのクロック供給は停止し、内蔵タイムベースカウンタのみが動作して、STCR (スタンバイ制御レジスタ) にて設定された安定待ち時間の経過を待ちます。

発振安定待ち動作の詳細について説明します。

■ 発振安定待ち発生要因

要因を以下に示します。

- INITX 端子要因による設定初期化リセット (INIT) の解除時

INITX 端子要因による設定初期化リセット (INIT) が解除された場合、直後に発振安定待ち状態へ遷移します。

発振安定待ち時間の経過後は、動作初期化リセット (RST) 状態へ遷移します。

INITX 端子による初期化時の発振安定待ち時間は最小値に設定されるため、INITX 端子の入力幅にて発振安定待ち時間を確保してください。

なお、ウォッチドッグリセット要因による設定初期化リセット (INIT) が解除された場合には、直後に発振安定待ち状態へは遷移せず、動作初期化リセット (RST) 状態へ遷移します。

- ストップモードからの復帰時

有効な外部割込み要求入力 (NMI を含む) の発生によりストップモードが解除された直後に、発振安定待ち状態へ遷移します。INITX 端子要因により解除された場合には、設定初期化リセット (INIT) 状態を経て、設定初期化リセット (INIT) が解除された後、発振安定待ち状態へ遷移します。

発振安定待ち時間の経過後は、ストップモードが解除された要因に対応した状態へと遷移します。

- 有効な外部割込み要求入力 (NMI を含む) の発生による復帰時
通常動作状態へ遷移します。
- INITX 端子要因によるシステム初期化リセット (SINIT) 要求による復帰時
システム初期化リセット (SINIT) 状態へ遷移します。

■ 発振安定待ち時間の選択

発振安定待ち時間は、内蔵タイムベースカウンタを用いて計時されます。

発振安定待ち要因が発生して発振安定待ち状態へ遷移すると、内蔵タイムベースカウンタはいったん初期化された後、発振安定待ち時間の計測を開始します。

STCR (スタンバイ制御レジスタ) の bit3, bit2:OS1, OS0 ビットにより、発振安定待ち時間を 4 種類のうちから選択して設定することができます。

いったん選択した設定は、外部 INITX 端子によるシステム初期化リセット (SINIT) 以外では初期化されません。設定初期化リセット (INIT) や動作初期化リセット (RST) では、リセット発生以前に設定した発振安定待ち時間が保持されます。

発振安定待ち時間として選択可能な4種類の設定は、それぞれ以下の用途を想定してあります。

- OS1, OS0 = 00_B : 発振安定待ち時間なし
(ストップモードで PLL も発振器も停止させない場合)
- OS1, OS0 = 01_B : 発振安定待ち時間 (小)
(外部クロック入力や、ストップモードで発振器を停止させない場合)
- OS1, OS0 = 10_B : 発振安定待ち時間 (中)
(セラミック振動子などの安定が速い発振子を使用する場合)
- OS1, OS0 = 11_B : 発振安定待ち時間 (長)
(一般の水晶発振子などを使用する場合)

なお、電源投入直後は必ず INITX 端子にてシステム初期化リセット (SINIT) をかけてください。また、下記状態では、発振回路の発振安定待ち時間を確保するため、INITX 端子への "L" レベル入力を発振回路の要求する安定待ち時間の間持続してください (INITX 端子による SINIT では、発振安定待ち時間の設定は最小値に初期化されています)。

- 電源投入直後の INITX 端子入力
- ストップモードで発振停止中の INITX 端子入力

したがって、安定発振を行うためには、INITX 端子入力にはメインクロックの発振安定待ち時間を満たす期間、"L" レベルを入力してください。

3.10.5 リセット動作モード

動作初期化リセット (RST) には、通常 (非同期) リセットモードと同期リセットモードの2つのモードがあり、TBCR (タイムベースカウンタ制御レジスタ) 中の bit9: SYNCR ビットによってどちらのモードで動作するかを設定します。
本モード設定は、設定初期化リセット (INIT) のみで初期化されます。
設定初期化リセット (INIT) は、常に非同期でリセット動作を行います。
各モード動作について説明します。

■ 通常リセット動作

動作初期化リセット (RST) 要求が発生した際に、直ちに動作初期化リセット (RST) 状態への遷移を行う動作を通常リセット動作とよびます。

本モードにおいては、リセット (RST) 要求が受け付けられると、内部バスアクセスの動作状態にかかわらず、直ちにリセット (RST) 状態へ遷移します。

本モードでは、各状態へ遷移する時点で行われていたバスアクセスについては、その結果を保証できません。しかし、動作初期化リセット (RST) 要求を確実に受け付けることが可能です。

TBCR (タイムベースカウンタ制御レジスタ) 中の bit9: SYNCR ビットが "0" のとき、通常リセットモードとなります。

設定初期化リセット (INIT) の発生後の初期値は、通常リセットモードとなります。

■ 同期リセット動作

動作初期化リセット (RST) 要求が発生した際に、すべてのバスアクセスが停止した後、動作初期化リセット (RST) 状態への遷移を行う動作を同期リセット動作とよびます。

本モードにおいては、リセット (RST) 要求が受け付けられても、内部バスアクセスが行われている間はリセット (RST) 状態への遷移は行いません。

上記の要求が受け付けられると、それにより内部バスに対してスリープ要求が発行されます。各バスが動作を切り上げてスリープ状態に移行すると、動作初期化リセット (RST) 状態へ遷移します。

本モードでは、各状態へ遷移する時点ではすべてのバスアクセスが停止しているため、すべてのバスアクセスの結果を保証できます。

しかし、バスアクセスが何らかの理由により停止しない場合、その間、各要求を受け付けません。このような場合でも、設定初期化リセット (INIT) は直ちに有効となります。

外部拡張バスインタフェースに対して RDY (レディ要求) が入力され続けてバスウェイトが有効となっている場合には、バスアクセスは停止しません。

TBCR (タイムベースカウンタ制御レジスタ) 中の bit9: SYNCR ビットが "1" のとき、同期リセットモードとなります。

設定初期化リセット (INIT) 発生後の初期値は、通常リセットモードに戻ります。

< 注意事項 >

- DMA コントローラについては、各要求の受付けにより転送停止を行いますので、各状態への遷移を遅延させることはありません。
 - 同期モードのソフトウェアリセットの使用に関してはTBCR(タイムベースカウンタ制御レジスタ)の bit9:SYNCR ビットの制限事項を参照してください。
-

3.11 クロック生成制御

クロック生成制御について説明します。

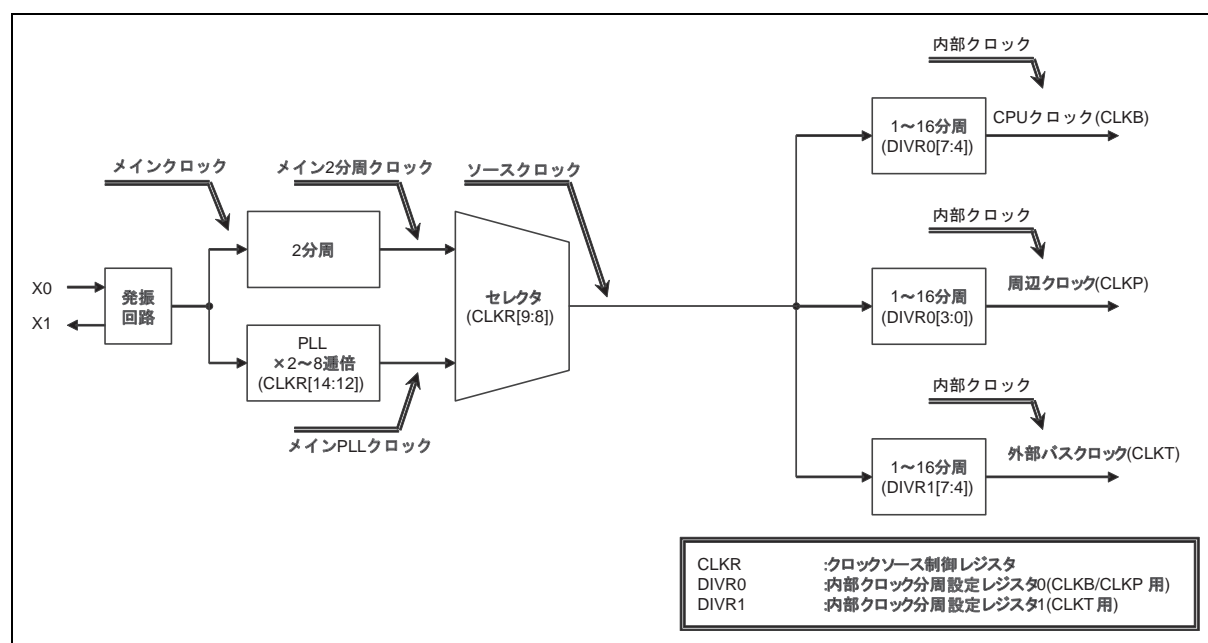
■ 概要

内部動作クロックは以下のようにして生成されます。

- ソースクロックの生成：メインクロックを2分周またはPLL発振させ、基本クロックを生成します。
- 各内部クロックの生成：ソースクロックを分周し、各部に供給する動作クロックを生成します。

以下、各クロック生成とその制御について解説します。

各レジスタ、フラグについては、「3.11.6 クロック生成制御部のブロックダイアグラム」および「3.11.7 クロック生成制御部のレジスタ詳細説明」を参照してください。



3.11.1 ソースクロックの選択

ソースクロックの選択について解説します。

■ ソースクロックの選択

外部バスクロックを含むすべてのクロック供給源は、MB91470/480 シリーズ自身となります。

外部発振端子および内蔵発振回路は、メインクロックを動作中に任意に切り換えて使用することが可能です。

- メインクロック：X0/X1 端子入力から生成し、高速クロックとして使用することを想定したクロックです。

ソースクロックは、以下のクロックのうちから選択して生成します。

- メインクロックを2分周したもの
- メインクロックをPLLで逡倍したもの

ソースクロックの選択制御は、CLKR（クロックソース制御レジスタ）の設定によって行います。

3.11.2 PLL 制御

メインクロックに対応した PLL 発振回路について、動作（発振）許可・禁止と通倍率設定を制御することが可能です。

各制御は、CLKR（クロックソース制御レジスタ）の設定によって行います。

各制御内容について説明します。

■ PLL 動作許可

メイン PLL 発振動作の許可 / 停止は、CLKR（クロックソース制御レジスタ）の bit10:PLL1EN ビットの設定によって行います。

PLL1EN ビットは、設定初期化リセット (INIT) 後は "0" に初期化され、メイン PLL の発振動作は停止しています。停止中は、ソースクロックとしてメイン PLL 出力を選択することはできません。

プログラム動作を開始したら、まず、ソースクロックとして使用するメイン PLL の通倍率を設定し、かつ動作許可した後、PLL のロック待ち時間の経過後にソースクロックを切り換えてください。この際の PLL ロック待ち時間は、タイムベースタイマ割込みを使用することを推奨いたします。

ソースクロックとしてメイン PLL 出力を選択している間は、PLL は動作停止させることを禁止します。

ストップモードに移行する際などで PLL を停止させたい場合は、いったんソースクロックをメインクロックの 2 分周したものに選択し直した後、PLL を停止させてください。

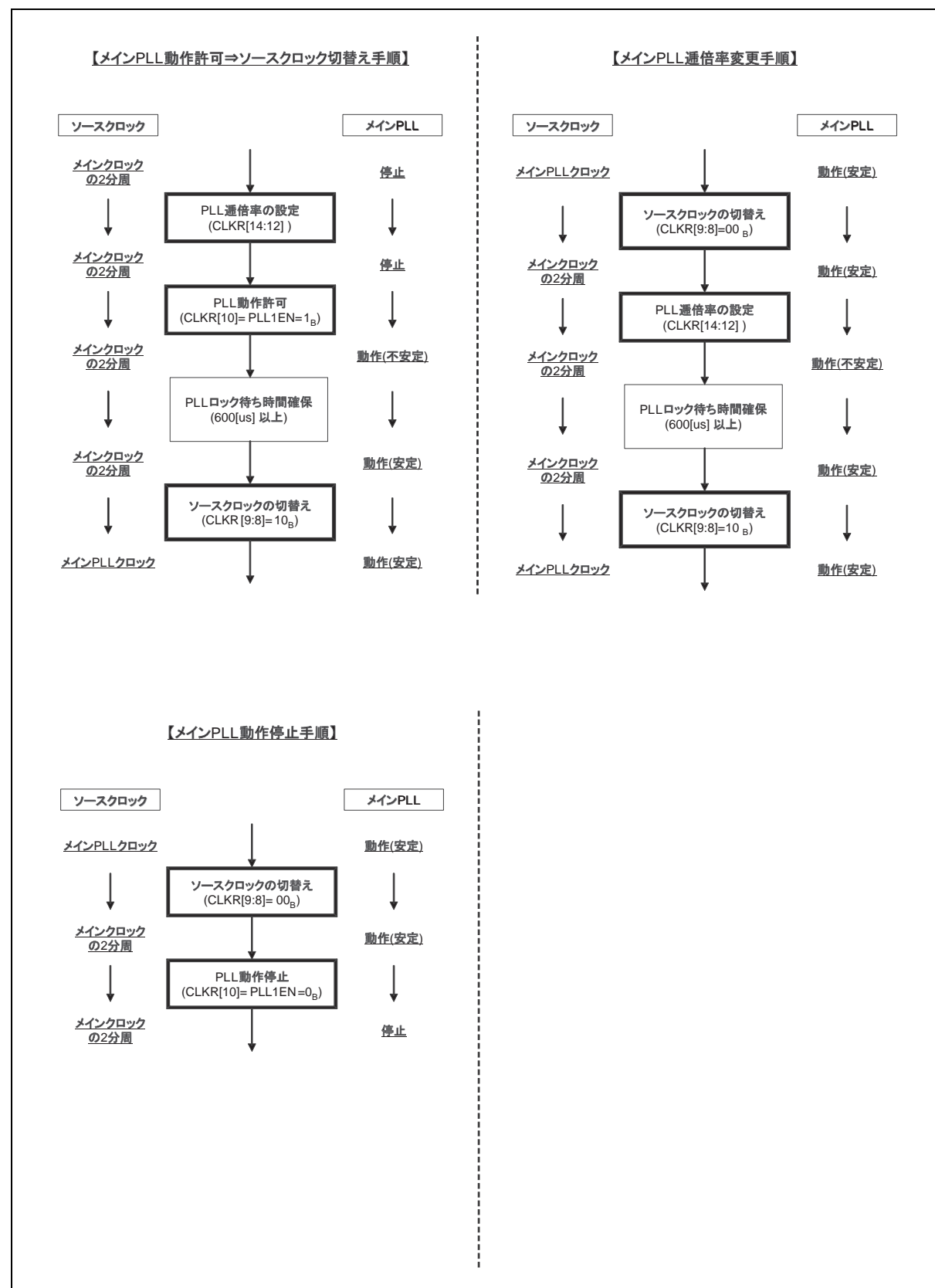
■ PLL 通倍率

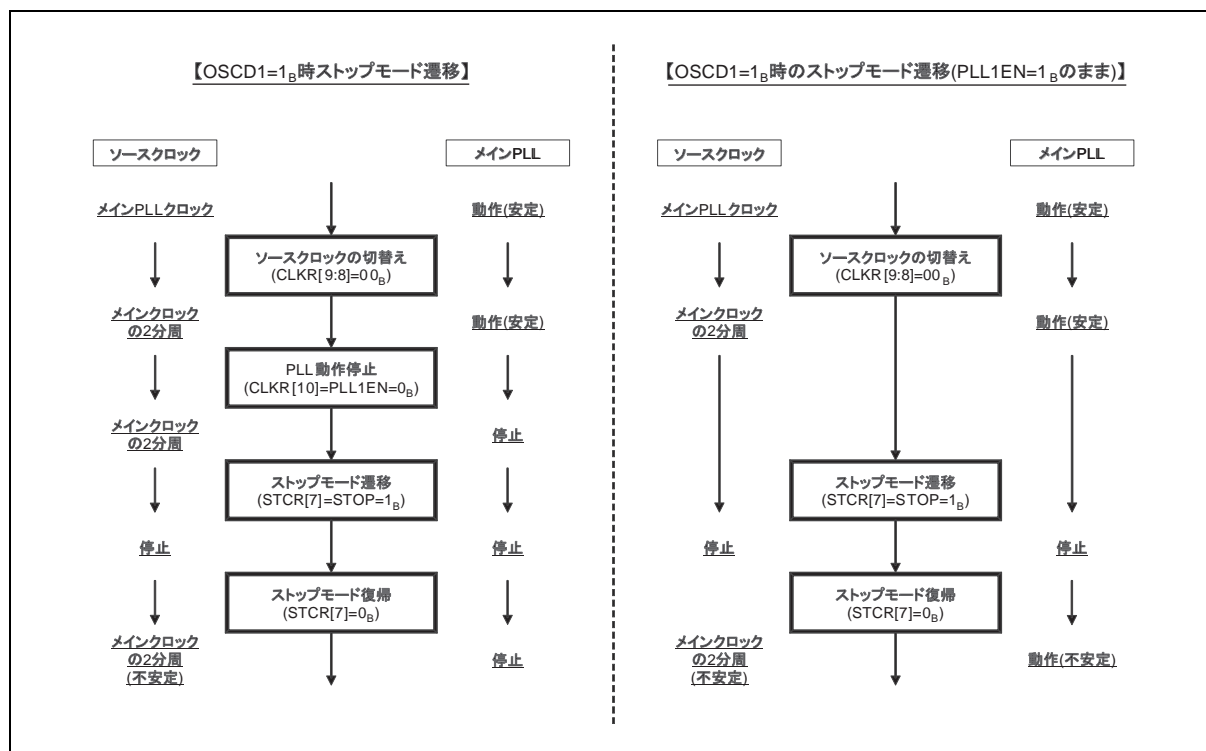
メイン PLL の通倍率は、CLKR（クロックソース制御レジスタ）の bit14 ~ bit12:PLL1S2, PLL1S1, PLL1S0 ビットによって設定します。

設定初期化リセット (INIT) 後は全ビット "0" に初期化されています。

PLL 通倍率設定を初期値より変更する場合、プログラム動作開始後、PLL を動作許可する前または同時に設定してください。通倍率変更後は、ロック待ち時間の経過後にソースクロックを切り換えてください。この際の PLL ロック待ち時間は、タイムベースタイマ割込みを使用することを推奨します。

動作中に PLL 通倍率設定を変更する場合、いったんソースクロックを PLL 以外に切り換えてから変更してください。通倍率変更後は、上記と同様にロック待ち時間の経過後にソースクロックを切り換えてください。





3.11.3 発振安定待ち・PLL ロック待ち時間

ソースクロックとして選択するクロックが安定動作状態にない場合、発振安定待ち時間が必要です(「3.10.4 発振安定待ち時間」を参照)。

PLL が動作開始後、設定された周波数に出力を安定させるにはロック待ち時間が必要です。

各種ケースにおける待ち時間について説明します。

■ 電源投入後の待ち時間

電源投入後は、まずメインクロック用発振回路の発振安定待ち時間が必要となります。

発振安定待ち時間の設定は、INITX 端子入力(システム初期化リセット端子)により最小値に初期化されるため、この発振安定待ち時間は、INITX 端子入力へ "L" レベルを入力する時間により確保します。

この状態においては、PLL は動作を許可されていないため、ロック待ち時間はここでは考慮する必要はありません。

■ システム / 設定初期化後の待ち時間

システム初期化リセット (SINIT) が解除後の設定初期化リセット (INIT) が解除されると、発振安定待ち状態へ遷移します。ここでは、設定された発振安定待ち時間を内部的に発生します。

INITX 端子入力後の初めの発振安定待ち状態では、設定時間は最小値に初期化されているため、すぐに本状態は終了し、動作初期化リセット (RST) 状態へと遷移します。

これらの状態においては、PLL はいずれも動作が許可されていないため、ここでは、ロック待ち時間を考慮する必要がありません。

■ PLL 動作許可後の待ち時間

プログラム動作開始後、停止状態の PLL を動作許可した場合、ロック待ち時間が経過しないとその PLL 出力を使用してはいけません。

ソースクロックとしてメイン PLL を選択していなければ、ロック待ち時間中もプログラム動作は実行可能です。この際の PLL ロック待ち時間は、タイムベースタイマ割込みを使用することを推奨します。

■ PLL 通倍率変更後の待ち時間

プログラム動作開始後、動作状態の PLL の通倍率設定を変更した場合も、ロック待ち時間が経過しないとその PLL 出力を使用してはいけません。

ソースクロックとしてメイン PLL を選択していなければ、ロック待ち時間中もプログラム動作は実行可能です。この際の PLL ロック待ち時間は、タイムベースタイマ割込みを使用することを推奨します。

■ ストップモード復帰後の待ち時間

プログラム動作開始後、ストップモードに遷移した場合の解除時には、プログラムにて設定された時間の発振安定待ち時間を内部的に発生します。

ストップモード中にソースクロックとして選択しているクロック用発振回路を停止させる設定の場合、その発振回路の発振安定待ち時間と使用している PLL のロック待ち時間を合わせた時間が必要となります。ストップモードに遷移させる前に、あらかじめ双方を合わせた発振安定待ち時間を設定しておいてください。

ストップモード中に、ソースクロックとして選択しているクロック用発振回路を停止させない設定の場合は、PLL は自動では動作を停止しません。よって、PLL を停止させない限り発振安定待ち時間は不要です。

ストップモードに遷移させる前に、あらかじめ発振安定待ち時間を最小値に設定しておくことを推奨いたします。

3.11.4 クロック分配

メインクロックより生成されたソースクロックを基に、各機能用の内部クロックが作成されます。

内部動作クロックは全部で3種類あり、それぞれが独立に分周比を設定できます。各内部動作クロックについて説明します。

■ CPU クロック (CLKB)

CPU と内部メモリおよび内部バスに使用されるクロックです。

本クロックを使用する回路には、以下のようなものがあります。

- CPU
- 内蔵 RAM, 内蔵 Flash/ROM
- ビットサーチモジュール
- I-bus, D-bus, F-bus, X-bus
- DMA コントローラ
- 積和演算回路

動作可能な上限周波数を超える周波数になる通倍率と分周比の組合せは設定しないでください。

■ 周辺クロック (CLKP)

周辺リソースおよびペリフェラルバスに使用されるクロックです。

本クロックを使用する回路には、以下のようなものがあります。

- ペリフェラル (周辺) バス
- クロック制御部 (バスインタフェース部のみ)
- 割込みコントローラ
- I/O ポート
- 外部割込み入力, 16 ビットタイマなどの周辺リソース

動作可能な上限周波数を超える周波数になる通倍率と分周比の組合せは設定しないでください。

■ 外部バスクロック (CLKT)

外部バスインタフェースに使用されるクロックです。

本クロックを使用する回路には、以下のようなものがあります。

- 外部バスインタフェース
- 外部 SYSCLK 出力

動作可能な上限周波数を超える周波数になる通倍率と分周比の組合せは設定しないでください。

MB91470/480 シリーズ

3.11.5 クロック分周

各内部動作クロックは、それぞれ独立にソースクロックからの分周比を設定できます。この機能により、各回路に最適な動作周波数を設定します。

■ クロック分周

分周比は、DIVR0 (内部クロック分周設定レジスタ 0) および DIVR1 (内部クロック分周設定レジスタ 1) にて設定します。各レジスタには各クロックに対応する 4 ビットずつの設定ビットがあり、(レジスタ設定値 + 1) がそのクロックのベースクロックに対する分周比となります。分周比設定が奇数であっても、常にデューティ比は 50% となります。

設定値の変更があった場合、設定後、次のクロックの立上りから変更後の分周比が有効となります。

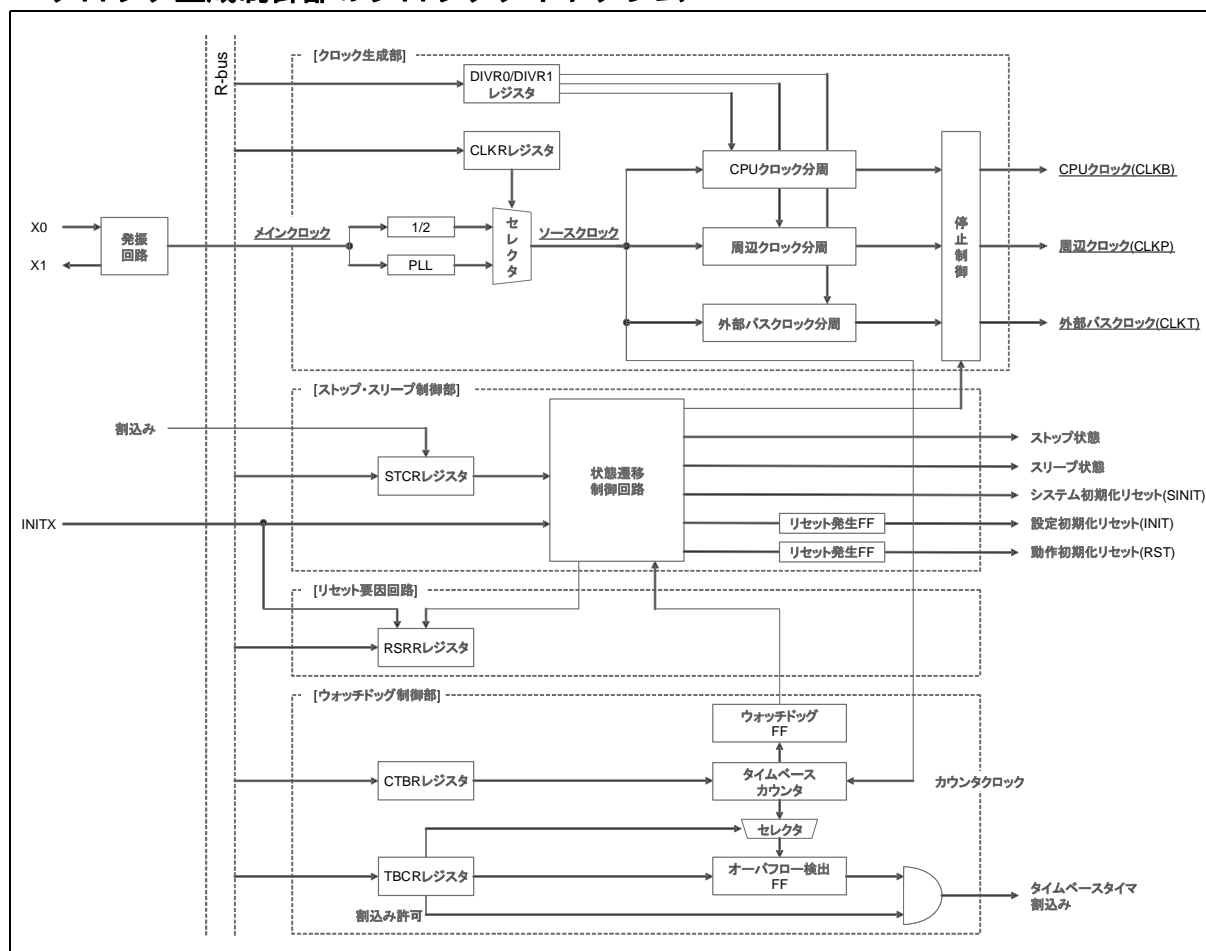
分周比設定は、動作初期化リセット (RST) の発生では初期化されず、リセット発生前の設定が維持されます。設定初期化リセット (INIT) の発生によってのみ初期化されます。初期状態からソースクロックを高速なものに変更する前に、必ず分周比の設定を行ってください。

ソースクロックの選択、メイン PLL の通倍率の設定、分周比の設定の組合せで上限周波数を超える設定をした場合、動作は保証されませんので十分にご注意願います (ソースクロック選択の変更設定との順序を間違えないように特に注意願います)。

3.11.6 クロック生成制御部のブロックダイアグラム

以下にクロック生成制御部のブロックダイアグラムを示します。図中のレジスタの詳細については、「3.11.7 クロック生成制御部のレジスタ詳細説明」を参照してください。

■ クロック生成制御部のブロックダイアグラム



MB91470/480 シリーズ

3.11.7 クロック生成制御部のレジスタ詳細説明

クロック生成制御部のレジスタについて説明します。

■ リセット要因レジスタ/ウォッチドッグタイマ制御レジスタ (RSRR)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
アドレス : 00000480 _H	INIT	-	WDOG	-	SRST	-	WT1	WT0
	R	R	R	R	R	R	R/W	R/W
初期値 (INITX 端子)	1	-	0	-	0	-	0	0
初期値 (INIT)	*	*	*	x	x	*	0	0
初期値 (RST)	x	x	x	*	*	x	0	0

R/W : リード/ライト可能
R : リードオンリ
「*」...要因により変化します。
「x」...初期化されません。

直前に発生したリセットの要因の保持, ウォッチドッグタイマの周期設定, および起動制御を行うレジスタです。

本レジスタを読むと, 保持されたリセット要因は読出し後にクリアされます。読み出すまでの間に複数回のリセットが発生した場合, リセット要因フラグは累積され, 複数のフラグがセットされることになります。

本レジスタの WT1, WT0 ビットに周期設定値を書き込むと, ウォッチドッグタイマが起動されます。それ以降は, リセット (RST) が発生するまで, ウォッチドッグタイマは動作を続けます。

[bit15] INIT (INITialize reset occurred)

INITX 端子入力によるリセット (SINIT) の発生の有無を示します。

0	INITX 端子入力による SINIT は発生していません。
1	INITX 端子入力による SINIT が発生しました。

- ・ 読出し直後に "0" に初期化されます。
- ・ 読出し可能で, 書込みはビット値に影響を与えません。

[bit14] (reserved bit)

[bit13] WDOG (WatchDOG reset occurred)

ウォッチドッグタイマによるリセット (INIT) の発生の有無を示します。

0	ウォッチドッグタイマによる INIT は発生していません。
1	ウォッチドッグタイマによる INIT が発生しました。

- INITX 端子入力によるリセット (SINIT), または読出し直後に "0" に初期化されます。
- 読出し可能で, 書込みはビット値に影響を与えません。

[bit12] (reserved bit)

[bit11] SRST (Software ReSeT occurred)

STCR レジスタの SRST ビット (ソフトウェアリセット) によるリセット (RST) の発生の有無を示します。

0	ソフトウェアリセットによる RST は発生していません。
1	ソフトウェアリセットによる RST が発生しました。

- INITX 端子入力によるリセット (SINIT), または読出し直後に "0" に初期化されます。
- 読出し可能で, 書込みはビット値に影響を与えません。
- 同期モードのソフトウェアリセットの使用に関しては TBCR (タイムベースカウンタ制御レジスタ) の bit9:SYNCR ビットの制限事項を参照してください。

[bit10] (reserved bit)

[bit9, bit8] WT1, WT0 (Watchdog interval Time select)

ウォッチドッグタイマの周期を設定します。

本ビットに書き込む値により, ウォッチドッグタイマの周期を下表に示す 4 種類のうちから選択します。

WT1	WT0	ウォッチドッグリセットの発生
0	0	$\phi \times 2^{17}$ (初期値)
0	1	$\phi \times 2^{19}$
1	0	$\phi \times 2^{21}$
1	1	$\phi \times 2^{23}$

(ϕ はソースクロックの周期)

- リセット (RST) により "00_B" に初期化されます。
- 読出し可能で, 書込みはリセット (RST) 後 1 回のみ有効で, それ以降の書込みは無効です。

■ スタンバイ制御レジスタ (STCR)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
アドレス : 00000481 _H	STOP	SLEEP	HIZ	SRST	OS1	OS0	-	OSCD1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INITX 端子)	0	0	1	1	0	0	—	1
初期値 (INIT)	0	0	1	1	x	x	1	1
初期値 (RST)	0	0	x	1	x	x	x	x

R/W : リード / ライト可能
「 x 」 ... 初期化されません。

デバイスの動作モードを制御するレジスタです。

ストップ、スリープの2つのスタンバイモードへの遷移、ストップモード中の端子および発振停止制御を行うほか、発振安定待ち時間の設定、ソフトウェアリセットの発行を行います。

< 注意事項 >

スタンバイモードに入れる場合は、同期スタンバイモード (TBCR: タイムベースカウンタ制御レジスタの bit8: SYNCS ビットにて設定します) を使用した上で、以下のシーケンスを必ず使用してください。

```
// -- STCR ライト
LDI    #_STCR,R0                // STCR レジスタ (0481H)
LDI    #value_of_standby,R1     // value_of_standby は、STCR へのライトデータ
STB    R1,@R0                  // STCR へのライト

// -- CTBR ライト
LDI    #_CTBR,R2                // CTBR レジスタ (0483H)
LDI    #0xA5,R1                // クリアコマンド (1)
STB    R1,@R2                  // CTBR への A5H ライト
LDI    #0x5A,R1                // クリアコマンド (2)
STB    R1,@R2                  // CTBR への 5AH ライト
                                   (タイムベースカウンタクリア)

LDUB   @R0,R1                  // STCR リード (同期スタンバイ遷移開始)
LDUB   @R0,R1                  // STCR ダミーリード
NOP
NOP
NOP
NOP
NOP
```


以下に、スタンバイ制御レジスタ (STCR) の各ビットの機能を説明します。

[bit7] STOP (STOP mode)

ストップモードへの遷移を指示します。bit6:SLEEP ビットと本ビット両方に "1" を書き込んだ場合は本ビットの方が優先となり、ストップモードへ遷移します。

0	ストップモードへの遷移は行いません (初期値)。
1	ストップモードへ遷移します。

- リセット (RST) およびストップ復帰要因により "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit6] SLEEP (SLEEP mode)

スリープモードへの遷移を指示します。bit7:STOP ビットと本ビット両方に "1" を書き込んだ場合は bit7:STOP ビットの方が優先となり、ストップモードへ遷移します。

0	スリープモードへの遷移は行いません (初期値)。
1	スリープモードへ遷移します。

- リセット (RST) およびスリープ復帰要因により "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit5] HIZ (HIZ mode)

ストップモード時の端子状態を制御します。

0	ストップモード遷移前の端子状態を維持します。
1	ストップモード中は端子出力をハイインピーダンス状態にします (初期値)。

- リセット (INIT) により "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit4] SRST (Software ReSeT)

ソフトウェアリセット (RST) の発行を指示します。

0	ソフトウェアリセットを発行します。
1	ソフトウェアリセットの発行は行いません (初期値)。

- リセット (RST) により "1" に初期化されます。
- 読出しおよび書込みが可能です。読出し値は常に "1" となります。

[bit3, bit2] OS1, OS0 (Oscillation Stabilization time select)

リセット (INIT) 後, およびストップモード復帰後などにおける発振安定待ち時間を設定します。

本ビットに書き込む値により, 発振安定待ち時間を下表に示す 4 種類のうちから選択します。

OS1	OS0	発振安定待ち時間	メイン発振 10 MHz の場合	メイン発振 20 MHz の場合
0	0	$\phi \times 2^1$ (初期値)	400 ns	200 ns
0	1	$\phi \times 2^{11}$	408 μ s	204 μ s
1	0	$\phi \times 2^{16}$	13.1 ms	6.55 ms
1	1	$\phi \times 2^{22}$	838 ms	419 ms

(ϕ はソースクロックの周期で, メインクロックの 2 倍の周期)

- INITX 端子入力によるリセット (SINIT) により "00_B" に初期化されます。
- 読出しおよび書込みが可能です。

[bit1] (reserved bit)

予約ビットです。MB91470/480 シリーズでは, 本ビットへの書込みは常に "1" を書き込んでください。

[bit0] OSCD1 (Oscillation Disable mode for XIN1)

メイン発振入力 (X0, X1) におけるストップモード時の発振停止を制御します。

0	ストップモード中もメイン発振は停止しません。
1	ストップモード中はメイン発振を停止します (初期値)。

- リセット (INIT) により "1" に初期化されます。
- 読出しおよび書込みが可能です。

■ タイムベースカウンタ制御レジスタ (TBCR)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
アドレス: 00000482 _H	TBIF	TBIE	TBC2	TBC1	TBC0	-	SYNCR	SYNCS
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT)	0	0	x	x	x	-	0	0
初期値 (RST)	0	0	x	x	x	x	x	x

R/W: リード / ライト可能
「x」...初期化されません。

タイムベースタイマ割込みなどを制御するレジスタです。

タイムベースタイマ割込みの許可、割込みインターバル時間の選択を行うほか、リセット動作のオプション機能の設定を行います。

以下に、タイムベースカウンタ制御レジスタ (TBCR) の各ビットの機能を説明します。

[bit15] TBIF (Time-Base timer Interrupt Flag)

タイムベースタイマ割込みフラグです。

タイムベースカウンタが設定されたインターバル時間 (bit13 ~ bit11: TBC2 ~ TBC0 ビットにて設定) を経過したことを示します。

bit14: TBIE ビットにより割込み発生が許可 (TBIE=1) されているときに本ビットが "1" になると、タイムベースタイマ割込み要求が発生します。

クリア要因	命令による "0" の書き込み
セット要因	設定されたインターバル時間の経過 (タイムベースカウンタ出力の立下りエッジ検出)

- リセット (RST) により "0" に初期化されます。
- 読出しおよび書込みが可能です。ただし、書込みは "0" のみ可能で、"1" を書き込んでもビット値は変化しません。また、リードモディファイライト (RMW) 系命令での読出し値は、常に "1" となります。

[bit14] TBIE (Time-Base timer Interrupt Enable)

タイムベースタイマ割込み要求出力許可ビットです。

タイムベースカウンタのインターバル時間の経過による割込み要求出力を制御します。本ビットが "1" のときに bit15: TBIF ビットが "1" になると、タイムベースタイマ割込み要求が発生します。

0	タイムベースタイマ割込み要求出力禁止 (初期値)
1	タイムベースタイマ割込み要求出力許可

- リセット (RST) により "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit13 ~ bit11] TBC2, TBC1, TBC0 (Time-Base timer Counting time select)

タイムベースタイマで使用するタイムベースカウンタのインターバル時間を設定します。

本ビットに書き込む値により，インターバル時間を下表に示す 8 種類のうちから選択します。

TBC2	TBC1	TBC0	タイマインターバル時間	原発振 20 MHz かつ PLL が 4 通倍の場合
0	0	0	$\phi \times 2^{11}$	25 μ s
0	0	1	$\phi \times 2^{12}$	51.2 μ s
0	1	0	$\phi \times 2^{13}$	102.4 μ s
0	1	1	$\phi \times 2^{22}$	52.4 ms
1	0	0	$\phi \times 2^{23}$	104.9 ms
1	0	1	$\phi \times 2^{24}$	209.7 ms
1	1	0	$\phi \times 2^{25}$	419.4 ms
1	1	1	$\phi \times 2^{26}$	838.9 ms

(ϕ はソースクロックの周期)

- ・ 初期値は不定です。割込みを許可する前に必ず値を設定してください。
- ・ 読出しおよび書込みが可能です。

[bit10] (reserved bit)

予約ビットです。読出し値は不定で，書込みは動作に影響を与えません。

[bit9] SYNCR (SYNChronous Reset enable)

同期リセット動作許可ビットです。

動作初期化リセット (RST) 要求が発生した際に，直ちにリセット (RST) 遷移を行う通常リセット動作を行うか，すべてのバスアクセスが停止した後，動作初期化リセット (RST) 遷移を行う同期リセット動作を行うかを選択します。

0	通常リセット動作 (初期値)
1	同期リセット動作

- ・ リセット (INIT) により "0" に初期化されます。
- ・ 読出しおよび書込みが可能です。

制限事項

同期モードのソフトウェアリセットを使用する時は、STCR(スタンバイ制御レジスタ)のSRSTビットに"0"を設定する前に、以下2つの条件を必ず満たしてください。

- ・ 割込み許可フラグ (I-Flag) を割込み禁止 (I-Flag=0) に設定する。
- ・ NMI を使用しない。

[bit8] SYNCs (SYNChronous Standby enable)

同期スタンバイ動作許可ビットです。

スタンバイモード(スリープモードまたはストップモード)を使用する際は必ず"1"を設定してください。

0	通常スタンバイ動作 (初期値)
1	同期スタンバイ動作

- ・ リセット (INIT) により "0" に初期化されます。
- ・ 読出しおよび書込みが可能です。

< 注意事項 >

スタンバイモードに遷移する際には、必ず"1"を設定し、同期スタンバイ動作としてください。

■ タイムベースカウンタクリアレジスタ (CTBR)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
アドレス : 00000483 _H	D7	D6	D5	D4	D3	D2	D1	D0
	W	W	W	W	W	W	W	W
初期値 (INIT)	x	x	x	x	x	x	x	x
初期値 (RST)	x	x	x	x	x	x	x	x
W : ライトオンリ 「x」...初期化されません。								

タイムベースカウンタを初期化するためのレジスタです。

本レジスタに連続して "A5_H", "5A_H" を書き込むと, "5A_H" 書込みの直後にタイムベースカウンタを全ビット "0" にクリアします。"A5_H" 書込みと "5A_H" 書込みの間の時間に制限はありませんが, "A5_H" 書込みの後に "5A_H" 以外のデータを書き込むと, 再度 "A5_H" を書き込まないと "5A_H" を書き込んでもクリア動作は行いません。

本レジスタの読出し値は不定です。

< 注意事項 >

本レジスタを使用してタイムベースカウンタをクリアすると, 発振安定待ち時間, ウォッチドッグタイマ周期, およびタイムベースタイマの周期が一時的に変動します。

MB91470/480 シリーズ

■ クロックソース制御レジスタ (CLKR)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
アドレス : 00000484 _H	-	PLL1S2	PLL1S1	PLL1S0	-	PLL1EN	CLKS1	CLKS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT)	-	0	0	0	-	0	0	0
初期値 (RST)	x	x	x	x	x	x	x	x

R/W : リード / ライト可能
「x」...初期化されません。

ソースクロックの選択やメイン PLL の制御を行うレジスタです。

本レジスタにてソースクロックを選択します。また、メイン PLL の動作許可および通倍率の選択を制御します。

[bit15] (reserved bit)

予約ビットです。MB91470/480 シリーズでは、本ビットへの書込みは常に "0" を書き込んでください。

[bit14 ~ bit12] PLL1S2, PLL1S1, PLL1S0 (PLL1 ratio Select 2 ~ 0)

メイン PLL の通倍率選択ビットです。

メイン PLL の通倍率を下記の組合せのうちから選択します。

本ビットは、ソースクロックとしてメイン PLL を選択している間は書換えを禁止します。

動作可能な上限周波数を超える設定をしないでください。

PLL1S2	PLL1S1	PLL1S0	メイン PLL 通倍率	メイン発振 10 MHz の場合	メイン発振 20 MHz の場合
0	0	0	× 1 (等倍)	設定禁止	設定禁止
0	0	1	× 2 (2 通倍)	設定禁止	φ = 25.0 ns (40 MHz時)
0	1	0	× 3 (3 通倍)	設定禁止	φ = 16.6 ns (60 MHz時)
0	1	1	× 4 (4 通倍)	φ = 25.0 ns (40 MHz時)	φ = 12.5 ns (80 MHz時)
1	0	0	× 5 (5 通倍)	φ = 20.0 ns (50 MHz時)	設定禁止
1	0	1	× 6 (6 通倍)	φ = 16.6 ns (60 MHz時)	設定禁止
1	1	0	× 7 (7 通倍)	φ = 14.3 ns (70 MHz時)	設定禁止
1	1	1	× 8 (8 通倍)	φ = 12.5 ns (80 MHz時)	設定禁止

(φ はメイン PLL クロックの周期)

- リセット (INIT) により "000_B" に初期化されます。
- 読出しおよび書込みが可能です。

[bit11] (reserved bit)

予約ビットです。MB91470/480 シリーズでは、本ビットへの書込みは常に "0" を書き込んでください。

[bit10] PLL1EN (PLL1 ENable)

メイン PLL の動作許可ビットです。

本ビットは、ソースクロックとしてメイン PLL を選択している間は書換えを禁止します。また、本ビットが "0" の間はソースクロックとしてメイン PLL を選択することを禁止します。

bit9, bit8: CLKS1, CLK0 ビットの設定を参照してください。

STCR の bit0:OSCD1 が "1" であると、ストップモード中は本ビットが "1" であってもメイン PLL は停止します。ストップモードからの復帰後は動作許可に戻ります。

0	メイン PLL 停止 (初期値)
1	メイン PLL 動作許可

- リセット (INIT) により "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit9, bit8] CLKS1, CLKS0 (CLOCK source Select)

使用するソースクロックを設定します。

本ビットに書き込む値により、ソースクロックを下表に示す 3 種類のうちから選択します。

CLKS1	CLKS0	ソースクロック設定
0	0	メイン 2 分周 (初期値)
0	1	設定禁止
1	0	メイン PLL
1	1	設定禁止

- リセット (INIT) により "00_B" に初期化されます。
- 読出しおよび書込みが可能です。

< 注意事項 >

bit9:CLKS1 が "1" の間は bit8:CLKS0 の値を変更することはできません。

[変更可能な組合せ]	
00 _B	10 _B
10 _B	00 _B

上記の組合せ以外は設定禁止です。

■ 内部クロック分周設定レジスタ 0 (DIVR0)

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
アドレス : 00000486 _H	B3	B2	B1	B0	P3	P2	P1	P0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT)	0	0	0	0	0	0	1	1
初期値 (RST)	x	x	x	x	x	x	x	x

R/W : リード / ライト可能
「 x 」 ... 初期化されません。

各内部クロックのソースクロックに対する分周比を制御するレジスタです。

本レジスタでは、CPU クロック (CLKB) と、周辺クロック (CLKP) の分周比の設定を行います。

ソースクロックの選択、メイン PLL の通倍率の設定、分周比の設定の組合せで上限周波数を超える設定をした場合、動作は保証されませんので十分にご注意願います。また、ソースクロック選択の変更設定との順序を間違えないように注意願います。

本レジスタの設定の変更があった場合、設定後、次のクロックから変更後の分周比が有効となります。

[bit15 ~ bit12] B3, B2, B1, B0 (clkB divide select 3 ~ 0)

CPU クロック (CLKB) のクロック分周比設定ビットです。

CPU クロック (CLKB) のクロック分周比を設定します。

本ビットに書き込む値により、CPU クロック (CLKB) のソースクロックに対する分周比 (クロック周波数) を下表に示す 16 種類のうちから選択します。

動作可能な上限周波数を超える周波数になる分周比は設定しないでください。

B3	B2	B1	B0	クロック分周比
0	0	0	0	ϕ
0	0	0	1	$\phi \times 2$ (2 分周)
0	0	1	0	$\phi \times 3$ (3 分周)
0	0	1	1	$\phi \times 4$ (4 分周)
0	1	0	0	$\phi \times 5$ (5 分周)
0	1	0	1	$\phi \times 6$ (6 分周)
0	1	1	0	$\phi \times 7$ (7 分周)
0	1	1	1	$\phi \times 8$ (8 分周)
...
1	1	1	1	$\phi \times 16$ (16 分周)

(ϕ は内部ソースクロックの周期)

- リセット (INIT) により "0000_B" に初期化されます。
- 読みしおよび書込みが可能です。

[bit11 ~ bit8] P3, P2, P1, P0 (clkP divide select 3 ~ 0)

周辺クロック (CLKP) のクロック分周比設定ビットです。

周辺クロック (CLKP) のクロック分周比を設定します。

本ビットに書き込む値により、周辺クロック (CLKP) のソースクロックに対する分周比 (クロック周波数) を下表に示す 16 種類のうちから選択します。

動作可能な上限周波数を超える周波数になる分周比は設定しないでください。

P3	P2	P1	P0	クロック分周比
0	0	0	0	ϕ
0	0	0	1	$\phi \times 2$ (2 分周)
0	0	1	0	$\phi \times 3$ (3 分周)
0	0	1	1	$\phi \times 4$ (4 分周)
0	1	0	0	$\phi \times 5$ (5 分周)
0	1	0	1	$\phi \times 6$ (6 分周)
0	1	1	0	$\phi \times 7$ (7 分周)
0	1	1	1	$\phi \times 8$ (8 分周)
...
1	1	1	1	$\phi \times 16$ (16 分周)

(ϕ はソースクロックの周期)

- リセット (INIT) により "0011_B" に初期化されます。
- 読出しおよび書込みが可能です。

■ 内部クロック分周設定レジスタ 1 (DIVR1)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
アドレス : 00000487 _H	T3	T2	T1	T0	-	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 (INIT)	0	0	0	0	0	0	0	0
初期値 (RST)	x	x	x	x	x	x	x	x

R/W : リード / ライト可能
「 x 」 ... 初期化されません。

各内部クロックのソースクロックに対する分周比を制御するレジスタです。
本レジスタでは、外部バスクロック (CLKT) の分周比の設定を行います。
ソースクロックの選択、メイン PLL の通倍率の設定、分周比の設定の組合せで上限周波数を超える設定をした場合、動作は保証されませんので十分にご注意願います。また、ソースクロック選択の変更設定との順序を間違えないように注意願います。
本レジスタの設定の変更があった場合、設定後、次のクロックから変更後の分周比が有効となります。

[bit7 ~ bit4] T3, T2, T1, T0 (clkT divide select 3 ~ 0)

外部バスクロック (CLKT) のクロック分周比設定ビットです。
外部バスクロック (CLKT) のクロック分周比を設定します。
本ビットに書き込む値により、外部バスクロック (CLKT) のソースクロックに対する分周比 (クロック周波数) を下表に示す 16 種類のうちから選択します。
動作可能な上限周波数を超える周波数になる分周比は設定しないでください。

T3	T2	T1	T0	クロック分周比
0	0	0	0	ϕ
0	0	0	1	$\phi \times 2$ (2 分周)
0	0	1	0	$\phi \times 3$ (3 分周)
0	0	1	1	$\phi \times 4$ (4 分周)
0	1	0	0	$\phi \times 5$ (5 分周)
0	1	0	1	$\phi \times 6$ (6 分周)
0	1	1	0	$\phi \times 7$ (7 分周)
0	1	1	1	$\phi \times 8$ (8 分周)
...
1	1	1	1	$\phi \times 16$ (16 分周)

(ϕ はソースクロックの周期)

- リセット (INIT) により "0000_B" に初期化されます。
- 読出しおよび書込みが可能です。

外部バスインタフェースを使用しない場合は、"1111_B" (16 分周) に設定してください。

[bit3 ~ bit0] (reserved bit)

- リセット (INIT) により "0000_B" に初期化されます。
- 本ビットへの書込みは、常に "0000_B" を書き込んでください。

3.11.8 クロック制御部の周辺回路

クロック制御部内の周辺回路機能について説明します。

■ タイムベースカウンタ

クロック制御部には 26 ビット長のタイムベースカウンタがあり、ソースクロックで動作しています。

タイムベースカウンタは、発振安定待ち時間の計測（「3.10.4 発振安定待ち時間」を参照）のほか、以下の用途に使用されます。

- ウォッチドッグタイマ
システムの暴走検出用のウォッチドッグタイマをタイムベースカウンタのビット出力を用いて計測します。
- タイムベースタイマ
タイムベースカウンタ出力を用いてインターバル割込みを発生します。

以下、これらの機能について解説します。

● ウォッチドッグタイマ

ウォッチドッグタイマは、タイムベースカウンタ出力を用いた暴走検出用タイマです。プログラムの暴走などで設定したインターバルの間にウォッチドッグリセットの発生延期動作が行われなくなると、ウォッチドッグリセットとして設定初期化リセット (INIT) 要求を発生します。

[ウォッチドッグタイマの起動と周期設定]

ウォッチドッグタイマは、リセット (RST) 後の 1 回目の RSRR (リセット要因レジスタ / ウォッチドッグタイマ制御レジスタ) の WT1, WT0 ビットへの周期設定値書込み動作により起動します。このとき、ウォッチドッグタイマのインターバル時間を bit9, bit8: WT1, WT0 ビットにより設定します。インターバル時間の設定は、この最初の書込みで設定した時間のみが有効となり、それ以降の書込みはすべて無視されます。

[ウォッチドッグリセットの発生]

ウォッチドッグリセット発生用フラグは、設定したインターバルのタイムベースカウンタ出力の立下りエッジによってセットされます。2 度目の立下りエッジの検出時にフラグがセットされていると、ウォッチドッグリセットとして設定初期化リセット (INIT) 要求を発生します。

[ウォッチドッグタイマの停止]

いったん、ウォッチドッグタイマを起動すると、動作初期化リセット (RST) が発生するまではウォッチドッグタイマを停止することはできません。

動作初期化リセット (RST) の発生する以下の状態ではウォッチドッグタイマは停止し、再度プログラム動作にて起動するまでは機能しません。

- 動作初期化リセット (RST) 状態
- 設定初期化リセット (INIT) 状態

- ・ システム初期化リセット (SINIT) 状態
- ・ 発振安定待ちリセット (RST) 状態

[ウォッチドッグタイマの一時停止 (自動発生延期)]

ウォッチドッグタイマは、CPU のプログラム動作が停止している場合には、いったん、ウォッチドッグリセット発生用フラグを初期化し、ウォッチドッグリセットの発生を延期します。プログラム動作の停止とは具体的には以下の動作を示します。

- ・ スリープ状態
- ・ ストップ状態
- ・ 発振安定待ち RUN 状態
- ・ D-bus (データバス) に対する DMA 転送中
- ・ エミュレータデバッガを使用中のブレーク中

また、タイムベースカウンタのクリアを行うと、同時にウォッチドッグリセット発生用フラグも初期化され、ウォッチドッグリセットの発生が延期されます。

< 注意事項 >

ウォッチドッグタイマを起動した後、スリープモード / ストップモードへの移行時には、STOP モードビット / SLEEP モードビットをセットした後、スタンバイ制御レジスタ (STCR) を読み出す直前にタイムベースカウンタをクリアしてください。以下にプログラム例を記載します。

● サンプルプログラム

スタンバイ (ストップまたはスリープ) モード移行処理

```
-----
// -- STCR ライト
LDI    #_STCR,R0          // STCR レジスタ (0481H)
LDI    #value_of_standby, R1 // value_of_standby は、STCR へのライトデータ
STB    R1,@R0             // STCR へのライト
// -- CTBR ライト
LDI    #_CTBR,R2          // CTBR レジスタ (0483H)
LDI    #0xA5,R1           // クリアコマンド (1)
STB    R1,@R2             // CTBR への A5H ライト
LDI    #0x5A,R1           // クリアコマンド (2)
STB    R1,@R2             // CTBRへの5AHライト(タイムベースカウンタクリア)

LDUB   @R0,R1             // STCR リード (同期スタンバイ遷移開始)
LDUB   @R0,R1             // STCR ダミーリード
NOP                                         // タイミング調整用 NOP x 5
NOP
NOP
NOP
NOP
NOP
-----
```

● タイムベースタイマ

タイムベースタイマは、タイムベースカウンタ出力を用いたインターバル割込み発生用タイマです。

メイン PLL のロック待ち時間など、最大で { ソースクロック $\times 2^{26}$ } サイクルまでの比較的長時間の時間計測を行う用途に適しています。

設定したインターバルに対応するタイムベースカウンタの出力の立下りエッジを検出するとタイムベースタイマ割込み要求を発生します。

[タイムベースタイマの起動とインターバル設定]

タイムベースタイマは、TBCR (タイムベースカウンタ制御レジスタ) の bit13 ~ bit11:TBC2, TBC1, TBC0 ビットにてインターバル時間を設定します。

設定したインターバルに対応するタイムベースカウンタの出力の立下りエッジは常に検出されているため、インターバル時間の設定後はまず bit15:TBIF ビットをクリアした後、bit14:TBIE ビットを "1" にして割込み要求出力を許可してください。

インターバル時間を変更する際は、あらかじめ bit14:TBIE ビットを "0" にして割込み要求出力を禁止しておいてください。

タイムベースカウンタはこれらの設定には影響されず、常にカウント動作を行っていますので、正確なインターバル割込み時間を得るためには割込みを許可する前にタイムベースカウンタをクリアしてください。そうでないと、割込み許可直後に割込み要求が発生することがあります。

[プログラムによるタイムベースカウンタのクリア]

CTBR (タイムベースカウンタクリアレジスタ) に対して "A5_H", "5A_H" の順でデータを書き込むと、"5A_H" 書込みの直後に、タイムベースカウンタを全ビット "0" にクリアします。"A5_H" 書込みと "5A_H" 書込み間の時間に制限はありませんが、"A5_H" 書込みの後に "5A_H" 以外のデータを書き込むと、再度 "A5_H" を書き込まないと "5A_H" を書き込んでもクリア動作は行いません。

このタイムベースカウンタのクリアを行うことにより、同時にウォッチドッグリセット発生用フラグも初期化され、ウォッチドッグリセットの発生がいったん延期されます。

[デバイス状態によるタイムベースカウンタのクリア]

タイムベースカウンタは、以下のデバイス状態の遷移時に同時に全ビット "0" にクリアされます。

- ストップ状態
- 設定初期化リセット (INIT) 状態
- システム初期化リセット (SINIT) 状態

特にストップ状態の場合、発振安定待ち時間の計測のためにタイムベースカウンタが使用されるため、意図せずにタイムベースタイマのインターバル割込みが発生してしまうことがあります。そのため、ストップモードを設定する前には、タイムベースタイマ割込みを禁止し、タイムベースタイマを使用しないようにしてください。

それ以外の状態については、動作初期化リセット (RST) が発生するため、タイムベースタイマ割込みは自動的に禁止されます。

< 注意事項 >

ウォッチドッグタイマを起動した後，スリープモード / ストップモードへの移行時には，STOP モードビット / SLEEP モードビットをセットした後，スタンバイ制御レジスタ (STCR) を読み出す直前にタイムベースカウンタをクリアしてください。以下にプログラム例を記載します。

● サンプルプログラム

スタンバイ (ストップまたはスリープ) モード移行処理

```
-----  
// -- STCR ライト  
LDI    #_STCR,R0          // STCR レジスタ (0481H)  
LDI    #value_of_standby, R1 // value_of_standby は , STCR へのライトデータ  
STB    R1,@R0             // STCR へのライト  
  
// -- CTBR ライト  
LDI    #_CTBR,R2          // CTBR レジスタ (0483H)  
LDI    #0xA5,R1           // クリアコマンド (1)  
STB    R1,@R2             // CTBR への A5H ライト  
LDI    #0x5A,R1           // クリアコマンド (2)  
STB    R1,@R2             // CTBR への 5AH ライト  
                        (タイムベースカウンタクリア)  
  
LDUB   @R0,R1             // STCR リード (同期スタンバイ遷移開始)  
LDUB   @R0,R1             // STCR ダミーリード  
NOP                      // タイミング調整用 NOP × 5  
NOP  
NOP  
NOP  
NOP  
-----
```

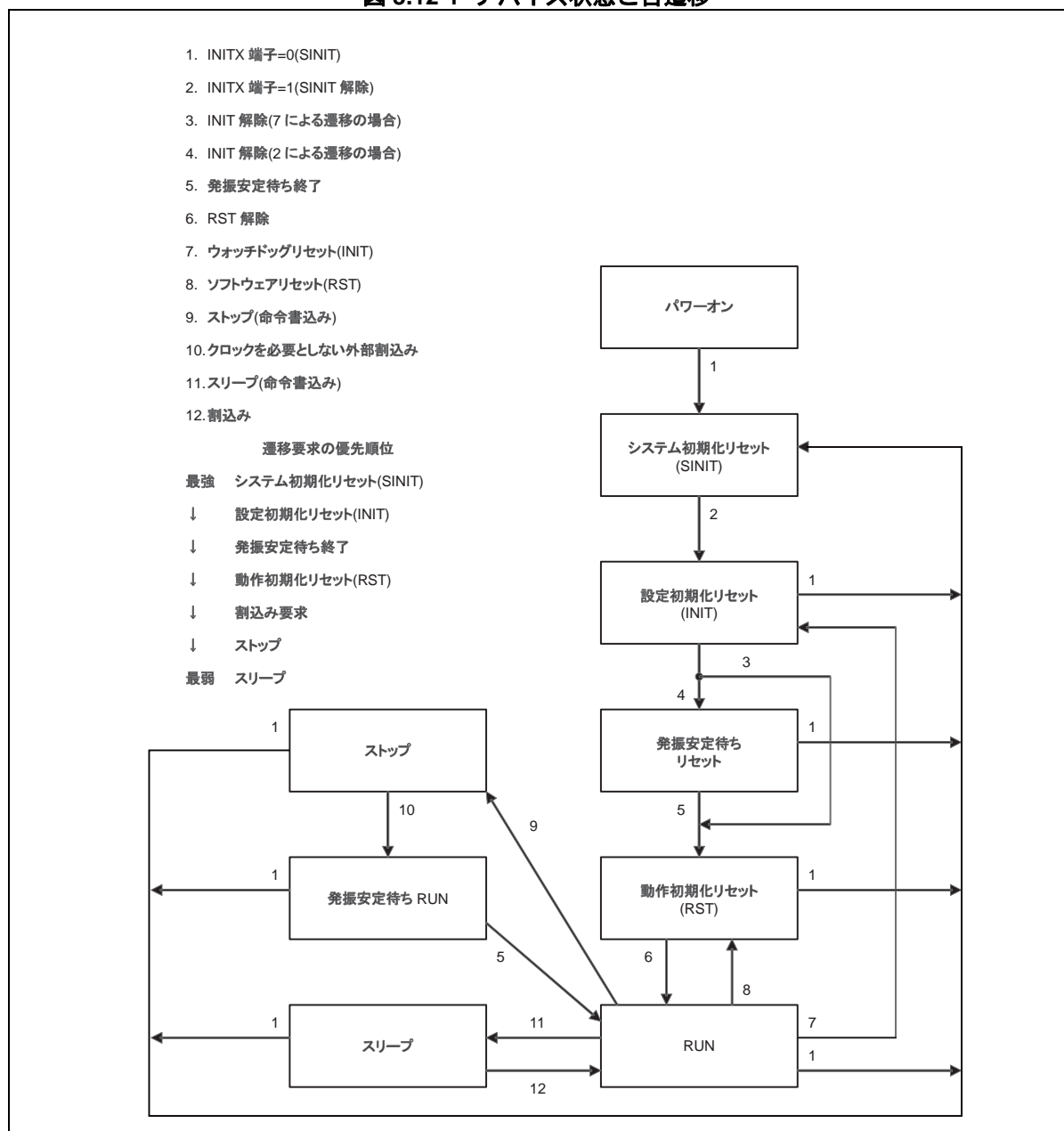
3.12 デバイス状態制御

各種状態とその制御について説明します。

■ デバイス状態と各遷移

状態遷移を下記に示します。

図 3.12-1 デバイス状態と各遷移



MB91470/480 シリーズのデバイスの動作状態には以下のものがあります。

● RUN 状態 (通常動作)

プログラム実行状態です。

すべての内部クロックが供給され、すべての回路が動作可能な状態です。

各状態遷移要求を受け付けますが、同期リセットモードを選択している場合、通常リセットモードの場合と一部要求に対する状態遷移動作が異なります。詳細は、「3.10.5 リセット動作モード」「同期リセット動作」を参照してください。

● スリープ状態

プログラム停止状態です。プログラム動作により遷移します。

CPU のプログラム実行のみ停止し、周辺回路は動作可能な状態です。各種内蔵メモリおよび内部 / 外部バスは DMA コントローラが要求しない限り停止状態です。

有効な割込み要求の発生により、本状態は解除され、RUN 状態 (通常動作) へ遷移します。

システム初期化リセット (SINIT) 要求の発生により、システム初期化リセット (SINIT) 状態へ遷移します。

● ストップ状態

デバイス停止状態です。プログラム動作により遷移します。

すべての内部回路が停止します。内部クロックはすべて停止し、発振回路およびメイン PLL は設定により停止させることが可能です。また、設定により、外部端子を一律ハイインピーダンスにすることが可能です (一部端子を除く)。

特定の (クロックを必要としない) 有効な割込み要求の発生により、発振安定待ち RUN 状態へ遷移します。

システム初期化リセット (SINIT) 要求の発生により、システム初期化リセット (SINIT) 状態へ遷移します。

● 発振安定待ち RUN 状態

デバイス停止状態です。ストップ状態からの復帰後に遷移します。

クロック発生制御部 (タイムベースカウンタおよびデバイス状態制御部) を除くすべての内部回路が停止します。内部クロックはすべて停止しますが、発振回路および動作許可されていたメイン PLL は動作しています。

ストップ状態などでの外部端子のハイインピーダンス制御は解除されます。

設定された発振安定待ち時間の経過により、RUN 状態 (通常動作) へ遷移します。

システム初期化リセット (SINIT) 要求の発生により、システム初期化リセット (SINIT) 状態へ遷移します。

● 発振安定待ちリセット (RST) 状態

デバイス停止状態です。設定初期化リセット (INIT) 状態からの復帰後に遷移します。

クロック発生制御部 (タイムベースカウンタおよびデバイス状態制御部) を除くすべての内部回路が停止します。内部クロックはすべて停止しますが、発振回路は動作しています。

内部回路に対し、動作初期化リセット (RST) を出力します。

設定された発振安定待ち時間の経過により、動作初期化リセット (RST) 状態へ遷移します。

システム初期化リセット (SINIT) 要求の発生により、システム初期化リセット (SINIT) 状態へ遷移します。

● 動作初期化リセット (RST) 状態

プログラム初期化状態です。動作初期化リセット (RST) 要求の受付け、または発振安定待ちリセット (RST) 状態の終了により遷移します。

CPU のプログラム実行は停止し、プログラムカウンタは初期化されます。周辺回路は一部を除き初期化されます。すべての内部クロックと発振回路および動作許可されていたメイン PLL は動作しています。

内部回路に対し、動作初期化リセット (RST) を出力します。

動作初期化リセット (RST) 要求の消失により、RUN 状態 (通常動作) へ遷移し、動作初期化リセットシーケンスを実行します。

システム初期化リセット (SINIT) 要求の発生により、システム初期化リセット (SINIT) 状態へ遷移します。

● 設定初期化リセット (INIT) 状態

全設定初期化状態です。設定初期化リセット (INIT) 要求の受付けにより遷移します。

CPU のプログラム実行は停止し、プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。発振回路は動作しますが、メイン PLL は動作を停止します。すべての内部クロックと発振回路は動作します。

内部回路に対し、設定初期化リセット (INIT) および動作初期化リセット (RST) を出力します。

設定初期化リセット (INIT) 要求の消失により、本状態は解除され、発振安定待ちリセット (RST) 状態もしくは、動作初期化リセット (RST) 状態へ遷移します。その後、動作初期化リセット (RST) 状態を経て、動作初期化リセットシーケンスを実行します。

● システム初期化リセット (SINIT) 状態

システム設定初期化状態です。システム初期化リセット (SINIT) 要求の受付により遷移します。

CPU のプログラム実行は停止し、プログラムカウンタは初期化されます。周辺回路はすべて初期化されます。発振回路は動作しますが、メイン PLL とすべての内部クロックは動作を停止します。

内部回路に対し、システム初期化リセット (SINIT) および設定初期化リセット (INIT) および動作初期化リセット (RST) を出力します。

システム初期化リセット (SINIT) 要求の消失により、本状態は解除され、設定初期化リセット (INIT) 状態へ遷移します。

● 各状態遷移要求の優先順位

どの状態においても、各状態遷移要求は以下の優先順位に従います。ただし、一部要求は特定の状態でしか発生しませんので、その状態でしか有効になりません。

- | | |
|--------|--|
| [最強] | システム初期化リセット (SINIT) 要求 |
| | 設定初期化リセット (INIT) 要求 |
| | 発振安定待ち時間の終了 (発振安定待ちリセット状態および発振安定待ち RUN 状態のみ発生) |
| | 動作初期化リセット (RST) 要求 |
| | 有効な割込み要求 (RUN, スリープ, ストップ状態のみ発生) |
| | ストップモード要求 (レジスタ書込み) (RUN 状態のみ発生) |
| [最弱] | スリープモード要求 (レジスタ書込み) (RUN 状態のみ発生) |

■ 低消費電力モード

MB91470/480 シリーズの状態のうち、各低消費電力モードとその使用方法について説明します。

MB91470/480 シリーズの低消費電力モードには、以下のものがあります。

- スリープモード
レジスタ設定により、デバイスをスリープ状態へ遷移させます。
- ストップモード
レジスタ設定により、デバイスをストップ状態へ遷移させます。

以下、各モードについて説明します。

● スリープモード

STCR (スタンバイ制御レジスタ) の bit6:SLEEP ビットに "1" を書き込むとスリープモードとなり、スリープ状態へ遷移します。以降、スリープ状態からの復帰要因が発生するまではスリープ状態を維持します。

スリープ状態については、「3.12 デバイス状態制御 デバイス状態と各遷移 スリープ状態」を参照してください。

[スリープモードへの移行]

スリープモードに入れる場合は同期スタンバイモード (TBCR: タイムベースカウンタ制御レジスタの bit8:SYNCS ビットにて設定します) を使用した上で、以下のシーケンスを必ず使用してください。

```
-----
// -- STCR ライト
LDI    #_STCR,R0                // STCR レジスタ (0481H)
LDI    #value_of_standby,R1     // value_of_standby は、STCR へのライトデータ
STB    R1,@R0                  // STCR へのライト
// -- CTBR ライト
LDI    #_CTBR,R2                // CTBR レジスタ (0483H)
LDI    #0xA5,R1                // クリアコマンド (1)
STB    R1,@R2                  // CTBR への A5H ライト
LDI    #0x5A,R1                // クリアコマンド (2)
STB    R1,@R2                  // CTBR への 5AH ライト
                                // (タイムベースカウンタクリア)

LDUB    @R0,R1                  // STCR リード (同期スタンバイ遷移開始)
LDUB    @R0,R1                  // STCR ダミーリード
NOP                                // タイミング調整用 NOP × 5
NOP
NOP
NOP
NOP
NOP
-----
```

STCR (スタンバイ制御レジスタ) の bit7:STOP ビットと本ビット両方に "1" を書き込んだ場合は、bit7:STOP ビットの方が優先となり、ストップ状態へ遷移します。

[スリープ状態で停止する回路]

- CPU のプログラム実行
- ビットサーチモジュール *
- 各種内蔵メモリ *
- 内部 / 外部バス *

*: DMA 転送が発生した場合に動作します。

[スリープ状態で停止しない回路]

- 発振回路
- 動作許可されたメイン PLL
- クロック発生制御部
- 割込みコントローラ
- 周辺回路
- DMA コントローラ
- 積和演算回路
- On chip Debug Support Unit (DSU)

[スリープ状態からの復帰要因]

- 有効な割込み要求の発生

ICR レジスタの設定が割込み禁止 ("1111_B") でない割込み要求が発生すると、スリープモードは解除され、RUN 状態 (通常動作) へ遷移します。このとき、CPU の PS レジスタの I フラグを "1" に設定して割込み受け付けを許可状態にし、スリープ復帰後、割込みハンドラを実行するようにしてください。

ICR レジスタの設定が割込み禁止 ("1111_B") の割込み要求が発生しても、スリープモードは解除されません。

- システム初期化リセット (SINIT) 要求の発生

システム初期化リセット (SINIT) 要求が発生すると、無条件でシステム初期化リセット (SINIT) 状態へ遷移します。

(注意事項) 各要因の優先順位については、「3.12 デバイス状態制御 デバイス状態と各遷移 各状態遷移要求の優先順位」を参照してください。

[同期スタンバイ動作]

タイムベースカウンタ制御レジスタ (TBCR) の bit8(SYNCS ビット) に "1" が設定してある場合、同期スタンバイ動作が許可されます。この場合、SLEEP ビットへの書き込みのみではスリープ状態へは遷移しません。その後、STCR レジスタを読み出すことによってスリープ状態へ遷移します。

スリープモードを使用する場合は、[スリープモードへの移行]にあるシーケンスを必ず使用してください。

< 注意事項 >

ウォッチドッグタイマを起動した後，スリープモード / ストップモードへの移行時には，STOP モードビット / SLEEP モードビットをセットした後，スタンバイ制御レジスタ (STCR) を読み出す直前にタイムベースカウンタをクリアしてください。以下にプログラム例を記載します。

● サンプルプログラム

スタンバイ (ストップまたはスリープ) モード移行処理

```
-----  
// -- STCR ライト  
LDI    #_STCR,R0          // STCR レジスタ (0481H)  
LDI    #value_of_standby, R1 // value_of_standby は , STCR へのライトデータ  
STB    R1,@R0             // STCR へのライト  
// -- CTBR ライト  
LDI    #_CTBR,R2          // CTBR レジスタ (0483H)  
LDI    #0xA5,R1           // クリアコマンド (1)  
STB    R1,@R2             // CTBR への A5H ライト  
LDI    #0x5A,R1           // クリアコマンド (2)  
STB    R1,@R2             // CTBR への 5AH ライト  
                        (タイムベースカウンタクリア)  
  
LDUB   @R0,R1             // STCR リード (同期スタンバイ遷移開始)  
LDUB   @R0,R1             // STCR ダミーリード  
NOP  
NOP  
NOP  
NOP  
NOP  
-----
```

● ストップモード

STCR (スタンバイ制御レジスタ) の bit7:STOP ビットに "1" を書き込むとストップモードとなり、ストップ状態へ遷移します。以降、ストップ状態からの復帰要因が発生するまではストップ状態を維持します。

ストップ状態については、「3.12 デバイス状態制御 デバイス状態と各遷移 ストップ状態」を参照してください。

[ストップモードへの移行]

ストップモードに入れる場合は同期スタンバイモード (TBCR: タイムベースカウンタ制御レジスタの bit8: SYNCNS ビットにて設定します) を使用した上で、以下のシーケンスを必ず使用してください。

```
// -- STCR ライト
LDI    #_STCR,R0                // STCR レジスタ (0481H)
LDI    #value_of_standby, R1    // value_of_standby は、STCR へのライトデータ
STB    R1,@R0                  // STCR へのライト
// -- CTBR ライト
LDI    #_CTBR,R2                // CTBR レジスタ (0483H)
LDI    #0xA5,R1                // クリアコマンド (1)
STB    R1,@R2                  // CTBR への A5H ライト
LDI    #0x5A,R1                // クリアコマンド (2)
STB    R1,@R2                  // CTBR への 5AH ライト
                                // (タイムベースカウンタクリア)

LDUB   @R0,R1                  // STCR リード (同期スタンバイ遷移開始)
LDUB   @R0,R1                  // STCR ダミーリード
NOP                                // タイミング調整用 NOP × 5
NOP
NOP
NOP
NOP
```

STCR (スタンバイ制御レジスタ) の bit6:SLEEP ビットと本ビットの両方に "1" を書き込んだ場合は、bit7:STOP ビットの方が優先となり、ストップ状態へ遷移します。

[ストップ状態で停止する回路]

下記を除くすべての内部回路

[ストップ状態で停止しない回路]

- 停止するよう設定されていない発振回路
STCR (スタンバイ制御レジスタ) の bit0:OSCD1 ビットに "0" が設定してあるとき、ストップ状態中のメインクロック用発振回路は停止しません。
- 動作が許可されていて、かつ停止するように設定されていない発振回路に接続されたメイン PLL
STCR (スタンバイ制御レジスタ) の bit0:OSCD1 ビットに "0" が設定してあるとき、CLKR (クロックソース制御レジスタ) の bit10:PLL1EN ビットに "1" が設定してあると、ストップ状態中のメインクロック用 PLL は停止しません。

[ストップ状態での端子のハイインピーダンス制御]

STCR (スタンバイ制御レジスタ) の bit5:HIZ ビットに "1" が設定してあると、ストップ状態中の端子出力をハイインピーダンス状態にします。本制御の対象となる端子については、「付録 C 各 CPU ステートにおける端子状態」を参照してください。

STCR (スタンバイ制御レジスタ) の bit5:HIZ ビットに "0" が設定してあると、ストップ状態中の端子出力はストップ状態への遷移前の値を保持します。詳細は、「付録 C 各 CPU ステートにおける端子状態」を参照してください。

[ストップ状態からの復帰要因]

- 特定の (クロックを必要としない) 有効な割り込み要求の発生
割り込み許可された外部割り込み、および NMI 入力端子のみが有効です。
ICR レジスタの設定が割り込み禁止 ("1111_B") でない割り込み要求が発生すると、ストップモードは解除され、発振安定待ち RUN 状態へ遷移します。このとき、CPU の PS レジスタの I フラグを "1" に設定して割り込み受けを許可状態にし、ストップ復帰後、割り込みハンドラを実行するようにしてください。
ICR レジスタの設定が割り込み禁止 ("1111_B") の割り込み要求が発生しても、ストップモードは解除されません。
- システム初期化リセット (SINIT) 要求の発生
システム初期化リセット (SINIT) 要求が発生すると、無条件でシステム初期化リセット (SINIT) 状態へ遷移します。

< 注意事項 >

各要因の優先順位については、「3.12 デバイス状態制御 デバイス状態と各遷移 各状態遷移要求の優先順位」を参照してください。

[ストップモード時のソースクロック選択]

ストップモードを設定する前にメインクロックの2分周をソースクロックとするようにあらかじめ選択しておいてください。詳細は、「3.11 クロック生成制御」、特に「3.11.2 PLL 制御」を参照してください。

なお、分周比の設定に関しては、通常動作時と制限事項は変わりません。

[同期スタンバイ動作]

タイムベースカウンタ制御レジスタ (TBCR) の bit8(SYNCS ビット) に "1" が設定してある場合に同期スタンバイ動作が許可されます。この場合、STOP ビットへの書込みのみではストップ状態へは遷移しません。その後、STCR レジスタを読み出すことによってストップ状態へ遷移します。

ストップモードを使用する場合は、[ストップモードへの移行] にあるシーケンスを必ず使用してください。

< 注意事項 >

ウォッチドッグタイマを起動した後，スリープモード / ストップモードへの移行時には，STOP モードビット / SLEEP モードビットをセットした後，スタンバイ制御レジスタ (STCR) を読み出す直前にタイムベースカウンタをクリアしてください。以下にプログラム例を記載します。

● サンプルプログラム

スタンバイ (ストップまたはスリープ) モード移行処理

```
-----  
// -- STCR ライト  
LDI    #_STCR,R0          // STCR レジスタ (0481H)  
LDI    #value_of_standby, R1 // value_of_standby は , STCR へのライトデータ  
STB    R1,@R0             // STCR へのライト  
// -- CTBR ライト  
LDI    #_CTBR,R2          // CTBR レジスタ (0483H)  
LDI    #0xA5,R1           // クリアコマンド (1)  
STB    R1,@R2             // CTBR への A5H ライト  
LDI    #0x5A,R1           // クリアコマンド (2)  
STB    R1,@R2             // CTBR への 5AH ライト  
                        (タイムベースカウンタクリア)  
  
LDUB   @R0,R1             // STCR リード (同期スタンバイ遷移開始)  
LDUB   @R0,R1             // STCR ダミーリード  
NOP  
NOP // タイミング調整用 NOP × 5  
NOP  
NOP  
NOP  
-----
```


第4章

外部バスインタフェース

外部バスインタフェースコントローラは、LSI の内部バスと外部のメモリおよび I/O デバイスとのインタフェースを制御します。
外部バスインタフェースの各機能について説明します。

- 4.1 外部バスインタフェースの特長
- 4.2 外部バスインタフェースのレジスタ
- 4.3 チップセレクト領域
- 4.4 エンディアンとバスアクセス
- 4.5 通常バスインタフェース
- 4.6 アドレス / データマルチプレックスインタフェース
- 4.7 レジスタ設定手順

4.1 外部バスインタフェースの特長

外部バスインタフェースの特長について説明します。

■ 外部バスインタフェースの特長

- 最大 16 ビット長のアドレス出力
 - 各種外部メモリ (8 ビット /16 ビット) を直結できるほか、複数のアクセスタイミングを混在制御可能
 - 非同期 SRAM, 非同期 ROM/ フラッシュメモリ (複数ライトストロープ方式またはバイトイネーブル方式)
 - アドレス / データマルチプレックスバス (8 ビット /16 ビット幅のみ)
 - 同期メモリ (ASIC 内蔵メモリなど)
-

< 注意事項 >

同期 SRAM は直結できません。

- 独立した 3 個のバンク (チップセレクト領域) を設定でき、それぞれに対応したチップセレクト出力が可能
 - 各領域のサイズは 64K バイトの倍数単位で設定可能 (1 チップセレクト領域あたり 64K バイト ~ 2G バイトまで)
 - 各領域は論理アドレス空間上の任意の位置に設定可能 (領域サイズによりパウンダリの制限あり)
 - チップセレクト領域ごとに以下の機能が独立に設定可能
 - チップセレクト領域の許可・禁止 (禁止された領域はアクセスを行いません)
 - 各種メモリ対応などのアクセスタイミングタイプ設定
 - 詳細アクセスタイミング設定 (ウェイトサイクルなどのアクセスタイプ個別設定)
 - データバス幅設定 (8 ビット /16 ビット)
 - バイトオーダリングのエンディアン設定 (ビッグまたはリトル)
-

< 注意事項 >

CS0X 領域は、ビッグエンディアンのみ可能です。

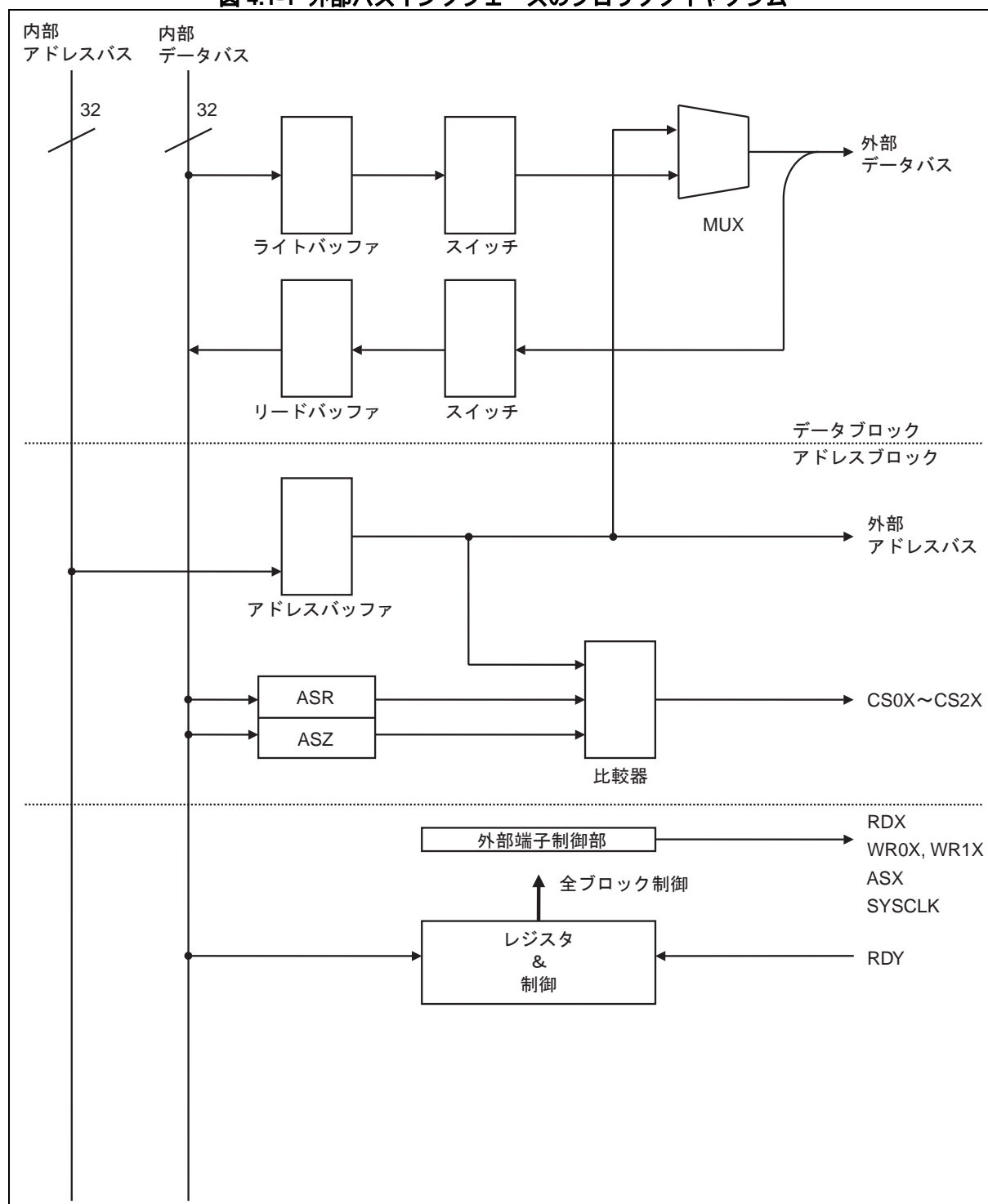
- 書込み禁止設定 (読出し専用領域)

- アクセスタイミングタイプごとに異なる詳細なタイミングを設定可能
 - 同一タイプでもチップセレクト領域ごとに異なる設定が混在可能
 - オートウェイトは、最大 15 サイクルまで設定可能 (非同期 SRAM, ROM, Flash, I/O 領域)
 - 外部 RDY 入力によるバスサイクルの延長が可能 (非同期 SRAM, ROM, Flash, I/O 領域)
 - 各種アイドル・リカバリサイクル、セットアップ遅延などの挿入が可能

■ 外部バスインタフェースのブロックダイアグラム

図 4.1-1 に、外部バスインタフェースのブロックダイアグラムを示します。

図 4.1-1 外部バスインタフェースのブロックダイアグラム



■ I/O ピン

外部バスインタフェースの端子です。

〔通常バスインタフェース〕

A15 ~ A00, D31 ~ D16(A15 ~ A00)

CS0X, CS1X, CS2X

SYSCLK

ASX

RDX

WR0X, WR1X,

RDY

■ 外部バスインタフェースのレジスタ一覧

外部バスインタフェースのレジスタ構成は、以下のとおりです。

アドレス	bit 31	24	23	16	15	8	7	0
00000640 _H	ASR0				ACR0			
00000644 _H	ASR1				ACR1			
00000648 _H	ASR2				ACR2			
0000064C _H	予約				予約			
00000650 _H	予約				予約			
00000654 _H	予約				予約			
00000658 _H	予約				予約			
0000065C _H	予約				予約			
00000660 _H	AWR0				AWR1			
00000664 _H	AWR2				予約			
00000668 _H	予約				予約			
0000066C _H	予約				予約			
00000670 _H	予約		予約		予約		予約	
00000674 _H	予約		予約		予約		予約	
00000678 _H	予約		予約		予約		予約	
0000067C _H	予約		予約		予約		予約	
00000680 _H	CSER		予約		予約		予約	
00000684 _H	予約				予約			
00000688 _H	予約		予約		予約		予約	
0000068C _H	予約		予約		予約		予約	
	予約		予約		予約		予約	
000007F8 _H	予約		予約		予約		予約	
000007FC _H	予約		(MODR)		予約		予約	

予約： 予約レジスタです。書き換える場合には、必ず "0" を設定してください。

MODR はユーザプログラムからはアクセスできません。

4.2 外部バスインタフェースのレジスタ

外部バスインタフェースのレジスタについて説明します。

■ 外部バスインタフェースのレジスタ概要

外部バスインタフェースには、以下の4種類のレジスタがあります。

- ASR0 ~ ASR2(Area Select Register)
- ACR0 ~ ACR2(Area Configuration Register)
- AWR0 ~ AWR2(Area Wait Register)
- CSER(Chip Select Enable Register)

4.2.1 ASR0 ~ ASR2 (Area Select Register)

Area Select Register の詳細を説明します。

■ ASR0 ~ ASR2(Area Select Register) のレジスタ構成

ASR0 ~ ASR2 のレジスタ構成は、以下のとおりです。

										初期値		
ASR0	bit	15	14	13	12	...	2	1	0	INIT 時	RST 時	アクセス
0000 0640 _H		A31	A30	A29	A18	A17	A16	0000 _H	0000 _H	R/W
ASR1	bit	15	14	13	12	...	2	1	0			
0000 0644 _H		A31	A30	A29	A18	A17	A16	XXXX _H	XXXX _H	R/W
ASR2	bit	15	14	13	12	...	2	1	0			
0000 0648 _H		A31	A30	A29	A18	A17	A16	XXXX _H	XXXX _H	R/W

R/W: リード / ライト可能

ASR0 ~ ASR2(Area Select Register 0 ~ 2) は、CS0X ~ CS2X の各チップセレクト領域の開始アドレスを指定します。

開始アドレスには、A[31:16] の上位16ビットを設定できます。各チップセレクト領域は、このレジスタに設定されたアドレスから始まり、ACR0 ~ ACR2 レジスタの ASZ[3:0] ビットで設定された範囲となります。

各チップセレクト領域のバウンダリは、ACR0 ~ ACR2 レジスタの ASZ[3:0] ビットの設定に従います。例えば、ASZ[3:0] ビットにより、1M バイトの領域を設定した場合は、ASR0 ~ ASR2 レジスタの下位4ビットは無視され、A[31:20] ビットのみ意味があります。

ASR0 レジスタは、INIT および RST により、"0000_H" に初期化されます。ASR1 ~ ASR2 は、INIT および RST によっては初期化されず不定となります。LSI の動作開始後、CSER レジスタにより各チップセレクト領域を有効にする前に、必ず対応する ASR レジスタを設定してください。

4.2.2 ACR0 ~ ACR2 (Area Configuration Register)

Area Configuration Register の詳細を説明します。

■ ACR0 ~ ACR2 (Area Configuration Register) のレジスタ構成

ACR0 ~ ACR2 のレジスタ構成は、以下のとおりです。

								初期値		アクセス
								INIT 時	RST 時	
ACR0H	bit	15	14	13	12	11	10	9	8	
0000 0642 _H		ASZ3	ASZ2	ASZ1	ASZ0	DBW1	DBW0	-	-	1111XX _{--B} 1111** _{--B} R/W
ACR0L	bit	7	6	5	4	3	2	1	0	
0000 0643 _H		-	-	WREN	0	TYP3	TYP2	TYP1	TYP0	--000000 _B --000000 _B R/W
ACR1H	bit	15	14	13	12	11	10	9	8	
0000 0646 _H		ASZ3	ASZ2	ASZ1	ASZ0	DBW1	DBW0	-	-	xxxxxx _{--B} xxxxxx _{--B} R/W
ACR1L	bit	7	6	5	4	3	2	1	0	
0000 0647 _H		-	-	WREN	LEND	TYP3	TYP2	TYP1	TYP0	--xxxxxx _B --xxxxxx _B R/W
ACR2H	bit	15	14	13	12	11	10	9	8	
0000 064A _H		ASZ3	ASZ2	ASZ1	ASZ0	DBW1	DBW0	-	-	xxxxxx _{--B} xxxxxx _{--B} R/W
ACR2L	bit	7	6	5	4	3	2	1	0	
0000 064B _H		-	-	WREN	LEND	TYP3	TYP2	TYP1	TYP0	--xxxxxx _B --xxxxxx _B R/W

R/W: リード / ライト可能

ACR0 ~ ACR2(Area Configuration Register 0 ~ 2) は、各チップセレクト領域の機能を設定します。

[bit15 ~ bit12] ASZ3 ~ ASZ0 (Area Size bit[3:0])

各チップセレクト領域のサイズを、表 4.2-1 のように設定します。

表 4.2-1 Area Size ビットの各チップセレクト領域の設定サイズ

ASZ3	ASZ2	ASZ1	ASZ0	各チップセレクト領域のサイズ
0	0	0	0	64K バイト (00010000 _H バイト, ASR A[31:16] ビット指定が有効)
0	0	0	1	128K バイト (00020000 _H バイト, ASR A[31:17] ビット指定が有効)
0	0	1	0	256K バイト (00040000 _H バイト, ASR A[31:18] ビット指定が有効)
0	0	1	1	512K バイト (00080000 _H バイト, ASR A[31:19] ビット指定が有効)
0	1	0	0	1M バイト (00100000 _H バイト, ASR A[31:20] ビット指定が有効)
0	1	0	1	2M バイト (00200000 _H バイト, ASR A[31:21] ビット指定が有効)
0	1	1	0	4M バイト (00400000 _H バイト, ASR A[31:22] ビット指定が有効)
0	1	1	1	8M バイト (00800000 _H バイト, ASR A[31:23] ビット指定が有効)
1	0	0	0	16M バイト (01000000 _H バイト, ASR A[31:24] ビット指定が有効)
1	0	0	1	32M バイト (02000000 _H バイト, ASR A[31:25] ビット指定が有効)
1	0	1	0	64M バイト (04000000 _H バイト, ASR A[31:26] ビット指定が有効)
1	0	1	1	128M バイト (08000000 _H バイト, ASR A[31:27] ビット指定が有効)
1	1	0	0	256M バイト (10000000 _H バイト, ASR A[31:28] ビット指定が有効)
1	1	0	1	512M バイト (20000000 _H バイト, ASR A[31:29] ビット指定が有効)
1	1	1	0	1024M バイト (40000000 _H バイト, ASR A[31:30] ビット指定が有効)
1	1	1	1	2048M バイト (80000000 _H バイト, ASR A[31] ビット指定が有効)

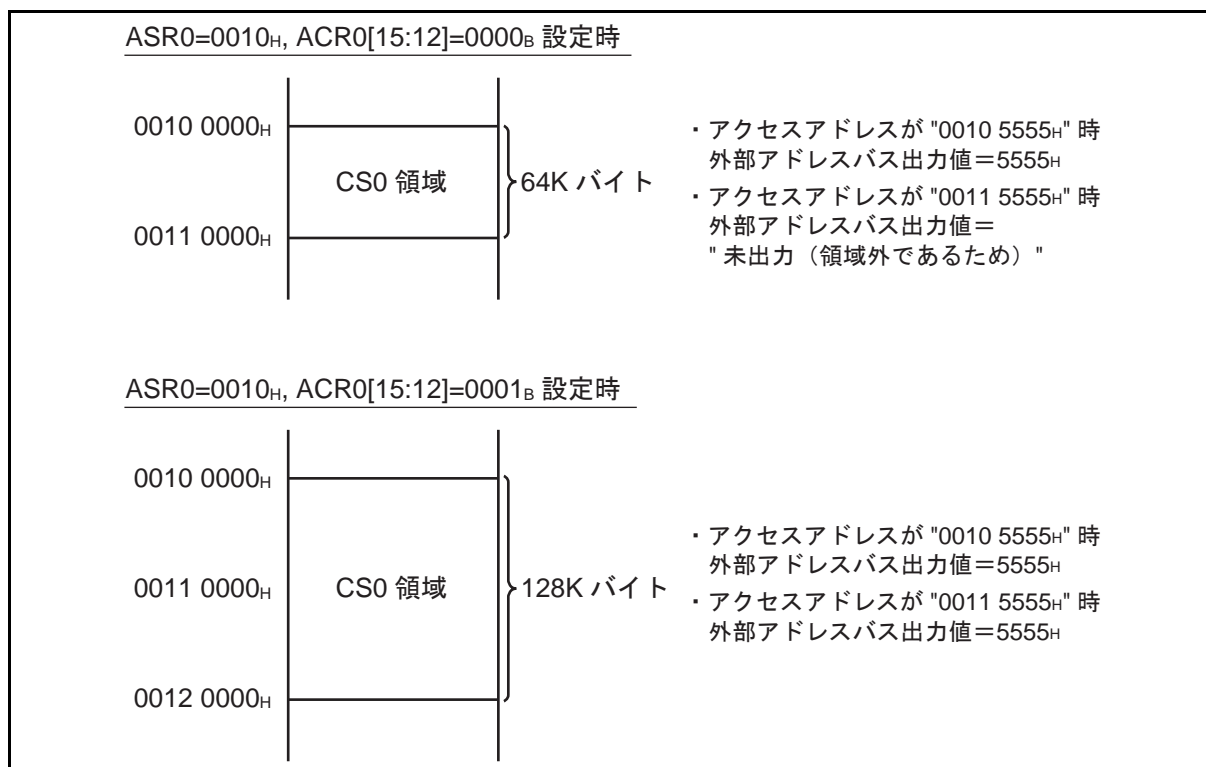
ASZ[3:0] では、ASR とのアドレス比較のビット数を変更させることにより、各領域のサイズを設定します。そのため、ASR には比較されないビットが存在します。

ACR0 の ASZ[3:0] ビットは、RST により "1111_B"(0F_H) に初期化されますが、この設定にかかわらず RST 直後の CS0 領域は特別に 00000000_H から FFFFFFFF_H(全領域) に設定されています。ACR0 への最初の書込み後より、全領域設定が解除され、上記の表に従ったサイズに設定されます。

< 注意事項 >

本デバイスは外部アドレスバス幅は 16 ビットであるため、ASZ [3:0] "0001_B" となる設定は意味を持ちません。ASZ [3:0] "0001_B" となる設定を行った場合、図 4.2-1 に示したようなミラー配置となります。

図 4.2-1 ASR レジスタと ACR レジスタとの設定例



[bit11, bit10] DBW1, DBW0 (Data Bus Width[1:0])

各チップセレクト領域のデータバス幅を、以下のように設定します。

DBW1	DBW0	データバス幅
0	0	8 ビット (バイトアクセス)
0	1	16 ビット (ハーフワードアクセス)
1	0	設定禁止
1	1	設定禁止

ACR0 の DBW[1:0] ビットには、リセットシーケンス中にモードベクタの WTH ビットの値と同じ値が自動的に書き込まれます。

[bit9 ~ bit6] Reserved : 予約ビット

必ず "0000_B" を設定してください。

[bit5] WREN (WRite ENable)

各チップセレクト領域の書込みの許可・禁止を設定します。

WREN	書込み許可・禁止
0	書込み禁止
1	書込み許可

書込みが禁止された領域に対する書込みアクセスが内部バスから発生しても、そのアクセスは無視され、外部アクセスを一切行いません。

データ領域など、書込みが必要な領域は、WREN ビットに "1" を設定してください。

[bit4] LEND (Little ENDian select)

各チップセレクト領域のバイトオーダリングを設定します。

LEND	バイトオーダリング
0	ビッグエンディアン
1	リトルエンディアン

ACR0 の LEND ビットには、必ず "0" を設定してください。CS0 領域はビッグエンディアンのみをサポートします。

[bit3 ~ bit0] TYP3 ~ TYP0 (TYPe select)

各チップセレクト領域のアクセスタイプを、以下のように設定します

TYP3	TYP2	TYP1	TYP0	アクセスタイプ
0	0	x	x	通常アクセス (非同期 SRAM, I/O)
	1	x	x	アドレスデータマルチプレックスアクセス (8/16 ビットバス幅限定)
	x	x	0	RDY 端子による WAIT 挿入無効
		x	1	RDY 端子による WAIT 挿入有効
		0	x	設定禁止
		1	x	設定禁止
1	0	0	0	設定禁止
			1	設定禁止
	0	1	0	設定禁止
	0	1	1	設定禁止
	1	0	0	設定禁止
	1	0	1	設定禁止
	1	1	0	設定禁止
	1	1	1	マスク領域設定 (アクセスタイプは重複した 領域のものになります)*

各ビットは、組み合わせて設定します。

*: CS 領域マスク設定機能

ある CS 領域 (以降、ベース設定領域とよびます) の中に、一部動作設定を変更した領域を定義したい場合、別の CS 領域の設定にて、ACR:TYP[3:0]=1111_B を設定し、マスク設定領域として機能させることができます。

マスク設定機能を使用しない場合、複数の CS 領域でオーバーラップする領域設定は禁止します。

マスク設定領域へのアクセスは、以下のような動作を行います。

- マスク設定領域に対応する CSX はアサートされません。
- ベース設定領域に対応する CSX がアサートされます。
- ACR の以下の設定はマスク設定領域側のものが有効になります。
bit11, bit10 DBW[1:0]: バス幅設定
bit5 WREN: ライト許可設定
(注意事項) この設定のみ、ベース設定領域と異なる設定は禁止します。
bit4 LEND: リトルエンディアン設定
- ACR の以下の設定はベース設定領域側のものが有効になります。
bit3 ~ bit0 TYP[3:0]: アクセスタイプ設定

- AWR の設定はマスク設定領域側のものが有効になります。
マスク設定領域は、ほかの CS 領域（ベース設定領域）内の一部の領域にのみ設定できます。ベース設定領域がない領域に対して、マスク設定領域を設けてはいけません。また、マスク設定領域を複数重複させてもいけません。ASR および ACR:ASZ[3:0] ビットの設定には十分注意してください。

< 注意事項 >

[bit3 ~ bit0] TYP[3:0] についての制限事項は以下のとおりです。

- ライト許可設定をマスクで実現することはできません。
 - ライト許可設定は、ベースとなる CS 領域とマスク設定領域とで同じ設定としてください。
 - マスク設定領域でライト禁止を設定すると、その領域はマスクされずベース CS 領域として動作します。
 - ベース CS 領域でライト禁止を設定してマスク設定領域でライト許可を設定すると、ベース設定のない領域となり誤動作します。
-

4.2.3 AWR0 ~ AWR2 (Area Wait Register)

Area Wait Register の詳細を説明します。

■ AWR0 ~ AWR2 (Area Wait Register) のレジスタ構成

AWR0 ~ AWR2 のレジスタ構成は、以下のとおりです。

AWR0H									
アドレス	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	初期値
0000 0660 _H	W15	W14	W13	W12	-	-	-	-	INIT 時 :0111---- _B RST 時 :0111---- _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
AWR0L									
アドレス	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16	初期値
0000 0661 _H	W07	W06	W05	W04	-	W02	W01	W00	INIT 時 :1111-111 _B RST 時 :1111-011 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
AWR1H									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0000 0662 _H	W15	W14	W13	W12	-	-	-	-	INIT 時 :xxxx---- _B RST 時 :xxxx---- _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
AWR1L									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000 0663 _H	W07	W06	W05	W04	-	W02	W01	W00	INIT 時 :xxxx-xxx _B RST 時 :xxxx-xxx _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
AWR2H									
アドレス	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	初期値
0000 0664 _H	W15	W14	W13	W12	-	-	-	-	INIT 時 :xxxx---- _B RST 時 :xxxx---- _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
AWR2L									
アドレス	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16	初期値
0000 0665 _H	W07	W06	W05	W04	-	W02	W01	W00	INIT 時 :xxxx-xxx _B RST 時 :xxxx-xxx _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W: リード / ライト可能									

AWR0 ~ AWR2 は、各チップセレクト領域の各種ウェイトタイミングを指定します。

ACR0 ~ ACR2 レジスタのアクセスタイプ (TYP3 ~ TYP0 ビット) の設定により、各ビットの動きが変わります。

■ 通常アクセスおよびアドレス/データマルチプレックスアクセス

ACR0 ~ ACR2 レジスタのアクセスタイプ (TYP[3:0] ビット) に以下の設定を行ったチップセレクト領域は、通常アクセスまたはアドレス/データマルチプレックスアクセス動作を行う領域となります。

TYP3	TYP2	TYP1	TYP0	アクセスタイプ
0	0	x	x	通常アクセス (非同期 SRAM, I/O, シングル / ページ)
0	1	x	x	アドレスデータマルチプレックスアクセス (8/16 ビットバス幅限定)

通常アクセスまたはアドレス / データマルチプレックスアクセス領域に対しての AWR0 ~ AWR2 の各ビットの機能を以下に示します。AWR0 以外は初期値が不定ですので、各領域を CSER レジスタによって有効にする前に設定を行ってください。

[bit15 ~ bit12] W15 ~ W12 (ファーストアクセスウェイトサイクル :First Access Wait Cycle)

各サイクルの最初のアクセスサイクルに挿入するオートウェイトサイクル数を設定します。バーストアクセスサイクル以外は、このウェイト設定のみ使用されます。

CS0 領域は、初期値 7 ウェイトに設定されます。その他の領域は初期値不定です。

W15	W14	W13	W12	ファーストアクセスウェイトサイクル
0	0	0	0	自動ウェイトサイクル 0
0	0	0	1	自動ウェイトサイクル 1
...				...
1	1	1	1	自動ウェイトサイクル 15

[bit11 ~ bit8] Reserved : 予約ビット

必ず "1111_B" を設定してください。

[bit7, bit6] W07, W06 (リード ライトアイドルサイクル : Read Write Idle Cycle)

リード ライトアイドルサイクルは、リードサイクル後にライトサイクルが続く場合にリードデータとライトデータのデータバス上での衝突を防ぐために設定します。アイドルサイクル中はすべてのチップセレクト信号をネゲートし、データ端子はハイインピーダンス状態を維持します。

リード後にライトが続く場合、もしくは、リードの後に別のチップセレクト領域へのアクセスが発生した場合に指定したアイドルサイクルを挿入します。

W07	W06	リード ライトアイドルサイクル
0	0	0 サイクル
0	1	1 サイクル
1	0	2 サイクル
1	1	3 サイクル

[bit5, bit4] W05, W04 (ライトリカバリサイクル : Write Recovery Cycle)

ライトリカバリサイクルは、ライトアクセス後に続けてアクセスする際の間隔に制限のあるデバイスへのアクセスを制御する場合に設定します。ライトリカバリサイクル中はすべてのチップセレクト信号をネゲートし、データ端子はハイインピーダンスを維持します。

ライトリカバリサイクルを "1" 以上に設定した場合は、ライトアクセスの後には必ずライトリカバリサイクルが挿入されます。

W05	W04	ライトリカバリサイクル
0	0	0 サイクル
0	1	1 サイクル
1	0	2 サイクル
1	1	3 サイクル

[bit3] Reserved : 予約ビット

必ず "1" を設定してください。

[bit2] W02 (アドレス CSX 遅延 : Address CSX Delay)

アドレス CSX 遅延設定は、CSX の立下りに対してアドレスなどが一定のセットアップを必要とする場合や、連続して同一のチップセレクト領域にアクセスする際にも CSX のエッジを必要とする場合などに設定します。

アドレスおよび ASX 出力から CS0X ~ CS2X 出力のディレイを設定します。

W02	アドレス CSX 遅延
0	遅延なし
1	遅延あり

"0" を設定して遅延なしを選択した場合は、ASX のアサートと同じタイミングで CS0X ~ CS2X がアサート開始されます。このとき、同じチップセレクト領域に連続したアクセスを実行した場合、両アクセスの間も CS0X ~ CS2X はアサートを継続したまま変化しないことがあります。

"1" を設定して遅延ありを選択した場合は、外部メモリクロック SYSCLK 出力の立上りから CS0X ~ CS2X がアサート開始されます。このとき、同じチップセレクト領域に連続したアクセスを実行した場合でも、両アクセスの間に CS0X ~ CS2X ネゲートタイミングが発生します。

CSX 遅延ありを選択した場合は、遅延させた CSX のアサートからリード / ライトストロープをアサートする前に、1サイクルのセットアップサイクルを挿入します (W01 の CSX RDX/WR0X, WR1X セットアップ設定と同等の動作となります)。

[bit1] W01 (CSX RDX/WR0X, WR1X セットアップ延長サイクル:
CS RDX/WR0X, WR1X setup)

CSX RDX/WR0X, WR1X セットアップ延長サイクルは、CSX アサート後、リード / ライトストローブをアサートするまでの期間を延長する場合に設定します。CSX アサート後、リード / ライトストローブをアサートする前に最低 1 サイクルのセットアップ延長サイクルを挿入します。

W01	CSX RDX/WR0X, WR1X セットアップ延長サイクル
0	0 サイクル
1	1 サイクル

"0" を設定して 0 サイクルを選択した場合は、最速で、CSX アサート直後の外部メモリクロック SYSCLK 出力の立上りから RDX/WR0X, WR1X が出力されます。RDX/WR0X, WR1X は内部バスの状態により、1 サイクル以上遅れることもあります。

"1" を設定して 1 サイクルを選択した場合は、RDX/WR0X, WR1X とともに、必ず 1 サイクル以上遅れて出力されます。

同一チップセレクト領域内で CSX をネゲートしないまま連続してアクセスする場合、このセットアップ延長サイクルは挿入されません。アドレス確定のセットアップ延長サイクルが必須となる場合、W02 ビットを有効にしてアドレス CSX 遅延を挿入することにより、毎アクセス時に CSX がいったんネゲートされるため、このセットアップ延長サイクルが有効となります。

W02 の CSX 遅延設定を挿入してある場合、W01 ビットの設定によらず常にこのセットアップサイクルが有効となります。

[bit0] W00 (RDX/WR0X, WR1X CSX ホールド延長サイクル:
RDX/WR0X, WR1X CSX Hold Cycle)

RDX/WR0X, WR1X CSX ホールド延長サイクルは、リード/ライトストロブネゲート後、CSX ネゲートまでの期間を延長する場合に設定します。リード/ライトストロブネゲート後、CSX をネゲートする前に1サイクルのホールド延長サイクルを挿入します。

W00	RDX/WR0X, WR1X CS ホールド延長サイクル
0	0 サイクル
1	1 サイクル

"0" を設定して0サイクルを選択した場合は、RDX/WR0X, WR1X がネゲートされた後の外部メモリクロック SYSCLK 出力の立上りエッジよりホールド遅延の経過後にCS0X ~ CS2X がネゲートされます。

"1" を設定して1サイクルを選択した場合は、CS0X ~ CS2X は1サイクル遅れてネゲートされます。

同一チップセレクト領域内で、CSX をネゲートしないまま連続してアクセスする場合、このホールド延長サイクルは挿入されません。アドレス確定のホールド延長サイクルが必須となる場合、W02 ビットを有効にしてアドレス CSX 遅延を挿入することにより、毎アクセス時にCSX がいったんネゲートされるため、このホールド延長サイクルが有効となります。

4.2.4 CSER (Chip Select Enable register)

Chip Select Enable register の詳細を説明します。

■ CSER(Chip Select Enable register) のレジスタ構成

CSER のレジスタ構成は、以下のとおりです。

アドレス	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	初期値
0000 0680 _H	-	-	-	-	-	CSE2	CSE1	CSE0	INIT 時 :-----001 _B RST 時 :-----001 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W: リード / ライト可能

各チップセレクト領域の許可 / 禁止を設定します。

[bit31 ~ bit27] Reserved : 予約ビット

必ず "00000_B" を設定してください。

[bit26 ~ bit24] CSE[3:0] (チップセレクト領域許可 : Chip select enable 0 ~ 3)

CS0X ~ CS2X の各チップセレクト領域許可ビットです。

初期値は、"00000001_B" で CS0 領域のみ許可されています。

"1" を書き込むことにより ASR0 ~ ASR2, ACR0 ~ ACR2, AWR0 ~ AWR2 の設定に従って動作します。

許可にする前に、必ず対応するチップセレクト領域のすべての設定を行ってください。

CSE[2:0]	領域コントロール
0	禁止
1	許可

表 4.2-2 に、CSE のビットと対応する CSX を示します。

表 4.2-2 CSE のビットと対応する CSX

CSE のビット	対応する CSX
bit24:CSE0	CS0X
bit25:CSE1	CS1X
bit26:CSE2	CS2X

MB91470/480 シリーズ

4.3 チップセレクト領域

外部バスインタフェースは全3領域分のチップセレクト領域を設定できます。
各領域のアドレス空間は ASR0 ~ ASR2 (Area Select Register) と ACR0 ~ ACR2 (Area Configuration Register) で、4G バイトの空間に最小 64K バイト単位で任意に配置することができます。
これらのレジスタによって指定された領域に対してバスアクセスを行うと、アクセスサイクル中に対応するチップセレクト信号 CS0X ~ CS2X がアクティブ ("L" 出力) になります。

■ ASR および ASZ[3:0] の設定例

1) ASR1=0005_H ACR1->ASZ[3:0]=0000_B

チップセレクト領域 1 は、00050000_H から 0005FFFF_H に割り当てられます。

2) ASR2=0011_H ACR2->ASZ[3:0]=0100_B

チップセレクト領域 2 は、00100000_H から 001FFFFF_H に割り当てられます。

このとき、ACR->ASZ[3:0] が 1M バイトの設定になっていますので、バウンダリは 1M バイト単位となり、ASR2[19:16] は無視されます。

リセット後は、ACR0 に書込みが行われるまでの間、00000000_H ~ FFFFFFFF_H がチップセレクト領域 0 に割り当てられます。

< 注意事項 >

チップセレクト領域は、お互いにオーバーラップしないように設定してください。

図 4.3-1 にチップセレクト領域を示します。

図 4.3-1 チップセレクト領域



4.4 エンディアンとバスアクセス

エンディアンとバスアクセスについて説明します。

■ エンディアンの概要

FR ファミリは特定の領域を除いて、チップセレクトごとにビッグエンディアンとリトルエンディアンを切り換えて使用することができます。

4.4.1 データバス幅と制御信号との関係



WR[1:0]X の制御信号は、データバス幅とは関係なくデータバスのバイト位置に常に 1 対 1 に対応します。

下記にバスモード別に設定されたデータバス幅で使用するデータバスのバイト位置とそれに対応する制御信号をまとめます。

■ 通常バスインタフェースの制御信号

図 4.4-1 に、通常バスインタフェースの 16 ビットバス幅および 8 ビットバス幅の制御信号を示します。

図 4.4-1 通常バスインタフェースの制御信号




a)16ビットバス幅		b)8ビットバス幅	
データバス	制御記号	データバス	制御記号
	WR0X		WR0X
	WR1X	-	-
-	-	-	-
-	-	-	-

(D23～D16は未使用)

■ 時分割入出力インタフェースの制御信号

図 4.4-2 に、時分割入出力インタフェースの 16 ビットバス幅および 8 ビットバス幅の制御信号を示します。

図 4.4-2 時分割入出力インタフェースの制御信号

a)16ビットバス幅			b)8ビットバス幅		
データバス	出力アドレス	制御記号	データバス	出力アドレス	制御記号
D31 	A15～A08	WR0X		A07～A00	WR0X
D16 	A07～A0	WR1X	-	-	-
-	-	-	-	-	-
-	-	-	-	-	-

(D23～D16は未使用)

4.4.2 ビッグエンディアンのバスアクセス

FR ファミリは CS0 領域を除いて、チップセレクトごとにビッグエンディアン/リトルエンディアンを切り換えて使用可能です。ACR レジスタの LEND ビットを "0" に設定した場合は、その領域はビッグエンディアンとして扱います。

通常 FR ファミリは、ビッグエンディアンで外部バスアクセスを行います。

■ ビッグエンディアンのデータフォーマット

図 4.4-3 に、ワードアクセス (LD, ST 命令実行時) のデータフォーマットによる内部レジスタと外部データバスとの関係を示します。

図 4.4-3 ワードアクセス (LD, ST 命令実行時)

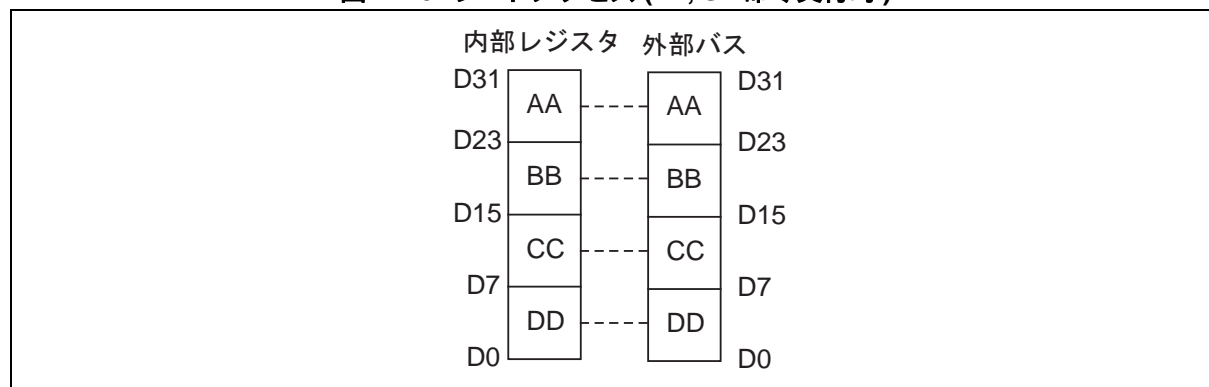


図 4.4-4 に、ハーフワードアクセス (LDUH, STH 命令実行時) のデータフォーマットによる内部レジスタと外部データバスとの関係を示します。

図 4.4-4 ハーフワードアクセス (LDUH, STH 命令実行時)

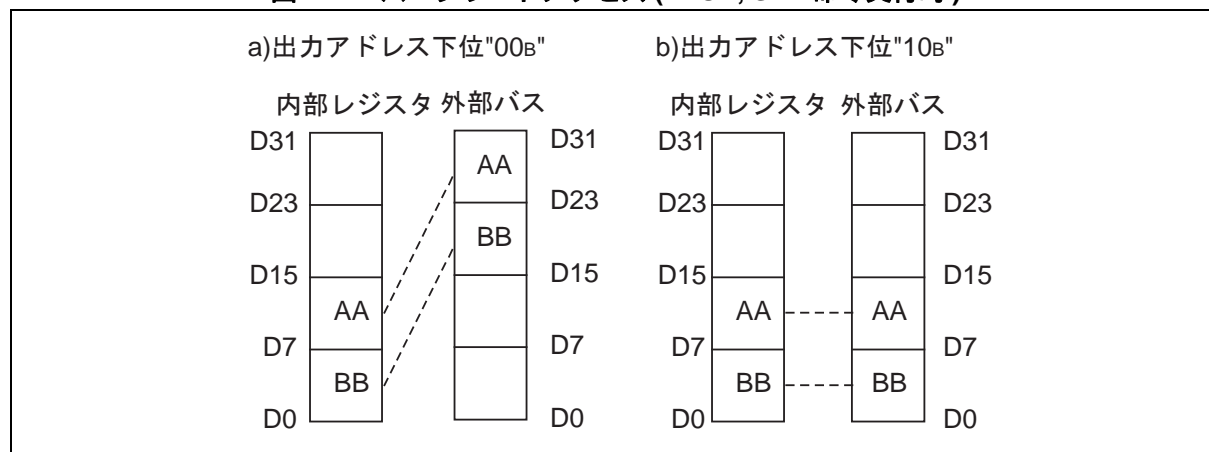
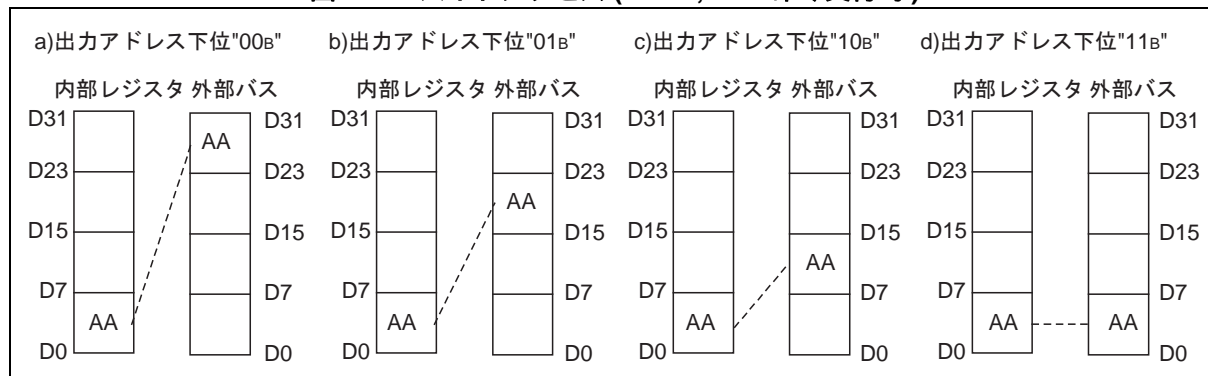


図 4.4-5 に、バイトアクセス (LDUB, STB 命令実行時) のデータフォーマットによる内部レジスタと外部データバスとの関係を示します。

図 4.4-5 バイトアクセス (LDUB, STB 命令実行時)



■ ビッグエンディアンのデータバス幅

図 4.4-6 に、16 ビットバス幅のデータバス幅を示します。

図 4.4-6 16 ビットバス幅のデータバス幅

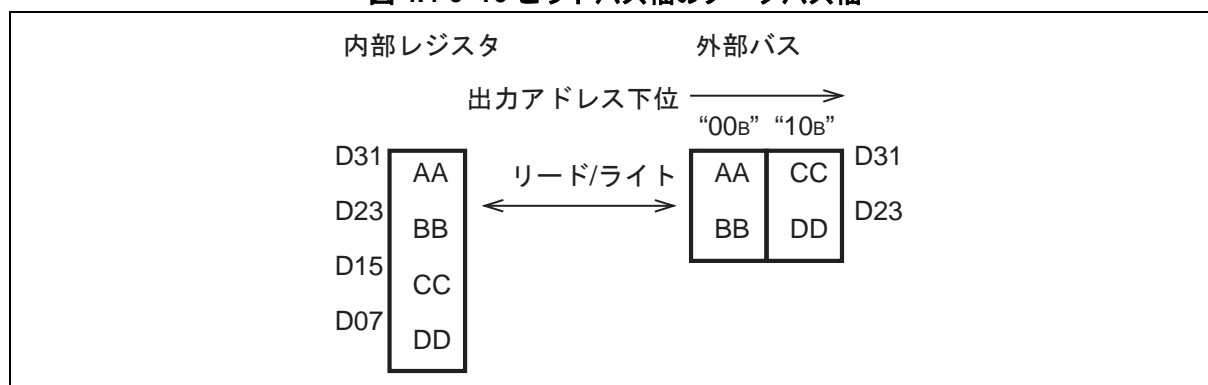
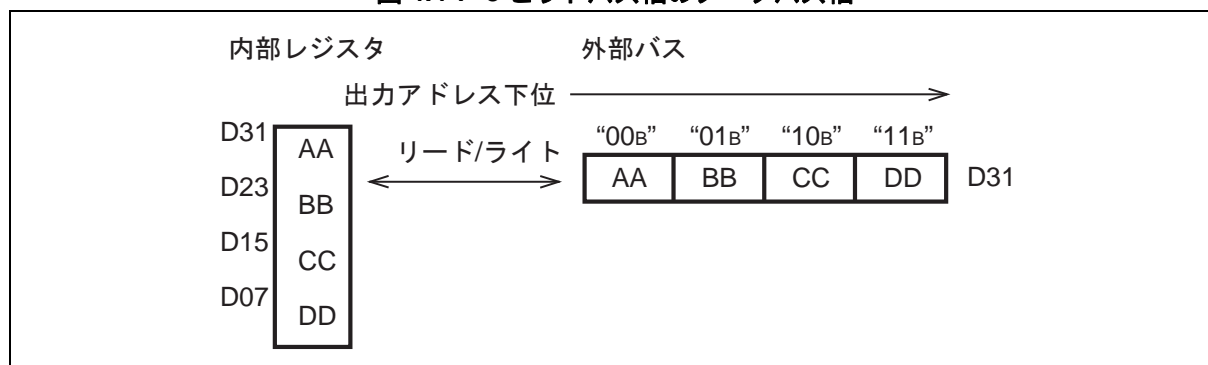


図 4.4-7 に、8 ビットバス幅のデータバス幅を示します。

図 4.4-7 8 ビットバス幅のデータバス幅



■ 外部バスアクセス

ビッグエンディアンは、外部バスアクセスを「16 ビット /8 ビットバス幅」「ワード / ハーフワード / バイトアクセス」の項目で、そのときの以下の項目をまとめます。

- アクセスバイト位置
- プログラムアドレスと出力アドレス
- バスアクセス回数

PA1/PA0 : プログラムで指定したアドレス下位 2 ビット

出力 A1/A0 : 出力するアドレスの下位 2 ビット

■ : 出力するアドレスの先頭バイト位置

■ + ■ : アクセスするデータバイト位置

~ : バスアクセス回数

FR ファミリは、ミスアラインエラーを検出しません。

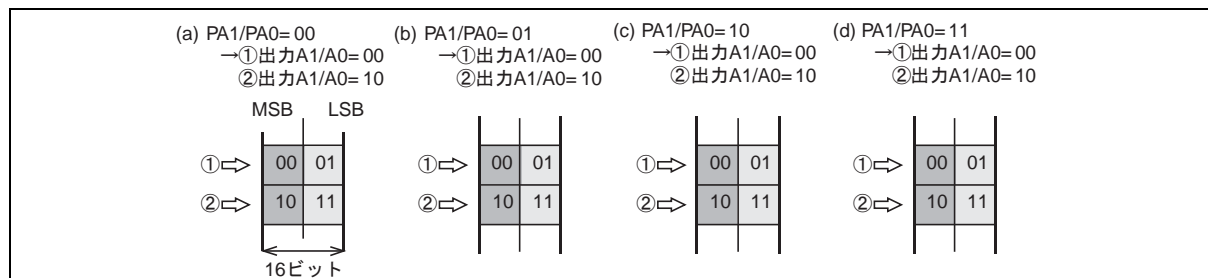
したがって、ワードアクセスの場合にはプログラムで指定したアドレス下位2ビットが "00" "01" "10" "11" であっても、出力するアドレスの下位 2 ビットはすべて "00" となり、ハーフワードアクセスの場合には "00" "01" のときには "00" に、"10" "11" のときには "10" になります。

● 16 ビットバス幅

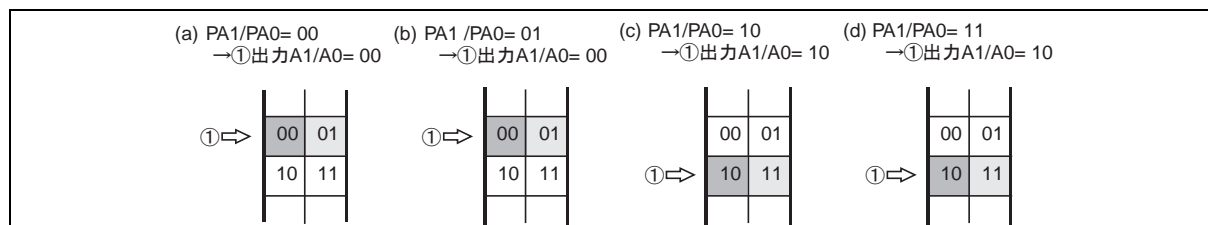
図 4.4-8 に、16 ビットバス幅の各アクセスを示します。

図 4.4-8 16 ビットバス幅の各アクセス

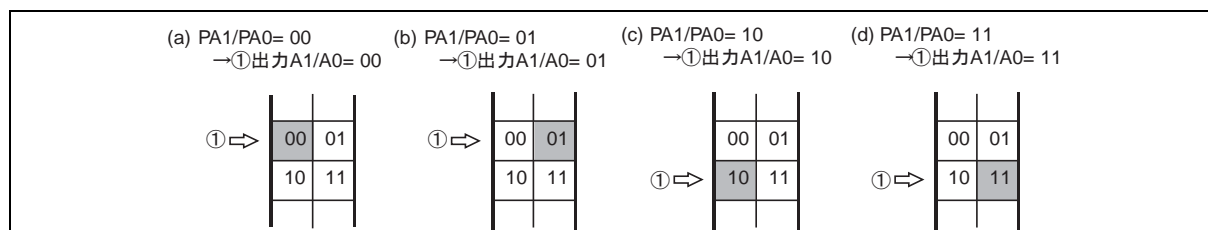
• ワードアクセス



• ハーフワードアクセス



• バイトアクセス

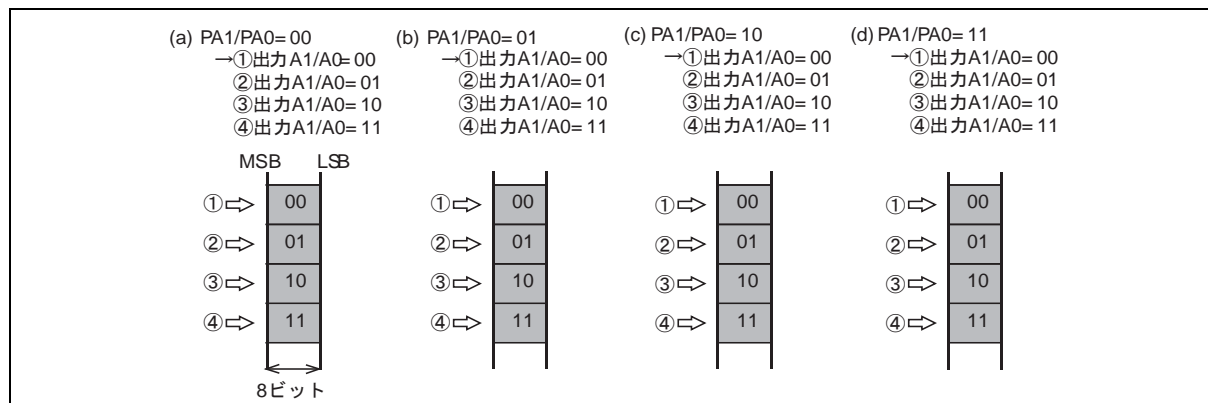


● 8ビットバス幅

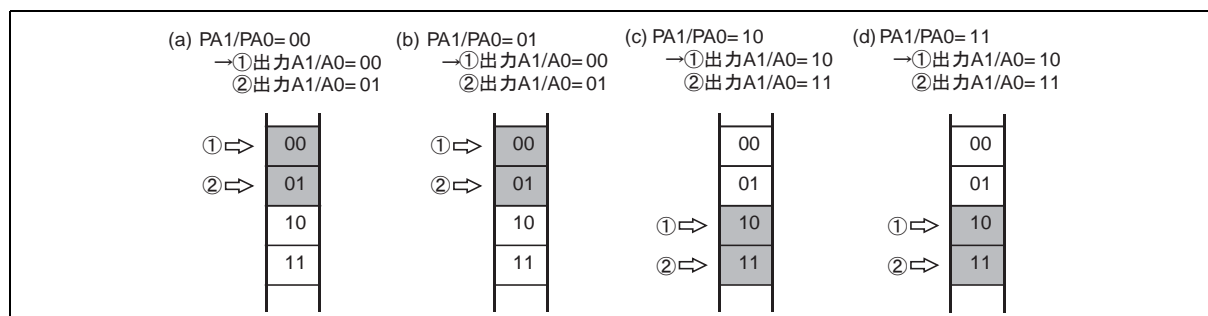
図 4.4-9 に、8 ビットバス幅の各アクセスを示します。

図 4.4-9 8 ビットバス幅の各アクセス

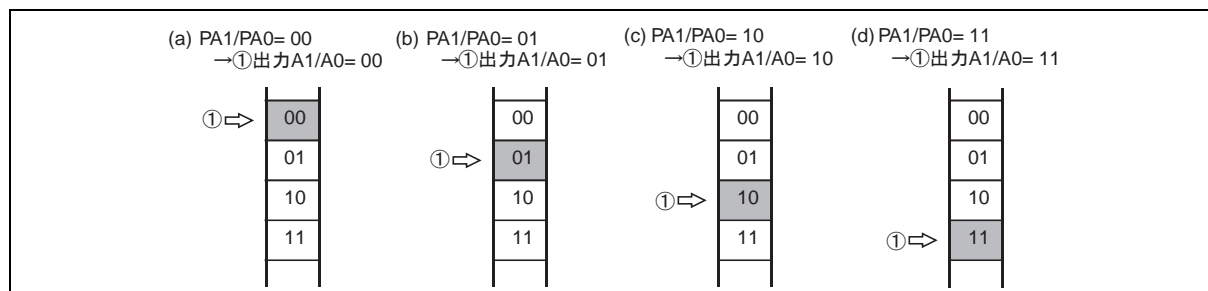
・ ワードアクセス



・ ハーフワードアクセス



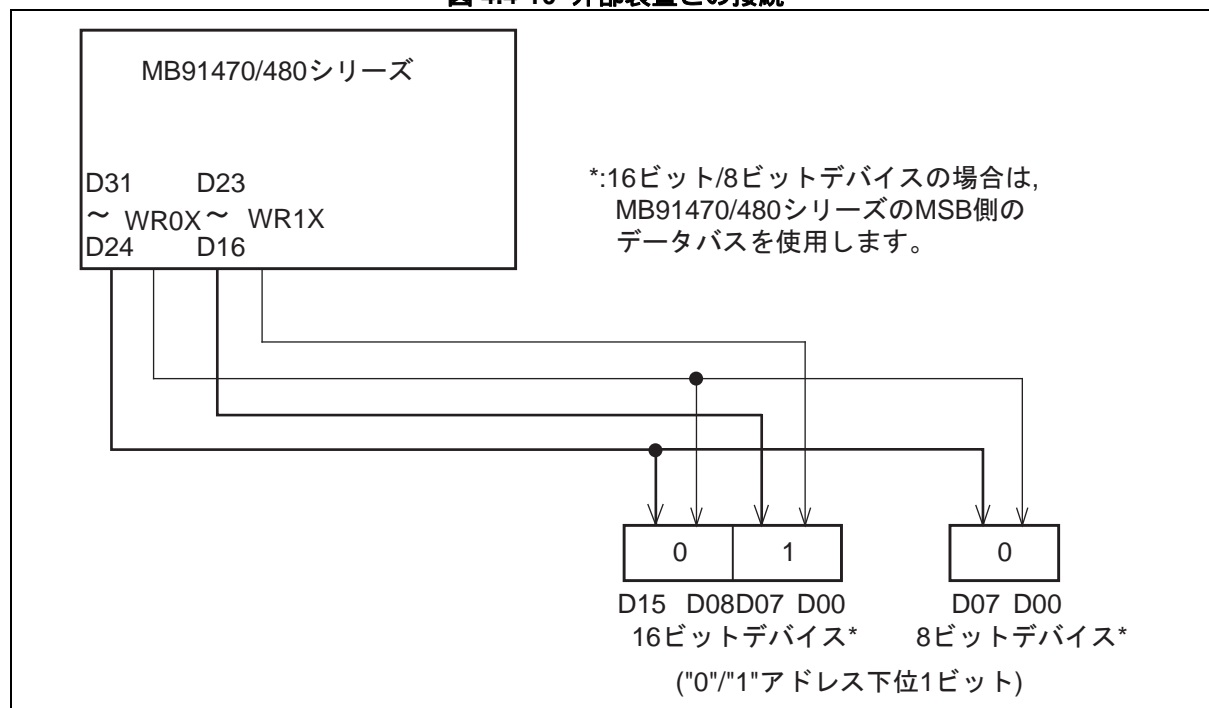
・ バイトアクセス



■ 外部との接続例

図 4.4-10 に LSI と外部装置との接続の例を示します。

図 4.4-10 外部装置との接続



4.4.3 リトルエンディアンのバスアクセス

FR ファミリは CS0 領域を除いて、チップセレクトごとにビッグエンディアン / リトルエンディアンを切り換えて使用可能です。ACR レジスタの LEND ビットを "1" に設定した場合は、その領域はリトルエンディアンとして扱います。

■ リトルエンディアンの概要

FR ファミリのリトルエンディアンバスアクセスは、ビッグエンディアン時のバスアクセス動作を利用し、基本的にはビッグエンディアン時の出力アドレスの順番と制御信号の出力は同じで、データバスのバイト位置をバス幅に応じてスワップすることにより実現しています。

接続時には、ビッグエンディアン領域とリトルエンディアン領域を物理的に分ける必要がありますので十分注意が必要です。

- 出力するアドレスの順番はビッグエンディアン / リトルエンディアンで変わりません。
- ワードアクセス：
ビッグエンディアンのアドレス $A[1:0]=00_H$ に対応する MSB 側のバイトデータが、リトルエンディアンでは LSB 側のバイトデータになります。
ワードアクセスの場合は、ワード内の 4 バイトすべてのバイト位置が反転します。
- ハーフワードアクセス：
ビッグエンディアンのアドレス $A[0]$ に対応する MSB 側のバイトデータが、リトルエンディアンでは LSB 側のバイトデータになります。
ハーフワードアクセスの場合は、ハーフワード内の 2 バイトのバイト位置が反転します。
- バイトアクセス：
ビッグエンディアン / リトルエンディアンとも同じです。
- 16/8 ビットバス幅で使用するデータバス / 制御信号は、ビッグエンディアン / リトルエンディアンで変わりません。

〔リトルエンディアン領域に対する制限事項〕

- リトルエンディアン領域には、命令コードを配置しないでください。

■ リトルエンディアンのデータフォーマット

図 4.4-11 に、ワードアクセス時 (LD, ST 命令実行時) のデータフォーマットによる内部レジスタと外部データバスとの関係を示します。

図 4.4-11 ワードアクセス時 (LD, ST 命令実行時)

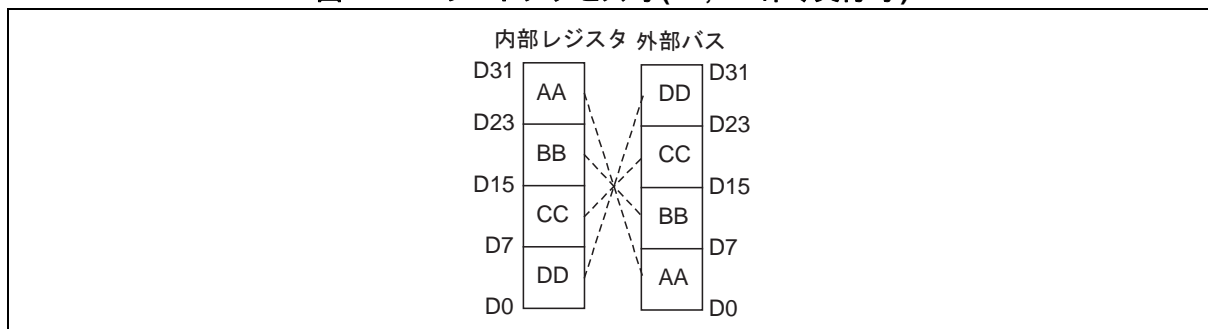


図 4.4-12 に、ハーフワードアクセス時 (LDUH, STH 命令実行時) のデータフォーマットによる内部レジスタと外部データバスとの関係を示します。

図 4.4-12 ハーフワードアクセス時 (LDUH, STH 命令実行時)

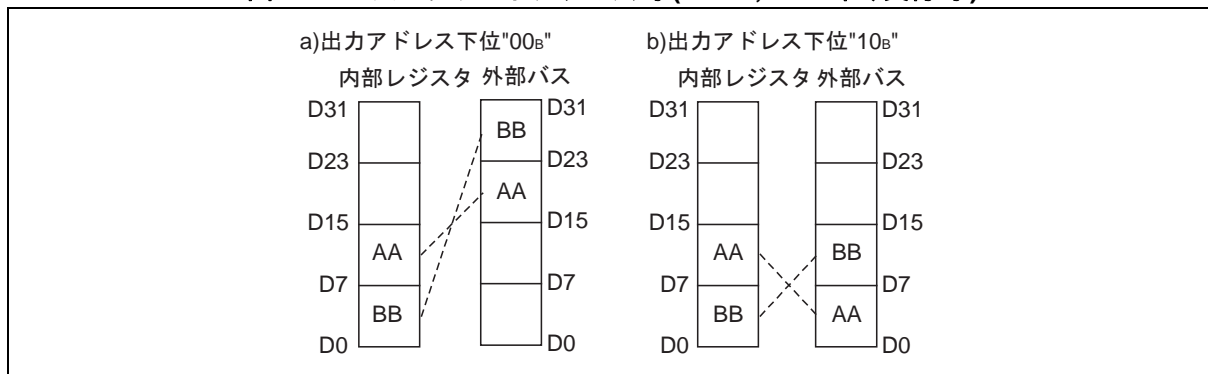
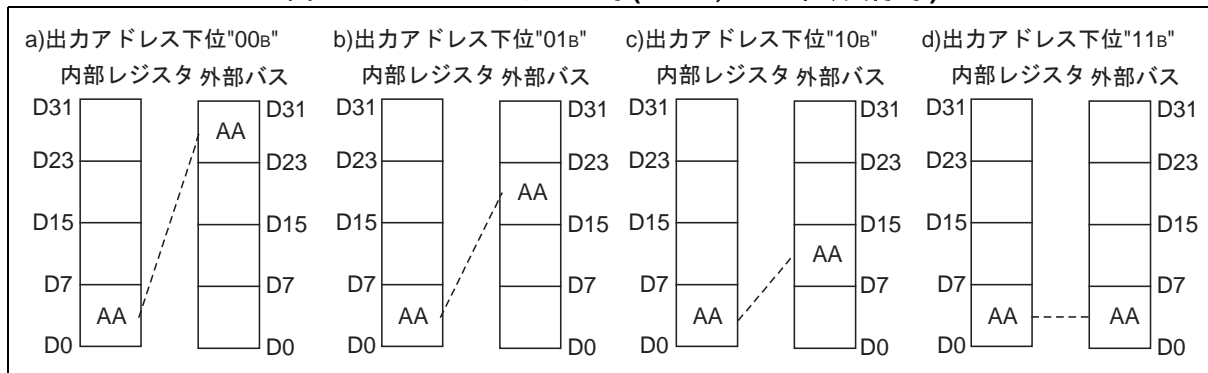


図 4.4-13 に、バイトアクセス時 (LDUB, STB 命令実行時) のデータフォーマットによる内部レジスタと外部データバスとの関係を示します。

図 4.4-13 バイトアクセス時 (LDUB, STB 命令実行時)



■ リトルエンディアンのデータバス幅

図 4.4-14 に、16 ビットバス幅のデータバス幅を示します。

図 4.4-14 16 ビットバス幅のデータバス幅

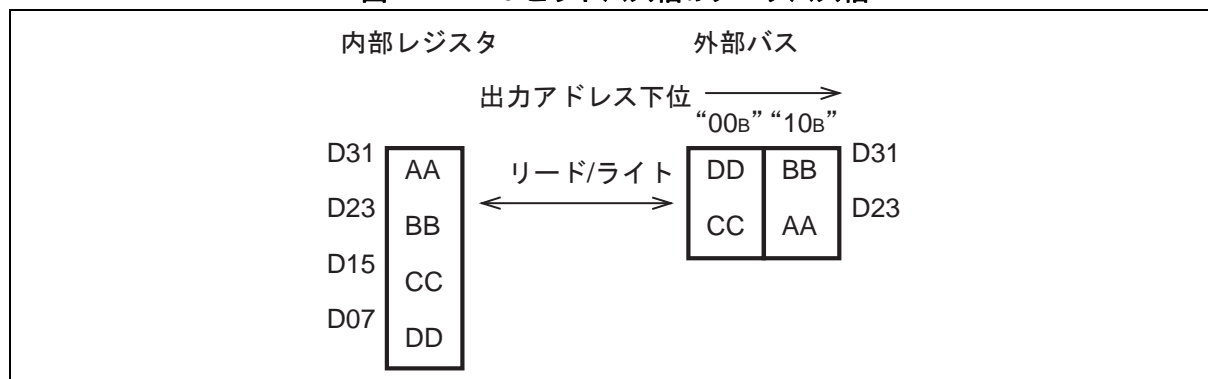


図 4.4-15 に、8 ビットバス幅のデータバス幅を示します。

図 4.4-15 8 ビットバス幅のデータバス幅

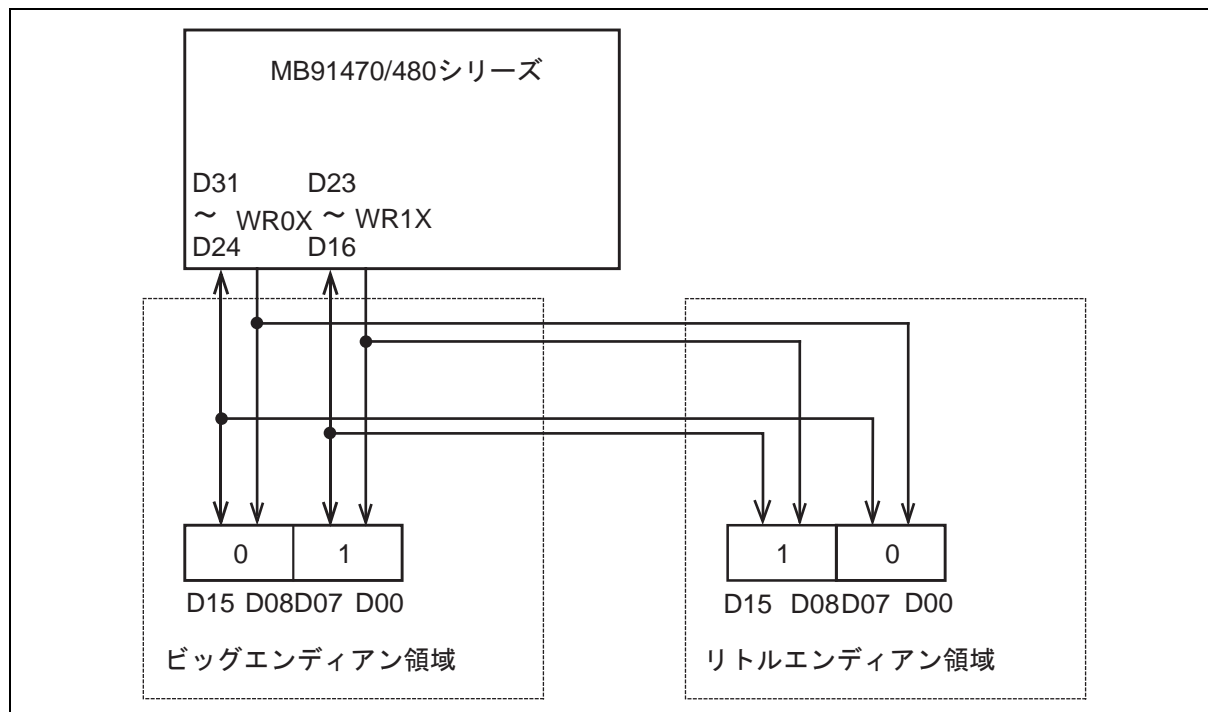


■ MB91470/480 シリーズとエンディアンの接続

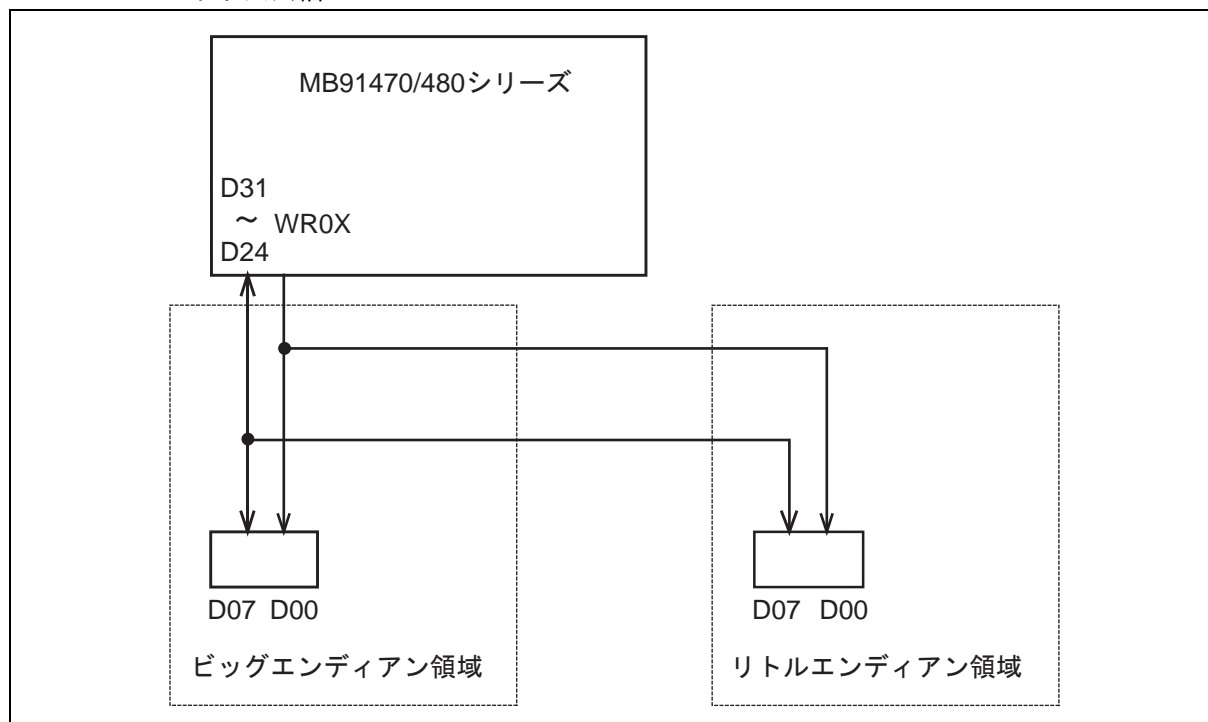
図 4.4-16 に、MB91470/480 シリーズとエンディアンの接続を示します。

図 4.4-16 MB91470/480 シリーズとエンディアンの接続

● 16 ビットバス幅



● 8 ビットバス幅



4.4.4 外部アクセス

エンディアンモードおよびバス幅による，内部レジスタと外部データバスとの関係について説明します。

■ ワードアクセス

ワードアクセスの場合は以下のとおりです。

	ビッグエンディアンモード	リトルエンディアンモード
16 ビット バス幅	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0” “2”</p> <p>D31 D31 D31 D31</p> <p>AA AA CC WR0X</p> <p>BB BB DD WR1X</p> <p>D16 D16</p> <p>CC — — —</p> <p>DD — — —</p> <p>D00</p> <p>① ②</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0” “2”</p> <p>D31 D31 D31 D31</p> <p>AA DD BB WR0X</p> <p>BB CC AA WR1X</p> <p>D16 D16</p> <p>CC — — —</p> <p>DD — — —</p> <p>D00</p> <p>① ②</p>
8 ビット バス幅	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0” “1” “2” “3”</p> <p>D31 D31 D31 D31</p> <p>AA AA BB CC DD WR0X</p> <p>D24 D24</p> <p>BB — — — —</p> <p>CC — — — —</p> <p>DD — — — —</p> <p>D00</p> <p>① ② ③ ④</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0” “1” “2” “3”</p> <p>D31 D31 D31 D31</p> <p>AA DD CC BB AA WR0X</p> <p>D24 D24</p> <p>BB — — — —</p> <p>CC — — — —</p> <p>DD — — — —</p> <p>D00</p> <p>① ② ③ ④</p>

■ ハーフワードアクセス

ハーフワードアクセスの場合は以下のとおりです。

	ビッグエンディアンモード	リトルエンディアンモード
16 ビット バス幅	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0”</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0”</p> <p>①</p>
	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “2”</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “2”</p> <p>①</p>
8 ビット バス幅	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0” “1”</p> <p>① ②</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0” “1”</p> <p>① ②</p>
	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “2” “3”</p> <p>① ②</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “2” “3”</p> <p>① ②</p>

■ バイトアクセス

バイトアクセスの場合は以下のとおりです。

	ビッグエンディアンモード	リトルエンディアンモード
16ビット バス幅	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0”</p> <p>D31 D31 D16 D00 AA AA WR0X</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0”</p> <p>D31 D31 D16 D00 AA AA WR0X</p> <p>①</p>
	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “1”</p> <p>D31 D31 D16 D00 BB BB WR1X</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “1”</p> <p>D31 D31 D16 D00 BB BB WR1X</p> <p>①</p>
	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “2”</p> <p>D31 D31 D16 D00 CC CC WR0X</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “2”</p> <p>D31 D31 D16 D00 CC CC WR0X</p> <p>①</p>
	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “3”</p> <p>D31 D31 D16 D00 DD DD WR1X</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “3”</p> <p>D31 D31 D16 D00 DD DD WR1X</p> <p>①</p>

(続く)

(続き)

	ビッグエンディアンモード	リトルエンディアンモード
8 ビット バス幅	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0”</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “0”</p> <p>①</p>
	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “1”</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “1”</p> <p>①</p>
	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “2”</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “2”</p> <p>①</p>
	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “3”</p> <p>①</p>	<p>内部レジスタ 外部端子 制御端子</p> <p>アドレス: “3”</p> <p>①</p>

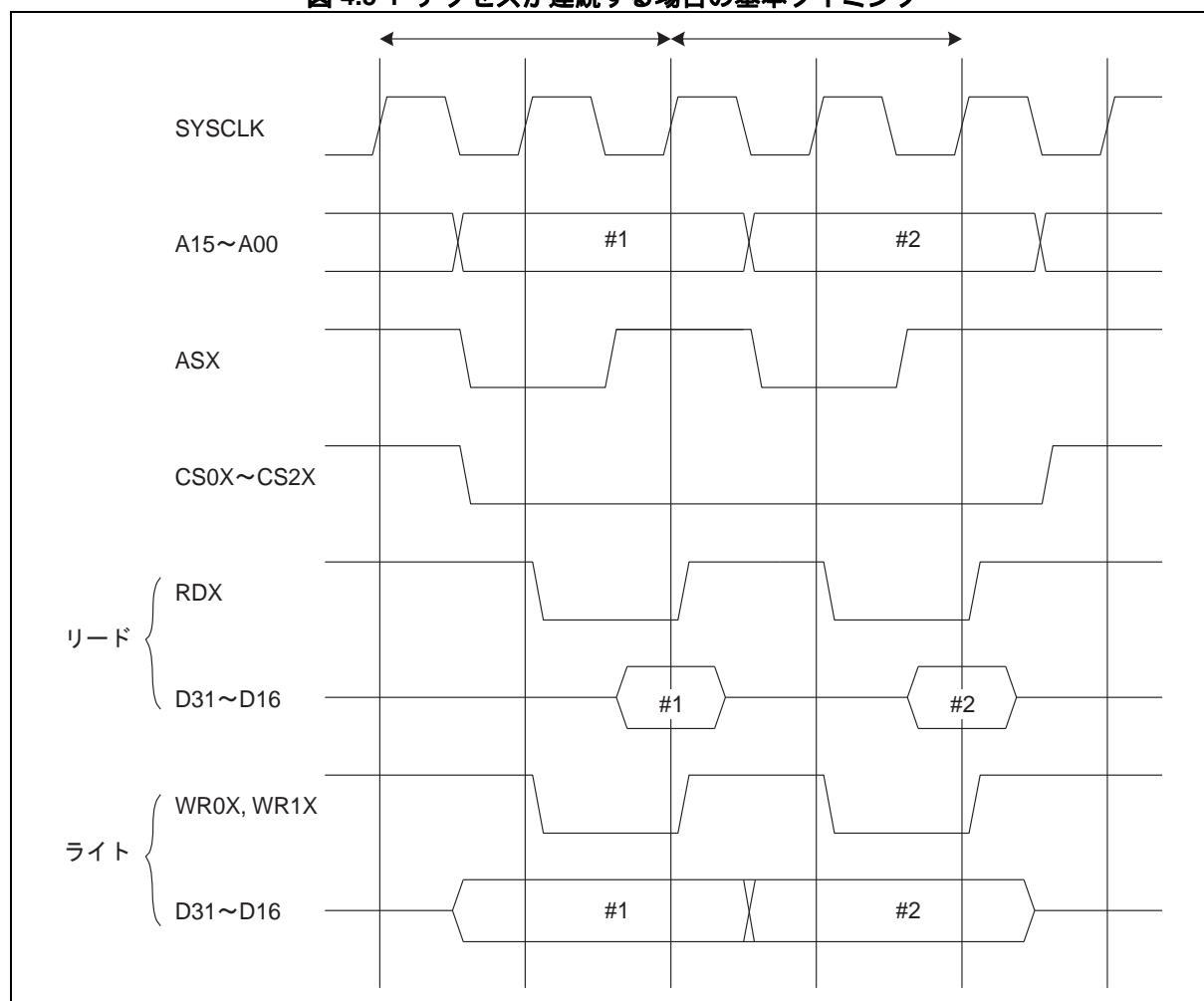
4.5 通常バスインタフェース

通常バスインタフェースでは、リードアクセス/ライトアクセスともに2クロックサイクルが基本バスサイクルになります。

■ 基本タイミング (アクセスが連続する場合) (TYP[3:0]= 0000_B, AWR=0008_H)

図 4.5-1 に、アクセスが連続する場合の基本タイミングを示します。

図 4.5-1 アクセスが連続する場合の基本タイミング



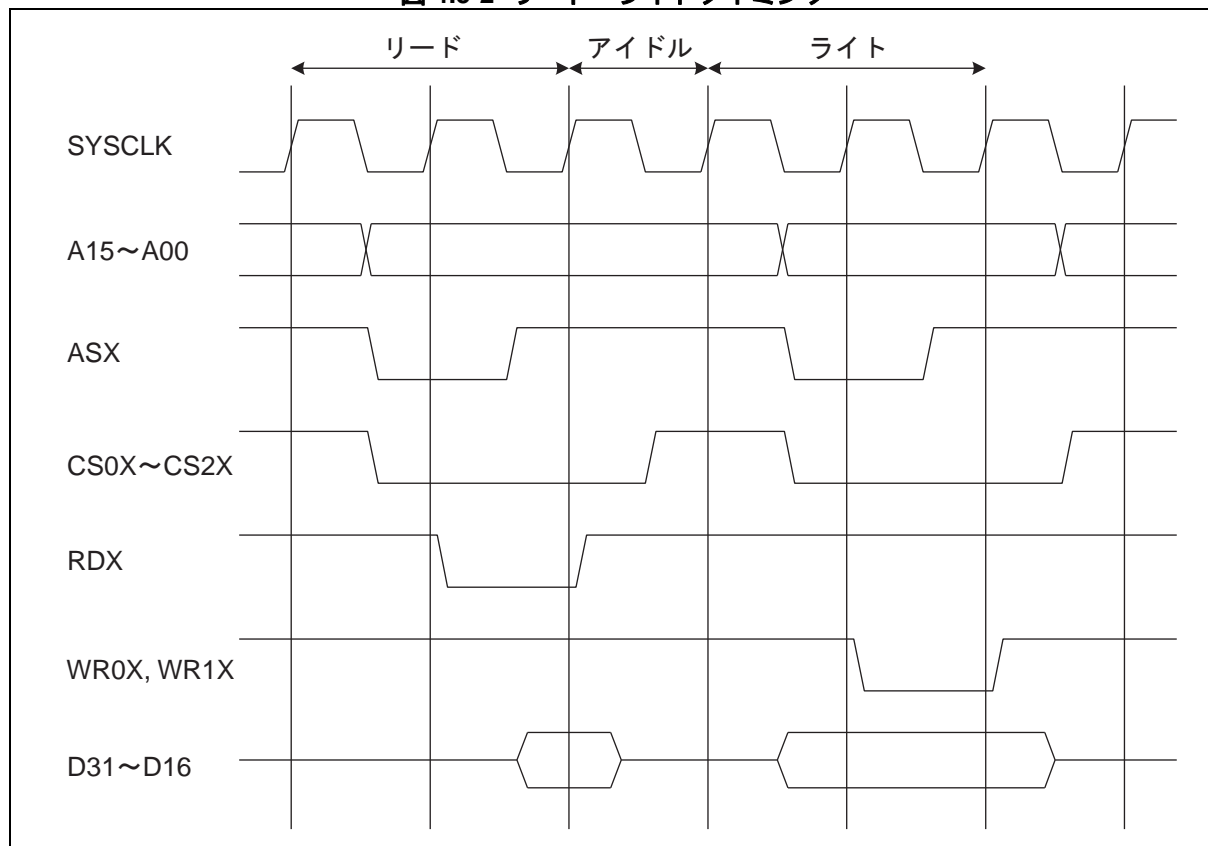
- ASX は、バスアクセス開始サイクルに 1 サイクルアサートします。
- A[15:0] は、ワード / ハーフワード / バイトアクセスの先頭バイト位置のアドレスをバスアクセス開始サイクルからバスアクセス終了サイクルまで出力します。
- CS0X ~ CS2X は、AWR0 ~ AWR2 レジスタの W02 ビットが "0" のときは、ASX と同じタイミングでアサートし、連続するアクセスがある場合には CS0X ~ CS2X はネゲートしません。AWR レジスタの W00 ビットが "0" の場合はバスサイクル終了後に CS0X ~ CS2X をネゲートし、W00 ビットが "1" の場合はバスアクセス終了の 1 サイクル後にネゲートします。

- RDX, WR0X, WR1X は、バスアクセス第2サイクルからアサートします。AWR レジスタ W15 ~ W12 ビットのウェイトサイクルを挿入した後にネゲートします。RDX, WR0X, WR1X をアサートするタイミングは AWR レジスタ W01 ビットを "1" に設定することにより 1 サイクル遅らせることができます。
- リードアクセスの場合、RDX アサート後にウェイトサイクルが終了したサイクルの SYSCLK の立上りで D[31:16] を取り込みます。
- ライトアクセスの場合、WR0X, WR1X をアサートしたタイミングから D[31:16] にデータを出力します。

■ リード ライトタイミング (TYP[3:0]=0000_B, AWR=0048_H)

図 4.5-2 に、リード ライトタイミングを示します。

図 4.5-2 リード ライトタイミング

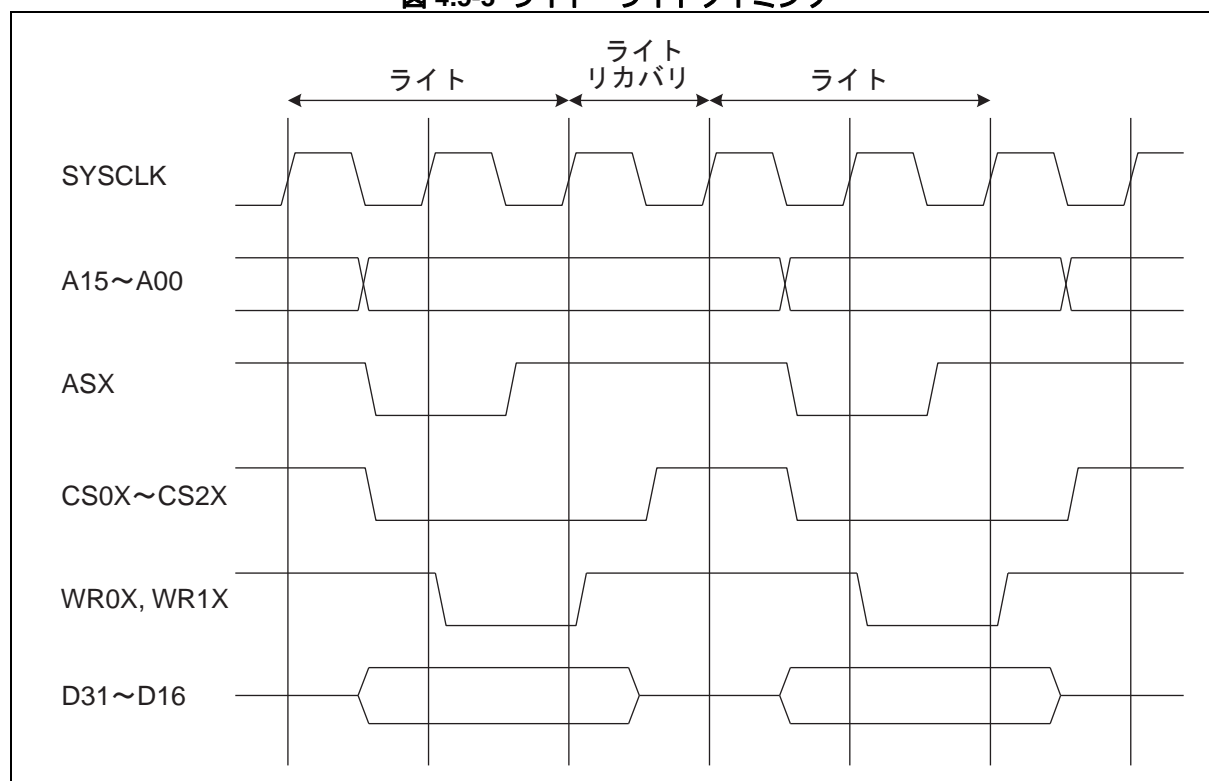


- AWR レジスタ W07, W06 ビットの設定により、0 ~ 3 サイクルまでのアイドルサイクル挿入が可能です。
- リード側の CS 領域の設定が有効になります。
- リードアクセスの次のアクセスがライトアクセス、または別の領域へのアクセスである場合にこのアイドルサイクルを挿入します。

■ ライト ライトタイミング (TYP[3:0]=0000_B, AWR=0018_H)

図 4.5-3 に、ライト ライトタイミングを示します。

図 4.5-3 ライト ライトタイミング

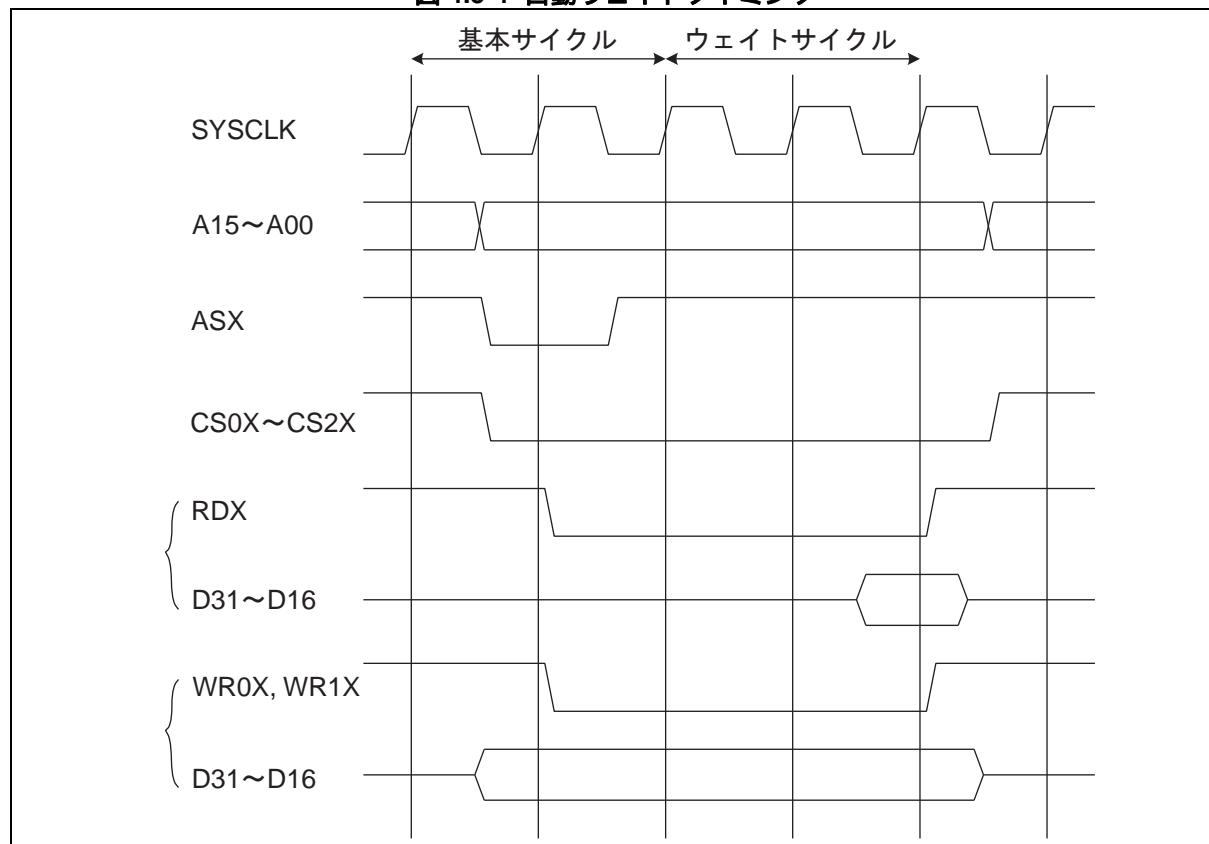


- AWR レジスタ W05, W04 ビットの設定により, 0 ~ 3 サイクルまでのライトリカバリサイクルを挿入可能です。
- すべてのライトサイクル後に, リカバリサイクルが発生します。
- 設定したバス幅以上のアクセスによってライトアクセスが分割された場合もライトリカバリサイクルは発生します。

■ 自動ウェイトタイミング (TYP[3:0]=0000_B, AWR=2008_H)

図 4.5-4 に、自動ウェイトタイミングを示します。

図 4.5-4 自動ウェイトタイミング

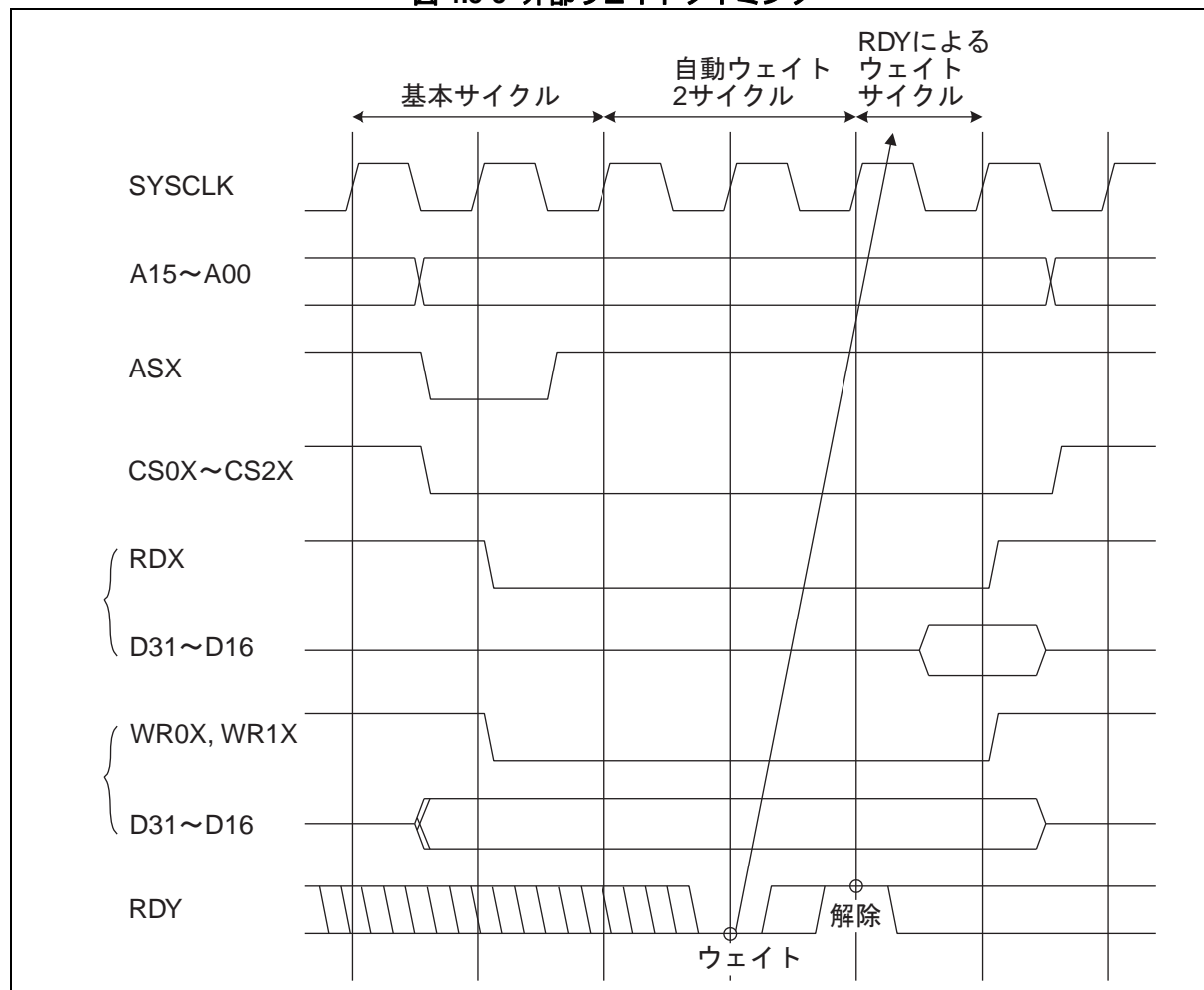


- AWR レジスタ W15 ~ W12 ビット (ファーストウェイトサイクル) の設定により自動ウェイトサイクルを、0 ~ 15 まで設定可能です。
- 上図では、自動ウェイトサイクルを 2 サイクル挿入して合計 4 サイクルのアクセスとなっています。自動ウェイトを設定した場合、バスサイクルは最小で 2 サイクル + (ファーストウェイトサイクル) となります。ライトの場合は内部状態によりさらに長くなることがあります。

■ 外部ウェイトタイミング (TYP[3:0]=0001_B, AWR=2008_H)

図 4.5-5 に、外部ウェイトタイミングを示します。

図 4.5-5 外部ウェイトタイミング

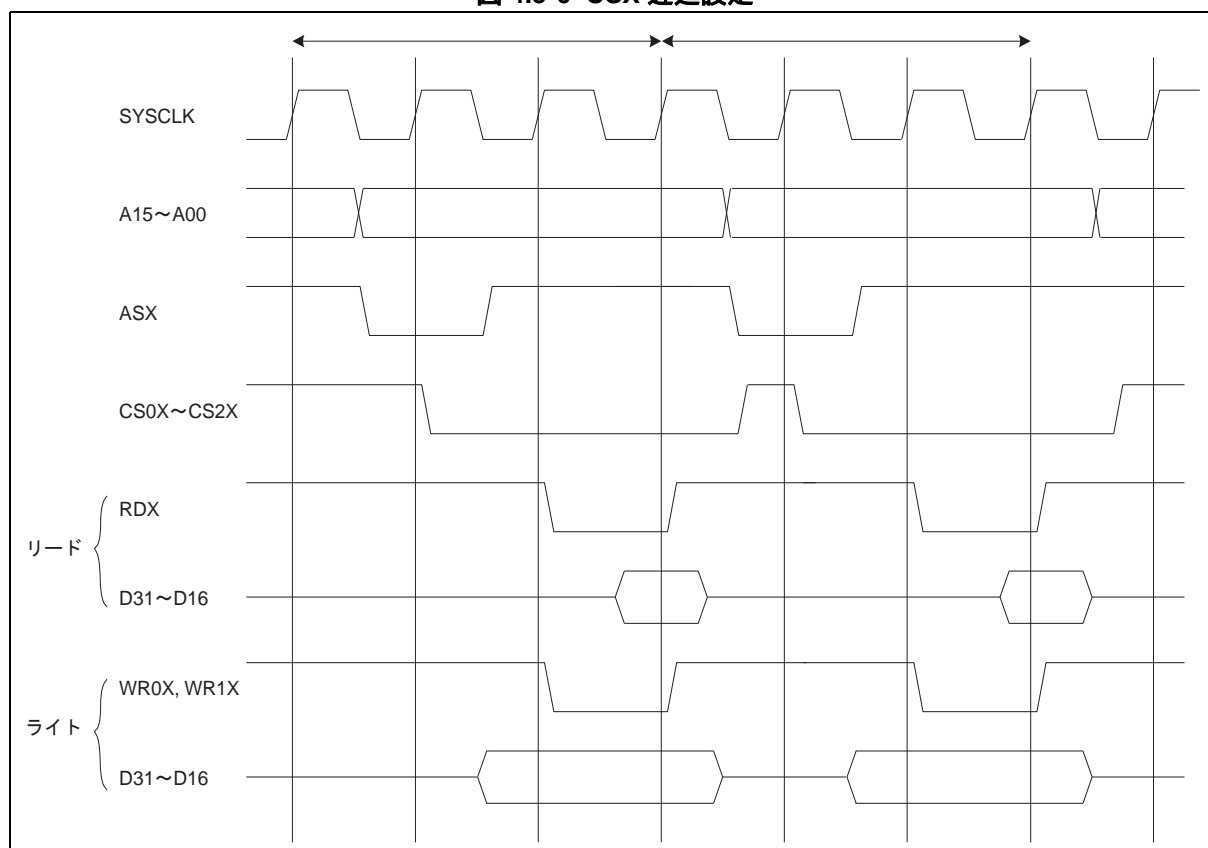


ACR レジスタ TYP0 ビットを "1" に設定して外部 RDY 入力端子を有効にすることにより外部ウェイトサイクルを挿入可能です。上図において、自動ウェイトサイクルによるウェイトが有効であるため、RDY 端子の斜線部分は無効になります。自動ウェイトサイクルの最後のサイクル以降から RDY 入力端子の値を判定します。また、いったんウェイトサイクルを終了した後は、次のアクセスサイクルの開始まで RDY 入力端子の値は無効になります。

■ CSX 遅延設定 (TYP[3:0]=0000_B, AWR=000C_H)

図 4.5-6 に, CSX 遅延設定を示します。

図 4.5-6 CSX 遅延設定

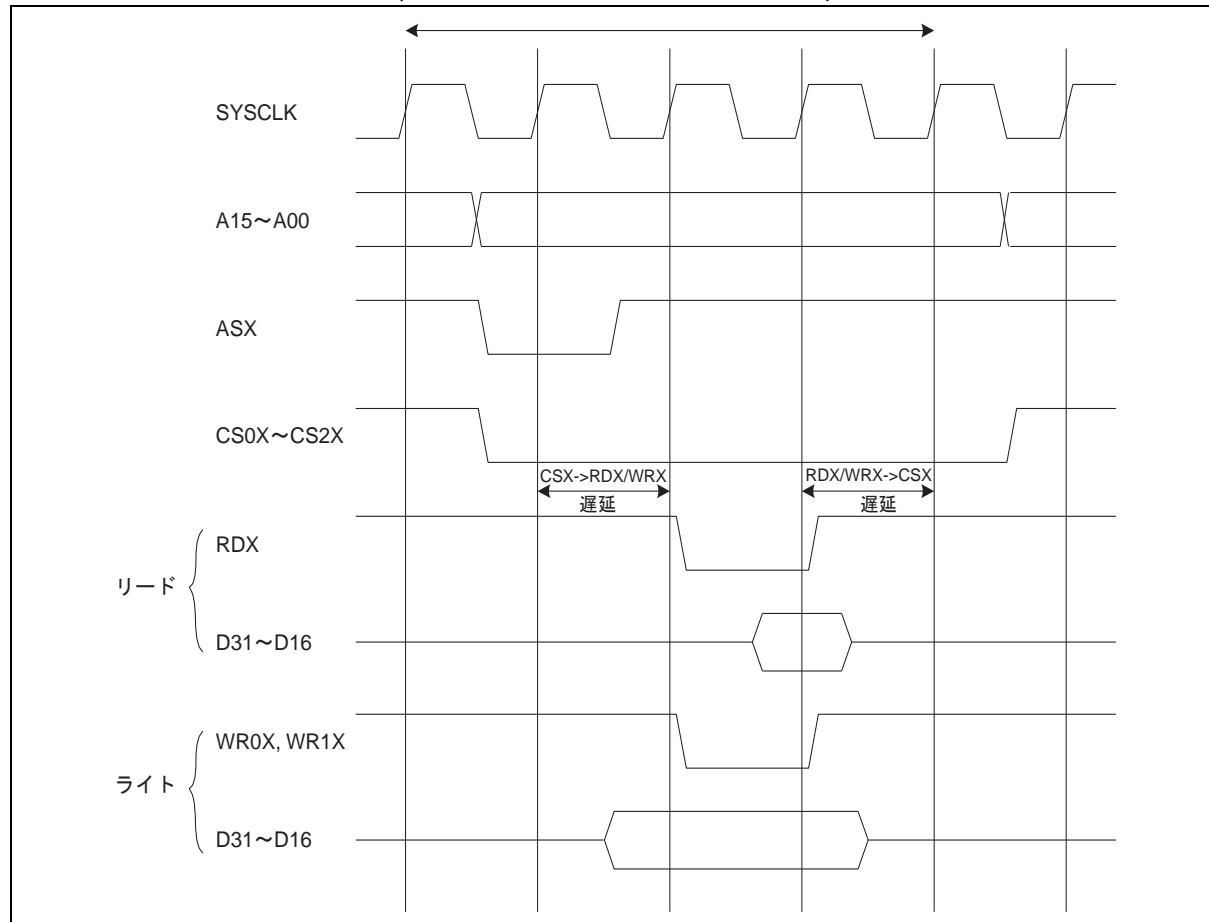


W02 ビットが "1" のときは ASX アサートの次のサイクルからアサートし, 連続するアクセスがある場合にはネゲート期間を挿入します。

■ CSX RDX/WR0X, WR1X セットアップ・RDX/WR0X, WR1X CSX ホールド設定 (TYP[3:0]=0000_B, AWR=000B_H)

図 4.5-7 に, CSX RDX/WR0X, WR1X セットアップ・RDX/WR0X, WR1X CSX ホールド設定を示します。

図 4.5-7 CSX RDX/WR0X, WR1X セットアップ・RDX/WR0X, WR1X CSX ホールド設定



- AWRレジスタのW01ビットを"1"に設定することにより, CSX RDX/WR0X, WR1X セットアップディレイを設定可能です。チップセレクトアサート後, リード/ライト ストロープまでの期間を延長する場合に設定します。
- AWR レジスタの W00 ビットを "1" に設定することにより, RDX/WR0X, WR1X CSX ホールドディレイを設定可能です。リード/ライトストロープネゲート後, チップセレクトネゲートまでの期間を延長する場合に設定します。
- CSX RDX/WR0X, WR1X セットアップディレイ (W01 ビット) と RDX/WR0X, WR1X CSX ホールドディレイ (W00 ビット) は独立に設定可能です。
- 同一チップセレクト領域内で, チップセレクトをネゲートしないまま連続してアクセスする場合は, CSX RDX/WR0X, WR1X セットアップディレイ, RDX/WR0X, WR1X CSX ホールドディレイともに挿入されません。
- アドレス確定からのセットアップサイクルおよびアドレス確定のホールドサイクルが必要な場合は, アドレス CSX 遅延設定 (AWR レジスタの W02 ビット) を "1" に設定してください。

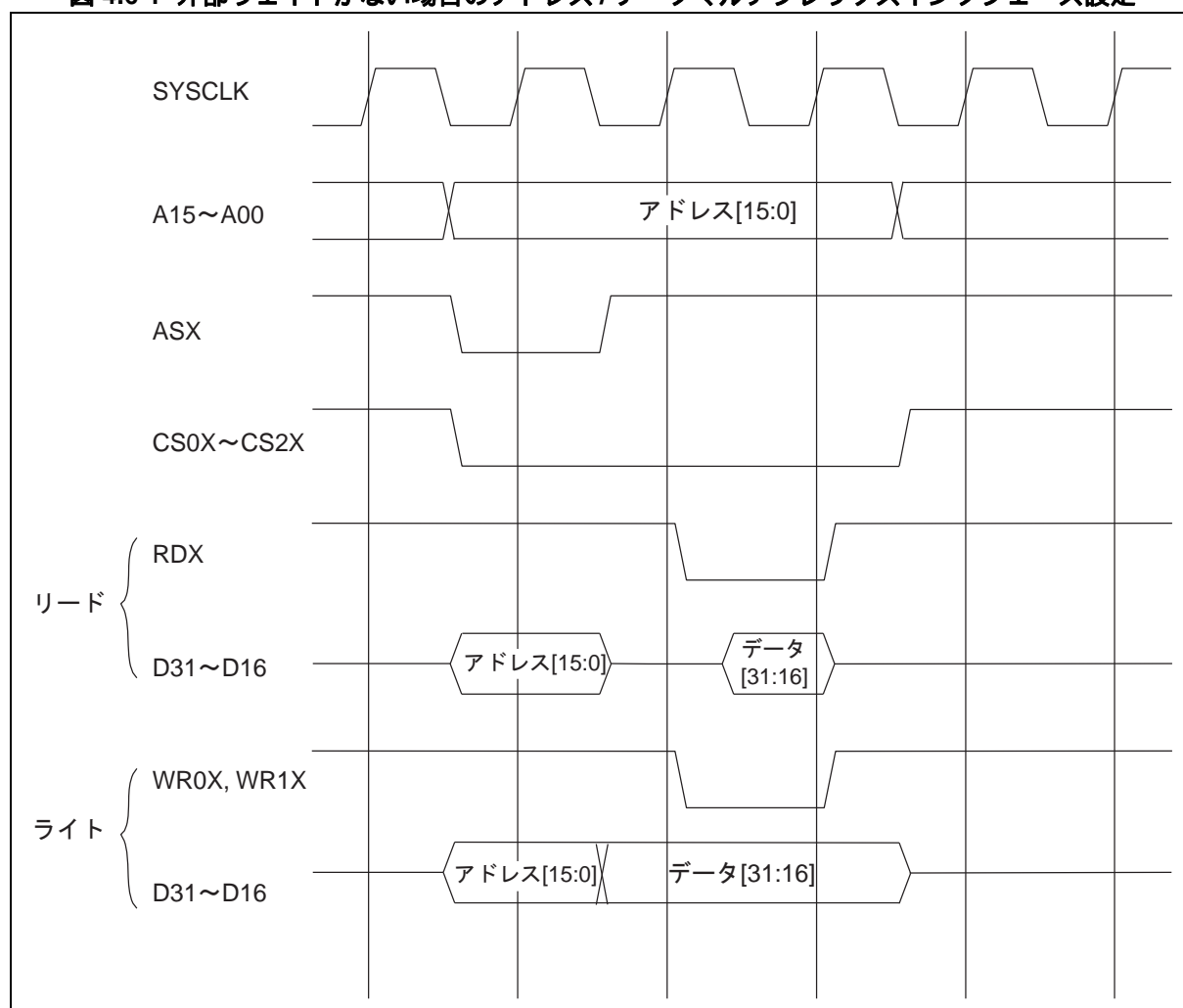
4.6 アドレス/データマルチプレックスインタフェース

アドレス/データマルチプレックスインタフェースの設定について説明します。

■ 外部ウェイトなし (TYP[3:0]=0100_B, AWR=0008_H)

図 4.6-1 に、外部ウェイトがない場合のアドレス / データマルチプレックスインタフェース設定を示します。

図 4.6-1 外部ウェイトがない場合のアドレス/データマルチプレックスインタフェース設定



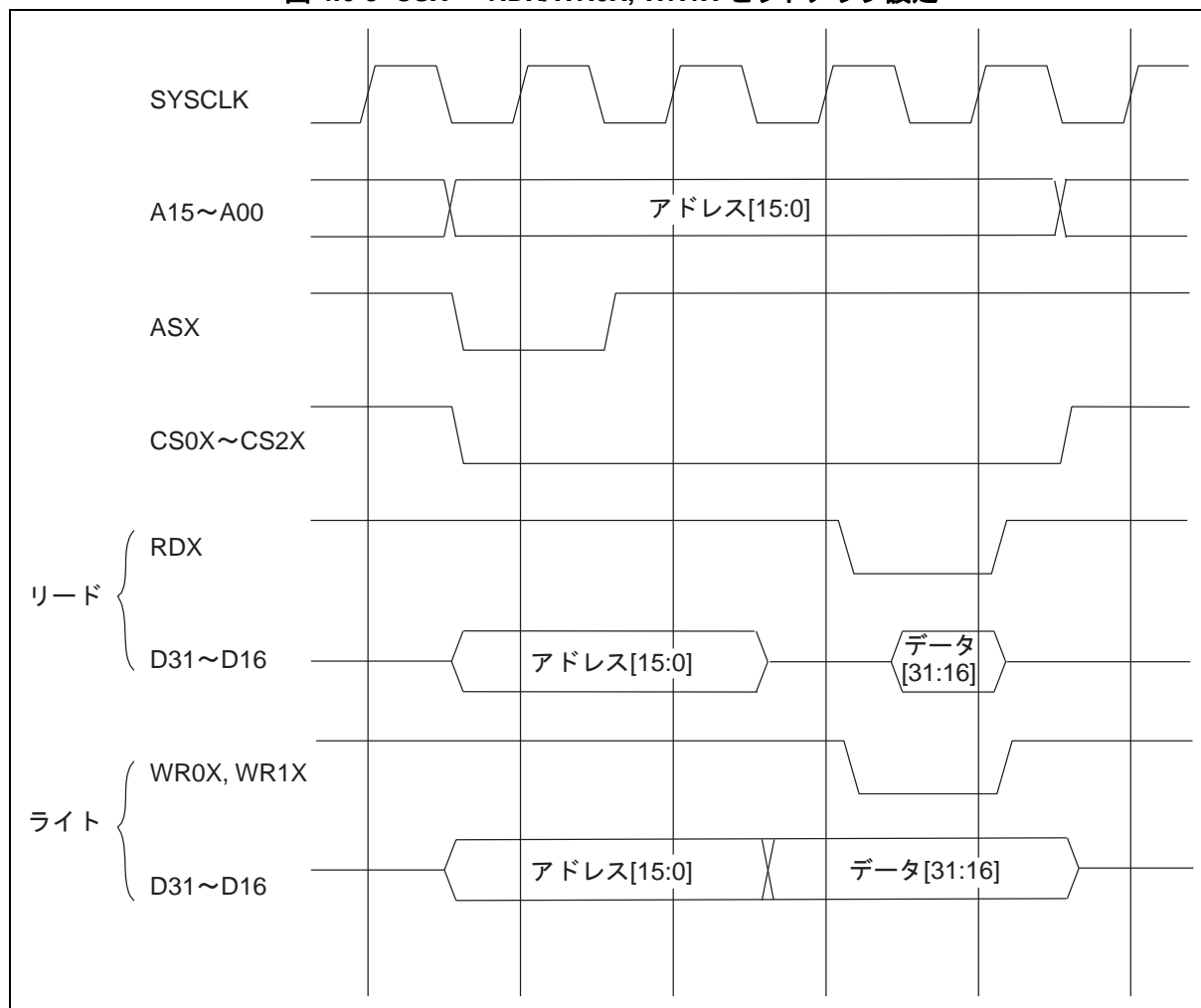
- ACR レジスタの TYP[3:0]=01XX_B と設定することによりアドレス / データマルチプレックスインタフェース設定が可能です。
- アドレス / データマルチプレックスインタフェースに設定した場合、データバス幅 (DBW[1:0] ビット) の設定は 8 ビットもしくは 16 ビットに設定してください。32 ビット幅はサポートしていません。
- アドレス/データマルチプレックスインタフェースでは、アドレス出力サイクル2サイクル+データサイクル1サイクルの計3サイクルが基本アクセスサイクルとなります。

- アドレス出力サイクルでは出力アドレスラッチイネーブル信号として、ASX をアサートしますが、CSX RDX/WR0X, WR1X セットアップ遅延 (AWR:W01) が "0" に設定してある場合、図 4.6-1 のようにマルチプレックスアドレス出力サイクルが1サイクルのみとなり、アドレスを ASX の立上りエッジで直接ラッチすることは不可能となります。このため、ASX に "L" がアサートされているサイクルの SYSCLK の立上りエッジでアドレスを取り込んでください。
- A[15:0] には、時分割バスサイクル中、通常インタフェースと同様にアクセスの先頭を示すアドレスを出力します。
- 自動ウェイト (AWR:W15 ~ W12), リード ライトアイドルサイクル (AWR:W07, W06), ライトリカバリ (AWR:W05, W04), アドレス CSX 遅延 (AWR:W02), CSX RDX/WR0X, WR1X セットアップ遅延 (AWR:W01), RDX/WR0X, WR1X CSX ホールド遅延 (AWR:W00) の設定は、通常インタフェースと同様に設定可能です。

■ CSX RDX/WR0X, WR1X セットアップ設定 (TYP[3:0]=0101_B, AWR=100B_H)

図 4.6-3 に, CSX RDX/WR0X, WR1X セットアップ設定を示します。

図 4.6-3 CSX RDX/WR0X, WR1X セットアップ設定



CSX RDX/WR0X, WR1X セットアップ遅延 (AWR:W01) を "1" に設定すると, 上図のようにマルチプレックスアドレス出力サイクルが1サイクル延長され, アドレスをASXの立上りエッジで直接ラッチすることが可能となります。SYSCLK を使用せずに ASX を ALE (Address Latch Enable) ストロープとして使用したい場合にこの設定を使用してください。

4.7 レジスタ設定手順

外部バスインタフェースに関する設定手順は、以下の原則に従ってください。

■ 外部バスインタフェースの設定手順

- レジスタの内容を書き換える場合は、必ず CSER レジスタの対応する領域を使用しない設定 ("0") にして行ってください。"1" のまま設定を変更した場合、その前後のアクセスは保証されません。
- レジスタの変更は以下の手順で行ってください。
 - 該当領域に対応する CSER のビットを "0" に設定してください。
 - ASR と ACR をワードアクセスで同時に設定してください。ASR, ACR をハーフワードでアクセスする場合には ASR 設定後 ACR を設定してください。
 - AWR を設定してください。
 - 該当領域に対する CSER のビットを設定してください。
- CS0X領域はリセット解除後から有効になっており、プログラム領域として使用している場合は CSER を "1" のままで書き換える必要がありますが、この場合は内部クロックが低い初期状態で上記 の設定を行ってください。その後、クロックを高速クロックに切り換えてください。

第5章

I/O ポート

I/O ポートの概要，レジスタの構成，および機能について説明します。

- 5.1 I/O ポートの概要
- 5.2 I/O ポートのブロックダイアグラム
- 5.3 I/O ポートのレジスタ

5.1 I/O ポートの概要

MB91470/480 シリーズの I/O ポートについて説明します。

■ ポート概要

MB91470/480 シリーズでは、各端子に対応する外部バスインタフェースやペリフェラルが入出力として端子を使用しない設定になっているとき、I/O ポートとして使用することができます。

■ 構成

ポート制御部は、次の4つのレジスタで構成されています。

- ポート機能制御レジスタ (PFR:Port Function Register)
ペリフェラル出力 / 外部バスインタフェース、もしくは、汎用ポートとして使用するかの切換えを行う設定レジスタです。
- データ方向制御レジスタ (DDR:Data Direction Register)
汎用ポートとして使用している際のデータ入出力の切換えを行う設定レジスタです。
- ポートデータレジスタ (PDR:Port Data Register)
データを設定するレジスタです。
- プルアップ抵抗制御レジスタ (PCR:Pull-up Control Register)
プルアップ機能を有効にするための設定レジスタです。

5.2 I/O ポートのブロックダイアグラム

I/O ポートのブロックダイアグラムについて説明します。

■ ポートブロックダイアグラム

MB91470/480 シリーズでは、汎用ポートと兼用する外部バスインタフェース / ペリフェラルに応じて 4 種類あります。

- 通常 I/O ポート

ペリフェラル入出力と兼用している基本的な構成の兼用 I/O ポートで、PFR/DDR/PDR/PCR から構成されています。

- 外部割込み入力兼用 I/O ポート

外部割込み入力と兼用の I/O ポートで、PFR/DDR/PDR/PCR、および外部割込み入力許可信号から構成されています。

- アナログ入力兼用 I/O ポート

アナログ入力と兼用の I/O ポートで、PFR/DDR/PDR/PCR、およびアナログ入力許可信号から構成されています。

- 外部バスインタフェース兼用 I/O ポート

外部バスインタフェースと兼用の I/O ポートで、PFR/DDR/PDR/PCR、および外バスインタフェースモード許可信号から構成されています。

- 多機能タイマ兼用 I/O ポート

多機能タイマの波形ジェネレータ出力 (RTO0 ~ RTO11) と兼用の I/O ポートで、PFR/DDR/PDR/PCR、および DTTI 割込みフラグ信号から構成されています。DTTI 割込みフラグの詳細に関しては「12.4.13 波形制御レジスタ (SIGCR1/SIGCR2)」の章を参照下さい。

5.2.1 通常 I/O ポート

■ 通常 I/O ポートのブロックダイヤグラム

R-bus

PCR=0 : プルアップ抵抗なし
PCR=1 : プルアップ抵抗あり

(Pull-up Control Register)

PDR
(Port Data Register)

PFR
(Port Function Register)

DDR
(Data Direction Register)

INITX
STOPHZ

プルアップ抵抗
(約50kΩ)

Pin

リードモディファイライト (RMW) 系命令

PDRリード

ペリフェラル入力

INITX : 外部INITX入力 ("L"アクティブ)
STOPHZ : STOPモード制御信号(出力=Hi-Zモード)

■ I/O ポートのモード

● ポート入力モード時 (PFR=0 かつ DDR=0)

PDR リード : 対応する外部端子のレベルが読み出されます。

PDR リードモディファイライト (RMW) 系命令
: PDR の値が読み出されます。

PDR ライト : PDR に設定値が書き込まれます。

● ポート出力モード時 (PFR=0 かつ DDR=1)

PDR リード : PDR の値が読み出されます。

PDR リードモディファイライト (RMW) 系命令
: PDR の値が読み出されます。

PDR ライト : PDR の値が対応する外部端子に出力されます。

● ペリフェラル出力モード 1 時 (PFR=1 かつ DDR=0)

PDR リード : 対応するペリフェラル出力の値が読み出されます。

PDR リードモディファイライト (RMW) 系命令
: PDR の値が読み出されます。

PDR ライト : PDR に設定値が書き込まれます。

● ペリフェラル出力モード 2 時 (PFR=1 かつ DDR=1)

PDR リード : PDR の値が読み出されます。

PDR リードモディファイライト (RMW) 系命令
: PDR の値が読み出されます。

PDR ライト : PDR に設定値が書き込まれます。

■ ブルアップ抵抗制御レジスタ設定値

以下に示すモード時には、ブルアップ抵抗制御レジスタの設定は無効となります。

- 外部 INITX 入力アクティブ ("L" 入力時)
- STOP モード (HIZ=1) 時
- ペリフェラル出力モード時 (PFR=1)
- ポート出力モード時 (DDR=1)

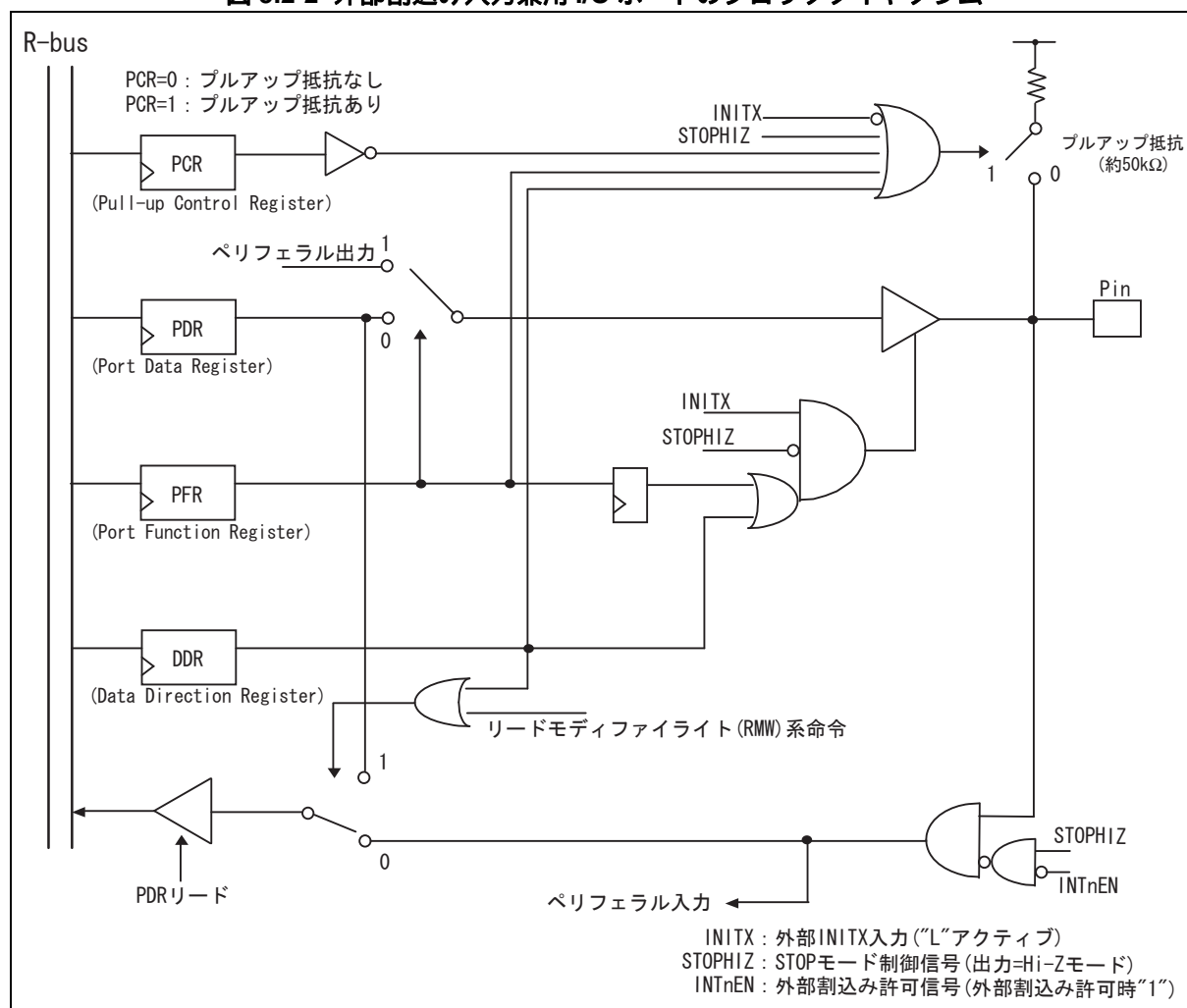
上記以外のときには、ブルアップ抵抗制御レジスタの設定が優先されます。

5.2.2 外部割込み入力兼用 I/O ポート

外部割込み入力兼用 I/O ポートのブロックダイアグラムについて説明します。

■ 外部割込み入力兼用 I/O ポートのブロックダイアグラム

図 5.2-2 外部割込み入力兼用 I/O ポートのブロックダイアグラム



■ I/O ポートのモード

通常 I/O ポートと同じです。

■ プルアップ抵抗制御レジスタ設定値

通常 I/O ポートと同じです。

■ 入力許可制御

通常 I/O ポートの場合 ,STOP モード (HIZ=1) 時には入力は "L" 固定になりますが ,本兼用ポートの場合 ,STOP モード (HIZ=1) でも外部割込み入力 that 許可されている場合 (INTnEN=1) には ,対応するポートは入力可能となります。

< 注意事項 >

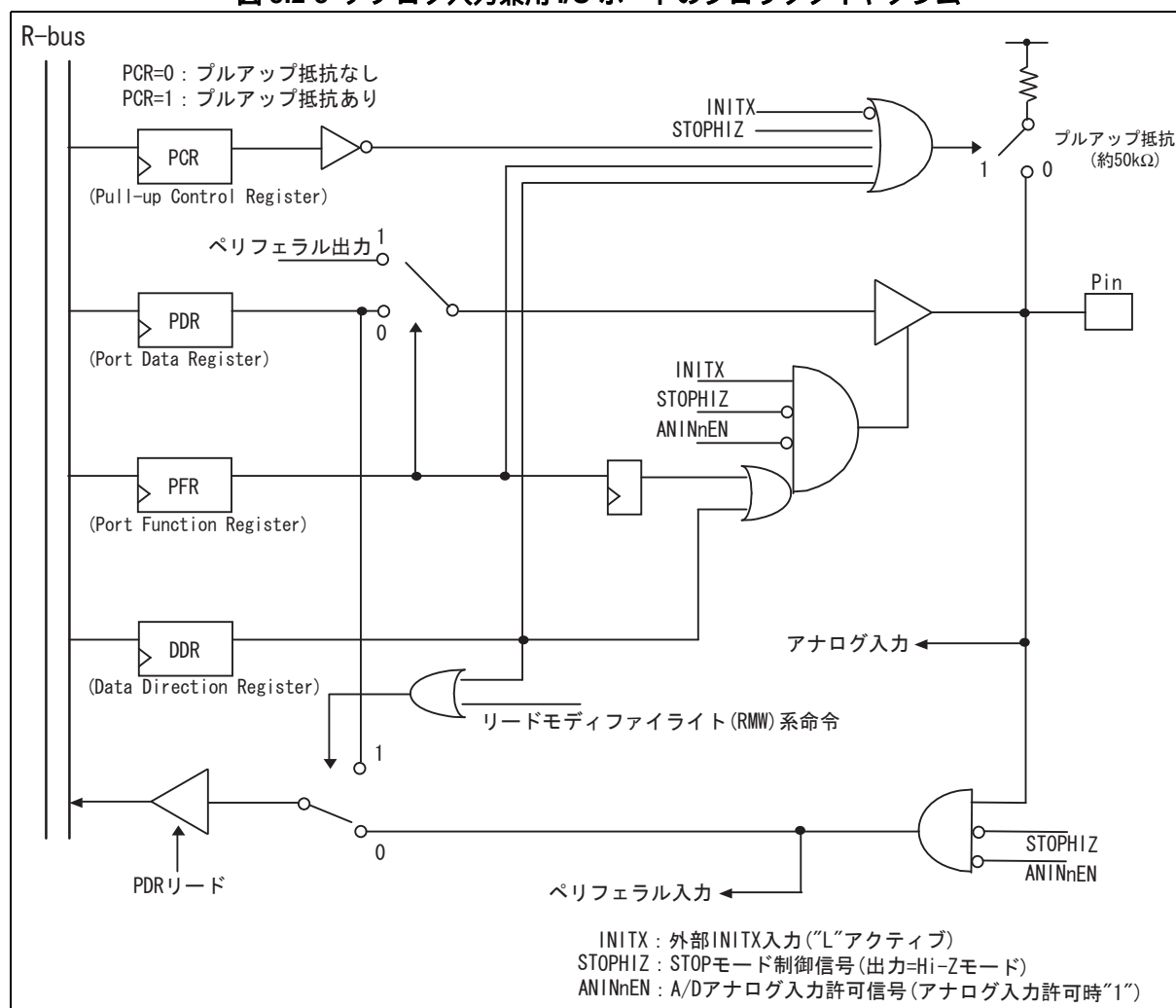
ストップモード時 (HIZ=1) , 外部割込み入力を許可している場合 , 対応するポートは入力可能となりますが , プルアップ抵抗制御レジスタの設定は無効となります。

5.2.3 アナログ入力兼用 I/O ポート

アナログ入力兼用 I/O ポートのブロックダイアグラムについて説明します。

■ アナログ入力兼用 I/O ポートのブロックダイアグラム

図 5.2-3 アナログ入力兼用 I/O ポートのブロックダイアグラム



■ I/O ポートのモード

アナログ入力モード時以外 (ANINnEN=0) では通常 I/O ポートと同じですが, アナログ入力モード時 (ANINnEN=1) には以下の仕様となります。

● ポート入力モード時 (PFR=0 かつ DDR=0)

PDR リード : 常に "0" が読み出されます。

PDR リードモディファイライト (RMW) 系命令
: PDR の値が読み出されます。

PDR ライト : PDR に設定値が書き込まれます。

● ポート出力モード時 (PFR=0 かつ DDR=1)

PDR リード : PDR の値が読み出されます。

PDR リードモディファイライト (RMW) 系命令
: PDR の値が読み出されます。

PDR ライト : PDR の値が対応する外部端子に出力されます。

● ペリフェラル出力モード 1 時 (PFR=1 かつ DDR=0)

PDR リード : 常に "0" が読み出されます。

PDR リードモディファイライト (RMW) 系命令
: PDR の値が読み出されます。

PDR ライト : PDR に設定値が書き込まれます。

● ペリフェラル出力モード 2 時 (PFR=1 かつ DDR=1)

PDR リード : PDR の値が読み出されます。

PDR リードモディファイライト (RMW) 系命令
: PDR の値が読み出されます。

PDR ライト : PDR に設定値が書き込まれます。

■ プルアップ抵抗制御レジスタ設定値

通常 I/O ポートと同じです。

■ 入力許可制御

通常 I/O ポートの場合, STOP モード (HIZ=1) 時には入力は "L" 固定になりますが, 本兼用ポートの場合, アナログ入力モード時 (ANINnEN=1) にも入力は "L" 固定となります。

< 注意事項 >

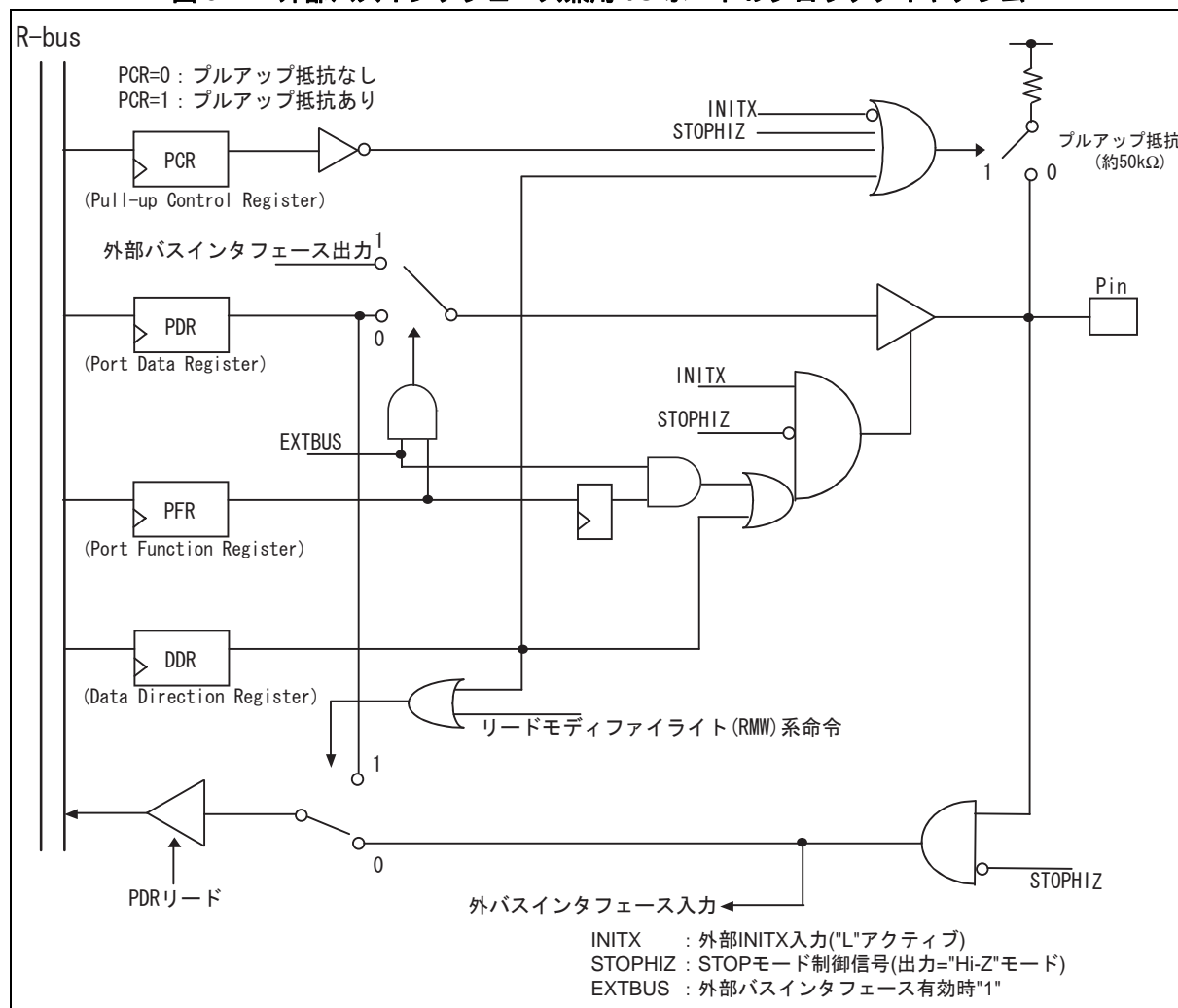
アナログ入力モード時 (ANINnEN=1) でもプルアップ抵抗制御レジスタの設定値は有効です。

5.2.4 外部バスインタフェース兼用 I/O ポート

外部バスインタフェース兼用 I/O ポートのブロックダイアグラムについて説明します。

■ 外部バスインタフェース兼用 I/O ポートのブロックダイアグラム

図 5.2-4 外部バスインタフェース兼用 I/O ポートのブロックダイアグラム



■ I/O ポートのモード

- ポート入力モード (EXTBUS=0かつDDR=0, もしくは, EXTBUS=1かつPFR=0かつDDR=0)
 - PDR リード : 対応する外部端子のレベルが読み出されます。
 - PDR リードモディファイライト (RMW) 系命令 : PDR の値が読み出されます。
 - PDR ライト : PDR に設定値が書き込まれます。
- ポート出力モード (EXTBUS=0かつDDR=1, もしくは, EXTBUS=1かつPFR=0かつDDR=1)
 - PDR リード : PDR の値が読み出されます。
 - PDR リードモディファイライト (RMW) 系命令 : PDR の値が読み出されます。
 - PDR ライト : PDR に設定値が書き込まれます。
- 外部バスインタフェース出力モード 1 (EXTBUS=1 かつ PFR=1 かつ DDR=0)
 - PDR リード : 対応する外部バスインタフェース出力の値が読み出されます。
 - PDR リードモディファイライト (RMW) 系命令 : PDR の値が読み出されます。
 - PDR ライト : PDR に設定値が書き込まれます。
- 外部バスインタフェース出力モード 2 (EXTBUS=1 かつ PFR=1 かつ DDR=1)
 - PDR リード : PDR の値が読み出されます。
 - PDR リードモディファイライト (RMW) 系命令 : PDR の値が読み出されます。
 - PDR ライト : PDR に設定値が書き込まれます。

■ プルアップ抵抗制御レジスタ設定値

以下に示すモード時には, プルアップ抵抗値制御レジスタの設定は無効となります。

- 外部 INITX 入力アクティブ ("L" 入力時)
- STOP モード (HIZ=1) 時
- ポート出力モード時 (DDR=1)

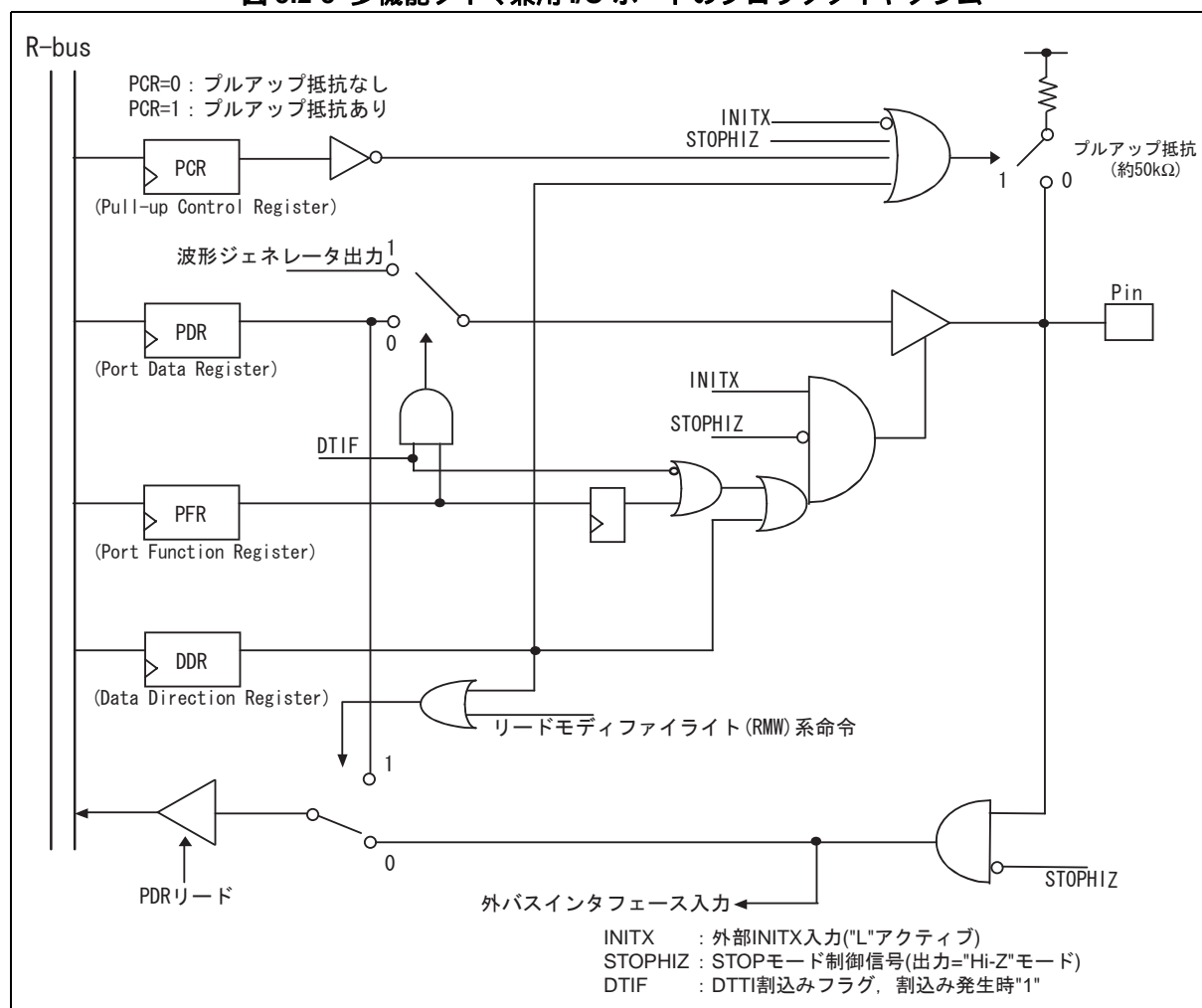
上記以外のときには, プルアップ抵抗制御レジスタの設定が優先されます。

5.2.5 多機能タイマ兼用 I/O ポート

多機能タイマ兼用 I/O ポートのブロックダイアグラムについて説明します。

■ 多機能タイマ兼用 I/O ポートのブロックダイアグラム

図 5.2-5 多機能タイマ兼用 I/O ポートのブロックダイアグラム



■ I/O ポートのモード

- ポート入力モード (DTIF=1 かつ DDR=0, もしくは, DTIF=0 かつ PFR=0 かつ DDR=0)
 - PDR リード : 対応する外部端子のレベルが読み出されます。
 - PDR リードモディファイライト (RMW) 系命令 : PDR の値が読み出されます。
 - PDR ライト : PDR に設定値が書き込まれます。
- ポート出力モード (DTIF=1 かつ DDR=1, もしくは, DTIF=0 かつ PFR=0 かつ DDR=1)
 - PDR リード : PDR の値が読み出されます。
 - PDR リードモディファイライト (RMW) 系命令 : PDR の値が読み出されます。
 - PDR ライト : PDR に設定値が書き込まれます。
- 波形ジェネレータ出力モード 1 (DTIF=0 かつ PFR=1 かつ DDR=0)
 - PDR リード : 波形ジェネレータ出力の値が読み出されます。
 - PDR リードモディファイライト (RMW) 系命令 : PDR の値が読み出されます。
 - PDR ライト : PDR に設定値が書き込まれます。
- 波形ジェネレータ出力モード 2 (DTIF=0 かつ PFR=1 かつ DDR=1)
 - PDR リード : PDR の値が読み出されます。
 - PDR リードモディファイライト (RMW) 系命令 : PDR の値が読み出されます。
 - PDR ライト : PDR に設定値が書き込まれます。

■ プルアップ抵抗制御レジスタ設定値

以下に示すモード時には、プルアップ抵抗値制御レジスタの設定は無効となります。

- 外部 INITX 入力アクティブ ("L" 入力時)
- STOP モード (HIZ=1) 時
- ポート出力モード時 (DDR=1)
- 波形ジェネレータ出力モード時 (DTIF=0 かつ PFR=1)

上記以外のときには、プルアップ抵抗制御レジスタの設定が優先されます。

5.3 I/O ポートのレジスタ

I/O ポートのレジスタについて説明します。

■ ポートデータレジスタ(PDR: PDR0 ~ PDR3, PDR5, PDR6, PDR8 ~ PDRH, PDRJ, PDRL, PDRM, PDRP ~ PDRS)

PDR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000000 _H	P07	P06	P05	P04	P03	P02	P01	P00	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000001 _H	P17	P16	P15	P14	P13	P12	P11	P10	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDR2									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000002 _H	P27	P26	P25	P24	P23	P22	P21	P20	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDR3									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000003 _H	P37	P36	P35	P34	P33	P32	P31	P30	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDR5									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000004 _H	-	P56	P55	P54	P53	P52	P51	P50	- XXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDR6									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000005 _H	-	-	-	-	-	-	P61	P60	-----XX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDR8									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000006 _H	P87	P86	P85	P84	P83	P82	P81	P80	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDR9									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000007 _H	P97	P96	P95	P94	P93	P92	P91	P90	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(続く)

(続き)

PDRA									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000008 _H	-	-	-	PA4	PA3	PA2	PA1	PA0	--- XXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRB									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000009 _H	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRC									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000000A _H	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRD									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000000B _H	-	-	-	-	PD3	PD2	PD1	PD0	---- XXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRE									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000000C _H	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRF									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000000D _H	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRG									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000000E _H	-	-	PG5	PG4	PG3	PG2	PG1	PG0	-- XXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRH									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000000F _H	-	-	PH5	PH4	PH3	PH2	PH1	PH0	-- XXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRJ									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000010 _H	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRL									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000012 _H	-	-	-	-	-	PL2	PL1	PL0	----- XXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(続く)

(続き)

PDRM									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000013 _H	-	-	-	-	PM3	PM2	PM1	PM0	---- XXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRP									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000014 _H	-	-	PP5	PP4	PP3	PP2	PP1	PP0	-- XXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRQ									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000015 _H	-	-	PQ5	PQ4	PQ3	PQ2	PQ1	PQ0	-- XXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRR									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000016 _H	-	-	PR5	PR4	PR3	PR2	PR1	PR0	-- XXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDRS									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000017 _H	-	-	PS5	PS4	PS3	PS2	PS1	PS0	-- XXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W: リード / ライト可能									

PDR0 ~ PDR3, PDR5, PDR6, PDR8 ~ PDRH, PDRJ, PDRL, PDRM, PDRP ~ PDRS は, I/O ポートの入出力データレジスタです。対応する DDR0 ~ DDR3, DDR5, DDR6, DDR8 ~ DDRH, DDRJ, DDRL, DDRM, DDRP ~ DDRS, PFR8, PFR9, PFRB, PFRF ~ PFRH, PFRJ, PFRM, PFRQ, PFRS で入出力制御が行われます。

■ データ方向制御レジスタ (DDR: DDR0 ~ DDR3, DDR5, DDR6, DDR8 ~ DDRH,
DDRJ, DDRL, DDRM, DDRP ~ DDS)

DDR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000400 _H	P07	P06	P05	P04	P03	P02	P01	P00	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000401 _H	P17	P16	P15	P14	P13	P12	P11	P10	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDR2									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000402 _H	P27	P26	P25	P24	P23	P22	P21	P20	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDR3									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000403 _H	P37	P36	P35	P34	P33	P32	P31	P30	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDR5									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000404 _H	-	P56	P55	P54	P53	P52	P51	P50	- 00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDR6									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000405 _H	-	-	-	-	-	-	P61	P60	----- 00 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDR8									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000406 _H	P87	P86	P85	P84	P83	P82	P81	P80	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDR9									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000407 _H	P97	P96	P95	P94	P93	P92	P91	P90	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRA									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000408 _H	-	-	-	PA4	PA3	PA2	PA1	PA0	--- 00000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRB									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000409 _H	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(続く)

(続き)

DDRC									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000040A _H	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRD									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000040B _H	-	-	-	-	PD3	PD2	PD1	PD0	---- 0000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRE									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000040C _H	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRF									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000040D _H	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRG									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000040E _H	-	-	PG5	PG4	PG3	PG2	PG1	PG0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRH									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000040F _H	-	-	PH5	PH4	PH3	PH2	PH1	PH0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRJ									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000410 _H	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRL									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000412 _H	-	-	-	-	-	PL2	PL1	PL0	----- 000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRM									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000413 _H	-	-	-	-	PM3	PM2	PM1	PM0	---- 0000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRP									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000414 _H	-	-	PP5	PP4	PP3	PP2	PP1	PP0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(続く)

(続き)

DDRQ									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000415 _H	-	-	PQ5	PQ4	PQ3	PQ2	PQ1	PQ0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRR									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000416 _H	-	-	PR5	PR4	PR3	PR2	PR1	PR0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
DDRS									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000417 _H	-	-	PS5	PS4	PS3	PS2	PS1	PS0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W: リード / ライト可能									

DDR0 ~ DDR3, DDR5, DDR6, DDR8 ~ DDRH, DDRJ, DDRL, DDRM, DDRP ~ DDRS
は , 対応する I/O ポートの入出力方向をビット単位で制御します。

PFR=0 のとき DDR=0 : ポート入力

■ プルアップ抵抗制御レジスタ(PCR: PCR0 ~ PCR3, PCR5, PCR6, PCR8 ~ PCRH, PCRJ, PCRL, PCRM, PCRP ~ PCRS)

PCR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000600 _H	P07	P06	P05	P04	P03	P02	P01	P00	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000601 _H	P17	P16	P15	P14	P13	P12	P11	P10	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCR2									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000602 _H	P27	P26	P25	P24	P23	P22	P21	P20	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCR3									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000603 _H	P37	P36	P35	P34	P33	P32	P31	P30	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCR5									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000604 _H	-	P56	P55	P54	P53	P52	P51	P50	- 00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCR6									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000605 _H	-	-	-	-	-	-	P61	P60	----- 00 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCR8									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000606 _H	P87	P86	P85	P84	P83	P82	P81	P80	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCR9									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000607 _H	P97	P96	P95	P94	P93	P92	P91	P90	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRA									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000608 _H	-	-	-	PA4	PA3	PA2	PA1	PA0	--- 00000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRB									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000609 _H	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(続く)

(続き)

PCRC									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000060A _H	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRD									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000060B _H	-	-	-	-	PD3	PD2	PD1	PD0	---- 0000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRE									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000060C _H	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRF									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000060D _H	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRG									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000060E _H	-	-	PG5	PG4	PG3	PG2	PG1	PG0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRH									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000060F _H	-	-	PH5	PH4	PH3	PH2	PH1	PH0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRJ									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000610 _H	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRL									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000612 _H	-	-	-	-	-	PL2	PL1	PL0	----- 000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRM									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000613 _H	-	-	-	-	PM3	PM2	PM1	PM0	---- 0000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRP									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000614 _H	-	-	PP5	PP4	PP3	PP2	PP1	PP0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(続く)

(続き)

PCRQ									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000615 _H	-	-	PQ5	PQ4	PQ3	PQ2	PQ1	PQ0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRR									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000616 _H	-	-	PR5	PR4	PR3	PR2	PR1	PR0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCRS									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000617 _H	-	-	PS5	PS4	PS3	PS2	PS1	PS0	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W: リード / ライト可能									

PCR0 ~ PCR3, PCR5, PCR6, PCR8 ~ PCRH, PCRJ, PCRL, PCRM, PCRP ~ PCRS は , 対応する I/O ポートのプルアップ抵抗制御を行います。

PCR=0 : プルアップ抵抗なし

■ ポート機能制御レジスタ (PFR: PFR0 ~ PFR3, PFR5, PFR6, PFR8, PFR9, PFRJ, PFRF ~ PFRH, PFRJ, PFRM, PFRQ, PFRS)

PFR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000420 _H	D23	D22	D21	D20	D19	D18	D17	D16	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000421 _H	D31	D30	D29	D28	D27	D26	D25	D24	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFR2									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000422 _H	A07	A06	A05	A04	A03	A02	A01	A00	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFR3									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000423 _H	A15	A14	A13	A12	A11	A10	A09	A08	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFR5									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000424 _H	-	WR1X	WR0X	RDX	ASX	CS2X	CS1X	CS0X	- 1111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFR6									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000425 _H	-	-	-	-	-	-	RDY	SYSCLK	----- 11 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFR8									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000426 _H	PPG7E	PPG6E	PPG5E	PPG4E	-	-	-	-	0000- --- _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFR9									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000427 _H	PPG15E	PPG14E	PPG13E	PPG12E	PPG11E	PPG10E	PPG9E	PPG8E	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFRJ									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000042A _H	-	-	SOT5E	-	SCK5E	SOT4E	-	SCK4E	-- 0- 00- 0 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFRF									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000042D _H	-	-	-	-	-	-	-	CLKP OUTE	----- 0 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(続く)

(続き)

PFRG									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000042E _H	-	-	SOT1E	-	SCK1E	SOT0E	-	SCK0E	-- 0- 00- 0 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFRH									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000042F _H	-	-	SOT3E	-	SCK3E	SOT2E	-	SCK2E	-- 0- 00- 0 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFRJ									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000430 _H	TOUT3E	-	TOUT2E	-	TOUT1E	-	TOUT0E	-	0- 0- 0- 0- 0 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFRM									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000433 _H	-	-	-	-	PPG3E	PPG2E	PPG1E	PPG0E	---- 0000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFRQ									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000435 _H	-	-	RTO5E	RTO4E	RTO3E	RTO2E	RTO1E	RTO0E	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PFRS									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000437 _H	-	-	RTO11E	RTO10E	RTO9E	RTO8E	RTO7E	RTO6E	-- 000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W: リード / ライト可能									

PFR0 ~ PFR3, PFR5, PFR6, PFR8 ~ PFR9, PFRC, PFRF ~ PFRH, PFRJ, PFRM, PFRQ, PFRS は、対応するペリフェラルの出力をビット単位で制御します。

PFR の空きビットには、必ず "0" を書いてください。

以下に各 PFR レジスタについてその初期値と機能をまとめます。

表 5.3-1 各 PFR レジスタの初期値と機能 (1 / 6)

レジスタ名	ビット	ビット名	設定値	機能
PFR0	0	D16	0	汎用ポート
			1	外部データ bit16 出力 [初期値]
	1	D17	0	汎用ポート
			1	外部データ bit17 出力 [初期値]
	2	D18	0	汎用ポート
			1	外部データ bit18 出力 [初期値]
	3	D19	0	汎用ポート
			1	外部データ bit19 出力 [初期値]
	4	D20	0	汎用ポート
			1	外部データ bit20 出力 [初期値]
	5	D21	0	汎用ポート
			1	外部データ bit21 出力 [初期値]
	6	D22	0	汎用ポート
			1	外部データ bit22 出力 [初期値]
	7	D23	0	汎用ポート
			1	外部データ bit23 出力 [初期値]
PFR1	0	D24	0	汎用ポート
			1	外部データ bit24 出力 [初期値]
	1	D25	0	汎用ポート
			1	外部データ bit25 出力 [初期値]
	2	D26	0	汎用ポート
			1	外部データ bit26 出力 [初期値]
	3	D27	0	汎用ポート
			1	外部データ bit27 出力 [初期値]
	4	D28	0	汎用ポート
			1	外部データ bit28 出力 [初期値]
	5	D29	0	汎用ポート
			1	外部データ bit29 出力 [初期値]
	6	D30	0	汎用ポート
			1	外部データ bit30 出力 [初期値]
	7	D31	0	汎用ポート
			1	外部データ bit31 出力 [初期値]

表 5.3-1 各 PFR レジスタの初期値と機能 (2 / 6)

レジスタ名	ビット	ビット名	設定値	機能
PFR2	0	A00	0	汎用ポート
			1	外部アドレス bit0 出力 [初期値]
	1	A01	0	汎用ポート
			1	外部アドレス bit1 出力 [初期値]
	2	A02	0	汎用ポート
			1	外部アドレス bit2 出力 [初期値]
	3	A03	0	汎用ポート
			1	外部アドレス bit3 出力 [初期値]
	4	A04	0	汎用ポート
			1	外部アドレス bit4 出力 [初期値]
	5	A05	0	汎用ポート
			1	外部アドレス bit5 出力 [初期値]
	6	A06	0	汎用ポート
			1	外部アドレス bit6 出力 [初期値]
	7	A07	0	汎用ポート
			1	外部アドレス bit7 出力 [初期値]
PFR3	0	A08	0	汎用ポート
			1	外部アドレス bit8 出力 [初期値]
	1	A09	0	汎用ポート
			1	外部アドレス bit9 出力 [初期値]
	2	A10	0	汎用ポート
			1	外部アドレス bit10 出力 [初期値]
	3	A11	0	汎用ポート
			1	外部アドレス bit11 出力 [初期値]
	4	A12	0	汎用ポート
			1	外部アドレス bit12 出力 [初期値]
	5	A13	0	汎用ポート
			1	外部アドレス bit13 出力 [初期値]
	6	A14	0	汎用ポート
			1	外部アドレス bit14 出力 [初期値]
	7	A15	0	汎用ポート
			1	外部アドレス bit15 出力 [初期値]

表 5.3-1 各 PFR レジスタの初期値と機能 (3 / 6)

レジスタ名	ビット	ビット名	設定値	機能
PFR5	0	CS0X	0	汎用ポート
			1	外部チップセレクト 0 出力 [初期値]
	1	CS1X	0	汎用ポート
			1	外部チップセレクト 1 出力 [初期値]
	2	CS2X	0	汎用ポート
			1	外部チップセレクト 2 出力 [初期値]
	3	ASX	0	汎用ポート
			1	外部アドレスストロープ出力 [初期値]
	4	RDX	0	汎用ポート
			1	外部リードストロープ出力 [初期値]
	5	WR0X	0	汎用ポート
			1	外部ライトストロープ出力 [初期値] 外部データバス bit31 ~ bit24 に対応
	6	WR1X	0	汎用ポート
			1	外部ライトストロープ出力 [初期値] 外部データバス bit23 ~ bit16 に対応
PFR6	0	SYSCLK	0	汎用ポート
			1	外部クロック出力 [初期値]
	1	RDY	0	汎用ポート
			1	外部レディ入力 [初期値]
PFR8	4	PPG4E	0	汎用ポート [初期値]
			1	PPG タイマ 4 出力
	5	PPG5E	0	汎用ポート [初期値]
			1	PPG タイマ 5 出力
	6	PPG6E	0	汎用ポート [初期値]
			1	PPG タイマ 6 出力
	7	PPG7E	0	汎用ポート [初期値]
			1	PPG タイマ 7 出力

表 5.3-1 各 PFR レジスタの初期値と機能 (4 / 6)

レジスタ名	ビット	ビット名	設定値	機能
PFR9	0	PPG8E	0	汎用ポート [初期値]
			1	PPG タイマ 8 出力
	1	PPG9E	0	汎用ポート [初期値]
			1	PPG タイマ 9 出力
	2	PPG10E	0	汎用ポート [初期値]
			1	PPG タイマ 10 出力
	3	PPG11E	0	汎用ポート [初期値]
			1	PPG タイマ 11 出力
	4	PPG12E	0	汎用ポート [初期値]
			1	PPG タイマ 12 出力
	5	PPG13E	0	汎用ポート [初期値]
			1	PPG タイマ 13 出力
	6	PPG14E	0	汎用ポート [初期値]
			1	PPG タイマ 14 出力
	7	PPG15E	0	汎用ポート [初期値]
			1	PPG タイマ 15 出力
PFR C	0	SCK4E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 4 のクロック出力
	2	SOT4E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 4 のデータ出力
	3	SCK5E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 5 のクロック出力
PFR F	0	CLKP OUTE	0	汎用ポート [初期値]
			1	クロックモニタのクロック出力
PFR G	0	SCK0E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 0 のクロック出力
	2	SOT0E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 0 のデータ出力
	3	SCK1E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 1 のクロック出力
	5	SOT1E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 1 のデータ出力

表 5.3-1 各 PFR レジスタの初期値と機能 (5 / 6)

レジスタ名	ビット	ビット名	設定値	機能
PFRH	0	SCK2E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 2 のクロック出力
	2	SOT2E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 2 のデータ出力
	3	SCK3E	0	汎用ポート [初期値]
			1	マルチファンクションシリアルインタフェース 3 のクロック出力
PFRJ	1	TOUT0E	0	汎用ポート [初期値]
			1	ベースタイマ 0 のデータ出力
	3	TOUT1E	0	汎用ポート [初期値]
			1	ベースタイマ 1 のデータ出力
	5	TOUT2E	0	汎用ポート [初期値]
			1	ベースタイマ 2 のデータ出力
PFRM	0	PPG0E	0	汎用ポート [初期値]
			1	PPG タイマ 0 出力
	1	PPG1E	0	汎用ポート [初期値]
			1	PPG タイマ 1 出力
	2	PPG2E	0	汎用ポート [初期値]
			1	PPG タイマ 2 出力
PFRQ	0	RTO0E	0	汎用ポート [初期値]
			1	波形ジェネレータ 0 の波形 0 出力
	1	RTO1E	0	汎用ポート [初期値]
			1	波形ジェネレータ 0 の波形 1 出力
	2	RTO2E	0	汎用ポート [初期値]
			1	波形ジェネレータ 0 の波形 2 出力
	3	RTO3E	0	汎用ポート [初期値]
			1	波形ジェネレータ 0 の波形 3 出力
	4	RTO4E	0	汎用ポート [初期値]
			1	波形ジェネレータ 0 の波形 4 出力
	5	RTO5E	0	汎用ポート [初期値]
			1	波形ジェネレータ 0 の波形 5 出力

表 5.3-1 各 PFR レジスタの初期値と機能 (6 / 6)

レジスタ名	ビット	ビット名	設定値	機能
PFRS	0	RTO6E	0	汎用ポート [初期値]
			1	波形ジェネレータ 1 の波形 6 出力
	1	RTO7E	0	汎用ポート [初期値]
			1	波形ジェネレータ 1 の波形 7 出力
	2	RTO8E	0	汎用ポート [初期値]
			1	波形ジェネレータ 1 の波形 8 出力
	3	RTO9E	0	汎用ポート [初期値]
			1	波形ジェネレータ 1 の波形 9 出力
	4	RTO10E	0	汎用ポート [初期値]
			1	波形ジェネレータ 1 の波形 10 出力
	5	RTO11E	0	汎用ポート [初期値]
			1	波形ジェネレータ 1 の波形 11 出力

< 注意事項 >

- PFR0 ~ PFR3, PFR5, PFR6 はバスモード 1 もしくはバスモード 2 のときのみ設定値が有効です。バスモード 0 のときには PFR の設定値にかかわらず、常に汎用ポートです。
- PFRB ~ PFRE は、アナログ入力許可のときには、設定値にかかわらず常にアナログ入力です。
- PPG は、外部割込み INT4 ~ INT15 と兼用になっています。それゆえ、PPG 出力を有効にする場合、必ず対応する外部割込み入力を無効にしてから、対応する PFR8, PFR9 の設定を行ってください。
- PFRQ, PFRS はそれぞれ波形ジェネレータ 0/1 の DTIF (DTTI 割込みフラグ) =1 の時には、設定値は無効となり、常に汎用ポートとなります。

第6章

割込みコントローラ

割込みコントローラの概要、レジスタの構成/機能、および動作について説明します。

- 6.1 割込みコントローラの概要
- 6.2 割込みコントローラのレジスタ一覧
- 6.3 割込みコントローラのブロックダイアグラム
- 6.4 割込みコントローラのレジスタ詳細説明
- 6.5 割込みコントローラの動作説明

6.1 割込みコントローラの概要

割込みコントローラは、割込み受付け / 調停処理を管理します。

■ ハードウェア構成

割込みコントローラは、以下のものより構成されます。

- ICR レジスタ
- 割込み優先度判定回路
- 割込みレベル、割込み番号（ベクタ）発生部
- ホールドリクエスト取下げ要求発生部

■ 主要機能

割込みコントローラには、主に以下のような機能があります。

- NMI 要求 / 割込み要求の検出
- 優先度判定（レベルおよび番号による）
- 判定結果の要因の割込みレベル伝達（CPU へ）
- 判定結果の要因の割込み番号伝達（CPU へ）
- NMI/ 割込みレベルが "1111_B" 以外の割込み発生によるストップモードからの復帰指示（CPU へ）
- DMAC へのホールドリクエスト取下げ要求発生

6.2 割込みコントローラのレジスター一覧

図 6.2-1 に割込みコントローラのレジスター一覧を示します。

■ レジスター一覧

図 6.2-1 割込みコントローラのレジスター一覧

ICR00 アドレス 00000440 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR01 アドレス 00000441 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR02 アドレス 00000442 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR03 アドレス 00000443 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR04 アドレス 00000444 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR05 アドレス 00000445 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR06 アドレス 00000446 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR07 アドレス 00000447 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR08 アドレス 00000448 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR09 アドレス 00000449 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR10 アドレス 0000044A _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR11 アドレス 0000044B _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	

(続く)

(続き)

ICR12 アドレス 0000044C _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR13 アドレス 0000044D _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR14 アドレス 0000044E _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR15 アドレス 0000044F _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR16 アドレス 00000450 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR17 アドレス 00000451 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR18 アドレス 00000452 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR19 アドレス 00000453 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR20 アドレス 00000454 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR21 アドレス 00000455 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR22 アドレス 00000456 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR23 アドレス 00000457 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR24 アドレス 00000458 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR25 アドレス 00000459 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	

(続く)

(続き)

ICR26									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000045A _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR27									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000045B _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR28									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000045C _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR29									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000045D _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR30									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000045E _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR31									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000045F _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR32									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000460 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR33									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000461 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR34									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000462 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR35									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000463 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR36									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000464 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR37									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000465 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR38									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000466 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR39									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000467 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	

(続く)

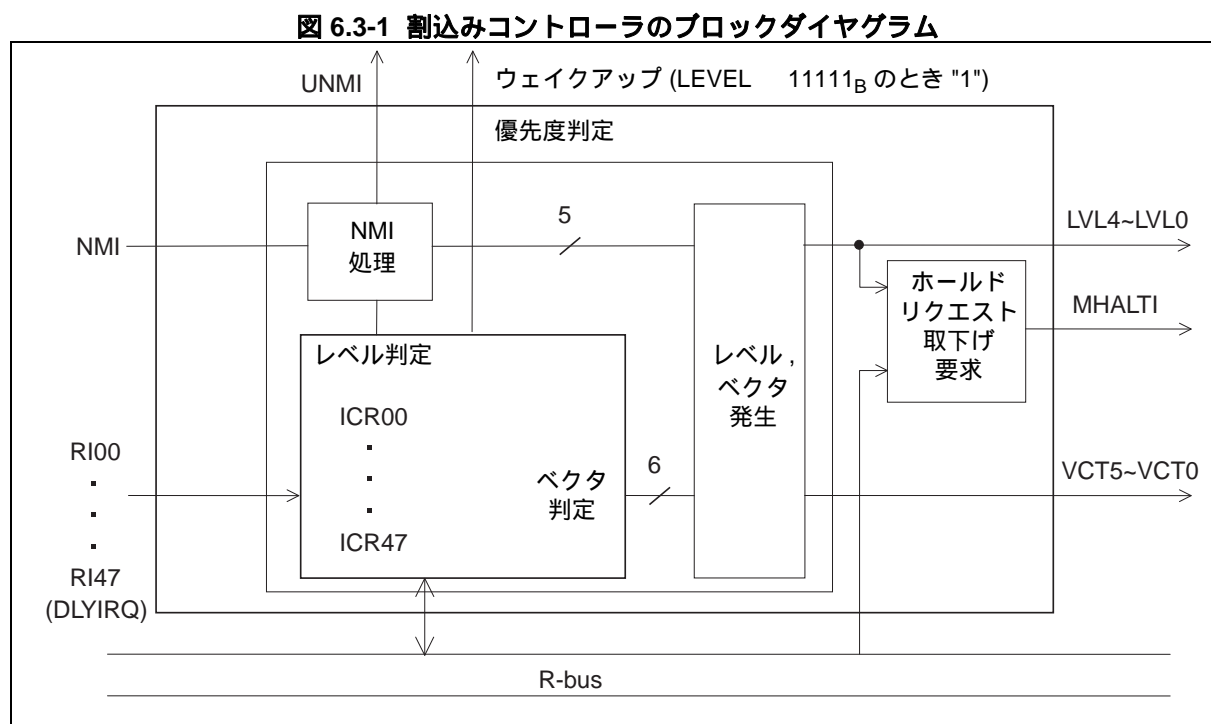
(続き)

ICR40									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000468 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR41									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000469 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR42									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000046A _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR43									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000046B _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR44									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000046C _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR45									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000046D _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR46									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000046E _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
ICR47									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000046F _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	---11111 _B
				R	R/W	R/W	R/W	R/W	
HRCL									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000045 _H	MHALTI	-	-	LVL4	LVL3	LVL2	LVL1	LVL0	0--11111 _B
	R/W			R	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能									
R : リードオンリ									

6.3 割込みコントローラのブロックダイアグラム

図 6.3-1 に、割込みコントローラのブロックダイアグラムを示します。

■ 割込みコントローラのブロックダイアグラム



6.4 割込みコントローラのレジスタ詳細説明

割込みコントローラで使用するレジスタの詳細について説明します。

■ 割込み制御レジスタ (ICR)

ICR00~ICR47									初期値
アドレス:	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ch.0 000440 _H	-	-	-	ICR4	ICR3	ICR2	ICR1	ICR0	--- 11111 _B
				R	R/W	R/W	R/W	R/W	
ch.47 00046F _H									
R/W: リード / ライト可能									
R : リードオンリ									

割込み制御レジスタです。各割込み入力に対して 1 つずつ設けられており、対応する割込み要求の割込みレベルを設定します。

[bit4 ~ bit0] ICR4 ~ ICR0

割込みレベル設定ビットで対応する割込み要求の割込みレベルを指定します。

本レジスタに設定した割込みレベルが CPU の ILM レジスタに設定されたレベルマスク値以上の場合は、CPU 側にて割込み要求はマスクされます。

リセットにより、"11111_B" に初期化されます。

設定可能な割込みレベル設定ビットと割込みレベルの対応を表 6.4-1 に示します。

表 6.4-1 設定可能な割込みレベル設定ビットと割込みレベルの対応

ICR4	ICR3	ICR2	ICR1	ICR0	割込みレベル	
0	0	0	0	0	0	システム予約
0	1	1	1	0	14	
0	1	1	1	1	15	NMI
1	0	0	0	0	16	設定可能な最強レベル
1	0	0	0	1	17	<div>(強)</div>  <div>(弱)</div>
1	0	0	1	0	18	
1	0	0	1	1	19	
1	0	1	0	0	20	
1	0	1	0	1	21	
1	0	1	1	0	22	
1	0	1	1	1	23	
1	1	0	0	0	24	
1	1	0	0	1	25	
1	1	0	1	0	26	
1	1	0	1	1	27	
1	1	1	0	0	28	
1	1	1	0	1	29	
1	1	1	1	0	30	
1	1	1	1	1	31	割込み禁止

ICR4 は "1" 固定で , "0" を書き込むことはできません。

■ HRCL (Hold Request Cancel Level register)

HRCL										
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値	
00000045 _H	MHALTI	-	-	LVL4	LVL3	LVL2	LVL1	LVL0	0 - 11111 _B	
	R/W			R	R/W	R/W	R/W	R/W		

R/W: リード / ライト可能
R : リードオンリ

ホールドリクエスト取下げ要求発生のためのレベル設定レジスタです。

[bit7] MHALTI

MHALTI は、NMI の要求による DMA 転送抑止ビットです。NMI 要求によって "1" にセットされ、"0" を書き込むことによってクリアされます。NMI ルーチンの最後で通常の割込みルーチンと同様にクリアしてください。

[bit4 ~ bit0] LVL4 ~ LVL0

バスマスタへのホールドリクエスト取下げ要求を発生するための割込みレベルを設定します。

本レジスタに設定した割込みレベルより強いレベルの割込み要求が発生した場合は、バスマスタに対してホールドリクエスト取下げ要求を出します。

LVL4 ビットは "1" 固定で、"0" を書き込むことはできません。

6.5 割込みコントローラの動作説明

割込みコントローラの動作を説明します。

■ 優先順位判定

割込みコントローラでは、同時に発生している割込み要因の中で最も優先度の高い要因を選択し、その要因の割込みレベルと割込み番号を CPU へ出力します。

割込み要因の優先順位判定基準は次のとおりです。

1. NMI
2. 以下の条件を満たす要因
 - ・ 割込みレベルの数値が 31 以外 (31 は割込み禁止)
 - ・ 割込みレベルの数値が最も小さい要因
その中で、最も小さい割込み番号の要因

上記の判定基準により割込み要因が 1 つも選択されなかった場合は、割込みレベルとして 31 ("11111_B") を出力します。そのときの割込み番号は不定です。

割込み要因と割込み番号、割込みレベルの関係は「付録 B 割込みベクタ」を参照してください。

■ NMI (Non Maskable Interrupt)

NMI は、本モジュールが取り扱う割込み要因の中では最も優先順位が高くなっています。

そのため、ほかの割込み要因と同時に発生した場合は常に NMI が選択されます。

- NMI が発生すると、CPU に対して次の情報を伝えます。

割込みレベル : 15 ("01111_B")

割込み番号 : 15 ("0001111_B")

- NMI 検出

NMI の設定および検出は外部割込み / NMI モジュールで行います。本モジュールでは NMI 要求により、割込みレベル / 割込み番号、MHALTI の生成のみを行います。

- NMI による DMA 転送の抑止

NMI 要求が発生すると、HRCL レジスタの MHALTI ビットが "1" になり、DMA 転送が抑止されます。DMA 転送の抑止を解除したい場合は、NMI ルーチンの最後にて MHALTI ビットを "0" にクリアしてください。

■ ホールドリクエスト取下げ要求 (Hold Request Cancel Request)

優先度の高い割込み処理を CPU のホールド中 (DMA 転送中) に行いたい場合は、ホールドリクエスト発生元においてリクエストを取り下げてもら必要があります。この取下げ要求発生基準となる割込みレベルを HRCL レジスタに設定します。

● 発生基準

HRCL レジスタに設定した割込みレベルより強いレベルの割込み要因が発生した場合は、DMAC に対してホールドリクエスト取下げ要求を発生します。

HRCL レジスタの割込みレベル > 優先度判定後の割込みレベル 取下げ要求発生

HRCL レジスタの割込みレベル ≤ 優先度判定後の割込みレベル 取下げ要求なし

取下げ要求発生原因となった割込み要因をクリアしない限り、この取下げ要求は有効であり、結果的にいつまでも DMA 転送が起こらないことになります。必ず、対応する割込み要因をクリアしてください。また、NMI を使用したときは、HRCL レジスタの MHALTI ビットが "1" となっているため、取下げ要求が有効になっています。

● 設定可能なレベル

HRCL レジスタに設定可能な値は、ICR と同様に "10000_B" から "11111_B" までです。

"11111_B" に設定した場合はすべての割込みレベルに対して取下げ要求を発生し、また、"10000_B" に設定した場合は NMI でのみ取下げ要求を発生します。

ホールドリクエスト取下げ要求発生となる割込みレベルの設定を表 6.5-1 に示します。

表 6.5-1 ホールドリクエスト取下げ要求発生となる割込みレベルの設定

HRCL レジスタ	取下げ要求発生となる割込みレベル
16	NMI のみ
17	NMI, 割込みレベル 16
18	NMI, 割込みレベル 16, 17
⋮	⋮
31	NMI, 割込みレベル 16 ~ 30 [初期値]

リセット後は、すべての割込みレベルに対して DMA 転送を抑止します。すなわち、割込みが発生していると DMA 転送が行われませんので、HRCL レジスタの値を必要な値に設定してください。

■ スタンバイモード (ストップ/スリープ) からの復帰

割込み要求の発生により , ストップモードから復帰する機能を本モジュールで実現します。NMI を含む周辺からの割込み要求 (割込みレベルが "11111_B" 以外) が 1 つでも発生すると , クロック制御部に対してストップモードからの復帰要求を発生します。

優先度判定部はストップ復帰後 , クロックが供給されてから動作を再開しますので , 優先度判定部の結果が出るまでの間 , CPU は命令を実行します。

スリープ状態からの復帰においても同様に動作します。また , スリープ中であっても , 本モジュール内のレジスタはアクセス可能です。

< 注意事項 >

- NMI 要求においてもストップモードからの復帰を行います。ただし , ストップ時に有効な入力レベルを NMIX 端子に与えるようにしてください。
 - ストップおよびスリープからの復帰の要因としたくない割込み要因は , 対応する周辺の制御レジスタにて割込みレベルを "11111_B" にしてください。
-

■ ホールドリクエスト取下げ要求機能 (HRCR) の使用例

DMA 転送中に CPU が優先度の高い処理を行いたいときは、DMA に対してホールドリクエストを取り下げてホールド状態を解除する必要があります。ここでは、割り込みを利用して DMA に対してホールドリクエストの取下げ、すなわち、CPU の優先動作を実現します。

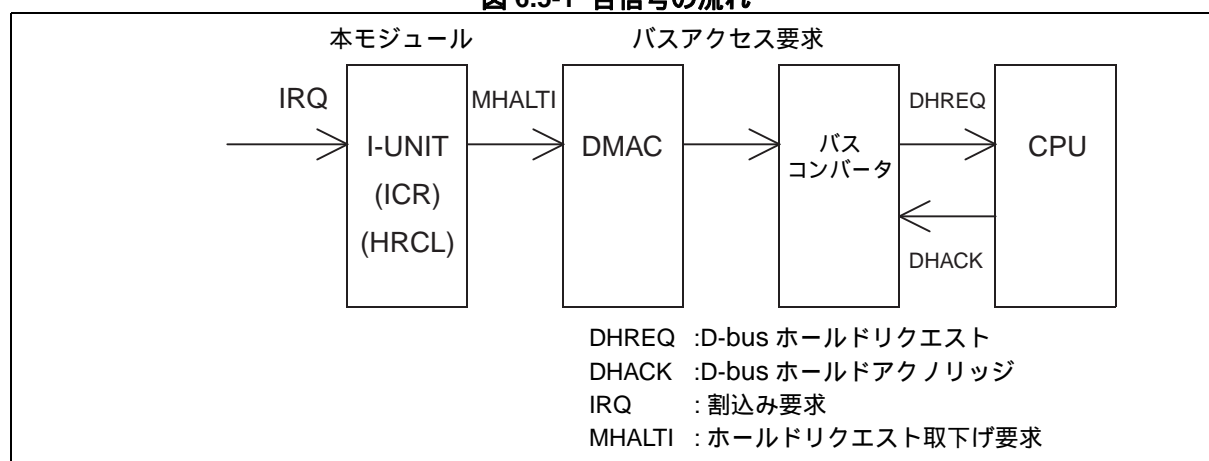
● 制御レジスタ

- HRCL (ホールドリクエストキャンセルレベル設定レジスタ) : 本モジュール
本レジスタに設定した割り込みレベルより強いレベルの割り込みが発生した場合に、DMA に対してホールドリクエスト取下げ要求を発生します。その基準となるレベルを設定します。
- ICR : 本モジュール
使用する割り込み要因に対応する ICR に、HRCL レジスタよりも強いレベルを設定します。

● ハードウェア構成

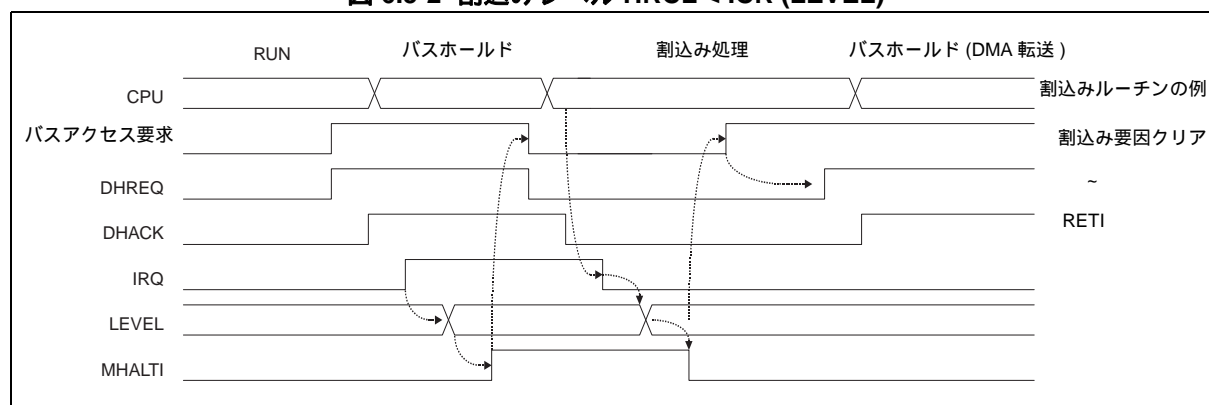
各信号の流れは、次のようになっています。

図 6.5-1 各信号の流れ



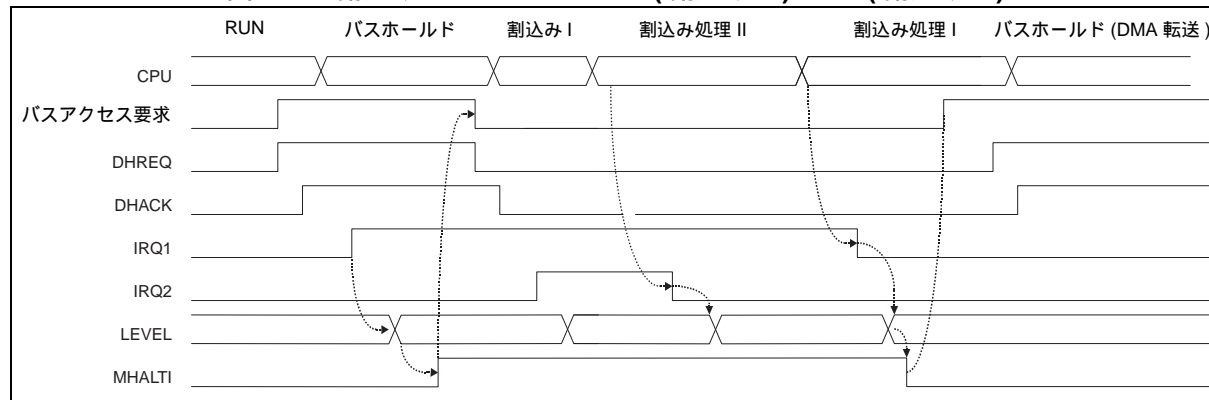
● シーケンス

図 6.5-2 割り込みレベル HRCL < ICR (LEVEL)



割り込み要求が発生すると割り込みレベルが変化して、これが HRCL レジスタに設定したレベルより強いと DMA に対して MHALTI をアクティブにします。これによって DMA はアクセス要求を下げ、CPU はホールド状態から復帰して割り込み処理を行います。
多重割り込みの場合を以下に示します。

図 6.5-3 割り込みレベル $HRCL < ICR(割り込み) < ICR(割り込み)$



割り込みルーチンの例

， ：割り込み要因クリア

～

， ： RETI

上記例では、割り込みルーチン I を実行中に、それよりも優先度の高い割り込みが発生した場合を示しています。

HRCL レジスタに設定した割り込みレベルより高い割り込みレベルが発生している間は、DHREQ はさがっています。

< 注意事項 >

HRCL レジスタと ICR に設定する割り込みレベルの関係には十分注意してください。

第7章

外部割込み・NMI 制御部

外部割込み /NMI 制御部の概要，レジスタの構成 / 機能，および動作について説明します。

7.1 外部割込み /NMI 制御部の概要

7.2 外部割込み /NMI 制御部のレジスタ

7.3 外部割込み /NMI 制御部の動作

7.1 外部割込み /NMI 制御部の概要

外部割込み制御部は、NMIX および INT0 ~ INT15 に入力される外部割込み要求の制御を行います。

外部割込み入力は、検出する要求のレベルとして、"H", "L", "立上リエッジ", "立下リエッジ" から選択できます。

■ レジスタ一覧

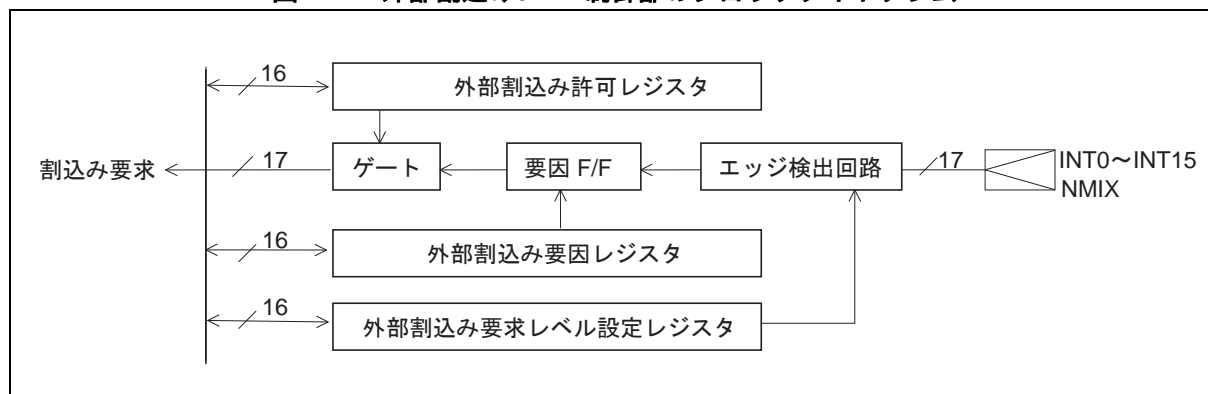
外部割込み /NMI 制御部のレジスタ一覧を示します。

外部割込み要因レジスタ									
EIRR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000040 _H	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
EIRR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000154 _H	ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
割込み許可レジスタ									
ENIR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000041 _H	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ENIR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000155 _H	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
外部割込み要求レベル設定レジスタ									
ELVR0									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
00000042 _H	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ELVR1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
00000156 _H	LB15	LA15	LB14	LA14	LB13	LA13	LB12	LA12	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ELVR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000043 _H	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ELVR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000157 _H	LB11	LA11	LB10	LA10	LB9	LA9	LB8	LA8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W: リード / ライト可能									

■ 外部割込み /NMI 制御部のブロックダイアグラム

外部割込み /NMI 制御部のブロックダイアグラムを図 7.1-1 に示します。

図 7.1-1 外部割込み /NMI 制御部のブロックダイアグラム



7.2 外部割込み /NMI 制御部のレジスタ

外部割込み /NMI 制御部で使用するレジスタの構成および機能について説明します。

■ 割込み許可レジスタ [ENIR (ENIR0, ENIR1) : ENable Interrupt request Register]

ENIR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000041 _H	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ENIR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000155 _H	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W: リード / ライト可能

ENIR レジスタは外部割込み要求出力のマスク制御を行います。このレジスタの "1" を書かれたビットに対応する割込み要求出力は許可され (INT0 の許可を EN0 が制御)、割込みコントローラに対して要求が出力されます。"0" が書かれたビットに対応する端子は割込み要因を保持しますが、割込みコントローラに対しては要求を発生しません。

NMI に対する許可ビットは存在しません。

■ 外部割込み要因レジスタ [EIRR (EIRR0, EIRR1) : External Interrupt Request Register]

EIRR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000040 _H	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
EIRR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000154 _H	ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W: リード / ライト可能

EIRR レジスタは読出し時には対応する外部割込み要求があることを示し、書込み時にはこの要求を示すフリップフロップの内容をクリアするレジスタです。

この EIRR レジスタを読み出したときに "1" であった場合、そのビットに対応する端子に外部割込み要求があることを示します。また、このレジスタに "0" を書き込むと、対応するビットの要求フリップフロップがクリアされます。

"1" の書込みは無効です。

リードモディファイライト (RMW) 系命令の読出し時には "1" が読まれます。

NMI に対するフラグは、ユーザからアクセスできません。

■ 外部割込み要求レベル設定レジスタ [ELVR (ELVR0, ELVR1) :
External LeVel Register]

ELVR0									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
00000042 _H	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ELVR1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
00000156 _H	LB15	LA15	LB14	LA14	LB13	LA13	LB12	LA12	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ELVR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000043 _H	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ELVR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
00000157 _H	LB11	LA11	LB10	LA10	LB9	LA9	LB8	LA8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能									

ELVR は要求検出の選択を行うレジスタです。INT0 ~ INT15 に 2 ビットずつが割り当てられていて、以下のような設定になります。要求入力レベルの場合、EIRR の各ビットをクリアしても入力がアクティブレベルならば該当するビットは再びセットされます。

表 7.2-1 ELVR 割当て表

LBx	LAx	動作
0	0	"L" レベルで要求あり
0	1	"H" レベルで要求あり
1	0	立上りエッジで要求あり
1	1	立下りエッジで要求あり

NMI の検出レベルは、常に立下りエッジです。また、ストップ状態からの復帰に NMI を使用する場合は、"L" レベル検出となります。

< 注意事項 >

外部割込み要求レベルを変更すると、内部で割込み要因が発生する場合がありますので、外部割込み要求レベル変更後に外部割込み要因レジスタ (EIRR) をクリアしてください。外部割込み要因レジスタをクリアする際は、いったん外部割込み要求レベルレジスタを読み出してからクリアの書込みを行ってください。

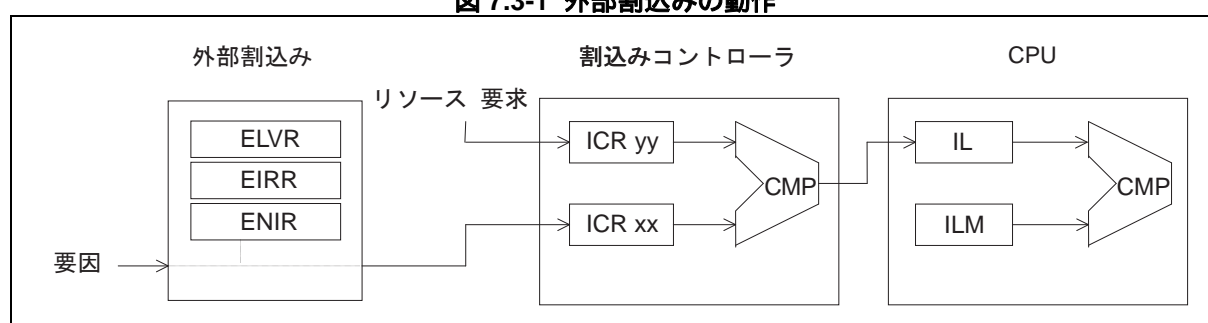
7.3 外部割込み /NMI 制御部の動作

要求レベル，許可レジスタの設定後，対応する端子に ELVR レジスタで設定された要求が入力されると，本モジュールは割込みコントローラに対して割込み要求信号を発生します。割込みコントローラ内で同時に発生した割込みの優先順位を識別した結果，本リソースからの割込みが最も優先順位が高かったときに該当する割込みが発生します。

■ 外部割込みの動作について

外部割込みの動作を図 7.3-1 に示します。

図 7.3-1 外部割込みの動作



■ スタンバイからの復帰について

使用しないチャンネルは，スタンバイに入る前に，必ず禁止状態にしてください。

■ 外部割込みの動作手順について

外部割込み部内に存在するレジスタの設定を行う際，次の手順で設定してください。

1. 外部割込み入力として使用する端子と兼用する汎用入出力ポートを入力ポートに設定する。
2. 割込み許可レジスタ (ENIR) の対象となるビットを禁止状態にする。
3. 外部割込み要求レベル設定レジスタ (ELVR) の対象となるビットを設定する。
4. 外部割込み要求レベル設定レジスタ (ELVR) を読み出す。
5. 外部割込み要因レジスタ (EIRR) の対象となるビットをクリアする。
6. 割込み許可レジスタ (ENIR) の対象となるビットを許可状態にする
(ただし，5. と 6. は 16 ビットデータによる同時書き込み可能)。

本モジュール内のレジスタを設定するときには必ず許可レジスタを禁止状態に設定しておかなければなりません。また，許可レジスタを許可状態にする前に必ず要因レジスタをクリアしておく必要があります。これは，レジスタ設定時や割込み許可状態時に誤って割込み要因が起こってしまうことを避けるためです。

■ 外部割込み要求レベルについて

- 要求レベルがエッジ要求時にエッジがあったことを検出するには、パルス幅は最小 4 周辺クロック (CLKP) サイクルを必要とします。
- 要求入力レベルがレベル設定時に外部から要求入力が入ってその後、取り下げられても内部に要因保持回路が存在するため、割込みコントローラへの要求はアクティブのままです。要求入力レベルがレベル設定の場合、パルス幅は最小 3 マシンサイクル必要とします。また割込み入力端子がアクティブレベルを保持し続けている限りは、要因レジスタをクリアしても、割込みコントローラへの割込み要求は発生し続けます。

割込みコントローラへの要求を取り下げるには外部割込み要因レジスタをクリアする必要があります。

図 7.3-2 レベル設定時の外部割込み要因レジスタのクリア

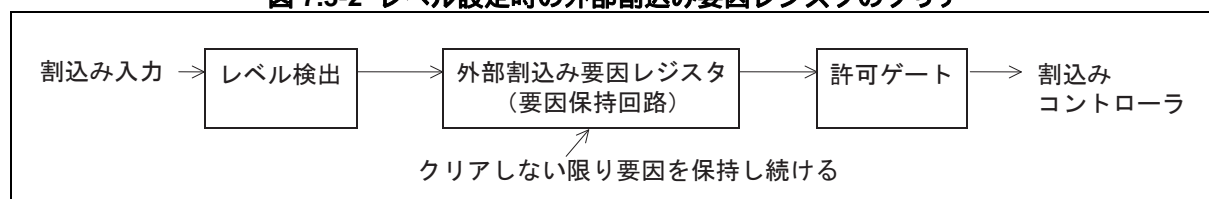
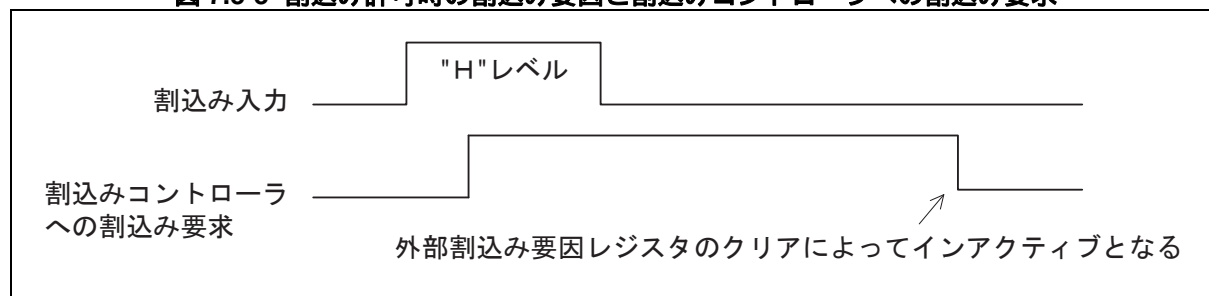


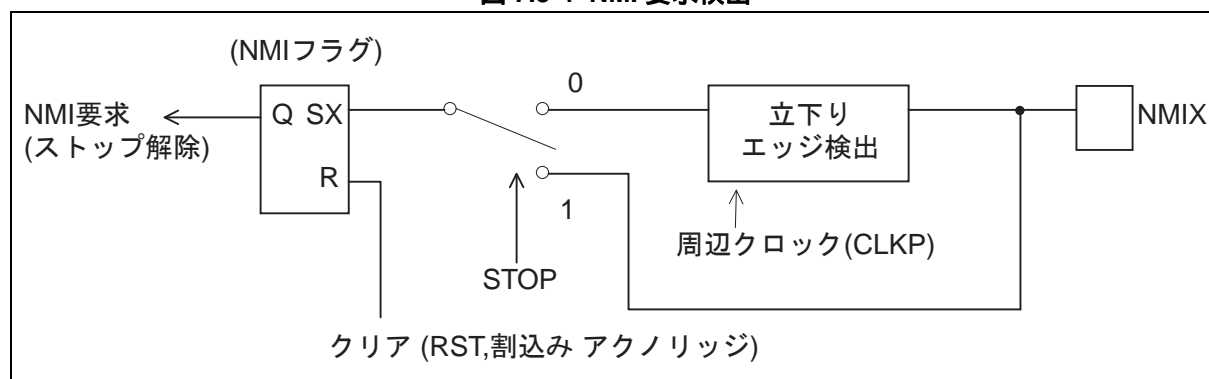
図 7.3-3 割込み許可時の割込み要因と割込みコントローラへの割込み要求



■ NMI

- NMI は、ユーザ割込みの中で最強の割込みで、マスクすることはできません。
例外として、NMI の使用前に ILM を設定しないで NMI を起動すると、NMI 要因は検出されますが、CPU は NMI 要求を受け付けません。このとき、ILM を NMI が受け付けられるレベルに設定されるまで NMI 要因は保持され続けます。このため、リセット後、ILM を 16 以上の値に設定した後、NMI を使用してください。また、NMI の内部要因フラグは、CPU からアクセスできませんので、リセット後の NMIX 端子は "H" レベルを保持してください。
- NMI の受け付けは下記のとおりです。
通常時 ：立下りエッジ
ストップ時 ："L" レベル
- NMI によってストップモードの解除が可能です。ストップ状態で "L" レベルが入力されるとストップ状態が解除されて発振安定待ち時間を確保します。
NMI 要求検出部には NMI フラグがあり、NMI 要求によりセットされ、NMI 自身の割込みの受け付け、もしくは、リセットでのみクリアされます。
なお、このビットは読出し / 書込みできません。

図 7.3-4 NMI 要求検出

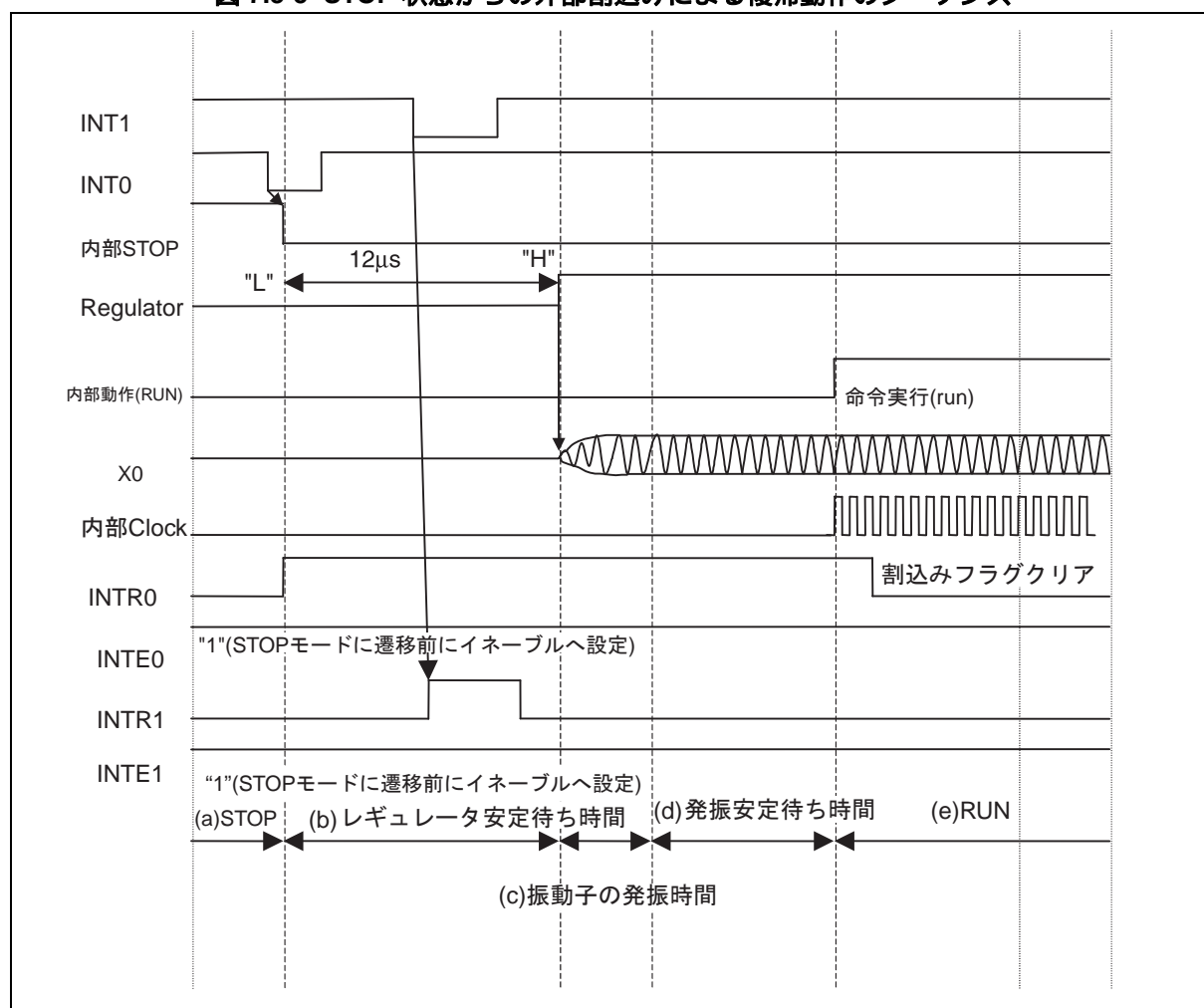


■ 外部割込みを使用した STOP 状態からの復帰時における注意事項

STOP 状態時に、INT 端子への最初に入力された外部割込み信号は非同期で入力され、STOP 状態から復帰することが可能です。ただし、その STOP 解除から、発振安定待ち時間経過するまでの期間においては、ほかの外部割込み信号の入力を認識できない期間が存在します (図 7.3-5 の b+c+d 期間)。STOP 解除後の外部割込み信号を内部クロックに同期させるため、クロックが安定していない期間内は、その割込み要因を保持できないためです。

そのため、STOP 解除後の外部割込み入力を行う場合には、発振安定待ち時間経過後に外部割込み信号を入力してください。

図 7.3-5 STOP 状態からの外部割込みによる復帰動作のシーケンス



■ STOP 状態からの復帰動作について

現行回路の外部割込みによる STOP 復帰動作は、以下の動作によって行われます。

● STOP 遷移前の処理

• 外部割込み経路の設定

デバイスが STOP 状態に遷移する前に STOP 状態を解除するための外部割込み入力経路を設定しておく必要があります。これは PFR レジスタ (Port Function Register) と ENIR レジスタ (ENable Interrupt Register) で設定を行います。通常状態 (STOP 以外の状態) では割込みの入力経路は確保されていますので意識する必要はありません。しかし STOP 状態では PFR レジスタ値により入力パスが制御されており

STOP 解除に使用する端子名	設定するレジスタと bit
P97/INT15/PPG15	PFR9 の bit7 を "0" としてください。
P96/INT14/PPG14	PFR9 の bit6 を "0" としてください。
P95/INT13/PPG13	PFR9 の bit5 を "0" としてください。
P94/INT12/PPG12	PFR9 の bit4 を "0" としてください。
P93/INT11/PPG11	PFR9 の bit3 を "0" としてください。
P92/INT10/PPG10	PFR9 の bit2 を "0" としてください。
P91/INT9/PPG9	PFR9 の bit1 を "0" としてください。
P90/INT8/PPG8	PFR9 の bit0 を "0" としてください。
P87/INT7/PPG7	PFR8 の bit7 を "0" としてください。
P86/INT6/PPG6	PFR8 の bit6 を "0" としてください。
P85/INT5/PPG5	PFR8 の bit5 を "0" としてください。
P84/INT4/PPG4	PFR8 の bit4 を "0" としてください。

• 外部割込みの入力

STOP 状態から復帰させたいとき、外部割込み信号は非同期で入力信号を伝える状態となっています。この割込み信号が有効になると直ちに内部 STOP 信号を立ち下げる動作が行われます。同時に外部割込み回路ではほかのレベル割込み入力の同期化を行うように切り換わります。

● 振動子の発振時間

レギュレータ安定待ち時間が終了後、クロックの発振が開始されます。振動子の発振時間は使用される振動子により異なります。

● 発振安定待ち時間

振動子の発振時間後にデバイス内部で発振安定待ち時間がとられます。発振安定待ち時間はスタンバイ制御レジスタの OS1, OS0 ビットにより指定します。発振安定待ち時間終了後、内部クロックが供給され、外部割込みによる割込み命令動作が開始されると共に、STOP からの復帰要因以外の外部割込み要因が受付け可能になります。

第8章

REALOS 関連ハード

REALOS 関連ハードは、リアルタイム OS により使用されます。したがって、REALOS を使用する場合にはユーザプログラムで使用することはできません。

遅延割込みモジュールおよびビットサーチモジュールの概要、レジスタ構成 / 機能、および動作について説明します。

8.1 遅延割込みモジュール

8.2 ビットサーチモジュール

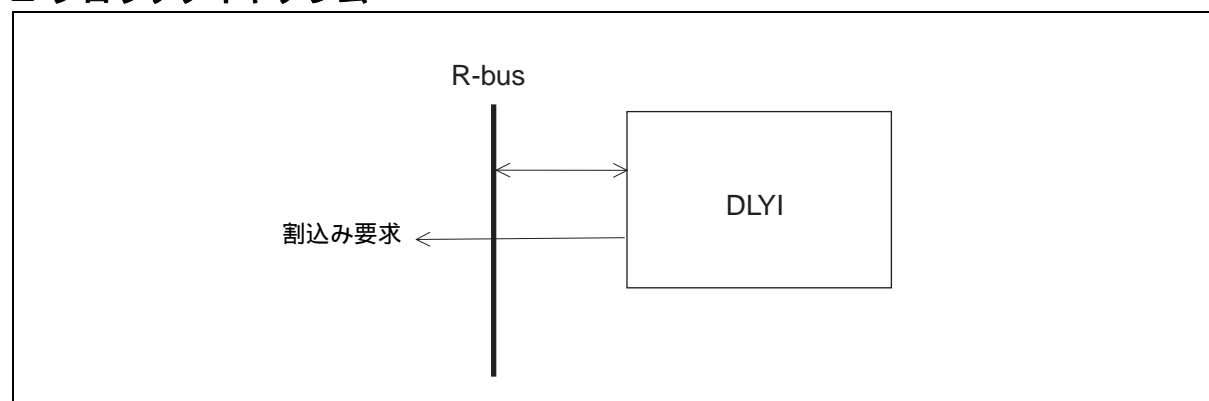
8.1 遅延割込みモジュール

遅延割込みモジュールは、タスク切換え用の割込みを発生するためのモジュールです。本モジュールを使用することで、ソフトウェアで CPU に対して割込み要求の発生 / 取消しを行うことができます。

■ レジスタ一覧

DICR										
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値	
000044 _H	-	-	-	-	-	-	-	DLYI	-----0 _B	
								R/W		
R/W : リード / ライト可能										

■ ブロックダイアグラム



■ レジスタ詳細説明

● DICR (Delayed Interrupt Control Register)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値	
000044 _H	-	-	-	-	-	-	-	DLYI	-----0 _B	
								R/W		
R/W : リード / ライト可能										

遅延割込みを制御するレジスタです。

[bit0] DLYI

DLYI	説明
0	遅延割込み要因の解除・要求なし [初期値]
1	遅延割込み要因の発生

本ビットにより、該当する割込み要因の発生・解除を制御します。

■ 動作説明

遅延割込みは、タスク切換え用の割込みを発生します。本機能を使用することにより、ソフトウェアで CPU に対して割込み要求の発生、取消しを行うことができます。

● 割込み番号

遅延割込みは、最も大きな割込み番号に対応した割込み要因に割り当てられています。

MB91470/480 シリーズでは、遅延割込みを割込み番号 63 (3F_H) に割り当てています。

● DICR の DLYI ビット

このビットに "1" を書き込むことで遅延割込み要因が発生します。また、"0" を書き込むことで遅延割込み要因を解除します。

本ビットは、一般の割込みにおける割込み要因フラグと同じものであり、割込みルーチンの中で本ビットをクリアし、合わせてタスクの切換えを行うようにしてください。

8.2 ビットサーチモジュール

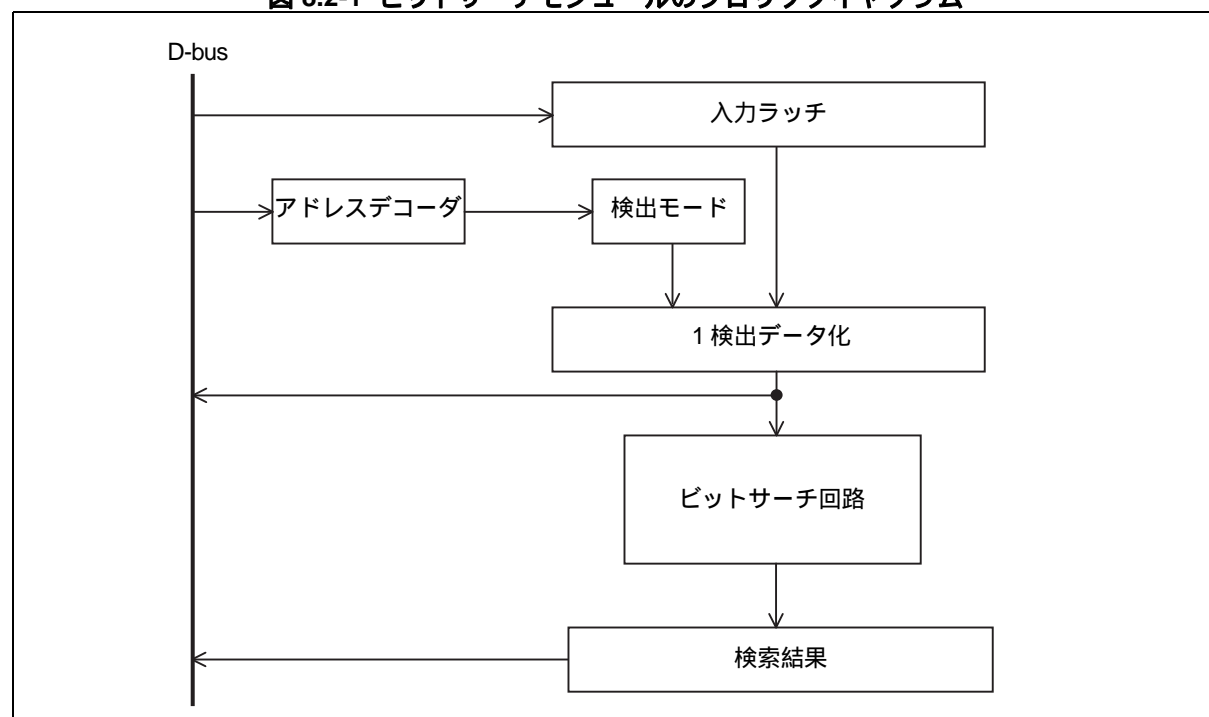
入力レジスタに書き込まれたデータに対して, "0", "1" または変化点を検索して検出したビット位置を返します。

■ レジスタ一覧

	bit 31	bit0
アドレス : 0003F0 _H	BSD0	0 検出用データレジスタ
アドレス : 0003F4 _H	BSD1	1 検出用データレジスタ
アドレス : 0003F8 _H	BSDC	変化点検出用データレジスタ
アドレス : 0003FC _H	BSRR	検出結果レジスタ

■ ビットサーチモジュールのブロックダイアグラム

図 8.2-1 ビットサーチモジュールのブロックダイアグラム



■ レジスタ詳細説明

● 0 検出用データレジスタ (BSD0)

アドレス	bit31	bit0
0003F0 _H		
属性	ライトオンリ	
初期値	XXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX _B	

書き込んだ値に対して 0 検出を行います。

リセットによる初期値は不定です。読出し値は不定です。

データ転送には、32 ビット長のデータ転送命令を使用してください
(8 ビット、16 ビット長のデータ転送命令は使わないでください)。

● 1 検出用データレジスタ (BSD1)

アドレス	bit31	bit0
0003F4 _H		
属性	リード / ライト可能	
初期値	XXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX _B	

データ転送には、32 ビット長のデータ転送命令を使用してください
(8 ビット、16 ビット長のデータ転送命令は使わないでください)。

書込み時

書き込んだ値に対して "1" を検出します。

読出し時

ビットサーチモジュールの内部状態の退避用データが読み出されます。割込みハンドラなどがビットサーチモジュールを使用する場合に、元の状態を退避・復帰するときに使用します。

0 検出、変化点検出、データレジスタにデータを書き込んだ場合でも、1 検出用データレジスタのみ操作することで退避・復帰できます。

リセットによる初期値は不定です。

● 変化点検出用データレジスタ (BSDC)

アドレス	bit31	bit0
0003F8 _H		
属性	ライトオンリ	
初期値	XXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX _B	

書き込んだ値に対して変化点の検出を行います。

リセットによる初期値は不定です。

読出し値は不定です。

データ転送には、32 ビット長のデータ転送命令を使用してください

(8 ビット、16 ビット長のデータ転送命令は使わないでください)。

● 検出結果レジスタ (BSRR)

0 検出、1 検出、または変化点検出の結果が読み出されます。

どの検出結果が読み出されるかは、最後に書き込んだデータレジスタによって決定されます。

アドレス	bit31	bit0
0003FC _H		
属性	リードオンリ	
初期値	XXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX _B	

■ 動作説明

● 0 検出

0 検出用データレジスタに書き込まれたデータを MSB から LSB ヘスキャンし、最初の "0" を検出した位置を返します。

検出結果は、検出結果レジスタを読み出すことで得られます。

検出した位置と返す数値の関係は、表 8.2-1 のとおりです。

"0" が存在しないとき (すなわち "FFFFFFFF_H" という数値のとき)、"32" という値をサーチ結果として返します。

[実行例]

書込みデータ	読出し値 (10 進)
11111111111111111111000000000000 _B (FFFFF000 _H)	20
111110000100100111110000010101010 _B (F849E0AA _H)	5
1000000000000001010101010101010 _B (8002AAAA _H)	1
1111111111111111111111111111111 _B (FFFFFFFF _H)	32

● 1 検出

1 検出用データレジスタに書き込まれたデータを MSB から LSB ヘスキャンし、最初の "1" を検出した位置を返します。

検出結果は、検出結果レジスタを読み出すことで得られます。

検出した位置と返す値との関係は、表 8.2-1 のとおりです。

"1" が存在しないとき (すなわち "00000000_H" という数値のとき)、"32" という値をサーチ結果として返します。

[実行例]

書込みデータ	読出し値 (10 進)
0010000000000000000000000000000 _B (20000000 _H)	2
00000001001000110100010101100111 _B (01234567 _H)	7
0000000000000001111111111111111 _B (0003FFFF _H)	14
0000000000000000000000000000001 _B (00000001 _H)	31
0000000000000000000000000000000 _B (00000000 _H)	32

● 変化点検出

変化点検出用データレジスタに書き込まれたデータを bit30 から LSB ヘスキャンし、MSB の値と比較します。最初に MSB と異なる値を検出した位置を返します。

検出結果は、検出結果レジスタを読み出すことで得られます。

検出した位置と返す値は、表 8.2-1 の示すとおりです。

変化点が存在しないときは、"32" を返します。

変化点検出では、結果として "0" を返すことはありません。

[実行例]

書込みデータ	読出し値 (10 進)
00100000000000000000000000000000 _B (20000000 _H)	2
00000001001000110100010101100111 _B (01234567 _H)	7
00000000000000011111111111111111 _B (0003FFFF _H)	14
00000000000000000000000000000001 _B (00000001 _H)	31
00000000000000000000000000000000 _B (00000000 _H)	32
11111111111111111111000000000000 _B (FFFFF000 _H)	20
11111000010010011110000010101010 _B (F849E0AA _H)	5
10000000000000101010101010101010 _B (8002AAAA _H)	1
11111111111111111111111111111111 _B (FFFFFFFF _H)	32

表 8.2-1 ビット位置と返す値 (10 進)

検出した ビット位置	返す値	検出した ビット位置	返す値	検出した ビット位置	返す値	検出した ビット位置	返す値
31	0	23	8	15	16	7	24
30	1	22	9	14	17	6	25
29	2	21	10	13	18	5	26
28	3	20	11	12	19	4	27
27	4	19	12	11	20	3	28
26	5	18	13	10	21	2	29
25	6	17	14	9	22	1	30
24	7	16	15	8	23	0	31
						存在しない	32

■ 退避・復帰の処理

割込みハンドラ中でビットサーチモジュールを使う場合のように、ビットサーチモジュールの内部状態を退避・復帰させる必要がある場合は、以下の手順に従ってください。

1. 1 検出用データレジスタを読み出し、この内容を保存する（退避）
2. ビットサーチモジュールを使用
3. 1. で退避したデータを 1 検出用データレジスタに書き込む（復帰）

以上の操作により、次に検出結果レジスタを読み出したときに得られる値は、1. 以前にビットサーチモジュールに書き込まれた内容に応じたものとなります。最後に書き込まれたデータレジスタが 0 検出用または変化点検出用であっても、上記手順で正しく元に戻ります。

16 ビットリロードタイマ

16 ビットリロードタイマのレジスタの構成と機能
およびタイマの動作について説明します。

- 9.1 16 ビットリロードタイマの概要
- 9.2 16 ビットリロードタイマのレジスタ
- 9.3 16 ビットリロードタイマの動作

9.1 16ビットリロードタイマの概要

16ビットリロードタイマは、16ビットのダウンカウンタ、16ビットのリロードレジスタ、内部カウンタ、クロック生成用プリスケアラ、コントロールレジスタで構成されています。

■ 16ビットリロードタイマの概要

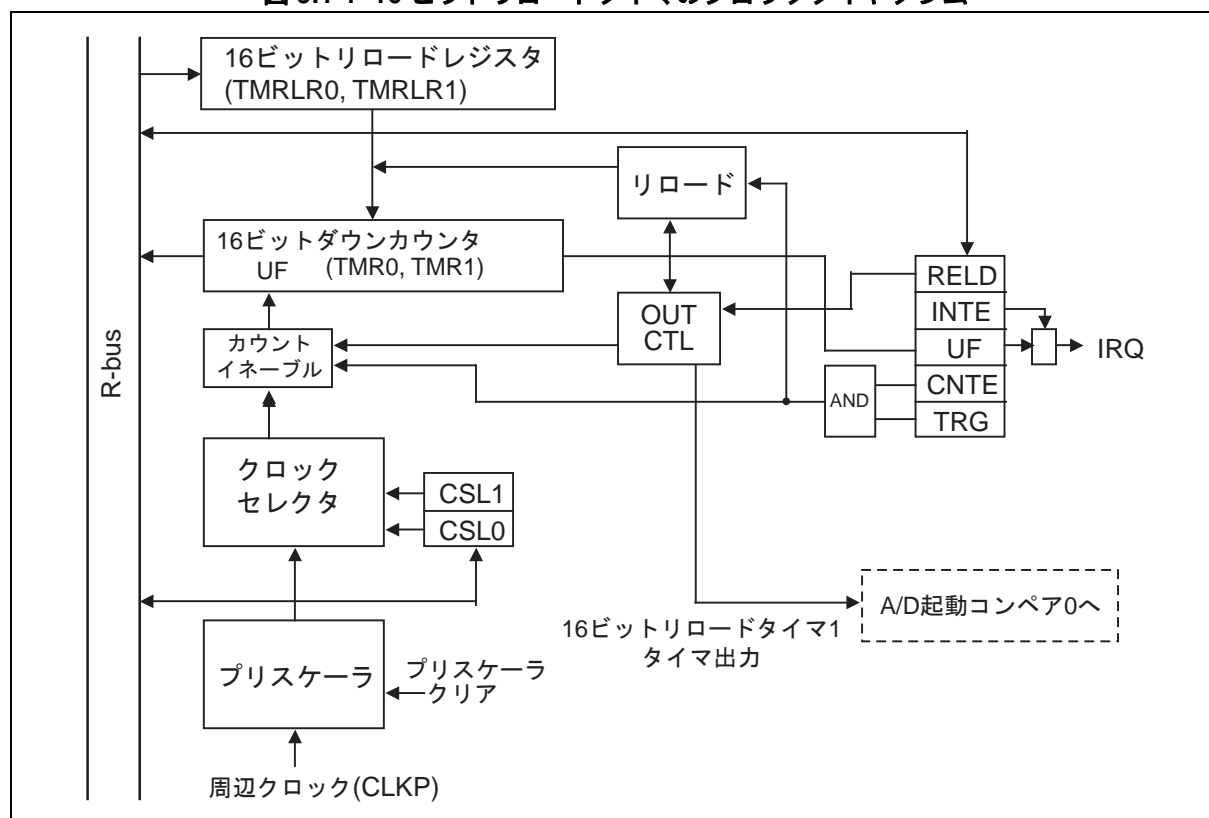
16ビットリロードタイマは、16ビットのダウンカウンタ、16ビットのリロードレジスタ、内部カウンタ、クロック生成用プリスケアラ、コントロールレジスタで構成されています。

クロックソースとして内部クロック3種類（周辺クロック (CLKP) の2/8/32分周）から選択できます。

■ 16ビットリロードタイマのブロックダイアグラム

図 9.1-1 に 16ビットリロードタイマのブロックダイアグラムを示します。

図 9.1-1 16ビットリロードタイマのブロックダイアグラム



16ビットリロードタイマ1のタイマ出力のみ、A/Dコンバータの起動要因として使用することができます。起動対象となるA/Dコンバータは以下の通りです。

MB91470 シリーズ：12ビットA/Dコンバータ4

MB91480 シリーズ：10ビットA/Dコンバータ1

9.2 16ビットリロードタイマのレジスタ

16ビットリロードタイマで使用するレジスタの構成と機能について説明します。

■ 16ビットリロードタイマのレジスタ一覧

TMCSR0, TMCSR1(上位)										
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値	
0000 004E _H	-	-	-	-	CSL1	CSL0	-	-	---- 00-- B	
0000 0056 _H	-	-	-	-	R/W	R/W	-	-		
TMCSR0, TMCSR1(下位)										
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値	
0000 004F _H	-	-	-	RELD	INTE	UF	CNTE	TRG	--- 00000 _B	
0000 0057 _H	-	-	-	R/W	R/W	R/W	R/W	R/W		
TMR0, TMR1										
アドレス	bit15								bit0	初期値
0000 004A _H										XXXX _H
0000 0052 _H										
R										
TMRLR0, TMRLR1										
アドレス	bit15								bit0	初期値
0000 0048 _H										XXXX _H
0000 0050 _H										
W										
R/W : リード / ライト可能										
R : リードオンリ										
W : ライトオンリ										

9.2.1 コントロールステータスレジスタ (TMCSR)

コントロールステータスレジスタ (TMCSR) は 16 ビットリロードタイマの動作モードと割込みを制御します。

■ コントロールステータスレジスタ (TMCSR) のビット構成

TMCSR0, TMCSR1(上位)									初期値 ---- 00-- B
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
0000 004E _H 0000 0056 _H	-	-	-	-	CSL1	CSL0	-	-	
	-	-	-	-	R/W	R/W	-	-	
TMCSR0, TMCSR1(下位)									初期値 --- 00000 _B
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
0000 004F _H 0000 0057 _H	-	-	-	RELD	INTE	UF	CNTE	TRG	
	-	-	-	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能

[bit15 ~ bit12] Reserved : 予約ビット

予約ビットです。

読出し値は常に "0000_B" となります。

[bit11, bit10] CSL1, CSL0 : カウントソース選択ビット

カウントソースセレクトビットです。カウントソースは内部クロックを選択できます。選択可能なカウントソースは以下のとおりです。

CSL1	CSL0	カウントソース (ϕ : 周辺クロック)		$\phi=40\text{MHz}$	$\phi=20\text{MHz}$
0	0	内部クロック	$\phi/2^1$ [初期値]	50ns	100ns
0	1	内部クロック	$\phi/2^3$	200ns	400ns
1	0	内部クロック	$\phi/2^5$	800ns	1.6 μs
1	1	設定禁止		-	-

[bit9 ~ bit7] Reserved : 予約ビット

必ず "000_B" を設定してください。

[bit6, bit5] Reserved : 予約ビット

予約ビットです。

読出し値は常に "0" になります。

[bit4] RELD : リロード許可ビット

リロード許可ビットです。"1" のときリロードモードになり、カウンタの値が "0000_H"

"FFFF_H" へのアンダフローと同時にリロードレジスタの内容をカウンタへロードしてカウント動作を続けます。

"0" のときワンショットモードになり、カウンタの値が "0000_H" "FFFF_H" へのアンダフローによりカウント動作を停止します。

[bit3] INTE : 割込み許可ビット

割込み要求許可ビットです。"1" のとき UF ビットが "1" になると割込み要求を発生します。"0" のときは割込み要求を発生しません。

[bit2] UF : アンダフロー割込みフラグ

タイマ割込み要求フラグです。カウンタの値が "0000_H" "FFFF_H" へのアンダフローにより "1" にセットされます。"0" の書込みによってクリアされます。

このビットへの "1" 書込みは意味がありません。

リードモディファイライト (RMW) 系命令における読出しでは、"1" が読み出されません。

[bit1] CNTE : カウント許可ビット

タイマのカウントイネーブルビットです。このビットに "1" を書き込むと、起動トリガ待ち状態になります。"0" 書込みによりカウント動作は停止します。

[bit0] TRG : トリガビット

ソフトウェアトリガビットです。"1" 書込みによりソフトウェアトリガがかかり、リロードレジスタの内容をカウンタへロードしてカウント動作を開始します。

"0" 書込みは意味がありません。読出し値は常に "0" です。

本レジスタによるトリガ入力、CNTE=1 のときのみ有効となります。CNTE=0 のときには何も起こりません。

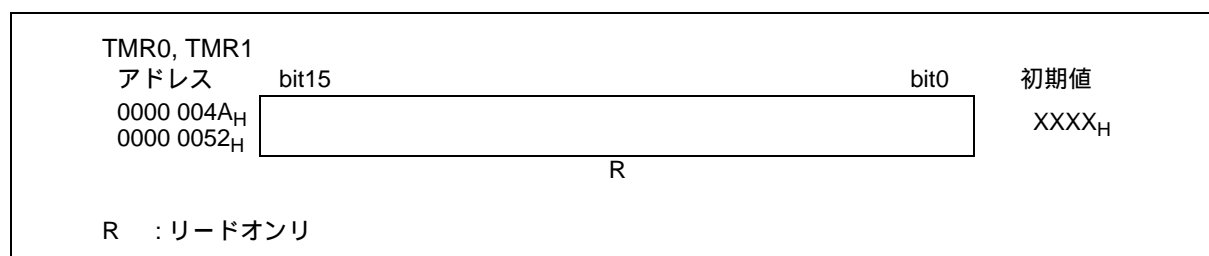
< 注意事項 >

UF, CNTE, TRG ビット以外の書換えは、CNTE=0 のときに行うようにしてください。

9.2.2 16 ビットタイマレジスタ (TMR)

16 ビットタイマレジスタ (TMR) は 16 ビットタイマのカウント値を読み出すために使用されます。

■ 16 ビットタイマレジスタ (TMR) のビット構成

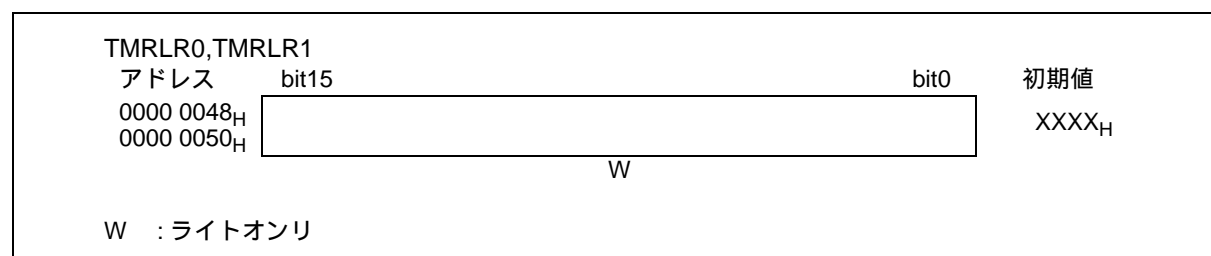


16 ビットタイマのカウント値を読み出すことができるレジスタです。初期値は不定です。本レジスタの読出しは必ず 16 ビットデータ転送命令で行ってください。

9.2.3 16 ビットリロードレジスタ (TMRLR)

16 ビットリロードレジスタ (TMRLR) はカウンタの初期値を保持するためのレジスタです。

■ 16 ビットリロードレジスタ (TMRLR) のビット構成



本レジスタは、カウンタの初期値を保持しておくためのレジスタです。初期値は不定です。本レジスタの書込みは必ず 16 ビットデータ転送命令で行ってください。

9.3 16ビットリロードタイマの動作

16ビットリロードタイマの下記の動作について説明します。

- 内部クロック動作
- アンダフロー動作

■ 内部クロック動作

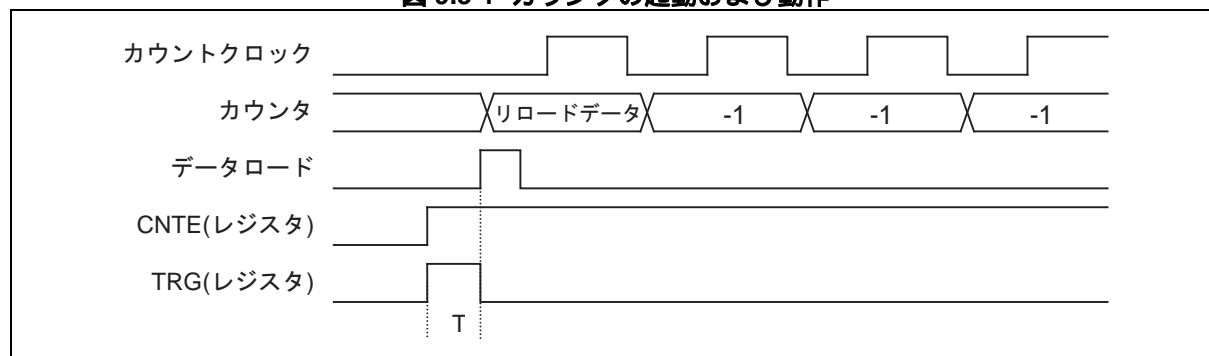
内部クロックの分周クロックでタイマを動作させる場合、カウントソースとして周辺クロックの $2 \cdot 8 \cdot 32$ 分周のクロックから選択することができます。

カウント許可と同時にカウント動作を開始したい場合は、コントロールステータスレジスタのCNTEビットとTRGビットの両方に"1"を書き込んでください。

TRGビットによるトリガ入力は、タイマが起動状態(CNTE=1)のとき動作モードにかかわらず常に有効です。

カウンタスタートのトリガが入力されてからリロードレジスタのデータがカウンタへロードされるまでにT(周辺クロックサイクル)の時間がかかります。

図 9.3-1 カウンタの起動および動作

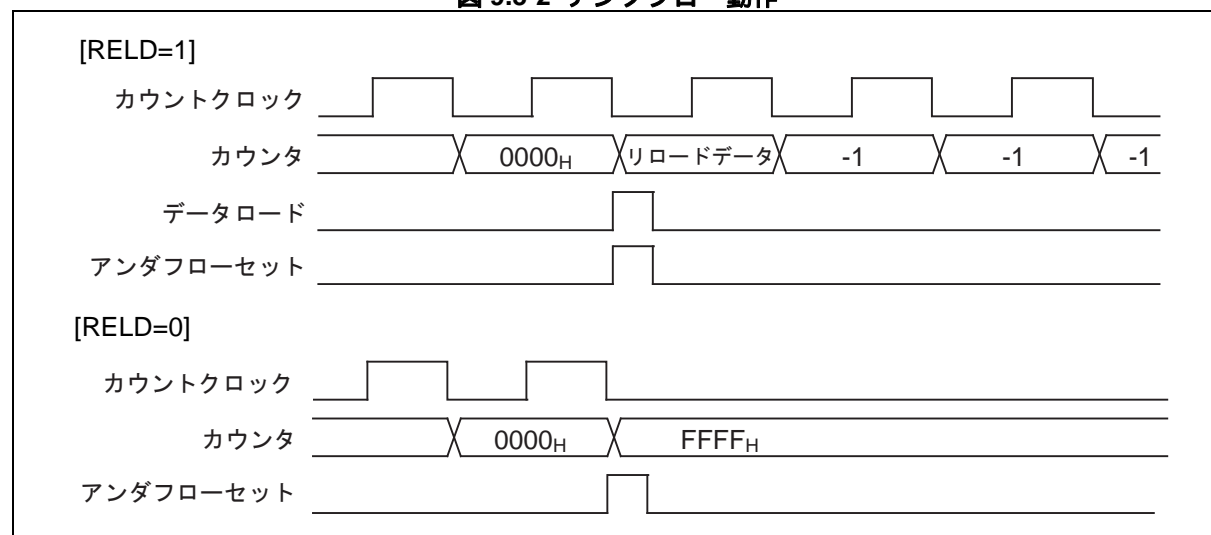


■ アンダフロー動作

カウンタの値が "0000_H" から "FFFF_H" になるときをアンダフローとしています。したがって、〔リロードレジスタの設定値 + 1〕カウントでアンダフローが発生します。

アンダフロー発生時にコントロールステータスレジスタの RELD ビットが "1" のとき、リロードレジスタの内容をカウンタへロードしてカウント動作を継続します。RELD ビットが "0" のとき、カウンタは "FFFF_H" で停止します。

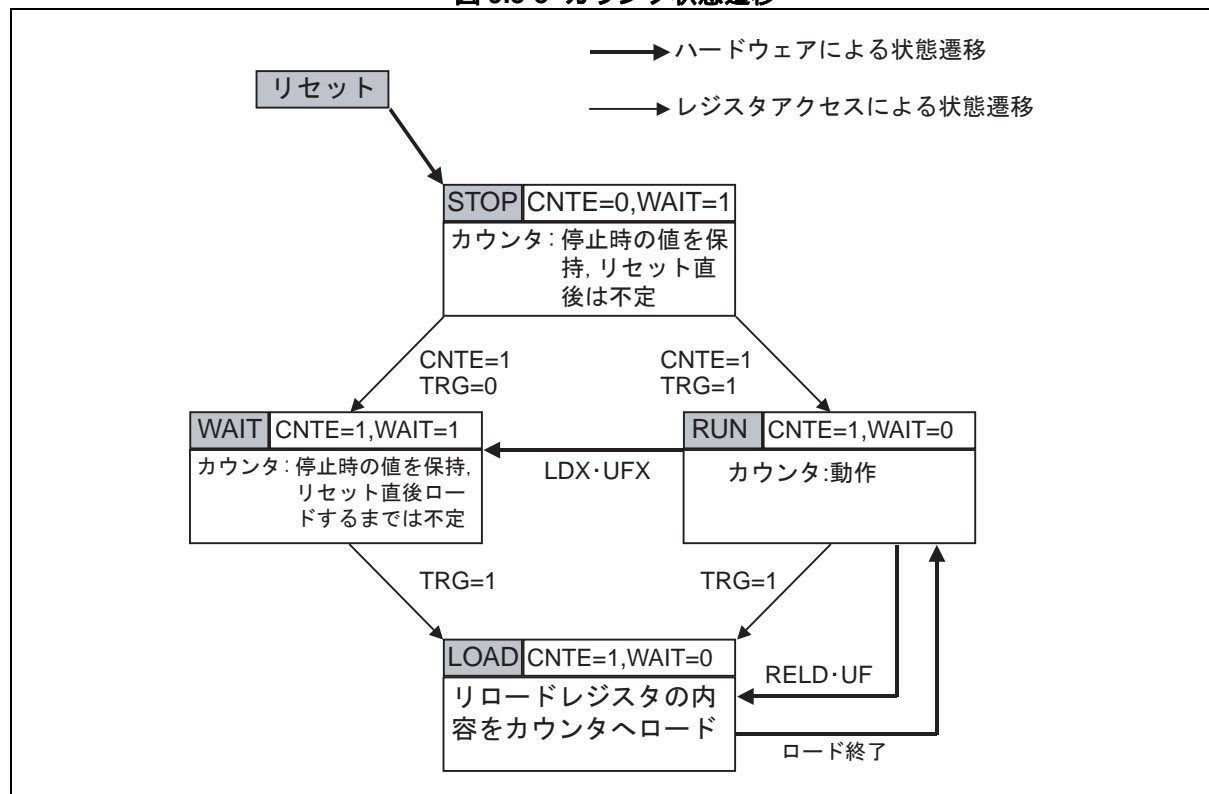
図 9.3-2 アンダフロー動作



■ カウンタの動作状態

カウンタの状態は、コントロールステータスレジスタのCNTEビットと内部信号のWAIT信号によって決まります。設定可能な状態として CNTE=0, WAIT=1 の停止状態 (STOP 状態), CNTE=1, WAIT=1 の起動トリガ待ち状態 (WAIT 状態), CNTE=1, WAIT=0 の動作状態 (RUN 状態) があります。

図 9.3-3 カウンタ状態遷移



■ 注意事項

- 内部プリスケアラは、コントロールステータスレジスタの bit1 (タイマ許可 : CNTE) が "1" に設定されている状態でトリガ (ソフトウェアトリガ、あるいは外部トリガ) されることにより動作可能になります。
- 割り込み要求フラグセットタイミングとクリアタイミングが重複した場合にはフラグセットが優先し、クリア動作は無効になります。
- 16 ビットタイマリロードレジスタへの書込みと、リロードのタイミングが重なった場合には、旧データがカウンタにロードされ、新データがカウンタにロードされるのは次のリロードのタイミングとなります。
- 16 ビットタイマレジスタはロードとカウントのタイミングが重複した場合には、ロード (リロード) 動作が優先されます。

第10章

タイミングジェネレータ

タイミングジェネレータの概要，レジスタの構成 / 機能，および動作について説明します。

- 10.1 タイミングジェネレータの概要
- 10.2 タイミングジェネレータのブロックダイアグラム
- 10.3 タイミングジェネレータのレジスタ
- 10.4 タイミングジェネレータの動作

10.1 タイミングジェネレータの概要

タイミングジェネレータは、複数の PPG タイマをタイマ間で同期し遅延起動を行わせるための機能です。

MB91470 シリーズには 1 個のタイミングジェネレータが搭載されています。

MB91480 シリーズには 2 個のタイミングジェネレータが搭載されています。

■ タイミングジェネレータの構成

- 8 ビットカウンタ、制御レジスタ、コンペアレジスタ、コンペア回路、プリスケアラから構成されています。
- 4 チャンネル分の PPG を同期させ遅延起動させることが可能です。
- 4 種類のカウンタ動作クロック (周辺クロック (CLKP)/2, 周辺クロック (CLKP)/8, 周辺クロック (CLKP)/32, 周辺クロック (CLKP)/64) を選択することができます。
- 各 PPG チャンネルに対応した 4 つのコンペアレジスタに設定することで遅延量を設定することができます。

■ タイミングジェネレータ 0 と 1 との相違点

● タイミングジェネレータ 0

- コンペアレジスタ : COMP0/COMP2/COMP4/COMP6
- 対象 PPG チャンネル : ch.0/ch.2/ch.4/ch.6

● タイミングジェネレータ 1

- コンペアレジスタ : COMP1/COMP3/COMP5/COMP7
- 対象 PPG チャンネル : ch.8/ch.10/ch.12/ch.14

10.2 タイミングジェネレータのブロックダイアグラム

タイミングジェネレータのブロックダイアグラムを示します。

図 10.2-1 ブロックダイアグラム (タイミングジェネレータ 0)

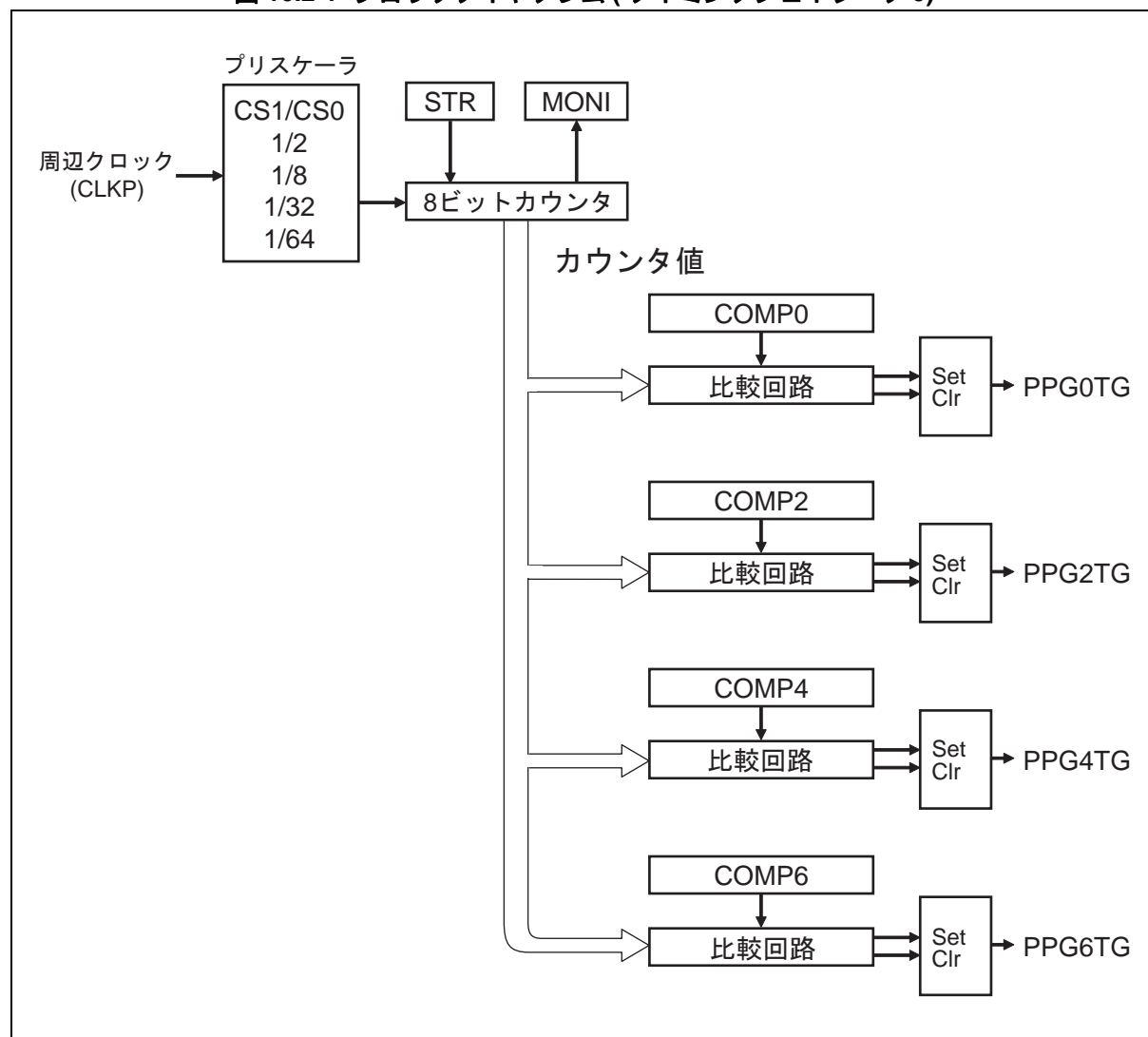
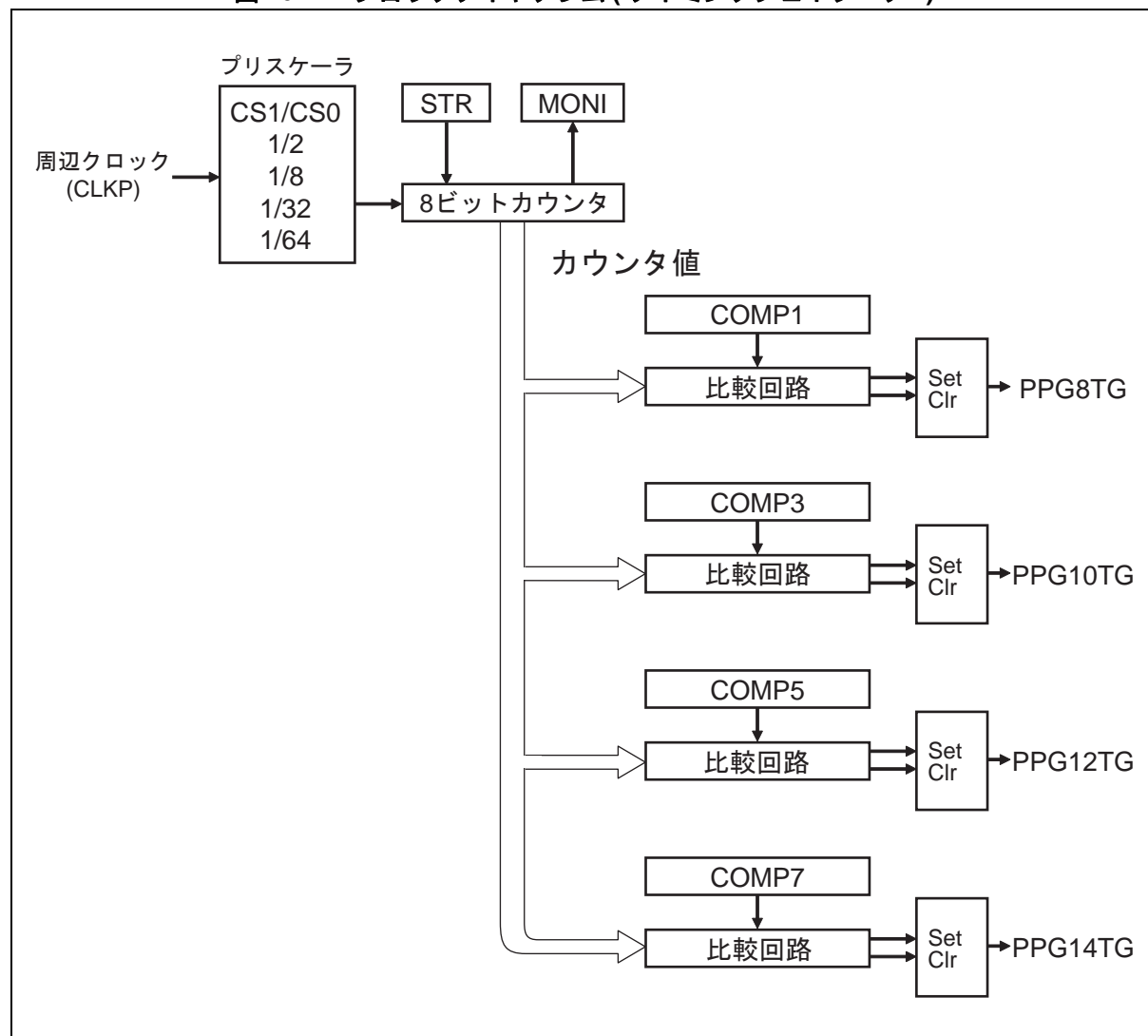


図 10.2-2 ブロックダイアグラム (タイミングジェネレータ 1)



10.3 タイミングジェネレータのレジスタ

タイミングジェネレータのレジスタについて説明します。

■ タイミングジェネレータ 0 のレジスタ

コントロールレジスタ 0: TTCR0

アドレス	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	初期値
0000 0144 _H	TRG6O	TRG4O	TRG2O	TRG0O	CS1	CS0	MONI	STR	11110000 _B
	W	W	W	W	R/W	R/W	R	W	

コンペアレジスタ 0: COMP0

アドレス	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	初期値
0000 0148 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

コンペアレジスタ 2: COMP2

アドレス	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16	初期値
0000 0149 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

コンペアレジスタ 4: COMP4

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0000 014A _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

コンペアレジスタ 6: COMP6

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000 014B _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W: リード / ライト可能

■ タイミングジェネレータ 1 のレジスタ

コントロールレジスタ 1: TTCR1

アドレス	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	初期値
0000 014C _H	TRG7O	TRG5O	TRG3O	TRG1O	CS1	CS0	MONI	STR	11110000 _B
	W	W	W	W	R/W	R/W	R	W	

コンペアレジスタ 1: COMP1

アドレス	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	初期値
0000 0150 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

コンペアレジスタ 3: COMP3

アドレス	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16	初期値
0000 0151 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

コンペアレジスタ 5: COMP5

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0000 0152 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

コンペアレジスタ 7: COMP7

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0000 0153 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W: リード / ライト可能

10.3.1 タイミングジェネレータ制御レジスタ
(TTCR0/TTCR1)

タイミングジェネレータ制御レジスタ (TTCR0/TTCR1) は、PPG トリガクリア、タイマプリスケアラ、8 ビットカウンタの状態の確認、および動作の制御を行うために使用します。

■ タイミングジェネレータ制御レジスタ (TTCR0/TTCR1)

タイミングジェネレータ制御レジスタ 0 : TTCR0									初期値 11110000 _B
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
0000 0144 _H	TRG6O	TRG4O	TRG2O	TRG0O	CS1	CS0	MONI	STR	
	W	W	W	W	R/W	R/W	R	W	
タイミングジェネレータ制御レジスタ 1 : TTCR1									初期値 11110000 _B
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
0000 014C _H	TRG7O	TRG5O	TRG3O	TRG1O	CS1	CS0	MONI	STR	
	W	W	W	W	R/W	R/W	R	W	
R/W : リード/ライト可能									
R : リードオンリ									
W : ライトオンリ									

[bit15 ~ bit12] TRG6O/TRG4O/TRG2O/TRG0O,
TRG7O/TRG5O/TRG3O/TRG1O : PPG トリガクリアビット

本ビットに "0" を書き込むことにより、出力されている PPG 起動トリガをクリアします。各ビットのトリガとの対応は以下のとおりです。

[タイミングジェネレータ 0]	[タイミングジェネレータ 1]
TRG0O : PPG0TG	TRG1O : PPG8TG
TRG2O : PPG2TG	TRG3O : PPG10TG
TRG4O : PPG4TG	TRG5O : PPG12TG
TRG6O : PPG6TG	TRG7O : PPG14TG

本レジスタの読出し値は常に "1" です。

[bit11, bit10] CS1, CS0 : カウントクロック選択ビット

8 ビットカウンタの動作クロックを以下のように選択します。

CS1	CS0	クロックソース
0	0	周辺クロック / 2 (50 ns @40 MHz 時) [初期値]
0	1	周辺クロック / 8 (200 ns @40 MHz 時)
1	0	周辺クロック /32 (800 ns @40 MHz 時)
1	1	周辺クロック /64 (1.6 μ s @40 MHz 時)

[bit9] MONI : 8 ビットカウンタ動作モニタビット

8 ビットカウンタの動作を以下のように選択します。

MONI	8 ビットカウンタ状態
0	カウンタ動作停止中 [初期値]
1	カウンタ動作中

書込みは動作に影響しません。

[bit8] STR : 8 ビットカウンタ動作許可ビット

8 ビットカウンタの動作を以下のように選択します。

STR	8 ビットカウンタ動作
0	意味を持ちません。 [初期値]
1	カウンタ動作開始

読出し値は常に "0" です。

"0" 書込みは意味を持ちません。

10.3.2 コンペアレジスタ(COMP0/COMP2/COMP4/COMP6,
COMP1/COMP3/COMP5/COMP7)

コンペアレジスタ (COMP0/COMP2/COMP4/COMP6, COMP1/COMP3/COMP5/COMP7) は、各 PPG 起動信号をセットするために使用します。本レジスタに設定した値と 8 ビットカウンタの値が一致した際に PPG 起動信号をセットします。

■ コンペアレジスタ (COMP0/COMP2/COMP4/COMP6, COMP1/COMP3/COMP5/COMP7)

コンペアレジスタ 0 : COMP0									
アドレス	bit	31	30	29	28	27	26	25	24
0000 0148 _H		D7	D6	D5	D4	D3	D2	D1	D0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
									初期値 00000000 _B
コンペアレジスタ 2 : COMP2									
アドレス	bit	23	22	21	20	19	18	17	16
0000 0149 _H		D7	D6	D5	D4	D3	D2	D1	D0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
									初期値 00000000 _B
コンペアレジスタ 4 : COMP4									
アドレス	bit	15	14	13	12	11	10	9	8
0000 014A _H		D7	D6	D5	D4	D3	D2	D1	D0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
									初期値 00000000 _B
コンペアレジスタ 6 : COMP6									
アドレス	bit	7	6	5	4	3	2	1	0
0000 014B _H		D7	D6	D5	D4	D3	D2	D1	D0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
									初期値 00000000 _B
コンペアレジスタ 1 : COMP1									
アドレス	bit	31	30	29	28	27	26	25	24
0000 0150 _H		D7	D6	D5	D4	D3	D2	D1	D0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
									初期値 00000000 _B
コンペアレジスタ 3 : COMP3									
アドレス	bit	23	22	21	20	19	18	17	16
0000 0151 _H		D7	D6	D5	D4	D3	D2	D1	D0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
									初期値 00000000 _B
コンペアレジスタ 5 : COMP5									
アドレス	bit	15	14	13	12	11	10	9	8
0000 0152 _H		D7	D6	D5	D4	D3	D2	D1	D0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
									初期値 00000000 _B
コンペアレジスタ 7 : COMP7									
アドレス	bit	7	6	5	4	3	2	1	0
0000 0153 _H		D7	D6	D5	D4	D3	D2	D1	D0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
									初期値 00000000 _B
R/W : リード / ライト可能									

D7 ~ D0 : コンペア値設定ビット

< 注意事項 >

- 本レジスタ値が "00000000_B" の場合は PPG 起動信号はセットされません。
 - 本レジスタの書換えは、必ず 8 ビットカウンタが停止している状態で行ってください。
-

10.4 タイミングジェネレータの動作

タイミングジェネレータの動作について説明します。

■ プリスケーラの動作

8 ビットカウンタ用のカウントクロックを周辺クロック (CLKP) より分周したものを設定するものです。

■ 8 ビットカウンタ

- 8 ビットカウンタは、STR ビットによりプリスケーラからのカウントクロックでカウントを行います。
- 8 ビットカウンタはカウントアップを開始し、オーバフローでカウントを停止します。
- カウント中のカウンタスタートは無視されます。
- 8 ビットカウンタがカウント中は MONI ビットには "1" が読めます。停止すると "0" が読めます。
- 8 ビットカウンタのカウント値は各比較器に入力されています。

図 10.4-1 8 ビットカウンタの動作・停止タイミング

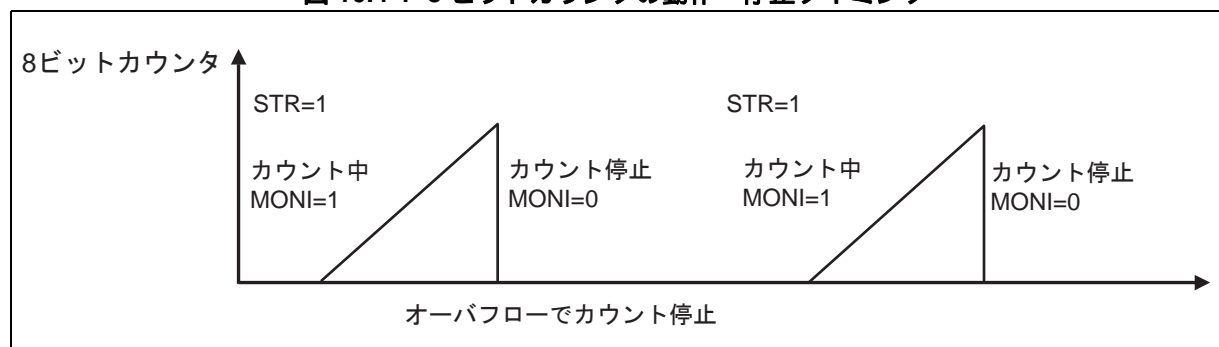
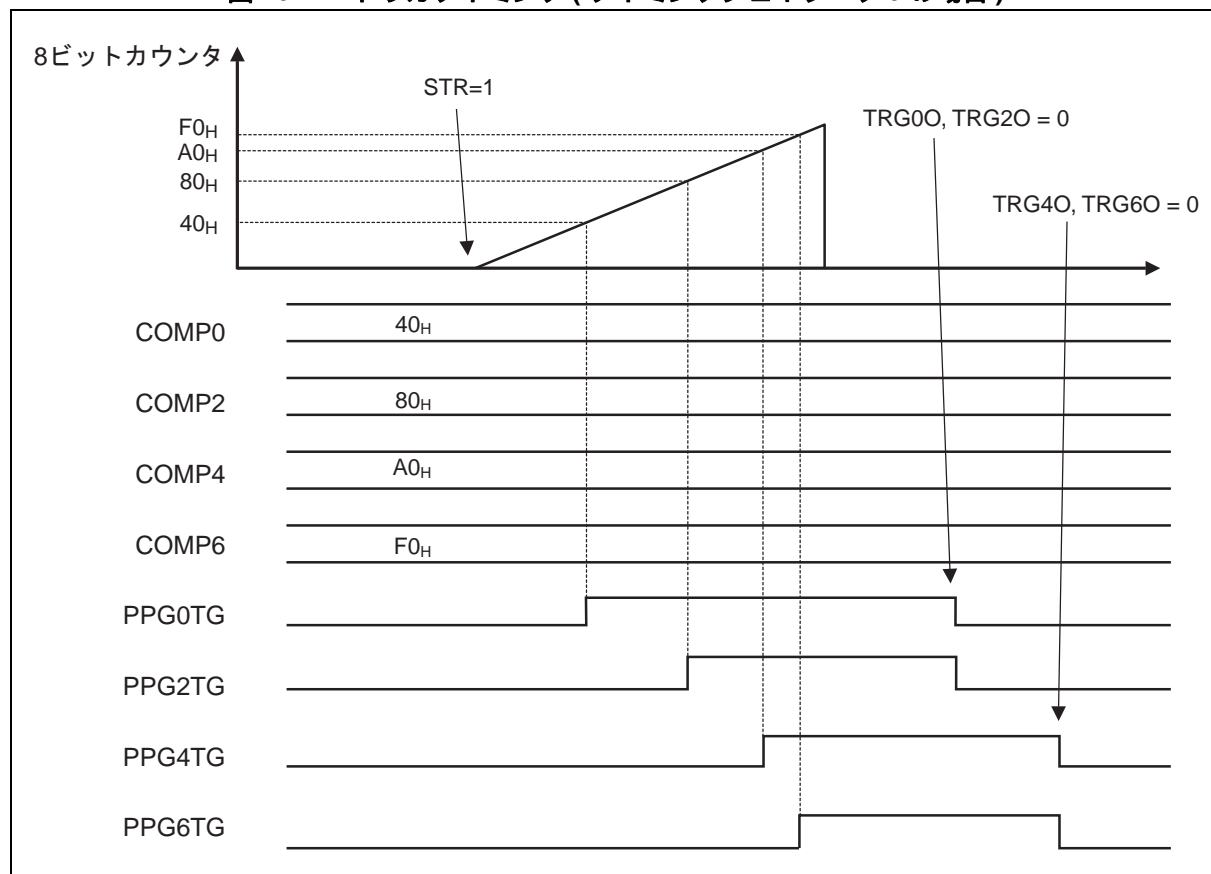


図 10.4-2 トリガタイミング (タイミングジェネレータ 0 の場合)



第11章

PPG

PPG の概要，レジスタの構成 / 機能，および動作について説明します。

- 11.1 PPG の概要
- 11.2 PPG のブロックダイアグラム
- 11.3 PPG のレジスタ
- 11.4 PPG の動作説明

11.1 PPG の概要

PPG は 8 ビットのリロードタイマモジュールで、タイマ動作に応じたパルス出力制御により PPG 出力を行います。

- MB91470 シリーズにはハードウェアとして、8 個の 8 ビットダウンカウンタ、16 個の 8 ビットリロードレジスタ、制御レジスタ、外部パルス出力 8 本、割込み出力 8 本が搭載されています。8 ビット PPG として 8 チャンネル分、16 ビット PPG として 4 チャンネル分になります。
 - MB91480 シリーズにはハードウェアとして、16 個の 8 ビットダウンカウンタ、32 個の 8 ビットリロードレジスタ、制御レジスタ、外部パルス出力 10 本、割込み出力 16 本が搭載されています。8 ビット PPG として 16 チャンネル分、16 ビット PPG として 8 チャンネル分になります。
-

■ PPG の機能

- 4 種類の PPG 動作
モードサポート
- PPG 出力動作
任意周期・デューティ比のパルス波を出力します。
外付け回路により、D/A コンバータとしても使用可能です。
- 出力反転機能
PPG の出力値を反転させることが可能です。

■ PPG のモード

- 8 ビット PPG 出力独立動作モード
独立した PPG 出力動作が可能です。
- 16 ビット PPG 出力動作モード
1 チャンネルの 16 ビットの PPG 出力動作が可能です。
- 8 + 8 ビット PPG 出力動作モード
ch.(n + 1) の出力を ch.(n) のクロック入力とすることにより、任意周期の 8 ビット PPG 出力動作が可能です (n = 0, 2, 4, 6, 8*)。
- 16 + 16 ビット PPG 出力動作モード
ch.(n + 3) + ch.(n + 2) の 16 ビットプリスケアラ出力を ch.(n + 1) + ch.(n) の 16 ビット PPG のクロック入力とするモードです (n = 0, 4, 8*)。

*: MB91480 シリーズのみです。

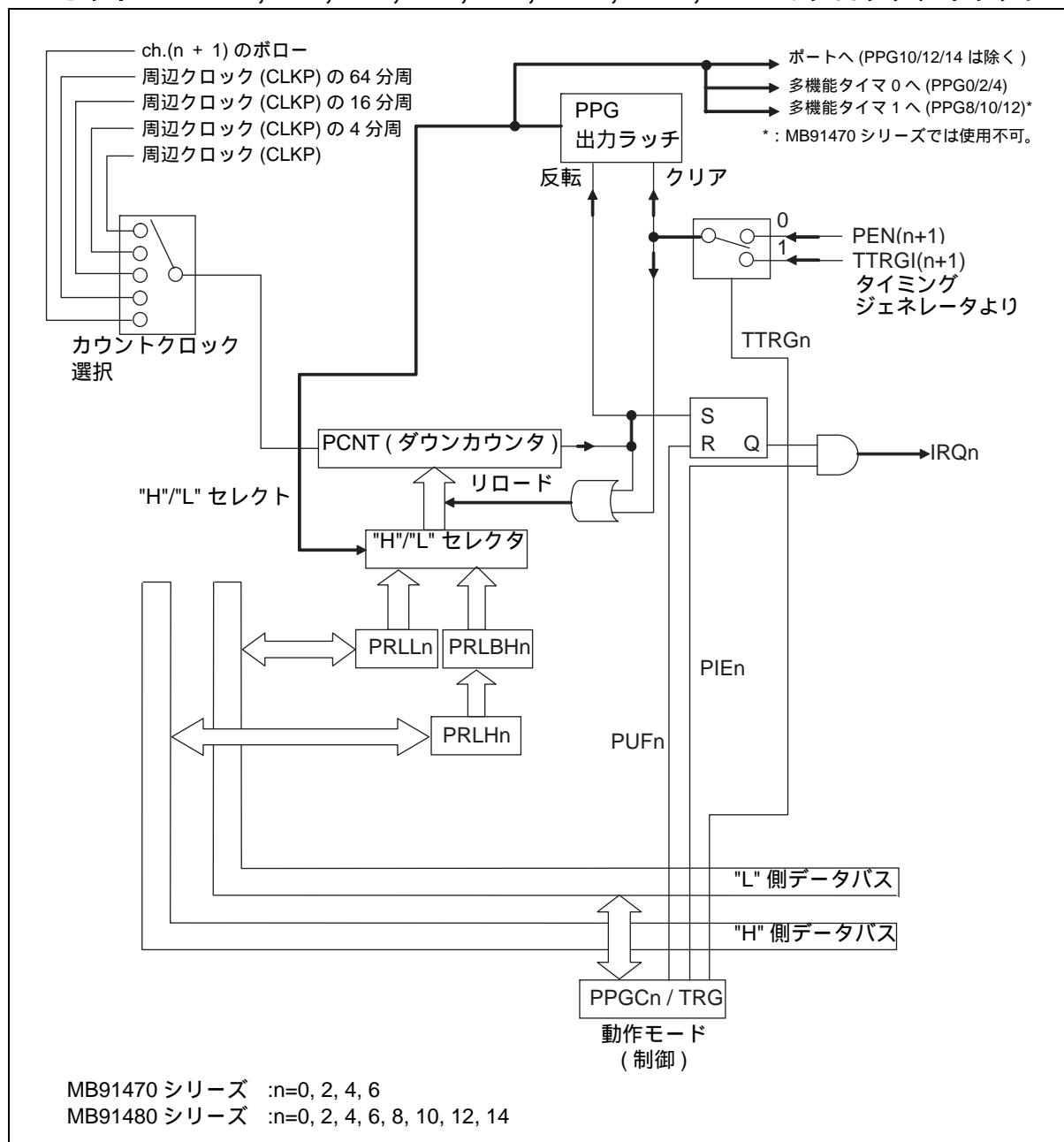
■ PPG チャンネルと各モードとの対応

PPG チャンネル	8 ビット モード	8+8 ビット モード	16 ビット モード	16+16 ビット モード
PPG0	PPG0	PPG0+PPG1	PPG0	PPG0+PPG2
PPG1	PPG1			
PPG2	PPG2	PPG2+PPG3	PPG2	
PPG3	PPG3			
PPG4	PPG4	PPG4+PPG5	PPG4	PPG4+PPG6
PPG5	PPG5			
PPG6	PPG6	PPG6+PPG7	PPG6	
PPG7	PPG7			
PPG8	PPG8	PPG8+PPG9	PPG8	PPG8+PPG10
PPG9	PPG9			
PPG10	PPG10	PPG10+PPG11	PPG10	
PPG11	PPG11			
PPG12	PPG12	PPG12+PPG13	PPG12	PPG12+PPG14
PPG13	PPG13			
PPG14	PPG14	PPG14+PPG15	PPG14	
PPG15	PPG15			

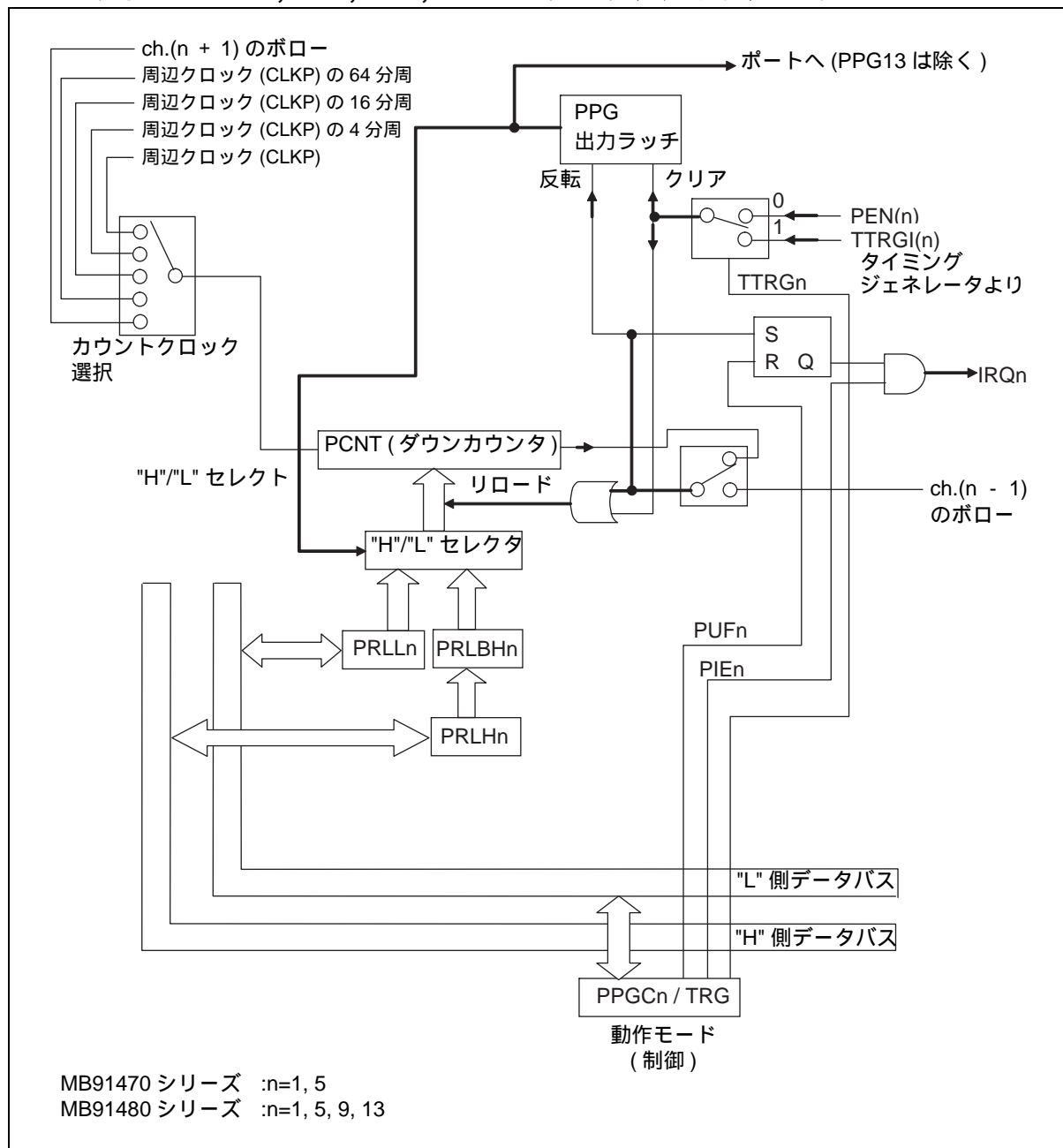
11.2 PPG のブロックダイアグラム

PPG のブロックダイアグラムを示します。

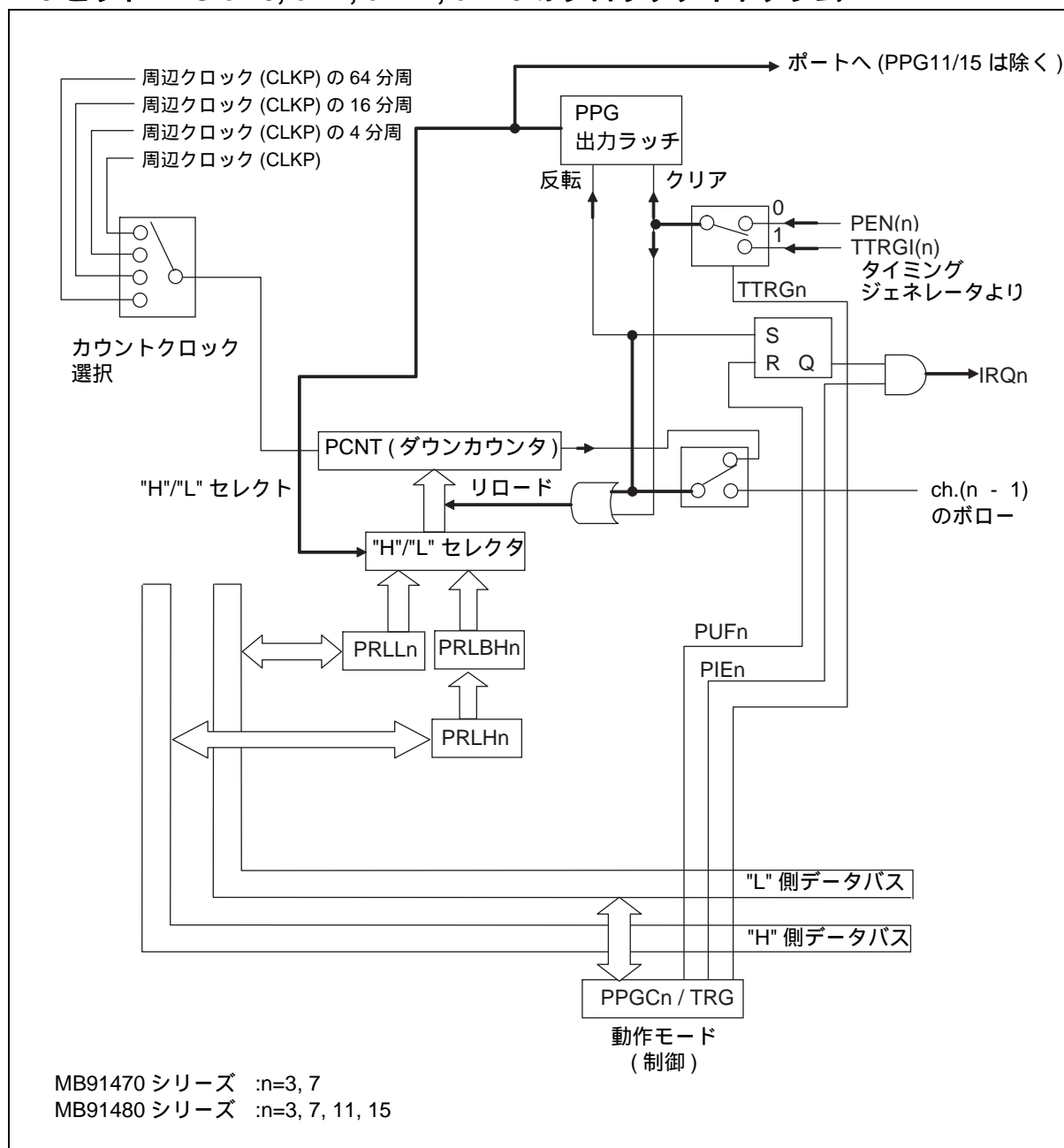
■ 8 ビット PPG ch.0, ch.2, ch.4, ch.6, ch.8, ch.10, ch.12, ch.14 のブロックダイアグラム



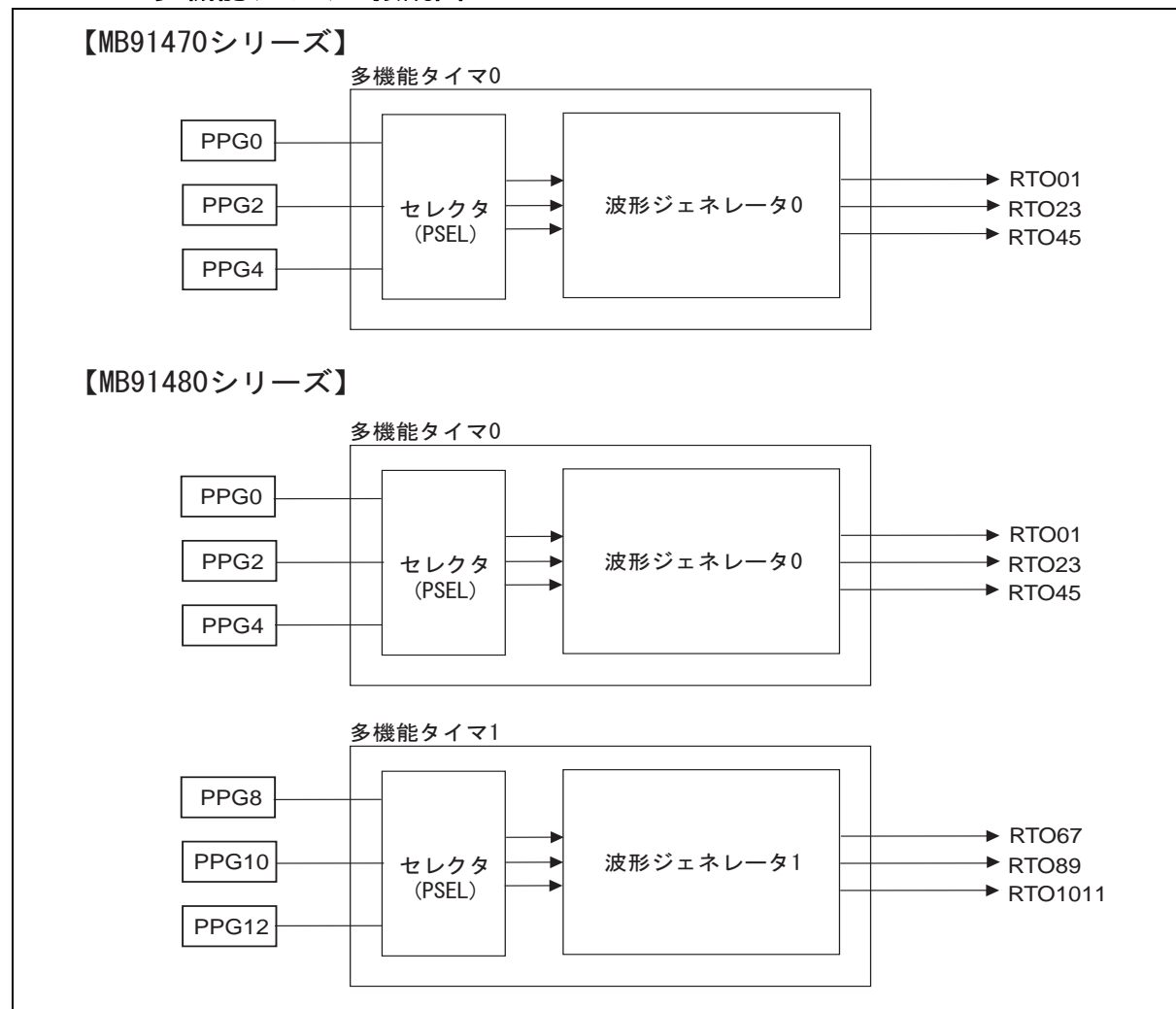
■ 8 ビット PPG ch.1, ch.5, ch.9, ch.13 のブロックダイアグラム



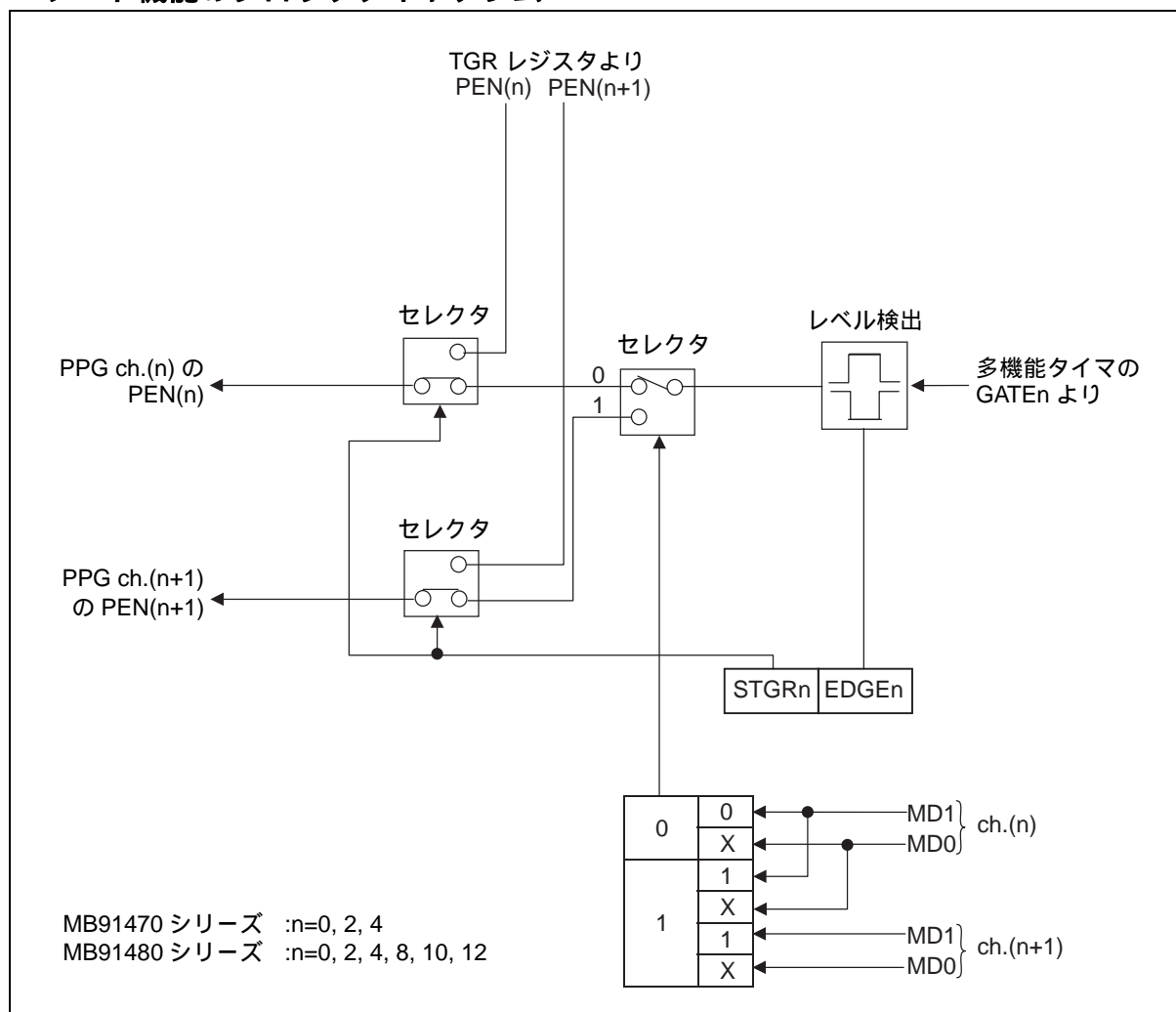
■ 8 ビット PPG ch.3, ch.7, ch.11, ch.15 のブロックダイアグラム



■ PPG と多機能タイマの接続図



■ ゲート機能のブロックダイアグラム



11.3 PPG のレジスタ

PPG のレジスタ一覧を示します。

■ PPG のレジスタ一覧

PPG 起動レジスタ (TRG)

	bit	15	14	13	12	11	10	9	8	
		PEN15	PEN14	PEN13	PEN12	PEN11	PEN10	PEN09	PEN08	TRGH*
リード/ライト		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)	

	bit	7	6	5	4	3	2	1	0	
		PEN07	PEN06	PEN05	PEN04	PEN03	PEN02	PEN01	PEN00	TRGL
リード/ライト		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)	

* : PEN15 ~ PEN08 は MB91470 シリーズには存在しません。

出力反転レジスタ (REVC)

	bit	15	14	13	12	11	10	9	8	
		REV15	REV14	REV13	REV12	REV11	REV10	REV09	REV08	REVCH*
リード/ライト		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)	

	bit	7	6	5	4	3	2	1	0	
		REV07	REV06	REV05	REV04	REV03	REV02	REV01	REV00	REVCL
リード/ライト		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)	

* : REV15 ~ REV08 は MB91470 シリーズには存在しません。

GATE 機能制御レジスタ (GATECn)

	bit	7	6	5	4	3	2	1	0	
		-	-	STGR(n+2)	EDGE(n+2)	-	-	STGR(n)	EDGE(n)	GATECn
リード/ライト		-	-	R/W	R/W	-	-	R/W	R/W	
初期値		(-)	(-)	(0)	(0)	(-)	(-)	(0)	(0)	

MB91470 シリーズ : n=0,4

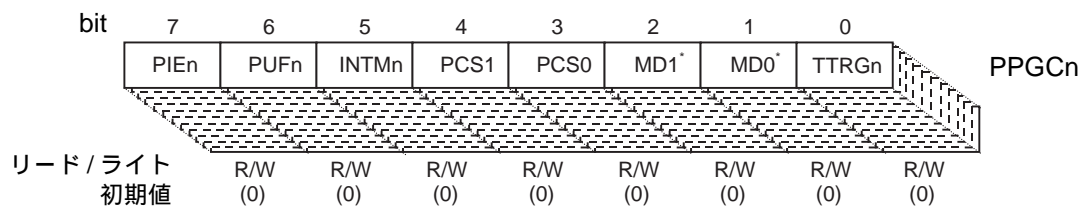
MB91480 シリーズ : n=0,4,8,12

R/W: リード/ライト可能

(続く)

(続き)

PPG 動作モード制御レジスタ (PPGC0 ~ PPGC15)



MB91470 シリーズ :n=0 ~ 7 (PPG0 ~ PPG7)

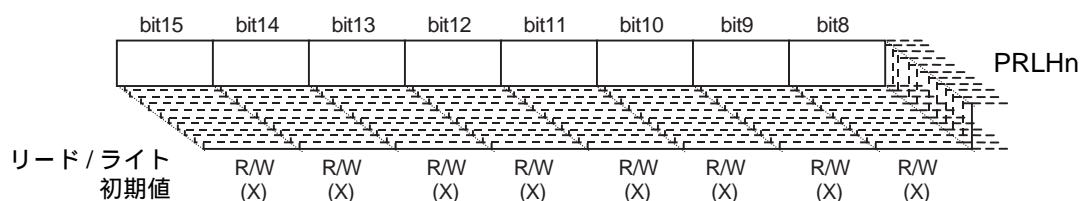
MB91480 シリーズ :n=0 ~ 15 (PPG0 ~ PPG15)

* : MD1, MD0 は、偶数チャネルのみ存在し、奇数チャネルには存在しません。
奇数チャネルの初期値は不定です。ライトは意味がありません。

R/W: リード/ライト可能

● リロードレジスタ : 8 ビット PPG モード

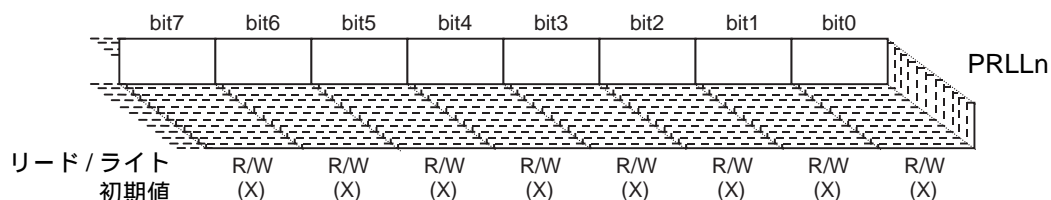
リロードレジスタ H (PRLH0 ~ PRLH15)



MB91470 シリーズ :n=0 ~ 7 (ch.0 ~ ch.7)

MB91480 シリーズ :n=0 ~ 15 (ch.0 ~ ch.15)

リロードレジスタ L (PRL0 ~ PRL15)



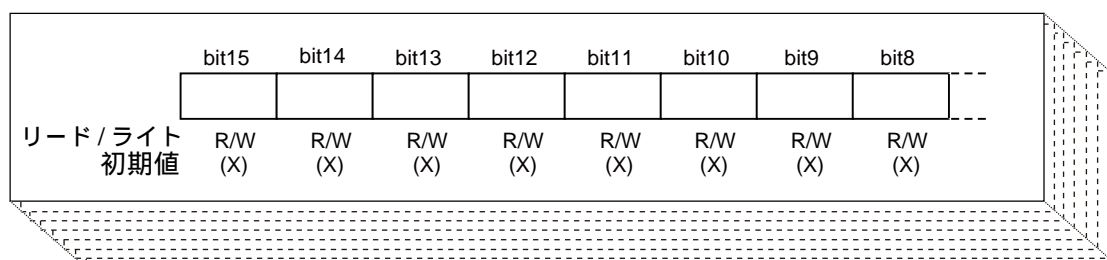
MB91470 シリーズ :n=0 ~ 7 (ch.0 ~ ch.7)

MB91480 シリーズ :n=0 ~ 15 (ch.0 ~ ch.15)

R/W: リード/ライト可能

リロードレジスタ : 16 ビット PPG モード

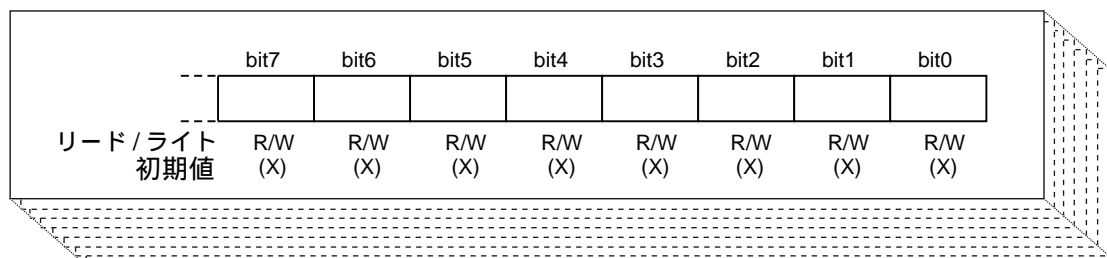
リロードレジスタ H (PRLH0, PRLH2, PRLH4, PRLH6, PRLH8, PRLH10, PRLH12, PRLH14)



MB91470 シリーズ :n=0, 2, 4, 6 (PPG0/2/4/6)

MB91480 シリーズ :n=0, 2, 4, 6, 8, 10, 12, 14 (PPG0/2/4/6/8/10/12/14)

リロードレジスタ L (PRLL0, PRLL2, PRLL4, PRLL6, PRLL8, PRLL10, PRLL12, PRLL14)



MB91470 シリーズ :n=0, 2, 4, 6 (PPG0/2/4/6)

MB91480 シリーズ :n=0, 2, 4, 6, 8, 10, 12, 14 (PPG0/2/4/6/8/10/12/14)

R/W: リード/ライト可能

8 ビット PPG モード時と 16 ビット PPG モード時では、
PRLLn レジスタのアドレスが異なります。

11.3.1 PPG 動作モード制御レジスタ (PPGC0 ~ PPGC15)

PPG 動作モード制御レジスタには、割込み、動作モード、プリスケラなどを設定する機能があります。

■ PPG 動作モード制御レジスタ (PPGC0 ~ PPGC15)

PPG 動作モード制御レジスタ (PPGC0 ~ PPGC15)									初期値
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ch.0 000108 _H ~	PIE	PUF	INTM	PCS1	PCS0	MD1	MD0	TTRG	00000000 _B
ch.15 00012F _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W: リード / ライト可能
(注意事項): MB91470 シリーズには、PPGC8 ~ PPGC15 は存在しません。

[bit7] PIE(Ppg Interrupt Enable) : PPG 割込み許可ビット

PPG の割込み許可を以下のように制御します。

0	割込み禁止
1	割込み許可

- 本ビットが "1" のとき、PUF が "1" になると割込み要求が発生します。
- 本ビットが "0" のときは、割込み要求が発生しません。
- リセットにより、"0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit6] PUF(Ppg Underflow Flag) : PPG カウンタアンダフロービット

PPG カウンタアンダフロービットを以下のように制御します。

0	PPG のカウンタアンダフローを検出していません。
1	PPG のカウンタアンダフローを検出しました。

- 8 ビット PPG 2 チャンネルモードおよび 8 ビットプリスケラ + 8 ビット PPG モード時には、各チャンネルのカウント値が "00_H" ~ "FF_H" になったときのアンダフローにより "1" にセットされます。
- 16 ビット PPG 1 チャンネルモード時には、ch(n+1)/ch(n)(n=0/2/4/6/8/10/12/14) のカウント値が "0000_H" ~ "FFFF_H" になったときのアンダフローにより "1" にセットされます。
- "0" 書込みにより、"0" になります。
- このビットへの "1" 書込みは意味がありません。
- リードモディファイライト (RMW) 系命令のリード時は、"1" が読まれます。
- リセットにより、"0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit5] INTM(Interrupt Mode) : 割込みモードビット

PUFn のビットの検出を PRLBH からのアンダフロー時のみに限定することができます。

0	アンダフロー時, PUF を "1" にします。
1	PRLBHn からのアンダフロー時のみ, PUFn を "1" にします。

- リセットにより, "0" に初期化されます。
- 読出しおよび書込みが可能です。
- 本ビットを "1" にすると, PPG の波形の 1 周期出力時に割込みをかけることが可能となります。
- 本ビットは, 割込み許可時に書き換えしないでください。

[bit4, bit3] PCS1, PCS0 (Ppg Count Select) : カウントクロック選択ビット

ダウンカウンタの動作クロックを以下のように選択します。

PCS1	PCS0	動作モード
0	0	周辺クロック (CLKP) (25 ns 周辺クロック 40 MHz 時)
0	1	周辺クロック (CLKP)/4 (100 ns 周辺クロック 40 MHz 時)
1	0	周辺クロック (CLKP)/16 (400 ns 周辺クロック 40 MHz 時)
1	1	周辺クロック (CLKP)/64 (1.6 μ s 周辺クロック 40 MHz 時)

- リセットにより, "00_B" に初期化されます。
- 読出しおよび書込みが可能です。

[bit2, bit1] MD1, MD0 (ppg count MoDe) : 動作モード選択ビット

PPG タイマの動作モードを以下のように選択します。

MD1	MD0	動作モード
0	0	8 ビット PPG 2 チャンネル独立モード
0	1	8 ビットプリスケラ + 8 ビット PPG モード
1	0	16 ビット PPG モード
1	1	16 ビットプリスケラ + 16 ビット PPG モード

- リセットにより, "00_B" に初期化されます。
- 読出しおよび書込みが可能です。
- 本ビットは偶数チャンネルのみに存在します。

[bit0] TTRG(Timing TRGer) : タイミングトリガ選択ビット

タイミングジェネレータからの起動信号によってのみPPGを起動させることができます。

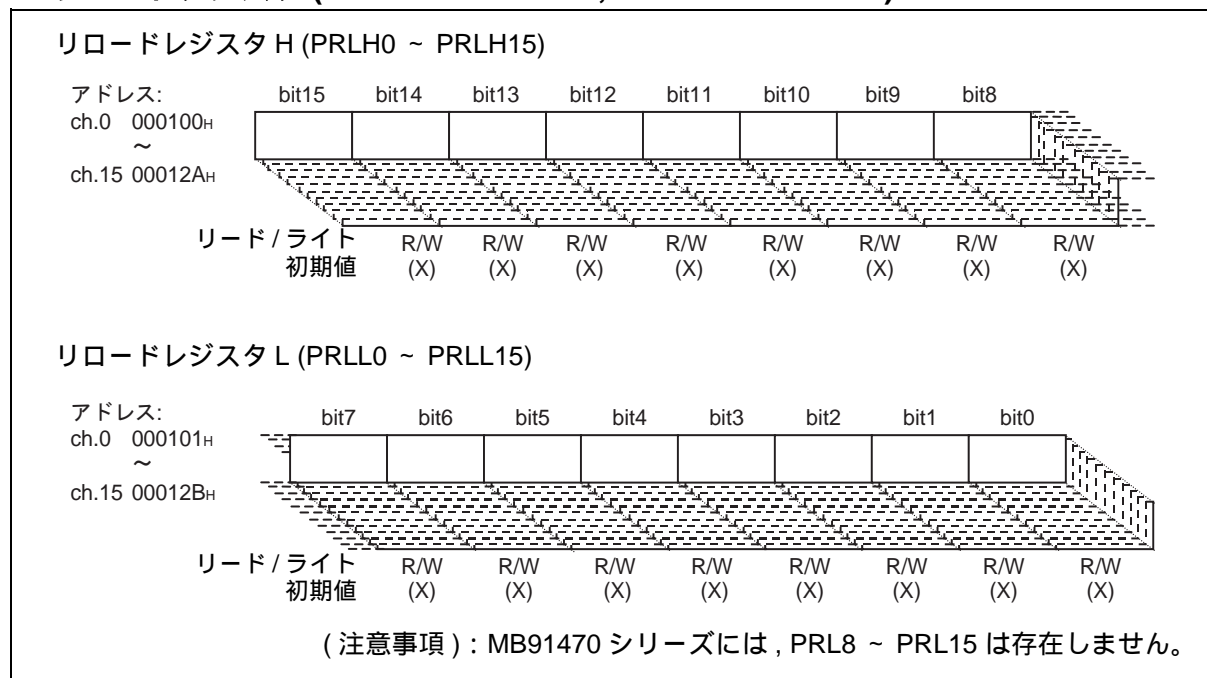
0	TRG レジスタもしくは多機能タイマにより起動します。
1	タイミングジェネレータによる起動のみとなります。

- リセットにより , "0" に初期化されます。
- 読出しおよび書込みが可能です。

11.3.2 リロードレジスタ (PRLH0 ~ PRLH15, PRL0 ~ PRL15)

リロードレジスタは、ダウンカウンタへのリロード値を保持することができます。

■ リロードレジスタ (PRLH0 ~ PRLH15, PRL0 ~ PRL15)



レジスタ名	機能
PRL	"L" 側リロード値保持
PRLH	"H" 側リロード値保持

< 注意事項 >

8 ビットプリスケアラ + 8 ビット PPG モードおよび 16 ビットプリスケアラ + 16 ビット PPG モードで使用する場合には、プリスケアラ側の PRL と PRLH に異なる値を設定すると、PPG 波形がサイクルごとに異なる場合があるので、プリスケアラ側の PRL と PRLH は同じ値に設定することを推奨します。

11.3.3 PPG 起動レジスタ (TRG)

PPG 起動レジスタには、各 PPG の動作を許可する機能があります。

■ PPG 起動レジスタ (TRG)

PPG 起動レジスタ (TRG)									
アドレス :	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
000130 _H	PEN15	PEN14	PEN13	PEN12	PEN11	PEN10	PEN09	PEN08	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	PEN07	PEN06	PEN05	PEN04	PEN03	PEN02	PEN01	PEN00	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能									
(注意事項): MB91470 シリーズ (PPG8) には、PEN08 ~ PEN15 は存在しません。									

[bit15 ~ bit0] PEN15 ~ PEN00 (Ppg ENable) : PPG 動作許可ビット

PPG の動作開始および動作モードを以下のように選択します。

PEN15 ~ PEN00	動作状態
0	動作停止 ("L" レベル出力保持)
1	PPG 動作許可

- リセットにより、"0" に初期化されます。
- 読出しおよび書込みが可能です。

11.3.4 出力反転レジスタ (REVC)

出力反転レジスタには、各 PPG 出力値の反転出力を許可する機能があります。

■ 出力反転レジスタ (REVC)

出力反転レジスタ (REVC)									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
000134 _H	REV15	REV14	REV13	REV12	REV11	REV10	REV09	REV08	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	REV07	REV06	REV05	REV04	REV03	REV02	REV01	REV00	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W: リード / ライト可能									
(注意事項): MB91470 シリーズ (PPG8) には、REV08 ~ REV15 は存在しません。									

[bit15 ~ bit0] REV15 ~ REV00 : 出力反転ビット

PPG の出力値を初期レベルも含めて反転します。

REV15 ~ REV00	出力レベル
0	通常
1	反転

- リセットにより,"0" に初期化されます。
- 読出しおよび書込みが可能です。
- 単に、PPG 出力を反転するだけです。初期レベルも反転します。また、リロードレジスタの "L", "H" の関係も逆になります。

11.3.5 GATE 機能制御レジスタ (GATEC0/GATEC4/GATEC8/GATEC12)

GATE 機能制御レジスタには、多機能タイマからの信号による PPG 起動 停止を許可する機能があります。

■ GATE 機能制御レジスタ (GATEC0/GATEC4/GATEC8/GATEC12)

GATE 機能制御レジスタ (GATECn)									
アドレス：	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
ch.0 000133 _H	-	-	STGR(n+2)	EDGE(n+2)	-	-	STGR(n)	EDGE(n)	ch.0, ch.8
ch.4 000137 _H									-- 00- - 00 _B
ch.8 00013B _H									ch.4, ch.12
ch.12 00013F _H									----- 00 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W：リード / ライト可能

MB91470 シリーズ：n=0, 4

MB91480 シリーズ：n=0, 4, 8, 12

[bit5, bit1] STGR: ゲート機能選択ビット

多機能タイマからの起動信号を用いるか、TRG レジスタによる起動を行うかを以下のように選択します。

STGR	動作モード
0	TRG レジスタによる起動
1	多機能タイマからの起動信号による起動

- リセットにより, "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit4, bit0] EDGE: 起動有効エッジ選択ビット

多機能タイマからの起動有効エッジを以下のように選択します。

EDGE	動作モード
0	立上り起動 立下り停止 *1
1	立下り起動 立上り停止 *2

- リセットにより, "0" に初期化されます。
- 読出しおよび書込みが可能です。

*1: "H" の間, 起動します。

*2: "L" の間, 起動します。

MB91470/480 シリーズ

11.4 PPG の動作説明


MB91480 シリーズには、8 ビット PPG が 16 チャンネルあり、独立モード以外に 8 ビットプリスケアラ + 8 ビット PPG モードと 16 ビット PPG 1 チャンネルモード、16 ビットプリスケアラ + 16 ビット PPG モードの計 4 種類の動作を行うことができます。
MB91470 シリーズには、8 ビット PPG が 8 チャンネルあります。

■ 動作説明

8 ビット長の PPG ユニットそれぞれは、8 ビット長のリロードレジスタが "L" 側と "H" 側の 2 本あります (PRL, PRLH)。このレジスタに書き込まれた値が 8 ビットダウンカウンタ (PCNT) に "L" 側 / "H" 側交互にリロードされてカウントクロックごとにダウンカウントされ、カウンタのボロー発生によるリロード時に端子出力 (PPG) の値を反転させます。この動作により、端子出力 (PPG) はリロードレジスタ値に対応した "L" 幅 / "H" 幅のパルス出力となります。

動作開始 / 再スタートは、レジスタのビット書込みによります。

リロード動作とパルス出力の関係を以下に示します。

リロード動作	端子出力変化
PRLH PCNT	PPG [0 1] 
PRL PCNT	PPG [1 0] 

また、PPGCn レジスタの bit7 : PIE_n が "1" のとき、カウンタの "00_H" ~ "FF_H" へのボロー (16 ビット PPG モードの場合には、"0000_H" ~ "FFFF_H" へのボロー) によって割込み要求が出力されます。

● 動作モードについて

- 本ブロックは、独立モード、8 ビットプリスケアラ + 8 ビット PPG モード、16 ビット PPG 1 チャンネルモードおよび 16 ビットプリスケアラ + 16 ビット PPG モードの計 4 種類の動作モードがあります。
- 独立モードは、8 ビット PPG として独立に動作させる動作モードです。PPG(n) 端子は、ch(n) の PPG 出力が接続されます (n=0 ~ 9)。
 - 8 ビットプリスケアラ + 8 ビット PPG モードは、1 チャンネルを 8 ビットプリスケアラとして動作させ、そのボロー出力でカウントすることにより、任意周期の 8 ビット PPG 波形を出力できるようにする動作モードです。例えば、PPG1 端子は ch.1 のプリスケアラ出力が接続され、PPG0 端子は ch.0 の PPG 出力が接続されます。
 - 16 ビット PPG 1 チャンネルモードは、2 つのチャンネルを連結させ、16 ビット PPG として動作させる動作モードです。例えば、ch.0 と ch.1 を連結させると、PPG0 端子と PPG1 端子は両方とも 16 ビット PPG 出力が接続されます。

● PPG 出力動作について

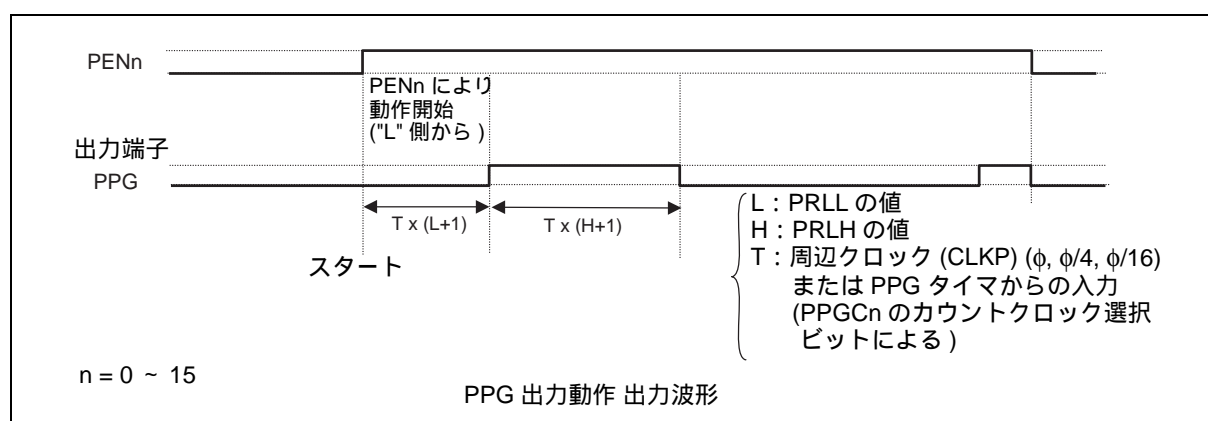
PPG は、TRG レジスタ (PPG 起動レジスタ) の各チャネルのビットを "1" にセットすることによって起動されてカウントを開始します。動作を開始した後は、TRG レジスタの各チャネルビットに "0" を書き込むことによってカウント動作を停止し、停止した後、パルス出力は "L" レベルを保持します。

8 ビットプリスケアラ + 8 ビット PPG モードおよび 16 ビットプリスケアラ + 16 ビット PPG モード時には、プリスケアラチャネルを停止状態で、PPG チャネルを動作状態に設定しないでください。

16 ビット PPG モード時には、各チャネルの TRG レジスタの PEN_n をそれぞれ、同時に開始 / 停止の制御を行ってください ($n=0 \sim 15$)。

以下に PPG 出力動作について説明します。

PPG 動作時は、任意周波数 / 任意デューティ比 (パルス波の "H" レベル期間と "L" レベル期間の比) のパルス波出力を連続して出力します。PPG はパルス波出力を開始すると、動作停止を設定するまで停止しません。



● リロード値とパルス幅の関係について

リロードレジスタに書かれた値に " + 1" した値に、カウントクロックの周期を掛けた値が、出力されるパルス幅となります。つまり、8 ビット PPG 動作時のリロードレジスタ値が 00_H のとき、および 16 ビット PPG 動作時のリロードレジスタ値が 0000_H のときは、カウントクロック 1 周期分のパルス幅になりますので注意してください。また、8 ビット PPG 動作時のリロードレジスタ値が FF_H のとき、カウントクロック 256 周期分のパルス幅になり、16 ビット PPG 動作時のリロードレジスタ値が $FFFF_H$ のときは、カウントクロック 65536 周期分のパルス幅になりますので注意してください。

パルス幅の計算式を以下に示します。

$$\begin{aligned}
 Pl &= T \times (L + 1) \\
 Ph &= T \times (H + 1)
 \end{aligned}
 \left\{ \begin{array}{l}
 L : \text{PRLH の値} \\
 H : \text{PRLH の値} \\
 T : \text{入力クロック周期} \\
 Ph : \text{"H" パルス幅} \\
 Pl : \text{"L" パルス幅}
 \end{array} \right.$$

● カウントクロックの選択について

本ブロックの動作に使用するカウントクロックは、周辺クロック (CLKP) の入力を使用しており、4 種類のカウントクロック入力を選択できます。

カウントクロックは以下のように動作します。

PPGC0 ~ PPGC15 レジスタ		カウントクロック動作
PCS1	PCS0	
0	0	カウントクロックは、周辺クロック (CLKP) ごとに 1 カウント
0	1	カウントクロックは、周辺クロック (CLKP)4 サイクルごとに 1 カウント
1	0	カウントクロックは、周辺クロック (CLKP)16 サイクルごとに 1 カウント
1	1	カウントクロックは、周辺クロック (CLKP)64 サイクルごとに 1 カウント

8 ビットプリスケラ + 8 ビット PPG モードおよび 16 ビットプリスケラ + 16 ビット PPG モードで、プリスケラ側が動作状態で、PPG 側が停止状態であるときに、PPG 側の起動を行うと、最初のカウント周期がずれる可能性がありますので注意してください。

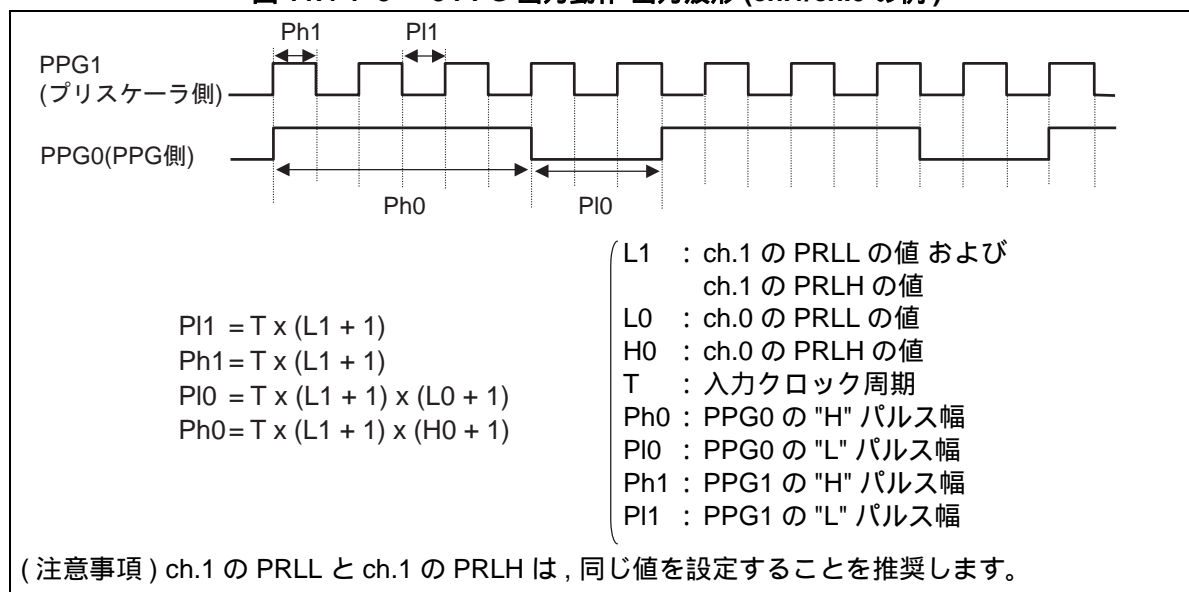
● パルスの端子出力の制御について

本モジュールの動作によって生成されたパルス出力は、外部端子 PPG0 ~ PPG15 より出力させることができます。

16 ビット PPG モードでは、PPG(m) と PPG(m + 1) は同じ波形が出力されるので、どちらの外部端子出力を許可しても同じ出力を得ることができます (m = 0, 2, 4, 6, 8, 10, 12, 14)。

8 ビットプリスケラ + 8 ビット PPG モードおよび 16 ビットプリスケラ + 16 ビット PPG モードでは、プリスケラ側は 8 ビットプリスケラのトグル波形が出力され、PPG 側は 8 ビット PPG の波形が出力されます。このモードのときの出力波形の例を以下に示します。

図 11.4-1 8 + 8 PPG 出力動作 出力波形 (ch.1/ch.0 の例)



● 割込みについて

本モジュールの割込みは、リロード値がカウントアウトし、ボローが発生したときにアクティブになります。ただし、INTM_n ビットを "1" にしたときは、PRLBH_n からのアンダフロー時（ボロー）のみアクティブになります。つまり、"H" 幅パルス終了時に割込みが発生します。

8 ビット PPG モードおよび 8 ビットプリスケラ + 8 ビット PPG モードのときには、それぞれのカウンタのボローにより、それぞれの割込み要求が行われますが、16 ビット PPG モードおよび 16 ビットプリスケラ + 16 ビット PPG モードでは、16 ビットカウンタのボローにより、PUF(m) と PUF(m + 1) が同時にセットされます。このため、割込み要因を一本化するために、PIE(m) または PIE(m + 1) のどちらか一方のみを許可にすることを推奨します。また、割込み要因のクリアも PUF(m) と PUF(m + 1) を同時に行うことを推奨します (m = 0, 2, 4, 6, 8, 10, 12, 14)。

● GATE 機能について

多機能タイマからの信号により、PPG を起動 停止させることができます。

- 8 ビット PPG モード, 8 ビットプリスケラ + 8 ビット PPG モードにおいて, PPG ch.(n) を本機能により起動できます。
- 16 ビット PPG モード, 16 ビットプリスケラ + 16 ビット PPG モードにおいて, PPG ch.(n), ch.(n+1) を本機能により起動できます。

各モードの起動切換えは、各 PPG の MD レジスタの設定によって決まります。

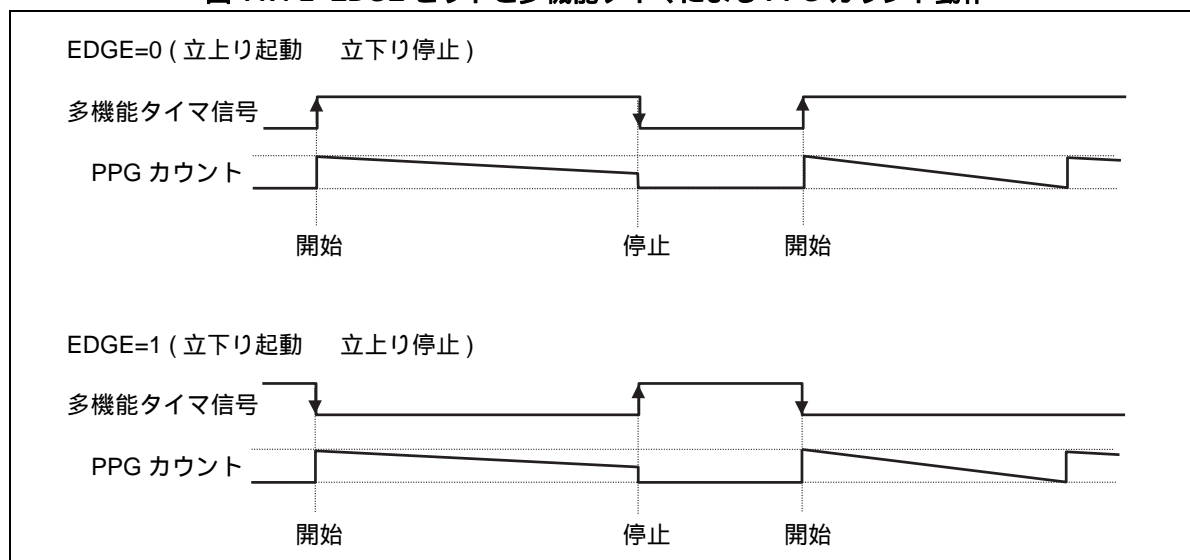
- PPG ch.(n) : MD1, MD0 = 0, X 時, PPG ch.(n) が起動 (8 ビット PPG)
- PPG ch.(n) : MD1, MD0 = 1, X 時, PPG ch.(n), ch.(n+1) が起動 (16 ビット PPG)

EDGE ビットと多機能タイマの信号により、PPG の起動有効期間を制御できます。

MB91470 シリーズ n=0/2/4(多機能タイマ 0)

MB91480 シリーズ n=0/2/4(多機能タイマ 0), n=8/10/12(多機能タイマ 1)

図 11.4-2 EDGE ビットと多機能タイマによる PPG カウント動作



● 各ハードウェアの初期値について

本ブロックの各ハードウェアは、リセット時に以下のように初期化されます。

< レジスタ >	PPGC(n)	000000000 _B
	TRG	00000000_00000000 _B
	REVC	00000000_00000000 _B
	GATEC0	XX00XX00 _B
	GATEC4	XXXXXX00 _B
	GATEC8	XX00XX00 _B
	GATEC12	XXXXXX00 _B
< パルス出力 >	PPG(n)	"L"
< 割込み要求 >	IRQ(n)	"L" (n=0 ~ 15)

上記以外のハードウェアは、初期化されません。

● PPG の組合せについて

ch.0: PPGC		ch.2: PPGC		ch.0	ch.1	ch.2	ch.3
MD1	MD0	MD1	MD0				
0	0	0	0	8 ビット PPG	8 ビット PPG	8 ビット PPG	8 ビット PPG
0	0	0	1	8 ビット PPG	8 ビット PPG	8 ビット PPG ←	8 ビット プリスケアラ
0	0	1	0	8 ビット PPG	8 ビット PPG	16 ビット PPG	
0	0	1	1	設定禁止			
0	1	0	0	8 ビット PPG ←	8 ビット プリスケアラ	8 ビット PPG	8 ビット PPG
0	1	0	1	8 ビット PPG ←	8 ビット プリスケアラ	8 ビット PPG ←	8 ビット プリスケアラ
0	1	1	0	8 ビット PPG ←	8 ビット プリスケアラ	16 ビット PPG	
0	1	1	1	設定禁止			
1	0	0	0	16 ビット PPG		8 ビット PPG	8 ビット PPG
1	0	0	1	16 ビット PPG		8 ビット PPG ←	8 ビット プリスケアラ
1	0	1	0	16 ビット PPG		16 ビット PPG	
1	0	1	1	設定禁止			
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1	16 ビット PPG ←		16 ビットプリスケアラ	

ch.4 ~ ch.7, ch.8 ~ ch.11*, ch.12 ~ ch.15* も, それぞれ, ch.(0, 1, 2, 3) と同じ動作組合せが可能です。

以下のように置き換えてください。

$$\left\{ \begin{array}{l} \text{ch.0}=\text{ch.4}/\text{ch.8}/\text{ch.12} \\ \text{ch.1}=\text{ch.5}/\text{ch.9}/\text{ch.13} \\ \text{ch.2}=\text{ch.6}/\text{ch.10}/\text{ch.14} \\ \text{ch.3}=\text{ch.7}/\text{ch.11}/\text{ch.15} \end{array} \right.$$

* : MB91470 シリーズには, ch.8 ~ ch.15 は存在しません。

第12章

多機能タイマ

多機能タイマの概要，レジスタの構成 / 機能，および動作について説明します。

- 12.1 多機能タイマの概要
- 12.2 多機能タイマのブロックダイアグラム
- 12.3 多機能タイマの端子
- 12.4 多機能タイマのレジスタ
- 12.5 多機能タイマ割込み
- 12.6 多機能タイマの動作
- 12.7 多機能タイマの使用上の注意
- 12.8 多機能タイマのプログラム例

12.1 多機能タイマの概要

多機能タイマは、3 個の 16 ビットフリーランタイマ、6 個の 16 ビットアウトプットコンペア、4 個の 16 ビットインプットキャプチャ、1 個の波形ジェネレータ、3 個の A/D 起動コンペアから構成されています。この波形ジェネレータを PPG と併せて使用すると、6 個の別々の波形を 16 ビットフリーランタイマから出力することができ、また、入力パルス幅と外部クロックサイクルを測定することもできます。

- MB91470 シリーズには 1 個の多機能タイマが搭載されています。
- MB91480 シリーズには 2 個の多機能タイマが搭載されています。

■ 多機能タイマの構成

● 16 ビットフリーランタイマ (× 3)

- 16 ビットフリーランタイマは 16 ビットアップ / ダウンカウンタ、制御レジスタ、16 ビットコンペアクリアレジスタ (バッファレジスタがあります)、およびプリスケラから構成されています。
- 9 種類のカウンタ動作クロック (ϕ , $\phi/2$, $\phi/4$, $\phi/8$, $\phi/16$, $\phi/32$, $\phi/64$, $\phi/128$, $\phi/256$) を選択することができます (ϕ : 周辺クロック (CLKP))。
- コンペアクリア割込みは、コンペアクリアレジスタと 16 ビットフリーランタイマが比較され、一致した場合に生成されます。0 検出割込みは、16 ビットフリーランタイマがカウント値 "0" を検出している間に生成されます。
- コンペアクリアレジスタには、選択可能なバッファレジスタがあります (このバッファレジスタに書き込まれたデータはコンペアクリアレジスタへ転送されます)。16 ビットフリーランタイマが停止し、バッファにデータが書き込まれると、転送は直ちに実行されます。16 ビットフリーランタイマの動作中にタイマ値 "0" が検出されるとバッファからデータが転送されます。
- アップカウントモードにおいてリセットやソフトウェアクリア、あるいはコンペアクリアレジスタとのコンペア一致が発生すると、カウンタ値は "0000_H" にリセットされます。
- このカウンタの出力値は、多機能タイマのアウトプットコンペアとインプットキャプチャのクロックカウントとして使用することができます。
- "0" 検出またはコンペア一致時に A/D 起動が可能です。
- フリーランタイマセレクトもしくはリソース入力セレクトによって、フリーランタイマとリソース間の結線を設定することが可能です。ただし、シリーズによっては固定されています。

● 16 ビットアウトプットコンペア (× 6)

- 16 ビットアウトプットコンペアは、6 つの 16 ビットコンペアレジスタ (選択可能なバッファレジスタがあります)、コンペア出力ラッチ、コンペア制御レジスタから構成されています。16 ビットフリーランタイム値とコンペアレジスタが一致すると、割込みが生成され、出力レベルが反転します。
- 6 つのコンペアレジスタは、別々に動作させることができます。出力端子と割込みフラグは各コンペアレジスタに対応しています。
- 2 つのコンペアレジスタを対 (ペア) にして出力端子を制御することができます。2 つのコンペアレジスタを一緒に使用することによって出力端子を反転させます。
- 各出力端子の初期値を設定することができます。
- 割込みはアウトプットコンペアレジスタが 16 ビットフリーランタイムと一致した場合に生成されます。
- 各コンペアユニットに対応するフリーランタイムのチャンネルを任意に設定することが可能です。

● 16 ビットインプットキャプチャ (× 4)

- インプットキャプチャは、4 つの独立した外部入力端子と、この端子に対応するキャプチャレジスタおよびキャプチャ制御レジスタから構成されています。外部端子において入力信号のエッジを検出すると、16 ビットフリーランタイムの値をキャプチャレジスタへ格納することができ、また、割込みも同時に生成されます。
- 外部入力信号の 3 種類のトリガエッジ (立上りエッジ、立下りエッジ、およびその両方のエッジ) を選択することができ、また、トリガエッジが立上りエッジであるか立下りエッジであるかを示すレジスタがあります。
- 4 つのインプットキャプチャを別々に動作させることができます。
- 割込みは外部入力からの有効エッジが検出されると生成されます。
- 各コンペアユニットに対応するフリーランタイムのチャンネルを任意に設定することが可能です。

● 8/16 ビット PPG タイマ (× 8 : MB91470 シリーズ、× 16 : MB91480 シリーズ)

- MB91470 シリーズでは、PPG の ch.0/ch.2/ch.4 を波形ジェネレータの出力波形として使用することができます。
- MB91480 シリーズでは、PPG の ch.0/ch.2/ch.4 を波形ジェネレータ 0 の出力波形、ch.8/ch.10/ch.12 を波形ジェネレータ 1 の出力波形としてそれぞれ選択して使用することができます。
- PPG タイマの詳細については、「第 11 章 PPG」を参照してください。

● 波形ジェネレータ

- 波形ジェネレータは、3 つの 16 ビットデッドタイムレジスタ、3 つのタイマ状態制御レジスタ、および 1 つの 16 ビット波形制御レジスタから構成されています。
- 波形ジェネレータは、リアルタイム出力、16 ビット PPG 波形出力、ノンオーバーラップ 3 相波形出力（インバータ制御用）、および DC チョップパルス波形出力を生成することができます。
- 16 ビットデッドタイムのデッドタイムに基づいて、ノンオーバーラップ波形出力を生成することができます（デッドタイムタイマ機能）。
- 2 チャネルモード時にリアルタイムアウトプットを動作させることにより、ノンオーバーラップ波形出力を生成することができます（デッドタイムタイマ機能）。
- リアルタイムアウトプットコンペア一致を検出すると、GATE 信号が生成され、この信号により PPG タイマの動作が開始または停止します（GATE 機能）。
- リアルタイムアウトプットコンペア一致が検出されると、16 ビットデッドタイムがアクティブになり、PPG 動作の制御用 GATE 信号を生成することによって、PPG タイマを容易に開始または停止させることができます（GATE 機能）。
- DTTI 端子を使用することによって、強制的に停止を制御することができます。
- DTTI レジスタにより、強制的に停止を制御することも可能です。

● A/D 起動コンペア (× 3)

- 16 ビットフリーランタイム値とコンペアレジスタが一致したときに、A/D を起動することができます。波形ジェネレータ 0 の場合には 16 ビットフリーランタイムの ch.0/ch.1/ch.2 のうちいずれかを、波形ジェネレータ 1 の場合には 16 ビットフリーランタイムの ch.3/ch.4/ch.5 のいずれかをフリーランタイム入力として選択することができます。
- 16 ビットフリーランタイムのアップカウント時のみ、フリーランタイム値とコンペアレジスタが一致したとき、A/D を起動できます。
- 16 ビットフリーランタイムのダウンカウント時のみ、フリーランタイム値とコンペアレジスタが一致したとき、A/D を起動できます。
- 16 ビットフリーランタイムのアップ / ダウンカウント時、フリーランタイム値とコンペアレジスタが一致したとき、A/D を起動できます。
- 2 つのコンペアレジスタにそれぞれ別々の値を設定することが可能で、このときコンペアレジスタ 0 は 16 ビットフリーランタイムのアップカウント時のみ、コンペアレジスタ 1 はダウンカウント時のみフリーランタイム値と一致したとき、A/D を起動できます。

■ 多機能タイマ 0 と 1 の相違点

● 16 ビットフリーランタイマ

- 多機能タイマ 0 には、フリーランタイマ 0 ~ 2 が 3 チャンネルあります。
- 多機能タイマ 1 には、フリーランタイマ 3 ~ 5 が 3 チャンネルあります。

● 16 ビットアウトプットコンペア

- 多機能タイマ 0 には、アウトプットコンペア 0 ~ 5 が 6 チャンネルあり、それぞれフリーランタイマ 0 ~ 2 のいずれかをアウトプットコンペア 0 ~ 5 用入力として選択することが可能です。
- 多機能タイマ 1 には、アウトプットコンペア 6 ~ 11 が 6 チャンネルあり、多機能タイマ 0 も搭載している場合には、それぞれフリーランタイマ 0 ~ 5 のいずれかをアウトプットコンペア 0 ~ 11 用入力として選択することが可能です。

● 16 ビットインプットキャプチャ

- 多機能タイマ 0 には、インプットキャプチャ 0 ~ 3 が 4 チャンネルあり、それぞれフリーランタイマ 0 ~ 2 のいずれかをインプットキャプチャ 0 ~ 3 用入力として選択することが可能です。
- 多機能タイマ 1 には、インプットキャプチャ 4 ~ 7 が 4 チャンネルあり、多機能タイマ 0 も搭載している場合には、それぞれフリーランタイマ 0 ~ 5 のいずれかをインプットキャプチャ 0 ~ 11 用入力として選択することが可能です。

● 波形ジェネレータ

- 多機能タイマ 0 には、リアルタイム出力 0 ~ 5 を持つ波形ジェネレータ 0 が 1 ユニットあり、PPG0/2/4 を出力波形として選択して使用することができます。
- 多機能タイマ 1 には、リアルタイム出力 6 ~ 11 を持つ波形ジェネレータ 1 が 1 ユニットあり、PPG8/10/12 を出力波形として選択して使用することができます。

● A/D 起動コンペア

- 多機能タイマ 0 には、A/D 起動用トリガ出力 0 ~ 2 が 3 チャンネルあり、それぞれフリーランタイマ 0 ~ 2 のいずれかを A/D 起動コンペア 0 ~ 2 用入力として選択することが可能です。
- 多機能タイマ 1 には、A/D 起動用トリガ出力 3 ~ 5 が 3 チャンネルあり、それぞれフリーランタイマ 3 ~ 5 のいずれかを A/D 起動コンペア 3 ~ 5 用入力として選択することが可能です。

■ 各シリーズでの多機能タイマ構成の相違点

● MB91470 シリーズ

- 多機能タイマ 0 のみ搭載されています。
- 波形ジェネレータ 0 の出力波形として選択して使用することができる PPG は ch.0/ch.2/ch.4 のみです。

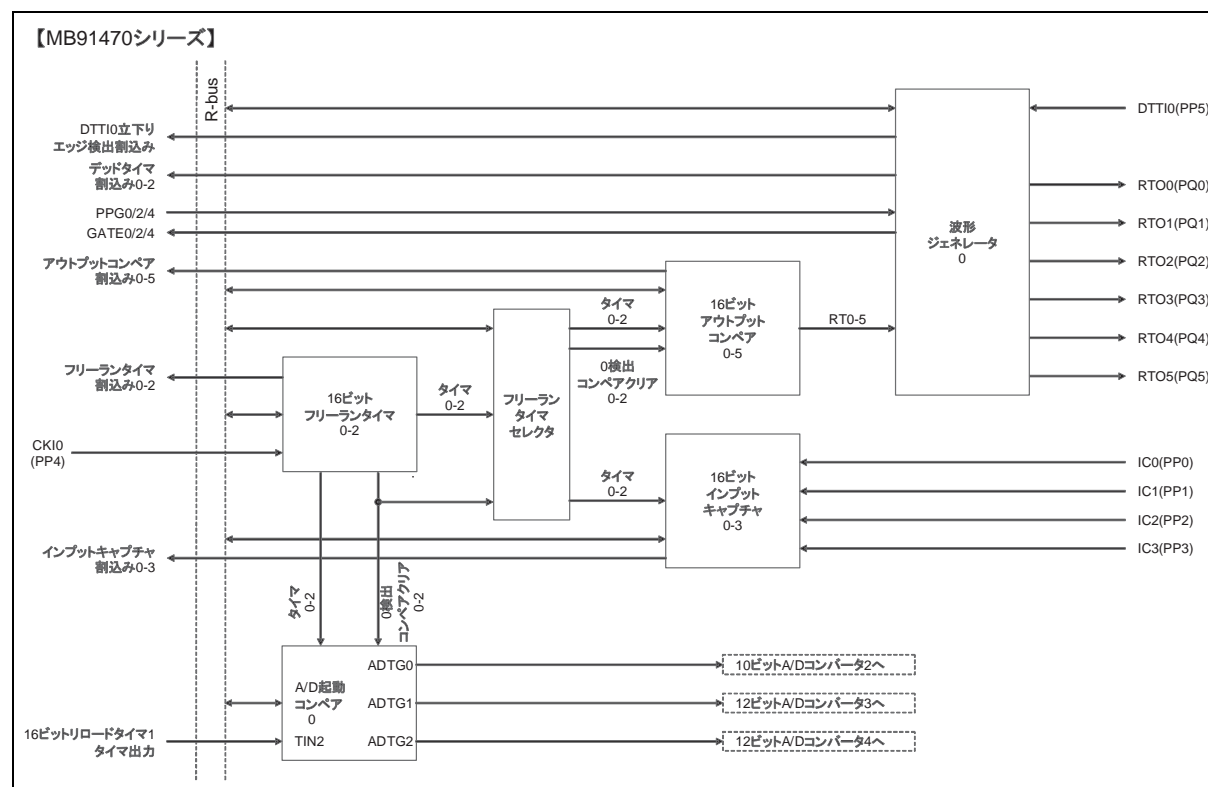
● MB91480 シリーズ

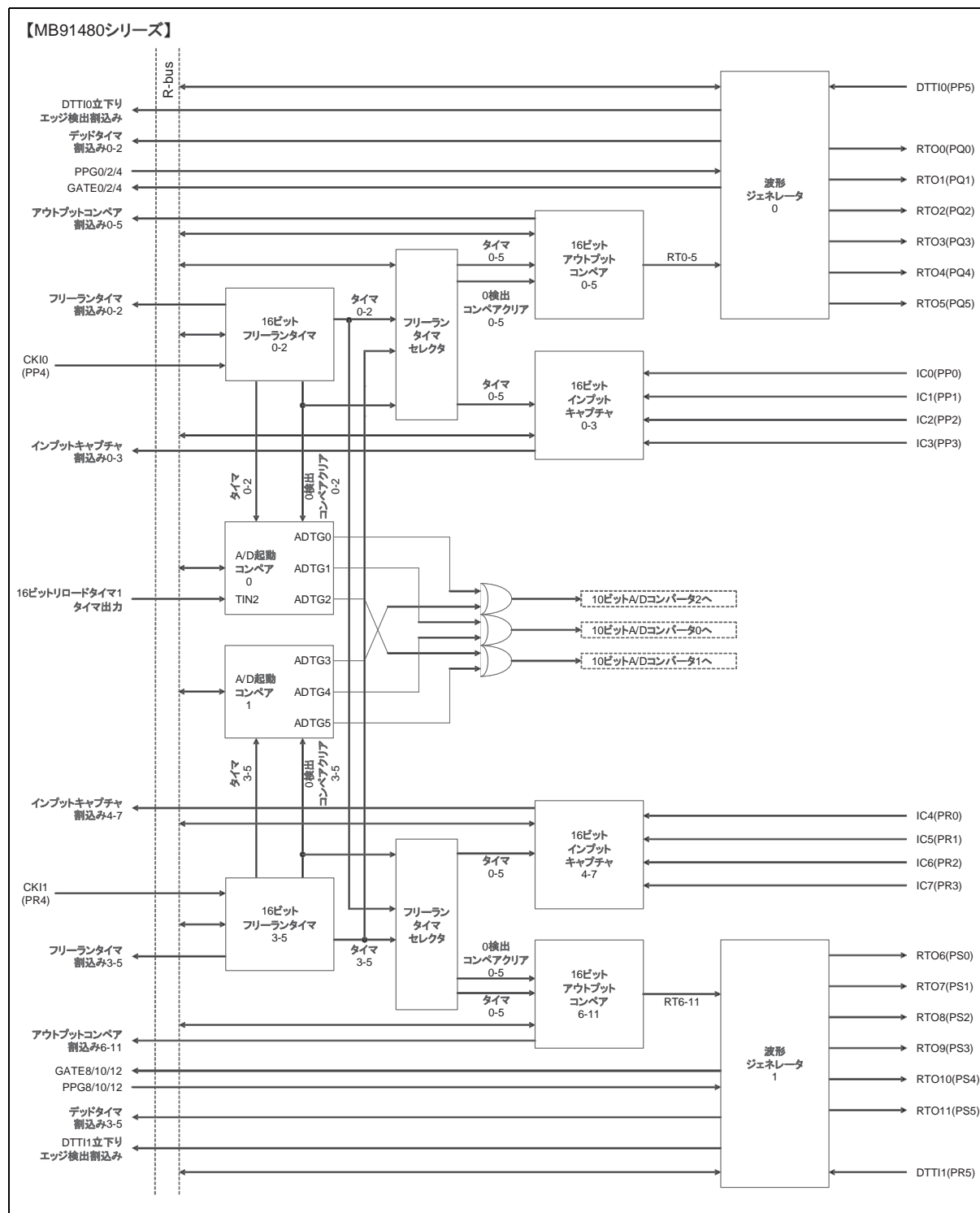
- 多機能タイマ 0 と 1 の両方が搭載されています。
- 波形ジェネレータ 0 の出力波形として PPG の ch.0/ch.2/ch.4 のいずれかを選択して使用することができます。
- 波形ジェネレータ 1 の出力波形として PPG の ch.8/ch.10/ch.12 のいずれかを選択して使用することができます。

12.2 多機能タイマのブロックダイアグラム

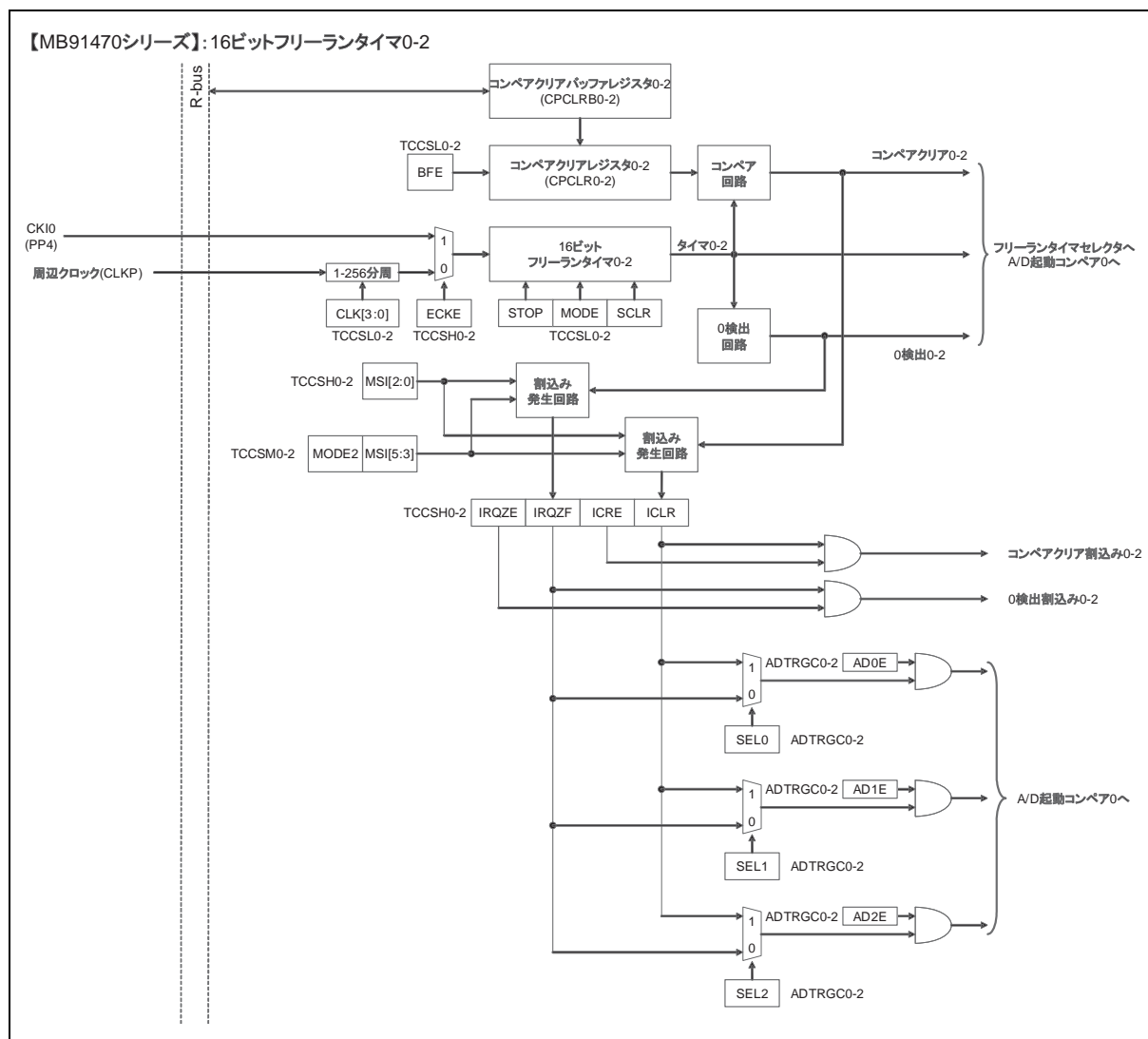
多機能タイマのブロックダイアグラムを示します。

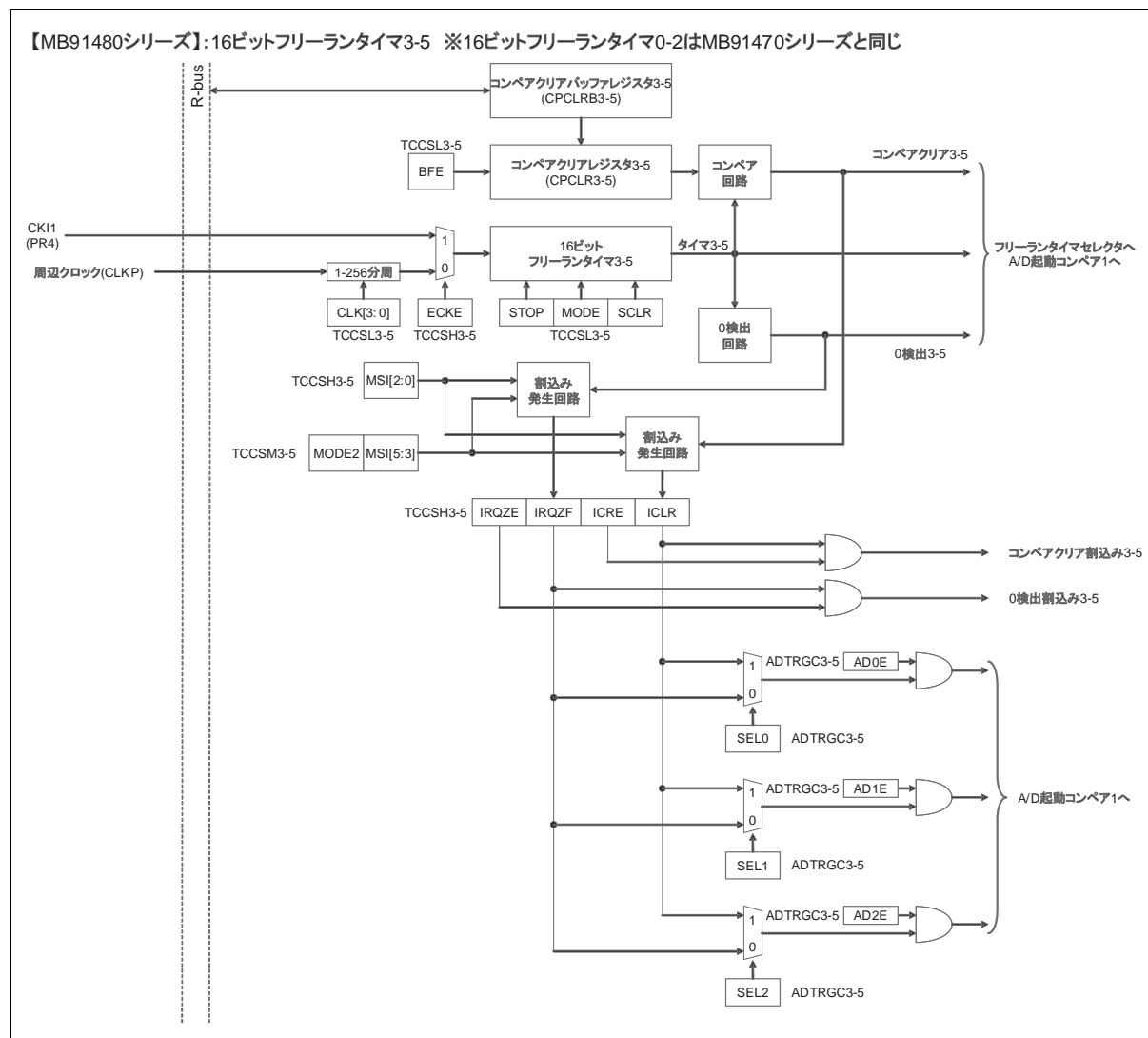
■ 多機能タイマのブロックダイアグラム



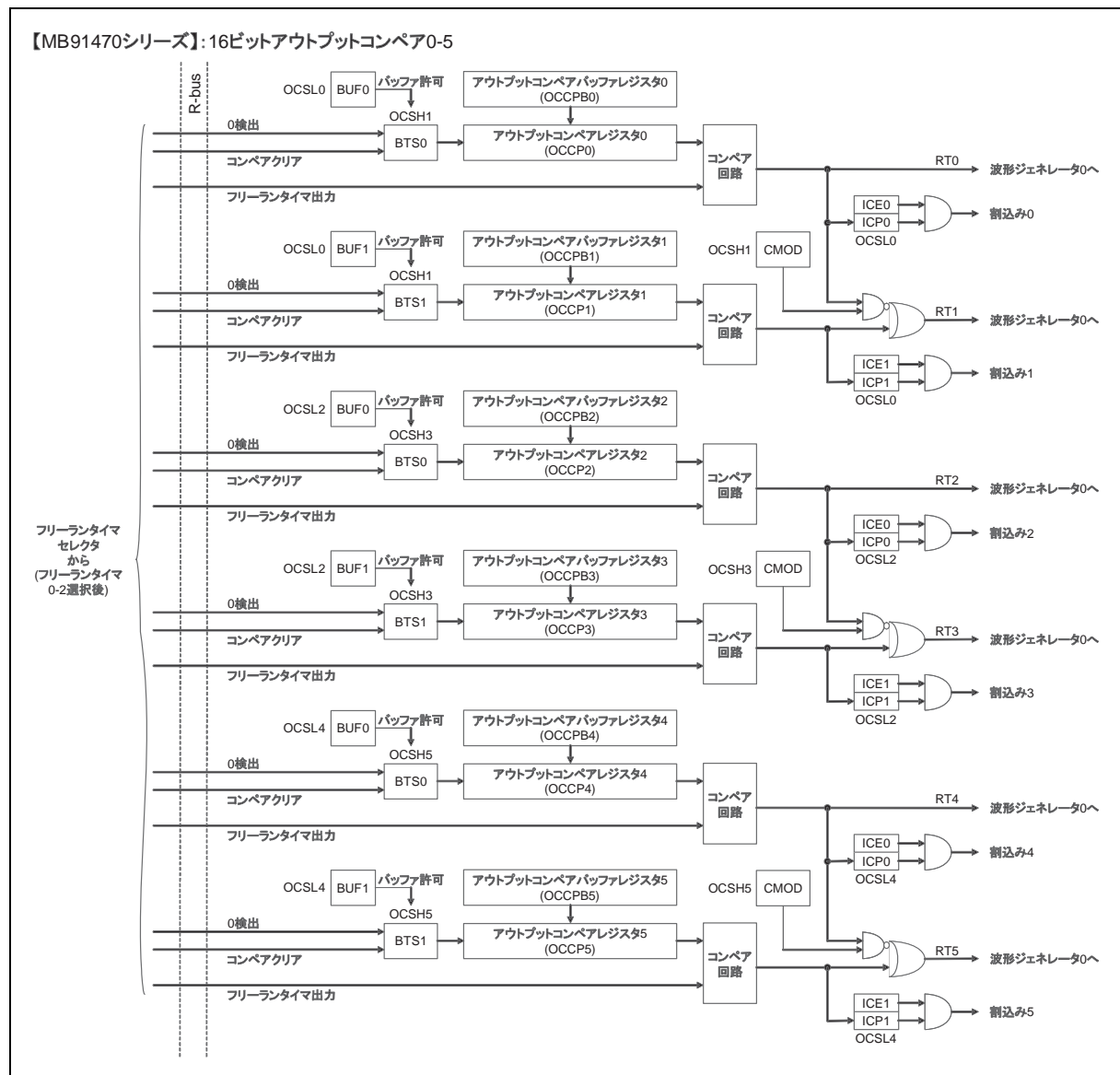


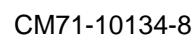
■ 16 ビットフリーランタイマのブロックダイアグラム

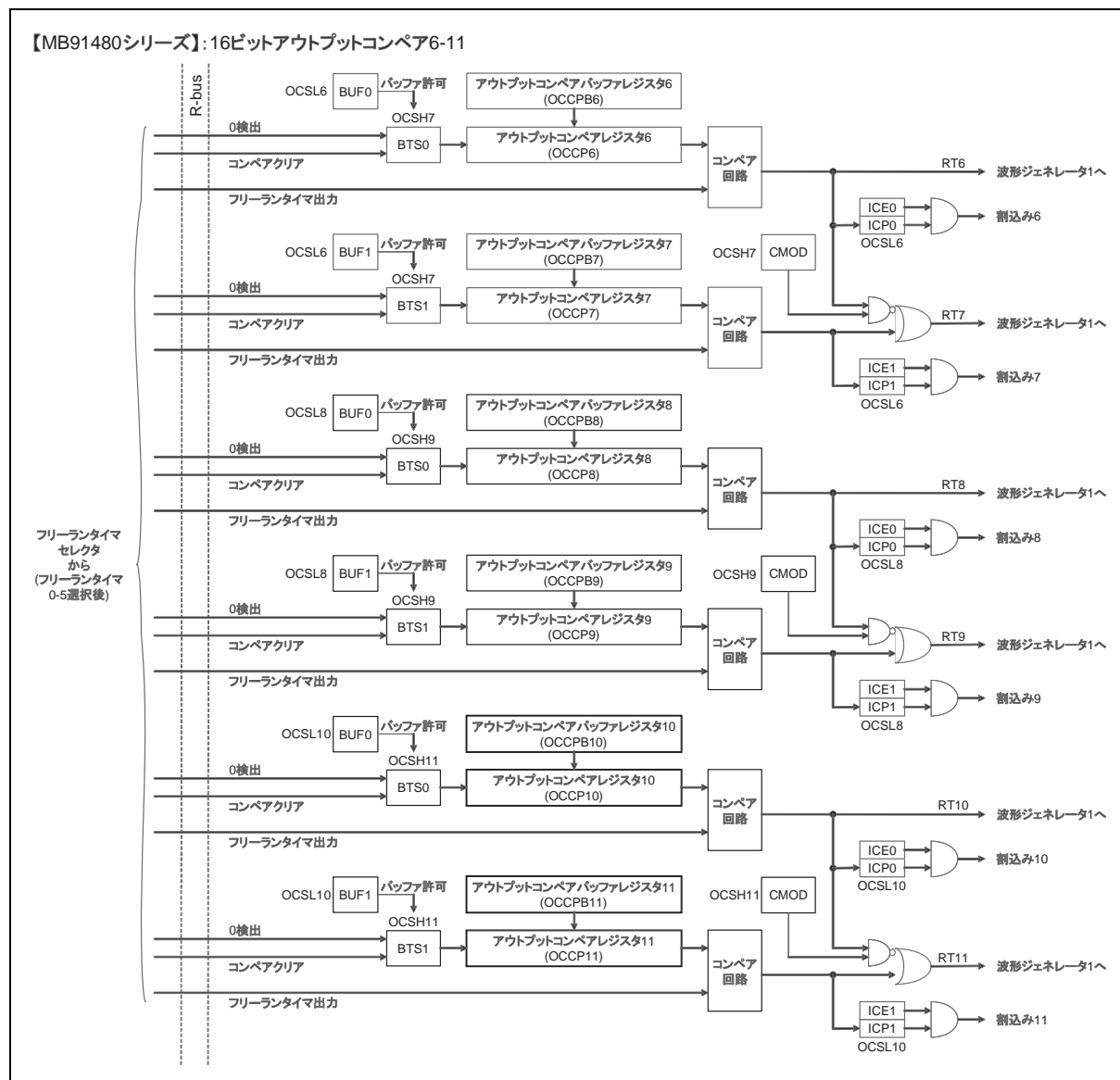




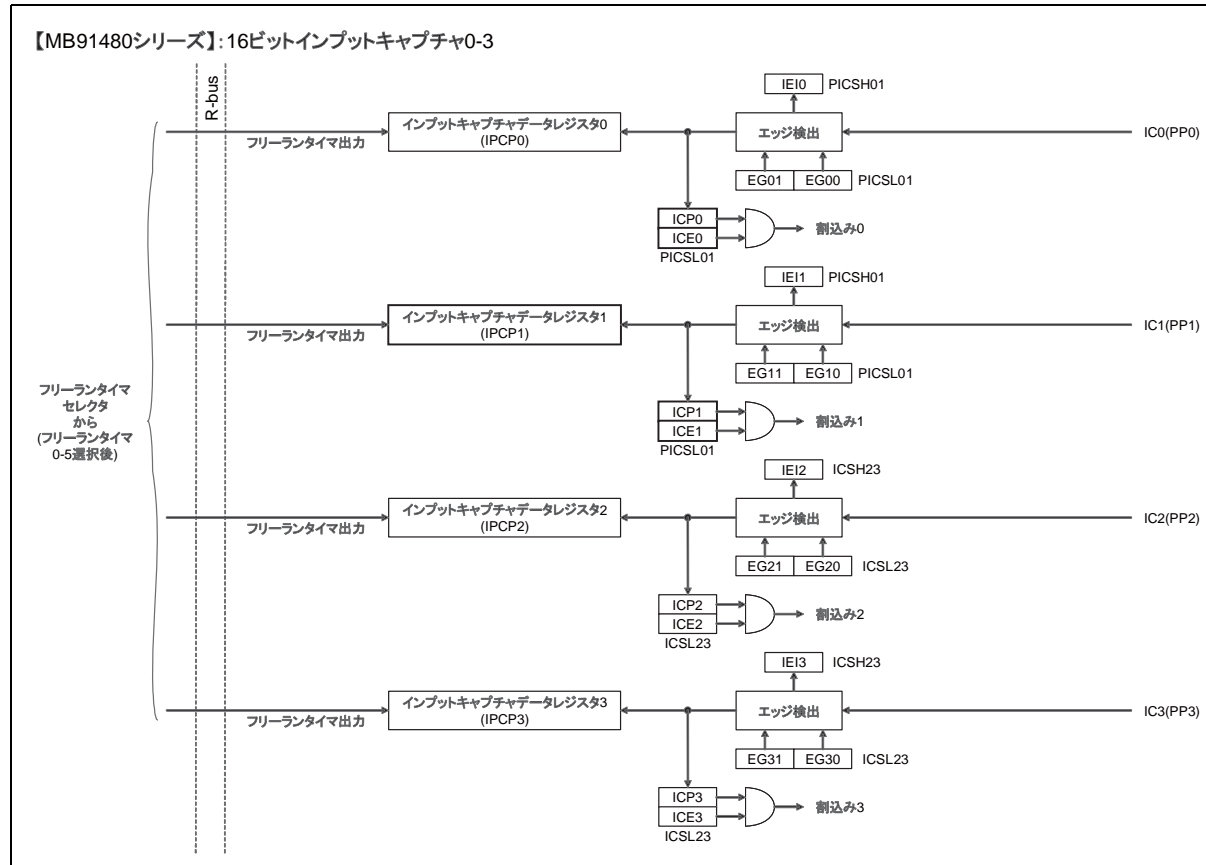
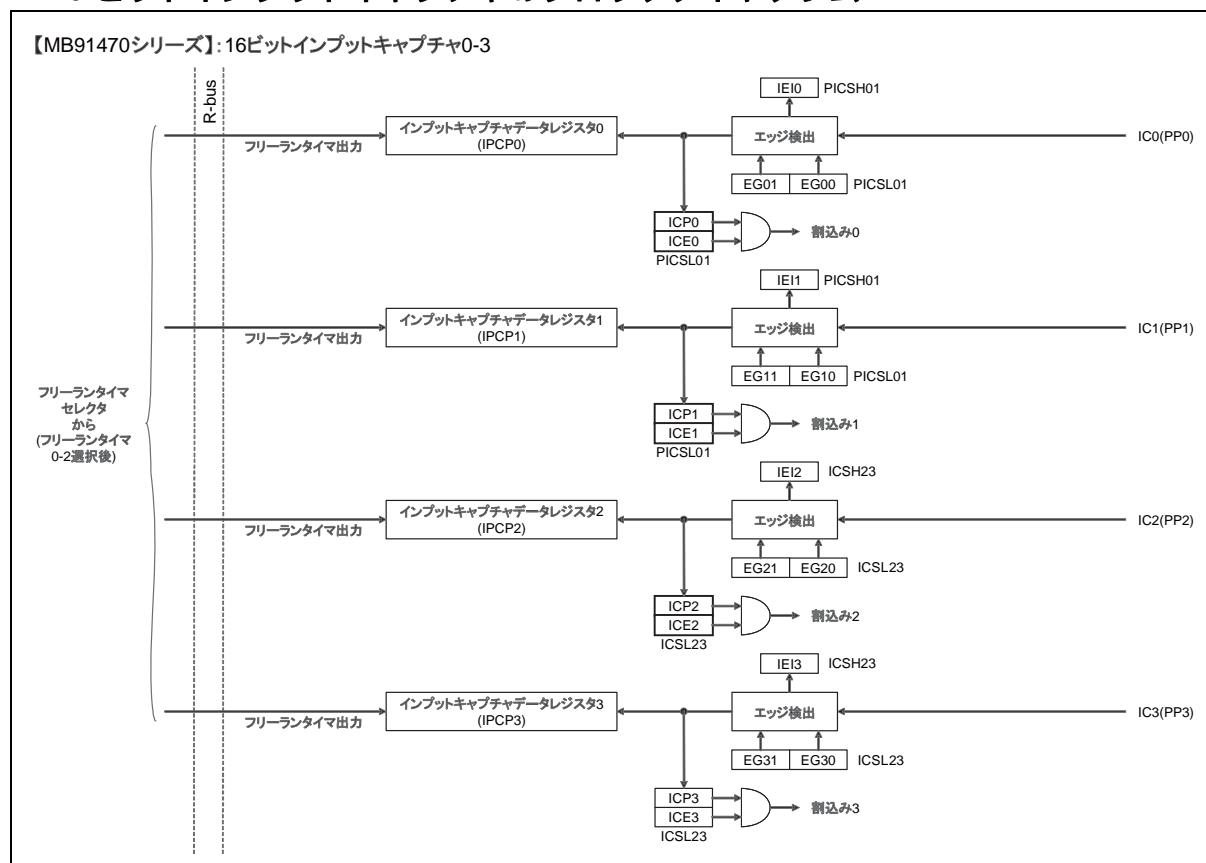
■ 16 ビットアウトプットコンペアのブロックダイアグラム

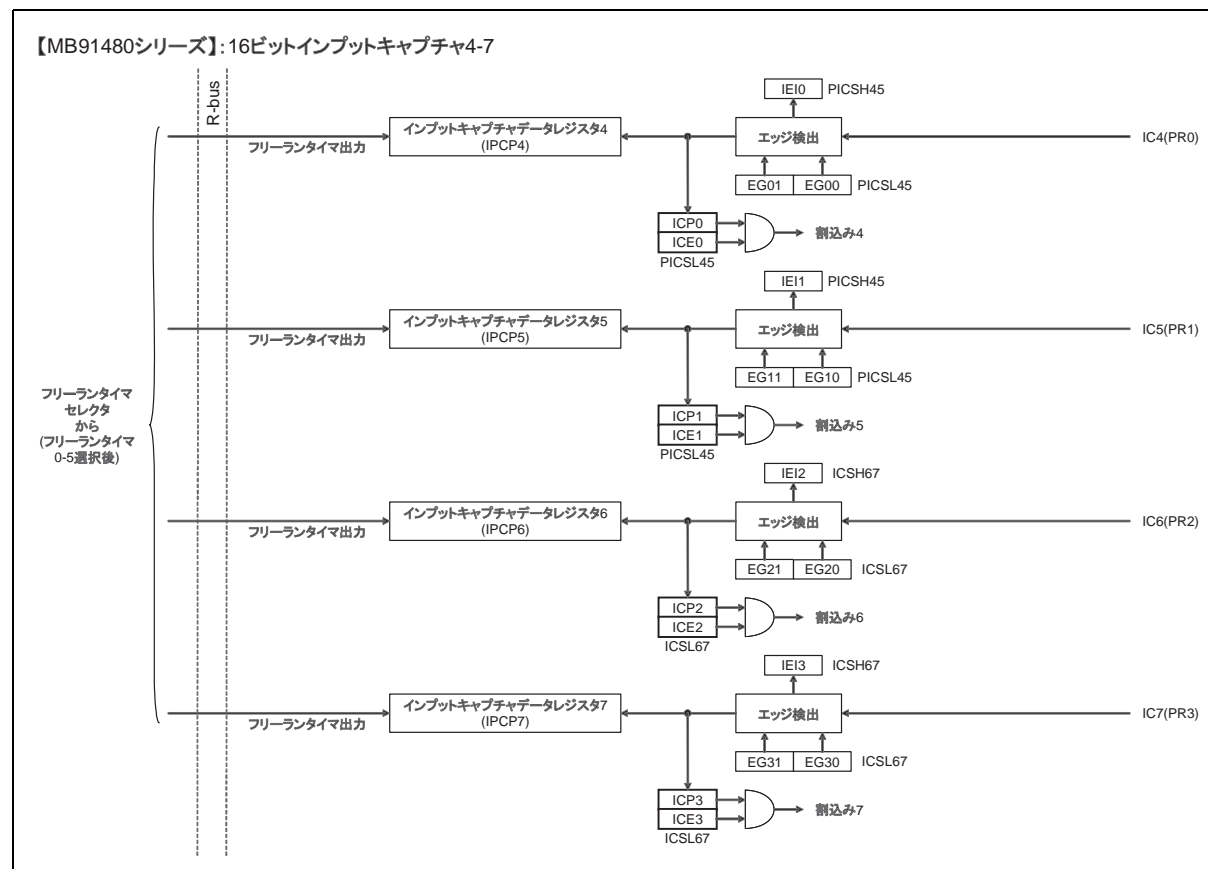




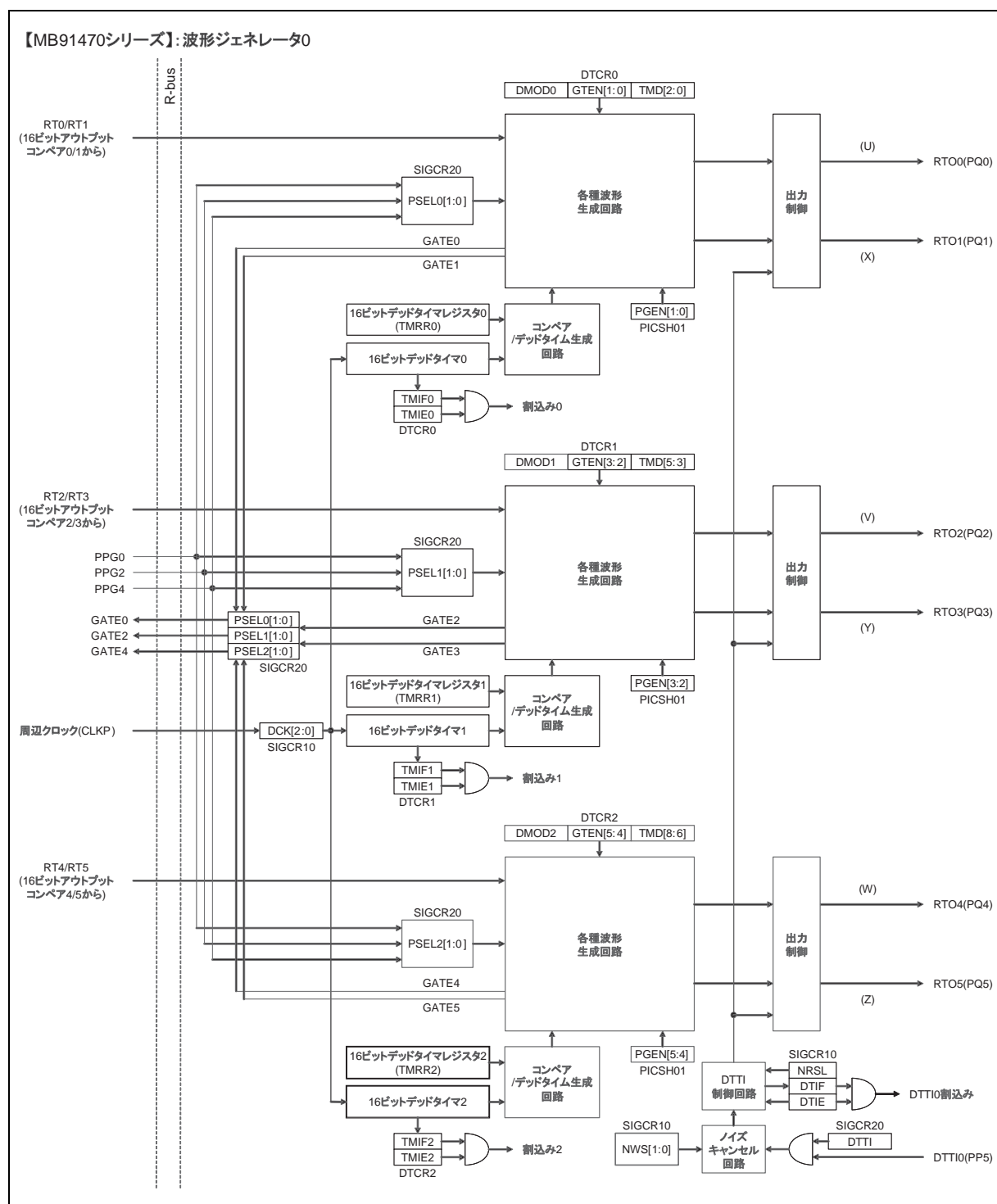


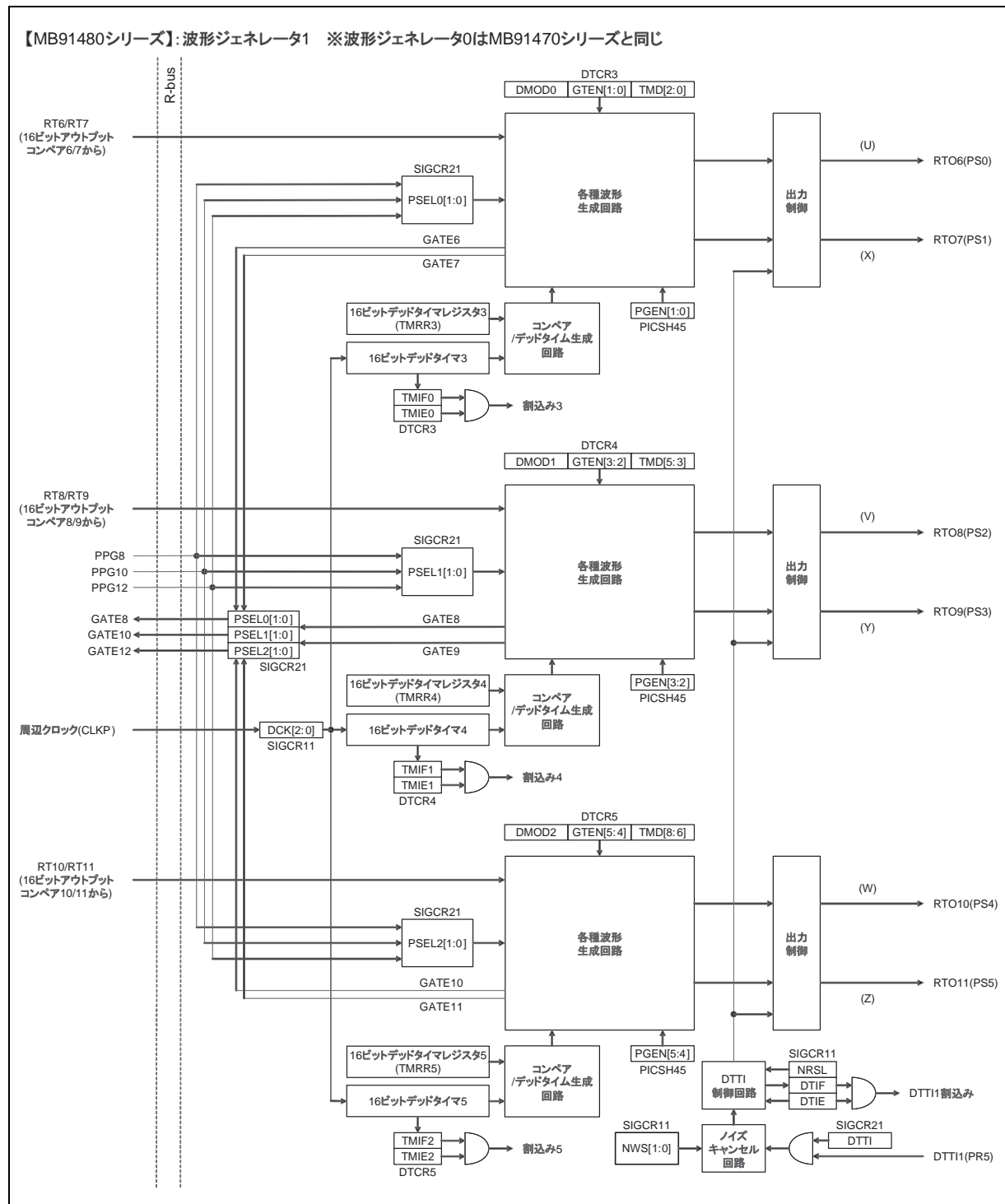
■ 16 ビットインプットキャプチャのブロックダイアグラム



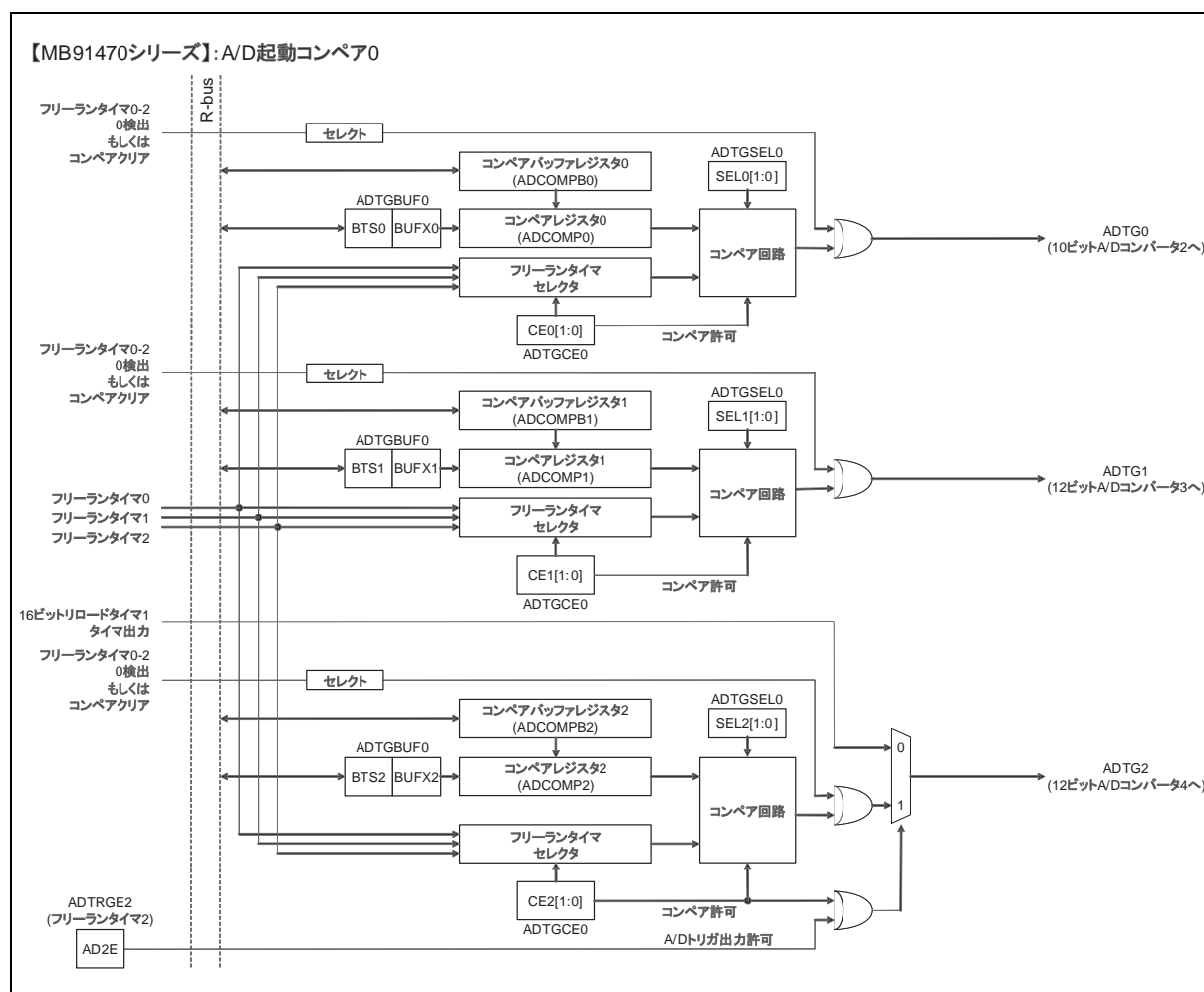


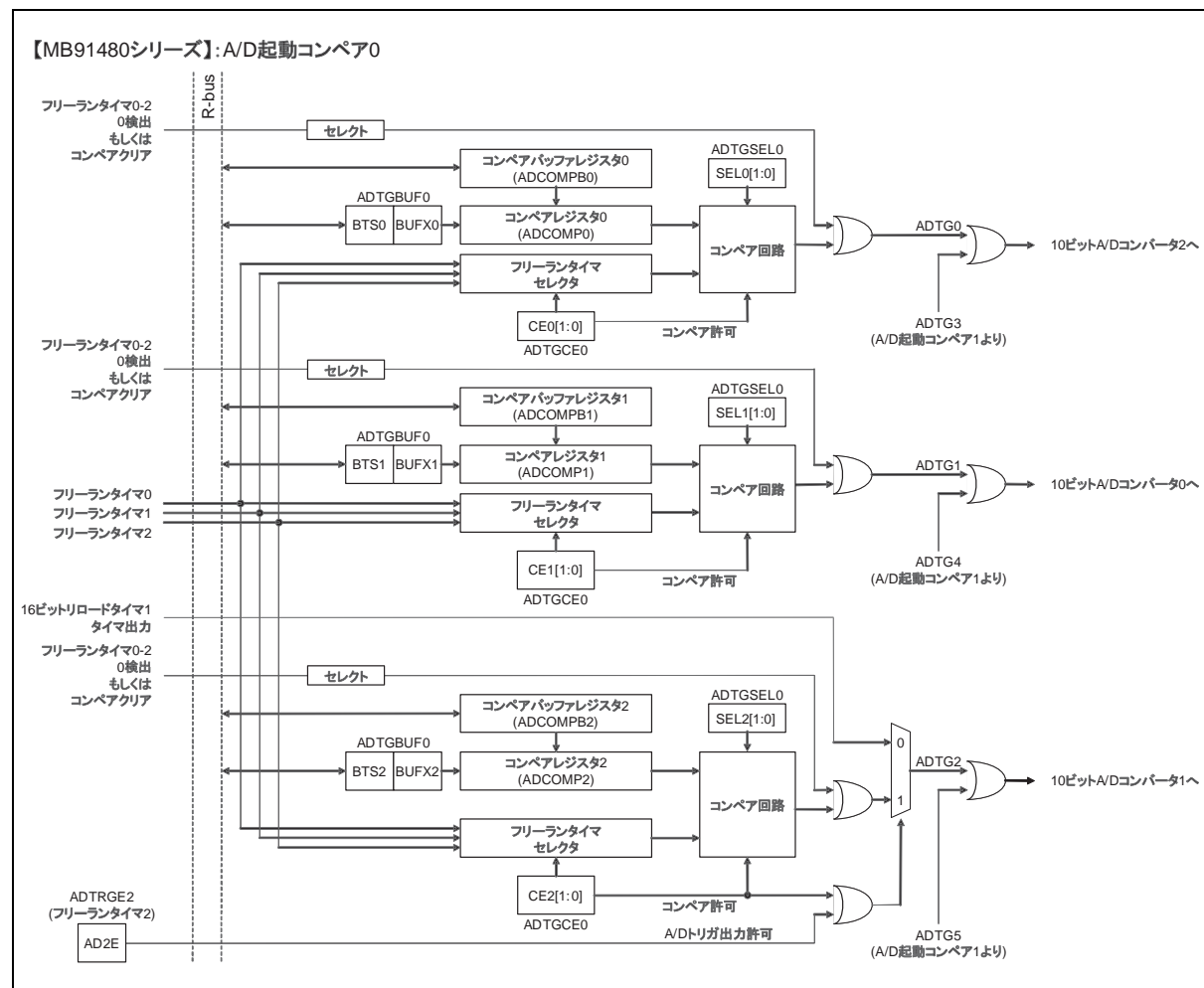
■ 波形ジェネレータのブロックダイアグラム

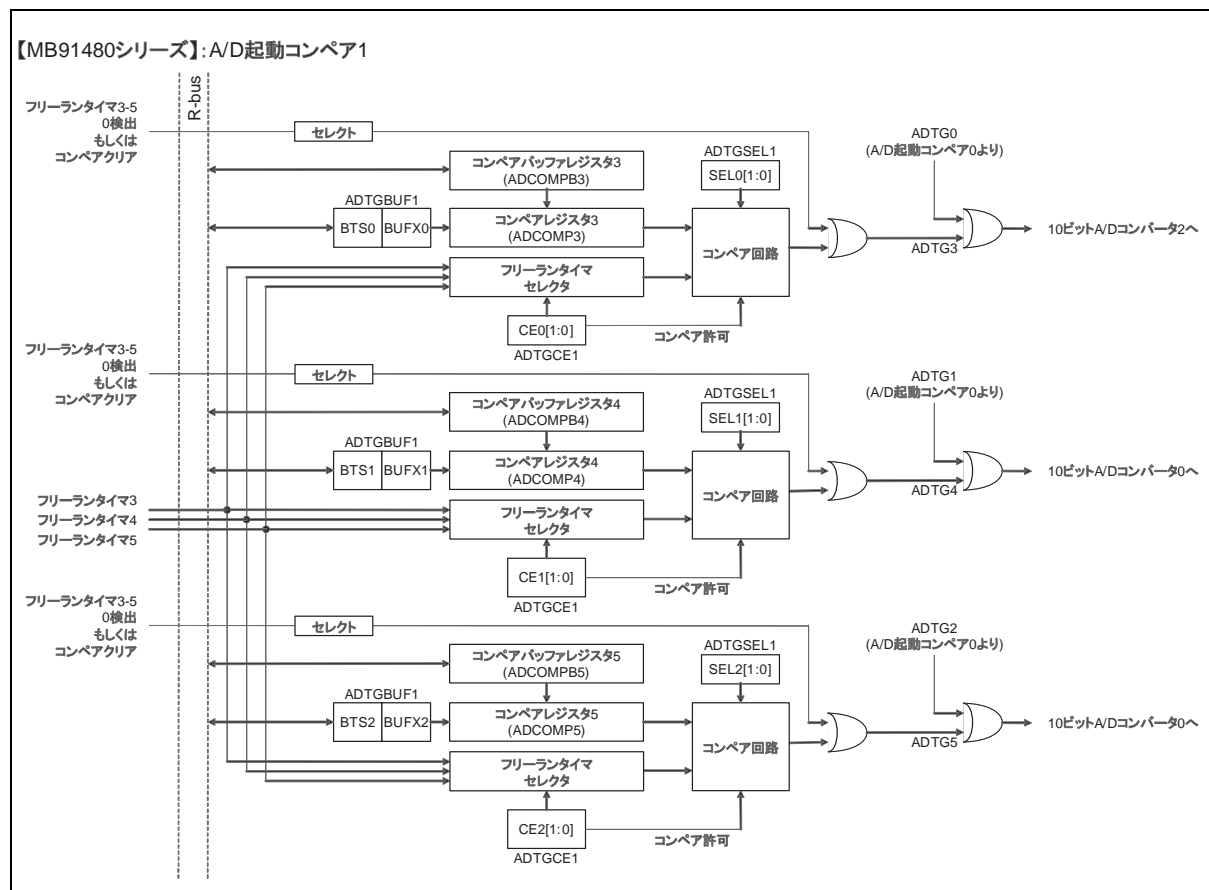




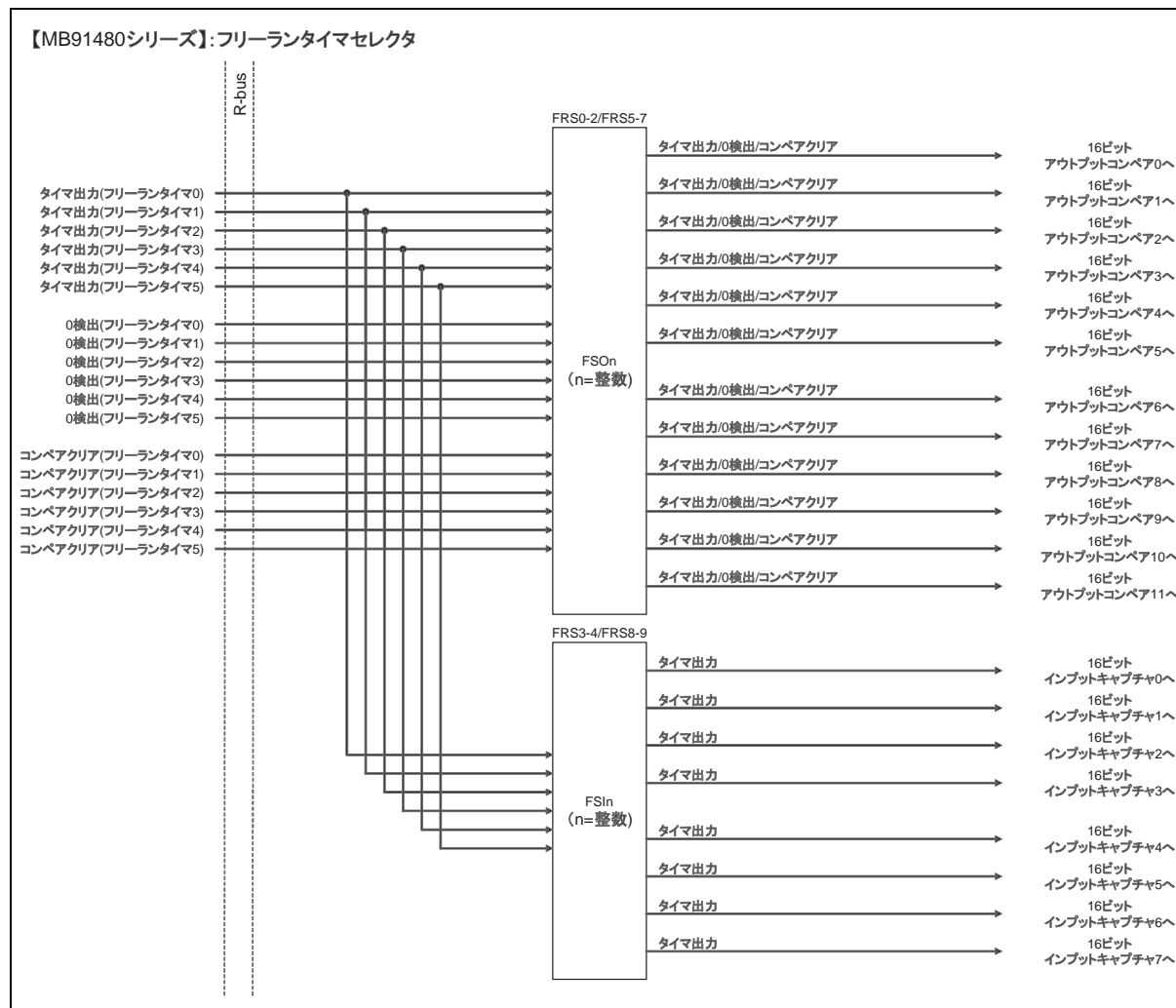
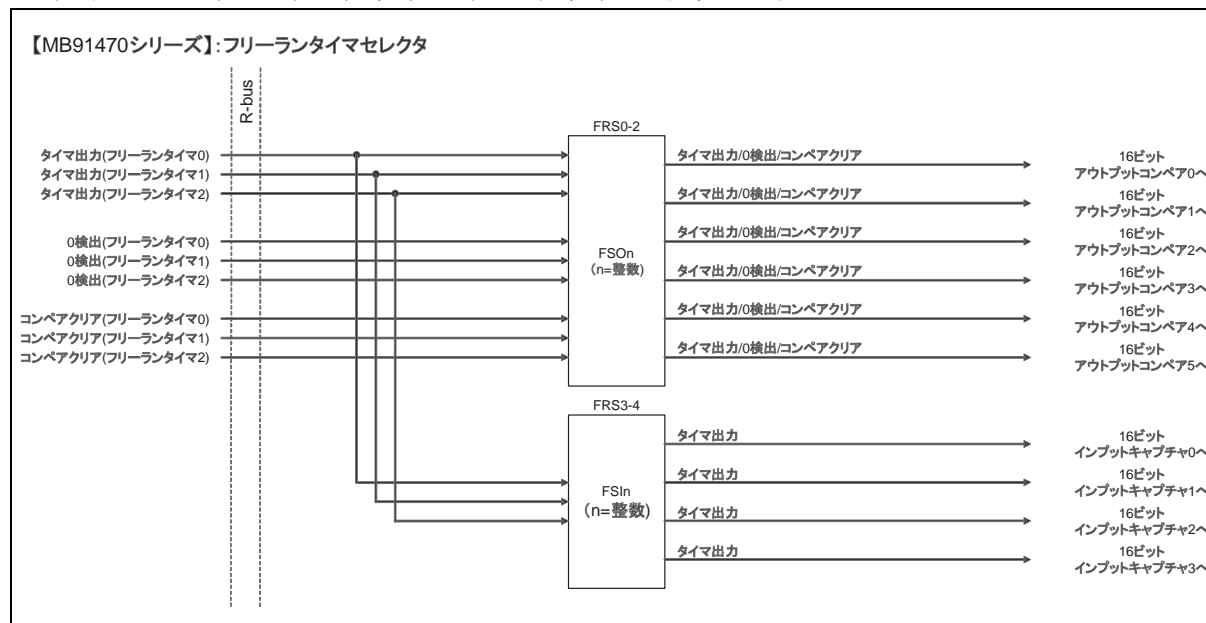
■ A/D 起動コンペアのブロックダイアグラム







■ フリーランタイムセクタのブロックダイアグラム



12.3 多機能タイマの端子

多機能タイマの端子について説明します。

■ 多機能タイマの端子

表 12.3-1 多機能タイマ 0 の端子

端子名	端子機能	I/O 形式	プルアップ オプション	スタンバイ 制御	端子設定
PP5/DTTI0	PortP 入出力, DTTI	CMOS 出力, CMOS ヒステリ シス入力	選択可能	あり	端子を入力ポートとして 設定 (DDRP:bit5=0)
PP4/CKI0	PortP 入出力, 外部クロック				端子を入力ポートとして 設定 (DDRP:bit4=0)
PP0/IC0	PortP 入出力, インプット キャプチャ 0				端子を入力ポートとして 設定 (DDRP:bit0=0)
PP1/IC1	PortP 入出力, インプット キャプチャ 1				端子を入力ポートとして 設定 (DDRP:bit1=0)
PP2/IC2	PortP 入出力, インプット キャプチャ 2				端子を入力ポートとして 設定 (DDRP:bit2=0)
PP3/IC3	PortP 入出力, インプット キャプチャ 3				端子を入力ポートとして 設定 (DDRP:bit3=0)
PQ0/RTO0 (U)	PortQ 入出力, RTO0				RTO0 出力を設定する。 (DDRQ:bit0=1)
PQ1/RTO1 (X)	PortQ 入出力, RTO1				RTO1 出力を設定する。 (DDRQ:bit1=1)
PQ2/RTO2 (V)	PortQ 入出力, RTO2				RTO2 出力を設定する。 (DDRQ:bit2=1)
PQ3/RTO3 (Y)	PortQ 入出力, RTO3				RTO3 出力を設定する。 (DDRQ:bit3=1)
PQ4/RTO4 (W)	PortQ 入出力, RTO4				RTO4 出力を設定する。 (DDRQ:bit4=1)
PQ5/RTO5 (Z)	PortQ 入出力, RTO5				RTO5 出力を設定する。 (DDRQ:bit5=1)

DDR_x : ポート方向レジスタ

OCSH_x : コンペア制御レジスタ

表 12.3-2 多機能タイマ 1 の端子

端子名	端子機能	I/O 形式	プルアップ オプション	スタンバイ 制御	端子設定
PR5/DTTI1	PortR 入出力, DTTI	CMOS 出力, CMOS ヒステリ シス入力	選択可能	あり	端子を入力ポートとして設 定 (DDRR:bit5=0)
PR4/CKI1	PortR 入出力, 外部クロック				端子を入力ポートとして設 定 (DDRR:bit4=0)
PR0/IC4	PortR 入出力, インプット キャプチャ 0				端子を入力ポートとして設 定 (DDRR:bit0=0)
PR1/IC5	PortR 入出力, インプット キャプチャ 1				端子を入力ポートとして設 定 (DDRR:bit1=0)
PR2/IC6	PortR 入出力, インプット キャプチャ 2				端子を入力ポートとして設 定 (DDRR:bit2=0)
PR3/IC7	PortR 入出力, インプット キャプチャ 3				端子を入力ポートとして設 定 (DDRR:bit3=0)
PS0/RTO6 (U)	PortS 入出力, RTO6				RTO6 出力を設定する。 (DDRS:bit0=1)
PS1/RTO7 (X)	PortS 入出力, RTO7				RTO7 出力を設定する。 (DDRS:bit1=1)
PS2/RTO8 (V)	PortS 入出力, RTO8				RTO8 出力を設定する。 (DDRS:bit2=1)
PS3/RTO9 (Y)	PortS 入出力, RTO9				RTO9 出力を設定する。 (DDRS:bit3=1)
PS4/RTO10 (W)	PortS 入出力, RTO10				RTO10 出力を設定する。 (DDRS:bit4=1)
PS5/RTO11 (Z)	PortS 入出力, RTO11				RTO11 出力を設定する。 (DDRS:bit5=1)

DDRx : ポート方向レジスタ

OCSHx : コンペア制御レジスタ

12.4 多機能タイマのレジスタ

多機能タイマ 0/1 の全レジスタについて説明します。
多機能タイマ 1 のレジスタには * 印が付いています。

■ 16 ビットフリーランタイマのレジスタ

コンペアクリアバッファレジスタ, コンペアクリアレジスタ (上位)

CPCLRBHn/CPCLRHN

アドレス:		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000B4 _H	ch.3*: 0001B4 _H	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
ch.1: 0000BC _H	ch.4*: 0001BC _H								
ch.2: 0000C4 _H	ch.5*: 0001C4 _H								
CPCLRBH ライト		W	W	W	W	W	W	W	W
CPCLRHN リード		R	R	R	R	R	R	R	R
初期値		(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)

コンペアクリアバッファレジスタ, コンペアクリアレジスタ (下位)

		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CPCLRBLn/CPCLRLn		CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
CPCLRBL ライト		W	W	W	W	W	W	W	W
CPCLRL リード		R	R	R	R	R	R	R	R
初期値		(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)

タイマデータレジスタ (上位)

TCDTHn

アドレス:		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000B6 _H	ch.3*: 0001B6 _H	T15	T14	T13	T12	T11	T10	T09	T08
ch.1: 0000BE _H	ch.4*: 0001BE _H								
ch.2: 0000C6 _H	ch.5*: 0001C6 _H								
リード / ライト		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

タイマデータレジスタ (下位)

		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TCDTLn		T07	T06	T05	T04	T03	T02	T01	T00
リード / ライト		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

n=0/1/2:FRT0/1/2,n=3/4/5:FRT3/4/5

* : MB91470 シリーズは ch.0 ~ ch.2 のみ ,
MB91480 シリーズは ch.0 ~ ch.5 を使用可能です。

(続く)

(続き)

タイマ状態制御レジスタ (上位)

TCCSHn

アドレス :		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000B8 _H	ch.3*: 0001B8 _H	ECKE	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE
ch.1: 0000C0 _H	ch.4*: 0001C0 _H								
ch.2: 0000C8 _H	ch.5*: 0001C8 _H								
	リード / ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

タイマ状態制御レジスタ (下位)

TCCSLn

アドレス :		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ch.0: 0000B9 _H	ch.3*: 0001B9 _H	BFE	STOP	MODE	SCLR	CLK3	CLK2	CLK1	CLK0
ch.1: 0000C1 _H	ch.4*: 0001C1 _H								
ch.2: 0000C9 _H	ch.5*: 0001C9 _H								
	リード / ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	初期値	(0)	(1)	(0)	(0)	(0)	(0)	(0)	(0)

タイマ状態制御レジスタ M

TCCSMn

アドレス :		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000BA _H	ch.3*: 0001BA _H	-	-	-	-	MODE2	MSI5	MSI4	MSI3
ch.1: 0000C2 _H	ch.4*: 0001C2 _H								
ch.2: 0000CA _H	ch.5*: 0001CA _H								
	リード / ライト	-	-	-	-	R/W	R/W	R/W	R/W
	初期値	(-)	(-)	(-)	(-)	(0)	(0)	(0)	(0)

A/D 起動制御レジスタ

ADTRGCn

アドレス :		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ch.0: 0000BB _H	ch.3*: 0001BB _H	-	SEL2	SEL1	SEL0	-	AD2E	AD1E	AD0E
ch.1: 0000C3 _H	ch.4*: 0001C3 _H								
ch.2: 0000CB _H	ch.5*: 0001CB _H								
	リード / ライト	-	R/W	R/W	R/W	-	R/W	R/W	R/W
	初期値	(-)	(0)	(0)	(0)	(-)	(0)	(0)	(0)

* : MB91470 シリーズは ch.0 ~ ch.2 のみ ,
MB91480 シリーズは ch.0 ~ ch.5 が使用可能です。

n=0/1/2:FRT0/1/2,n=3/4/5:FRT3/4/5

■ フリーランタイム選択レジスタ

フリーランタイム選択レジスタ (上位) : アウトプットコンペア用

FRS1, FRS6*

アドレス : FRS1: 0000CE _H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
FRS6*: 0001CE _H	-	FSO14	FSO13	FSO12	-	FSO10	FSO9	FSO8
リード / ライト	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値 (FRS1)	(-)	(0)	(0)	(0)	(-)	(0)	(0)	(0)
初期値 (FRS6)	(-)	(0)	(1)	(1)	(-)	(0)	(1)	(1)

フリーランタイム選択レジスタ (下位) : アウトプットコンペア用

FRS0, FRS2 , FRS5*, FRS7*

アドレス : FRS0: 0000CF _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
FRS2: 0000CD _H	-	FSO6	FSO5	FSO4	-	FSO2	FSO1	FSO0
FRS5*: 0001CF _H	-	FSO6	FSO5	FSO4	-	FSO2	FSO1	FSO0
FRS7*: 0001CD _H	-	FSO6	FSO5	FSO4	-	FSO2	FSO1	FSO0
リード / ライト	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値 (FRS0/FRS2)	(-)	(0)	(0)	(0)	(-)	(0)	(0)	(0)
初期値 (FRS5/FRS7)	(-)	(0)	(1)	(1)	(-)	(0)	(1)	(1)

フリーランタイム選択レジスタ (上位) : インプットキャプチャ用

FRS4, FRS9*

アドレス : FRS4: 0000D2 _H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
FRS9*: 0001D2 _H	-	FSI14	FSI13	FSI12	-	FSI10	FSI9	FSI8
リード / ライト	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値 (FRS4)	(-)	(0)	(0)	(0)	(-)	(0)	(0)	(0)
初期値 (FRS9)	(-)	(0)	(1)	(1)	(-)	(0)	(1)	(1)

フリーランタイム選択レジスタ (下位) : インプットキャプチャ用

FRS3, FRS8*

アドレス : FRS3: 0000D3 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
FRS8*: 0001D3 _H	-	FSI6	FSI5	FSI4	-	FSI2	FSI1	FSI0
リード / ライト	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値 (FRS3)	(-)	(0)	(0)	(0)	(-)	(0)	(0)	(0)
初期値 (FRS8)	(-)	(0)	(1)	(1)	(-)	(0)	(1)	(1)

R/W: リード / ライト可能

* : MB91470 シリーズでは使用不可

■ 16 ビットアウトプットコンペアのレジスタ

アウトプットコンペアバッファレジスタ, アウトプットコンペアレジスタ (上位)

OCCPBH0 ~ OCCPBH5/OCCPH0 ~ OCCPH5

OCCPBH6* ~ OCCPBH11*/OCCPH6* ~ OCCPH11*

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000A0 _H ch.6: 0001A0 _H	OP15	OP14	OP13	OP12	OP11	OP10	OP09	OP08
ch.1: 0000A2 _H ch.7: 0001A2 _H								
ch.2: 0000A4 _H ch.8: 0001A4 _H								
ch.3: 0000A6 _H ch.9: 0001A6 _H								
ch.4: 0000A8 _H ch.10: 0001A8 _H								
ch.5: 0000AA _H ch.11: 0001AA _H								
OCCPBH ライト	W	W	W	W	W	W	W	W
OCCPH リード	R	R	R	R	R	R	R	R
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

アウトプットコンペアバッファレジスタ, アウトプットコンペアレジスタ (下位)

OCCPBL0 ~ OCCPBL5/OCCPL0 ~ OCCPL5

OCCPBL6* ~ OCCPBL11*/OCCPL6* ~ OCCPL11*

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	OP07	OP06	OP05	OP04	OP03	OP02	OP01	OP00
OCCPBL ライト	W	W	W	W	W	W	W	W
OCCPL リード	R	R	R	R	R	R	R	R
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

コンペア制御レジスタ 1, 3, 5, 7*, 9*, 11* (上位)

OCSH1, OCSH3, OCSH5, OCSH7*, OCSH9*, OCSH11*

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.1: 0000AC _H ch.7: 0001AC _H	-	BTS1	BTS0	CMOD	-	-	OTD1	OTD0
ch.3: 0000AE _H ch.9: 0001AE _H								
ch.5: 0000B0 _H ch.11: 0001B0 _H								
リード / ライト	-	R/W	R/W	R/W	-	-	R/W	R/W
初期値	(-)	(1)	(1)	(0)	(-)	(-)	(0)	(0)

コンペア制御レジスタ 0, 2, 4, 6*, 8*, 10* (下位)

OCSL0, OCSL2, OCSL4, OCSL6*, OCSL8*, OCSL10*

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ch.0: 0000AD _H ch.6: 0001AD _H	IOP1	IOP0	IOE1	IOE0	BUF1	BUF0	CST1	CST0
ch.2: 0000AF _H ch.8: 0001AF _H								
ch.4: 0000B1 _H ch.10: 0001B1 _H								
リード / ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(0)	(0)	(0)	(0)	(1)	(1)	(0)	(0)

コンペアモード制御レジスタ

OCMOD0, OCMOD1*

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000B2 _H	-	-	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10
ch.1: 0001B2 _H								
リード / ライト	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(-)	(-)	(0)	(0)	(0)	(0)	(0)	(0)

* : MB91470 シリーズでは使用不可

■ 16 ビットインプットキャプチャのレジスタ

インプットキャプチャデータレジスタ (上位)

IPCPH0 ~ IPCPH3, IPCPH4* ~ IPCPH7*

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000D4 _H ch.4: 0001D4 _H	CP15	CP14	CP13	CP12	CP11	CP10	CP09	CP08
ch.1: 0000D6 _H ch.5: 0001D6 _H								
ch.2: 0000D8 _H ch.6: 0001D8 _H								
ch.3: 0000DA _H ch.7: 0001DA _H								
リード	R	R	R	R	R	R	R	R
初期値	(X)	(X)	(X)	(X)	(X)	(X)	(X)	(X)

インプットキャプチャデータレジスタ (下位)

IPCPL0 ~ IPCPL3, IPCPL4* ~ IPCPL7*

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CP07	CP06	CP05	CP04	CP03	CP02	CP01	CP00
リード	R	R	R	R	R	R	R	R
初期値	(X)	(X)	(X)	(X)	(X)	(X)	(X)	(X)

インプットキャプチャ状態制御レジスタ (ch.2, ch.3*) (上位)

ICSH23, ICSH67

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000DE _H	-	-	-	-	-	-	IEI3	IEI2
ch.1: 0001DE _H								
リード	-	-	-	-	-	-	R	R
初期値	(-)	(-)	(-)	(-)	(-)	(-)	(0)	(0)

インプットキャプチャ状態制御レジスタ (ch.2, ch.3, ch.6*, ch.7*) (下位)

ICSL23, ICSL67

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ch.0: 0000DF _H	ICP3	ICP2	ICE3	ICE2	EG31	EG30	EG21	EG20
ch.1: 0001DF _H								
リード / ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

PPG 出力制御 / インプットキャプチャ状態制御レジスタ (ch.0, ch.1, ch.4*, ch.5*) (上位)

PICSH01, PICSH45

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000DC _H	PGEN5	PGEN4	PGEN3	PGEN2	PGEN1	PGEN0	IEI1	IEI0
ch.1: 0001DC _H								
ライト	W	W	W	W	W	W	R	R
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

インプットキャプチャ状態制御レジスタ (ch.0, ch.1, ch.4*, ch.5*) (下位)

PICSL01, PICSL45

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ch.0: 0000DD _H	ICP1	ICP0	ICE1	ICE0	EG11	EG10	EG01	EG00
ch.1: 0001DD _H								
リード / ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

* : MB91470 シリーズでは使用不可

■ 波形ジェネレータのレジスタ

16 ビットデッドタイムレジスタ (上位)

TMRRH0, TMRRH1, TMRRH2, TMRRH3*, TMRRH4*, TMRRH5*

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
波形ジェネレータ 0: 0000E0 _H ch.0: 0000E0 _H ch.1: 0000E2 _H ch.2: 0000E4 _H	TR15	TR14	TR13	TR12	TR11	TR10	TR09	TR08
波形ジェネレータ 1*: 0001E0 _H ch.3: 0001E0 _H ch.4: 0001E2 _H ch.5: 0001E4 _H								
リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(X)	(X)	(X)	(X)	(X)	(X)	(X)	(X)

16 ビットデッドタイムレジスタ (下位)

TMRRL0, TMRRL1, TMRRL2, TMRRL3*, TMRRL4*, TMRRL5*

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TR07	TR06	TR05	TR04	TR03	TR02	TR01	TR00
リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(X)	(X)	(X)	(X)	(X)	(X)	(X)	(X)

16 ビットデッドタイム状態制御レジスタ 0, 3*

DTCR0, DTCR3

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
波形ジェネレータ 0: 0000E8 _H 波形ジェネレータ 1*: 0001E8 _H	DMOD0	GTEN1	GTEN0	TMIF0	TMIE0	TMD2	TMD1	TMD0
リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

16 ビットデッドタイム状態制御レジスタ 1, 4*

DTCR1, DTCR4

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
波形ジェネレータ 0: 0000E9 _H 波形ジェネレータ 1*: 0001E9 _H	DMOD1	GTEN3	GTEN2	TMIF1	TMIE1	TMD5	TMD4	TMD3
リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

16 ビットデッドタイム状態制御レジスタ 2, 5*

DTCR2, DTCR5

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
波形ジェネレータ 0: 0000EA _H 波形ジェネレータ 1*: 0001EA _H	DMOD2	GTEN5	GTEN4	TMIF2	TMIE2	TMD8	TMD7	TMD6
リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

波形制御レジスタ 10, 11*

SIGCR10, SIGCR11

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
波形ジェネレータ 0: 0000ED _H 波形ジェネレータ 1*: 0001ED _H	DTIE	DTIF	NRSL	DCK2	DCK1	DCK0	NWS1	NWS0
リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

*: 波形ジェネレータ 1 は MB91470 シリーズでは使用不可

(続く)

(続き)

波形制御レジスタ 20, 21								
SIGCR20, SIGCR21								
アドレス								
波形ジェネレータ 0: 0000EF _H								
波形ジェネレータ 1*: 0001EF _H								
リード/ライト								
初期値								
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	PSEL21	PSEL20	PSEL11	PSEL10	PSEL01	PSEL00	-	DTTI
	R/W	R/W	R/W	R/W	R/W	R/W	-	R/W
	(0)	(0)	(0)	(0)	(0)	(0)	(-)	(1)
*: 波形ジェネレータ 1 は MB91470 シリーズでは使用不可								

■ A/D 起動コンペアのレジスタ

コンペアレジスタ 0, 1, 2, 3*, 4*, 5* (上位)								
ADCOMPB0/ADCOMP0, ADCOMP1/ADCOMP1, ADCOMP2/ADCOMP2, ADCOMP3/ADCOMP3, ADCOMP4/ADCOMP4, ADCOMP5/ADCOMP5								
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000F0 _H ch.3: 0001F0 _H	CMP15	CMP14	CMP13	CMP12	CMP11	CMP10	CMP09	CMP08
ch.1: 0000F4 _H ch.4: 0001F4 _H								
ch.2: 0000F8 _H ch.5: 0001F8 _H								
アドレス (ADCOMP _D)								
ch.0: 0000F2 _H ch.3: 0001F2 _H								
ch.1: 0000F6 _H ch.4: 0001F6 _H								
ch.2: 0000FA _H ch.5: 0001FA _H								
ADCOMPB0 ~ ADCOMP5								
リード / ライト	R	R	R	R	R	R	R	R
ADCOMP0 ~ ADCOMP5								
リード / ライト	W	W	W	W	W	W	W	W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)
コンペアレジスタ 0, 1, 2, 3*, 4*, 5* (下位)								
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	CMP07	CMP06	CMP05	CMP04	CMP03	CMP02	CMP01	CMP00
ADCOMPB0 ~ ADCOMP5								
リード / ライト	R	R	R	R	R	R	R	R
ADCOMP0 ~ ADCOMP5								
リード / ライト	W	W	W	W	W	W	W	W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)
コンペア許可レジスタ								
ADTGCE0, ADTGCE1*	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
アドレス	-	-	CE2[1]	CE2[0]	CE1[1]	CE1[0]	CE0[1]	CE0[0]
A/D 起動コンペア 0: 0000FF _H								
A/D 起動コンペア 1: 0001FF _H								
リード / ライト	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(-)	(-)	(0)	(0)	(0)	(0)	(0)	(0)
コンペアカウント方向選択レジスタ								
ADTGSEL0, ADTGSEL1*	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
アドレス	-	-	SEL2[1]	SEL2[0]	SEL1[1]	SEL1[0]	SEL0[1]	SEL0[0]
A/D 起動コンペア 0: 0000FE _H								
A/D 起動コンペア 1: 0001FE _H								
リード / ライト	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(-)	(-)	(0)	(0)	(0)	(0)	(0)	(0)

(続く)

(続き)

バッファ制御レジスタ								
ADTGBUF0, ADTGBUF1*								
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
アドレス	-	BTS2	BTS1	BTS0	-	BUFX2	BUFX1	BUFX0
A/D 起動コンペア 0: 0000FD _H								
A/D 起動コンペア 1: 0001FD _H								
リード / ライト	-	R/W	R/W	R/W	-	R/W	R/W	R/W
初期値	(-)	(0)	(0)	(0)	(-)	(1)	(1)	(1)
* : MB91470 シリーズでは使用不可								

12.4.1 コンペアクリアバッファレジスタ (CPCLRBH0 ~ CPCLRBH5, CPCLRBL0 ~ CPCLRBL5) / コンペアクリアレジスタ (CPCLRHH0 ~ CPCLRHH5, CPCLRRL0 ~ CPCLRRL5)

コンペアクリアバッファレジスタ (CPCLRBH, CPCLRBL) は、コンペアクリアレジスタ (CPCLRHH, CPCLRRL) に存在する 16 ビットバッファレジスタです。CPCLRBH, CPCLRBL レジスタと CPCLRHH, CPCLRRL レジスタは、両方とも同じアドレスに存在します。

■ コンペアクリアバッファレジスタ (CPCLRBH0 ~ CPCLRBH5, CPCLRBL0 ~ CPCLRBL5)

コンペアクリアバッファレジスタ (上位)									
CPCLRBH0 ~ CPCLRBH5									
アドレス:		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000B4 _H	ch.3*: 0001B4 _H	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
ch.1: 0000BC _H	ch.4*: 0001BC _H								
ch.2: 0000C4 _H	ch.5*: 0001C4 _H								
	ライト	W	W	W	W	W	W	W	W
	初期値	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)
コンペアクリアバッファレジスタ (下位)									
CPCLRBL0 ~ CPCLRBL5		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
	ライト	W	W	W	W	W	W	W	W
	初期値	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)
W: ライトオンリ									
		*: MB91470 シリーズでは使用不可							

コンペアクリアバッファレジスタは、コンペアクリアレジスタ (CPCLRHH, CPCLRRL) と同じアドレスに存在するバッファレジスタです。バッファ機能が無効になるか (タイマ状態制御レジスタ下位 (TCCSL) の BFE: bit7=0), またはフリーランタイマが停止すると、コンペアクリアバッファレジスタの値が直ちにコンペアクリアレジスタへ転送されます。バッファ機能が有効になると、16 ビットフリーランタイマのカウント値 "0" が検出されたときに値がコンペアクリアレジスタへ転送されます。

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

リードモディファイライト系命令でのアクセスは行わないでください。

■ コンペアクリアレジスタ (CPCLR0 ~ CPCLR5, CPCLRL0 ~ CPCLRL5)

コンペアクリアレジスタ (上位)

CPCLR0 ~ CPCLR5

アドレス:

		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000B _H	ch.3*: 0001B _H	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08
ch.1: 0000BC _H	ch.4*: 0001BC _H								
ch.2: 0000C _H	ch.5*: 0001C _H								
	リード	R	R	R	R	R	R	R	R
	初期値	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)

コンペアクリアレジスタ (下位)

		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CPCLRL0 ~ CPCLRL5		CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00
	リード	R	R	R	R	R	R	R	R
	初期値	(1)	(1)	(1)	(1)	(1)	(1)	(1)	(1)

R: リードオンリ

*: MB91470 シリーズでは使用不可

コンペアクリアレジスタは、16 ビットフリーランタイムのカウンタ値と比較するために使用します。アップカウントモード時は、このレジスタが 16 ビットフリーランタイムのカウンタ値と一致すると、16 ビットフリーランタイムは "0000_H" にリセットされます。アップダウンカウントモード時は、このレジスタが 16 ビットフリーランタイムのカウンタ値と一致すると、16 ビットフリーランタイムはアップカウントからダウンカウントに変わるか、または "0" 検出時にダウンカウントからアップカウントに変わります。

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

リードモディファイライト系命令でのアクセスは行わないでください。

MB91470/480 シリーズ

12.4.2 タイマデータレジスタ (TCDTH0 ~ TCDTH5, TCDTL0 ~ TCDTL5)

タイマデータレジスタ (TCDTH, TCDTL) は、16 ビットフリーランタイマのカウント値を読み出すために使用します。また、16 ビットフリーランタイマのカウント値を設定することができます。

■ タイマデータレジスタ (TCDTH0 ~ TCDTH5, TCDTL0 ~ TCDTL5)

タイマデータレジスタ (上位)									
TCDTH0 ~ TCDTH5									
アドレス:		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000B _H	ch.3*: 0001B _H	T15	T14	T13	T12	T11	T10	T09	T08
ch.1: 0000BE _H	ch.4*: 0001BE _H								
ch.2: 0000C6 _H	ch.5*: 0001C6 _H								
リード / ライト		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)
タイマデータレジスタ (下位)									
TCDTL0 ~ TCDTL5		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		T07	T06	T05	T04	T03	T02	T01	T00
リード / ライト		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)
R/W: リード / ライト可能									
		*: MB91470 シリーズでは使用不可							

タイマデータレジスタは、16 ビットフリーランタイマのカウント値を読み出すために使用します。カウント値は、リセットが発生すると直ちに "0000_H" にクリアされます。タイマ値は、このレジスタへ値を書き込むことで設定することができます。ただし、値の書き込みはタイマの停止中 (タイマ状態制御レジスタ下位 (TCCSL) の STOP: bit6=1) でなければなりません。タイマデータレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

16 ビットフリーランタイマは、以下の要因が発生すると直ちに初期化されます。

- リセット
- 16 ビットフリーランタイマ動作中 (タイマ状態制御レジスタ下位 (TCCSL) の STOP: bit6=0) のタイマ状態制御レジスタ (TCCSL) のクリアビット (SCLR: bit4)=1
(注意事項) 16 ビットフリーランタイマ停止中 (タイマ状態制御レジスタ (TCCSL) の STOP: bit6=1) の、タイマ状態制御レジスタ (TCCSL) のクリアビット (SCLR: bit4)=1 としても、16 ビットフリーランタイマは初期化されません。
- アップカウントモード (タイマ状態制御レジスタ下位 (TCCSL) の MODE: bit5=0) 時におけるコンペアクリアレジスタとタイマカウント値の一致

12.4.3 タイマ状態制御レジスタ (TCCSH0 ~ TCCSH5, TCCSL0 ~ TCCSL5, TCCSM0 ~ TCCSM5)

タイマ状態制御レジスタ (TCCSH, TCCSL, TCCSM) は, 16 ビットフリーランタイムの動作を制御するために使用する 16 ビットレジスタ / 8 ビットレジスタです。

■ タイマ状態制御レジスタ, 上位バイト (TCCSH0 ~ TCCSH5)

タイマ状態制御レジスタ (上位)								TCCSH0 ~ TCCSH5	
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	アドレス:	
ECKE	IRQZF	IRQZE	MSI2	MSI1	MSI0	ICLR	ICRE	FRT0: 0000B8 _H	FRT3*: 0001B8 _H
								FRT1: 0000C0 _H	FRT4*: 0001C0 _H
								FRT2: 0000C8 _H	FRT5*: 0001C8 _H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 : 00000000 _B	

ICRE	コンペアクリア割込み要求許可ビット		
0	割込み要求を禁止する		
1	割込み要求を許可する		

ICLR	コンペアクリア割込みフラグビット		
	読出し時	書き込み時	
0	コンペアクリア一致なし	このビットをクリアする	
1	コンペアクリア一致あり	このビットに影響を与えない	

MSI2	MSI1	MSI0	割込みマスク選択ビット
0	0	0	1 回目の一致が発生したときに割込み生成
0	0	1	2 回目の一致が発生したときに割込み生成
0	1	0	3 回目の一致が発生したときに割込み生成
0	1	1	4 回目の一致が発生したときに割込み生成
1	0	0	5 回目の一致が発生したときに割込み生成
1	0	1	6 回目の一致が発生したときに割込み生成
1	1	0	7 回目の一致が発生したときに割込み生成
1	1	1	8 回目の一致が発生したときに割込み生成

IRQZE	0 検出割込み要求許可ビット		
0	割込み要求を禁止にする		
1	割込み要求を許可する		

IRQZF	0 検出割込みフラグビット		
	読出し時	書き込み時	
0	ゼロは検出されない	このビットをクリアする	
1	ゼロが検出される	このビットに影響を与えない	

ECKE	クロック選択ビット		
0	周辺クロック (CLKP)		
1	外部クロック (CKI0/CKI1)		

R/W : リード / ライト可能
 : 初期値

* : MB91470 シリーズでは使用不可

表 12.4-1 タイマ状態制御レジスタ, 上位バイト (TCCSH) (1 / 3)

ビット名		機能
bit15	ECKE : クロック選択 ビット	<ul style="list-style-type: none"> このビットは, 周辺クロック (CLKP) または外部クロック (CKI0/CKI1) を 16 ビットフリーランタイムのカウントクロックとして選択するために使用します。 このビットに "0" を設定した場合: 周辺クロック (CLKP) が選択されます。カウントクロック周波数を選択するためには, TCCSLレジスタのクロック周波数選択ビット (CLK3 ~ CLK0 : bit3 ~ bit0) も選択しなければなりません。 このビットに "1" を設定した場合: 外部クロック (CKI0/CKI1) が選択されます。外部クロック (CKI0/CKI1) は, "CKI" 端子から入力されます。したがって, ポート方向レジスタ (DDRP, DDRR) の bit4 へ "0" を書き込んで外部クロック入力を有効にしなければなりません。 <p>(注意事項) カウントクロックは, このビットが設定されると直ちに變更されます。したがって, このビットの變更は, アウトプットコンペアとインプットキャプチャが停止している間でなければなりません。</p>
bit14	IRQZF : 0 検出割込み フラグビット	<ul style="list-style-type: none"> 16 ビットフリーランタイムのカウント値が "0000_H" のとき, このビットには "1" がセットされます。 このビットに "0" を設定した場合: このビットはクリアされます。 このビットに "1" を設定した場合: このビットは影響を受けません。 リードモディファイライト (RMW) 系命令時には, 必ず "1" が読み出されます。 <p>(注意事項) 16 ビットフリーランタイム動作中 (タイマ状態制御レジスタ (TCCSL) の STOP:bit6=0) 時の, ソフトウェアクリア (タイマ状態制御レジスタ下位 (TCCSL) の SCLR : bit4 への "1" 書込み) では, このビットは設定されません。 アップダウンカウントモード (タイマ状態制御レジスタ下位 (TCCSL) の MODE : bit5=1) 時は, 割込みマスク選択ビット (タイマ状態制御レジスタ上位 (TCCSH) の MSI2 ~ MSI0 : bit12 ~ bit10 が "000_B" 以外) で設定した割込みが発生したときにこのビットに "1" が設定されます。割込みが発生しないときは, このビットに "1" は設定されません。 アップカウントモード (MODE : bit5=0) 時には, MSI2 ~ MSI0 : bit12 ~ bit10 の値とは無関係に, このビットは 0 検出が発生するたびに設定されます。</p>
bit13	IRQZE : 0 検出割込み 要求許可ビット	<p>このビットと割込みフラグビット (IRQZF:bit14) に "1" が設定されると, CPU に対する割込み要求が生成されます。</p>

表 12.4-1 タイマ状態制御レジスタ，上位バイト (TCCSH) (2 / 3)

ビット名		機能
bit12 ～ bit10	MSI2 ～ MSI0 : 割込みマスク 選択ビット	<p>タイマ状態制御レジスタ M の MODE2:bit11=0 のとき</p> <ul style="list-style-type: none"> これらのビットは、アップカウントモード (タイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=0) 時には、コンペアクリア割込みのマスク回数を設定するために使用します。アップダウンカウントモード (タイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=1) 時は、0 検出割込みのマスク回数を設定するために使用します。 このビットに "0" を設定した場合、割込み要因はマスクされません。 <p>タイマ状態制御レジスタ M の MODE2:bit11=1 のとき</p> <ul style="list-style-type: none"> これらのビットは、アップダウンカウントモード (タイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=1) 時は、0 検出割込みのマスク回数を設定するために使用します。 アップカウントモード (タイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=0) の設定は禁止します。 <p>(注意事項) 読出し値はマスクカウンタ値です。 リードモディファイライト系命令時、読出し値はマスクレジスタ値です。 書込み時の書込みデータは、マスクレジスタへ書き込まれます。 フリーランタイム動作中 (タイマ状態制御レジスタ下位 (TCCSL) の STOP:bit6=0) 時は、マスクレジスタへの書込み値は、マスクカウンタが 0 になったときのみ、カウンタへリロードされます。 フリーランタイム停止中 (タイマ状態制御レジスタ下位 (TCCSL) の STOP:bit6=1) 時は、マスクレジスタへの書込み値は、既にカウンタへリロードされます。</p>
bit9	ICLR : コンペアクリア 割込みフラグ ビット	<ul style="list-style-type: none"> コンペアクリア値と 16 ビットフリーランタイム値が一致すると、このビットには "1" が設定されます。 このビットに "0" を設定した場合：このビットはクリアされます。 このビットに "1" を設定した場合：このビットは影響を受けません。 リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。 <p>(注意事項) アップカウントモード (タイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=0) 時は、割込みマスク選択ビットで設定した割込みが発生したときにこのビットに "1" が設定されます。 割込みが発生しないときは、このビットに "1" は設定されません。 アップダウンカウントモード (タイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=1) 時は、MSI2 ～ MSI0 ビットの値とは無関係に、このビットはコンペアクリアが発生するたびに設定されます。</p>

表 12.4-1 タイマ状態制御レジスタ , 上位バイト (TCCSH) (3 / 3)

ビット名		機能
bit8	ICRE : コンペアクリア 割込み要求許可 ビット	このビットとコンペアクリア割込みフラグビット (ICLR : bit9) に "1" が設定されると , CPU に対する割込み要求が生成されます。

■ タイマ状態制御レジスタ, 下位バイト (TCCSL0 ~ TCCSL5)

タイマ状態制御レジスタ (下位)

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
BFE	STOP	MODE	SCLR	CLK3	CLK2	CLK1	CLK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCCSL0 ~ TCCSL5
アドレス:
FRT0: 0000B9_H FRT3*: 0001B9_H
FRT1: 0000C1_H FRT4*: 0001C1_H
FRT2: 0000C9_H FRT5*: 0001C9_H
初期値 : 01000000_B

クロック周波数選択ビット

CLK3	CLK2	CLK1	CLK0	カウント クロック	φ=40MHz	φ=20MHz	φ=10MHz	φ=5MHz	φ=2.5MHz
0	0	0	0	φ	25ns	50ns	100ns	200ns	400ns
0	0	0	1	φ/2	50ns	100ns	200ns	400ns	800ns
0	0	1	0	φ/4	100ns	200ns	400ns	800ns	1.6μs
0	0	1	1	φ/8	200ns	400ns	800ns	1.6μs	3.2μs
0	1	0	0	φ/16	400ns	800ns	1.6μs	3.2μs	6.4μs
0	1	0	1	φ/32	800ns	1.6μs	3.2μs	6.4μs	12.8μs
0	1	1	0	φ/64	1.6μs	3.2μs	6.4μs	12.8μs	25.6μs
0	1	1	1	φ/128	3.2μs	6.4μs	12.8μs	25.6μs	51.2μs
1	0	0	0	φ/256	6.4μs	12.8μs	25.6μs	51.2μs	102.4μs
その他 設定禁止					—	—	—	—	—

φ : 周辺クロック (CLKP)

SCLR

タイマクリアビット	
読み出し時	書き込み時
0	常に "0" を読み出す
1	カウンタを初期化しない カウンタを "0000 _H " に初期化

MODE

タイマカウントモードビット	
0	アップカウントモード
1	アップダウンカウントモード

STOP

タイマ許可ビット	
0	カウントを許可する (カウント開始する)
1	カウントを禁止する (カウント停止する)

BFE

コンペアクリアバッファ許可ビット	
0	コンペアクリアバッファを無効にする
1	コンペアクリアバッファを有効にする

R/W : リード/ライト可能
■ : 初期値

* : MB91470 シリーズでは使用不可

表 12.4-2 タイマ状態制御レジスタ, 下位バイト (TCCSL) (1 / 2)

ビット名		機能
bit7	BFE : コンペアクリア バッファ許可 ビット	<ul style="list-style-type: none"> このビットはコンペアクリアバッファレジスタ (CPCLRBH , CPCLRBL) を有効にするために使用します。 このビットに "0" を設定した場合 : コンペアクリアバッファレジスタ (CPCLRBH , CPCLRBL) は無効になります。したがって、コンペアクリアレジスタ (CPCLRH, CPCLRL) に直接書き込むことが可能です。 このビットに "1" を設定した場合 : コンペアクリアバッファレジスタ (CPCLRBH , CPCLRBL) は有効になります。コンペアクリアバッファレジスタ (CPCLRBH , CPCLRBL) に書き込まれて保持されていたデータは、16 ビットフリーランタイムからのカウント値 "0" が検出されると、コンペアクリアレジスタへ転送されます。
bit6	STOP : タイマ許可 ビット	<ul style="list-style-type: none"> このビットは、16 ビットフリーランタイムのカウントを停止 / 開始するために使用します。 このビットに "0" を設定した場合 : 16 ビットフリーランタイムのカウントを開始します。 このビットに "1" を設定した場合 : 16 ビットフリーランタイムのカウントを停止します。 フリーランタイム停止中 (本ビット =1) に、タイマ状態制御レジスタ下位 (TCCSL) の SCLR:bit4=1 としても、フリーランタイムは初期化されません。
bit5	MODE : タイマカウント モードビット	<ul style="list-style-type: none"> このビットは、16 ビットフリーランタイムのカウントモードを選択するために使用します。 このビットに "0" を設定した場合 : アップカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致して "0000_H" にリセットされるまでカウントアップし、その後、再びカウントアップします。 このビットに "1" を設定した場合 : アップダウンカウントモードが選択されます。タイマは、カウント値がコンペアクリアレジスタと一致するまでカウントアップしてその後、ダウンカウントに変わります。その後、カウント値が "0000_H" に達すると再びアップカウントに変わります。 このビットは、タイマが動作中であっても停止されていても書込みが可能です。タイマが動作中の場合は、このビットに書き込まれた値はバッファに入れられ、その後、タイマ値が "0000_H" になるとバッファの値によりカウントモードが変わります。

表 12.4-2 タイマ状態制御レジスタ , 下位バイト (TCCSL) (2 / 2)

ビット名		機能
bit4	SCLR : タイマクリア ビット	<ul style="list-style-type: none"> このビットは , 16 ビットフリーランタイムを "0000_H" に初期化するために使用します。 16 ビットフリーランタイムの初期化 : 16 ビットフリーランタイム動作中 (タイマ状態制御レジスタ下位 (TCCSL) の STOP:bit6=0) に , このビットに "1" を設定した場合 , 16 ビットフリーランタイムは , その次のカウントクロックで "0000_H" に初期化されます。16 ビットフリーランタイム停止中 (タイマ状態制御レジスタ下位 (TCCSL) の STOP:bit6=1) に , このビットに "1" を設定した場合 , 16 ビットフリーランタイムは初期化されません。 読出し値は , 必ず "0" です。 <p>(注意事項) このビットに "1" を書き込んでも , 0 検出割込みは生成されません。 "1" を設定した後 , 次のカウントクロックの前に "0" を書き込むとタイマクリアは行われません。</p>
bit3 ~ bit0	CLK3 ~ CLK0 : クロック周波数 選択ビット	<ul style="list-style-type: none"> このビットは , 16 ビットフリーランタイムのカウントクロック周波数を選択するために使用します。 カウントクロックは , これらのビットが設定されると直ちに变更されます。

■ タイマ状態制御レジスタ M (TCCSM0 ~ TCCSM5)

タイマ状態制御レジスタ M

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
—	—	—	—	MODE2	MSI5	MSI4	MSI3
—	—	—	—	R/W	R/W	R/W	R/W

TCCSM0 ~ TCCSM5

アドレス :
 ch.0: 0000BA_H ch.3*2: 0001BA_H
 ch.1: 0000C2_H ch.4*2: 0001C2_H
 ch.2: 0000CA_H ch.5*2: 0001CA_H
 初期値 : ----0000_B

MSI5	MSI4	MSI3	コンペアクリア割込みマスク選択ビット
0	0	0	1 回目の一致が発生したときに割込み発生
0	0	1	2 回目の一致が発生したときに割込み発生
0	1	0	3 回目の一致が発生したときに割込み発生
0	1	1	4 回目の一致が発生したときに割込み発生
1	0	0	5 回目の一致が発生したときに割込み発生
1	0	1	6 回目の一致が発生したときに割込み発生
1	1	0	7 回目の一致が発生したときに割込み発生
1	1	1	8 回目の一致が発生したときに割込み発生

MODE2	MODE*1	割込みマスクモードビット 2
0	0	MSI5 ~ 3 の設定値は無効。
0	1	MSI5 ~ 3 の設定値は無効。
1	0	設定禁止 (動作は保証されません)
1	1	MSI5 ~ 3 の設定値が有効。

R/W : リード / ライト可能

■ : 初期値

- : 未定義ビット

*1 : タイマ状態制御レジスタ下位 (TCCSL) の bit5

*2 : MB91470 シリーズの場合 , 使用不可

表 12.4-3 タイマ状態制御レジスタ M (TCCSM)

ビット名		機能
bit15 ~ bit12	未定義ビット	<ul style="list-style-type: none"> 読出し値は、不定です。 このビットへの書込みは動作に影響しません。
bit11	MODE2 : 割込みマスク モードビット 2	<ul style="list-style-type: none"> このビットは、16 ビットフリーランタイマがアップダウンカウントモード時 (タイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=1), 0 検出割込みとコンペアクリア割込みを、それぞれ独立してマスクするために使用します。 タイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=1 の時、このビットに "1" を設定した場合、本レジスタの MSI5 ~ MSI3:bit10 ~ bit8 に設定した値が有効となり、コンペアクリア割込みを設定した回数マスクします。0 検出割込みのマスク回数は、タイマ状態制御レジスタ上位 (TCCSH) の MSI2 ~ MSI0:bit12 ~ bit10 に設定した値が有効となります。 <p>(注意事項) タイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=1 の時、このビットに "0" を設定した場合の動作は保証されません。</p>
bit10 ~ bit8	MSI5 ~ MSI3 : コンペア クリア割込み マスク選択 ビット	<ul style="list-style-type: none"> このビットは、本レジスタの MODE2:bit11=1 かつタイマ状態制御レジスタ下位 (TCCSL) の MODE:bit5=1 のときのみ有効で、コンペアクリア割込みのマスク回数を設定するために使います。 0 検出割込みのマスク回数はタイマ状態制御レジスタ上位 (TCCSH) の MSI2 ~ MSI0:bit12 ~ bit10 で設定します。 このビットに "000_B" を設定した場合、コンペアクリア割込み要因はマスクされません。 <p>(注意事項) 読出し値はマスクカウンタ値です。 リードモディファイライト系命令時、読出し値はマスクレジスタ値です。 書込み時の書込みデータは、マスクレジスタへ書込まれます。 フリーランタイマ動作中 (タイマ状態制御レジスタ下位 (TCCSL) の STOP:bit6=0) の時は、マスクレジスタへの書込み値は、マスクカウンタが "0" になったときのみ、カウンタへリロードされます。 フリーランタイマ停止中 (タイマ状態制御レジスタ下位 (TCCSL) の STOP:bit6=1) の時は、マスクレジスタへの書込み値は、既ちにカウンタへリロードされます。</p>

12.4.4 A/D トリガ制御レジスタ (ADTRGC0 ~ ADTRGC5)

フリーランタイムのコンペアー一致時, もしくは 0 検出時に A/D トリガ信号出力を制御します。

■ A/D トリガ制御レジスタ (ADTRGC0 ~ ADTRGC5)

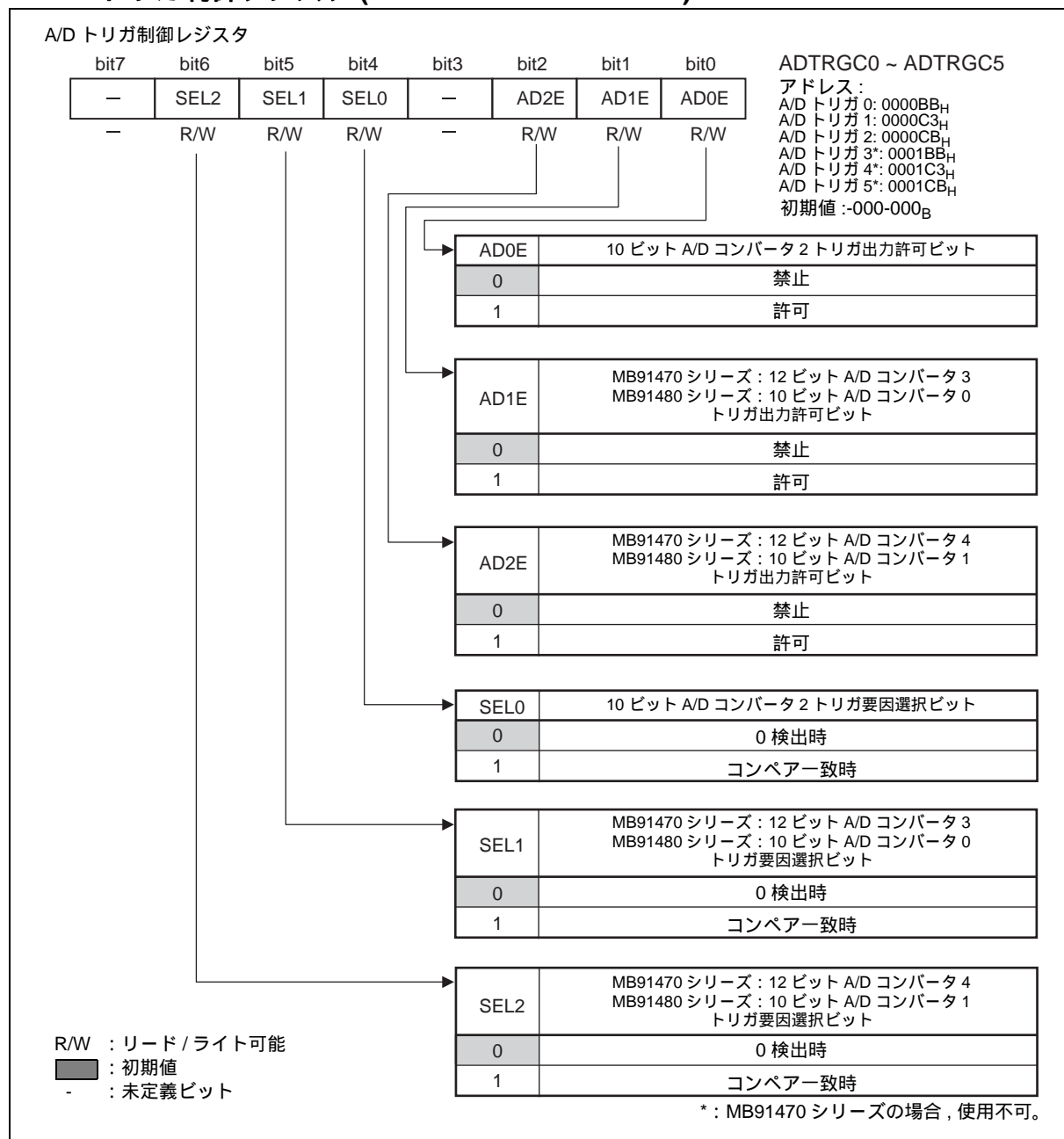


表 12.4-4 AD トリガ制御レジスタ (ADTRGC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit6	SEL2 : MB91470 シリーズ : 12 ビット A/D コンバータ 4 , MB91480 シリーズ : 10 ビット A/D コンバータ 1 トリガ要因選択ビット	MB91470 シリーズ : 12 ビット A/D コンバータ 4 , MB91480 シリーズ : 10 ビット A/D コンバータ 1 のトリガ をフリーランタイムの 0 検出時に出力するか、コンペアー 一致時に出力するかを選択するビットです。
bit5	SEL1 : MB91470 シリーズ : 12 ビット A/D コンバータ 3 , MB91480 シリーズ : 10 ビット A/D コンバータ 0 トリガ要因選択ビット	MB91470 シリーズ : 12 ビット A/D コンバータ 3 , MB91480 シリーズ : 10 ビット A/D コンバータ 0 のトリガ をフリーランタイムの 0 検出時に出力するか、コンペアー 一致時に出力するかを選択するビットです。
bit4	SEL0 : 10 ビット A/D コンバータ 2 トリガ要因選択ビット	10 ビット A/D コンバータ 2 のトリガをフリーランタイム の 0 検出時に出力するか、コンペアー一致時に出力するかを 選択するビットです。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit2	AD2E : MB91470 シリーズ : 12 ビット A/D コンバータ 4 , MB91480 シリーズ : 10 ビット A/D コンバータ 1 トリガ出力許可ビット	<ul style="list-style-type: none"> "0" のとき、MB91470 シリーズ : 12 ビット A/D コンバー タ 4 , MB91480 シリーズ : 10 ビット A/D コンバータ 1 トリガ信号は出力されません。 "1" のとき、出力許可となります。
bit1	AD1E : MB91470 シリーズ : 12 ビット A/D コンバータ 3 , MB91480 シリーズ : 10 ビット A/D コンバータ 0 トリガ出力許可ビット	<ul style="list-style-type: none"> "0" のとき、MB91470 シリーズ : 12 ビット A/D コンバー タ 3 , MB91480 シリーズ : 10 ビット A/D コンバータ 0 トリガ信号は出力されません。 "1" のとき、出力許可となります。
bit0	AD0E : 10 ビット A/D コンバータ 2 トリガ出力許可ビット	<ul style="list-style-type: none"> "0" のとき、10 ビット A/D コンバータ 2 トリガ信号は出 力されません。 "1" のとき、出力許可となります。

12.4.5 フリーランタイム選択レジスタ (FRS0 ~ FRS9)

フリーランタイム選択レジスタは、各インプットキャプチャ、アウトプットコンペアに対して、6 チャンネルあるフリーランタイムのいずれを割り当てるかを設定します。

■ フリーランタイム選択レジスタ (上位): アウトプットコンペア用 (FRS1/FRS6)

フリーランタイム選択レジスタ (上位): アウトプットコンペア用

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
—	FSO14	FSO13	FSO12	—	FSO10	FSO9	FSO8
—	R/W	R/W	R/W	—	R/W	R/W	R/W

FRS1/FRS6^{*1}
アドレス: FRS1: 0000CE_H FRS6^{*1}: 0001CE_H
初期値: FRS1: -000-000_B FRS6^{*1}: -011-011_B

FSO10	FSO9	FSO8	アウトプットコンペア用フリーランタイム選択ビット
0	0	0	FRT0 → OC2 / OC8
0	0	1	FRT1 → OC2 / OC8
0	1	0	FRT2 → OC2 / OC8
0	1	1	FRT3 → OC2 / OC8 ^{*2}
1	0	0	FRT4 → OC2 / OC8 ^{*2}
1	0	1	FRT5 → OC2 / OC8 ^{*2}
その他			設定禁止 (動作は保証しません)

FSO14	FSO13	FSO12	アウトプットコンペア用フリーランタイム選択ビット
0	0	0	FRT0 → OC3 / OC9
0	0	1	FRT1 → OC3 / OC9
0	1	0	FRT2 → OC3 / OC9
0	1	1	FRT3 → OC3 / OC9 ^{*2}
1	0	0	FRT4 → OC3 / OC9 ^{*2}
1	0	1	FRT5 → OC3 / OC9 ^{*2}
その他			設定禁止 (動作は保証しません)

R/W : リード/ライト可能
 : 初期値
 - : 未定義ビット

^{*1}: MB91470 シリーズの場合、FRS6 は使用不可。
^{*2}: MB91470 シリーズの場合、FRT3 ~ FRT5 は存在しません。

表 12.4-5 フリーランタイム選択レジスタ (上位): アウトプットコンペア用 (FRS1/FRS6)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none">読出し値は不定です。このビットへの書込みは動作に影響しません。
bit14 ~ bit12	FSO14 ~ FSO12: アウトプットコンペア用 フリーランタイム選択 ビット	このビットは、アウトプットコンペア 3/9 に対して割り当てるフリーランタイムを設定します。 (注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。
bit11	未定義ビット	<ul style="list-style-type: none">読出し値は不定です。このビットへの書込みは動作に影響しません。
bit10 ~ bit8	FSO10 ~ FSO8: アウトプットコンペア用 フリーランタイム選択 ビット	このビットは、アウトプットコンペア 2/8 に対して割り当てるフリーランタイムを設定します。 (注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

■ フリーランタイム選択レジスタ (下位): アウトプットコンペア用 (FRS0/FRS2/FRS5/FRS7)

フリーランタイム選択レジスタ (下位): アウトプットコンペア用								FRS0/FRS2/FRS5 ^{*1} /FRS7 ^{*1}	
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	アドレス:	
—	FSO6	FSO5	FSO4	—	FSO2	FSO1	FSO0	FRS0: 0000CF _H FRS5 ^{*1} : 0001CF _H	
—	R/W	R/W	R/W	—	R/W	R/W	R/W	FRS2: 0000CD _H FRS7 ^{*1} : 0001CD _H	
								初期値:	
								FRS0, FRS2:-000-000 _B	
								FRS5, FRS7:-011-011 _B	
FSO2				FSO1	FSO0	アウトプットコンペア用フリーランタイム選択ビット			
0				0	0	FRT0	OC0 / OC4 / OC6 / OC10		
0				0	1	FRT1	OC0 / OC4 / OC6 / OC10		
0				1	0	FRT2	OC0 / OC4 / OC6 / OC10		
0				1	1	FRT3	OC0 / OC4 / OC6 / OC10 ^{*2}		
1				0	0	FRT4	OC0 / OC4 / OC6 / OC10 ^{*2}		
1				0	1	FRT5	OC0 / OC4 / OC6 / OC10 ^{*2}		
その他				設定禁止 (動作は保証しません)					
FSO6				FSO5	FSO4	アウトプットコンペア用フリーランタイム選択ビット			
0				0	0	FRT0	OC1 / OC5 / OC7 / OC11		
0				0	1	FRT1	OC1 / OC5 / OC7 / OC11		
0				1	0	FRT2	OC1 / OC5 / OC7 / OC11		
0				1	1	FRT3	OC1 / OC5 / OC7 / OC11 ^{*2}		
1				0	0	FRT4	OC1 / OC5 / OC7 / OC11 ^{*2}		
1				0	1	FRT5	OC1 / OC5 / OC7 / OC11 ^{*2}		
その他				設定禁止 (動作は保証しません)					

R/W : リード / ライト可能

: 初期値

- : 未定義ビット

*1 : MB91470 シリーズの場合, FRS5/7 は使用不可。

*2 : MB91470 シリーズの場合, FRT3 ~ FRT5 は存在しない。

表 12.4-6 フリーランタイム選択レジスタ (下位): アウトプットコンペア用 (FRS0/FRS2/FRS5/FRS7)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit6 ~ bit4	FSO6 ~ FSO4: アウトプットコンペア用 フリーランタイム選択 ビット	このビットは、アウトプットコンペア 1/5/7/11 に対して割り当てるフリーランタイムを設定します。 (注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit2 ~ bit0	FSO2 ~ FSO0: アウトプットコンペア用 フリーランタイム選択 ビット	このビットは、アウトプットコンペア 0/4/6/10 に対して割り当てるフリーランタイムを設定します。 (注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。

■ フリーランタイム選択レジスタ (上位): インพุットキャプチャ用 (FRS4/FRS9)

フリーランタイム選択レジスタ (上位): インพุットキャプチャ用								FRS4/FRS9*1	
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	アドレス:	
—	FSI14	FSI13	FSI12	—	FSI10	FSI9	FSI8	FRS4: 0000D2 _H FRS9*1: 0001D2 _H	
—	R/W	R/W	R/W	—	R/W	R/W	R/W	初期値: FRS4: -000-000 _B FRS9: -011-011 _B	

FSI10	FSI9	FSI8	インพุットキャプチャ用フリーランタイム選択ビット	
0	0	0	FRT0	→ IC2 / IC6
0	0	1	FRT1	→ IC2 / IC6
0	1	0	FRT2	→ IC2 / IC6
0	1	1	FRT3	→ IC2 / IC6*2
1	0	0	FRT4	→ IC2 / IC6*2
1	0	1	FRT5	→ IC2 / IC6*2
その他			設定禁止 (動作は保証しません)	

FSI14	FSI13	FSI12	インพุットキャプチャ用フリーランタイム選択ビット	
0	0	0	FRT0	→ IC3 / IC7
0	0	1	FRT1	→ IC3 / IC7
0	1	0	FRT2	→ IC3 / IC7
0	1	1	FRT3	→ IC3 / IC7*2
1	0	0	FRT4	→ IC3 / IC7*2
1	0	1	FRT5	→ IC3 / IC7*2
その他			設定禁止 (動作は保証しません)	

R/W : リード/ライト可能
 : 初期値
- : 未定義ビット

*1 : MB91470 シリーズの場合, FRS9 は使用不可。
*2 : MB91470 シリーズの場合, FRT3 ~ FRT5 は存在しない。

表 12.4-7 フリーランタイム選択レジスタ (上位): インพุットキャプチャ用 (FRS4/FRS9)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit14 ~ bit12	FSI14 ~ FSI12: インพุットキャプチャ用 フリーランタイム選択 ビット	<p>このビットは、インพุットキャプチャ 3/7 に対して割り当てるフリーランタイムを設定します。</p> <p>(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。</p>
bit11	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit10 ~ bit8	FSI10 ~ FSI8: インพุットキャプチャ用 フリーランタイム選択 ビット	<p>このビットは、インพุットキャプチャ 2/6 に対して割り当てるフリーランタイムを設定します。</p> <p>(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。</p>

■ フリーランタイム選択レジスタ (下位): インพุットキャプチャ用 (FRS3/FRS8)

フリーランタイム選択レジスタ (下位): インพุットキャプチャ用

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
—	FSI6	FSI5	FSI4	—	FSI2	FSI1	FSI0
—	R/W	R/W	R/W	—	R/W	R/W	R/W

FRS3/FRS8^{*1}
アドレス :
FRS3: 0000D3_H FRS8^{*1}: 001D3_H
初期値 :
FRS3: 000-000_B
FRS8: 011-011_B

FSI2	FSI1	FSI0	インพุットキャプチャ用フリーランタイム選択ビット	
0	0	0	FRT0	→ IC0 / IC4
0	0	1	FRT1	→ IC0 / IC4
0	1	0	FRT2	→ IC0 / IC4
0	1	1	FRT3	→ IC0 / IC4 ^{*2}
1	0	0	FRT4	→ IC0 / IC4 ^{*2}
1	0	1	FRT5	→ IC0 / IC4 ^{*2}
その他			設定禁止 (動作は保証しません)	

FSI6	FSI5	FSI4	インพุットキャプチャ用フリーランタイム選択ビット	
0	0	0	FRT0	→ IC1 / IC5
0	0	1	FRT1	→ IC1 / IC5
0	1	0	FRT2	→ IC1 / IC5
0	1	1	FRT3	→ IC1 / IC5 ^{*2}
1	0	0	FRT4	→ IC1 / IC5 ^{*2}
1	0	1	FRT5	→ IC1 / IC5 ^{*2}
その他			設定禁止 (動作は保証しません)	

R/W : リード / ライト可能
 : 初期値
 - : 未定義ビット

^{*1} : MB91470 シリーズの場合, FRS8 は使用不可。
^{*2} : MB91470 シリーズの場合, FRT3 ~ FRT5 は存在しない。

表 12.4-8 フリーランタイム選択レジスタ (下位): インพุットキャプチャ用 (FRS3/FRS8)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit6 ~ bit4	FSI6 ~ FSI4: インพุットキャプチャ用 フリーランタイム選択 ビット	<p>このビットは、インพุットキャプチャ 1/5 に対して割り当てるフリーランタイムを設定します。</p> <p>(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。</p>
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit2 ~ bit0	FSI2 ~ FSI0: インพุットキャプチャ用 フリーランタイム選択 ビット	<p>このビットは、インพุットキャプチャ 0/4 に対して割り当てるフリーランタイムを設定します。</p> <p>(注意事項) このビットを設定する前に、必ずフリーランタイムが停止していることを確認してください。</p>

12.4.6 アウトプットコンペアバッファレジスタ (OCCPBH0 ~ OCCPBH11/OCCPBL0 ~ OCCPBL11)/ アウトプットコンペアレジスタ (OCCPH0 ~ OCCPH11/OCCPL0 ~ OCCPL11)

アウトプットコンペアバッファレジスタ (OCCPBH, OCCPBL) は, アウトプットコンペアレジスタ (OCCPH, OCCPL) 用の 16 ビットバッファレジスタです。OCCPBH, OCCPBL レジスタと OCCPH, OCCPL レジスタは, 両方とも同じアドレスに存在しています。

■ アウトプットコンペアバッファレジスタ (OCCPBH0 ~ OCCPBH11/OCCPBL0 ~ OCCPBL11)

アウトプットコンペアバッファレジスタ (上位)

OCCPBH0 ~ OCCPBH5, OCCPBH6* ~ OCCPBH11*

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000A0 _H ch.6: 0001A0 _H	OP15	OP14	OP13	OP12	OP11	OP10	OP09	OP08
ch.1: 0000A2 _H ch.7: 0001A2 _H								
ch.2: 0000A4 _H ch.8: 0001A4 _H								
ch.3: 0000A6 _H ch.9: 0001A6 _H								
ch.4: 0000A8 _H ch.10: 0001A8 _H								
ch.5: 0000AA _H ch.11: 0001AA _H								
ライト	W	W	W	W	W	W	W	W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

アウトプットコンペアバッファレジスタ (下位)

OCCPBL0 ~ OCCPBL5, OCCPBL6* ~ OCCPBL11*	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	OP07	OP06	OP05	OP04	OP03	OP02	OP01	OP00
ライト	W	W	W	W	W	W	W	W
初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

* : MB91470 シリーズでは使用不可

アウトプットコンペアバッファレジスタは, アウトプットコンペアレジスタ (OCCPH, OCCPL) 用のバッファレジスタです。バッファ機能が無効になるか (コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4) の BUF1, BUF0: bit3, bit2=11_B), またはフリーランタイマが停止すると, アウトプットコンペアバッファレジスタの値は直ちにアウトプットコンペアレジスタへ転送されます。バッファ機能が有効になると (コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4) の BUF1, BUF0: bit3, bit2=00_B), 値はコンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5) の転送選択ビット (BTS1, BTS0: bit14, bit13) に従ってコンペアクリア一致時, またはゼロ検出時に転送されます。

このレジスタへアクセスする場合, ハーフワードもしくはワードアクセス命令をご使用ください。

以上の説明中のフリーランタイマはアウトプットコンペアが選択しているフリーランタイマの動作状態についてです。

リードモディファイライト系命令でのアクセスは行わないでください。

■ アウトプットコンペアレジスタ (OCCPH0 ~ OCCPH11/OCCPL0 ~ OCCPL11)

アウトプットコンペアレジスタ (上位)

OCCPH0 ~ OCCPH5, OCCPH6* ~ OCCPH11*

アドレス		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000A0 _H	ch.6: 0001A0 _H	OP15	OP14	OP13	OP12	OP11	OP10	OP09	OP08
ch.1: 0000A2 _H	ch.7: 0001A2 _H								
ch.2: 0000A4 _H	ch.8: 0001A4 _H								
ch.3: 0000A6 _H	ch.9: 0001A6 _H								
ch.4: 0000A8 _H	ch.10: 0001A8 _H								
ch.5: 0000AA _H	ch.11: 0001AA _H								
	リード	R	R	R	R	R	R	R	R
	初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

アウトプットコンペアレジスタ (下位)

アドレス		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
OCCPL0 ~ OCCPL5, OCCPL6* ~ OCCPL11*		OP07	OP06	OP05	OP04	OP03	OP02	OP01	OP00
	リード	R	R	R	R	R	R	R	R
	初期値	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)

*: MB91470 シリーズでは使用不可

アウトプットコンペアレジスタは、16 ビットフリーランタイムのカウント値と比較するために使用する 16 ビットレジスタです。タイマの動作を有効にする前にアウトプットコンペアバッファレジスタ (OCCPBH, OCCPBL) に値を設定してください。

アウトプットコンペアレジスタの値が 16 ビットフリーランタイムのカウント値と一致するとコンペア信号が生成され、アウトプットコンペア割込みフラグビット (コンペア制御レジスタ下位 OCSL0/OCSL6, OCSL2/OCSL8, OCSL4/OCSL10 の IOP1, IOP0 : bit7, bit6) が設定されます。出力レベルが設定されると (コンペア制御レジスタ上位 (OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/OCSH11) の OTD1, OTD0 : bit9, bit8), アウトプットコンペアレジスタ (OCCPH0 ~ OCCPH11/OCCPL0 ~ OCCPL11) に対応する出力レベル波形ジェネレータ RTO0 ~ RTO5 を反転させることができます。

本レジスタ値と 16 ビットフリーランタイムのアップダウンモード時のピーク値と一致した場合は、コンペア信号は生成されません。

● アップダウンモード

• CMOD=0 時

本レジスタ値に "FFFF_H" を設定した場合は、RT 出力は 16 ビットフリーランタイムの値や反転モードにかかわらず "0" 出力となります。"0000_H" を設定した場合は "1" 出力となります。

• CMOD=1 時

本レジスタ値に "FFFF_H" を設定した場合は、RT 出力は 16 ビットフリーランタイムの値や反転モードにかかわらず "1" 出力となります。"0000_H" を設定した場合は "0" 出力となります。

このレジスタへアクセスする場合、ハーフワードもしくはワードアクセス命令をご使用ください。

リードモディファイライト (RMW) 系命令でのアクセスは行わないでください。上記の説明中のフリーランタイムはアウトプットコンペアが選択しているフリーランタイムの動作状態についてです。

12.4.7 コンペア制御レジスタ (OCSH0 ~ OCSH11, OCSL0 ~ OCSL11)

コンペア制御レジスタは, RT0/RT6 ~ RT5/RT11 の出力レベル, 出力許可, 出力レベル反転モード, コンペア動作許可, コンペア一致割込み許可, およびコンペア一致割込みフラグを制御するために使用します。

■ コンペア制御レジスタ, 上位バイト (OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/OCSH11)

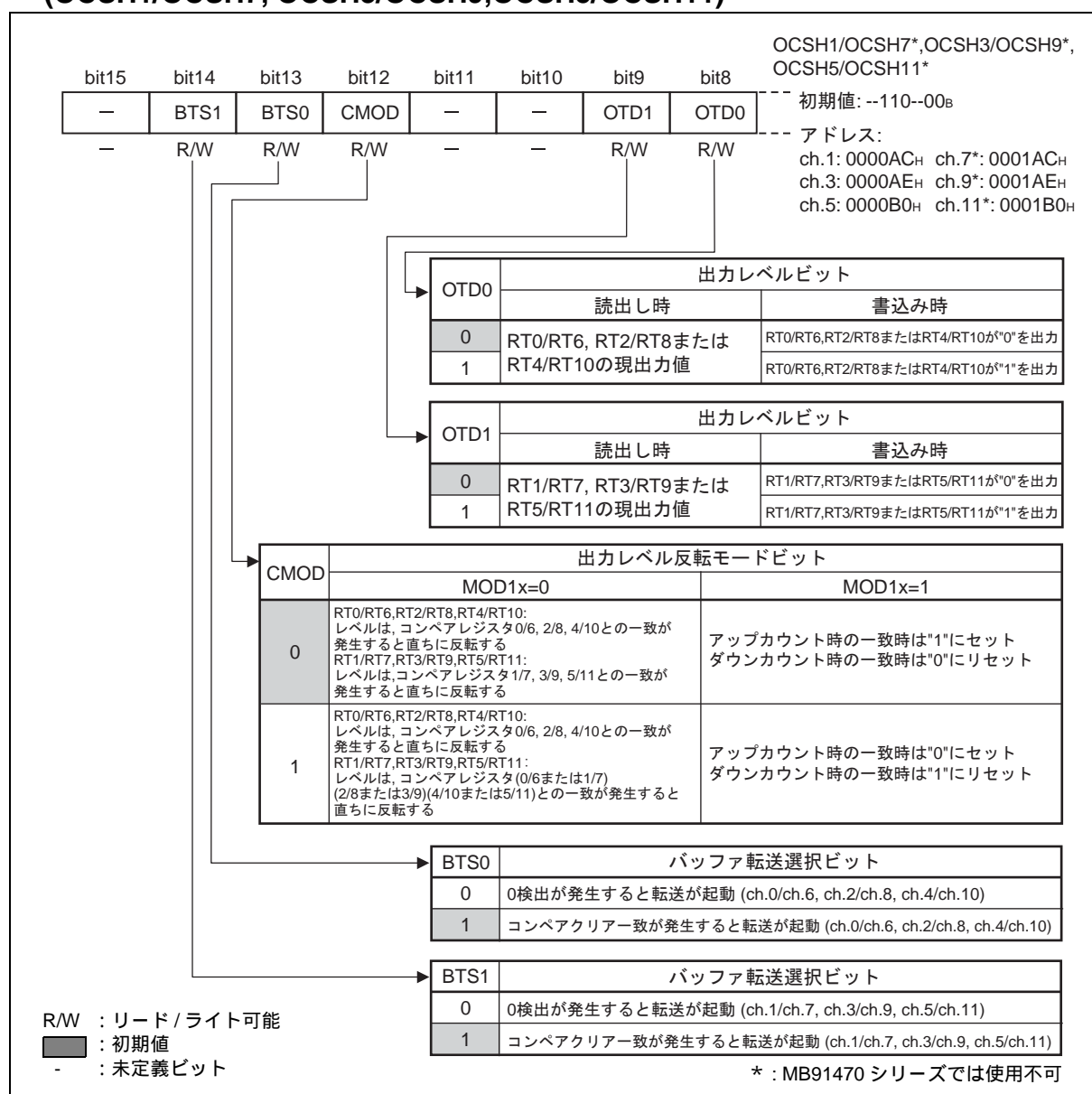


表 12.4-9 コンペア制御レジスタ, 上位バイト (OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/OCSH11) (1 / 3)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit14	BTS1 : バッファ転送 選択ビット	<ul style="list-style-type: none"> このビットは, アウトプットコンペアバッファレジスタ (OCCPBH1/OCCPBH7, OCCPBH3/OCCPBH9, OCCPBH5/OCCPBH11, OCCPBL1/OCCPBL7, OCCPBL3/OCCPBL9, OCCPBL5/OCCPBL11) から アウトプットコンペアレジスタ (OCCPH1/OCCPH7, OCCPH3/OCCPH9, OCCPH5/OCCPH11, OCCPL1/OCCPL7, OCCPL3/OCCPL9, OCCPL5/OCCPL11) へのデータ転送時期を選択するために使用します。 このビットに "0" を設定した場合 : データ転送は, 16 ビットフリーランタイムのカウント値 "0" が検出されると起動します。 このビットに "1" を設定した場合 : データ転送は, 16 ビットフリーランタイムでコンペアクリア一致が発生すると起動します。
bit13	BTS0 : バッファ転送 選択ビット	<ul style="list-style-type: none"> このビットは, アウトプットコンペアバッファレジスタ (OCCPBH0/OCCPBH6, OCCPBH2/OCCPBH8, OCCPBH4/OCCPBH10, OCCPBL0/OCCPBL6, OCCPBL2/OCCPBL8, OCCPBL4/OCCPBL10) から アウトプットコンペアレジスタ (OCCPH0/OCCPH6, OCCPH2/OCCPH8, OCCPH4/OCCPH10, OCCPL0/OCCPL6, OCCPL2/OCCPL8, OCCPL4/OCCPL10) へのデータ転送時期を選択するために使用します。 このビットに "0" を設定した場合 : データ転送は, 16 ビットフリーランタイムのカウント値 "0" が検出されると起動します。 このビットに "1" を設定した場合 : データ転送は, 16 ビットフリーランタイムでコンペアクリア一致が発生すると起動します。

表 12.4-9 コンペア制御レジスタ, 上位バイト (OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/OCSH11) (2 / 3)

ビット名	機能
bit12 CMOD : 出力レベル 反転モード ビット	<ul style="list-style-type: none"> このビットは , 一致が発生した場合に端子出力レベル反転モードを直ちに切り換えるために使用します。 このビットに "0" を設定した場合 : コンペアモード制御レジスタ (OCMOD) : MOD1x=0 のとき <ul style="list-style-type: none"> RT0/RT6, RT2/RT8, RT4/RT10 : レベルは , 16 ビットフリーランタイムとコンペアレジスタ 0/6, 2/8, 4/10 が一致すると直ちに反転します。 RT1/RT7, RT3/RT9, RT5/RT11 : レベルは , 16 ビットフリーランタイムとコンペアレジスタ 1/7, 3/9, 5/11 が一致すると直ちに反転します。 コンペアモード制御レジスタ (OCMOD) : MOD1x=1 のとき <ul style="list-style-type: none"> アップカウントモード時に一致したときは , "1" にセット ダウンカウントモード時に一致したときは , "0" にリセット このビットに "1" を設定した場合 : コンペアモード制御レジスタ (OCMOD) : MOD1x=0 のとき <ul style="list-style-type: none"> RT0/RT6, RT2/RT8, RT4/RT10 : レベルは , 16 ビットフリーランタイムとコンペアレジスタ 0/6, 2/8, 4/10 が一致すると直ちに反転します。 RT1/RT7, RT3/RT9, RT5/RT11 : レベルは , 16 ビットフリーランタイムとコンペアレジスタ (0/6 または 1/7) (2/8 または 3/9) (4/10 または 5/11) が一致すると直ちに反転します。 コンペアレジスタ 0/6, 2/8, 4/10 と 1/7, 3/9, 5/11 が同じ値の場合は , 1つのコンペアレジスタが使用される場合と同じ動作になります。 コンペアモード制御レジスタ (OCMOD) : MOD1x=1 のとき <ul style="list-style-type: none"> アップカウントモード時に一致したときは , "0" にリセット ダウンカウントモード時に一致したときは , "1" にセット
bit11 ~ bit10	<ul style="list-style-type: none"> 未定義ビット 読出し値は不定です。 このビットへの書込みは動作に影響しません。

表 12.4-9 コンペア制御レジスタ , 上位バイト (OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/OCSH11) (3 / 3)

ビット名		機能
bit9	OTD1 : 出力レベル ビット	<ul style="list-style-type: none"> • このビットは , アウトプットコンペア 1/7, 3/9, 5/11 (RT1/RT7, RT3/RT9, RT5/RT11) の端子出力レベルを変更するために使用します。 • コンペア端子出力の初期値は "0" です。 • 値を書き込む場合は , 必ず前もってコンペア動作を停止させてください。このビットの読出し値は , RT1/RT7, RT3/RT9, RT5/RT11 におけるアウトプットコンペア値を示します。 • このビットは , コンペア制御レジスタ下位 (OCSL) の CST1:bit1=0 の時 , 書込みが可能です。
bit8	OTD0 : 出力レベル ビット	<ul style="list-style-type: none"> • このビットは , アウトプットコンペア 0/6, 2/8, 4/10 (RT0/RT6, RT2/RT8, RT4/RT10) の端子出力レベルを変更するために使用します。 • コンペア端子出力の初期値は "0" です。 • 値を書き込む場合は , 必ず前もってコンペア動作を停止させてください。このビットの読出し値は , RT0/RT6, RT2/RT8, RT4/RT10 におけるアウトプットコンペア値を示します。 • このビットは , コンペア制御レジスタ下位 (OCSL) の CST0:bit0=0 の時 , 書込みが可能です。

■ コンペア制御レジスタ, 下位バイト
(OCSL0/OCSL6, OCSL2/OCSL8, OCSL4/OCSL10)

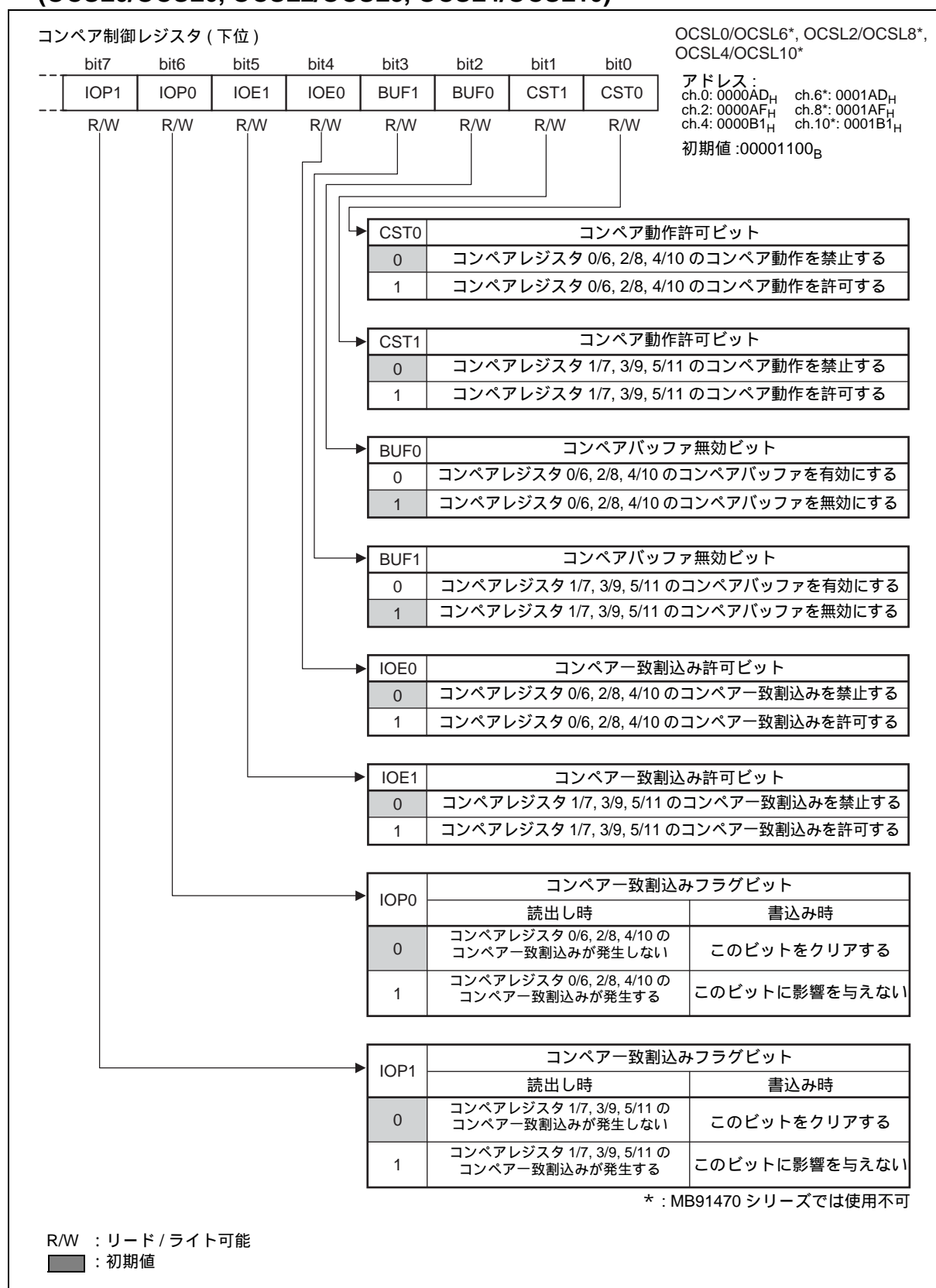


表 12.4-10 コンペア制御レジスタ, 下位バイト (OCSL0/OCSL6, OCSL2/OCSL8, OCSL4/OCSL10) (1 / 2)

ビット名		機能
bit7	IOP1 : コンペア一致 割込みフラグ ビット	<ul style="list-style-type: none"> このビットは, コンペアレジスタ 1/7, 3/9, 5/11 が 16 ビットフリーランタイムの値と一致したことを示す割込みフラグです。 このビットは, コンペアレジスタ値が 16 ビットフリーランタイム値に一致した場合に "1" が設定されます。 コンペア一致割込み許可ビット (IOE1:bit5) が "許可" になっている間にこのビットが設定されると, アウトプットコンペア割込みが発生します。 このビットに "0" を設定した場合: このビットはクリアされます。 このビットに "1" を設定した場合: このビットは影響を受けません。 リードモディファイライト (RMW) 系命令時には, 必ず "1" が読み出されます。
bit6	IOP0 : コンペア一致 割込みフラグ ビット	<ul style="list-style-type: none"> このビットは, コンペアレジスタ 0/6, 2/8, 4/10 が 16 ビットフリーランタイムの値と一致したことを示す割込みフラグです。 このビットは, コンペアレジスタ値が 16 ビットフリーランタイム値に一致した場合に "1" が設定されます。 コンペア一致割込み許可ビット (IOE0:bit4) が "許可" になっている間にこのビットが設定されると, アウトプットコンペア割込みが発生します。 このビットに "0" を設定した場合: このビットはクリアされます。 このビットに "1" を設定した場合: このビットは影響を受けません。 リードモディファイライト (RMW) 系命令時には, 必ず "1" が読み出されます。
bit5	IOE1 : コンペア一致 割込み許可 ビット	<ul style="list-style-type: none"> このビットは, コンペアレジスタ 1/7, 3/9, 5/11 のアウトプットコンペア割込みを "許可" にするために使用します。 このビットに "1" が書き込まれている間にコンペア一致割込みフラグビット (IOP1:bit7) が設定されると, アウトプットコンペア割込みが発生します。
bit4	IOE0 : コンペア一致 割込み許可 ビット	<ul style="list-style-type: none"> このビットは, コンペアレジスタ 0/6, 2/8, 4/10 のアウトプットコンペア割込みを "許可" にするために使用します。 このビットに "1" が書き込まれている間にコンペア一致割込みフラグビット (IOP0:bit6) が設定されると, アウトプットコンペア割込みが発生します。
bit3	BUF1 : コンペア バッファ無効 ビット	<ul style="list-style-type: none"> このビットは, アウトプットコンペアレジスタ 1/7, 3/9, 5/11 のバッファ機能を無効にするために使用します。 このビットに "0" を設定した場合: バッファ機能が有効になります。

表 12.4-10 コンペア制御レジスタ, 下位バイト (OCSL0/OCSL6, OCSL2/OCSL8, OCSL4/OCSL10) (2 / 2)

ビット名		機能
bit2	BUF0 : コンペア バッファ無効 ビット	<ul style="list-style-type: none"> このビットは, アウトプットコンペアレジスタ 0/6, 2/8, 4/10 のバッファ機能を無効にするために使用します。 このビットに "0" を設定した場合: バッファ機能が有効になります。
bit1	CST1 : コンペア動作 許可ビット	<ul style="list-style-type: none"> このビットは, 16 ビットフリーランタイムとコンペアレジスタ 1/7, 3/9, 5/11 の間のコンペア動作を許可するために使用します。 コンペア動作を許可する場合は, 必ず前もってコンペアレジスタ 1/7, 3/9, 5/11 とタイマデータレジスタ (TCDTH, TCDTL) に値を書き込んでください。
bit0	CST0 : コンペア動作 許可ビット	<ul style="list-style-type: none"> このビットは, 16 ビットフリーランタイムとコンペアレジスタ 0/6, 2/8, 4/10 の間のコンペア動作を許可するために使用します。 コンペア動作を許可する場合は, 必ず前もってコンペアレジスタ 0/6, 2/8, 4/10 とタイマデータレジスタ (TCDTH, TCDTL) に値を書き込んでください。

12.4.8 コンペアモード制御レジスタ (OCMOD0/OCMOD1)

コンペアモード制御レジスタは、コンペアー一致時の出力レベルを反転モードもしくはセット、リセットを行うかを制御します。

■ コンペアモード制御レジスタ (OCMOD0/OCMOD1)

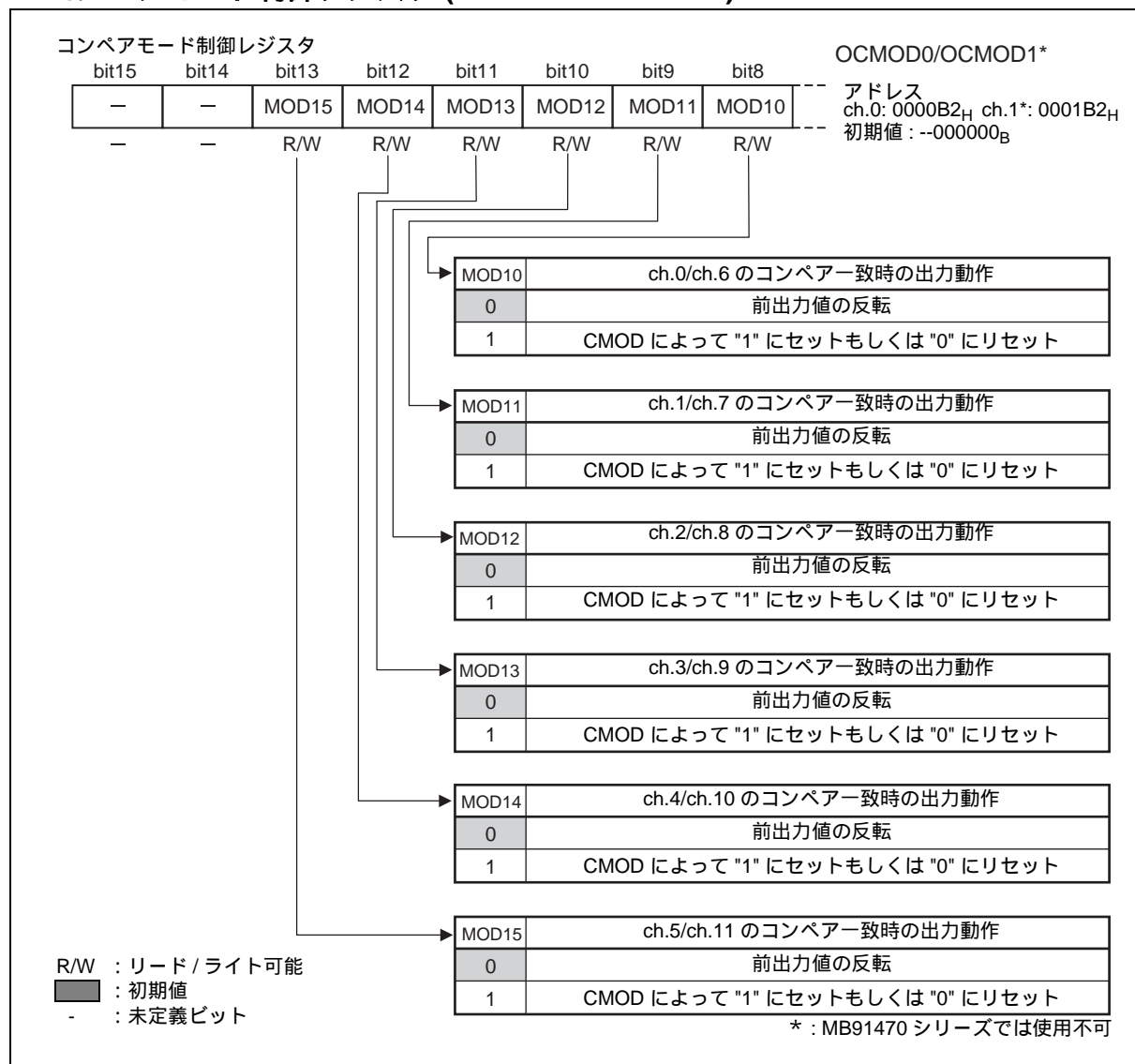


表 12.4-11 コンペアモード制御レジスタ (OCMOD0/OCMOD1)

ビット名		機能
bit15, bit14	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit13	MOD15 : ch.5/ch.11 のコンペア 一致モード設定ビット	<ul style="list-style-type: none"> このビットによりアウトプットコンペア出力のコンペア一致時の動作を指示します。 初期値は, "0" です。 "0" のときは, 一致時に出力値を反転します。 "1" のときは, 一致時に出力値を "1" にセット, もしくは "0" にリセットします。セット / リセットの切換えはコンペア制御レジスタ (OCSH) の CMOD ビットにて設定します。 値を書き込む場合は, 必ず前もってコンペア動作を停止させてください。 CMOD の設定は, ch.0/ch.6, ch.1/ch.7 と ch.2/ch.8, ch.3/ch.9 と ch.4/ch.10, ch.5/ch.11 で設定となります。 - ch.0/ch.6, ch.1/ch.7 で独立してリセット / セットの設定はできません。 - ch.2/ch.8, ch.3/ch.9 で独立してリセット / セットの設定はできません。 - ch.4/ch.10, ch.5/ch.11 で独立してリセット / セットの設定はできません。
bit12	MOD14 : ch.4/ch.10 のコンペア 一致モード設定ビット	
bit11	MOD13 : ch.3/ch.9 のコンペア 一致モード設定ビット	
bit10	MOD12 : ch.2/ch.8 のコンペア 一致モード設定ビット	
bit9	MOD11 : ch.1/ch.7 のコンペア 一致モード設定ビット	
bit8	MOD10 : ch.0/ch.6 のコンペア 一致モード設定ビット	

12.4.9 インプットキャプチャデータレジスタ (IPCPH0 ~ IPCPH7/IPCPL0 ~ IPCPL7)

インプットキャプチャデータレジスタは、入力波形の有効エッジが検出されたときのフリーランタイムのカウント値を保持するために使用します。

■ インプットキャプチャデータレジスタ (IPCPH0 ~ IPCPH7/IPCPL0 ~ IPCPL7)

インプットキャプチャデータレジスタ (上位)

IPCPH0 ~ IPCPH3, IPCPH4* ~ IPCPH7*

アドレス:

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0: 0000D4 _H ch.4*: 0001D4 _H	CP15	CP14	CP13	CP12	CP11	CP10	CP09	CP08
ch.1: 0000D6 _H ch.5*: 0001D6 _H								
ch.2: 0000D8 _H ch.6*: 0001D8 _H								
ch.3: 0000DA _H ch.7*: 0001DA _H								

リード	R	R	R	R	R	R	R	R
初期値	(X)	(X)	(X)	(X)	(X)	(X)	(X)	(X)

インプットキャプチャデータレジスタ (下位)

IPCPL0 ~ IPCPL3

IPCPL4* ~ IPCPL7*

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CP07	CP06	CP05	CP04	CP03	CP02	CP01	CP00	
リード	R	R	R	R	R	R	R	R
初期値	(X)	(X)	(X)	(X)	(X)	(X)	(X)	(X)

* : MB91470 シリーズでは使用不可

このレジスタは、対応する外部端子入力波形の有効エッジが検出されたときのフリーランタイム値を格納するために使用します (このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。このレジスタにデータを書き込むことはできません)。

以上の説明中のフリーランタイムはインプットキャプチャが選択しているフリーランタイムの動作状態についてです。

12.4.10 インพุットキャプチャ状態制御/PPG 出力制御レジスタ (ICSH23/ICSH67, ICSL23/ICSL67, PICSH01/ PICSH45, PICSL01/PICSL45)

インพุットキャプチャ状態制御 /PPG 出力制御レジスタ (ICSH23/ICSH67, ICSL23/ICSL67, PICSH01/PICSH45, PICSL01/PICSL45) は, エッジ選択, 割込み要求許可, 割込み要求フラグ, および PPG 出力を制御するために使用します。また, インพุットキャプチャ 2/6, 3/7 において検出された有効なエッジを示すためにも使用します。

■ インพุットキャプチャ状態制御レジスタ (ch.2/ch.6, ch.3/ch.7), 上位バイト (ICSH23/ICSH67)

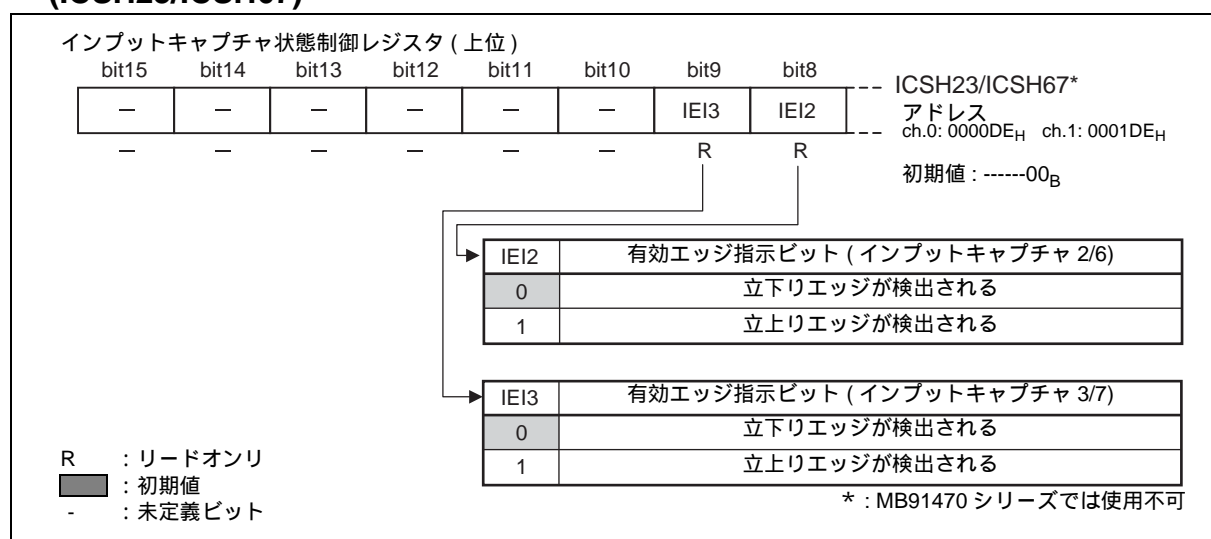


表 12.4-12 インพุットキャプチャ状態制御レジスタ (ch.2/ch.6, ch.3/ch.7), 上位バイト (ICSH23/ICSH67)

ビット名		機能
bit15 ~ bit10	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit9	IEI3 : 有効エッジ指示 ビット (インพุット キャプチャ 3/7)	<ul style="list-style-type: none"> このビットは, キャプチャレジスタ 3/7 の有効エッジ指示ビットであり, 立上りエッジまたは立下りエッジが検出されたことを示します。 立下りエッジが検出されると, このビットに "0" が書き込まれます。 立上りエッジが検出されると, このビットに "1" が書き込まれます。 このビットは読出し専用ビットです。 <p>(注意事項) インพุットキャプチャ状態制御レジスタ下位 (ICSL23/ICSL67) の EG31, EG30 : bit3, bit2=00_B の場合, 読出し値は意味がありません。</p>
bit8	IEI2 : 有効エッジ指示 ビット (インพุット キャプチャ 2/6)	<ul style="list-style-type: none"> このビットは, キャプチャレジスタ 2/6 の有効エッジ指示ビットであり, 立上りエッジまたは立下りエッジが検出されたことを示します。 立下りエッジが検出されると, このビットに "0" が書き込まれます。 立上りエッジが検出されると, このビットに "1" が書き込まれます。 このビットは, 読出し専用ビットです。 <p>(注意事項) インพุットキャプチャ状態制御レジスタ下位 (ICSL23/ICSL67) の EG21, EG20 : bit1, bit0=00_B の場合, 読出し値は意味がありません。</p>

■ インพุットキャプチャ状態制御レジスタ (ch.2/ch.6, ch.3/ch.7) , 下位バイト
(ICSL23/ICSL67)

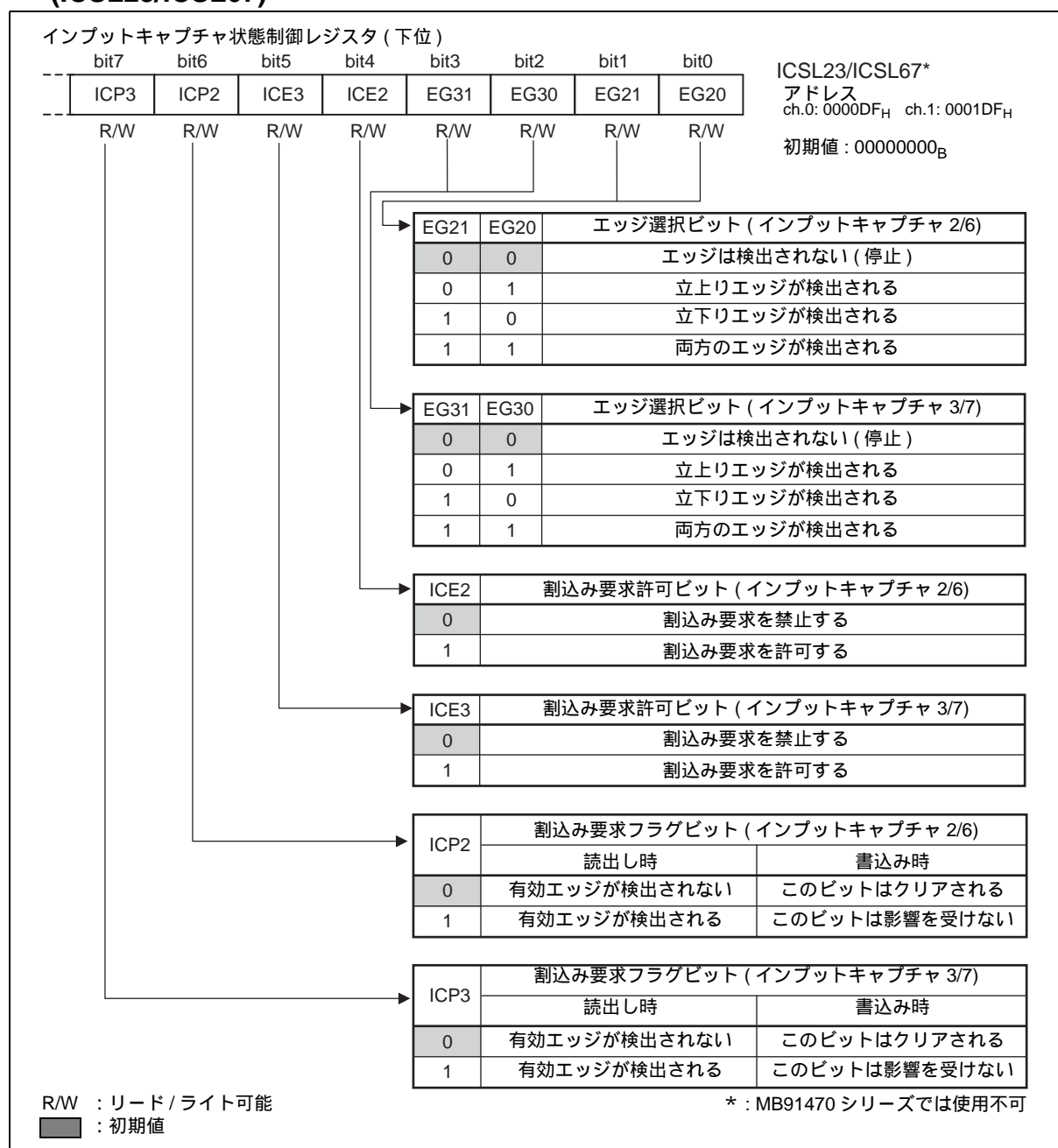


表 12.4-13 インพุットキャプチャ状態制御レジスタ (ch.2/ch.6, ch.3/ch.7) , 下位バイト
(ICSL23/ICSL67) (1 / 2)

ビット名		機能
bit7	ICP3 : 割込み要求 フラグビット (インพุット キャプチャ 3/7)	<ul style="list-style-type: none"> このビットは、インพุットキャプチャ 3/7 の割込み要求フラグとして使用します。 このビットは、外部入力端子の有効エッジが検出されると直ちに "1" が設定されます。 割込み要求許可ビット (ICE3 : bit5) が設定されている間に有効エッジが検出されると、直ちに割込みを生成することができます。 このビットに "0" を設定した場合：このビットはクリアされます。 このビットに "1" を設定した場合：このビットは影響を受けません。 リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。
bit6	ICP2 : 割込み要求 フラグビット (インพุット キャプチャ 2/6)	<ul style="list-style-type: none"> このビットは、インพุットキャプチャ 2/6 の割込み要求フラグとして使用します。 このビットは、外部入力端子の有効エッジが検出されると直ちに "1" が設定されます。 割込み要求許可ビット (ICE2 : bit4) が設定されている間に有効エッジが検出されると、直ちに割込みを生成することができます。 このビットに "0" を設定した場合：このビットはクリアされます。 このビットに "1" を設定した場合：このビットは影響を受けません。 リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。
bit5	ICE3 : 割込み要求 許可ビット (インพุット キャプチャ 3/7)	<ul style="list-style-type: none"> このビットは、インพุットキャプチャ 3/7 のインพุットキャプチャ割込み要求を許可するために使用します。 このビットに "1" が設定されている間に割込み要求フラグビット (ICP3 : bit7) が設定されると、インพุットキャプチャ 3/7 割込みが生成されます。
bit4	ICE2 : 割込み要求 許可ビット (インพุット キャプチャ 2/6)	<ul style="list-style-type: none"> このビットは、インพุットキャプチャ 2/6 のインพุットキャプチャ割込み要求を許可するために使用します。 このビットに "1" が設定されている間に割込み要求フラグビット (ICP2 : bit6) が設定されると、インพุットキャプチャ 2/6 割込みが生成されます。
bit3, bit2	EG31, EG30 : エッジ選択ビット (インพุット キャプチャ 3/7)	<ul style="list-style-type: none"> これらのビットは、インพุットキャプチャ 3/7 の外部入力の有効エッジ極性を指定するために使用します。 これらのビットは、インพุットキャプチャ 3/7 の動作を有効にするためにも使用します。

**表 12.4-13 インพุットキャプチャ状態制御レジスタ (ch.2/ch.6, ch.3/ch.7) , 下位バイト
(ICSL23/ICSL67) (2 / 2)**

ビット名		機能
bit1, bit0	EG21, EG20 : エッジ選択ビット (インพุット キャプチャ 2/6)	<ul style="list-style-type: none">• これらのビットは , インพุットキャプチャ 2/6 の外部入力の有効エッジ極性を指定するために使用します。• これらのビットは , インพุットキャプチャ 2/6 の動作を有効にするためにも使用します。

■ PPG 出力制御上位バイト (PICSH01/PICSH45)

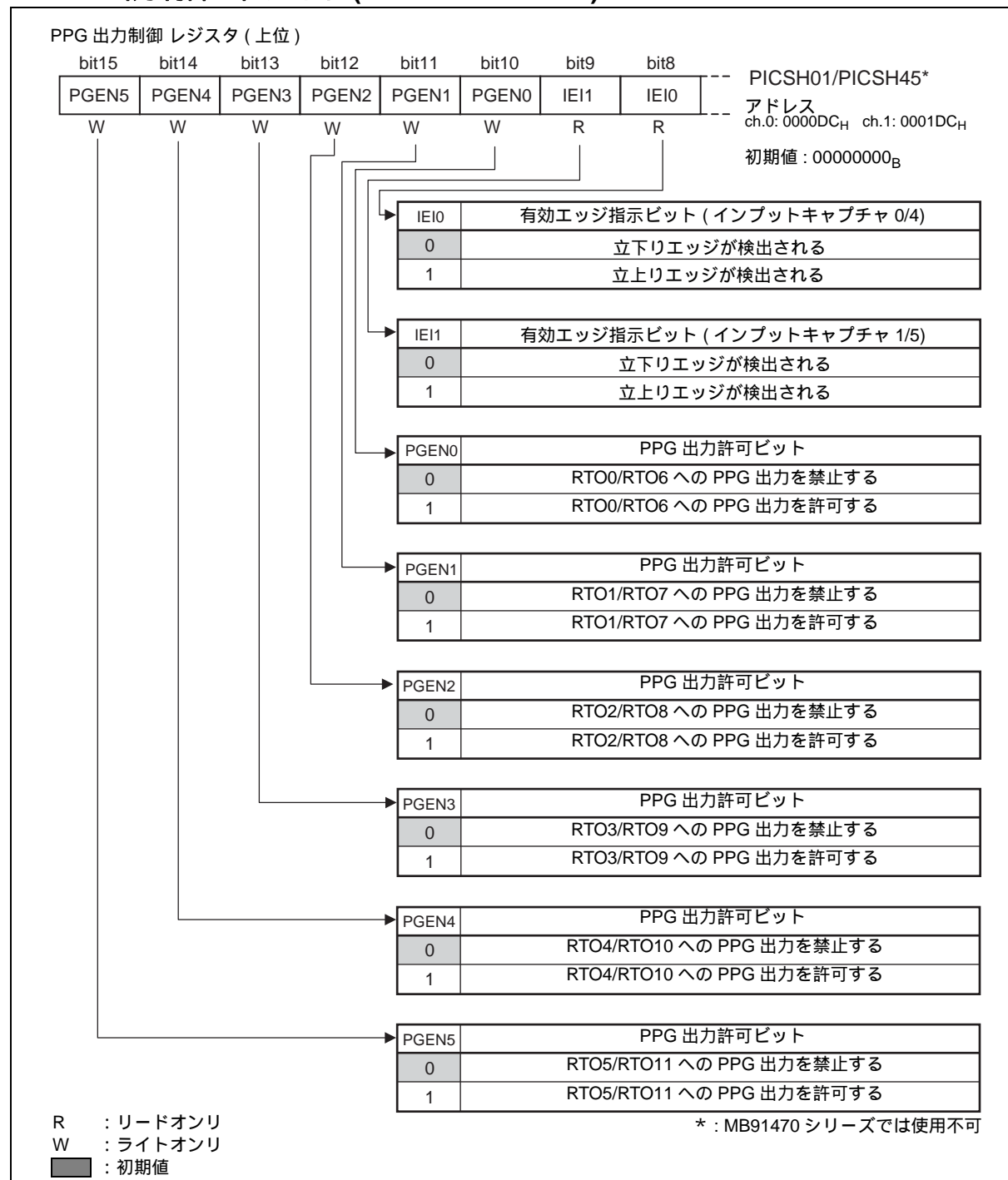


表 12.4-14 PPG 出力制御レジスタ上位バイト (PICSH01/PICSH45)

ビット名		機能
bit15 ~ bit10	PGEN5 ~ PGEN0 : PPG 出力許可 ビット	<ul style="list-style-type: none"> これらのビットは、RTO0/RTO6 ~ RTO5/RTO11 への PPG 出力を選択するために使用します。 書込みのみ可能です。
bit9	IEI1 : 有効エッジ指示 ビット (インプット キャプチャ 1/5)	<ul style="list-style-type: none"> このビットは、キャプチャレジスタ 1/5 の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。 立下りエッジが検出されると、このビットに "0" が書き込まれます。 立上りエッジが検出されると、このビットに "1" が書き込まれます。 このビットは読出し専用ビットです。 <p>(注意事項) インプットキャプチャ状態制御レジスタ下位 (PICSL01/PICSL45) の EG11, EG10 : bit3, bit2=00_B の場合、読出し値は意味がありません。</p>
bit8	IEI0 : 有効エッジ指示 ビット (インプット キャプチャ 0/4)	<ul style="list-style-type: none"> このビットは、キャプチャレジスタ 0/4 の有効エッジ指示ビットであり、立上りエッジまたは立下りエッジが検出されたことを示します。 立下りエッジが検出されると、このビットに "0" が書き込まれます。 立上りエッジが検出されると、このビットに "1" が書き込まれます。 このビットは、読出し専用ビットです。 <p>(注意事項) インプットキャプチャ状態制御レジスタ下位 (PICSL01/PICSL45) の EG01, EG00 : bit1, bit0=00_B の場合、読出し値は意味がありません。</p>

表 12.4-15 インพุットキャプチャ状態制御レジスタ (ch.01/ch.45), 下位バイト (PICSL01/PICSL45)

ビット名		機能
bit7	ICP1 : 割込み要求 フラグビット (インพุット キャプチャ 1/5)	<ul style="list-style-type: none"> このビットは、インพุットキャプチャ 1/5 の割込み要求フラグとして使用します。 このビットは、外部入力端子の有効エッジが検出されると直ちに "1" が設定されます。 割込み要求許可ビット (ICE1 : bit5) が設定されている間に有効エッジが検出されると、直ちに割込みが生成されます。 このビットに "0" を設定した場合：このビットはクリアされます。 このビットに "1" を設定した場合：このビットは影響を受けません。 リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。
bit6	ICP0 : 割込み要求 フラグビット (インพุット キャプチャ 0/4)	<ul style="list-style-type: none"> このビットは、インพุットキャプチャ 0/4 の割込み要求フラグとして使用します。 このビットは、外部入力端子の有効エッジが検出されると直ちに "1" が設定されます。 割込み要求許可ビット (ICE0 : bit4) が設定されている間に有効エッジが検出されると、直ちに割込みが生成されます。 このビットに "0" を設定した場合：このビットはクリアされます。 このビットに "1" を設定した場合：このビットは影響を受けません。 リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。
bit5	ICE1 : 割込み要求 許可ビット (インพุット キャプチャ 1/5)	<ul style="list-style-type: none"> このビットは、インพุットキャプチャ 1/5 のインพุットキャプチャ割込み要求を許可するために使用します。 このビットに "1" が設定されている間に割込み要求フラグビット (ICP1 : bit7) が設定されると、インพุットキャプチャ 1/5 割込みが生成されます。
bit4	ICE0 : 割込み要求 許可ビット (インพุット キャプチャ 0/4)	<ul style="list-style-type: none"> このビットは、インพุットキャプチャ 0/4 のインพุットキャプチャ割込み要求を許可するために使用します。 このビットに "1" が設定されている間に割込み要求フラグビット (ICP0 : bit6) が設定されると、インพุットキャプチャ 0/4 割込みが生成されます。
bit3, bit2	EG11, EG10 : エッジ選択ビット (インพุット キャプチャ 1/5)	<ul style="list-style-type: none"> これらのビットは、インพุットキャプチャ 1/5 の外部入力の有効エッジ極性を指定するために使用します。 これらのビットは、インพุットキャプチャ 1/5 の動作を有効にするためにも使用します。
bit1, bit0	EG01, EG00 : エッジ選択ビット (インพุット キャプチャ 0/4)	<ul style="list-style-type: none"> これらのビットは、インพุットキャプチャ 0/4 の外部入力の有効エッジ極性を指定するために使用します。 これらのビットは、インพุットキャプチャ 0/4 の動作を有効にするためにも使用します。

MB91470/480 シリーズ

12.4.11 16 ビットデッドタイムレジスタ (TMRRH0 ~ TMRRH5/ TMRRL0 ~ TMRRL5)

16 ビットデッドタイムレジスタは、16 ビットデッドタイムのコンペア値を保持します。

■ 16 ビットデッドタイムレジスタ (TMRRH0 ~ TMRRH5/ TMRRL0 ~ TMRRL5)

16 ビットデッドタイムレジスタ (上位)								
TMRRH0 ~ TMRRH2, TMRRH3* ~ TMRRH5*								
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
波形ジェネレータ 0: 波形ジェネレータ 1*: ch.0: 0000E0 _H ch.3: 0001E0 _H	TR15	TR14	TR13	TR12	TR11	TR10	TR09	TR08
ch.1: 0000E2 _H ch.4: 0001E2 _H								
ch.2: 0000E4 _H ch.5: 0001E4 _H								
リード / ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(X)	(X)	(X)	(X)	(X)	(X)	(X)	(X)
16 ビットデッドタイムレジスタ (下位)								
TMRRL0 ~ TMRRL2, TMRRL3* ~ TMRRL5*								
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	TR07	TR06	TR05	TR04	TR03	TR02	TR01	TR00
リード / ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	(X)	(X)	(X)	(X)	(X)	(X)	(X)	(X)
R/W : リード / ライト可能								
* : MB91470 シリーズでは使用不可								

これらのレジスタは、16 ビットデッドタイムのコンペア値を格納するために使用します。

これらのレジスタ値は、16 ビットデッドタイムが動作を開始するとリロードされます。タイマ動作中にこれらのレジスタに値が再書き込みされると、この新しい値は次のタイマ開始 / 動作時に有効になります。

このレジスタへアクセスする場合は、ハーフワードもしくはワードアクセス命令をご使用ください。

デッドタイムタイマモード時は、これらのレジスタはノンオーバーラップ時間を設定するために使用します。

$$\text{ノンオーバーラップ時間} = (\text{設定値}) \times \text{選択されたクロック}$$

< 注意事項 >

"0000_H" を設定することはできません。

タイマモード時は、これらのレジスタは PPG タイマ動作の GATE 時間を設定するために使用します。

$$\text{GATE 時間} = (\text{設定値}) \times \text{選択されたクロック}$$

< 注意事項 >

"0000_H" を設定することはできません。

12.4.12 16 ビットデッドタイム状態制御レジスタ
(DTCR0 ~ DTCR5)

16 ビットデッドタイム状態制御レジスタ (DTCR0/DTCR3 ~ DTCR2/DTCR5) は、波形ジェネレータの動作モード、割込み要求許可、割込み要求フラグ、GATE 信号許可、および出力レベル極性を制御するために使用します。

■ 16 ビットデッドタイム状態制御レジスタ、上位バイト (DTCR0/DTCR3)

16 ビットデッドタイム状態制御レジスタ								DTCR0/DTCR3*	
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	アドレス： 波形ジェネレータ 0 ch.0: 0000E8 _H 波形ジェネレータ 1* ch.3: 0001E8 _H 初期値： 00000000 _B	
DMOD0	GTEN1	GTEN0	TMIF0	TMIE0	TMD2	TMD1	TMD0		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
								動作モードビット	
								波形ジェネレータが停止する	
								RT 信号が "H" の間に PPG タイマがパルスを出力する	
								各 RT 信号の立上りエッジがトリガとなり、16 ビットデッドタイムが起動する。PPG タイマは、16 ビットデッドタイムが停止するまでパルスを出力する (タイマモード)	
								RT 信号でノンオーバーラップ信号を生成する (デッドタイムタイマモード)	
								禁止	
								禁止	
								その他	
								割込み要求許可ビット, ソフトウェアトリガビット	
								16 ビットデッドタイムでアンダフローが発生されても割込みを生成しない。	
								16 ビットデッドタイムでアンダフローが発生されると割込みを生成する。	
								割込み要求フラグビット	
								読出し時	
								書込み時	
								カウンタのアンダフローが検出されない	
								このビットはクリアされる	
								カウンタのアンダフローが検出される	
								このビットは影響を受けない	
								GATE 信号制御ビット 0	
								GATE 信号は、RT0/RT6 で制御されない (非同期モード)	
								GATE 信号は、RT0/RT6 で制御される (同期モード)	
								GATE 信号制御ビット 1	
								GATE 信号は、RT1/RT7 で制御されない (非同期モード)	
								GATE 信号は、RT1/RT7 で制御される (同期モード)	
								出力極性制御ビット	
								通常極性出力	
								反転極性出力	

R/W : リード/ライト可能

■ : 初期値

* : MB91470 シリーズでは使用不可

表 12.4-16 16 ビットデッドタイム状態制御レジスタ, 上位バイト (DTCR0/DTCR3) (1 / 2)

ビット名		機能
bit15	DMOD0 : 出力極性制御 ビット	<ul style="list-style-type: none"> このビットは, デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。 このビットを設定すると, U/V/W の出力極性は反転します。 <p>(注意事項) このビットは, デッドタイムタイマモードが選択されていない場合 (TMD2 : bit10=0) は意味がありません。</p>
bit14	GTEN1 : GATE 信号制御 ビット 1	このビットは, RT1/RT7 で PPG タイマの GATE 信号出力を制御するために使用します。
bit13	GTEN0 : GATE 信号制御 ビット 0	このビットは, RT0/RT6 で PPG タイマの GATE 信号出力を制御するために使用します。
bit12	TMIF0 : 割込み要求 フラグビット	<ul style="list-style-type: none"> このビットは, 16ビットデッドタイムの割込み要求フラグとして使用します。 このビットは, 16ビットデッドタイムでア ندا フローが発生すると "1" が設定されます。 このビットに "0" を書き込むと, このビットはクリアされます。"1" を書き込んでも, このビットは影響されません。 リードモディファイライト (RMW) 系命令時には, 必ず "1" が読み出されます。 <p>(注意事項) このビットは, TMD2 ~ TMD0 : bit10 ~ bit8 が "000_B" または "001_B" の場合のみ機能し, ほかの値の場合は必ず "0" になります。 ソフトウェアクリア ("0" 書込み) とハードウェアセット (16 ビットデッドタイム 0 でア ندا フローが発生する) が同時に発生した場合は, ソフトウェアクリアがハードウェアセットよりも優先され, このビットはクリアされます。</p>

表 12.4-16 16 ビットデッドタイム状態制御レジスタ, 上位バイト (DTCR0/DTCR3) (2 / 2)

ビット名		機能
bit11	TMIE0 : 割込み要求許可 ビット, ソフトウェア トリガビット	<ul style="list-style-type: none"> このビットは, 16ビットデッドタイムのソフトウェアトリガビットおよび割込み許可ビットとして使用します。 TMD2 ~ TMD0: bit10 ~ bit8 が "000_B" または "001_B" の場合, このビットは 16 ビットデッドタイムのソフトウェアトリガとして使用されます。このビットを "0" から "1" へ変更すると, 16 ビットデッドタイムのトリガとなり, 値がリロードされ, ダウンカウントが開始します。 このビットが "1" であり, 割込み要求フラグビット (TMIF0:bit12) が "1" の場合, 割込み要求が CPU へ送られます。 <p>(注意事項) 16 ビットデッドタイムを再度トリガとする場合には, このビットに "1" を書き込む前に必ず "0" を書き込んでください。</p>
bit10 ~ bit8	TMD2 ~ TMD0 : 動作モード ビット	<ul style="list-style-type: none"> これらのビットは, 波形ジェネレータの動作モードを選択するために使用します。 TMD2 ~ TMD0: bit10 ~ bit8 が "000_B" の場合, アウトプットコンペアの RT0/RT6 と RT1/RT7 の信号は, RTO0/RTO6 と RTO1/RTO7 のそれぞれから出力されます。また, 16 ビットデッドタイムはリロードタイムとしても使用することができます。 TMD2 ~ TMD0: bit10 ~ bit8 が "001_B" の場合, アウトプットコンペアの RT0/RT6 と RT1/RT7 の信号は, PPG 出力が禁止 (PPG 出力制御 / インプットキャプチャ状態制御レジスタ上位 (PICSH01/PICSH45) の PGEN0: bit10=0, PGEN1: bit11=0) になると, RTO0/RTO6 と RTO1/RTO7 のそれぞれから出力されます。また, 16 ビットデッドタイムはリロードタイムとしても使用することができます。 <p>(注意事項) デッドタイムタイマモードで波形ジェネレータを動作させるには, 必ず RT1 に対して 2 チャネルモード (コンペア制御レジスタ上位 (OCSH1/OCSH7) の CMOD: bit12=1) を選択してください。</p>

■ 16 ビットデッドタイム状態制御レジスタ, 下位バイト (DTCR1/DTCR4)

16 ビットデッドタイム状態制御レジスタ								DTCR1/DTCR4*	
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	アドレス:	
DMOD1	GTEN3	GTEN2	TMIF1	TMIE1	TMD5	TMD4	TMD3	波形ジェネレータ 0 ch.1: 0000E9 _H	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	波形ジェネレータ 1* ch.4: 0001E9 _H	
								初期値: 00000000 _B	
								動作モードビット	
								波形ジェネレータが停止する	
								RT 信号が "H" の間に PPG タイマがパルスを出力する	
								各 RT 信号の立上りエッジがトリガとなり, 16 ビットデッドタイムが起動する。PPG タイマは, 16 ビットデッドタイムが停止するまでパルスを出力する (タイマモード)	
								RT 信号でノンオーバーラップ信号を生成する (デッドタイムタイマモード)	
								禁止	
								禁止	
								割込み要求許可ビット, ソフトウェアトリガビット	
								16 ビットデッドタイムでアンダフローが発生されても割込みを生成しない	
								16 ビットデッドタイムでアンダフローが発生されると割込みを生成する	
								割込み要求フラグビット	
								読出し時	
								書込み時	
								カウンタのアンダフローが検出されない	
								このビットはクリアされる	
								カウンタのアンダフローが検出される	
								このビットは影響を受けない	
								GATE 信号制御ビット 2	
								GATE 信号は, RT2/RT8 で制御されない (非同期モード)	
								GATE 信号は, RT2/RT8 で制御される (同期モード)	
								GATE 信号制御ビット 3	
								GATE 信号は, RT3/RT9 で制御されない (非同期モード)	
								GATE 信号は, RT3/RT9 で制御される (同期モード)	
								出力極性制御ビット	
								通常極性出力	
								反転極性出力	

R/W : リード / ライト可能

■ : 初期値

* : MB91470 シリーズでは使用不可

表 12.4-17 16 ビットデッドタイム状態制御レジスタ, 下位バイト (DTCR1/DTCR4) (1 / 2)

ビット名		機能
bit7	DMOD1 : 出力極性制御 ビット	<ul style="list-style-type: none"> このビットは、デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。 このビットを設定すると、U/V/W の出力極性は反転します。 (注意事項) このビットは、デッドタイムタイマモードが選択されていない場合 (TMD5 : bit2=0) は意味がありません。
bit6	GTEN3 : GATE 信号制御 ビット 3	このビットは、RT3/RT9 で PPG タイマの GATE 信号出力を制御するために使用します。
bit5	GTEN2 : GATE 信号制御 ビット 2	このビットは、RT2/RT8 で PPG タイマの GATE 信号出力を制御するために使用します。
bit4	TMIF1 : 割込み要求 フラグビット	<ul style="list-style-type: none"> このビットは、16ビットデッドタイムの割込み要求フラグとして使用します。 このビットは、16ビットデッドタイムでアンダフローが発生すると "1" が設定されます。 このビットに "0" を書き込むと、このビットはクリアされます。"1" を書き込んで、このビットは影響されません。 リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。 (注意事項) このビットは、(TMD5 ~ TMD3 : bit2 ~ bit0) が "000 _B " または "001 _B " の場合のみ機能し、ほかの値の場合は必ず "0" になります。ソフトウェアクリア ("0" 書き込み) とハードウェアセット (16 ビットデッドタイム 1 でアンダフローが発生する) が同時に発生した場合は、ソフトウェアクリアがハードウェアセットよりも優先され、このビットはクリアされます。

表 12.4-17 16 ビットデッドタイム状態制御レジスタ, 下位バイト (DTCR1/DTCR4) (2 / 2)

ビット名		機能
bit3	TMIE1 : 割込み要求許可 ビット, ソフトウェア トリガビット	<ul style="list-style-type: none"> このビットは, 16ビットデッドタイムのソフトウェアトリガビットおよび割込み許可ビットとして使用します。 TMD5 ~ TMD3 : bit2 ~ bit0 が "000_B" または "001_B" の場合, このビットは 16 ビットデッドタイムのソフトウェアトリガとして使用されます。このビットを "0" から "1" へ変更すると, 16 ビットデッドタイムのトリガとなり, 値がリロードされ, ダウンカウントが開始します。 このビットが "1" であり, 割込み要求フラグビット (TMIF1 : bit4) が "1" の場合, 割込み要求が CPU へ送られます。 <p>(注意事項) 16 ビットデッドタイムを再度トリガとする場合には, このビットに "1" を書き込む前に必ず "0" を書き込んでください。</p>
bit2 ~ bit0	TMD5 ~ TMD3 : 動作モード ビット	<ul style="list-style-type: none"> これらのビットは, 波形ジェネレータの動作モードを選択するために使用します。 TMD5 ~ TMD3 : bit2 ~ bit0 が "000_B" の場合, アウトプットコンペアの RT2/RT8 と RT3/RT9 の信号は, RTO2/RTO8 と RTO3/RTO9 のそれぞれから出力されます。また, 16 ビットデッドタイムはリロードタイムとしても使用することができます。 TMD5 ~ TMD3 : bit2 ~ bit0 が "001_B" の場合, アウトプットコンペアの RT2/RT8 と RT3/RT9 の信号は, PPG 出力が禁止 (PPG 出力制御 / インプットキャプチャ状態制御レジスタ上位 (PICSH01/PICSH45) の PGEN2 : bit12=0, PGEN3 : bit13=0) になると, RTO2/RTO8 と RTO3/RTO9 のそれぞれから出力されます。また, 16 ビットデッドタイムはリロードタイムとしても使用することができます。 <p>(注意事項) デッドタイムタイマモードで波形ジェネレータを動作させるには, 必ず RT3/RT9 に対して 2 チャンネルモード (コンペア制御レジスタ上位 (OCSH3/OCSH9) の CMOD : bit12=1) を選択してください。</p>

■ 16 ビットデッドタイム状態制御レジスタ, 上位バイト (DTCR2/DTCR5)

16 ビットデッドタイム状態制御レジスタ								DTCR2/DTCR5*	
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
DMOD2	GTEN5	GTEN4	TMIF2	TMIE2	TMD8	TMD7	TMD6	アドレス: 波形ジェネレータ 0 ch.2: 0000EA _H 波形ジェネレータ 1* ch.5: 0001EA _H 初期値 :00000000 _B	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
								動作モードビット	
								波形ジェネレータが停止する	
								RT 信号が "H" の間に PPG タイマがパルスを出力する	
								各 RT 信号の立上りエッジがトリガとなり, 16 ビットデッドタイムが起動する。PPG タイマは, 16 ビットデッドタイムが停止するまでパルスを出力する (タイマモード)	
								RT 信号でノンオーバーラップ信号を生成する (デッドタイムタイマモード)	
								禁止	
								禁止	
								その他	
								禁止	
								割込み要求許可ビット, ソフトウェアトリガビット	
								16 ビットデッドタイムでアンダフローが発生されても割込みを生成しない	
								16 ビットデッドタイムでアンダフローが発生されると割込みを生成する	
								割込み要求フラグビット	
								読出し時	
								書込み時	
								カウンタのアンダフローが検出されない	
								このビットはクリアされる	
								カウンタのアンダフローが検出される	
								このビットは影響を受けない	
								GATE 信号制御ビット 4	
								GATE 信号は, RT4/RT10 で制御されない (非同期モード)	
								GATE 信号は, RT4/RT10 で制御される (同期モード)	
								GATE 信号制御ビット 5	
								GATE 信号は, RT5/RT11 で制御されない (非同期モード)	
								GATE 信号は, RT5/RT11 で制御される (同期モード)	
								出力極性制御ビット	
								通常極性出力	
								反転極性出力	

R/W : リード / ライト可能
■ : 初期値

* : MB91470 シリーズでは使用不可

表 12.4-18 16 ビットデッドタイム状態制御レジスタ, 上位バイト (DTCR2/DTCR5) (1 / 2)

ビット名		機能
bit15	DMOD2 : 出力極性制御 ビット	<ul style="list-style-type: none"> このビットは, デッドタイムタイマモードにおいて U/V/W の出力を設定するために使用します。 このビットを設定すると, U/V/W の出力極性は反転します。 <p>(注意事項) このビットは, デッドタイムタイマモードが選択されていない場合 (TMD8 : bit10=0) は意味がありません。</p>
bit14	GTEN5 : GATE 信号制御 ビット 5	このビットは, RT5/RT11 で PPG タイマの GATE 信号出力を制御するために使用します。
bit13	GTEN4 : GATE 信号制御 ビット 4	このビットは, RT4/RT10 で PPG タイマの GATE 信号出力を制御するために使用します。
bit12	TMIF2 : 割込み要求 フラグビット	<ul style="list-style-type: none"> このビットは, 16ビットデッドタイムの割込み要求フラグとして使用します。 このビットは, 16ビットデッドタイムでアンダフローが発生すると "1" が設定されます。 このビットに "0" を書き込むと, このビットはクリアされます。"1" を書き込んで, このビットは影響されません。 リードモディファイライト (RMW) 系命令時には, 必ず "1" が読み出されます。 <p>(注意事項) このビットは, (TMD8 ~ TMD6 : bit10 ~ bit8) が "000_B" または "001_B" の場合のみ機能し, ほかの値の場合は必ず "0" になります。 ソフトウェアクリア ("0" 書込み) とハードウェアセット (16 ビットデッドタイム 2 でアンダフローが発生する) が同時に発生した場合は, ソフトウェアクリアがハードウェアセットよりも優先され, このビットはクリアされます。</p>

表 12.4-18 16 ビットデッドタイム状態制御レジスタ, 上位バイト (DTCR2/DTCR5) (2 / 2)

ビット名		機能
bit11	TMIE2 : 割込み要求許可 ビット, ソフトウェア トリガビット	<ul style="list-style-type: none"> このビットは, 16ビットデッドタイムのソフトウェアトリガビットおよび割込み許可ビットとして使用します。 TMD8 ~ TMD6 : bit10 ~ bit8 が "000_B" または "001_B" の場合, このビットは 16 ビットデッドタイムのソフトウェアトリガとして使用されます。このビットを "0" から "1" へ変更すると, 16 ビットデッドタイムのトリガとなり, 値がリロードされ, ダウンカウントが開始します。 このビットが "1" であり, 割込み要求フラグビット (TMIF2:bit12) が "1" の場合, 割込み要求が CPU へ送られます。 <p>(注意事項) 16 ビットデッドタイムを再度トリガとする場合には, このビットに "1" を書き込む前に必ず "0" を書き込んでください。</p>
bit10 ~ bit8	TMD8 ~ TMD6 : 動作モード ビット	<ul style="list-style-type: none"> これらのビットは, 波形ジェネレータの動作モードを選択するために使用します。 TMD8 ~ TMD6 : bit10 ~ bit8 が "000_B" の場合, アウトプットコンペアの RT4/RT10 と RT5/RT11 の信号は, RTO4/RTO10 と RTO5/RTO11 のそれぞれから出力されます。また, 16 ビットデッドタイムはリロードタイムとしても使用することができます。 TMD8 ~ TMD6 : bit10 ~ bit8 が "001_B" の場合, アウトプットコンペアの RT4/RT10 と RT5/RT11 の信号は, PPG 出力が禁止 (PPG 出力制御 / インプットキャプチャ状態制御レジスタ上位 (PICSH01/PICSH45) の PGEN4 : bit14=0, PGEN5 : bit15=0) になると, RTO4/RTO10 と RTO5/RTO11 のそれぞれから出力されます。また, 16ビットデッドタイムはリロードタイムとしても使用することができます。 <p>(注意事項) デッドタイムタイマモードで波形ジェネレータを動作させるには, 必ず RT5/RT11 に対して 2 チャンネルモード (コンペア制御レジスタ上位 (OCSH5) の CMOD : bit12=1) を選択してください。</p>

12.4.13 波形制御レジスタ (SIGCR1/SIGCR2)

波形制御レジスタは、動作クロック周波数、ノイズキャンセル機能有効、DTTI 入力有効、および DTTI 割込みを制御するために使用します。

■ 波形制御レジスタ 1 (SIGCR1)

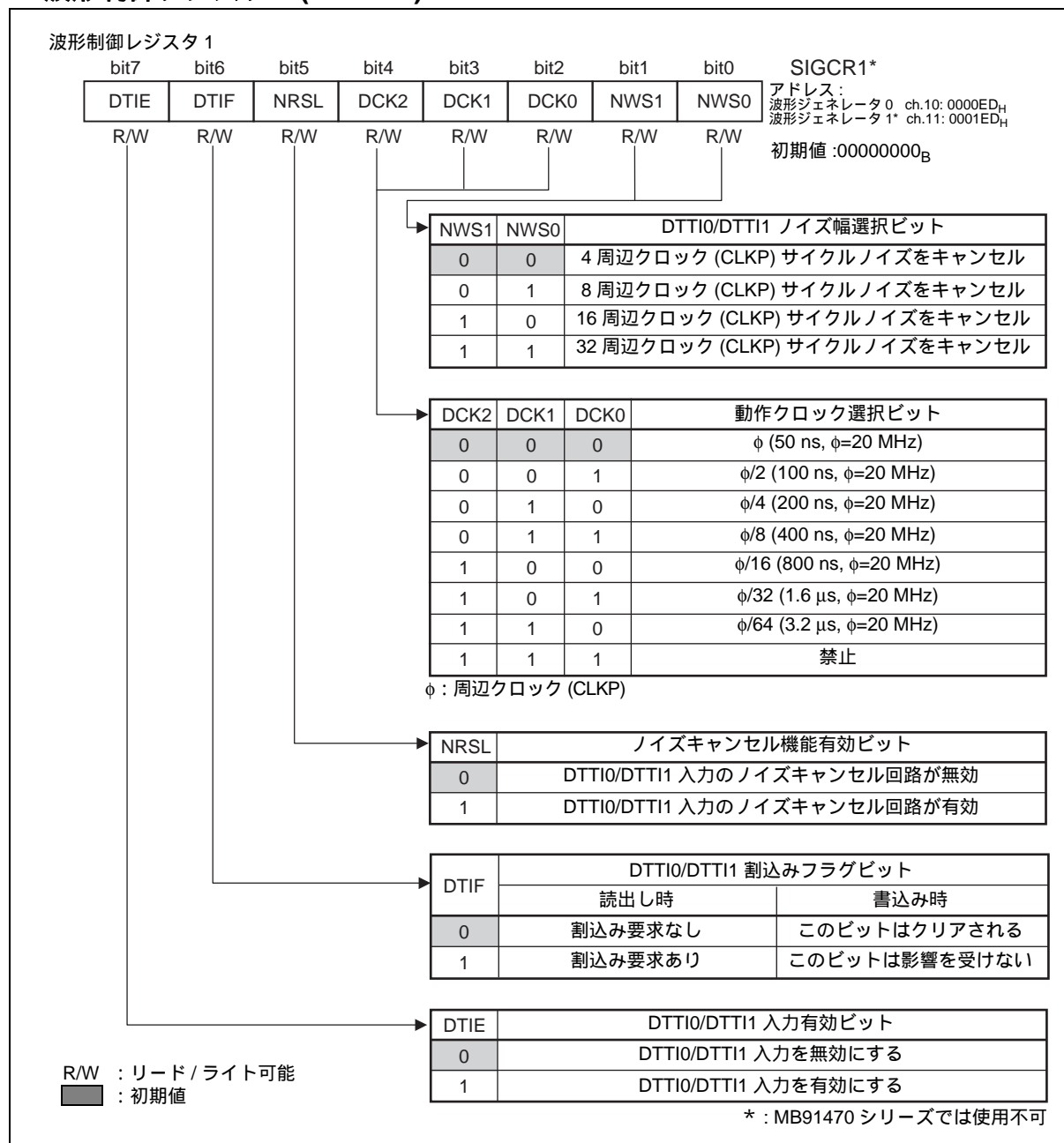


表 12.4-19 波形制御レジスタ 1 (SIGCR1)

ビット名		機能
bit7	DTIE : DTTI0/DTTI1 入力有効ビット	このビットは、RTO0/RTO6 ~ RTO5/RTO11 端子の出力レベル制御用 DTTI 信号を有効にするために使用します。
bit6	DTIF : DTTI0/DTTI1 割込み フラグビット	<ul style="list-style-type: none"> このビットは、DTTI0/DTTI1 の割込みフラグです。 DTTI0/DTTI1 入力が無効になり (DTIE : bit7=1), DTTI0/DTTI1 の "L" レベルが検出されると、このビットが設定され、割込み要求が発生します。 このビットに "0" を設定した場合: このビットはクリアされます。 このビットに "1" を設定した場合: このビットは影響を受けません。 リードモディファイライト (RMW) 系命令時には、必ず "1" が読み出されます。 <p>(注意事項) ノイズキャンセル機能が有効になった場合 (NRSL : bit5=1) にノイズパルスが発生すると、このビットには "1" が設定されます。 ソフトウェアクリア ("0" 書込み) とハードウェアセット (DTTI0/DTTI1 の "L" レベル検出) が同時に発生した場合は、ソフトウェアクリアがハードウェアセットよりも優先され、このビットはクリアされます。</p>
bit5	NRSL : ノイズキャンセル 機能有効ビット	<ul style="list-style-type: none"> このビットは、ノイズキャンセル機能を有効にするために使用します。 ノイズキャンセル回路は、カウンタでオーバフローが発生するまで "L" レベルが保持されると、DTTI0/DTTI1 入力信号を受け取ります。カウンタは、"L" レベル入力で作成される n ビットカウンタです。 n は、NWS1, NWS0 ビット : 1, 0 の設定に基づいて 2, 3, 4 または 5 のいずれかの値になります。 <p>(注意事項) ノイズパルス幅をキャンセルするには、約 2^n 周辺クロック (CLKP) が必要になります。 ノイズキャンセル回路を選択すると、周辺クロック (CLKP) が停止するモード (停止モードなど) 時は、入力が無効になります。</p>
bit4 ~ bit2	DCK2 ~ DCK0 : 動作クロック 選択ビット	これらのビットは、16 ビットデッドタイムの動作クロックを選択するために使用します。
bit1, bit0	NWS1, NWS0 : DTTI0/DTTI1 ノイズ幅 選択ビット	これらのビットは、除去する DTTI0/DTTI1 端子ノイズパルス幅を選択するために使用します。

■ 波形制御レジスタ 2 (SIGCR2)

波形制御レジスタ 2								SIGCR2*	
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
PSEL21	PSEL20	PSEL11	PSEL10	PSEL01	PSEL00	—	DTTI	アドレス: 波形ジェネレータ 0 ch.20: 0000EF _H 波形ジェネレータ 1* ch.21: 0001EF _H	
R/W	R/W	R/W	R/W	R/W	R/W	—	R/W	初期値: 000000-1 _B	

DTTI	ソフト DTTI 設定ビット	
1	DTTI クリア	
0	DTTI セット	

PSEL0[1:0]	PPG 入力チャネル設定ビット (RTO01/RTO67)	
0	0	PPG0/PPG8
0	1	PPG2/PPG10
1	0	PPG4/PPG12
1	1	設定禁止 (動作は保証しません)

PSEL1[1:0]	PPG 入力チャネル設定ビット (RTO23/RTO89)	
0	0	PPG0/PPG8
0	1	PPG2/PPG10
1	0	PPG4/PPG12
1	1	設定禁止 (動作は保証しません)

PSEL2[1:0]	PPG 入力チャネル設定ビット (RTO45/RTO1011)	
0	0	PPG0/PPG8
0	1	PPG2/PPG10
1	0	PPG4/PPG12
1	1	設定禁止 (動作は保証しません)

R/W : リード / ライト可能
 : 初期値
- : 未定義ビット
* : MB91470 シリーズでは使用不可

表 12.4-20 波形制御レジスタ 2 (SIGCR2)

ビット名		機能
bit7, bit6	PSEL2[1:0] : PPG 入力チャネル 選択ビット (RTO45/RTO1011)	<ul style="list-style-type: none"> このビットは, RTO45/RTO1011 用の PPG 入力を選択するために使用します。 PSEL2[1:0]=11_B は設定禁止です。
bit5, bit4	PSEL1[1:0] : PPG 入力チャネル 選択ビット (RTO23/RTO89)	<ul style="list-style-type: none"> このビットは, RTO23/RTO89 用の PPG 入力を選択するために使用します。 PSEL1[1:0]=11_B は設定禁止です。
bit3, bit2	PSEL0[1:0] : PPG 入力チャネル 選択ビット (RTO01/RTO67)	<ul style="list-style-type: none"> このビットは, RTO01/RTO67* 用の PPG 入力を選択するために使用します。 PSEL0[1:0]=11_B は設定禁止です。
bit1	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit0	DTTI : ソフト DTTI ビット	<ul style="list-style-type: none"> "0" を書き込むと, DTTI0/DTTI1 のセットとなります。 "1" を書き込むとクリアされます。 <p>(注意事項) 外部入力 DTTI0/DTTI1 と OR をとっているため, DTTI0/DTTI1 は外部入力レベルによります。</p>

*: SIGCR20 は波形ジェネレータ 0 の RTO01/RTO23/RTO45 を制御します。
SIGCR21 は波形ジェネレータ 1 の RTO67/RTO89/RTO1011 を制御します。

12.4.14 A/D 起動コンペアレジスタ (ADCOMPB0 ~ ADCOMP5, ADCOMP0 ~ ADCOMP5, ADTGCE0, ADTGCE1, ADTGSEL0, ADTGSEL1, ADTGBUF0, ADTGBUF1)

コンペアレジスタ 0/3, 1/4, 2/5 は, フリーランタイムの値と一致したときに A/D コンバータを起動させます。コンペアレジスタは, コンペア値を書き込むために使用します。

制御レジスタは, コンペア一致時の A/D 起動要求発生の有無を選択できます。

■ コンペアバッファレジスタ 0/3, 1/4, 2/5 (ADCOMPB0/ADCOMPB3, ADCOMPB1/ ADCOMPB4, ADCOMP2/ADCOMP5)

コンペアバッファレジスタ 0/3*, 1/4*, 2/5* (上位)		ADCOMPB0/ADCOMPB3, ADCOMP1/ADCOMP4, ADCOMP2/ADCOMP5							
アドレス:		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ch.0:0000F0 _H	ch.3:0001F0 _H	CMP15	CMP14	CMP13	CMP12	CMP11	CMP10	CMP09	CMP08
ch.1:0000F4 _H	ch.4:0001F4 _H								
ch.2:0000F8 _H	ch.5:0001F8 _H								
リード/ライト		W	W	W	W	W	W	W	W
コンペアバッファレジスタ 0/3*, 1/4*, 2/5* (下位)									
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		CMP07	CMP06	CMP05	CMP04	CMP03	CMP02	CMP01	CMP00
リード/ライト		W	W	W	W	W	W	W	W
* : MB91470 シリーズでは使用不可									

コンペアバッファレジスタは, A/D 起動コンペアレジスタ (ADCOMP) 用バッファレジスタです。バッファ機能が無効時 (バッファ制御レジスタ (ADTGBUF) の BUF2, BUF1, BUF0:bit2, bit1, bit0=111_B), もしくはフリーランタイム停止中, コンペアバッファ値は直ちにコンペアレジスタに転送されます。

バッファ機能が有効時 (バッファ制御レジスタ (ADTGBUF) の BUF2, BUF1, BUF0:bit2, bit1, bit0=000_B), コンペアバッファ値は, コンペア一致時もしくは 0 検出時にコンペアレジスタへ転送されます。

カウント方向選択レジスタ (ADTGSEL) の SEL1, SEL0=11_B のとき, ADCOMPDB0 ~ ADCOMPDB5 が ADCOMPD0 ~ ADCOMPD5 のバッファレジスタとなります。

このレジスタへアクセスする場合は, ハーフワードもしくはワードアクセス命令をご使用ください。

■ コンペアレジスタ 0/3, 1/4, 2/5 (ADCOMP0/ADCOMP3, ADCOMP1/ADCOMP4, ADCOMP2/ADCOMP5)

コンペアレジスタ 0/3*, 1/4*, 2/5* (上位)		ADCOMP0/ADCOMP3, ADCOMP1/ADCOMP4, ADCOMP2/ADCOMP5							
アドレス :		アドレス (ADCOMPD)							
ch.0:0000F0 _H ch.3:0001F0 _H ch.1:0000F4 _H ch.4:0001F4 _H ch.2:0000F8 _H ch.5:0001F8 _H		ch.0:0000F2 _H ch.3: 0001F2 _H ch.1:0000F6 _H ch.4: 0001F6 _H ch.2:0000FA _H ch.5: 001FA0 _H							
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
		CMP15	CMP14	CMP13	CMP12	CMP11	CMP10	CMP09	CMP08
リード / ライト		R	R	R	R	R	R	R	R
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)
コンペアレジスタ 0/3*, 1/4*, 2/5* (下位)									
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
		CMP07	CMP06	CMP05	CMP04	CMP03	CMP02	CMP01	CMP00
リード / ライト		R	R	R	R	R	R	R	R
初期値		(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)
* : MB91470 シリーズでは使用不可									

コンペアレジスタは、16 ビットフリーランタイムのカウント値と比較するためのデータを書き込むレジスタで、フリーランタイムとコンペア値が一致したときに A/D を起動させることができます。

コンペアレジスタに書き込まれた値は、すぐに比較動作されます。

カウント方向選択レジスタ (ADTGSEL) の SEL1, SEL0=11_B のとき、ADCOMP0 ~ ADCOMP5 はフリーランタイムがアップカウント中のみ、ADCOMP0 ~ ADCOMP5 はフリーランタイムがダウンカウント中のみにそれぞれコンペアー致動作を行います。

コンペアレジスタへの読出しは、ワードもしくはハーフワードで行ってください。

リードモディファイライト系命令でのアクセスは行わないでください。

■ コンペア許可レジスタ (ADTGCE0/ADTGCE1)

コンペア許可レジスタ								ADTGCE0/ADTGCE1	
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	アドレス	
—	—	CE21	CE20	CE11	CE10	CE01	CE00	ch.0: 0000FF _H ch.1: 0001FF _H	
—	—	R/W	R/W	R/W	R/W	R/W	R/W	初期値: --000000 _B	

CE0[1:0]		10 ビット A/D コンバータ 2 コンペア起動許可ビット	
0	0	コンペア禁止	
0	1	コンペア許可 (フリーランタイム 0/3 選択)	
1	0	コンペア許可 (フリーランタイム 1/4 選択)	
1	1	コンペア許可 (フリーランタイム 2/5 選択)	

CE1[1:0]		MB91470 シリーズ: 12 ビット A/D コンバータ 3 MB91480 シリーズ: 10 ビット A/D コンバータ 0 コンペア起動許可ビット	
0	0	コンペア禁止	
0	1	コンペア許可 (フリーランタイム 0/3 選択)	
1	0	コンペア許可 (フリーランタイム 1/4 選択)	
1	1	コンペア許可 (フリーランタイム 2/5 選択)	

CE2[1:0]		MB91470 シリーズ: 12 ビット A/D コンバータ 4 MB91480 シリーズ: 10 ビット A/D コンバータ 1 コンペア起動許可ビット	
0	0	コンペア禁止	
0	1	コンペア許可 (フリーランタイム 0/3 選択)	
1	0	コンペア許可 (フリーランタイム 1/4 選択)	
1	1	コンペア許可 (フリーランタイム 2/5 選択)	

(注意事項) MB91470 シリーズでは、フリーランタイム 0 ~ 2 のみ使用可能です。
MB91480 シリーズでは、多機能タイマが 2 ユニットあります。
A/D 起動 0 はフリーランタイム 0 ~ 2 の入力選択可能です。
A/D 起動 1 はフリーランタイム 3 ~ 5 の入力選択可能です。
*: MB91470 シリーズでは使用不可。

R/W : リード/ライト可能
 : 初期値
- : 未定義ビット

表 12.4-21 コンペア許可レジスタ (ADTGCE0/ADTGCE1)

ビット名		機能
bit7, bit6	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit5, bit4	CE21, CE20 : MB91470 シリーズ : 12 ビット A/D コンバータ 4 , MB91480 シリーズ : 10 ビット A/D コンバータ 1 コンペア起動許可ビット	<ul style="list-style-type: none"> 本ビットに "00_B" を設定した場合 , コンペア動作は行いません。 本ビットに "00_B" 以外を設定した場合 , フリーランタイマとコンペア値が一致したとき , MB91470 シリーズ : 12 ビット A/D コンバータ 4 , MB91480 シリーズ : 10 ビット A/D コンバータ 1 に起動要求を発生します。
bit3, bit2	CE11, CE10 : MB91470 シリーズ : 12 ビット A/D コンバータ 3 , MB91480 シリーズ : 10 ビット A/D コンバータ 0 コンペア起動許可ビット	<ul style="list-style-type: none"> 本ビットに "00_B" を設定した場合 , コンペア動作は行いません。 本ビットに "00_B" 以外を設定した場合 , フリーランタイマとコンペア値が一致したとき , MB91470 シリーズ : 12 ビット A/D コンバータ 3 , MB91480 シリーズ : 10 ビット A/D コンバータ 0 に起動要求を発生します。
bit1, bit0	CE01, CE00 : 10 ビット A/D コンバータ 2 コンペア起動許可ビット	<ul style="list-style-type: none"> 本ビットに "00_B" を設定した場合 , コンペア動作は行いません。 本ビットに "00_B" 以外を設定した場合 , フリーランタイマとコンペア値が一致したとき , 10 ビット A/D コンバータ 2 に起動要求を発生します。

< 注意事項 >

本レジスタを設定する場合 , 必ずフリーランタイマが停止していることを確認してください。

■ カウント方向選択レジスタ (コンペア時)(ADTGSEL0/ADTGSEL1)

カウント方向選択レジスタ (コンペア時)								ADTGSEL0/ADTGSEL1*	
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	アドレス	
—	—	SEL21	SEL20	SEL11	SEL10	SEL01	SEL00	ch.0: 0000FE _H	ch.1: 0001FE _H
—	—	R/W	R/W	R/W	R/W	R/W	R/W	初期値: --000000 _B	

SEL0[1:0]		カウント方向選択ビット	
0	0	アップダウンカウント双方時	
0	1	アップカウント時のみ	
1	0	ダウンカウント時のみ	
1	1	アップカウント時 (ADCOMP0/ADCOMP3)/ ダウンカウント時 (ADCOMP0/ADCOMP3)	

SEL1[1:0]		カウント方向選択ビット	
0	0	アップダウンカウント双方時	
0	1	アップカウント時のみ	
1	0	ダウンカウント時のみ	
1	1	アップカウント時 (ADCOMP1/ADCOMP4)/ ダウンカウント時 (ADCOMP1/ADCOMP4)	

SEL2[1:0]		カウント方向選択ビット	
0	0	アップダウンカウント双方時	
0	1	アップカウント時のみ	
1	0	ダウンカウント時のみ	
1	1	アップカウント時 (ADCOMP2/ADCOMP5)/ ダウンカウント時 (ADCOMP2/ADCOMP5)	

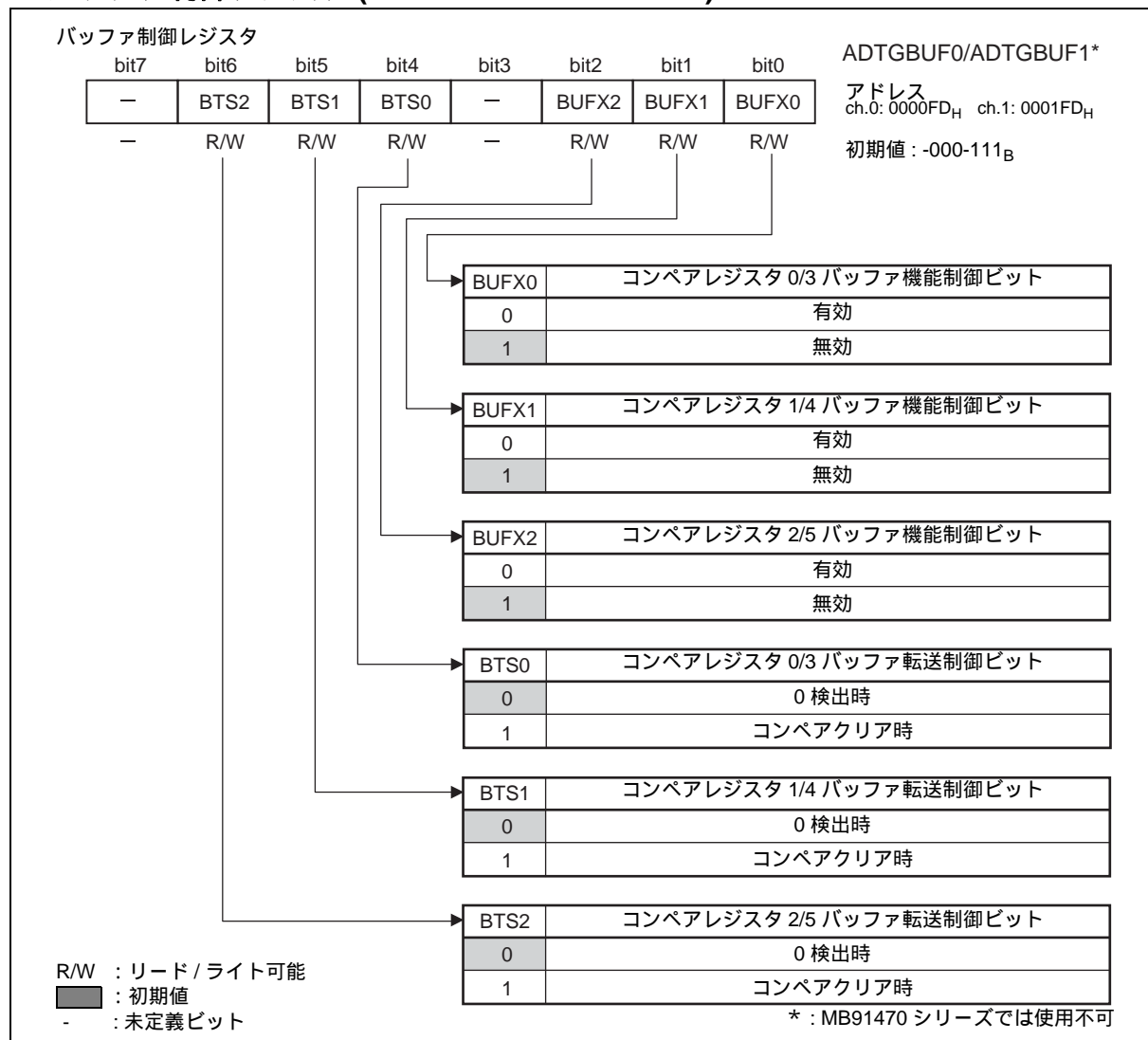
R/W : リード / ライト可能
 : 初期値
- : 未定義ビット

* : MB91470 シリーズでは使用不可

表 12.4-22 カウント方向選択レジスタ (コンペア時)(ADTGSEL0/ADTGSEL1)

ビット名		機能
bit15, bit14	未定義ビット	<ul style="list-style-type: none"> ・ 読出し値は不定です。 ・ このビットへの書込みは動作に影響しません。
bit13, bit12	SEL2 : カウント方向選 択ビット	<ul style="list-style-type: none"> ・ "00_B" を設定した場合, フリーランタイマがアップカウント / ダウンカウント中のいずれでも, コンペア一致動作を行います。 ・ "01_B" を設定した場合, フリーランタイマがアップカウント中にのみコンペア一致動作を行います。 ・ "10_B" を設定した場合, フリーランタイマがダウンカウント中にのみコンペア一致動作を行います。 ・ "11_B" を設定した場合, ADCOMP2/ADCOMP5 はフリーランタイマがアップカウント中にのみ, ADCOMPD2/ADCOMPD5 はフリーランタイマがダウンカウント中のみに それぞれコンペア一致動作を行います。
bit11, bit10	SEL1 : カウント方向選 択ビット	<ul style="list-style-type: none"> ・ "00_B" を設定した場合, フリーランタイマがアップカウント / ダウンカウント中のいずれでも, コンペア一致動作を行います。 ・ "01_B" を設定した場合, フリーランタイマがアップカウント中にのみコンペア一致動作を行います。 ・ "10_B" を設定した場合, フリーランタイマがダウンカウント中にのみコンペア一致動作を行います。 ・ "11_B" を設定した場合, ADCOMP1/ADCOMP4 はフリーランタイマがアップカウント中にのみ, ADCOMPD1/ADCOMPD4 はフリーランタイマがダウンカウント中のみに それぞれコンペア一致動作を行います。
bit9, bit8	SEL0 : カウント方向選 択ビット	<ul style="list-style-type: none"> ・ "00_B" を設定した場合, フリーランタイマがアップカウント / ダウンカウント中のいずれでも, コンペア一致動作を行います。 ・ "01_B" を設定した場合, フリーランタイマがアップカウント中にのみコンペア一致動作を行います。 ・ "10_B" を設定した場合, フリーランタイマがダウンカウント中にのみコンペア一致動作を行います。 ・ "11_B" を設定した場合, ADCOMP0/ADCOMP3 はフリーランタイマがアップカウント中にのみ, ADCOMPD0/ADCOMPD3 はフリーランタイマがダウンカウント中のみに それぞれコンペア一致動作を行います。

■ バッファ制御レジスタ (ADTGBUF0/ADTGBUF1)



< 注意事項 >

BTS ビットを書き換える前に必ずフリーランタイマを停止させてください。

表 12.4-23 バッファ制御レジスタ (ADTGBUF0/ADTGBUF1)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit6 ~ bit4	BTS0/3 ~ BTS2/5 : コンペアレジスタ バッファ転送 制御ビット	<ul style="list-style-type: none"> "0" を設定した場合 , フリーランタイマの 0 検出時にコンペア値がバッファに転送されます。 "1" を設定した場合 , フリーランタイマのコンペア一致時にコンペア値がバッファに転送されます。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは動作に影響しません。
bit2 ~ bit0	BUFX0/3 ~ BUFX2/5 : コンペアレジスタ バッファ機能 制御ビット	<ul style="list-style-type: none"> "1" を設定した場合 , バッファ機能は無効となります。 "0" を設定した場合 , バッファ機能は有効となります。

12.5 多機能タイマ割込み

多機能タイマは、16 ビットフリーランタイム割込み、16 ビットアウトプットコンペア割込み、16 ビットインプットキャプチャ割込みおよび波形ジェネレータ割込みを生成することができます。

■ 16 ビットフリーランタイム割込み

16 ビットフリーランタイムの割込み制御ビットと割込み要因を表 12.5-1 に示します。

表 12.5-1 16 ビットフリーランタイムの割込み制御ビットと割込み要因

	16 ビットフリーランタイム	
	コンペアクリア	0 検出
割込み要求フラグビット	タイマ状態制御レジスタ上位 (TCCSH) の ICLR : bit9	タイマ状態制御レジスタ上位 (TCCSH) の IRQZF : bit14
割込み要求許可ビット	タイマ状態制御レジスタ上位 (TCCSH) の ICRE : bit8	タイマ状態制御レジスタ上位 (TCCSH) の IRQZE : bit13
割込み要因	16 ビットフリーランタイム値がコンペアクリアレジスタ (CPCLRH, CPCLRL) と一致する	16 ビットフリーランタイム値が "0" になる

16 ビットフリーランタイムの値がコンペアクリアレジスタ (CPCLRH/CPCLRL) と一致すると、タイマ状態制御レジスタ (TCCSH) の ICLR : bit9 に "1" が設定されます。この状態において割込み要求が許可 (TCCSH レジスタの ICRE : bit8=1) になると、割込み要求が割込みコントローラへ出力されます。

タイマ値が "0000_H" になると、タイマ状態制御レジスタ (TCCSH) の IRQZF:bit14 に "1" が設定されます。この状態において割込み要求が許可 (TCCSH レジスタの IRQZE : bit13=1) になると、割込み要求が割込みコントローラへ出力されます。

< 注意事項 >

多機能タイマ 0 のみ例示しています。多機能タイマ 1 に関する設定は、「12.4 多機能タイマのレジスタ」、および「12.7 多機能タイマの使用上の注意」を参照してください。

■ 16 ビットアウトプットコンペア割込み

16 ビットアウトプットコンペアの割込み制御ビットと割込み要因を表 12.5-2 に示します。

表 12.5-2 16 ビットアウトプットコンペア 0 ~ 5/6 ~ 11 の割込み制御ビットと割込み要因

	16 ビットアウトプット コンペア 0/6, 1/7	16 ビットアウトプット コンペア 2/8, 3/9	16 ビットアウトプット コンペア 4/10, 5/11
割込み要求 フラグビット	コンペア制御レジスタ下 位 (OCSL0/6) の IOP1, IOP0 (bit7, bit6)	コンペア制御レジスタ下 位 (OCSL2/8) の IOP1, IOP0 (bit7, bit6)	コンペア制御レジスタ下 位 (OCSL4/10) の IOP1, IOP0 (bit7, bit6)
割込み要求 許可ビット	コンペア制御レジスタ下 位 (OCSL0/6) の IOE1, IOE0 (bit5, bit4)	コンペア制御レジスタ下 位 (OCSL2/8) の IOE1, IOE0 (bit5, bit4)	コンペア制御レジスタ下 位 (OCSL4/10) の IOE1, IOE0 (bit5, bit4)
割込み要因	16 ビットフリーランタイ マ値がアウトプットコン ペアレジスタ (OCCPH0/ 6, OCCPH1/7, OCCPL0/6, OCCPL1/7) と一致する	16 ビットフリーランタイ マ値がアウトプットコン ペアレジスタ (OCCPH2/ 8, OCCPH3/9, OCCPL2/8, OCCPL3/9) と一致する	16 ビットフリーランタイ マ値がアウトプットコン ペアレジスタ (OCCPH4/ 10, OCCPH5/11, OCCPL4/ 10, OCCPL5/11) と一致す る

16 ビットフリーランタイム値がアウトプットコンペアレジスタ (OCCPH0/6 ~ OCCPH5/11, OCCPL0/6 ~ OCCPL5/11) と一致すると、コンペア制御レジスタ下位 (OCSL0/6, OCSL2/8, OCSL4/10) の IOP1, IOP0 : bit7, bit6 が "1" に設定されます。この状態において割込み要求が許可 (OCSL0/6, OCSL2/8, OCSL4/10 レジスタの IOE1, IOE0 : bit5, bit4=1_B) になると、割込み要求が割込みコントローラへ出力されます。

■ 16 ビットインプットキャプチャ割込み

16 ビットインプットキャプチャの割込み制御ビットと割込み要因を表 12.5-3 に示します。

表 12.5-3 16 ビットインプットキャプチャ 0 ~ 3/4 ~ 7 の割込み制御ビットと割込み要因

	16 ビットインプット キャプチャ 0/4, 1/5	16 ビットインプット キャプチャ 2/6, 3/7
割込み要求 フラグビット	インプットキャプチャ状態制御 レジスタ下位 (PICSL01/45) の ICP1/5, ICP0/4 (bit7, bit6)	インプットキャプチャ状態制御 レジスタ下位 (ICSL23/67) の ICP3/ 7, ICP2/6 (bit7, bit6)
割込み要求許可ビット	インプットキャプチャ状態制御 レジスタ下位 (PICSL01/45) の ICE1/5, ICE0/4 (bit5, bit4)	インプットキャプチャ状態制御 レジスタ下位 (ICSL23/67) の ICP3/ 7, ICP2/6 (bit5, bit4)
割込み要因	有効なエッジが IC0/4, IC1/5 端子 で検出される	有効なエッジが IC2/6, IC3/7 端子 で検出される

16 ビットインプットキャプチャでは、有効なエッジが IC0 ~ IC3/IC4 ~ IC7 端子で検出されると、インプットキャプチャ状態制御レジスタ (PICSL01/PICSL45, ICSL23/ICSL67) の ICP3/ICP7 ~ ICP0/ICP4 : とともに bit7, bit6 に "11_B" が設定されます。この状態において割込み要求が許可 (PICSL01/PICSL45, ICSL23/ICSL67 レジスタの ICE3/ICE7 ~ ICE0/ICE4 : とともに bit5, bit4=11_B) になると、割込み要求は割込みコントローラへ出力されます。

■ 波形ジェネレータ割込み

波形ジェネレータの割込み制御ビットと割込み要因を表 12.5-4 に示します。

表 12.5-4 波形ジェネレータの割込み制御ビットと割込み要因

	波形ジェネレータ	
	16 ビットデッドタイム 0 ~ 2/3 ~ 5	DTTI0/DTTI1
割込み要求フラグビット	16 ビットデッドタイム状態制御レジスタ上位, 下位 (DTCR0/DTCR3 ~ DTCR2/DTCR5) の TMIF0/TMIF3 ~ TMIF2/TMIF5 (上位は bit12, 下位は bit4)	波形制御レジスタ 1/2 (SIGCR1/SIGCR2) の DTIF (bit6)
割込み要求許可ビット	16 ビットデッドタイム状態制御レジスタ上位, 下位 (DTCR0/DTCR3 ~ DTCR2/DTCR5) の TMIE0/TMIE3 ~ TMIE2/TMIE5 (上位は bit11, 下位は bit3)	-
割込み要因	16 ビットデッドタイム 0 ~ 2/3 ~ 5 アンダフロー	DTTI で "L" レベルが検出される

波形ジェネレータでは、16 ビットデッドタイムのアンダフローが発生し、かつ DTCR0/DTCR3 ~ DTCR2/DTCR5 レジスタの TMD8 ~ TMD0 (上位は bit10 ~ bit8, 下位は bit2 ~ bit0) が "000_B" または "001_B" のとき、16 ビットデッドタイム状態制御レジスタ (DTCR0/DTCR3 ~ DTCR2/DTCR5) の TMIF0 ~ TMIF2 (上位は bit12, 下位は bit4) には "1" が設定されます。この状態において割込み要求が許可 (DTCR0/DTCR3 ~ DTCR2/DTCR5, レジスタの TMIE0 ~ TMIE2 (上位は bit11, 下位は bit3) =1) になると、割込み要求は割込みコントローラへ出力されます。

12.6 多機能タイマの動作

多機能タイマの動作について説明します。

■ 多機能タイマの動作

● 16 ビットフリーランタイム

16 ビットフリーランタイムはカウント動作を許可すると、タイマデータレジスタ (TCDTH, TCDTL) に設定されている値からカウントアップを開始します。カウント値は、16 ビットアウトプットコンペアと 16 ビットインプットキャプチャの基準時間として使用されます。

● フリーランタイムセクタ

16 ビットアウトプットコンペア、16 ビットインプットキャプチャ、A/D 起動コンペアそれぞれに対して、フリーランタイム入力を選択することができます。アウトプットコンペア/インプットキャプチャはフリーランタイムセクタで、A/D 起動コンペアはコンペア許可レジスタ (ADTGCE) で選択することができます。

● 16 ビットアウトプットコンペア

16 ビットアウトプットコンペアは、"指定されたアウトプットコンペアレジスタに設定されている値" と "16 ビットフリーランタイム値" の比較に使用します。一致が検出された場合は、割込みフラグが設定され、出力レベルは反転します。

● 16 ビットインプットキャプチャ

16 ビットインプットキャプチャは、指定された有効なエッジを検出するために使用します。

有効なエッジが検出されると割込みフラグが設定され、16 ビットフリーランタイム値が取り出され、インプットキャプチャデータレジスタへ格納されます

● 波形ジェネレータ

波形ジェネレータは、リアルタイム出力 (RTO0 ~ RTO5/RTO6 ~ RTO11)、16 ビット PPG タイマ、16 ビットデッドタイムを使用して様々な波形 (デッドタイムを含む) を生成します。

● A/D 起動コンペア

16 ビットフリーランタイムの値が指示値となったときに A/D 起動を行います。使用するフリーランタイムのチャンネルはレジスタ設定により選択可能です。

12.6.1 16 ビットフリーランタイマの動作

16 ビットフリーランタイマは、リセット完了後、タイマデータレジスタ (TCDTH/TCDTL) に設定されている値からカウントアップを開始します。カウント値は、16 ビットアウトプットコンペアと 16 ビットインプットキャプチャの基準時間として使用されます。

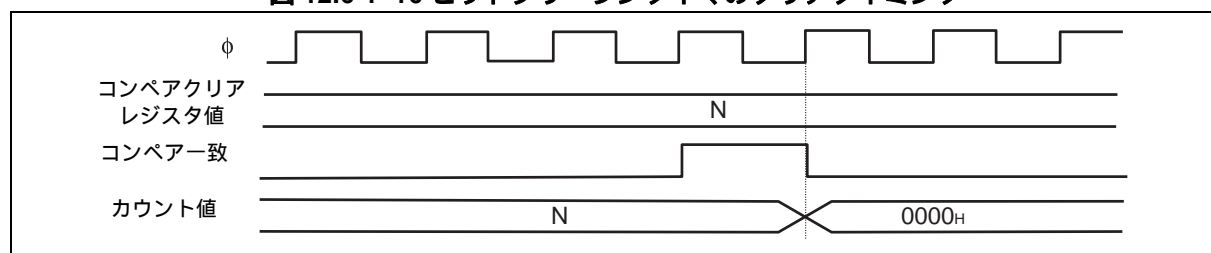
■ タイマクリア

16 ビットフリーランタイマのカウント値は、下記のいずれかの場合にクリアされます。

- アップカウントモード (TCCSL レジスタの MODE: bit5=0) によってコンペアクリアレジスタとの一致が検出された場合
- 動作中に TCCSL レジスタの SCLR: bit4 に "1" が書き込まれた場合
- 停止中に TCDTH/TCDTL レジスタに "0000_H" が書き込まれた場合
- リセットされた場合

リセットされると、カウンタは直ちにクリアされます。ソフトウェアクリアされた場合、またはコンペアクリアレジスタとの一致が発生した場合は、カウンタはカウントタイミングと同期してクリアされます。

図 12.6-1 16 ビットフリーランタイマのクリアタイミング



(注意事項) 停止中に TCCSL レジスタの SCLR:bit4 に "1" が書込まれても、16 ビットフリーランタイマのカウント値はクリアされません。

■ タイマモード

16 ビットフリーランタイマでは、以下のどちらかのモードを選択することができます。

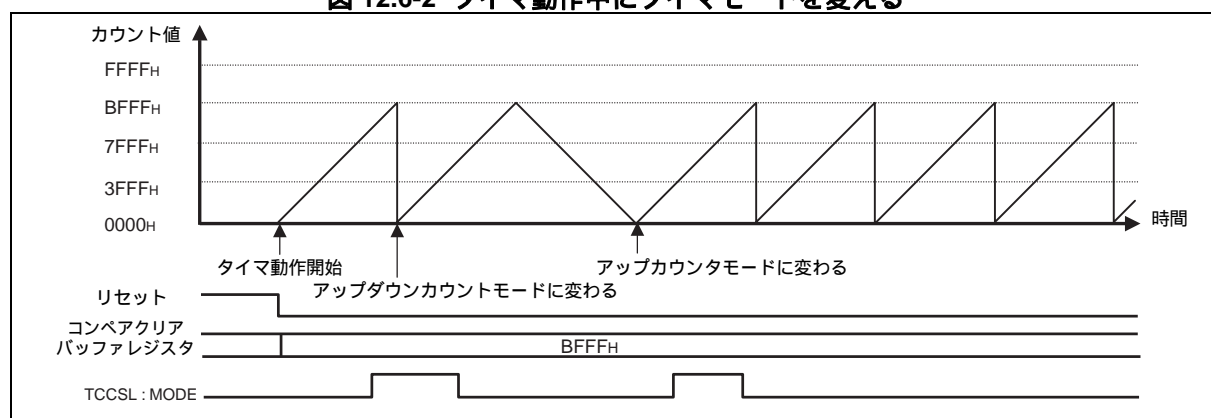
- アップカウントモード (TCCSL レジスタの MODE : bit5=0)
- アップダウンカウントモード (TCCSL レジスタの MODE : bit5=1)

アップカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ (TCDTH/TCDTL) からカウントを開始し、カウント値がコンペアクリアレジスタ (CPCLR/CPCLRL) の値と一致するまでカウントアップし、カウンタは "0000_H" にクリアされて再びカウントアップします。

アップダウンカウントモード時は、カウンタは事前に設定されているタイマデータレジスタ (TCDTH/TCDTL) からカウントを開始し、カウント値がコンペアクリアレジスタ (CPCLR/CPCLRL) の値と一致するまでカウントアップし、カウントがアップカウントからダウンカウントに変わり、カウンタ値が "0000_H" に達するまでカウントダウンして再びカウントアップします。

モードビット (TCCSL レジスタの MODE : bit5) には、タイマが動作中であろうと停止していようと、いつでも値を書き込むことができます。タイマ動作中にこのビットに書き込まれた値はバッファに入れられ、カウントモードはタイマ値が "0000_H" になると変わります。

図 12.6-2 タイマ動作中にタイマモードを変える



■ コンペアクリアバッファ

コンペアクリアレジスタ (CPCLR_H/CPCLR_L) には、有効または無効にすることができるバッファ機能が存在します。バッファ機能が有効 (TCCSL レジスタの BFE : bit7=1) の場合は、コンペアクリアバッファレジスタ (CPCLR_{BH}/CPCLR_{BL}) に書き込まれたデータは、16 ビットフリーランタイム値 "0" が検出されると CPCLR_H/CPCLR_L レジスタに転送されます。バッファ機能が無効 (TCCSL ビットの BFE : bit7=0) の場合は、データは CPCLR_H/CPCLR_L レジスタに直接書き込むことができます。

図 12.6-3 コンペアクリアバッファが無効 (TCCSL レジスタ BFE:bit7=0) 時のアップカウントモードによる動作

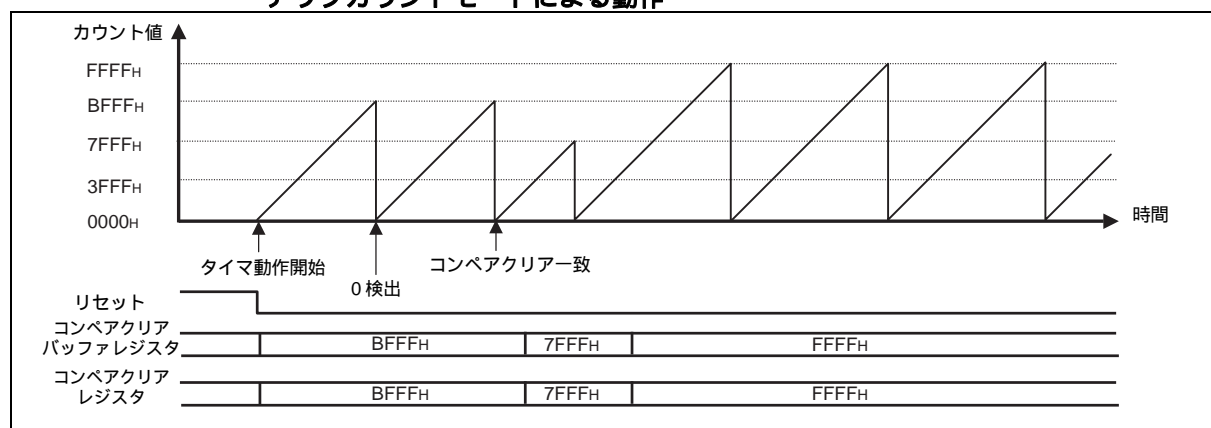


図 12.6-4 コンペアクリアバッファが有効 (TCCSL レジスタ BFE:bit7=1) 時のアップカウントモードによる動作

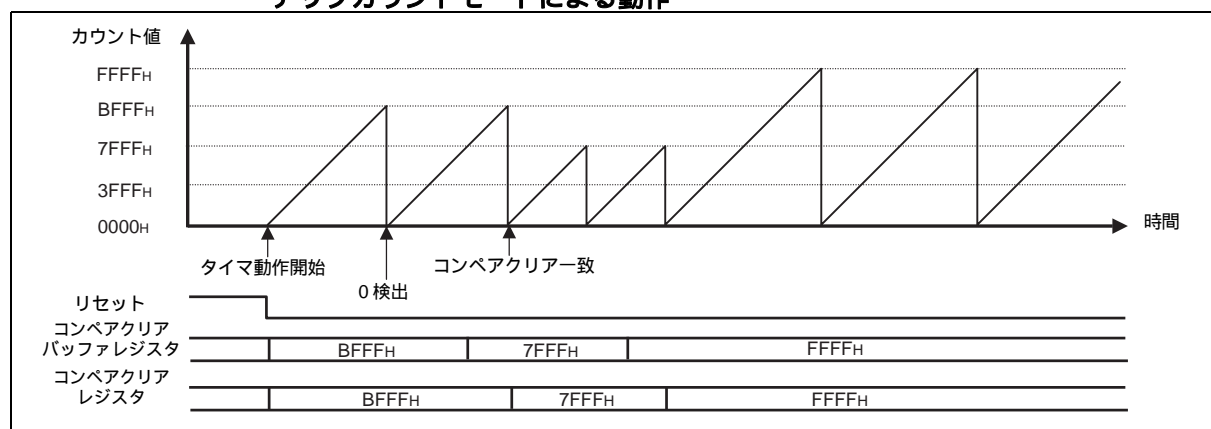
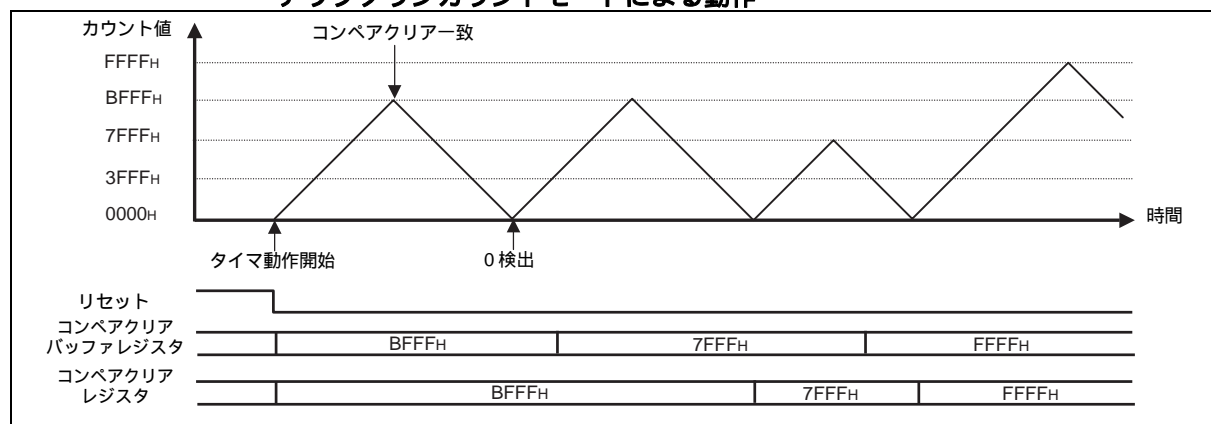


図 12.6-5 コンペアクリアバッファが有効 (TCCSL レジスタ BFE:bit7=1) 時の
アップダウンカウントモードによる動作



■ タイマ割込み

16 ビットフリーランタイマでは、以下の 2 つの割込みを生成できます。

- コンペアクリア割込み
- 0 検出割込み

コンペアクリア割込みは、タイマ値がコンペアクリアレジスタの値と一致すると生成されます。

0 検出割込みは、タイマ値が "0000_H" に達すると生成されます。

< 注意事項 >

ソフトウェアクリア (TCCSL レジスタの SCLR:bit4=1) は、0 検出割込みを生成しません。

図 12.6-6 アップカウントモード (TCCSL レジスタ MODE:bit5=0) で生成された割込み

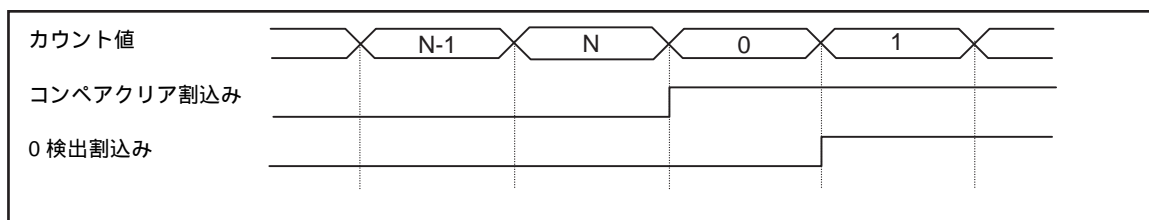
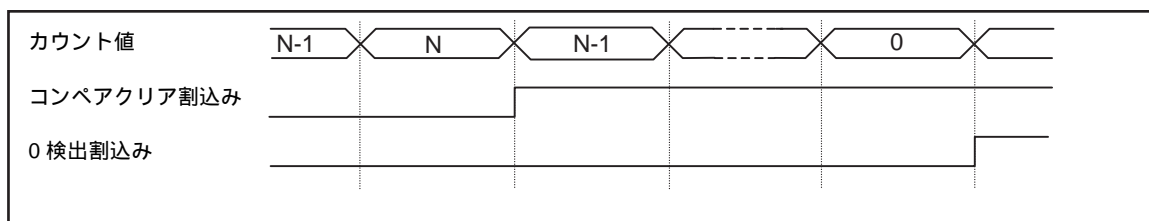


図 12.6-7 アップダウンカウントモード (TCCSL レジスタ MODE:bit5=1) で生成された割込み



■ 割込みマスク機能

0 検出割込み / コンペア一致割込みのどちらか 1 つ、もしくは両方をマスクすることができます。以下にどちらか 1 つの割込みをマスクする場合について説明します。

- TCCSH レジスタの MSI2 ~ MSI0 : bit12 ~ bit10 を設定すると割込み要求をマスクすることができます。MSI2 ~ MSI0 ビットは、カウント値が "000_B" に達すると値をリロードする 3 ビットリロードダウンレジスタです。カウント値は MSI2 ~ MSI0 ビットに直接書くことによってもロードすることができます。マスクカウントは、MSI2 ~ MSI0 に設定された値です。MSI2 ~ MSI0 ビットが "000_B" になると、割込み要求はマスクされません。
- 割込み要求はカウントモード (TCCSL レジスタの MODE:bit5) によって異なります。アップカウントモード時は、コンペアクリア割込みのみをマスクすることができ、0 検出割込みは "0" が検出されるたびに生成されます。アップダウンカウントモード時は 0 検出割込みのみをマスクすることができます。

以下に両方の割込み要求をマスクする場合について説明します。

- フリーランタイマがアップダウンカウントモード時のみ、TCCSM レジスタの MODE2 = 1 かつ TCCSL レジスタの MODE = 1 にすると両方の割込みマスクができます。
- 0 検出割込みマスク用には TCCSH レジスタの MSI2 ~ MSI0 ビットを、コンペアクリア割込みマスク用には TCCSM レジスタの MSI5 ~ MSI3 ビットを使用します。

< 注意事項 >

ソフトウェアクリア (TCCSL レジスタの SCLR:bit4=1) は、0 検出割込みを生成しません。

図 12.6-8 アップカウントモードでマスクされるコンペアクリア割込み

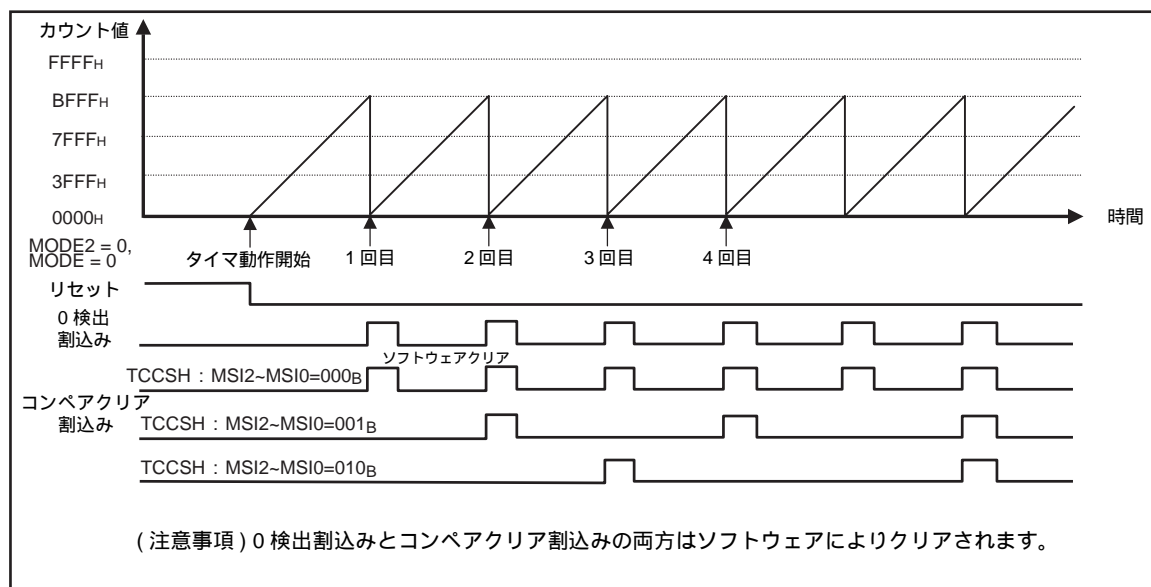


図 12.6-9 アップダウンカウントモードでマスクされる 0 検出割り込み

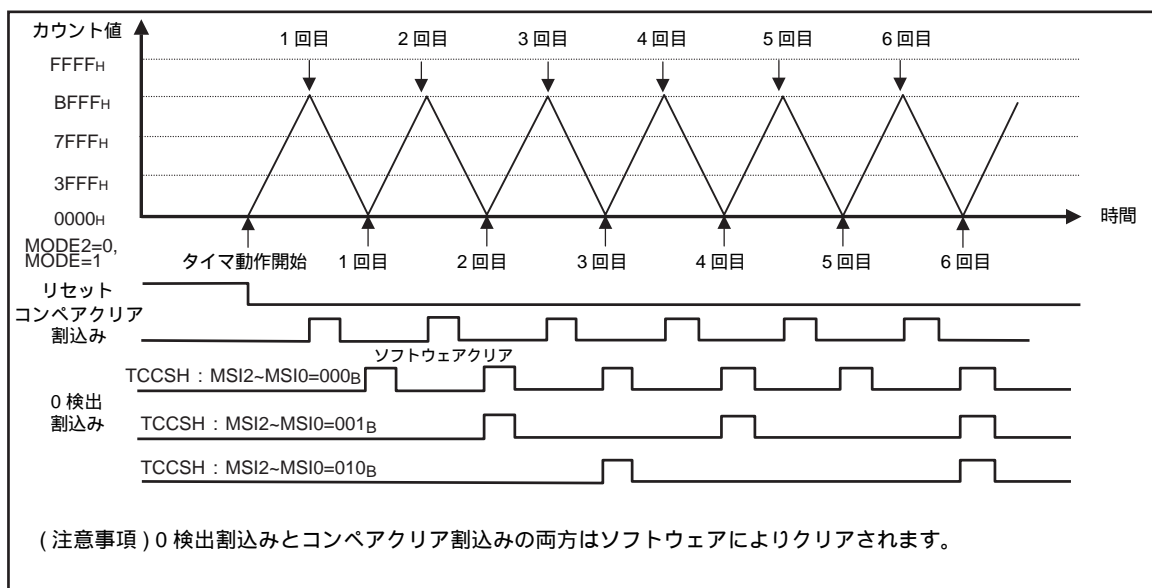
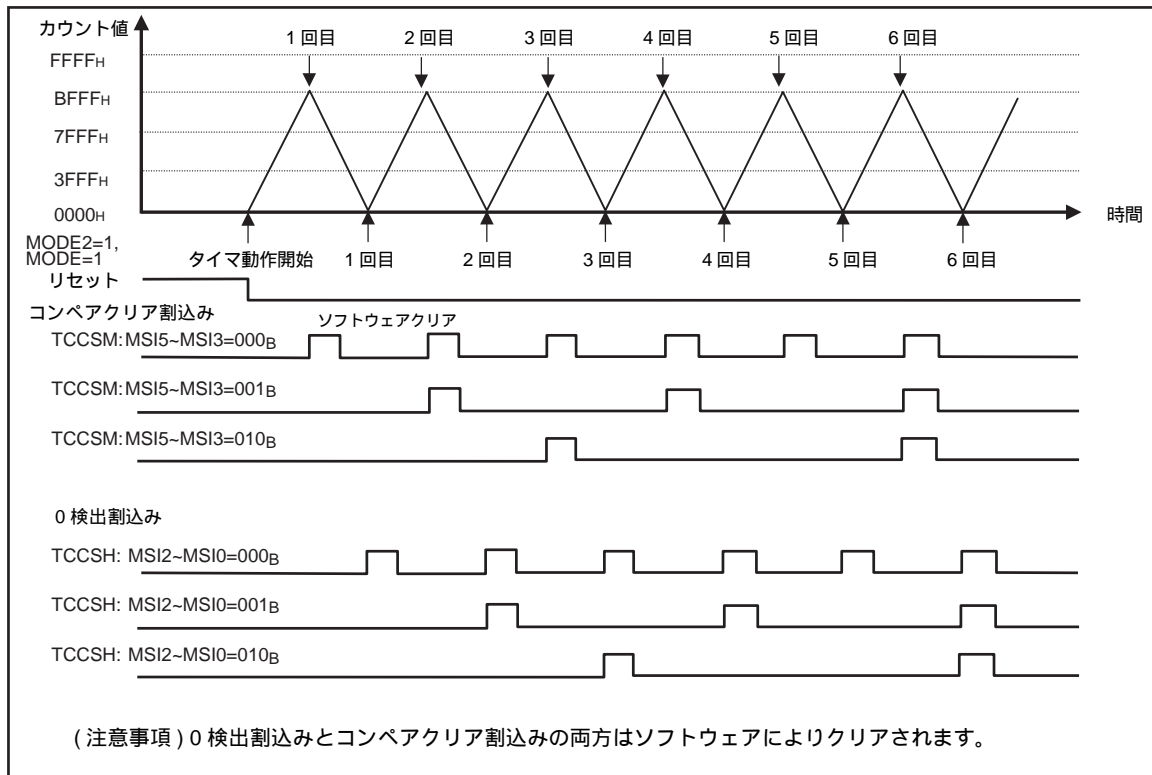


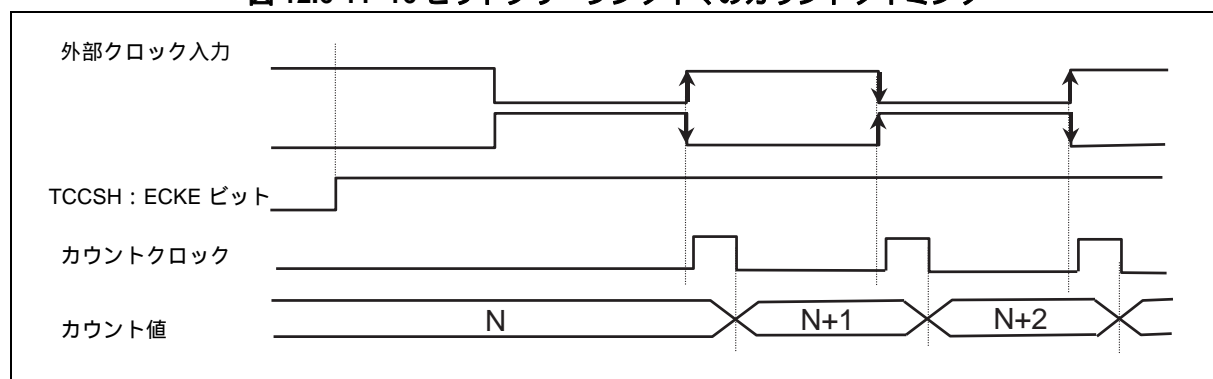
図 12.6-10 アップダウンカウントモードでマスクされる 0 検出割り込みとコンペアクリア割り込み



■ 選択された外部カウントクロック

16 ビットフリーランタイマは、入力クロック（周辺クロック (CLKP) または外部クロック）に基づいてインクリメントされます。外部クロックが選択されると、外部クロックモード (TCCSH レジスタの ECKE: bit15=1) が選択された後、16 ビットフリーランタイマは外部入力の初期値が "1" の場合、立上りエッジでカウントアップを開始します。その後は両エッジでカウントアップします。外部入力の初期値が "0" の場合、立下りエッジでカウントアップを開始します。その後は両エッジでカウントアップします。

図 12.6-11 16 ビットフリーランタイマのカウントタイミング



< 注意事項 >

外部クロック入力のカウントは、外部クロックの両エッジとなります。

■ フリーランタイムによる A/D 起動

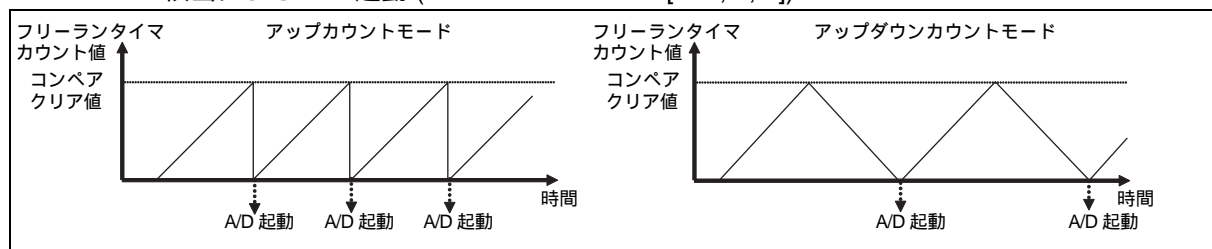
16 ビットフリーランタイムのコンペアー一致時, もしくは 0 検出時に A/D の起動が可能です。起動要因は, A/D トリガ制御レジスタ (ADTRGC) の A/D トリガ要因選択ビット (SEL0 ~ SEL2 : bit4 ~ bit6) で選択することが可能です。

A/D 起動信号は, A/D トリガ制御レジスタ (ADTRGC) の A/D トリガ出力許可/禁止ビット (AD0E ~ AD2E : bit0 ~ bit2) により, コンペアー一致時, もしくは 0 検出時でも A/D 起動信号を止めることが可能です。

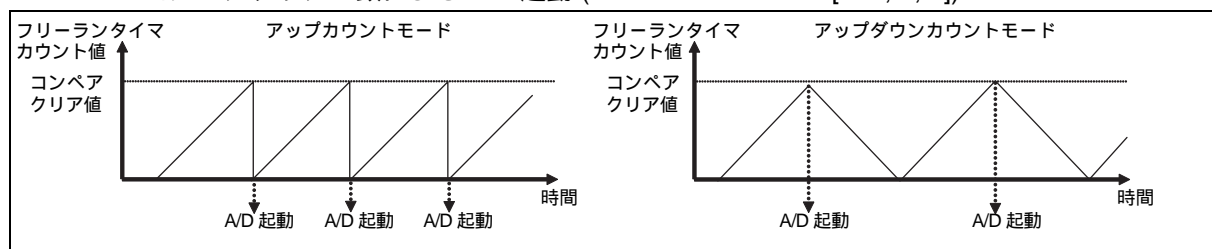
< 注意事項 >

A/D 起動信号の出力を禁止しているときに起動要因のコンペアー一致, もしくは 0 検出が出力されている場合, A/D 起動信号の出力を許可すると, 許可と同時に A/D 起動信号が出力されます。

● 0 検出による A/D 起動 (ADTRGC : SELn=0 [n=0, 1, 2])



● コンペアークリア一致による A/D 起動 (ADTRGC : SELn=1 [n=0, 1, 2])



12.6.2 フリーランタイムセレクタの動作

フリーランタイムセレクタは、アウトプットコンペア、インプットキャプチャ用のフリーランタイム入力を設定するために使用します。

MB91480 シリーズのように多機能タイマを 2 ユニット搭載している場合、12 個のアウトプットコンペア、8 個のインプットキャプチャ、6 個のフリーランタイムの入力を選択することができます。

■ MB91470 シリーズの場合

MB91470 シリーズの場合、多機能タイマは 1 ユニットなので、3 個のフリーランタイム、6 個のアウトプットコンペア、4 個のインプットキャプチャ構成で、それぞれ以下の表に示したレジスタにより選択することができます。

表 12.6-1 レジスタ対応表

リソース	レジスタ
OCU0	FRS0[2:0]
OCU1	FRS0[6:4]
OCU2	FRS1[10:8]
OCU3	FRS1[14:12]
OCU4	FRS2[2:0]
OCU5	FRS2[6:4]
ICU0	FRS3[2:0]
ICU1	FRS3[6:4]
ICU2	FRS4[10:8]
ICU3	FRS4[14:12]

表 12.6-2 設定値対応表

設定値	フリーランタイム
000 _B	FRT0 (多機能タイマ 0 の初期状態)
001 _B	FRT1
010 _B	FRT2
その他	設定禁止 (動作を保証しません)

■ MB91480 シリーズの場合

MB91480 シリーズの場合，多機能タイマは 2 ユニットなので，6 個のフリーランタイマ，12 個のアウトプットコンペア，8 個のインプットキャプチャ構成で，それぞれ以下の表に示したレジスタにより選択することができます。

表 12.6-3 レジスタ対応表

リソース	レジスタ	備考
OCU0	FRS0[2:0]	多機能タイマ 0
OCU1	FRS0[6:4]	
OCU2	FRS1[10:8]	
OCU3	FRS1[14:12]	
OCU4	FRS2[2:0]	
OCU5	FRS2[6:4]	
ICU0	FRS3[2:0]	
ICU1	FRS3[6:4]	
ICU2	FRS4[10:8]	
ICU3	FRS4[14:12]	
OCU6	FRS5[2:0]	多機能タイマ 1
OCU7	FRS5[6:4]	
OCU8	FRS6[10:8]	
OCU9	FRS6[14:12]	
OCU10	FRS7[2:0]	
OCU11	FRS7[6:4]	
ICU4	FRS8[2:0]	
ICU5	FRS8[6:4]	
ICU6	FRS9[10:8]	
ICU7	FRS9[14:12]	

表 12.6-4 設定値対応表

設定値	フリーランタイマ
000 _B	FRT0 (多機能タイマ 0 の初期状態)
001 _B	FRT1
010 _B	FRT2
011 _B	FRT3 (多機能タイマ 1 の初期状態)
100 _B	FRT4
101 _B	FRT5
その他	設定禁止 (動作を保証しません)

< 注意事項 >

フリーランタイマセレクトレジスタを設定する前に必ずフリーランタイマを停止させてください。

12.6.3 16 ビットアウトプットコンペアの動作

アウトプットコンペアは, " 指定されたコンペアクリアレジスタに設定されている値 " と "16 ビットフリーランタイムの値 " の比較に使用します。一致が検出された場合は, 割込みフラグが設定されて出力レベルが反転します。
フリーランタイムがアップダウンカウントモードの場合, カウントピークとコンペアレジスタ値が一致したときは一致信号を無視します。

■ 16 ビットアウトプットコンペアの動作 (反転モード , MOD1x=0)

- コンペア動作は, 各チャンネル (コンペア制御レジスタ上位 (OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/OCSH11) の CMOD : bit12=0) において実行することができます。

図 12.6-12 出力初期値が "0" のときにコンペアレジスタ 0 とコンペアレジスタ 1 を別々に使用した際の出力波形例 (フリーランタイムはアップカウントモード)

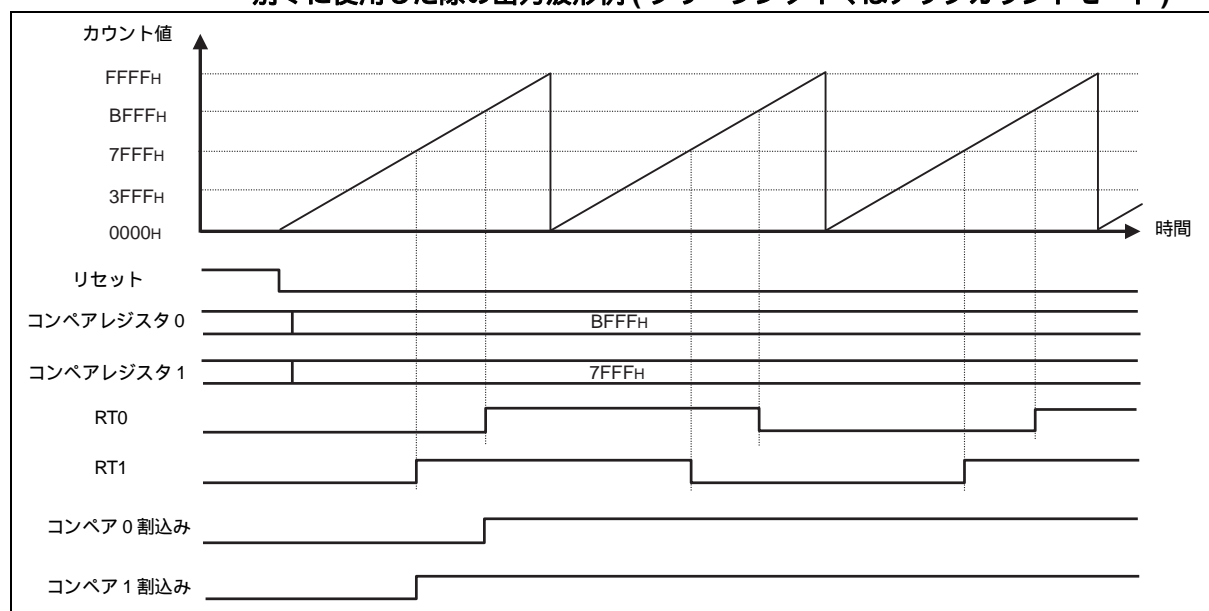
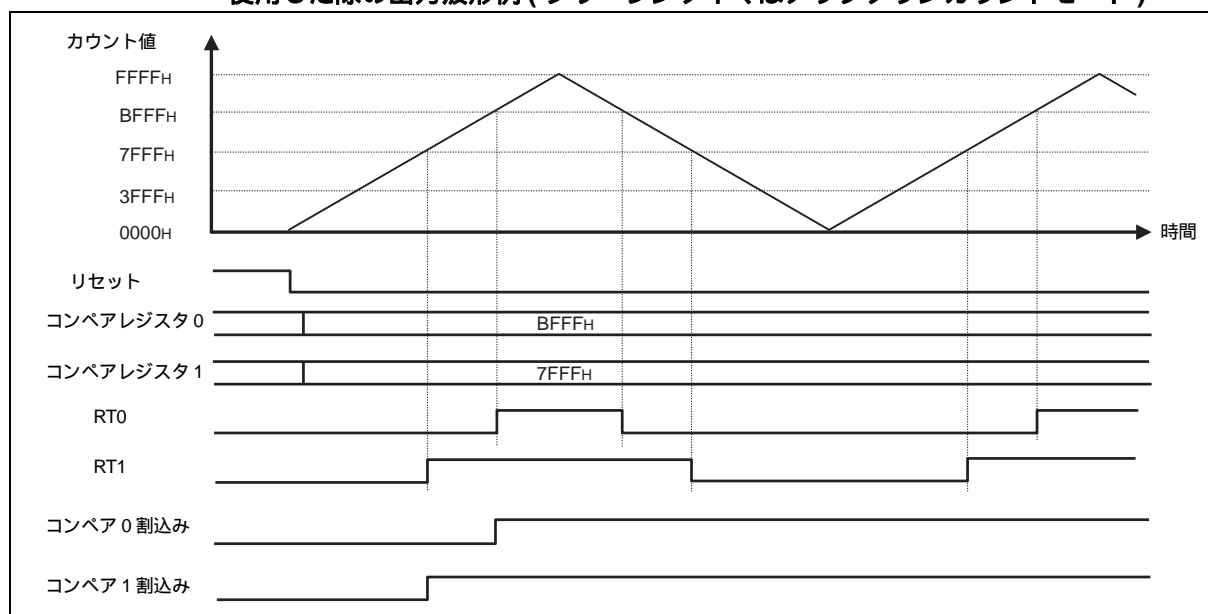


図 12.6-13 出力初期値が "0" のときにコンペアレジスタ 0 とコンペアレジスタ 1 を別々に
使用した際の出力波形例 (フリーランタイマはアップダウンカウントモード)



- 出力レベルは、一対のコンペアレジスタ (コンペア制御レジスタ上位 (OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/OCSH11) の CMOD : bit12=1) を使用して変更することができます。

図 12.6-14 出力初期値が "0" のときにコンペアレジスタ 0 とコンペアレジスタ 1 を一対で使用した際の出力波形例 (フリーランタイムはアップカウントモード)

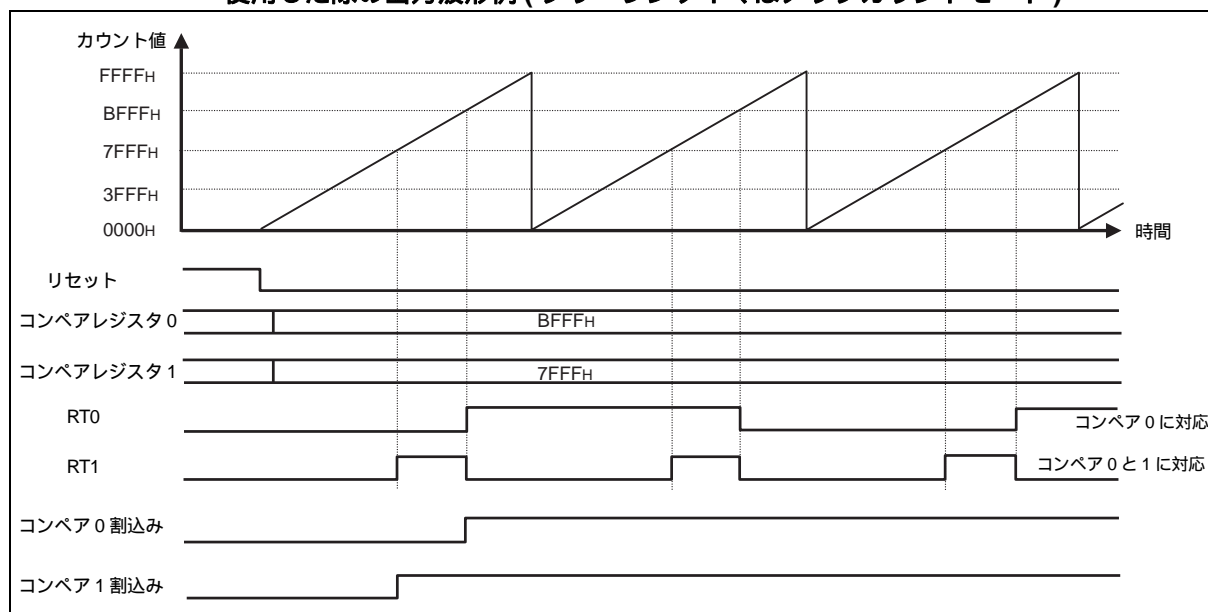
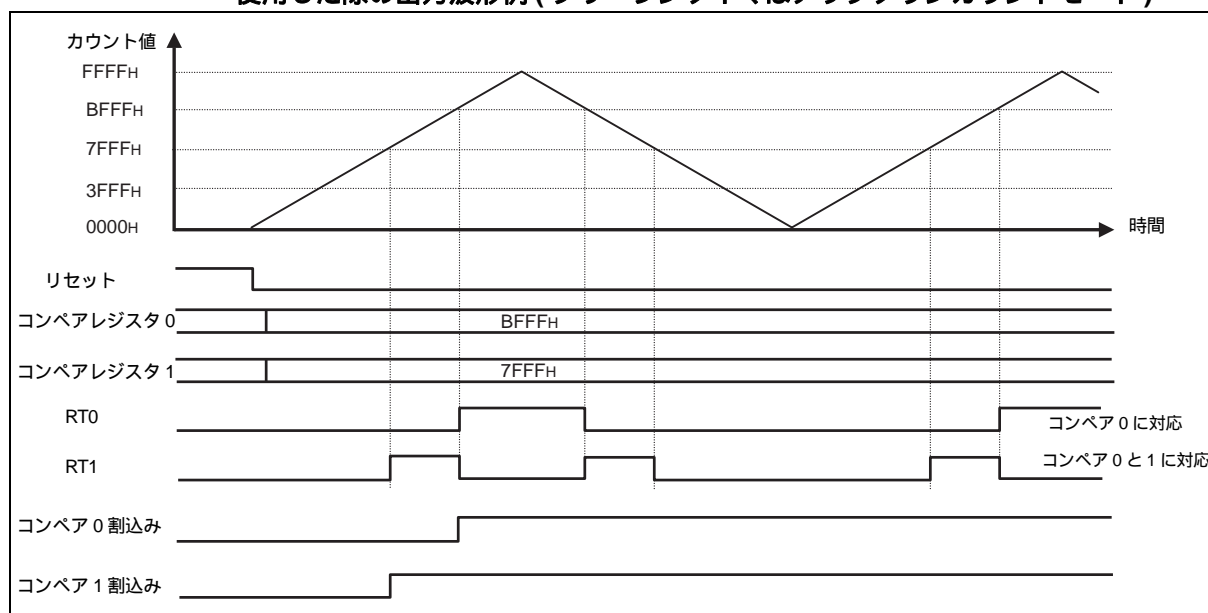
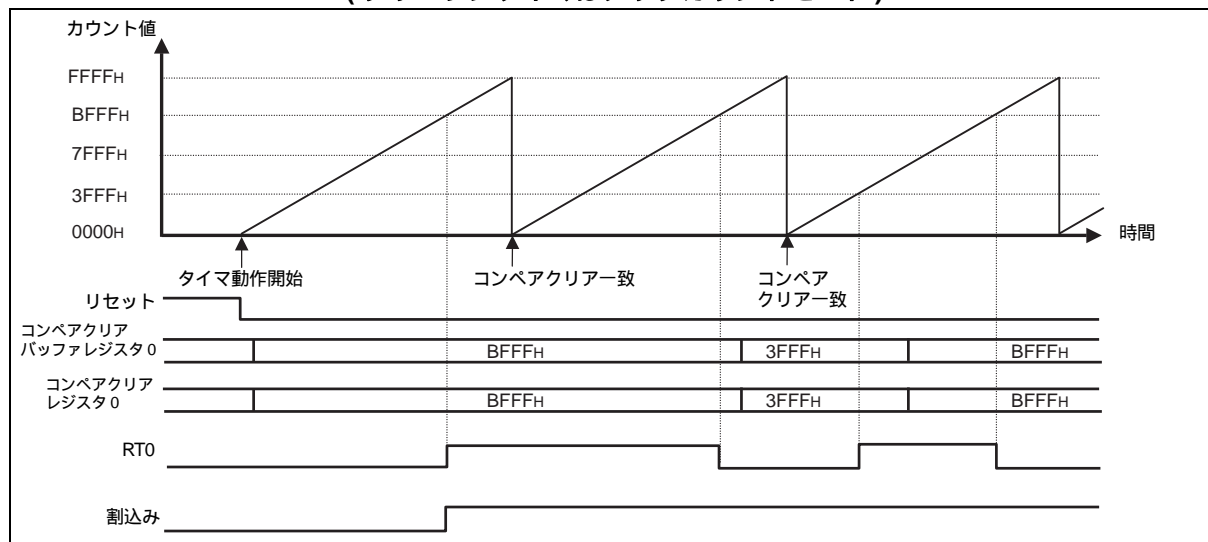


図 12.6-15 出力初期値が "0" のときにコンペアレジスタ 0 とコンペアレジスタ 1 を同時に使用した際の出力波形例 (フリーランタイムはアップダウンカウントモード)



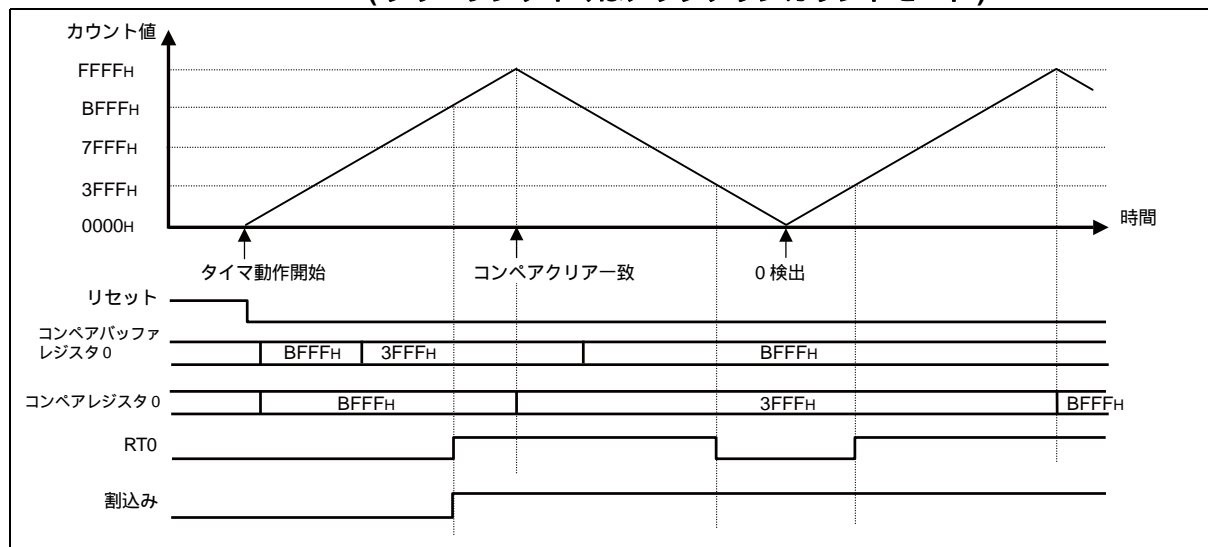
● コンペアバッファが無効になったときの出力レベル

図 12.6-16 コンペアバッファが無効になっているときの出力波形例
(フリーランタイムはアップカウントモード)

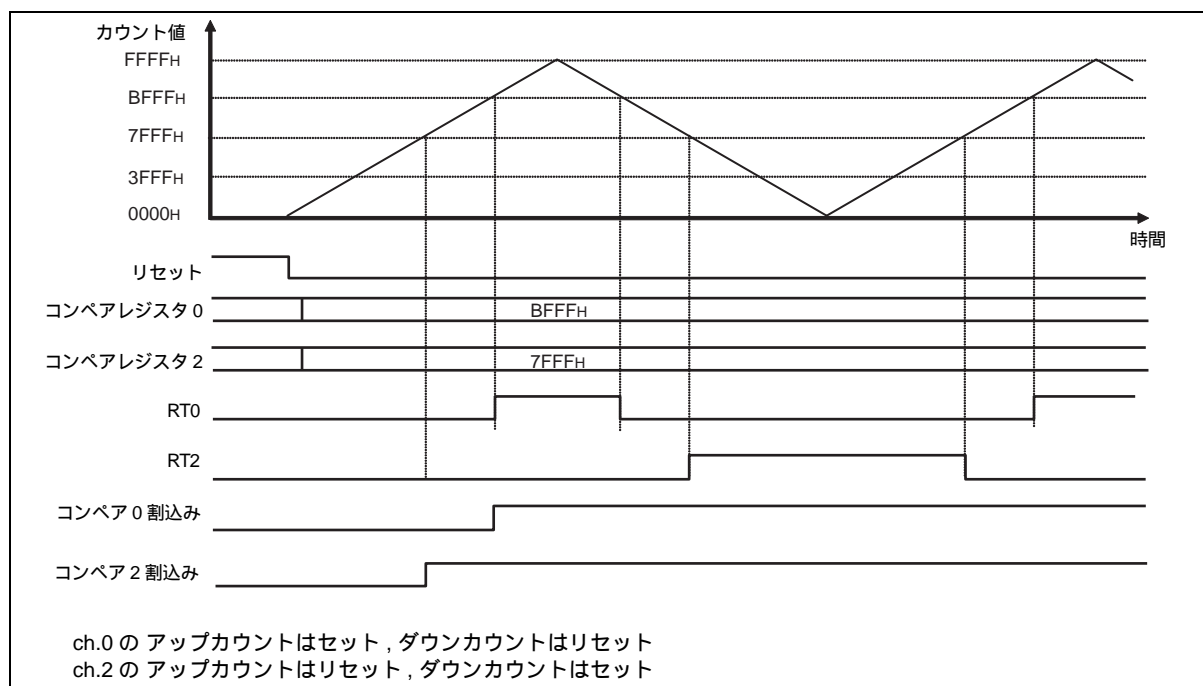
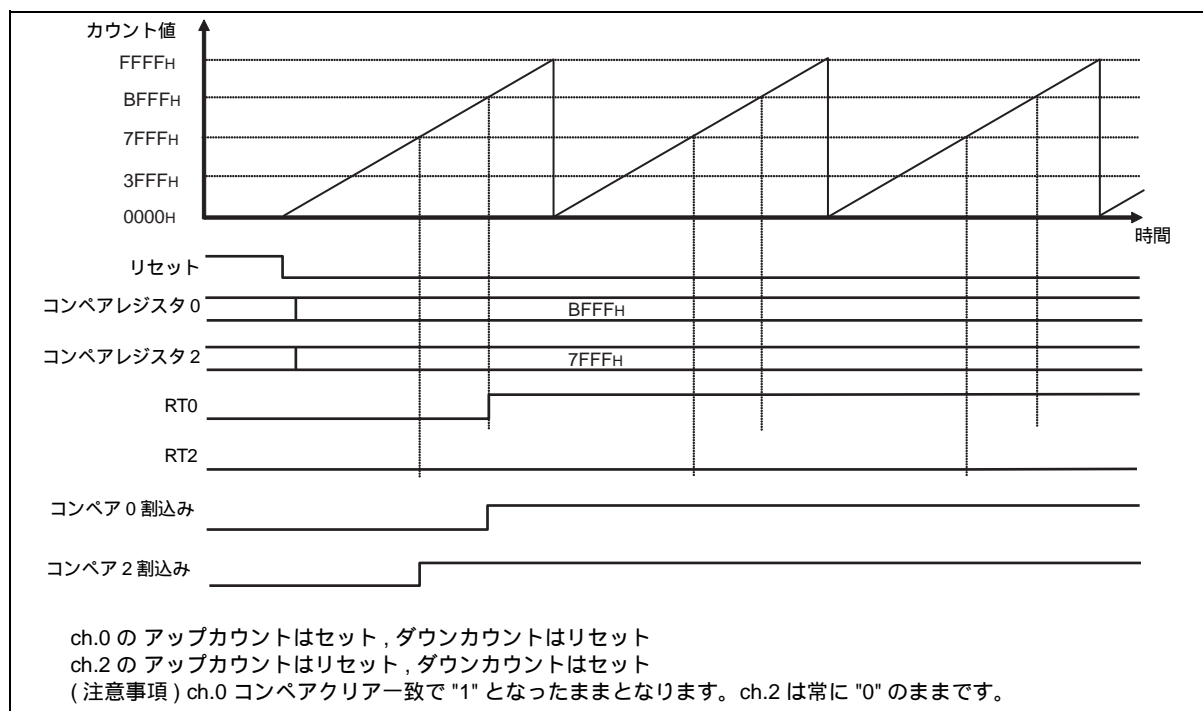


● コンペアクリア一致発生時にコンペアバッファが選択されたときの出力レベル

図 12.6-17 コンペアバッファが有効になったときの出力波形例
(フリーランタイムはアップダウンカウントモード)



■ 16 ビットアウトプットコンペアの動作 (セット/リセットモード, MOD1x=1)



■ 16 ビットアウトプットコンペアタイミング

フリーランタイマがコンペアレジスタ値と一致すると、アウトプットコンペアはコンペア一致信号を生成して出力を反転して割込みを生成します。コンペア一致が発生すると、出力はカウンタのカウントタイミングと同期して反転します。

図 12.6-18 コンペアレジスタ割込みタイミング

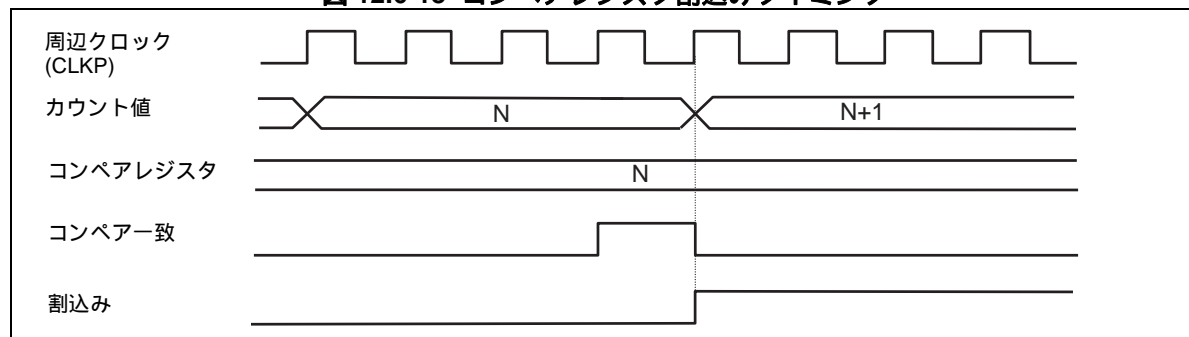
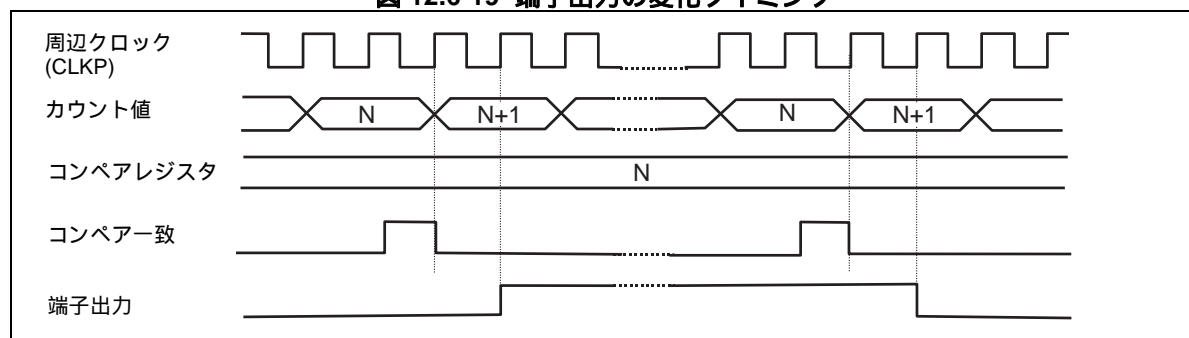
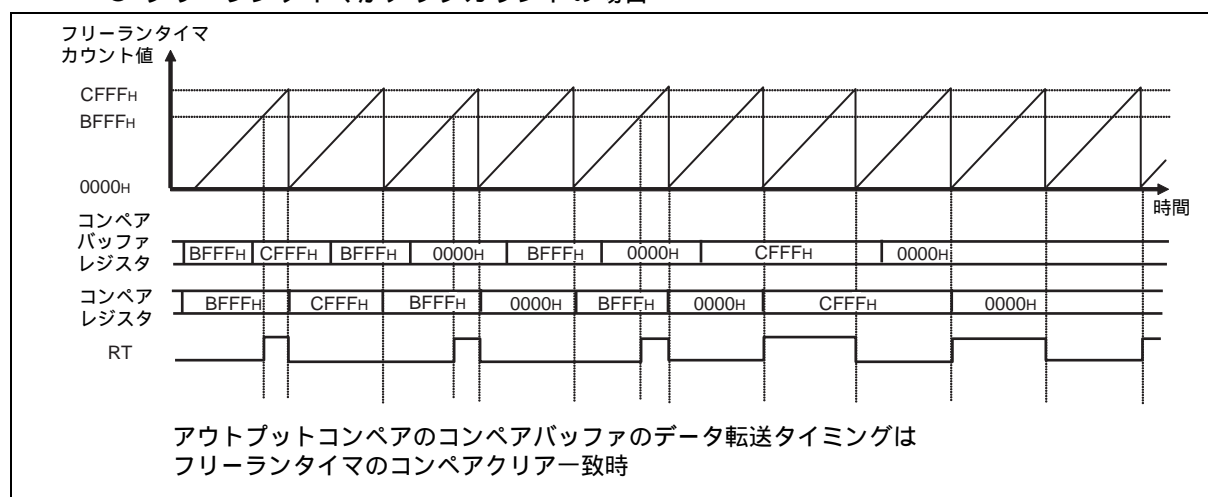


図 12.6-19 端子出力の変化タイミング

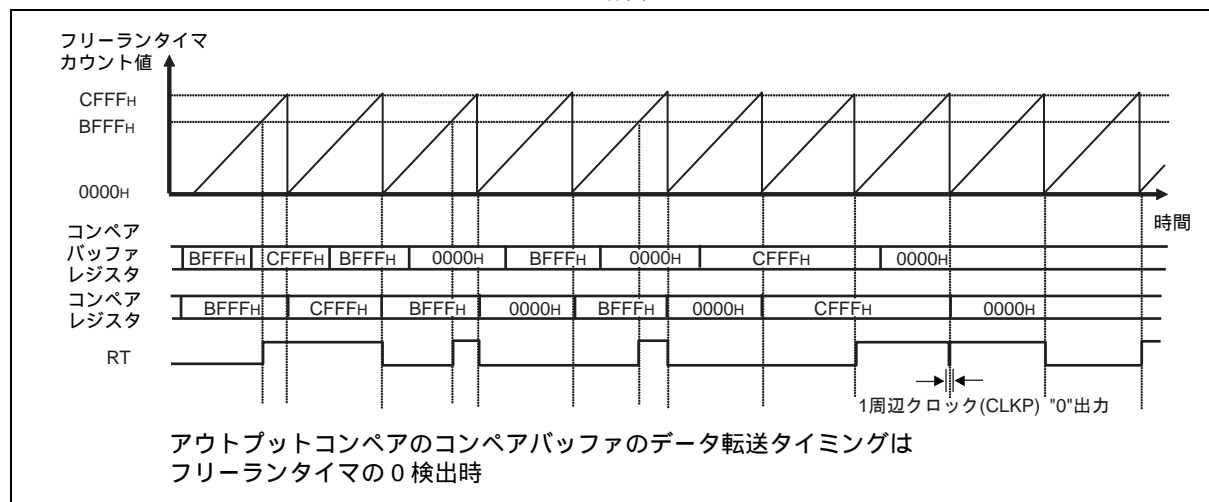


■ 16 ビットアウトプットコンペアとフリーランタイマの動作について

● フリーランタイマがアップカウントの場合



● フリーランタイムがアップカウントの場合

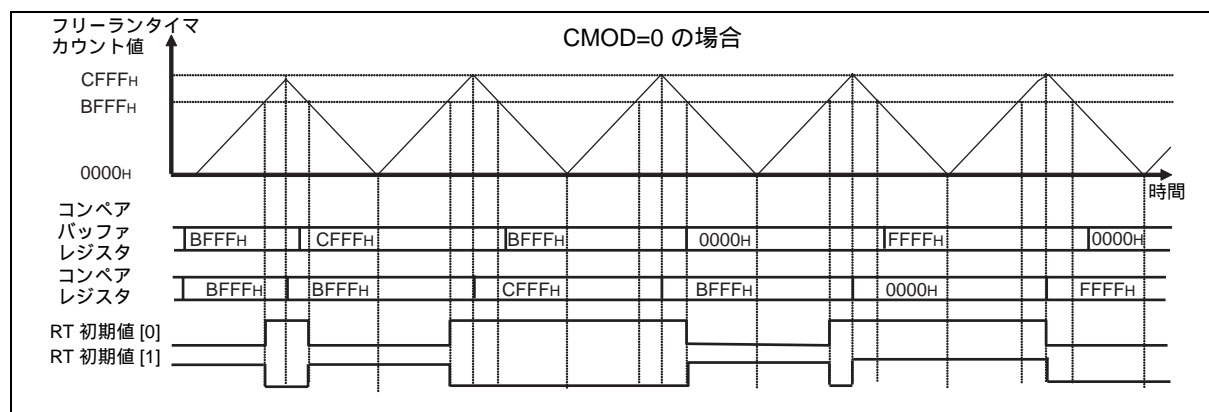


● フリーランタイムがアップダウンカウントの場合

- ・ アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムのコンペアクリア一致時
- ・ アウトプットコンペア出力が一致時, 出力反転モードの場合

< 注意事項 >

- ・ コンペアレジスタ値を "0000_H" に設定したとき, フリーランタイムのカウント値にかかわらず, RT は "1" にセットされます (CMOD = 1 時は "0" にリセット)。
- ・ コンペアレジスタ値を "FFFF_H" に設定したとき, フリーランタイムのカウント値にかかわらず, RT は "0" にリセットされます (CMOD = 1 時は "1" にセット)。
- ・ フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。このとき, コンペアクリアレジスタ値とコンペアレジスタ値をとともに "FFFF_H" に設定した場合, フリーランタイムのカウント値にかかわらず, RT は "0" にリセットされます。

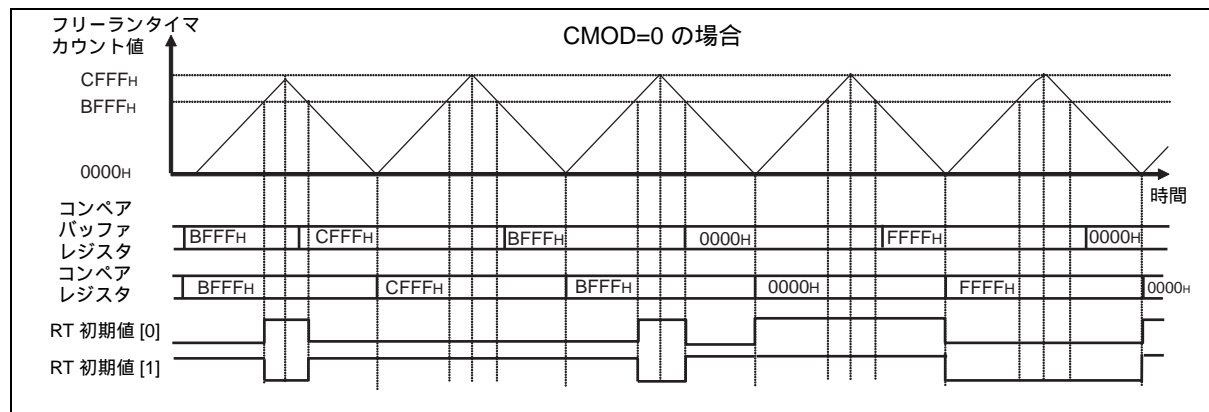


● フリーランタイムがアップダウンカウントの場合

- ・ アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムの 0 検出時
- ・ アウトプットコンペア出力は一致時, 出力反転モードの場合

< 注意事項 >

- ・ コンペアレジスタ値を "0000_H" に設定したとき, フリーランタイムのカウント値にかかわらず, RT は "1" にセットされます (CMOD = 1 時は "0" にリセット)。
- ・ コンペアレジスタ値を "FFFF_H" に設定したとき, フリーランタイムのカウント値にかかわらず, RT は "0" にリセットされます (CMOD = 1 時は "1" にセット)。
- ・ フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合は比較を行いません。このとき, コンペアクリアレジスタ値とコンペアレジスタ値をともに "FFFF_H" に設定した場合, フリーランタイムのカウント値にかかわらず, RT は "0" にリセットされます。

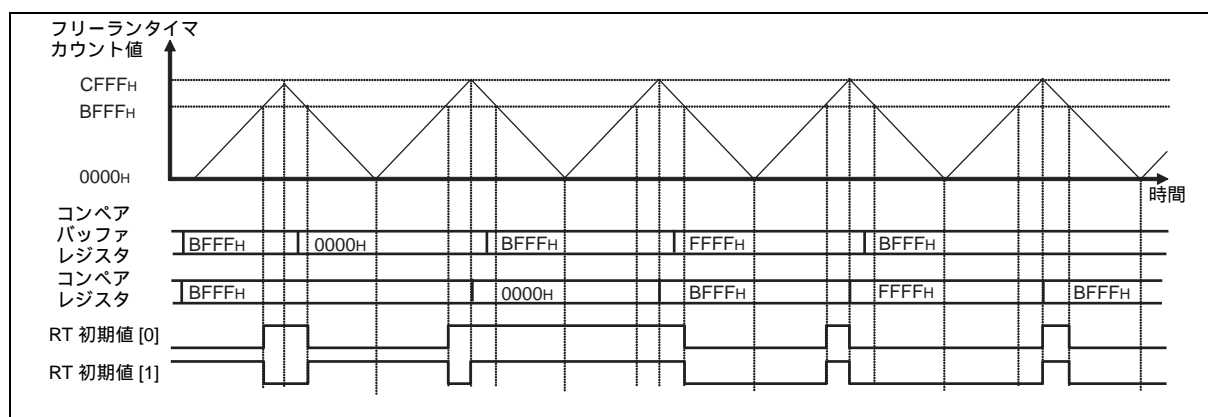
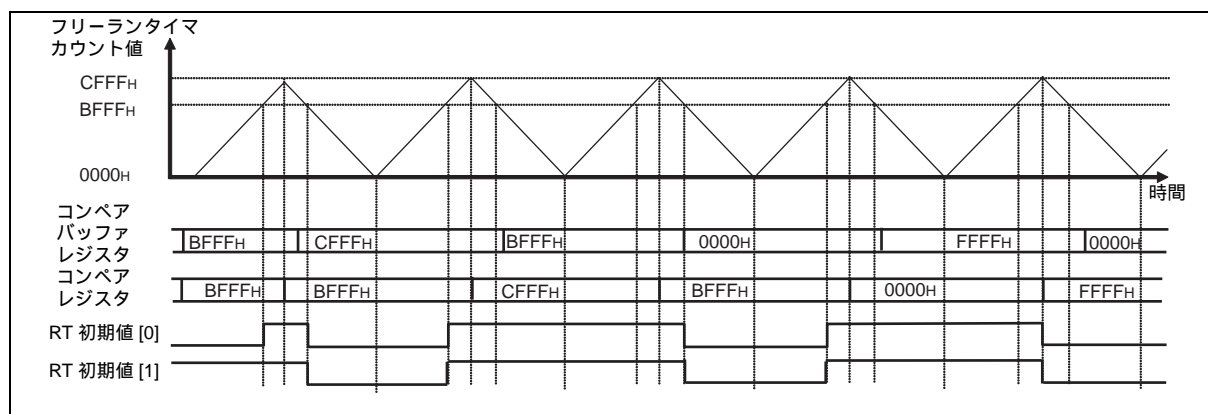


● フリーランタイムがアップダウンカウントの場合

- ・ アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムのコンペアクリア一致時
- ・ アウトプットコンペア出力をアップカウント時の一致では "1" にセット、ダウンカウント時の一致では "0" にリセットする場合 (CMOD=0)

< 注意事項 >

- ・ コンペアレジスタ値を "0000_H" に設定したとき、フリーランタイムのカウンタ値にかかわらず、RT は "1" にセットされます。コンペアレジスタ値を "0000_H" の状態から "0001_H" ~ "FFFE_H" の任意の値に変更した場合、RT は "1" のままです。
- ・ コンペアレジスタ値を "FFFF_H" に設定したとき、フリーランタイムのカウンタ値にかかわらず、RT は "0" にリセットされます。コンペアレジスタ値を "FFFF_H" の状態から "0001_H" ~ "FFFE_H" の任意の値に変更した場合、RT は "1" になります。
- ・ フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合には比較を行いません。このとき、コンペアクリアレジスタ値とコンペアレジスタ値とともに "FFFF_H" に設定した場合、フリーランタイムのカウンタ値にかかわらず、RT は "0" にリセットされます。

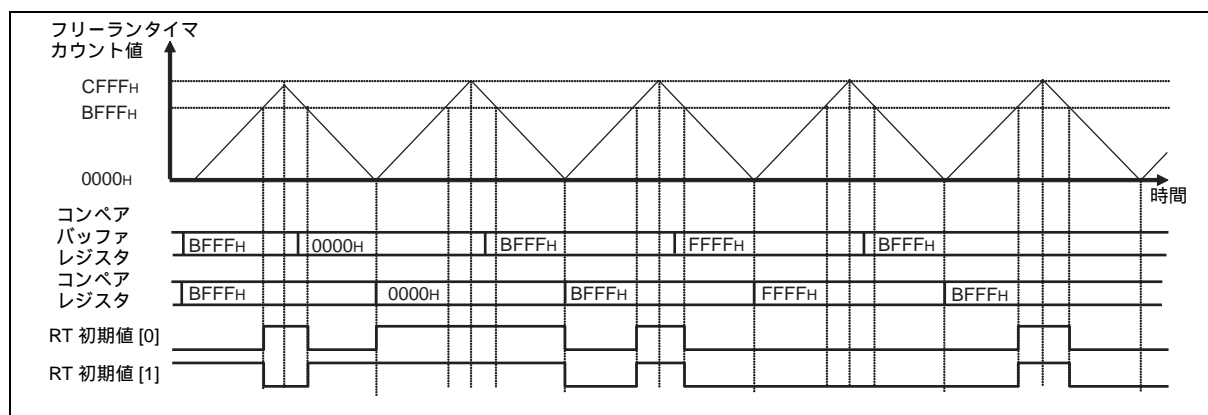
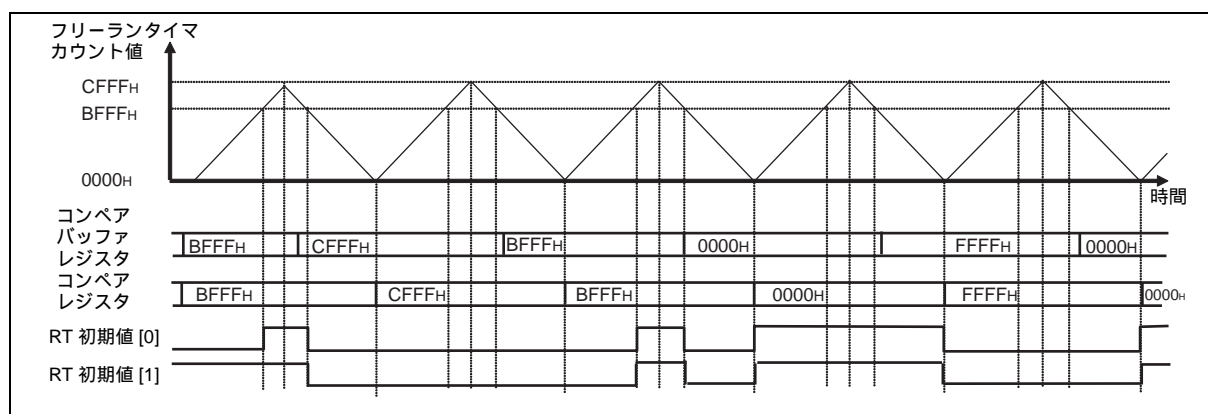


● フリーランタイムがアップダウンカウントの場合

- ・ アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムの 0 検出時
- ・ アウトプットコンペア出力をアップカウント時の一致では "1" にセット、ダウンカウント時の一致では "0" にリセットする場合 (CMOD=0)

< 注意事項 >

- ・ コンペアレジスタ値を "0000_H" に設定したとき、フリーランタイムのカウント値にかかわらず、RT は "1" にセットされます。コンペアレジスタ値を "0000_H" の状態から "0001_H" ~ "FFFE_H" の任意の値に変更した場合、RT は "0" になります。
- ・ コンペアレジスタ値を "FFFF_H" に設定したとき、フリーランタイムのカウント値にかかわらず、RT は "0" にリセットされます。コンペアレジスタ値を "FFFF_H" の状態から "0001_H" ~ "FFFE_H" の任意の値に変更した場合、RT は "0" のままです。
- ・ フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合には比較を行いません。このとき、コンペアクリアレジスタ値とコンペアレジスタ値をともに "FFFF_H" に設定した場合、フリーランタイムのカウント値にかかわらず、RT は "0" にリセットされます。

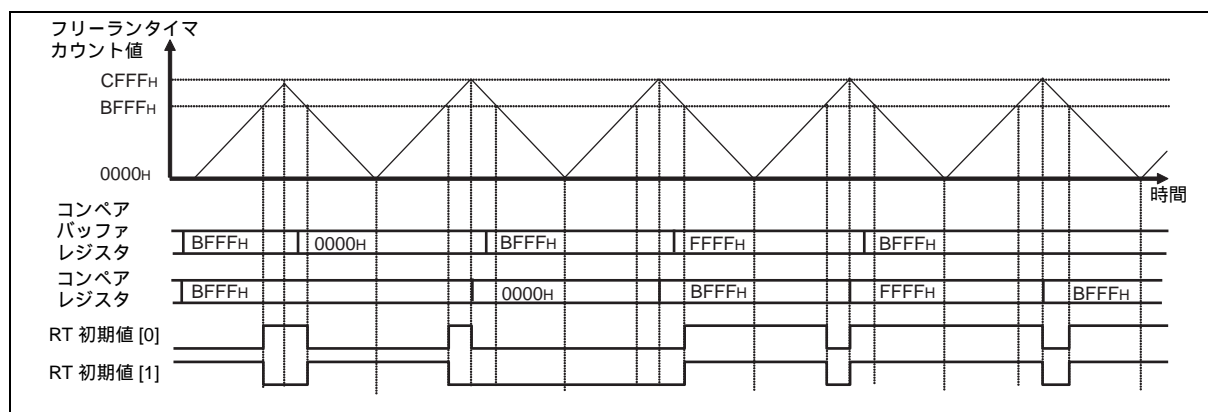
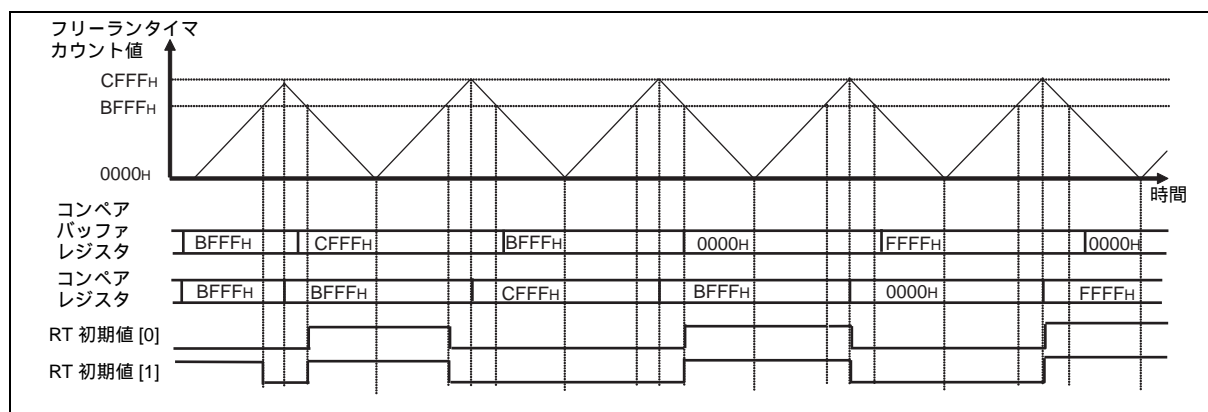


● フリーランタイムがアップダウンカウントの場合

- ・ アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムのコンペアクリア一致時
- ・ アウトプットコンペア出力をアップカウント時の一致では "0" にリセット，ダウンカウント時の一致では "1" にセットする場合 (CMOD=1)

< 注意事項 >

- ・ コンペアレジスタ値を "0000_H" に設定したとき，フリーランタイムのカウント値にかかわらず，RT は "0" にリセットされます。コンペアレジスタ値を "0000_H" の状態から "0001_H" ~ "FFFE_H" の任意の値に変更した場合，RT は "0" のままです。
- ・ コンペアレジスタ値を "FFFF_H" に設定したとき，フリーランタイムのカウント値にかかわらず，RT は "1" にセットされます。コンペアレジスタ値を "FFFF_H" の状態から "0001_H" ~ "FFFE_H" の任意の値に変更した場合，RT は "0" になります。
- ・ フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合には比較を行いません。このとき，コンペアクリアレジスタ値とコンペアレジスタ値をともに "FFFF_H" に設定した場合，フリーランタイムのカウント値にかかわらず，RT は "0" にリセットされます。

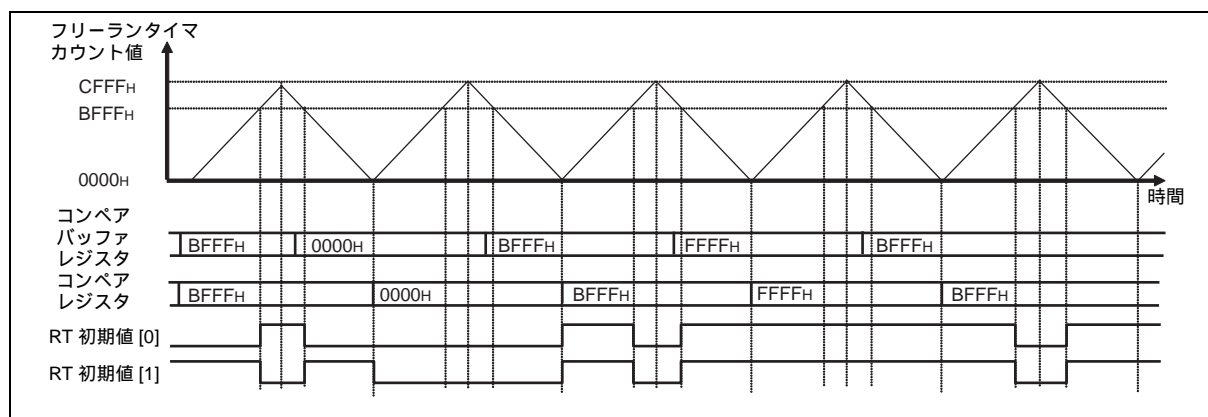
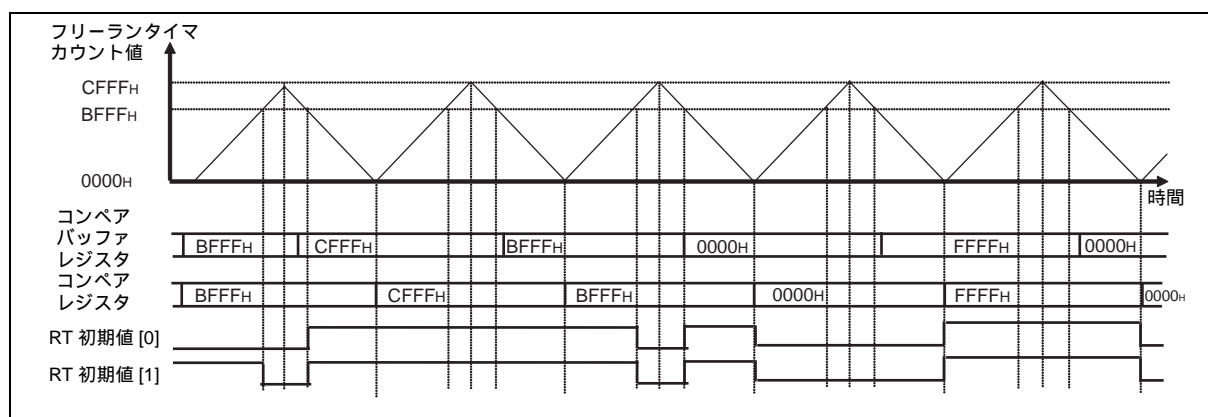


● フリーランタイムがアップダウンカウントの場合

- アウトプットコンペアのコンペアバッファのデータ転送タイミングはフリーランタイムの 0 検出時
- アウトプットコンペア出力をアップカウント時の一致では "0" にリセット，ダウンカウント時の一致では "1" にセットする場合 (CMOD=1)

< 注意事項 >

- コンペアレジスタ値を "0000_H" に設定したとき，フリーランタイムのカウント値にかかわらず，RT は "0" にリセットされます。コンペアレジスタ値を "0000_H" の状態から "0001_H" ~ "FFFE_H" の任意の値に変更した場合，RT は "1" になります。
- コンペアレジスタ値を "FFFF_H" に設定したとき，フリーランタイムのカウント値にかかわらず，RT は "1" にセットされます。コンペアレジスタ値を "FFFF_H" の状態から "0001_H" ~ "FFFE_H" の任意の値に変更した場合，RT は "1" のままです。
- フリーランタイムのコンペアクリアレジスタ値とアウトプットコンペアのコンペアレジスタの値が同じ場合には比較を行いません。このとき，コンペアクリアレジスタ値とコンペアレジスタ値をともに "FFFF_H" に設定した場合，フリーランタイムのカウント値にかかわらず，RT は "0" にリセットされます。

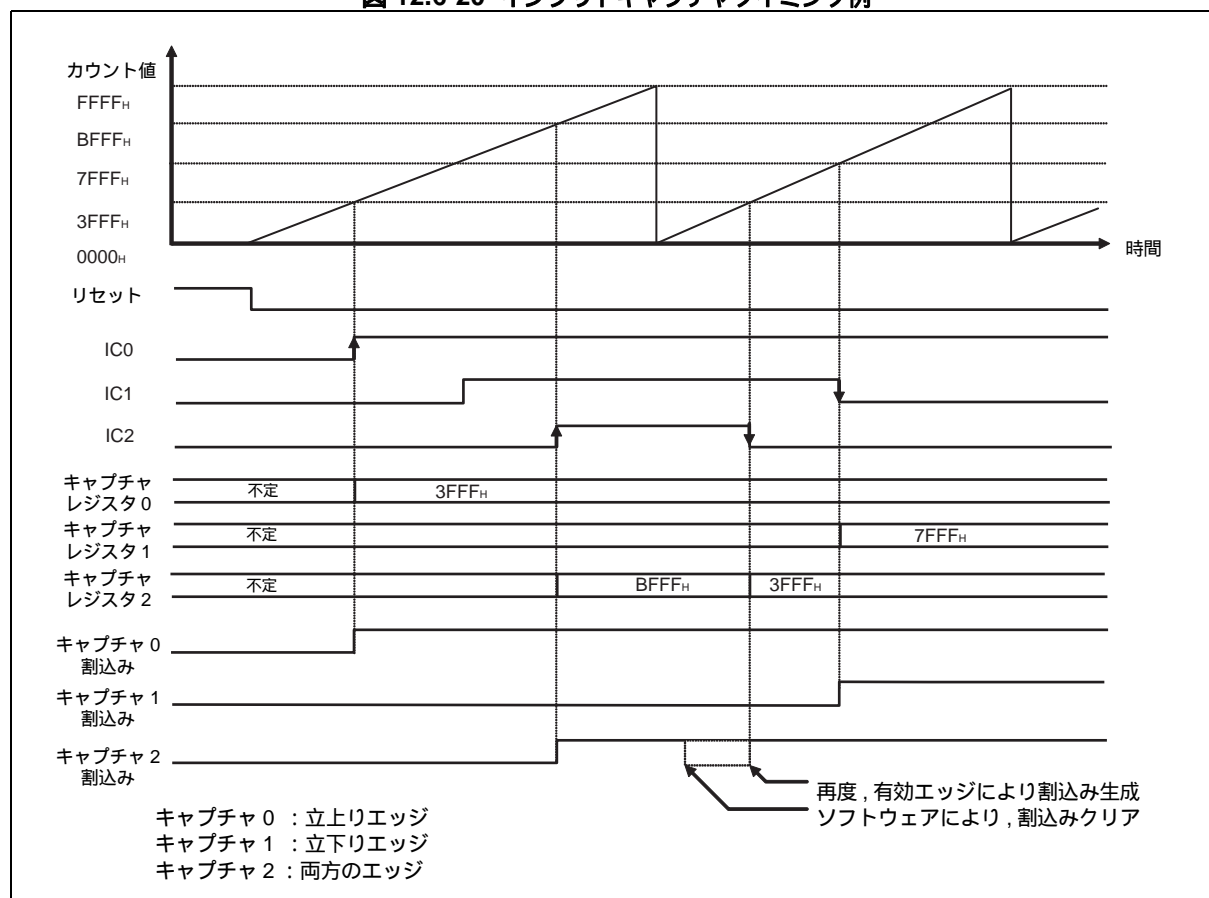


12.6.4 16 ビットインプットキャプチャの動作

インプットキャプチャは、指定された有効なエッジを検出するために使用します。有効なエッジが検出されると割込みフラグが設定され、16 ビットフリーランタイムの値がキャプチャレジスタへロードされます。

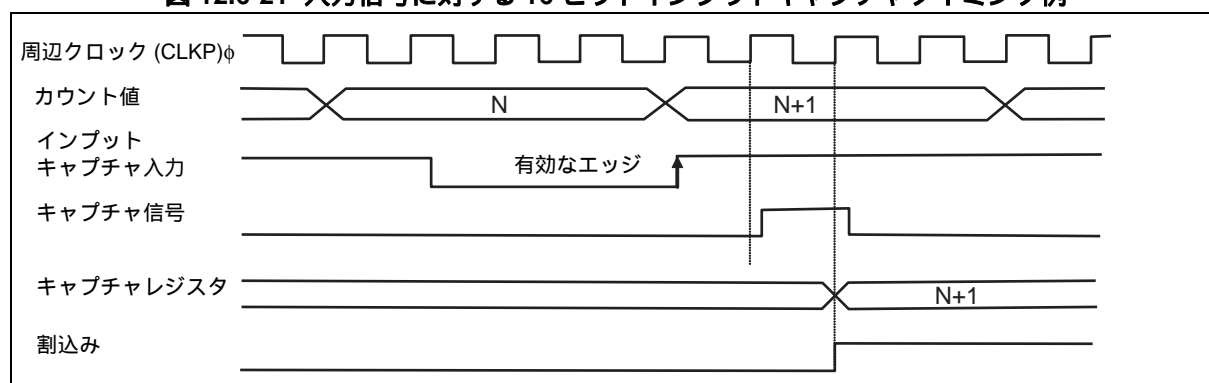
■ 16 ビットインプットキャプチャの動作

図 12.6-20 インプットキャプチャタイミング例



■ 16 ビットインプットキャプチャ入力タイミング

図 12.6-21 入力信号に対する 16 ビットインプットキャプチャタイミング例



12.6.5 波形ジェネレータの動作

波形ジェネレータは、リアルタイム出力 (RTO0 ~ RTO5), 16 ビット PPG タイマ 0/2/4, 16 ビットデッドタイマ 0, 1, 2 を使用して様々な波形 (デッドタイムを含む) を生成することができます。

■ RTO0 ~ RTO5 と GATE の出力状態

表 12.6-5 RTO0 ~ RTO5/GATE 出力状態とビット設定 (1 / 2)

TMD2	TMD1	TMD0	GTENx	PGENx	RTOx	GATE
0	0	0	×	×	リアルタイム出力 RTx (16 ビットアウトプットコンペア出力)	常に "0"
0	0	1	×	0	リアルタイム出力 RTx (16 ビットアウトプットコンペア出力)	(RTx および GTENx) *3
0	0	1	0	1	RTx が "H" の期間に PPG0/PPG2/PPG4 のパルス を出力 *1	常に "0"
0	0	1	1	1	RTx が "H" の期間に GATE 信号により起動され た PPG0/PPG2/PPG4 のパルスを出力	(RTO0/RT1/ RT2/RT3/ RT4/RT5)
0	1	0	×	0	RT0, RT1 の立上りエッジにより 16 ビットデッ ドタイマ 0 を起動し, 16 ビットデッドタイマ 0 がアンダフローするまで "H" を出力	タイマ動作 期間中は "H" を出力 *4
			×		RT2, RT3 の立上りエッジにより 16 ビットデッ ドタイマ 1 を起動し, 16 ビットデッドタイマ 1 がアンダフローするまで "H" を出力	
			×		RT4, RT5 の立上りエッジにより 16 ビットデッ ドタイマ 2 を起動し, 16 ビットデッドタイマ 2 がアンダフローするまで "H" を出力	
0	1	0	0	1	RT0, RT1 の立上りエッジにより 16 ビットデッ ドタイマ 0 を起動し, 16 ビットデッドタイマ 0 がアンダフローするまで PPG0/PPG2/PPG4 のパ ルスを出力 *1	常に "0"
			0		RT2, RT3 の立上りエッジにより 16 ビットデッ ドタイマ 1 を起動し, 16 ビットデッドタイマ 1 がアンダフローするまで PPG0/PPG2/PPG4 のパ ルスを出力 *1	
			0		RT4, RT5 の立上りエッジにより 16 ビットデッ ドタイマ 2 を起動し, 16 ビットデッドタイマ 2 がアンダフローするまで PPG0/PPG2/PPG4 のパ ルスを出力 *1	

表 12.6-5 RTO0 ~ RTO5/GATE 出力状態とビット設定 (2 / 2)

TMD2	TMD1	TMD0	GTENx	PGENx	RTOx	GATE
0	1	0	1	1	RT0, RT1 の立上りエッジにより 16 ビットデッドタイム 0 を起動し, 16 ビットデッドタイム 0 がアンダフローするまで, GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	タイマ動作期間中は "H" を出力 ^{*4}
			1		RT2, RT3 の立上りエッジにより 16 ビットデッドタイム 1 を起動し, 16 ビットデッドタイム 1 がアンダフローするまで, GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	
			1		RT4, RT5 の立上りエッジにより 16 ビットデッドタイム 2 を起動し, 16 ビットデッドタイム 2 がアンダフローするまで, GATE 信号により起動された PPG0/PPG2/PPG4 のパルスを出力	
1	0	0	×	×	RT1 でノンオーバーラップ信号を生成 ^{*2}	常に "0"
			×		RT3 でノンオーバーラップ信号を生成 ^{*2}	
			×		RT5 でノンオーバーラップ信号を生成 ^{*2}	
1	1	1	0	×	設定禁止	-
1	1	1	1	×	設定禁止	-
その他					常に "0"	常に "0"

*1 : あらかじめ使用するチャネルを PPG0/PPG2/PPG4 のうちから選択し, PPG を起動しておく必要があります。

*2 : ノンオーバーラップ信号を生成するには, 必ず RT1, RT3, RT5 に対して 2 チャネルモード (コンペア制御レジスタ上位 (OCSH1, OCSH3, OCSH5) の CMOD : bit12=1) を選択してください。

*3 : GTENx ビットに "1" を設定した RTx から GATE 信号が生成されます。

*4 : GTENx ビットに "1" を設定した RTx によって起動されるタイマの動作期間中に, GATE 信号が生成されます。複数の GATEx ビットに "1" を設定した場合, GATE 信号は各々のタイマ動作期間中の信号を OR した信号となります。

< 注意事項 >

RTO0, RTO1 は, 16 ビットデッドタイム状態制御レジスタ上位 (DTCR0) の TMD2 ~ TMD0 : bit10 ~ bit8 により, RTO2, RTO3 は (DTCR1) 下位レジスタの TMD5 ~ TMD3 : bit2 ~ bit0 により, RTO4, RTO5 は上位レジスタ (DTCR2) の TMD8 ~ TMD6 : bit10 ~ bit8 により制御されます。

■ PPG 出力制御

RTO0 ~ RTO5 端子への PPG 出力は, PPG 出力制御 / インプットキャプチャ状態制御レジスタ上位 (PICSH01) の PGEN5 ~ PGEN0:bit15 ~ bit10 で許可にすることができます。

■ ゲートトリガされた PPG 出力

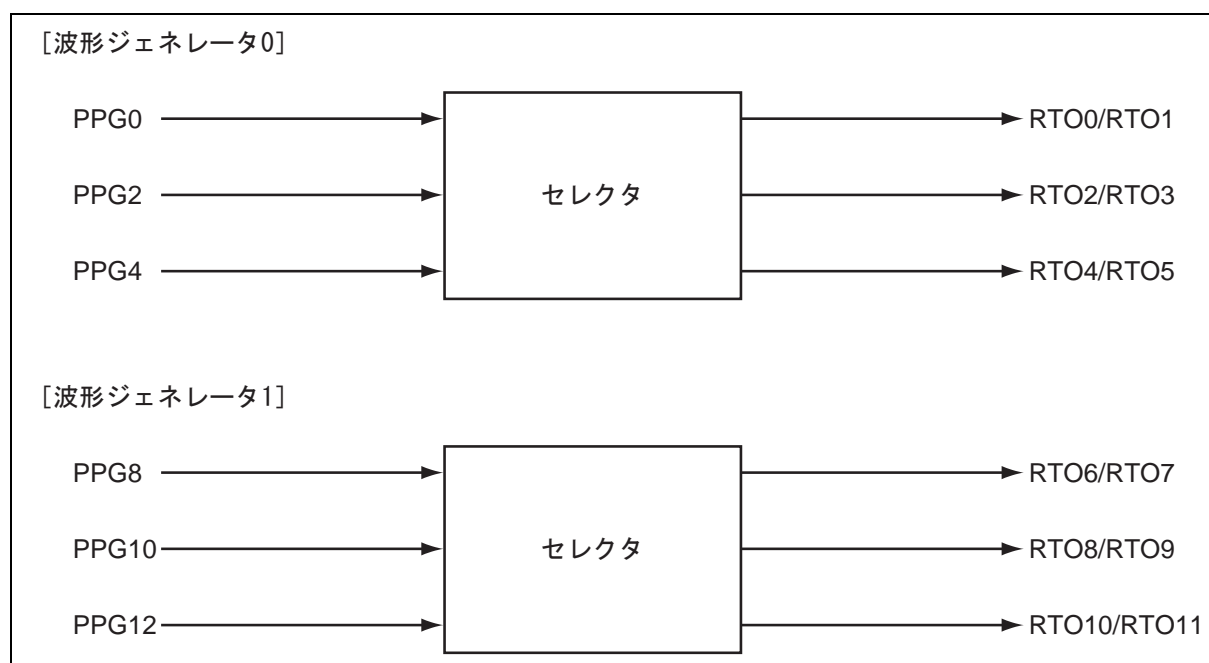
波形ジェネレータではリアルタイム出力 RTO0 ~ RTO5 により, GATE 信号を生成することができ, 16 ビットデッドタイム 0, 1, 2 では PPG カウントをトリガとして動作することができます。1つの16ビットデッドタイム0, 1, 2で2つのリアルタイム出力 (RTO0/RTO2/RTO4, RTO1/RTO3/RTO5) が操作され, 6つの別々のゲート信号が生成されます。これら 6 つのゲート信号は論理和がとられて GATE 信号を生成し, PPG カウントのトリガとなります。また, PGEN0 ~ PGEN5 信号を使用すると, PPG のみを使用することで RTO0 ~ RTO5 端子に 6 つの異なる波形を出力することができます。

< 注意事項 >

一例として波形ジェネレータ 0 を例にしています。波形ジェネレータ 1 の場合, 選択可能な PPG チャネルは以下の図に示したとおりです。

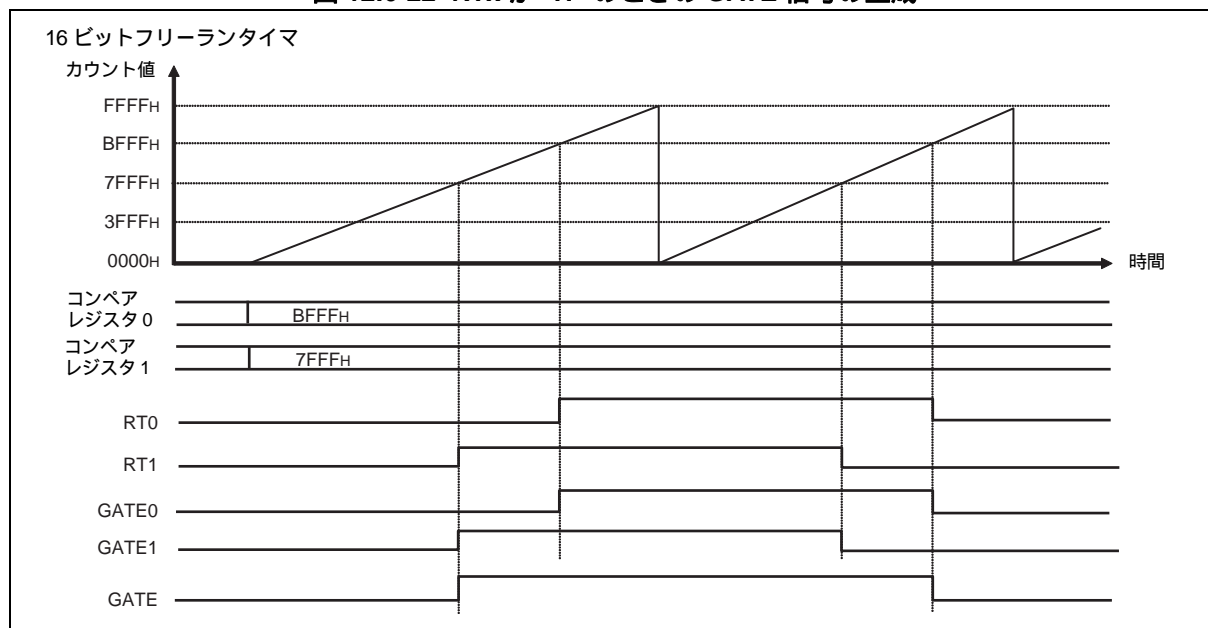
MB91470 シリーズには, 波形ジェネレータ 0 のみ存在します。

MB91480 シリーズには, 波形ジェネレータ 0/1 が存在します。



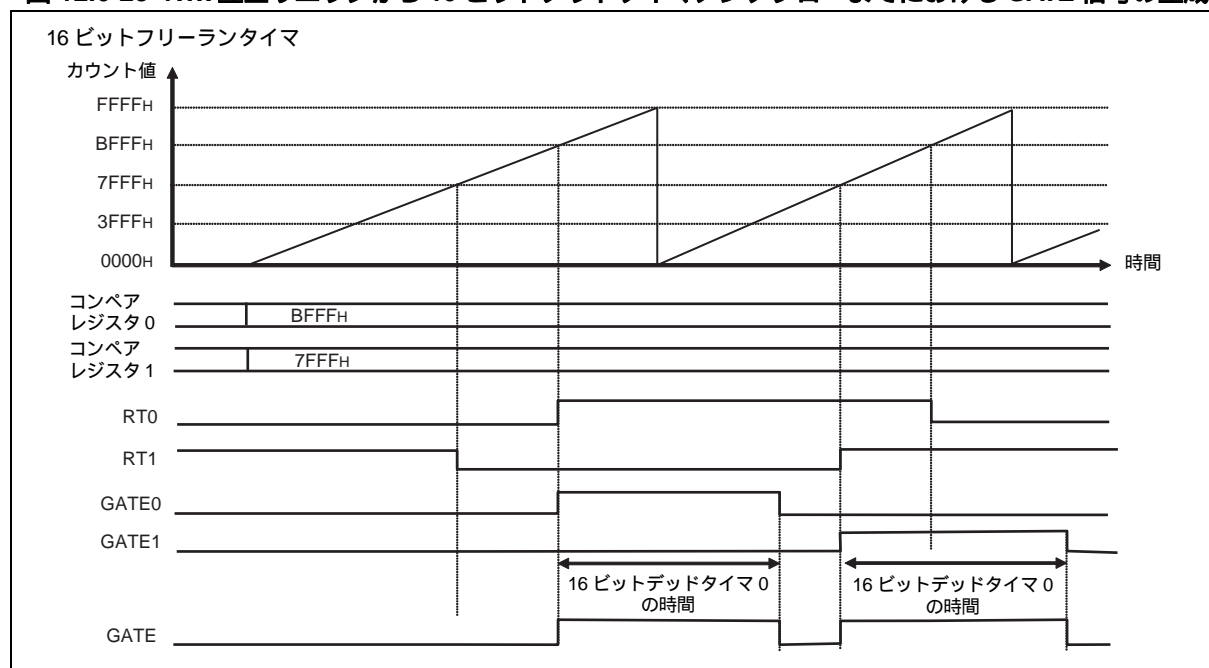
- GATEx がアクティブであり、各 RTx が "H" であるとき (16 ビットデッドタイム状態制御レジスタ (DTCR0, DTCR1, DTCR2) の TMD8 ~ TMD0 (上位は bit10 ~ bit8, 下位は bit2 ~ bit0) が "001_B" または "111_B") の GATE 信号生成

図 12.6-22 RTx が "H" のときの GATE 信号の生成



- GTENx がアクティブ (DTCR0, DTCR1, DTCR2 レジスタの TMD8 ~ TMD0=010_B) であるとき
の RTx 立上りエッジから 16 ビットデッドタイム 0, 1, 2 アンダフローまでにおける
GATE 信号の生成

図 12.6-23 RTx 立上りエッジから 16 ビットデッドタイムアンダフローまでにおける GATE 信号の生成



< 注意事項 >

各 16 ビットデッドタイムは、2 つの RT に対して使用されます。すなわち、16 ビットデッドタイム 0 は RT0 と RT1 に対して使用され、16 ビットデッドタイム 1 は RT2 と RT3 に対して使用され、16 ビットデッドタイム 2 は RT4 と RT5 に対して使用されます。したがって、RT を使用して、既に動作中のタイマの起動はしないでください。起動を行った場合、GATE 信号出力が拡張され、その結果、誤動作が発生する場合があります。

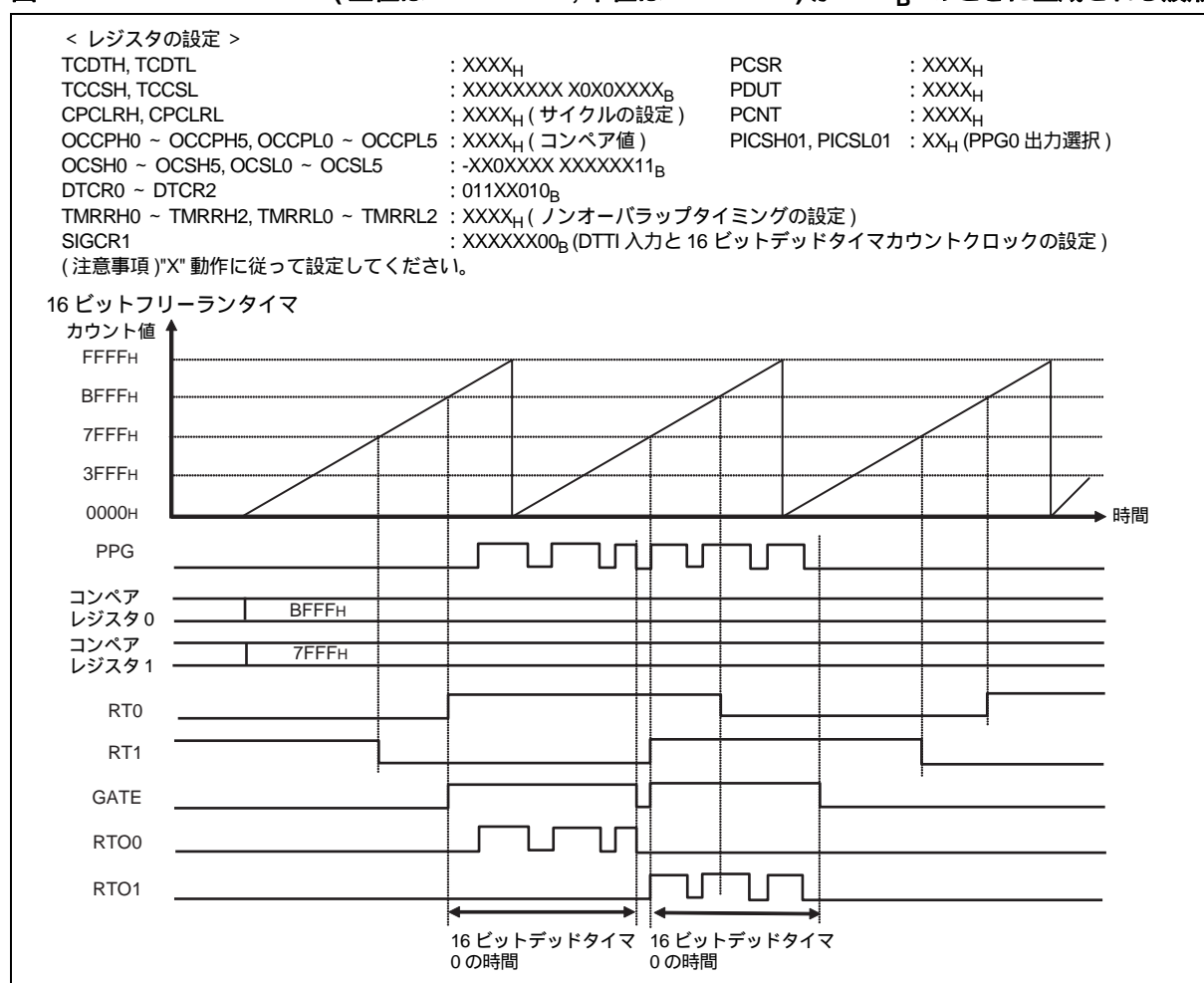
12.6.5.1 タイマモードの動作

RT0 ~ RT5 端子の立上りエッジが検出されると, 16 ビットデッドタイマに値がリロードされて, 16 ビットデッドタイマがダウンカウントを開始します。PPG タイマは, 16 ビットデッドタイマでアンダフローが発生するまで RTO0 ~ RTO5 端子へ出力し続けます。

■ タイマモードの動作

- RT 立上りエッジから 16 ビットデッドタイマアンダフローまでにおける PPG 出力パルス生成 (DTCR0, DTCR1, DTCR2 レジスタの TMD8 ~ TMD0 (上位は bit10 ~ bit8, 下位は bit2 ~ bit0) = 010_B)

図 12.6-24 TMD2 ~ TMD0 (上位は bit10 ~ bit8, 下位は bit2 ~ bit0) が "010_B" のときに生成される波形



< 注意事項 >

各 16 ビットデッドタイムは、2 つの RT に対して使用されます。すなわち、16 ビットデッドタイム 0 は RT0 と RT1 に対して使用され、16 ビットデッドタイム 1 は RT2 と RT3 に対して使用され、16 ビットデッドタイム 2 は RT4 と RT5 に対して使用されます。したがって、RT を使用して、既に動作中の PPG の起動はしないでください。起動を行った場合、GATE 信号出力が拡張され、その結果、誤動作が発生する場合があります。

12.6.5.2 デッドタイムタイマモード時の動作

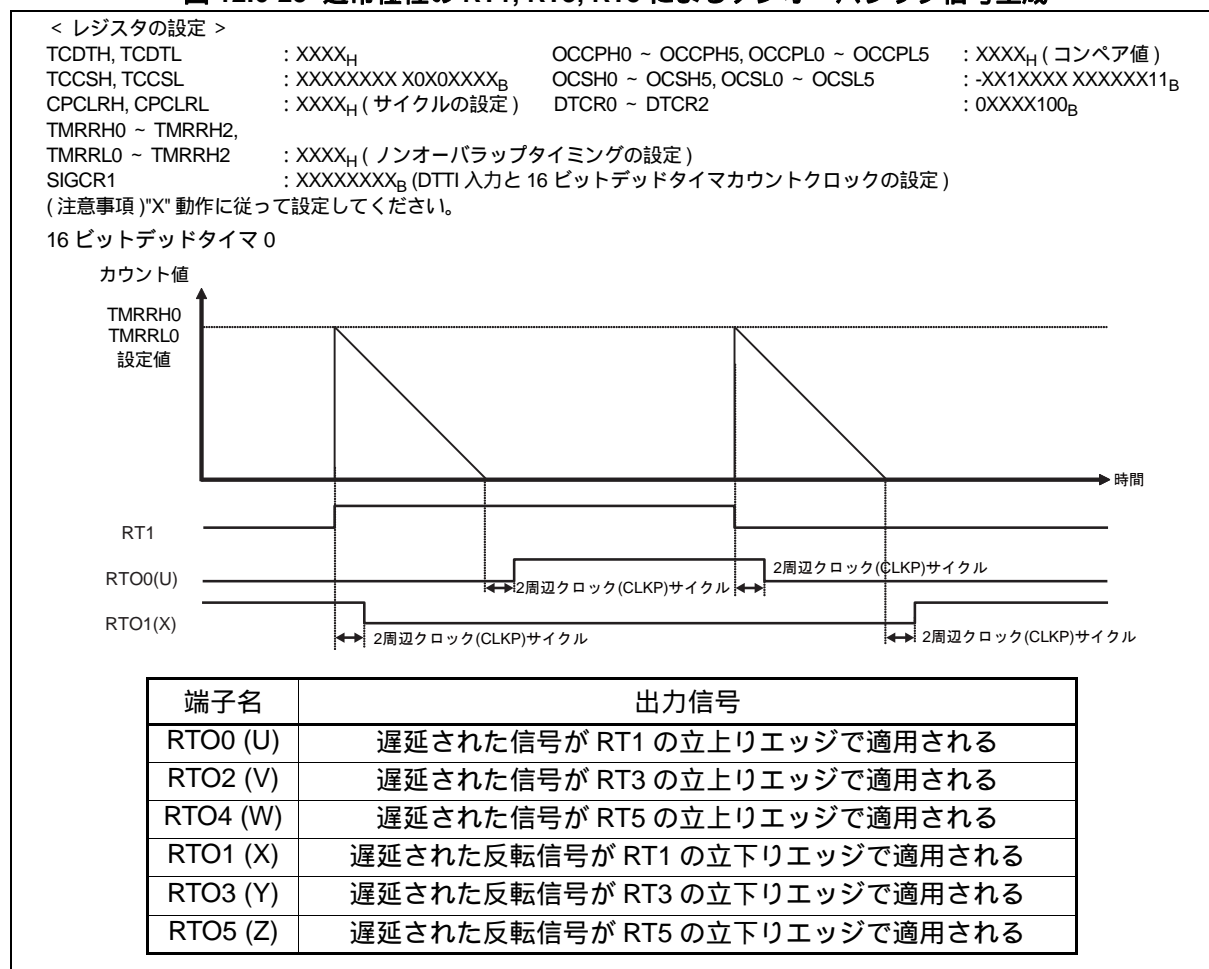
デッドタイムジェネレータは、リアルタイム出力 (RT1, RT3, RT5) を入力し、外部端子 (RTO0 ~ RTO5) へノンオーバーラップ信号 (反転信号) を出力します。

■ デッドタイムタイマモード時の動作

- 通常極性の RT1, RT3, RT5 によるノンオーバーラップ信号生成 (16 ビットデッドタイム制御レジスタ (DTCR0, DTCR1, DTCR2) の TMD8 ~ TMD0 (上位は bit10 ~ bit8, 下位は bit2 ~ bit0) = 100_B)

DTCR0, DTCR1, DTCR2 レジスタの DMOD2 ~ DMOD0 が "0" (通常極性) であるノンオーバーラップ信号を選択すると、16 ビットデッドタイムレジスタ (TMRRH0 ~ TMRRH2, TMRRL0 ~ TMRRL2) に設定されているノンオーバーラップ時間に相当する遅延が適用されます。この遅延は RT1, RT3, RT5 端子の立上りエッジまたは立下りエッジで適用されます。

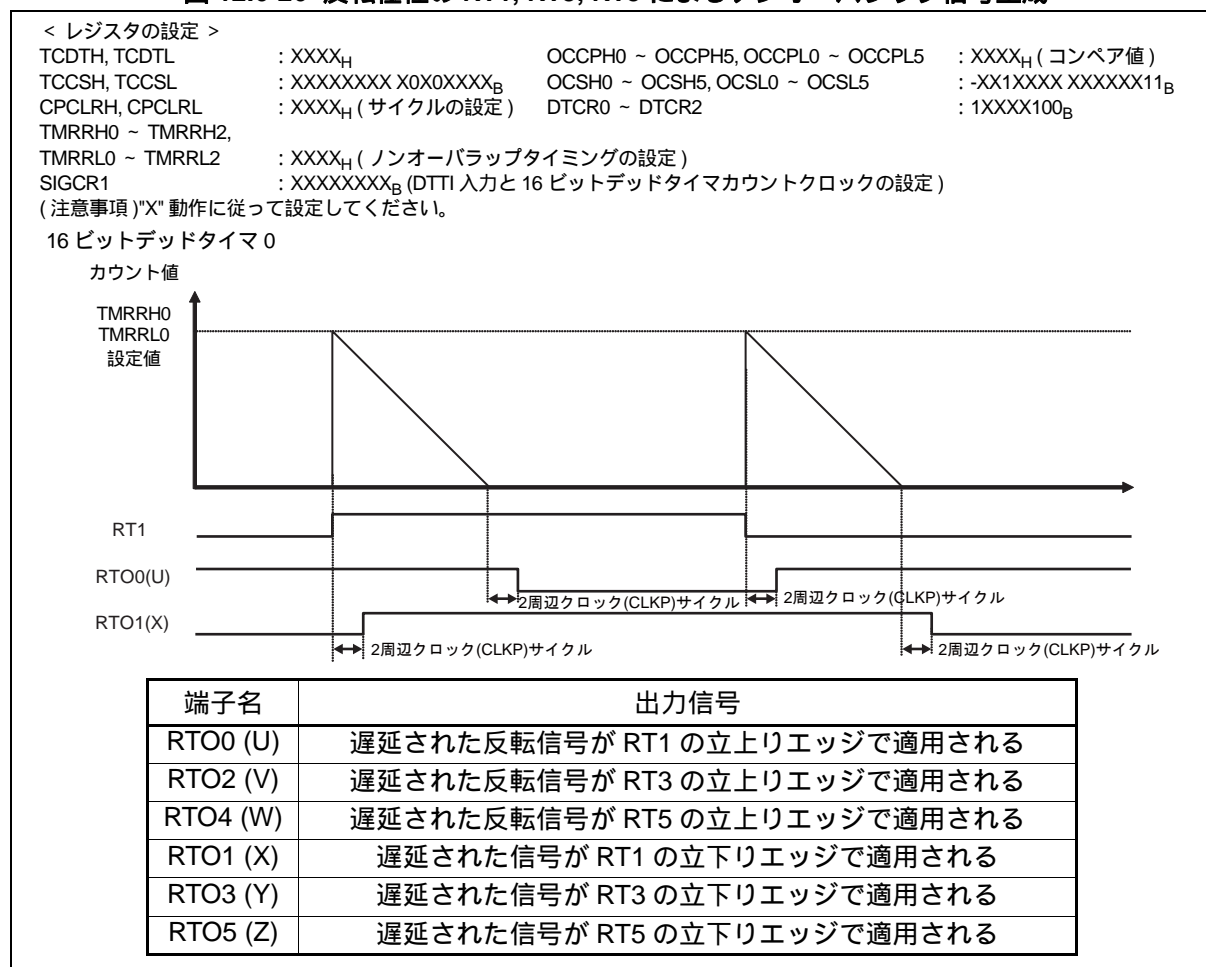
図 12.6-25 通常極性の RT1, RT3, RT5 によるノンオーバーラップ信号生成



- 反転極性の RT1, RT3, RT5 によるノンオーバーラップ信号生成 (16 ビットデッドタイム制御レジスタ (DTCR0, DTCR1, DTCR2) の TMD8 ~ TMD0 (上位は bit10 ~ bit8, 下位は bit2 ~ bit0) = 100_B)

DTCR0, DTCR1, DTCR2 レジスタの DMOD2 ~ DMOD0 (上位は bit15, 下位は bit7) が "1" (反転極性) であるノンオーバーラップ信号を選択すると, 16 ビットデッドタイムレジスタ (TMRRH0 ~ TMRRH2, TMRRL0 ~ TMRRL2) に設定されているノンオーバーラップ時間に相当する遅延が適用されます。この遅延は, RT1, RT3, RT5 の立上りエッジまたは立下りエッジで適用されます。

図 12.6-26 反転極性の RT1, RT3, RT5 によるノンオーバーラップ信号生成

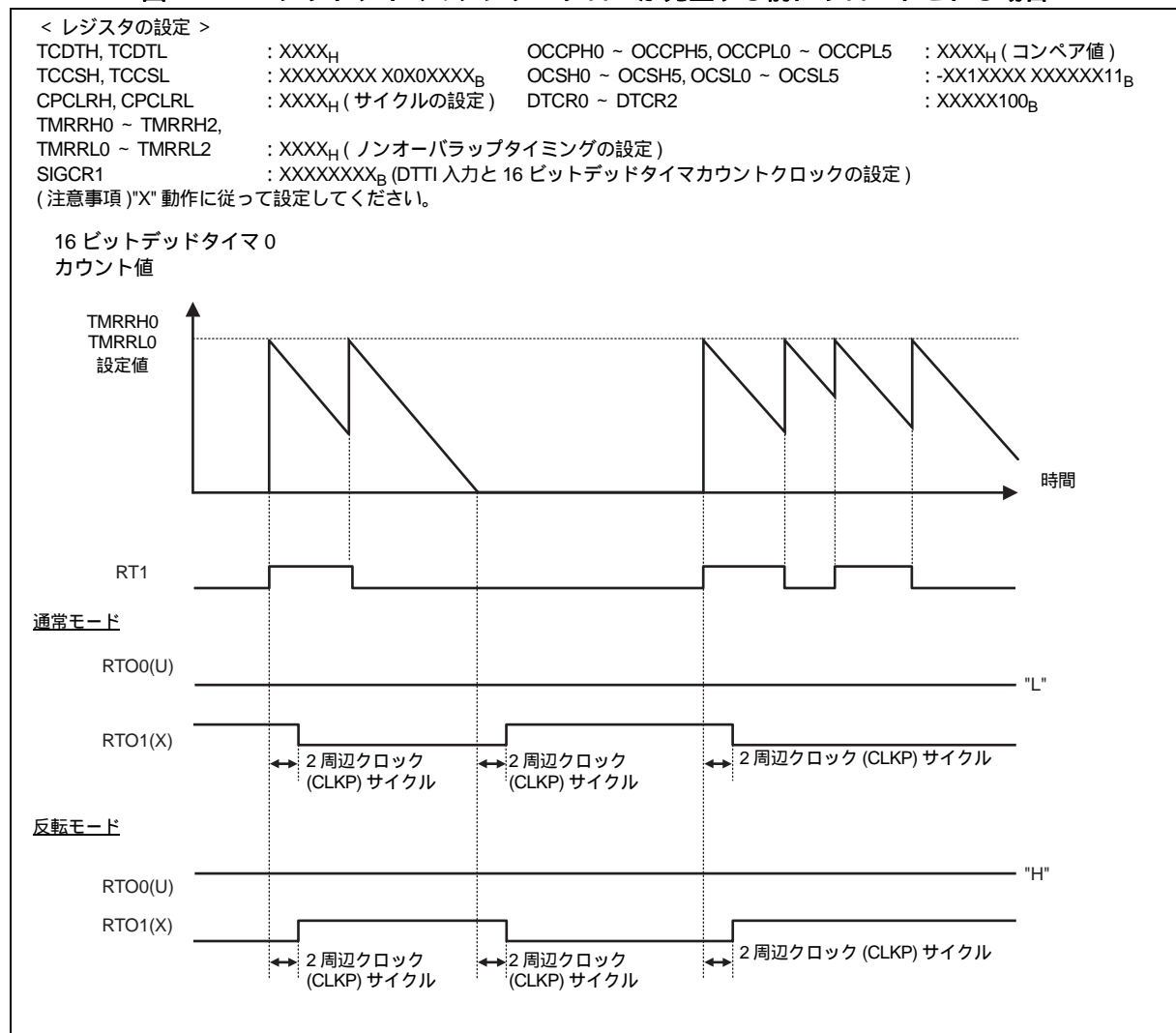


■ デッドタイムタイマモードの使用上の注意

設定されているノンオーバーラップ時間よりも RT1, RT3, RT5 パルス幅が小さい場合は, 16 ビットデッドタイマはその次の RT エッジにて TMRRH0 ~ TMRRH2, TMRRL0 ~ TMRRL2 値をリロードし, ダウンカウントを再開します。

コンペア出力変化時間が小さく, デッドタイマのアンダフローが発生する前にリロードされ続けると通常モードの場合は X および U が "L" 固定となり, 反転モードの場合は X および U が "H" 固定で出力されます。このため, 16 ビットデッドタイマレジスタ (TMRRH0 ~ TMRRH2, TMRRL0 ~ TMRRL2) はリロードされ続けるような設定にしないでください。

図 12.6-27 デッドタイマのアンダフローが発生する前にリロードされる場合



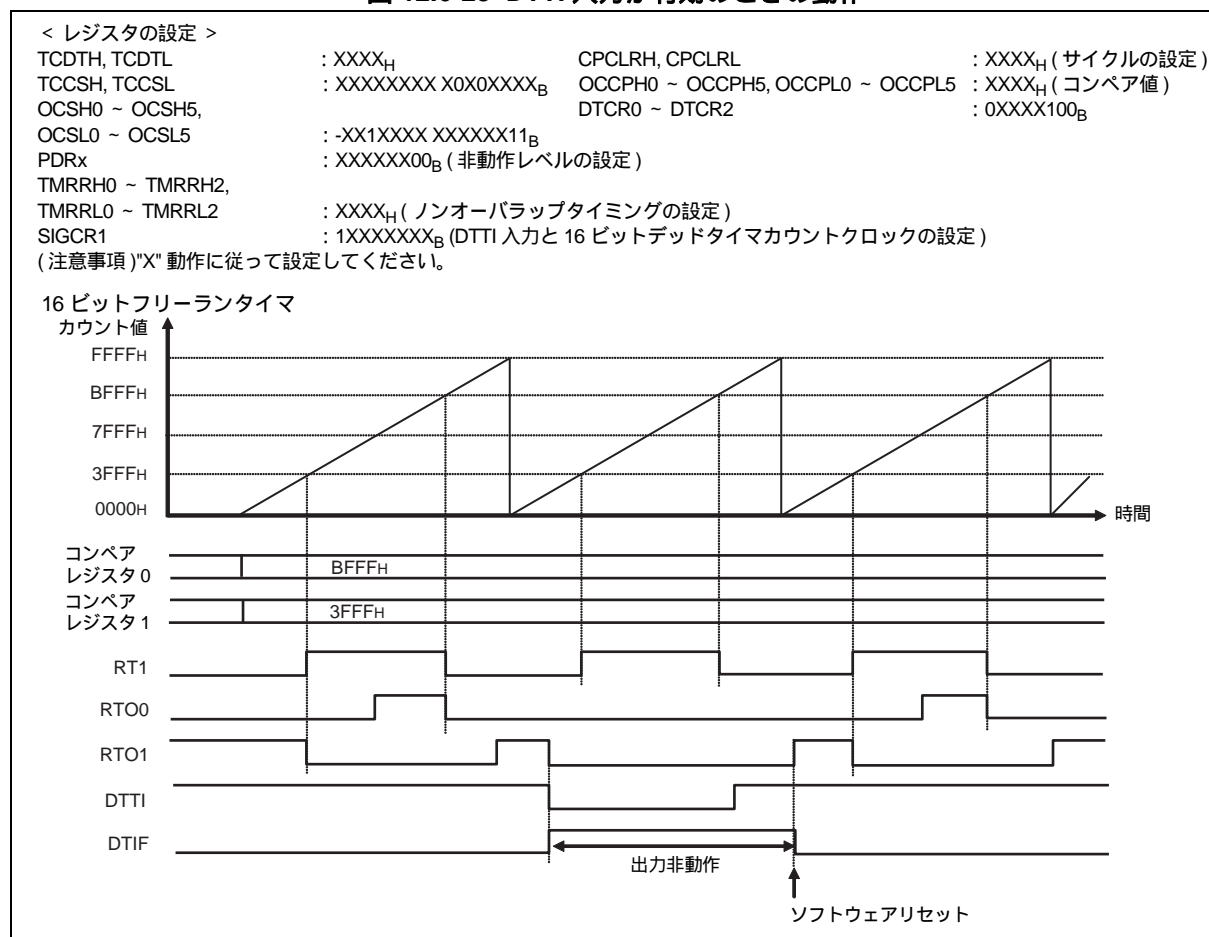
12.6.5.3 DTTI 端子制御の動作

波形制御レジスタ 1 (SIGCR1) の DTIE : bit7 に "1" を設定すると, RTO0 ~ RTO5 出力を DTTI 端子で制御することができます。DTTI 端子の "L" レベルが検出されると, RTO0 ~ RTO5 出力は, 割込みフラグ (SIGCR1 レジスタの DTIF ; bit6) がクリアされるまで非動作レベルに固定されます。RTO0 ~ RTO5 の非動作レベルは, これらの端子を共用しているポートデータレジスタ (PDR) を使ってソフトウェア的に設定することができます。また, データディレクションレジスタ (DDR) を使って入力ポートにすると Hi-Z 出力となります。

■ DTTI 端子入力 of 動作

DTTI 端子入力の "L" が検出された場合でも, タイマは波形ジェネレータが動作している間は動作を継続しますが, 波形は外部端子 RTO0 ~ RTO5 へは出力されません。

図 12.6-28 DTTI 入力 that 有効 of ときの動作



■ 波形制御レジスタ 2 (SIGCR2) の DTTI の動作

波形制御レジスタ 2 の DTTI : bit0 の出力は、DTTI 端子入力と OR をとって DTTI 入力となるようになっています。したがって、本レジスタを "0" にセットすると常に DTTI 入力状態となり、DTTI 端子の入力は無意味です。

本レジスタに、"1" を書き込んでクリアすると、DTTI 端子入力の値が用いられます。

■ DTTI 端子ノイズキャンセル機能

波形制御レジスタ 1 (SIGCR1) の NRSL : bit5 に "1" を設定すると、DTTI 端子入力のノイズキャンセル機能が有効になります。ノイズキャンセル機能が有効になると、出力端子 (RTO0 ~ RTO5) を非動作レベルに固定するために要する時間が 4, 8, 16 または 32 周辺クロック (CLKP) サイクル (SIGCR1 レジスタの NWS1, NWS0 : bit1, bit0 で選択) だけ遅延します。ノイズキャンセル回路はリソースを使用するので、発振が停止するモード (停止モードなど) 時において DTTI 入力が有効になった場合でも入力は無効になります。

■ DTTI 割込み

DTTI の "L" レベルが検出されると、ノイズキャンセル時間が経過した後で DTTI 割込みフラグ (SIGCR1 レジスタの DTIF : bit6) に "1" が設定され、割込み要求は割込みコントローラへ送信されます。

図 12.6-29 DTTI 割込みタイミング



< 注意事項 >

- 波形制御レジスタ 1 (SIGCR1) の DTIF: bit6=1 の時、PFRQ/PFRS の設定は無効となり、常に汎用ポートとなります。詳細は「5.2.5 多機能タイマ兼用 I/O ポート」を参照して下さい。
- ノイズキャンセル時間内に SIGCR1 レジスタの NWS1, NWS0 ビットの値が変化した場合、さらに大きな (NWS1, NWS0) ノイズサイクル値が有効になります。
- SIGCR1 レジスタの DTIF : bit6 は、ソフトウェアでのみクリアすることができます。

12.6.6 A/D 起動コンペアの動作

16 ビットフリーランタイムの値が指示値となったときに、A/D 起動を行うことができます。

■ A/D 起動

3 ユニットある A/D コンバータの起動ができます。

■ A/D コンペア起動許可

コンペアレジスタに値をセットし、コンペア許可レジスタ (ADTGCE) の CE00, CE01, CE10, CE11, CE20, CE21 : bit0, bit1/bit2, bit3/bit4, bit5 に "00_B" 以外をセットした場合、フリーランタイムとコンペアレジスタ値が一致したときに、A/D に対して起動信号を発生します。

CE00, CE01, CE10, CE11, CE20, CE21 を "00_B" にセットすると、フリーランタイムとコンペアレジスタ値が一致しても、A/D に対して起動信号を発生しません。

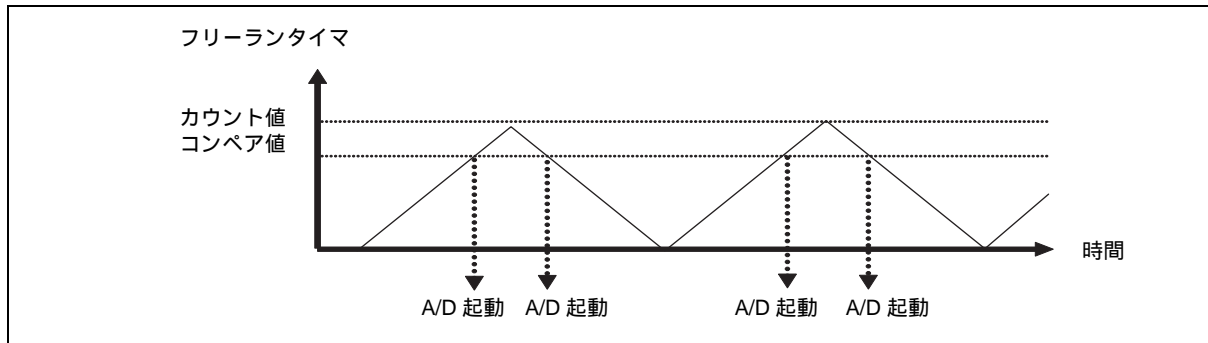
■ フリーランタイム入力選択設定

A/D 起動コンペア許可制御に加え、コンペア許可レジスタ (ADTGCE) により各 A/D 起動コンペアに対してフリーランタイム入力を独立して選択可能です。

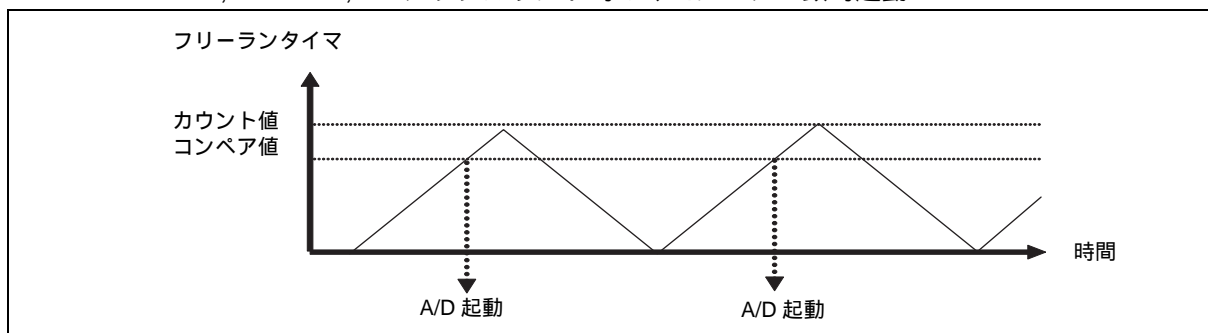
■ A/D コンペア起動モード

ADTGSEL レジスタの SEL ビットにより, A/D 起動モードを設定できます。

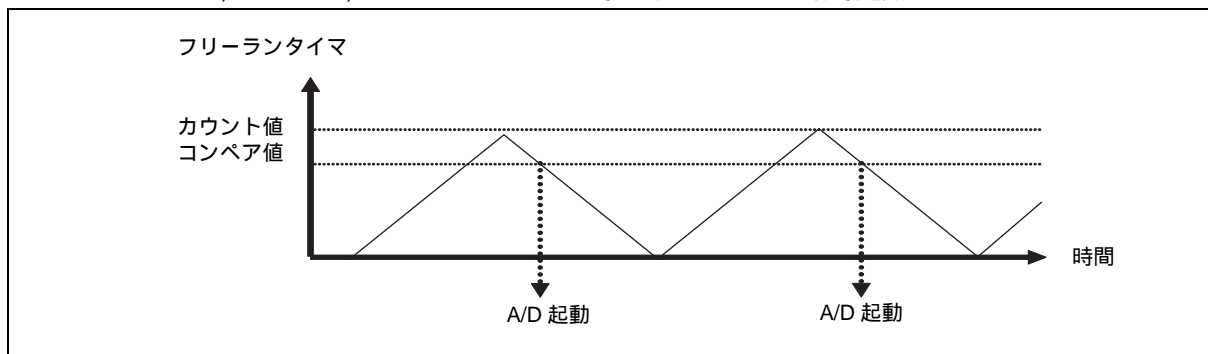
● SELn1, SELn0=0, 0 : コンペア一致時起動



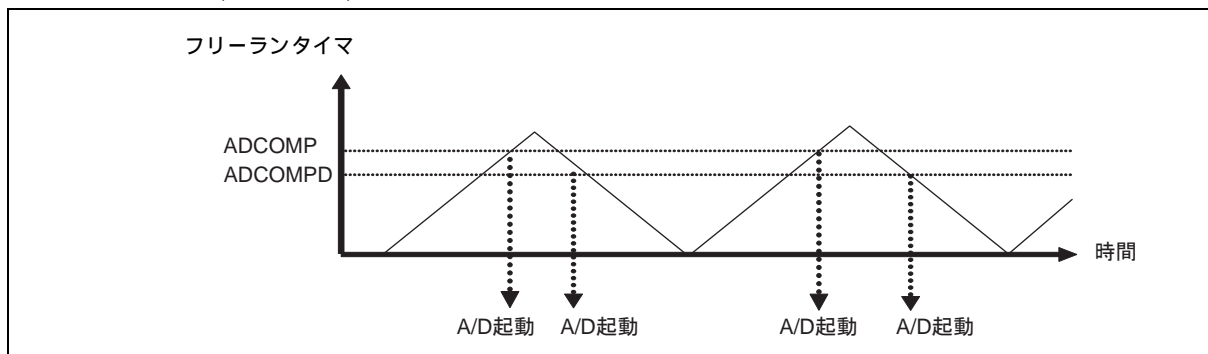
● SELn1, SELn0=0, 1 : アップカウント時のみコンペア一致時起動



● SELn1, SELn0=1, 0 : ダウンカウント時のみコンペア一致時起動



● SELn1, SELn0=1, 1 : アップカウント時 / ダウンカウント時コンペア一致時起動



■ フリーランタイムカウント方向選択設定

カウント方向選択レジスタ (ADTGSEL) により, A/D 起動コンペアレジスタとフリーランタイムとの比較を, アップカウント時のみ, ダウンカウント時のみ, アップ / ダウンカウント両方時いずれかに行うかを設定可能です。

■ コンペアレジスタバッファ機能

バッファ制御レジスタ (ADTGBUF) の BUF_X ビット (bit2 ~ bit0) に "0" を書き込むとコンペアレジスタのバッファ機能が有効になります。バッファするタイミングは, バッファ制御レジスタ (ADTGBUF) の BTS ビット (bit6 ~ bit4) により選択可能で, BTS=1 のときにはコンペアクリア割込み時, BTS=0 のときには 0 検出割込み時に, コンペアレジスタに書き込まれた値がコンペアバッファレジスタに転送されます。

■ フリーランタイムの 0 検出もしくはコンペアクリアによる A/D 起動

A/D トリガ制御レジスタ (ADTRGC) の AD2E ~ AD0E ビット (bit2 ~ bit0) に "1" を書き込むと, フリーランタイムの 0 検出もしくはコンペア一致割込み時に A/D を起動させることができます。A/D トリガが制御レジスタ (ADTRGC) の SEL ビット (bit6 ~ bit4)=0 のときには 0 検出時, "1" のときにはコンペア一致割込み時となります。

■ リロードタイマ (ch.1)

A/D コンペア起動禁止, かつ, フリーランタイムの 0 検出もしくはコンペアクリアによる A/D 起動禁止の時, 16 ビットリロードタイマ ch.1 による A/D 起動が可能です。MB91470 シリーズの場合, 12 ビット A/D コンバータ 4 の起動が可能です。MB91480 シリーズの場合, 10 ビット A/D コンバータ 1 の起動が可能です。

図 12.6-30 コンペアレジスタ 0: バッファ機能有効, コンペアレジスタ 1: バッファ機能無効

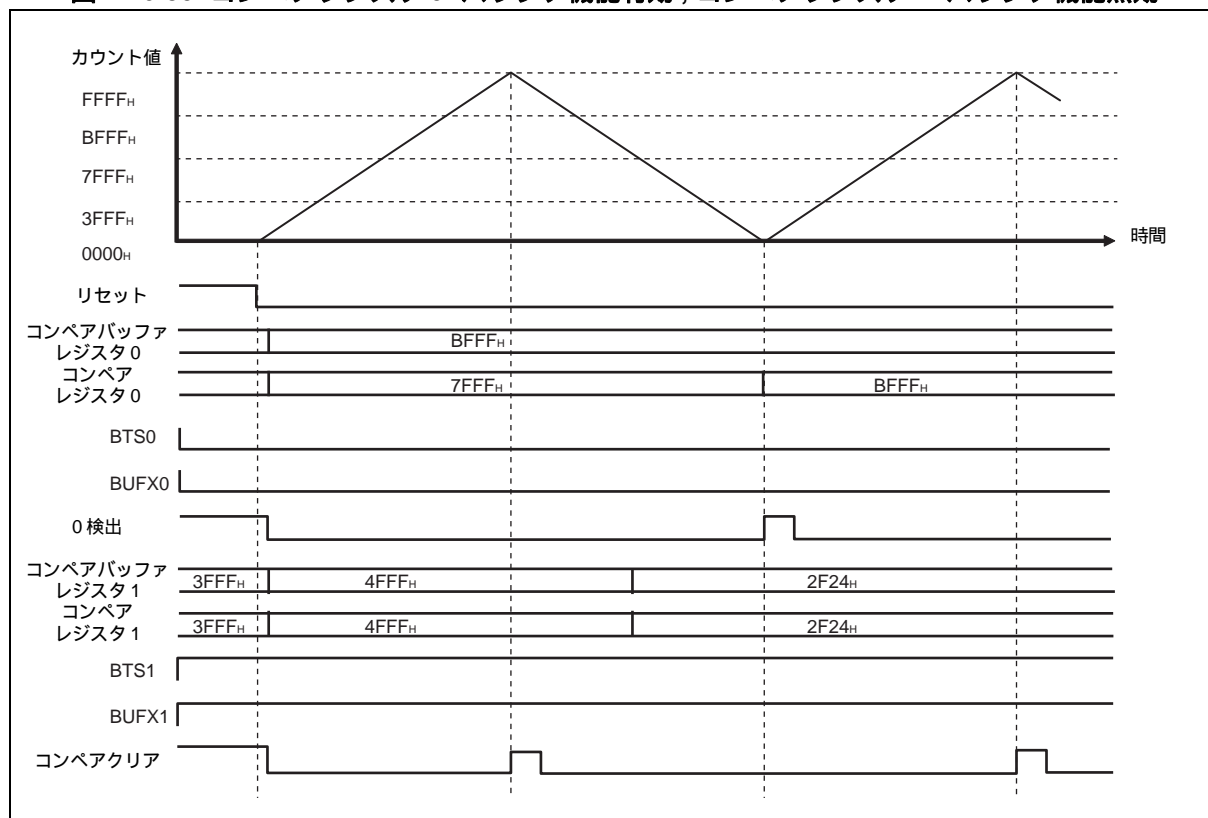


図 12.6-31 A/D トリガ 0: アップ/ダウンカウント時, A/D トリガ 1: アップカウント時に A/D 起動

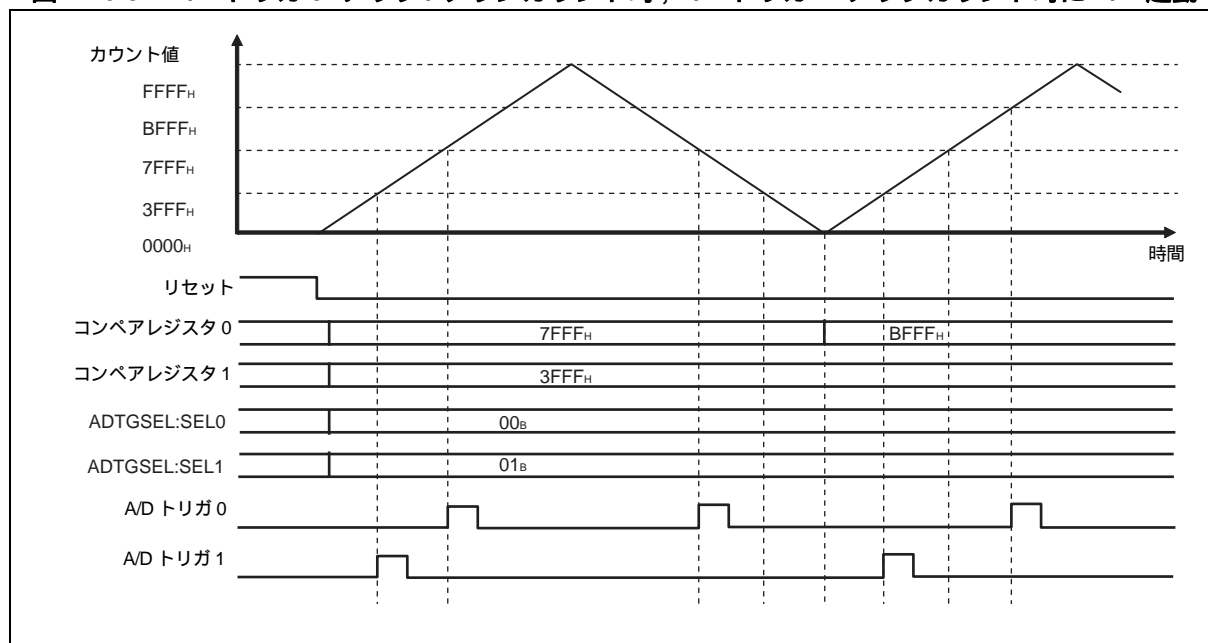


図 12.6-32 フリーランタイムのコンペアクリア割込み時の A/D 起動コンペア

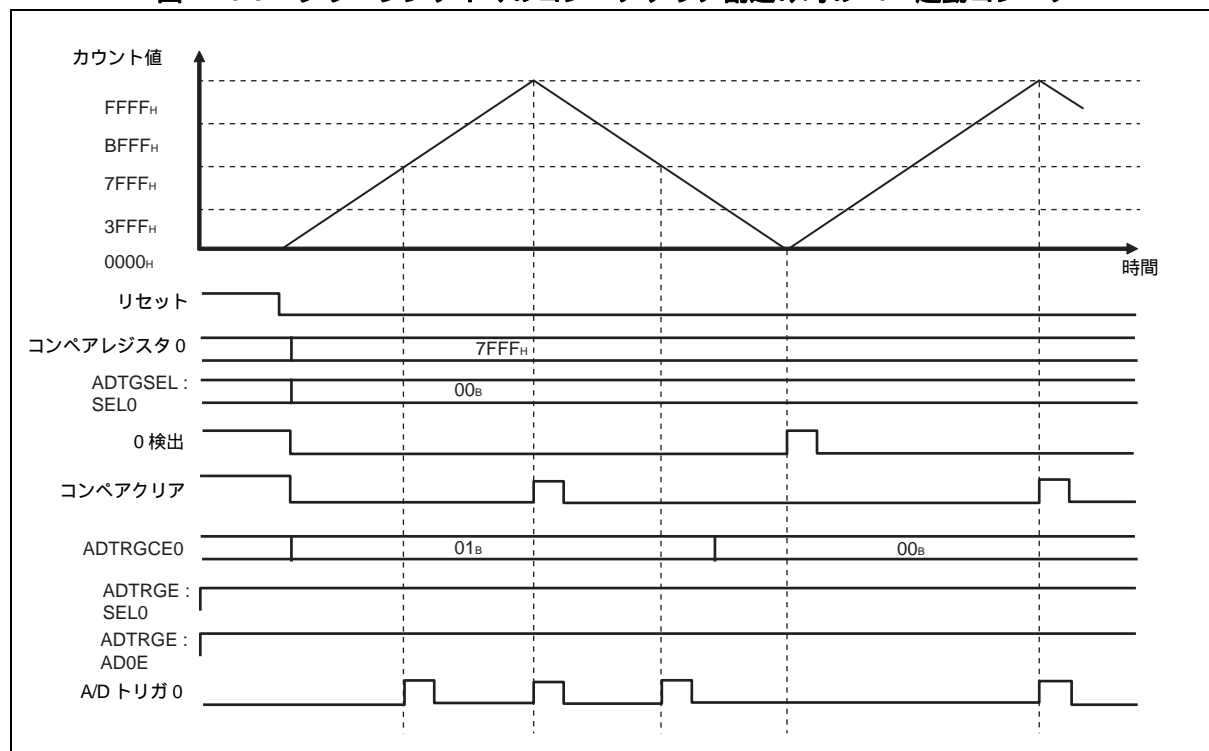


図 12.6-33 フリーランタイムアップカウント時，コンペアー致時のデータ転送タイミング

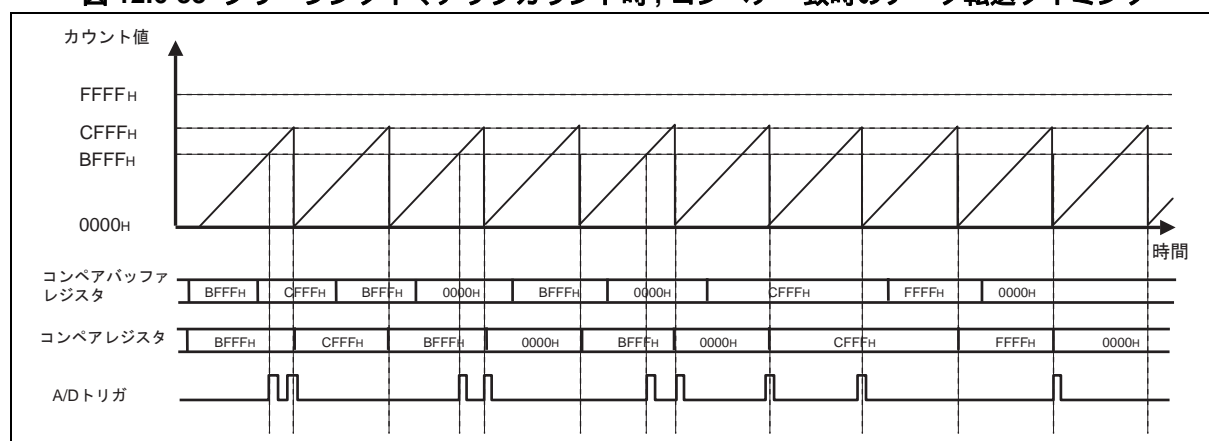


図 12.6-34 フリーランタイムアップカウント時，0 検出時のデータ転送タイミング

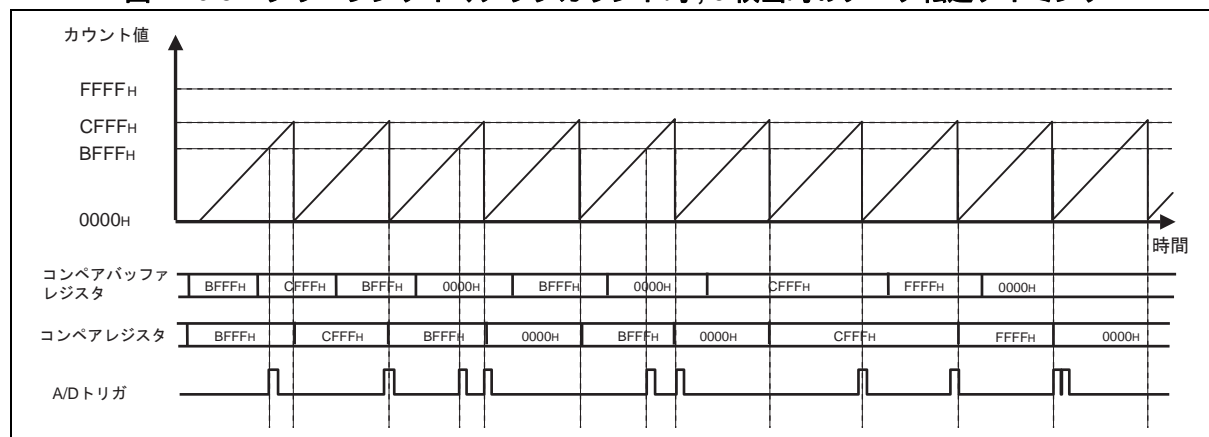


図 12.6-35 フリーランタイマアップダウンカウンタ時、コンペアー一致時のデータ転送タイミング

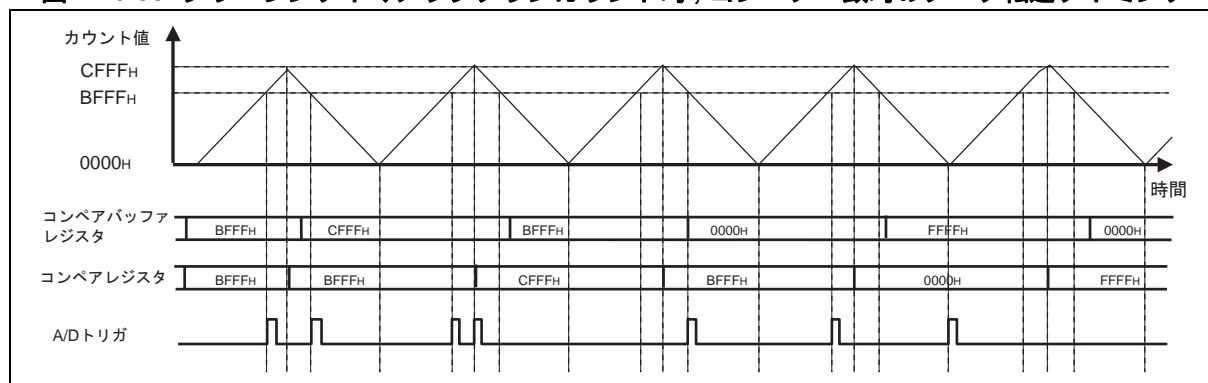
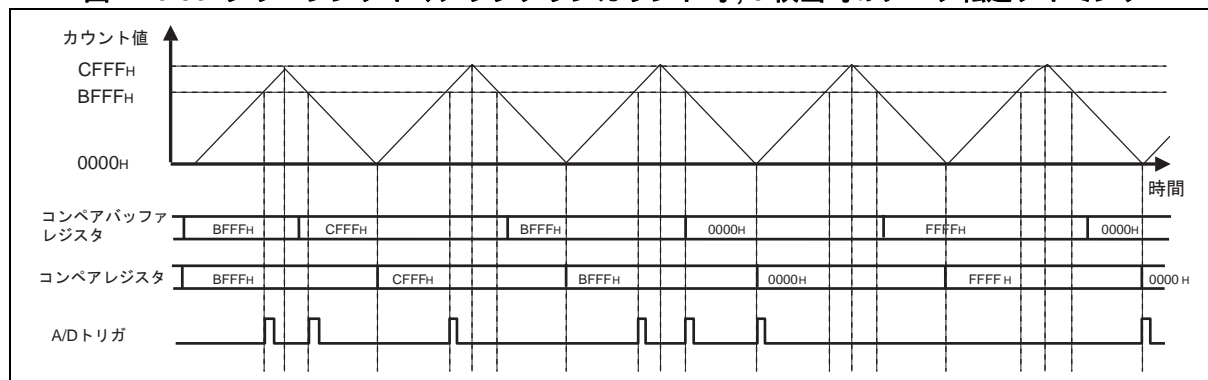


図 12.6-36 フリーランタイマアップダウンカウンタ時、0 検出時のデータ転送タイミング



< 注意事項 >

A/D 起動コンペアと A/D コンバータとの接続に関しては、「12.7 多機能タイマの使用上の注意」を参照してください。

12.7 多機能タイマの使用上の注意

多機能タイマの使用上の注意を以下に示します。

■ シリーズ間での注意事項

表 12.7-1 に多機能タイマを使用する前に設定が必要なレジスタ一覧を示します。

表 12.7-1 シリーズ間レジスタ比較 (1 / 3)

モジュール	レジスタ名	MB91470	MB91480
FRT0 ~ FRT2 (多機能タイマ 0 の フリーランタイム 0 ~ 2) (注意事項) MB91480 シリーズの場合 には多機能タイマ 1 のインプットキャプ チャおよびアウトプ トコンペア用にも使用 できます。	CPCLRBH0/CPCLRH0 ~ CPCLRBH2/CPCLRH2		
	CPCLRBL0/CPCLRL0 ~ CPCLRBL2/CPCLRL2		
	TCDTH0 ~ TCDTH2		
	TCDTL0 ~ TCDTL2		
	TCCSH0 ~ TCCSH2		
	TCCSL0 ~ TCCSL2		
	TCCSM0 ~ TCCSM2		
	ADTRGC0 ~ ADTRGC2		
FRT3 ~ FRT5 (多機能タイマ 1 の フリーランタイム 3 ~ 5) (注意事項) MB91480 シリーズの場合 には多機能タイマ 0 のインプットキャプ チャおよびアウトプ トコンペア用にも使用 できます。	CPCLRBH3/CPCLRH3 ~ CPCLRBH5/CPCLRH5	×	
	CPCLRBL3/CPCLRL3 ~ CPCLRBL5/CPCLRL5	×	
	TCDTH3 ~ TCDTH5	×	
	TCDTL3 ~ TCDTL5	×	
	TCCSH3 ~ TCCSH5	×	
	TCCSL3 ~ TCCSL5	×	
	TCCSM3 ~ TCCSM5	×	
	ADTRGC3 ~ ADTRGC5	×	
FRS0 ~ FRS9 (多機能タイマ用フリー ランタイムセクタ)	FRS0 ~ FRS4		
	FRS5 ~ FRS9	×	

表 12.7-1 シリーズ間レジスタ比較 (2 / 3)

モジュール	レジスタ名	MB91470	MB91480
OCU0 ~ OCU2 (多機能タイマ 0 の アウトプットコンペア 0 ~ 2)	OCCPBH0/OCCPH0 ~ OCCPBH5/OCCPH5		
	OCCPBL0/OCCPL0 ~ OCCPBL5/OCCPL5		
	OCSH1, OCSH3, OCSH5		
	OCSL0, OCSL2, OCSL4		
	OCMOD0		
OCU3 ~ OCU5 (多機能タイマ 1 の アウトプットコンペア 3 ~ 5)	OCCPBH6/OCCPH6 ~ OCCPBH11/OCCPH11	×	
	OCCPBL6/OCCPL6 ~ OCCPBL11/OCCPL11	×	
	OCSH7, OCSH9, OCSH11	×	
	OCSL6, OCSL8, OCSL10	×	
	OCMOD1	×	
IC0 ~ IC3 (多機能タイマ 0 の インプットキャプチャ 0 ~ 3)	IPCPH0 ~ IPCPH3		
	IPCPL0 ~ IPCPL3		
	ICSH23		
	ICSL23		
	PICSH01		
	PICSL01		
IC4 ~ IC7 (多機能タイマ 1 の インプットキャプチャ 4 ~ 7)	IPCPH4 ~ IPCPH7	×	
	IPCPL4 ~ IPCPL7	×	
	ICSH67	×	
	ICSL67	×	
	PICSH45	×	
	PICSL45	×	
WG0 (多機能タイマ 0 の 波形ジェネレータ 0)	TMRRH0 ~ TMRRH2		
	TMRRL0 ~ TMRRL2		
	DTCR0 ~ DTCR2		
	SIGCR10, SIGCR20		

表 12.7-1 シリーズ間レジスタ比較 (3 / 3)

モジュール	レジスタ名	MB91470	MB91480
WG1 (多機能タイマ 1 の波形 ジェネレータ 1)	TMRRH3 ~ TMRRH5	×	
	TMRRL3 ~ TMRRL5	×	
	DTCR3 ~ DTCR5	×	
	SIGCR11, SIGCR21	×	
ADTG0 (多機能タイマ 0 の A/D 起動コンペア 0)	ADCOMPB0/ADCOMP0 ~ ADCOMPB2/ADCOMP2		
	ADTGCE0		
	ADTGSEL0		
	ADTGBUF0		
ADTG1 (多機能タイマ 1 の A/D 起動コンペア 1)	ADCOMPB3/ADCOMP3 ~ ADCOMPB5/ADCOMP5	×	
	ADTGCE1	×	
	ADTGSEL1	×	
	ADTGBUF1	×	
PPG0, PPG2	GATEC0		
PPG4	GATEC4		
PPG8, PPG10	GATEC8	×	
PPG12	GATEC12	×	

(注意事項) - あり, × - なし

PPG の設定に関しては, 「第 11 章 PPG」を参照してください。

■ バッファレジスタへアクセス時の注意

フリーランタイム内の CPCLRL/Hn レジスタ, アウトプットコンペア内の OCCPL/Hn レジスタ, A/D 起動コンペア内の ADCOMPn/ADCOMPBn レジスタにはバッファ機能があります。これらレジスタに対して, リードモディファイライト系命令でのアクセスは行わないでください。

■ 16 ビットフリーランタイムの使用上の注意

● プログラムによる設定上の注意

- リセットを実行するとタイマ値が "0000_H" になりますが, 0 検出割込みフラグは設定されません。
- タイマモードビット (TCCSL レジスタの MODE : bit5) には, バッファがあるので, ゼロ検出後に変更されたタイマモードが有効になります。
- ソフトウェアクリア (TCCSL レジスタの SCLR : bit4=1) はタイマを初期化しますが, ゼロ検出割込みを生成しません。
- コンペア値とカウント値が一致しているときにカウントを開始する場合は, コンペアクリアフラグは設定されません。

● 割込みの注意

- タイマ状態制御レジスタ上位 (TCCSH) の IRQZF : bit14 に "1" を設定し, 次に割込み要求を許可すると (TCCSH レジスタの IRQZE : bit13=1), 制御は割込み処理から戻ることができません。IRQZF : bit14 は, 必ずクリアしてください。
- タイマ状態制御レジスタ上位 (TCCSH) の ICLR : bit9 に "1" を設定し, 次に割込み要求を許可すると (TCCSH レジスタの ICRE : bit8=1), 制御は割込み処理から戻ることができません。ICLR : bit9 は, 必ずクリアしてください。

● TCCSH/TCCSM レジスタアクセス時の注意

- リードモディファイライト系命令の場合, MSI2 ~ MSI0/MSI5 ~ MSI3 からは設定値が読み出されます。
- 通常の読出し時の場合, MSI2 ~ MSI0/MSI5 ~ MSI3 からはカウンタ値が読み出されます。

■ フリーランタイムセレクトの使用上の注意

必ずフリーランタイムの停止中に選択設定を行ってください。

■ 16 ビットアウトプットコンペアの使用上の注意

● 割込みの注意

コンペア制御レジスタ下位 (OCSL0, OCSL2, OCSL4) の IOP1, IOP0 : bit7, bit6 に "11_B" を設定し, 次に割込み要求を許可にすると (OCSL レジスタの IOE1, IOE0 : bit6, bit5=11_B), 制御は割込み処理から戻ることができません。IOP0, IOP1 ビットは, 必ずクリアしてください。

■ 16 ビットインプットキャプチャの使用上の注意

● 割込みの注意

- インプットキャプチャ状態制御レジスタ下位 (PICSL01, ICSL23) の ICP3, ICP2, ICP1, ICP0 (ともに bit7, bit6) に "1" を設定し、次に割込み要求を許可にすると (PICSL01, ICSL23 レジスタの ICE3, ICE2, ICE1, ICE0 (ともに bit5, bit4) =11_B)、制御は割込み処理から戻ることができません。ICP3, ICP2, ICP1, ICP0 (ともに bit7, bit6) は、必ずクリアしてください。
- ICP3, ICP2, ICP1, ICP0 がビット設定されてから割込みルーチンが処理されるまでの間にインプットキャプチャ端子 (IC) レベルが切り換わると、ICP3, ICP2, ICP1, ICP0 の有効エッジ指示ビット (ICSH23 レジスタの IEI3, IEI2 : bit9, bit8, PICSH01 レジスタの IEI1, IEI0 : bit9, bit8) は、検出された最新のエッジを示します。

■ 波形ジェネレータの使用上の注意

● プログラムによる設定上の注意

- 波形ジェネレータが動作中 (DTCR0, DTCR1, DTCR2 レジスタの TMD2 ~ TMD0, TMD5 ~ TMD3, TMD8 ~ TMD6 が "001_B", "010_B" または "100_B") に、16 ビットデッドタイム状態制御レジスタ (DTCR0, DTCR1, DTCR2) の TMD8, TMD5, TMD2 (上位は bit10, 下位は bit2), TMD7, TMD4, TMD1 (上位は bit9, 下位は bit1), TMD6, TMD3, TMD0 (上位は bit8, 下位は bit0) ビット値を変更する場合は、トリガソースおよび 16 ビットデッドタイムがカウント中でないことを必ず確認してください。この操作を行わない場合は、以前のトリガでスケジュールされた出力が原因となり、予期しない波形が RTO 端子から出力されます。ただし、RTO 出力は、タイマでアンダフローが発生したり、新しいトリガソースで再トリガされたりすると、正常動作に戻ります。
- トリガソースとは、DTCR0, DTCR1, DTCR2 レジスタの TMD8 ~ TMD0 (上位は bit10 ~ bit8, 下位は bit2 ~ bit0) が "001_B" の場合は "RT の "H" レベル" であり、TMD8 ~ TMD0 ビットが "010_B" の場合は "RT の立上りエッジ" であり、TMD8 ~ TMD0 ビットが "100_B" の場合は、"RT の立上りまたは立下りエッジ" です。

例えば、TMD8 ~ TMD0 ビットが "100_B" から "010_B" へ変更すると、下記の手順を実行することができます。

1. 16 ビットデッドタイムレジスタ (TMRRH0 ~ TMRRH2, TMRRL0 ~ TMRRL2) を "0001_H" のような非常に小さな値に設定する。
 2. RTO1, RTO3, RTO5 の出力を "L" または "H" に設定し、タイマ 0, 1, 2 でアンダフローが発生するまで待つ。
 3. モードビット (TMD8 ~ TMD0)、および対応する設定を変更する。
 4. 修正された出力波形が 1 マシンサイクル後、RTO 端子に現れる。
- タイマがカウント中に 16 ビットデッドタイムレジスタ (TMRRH0 ~ TMRRH2, TMRRL0 ~ TMRRL2) に値が書き込まれると、この新しい値は次のタイマトリガ時に有効になります。タイマレジスタへアクセスする場合は、必ずハーフワードもしくはワード転送命令をご使用ください。

- タイマがカウントしていない場合のみ，波形制御レジスタ 1 (SIGCR1) の DCK2 ~ DCK0 : bit4 ~ bit2 を変更してください。
- ノイズキャンセル機能が無効になった場合のみ，波形制御レジスタ 1 (SIGCR1) の NWS1, NWS0 : bit1, bit0 を変更してください。

● 割込みの注意

- 16 ビットデッドタイム状態制御レジスタ (DTCR0, DTCR1, DTCR2) の TMIF2 ~ TMIF0 (上位は bit12, 下位は bit4) に "1" を設定し，次に割込み要求を許可にすると (DTCR0, DTCR1, DTCR2 レジスタの TMIE2 ~ TMIE0 (上位は bit11, 下位は bit3) =1) , 制御は割込み処理から戻ることができません。TMIF ビットは，必ずクリアしてください。
- 波形制御レジスタ 1 (SIGCR1) の DTIF : bit6 に "1" を設定すると，制御は割込み処理から戻ることができません。DTIF ビットは，必ずクリアしてください。

■ A/D 起動コンペアの使用上の注意

必ずフリーランタイマの停止中に選択設定を行ってください。

12.8 多機能タイマのプログラム例

多機能タイマのプログラム例を示します。

■ 16 ビットフリーランタイマのプログラム例

● 処理

- 16 ビットフリーランタイマで 4 ms のときにコンペアクリア割込みを生成します。
- 本タイマはアップカウントモード時にコンペアクリアタイマの再生成のために使用します。
- 16 MHz は周辺クロック (CLKP) 用で、62.5 ns はカウントクロック用です。

● コーディング例

```

ICR33      .EQU    000461H      ;16 ビットフリーランタイマ 0 のコンペアクリア
                                   ; 割込み制御レジスタ
TCCSH      .EQU    0000B8H      ; タイマ状態制御レジスタ
CPCLRBH    .EQU    0000B4H      ; コンペアクリアバッファレジスタ
; ----- メインプログラム -----
                ORG      C0000H

START:
;           ;           ; スタックポインタ (SP) が既に初期化されて
;           ;           ; いるものと仮定

                ANDCCR #0EFH      ; 割込み禁止
                LDI      #ICR32,r0

                LDI      #00H,r1
                STB      r1,@r0      ; 割込みレベル 16 (最強)
                LDI      #CPCLRBH,r0 ; 16 ビットフリーランタイマのアップカウント
                                   ; モード
                LDI      #0FA00H,r1 ; 時に 4 ms でコンペアクリア割込みを生成する
                STH      r1,@r0      ; ための値をコンペアクリアバッファレジスタ
                                   ; に設定

                LDI      #TCCSH,r3 ; アップダウンカウントモード,
                LDI      #0110H,r1 ; 62.5 ns カウントクロック設定,
                STH      r1,@r3      ; コンペアクリア割込み許可,
                                   ; コンペアクリア割込みフラグビットのクリア,
                                   ; 割込みマスクを禁止,
                                   ; タイマクリア, 動作許可

                STILM    #14H      ; PS 中の ILM をレベル 20 に設定
                ORCCR    #10H      ; 割込み許可

LOOP        LDI      #00H,r0      ; 無限ループ
                LDI      #01H,r1
                BRA      LOOP      ;

```

```

; ----- 割込みプログラム -----
WARI      LDI      #0100H,r1
           ANDH     r1,@r3      ; 割込み要求フラグをクリア
;
;      :
;      ユーザ処理
;      :
           RETI      : 割込みから復帰

; ----- ベクタ設定 -----
VECT      .ORG      FFFF8H
           .DATA.W  WARI      ; 割込みルーチンの設定
           .ORG      FFFF8H
           .DATA.W  0x07000000 ; シングルチップモードの設定
           .DATA.W  START     ; リセットベクタの設定
           .END

```

■ 16 ビットアウトプットコンペアのプログラム例

● 処理

- 16 ビットフリーランタイマのカウンタ値がアウトプットコンペア用と一致したときにアウトプットコンペアー致を生成します。
- 16 ビットフリーランタイマがアップダウンカウンタモード時に使用します。

● コーディング例

```

ICR44      .EQU    00046CH      ; アウトプットコンペア 0/1 割込みレジスタ
TCCSH      .EQU    0000B8H      ; タイマ状態制御レジスタ
CPCLRBH    .EQU    0000B4H      ; コンペアクリアバッファレジスタ
OCCPBH0    .EQU    0000A0H      ; アウトプットコンペアバッファレジスタ 0
OCCPBH1    .EQU    0000A2H      ; アウトプットコンペアバッファレジスタ 1
OCSH1      .EQU    0000ACH      ; コンペア制御レジスタ
; ----- メインプログラム -----
START:
;          :          ; スタックポインタ (SP) が既に初期化されて
;          :          ; いるものと仮定

        ANDCCR #0EFH          ; 割込み禁止
        LDI     #ICR44,r0
        LDI     #00H,r1
        STB     r1,@r0        ; 割込みレベル 16 (最強)
        LDI     #CPCLRBH,r0 ; 16 ビットフリーランタイマのコンペアクリア
        LDI     #0FFFFH,r1    ; バッファレジスタに設定
        STH     r1,@r0

        LDI     #OCCPBH0,r0 ; アウトプットコンペアレジスタ 0 を設定
        LDI     #0BFFFH,r1
        STH     r1,@r0
        LDI     #OCCPBH1,r0 ; アウトプットコンペアレジスタ 1 を設定
        LDI     #07FFFH,r1
        STH     r1,@r0
        LDI     #OCSH1,r3     ; アウトプットコンペア出力を有効
        LDI     #6C33H,r2     ; コンペアー致割込み 0/1 を許可
        STH     r2,@r3        ; 割込みフラグビットのクリア

        LDI     #TCCSH,r0     ; アップダウンカウンタモード,
        LDI     #0010H,r1     ; タイマクリア, 動作許可
        STH     r1,@r0
        STILM   #14H          ; PS 中の ILM をレベル 20 に設定
        ORCCR   #10H          ; 割込み許可
LOOP     LDI     #00H,r0        ; 無限ループ

```

```

        LDI        #01H,r1
        BRA        LOOP        ;
; ----- 割込みプログラム -----
WARI :
        ANDH       r2,@r3      ; 割込みレジスタフラグをクリア
        ;
        ; ユーザ処理
        ;
        RETI        : 割込みから復帰
; ----- ベクタ設定 -----
VECT    .ORG       FFFF8H
        .DATA.W    WARI        ; 割込みルーチンの設定
        .ORG       FFFF8H
        .DATA.W    0x07000000  ; シングルチップモードの設定
        .DATA.W    START      ; リセットベクタの設定
        .END

```


第13章

ベースタイマ

ベースタイマの概要，レジスタの構成 / 機能，および動作について説明します。

- 13.1 ベースタイマの概要
- 13.2 ベースタイマのブロックダイアグラム
- 13.3 ベースタイマのレジスタ
- 13.4 ベースタイマの動作
- 13.5 32 ビットモード動作
- 13.6 ベースタイマの使用上の注意
- 13.7 ベースタイマ割込み
- 13.8 ベースタイマの機能別説明

13.1 ベースタイマの概要

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。設定可能な各種タイマ機能の概要を以下に示します。

■ モード設定と各種タイマ機能の関係

FMD2, FMD1, FMD0 ビット設定	機能
000 _B	リセットモード
001 _B	16 ビット PWM タイマ
010 _B	16 ビット PPG タイマ
011 _B	16/32 ビットリロードタイマ
100 _B	16/32 ビット PWC タイマ

■ リセットモード

このモードの設定時に、ベースタイマのマクロをリセットした状態（各レジスタは初期値）とします。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、リセット後ならば本モードの設定なしにタイマ機能や T32 ビットの設定は可能です。

■ 16 ビット PWM タイマ

16 ビットのダウンカウンタ、周期設定用バッファ付き 16 ビットのデータレジスタ、デューティ設定用バッファ付き 16 ビットのコンペアレジスタ、端子制御部で構成されます。

周期、デューティのデータはバッファ付きレジスタに格納するため、タイマ動作中に書換えが可能です。

16 ビットのダウンカウンタのカウントクロックは、内部クロック 5 種類（周辺クロック (CLKP) の 1/4/16/128/256 分周）から選択できます。

アンダフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類（立上りエッジ、立下りエッジ、両エッジ検出）から選択できます。

■ 16 ビット PPG タイマ

16 ビットのダウンカウンタ, "H" 幅設定用 16 ビットのデータレジスタ, "L" 幅設定用 16 ビットのデータレジスタ, 端子制御部で構成されます。

16 ビットのダウンカウンタのカウントクロックは, 内部クロック 5 種類 (周辺クロック (CLKP) の 1/4/16/128/256 分周) から選択できます。

アンドフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

■ 16/32 ビットリロードタイマ

16 ビットのダウンカウンタ, 16 ビットのリロードレジスタ, 端子制御部で構成されます。

16 ビットのダウンカウンタのカウントクロックは, 内部クロック 5 種類 (周辺クロック (CLKP) の 1/4/16/128/256 分周) から選択できます。

アンドフローでカウントを停止するワンショットモードと再ロードしてカウントを繰り返す連続モードを選択できます。

起動はソフトウェアトリガと外部イベント 3 種類 (立上りエッジ, 立下りエッジ, 両エッジ検出) から選択できます。

■ 16/32 ビット PWC タイマ

16 ビットのアップカウンタ, 測定入力端子, 制御レジスタで構成されます。

外部からのパルス入力で, 任意イベント間の時間を測定します。

基準となるカウントクロックは, 内部クロック 5 種類 (周辺クロック (CLKP) の 1/4/16/128/256 分周) から選択できます。

各種測定モード "H" パルス幅 () / "L" パルス幅 ()
立上り周期 () / 立下り周期 ()
エッジ間測定 (または または)

測定終了時に割込み要求を発生することが可能です。

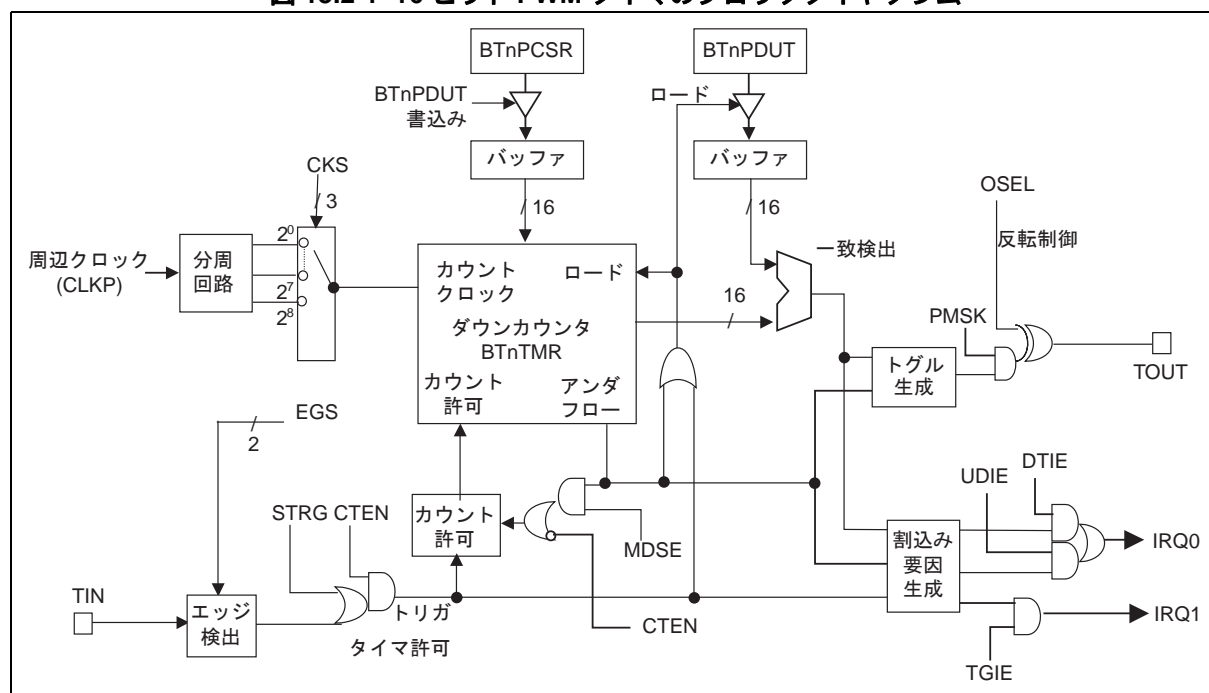
1 回のみの測定か, 連続測定かを選択することが可能です。

13.2 ベースタイマのブロックダイアグラム

ベースタイマの各モード別にブロックダイアグラムを示します。

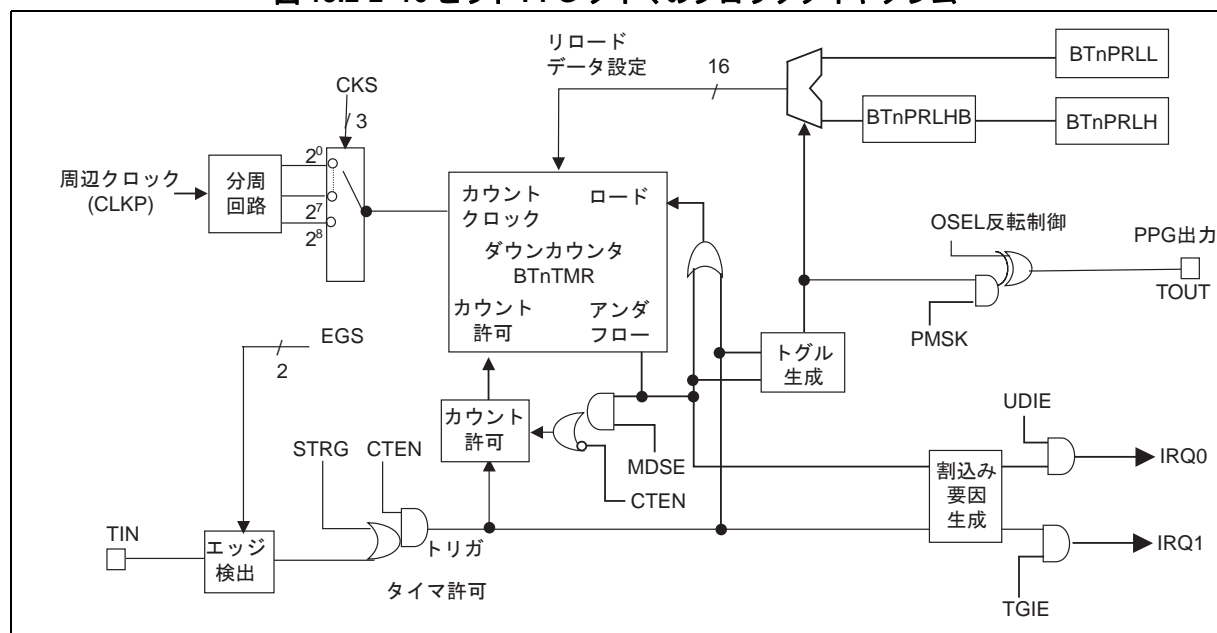
■ 16 ビット PWM タイマのブロックダイアグラム

図 13.2-1 16 ビット PWM タイマのブロックダイアグラム



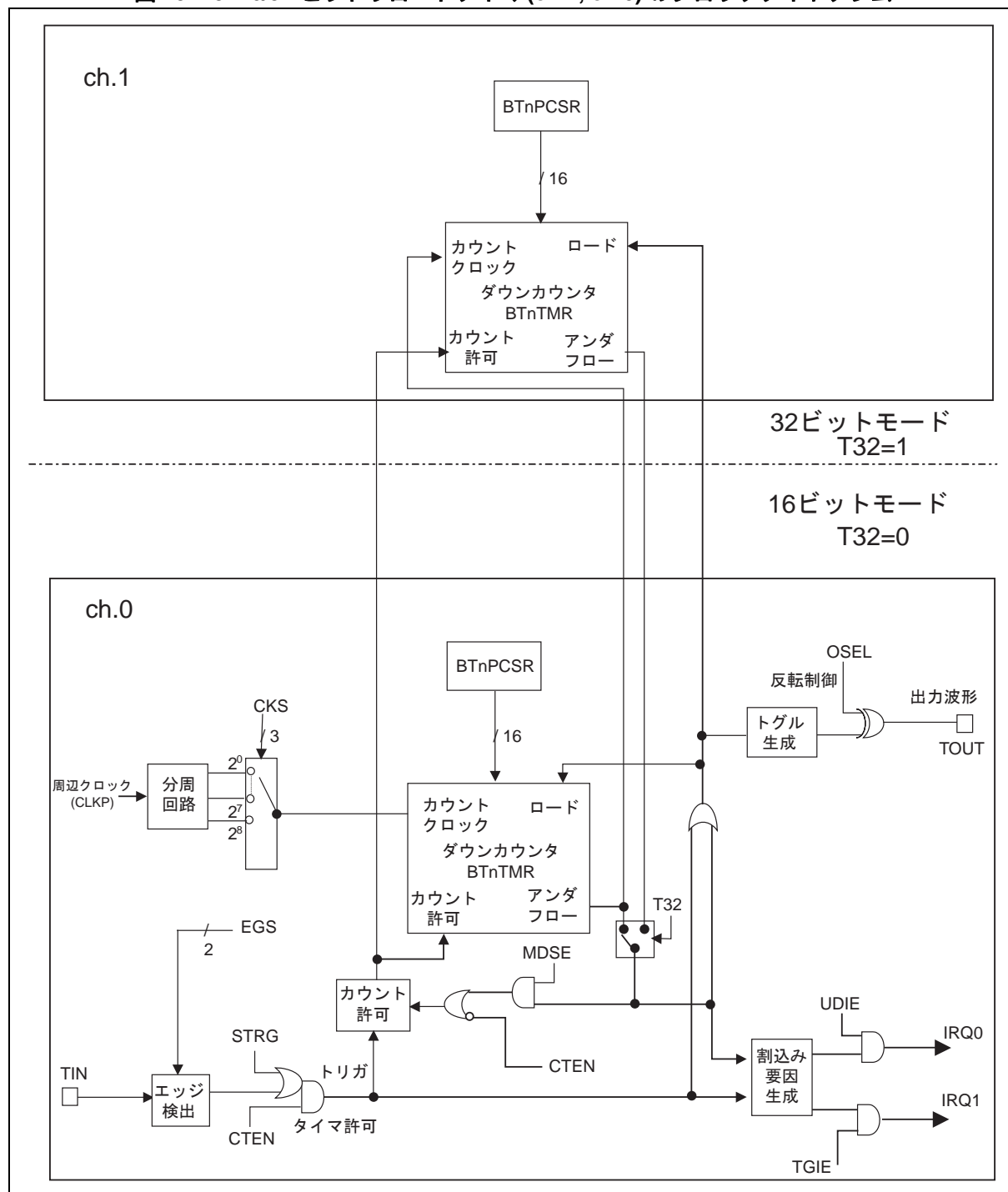
■ 16 ビット PPG タイマのブロックダイアグラム

図 13.2-2 16 ビット PPG タイマのブロックダイアグラム



■ 16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイアグラム

図 13.2-3 16/32 ビットリロードタイマ (ch.1, ch.0) のブロックダイアグラム

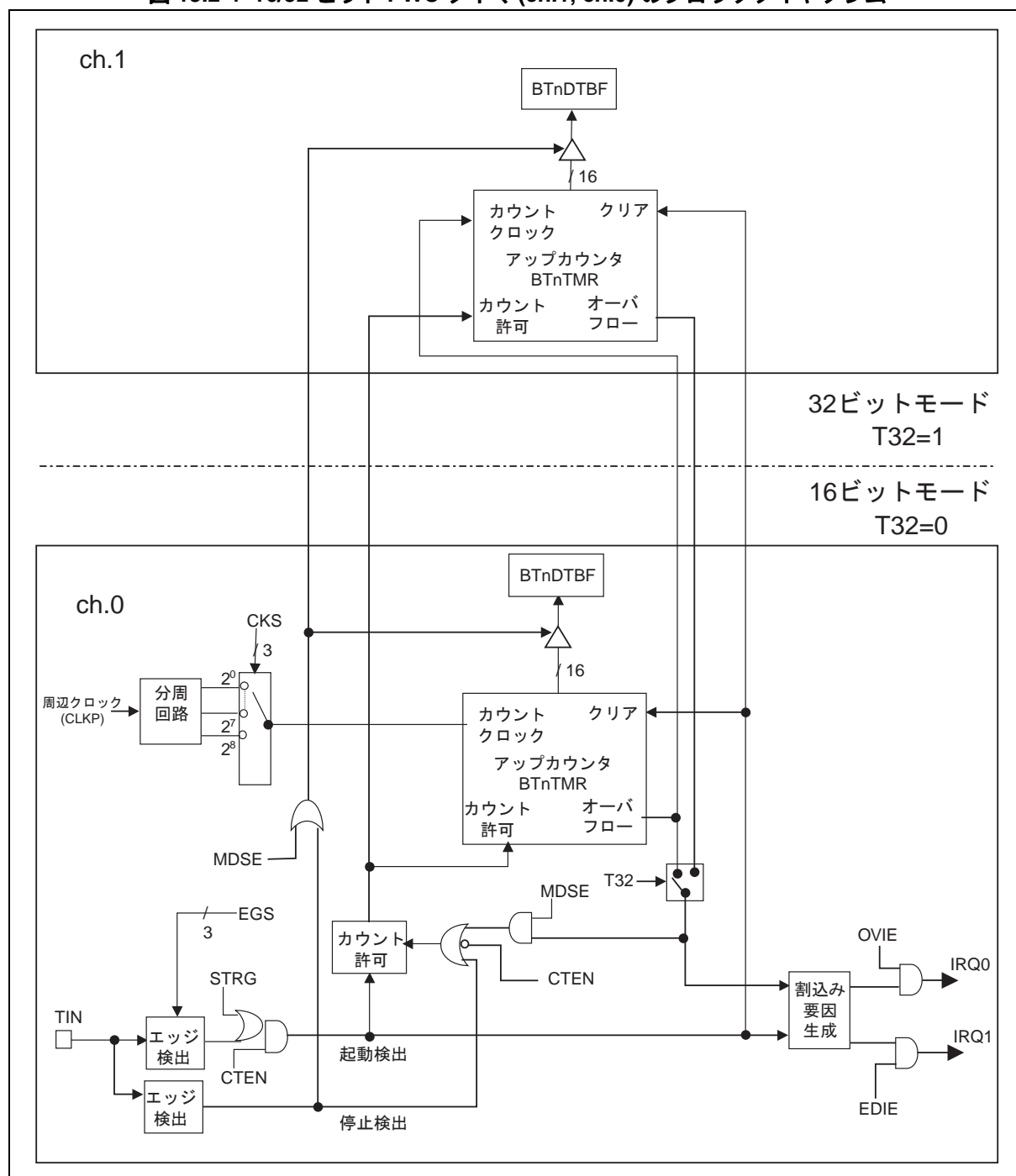


< 注意事項 >

32 ビット動作は ch.0 と ch.1 との間, ch.2 と ch.3 との間, ch.4 と ch.5 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。

■ 16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイアグラム

図 13.2-4 16/32 ビット PWC タイマ (ch.1, ch.0) のブロックダイアグラム



< 注意事項 >

32 ビット動作は ch.0 と ch.1 との間, ch.2 と ch.3 との間, ch.4 と ch.5 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。

13.3 ベースタイマのレジスタ

ベースタイマのレジスタ一覧と各モード別のビット構成を示します。

■ ベースタイマのレジスタ一覧

表 13.3-1 ベースタイマのレジスタ一覧

モード設定 (FMD2, FMD1, FMD0)	アドレス		bit 15	bit 8	bit 7	bit 0
全モード	000162 _H 000582 _H 000592 _H 0005A2 _H	000163 _H 000583 _H 000593 _H 0005A3 _H	BTnTMCR(タイマ制御レジスタ)			
全モード		000165 _H 000585 _H 000595 _H 0005A5 _H			BTnSTC (ステータス制御 レジスタ)	
001 _B /010 _B /011 _B	000160 _H 000580 _H 000590 _H 0005A0 _H	000161 _H 000581 _H	BTnTMR (タイマレジスタ)			
100 _B		000591 _H 0005A1 _H				
001 _B /011 _B	000168 _H 000588 _H 000598 _H 0005A8 _H	000169 _H 000589 _H	BTnPCSR (周期設定レジスタ)			
010 _B		000599 _H	BTnPRL ("L" 幅設定リロードレジスタ)			
100 _B		0005A9 _H				
001 _B	00016A _H 00058A _H 00059A _H 0005AA _H	00016B _H	BTnPDUT (デューティ設定レジスタ)			
010 _B		00058B _H	BTnPRLH ("H" 幅設定リロードレジスタ)			
011 _B		00059B _H				
100 _B		0005AB _H	BTnDTBF (データバッファレジスタ)			

図 13.3-2 16 ビット PPG タイマ選択時のレジスタ一覧

モード設定 FMD=010_B

bit 15

bit 14

bit 13

bit 12

bit 11

bit 10

bit 9

bit 8

BTnTMCR

CKS2

CKS1

CKS0

RTGEN

PMSK

EGS1

EGS0

(タイマ制御レジスタ)

bit 7

bit 6

bit 5

bit 4

bit 3

bit 2

bit 1

bit 0

FMD2

FMD1

FMD0

OSEL

MDSE

CTEN

STRG

bit 7

bit 6

bit 5

bit 4

bit 3

bit 2

bit 1

bit 0

BTnSTC

TGIE

UDIE

TGIR

UDIR

(ステータス制御レジスタ)

bit 15

bit 14

bit 13

bit 12

bit 11

bit 10

bit 9

bit 8

BTnTMR

(タイマレジスタ)

bit 7

bit 6

bit 5

bit 4

bit 3

bit 2

bit 1

bit 0

bit 15

bit 14

bit 13

bit 12

bit 11

bit 10

bit 9

bit 8

BTnPRLL

("L" 幅設定リロードレジスタ)

bit 7

bit 6

bit 5

bit 4

bit 3

bit 2

bit 1

bit 0

bit 15

bit 14

bit 13

bit 12

bit 11

bit 10

bit 9

bit 8

BTnPRLH

("H" 幅設定リロードレジスタ)

bit 7

bit 6

bit 5

bit 4

bit 3

bit 2

bit 1

bit 0

図 13.3-3 リロードタイマ選択時のレジスタ一覧

図 10-3-3 フォント制御レジスタ

モード設定 FMD=011_B

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	BTnTMCR
	CKS2	CKS1	CKS0			EGS1	EGS0	(タイマ制御レジスタ)
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
T32	FMD2	FMD1	FMD0	OSEL	MDSE	CTEN	STRG	
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	BTnSTC
	TGIE		UDIE		TGIR		UDIR	(ステータス制御レジスタ)
bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	BTnTMR
								(タイマレジスタ)
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	BTnPCSR
								(周期設定レジスタ)
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	

図 13.3-4 PWC タイマ選択時のレジスタ一覧

モード設定 FMD=100_B

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	BTnTMCR
	CKS2	CKS1	CKS0		EGS2	EGS1	EGS0	(タイマ制御レジスタ)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
T32	FMD2	FMD1	FMD0		MDSE	CTEN	

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	BTnSTC
ERR	EDIE		OVIE		EDIR		OVIR	(ステータス制御レジスタ)

bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	BTnDTBF
								(データバッファレジスタ)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0

13.4 ベースタイマの動作

ベースタイマの動作について説明します。

■ ベースタイマの動作

● リセットモード

このモードの設定時に、ベースタイマのマクロをリセットした状態(各レジスタは初期値)とします。別のタイマ機能や、T32 ビット設定を切り換えるとき、いったん、このモードに設定してから別のタイマ機能や T32 ビットを設定してください。ただし、リセット後ならば本モードの設定なしにタイマ機能や T32 ビットの設定は可能です。32 ビットモード設定時にこのモードを偶数チャンネルに設定した場合、奇数チャンネルも同時にリセットがかかるようになっていきますので、奇数チャンネルに対してリセットモードの設定は必要ありません。

● 16 ビット PWM タイマ

16 ビット PWM タイマは、トリガ起動により周期設定した値をダウンカウント開始します。その際、まず出力を "L" レベルにし、16 ビットダウンカウンタがデューティ設定レジスタに設定されている値と一致した場合は "H" レベルに反転出力し、その後カウンタがアンダフローになったときに再度 "L" レベルに反転出力します。これにより、周期とデューティが任意の波形を生成します。

● 16 ビット PPG タイマ

16 ビット PPG タイマは、トリガ起動により "L" 幅設定リロードレジスタに設定されている値分ダウンカウントします。その際、まず出力を "L" レベルにし、アンダフローになったときに出力を "H" レベルに反転出力して、引き続き "H" 幅設定リロードレジスタに設定されている値分ダウンカウント開始し、アンダフローになったときに出力レベルを "L" に反転出力します。これにより、任意の "L" 幅、"H" 幅の波形を生成します。

● 16 ビットリロードタイマ

16 ビットリロードタイマは、トリガ起動により周期設定した値をダウンカウント開始します。16 ビットダウンカウンタがアンダフローになったときに割込みフラグが設定されます。出力レベルは MDSE ビットの設定によって、アンダフローごとに反転するトグル出力か、カウント開始で "H"、アンダフローで "L" 出力のパルス出力になります。

● 32 ビットリロードタイマ

基本動作は 16 ビットリロードタイマと同じですが、偶数チャンネルと奇数チャンネルの 2 チャンネル使用で 32 ビットリロードタイマとして動作します。その際、偶数チャンネルは下位 16 ビットタイマ動作となり、奇数チャンネルは上位 16 ビットタイマ動作となりますが、割込み制御、出力波形制御は偶数チャンネルの設定に従います。周期を設定する場合は、先に上位レジスタ（奇数チャンネル）に書き込んだ後に下位レジスタ（偶数チャンネル）に書き込むようにします。

タイマ値を読み出す場合は、先に下位レジスタ（偶数チャンネル）を読み出した後に上位レジスタ（奇数チャンネル）を読み出すようにします。

< 注意事項 >

32 ビット動作は ch.0 と ch.1 との間、ch.2 と ch.3 との間、ch.4 と ch.5 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。

● 16 ビット PWC タイマ

PWC タイマは、設定した測定開始エッジの入力で 16 ビットアップカウンタを起動させ、測定終了エッジの検出でカウンタを停止します。この間のカウント値がパルス幅としてデータバッファレジスタに格納されます。

● 32 ビット PWC タイマ

基本動作は 16 ビット PWC タイマと同じですが、偶数チャンネルと奇数チャンネルの 2 チャンネル使用で 32 ビット PWC タイマとして動作します。その際、偶数チャンネルは下位 16 ビットカウント動作となり、奇数チャンネルは上位 16 ビットカウント動作となりますが、割込み制御は偶数チャンネルの設定に従います。測定値、またはカウント値を読み出す場合は、先に下位レジスタ（偶数チャンネル）を読み出した後に上位レジスタ（奇数チャンネル）を読み出すようにします。

< 注意事項 >

32 ビット動作は ch.0 と ch.1 との間、ch.2 と ch.3 との間、ch.4 と ch.5 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。

13.5 32 ビットモード動作

リロードタイマ, PWC タイマは, 2 チャンネルを使用して 32 ビットモード動作が可能です。以下に, 32 ビットモード機能における基本機能 / 動作について示します。

■ 32 ビットモード機能

ベースタイマを 2 チャンネル組み合わせて 32 ビットデータのリロードタイマまたは 32 ビットデータの PWC タイマ動作を実現する機能です。偶数チャンネルの下位 16 ビットタイマ・カウンタ値を読み出す際に, 奇数チャンネルの上位 16 ビットタイマ・カウンタ値も取り込むので, 動作中のタイマ・カウンタ値も読み出すことが可能です。

■ 32 ビットモード設定

まず, 偶数チャンネルの BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" でリセットモードにして状態をリセットしてから, 16 ビットモード時と同様にリロードタイマ, または PWC タイマ選択と動作の設定を行います。このとき, BTnTMCR レジスタの T32 ビットにも "1" を書き込むことで 32 ビット動作モードに設定します。奇数チャンネルの T32 ビットは "0" のままにしてください。リセットモードの設定も必要ありません。次に, リロードタイマの場合は, 奇数チャンネルの周期設定レジスタに 32 ビットのうち, 上位 16 ビットのリロード値を設定し, その後に偶数チャンネルの周期設定レジスタに下位 16 ビットのリロード値を設定します。

32 ビット動作モードへの移行は T32 ビット書込み後, 直ちに反映されるので, 設定変更は両チャンネルともカウント停止状態で行ってください。

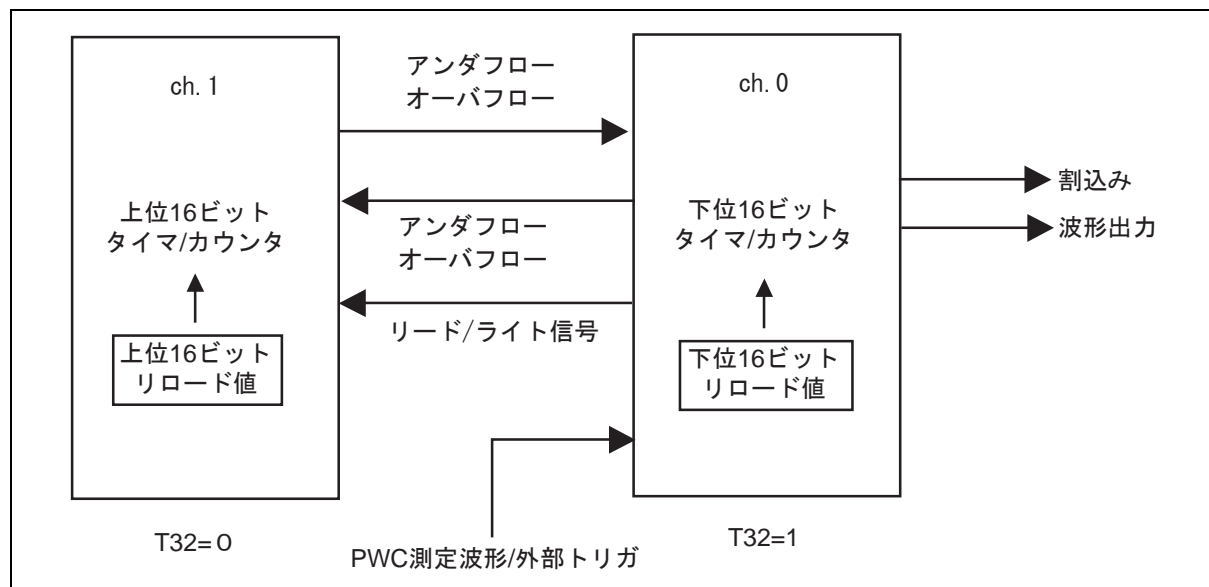
32 ビットモードから 16 ビットモードへの移行は, 偶数チャンネルの BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" でリセットモードにして偶数, 奇数の両チャンネルの状態をリセットし, チャンネルごとに 16 ビットモードでの設定を行います。

■ 32 ビットモード動作

32 ビットモード設定の後、偶数チャンネルの制御によりリロードタイマ、または PWC タイマを起動すると、偶数チャンネルのタイマ / カウンタは下位 16 ビット動作となり、奇数チャンネルのタイマ / カウンタは上位 16 ビット動作となります。

32 ビットモードでの動作は偶数チャンネルの設定に従うので、奇数チャンネルの設定は(リロードタイマ時の周期設定レジスタを除き)無視します。タイマ起動、波形出力、割込み信号も偶数チャンネルのものが有効となります(奇数チャンネルは"L"固定にマスクされます)。

下記に ch.0, ch.1 の場合の構成を示します。



< 注意事項 >

32 ビット動作は ch.0 と ch.1 との間、ch.2 と ch.3 との間、ch.4 と ch.5 との間のみで可能です。これ以外の組合せにおける 32 ビット動作はできません。

13.6 ベースタイマの使用上の注意

ベースタイマの使用上の注意を以下に示します。

■ 各タイマの使用上で共通する注意

● プログラムによる設定上の注意

- BTnTMCR レジスタの以下に示すビットは動作中に書き換えることを禁止します。
書換えは必ず起動前か停止後に行ってください。
[bit14, bit13, bit12] CKS2, CKS1, CKS0 : クロック選択ビット
[bit10, bit9, bit8] EGS2, EGS1, EGS0 : 測定エッジ選択ビット
[bit7] T32 : 32 ビットタイマ選択ビット
(リロードタイマ・PWC 機能選択時)
[bit6, bit5, bit4] FMD2, FMD1, FMD0 : タイマ機能選択ビット
[bit2] MDSE : 測定モード(単発/連続)選択ビット
- BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" のリセットモードに設定したときはベースタイマの全レジスタは初期化されますので、すべてのレジスタに対して再設定が必要です。
- BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットを "000_B" のリセットモードに設定するとき、BTnTMCR レジスタの FMD2, FMD1, FMD0 ビット以外のビットへの設定は無視されて初期化されます。

■ 16 ビット PWM/PPG/ リロードタイマの使用上の注意

● プログラムによる設定上の注意

- 割込み要求フラグセットタイミングとクリアタイミングが重複した場合には、フラグセットが優先され、クリア動作は無効となります。
- ダウンカウンタは、ロードとカウントのタイミングが重複した場合にはロード動作を優先します。
- BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットによるタイマ機能の設定後に周期設定、デューティ設定、"H" 幅設定、"L" 幅設定をするようにします。
- ワンショットモードでカウント終了時に再起動を検出した場合はカウント値をリロードして再起動を開始します。

■ PWC タイマの使用上の注意

● プログラムによる設定上の注意

- カウント動作許可ビット (CTEN) に "1" 書込みでカウンタがクリアされますので、起動許可前にカウンタ中にあったデータは無効になります。
- システムリセット・リセットモードから PWC モードの設定 ($FMD=100_B$) と測定開始設定 ($CTEN=1$) を同時にした場合、その直前の測定信号の状態によって動作する場合があります。
- 連続測定モードにおいて、再起動を設定したときに同時に測定開始エッジを検出した場合は直ちにカウントを "0001_H" から開始します。
- カウント動作を開始した後に再起動を行う場合は、そのタイミングによっては以下に示すようなことが起こり得ます。
 - パルス幅単発測定モード時、測定終了エッジと同時であった場合
再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ (EDIR) はセットされます。
 - パルス幅連続測定モード時、測定終了エッジと同時であった場合
再起動を行って測定開始エッジ待ち状態となりますが、測定終了フラグ (EDIR) はセットされ、その時点での測定結果は BTnDTBF に転送されます。

以上のように、動作中の再起動時には、フラグの動作に注意して割込み制御などを行うようにしてください。

13.7 ベースタイマ割込み

ベースタイマの各機能での割込み要求ビット，割込み許可ビットと割込み要因をまとめた一覧を示します。

■ 機能ごとの割込み制御ビットと割込み要因

機能ごとの割込み制御ビットと割込み要因を表 13.7-1 に示します。

表 13.7-1 各モードでの割込み制御ビットと割込み要因

	ステータス制御レジスタ (BTnSTC)			
	割込み要求ビット	割込み要求許可ビット	割込み要因	IRQ
PWM タイマ機能	UDIR : bit0	UDIE : bit4	アングフロー検出	IRQ0
	DTIR : bit1	DTIE : bit5	デューティー致検出	
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PPG タイマ機能	UDIR : bit0	UDIE : bit4	アングフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
リロードタイマ機能	UDIR : bit0	UDIE : bit4	アングフロー検出	IRQ0
	TGIR : bit2	TGIE : bit6	タイマ起動トリガ検出	IRQ1
PWC タイマ機能	OVIR : bit0	OVIE : bit4	オーバフロー検出	IRQ0
	EDIR : bit2	EDIE : bit6	測定終了検出	IRQ1

13.8 ベースタイマの機能別説明

ベースタイマの各機能について説明します。

■ ベースタイマの機能

- PWM 機能
- PPG 機能
- リロードタイマ機能
- PWC 機能

13.8.1 PWM 機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PWM を設定したときのタイマ機能の説明を示します。

- PWM タイマ選択時のタイマ制御レジスタ (BTnTMCR)
- PWM 周期設定レジスタ (BTnPCSR)
- PWM デューティ設定レジスタ (BTnPDUT)
- タイマレジスタ (BTnTMR)
- 16 ビット PWM タイマ動作
- ワンショット動作
- 割込み要因とタイミングチャート
- 出力波形

13.8.1.1 PWM タイマ選択時のタイマ制御レジスタ (BTnTMCR)

タイマ制御レジスタ (BTnTMCR) は、PWM タイマを制御します。PWM タイマ動作中に書換え不可能なビットがありますので注意してください。

■ タイマ制御レジスタ (BTnTMCR 上位バイト)

図 13.8-1 タイマ制御レジスタ (BTnTMCR 上位バイト)



表 13.8-1 タイマ制御レジスタ (BTnTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14 ~ bit12	CKS2, CKS1, CKS0: カウントクロック 選択ビット	<ul style="list-style-type: none"> 16 ビットダウンカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって、CKS2 ~ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	RTGEN : 再起動許可ビット	ソフトウェアトリガ、またはトリガ入力による再起動を許可するビットです。
bit10	PMSK : パルス出力マスク ビット	<ul style="list-style-type: none"> PWM 出力波形の出力波形レベルを制御します。 このビットが "0" のときは PWM 波形をそのまま出力します。 このビットが "1" のときは、周期やデューティ設定の値にかかわらず PWM 出力を "L" 出力にマスクします。 <p>(注意事項) bit3 の OSEL が反転出力に設定されている場合に PMSK を "1" にすると "H" 出力にマスクとなります。</p>
bit9, bit8	EGS1, EGS0 : トリガ入力エッジ 選択ビット	<ul style="list-style-type: none"> 外部起動要因として入力波形に対する有効エッジを選択し、トリガの条件を設定します。 初期値または "00_B" の設定の場合、入力波形に対する有効エッジが選択されていない状態なので外部波形による起動はかかりません。 <p>(注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。</p> <ul style="list-style-type: none"> EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTnTMCR 下位バイト)

図 13.8-2 タイマ制御レジスタ (BTnTMCR 下位バイト)

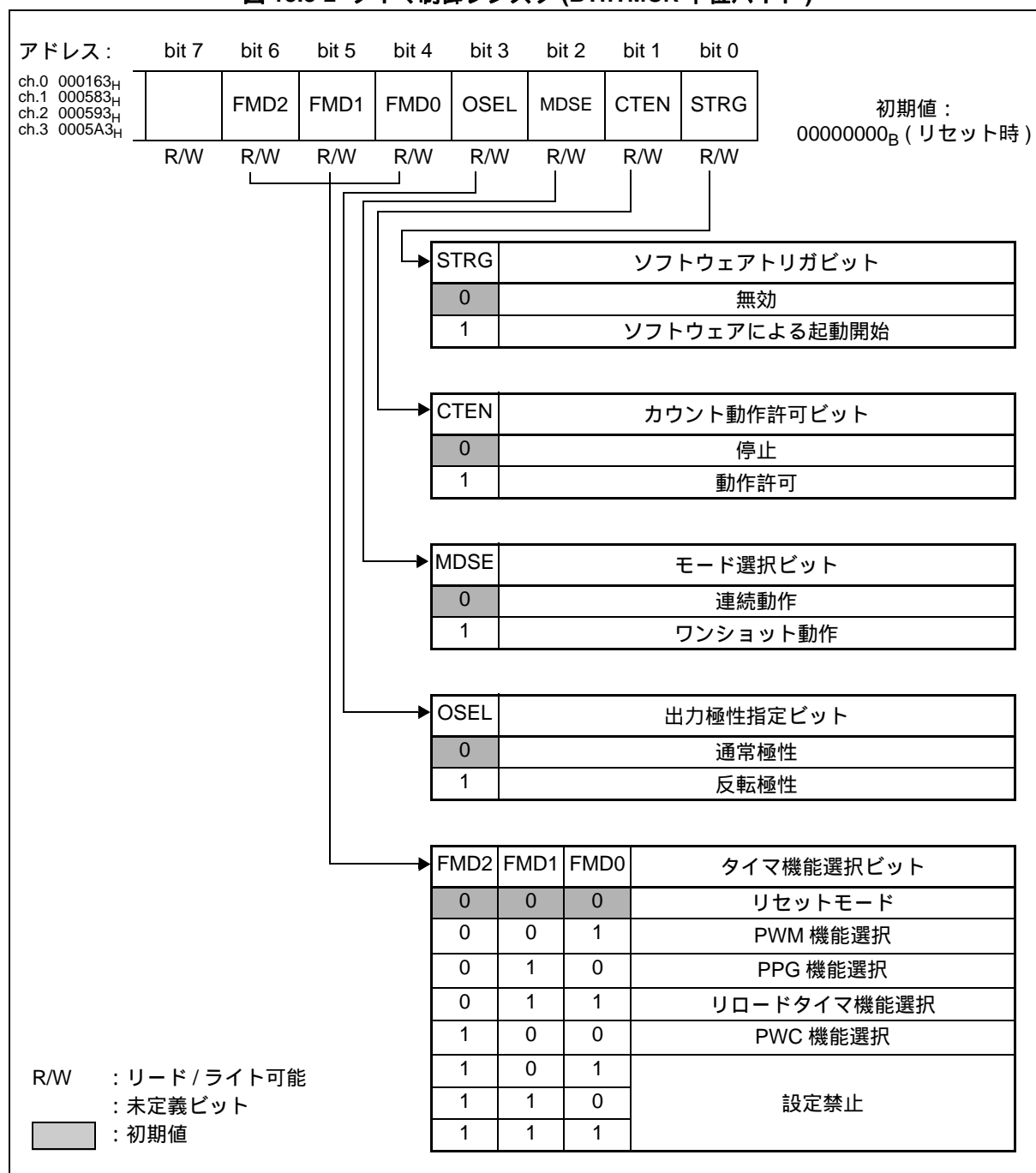














表 13.8-2 タイマ制御レジスタ (BTnTMCR 下位バイト)

ビット名		機能												
bit7	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。												
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能選択 ビット	<ul style="list-style-type: none">タイマ機能を選択するビットです。FMD2, FMD1, FMD0 ビットに "001_B" を設定すると PWM 機能が選択されます。変更はタイマ停止中 (CTEN=0) に行ってください。ただし CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit3	OSEL : 出力極性指定 ビット	<p>PWM 出力の極性を設定します。</p> <table><tr><th>極性</th><th>リセット後</th><th>デューティ一致</th><th>アンダフロー</th></tr><tr><td>通常</td><td>"L" 出力</td><td></td><td></td></tr><tr><td>反転</td><td>"H" 出力</td><td></td><td></td></tr></table>	極性	リセット後	デューティ一致	アンダフロー	通常	"L" 出力			反転	"H" 出力		
極性	リセット後	デューティ一致	アンダフロー											
通常	"L" 出力													
反転	"H" 出力													
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none">連続してパルスを出力する動作か, 単一パルスを出力するワンショット動作かを選択します。変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit1	CTEN : カウント動作 許可ビット	<ul style="list-style-type: none">ダウンカウンタの動作を許可するビットです。カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。												
bit0	STRG : ソフトウェア トリガビット	<ul style="list-style-type: none">CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも, ソフトウェアトリガが発生します。STRG ビットの読出し値は常に "0" です。(注意事項) EGS1, EGS0 の設定にかかわらず, STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。												

■ ステータス制御レジスタ (BTnSTC)

図 13.8-3 ステータス制御レジスタ (BTnSTC)

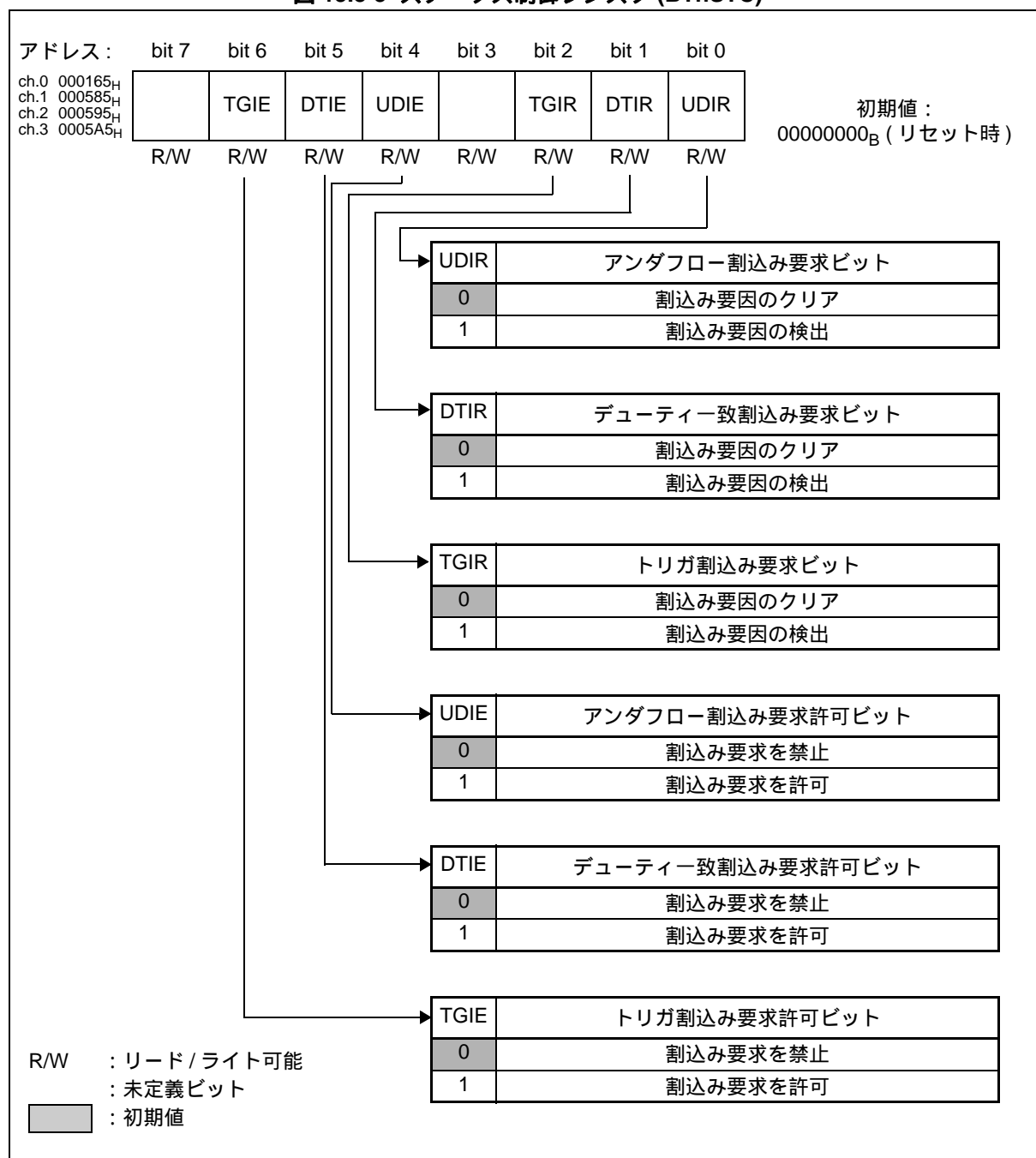


表 13.8-3 ステータス制御レジスタ (BTnSTC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit6	TGIE : トリガ割込み 要求許可 ビット	<ul style="list-style-type: none"> bit2 :TGIR の割込み要求を制御します。 TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	DTIE : デューティ 一致割込み要求 許可ビット	<ul style="list-style-type: none"> bit1 :DTIR の割込み要求を制御します。 DTIE ビットが許可されていて bit1: DTIR ビットがセットされると CPU に割込み要求を発生します。
bit4	UDIE : アンダフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0 :UDIR の割込み要求を制御します。 UDIE ビットが許可されていて bit0 :UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	TGIR : トリガ割込み 要求ビット	<ul style="list-style-type: none"> ソフトウェアトリガ , またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 TGIR ビットは "0" 書込みによりクリアされます。 TGIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。
bit1	DTIR : デューティ一致 割込み要求 ビット	<ul style="list-style-type: none"> カウント値がデューティ設定値と一致したときに DTIR ビットが "1" にセットされます。 DTIR ビットは "0" 書込みによりクリアされます。 DTIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。
bit0	UDIR : アンダフロー 割込み要求 ビット	<ul style="list-style-type: none"> カウント値が "0000_H" "FFFF_H" へのアンダフロー時に UDIR ビットが "1" にセットされます。 UDIR ビットは "0" 書込みによりクリアされます。 UDIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令におけるリード値は , ビット値にかかわらず "1" になります。

13.8.1.2 PWM 周期設定レジスタ (BTnPCSR)

PWM 周期設定レジスタ (BTnPCSR) は、周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は、起動時とアンダフロー時に行われます。

■ PWM 周期設定レジスタ (BTnPCSR) のビット構成

図 13.8-4 に、PWM 周期設定レジスタ (BTnPCSR) のビット構成を示します。

図 13.8-4 PWM 周期設定レジスタ (BTnPCSR) のビット構成

アドレス:	bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	
ch.0 000168 _H									
ch.1 000588 _H									
ch.2 000598 _H									
ch.3 0005A8 _H									
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値: XXXXXXXX _B (リセット時)
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値: XXXXXXXX _B (リセット時)

R/W : リード / ライト可能
X : 不定値

周期を設定するためのバッファ付きレジスタです。タイマレジスタへの転送は起動時とアンダフロー時に行われます。

周期設定レジスタの初期設定時および書換え時は、周期設定レジスタの書込み後に必ずデューティ設定レジスタへの書込み動作を行ってください。

- BTnPCSR レジスタは 16 ビットデータでアクセスしてください。
- BTnPCSR レジスタは BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットで PWM 機能の設定後に周期設定をしてください。

13.8.1.3 PWM デューティ設定レジスタ (BTnPDUT)

PWM デューティ設定レジスタ (BTnPDUT) はデューティを設定するためのバッファ付きレジスタです。バッファからの転送は、アンダフローで行われます。

■ PWM デューティ設定レジスタ (BTnPDUT) のビット構成

図 13.8-5 に、PWM デューティ設定レジスタ (BTnPDUT) のビット構成を示します。

図 13.8-5 PWM デューティ設定レジスタ (BTnPDUT) のビット構成

アドレス:	bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	
ch.0 00016A _H									初期値:
ch.1 00058A _H									XXXXXXXX _B (リセット時)
ch.2 00059A _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ch.3 0005AA _H									
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
									初期値:
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	XXXXXXXX _B (リセット時)

R/W : リード / ライト可能
X : 不定値

デューティを設定するためのバッファ付きレジスタです。バッファからの転送はアンダフローで行われます。

周期設定レジスタの値とデューティ設定レジスタの値を同じにすると、通常極性時にオール "H" を、反転極性時にオール "L" を出力します。

PSCR < BTnPDUT となるような値を設定しないでください。PWM 出力は不定となります。

- BTnPDUT レジスタは 16 ビットデータでアクセスしてください。
- BTnPDUT レジスタは BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットで PWM 機能の設定後にデューティ設定してください。

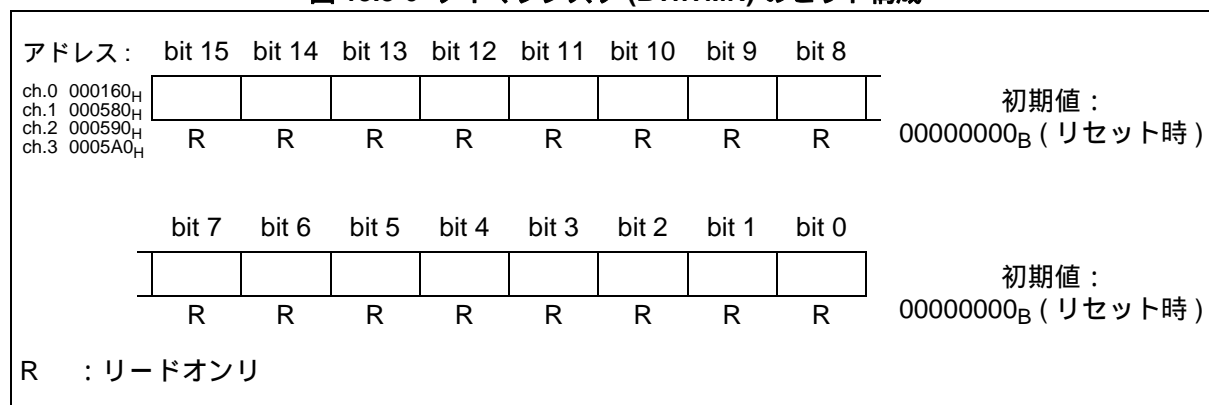
13.8.1.4 タイマレジスタ (BTnTMR)

タイマレジスタ (BTnTMR) は, 16 ビットダウンカウンタの値を読み出すことができます。

■ タイマレジスタ (BTnTMR) のビット構成

図 13.8-6 に, PWM タイマレジスタ (BTnTMR) のビット構成を示します。

図 13.8-6 タイマレジスタ (BTnTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

< 注意事項 >

BTnTMR レジスタは 16 ビットデータでアクセスしてください。

13.8.1.5 16 ビット PWM タイマ動作

PWM タイマ動作では、トリガの検出時より設定周期の波形を単発、または連続して出力することができます。

出力パルスの周期は、BTnPCSR 値を変えることにより制御することができます。

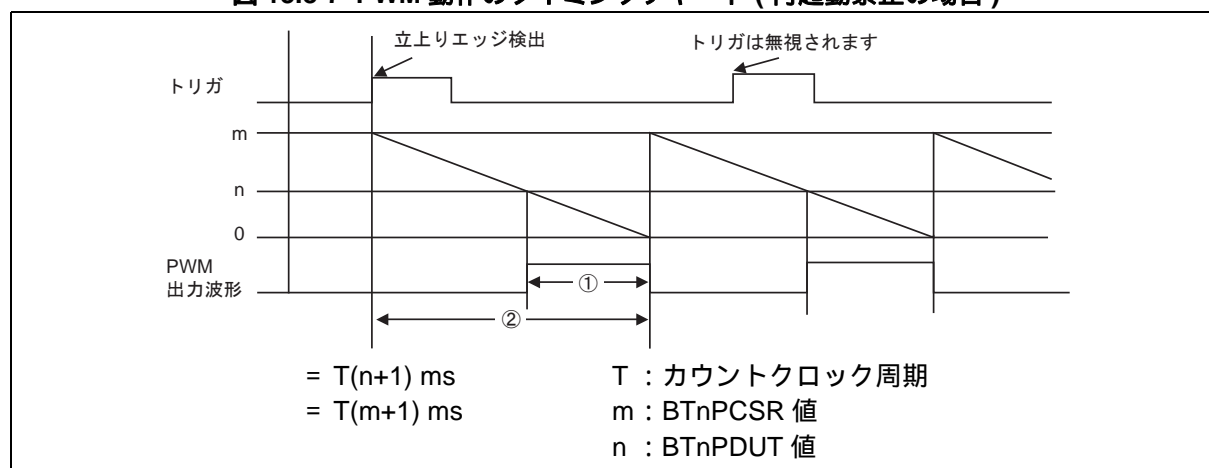
また、デューティ比は、BTnPDUT 値を変えることにより制御することができます。

BTnPCSR にデータを書き込んだ後は、必ず BTnPDUT への書き込みを行ってください。

■ 連続動作

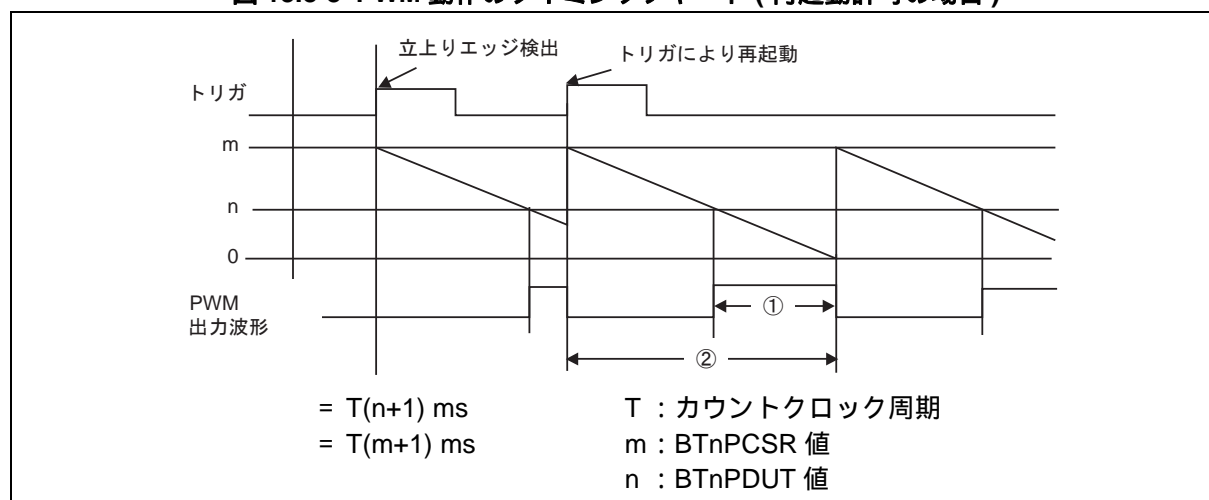
● 再起動禁止の場合 (RTGEN=0)

図 13.8-7 PWM 動作のタイミングチャート (再起動禁止の場合)



● 再起動許可の場合 (RTGEN=1)

図 13.8-8 PWM 動作のタイミングチャート (再起動許可の場合)



ワンショット動作では、トリガにより任意の幅の単一パルスを出力することができます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

● 再起動禁止の場合 (RTGEN=0)

トリガ

立上リエッジ検出

トリガは無視されます

m

n

0

PWM 出力波形

①

②

$= T(n+1) \text{ ms}$

$= T(m+1) \text{ ms}$

T : カウントクロック周期

m : BTnPCSR 値

n : BTnPDUT 値

トリガ

立ち上りエッジ検出

トリガにより再起動

m

n

0

PWM出力波形

①

②

$= T(n+1) \text{ ms}$

$= T(m+1) \text{ ms}$

T : カウントクロック周期

m : BTnPCSR 値

n : BTnPDUT 値

13.8.1.7 割込み要因とタイミングチャート

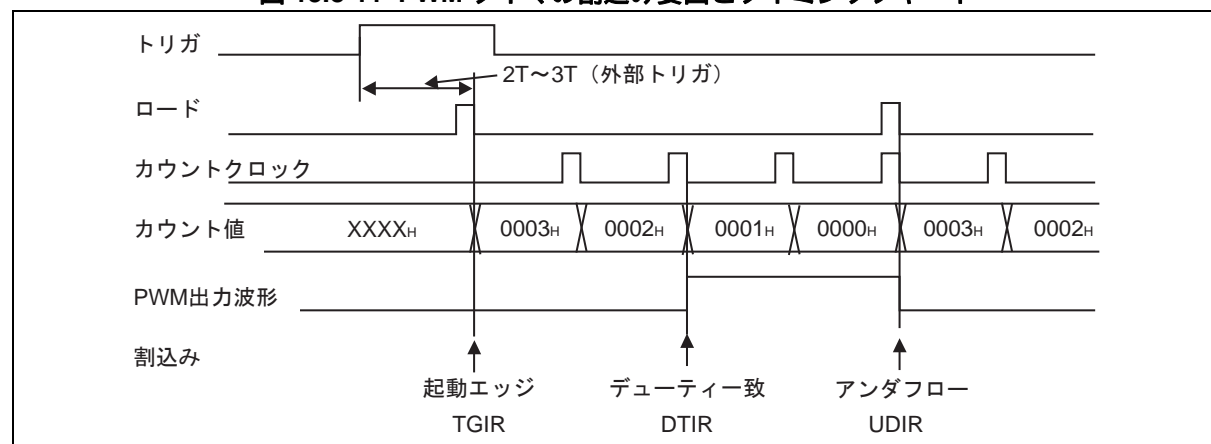
割込み要因とタイミングチャートについて示します。

■ 割込み要因とタイミングチャート (PWM 出力 : 通常極性)

トリガが入力されてカウンタ値がロードされるまで、ソフトウェアトリガ時は T, 外部トリガ時は 2T ~ 3T (T: 周辺クロック (CLKP) サイクル) を必要とします。

図 13.8-11 に、周期設定値 = 3, デューティ値 = 1 の場合の割込み要因とタイミングチャートを示します。

図 13.8-11 PWM タイマの割込み要因とタイミングチャート



13.8.1.8 出力波形

PWM 出力について示します。

■ PWM 出力オール "L" またはオール "H" の出力方法

図 13.8-12 に PWM 出力をオール "L" に、図 13.8-13 にオール "H" にする出力方法を示します。

図 13.8-12 PWM 出力をオール "L" レベルにする例

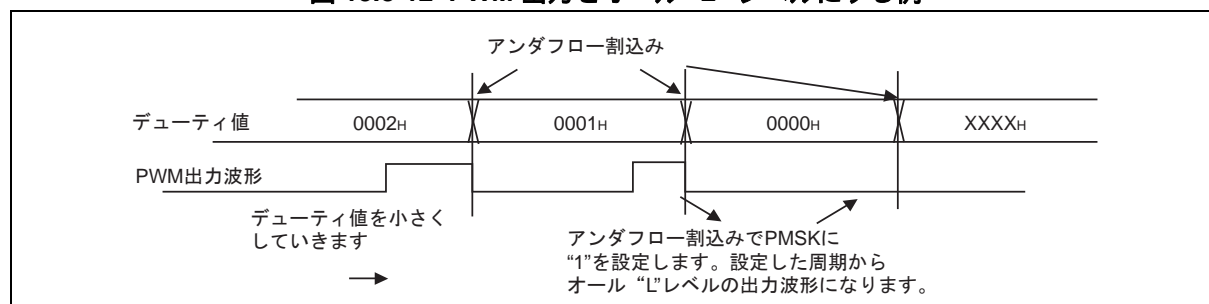
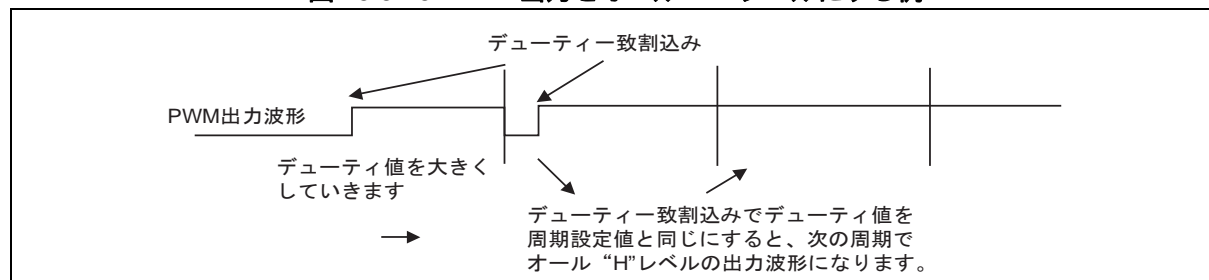


図 13.8-13 PWM 出力をオール "H" レベルにする例



13.8.2 PPG 機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PPG を設定したときのタイマ機能の説明を示します。

- PPG タイマ選択時のタイマ制御レジスタ (BTnTMCR)
- "L" 幅設定リロードレジスタ (BTnPRLL)
- "H" 幅設定リロードレジスタ (BTnPRLH)
- タイマレジスタ (BTnTMR)
- 16 ビット PPG タイマ動作
- 連続動作
- ワンショット動作
- 割込み要因とタイミングチャート

13.8.2.1 PPG タイマ選択時のタイマ制御レジスタ (BTnTMCR)

タイマ制御レジスタ (BTnTMCR) は、PPG タイマを制御します。PPG タイマ動作中に書換え不可能なビットがありますので注意してください。

■ タイマ制御レジスタ (BTnTMCR 上位バイト)



表 13.8-4 タイマ制御レジスタ (BTnTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14 ～ bit12	CKS2, CKS1, CKS0 : カウント クロック選択 ビット	<ul style="list-style-type: none"> 16 ビットダウンカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって、CKS2 ~ CKS0の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	RTGEN : 再起動許可 ビット	ソフトウェアトリガ、またはトリガ入力による再起動を許可するビットです。
bit10	PMSK : パルス出力 マスクビット	<ul style="list-style-type: none"> PPG 出力波形の出力波形レベルを制御します。 このビットが "0" のときは PPG 波形をそのまま出力します。 このビットが "1" のときは、"H" 幅や "L" 幅設定の値にかかわらず PPG 出力を "L" 出力にマスクします。 <p>(注意事項) bit3 の OSEL が反転出力に設定されている場合に PMSK を "1" にすると "H" 出力にマスクとなります。</p>
bit9, bit8	EGS1, EGS0 : トリガ入力 エッジ選択 ビット	<ul style="list-style-type: none"> 外部起動要因として入力波形に対する有効エッジを選択し、トリガの条件を設定します。 初期値または "00_B" の設定の場合、入力波形に対する有効エッジが選択されていない状態なので外部波形による起動はかかりません。 <p>(注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。</p> <ul style="list-style-type: none"> EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTnTMCR 下位バイト)



表 13.8-5 タイマ制御レジスタ (BTnTMCR 下位バイト)

ビット名		機能												
bit7	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。												
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	<ul style="list-style-type: none">タイマ機能を選択するビットです。FMD2, FMD1, FMD0 ビットに "010_B" を設定すると PPG 機能が選択されます。変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit3	OSEL : 出力極性指定 ビット	<p>PPG 出力の極性を設定します。</p> <table><tr><td>極性</td><td>リセット後</td><td>"L" 幅カウンタ終了</td><td>"H" 幅カウンタ終了</td></tr><tr><td>通常</td><td>"L" 出力</td><td></td><td></td></tr><tr><td>反転</td><td>"H" 出力</td><td></td><td></td></tr></table>	極性	リセット後	"L" 幅カウンタ終了	"H" 幅カウンタ終了	通常	"L" 出力			反転	"H" 出力		
極性	リセット後	"L" 幅カウンタ終了	"H" 幅カウンタ終了											
通常	"L" 出力													
反転	"H" 出力													
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none">連続してパルスを出力する動作か , 単一パルスを出力するワンショット動作かを選択します。変更はタイマ停止中 (CTEN=0) に行ってください。ただし , CTEN ビットへの "1" 書込みと同時に変更することは可能です。												
bit1	CTEN : カウンタ動作 許可ビット	<ul style="list-style-type: none">ダウンカウンタの動作を許可するビットです。カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。												
bit0	STRG : ソフトウェア トリガビット	<ul style="list-style-type: none">CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも , ソフトウェアトリガが発生します。STRG ビットの読出し値は常に "0" です。(注意事項) EGS1, EGS0 の設定にかかわらず , STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。												

■ ステータス制御レジスタ (BTnSTC)

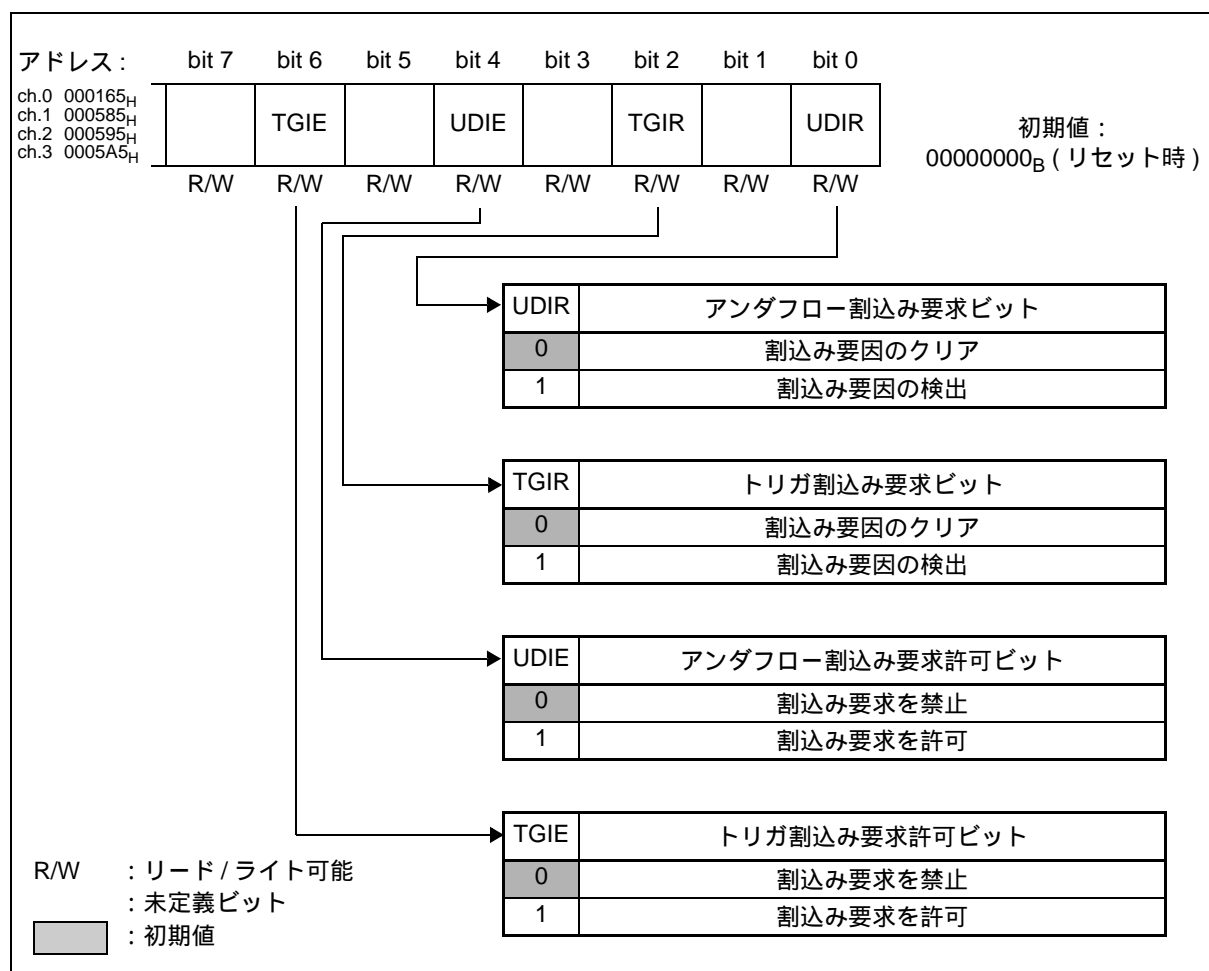


表 13.8-6 ステータス制御レジスタ (BTnSTC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit6	TGIE : トリガ割込み 要求許可ビット	<ul style="list-style-type: none"> bit2: TGIR の割込み要求を制御します。 TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit4	UDIE : アンダフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0 :UDIR の割込み要求を制御します。 UDIE ビットが許可されていて bit0 :UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	TGIR : トリガ割込み 要求ビット	<ul style="list-style-type: none"> ソフトウェアトリガ, またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 TGIR ビットは "0" 書込みによりクリアされます。 TGIR ビットに "1" 書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。
bit1	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit0	UDIR : アンダフロー 割込み要求 ビット	<ul style="list-style-type: none"> "H" 幅を設定した値からのカウント中でカウント値が "0000_H" "FFFF_H" へアンダフロー変化したときに UDIR ビットが "1" にセットされます。 UDIR ビットは "0" 書込みによりクリアされます。 UDIR ビットに "1" 書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。

13.8.2.2 "L" 幅設定リロードレジスタ (BTnPRLL)

"L" 幅設定リロードレジスタ (BTnPRLL) は, PPG 出力波形の "L" 幅を設定するためのレジスタです。タイマレジスタへの転送は, 起動トリガ検出時か, "H" 幅カウンタ終了時のアンダフローで行われます。

■ "L" 幅設定リロードレジスタ (BTnPRLL) のビット構成

図 13.8-14 に, "L" 幅設定リロードレジスタ (BTnPRLL) のビット構成を示します。

図 13.8-14 "L" 幅設定リロードレジスタ (BTnPRLL) のビット構成

アドレス:	bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	
ch.0 000168 _H									
ch.1 000588 _H									
ch.2 000598 _H									
ch.3 0005A8 _H									
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 : XXXXXXXX _B (リセット時)
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 : XXXXXXXX _B (リセット時)

R/W : リード / ライト可能
X : 不定値

PPG 出力波形の "L" 幅を設定するためのレジスタです。タイマレジスタへの転送は起動トリガ検出時と "H" 幅カウンタ終了時のアンダフローで行われます。

- BTnPRLL レジスタは 16 ビットデータでアクセスしてください。
- BTnPRLL レジスタは BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットで PPG 機能の設定後に "L" 幅設定してください。

13.8.2.3 "H" 幅設定リロードレジスタ (BTnPRLH)

"H" 幅設定リロードレジスタ (BTnPRLH) は PPG 出力波形の "H" 幅を設定するためのバッファ付きレジスタです。BTnPRLH からバッファレジスタへの転送は起動トリガ検出時と "H" 幅カウンタ終了時のアンダフローで行われ、バッファレジスタからタイマレジスタへの転送は "L" 幅カウンタ終了時のアンダフローで行われます。

■ "H" 幅設定リロードレジスタ (BTnPRLH) のビット構成

図 13.8-15 に、"H" 幅設定リロードレジスタ (BTnPRLH) のビット構成を示します。

図 13.8-15 "H" 幅設定リロードレジスタ (BTnPRLH) のビット構成

アドレス:	bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	
ch.0 00016A _H									
ch.1 00058A _H									
ch.2 00059A _H									
ch.3 0005AA _H									
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 : XXXXXXXX _B (リセット時)
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値 : XXXXXXXX _B (リセット時)

R/W : リード / ライト可能
X : 不定値

PPG 出力波形の "H" 幅を設定するためのレジスタです。BTnPRLH からバッファレジスタへの転送は起動トリガ検出時と "H" 幅カウンタ終了時のアンダフローで行われ、バッファレジスタからタイマレジスタへの転送は "L" 幅カウンタ終了時のアンダフローで行われます。

- BTnPRLH レジスタは 16 ビットデータでアクセスしてください。
- BTnPRLH レジスタは BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットで PPG 機能の設定後、"H" 幅に設定してください。

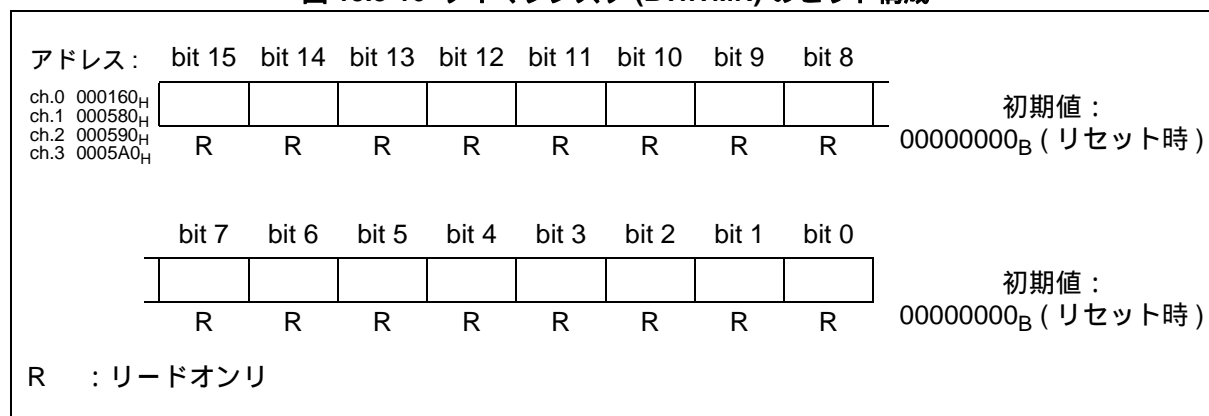
13.8.2.4 タイマレジスタ (BTnTMR)

タイマレジスタ (BTnTMR) は, 16 ビットダウンカウンタの値を読み出すことができます。

■ タイマレジスタ (BTnTMR) のビット構成

図 13.8-16 に, PPG タイマレジスタ (BTnTMR) のビット構成を示します。

図 13.8-16 タイマレジスタ (BTnTMR) のビット構成



16 ビットダウンカウンタの値を読み出すことができます。

< 注意事項 >

BTnTMR レジスタは 16 ビットデータでアクセスしてください。

13.8.2.5 16 ビット PPG タイマ動作

PPG タイマ動作では、出力パルスの "L" 幅と "H" 幅をそれぞれのリロードレジスタに設定することで任意の出力パルスを制御することができます。

■ 動作概要

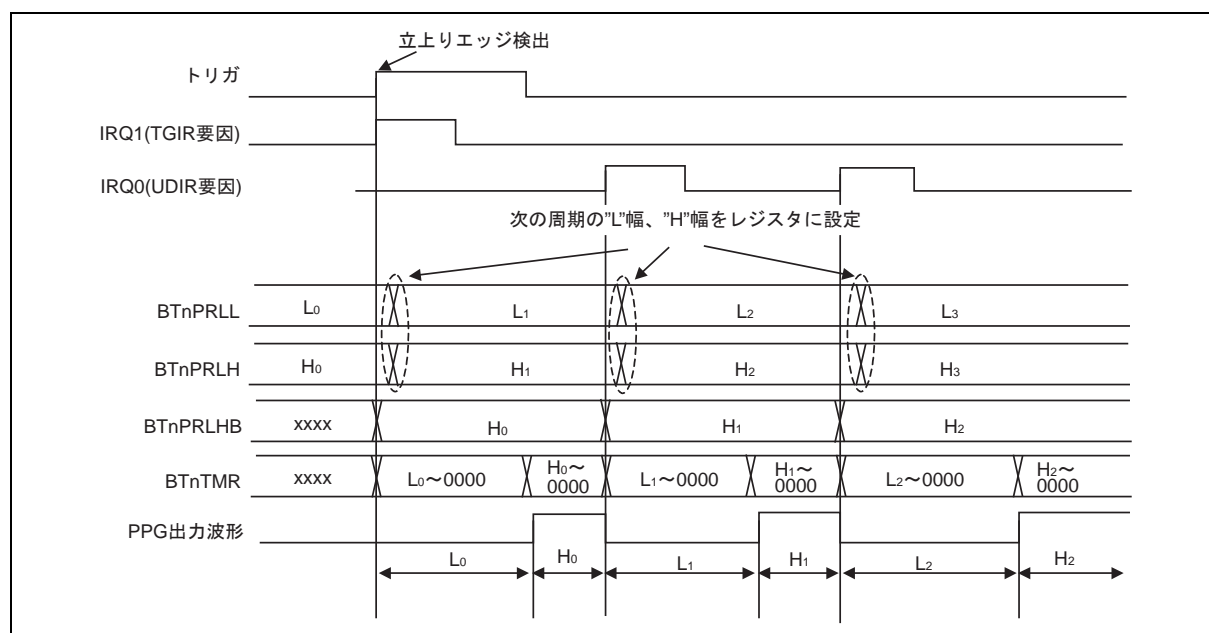
16 ビット長のリロードレジスタが "L" 幅設定用と "H" 幅設定用の 2 本, "H" 幅設定のバッファが 1 本あります (BTnPRLL, BTnPRLH, BTnPRLHB)。

起動トリガにより, 16 ビットダウンカウンタに最初は BTnPRLL の設定値がロードされ, 同時に BTnPRLHB に BTnPRLH の設定値が転送されます。PPG 出力はレベルを "L" にして, カウントクロックごとにダウンカウントしていきます。アンダフローの検出により BTnPRLHB の値がカウンタにリロードされ, PPG 出力波形を反転してダウンカウントしていきます。再度アンダフローの検出で PPG 出力波形を反転し, BTnPRLL の設定値をカウンタにリロードし, BTnPRLH の設定値を BTnPRLHB に転送します。

この動作によって, 出力波形は各リロードレジスタ値に対応した "L" 幅・"H" 幅のパルス出力となります。

■ リロードレジスタへの書き込みタイミング

リロードレジスタ BTnPRLL, BTnPRLH へのデータの書き込みは起動トリガ検出時とアンダフロー割込み要因 (UDIR) がセットされてから, 次の周期に移るまでの間に行います。その際に設定するデータは次の周期の設定となります。BTnPRLL, BTnPRLH に設定したデータは起動トリガ検出時と "H" 幅カウント終了時のアンダフロー時に BTnTMR と BTnPRLHB にそれぞれ自動転送されます。BTnPRLHB に転送されたデータは "L" 幅カウント終了時のアンダフロー時に BTnTMR に自動でリロードされます。

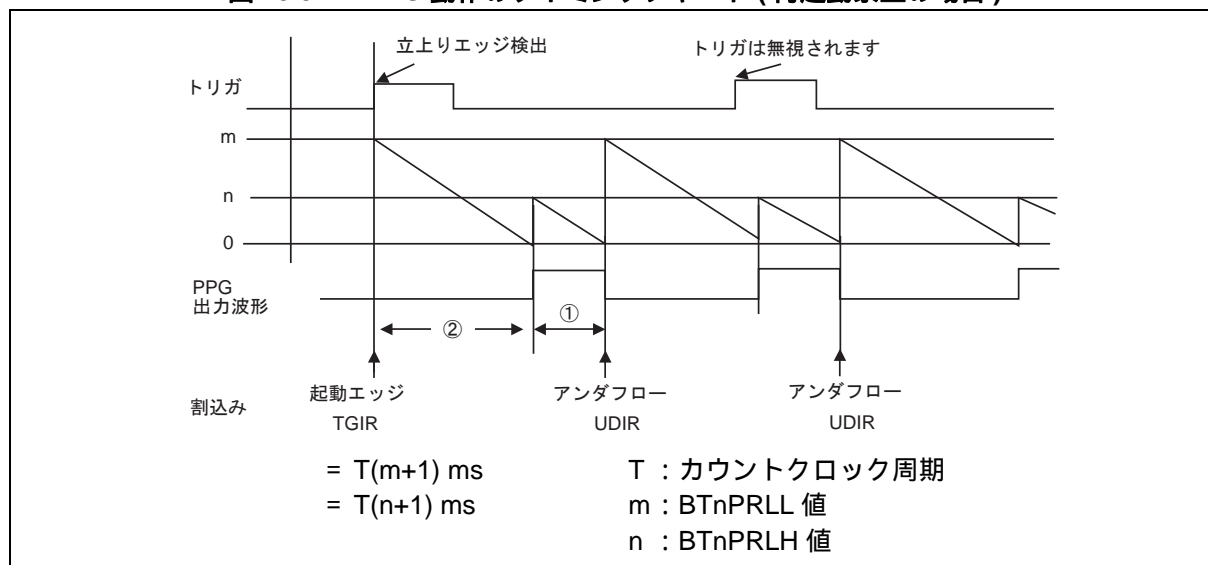


13.8.2.6 連続動作

■ 連続動作

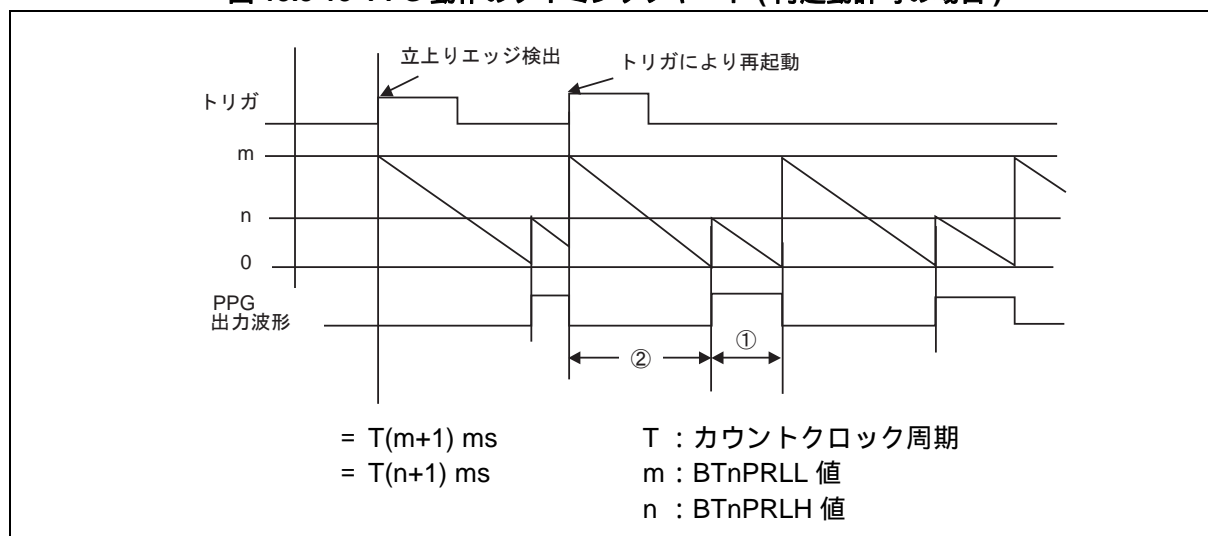
- 再起動禁止の場合 (RTGEN=0)

図 13.8-17 PPG 動作のタイミングチャート (再起動禁止の場合)



- 再起動許可の場合 (RTGEN=1)

図 13.8-18 PPG 動作のタイミングチャート (再起動許可の場合)



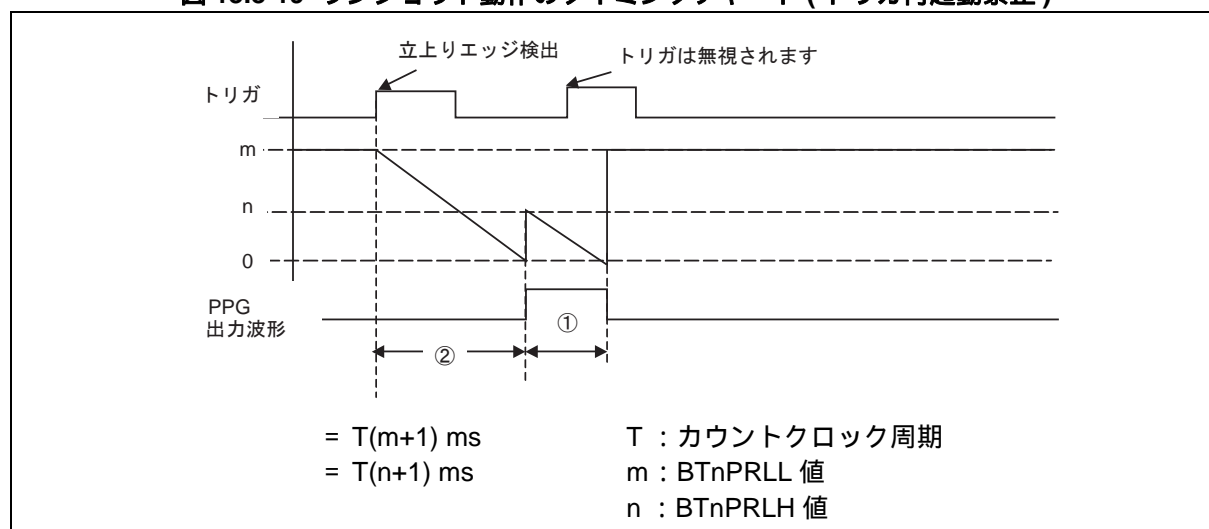
13.8.2.7 ワンショット動作

ワンショット動作では、トリガにより任意の幅の単一パルスを出力することができます。再起動許可の場合は、動作中にエッジを検出するとカウンタをリロードします。

■ ワンショット動作

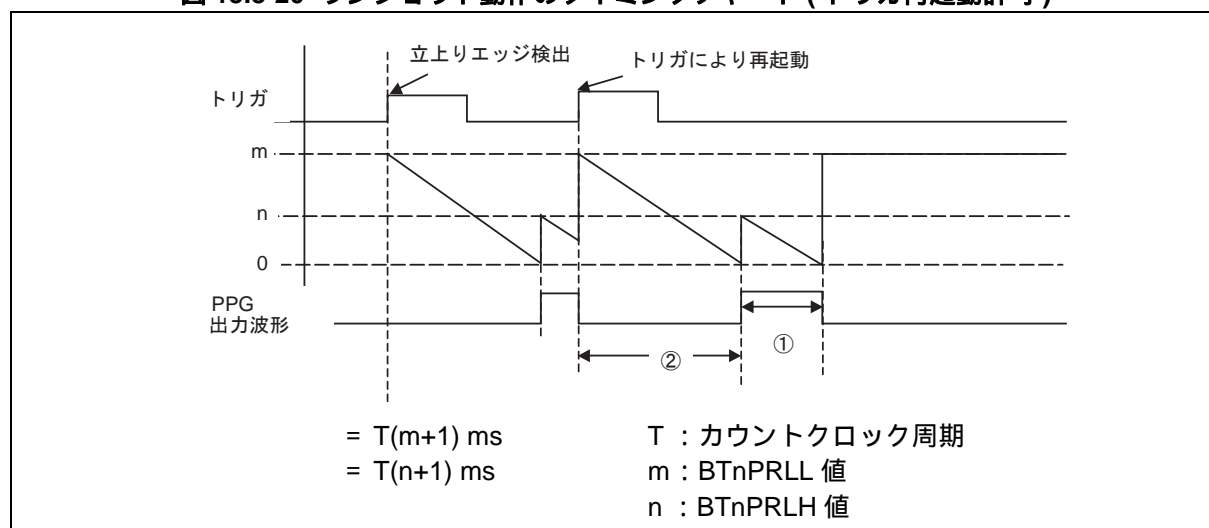
- 再起動禁止の場合 (RTGEN=0)

図 13.8-19 ワンショット動作のタイミングチャート (トリガ再起動禁止)



- 再起動許可の場合 (RTGEN=1)

図 13.8-20 ワンショット動作のタイミングチャート (トリガ再起動許可)



■ リロード値とパルス幅の関係

16 ビット長のリロードレジスタに書かれた値を + 1 した値に , カウントクロックの周期を掛けた値が出力されるパルス幅となります。したがって , リロードレジスタ値が "0000_H" のときはカウントクロック 1 周期のパルス幅になります。また , リロードレジスタ値が "FFFF_H" のときはカウントクロック 65536 周期のパルス幅になります。パルス幅の計算式は以下のようになります。

$$\begin{aligned} PL &= T \times (L+1) & PL : "L" \text{ パルスの幅} \\ PH &= T \times (H+1) & PH : "H" \text{ パルスの幅} \\ & & T : \text{カウントクロック周期} \\ & & L : \text{BTnPRLL 値} \\ & & H : \text{BTnPRLH 値} \end{aligned}$$

13.8.2.8 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

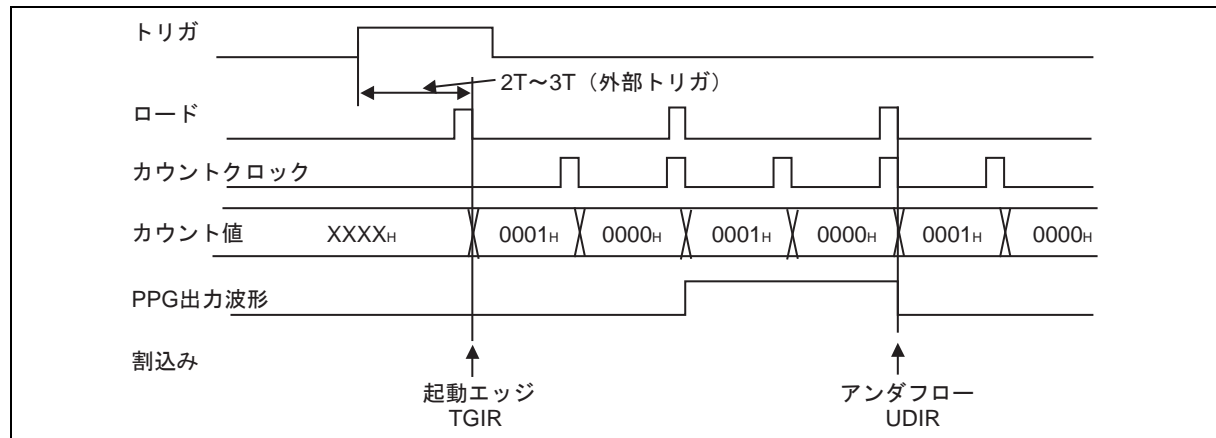
■ 割込み要因とタイミングチャート (PPG 出力 : 通常極性)

トリガがかかってからカウンタ値がロードされるまで、ソフトウェアトリガ時は T, 外部トリガ時は 2T ~ 3T (T: 周辺クロック (CLKP) サイクル) を必要とします。

割込み要因は PPG 起動トリガ検出時と, "H" レベル出力時のアンダフロー検出時にセットされます。

図 13.8-21 に, "L" 幅設定値 = 1, "H" 幅設定値 = 1 の場合の割込み要因とタイミングチャートを示します。

図 13.8-21 PPG タイマの割込み要因とタイミングチャート



13.8.3 リロードタイマ機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。リロードタイマを設定したときのタイマ機能の説明を示します。

- リロードタイマ選択時のタイマ制御レジスタ (BTnTMCR)
- 周期設定レジスタ (BTnPCSR)
- タイマレジスタ (BTnTMR)
- 16 ビットリロードタイマの動作

13.8.3.1 リロードタイマ選択時のタイマ制御レジスタ
(BTnTMCR)

タイマ制御レジスタ (BTnTMCR) は、タイマの動作制御をします。

■ タイマ制御レジスタ (BTnTMCR 上位バイト)

図 13.8-22 タイマ制御レジスタ (BTnTMCR 上位バイト)

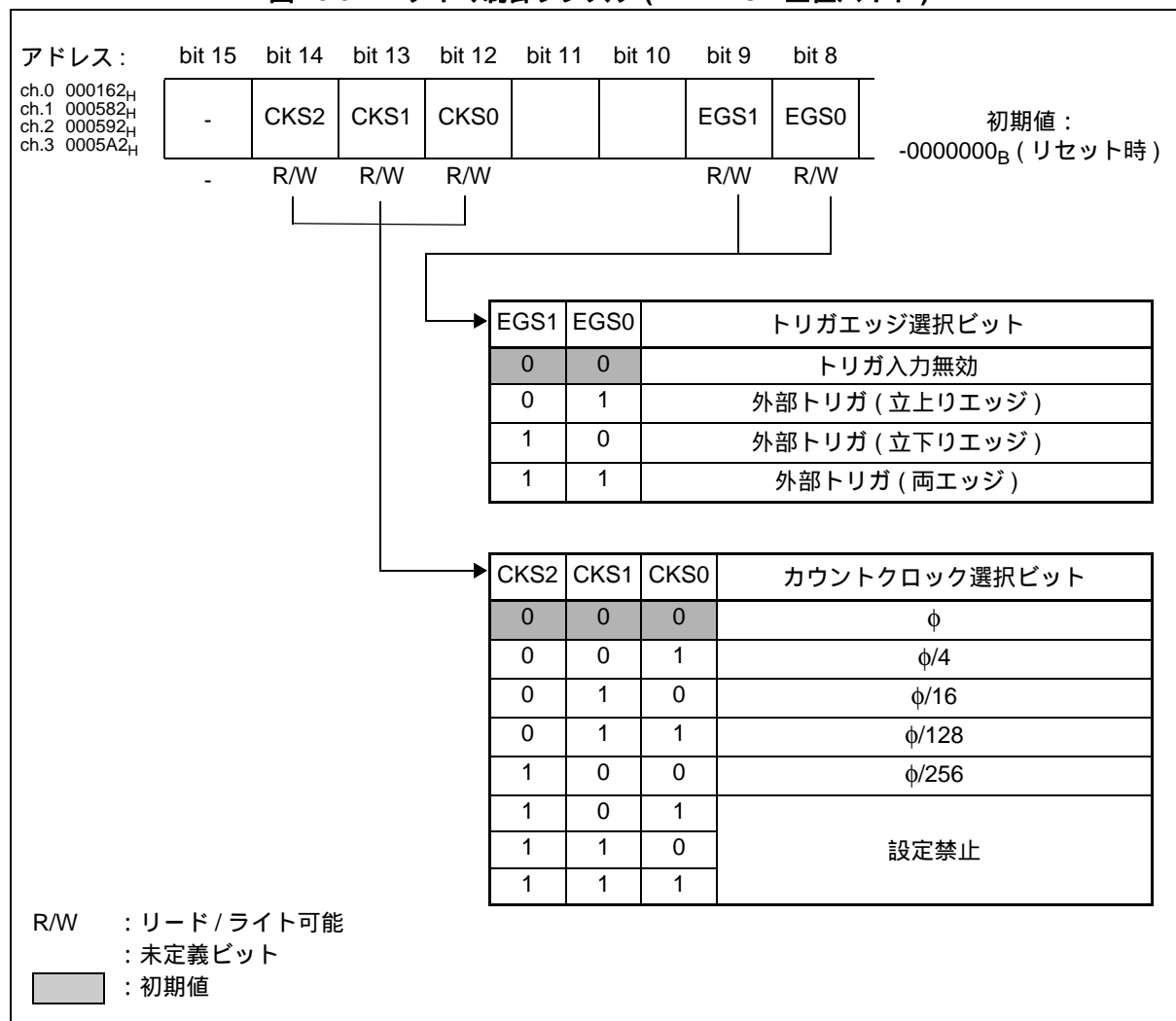


表 13.8-7 タイマ制御レジスタ (BTnTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14 ～ bit12	CKS2, CKS1, CKS0 : カウント クロック選択 ビット	<ul style="list-style-type: none"> 16 ビットダウンカウンタのカウントクロックを選択します。 カウントクロックの変更は設定を変えると直ちに反映します。したがって、CKS2 ～ CKS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11, bit10	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit9, bit8	EGS1, EGS0 : トリガエッジ 選択ビット	<ul style="list-style-type: none"> 外部起動要因として入力波形に対する有効エッジを選択し、トリガの条件を設定します。 初期値または "00_B" の設定の場合、入力波形に対する有効エッジが選択されていない状態なので外部波形による起動は行いません。 (注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。 EGS1, EGS0 の変更はカウント停止状態 (CTEN=0) で行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTnTMCR 下位バイト)

図 13.8-23 タイマ制御レジスタ (BTnTMCR 下位バイト)



表 13.8-8 タイマ制御レジスタ (BTnTMCR 下位バイト) (1 / 2)

ビット名		機能															
bit7	T32: 32 ビット タイマ選択 ビット	<ul style="list-style-type: none"> 32 ビットタイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "011_B" を設定して、リロードタイマ機能を選択している場合、T32 ビットを "1" に設定すると 32 ビットタイマモードになります。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です (「13.5 32 ビットモード動作」を参照)。 															
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	<ul style="list-style-type: none"> タイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "011_B" を設定するとリロードタイマ機能が選択されます。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。 															
bit3	OSEL : 出力極性指定 ビット	<ul style="list-style-type: none"> タイマ出力のレベルを通常のまま出力するか反転させるかを選択します。 bit2:MDSE との組合せにより次のように出力波形を生成します。 <table border="1"> <thead> <tr> <th>MDSE</th><th>OSEL</th><th>出力波形</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>カウント開始時 "L" のトグル出力</td></tr> <tr> <td>0</td><td>1</td><td>カウント開始時 "H" のトグル出力</td></tr> <tr> <td>1</td><td>0</td><td>カウント中 "H" の矩形波</td></tr> <tr> <td>1</td><td>1</td><td>カウント中 "L" の矩形波</td></tr> </tbody> </table>	MDSE	OSEL	出力波形	0	0	カウント開始時 "L" のトグル出力	0	1	カウント開始時 "H" のトグル出力	1	0	カウント中 "H" の矩形波	1	1	カウント中 "L" の矩形波
MDSE	OSEL	出力波形															
0	0	カウント開始時 "L" のトグル出力															
0	1	カウント開始時 "H" のトグル出力															
1	0	カウント中 "H" の矩形波															
1	1	カウント中 "L" の矩形波															
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none"> MDSE ビットを "0" に設定するとリロードモードとなり、カウント値が "0000_H" "FFFF_H" へのアンダフローと同時にリロードレジスタ値をカウンタにロードしてカウント動作を続けます。 MDSE ビットを "1" に設定するとワンショットモードとなり、カウント値が "0000_H" "FFFF_H" へのアンダフローにより動作を停止します。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし、CTEN ビットへの "1" 書込みと同時に変更することは可能です。 															
bit1	CTEN : カウント動作 許可ビット	<ul style="list-style-type: none"> ダウンカウンタの動作を許可するビットです。 カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。 															

表 13.8-8 タイマ制御レジスタ (BTnTMCR 下位バイト) (2 / 2)

ビット名		機能
bit0	STRG : ソフトウェア トリガビット	<ul style="list-style-type: none">CTEN ビットが "1" のときに STRG ビットに "1" を書き込むとソフトウェアトリガが発生します。(注意事項) CTEN ビットと STRG ビットに同時に "1" を書き込んだ場合でも、ソフトウェアトリガが発生します。STRG ビットの読出し値は常に "0" です。(注意事項) EGS1, EGS0 の設定にかかわらず、STRG ビットに "1" を書き込むとソフトウェアトリガは有効になります。

■ ステータス制御レジスタ (BTnSTC)

図 13.8-24 ステータス制御レジスタ (BTnSTC)

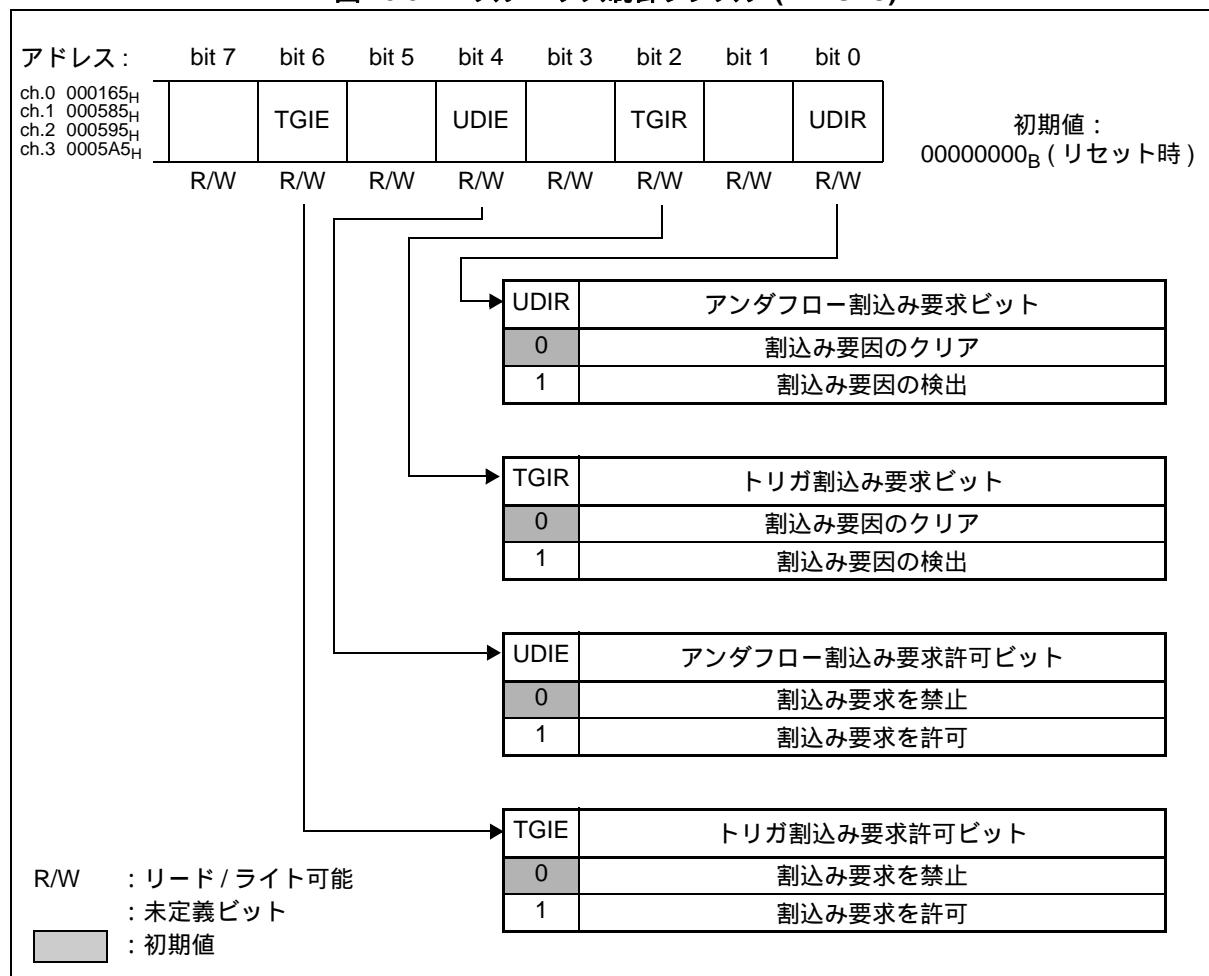


表 13.8-9 ステータス制御レジスタ (BTnSTC)

ビット名		機能
bit7	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit6	TGIE : トリガ割込み 要求許可ビット	<ul style="list-style-type: none"> bit2 :TGIR の割込み要求を制御します。 TGIE ビットが許可されていて bit2 :TGIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit4	UDIE : アンダフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0: UDIR の割込み要求を制御します。 UDIE ビットが許可されていて bit0: UDIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	TGIR : トリガ割込み 要求ビット	<ul style="list-style-type: none"> ソフトウェアトリガ, またはトリガ入力の検出をしたときに TGIR ビットが "1" にセットされます。 TGIR ビットは "0" 書込みによりクリアされます。 TGIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。
bit1	未使用ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit0	UDIR : アンダフロー 割込み要求 ビット	<ul style="list-style-type: none"> カウント値が "0000_H" "FFFF_H" へのアンダフロー時に UDIR ビットが "1" にセットされます。 UDIR ビットは "0" 書込みによりクリアされます。 UDIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は , ビット値にかかわらず "1" になります。

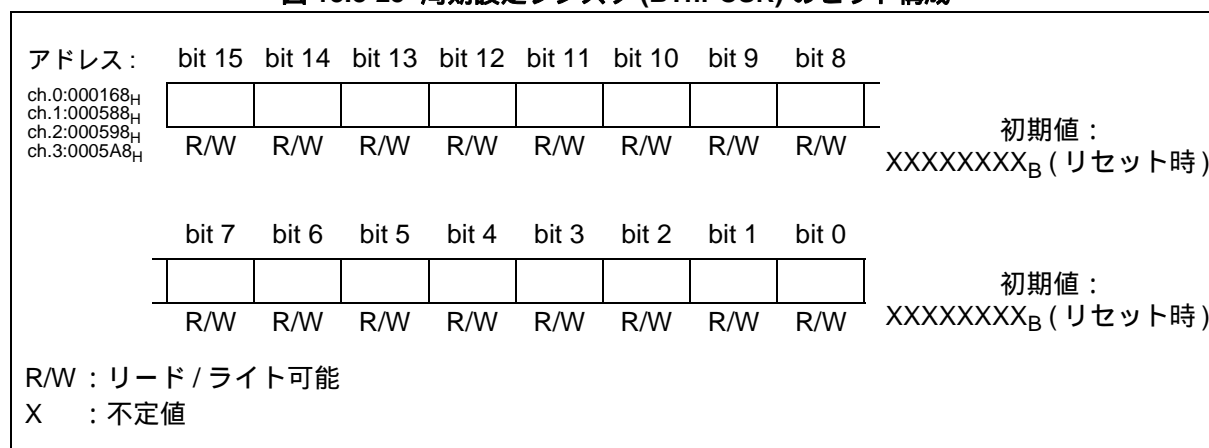
13.8.3.2 周期設定レジスタ (BTnPCSR)

周期設定レジスタ (BTnPCSR) は、カウントの初期値を保持するレジスタです。32 ビットモード時には偶数チャネルの場合は下位 16 ビットのカウント初期値となり、奇数チャネルの場合は上位 16 ビットのカウント初期値となります。リセット時の初期値は不定です。このレジスタへのアクセスは、必ず 16 ビットデータ転送命令で行ってください。

■ 周期設定レジスタ (BTnPCSR) のビット構成

図 13.8-25 に、周期設定レジスタ (BTnPCSR) のビット構成を示します。

図 13.8-25 周期設定レジスタ (BTnPCSR) のビット構成



周期を設定するためのレジスタです。タイマレジスタへの転送はアンダフローで行われます。

- BTnPCSR レジスタは 16 ビットデータでアクセスしてください。
- BTnPCSR レジスタは BTnTMCR レジスタの FMD2, FMD1, FMD0 ビットでリロードタイマ機能の設定後に周期設定をしてください。
- 32 ビットモードで BTnPCSR レジスタにデータを書き込む場合、上位 16 ビットデータ (奇数チャネルのデータ) から先にアクセスした後で、下位 16 ビットデータ (偶数チャネルのデータ) にアクセスしてください。

13.8.3.4 16 ビットリロードタイマの動作

リロードタイマ動作では、カウントクロックに同期して周期設定レジスタに設定する値からカウントダウンを実行し、カウント値が "0" となったときにカウントを終了するか、または周期設定を自動でロードしてカウントダウンを停止するまで継続動作します。

■ 内部クロック選択時のカウント動作

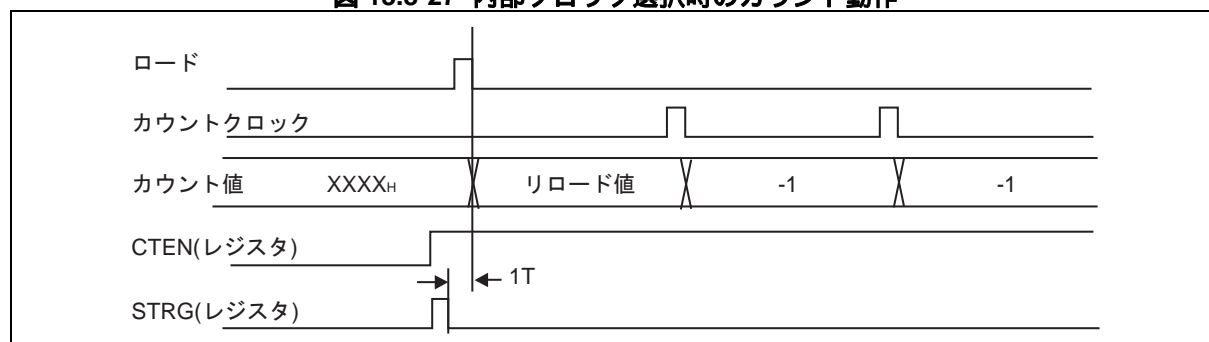
カウント許可と同時にカウント動作を開始したい場合は、タイマ制御レジスタの CTEN ビットと STRG ビットの両方に "1" を書き込んでください。STRG ビットによるトリガ入力は、タイマが起動状態のとき (CNTE=1) は動作モードにかかわらず常に有効です。

カウント動作を許可し、ソフトウェアトリガまたは外部トリガでタイマを起動すると、周期設定レジスタの値をカウンタにロードしてカウントダウンを開始します。

カウンタスタートのトリガがセットされてから周期設定レジスタのデータがカウンタへロードされるまでに、1T (T: 周辺クロック (CLKP) サイクル) の時間がかかります。

図 13.8-27 に、ソフトウェアトリガによるカウンタの起動および動作を示します。

図 13.8-27 内部クロック選択時のカウント動作



■ アンダフロー動作

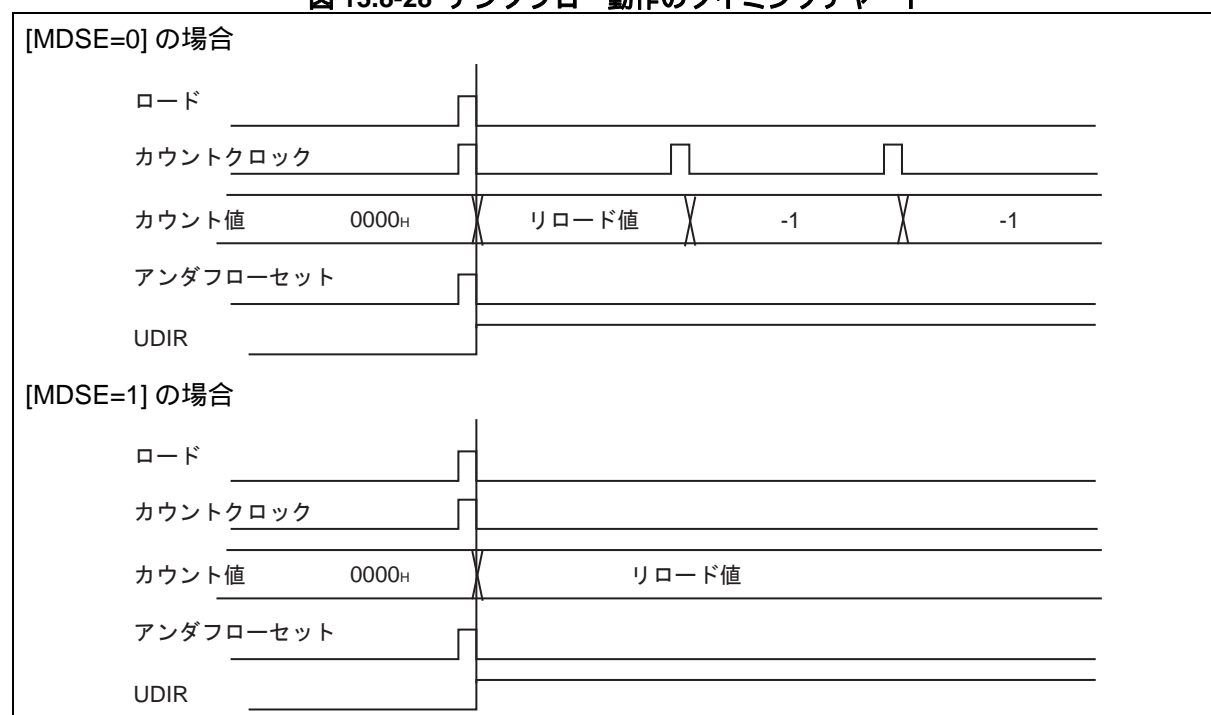
カウンタの値が "0000_H" から "FFFF_H" になる場合をアンダフローとしています。したがって、〔周期設定レジスタの設定値 +1〕カウントでアンダフローが発生します。

アンダフロー発生時に周期設定レジスタ (BTnPCSR) の内容をカウンタへロードして、タイマ制御レジスタ (BTnTMCR) の MDSE ビットが "0" のときはカウント動作を継続します。MDSE ビットが "1" のときは、ロードしたカウンタ値のまま停止します。

アンダフローによりステータス制御レジスタ (BTnSTC) の UDIR ビットがセットされ、UDIE ビットが "1" のときに割り込み要求が発生します。

図 13.8-28 に、アンダフロー動作のタイミングチャートを示します。

図 13.8-28 アンダフロー動作のタイミングチャート

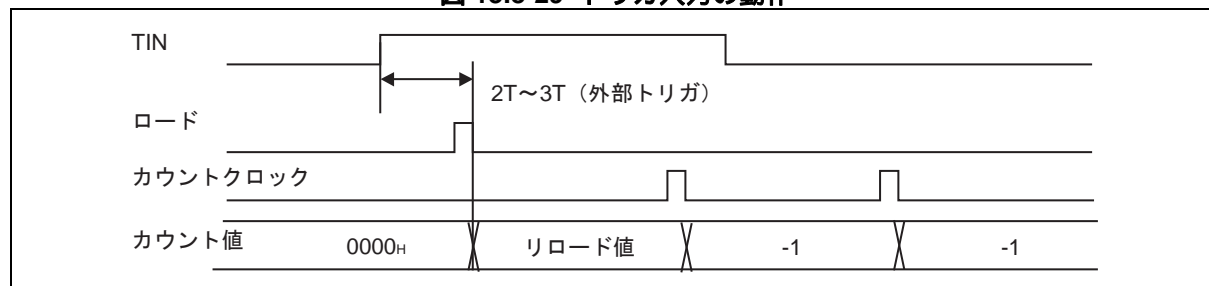


■ 入力端子機能の動作

TIN 端子はトリガ入力として使用することができます。TIN 端子に有効エッジが入力されると周期設定レジスタの内容をカウンタにロードしてカウント動作を開始します。トリガがかかってから、カウンタ値がロードされるまで、 $2T \sim 3T$ (T: 周辺クロック (CLKP) サイクル) を必要とします。

図 13.8-29 に、有効エッジ指定を立上りエッジにした場合のトリガ入力動作を示します。

図 13.8-29 トリガ入力の動作

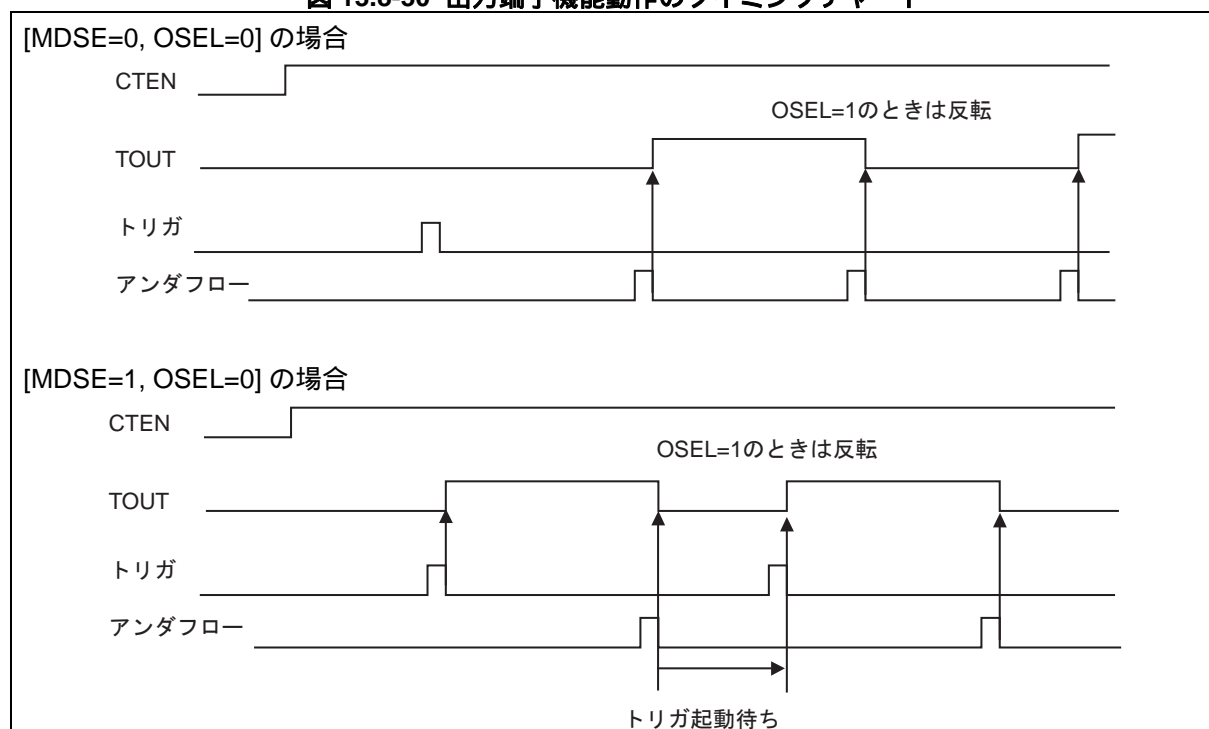


■ 出力端子機能の動作

TOUT 出力端子は、リロードモード時はアンダフローにより反転するトグル出力として、ワンショットモード時はカウント中を示すパルス出力として機能します。出力極性は、タイマ制御レジスタ (BTnTMCR) の OSEL ビットにより設定できます。OSEL=0 の場合、トグル出力は初期値が "0" で、ワンショットパルス出力はカウント中 "1" を出力します。OSEL=1 にすると出力波形は反転します。

図 13.8-30 に、出力端子機能動作のタイミングチャートを示します。

図 13.8-30 出力端子機能動作のタイミングチャート



13.8.4 PWC 機能

ベースタイマは、タイマ制御レジスタの FMD2, FMD1, FMD0 ビットの設定により、16 ビット PWM タイマ、16 ビット PPG タイマ、16/32 ビットリロードタイマ、16/32 ビット PWC タイマの中からタイマ機能を 1 つだけ選択することができます。PWC を設定したときのタイマ機能の説明を示します。

- PWC タイマ選択時のタイマ制御レジスタ (BTnTMCR)
- データバッファレジスタ (BTnDTBF)
- PWC 動作

タイマ制御レジスタ (BTnTMCR) は、PWC タイマの動作を制御します。

アドレス : bit 15 bit 14 bit 13 bit 12 bit 11 bit 10 bit 9 bit 8

ch.0 000162 _H		CKS2	CKS1	CKS0		EGS2	EGS1	EGS0
ch.1 000582 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ch.2 000592 _H								
ch.3 0005A2 _H								

初期値 : 00000000_B (リセット時)

EGS2	EGS1	EGS0	測定エッジ選択ビット
0	0	0	"H" パルス幅測定 (~)
0	0	1	立上りエッジ間周期測定 (~)
0	1	0	立下りエッジ間周期測定 (~)
0	1	1	全エッジ間パルス幅測定 (または ~ または)
1	0	0	"L" パルス幅測定 (~)
1	0	1	設定禁止
1	1	0	
1	1	1	

CKS2	CKS1	CKS0	カウントクロック選択ビット
0	0	0	ϕ
0	0	1	$\phi/4$
0	1	0	$\phi/16$
0	1	1	$\phi/128$
1	0	0	$\phi/256$
1	0	1	設定禁止
1	1	0	
1	1	1	

R/W : リード/ライト可能
 □ : 未定義ビット
 ■ : 初期値

表 13.8-10 タイマ制御レジスタ (BTnTMCR 上位バイト)

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。
bit14 ~ bit12	CKS2, CKS1, CKS0 : カウントクロック 選択ビット	<ul style="list-style-type: none">16 ビットアップカウンタのカウントクロックを選択します。カウントクロックの変更は設定を変えると直ちに反映します。したがって, CKS2 ~ CKS0の変更はカウント停止状態 (CTEN=0)で行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。
bit11	未定義ビット	<ul style="list-style-type: none">読出し値は "0" です。このビットには "0" を書き込んでください。
bit10 ~ bit8	EGS2, EGS1, EGS0 : 測定エッジ選択 ビット	<ul style="list-style-type: none">測定エッジの条件を設定します。EGS2, EGS1, EGS0 の変更はカウント停止状態 (CTEN=0)で行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。

■ タイマ制御レジスタ (BTnTMCR 下位バイト)

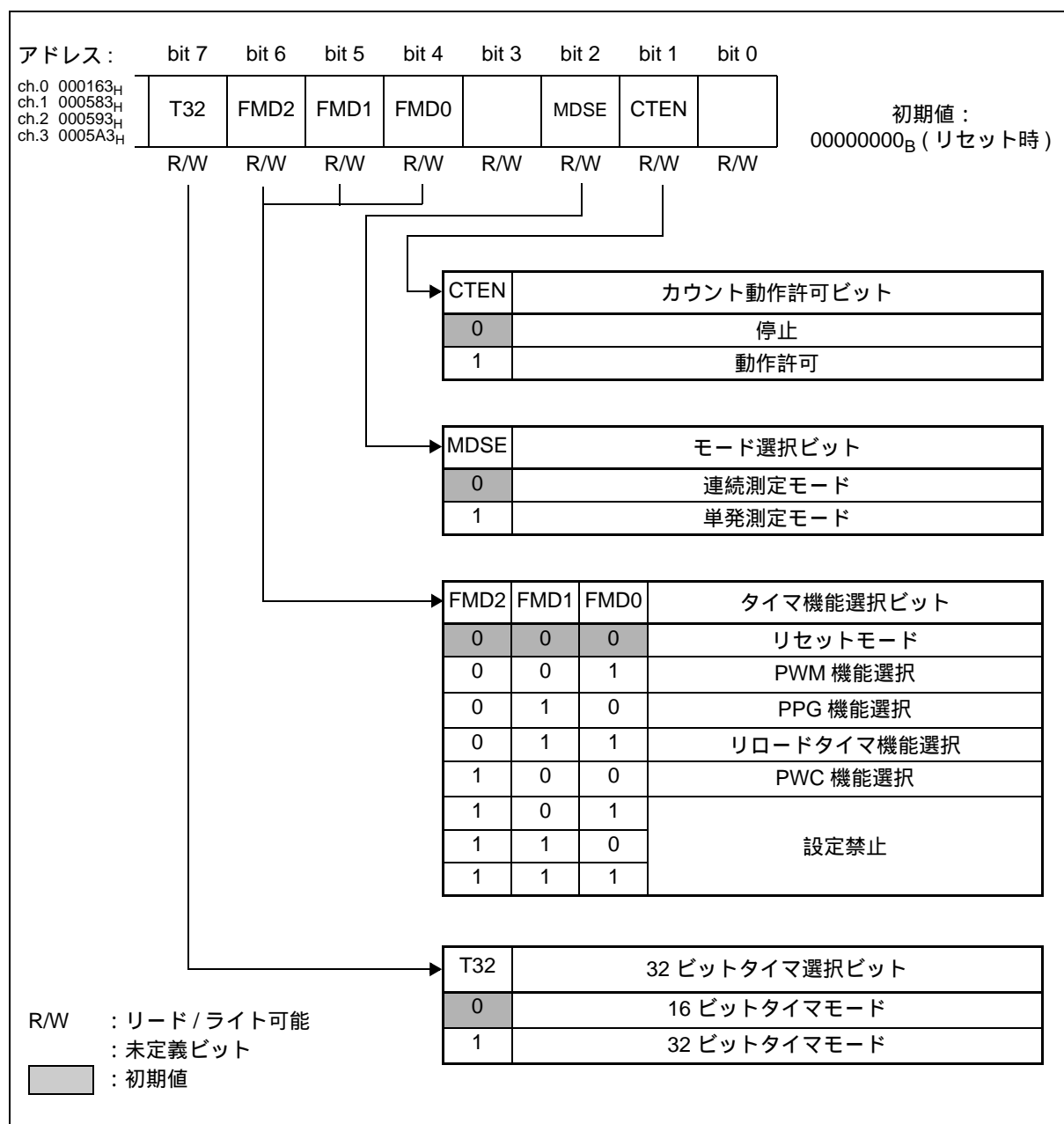


表 13.8-11 タイマ制御レジスタ (BTnTMCR 下位バイト)

ビット名		機能									
bit7	T32: 32 ビット タイマ選択 ビット	<ul style="list-style-type: none"> 32 ビットタイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "100_B" を設定して PWC 機能を選択している場合に T32 ビットを "1" に設定すると, 32 ビット PWC モードになります。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です (「13.5 32 ビットモード動作」を参照)。 									
bit6 ~ bit4	FMD2, FMD1, FMD0: タイマ機能 選択ビット	<ul style="list-style-type: none"> タイマ機能を選択するビットです。 FMD2, FMD1, FMD0 ビットに "100_B" を設定すると PWC 機能が選択されます。 変更はタイマ停止中 (CTEN=0) に行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。 									
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。 									
bit2	MDSE : モード選択 ビット	<ul style="list-style-type: none"> 測定動作を以下のように選択します <table border="1"> <thead> <tr> <th>MDSE</th><th>モード</th><th>動作</th></tr> </thead> <tbody> <tr> <td>0</td><td>連続測定</td><td>連続測定 : バッファレジスタ有効</td></tr> <tr> <td>1</td><td>単発測定</td><td>1 回測定後に停止</td></tr> </tbody> </table> <ul style="list-style-type: none"> 変更はタイマ停止中 (CTEN=0) に行ってください。ただし, CTEN ビットへの "1" 書込みと同時に変更することは可能です。 	MDSE	モード	動作	0	連続測定	連続測定 : バッファレジスタ有効	1	単発測定	1 回測定後に停止
MDSE	モード	動作									
0	連続測定	連続測定 : バッファレジスタ有効									
1	単発測定	1 回測定後に停止									
bit1	CTEN : カウント動作 許可ビット	<ul style="list-style-type: none"> アップカウンタの起動または再起動を許可するビットです。 カウンタが動作許可状態 (CTEN ビットが "1") のときに "1" を書き込むと再起動となりカウンタはクリアされ, 測定開始エッジ待ち状態となります。 カウンタが動作許可状態 (CTEN ビットが "1") のときに "0" を書き込むとカウンタは停止します。 									
bit0	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。 									

■ ステータス制御レジスタ (BTnSTC)

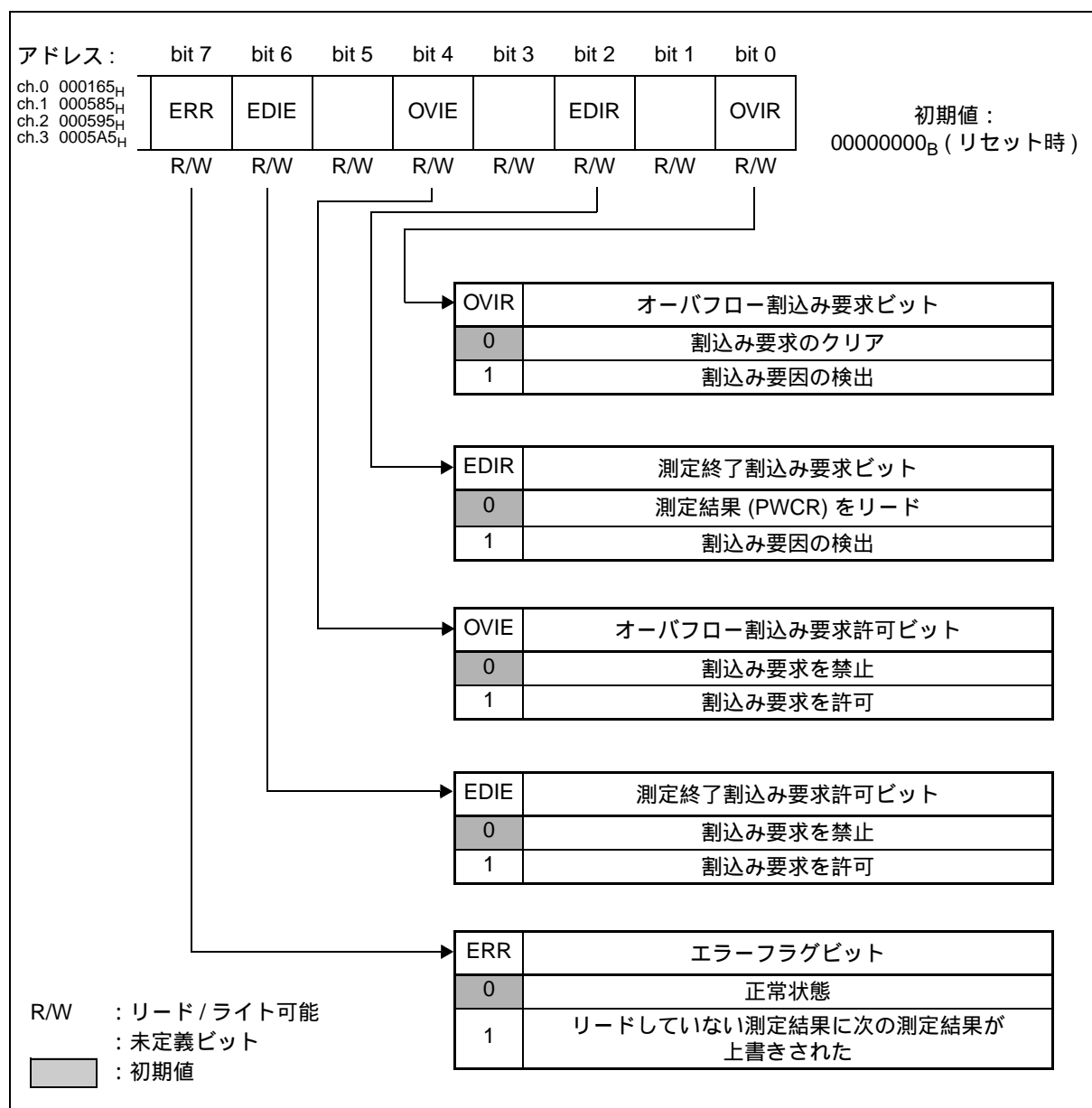


表 13.8-12 ステータス制御レジスタ (BTnSTC)

ビット名		機能
bit7	ERR : エラーフラグ ビット	<ul style="list-style-type: none"> 連続測定モード時において、BTnDTBF レジスタの測定結果を読み出さないうちに、次の測定が終了してしまったことを示すフラグです。この場合、BTnDTBF レジスタの値は新しい測定結果に更新されて 1 つ前の測定結果は消失します。 測定は ERR ビット値に関係なく続行されます。 ERR ビットは読出しのみ可能で、書込みしてもビット値には影響しません。 ERR ビットは測定結果 (BTnDTBF) を読出しすることによりクリアされます。
bit6	EDIE : 測定終了割込み 要求許可ビット	<ul style="list-style-type: none"> bit2 :EDIR の割込み要求を制御します。 EDIE ビットが許可されていて bit2 :EDIR ビットがセットされると CPU に割込み要求を発生します。
bit5	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit4	OVIE : オーバフロー 割込み要求許可 ビット	<ul style="list-style-type: none"> bit0: OVIR の割込み要求を制御します。 OVIE ビットが許可されていて bit0: OVIR ビットがセットされると CPU に割込み要求を発生します。
bit3	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit2	EDIR : 測定終了割込み 要求ビット	<ul style="list-style-type: none"> 測定終了したことを示し、終了時にフラグが "1" にセットされます。 EDIR ビットは測定結果 (BTnDTBF) を読出しすることによりクリアされます。 EDIR ビットは読出しのみ可能で、書込みしてもビット値には影響しません。
bit1	未定義ビット	<ul style="list-style-type: none"> 読出し値は "0" です。 このビットには "0" を書き込んでください。
bit0	OVIR : オーバフロー 割込み要求 ビット	<ul style="list-style-type: none"> カウント値が "FFFF_H" "0000_H" へのオーバフロー時にフラグが "1" にセットされます。 OVIR ビットは "0" 書込みによりクリアされます。 OVIR ビットに "1" を書き込んでもビット値には影響しません。 リードモディファイライト (RMW) 系命令における読出し値は、ビット値にかかわらず "1" になります。

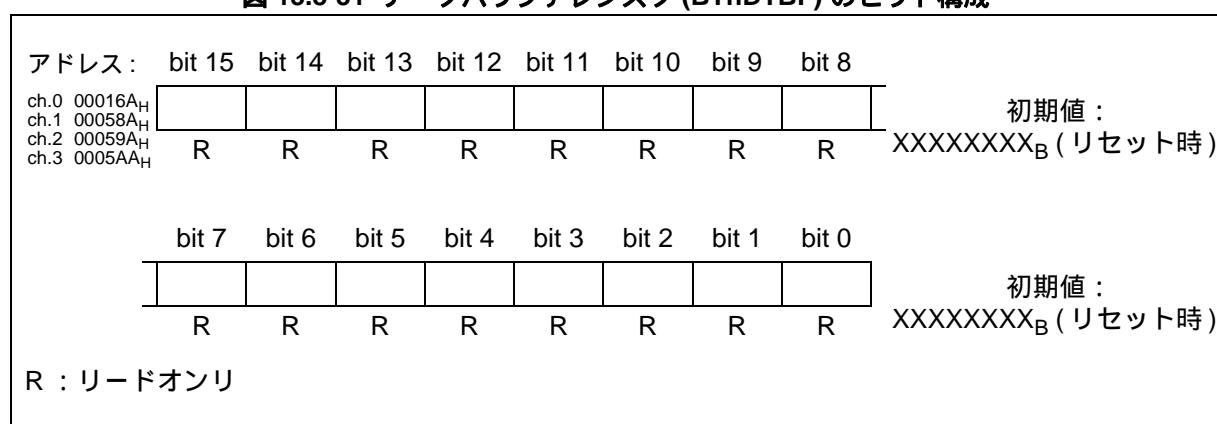
13.8.4.2 データバッファレジスタ (BTnDTBF)

データバッファレジスタ (BTnDTBF) は、PWC タイマの測定値またはカウント値を読み出すことができるレジスタです。32 ビットモード時には偶数チャンネルの場合は下位 16 ビットの値となり、奇数チャンネルの場合は上位 16 ビットの値となります。このレジスタの読出しは、必ず 16 ビットデータ転送命令で行ってください。

■ データバッファレジスタ (BTnDTBF) のビット構成

図 13.8-31 に、データバッファレジスタ (BTnDTBF) のビット構成を示します。

図 13.8-31 データバッファレジスタ (BTnDTBF) のビット構成



- BTnDTBF レジスタは連続測定モード、ワンショット測定モードのいずれにおいても読出しのみ可能なレジスタです。書き込んでもレジスタ値は変化しません。
- 連続測定モード時 (BTnTMCR:bit3 MDSE=1) は、前回の測定結果を保持するバッファレジスタとなります。
- ワンショット測定モード時 (BTnTMCR: bit3 MDSE=0) は、BTnDTBF レジスタでアップカウンタを直接アクセスします。カウント中も読出し可能で、カウント値を読み出せます。測定終了後は測定結果をそのまま保存します。
- BTnDTBF レジスタは 16 ビットデータでアクセスしてください。

13.8.4.3 PWC 動作

PWC タイマには、パルス幅測定機能があり、5 種類のカウントクロックを選択可能で入力パルスの任意イベント間の時間・周期をカウンタで測定できます。以下に、パルス幅測定機能における基本機能 / 動作について示します。

■ パルス幅測定機能

起動後、カウンタを "0000_H" にクリアし、設定した測定開始エッジが入力されるまでカウント動作は行われません。測定開始エッジを検出すると "0001_H" からカウントアップを開始し、測定終了エッジを検出するとカウントを停止します。この間のカウント値がパルス幅としてレジスタに保存されます。

測定終了時、およびオーバフロー発生時に割込み要求が発生できます。

測定終了後は、測定モードに応じて以下のように動作します。

- 単発測定モード時...動作を停止します。
- 連続測定モード時...カウンタ値をバッファレジスタに転送後、再度測定開始エッジが入力されるまでカウントを停止します。

図 13.8-32 パルス幅測定動作 (単発測定モード / "H" 幅測定)

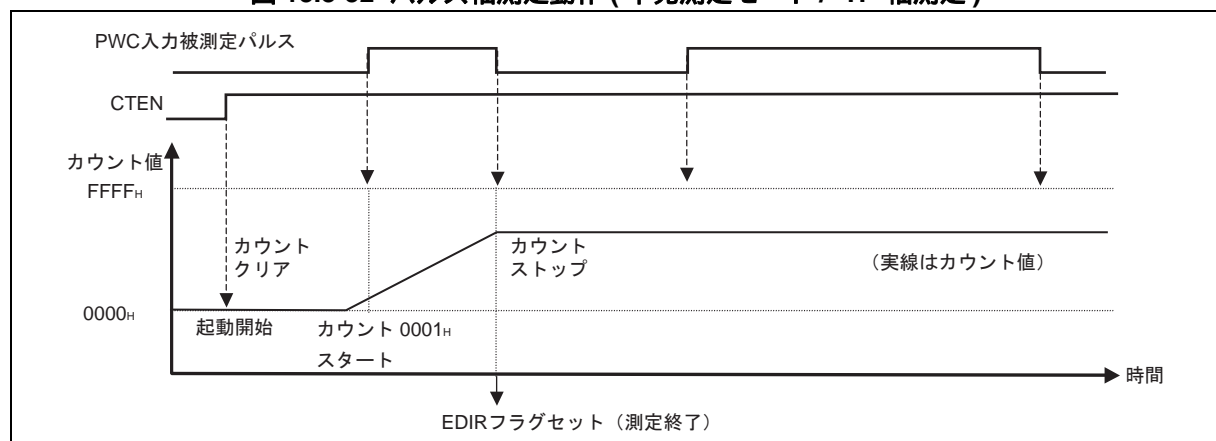
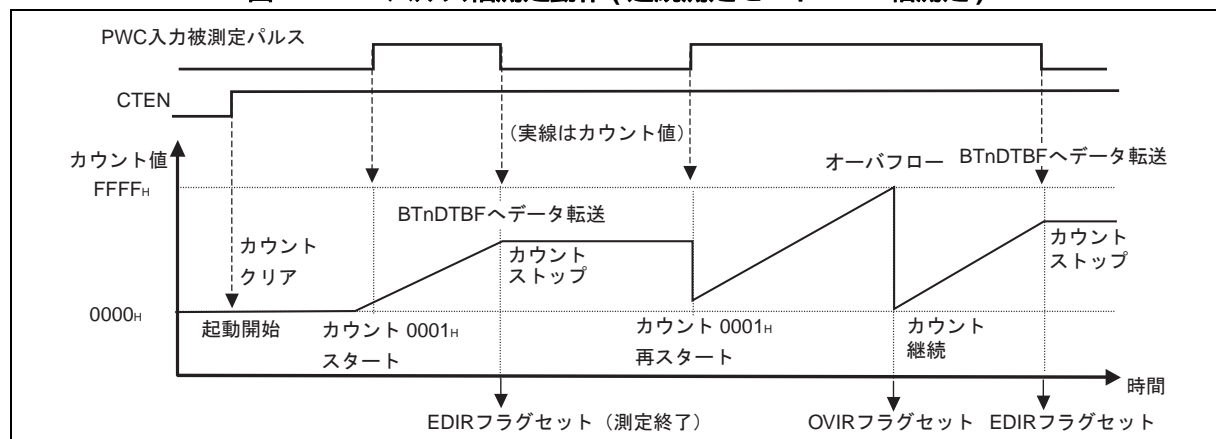


図 13.8-33 パルス幅測定動作 (連続測定モード / "H" 幅測定)



■ カウントクロックの選択

カウンタのカウントクロックは、BTnTMCR レジスタの bit6, bit5, bit4 : CKS2, CKS1, CKS0 の設定によって、5 種類選択することができます。

選択できるカウントクロックは以下のとおりです。

BTnTMCR レジスタ	選択される内部カウントクロック
CKS2, CKS1, CKS0 ビット	
000 _B	周辺クロック (CLKP) [初期値]
001 _B	周辺クロック (CLKP) の 4 分周
010 _B	周辺クロック (CLKP) の 16 分周
011 _B	周辺クロック (CLKP) の 128 分周
100 _B	周辺クロック (CLKP) の 256 分周
101 _B	設定禁止
110 _B	
111 _B	

リセット後の初期値では、周辺クロック (CLKP) が選択されています。

(注意事項) カウントクロックの選択は、必ずカウンタ起動前に行ってください。

■ 動作モードの選択

各動作モード / 測定モードの選択は、BTnTMCR の設定により行います。

動作モードの設定... BTnTMCR bit10 ~ bit8 : EGS2, EGS1, EGS0

(測定エッジの選択)

測定モードの設定... BTnTMCR bit2 : MDSE

(単発測定 / 連続測定の選択)

動作モードの選択の一覧を以下に示します。

動作モード		MDSE	EGS2	EGS1	EGS0
~ "H" パルス幅測定	連続測定：バッファ有効	0	0	0	0
	単発測定：バッファ無効	1	0	0	0
~ 立上り間周期測定	連続測定：バッファ有効	0	0	0	1
	単発測定：バッファ無効	1	0	0	1
~ 立下り間周期測定	連続測定：バッファ有効	0	0	1	0
	単発測定：バッファ無効	1	0	1	0
または ~ または 全エッジ間測定	連続測定：バッファ有効	0	1	1	1
	単発測定：バッファ無効	1	1	1	1
~ "L" パルス幅測定	連続測定：バッファ有効	0	1	0	0
	単発測定：バッファ無効	1	1	0	0
設定禁止		0	1	0	1
		1	1	0	1
		0	1	1	0
		1	1	1	0
		0	1	1	1
		1	1	1	1

リセット後の初期値では、"H" パルス幅測定 - 単発測定モードが選択されています。

動作モードの選択は、必ずカウンタ起動前に行ってください。

■ パルス幅測定 of 起動と停止

各動作の起動 / 再起動 / 強制停止は、BTnTMCR の bit1 : CTEN ビットにより行います。
パルス幅測定 of 起動 / 再起動は CTEN ビットに "1" を書き込むことにより機能し、強制停止は CTEN ビットに "0" を書き込むことにより機能します。

CTEN	機能
1	パルス幅測定 of 起動 / 再起動
0	パルス幅測定 of 強制停止

■ 起動後の動作

パルス幅測定モード of 起動後の動作は、測定開始エッジが入力されるまでカウントは行われません。測定開始エッジ検出後、16 ビットアップカウンタは "0001_H" からカウントを開始します。

■ 再起動

起動後、動作中に再度起動する (CTEN ビットが "1" の状態で再度 "1" を書き込む) ことを再起動とよびます。再起動すると、以下のような動作が行われます。

- 測定開始エッジ待ち状態の場合 : 動作に影響はありません。
- 測定中 of 場合 : カウントを "0000_H" にクリアし、再度測定開始エッジ待ち状態となります。この際、測定終了エッジ検出と再起動が同時になると、測定終了フラグ (EDIR) がセットされ、連続測定モード時は測定結果が BTnDTBF に転送されます。

■ 停止について

単発測定モードでは、カウンタのオーバフローまたは測定終了により自動的にカウント動作を停止しますので、特に意識する必要はありません。連続測定モードや自動停止する前に停止させたい場合は、強制停止させる必要があります。

■ カウンタ of クリアと初期値

16 ビットアップカウンタは、以下に示す場合に "0000_H" にクリアされます。

- リセット時
- BTnTMCR の bit1 : CTEN ビットに "1" を書き込んだとき (再起動時を含む)

16 ビットアップカウンタは、測定開始エッジ検出時に "0001_H" に初期化されます。

■ パルス幅測定動作詳細

● 単発測定と連続測定

パルス幅測定には、1 回だけの測定を行うモードと連続して測定を行うモードがあります。各モードは BTnTMCR の MDSE ビットによって選択します（「13.8.4.3 PWC 動作動作モードの選択」を参照）。両モードにおける相違点は以下のとおりです。

単発測定モード：

1 回目の測定終了エッジが入力されるとカウンタのカウントは停止し、BTnSTC 中の測定終了フラグ (EDIR) がセットされ、以降の測定は行われません。ただし、同時に再起動された場合は測定開始待ち状態となります。

連続測定モード：

測定終了エッジが入力されるとカウンタのカウントは停止し、BTnSTC 中の測定終了フラグ (EDIR) がセットされ、再度測定開始エッジが入力されるまでカウントを停止します。再度、測定開始エッジが入力されるとカウンタを "0001_H" に初期化して測定を開始します。測定終了時、カウンタの測定結果は BTnDTBF に転送されます。

測定モードの選択 / 変更は、必ずカウンタ停止中に行ってください。

● 測定結果データ

単発測定モードと連続測定モードでは、測定結果とカウンタ値の扱いおよび BTnDTBF の機能に違いがあります。両モードにおける測定結果の相違点は以下のとおりです。

単発測定モード：

BTnDTBF を動作中に読み出すと測定中のカウント値が得られます。

BTnDTBF を測定終了後に読み出すと測定結果データが得られます。

連続測定モード：

測定終了時、カウンタ内の測定結果は BTnDTBF に転送されます。

BTnDTBF を読み出すと直前の測定結果が得られ、測定動作中も前回の測定結果を保持しています。測定中のカウント値は読み出せません。

連続測定モードにて、測定結果を読み出さない内に次の測定が終了してしまった場合、前回の測定結果は新しい測定結果に消されてしまいます。この際、BTnSTC 中のエラーフラグ (ERR) がセットされます。エラーフラグ (ERR) は、BTnDTBF を読み出すと自動的にクリアされます。

測定モードとカウント動作

入力されたパルスのどこを測定するかによって、測定モードは5種類のうちから選択することができます。以下に、それらについて説明します。

測定モード	EGS2, EGS1, EGS0	測定内容 (W：測定するパルス幅)
"H" パルス幅測定	000 _B	<p>"H" 期間の幅を測定します。 カウント (測定) 開始：立上りエッジ検出時 カウント (測定) 終了：立下りエッジ検出時</p>
立上りエッジ間 周期測定	001 _B	<p>立上りエッジ間の周期を測定します。 カウント (測定) 開始：立上りエッジ検出時 カウント (測定) 終了：立上りエッジ検出時</p>
立下りエッジ間 周期測定	010 _B	<p>立下りエッジ間の周期を測定します。 カウント (測定) 開始：立下りエッジ検出時 カウント (測定) 終了：立下りエッジ検出時</p>
全エッジ間 パルス幅測定	011 _B	<p>連続して入力されるエッジ間の幅を測定します。 カウント (測定) 開始：エッジ検出時 カウント (測定) 終了：エッジ検出時</p>
"L" パルス幅測定	100 _B	<p>"L" 期間の幅を測定します。 カウント (測定) 開始：立下りエッジ検出時 カウント (測定) 終了：立上りエッジ検出時</p>

どの測定モードでも、測定起動でカウンタは "0000_H" にクリアされた後、測定開始エッジが入力されるまではカウンタはカウント動作を行いません。測定開始エッジが入力されると、測定終了エッジが入力されるまでの間、カウントクロックごとにアップカウントを続けます。

連続測定モードの場合で、全エッジ間パルス幅測定や周期測定などを行った場合、終了エッジが次の測定開始エッジとなります。

● パルス幅 / 周期算出方法

測定終了後, BTnDTBF に得られた測定結果データからの被測定パルス幅 / 周期算出方法は以下のように求められます。

$T_W = n \times t \text{ [ms]}$	T_W : 被測定パルス幅 / 周期 [ms]
	n : BTnDTBF 内の測定結果データ
	t : カウントクロックの周期 [ms]

● 割込み要求発生

2 つの割込み要求を発生することが可能です。

• カウンタのオーバーフローによる割込み要求

測定中, カウントアップによりオーバーフローが発生するとオーバーフローフラグ (OVIR) がセットされ, オーバフロー割込み要求が許可されていると割込み要求が発生します。

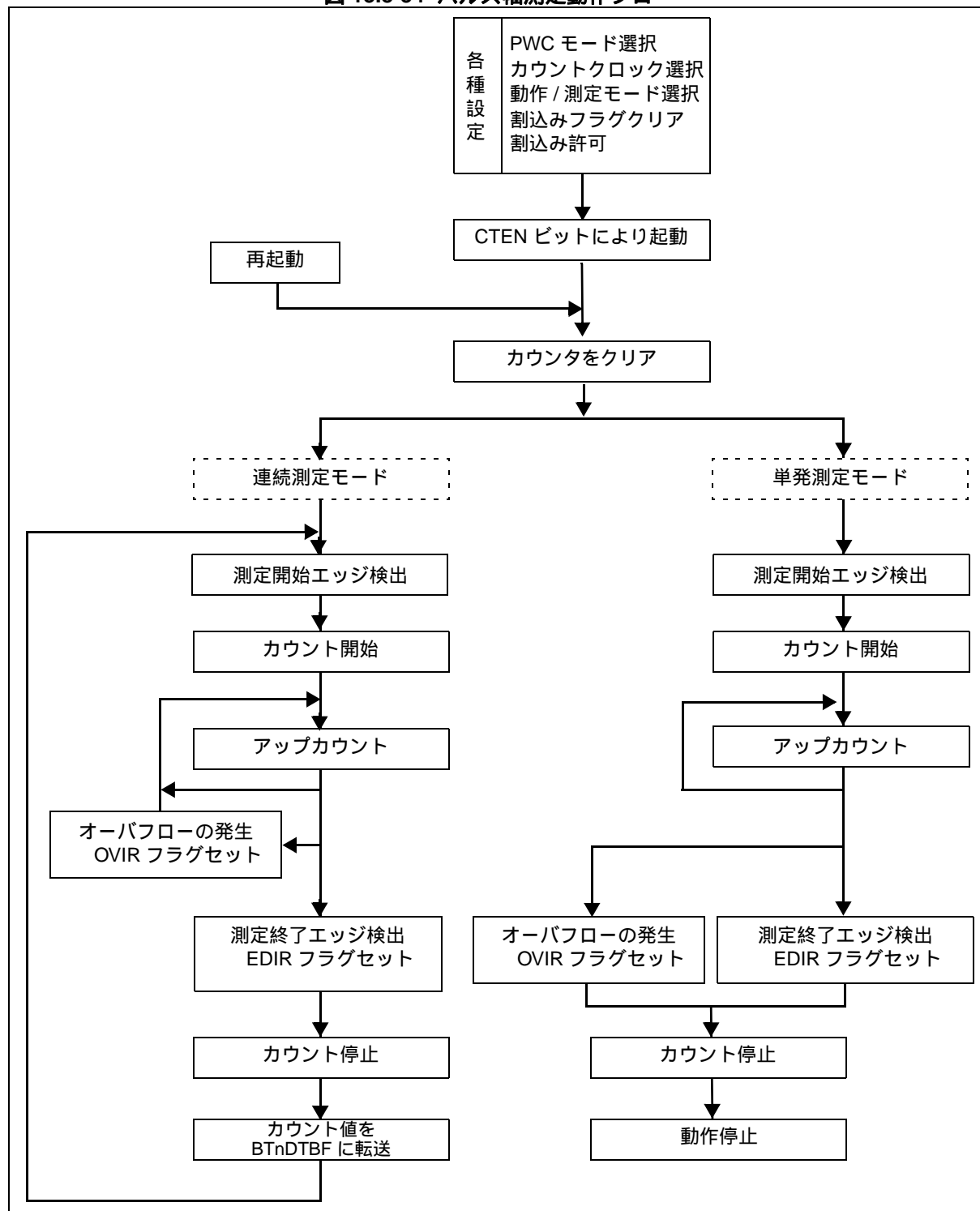
• 測定終了による割込み要求

測定終了エッジを検出すると, BTnSTC 中の測定終了フラグ (EDIR) がセットされ, 測定終了割込み要求が許可されていると割込み要求が発生します。

測定終了フラグ (EDIR) は, 測定結果 BTnDTBF を読み出すと自動的にクリアされます。

パルス幅測定動作フロー

図 13.8-34 パルス幅測定動作フロー



第14章

アップダウンカウンタ

8ビット/16ビットアップダウンカウンタの機能と動作について説明します。

14.1 アップダウンカウンタの概要

14.2 アップダウンカウンタのブロックダイアグラム

14.3 アップダウンカウンタのレジスタ

14.4 アップダウンカウンタの動作

14.1 アップダウンカウンタの概要

イベント入力端子 3 本, 16 ビットアップ/ダウンカウンタ, 16 ビットリロード/コンペアレジスタおよびそれらの制御回路から構成されるアップダウンカウンタ/タイマです。

設定により 8 ビットカウンタ × 1 チャンネル, または 16 ビット × 1 チャンネルのいずれかの動作モード切換えが可能です。

■ アップダウンカウンタの特長

- 16 ビットカウントレジスタにより, "0_D" ~ "65535_D" の範囲でカウント可能
- カウントクロックの選択による 4 種類のカウントモード
 - タイマモード
 - アップ/ダウンカウンタモード
 - 位相差カウントモード (2 週倍)
 - 位相差カウントモード (4 週倍)
- タイマモード時には, カウントクロックとして内部クロック 2 種類, 内部回路からの入力を選択可能
カウントクロック (40MHz 動作時)
 - 50ns (20MHz : 2 分周)
 - 200ns (5MHz : 8 分周)
- アップ/ダウンカウンタモード時には, 外部端子入力信号の検出エッジを選択可能
 - 立下りエッジ検出
 - 立上りエッジ検出
 - 立上り/立下りエッジ両エッジ検出
 - エッジ検出禁止
- 位相差カウントモードは, モータなどのエンコーダのカウントに適し, エンコーダの A 相, B 相, Z 相出力をそれぞれ入力することで, 高精度で回転角度, 回転数などのカウントを容易に行うことが可能
- ZIN 端子は, 2 種類の機能を選択可能 (すべてのモードで有効)
 - カウンタクリア機能
 - ゲート機能

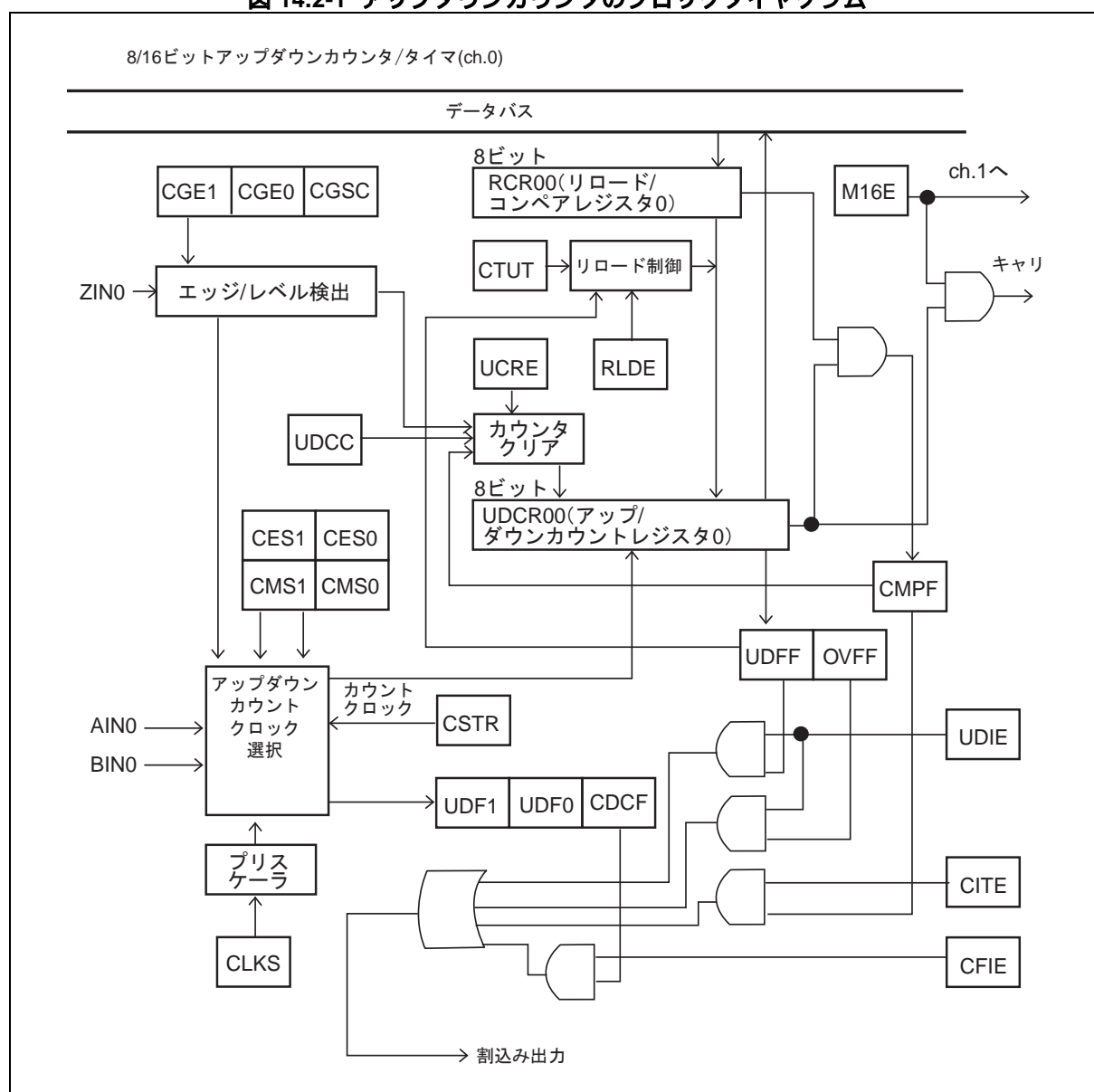
- コンペア機能およびリロード機能を有し、それぞれの機能のみで、また組み合わせても使用可能で、両機能を組み合わせて使用することで任意幅でのアップダウンカウントを行うことが可能
 - コンペア機能 (コンペア時に割込み要求出力)
 - コンペア機能 (コンペア時に割込み要求出力およびカウンタクリア)
 - リロード機能 (アンダフロー時に割込み要求出力およびリロード)
 - コンペア/リロード機能 (コンペア時に割込み要求出力およびカウンタクリア、アンダフロー時に割込み要求出力およびリロード)
 - コンペア / リロード禁止
- カウント方向フラグにより、直前のカウント方向を識別可能
- コンペアー致時、リロード (アンダフロー) 時またはオーバフロー時、およびカウント方向が変わった場合の割込みの発生をそれぞれ個別に制御可能

14.2 アップダウンカウンタのブロックダイアグラム

アップダウンカウンタのブロックダイアグラムを示します。

■ アップダウンカウンタのブロックダイアグラム

図 14.2-1 アップダウンカウンタのブロックダイアグラム



14.3 アップダウンカウンタのレジスタ

アップダウンカウンタには、アップダウンカウンタレジスタ (UDCR), リロードコンペアレジスタ (RCR), カウンタステータスレジスタ (CSR) およびカウンタコントロールレジスタ (CCR) があります。
これらのレジスタに関して説明します。

■ アップダウンカウンタのレジスタ一覧

図 14.3-1 アップダウンカウンタのレジスタ一覧

UDCR10 アドレス 000542 _H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
	D15	D14	D13	D12	D11	D10	D09	D08	00000000 _H
	R	R	R	R	R	R	R	R	
UDCR00 アドレス 000543 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	D07	D06	D05	D04	D03	D02	D01	D00	00000000 _H
	R	R	R	R	R	R	R	R	
RCR10 アドレス 000540 _H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
	D15	D14	D13	D12	D11	D10	D09	D08	00000000 _H
	W	W	W	W	W	W	W	W	
RCR00 アドレス 000541 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	D07	D06	D05	D04	D03	D02	D01	D00	00000000 _H
	W	W	W	W	W	W	W	W	
CSR0 アドレス 000547 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	CSTR	CITE	UDIE	CMPF	OVFF	UDFF	UDF1	UDF0	00000000 _H
	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
CCRH0 アドレス 000544 _H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
	M16E	CDCF	CFIE	CLKS	CMS1	CMS0	CES1	CES0	00000000 _H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
CCRL0 アドレス 000545 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
		CTUT	UCRE	RLDE	UDCC	CGSC	CGE1	CGE0	-00000000 _H
	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

R/W : リード / ライト可能
R : リードオンリ
W : ライトオンリ

14.3.1 アップダウンカウントレジスタ (UDCR)

アップダウンカウントレジスタ (UDCR) は、8 ビットカウントレジスタです。内部回路からの入力、内部プリスケアラ、または AIN 端子、BIN 端子の入力によってアップ/ダウンカウントを行います。また、16 ビットカウントモードでは、16 ビットカウントレジスタとして動作します。

■ アップダウンカウントレジスタ (UDCR)

図 14.3-2 アップダウンカウントレジスタ (UDCR)

UDCR10 アドレス 000542 _H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値 00000000 _H
	D15	D14	D13	D12	D11	D10	D09	D08	
	R	R	R	R	R	R	R	R	
UDCR00 アドレス 000543 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値 00000000 _H
	D07	D06	D05	D04	D03	D02	D01	D00	
	R	R	R	R	R	R	R	R	

R : リードオンリ

本レジスタは、直接、書込み動作を行うことができません。本レジスタに書込みを行う場合は、RCR を介して行う必要があります。本レジスタに書き込みたい値をまず RCR に書き込み、この後 CCRL レジスタの CTUT ビットに "1" を書き込むことで RCR から本レジスタに転送されます（ソフトウェアによるリロード）。

< 注意事項 >

本レジスタは、16 ビットモード起動時には 16 ビットで一度に読み出してください。
8 ビットモード起動時には、UDCR00 の値のみ有効です。

14.3.2 リロードコンペアレジスタ (RCR)

リロードコンペアレジスタ (RCR) は、8 ビットリロード/コンペアレジスタです。本レジスタにより、リロード値およびコンペア値を設定します。リロード値とコンペア値は同一であり、リロード機能およびコンペア機能を起動することで "00_H" ~ 本レジスタ値の間 (16 ビット動作モード : "0000_H" ~ 本レジスタ値) でアップ/ダウンカウントが可能になります。

■ リロードコンペアレジスタ (RCR)

図 14.3-3 リロードコンペアレジスタ (RCR)

RCR10 アドレス 000540 _H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
	D15	D14	D13	D12	D11	D10	D09	D08	00000000 _H
	W	W	W	W	W	W	W	W	
RCR00 アドレス 000541 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	D07	D06	D05	D04	D03	D02	D01	D00	00000000 _H
	W	W	W	W	W	W	W	W	

W : ライトオンリ

本レジスタは書込みのみ可能で、読出しはできません。カウント停止中に CCR レジスタの CTUT ビットに "1" を書き込むことで、本レジスタの値を UDCR に転送することが可能です (ソフトウェアによるリロード)。

< 注意事項 >

16 ビットモード (M16E=1) のときは、本レジスタに 16 ビットで一度に書き込んでください。

8 ビットモード (M16E=0) のときは、RCR00 のみに 8 ビットで書き込んでください。

14.3.3 カウンタステータスレジスタ (CSR)

カウンタステータスレジスタ (CSR) により、アップダウンカウンタの状態の確認および割込みの制御を行うことができます。

■ カウンタステータスレジスタ (CSR) のビット構成

図 14.3-4 カウンタステータスレジスタ (CSR) のビット構成

CSR0 アドレス 000547 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値 00000000 _H
	CSTR	CITE	UDIE	CMPF	OVFF	UDFF	UDF1	UDF0	
	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

R/W : リード / ライト可能
R : リードオンリ

[bit7] CSTR : カウント起動ビット

UDCR のカウント動作の起動 / 停止を制御するビットです。

CSTR	カウント動作
0	カウント動作停止 [初期値]
1	カウント動作起動

[bit6] CITE : コンペア割込み許可ビット

CMPF がセットされた (コンペアが発生した) 場合に、CPU への割込み出力の許可 / 禁止を制御するビットです。

CITE	コンペア割込み許可
0	コンペア割込み禁止 [初期値]
1	コンペア割込み許可

[bit5] UDIE : オーバフロー / アンダフロー割込み許可ビット

OVFF/UDFF がセットされた (オーバフロー / アンダフローが発生した) 場合に、CPU への割込み出力の許可 / 禁止を制御するビットです。

UDIE	オーバフロー / アンダフロー割込み許可
0	オーバフロー / アンダフロー割込み禁止 [初期値]
1	オーバフロー / アンダフロー割込み許可

[bit4] CMPF : コンペア検出フラグ

UDCR の値と RCR の値の比較結果が等しくなったことを示すフラグです。

"0" 書込みのみ可能で, "1" 書込みはできません。

CMPF	コンペア検出フラグ内容
0	比較結果が一致していない [初期値]
1	比較結果は一致

[bit3] OVFF : オーバフロー検出フラグ

オーバフローの発生を示すフラグです。

"0" 書込みのみ可能で, "1" 書込みはできません。

OVFF	オーバフロー検出フラグ内容
0	オーバフローなし [初期値]
1	オーバフローあり

[bit2] UDFF : アンダフロー検出フラグ

アンダフローの発生を示すフラグです。

"0" 書込みのみ可能で, "1" 書込みはできません。

UDFF	アンダフロー検出フラグ内容
0	アンダフローなし [初期値]
1	アンダフローあり

[bit1, bit0] UDF1, UDF0 : アップダウンフラグ

直前のカウント動作 (アップ / ダウン) を示すビットです。

読出しのみ可能で, 書込みはできません。

UDF1	UDF0	検出エッジ
0	0	入力なし [初期値]
0	1	ダウンカウント
1	0	アップカウント
1	1	アップ / ダウン同時発生

14.3.4 カウンタコントロールレジスタ (CCR)

カウンタコントロールレジスタ (CCR) は、アップダウンカウンタの動作モードを制御するレジスタです。奇数チャンネルと偶数チャンネルでは bit15(M16E) の機能が異なります。

■ カウンタコントロールレジスタ (CCR) のビット構成

図 14.3-5 カウンタコントロールレジスタ (CCR) のビット構成

CCRH0									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
000544 _H	M16E	CDCF	CFIE	CLKS	CMS1	CMS0	CES1	CES0	00000000 _H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
CCRL0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
000545 _H		CTUT	UCRE	RLDE	UDCC	CGSC	CGE1	CGE0	-0001000 _H
	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
R/W : リード / ライト可能									
R : リードオンリ									

[bit15] M16E : 16 ビットモード許可設定ビット

8 ビット / 16 ビット動作モード選択 (切換え) ビットです。

M16E	16 ビットモード許可設定
0	8 ビット動作モード [初期値]
1	16 ビット動作モード

[bit14] CDCF : カウント方向転換フラグ

カウント方向が変わった場合にセットされるフラグです。カウント起動中にカウント方向がアップ ダウン , またはダウン アップに変わった場合に "1" にセットされます。

"0" 書込みでクリアされます。

"1" 書込みは無視され、本ビットの値は変化しません。

CDCF	方向転換検出
0	方向転換は行われていない [初期値]
1	方向転換が 1 回以上行われた

リセット直後のカウント方向はダウncount方向になっています。したがって、リセット直後のアップカウント時は CDCF に "1" がセットされます。

[bit13] CFIE : カウント方向転換割込み許可ビット

CDCF がセットされた場合の CPU に対しての割込み出力を制御するビットです。カウント起動中に一度でもカウント方向が変わった場合に割込みを発生します。

CFIE	方向転換割込み許可
0	方向転換割込み禁止 [初期値]
1	方向転換割込み許可

[bit12] CLKS : 内蔵プリスケラ選択ビット

タイマモード選択時に、内蔵プリスケラの周波数を選択するビットです。

タイマモードでのみ有効で、このときはダウncountのみとなります。

CLKS	選択内部クロック
0	2 周辺クロック (CLKP) サイクル [初期値]
1	8 周辺クロック (CLKP) サイクル

[bit11, bit10] CMS1, CMS0 : カウントモード選択ビット

カウントモードを選択するビットです。

CMS1	CMS0	カウントモード
0	0	タイマモード (ダウncount) [初期値]
0	1	アップ / ダウncountモード
1	0	位相差カウントモード 2 逓倍
1	1	位相差カウントモード 4 逓倍

[bit9, bit8] CES1, CES0 : カウントクロックエッジ選択ビット

アップ / ダウンカウントモード時において、内部回路の入力、外部端子 AIN および BIN の検出エッジを選択するビットです。

アップ / ダウンカウントモード以外では、この設定は無効です。

CES1	CES0	選択エッジ
0	0	エッジ検出禁止 [初期値]
0	1	立下りエッジ検出
1	0	立上りエッジ検出
1	1	立上り / 立下り両エッジ検出

[bit7] Reserved : 予約ビット

予約ビットです。必ず "0" を設定してください。

[bit6] CTUT : カウンタライトビット

RCR から UDCR へのデータ転送を行います。

このビットに "1" を書き込むと RCR から UDCR にデータが転送されます。

"0" 書込みは無効であり、読出し値は常に "0" です。

カウント動作中 (CSR の CSTR ビットが "1" のとき) に本ビットに "1" を書き込まないでください。

[bit5] UCRE : UDCR クリア許可ビット

コンペアによる UDCR のクリアを制御するビットです。

コンペア発生によるクリア以外の UDCR クリア機能 (ZIN 端子によるものなど) には影響しません。

UCRE	コンペアによるカウンタのクリア
0	カウンタクリア禁止 [初期値]
1	カウンタクリア許可

[bit4] RLDE : リロード許可ビット

リロード機能の起動を制御するビットです。リロード機能起動時に UDCR がアンダフローを発生した場合に RCR の値を UDCR に転送します。

RLDE	リロード機能
0	リロード機能禁止 [初期値]
1	リロード機能許可

[bit3] UDCC : UDCR クリアビット

UDCR をクリアするビットです。このビットに "0" を書き込むと UDCR が "0000_H" にクリアされます。

"1" 書込みは無効であり、読出し値は常に "1" です。

[bit2] CGSC : カウンタクリア / ゲート選択ビット

外部端子 ZIN の機能を選択するビットです。

CGSC	ZIN 端子の機能
0	カウンタクリア機能 [初期値]
1	ゲート機能

[bit1, bit0] CGE1, CGE0 : カウンタクリア / ゲートエッジ選択ビット

外部端子 ZIN の検出エッジ / レベルを選択するビットです。

CGE1	CGE0	カウンタクリア機能選択時	ゲート機能選択時
0	0	エッジ検出禁止 [初期値]	レベル検出禁止 [初期値] (カウントディセーブル)
0	1	立下りエッジ	"L" レベル
1	0	立上りエッジ	"H" レベル
1	1	設定禁止	設定禁止

14.4 アップダウンカウンタの動作

アップダウンカウンタの動作について説明します。

■ カウントモード選択

本タイマ / カウンタは、4 種類のカウントモードを有します。これらのカウントモードの選択は、CCR レジスタの CMS1, CMS0 ビットで制御します。

CMS1	CMS0	カウントモード
0	0	タイマモード (ダウンカウント) [初期値]
0	1	アップ / ダウンカウントモード
1	0	位相差カウントモード 2 逓倍
1	1	位相差カウントモード 4 逓倍

● タイマモード [ダウンカウント]

タイマモードでは、内部プリスケアラの出力をダウンカウントします。内部プリスケアラについては、CCR H0 レジスタの CLKS ビットによって 2 周辺クロック (CLKP) サイクル / 8 周辺クロック (CLKP) サイクルの選択が可能です。

● アップ / ダウンカウントモード

アップダウンカウントモードでは、外部端子 AIN および BIN の入力をカウントすることでアップダウンカウントを行います。AIN 端子の入力はアップカウントを、BIN 端子の入力はダウンカウントをそれぞれ制御します。

AIN 端子、BIN 端子の入力はエッジ検出され、CCR H レジスタの CES1, CES0 ビットによって検出エッジの選択が可能です。

CES1	CES0	選択エッジ
0	0	エッジ検出禁止 [初期値]
0	1	立下りエッジ検出
1	0	立上りエッジ検出
1	1	立上り / 立下り両エッジ検出

● 位相差カウントモード (2 通倍 /4 通倍)

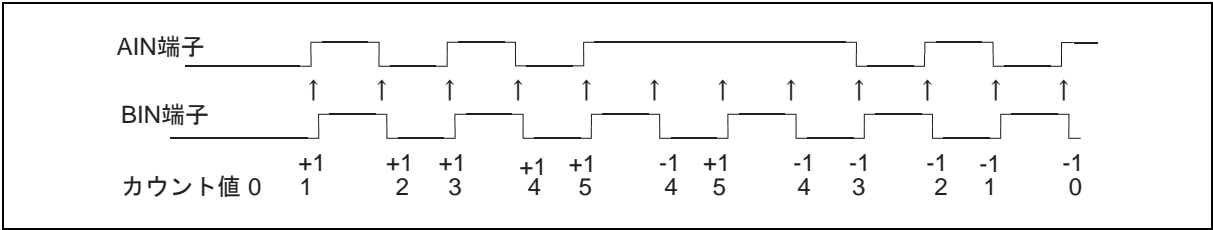
位相差カウントモードでは、エンコーダの出力信号 A 相、B 相の位相差をカウントするため、AIN 端子の入力エッジ検出時に BIN 端子の入力レベルを検出してカウントを行います。

2 通倍 /4 通倍モードでは、AIN 端子入力と BIN 端子入力の位相差について、AIN の方が早い場合にはアップカウントを、BIN の方が早い場合にはダウンカウントを行います。

2 通倍モードでは、BIN 端子の立上り / 立下り両方のエッジのタイミングで AIN 端子の値を検出することでカウントを行います。このとき次のように実行されます。

BIN 端子のエッジ	AIN 端子のレベル	カウント
立上り	"H" レベル	アップカウント
立上り	"L" レベル	ダウンカウント
立下り	"H" レベル	ダウンカウント
立下り	"L" レベル	アップカウント

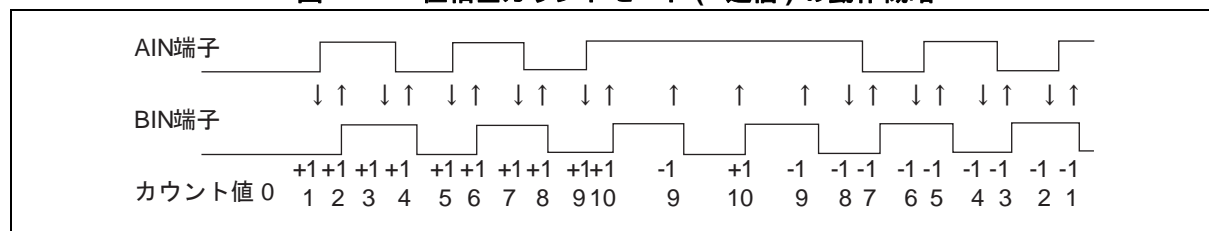
図 14.4-1 位相差カウントモード (2 通倍) の動作概略



4 通倍モードでは、BIN 端子の立上り / 立下り両方のエッジのタイミングで AIN 端子の値を検出し、また、AIN 端子の立下り / 立上り両方のエッジのタイミングで BIN 端子の値を検出することでカウントを行います。このとき、以下のように実行されます。

エッジ入力	エッジ	レベル入力	レベル	カウント
BIN	立上り	AIN	"H" レベル	アップカウント
	立上り		"L" レベル	ダウンカウント
	立下り		"H" レベル	ダウンカウント
	立下り		"L" レベル	アップカウント
AIN	立上り	BIN	"H" レベル	ダウンカウント
	立上り		"L" レベル	アップカウント
	立下り		"H" レベル	アップカウント
	立下り		"L" レベル	ダウンカウント

図 14.4-2 位相差カウントモード (4 通倍) の動作概略



エンコーダ出力のカウントの際には A 相を AIN 端子に, B 相を BIN 端子に, Z 相を ZIN 端子に入力することで, 高精度で回転角度や回転数のカウント, 回転方向の検出などが可能です。

なお, このカウントモード選択時は, CES1, CES0 ビットによる検出エッジの選択は無効です。

■ リロード / コンペア機能

本カウンタには, リロード機能およびコンペアによるクリア機能があります。この 2 つの機能は組み合わせて処理を行うことが可能です。以下に設定例を示します。

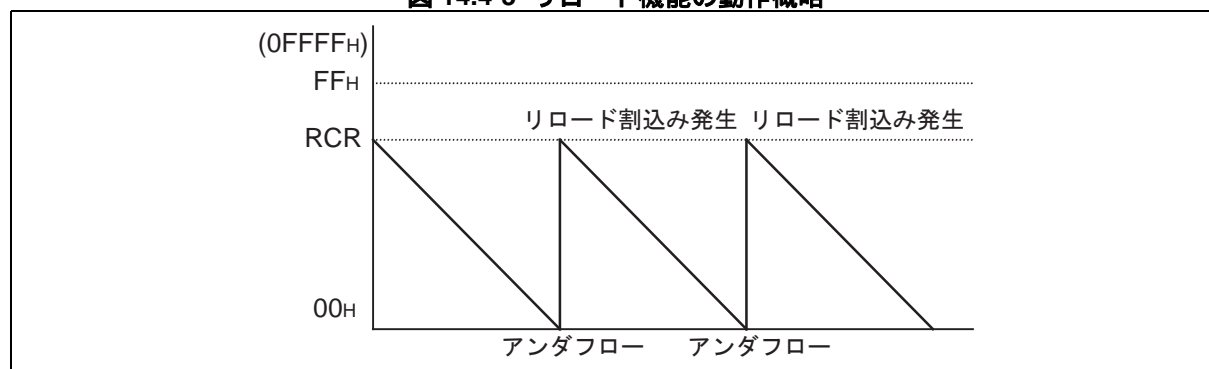
RLDE	UCRE	リロード / コンペア機能
0	0	リロード / コンペアによるクリア禁止 [初期値]
0	1	コンペアによるクリア許可
1	0	リロード許可
1	1	リロード / コンペアによるクリア許可

● リロード機能

リロード機能起動時には, アンダフロー発生の次のダウンカウントクロックタイミングで RCR の値を UDCR に転送します。このとき, UDFF ビットがセットされるとともに割り込み要求が発生します。

ダウンカウントを行わないモードでは, 本機能の起動は無効となります。

図 14.4-3 リロード機能の動作概略

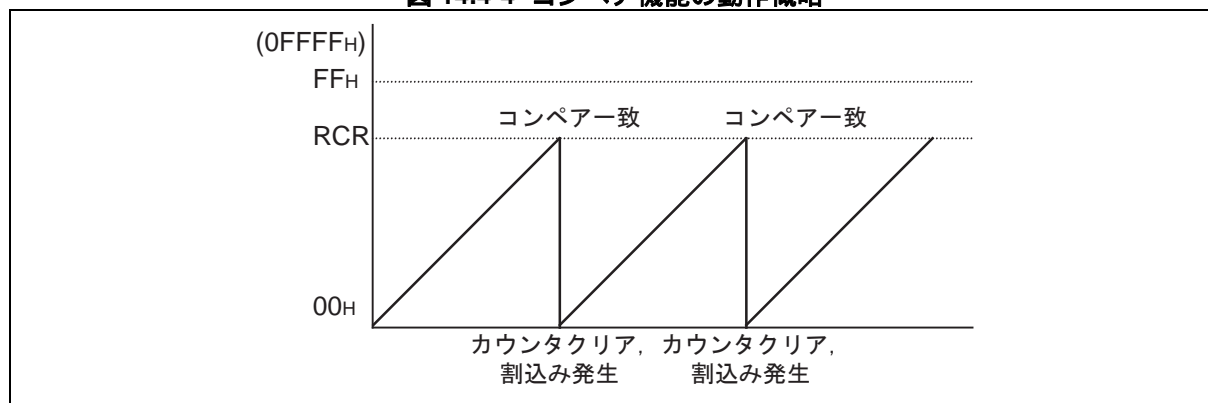


● コンペアによるクリア機能

コンペアによるクリア機能は、タイマモード以外のすべてのモードで使用可能です。コンペア機能時は、RCR と UDCR の値が一致した場合に、CMPF ビットがセットされるとともに割り込み要求を発生します。また、コンペアクリア機能起動時は、その次のアップカウントクロックのタイミングで UDCR をクリアします（ダウンカウントではクリアされません）。

アップカウントを行わないモードでは、本機能の起動は無効となります。

図 14.4-4 コンペア機能の動作概略

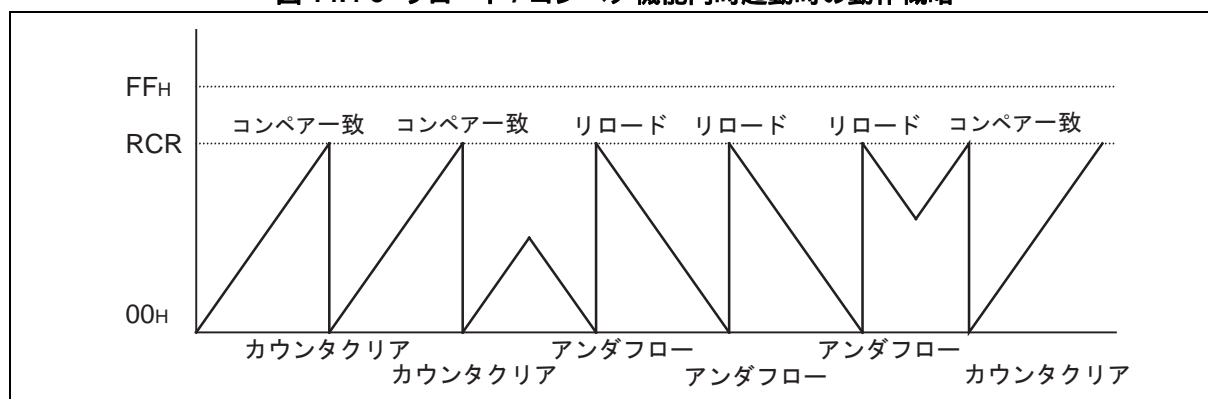


■ リロード / コンペア機能同時起動

リロード / コンペア機能起動時は、任意幅でのアップ / ダウンカウントが可能です。

リロード機能により、アンダフロー時に起動して RCR の値を UDCR に転送します。また、コンペア機能により、RCR と UDCR の値が一致した場合に UDCR をクリアします。この両機能を利用して、「0000_H」～RCR の間でアップ / ダウンカウントを行います。

図 14.4-5 リロード / コンペア機能同時起動時の動作概略

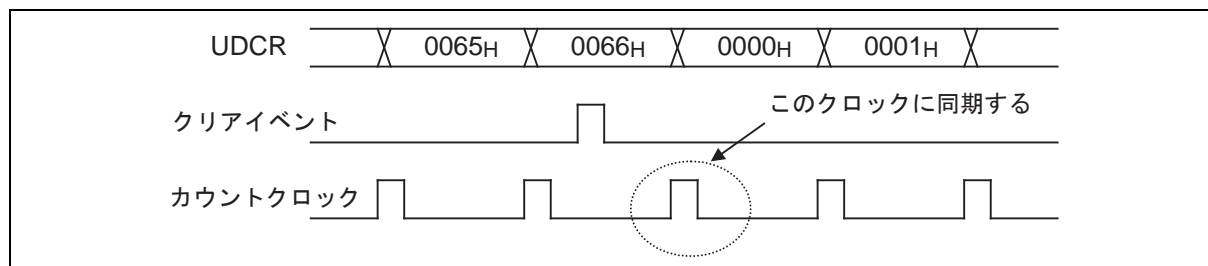


コンペアー一致時またはリロード（アンダフロー）時に CPU に割り込みを発生することができます。また、これらの割り込み出力のイネーブルは個別に制御可能です。

UDCR に対してクリアを行う場合のタイミングについて、カウント起動中と停止中では異なります。

カウント動作中のソフトウェアによるリロード（CTUT ビットへの「1」書込み）は禁止です。

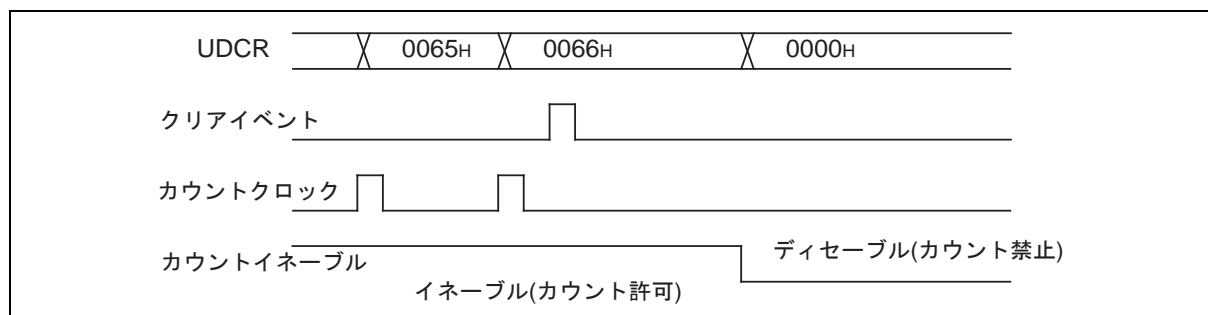
- カウント動作中にクリアのイベントが発生した場合は、すべてカウントクロックに同期して行われます。



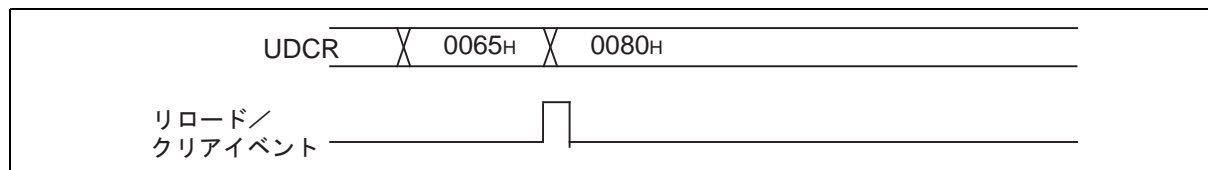
< 参考 >

カウント動作中のアンダフローによるリロードは、すべてカウントクロックに同期して行われます。

- カウント動作中にクリアのイベントが発生した場合で、カウントクロック同期待ち (同期させるためのカウント入力を待っている状態) のままカウントを停止させた場合は、停止した時点でクリアが行われます。



- カウント中にリロードおよびクリアのイベントが発生した場合は、イベント発生時点で処理が行われます。



コンペアによるクリアについては、UDCR と RCR の値が一致し、さらにアップカウントが行われたときにクリアが行われます。UDCR と RCR の値が一致した場合においても、その後、ダウンカウントやカウント停止になった場合にはクリアは行われません。クリア/リロードのタイミングについて、クリアはリセット入力以外のすべてのイベントで、また、リロードもすべてのイベントにおいて上記タイミングに従います。クリアイベントとリロードイベントが同時に発生した場合はクリアイベントが優先となります。

■ UDCR へのデータの書込み

UDCR ヘータパスから直接データを書き込むことはできません。UDCR に任意の値を書き込む場合は、以下のような手順で書き込む必要があります。

- UDCR に書き込むデータを、まず RCR に書き込む (RCR のデータは失われるので注意)。
- CCR の CTUT ビットに "1" を書き込むことにより、RCR から UDCR にデータが転送される。

以上の動作は、カウント停止中 (CSR の CSTR ビットが "0" のとき) に行ってください。

< 参考 >

誤ってカウント中に CTUT ビットに "1" を書き込むと、書き込んだタイミングで RCR の値が UDCR に転送されます。

カウンタのクリアについては、上記以外に以下の方法があります。

- リセット入力によるクリア
- ZIN 端子からのエッジ入力によるクリア
- CCR の UDCC ビットに "0" を書き込むことによるクリア
- コンペア機能によるクリア

これらの書込みは、カウント起動 / 停止にかかわらず行うことができます。

■ カウントクリア / ゲート機能

ZIN 端子は CCR レジスタの CGSC ビットによって、カウントクリア機能またはゲート機能を選択して使用可能です。

カウントクリア機能起動時は、ZIN 端子によりカウンタのクリアを行います。ZIN 端子のどのエッジ入力でカウントを行うかを CCRL レジスタの CGE1, CGE0 ビットで制御可能です。

ゲート機能起動時は、ZIN 端子によりカウントのイネーブル / ディセーブルを行います。ZIN 端子のどのレベル入力でイネーブルとするかを CCR レジスタの CGE1, CGE0 ビットで制御可能です。

本機能はすべてのモードで有効です。

表 14.4-1 ZIN 端子の機能

CGSC	ZIN 端子の機能
0	カウンタクリア機能 [初期値]
1	ゲート機能

表 14.4-2 カウントクリア/ゲート機能

CGE1	CGE0	カウンタクリア機能選択時	ゲート機能選択時
0	0	エッジ検出禁止 [初期値]	レベル検出禁止 [初期値] (カウントディセーブル)
0	1	立下りエッジ	"L" レベル
1	0	立上りエッジ	"H" レベル
1	1	設定禁止	設定禁止

■ カウント方向フラグ

カウント方向フラグ (UDF1, UDF0) は, アップ / ダウンカウント時に, 直前のカウントがアップカウントであったかダウンカウントであったかを示します。AIN, BIN 両端子の入力から生成されたカウントクロックから判断して, カウントのたびにフラグを書き換えます。モータの制御などで, 現在の回転方向を知りたい場合はこのフラグを参照することで判断できます。

表 14.4-3 カウント方向フラグ

UDF1	UDF0	カウント方向
0	0	入力なし [初期値]
0	1	ダウンカウント
1	0	アップカウント
1	1	アップ / ダウン同時発生 (カウントは行われない)

■ カウント方向転換フラグ

カウント方向転換フラグ (CDCF) は, カウント方向がアップ / ダウンで変わった場合にセットされます。また, このフラグがセットされると同時に CPU に対して割込み要求を発生させることができます。この割込みとカウント方向フラグを参照することにより, カウント方向の変化の向きを判断することができます。ただし, 方向転換の期間が短く, 連続して発生した場合などは, 方向転換後のフラグの示す方向が元に戻り同一方向となる場合があるので注意が必要です。

表 14.4-4 カウント方向転換フラグ

CDCF	方向転換検出
0	方向転換は行われていない [初期値]
1	方向転換が 1 回以上行われた

■ コンペア検出フラグ

コンペア検出フラグ (CMPF) は, カウント動作中に UDCR の値と RCR の値が等しくなったときにセットされます。カウントアップ / ダウン一致のほか, リロードイベント発生による一致, カウント起動時に既に一致している場合もセットされます。

■ 8 ビット /16 ビット動作

このモジュールは、8 ビットアップダウンカウンタ、または 16 ビットアップダウンカウンタとして使用できます。CCR レジスタの M16E ビットに "0" を書き込むことにより 8 ビットモードとなり、"1" を書き込むことにより 16 ビットモードとなります。

■ 割込み発生タイミング

割込みフラグ	フラグセット割込み	リロード	クリア
CDCF (カウント方向 転換フラグ)	カウント方向が変 わったカウント時に、 セットと同時に割込 み発生		
CMPF (コンペア検出 フラグ)	アップカウント / ダウンカウント / リロードカウント起 動時に、RCR と UDCR が一致をする と、フラグセットと 同時に割込み発生		RCR と UDCR の 一致を次のアップ カウントタイミン グで UDCR をク リア (ダウンカウ ント時はクリアさ れません)
OVFF (オーバフロー 検出フラグ)	カウント "FFFF _H " の 次のアップカウン トタイミングで、フラ グセットと同時に割 込み発生		カウント "FFFF _H " の次のカウントタ イミングで UDCR をクリア
UDFF (アンダフロー 検出フラグ)	カウント "0000 _H " の 次のダウンカウン トタイミングで、フラ グセットと同時に割 込み発生	カウント "0000 _H " の次のカウントタ イミングで RCR の値を UDCR に 転送	

- RCR はリロード値とコンペア値を兼用しているため、リロードが実行されると、コンペアフラグが必ずセットされます。
- クリア機能を有効にしたダウンカウント実行時、コンペア一致が発生した後にアップカウントが行われるとクリアが発生します。

■ 注意事項

カウントリセット直後のカウント方向はダウンカウント方向になっています。したがって、リセット直後のアップカウントでは方向転換が行われたことを示す CDCF ビットに "1" がセットされます。

アップカウントレジスタ (UDCR) がフルカウントになった場合、キャリなしでカウントを続けます。見かけ上、アップダウンカウントレジスタがクリアされてカウントを続けることとなります。

第15章

マルチファンクション シリアルインタフェース

マルチファンクションシリアルインタフェースの機能と動作について説明します。

- 15.1 マルチファンクションシリアルインタフェースの特長
- 15.2 UART (非同期シリアルインタフェース)
- 15.3 UART (非同期シリアルインタフェース) の概要
- 15.4 UART (非同期シリアルインタフェース) のレジスタ
- 15.5 UART の割込み
- 15.6 UART の動作
- 15.7 専用ボーレートジェネレータ
- 15.8 動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー
- 15.9 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー
- 15.10 UART モードの注意事項
- 15.11 CSIO (クロック同期シリアルインタフェース)
- 15.12 CSIO (クロック同期シリアルインタフェース) の概要
- 15.13 CSIO (クロック同期シリアルインタフェース) のレジスタ
- 15.14 CSIO (クロック同期シリアルインタフェース) の割込み
- 15.15 CSIO (クロック同期シリアルインタフェース) の動作
- 15.16 専用ボーレートジェネレータ
- 15.17 CSIO (クロック同期シリアルインタフェース) 設定手順とプログラムフロー
- 15.18 CSIO モードの注意事項
- 15.19 I²C インタフェース
- 15.20 I²C インタフェースの概要
- 15.21 I²C インタフェースのレジスタ
- 15.22 I²C インタフェースの割込み
- 15.23 専用ボーレートジェネレータ
- 15.24 I²C モードの注意事項

15.1 マルチファンクションシリアルインタフェースの特長

マルチファンクションシリアルインタフェースには以下の特長があります。

■ インタフェースモード

マルチファンクションシリアルインタフェースは動作モードの設定により，以下のインタフェースモードを選択可能です。

- UART0 (非同期ノーマルシリアルインタフェース)
- UART1 (非同期マルチプロセッサシリアルインタフェース)
- CSIO (クロック同期式シリアルインタフェース) (SPI に対応可能)
- I²C (I²C バスインタフェース)

■ インタフェースモードの切換え

各シリアルインタフェースで通信を行う場合には，表 15.1-1 のレジスタで動作モードを設定してから通信を開始します。

図 15.1-1 SMR レジスタのビット構成

SMR						bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
アドレス													
ch.0 000063 _H	ch.1 000073 _H	ch.2 000083 _H	ch.3 000093 _H	ch.4 000563 _H	ch.5 000573 _H	MD2	MD1	MD0	-	SBL	BDS	SCKE	SOE
リード / ライト (R/W)						(R/W)	(R/W)	(R/W)	(-)	(R/W)	(R/W)	(R/W)	(R/W)
初期値						(0)	(0)	(0)	(-)	(0)	(0)	(0)	(0)

表 15.1-1 インタフェースモードの切換え

MD2	MD1	MD0	インタフェースモード
0	0	0	UART0 (非同期ノーマルシリアルインタフェース)
0	0	1	UART1 (非同期マルチプロセッサシリアルインタフェース)
0	1	0	CSIO (クロック同期式シリアルインタフェース) (SPI に対応可能)
1	0	0	I ² C (I ² C バスインタフェース)

(注意事項) 上記以外は設定禁止です。

< 注意事項 >

- 1 つのシリアルインタフェースで送信あるいは受信動作中にモードの切換えを行った場合の送受信に関する動作の保証はできません。
- 動作モードを変更すると，ほかのレジスタは初期化されますので動作モードは最初に設定してください。ただし，16 ビット書込みで SCR と SMR を同時に書き込んだとき，SCR には書き込んだ内容が反映されます。

■ 送受信 FIFO

16 バイトの送信用 FIFO と 16 バイトの受信用 FIFO を搭載しています。以降の説明における FIFO 段数は 16 バイトに読み換えてください。

15.2 UART (非同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの機能のうち、動作モード 0, 1 でサポートしている UART 機能について説明します。

- UART (非同期シリアルインタフェース)
- UART (非同期シリアルインタフェース) の概要
- UART (非同期シリアルインタフェース) のレジスタ
 - シリアル制御レジスタ (SCR)
 - シリアルモードレジスタ (SMR)
 - シリアルステータスレジスタ (SSR)
 - 拡張通信制御レジスタ (ESCR)
 - 受信データレジスタ / 送信データレジスタ (RDR0/RDR1/TDR0/TDR1)
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
 - FIFO 制御レジスタ 1(FCR1)
 - FIFO 制御レジスタ 0(FCR0)
 - FIFO バイトレジスタ (FBYTE1/FBYTE2)
- UART の割込み
 - 受信割込み発生とフラグセットのタイミング
 - 受信 FIFO 使用時の割込み発生とフラグセットの タイミング
 - 送信割込み発生とフラグセットのタイミング
 - 送信 FIFO 使用時の割込み発生とフラグセットの タイミング
- UART の動作
- 専用ボーレートジェネレータ
 - ボーレート設定
- 動作モード 0 (非同期 ノーマルモード) 設定手順と プログラムフロー
- 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー

15.3 UART (非同期シリアルインタフェース) の概要

UART(非同期シリアルインタフェース)は、外部装置と非同期通信(調歩同期)をするための汎用のシリアルデータ通信インタフェースです。双方向通信機能(ノーマルモード)、マスタ/スレーブ型通信機能(マルチプロセッサモード:マスタ/スレーブ両方サポート)をサポートしています。また、送信/受信用のFIFOを搭載しています。

■ UART (非同期シリアルインタフェース) の機能

		機能
1	データ	<ul style="list-style-type: none"> 全二重ダブルバッファ (FIFO 未使用時) 送信 / 受信 FIFO (サイズ最大各 16 バイト) (FIFO 使用時)
2	シリアル入力	3 回オーバーサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送形式	非同期
4	ボーレート	<ul style="list-style-type: none"> 専用ボーレートジェネレータ (15 ビットリロードカウンタ構成) 外部クロック入力をリロードカウンタで調節可能。
5	データ長	5 ビット ~ 9 ビット (ノーマルモード時), 7 ビット, 8 ビット (マルチプロセッサモード時)
6	信号方式	NRZ (Non Return to Zero), 反転 NRZ
7	スタートビット検出	<ul style="list-style-type: none"> スタートビット立下りエッジに同期 (NRZ 方式の場合) スタートビット立上りエッジに同期 (反転 NRZ 方式の場合)
8	受信エラー検出	<ul style="list-style-type: none"> フレーミングエラー オーバランエラー パリティエラー*
9	割込み要求	<ul style="list-style-type: none"> 受信割込み (受信完了, フレーミングエラー, オーバランエラー, パリティエラー*) 送信割込み (送信データエンプティ, 送信バスアイドル) 送信 FIFO 割込み (送信 FIFO がエンプティのとき) 送受信とも拡張インテリジェント I/O サービス (EI²OS), および DMA 機能あり
10	マスタ / スレーブ型通信機能 (マルチプロセッサモード)	1 (マスタ) 対 n (スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)
11	FIFO オプション	<ul style="list-style-type: none"> 送受信 FIFO 搭載 (最大容量: 送信 FIFO 16 バイト, 受信 FIFO 16 バイト) 送信 FIFO と受信 FIFO を選択可能 送信データ再送可能 受信 FIFO 割込みタイミングをソフトで変更可能 独立して FIFO リセットサポート

*: パリティエラーはノーマルモード時のみ。

15.4 UART (非同期シリアルインタフェース) のレジスタ

UART (非同期シリアルインタフェース) のレジスタ一覧を示します。

■ UART (非同期シリアルインタフェース) のレジスタ一覧

図 15.4-1 UART(非同期シリアルインタフェース) のレジスタ一覧

アドレス		bit15	bit8 bit7	bit0
UART	000062 _H 000063 _H	SCR (シリアル制御レジスタ)	SMR (シリアルモードレジスタ)	
	000072 _H 000073 _H			
	000082 _H 000083 _H			
	000092 _H 000093 _H			
	000562 _H 000563 _H			
	000572 _H 000573 _H			
	000060 _H 000061 _H	SSR (シリアルステータスレジスタ)	ESCR (拡張通信制御レジスタ)	
	000070 _H 000071 _H			
	000080 _H 000081 _H			
	000090 _H 000091 _H			
	000560 _H 000561 _H			
	000570 _H 000571 _H			
	000066 _H 000067 _H	RDR/TDR (送受信データレジスタ)		
	000076 _H 000077 _H			
	000086 _H 000087 _H			
	000096 _H 000097 _H			
	000566 _H 000567 _H			
	000576 _H 000577 _H			
	000064 _H 000065 _H	BGR1 (ボーレートジェネレータ レジスタ 1)	BGR0 (ボーレートジェネレータ レジスタ 0)	
	000074 _H 000075 _H			
	000084 _H 000085 _H			
	000094 _H 000095 _H			
	000564 _H 000565 _H			
	000574 _H 000575 _H			
000068 _H 000069 _H	-	-		
000078 _H 000079 _H				
000088 _H 000089 _H				
000098 _H 000099 _H				
000568 _H 000569 _H				
000578 _H 000579 _H				

(続く)

(続き)

アドレス		bit15	bit8 bit7	bit0
FIFO	00006E _H 00006F _H	FCR1 (FIFO 制御レジスタ 1)		FCR0 (FIFO 制御レジスタ 0)
	00007E _H 00007F _H			
	00008E _H 00008F _H			
	00009E _H 00009F _H			
	00056E _H 00056F _H			
	00057E _H 00057F _H			
	00006C _H 00006D _H	FBYTE2 (FIFO2 バイトレジスタ)		FBYTE1 (FIFO1 バイトレジスタ)
	00007C _H 00007D _H			
	00008C _H 00008D _H			
	00009C _H 00009D _H			
	00056C _H 00056D _H			
	00057C _H 00057D _H			

表 15.4-1 UART (非同期シリアルインタフェース) ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/SMR	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SBL	BDS	SCKE	SOE
SSR/ ESCR	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	-	-	INV	PEN	P	L2	L1	L0
TDR1/ TDR0 (RDR1/ RDR0)	-							D8 (AD)	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
-	-								-							
FCR1/ FCR0	-	-	-	FLSTE	-	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

■ 動作モード

UART(非同期シリアルインタフェース) は , 2 つの異なるモードで動作します。シリアルモードレジスタ (SMR) の MD2, MD1, MD0 によって決定されます。

表 15.4-2 UART(非同期シリアルインタフェース) の動作モード

動作モード	MD2	MD1	MD0	種類
0	0	0	0	UART0 (非同期 ノーマルモード)
1	0	0	1	UART1 (非同期マルチプロセッサモード)

15.4.1 シリアル制御レジスタ (SCR)

シリアル制御レジスタ (SCR) は、送受信の許可 / 禁止、送受信割込みの許可 / 禁止、送信バスアイドル割込みの許可 / 禁止、UART リセットをすることができます。

■ シリアル制御レジスタ (SCR)

図 15.4-2 にシリアル制御レジスタ (SCR) のビット構成を、表 15.4-3 に各ビットの機能を示します。

図 15.4-2 シリアル制御レジスタ (SCR) のビット構成

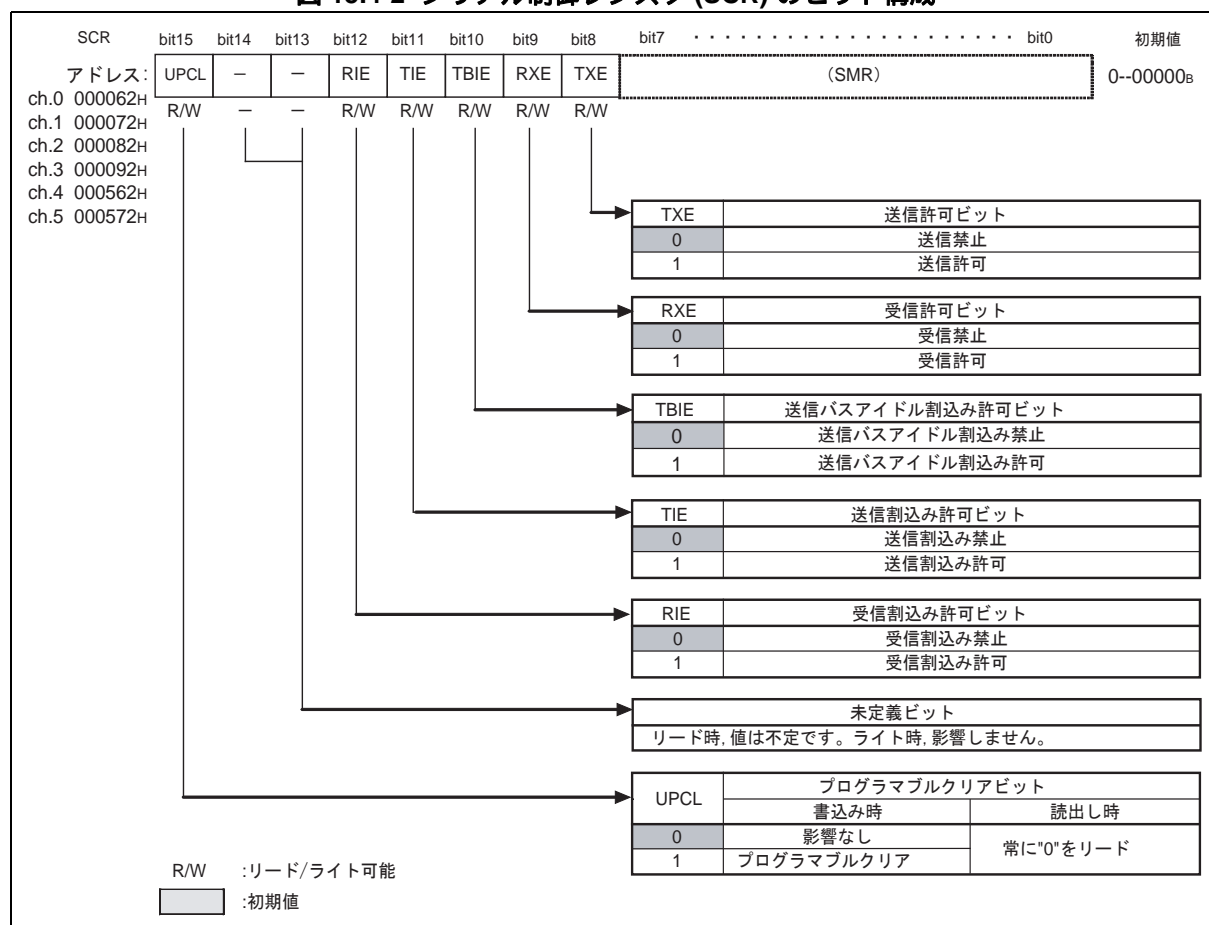


表 15.4-3 シリアル制御レジスタ (SCR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	UPCL : プログラマブル クリアビット	<p>UART の内部状態を初期化するビットです。</p> <p>"1" を設定した場合 :</p> <ul style="list-style-type: none"> UART を直接リセット (ソフトウェアリセット) します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。 ボーレートジェネレータは、BGR1/BGR0 レジスタの設定値をリロードし、再スタートします。 すべての送受信割込み要因 (PE, FRE, ORE, RDRF, TDRE, TBI) は初期化 (000011_B) されます。 <p>"0" を設定した場合 : 影響ありません。</p> <p>リード時は、常に "0" が読み出されます。</p> <p>(注意事項) 割込み禁止に設定した後に、プログラマブルクリアを実行してください。</p> <p>FIFO 使用時は、FIFO 禁止 (FE2, FE1=0) にしてからプログラマブルクリアを実行してください。</p>
bit14, bit13	未定義ビット	<p>リードした場合 : 値は未定です。</p> <p>ライトした場合 : 影響しません。</p>
bit12	RIE : 受信割込み 許可ビット	<ul style="list-style-type: none"> CPU への受信割込み要求出力を許可 / 禁止するビットです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、またはエラーフラグビット (PE, ORE, FRE) のいずれかが "1" の場合に受信割込み要求を出力します。
bit11	TIE : 送信割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信割込み要求出力を許可 / 禁止するビットです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。
bit10	TBIE : 送信バス アイドル割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。 TBIE ビットと TBI ビットが "1" のとき、送信バスアイドル割込み要求を出力します。
bit9	RXE : 受信許可ビット	<p>UART の受信動作を許可 / 禁止します。</p> <ul style="list-style-type: none"> "0" に設定した場合 : 受信動作が禁止されます。 "1" に設定した場合 : 受信動作が許可されます。 <p>(注意事項) 受信動作許可 (RXE=1) にしても、スタートビットの立下りエッジ (NRZ フォーマット (INV=0) の場合) が入力されないと受信動作を開始しません (反転 NRZ フォーマット (INV=1) の場合は、立上りエッジが入力されるまで受信動作を開始しません)。</p> <p>受信中に受信動作を禁止 (RXE=0) した場合には、直ちに受信動作を停止します。</p>

表 15.4-3 シリアル制御レジスタ (SCR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	TXE : 送信許可ビット	UART の送信動作を許可 / 禁止します。 <ul style="list-style-type: none">• "0" に設定した場合：送信動作が禁止されます。• "1" に設定した場合：送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止 (TXE=0) した場合には , 直ちに送信動作を停止します。

15.4.2 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、動作モードの設定、転送方向、データ長、ストップビット長の選択、およびシリアルデータとシリアルクロックの端子への出力許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 15.4-3 にシリアルモードレジスタ (SMR) のビット構成を、表 15.4-4 に各ビットの機能を示します。

図 15.4-3 シリアルモードレジスタ (SMR) のビット構成

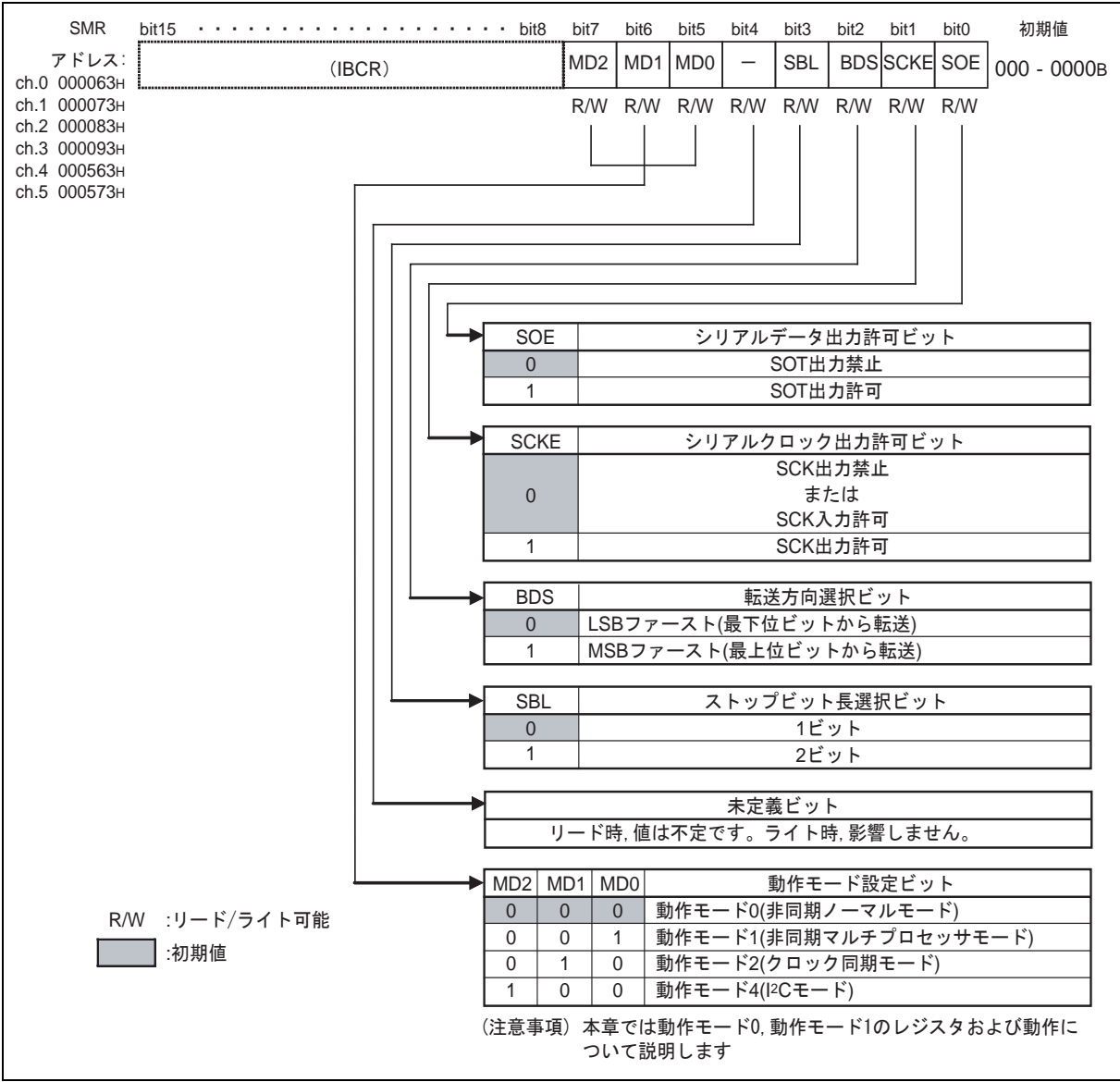


表 15.4-4 シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能
bit7 ~ bit5	MD2, MD1, MD0: 動作モード 設定ビット	<p>非同期シリアルインタフェースの動作モードを設定します。</p> <p>"000_B": 動作モード 0 (非同期ノーマルモード) に設定されます。</p> <p>"001_B": 動作モード 1 (非同期マルチプロセッサモード) に設定されます。</p> <p>"010_B": 動作モード 2 (クロック同期モード) に設定されます。</p> <p>"100_B": 動作モード 4 (I²C モード) に設定されます。</p> <p>本章では動作モード 0 (非同期ノーマルモード), 動作モード 1 (非同期マルチプロセッサモード) のレジスタまたは動作について説明します。</p> <p>(注意事項) 上記の設定以外は禁止です。</p> <p>動作モードを切り換える場合は, プログラマブルクリア実行 (SCR:UPCL=1) 後, 動作モードを切り換えてください。動作モード設定後, 各レジスタを設定してください。</p>
bit4	未定義ビット	<p>リードした場合: 値は不定です。</p> <p>ライトした場合: 影響しません。</p>
bit3	SBL: ストップ ビット長選択 ビット	<p>ストップビット (送信データのフレームエンドマーク) のビット長を設定します。</p> <p>"0" に設定した場合: ストップビットは, 1 ビットに設定されます。</p> <p>"1" に設定した場合: ストップビットは, 2 ビットに設定されます。</p> <p>(注意事項) 受信時は, 常にストップビットの 1 ビット目だけを検出します。</p> <p>本ビットは送信が禁止 (TXE=0) のときに設定してください。</p>
bit2	BDS: 転送方向選択 ビット	<p>転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト, BDS=0) 最上位ビット側から先に転送するか (MSB ファースト, BDS=1) を選択するビットです。</p> <p>(注意事項) 本ビットは, 送受信が禁止 (TXE=RXE=0) のときに設定してください。</p>
bit1	SCKE: シリアル クロック出力 許可ビット	<p>シリアルクロックの入出力ポートを制御するビットです。</p> <p>"0" に設定した場合:</p> <p>SCK"H" 出力, または SCK 入力許可となります。SCK 入力として使う場合は汎用入出力ポートを入力ポートに設定してください。</p> <p>また, 外部クロック選択ビットによって外部クロックを選択 (BGR:EXT=1) してください。</p> <p>"1" に設定した場合: SCK 出力許可となります。</p>
bit0	SOE: シリアル データ出力 許可ビット	<p>シリアルデータの出力を許可 / 禁止するビットです。</p> <p>"0" に設定した場合: 出力禁止です。</p> <p>"1" に設定した場合: SOT 出力許可となります。</p>

< 注意事項 >

動作モードを変更すると、ほかのレジスタは初期化されますので動作モードは最初に設定してください。ただし、16 ビット書込みで SCR と SMR を同時に書き込んだとき、SCR には書き込んだ内容が反映されます。

15.4.3 シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は、送受信の状態の確認、受信エラーフラグの確認、また、受信エラーフラグをクリアします。

■ シリアルステータスレジスタ (SSR)

図 15.4-4 にシリアルステータスレジスタ (SSR) のビット構成を、表 15.4-5 に各ビットの機能を示します。

図 15.4-4 シリアルステータスレジスタ (SSR) のビット構成

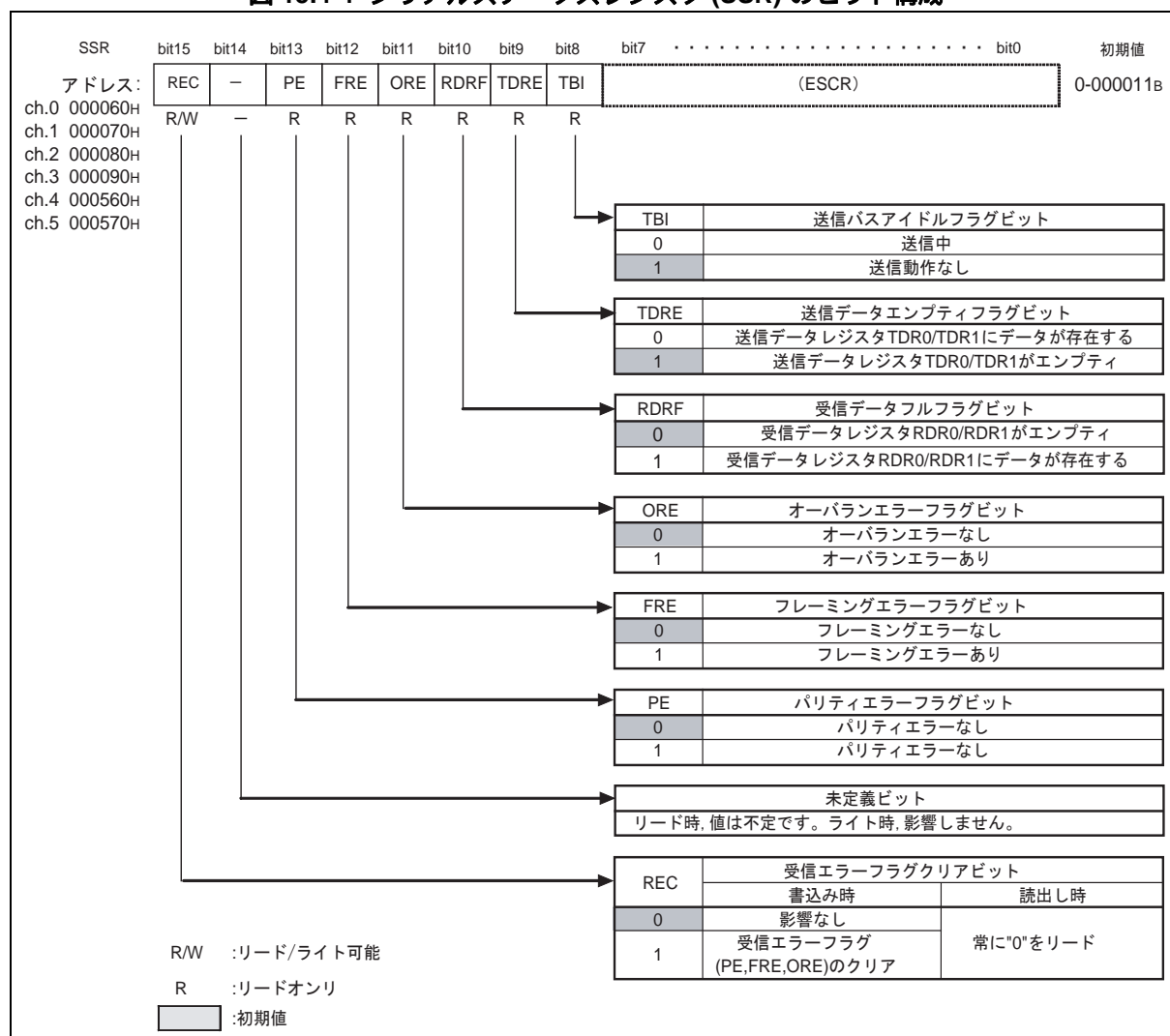


表 15.4-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	REC : 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の PE, FRE, ORE フラグをクリアするビットです。 <ul style="list-style-type: none"> • "1" 書込みで、エラーフラグがクリアされます。 • "0" 書込みは、影響しません。 リードした場合、常に "0" が読み出されます。
bit14	未定義ビット	リードした場合 : 値は不定です。 ライトした場合 : 影響しません。
bit13	PE : パリティエラー フラグビット (動作モード 0 のみ機能)	<ul style="list-style-type: none"> • SMR: PEN=1 で受信時にパリティエラーが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • PE ビットと SCR: RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR0/ RDR1) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。
bit12	FRE : フレーミング エラーフラグ ビット	<ul style="list-style-type: none"> • 受信時にフレーミングエラーが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • FRE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR0/ RDR1) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。
bit11	ORE : オーバラン エラーフラグ ビット	<ul style="list-style-type: none"> • 受信時にオーバランが発生すると "1" にセットされ、シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 本フラグがセットされた場合は、受信データレジスタ (RDR0/ RDR1) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO には格納されません。

表 15.4-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit10	RDRF : 受信データ フルフラグ ビット	<ul style="list-style-type: none"> • 受信データレジスタ (RDR0/RDR1) の状態を示すフラグです。 • RDR0/RDR1 に受信データがロードされると "1" にセットされ、受信データレジスタ (RDR0/RDR1) を読み出すと "0" にクリアされます。 • RDRF ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 • 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。 • 受信 FIFO 使用時に、受信 FIFO アイドル検出許可ビット (FCR1:FRIDE) が "1" で、受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が "1" にセットされます。8 クロックカウント中、RDR0/RDR1 を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。 • 受信 FIFO 使用時は、受信 FIFO がエンプティになると "0" にクリアされます。
bit9	TDRE : 送信データ エンプティ フラグビット	<ul style="list-style-type: none"> • 送信データレジスタ (TDR0/TDR1) の状態を示すフラグです。 • TDR0/TDR1 に送信データを書き込むと "0" となり、TDR0/TDR1 に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり、TDR0/TDR1 に有効なデータが存在していないことを示します。 • TDRE ビットと TIE ビットが "1" の場合、送信割込み要求を出力します。 • シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると、TDRE ビットは "1" になります。 • 送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは、「15.5.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。
bit8	TBI : 送信バス アイドルフラグ ビット	<ul style="list-style-type: none"> • UART が送信動作をしていないことを示すビットです。 • 送信データレジスタ (TDR0/TDR1) へ送信データを書き込んだ場合に本ビットは "0" になります。 • 送信データレジスタがエンプティ (TDRE=1) で、送信動作をしていない場合に本ビットは "1" になります。 • シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TBI ビットは "1" になります。 • 本ビットが "1" で、送信バスアイドル割込みが許可 (SCR:TBIE=1) されていると送信割込み要求を出力します。

15.4.4 拡張通信制御レジスタ (ESCR)

拡張通信制御レジスタ (ESCR) は、送受信データ長の設定、パリティビットの許可 / 禁止、パリティビットの選択、シリアルデータフォーマットの反転の設定ができます。

■ 拡張通信制御レジスタ (ESCR) のビット構成

図 15.4-5 に拡張通信制御レジスタ (ESCR) のビット構成を、表 15.4-6 に各ビットの機能を示します。

図 15.4-5 拡張通信制御レジスタ (ESCR) のビット構成

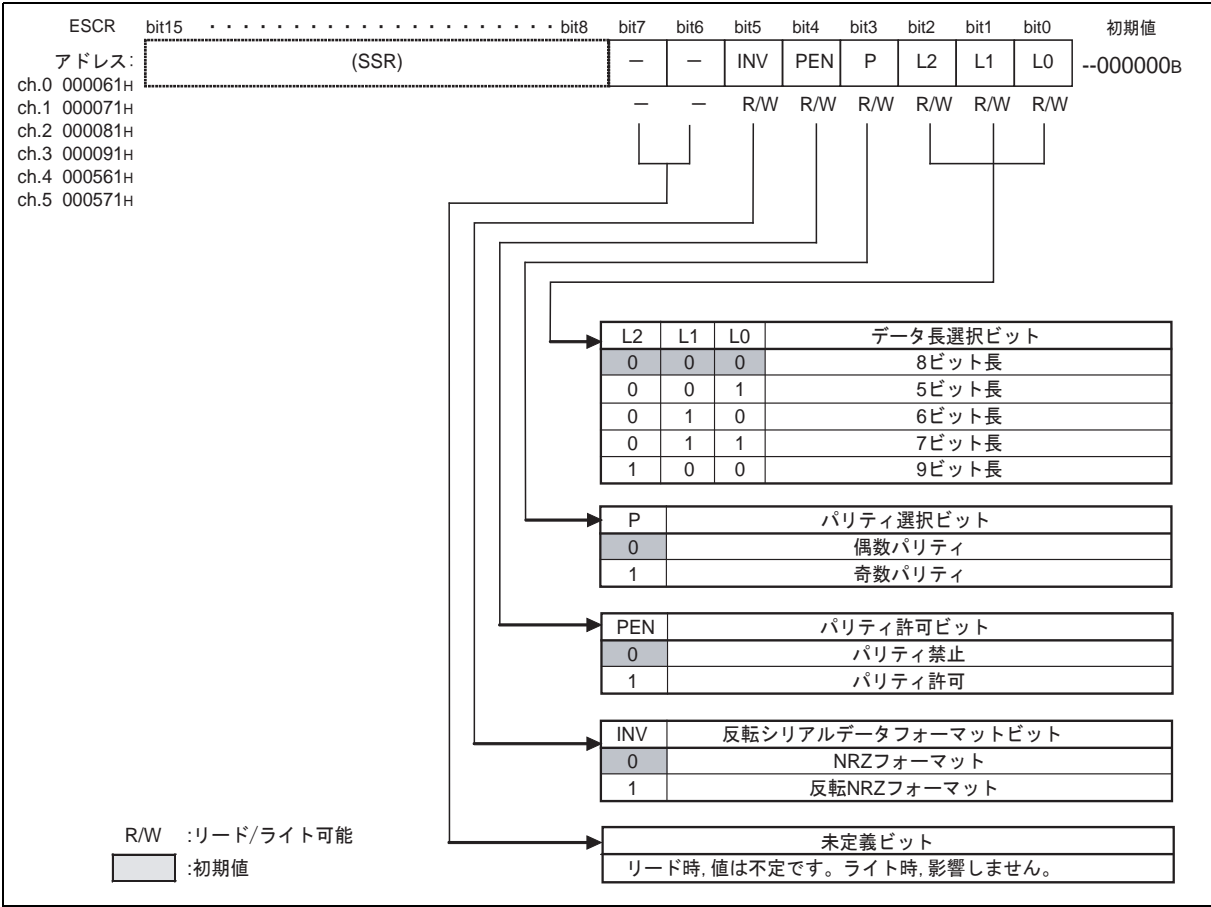


表 15.4-6 拡張通信制御レジスタ (ESCR) の各ビットの機能説明

ビット名		機能
bit7, bit6	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit5	INV： 反転シリアルデータ フォーマットビット	シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。
bit4	PEN： パリティ許可ビット (動作モード 0 のみ 機能)	パリティビットの付加 (送信時) と検出 (受信時) を行うかどう かを設定します。 <ul style="list-style-type: none"> • "0" に設定した場合：パリティビットは付加されません。 • "1" に設定した場合：パリティビットは付加されます。 (注意事項) 動作モード 1 のときは、本ビットは内部で "0" に固 定されます。
bit3	P： パリティ選択ビット (動作モード 0 のみ 機能)	パリティあり (ESCR：PEN=1) に設定した場合に、奇数パリティ "1" か偶数パリティ "0" のいずれかに設定します。 <ul style="list-style-type: none"> • "0" に設定した場合：偶数パリティに設定されます。 • "1" に設定した場合：奇数パリティに設定されます。
bit2 ~ bit0	L2, L1, L0: データ長選択ビット	送受信データのデータ長を指定します。 <ul style="list-style-type: none"> • "000_B" に設定した場合：データ長は、8 ビットに設定されます。 • "001_B" に設定した場合：データ長は、5 ビットに設定されます。 • "010_B" に設定した場合：データ長は、6 ビットに設定されます。 • "011_B" に設定した場合：データ長は、7 ビットに設定されます。 • "100_B" に設定した場合：データ長は、9 ビットに設定されます。 (注意事項) 上記以外の設定は禁止です。 動作モード 1 では、データ長を 7, 8 ビットに設定し てください。その他の設定は禁止です。

15.4.5 受信データレジスタ / 送信データレジスタ (RDR0/RDR1/TDR0/TDR1)

受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。

FIFO 動作許可の場合、RDR0/RDR1/TDR0/TDR1 アドレスは FIFO 読出し、書込みアドレスとなります。

■ 受信データレジスタ (RDR0/RDR1)

図 15.4-6 にシリアル受信レジスタ (RDR0/RDR1) のビット構成を示します。

図 15.4-6 受信データレジスタ (RDR0/RDR1) のビット構成

RDR1/RDR0											初期値
アドレス	bit15.....	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ch.0 000066 _H		D8	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
ch.1 000076 _H		R	R	R	R	R	R	R	R	R	
ch.2 000086 _H											
ch.3 000096 _H											
ch.4 000566 _H											
ch.5 000576 _H											

R : リードオンリ

受信データレジスタ (RDR0/RDR1) は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR0/RDR1) に格納されます。
- データ長に応じ、以下のように上位ビットに "0" が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

- 受信データが受信データレジスタ (RDR0/RDR1) に格納されると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。受信割込みが許可されている場合 (SSR : RIE=1)、受信割込み要求が発生します。
- 受信データレジスタ (RDR0/RDR1) は、受信データフルフラグビット (SSR : RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR : RDRF) は、受信データレジスタ (RDR0/RDR1) を読み出すと自動的に "0" にクリアされます。

- 受信エラーが発生 (SSR : PE, ORE, FRE のいずれかが "1") した場合 , 受信データレジスタ (RDR0/RDR1) のデータは無効となります。
- 動作モード 1 (マルチプロセッサモード) では , 7 ビット , 8 ビット長の動作となり , 受信した AD ビットは , D8 ビットに格納されます。
- 9 ビット長転送 , および動作モード 1 の場合 , RDR0/RDR1 の読出しは 16 ビットアクセスで行います。

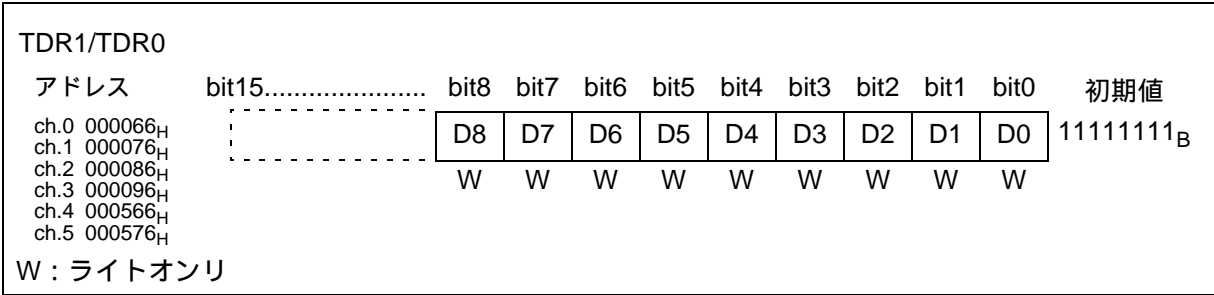
< 注意事項 >

- 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。
 - 受信 FIFO 使用時は , 受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
 - 受信 FIFO 使用時に , 受信エラーが発生 (SSR : PE, ORE, FRE のいずれかが "1") した場合 , 受信 FIFO の許可ビットはクリアされ , 受信データは受信 FIFO には格納されません。
-

■ 送信データレジスタ (TDR0/TDR1)

図 15.4-7 に送信データレジスタのビット構成を示します。

図 15.4-7 送信データレジスタ (TDR0/TDR1) のビット構成



送信データレジスタ (TDR0/TDR1) は , シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR : TXE=1) , 送信するデータを送信データレジスタ (TDR0/TDR1) に書き込むと送信データが送信用シフトレジスタに転送され , シリアルデータに変換されてシリアルデータ出力端子 (SOT 端子) から送出されます。
- データ長に応じ , 以下のように上位ビットから順に無効データとなります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

- 送信データエンプティフラグ (SSR : TDRE) は , 送信データが送信データレジスタ (TDR0/TDR1) に書き込まれると "0" クリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は , 送信データが送信用シフトレジスタへ転送されて送信が開始されると , 送信 FIFO が禁止または送信 FIFO がエンプティの場合 , "1" にセットされます。
- 送信データエンプティフラグ (SSR : TDRE) が "1" のとき , 送信データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書込みは , 送信割込みの発生によるか , 送信データエンプティフラグ (SSR : TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR : TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは , 送信データを書き込むことはできません。
- 動作モード 1 (マルチプロセッサモード) では , 7 ビット , 8 ビット長の動作となり , AD ビットの送信は , D8 ビットへの書込みにより行います。
- 9 ビット長転送 , および動作モード 1 の場合 , TDR0/TDR1 への書込みは 16 ビットアクセスで行います。

< 注意事項 >

- 送信データレジスタは書込み専用のレジスタで，受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため，書込み値と読出し値が異なります。したがって，INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。
 - 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは，「15.5.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
-

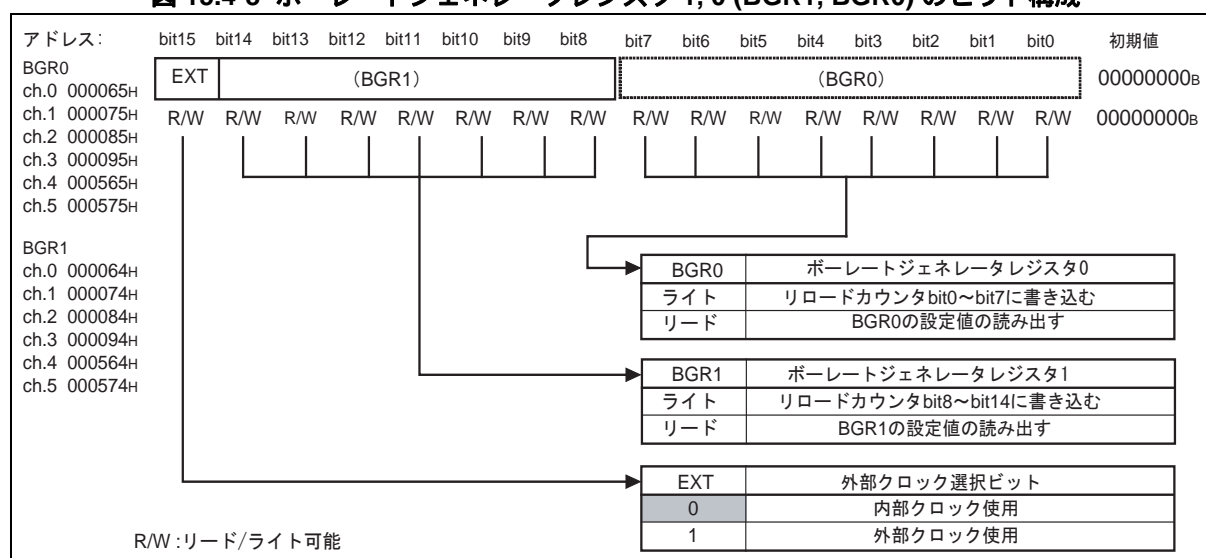
15.4.6 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

■ ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 15.4-8 にボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 15.4-8 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



- ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
- BGR1 は上位ビット, BGR0 は下位ビットに対応し, カウントするリロード値の書き込み, BGR1/BGR0 の設定値の読み出しが可能です。
- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。
- bit15 の EXT ビットでリロードカウンタのクロックソースを内部クロックに使用するか, 外部クロックを使用するかを選択します。EXT=0 に設定した場合, 内部クロックを選択します。EXT=1 に設定した場合, 外部クロックを選択します。

< 注意事項 >

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは, 16 ビットアクセスで行ってください。
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) の設定値を変更した場合, カウンタ値が "0000_H" になってから, 新しい設定値がリロードされます。したがって, 新しい設定値を即有効にしたい場合は, BGR1/BGR0 の設定値を変更した後, プログラムクリア (UPCL) を実行してください。
 - リロード値が偶数の場合, 受信シリアルクロックの "H" 幅と "L" 幅は "L" 幅の方が周辺クロック (CLKP) 1 サイクル分長くなります。奇数の場合, シリアルクロックの "H" 幅と "L" 幅は同じになります。
 - BGR1/BGR0 へは, 4 以上の値を設定してください。ただし, ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
 - ボーレートジェネレータ動作中に外部クロックの設定 (EXT=1) に変更する場合, ボーレートジェネレータ 1, 0 (BGR1, BGR0) に "0" を書き込み, プログラムクリア (UPCL) 実行後, 外部クロック (EXT=1) に設定してください。
-

15.4.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ (FCR1) は、FIFO のテスト設定、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 15.4-9 に FIFO 制御レジスタ 1 (FCR1) のビット構成を、表 15.4-7 に各ビットの機能を示します。

図 15.4-9 FIFO 制御レジスタ 1(FCR1) のビット構成

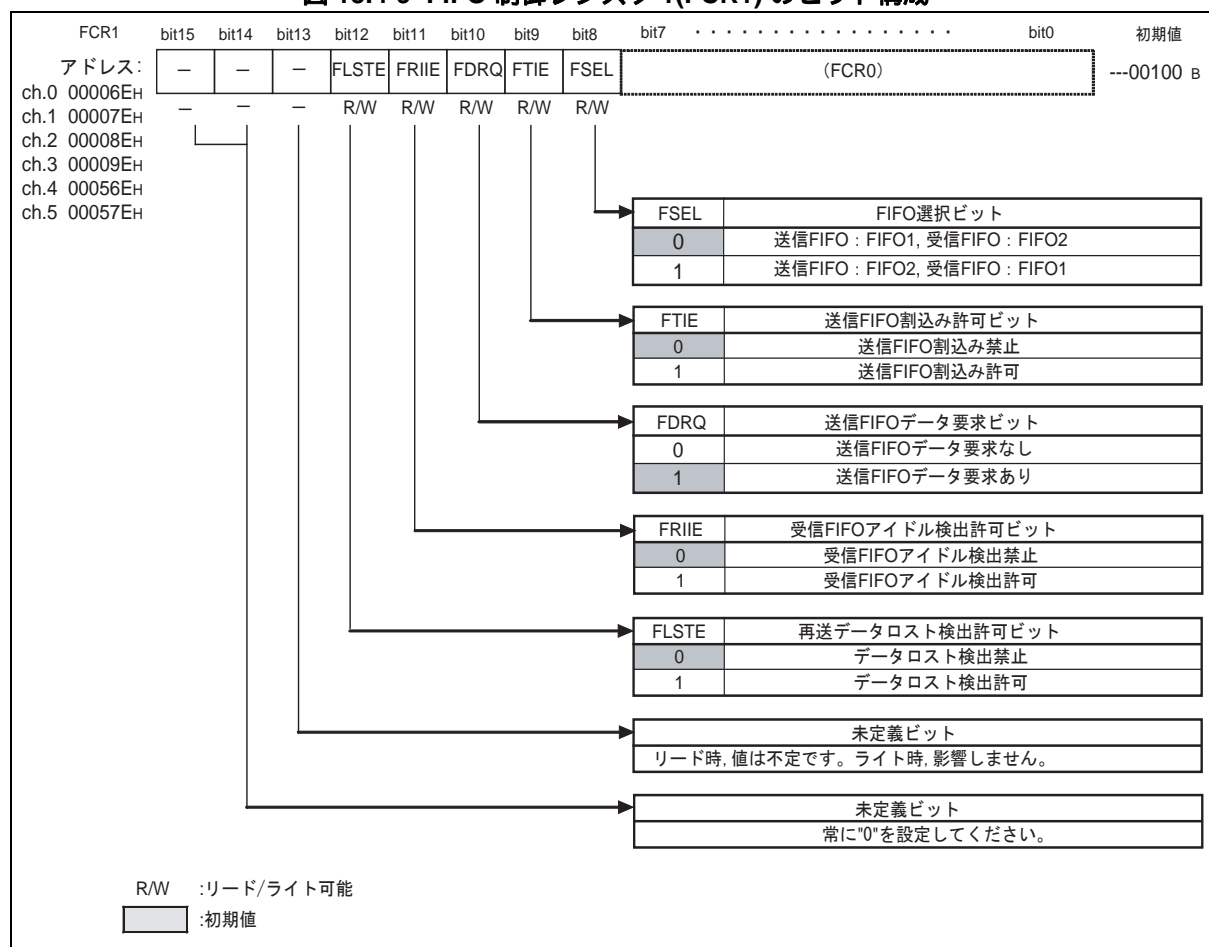


表 15.4-7 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15, bit14	未定義ビット	本ビットには必ず "0" を設定してください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE: 再送データ ロスト検出許可 ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項) 本ビットに "1" を設定する場合、FSET ビットに "1" を 設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル 検出許可ビット	受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受 信アイドル状態を検出するかどうかを設定するビットです。受信割 込みが許可 (SCR:RIE=1) されているときに受信アイドル状態が検出 されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ : 送信 FIFO データ要求 ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき、送信データを要求していることを示します。 このとき、送信 FIFO 割込みが許可 (FTIE=1) されていると、FIFO 送 信割込み要求を出力します。 FDRQ セット条件 FBYTE1/FBYTE2(送信用)=0 (送信 FIFO がエンプティ) FDRQ リセット条件 <ul style="list-style-type: none"> • 本ビットへの "0" 書込み • 送信 FIFO がフルになった場合 (注意事項) 送信 FIFO 許可のときに "0" 書込みは有効です。 FBYTE1/FBYTE2(送信用)=0 のときに本ビットへの "0" 書込みは禁止です。 本ビットに "1" を設定した場合、動作に影響を与えま せん。 リードモディファイライト (RMW) 系命令時には、"1" が読み出されます。
bit9	FTIE : 送信 FIFO 割込み許可 ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

表 15.4-7 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	FSEL : FIFO 選択 ビット	送受信 FIFO を選択するビットです。 "0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り当てられます。 "1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り当てられます。 (注意事項) 本ビットは, FIFO リセット (FCL2, FCL1=1) ではクリアされません。 本ビットを変更する場合は, FIFO 動作禁止 (FCR:FE2, FE1=0) および I ² C インタフェース動作禁止 (ISMK: EN=0) にしてから行ってください。

< 注意事項 >

送信割込みには送信 FIFO 割込み要求と送信バッファ割込み要求があります。

15.4.8 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は , FIFO 動作の許可 / 禁止 , FIFO リセット , リードポインタの保存 , 再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 15.4-10 に FIFO 制御レジスタ 0 (FCR0) のビット構成を , 表 15.4-8 に各ビットの機能を示します。

図 15.4-10 FIFO 制御レジスタ 0(FCR0) のビット構成

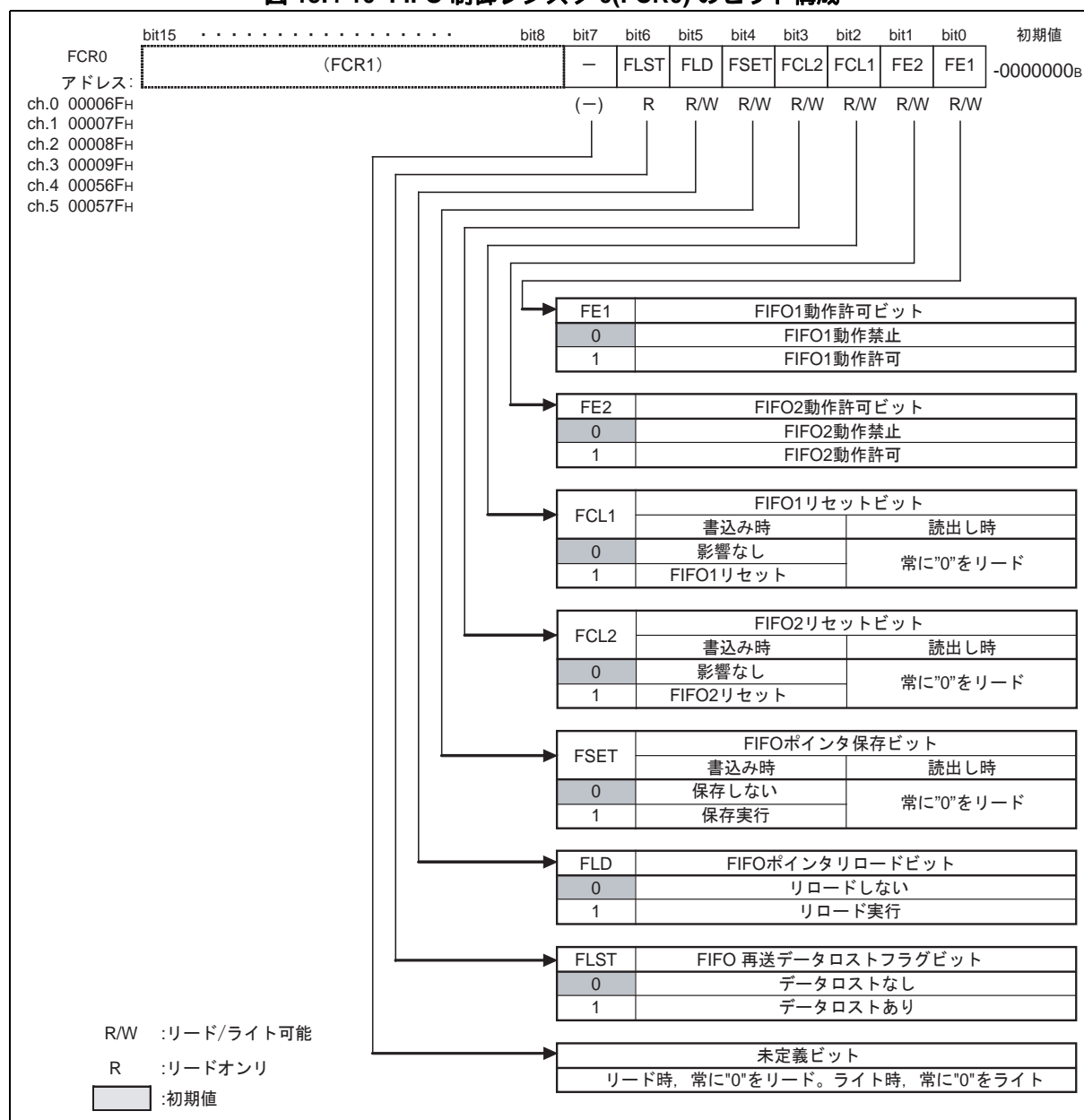


表 15.4-8 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書き込んでください。
bit6	FLST : FIFO 再送 データロス フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポイントと FSET ビットによって保存したリードポイントが一致しているときに FIFO へ書き込んだ (上書きした) 場合 FLST リセット条件 <ul style="list-style-type: none"> • FIFO リセット (FCL への "1" 書込み) • FSET ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポイントが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。
bit5	FLD : FIFO ポインタ リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポイントにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。 再送設定が完了した場合、本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間、リードポイントへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中に本ビットに "1" を設定することは禁止です。 TIE ビットと TBIE ビットは "0" にしてから本ビットに "1" を書き込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを "1" にしてください。
bit4	FSET : FIFO ポインタ 保存ビット	送信 FIFO のリードポイントを保存するビットです。 通信前にリードポイントを保存すると、通信エラーなどが発生した場合、FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポイントの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2 : FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると、FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 15.4-8 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	<p>FIFO1 をリセットするビットです。 本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。 FCR1:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。</p>
bit1	FE2 : FIFO2 動作許可 ビット	<p>FIFO2 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> FIFO2 を使用する場合、本ビットに "1" を設定してください。 FIFO2 を送信 FIFO に設定し (FCR1:FSEL=1)、本ビットに "1" を書き込んだときに FIFO2 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1) のとき、受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 FIFO2 を禁止にしても FIFO2 の状態は保持されます。
bit0	FE1 : FIFO1 動作許可 ビット	<p>FIFO1 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> FIFO1 を使用する場合、本ビットに "1" を設定してください。 FIFO1 を送信 FIFO に設定し (FCR1:FSEL=0)、本ビットに "1" を書き込んだときに FIFO1 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1) のとき、受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 FIFO1 を禁止にしても FIFO1 の状態は保持されます。

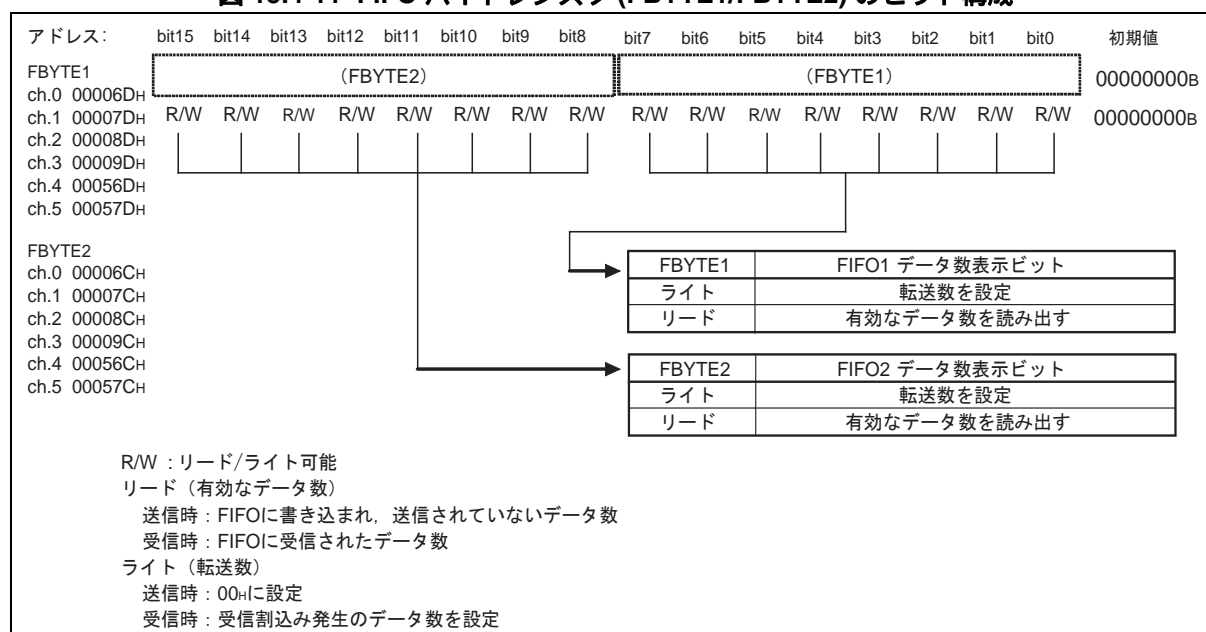
15.4.9 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 15.4-11 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 15.4-11 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE レジスタは、FIFO に書き込みまたは受信した有効なデータ数を示し、FCR1:FSEL ビットの設定によって以下ようになります。

表 15.4-9 データ数表示

FSEL	FIFO 選択	データ数表示
0	FIFO2: 受信 FIFO, FIFO1: 送信 FIFO	FIFO2: FBYTE2, FIFO1: FBYTE1
1	FIFO2: 送信 FIFO, FIFO1: 受信 FIFO	FIFO2: FBYTE2, FIFO1: FBYTE1

- FBYTE1/FBYTE2 レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE1/FBYTE2 に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE1/FBYTE2 レジスタのデータ数表示が一致すると割込みフラグ (SSR:RDRF) が "1" にセットされます。

- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。

< 注意事項 >

- 送信 FIFO の FBYTE1/FBYTE2 レジスタには "00_H" を設定してください。
 - 受信 FIFO の FBYTE1/FBYTE2 は "1" 以上のデータを設定してください。
 - 受信を禁止してから本レジスタを変更してください。
 - 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
 - FIFO 容量を超える設定は禁止です。
-

15.5 UART の割込み

UART には、送受信割込みがあります。次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ (RDR0/RDR1) にセットされた場合、または受信エラーが発生した場合
 - 送信データが送信データレジスタ (TDR0/TDR1) から送信用シフトレジスタに転送され、送信が開始された場合
 - 送信バスアイドル (送信動作なし)
 - 送信 FIFO データ要求
-

■ UART の割込み

UART の割込み制御ビットと割込み要因は表 15.5-1 のようになっています。

表 15.5-1 UART の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
受信	RDRF	SSR			1 バイト受信	SCR:RIE	受信データ (RDR0/RDR1) の読出し
					FBYTE1/ FBYTE2 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR0/RDR1) の読出し
					FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態で 8 ビットタイム以上の受信アイドル状態検出		
	ORE	SSR			オーバランエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
	FRE	SSR			フレーミングエラー		
	PE	SSR		×	パリティエラー		
送信	TDRE	SSR			送信レジスタがエンプティ	SCR:TIE	送信データ (TDR0/TDR1) への書込み, または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	TBI	SSR			送信動作なし	SCR:TBIE	送信データ (TDR0/TDR1) への書込み, または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	FDRQ	FCR1			送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込みまたは送信 FIFO がフル

*: TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

15.5.1 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了 (SSR:RDRF) および受信エラーの発生 (SSR: PE, ORE, FRE) があります。

■ 受信割込み発生とフラグセットのタイミング

最初のストップビットが検出されることにより、受信データが受信データレジスタ (RDR0/RDR1) に格納されます。受信が完了したとき (SSR:RDRF=1) または受信エラーが発生 (SSR:PE, ORE, FRE=1) すると各フラグがセットされます。そのとき、受信割込みが許可 (SSR:RIE=1) されていると受信割込みが発生します。

< 注意事項 >

受信エラーが発生した場合は、受信データレジスタ (RDR0/RDR1) のデータは無効となります。

図 15.5-1 RDRF(受信データフル) フラグビットのセットタイミング

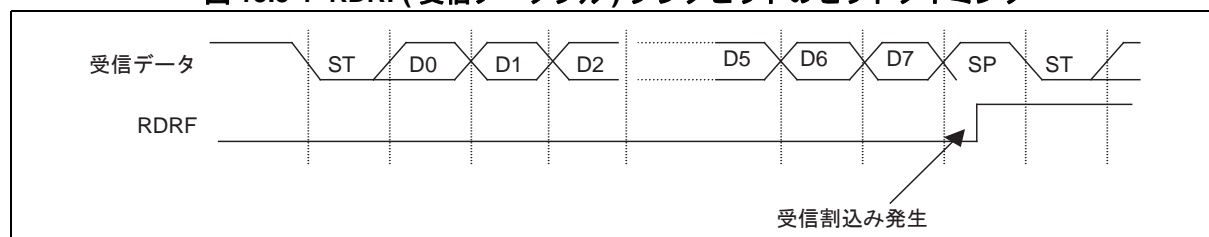


図 15.5-2 FRE (フレーミングエラー) フラグビットのセットタイミング

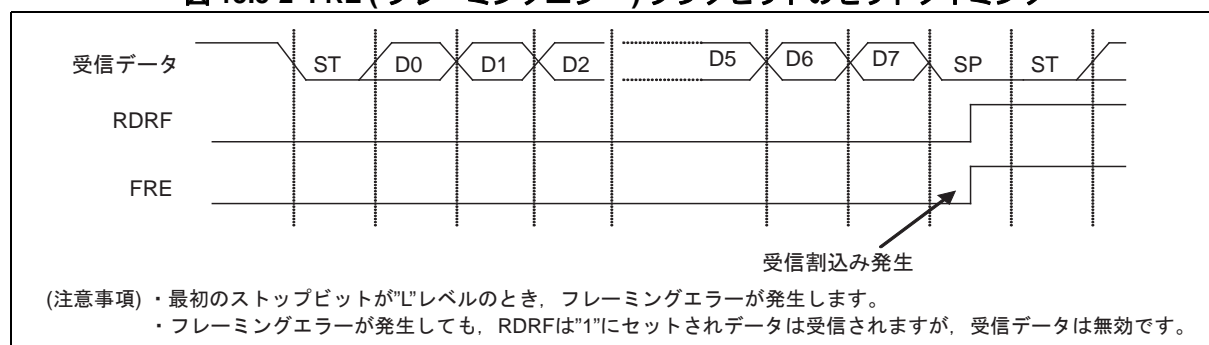
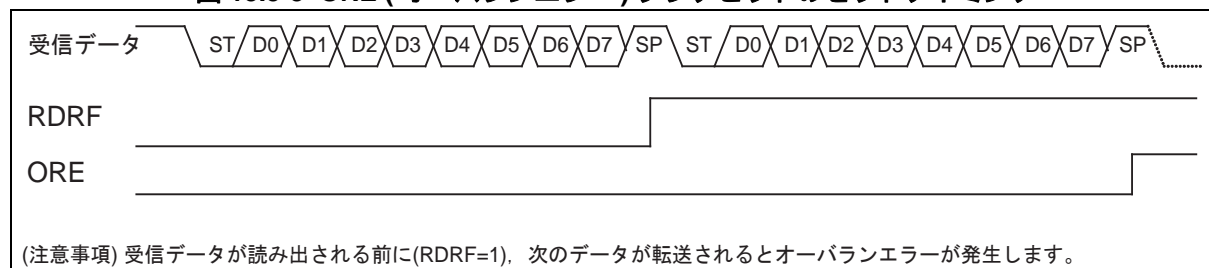


図 15.5-3 ORE (オーバランエラー) フラグビットのセットタイミング



15.5.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ (FBYTE1/FBYTE2) の設定値分受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE1/FBYTE2 レジスタの設定値によって決定されます。

- FBYTE1/FBYTE2 レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" にセットされます。このとき、受信割込みが許可 (SCR:RIE) されていると受信割込みが発生します。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR0/RDR1 を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ (RDR0/RDR1) を読み出すと、受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバーランエラー (SSR:ORE=1) が発生します。

図 15.5-4 受信 FIFO 使用時の受信割込み発生タイミング

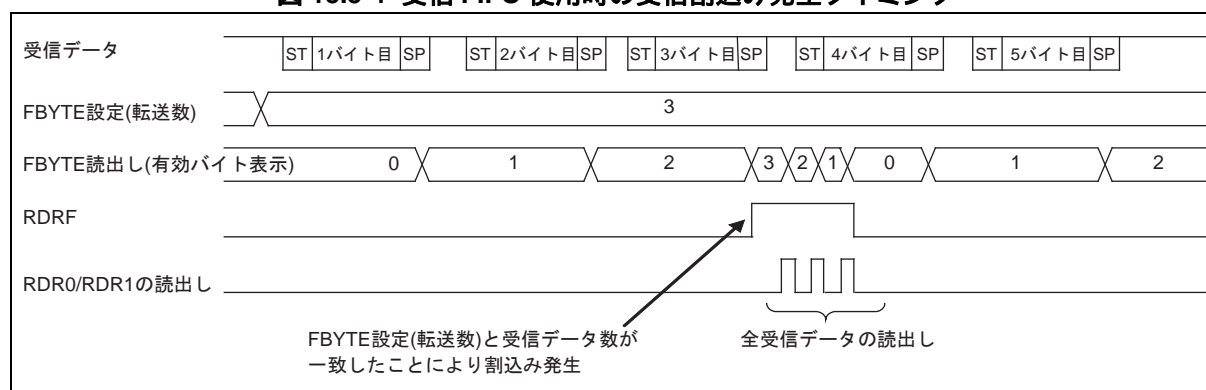
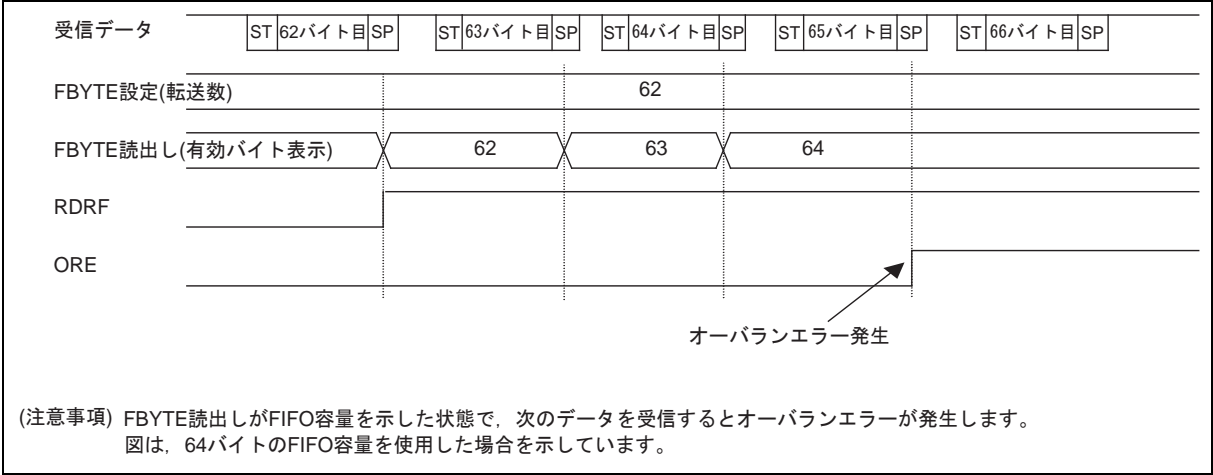


図 15.5-5 ORE (オーバーランエラー) フラグビットのセットタイミング



15.5.3 送信割込み発生とフラグセットのタイミング

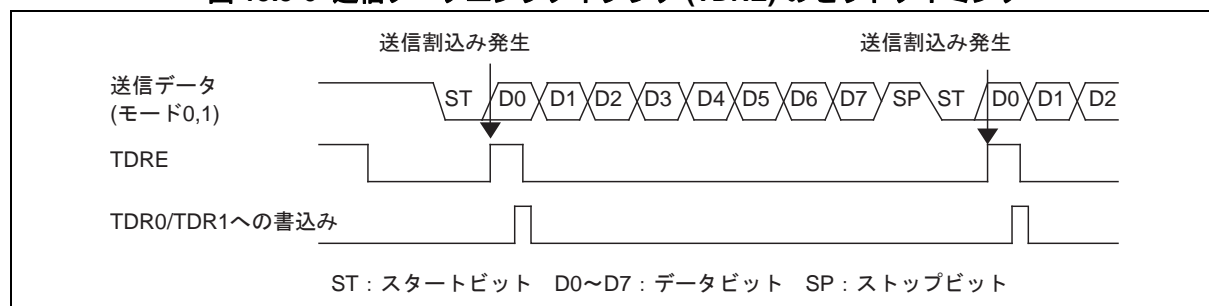
送信時の割込みとしては、送信データが送信データレジスタ (TDR0/TDR1) から送信用シフトレジスタに転送され (SSR : TDRE=1) で送信が開始された場合と送信動作をしていない場合 (SSR : TBI=1) に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR0/TDR1) に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書き込みが可能な状態 (SSR:TDRE=1) になります。そのとき、送信割込みが許可 (SCR:TIE=1) されていると、送信割込みが発生します。TDRE ビットはリードオンリビットなので、送信データレジスタ (TDR0/TDR1) へのデータ書き込みにより "0" にクリアされます。

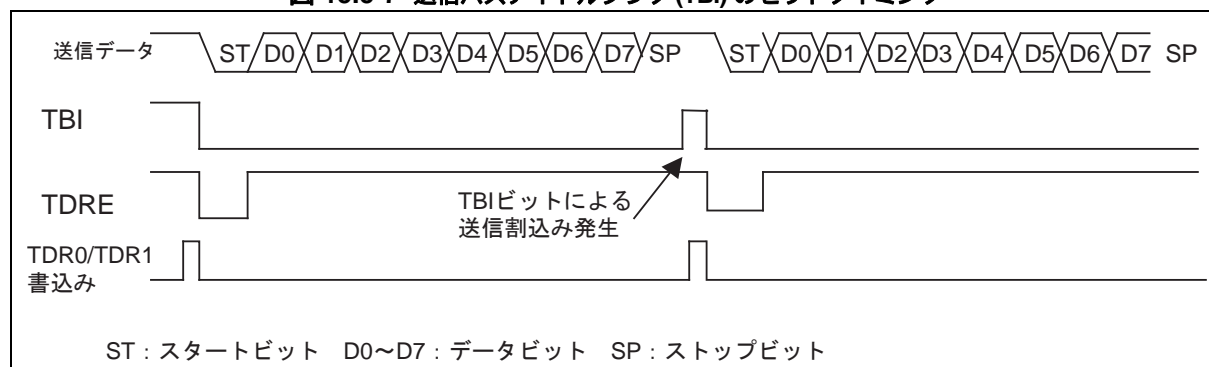
図 15.5-6 送信データエンプティフラグ (TDRE) のセットタイミング



● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタが空 (TDRE=1) で送信動作をしていないとき、SSR : TBI ビットは "1" にセットされます。このとき、送信バスアイドル割込みが許可 (SCR:TBIE=1) されていると、送信割込みが発生します。送信データレジスタ (TDR0/TDR1) に送信データをセットすると TBI ビットおよび送信割込み要求はクリアされます。

図 15.5-7 送信バスアイドルフラグ (TBI) のセットタイミング



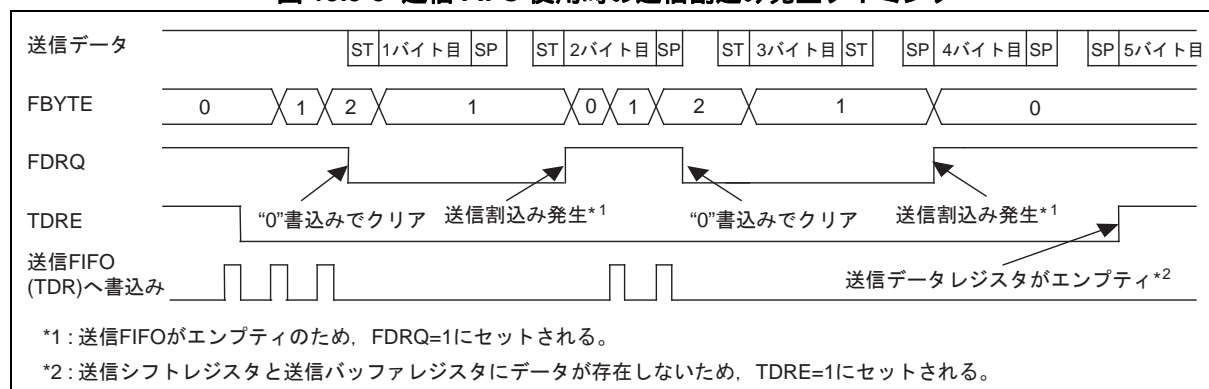
15.5.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しないときに発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット (FCR1 : FDRQ) が "1" にセットされます。
このとき、FIFO 送信割込みが許可 (FCR1 : FTIE=1) されていると送信割込みが発生します。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット (FCR1 : FDRQ) に "0" を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" になります。
- 送信 FIFO のデータの存在確認は、FIFO バイトレジスタ (FBYTE1/FBYTE2) を読み出すことで確認できます。
FBYTE1/FBYTE2 = 00_H のときは、送信 FIFO にデータが存在していないことを示します。

図 15.5-8 送信 FIFO 使用時の送信割込み発生タイミング



15.6 UART の動作

UART は、モード 0 の双方向シリアル非同期通信、モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

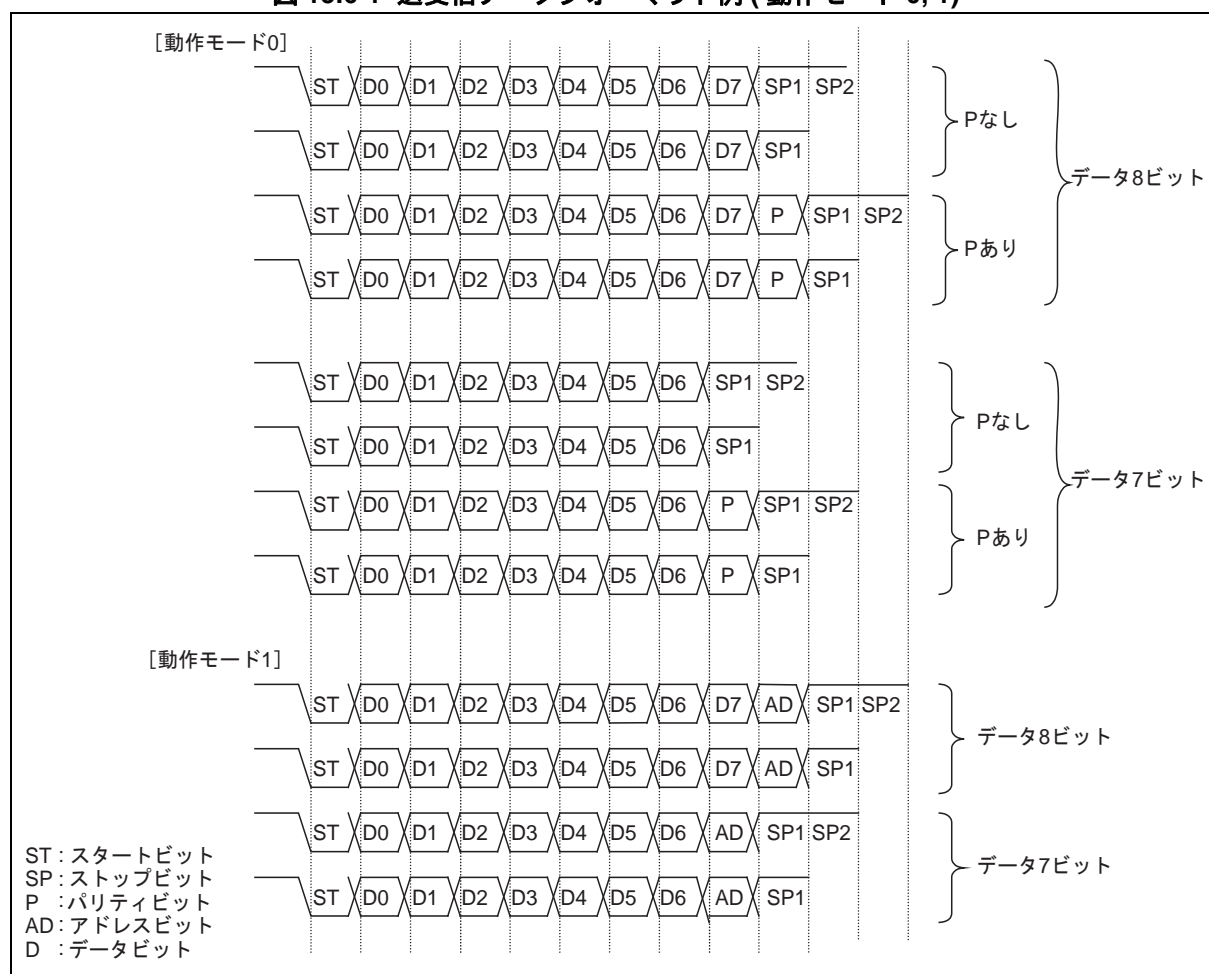
■ UART の動作

● 送受信データフォーマット

- 送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
- データ転送方向 (LSB ファーストまたは MSB ファースト) は、シリアルモードレジスタ (SMR) の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
- 動作モード 0 (通常モード) では、パリティはあり / なしの選択ができます。
- 動作モード 1 (マルチプロセッサモード) ではパリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマットを図 15.6-1 に示します。

図 15.6-1 送受信データフォーマット例 (動作モード 0, 1)



< 注意事項 >

- 図 15.6-1 は、データ長 7 ビット、8 ビットに設定した場合を示しています (データ長は、動作モード 0 の場合、5 ビット ~ 9 ビットまで設定できます)。
- シリアルモードレジスタ (SMR) の BDS ビットを "1" (MSB ファースト) に設定した場合、ビットは D7, D6, D5, . . . , D1, D0(P) の順で処理されます。
- データ長を X ビット長に設定した場合、送受信データレジスタ (RDR0/RDR1/TDR0/TDR1) の下位 X ビットが有効になります。

● 送信動作

- シリアルステータスレジスタ (SSR) の送信データエンプティフラグビット (TDRE) が "1" であれば、送信データレジスタ (TDR0/TDR1) に送信データを書き込むことができます (送信 FIFO が許可されている場合には TDRE=0 でも送信データを書くことは可能)。
- 送信データを送信データレジスタ (TDR0/TDR1) に書き込むと、送信データエンプティフラグビット (TDRE) は "0" になります。
- シリアル制御レジスタの送信動作許可ビット (SCR : TXE) を "1" に設定すると、送信データは送信シフトレジスタにロードされてスタートビットから順に送信が開始されます。
- 送信が開始されると、送信データエンプティフラグビット (TDRE) は再び "1" にセットされます。このとき、送信割込みが許可 (SCR : TIE=1) されていると送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書き込むことができます。

< 注意事項 >

- 送信データエンプティフラグビット (SSR : TDRE) は初期値が "1" のため、送信割込みが許可 (SCR : TIE) されると直ちに送信割込みが発生します。
- FIFO 送信データ要求ビット (FCR1 : FDRQ) は初期値が "1" のため、FIFO 送信割込みが許可 (FCR1 : FTIE=1) されると直ちに送信割込みが発生します。

● 受信動作

- 受信動作が許可 (SCR : RXE=1) されると受信動作を行います。
- スタートビットを検出すると、拡張通信制御レジスタ (ESCR: PEN, P, L2, L1, L0), およびシリアルモードレジスタ (SMR : BDS) に設定されているデータフォーマットに従って 1 フレームデータの受信が行われます。
- 1 フレームの受信が完了すると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。このとき、受信割込みが許可 (SCR : RIE=1) されている場合、受信割込みが発生します。
- 受信データを読み出す際には、1 フレームデータの受信完了後に受信データを読み出し、シリアルステータスレジスタ (SSR) のエラーフラグの状態を確認してください。受信エラーが発生している場合には、エラー処理を行ってください。
- 受信データの読出しで、受信データフルフラグビット (SSR : RDRF) は "0" にクリアされます。
- 受信 FIFO が許可されている場合、受信 FBYTE1/FBYTE2 に設定された分のフレームを受信すると受信データフルフラグビット (SSR:RDRF) は "1" にセットされます。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR0/RDR1 を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されると、そのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO が許可されている場合、シリアルステータスレジスタ (SSR) のエラーフラグが "1" にセットされると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット (SSR : RDRF) を "1" にセットしません (ただし、オーバランエラーの場合は RDRF フラグは "1" にセットされます)。受信 FBYTE1/FBYTE2 の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ (SSR) のエラーフラグが "0" にクリアされないで受信 FIFO は許可されません。
- 受信 FIFO が許可されている場合、受信 FIFO にデータがなくなると受信データフルフラグビット (SSR : RDRF) は "0" にクリアされます。

< 注意事項 >

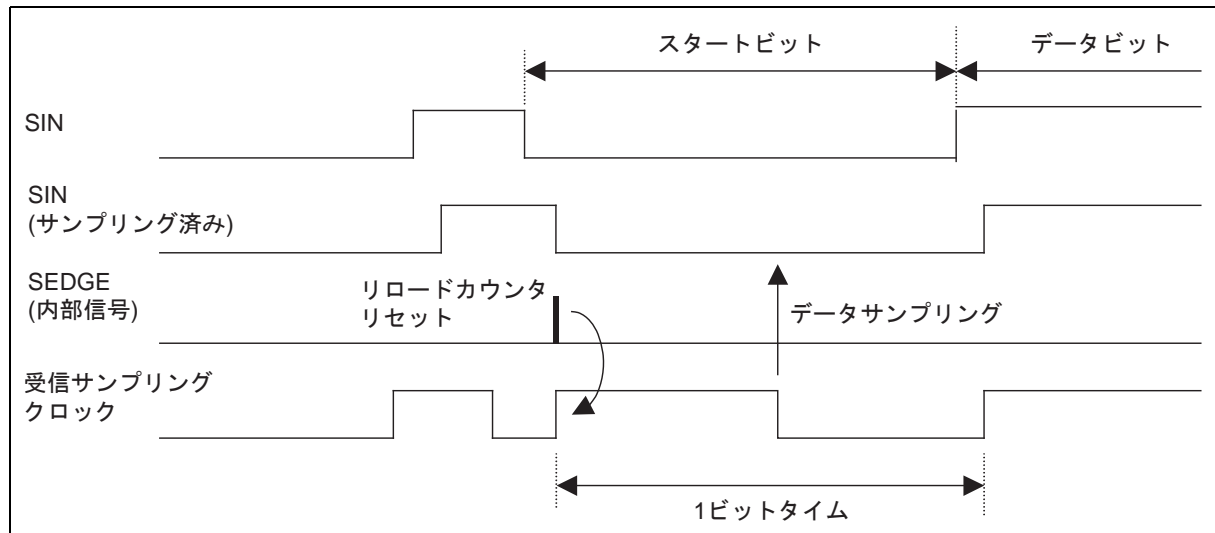
受信データレジスタ (RDR) のデータは、受信データレジスタフルフラグビット (SSR : RDRF) が "1" にセットされ、受信エラーが発生しなかった場合 (SSR : PE, ORE, FRE=0) に有効となります。

● クロック選択

- 内部クロック、または外部クロックを使用できます。
- 外部クロックを使用する場合は、BGR:EXT=1 に設定します。この場合、外部クロックがボーレートジェネレータで分周されます。

● スタートビット検出

- 非同期モード時は、SIN 信号の立下りエッジによってスタートビットを認識します。このため受信動作を許可 (SCR:RXE=1) しても、SIN 信号の立下りエッジが入力されないで受信動作を開始しません。
- スタートビットの立下りエッジを検出すると、ボーレートジェネレータの受信リロードカウンタはリセットされ、再リロードしカウントダウンを開始します。これによって、常にデータの中でサンプリングします。



● ストップビット

- 1 ビットまたは 2 ビット長を選択できます。
- 受信データフルフラグビット (SSR:RDRF) は、最初のストップビットを検出すると "1" にセットされます。

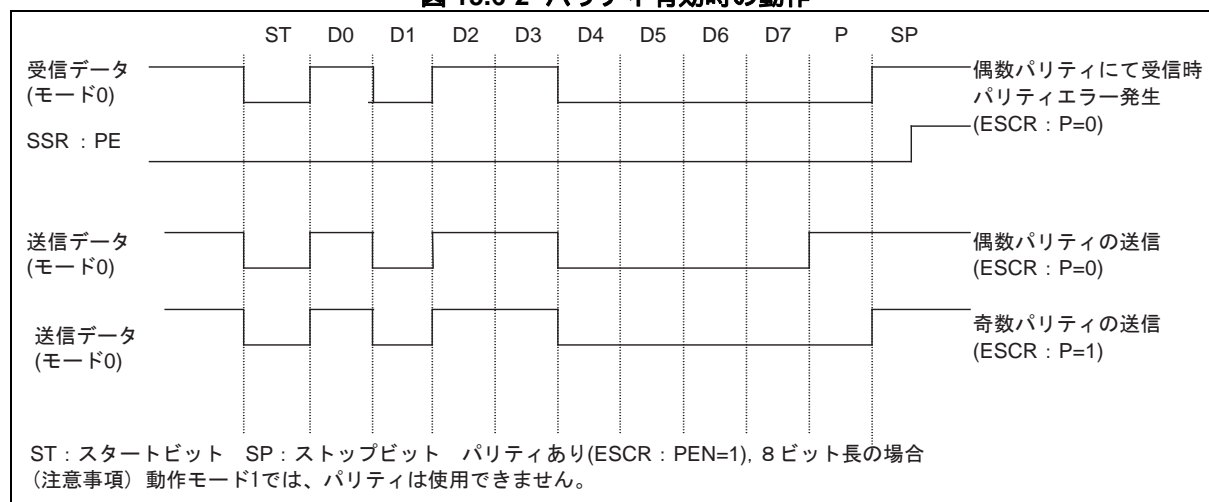
● エラー検出

- 動作モード 0 では、パリティエラー、オーバランエラー、フレームエラーを検出できます。
- 動作モード 1 では、オーバランエラー、フレームエラーを検出できます。パリティエラーは検出できません。

● パリティビット

- パリティビットの付加は、動作モード 0 の場合のみ設定できます。パリティ許可ビット (ESCR : PEN) でパリティの有無を、パリティ選択ビット (ESCR : P) で偶数パリティ / 奇数パリティを設定できます。
 - 動作モード 1 では、パリティを使用できません。
- パリティ有効時の送受信データを図 15.6-2 に示します。

図 15.6-2 パリティ有効時の動作

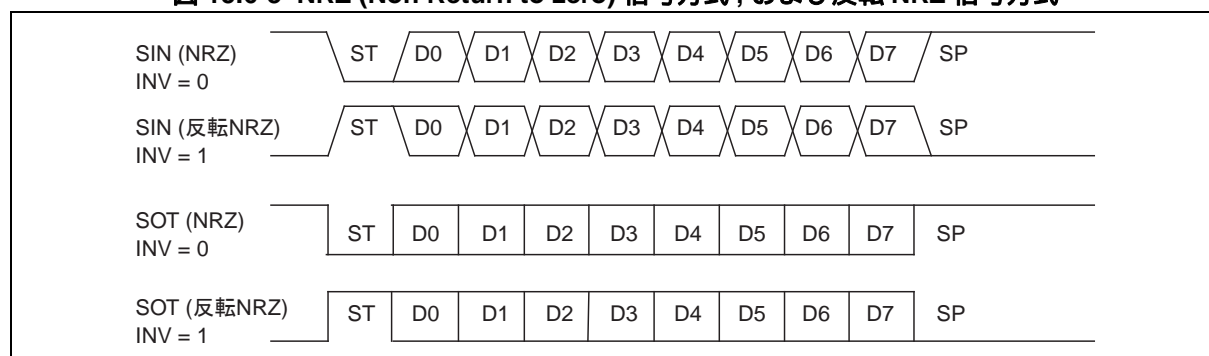


● データ信号方式

拡張通信制御レジスタの INV ビットの設定によって、NRZ (Non Return to Zero) 信号方式 (ESCR : INV=0), または反転 NRZ 信号方式 (ESCR : INV=1) を選択できます。

NRZ 信号方式および反転 NRZ 信号方式を図 15.6-3 に示します。

図 15.6-3 NRZ (Non Return to zero) 信号方式、および反転 NRZ 信号方式



● データ転送方式

データビット転送方法を LSB ファーストまたは MSB ファーストから選択できます。

15.7 専用ボーレートジェネレータ

UART の送受信クロックソースは、次のいずれかを選択できます。

- 専用ボーレートジェネレータ (リロードカウンタ)
 - 外部クロックをボーレートジェネレータに入力 (リロードカウンタ)
-

■ UART ボーレート選択

ボーレートは次の 2 種類の中から 1 種類を選択できます。

- 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択 (SMR:EXT=0) してください。

- 専用ボーレートジェネレータ (リロードカウンタ) で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロックの使用を選択 (SMR:EXT=1) してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

< 注意事項 >

- 外部クロックの設定 (EXT=1) は、リロードカウンタが停止した状態 (BGR1/BGR0=15'h00) で行ってください。
 - 外部クロックに設定 (EXT=1) した場合、外部クロックの "H" 幅、"L" 幅は 2 周辺クロック (CLKP) 以上必要です。
-

15.7.1 ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値：

$$V = \phi / b - 1$$

V：リロード値

b：ボーレート

φ：周辺クロック (CLKP), 外部クロック周波数

(2) 計算例

周辺クロック (CLKP) 16MHz, 内部クロック使用, ボーレート 19200bps に設定する場合のリロード値は、次のようになります。

リロード値：

$$V = (16 \times 1000000) / 19200 - 1 = 832$$

よって、ボーレートは、

$$b = (16 \times 1000000) / (832 + 1) = 19208 \text{ bps}$$

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差 (\%)} = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) 周辺クロック (CLKP) 20MHz, 目標ボーレート 153600bps に設定する場合

$$\text{リロード値} = (20 \times 1000000) / 153600 - 1 = 129$$

$$\text{ボーレート (計算値)} = (20 \times 1000000) / (129 + 1) = 153846 \text{ (bps)}$$

$$\text{誤差 (\%)} = (153846 - 153600) / 153600 \times 100 = 0.16 \text{ (\%)}$$

< 注意事項 >

- リロード値を "0" に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合、受信シリアルクロックの "H" 幅と "L" 幅は "L" 幅の方が周辺クロック (CLKP) 1 サイクル分長くなります。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じになります。
- リロード値は 4 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。

MB91470/480 シリーズ

■ 各周辺クロック (CLKP) 周波数に対するリロード値とボーレート

表 15.7-1 リロード値とボーレート

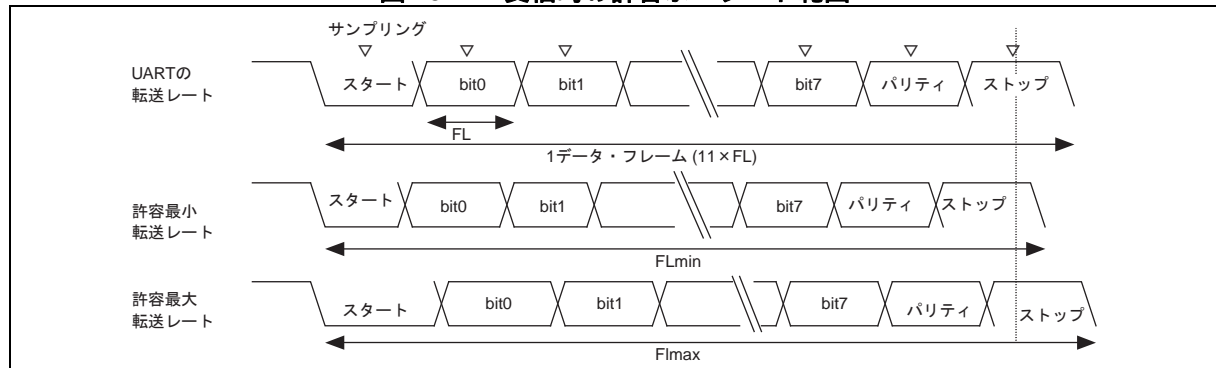
ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	0	-	-	-	-	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	- 0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	- 0.16	-	-
153600	51	- 0.16	64	- 0.16	103	- 0.16	129	- 0.16	155	- 0.16	207	- 0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	- 0.64	86	0.22	138	0.08	173	0.22	207	- 0.16	277	0.08
76800	103	- 0.16	129	- 0.16	207	- 0.16	259	- 0.16	311	- 0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	- 0.16	416	0.08	555	0.08
38400	207	- 0.16	259	- 0.16	416	0.08	520	0.03	624	0	832	- 0.04
28800	277	0.08	346	< 0.01	554	- 0.01	693	- 0.06	832	- 0.03	1110	- 0.01
19200	416	0.08	520	0.03	832	- 0.03	1041	0.03	1249	0	1666	0.02
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1919	< 0.01	2303	< 0.01	3071	< 0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	- 0.01
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2777	< 0.01	3332	< 0.01	4443	- 0.01
4800	1666	0.02	2082	- 0.02	3332	< 0.01	4166	< 0.01	4999	0	6666	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	8332	< 0.01	9999	0	13332	< - 0.01
1200	6666	< 0.01	8334	0.02	13332	< 0.01	16666	< 0.01	19999	0	26666	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	-	-	-	-	-	-
300	26666	26666	< 0.01	-	-	-	-	-	-	-	-	-

- Value : BGR1/BGR0 レジスタの設定値 (10 進)
- ERR : ボーレート誤差 (%)

■ 受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。
受信時のボーレート誤差は下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 15.7-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後はBGR1/BGR0レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ（ストップビット）までが間に合えば正常に受信できます。

これを 11 ビット受信にあてはめると理論上、次のようになります。

サンプリング・タイミングのマージンを周辺クロック (CLKP) (ϕ) の 2 クロック分とすると、

許容最小転送レート (FLmin) は次のようになります。

$$FL_{min} = (11 \text{ ビット} \times (V+1) - (V+1)/2 + 2)/\phi = (21V+25)/2\phi \text{ (s)}$$

V: リロード値 ϕ : 周辺クロック (CLKP)

したがって、受信可能な送信先の最大ボーレート (BGmax) は次のようになります。

$$BG_{max} = 11/FL_{min} = 22\phi/(21V+25) \text{ (bps)}$$

V: リロード値 ϕ : 周辺クロック (CLKP)

同様に、許容最大転送レート (FLmax) を求めると、次のようになります。

$$FL_{max} = (11 \text{ ビット} \times (V+1) + (V+1)/2 - 2)/\phi = (23V+19)/2\phi \text{ (s)}$$

V: リロード値 ϕ : 周辺クロック (CLKP)

したがって、受信可能な送信先の最小ボーレート (BGmin) は次のようになります。

$$BG_{min} = 11/FL_{max} = 22\phi/(23V+19) \text{ (bps)}$$

V: リロード値 ϕ : 周辺クロック (CLKP)

前述の最小 / 最大ボーレート値の算出式から , UART と送信先とのボーレートの許容誤差を求めると次のようになります。

表 15.7-2 ボーレートの許容誤差

リロード値 (V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+2.98%	-2.81%
50	+4.37%	-4.02%
100	+4.56%	-4.18%
200	+4.66%	-4.26%
32767	+4.76%	-4.35%

< 注意事項 >

受信の精度は , 1 フレームのビット数 , 周辺クロック (CLKP), リロード値に依存します。周辺クロック (CLKP) が高く , 分周比が高くなるほど精度は高くなります。

■ 外部クロック

ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) の EXT ビットに "1" を書き込むと , ボーレートジェネレータで外部クロックを分周します。

< 注意事項 >

外部クロック信号は UART で内部クロックに同期します。したがって , 同期化不可能な外部クロックの場合には動作が不安定になります

■ リロードカウンタの機能

リロードカウンタには , 送信リロードカウンタと受信リロードカウンタがあり , 専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており , 外部クロックまたは内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) にリロード値を書き込むと , リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

- 送信 / 受信リロードカウンタ共通
プログラマブルリセット (SCR:UPCL ビット)
- 受信リロードカウンタ
非同期モードでのスタートビット立下りエッジ検出

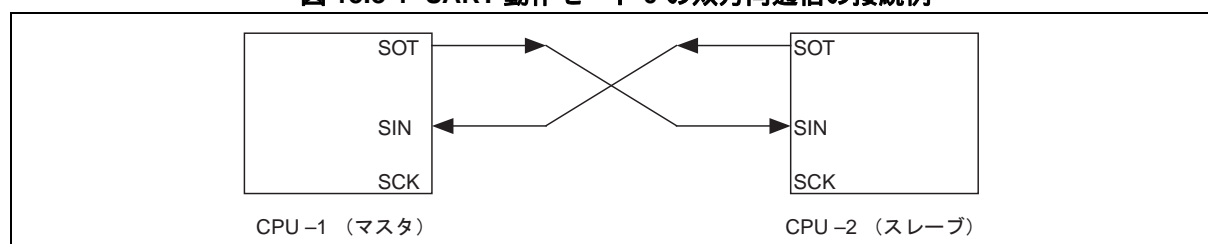
15.8 動作モード 0 (非同期ノーマルモード) 設定手順とプログラムフロー

動作モード 0 では、非同期シリアル双方向通信をすることができます。

■ CPU 間接続

動作モード 0 (通常モード) では、双方向通信を選択します。図 15.8-1 に示すように 2 つの CPU を相互に接続します。

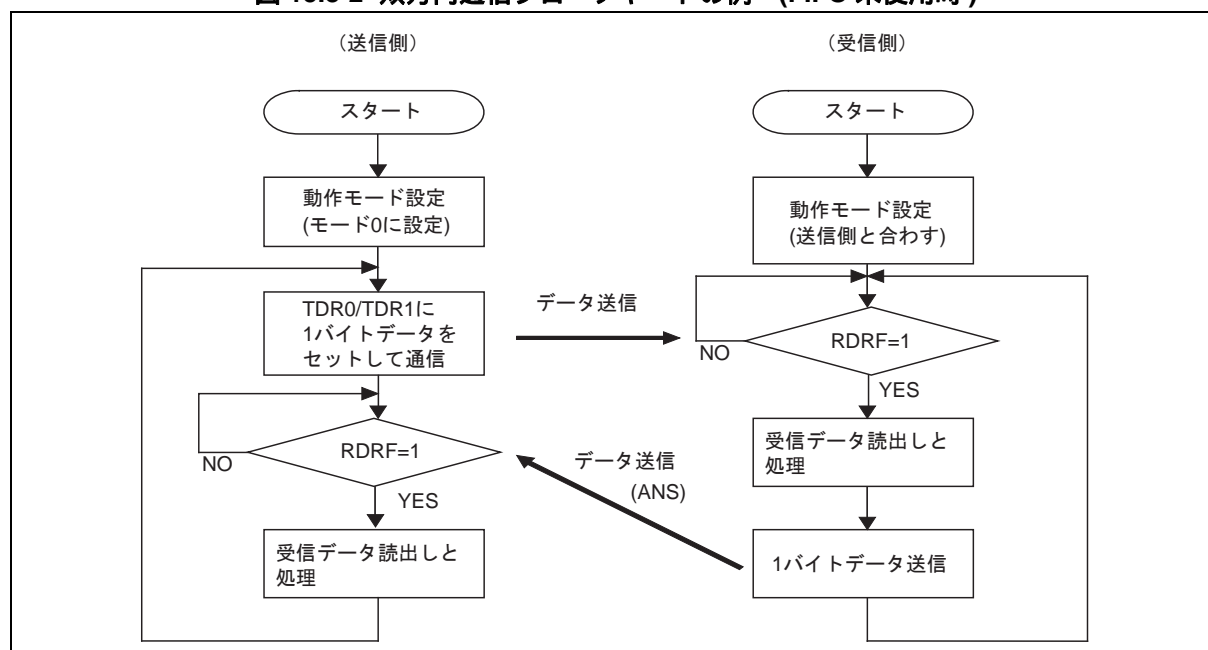
図 15.8-1 UART 動作モード 0 の双方向通信の接続例



■ フローチャート

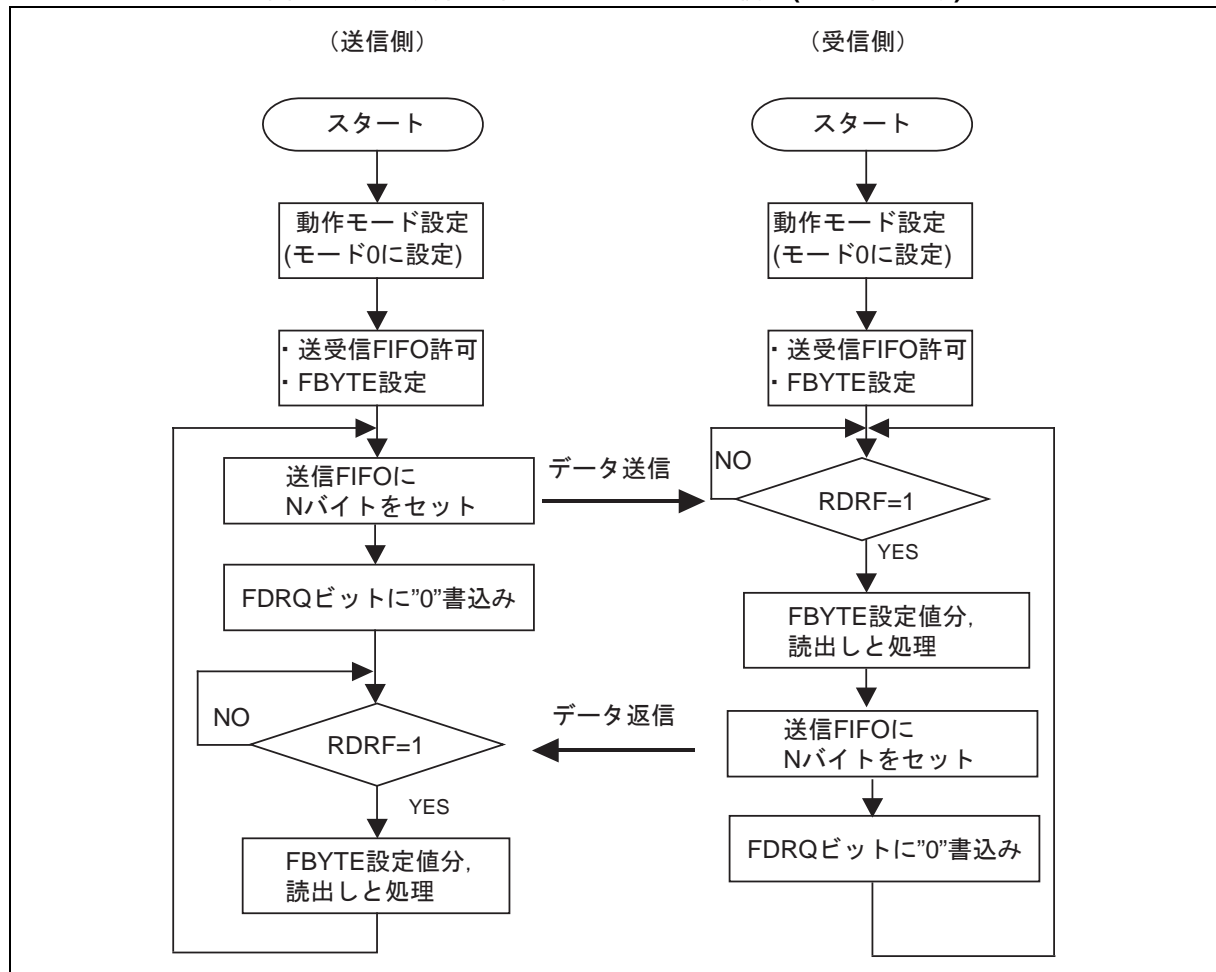
● FIFO 未使用時

図 15.8-2 双方向通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 15.8-3 双方向通信フローチャートの例 (FIFO 使用時)



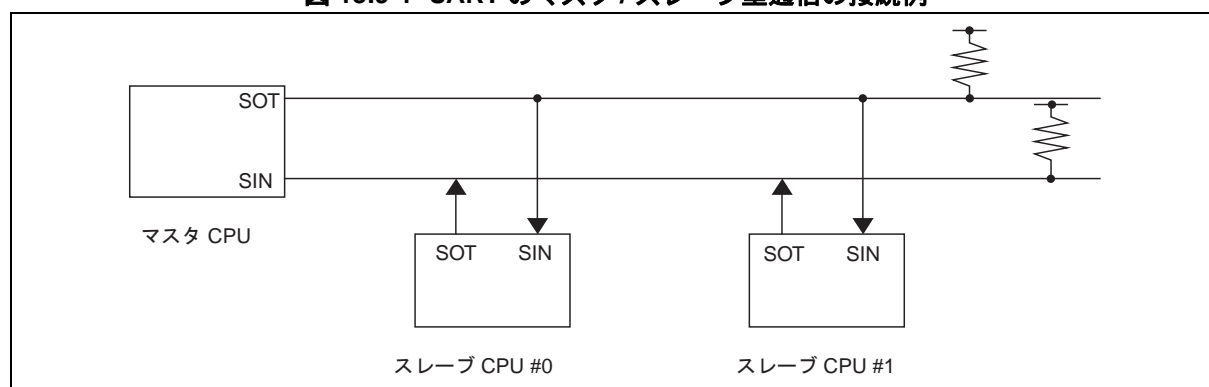
15.9 動作モード 1 (非同期マルチプロセッサモード) 設定手順とプログラムフロー

動作モード 1(マルチプロセッサモード)では、複数 CPU のマスタ/スレーブ接続による通信が可能です。マスタ/スレーブとして使用できます。

■ CPU 間接続

マスタ/スレーブ型通信では、図 15.9-1 に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

図 15.9-1 UART のマスタ/スレーブ型通信の接続例



■ 機能選択

マスタ/スレーブ型通信では、表 15.9-1 に示すように動作モードとデータ転送方式を選択してください。

表 15.9-1 マスタ/スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (AD ビット送信)	モード 1 (AD ビット受信)	AD = 1 + 7 ビットまたは 8 ビットアドレス	なし	1 ビット または 2 ビット	LSB ファースト または、 MSB ファースト
データ送受信			AD = 0 + 7 ビットまたは 8 ビットデータ			

< 注意事項 >

動作モード 1 では送受信データ (TDR/RDR) はハーフワードアクセスで行ってください。

● 通信手順

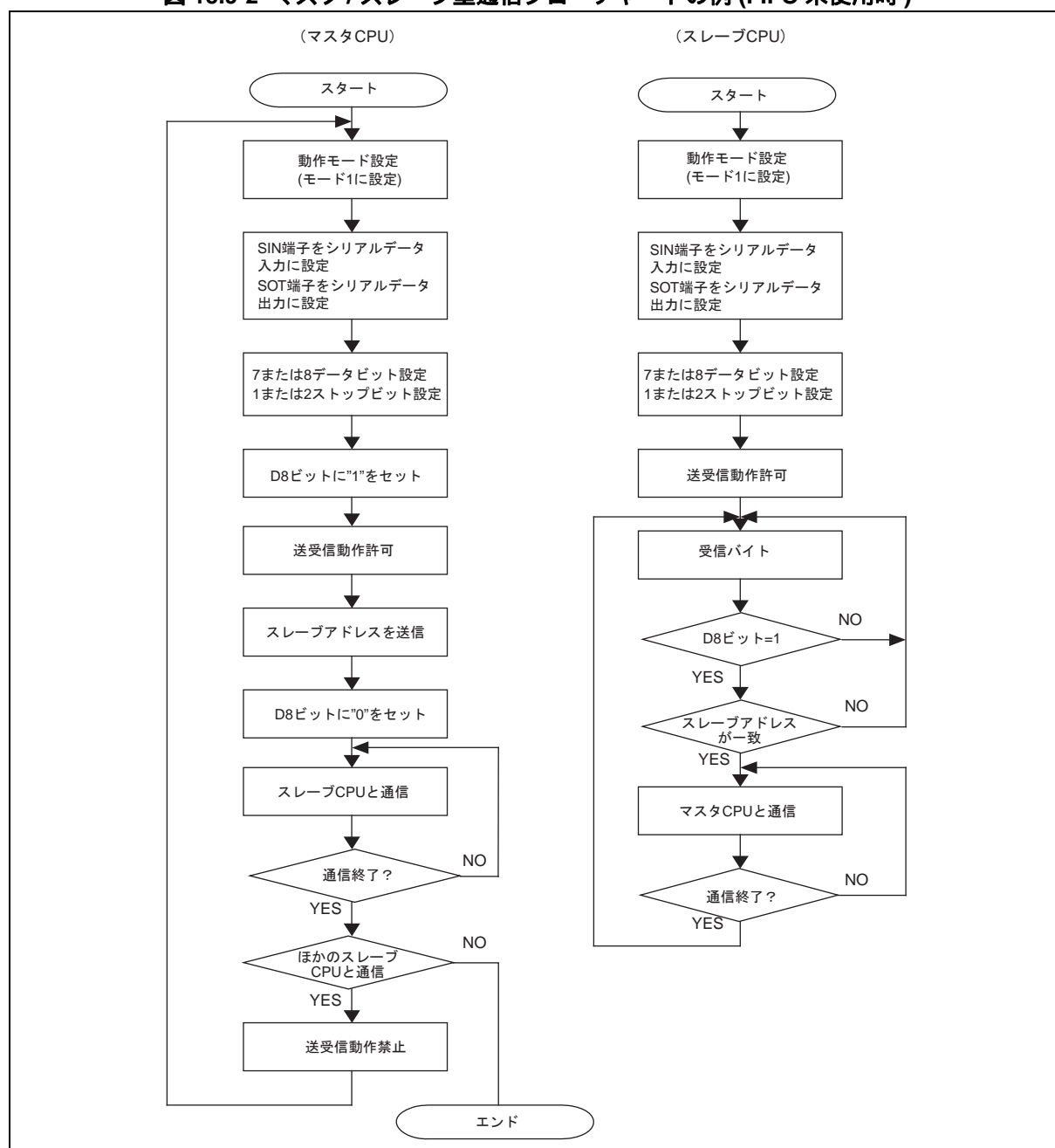
通信は、マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを "1" としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信 (通常データ) をします。

図 15.9-2、図 15.9-3 に、マスタ / スレーブ型通信 (マルチプロセッサモード) のフローチャートを示します。

■ フローチャート

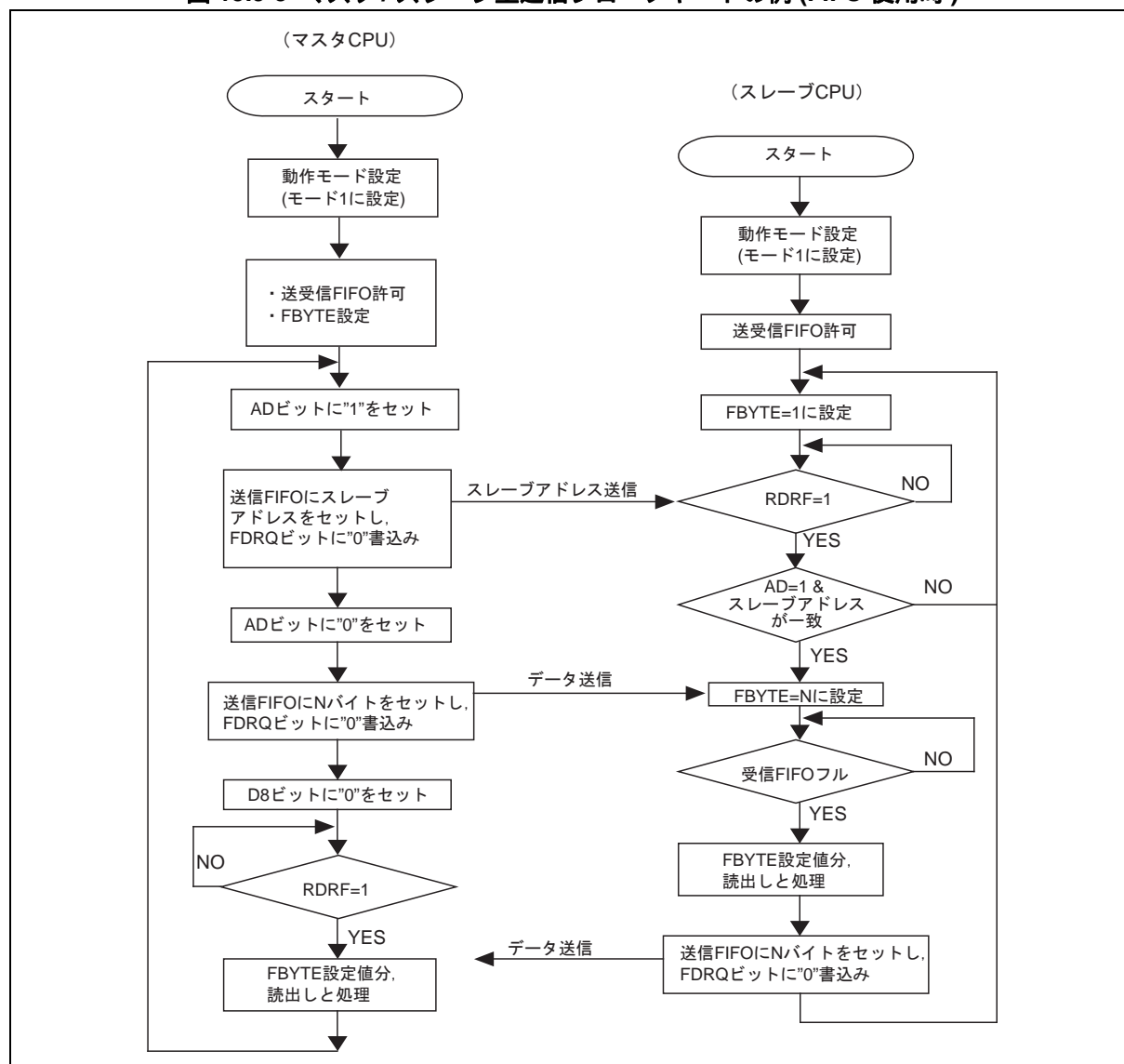
● FIFO 未使用時

図 15.9-2 マスタ / スレーブ型通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 15.9-3 マスタ/スレーブ型通信フローチャートの例 (FIFO 使用時)



15.10 UART モードの注意事項

UART モードの注意事項を下記に示します。

- FIFO 付きチャネルで DMA 転送要求する場合 , FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合 , DMA のブロックサイズを 1 回に設定してください。

15.11 CSIO (クロック同期シリアルインタフェース)

マルチファンクションシリアルインタフェースの機能のうち、動作モード 2 でサポートしている CSIO 機能について説明します。

- CSIO (クロック同期シリアルインタフェース)
- CSIO (クロック同期シリアルインタフェース) の 概要
- CSIO (クロック同期シリアルインタフェース) の レジスタ
 - シリアル制御レジスタ (SCR)
 - シリアルモードレジスタ (SMR)
 - シリアルステータスレジスタ (SSR)
 - 拡張通信制御レジスタ (ESCR)
 - 受信データレジスタ / 送信データレジスタ (RDR0/RDR1/TDR0/TDR1)
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
 - FIFO 制御レジスタ 1 (FCR1)
 - FIFO 制御レジスタ 0 (FCR0)
 - FIFO バイトレジスタ (FBYTE1/FBYTE2)
- CSIO (クロック同期シリアルインタフェース) の 割込み
 - 受信割込み発生とフラグセットのタイミング
 - 受信 FIFO 使用時の割込み発生とフラグセットの タイミング
 - 送信割込み発生とフラグセットのタイミング
 - 送信 FIFO 使用時の割込み発生とフラグセットの タイミング
- CSIO (クロック同期シリアルインタフェース) の 動作
- 専用ボーレートジェネレータ
 - ボーレート設定
- CSIO (クロック同期シリアルインタフェース) 設定手順とプログラムフロー

15.12 CSIO (クロック同期シリアルインタフェース) の概要

CSIO(クロック同期シリアルインタフェース) は , 外部装置と同期通信をするための汎用のシリアルデータ通信インタフェースです (SPI に対応します)。また , 送信 / 受信 (最大 各 16 バイト) の FIFO を搭載しています。

■ CSIO (クロック同期シリアルインタフェース) の機能

		機能
1	データバッファ	<ul style="list-style-type: none"> 全二重ダブルバッファ (FIFO 未使用時) 送信 / 受信 FIFO (最大 各 16 バイト) (FIFO 使用時)
2	転送形式	<ul style="list-style-type: none"> クロック同期 (スタートビット / ストップビットなし) マスタ / スレーブ機能 SPI に対応 (マスタ / スレーブ両方サポート)
3	ボーレート	<ul style="list-style-type: none"> 専用ボーレートジェネレータあり (15 ビットリロードカウンタから構成 , マスタ動作時) 外部クロック入力可能 (スレーブ動作時)
4	データ長	5 ビット ~ 9 ビットに可変可能
5	受信エラー検出	オーバランエラー
6	割込み要求	<ul style="list-style-type: none"> 受信割込み (受信完了 , オーバランエラー) 送信割込み (送信データエンプティ , 送信バスアイドル) 送信 FIFO 割込み (送信 FIFO がエンプティのとき) 送受信とも拡張インテリジェント I/O サービス (EI²OS), および DMA 転送サポート機能あり
7	同期モード	マスタまたはスレーブ機能
8	端子アクセス	シリアルデータ出力端子を "1" に設定可能
9	FIFO オプション	<ul style="list-style-type: none"> 送受信 FIFO 搭載 (最大容量 : 送信 FIFO 16 バイト , 受信 FIFO 16 バイト) 送信 FIFO と受信 FIFO を選択可能 送信データ再送可能 受信 FIFO 割込みタイミングをソフトで変更可能 独立して FIFO リセットサポート

15.13 CSIO (クロック同期シリアルインタフェース) のレジスタ

CSIO (クロック同期シリアルインタフェース) のレジスタ一覧を示します。

■ CSIO (クロック同期シリアルインタフェース) のレジスタ一覧

図 15.13-1 CSIO(クロック同期シリアルインタフェース) のレジスタ一覧

アドレス		bit15	bit8 bit7	bit0
CSIO	000062 _H	000063 _H	SCR (シリアル制御レジスタ)	SMR (シリアルモードレジスタ)
	000072 _H	000073 _H		
	000082 _H	000083 _H		
	000092 _H	000093 _H		
	000562 _H	000563 _H		
	000572 _H	000573 _H		
	000060 _H	000061 _H	SSR (シリアルステータスレジスタ)	ESCR (拡張通信制御レジスタ)
	000070 _H	000071 _H		
	000080 _H	000081 _H		
	000090 _H	000091 _H		
	000560 _H	000561 _H		
	000570 _H	000571 _H		
	000066 _H	000067 _H	RDR/TDR (送受信データレジスタ)	
	000076 _H	000077 _H		
	000086 _H	000087 _H		
	000096 _H	000097 _H		
	000566 _H	000567 _H		
	000576 _H	000577 _H		
	000064 _H	000065 _H	BGR1 (ボーレートジェネレータ レジスタ 1)	BGR0 (ボーレートジェネレータ レジスタ 0)
	000074 _H	000075 _H		
	000084 _H	000085 _H		
	000094 _H	000095 _H		
	000564 _H	000565 _H		
	000574 _H	000575 _H		
000068 _H	000069 _H	-	-	
000078 _H	000079 _H			
000088 _H	000089 _H			
000098 _H	000099 _H			
000568 _H	000569 _H			
000578 _H	000579 _H			

(続く)

第 15 章 マルチファンクション シリアルインタフェース 15.13 CSIO (クロック同期シリアルインタフェース) の レジ MB91470/480 シリーズ

(続き)

アドレス		bit15	bit8 bit7	bit0
FIFO	00006E _H 00006F _H	FCR1 (FIFO 制御レジスタ 1)		FCR0 (FIFO 制御レジスタ 0)
	00007E _H 00007F _H			
	00008E _H 00008F _H			
	00009E _H 00009F _H			
	00056E _H 00056F _H			
	00057E _H 00057F _H			
	00006C _H 00006D _H	FBYTE2 (FIFO2 バイトレジスタ)		FBYTE1 (FIFO1 バイトレジスタ)
	00007C _H 00007D _H			
	00008C _H 00008D _H			
	00009C _H 00009D _H			
	00056C _H 00056D _H			
	00057C _H 00057D _H			

表 15.13-1 CSIO (クロック同期シリアルインタフェース) ビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	-	-	L2	L1	L0
TDR/ RDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
-	-								-							
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

15.13.1 シリアル制御レジスタ (SCR)

シリアル制御レジスタ (SCR) は、送受信割込みの許可 / 禁止、送信アイドル割込みの許可 / 禁止、送受信動作の許可 / 禁止の設定を行います。また、SPI に接続するための設定、CSIO をリセットすることが可能です。

■ シリアル制御レジスタ (SCR)

図 15.13-2 にシリアル制御レジスタ (SCR) のビット構成を、表 15.13-2 に各ビットの機能を示します。

図 15.13-2 シリアル制御レジスタ (SCR) のビット構成

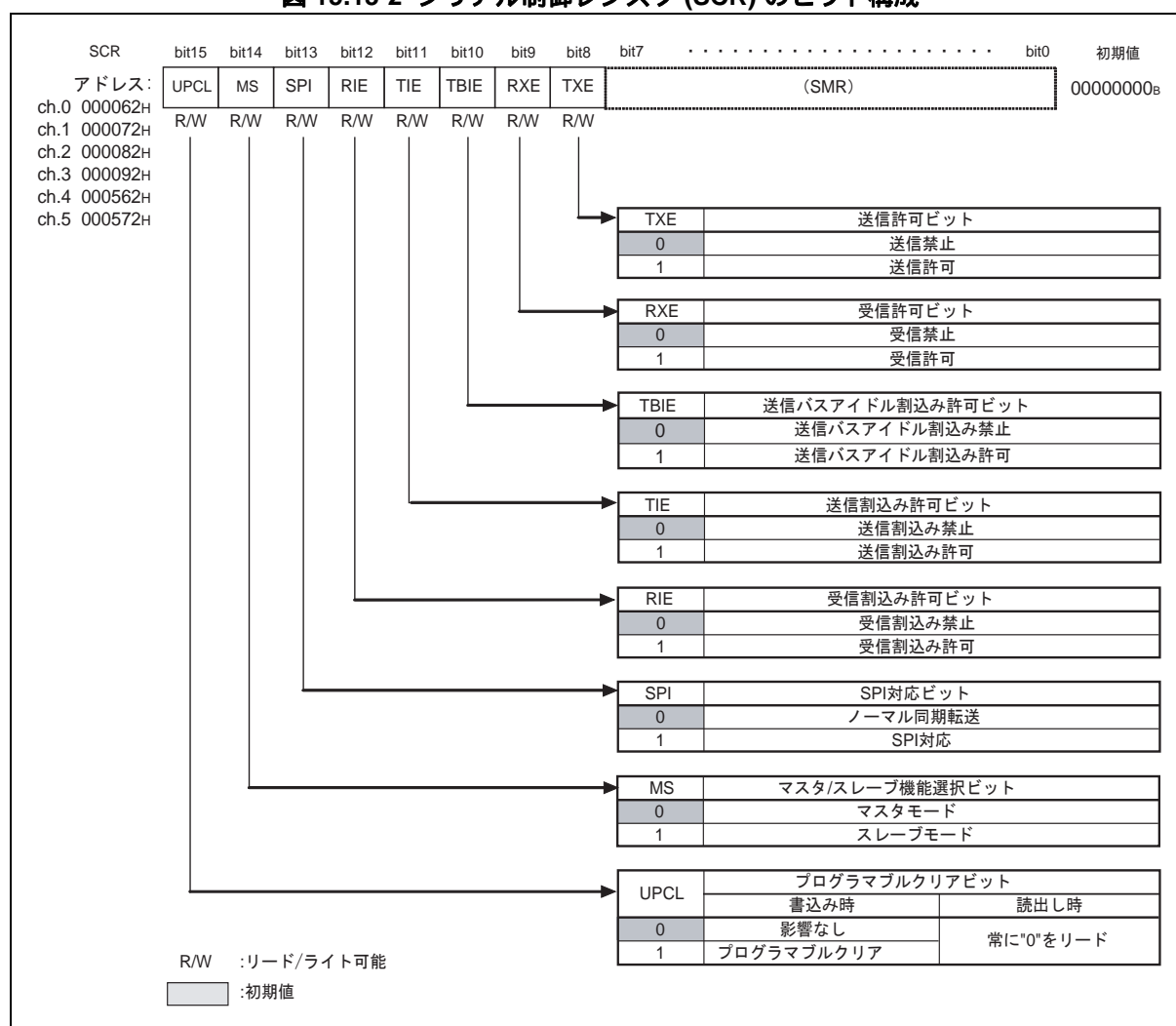


表 15.13-2 シリアル制御レジスタ (SCR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	UPCL : プログラマブル クリアビット	<p>CSIO の内部状態を初期化するビットです。 "1" を設定した場合 :</p> <ul style="list-style-type: none"> CSIO を直接リセット (ソフトウェアリセット) します。ただし , レジスタの設定は保持されます。その際 , 送受信状態のものは直ちに切断されます。 ボーレートジェネレータは , BGR1/BGR0 レジスタの設定値をリロードし , 再スタートします。 すべての送受信割込み要因 (TDRE, TBI, RDRF, ORE) は初期化されます。 "0" を設定した場合 : 動作に影響を及ぼしません。 リード時は , 常に "0" が読み出されます。 <p>(注意事項) 割込み禁止に設定した後に , プログラマブルクリアを実行してください。 FIFO 使用時は , FIFO 禁止 (FE2, FE1=0) にしてからプログラマブルクリアを実行してください。</p>
bit14	MS : マスタ / スレーブ機能 選択ビット	<p>マスタまたはスレーブモードを選択します。 "0" に設定した場合 : マスタモードに設定されます。 "1" に設定した場合 : スレーブモードに設定されます。 (注意事項) スレーブモードを選択した場合 , SMR:SCKE=0 であれば , 外部クロックが直接入力されます。</p>
bit13	SPI : SPI 対応 ビット	<p>本ビットは , SPI に対応した通信をさせるためのビットです。 "0" に設定した場合 : ノーマル同期通信を行います。 "1" に設定した場合 : SPI に対応します。</p>
bit12	RIE : 受信割込み 許可ビット	<ul style="list-style-type: none"> CPU への受信割込み要求出力を許可 / 禁止するビットです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合 , またはエラーフラグビット (ORE) のいずれかが "1" の場合 , 受信割込み要求を出力します。
bit11	TIE : 送信割込み 許可ビット	<ul style="list-style-type: none"> CPU への送信割込み要求出力を許可 / 禁止するビットです。 TIE ビットと TDRE ビットが "1" の場合 , 送信割込み要求を出力します。
bit10	TBIE : 送信バス アイドル 割込み許可 ビット	<ul style="list-style-type: none"> CPU への送信バスアイドル割込み要求出力を許可 / 禁止するビットです。 TBIE ビットと TBI ビットが "1" のとき , 送信バスアイドル割込み要求を出力します。

表 15.13-2 シリアル制御レジスタ (SCR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit9	RXE : 受信許可ビット	CSIO の受信動作を許可 / 禁止します。 "0" に設定した場合：データフレーム受信動作が禁止されます。 "1" に設定した場合：データフレーム受信動作が許可されます。 (注意事項) 受信中に受信動作を禁止 (RXE=0) した場合には , 直ちに受信動作を停止します。
bit8	TXE : 送信許可ビット	CSIO の送信動作を許可 / 禁止します。 "0" に設定した場合：データフレーム送信動作が禁止されます。 "1" に設定した場合：データフレーム送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止 (TXE=0) した場合には , 直ちに送信動作を停止します。

15.13.2 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、動作モードの設定、転送方向、データ長、シリアルクロックの反転、およびシリアルデータとクロックの端子への出力許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 15.13-3 にシリアルモードレジスタ (SMR) のビット構成を、表 15.13-3 に各ビットの機能を示します。

図 15.13-3 シリアルモードレジスタ (SMR) のビット構成

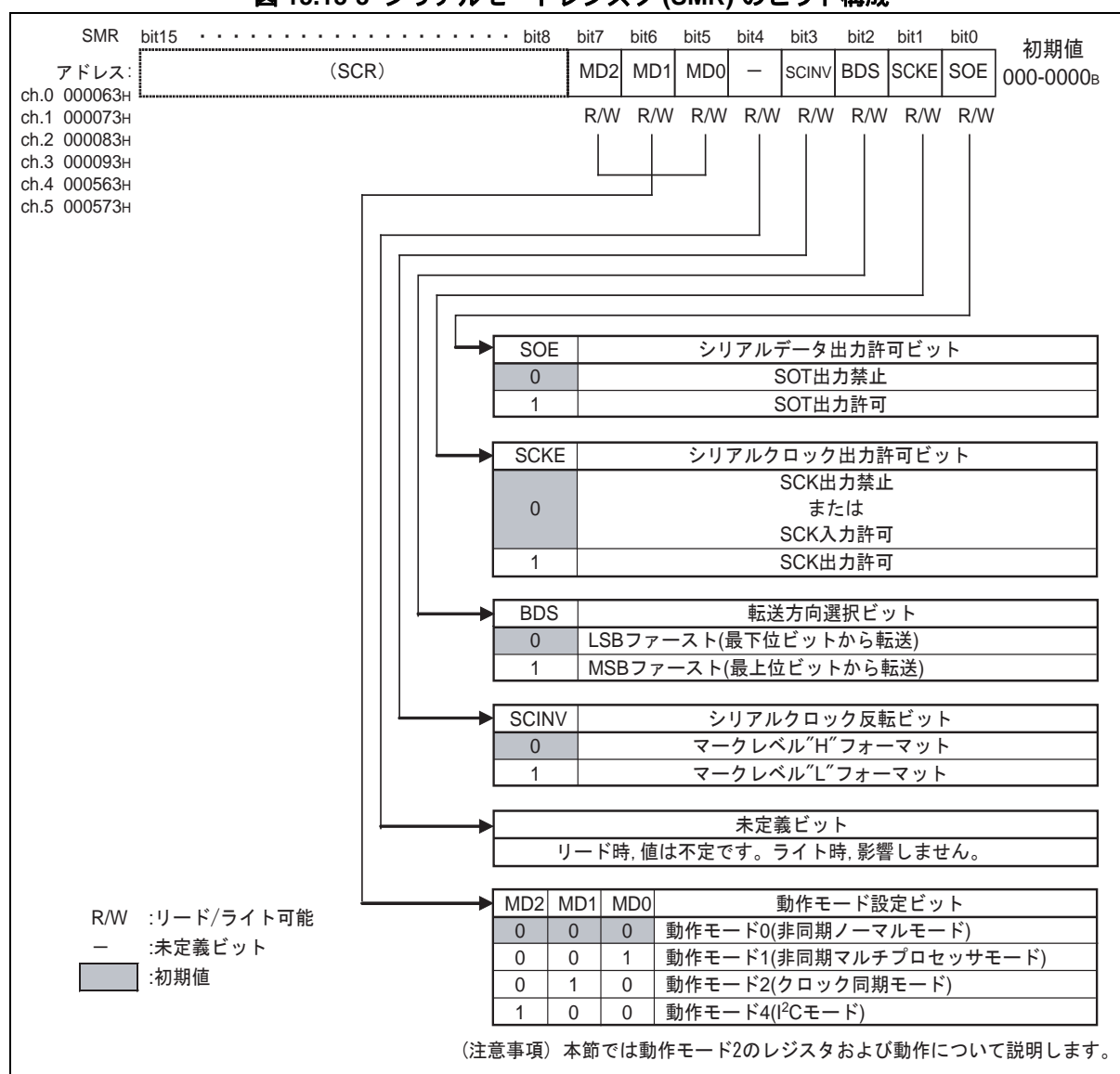


表 15.13-3 シリアルモードレジスタ (SMR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7 ～ bit5	MD2 ～ MD0 : 動作モード 設定ビット	<p>動作モードを設定します。</p> <p>"000_B" : 動作モード 0(非同期ノーマルモード) に設定されます。</p> <p>"001_B" : 動作モード 1(非同期マルチプロセッサモード) に設定されます。</p> <p>"010_B" : 動作モード 2(クロック同期モード) に設定されます。</p> <p>"100_B" : 動作モード 4(I²C モード) に設定されます。</p> <p>動作モード 2(クロック同期モード) のレジスタおよび動作について説明します。</p> <p>(注意事項) 上記の設定以外は禁止です。</p> <p>動作モードを切り換える場合には、プログラマブルクリア実行 (SCR:UPCL=1) 後、動作モードを切り換えてください。</p> <p>動作モード設定後、各レジスタを設定してください。</p>
bit4	未定義ビット	<p>リードした場合：値は不定です。</p> <p>ライトした場合：影響しません。</p>
bit3	SCINV : シリアル クロック反転 ビット	<p>シリアルクロックフォーマットを反転するビットです。</p> <p>"0" に設定した場合：</p> <ul style="list-style-type: none"> シリアルクロック出力のマークレベルを "H" にします。 送信データは、ノーマル転送ではシリアルクロックの立下りエッジ、SPI 転送ではシリアルクロックの立上りエッジに同期して出力します。 受信データは、ノーマル転送ではシリアルクロックの立上りエッジ、SPI 転送ではシリアルクロックの立下りエッジでサンプリングします。 <p>"1" に設定した場合：</p> <ul style="list-style-type: none"> シリアルクロック出力のマークレベルを "L" にします。 送信データは、ノーマル転送ではシリアルクロックの立上りエッジ、SPI 転送ではシリアルクロックの立下りエッジに同期して出力します。 受信データは、ノーマル転送ではシリアルクロックの立下りエッジ、SPI 転送ではシリアルクロックの立上りエッジでサンプリングします。 <p>(注意事項) 本ビットは、送受信が禁止 (TXE=RXE=0) のときに設定してください。</p>
bit2	BDS : 転送方向選択 ビット	<p>転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト, BDS=0) 最上位ビット側から先に転送するか (MSB ファースト, BDS=1) を選択するビットです。</p> <p>(注意事項) 本ビットは、送受信が禁止 (TXE=RXE=0) のときに設定してください。</p>

表 15.13-3 シリアルモードレジスタ (SMR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit1	SCKE: シリアル クロック出力 許可ビット	シリアルクロックの入出力ポートを制御するビットです。 "0" に設定した場合： SCK"H" 出力, または SCK 入力許可となります。SCK 入力として使う場合は汎用入出力ポートを入力ポートに設定してください。 "1" に設定した場合：SCK 出力許可となります。
bit0	SOE: シリアル データ出力 許可ビット	シリアルデータの出力を許可 / 禁止するビットです。 "0" に設定した場合：SOT"H" 出力となります。 "1" に設定した場合：SOT 出力許可となります。

< 注意事項 >

動作モードを変更すると, ほかのレジスタは初期化されますので動作モードを最初に設定してください。ただし, 16 ビット書込みで SCR と SMR を同時に書き込んだとき, SCR には書き込んだ内容が反映されます。

15.13.3 シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は、送受信状態の確認、受信エラーフラグの確認、また、受信エラーフラグをクリアします。

■ シリアルステータスレジスタ (SSR)

図 15.13-4 にシリアルステータスレジスタ (SSR) のビット構成を、表 15.13-4 に各ビットの機能を示します。

図 15.13-4 シリアルステータスレジスタ (SSR) のビット構成

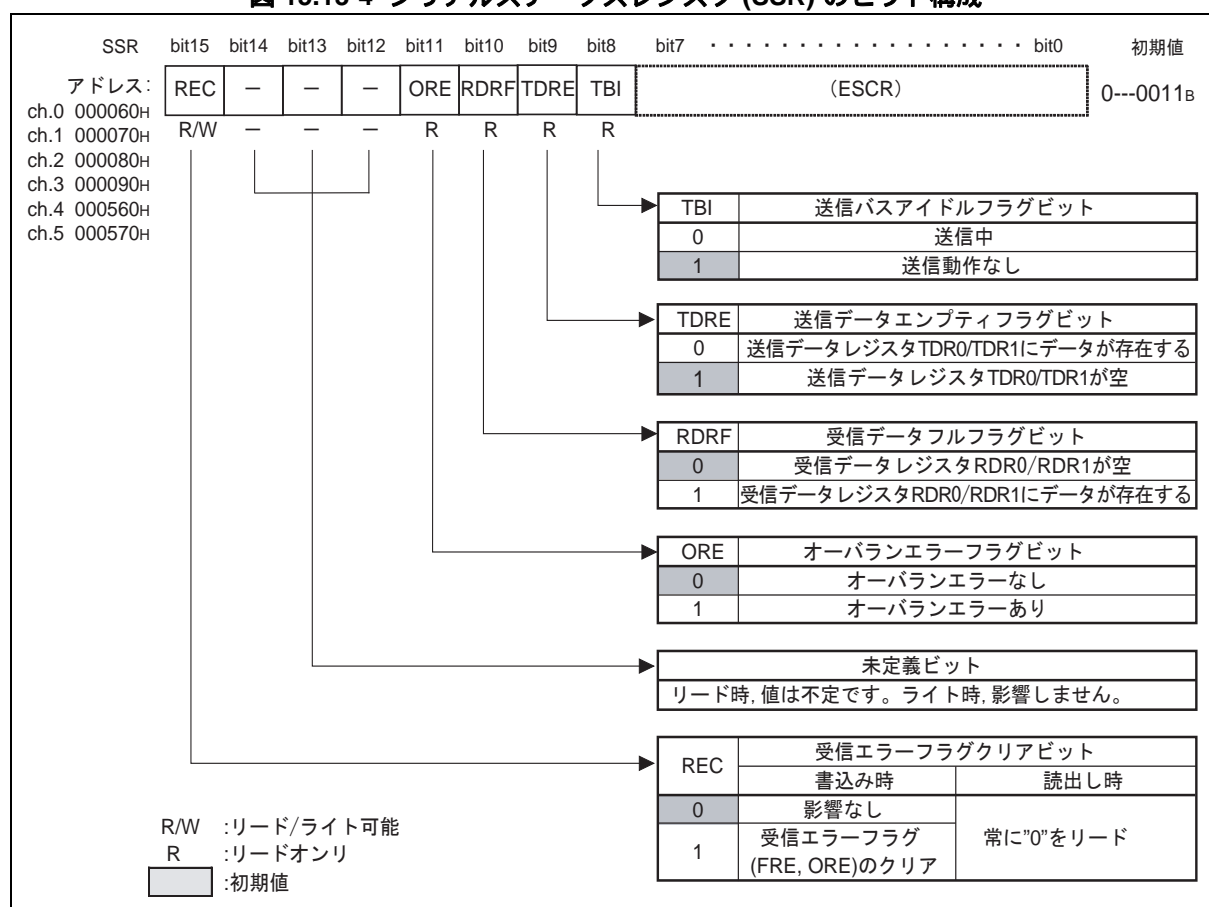


表 15.13-4 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	REC : 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の ORE フラグをクリアするビットです。 <ul style="list-style-type: none"> • "1" 書込みで , エラーフラグがクリアされます。 • "0" 書込みは , 影響しません。 リードした場合 , 常に "0" が読み出されます。
bit14 ~ bit12	未定義ビット	リードした場合 : 値は不定です。 ライトした場合 : 影響しません。
bit11	ORE : オーバラン エラーフラグ ビット	<ul style="list-style-type: none"> • 受信時にオーバランが発生すると "1" にセットされ , シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合 , 受信割込み要求を出力します。 • 本フラグがセットされた場合は , 受信データレジスタ (RDR0/RDR1) のデータは無効です。 • 受信 FIFO 使用時に本フラグがセットされた場合は , 受信 FIFO の許可ビットがクリアされ , 受信データは受信 FIFO には格納されません。
bit10	RDRF : 受信データ フルフラグ ビット	<ul style="list-style-type: none"> • 受信データレジスタ (RDR0/RDR1) の状態を示すフラグです。 • RDR0/RDR1 に受信データがロードされると "1" にセットされ , 受信データレジスタ (RDR0/RDR1) を読み出すと "0" にクリアされます。 • RDRF ビットと RIE ビットが "1" の場合 , 受信割込み要求を出力します。 • 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。 • 受信 FIFO 使用時は , 受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合 , RDRF が "1" にセットされます。8 クロックカウント中 , RDR0/RDR1 を読み出すとそのカウンタは "0" にリセットされ , 再度 8 クロックをカウントします。 • 受信 FIFO 使用時は , 受信 FIFO がエンプティになると "0" にクリアされます。

表 15.13-4 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit9	TDRE : 送信データ エンプティ フラグビット	<ul style="list-style-type: none"> 送信データレジスタ (TDR0/TDR1) の状態を示すフラグです。 TDR0/TDR1 に送信データを書き込むと "0" となり, TDR0/TDR1 に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" になり, TDR0/TDR1 に有効なデータが存在していないことを示します。 TDRE ビットと TIE ビットが "1" の場合, 送信割込み要求を出力します。 シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると, TDRE ビットは "1" になります。 送信 FIFO 使用時の TDRE ビットのセット / リセットタイミングは「15.14.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
bit8	TBI : 送信バス アイドル フラグビット	<ul style="list-style-type: none"> CSIO が送信動作をしていないことを示すビットです。 送信データレジスタ (TDR0/TDR1) ヘデータを書き込んだ場合に本ビットは "0" になります。 送信データレジスタ (TDR0/TDR1) がエンプティ (TDRE=1) で, 送信動作をしていない場合に本ビットが "1" になります。 シリアル制御レジスタ (SCR) の UPCL ビットに "1" をセットすると TDRE ビットは "1" になります。 本ビットが "1" で, 送信バスアイドル割込みが許可 (SCR:TBIE=1) されていると送信割込み要求を出力します。

15.13.4 拡張通信制御レジスタ (ESCR)

拡張通信制御レジスタ (ESCR) は、送受信データ長の設定、シリアル出力を "H" 固定の設定ができます。

■ 拡張通信制御レジスタ (ESCR) のビット構成

図 15.13-5 に拡張通信制御レジスタ (ESCR) のビット構成を、表 15.13-5 に各ビットの機能を示します。

図 15.13-5 拡張通信制御レジスタ (ESCR) のビット構成

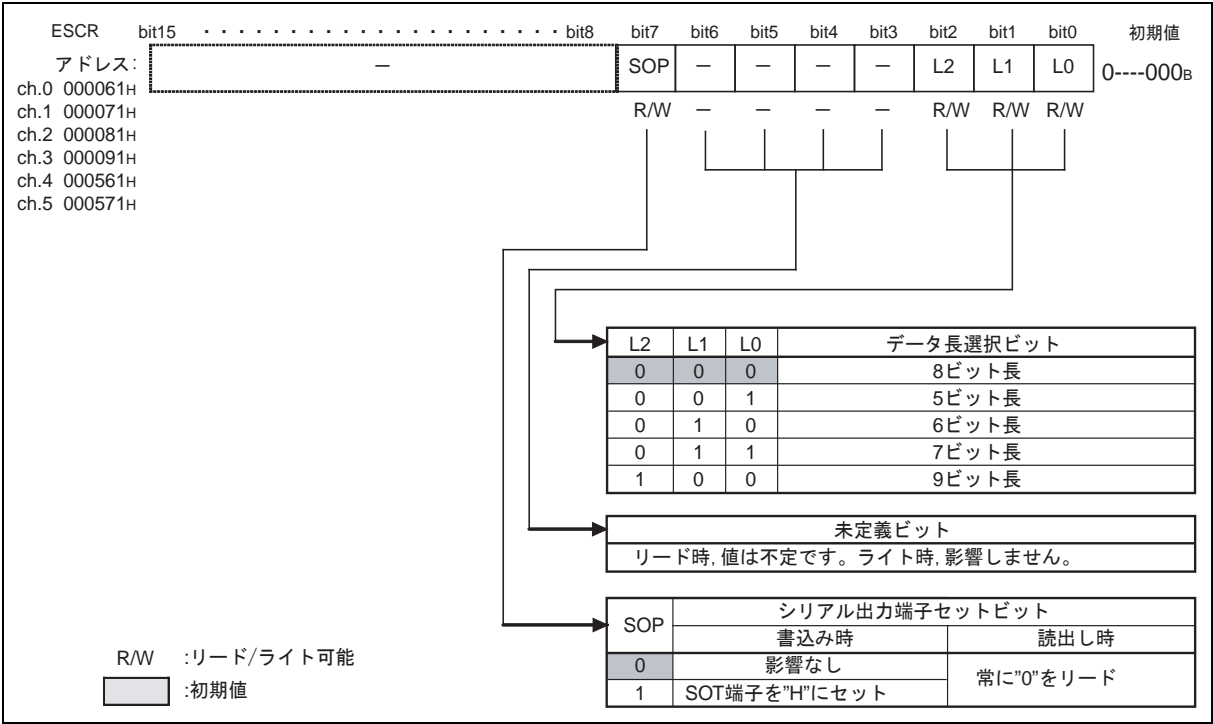


表 15.13-5 拡張通信制御レジスタ (ESCR) の各ビットの機能説明

ビット名		機能
bit7	SOP : シリアル出力 端子セット ビット	<ul style="list-style-type: none"> シリアル出力端子を "H" にセットするビットです。本ビットに "1" を書いたときに SOT 端子を "H" にしますが、その後、本ビットに "0" を書く必要はありません。 リードした場合、常に "0" が読み出されます。 (注意事項) シリアルデータ送信中に、本ビットの設定をしないでください。
bit6 ~ bit3	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit2 ~ bit0	L2 ~ L0: データ長選択 ビット	送受信データのデータ長を指定します。 "000 _B " に設定した場合：データ長は、8 ビットに設定されます。 "001 _B " に設定した場合：データ長は、5 ビットに設定されます。 "010 _B " に設定した場合：データ長は、6 ビットに設定されます。 "011 _B " に設定した場合：データ長は、7 ビットに設定されます。 "100 _B " に設定した場合：データ長は、9 ビットに設定されます。 (注意事項) 上記の設定以外は禁止です。

15.13.5 受信データレジスタ / 送信データレジスタ (RDR0/RDR1/TDR0/TDR1)

受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。

■ 受信データレジスタ (RDR0/RDR1)

図 15.13-6 にシリアル受信レジスタ (RDR0/RDR1) のビット構成を示します。

図 15.13-6 受信データレジスタ (RDR0/RDR1) のビット構成

RDR1/RDR0		bit15.....	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス			D8	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
ch.0 000066 _H			R	R	R	R	R	R	R	R	R	
ch.1 000076 _H												
ch.2 000086 _H												
ch.3 000096 _H												
ch.4 000566 _H												
ch.5 000576 _H												

R : リードオンリ

受信データレジスタ (RDR0/RDR1) は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

- シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR0/RDR1) に格納されます。
- データ長に応じ、以下のように上位ビットから順に "0" となります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

- 受信データが受信データレジスタ (RDR0/RDR1) に格納されると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。受信割込みが許可されている場合は (SSR : RIE=1)、受信割込み要求を発生します。
- 受信データレジスタ (RDR0/RDR1) は、受信データフルフラグビット (SSR : RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR : RDRF) は、シリアル受信データレジスタ (RDR0/RDR1) を読み出すと自動的に "0" にクリアされます。
- 受信エラーが発生 (SSR : ORE) した場合、受信データレジスタ (RDR0/RDR1) のデータは無効となります。
- 9 ビット長転送の場合の RDR0/RDR1 の読出しは 16 ビットアクセスで行います。

< 注意事項 >

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が "0" にクリアされます。
- 受信 FIFO 使用時に、受信エラーが発生 (SSR : ORE が "1") した場合、受信 FIFO の許可ビットはクリアされ、受信データを受信 FIFO には格納しません。

■ 送信データレジスタ (TDR0/TDR1)

図 15.13-7 に送信データレジスタのビット構成を示します。

図 15.13-7 送信データレジスタ (TDR0/TDR1) のビット構成

TDR1/TDR0		bit15.....	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス			D8	D7	D6	D5	D4	D3	D2	D1	D0	11111111 _B
ch.0 000066 _H												
ch.1 000076 _H												
ch.2 000086 _H												
ch.3 000096 _H												
ch.4 000566 _H												
ch.5 000576 _H												
W : ライトオンリ			W	W	W	W	W	W	W	W	W	

送信データレジスタ (TDR0/TDR1) は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に (SCR : TXE=1)、送信するデータを送信データレジスタ (TDR0/TDR1) に書き込むと送信データが送信用シフトレジスタに転送され、シリアルデータに変換されてシリアルデータ出力端子 (SOT 端子) から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データとなります。

表 15.13-6 送信データレジスタ (TDR0/TDR1) の無効データ

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信データレジスタ (TDR0/TDR1) に書き込まれると "0" にクリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信用シフトレジスタへ転送されて送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1" にセットされます。

- 送信データエンプティフラグ (SSR : TDRE) が "1" の場合は、次の送信用データを書き込むことができます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書き込みは、送信割込みの発生によるか、送信データエンプティフラグ (SSR : TDRE) が "1" の状態で行ってください。
- 送信データエンプティフラグ (SSR : TDRE) が "0" で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ (TDR0/TDR1) に送信データを書き込むことはできません。
- 9 ビット長転送の場合、TDR0/TDR1 への書き込みは 16 ビットアクセスで行います。

< 注意事項 >

- 送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読み出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため、書き込み値と読み出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。
 - 送信 FIFO 使用時の送信データエンプティフラグ (SSR:TDRE) のセットタイミングは、「15.14.4 送信 FIFO 使用時の割込み発生とフラグセットの タイミング」を参照してください。
-

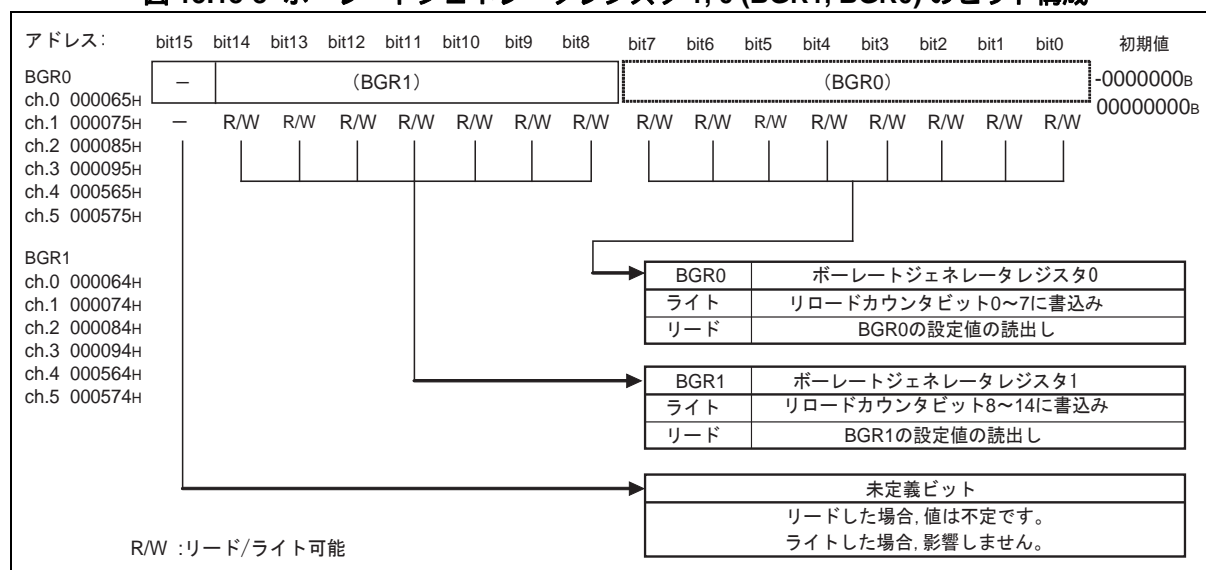
15.13.6 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は, シリアルクロックの分周比を設定します。

■ ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 15.13-8 にポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 15.13-8 ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



- ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) に値を設定します。
- BGR0 は下位ビット, BGR1 は上位ビットに対応し, カウントするリロード値の書き込み, BGR0/BGR1 の設定値の読出しが可能です。
- ポーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。

< 注意事項 >

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは, 16 ビットアクセスで行ってください。
 - リロード値が偶数の場合, シリアルクロックの "H" 幅と "L" 幅は SCINV ビットの設定によって以下ようになります。奇数の場合, シリアルクロックの "H" 幅と "L" 幅は同じになります。
 - SCINV=0 のとき, シリアルクロックの "H" 幅が周辺クロック (CLKP) 1 サイクル分長くなります。
 - SCINV=1 のとき, シリアルクロックの "L" 幅が周辺クロック (CLKP) 1 サイクル分長くなります。
 - リロード値は 1 以上を設定してください。ただし, 本 CSIO どうしをマスタとスレーブに使用する場合には, マスタとなる CSIO のリロード値は 3 以上を設定してください。
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) の設定値を変更した場合, カウンタ値が "0000_H" になってから, 新しい設定値がリロードされます。したがって, 新しい設定値を即有効にしたい場合は, BGR0/BGR1 の設定値を変更した後, CSIO リセット (UPCL) を実行してください。
 - 受信 FIFO 使用時, 受信 FIFO アイドル検出許可ビット (FCR1:FRIIE) を "1" に設定してスレーブモードで動作させる場合, BGR0/BGR1 にボーレートを設定してください。
-

15.13.7 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ (FCR1) は, FIFO のテスト設定, 送受信 FIFO の選択, 送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 15.13-9 に FIFO 制御レジスタ 1 (FCR1) のビット構成を, 表 15.13-7 に各ビットの機能を示します。

図 15.13-9 FIFO 制御レジスタ 1(FCR1) のビット構成

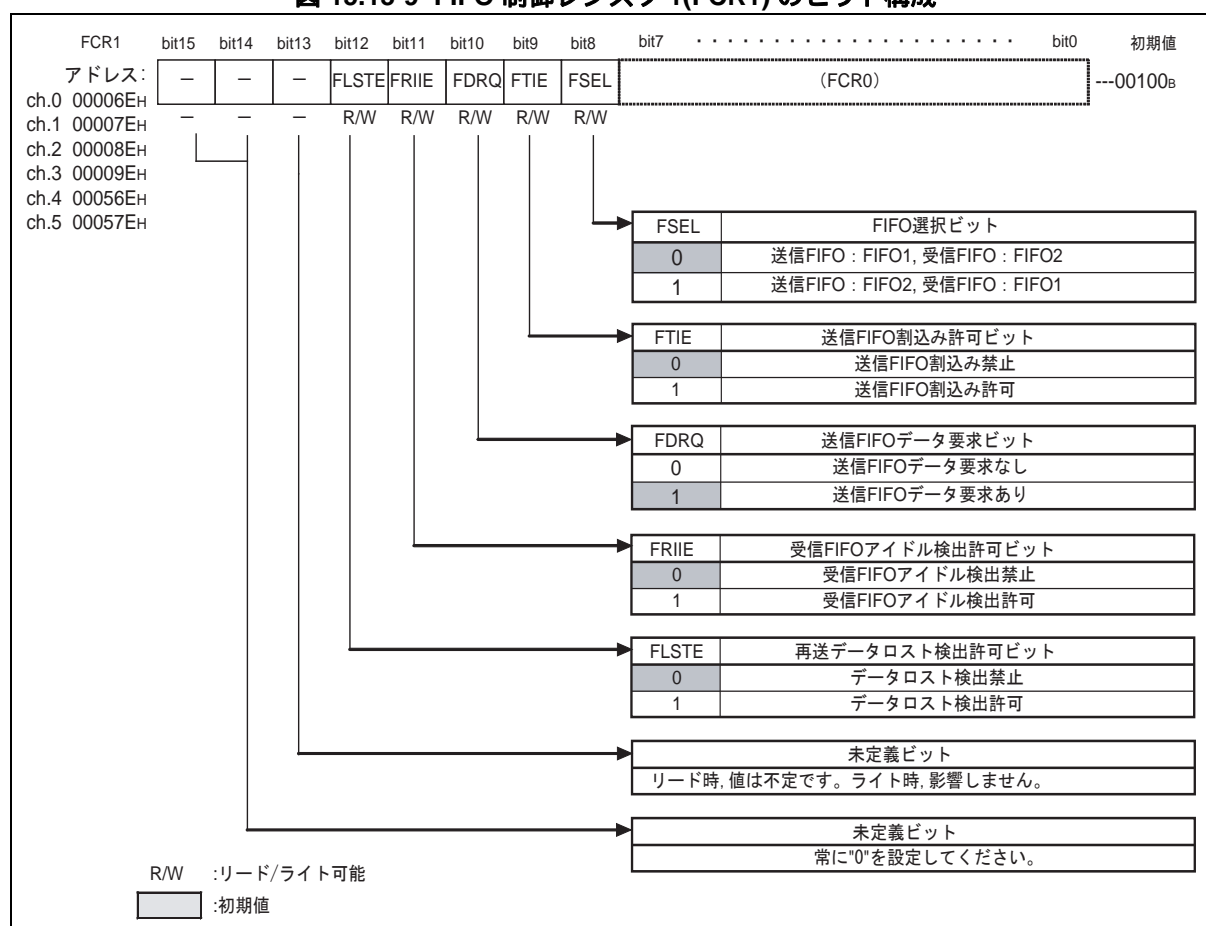


表 15.13-7 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15, bit14	未定義ビット	本ビットには必ず "0" を設定してください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE： 再送データ ロスト検出 許可ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項) 本ビットに "1" を設定する場合，FSET ビットに "1" を設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル検出 許可ビット	受信 FIFO に有効なデータが存在した状態で 8 ビットタイマ以上の 受信アイドル状態を検出するかどうかを設定するビットです。受 信割込みが許可 (SCR:RIE=1) されていると，受信アイドル状態が検 出されると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ： 送信 FIFO データ要求 ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき，送信データを要求していることを示しま す。このとき，送信 FIFO 割込みが許可 (FTIE=1) されていると，送 信 FIFO 割込み要求を出力されます。 FDRQ セット条件 <ul style="list-style-type: none"> • FBYTE1/FBYTE2(送信用)=0 (送信 FIFO がエンプティ) • 送信 FIFO のリセット FDRQ リセット条件 <ul style="list-style-type: none"> • 本ビットへの "0" 書込み • 送信 FIFO がフルになった場合 (注意事項) FBYTE1/FBYTE2(送信用)=0 のときに本ビットへの "0" 書込みは禁止です。 本ビットが "0" のときに FSEL ビットの変更は禁止 です。 本ビットに "1" を設定した場合，動作に影響を与えま せん。 リードモディファイライト (RMW) 系命令時，"1" が 読み出されます。
bit9	FTIE： 送信 FIFO 割込み 許可ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

表 15.13-7 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	FSEL : FIFO 選択 ビット	送受信 FIFO を選択するビットです。 "0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り 当てられます。 "1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り 当てられます。 (注意事項) 本ビットは, FIFO リセット (FCL2, FCL1=1) ではクリ アされません。 本ビットを変更する場合は, FIFO 動作禁止 (FE2, FE1=0) および送受信禁止 (TXE=RXE=0) にしてから 行ってください。

15.13.8 FIFO 制御レジスタ 0 (FCR0)

FIFO 制御レジスタ 0 (FCR0) は, FIFO 動作の許可 / 禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 15.13-10 に FIFO 制御レジスタ 0 (FCR0) のビット構成を, 表 15.13-8 に各ビットの機能を示します。

図 15.13-10 FIFO 制御レジスタ 0(FCR0) のビット構成

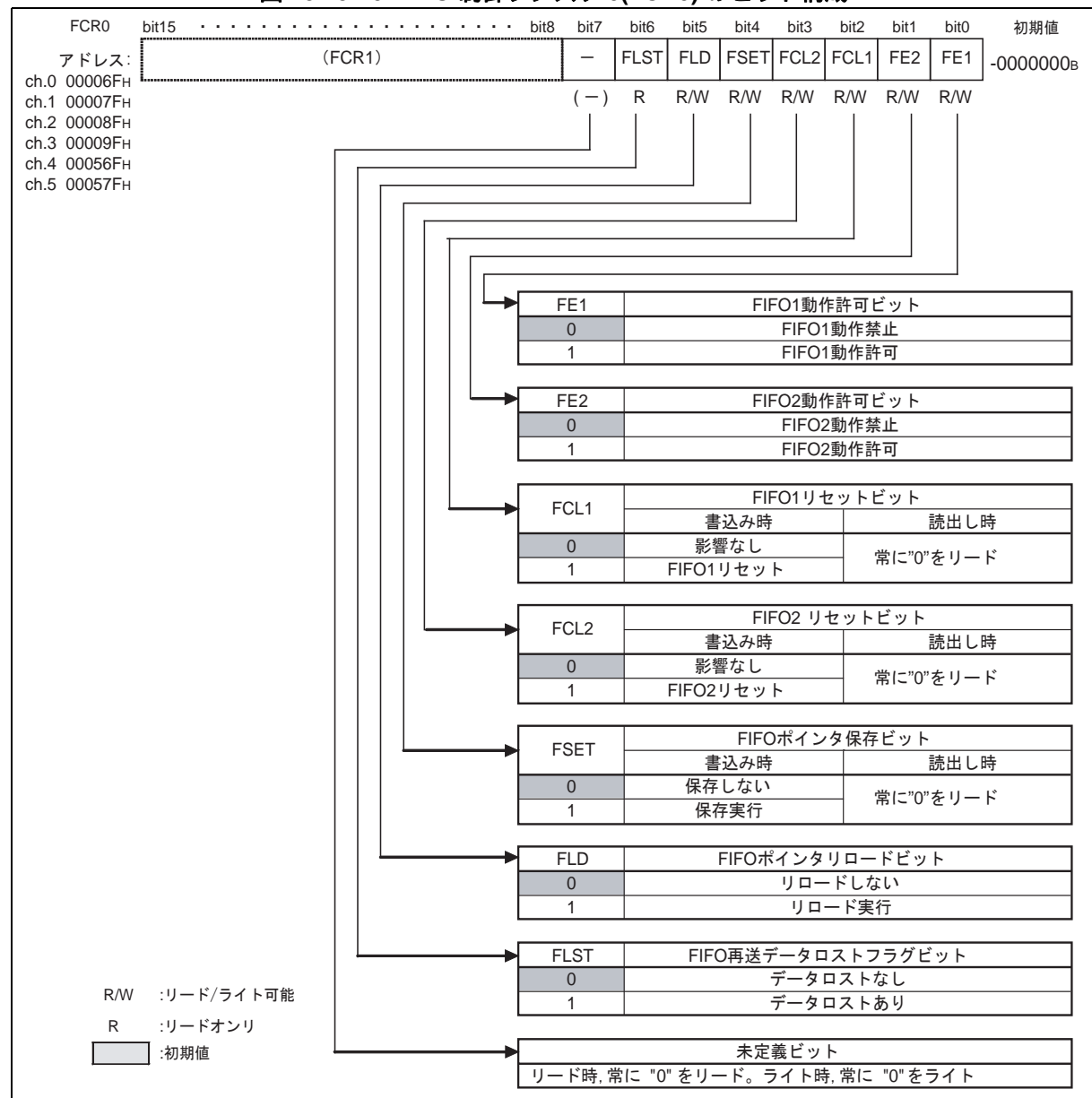


表 15.13-8 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書き込んでください。
bit6	FLST : FIFO 再送 データロス フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 <ul style="list-style-type: none"> • FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ場合 FLST リセット条件 <ul style="list-style-type: none"> • FIFO リセット (FCL への "1" 書込み) • FLST ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポインタが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。
bit5	FLD : FIFO ポインタ リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。本ビットは通信エラーなどが発生して再送するとき使用します。 再送設定が完了した場合、本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間、リードポインタへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中、本ビットに "1" を設定することは禁止です。 TIE ビットと TBIE ビットは "0" にしてから本ビットに "1" を書き込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを "1" にしてください。
bit4	FSET : FIFO ポインタ 保存ビット	送信 FIFO のリードポインタを保存するビットです。 送信前にリードポインタを保存すると、通信エラーなどが発生した場合、FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポインタの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2 : FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると、FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 15.13-8 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (2 / 2)

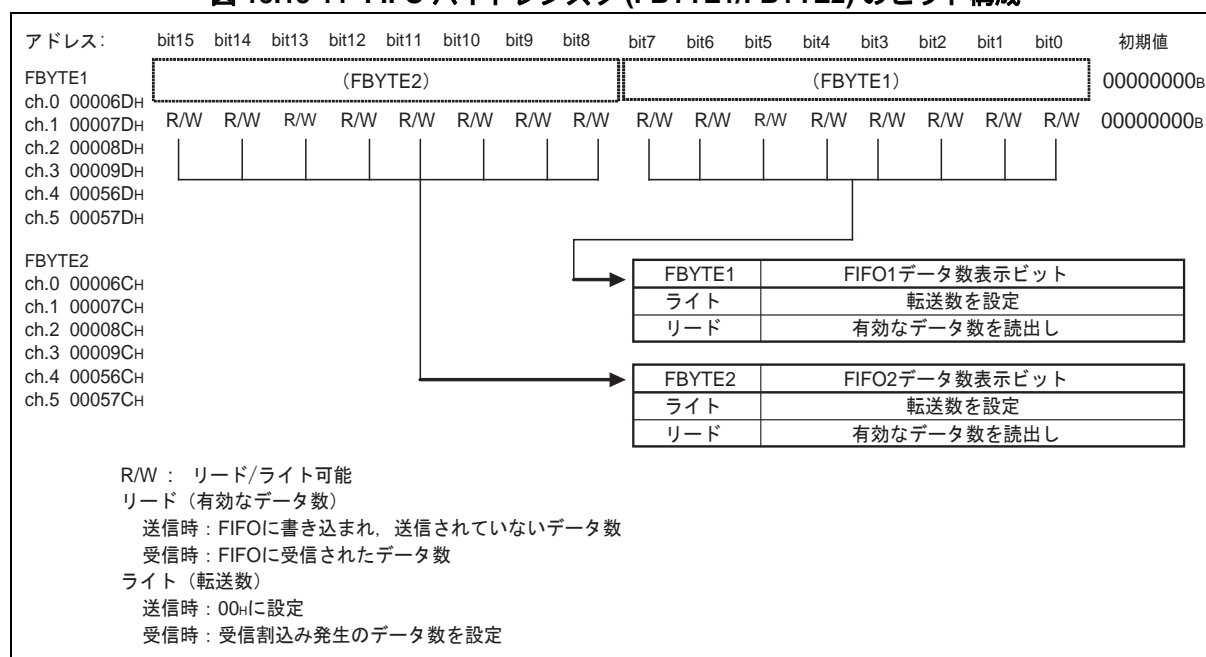
ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	<p>FIFO1 をリセットするビットです。 本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。 FCR1:FLST1 ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) 送受信を禁止してから、FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。</p>
bit1	FE2 : FIFO2 動作 許可ビット	<p>FIFO2 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO2 を使用する場合、本ビットに "1" を設定してください。 • FIFO2 を送信 FIFO に設定し (FCR1:FSEL=1), 本ビットに "1" を書き込んだときに FIFO2 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。
bit0	FE1 : FIFO1 動作 許可ビット	<p>FIFO1 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO1 を使用する場合、本ビットに "1" を設定してください。 • FIFO1 を送信 FIFO に設定し (FCR1:FSEL=0), 本ビットに "1" を書き込んだときに FIFO1 にデータが存在し、UART が送信許可 (TXE=1) のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットと TBIE ビットを "1" にしてください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信バッファがエンプティ (TDRE=1), 受信 FIFO で使用する場合には受信バッファがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO1 を禁止にしても FIFO1 の状態は保持されます。

15.13.9 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は, FIFO の有効なデータ数を示します。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 15.13-11 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 15.13-11 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

FBYTE1/FBYTE2 レジスタは, FIFO の有効なデータ数を示し, FCR1:FSEL ビットの設定によって以下のようになります。

表 15.13-9 データ数表示

FSEL	FIFO 選択	バイト数表示
0	FIFO2 : 受信 FIFO, FIFO1 : 送信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1
1	FIFO2 : 送信 FIFO, FIFO1 : 受信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1

- FBYTE レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致すると割込みフラグ (RDRF) が "1" にセットされます。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで8クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中, RDR0/RDR1 を読み出すとそのカウンタは "0" にリセットされ, 再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度, カウントを開始します。

- マスタ動作でデータを受信する場合 (マスタ受信), TIE ビットと TBIE ビットを "0" にして送信 FIFO の FBYTE1/FBYTE2 レジスタに受信データ数を設定し, FDRQ ビットに "0" を書きます。その後, TXE ビットが "1" のときに設定データ分のシリアルクロックが出力され, 設定値分データを受信することができます。TIE ビット, TBIE ビットに "1" を設定したい場合には FDRQ が "1" になった後に "1" に設定してください。

< 注意事項 >

- マスタ動作で, データを受信するとき以外, 送信 FIFO の FBYTE1/FBYTE2 には "00_H" を設定してください。
 - マスタ動作でデータを受信するときの送信データ数の設定は送信FIFOがエンプティで TIE ビット, TBIE ビットが "0" のときに行ってください。
 - マスタ動作でデータを受信中に受信禁止 (RXE=0) にする場合には, 送信 FIFO を禁止にしてから送受信を禁止にしてください。
 - 受信 FIFO の FBYTE1/FBYTE2 には "1" 以上のデータを設定してください。
 - 受信 FIFO の FBYTE1/FBYTE2 の変更は受信を禁止してから変更してください。
 - 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
 - FIFO 容量を超えた設定は禁止です。
-

15.14 CSIO (クロック同期シリアルインタフェース) の 割込み

CSIO (クロック同期シリアルインタフェース) の割込みには受信割込みと送信割込みがあり、次に示す要因で割込み要求を発生させることができます。

- 受信データが受信データレジスタ (RDR0/RDR1) にセットされた場合、または受信エラーが発生した場合
- 送信データが送信データレジスタ (TDR0/TDR1) から送信用シフトレジスタに転送され、送信が開始された場合
- 送信バスアイドル (送信動作なし)
- 送信 FIFO データ要求

■ CSIO の割込み

CSIO の割込み制御ビットと割込み要因は表 15.14-1 のようになっています。

表 15.14-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ (RDR0/RDR1) の読出し
			FBYTE1/FBYTE2 設定値分受信		受信 FIFO がエンプティになるまでの受信データ (RDR0/RDR1) の読出し
			FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態で 8 ビットタイマ以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット (SSR:REC) への "1" 書込み
送信	TDRE	SSR	送信レジスタがエンプティ	SCR:TIE	送信データ (TDR0/TDR1) への書込み、または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	TBI	SSR	送信動作なし	SCR:TBIE	送信データ (TDR0/TDR1) への書込み、または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) *
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット (FCR1:FDRQ) への "0" 書込みまたは送信 FIFO がフル

*: TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

15.14.1 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了 (SSR:RDRF) および受信エラーの発生 (SSR : ORE) があります。

■ 受信割込み発生とフラグセットのタイミング

最終データビットが検出されることにより、受信データが受信データレジスタ (RDR0/RDR1) に格納されます。受信が完了したとき (SSR:RDRF=1) または受信エラーが発生 (SSR : ORE=1) すると各フラグがセットされます。そのとき、受信割込みが許可 (SSR : RIE=1) されていると受信割込みが発生します。

< 注意事項 >

受信エラーが発生した場合は、受信データレジスタ (RDR0/RDR1) のデータは無効となります。

図 15.14-1 受信動作とフラグセットのタイミング

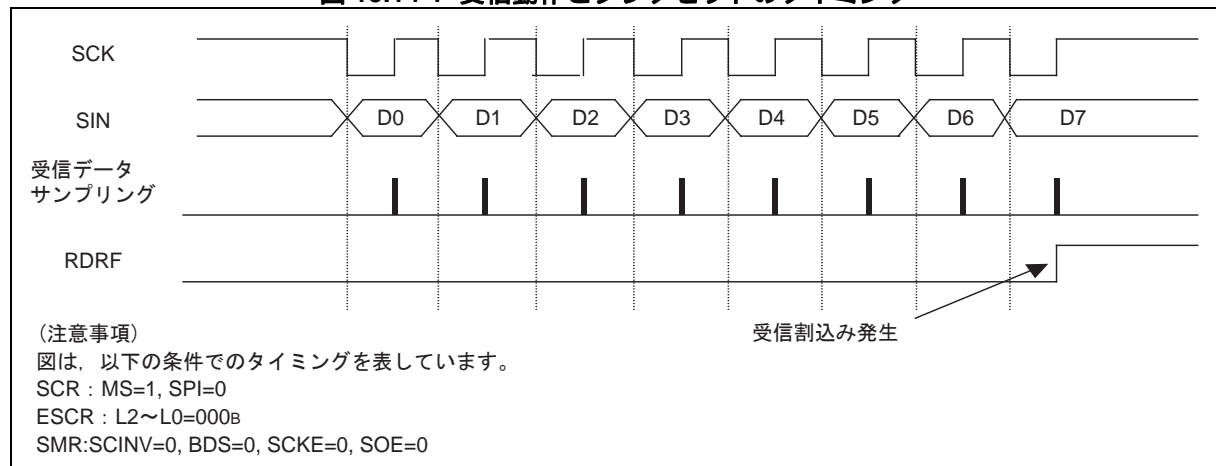
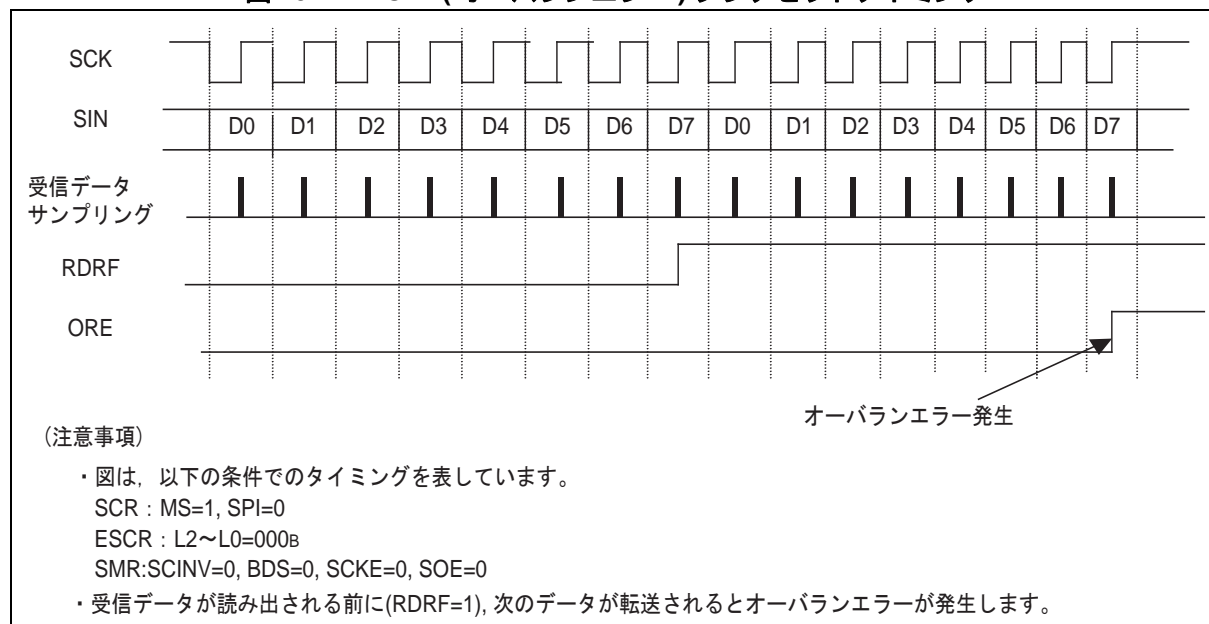


図 15.14-2 ORE(オーバランエラー) フラグセットタイミング

15.14.2 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE1/FBYTE2 レジスタ (FBYTE1/FBYTE2) の設定値分のデータを受信すると発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE1/FBYTE2 レジスタの設定値によって決定されます。

- FBYTE1/FBYTE2 レジスタの転送数設定分のデータを受信するとシリアルステータスレジスタの受信データフルフラグ (SSR:RDRF) が "1" にセットされます。このとき、受信割込みが許可 (SCR:RIE) されていると受信割込みが発生します。
- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR0/RDR1 を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ (RDR0/RDR1) を読み出すと、受信データフルフラグ (SSR:RDRF) はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信するとオーバーランエラー (SSR:ORE=1) が発生します。

図 15.14-3 受信 FIFO 使用時の受信割込み発生タイミング

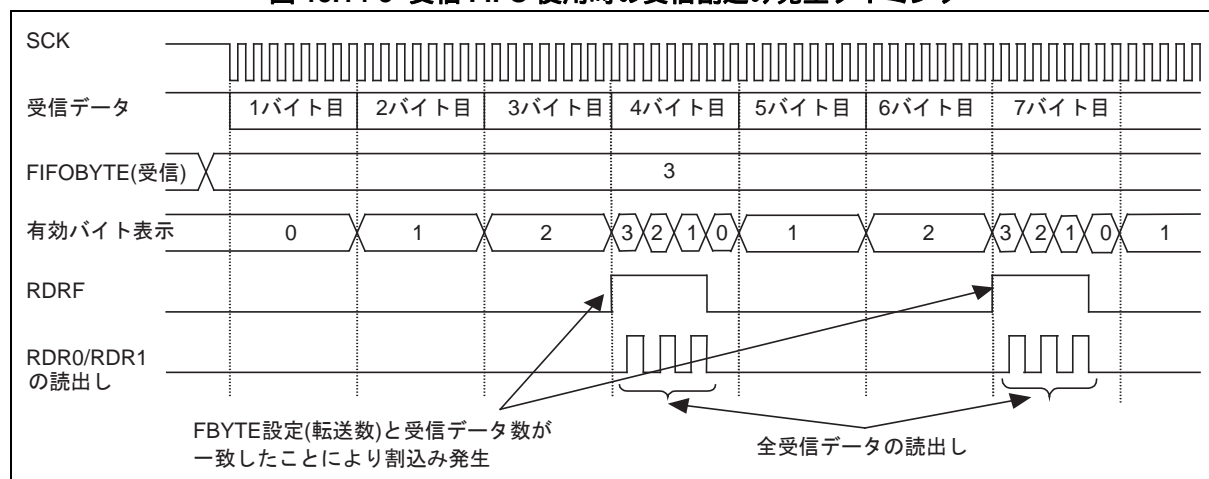
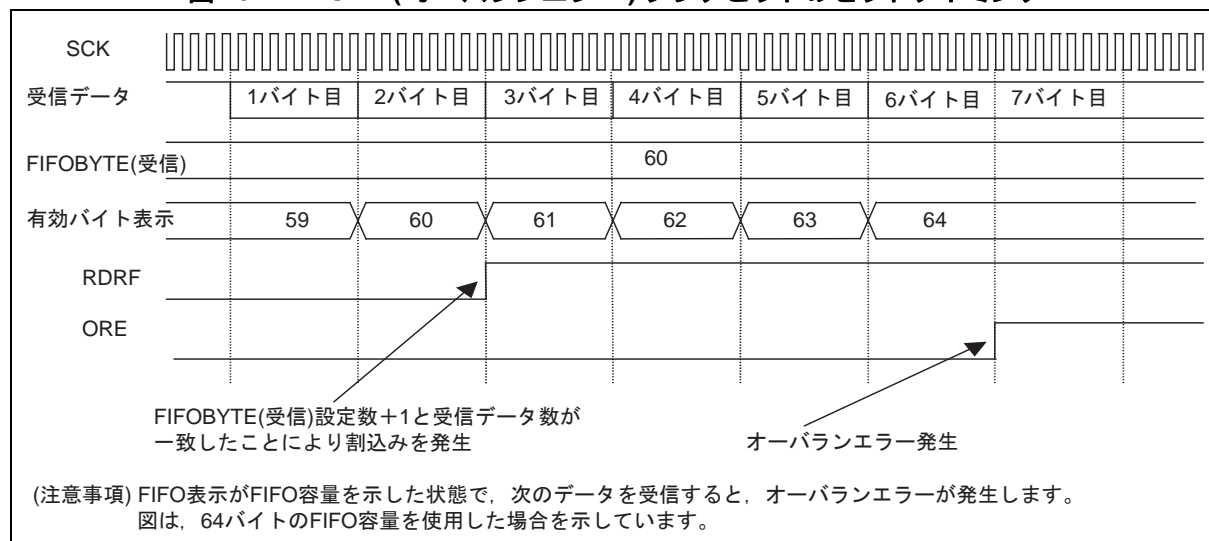


図 15.14-4 ORE (オーバランエラー) フラグビットのセットタイミング

15.14.3 送信割込み発生とフラグセットのタイミング

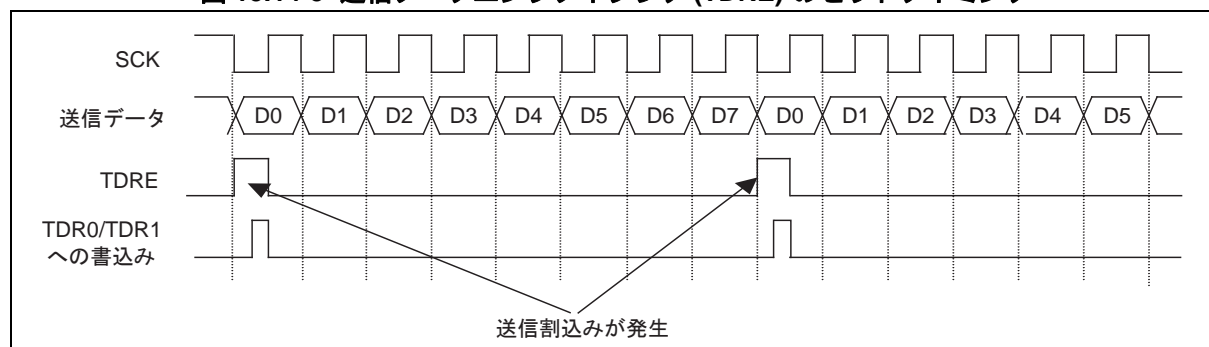
送信時の割込みとしては、送信データが送信データレジスタ (TDR0/TDR1) から送信用シフトレジスタに転送され (SSR : TDRE=1) で送信が開始された場合と、送信動作をしていないとき (SSR : TBI=1) に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ (TDRE) のセットタイミング

送信データレジスタ (TDR0/TDR1) に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書き込みが可能な状態 (SSR:TDRE=1) になります。そのとき、送信割込みが許可 (SCR:TIE=1) されていると送信割込みが発生します。TDRE ビットはリードオンリビットなので、送信データレジスタ (TDR0/TDR1) へのデータ書き込みにより "0" にクリアされます。

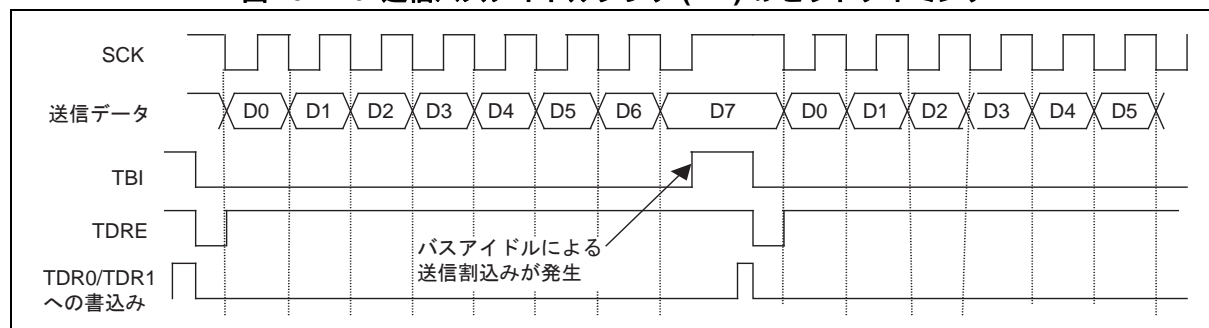
図 15.14-5 送信データエンプティフラグ (TDRE) のセットタイミング



● 送信バスアイドルフラグ (TBI) のセットタイミング

送信データレジスタがエンプティ (TDRE=1) で送信動作をしていないとき、SSR : TBI ビットは "1" にセットされます。このとき、送信バスアイドル割込みが許可 (SCR : TBIE=1) されていると送信割込みが発生します。送信データレジスタ (TDR0/TDR1) に送信データをセットすると、TBI ビットおよび送信割込み要求はクリアされます。

図 15.14-6 送信バスアイドルフラグ (TBI) のセットタイミング



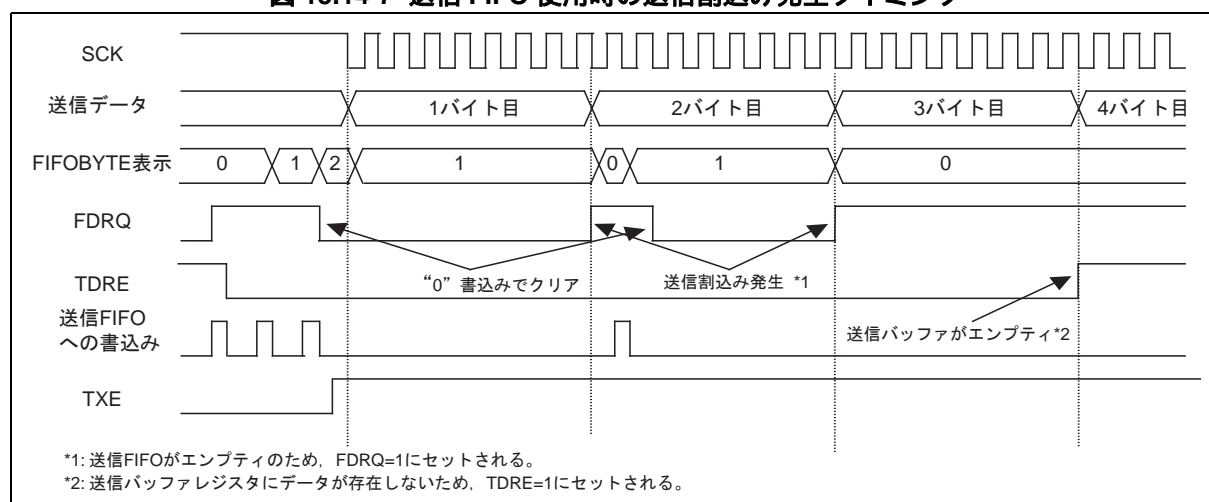
15.14.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しないときに発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット (FCR1 : FDRQ) が "1" にセットされます。このとき、FIFO 送信割込みが許可 (FCR1 : FTIE=1) されていると送信割込みが発生します。
- 送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット (FCR1 : FDRQ) に "0" を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット (FCR1:FDRQ) は "0" になります。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ (FBYTE1/FBYTE2) を読み出すことで確認できます。
FBYTE1/FBYTE2 = 00_H のときは、送信 FIFO にデータが存在していないことを示します。

図 15.14-7 送信 FIFO 使用時の送信割込み発生タイミング



15.15 CSIO (クロック同期シリアルインタフェース) の動作

転送方式はクロック同期式となります。

■ CSIO (クロック同期シリアルインタフェース) の動作

■ ノーマル転送 (I)

● 特長

表 15.15-1 ノーマル転送 (I) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ビット ~ 9 ビット

● レジスタ設定

ノーマル転送 (I) に必要なレジスタの設定値を以下に示します。

表 15.15-2 ノーマル転送 (I) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	0	*	1/0	1/0
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	-	-	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	-	-	*	*	*
TDR/ RDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

マスタ送信時 : SCR:MS=0, SMR:SCKE=1, SOE=1

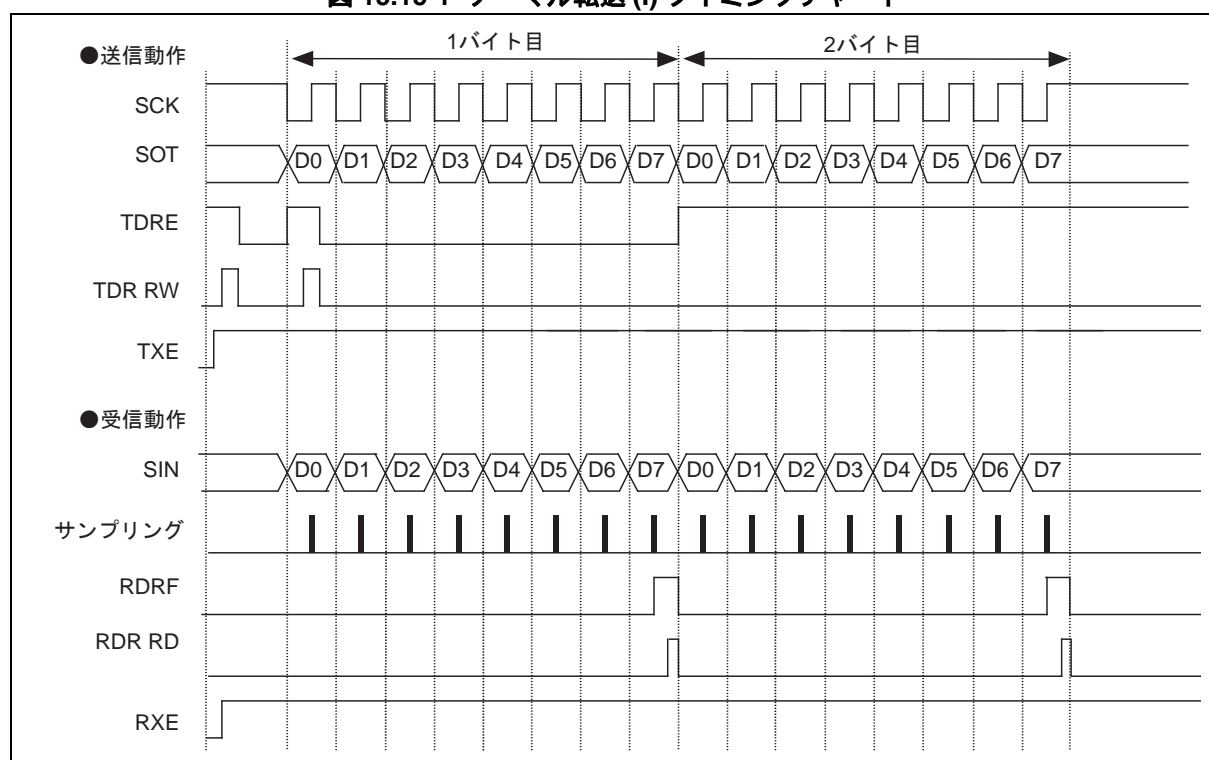
マスタ受信時 : SCR:MS=0, SMR:SCKE=1, SOE=0

スレーブ送信時 : SCR:MS=1, SMR:SCKE=0, SOE=1

スレーブ受信時 : SCR:MS=1, SMR:SCKE=0, SOE=0

● ノーマル転送 (I) タイミングチャート

図 15.15-1 ノーマル転送 (I) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

・ 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にして TDR に送信データを書き込むと SSR:TDRE=0 となり、シリアルクロック (SCK) 出力の立下りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込むことができます。

• 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にして TDR0/TDR1 にダミーデータを書き込むと, シリアルクロック出力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR0/RDR1) を読み出すことができます。

受信データ (RDR0/RDR1) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR にダミーデータを書いてください。
- 送受信 FIFO 許可時は, 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

• 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にして TDR0/TDR1 に送信データを書き込むと SSR:TDRE=0 となり, シリアルクロック (SCK) 入力の立下りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

• 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると, シリアルクロック入力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR0/RDR1) を読み出すことができます。

受信データ (RDR0/RDR1) を読み出すと, SSR:RDRF は "0" にクリアされます。

■ ノーマル転送 (II)

● 特長

表 15.15-3 ノーマル転送 (II) の特長

項目	説明
1 シリアルクロック (SCK) のマークレベル	"L"
2 送信データ出力タイミング	SCK の立上りエッジ
3 受信データのサンプリング	SCK の立下りエッジ
4 データ長	5 ビット ~ 9 ビット

● レジスタ設定

ノーマル転送 (II) に必要なレジスタの設定値を以下に示します。

表 15.15-4 ノーマル転送 (II) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit07	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	1	*	1/0	1/0
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	-	-	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	-	-	*	*	*
TDR/ RDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	v
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

マスタ送信時 : SCR:MS=0, SMR:SCKE=1, SOE=1

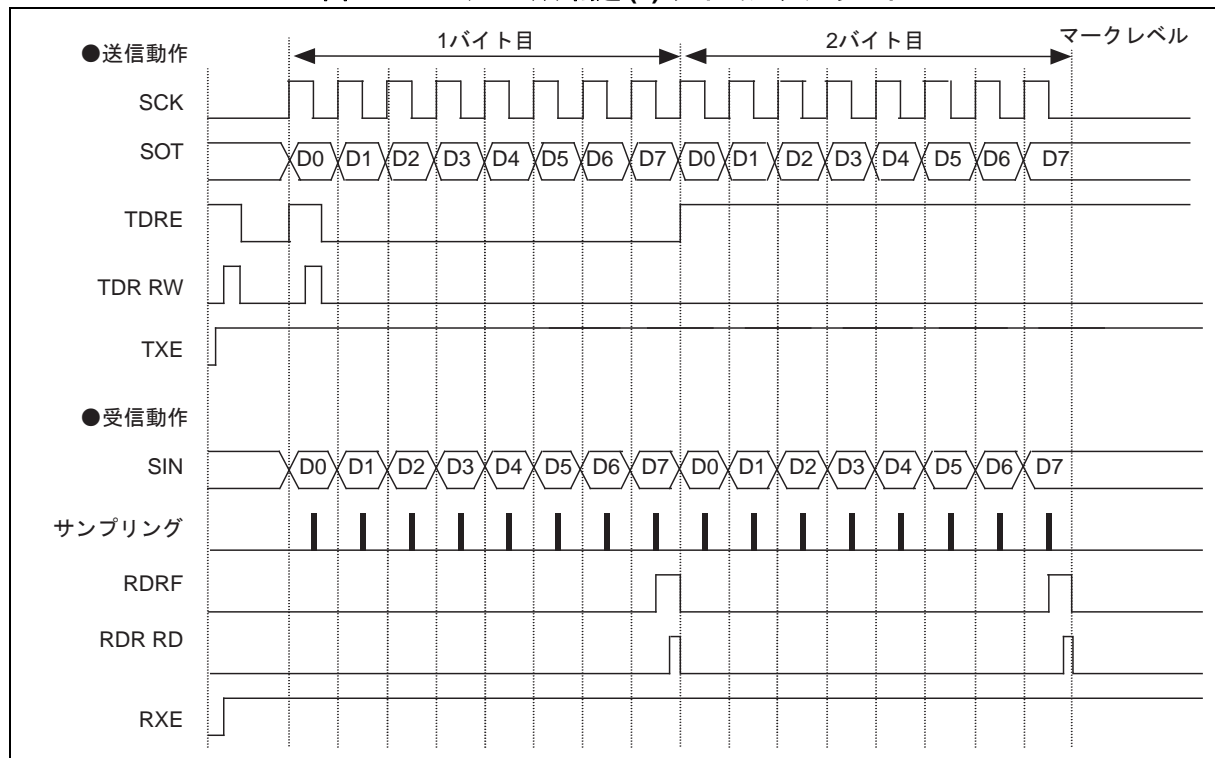
マスタ受信時 : SCR:MS=0, SMR:SCKE=1, SOE=0

スレーブ送信時 : SCR:MS=1, SMR:SCKE=0, SOE=1

スレーブ受信時 : SCR:MS=1, SMR:SCKE=0, SOE=0

ノーマル転送 (II) タイミングチャート

図 15.15-2 ノーマル転送 (II) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

● 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし, TDR0/TDR1 に送信データを書き込むと SSR:TDRE=0 となり, シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出します。このとき, 2 バイト目の送信データを書き込むことができます。

● 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし, TDR0/TDR1 にダミーデータを書き込むとシリアルクロック出力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出します。このとき, 受信データ (RDR0/RDR1) を読み出すことができます。

受信データ (RDR0/RDR1) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR0/TDR1 にダミーデータを書いてください。
- 送受信 FIFO 許可時, 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

• 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし, TDR0/TDR1 に送信データを書き込むと SSR:TDRE=0 となり, シリアルクロック (SCK) 入力の立上りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

• 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると, シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR0/RDR1) を読み出すことができます。

受信データ (RDR0/RDR1) を読み出すと, SSR:RDRF は "0" にクリアされます。

■ SPI 転送 (I)

● 特長

表 15.15-5 SPI 転送 (I) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5 ビット ~ 9 ビット

● レジスタ設定

SPI 転送 (I) に必要なレジスタの設定値を以下に示します。

表 15.15-6 SPI 転送 (I) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	0	*	1/0	1/0
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	-	-	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	-	-	*	*	v
TDR/ RDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

上記ビットの設定値 (1/0) は , マスタ動作 , スレーブ動作で異なります。以下のように設定してください。

マスタ送信時 : SCR:MS=0, SMR:SCKE=1, SOE=1

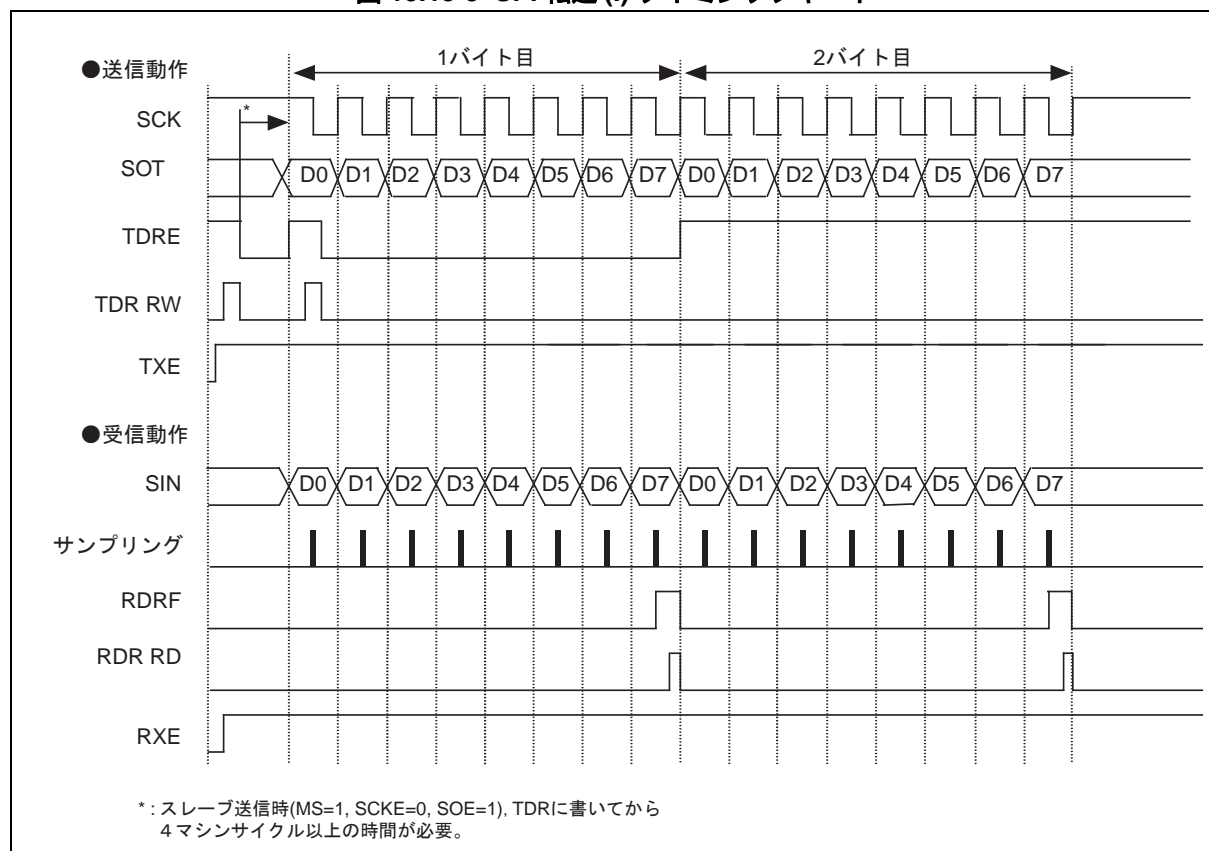
マスタ受信時 : SCR:MS=0, SMR:SCKE=1, SOE=0

スレーブ送信時 : SCR:MS=1, SMR:SCKE=0, SOE=1

スレーブ受信時 : SCR:MS=1, SMR:SCKE=0, SOE=0

● SPI 転送 (I) タイミングチャート

図 15.15-3 SPI 転送 (I) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

● 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし, TDR に送信データを書き込むと SSR:TDRE=0 となり, 1 ビット目が出力されます。その後, シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

最初のシリアルクロックの立下りエッジの半サイクル前で SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

● 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし, TDR0/TDR1 にダミーデータを書き込むとシリアルクロック出力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込み許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR0/RDR1) を読み出すことができます。

受信データ (RDR0/RDR1) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR0/TDR1 にダミーデータを書いてください。
 - 送受信 FIFO 許可時, 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。
-

(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)**• 送信動作**

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし, TDR0/TDR1 に送信データを書き込むと SSR:TDRE=0 となり, 1 ビット目が出力されます。その後, シリアルクロック (SCK) 出力の立上りエッジに同期して送信データを出力します。

最初のシリアルクロックの立下りエッジの半サイクル前で SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

• 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると, シリアルクロック入力 (SCK) の立下りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR0/RDR1) を読み出すことができます。

受信データ (RDR0/RDR1) を読み出すと, SSR:RDRF は "0" にクリアされます。

■ SPI 転送 (II)

● 特長

表 15.15-7 SPI 転送 (II) の特長

	項目	説明
1	シリアルクロック (SCK) のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5 ビット ~ 9 ビット

● レジスタ設定

SPI 転送 (II) に必要なレジスタの設定値を以下に示します。

表 15.15-8 SPI 転送 (II) レジスタ設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	-	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	1	*	1/0	1/0
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	-	-	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	-	-	*	*	*
TDR/ RDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
	-							*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : "1" を設定

0 : "0" を設定

* : ユーザが決める設定

< 注意事項 >

上記ビットの設定値 (1/0) は、マスタ動作、スレーブ動作で異なります。以下のように設定してください。

マスタ送信時 : SCR:MS=0, SMR:SCKE=1, SOE=1

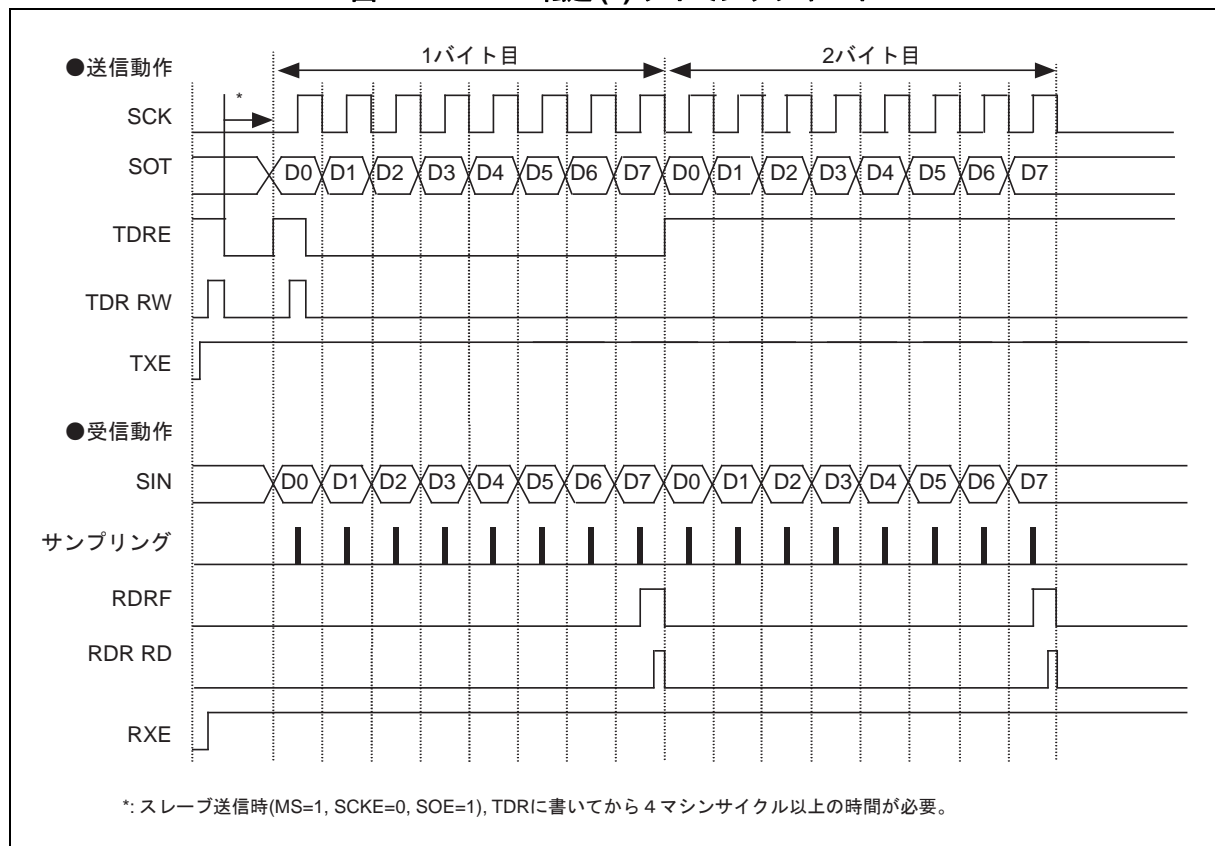
マスタ受信時 : SCR:MS=0, SMR:SCKE=1, SOE=0

スレーブ送信時 : SCR:MS=1, SMR:SCKE=0, SOE=1

スレーブ受信時 : SCR:MS=1, SMR:SCKE=0, SOE=0

● SPI 転送 (II) タイミングチャート

図 15.15-4 SPI 転送 (II) タイミングチャート



● 動作説明

(1) マスタ動作 (SCR:MS=0, SMR:SCKE=1 に設定します)

・ 送信動作

シリアルデータ出力許可 (SMR:SOE=1), 送信動作許可 (SCR:TXE=1) および受信動作禁止 (SCR:RXE=0) にし, TDR0/TDR1 に送信データを書き込むと SSR:TDRE=0 となり, シリアルクロック (SCK) 出力の立下りエッジに同期して送信データを出します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

・ 受信動作

シリアルデータ出力禁止 (SMR:SOE=0), 送信動作許可 (SCR:TXE=1) および受信動作許可 (SCR:RXE=1) にし, TDR0/TDR1 にダミーデータを書き込むとシリアルクロック出力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR0/RDR1) を読み出すことができます。

受信データ (RDR0/RDR1) を読み出すと, SSR:RDRF は "0" にクリアされます。

< 注意事項 >

- 受信動作のみを行う場合, シリアルクロック (SCK) を出力させるために TDR0/TDR1 にダミーデータを書いてください。
- 送受信 FIFO 許可時, 転送させたいフレーム分のバイト数を FBYTE1/FBYTE2 レジスタに設定することで, 設定値分のフレームのシリアルクロック (SCK) が出力されます。

(2) スレーブ動作 (SCR:MS=1, SMR:SCKE=0 に設定します)

• 送信動作

シリアルデータ出力許可 (SMR:SOE=1) および送信動作許可 (SCR:TXE=1) にし, TDR0/TDR1 に送信データを書き込むと SSR:TDRE=0 となり, シリアルクロック (SCK) 出力の立下りエッジに同期して送信データを出力します。

最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり, 送信割込みが許可 (SCR:TIE=1) されていると送信割込み要求を出力します。このとき, 2 バイト目の送信データを書き込むことができます。

• 受信動作

シリアルデータ出力禁止 (SMR:SOE=0) および受信動作許可 (SCR:RXE=1) にすると, シリアルクロック入力 (SCK) の立上りエッジで受信データをサンプリングします。

最後のビットを受信すると SSR:RDRF=1 となり, 受信割込みが許可 (SCR:RIE=1) されていると受信割込み要求を出力します。このとき, 受信データ (RDR0/RDR1) を読み出すことができます。

受信データ (RDR0/RDR1) を読み出すと, SSR:RDRF は "0" にクリアされます。

15.16 専用ボーレートジェネレータ

専用ボーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

■ CSIO(クロック同期シリアルインタフェース) ボーレート選択

専用ボーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

● マスタ動作時

専用ボーレートジェネレータで内部クロックを分周させてボーレートを選択します。

- 2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
- リロードカウンタは設定された値で内部クロックを分周します。

● スレーブ動作時

スレーブ動作時 (SCR:MS=1) は、専用ボーレートジェネレータは機能しません (クロック入力端子 SCK から入力された 外部クロックを直接使用します)。

< 注意事項 >

受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

15.16.1 ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値：

$$V = \phi / b - 1$$

V：リロード値

b：ボーレート

ϕ ：周辺クロック (CLKP) 周波数

(2) 計算例

周辺クロック (CLKP) 16MHz, 内部クロック使用, ボーレート 19200bps に設定する場合のリロード値は、次のようになります。

リロード値：

$$V = (16 \times 1000000) / 19200 - 1 = 832$$

よって、ボーレートは、

$$b = (16 \times 1000000) / (832 + 1) = 19208 \text{ bps}$$

(3) ボーレートの誤差

ボーレートの誤差は次の式によって求められます。

$$\text{誤差 (\%)} = (\text{計算値} - \text{目標値}) / \text{目標値} \times 100$$

(例) 周辺クロック (CLKP) 20MHz, 目標ボーレート 153600bps に設定する場合

$$\text{リロード値} = (20 \times 1000000) / 153600 - 1 = 129$$

$$\text{ボーレート (計算値)} = (20 \times 1000000) / (129 + 1) = 153846 \text{ (bps)}$$

$$\text{誤差 (\%)} = (153846 - 153600) / 153600 \times 100 = 0.16 \text{ (\%)}$$

< 注意事項 >

- リロード値を "0" に設定するとリロードカウンタは停止します。
- リロード値が偶数の場合、シリアルクロックの "H" 幅と "L" 幅は SCINV ビットの設定によって以下ようになります。奇数の場合、シリアルクロックの "H" 幅と "L" 幅は同じになります。
 - SCINV=0 のとき、シリアルクロックの "H" 幅が周辺クロック (CLKP) 1 サイクル分長くなります。
 - SCINV=1 のとき、シリアルクロックの "L" 幅が周辺クロック (CLKP) 1 サイクル分長くなります。
- リロード値は "3" 以上を設定してください。

■ 各周辺クロック (CLKP) 周波数に対するリロード値とボーレート

表 15.16-1 リロード値とボーレート

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	-	-	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	- 0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	- 0.16	-	-
153600	51	- 0.16	64	- 0.16	103	- 0.16	129	- 0.16	155	- 0.16	207	- 0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	- 0.64	86	0.22	138	0.08	173	0.22	207	- 0.16	277	0.08
76800	103	- 0.16	129	- 0.16	207	- 0.16	259	- 0.16	311	- 0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	- 0.16	416	0.08	555	0.08
38400	207	- 0.16	259	- 0.16	416	0.08	520	0.03	624	0	832	- 0.04
28800	277	0.08	346	< 0.01	554	- 0.01	693	- 0.06	832	- 0.03	1110	- 0.01
19200	416	0.08	520	0.03	832	- 0.03	1041	0.03	1249	0	1666	0.02
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1919	< 0.01	2303	< 0.01	3071	< 0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	- 0.01
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2777	< 0.01	3332	< 0.01	4443	- 0.01
4800	1666	0.02	2082	- 0.02	3332	< 0.01	4166	< 0.01	4999	0	6666	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	8332	< 0.01	9999	0	13332	< - 0.01
1200	6666	< 0.01	8334	0.02	13332	< 0.01	16666	< 0.01	19999	0	26666	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	-	-	-	-	-	-
300	26666	26666	< 0.01	-	-	-	-	-	-	-	-	-

- Value : BGR1/BGR0 レジスタの設定値
- ERR : ボーレート誤差 (%)

■ リロードカウンタの機能

リロードカウンタには送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

- 送信 / 受信リロードカウンタ共通

プログラマブルリセット (SCR:UPCL ビット)

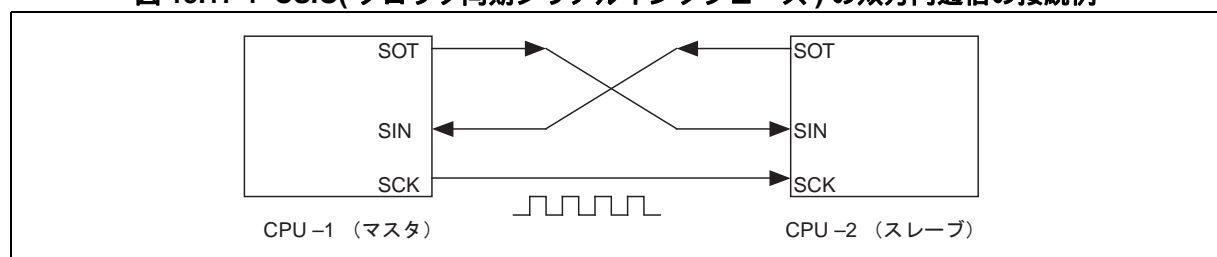
15.17 CSIO (クロック同期シリアルインタフェース) 設定手順とプログラムフロー

CSIO(クロック同期シリアルインタフェース) では , シリアル双方向同期通信をすることができます。

■ CPU 間接続

CSIO(クロック同期シリアルインタフェース) では , 双方向通信を選択します。図 15.17-1 に示すように 2 つの CPU を相互に接続します。

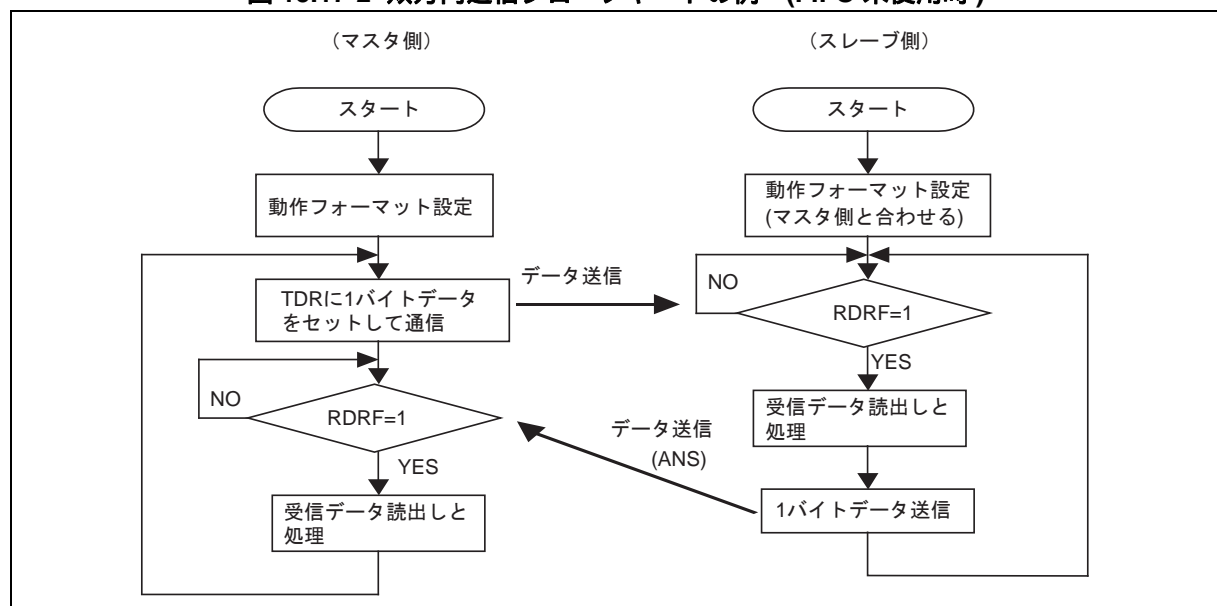
図 15.17-1 CSIO(クロック同期シリアルインタフェース) の双方向通信の接続例



■ フローチャート

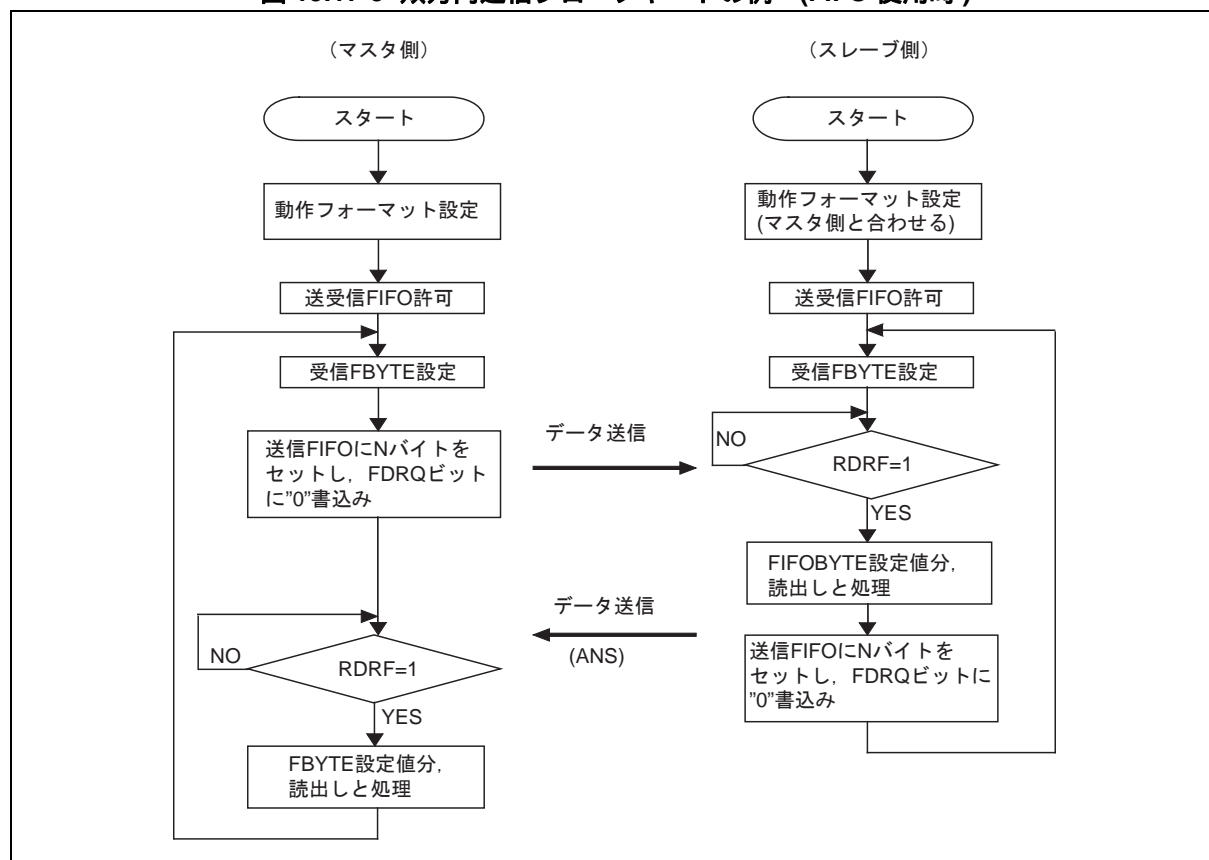
- FIFO 未使用時

図 15.17-2 双方向通信フローチャートの例 (FIFO 未使用時)



● FIFO 使用時

図 15.17-3 双方向通信フローチャートの例 (FIFO 使用時)



15.18 CSIO モードの注意事項

CSIO モードの注意事項を下記に示します。

- FIFO 付きチャンネルで DMA 転送要求する場合 , FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合 , DMA のブロックサイズを 1 回に設定してください。
- マスタ受信およびスレーブ受信時には , データ受信用の DMA 転送と , ダミーデータ送信用の DMA 転送が必要なため , DMA を 2 チャンネル使用する必要があります。

15.19 I²C インタフェース

マルチファンクションシリアルインタフェースの機能のうち、動作モード 4 でサポートしている I²C インタフェースについて説明します。

- I²C インタフェース
- I²C インタフェースの概要
- I²C インタフェースのレジスタ
 - I²C バス制御レジスタ (IBCR)
 - シリアルモードレジスタ (SMR)
 - I²C バスステータスレジスタ (IBSR)
 - シリアルステータスレジスタ (SSR)
 - 受信データレジスタ / 送信データレジスタ (RDR/TDR)
 - 7 ビットスレーブアドレスマスクレジスタ (ISMK)
 - 7 ビットスレーブアドレスレジスタ (ISBA)
 - ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
 - FIFO 制御レジスタ 1 (FCR1)
 - FIFO 制御レジスタ 0 (FCR0)
 - FIFO バイトレジスタ (FBYTE1/FBYTE2)
- I²C インタフェースの割込み
 - I²C インタフェース通信の動作
 - マスタモード
 - スレーブモード
 - バスエラー
- 専用ボーレートジェネレータ
 - I²C のフローチャート例

15.20 I²C インタフェースの概要

I²C インタフェースは IC 間バスをサポートし、I²C バス上のマスタ / スレーブデバイスとして動作します。また、送信 / 受信 (最大 各 16 バイト) の FIFO を搭載しています。

■ I²C インタフェースの機能

I²C インタフェースには、以下の機能があります。

- マスタ / スレーブ送受信機能
- 調停機能
- クロック同期機能
- 転送方向検出機能
- 反復スタート条件の発生と検出機能
- バスエラー検出機能
- ゼネラルコールアドレッシング機能
- マスタおよびスレーブとしての 7 ビットアドレッシング
- 転送およびバスエラー時に割込み発生可能
- 10 ビットアドレッシング機能は、プログラムで対応可能

■ FIFO の機能

FIFO には、以下の機能があります。

- 送受信 FIFO 搭載 (最大容量：送信 FIFO 16 バイト、受信 FIFO 16 バイト)
- 送信 FIFO と受信 FIFO を選択可能
- 送信データの再送信が可能
- 受信 FIFO 割込みタイミングをソフトで変更可能
- 独立して FIFO リセットをサポート

15.21 I²C インタフェースのレジスタ

I²C インタフェースのレジスタ一覧を示します。

■ I²C インタフェースのレジスタ一覧

図 15.21-1 I²C インタフェースのレジスタ一覧

アドレス		bit15	bit8 bit7	bit0
I ² C	000062 _H 000063 _H	IBCR (I ² C バス制御レジスタ)	SMR (シリアルモードレジスタ)	
	000072 _H 000073 _H			
	000082 _H 000083 _H			
	000092 _H 000093 _H			
	000562 _H 000563 _H			
	000572 _H 000573 _H			
	000060 _H 000061 _H	SSR (シリアルステータスレジスタ)	IBSR (I ² C バスステータスレジスタ)	
	000070 _H 000071 _H			
	000080 _H 000081 _H			
	000090 _H 000091 _H			
	000560 _H 000561 _H			
	000570 _H 000571 _H			
	000066 _H 000067 _H	-	RDR/TDR (送受信データレジスタ)	
	000076 _H 000077 _H			
	000086 _H 000087 _H			
	000096 _H 000097 _H			
	000566 _H 000567 _H			
	000576 _H 000577 _H			
	000064 _H 000065 _H	BGR1 (ボーレートジェネレータ レジスタ 1)	BGR0 (ボーレートジェネレータ レジスタ 0)	
	000074 _H 000075 _H			
	000084 _H 000085 _H			
	000094 _H 000095 _H			
	000564 _H 000565 _H			
	000574 _H 000575 _H			
	00006A _H 00006B _H	ISMK (7 ビットスレーブアドレス マスクレジスタ)	ISBA (7 ビットスレーブアドレス レジスタ)	
	00007A _H 00007B _H			
	00008A _H 00008B _H			
	00009A _H 00009B _H			
	00056A _H 00056B _H			
	00057A _H 00057B _H			

(続く)

(続き)

アドレス		bit15	bit8 bit7	bit0
FIFO	00006E _H 00006F _H	FCR1 (FIFO 制御レジスタ 1)		FCR0 (FIFO 制御レジスタ 0)
	00007E _H 00007F _H			
	00008E _H 00008F _H			
	00009E _H 00009F _H			
	00056E _H 00056F _H			
	00057E _H 00057F _H			
	00006C _H 00006D _H	FBYTE2 (FIFO2 バイトレジスタ)		FBYTE1 (FIFO1 バイトレジスタ)
	00007C _H 00007D _H			
	00008C _H 00008D _H			
	00009C _H 00009D _H			
	00056C _H 00056D _H			
	00057C _H 00057D _H			

表 15.21-1 I²C インタフェースのビット配置

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
IBCR/ SMR	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	MD2	MD1	MD0	-	RIE	TIE	ITST1	ITST0
SSR/ IBSR	REC	TSET	-	-	ORE	RDRF	TDRE	-	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
RDR/ TDR	-	-	-	-	-	-	-	-	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
ISMK/ ISBA	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

15.21.1 I²C バス制御レジスタ (IBCR)

I²C バス制御レジスタ (IBCR) は、マスタ/スレーブモード選択、反復スタート条件の発生、アクノリッジ許可、割込み許可を設定し、割込みフラグを表示します。

■ I²C バス制御レジスタ (IBCR)

図 15.21-2 に I²C バス制御レジスタ (IBCR) のビット構成を、表 15.21-2 に各ビットの機能を示します。

図 15.21-2 I²C バス制御レジスタ (IBCR) のビット構成

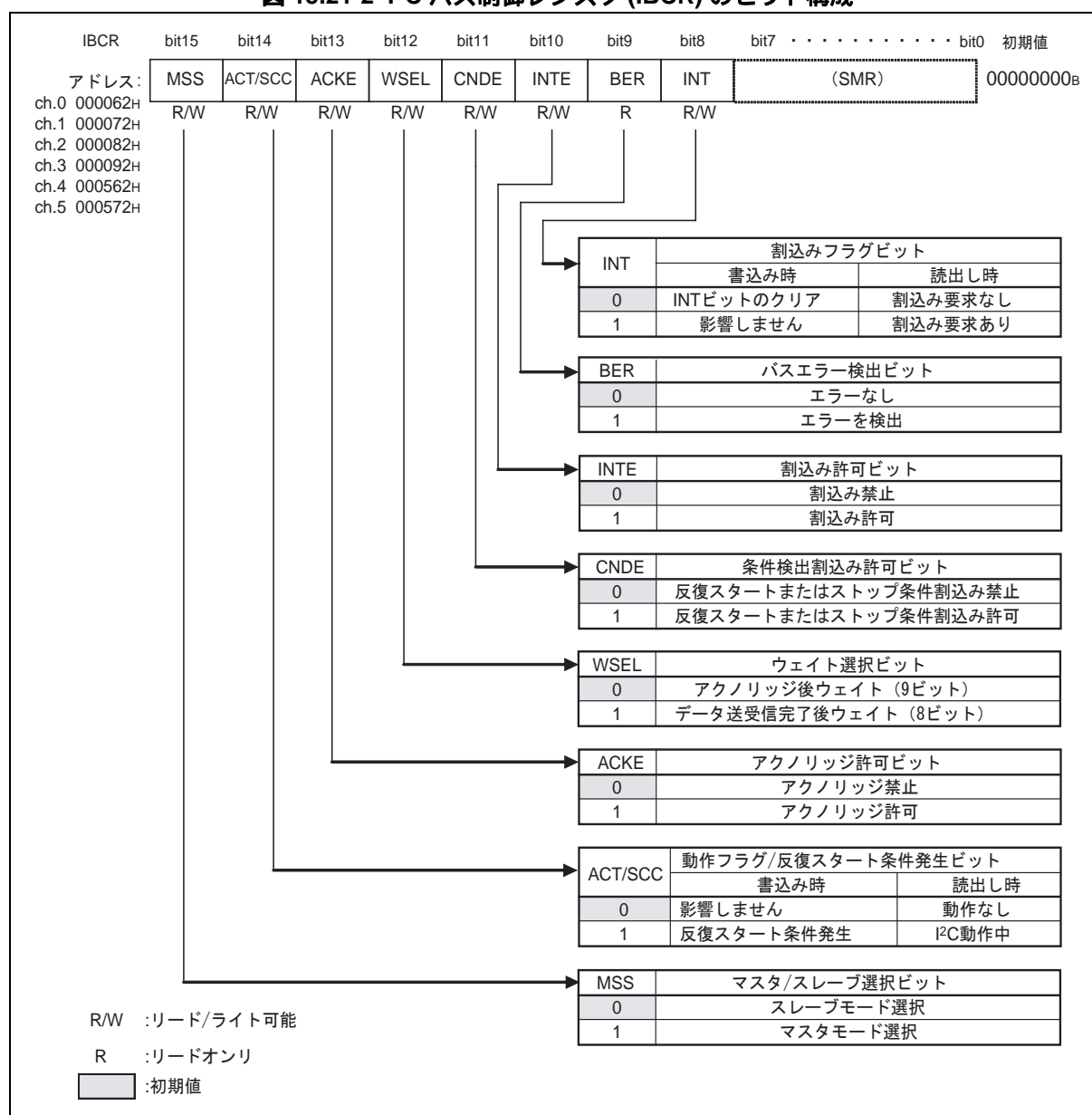


表 15.21-2 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (1 / 5)

ビット名		機能															
bit15	MSS : マスタ / スレーブ 選択 ビット	<ul style="list-style-type: none">• 本ビットに "1" を設定すると I²C バスがアイドル状態 (EN=1, BB=0) のとき , マスタモードとなります。• IBSR レジスタの BB ビットが "1" のとき , このビットに "1" を設定すると BB ビットが "0" になるまでスタート条件の発生をウェイトします。そのウェイト中にスレーブアドレスが一致してスレーブとして動作する場合には本ビットは "0" になり , IBSR レジスタの AL ビットが "1" になります。• マスタ動作中 (MSS=1, ACT=1) で割込みフラグ (INT) が "1" のとき , 本ビットに "0" を書き込むとストップ条件が発生します。															
		MSS ビットは以下の条件でクリアされます。 <ul style="list-style-type: none">• I²C インタフェースの禁止 (EN ビット =0)• アービトラクションロスト発生時• バスエラー検出 (BER ビット =1)• INT=1 のとき , MSS ビットへの "0" 書込み															
		MSS ビットと ACT ビットの間係を以下に示します。															
		<table><tr><th>MSS ビット</th><th>ACT ビット</th><th>状態</th></tr><tr><td>0</td><td>0</td><td>アイドル</td></tr><tr><td>0</td><td>1</td><td>スレーブアドレス一致または予約アドレスに対し ACK 応答 * し , スレーブ動作中 (スレーブモード)</td></tr><tr><td>1</td><td>0</td><td>マスタ動作待機中</td></tr><tr><td>1</td><td>1</td><td>マスタ動作中 (マスタモード)</td></tr></table>	MSS ビット	ACT ビット	状態	0	0	アイドル	0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答 * し , スレーブ動作中 (スレーブモード)	1	0	マスタ動作待機中	1	1	マスタ動作中 (マスタモード)
		MSS ビット	ACT ビット	状態													
		0	0	アイドル													
		0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答 * し , スレーブ動作中 (スレーブモード)													
		1	0	マスタ動作待機中													
		1	1	マスタ動作中 (マスタモード)													
		*:ACK 応答 : アクノリッジ区間に I ² C バスの SDA が "L" であることを指します。															
(注意事項) MSS ビットが "1" に設定されていて MSS ビットを "0" に変更する場合 , MSS ビット =1, INT ビット =1 のときに行ってください。ACT ビットが "1" のときに MSS ビットに "0" を書き込むと INT ビットも "0" にクリアされます。 マスタ動作中 , MSS ビットに "0" を書き込んでも ACT ビットが "1" の間は "1" が読み出されます。																	

表 15.21-2 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (2 / 5)

ビット名	機能				
bit14 ACT/SCC : 動作フラグ / 反復スタート 条件発生ビット	<p>このビットは、読出しと書込みで意味が異なります。</p> <table border="1" data-bbox="472 344 991 468"> <tr> <td>読出し</td><td>書込み</td></tr> <tr> <td>ACT ビット</td><td>SCC ビット</td></tr> </table> <p>ACT ビットはマスタモードまたはスレーブモードとして動作していることを示します。 ACT ビットのセット条件：</p> <ul style="list-style-type: none"> ・ スタート条件を I²C バスに出力したとき (マスタモード) ・ スレーブアドレスとマスタから送信されたアドレスが一致したとき (スレーブモード) ・ 予約アドレスを検出し、それに対しアクノリッジ応答したとき (MSS=0 のときスレーブモードとなる) <p>ACT ビットのリセット条件：</p> <p>< マスタモード ></p> <ul style="list-style-type: none"> ・ ストップ条件検出 ・ アービトレーションロスト検出 ・ バスエラー検出 ・ I²C インタフェースの禁止 (EN ビット=0) <p>< スレーブモード ></p> <ul style="list-style-type: none"> ・ (反復) スタート条件検出 ・ ストップ条件検出 ・ 予約アドレス検出状態 (RSA ビット =1) でアクノリッジ応答しなかったとき ・ I²C インタフェースの禁止 (EN ビット=0) ・ バスエラーの発生 (BER ビット=1) <p>マスタモード時、このビットに "1" を書き込むと反復スタートを実行します。 "0" 書込みは無効です。 (注意事項) SCC ビットへの "1" 書込みは、マスタモードの割込み中 (MSS=1, ACT=1, INT=1) に行ってください。ACT ビットが "1" のときに SCC ビットに "1" を書き込むと INT ビットは "0" にクリアされます。 スレーブモード (MSS=0, ACT=1) 時、本ビットに "1" を書き込むことは禁止です。 SCC ビットに "1", MSS ビットに "0" を書き込んだ場合には、MSS ビットが優先されます。 リードモディファイライト (RMW) 系命令のリード時には SCC ビットが読み出されます。</p>	読出し	書込み	ACT ビット	SCC ビット
読出し	書込み				
ACT ビット	SCC ビット				

表 15.21-2 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (3 / 5)

ビット名		機能
bit13	ACKE : アクノリッジ 許可 ビット	<ul style="list-style-type: none"> 本ビットに "1" を設定するとアクノリッジタイミングで "L" を出力します。 ACT=1 のときに本ビットを変更する場合, INT ビットが "1" のときに行ってください。 <p>本ビットは以下の条件では無効となります。</p> <ul style="list-style-type: none"> 予約アドレス以外のアドレスフィールドに対するアクノリッジ(自動生成) データ送信時 (RSA=0, TRX=1, FBT=0) 受信 FIFO 許可でスレーブ受信時 (FE=1, MSS=0, ACT=1), 常に ACK 応答します。 受信 FIFO 許可, WSEL が "0", マスタ受信時 (FE=1, MSS=1, ACT=1, WSEL=0), TDRE ビットが "0" のとき ACK 応答し, TDRE ビットが "1" のとき NACK 応答します。受信 FIFO 許可, WSEL="0", 予約アドレス検出してスレーブ送信時 (RSA=1, TRX=1, FBT=1), 常に ACK 応答します。NACK 応答させる場合, 予約アドレス検出後の割込み時, 受信 FIFO を禁止にして ACKE=0 にしてください。 受信 FIFO 許可, WSEL が "1", マスタ受信で送信データレジスタにデータがあるとき (FE=1, MSS=1, ACT=1, WSEL=1, TDRE=0)
bit12	WSEL : ウェイト 選択ビット	<ul style="list-style-type: none"> 本ビットはアクノリッジ前か後のどちらに割込み (INT=1) を発生させ, I²C バスをウェイトさせるかを選択するビットです。 WSEL ビットは以下の条件では無効になります。 <ul style="list-style-type: none"> 第一バイト^{*1} に対する割込み発生時 (INT=1) 予約アドレス検出時 (FBT=1, RSA=1) FIFO 使用時のデータ転送途中での NACK 応答^{*2} 検出時 (FE=1, RACK=1, ACT=1) 受信 FIFO 使用時, 受信 FIFO がフルになったとき <p>*1: 第一バイト : (反復) スタート条件後のデータを指します。 *2: NACK 応答 : アクノリッジ期間 I²C バスの SDA が "H" であることを指します。</p>
bit11	CNDE : 条件検出 割込み許可 ビット	マスタモードまたはスレーブモード時 (ACT=1), ストップ条件または反復スタート条件が検出された場合, 割込みの発生を許可するビットです。IBSR レジスタの RSC または SPC ビットが "1" で本ビットが "1" のときに割込みが発生します。
bit10	INTE : 割込み許可 ビット	マスタモードまたはスレーブモード時, データ送受信およびバスエラーに対する割込み (INT=1) を許可するビットです。

表 15.21-2 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (4 / 5)

ビット名	機能
bit9 BER: バスエラー 検出ビット	<p>本ビットは I²C バス上でエラーを検出したことを示します。</p> <p>BER ビットのセット条件：</p> <ul style="list-style-type: none"> • 第一バイト * 転送中にスタート条件またはストップ条件を検出 • 第二バイト以降，データの 2 ビット～ 9(アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出 <p>BER ビットのリセット条件：</p> <ul style="list-style-type: none"> • BER=1 のときに INT ビットへ "0" 書込みした場合 • I²C インタフェースの禁止 (EN=0) の場合 <p>*: 第一バイト：(反復) スタート条件後のデータを指します。 (注意事項) 割込みフラグ (INT ビット) が "1" になったときにこのビットを確認し，"1" になっていると正常に送受信ができていないので再送などの処理を行ってください。</p>

表 15.21-2 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (5 / 5)

ビット名	機能
bit8 INT : 割込み フラグビット	<p>本ビットはマスタモード、スレーブモード時、データ送受信の 8 ビット、9 ビット (ACK) 後、もしくはバスエラー時にこのフラグを "1" にセットします。バスエラー時以外は、INT ビットが "1" になると SCL を "L" にし、INT ビットが "0" になると SCL の "L" の状態を解除します。</p> <p>INT ビットのセット条件：</p> <p>< 8 ビット目 ></p> <ul style="list-style-type: none"> ・ 第一バイトで予約アドレスを検出した場合 ・ WSEL が "1", 第二バイト以降でアービトレーションロストを検出した場合 ・ WSEL が "1", マスタ動作中、第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL が "1", スレーブ動作中、受信 FIFO 禁止、第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL が "1", スレーブ送信中、第二バイト以降で TDRE ビットが "1" の場合 <p>< 9 ビット目 ></p> <ul style="list-style-type: none"> ・ 第一バイトでアービトレーションロストを検出した場合 ・ ストップ条件出力設定 (マスタ動作中の MSS ビットへの "0" 書込み) 時以外に NACK を受信した場合 ・ 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの送信方向 (TRX=1) で TDRE ビットが "1" の場合 ・ 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向 (TRX=0) で受信 FIFO 許可時に受信 FIFO にデータがある場合 ・ 第一バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向 (TRX=0) で受信 FIFO 禁止時に TDRE ビットが "1" の場合 ・ WSEL=0 設定時、第二バイト以降でアービトレーションロストを検出した場合 ・ WSEL=0 設定時、マスタモード動作中に第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL=0 設定時、スレーブ送信中に第二バイト以降で TDRE ビットが "1" の場合 ・ WSEL=0 設定時、受信 FIFO 禁止でスレーブ受信の場合。ただし、予約アドレスを検出した第一バイトでのスレーブ受信では 9 ビット目では割込みは発生しません。 ・ 受信 FIFO 許可、スレーブ受信のときに受信 FIFO がフルになった場合 <p>< その他 ></p> <p>バスエラー検出</p> <p>INT ビットのリセット条件：</p> <ul style="list-style-type: none"> ・ INT ビットへの "0" 書込み ・ INT ビットが "1", ACT ビットが "1" のときに MSS ビットへの "0" 書込み ・ INT ビットが "1", ACT ビットが "1" のときに SCC ビットへの "1" 書込み <p>INT ビットへの "1" 書込みは無効です。</p> <p>(注意事項) EN ビットを "0" にした場合、受信タイミングによっては RDRF ビットと INT ビットが "1" になることがあります。この場合、受信データを読み出し、INT ビットをクリアしてください。</p> <p>リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。</p> <p>受信 FIFO 許可時、マスタ受信動作で受信 FIFO がフルになっても INT ビットには "1" がセットされません。</p>

15.21.2 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、動作モードの設定、送受信割込みの許可 / 禁止の設定を行います。

■ シリアルモードレジスタ (SMR)

図 15.21-3 にシリアルモードレジスタ (SMR) のビット構成を、表 15.21-3 に各ビットの機能を示します。

図 15.21-3 シリアルモードレジスタ (SMR) のビット構成

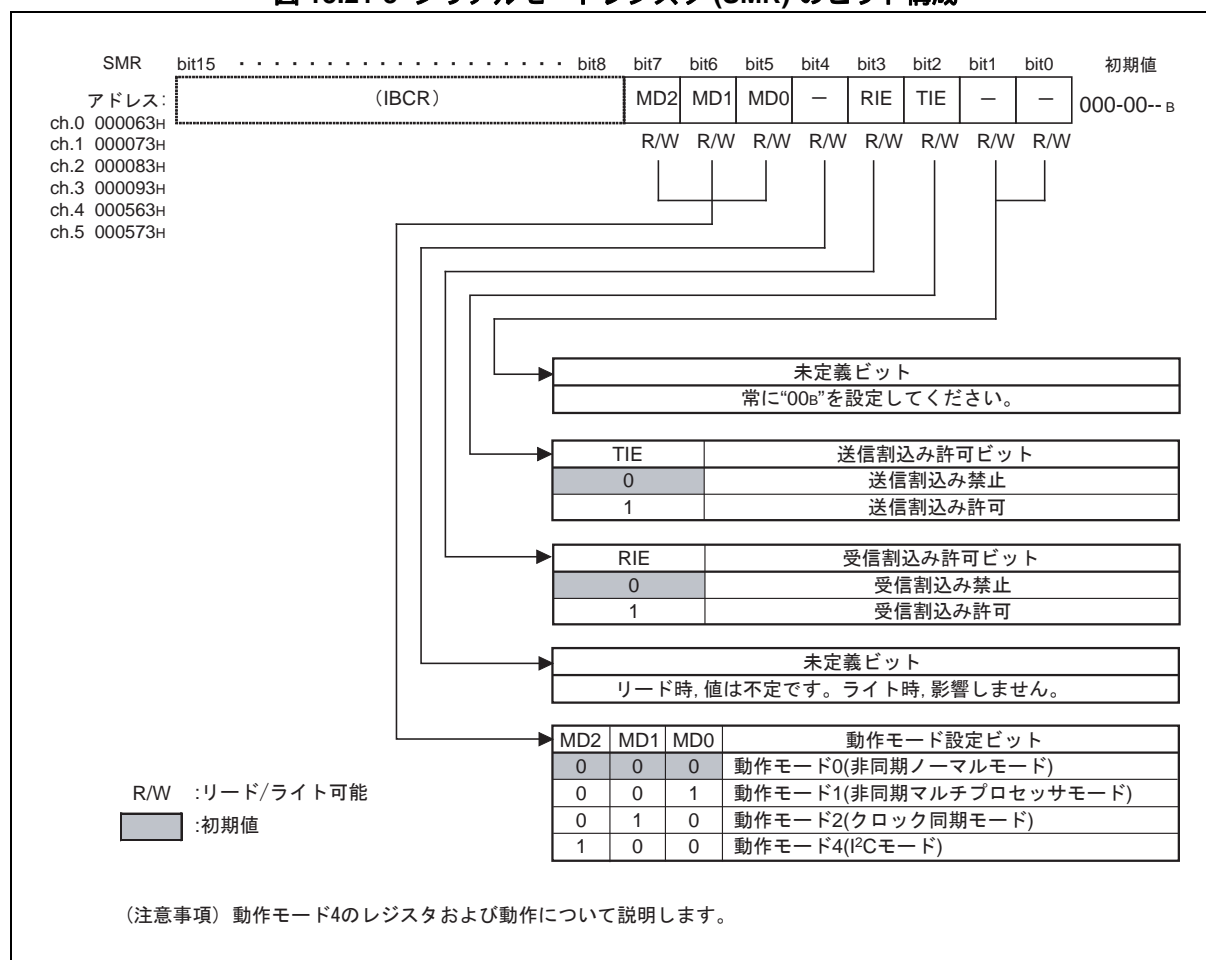


表 15.21-3 シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能
bit7 ~ bit5	MD2, MD1, MD0 : 動作モード 設定ビット	<p>動作モードを設定します。</p> <p>"000_B" : 動作モード 0(非同期ノーマルモード) に設定されます。</p> <p>"001_B" : 動作モード 1(非同期マルチプロセッサモード) に設定されます。</p> <p>"010_B" : 動作モード 2(クロック同期モード) に設定されます。</p> <p>"100_B" : 動作モード 4(I²C モード) に設定されます。</p> <p>動作モード 4(I²C モード) のレジスタおよび動作について説明します。</p> <p>(注意事項) 上記の設定以外は禁止です。</p> <p>動作モードを切り換える場合は、I²C 禁止 (ISMK:EN=0) 後、動作モードを切り換えてください。</p> <p>動作モード設定後、各レジスタを設定してください。</p>
bit4	未定義 ビット	<p>リードした場合：値は不定です。</p> <p>ライトした場合：影響しません。</p>
bit3	RIE : 受信割込み 許可ビット	<ul style="list-style-type: none"> • CPU への受信割込み要求出力を許可 / 禁止するビットです。 • RIE ビットと受信データフラグビット (RDRF) が "1" の場合、またはエラーフラグビット (ORE) のいずれかが "1" の場合、受信割込み要求を出力します。 <p>(注意事項) I²C バス制御レジスタ (IBCR) の INT ビットを使用してデータを受信する場合、本ビットを "0" にしてください。</p>
bit2	TIE : 送信割込み 許可ビット	<ul style="list-style-type: none"> • CPU への送信割込み要求出力を許可 / 禁止するビットです。 • TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。 <p>(注意事項) I²C バス制御レジスタ (IBCR) の INT ビットを使用してデータを送信する場合、本ビットを "0" にしてください。</p>
bit1, bit0	未定義 ビット	本ビットには、必ず "00 _B " を設定してください。

< 注意事項 >

動作モードを変更すると、ほかのレジスタが初期化されるので動作モードは最初に設定してください。ただし、16 ビット書込みで IBCR と SMR を同時に書き込んだとき、IBCR には書き込んだ内容が反映されます。

15.21.3 I²C バスステータスレジスタ (IBSR)

I²C バスステータスレジスタ (IBSR) は、反復スタート、アクノリッジ、データ方向、アービトレーションロスト、ストップ条件、I²C バス状態、バスエラーを検出したことを示します。

■ I²C バスステータスレジスタ (IBSR)

図 15.21-4 に I²C バスステータスレジスタ (IBSR) のビット構成を、表 15.21-4 に各ビットの機能を示します。

図 15.21-4 I²C バスステータスレジスタ (IBSR) のビット構成

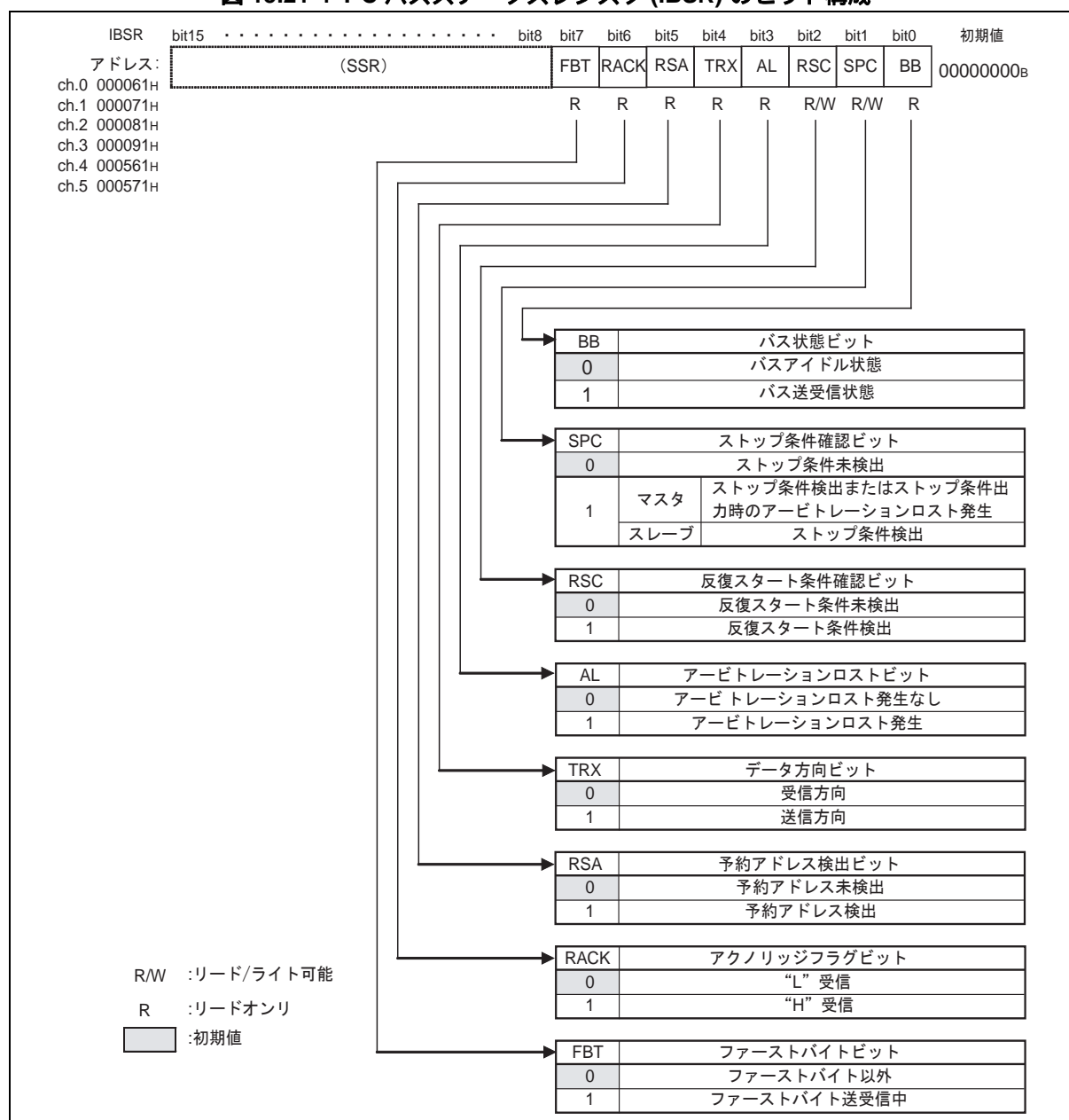


表 15.21-4 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 (1 / 3)

ビット名		機能
bit7	FBT: ファースト バイトビット	<p>第一バイトを示すビットです。 FBT ビットのセット条件： （反復）スタート条件を検出した場合 FBT ビットのクリア条件： <ul style="list-style-type: none"> • 2 バイト目の送受信 • ストップ条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1) </p>
bit6	RACK： アクノリッジ フラグビット	<p>第一バイト、マスタモード時またはスレーブモード時に受信したアクノリッジをこのビットに示します。 RACK ビットの更新条件 <ul style="list-style-type: none"> • ファーストバイト時のアクノリッジ • マスタモードまたはスレーブモード時のデータのアクノリッジ RACK ビットのクリア条件 (RACK ビット =0) <ul style="list-style-type: none"> • (反復) スタート条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1) </p>
bit5	RSA： 予約アドレス 検出ビット	<p>本ビットは予約アドレスを検出したことを示すビットです。 RSA ビットのセット条件 (RSA=1) 一バイト目が (0000XXXX_B) または (1111XXXX_B)。"X" は "0" または "1" を示します。 RSA ビットのリセット条件 (RSA=0) <ul style="list-style-type: none"> • (反復) スタート条件検出 • ストップ条件検出 • I²C インタフェースの禁止 (EN ビット =0) • バスエラー検出 (BER ビット =1) 第一バイトで RSA ビットが "1" になると、その一バイトの 8 ビット目の SCL の立下りで、FIFO 許可、禁止に関係なく割込みフラグ (INT) を "1" にして SCL を "L" にします。このとき、受信データを読み出し、スレーブとして動作させる場合には ACKE を "1" に設定し、割込みフラグ (INT) を "0" にクリアします。その後、TRX ビットが "0" であれば、スレーブとしてデータを受信します。途中でデータを受信させない場合には ACKE ビットを "0" にします。それ以降、データを受信しません。 (注意事項) データ転送中に ACKE を "0" にした場合には、ストップ条件または反復スタート条件を検出するまで ACKE を "1" にすることは禁止です。 予約アドレス検出による割込み時、スレーブ送信を確認した場合、受信 FIFO が許可になっていると ACK 応答しますので受信 FIFO を禁止にし、ACKE=0 にしてください。 </p>

表 15.21-4 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 (2 / 3)

ビット名		機能
bit4	TRX: データ方向 ビット	<p>本ビットはデータの方向を示すビットです。</p> <p>TRX ビットのセット条件：</p> <ul style="list-style-type: none"> ・ マスタモードで (反復) スタート条件を送信 ・ スレーブモードで一バイトの 8 ビット目が "1" の場合 (スレーブとして送信方向) <p>TRX ビットのリセット条件：</p> <ul style="list-style-type: none"> ・ アービトレーションロスト発生 (AL=1) ・ スレーブモードでファーストバイトの 8 ビット目が "0" の場合 (スレーブとして受信方向) ・ マスタモードでファーストバイトの 8 ビット目が "1" の場合 (マスタとして受信方向) ・ ストップ条件検出 ・ マスタモード以外で (反復) スタート条件検出 ・ I²C インタフェースの禁止 (EN ビット =0) ・ バスエラー検出 (BER ビット =1)
bit3	AL: アービトレー ションロスト ビット	<p>本ビットはアービトレーションロストを示します。</p> <p>AL ビットのセット条件：</p> <ul style="list-style-type: none"> ・ マスタモード時, 出力しているデータと受信したデータが異なる場合 ・ MSS ビットに "1" を設定したが, スレーブとして動作している場合 ・ マスタモード時, ニバイト目以降のデータの 1 ビット目で反復スタート条件を検出した場合 ・ マスタモード時, ニバイト目以降のデータの 1 ビット目でストップ条件を検出した場合 ・ マスタモード時, 反復スタート条件を発生させようとして発生できない場合 ・ マスタモード時, ストップ条件を発生させようとして発生できない場合 <p>AL ビットのリセット条件：</p> <ul style="list-style-type: none"> ・ MSS ビットへの "1" 書込み ・ INT ビットへの "0" 書込み ・ AL ビット =1, SPC ビット =1 のときに SPC ビットへの "0" 書込み ・ I²C インタフェースの禁止 (EN ビット =0) ・ バスエラー検出 (BER ビット =1)

表 15.21-4 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明 (3 / 3)

ビット名		機能
bit2	RSC : 反復スタート 条件確認 ビット	<p>マスタモードまたはスレーブモード時に反復スタート条件を検出したことを示すビットです。</p> <p>RSC ビットのセット条件 :</p> <p>スレーブモードまたはマスタモードで動作中にアクノリッジ後、反復スタート条件が検出された場合</p> <p>RSC ビットのリセット条件 :</p> <p>(1) RSC ビットへの "0" 書込み (2) MSS ビットへの "1" 書込み (3) I²C インタフェースの禁止 (EN ビット =0)</p> <p>本ビットへの "1" 書込みは無効となります。</p> <p>(注意事項) 予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次に反復スタート条件を検出しても本ビットに "1" はセットされません。</p> <p>リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。</p>
bit1	SPC : ストップ条件 確認ビット	<p>マスタモードまたはスレーブモード時にストップ条件を検出したことを示すビットです。</p> <p>SPC ビットのセット条件 :</p> <p>(1) スレーブモードまたはマスタモードで動作中にストップ条件が検出された場合 (2) マスタモード時、ストップ条件発生動作でアービトレーションロストが発生した場合</p> <p>SPC ビットのリセット条件 :</p> <p>(1) 本ビットへの "0" 書込み (2) MSS ビットへの "1" 書込み (3) I²C インタフェースの禁止 (EN ビット =0)</p> <p>本ビットへの "1" 書込みは無効です。</p> <p>(注意事項) 予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次にストップ条件を検出しても本ビットに "1" はセットされません。</p> <p>リードモディファイライト (RMW) 系命令のリード時には "1" が読み出されます。</p>
bit0	BB: バス状態 ビット	<p>本ビットはバスの状態を示します。</p> <p>BB ビットのセット条件 :</p> <p>I²C バスの SDA または SCL で "L" を検出した場合</p> <p>BB ビットのリセット条件 :</p> <p>(1) ストップ条件を検出した場合 (2) I²C インタフェースの禁止 (EN ビット =0) (3) バスエラー検出 (BER ビット =1)</p>

15.21.4 シリアルステータスレジスタ (SSR)

シリアルステータスレジスタ (SSR) は、送受信状態の確認を行います。

■ シリアルステータスレジスタ (SSR)

図 15.21-5 にシリアルステータスレジスタ (SSR) のビット構成を、表 15.21-5 に各ビットの機能を示します。

図 15.21-5 シリアルステータスレジスタ (SSR) のビット構成

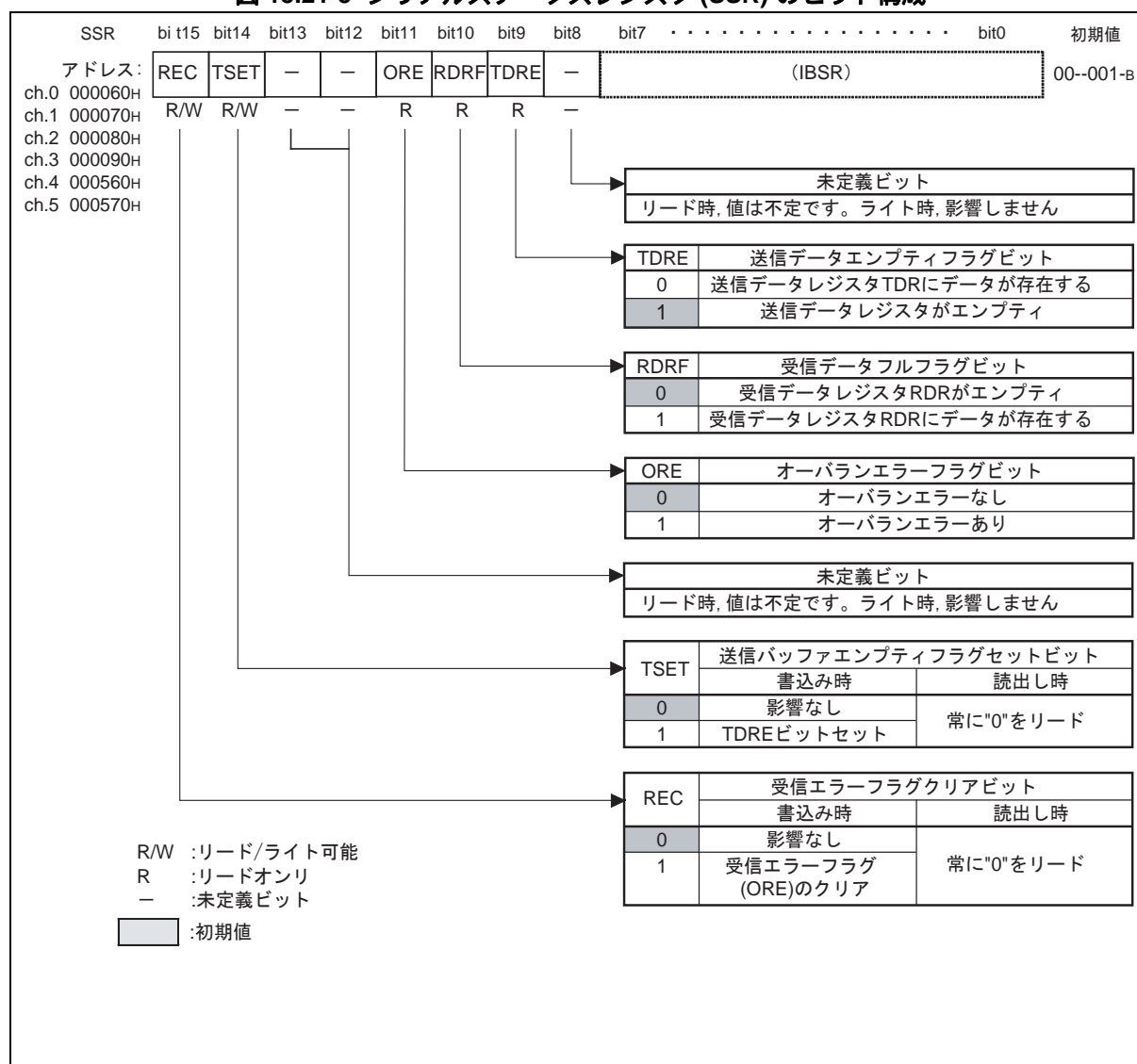


表 15.21-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	REC : 受信エラー フラグクリア ビット	シリアルステータスレジスタ (SSR) の ORE ビットをクリアするビットです。 <ul style="list-style-type: none"> • "1" 書込みで, ORE ビットがクリアされます。 • "0" 書込みは, 影響しません。 リードした場合, 常に "0" が読み出されます。
bit14	TSET : 送信バッファ エンプティ フラグセット ビット	シリアルステータスレジスタ (SSR) の TDRE ビットをセットするビットです。 <ul style="list-style-type: none"> • "1" 書込みで, TDRE ビットがセットされます。 • "0" 書込みは, 影響しません。 リードした場合, 常に "0" が読み出されます。
bit13, bit12	未定義ビット	リードした場合 : 値は不定です。 ライトした場合 : 影響しません。
bit11	ORE : オーバラン エラー フラグビット	<ul style="list-style-type: none"> • 受信時にオーバランが発生すると "1" にセットされ, シリアルステータスレジスタ (SSR) の REC ビットに "1" を書き込むとクリアされます。 • ORE ビットと RIE ビットが "1" の場合, 受信割込み要求を出力します。 • 本フラグがセットされた場合, 受信データレジスタ (RDR) は無効です。 • 受信 FIFO 使用時, 本フラグがセットされた場合には受信データは受信 FIFO には格納されません。

表 15.21-5 シリアルステータスレジスタ (SSR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit10	RDRF : 受信データ フルフラグ ビット	<ul style="list-style-type: none"> 受信データレジスタ (RDR) の状態を示すフラグです。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、受信割込み要求を出力します。 RDR に受信データがロードされると "1" にセットされ、受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 データの 8 ビット目の SCL 立下りタイミングでセットされます。 NACK 応答でもセットされます。 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1" にセットされます。 受信 FIFO 使用時は、受信 FIFO がエンプティになると "0" にクリアされます。 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っていて受信アイドル状態が受信ポーレートクロックで 8 クロック以上続き、BER ビットが "0" のとき RDRF が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。 <p>(注意事項)</p> <p>NACK 応答：アクノリッジ期間、I²C バスの SDA が "H" であることを指します。</p>
bit9	TDRE : 送信データ エンプティ フラグビット	<ul style="list-style-type: none"> 送信データレジスタ (TDR) の状態を示すフラグです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。 TDR に送信データを書き込むと "0" となり、TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" となり、TDR に有効なデータが存在していないことを示します。 シリアルステータスレジスタ (SSR) の TSET ビットに "1" を書き込むとセットされます。アービトレーションロスト、バスエラーなどを検出した場合、TDRE ビットを "1" にセットしたいときに使用します。
bit8	未定義ビット	<p>リードした場合 : 値は不定です。</p> <p>ライトした場合 : 影響しません。</p>

15.21.5 受信データレジスタ / 送信データレジスタ (RDR/TDR)

受信データレジスタと送信データレジスタは同一アドレスに配置されています。読み出した場合は受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。

■ 受信データレジスタ (RDR)

図 15.21-6 にシリアル受信レジスタ (RDR) のビット構成を示します。

図 15.21-6 受信データレジスタ (RDR) のビット構成

RDR		bit15.....	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス				D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
ch.0 000067 _H												
ch.1 000077 _H												
ch.2 000087 _H												
ch.3 000097 _H												
ch.4 000567 _H												
ch.5 000577 _H												
R : リードオンリ		I ² C モード時, bit8 は未使用										

受信データレジスタ (RDR) は、シリアルデータ受信用のデータバッファレジスタです。

- シリアルデータライン (SDA 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ (RDR) に格納されます。
- 第一バイト^{*}を受信した場合、最下位ビット (RDR:D0) がデータ方向ビットとなります。
- 受信データが受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR : RDRF) が "1" にセットされます。
- 受信データフルフラグビット (SSR : RDRF) は、受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。

* : (反復) スタート条件後のデータを指します。

< 注意事項 >

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信すると RDRF が "1" にセットされます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が "0" にクリアされます。

■ 送信データレジスタ (TDR)

図 15.21-7 に送信データレジスタのビット構成を示します。

図 15.21-7 送信データレジスタ (TDR) のビット構成

TDR		bit15.....	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス				D7	D6	D5	D4	D3	D2	D1	D0	11111111 _B
ch.0 000067 _H												
ch.1 000077 _H												
ch.2 000087 _H												
ch.3 000097 _H												
ch.4 000567 _H												
ch.5 000577 _H												

W : ライトオンリ

送信データレジスタ (TDR) は、シリアルデータ送信用のデータバッファレジスタです。

- 送信データレジスタ (TDR) の値の MSB ファーストでシリアルデータライン (SDA 端子) に出力します。
- 第一バイトを送信する場合、最下位ビット (TDR:D0) がデータ方向ビットになります。
- 送信データエンプティフラグ (SSR : TDRE) は、送信データが送信データレジスタ (TDR) に書き込まれると "0" にクリアされます。
- 送信データエンプティフラグ (SSR : TDRE) は、送信用シフトレジスタへ転送されると "1" にセットされます。
- 次の送信データの書込みは、以下の条件のときに行ってください。
 - 割込みフラグ (INT ビット) が "1"
 - バスエラーが発生していない (BER ビット = 0)
 - アクノリッジが ACK 応答 (アクノリッジとして "0" 受信)
- 送信 FIFO 禁止時、データエンプティフラグ (SSR : TDRE) が "0" のときは送信データレジスタ (TDR) に送信データを書き込むことはできません。
- 送信 FIFO 使用時、データエンプティフラグ (SSR:TDRE) が "0" であっても送信 FIFO の容量まで送信データを書き込むことが可能です。

< 注意事項 >

送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため、書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。

15.21.6 7 ビットスレーブアドレスマスクレジスタ (ISMK)

7 ビットスレーブアドレスマスクレジスタ (ISMK) は、スレーブアドレスの各ビットの比較をするか設定するレジスタです。

■ 7 ビットスレーブアドレスマスクレジスタ (ISMK)

図 15.21-8 に7ビットスレーブアドレスレジスタ (ISMK) のビット構成を、表 15.21-6 に各ビットの機能を示します。

図 15.21-8 7 ビットスレーブマスクレジスタ (ISMK) のビット構成

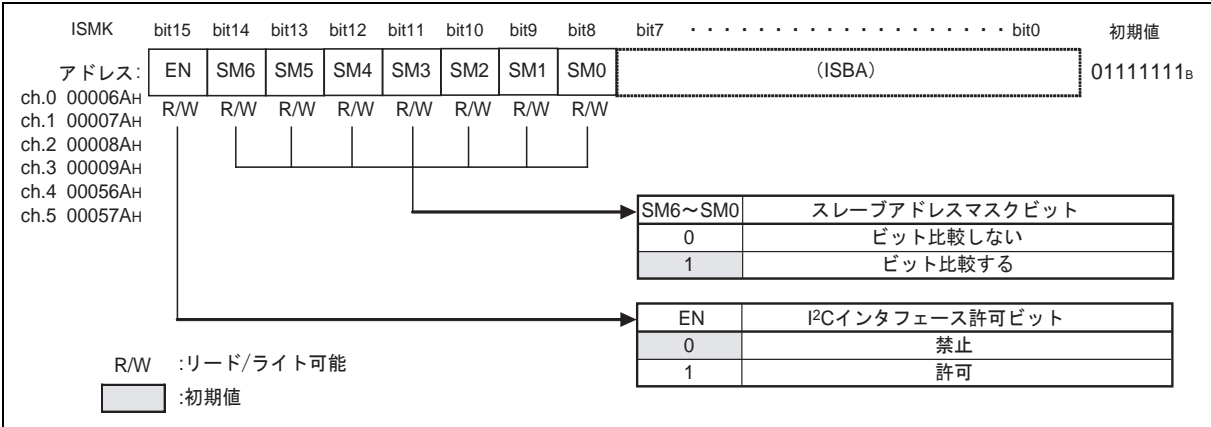


表 15.21-6 7 ビットスレーブマスクレジスタ (ISMK) の各ビットの機能説明

ビット名		機能
bit15	EN : I ² C インタ フェース 許可ビット	I ² C インタフェースの動作を許可 / 禁止するビットです。 "0" に設定した場合：I ² C インタフェースは動作禁止状態になります。 "1" に設定した場合：I ² C インタフェースが動作可能となります。 (注意事項) IBSR レジスタの BER ビットが "1" にセットされても、 本ビットは "0" にクリアされません。 本ビットが "0" のときにボーレートジェネレータを設定 してください。 本ビットが "0" のときに 7 ビットスレーブアドレスおよ び 7 ビットスレーブマスクレジスタを設定してくださ い。 送信中に EN ビットを "0" にすると I ² C バスの SDA/ SCL にパルスが発生することがあります。 FIFO 許可の場合、FIFO を禁止にして EN ビットに "0" を書いてください。
bit14 ~ bit8	SM6 ~ SM0 : スレーブ アドレス マスクビット	7 ビットスレーブアドレスと受信したアドレスに対し、比較対象外に するかどうかを設定するビットです。 "1" を設定したビット：比較する "0" を設定したビット：一致したものとして処理する (注意事項) EN ビットが "0" のときに本レジスタを設定してくださ い。

15.21.7 7 ビットスレーブアドレスレジスタ (ISBA)

7 ビットスレーブアドレスレジスタ (ISBA) は、スレーブアドレスを設定するレジスタです。

■ 7 ビットスレーブアドレスレジスタ (ISBA)

図 15.21-9 に 7 ビットスレーブアドレスレジスタ (ISBA) のビット構成を、表 15.21-7 に各ビットの機能を示します。

図 15.21-9 7 ビットスレーブアドレスレジスタ (ISBA) のビット構成

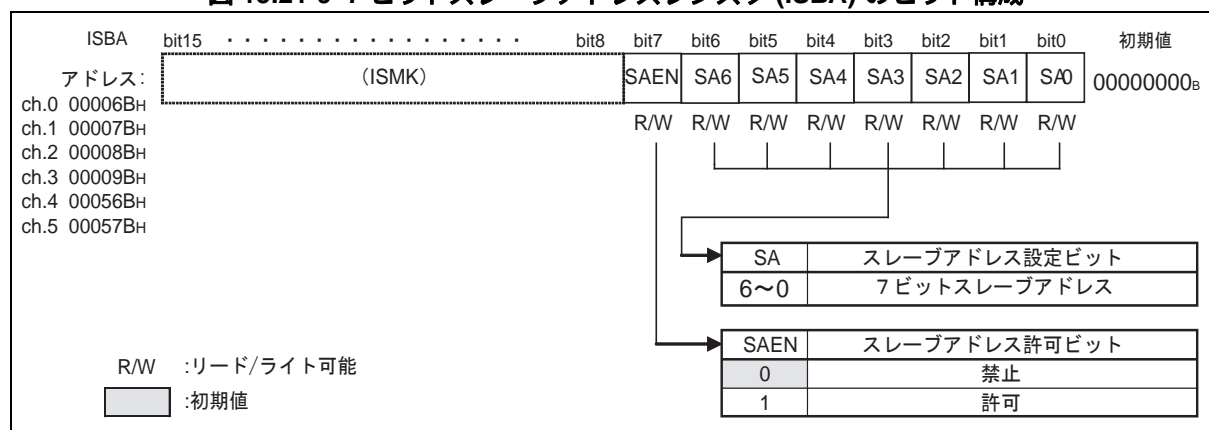


表 15.21-7 7 ビットスレーブアドレスレジスタ (ISBA) の各ビットの機能説明

ビット名		機能
bit7	SAEN : スレーブ アドレス 許可ビット	スレーブアドレスの検出許可ビットです。 "0" を設定した場合：スレーブアドレスを検出しません。 "1" を設定した場合：ISBA, ISMK の設定と受信した第一バイトと比較を行います。
bit6 ~ bit0	SA6 ~ SA0 : スレーブ アドレス	7 ビットスレーブアドレスレジスタ (ISBA) は、スレーブアドレス検出が許可 (SAEN=1) されていると、(反復) スタート条件検出後に受信した 7 ビットのデータが本レジスタと比較し、全ビットが一致するとスレーブモードとして動作し、ACK を出力します。そのとき、受信したスレーブアドレスは本レジスタにセットされます (SAEN=0 の場合は、ACK を出力しません)。 ISMK レジスタに "0" を設定したアドレスビットは比較対象外となります。 (注意事項) 予約アドレスの設定は禁止です。 本レジスタは ISMK レジスタの EN ビットが "0" のときに設定してください。

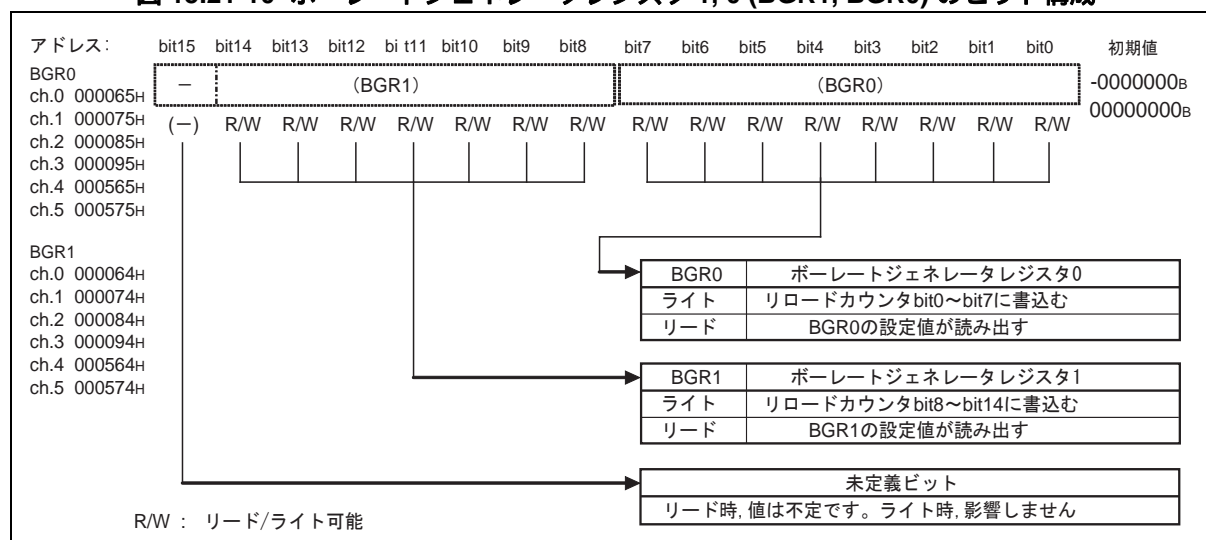
15.21.8 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は、シリアルクロックの分周比を設定します。

■ ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 15.21-10 にボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 15.21-10 ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。

BGR1 は上位ビット, BGR0 は下位ビットに対応し, カウントするリロード値の書込み, BGR1/BGR0 の設定値の読み出しが可能です。

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むとリロードカウンタはカウントを開始します。

< 注意事項 >

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは、16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが "0" のときにボーレートジェネレータレジスタの設定を行ってください。
- マスタモード, スレーブモードに関係なくボーレートを設定してください。
- 動作モード 4(I²C モード) では周辺クロック (CLKP) は 8 MHz 以上で使用し, 400kbps を超えるボーレートジェネレータの設定は禁止です。

15.21.9 FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ (FCR1) は、FIFO のテスト設定、送受信 FIFO の選択、送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

■ FIFO 制御レジスタ 1(FCR1) のビット構成

図 15.21-11 に FIFO 制御レジスタ 1 (FCR1) のビット構成を、表 15.21-8 に各ビットの機能を示します。

図 15.21-11 FIFO 制御レジスタ 1(FCR1) のビット構成

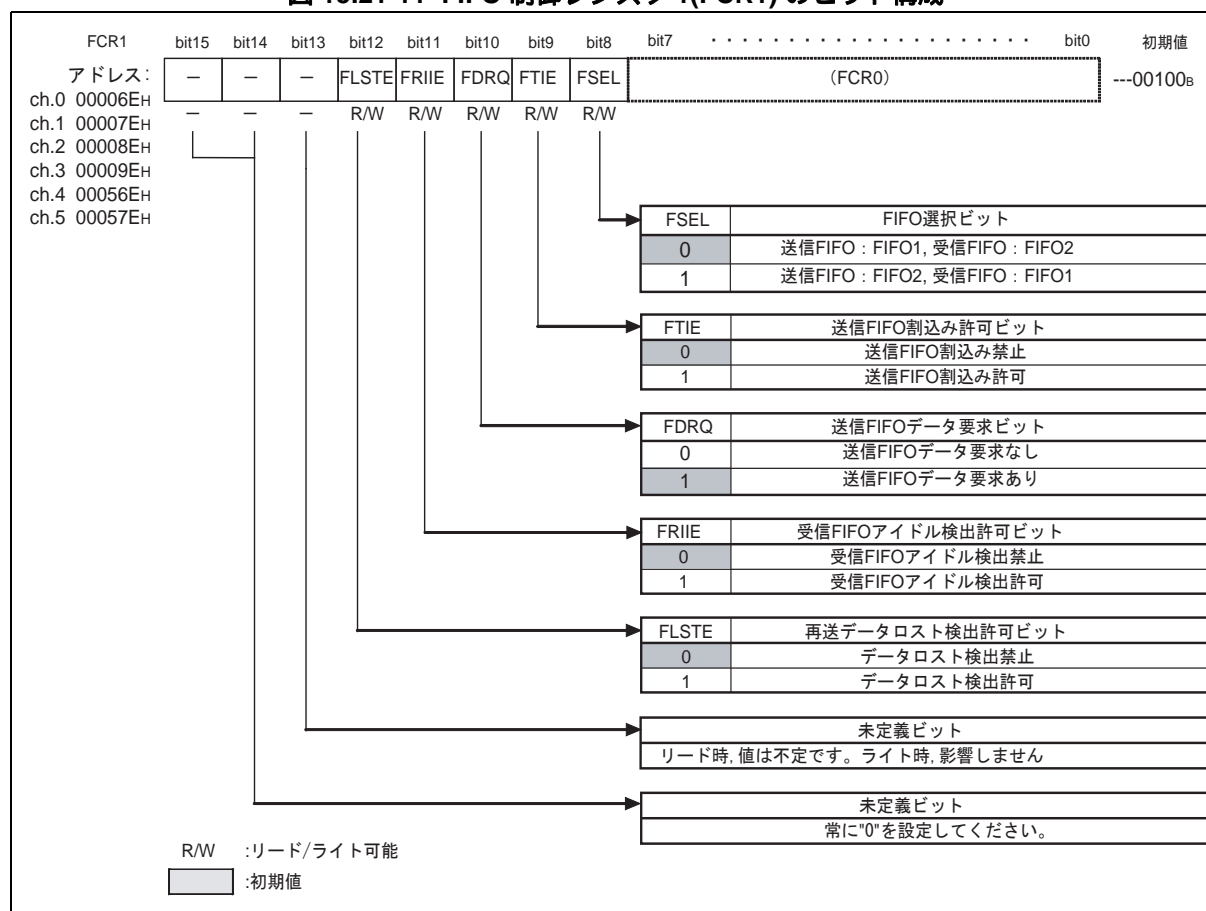


表 15.21-8 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15, bit14	未定義ビット	常に "0" を書き込んでください。
bit13	未定義ビット	リードした場合：値は不定です。 ライトした場合：影響しません。
bit12	FLSTE： 再送データ ロスト検出 許可ビット	FLST ビット検出を許可するビットです。 "0" に設定した場合：FLST ビット検出禁止 "1" に設定した場合：FLST ビット検出許可 (注意事項) 本ビットに "1" を設定する場合、FSET ビットに "1" を 設定してから本ビットに "1" を設定してください。
bit11	FRIIE: 受信 FIFO アイドル検出 許可ビット	受信 FIFO に有効なデータが存在した状態で 8 ビットタイマ以上の受 信アイドル状態を検出するかどうかを設定するビットです。受信割込 みが許可 (SMR:RIE=1) されているときに受信アイドル状態が検出さ れると受信割込みが発生します。 "0" に設定した場合：受信アイドル状態検出禁止 "1" に設定した場合：受信アイドル状態検出許可
bit10	FDRQ： 送信 FIFO データ 要求ビット	送信 FIFO のデータ要求ビットです。 本ビットが "1" のとき、送信データを要求していることを示します。 このとき、送信割込みが許可 (FTIE=1) されていると送信 FIFO 割込み 要求が出力されます。 FDRQ セット条件 <ul style="list-style-type: none"> • FBYTE(送信用)=0 (送信 FIFO がエンプティ) • 送信 FIFO のリセット FDRQ リセット条件 <ul style="list-style-type: none"> • 本ビットへの "0" 書込み • 送信 FIFO が Full になった場合 (注意事項) FBYTE(送信用)=0 のときに本ビットへの "0" 書込みは 禁止です。 本ビットが "0" のときに FSEL ビットの変更は禁止で す。 本ビットに "1" を設定した場合、動作に影響を与えませ ん。 リードモディファイライト (RMW) 系命令時には、"1" が読み出されます。
bit9	FTIE： 送信 FIFO 割込み許可 ビット	送信 FIFO の割込み許可ビットです。本ビットに "1" を設定すると FDRQ ビットが "1" のときに割込みが発生します。

表 15.21-8 FIFO 制御レジスタ 1(FCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit8	FSEL : FIFO 選択 ビット	送受信 FIFO を選択するビットです。 "0" に設定した場合：送信 FIFO：FIFO1, 受信 FIFO：FIFO2 に割り当てられます。 "1" に設定した場合：送信 FIFO：FIFO2, 受信 FIFO：FIFO1 に割り当てられます。 (注意事項) 本ビットは, FIFO リセット (FCL2, FCL1=1) ではクリアされません。 本ビットを変更する場合は, FIFO 動作禁止 (FE2, FE1=0) および I ² C インタフェース動作禁止 (ISMK:EN=0) にしてから行ってください。

15.21.10 FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0) は, FIFO 動作の許可 / 禁止, FIFO リセット, リードポインタの保存, 再送信設定を行います。

■ FIFO 制御レジスタ 0(FCR0) のビット構成

図 15.21-12 に FIFO 制御レジスタ 0 (FCR0) のビット構成を, 表 15.21-9 に各ビットの機能を示します。

図 15.21-12 FIFO 制御レジスタ 0(FCR0) のビット構成

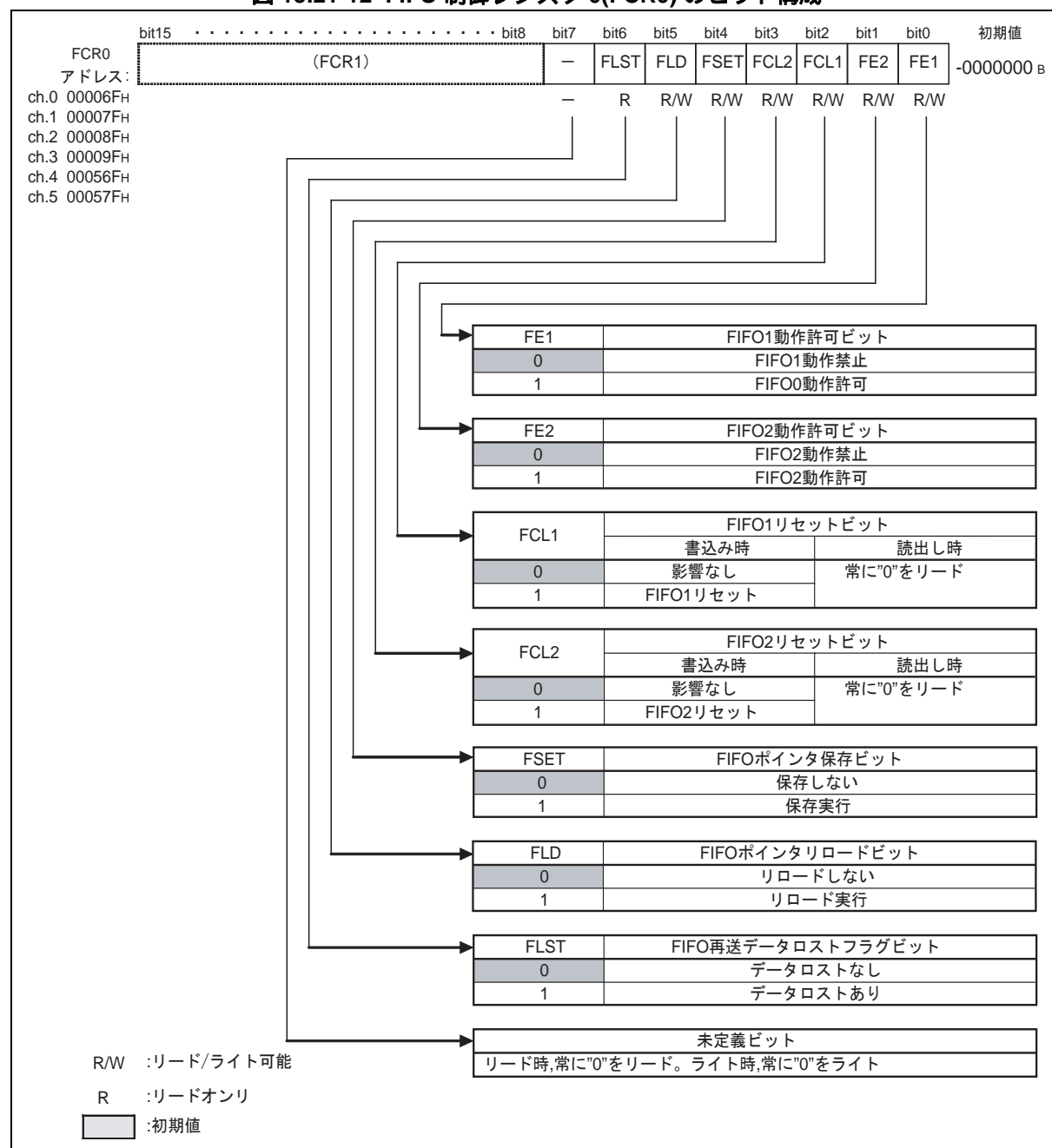


表 15.21-9 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (1 / 3)

ビット名		機能
bit7	未定義ビット	リードした場合：常に "0" が読み出されます。 ライトした場合：常に "0" を書いてください。
bit6	FLST : FIFO 再送 データロス フラグビット	送信 FIFO の再送データが失われたことを示すビットです。 FLST セット条件 FIFO 制御レジスタ 1(FCR1) の FLSTE ビットが "1" で送信 FIFO のライトポイントと FSET ビットによって保存したリードポイントが一致しているときに FIFO へ書き込んだ場合 FLST リセット条件 <ul style="list-style-type: none"> • FIFO リセット (FCL への "1" 書込み) • FSET ビットへの "1" 書込み 本ビットに "1" が設定されると FSET ビットで保存したリードポイントが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによって再送の設定ができません。本ビットに "1" が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。
bit5	FLD : FIFO ポイント リロード ビット	送信 FIFO に FSET ビットによって保存したデータをリードポイントにリロードするビットです。本ビットは通信エラーなどが発生し再送するときに使用します。 再送設定が完了した場合、本ビットは "0" になります。 (注意事項) 本ビットが "1" にセットされている間、リードポイントへのリロード中なので FIFO リセット以外の書込みは行わないでください。 FIFO 許可状態または送信中、本ビットに "1" を設定することは禁止です。 TIE ビットを "0" にしてから本ビットに "1" を書き込み、送信 FIFO 許可後、TIE ビットを "1" にしてください。
bit4	FSET : FIFO ポイント 保存ビット	送信 FIFO のリードポイントを保存するビットです。 送信前にリードポイントを保存すると、通信エラーなどが発生した場合、FLST ビットが "0" であれば再送可能となります。 "1" に設定した場合：現在のリードポイントの値を保存します。 "0" に設定した場合：影響しません。 (注意事項) 送信バイト数 (FBYTE1/FBYTE2) が "0" を示しているときに本ビットを "1" に設定してください。
bit3	FCL2 : FIFO2 リセット ビット	FIFO2 をリセットするビットです。 本ビットを "1" に設定すると、FIFO2 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) FIFO2 を禁止してから、FIFO2 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE2 レジスタの有効データ数は "0" になります。

表 15.21-9 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (2 / 3)

ビット名		機能
bit2	FCL1 : FIFO1 リセット ビット	<p>FIFO1 をリセットするビットです。 本ビットを "1" に設定すると、FIFO1 の内部状態を初期化します。 FCR0:FLST ビットのみ初期化され、FCR1/FCR0 レジスタのほかのビットは保持されます。 (注意事項) FIFO1 を禁止してから、FIFO1 リセットを実行してください。 送信 FIFO 割込み許可ビットを "0" にしてから実行してください。 FBYTE1 レジスタの有効データ数は "0" になります。</p>
bit1	FE2 : FIFO2 動作 許可ビット	<p>FIFO2 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO2 を使用する場合、本ビットに "1" を設定してください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信データがエンプティ (TDRE=1)、受信 FIFO で使用する場合には受信データがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO2 を禁止にしても FIFO2 の状態は保持されます。 <p>(注意事項) BB ビットが "0" または INT ビットが "1" のときに許可 / 禁止の変更を行ってください。 受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを "0" にし、ACKE=0 にしてください。 受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR の RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。 送信 FIFO として使用していて FIFO2 にデータが存在し、本ビットを "0" から "1" に変更する場合、FIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットを "1" にしてください。</p>

表 15.21-9 FIFO 制御レジスタ 0(FCR0) の各ビットの機能説明 (3 / 3)

ビット名		機能
bit0	FE1 : FIFO1 動作 許可ビット	<p>FIFO1 の動作を許可 / 禁止するビットです。</p> <ul style="list-style-type: none"> • FIFO1 を使用する場合、本ビットに "1" を設定してください。 • FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生すると本ビットは "0" にクリアされ、受信エラーがクリアされない限り、本ビットに "1" を設定することはできません。 • 送信 FIFO で使用する場合には送信データがエンプティ (TDRE=1)、受信 FIFO で使用する場合には受信データがエンプティ (RDRF=0) のときに本ビットに "1" または "0" を設定してください。 • FIFO1 を禁止にしても FIFO1 の状態は保持されます。 <p>(注意事項) BB ビットが "0" または INT ビットが "1" のときに許可 / 禁止の変更を行ってください。 受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを "0" にし、ACKE=0 にしてください。 受信 FIFO として使用していて本ビットを "1" から "0" に変更したときに SSR の RDRF ビットが "1" になっていると "0" になるまで受信 FIFO は禁止になりません。 送信 FIFO として使用していて FIFO1 にデータが存在し、本ビットを "0" から "1" に変更する場合、FIE ビットを "0" にしてから本ビットに "1" を書き込み、TIE ビットを "1" にしてください。</p>

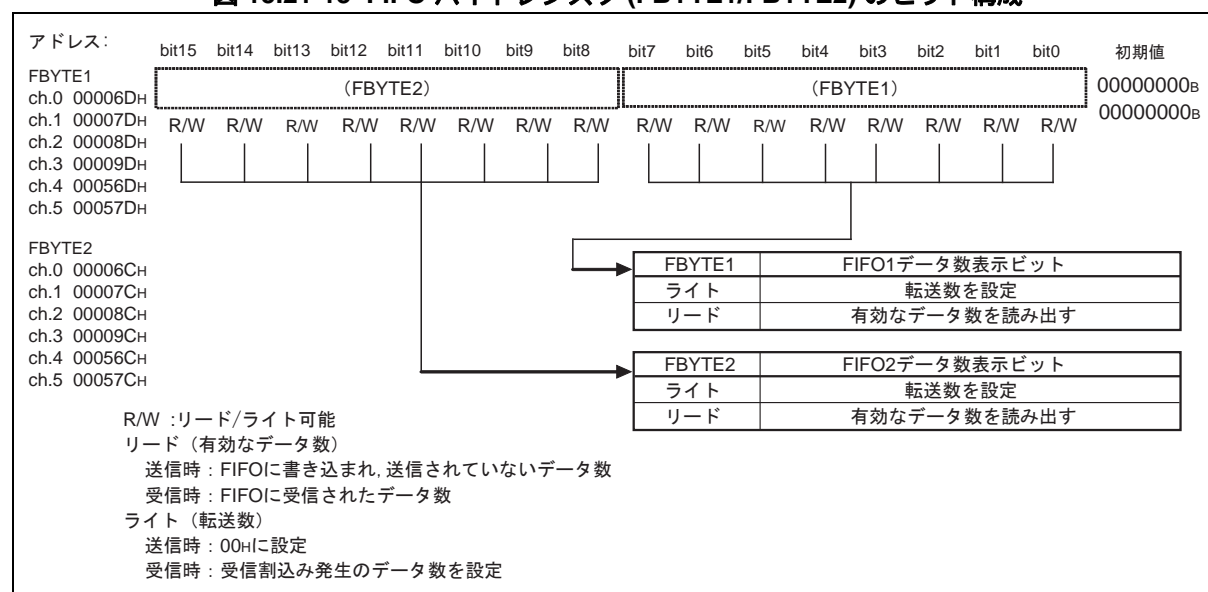
15.21.11 FIFO バイトレジスタ (FBYTE1/FBYTE2)

FIFO バイトレジスタ (FBYTE1/FBYTE2) は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

■ FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成

図 15.21-13 に FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成を示します。

図 15.21-13 FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成



FBYTE レジスタは FIFO の有効なデータ数を示し、FCR1:FSEL ビットの設定によって以下のようになります。

表 15.21-10 データ数表示

FSEL	FIFO 選択	データ数表示
0	FIFO2 : 受信 FIFO, FIFO1 : 送信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1
1	FIFO2 : 送信 FIFO, FIFO1 : 受信 FIFO	FIFO2 : FBYTE2, FIFO1 : FBYTE1

- FBYTE レジスタの転送数の初期値は "08_H" です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致すると割込みフラグ (RDRF) が "1" にセットされます。

- 受信 FIFO アイドル検出許可ビット (FRIIE) が "1" で受信 FIFO に存在するデータ数が転送数に達しない場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ (RDRF) が "1" にセットされます。8 クロックカウント中、RDR を読み出すとそのカウンタは "0" にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは "0" にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可すると再度、カウントを開始します。
- マスタ動作でデータを受信する場合(マスタ受信), TIE ビットを "0" にして送信 FIFO の FBYTE レジスタに受信データ数を設定し、FDRQ ビットに "0" を書きます。設定データ分の SCL のクロックが出力され、その後、INT ビットが "1" になります。TIE ビットに "1" を設定したい場合には、FDRQ が "1" になった後に "1" に設定してください。

< 注意事項 >

- マスタ動作でデータを受信するとき以外、送信 FIFO の FBYTE は "00h" を設定してください。
 - マスタ動作でデータを受信するときの送信データ数の設定は、送信 FIFO がエンプティで TIE ビットが "0" のときに行ってください。
 - マスタ動作でデータを受信中に I²C インタフェースを禁止 (EN=0) にする場合には、送受信 FIFO を禁止にしてから禁止してください。
 - 受信 FIFO の FBYTE には "1" 以上のデータを設定してください。
 - 送受信を禁止してから変更してください。
 - 本レジスタはリードモディファイライト (RMW) 系命令を使用することはできません。
 - FIFO 容量を超えた設定は禁止です。
-

15.22 I²C インタフェースの割込み

I²C インタフェースの割込みは、次に示す要因で割込み要求を発生させることができます。

- 第一バイト送受信後 / データ送受信後
 - ストップ条件
 - 反復スタート条件
 - FIFO 送信データ要求
 - FIFO 受信データ完了
-

■ I²C インタフェースの割込み

I²C インタフェースの割込み制御ビットと割込み要因は表 15.22-1 のようになっています。

表 15.22-1 I²C インタフェースの割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	INT	IBCR	第一バイト送受信後 ^{*1}	IBCR:INTE	割込みフラグビット (IBCR:INT) への "0" 書込み
			データ送受信後 ^{*1}		
			バスエラー検出		
			アービトレーションロスト検出		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し後、割込みフラグビット (IBCR:INT) へ "0" 書込み
			FBYTE 設定値分受信		
			FRIIE ビットが "1" で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	RDRF	SSR	予約アドレス検出	SMR:RIE	受信データ (RDR) の読出し
			データ受信後		受信 FIFO がエンプティになるまでの受信データ (RDR) の読出し
			FBYTE 設定値分受信		
	ORE	SSR	オーバランエラー		受信エラーフラグビット (SSR:REC) への "1" 書込み
送信	SPC	IBSR	ストップ条件	IBCR:CNDE	ストップ条件検出ビットへの "0" 書込み
	RSC	IBSR	反復スタート条件		反復スタート検出フラグビット (IBSR:RSC) への "0" 書込み
	TDRE	SSR	送信レジスタがエンプティ	SMR:TIE	送信データ (TDR) への書込み、または送信 FIFO 動作許可ビットが "0" で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの "1" 書込み (送信再送) ^{*2}
			送信バッファエンプティフラグセットビット (SSR:TSET) への "1" 書込み		
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビットへの "0" 書込み、または送信 FIFO がフル

*1: 正常なデータを送受信できます。TDRE が "0" の場合、割込みは発生しません。これは DMA 転送をサポートするためです。

データ送受信時に INT フラグを発生させたい場合には、INT フラグがセットされるタイミングより前に TDRE ビットが "1" である必要があります。

*2: TDRE ビットが "0" になってから TIE ビットを "1" にしてください。

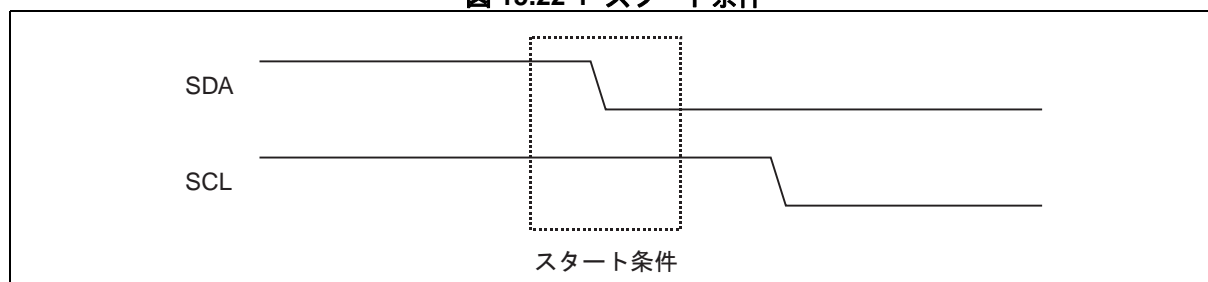
15.22.1 I²C インタフェース通信の動作

I²C インタフェースは、2 本の双方向バスライン、シリアルデータライン (SDA) およびシリアルクロックライン (SCL) を使用して通信を行います。

■ I²C バススタート条件

I²C バスの起動条件を以下に示します。

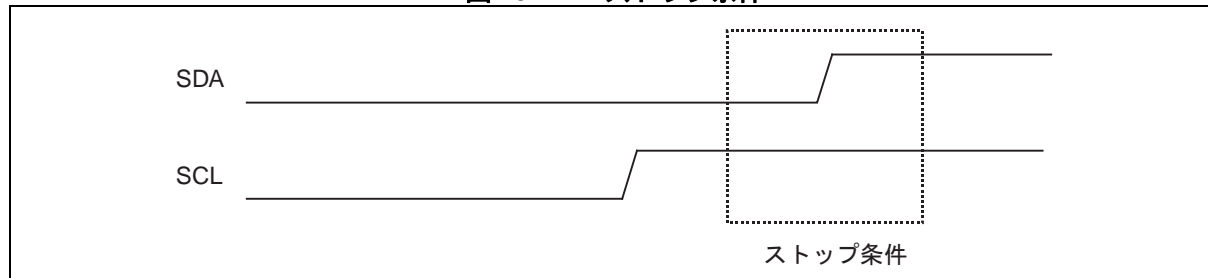
図 15.22-1 スタート条件



■ I²C バスストップ条件

I²C バスのストップ条件を以下に示します。

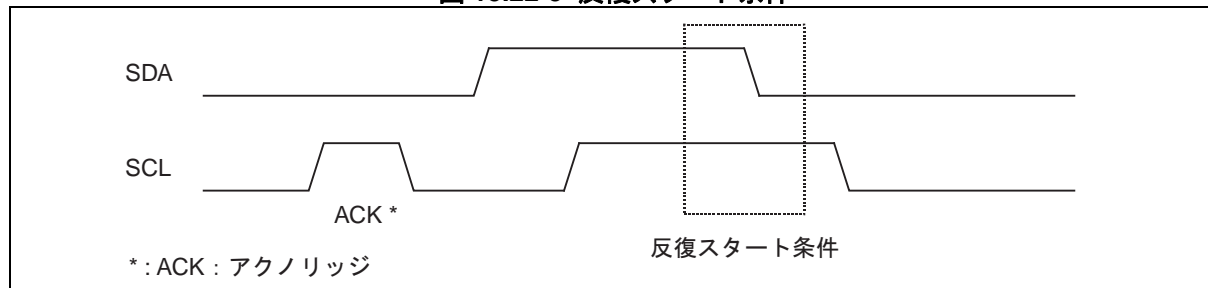
図 15.22-2 ストップ条件



■ I²C バス反復スタート条件

I²C バスの反復スタート条件を以下に示します。

図 15.22-3 反復スタート条件



15.22.2 マスタモード

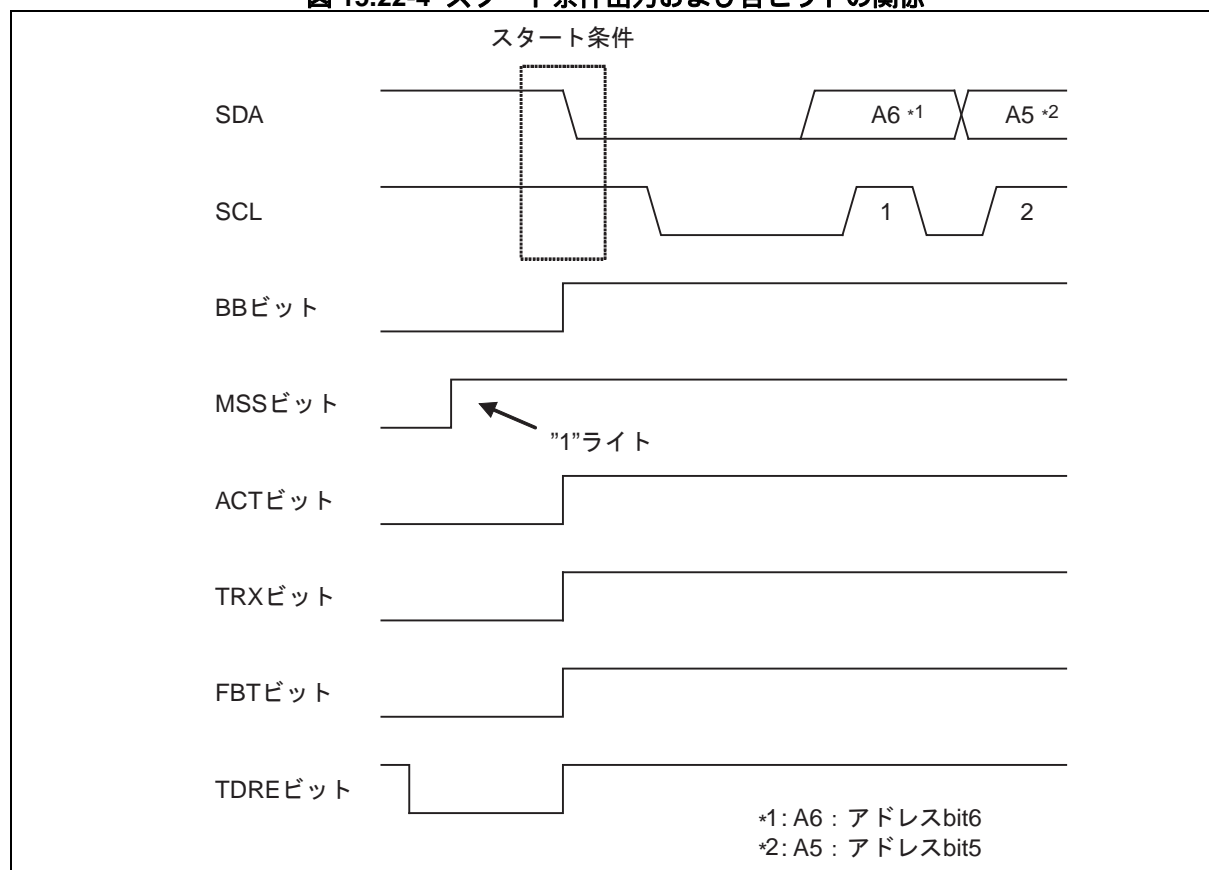
マスタモードは、I²C バスにスタート条件を発生させ、I²C バスにクロックを出力します。I²C バスがアイドル状態 (SCL="H", SDA="H") のとき、IBCR レジスタの MSS ビットに "1" を設定するとマスタモードになり、IBCR レジスタの ACT ビットが "1" になります。

■ スタート条件生成

SDA="H", SCL="H", EN=1, BB=0 のとき、MSS ビットへ "1" を書き込むとスタート条件が出力されます。

I²C バスへスタート条件を出力すると ACT ビットに "1" をセットします。その後、スタート条件を受信すると BB ビットが "1" にセットされ、I²C バスは通信中であることを示します (図 15.22-4 を参照)。

図 15.22-4 スタート条件出力および各ビットの関係



< 注意事項 >

動作モード 4(I²C モード) では周辺クロック (CLKP) は 8 MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。

■ スレーブアドレス出力

スタート条件を出力すると TDR レジスタに設定されたデータを bit7 からアドレスとして出力します。FIFO 許可の場合、最初にした TDR レジスタのデータを出力します。bit0 はデータ方向ビット (R/W) として使用され、データ方向ビット (R/W) が "0" のとき、データはライト方向 (マスタ スレーブ) を示します。TDR レジスタへのアドレス設定は、MSS=1 または SCC=1 を書く前に行ってください。

アドレスおよびデータ方向の出力タイミングについて図 15.22-5、図 15.22-6 に示します。

図 15.22-5 アドレスおよびデータ方向 (FIFO 禁止の場合)

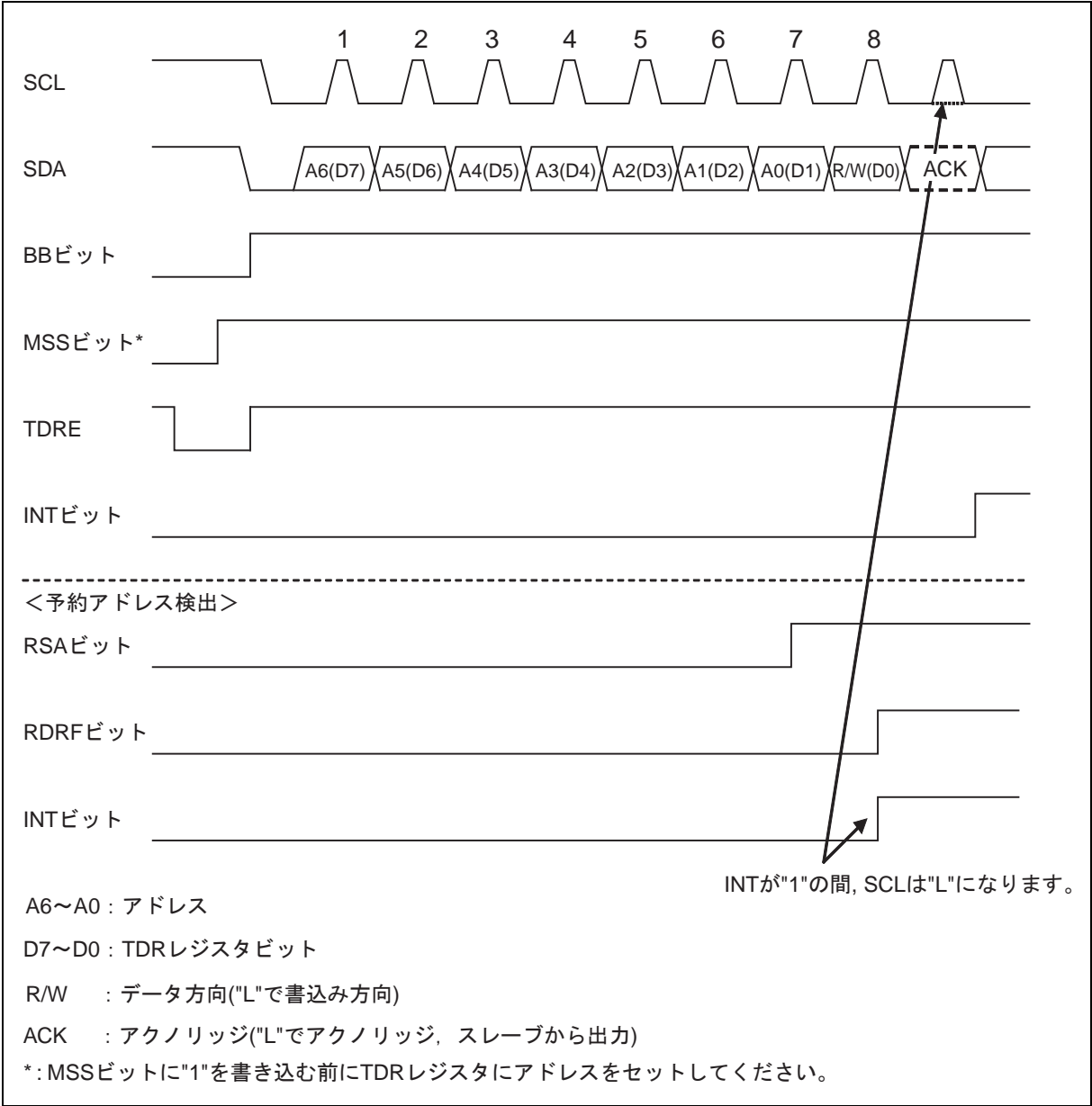
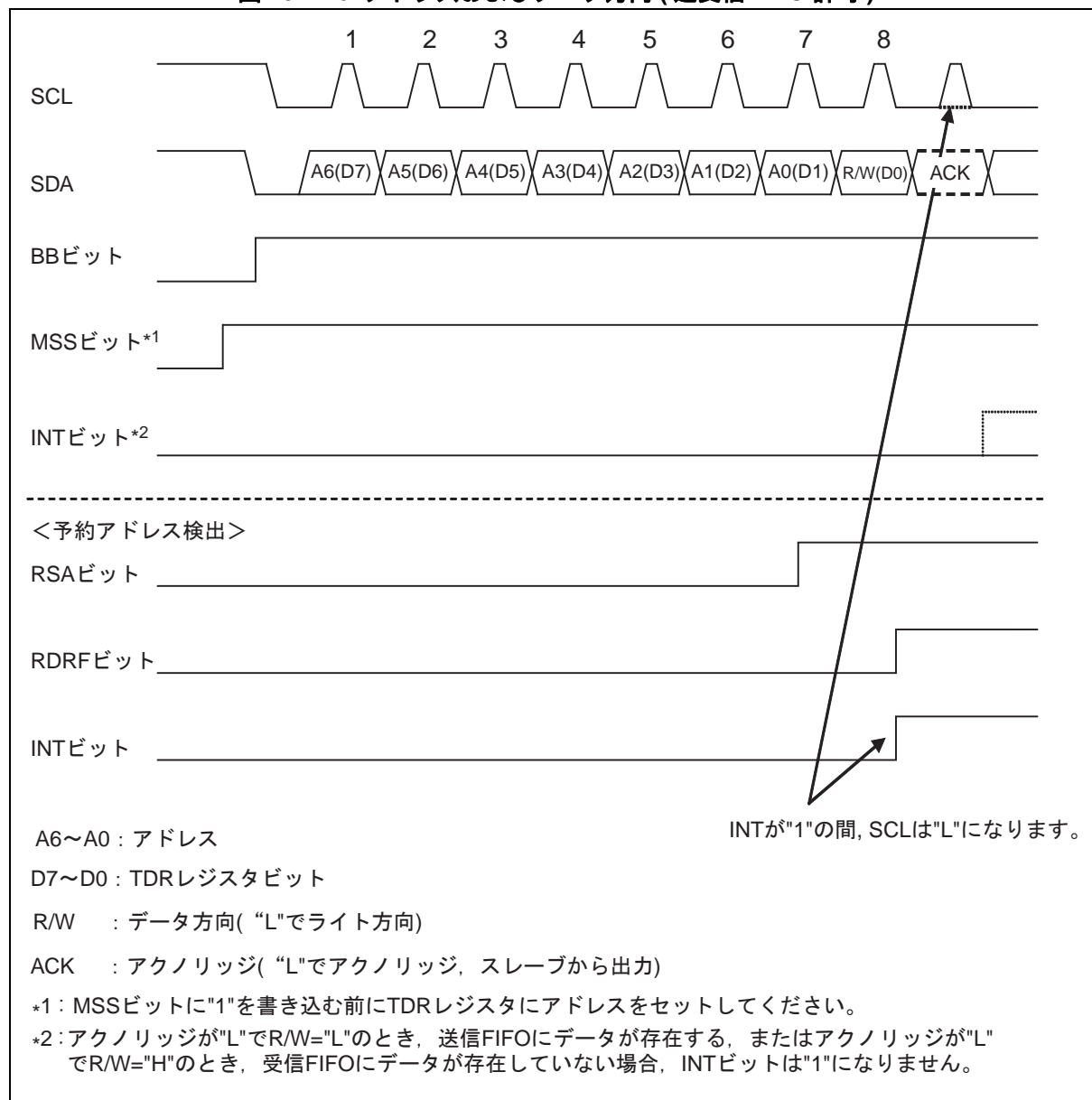


図 15.22-6 アドレスおよびデータ方向 (送受信 FIFO 許可)



■ 第一バイト送信によるアクノリッジ受信

データ方向ビット (R/W) を出力すると、I²C インタフェースはスレーブからのアクノリッジを受信します。FIFO 許可と FIFO 禁止では、以下の動作になります。

表 15.22-2 アクノリッジ受信後の動作 (RSA ビット =0)

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ方向 ビット (R/W)	アクノリッジ受信直後の動作	
					アクノリッジが ACK	アクノリッジ が NACK
禁止	禁止	-	-	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
				1	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	
禁止	許可	-	データなし	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	
許可	禁止	-	-	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
				1	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	
許可	許可	-	データなし	0	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	INT ビットを "1" にしてウェイト
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合、INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合、INT ビットは "0" のままでウェイトなし	

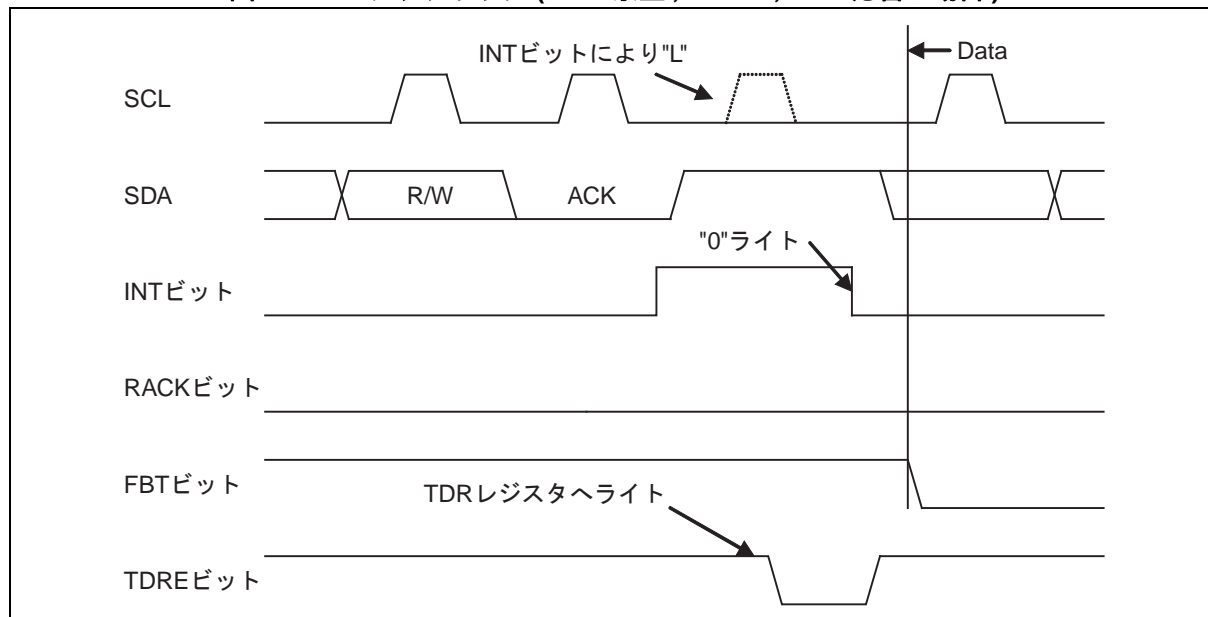
FIFO 禁止 (送信 FIFO, 受信 FIFO 両方とも禁止)

- RSA ビットが "0" の場合, アクノリッジ受信後, TDRE ビットが "1" の場合には, 割込みフラグ (INT) を "1" にセットし, SCL を "L" に保持してウェイトします。ウェイトは割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。TDRE ビットが "0" の場合には, ACK を受信すると割込みフラグを "1" にセットせずに SCL にクロックを発生します。
- RSA ビットが "1" の場合, 予約アドレス受信後 (アクノリッジ前), 割込みフラグ (INT) を "1" にセットし, SCL を "L" に保持してウェイトします。RDR レジスタ読出し後, ACKE ビット, 送信データを設定し, 割込みフラグに "0" を書くと割込みフラグが "0" になってウェイトを解除します。
- 受信したアクノリッジは RACK ビットにセットされます。ウェイト中に RACK ビットを確認し, NACK の場合には, MSS ビットに "0" または SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, INT ビットは自動的に "0" にクリアされます。

FIFO 許可

- MSS ビットに "1" を設定する前に FIFO に以下の設定をする必要があります。
 - スレーブへ送信する場合 (データ方向ビット =0), スレーブアドレスなどを含むデータを送信 FIFO に設定
 - スレーブからデータを受信する場合 (データ方向ビット =1), FIFO バイト数レジスタに受信数を設定し, スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う
- RSA ビットが "0" の場合, アクノリッジ受信後, ACK の場合には, 割込みフラグ (INT) を "1" にセットせず, データ方向ビットに従ってデータを送受信します (ウェイトなし)。NACK の場合には, 割込みフラグ (INT) を "1" にセットし, SCL を "L" に保持してウェイトします。
- 受信したアクノリッジは RACK ビットに格納されます。ウェイト中に RACK ビットを確認し, NACK の場合には, MSS ビットに "0" または SCC ビットに "1" を書いてストップ条件または反復スタート条件を発生させます。このとき, INT ビットは自動的に "0" にクリアされます。

図 15.22-7 アクノリッジ (FIFO 禁止, RSA=0, ACK 応答の場合)



アドレスに対するウェイトは

- RSA ビットが "0" の場合, アクノリッジ受信後
 - RSA ビットが "1" の場合, アクノリッジ受信前
- になります。WSEL の設定には依存しません。

図 15.22-8 アクノリッジ (FIFO 禁止, RSA=0, NACK 応答の場合)

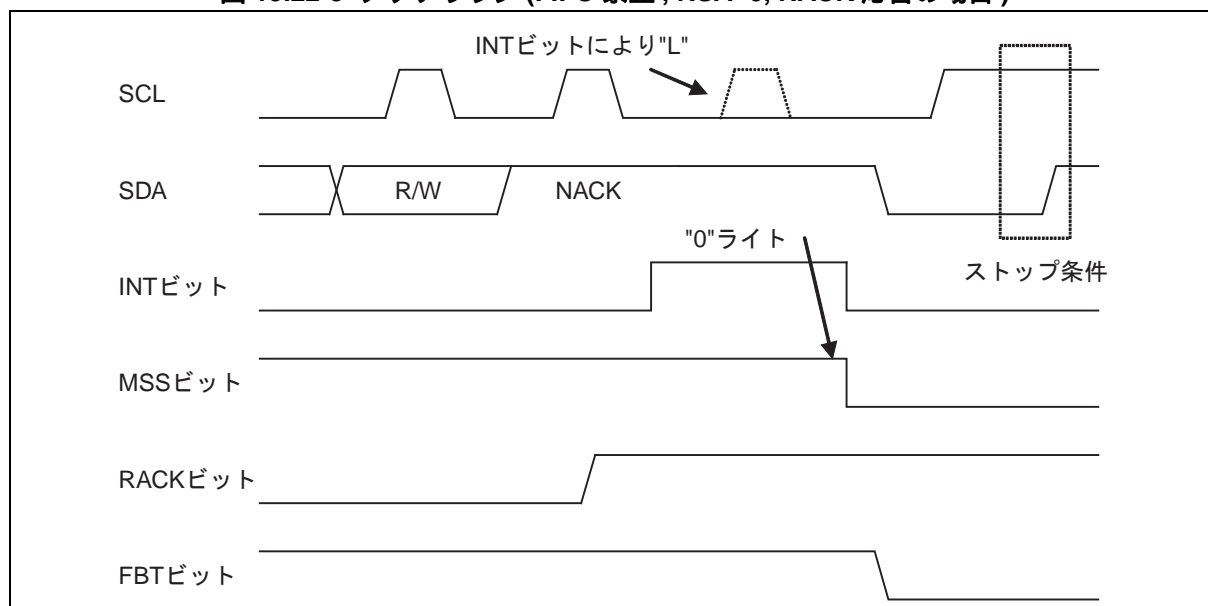


図 15.22-9 アクノリッジ (FIFO 禁止, RSA=1, ACK 応答の場合)

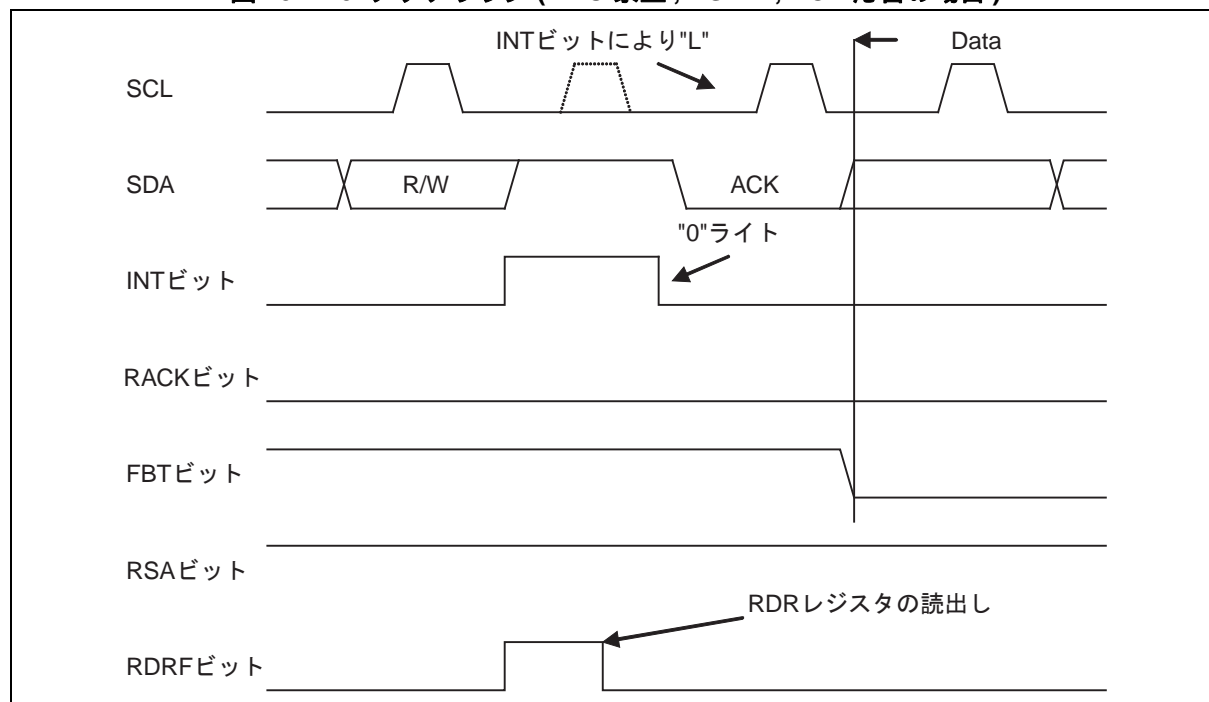


図 15.22-10 アクノリッジ (FIFO 禁止, RSA=1, NACK 応答の場合)

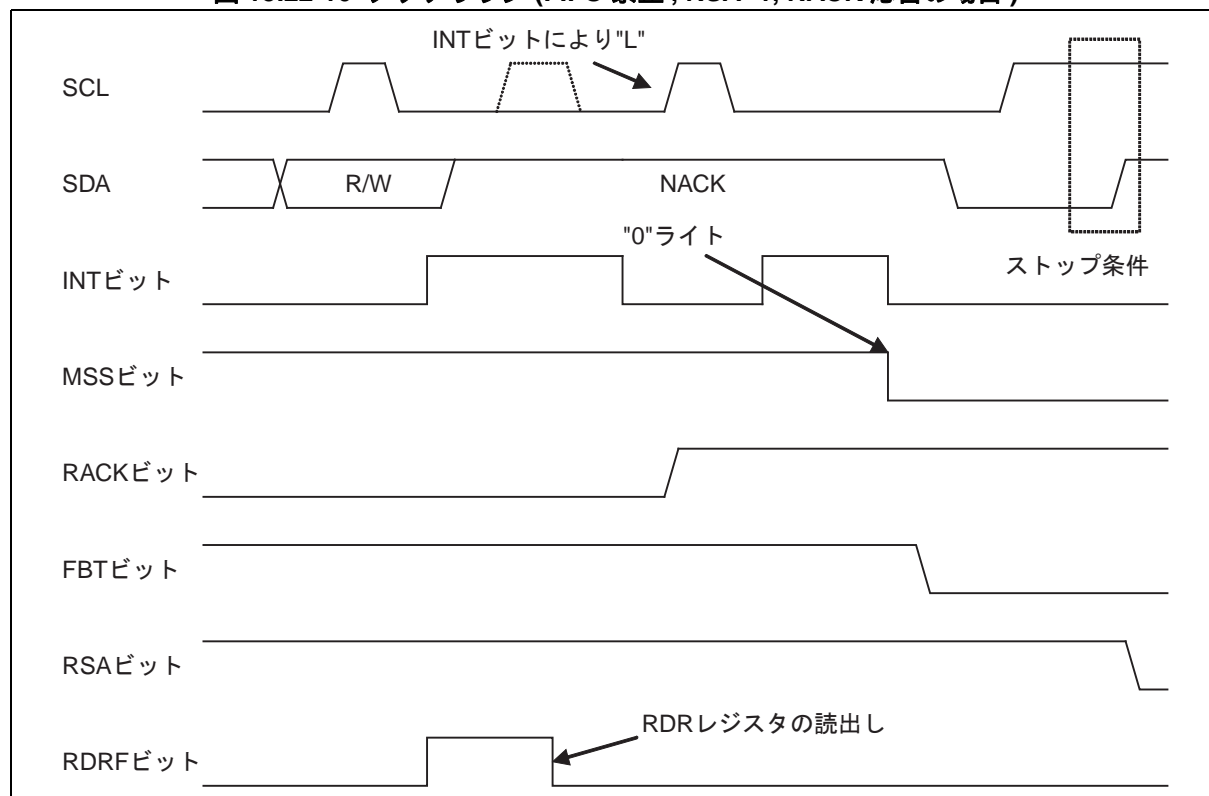
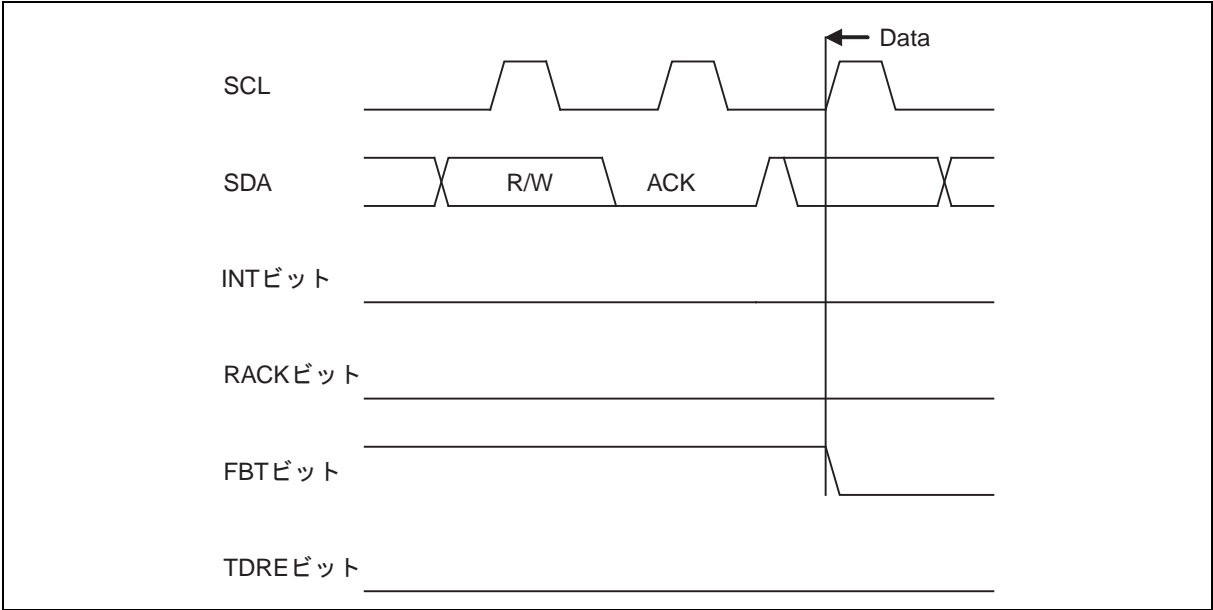


図 15.22-11 アクノリッジ
(FIFO 許可, 送信 FIFO データあり, 受信 FIFO データなし, RSA=0, ACK 応答の場合)



■ マスタによるデータ送信

データ方向ビット (R/W) が "0" の場合, データはマスタから送信します。1 バイト送信ごとにスレーブから ACK または NACK の応答があります。
WSEL ビットの設定によってウェイトの発生する場所が以下ようになります。

表 15.22-3 マスタデータ送信時の WSEL ビット

WSEL ビット	動作
0	第二バイト以降, TDRE ビットが "1" またはアービトレーションロスト検出でアクノリッジ後, 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。FIFO 許可の場合, アクノリッジ後, アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (TDRE=1) ときにアクノリッジ後, 割込みフラグ (INT) を "1" にしてウェイト状態にします。
1	第二バイト以降, TDRE ビットが "1" またはアービトレーションロスト検出でマスタが 1 バイトのデータを送信後, 割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。FIFO 許可の場合, アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった (TDRE=1) ときにデータ送信後, 割込みフラグ (INT) を "1" にしてウェイト状態にします。

ただし, ストップ条件設定 (MSS=0, MAS=1) 時以外に NACK を受信した場合, WSEL の設定に依存せずにアクノリッジ後に割込みフラグ (INT) をセットします。

スレーブヘータを送信する場合の手順の一例を以下に示します。

● 予約アドレス以外への送信の場合

• 送信 FIFO が禁止されている場合

スレーブアドレス (データ方向ビットも含む) を TDR レジスタにセットし, MSS ビットに "1" を書きます。

スレーブアドレス送信後に ACK を受信し, 割込みフラグ (INT) が "1" になります。TDR レジスタに送信するデータを書きます。

WSEL ビット更新とともに割込みフラグ (INT) に "0" を書き込み, I²C バスのウェイトを解除します。

1 バイト送信後に WSEL=0 の場合にはアクノリッジ受信後, WSEL=1 の場合には 1 バイト送信直後に割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで ~ を繰り返します。ただし, WSEL=1 のとき, ウェイト解除後に NACK を受信した場合にはアクノリッジ受信後にもう一度割込みが発生し, バスをウェイトします。

MSS ビットに "0" または SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

• 送信 FIFO が許可されている場合

スレーブアドレス (データ方向ビットも含む), 送信データを TDR レジスタに書きます。

WSEL ビット設定とともに MSS ビットに "1" を書きます。

送信中に NACK 受信した場合, その直後に割込みフラグ (INT) を "1" にして I²C バスをウェイトします。すべて ACK 応答を受信した場合, 最終バイト送信後, WSEL の設定に従って割込みフラグを "1" にして I²C バスをウェイトします。

MSS ビットに "0" を書いてストップ条件を生成させます。

● 予約アドレスへの送信の場合

• 送信 FIFO が禁止されている場合

スレーブアドレスとして予約アドレスを TDR レジスタにセットし, MSS ビットに "1" を書きます。

スレーブアドレス送信後, 割込みフラグ (INT) が "1" になります。

RDR レジスタを読み出し, 予約アドレスを確認します。*

TDR レジスタに送信するデータを書きます。

WSEL ビット更新とともに割込みフラグ (INT) に "0" を書き込み, I²C バスのウェイトを解除します。

1 バイト送信後に WSEL=0 の場合にはアクノリッジ受信後, WSEL=1 の場合には 1 バイト送信直後に割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を送信するまで ~ を繰り返します。ただし, WSEL=1 のとき, ウェイト解除後に NACK を受信した場合にはアクノリッジ受信後にもう一度割込みが発生してバスをウェイトします。

MSS ビットに "0" または SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

- 送信 FIFO が許可されている場合

スレーブアドレスとして予約アドレスを TDR レジスタにセットし、MSS ビットに "1" を書きます。

スレーブアドレス送信後、割込みフラグ (INT) が "1" になります。

RDR レジスタを読み出し、予約アドレスを確認します。*

TDR レジスタに全送信データ (送信 FIFO がフルとなる場合にはその状態になるまで) を書きます。

送信中に NACK 受信した場合、その直後に割込みフラグ (INT) を "1" にして I²C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後、WSEL の設定に従って割込みフラグを "1" にして I²C バスをウェイトします。

MSS ビットに "0" または SCC ビットに "1" を設定し、ストップ条件または反復スタート条件を発生させます。

*: マルチマスタで予約アドレスがゼネラルコールの場合、アービトレーションロストが発生してスレーブとして動作する可能性がある場合、ACKE ビットを "1"、WSEL ビットを "1" にして次のデータでマスタとして動作するのか、スレーブとして動作するのかを確認する必要があります。

< 注意事項 >

- 送受信中に IBCR レジスタを変更する場合、割込みフラグ (INT) が "1" のときに変更してください。
 - WSEL ビットを変更した場合、次のデータの割込みフラグ (INT) の発生条件に使用されます。
 - データ送信中で TDRE が "1" のときに TDR レジスタへ送信データを書き込み、ACK 応答を検出すると割込みフラグ (INT) は "1" にならずにその書き込まれたデータが送信されます。
 - データ受信中に TDRE が "1" のときに TDR レジスタへ送信データを書き込み、ACK 応答した場合、割込みフラグ (INT) は "1" にならずに RDRF のみ "1" になります (受信 FIFO 許可の場合、FBYTE レジスタ設定分受信した場合)。
-

図 15.22-12 FIFO 禁止によるマスタの割込み 1(WSEL=0, RSA=0)

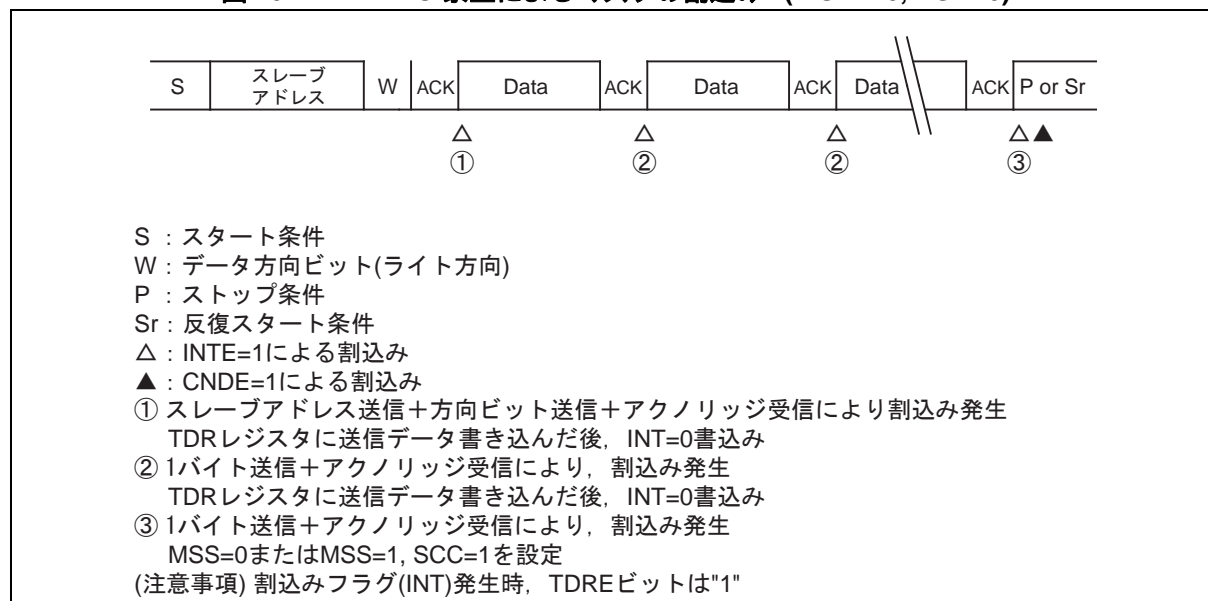


図 15.22-13 FIFO 禁止によるマスタ送信の割込み 2(WSEL=1, RSA=0, ACK 応答)

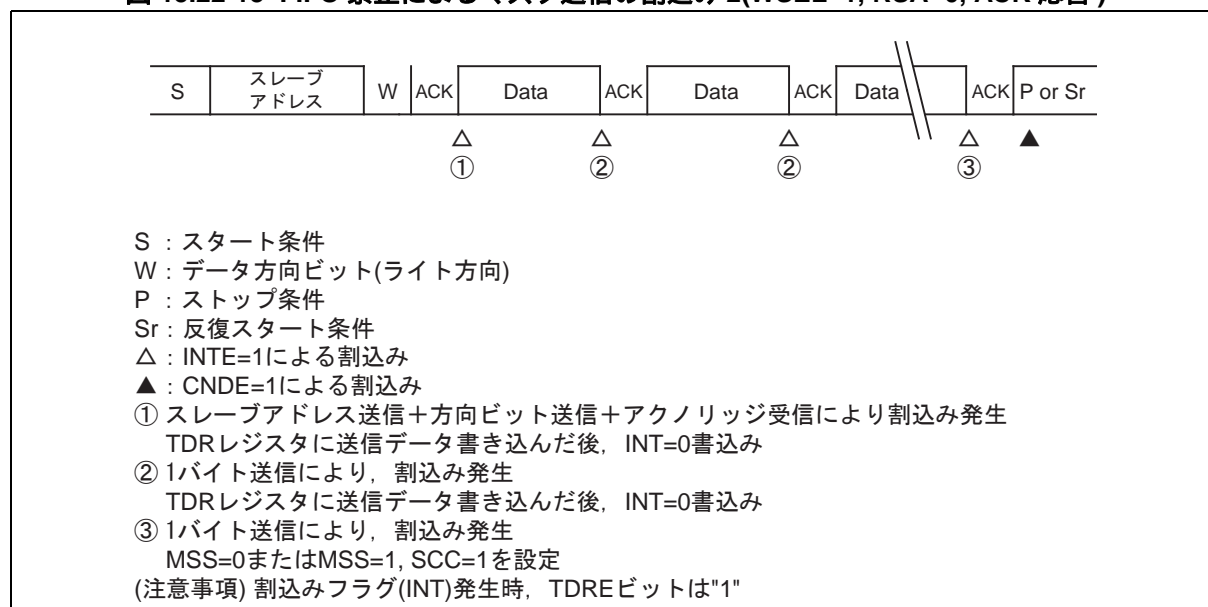


図 15.22-14 FIFO 禁止によるマスタ送信の割り込み 3(WSEL=1, RSA=0, NACK 応答)

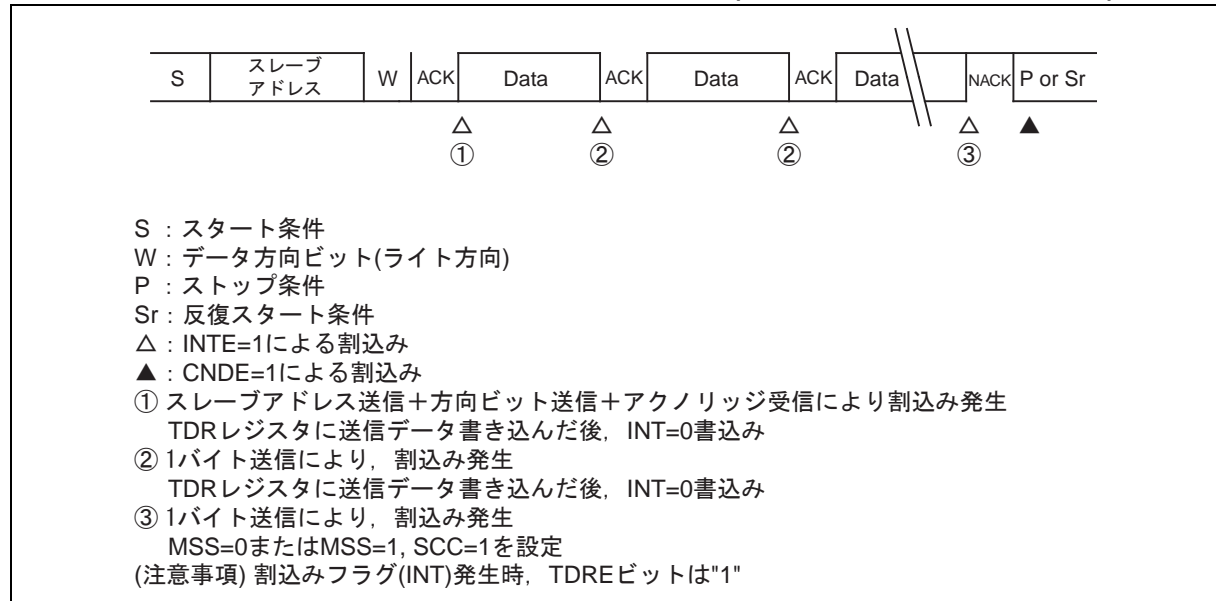


図 15.22-15 FIFO 禁止によるマスタ送信の割り込み 4(WSEL=1, RSA=0, 途中 NACK 応答)

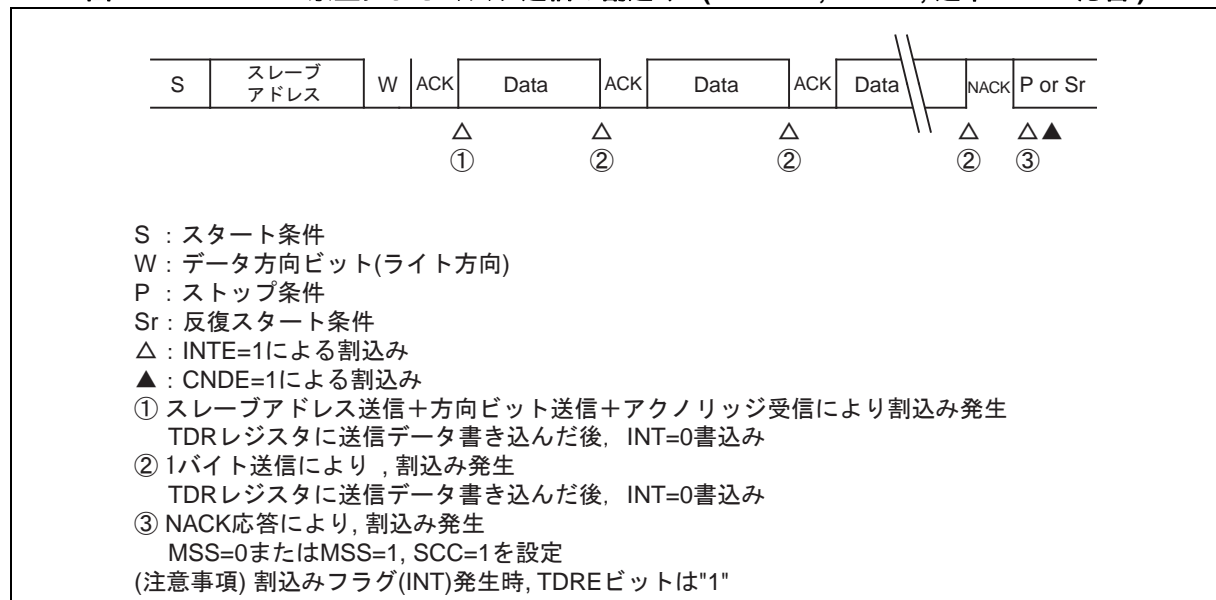


図 15.22-16 FIFO 禁止によるマスタ送信の割込み 5(WSEL=1->0, RSA=0, ACK 応答)

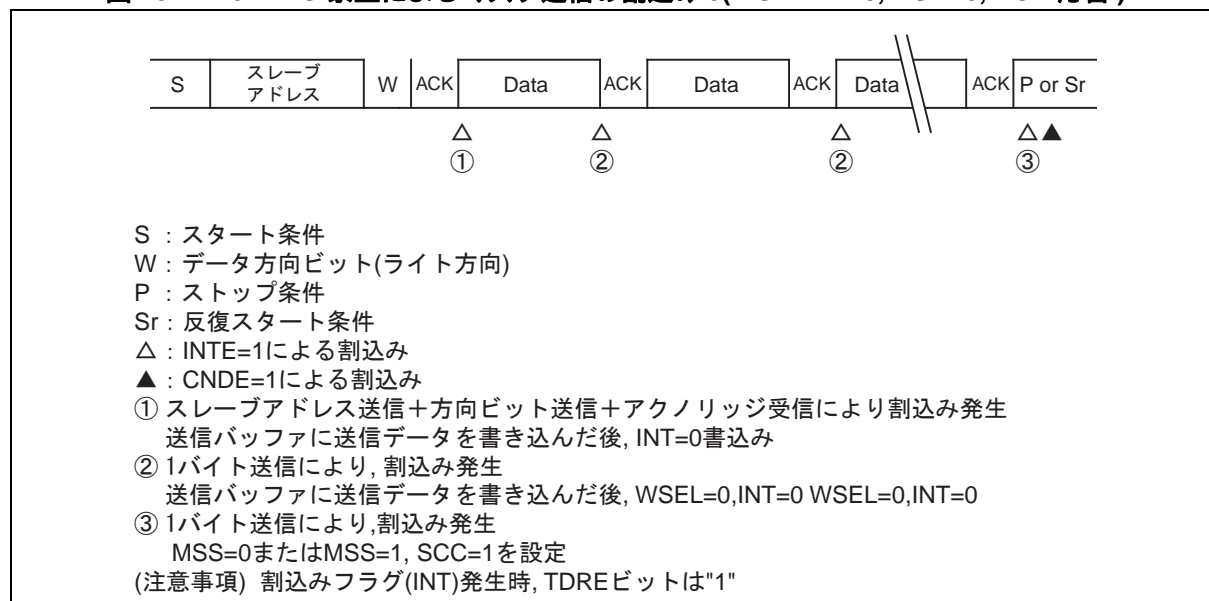


図 15.22-17 FIFO 禁止によるマスタの割込み 6(WSEL=0, RSA=1)

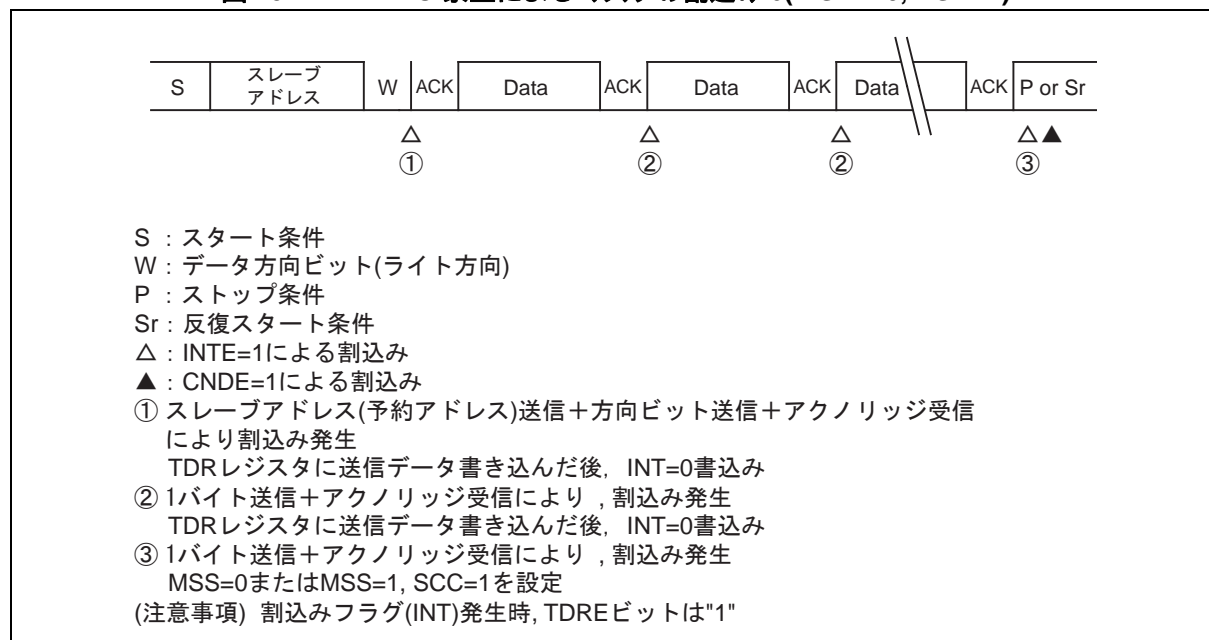


図 15.22-18 FIFO 許可によるマスタ送信の割込み 7 (WSEL=0, RSA=0, ACK 応答)

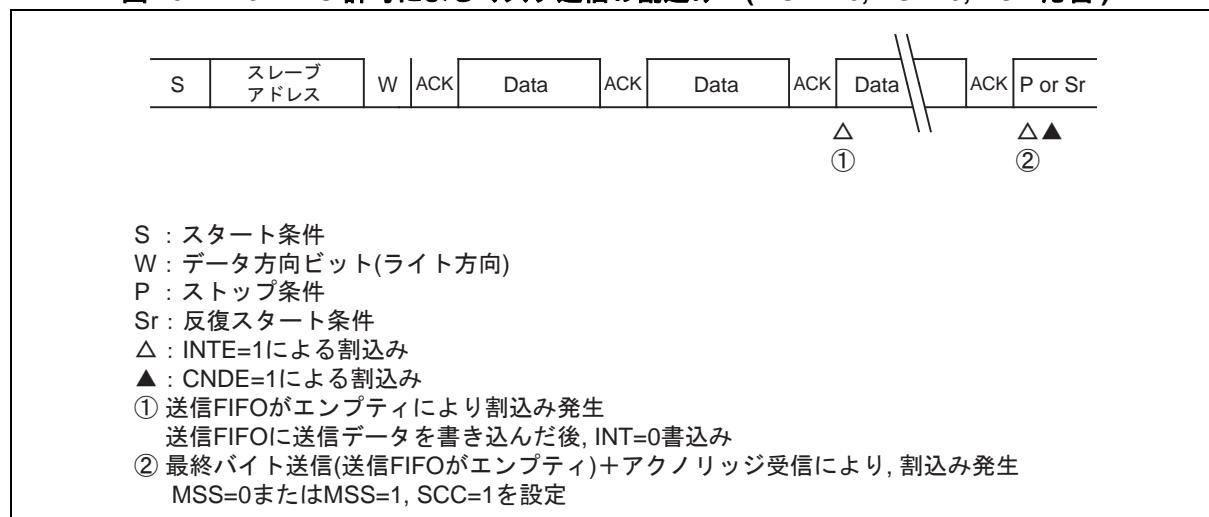


図 15.22-19 FIFO 許可によるマスタ送信の割込み 8 (WSEL=1, RSA=0)

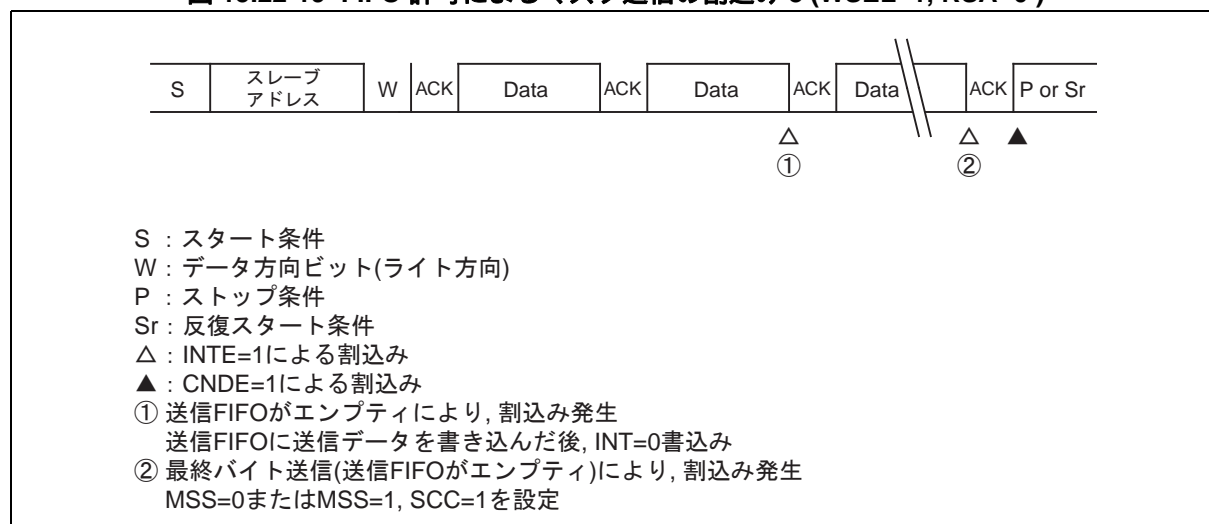
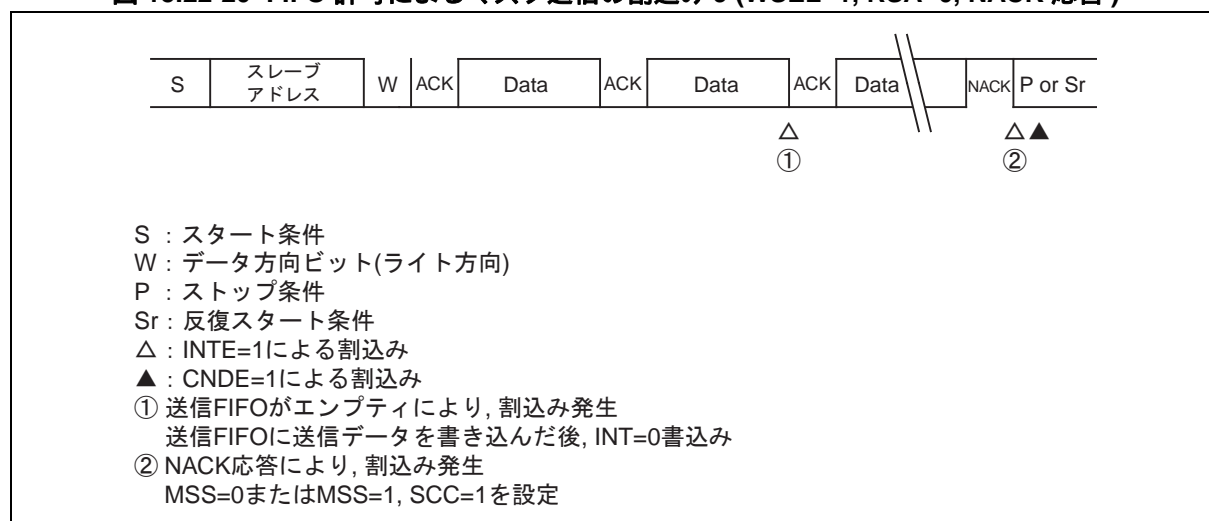


図 15.22-20 FIFO 許可によるマスタ送信の割込み 9 (WSEL=1, RSA=0, NACK 応答)



■ マスタによるデータ受信

データ方向ビット (R/W) が "1" の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは TDRE ビットが "1" であれば 1 バイト受信ごとにウェイトを発生 (INT=1, RDRF=1) し、WSEL ビットに従って IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。TDRE ビットが "0" であれば、IBCR レジスタの ACKE ビットの設定で ACK 応答であればウェイトは発生せず (INT=0) に次のデータを受信し、NACK 応答であればウェイトが発生します (INT=1)。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信すると RDRF ビットがセットされます。割込みフラグは TDRE ビットが "1" のときにセットし、I²C バスをウェイトします。WSEL=0 の場合、TDRE ビットが "1" になると NACK 応答して割込みフラグを "1" にします。WSEL=1 の場合、最終バイト受信後にウェイトが発生しますので、そのウェイト中に ACKE ビットを設定し、割込みフラグを "0" にクリアした後、ACKE の設定に従って ACK または NACK 応答します。NACK 出力した場合でも受信データとして受信 FIFO に格納します。

割込みによるウェイトは以下を参照してください。

表 15.22-4 マスタデータ受信時の WSEL ビット

WSEL ビット	動作
0	第二バイト以降、TDRE ビットが "1" でアクノリッジ後、割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。
1	第二バイト以降、TDRE ビットが "1" でマスタが 1 バイトのデータを受信後、割込みフラグ (INT) を "1", SCL を "L" にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

- 受信 FIFO が禁止されている場合

スレーブアドレス (データ方向ビットも含む) を TDR レジスタにセットし、MSS ビットに "1" を書きます。

スレーブアドレス送信後に ACK を受信し、割込みフラグ (INT) が "1" になります。

WSEL ビット更新とともに割込みフラグビット (INT) に "0" を書き込み、I²C バスのウェイトを解除します。

1 バイト受信後に WSEL=0 の場合にはアクノリッジ送信後、WSEL=1 の場合には 1 バイト受信直後、割込みフラグを "1" にして I²C バスをウェイトします。所定のデータ数を受信するまで ~ を繰り返します。

最終データ受信後、NACK を出力し、MSS ビットに "0" または SCC ビットに "1" を設定し、ストップ条件または反復スタート条件を発生させます。

- ・ 送受信 FIFO が許可されている場合

FBYTE レジスタに受信数を設定します。

スレーブアドレス(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書きます。

MSS ビットに "1" を書きます。

TDRE ビットが "0" の間, ACK 応答し, 受信し続けます。その受信中に FBYTE に設定数分受信すると RDRF を "1" にします。RDRF が "1" になったところで RDR レジスタを読み出します。

TDRE ビットが "1" になると WSEL=0 の場合には NACK 出力後, WSEL=1 の場合には 1 バイト受信直後, 割込みフラグを "1" にして I²C バスをウェイトします。

WSEL=1 の場合, ACKE ビットを "0" に設定し, WSEL=0 の場合, ACKE ビットの設定は必要なく, MSS ビットに "0" または SCC ビットに "1" を設定し, ストップ条件または反復スタート条件を発生させます。

< 注意事項 >

- ・ TDRE が "0" のとき, オーバランエラーが発生しても ACKE ビットの設定に従ってアクノリッジを出力し, 次の処理を行います。
- ・ 送受信中に IBCR レジスタを変更する場合, 割込みフラグ (INT) が "1" のときに変更してください。
- ・ マスタ受信時, TDR レジスタにダミーデータを書き込み, 割込みフラグ (INT) が "1" になるタイミングで TDRE ビットが "0" の場合, 割込みフラグ (INT) は "0" のままで次のデータを受信します。
- ・ 受信FIFOが許可, WSEL=0のときにデータを受信する場合, 最終ビット受信後にRDRF ビットが "1" となり, ACK 送信後に割込みフラグ (INT) が "1" となります。

図 15.22-21 FIFO 禁止によるマスタ受信の割込み 1 (WSEL=0, RSA=0)



△ : INTE=1による割込み

▲ : CNDE=1による割込み

① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生

INT=0 書込みにより割込みが"0"にクリア

② 1バイト受信+アクノリッジ送信により割込み発生

受信データを読み出した後, ACKE=0に設定し, INT=0書込み

③ 1バイト受信+アクノリッジ送信したことにより割込み発生

MSS=0またはMSS=1, SCC=1を設定

(注意事項) 割込みフラグ(INT)発生時, TDREビットは"1"

図 15.22-22 FIFO 禁止によるマスタ受信の割込み 2 (WSEL=1, RSA=0)

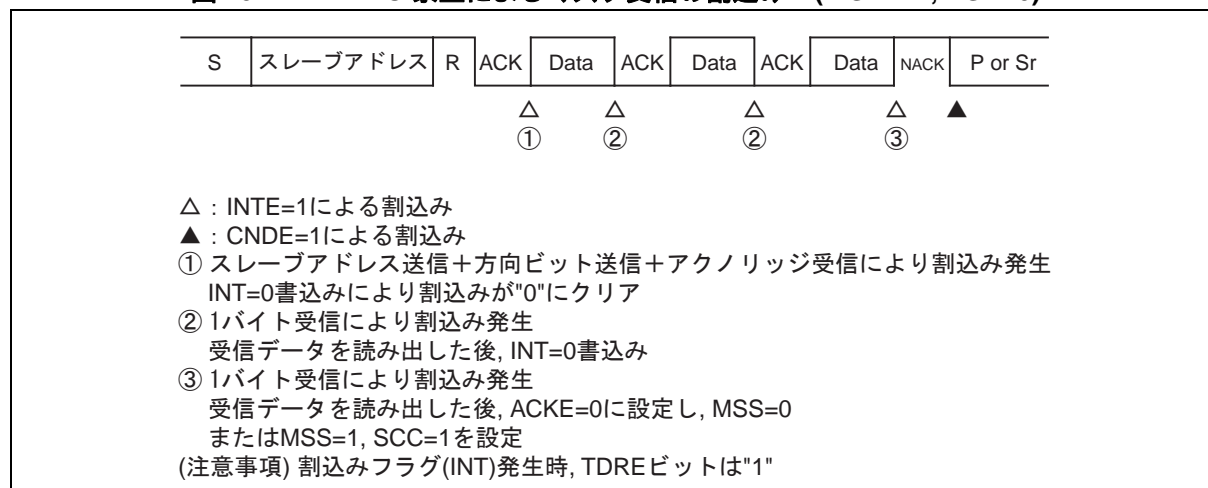


図 15.22-23 FIFO 許可によるマスタ受信の割込み 3 (WSEL=0, ACKE=0, RSA=0)

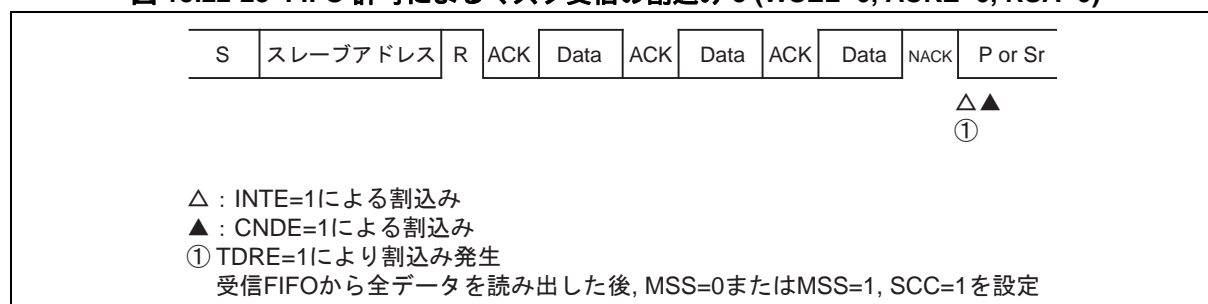
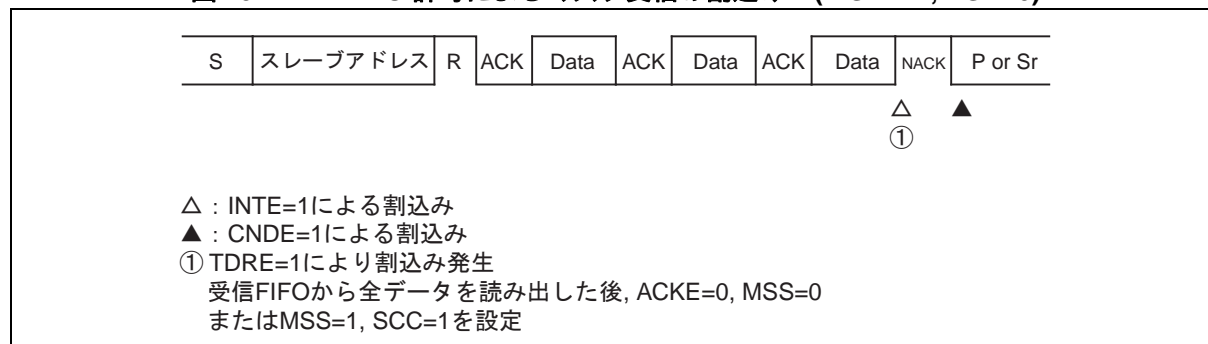


図 15.22-24 FIFO 許可によるマスタ受信の割込み 4 (WSEL=1, RSA=0)



■ アービトレーションロスト

マスタのデータがほかのマスタからのデータと衝突し, 送信したデータと異なるデータを受信した場合, アービトレーションロストと判断して MSS ビットを "0", AL ビットを "1" にしてスレーブモードとして動作可能となります。

AL ビットは, 以下の条件で "0" にクリアすることができます。

- MSS ビットへの "1" 書込み
- INT ビットへの "0" 書込み
- AL ビット=1, SPC ビット=1 のときに SPC ビットへの "0" 書込み
- I²C インタフェースの禁止 (EN ビット=0)

アービトレーションロストが発生すると WSEL の設定に従って割込みフラグ (INT) を "1" にし, I²C バスの SCL を "L" にします。

■ マスタモードのウェイト

BB ビットが "1" のときに MSS ビットに "1" を設定するとスレーブモードとして動作していなければ BB ビットが "1" の間、マスタモードをウェイトし、BB ビットが "0" になってからスタート条件を送信します。マスタモードがウェイト中かどうかは MSS ビットと ACT ビットで判断できます (MSS=1, ACT=0 であればウェイト状態)。MSS ビットに "1" を設定後、スレーブモードとして動作する場合、AL ビットを "1", MSS ビットを "0", ACT ビットを "1" にします。

15.22.3 スレーブモード

スレーブモードは (反復) スタート条件を検出し , ISBA レジスタと ISMK レジスタとの組合せと受信したアドレスが一致すると ACK 応答し , スレーブモードとして動作します。

■ スレーブアドレス一致検出

(反復) スタート条件を検出すると次のデータの 7 ビットをアドレスとして受信します。
ISMK レジスタで "1" がセットされているビットについて ISBA レジスタと受信アドレスの各ビットを比較し , 一致した場合に ACK を出力します。

表 15.22-5 スレーブアドレスに対するアクノリッジ出力直後の動作

送信 FIFO	受信 FIFO	送信 FIFO 状態	受信 FIFO 状態	データ 方向ビット (R/W)	アクノリッジ直後の動作	
					アクノリッジが ACK	アクノリッジ が NACK
禁止	禁止	-	-	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
				1		
禁止	許可	-	データなし	0	INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	
許可	禁止	-	-	0	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
				1		
許可	許可	-	データなし	0	INT ビットは "0" のままでウェイトなし	INT ビットは "0" のままでウェイトなし
			データあり		INT ビットを "1" にしてウェイト	
			-	1	TDRE ビットが "1" の場合 , INT ビットを "1" にしてウェイト。TDRE ビットが "0" の場合 , INT ビットは "0" のままでウェイトなし	

- 予約アドレス検出

一バイト目で予約アドレス ("0000XXXX_B" または "1111XXXX_B") と一致した場合、送受信 FIFO の許可に依存せずに 8 ビット目のデータ受信後、INT ビットを "1" にして I²C バスをウェイトします。このとき受信データを読み出し、スレーブとして動作させたい場合には ACKE を "1" にセットして INT ビットをクリアします。その後、スレーブとして動作します。ACKE を "0" にした場合には、アクノリッジ出力後、スレーブとして動作を行いません。

■ データ方向ビット

アドレス受信後、データの送受信を決めるデータ方向ビットを受信します。このビットが "0" のときにマスタからの送信を示し、スレーブとしてはデータを受信します。

■ スレーブによる受信

スレーブアドレスが一致しデータ方向ビットが "0" のとき、スレーブモードによる受信を示します。スレーブモードによる受信の手順の一例は以下のようになります。

- 受信 FIFO が禁止されている場合

ACK 送信後、割込みフラグ (INT) を "1" にして I²C バスをウェイトします。MSS ビット、ACT ビットと FBT ビットでスレーブアドレス一致による割込みと判断し、ACKE ビットに "1"、割込みフラグ (INT) に "0" を書いて I²C バスのウェイトを解除します (表 15.22-5 を参照)。

1 バイトのデータを受信後、WSEL の設定に従って割込みフラグ (INT) を "1" にして I²C バスをウェイトします。

RDR レジスタから受信したデータを読み出し、ACKE ビットを設定後、割込みフラグ (INT) に "0" を書いて I²C バスのウェイトを解除します。

ストップ条件または反復スタート条件を検出するまで、を繰り返します。

- 受信 FIFO が許可されている場合

NACK の検出または受信 FIFO が Full になると割込みフラグ (INT) は "1" になり、I²C バスをウェイトします。ストップ条件、反復スタート条件を検出した場合、SPC ビット、RSC ビットを "1" にして割込みフラグ (INT) は "1" になりません (I²C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致すると RDRF ビットを "1" にします。そのとき、RIE ビットが "1" になっていると受信割込みが発生します。

割込みフラグ (INT) が "1" になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出した後に、割込みフラグに "0" を書いて I²C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、SPC ビットまたは RSC ビットを "0" にクリアします。

図 15.22-25 FIFO 禁止によるスレーブ受信の割り込み 1(WSEL=0, RSA=0)

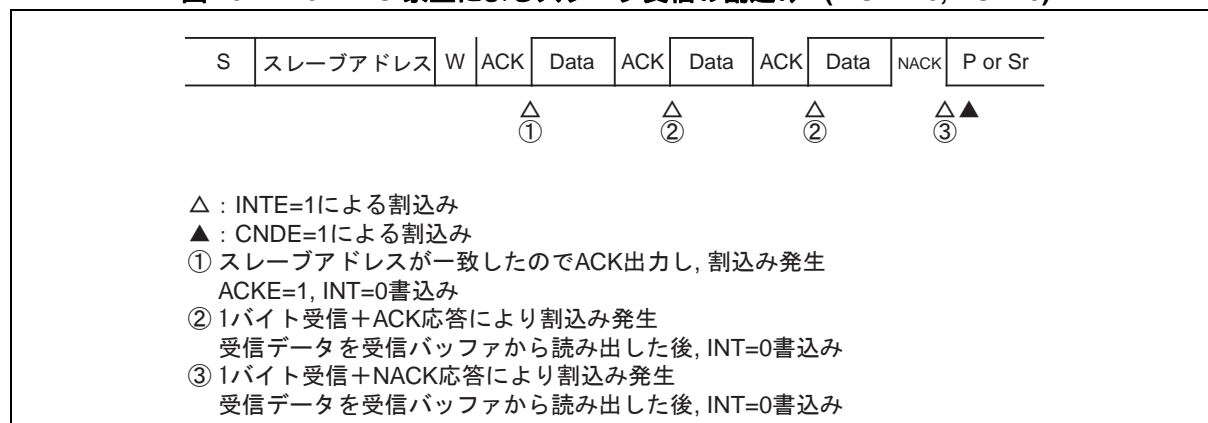


図 15.22-26 FIFO 禁止によるスレーブ受信の割り込み 2(WSEL=1, RSA=0)

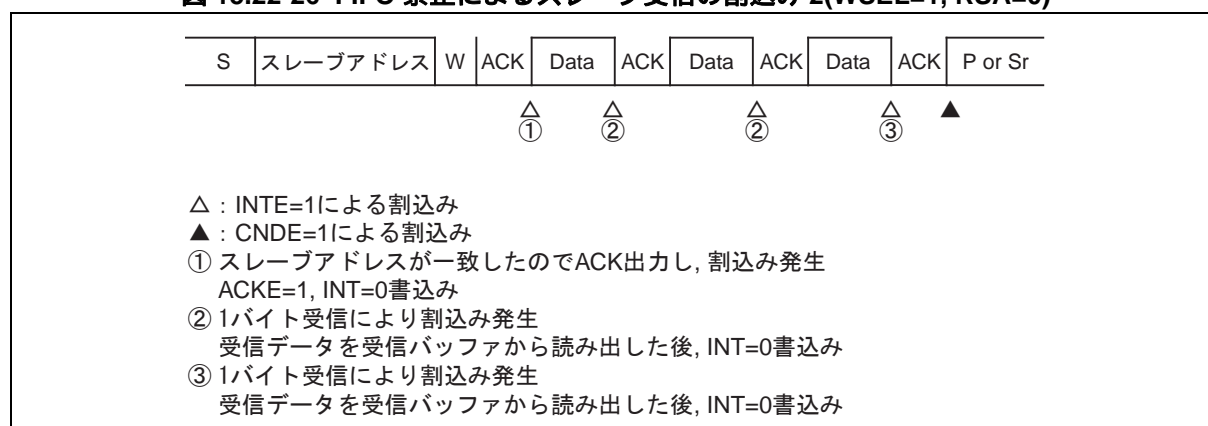


図 15.22-27 FIFO 禁止によるスレーブ受信の割り込み 3(WSEL=1, RSA=0)

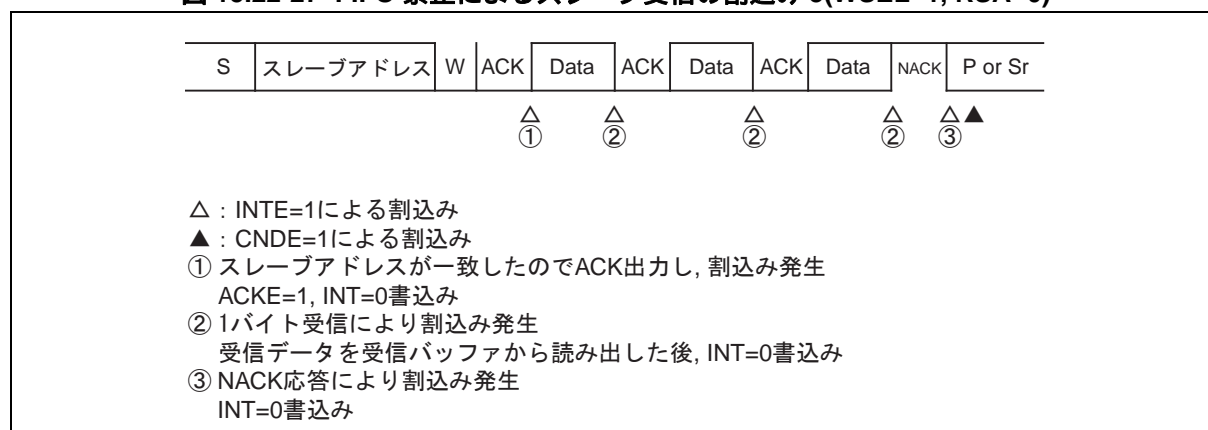


図 15.22-28 受信 FIFO 許可によるスレーブ受信の割り込み 4 (RSA=0)

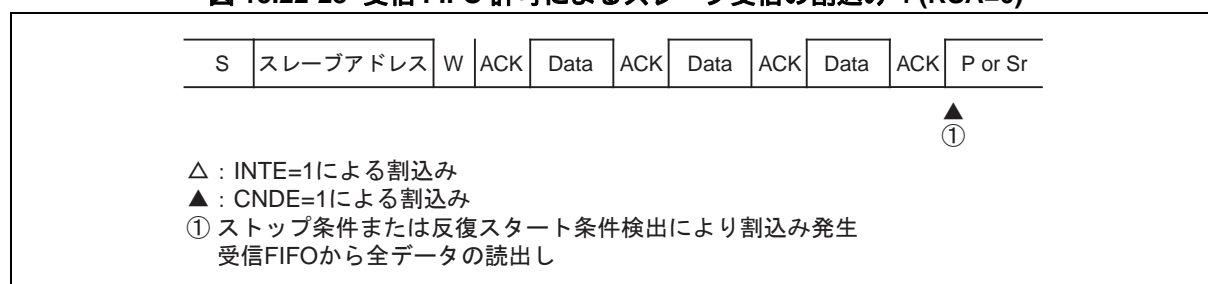


図 15.22-29 受信 FIFO 許可によるスレーブ受信の割込み 5 (RSA=0)

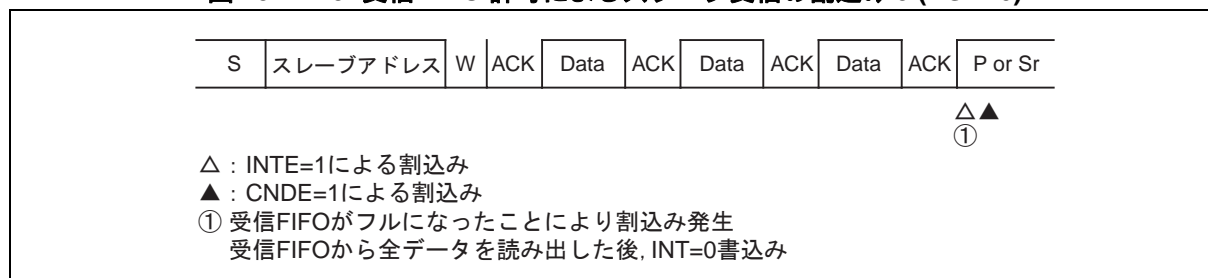
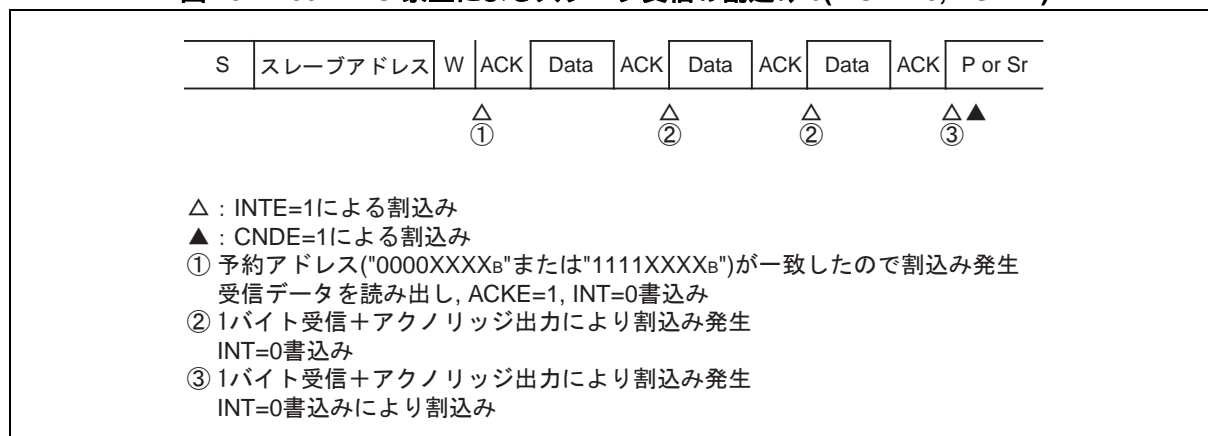


図 15.22-30 FIFO 禁止によるスレーブ受信の割込み 6 (WSEL=0, RSA=1)



■ スレーブによる送信

スレーブアドレスが一致してデータ方向ビットが"1"のとき, スレーブによる送信を示します。FIFO 禁止の場合, WSEL の設定により, 1 バイト送信後またはアクノリッジ応答後に割込みフラグ (INT) を "1" にしてウェイトを発生します (表 15.22-5 を参照)。

RACK ビットによってマスタから出力されたアクノリッジを確認することができ, マスタから NACK 応答時, マスタが正しく受信できなかったか, データ受信の終了を示します。WSEL=1 のときに NACK を検出した場合, 割込みが発生してウェイトします。

15.22.4 バスエラー

I²C バス上でデータの送受信中にストップ条件, (反復) スタート条件を検出するとバスエラーとして取り扱います。

■ バスエラー発生条件

バスエラーは以下の条件で BER ビットを "1" にします。

- 第一バイト転送中に (反復) スタート条件またはストップ条件を検出
- データの 2 ビット ~ 9 (アクノリッジ) ビット目で (反復) スタート条件またはストップ条件を検出

■ バスエラー動作

送受信による割込みフラグ (INT) が "1" になったときに BER ビットを確認し, BER ビットが "1" の場合はエラー処理を行ってください。BER ビットは INT ビットに "0" を書くことによってクリアされます。

バスエラーによって INT ビットは "1" にセットされますが, I²C バスの SCL を "L" にしてウェイト状態にはなりません。

15.23 専用ボーレートジェネレータ

専用ボーレートジェネレータは、シリアルクロックの周波数の設定を行います。

■ ボーレート選択

- 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

2つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

(1) リロード値：

$$V = \phi / b - 1$$

V：リロード値 b：ボーレート ϕ ：周辺クロック (CLKP) 周波数

ただし、I²C バスの SCL の立上り時間によっては設定したボーレートが発生しませんのでリロード値を調整してください。

(2) 計算例：

周辺クロック (CLKP) 16MHz, ボーレート 400kbps に設定する場合のリロード値は、次のようになります。

リロード値：

$$V = (16 \times 1000000) / 400000 - 1 = 39$$

よって、ボーレートは、

$$b = (16 \times 1000000) / (39 + 2) = 400 \text{ kbps}$$

< 注意事項 >

- ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) への書込みは、16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが "0" のときにボーレートジェネレータレジスタの設定を行ってください。
- 動作モード 4 (I²C モード) では周辺クロック (CLKP) は 8 MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。
- リロード値を "0" に設定するとリロードカウンタは停止します。

■ 各周辺クロック (CLKP) 周波数に対するリロード値とボーレート

表 15.23-1 リロード値とボーレート

ボーレート [bps]	8 MHz	10 MHz	16 MHz	20 MHz	24 MHz	32MHz
	リロード値	リロード値	リロード値	リロード値	リロード値	リロード値
400000	19	24	39	49	59	79
200000	39	49	79	99	119	159
100000	79	99	159	199	239	319

本数値は I²C バスの SCL 立上りが "0" の場合です。I²C バスの SCL 立上りが遅い場合には上記の数値より遅いボーレートになります。

■ リロードカウンタの機能

リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値をボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) より読み出すことができます。

■ カウントの開始

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

15.23.1 I²C のフローチャート例

I²C の通信フローチャート例を示します。

■ I²C マスタ受信 / スレーブ送信 FIFO 通信フロー

図 15.23-1 マスタ受信メイン設定

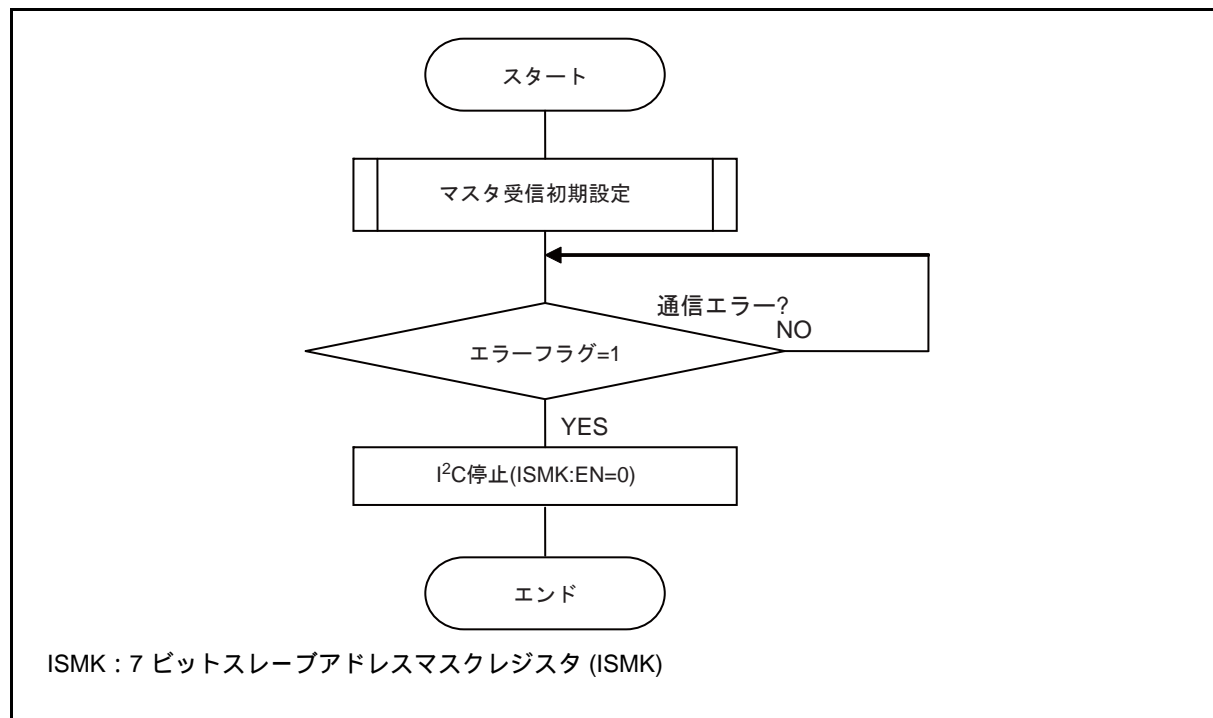


図 15.23-2 マスタ受信初期設定

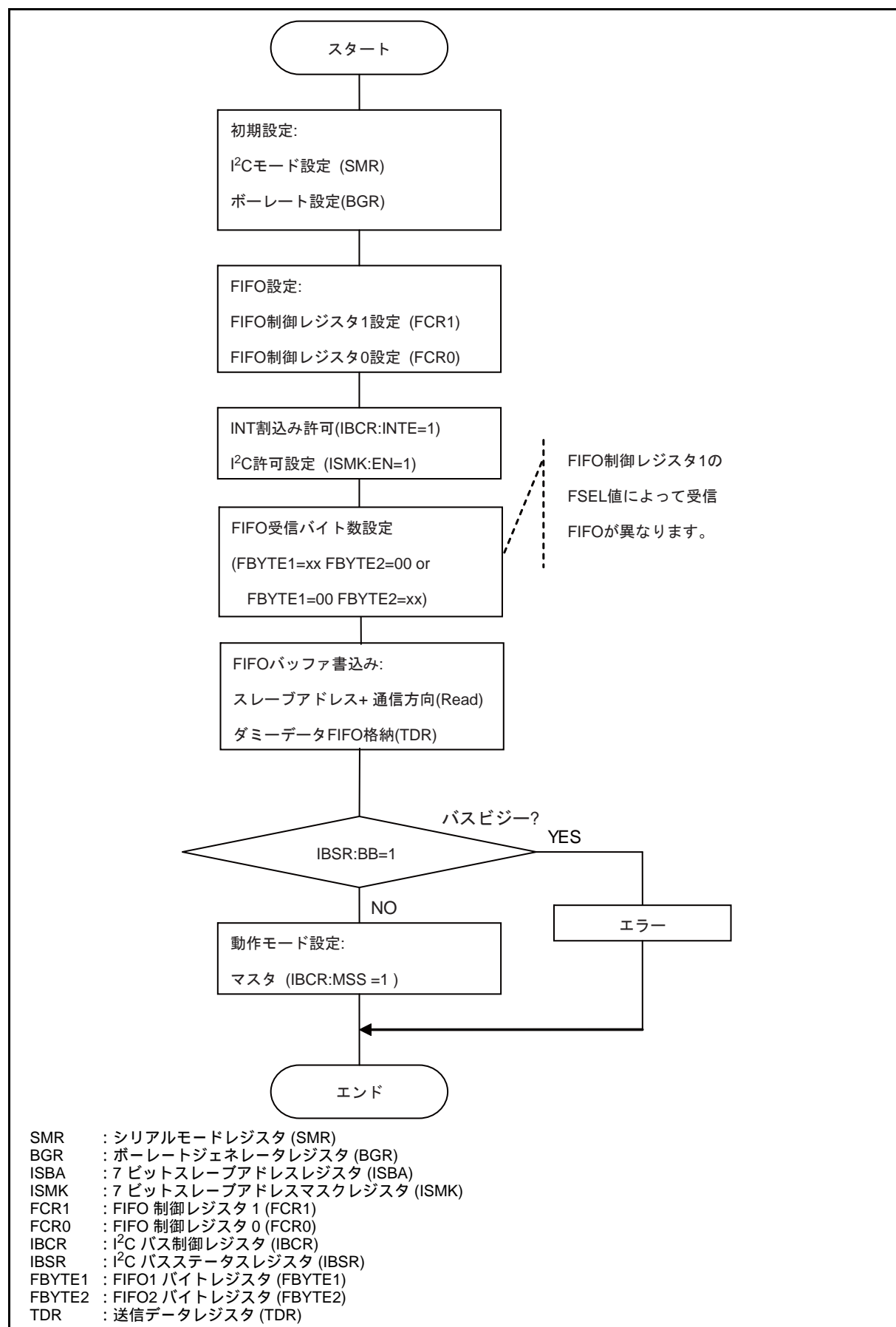
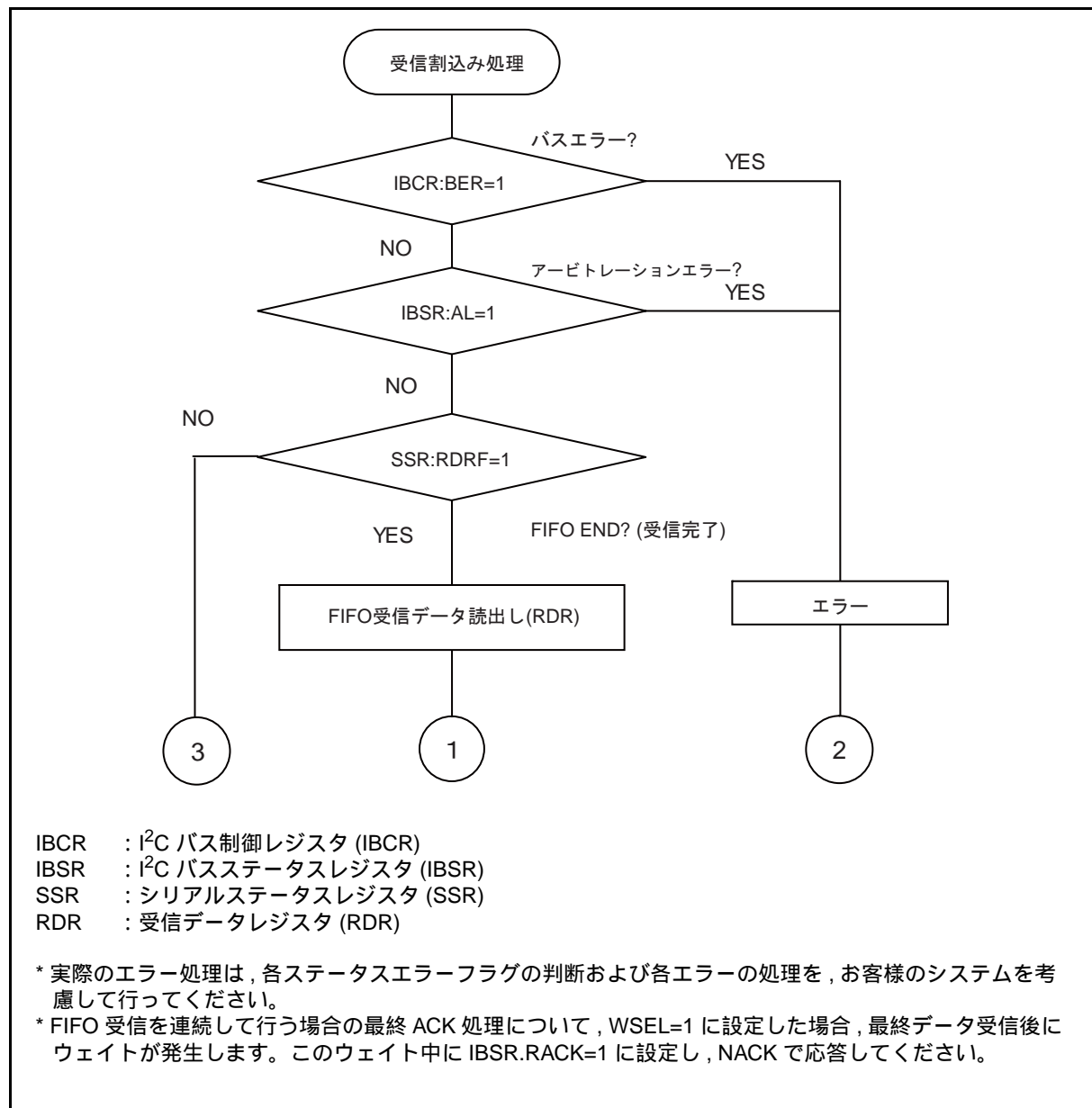


図 15.23-3 マスタ受信割り込み処理



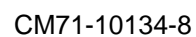


図 15.23-4 スレーブ送信メイン設定

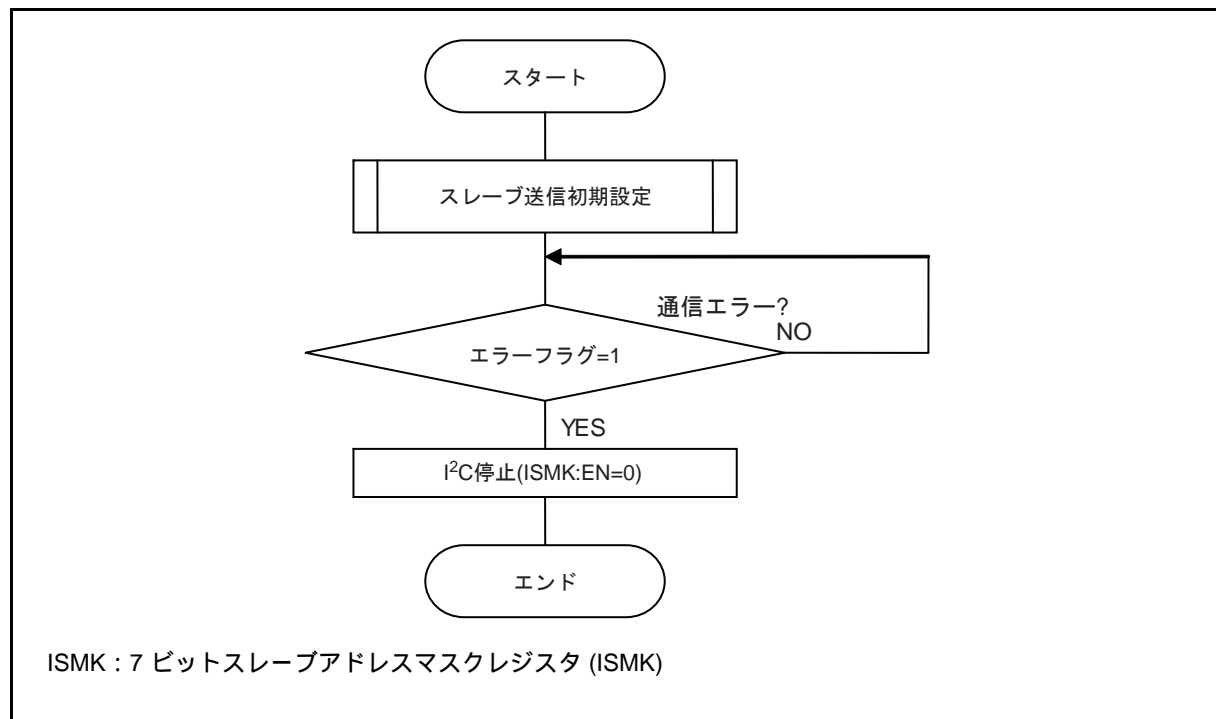


図 15.23-5 スレーブ送信初期設定

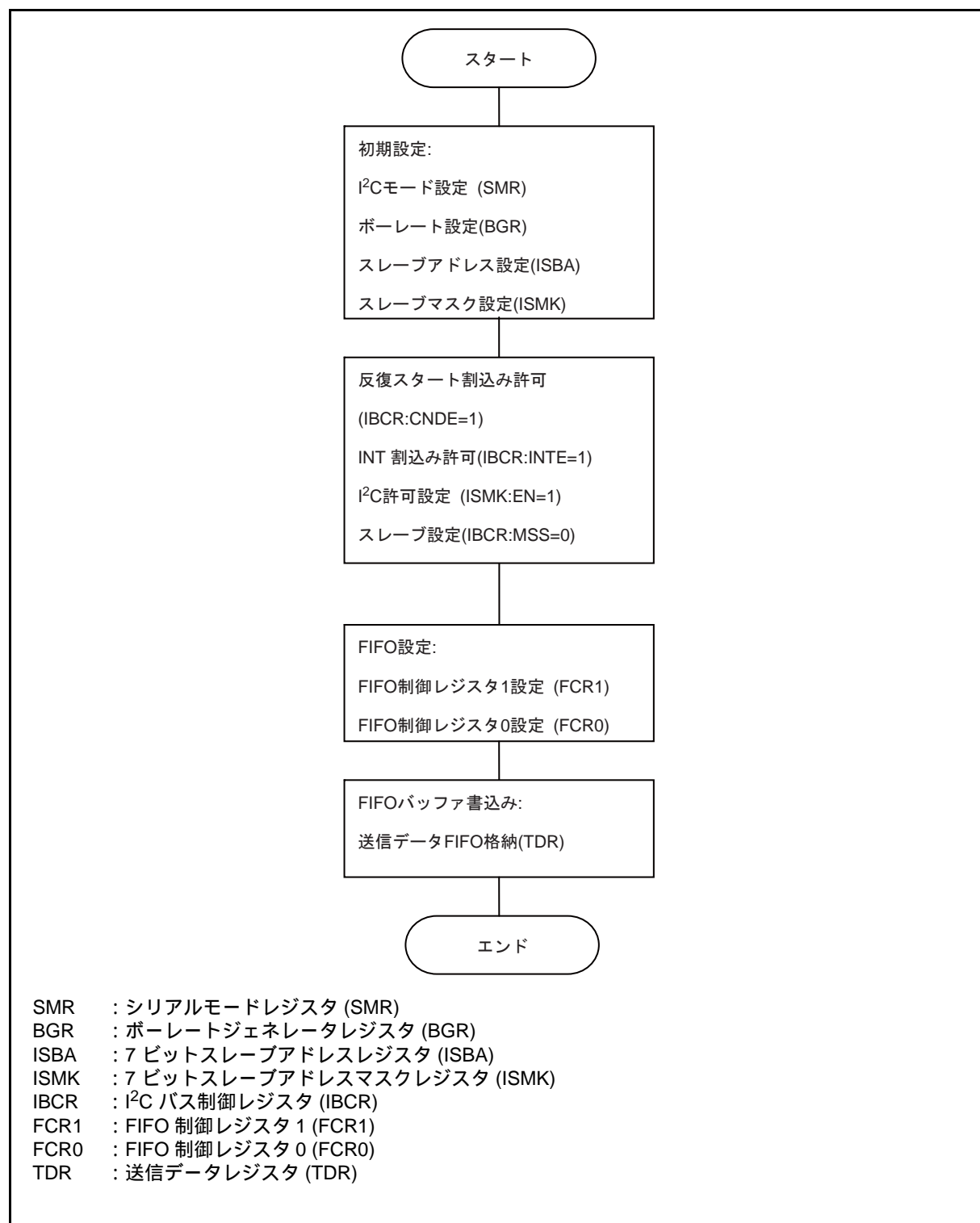
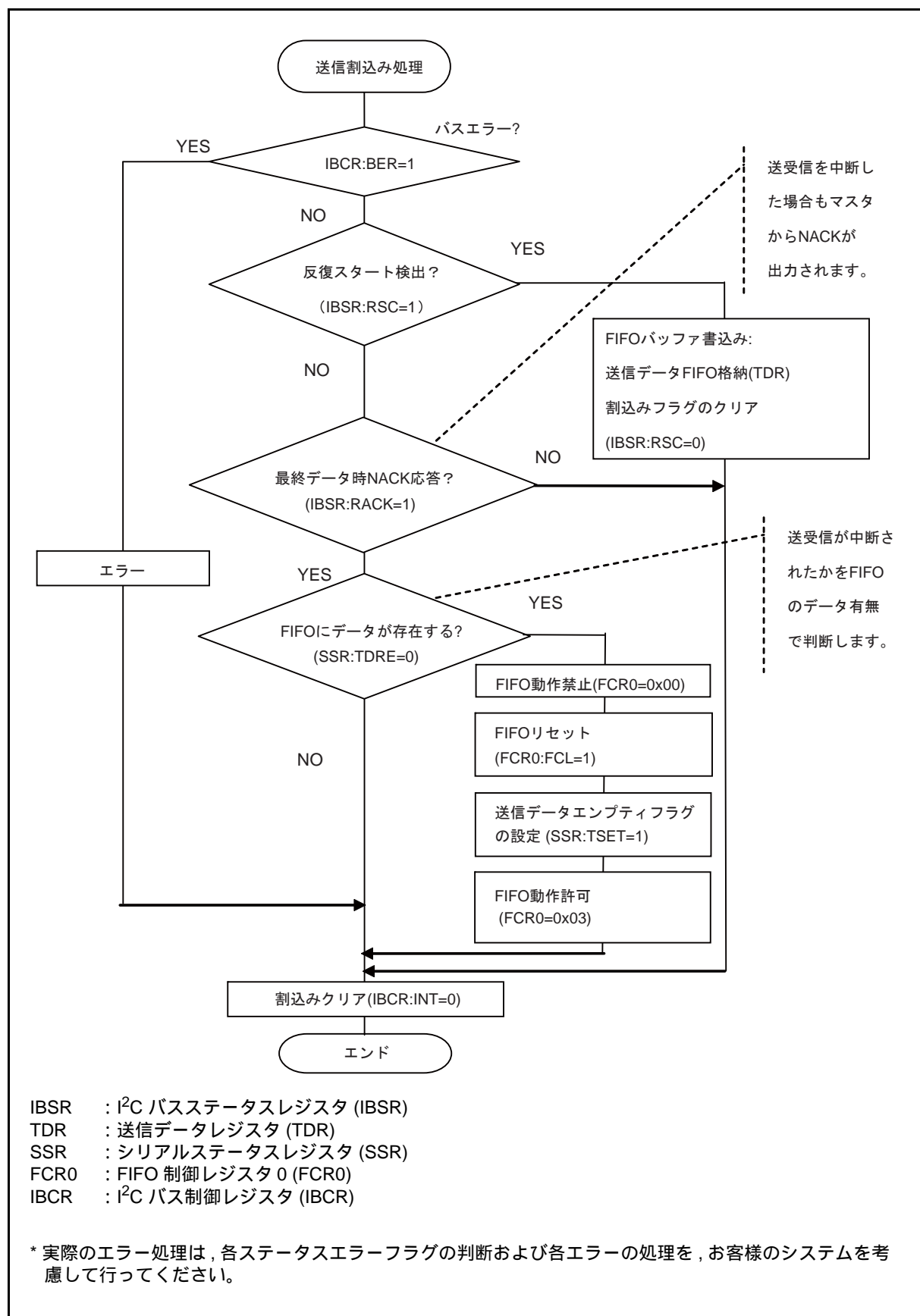


図 15.23-6 スレーブ送信割込み処理



■ I²C マスタ送信 / スレーブ受信 FIFO 通信フロー

図 15.23-7 マスタ送信メイン設定

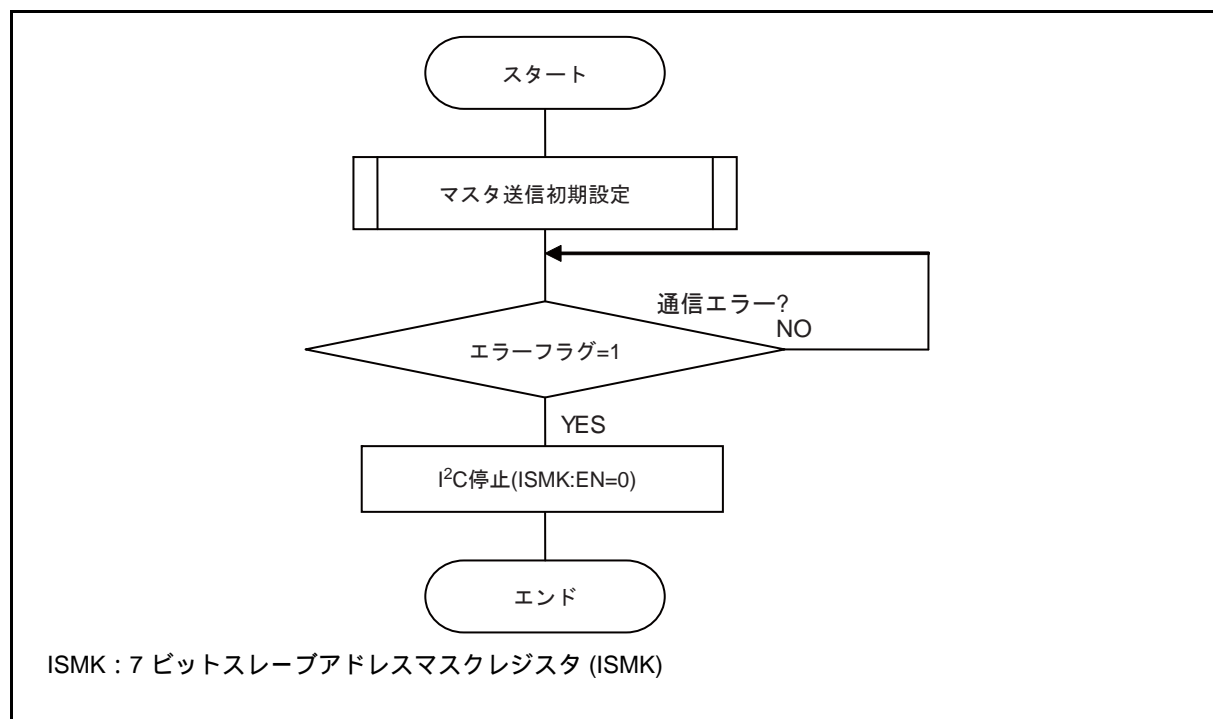


図 15.23-8 マスタ送信初期設定

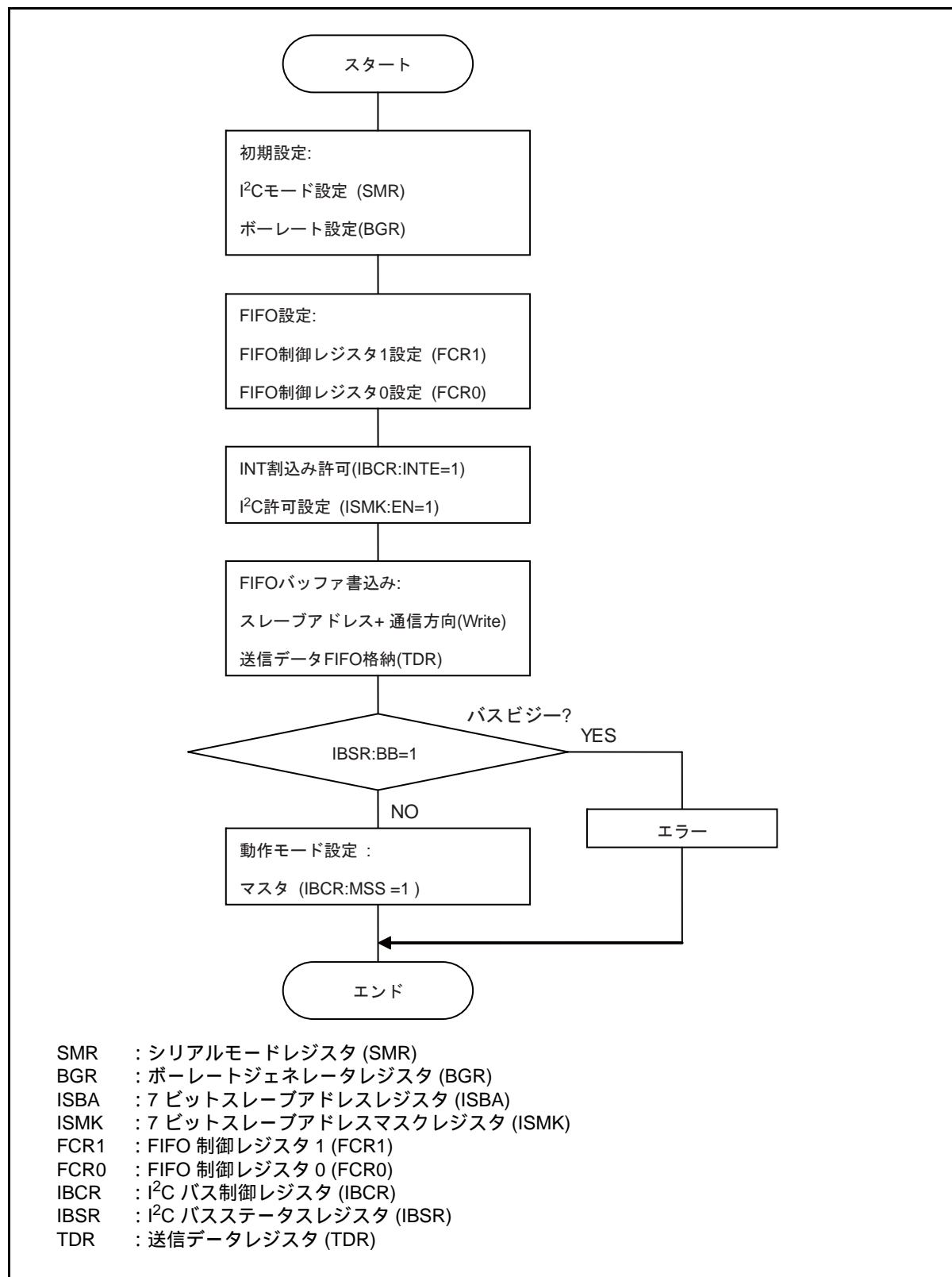
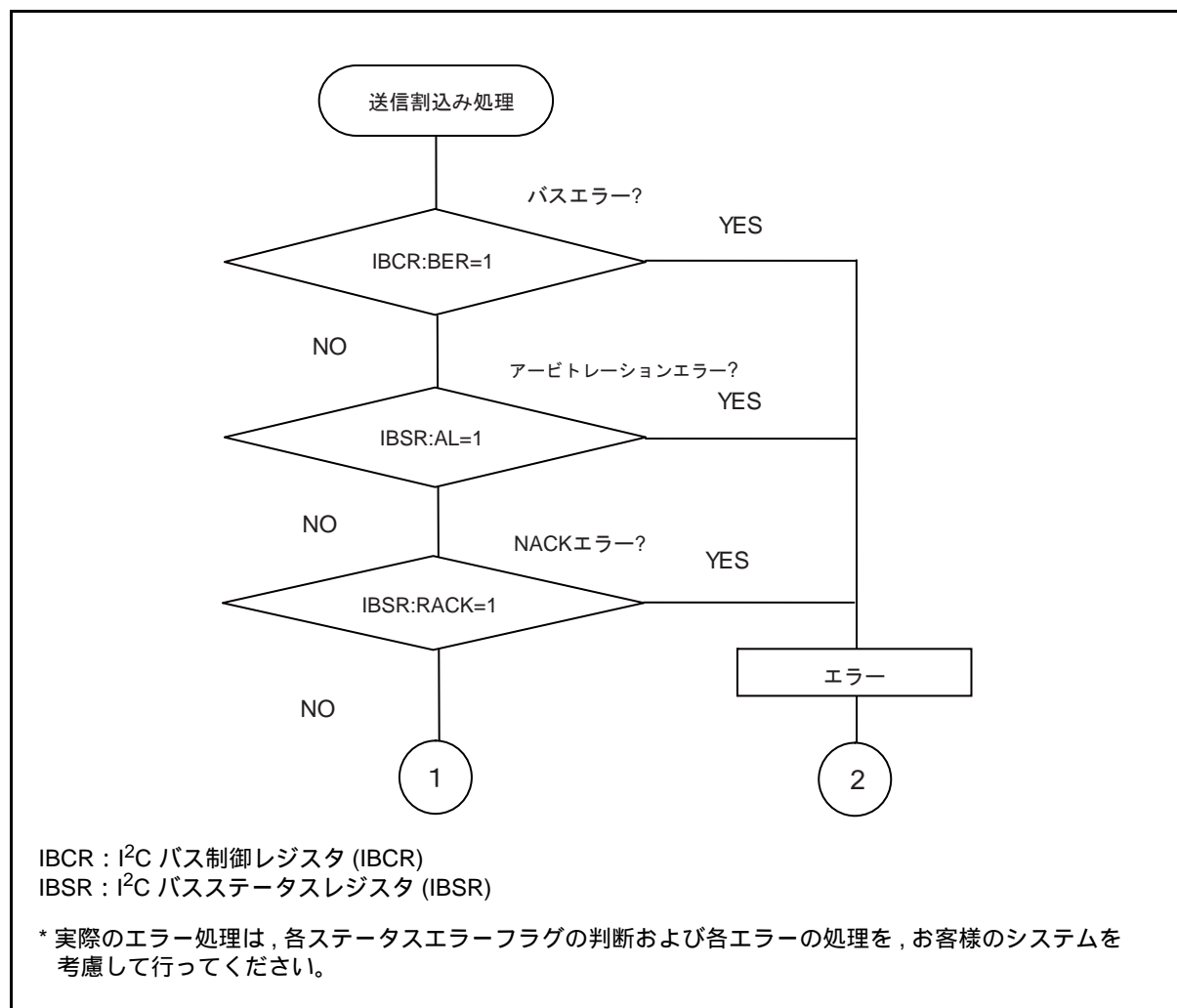


図 15.23-9 マスタ送信割込み処理



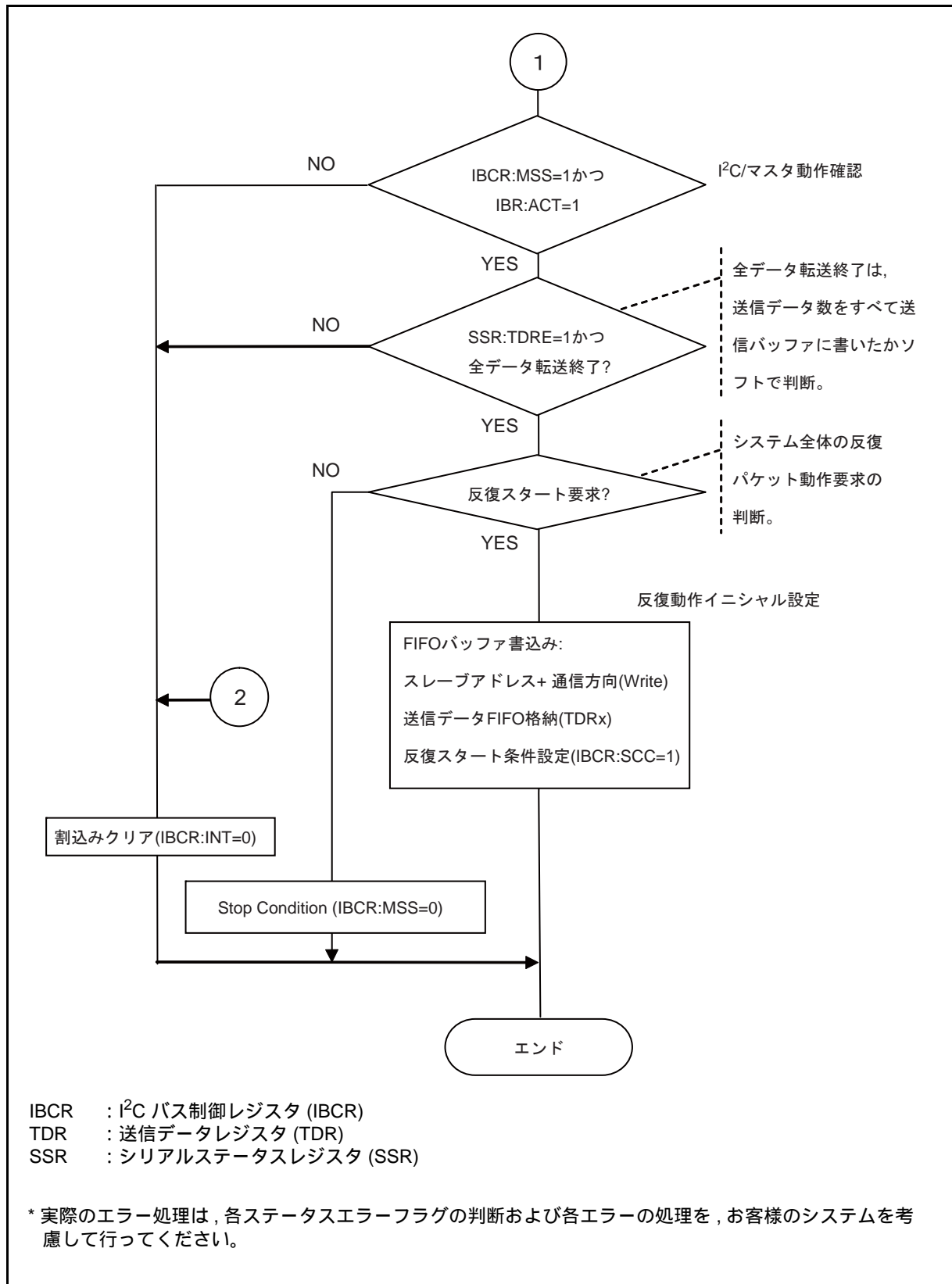


図 15.23-10 スレーブ受信メイン設定

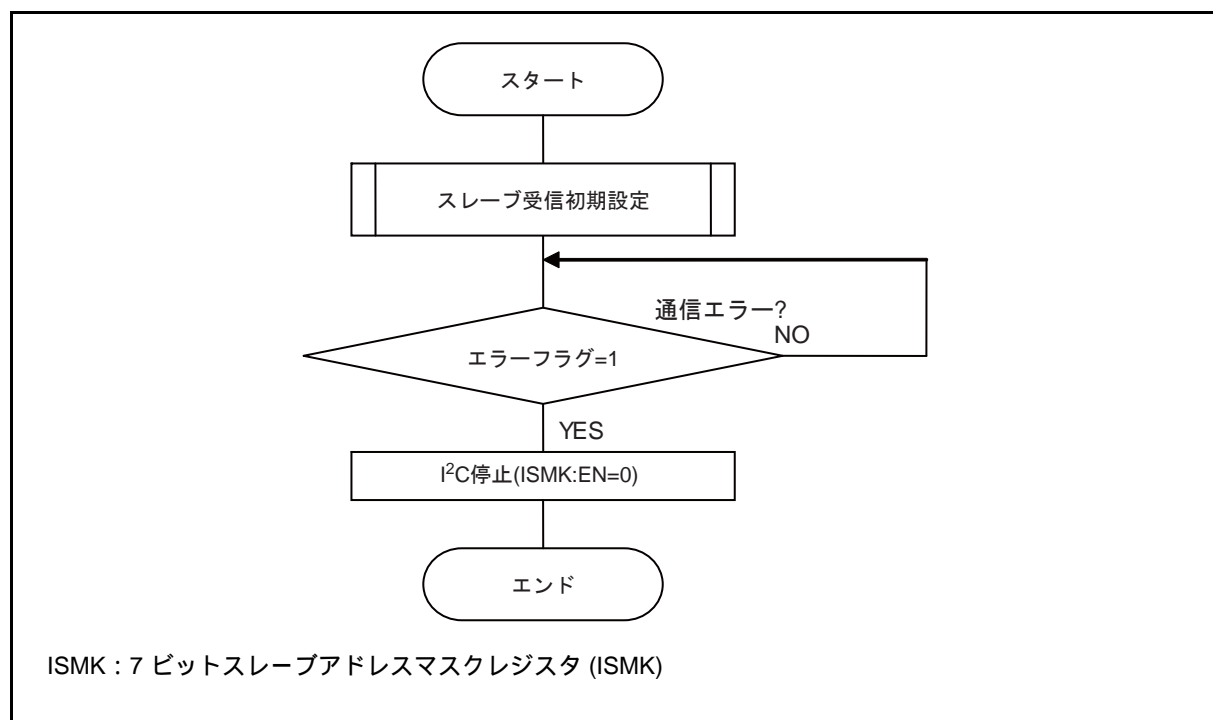


図 15.23-11 スレーブ受信初期設定

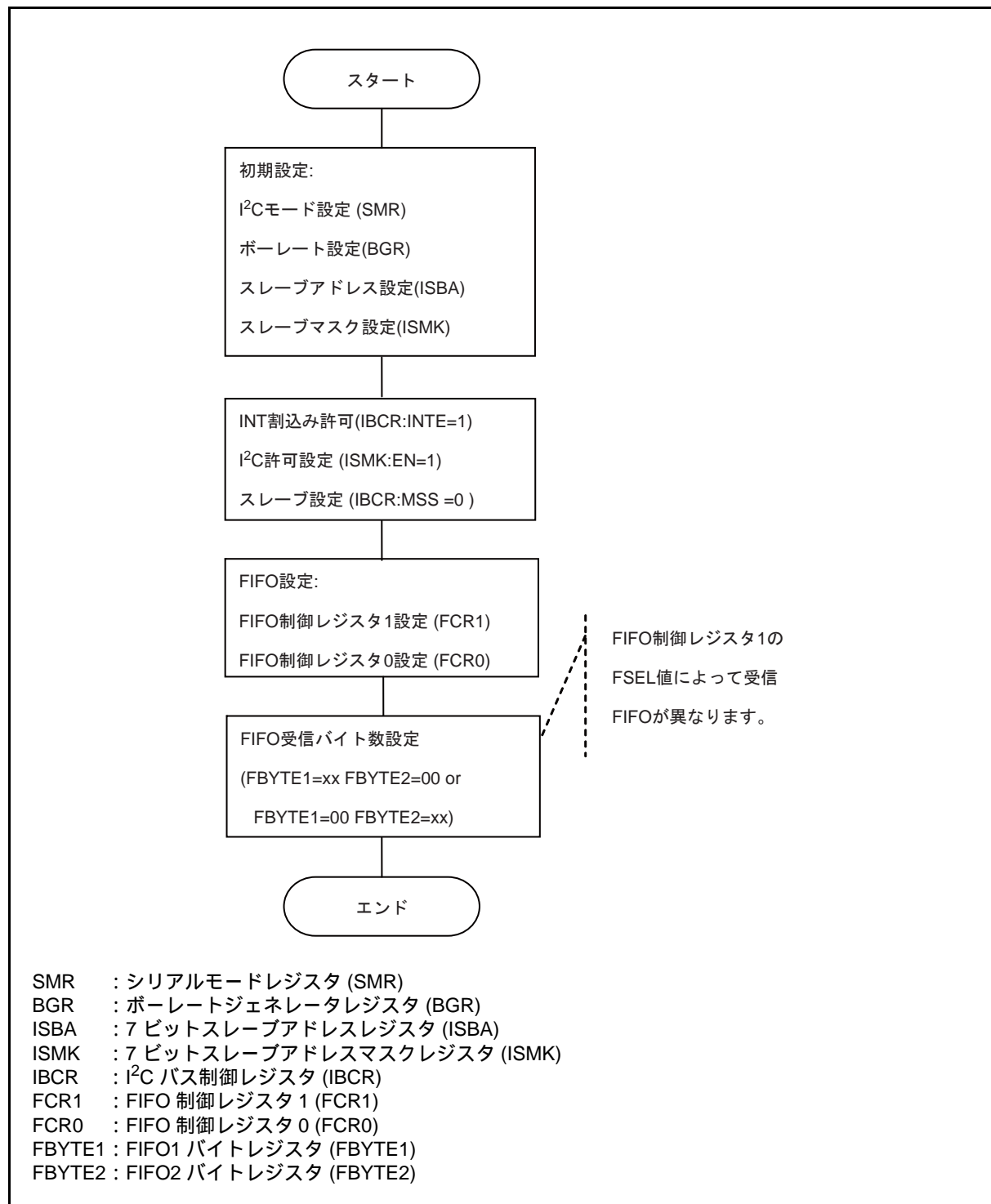
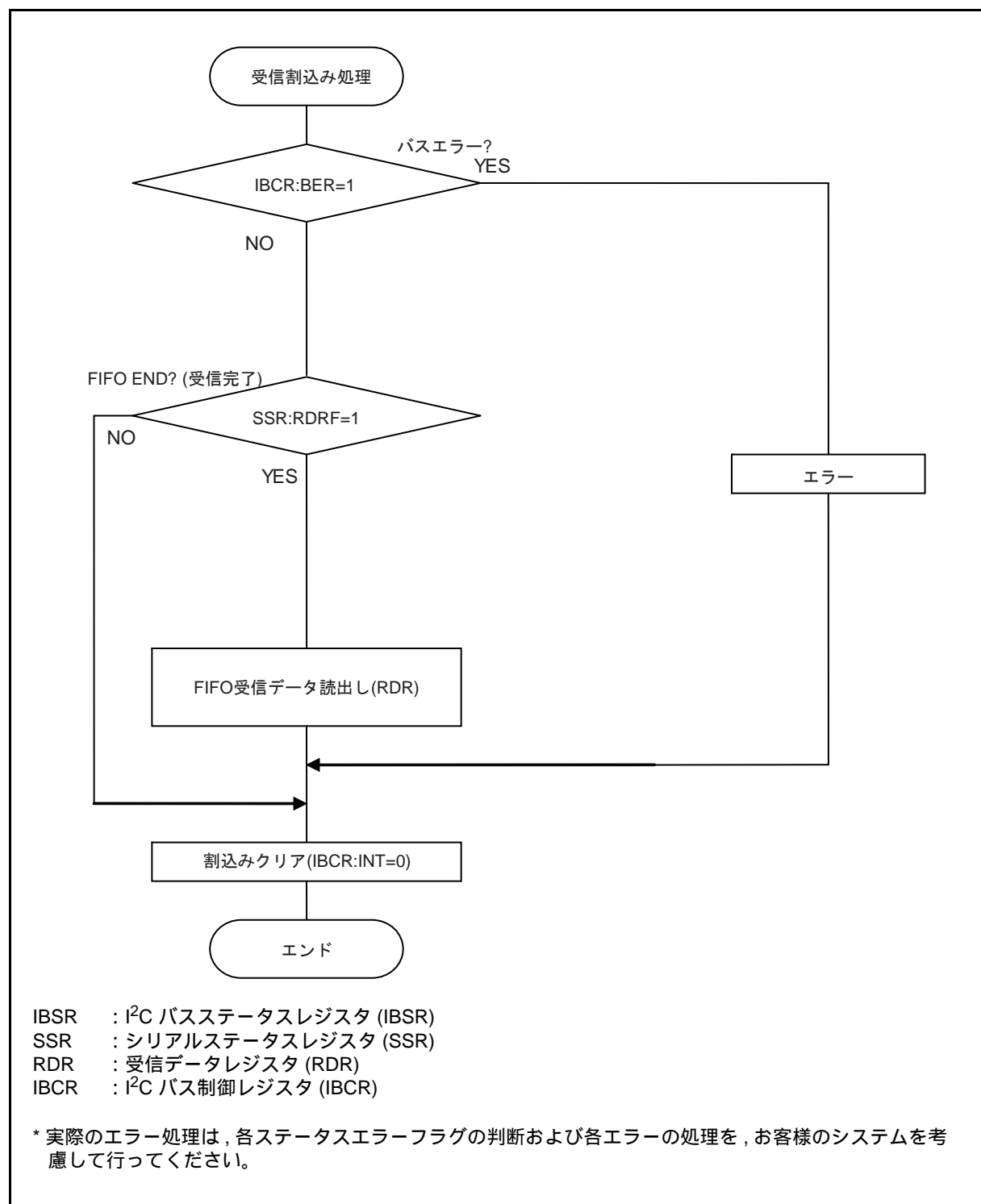


図 15.23-12 スレーブ受信割込み処理

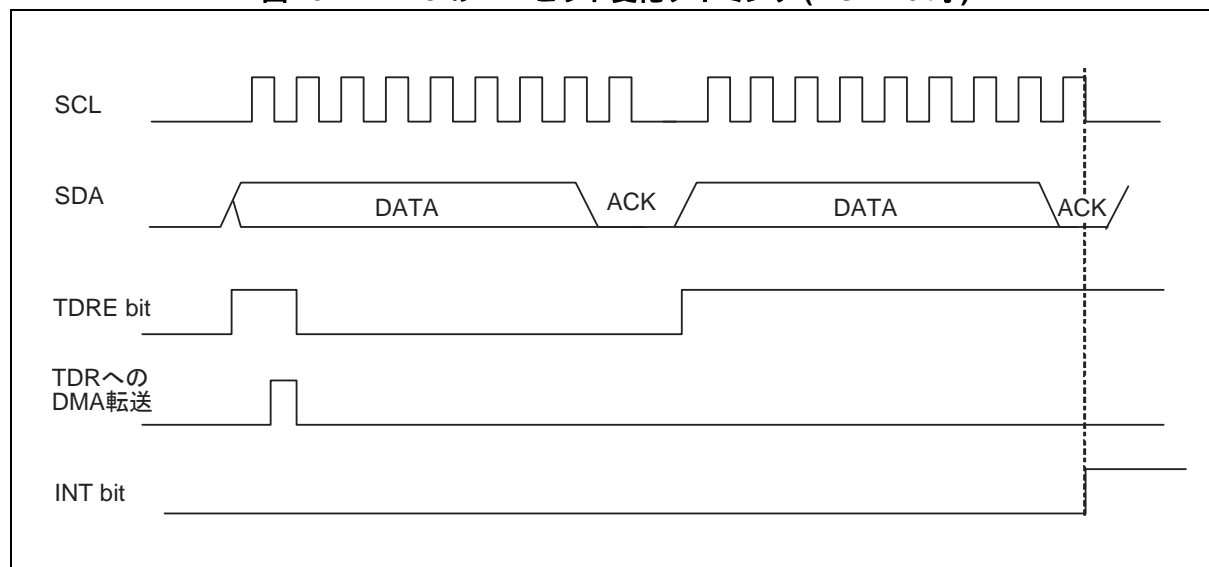


15.24 I²C モードの注意事項

I²C モードの注意事項を下記に示します。

- FIFO 付きチャネルで DMA 転送要求する場合、FIFO は使用できません。FIFO 動作禁止の設定としてください。
- DMA 転送要求する場合、DMA のブロックサイズを 1 回に設定してください。
- マスタ受信およびスレーブ受信時には、データ受信用の DMA 転送と、ダミーデータ送信用の DMA 転送が必要なため、DMA を 2 チャネル使用する必要があります。
- I²C モードでは、送信レジスタ (TDR) に有効なデータがなく、送信データエンプティフラグビット (TDRE) が "1" の状態で、I²C バス上のデータが 9 ビット目 (WSEL=0 時) または 8 ビット目 (WSEL=1 時) まで送信された場合、図 15.24-1 のように割込みフラグ (INT) が "1" となります。DMA 転送中に割込みフラグ (INT) が "1" になると、ソフトで "0" クリアしない限り、DMA 転送が継続できません (マスタ送信、スレーブ送信、マスタ受信、スレーブ受信共)。

図 15.24-1 I²C の INT ビット変化タイミング (WSEL=0 時)



上記のような仕様のため、I²C モードで DMA 転送する場合には、割込みフラグ (INT) が "1" となる前に、TDR への DMA 転送が行われるように対応してください。I²C の DMA 転送を優先するには、以下のような対応があります。

- 優先度が高い (チャネル番号が小さい) DMA を使用する。優先順位設定ビットを固定 (AT=0) で使用する場合に有効。
- DMA 転送抑止割込みレベルビット (DILVR レジスタの LVL4-LVL0 ビット) を可能な限り小さい値にする。

- 送信データエンプティフラグ(SSR:TDRE)が"1"になって送信データレジスタ(TDR)に送信データを DMA 転送によって書くか、またはソフトによって送信データエンプティフラグ (SSR:TDRE)を確認して書く場合、送信データエンプティフラグ (SSR:TDRE) が "0" にならない場合があるため、ACK フィールドの SCL が立下がるまでに送信データを書いてください。ソフトによって割込みフラグ (IBCR:INT) が "1" になってから送信データを書く場合は特に制限はありません。DMA 転送時またはソフトにて送信データエンプティフラグ(SSR:TDRE)による送信処理を行うとき、ACK フィールドの SCL が立ち下がるまでに送信データを書くのが遅れる場合には以下の設定および手順にしてください。
 - 設定
割込みフラグ (IBCR:INT) が "1" になるタイミングを 8 ビット目に設定 (WSEL=1) する。
 - 手順
マスタで送受信を行う場合、以下の手順で処理してください。スレーブで送受信を行う場合には、下記手順は必要ありません。
 1. ソフトにて第一バイト (スレーブアドレス) を送信データレジスタに書く。
 2. マスタ起動 (IBCR:MSS="1" ライト) と同時にウェイト選択を 8 ビットに設定 (IBCR:WSEL="1" ライト) する。
 3. 第一バイト送信後、割込みフラグ (IBCR:INT) が "1" になるので ACK 応答 (IBSR:RACK="0")を確認後、第二バイト目をソフトによって送信データレジスタ (TDR) に書いてから DMAC の設定を行い、DMA 転送を起動し、割込みフラグ (IBCR:INT) に "0" を書く。
 4. 送受信が終了した場合、マスタの終了 (IBCR:MSS="0" ライト) または再起動 (IBCR:SCC="1" ライト) を行います。

第 16 章

8/10 ビット A/D コンバータ

A/D コンバータの概要，レジスタの構成 / 機能，および動作について説明します。

- 16.1 8/10 ビット A/D コンバータの概要
- 16.2 8/10 ビット A/D コンバータの構成
- 16.3 8/10 ビット A/D コンバータの端子
- 16.4 8/10 ビット A/D コンバータのレジスタ
- 16.5 8/10 ビット A/D コンバータの割込み
- 16.6 8/10 ビット A/D コンバータの動作説明
- 16.7 8/10 ビット A/D コンバータの A/D 変換データ保護機能
- 16.8 8/10 ビット A/D コンバータの使用メモ
- 16.9 8/10 ビット A/D コンバータの使用上の注意

16.1 8/10 ビット A/D コンバータの概要

8/10 ビット A/D コンバータには、RC 逐次比較変換方式でアナログ入力電圧を 10 ビットもしくは 8 ビットのデジタル値に変換する機能があります。入力信号は、各アナログ入力端子から選択し、変換起動はソフトウェア、内部タイマ、外部端子トリガの 3 種類から選択できます。

■ 8/10 ビット A/D コンバータの機能

アナログ入力端子に入力されたアナログ電圧（入力電圧）をデジタル値に A/D 変換する機能があり、次の特長があります。

- 変換時間は、最小 1.2 μ s(周辺クロック (CLKP) 33 MHz 時、サンプリング時間を含む) です。
- 変換方式は、サンプルホールド回路付き RC 逐次変換比較方式です。
- 10 ビットまたは 8 ビットの分解能を選択できます。
- アナログ入力端子はプログラムで選択できます。
- A/D データレジスタは、アナログ入力チャンネルごとにあります。
- 各 A/D データレジスタ内には、エラーフラグビットおよびエラーステータスビットが存在し、これらの値により A/D 変換データの状態を知ることができます。
- A/D 変換終了割込みにより、DMAC を起動させることができます。
- 変換の起動要因はソフトウェア、16 ビットリロードタイマ 1 もしくは多機能タイマ（立上りエッジ）、外部端子トリガ（立下りエッジ）から選択できます。
- A/D 変換機能選択ビットにより、次の 2 つのモードを設定することができます。

[機能 1]

- アナログ入力チャンネルごとに 1 つの A/D データレジスタが割り当てられます。
- 選択されたアナログ入力チャンネルの全 A/D 変換終了時に割込み要求を発生できます。
- 変換データ保護機能は動作しません。

[機能 2]

- 全アナログ入力チャンネルに対して A/D データレジスタは 1 つのみです。
- 選択された全アナログ入力チャンネルの A/D 変換終了時ごとに割込み要求を発生できます。
- 割込み許可の状態では変換データ保護機能が働くため、連続変換してもデータの欠落がありません。

変換モードは 3 種類あります。

表 16.1-1 8/10 ビット A/D コンバータの変換モード

変換モード	シングル変換動作	スキャン変換動作
単発変換モード	指定したチャンネル (1 チャンネルのみ) を 1 回変換して終了	連続した複数のチャンネル (複数チャンネル指定可能) を 1 回変換して終了
連続変換モード	指定したチャンネル (1 チャンネルのみ) を繰り返し変換	連続した複数のチャンネル (複数チャンネル指定可能) を繰り返し変換
停止変換モード	指定したチャンネル (1 チャンネルのみ) を 1 回変換したら一時停止し、次の起動がかかるまで待機	連続した複数のチャンネル (複数チャンネル指定可能) を変換。ただし、1 チャンネル変換ごとに一時停止し、次の起動がかかるまで待機

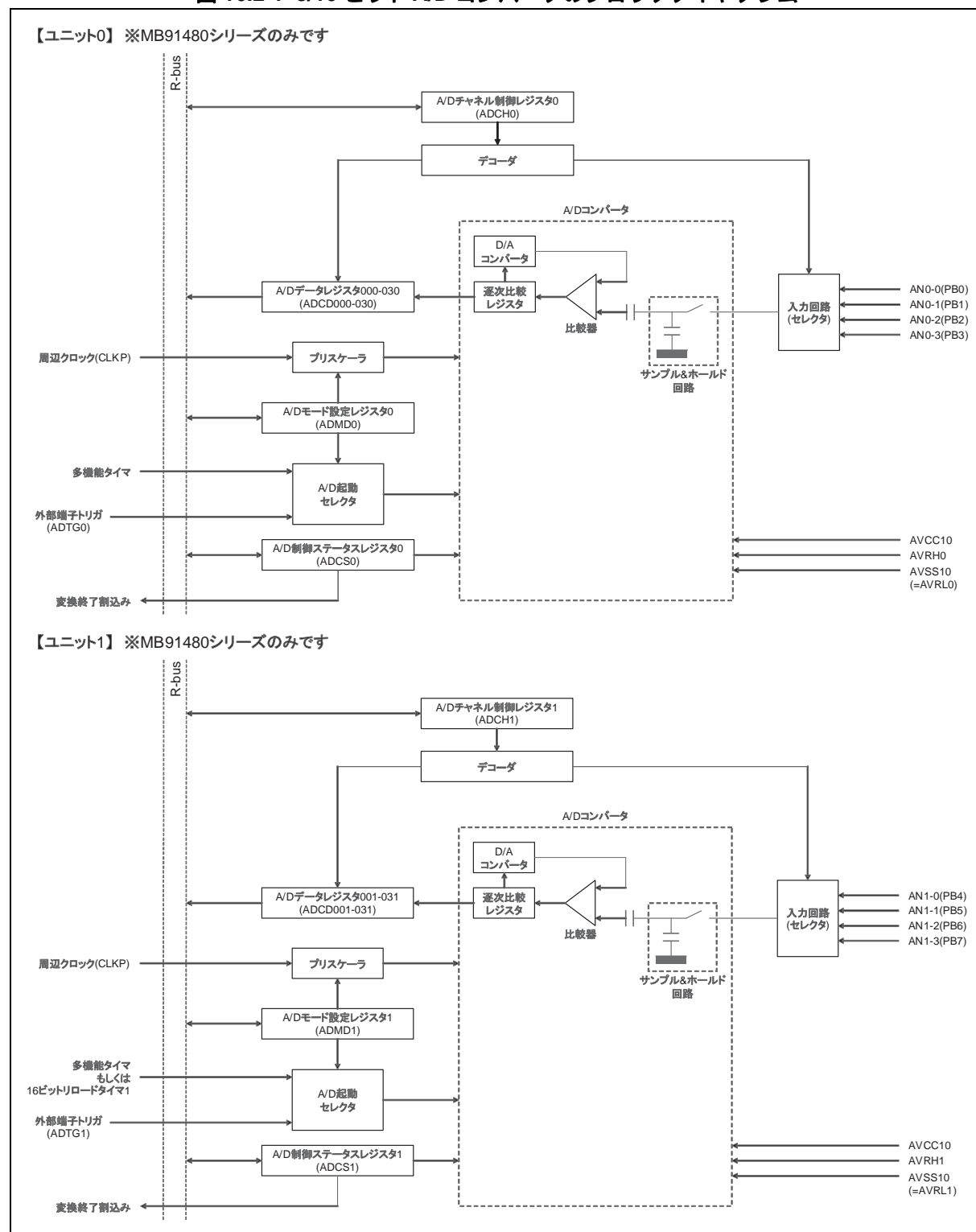
16.2 8/10 ビット A/D コンバータの構成

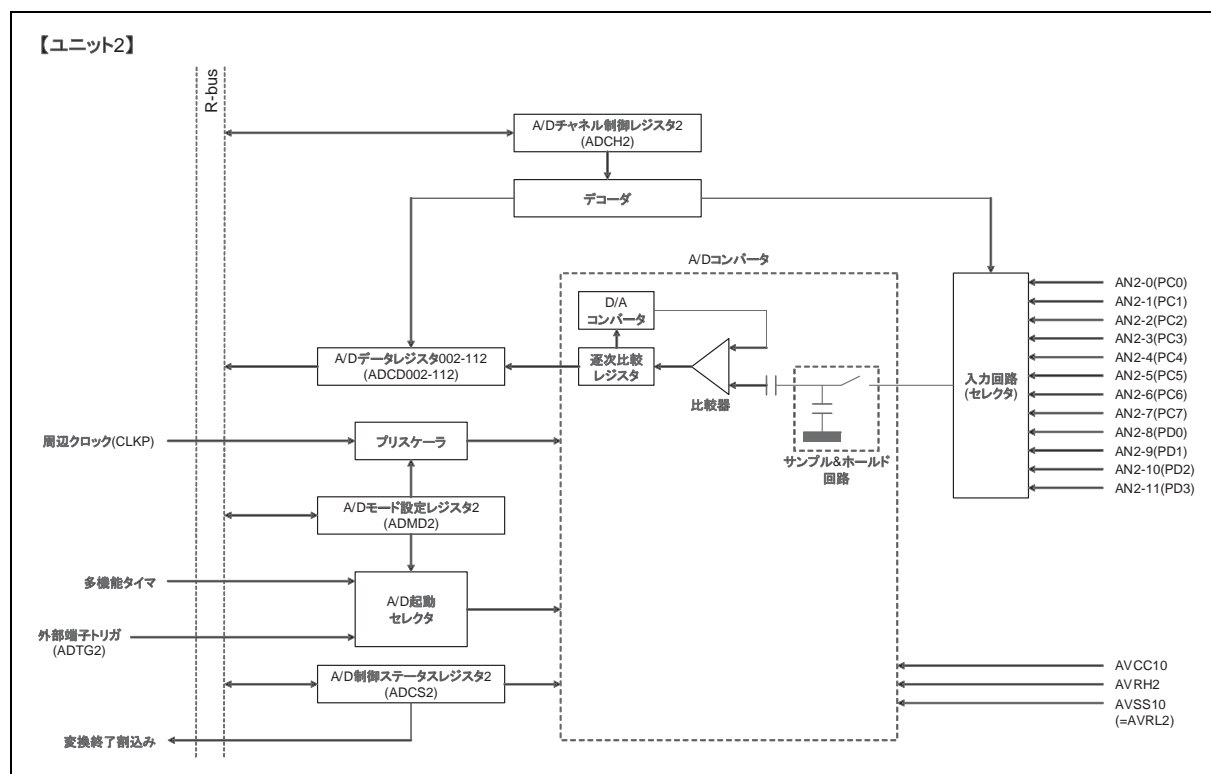
8/10 ビット A/D コンバータは、次の 11 種類のブロックで構成されています。

- A/D 制御ステータスレジスタ (ADCS)
 - A/D チャンネル制御レジスタ (ADCH)
 - A/D モード設定レジスタ (ADMD)
 - A/D データレジスタ (ADCD)
 - クロックセクタ (A/D 変換起動用入力クロックセクタ)
 - デコーダ
 - アナログチャンネルセクタ
 - サンプルホールド回路
 - D/A コンバータ
 - コンパレータ
 - コントロール回路
-

■ 8/10 ビット A/D コンバータのブロックダイアグラム

図 16.2-1 8/10 ビット A/D コンバータのブロックダイアグラム





MB91470 シリーズ : ユニット 2, AN0 ~ AN11

MB91480 シリーズ : ユニット 0, AN0 ~ AN3

ユニット 1, AN0 ~ AN3

ユニット 2, AN0 ~ AN9

● A/D 制御ステータスレジスタ (ADCS)

一時停止および変換確認、割込み要求の許可 / 禁止、割込み要求の状態の確認、A/D 変換の分解能、変換機能 (機能 1/ 機能 2) を選択する機能があります。

● A/D チャネル制御レジスタ (ADCH)

A/D チャネルを選択する機能があります。

● A/D モード設定レジスタ (ADMD)

変換モードの選択と A/D 変換のコンペア時間やサンプリング時間を設定する機能があります。

● A/D データレジスタ (ADCD)

A/D 変換結果を格納するレジスタです。レジスタ内のデータの状態を示すフラグビットが存在します。

● クロックセクタ (A/D 変換起動用入力クロックセクタ)

A/D 変換起動クロックを選択するセクタです。起動クロックには、16 ビットリロードタイマチャネル 1 出力、多機能タイマまたは外部端子トリガが選択できます。

● デコーダ

A/D チャネル制御レジスタ (ADCH) の ANE0 ~ ANE3, ANS0 ~ ANS3 ビットの設定から使用するアナログ入力端子を選択する回路です。

- アナログチャネルセクタ

アナログ入力端子の中から使用する端子を選択する回路です。

- サンプルホールド回路

アナログチャネルセクタで選択された入力電圧を保持する回路です。A/D 変換を起動した直後の入力電圧をサンプルホールドすることで、A/D 変換中（比較中）の入力電圧の変動の影響を受けずに変換できます。

- D/A コンバータ

サンプルホールドされた入力電圧と比較するための基準電圧を発生します。

- コンパレータ

サンプルホールドされた入力電圧と D/A コンバータの出力電圧を比較し、大小を判定します。

- コントロール回路

コンパレータからの大小信号で A/D 変換値を決定します。A/D 変換の終了後、変換結果を A/D データレジスタ (ADCD) に格納して割り込み要求を発生します。

16.3 8/10 ビット A/D コンバータの端子

8/10 ビット A/D コンバータの端子および端子のブロックダイアグラムを示します。

■ 8/10 ビット A/D コンバータの端子

A/D コンバータの端子は汎用ポートと兼用になっています。表 16.3-1 に端子の機能、入出力形式、8/10 ビット A/D コンバータ使用時の設定などを示します。

表 16.3-1 8/10 ビット A/D コンバータの端子

機能	端子名	端子機能	入出力形式	プルアップ 設定	スタンバイ 制御	端子の使用に必要な I/O ポートの設定		
ユニット 0 ch.0 ~ ch.3	PB0/AN0-0	ポート B 入出力 / アナログ入力	CMOS 出力 / CMOS ヒステ リシス入力 または アナログ入力	あり (ただし、 アナログ入力 許可時、プル アップは機能 しません。)	あり	ポート B を入力設定 (DDRB:bit0 ~ bit3=0) アナログ入力に設定 (AICR0 : bit0 ~ bit3=1)		
	PB1/AN0-1							
	PB2/AN0-2							
	PB3/AN0-3							
ユニット 1 ch.0 ~ ch.3	PB4/AN1-0					ポート B を入力設定 (DDRB:bit4 ~ bit7=0) アナログ入力に設定 (AICR1 : bit0 ~ bit3=1)		
	PB5/AN1-1							
	PB6/AN1-2							
	PB7/AN1-3							
ユニット 2 ch.0 ~ ch.11	PC0/AN2-0	ポート C 入出力 / アナログ入力				あり (ただし、 アナログ入力 許可時、プル アップは機能 しません。)	あり	ポート B を入力設定 (DDRC:bit0 ~ bit7=0) アナログ入力に設定 (AICR2 : bit0 ~ bit7=1)
	PC1/AN2-1							
	PC2/AN2-2							
	PC3/AN2-3							
	PC4/AN2-4							
	PC5/AN2-5							
	PC6/AN2-6							
	PC7/AN2-7							
	PD0/AN2-8	ポート D 入出力 / アナログ入力	ポート B を入力設定 (DDRD:bit0 ~ bit3=0) アナログ入力に設定 (AICR2 : bit8 ~ bit11=1)					
	PD1/AN2-9							
	PD2/AN2-10							
	PD3/AN2-11							
外部トリガ 入力 ADTG0 ~ ADTG2	PA0/ADTG0	ポート A 入出力 / 外部トリガ入力	CMOS 出力 / CMOS ヒステ リシス入力	あり	ポート A を入力設定 (DDRA:bit0 ~ bit2=0)			
	PA1/ADTG1							
	PA2/ADTG2							

16.4 8/10 ビット A/D コンバータのレジスタ

8/10 ビット A/D コンバータのレジスタ一覧を示します。

■ 8/10 ビット A/D コンバータのレジスタ一覧

図 16.4-1 8/10 ビット A/D コンバータのレジスタ一覧

AICR2								
アナログ入力制御レジスタ (上位) : ユニット 2								
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
000170 _H	-	-	-	-	AN11E	AN10E	AN9E	AN8E
	-	-	-	-	R/W	R/W	R/W	R/W
初期値								
----1111 _B								
アナログ入力制御レジスタ (下位) : ユニット 2								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
000171 _H	AN7E	AN6E	AN5E	AN4E	AN3E	AN2E	AN1E	AN0E
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値								
11111111 _B								
AICR0/AICR1								
アナログ入力制御レジスタ (下位) : ユニット 0/1								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
000501 _H	-	-	-	-	AN3E	AN2E	AN1E	AN0E
000511 _H	-	-	-	-	R/W	R/W	R/W	R/W
初期値								
---- 1111 _B								
ADCS0/ADCS1/ADCS2								
A/D 制御ステータスレジスタ : ユニット 0/1/2								
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
000504 _H	BUSY	INT	INTE	PAUS	S10	FuncSet	START	-
000514 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
000174 _H								
初期値								
0000000- _B								
ADCH0/ADCH1/ADCH2								
A/D チャネル制御レジスタ : ユニット 0/1/2								
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
000506 _H	ANS3	ANS2	ANS1	ANS0	ANE3	ANE2	ANE1	ANE0
000516 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
000176 _H								
初期値								
00000000 _B								
ADMD0/ADMD1/ADMD2								
A/D モード設定レジスタ : ユニット 0/1/2								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
000507 _H	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0
000517 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
000177 _H								
初期値								
00001111 _B								

(続く)

(続き)

ADCD000 ~ ADCD030/ADCD001 ~ ADCD031/ADCD002 ~ ADCD112

A/D データレジスタ (上位) : ユニット 0/1/2

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
000508 _H ~ 00050E _H	ERR	ERRST	-	-	-	-	D9	D8	10- - - - XX _B
000518 _H ~ 00051E _H	R	R	-	-	-	-	R	R	
000178 _H ~ 00018E _H									

A/D データレジスタ (下位) : ユニット 0/1/2

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
000508 _H ~ 00050E _H	D7	D6	D5	D4	D3	D2	D1	D0	XXXXXXXX _B
000518 _H ~ 00051E _H	R	R	R	R	R	R	R	R	
000178 _H ~ 00018E _H									

R/W: リード / ライト可能

R : リードオンリ

16.4.1 A/D チャンネル制御レジスタ (ADCH)

A/D チャンネル制御レジスタは、A/D 変換チャンネルの選択をする機能があります。

■ A/D チャンネル制御レジスタ (ADCH: ADCH0 ~ ADCH2)

アドレス 000506 H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
000516 H	ANS3	ANS2	ANS1	ANS0	ANE3	ANE2	ANE1	ANE0	0000 0000 _B
000176 H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リード/ライト	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)	
初期値									

ANE3	ANE2	ANE1	ANE0	A/D 変換終了チャンネル選択ビット
0	0	0	0	ch.0
0	0	0	1	ch.1
0	0	1	0	ch.2
0	0	1	1	ch.3
0	1	0	0	ch.4
0	1	0	1	ch.5
0	1	1	0	ch.6
0	1	1	1	ch.7
1	0	0	0	ch.8
1	0	0	1	ch.9
1	0	1	0	ch.10
1	0	1	1	ch.11

ANS3	ANS2	ANS1	ANS0	A/D 変換開始チャンネル選択ビット
0	0	0	0	ch.0
0	0	0	1	ch.1
0	0	1	0	ch.2
0	0	1	1	ch.3
0	1	0	0	ch.4
0	1	0	1	ch.5
0	1	1	0	ch.6
0	1	1	1	ch.7
1	0	0	0	ch.8
1	0	0	1	ch.9
1	0	1	0	ch.10
1	0	1	1	ch.11

R/W : リード/ライト可能
 : 初期値

< 注意事項 >

- A/D ユニット 0/1 は ch.0 ~ ch.3 のみで、ch.4 ~ ch.11 は存在しません。したがって、ADCH0/ADCH1 レジスタの ANS3 ~ ANS2, ANE3 ~ ANE2 ビットは必ず "0" に設定してください。
- 必ず、"ANS ANE" となるように設定してください。

表 16.4-1 A/D チャンネル制御レジスタ (ADCH) の各ビットの機能説明

ビット名		機能
bit15 ~ bit12	ANS3 ~ ANS0: A/D 変換開始 チャンネル選択 ビット	<ul style="list-style-type: none"> • A/D変換の開始チャンネルの設定および変換中チャンネル番号の確認を行うビットです。 • A/D 変換を起動すると、これらのビットに書き込まれたチャンネルから A/D 変換を開始します。 • A/D 変換中は、変換中のチャンネル番号が読めます。停止変換モードでの一時停止中は、直前に変換したチャンネルの番号が読めます。 <p>(注意事項) ・ANS ビットには、必ず入力チャンネル数以下の値を設定してください。 例) ADMD0; MB91480 シリーズのユニット 0 は最大 4 チャンネルなので、"ANS[3:0] 0011_B" としてください。 ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。 ・A/D 変換開始チャンネル選択ビット (ANS3 ~ ANS0) に開始チャンネルを設定したあとに、本レジスタのビットをリードモディファイライト系命令で設定しないでください。 ANS3 ~ ANS0 ビットは A/D 変換動作が開始するまでは前回の変換チャンネルが読み出されるため、ANS3 ~ ANS0 ビットに開始チャンネルを設定したあとに、本レジスタのビットをリードモディファイライト系命令で設定した場合、ANE3, ANE2, ANE1, ANE0 ビットの値が書き換わる可能性があります。</p>
bit11 ~ bit8	ANE3 ~ ANE0: A/D 変換終了 チャンネル選択 ビット	<ul style="list-style-type: none"> • A/D 変換の終了チャンネルの設定を行うビットです。 • A/D 変換を起動すると、これらのビットに書き込まれたチャンネルまで A/D 変換を行います。 • ANS3 ~ ANS0 と同じチャンネルを設定すると、そのチャンネルのみ変換を行います。また、連続変換モードまたは停止変換モードを設定しているときは、これらのビットで設定されたチャンネルまでの変換が終わると、ANS3 ~ ANS0 で設定された開始チャンネルに戻ります。 <p>(注意事項) ANE ビットには、必ず入力チャンネル数以下の値を設定してください。 例) ADMD0; MB91480 シリーズのユニット 0 は最大 4 チャンネルなので、"ANE[3:0] 0011_B" としてください。 必ず "ANS ANE" となるように設定してください。 ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>

16.4.2 A/D モード設定レジスタ (ADMD)

A/D モード設定レジスタには、変換モードの選択と、A/D 変換のコンペア時間やサンプリング時間を設定する機能があります。

■ A/D モード設定レジスタ (ADMD: ADMD0 ~ ADMD2)

アドレス 000507 _H 000517 _H 000177 _H リード/ライト 初期値	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値 0000 1111 _B
	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0	
	R/W (0)	R/W (0)	R/W (0)	R/W (0)	R/W (1)	R/W (1)	R/W (1)	R/W (1)	

ST1	ST0	サンプリング時間設定ビット
0	0	10 周辺クロック (CLKP) サイクル (400 ns @ 25 MHz) *
0	1	13 周辺クロック (CLKP) サイクル (390 ns @ 33 MHz) *
1	0	16 周辺クロック (CLKP) サイクル (400 ns @ 40 MHz) *
1	1	32 周辺クロック (CLKP) サイクル (800 ns @ 40 MHz) *

* : 周辺クロック (CLKP) サイクルで 390 ns 以上となるように設定してください。

CT1	CT0	コンペア時間設定ビット
0	0	18 周辺クロック (CLKP) サイクル (720 ns @ 25 MHz) *
0	1	24 周辺クロック (CLKP) サイクル (720 ns @ 33 MHz) *
1	0	30 周辺クロック (CLKP) サイクル (750 ns @ 40 MHz) *
1	1	60 周辺クロック (CLKP) サイクル (1500 ns @ 40 MHz) *

* : 周辺クロック (CLKP) サイクルで 720 ns 以上となるように設定してください。

STS1	STS0	A/D 起動要因選択ビット
0	0	ソフトウェア起動
0	1	外部端子トリガ (立下りエッジ) またはソフトウェア起動
1	0	タイマ起動 (立上りエッジ) またはソフトウェア起動
1	1	外部端子トリガ (立下りエッジ) またはタイマ起動 (立上りエッジ) またはソフトウェア起動

(注意事項) ユニット 2 の場合は、16 ビットリロードタイマ 1 もしくは多機能タイマです。

MD1	MD0	A/D 変換モード選択ビット
0	0	単発変換モード 1 (動作中の再起動可能)
0	1	単発変換モード 2 (動作中の再起動不可)
1	0	連続変換モード (動作中の再起動不可)
1	1	停止変換モード (動作中の再起動不可)

R/W : リード/ライト可能
 : 初期値

表 16.4-2 A/D モード設定レジスタ (ADMD) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7, bit6	MD1, MD0 : A/D 変換 モード選択 ビット	<ul style="list-style-type: none"> • A/D 変換機能時の変換モードを選択するビットです。 • MD1, MD0 の 2 ビット値によって、単発変換モード 1, 単発変換モード 2, 連続変換モード, 停止変換モードのいずれかが選択されます。 • それぞれのモードの意味は、以下のとおりです。 <p>単発変換モード 1 :</p> <p>ANS3 ~ ANS0 の設定チャンネルから ANE3 ~ ANE0 の設定チャンネルまでの A/D 変換を連続して一度だけします。動作中の再起動が可能です。</p> <p>単発変換モード 2 :</p> <p>ANS3 ~ ANS0 の設定チャンネルから ANE3 ~ ANE0 の設定チャンネルまでの A/D 変換を連続して一度だけします。動作中の再起動はできません。</p> <p>連続変換モード :</p> <p>ANS3 ~ ANS0 の設定チャンネルから ANE3 ~ ANE0 の設定チャンネルまでの A/D 変換を連続して、BUSY ビットで強制停止するまで繰り返し行います。動作中の再起動はできません。</p> <p>停止変換モード :</p> <p>ANS3 ~ ANS0 の設定チャンネルから ANE3 ~ ANE0 の設定チャンネルまでの A/D 変換を 1 チャンネルごとに一時停止しながら、BUSY ビットで強制停止するまで繰り返します。動作中の再起動はできません。一時停止中の再起動は、STS1, STS0 ビットで選択した起動要因の発生によります。</p> <p>(注意事項) ・単発、連続、停止の各変換モードの再起動不可はタイマ、外部トリガ、ソフトすべての起動に適用されます。</p> <p>ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。</p> <p>・A/D 変換モード選択ビット (MD1, MD0) を "00_B" に設定した場合は、A/D 変換中の再起動ができません。このモードではソフトウェア起動 (STS1, STS0=00_B) のみ設定可能です。再起動は下記の手順で行ってください。</p> <p>(1)INT ビットを 0 にクリアする</p> <p>(2)START ビットに 1 を、INT ビットに 0 を同時にライトする</p>
bit5, bit4	STS1, STS0 : A/D 起動要因 選択ビット	<ul style="list-style-type: none"> • A/D 変換の起動要因の選択を行います。 • 起動要因が兼用になっている場合には、最初に発生した起動要因で起動します。 <p>(注意事項) 起動要因は、書換えと同時に変更されますので、A/D 変換動作中に書き換える場合には、目的とする起動要因がない状態で切り換えてください。</p> <p>STS1, STS0=11_B のとき、外部トリガ入力が "L" のとき、タイマ起動はできません。また、タイマが "H" のとき、外部トリガ起動はできません。</p>

表 16.4-2 A/D モード設定レジスタ (ADMD) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit3, bit2	CT1, CT0 : コンペア時間 設定ビット	<ul style="list-style-type: none">• A/D 変換時のコンペア時間を選択するビットです。• アナログ入力を取り込まれた (サンプリング時間経過) 後, このビットに設定された時間後に変換結果のデータが確定し, A/D データレジスタ (ADCD) に格納されます。 <p>(注意事項) コンペア時間は 720 ns 以上となるように設定してください。720 ns 以下では 正常なアナログ変換値が得られない場合があります。 ビットの書換えは, 必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>
bit1, bit0	ST1, ST0 : サンプリング 時間設定 ビット	<ul style="list-style-type: none">• A/D 変換時のサンプリング時間を選択するビットです。• A/D が起動されると, このビットに設定された時間, アナログ入力を取り込まれます。 <p>(注意事項) サンプリング時間は 390 ns 以上となるように設定してください。390 ns 以下では 正常なアナログ変換値が得られない場合があります。 ビットの書換えは, 必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>

表 16.4-3 A/D 制御ステータスレジスタ (ADCS) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	BUSY : A/D 変換中ビット	<ul style="list-style-type: none"> A/D コンバータの動作表示ビットです。 読出し時, このビットが "0" の場合には A/D 変換停止中であることを示し, "1" の場合には A/D 変換動作中であることを示します。 書込み時, このビットへの "0" の書込みによって A/D 変換動作は強制的に停止します。"1" の書込みでは, 変化せずほかへの影響はありません。 リードモディファイライト (RMW) 系命令のリード時には, "1" が読み出されます。 <p>(注意事項) 強制停止とソフトウェア起動 (BUSY=0, START=1) を同時にしないでください。</p>
bit14	INT : 割込み要求フラグビット	<ul style="list-style-type: none"> A/D 変換によって A/D データレジスタにデータがセットされれば, このビットは "1" にセットされます。 このビットと割込み要求許可ビット (ADCS : INTE) が "1" のときに割込み要求を発生します。 書込み時は, "0" でこのビットがクリアされ, "1" では変化せずほかへの影響はありません。 リードモディファイライト (RMW) 系命令のリード時には, "1" が読み出されます。 <p>(注意事項) このビットへの "0" 書込みによるクリアは, A/D 動作が停止している状態で行ってください。</p>
bit13	INTE : 割込み要求許可ビット	<ul style="list-style-type: none"> CPU への割込み出力の許可 / 禁止をするビットです。 このビットと割込み要求フラグビット (ADCS : INT) が "1" のときに割込み要求を発生します。
bit12	PAUS : 一時停止フラグビット	<ul style="list-style-type: none"> A/D 変換動作が一時停止したときに "1" にセットされます。 変換データ保護機能が動作すると自動的に "1" にセットされます。この間, A/D 変換動作は停止し, A/D データレジスタは新しい変換結果に上書きされることはありません。 このフラグのクリアはレジスタへの "0" 書込みのみです。 リードモディファイライト (RMW) 系命令のリード時には, "1" が読み出されます。 詳しい動作に関しては, 「16.7 8/10 ビット A/D コンバータの A/D 変換データ保護機能」を参照してください。

表 16.4-3 A/D 制御ステータスレジスタ (ADCS) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit11	S10 : A/D 変換分解能 選択ビット	<ul style="list-style-type: none"> A/D 変換の分解能を選択するビットです。 このビットに "0" を書き込むと 10 ビット分解能が選択され , "1" を書き込むと 8 ビット分解能が選択されます。 <p>(注意事項) 分解能によって , 使用されるデータビットが異なります。 ビットの書換えは , 必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>
bit10	FuncSet : A/D 変換機能選択 ビット	<p>A/D 変換機能を選択するビットです。</p> <p>[機能 1] : "0" 設定時</p> <ul style="list-style-type: none"> アナログ入力チャンネルごとに 1 つの A/D データレジスタが割り当てられます。 選択されたアナログ入力チャンネルの全 A/D 変換終了時に割り込み要求を発生できます。 変換データ保護機能は動作しません。 <p>[機能 2] : "1" 設定時</p> <ul style="list-style-type: none"> 全アナログ入力チャンネルに対して A/D データレジスタは 1 つのみです。 選択された全アナログ入力チャンネルの A/D 変換終了時ごとに割り込み要求を発生できます。 割り込み許可の状態では変換データ保護機能が働くため , 連続変換してもデータの欠落がありません。 <p>(注意事項) ビットの書換えは , 必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>
bit9	START : A/D 変換起動 ビット	<ul style="list-style-type: none"> A/D 変換動作をソフトウェア的に起動するビットです。 このビットに "1" を書き込むと A/D 変換が起動します。 停止変換モード時は , このビットによる再起動はかかりません。 リードモディファイライト (RMW) 系命令のリード時には , "0" が読み出されます。 <p>(注意事項) 強制停止とソフトウェア起動 (BUSY=0, START=1) を同時にしないでください。</p>
bit8	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは , 動作に影響しません。

16.4.4 A/D データレジスタ (ADCD)

A/D データレジスタは、A/D 変換結果を格納するレジスタです。

■ A/D データレジスタ (ADCD: ADCD000 ~ ADCD030, ADCD001 ~ ADCD031, ADCD002 ~ ADCD112)

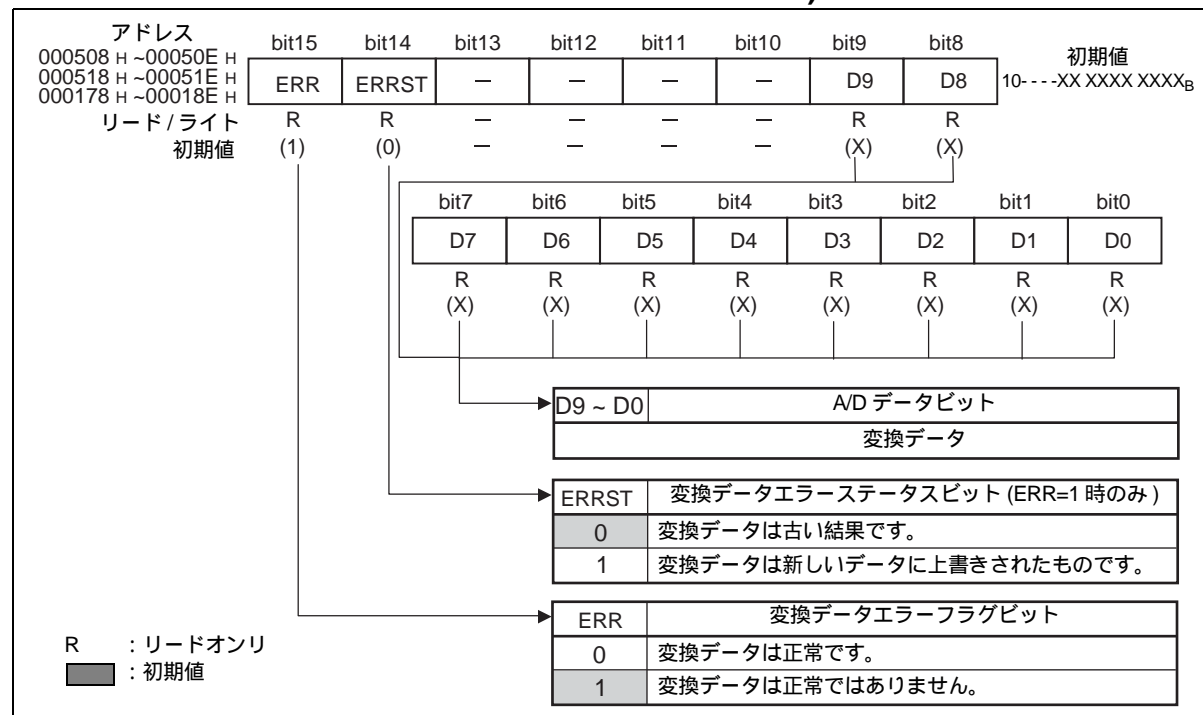


表 16.4-4 A/D データレジスタ (ADCD) の各ビットの機能説明

ビット名		機能
bit15	ERR : 変換データエラー フラグビット	<ul style="list-style-type: none"> A/D 変換データにエラーがあったことを示すビットでエラーの内容は本ビットが "1" のとき, ERRST ビットの値で知ることができます。 本ビットは読み出すと "1" にセットされます。 新しい変換結果が本レジスタに書き込まれると "0" にクリアされます。 <p>(注意事項) 変換データ保護機能を使用している場合 (Func-Set=1 かつ INTE=1), 本ビットは常に "0" です。</p>
bit14	ERRST : 変換データエラー ステータスビット	<ul style="list-style-type: none"> ERR ビット =1 のとき, A/D 変換データのエラー内容を示すフラグです。 ERR ビット =1 かつ本ビット =0 のとき, CPU 読出しによる変換結果が古いことを示します。 ERR ビット =1 かつ本ビット =1 のとき, CPU 読出しによる変換結果は, CPU による旧変換結果の読出しが完了しないまま, 新しい変換結果の上書きより旧変換データが失われたことを示します。 CPU による旧変換結果の読出しが完了しないまま, 新しい変換結果の上書きより旧変換データが失われた場合, "1" にセットされます。 本ビットは読み出すと "0" にクリアされます。 <p>(注意事項) 変換データ保護機能を使用している場合 (Func-Set=1 かつ INTE=1), 本ビットは常に "0" です。</p>
bit13 ~ bit10	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは, 動作に影響しません。
bit9 ~ bit0	D9 ~ D0 : A/D データビット	<ul style="list-style-type: none"> A/D 変換の結果が格納され, レジスタは 1 回の変換終了ごとに書き換えられます。 通常は, 最終変換値が格納されます。 本レジスタの初期値は不定です。 <p>(注意事項) 変換データ保護機能があります。 A/D 変換中に本ビットにデータを書き込まないようにしてください。 D9, D8 は, 8 ビット分解能を選択したときには, "0" が読み出されます。</p>

16.4.5 アナログ入力制御レジスタ (AICR)

アナログ入力制御レジスタは、アナログ入力を制御するレジスタです。

■ アナログ入力制御レジスタ (AICR: AICR0 ~ AICR2)

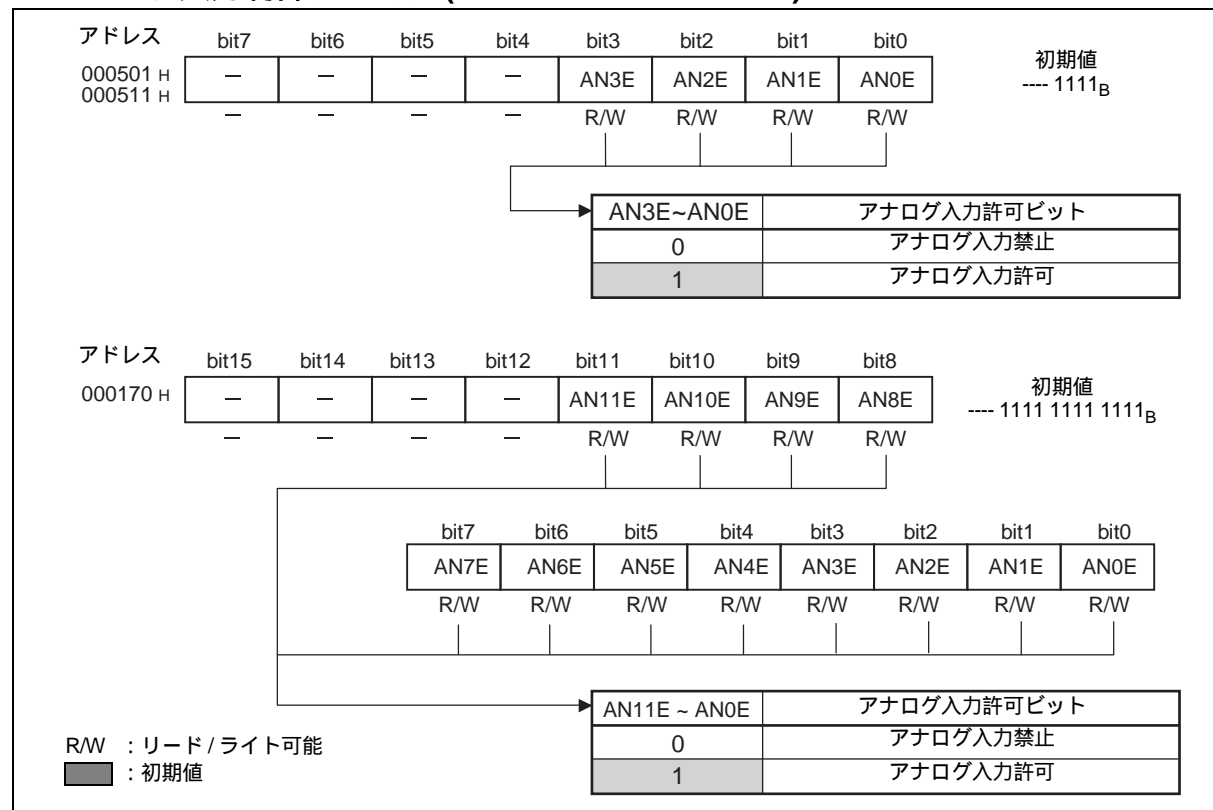


表 16.4-5 アナログ入力制御レジスタ (AICR) の各ビットの機能説明

ビット名		機能
(AICR0, AICR1) bit7 ~ bit4 (AICR2) bit15 ~ bit12	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
(AICR0, AICR1) bit3 ~ bit0 (AICR2) bit11 ~ bit0	AN3E ~ AN0E, AN11E ~ AN0E : アナログ入力許可 ビット	<ul style="list-style-type: none"> このビットが "0" の場合、アナログ入力は禁止されます。 このビットが "1" の場合、アナログ入力が許可されます。 アナログ入力端子として使用する端子は、対応する AICR レジスタのビットを "1" に設定してください。このときの PDR レジスタの読出し値は "0" になります。

16.5 8/10 ビット A/D コンバータの割込み

8/10 ビット A/D コンバータは、A/D 変換で A/D データレジスタにデータがセットされることで割込み要求を発生させることができます。

■ 8/10 ビット A/D コンバータの割込み

8/10 ビット A/D コンバータの割込み制御ビットと割込み要因は、表 16.5-1 のようになっています。

表 16.5-1 8/10 ビット A/D コンバータの割込み制御ビットと割込み要因

	8/10 ビット A/D コンバータ
割込み要求フラグビット	ADCS: INT
A/D 変換機能選択ビット	ADCS: FuncSet
割込み要求許可ビット	ADCS: INTE
割込み要因	A/D 変換結果の A/D データレジスタへの書込み

[機能 1] : FuncSet=0 設定時

- 選択されたアナログ入力チャネルの全 A/D 変換終了時に割込み要求を発生できます。
- すべての A/D 変換が終了し、A/D 変換結果が A/D データレジスタ (ADCD) にセットされると、A/D 制御ステータスレジスタ (ADCS) の INT ビットが "1" にセットされます。このとき、割込み要求が許可 (ADCS : INTE=1) されていると、割込みコントローラに割込み要求を出力します。

[機能 2] : FuncSet=1 設定時

選択された全アナログ入力チャネルの A/D 変換終了時ごとに割込み要求を発生できます。

各 A/D 変換が終了し、A/D 変換結果が A/D データレジスタ (ADCD) にセットされると、A/D 制御ステータスレジスタ (ADCS) の INT ビットが "1" にセットされます。このとき、割込み要求が許可 (ADCS : INTE=1) されていると割込みコントローラに割込み要求を出力します。

16.6 8/10 ビット A/D コンバータの動作説明

8/10 ビット A/D コンバータには、単発変換モード、連続変換モード、停止変換モードの 3 種類のモードがあります。各モードでの動作について説明します。

■ 単発変換モードの動作

単発変換モードは、ANS ビットと ANE ビットで設定されたアナログ入力を順次変換していき、ANE ビットで設定された終了チャンネルまで変換が終わると A/D 変換は停止します。開始チャンネルと終了チャンネルが同じ (ANS=ANE) ときは ANS ビットで指定した 1 チャンネルだけの変換となります。単発変換モードで動作させるには、図 16.6-1 の設定が必要です。

図 16.6-1 単発変換モードでの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADCH/ ADMD	ANS3	ANS2	ANS1	ANS0	ANE3	ANE2	ANE1	ANE0	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0
	0															
AICR	-	-	-	-	AN11E	AN10E	AN9E	AN8E	AN7E	AN6E	AN5E	AN4E	AN3E	AN2E	AN1E	AN0E
ADCD	ERR	ERRST	-	-	-	-	変換データを格納									
ADCS	BUSY	INT	INTE	PAUS	S10	Func Set	START									

: 使用ビット
 : 使用する端子の対応するビットに "1" を設定
 0 : "0" を設定

< 参考 >

単発変換モードでの変換順序の例を以下に示します。

ANS=000_B, ANE=011_B のとき : AN0 AN1 AN2 AN3 終了
 (FuncSet =0) ADCD00 ADCD01 ADCD02 ADCD03 終了
 (FuncSet =1) ADCD00 ADCD00 ADCD00 ADCD00 終了

ANS=011_B, ANE=011_B のとき : AN3 終了
 (FuncSet = 0) ADCD03 終了
 (FuncSet = 1) ADCD03 終了

< 注意事項 >

A/D 変換モード選択ビット (MD1, MD0) を "00_B" に設定した場合は, A/D 変換中の再起動ができます。このモードではソフトウェア起動 (STS1, STS0=00_B) のみ設定可能です。再起動は下記の手順で行ってください。

1. INT ビットを "0" にクリアする
2. START ビットに "1" を, INT ビットに "0" を同時にライトする

■ 連続変換モードの動作

連続変換モードは, ANS ビットと ANE ビットで設定されたアナログ入力を順次変換していき, ANE ビットで設定された終了チャンネルまで変換が終わると ANS ビットで設定されたアナログ入力に戻り, A/D 変換動作を続けます。開始チャンネルと終了チャンネルが同じとき (ANS=ANE) は ANS で指定したチャンネルだけの変換を繰り返します。連続変換モードで動作させるには, 図 16.6-2 に示す設定が必要です。

図 16.6-2 連続変換モードでの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADCH/ ADMD	ANS3	ANS2	ANS1	ANS0	ANE3	ANE2	ANE1	ANE0	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0
									1	0						
AICR	-	-	-	-	AN11E	AN10E	AN9E	AN8E	AN7E	AN6E	AN5E	AN4E	AN3E	AN2E	AN1E	AN0E
ADCD	ERR	ERRST	-	-	-	-	変換データを格納									
ADCS	BUSY	INT	INTE	PAUS	S10	Func Set	START									

: 使用ビット
 : 使用する端子の対応するビットに "1" を設定
 0 : "0" を設定
 1 : "1" を設定

< 参考 >

連続変換モードでの変換順序の例を以下に示します。

ANS=000 _B , ANE=011 _B のとき :	AN0	AN1	AN2	AN3	繰返し
(FuncSet =0)	ADCD00	ADCD01	ADCD02	ADCD03	繰返し
(FuncSet =1)	ADCD00	ADCD00	ADCD00	ADCD00	繰返し
ANS=011 _B , ANE=011 _B のとき :	AN3	AN3	AN3	AN3	繰返し
(FuncSet =0)	ADCD03	ADCD04	ADCD05	ADCD06	
	ADCD07	ADCD08	ADCD09	ADCD10	
	ADCD11*	ADCD00	ADCD01	ADCD02	繰返し
(FuncSet =1)	ADCD00	ADCD00	ADCD00	ADCD00	繰返し

* : 使用するデータレジスタ数は, シリーズによって異なります。

■ 停止変換モードの動作

停止変換モードは、ANS ビットと ANE ビットで設定されたアナログ入力を 1 チャンネルごとに一時停止しながら変換していき、ANE ビットで設定された終了チャンネルまで変換が終わると ANS ビットで設定されたアナログ入力に戻り、A/D 変換と一時停止の動作を続けます。開始チャンネルと終了チャンネルが同じとき (ANS=ANE) は ANS ビットで指定したチャンネルだけの変換を繰り返します。一時停止時の変換の再起動は、STS1、STS0 ビットで指定した起動要因を発生します。停止変換モードで動作させるには、図 16.6-3 の設定が必要です。

図 16.6-3 停止変換モードでの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADCH/ ADMD	ANS3	ANS2	ANS1	ANS0	ANE3	ANE2	ANE1	ANE0	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0
									1	1						
AICR	-	-	-	-	AN11E	AN10E	AN9E	AN8E	AN7E	AN6E	AN5E	AN4E	AN3E	AN2E	AN1E	AN0E
ADCD	ERR	ERRST	-	-	-	-	変換データを格納									
ADCS	BUSY	INT	INTE	PAUS	S10	Func Set	START									

: 使用ビット
 : 使用する端子の対応するビットに "1" を設定
 1 : "1" を設定

< 参考 >

停止変換モードでの変換順序の例を以下に示します。

- ・ ANS=000_B, ANE=011_B のとき :

AN0 一時停止 AN1 一時停止 AN2 一時停止 AN3 繰返し

FuncSet =0

ADCD00 一時停止 ADCD01 一時停止 ADCD02 一時停止 ADCD03 繰返し

FuncSet =1

ADCD00 一時停止 ADCD00 一時停止 ADCD00 一時停止 ADCD00 繰返し

- ・ ANS=011_B, ANE=011_B のとき :

AN3 一時停止 AN3 一時停止 AN3 一時停止 AN3 繰返し

FuncSet =0

ADCD03 一時停止 ADCD04 一時停止 ADCD05 一時停止 ADCD06 一時停止

ADCD07 一時停止 ADCD08 一時停止 ADCD09 一時停止 ADCD10 一時停止

ADCD11* 一時停止 ADCD00 一時停止 ADCD01 一時停止 ADCD02 繰返し

FuncSet =1

ADCD00 一時停止 ADCD00 一時停止 ADCD00 一時停止 ADCD00 繰返し

* : 使用するデータレジスタ数は、シリーズによって異なります。

16.7 8/10 ビット A/D コンバータの A/D 変換データ保護機能

割込み許可状態で A/D 変換を実行すると、変換データ保護機能が働きます。

■ A/D 変換データ保護機能

ADCS:FuncSet=1 設定時 (変換機能 2), 変換データ格納用のデータレジスタが 1 つしかないので, A/D 変換をすると, 変換終了時にデータレジスタ内の格納データを書き換えます。そのため, 変換データのメモリへの転送が間に合わないと同前のデータが一部欠落します。この対策として, 割込み許可 (INTE=1) のときは, 以下のようにデータ保護機能が働きます。

変換データが A/D データレジスタ (ADCD) に格納されると, A/D 制御ステータスレジスタ (ADCS) の INT ビットが "1" にセットされます。この INT ビットが "1" の間, 次の変換終了後も ADCD への変換データの格納は行われず, PAUS ビットをセットし, A/D は一時停止状態になります。一時停止中, 直前の変換データを保持しています。一時停止状態の解除は, INT ビットのクリアにより行われます。一時停止状態解除後, 保持していた変換データを ADCD に格納して次の動作に移行します。

図 16.7-1 データ保護機能の設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADCH/ ADMD	ANS3	ANS2	ANS1	ANS0	ANE3	ANE2	ANE1	ANE0	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0
AICR	-	-	-	-	AN11E	AN10E	AN9E	AN8E	AN7E	AN6E	AN5E	AN4E	AN3E	AN2E	AN1E	AN0E
ADCD	ERR	ERRST	-	-	-	-	変換データを格納									
ADCS	BUSY	INT	INTE	PAUS	S10	Func Set	START									
			1			1										

: 使用ビット
 : 使用する端子の対応するビットに "1" を設定
 1 : "1" を設定

< 注意事項 >

- 変換データ保護機能は, 変換機能 2 を設定時 (ADCS:FuncSet=1) の割込み許可 (ADCS:INTE=1) 状態でしか動作しません。
- 一時停止中に再起動すると待機データが壊れます。

16.8 8/10 ビット A/D コンバータの使用メモ

8/10 ビット A/D コンバータを使用する際のメモです。

■ ADMD レジスタ設定

3 種類の周波数 (25MHz, 33MHz, 40MHz) をベースにした A/D コンバータのサンプリング時間とコンペア時間を ADMD レジスタで設定することが可能で、それぞれの周波数に対応した最小変換時間を設定することができます。設定周波数が上記 3 種類の値と異なる場合には、以下に示す 2 種類の方法で ADMD を設定してください。

- サンプル時間およびコンペア時間が 8/10 ビット A/D コンバータの推奨値以下にならないよう ADMD レジスタの ST[1:0]/CT[1:0] ビット (bit3, bit2/bit1, bit0) を設定する。
- 周辺クロック (CLKP) の周波数が上記 3 種類のいずれかになるよう、DIVR0 レジスタの P3 ~ P0 ビット (bit3 ~ bit0) を設定する。

● 例：

- 周辺クロック (CLKP) の周波数が 16MHz の場合：方法 1

周期：62.5ns

サンプル時間：ST[1:0] = 00_B

10 周辺クロック (CLKP) サイクル

$10 \times 62.5\text{ns} = 625\text{ns} > 390\text{ns}$ (最小値)

コンペア時間：CT[1:0] = 00_B

18 周辺クロック (CLKP) サイクル

$18 \times 62.5\text{ns} = 1125\text{ns} > 720\text{ns}$ (最小値)

全変換時間 = 1750ns

- 周辺クロック (CLKP) の周波数が 16MHz の場合：方法 2

原発振周波数：10MHz

PLL 低倍率：× 5 通倍

DIVR0：P3 ~ P0 = 0001_B

$\text{CLKP} = 10 \times 5 / 2 = 25\text{MHz}$

ST[1:0] = 00_B, CT[1:0] = 00_B

全変換時間 = 1120ns

16.9 8/10 ビット A/D コンバータの使用上の注意

8/10 ビット A/D コンバータを使用するときの注意点を示します。

■ 8/10 ビット A/D コンバータ使用上の注意

● アナログ入力端子

A/D 入力端子はポートの入出力端子と兼用になっており、ポート方向レジスタ (DDR) とアナログ入力許可レジスタ (AICR) で切り換えて使用するようになっています。アナログ入力として使用する端子では、DDR の対応するビットに "0" を書き込んでポート設定を入力にした上で、AICR レジスタでアナログ入力モード (AICRx=1) に設定して、ポート側の入力ゲートを固定してください。ポート入力モード (AICRx=0) の状態では中間レベルの信号が入力されると、ゲートに入力リーク電流が流れます。

● 内部タイマで使用する時の注意

A/D コンバータを内部タイマで起動するとき、A/D 制御ステータスレジスタ (ADMD) の STS1, STS0 ビットで設定しますが、このとき内部タイマの入力値は、インアクティブ側 (内部タイマのときは "L") にしておいてください。アクティブ側にしておくと、ADMD レジスタへの書込みと同時に動作し始めるときがあります。

● A/D コンバータの電源・アナログ入力の投入順序

A/D コンバータの電源 (AVCC10, AVRH0 ~ AVRH2, AVSS10)、アナログ入力 (AN0-0 ~ AN0-3, AN1-0 ~ AN1-3, AN2-0 ~ AN2-11) への印加は、必ずデジタル電源 (VCC) の投入後、または同時に投入してください。また、電源切断時は、A/D コンバータの電源およびアナログ入力の切断後にデジタル電源 (VCC) を切断、または同時に切断してください。

● A/D コンバータの電源電圧について

ラッチアップ防止のため、A/D コンバータの電源 (AVCC10) は、デジタル電源 (VCC) の電圧を超えないようにしてください。

● ADCH レジスタの設定について

必ず ANS ANE となるように設定してください。

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。ADCH0/ADCH1 レジスタの ANS3, ANS2, ANE3, ANE2 ビットには必ず "0" を設定してください。

ADCH2 レジスタの ANS, ANE ビットには必ず "1011_B" 以下の値を設定してください。

● ADMD レジスタの設定について

サンプル時間およびコンペア時間が 8/10 ビット A/D コンバータの推奨値以下とならないよう、ST[1:0]/CT[1:0] ビット (bit3, bit2/bit1, bit0) を設定してください。

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。詳しい説明に関しては、「16.8 8/10 ビット A/D コンバータの使用メモ」を参照してください。

- ADCS レジスタの設定について

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。
ソフトウェアによる A/D 変換開始設定 (START=1) と停止設定 (BUSY=1) を同時に行わないでください。
詳しい説明に関しては、「16.4 8/10 ビット A/D コンバータのレジスタ」を参照してください。

- A/D 変換データ保護機能について

変換データ保護機能は、変換機能 2 を設定時 (ADCS:FuncSet=1) の割込み許可 (ADCS:INTE=1) 状態でしか動作しません。

- A/D データレジスタ内のフラグビットについて

A/D データレジスタの下位側 8 ビットに対してバイトアクセスで読出しを行っても、ERRST および ERR ビットは変化しません。
また、変換データ保護機能を使用している場合、ERRST および ERR ビットは常に "0" です。

- 外部トリガ端子について

外部トリガ端子により A/D コンバータ起動後は、必ず外部トリガ端子の入力レベルを元に戻してください。

- A/D 変換の再起動について

A/D 変換モード選択ビット (MD1, MD0) を "00_B" に設定した場合は、A/D 変換中の再起動ができます。このモードではソフトウェア起動 (STS1, STS0=00_B) のみ設定可能です。再起動は下記の手順で行ってください。

1. INT ビットを "0" にクリアする
2. START ビットに "1" を、INT ビットに "0" を同時にライトする

第17章

12 ビット A/D コンバータ

A/D コンバータの概要，レジスタの構成 / 機能，および動作について説明します。

- 17.1 12 ビット A/D コンバータの概要
- 17.2 12 ビット A/D コンバータの構成
- 17.3 12 ビット A/D コンバータの端子
- 17.4 12 ビット A/D コンバータのレジスタ
- 17.5 12 ビット A/D コンバータの割込み
- 17.6 12 ビット A/D コンバータの動作説明
- 17.7 12 ビット A/D コンバータの A/D 変換データ保護機能
- 17.8 12 ビット A/D コンバータの差動入力モード
- 17.9 12 ビット A/D コンバータの使用メモ
- 17.10 12 ビット A/D コンバータの使用上の注意

17.1 12 ビット A/D コンバータの概要

12 ビット A/D コンバータには、RC 逐次比較変換方式でアナログ入力電圧を 12 ビットのデジタル値に変換する機能があります。入力信号は、各アナログ入力端子から選択し、変換起動はソフトウェア、内部タイマ、外部端子トリガの 3 種類から選択できます。

■ 12 ビット A/D コンバータの機能

アナログ入力端子に入力されたアナログ電圧（入力電圧）をデジタル値に A/D 変換する機能があり、次の特長があります。

- 変換時間は、最小 2.0 μ s(周辺クロック (CLKP) 33 MHz 時、サンプリング時間を含む) です。
- 変換方式は、サンプルホールド回路付き RC 逐次変換比較方式です。
- アナログ入力端子はプログラムで選択できます。
- A/D データレジスタは、アナログ入力チャンネルごとにあります。
- 各 A/D データレジスタ内には、エラーフラグビットおよびエラーステータスビットが存在し、これらの値より A/D 変換データの状態を知ることができます。
- A/D 変換終了割込みにより、DMAC を起動させることができます。
- アナログ入力モードとして、通常入力または差動入力のどちらかをプログラムで選択することができます。
- 変換の起動要因はソフトウェア、16 ビットリロードタイマ 1 もしくは多機能タイマ（立上りエッジ）、外部端子トリガ（立下りエッジ）から選択できます。
- A/D 変換機能選択ビットにより、次の 2 つのモードを設定することができます。

[機能 1]

- アナログ入力チャンネルごとに 1 つの A/D データレジスタが割り当てられます。
- 選択されたアナログ入力チャンネルの全 A/D 変換終了時に割込み要求を発生できます。
- 変換データ保護機能は動作しません。

[機能 2]

- 全アナログ入力チャンネルに対して A/D データレジスタは 1 つのみです。
- 選択された全アナログ入力チャンネルの A/D 変換終了時ごとに割込み要求を発生できます。
- 割込み許可の状態では変換データ保護機能が働くため、連続変換してもデータの欠落がありません。

変換モードは 3 種類あります。

表 17.1-1 12 ビット A/D コンバータの変換モード

変換モード	シングル変換動作	スキャン変換動作
単発変換モード	指定したチャンネル (1 チャンネルのみ) を 1 回変換して終了	連続した複数のチャンネル (複数チャンネル指定可能) を 1 回変換して終了
連続変換モード	指定したチャンネル (1 チャンネルのみ) を繰り返し変換	連続した複数のチャンネル (複数チャンネル指定可能) を繰り返し変換
停止変換モード	指定したチャンネル (1 チャンネルのみ) を 1 回変換したら一時停止し、次の起動がかかるまで待機	連続した複数のチャンネル (複数チャンネル指定可能) を変換。ただし、1 チャンネル変換ごとに一時停止し、次の起動がかかるまで待機

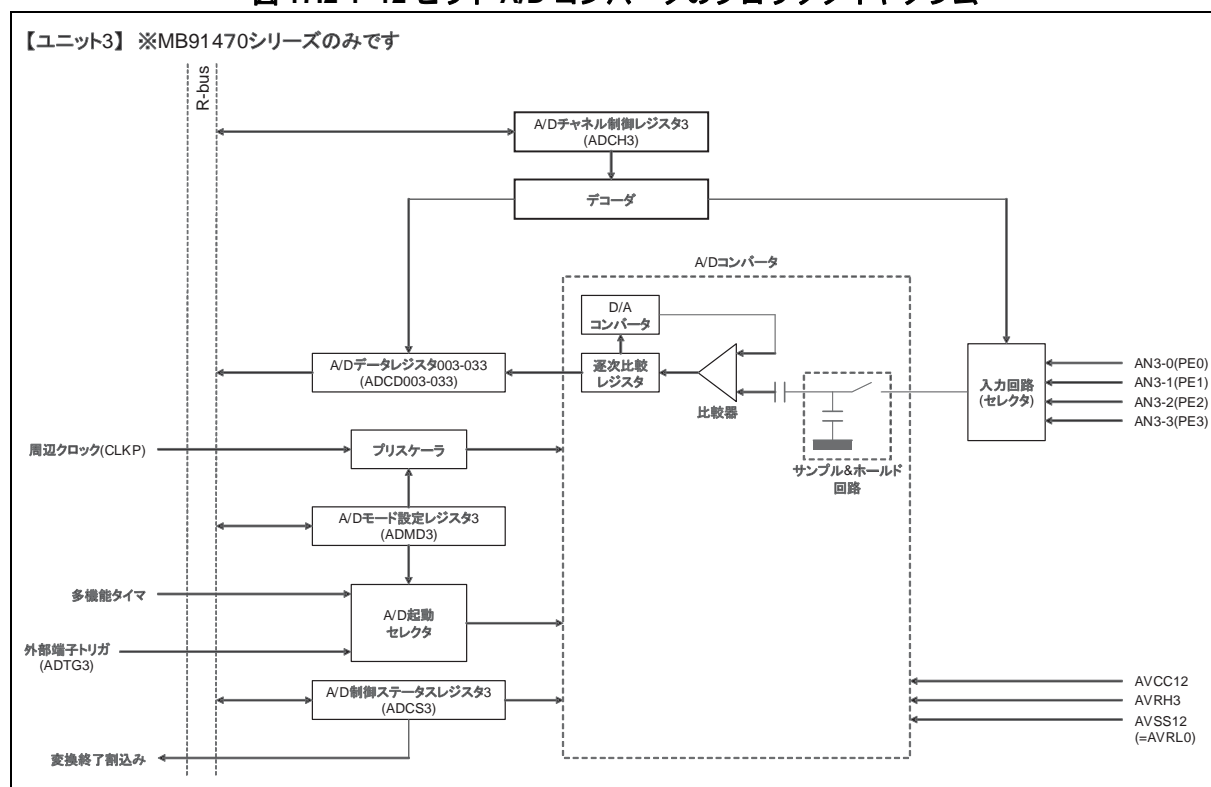
17.2 12 ビット A/D コンバータの構成

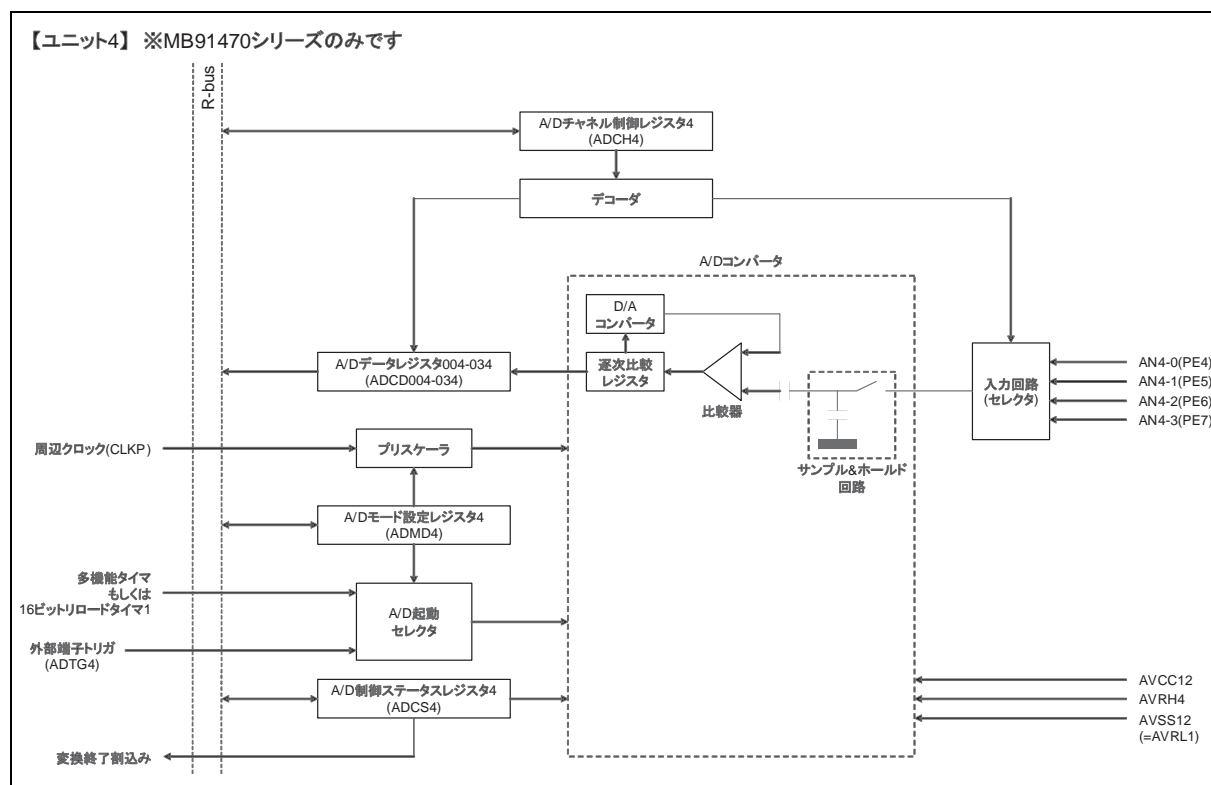
12 ビット A/D コンバータは、次の 11 種類のブロックで構成されています。

- A/D 制御ステータスレジスタ (ADCS)
- A/D チャンネル制御レジスタ (ADCH)
- A/D モード設定レジスタ (ADMD)
- A/D データレジスタ (ADCD)
- クロックセクタ (A/D 変換起動用入力クロックセクタ)
- デコーダ
- アナログチャンネルセクタ
- サンプルホールド回路
- D/A コンバータ
- コンパレータ
- コントロール回路

■ 12 ビット A/D コンバータのブロックダイアグラム

図 17.2-1 12 ビット A/D コンバータのブロックダイアグラム





< 参考 >

- MB91470 シリーズ:
ユニット 3, AN3-0 ~ AN3-3(通常)/AN3-0, AN3-1(差動)
ユニット 4, AN4-0 ~ AN4-3(通常)/AN4-0, AN4-1(差動)
- MB91480 シリーズ: 非搭載

● A/D 制御ステータスレジスタ (ADCS)

一時停止および変換確認、割込み要求の許可 / 禁止、割込み要求の状態の確認、アナログ入力モード（通常 / 差動）、変換機能（機能 1 / 機能 2）を選択する機能があります。

● A/D チャネル制御レジスタ (ADCH)

A/D チャネルを選択する機能があります。

● A/D モード設定レジスタ (ADMD)

変換モードの選択と、A/D変換のコンペア時間やサンプリング時間を設定する機能があります。

● A/D データレジスタ (ADCD)

A/D 変換結果を格納するレジスタです。また、変換データの状態（新データ / 上書き）を示すフラグがあります。

● クロックセレクタ (A/D 変換起動用入力クロックセレクタ)

A/D 変換起動クロックを選択するセクタです。起動クロックには、16 ビットリロードタイマ ch.1 出力、多機能タイマまたは外部端子トリガが選択できます。

● デコーダ

A/D チャンネル制御レジスタ (ADCH) の ANE0, ANE1, ANS0, ANS1 ビットの設定から使用するアナログ入力端子を選択する回路です。

● アナログチャンネルセクタ

アナログ入力端子の中から使用する端子を選択する回路です。

● サンプルホールド回路

アナログチャンネルセクタで選択された入力電圧を保持する回路です。A/D 変換を起動した直後の入力電圧をサンプルホールドすることで、A/D 変換中 (比較中) の入力電圧の変動の影響を受けずに変換できます。

● D/A コンバータ

サンプルホールドされた入力電圧と比較するための基準電圧を発生します。

● コンパレータ

サンプルホールドされた入力電圧と D/A コンバータの出力電圧を比較し、大小を判定します。

● コントロール回路

コンパレータからの大小信号で A/D 変換値を決定します。A/D 変換の終了後、変換結果を A/D データレジスタ (ADCD) に格納して割込み要求を発生します。

17.3 12 ビット A/D コンバータの端子

12 ビット A/D コンバータの端子および端子のブロックダイアグラムを示します。

■ 12 ビット A/D コンバータの端子

A/D コンバータの端子は汎用ポートと兼用になっています。表 17.3-1 に端子の機能、入出力形式、12 ビット A/D コンバータ使用時の設定などを示します。

表 17.3-1 12 ビット A/D コンバータの端子

機能		端子名	端子機能	入出力形式	プルアップ 設定	スタンバイ 制御	端子の使用に必要な I/O ポートの設定
通常入力	差動入力						
ユニット 3 ch.0	ユニット 3 ch.0	PE0/ AN3-0 (AN3-0P)	ポート E 入出力 / アナログ入力	CMOS 出力 / CMOS ヒステ リシス入力 または アナログ入力	あり (ただし、 アナログ入 力許可時、 プルアップ は機能しま せん。)	あり	ポート E を入力設定 (DDRE : bit0 ~ bit3=0) アナログ入力に設定 (AICR3 : bit0 ~ bit3=1) 通常入力設定 (ADCS3 : bit11=0) 差動入力設定 (ADCS3 : bit11=1)
ユニット 3 ch.1	ユニット 3 ch.0	PE1/ AN3-1 (AN3-0N)					
ユニット 3 ch.2	ユニット 3 ch.1	PE2/ AN3-2 (AN3-1P)					
ユニット 3 ch.3	ユニット 3 ch.1	PE3/ AN3-3 (AN3-1N)					
ユニット 4 ch.0	ユニット 4 ch.0	PE4/ AN4-0 (AN4-0P)					ポート E を入力設定 (DDRE : bit4 ~ bit7=0) アナログ入力に設定 (AICR4 : bit0 ~ bit3=1) 通常入力設定 (ADCS4 : bit11=0) 差動入力設定 (ADCS4 : bit11=1)
ユニット 4 ch.1	ユニット 4 ch.0	PE5/ AN4-1 (AN4-0N)					
ユニット 4 ch.2	ユニット 4 ch.1	PE6/ AN4-2 (AN4-1P)					
ユニット 4 ch.3	ユニット 4 ch.1	PE7/ AN4-3 (AN4-1N)					
外部トリガ入力 ADTG3, ADTG4		PA3/ ADTG3	ポート A 入出力 / 外部トリガ 入力	CMOS 出力 / CMOS ヒステ リシス入力	あり		ポート A を入力設定 (DDRA:bit3, bit4=0)
		PA4/ ADTG4					

17.4 12 ビット A/D コンバータのレジスタ

12 ビット A/D コンバータのレジスタ一覧を示します。

■ 12 ビット A/D コンバータのレジスタ一覧

図 17.4-1 12 ビット A/D コンバータのレジスタ一覧

AICR3/AICR4

アナログ入力制御レジスタ：ユニット 3/4

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
000521 _H	-	-	-	-	AN3E	AN2E	AN1E	AN0E	----1111 _B
000531 _H	-	-	-	-	R/W	R/W	R/W	R/W	

ADCS3/ADCS4

A/D 制御ステータスレジスタ：ユニット 3/4

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
000524 _H	BUSY	INT	INTE	PAUS	PINMD	FuncSet	START	-	0000000- _B
000534 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	

ADCH3/ADCH4

A/D チャンネル制御レジスタ：ユニット 3/4

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
000526 _H	-	-	ANS1	ANS0	-	-	ANE1	ANE0	--00--00 _B
000536 _H	-	-	R/W	R/W	-	-	R/W	R/W	

ADMD3/ADMD4

A/D モード設定レジスタ：ユニット 3/4

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
000527 _H	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0	00001111 _B
000537 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ADCD003 ~ ADCD033/ADCD004 ~ ADCD034

A/D データレジスタ (上位)：ユニット 3/4

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
000528 _H ~ 00052E _H	ERR	ERRST	-	-	D11	D10	D9	D8	10-XXXX _B
000538 _H ~ 00053E _H	R	R	-	-	R	R	R	R	

A/D データレジスタ (下位)：ユニット 3/4

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
000528 _H ~ 00052E _H	D7	D6	D5	D4	D3	D2	D1	D0	XXXXXXXX _B
000538 _H ~ 00053E _H	R	R	R	R	R	R	R	R	

R/W：リード/ライト可能

R：リードオンリ

17.4.1 A/D チャンネル制御レジスタ (ADCH)

A/D チャンネル制御レジスタには、A/D 変換チャンネルの選択をする機能があります。

■ A/D チャンネル制御レジスタ (ADCH: ADCH3, ADCH4)

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
000526 H 000536 H	—	—	ANS1	ANS0	—	—	ANE1	ANE0	--00 --00 _B
	—	—	R/W	R/W	—	—	R/W	R/W	

ANE1	ANE0	A/D 変換終了チャンネル選択ビット
0	0	ch.0
0	1	ch.1
1	0	ch.2
1	1	ch.3

ANS1	ANS0	A/D 変換開始チャンネル選択ビット
0	0	ch.0
0	1	ch.1
1	0	ch.2
1	1	ch.3

R/W : リード/ライト可能
 : 初期値

< 注意事項 >

- ADCS : PINMD(bit11)=0 時
 - ユニット 3 : ch.0 ~ ch.3=AN3-0 ~ AN3-3
 - ユニット 4 : ch.0 ~ ch.3=AN4-0 ~ AN4-3
- ADCS : PINMD(bit11)=1 時 ,ANS[0] および ANE[0] の設定値は無視されます。
 - ユニット 3 : ch.0/ch.1=AN3-0/AN3-0, ch.2/ch.3=AN3-1/AN3-1
 - ユニット 4 : ch.0/ch.1=AN4-0/AN4-0, ch.2/ch.3=AN4-1/AN4-1
- 必ず , "ANS ANE" となるように設定してください。

表 17.4-1 A/D チャンネル制御レジスタ (ADCH) の各ビットの機能説明

ビット名		機能
bit15	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit14	未定義ビット	<ul style="list-style-type: none"> 必ず "0" を設定してください。
bit13, bit12	ANS1, ANS0: A/D 変換開始 チャンネル選択 ビット	<ul style="list-style-type: none"> A/D 変換の開始チャンネルの設定および変換中チャンネル番号の確認を行うビットです。 A/D 変換を起動すると、これらのビットに書き込まれたチャンネルから A/D 変換を開始します。 A/D 変換中は、変換中のチャンネル番号が読めます。停止変換モードでの一時停止中は、直前に変換したチャンネルの番号が読めます。 <p>(注意事項) 差動入力モード時 (ADCS : PINMD=1), LSB(例, ANS0)は無視されます。例えば ANS[1:0]=1X_B に設定した場合には AN3-1/AN3-1 が開始チャンネルとなります。ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>
bit11	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは、動作に影響しません。
bit10	未定義ビット	必ず "0" を設定してください。
bit9, bit8	ANE2 ~ ANE0: A/D 変換終了 チャンネル選択 ビット	<ul style="list-style-type: none"> A/D 変換の終了チャンネルの設定を行うビットです。 A/D 変換を起動すると、これらのビットに書き込まれたチャンネルまで A/D 変換を行います。 ANS1, ANS0 と同じチャンネルを設定すると、そのチャンネルのみ変換を行います。また、連続変換モードまたは停止変換モードを設定しているときは、これらのビットで設定されたチャンネルまでの変換が終わると、ANS1, ANS0 で設定された開始チャンネルに戻ります。 <p>(注意事項) 差動入力モード時 (ADCS : PINMD=1), LSB(例, ANE0)は無視されます。例えば ANE[1:0]=1X_B に設定した場合には AN3-1/AN3-1 が終了チャンネルとなります。必ず "ANS ANE" となるように設定してください。ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>

17.4.2 A/D モード設定レジスタ (ADMD)

A/D モード設定レジスタには、変換モードの選択と、A/D 変換のコンペア時間やサンプリング時間を設定する機能があります。

■ A/D モード設定レジスタ (ADMD: ADMD3, ADMD4)

図 17.4-2 A/D モード設定レジスタ (ADMD: ADMD3, ADMD4)

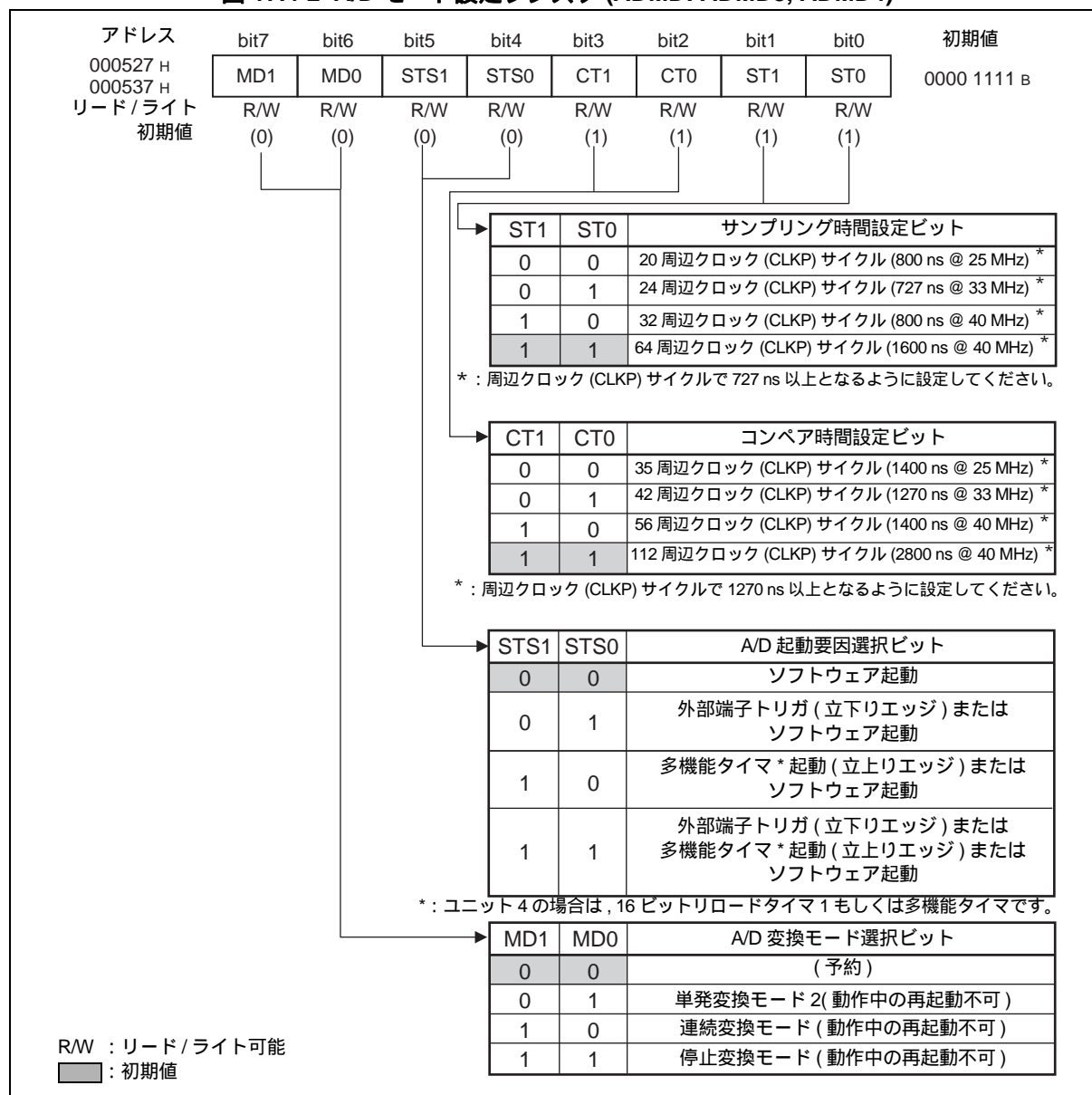


表 17.4-2 A/D モード設定レジスタ (ADMD) の各ビットの機能説明 (1 / 2)

ビット名	機能
bit7, bit6	<p>MD1, MD0 : A/D変換モード 選択ビット</p> <ul style="list-style-type: none"> • A/D 変換機能時の変換モードを選択するビットです。 • MD1, MD0 の 2 ビット値によって, 単発変換モード 2, 連続変換モード, 停止変換モードのいずれかが選択されます。 • それぞれのモードの意味は, 以下のとおりです。 <p>単発変換モード 2 : ANS1, ANS0 の設定チャンネルから ANE1, ANE0 の設定チャンネルまでの A/D 変換を連続して一度だけします。動作中の再起動はできません。</p> <p>連続変換モード : ANS1, ANS0 の設定チャンネルから ANE1, ANE0 の設定チャンネルまでの A/D 変換を連続して, BUSY ビットで強制停止するまで繰り返し行います。動作中の再起動はできません。</p> <p>停止変換モード : ANS1, ANS0 の設定チャンネルから ANE1, ANE0 の設定チャンネルまでの A/D 変換を 1 チャンネルごとに一時停止しながら, BUSY ビットで強制停止するまで繰り返します。動作中の再起動はできません。一時停止中の再起動は, STS1, STS0 ビットで選択した起動要因の発生によります。</p> <p>(注意事項) ・単発, 連続, 停止の各変換モードの再起動不可はタイマ, 外部トリガ, ソフトすべての起動に適用されます。 ビットの書換えは, 必ず変換動作前の A/D 動作が停止している状態で行ってください。 ・本 12 ビットの ADC 変換中の再起動はできません。</p>
bit5, bit4	<p>STS1, STS0 : A/D 起動要因 選択ビット</p> <ul style="list-style-type: none"> • A/D 変換の起動要因の選択を行います。 • 起動要因が兼用になっている場合には, 最初に発生した起動要因で起動します。 <p>(注意事項) 起動要因は書換えと同時に変更されますので, A/D 変換動作中に書き換える場合には, 目的とする起動要因がない状態で切り換えてください。 STS1, STS0=11_B のとき, 外部トリガ入力が "L" のときにはタイマ起動はできません。また, タイマが "H" のとき, 外部トリガ起動はできません。</p>

表 17.4-2 A/D モード設定レジスタ (ADMD) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit3, bit2	CT1, CT0 : コンペア時間 設定ビット	<ul style="list-style-type: none"> A/D 変換時のコンペア時間を選択するビットです。 アナログ入力に取り込まれた (サンプリング時間経過) 後 , このビットに設定された時間後に変換結果のデータが確定し , A/D データレジスタ (ADCD) に格納されます。 <p>(注意事項) コンペア時間は 1270 ns 以上となるように設定してください。1270 ns 以下では 正常なアナログ変換値が得られない場合があります。ビットの書換えは , 必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>
bit1, bit0	ST1, ST0 : サンプリング 時間設定 ビット	<ul style="list-style-type: none"> A/D 変換時のサンプリング時間を選択するビットです。 A/D が起動されると , このビットに設定された時間 , アナログ入力に取り込まれます。 <p>(注意事項) サンプリング時間は 727 ns 以上となるように設定してください。727 ns 以下では 正常なアナログ変換値が得られない場合があります。ビットの書換えは , 必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>

17.4.3 A/D 制御ステータスレジスタ (ADCS)

A/D 制御ステータスレジスタは、一時停止および変換確認、割込み要求の許可 / 禁止、割込み要求の状態の確認、アナログ入力モード (通常 / 差動)、変換機能 (機能 1 / 機能 2) を選択する機能があります。

■ A/D 制御ステータスレジスタ (ADCS: ADCS3, ADCS4)

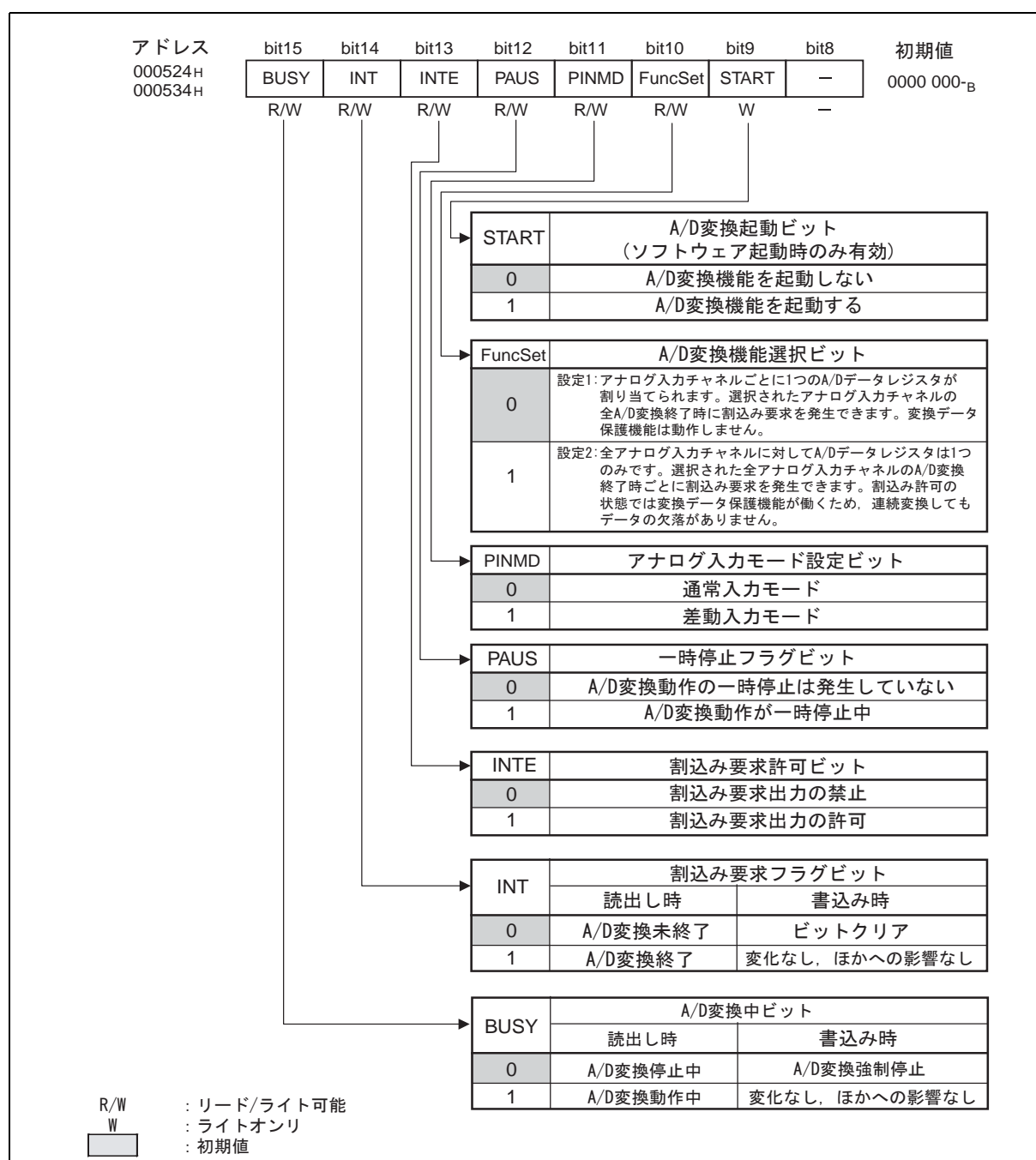


表 17.4-3 A/D 制御ステータスレジスタ (ADCS) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit15	BUSY : A/D 変換中ビット	<ul style="list-style-type: none"> A/D コンバータの動作表示ビットです。 読出し時, このビットが "0" であれば A/D 変換停止中であることを示し, "1" であれば A/D 変換動作中であることを示します。 書込み時, このビットへの "0" の書込みによって A/D 変換動作は強制的に停止します。"1" の書込みでは, 変化せずほかへの影響はありません。 リードモディファイライト (RMW) 系命令のリード時には, "1" が読み出されます。 <p>(注意事項) 強制停止とソフトウェア起動 (BUSY=0, START=1) を同時にしないでください。 A/D 変換動作を強制停止した後, 再び A/D 変換を再起動する場合, 必ず 2μs 以上待ったあとで行ってください。</p>
bit14	INT : 割込み要求フラグビット	<ul style="list-style-type: none"> A/D 変換によって A/D データレジスタにデータがセットされると, このビットは "1" にセットされます。 このビットと割込み要求許可ビット (ADCS : INTE) が "1" のときに割込み要求を発生します。 書込み時は, "0" でこのビットがクリアされ, "1" では変化せずほかへの影響はありません。 リードモディファイライト (RMW) 系命令のリード時には, "1" が読み出されます。 <p>(注意事項) このビットへの "0" 書込みによるクリアは, A/D 動作が停止している状態で行ってください。</p>
bit13	INTE : 割込み要求許可ビット	<ul style="list-style-type: none"> CPU への割込み出力の許可 / 禁止をするビットです。 このビットと割込み要求フラグビット (ADCS : INT) が "1" のときに割込み要求を発生します。
bit12	PAUS : 一時停止フラグビット	<ul style="list-style-type: none"> A/D 変換動作が一時停止したときに "1" にセットされます。 変換データ保護機能が動作すると自動的に "1" にセットされます。この間, A/D 変換動作は停止し, A/D データレジスタは新しい変換結果に上書きされることはありません。 このフラグのクリアはレジスタへの "0" 書込みのみです。 リードモディファイライト (RMW) 系命令のリード時には, "1" が読み出されます。 詳しい動作に関しては, 「17.7 12 ビット A/D コンバータの A/D 変換データ保護機能」を参照してください。

表 17.4-3 A/D 制御ステータスレジスタ (ADCS) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit11	PINMD : アナログ入力 モード設定ビット	<ul style="list-style-type: none"> アナログ入力の入力形式 (通常入力 / 差動入力) を設定するビットです。 "0": 通常入力モード時, 全アナログ入力は A/D 変換部の (+) 側に入力され, (-) 側は内部で AVSS12 側に固定されます。 "1": 差動入力モード時, AN3-0/AN4-0 と AN3-1/AN4-1, AN3-2/AN4-2 と AN3-3/AN4-3 がペアとなり, それぞれ (+)(-) 側に入力されます。 <p>(注意事項) ビットの書換えは, 必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>
bit10	FuncSet : A/D 変換機能選択 ビット	<p>A/D 変換機能を選択するビットです。</p> <p>[機能 1] : "0" 設定時</p> <ul style="list-style-type: none"> アナログ入力チャンネルごとに 1 つの A/D データレジスタが割り当てられます。 選択されたアナログ入力チャンネルの全 A/D 変換終了時に割り込み要求を発生できます。 変換データ保護機能は動作しません。 <p>[機能 2] : "1" 設定時</p> <ul style="list-style-type: none"> 全アナログ入力チャンネルに対して A/D データレジスタは 1 つのみです。 選択された全アナログ入力チャンネルの A/D 変換終了時ごとに割り込み要求を発生できます。 割り込み許可の状態では変換データ保護機能が働くため, 連続変換してもデータの欠落がありません。 <p>(注意事項) ビットの書換えは, 必ず変換動作前の A/D 動作が停止している状態で行ってください。</p>
bit9	START : A/D 変換起動 ビット (ソフトウェア 起動時のみ有効)	<ul style="list-style-type: none"> A/D 変換動作をソフトウェア的に起動するビットです。 このビットに "1" を書き込むと A/D 変換が起動します。 停止変換モード時は, このビットによる再起動はかかりません。 リードモディファイライト (RMW) 系命令のリード時には, "0" が読み出されます。 <p>(注意事項) 強制停止とソフトウェア起動 (BUSY=0, START=1) を同時にしないでください。</p>
bit8	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは, 動作に影響しません。

17.4.4 A/D データレジスタ (ADCD)

A/D データレジスタは , A/D 変換結果を格納するレジスタです。

■ A/D データレジスタ (ADCD: ADCD003 ~ ADCD033, ADCD004 ~ ADCD034)

図 17.4-3 A/D データレジスタ (ADCD: ADCD003 ~ ADCD033, ADCD004 ~ ADCD034)

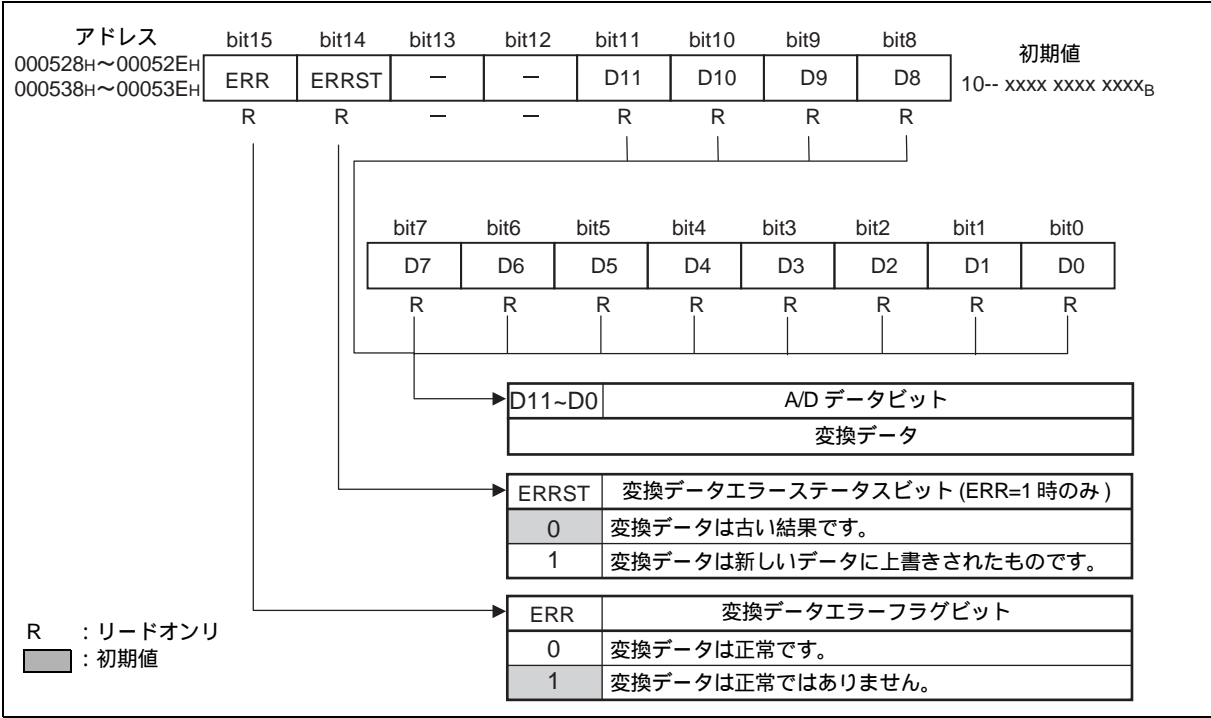


表 17.4-4 A/D データレジスタ (ADCD) の各ビットの機能説明

ビット名		機能
bit15	ERR : 変換データエラー フラグビット	<ul style="list-style-type: none"> A/D 変換データにエラーがあったことを示すビットでエラーの内容は本ビットが "1" のとき, ERRST ビットの値で知ることができます。 本ビットは読み出すと "1" にセットされます。 新しい変換結果が本レジスタに書き込まれると "0" にクリアされます。 <p>(注意事項) 変換データ保護機能を使用している場合 (Func-Set=1 かつ INTE=1), 本ビットは常に "0" です。</p>
bit14	ERRST : 変換データエラー ステータスビット	<ul style="list-style-type: none"> ERR ビット =1 のとき, A/D 変換データのエラー内容を示すフラグです。 ERR ビット =1 かつ本ビット =0 のとき, CPU 読出しによる変換結果が古いことを示します。 ERR ビット =1 かつ本ビット =1 のとき, CPU 読出しによる変換結果は, CPU による旧変換結果の読出しが完了しないまま, 新しい変換結果の上書きより旧変換データが失われたことを示します。 CPU による旧変換結果の読出しが完了しないまま, 新しい変換結果の上書きより旧変換データが失われていた場合, "1" にセットされます。 本ビットは読み出すと "0" にクリアされます。 <p>(注意事項) 変換データ保護機能を使用している場合 (Func-Set=1 かつ INTE=1), 本ビットは常に "0" です。</p>
bit13, bit12	未定義ビット	<ul style="list-style-type: none"> 読出し値は不定です。 このビットへの書込みは, 動作に影響しません。
bit11 ~ bit0	D11 ~ D0 : A/D データビット	<ul style="list-style-type: none"> A/D 変換の結果が格納され, レジスタは 1 回の変換終了ごとに書き換えられます。 通常は, 最終変換値が格納されます。 本レジスタの初期値は不定です。 <p>(注意事項) 変換データ保護機能があります。 A/D 変換中に本ビットにデータを書き込まないようにしてください。</p>

17.4.5 アナログ入力制御レジスタ (AICR)

アナログ入力制御レジスタは、アナログ入力を制御するレジスタです。

■ アナログ入力制御レジスタ (AICR: AICR3, AICR4)

図 17.4-4 アナログ入力制御レジスタ (AICR: AICR3, AICR4)

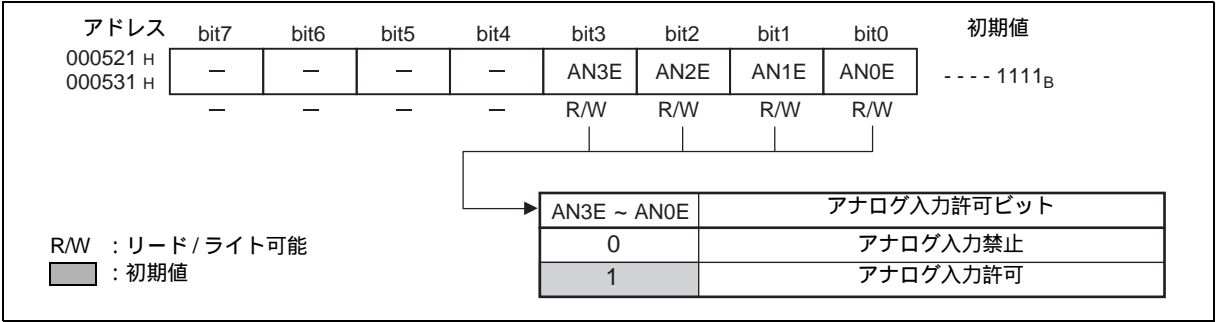


表 17.4-5 アナログ入力制御レジスタ (AICR) の各ビットの機能説明

ビット名		機能
bit7 ~ bit4	未定義ビット	<ul style="list-style-type: none">読出し値は不定です。このビットへの書込みは、動作に影響しません。
bit3 ~ bit0	AN3E ~ AN0E : アナログ入力許可ビット	<ul style="list-style-type: none">このビットが "0" の場合、アナログ入力は禁止されます。このビットが "1" の場合、アナログ入力は許可されます。アナログ入力端子として使用する端子は、対応する AICR レジスタのビットを "1" に設定してください。このときの PDR レジスタの読出し値は "0" になります。

17.5 12 ビット A/D コンバータの割込み

12 ビット A/D コンバータは、A/D 変換で A/D データレジスタにデータがセットされることで割込み要求を発生させることができます。

■ 12 ビット A/D コンバータの割込み

12 ビット A/D コンバータの割込み制御ビットと割込み要因は、表 17.5-1 のようになっています。

表 17.5-1 12 ビット A/D コンバータの割込み制御ビットと割込み要因

	12 ビット A/D コンバータ
割込み要求フラグビット	ADCS : INT
変換機能選択ビット	ADCS : FuncSet
割込み要求許可ビット	ADCS : INTE
割込み要因	A/D 変換結果の A/D データレジスタへの書込み

[機能 1] : FuncSet=0 設定時

- 選択されたアナログ入力チャネルの全 A/D 変換終了時に割込み要求を発生できます。
- すべての A/D 変換が終了し、A/D 変換結果が A/D データレジスタ (ADCD) にセットされると、A/D 制御ステータスレジスタ (ADCS) の INT ビットが "1" にセットされます。このとき、割込み要求が許可 (ADCS : INTE=1) されていると割込みコントローラに割込み要求を出力します。

[機能 2] : FuncSet=1 設定時

- 選択された全アナログ入力チャネルの A/D 変換終了時ごとに割込み要求を発生できます。
- 各 A/D 変換が終了し、A/D 変換結果が A/D データレジスタ (ADCD) にセットされると、A/D 制御ステータスレジスタ (ADCS) の INT ビットが "1" にセットされます。このとき、割込み要求が許可 (ADCS : INTE=1) されていると割込みコントローラに割込み要求を出力します。

17.6 12 ビット A/D コンバータの動作説明

12 ビット A/D コンバータには、単発変換モード、連続変換モード、停止変換モードの 3 種類のモードがあります。各モードでの動作について説明します。

■ 単発変換モードの動作

単発変換モードは、ANS ビットと ANE ビットで設定されたアナログ入力を順次変換していき、ANE ビットで設定された終了チャンネルまで変換が終わると A/D 変換は停止します。開始チャンネルと終了チャンネルが同じ (ANS=ANE) ときは ANS ビットで指定した 1 チャンネルだけの変換となります。単発変換モードで動作させるには、図 17.6-1 の設定が必要です。

図 17.6-1 単発変換モードでの設定

図 17.10-1 中央変換レジスタの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADCH/ ADMD	-	予約	ANS2	ANS1	-	予約	ANE1	ANE0	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0
	0				0				0	1						

AICR																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																							
------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

< 参考 >

単発変換モードでの変換順序の例を以下に示します。

ANS=000 _B , ANE=011 _B のとき :	AN0	AN1	AN2	AN3	終了
(FuncSet =0)	ADCD00	ADCD01	ADCD02	ADCD03	終了
(FuncSet =1)	ADCD00	ADCD00	ADCD00	ADCD00	終了
ANS=011 _B , ANE=011 _B のとき :	AN3	終了			
(FuncSet =0)	ADCD03	終了			
(FuncSet =1)	ADCD03	終了			

< 注意事項 >

必ず、"ANS ANE" となるように設定してください。

■ 連続変換モードの動作

連続変換モードは、ANS ビットと ANE ビットで設定されたアナログ入力を順次変換していき、ANE ビットで設定された終了チャンネルまで変換が終わると ANS ビットで設定されたアナログ入力に戻り、A/D 変換動作を続けます。開始チャンネルと終了チャンネルが同じとき (ANS=ANE) は ANS で指定したチャンネルだけの変換を繰り返します。連続変換モードで動作させるには、図 17.6-2 に示す設定が必要です。

図 17.6-2 連続変換モードでの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADCH/ ADMD	-	予約	ANS2	ANS1	-	予約	ANE1	ANE0	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0
	0				0				1	0						
AICR																
													AN3E	AN2E	AN1E	AN0E
ADCD	ERR	ERRST	-	-	変換データを格納											
ADCS	BUSY	INT	INTE	PAUS	PINMD	Func Set	START									

: 使用ビット
 : 使用する端子の対応するビットに "1" を設定
 0 : "0" を設定
 1 : "1" を設定

< 参考 >

連続変換モードでの変換順序の例を以下に示します。

ANS=000 _B , ANE=011 _B のとき :	AN0	AN1	AN2	AN3	繰返し
(FuncSet =0)	ADCD00	ADCD01	ADCD02	ADCD03	繰返し
(FuncSet =1)	ADCD00	ADCD00	ADCD00	ADCD00	繰返し
ANS=011 _B , ANE=011 _B のとき :	AN3	AN3	AN3	AN3	繰返し
(FuncSet =0)	ADCD03	ADCD00	ADCD01	ADCD02	繰返し
(FuncSet =1)	ADCD00	ADCD00	ADCD00	ADCD00	繰返し

■ 停止変換モードの動作

停止変換モードは、ANS ビットと ANE ビットで設定されたアナログ入力を 1 チャンネルごとに一時停止しながら変換していき、ANE ビットで設定された終了チャンネルまで変換が終わると ANS ビットで設定されたアナログ入力に戻り、A/D 変換と一時停止の動作を続けます。開始チャンネルと終了チャンネルが同じとき (ANS=ANE) は ANS ビットで指定したチャンネルだけの変換を繰り返します。一時停止時の変換の再起動は、STS1, STS0 ビットで指定した起動要因を発生します。停止変換モードで動作させるには、図 17.6-3 の設定が必要です。

図 17.6-3 停止変換モードでの設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADCH/ ADMD	-	予約	ANS2	ANS1	-	予約	ANE1	ANE0	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0
		0				0			1	1						
AICR																
													AN3E	AN2E	AN1E	AN0E
ADCD	ERR	ERRST	-	-	変換データを格納											
ADCS	BUSY	INT	INTE	PAUS	PINMD	Func Set	START									

: 使用ビット
 : 使用する端子の対応するビットに "1" を設定
 0 : "0" を設定
 1 : "1" を設定

< 参考 >

停止変換モードでの変換順序の例を以下に示します。

- ANS=000_B, ANE=011_B のとき :

AN0 一時停止 AN1 一時停止 AN2 一時停止 AN3 繰返し
FuncSet =0

ADCD00 一時停止 ADCD01 一時停止 ADCD02 一時停止 ADCD03 繰返し
FuncSet = 1

ADCD00 一時停止 ADCD00 一時停止 ADCD00 一時停止 ADCD00 繰返し

- ANS=011_B, ANE=011_B のとき :

AN3 一時停止 AN3 一時停止 AN3 一時停止 AN3 繰返し
FuncSet =0

ADCD03 一時停止 ADCD00 一時停止 ADCD01 一時停止 ADCD02 繰返し
FuncSet =1

ADCD00 一時停止 ADCD00 一時停止 ADCD00 一時停止 ADCD00 繰返し

17.7 12 ビット A/D コンバータの A/D 変換データ保護機能

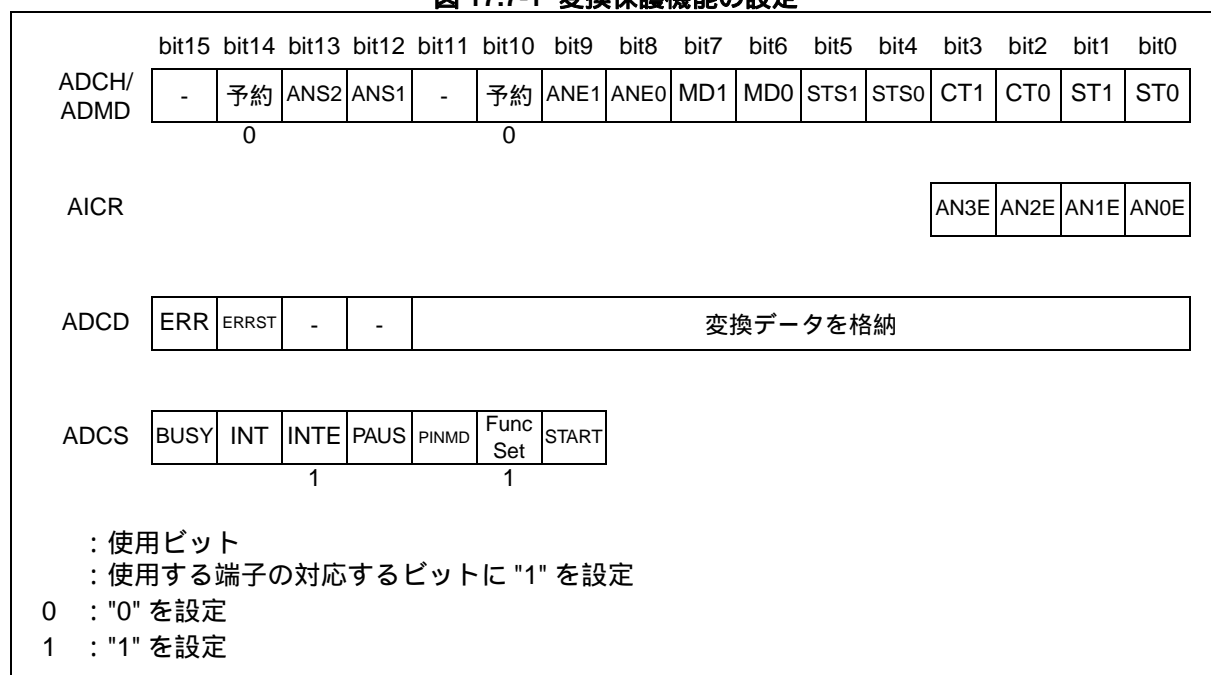
割込み許可状態で A/D 変換を実行すると、変換データ保護機能が働きます。

■ A/D 変換データ保護機能

ADCS:FuncSet=1 設定時 (変換機能 2), 変換データ格納用のデータレジスタが 1 つしかないので, A/D 変換をすると, 変換終了時にデータレジスタ内の格納データを書き換えます。そのため, 変換データのメモリへの転送が間に合わないと同前のデータが一部欠落します。この対策として, 割込み許可 (INTE=1) のときは, 以下のようにデータ保護機能が働きます。

変換データが A/D データレジスタ (ADCD) に格納されると, A/D 制御ステータスレジスタ (ADCS) の INT ビットが "1" にセットされます。この INT ビットが "1" の間, 次の変換終了後も ADCD への変換データの格納は行われず, PAUS ビットをセットし, A/D は一時停止状態になります。一時停止中, 直前の変換データを保持しています。一時停止状態の解除は, INT ビットのクリアにより行われます。一時停止状態解除後, 保持していた変換データを ADCD に格納して次の動作に移行します。

図 17.7-1 変換保護機能の設定



< 注意事項 >

- 変換データ保護機能は, 変換機能 2 を設定時 (ADCS:FuncSet=1) の割込み許可 (ADCS:INTE=1) 状態でしか動作しません。
- 一時停止中に再起動すると待機データが壊れます。

17.8 12 ビット A/D コンバータの差動入力モード

12 ビット A/D コンバータには 2 種類のアナログ入力モードがあり、ADCS レジスタにより通常入力または差動入力モードを選択することが可能です。以下に差動入力モードの使用方法について説明します。

■ 差動入力モード時のアナログ入力端子

12 ビット A/D コンバータを差動入力モードで使用する場合、アナログ入力信号は 2 つのアナログ入力を 1 つのペアにして使用するため、アナログ入力チャネル数は半分になります。

[通常入力モード時]	[差動入力モード時]
AN3-0	AN3-0P (+) 側入力
AN3-1	AN3-0N (-) 側入力
AN3-2	AN3-1P (+) 側入力
AN3-3	AN3-1N (-) 側入力

差動入力モード時には、(-) 側のアナログ入力電圧が AVCC12/2 を超えないようにしてください。

■ 差動入力モード時のレジスタ設定

ADCS レジスタの PINMD(bit11) を "1" に設定すると、12 ビット A/D コンバータは差動入力モード動作を行います。そのときの、ADCH レジスタ、AICR レジスタ、ADCD レジスタ設定に関する注意事項を以下に示します。

● ADCH レジスタ

アナログ入力チャネル数は半分になりますので、ANS[0] および ANE[1] の設定値は無視されます。したがって、変換開始チャネルと終了チャネルの設定に関しては、ANS[1] および ANE[1] を使用してください。

● AICR レジスタ

(+) 入力側、(-) 入力側に対応するアナログ入力許可ビットは必ず "1" に設定してください。

● ADCD レジスタ

A/D 変換結果は (+) 入力側のチャネルに対応する A/D データレジスタに格納されます。
(-) 入力側に対応する A/D データレジスタは使用できません。

■ 差動入力モード動作例

AN3-0P/AN3-0N, および AN3-1P/AN3-1N を差動入力とし, A/D コンバータを連続変換モードで使用する場合は示します。

● ANS/ANE ビット

ANS=00_R, ANE=10_R, に設定します。動作は以下のようになります。

AN3-0P/AN3-0N AN3-1P/AN3-1N AN3-0P/AN3-0N AN3-1P/AN3-1N
繰返し
ADCD003 ADCD023 ADCD003 ADCD023 繰返し

● 対応レジスタ

図 17.8-1 に対応するレジスタを示します。

図 17.8-1 対応するレジスタの設定例

図 17.8-1 対応するレジスタの設定例

ADCH/ADMD

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-	予約	ANS2	ANS1	-	予約	ANE1	ANE0	MD1	MD0	STS1	STS0	CT1	CT0	ST1	ST0
	0	0	0		0	1	0	1	0						

AICR

AN3E	AN2E	AN1E	AN0E
1	1	1	1

ADCD003

ERR	ERRST	-	-	変換データを格納

ADCD023

ERR	ERRST	-	-	変換データを格納

ADCS

BUSY	INT	INTE	PAUS	PINMD	Func Set	START

：使用ビット
 0 ："0"を設定
 1 ："1"を設定

ADCH/ANS[1]=0	: 変換開始チャネルは AN3-0P/AN3-0N
ADCH/ANE[1]=1	: 変換終了チャネルは AN3-1P/AN3-1N
AICR/ANxE[3:0]=1111 _B	: AN3-0P, AN3-0N, AN3-1P, AN3-1N 入力許可
ADCD003	: AN3-0P/AN3-0N に対する AD 変換データレジスタ
ADCD023	: AN3-1P/AN3-1N に対する AD 変換データレジスタ

< 注意事項 >

差動入力モード時にはANS[0] および ANE[0] は無視されます。したがって、ANS[1:0]=00_B および 01_B では変換開始チャネルはAN3-0P/AN3-0N となります。

17.9 12 ビット A/D コンバータの使用メモ

12 ビット A/D コンバータを使用する際のメモです。

■ ADMD レジスタ設定

3 種類の周波数 (25MHz, 33MHz, 40MHz) をベースにした A/D コンバータのサンプリング時間とコンペア時間を ADMD レジスタで設定することが可能で、それぞれの周波数に対応した最小変換時間を設定することができます。設定周波数が上記 3 種類の値と異なる場合には、以下に示す 2 種類の方法で ADMD を設定してください。

- サンプル時間およびコンペア時間が 12 ビット A/D コンバータの推奨値以下とならないよう ADMD レジスタの ST[1:0]/CT[1:0] ビット (bit3, bit2/bit1, bit0) を設定する。
- 周辺クロック (CLKP) の周波数が上記 3 種類のいずれかになるよう、DIVR0 レジスタの P3 ~ P0 ビット (bit3 ~ bit0) を設定する。

例：

- 周辺クロック (CLKP) の周波数が 16MHz の場合：方法 1

周期：62.5ns

サンプル時間：ST[1:0] = 00_B

20 周辺クロック (CLKP) サイクル

$20 \times 62.5\text{ns} = 1250\text{ns} > 727\text{ns}$ (最小値)

コンペア時間：CT[1:0] = 00_B

35 周辺クロック (CLKP) サイクル

$35 \times 62.5\text{ns} = 2190\text{ns} > 1270\text{ns}$ (最小値)

全変換時間 = 3500ns

- 周辺クロック (CLKP) の周波数が 25MHz の場合：方法 2

原発振周波数：10MHz

PLL 低倍率：× 5 逡倍

DIVR0 : P3 ~ P0 = 0001_B

$\text{CLKP} = 10 \times 5 / 2 = 25\text{MHz}$

ST[1:0] = 00_B, CT[1:0] = 00_B

全変換時間 = 2200ns

17.10 12 ビット A/D コンバータの使用上の注意

12 ビット A/D コンバータを使用するときの注意点を示します。

■ 12 ビット A/D コンバータ使用上の注意

● アナログ入力端子

A/D 入力端子はポートの入出力端子と兼用になっており、ポート方向レジスタ (DDR) とアナログ入力許可レジスタ (AICR) で切り換えて使用するようになっています。アナログ入力として使用する端子では、DDR の対応するビットに "0" を書き込んでポート設定を入力にした上で、AICR レジスタでアナログ入力モード (AICRx=1) に設定して、ポート側の入力ゲートを固定してください。ポート入力モード (AICRx=0) の状態では中間レベルの信号が入力されると、ゲートに入力リーク電流が流れます。

● 内部タイマで使用する時の注意

A/D コンバータを内部タイマで起動するとき、A/D 制御ステータスレジスタ (ADMD) の STS1, STS0 ビットで設定しますが、このとき内部タイマの入力値は、インアクティブ側 (内部タイマのときは "L") にしておいてください。アクティブ側にしておくと、ADMD レジスタへの書込みと同時に動作し始めるときがあります。

● A/D コンバータの電源・アナログ入力の投入順序

A/D コンバータの電源 (AVCC12, AVRH3, AVRH4, AVSS12)、アナログ入力 (AN3-0 ~ AN3-3, AN4-0 ~ AN4-3) への印加は、必ずデジタル電源 (VCC) の投入後、または同時に投入してください。また、電源切断時は、A/D コンバータの電源およびアナログ入力の切断後にデジタル電源 (VCC) を切断、または同時に切断してください。

● A/D コンバータの電源電圧について

ラッチアップ防止のため、A/D コンバータの電源 (AVCC12) は、デジタル電源 (VCC) の電圧を超えないようにしてください。

● ADCH レジスタの設定について

必ず ANS ANE となるように設定してください。

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。予約ビットには必ず "0" を設定してください。

● ADMD レジスタの設定について

サンプル時間およびコンペア時間が 8/10 ビット A/D コンバータの推奨値以下とならないよう、ST[1:0]/CT[1:0] ビット (bit3, bit2/bit1, bit0) を設定してください。

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。詳しい説明に関しては、「17.9 12 ビット A/D コンバータの使用メモ」を参照してください。

- ADCS レジスタの設定について

ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。
ソフトウェアによる A/D 変換開始設定 (START=1) と停止設定 (BUSY=1) を同時に行わないでください。
詳しい説明に関しては、「17.4 12 ビット A/D コンバータのレジスタ」を参照してください。

- A/D 変換データ保護機能について

変換データ保護機能は、変換機能 2 を設定時 (ADCS:FuncSet=1) の割込み許可 (ADCS:INTE=1) 状態でしか動作しません。

- A/D データレジスタ内のフラグビットについて

A/D データレジスタの下位側 8 ビットに対してバイトアクセスで読出しを行っても、ERRST および ERR ビットは変化しません。
また、変換データ保護機能を使用している場合、ERRST および ERR ビットは常に "0" です。

- 外部トリガ端子について

外部トリガ端子により A/D コンバータ起動後は、必ず外部トリガ端子の入力レベルを元に戻してください。

- 差動入力モード時のアナログ入力電圧について

(-) 入力側のアナログ入力電圧が AVCC12/2 を超えないようにしてください。また、(+) 入力側のアナログ入力電圧値も超えないようにしてください。A/D コンバータが誤動作し、大電流が流れる場合があります。

- 差動入力モード時のレジスタ設定について

差動入力モードで使用する場合、各レジスタの設定には注意してください。
詳細は「17.8 12 ビット A/D コンバータの差動入力モード」を参照してください。

- スタンバイ状態からの復帰について

デバイスが STOP モードに遷移すると、12 ビット A/D コンバータは自動的にスタンバイモードへと遷移します。この際、STOP モードから復帰して 12 ビット A/D コンバータが動作を行うことができる状態になるまでには 5 μ s の発振安定待ち時間が必要です。したがって、STOP モードからの復帰時などには必ず 5 μ s 以上の発振安定待ち時間の経過後に 12 ビット A/D コンバータを使用してください。

- A/D 変換動作停止後の再起動について

A/D 変換動作を強制停止した後、再び A/D 変換を再起動する場合、必ず 2 μ s 以上待ったあとで行ってください。

第18章

クロックモニタ

クロックモニタの機能と動作について説明します。

18.1 クロックモニタの概要

18.2 クロックモニタのクロック出力許可レジスタ

18.1 クロックモニタの概要

クロック出力許可レジスタの出力許可ビットを "1" に設定した場合に、クロックモニタ端子 (CLKPOUT) からクロックが出力されます。出力するクロックの周波数は、クロック出力許可レジスタの出力周波数選択ビットで設定します。

■ クロックモニタの出力周波数

クロックモニタ機能で出力するクロックの周波数を表 18.1-1 に示します。

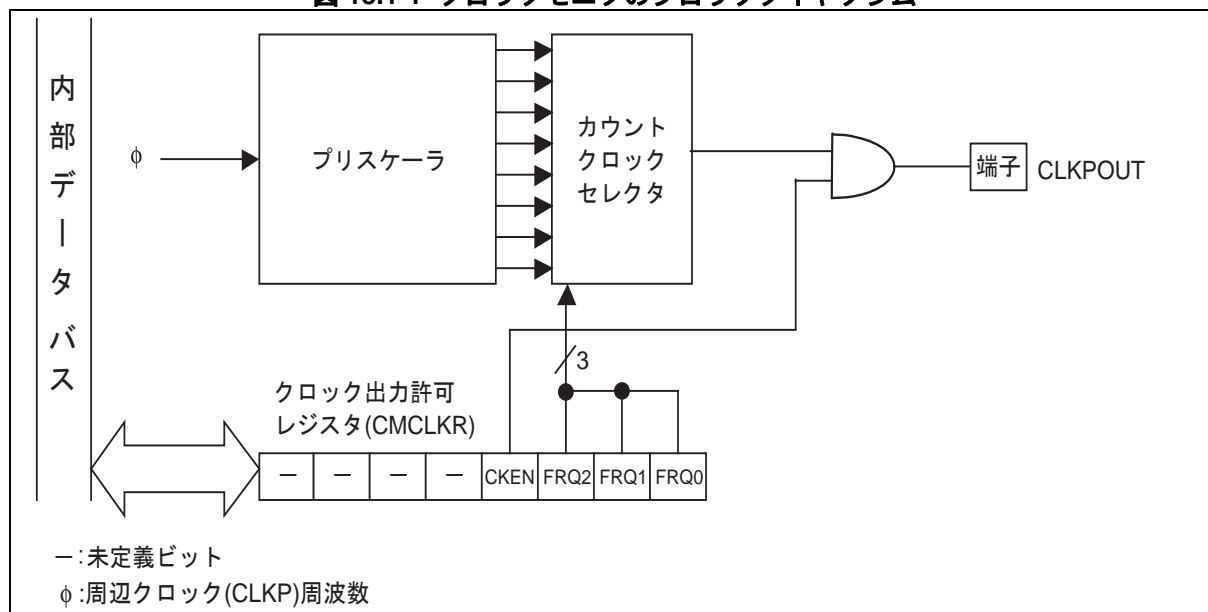
表 18.1-1 クロックモニタ機能の出力周波数

FRQ2 ~ FRQ0	クロック 出力周波数	$\phi=40$ MHz の場合		$\phi=20$ MHz の場合		$\phi=10$ MHz の場合	
		周期	周波数	周期	周波数	周期	周波数
000 _B	$\phi/2^1$	50 ns	20 MHz	100 ns	10 MHz	200 ns	5 MHz
001 _B	$\phi/2^2$	100 ns	10 MHz	200 ns	5 MHz	400 ns	2.5 MHz
010 _B	$\phi/2^3$	200 ns	5 MHz	400 ns	2.5 MHz	800 ns	1.25 MHz
011 _B	$\phi/2^4$	400 ns	2.5 MHz	800 ns	1.25 MHz	1.6 μ s	625 kHz
100 _B	$\phi/2^5$	800 ns	1.25 MHz	1.6 μ s	625 kHz	3.2 μ s	312.5 kHz
101 _B	$\phi/2^6$	1.6 μ s	625 kHz	3.2 μ s	312.5 kHz	6.4 μ s	156.25 kHz
110 _B	$\phi/2^7$	3.2 μ s	312.5 kHz	6.4 μ s	156.25 kHz	12.8 μ s	78.1 kHz
111 _B	$\phi/2^8$	6.4 μ s	156.25 kHz	12.8 μ s	78.1 kHz	25.6 μ s	39.1 kHz

ϕ : 周辺クロック (CLKP) 周波数

■ クロックモニタのブロックダイアグラム

図 18.1-1 クロックモニタのブロックダイアグラム



18.2 クロックモニタのクロック出力許可レジスタ

クロック出力許可レジスタでは、クロック出力の設定を行います。

■ クロック出力許可レジスタのビット構成

図 18.2-1 クロック出力許可レジスタのビット構成

CMCLKR									初期値
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
0000015F _H	-	-	-	-	CKEN	FRQ2	FRQ1	FRQ0	---- 0000 _B
	-	-	-	-	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能

[bit7 ~ bit4] Reserved : 予約ビット

予約ビットです。読出しでは必ず "1111_B" が読み出されます。

これらのビットへの書込みは無効です。

[bit3] CKEN: 出力許可ビット

クロックモニタ端子 (CLKPOUT) の出力を許可します。

CKEN	クロック出力許可
0	クロック出力禁止 [初期値]
1	クロック出力許可

[bit2 ~ bit0] FRQ2 ~ FRQ0 : 出力周波数選択ビット

出力するクロックの周波数を設定します。

周辺クロック (CLKP) の分周比を 8 種類から選択して設定します。

FRQ2	FRQ1	FRQ0	分周比
0	0	0	2 分周 [初期値]
0	0	1	4 分周
0	1	0	8 分周
0	1	1	16 分周
1	0	0	32 分周
1	0	1	64 分周
1	1	0	128 分周
1	1	1	256 分周

第 19 章

積和演算回路

積和演算回路の概要，レジスタの構成 / 機能，および動作について説明します。

- 19.1 積和演算回路の概要
- 19.2 積和演算回路のブロックダイアグラム
- 19.3 積和演算回路の命令定義
- 19.4 積和演算回路のレジスタ一覧
- 19.5 積和演算回路のレジスタ説明
- 19.6 積和演算回路の動作説明
- 19.7 積和演算回路の命令詳細説明
- 19.8 積和演算回路の使用上の注意

19.1 積和演算回路の概要

積和演算回路の概要について説明します。

■ 概要

- 高速積和演算 (7 段パイプライン処理)
- データ形式 : 32 ビット固定小数点 (32 × 32 + 72 ビット)
- 命令領域 : I-RAM 256 × 16 ビット
- データ領域 : X-RAM 64 × 32 ビット
Y-RAM 64 × 32 ビット
- 丸め処理可能
- 飽和処理可能
- 加算項目数 : 最大 64 項
- 命令 : MAC 命令, STR 命令, JMP 命令, NOP 命令
- 遅延処理 : 64 ワード内で自由に転送可能
- 固定小数点方式 : Q0, Q26 ~ Q32 の内から選択可能
- プログラム実行制御 : 8 種類の命令を選択可能
- 変数モニタ : 8 ワードまでの計算結果プログラムを停止させずにモニタ可能
- 演算結果格納機能 : 演算停止時の演算結果 (アキュムレータ 72 ビット) を格納するレジスタを搭載, CPU より読出し可能

19.2 積和演算回路のブロックダイアグラム

積和演算回路のブロックダイアグラムについて説明します。

■ ブロックダイアグラム

図 19.2-1 積和演算回路のブロックダイアグラム

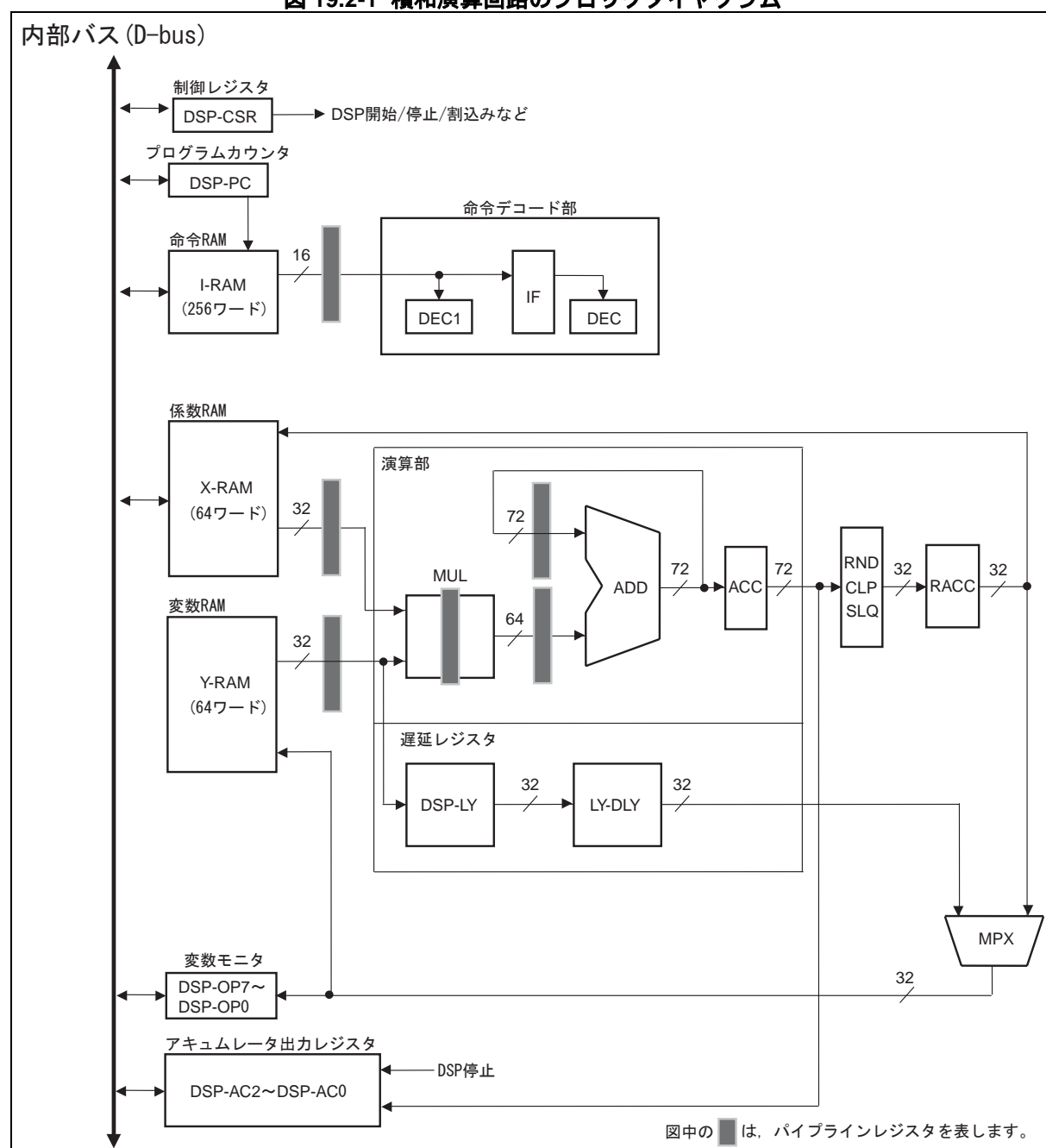


表 19.2-1 積和演算回路のブロック機能

ブロック	レジスタ	機能
動作制御	DSP-CSR	積和演算マクロの動作制御レジスタ。CPU から以下の動作を制御します。 <ul style="list-style-type: none"> ・ 計算開始 / 終了指示 ・ 割込み制御 ・ プログラムフロー制御 (積和演算マクロの条件付き分岐命令に使用)
命令制御	DSP-PC	プログラムカウンタ CPU から設定した先頭番地からプログラム実行を開始します。
	I-RAM	256 × 16 ビットの命令 RAM です。 積和演算マクロが計算停止中, CPU からリード / ライトできます。 積和演算時は 16 ビットアクセスとなります。 CPU からはバイト / ハーフワード / ワードアクセスが可能です。 計算開始前に CPU から命令コードをロードしてください。
	IF	命令フェッチレジスタ
	DEC1* DEC*	命令デコーダ
演算部	X-RAM	64 × 32 ビットのデータ RAM です。 積和演算マクロが計算停止時, CPU からリード / ライトできます。 積和演算時は 32 ビットアクセスとなります。 CPU からはバイト / ハーフワード / ワードアクセスが可能です。 計算開始前に CPU から係数をロードしてください。
	Y-RAM	64 × 32 ビットのデータ RAM です。 積和演算マクロが計算停止時, CPU からリード / ライトできます。 積和演算時は 32 ビットアクセスとなります。 CPU からはバイト / ハーフワード / ワードアクセスが可能です。 計算開始前に CPU から変数をロードしてください。
	MUL*	32 × 32 64 ビット乗算器です。
	ADD*	64 + 72 72 ビット加算器です。
	ACC*	72 ビットのアキュムレータです。
	CLP*	72 32 ビット転送時, 範囲外の 32 ビットデータ時に最大値に飽和します。
	RND*	72 32 ビット転送時, 下位ビットの丸め処理を行います。
	SLQ*	72 32 ビット転送時, 転送ビットを選択します。
遅延レジスタ	DSP-LY LY-DLY*	遅延レジスタ 積和演算時, 変数値を保持し, Y-RAM に書き戻すことができます。
変数モニタ出力	DSP-OT0 ~ DSP-OT7	変数モニタ出力レジスタ。 Y-RAM の 0 ~ 7 番地の内容と同じ値を保持しています。 計算中 (Y-RAM のアクセス禁止中) に Y-RAM 0 ~ Y-RAM7 番地の値をモニタできます。
アキュムレータ出力レジスタ	DSP-AC0 ~ DSP-AC2	アキュムレータ出力レジスタ。 積和演算停止時点でのアキュムレータ値 72 ビットが格納されるレジスタで, CPU から読み出すことが可能です。

*: CPU からアクセス不可

19.3 積和演算回路の命令定義

積和演算マクロの命令は、大きく分けて 4 種類 (MAC/STR/JMP/NOP 命令) あります。

■ 命令定義

積和演算マクロの 4 種類以外の命令を表記上使用していますが、その場合、下記に示す命令の階層構成となります。

- MAC 命令

_____	積和命令 (CLAC ビット = 0)
_____	乗算命令 (CLAC ビット = 1)

- STR 命令

- JMP 命令

_____	無条件分岐命令 (COND ビット = 0)
_____	条件付き分岐命令 (COND ビット = 1)

- リピート機能付き NOP 命令

_____	HLT 命令 (HLT ビット = 1)
_____	INT 命令 (SIRQ ビット = 1)
_____	リピート命令

19.4 積和演算回路のレジスタ一覧

積和演算回路のレジスタ一覧を示します。

■ 積和演算回路のレジスタ一覧

図 19.4-1 積和演算回路のレジスタ一覧

アドレス:	bit	31 ~ 24	23 ~ 16	15 ~ 8	7 ~ 0	
0003A0 _H		DSP-PC	DSP-CSR		-	R/W
0003A4 _H		DSP-LY(遅延レジスタ)				R/W
0003A8 _H		DSP-OT0(出力キュー 0)				R
0003AC _H		DSP-OT1(出力キュー 1)				R
0003B0 _H		DSP-OT2(出力キュー 2)				R
0003B4 _H		DSP-OT3(出力キュー 3)				R
0003B8 _H		DSP-OT4(出力キュー 4)				R
0003BC _H		DSP-OT5(出力キュー 5)				R
0003C0 _H		DSP-OT6(出力キュー 6)				R
0003C4 _H		DSP-OT7(出力キュー 7)				R
0003C8 _H		DSP-AC0(アキュムレータ出力) bit71 ~ bit64				R
0003CC _H		DSP-AC1(アキュムレータ出力) bit63 ~ bit32				R
0003D0 _H		DSP-AC2(アキュムレータ出力) bit31 ~ bit0				R

アドレス:		積和演算 マクロ	アクセス
00C000 _H	X-RAM (係数 RAM) ... 64 × 32 ビット	00 _H	R/W
00C0FF _H		3F _H	

アドレス:		積和演算 マクロ	アクセス
00C100 _H	Y-RAM (変数 RAM) ... 64 × 32 ビット	00 _H	R/W
00C1FF _H		3F _H	

アドレス:		積和演算 マクロ	アクセス
00C200 _H	I-RAM (命令 RAM) ... 256 × 16 ビット	00 _H	R/W
00C3FF _H		FF _H *	

*: I-RAM は積和演算時, 16 ビット長で実行されますので, このアドレスは 16 ビット長アドレスです。
X-RAM/Y-RAM は 32 ビット長アドレスです。

19.5 積和演算回路のレジスタ説明

積和演算回路で使用するレジスタの構成および機能について説明します。

■ DSP コントロール / ステータスレジスタ (DSP-CSR)

コントロール / ステータスレジスタは 8 ビット長のレジスタであり、積和演算マクロのステート切換え / CPU への割込みのコントロールおよび積和演算マクロの状態を示す各種フラグより構成されています。また、積和演算マクロの条件付き分岐命令の条件設定も本レジスタで設定を行います。

8 ビットレジスタで外部より常にリード / ライト 可能

● コントロール機能

- ・ 積和演算マクロのステート (計算の開始) の遷移 (GoDSP)
- ・ CPU に対する割込みマスク (IeDSP)
- ・ 積和演算マクロの条件付き分岐命令の条件設定 (USR2, USR1, USR0)

● ステータス機能

- ・ 積和演算マクロの現在のステート取得フラグ (RunDSP)
- ・ 割込み要求フラグ (IrqDSP)
- ・ 飽和处理フラグ (SatDSP)

図 19.5-1 DSP コントロール / ステータスレジスタ (DSP-CSR)

DSP-CSR								
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
アドレス : 0003A1 _H	-	USR2	USR1	USR0	IrqDSP	IeDSP	-	GoDSP
	SatDSP	USR2	USR1	USR0	IrqDSP	IeDSP	-	RunDSP
	(R)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(W)	(R/W)
	0	0	0	0	0	0	-	0
								初期値

[bit7] SatDSP (飽和处理フラグ)

- ・ 計算途中で飽和处理を行ったことを保持するステータスフラグです。
- ・ STR 命令で飽和处理を指示し (CLP = 1), 実際に飽和处理が行われた場合にセットされます。また、計算中に一度セットされると次の計算開始まで値を保持しています。
- ・ 本ビットは計算開始によりクリアされます。
Set 要因 : 計算途中で STR 命令による飽和处理が行われた場合にセット
Clear 要因 : 計算開始によりクリア [初期値]
- ・ リセット時 : "0" に初期化されます (飽和处理なし)。
- ・ 読出しのみ可能です。書込みしてもビット値は変化しません。

[bit6 ~ bit4] USR2, USR1, USR0 (ジャンプ条件設定ビット)

- 本ビットは、積和演算マクロの条件付き分岐命令 (COND ビット =1 時) で参照され、本ビット値と条件付き分岐命令の UBP フラグが一致 (条件成立) するとジャンプします。すなわち、この条件付き分岐命令と計算命令を組み合わせることで 8 種類の計算ルーチンを CPU 側から切換え可能です。
- リセット時: "000_B" に初期化されます。
- 読出しおよび書込みが可能です。

< 注意事項 >

命令パイプラインにより、実際の分岐は分岐命令から 2 命令実行後に分岐されます。したがって、その 2 命令間は NOP (REP=001_B, HLT=0, SIRQ=0) 以外の命令を行わないでください。

[bit3] IrqDSP (割込み要求フラグ)

- 積和演算マクロのソフトウェア割込み要求が発生したことを示すフラグです。割込み要求が許可されているとき (IeDSP = 1) に本ビットがセットされると、CPU に対して割込み要求が発生します。
- 積和演算マクロの割込み要求は NOP 命令の SIRQ ビットを "1" にすることでソフトウェア的に発生させます。

Set 要因 : 積和演算マクロのソフトウェア割込み (NOP 命令) 発生によりセット

Clear 要因 : "0" 書込みによりクリア [初期値]

- リセット時: "0" に初期化されます (割込み要求なし)。
- 読出しおよび書込みが可能です。ただし、ライトは "0" のみ可能で "1" をライトしてもビット値は変化しません。
- リードモディファイライト (RMW) 系命令におけるリード値は、ビット値にかかわらず常に "1" です。

[bit2] IeDSP (割込み要求許可ビット)

CPU に対する割込み要求 (IrqDSP = 1) を以下のように制御します。

"0": 割込み要求出力禁止 (IrqDSP がセットされても割込みを発生せず) [初期値]

"1": 割込み要求出力許可 (IrqDSP がセットされると割込みを発生する)

- リセット時: "0" に初期化されます (割込み要求出力禁止)。
- 読出しおよび書込みが可能です。

[bit1] 予約ビット

必ず "0" を設定してください。

[bit0] GoDSP (計算開始)

RunDSP (計算実行中フラグ)

- GoDSP ビットに "1" を書き込むことにより、計算の開始を指示します。計算停止中 (RunDSP = 0) であれば、計算の起動となり、RunDSP フラグがセットされます。既に計算実行中 (RunDSP = 1) であれば、何も影響を与えません。
- RunDSP フラグは、計算を実行中であることを示します。計算の開始でセットされ、積和演算マクロの HLT 命令実行でクリアされます。
- 計算実行中 (RunDSP = 1) は、DSP-PC, DSP-LY, X-RAM, Y-RAM, I-RAM は CPU からアクセスできません。DSP-CSR, DSP-OT0 ~ DSP-OT7, DSP-AC0 ~ DSP-AC2 のみがモニタできます。
- 計算を開始するには、起動と同時またはそれ以前に DSP-PC へ計算ルーチンの先頭アドレスを格納する必要があります。
- 書込み時機能 (GoDSP: 計算開始)
 - "0": 機能なし / 動作に影響なし
 - "1": 計算停止中の場合 計算開始
計算実行中の場合 何も影響を与えません
- 読出し時機能 (RunDSP: 計算実行中フラグ)
 - "0": 計算を停止中である [初期値]
Clear 要因 HLT 命令実行
 - "1": 計算を実行中である
Set 要因 計算開始
- リセット時: "0" に初期化されます (計算停止中)。
- 読出しおよび書込みが可能です。ただし、書込み時と読出し時では、上記のように意味が異なります。
- リードモディファイライト (RMW) 系命令におけるリード値は、ビット値にかかわらず常に "0" です。

■ プログラムカウンタ (DSP-PC)

プログラムカウンタは 8 ビット長のカウンタであり、積和演算マクロで実行する命令コードが格納されているメモリ (I-RAM) アドレスを示しています。プログラムカウンタは命令の実行により自動的に更新されますが、積和演算マクロの JMP により書き換えることができます。また、計算停止中でのみ CPU よりアクセス (R/W) 可能であり、計算開始と同時にまたはそれ以前に DSP-PC へ計算ルーチンの先頭アドレスを格納する必要があります。

HLT 命令実行後、DSP-PC は停止した命令の次のアドレスを指しており、再度 GoDSP をセットすることにより継続してプログラムを実行できます。

図 19.5-2 プログラムカウンタ (DSP-PC)

DSP-PC									
	bit	31	30	29	28	27	26	25	24
アドレス :	命令実行アドレス (I-RAM アドレス)								
0003A0 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	リード / ライト
	0	0	0	0	0	0	0	0	初期値

- リセット時 : "00000000" に初期化されます。
- 読出しおよび書込みが可能です。積和演算マクロが計算停止中 (DSP-CSR : RunDSP = 0) でのみアクセス可能です。
- 計算実行中 (DSP-CSR : RunDSP = 1) では、バスから切り離されるため、CPU からのアクセスはできなくなります。

■ DSP 遅延レジスタ (DSP-LY)

DSP-LY は 32 ビット長のレジスタであり、積和演算マクロの MAC 命令の遅延書込みビット (LDLY) が "1" のときに使用されます。計算中 (DSP-CSR : RunDSP = 1) はアクセスできません。

- MAC 命令の LDLY ビットが "1" のときは、次の 2 つの動作を順次実行します。
DSP-LY レジスタの内容を LY-DLY レジスタに転送する。
MAC 命令で選択した Y-RAM のリードデータを DSP-LY レジスタに格納する。
- MAC 命令の STLY ビットが "1" のときは、MAC 命令実行後に LY-DLY レジスタの値を MAC 命令で選択した Y-RAM のアドレスへ書き込みます。

図 19.5-3 DSP 遅延レジスタ (DSP-LY)

DSP-LY			
bit	31	~	16 15 ~ 0
アドレス:	Y-RAM データ		Y-RAM データ
0003A4 _H	(bit31 ~ bit16)		(bit15 ~ bit0)
	R/W		R/W
	XXXXXXXX XXXXXXXX		XXXXXXXX XXXXXXXX
			リード / ライト
			初期値

- リセット時：不定となります。
- 読出しおよび書込みが可能ですが、DSP-LY が計算停止中 (DSP-CSR : RunDSP = 0) でのみアクセスが可能です。計算実行中 (DSP-CSR : RunDSP = 1) では、バスから切り離されるため、CPU からのアクセスはできなくなります。

< 注意事項 >

- ワードアクセスのみ可能です。
- 命令パイプラインを使用しているため、遅延書込み実行後、6 命令後に実際の書込みが行われます。したがって、遅延書込み命令後、5 命令間は該当アドレスのアクセスを行わないようにしてください。

■ DSP 変数モニタレジスタ (DSP-OT0 ~ DSP-OT7)

変数モニタレジスタとして、32 ビットのレジスタが 8 本あります。電源投入時の初期状態を除き、Y-RAM の 0 ~ 7 番地と同じ内容を保持しています。CPU から常にリードのみ可能であり、計算中であっても Y-RAM の 0 ~ 7 番地の内容をモニタできます。

ただし、YRAM に対してバイト書込みを行った場合、本レジスタへの書込みデータは反映されません。

図 19.5-4 DSP 変数モニタレジスタ (DSP-OT0 ~ DSP-OT7)

DSP-OT0 ~ DSP-OT7		bit 31	~	0	
DSP-OT0	0003A8 _H	Y-RAM データ (bit31 ~ bit0)			
DSP-OT1	0003AC _H				
DSP-OT2	0003B0 _H	R			リード / ライト
DSP-OT3	0003B4 _H	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			初期値
DSP-OT4	0003B8 _H				
DSP-OT5	0003BC _H				
DSP-OT6	0003C0 _H				
DSP-OT7	0003C4 _H				

- リセット時：不定となります。
- 常に読出しのみ可能です。積和演算マクロがプログラム実行中であっても読出し可能です。

■ アキュムレータ出力レジスタ (DSP-AC0 ~ DSP-AC2)

DSP-AC0 ~ DSP-AC2 は 32 ビット長のレジスタです。

積和演算が停止した時点で、72 ビット長のアキュムレータ値 (ACC) が格納されます。

計算中および停止中は、前回計算を停止した時点でのアキュムレータ値を保持しています。

再び計算を開始し、その後、停止した時点で書き換わります。

図 19.5-5 アキュムレータ出力レジスタ (DSP-AC0 ~ DSP-AC2)

	bit 31	~	8	7	~	0	
DSP-AC0 0003C8 _H	-					ACC[71:64]	DSP-AC0
DSP-AC1 0003CC _H	ACC[63:32]						DSP-AC1
DSP-AC2 0003D0 _H	ACC[31:0]						DSP-AC2
	R						リード/ライト
	00000000 00000000 00000000 00000000						初期値

- リセット時、00..... に初期化されます。
- 常に読出しのみ可能です。積和演算マクロがプログラム実行中であっても読出し可能です。
- DSP-AC0 の bit31 ~ bit8 は空きビットです。読出し値は必ず "0" が読まれます。

19.6 積和演算回路の動作説明

積和演算回路の動作および機能について説明します。

■ 動作モード

積和演算マクロの動作は、DSP-CSR レジスタの操作により制御されます。

積和演算マクロの状態としては、以下の 2 状態があり、停止状態で GoDSP ビットに "1" を書き込むことにより、積和演算マクロはプログラム実行を開始します。また、停止中と計算中とでは CPU からアクセス可能なレジスタおよびメモリに違いがあります。

図 19.6-1 積和演算回路の動作モード



各状態について説明します。

- 停止中： 積和演算マクロは停止状態です。
CPU から命令 RAM (I-RAM), データ RAM (X-RAM, Y-RAM), および積和演算マクロの全レジスタがアクセスできます。
HLT 命令の実行により、本状態に遷移します。
また、システムリセット時は本状態に初期化されます。
- 計算中： 積和演算マクロは計算状態です。
停止状態から GoDSP ビットに "1" を書き込むと、本状態に遷移して現在の DSP-PC(プログラムカウンタ)からプログラム実行を開始します。
HLT 命令が実行されると、停止状態に遷移してプログラム実行を停止します。
CPU からは、DSP-CSR, DSP-OT0 ~ DSP-OT7, DSP-AC0 ~ DSP-AC2 レジスタのみアクセスできます (その他のレジスタおよび RAM はアクセス禁止*)。

*: アクセス禁止ですが、リード / ライトした場合は以下ようになります。

ライト 何も影響ありません (ライトされません)。

リード 不定です。

■ 命令動作

DSP-CSR レジスタの GoDSP ビットに "1" を書き込むと、積和演算マクロは現在の DSP-PC (プログラムカウンタ) から命令実行を開始します (CPU の動作と並列して動作します)。

実行する前に I-RAM および DSP-PC の値を設定してください (DSP-CSR と DSP-PC は同時設定が可能です)。

積和演算マクロ の命令実行が開始されると、以下の動作が制御されます。

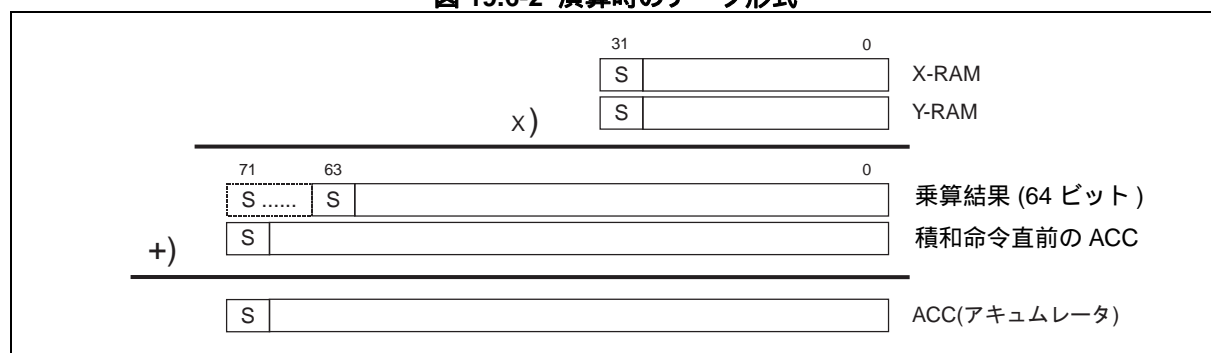
- 積和演算マクロ で HLT 命令 * を実行すると、その命令実行が終了後、停止状態に移移します。このとき、DSP-PC は HLT 命令の次のアドレスを指した状態で停止します。また、このときアキュムレータ値が DSP-AC0 ~ DSP-AC2 に格納されます。
- NOP 命令実行時、CPU に割込み要求を発生させることができます (割込みマスク可能です)。
- DSP-CSR の USR0 ~ USR2 ビットを参照する条件付き分岐命令を使用し、プログラムフローの切り換えを行います。

*: HLT 命令とは、NOP 命令の HLT ビットが "1" である命令のことです。

■ 演算機能

積和演算マクロには、2 組の 32 ビットデータ RAM (X-RAM, Y-RAM) があり、積和 (および乗算) 命令実行時、各組の RAM データを読み込んで符号付き積和 (および乗算) 演算を行い、72 ビットのアキュムレータに格納します。以下にデータ形式を示します。

図 19.6-2 演算時のデータ形式



< 注意事項 >

- 乗算命令の場合は、乗算結果を 72 ビットに符号拡張した値がアキュムレータに格納されます (直前のアキュムレータの内容はゼロクリアされます)。
- "S" は符号ビットを示します。
- 積和命令を数多く繰り返して、アキュムレータがオーバーフローした場合は結果が保証されません。
- 積和命令は連続して 512 回以上行わないでください。

■ 遅延書込み機能

積和（および乗算）命令実行時，以下の転送動作も併せて行うことができます。本転送と演算処理を併用することで，デジタルフィルタにおけるデータの遅延処理が容易に実現できます。

- Y-RAM からの読出し値を DSP-LY レジスタに格納
- 命令実行前の DSP-LY レジスタ値を，LY-DLY レジスタを経由して Y-RAM のリードアドレスに遅延書込み

< 注意事項 >

命令パイプラインを使用していることによって，遅延書込み実行後，6 命令後に実際の書込みが行われます。したがって，遅延書込み命令後，5 命令間は該当アドレスのアクセスを行わないようにしてください。

■ 演算結果の転送処理

アキュムレータに格納された計算結果を X-RAM /Y-RAM へ転送する場合，32 ビット幅で転送されますが，その際，以下に示す位取り処理が行われて転送されます。

- 出力ビット選択

72 ビットのアキュムレータのうち，以下に示すビット幅を選択できます。

bit63 ~ bit32 (Q32 フォーマット)
bit62 ~ bit31 (Q31 フォーマット)
bit61 ~ bit30 (Q30 フォーマット)
bit60 ~ bit29 (Q29 フォーマット)
bit59 ~ bit28 (Q28 フォーマット)
bit58 ~ bit27 (Q27 フォーマット)
bit57 ~ bit26 (Q26 フォーマット)
bit31 ~ bit0 (Q0 フォーマット)

- 丸め処理

選択した出力ビットの LSB の直下のビット値を "0" 捨 "1" 入します。

- 飽和処理

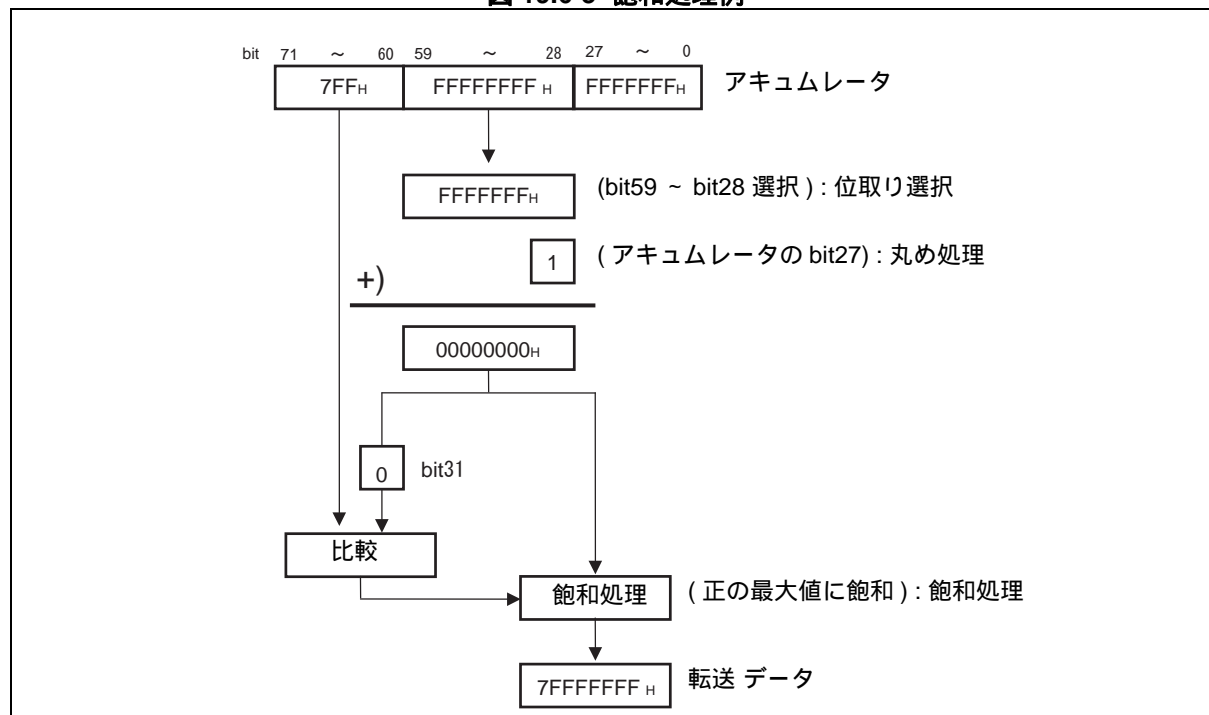
丸め後の 32 ビットデータの符号ビット (MSB) と，アキュムレータ内の上位ビットを比較して異なるビットがある場合，飽和処理が行われます。飽和結果は，アキュムレータの符号ビット (MSB) によって以下の値になります。

アキュムレータの符号が "0" の場合 正の最大値 "7FFFFFFF_H" に飽和されます。

アキュムレータの符号が "1" の場合 負の最大値 "80000000_H" に飽和されます。

図 19.6-3 に飽和処理例を示します。

図 19.6-3 飽和処理例



< 注意事項 >

命令パイプラインを使用していることによって、STR 命令実行後から 6 命令後に実際の書込みが行われます。したがって、STR 命令後、5 命令間は該当アドレスへのアクセスは行わないでください。

■ 変数モニタ出力

積和演算マクロには、Y-RAM の 0 ~ 7 番地の内容を常に保持しているレジスタ (DSP-OT0 ~ DSP-OT7) があります。Y-RAM の 0 ~ 7 番地にデータ書込みが行われた際 (CPU からの書込み、STR 命令による書込み、遅延書込み)、DSP-OT0 ~ DSP-OT7 レジスタにも同じ値が格納されます。

計算中は CPU からの Y-RAM へのアクセスが禁止されますが、CPU で参照したい計算結果を STR 命令で Y-RAM の 0 ~ 7 番地へ格納することによって CPU から常に計算結果を参照することができます。

■ アキュムレータ出力

積和演算回路には、計算終了時の 72 ビット長のアキュムレータ値を格納するレジスタ (DSP-AC0 ~ DSP-AC2) があります。初期値は不定で、GoDSP ビットに "1" を書き込むことにより計算を実施し、NOP の HLT 命令を実行することにより計算が停止し、その停止した時点でのアキュムレータ値が DSP-AC0 ~ DSP-AC2 へ格納されます。一度格納されたアキュムレータ値は、次の計算を実施し、停止されるまで保持されます。

リセットにより不定に初期化されます。

19.7 積和演算回路の命令詳細説明

積和演算回路で使用する 3 つの命令の詳細について説明します。

■ MAC 命令

動作	: ACC $ACC + X \text{ データ} \times Y \text{ データ}$ LY-DLY DSP-LY DSP-LY Y データ (LDLY = 1) Y-RAM LY-DLY (STLY = 1) DSP-AC0 ~ DSP-AC2 ACC
説明	: アキュムレータに X-RAM の X データと Y-RAM の Y データの乗算値を加算します。 同時に DSP-LY レジスタの内容を LY-DLY レジスタへ転送します。
ワード数	: 1 ワード (16 ビット幅)
サイクル数	: 1 システムクロック サイクル
動作コード	:

図 19.7-1 MAC 命令の動作コード

bit	15	14	13	12	11.....6	5.....0
	1	CLAC	STLY	LDLY	X-Addr	Y-Addr

[bit14] CLAC (Clear ACC)

本ビットをセットすることにより乗算命令として機能します。

"0": ACC $ACC + X \text{ データ} \times Y \text{ データ}$ [積和命令]

"1": ACC $0 + X \text{ データ} \times Y \text{ データ}$ [乗算命令]

[bit13] STLY (Store LY)

- このビットが "1" のときに以下の動作を行います。"0" の場合は演算のみ実行されます。
- 演算後, さらに LY-DLY レジスタの内容を Y-RAM の Y-Addr 番地へ格納します。

[bit12] LDLY (Load LY)

- このビットが "1" のときに以下の動作を行います。"0" の場合は演算のみ実行されます。
- 演算時に Y-RAM の Y-Addr 番地の内容を DSP-LY レジスタにも格納します。

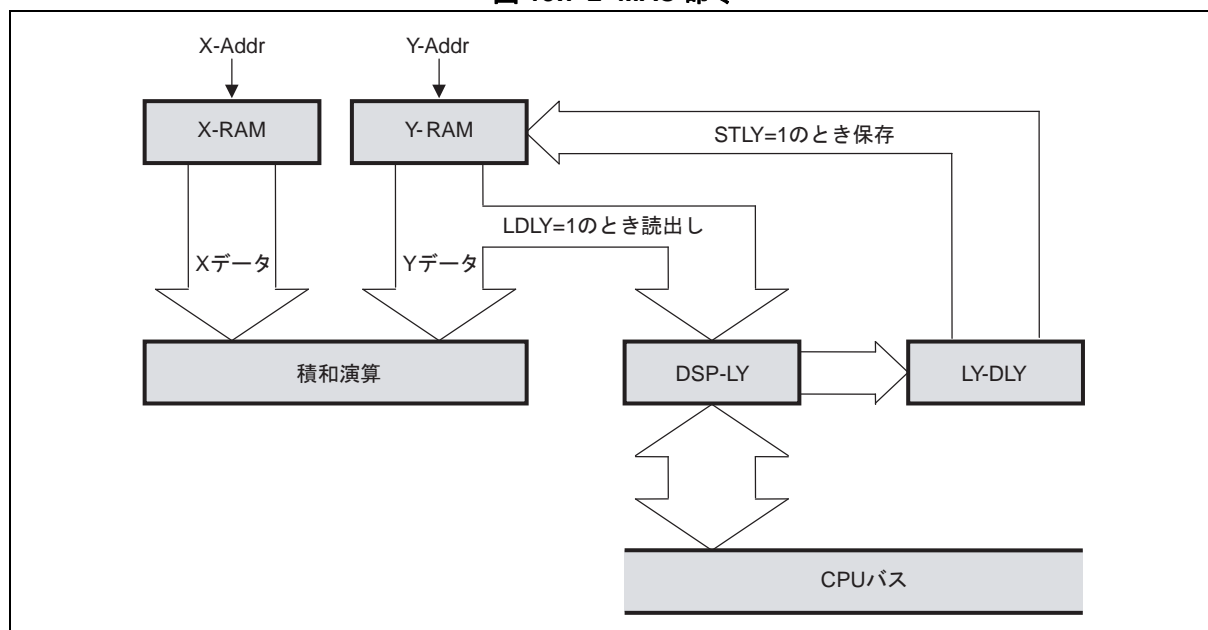
[bit11 ~ bit6] X-Addr (X-RAM Address)

X-RAM 内の X データを指定するためのアドレス指定ビットです。

[bit5 ~ bit0] Y-Addr (Y-RAM Address)

Y-RAM 内の Y データを指定するためのアドレス指定ビットです。

図 19.7-2 MAC 命令



< 注意事項 >

遅延書込み実行後, 6 命令後に実際の書込みが行われますので, 遅延書込み命令後, 5 命令間は該当アドレスのアクセスは禁止です。

■ STR 命令 (転送命令)

- 動作 : データ RAM アキュムレータ
- 説明 : アキュムレータの 72 ビットデータを RND/CLP/SLQ フラグの指示により 32 ビットデータに変換し, SLY フラグと X/Y-Addr の指示するデータ RAM へ格納します。
- ワード数 : 1 ワード (16 ビット幅)
- サイクル数 : 1 システムクロック サイクル
- 動作コード :

図 19.7-3 STR 命令の動作コード

bit	15	14	13	12	11	10	9.....7	6	5.....0
	0	1	1	0	RND	CLP	SLQ	SLY	X/Y-Addr

[bit11] RND (Rounding)

SLQ ビットで指示された 32 ビットデータに対して丸め処理を指示するビットです。
丸め処理は 32 ビットデータの LSB より 1 つ下位のビットを "0" 捨 "1" 入します。

[bit10] CLP (Clipping)

アキュムレータの計算結果が, SLQ ビットで指示された 32 ビットデータに対してオーバーフローした値である場合, 32 ビットデータに対して飽和処理を指示するビットです。

実際にはアキュムレータの MSB(71 ビット) から 32 ビットデータの MSB(SLQ 指示) が同じ値でない場合に飽和処理が行われます。丸め処理の指定があった場合は, 丸め処理の結果に対して比較されます。

丸め処理前のアキュムレータの値が正のときは正の最大値 ("7FFFFFFF_H"), 負の場合は負の最大値 ("80000000_H") が転送されます。

丸め処理および飽和処理によりアキュムレータの符号は反転することなく保存されます。

[bit9 ~ bit7] SLQ

アキュムレータからデータ RAM へ転送するビット位置を指定します。

SLQ ビット	オーバフロー 判定ビット	転送 32 ビットデータ	丸めビット	固定小数点 方式	アセンブラ 記述
000 _B	bit71 ~ bit59	bit59 ~ bit28	bit27	Q28	Q12
001 _B	bit71 ~ bit60	bit60 ~ bit29	bit28	Q29	Q13
010 _B	bit71 ~ bit61	bit61 ~ bit30	bit29	Q30	Q14
011 _B	bit71 ~ bit62	bit62 ~ bit31	bit30	Q31	Q15
100 _B	bit71 ~ bit63	bit63 ~ bit32	bit31	Q32	Q8
101 _B	bit71 ~ bit31	bit31 ~ bit0	(なし)	Q0	Q9
110 _B	bit71 ~ bit57	bit57 ~ bit26	bit25	Q26	Q10
111 _B	bit71 ~ bit58	bit58 ~ bit27	bit26	Q27	Q11

[bit6] SLY

転送先を指定します。

"0":X-RAM

"1":Y-RAM

[bit5 ~ bit0] X/Y-Addr (RAM Address)

データ RAM の直接アドレスを指定します。

< 注意事項 >STR 命令実行後から 6 命令後に実際の書込みが行われますので、STR 命令後、5 命令間は該当アドレスへのアクセスは禁止です。

■ JMP 命令 (分岐命令)

動作 : [条件成立時]DSP-PC J-Addr8
[条件不成立時]DSP-PC DSP-PC + 1

説明 : 条件が成立したときに分岐し, 成立しなければ何も実行しません。

ワード数 : 1 ワード (16 ビット幅)

サイクル数 : 1 システムクロックサイクル

動作コード :

図 19.7-4 JMP 命令の動作コード

bit	15	14	13	12	11	10.....8	7.....0
	0	0	1	0	COND	UBP2 ~ UBP0	J-Addr8

[bit11] COND (CONDition)

"0": 無条件分岐

"1": 条件付き分岐

[bit10 ~ bit8] UBP2 ~ UBP0 (条件指定)

条件付き分岐時の条件を設定します。DSP-CSR レジスタの USR2, USR1, USR0 ビットと本ビットが一致すると条件成立となります。

無条件分岐のときは, "000_B" に設定する必要があります。

[bit7 ~ bit0] J-Addr8 (Jump Address)

分岐先のアドレスを指定します。

< 注意事項 >

命令パイプラインにより, 実際の分岐は分岐命令から 2 命令実行後に分岐します。したがって, その 2 命令間は NOP(REP=001,HLT=0,SIRQ=0) 以外の命令を行わないでください。

■ NOP 命令

動作 : IF REP=001 DSP-PC DSP-PC + 1
ELSE DSP-PC DSP-PC

説明 : 条件が成立したときに分岐し, 成立しなければ何も実行しません。

ワード数 : 1 ワード (16 ビット幅)

サイクル数 : 1 システムクロックサイクル

動作コード :

図 19.7-5 NOP 命令の動作コード

bit	15 ~ 5	4 ~ 2	1	0
	0	REP	HLT	SIRQ

[bit4 ~ bit2] REP(リピート回数指定)

本ビットをセットすることにより, リピート回数を 1 ~ 8 回設定することができます。このとき, REP=001_B で NOP 命令を 1 回行い, REP=000_B では 8 回行います。

[bit1] HLT(HLT 命令指示フラグ)

本ビットをセットすることにより, 命令実行後に積和演算マクロはプログラム実行を停止します。DSP-CSR レジスタの RunDSP フラグはクリアされます。また, DSP-PC は 2 命令実行後に停止します。

< 注意事項 >

- 本ビットの設定を有効にする場合は, 必ず REP ビットは "001_B" に設定してください。
- 命令パイプラインにより, 実際の HLT は HLT 命令から 2 命令実行後に分岐されます。したがって, その 2 命令間は NOP(REP=001_B, HLT=0, SIRQ=0) 以外の命令を行わないでください。

[bit0] SIRQ(INT 命令指示フラグ)

本ビットをセットすることにより, 命令実行後に CPU に対する割り込み要求を発生させて DSP-CSR レジスタの IrqDSP フラグをセットします。

< 注意事項 >

本ビットの設定を有効にする場合は, 必ず REP ビットは "001_B" に設定してください。

19.8 積和演算回路の使用上の注意

積和演算回路を使用するときの注意点を示します。

■ 積和演算回路使用上の注意

- 未定義命令について

未定義命令を実行した場合、デバイスの動作は保証されません。

それゆえ、未定義命令は実行しないでください。

- 割込みクリアについて

割込み発生後、割込みルーチン内で割込みクリアを行う場合、DSP-CSR レジスタの IrqDSP ビット (ビット 3) に 0 を書き込んだあと、必ず IrqDSP ビットが 0 になっていることを確認してください。

- アキュムレータの初期化について

積和演算回路内のアキュムレータ (ACC) は、リセットで初期化されないため、電源投入後は不定です。そのため、最初に積和命令 (MAC 命令の CLAC=0) を実行すると、計算結果は不定となってしまいます。それゆえ、最初に乗算命令 (MAC 命令の CLAC=1) を実行し、アキュムレータ (ACC) を初期化してください。

第20章

DMAC

(DMA コントローラ)

DMAC の概要，レジスタの構成 / 機能，および
DMAC の動作について説明します。

- 20.1 DMAC の概要
- 20.2 DMAC のレジスタ詳細説明
- 20.3 DMAC の動作説明
- 20.4 DMAC の動作フロー
- 20.5 DMAC のデータバス

20.1 DMAC の概要

本モジュールは、FR ファミリデバイスにて DMA (Direct Memory Access) 転送を実現するためのモジュールです。

本モジュールの制御による DMA 転送により、CPU を介さずに各種データ転送を高速に行うことが可能となり、システムのパフォーマンスを増加させます。

■ DMAC のハードウェア構成

本モジュールは、主に以下のものより構成されます。

- 独立した DMA チャンネル × 5 チャンネル
- 5 チャンネル独立アクセス制御回路
- 32 ビットアドレスレジスタ (リロード指定可能: 各チャンネル 2 本)
- 16 ビット転送回数レジスタ (リロード指定可能: 各チャンネル 1 本)
- 4 ビットブロック回数レジスタ (各チャンネル 1 本)
- 2 サイクル転送

■ DMAC の主要機能

本モジュールによるデータ転送には、主に以下のような機能があります。

- 複数チャンネルの独立したデータ転送が可能 (5 チャンネル)
 - 優先順位 (ch.0>ch.1>ch.2>ch.3>ch.4)
 - ch.0, ch.1 間にて順位回転が可能
 - DMAC 起動要因
 - 内蔵周辺要求 (割込み要求を共用 --- 外部割込みを含む)
 - ソフトウェア要求 (レジスタ書込み)
 - 転送モード
 - バースト転送 / ステップ転送 / ブロック転送
 - アドレッシングモード 32 ビットフルアドレス指定 (増加 / 減少 / 固定)
(アドレス増減幅は -255 ~ + 255 まで指定可能)
 - データの種類 バイト / ハーフワード / ワード長
 - シングルショット / リロード選択可能

■ DMAC のレジスタ一覧

図 20.1-1 に、DMAC のレジスタ一覧を示します。

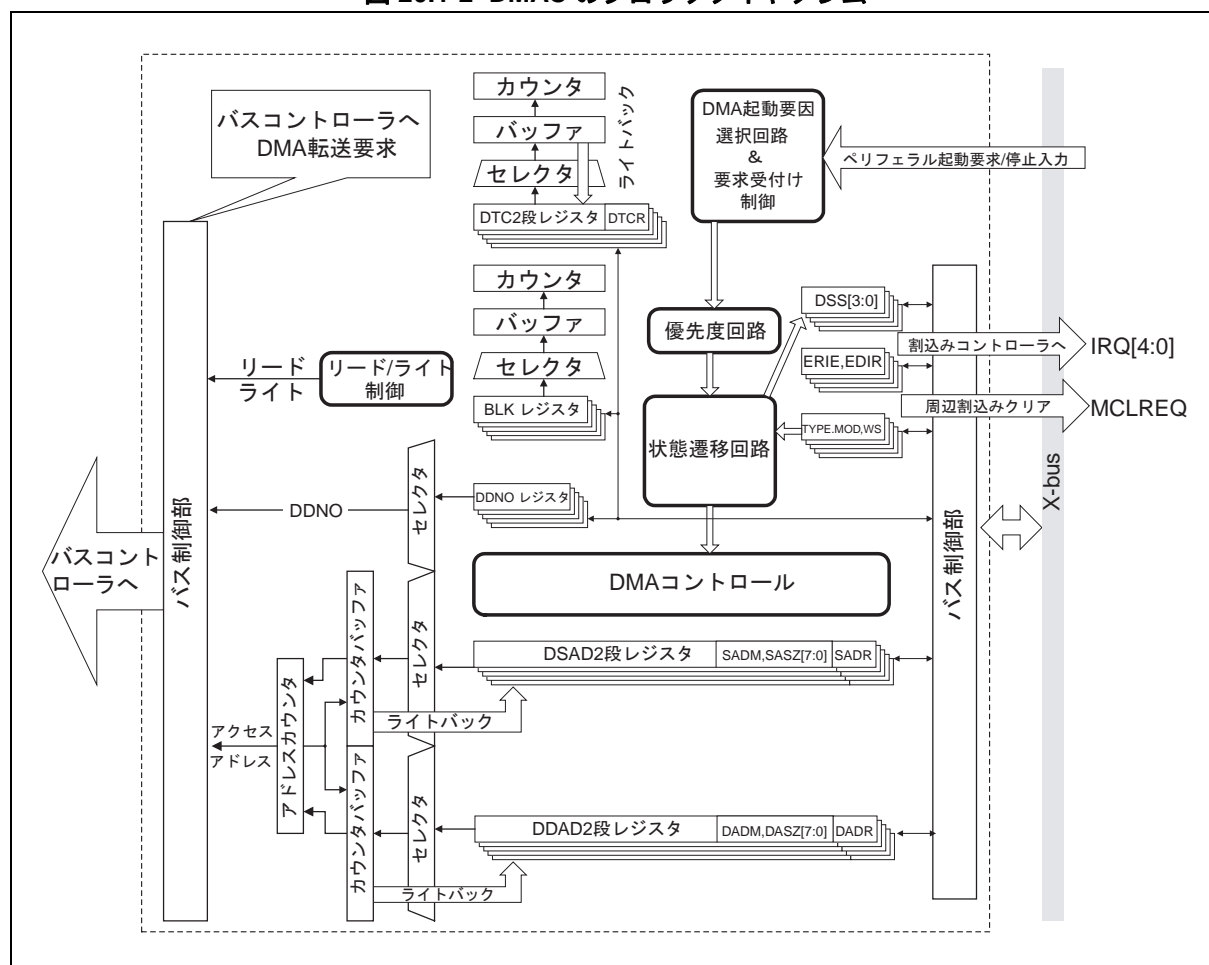
図 20.1-1 DMAC のレジスタ一覧

		bit 31	00
DMAC-ch.0 コントロール / ステータスレジスタ A	DMACA0	00000200 _H	<input type="text"/>
DMAC-ch.0 コントロール / ステータスレジスタ B	DMACB0	00000204 _H	<input type="text"/>
DMAC-ch.1 コントロール / ステータスレジスタ A	DMACA1	00000208 _H	<input type="text"/>
DMAC-ch.1 コントロール / ステータスレジスタ B	DMACB1	0000020C _H	<input type="text"/>
DMAC-ch.2 コントロール / ステータスレジスタ A	DMACA2	00000210 _H	<input type="text"/>
DMAC-ch.2 コントロール / ステータスレジスタ B	DMACB2	00000214 _H	<input type="text"/>
DMAC-ch.3 コントロール / ステータスレジスタ A	DMACA3	00000218 _H	<input type="text"/>
DMAC-ch.3 コントロール / ステータスレジスタ B	DMACB3	0000021C _H	<input type="text"/>
DMAC-ch.4 コントロール / ステータスレジスタ A	DMACA4	00000220 _H	<input type="text"/>
DMAC-ch.4 コントロール / ステータスレジスタ B	DMACB4	00000224 _H	<input type="text"/>
全体制御レジスタ	DMACR	00000240 _H	<input type="text"/>
DMAC-ch.0 転送元アドレス設定レジスタ	DMASA0	00001000 _H	<input type="text"/>
DMAC-ch.0 転送先アドレス設定レジスタ	DMADA0	00001004 _H	<input type="text"/>
DMAC-ch.1 転送元アドレス設定レジスタ	DMASA1	00001008 _H	<input type="text"/>
DMAC-ch.1 転送先アドレス設定レジスタ	DMADA1	0000100C _H	<input type="text"/>
DMAC-ch.2 転送元アドレス設定レジスタ	DMASA2	00001010 _H	<input type="text"/>
DMAC-ch.2 転送先アドレス設定レジスタ	DMADA2	00001014 _H	<input type="text"/>
DMAC-ch.3 転送元アドレス設定レジスタ	DMASA3	00001018 _H	<input type="text"/>
DMAC-ch.3 転送先アドレス設定レジスタ	DMADA3	0000101C _H	<input type="text"/>
DMAC-ch.4 転送元アドレス設定レジスタ	DMASA4	00001020 _H	<input type="text"/>
DMAC-ch.4 転送先アドレス設定レジスタ	DMADA4	00001024 _H	<input type="text"/>

■ DMAC のブロックダイアグラム

図 20.1-2 に、DMAC のブロックダイアグラムを示します。

図 20.1-2 DMAC のブロックダイアグラム



20.2 DMAC のレジスタ詳細説明

DMAC の各レジスタの詳細について説明します。

■ レジスタ設定時の注意

本 DMAC の設定をする場合、DMA が停止しているときに行う必要があるビットがあります。動作中（転送中）に設定した場合には正常な動作は保証されません。

* マークは DMAC 転送中に設定すると動作に影響するビットです。このビットの書換えは DMAC 転送停止中（起動禁止状態または一時停止状態）に行ってください。

DMA 転送の起動禁止状態 (DMACR:DMAE=0 または DMACA:DENB=0 のとき) で設定した場合は、起動許可後に設定は有効になります。

DMA 転送の一時停止状態 (DMACR:DMAH[3:0] 0000_B または DMACA:PAUS=1 のとき) で設定した場合は、一時停止解除後に設定は有効になります。

20.2.1 DMAC-ch.0, ch.1, ch.2, ch.3, ch.4 コントロール / ステータスレジスタ A

DMACA0 ~ DMACA4 は DMAC 各チャネルの動作制御を行うレジスタで、チャネルごとに独立して存在します。

■ DMACA0 ~ DMACA4 のビット機能

DMACA0 ~ DMACA4 の各ビット機能は、以下に示すとおりです。

図 20.2-1 DMAC コントロール / ステータスレジスタ A

アドレス	bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ch.0 000200 _H		DENB	PAUS	STRG	IS [4 : 0]										BLK [3 : 0]		
ch.1 000208 _H	リード /	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ch.2 000210 _H	ライト																
ch.3 000218 _H		bit	15	14	13	11	10	9	8	7	6	5	4	3	2	1	0
ch.4 000220 _H			DTC [15 : 0]														
	リード /	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ライト																

(初期値 : 00000000 ----XXXX XXXXXXXXX XXXXXXXXB)

[bit31] DENB(Dma ENaBle):DMA 動作許可ビット

各転送チャネルに対応し、DMA 転送の起動許可 / 禁止を行います。

起動されたチャネルは、転送要求が発生して受け付けられると DMA 転送を開始します。起動許可されていないチャネルに対して発生した転送要求は、すべて無効となります。

起動されたチャネルの転送が指定回数分すべて終了した場合、本ビットは "0" になり、転送は停止します。

本ビットに "0" を書き込むと強制停止しますが、必ず PAUS ビット [DMACA:bit30] で DMA を一時停止状態にしてから強制停止 ("0" 書込み) してください。一時停止しないで強制停止した場合、DMA は停止しますが転送データは保証されません。停止の確認は DSS[2:0] ビット (DMACB:bit18 ~ bit16)で行ってください。

DENB	機能
0	対応チャネル DMA 動作禁止 (初期値)
1	対応チャネル DMA 動作許可

- リセット時、停止要求が受け付けられた場合 : "0" に初期化されます。
- 読出しおよび書込みが可能です。

DMAC 全体制御レジスタ DMACR の bit15:DMAE ビットにより、全チャネルの動作が禁止されている場合、本ビットへの "1" 書込みは無効となり、停止状態を維持します。また、本ビットにより動作が許可されている状態にて DMACR の bit15:DMAE ビットにより動作が禁止された場合、本ビットは "0" となり転送は中断します (強制停止)。

[bit30] PAUS(PAUSE): 一時停止指示

対応するチャンネルの DMA 転送の一時停止制御を行います。本ビットがセットされると、再び本ビットがクリアされるまでの間は DMA 転送を行いません (DMA が停止中は DSS ビットが "1XX_B" になります)。

起動前に本ビットをセットしてから起動した場合、一時停止状態のままとなります。

本ビットがセットされている間に新たに発生した転送要求は受け付けられますが、本ビットをクリアしないと転送は開始しません (「20.3.10 転送要求の受け付けと転送」を参照)。

PAUS	機能
0	対応チャンネル DMA 動作許可 (初期値)
1	対応チャンネル DMA 一時停止

- リセット時: "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit29] STRG(Software TRiGger): 転送要求

対応するチャンネルの DMA 転送要求を生成します。本ビットに "1" を書き込むと、レジスタへの書込みが終了した時点より転送要求が発生し、対応チャンネルの転送を開始します。ただし、対応するチャンネルが起動されていない場合は、本ビットへの操作は無効となります。

< 参考 >

DMAE ビットの書込みによる起動と本ビットによる転送要求が同時の場合、転送要求は有効となり、転送を開始します。また、PAUS ビットへの "1" 書込みと同時である場合、転送要求は有効となりますが、PAUS ビットを "0" に戻すまで DMA 転送を開始しません。

STRG	機能
0	無効
1	DMA 起動要求

- リセット時: "0" に初期化されます。
- 読出し値は常に "0" となります。

書込み値は "1" のみ有効で、"0" は動作に影響を与えません。

[bit28 ~ bit24] IS4 ~ IS0(Input Select)*: 転送要因選択

転送要求の要因を以下のように選択します。ただし ,STRG ビット機能によるソフトウェア転送要求は本設定にかかわらず有効となります。

IS	機能	転送停止要求
00000 _B	ソフトウェア転送要求のみ	なし
00001 _B	設定禁止	
01111 _B	設定禁止	
10000 _B	マルチファンクション シリアルインタフェース 0 (受信完了)	あり
10001 _B	マルチファンクション シリアルインタフェース 1 (受信完了)	
10010 _B	マルチファンクション シリアルインタフェース 2 (受信完了)	
10011 _B	マルチファンクション シリアルインタフェース 0 (送信完了)	なし
10100 _B	マルチファンクション シリアルインタフェース 1 (送信完了)	
10101 _B	マルチファンクション シリアルインタフェース 2 (送信完了)	
10110 _B	外部割込み 0	
10111 _B	外部割込み 1	
11000 _B	8/10 ビット AD2	
11001 _B	8/10 ビット AD0 ^{*2} /12 ビット AD3 ^{*1}	
11010 _B	8/10 ビット AD1 ^{*2} /12 ビット AD4 ^{*1}	
11011 _B	積和演算回路	
11100 _B	PPG0	
11101 _B	PPG4	
11110 _B	PPG8 ^{*2}	
11111 _B	ベースタイマ 0(要因 0)	

*1: MB91470 シリーズ

*2: MB91480 シリーズ

- ・ リセット時 : "00000_B" に初期化されます。
- ・ 読みしおよび書込みが可能です。

周辺機能の割込みによる DMA 起動を設定した場合 (IS=1XXXX_B) , 選択した機能は ICR レジスタで割込みを禁止状態にしてください。

[bit23 ~ bit20] Reserved: 予約ビット

必ず "0000_B" を設定してください。

[bit19 ~ bit16] BLK3 ~ BLK0(BLoCK size): ブロックサイズ指定

対応するチャンネルのブロック転送時のブロックサイズを指定します。本ビットに設定した値が 1 回の転送単位におけるワード数 (正確には , データ幅設定の繰返し回数) となります。

ブロック転送を行わない場合は "01_H" (サイズ 1) を設定してください (デマンド転送時 , 本レジスタ値は無視されます。サイズ 1 となります) 。

BLK	機能
XXXX _B	対応チャンネルのブロックサイズ指定

- ・ リセット時 : 初期化されません。
- ・ 読出しおよび書込みが可能です。
- ・ 全ビット "0" を指定した場合 , ブロックサイズは 16 ワードとなります。

読出し時は , 常にブロックサイズ (リロード値) が読み出されます。

[bit15 ~ bit0] DTC15 ~ DTC0(Dma Terminal Count register)*: 転送回数レジスタ

転送回数を格納するレジスタです。各レジスタは 16 ビット長で構成されています。すべてのレジスタには , 専用のリロードレジスタがあります。転送回数レジスタのリロードを許可しているチャンネルに使用した場合 , 転送終了時に自動的に初期設定値をレジスタに戻します。

DTC	機能
XXXX _H	対応チャンネルの転送回数指定

DMA 転送が起動すると , 本レジスタのデータを DMA 専用転送回数カウンタのカウントバッファに格納して 1 転送単位ごとに -1 カウントします (減算) 。DMA の転送終了時にカウンタバッファの内容を本レジスタにライトバックして DMA は終了します。そのため , DMA 動作中の転送回数指定値を読み出すことはできません。

- ・ リセット時 : 初期化されません。
- ・ 読出しおよび書込みが可能です。DTC のアクセスは , 必ず ハーフワード長またはワード長 にてアクセスしてください。
- ・ 読出し時の値は , カウント値となります。リロード値の読出しはできません。
- ・ リセット時 : 初期化されません。

20.2.2 DMAC-ch.0, ch.1, ch.2, ch.3, ch.4 コントロール / ステータスレジスタ B

DMACB0 ~ DMACB4 は、DMAC 各チャネルの動作制御を行うレジスタで、チャネルごとに独立して存在します。

■ DMACB0 ~ DMACB4 のビット機能

DMACB0 ~ DMACB4 の各ビット機能は、以下に示すとおりです。

図 20.2-2 DMAC コントロール / ステータスレジスタ B

レジスタ 000204H ~ 000224H のビット定義																	
アドレス :	bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ch.0 000204 _H		TYPE [1 : 0]		MOD [1 : 0]		WS [1 : 0]		SADM	DADM	DTCR	SADR	DADR	ERIE	EDIE	DSS [2 : 0]		
ch.1 00020C _H	リード / ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ch.2 000214 _H																	
ch.3 00021C _H																	
ch.4 000224 _H		bit	15	14	13	11	11	10	9	8	7	6	5	4	3	2	1
		SASZ [7 : 0]								DASZ [7 : 0]							
	リード / ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
(初期値 : 00000000 00000000 XXXXXXXX XXXXXXXX _B)																	

[bit31, bit30] TYPE1, TYPE0(TYPE)*: 転送タイプ設定

対応チャネルの動作タイプを以下のように設定します。

2 サイクル転送モード :

転送元アドレス (DMASA) と転送先アドレス (DMADA) を設定してリード動作とライト動作を転送回数分繰り返して転送するモードです。転送元 / 転送先ともに全領域 (32 ビットアドレス) 指定可能です。

TYPE	機能
00 _B	2 サイクル 転送 (初期値)
01 _B	設定禁止
10 _B	設定禁止
11 _B	設定禁止

- リセット時 : "00_B" に初期化されます。
- 読出しおよび書込みが可能です。

[bit29, bit28] MOD1, MOD0(MODe)*: 転送モード設定

対応チャネルの動作モードを以下のように設定します。

MOD	機能
00 _B	ブロック / ステップ転送モード (初期値)
01 _B	バースト転送モード
10 _B	設定禁止
11 _B	設定禁止

- リセット時: "00_B" に初期化されます。
- 読出しおよび書込みが可能です。

[bit27, bit26] WS1, WS0(Word Size): 転送データ幅選択

対応チャネルの転送データ幅を選択します。本レジスタに設定したデータ幅単位で指定回数分の転送を行います。

WS	機能
00 _B	バイト単位で転送 (初期値)
01 _B	ハーフワード単位で転送
10 _B	ワード幅単位で転送
11 _B	設定禁止

- リセット時: "00_B" に初期化されます。
- 読出しおよび書込みが可能です。

[bit25] SADM(Source-ADdr, count-Mode select)*: 転送元アドレスカウントモード指定

対応するチャネルの転送元アドレスの 1 転送ごとのアドレス処理を指定します。

アドレス増加 / 減少は、設定された転送元アドレスカウンタ幅 (SASZ) に従って、1 転送後に加算 / 減算されて転送終了時に次回アクセス用アドレスが対応するアドレスレジスタ (DMASA) に書き込まれます。そのため、DMA 転送が終了されるまで転送元アドレスレジスタは更新されません。

アドレス固定にする場合は、本ビットを "0" または "1" に指定してアドレスカウンタ幅 (SASZ, DASZ) を "0" としてください。

SADM	機能
0	転送元アドレスは増加します (初期値)。
1	転送元アドレスは減少します。

- リセット時: "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit24] DADM(Destination-ADdr, Count-Mode select)*: 転送先アドレスカウントモード
指定

対応するチャンネルの転送先アドレスの 1 転送ごとのアドレス処理を指定します。

アドレス増加 / 減少は、設定された転送先アドレスカウント幅 (DASZ) に従って、1 転送後に加算 / 減算されて転送終了時に次回アクセス用アドレスが対応するアドレスレジスタ (DMADA) に書き込まれます。そのため、DMA 転送が終了されるまで転送先アドレスレジスタは更新されません。

アドレス固定にする場合は、本ビットを "0" または "1" に指定してアドレスカウント幅 (SASZ, DASZ) を "0" としてください。

DADM	機能
0	転送先アドレスは増加します (初期値)。
1	転送先アドレスは減少します。

- リセット時: "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit23] DTCR(DTC-reg, Reload)*: 転送回数レジスタリロード指定

対応するチャンネルの転送回数レジスタのリロード機能を制御します。

本ビットによりリロード動作が許可されている場合、転送終了後に回数レジスタ値を初期設定値に戻して停止し、転送要求 (STRG, または IS 設定による起動要求) 待ち状態になります (本ビットが "1" の場合、DENB ビットはクリアされません)。

DENB=0, または DMAE=0 を設定すると強制停止します。

回数カウンタのリロード動作を禁止している場合は、アドレスレジスタにリロード指定をしても、転送終了にて停止するシングルショット動作となります。この場合、DENB ビットはクリアされます。

DTCR	機能
0	転送回数レジスタリロードを禁止 (初期値)
1	転送回数レジスタリロードを許可

- リセット時: "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit22] SADR(Source-ADdr.-reg, Reload)*: 転送元アドレスレジスタリロード指定

対応するチャンネルの転送元アドレスレジスタのリロード機能を制御します。

本ビットによりリロード動作が許可されている場合、転送終了後に転送元アドレスレジスタ値を初期設定値に戻します。

回数カウンタのリロード動作を禁止している場合は、アドレスレジスタにリロード指定をしていても、転送終了にて停止するシングルショット動作となります。この場合、アドレスレジスタ値は初期設定値がリロードされた状態で停止します。

本ビットによりリロード動作が禁止されている場合は、転送終了時のアドレスレジスタ値は最終アドレスの次のアクセスアドレスとなります（アドレス増加を指定している場合は、増加したアドレスとなります）。

SADR	機能
0	転送元アドレスレジスタリロード禁止（初期値）
1	転送元アドレスレジスタリロード許可

- リセット時："0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit21] DADR(Dest.-ADdr.-reg, Reload)*: 転送先アドレスレジスタリロード指定

対応するチャンネルの転送先アドレスレジスタのリロード機能を制御します。

本ビットによりリロード動作が許可されている場合、転送終了後に転送先アドレスレジスタ値を初期設定値に戻します。

その他、機能の詳細は bit22:SADR の内容と等価になります。

DADR	機能
0	転送先アドレスレジスタリロード禁止（初期値）
1	転送先アドレスレジスタリロード許可

- リセット時："0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit20] ERIE(ERror Interrupt Enable)*: エラー割込み出力許可

エラー発生による終了時の割込み発生を制御します。発生したエラーの内容は DSS2 ~ DSS0 にて示されます。すべての終了要因で本割込みが発生するのではなく、特定の終了要因の際のみ割込みが発生することに注意してください (DSS2 ~ DSS0 ビットの説明を参照)。

ERIE	機能
0	エラー割込み要求出力禁止 (初期値)
1	エラー割込み要求出力許可

- リセット時: "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit19] EDIE(EnD Interrupt Enable)*: 終了割込み出力許可

正常終了時の割込み発生を制御します。

EDIE	機能
0	終了割込み要求出力禁止 (初期値)
1	終了割込み要求出力許可

- リセット時: "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit18 ~ bit16] DSS2 ~ DSS0(DMA Stop Status)*: 転送停止要因表示

対応するチャンネルの DMA 転送停止 / 終了の要因を示す 3 ビットのコード (終了コード) を表示します。

終了コードの内容は以下のとおりです。

DSS	機能	割込み発生
000 _B	初期値	なし
x01 _B	アドレスエラー (アンダフロー / オーバフロー)	エラー
x10 _B	転送停止要求	エラー
x11 _B	正常終了	終了
1xx _B	DMA 一時停止中 (DMAH, PAUS ビット, 割込みなど)	なし

転送停止要求は、周辺回路からの要求を使用した場合のみセットされます。

なお、「割込み発生」欄は、発生可能な割込み要求の種類を示します。

- リセット時: "000_B" に初期化されます。
- "000_B" を書き込むことによりクリアされます。
- 読出しおよび書込みが可能です。本ビットへの書込みは "000_B" のみ有効となります。

[bit15 ~ bit8] SASZ7 ~ SASZ0(Source Addr count SiZe)*: 転送元アドレスカウント
サイズ指定

対応するチャネルの 1 転送ごとの転送元アドレス (DMASA) の増減幅を指定します。
本ビットに設定した値が 1 回の転送単位におけるアドレス増減幅となります。アド
レスの増減幅は転送元アドレスカウントモード (SADM) の指定に従います。

SASZ	機能
XX _H	転送元アドレスの増減幅を指定します。0 ~ 255

- ・ リセット時: 初期化されません。
- ・ 読出しおよび書込みが可能です。

[bit7 ~ bit0] DASZ7 ~ DASZ0(Des Addr count SiZe)*: 転送先アドレスカウント
サイズ指定

対応するチャネルの 1 転送ごとの転送先アドレス (DMADA) の増減幅を指定します。
本ビットに設定した値が 1 回の転送単位におけるアドレス増減幅となります。アド
レスの増減幅は転送先アドレスカウントモード (DADM) の指定に従います。

DASZ	機能
XX _H	転送先アドレスの増減幅を指定します。0 ~ 255

- ・ リセット時: 初期化されません。
- ・ 読出しおよび書込みが可能です。

20.2.3 DMAC-ch.0, ch.1, ch.2, ch.3, ch.4 転送元 / 転送先 アドレス設定レジスタ

DMASA0 ~ DMASA4/DMADA0 ~ DMADA4 は、DMAC 各チャネルの動作制御を行うレジスタで、チャンネルごとに独立して存在します。

■ DMASA0 ~ DMASA4/DMADA0 ~ DMADA4 のビット機能

DMASA0 ~ DMASA4/DMADA0 ~ DMADA4 の各ビット機能は、以下に示すとおりです。

図 20.2-3 DMAC 転送元 / 転送先アドレス設定レジスタ

DMASA31 ~ DMASA0 (初期値: XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX _B)																	
アドレス:	bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ch.0 001000 _H		DMASA31 ~ DMASA16															
ch.1 001008 _H	リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ch.2 001010 _H																	
ch.3 001018 _H	bit	15	14	13	11	11	10	9	8	7	6	5	4	3	2	1	0
ch.4 001020 _H		DMASA15 ~ DMASA0															
	リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
(初期値: XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX _B)																	
DMADA31 ~ DMADA0 (初期値: XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX _B)																	
アドレス:	bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ch.0 001004 _H		DMADA31 ~ DMADA16															
ch.1 00100C _H	リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ch.2 001014 _H																	
ch.3 00101C _H	bit	15	14	13	11	11	10	9	8	7	6	5	4	3	2	1	0
ch.4 001024 _H		DMADA15 ~ DMADA0															
	リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
(初期値: XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX _B)																	

転送元 / 転送先アドレスを格納するレジスタ群です。各レジスタは 32 ビット長で構成されています。

[bit31 ~ bit0] DMASA31 ~ DMASA0(DMA Source Addr)*: 転送元アドレス設定
転送元アドレスの設定を行います。

[bit31 ~ bit0] DMADA31 ~ DMADA0(DMA Destination Addr)*: 転送先アドレス設定
転送先アドレスの設定を行います。

DMA 転送が起動すると、本レジスタのデータを DMA 専用アドレスカウンタのカウンタバッファに格納して 1 転送ごとに設定に従ってアドレスカウントします。DMA の転送終了時にカウンタバッファの内容を本レジスタにライトバックして DMA は終了します。そのため、DMA 動作中のアドレスカウンタ値を読み出すことはできません。すべてのレジスタには、専用のリロードレジスタがあります。転送元 / 転送先アドレスレジスタのリロードを許可しているチャンネルに使用した場合、転送終了時に自動的に初期設定値をレジスタに戻します。この際、ほかのアドレスレジスタには影響を与えません。

- リセット時：初期化されません。
- 読出しおよび書込みが可能です。本レジスタは、必ず 32 ビットデータでアクセスしてください。
- 読出し時の値は、転送中は転送前のアドレス値、転送終了時には次のアクセスアドレス値となります。リロード値の読出しはできません。そのため、転送アドレスをリアルタイムで読み出すことはできません。

< 注意事項 >

本レジスタにて DMAC 自身のレジスタを設定しないでください。DMAC 自身のレジスタに DMA 転送を行うことはできません。

20.2.4 DMAC-ch.0, ch.1, ch.2, ch.3, ch.4 DMAC 全体制御 レジスタ

DMACR は、DMAC5 チャンネル分全体の動作制御を行うレジスタです。本レジスタは必ずバイト長でアクセスしてください。

■ DMACR のビット機能

DMACR の各ビット機能は、以下に示すとおりです。

図 20.2-4 DMACR のビット機能

アドレス	bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
000240h		DMAE	—	—	PM01	DMAH[3:0]				—	—	—	—	—	—	—	—
	リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	リード/ライト	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(初期値 : 0—00000 —————B)

[bit31] DMAE(DMA Enable):DMA 動作許可

DMA 全チャンネルの動作制御を行います。

本ビットにより DMA 動作が禁止されている場合、チャンネルごとの起動 / 停止の設定や動作状態にかかわらず、全チャンネルの転送動作が禁止されます。転送中であったチャンネルは要求を取り下げ、ブロック境界にて転送を停止します。禁止状態にて、各チャンネルに対して行われる起動操作は、すべて無効となります。

本ビットにより DMA 動作が許可されている場合、チャンネルごとに起動 / 停止操作が有効となります。本ビットで DMA 動作許可を行ったのみでは、各チャンネルに対する起動は行われません。

本ビットに "0" を書き込むと強制停止しますが、必ず DMAH[3:0] ビット (DMACR:bit27 ~ bit24) で DMA を一時停止状態にしてから強制停止 ("0" 書込み) してください。一時停止しないで強制停止した場合、DMA は停止しますが転送データは保証されません。停止の確認は DSS[2:0] ビット (DMACB:bit18 ~ bit16) で行ってください。

DMAE	機能
0	全チャンネル DMA 動作禁止 (初期値)
1	全チャンネル DMA 動作許可

- リセット時: "0" に初期化されます。
- 読出しおよび書込みが可能です。

[bit28] PM01(Priority Mode ch.0, 1 robin): チャンネル優先度回転

転送ごとに ch.0, ch.1 の優先度の順位を回転させるときに設定します。

PM01	機能
0	優先順位固定 (ch.0>ch.1) (初期値)
1	優先順位回転 (ch.1>ch.0)

- ・ リセット時: "0" に初期化されます。
- ・ 読出しおよび書込みが可能です。

[bit27 ~ bit24] DMAH3 ~ DMAH0(DMA Halt):DMA 一時停止

DMA 全チャンネルの一時停止制御を行います。本ビットがセットされると、再び本ビットがクリアされるまでの間は全チャンネルの DMA 転送を行いません。

起動前に本ビットをセットしてから起動した場合、全チャンネルが一時停止のままとなります。

本ビットがセットされている間に DMA 転送が許可 (DENB=1) されているチャンネルに発生した転送要求は、すべて有効となり、本ビットをクリアすることにより転送を開始します。

DMAH	機能
0000 _B	全チャンネル DMA 動作許可 (初期値)
0000 _B 以外	全チャンネル DMA 一時停止

- ・ リセット時: "0" に初期化されます。
- ・ 読出しおよび書込みが可能です。

[bit30,bit29,bit23 ~ bit0] (Reserved): 未使用ビット

読出し値は不定です。

20.3 DMAC の動作説明

DMAC の動作概要，転送要求設定や転送シーケンスなどの詳細，動作中の詳細などについて説明します。

■ DMAC の概要

本ブロックはFRファミリに内蔵され，CPU の命令動作を介することなく高速にデータ転送を制御する多機能 DMA コントローラです。

20.3.1 動作概要

DAMC の動作概要を説明します。

■ DMAC の主要動作

各転送チャンネルは、独立に各種機能を設定します。

各チャンネルは起動許可後、設定した転送要求を検出するまでは転送動作を行いません。

転送要求検出により、バスコントローラに対して DMA 転送要求を出力し、バスコントローラの制御によりバス権を取得して転送を開始します。転送はチャンネルごとに独立に設定されたモードに従ったシーケンスで行われます。

■ 転送モード

DMA の各チャンネルは、それぞれの DMACB レジスタの MOD[1:0] ビットで設定された転送モードに従って転送動作を行います。

● ブロック / ステップ転送

1 回の転送要求にて 1 ブロック転送単位のみ転送を行い、その後、次の転送要求が受け付けられるまでは DMA はバスコントローラに対して転送要求を停止します。

1 ブロック転送単位：設定されたブロックサイズ分 (DMACA:BLK[3:0])

● バースト転送

1 回の転送要求にて指定転送回数終了まで連続して転送を行います。

指定転送回数：ブロックサイズ分 × 転送回数分

(DMACA:BLK[3:0] × DMACA:DTC[15:0])

■ 転送タイプ

● 2 サイクル転送 (通常転送)

DMA コントローラの動作は、読出し動作と書込み動作を 1 つの単位として動作を行います。

転送元レジスタのアドレスからデータを読み出して転送先レジスタのアドレスへデータを書き込みます。

■ 転送アドレス

アドレッシングには以下のようなものがあり、チャンネル転送元/転送先ごとに独立に設定します。

● 2 サイクル転送でのアドレスの指定

あらかじめアドレスを設定してあるレジスタ (DMASA, DMADA) から読み出した値をアドレスとしてアクセスします。

転送要求を受け付けたら DMA はレジスタからアドレスを一時記憶バッファに格納して転送を開始します。

1 回の転送 (アクセス) ごとにアドレスカウンタにて次回アクセスアドレスを生成 (加算 / 減算 / 固定選択可能) して、一時記憶バッファに戻します。この一時記憶バッファの内容は 1 ブロック転送単位終了ごとにレジスタ (DMASA, DMADA) ヘライトバックされます。そのため、アドレスレジスタ (DMASA, DMADA) 値は、1 ブロック転送単位ごとにしか更新されませんので転送中のアドレスをリアルタイムに知ることはできません。

■ 転送回数と転送終了

● 転送回数

1 ブロック転送単位終了ごとに、転送回数レジスタをデクリメント (-1) します。転送回数レジスタが "0" になると指定転送回数終了となり、終了コードを表示して停止または再起動 (1) します。

転送回数レジスタ値はアドレスレジスタと同様に 1 ブロック転送単位ごとにしか更新されません。

転送回数レジスタリロードを禁止に設定している場合は転送を終了します。許可されている場合はレジスタ値を初期化して転送待ち状態になります (DMACB:DTCCR)。

● 転送終了

転送終了要因には、以下のようなものがあり、終了時は終了コードとして要因が表示されます (DMACB:DSS[2:0])。

- 指定転送回数の終了 (DMACA:BLK[3:0] × DMACA:DTC[15:0]) 正常終了
- 周辺回路からの転送停止要求の発生 エラー
- アドレスエラーの発生 エラー
- リセットの発生 リセット

各終了要因に対応して、転送停止要因が表示 (DSS) されると転送終了割込み / エラー割込みを発生可能です。

20.3.2 転送要求の設定

DMA 転送を起動する転送要求には、以下の 2 種類があります。

- 内蔵周辺要求
- ソフトウェア要求

ソフトウェア要求については、ほかの要求の設定にかかわらず常に使用することができます。

■ 内蔵周辺要求

内蔵周辺回路の割込み発生により、転送要求を発生します。

チャンネルごとに、どの周辺の割込みにより転送要求を発生するかを設定します (DMACA:IS[4:0]=1XXXX_B)。

< 注意事項 >

転送要求に使用した割込み要求は、CPUへの割込み要求としても見えますので割込みコントローラの設定を割込み禁止に設定してください (ICR レジスタ)。

■ ソフトウェア要求

レジスタのトリガビットへの書込みにより転送要求を発生します (DMACA:STRG)。

上記 2 つの転送要求とは独立で、常に使用することができます。

起動 (転送許可) と同時にソフトウェア要求を行った場合、直後にバスコントローラに対し DMA 転送要求を出力して転送を開始します。

20.3.3 転送シーケンス

チャンネルごとに、DMA 転送起動後の動作シーケンスなどを決定する転送タイプと転送モードを独立して設定することができます (DMACB:TYPE[1:0], MOD[1:0] の設定)。

■ 転送シーケンスの選択

レジスタの設定により、以下のシーケンスが選択可能です。

- バースト 2 サイクル転送
- ブロック / ステップ 2 サイクル転送

■ バースト 2 サイクル転送

1 回の転送要因にて指定転送回数の転送を続けて行います。2 サイクル転送の場合は転送元 / 転送先アドレスは 32 ビット全領域指定可能です。

転送要因は、周辺転送要求 / ソフトウェア転送要求を選択できます。

表 20.3-1 にバースト 2 サイクル転送の指定可能転送アドレスを示します。

表 20.3-1 バースト 2 サイクル転送の指定可能転送アドレス

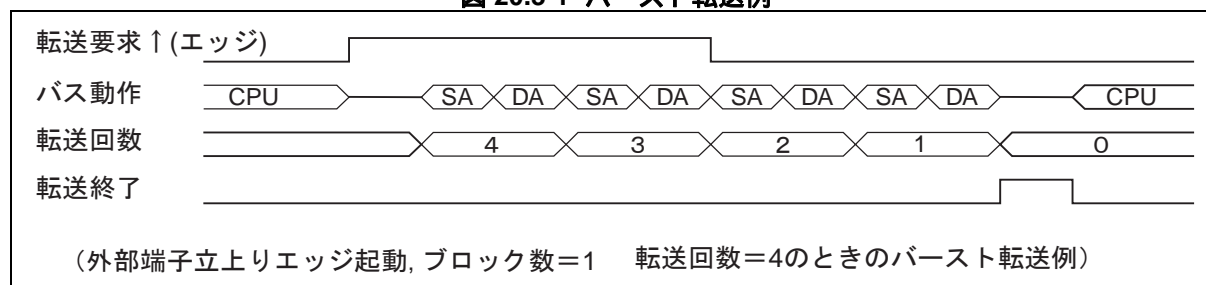
転送元アドレス指定	方向	転送先アドレス指定
32 ビット全領域指定可能		32 ビット全領域指定可能

〔バースト転送の特長〕

- 転送要求を 1 回受け付けると、転送回数レジスタが "0" になるまで連続して転送を行います。転送回数はブロックサイズ分 × 転送回数分になります (DMACA:BLK[3:0] × DMACA:DTC[15:0])。
- 転送中に再度、要求が発生した場合、要求は無視されます。
- 転送回数レジスタのリロード機能が有効である場合、転送終了後より次の転送要求を受け付けます。
- 転送中に、より高い優先順位の他チャンネルの転送要求を受け付けた場合、ブロック転送単位の境目でチャンネルを切り換え、そのチャンネルの転送要求がクリアされるまで復帰しません。

図 20.3-1 に、バースト転送例を示します。

図 20.3-1 バースト転送例



■ ステップ / ブロック転送 2 サイクル転送

ステップ / ブロック転送 (1 転送要求ごとに指定ブロック回数分のみ転送を行う) の場合は転送元 / 転送先アドレスは 32 ビット全領域指定可能です。

表 20.3-2 にステップ / ブロック転送 2 サイクル転送の指定可能転送アドレスを示します。

表 20.3-2 ステップ / ブロック転送 2 サイクル転送の指定可能転送アドレス

転送元アドレス指定	方向	転送先アドレス指定
32 ビット全領域指定可能		32 ビット全領域指定可能

■ ステップ転送

ブロックサイズに "1" を設定すると、ステップ転送シーケンスとなります。

〔ステップ転送の特長〕

- ・ 転送要求を 1 回受け付けると、1 回の転送を行った後、転送要求をクリアして転送を停止します (バスコントローラに対して DMA 転送要求を取り下げる)。
- ・ 転送中に再度、要求が発生した場合、要求は無視されます。
- ・ 転送中に、より高い優先順位の他チャネルの転送要求を受け付けた場合、転送停止後に、チャネルを切り換えて続けて転送を開始します。ステップ転送における優先順位は、転送要求が同時に発生した場合のみ意味があります。

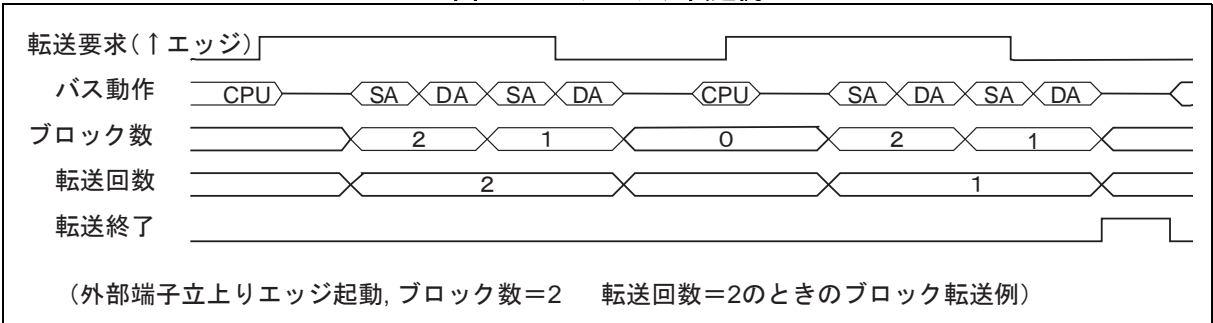
■ ブロック転送

ブロックサイズに "1" 以外を設定すると、ブロック転送シーケンスとなります。

〔ブロック転送の特長〕

- 1 転送単位が複数回 (ブロック数) の転送サイクルから構成されること以外は、ステップ転送と全く同じ動作となります。図 20.3-2 にブロック転送例を示します。

図 20.3-2 ブロック転送例



20.3.4 DMA 転送全般

DMA の転送動作について説明します。

■ ブロックサイズ

転送データの 1 転送単位はブロックサイズ指定レジスタに設定した数 (×データ幅) のデータの集合となります。

1 転送サイクルにて転送されるデータは、データ幅指定の値に固定されるため、1 転送単位はブロックサイズ指定値分の転送サイクル数より構成されることになります。

転送中に、より高い優先順位の転送要求が受け付けられた場合、または転送の一時停止要求が発生した場合において、ブロック転送時においても 1 転送単位の境界にならないと停止しません。これにより、分割・一時停止を希望しないデータブロックのデータ保護が可能です。ブロックサイズが大きい場合はレスポンスを低下させる原因となります。

リセット発生の場合のみ直ちに停止しますが、転送中であったデータの内容などは保証されません。

■ リロード動作

本モジュールでは、チャンネルごとに以下の 3 種類のリロード機能の設定が可能です。

(1) 転送回数レジスタリロード機能

指定回数の転送が終了した後、転送回数レジスタに初期設定値を再設定して起動受け付け待ちします。

全転送シーケンスを繰り返し行う際に設定します。

リロード指定をしない場合、指定回数の転送終了後は回数レジスタ値が "0" のままとなり、以降の転送は行われません。

(2) 転送元アドレスレジスタリロード機能

指定回数の転送が終了した後、転送元アドレスレジスタに初期設定値を再設定します。転送元アドレス領域内で固定領域から繰り返し転送する場合に設定します。

リロード指定をしない場合、指定回数の転送終了後は転送元アドレスレジスタ値が終了時の次のアドレスとなります。アドレス領域を固定しない場合に使用します。

(3) 転送先アドレスレジスタリロード機能

指定回数の転送が終了した後、転送先アドレスレジスタに初期設定値を再設定します。転送先アドレス領域内で固定領域へ繰り返し転送する場合に設定します。

リロード指定をしない場合、指定回数の転送終了後は転送元アドレスレジスタ値が終了時の次のアドレスとなります。アドレス領域を固定しない場合に使用します。

転送元/転送先レジスタのリロード機能を有効にただけでは、指定回数転送終了後の再起動は行われず、各アドレスレジスタ値が再設定されるだけとなります。

〔動作モードとリロード動作の特殊な例〕

バースト/ブロック/ステップ転送モードで転送している場合では、転送が終了すると、リロード後にいったん転送を中断し、改めて転送要求入力が検出されるまで転送を行いません。

20.3.5 アドレッシングモード

各転送チャンネルの転送先および転送元アドレスは、それぞれ独立して指定します。以下にその指定方法について説明します。転送シーケンスによって設定してください。

■ アドレスレジスタ指定

2 サイクル転送モードでは、転送元アドレス設定レジスタ (DMASA) には転送元アドレスを、転送先アドレス設定レジスタ (DMADA) には転送先アドレスを設定してください。

〔アドレスレジスタの特長〕

最大 32 ビット長のレジスタです。32 ビット長の場合、メモリマップ上の全空間がアクセス可能です。

〔アドレスレジスタの機能〕

- 毎アクセス時に読み出され、アドレスバスへ放出されます。
- 同時にアドレスカウンタにて次回アクセス時のアドレス計算が行われ、計算結果のアドレスにてアドレスレジスタを更新します。
- アドレス計算は、各チャンネル / 転送先 / 転送元それぞれ独立に、加算 / 減算から選択します。アドレスの増減幅はアドレスカウントサイズ指定レジスタ値により決まります (DMACB:SASZ, DASZ)。
- 転送終了時のアドレスレジスタには、リロード機能を有効にしていない場合、最終アドレスにアドレス計算をした結果のアドレスが残されます。
- リロード機能を有効にしている場合、アドレスの初期値がリロードされます。

< 参考 >

32 ビット長フルアドレス計算の結果、オーバフロー / アンダフローが発生した場合、アドレスエラーとして検出され、そのチャンネルの転送を中止します。

< 注意事項 >

- アドレスレジスタに DMAC 自身のレジスタのアドレスを設定しないでください。
 - DMAC により DMAC 自身のレジスタへの転送は行わないでください。
-

20.3.6 データの種類

1 回の転送で転送されるデータ長 (データ幅) は , 以下から選択します。

- バイト
 - ハーフワード
 - ワード
-

■ アクセスアドレス

DMA 転送においても , ワードバウンダリ仕様が守られるため , 転送先 / 転送元アドレス指定においてデータ長と一致しないアドレスが設定された場合 , 異なる下位ビットは無視されます。

- ワード :

実際のアクセスアドレスは下位 2 ビットが "00_B" から始まる 4 バイトとなります。

- ハーフワード :

実際のアクセスアドレスは下位 1 ビットが "0" から始まる 2 バイトとなります。

- バイト :

実際のアクセスアドレスとアドレス指定が一致します。

転送元アドレスと転送先アドレスの下位ビットが一致しない場合 , 内部アドレスバス上には設定そのままのアドレスが出力されますが , バス上の各転送対象において , 上記の決まりに従ってアドレスが修正されてアクセスが行われます。

20.3.7 転送回数制御

転送回数は、最大で 16 ビット長の範囲内 (1 回 ~ 65536 回) で指定します。転送回数指定値は転送回数レジスタ (DMACA:DTC) に設定します。

■ 転送回数レジスタとリロード動作

レジスタ値は転送開始時に一時記憶バッファに格納され、転送回数カウンタにより減算されます。このカウンタ値が "0" となったとき、指定回数の転送終了として検出され、そのチャネルの転送停止または再起動受付け待ち (リロード指定時) が行われます。

〔転送回数レジスタ群の特長〕

- 各レジスタは 16 ビット長です。
- すべてのレジスタにはそれぞれ専用リロードレジスタがあります。
- レジスタ値が "0" のときに起動すると、65536 回の転送を行います。

〔リロード動作〕

- リロード機能があるレジスタで、リロード機能が許可されている場合にのみ有効です。
- 転送起動時に、回数レジスタの初期値をリロードレジスタに退避します。
- 転送回数カウンタにてカウントを行ったときに "0" になると、転送終了を通知するとともにリロードレジスタより初期値を読み出し、回数レジスタに書き込みます。

20.3.8 CPU 制御

DMA 転送要求が受け付けられると、DMA はバスコントローラに対して転送要求を発生します。

バスコントローラはバス動作の切れ目で内部バス使用权を DMA に明け渡し、DMA 転送が開始されます。

■ DMA 転送と割り込み

DMA 転送中は、基本的に転送終了まで割り込みの受け付けを停止します。

また、割り込み処理動作中に DMA 転送要求があった場合、転送要求は受け付けられ、転送終了まで割り込み処理動作を停止します。

例外として、NMI 要求、または割り込みコントローラにて設定されたホールド抑止レベルより高いレベルの割り込み要求が発生した場合には、DMAC は転送単位 (1 ブロック) の境界にてバスコントローラは転送要求を一時取り下げ、割り込み要求がクリアされるまでは転送を一時停止状態にします。この間、転送要求は内部で保持されます。割り込み要求がクリアされた後に再度 DMAC のバスコントローラは転送要求を発生してバス使用权を取得し、DMA 転送を再開します。

■ DMA 抑止

FR ファミリは DMA 転送中に、より優先度の高い割り込み要因が発生すると DMA 転送を中断して該当割り込みルーチンへ分岐します。この機構は割り込み要求がある限り有効ですが、割り込み要因をクリアすると抑止機構が働かなくなり、割り込み処理ルーチン内で DMA 転送を再開します。このため、DMA 転送を中断するレベルの割り込み要因の処理ルーチン内で、割り込み要因クリア後の DMA 再転送開始を抑止したいときは、DMA 抑止機能を使用します。

DMA 抑止機能は、DMA 全体制御レジスタの DMAH[3:0] ビットに "0" 以外の値を書くことで起動し、"0" を書くことで停止します。

本機能は主として割り込み処理ルーチン内で使用します。割り込み処理ルーチンで割り込み要因をクリアする前に DMA 抑止レジスタの内容を 1 つ増加させます。このようにすると、以降、DMA 転送は行いません。

割り込み処理への対応を行った後、復帰する前に DMAH[3:0] ビットの内容を 1 つ減少させます。もし、多重割り込みであれば DMAH[3:0] ビットの内容は、"0" にならないため、引き続いて DMA 転送は抑止されます。また、多重割り込みでなければ、DMAH[3:0] ビットの内容は "0" になるため、その後すぐに DMA 要求を有効にします。

< 注意事項 >

- レジスタのビット数は 4 ビットですので、15 レベルを超える多重割り込みで本機能を使用することはできません。
- DMA タスクの優先順位は必ずほかの割り込みレベルより 15 レベル以上にしてください。

20.3.9 動作開始

DMA 転送の開始をチャンネルごとに独立に制御しますが、その前に全チャンネルの動作を許可しておく必要があります。

■ 全チャンネル動作許可

DMAC 各チャンネルに起動を行う前に、DMA 動作許可ビット (DMACR:DMAE) にてあらかじめ全チャンネルの動作を許可する必要があります。

許可されていない状態で行った起動設定、および発生した転送要求はすべて無効となります。

■ 転送起動

チャンネルごとの制御レジスタにある動作許可ビットで転送動作を起動します。起動されたチャンネルに対する転送要求が受け付けられると、設定されたモードにて DMA 転送動作が開始されます。

■ 一時停止状態からの起動

チャンネルごと、または全チャンネル制御にて起動前に一時停止状態にしてあった場合、転送動作を起動しても一時停止状態を維持しています。この間に転送要求が発生した場合は要求を受け付けて保持します。

一時停止を解除した時点より転送を開始します。

20.3.10 転送要求の受付けと転送

転送要求の受付けと転送の内容を説明します。

■ 転送要求の受付けと転送

起動後より、各チャネルに対して設定した転送要求のサンプリングが開始されます。

周辺割込みはレベル検出扱いとなりますので、割込みはDMA による割込みクリアで行うようにしてください。

転送要求は、他チャネルの要求が受け付けられて転送が行われている間でも常に受け付けられており、優先順位の判断を行って、1 転送単位ごとに転送するチャネルを決定しています。

20.3.11 DMA による周辺割込みクリア

本 DMA には周辺割込みをクリアする機能があります。この機能は DMA 起動要因に周辺割込みを選択したときに機能します (IS[4:0]=1XXXX_B のとき)。周辺割込みのクリアは設定された起動要因にのみ行われます。すなわち、IS[4:0] で設定された周辺機能のみクリアされます。

■ DMA による割込みクリアの発生タイミング

転送モードにより発生するタイミングが違います (「20.4 DMAC の動作フロー」を参照)。

〔ブロック / ステップ転送〕

ブロック転送を選択した場合、1 ブロック (ステップ) 転送ごとにクリア信号が発生します。

〔バースト転送〕

バースト転送を選択した場合は、指定転送回数がすべて終了したらクリア信号が発生します。

20.3.12 一時停止

DMA 転送が一時停止する場合について説明します。

■ 制御レジスタへの書き込みによる一時停止の設定 (各チャネル独立または全チャネル同時に設定)

一時停止ビットにより一時停止を設定すると、一時停止解除設定を再度設定するまでの間、対応するチャネルの転送は停止します。一時停止の確認は DSS ビットで行ってください。

一時停止を解除すると、転送を再開します。

■ NMI/ ホールド抑止レベル割込み処理中

NMI 要求、またはホールド抑止レベルより高いレベルの割込み要求が発生した場合、転送中のチャネルはすべて転送単位の境界にて一時停止し、バス権を開放して NMI/ 割込み処理を優先させます。また、NMI/ 割込み処理中に受け付けられた転送要求は、そのまま保持され、NMI 処理の終了を待ちます。

要求が保持されたチャネルは、NMI/ 割込み処理が終了した後に転送を再開します。

20.3.13 動作終了 / 停止

DMA 転送の終了をチャンネルごとに独立に制御しますが、全チャンネルの動作を禁止することも可能です。

■ 転送終了

リロード動作が有効でない場合、転送回数レジスタが "0" になると転送を停止し、終了コードにて「正常終了」を表示した後、以降の転送要求は無効となります (DMAC: DENB ビットをクリアする)。

リロード動作が有効である場合、転送回数レジスタが "0" になると初期値をリロードし、終了コードにて「正常終了」を表示した後、再度転送要求待ちとなります (DMAC: DENB ビットをクリアしない)。

■ 全チャンネル動作禁止

DMA動作許可ビット(DMAE)にて全チャンネルの動作を禁止すると、動作中であったチャンネルも含めて DMAC のすべての動作が停止します。以降、再度全チャンネル DMA 動作を許可しても、チャンネルごとに再起動しないと転送は行われません。この場合、割込みは一切発生しません。

20.3.14 エラーによる停止

指定回数の転送終了による正常終了以外の要因で停止する場合として、各種エラー発生による停止および強制停止があります。

■ 周辺回路からの転送停止要求の発生

転送要求を出力する周辺回路によっては、異常を検出した際などに転送停止要求を発生するものがあります（例：通信系周辺における受信 / 送信エラーなど）。

この転送停止要求を受け取った DMAC は、終了コードにて「転送停止要求」を表示して対応するチャンネルの転送を停止します。

■ アドレスエラーの発生

各アドレッシングモードにて不適切なアドレッシングが行われたとき、アドレスエラーとして検出されます。「不適切なアドレッシング」とは、例えば「32 ビットアドレス指定時に、アドレスカウンタにてオーバフロー / アンダフローが発生した場合」です。アドレスエラーを検出すると、終了コードにて「アドレスエラーの発生」を表示して対応するチャンネルの転送を停止します。

20.3.15 DMAC 割込み制御

DMAC 割込み制御は、転送要求となる周辺割込みとは独立に DMAC チャンネルごとに割込みを出力することが可能です。

■ DMAC 割込み制御が出力できる割込み

- 転送終了割込み：
正常終了した場合のみ発生
- エラー割込み：
周辺回路からの転送停止要求（周辺に起因するエラー）
アドレスエラーの発生（ソフトウェアに起因するエラー）

これらの割込みはすべて終了コードの内容に従って出力されます。

割込み要求のクリアは、DMACS の DSS2 ~ DSS0（終了コード）に "000_B" を書き込むことにより行います。

なお、終了コードは再起動する際には必ず "000_B" を書き込んでクリアしてください。

リロード動作が有効である場合は自動的に再起動しますが、この際には終了コードはクリアされず、次の転送終了による新しい終了コードの書込み時まで保持されます。

終了コードにて表示できる終了要因は1種類のみですので、複数の要因が同時に発生した場合は優先判断を行った結果を表示します。この際に発生する割込みは、表示されている終了コードに従います。

終了コードの表示の優先順位を以下に示します（上から、優先度の高い順）。

- リセット
- "000_B" 書込みによるクリア
- 周辺停止要求
- 正常終了
- アドレスエラー検出による停止
- チャンネル選択と制御

20.3.16 スリープ中の DMA 転送

DMAC は、スリープモード中でも動作させることができます。
以下にスリープ状態のときの DMA 転送について説明します。

■ スリープモード中の DMA 転送の注意

スリープモードでの動作をする場合、次のことに注意してください。

- CPU は停止状態なので DMAC のレジスタを書き換えることはできません。スリープモードに入る前に設定は済ませておいてください。
- スリープモードは、割り込みで解除されますので DMAC 起動要因で周辺での割り込みを選択した場合は、割り込みコントローラで割り込みを禁止する必要があります。

同様に DMAC 終了割り込みでスリープモードを解除したくない場合は割り込みを禁止にしてください。

20.3.17 チャネル選択と制御

転送チャネルの数は 5 チャネルまで同時設定が可能です。
各チャネルは基本的に各機能を独立に設定することが可能です。

■ チャネル間優先順位

DMA 転送は同時に 1 チャネルのみ可能なため、各チャネル間には優先順位が設定されます。順位設定には、固定 / 回転の 2 モードがありチャネルグループ (「チャネルグループ」を参照) ごとに選択します。

● 固定モード

チャネル番号の小さい順に固定されます。

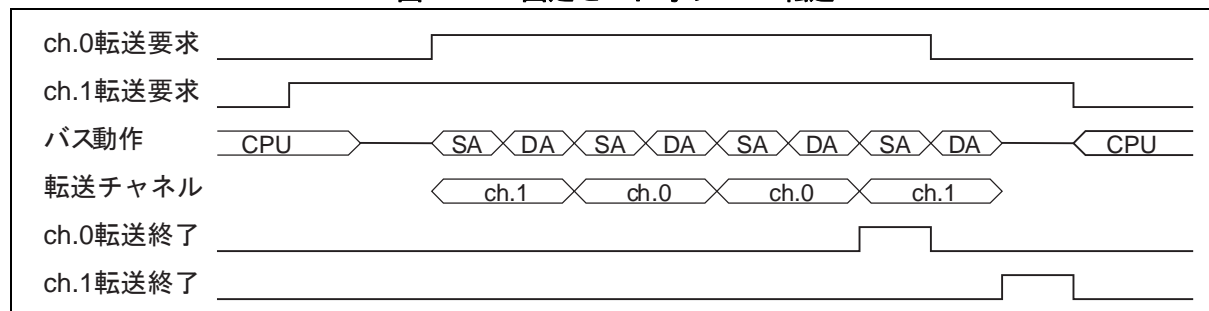
(ch.0 > ch.1 > ch.2 > ch.3 > ch.4)

転送中に、より高い優先度の転送要求が受け付けられた場合、1 転送単位 (ブロックサイズ指定レジスタに設定した数 × データ幅) の転送が終了した時点で、転送チャネルが高優先度側に切り換わります。

高優先度側の転送が終了すると、元のチャネルの転送を再開します。

図 20.3-3 に固定モード時の DMA 転送を示します。

図 20.3-3 固定モード時の DMA 転送



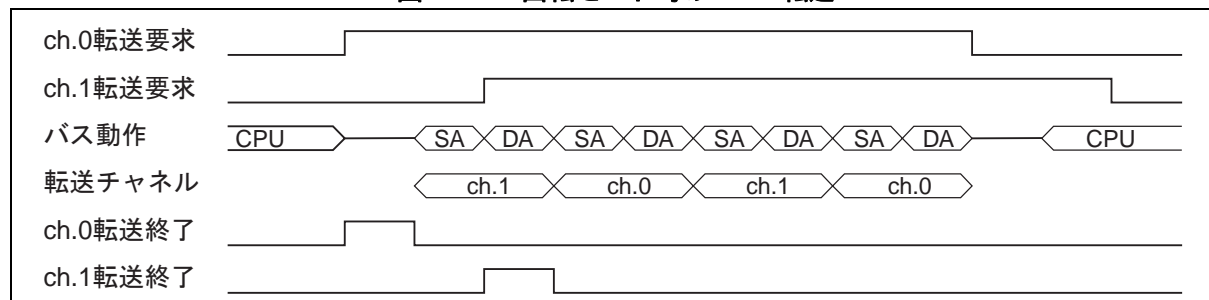
● 回転モード (ch.0, ch.1 間のみ)

動作許可後の初期状態は固定モードと同じ順位に設定されますが、1 転送終了ごとにそのチャネルの優先度は逆転します。そのため、同時に転送要求が出力されている場合、1 転送単位ごとにチャネルが切り換わります。

連続 / バースト転送を設定した場合に効果のあるモードです。

図 20.3-4 に回転モード時の DMA 転送を示します。

図 20.3-4 回転モード時の DMA 転送



■ チャンネルグループ

優先順位の選択は、以下の単位で設定します。

表 20.3-3 に、DMA 優先順位選択の設定を示します。

表 20.3-3 DMA 優先順位選択の設定

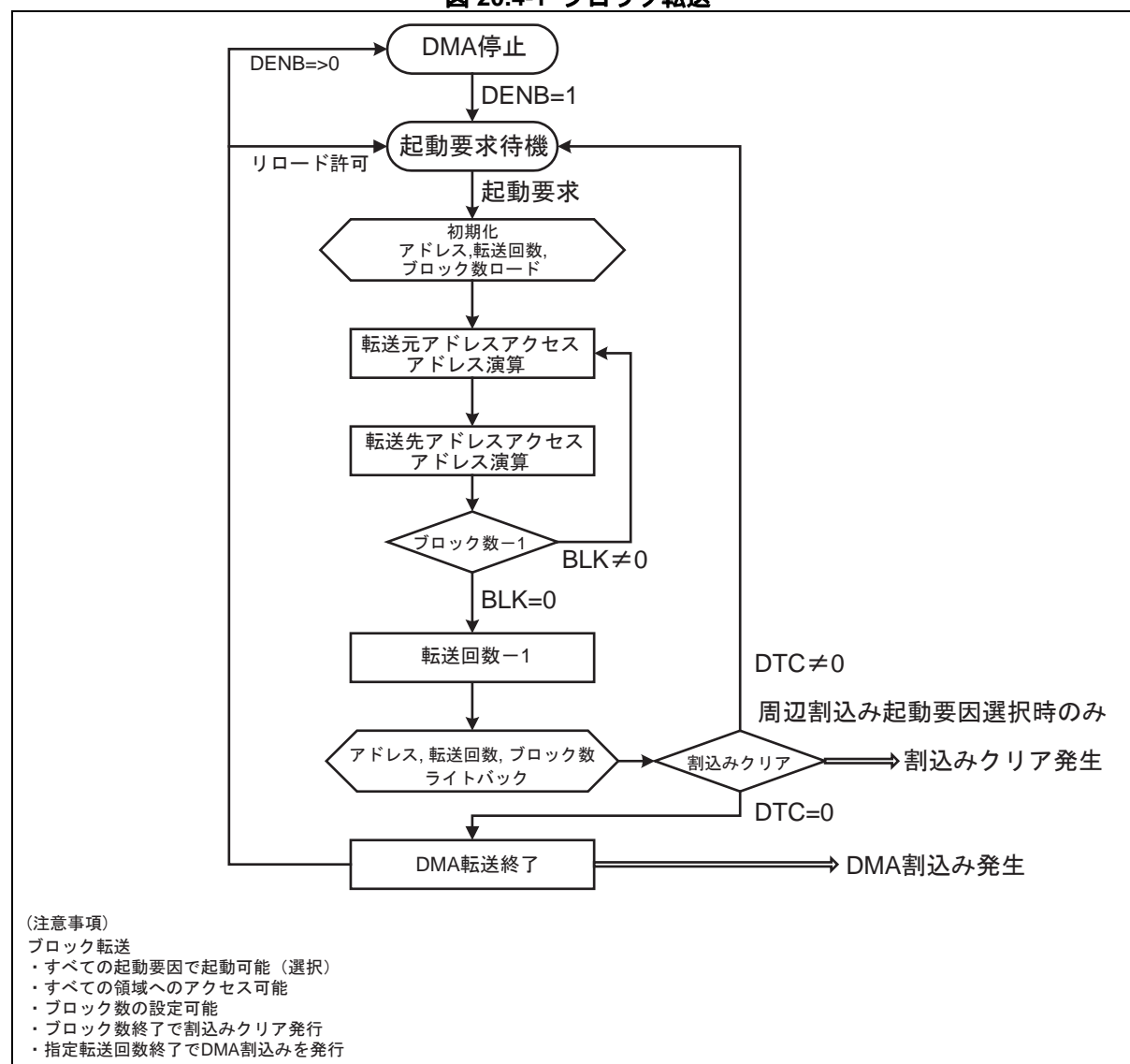
モード	優先度	備 考
固定	ch.0>ch.1	
回転	ch.0>ch.1 ch.0<ch.1	初期状態は上位側の順位です。 上位側が転送されると反転します。

20.4 DMAC の動作フロー

図 20.4-1 , 図 20.4-2 に , DMA 転送の動作フローを示します。

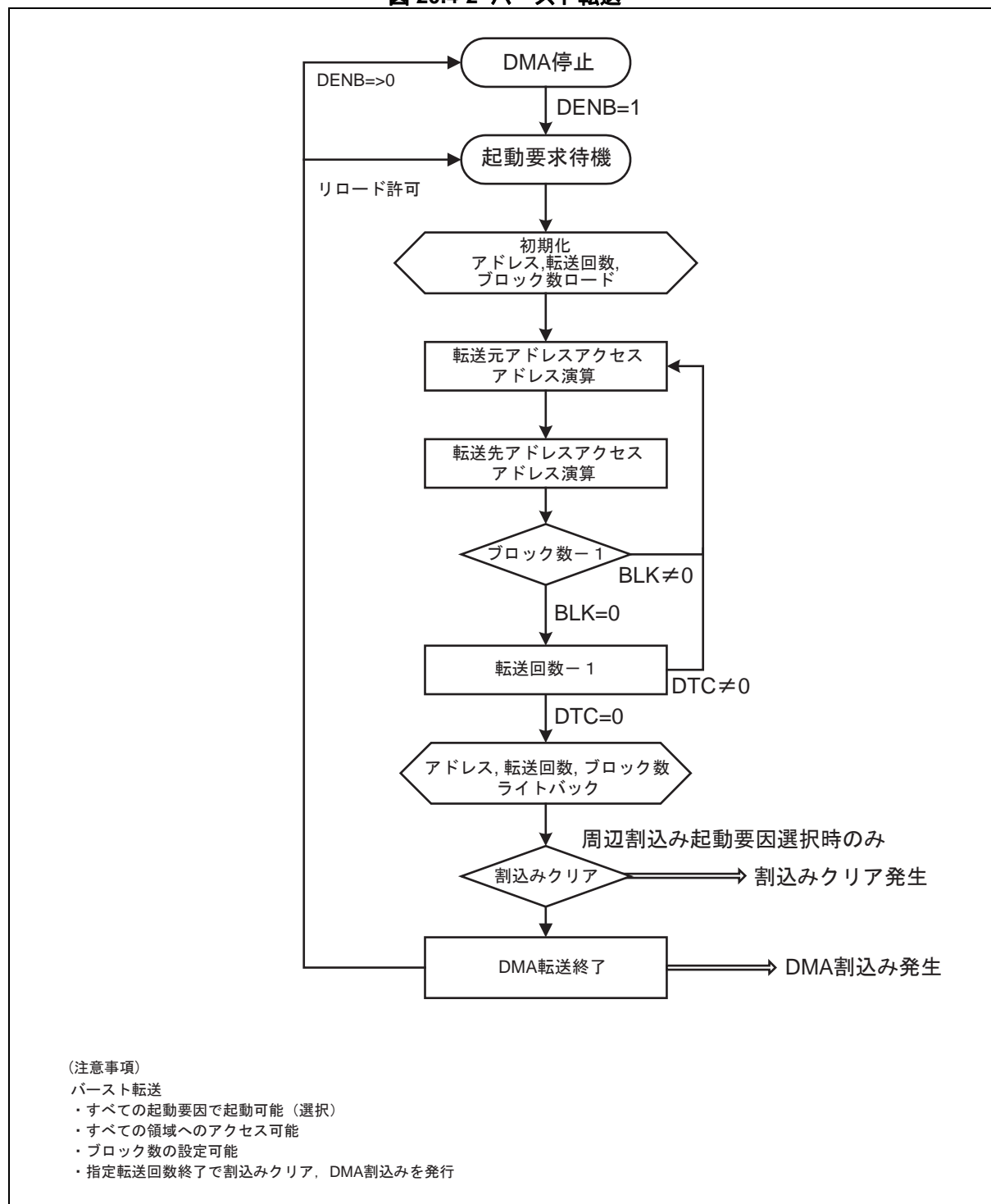
■ ブロック転送の動作フロー

図 20.4-1 ブロック転送



■ バースト転送の動作フロー

図 20.4-2 バースト転送



MB91470/480 シリーズ

20.5 DMAC のデータバス

各転送時のデータの動作を示します。

■ 2 サイクル転送時のデータの動作

図 20.5-1 から図 20.5-6 に 2 サイクル転送時のデータの動作を示します。

図 20.5-1 外部領域 外部領域転送

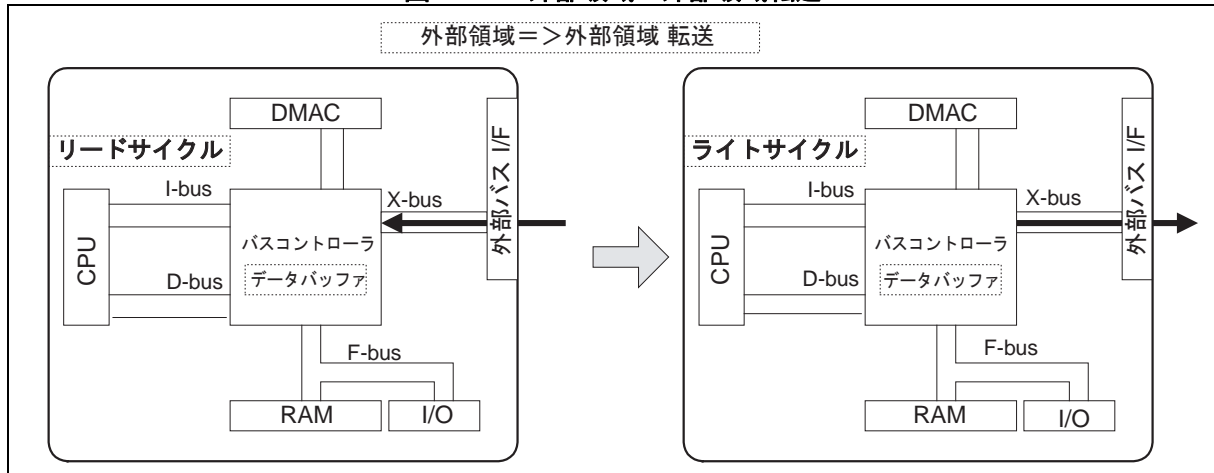


図 20.5-2 外部領域 内部 RAM 領域転送

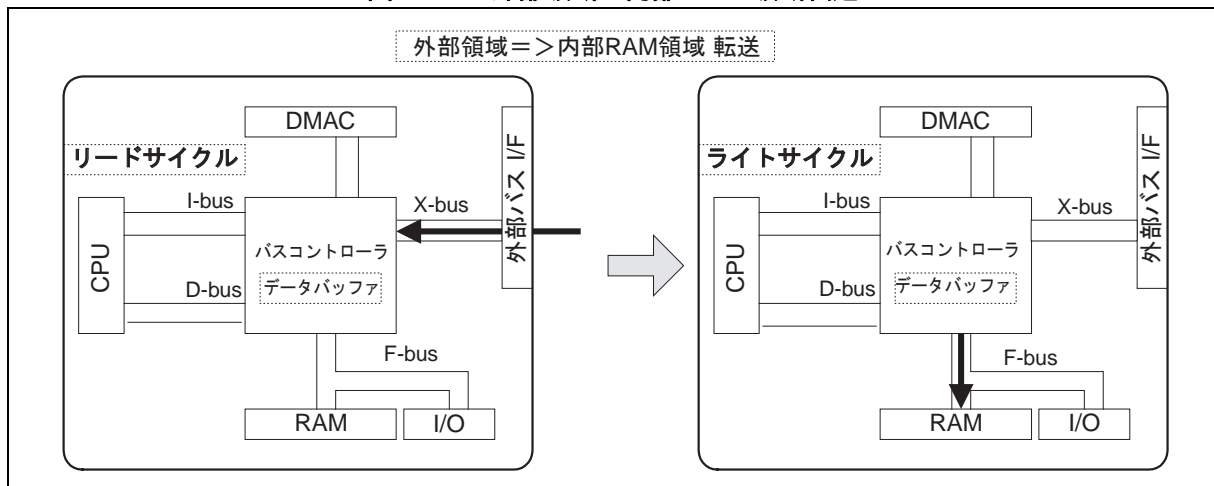


図 20.5-3 外部領域 内蔵 I/O 領域転送

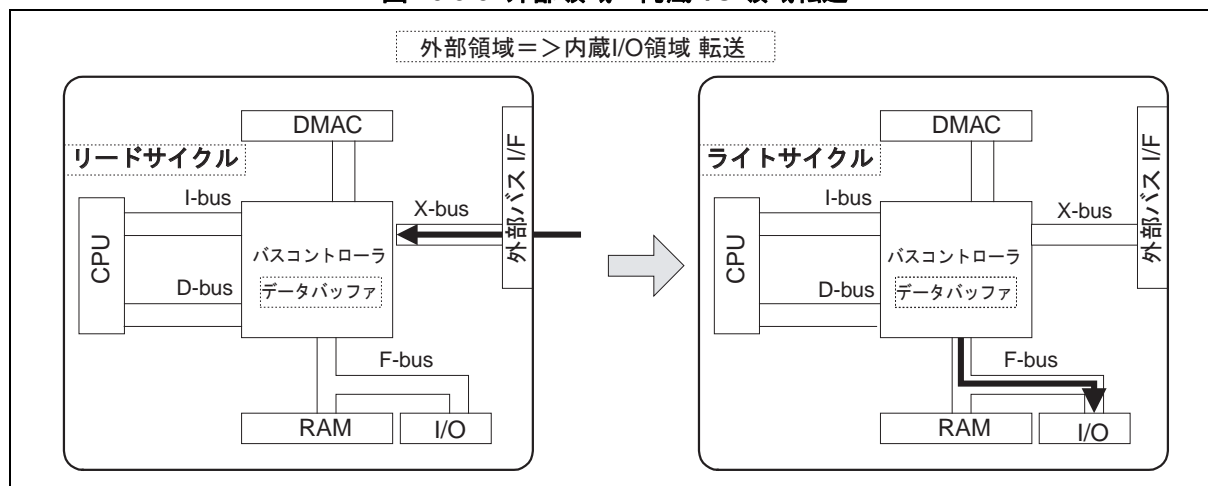


図 20.5-4 内蔵 I/O 領域 内蔵 RAM 領域転送

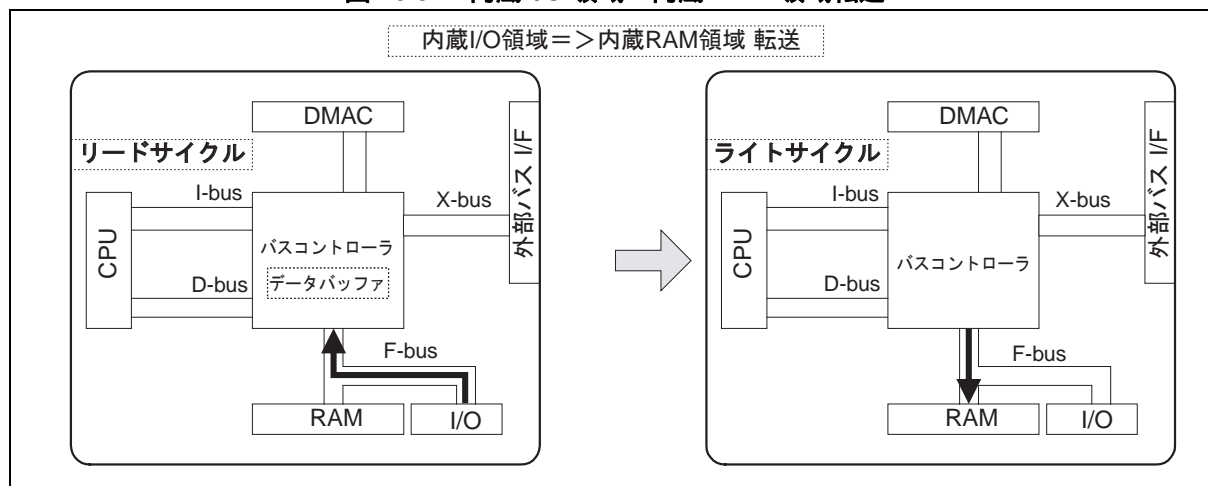


図 20.5-5 内部 RAM 領域 外部領域転送

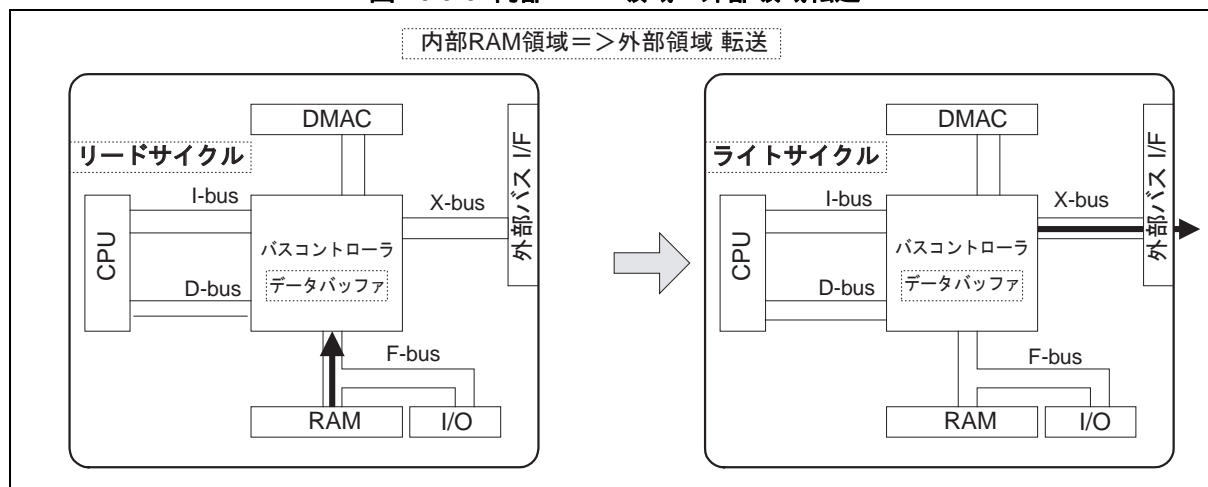
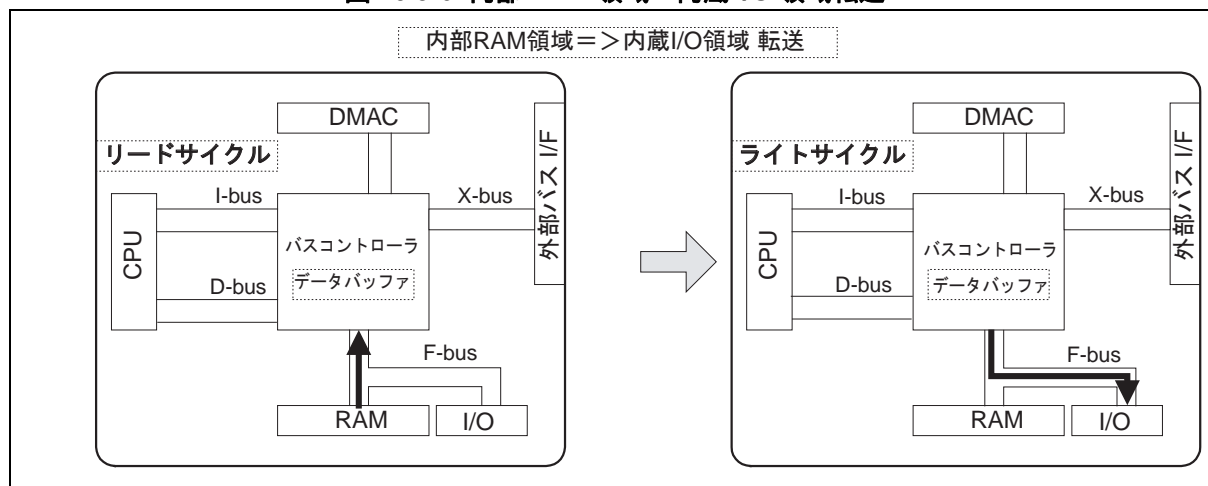


図 20.5-6 内部 RAM 領域 内蔵 I/O 領域転送



第21章

フラッシュメモリ

フラッシュメモリの概要，レジスタの構成 / 機能，
および動作について説明します。

- 21.1 フラッシュメモリの概要
- 21.2 フラッシュメモリのレジスタ
- 21.3 フラッシュメモリの動作説明
- 21.4 フラッシュメモリ自動アルゴリズム
- 21.5 フラッシュメモリ書込み / 消去の詳細説明
- 21.6 データポーリングフラグ (DQ7) の制約事項と回避方法
- 21.7 フラッシュメモリプログラミングの注意事項

管理番号 : CM71-00513-1

固有箇所 : 868, 869, 870, 871, 875, 904

21.1 フラッシュメモリの概要

MB91470/480 シリーズには、最大 512K バイトのフラッシュメモリが内蔵されています。

内蔵フラッシュメモリは 5.0V 単一電源にて、FR-CPU によるセクタ単位での消去、全セクター括消去、およびハーフワード (16 ビット) 単位での書込みが可能です。

■ フラッシュメモリの概要

このフラッシュメモリは、単体フラッシュメモリと同様に、フラッシュライタによるデバイス外部からの書込みも可能です。また、単体フラッシュメモリ相当の機能に加え、FR-CPU の内蔵 ROM として使用する場合には、ワード (32 ビット) 単位での命令 / データ読出しが可能であり、デバイスの高速動作を実現できます。

本製品では、フラッシュメモリマクロと FR-CPU インタフェース回路の組合せにより、以下の機能を実現します。

- CPU のプログラム / データ格納用メモリとして機能
(以下、CPU モードと表記)
 - ROM として使用する際は 32 ビットバス幅でアクセス可能
 - CPU の命令動作による読出し / 書込み / 消去
(自動アルゴリズム*)
- 単体フラッシュメモリ製品の機能
(以下、フラッシュモードと表記)
 - フラッシュライタによる読出し / 書込み / 消去
(自動アルゴリズム*)

ここでは、FR-CPU から本フラッシュメモリを使用する場合について記載しています。

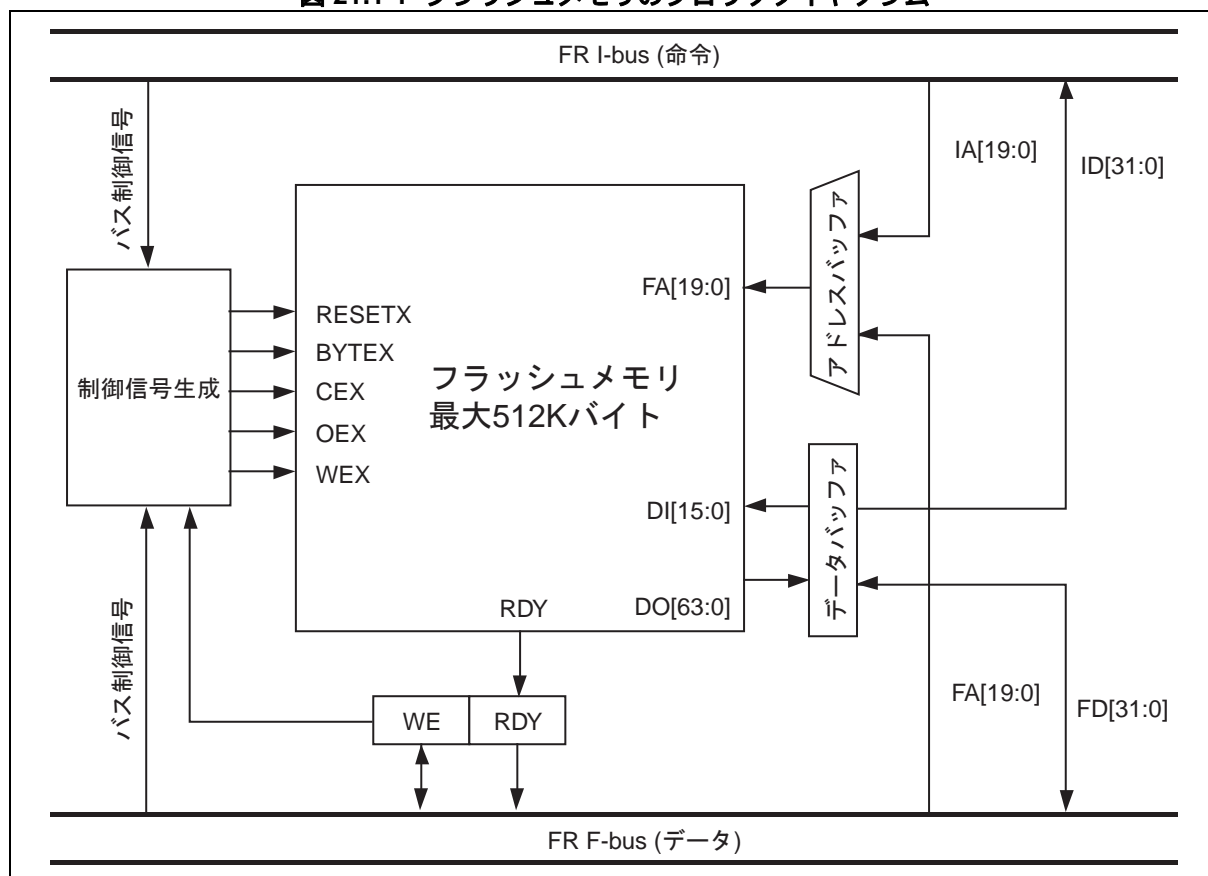
フラッシュライタから本フラッシュメモリを使用する場合の詳細については、別途フラッシュライタの取扱説明書を参照してください。

*: 自動アルゴリズム = Embedded Algorithm

■ フラッシュメモリのブロックダイアグラム

図 21.1-1 に、フラッシュメモリのブロックダイアグラムを示します。

図 21.1-1 フラッシュメモリのブロックダイアグラム



■ フラッシュメモリのメモリマップ

図 21.1-2 に、フラッシュメモリのメモリマップを示します。

図 21.1-2 フラッシュメモリのメモリマップ (CPU モード)

0010_0000 _H	512K バイト 64 ビット		
000F_C000 _H	8K バイト (SA7)	8K バイト (SA6)	
000F_8000 _H	8K バイト (SA5)	8K バイト (SA4)	
000F_4000 _H	8K バイト (SA3)	8K バイト (SA2)	
000F_0000 _H	8K バイト (SA1)	8K バイト (SA0)	
000E_0000 _H	32K バイト (SA15)	32K バイト (SA14)	
000C_0000 _H	64K バイト (SA13)	64K バイト (SA12)	
000A_0000 _H	64K バイト (SA11)	64K バイト (SA10)	256K バイト 開始アドレス
0008_0000 _H	64K バイト (SA9)	64K バイト (SA8)	384K バイト 開始アドレス
ビット並び	31 ~ 24, 23 ~ 16, 15 ~ 8, 7 ~ 0	31 ~ 24, 23 ~ 16, 15 ~ 8, 7 ~ 0	
アドレス並び	+0/+1/+2/+3	+4/+5/+6/+7	

21.2 フラッシュメモリのレジスタ

フラッシュメモリで使用するレジスタの構成および機能について説明します。

■ フラッシュメモリのレジスタ概要

フラッシュメモリのレジスタには、以下の 2 種類があります。

- FLCR : フラッシュコントロール / ステータスレジスタ (CPU モード)
- FLWC : フラッシュウェイトレジスタ

図 21.2-1 フラッシュメモリのレジスタ一覧

FLCR								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
007000 _H	-	-	-	-	RDY	-	WE	-
	R/W	R/W	R/W	R	R	R/W	R/W	R/W
初期値 ----X-0-B								
FLWC								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
007004 _H	-	-	-	-	-	WTC2	WTC1	WTC0
	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 -----011 _B								
R/W : リード / ライト可能								
R : リードオンリ								

21.2.1 フラッシュコントロール/ステータスレジスタ (FLCR)

フラッシュメモリの動作状態を示すレジスタです。フラッシュメモリへの書込み制御などを行います。
本レジスタは、リードモディファイライト (RMW) 系命令ではアクセスしないでください。

■ フラッシュコントロール/ステータスレジスタ (FLCR) のビット構成

フラッシュコントロール/ステータスレジスタ(FLCR)のビット構成は、以下のとおりです。

FLCR									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
007000 _H	-	-	-	-	RDY	-	WE	-	----X-0- _B
	R/W	R/W	R/W	R	R	R/W	R/W	R/W	
R/W : リード / ライト可能									
R : リードオンリ									

[bit7 ~ bit5] Reserved : 予約ビット

予約ビットです。
必ず "011_B" を設定してください。

[bit4] Reserved : 予約ビット

予約ビットです。
リセットで "0" に初期化されます。

[bit3] RDY : レディ

自動アルゴリズム (データ書込み / 消去) の動作状態を表示します。
本ビットが "0" の間は、自動アルゴリズムによるデータ書込みまたは消去が行われており、新たなデータ書込み / 消去コマンドを受け付けることはできません。また、フラッシュメモリ領域からの読出しもできません。
読み出したデータはフラッシュメモリのステータスを示します。

RDY	機能
0	書込み / 消去動作中で、データの読出しや書込み / 消去コマンドの受け付けはできません。
1	データの読出しおよび書込み / 消去コマンドの受け付けが可能です。

- リセット時には初期化されません (その時点でのフラッシュメモリの状態に従います)。
- 読出しのみ可能です。書込みは本ビット値に影響を与えません。

[bit2] Reserved : 予約ビット

予約ビットです。

必ず "0" を設定してください。

[bit1] WE : 書込み許可

フラッシュメモリへのデータおよびコマンドの書込みを制御します。

本ビットが "0" の間は、フラッシュメモリへのデータおよびコマンドの書込みはすべて無効になります。

本ビットが "1" の間は、フラッシュメモリへのデータおよびコマンドの書込みが有効となり、自動アルゴリズムの起動が可能となります。

本ビットの書換えは、必ず RDY ビットにより自動アルゴリズム（データ書込み / 消去）が停止していることを確認してから行ってください。RDY ビットが "0" の間は、本ビットの値を書き換えることができません。

WE	機能
0	フラッシュメモリへの書込み禁止 [初期値]
1	フラッシュメモリへの書込み許可

- リセット時には "0" に初期化されます。
- 読出しおよび書込みが可能です。

< 注意事項 >

本ビットはFLCR レジスタのRDY ビットが "0" のときには書き換えることができません。必ず RDY ビットが "1" であることを確認してから書換えを行ってください。また、本ビットの書換えプログラムは、必ず F-bus RAM もしくは外部領域で実行してください。以下にプログラム例を記載します。

● サンプルプログラム (WE=0 "1" への切換え時)

```
-----  
LDI #_FLCR,R0          // FLCR レジスタ (0x7000)  
LDI #0b01101010, R1    // FLCR レジスタの書込みデータ  
STB R1,@R0             // FLCR へのライト (WE=0 "1")  
NOP                     // タイミング調整用 NOP × 2  
NOP  
-----
```

● サンプルプログラム (WE=1 "0" への切換え時)

```
-----  
LDI #_FLCR,R0          // FLCR レジスタ (0x7000)  
LDI #0b01101000, R1    // FLCR レジスタの書込みデータ  
STB R1,@R0             // FLCR へのライト (WE=1 "0")  
NOP                     // タイミング調整用 NOP × 2  
NOP  
-----
```

[bit0] Reserved : 予約ビット

予約ビットです。

必ず "0" を設定してください。

21.2.2 フラッシュウェイトレジスタ (FLWC)

フラッシュウェイトレジスタ (FLWC) は、フラッシュメモリアクセスのウェイト制御を行います。

■ フラッシュウェイトレジスタ (FLWC) のビット構成

フラッシュウェイトレジスタ (FLWC) のビット構成は、以下のとおりです。

図 21.2-2 フラッシュウェイトレジスタ (FLWC) のビット構成

FLWC									初期値
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
007004 _H	-	-	-	-	-	WTC2	WTC1	WTC0	-----011 _B
	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能									
R : リードオンリ									

[bit7, bit6] Reserved : 予約ビット

予約ビットです。

必ず "00_B" を設定してください。

[bit5, bit4] Reserved : 予約ビット

予約ビットです。

必ず "11_B" を設定してください。

[bit3] Reserved : 予約ビット

予約ビットです。

必ず "0" を設定してください。

[bit2 ~ bit0] WTC2 ~ WTC0 : ウェイトサイクルビット

WTC2	WTC1	WTC0	ウェイト サイクル	フラッシュメモリ からの読出し	フラッシュメモリ への書込み
0	0	0	-	設定禁止	設定禁止
0	0	1	1	設定禁止	設定禁止
0	1	0	2	設定禁止	設定禁止
0	1	1	3 [初期値]		設定禁止
1	0	0	4	設定禁止	設定禁止
1	0	1	5	設定禁止	設定禁止
1	1	0	6	設定禁止	設定禁止
1	1	1	7	設定禁止	

- リセット時, "011_B" に初期化されます。
- フラッシュメモリの読出しは WTC2 ~ WTC0 = 011_B (3 ウェイトサイクル)
フラッシュメモリの書込みは WTC2 ~ WTC0 = 111_B (7 ウェイトサイクル)
としてください。

21.3 フラッシュメモリの動作説明

フラッシュメモリの動作について説明します。

■ フラッシュメモリのアクセスモード

FR-CPU によりアクセスする場合、以下の 2 種類のアクセスモードが存在します。

- ROM モード：
ワード (32 ビット) 長データを一括で読み出すことができますが、書込みはできません。
- プログラミングモード：
ワード (32 ビット) 長アクセスは禁止されていますが、ハーフワード (16 ビット) 長での書込みが可能になります。

■ FR-CPU ROM モード (32 ビット, リードのみ)

FR-CPU の内蔵 ROM として機能するモードです。ワード (32 ビット) 長データの一括読み出しが可能となりますが、フラッシュへの書込み、自動アルゴリズムの起動はできません。

- モードの指定方法
 - FLCR レジスタの WE ビットが "0" のとき、本モードとなります。
 - CPU 動作時でのリセット解除後は常に本モードになります。
- 動作内容
フラッシュメモリ領域の読み出し時、メモリよりワード (32 ビット) 長データを一括で読み出します。
- 制限事項
 - フラッシュライタ書込み時とはアドレスの与え方、およびエンディアンが異なります。
 - 本モードでは、フラッシュメモリへのコマンド / データともに書込みはできません。

■ FR-CPU プログラミングモード (16 ビット, リード/ライト可能)

データの消去 / 書込みが可能になるモードです。ワード (32 ビット) 長データの一括アクセスは不可能ですので、本モードで動作している間はフラッシュメモリ上のプログラムは実行が不可能となります。

- モードの指定方法
 - FLCR レジスタの WE ビットが "1" のときに本モードとなります。
 - CPU 動作時でのリセット解除後は WE ビットが "0" になっています。本モードにするためには "1" を書き込んでください。再度 "0" を書き込むか、またはリセットの発生により WE ビットが "0" になると ROM モードに戻ります。
 - FLCR レジスタの RDY ビットが "0" の間は WE ビットを書き換えることができません。RDY ビットが "1" になったことを確認してから WE ビットを書き換えてください。

- 動作内容
 - フラッシュメモリ領域の読出し時，メモリよりハーフワード (16 ビット) 長データを一括で読み出します。
 - フラッシュメモリへのコマンド書込みにより，自動アルゴリズムを起動することができます。自動アルゴリズムの起動により，フラッシュメモリの消去 / 書込みが可能となります。自動アルゴリズムの詳細については，「21.4 フラッシュメモリ自動アルゴリズム」を参照してください。
- 制限事項
 - ROM ライタ書込み時とはアドレスの与え方，およびエンディアンが異なります。
 - 本モードではワード (32 ビット) 長でデータを読み出すことを禁止します。

■ 自動アルゴリズム実行状態

FR-CPU プログラミングモードにて自動アルゴリズムを起動した場合には，FLCR レジスタの RDY ビットにより自動アルゴリズムの動作状態を知ることができます。

RDY ビットが "0" の間は，自動アルゴリズムによるデータ書込み / 消去が行われており，新たなデータ書込み / 消去コマンドを受け付けることはできません。また，フラッシュメモリ領域からのデータ読出しはできません。

RDY ビットが "0" の間に読み出したデータは，フラッシュメモリのステータスを示すハードウェアシーケンスフラグとなっています。

21.4 フラッシュメモリ自動アルゴリズム

フラッシュメモリ自動アルゴリズムのコマンドシーケンス，実行状態の確認方法，およびフラッシュメモリ書込み / 消去の詳細を説明します。

■ フラッシュメモリ自動アルゴリズムの概要

フラッシュメモリの自動アルゴリズムを起動するコマンドには，リセット，データ書込み，チップ消去，セクタ消去の 4 種類があり，セクタ消去については一時停止と再開の制御が可能です。

21.4.1 コマンドシーケンス

自動アルゴリズムを起動するためのコマンドシーケンスについて説明します。

■ 自動アルゴリズムのコマンドシーケンス

自動アルゴリズムを起動するには、フラッシュメモリに対して 1 ～ 6 回のハーフワード (16 ビット) データの連続書込みを実行します。これをコマンドとよびます。

不正なアドレスとデータを書き込んだり、誤った順番でアドレスとデータを書き込んだりすると、フラッシュメモリは読出し / リセット状態にリセットされます。

表 21.4-1 に、フラッシュメモリの書込み / 消去に使用するコマンドの一覧を示します。

FR-CPU によりデータ書込みを行う場合、書込みデータは、ハーフワード (16 ビット) 単位です (アドレスは CPU モード時のアドレスを記載してあります)。

表 21.4-1 コマンドシーケンス表

コマンド シーケンス	バス ライト アク セス	1st サイクル		2nd サイクル		3rd サイクル		4th サイクル		5th サイクル		6th サイクル	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
リセット	1	FXXXX _H	F0F0 _H	--	--	--	--	--	--	--	--	--	--
リセット	3	F5557 _H	AAAA _H	FAAAB _H	5555 _H	F5557 _H	F0F0 _H	--	--	--	--	--	--
データ 書込み	4	F5557 _H	AAAA _H	FAAAB _H	5555 _H	F5557 _H	A0A0 _H	PA	PD	--	--	--	--
チップ消去	6	F5557 _H	AAAA _H	FAAAB _H	5555 _H	F5557 _H	8080 _H	F5557 _H	AAAA _H	FAAAB _H	5555 _H	F5557 _H	1010 _H
セクタ消去	6	F5557 _H	AAAA _H	FAAAB _H	5555 _H	F5557 _H	8080 _H	F5557 _H	AAAA _H	FAAAB _H	5555 _H	SA	3030 _H
セクタ消去 一時停止		アドレス "FXXXX _H " データ (B0B0 _H) の書込みで、セクタ消去中の消去一時停止											
セクタ消去再開		アドレス "FXXXX _H " データ (3030 _H) の書込みで、セクタ消去中の消去一時停止後、消去開始											
連続モード	3	F5557 _H	AAAA _H	FAAAB _H	5555 _H	F5557 _H	2020 _H	--	--	--	--	--	--
連続書込み	2	FXXXX _H	A0A0 _H	PA	PD	--	--	--	--	--	--	--	--
連続モード リセット	2	FXXXX _H	9090 _H	FXXXX _H	F0F0 _H または 0000 _H	--	--	--	--	--	--	--	--

PA : 書込みアドレス
SA : セクタアドレス (4n+2 もしくは 4n+3 番地を指定)
PD : 書込みデータ

■ リセットコマンド

フラッシュメモリを読出し / リセット状態にセットします。フラッシュメモリは、ほかのコマンドが入力されるまで読出し状態を保ちます。フラッシュメモリは、電源投入時には自動的に読出し / リセット状態にセットされます。この場合は、データ読出しコマンドは必要ありません。

タイミングリミット超過から読出し / リセット状態へ復帰するには、リセットコマンドシーケンスを発行することで行います。読出しサイクルでフラッシュメモリからデータを読み出します。

■ データ書込みコマンド

CPU プログラミングモードでは、ハーフワード単位を基本として書込みを行います。データ書込みは、4 サイクルのコマンドシーケンスを書き込むことで行います。コマンドシーケンスの最後の書込みサイクルでメモリへのデータ書込みが開始されます。

データ書込みのコマンドシーケンス実行後は、フラッシュメモリはそれ以上の外部よりの制御を必要としません。

フラッシュメモリは、自動アルゴリズムを起動してデータポーリングフラグ (DQ7) を bit7 の書込み値を反転した値にしてから、内部で作られた適切な書込みパルスが発生し、書き込まれたセルのマージンを検証します。自動アルゴリズムが終了すると、データポーリングフラグ (DQ7) が、bit7 に書き込んだ値と同じになり、この時点で読出し / リセット状態に戻ります。このようにデータポーリングフラグ (DQ7) は、フラッシュメモリがデータ書込み中であることを示します。

データ書込みの自動アルゴリズム実行中はフラッシュメモリに書き込まれたすべてのコマンドが無視されます。データ書込み中にハードウェアリセットが起動された場合は、書き込んでいるアドレスのデータは保証されません。

データ書込みはどのようなアドレスの順番でも、また、セクタの境界を超えても可能です。

データ書込みによって、既にフラッシュメモリに書き込まれているデータ "0" をデータ "1" に戻すことはできません。データ "0" にデータ "1" を書き込むと、データ・ポーリングアルゴリズムにより、素子が不良と判定されるか、あるいは見かけ上データ "1" が書き込まれたように見えるかのどちらかです。しかし、読出し / リセット状態でデータを読み出すとデータは "0" のままです。消去動作のみが "0" データを "1" データにすることができます。

■ チップ消去コマンド

チップ消去 (全セクタの一括消去) のコマンドシーケンスは 6 回の書込みです。チップ消去コマンドを入力することによりチップ消去が始まります。

チップ消去では、消去前にユーザがフラッシュメモリにデータ書込みを行う必要はありません。チップ消去の自動アルゴリズムの実行により、フラッシュメモリは自動的にすべてのセルを消去する前に "0" のパターンに書き込んで検証します (プリプログラム)。この動作中には、フラッシュメモリは外部からの制御は必要としません。

チップ消去の自動アルゴリズムはコマンドシーケンスの書込みで開始され、データポーリングフラグ (DQ7) が "1" になったときに終了し、フラッシュメモリは読出し / リセット状態に戻ります。チップ消去時間は「セクタ消去時間 × 全セクタ数 + チップ書込み時間 (プリプログラム)」となります。

■ セクタ消去コマンド

セクタ消去は、6 サイクルのコマンドシーケンスを書き込むことで行います。6 サイクル目にセクタ消去コマンドを書き込むことによりセクタ消去が始まります。

最後のセクタ消去コマンドの書き込みから最短で 50 μ s のセクタ消去タイムアウト期間中、次のセクタ消去コマンドの受付けが可能です。

複数のセクタ消去は、コマンドシーケンスの6サイクル目を書き込むことで同時に受付け可能となります。このシーケンスは同時に消去するセクタのアドレスにセクタ消去コマンド (3030_H) を引き続き書き込むことで行います。

最後のセクタ消去コマンドの書き込みから最短で 50 μ s のセクタ消去タイムアウト期間終了により、セクタ消去が開始されます。すなわち、複数のセクタを同時に消去する場合には、次の消去セクタをそれぞれ 50 μ s 以内に入力する必要があり、それ以降ではコマンドが受け付けられないことがあります。引き続きセクタ消去コマンドが有効かどうかはセクタ消去タイムフラグ (DQ3) にてモニタ可能です (「21.4.2 自動アルゴリズム実行状態の確認」の「■ ハードウェアシーケンスフラグ」を参照)。

セクタ消去タイムアウト期間中の、セクタ消去コマンド、あるいは消去一時停止以外の、いかなるコマンドも読出しにリセットし、その前のコマンドシーケンスを無効にします。この場合は、そのセクタを再度消去することにより消去が完了します。セクタ消去バッファへのセクタアドレス入力は、セクタのどのような組合せや数でも実行可能です。

セクタの消去は、最後のセクタ消去コマンドの書き込みから最短で 50 μ s のセクタ消去タイムアウト期間の後に開始され、データポーリング (DQ7) が "1" になったときに終了して、フラッシュメモリは読出し / リセット状態に戻ります。

データポーリング (DQ7) は、消去されたセクタ内のどのアドレスでも機能します。複数セクタ消去時間は「(セクタ消去時間 + セクタ書き込み時間 (プリプログラム)) × 消去セクタ数」となります。

■ セクタ消去一時停止コマンド

セクタ消去一時停止コマンドは、ユーザがセクタ消去中にフラッシュメモリの自動アルゴリズムを一時停止して消去中でないセクタからのデータ読出しと書込みを可能にするものです。このコマンドはセクタ消去中のみ有効で、チップ消去やデータ書込みの動作中は無視されます。

セクタ消去一時停止コマンド (B0B0_H) はセクタ消去コマンド (3030_H) 後のセクタ消去タイムアウト期間を含むセクタ消去動作中にのみ有効です。このコマンドがセクタ消去タイムアウト期間中に入力されると直ちにタイムアウトを終了し、消去動作を中断します。消去再開コマンドが書き込まれると消去動作が再開されます。消去一時停止、消去再開コマンド書込み時のアドレスは任意です。

セクタ消去動作中に消去一時停止コマンドが入力されると、フラッシュメモリが消去動作を停止するために最大 20 μ s の時間がかかります。フラッシュメモリが消去一時停止モードに入ると、FLCR レジスタの RDY ビットとデータポーリングフラグ (DQ7) が "1" を出力し、トグルビットフラグ (DQ6) がトグル動作をやめます。消去しているセクタのアドレスを入力しトグルビットフラグ (DQ6) とデータポーリングフラグ (DQ7) の読出し値をモニタすることによって、消去動作を停止しているかどうかを確かめられます。さらに、消去一時停止コマンドの書込みは無視されます。

消去動作が停止したとき、フラッシュメモリは消去一時停止読出しモードになります。このモードでのデータの読出しは、消去一時停止していないセクタに有効となりますが、それ以外は標準的な読出しと同じです。消去一時停止読出し中、その消去一時停止したセクタからの連続的な読出しに対しては、トグルビット 2(DQ2) はトグル動作をします。

消去一時停止読出しモードに入った後、ユーザはコマンドシーケンスを書き込むことによりフラッシュメモリに書込みができます。このデータ書込みモードは、消去一時停止書込みモードとなります。このモードでのデータ書込みは、データが消去一時停止していないセクタに有効となることを除いて通常のデータ書込みと同じです。消去一時停止書込みモード中、その消去一時停止したセクタからの連続的な読出しに対しては、トグルビット 2(DQ2) はトグル動作をします。消去一時停止ビット (bit6) によって検出できます。

使用上の注意として、トグルビットフラグ (DQ6) はどんなアドレスに対しても読出し可能ですが、データポーリングフラグ (DQ7) は書込みアドレスに対して読出しを行わなければなりません。

セクタ消去動作を再開するためには、セクタ消去再開コマンド (3030_H) を入力する必要があります。セクタ消去を再開した時点でさらに再開コマンドを入力しても無視されます。他方、消去一時停止コマンドはフラッシュメモリが消去再開した後に入力することができます。

21.4.2 自動アルゴリズム実行状態の確認

フラッシュメモリには、データ書込み / 消去のフローを自動アルゴリズムで行います。この自動アルゴリズムは、ハードウェアシーケンスフラグによって内蔵フラッシュメモリの動作状態の確認ができます。

■ RDY ビット

フラッシュメモリには内部の自動アルゴリズムが実行中か終了したかを知らせる手段として、ハードウェアシーケンスフラグのほかに、フラッシュメモリステータスレジスタ (FLCR) の RDY ビットがあります。

RDY ビットの読出し値が "0" のとき、フラッシュメモリはデータ書込み、あるいは消去動作中です。このときはデータ書込みコマンドも消去コマンドも受け付けません。RDY ビットの読出し値が "1" のときにはフラッシュメモリは読出し、またはデータ書込み / 消去動作待ちの状態です。

■ ハードウェアシーケンスフラグ

図 21.4-1 に、ハードウェアシーケンスフラグのビット構成を示します。

図 21.4-1 ハードウェアシーケンスフラグ

図 21.41 ハーフワードアクセス

bit 15		8 7		0					
ハーフワード読出し時		(未定義)		ハードウェアシーケンスフラグ					
バイト読出し時 (奇数アドレスのみ)		bit 7		0					
				ハードウェアシーケンスフラグ					
bit		7	6	5	4	3	2	1	0
(ハーフワードと バイトアクセスのとき)		D POLL	TOGGLE	TLOVER	不定	SETIMR	TOGGL2	不定	不定

< 注意事項 >

ワード読出しは禁止です。FR-CPU プログラミングモードのみ使用してください。

ハードウェアシーケンスフラグは、自動アルゴリズム実行中にフラッシュメモリの任意のアドレス (バイトアクセス時は奇数アドレス) を読み出すことによりデータとして取得できます。データのうち、有効ビットは 5 ビットで、それぞれが自動アルゴリズムの状態を示します。

なお、これらのフラグについては FR-CPU ROM モード時には意味がありません。必ず FR-CPU プログラミングモードで、ハーフワードまたはバイト読出しを行ってください。

表 21.4-2 に、ハードウェアシーケンスフラグ状態一覧を示します。

表 21.4-2 ハードウェアシーケンスフラグ状態一覧

状態			D POLL	TOGGLE	TLOVER	SETIMR	TOGGL2
実行中	データ書込み		反転データ	トグル	0	0	1
	セクタ消去	タイムアウト期間	1	トグル	0	1	トグル
		消去期間	0	トグル	0	1	トグル
	消去 / 一時停止 モード	消去一時停止 読出し (消去一時停止 している セクタ)	1	1	0	0	トグル ^{*1}
		消去一時停止 読出し (消去一時停止 していない セクタ)	データ	データ	データ	データ	データ
		消去一時停止 書込み (消去一時停止 している セクタ)	反転データ	トグル ^{*2}	0	0	1 ^{*3}
タイム リミット 超過	データ消去動作		反転データ	トグル	1	0	1
	消去一時停止モード		0	トグル	1	1	^{*4}
	チップ / セクタ消去		0	トグル	1	1	^{*4}

*1 : 消去一時停止セクタからの連続的な読出し時に TOGGL2 はトグル動作をします。

*2 : どんなアドレスからの連続的な読出し時でも、TOGGLE はトグル動作をします。

*3 : 消去一時停止書込み中、その書込みされているアドレスの読出し時は、TOGGL2 は "1" となります。しかし、消去一時停止しているセクタからの連続的な読出し時は、TOGGL2 はトグル動作をします。

*4 : TLOVER が "1" のとき (タイムリミット超過)、書込み / 消去中セクタへの連続的な読出しに対して、TOGGL2 はトグル動作をし、ほかのセクタへの読出しに対してはトグルしません。

表中の各ビットは、以下の内容を示します。

[bit7] : D POLL : データポーリングフラグ (DQ7)

[bit6] : TOGGLE : トグルビットフラグ (DQ6)

[bit5] : TLOVER : タイミングリミット超過フラグ (DQ5)

[bit3] : SETIMR : セクタ消去タイマフラグ (DQ3)

[bit2] : TOGGL2 : トグルビットフラグ 2 (DQ2)

以下に、それぞれのビットについて簡単に説明します。

[bit7] DPOLL: データポーリングフラグ (DQ7)

データポーリングフラグは、自動アルゴリズム実行が進行中もしくは終了状態であることをデータポーリング機能によって知らせるためのフラグです。

- データ書き込み動作時:

自動アルゴリズム実行中にリードアクセスすると、フラッシュメモリはアドレスの指す番地にアクセスせず、最後に書き込まれたデータの bit7 の反転データを出力します。

自動アルゴリズム終了時にリードアクセスすると、フラッシュメモリはアドレスの指す番地の読出し値の bit7 を出力します。

- チップ消去動作時:

チップ消去アルゴリズム実行中にリードアクセスすると、アドレスの指す番地に関係なくフラッシュメモリは "0" を出力します。同様に終了時には "1" を出力します。

- セクタ消去動作時:

セクタ消去の自動アルゴリズムを実行中に消去しているセクタに読出しアクセスすると、フラッシュメモリは "0" を出力します。

本シリーズは機能上の制約により、セクタ消去コマンド発行後、50 μ s ~ 160 μ s の期間 "1" を出力してから "0" を出力します。セクタ消去が完了するとフラッシュメモリは "1" を出力します。

セクタ消去動作時のデータポーリングフラグ (DQ7) の、制約事項の内容とセクタ消去完了の誤判定回避方法については「21.6 データポーリングフラグ (DQ7) の制約事項と回避方法」を参照してください。

- セクタ消去一時停止時:

セクタ消去一時停止時にリードアクセスすると、フラッシュメモリはアドレスの指す番地が消去中のセクタであれば "1" を出力し、消去中のセクタでなければアドレスの指す番地の読出し値の bit7 を出力します。

トグルビットフラグとともに参照することで、現在セクター一時停止状態であるか、どのセクタが消去中であるかの判定が可能です。

< 注意事項 >

自動アルゴリズム起動時は指定したアドレスへのリードアクセスは無視されます。データの読出しは、データポーリングフラグの終了を受けてほかのビットの出力が可能となります。

このため、自動アルゴリズム終了後のデータの読出しは、データポーリング終了を確認したリードアクセスの次に行うようにしてください。

[bit6] TOGGLE: トグルビットフラグ (DQ6)

トグルビットフラグはデータポーリングフラグと同様に、主に自動アルゴリズム実行が進行中または終了状態であることを、トグルビット機能によって知らせるためのフラグです。

- データ書込み, チップ / セクタ消去時:
データ書込み, チップ消去およびセクタ消去の自動アルゴリズム実行中に連続したリードアクセスを行うと, フラッシュメモリはアドレスの指す番地の読出し値の bit6 ではなく, リードごとに "1" と "0" を交互に出力するトグル状態を出力します。
自動アルゴリズム終了時にリードアクセスを行うと, フラッシュメモリは bit6 のトグル動作を中止し, アドレスの指す番地の読出し値の bit6 (DATA:6) を出力します。
- セクタ消去一時停止時:
セクタ消去一時停止時にリードアクセスすると, フラッシュメモリはアドレスの指す番地が消去中のセクタに属するならば "1" を出力します。
消去中のセクタに属さないのであれば, アドレスの指す番地の読出し値の bit6 (DATA:6) を出力します。

< 参考 >

書込みの際, 書き込もうとしているセクタが書換え保護されているセクタの場合は, 約 2 ms のトグル動作をした後, データを書き換えることなくトグル動作を終了します。消去の際, 選択されたすべてのセクタが書換え保護されている場合, トグルビットは約 100 ms のトグル動作をし, その後, データを書き換えしないで読出し / リセット状態に戻ります。

[bit5] TLOVER : タイミングリミット超過フラグ (DQ5)

タイミングリミット超過フラグは, 自動アルゴリズムの実行がフラッシュメモリ内部に規定された時間 (内部パルス回数) を超えてしまったことを知らせるフラグです。

データ書込み, チップ / セクタ消去時:

データ書込み, チップ消去およびセクタ消去の自動アルゴリズム起動後にリードアクセスすると, 規定時間 (書込み / 消去に要する時間) 内であれば "0" を, 規定時間を超えてしまっている場合は "1" を出力します。

これは, 自動アルゴリズムが実行中か終了状態にあるかとは無関係ですので, データ書込み / 消去が成功したか失敗したかの判定が可能です。すなわち, このフラグが "1" を出力したとき, データボーリング機能もしくはトグルビット機能により自動アルゴリズムがまだ実行中であれば, データ書込みが失敗していると判断することができます。

例えば, "0" が書き込まれているフラッシュメモリアドレスに "1" を書き込もうとするとフェイルが発生します。この場合, フラッシュメモリはロックされ, 自動アルゴリズムは終了しません。まれに "1" が書き込めたように, 正常終了する場合もあります。したがって, データボーリングフラグから有効なデータが出力されません。また, トグルビットフラグはトグル動作を中止せず, タイムリミットを超え, タイミングリミット超過フラグは "1" を出力します。この状態はフラッシュメモリが不良ではなく, 正しく使用されなかったということを表しています。この状態が発生したときは, リセットコマンドを実行してください。

[bit3] SETIMR: セクタ消去タイマフラグ (DQ3)

セクタ消去タイマフラグは、セクタ消去コマンド起動後、セクタ消去タイムアウト期間中であるかどうかを知らせるフラグです。

- データ書込み、チップ / セクタ消去時:
セクタ消去コマンド起動後にリードアクセスすると、フラッシュメモリはコマンドを発行したセクタのアドレス信号の指す番地にアクセスせず、セクタ消去タイムアウト期間中であれば "0" を、セクタ消去タイムアウト期間を超えてしまっている場合は "1" を出力します。
データボーリング機能やトグルビット機能により消去アルゴリズムが実行中を示している場合、このフラグが "1" であれば内部で制御される消去が始まっています。続けてのセクタ消去コードの書込み、または消去一時停止以外のコマンドは、消去が終了されるまで無視されます。
このフラグが "0" であればフラッシュメモリは、追加のセクタ消去コードの書込みを受け付けます。このことを確認するために、続くセクタ消去コードを書き込む前にこのフラグの状態をチェックすることをお勧めします。もし 2 回目の状態チェックで "1" であったなら追加セクタの消去コードは受け付けられてない可能性があります。
- セクタ消去動作時:
セクタ消去一時停止中にリードアクセスすると、フラッシュメモリはアドレスの指す番地が消去中のセクタに属するならば "1" を出力します。消去中のセクタに属さないのであれば、アドレスの指す番地の読出し値の bit3 (DATA:3) を出力します。

[bit2] TOGGL2: トグルビットフラグ 2 (DQ2)

このトグルビットフラグ 2 (DQ2) は bit6 のトグルビットフラグ (DQ6) に加えて、フラッシュメモリが自動消去動作中であるか、消去一時停止中であるかをトグルビット機能によって知らせるためのフラグです。

- データ書込み、チップ / セクタ消去時:
トグルビットフラグ (DQ6) と同様のトグル動作をします。
- セクタ消去一時停止時:
フラッシュメモリが消去一時停止中で読出しモードならば、消去一時停止しているセクタから連続して読出しを行うと、bit2 はトグル動作をします。
消去一時停止中でデータ書込みの自動アルゴリズム実行中のときは、消去一時停止していないセクタのアドレスから連続して読出しを行うと、bit2 は "1" が読み出されます。
トグルビットフラグ (DQ6) は bit2 と異なり、通常の手書き込み、消去、または消去一時停止手書き込み動作中にのみトグル動作をします。

< 参考 >

bit2 と bit6 は、消去一時停止読出しモードを検出するために同時に使われます (bit2 はトグル動作をするが bit6 はトグル動作をしない)。さらに bit2 は消去しているセクタの検出にも使われます。フラッシュメモリが消去動作のときは、bit2 は消去しているセクタからの読出しならばトグル動作をします。

21.5 フラッシュメモリ書込み / 消去の詳細説明

自動アルゴリズムを起動するコマンドを発行し、フラッシュメモリにリセット、データ書込み、チップ消去、セクタ消去、セクタ消去一時停止、およびセクタ消去再開のそれぞれの動作を行う手順を説明します。

■ フラッシュメモリ書込み / 消去の概要

フラッシュメモリは、コマンドシーケンスの書込みを行うことで以下の自動アルゴリズムを実行することが可能です。

- リセット
- データ書込み
- チップ消去
- セクタ消去
- セクタ消去一時停止
- セクタ消去再開
- 連続モード

それぞれのパスへのライトサイクルは必ず続けて行う必要があります。また、自動アルゴリズムはデータポーリング機能などで終了時を確認できます。正常終了時は読出し / リセット状態に戻ります。

21.5.1 読出し / リセット状態

リセットコマンドを発行し、フラッシュメモリを読出し / リセット状態にする手順について説明します。

■ フラッシュメモリのリセット方法

フラッシュメモリを読出し / リセット状態にするには、コマンドシーケンス表のリセットコマンドをフラッシュメモリ内の対象セクタに続けて送ることで実行可能です。

リセットコマンドには 1 回と 3 回の書込みを行う 2 とおりのコマンドシーケンスがありますが、これらに本質的な違いはありません。

読出し / リセット状態はフラッシュメモリの初期状態であり、電源投入時、コマンドの正常終了時は常に読出し / リセット状態になります。読出し / リセット状態はほかのコマンドの入力待ち状態です。

読出し / リセット状態では通常のリードアクセスでデータを読み出せます。マスク ROM と同様に CPU からのプログラムアクセスが可能です。通常、データ読出しにこのコマンドは必要ありません。何らかの理由でコマンドが正常に終了しなかったときなど、自動アルゴリズムを初期化する場合に、このコマンドを使用します。

21.5.2 データ書込み

書込みコマンドを発行し、フラッシュメモリにデータ書込みを行う手順について説明します。

■ フラッシュメモリのデータ書込み方法

フラッシュメモリのデータ書込みの自動アルゴリズムを起動するには、コマンドシーケンス表のデータ書込みコマンドをフラッシュメモリ内の対象セクタに続けて送ることによって実行可能です。

4 サイクル目に目的のアドレスとデータの書込みが終了した時点で、自動アルゴリズムが起動されてデータ書込みが開始されます。

■ アドレス指定方法

書込みデータサイクルの中で指定する書込みアドレスは、偶数アドレスのみが可能です。奇数アドレスを指定すると正しく書き込むことができません。すなわち、偶数アドレスへのハーフワード単位での書込みが必要となります。

書込みはどのようなアドレスの順番でも、また、セクタの境界を越えても可能ですが、1 回のデータ書込みコマンドによって書き込まれたデータは 1 ハーフワード (16 ビット) のみです。

■ データ書込み上の注意

データ書込みによって、データ "0" をデータ "1" に戻すことはできません。

データ "0" にデータ "1" を書き込むと、データポーリングアルゴリズムまたはトグル動作が終了せず、フラッシュメモリ素子が不良と判定され、書込み規定時間を超えてタイミングリミット超過フラグがエラーと判定するか、あるいは見かけ上データ "1" が書き込まれたように見えるかのどちらかとなります。ただし、読出し / リセット状態でデータを読み出すとデータは "0" のままです。消去動作のみが "0" データを "1" にすることができます。

データ書込みの自動アルゴリズム実行中はすべてのコマンドが無視されます。データ書込み中にハードウェアリセットが起動されると、書き込んでいるアドレスのデータは保証されませんので注意してください。

■ フラッシュメモリ書込み手順

図 21.5-1 に、フラッシュメモリ書込みの手順の例を示します。

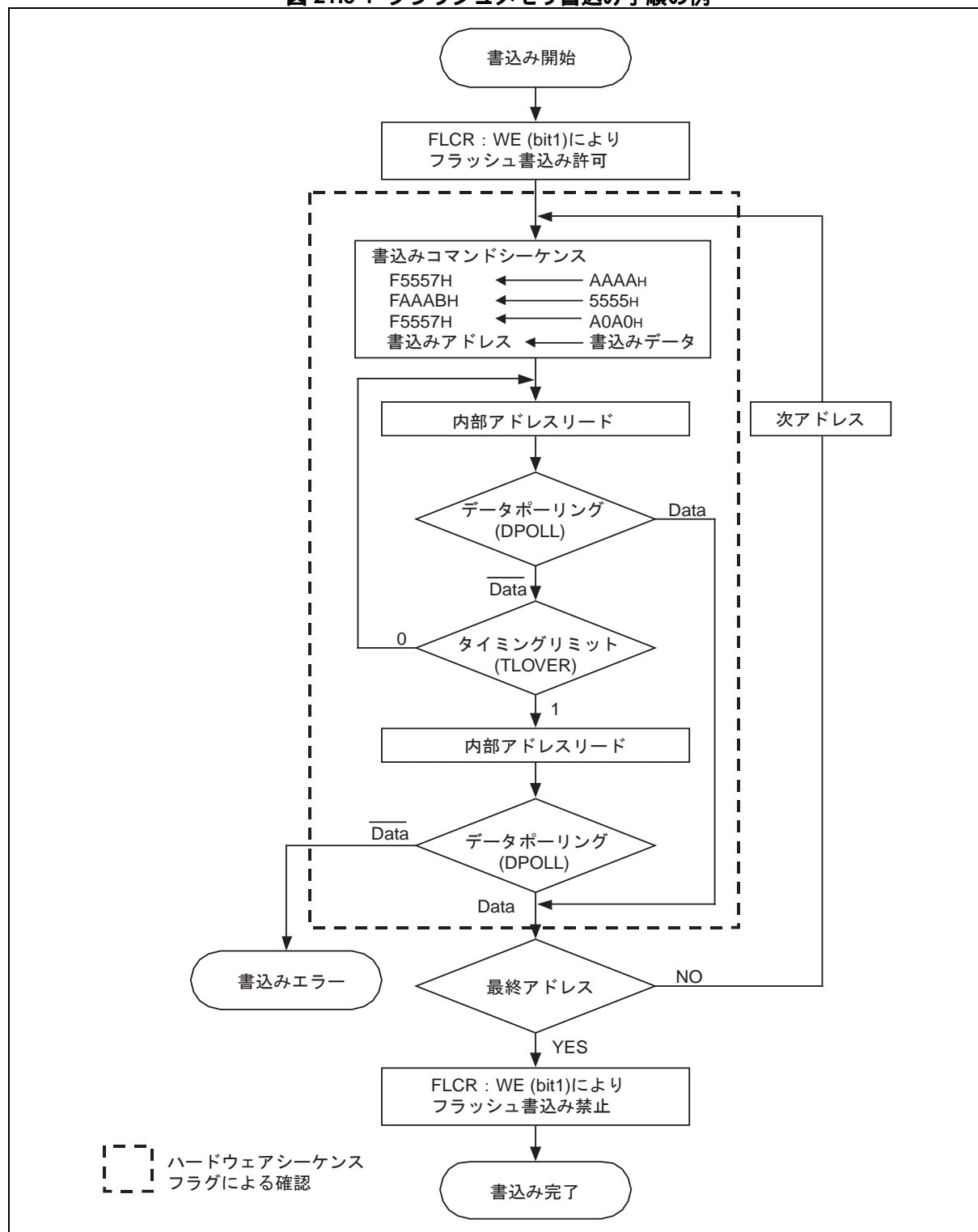
ハードウェアシーケンスフラグを用いることでフラッシュメモリ内部の自動アルゴリズムの状態判別が可能です。ここでは、データ書込み終了の確認にデータポーリングフラグ (DQ7) を用いています。

フラグチェックのために読み出すデータは最後に書込みを行ったアドレスからの読出しとなります。

データポーリングフラグ (DQ7) は、タイミングリミット超過フラグ (DQ5) とほぼ同時にスキューを持って変わるので、たとえタイミングリミット超過フラグ (DQ5) が "1" であってもデータポーリングフラグビット (DQ7) は再チェックする必要があります。

トグルビットフラグ (DQ6) も同様にタイミングリミット超過フラグビット (DQ5) が "1" に変わるとほぼ同時にスキューを持ってトグル動作を止めるので、トグルビットフラグ (DQ6) を再チェックする必要があります。

図 21.5-1 フラッシュメモリ書込み手順の例



21.5.3 データ消去 (チップ消去)

チップ消去コマンドを発行し、フラッシュメモリの全データ消去を行う手順について説明します。

■ フラッシュメモリのデータ消去 (チップ消去) 方法

フラッシュメモリからすべてのデータを消去するには、コマンドシーケンス表のチップ消去コマンドをフラッシュメモリ内の対象セクタに続けて送ることで実行可能です。

チップ消去コマンドは 6 回の書込みで行われます。

6 サイクル目の書込みが完了した時点でチップ消去動作が開始します。チップ消去では、消去前にユーザがフラッシュメモリにデータ書込みを行う必要はありません。チップ消去の自動アルゴリズム実行中には、フラッシュメモリは自動的にすべてのセルを消去する前に "0" を書き込んで検証します。

21.5.4 データ消去 (セクタ消去)

セクタ消去コマンドを発行し、フラッシュメモリの任意のセクタ消去を行う手順について説明します。セクタごとの消去が可能であり、複数のセクタを同時に指定することも可能です。

フラッシュメモリの任意のセクタを消去するためには、コマンドシーケンス表のセクタ消去コマンドをフラッシュメモリ内の対象セクタに続けて送ることで実行可能です。

■ セクタ指定方法

セクタ消去コマンドは 6 回の書込み動作で行われます。6 サイクル目に目的のセクタ内のアクセス可能な任意の 1 アドレスへセクタ消去コード (3030_H) を書き込むことにより、最短で 50 μ s のセクタ消去タイムアウトが開始されます。

複数のセクタ消去を行う場合は、上記の処理に引き続き消去する目的のセクタ内のアドレスに消去コード (3030_H) を書き込みます。

■ 複数のセクタを指定するときの注意

最後のセクタ消去コードの書込みから最短で 50 μ s のセクタ消去タイムアウト期間終了により消去が開始されます。すなわち、複数のセクタを同時に消去する場合は、次の消去セクタのアドレスと消去コード (コマンドシーケンス 6 サイクル目) をそれぞれ 50 μ s 以内に入力する必要があるため、それ以降では受け付けられないことがあります。

続くセクタ消去コードの書込みが有効かどうかはセクタ消去タイムフラグ (DQ3) によって調べることができます。このとき、セクタ消去コマンドをリードするアドレスは、消去しようとしているセクタを指すようにします。

■ セクタ消去手順

ハードウェアシーケンスフラグを用いることでフラッシュメモリ内部の自動アルゴリズムの状態判別が可能です。図 21.5-2 に、フラッシュメモリセクタ消去の手順の例を示します。

ここでは、セクタ消去の自動アルゴリズム終了の確認にトグルビットフラグ (DQ6) を用いています。

フラグチェックのために読み出すデータは、消去しようとしているセクタからの読出しとなりますので注意が必要です。

トグルビットフラグ (DQ6) は、タイミングリミット超過フラグ (DQ5) が "1" に変わるのとほぼ同時にスキューを持ってトグル動作を止めるので、たとえタイミングリミット超過フラグ (DQ5) が "1" であってもトグルビットフラグ (DQ6) は再チェックする必要があります。

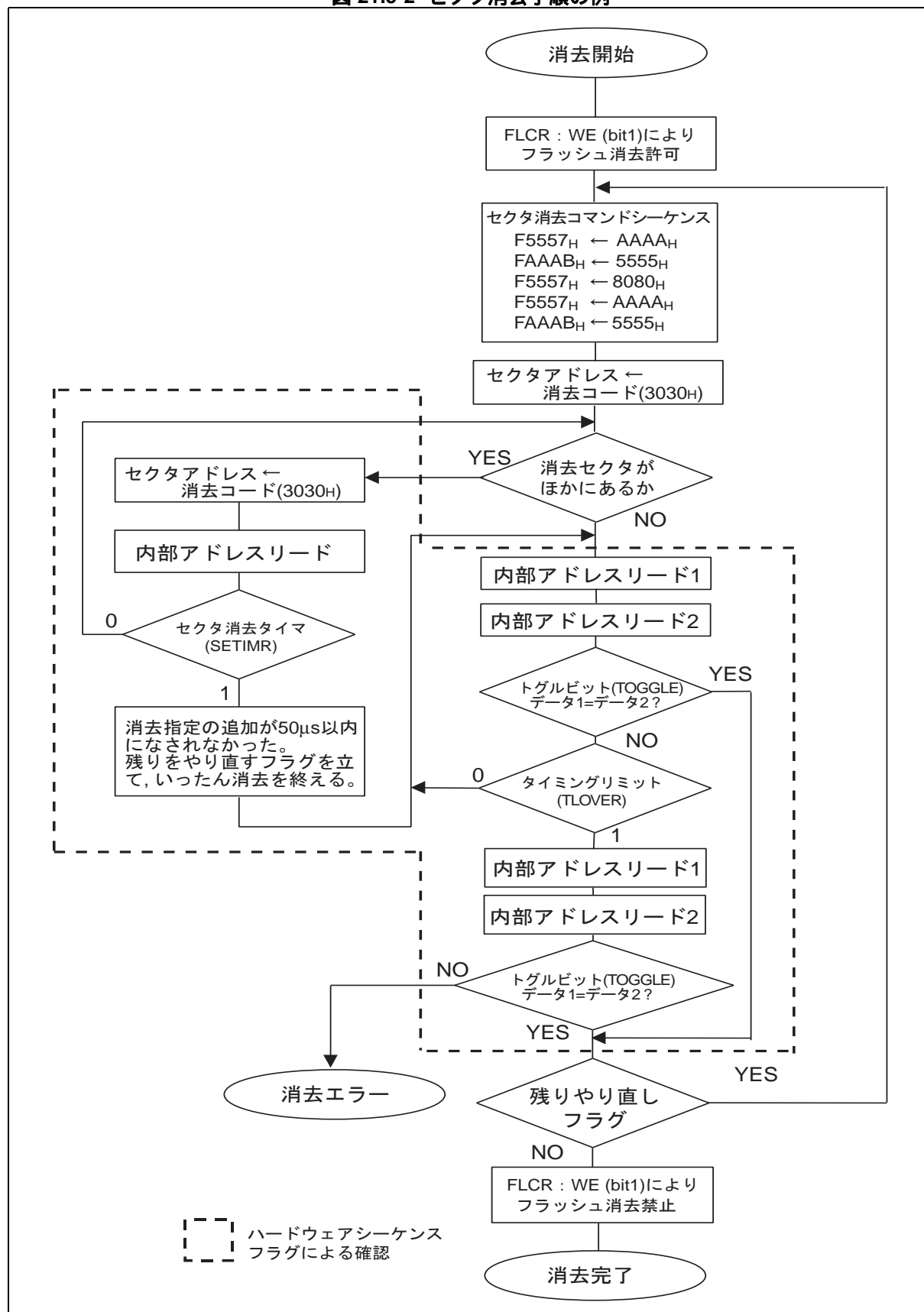
データポーリングフラグ (DQ7) も同様に、タイミングリミット超過フラグ (DQ5) とほぼ同時にスキューを持って変わるので、データポーリングフラグ (DQ7) を再チェックする必要があります。

■ データポーリングフラグ (DQ7) の制約事項

本シリーズでは、機能上の制約により、セクタ消去コマンド発行後にデータポーリングフラグ (DQ7) は $50\mu\text{s}$ ~ $160\mu\text{s}$ の期間 "1" を示してから、"0" に変化します。セクタ消去が終了するとデータポーリングフラグ (DQ7) は "1" を示します。

セクタ消去のときのデータポーリングフラグ (DQ7) の制約事項の内容と回避方法については「21.6 データポーリングフラグ (DQ7) の制約事項と回避方法」を参照してください。

図 21.5-2 セクタ消去手順の例



21.5.5 セクタ消去一時停止

セクタ消去一時停止コマンドを発行し、セクタ消去の一時停止を行う手順について説明します。消去中でないセクタからデータを読み出すことが可能です。

■ フラッシュメモリのセクタ消去一時停止方法

フラッシュメモリのセクタ消去を一時停止するには、フラッシュメモリ内に表 21.4-1 のセクタ消去一時停止コマンドを送ることで実行可能です。

セクタ消去の一時停止コマンドは、セクタ消去中に、消去を一時停止し消去中でないセクタからのデータ読出しを可能にするものです。この状態では読出しのみが可能で書き込みはできません。このコマンドはセクタ消去タイムアウト期間を含むセクタ消去中のみ有効で、チップ消去中やデータ書き込み中は無視されます。

セクタ消去タイムアウト期間中に、セクタ消去一時停止コマンドが入力されると、直ちにセクタ消去タイムアウトを終了し、消去動作を中断して消去停止状態になります。セクタ消去タイムアウト期間後のセクタ消去動作中に消去一時停止コマンドが入力されると、最大 20 μ s の時間の後、消去一時停止状態に入ります。セクタ消去一時停止コマンドは、セクタ消去コマンドまたはセクタ消去再開コマンド発行後、20 μ s 以上後に行ってください。

21.5.6 セクタ消去再開

セクタ消去再開コマンドを発行し、一時停止したセクタ消去を再開する手順について説明します。

■ フラッシュメモリのセクタ消去再開方法

一時停止したセクタ消去を再開させるには、フラッシュメモリ内に表 21.4-1 のセクタ消去再開コマンドを送ることで実行可能です。

セクタ消去再開コマンドは、セクタ消去一時停止コマンドによって一時停止されているセクタ消去を再開するコマンドです。このコマンドは消去再開コード (3030_H) の書込みを行うことで実施されますが、このときのアドレスはフラッシュメモリ領域内の任意のアドレスを指すようにします。

なお、セクタ消去中のセクタ消去再開コマンドの発行は無視されます。

21.5.7 連続モード動作

連続モードコマンドを発行し、フラッシュメモリに連続書込みを行う手順について説明します。

■ 連続モード

連続モードコマンドをフラッシュメモリ領域に連続して書き込むと連続モード状態に遷移します。連続モード中の書込みは、4 回のコマンドシーケンスに代わり 2 回のコマンドシーケンスで行うことができます。また、読出しは通常のリードアクセスでデータを読み出せます。

本モードを終了するには、連続モードリセットコマンドを書き込む必要があります。したがって、本モード中にリセットコマンド (F0F0_H) が書き込まれた場合でも、連続モードから抜けることはありません。

連続モードリセットコマンドが書き込まれると読出し / リセット状態に戻ります。

< 注意事項 >

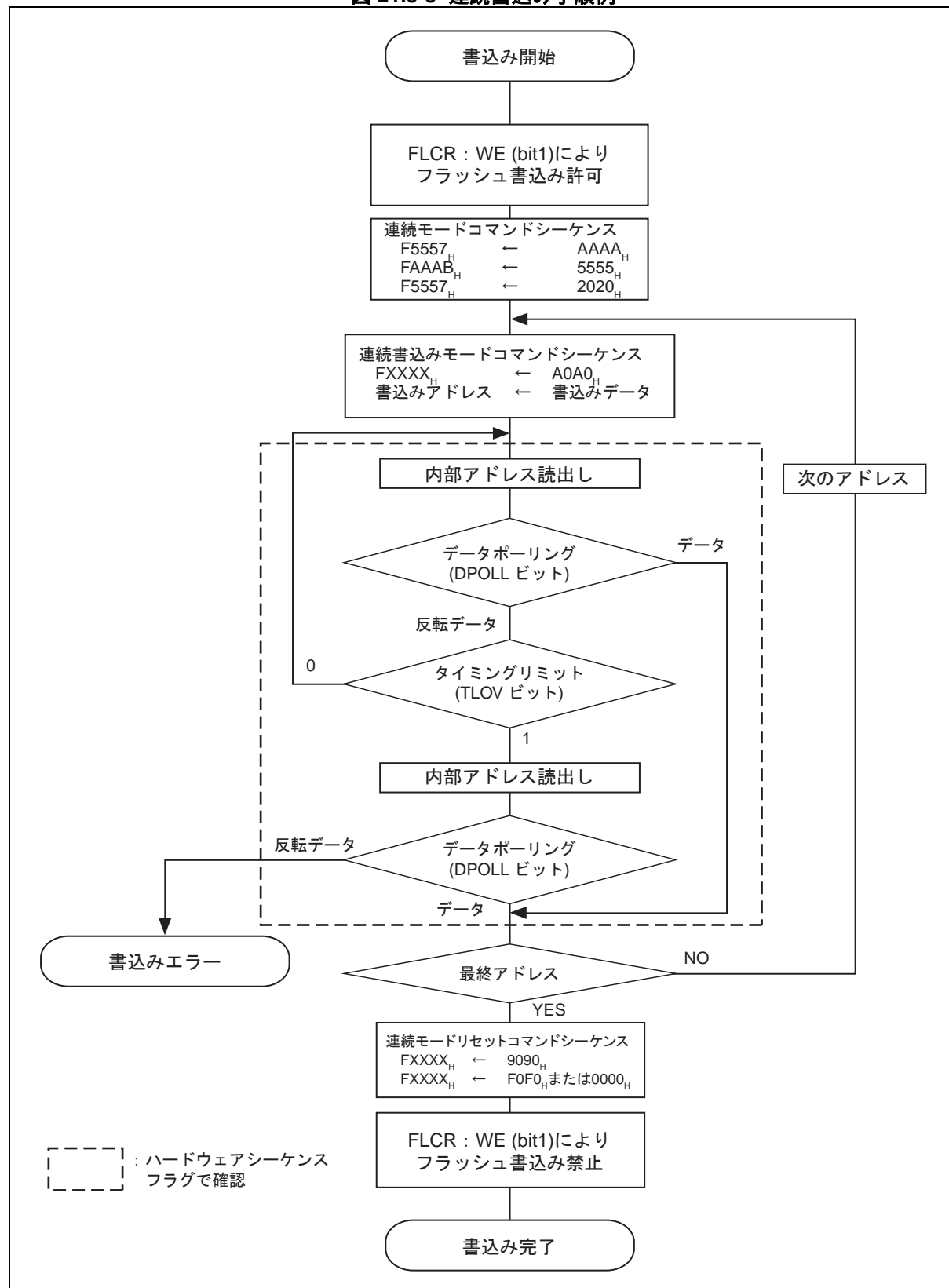
連続モード中は連続書込み / 連続モードリセットコマンド以外のコマンドは書き込まないでください。

■ 連続書込み

連続モード中の書込みは、2 回のコマンドシーケンスで行うことができます。連続モード中に連続書込みコマンドを書き込むことにより自動アルゴリズムが起動されます。本コマンドは、2 回のコマンドシーケンスで行われる以外は通常の書込みと同じ働きをします。

フラッシュメモリへの連続書込み動作例を図 21.5-3 に示します。

図 21.5-3 連続書込み手順例



21.6 データポーリングフラグ (DQ7) の制約事項と回避方法

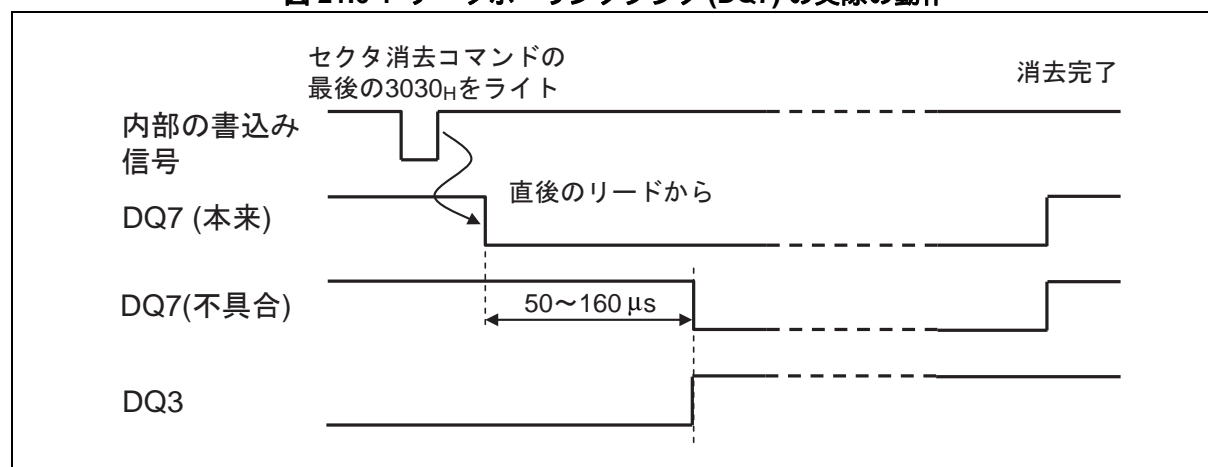
本シリーズでは、セクタ消去時の自動アルゴリズム実行時のデータポーリングフラグ (DQ7) の使用方法に制約があります。本節では、制約事項の内容と回避方法について説明します。

■ 制約事項による不具合内容

データポーリングフラグ (DQ7) は、自動アルゴリズム実行が進行中もしくは終了状態であることを、データポーリング機能によって知らせるためのフラグです。この DQ7 の本来の動作は、図 21.6-1 に示すとおり、自動アルゴリズム起動時にセクタ消去コマンド発行後、"0" を出力し、消去完了後 "1" に戻ります。DQ7 のポーリングアルゴリズムでは、この "1" 出力をもって消去完了を示します。

本シリーズでは、DQ7 はセクタ消去コマンド発行後から 50 ~ 160 μ s の間 "1" を出力し続け、その後に "0" を出力し、消去完了後 "1" に戻ります。このために、セクタ消去のポーリングを、セクタ消去コマンド発行直後の "1" 出力期間内から始めると、実際は消去開始前であるにもかかわらず、消去が完了したように誤判定する可能性があります。セクタ消去コマンド受付後、DQ7 が "1" から "0" になるタイミングは、セクタ消去タイムアウト期間を示すセクタ消去タイマフラグ (DQ3) が "0" から "1" になるタイミングと同じです。

図 21.6-1 データポーリングフラグ (DQ7) の実際の動作



消去が完了したように誤判定した結果、誤判定後の不具合動作の例としては、以下が考えられます。

- (1) CPU が命令 / データをフェッチしようとしてもフラッシュメモリからはシーケンズフラグの値が読み出されるため、正常にプログラムの値が読めず、暴走や異常動作を起こす可能性があります。
- (2) 誤ってセクタ消去完了判定した後、次のコマンドを発行すると、最初のコマンドがキャンセルされて読出し状態に戻ったり、次のコマンドが受け付けられない可能性があります。

■ 不具合の回避方法

以下のいずれかの方法で不具合を回避してください。

● トグルビットフラグ (DQ6) を用いたポーリング

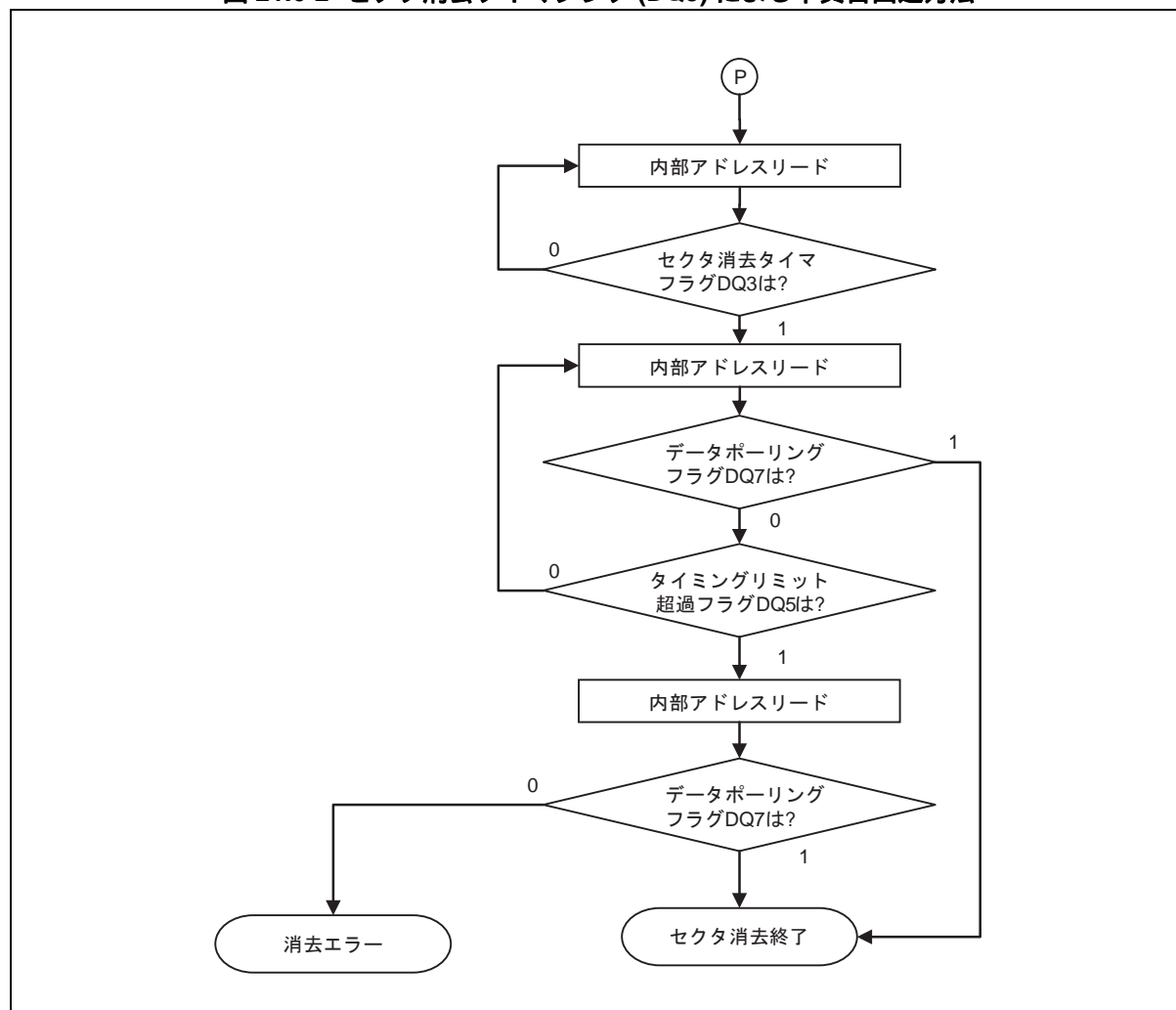
「21.5.4 データ消去 (セクタ消去)」の図 21.5-2 に示しますように、DQ6 を使用して自動アルゴリズムの状態を判定してください。

トグルビットフラグ (DQ6) は、データポーリングフラグ (DQ7) と同様に、主に自動アルゴリズム実行が進行中、もしくは終了状態であることをトグルビット機能によって知らせるためのフラグです。

● セクタ消去タイムアウト期間が過ぎた後で DQ7 のポーリングを開始

セクタ消去コマンド発行後、ソフトウェアにて 160 μ s 以上待つか、DQ3=1 (セクタ消去タイムアウト期間終了) を待ってから DQ7 のポーリングを開始してください。図 21.6-2 に、セクタ消去コマンド発行後に DQ3 を使用した場合の判定方法を示します。

図 21.6-2 セクタ消去タイムフラグ (DQ3) による不具合回避方法

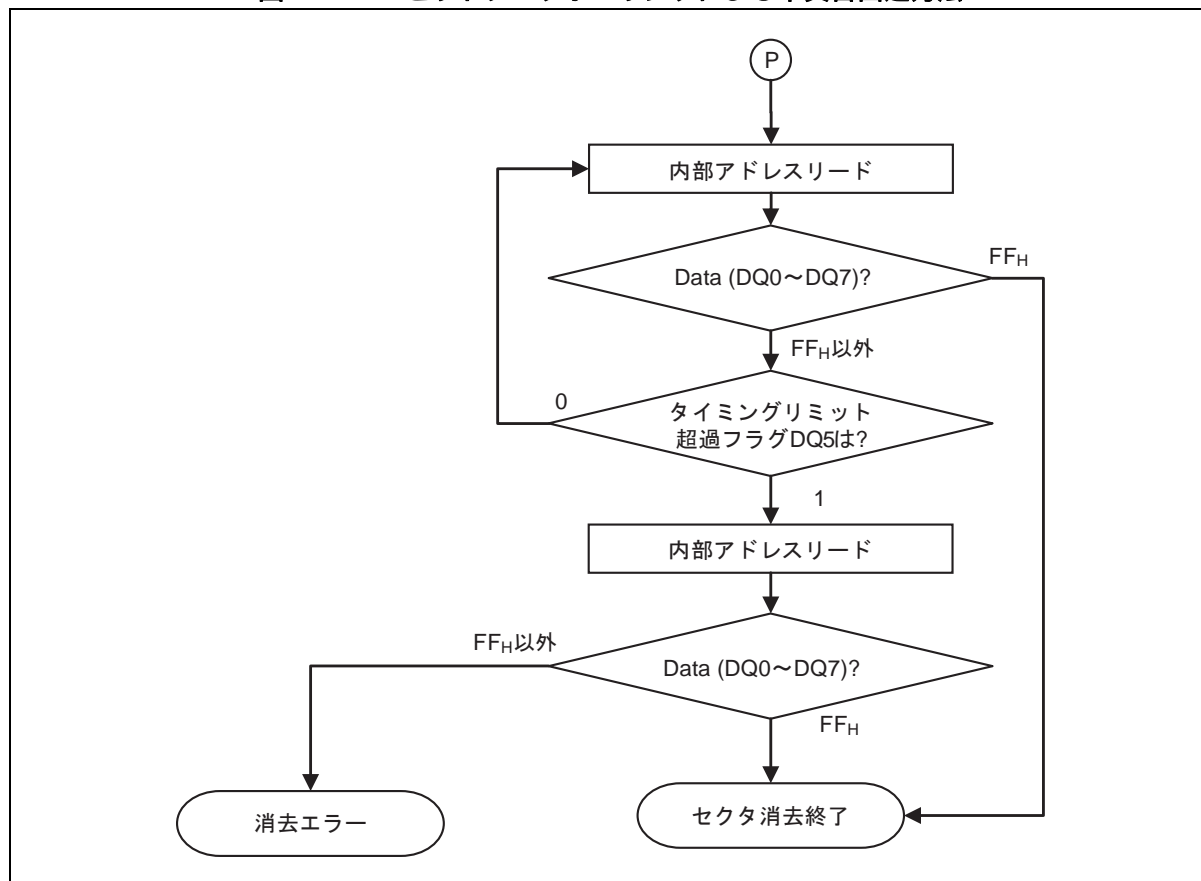


● ハードウェアシーケンスフラグの 8 ビットを使用したデータポーリング

DQ7 だけのポーリングを使って判定する代わりに、ハードウェアシーケンスフラグの 8 ビットを使ったデータポーリングによって判定してください。

図 21.6-3 に、セクタ消去コマンド発行後に 8 ビットデータポーリングを使用した場合の判定方法を示します。

図 21.6-3 8 ビットデータポーリングによる不具合回避方法



21.7 フラッシュメモリプログラミングの注意事項

フラッシュメモリへのプログラミングについての注意事項について説明します。

■ フラッシュメモリプログラミングの注意事項

プログラムを用いてフラッシュメモリを書き換える場合、下記の行為をしないようにしてください。

- フラッシュメモリのデータ書込み中にリセットが発生すると、リセット発生時に書き込んでいる内容は保証されません。
- FR-CPU プログラミングモード中 (FLCR レジスタの WE=1) には、フラッシュメモリ上のプログラムを実行しないでください。さらに、同じ条件で、フラッシュメモリ上に割込みベクタテーブルがある場合は、割込みを発生させないようにしてください。いずれの場合も、正常な値をフラッシュメモリから取り出せずにプログラムが暴走します。
- フラッシュメモリに対するデータ書込み終了の確認は、RDY フラグだけではなく、トグルビットフラグ (TOGGLE, DQ6) も確認してください。
フラッシュメモリが不良の場合、データ書込みの自動アルゴリズム終了を示す RDY フラグがセットされませんので、RDY フラグだけを参照すると、プログラムが無限ループに陥ります。
- FR-CPU プログラミングモード中 (FLCR レジスタの WE=1) には低消費電力モードには遷移しないようにしてください。
- FLCR レジスタの WE=0 の状態でフラッシュメモリへのライトアクセスを行わないでください。
- FLCR レジスタの WE=1 の状態でフラッシュメモリに対してのライト連続アクセスを行わないでください。その場合、必ず "NOP"2 命令以上空けるようにしてください。

```
ldi  #0xAAAA,    r0
ldi  #0x5555,    r1
ldi  #0xF5557,   r6
ldi  #0xFAAAB,   r7
ldi  #0xA0A0,    r8
ldi  # PA,        r2
ldi  # PD,        r3
```

```
NOP          // 必ず "NOP"2 命令以上空けてください。
```

- ```
lduh @r3,r4 // ポーリングデータ読出し
```





# 第22章

---

## シリアル書込み接続

シリアル書込み基本構成，シリアルオンボード書込みに使用する端子，シリアル書込み接続例，およびフラッシュマイコンプログラマシステム構成について説明します。

### 22.1 シリアル書込み接続の概要

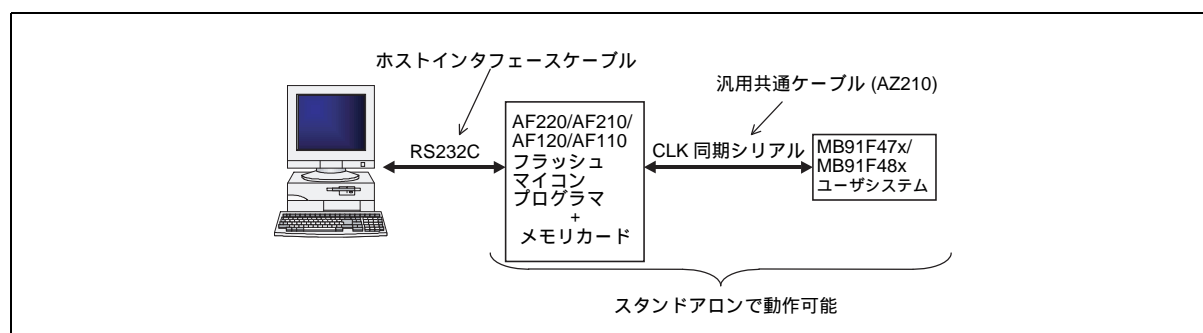
## 22.1 シリアル書込み接続の概要

MB91F47x/MB91F48x ではフラッシュ ROM のシリアルオンボード書込み (富士通標準) をサポートしています。その仕様について説明します。

### ■ シリアル書込み基本構成

富士通標準シリアルオンボード書込みには、横河デジタルコンピュータ製 AF220/AF210/AD120/AF110 フラッシュマイコンプログラマを使用します。シングルチップモードで動作するプログラムで書き込むことができます。シングルチップモードで動作するプログラム、あるいは内ROM 外バスモードで動作するプログラムのどちらかを選択して書き込むことができます。図 22.1-1 に MB91F47x/MB91F48x シリアル書込み接続の基本構成について示します。

図 22.1-1 シリアル書込み基本構成



#### < 注意事項 >

AF210 フラッシュマイコンプログラマの機能・操作方法および接続用汎用共通ケーブル (AZ210)、コネクタにつきましては、横河デジタルコンピュータにお問い合わせください。

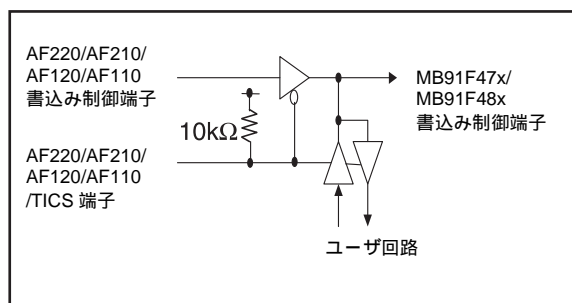
## ■ 富士通標準シリアルオンボード書き込みに使用する端子

表 22.1-1 富士通標準シリアルオンボード書き込み用端子一覧

| 端子                  | 機能            | 補足説明                                                                                            |
|---------------------|---------------|-------------------------------------------------------------------------------------------------|
| MD2,<br>MD1,<br>MD0 | モード端子         | 書き込みモードに制御します。<br>フラッシュシリアル書き込みモード：MD2, MD1, MD0=1, 0, 0<br>参考：シングルチップモード：MD2, MD1, MD0=0, 0, 0 |
| P80, P81            | 書き込みプログラム起動端子 | P80 に "L" レベル, P81 に "H" レベルを入力してください。<br>< 参考 > P80="L", P81="L" の場合, 非同期 UART モード             |
| INITX               | リセット端子        | -                                                                                               |
| SIN0                | シリアルデータ入力端子   | UART の ch.0 リソースをクロック同期モードとして使用します。                                                             |
| SOT0                | シリアルデータ出力端子   |                                                                                                 |
| SCK0                | シリアルクロック入力端子  |                                                                                                 |
| VCC                 | 電源電圧供給端子      | 書き込み電圧をユーザシステムから供給してください。接続時にはユーザ側の電源と短絡しないようにしてください。                                           |
| VSS                 | GND 端子        | フラッシュマイコンプログラムの GND と共通にします。                                                                    |

## &lt; 注意事項 &gt;

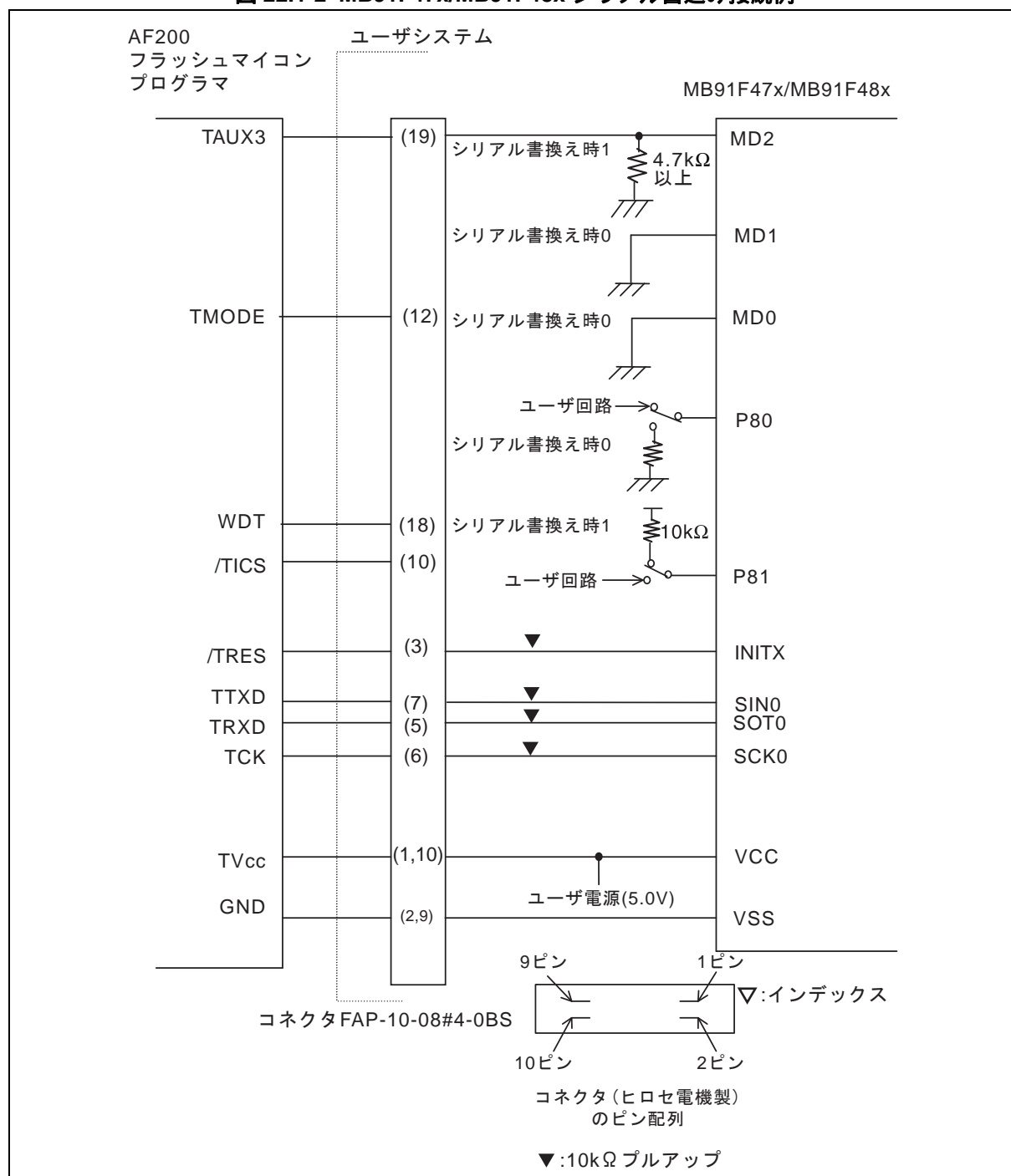
- P80, P81, SIN0, SOT0, SCK0 端子をユーザシステムでも使用する場合には, 下図の制御回路が必要となります (フラッシュマイコンプログラムの /TICS 信号により, シリアル書き込み中はユーザ回路を切り離すことができます)。



- AF200 との接続はユーザ電源が OFF の状態で行ってください。

■ シリアル書き込み接続例

図 22.1-2 MB91F47x/MB91F48x シリアル書き込み接続例



< 注意事項 >

接続例記載のプルアップ / プルダウン抵抗値は一例です。お客様のシステムに合わせて最適な抵抗値を選択してください。

## MB91470/480 シリーズ

### ■ AF200 フラッシュマイコンプログラマ システム構成 (横河デジタルコンピュータ製)

| 型格    |             | 機能                                              |
|-------|-------------|-------------------------------------------------|
| 本体    | AF220 /AC4P | イーサネットインタフェースモデル /100V ~ 220V 電源アダプタ            |
|       | AF210 /AC4P | スタンダードモデル /100V ~ 220V 電源アダプタ                   |
|       | AF120 /AC4P | 単キーイーサネットインタフェースモデル /100V ~ 220V 電源アダプタ         |
|       | AF110 /AC4P | 単キーモデル /100V ~ 220V 電源アダプタ                      |
| AZ221 |             | ライター専用 PC-AT 用 RS232C ケーブル                      |
| AZ210 |             | 標準ターゲットプローブ (a) 長さ : 1 m                        |
| FF201 |             | 富士通製 FR フラッシュマイコン用コントロールモジュール                   |
| AZ290 |             | リモートコントローラ                                      |
| /P4   |             | 4 M バイト PC Card (Option) フラッシュメモリ容量 512 K バイトまで |

問合せ先：横河デジタルコンピュータ株式会社      電話：042-333-6245

### ■ 原発振クロック周波数について

フラッシュメモリ書込み時に使用可能な原発振クロックは 10MHz または 20MHz となっております。

### ■ その他の注意事項

シリアルライターを用いた場合のフラッシュメモリ書込み時のポート状態は、書込みに使用している端子を除き、リセット状態と同じです。



# 第23章

---

## ワイルドレジスタ制御部

ワイルドレジスタ制御部のレジスタの構成と機能  
およびタイマの動作について説明します。

- 23.1 ワイルドレジスタ制御部の概要
- 23.2 ワイルドレジスタ制御部のレジスタ
- 23.3 ワイルドレジスタ制御部の動作
- 23.4 制限および注意事項



## 23.1 ワイルドレジスタ制御部の概要

ワイルドレジスタ機能は、アドレスレジスタに設定したパッチ対象アドレスのデータをデータレジスタに設定したデータとの置換えを行います。

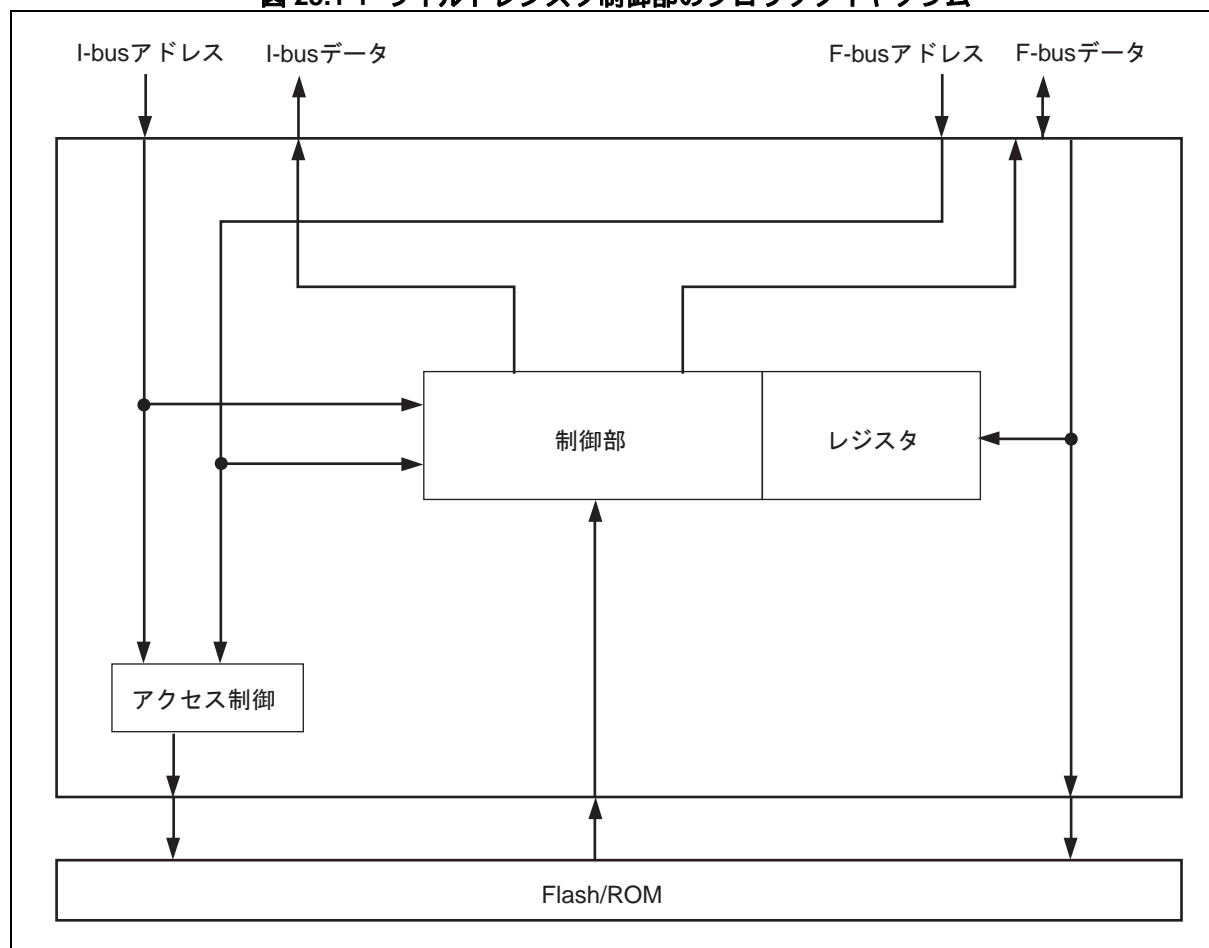
### ■ ワイルドレジスタ制御部の概要

制御レジスタ 1 個、アドレス設定レジスタ 16 個、データ設定レジスタ 16 個の計 33 個のレジスタから構成されています。

置換え可能な対象アドレスの範囲は、内蔵 Flash/ROM 領域のみとなります。

### ■ ワイルドレジスタ制御部のブロックダイアグラム

図 23.1-1 ワイルドレジスタ制御部のブロックダイアグラム



## 23.2 ワイルドレジスタ制御部のレジスタ

ワイルドレジスタ制御部で使用するレジスタの構成と機能について説明します。

## ■ ワイルドレジスタ制御部のレジスタ一覧

図 23.2-1 ワイルドレジスタ制御部のレジスタ一覧

|                        | bit 31 | 24 23 | 16 15 | 8 7 | 0 |
|------------------------|--------|-------|-------|-----|---|
| 0000 7020 <sub>H</sub> | WREN   |       |       |     |   |
| 0000 7030 <sub>H</sub> | WA00   |       |       |     |   |
| 0000 7034 <sub>H</sub> | WD00   |       |       |     |   |
| 0000 7038 <sub>H</sub> | WA01   |       |       |     |   |
| 0000 703C <sub>H</sub> | WD01   |       |       |     |   |
| 0000 7040 <sub>H</sub> | WA02   |       |       |     |   |
| 0000 7044 <sub>H</sub> | WD02   |       |       |     |   |
| 0000 7048 <sub>H</sub> | WA03   |       |       |     |   |
| 0000 704C <sub>H</sub> | WD03   |       |       |     |   |
| 0000 7050 <sub>H</sub> | WA04   |       |       |     |   |
| 0000 7054 <sub>H</sub> | WD04   |       |       |     |   |
| 0000 7058 <sub>H</sub> | WA05   |       |       |     |   |
| 0000 705C <sub>H</sub> | WD05   |       |       |     |   |
| 0000 7060 <sub>H</sub> | WA06   |       |       |     |   |
| 0000 7064 <sub>H</sub> | WD06   |       |       |     |   |
| 0000 7068 <sub>H</sub> | WA07   |       |       |     |   |
| 0000 706C <sub>H</sub> | WD07   |       |       |     |   |
| 0000 7070 <sub>H</sub> | WA08   |       |       |     |   |
| 0000 7074 <sub>H</sub> | WD08   |       |       |     |   |
| 0000 7078 <sub>H</sub> | WA09   |       |       |     |   |
| 0000 707C <sub>H</sub> | WD09   |       |       |     |   |
| 0000 7080 <sub>H</sub> | WA10   |       |       |     |   |
| 0000 7084 <sub>H</sub> | WD10   |       |       |     |   |
| 0000 7088 <sub>H</sub> | WA11   |       |       |     |   |
| 0000 708C <sub>H</sub> | WD11   |       |       |     |   |
| 0000 7090 <sub>H</sub> | WA12   |       |       |     |   |
| 0000 7094 <sub>H</sub> | WD12   |       |       |     |   |
| 0000 7098 <sub>H</sub> | WA13   |       |       |     |   |
| 0000 709C <sub>H</sub> | WD13   |       |       |     |   |
| 0000 70A0 <sub>H</sub> | WA14   |       |       |     |   |
| 0000 70A4 <sub>H</sub> | WD14   |       |       |     |   |
| 0000 70A8 <sub>H</sub> | WA15   |       |       |     |   |
| 0000 70AC <sub>H</sub> | WD15   |       |       |     |   |

## 23.2.1 ワイルドレジスタ許可レジスタ (WREN)

ワイルドレジスタ許可レジスタ (WREN) は対応する各チャネル (ch.00 ~ ch.15) の置換え機能を許可するレジスタです。

### ■ ワイルドレジスタ許可レジスタ (WREN) のビット構成

|                     |        |        |        |        |        |        |        |        |                       |
|---------------------|--------|--------|--------|--------|--------|--------|--------|--------|-----------------------|
| WREN( 上位 )          |        |        |        |        |        |        |        |        |                       |
| アドレス                | bit31  | bit30  | bit29  | bit28  | bit27  | bit26  | bit25  | bit24  | 初期値                   |
| 007020 <sub>H</sub> | WREN15 | WREN14 | WREN13 | WREN12 | WREN11 | WREN10 | WREN09 | WREN08 | 00000000 <sub>B</sub> |
| 007021 <sub>H</sub> | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    |                       |
| WREN( 下位 )          |        |        |        |        |        |        |        |        |                       |
| アドレス                | bit23  | bit22  | bit21  | bit20  | bit19  | bit18  | bit17  | bit16  | 初期値                   |
| 007020 <sub>H</sub> | WREN07 | WREN06 | WREN05 | WREN04 | WREN03 | WREN02 | WREN01 | WREN00 | 00000000 <sub>B</sub> |
| 007021 <sub>H</sub> | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    |                       |
| R/W : リード / ライト可能   |        |        |        |        |        |        |        |        |                       |

[bit31 ~ bit16] WREN15 ~ WREN00 : 置換え機能許可ビット

対応する各チャネルの置換え機能を許可します。

0 : ワイルドレジスタ機能は無効です。 [ 初期値 ]

1 : ワイルドレジスタ機能が有効です。

#### < 注意事項 >

本レジスタへのアクセスは、必ずハーフワードアクセスで行ってください。

23.2.2     ワイルドレジスタアドレスレジスタ (WA)

ワイルドレジスタアドレスレジスタ (WA) は置換え対象アドレスを設定するレジスタです。

■ ワイルドレジスタアドレスレジスタ (WA) のビット構成

|           |                     |       |                     |       |   |    |    |                              |   |   |   |   |
|-----------|---------------------|-------|---------------------|-------|---|----|----|------------------------------|---|---|---|---|
| WA        |                     |       |                     |       |   |    |    |                              |   |   |   |   |
| アドレス :    |                     |       | bit                 | 31    | ~ | 21 | 20 |                              | ~ | 2 | 1 | 0 |
| ch.0      | 007030 <sub>H</sub> | ch.8  | 007070 <sub>H</sub> | -     |   |    |    | A20 ~ A2                     |   |   |   | - |
| ch.1      | 007038 <sub>H</sub> | ch.9  | 007078 <sub>H</sub> |       |   |    |    |                              |   |   |   |   |
| ch.2      | 007040 <sub>H</sub> | ch.10 | 007080 <sub>H</sub> |       |   |    |    |                              |   |   |   |   |
| ch.3      | 007048 <sub>H</sub> | ch.11 | 007088 <sub>H</sub> |       |   |    |    |                              |   |   |   |   |
| ch.4      | 007050 <sub>H</sub> | ch.12 | 007090 <sub>H</sub> |       |   |    |    |                              |   |   |   |   |
| ch.5      | 007058 <sub>H</sub> | ch.13 | 007098 <sub>H</sub> |       |   |    |    |                              |   |   |   |   |
| ch.6      | 007060 <sub>H</sub> | ch.14 | 0070A0 <sub>H</sub> |       |   |    |    |                              |   |   |   |   |
| ch.7      | 007068 <sub>H</sub> | ch.15 | 0070A8 <sub>H</sub> |       |   |    |    |                              |   |   |   |   |
| リード / ライト |                     |       |                     | -     |   |    |    | R/W                          |   |   |   | - |
| 初期値       |                     |       |                     | ----- |   |    |    | ---XXXX XXXXXXXXXX XXXXXXX-- |   |   |   |   |

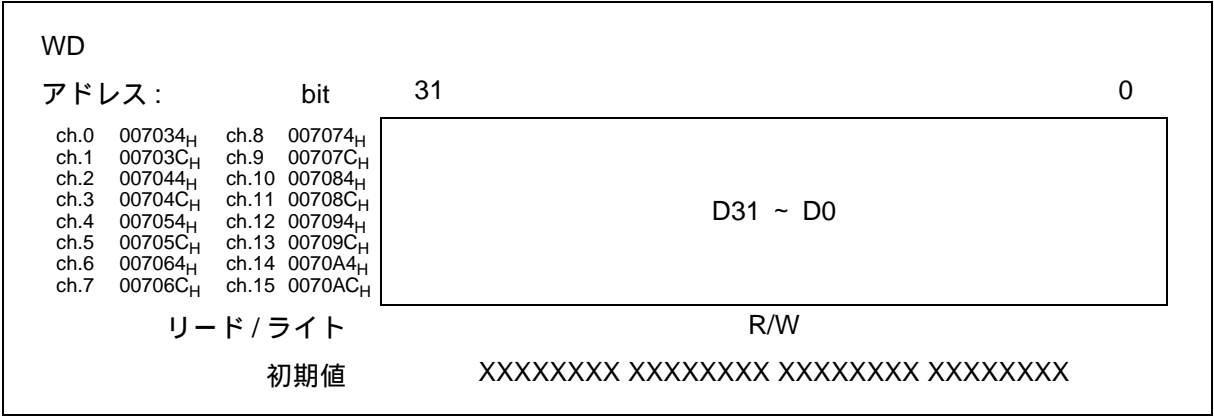
- [bit31 ~ bit21]   Reserved : 予約ビット  
                  予約ビットです。必ず "0" を設定してください。
- [bit20 ~ bit2]   A20 ~ A2 : 置換え対象アドレス設定ビット  
                  置換え対象アドレスを設定してください。
- [bit1, bit0]   Reserved : 予約ビット  
                  予約ビットです。必ず "0" を設定してください。

- < 注意事項 >
- 本レジスタへのアクセスは、必ずワードアクセスで行ってください。
  - 置換え対象アドレスは内蔵 Flash/ROM 領域のみです。したがって、A20 ~ A2 には Flash/ROM 領域内のアドレスを設定してください。

23.2.3      ワイルドレジスタデータレジスタ (WD)

ワイルドレジスタデータレジスタ (WD) は置換えデータを設定するレジスタです。

■ ワイルドレジスタデータレジスタ (WD) のビット構成



[bit31 ~ bit0] D31 ~ D0 : 置換えデータ設定ビット  
置換えデータを設定してください。

< 注意事項 >  
本レジスタへのアクセスは , 必ずワードアクセスで行ってください。

## 23.3 ワイルドレジスタ制御部の動作

ワイルドレジスタ制御部の動作について説明します。

### ■ ワイルドレジスタ制御部の動作

ワイルドレジスタ機能は、WDx へ設定した任意のデータへ置換えを行います。各チャンネルに対応する置換えデータ / レジスタは、表 23.3-1 のようになります。

表 23.3-1 置換えデータ / レジスタ

| チャンネル               | 置換えデータ / レジスタ  |                |               |              |
|---------------------|----------------|----------------|---------------|--------------|
|                     | アドレス +0        | アドレス +1        | アドレス +2       | アドレス +3      |
| ch.x<br>(x=00 ~ 15) | WDx(D31 ~ D24) | WDx(D23 ~ D16) | WDx(D15 ~ D8) | WDx(D7 ~ D0) |

## 23.4 制限および注意事項

---

ワイルドレジスタ制御部の制限および注意事項を示します。

---

### ■ ワイルドレジスタ許可レジスタ (WREN)

本レジスタへのアクセスは、必ずハーフワードアクセスで行ってください。

### ■ ワイルドレジスタアドレスレジスタ (WA)

- 本レジスタへのアクセスは、必ずワードアクセスで行ってください。
- 置換え対象アドレスは内蔵 Flash/ROM 領域のみです。したがって、A20 ~ A2 には Flash/ROM 領域内のアドレスを設定してください。

### ■ ワイルドレジスタデータレジスタ (WD)

本レジスタへのアクセスは、必ずワードアクセスで行ってください。

### ■ 全体

- ワイルドレジスタ機能は、番号の若いレジスタの指定が優先されます (例: ch.0 > ch.1)。
- ワイルドレジスタを設定するプログラムは、内蔵 Flash/ROM 領域以外に配置してください。
- フラッシュメモリ自動アルゴリズム実行中 (FLCR: フラッシュコントロール/ステータスレジスタの RDY(bit3=0)) はワイルドレジスタ機能を有効にしないでください。
- 16 ビット長命令を超える命令 (32/48 ビット長命令) が配置されているアドレスに対して置換データを設定する場合、CPU が正しく命令を解釈せずに誤動作する場合があります。したがって、32/48 ビット長命令が配置されているアドレスに対して置換データを設定する場合、命令の途中で設定しないでください。

各 CPU ステートにおける端子状態，リトルエンディアン領域を利用する際の注意事項，FR ファミリの命令一覧，および MB91470/480 シリーズを使用する際の注意事項について説明します。

付録 A I/O マップ

付録 B 割込みベクタ

付録 C 各 CPU ステートにおける端子状態

付録 D リトルエンディアン領域を利用する際の注意事項

付録 E 命令一覧表

付録 F 使用上の注意



## 付録 A I/O マップ

メモリ空間領域と周辺リソースの各レジスタの対応を示します。

### ■ I/O マップ

図 A-1 表の見方

| アドレス                | レジスタ                    |                         |                         |                         | ブロック                 |
|---------------------|-------------------------|-------------------------|-------------------------|-------------------------|----------------------|
|                     | +0                      | +1                      | +2                      | +3                      |                      |
| 000000 <sub>H</sub> | PDR0 [R/W]B<br>XXXXXXXX | PDR1 [R/W]B<br>XXXXXXXX | PDR2 [R/W]B<br>XXXXXXXX | PDR3 [R/W]B<br>XXXXXXXX | T-unit<br>ポートデータレジスタ |

リード/ライト属性, アクセス単位  
 (B: バイト, H: ハーフワード, W: ワード)

リセット後のレジスタ初期値

レジスタ名 (1 コラムのレジスタが 4n 番地, 2 コラムが 4n + 1 番地...)

最左のレジスタ番地 (ワードでアクセスした際は, 1 コラム目のレジスタがデータの MSB 側となる。)

#### < 注意事項 >

レジスタのビット値は, 以下のように初期値を表します。

"1": 初期値 "1"

"0": 初期値 "0"

"X": 初期値不定

"-": その位置に物理的にレジスタが存在しない

記述されていないデータアクセス属性によるアクセスは禁止です。

## MB91470/480 シリーズ

付表 A-1 I/O マップ (1 / 13)

| アドレス                                            | レジスタ                                   |                                                    |                                                    |                                 | ブロック                                |
|-------------------------------------------------|----------------------------------------|----------------------------------------------------|----------------------------------------------------|---------------------------------|-------------------------------------|
|                                                 | +0                                     | +1                                                 | +2                                                 | +3                              |                                     |
| 000000 <sub>H</sub>                             | PDR0 [R/W] B,H,W<br>XXXXXXXXXX         | PDR1 [R/W] B,H,W<br>XXXXXXXXXX                     | PDR2 [R/W] B,H,W<br>XXXXXXXXXX                     | PDR3 [R/W] B,H,W<br>XXXXXXXXXX  | ポート<br>データ<br>レジスタ                  |
| 000004 <sub>H</sub>                             | PDR5 [R/W] B,H,W<br>-XXXXXXXXX         | PDR6 [R/W] B,H,W<br>-----XX                        | PDR8 [R/W] B,H,W<br>XXXXXXXXXX                     | PDR9 [R/W] B,H,W<br>XXXXXXXXXX  |                                     |
| 000008 <sub>H</sub>                             | PDRA [R/W] B,H,W<br>---XXXXX           | PDRB [R/W] B,H,W<br>XXXXXXXXXX                     | PDRC [R/W] B,H,W<br>XXXXXXXXXX                     | PDRD [R/W] B,H,W<br>----XXXX    |                                     |
| 00000C <sub>H</sub>                             | PDRE [R/W] B,H,W<br>XXXXXXXXXX         | PDRF [R/W] B,H,W<br>XXXXXXXXXX                     | PDRG [R/W] B,H,W<br>--XXXXXX                       | PDRH [R/W] B,H,W<br>--XXXXXX    |                                     |
| 000010 <sub>H</sub>                             | PDRJ [R/W] B,H,W<br>XXXXXXXXXX         | -                                                  | PDRL [R/W] B,H,W<br>----XXX                        | PDRM [R/W] B,H,W<br>----XXXX    |                                     |
| 000014 <sub>H</sub>                             | PDRP [R/W] B,H,W<br>--XXXXXX           | PDRQ [R/W] B,H,W<br>--XXXXXX                       | PDRR [R/W] B,H,W<br>--XXXXXX                       | PDRS [R/W] B,H,W<br>--XXXXXX    |                                     |
| 000018 <sub>H</sub><br>~<br>00003C <sub>H</sub> | -                                      |                                                    |                                                    |                                 | ( 予約 )                              |
| 000040 <sub>H</sub>                             | EIRRO [R/W] B,H,W<br>00000000          | ENIRO [R/W] B,H,W<br>00000000                      | ELVR0 [R/W] B,H,W<br>00000000 00000000             |                                 | 外部割込み<br>(INT0 ~ INT7)              |
| 000044 <sub>H</sub>                             | DICR [R/W] B,H,W<br>-----0             | HRCL [R/W,R]B,H,W<br>0--11111                      | -                                                  |                                 | 遅延割込み /<br>ホールド<br>リクエスト            |
| 000048 <sub>H</sub>                             | TMRLR0 [W] H,W<br>XXXXXXXXXX XXXXXXXXX |                                                    | TMR0 [R] H,W<br>XXXXXXXXXX XXXXXXXXX               |                                 | リロード<br>タイマ 0                       |
| 00004C <sub>H</sub>                             | -                                      |                                                    | TMCSR0 [R/W,R] B,H,W<br>----00----00000            |                                 |                                     |
| 000050 <sub>H</sub>                             | TMRLR1 [W] H,W<br>XXXXXXXXXX XXXXXXXXX |                                                    | TMR1 [R] H,W<br>XXXXXXXXXX XXXXXXXXX               |                                 | リロード<br>タイマ 1                       |
| 000054 <sub>H</sub>                             | -                                      |                                                    | TMCSR1 [R/W,R] B,H,W<br>----00----00000            |                                 |                                     |
| 000058 <sub>H</sub><br>~<br>00005C <sub>H</sub> | -                                      |                                                    |                                                    |                                 | ( 予約 )                              |
| 000060 <sub>H</sub>                             | SSR0 [R/W,R] B,H,W<br>00000011         | ESCR0 [R/W]/<br>IBSR0 [R/W,R]<br>B,H,W<br>00000000 | SCR0 [R/W] /<br>IBCR0 [R/W,R]<br>B,H,W<br>00000000 | SMR0 [R/W] B,H,W<br>000-0000    | マルチ<br>ファンクション<br>シリアルインタ<br>フェース 0 |
| 000064 <sub>H</sub>                             | BGR01[R/W] B,H,W<br>00000000           | BGR00 [R/W] B,H,W<br>00000000                      | RDR0 [R]/<br>TDR0 [W]H,W<br>-----0 00000000        |                                 |                                     |
| 000068 <sub>H</sub>                             | -                                      |                                                    | ISMK0 [R/W] B,H,W<br>01111111                      | ISBA0 [R/W] B,H,W<br>00000000   |                                     |
| 00006C <sub>H</sub>                             | FBYTE02 [R/W] B,H,W<br>00000000        | FBYTE01 [R/W] B,H,W<br>00000000                    | FCR01 [R/W] B,H,W<br>---00100                      | FCR00 [R/W,R] B,H,W<br>-0000000 |                                     |
| 000070 <sub>H</sub>                             | SSR1 [R/W,R] B,H,W<br>00000011         | ESCR1 [R/W]/<br>IBSR1 [R/W,R]<br>B,H,W<br>00000000 | SCR1 [R/W] /<br>IBCR1 [R/W,R]<br>B,H,W<br>00000000 | SMR1 [R/W] B,H,W<br>000-0000    | マルチ<br>ファンクション<br>シリアルインタ<br>フェース 1 |
| 000074 <sub>H</sub>                             | BGR11 [R/W] B,H,W<br>00000000          | BGR10 [R/W] B,H,W<br>00000000                      | RDR1 [R]/<br>TDR1 [W]H,W<br>-----0 00000000        |                                 |                                     |
| 000078 <sub>H</sub>                             | -                                      |                                                    | ISMK1 [R/W] B,H,W<br>01111111                      | ISBA1 [R/W] B,H,W<br>00000000   |                                     |
| 00007C <sub>H</sub>                             | FBYTE12 [R/W] B,H,W<br>00000000        | FBYTE11 [R/W] B,H,W<br>00000000                    | FCR11 [R/W] B,H,W<br>---00100                      | FCR10 [R/W,R] B,H,W<br>-0000000 |                                     |

付表 A-1 I/O マップ (2 / 13)

| アドレス                | レジスタ                                                                    |                                                    |                                                                       |                                    | ブロック                                |
|---------------------|-------------------------------------------------------------------------|----------------------------------------------------|-----------------------------------------------------------------------|------------------------------------|-------------------------------------|
|                     | +0                                                                      | +1                                                 | +2                                                                    | +3                                 |                                     |
| 000080 <sub>H</sub> | SSR2 [R/W,R] B,H,W<br>00000011                                          | ESCR2 [R/W]/<br>IBSR2 [R/W,R]<br>B,H,W<br>00000000 | SCR2 [R/W] /<br>IBCR2 [R/W,R]<br>B,H,W<br>00000000                    | SMR2 [R/W] B,H,W<br>000-0000       | マルチ<br>ファンクション<br>シリアルインタ<br>フェース 2 |
| 000084 <sub>H</sub> | BGR21 [R/W] B,H,W<br>00000000                                           | BGR20 [R/W] B,H,W<br>00000000                      | RDR2 [R]/<br>TDR2 [W]H,W<br>-----0 00000000                           |                                    |                                     |
| 000088 <sub>H</sub> | -                                                                       |                                                    | ISMK2 [R/W] B,H,W<br>01111111                                         | ISBA2 [R/W] B,H,W<br>00000000      |                                     |
| 00008C <sub>H</sub> | FBYTE22 [R/W] B,H,W<br>00000000                                         | FBYTE21 [R/W] B,H,W<br>00000000                    | FCR21 [R/W] B,H,W<br>---00100                                         | FCR20 [R/W,R] B,H,W<br>-0000000    |                                     |
| 000090 <sub>H</sub> | SSR3 [R/W,R] B,H,W<br>00000011                                          | ESCR3 [R/W]/<br>IBSR3 [R/W,R]<br>B,H,W<br>00000000 | SCR3 [R/W] /<br>IBCR3 [R/W,R]<br>B,H,W<br>00000000                    | SMR3 [R/W] B,H,W<br>000-0000       | マルチ<br>ファンクション<br>シリアルインタ<br>フェース 3 |
| 000094 <sub>H</sub> | BGR31 [R/W] B,H,W<br>00000000                                           | BGR30 [R/W] B,H,W<br>00000000                      | RDR3 [R]/<br>TDR3 [W]H,W<br>-----0 00000000                           |                                    |                                     |
| 000098 <sub>H</sub> | -                                                                       |                                                    | ISMK3 [R/W] B,H,W<br>01111111                                         | ISBA3 [R/W] B,H,W<br>00000000      |                                     |
| 00009C <sub>H</sub> | FBYTE32 [R/W] B,H,W<br>00000000                                         | FBYTE31 [R/W] B,H,W<br>00000000                    | FCR31 [R/W] B,H,W<br>---00100                                         | FCR30 [R/W,R] B,H,W<br>-0000000    |                                     |
| 0000A0 <sub>H</sub> | OCCPBH0,OCCPBL0 [W]/<br>OCCPH0,OCCPL0 [R]<br>H,W<br>00000000 00000000   |                                                    | OCCPBH1,OCCPBL1 [W]/<br>OCCPH1,OCCPL1 [R]<br>H,W<br>00000000 00000000 |                                    | OCU0                                |
| 0000A4 <sub>H</sub> | OCCPBH2,OCCPBL2 [W]/<br>OCCPH2,OCCPL2 [R]<br>H,W<br>00000000 00000000   |                                                    | OCCPBH3,OCCPBL3 [W]/<br>OCCPH3,OCCPL3 [R]<br>H,W<br>00000000 00000000 |                                    |                                     |
| 0000A8 <sub>H</sub> | OCCPBH4,OCCPBL4 [W]/<br>OCCPH4,OCCPL4 [R]<br>H,W<br>00000000 00000000   |                                                    | OCCPBH5,OCCPBL5 [W]/<br>OCCPH5,OCCPL5 [R]<br>H,W<br>00000000 00000000 |                                    |                                     |
| 0000AC <sub>H</sub> | OCSH1 [R/W] B,H,W<br>-110--00                                           | OCSL0 [R/W] B,H,W<br>00001100                      | OCSH3 [R/W] B,H,W<br>-110--00                                         | OCSL2 [R/W] B,H,W<br>00001100      |                                     |
| 0000B0 <sub>H</sub> | OCSH5 [R/W] B,H,W<br>-110--00                                           | OCSL4 [R/W] B,H,W<br>00001100                      | OCMOD0 [R/W] B,H,W<br>--000000                                        | -                                  |                                     |
| 0000B4 <sub>H</sub> | CPCLRBH0,CPCLRBL0 [W]/<br>CPCLRHO,CPCLRL0 [R] H,W<br>11111111 11111111  |                                                    | TCDTH0,TCDTL0 [R/W] H,W<br>00000000 00000000                          |                                    | フリーラン<br>タイマ 0                      |
| 0000B8 <sub>H</sub> | TCCSH0 [R/W] B,H,W<br>00000000                                          | TCCSL0 [R/W] B,H,W<br>01000000                     | TCCSM0 [R/W] B,H,W<br>----0000                                        | ADTRGC0 [R/W] B,H,W<br>-000-000    |                                     |
| 0000BC <sub>H</sub> | CPCLRBH1,CPCLRBL1 [W] /<br>CPCLRHO,CPCLRL1 [R] H,W<br>11111111 11111111 |                                                    | TCDTH1,TCDTL1 [R/W] H,W<br>00000000 00000000                          |                                    | フリーラン<br>タイマ 1                      |
| 0000C0 <sub>H</sub> | TCCSH1 [R/W]<br>B,H,W<br>00000000                                       | TCCSL1 [R/W] B,H,W<br>01000000                     | TCCSM1 [R/W] B,H,W<br>----0000                                        | ADTRGC1 [R/W]<br>B,H,W<br>-000-000 |                                     |
| 0000C4 <sub>H</sub> | CPCLRBH2,CPCLRBL2 [W] /<br>CPCLRHO,CPCLRL2 [R] H,W<br>11111111 11111111 |                                                    | TCDTH2,TCDTL2 [R/W] H,W<br>00000000 00000000                          |                                    | フリーラン<br>タイマ 2                      |
| 0000C8 <sub>H</sub> | TCCSH2 [R/W]<br>B,H,W<br>00000000                                       | TCCSL2 [R/W] B,H,W<br>01000000                     | TCCSM2 [R/W] B,H,W<br>----0000                                        | ADTRGC2 [R/W]<br>B,H,W<br>-000-000 |                                     |

## MB91470/480 シリーズ

付表 A-1 I/O マップ (3 / 13)

| アドレス                | レジスタ                                                  |                                     |                                                        |                                    | ブロック                  |
|---------------------|-------------------------------------------------------|-------------------------------------|--------------------------------------------------------|------------------------------------|-----------------------|
|                     | +0                                                    | +1                                  | +2                                                     | +3                                 |                       |
| 0000CC <sub>H</sub> | -                                                     | FRS2 [R/W] B,H,W<br>-000-000        | FRS1 [R/W] B,H,W<br>-000-000                           | FRS0 [R/W] B,H,W<br>-000-000       | フリーラン<br>タイマ<br>セクタ 0 |
| 0000D0 <sub>H</sub> | -                                                     | -                                   | FRS4 [R/W] B,H,W<br>-000-000                           | FRS3 [R/W] B,H,W<br>-000-000       |                       |
| 0000D4 <sub>H</sub> | IPCPH0,IPCPL0 [R] H,W<br>XXXXXXXX XXXXXXXX            |                                     | IPCPH1,IPCPL1 [R] H,W<br>XXXXXXXX XXXXXXXX             |                                    | ICU0                  |
| 0000D8 <sub>H</sub> | IPCPH2,IPCPL2 [R] H,W<br>XXXXXXXX XXXXXXXX            |                                     | IPCPH3,IPCPL3 [R] H,W<br>XXXXXXXX XXXXXXXX             |                                    |                       |
| 0000DC <sub>H</sub> | PICSH01 [W,R] B,H,W<br>00000000                       | PICSL01 [R/W] B,H,W<br>00000000     | ICSH23 [R] B,H,W<br>-----00                            | ICSL23[R/W] B,H,W<br>00000000      |                       |
| 0000E0 <sub>H</sub> | TMRRH0,TMRRL0 [R/W] H,W<br>XXXXXXXX XXXXXXXX          |                                     | TMRRH1,TMRRL1 [R/W] H,W<br>XXXXXXXX XXXXXXXX           |                                    | 波形<br>ジェネレータ<br>0     |
| 0000E4 <sub>H</sub> | TMRRH2,TMRRL2 [R/W] H,W<br>XXXXXXXX XXXXXXXX          |                                     | -                                                      |                                    |                       |
| 0000E8 <sub>H</sub> | DTCR0 [R/W] B,H,W<br>00000000                         | DTCR1 [R/W] B,H,W<br>00000000       | DTCR2 [R/W] B,H,W<br>00000000                          | -                                  |                       |
| 0000EC <sub>H</sub> | -                                                     | SIGCR10 [R/W] B,H,W<br>00000000     | -                                                      | SIGCR20 [R/W] B,H,W<br>000000-1    |                       |
| 0000F0 <sub>H</sub> | ADCOMP0 [W]/<br>ADCOMPB0 [R] H,W<br>00000000 00000000 |                                     | ADCOMP0 [W]/<br>ADCOMPDB0 [R] H,W<br>00000000 00000000 |                                    | A/D 起動<br>コンペア 0      |
| 0000F4 <sub>H</sub> | ADCOMP1 [W]/<br>ADCOMPB1 [R] H,W<br>00000000 00000000 |                                     | ADCOMP1 [W]/<br>ADCOMPDB1 [R] H,W<br>00000000 00000000 |                                    |                       |
| 0000F8 <sub>H</sub> | ADCOMP2 [W]/<br>ADCOMPB2 [R] H,W<br>00000000 00000000 |                                     | ADCOMP2 [W]/<br>ADCOMPDB2 [R] H,W<br>00000000 00000000 |                                    |                       |
| 0000FC <sub>H</sub> | -                                                     | ADTGBUF0<br>[R/W] B,H,W<br>-000-111 | ADTGSEL0<br>[R/W] B,H,W<br>--000000                    | ADTGCE0<br>[R/W] B,H,W<br>--000000 |                       |

付表 A-1 I/O マップ (4 / 13)

| アドレス                | レジスタ                                               |                                  |                                                            |                                  | ブロック                    |
|---------------------|----------------------------------------------------|----------------------------------|------------------------------------------------------------|----------------------------------|-------------------------|
|                     | +0                                                 | +1                               | +2                                                         | +3                               |                         |
| 000100 <sub>H</sub> | PRLH0 [R/W] B,H,W<br>XXXXXXXXXX                    | PRLL0 [R/W] B,H,W<br>XXXXXXXXXX  | PRLH1 [R/W] B,H,W<br>XXXXXXXXXX                            | PRLL1 [R/W] B,H,W<br>XXXXXXXXXX  | PPG                     |
| 000104 <sub>H</sub> | PRLH2 [R/W] B,H,W<br>XXXXXXXXXX                    | PRLL2 [R/W] B,H,W<br>XXXXXXXXXX  | PRLH3 [R/W] B,H,W<br>XXXXXXXXXX                            | PRLL3 [R/W] B,H,W<br>XXXXXXXXXX  |                         |
| 000108 <sub>H</sub> | PPGC0 [R/W] B,H,W<br>00000000                      | PPGC1 [R/W] B,H,W<br>00000000    | PPGC2 [R/W] B,H,W<br>00000000                              | PPGC3 [R/W] B,H,W<br>00000000    |                         |
| 00010C <sub>H</sub> | PRLH4 [R/W] B,H,W<br>XXXXXXXXXX                    | PRLL4 [R/W] B,H,W<br>XXXXXXXXXX  | PRLH5 [R/W] B,H,W<br>XXXXXXXXXX                            | PRLL5 [R/W] B,H,W<br>XXXXXXXXXX  |                         |
| 000110 <sub>H</sub> | PRLH6 [R/W] B,H,W<br>XXXXXXXXXX                    | PRLL6 [R/W] B,H,W<br>XXXXXXXXXX  | PRLH7 [R/W] B,H,W<br>XXXXXXXXXX                            | PRLL7 [R/W] B,H,W<br>XXXXXXXXXX  |                         |
| 000114 <sub>H</sub> | PPGC4 [R/W] B,H,W<br>00000000                      | PPGC5 [R/W] B,H,W<br>00000000    | PPGC6 [R/W] B,H,W<br>00000000                              | PPGC7 [R/W] B,H,W<br>00000000    |                         |
| 000118 <sub>H</sub> | PRLH8 [R/W] B,H,W<br>XXXXXXXXXX                    | PRLL8 [R/W] B,H,W<br>XXXXXXXXXX  | PRLH9 [R/W] B,H,W<br>XXXXXXXXXX                            | PRLL9 [R/W] B,H,W<br>XXXXXXXXXX  |                         |
| 00011C <sub>H</sub> | PRLH10 [R/W] B,H,W<br>XXXXXXXXXX                   | PRLL10 [R/W] B,H,W<br>XXXXXXXXXX | PRLH11 [R/W] B,H,W<br>XXXXXXXXXX                           | PRLL11 [R/W] B,H,W<br>XXXXXXXXXX |                         |
| 000120 <sub>H</sub> | PPGC8 [R/W] B,H,W<br>00000000                      | PPGC9 [R/W] B,H,W<br>00000000    | PPGC10 [R/W] B,H,W<br>00000000                             | PPGC11 [R/W] B,H,W<br>00000000   |                         |
| 000124 <sub>H</sub> | PRLH12 [R/W] B,H,W<br>XXXXXXXXXX                   | PRLL12 [R/W] B,H,W<br>XXXXXXXXXX | PRLH13 [R/W] B,H,W<br>XXXXXXXXXX                           | PRLL13 [R/W] B,H,W<br>XXXXXXXXXX |                         |
| 000128 <sub>H</sub> | PRLH14 [R/W] B,H,W<br>XXXXXXXXXX                   | PRLL14 [R/W] B,H,W<br>XXXXXXXXXX | PRLH15 [R/W] B,H,W<br>XXXXXXXXXX                           | PRLL15 [R/W] B,H,W<br>XXXXXXXXXX |                         |
| 00012C <sub>H</sub> | PPGC12 [R/W] B,H,W<br>00000000                     | PPGC13 [R/W] B,H,W<br>00000000   | PPGC14 [R/W] B,H,W<br>00000000                             | PPGC15 [R/W] B,H,W<br>00000000   |                         |
| 000130 <sub>H</sub> | TRG [R/W] B,H<br>00000000 00000000                 |                                  | -                                                          | GATEC0 [R/W] B<br>--00--00       |                         |
| 000134 <sub>H</sub> | REVC [R/W] B,H<br>00000000 00000000                |                                  | -                                                          | GATEC4 [R/W] B<br>-----00        |                         |
| 000138 <sub>H</sub> | -                                                  |                                  | -                                                          | GATEC8 [R/W] B<br>--00--00       |                         |
| 00013C <sub>H</sub> | -                                                  |                                  | -                                                          | GATEC12 [R/W] B<br>-----00       |                         |
| 000140 <sub>H</sub> | -                                                  |                                  |                                                            |                                  | ( 予約 )                  |
| 000144 <sub>H</sub> | TTCR0 [R/W,W,R]<br>B,H,W<br>11110000               | -                                | -                                                          | -                                | タイミング<br>ジェネレータ<br>0    |
| 000148 <sub>H</sub> | COMP0 [R/W] B,H,W<br>00000000                      | COMP2 [R/W] B,H,W<br>00000000    | COMP4 [R/W] B,H,W<br>00000000                              | COMP6 [R/W] B,H,W<br>00000000    |                         |
| 00014C <sub>H</sub> | TTCR1 [R/W,W,R]<br>B,H,W<br>11110000               | -                                | -                                                          | -                                | タイミング<br>ジェネレータ<br>1    |
| 000150 <sub>H</sub> | COMP1 [R/W] B,H,W<br>00000000                      | COMP3 [R/W] B,H,W<br>00000000    | COMP5 [R/W] B,H,W<br>00000000                              | COMP7 [R/W] B,H,W<br>00000000    |                         |
| 000154 <sub>H</sub> | EIRR1 [R/W] B,H,W<br>00000000                      | ENIR1 [R/W] B,H,W<br>00000000    | ELVR1 [R/W] B,H,W<br>00000000 00000000                     |                                  | 外部割込み<br>(INT8 ~ INT15) |
| 000158 <sub>H</sub> | -                                                  |                                  |                                                            |                                  | ( 予約 )                  |
| 00015C <sub>H</sub> | -                                                  | -                                | -                                                          | CMCLKR [R/W] B<br>----0000       | クロック<br>モニタ             |
| 000160 <sub>H</sub> | BT0TMR [R] B,H,W<br>00000000 00000000              |                                  | BT0TMCR [R/W] B,H,W<br>-00000000 00000000                  |                                  | ベース<br>タイマ<br>0         |
| 000164 <sub>H</sub> | -                                                  | BT0STC [R/W] B<br>00000000       | -                                                          |                                  |                         |
| 000168 <sub>H</sub> | BT0PCSR/BT0PRLL [R/W] H,W<br>XXXXXXXXXX XXXXXXXXXX |                                  | BT0PDUT/BT0PRLH/BT0DTBF [R/W] H,W<br>XXXXXXXXXX XXXXXXXXXX |                                  |                         |
| 00016C <sub>H</sub> | -                                                  |                                  |                                                            |                                  |                         |

## MB91470/480 シリーズ

付表 A-1 I/O マップ (5 / 13)

| アドレス                                            | レジスタ                                                                      |                                |                                                                           |                                    | ブロック                                         |
|-------------------------------------------------|---------------------------------------------------------------------------|--------------------------------|---------------------------------------------------------------------------|------------------------------------|----------------------------------------------|
|                                                 | +0                                                                        | +1                             | +2                                                                        | +3                                 |                                              |
| 000170 <sub>H</sub>                             | AICR2 [R/W] B,H,W<br>----1111 11111111                                    |                                | -                                                                         |                                    | 8/10 ビット<br>A/D<br>コンバータ 2<br><br>(12 チャンネル) |
| 000174 <sub>H</sub>                             | ADCS2 [R/W,W]<br>B,H,W<br>0000000-                                        | -                              | ADCH2 [R/W] B,H,W<br>0000000                                              | ADMD2 [R/W] B,H,W<br>00001111      |                                              |
| 000178 <sub>H</sub>                             | ADCD002 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                | ADCD012 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                    |                                              |
| 00017C <sub>H</sub>                             | ADCD022 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                | ADCD032 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                    |                                              |
| 000180 <sub>H</sub>                             | ADCD042 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                | ADCD052 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                    |                                              |
| 000184 <sub>H</sub>                             | ADCD062 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                | ADCD072 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                    |                                              |
| 000188 <sub>H</sub>                             | ADCD082 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                | ADCD092 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                    |                                              |
| 00018C <sub>H</sub>                             | ADCD102 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                | ADCD112 [R] B,H,W<br>10---XX XXXXXXXX                                     |                                    |                                              |
| 000190 <sub>H</sub><br>~<br>00019C <sub>H</sub> | -                                                                         |                                |                                                                           |                                    | ( 予約 )                                       |
| 0001A0 <sub>H</sub>                             | OCCPBH6,OCCPBL6 [W]/<br>OCCPH6,OCCPL6 [R]<br>H,W<br>00000000 00000000     |                                | OCCPBH7,OCCPBL7 [W]/<br>OCCPH7,OCCPL7 [R]<br>H,W<br>00000000 00000000     |                                    | OCU1                                         |
| 0001A4 <sub>H</sub>                             | OCCPBH8,OCCPBL8 [W]/<br>OCCPH8,OCCPL8 [R]<br>H,W<br>00000000 00000000     |                                | OCCPBH9,OCCPBL9 [W]/<br>OCCPH9,OCCPL9 [R]<br>H,W<br>00000000 00000000     |                                    |                                              |
| 0001A8 <sub>H</sub>                             | OCCPBH10,OCCPBL10 [W]/<br>OCCPH10,OCCPL10 [R]<br>H,W<br>00000000 00000000 |                                | OCCPBH11,OCCPBL11 [W]/<br>OCCPH11,OCCPL11 [R]<br>H,W<br>00000000 00000000 |                                    |                                              |
| 0001AC <sub>H</sub>                             | OCSH7 [R/W] B,H,W<br>-110--00                                             | OCSL6 [R/W] B,H,W<br>00001100  | OCSH9 [R/W] B,H,W<br>-110--00                                             | OCSL8 [R/W] B,H,W<br>00001100      |                                              |
| 0001B0 <sub>H</sub>                             | OCSH11 [R/W] B,H,W<br>--110--00                                           | OCSL10 [R/W] B,H,W<br>00001100 | OCMOD1 [R/W] B,H,W<br>--000000                                            | -                                  |                                              |
| 0001B4 <sub>H</sub>                             | CPCLRBH3,CPCLRBL3 [W]/<br>CPCLR H3,CPCLR L3 [R] H,W<br>11111111 11111111  |                                | TCDTH3,TCDTL3 [R/W] H,W<br>00000000 00000000                              |                                    | フリーラン<br>タイマ 3                               |
| 0001B8 <sub>H</sub>                             | TCCSH3 [R/W] B,H,W<br>00000000                                            | TCCSL3 [R/W] B,H,W<br>01000000 | TCCSM3 [R/W] B,H,W<br>----0000                                            | ADTRGC3 [R/W] B,H,W<br>-000-000    |                                              |
| 0001BC <sub>H</sub>                             | CPCLRBH4,CPCLRBL4 [W] /<br>CPCLR H4,CPCLR L4 [R] H,W<br>11111111 11111111 |                                | TCDTH4,TCDTL4 [R/W] H,W<br>00000000 00000000                              |                                    | フリーラン<br>タイマ 4                               |
| 0001C0 <sub>H</sub>                             | TCCSH4 [R/W]<br>B,H,W<br>00000000                                         | TCCSL4 [R/W] B,H,W<br>01000000 | TCCSM4 [R/W] B,H,W<br>----0000                                            | ADTRGC4 [R/W]<br>B,H,W<br>-000-000 |                                              |
| 0001C4 <sub>H</sub>                             | CPCLRBH5,CPCLRBL5 [W] /<br>CPCLR H5,CPCLR L5 [R] H,W<br>11111111 11111111 |                                | TCDTH5,TCDTL5 [R/W] H,W<br>00000000 00000000                              |                                    | フリーラン<br>タイマ 5                               |
| 0001C8 <sub>H</sub>                             | TCCSH5 [R/W]<br>B,H,W<br>00000000                                         | TCCSL5 [R/W] B,H,W<br>01000000 | TCCSM5 [R/W] B,H,W<br>----0000                                            | ADTRGC5 [R/W]<br>B,H,W<br>-000-000 |                                              |
| 0001CC <sub>H</sub>                             | -                                                                         | FRS7 [R/W] B,H,W<br>-011-011   | FRS6 [R/W] B,H,W<br>-011-011                                              | FRS5 [R/W] B,H,W<br>-011-011       | フリーラン<br>タイマ<br>セクタ 1                        |
| 0001D0 <sub>H</sub>                             | -                                                                         | -                              | FRS9 [R/W] B,H,W<br>-011-011                                              | FRS8 [R/W] B,H,W<br>-011-011       |                                              |

付表 A-1 I/O マップ (6 / 13)

| アドレス                                            | レジスタ                                                                      |                                     |                                                        |                                    | ブロック              |
|-------------------------------------------------|---------------------------------------------------------------------------|-------------------------------------|--------------------------------------------------------|------------------------------------|-------------------|
|                                                 | +0                                                                        | +1                                  | +2                                                     | +3                                 |                   |
| 0001D4 <sub>H</sub>                             | IPCPH4,IPCPL4 [R] H,W<br>XXXXXXXXXX XXXXXXXXX                             |                                     | IPCPH5,IPCPL5 [R] H,W<br>XXXXXXXXXX XXXXXXXXX          |                                    | ICU1              |
| 0001D8 <sub>H</sub>                             | IPCPH6,IPCPL6 [R] H,W<br>XXXXXXXXXX XXXXXXXXX                             |                                     | IPCPH7,IPCPL7 [R] H,W<br>XXXXXXXXXX XXXXXXXXX          |                                    |                   |
| 0001DC <sub>H</sub>                             | PICSH45 [W,R] B,H,W<br>00000000                                           | PICSL45 [R/W] B,H,W<br>00000000     | ICSH67 [R] B,H,W<br>-----00                            | ICSL67[R/W] B,H,W<br>00000000      |                   |
| 0001E0 <sub>H</sub>                             | TMRRH3,TMRRL3 [R/W] H,W<br>XXXXXXXXXX XXXXXXXXX                           |                                     | TMRRH4,TMRRL4 [R/W] H,W<br>XXXXXXXXXX XXXXXXXXX        |                                    | 波形<br>ジェネレータ<br>1 |
| 0001E4 <sub>H</sub>                             | TMRRH5,TMRRL5 [R/W] H,W<br>XXXXXXXXXX XXXXXXXXX                           |                                     | -                                                      |                                    |                   |
| 0001E8 <sub>H</sub>                             | DTCR3 [R/W] B,H,W<br>00000000                                             | DTCR4 [R/W] B,H,W<br>00000000       | DTCR5 [R/W] B,H,W<br>00000000                          | -                                  |                   |
| 0001EC <sub>H</sub>                             | -                                                                         | SIGCR11 [R/W] B,H,W<br>00000000     | -                                                      | SIGCR21 [R/W] B,H,W<br>000000-1    |                   |
| 0001F0 <sub>H</sub>                             | ADCOMP3 [W]/<br>ADCOMPB3 [R] H,W<br>00000000 00000000                     |                                     | ADCOMP3 [W]/<br>ADCOMPDB3 [R] H,W<br>00000000 00000000 |                                    | A/D 起動<br>コンペア 1  |
| 0001F4 <sub>H</sub>                             | ADCOMP4 [W]/<br>ADCOMPB4 [R] H,W<br>00000000 00000000                     |                                     | ADCOMP4 [W]/<br>ADCOMPDB4 [R] H,W<br>00000000 00000000 |                                    |                   |
| 0001F8 <sub>H</sub>                             | ADCOMP5 [W]/<br>ADCOMPB5 [R] H,W<br>00000000 00000000                     |                                     | ADCOMP5 [W]/<br>ADCOMPDB5 [R] H,W<br>00000000 00000000 |                                    |                   |
| 0001FC <sub>H</sub>                             | -                                                                         | ADTGBUF1<br>[R/W] B,H,W<br>-000-111 | ADTGSEL1<br>[R/W] B,H,W<br>--000000                    | ADTGCE1<br>[R/W] B,H,W<br>--000000 |                   |
| 000200 <sub>H</sub>                             | DMACA0 [R/W] B,H,W <sup>*1</sup><br>00000000 ----XXXX XXXXXXXXX XXXXXXXXX |                                     |                                                        |                                    | DMAC              |
| 000204 <sub>H</sub>                             | DMACB0 [R/W] B,H,W<br>00000000 00000000 XXXXXXXXX XXXXXXXXX               |                                     |                                                        |                                    |                   |
| 000208 <sub>H</sub>                             | DMACA1 [R/W] B,H,W <sup>*1</sup><br>00000000 ----XXXX XXXXXXXXX XXXXXXXXX |                                     |                                                        |                                    |                   |
| 00020C <sub>H</sub>                             | DMACB1 [R/W] B,H,W<br>00000000 00000000 XXXXXXXXX XXXXXXXXX               |                                     |                                                        |                                    |                   |
| 000210 <sub>H</sub>                             | DMACA2 [R/W] B,H,W <sup>*1</sup><br>00000000 ----XXXX XXXXXXXXX XXXXXXXXX |                                     |                                                        |                                    |                   |
| 000214 <sub>H</sub>                             | DMACB2 [R/W] B,H,W<br>00000000 00000000 XXXXXXXXX XXXXXXXXX               |                                     |                                                        |                                    |                   |
| 000218 <sub>H</sub>                             | DMACA3 [R/W] B,H,W <sup>*1</sup><br>00000000 ----XXXX XXXXXXXXX XXXXXXXXX |                                     |                                                        |                                    |                   |
| 00021C <sub>H</sub>                             | DMACB3 [R/W] B,H,W<br>00000000 00000000 XXXXXXXXX XXXXXXXXX               |                                     |                                                        |                                    |                   |
| 000220 <sub>H</sub>                             | DMACA4 [R/W] B,H,W <sup>*1</sup><br>00000000 ----XXXX XXXXXXXXX XXXXXXXXX |                                     |                                                        |                                    |                   |
| 000224 <sub>H</sub>                             | DMACB4 [R/W] B,H,W<br>00000000 00000000 XXXXXXXXX XXXXXXXXX               |                                     |                                                        |                                    |                   |
| 000228 <sub>H</sub><br>~<br>00023C <sub>H</sub> | -                                                                         |                                     |                                                        |                                    | ( 予約 )            |
| 000240 <sub>H</sub>                             | DMACR [R/W] B,H,W<br>0--00000 -----                                       |                                     |                                                        |                                    | DMAC              |
| 000244 <sub>H</sub><br>~<br>00039C <sub>H</sub> | -                                                                         |                                     |                                                        |                                    | ( 予約 )            |

## MB91470/480 シリーズ

付表 A-1 I/O マップ (7/13)

| アドレス                                            | レジスタ                                                  |                                        |                              |                              | ブロック              |
|-------------------------------------------------|-------------------------------------------------------|----------------------------------------|------------------------------|------------------------------|-------------------|
|                                                 | +0                                                    | +1                                     | +2                           | +3                           |                   |
| 0003A0 <sub>H</sub>                             | DSP-PC [R/W] B,H,W<br>000000-0                        | DSP-CSR [R/W,R,W]<br>B,H,W<br>00000000 | -                            | -                            | 積和演算回路            |
| 0003A4 <sub>H</sub>                             | DSP-LY [R/W],W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                                        |                              |                              |                   |
| 0003A8 <sub>H</sub>                             | DSP-OT0 [R],W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX  |                                        |                              |                              |                   |
| 0003AC <sub>H</sub>                             | DSP-OT1 [R],W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX  |                                        |                              |                              |                   |
| 0003B0 <sub>H</sub>                             | DSP-OT2 [R],W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX  |                                        |                              |                              |                   |
| 0003B4 <sub>H</sub>                             | DSP-OT3 [R],W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX  |                                        |                              |                              |                   |
| 0003B8 <sub>H</sub>                             | DSP-OT4 [R],W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX  |                                        |                              |                              |                   |
| 0003BC <sub>H</sub>                             | DSP-OT5 [R],W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX  |                                        |                              |                              |                   |
| 0003C0 <sub>H</sub>                             | DSP-OT6 [R],W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX  |                                        |                              |                              |                   |
| 0003C4 <sub>H</sub>                             | DSP-OT7 [R],W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX  |                                        |                              |                              |                   |
| 0003C8 <sub>H</sub>                             | DSP-AC0 [R],W<br>----- 00000000                       |                                        |                              |                              |                   |
| 0003CC <sub>H</sub>                             | DSP-AC1 [R],W<br>00000000 00000000 00000000 00000000  |                                        |                              |                              |                   |
| 0003D0 <sub>H</sub>                             | DSP-AC2 [R],W<br>00000000 00000000 00000000 00000000  |                                        |                              |                              |                   |
| 0003D4 <sub>H</sub><br>~<br>0003EC <sub>H</sub> | -                                                     |                                        |                              |                              | ( 予約 )            |
| 0003F0 <sub>H</sub>                             | BSD0 [W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX     |                                        |                              |                              | ビットサーチ<br>モジュール   |
| 0003F4 <sub>H</sub>                             | BSD1 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX   |                                        |                              |                              |                   |
| 0003F8 <sub>H</sub>                             | BSDC [W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX     |                                        |                              |                              |                   |
| 0003FC <sub>H</sub>                             | BSRR [R] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX     |                                        |                              |                              |                   |
| 000400 <sub>H</sub>                             | DDR0 [R/W] B,H,W<br>00000000                          | DDR1 [R/W] B,H,W<br>00000000           | DDR2 [R/W] B,H,W<br>00000000 | DDR3 [R/W] B,H,W<br>00000000 | ポート<br>方向<br>レジスタ |
| 000404 <sub>H</sub>                             | DDR5 [R/W] B,H,W<br>-0000000                          | DDR6 [R/W] B,H,W<br>-----00            | DDR8 [R/W] B,H,W<br>00000000 | DDR9 [R/W] B,H,W<br>00000000 |                   |
| 000408 <sub>H</sub>                             | DDRA [R/W] B,H,W<br>---00000                          | DDRB [R/W] B,H,W<br>00000000           | DDRC [R/W] B,H,W<br>00000000 | DDRD [R/W] B,H,W<br>----0000 |                   |
| 00040C <sub>H</sub>                             | DDRE [R/W] B,H,W<br>00000000                          | DDRFB [R/W] B,H,W<br>00000000          | DDRG [R/W] B,H,W<br>--000000 | DDRH [R/W] B,H,W<br>--000000 |                   |
| 000410 <sub>H</sub>                             | DDRJ [R/W] B,H,W<br>00000000                          | -                                      | DDRL [R/W] B,H,W<br>-----000 | DDRM [R/W] B,H,W<br>----0000 |                   |
| 000414 <sub>H</sub>                             | DDRP [R/W] B,H,W<br>--000000                          | DDRQ [R/W] B,H,W<br>--000000           | DDRR [R/W] B,H,W<br>--000000 | DDRS [R/W] B,H,W<br>--000000 |                   |
| 000418 <sub>H</sub> ,<br>00041C <sub>H</sub>    | -                                                     |                                        |                              |                              | ( 予約 )            |



付表 A-1 I/O マップ (8 / 13)

| アドレス                                            | レジスタ                            |                                 |                                 |                                 | ブロック              |
|-------------------------------------------------|---------------------------------|---------------------------------|---------------------------------|---------------------------------|-------------------|
|                                                 | +0                              | +1                              | +2                              | +3                              |                   |
| 000420 <sub>H</sub>                             | PFR0 [R/W] B,H,W<br>11111111    | PFR1 [R/W] B,H,W<br>11111111    | PFR2 [R/W] B,H,W<br>11111111    | PFR3 [R/W] B,H,W<br>11111111    | ポート<br>機能<br>レジスタ |
| 000424 <sub>H</sub>                             | PFR5 [R/W] B,H,W<br>-1111111    | PFR6 [R/W] B,H,W<br>-----11     | PFR8 [R/W] B,H,W<br>0000----    | PFR9 [R/W] B,H,W<br>00000000    |                   |
| 000428 <sub>H</sub>                             | -                               | -                               | PFRC [R/W] B,H,W<br>--0-00-0    | -                               |                   |
| 00042C <sub>H</sub>                             | -                               | PFRF [R/W] B,H,W<br>-----0      | PFRG [R/W] B,H,W<br>--0-00-0    | PFRH [R/W] B,H,W<br>--0-00-0    |                   |
| 000430 <sub>H</sub>                             | PFRJ [R/W] B,H,W<br>0-0-0-0-    | -                               | -                               | PFRM [R/W] B,H,W<br>----0000    |                   |
| 000434 <sub>H</sub>                             | -                               | PFRQ [R/W] B,H,W<br>--000000    | -                               | PFRS [R/W] B,H,W<br>--000000    |                   |
| 000438 <sub>H</sub> ,<br>00043C <sub>H</sub>    | -                               |                                 |                                 |                                 | ( 予約 )            |
| 000440 <sub>H</sub>                             | ICR00 [R/W,R] B,H,W<br>---11111 | ICR01 [R/W,R] B,H,W<br>---11111 | ICR02 [R/W,R] B,H,W<br>---11111 | ICR03 [R/W,R] B,H,W<br>---11111 | 割込み<br>コントローラ     |
| 000444 <sub>H</sub>                             | ICR04 [R/W,R] B,H,W<br>---11111 | ICR05 [R/W,R] B,H,W<br>---11111 | ICR06 [R/W,R] B,H,W<br>---11111 | ICR07 [R/W,R] B,H,W<br>---11111 |                   |
| 000448 <sub>H</sub>                             | ICR08 [R/W,R] B,H,W<br>---11111 | ICR09 [R/W,R] B,H,W<br>---11111 | ICR10 [R/W,R] B,H,W<br>---11111 | ICR11 [R/W,R] B,H,W<br>---11111 |                   |
| 00044C <sub>H</sub>                             | ICR12 [R/W,R] B,H,W<br>---11111 | ICR13 [R/W,R] B,H,W<br>---11111 | ICR14 [R/W,R] B,H,W<br>---11111 | ICR15 [R/W,R] B,H,W<br>---11111 |                   |
| 000450 <sub>H</sub>                             | ICR16 [R/W,R] B,H,W<br>---11111 | ICR17 [R/W,R] B,H,W<br>---11111 | ICR18 [R/W,R] B,H,W<br>---11111 | ICR19 [R/W,R] B,H,W<br>---11111 |                   |
| 000454 <sub>H</sub>                             | ICR20 [R/W,R] B,H,W<br>---11111 | ICR21 [R/W,R] B,H,W<br>---11111 | ICR22 [R/W,R] B,H,W<br>---11111 | ICR23 [R/W,R] B,H,W<br>---11111 |                   |
| 000458 <sub>H</sub>                             | ICR24 [R/W,R] B,H,W<br>---11111 | ICR25 [R/W,R] B,H,W<br>---11111 | ICR26 [R/W,R] B,H,W<br>---11111 | ICR27 [R/W,R] B,H,W<br>---11111 |                   |
| 00045C <sub>H</sub>                             | ICR28 [R/W,R] B,H,W<br>---11111 | ICR29 [R/W,R] B,H,W<br>---11111 | ICR30 [R/W,R] B,H,W<br>---11111 | ICR31 [R/W,R] B,H,W<br>---11111 |                   |
| 000460 <sub>H</sub>                             | ICR32 [R/W,R] B,H,W<br>---11111 | ICR33 [R/W,R] B,H,W<br>---11111 | ICR34 [R/W,R] B,H,W<br>---11111 | ICR35 [R/W,R] B,H,W<br>---11111 |                   |
| 000464 <sub>H</sub>                             | ICR36 [R/W,R] B,H,W<br>---11111 | ICR37 [R/W,R] B,H,W<br>---11111 | ICR38 [R/W,R] B,H,W<br>---11111 | ICR39 [R/W,R] B,H,W<br>---11111 |                   |
| 000468 <sub>H</sub>                             | ICR40 [R/W,R] B,H,W<br>---11111 | ICR41 [R/W,R] B,H,W<br>---11111 | ICR42 [R/W,R] B,H,W<br>---11111 | ICR43 [R/W,R] B,H,W<br>---11111 |                   |
| 00046C <sub>H</sub>                             | ICR44 [R/W,R] B,H,W<br>---11111 | ICR45 [R/W,R] B,H,W<br>---11111 | ICR46 [R/W,R] B,H,W<br>---11111 | ICR47 [R/W,R] B,H,W<br>---11111 |                   |
| 000470 <sub>H</sub><br>~<br>00047C <sub>H</sub> | -                               |                                 |                                 |                                 | ( 予約 )            |
| 000480 <sub>H</sub>                             | RSRR [R/W] B,H,W<br>1-0-0-00    | STCR [R/W] B,H,W<br>001100-1    | TBCR [R/W] B,H,W<br>00XXX-00    | CTBR [W] B,H,W<br>XXXXXXXXX     | クロック<br>制御部       |
| 000484 <sub>H</sub>                             | CLKR [R/W] B,H,W<br>-000-000    | -                               | DIVR0 [R/W] B,H,W<br>00000011   | DIVR1 [R/W] B,H,W<br>00000000   |                   |
| 000488 <sub>H</sub><br>~<br>0004FC <sub>H</sub> | -                               |                                 |                                 |                                 | ( 予約 )            |

## MB91470/480 シリーズ

付表 A-1 I/O マップ (9 / 13)

| アドレス                                            | レジスタ                                   |                                                    |                                                    |                                 | ブロック                                        |
|-------------------------------------------------|----------------------------------------|----------------------------------------------------|----------------------------------------------------|---------------------------------|---------------------------------------------|
|                                                 | +0                                     | +1                                                 | +2                                                 | +3                              |                                             |
| 000500 <sub>H</sub>                             | -                                      | AICR0 [R/W] B,H,W<br>----1111                      | -                                                  |                                 | 8/10 ビット<br>A/D<br>コンバータ 0<br><br>(4 チャンネル) |
| 000504 <sub>H</sub>                             | ADCS0 [R/W,W]<br>B,H,W<br>0000000-     | -                                                  | ADCH0 [R/W] B,H,W<br>--00--00                      | ADMD0 [R/W] B,H,W<br>00001111   |                                             |
| 000508 <sub>H</sub>                             | ADCD000 [R] B,H,W<br>10----XX XXXXXXXX |                                                    | ADCD010 [R] B,H,W<br>10----XX XXXXXXXX             |                                 |                                             |
| 00050C <sub>H</sub>                             | ADCD020 [R] B,H,W<br>10----XX XXXXXXXX |                                                    | ADCD030 [R] B,H,W<br>10----XX XXXXXXXX             |                                 |                                             |
| 000510 <sub>H</sub>                             | -                                      | AICR1 [R/W] B,H,W<br>----1111                      | -                                                  |                                 | 8/10 ビット<br>A/D<br>コンバータ 1<br><br>(4 チャンネル) |
| 000514 <sub>H</sub>                             | ADCS1 [R/W,W]<br>B,H,W<br>0000000-     | -                                                  | ADCH1 [R/W] B,H,W<br>--00--00                      | ADMD1 [R/W] B,H,W<br>00001111   |                                             |
| 000518 <sub>H</sub>                             | ADCD001 [R] B,H,W<br>10----XX XXXXXXXX |                                                    | ADCD011 [R] B,H,W<br>10----XX XXXXXXXX             |                                 |                                             |
| 00051C <sub>H</sub>                             | ADCD021 [R] B,H,W<br>10----XX XXXXXXXX |                                                    | ADCD031 [R] B,H,W<br>10----XX XXXXXXXX             |                                 |                                             |
| 000520 <sub>H</sub>                             | -                                      | AICR3 [R/W] B,H,W<br>----1111                      | -                                                  |                                 | 12 ビット<br>A/D<br>コンバータ 3<br><br>(4 チャンネル)   |
| 000524 <sub>H</sub>                             | ADCS3 [R/W,W]<br>B,H,W<br>0000000-     | -                                                  | ADCH3 [R/W] B,H,W<br>--00--00                      | ADMD3 [R/W] B,H,W<br>00001111   |                                             |
| 000528 <sub>H</sub>                             | ADCD003 [R] B,H,W<br>10--XXXX XXXXXXXX |                                                    | ADCD013 [R] B,H,W<br>10--XXXX XXXXXXXX             |                                 |                                             |
| 00052C <sub>H</sub>                             | ADCD023 [R] B,H,W<br>10--XXXX XXXXXXXX |                                                    | ADCD033 [R] B,H,W<br>10--XXXX XXXXXXXX             |                                 |                                             |
| 000530 <sub>H</sub>                             | -                                      | AICR4 [R/W] B,H,W<br>----1111                      | -                                                  |                                 | 12 ビット<br>A/D<br>コンバータ 4<br><br>(4 チャンネル)   |
| 000534 <sub>H</sub>                             | ADCS4 [R/W,W]<br>B,H,W<br>0000000-     | -                                                  | ADCH4 [R/W] B,H,W<br>--00--00                      | ADMD4 [R/W] B,H,W<br>00001111   |                                             |
| 000538 <sub>H</sub>                             | ADCD004 [R] B,H,W<br>10--XXXX XXXXXXXX |                                                    | ADCD014 [R] B,H,W<br>10--XXXX XXXXXXXX             |                                 |                                             |
| 00053C <sub>H</sub>                             | ADCD024 [R] B,H,W<br>10--XXXX XXXXXXXX |                                                    | ADCD034 [R] B,H,W<br>10--XXXX XXXXXXXX             |                                 |                                             |
| 000540 <sub>H</sub>                             | RCR10 [W] B,H,W<br>XXXXXXXX            | RCR00 [W] B,H,W<br>XXXXXXXX                        | UDCR10 [R] B,H,W<br>00000000                       | UDCR00 [R] B,H,W<br>00000000    | アップダウン<br>カウンタ 0                            |
| 000544 <sub>H</sub>                             | CCR0 [R/W] B,H,W<br>00000000           | CCRL0 [R/W,R] B,H,W<br>-0001000                    | -                                                  | CSR0 [R/W,R] B,H,W<br>00000000  |                                             |
| 000548 <sub>H</sub><br>~<br>00055C <sub>H</sub> | -                                      |                                                    |                                                    |                                 | ( 予約 )                                      |
| 000560 <sub>H</sub>                             | SSR4 [R/W,R] B,H,W<br>00000011         | ESCR4 [R/W]/<br>IBSR4 [R/W,R]<br>B,H,W<br>00000000 | SCR4 [R/W] /<br>IBCR4 [R/W,R]<br>B,H,W<br>00000000 | SMR4 [R/W] B,H,W<br>000-0000    | マルチ<br>ファンクション<br>シリアルインタ<br>フェース 4         |
| 000564 <sub>H</sub>                             | BGR41 [R/W] B,H,W<br>00000000          | BGR40 [R/W] B,H,W<br>00000000                      | RDR4 [R]/TDR4 [W]H,W<br>-----0 00000000            |                                 |                                             |
| 000568 <sub>H</sub>                             | -                                      |                                                    | ISMK4 [R/W] B,H,W<br>01111111                      | ISBA4 [R/W] B,H,W<br>00000000   |                                             |
| 00056C <sub>H</sub>                             | FBYTE42 [R/W] B,H,W<br>00000000        | FBYTE41 [R/W] B,H,W<br>00000000                    | FCR41 [R/W] B,H,W<br>---00100                      | FCR40 [R/W,R] B,H,W<br>-0000000 |                                             |

付表 A-1 I/O マップ (10 / 13)

| アドレス                                            | レジスタ                                           |                                                    |                                                        |                                 | ブロック                                |
|-------------------------------------------------|------------------------------------------------|----------------------------------------------------|--------------------------------------------------------|---------------------------------|-------------------------------------|
|                                                 | +0                                             | +1                                                 | +2                                                     | +3                              |                                     |
| 000570 <sub>H</sub>                             | SSR5 [R/W,R] B,H,W<br>00000011                 | ESCR5 [R/W]/<br>IBSR5 [R/W,R]<br>B,H,W<br>00000000 | SCR5 [R/W] /<br>IBCR5 [R/W,R]<br>B,H,W<br>00000000     | SMR5 [R/W] B,H,W<br>000-0000    | マルチ<br>ファンクション<br>シリアルインタ<br>フェース 5 |
| 000574 <sub>H</sub>                             | BGR51 [R/W] B,H,W<br>00000000                  | BGR50 [R/W] B,H,W<br>00000000                      | RDR5 [R]/TDR5 [W]H,W<br>-----0 00000000                |                                 |                                     |
| 000578 <sub>H</sub>                             | -                                              |                                                    | ISMK5 [R/W] B,H,W<br>01111111                          | ISBA5 [R/W] B,H,W<br>00000000   |                                     |
| 00057C <sub>H</sub>                             | FBYTE52 [R/W] B,H,W<br>00000000                | FBYTE51 [R/W] B,H,W<br>00000000                    | FCR51 [R/W] B,H,W<br>---00100                          | FCR50 [R/W,R] B,H,W<br>-0000000 |                                     |
| 000580 <sub>H</sub>                             | BT1TMR [R] B,H,W<br>00000000 00000000          |                                                    | BT1TMCR [R/W] B,H,W<br>-0000000 00000000               |                                 | ベース<br>タイマ<br>1                     |
| 000584 <sub>H</sub>                             | -                                              | BT1STC [R/W] B<br>00000000                         | -                                                      |                                 |                                     |
| 000588 <sub>H</sub>                             | BT1PCSR/BT1PRLL [R/W] H,W<br>XXXXXXXX XXXXXXXX |                                                    | BT1PDUT/BT1PRLH/BT1DTBF [R/W] H,W<br>XXXXXXXX XXXXXXXX |                                 |                                     |
| 00058C <sub>H</sub>                             | -                                              |                                                    |                                                        |                                 | ( 予約 )                              |
| 000590 <sub>H</sub>                             | BT2TMR [R] B,H,W<br>00000000 00000000          |                                                    | BT2TMCR [R/W] B,H,W<br>-0000000 00000000               |                                 | ベース<br>タイマ<br>2                     |
| 000594 <sub>H</sub>                             | -                                              | BT2STC [R/W] B<br>00000000                         | -                                                      |                                 |                                     |
| 000598 <sub>H</sub>                             | BT2PCSR/BT2PRLL [R/W] H,W<br>XXXXXXXX XXXXXXXX |                                                    | BT2PDUT/BT2PRLH/BT2DTBF [R/W] H,W<br>XXXXXXXX XXXXXXXX |                                 |                                     |
| 00059C <sub>H</sub>                             | -                                              |                                                    |                                                        |                                 | ( 予約 )                              |
| 0005A0 <sub>H</sub>                             | BT3TMR [R] B,H,W<br>00000000 00000000          |                                                    | BT3TMCR [R/W] B,H,W<br>-0000000 00000000               |                                 | ベース<br>タイマ<br>3                     |
| 0005A4 <sub>H</sub>                             | -                                              | BT3STC [R/W] B<br>00000000                         | -                                                      |                                 |                                     |
| 0005A8 <sub>H</sub>                             | BT3PCSR/BT3PRLL [R/W] H,W<br>XXXXXXXX XXXXXXXX |                                                    | BT3PDUT/BT3PRLH/BT3DTBF [R/W] H,W<br>XXXXXXXX XXXXXXXX |                                 |                                     |
| 0005AC <sub>H</sub><br>~<br>0005FC <sub>H</sub> | -                                              |                                                    |                                                        |                                 | ( 予約 )                              |
| 000600 <sub>H</sub>                             | PCR0 [R/W] B,H,W<br>00000000                   | PCR1 [R/W] B,H,W<br>00000000                       | PCR2 [R/W] B,H,W<br>00000000                           | PCR3 [R/W] B,H,W<br>00000000    | ブルアップ<br>抵抗制御<br>レジスタ               |
| 000604 <sub>H</sub>                             | PCR5 [R/W] B,H,W<br>-0000000                   | PCR6 [R/W] B,H,W<br>-----00                        | PCR8 [R/W] B,H,W<br>00000000                           | PCR9 [R/W] B,H,W<br>00000000    |                                     |
| 000608 <sub>H</sub>                             | PCRA [R/W] B,H,W<br>---00000                   | PCRB [R/W] B,H,W<br>00000000                       | PCRC [R/W] B,H,W<br>00000000                           | PCRD [R/W] B,H,W<br>---0000     |                                     |
| 00060C <sub>H</sub>                             | PCRE [R/W] B,H,W<br>00000000                   | PCRF [R/W] B,H,W<br>00000000                       | PCRG [R/W] B,H,W<br>--000000                           | PCRH [R/W] B,H,W<br>--000000    |                                     |
| 000610 <sub>H</sub>                             | PCRJ [R/W] B,H,W<br>00000000                   | -                                                  | PCRL [R/W] B,H,W<br>-----000                           | PCRM [R/W] B,H,W<br>----0000    |                                     |
| 000614 <sub>H</sub>                             | PCRP [R/W] B,H,W<br>--000000                   | PCRQ [R/W] B,H,W<br>--000000                       | PCRR [R/W] B,H,W<br>--000000                           | PCRS [R/W] B,H,W<br>--000000    |                                     |
| 000618 <sub>H</sub><br>~<br>00063C <sub>H</sub> | -                                              |                                                    |                                                        |                                 | ( 予約 )                              |

## MB91470/480 シリーズ

付表 A-1 I/O マップ (11 / 13)

| アドレス                                            | レジスタ                                                  |                      |                                        |    | ブロック            |
|-------------------------------------------------|-------------------------------------------------------|----------------------|----------------------------------------|----|-----------------|
|                                                 | +0                                                    | +1                   | +2                                     | +3 |                 |
| 000640 <sub>H</sub>                             | ASR0 [R/W] H,W<br>00000000 00000000 *2                |                      | ACR0 [R/W] H,W<br>1111XX-- --000000 *2 |    | 外部バス<br>インタフェース |
| 000644 <sub>H</sub>                             | ASR1 [R/W] H,W<br>XXXXXXXX XXXXXXXX *2                |                      | ACR1 [R/W] H,W<br>XXXXXX-- --XXXXXX *2 |    |                 |
| 000648 <sub>H</sub>                             | ASR2 [R/W] H,W<br>XXXXXXXX XXXXXXXX *2                |                      | ACR2 [R/W] H,W<br>XXXXXX-- --XXXXXX *2 |    |                 |
| 00064C <sub>H</sub>                             | -                                                     |                      |                                        |    |                 |
| 000650 <sub>H</sub>                             |                                                       |                      |                                        |    |                 |
| 000654 <sub>H</sub>                             |                                                       |                      |                                        |    |                 |
| 000658 <sub>H</sub>                             |                                                       |                      |                                        |    |                 |
| 00065C <sub>H</sub>                             |                                                       |                      |                                        |    |                 |
| 000660 <sub>H</sub>                             | AWR0 [R/W] H,W<br>0111---- 1111-111 *2                |                      | AWR1 [R/W] H,W<br>XXXX---- XXXX-XXX *2 |    |                 |
| 000664 <sub>H</sub>                             | AWR2 [R/W] H,W<br>XXXX---- XXXX-XXX *2                |                      | -                                      |    |                 |
| 000668 <sub>H</sub>                             | -                                                     |                      |                                        |    |                 |
| 00066C <sub>H</sub>                             |                                                       |                      |                                        |    |                 |
| 000670 <sub>H</sub>                             |                                                       |                      |                                        |    |                 |
| 000674 <sub>H</sub>                             |                                                       |                      |                                        |    |                 |
| 000678 <sub>H</sub>                             |                                                       |                      |                                        |    |                 |
| 00067C <sub>H</sub>                             |                                                       |                      |                                        |    |                 |
| 000680 <sub>H</sub>                             | CSER [R/W] B,H<br>-----001                            | -                    | -                                      | -  |                 |
| 000684 <sub>H</sub><br>~<br>0007F8 <sub>H</sub> | -                                                     |                      |                                        |    | ( 予約 )          |
| 0007FC <sub>H</sub>                             | -                                                     | MODR [W]<br>XXXXXXXX | -                                      | -  | モード<br>レジスタ     |
| 000800 <sub>H</sub><br>~<br>000FFC <sub>H</sub> | -                                                     |                      |                                        |    | ( 予約 )          |
| 001000 <sub>H</sub>                             | DMASA0 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    | DMAC            |
| 001004 <sub>H</sub>                             | DMADA0 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    |                 |
| 001008 <sub>H</sub>                             | DMASA1 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    |                 |
| 00100C <sub>H</sub>                             | DMADA1 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    |                 |
| 001010 <sub>H</sub>                             | DMASA2 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    |                 |
| 001014 <sub>H</sub>                             | DMADA2 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    |                 |
| 001018 <sub>H</sub>                             | DMASA3 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    |                 |
| 00101C <sub>H</sub>                             | DMADA3 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    |                 |
| 001020 <sub>H</sub>                             | DMASA4 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    |                 |
| 001024 <sub>H</sub>                             | DMADA4 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |                      |                                        |    |                 |
| 001028 <sub>H</sub><br>~<br>006FFC <sub>H</sub> | -                                                     |                      |                                        |    | ( 予約 )          |

付表 A-1 I/O マップ (12 / 13)

| アドレス                                            | レジスタ                                                        |    |    |    | ブロック                |
|-------------------------------------------------|-------------------------------------------------------------|----|----|----|---------------------|
|                                                 | +0                                                          | +1 | +2 | +3 |                     |
| 007000 <sub>H</sub>                             | FLCR [R/W,R] B<br>----X-0-                                  | -  | -  | -  | フラッシュ<br>メモリ        |
| 007004 <sub>H</sub>                             | FLWC [R/W] B<br>-----011                                    | -  | -  | -  |                     |
| 007008 <sub>H</sub>                             | -                                                           |    |    |    |                     |
| 00700C <sub>H</sub>                             |                                                             |    |    |    |                     |
| 007010 <sub>H</sub>                             |                                                             |    |    |    |                     |
| 007014 <sub>H</sub><br>~<br>00701C <sub>H</sub> | -                                                           |    |    |    | ( 予約 )              |
| 007020 <sub>H</sub>                             | WREN [R/W] H<br>00000000 00000000                           |    | -  |    | ワイルド<br>レジスタ<br>制御部 |
| 007024 <sub>H</sub>                             | -                                                           |    |    |    |                     |
| 007028 <sub>H</sub>                             |                                                             |    |    |    |                     |
| 00702C <sub>H</sub>                             |                                                             |    |    |    |                     |
| 007030 <sub>H</sub>                             | WA00 [R/W] W<br>----- XXXX XXXXXXXXXX XXXXXXXX--            |    |    |    | ワイルド<br>レジスタ<br>制御部 |
| 007034 <sub>H</sub>                             | WD00 [R/W] W<br>XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX |    |    |    |                     |
| 007038 <sub>H</sub>                             | WA01 [R/W] W<br>----- XXXX XXXXXXXXXX XXXXXXXX--            |    |    |    |                     |
| 00703C <sub>H</sub>                             | WD01 [R/W] W<br>XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX |    |    |    |                     |
| 007040 <sub>H</sub>                             | WA02 [R/W] W<br>----- XXXX XXXXXXXXXX XXXXXXXX--            |    |    |    |                     |
| 007044 <sub>H</sub>                             | WD02 [R/W] W<br>XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX |    |    |    |                     |
| 007048 <sub>H</sub>                             | WA03 [R/W] W<br>----- XXXX XXXXXXXXXX XXXXXXXX--            |    |    |    |                     |
| 00704C <sub>H</sub>                             | WD03 [R/W] W<br>XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX |    |    |    |                     |
| 007050 <sub>H</sub>                             | WA04 [R/W] W<br>----- XXXX XXXXXXXXXX XXXXXXXX--            |    |    |    |                     |
| 007054 <sub>H</sub>                             | WD04 [R/W] W<br>XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX |    |    |    |                     |
| 007058 <sub>H</sub>                             | WA05 [R/W] W<br>----- XXXX XXXXXXXXXX XXXXXXXX--            |    |    |    |                     |
| 00705C <sub>H</sub>                             | WD05 [R/W] W<br>XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX |    |    |    |                     |
| 007060 <sub>H</sub>                             | WA06 [R/W] W<br>----- XXXX XXXXXXXXXX XXXXXXXX--            |    |    |    |                     |
| 007064 <sub>H</sub>                             | WD06 [R/W] W<br>XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX |    |    |    |                     |
| 007068 <sub>H</sub>                             | WA07 [R/W] W<br>----- XXXX XXXXXXXXXX XXXXXXXX--            |    |    |    |                     |
| 00706C <sub>H</sub>                             | WD07 [R/W] W<br>XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX XXXXXXXXXX |    |    |    |                     |

# MB91470/480 シリーズ

付表 A-1 I/O マップ (13 / 13)

| アドレス                                            | レジスタ                                                |    |    |    | ブロック                |
|-------------------------------------------------|-----------------------------------------------------|----|----|----|---------------------|
|                                                 | +0                                                  | +1 | +2 | +3 |                     |
| 007070 <sub>H</sub>                             | WA08 [R/W] W<br>----- ----XXXX XXXXXXXX XXXXXX--    |    |    |    | ワイルド<br>レジスタ<br>制御部 |
| 007074 <sub>H</sub>                             | WD08 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |    |    |    |                     |
| 007078 <sub>H</sub>                             | WA09 [R/W] W<br>----- ----XXXX XXXXXXXX XXXXXX--    |    |    |    |                     |
| 00707C <sub>H</sub>                             | WD09 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |    |    |    |                     |
| 007080 <sub>H</sub>                             | WA10 [R/W] W<br>----- ----XXXX XXXXXXXX XXXXXX--    |    |    |    |                     |
| 007084 <sub>H</sub>                             | WD10 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |    |    |    |                     |
| 007088 <sub>H</sub>                             | WA11 [R/W] W<br>----- ----XXXX XXXXXXXX XXXXXX--    |    |    |    |                     |
| 00708C <sub>H</sub>                             | WD11 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |    |    |    |                     |
| 007090 <sub>H</sub>                             | WA12 [R/W] W<br>----- ----XXXX XXXXXXXX XXXXXX--    |    |    |    |                     |
| 007094 <sub>H</sub>                             | WD12 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |    |    |    |                     |
| 007098 <sub>H</sub>                             | WA13 [R/W] W<br>----- ----XXXX XXXXXXXX XXXXXX--    |    |    |    |                     |
| 00709C <sub>H</sub>                             | WD13 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |    |    |    |                     |
| 0070A0 <sub>H</sub>                             | WA14 [R/W] W<br>----- ----XXXX XXXXXXXX XXXXXX--    |    |    |    |                     |
| 0070A4 <sub>H</sub>                             | WD14 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |    |    |    |                     |
| 0070A8 <sub>H</sub>                             | WA15 [R/W] W<br>----- ----XXXX XXXXXXXX XXXXXX--    |    |    |    |                     |
| 0070AC <sub>H</sub>                             | WD15 [R/W] W<br>XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX |    |    |    |                     |
| 0070B0 <sub>H</sub><br>~<br>00BFFC <sub>H</sub> | -                                                   |    |    |    | ( 予約 )              |
| 00C000 <sub>H</sub><br>~<br>00C0FC <sub>H</sub> | X-RAM ( 係数 RAM) [R/W]<br>64 x32 ビット                 |    |    |    | 積和演算回路              |
| 00C100 <sub>H</sub><br>~<br>00C1FC <sub>H</sub> | Y-RAM ( 変数 RAM) [R/W]<br>64 x32 ビット                 |    |    |    |                     |
| 00C200 <sub>H</sub><br>~<br>00C3FC <sub>H</sub> | I-RAM ( 命令 RAM) [R/W]<br>128 x32 ビット                |    |    |    |                     |
| 00C400 <sub>H</sub><br>~<br>00FFFC <sub>H</sub> | -                                                   |    |    |    | ( 予約 )              |
| 010000 <sub>H</sub><br>~<br>0FFFFC <sub>H</sub> | -                                                   |    |    |    | ( 予約 )              |

( 注意事項 )

\*1 :DMACA0 ~ DMACA4 の下位 16 ビット (DTC[15:0]) は , バイトでのアクセスはできません。

\*2 :初期値はリセットレベルに依存しますので , INITX="L" 時における初期値を記載しています。

( 注意事項 )

- 予約または ( - ) の領域データは不定です。
- ライトオンリビットのあるレジスタに対してリードモディファイライト (RMW) 系命令を行わないでください。
- シリーズによっては初期値が異なる場合があります。詳細に関しては各章を参照してください。

## MB91470/480 シリーズ

## 付録 B 割込みベクタ

MB91470/480 シリーズのベクタテーブルを示します。

## ■ 割込みベクタ

付表 B-1 割込みベクタ ( 1 / 4 )

| 割込み要因         | 割込み番号 |      | 割込み<br>レベル | オフ<br>セット        | TBR<br>デフォルトの<br>アドレス |
|---------------|-------|------|------------|------------------|-----------------------|
|               | 10 進  | 16 進 |            |                  |                       |
| リセット          | 0     | 00   | -          | 3FC <sub>H</sub> | 000FFFFC <sub>H</sub> |
| モードベクタ        | 1     | 01   | -          | 3F8 <sub>H</sub> | 000FFFF8 <sub>H</sub> |
| システム予約        | 2     | 02   | -          | 3F4 <sub>H</sub> | 000FFFF4 <sub>H</sub> |
| システム予約        | 3     | 03   | -          | 3F0 <sub>H</sub> | 000FFFF0 <sub>H</sub> |
| システム予約        | 4     | 04   | -          | 3EC <sub>H</sub> | 000FFFECH             |
| システム予約        | 5     | 05   | -          | 3E8 <sub>H</sub> | 000FFFE8 <sub>H</sub> |
| システム予約        | 6     | 06   | -          | 3E4 <sub>H</sub> | 000FFFE4 <sub>H</sub> |
| コプロセッサ不在トラップ  | 7     | 07   | -          | 3E0 <sub>H</sub> | 000FFFE0 <sub>H</sub> |
| コプロセッサエラートラップ | 8     | 08   | -          | 3DC <sub>H</sub> | 000FFFDCH             |
| INTE 命令       | 9     | 09   | -          | 3D8 <sub>H</sub> | 000FFFD8 <sub>H</sub> |
| システム予約        | 10    | 0A   | -          | 3D4 <sub>H</sub> | 000FFFD4 <sub>H</sub> |
| システム予約        | 11    | 0B   | -          | 3D0 <sub>H</sub> | 000FFFD0 <sub>H</sub> |
| ステップトレーストラップ  | 12    | 0C   | -          | 3CC <sub>H</sub> | 000FFFCCH             |
| NMI 要求 (tool) | 13    | 0D   | -          | 3C8 <sub>H</sub> | 000FFFC8 <sub>H</sub> |
| 未定義命令例外       | 14    | 0E   | -          | 3C4 <sub>H</sub> | 000FFFC4 <sub>H</sub> |
| NMI 要求        | 15    | 0F   | -          | 3C0 <sub>H</sub> | 000FFFC0 <sub>H</sub> |
| 外部割込み 0       | 16    | 10   | ICR00      | 3BC <sub>H</sub> | 000FFFBC <sub>H</sub> |
| 外部割込み 1       | 17    | 11   | ICR01      | 3B8 <sub>H</sub> | 000FFF8 <sub>H</sub>  |
| 外部割込み 2       | 18    | 12   | ICR02      | 3B4 <sub>H</sub> | 000FFF4 <sub>H</sub>  |
| 外部割込み 3       | 19    | 13   | ICR03      | 3B0 <sub>H</sub> | 000FFF0 <sub>H</sub>  |
| 外部割込み 4       | 20    | 14   | ICR04      | 3AC <sub>H</sub> | 000FFFAC <sub>H</sub> |
| 外部割込み 5       | 21    | 15   | ICR05      | 3A8 <sub>H</sub> | 000FFFA8 <sub>H</sub> |
| 外部割込み 6       | 22    | 16   | ICR06      | 3A4 <sub>H</sub> | 000FFFA4 <sub>H</sub> |
| 外部割込み 7       | 23    | 17   | ICR07      | 3A0 <sub>H</sub> | 000FFFA0 <sub>H</sub> |



付表 B-1 割込みベクタ ( 2 / 4 )

| 割込み要因                                                                  | 割込み番号 |      | 割込みレベル | オフセット            | TBR<br>デフォルトの<br>アドレス |
|------------------------------------------------------------------------|-------|------|--------|------------------|-----------------------|
|                                                                        | 10 進  | 16 進 |        |                  |                       |
| リロードタイマ 0                                                              | 24    | 18   | ICR08  | 39C <sub>H</sub> | 000FFF9C <sub>H</sub> |
| リロードタイマ 1                                                              | 25    | 19   | ICR09  | 398 <sub>H</sub> | 000FFF98 <sub>H</sub> |
| ベースタイマ 0( 要因 0/ 要因 1)                                                  | 26    | 1A   | ICR10  | 394 <sub>H</sub> | 000FFF94 <sub>H</sub> |
| マルチファンクションシリアルインタフェース 0<br>(UART 送信完了 / 受信完了 / I <sup>2</sup> C ステータス) | 27    | 1B   | ICR11  | 390 <sub>H</sub> | 000FFF90 <sub>H</sub> |
| マルチファンクションシリアルインタフェース 1<br>(UART 送信完了 / 受信完了 / I <sup>2</sup> C ステータス) | 28    | 1C   | ICR12  | 38C <sub>H</sub> | 000FFF8C <sub>H</sub> |
| ベースタイマ 1( 要因 0/ 要因 1)                                                  | 29    | 1D   | ICR13  | 388 <sub>H</sub> | 000FFF88 <sub>H</sub> |
| ベースタイマ 2/3( 要因 0/ 要因 1)<br>アップダウンカウンタ 0                                | 30    | 1E   | ICR14  | 384 <sub>H</sub> | 000FFF84 <sub>H</sub> |
| DTTI0/DTTI1                                                            | 31    | 1F   | ICR15  | 380 <sub>H</sub> | 000FFF80 <sub>H</sub> |
| DMAC0 ( 終了 / エラー )                                                     | 32    | 20   | ICR16  | 37C <sub>H</sub> | 000FFF7C <sub>H</sub> |
| DMAC1 ( 終了 / エラー )                                                     | 33    | 21   | ICR17  | 378 <sub>H</sub> | 000FFF78 <sub>H</sub> |
| DMAC2/3/4 ( 終了 / エラー )                                                 | 34    | 22   | ICR18  | 374 <sub>H</sub> | 000FFF74 <sub>H</sub> |
| マルチファンクションシリアルインタフェース 2<br>(UART 送信完了 / 受信完了 / I <sup>2</sup> C ステータス) | 35    | 23   | ICR19  | 370 <sub>H</sub> | 000FFF70 <sub>H</sub> |
| マルチファンクションシリアルインタフェース 3<br>(UART 送信完了 / 受信完了 / I <sup>2</sup> C ステータス) | 36    | 24   | ICR20  | 36C <sub>H</sub> | 000FFF6C <sub>H</sub> |
| マルチファンクションシリアルインタフェース 4<br>(UART 送信完了 / 受信完了 / I <sup>2</sup> C ステータス) | 37    | 25   | ICR21  | 368 <sub>H</sub> | 000FFF68 <sub>H</sub> |
| マルチファンクションシリアルインタフェース 5<br>(UART 送信完了 / 受信完了 / I <sup>2</sup> C ステータス) | 38    | 26   | ICR22  | 364 <sub>H</sub> | 000FFF64 <sub>H</sub> |
| 積和演算回路                                                                 | 39    | 27   | ICR23  | 360 <sub>H</sub> | 000FFF60 <sub>H</sub> |
| PPG0/PPG1                                                              | 40    | 28   | ICR24  | 35C <sub>H</sub> | 000FFF5C <sub>H</sub> |
| PPG2/PPG3/PPG8/PPG9                                                    | 41    | 29   | ICR25  | 358 <sub>H</sub> | 000FFF58 <sub>H</sub> |
| PPG4/PPG5/PPG10/PPG11                                                  | 42    | 2A   | ICR26  | 354 <sub>H</sub> | 000FFF54 <sub>H</sub> |
| PPG6/PPG7/PPG12/PPG13/PPG14/PPG15                                      | 43    | 2B   | ICR27  | 350 <sub>H</sub> | 000FFF50 <sub>H</sub> |
| 波形ジェネレータ 0/3( アンダフロー )                                                 | 44    | 2C   | ICR28  | 34C <sub>H</sub> | 000FFF4C <sub>H</sub> |
| 波形ジェネレータ 1/4( アンダフロー )                                                 | 45    | 2D   | ICR29  | 348 <sub>H</sub> | 000FFF48 <sub>H</sub> |
| 波形ジェネレータ 2/5( アンダフロー )                                                 | 46    | 2E   | ICR30  | 344 <sub>H</sub> | 000FFF44 <sub>H</sub> |
| タイムベースタイマオーバフロー                                                        | 47    | 2F   | ICR31  | 340 <sub>H</sub> | 000FFF40 <sub>H</sub> |
| 外部割込み 8/9/10/11/12/13/14/15                                            | 48    | 30   | ICR32  | 33C <sub>H</sub> | 000FFF3C <sub>H</sub> |

## MB91470/480 シリーズ

付表 B-1 割込みベクタ ( 3 / 4 )

| 割込み要因                                       | 割込み番号 |      | 割込みレベル | オフセット            | TBR<br>デフォルトの<br>アドレス |
|---------------------------------------------|-------|------|--------|------------------|-----------------------|
|                                             | 10 進  | 16 進 |        |                  |                       |
| フリーランタイム 0/3( コンペアクリア )                     | 49    | 31   | ICR33  | 338 <sub>H</sub> | 000FFF38 <sub>H</sub> |
| フリーランタイム 0/3( ゼロ検出 )                        | 50    | 32   | ICR34  | 334 <sub>H</sub> | 000FFF34 <sub>H</sub> |
| フリーランタイム 1/4( コンペアクリア )                     | 51    | 33   | ICR35  | 330 <sub>H</sub> | 000FFF30 <sub>H</sub> |
| フリーランタイム 1/4( ゼロ検出 )                        | 52    | 34   | ICR36  | 32C <sub>H</sub> | 000FFF2C <sub>H</sub> |
| フリーランタイム 2/5( コンペアクリア )                     | 53    | 35   | ICR37  | 328 <sub>H</sub> | 000FFF28 <sub>H</sub> |
| フリーランタイム 2/5( ゼロ検出 )                        | 54    | 36   | ICR38  | 324 <sub>H</sub> | 000FFF24 <sub>H</sub> |
| 8/10 ビット A/D コンバータ 2                        | 55    | 37   | ICR39  | 320 <sub>H</sub> | 000FFF20 <sub>H</sub> |
| 8/10 ビット A/D コンバータ 0/<br>12 ビット A/D コンバータ 3 | 56    | 38   | ICR40  | 31C <sub>H</sub> | 000FFF1C <sub>H</sub> |
| 8/10 ビット A/D コンバータ 1/<br>12 ビット A/D コンバータ 4 | 57    | 39   | ICR41  | 318 <sub>H</sub> | 000FFF18 <sub>H</sub> |
| ICU0/ICU1/ICU4/ICU5 ( 取込み )                 | 58    | 3A   | ICR42  | 314 <sub>H</sub> | 000FFF14 <sub>H</sub> |
| ICU2/ICU3/ICU6/ICU7 ( 取込み )                 | 59    | 3B   | ICR43  | 310 <sub>H</sub> | 000FFF10 <sub>H</sub> |
| OCU0/OCU1/OCU6/OCU7 ( 一致 )                  | 60    | 3C   | ICR44  | 30C <sub>H</sub> | 000FFF0C <sub>H</sub> |
| OCU2/OCU3/OCU8/OCU9 ( 一致 )                  | 61    | 3D   | ICR45  | 308 <sub>H</sub> | 000FFF08 <sub>H</sub> |
| OCU4/OCU5/OCU10/OCU11 ( 一致 )                | 62    | 3E   | ICR46  | 304 <sub>H</sub> | 000FFF04 <sub>H</sub> |
| 遅延割込み要因ビット                                  | 63    | 3F   | ICR47  | 300 <sub>H</sub> | 000FFF00 <sub>H</sub> |
| システム予約 (REALOS にて使用 )                       | 64    | 40   | -      | 2FC <sub>H</sub> | 000FFEFC <sub>H</sub> |
| システム予約 (REALOS にて使用 )                       | 65    | 41   | -      | 2F8 <sub>H</sub> | 000FFE8 <sub>H</sub>  |
| システム予約                                      | 66    | 42   | -      | 2F4 <sub>H</sub> | 000FFE4 <sub>H</sub>  |
| システム予約                                      | 67    | 43   | -      | 2F0 <sub>H</sub> | 000FFE0 <sub>H</sub>  |
| システム予約                                      | 68    | 44   | -      | 2EC <sub>H</sub> | 000FEEC <sub>H</sub>  |
| システム予約                                      | 69    | 45   | -      | 2E8 <sub>H</sub> | 000FEE8 <sub>H</sub>  |
| システム予約                                      | 70    | 46   | -      | 2E4 <sub>H</sub> | 000FEE4 <sub>H</sub>  |
| システム予約                                      | 71    | 47   | -      | 2E0 <sub>H</sub> | 000FEE0 <sub>H</sub>  |
| システム予約                                      | 72    | 48   | -      | 2DC <sub>H</sub> | 000FFEDC <sub>H</sub> |
| システム予約                                      | 73    | 49   | -      | 2D8 <sub>H</sub> | 000FFED8 <sub>H</sub> |
| システム予約                                      | 74    | 4A   | -      | 2D4 <sub>H</sub> | 000FFED4 <sub>H</sub> |
| システム予約                                      | 75    | 4B   | -      | 2D0 <sub>H</sub> | 000FFED0 <sub>H</sub> |
| システム予約                                      | 76    | 4C   | -      | 2CC <sub>H</sub> | 000FFEC8 <sub>H</sub> |
| システム予約                                      | 77    | 4D   | -      | 2C8 <sub>H</sub> | 000FFEC8 <sub>H</sub> |

付表 B-1 割込みベクタ ( 4 / 4 )

| 割込み要因     | 割込み番号          |               | 割込み<br>レベル | オフ<br>セット                                 | TBR<br>デフォルトの<br>アドレス                               |
|-----------|----------------|---------------|------------|-------------------------------------------|-----------------------------------------------------|
|           | 10 進           | 16 進          |            |                                           |                                                     |
| システム予約    | 78             | 4E            | -          | 2C <sub>H</sub>                           | 000FFEC <sub>H</sub>                                |
| システム予約    | 79             | 4F            | -          | 2C <sub>0H</sub>                          | 000FFEC <sub>0H</sub>                               |
| INT 命令で使用 | 80<br>~<br>255 | 50<br>~<br>FF | -          | 2BC <sub>H</sub><br>~<br>000 <sub>H</sub> | 000FFEBC <sub>H</sub><br>~<br>000FFCC <sub>0H</sub> |

# MB91470/480 シリーズ

## 付録 C 各 CPU ステートにおける端子状態

---

端子の状態に対する語句には以下の意味があります。

---

### ■ 各 CPU ステートにおける端子状態

- 入力可能  
入力機能が使用可能な状態です。
- 入力不可  
入力機能が使用不可な状態です。
- 入力 "0" 固定  
入力開放によるリークを防ぐために、内部で入力レベルを "0" に固定しています。
- 出力 Hi-Z  
端子駆動用トランジスタを駆動禁止状態にし、端子をハイインピーダンスにします。
- 直前の状態を保持  
本モードになる直前に出力していた状態をそのまま出力します。  
つまり、出力のある内蔵周辺が動作中であればその内蔵周辺に従って出力を行い、ポートなどとして出力している場合にはその出力を保持します。
- 外部割込み機能選択許可時入力可能  
端子機能を外部割込み要求入力端子に設定し、外部割込み要求を許可している場合のみ入力できます。

付表 C-1 端子状態一覧表 (1 / 2)

| 端子名       | 機能            | イニシャライズ時         |                  | スリープ時      | ストップ時   |                                                      |
|-----------|---------------|------------------|------------------|------------|---------|------------------------------------------------------|
|           |               | INITX = "L"*1    | INITX = "H"*2    |            | HIZ = 0 | HIZ = 1                                              |
| P00 ~ P07 | D16 ~ D23     | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能 | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定                                |
| P10 ~ P17 | D24 ~ D31     |                  |                  |            |         |                                                      |
| P20 ~ P27 | A00 ~ A07     |                  |                  |            |         |                                                      |
| P30 ~ P37 | A08 ~ A15     |                  |                  |            |         |                                                      |
| P50 ~ P52 | CS0X ~ CS2X   |                  |                  |            |         |                                                      |
| P53       | ASX           |                  |                  |            |         |                                                      |
| P54       | RDX           |                  |                  |            |         |                                                      |
| P55 ~ P56 | WR0X, WR1X    |                  |                  |            |         |                                                      |
| P60       | SYSCLK        |                  |                  |            |         |                                                      |
| P61       | RDY           |                  |                  |            |         |                                                      |
| NMIX      | NMIX          | 入力不可             | 入力可能             | 入力可能       | 入力可能    | 入力可能                                                 |
| P80 ~ P83 | INT0 ~ INT3   | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能 | 入力可能       | 入力可能    | 出力 Hi-Z/<br>入力 "0" 固定<br><br>割込み機能<br>選択許可時,<br>入力可能 |
| P84       | INT4/PPG4     |                  |                  |            |         |                                                      |
| P85       | INT5/PPG5     |                  |                  |            |         |                                                      |
| P86       | INT6/PPG6     |                  |                  |            |         |                                                      |
| P87       | INT7/PPG7     |                  |                  |            |         |                                                      |
| P90       | INT8/PPG8     |                  |                  |            |         |                                                      |
| P91       | INT9/PPG9     |                  |                  |            |         |                                                      |
| P92       | INT10/PPG10   |                  |                  |            |         |                                                      |
| P93       | INT11/PPG11   |                  |                  |            |         |                                                      |
| P94       | INT12/PPG12   |                  |                  |            |         |                                                      |
| P95       | INT13/PPG13   |                  |                  |            |         |                                                      |
| P96       | INT14/PPG14   |                  |                  |            |         |                                                      |
| P97       | INT15/PPG15   |                  |                  |            |         |                                                      |
| PA0 ~ PA4 | ADTG0 ~ ADTG4 | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能 | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定                                |

# MB91470/480 シリーズ

付表 C-1 端子状態一覧表 (2 / 2)

| 端子名                | 機能             | イニシャライズ時         |                       | スリープ時      | ストップ時   |                       |
|--------------------|----------------|------------------|-----------------------|------------|---------|-----------------------|
|                    |                | INITX = "L"*1    | INITX = "H"*2         |            | HIZ = 0 | HIZ = 1               |
| PB0 ~ PB3          | AN0-0 ~ AN0-3  | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力 "0" 固定 | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定 |
| PB4 ~ PB7          | AN1-0 ~ AN1-3  |                  |                       |            |         |                       |
| PC0                | AN2-0/SCK4     |                  |                       |            |         |                       |
| PC1                | AN2-1/SIN4     |                  |                       |            |         |                       |
| PC2                | AN2-2/SOT4     |                  |                       |            |         |                       |
| PC3                | AN2-3/SCK5     |                  |                       |            |         |                       |
| PC4                | AN2-4/SIN5     |                  |                       |            |         |                       |
| PC5                | AN2-5/SOT5     |                  |                       |            |         |                       |
| PC6, PC7           | AN2-6, AN2-7   |                  |                       |            |         |                       |
| PD0 ~ PD3          | AN2-8 ~ AN2-11 |                  |                       |            |         |                       |
| PE0 ~ PE3          | AN3-0 ~ AN3-3  |                  |                       |            |         |                       |
| PE4 ~ PE7          | AN4-0 ~ AN4-3  |                  |                       |            |         |                       |
| PF0                | CLKPOUT        | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能      | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定 |
| PF1 ~ PF6          | GPIO           |                  |                       |            |         |                       |
| PG0, PG3           | SCK0, SCK1     | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能      | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定 |
| PG1, PG4           | SIN0, SIN1     |                  |                       |            |         |                       |
| PG2, PG5           | SOT0, SOT1     |                  |                       |            |         |                       |
| PH0, PH3           | SCK2, SCK3     |                  |                       |            |         |                       |
| PH1, PH4           | SIN2, SIN3     |                  |                       |            |         |                       |
| PH2, PH5           | SOT2, SOT3     |                  |                       |            |         |                       |
| PJ0, PJ2, PJ4, PJ6 | TIN0 ~ TIN3    | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能      | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定 |
| PJ1, PJ3, PJ5, PJ7 | TOUT0 ~ TOUT3  |                  |                       |            |         |                       |
| PL0                | AIN0           | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能      | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定 |
| PL1                | BIN0           |                  |                       |            |         |                       |
| PL2                | ZIN0           |                  |                       |            |         |                       |
| PM0 ~ PM3          | PPG0 ~ PPG3    | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能      | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定 |
| PP0 ~ PP3          | IC0 ~ IC3      | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能      | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定 |
| PP4                | CKI0           |                  |                       |            |         |                       |
| PP5                | DTTI0          |                  |                       |            |         |                       |
| PQ0 ~ PQ5          | RTO0 ~ RTO5    |                  |                       |            |         |                       |
| PR0 ~ PR3          | IC4 ~ IC7      | 出力 Hi-Z/<br>入力不可 | 出力 Hi-Z/<br>入力可能      | 直前状態<br>保持 | 直前状態保持  | 出力 Hi-Z/<br>入力 "0" 固定 |
| PR4                | CKI1           |                  |                       |            |         |                       |
| PR5                | DTTI1          |                  |                       |            |         |                       |
| PS0 ~ PS5          | RTO6 ~ RTO11   |                  |                       |            |         |                       |

付表 C-2 端子状態一覧表 (外バスモード)

| 端子名       | 機能          | イニシャライズ時         |                  | スリープ時      | ストップ時      |           |
|-----------|-------------|------------------|------------------|------------|------------|-----------|
|           |             | INITX =<br>"L"*1 | INITX =<br>"H"*2 |            | HIZ = 0    | HIZ = 1   |
| P00 ~ P07 | D16 ~ D23   | 出力 Hi-Z          | 出力 Hi-Z          | 直前状態<br>保持 | 直前状態<br>保持 | 出力 Hi-Z   |
| P10 ~ P17 | D24 ~ D31   |                  |                  |            |            |           |
| P20 ~ P27 | A00 ~ A07   |                  |                  |            |            |           |
| P30 ~ P37 | A08 ~ A15   |                  |                  |            |            |           |
| P50 ~ P52 | CS0X ~ CS2X |                  |                  |            |            |           |
| P53       | ASX         |                  |                  |            |            |           |
| P54       | RDX         |                  |                  |            |            |           |
| P55, P56  | WR0X, WR1X  |                  |                  |            |            |           |
| P60       | SYSCLK      | 入力不可             | 入力不可             |            |            | 入力 "0" 固定 |
| P61       | RDY         |                  |                  |            |            |           |

\*1 : INITX = "L" : INITX が "L" の期間の端子状態を示します。

\*2 : INITX = "H" : INITX が "L" から "H" へ遷移した直後の端子状態を示します。

## MB91470/480 シリーズ

## 付録 D リトルエンディアン領域を利用する際の注意事項

リトルエンディアン領域を利用する際の注意事項を以下の項目ごとに説明します。

- C コンパイラ
- アセンブラ
- リンカ
- デバッガ

### ■ C コンパイラ (fcc911)

C 言語でプログラミングをするにあたって、リトルエンディアン領域に対して次のような操作を行ったときは、動作が保証できませんのでご注意ください。

- 初期値付き変数の配置
- 構造体代入
- 文字列操作関数を使った文字型配列以外の操作
- 文字列操作関数使用時の -K lib オプションの指定
- double 型, long double 型の利用
- スタックのリトルエンディアン領域への配置

#### ● 初期値付き変数の配置

リトルエンディアン領域に初期値付きの変数を配置することはできません。

コンパイラには、リトルエンディアンの初期値を生成する機能がありません。リトルエンディアン領域に変数を配置することはできますが、初期値を設定することはできません。

プログラムの先頭で、初期値を設定する処理を行ってください。

[例] リトルエンディアン領域の変数 little\_data に初期値を設定する場合

```
extern int little_data;

void little_init(void) {
 little_data = 初期値;
}

void main(void) {
 little_init();
 ...
}
```



### ● 構造体代入

構造体どうしの代入を行うとき、コンパイラは最適な転送方法を選択してバイト、ハーフワード、ワードごとの転送を行います。このため、通常の領域に割り当てられた構造体変数とリトルエンディアンの領域に割り当てられた構造体変数の間で構造体代入を行うと正しい結果が得られません。

構造体のメンバをそれぞれ代入してください。

[例] リトルエンディアン領域の構造体変数 `little_st` に構造体代入をする場合

```
struct tag { char c; int i; } normal_st;
extern struct tag little_st;

#define STRMOVE(DEST, SRC) DEST.c=SRC.c; DEST.i=SRC.i;

void main(void) {
 STRMOVE(little_st, normal_st);
}
```

また、構造体のメンバの配置はコンパイラごとに違うので、ほかのコンパイラでコンパイルされた構造体とは、メンバの配置が違っていることが考えられます。このようなときには、前述の方法においても正しい結果が得られません。

構造体のメンバの配置が一致しないときは、リトルエンディアン領域に構造体変数を配置しないでください。

### ● 文字列操作関数を使った文字型配列以外の操作

標準ライブラリとして用意されている文字列操作関数はバイト単位での処理を行います。このため、リトルエンディアン領域に配置された `char`, `unsigned char`, `signed char` 型以外の型を持つ領域に対し、文字列操作関数を使った処理を行うと正しい結果が得られません。

このような処理は行わないでください。

[不具合例] `memcpy` でのワードデータの転送

```
int big = 0x01020304; /* ビッグエンディアン領域 */
extern int little; /* リトルエンディアン領域 */
memcpy(&little, &big, 4); /* memcpy による転送 */
```

実行結果

| ( ビッグエンディアン領域 )             |    |    |    |        | ( リトルエンディアン領域 ) |    |    |    |
|-----------------------------|----|----|----|--------|-----------------|----|----|----|
| 01                          | 02 | 03 | 01 | memcpy | 01              | 02 | 03 | 04 |
| となり、ワードデータの転送結果としては誤りになります。 |    |    |    |        |                 |    |    |    |
| ( 正しい結果 )                   |    |    |    |        | 04              | 03 | 02 | 01 |

# MB91470/480 シリーズ

## ● 文字列操作関数使用時の -K lib オプションの指定

-K lib オプションを指定すると、コンパイラはいくつかの文字列操作関数に対してインライン展開を行います。このとき、最適な処理を選択するためにハーフワードまたはワードごとの処理に変更される場合があります。このため、リトルエンディアン領域に対する処理が正しく実行されません。

リトルエンディアン領域に対して文字列操作関数を使った処理を行っているときは、-K lib オプションを指定しないでください。

-K lib オプションを包含する -O 4 オプションや -K speed オプションも同様に指定しないでください。

## ● double 型、long double 型の利用

double 型および long double 型へのアクセスは、上位 1 ワード、下位 1 ワードをそれぞれアクセスする方法で行われます。このため、リトルエンディアン領域に配置された double 型、long double 型変数に対するアクセスは正しい結果が得られません。

リトルエンディアン領域に割り当てられた同一型の変数どうしの代入は可能ですが、最適化の結果、これらの代入が定数の代入に置き換えられるときもあります。

double 型および long double 型変数をリトルエンディアン領域に配置しないでください。

### [ 不具合例 ] double 型データの転送

```
double big = 1.0; /* ビッグエンディアン領域 */
extern int little; /* リトルエンディアン領域 */
little = big; /* double 型データの転送 */
```

### 実行結果

| ( ビッグエンディアン領域 )                  |    |    |    |    |    |    |    | ( リトルエンディアン領域 ) |    |    |    |    |    |    |    |
|----------------------------------|----|----|----|----|----|----|----|-----------------|----|----|----|----|----|----|----|
| 3f                               | f0 | 00 | 00 | 00 | 00 | 00 | 00 | 00              | 00 | f0 | 3f | 00 | 00 | 00 | 00 |
| となり、double 型データの転送結果としては誤りになります。 |    |    |    |    |    |    |    |                 |    |    |    |    |    |    |    |
| ( 正しい結果 )                        |    |    |    |    |    |    |    | 00              | 00 | 00 | 00 | 00 | 00 | f0 | 3f |

## ● スタックのリトルエンディアン領域への配置

リトルエンディアン領域にスタックの一部あるいは全部が配置された場合には動作を保証しません。

## ■ アセンブラ (fasm911)

FR のアセンブラ言語でプログラミングをするにあたって、リトルエンディアン領域に関して注意すべき項目を以下に示します。

### ● セクションについて

リトルエンディアン領域は、主にリトルエンディアン系 CPU とデータ交換を行うことを目的としています。そのため、リトルエンディアン領域は初期値のないデータセクションとして定義してください。もし、リトルエンディアン領域にコードやスタック、初期値付きデータセクションなどの指定をした場合には、本品種でのアクセス動作は保証できなくなります。

#### [ 例 ]

```
/* 正しいリトルエンディアン領域のセクション定義 */
```

```
.SECTION Little_Area, DATA, ALIGN=4
```

```
Little_Word:
```

```
.RES.W 1
```

```
Little_Half:
```

```
.RES.H 1
```

```
Little_Byte:
```

```
.RES.B 1
```

## MB91470/480 シリーズ

### ● データのアクセスについて

リトルエンディアン領域へのデータのアクセスを行う場合、そのデータの値は、エンディアンを意識せずにコーディングできます。ただし、リトルエンディアン領域のデータへのアクセスは、必ずデータサイズと同じサイズでアクセスしてください。

[ 例 ]

```
LDI #0x01020304, r0
```

```
LDI #Little_Word, r1
```

```
LDI #0x0102, r2
```

```
LDI #Little_Half, r3
```

```
LDI #0x01, r4
```

```
LDI #Little_Byte, r5
```

/\* 32 ビットデータは、ST 命令（や LD 命令など）でアクセスします。\*/

```
ST r0, @r1
```

/\* 16 ビットデータは、STH 命令（や LDH 命令など）でアクセスします。\*/

```
STH r2, @r3
```

/\* 8 ビットデータは、STB 命令（や LDB 命令など）でアクセスします。\*/

```
STB r4, @r5
```

MB91470/480 シリーズでデータサイズと異なるサイズでアクセスした場合には、その値の保証はできません。例えば、連続する 2 つの 16 ビットデータを 32 ビットアクセス命令を使って一度にアクセスした場合にはデータの値の保証はできません。

**■ リンカ (flnk911)**

リトルエンディアン領域を使用するプログラムの作成において、リンク時のセクション配置で注意すべき項目を以下に示します。

**● セクション種別の制限**

リトルエンディアン領域には、初期値なしデータセクションのみを配置することができます。

リトルエンディアン領域に初期値付きデータセクション、スタックセクション、およびコードセクションを配置した場合、リンカの内部では、ビッグエンディアンでアドレス解決などの演算処理を行っていますので、プログラム動作は保証できなくなります。

**● エラーの未検出**

リンカは、リトルエンディアン領域の認識をしていませんので、上記制限事項に違反した配置が行われてもエラーメッセージを通知することはありません。リトルエンディアン領域に配置したセクションの内容を十分に確認の上使用してください。

## MB91470/480 シリーズ

### ■ デバッガ (sim911, eml911, mon911)

#### ● シミュレータデバッガ

リトルエンディアン領域を示すようなメモリ空間指定コマンドはありません。したがって、メモリ操作コマンドやメモリを操作する命令実行は、ビッグエンディアンとして扱われます。

#### ● エミュレータデバッガ，モニタデバッガ

以下のコマンドでリトルエンディアン領域をアクセスした場合に，正常な値として扱われませんので注意してください。

- set memory/show memory/enter/examine/set watch コマンド

浮動小数点 (single/double) のデータを扱った場合，指定した値が設定・表示ともにできません。

- search memory コマンド

ハーフワード，ワードのデータの検索を行った場合，指定した値で検索が行われません。

- 行 / 逆アセンブル (ソースウィンドウの逆アセンブル表示を含む)

正常な命令コードが設定・表示ともにできません (リトルエンディアン領域には，命令コードを配置しないようにしてください)。

- call/show call コマンド

スタック領域がリトルエンディアン領域に置かれた場合，正常に動作しません (リトルエンディアン領域にスタック領域を配置しないようにしてください)。

## 付録 E 命令一覧表

FR ファミリの命令一覧表です。

## ■ 命令一覧表

図 E-1 命令一覧表の読み方

| ニーモニック       | 型 | OP | CYC | NZVC | 動作            | 備考 |
|--------------|---|----|-----|------|---------------|----|
| ADD Rj, Rj   | A | AG | 1   | CCCC | Ri + Rj -> Rj |    |
| *ADD #s5, Rj | C | A4 | 1   | CCCC | Ri + s5 -> Ri |    |
| ,            | , | ,  | ,   | ,    | ,             |    |
| ,            | , | ,  | ,   | ,    | ,             |    |

(1) (2) (3) (4) (5) (6) (7)

(1) 命令名が示されています。

\* 印は、CPU 仕様ではなくアセンブラで命令を拡張または追加した拡張命令です。

(2) オペランドに指定可能なアドレッシングモードを記号で示されています。

記号の意味は、「 アドレッシングモードの記号」を参照してください。

(3) 命令フォーマットが示されています。

(4) 命令コードが 16 進数表示されています。

(5) マシンサイクル数を表しています。

a：メモリアクセスサイクルであり、Ready 機能により延びる可能性があります。

b：メモリアクセスサイクルであり、Ready 機能により延びる可能性があります。

ただし、LD 動作の対象となるレジスタを直後の命令が参照する場合には、インタロックがかかり、実行サイクル数が + 1 されます。

c：直後の命令が、R15 または SSP または USP に対し、読出しあるいは書込みを行う命令であるとき、あるいは命令フォーマット A の命令であるとき、インタロックがかかり、実行サイクル数はさらに 1 増加して 2 となります。

d：直後の命令が MDH/MDL を参照する場合、インタロックがかかり、実行サイクル数は増加して 2 となります。

a, b, c, d とも最小は 1 サイクルです。

(6) フラグ変化を表しています。

| フラグ変化       | フラグの意味        |
|-------------|---------------|
| C... 変化する   | N... ネガティブフラグ |
| - ... 変化しない | Z... ゼロフラグ    |
| 0... クリア    | V... オーバフラグ   |
| 1... セット    | C... キャリフラグ   |

(7) 命令動作が表記されています。

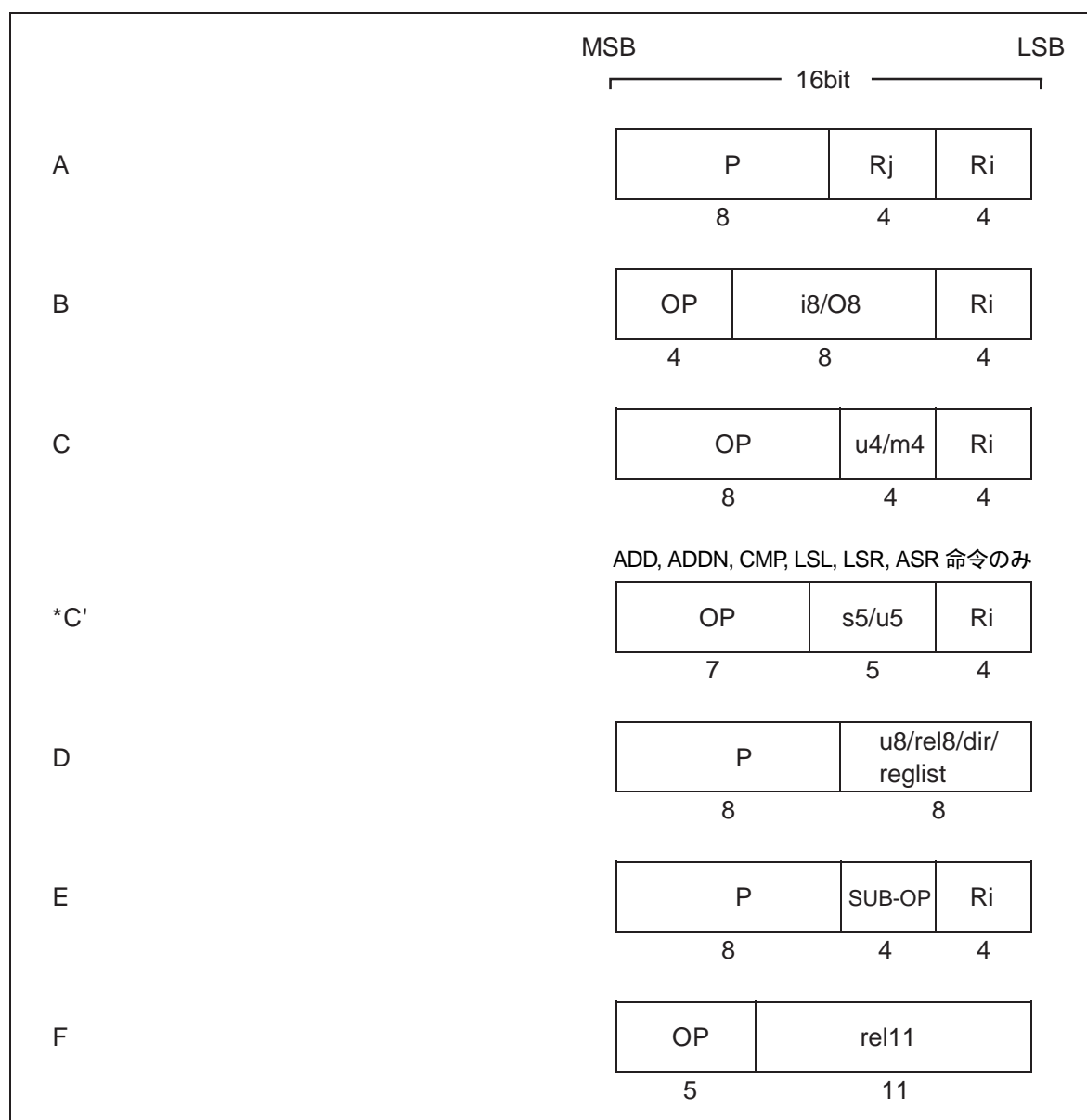
# MB91470/480 シリーズ

## アドレッシングモードの記号

|               |                                                                                                                   |
|---------------|-------------------------------------------------------------------------------------------------------------------|
| Ri            | : レジスタ直接 (R0 ~ R15, AC, FP, SP)                                                                                   |
| Rj            | : レジスタ直接 (R0 ~ R15, AC, FP, SP)                                                                                   |
| R13           | : レジスタ直接 (R13, AC)                                                                                                |
| Ps            | : レジスタ直接 ( プログラムステータスレジスタ )                                                                                       |
| Rs            | : レジスタ直接 (TBR, RP, SSP, USP, MDH, MDL)                                                                            |
| Cri           | : レジスタ直接 (CR0 ~ CR15)                                                                                             |
| CRj           | : レジスタ直接 (CR0 ~ CR15)                                                                                             |
| #i8           | : 符号なし 8 ビット即値 ( - 128 ~ + 255 )<br>( 注意事項 ) - 128 ~ - 1 は , + 128 ~ + 255 として扱います。                               |
| #i20          | : 符号なし 20 ビット即値 ( - 0X80000 ~ 0XFFFFF )<br>( 注意事項 ) - 0X7FFFF ~ - 1 は , 0X7FFFF ~ 0XFFFFF として扱います。                |
| #i32          | : 符号なし 32 ビット即値 ( - 0X80000000 ~ 0XFFFFFFFF )<br>( 注意事項 ) - 0X80000000 ~ - 1 は , 0X80000000 ~ 0XFFFFFFFF として扱います。 |
| #s5           | : 符号付き 5 ビット即値 ( - 16 ~ + 15 )                                                                                    |
| #s10          | : 符号付き 10 ビット即値 ( - 512 ~ + 508, 4 の倍数のみ )                                                                        |
| #u4           | : 符号なし 4 ビット即値 ( 0 ~ 15 )                                                                                         |
| #u5           | : 符号なし 5 ビット即値 ( 0 ~ 31 )                                                                                         |
| #u8           | : 符号なし 8 ビット即値 ( 0 ~ 255 )                                                                                        |
| #u10          | : 符号なし 10 ビット即値 ( 0 ~ 1020, 4 の倍数のみ )                                                                             |
| @dir8         | : 符号なし 8 ビット直接アドレス ( 0 ~ 0XFF )                                                                                   |
| @dir9         | : 符号なし 9 ビット直接アドレス ( 0 ~ 0X1FE, 2 の倍数のみ )                                                                         |
| @dir10        | : 符号なし 10 ビット直接アドレス ( 0 ~ 0X3FC, 4 の倍数のみ )                                                                        |
| label9        | : 符号付き 9 ビット分岐アドレス ( - 0X100 ~ + 0XFC, 2 の倍数のみ )                                                                  |
| label12       | : 符号付き 12 ビット分岐アドレス ( - 0X800 ~ + 0X7FC, 2 の倍数のみ )                                                                |
| label20       | : 符号付き 20 ビット分岐アドレス ( - 0X80000 ~ + 0X7FFFF )                                                                     |
| label32       | : 符号付き 32 ビット分岐アドレス ( - 0X80000000 ~ + 0X7FFFFFFF )                                                               |
| @Ri           | : レジスタ間接 (R0 ~ R15, AC, FP, SP)                                                                                   |
| @Rj           | : レジスタ間接 (R0 ~ R15, AC, FP, SP)                                                                                   |
| @(R13,Rj)     | : レジスタ相対間接 (Rj: R0 ~ R15, AC, FP, SP)                                                                             |
| @(R14,disp10) | : レジスタ相対間接 (disp10: - 0X200 ~ 0X1FC 4 の倍数のみ )                                                                     |
| @(R14,disp9)  | : レジスタ相対間接 (disp9: - 0X100 ~ 0XFE 2 の倍数のみ )                                                                       |
| @(R14,disp8)  | : レジスタ相対間接 (disp8: - 0X80 ~ 0X7F)                                                                                 |
| @(R15,udisp6) | : レジスタ相対間接 (udisp6: 0 ~ 60, 4 の倍数のみ )                                                                             |
| @Ri+          | : ポストインクリメント付きレジスタ間接 (R0 ~ R15, AC, FP, SP)                                                                       |
| @R13+         | : ポストインクリメント付きレジスタ間接 (R13, AC)                                                                                    |
| @SP+          | : スタックポップ                                                                                                         |
| @-SP          | : スタックプッシュ                                                                                                        |
| (reglist)     | : レジスタリスト                                                                                                         |



## 命令フォーマット



## MB91470/480 シリーズ

表 E-1 加減算

| ニーモニック        | 型  | OP | CYCLE | NZVC | 動作              | 備考                                      |
|---------------|----|----|-------|------|-----------------|-----------------------------------------|
| ADD Rj, Ri    | A  | A6 | 1     | CCCC | Ri+Rj->Ri       | アセンブラでは上位 1 ビットを符号と見る<br>ゼロ拡張<br>マイナス拡張 |
| ADD #s5, Ri   | C' | A4 | 1     | CCCC | Ri+s5->Ri       |                                         |
| ADD #u4, Ri   | C  | A4 | 1     | CCCC | Ri+extu(i4)->Ri |                                         |
| ADD2 #u4, Ri  | C  | A5 | 1     | CCCC | Ri+extu(i4)->Ri |                                         |
| ADDN Rj, Ri   | A  | A7 | 1     | CCCC | Ri+Rj+c->Ri     | キャリ付き加算                                 |
| ADDN Rj, Ri   | A  | A2 | 1     | ---- | Ri+Rj->Ri       | アセンブラでは上位 1 ビットを符号と見る<br>ゼロ拡張<br>マイナス拡張 |
| *ADDN #s5, Ri | C' | A0 | 1     | ---- | Ri+s5->Ri       |                                         |
| ADDN #u4, Ri  | C  | A0 | 1     | ---- | Ri+extu(i4)->Ri |                                         |
| ADDN2 #u4, Ri | C  | A1 | 1     | ---- | Ri+extu(i4)->Ri |                                         |
| SUB Rj, Ri    | A  | AC | 1     | CCCC | Ri-Rj->Ri       |                                         |
| SUBC Rj, Ri   | A  | AD | 1     | CCCC | Ri-Rj-c->Ri     | キャリ付き減算                                 |
| SUBN Rj, Ri   | A  | AE | 1     | ---- | Ri-Rj->Ri       |                                         |

表 E-2 比較演算

| ニーモニック       | 型  | OP | CYCLE | NZVC | 動作          | 備考                                      |
|--------------|----|----|-------|------|-------------|-----------------------------------------|
| CMP Rj, Ri   | A  | AA | 1     | CCCC | Ri-Rj       | アセンブラでは上位 1 ビットを符号と見る<br>ゼロ拡張<br>マイナス拡張 |
| *CMP #s5, Ri | C' | A8 | 1     | CCCC | Ri-s5       |                                         |
| CMP #u4, Ri  | C  | A8 | 1     | CCCC | Ri-extu(i4) | ゼロ拡張<br>マイナス拡張                          |
| CMP2 #u4, Ri | C  | A9 | 1     | CCCC | Ri-extu(i4) |                                         |

表 E-3 論理演算

| ニーモニック       | 型 | OP | CYCLE | NZVC | 動作         | RMW | 備考     |
|--------------|---|----|-------|------|------------|-----|--------|
| AND Rj, Ri   | A | 82 | 1     | CC-- | Ri &= Rj   | -   | ワード    |
| AND Rj, @Ri  | A | 84 | 1+2a  | CC-- | (Ri) &= Rj | -   | ワード    |
| ANDH Rj, @Ri | A | 85 | 1+2a  | CC-- | (Ri) &= Rj | -   | ハーフワード |
| ANDB Rj, @Ri | A | 86 | 1+2a  | CC-- | (Ri) &= Rj | -   | バイト    |
| OR Rj, Ri    | A | 92 | 1     | CC-- | Ri  = Rj   | -   | ワード    |
| OR Rj, @Ri   | A | 94 | 1+2a  | CC-- | (Ri)  = Rj | -   | ワード    |
| ORH Rj, @Ri  | A | 95 | 1+2a  | CC-- | (Ri)  = Rj | -   | ハーフワード |
| ORB Rj, @Ri  | A | 96 | 1+2a  | CC-- | (Ri)  = Rj | -   | バイト    |
| EOR Rj, Ri   | A | 9A | 1     | CC-- | Ri ^= Rj   | -   | ワード    |
| EOR Rj, @Ri  | A | 9C | 1+2a  | CC-- | (Ri) ^= Rj | -   | ワード    |
| EORH Rj, @Ri | A | 9D | 1+2a  | CC-- | (Ri) ^= Rj | -   | ハーフワード |
| EORB Rj, @Ri | A | 9E | 1+2a  | CC-- | (Ri) ^= Rj | -   | バイト    |

表 E-4 ビット操作命令

| ニーモニック                        | 型 | OP | CYCLE | NZVC | 動作                   | RMW | 備考           |
|-------------------------------|---|----|-------|------|----------------------|-----|--------------|
| BANDL #u4, @Ri                | C | 80 | 1+2a  | ---- | (Ri)&=(0xF0+u4)      | -   | 下位 4 ビットを操作  |
| BANDH #u4, @Ri                | C | 81 | 1+2a  | ---- | (Ri)&=((u4<<4)+0xF0) | -   | 上位 4 ビットを操作  |
| *BAND #u8, @Ri * <sup>1</sup> |   |    |       | ---- | (Ri)&=u8             | -   |              |
| BORL #u4, @Ri                 | C | 90 | 1+2a  | ---- | (Ri)   = u4          | -   | 下位 4 ビットを操作  |
| BORH #u4, @Ri                 | C | 91 | 1+2a  | ---- | (Ri)   = (u4<<4)     | -   | 上位 4 ビットを操作  |
| *BOR #u8, @Ri * <sup>2</sup>  |   |    |       | ---- | (Ri)   = u8          | -   |              |
| BEORL #u4, @Ri                | C | 98 | 1+2a  | ---- | (Ri) ^ = u4          | -   | 下位 4 ビットを操作  |
| BEORH #u4, @Ri                | C | 99 | 1+2a  | ---- | (Ri) ^ = (u4<<4)     | -   | 上位 4 ビットを操作  |
| *BEOR #u8, @Ri * <sup>3</sup> |   |    |       | ---- | (Ri) ^ = u8          | -   |              |
| BTSTL #u4, @Ri                | C | 88 | 2+a   | 0C-- | (Ri) & u4            | -   | 下位 4 ビットをテスト |
| BTSTH #u4, @Ri                | C | 89 | 2+a   | CC-- | (Ri) & (u4<<4)       | -   | 上位 4 ビットをテスト |

\*1: アセンブラは, u8&0x0F でビットが立っていれば, BANDL を生成し, u8&0xF0 でビットが立っていれば, BANDH を生成する。BANDL, BANDH 両方生成する場合もある。

\*2: アセンブラは, u8&0x0F でビットが立っていれば, BORL を生成し, u8&0xF0 でビットが立っていれば, BORH を生成する。BORL, BORH 両方生成する場合もある。

\*3: アセンブラは, u8&0x0F でビットが立っていれば, BEORL を生成し, u8&0xF0 でビットが立っていれば, BEORH を生成する。BEORL, BEORH 両方生成する場合もある。

# MB91470/480 シリーズ

表 E-5 乗除算

| ニーモニック                  | 型 | OP   | CYCLE | NZVC | 動作                                | 備考                          |
|-------------------------|---|------|-------|------|-----------------------------------|-----------------------------|
| MUL Rj,Ri               | A | AF   | 5     | CCC- | Ri * Rj -> MDH,MDL                | 32bit × 32bit=64bit         |
| MULU Rj,Ri              | A | AB   | 5     | CCC- | Ri * Rj -> MDH,MDL                | 符号なし                        |
| MULH Rj,Ri              | A | BF   | 3     | CC-- | Ri * Rj -> MDL                    | 16bit × 16bit=32bit         |
| MULUH Rj,Ri             | A | BB   | 3     | CC-- | Ri * Rj -> MDL                    | 符号なし                        |
| DIV0S Ri                | E | 97-4 | 1     | ---- |                                   | ステップ演算<br>32bit/32bit=32bit |
| DIV0U Ri                | E | 97-5 | 1     | ---- |                                   |                             |
| DIV1 Ri                 | E | 97-6 | d     | -C-C |                                   |                             |
| DIV2 Ri                 | E | 97-7 | 1     | -C-C |                                   |                             |
| DIV3                    | E | 9F-6 | 1     | ---- |                                   |                             |
| DIV4S                   | E | 9F-7 | 1     | ---- |                                   |                             |
| *DIV Ri * <sup>1</sup>  |   |      | 36    | -C-C | MDL / Ri -> MDL , MDL % Ri -> MDH |                             |
| *DIVU Ri * <sup>2</sup> |   |      |       | -C-C | MDL / Ri -> MDL , MDL % Ri -> MDH |                             |

表 E-6 シフト

| ニーモニック                   | 型  | OP | CYCLE | NZVC | 動作                 | 備考    |
|--------------------------|----|----|-------|------|--------------------|-------|
| LSL Rj, Ri               | A  | B6 | 1     | CC-C | Ri << Rj -> Ri     | 論理シフト |
| *LSL #u5, Ri(u5:0 ~ 31)  | C' | B4 | 1     | CC-C | Ri << u5 -> Ri     |       |
| LSL #u4, Ri              | C  | B4 | 1     | CC-C | Ri << u4 -> Ri     |       |
| LSL2 #u4, Ri             | C  | B5 | 1     | CC-C | Ri <<(u4+16) -> Ri |       |
| LSR Rj, Ri               | A  | B2 | 1     | CC-C | Ri >> Rj -> Ri     | 論理シフト |
| *LSR #u5, Ri(u5:0 ~ 31)  | C' | B0 | 1     | CC-C | Ri >> u5 -> Ri     |       |
| LSR #u4, Ri              | C  | B0 | 1     | CC-C | Ri >> u4 -> Ri     |       |
| LSR2 #u4, Ri             | C  | B1 | 1     | CC-C | Ri >>(u4+16) -> Ri |       |
| ASR Rj, Ri               | A  | BA | 1     | CC-C | Ri >> Rj -> Ri     | 算術シフト |
| *ASR #u5, Ri (u5:0 ~ 31) | C' | B8 | 1     | CC-C | Ri >> u5 -> Ri     |       |
| ASR #u4, Ri              | C  | B8 | 1     | CC-C | Ri >> u4 -> Ri     |       |
| ASR2 #u4, Ri             | C  | B9 | 1     | CC-C | Ri >>(u4+16) -> Ri |       |

表 E-7 即値セット/16ビット/32ビット即値転送命令

| ニーモニック                                 | 型 | OP   | CYCLE | NZVC | 動作                     | 備考                               |
|----------------------------------------|---|------|-------|------|------------------------|----------------------------------|
| LDI:32 #i32, Ri                        | E | 9F-8 | 3     | ---- | i32 -> Ri              | 上位 12 ビットはゼロ拡張<br>上位 24 ビットはゼロ拡張 |
| LDI:20 #i20, Ri                        | C | 9B   | 2     | ---- | i20 -> Ri              |                                  |
| LDI:8 #i8, Ri                          | B | C0   | 1     | ---- | i8 -> Ri               |                                  |
| *LDI # {i8 i20 i32} ,Ri * <sub>3</sub> |   |      |       |      | {i8   i20   i32} -> Ri |                                  |

\*1: DIV0S, DIV1 × 32, DIV2, DIV3, DIV4S を生成する。命令コード長は、72 バイトとなる。

\*2: DIV0U, DIV1 × 32 を生成する。命令コード長は、66 バイトとなる。

\*3: 即値が絶対値の場合は、i8, i20, i32 の選択はアセンブラが自動的に行う。  
即値が、相対値または外部参照シンボルを含む場合は、i32 が選択される。

表 E-8 メモリロード

| ニーモニック                | 型 | OP   | CYCLE | NZVC | 動作                | 備考               |
|-----------------------|---|------|-------|------|-------------------|------------------|
| LD @Rj, Ri            | A | 04   | b     | ---- | (Rj)->Ri          | Rs : 特殊レジスタ<br>* |
| LD @(R13,Rj), Ri      | A | 00   | b     | ---- | (R13+Rj)->Ri      |                  |
| LD @(R14,disp10), Ri  | B | 2    | b     | ---- | (R14+disp10)->Ri  |                  |
| LD @(R15,udisp6), Ri  | C | 03   | b     | ---- | (R15+udisp6)->Ri  |                  |
| LD @R15+, Ri          | E | 07-0 | b     | ---- | (R15)->Ri, R15+=4 |                  |
| LD @R15+, Rs          | E | 07-8 | b     | ---- | (R15)->Rs, R15+=4 |                  |
| LD @R15+, PS          | E | 07-9 | 1+a+b | CCCC | (R15)->PS, R15+=4 |                  |
| LDUH @Rj, Ri          | A | 05   | b     | ---- | (Rj)->Ri          | ゼロ拡張             |
| LDUH @(R13,Rj), Ri    | A | 01   | b     | ---- | (R13+Rj)->Ri      | ゼロ拡張             |
| LDUH @(R14,disp9), Ri | B | 4    | b     | ---- | (R14+disp9)->Ri   | ゼロ拡張             |
| LDUB @Rj, Ri          | A | 06   | b     | ---- | (Rj)->Ri          | ゼロ拡張             |
| LDUB @(R13,Rj), Ri    | A | 02   | b     | ---- | (R13+Rj)->Ri      | ゼロ拡張             |
| LDUB @(R14,disp8), Ri | B | 6    | b     | ---- | (R14+disp8)->Ri   | ゼロ拡張             |

\*: ハード仕様の o8, o4 のフィールドには, 次のようにアセンブラが計算して値を設定します。

disp10/4    o8, disp9/2    o8, disp8    o8, disp10, disp9, disp8 は符号付き, udisp6/4    o4 udisp6 は符号なし。

表 E-9 メモリストア

| ニーモニック               | 型 | OP   | CYCLE | NZVC | 動作                | 備考               |
|----------------------|---|------|-------|------|-------------------|------------------|
| ST Ri, @Rj           | A | 14   | a     | ---- | Ri->(Rj)          | ワード              |
| ST Ri, @(R13,Rj)     | A | 10   | a     | ---- | Ri->(R13+Rj)      | ワード              |
| ST Ri, @(R14,disp10) | B | 3    | a     | ---- | Ri->(R14+disp10)  | ワード              |
| ST Ri, @(R15,udisp6) | C | 13   | a     | ---- | Ri->(R15+udisp6)  |                  |
| ST Ri, @-R15         | E | 17-0 | a     | ---- | R15-=4, Ri->(R15) | Rs : 特殊レジスタ<br>* |
| ST Rs, @-R15         | E | 17-8 | a     | ---- | R15-=4, Rs->(R15) |                  |
| ST PS, @-R15         | E | 17-9 | a     | ---- | R15-=4, PS->(R15) |                  |
| STH Ri, @Rj          | A | 15   | a     | ---- | Ri->(Rj)          | ハーフワード           |
| STH Ri, @(R13,Rj)    | A | 11   | a     | ---- | Ri->(R13+Rj)      | ハーフワード           |
| STH Ri, @(R14,disp9) | B | 5    | a     | ---- | Ri->(R14+disp9)   | ハーフワード           |
| STB Ri, @Rj          | A | 16   | a     | ---- | Ri->(Rj)          | バイト              |
| STB Ri, @(R13,Rj)    | A | 12   | a     | ---- | Ri->(R13+Rj)      | バイト              |
| STB Ri, @(R14,disp8) | B | 7    | a     | ---- | Ri->(R14+disp8)   | バイト              |

\*: ハード仕様の o8, o4 のフィールドには, 次のようにアセンブラが計算して値を設定します。

disp10/4    o8, disp9/2    o8, disp8    o8, disp10, disp9, disp8 は符号付き, udisp6/4    o4 udisp6 は, 符号なし。

表 E-10 レジスタ間転送

| ニーモニック     | 型 | OP   | CYCLE | NZVC | 動作       | 備考                                           |
|------------|---|------|-------|------|----------|----------------------------------------------|
| MOV Rj, Ri | A | 8B   | 1     | ---- | Rj -> Ri | 汎用レジスタ間転送<br>Rs : 特殊レジスタ<br>Rs : 特殊レジスタ<br>* |
| MOV Rs, Ri | A | B7   | 1     | ---- | Rs -> Ri |                                              |
| MOV Ri, Rs | E | B3   | 1     | ---- | Ri -> Rs |                                              |
| MOV PS, Ri | E | 17-1 | 1     | ---- | PS -> Ri |                                              |
| MOV Ri, PS | E | 07-1 | c     | CCCC | Ri -> PS |                                              |

\*: 特殊レジスタ Rs : TBR, RP, USP, SSP, MDH, MDL

## MB91470/480 シリーズ

表 E-11 通常分岐 (遅延なし)

| ニーモニック       | 型 | OP   | CYCLE | NZVC | 動作                                                                                       | 備考      |
|--------------|---|------|-------|------|------------------------------------------------------------------------------------------|---------|
| JMP @Ri      | E | 97-0 | 2     | ---- | Ri -> PC                                                                                 |         |
| CALL label12 | E | D0   | 2     | ---- | PC+2->RP, PC+2+(label12-PC-2)->PC                                                        |         |
| CALL @Ri     | F | 97-1 | 2     | ---- | PC+2->RP, Ri->PC                                                                         |         |
| RET          | E | 97-2 | 2     | ---- | RP -> PC                                                                                 | リターン    |
| INT #u8      | D | 1F   | 3+3a  | ---- | SSP-=4, PS->(SSP), SSP-=4, PC+2->(SSP),<br>0->I フラグ, 0->S フラグ,<br>(TBR+0x3FC-u8 × 4)->PC |         |
| INTE         | E | 9F-3 | 3+3a  | ---- | SSP-=4, PS->(SSP), SSP-=4, PC+2->(SSP),<br>0->S フラグ, (TBR+10x3D8)->PC                    |         |
|              |   |      |       |      | -                                                                                        | エミュレータ用 |
| RETI         | E | 97-3 | 2+2A  | CCCC | (R15)->PC, R15-=4, (R15)->PS, R15-=4                                                     |         |
| BRA label9   | D | E0   | 2     | ---- | PC+2+(label9-PC-2)->PC                                                                   |         |
| BNO label9   | D | E1   | 1     | ---- | 非分岐                                                                                      |         |
| BEQ label9   | D | E2   | 2/1   | ---- | if(Z==1) then<br>PC+2+(label9-PC-2)->PC                                                  |         |
| BNE label9   | D | E3   | 2/1   | ---- | s/Z==0                                                                                   |         |
| BC label9    | D | E4   | 2/1   | ---- | s/C==1                                                                                   |         |
| BNC label9   | D | E5   | 2/1   | ---- | s/C==0                                                                                   |         |
| BN label9    | D | E6   | 2/1   | ---- | s/N==1                                                                                   |         |
| BP label9    | D | E7   | 2/1   | ---- | s/N==0                                                                                   |         |
| BV label9    | D | E8   | 2/1   | ---- | s/V==1                                                                                   |         |
| BNV label9   | D | E9   | 2/1   | ---- | s/V==0                                                                                   |         |
| BLT label9   | D | EA   | 2/1   | ---- | s/V xor N==1                                                                             |         |
| BGE label9   | D | EB   | 2/1   | ---- | s/V xor N==0                                                                             |         |
| BLE label9   | D | EC   | 2/1   | ---- | s/(V xor N) or Z==1                                                                      |         |
| BGT label9   | D | ED   | 2/1   | ---- | s/(V xor N) or Z==0                                                                      |         |
| BLS label9   | D | EE   | 2/1   | ---- | s/C or Z==1                                                                              |         |
| BHI label9   | D | EF   | 2/1   | ---- | s/C or Z==0                                                                              |         |

- (注意事項) ・ CYCLE 数の「2/1」は、分岐するとき 2、分岐しないとき 1であることを示します。
- ハード仕様の rel11, rel8 のフィールドには、次のようにアセンブラが計算して値を設定します。  
(label12-PC-2)/2    rel11, (label9-PC-2)/2    rel8, label12, label9 は符号付き。
  - RETI 命令を実行するときは S フラグが "0" であることが必要です。

表 E-12 遅延分岐

| ニーモニック         | 型 | OP   | CYCLE | NZVC | 動作                                      | 備考   |
|----------------|---|------|-------|------|-----------------------------------------|------|
| JMP:D @Ri      | E | 9F-0 | 1     | ---- | Ri -> PC                                |      |
| CALL:D label12 | F | D8   | 1     | ---- | PC+4->RP, PC+2+(label12-PC-2)->PC       |      |
| CALL:D @Ri     | E | 9F-1 | 1     | ---- | PC+4->RP, Ri->PC                        |      |
| RET:D          | E | 9F-2 | 1     | ---- | RP -> PC                                | リターン |
| BRA:D label9   | D | F0   | 1     | ---- | PC+2+(label9-PC-2)->PC                  |      |
| BNO:D label9   | D | F1   | 1     | ---- | 非分岐                                     |      |
| BEQ:D label9   | D | F2   | 1     | ---- | if(Z==1) then<br>PC+2+(label9-PC-2)->PC |      |
| BNE:D label9   | D | F3   | 1     | ---- | s/Z==0                                  |      |
| BC:D label9    | D | F4   | 1     | ---- | s/C==1                                  |      |
| BNC:D label9   | D | F5   | 1     | ---- | s/C==0                                  |      |
| BN:D label9    | D | F6   | 1     | ---- | s/N==1                                  |      |
| BP:D label9    | D | F7   | 1     | ---- | s/N==0                                  |      |
| BV:D label9    | D | F8   | 1     | ---- | s/V==1                                  |      |
| BNV:D label9   | D | F9   | 1     | ---- | s/V==0                                  |      |
| BLT:D label9   | D | FA   | 1     | ---- | s/V xor N==1                            |      |
| BGE:D label9   | D | FB   | 1     | ---- | s/V xor N==0                            |      |
| BLE:D label9   | D | FC   | 1     | ---- | s/(V xor N) or Z==1                     |      |
| BGT:D label9   | D | FD   | 1     | ---- | s/(V xor N) or Z==0                     |      |
| BLS:D label9   | D | FE   | 1     | ---- | s/C or Z==1                             |      |
| BHI:D label9   | D | FF   | 1     | ---- | s/C or Z==0                             |      |

( 注意事項 ) ・ ハード仕様の rel11, rel8 のフィールドには、次のようにアセンブラが計算して値を設定します。

(label12-PC-2)/2    rel11, (label9-PC-2)/2    rel8, label12, label9 は符号付き。

- ・ 遅延分岐は必ず次の命令 ( 遅延スロット ) を実行してから分岐します。
- ・ 遅延スロットに置くことができる命令は、すべての1サイクル, a, b, c, dサイクル命令です。複数サイクル命令は置けません。

## MB91470/480 シリーズ

表 E-13 その他

| ニーモニク                | 型 | OP   | CYCLE | NZVC | 動作                                                       | RMW | 備考                |
|----------------------|---|------|-------|------|----------------------------------------------------------|-----|-------------------|
| NOP                  | E | 9F-A | 1     | ---- | 何も変化しない                                                  | -   |                   |
| ANDCCR #u8           | D | 83   | c     | cccc | CCR and u8 -> CCR                                        | -   |                   |
| ORCCR #u8            | D | 93   | c     | cccc | CCR or u8 -> CCR                                         | -   |                   |
| STILM #u8            | D | 87   | 1     | ---- | i8 -> ILM                                                | -   | ILM 即値セット         |
| ADDSP #s10 *1        | D | A3   | 1     | ---- | R15 += s10                                               | -   | ADD SP 命令         |
| EXTSB Ri             | E | 97-8 | 1     | ---- | 符号拡張 8->32bit                                            | -   |                   |
| EXTUB Ri             | E | 97-9 | 1     | ---- | ゼロ拡張 8->32bit                                            | -   |                   |
| EXTSH Ri             | E | 97-A | 1     | ---- | 符号拡張 16->32bit                                           | -   |                   |
| EXTUH Ri             | E | 97-B | 1     | ---- | ゼロ拡張 16->32bit                                           | -   |                   |
| LDM0 (reglist)       | D | 8C   | *5    | ---- | (R15)->reglist,<br>R15 インクリメント                           | -   | ロードマルチ R0-R7      |
| LDM1 (reglist)       | D | 8D   | *5    | ---- | (R15)->reglist,<br>R15 インクリメント                           | -   | ロードマルチ R8-R15     |
| *LDM (reglist)<br>*2 |   |      |       | ---- | (R15)->reglist,<br>R15 インクリメント                           | -   | ロードマルチ R0-R15     |
| STM0 (reglist)       | D | 8E   | *6    | ---- | R15 デクリメント,<br>reglist->(R15)                            | -   | ストアマルチ R0-R7      |
| STM1 (reglist)       | D | 8F   | *6    | ---- | R15 デクリメント,<br>reglist->(R15)                            | -   | ストアマルチ R8-R15     |
| *STM (reglist)<br>*3 |   |      |       | ---- | R15 デクリメント,<br>reglist->(R15)                            | -   | ストアマルチ R0-R15     |
| ENTER #u10<br>*4     | D | 0F   | 1+a   | ---- | R14 -> (R15 - 4),<br>R15 - 4 -> R14,<br>R15 - u10 -> R15 | -   | 関数の入口処理           |
| LEAVE                | E | 9F-9 | b     | ---- | R14 + 4 -> R15,<br>(R15 - 4) -> R14                      | -   | 関数の出口処理           |
| XCHB @Rj, Ri         | A | 8A   | 2a    | ---- | Ri -> TEMP<br>(Rj) -> Ri<br>TEMP -> (Rj)                 |     | セマフォ管理用<br>バイトデータ |

\*1: s10 はアセンブラが, s10/4 を計算して s8 にして値を設定する。s10 は符号付き。

\*2: reglist で, R0 ~ R7 のいずれかの指定があれば, LDM0 を生成し, R8 ~ R15 のいずれかの指定があれば, LDM1 を生成する。LDM0, LDM1 両方生成する場合もある。

\*3: reglist で, R0 ~ R7 のいずれかの指定があれば, STM0 を生成し, R8 ~ R15 のいずれかの指定があれば, STM1 を生成する。STM1, STM0 両方生成する場合もある。

\*4: u10 はアセンブラが, u10/4 を計算して u8 にして値を設定する。u10 は符号なし。

\*5: LDM0 (reglist), LDM1 (reglist) の実行サイクル数は, 指定されたレジスタ数が n のとき,  
 $a \times (n - 1) + b + 1$  サイクルとなります。

\*6: STM0 (reglist), STM1 (reglist) の実行サイクル数は, 指定されたレジスタ数が n のとき,  
 $a \times n + 1$  サイクルとなります。



表 E-14 20 ビット通常分岐マクロ命令

| ニーモニック             | 動作                           | 備考                    |
|--------------------|------------------------------|-----------------------|
| *CALL20 label20,Ri | 次の命令のアドレス →RP,<br>label20→PC | Ri: テンポラリレジスタ 参考 1 参照 |
| *BRA20 label20,Ri  | label20→PC                   | Ri: テンポラリレジスタ 参考 2    |
| *BEQ20 label20,Ri  | if(Z==1) then label20→PC     | Ri: テンポラリレジスタ 参考 3    |
| *BNE20 label20,Ri  | s/Z==0                       |                       |
| *BC20 label20,Ri   | s/C==1                       |                       |
| *BNC20 label20,Ri  | s/C==0                       |                       |
| *BN20 label20,Ri   | s/N==1                       |                       |
| *BP20 label20,Ri   | s/N==0                       |                       |
| *BV20 label20,Ri   | s/V==1                       |                       |
| *BNV20 label20,Ri  | s/V==0                       |                       |
| *BLT20 label20,Ri  | s/V xor N==1                 |                       |
| *BGE20 label20,Ri  | s/V xor N==0                 |                       |
| *BLE20 label20,Ri  | s/(V xor N) or Z==1          |                       |
| *BGT20 label20,Ri  | s/(V xor N) or Z==0          |                       |
| *BLS20 label20,Ri  | s/C or Z==1                  |                       |
| *BHI20 label20,Ri  | s/C or Z==0                  |                       |

## [ 参考 1] CALL20

(1) label20-PC-2 が , - 0x800 ~ + 0x7fe の場合は , 次のように命令を生成します。

CALL label12

(2) label20-PC-2 が , (1) の範囲外の場合および外部参照シンボルを含む場合は , 次のように命令を生成します。

LDI:20 #label20,Ri

CALL@Ri

## [ 参考 2] BRA20

(1) label20-PC-2 が , - 0x100 ~ + 0xfe の場合は , 次のように命令を生成します。

BRA label9

(2) label20-PC-2 が , (1) の範囲外の場合および外部参照シンボルを含む場合は , 次のように命令を生成します。

LDI:20 #label20,Ri

JMP @Ri

## [ 参考 3] Bcc20

(1) label20-PC-2 が , - 0x100 ~ + 0xfe の場合は , 次のように命令を生成します。

Bcc label9

(2) label20-PC-2 が , (1) の範囲外の場合および外部参照シンボルを含む場合は , 次のように命令を生成します。

Bxcc false      xcc は cc の背反条件

LDI:20 #label20,Ri

JMP @Ri

false:

# MB91470/480 シリーズ

表 E-15 20 ビット遅延分岐マクロ命令

| ニーモニック               | 動作                               | 備考                    |
|----------------------|----------------------------------|-----------------------|
| *CALL20:D label20,Ri | 次の命令のアドレス +2->RP,<br>label20->PC | Ri: テンポラリレジスタ 参考 1 参照 |
| *BRA20:D label20,Ri  | label20->PC                      | Ri: テンポラリレジスタ 参考 2 参照 |
| *BEQ20:D label20,Ri  | if(Z==1) then label20->PC        | Ri: テンポラリレジスタ 参考 3 参照 |
| *BNE20:D label20,Ri  | s/Z==0                           |                       |
| *BC20:D label20,Ri   | s/C==1                           |                       |
| *BNC20:D label20,Ri  | s/C==0                           |                       |
| *BN20:D label20,Ri   | s/N==1                           |                       |
| *BP20:D label20,Ri   | s/N==0                           |                       |
| *BV20:D label20,Ri   | s/V==1                           |                       |
| *BNV20:D label20,Ri  | s/V==0                           |                       |
| *BLT20:D label20,Ri  | s/V xor N==1                     |                       |
| *BGE20:D label20,Ri  | s/V xor N==0                     |                       |
| *BLE20:D label20,Ri  | s/(V xor N) or Z==1              |                       |
| *BGT20:D label20,Ri  | s/(V xor N) or Z==0              |                       |
| *BLS20:D label20,Ri  | s/C or Z==1                      |                       |
| *BHI20:D label20,Ri  | s/C or Z==0                      |                       |

## [ 参考 1] CALL20:D

- (1) label20-PC-2 が, - 0x800 ~ + 0x7fe の場合は, 次のように命令を生成します。

CALL:D label12

- (2) label20-PC-2 が, (1) の範囲外の場合および外部参照シンボルを含む場合は, 次のように命令を生成します。

LDI:20 #label20,Ri

CALL:D @Ri

## [ 参考 2] BRA20:D

- (1) label20-PC-2 が, - 0x100 ~ + 0xfe の場合は, 次のように命令を生成します。

BRA:D label9

- (2) label20-PC-2 が, (1) の範囲外の場合および外部参照シンボルを含む場合は, 次のように命令を生成します。

LDI:20 #label20,Ri

JMP:D @Ri

## [ 参考 3] Bcc20:D

- (1) label20-PC-2 が, - 0x100 ~ + 0xfe の場合は, 次のように命令を生成します。

Bcc:D label9

- (2) label20-PC-2 が, (1) の範囲外の場合および外部参照シンボルを含む場合は, 次のように命令を生成します。

Bxcc false      xcc は, cc の背反条件

LDI:20 #label20,Ri

JMP:D @Ri

false:

表 E-16 32 ビット通常分岐マクロ命令

| ニーモニック             | 動作                           | 備考                    |
|--------------------|------------------------------|-----------------------|
| *CALL32 label32,Ri | 次の命令のアドレス →RP,<br>label32→PC | Ri: テンポラリレジスタ 参考 1 参照 |
| *BRA32 label32,Ri  | label32→PC                   | Ri: テンポラリレジスタ 参考 2 参照 |
| *BEQ32 label32,Ri  | if(Z==1) then label32→PC     | Ri: テンポラリレジスタ 参考 3 参照 |
| *BNE32 label32,Ri  | s/Z==0                       |                       |
| *BC32 label32,Ri   | s/C==1                       |                       |
| *BNC32 label32,Ri  | s/C==0                       |                       |
| *BN32 label32,Ri   | s/N==1                       |                       |
| *BP32 label32,Ri   | s/N==0                       |                       |
| *BV32 label32,Ri   | s/V==1                       |                       |
| *BNV32 label32,Ri  | s/V==0                       |                       |
| *BLT32 label32,Ri  | s/V xor N==1                 |                       |
| *BGE32 label32,Ri  | s/V xor N==0                 |                       |
| *BLE32 label32,Ri  | s/(V xor N) or Z==1          |                       |
| *BGT32 label32,Ri  | s/(V xor N) or Z==0          |                       |
| *BLS32 label32,Ri  | s/C or Z==1                  |                       |
| *BHI32 label32,Ri  | s/C or Z==0                  |                       |

## [ 参考 1] CALL32

- (1) label32-PC-2 が, - 0x800 ~ + 0x7fe の場合は, 次のように命令を生成します。

CALL label12

- (2) label32-PC-2 が, (1) の範囲外の場合および外部参照シンボルを含む場合は, 次のように命令を生成します。

LDI:32 #label32,Ri

CALL @Ri

## [ 参考 2] BRA32

- (1) label32-PC-2 が, - 0x100 ~ + 0xfe の場合は, 次のように命令を生成します。

BRA label9

- (2) label32-PC-2 が, (1) の範囲外の場合および外部参照シンボルを含む場合は, 次のように命令を生成します。

LDI:32 #label32,Ri

JMP @Ri

## [ 参考 3] Bcc32

- (1) label32-PC-2 が, - 0x100 ~ + 0xfe の場合は, 次のように命令を生成します。

Bcc label9

- (2) label32-PC-2 が, (1) の範囲外の場合および外部参照シンボルを含む場合は, 次のように命令を生成します。

Bxcc false      xcc は, cc の背反条件

LDI:32 #label32,Ri

JMP @Ri

false:

# MB91470/480 シリーズ

表 E-17 32 ビット遅延分岐マクロ命令

| ニーモニック              | 動作                               | 備考                    |
|---------------------|----------------------------------|-----------------------|
| *CALL32D label32,Ri | 次の命令のアドレス +2->RP,<br>label32->PC | Ri: テンポラリレジスタ 参考 1 参照 |
| *BRA32:D label32,Ri | label32->PC                      | Ri: テンポラリレジスタ 参考 2 参照 |
| *BEQ32:D label32,Ri | if(Z==1) then label32->PC        | Ri: テンポラリレジスタ 参考 3 参照 |
| *BNE32:D label32,Ri | s/Z==0                           |                       |
| *BC32:D label32,Ri  | s/C==1                           |                       |
| *BNC32:D label32,Ri | s/C==0                           |                       |
| *BN32:D label32,Ri  | s/N==1                           |                       |
| *BP32:D label32,Ri  | s/N==0                           |                       |
| *BV32:D label32,Ri  | s/V==1                           |                       |
| *BNV32:D label32,Ri | s/V==0                           |                       |
| *BLT32:D label32,Ri | s/V xor N==1                     |                       |
| *BGE32:D label32,Ri | s/V xor N==0                     |                       |
| *BLE32:D label32,Ri | s/(V xor N) or Z==1              |                       |
| *BGT32:D label32,Ri | s/(V xor N) or Z==0              |                       |
| *BLS32:D label32,Ri | s/C or Z==1                      |                       |
| *BHI32:D label32,Ri | s/C or Z==0                      |                       |

[ 参考 1] CALL32:D

(1) label32-PC-2 が , - 0x800 ~ + 0x7fe の場合は , 次のように命令を生成します。

CALL:D label12

(2) label32-PC-2 が , (1) の範囲外の場合および外部参照シンボルを含む場合は , 次のように命令を生成します。

LDI:32 #label32,Ri

CALL:D @Ri

[ 参考 2] BRA32:D

(1) label32-PC-2 が , - 0x100 ~ + 0xfe の場合は , 次のように命令を生成します。

BRA:D label9

(2) label32-PC-2 が , (1) の範囲外の場合および外部参照シンボルを含む場合は , 次のように命令を生成します。

LDI:32 #label32,Ri

JMP:D @Ri

[ 参考 3] Bcc32:D

(1) label32-PC-2 が , - 0x100 ~ + 0xfe の場合は , 次のように命令を生成します。

Bcc:D label9

(2) label32-PC-2 が , (1) の範囲外の場合および外部参照シンボルを含む場合は , 次のように命令を生成します。

Bxcc false      xcc は , cc の背反条件

LDI:32 #label32,Ri

JMP:D @Ri

false:

表 E-18 ダイレクトアドレッシング

| ニーモニック              | 型 | OP | CYCLE | NZVC | 動作                     | 備考     |
|---------------------|---|----|-------|------|------------------------|--------|
| DMOV @dir10, R13    | D | 08 | b     | ---- | (dir10)-> R13          | ワード    |
| DMOV R13, @dir10    | D | 18 | a     | ---- | R13 ->(dir10)          | ワード    |
| DMOV @dir10, @R13+  | D | 0C | 2a    | ---- | (dir10)->(R13),R13+=4  | ワード    |
| DMOV @R13+, @dir10  | D | 1C | 2a    | ---- | (R13)->(dir10),R13+=4  | ワード    |
| DMOV @dir10, @-R15  | D | 0B | 2a    | ---- | R15-=4, (R15)->(dir10) | ワード    |
| DMOV @R15+, @dir10  | D | 1B | 2a    | ---- | (R15)->(dir10),R15+=4  | ワード    |
| DMOVH @dir9, R13    | D | 09 | b     | ---- | (dir9)-> R13           | ハーフワード |
| DMOVH R13, @dir9    | D | 19 | a     | ---- | R13 ->(dir9)           | ハーフワード |
| DMOVH @dir9, @R13+  | D | 0D | 2a    | ---- | (dir9)->(R13),R13+=2   | ハーフワード |
| DMOVH @R13+, @dir9  | D | 1D | 2a    | ---- | (R13)->(dir9),R13+=2   | ハーフワード |
| DMOV B @dir8, R13   | D | 0A | b     | ---- | (dir8)-> R13           | バイト    |
| DMOV B R13, @dir8   | D | 1A | a     | ---- | R13 ->(dir8)           | バイト    |
| DMOV B @dir8, @R13+ | D | 0E | 2a    | ---- | (dir8)->(R13),R13++    | バイト    |
| DMOV B @R13+, @dir8 | D | 1E | 2a    | ---- | (R13)->(dir8),R13++    | バイト    |

(注意事項) dir8, dir9, dir10 フィールドには、次のようにアセンブラが計算して値を設定します。  
dir8 dir, dir9/2 dir, dir10/4 dir dir8, dir9, dir10 は符号なし。

表 E-19 リソース命令

| ニーモニック          | 型 | OP | CYCLE | NZVC | 動作                       | 備考          |
|-----------------|---|----|-------|------|--------------------------|-------------|
| LDRES @Ri+, #u4 | C | BC | a     | ---- | (Ri)->u4 のリソース<br>Ri+=4  | u4: チャンネル番号 |
| STRES #u4, @Ri+ | C | BD | a     | ---- | u4 のリソース ->(Ri)<br>Ri+=4 | u4: チャンネル番号 |

(注意事項) 本品種では、チャンネル番号を持つリソースを搭載していないので、使用できません。

表 E-20 コプロセッサ制御命令

{CRi | CRj} := CR0 | CR1 | CR2 | CR3 | CR4 | CR5 | CR6 | CR7 | CR8 | CR9 | CR10 |  
CR11 | CR12 | CR13 | CR14 | CR15

u4: チャンネル指定

u8: コマンド指定

| ニーモニック                   | 型 | OP   | CYCLE | NZVC | 動作        | 備考        |
|--------------------------|---|------|-------|------|-----------|-----------|
| COPOP #u4, #u8, CRj, Cri | E | 9F-C | 2+a   | ---- | 演算指示      | エラートラップなし |
| COPLD #u4, #u8, Rj, Cri  | E | 9F-D | 1+2a  | ---- | Rj -> CRi |           |
| COPST #u4, #u8, CRj, Ri  | E | 9F-E | 1+2a  | ---- | CRj -> Ri |           |
| COPSV #u4, #u8, CRj, Ri  | E | 9F-F | 1+2a  | ---- | CRj -> Ri |           |

(注意事項) 本品種では、コプロセッサを搭載していないため使用できません。

# MB91470/480 シリーズ

## 付録 F 使用上の注意

MB91470/480 シリーズを使用する際の注意事項を示します。

### ■ 共通事項

#### ● クロック制御部

INITX の "L" 入力時には、発振安定待ち時間を確保してください。

#### ● 兼用ポートの機能切換え

PORT と兼用端子の切換えは、PFR (ポートファンクションレジスタ)で行います。ただし、バス端子は外バスの設定により切り換わります。

#### ● D-bus メモリ

コード領域を D-bus 上のメモリに設定しないでください。

D-bus へは命令フェッチを行いませんので、D-bus 領域へ命令フェッチを行った場合、誤ったデータをコードとして解釈するため、暴走する可能性があります。

#### ● 低消費電力モード

- スタンバイモードに入れる場合は、同期スタンバイモード (TBCR:タイムベースカウンタ制御レジスタの bit8:SYNCS ビットにて設定します)を使用した上で、以下のシーケンスを必ず使用してください。

-----  
// -- STCR ライト

```
LDI #_STCR,R0 // STCR レジスタ (0x0481)
LDI #value_of_standby, R1 // value_of_standby は、STCR へのライトデータ
STB R1,@R0 // STCR へのライト
```

// -- CTBR ライト

```
LDI #_CTBR,R2 // CTBR レジスタ (0x0483)
LDI #0xA5,R1 // クリアコマンド (1)
STB R1,@R2 // CTBR への A5H ライト
LDI #0x5A,R1 // クリアコマンド (2)
STB R1,@R2 // CTBR への 5AH ライト
 (タイムベースカウンタクリア)
```

```
LDUB @R0,R1 // STCR リード (同期スタンバイ遷移開始)
```

```
LDUB @R0,R1 // STCR ダミーリード
```

```
NOP // タイミング調整用 NOP × 5
```

```
NOP
```

```
NOP
```

```
NOP
```

```
NOP
```

-----

- モニタデバッガを使用される場合は、以下のことを行わないでください。
  - 上記の命令列に対して、ブレークポイントを設定しないでください。
  - 上記の命令列に対して、ステップ実行を行わないでください。

● PS レジスタに関する注意事項

一部の命令で PS レジスタを先行処理しているため、下記の例外動作により、デバッガ使用時に割込み処理ルーチンでブレークしたり、PS フラグの表示内容が更新されたりする場合があります。

いずれの場合も、EIT から復帰後以降に、正しく再処理を行うように設計されていますので、EIT 前後の動作は仕様どおりの処理を行います。

- DIV0U/DIV0S 命令の直前の命令で、(a) ユーザ割込み・NMI を受け付けた場合、(b) ステップ実行を行った場合、(c) データイベントまたはエミュレータメニューにてブレークした場合、以下のような動作を行う場合があります。
  - (1) D0, D1 フラグが先行して更新されます。
  - (2) EIT 処理ルーチン ( ユーザ割込み・NMI, またはエミュレータ ) を実行します。
  - (3) EIT から復帰後、DIV0U/DIV0S 命令が実行され、D0/D1 フラグが (1) と同じ値に更新されます。
- ユーザ割込み・NMI 要因が発生している状態で割込みを許可するために ORCCR, STILM, MOV Ri, PS の各命令が実行されると、以下のような動作を行います。
  - (1) PS レジスタが先行して更新されます。
  - (2) EIT 処理ルーチン ( ユーザ割込み・NMI ) を実行します。
  - (3) EIT から復帰後、上記の命令が実行され、PS レジスタが (1) と同じ値に更新されます。

● ウォッチドッグタイマ機能について

MB91470/480 シリーズが備えているウォッチドッグタイマ機能は、プログラムが一定時間内にリセット延期動作を行うことを監視し、プログラムの暴走によりリセット延期動作が行われなかったときに、CPU をリセットするための機能です。そのため、いったんウォッチドッグタイマ機能を有効にすると、リセットをかけるまで動作を続けます。

例外として、CPU のプログラム実行が停止する条件では自動的にリセット延期を行います。この例外にあてはまる条件については、「3.11.8 クロック制御部の周辺回路  
タイムベースカウンタ ウォッチドッグタイマの [ ウォッチドッグタイマの一時停止 ( 自動発生延期 ) ]」を参照してください。

# MB91470/480 シリーズ

## ■ デバッグ関連の注意事項

### ● RETI 命令のステップ実行

ステップ実行する際、割込みが頻繁に発生する環境下では、RETI をステップ実行後に該当する割込み処理ルーチンだけを繰り返して実行します。その結果、メインルーチンや割込みレベルの低いプログラムの実行が行われなくなります。

回避のために、RETI 命令をステップ実行しないでください。または、該当割込みルーチンのデバッグが不要になった段階で、該当する割込みを禁止してデバッグを行ってください。

### ● オペランドブレイク

システムスタックポインタのアドレスを含む領域に対するアクセスを データイベントブレイクの対象に設定しないでください。

### ● フラッシュメモリの未使用領域実行

フラッシュメモリの未使用領域 ( データが "0XFFFF<sub>B</sub>" ) を誤って実行してしまうと、ブレイクを受け付けない状態になってしまいます。これを回避するために、デバッガのコードイベントのアドレスマスク機能を使用して、未使用領域の命令アクセス時にブレイクさせることを推奨します。

### ● NMI 要求 (tool) に対する割込みハンドラ

ICE 未接続の状態において、ICE からのブレイク要求のみでセットされる要因フラグが、DSU 端子へのノイズなどの影響で誤って立ってしまった場合の誤動作を防ぐため、次のプログラムを割込みハンドラに追加してください。

なお、このプログラムを追加した状態で ICE を使用しても問題ありません。

#### 追加場所

次の割込みハンドラ

割込み要因 : NMI 要求 (tool)

割込み番号 : 13 (10 進) , 0D (16 進)

オフセット : 3C8<sub>H</sub>

TBR がデフォルトのアドレス : 000FFFC8<sub>H</sub>

#### 追加プログラム

STM (R0, R1)

LDI #B00H, R0 ; B00<sub>H</sub> は DSU のブレイク要因レジスタのアドレス

LDI #0, R1

STB R1, @R0 ; ブレイク要因レジスタをクリア

LDM (R0, R1)

RETI





### Numerics

#### 0 検出

フリーランタイムの 0 検出もしくはコンペア  
クリアによる A/D 起動 .....434

#### 12 ビット

12 ビット A/D コンバータ使用上の注意 .....790  
12 ビット A/D コンバータの機能 .....764  
12 ビット A/D コンバータの端子 .....769  
12 ビット A/D コンバータのブロック  
ダイアグラム .....766  
12 ビット A/D コンバータの割込み .....782  
12 ビット A/D コンバータの  
レジスター一覧 .....770

#### 16/32 ビット

16/32 ビット PWC タイマ .....451  
16/32 ビット PWC タイマ (ch.1, ch.0) のブロック  
ダイアグラム .....454  
16/32 ビットリロードタイマ .....451  
16/32 ビットリロードタイマ (ch.1, ch.0) の  
ブロックダイアグラム .....453

#### 16 ビット

16 ビット PPG タイマ .....451  
16 ビット PPG タイマのブロック  
ダイアグラム .....452  
16 ビット PWM/PPG/リロードタイマの使用上の  
注意 .....463  
16 ビット PWM タイマ .....450  
16 ビット PWM タイマのブロック  
ダイアグラム .....452  
16 ビットアウトプットコンペア  
タイミング .....412  
16 ビットアウトプットコンペアとフリーラン  
タイマの動作について .....412  
16 ビットアウトプットコンペアの使用上の  
注意 .....441  
16 ビットアウトプットコンペアの動作  
(セット/リセットモード, MOD1x=1) .....411  
16 ビットアウトプットコンペアの動作  
(反転モード, MOD1x=0) .....407  
16 ビットアウトプットコンペアの  
プログラム例 .....446  
16 ビットアウトプットコンペアのブロック  
ダイアグラム .....305  
16 ビットアウトプットコンペアの  
レジスタ .....321  
16 ビットアウトプットコンペア割込み .....393  
16 ビットインプットキャプチャ  
入力タイミング .....419  
16 ビットインプットキャプチャの使用上の  
注意 .....442  
16 ビットインプットキャプチャの動作 .....419  
16 ビットインプットキャプチャのブロック  
ダイアグラム .....308  
16 ビットインプットキャプチャの  
レジスタ .....322  
16 ビットインプットキャプチャ割込み .....393

#### 16 ビットタイマレジスタ (TMR) の

ビット構成 .....254

16 ビットデッドタイム状態制御レジスタ, 下位バ  
イト (DTCR1/DTCR4) .....374

16 ビットデッドタイム状態制御レジスタ, 上位バ  
イト (DTCR0/DTCR3) .....371

16 ビットデッドタイム状態制御レジスタ, 上位バ  
イト (DTCR2/DTCR5) .....377

16 ビットデッドタイムレジスタ (TMRRH0 ~  
TMRRH5/TMRRL0 ~ TMRRL5) .....369

16 ビットフリーランタイムの使用上の  
注意 .....441

16 ビットフリーランタイムの  
プログラム例 .....444

16 ビットフリーランタイムのブロック  
ダイアグラム .....303

16 ビットフリーランタイムのレジスタ .....318

16 ビットフリーランタイム割込み .....392

16 ビットリロードタイマの概要 .....250

16 ビットリロードタイマのブロック  
ダイアグラム .....250

16 ビットリロードタイマのレジスター一覧 .....251

16 ビットリロードレジスタ (TMRLR) の  
ビット構成 .....255

8 ビット/16 ビット動作 .....545

FR-CPU プログラミングモード  
(16 ビット, リード/ライト可能) .....877

#### 16 ビット PPG タイマ

16 ビット PPG タイマ .....451

16 ビット PPG タイマのブロック  
ダイアグラム .....452

#### 16 ビット PWM タイマ

16 ビット PWM タイマ .....450

16 ビット PWM タイマのブロック  
ダイアグラム .....452

#### 16 ビットアウトプットコンペア

16 ビットアウトプットコンペア  
タイミング .....412

16 ビットアウトプットコンペアとフリーラン  
タイマの動作について .....412

16 ビットアウトプットコンペアの使用上の  
注意 .....441

16 ビットアウトプットコンペアの動作  
(セット/リセットモード, MOD1x=1) .....411

16 ビットアウトプットコンペアの動作  
(反転モード, MOD1x=0) .....407

16 ビットアウトプットコンペアの  
プログラム例 .....446

16 ビットアウトプットコンペアのブロック  
ダイアグラム .....305

16 ビットアウトプットコンペアの  
レジスタ .....321

16 ビットアウトプットコンペア割込み .....393

#### 16 ビットインプットキャプチャ

16 ビットインプットキャプチャ  
入力タイミング .....419

# MB91470/480 シリーズ

|                                                       |     |
|-------------------------------------------------------|-----|
| 16 ビットインプットキャプチャの使用上の注意                               | 442 |
| 16 ビットインプットキャプチャの動作                                   | 419 |
| 16 ビットインプットキャプチャのブロック<br>ダイアグラム                       | 308 |
| 16 ビットインプットキャプチャのレジスタ                                 | 322 |
| 16 ビットインプットキャプチャ割込み                                   | 393 |
| 16 ビットタイマレジスタ                                         |     |
| 16 ビットタイマレジスタ (TMR) の<br>ビット構成                        | 254 |
| 16 ビットデッドタイム状態制御レジスタ                                  |     |
| 16 ビットデッドタイム状態制御レジスタ, 上位バ<br>イト (DTCR0/DTCR3)         | 371 |
| 16 ビットデッドタイム状態制御レジスタ, 上位バ<br>イト (DTCR2/DTCR5)         | 377 |
| 16 ビットデッドタイム制御レジスタ, 下位バ<br>イト (DTCR1/DTCR4)           | 374 |
| 16 ビットデッドタイムレジスタ                                      |     |
| 16 ビットデッドタイムレジスタ (TMRRH0 ~<br>TMRRH5/TMRRL0 ~ TMRRL5) | 369 |
| 16 ビットフリーランタイム                                        |     |
| 16 ビットフリーランタイムの使用上の<br>注意                             | 441 |
| 16 ビットフリーランタイムの<br>プログラム例                             | 444 |
| 16 ビットフリーランタイムのブロック<br>ダイアグラム                         | 303 |
| 16 ビットフリーランタイムのレジスタ                                   | 318 |
| 16 ビットフリーランタイム割込み                                     | 392 |
| 16 ビットリロードタイム                                         |     |
| 16 ビットリロードタイムの概要                                      | 250 |
| 16 ビットリロードタイムのブロック<br>ダイアグラム                          | 250 |
| 16 ビットリロードタイムのレジスタ一覧                                  | 251 |
| 16 ビットリロードレジスタ                                        |     |
| 16 ビットリロードレジスタ (TMRLR) の<br>ビット構成                     | 255 |
| 2 サイクル転送                                              |     |
| 2 サイクル転送時のデータの動作                                      | 863 |
| ステップ / ブロック転送 2 サイクル転送                                | 845 |
| バースト 2 サイクル転送                                         | 844 |
| 32 ビット                                                |     |
| 16/32 ビット PWC タイマ                                     | 451 |
| 16/32 ビット PWC タイマ (ch.1, ch.0) のブロック<br>ダイアグラム        | 454 |
| 16/32 ビットリロードタイム                                      | 451 |
| 16/32 ビットリロードタイム (ch.1, ch.0) の<br>ブロックダイアグラム         | 453 |
| 32 ビットモード機能                                           | 461 |
| 32 ビットモード設定                                           | 461 |
| 32 ビットモード動作                                           | 462 |
| FR-CPU ROM モード<br>(32 ビット, リードのみ)                     | 877 |
| 32 ビット     16 ビットバスコンバータ                              |     |
| 32 ビット     16 ビットバスコンバータ                              | 47  |
| 7 ビットスレーブアドレスマスクレジスタ                                  |     |
| 7 ビットスレーブアドレスマスクレジスタ<br>(ISMK)                        | 677 |
| 7 ビットスレーブアドレスレジスタ                                     |     |
| 7 ビットスレーブアドレスレジスタ<br>(ISBA)                           | 678 |

|                                                                            |     |
|----------------------------------------------------------------------------|-----|
| 8/10 ビット                                                                   |     |
| 8/10 ビット A/D コンバータ使用上の注意                                                   | 760 |
| 8/10 ビット A/D コンバータの機能                                                      | 734 |
| 8/10 ビット A/D コンバータの端子                                                      | 740 |
| 8/10 ビット A/D コンバータのブロック<br>ダイアグラム                                          | 737 |
| 8/10 ビット A/D コンバータの<br>レジスタ一覧                                              | 741 |
| 8/10 ビット A/D コンバータの割込み                                                     | 754 |
| 8 ビット                                                                      |     |
| 8 ビット / 16 ビット動作                                                           | 545 |
| 8 ビット PPG                                                                  |     |
| 8 ビット PPG ch.0, ch.2, ch.4, ch.6, ch.8, ch.10, ch.12,<br>ch.14 のブロックダイアグラム | 274 |
| 8 ビット PPG ch.1, ch.5, ch.9, ch.13 のブロック<br>ダイアグラム                          | 275 |
| 8 ビット PPG ch.3, ch.7, ch.11, ch.15 のブロック<br>ダイアグラム                         | 276 |
| 8 ビットカウンタ                                                                  |     |
| 8 ビットカウンタ                                                                  | 269 |

## A

### A/D

|                                                                                  |     |
|----------------------------------------------------------------------------------|-----|
| 12 ビット A/D コンバータ使用上の注意                                                           | 790 |
| 12 ビット A/D コンバータの機能                                                              | 764 |
| 12 ビット A/D コンバータの端子                                                              | 769 |
| 12 ビット A/D コンバータのブロック<br>ダイアグラム                                                  | 766 |
| 12 ビット A/D コンバータの<br>レジスタ一覧                                                      | 770 |
| 12 ビット A/D コンバータの割込み                                                             | 782 |
| 8/10 ビット A/D コンバータ使用上の注意                                                         | 760 |
| 8/10 ビット A/D コンバータの機能                                                            | 734 |
| 8/10 ビット A/D コンバータの端子                                                            | 740 |
| 8/10 ビット A/D コンバータのブロック<br>ダイアグラム                                                | 737 |
| 8/10 ビット A/D コンバータの<br>レジスタ一覧                                                    | 741 |
| 8/10 ビット A/D コンバータの割込み                                                           | 754 |
| A/D 起動                                                                           | 432 |
| A/D 起動コンペアの使用上の注意                                                                | 443 |
| A/D 起動コンペアのブロック<br>ダイアグラム                                                        | 312 |
| A/D 起動コンペアのレジスタ                                                                  | 325 |
| A/D コンペア起動許可                                                                     | 432 |
| A/D コンペア起動モード                                                                    | 433 |
| A/D 制御ステータスレジスタ<br>(ADCS:ADCS0 ~ ADCS2)                                          | 748 |
| A/D 制御ステータスレジスタ<br>(ADCS:ADCS3, ADCS4)                                           | 776 |
| A/D チャンネル制御レジスタ<br>(ADCH:ADCH0 ~ ADCH2)                                          | 743 |
| A/D チャンネル制御レジスタ<br>(ADCH:ADCH3, ADCH4)                                           | 771 |
| A/D データレジスタ<br>(ADCD:ADCD000 ~ ADCD030, ADCD001 ~<br>ADCD031, ADCD002 ~ ADCD112) | 751 |
| A/D データレジスタ (ADCD:ADCD003 ~<br>ADCD033, ADCD004 ~ ADCD034)                       | 779 |
| A/D トリガ制御レジスタ<br>(ADTRGC0 ~ ADTRGC5)                                             | 338 |

# MB91470/480 シリーズ

|                                                                                                              |          |
|--------------------------------------------------------------------------------------------------------------|----------|
| A/D 変換データ保護機能 .....                                                                                          | 758, 786 |
| A/D モード設定レジスタ<br>(ADMD:ADMD0 ~ ADMD2) .....                                                                  | 745      |
| A/D モード設定レジスタ<br>(ADMD:ADMD3, ADMD4) .....                                                                   | 773      |
| フリーランタイムによる A/D 起動 .....                                                                                     | 403      |
| フリーランタイムの 0 検出もしくはコンペア<br>クリアによる A/D 起動 .....                                                                | 434      |
| A/D 起動コンペア<br>A/D 起動コンペアの使用上の注意 .....                                                                        | 443      |
| A/D 起動コンペアのブロック<br>ダイアグラム .....                                                                              | 312      |
| A/D 起動コンペアのレジスタ .....                                                                                        | 325      |
| A/D コンバータ<br>12 ビット A/D コンバータ使用上の注意 .....                                                                    | 790      |
| 12 ビット A/D コンバータの機能 .....                                                                                    | 764      |
| 12 ビット A/D コンバータの端子 .....                                                                                    | 769      |
| 12 ビット A/D コンバータのブロック<br>ダイアグラム .....                                                                        | 766      |
| 12 ビット A/D コンバータの<br>レジスタ一覧 .....                                                                            | 770      |
| 12 ビット A/D コンバータの割込み .....                                                                                   | 782      |
| 8/10 ビット A/D コンバータ使用上の注意 .....                                                                               | 760      |
| 8/10 ビット A/D コンバータの機能 .....                                                                                  | 734      |
| 8/10 ビット A/D コンバータの端子 .....                                                                                  | 740      |
| 8/10 ビット A/D コンバータのブロック<br>ダイアグラム .....                                                                      | 737      |
| 8/10 ビット A/D コンバータの<br>レジスタ一覧 .....                                                                          | 741      |
| 8/10 ビット A/D コンバータの割込み .....                                                                                 | 754      |
| A/D データレジスタ<br>A/D データレジスタ<br>(ADCD:ADCD000 ~ ADCD030, ADCD001 ~<br>ADCD031, ADCD002 ~ ADCD112) .....        | 751      |
| A/D データレジスタ (ADCD:ADCD003 ~<br>ADCD033, ADCD004 ~ ADCD034) .....                                             | 779      |
| A/D トリガ制御レジスタ<br>A/D トリガ制御レジスタ<br>(ADTRGC0 ~ ADTRGC5) .....                                                  | 338      |
| A/D 変換<br>A/D 変換データ保護機能 .....                                                                                | 758, 786 |
| ACR<br>ACR0 ~ ACR2(Area Configuration Register) の<br>レジスタ構成 .....                                            | 140      |
| ADCOMP<br>コンペアレジスタ 0/3,1/4,2/5<br>(ADCOMP0/ADCOMP3, ADCOMP1/<br>ADCOMP4, ADCOMP2/ADCOMP5) .....              | 385      |
| ADCOMPB<br>コンペアバッファレジスタ 0/3,1/4,2/5<br>(ADCOMPB0/ADCOMPB3,<br>ADCOMPB1/ADCOMPB4,<br>ADCOMPB2/ADCOMPB5) ..... | 384      |
| ADCS<br>A/D 制御ステータスレジスタ<br>(ADCS:ADCS0 ~ ADCS2) .....                                                        | 748      |
| A/D 制御ステータスレジスタ<br>(ADCS:ADCS3, ADCS4) .....                                                                 | 776      |
| ADMD<br>ADMD レジスタ設定 .....                                                                                    | 759, 789 |
| ADTGBUF<br>バッファ制御レジスタ<br>(ADTGBUF0/ADTGBUF1) .....                                                           | 390      |

|                                                                                                                        |     |
|------------------------------------------------------------------------------------------------------------------------|-----|
| ADTGCE<br>コンペア許可レジスタ<br>(ADTGCE0/ADTGCE1) .....                                                                        | 386 |
| ADTGSEL<br>カウンタ方向選択レジスタ (コンペア時)<br>(ADTGSEL0/ADTGSEL1) .....                                                           | 388 |
| AF200<br>AF200 フラッシュマイコンプログラマ<br>システム構成 (横河デジタルコンピュータ<br>製) .....                                                      | 911 |
| AICR<br>アナログ入力制御レジスタ<br>(AICR:AICR0 ~ AICR2) .....                                                                     | 753 |
| アナログ入力制御レジスタ<br>(AICR:AICR3, AICR4) .....                                                                              | 781 |
| ASR<br>ASR0 ~ ASR2 (Area Select Register) の<br>レジスタ構成 .....                                                            | 139 |
| ASR および ASZ[3:0] の設定例 .....                                                                                            | 153 |
| ASZ<br>ASR および ASZ[3:0] の設定例 .....                                                                                     | 153 |
| AWR<br>AWR0 ~ AWR2 (Area Wait Register) の<br>レジスタ構成 .....                                                              | 146 |
| CSX 遅延設定<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=000C <sub>H</sub> ) .....                                                | 176 |
| CSX RDX/WR0X, WR1X セットアップ設定<br>(TYP[3:0]=0101 <sub>B</sub> , AWR=100B <sub>H</sub> ) .....                             | 181 |
| CSX RDX/WR0X, WR1X セットアップ・<br>RDX/WR0X, WR1X CSX ホールド設定<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=000B <sub>H</sub> ) ..... | 177 |
| 外部ウェイトあり<br>(TYP[3:0]=0101 <sub>B</sub> , AWR=1008 <sub>H</sub> ) .....                                                | 180 |
| 外部ウェイトタイミング<br>(TYP[3:0]=0001 <sub>B</sub> , AWR=2008 <sub>H</sub> ) .....                                             | 175 |
| 外部ウェイトなし<br>(TYP[3:0]=0100 <sub>B</sub> , AWR=0008 <sub>H</sub> ) .....                                                | 178 |
| 基本タイミング (アクセスが連続する場合)<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=0008 <sub>H</sub> ) .....                                   | 170 |
| 自動ウェイトタイミング<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=2008 <sub>H</sub> ) .....                                             | 174 |
| ライト ライトタイミング<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=0018 <sub>H</sub> ) .....                                            | 173 |
| リード ライトタイミング<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=0048 <sub>H</sub> ) .....                                            | 172 |

## B

|                                                          |               |
|----------------------------------------------------------|---------------|
| BGA-144P-M06<br>パッケージ外形寸法図 (BGA-144P-M06) .....          | 16, 17        |
| BGR<br>ボーレートジェネレータレジスタ 1, 0<br>(BGR1, BGR0) のビット構成 ..... | 569, 620, 679 |
| BTnDTBF<br>データバッファレジスタ (BTnDTBF) の<br>ビット構成 .....        | 516           |
| BTnPCSR<br>PWM 周期設定レジスタ (BTnPCSR) の<br>ビット構成 .....       | 474           |
| 周期設定レジスタ (BTnPCSR) の<br>ビット構成 .....                      | 504           |

# MB91470/480 シリーズ

|                                |                    |
|--------------------------------|--------------------|
| BTnPDUT                        |                    |
| PWM デューティ設定レジスタ (BTnPDUT) の    |                    |
| ビット構成 .....                    | 475                |
| BTnPRLH                        |                    |
| "H" 幅設定リロードレジスタ (BTnPRLH) のビット |                    |
| 構成 .....                       | 489                |
| BTnPRLL                        |                    |
| "L" 幅設定リロードレジスタ (BTnPRLL) のビット |                    |
| 構成 .....                       | 488                |
| BTnSTC                         |                    |
| ステータス制御レジスタ                    |                    |
| (BTnSTC) .....                 | 472, 486, 502, 514 |
| BTnTMCR                        |                    |
| タイマ制御レジスタ                      |                    |
| (BTnTMCR 下位バイト) .....          | 470, 484, 499, 512 |
| タイマ制御レジスタ                      |                    |
| (BTnTMCR 上位バイト) .....          | 468, 482, 510, 497 |
| BTnTMR                         |                    |
| タイマレジスタ (BTnTMR) の             |                    |
| ビット構成 .....                    | 476, 490, 505      |

## C

|                                     |               |
|-------------------------------------|---------------|
| CCR                                 |               |
| カウンタコントロールレジスタ (CCR) のビット           |               |
| 構成 .....                            | 534           |
| コンディションコードレジスタ (CCR) .....          | 52            |
| Chip Select Enable register         |               |
| CSER(Chip Select Enable register) の |               |
| レジスタ構成 .....                        | 152           |
| CLKB                                |               |
| CPU クロック (CLKB) .....               | 100           |
| CLKP                                |               |
| 周辺クロック (CLKP) .....                 | 100           |
| CLKR                                |               |
| クロックソース制御レジスタ (CLKR) .....          | 111           |
| CLKT                                |               |
| 外部バスクロック (CLKT) .....               | 100           |
| COMP                                |               |
| コンペアレジスタ                            |               |
| (COMP0/COMP2/COMP4/COMP6, COMP1/    |               |
| COMP3/COMP5/COMP7) .....            | 267           |
| CPU                                 |               |
| CPU .....                           | 47            |
| CPU 間接続 .....                       | 596, 598, 653 |
| CPU クロック (CLKB) .....               | 100           |
| FR-CPU ROM モード                      |               |
| (32 ビット, リードのみ) .....               | 877           |
| FR-CPU プログラミングモード                   |               |
| (16 ビット, リード / ライト可能) .....         | 877           |
| 各 CPU ステートにおける端子状態 .....            | 941           |
| CSER                                |               |
| CSER(Chip Select Enable register) の |               |
| レジスタ構成 .....                        | 152           |
| CSIO                                |               |
| CSIO (クロック同期シリアルインタフェース) の          |               |
| 機能 .....                            | 603           |
| CSIO (クロック同期シリアルインタフェース) の          |               |
| 動作 .....                            | 637           |
| CSIO (クロック同期シリアルインタフェース) の          |               |
| レジスタ一覧 .....                        | 604           |

|                                                             |     |
|-------------------------------------------------------------|-----|
| CSIO (クロック同期シリアルインタフェース)                                    |     |
| ボーレート選択 .....                                               | 649 |
| CSIO の割込み .....                                             | 630 |
| CSR                                                         |     |
| カウンタステータスレジスタ (CSR) の                                       |     |
| ビット構成 .....                                                 | 532 |
| CSX                                                         |     |
| CSX 遅延設定                                                    |     |
| (TYP[3:0]=0000 <sub>B</sub> , AWR=000C <sub>H</sub> ) ..... | 176 |
| CSX RDX/WR0X, WR1X セットアップ設定                                 |     |
| (TYP[3:0]=0101 <sub>B</sub> , AWR=100B <sub>H</sub> ) ..... | 181 |
| CSX RDX/WR0X, WR1X セットアップ・                                  |     |
| RDX/WR0X, WR1X CSX ホールド設定                                   |     |
| (TYP[3:0]=0000 <sub>B</sub> , AWR=000B <sub>H</sub> ) ..... | 177 |
| CTBR                                                        |     |
| タイムベースカウンタクリアレジスタ                                           |     |
| (CTBR) .....                                                | 110 |
| C コンパイラ                                                     |     |
| C コンパイラ (fcc911) .....                                      | 945 |

## D

|                                   |     |
|-----------------------------------|-----|
| DDR                               |     |
| データ方向制御レジスタ                       |     |
| (DDR: DDR0 ~ DDR3, DDR5, DDR6,    |     |
| DDR8 ~ DDRH, DDRJ, DDRL, DDRM,    |     |
| DDRP ~ DDRS) .....                | 199 |
| DIVR                              |     |
| 内部クロック分周設定レジスタ 0                  |     |
| (DIVR0) .....                     | 113 |
| 内部クロック分周設定レジスタ 1                  |     |
| (DIVR1) .....                     | 115 |
| DMA                               |     |
| DMA 転送と割込み .....                  | 850 |
| DMA による割込みクリアの                    |     |
| 発生タイミング .....                     | 853 |
| DMA 抑止 .....                      | 850 |
| スリープモード中の DMA 転送の注意 .....         | 858 |
| DMAC                              |     |
| DMAC の概要 .....                    | 840 |
| DMAC の主要機能 .....                  | 822 |
| DMAC の主要動作 .....                  | 841 |
| DMAC のハードウェア構成 .....              | 822 |
| DMAC のブロックダイアグラム .....            | 824 |
| DMAC のレジスタ一覧 .....                | 823 |
| DMAC 割込み制御が出力できる割込み .....         | 857 |
| DMACA                             |     |
| DMACA0 ~ DMACA4 のビット機能 .....      | 826 |
| DMACB                             |     |
| DMACB0 ~ DMACB4 のビット機能 .....      | 830 |
| DMACR                             |     |
| DMACR のビット機能 .....                | 838 |
| DMADA                             |     |
| DMASA0 ~ DMASA4/DMADA0 ~ DMADA4 の |     |
| ビット機能 .....                       | 836 |
| DMASA                             |     |
| DMASA0 ~ DMASA4/DMADA0 ~ DMADA4 の |     |
| ビット機能 .....                       | 836 |
| DQ7                               |     |
| データポーリングフラグ (DQ7) の制約事項 .....     | 895 |

# MB91470/480 シリーズ

## DSP

|                                            |     |
|--------------------------------------------|-----|
| DSP コントロール / ステータスレジスタ<br>(DSP-CSR) .....  | 803 |
| DSP 遅延レジスタ (DSP-LY) .....                  | 807 |
| DSP 変数モニタレジスタ<br>(DSP-OT0 ~ DSP-OT7) ..... | 808 |
| アキュムレータ出力レジスタ<br>(DSP-AC0 ~ DSP-AC2) ..... | 809 |
| プログラムカウンタ (DSP-PC) .....                   | 806 |
| DSP-CSR                                    |     |
| DSP コントロール / ステータスレジスタ<br>(DSP-CSR) .....  | 803 |
| DSP-LY                                     |     |
| DSP 遅延レジスタ (DSP-LY) .....                  | 807 |
| DSP-OT                                     |     |
| DSP 変数モニタレジスタ<br>(DSP-OT0 ~ DSP-OT7) ..... | 808 |
| DSP-PC                                     |     |
| プログラムカウンタ (DSP-PC) .....                   | 806 |
| DTTI                                       |     |
| DTTI 端子入力の動作 .....                         | 430 |
| DTTI 端子ノイズキャンセル機能 .....                    | 431 |
| DTTI 割込み .....                             | 431 |
| 波形制御レジスタ 2 (SIGCR2) の DTTI の<br>動作 .....   | 431 |

## E

### EIRR

|                                                                                    |     |
|------------------------------------------------------------------------------------|-----|
| 外部割込み要因レジスタ<br>[EIRR (EIRR0, EIRR1): External Interrupt Request<br>Register] ..... | 232 |
|------------------------------------------------------------------------------------|-----|

### EIT

|                   |    |
|-------------------|----|
| EIT からの復帰 .....   | 65 |
| EIT の動作 .....     | 73 |
| EIT ベクタテーブル ..... | 70 |
| EIT 要因 .....      | 65 |
| EIT 要因の優先度 .....  | 71 |
| 多重 EIT 処理 .....   | 70 |

### ELVR

|                                                                             |     |
|-----------------------------------------------------------------------------|-----|
| 外部割込み要求レベル設定レジスタ<br>[ELVR (ELVR0, ELVR1): External LeVel<br>Register] ..... | 233 |
|-----------------------------------------------------------------------------|-----|

### eml911

|                                     |     |
|-------------------------------------|-----|
| デバッグ (sim911, eml911, mon911) ..... | 951 |
|-------------------------------------|-----|

### Enable Interrupt request Register

|                                                                                |     |
|--------------------------------------------------------------------------------|-----|
| 割込み許可レジスタ<br>[ENIR (ENIR0, ENIR1): Enable Interrupt request<br>Register] ..... | 232 |
|--------------------------------------------------------------------------------|-----|

### ENIR

|                                                                                |     |
|--------------------------------------------------------------------------------|-----|
| 割込み許可レジスタ<br>[ENIR (ENIR0, ENIR1): Enable Interrupt request<br>Register] ..... | 232 |
|--------------------------------------------------------------------------------|-----|

### ESCR

|                                    |          |
|------------------------------------|----------|
| 拡張通信制御レジスタ (ESCR) の<br>ビット構成 ..... | 563, 615 |
|------------------------------------|----------|

## F

### fasm911

|                       |     |
|-----------------------|-----|
| アセンブラ (fasm911) ..... | 948 |
|-----------------------|-----|

## FBGA-144

|                               |    |
|-------------------------------|----|
| FBGA-144 (MB91470 シリーズ) ..... | 12 |
| fcc911                        |    |

|                        |     |
|------------------------|-----|
| C コンパイラ (fcc911) ..... | 945 |
|------------------------|-----|

## FIFO

|                                               |               |
|-----------------------------------------------|---------------|
| FIFO 制御レジスタ 0 (FCR0) の<br>ビット構成 .....         | 574, 625, 683 |
| FIFO 制御レジスタ 1 (FCR1) の<br>ビット構成 .....         | 571, 622, 680 |
| FIFO の機能 .....                                | 657           |
| FIFO バイトレジスタ (FBYTE1/FBYTE2) の<br>ビット構成 ..... | 577, 628, 687 |
| 受信 FIFO 使用時の受信割込み発生とフラグ<br>セットのタイミング .....    | 582, 633      |
| 送受信 FIFO .....                                | 549           |
| 送信 FIFO 使用時の送信割込み発生とフラグ<br>セットのタイミング .....    | 585, 636      |

## FIFO 制御レジスタ

|                                                               |               |
|---------------------------------------------------------------|---------------|
| FIFO 制御レジスタ 0 (FCR0) の<br>ビット構成 .....                         | 574, 625, 683 |
| FIFO 制御レジスタ 1 (FCR1) の<br>ビット構成 .....                         | 571, 622, 680 |
| FIFO バイトレジスタ<br>FIFO バイトレジスタ (FBYTE1/FBYTE2) の<br>ビット構成 ..... | 577, 628, 687 |

## FLCR

|                                                |     |
|------------------------------------------------|-----|
| フラッシュコントロール / ステータスレジスタ<br>(FLCR) のビット構成 ..... | 872 |
| flnk911                                        |     |

|                     |     |
|---------------------|-----|
| リンカ (flnk911) ..... | 950 |
| FPT-144P-M12        |     |

|                                 |    |
|---------------------------------|----|
| パッケージ外形寸法図 (FPT-144P-M12) ..... | 15 |
| FR-CPU                          |    |

|                                                  |     |
|--------------------------------------------------|-----|
| FR-CPU ROM モード<br>(32 ビット, リードのみ) .....          | 877 |
| FR-CPU プログラミングモード<br>(16 ビット, リード / ライト可能) ..... | 877 |

## G

### GATE

|                                                                         |     |
|-------------------------------------------------------------------------|-----|
| RTO0 ~ RTO5 と GATE の出力状態 .....                                          | 420 |
| GATE 機能制御レジスタ<br>GATE 機能制御レジスタ (GATEC0/GATEC4/<br>GATEC8/GATEC12) ..... | 288 |

## H

### Hold Request Cancel Request

|                                                       |     |
|-------------------------------------------------------|-----|
| ホールドリクエスト取下げ要求<br>(Hold Request Cancel Request) ..... | 224 |
|-------------------------------------------------------|-----|

### HRCL

|                                                 |     |
|-------------------------------------------------|-----|
| HRCL (Hold Request Cancel Level register) ..... | 222 |
|-------------------------------------------------|-----|

### HRCR

|                                        |     |
|----------------------------------------|-----|
| ホールドリクエスト取下げ要求機能 (HRCR) の<br>使用例 ..... | 226 |
|----------------------------------------|-----|

### "H" 幅設定リロードレジスタ

|                                            |     |
|--------------------------------------------|-----|
| "H" 幅設定リロードレジスタ (BTnPRLH) のビット<br>構成 ..... | 489 |
|--------------------------------------------|-----|

## I

|                                                                        |                         |
|------------------------------------------------------------------------|-------------------------|
| I/O                                                                    |                         |
| I/O ピン                                                                 | 137                     |
| I/O ポートのモード                                                            | 187, 189, 191, 193, 195 |
| I/O マップ                                                                | 922                     |
| I/O ポート                                                                |                         |
| I/O ポートのモード                                                            | 187, 189, 191, 193, 195 |
| I/O マップ                                                                |                         |
| I/O マップ                                                                | 922                     |
| I <sup>2</sup> C                                                       |                         |
| I <sup>2</sup> C インタフェースの機能                                            | 657                     |
| I <sup>2</sup> C インタフェースのレジスタ一覧                                        | 658                     |
| I <sup>2</sup> C インタフェースの割込み                                           | 689                     |
| I <sup>2</sup> C バススタート条件                                              | 691                     |
| I <sup>2</sup> C バスステータスレジスタ (IBSR)                                    | 668                     |
| I <sup>2</sup> C バスストップ条件                                              | 691                     |
| I <sup>2</sup> C バス制御レジスタ (IBCR)                                       | 660                     |
| I <sup>2</sup> C バス反復スタート条件                                            | 691                     |
| IBCR                                                                   |                         |
| I <sup>2</sup> C バス制御レジスタ (IBCR)                                       | 660                     |
| IBSR                                                                   |                         |
| I <sup>2</sup> C バスステータスレジスタ (IBSR)                                    | 668                     |
| ICR                                                                    |                         |
| 割込み制御レジスタ (ICR)                                                        | 68, 220                 |
| ICSH                                                                   |                         |
| インプットキャプチャ状態制御レジスタ<br>(ch.2/ch.6, ch.3/ch.7), 上位バイト<br>(ICSH23/ICSH67) | 360                     |
| ICSL                                                                   |                         |
| インプットキャプチャ状態制御レジスタ<br>(ch.2/ch.6, ch.3/ch.7), 下位バイト<br>(ICSL23/ICSL67) | 362                     |
| ILM                                                                    |                         |
| ILM                                                                    | 55, 67                  |
| INIT                                                                   |                         |
| 設定初期化リセット (INIT)                                                       | 83                      |
| 設定初期化リセット (INIT) 解除<br>シーケンス                                           | 87                      |
| INITX 端子入力                                                             |                         |
| INITX 端子入力<br>(設定初期化リセット端子)                                            | 85                      |
| Interrupt                                                              |                         |
| NMI (Non Maskable Interrupt)                                           | 223                     |
| ISBA                                                                   |                         |
| 7 ビットスレーブアドレスレジスタ<br>(ISBA)                                            | 678                     |
| ISMK                                                                   |                         |
| 7 ビットスレーブアドレスマスクレジスタ<br>(ISMK)                                         | 677                     |
| I フラグ                                                                  |                         |
| I フラグ                                                                  | 67                      |

## J

|               |     |
|---------------|-----|
| JMP           |     |
| JMP 命令 (分岐命令) | 818 |
| JMP 命令        |     |
| JMP 命令 (分岐命令) | 818 |

## L

|                                      |     |
|--------------------------------------|-----|
| PWM 出力オール "L" またはオール "H" の<br>出力方法   | 480 |
| LQFP-100                             |     |
| LQFP-100 (MB91480 シリーズ)              | 13  |
| LQFP-100P-M06                        |     |
| パッケージ外形寸法図 (LQFP-100P-M06)           | 19  |
| LQFP-100P-M20                        |     |
| パッケージ外形寸法図 (LQFP-100P-M20)           | 18  |
| LQFP-144                             |     |
| LQFP-144 (MB91470 シリーズ)              | 11  |
| "L" 幅設定リロードレジスタ                      |     |
| "L" 幅設定リロードレジスタ (BTnPRLL) のビット<br>構成 | 488 |

## M

|                                                   |     |
|---------------------------------------------------|-----|
| MAC                                               |     |
| MAC 命令                                            | 814 |
| MB91470 シリーズ                                      |     |
| FBGA-144 (MB91470 シリーズ)                           | 12  |
| LQFP-144 (MB91470 シリーズ)                           | 11  |
| MB91470 シリーズ                                      | 43  |
| MB91470 シリーズ (144 ピン) ブロック<br>ダイアグラム              | 9   |
| MB91470 シリーズの場合                                   | 404 |
| MB91480 シリーズ                                      |     |
| LQFP-100 (MB91480 シリーズ)                           | 13  |
| MB91480 シリーズ                                      | 44  |
| MB91480 シリーズ (100 ピン) ブロック<br>ダイアグラム              | 10  |
| MB91480 シリーズの場合                                   | 405 |
| QFP-100 (MB91480 シリーズ)                            | 14  |
| MDH/MDL                                           |     |
| 乗除算レジスタ (Multiply & Divide register)<br>(MDH/MDL) | 57  |
| MOD                                               |     |
| 16 ビットアウトプットコンペアの動作<br>(セット / リセットモード, MOD1x=1)   | 411 |
| 16 ビットアウトプットコンペアの動作<br>(反転モード, MOD1x=0)           | 407 |
| mon911                                            |     |
| デバッグ (sim911, eml911, mon911)                     | 951 |

## N

|                              |     |
|------------------------------|-----|
| NMI                          |     |
| NMI                          | 236 |
| NMI (Non Maskable Interrupt) | 223 |
| NMI/ ホールド抑止レベル割込み処理中         | 854 |
| 割込み・NMI に対するレベルマスク           | 67  |
| NOP                          |     |
| NOP 命令                       | 819 |

# MB91470/480 シリーズ

## O

### OCCPB

|                                                                         |     |
|-------------------------------------------------------------------------|-----|
| アウトプットコンペアバッファレジスタ<br>(OCCPBH0 ~ OCCPBH11/<br>OCCPBL0 ~ OCCPBL11) ..... | 348 |
|-------------------------------------------------------------------------|-----|

## P

### PC

|                      |    |
|----------------------|----|
| プログラムカウンタ (PC) ..... | 56 |
|----------------------|----|

### PCR

|                                                                                                        |     |
|--------------------------------------------------------------------------------------------------------|-----|
| ブルアップ抵抗制御レジスタ<br>(PCR:PCR0 ~ PCR3, PCR5, PCR6,<br>PCR8 ~ PCRH, PCRJ, PCRL, PCRM,<br>PCRP ~ PCRS) ..... | 202 |
|--------------------------------------------------------------------------------------------------------|-----|

### PDR

|                                                                                                      |     |
|------------------------------------------------------------------------------------------------------|-----|
| ポートデータレジスタ<br>(PDR: PDR0 ~ PDR3, PDR5, PDR6,<br>PDR8 ~ PDRH, PDRJ, PDRL, PDRM,<br>PDRP ~ PDRS) ..... | 196 |
|------------------------------------------------------------------------------------------------------|-----|

### PFR

|                                                                                                                |     |
|----------------------------------------------------------------------------------------------------------------|-----|
| ポート機能制御レジスタ<br>(PFR:PFR0 ~ PFR3, PFR5, PFR6, PFR8,PFR9,<br>PFRJ, PFRF ~ PFRH, PFRJ, PFRM, PFRQ,<br>PFRS) ..... | 205 |
|----------------------------------------------------------------------------------------------------------------|-----|

### PICSL

|                                                                       |     |
|-----------------------------------------------------------------------|-----|
| インプットキャプチャ状態制御レジスタ<br>(ch.01/ch.45), 下位バイト<br>(PICSL01/PICSL45) ..... | 367 |
|-----------------------------------------------------------------------|-----|

### PLL

|                       |    |
|-----------------------|----|
| PLL 通倍率 .....         | 95 |
| PLL 通倍率変更後の待ち時間 ..... | 98 |
| PLL 動作許可 .....        | 95 |
| PLL 動作許可後の待ち時間 .....  | 98 |

### PPG

|                                                                                  |     |
|----------------------------------------------------------------------------------|-----|
| 16 ビット PPG タイマ .....                                                             | 451 |
| 16 ビット PPG タイマのブロック<br>ダイアグラム .....                                              | 452 |
| 16 ビット PWM/PPG/ リロードタイマの使用上の<br>注意 .....                                         | 463 |
| 8 ビット PPG ch.0, ch.2, ch.4, ch.6, ch.8, ch.10, ch.12,<br>ch.14 のブロックダイアグラム ..... | 274 |
| 8 ビット PPG ch.1, ch.5, ch.9, ch.13 のブロック<br>ダイアグラム .....                          | 275 |
| 8 ビット PPG ch.3, ch.7, ch.11, ch.15 のブロック<br>ダイアグラム .....                         | 276 |
| PPG 起動レジスタ (TRG) .....                                                           | 286 |
| PPG 出力制御 .....                                                                   | 421 |
| PPG 出力制御上位バイト<br>(PICSH01/PICSH45) .....                                         | 365 |
| PPG チャネルと各モードとの対応 .....                                                          | 273 |
| PPG 動作モード制御レジスタ<br>(PPGC0 ~ PPGC15) .....                                        | 282 |
| PPG と多機能タイマの接続図 .....                                                            | 277 |
| PPG の機能 .....                                                                    | 272 |
| PPG のモード .....                                                                   | 272 |
| PPG のレジスタ一覧 .....                                                                | 279 |
| ゲートトリガされた PPG 出力 .....                                                           | 422 |
| 割込み要因とタイミングチャート<br>(PPG 出力: 通常極性) .....                                          | 495 |

### PPGC

|                                           |     |
|-------------------------------------------|-----|
| PPG 動作モード制御レジスタ<br>(PPGC0 ~ PPGC15) ..... | 282 |
|-------------------------------------------|-----|

### PPG 起動レジスタ

|                        |     |
|------------------------|-----|
| PPG 起動レジスタ (TRG) ..... | 286 |
|------------------------|-----|

### PPG 動作モード制御レジスタ

|                                           |     |
|-------------------------------------------|-----|
| PPG 動作モード制御レジスタ<br>(PPGC0 ~ PPGC15) ..... | 282 |
|-------------------------------------------|-----|

### PRLH

|                                                     |     |
|-----------------------------------------------------|-----|
| リロードレジスタ<br>(PRLH0 ~ PRLH15,<br>PRL0 ~ PRL15) ..... | 285 |
|-----------------------------------------------------|-----|

### PRL

|                                                     |     |
|-----------------------------------------------------|-----|
| リロードレジスタ<br>(PRLH0 ~ PRLH15,<br>PRL0 ~ PRL15) ..... | 285 |
|-----------------------------------------------------|-----|

### PS

|                       |    |
|-----------------------|----|
| プログラムステータス (PS) ..... | 51 |
|-----------------------|----|

### PWC

|                         |     |
|-------------------------|-----|
| 16/32 ビット PWC タイマ ..... | 451 |
| PWC タイマの使用上の注意 .....    | 464 |

### PWC タイマ

|                                                      |     |
|------------------------------------------------------|-----|
| 16/32 ビット PWC タイマ (ch.1, ch.0) のブロック<br>ダイアグラム ..... | 454 |
|------------------------------------------------------|-----|

### PWM

|                                            |     |
|--------------------------------------------|-----|
| 16 ビット PWM/PPG/ リロードタイマの使用上の<br>注意 .....   | 463 |
| 16 ビット PWM タイマ .....                       | 450 |
| 16 ビット PWM タイマのブロック<br>ダイアグラム .....        | 452 |
| PWM 周期設定レジスタ (BTnPCSR) の<br>ビット構成 .....    | 474 |
| PWM 出力オール "L" またはオール "H" の<br>出力方法 .....   | 480 |
| PWM デューティ設定レジスタ (BTnPDUT) の<br>ビット構成 ..... | 475 |
| 割込み要因とタイミングチャート<br>(PWM 出力: 通常極性) .....    | 479 |

### PWM 周期設定レジスタ

|                                         |     |
|-----------------------------------------|-----|
| PWM 周期設定レジスタ (BTnPCSR) の<br>ビット構成 ..... | 474 |
|-----------------------------------------|-----|

### PWM 出力

|                                          |     |
|------------------------------------------|-----|
| PWM 出力オール "L" またはオール "H" の<br>出力方法 ..... | 480 |
| 割込み要因とタイミングチャート<br>(PWM 出力: 通常極性) .....  | 479 |

### PWM タイマ

|                                     |     |
|-------------------------------------|-----|
| 16 ビット PWM タイマ .....                | 450 |
| 16 ビット PWM タイマのブロック<br>ダイアグラム ..... | 452 |

### PWM デューティ設定レジスタ

|                                            |     |
|--------------------------------------------|-----|
| PWM デューティ設定レジスタ (BTnPDUT) の<br>ビット構成 ..... | 475 |
|--------------------------------------------|-----|

## Q

### QFP-100

|                              |    |
|------------------------------|----|
| QFP-100 (MB91480 シリーズ) ..... | 14 |
|------------------------------|----|



# MB91470/480 シリーズ

## R

|                                                                                                                            |          |
|----------------------------------------------------------------------------------------------------------------------------|----------|
| RCR                                                                                                                        |          |
| リロードコンペアレジスタ (RCR) .....                                                                                                   | 531      |
| RDR                                                                                                                        |          |
| 受信データレジスタ (RDR) .....                                                                                                      | 675      |
| 受信データレジスタ<br>(RDR0/RDR1) .....                                                                                             | 565, 617 |
| RDX                                                                                                                        |          |
| CSX   RDX/WR0X, WR1X セットアップ設定<br>(TYP[3:0]=0101 <sub>B</sub> , AWR=100B <sub>H</sub> ) .....                               | 181      |
| CSX   RDX/WR0X, WR1X セットアップ・<br>RDX/WR0X, WR1X   CSX ホールド設定<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=000B <sub>H</sub> ) ..... | 177      |
| RDY                                                                                                                        |          |
| RDY ビット .....                                                                                                              | 884      |
| REVC                                                                                                                       |          |
| 出力反転レジスタ (REVC) .....                                                                                                      | 287      |
| ROM                                                                                                                        |          |
| FR-CPU ROM モード<br>(32 ビット, リードのみ) .....                                                                                    | 877      |
| RP                                                                                                                         |          |
| リターンポインタ (RP) .....                                                                                                        | 56       |
| RST                                                                                                                        |          |
| 動作初期化リセット (RST) .....                                                                                                      | 84       |
| 動作初期化リセット (RST) 解除<br>シーケンス .....                                                                                          | 88       |
| RTO                                                                                                                        |          |
| RTO0 ~ RTO5 と GATE の出力状態 .....                                                                                             | 420      |

## S

|                                          |               |
|------------------------------------------|---------------|
| SCR                                      |               |
| システムコンディションコードレジスタ<br>(SCR) .....        | 54            |
| シリアル制御レジスタ (SCR) .....                   | 554, 606      |
| SIGCR                                    |               |
| 波形制御レジスタ 1 (SIGCR1) .....                | 380           |
| 波形制御レジスタ 2 (SIGCR2) .....                | 382           |
| 波形制御レジスタ 2 (SIGCR2) の DTTI の<br>動作 ..... | 431           |
| sim911                                   |               |
| デバッグ (sim911, em1911, mon911) .....      | 951           |
| SMR                                      |               |
| シリアルモードレジスタ (SMR) .....                  | 557, 609, 666 |
| SPI                                      |               |
| SPI 転送 (I) .....                         | 643           |
| SPI 転送 (II) .....                        | 646           |
| SRST                                     |               |
| STCR:SRST ビット書込み<br>(ソフトウェアリセット) .....   | 86            |
| SSP                                      |               |
| システムスタックポインタ (SSP) .....                 | 56, 69        |
| SSR                                      |               |
| シリアルステータスレジスタ<br>(SSR) .....             | 560, 612, 672 |
| STCR                                     |               |
| STCR:SRST ビット書込み<br>(ソフトウェアリセット) .....   | 86            |
| スタンバイ制御レジスタ (STCR) .....                 | 105           |
| STOP                                     |               |
| STOP 状態からの復帰動作について .....                 | 238           |

|                                        |     |
|----------------------------------------|-----|
| 外部割込みを使用した STOP 状態からの復帰時における注意事項 ..... | 237 |
| STR 命令                                 |     |
| STR 命令 (転送命令) .....                    | 816 |

## T

|                                                                                                                            |          |
|----------------------------------------------------------------------------------------------------------------------------|----------|
| TBCR                                                                                                                       |          |
| タイムベースカウンタ制御レジスタ<br>(TBCR) .....                                                                                           | 108      |
| TBR                                                                                                                        |          |
| テーブルベースレジスタ (TBR) .....                                                                                                    | 56, 69   |
| TCCSH                                                                                                                      |          |
| タイマ状態制御レジスタ, 上位バイト<br>(TCCSH0 ~ TCCSH5) .....                                                                              | 330      |
| TCCSL                                                                                                                      |          |
| タイマ状態制御レジスタ, 下位バイト<br>(TCCSL0 ~ TCCSL5) .....                                                                              | 334      |
| TDR                                                                                                                        |          |
| 送信データレジスタ (TDR) .....                                                                                                      | 676      |
| 送信データレジスタ<br>(TDR0/TDR1) .....                                                                                             | 567, 618 |
| TMCSR                                                                                                                      |          |
| コントロールステータスレジスタ (TMCSR) の<br>ビット構成 .....                                                                                   | 252      |
| TMR                                                                                                                        |          |
| 16 ビットタイマレジスタ (TMR) の<br>ビット構成 .....                                                                                       | 254      |
| TMRLR                                                                                                                      |          |
| 16 ビットリロードレジスタ (TMRLR) の<br>ビット構成 .....                                                                                    | 255      |
| TRG                                                                                                                        |          |
| PPG 起動レジスタ (TRG) .....                                                                                                     | 286      |
| TTCR                                                                                                                       |          |
| タイミングジェネレータ制御レジスタ<br>(TTCR0/TTCR1) .....                                                                                   | 265      |
| TYP                                                                                                                        |          |
| CSX 遅延設定<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=000C <sub>H</sub> ) .....                                                    | 176      |
| CSX   RDX/WR0X, WR1X セットアップ設定<br>(TYP[3:0]=0101 <sub>B</sub> , AWR=100B <sub>H</sub> ) .....                               | 181      |
| CSX   RDX/WR0X, WR1X セットアップ・<br>RDX/WR0X, WR1X   CSX ホールド設定<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=000B <sub>H</sub> ) ..... | 177      |
| 外部ウェイトあり<br>(TYP[3:0]=0101 <sub>B</sub> , AWR=1008 <sub>H</sub> ) .....                                                    | 180      |
| 外部ウェイトタイミング<br>(TYP[3:0]=0001 <sub>B</sub> , AWR=2008 <sub>H</sub> ) .....                                                 | 175      |
| 外部ウェイトなし<br>(TYP[3:0]=0100 <sub>B</sub> , AWR=0008 <sub>H</sub> ) .....                                                    | 178      |
| 基本タイミング (アクセスが連続する場合)<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=0008 <sub>H</sub> ) .....                                       | 170      |
| 自動ウェイトタイミング<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=2008 <sub>H</sub> ) .....                                                 | 174      |
| ライト   ライトタイミング<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=0018 <sub>H</sub> ) .....                                              | 173      |
| リード   ライトタイミング<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=0048 <sub>H</sub> ) .....                                              | 172      |

# MB91470/480 シリーズ

## U

### UART

|                               |     |
|-------------------------------|-----|
| UART (非同期シリアルインタフェース) の機能     | 551 |
| UART (非同期シリアルインタフェース) のレジスタ一覧 | 552 |
| UART の動作                      | 586 |
| UART の割込み                     | 579 |
| UART ボーレート選択                  | 591 |

### UDCR

|                       |     |
|-----------------------|-----|
| UDCR へのデータの書き込み       | 543 |
| アップダウンカウントレジスタ (UDCR) | 530 |

### USP

|                   |    |
|-------------------|----|
| ユーザスタックポインタ (USP) | 57 |
|-------------------|----|

## W

### WR

|                                                                                                           |     |
|-----------------------------------------------------------------------------------------------------------|-----|
| CSX RDX/WR0X, WR1X セットアップ設定 (TYP[3:0]=0101 <sub>B</sub> , AWR=100B <sub>H</sub> )                         | 181 |
| CSX RDX/WR0X, WR1X セットアップ・RDX/WR0X, WR1X CSX ホールド設定 (TYP[3:0]=0000 <sub>B</sub> , AWR=000B <sub>H</sub> ) | 177 |

### WREN

|                              |     |
|------------------------------|-----|
| ワイルドレジスタ許可レジスタ (WREN)        | 920 |
| ワイルドレジスタ許可レジスタ (WREN) のビット構成 | 916 |

## X

### x

|                                              |     |
|----------------------------------------------|-----|
| 16 ビットアウトプットコンペアの動作 (セット / リセットモード, MOD1x=1) | 411 |
|----------------------------------------------|-----|

## あ

### アービトレーションロスト

|              |     |
|--------------|-----|
| アービトレーションロスト | 708 |
|--------------|-----|

### アウトプットコンペア

|                                                             |     |
|-------------------------------------------------------------|-----|
| 16 ビットアウトプットコンペア タイミング                                      | 412 |
| 16 ビットアウトプットコンペアとフリーラン タイマの動作について                           | 412 |
| 16 ビットアウトプットコンペアの使用上の注意                                     | 441 |
| 16 ビットアウトプットコンペアの動作 (セット / リセットモード, MOD1x=1)                | 411 |
| 16 ビットアウトプットコンペアの動作 (反転モード, MOD1x=0)                        | 407 |
| 16 ビットアウトプットコンペアのプログラム例                                     | 446 |
| 16 ビットアウトプットコンペアのブロックダイアグラム                                 | 305 |
| 16 ビットアウトプットコンペアのレジスタ                                       | 321 |
| 16 ビットアウトプットコンペア割込み                                         | 393 |
| アウトプットコンペアバッファレジスタ (OCCPBH0 ~ OCCPBH11/ OCCPBL0 ~ OCCPBL11) | 348 |

### アウトプットコンペアレジスタ

|                                      |     |
|--------------------------------------|-----|
| (OCCPH0 ~ OCCPH11/ OCCPL0 ~ OCCPL11) | 349 |
|--------------------------------------|-----|

### フリーランタイム選択レジスタ (下位):

|                                   |     |
|-----------------------------------|-----|
| アウトプットコンペア用 (FRS0/FRS2/FRS5/FRS7) | 342 |
|-----------------------------------|-----|

### フリーランタイム選択レジスタ (上位):

|                         |     |
|-------------------------|-----|
| アウトプットコンペア用 (FRS1/FRS6) | 340 |
|-------------------------|-----|

### アウトプットコンペアバッファレジスタ

|                                                             |     |
|-------------------------------------------------------------|-----|
| アウトプットコンペアバッファレジスタ (OCCPBH0 ~ OCCPBH11/ OCCPBL0 ~ OCCPBL11) | 348 |
|-------------------------------------------------------------|-----|

### アウトプットコンペアレジスタ

|                                                     |     |
|-----------------------------------------------------|-----|
| アウトプットコンペアレジスタ (OCCPH0 ~ OCCPH11/ OCCPL0 ~ OCCPL11) | 349 |
|-----------------------------------------------------|-----|

### アキュムレータ

|                                   |     |
|-----------------------------------|-----|
| アキュムレータ出力                         | 813 |
| アキュムレータ出力レジスタ (DSP-AC0 ~ DSP-AC2) | 809 |

### アクセスアドレス

|          |     |
|----------|-----|
| アクセスアドレス | 848 |
|----------|-----|

### アクセスが連続する場合

|                                                                             |     |
|-----------------------------------------------------------------------------|-----|
| 基本タイミング (アクセスが連続する場合) (TYP[3:0]=0000 <sub>B</sub> , AWR=0008 <sub>H</sub> ) | 170 |
|-----------------------------------------------------------------------------|-----|

### アセンブラ

|                 |     |
|-----------------|-----|
| アセンブラ (fasm911) | 948 |
|-----------------|-----|

### アップダウンカウンタ

|                       |     |
|-----------------------|-----|
| アップダウンカウンタの特長         | 526 |
| アップダウンカウンタのブロックダイアグラム | 528 |
| アップダウンカウンタのレジスタ一覧     | 529 |

### アップダウンカウントレジスタ

|                       |     |
|-----------------------|-----|
| アップダウンカウントレジスタ (UDCR) | 530 |
|-----------------------|-----|

### アドレス

|                             |     |
|-----------------------------|-----|
| 7 ビットスレーブアドレスマスクレジスタ (ISMK) | 677 |
|-----------------------------|-----|

### 7 ビットスレーブアドレスレジスタ

|        |     |
|--------|-----|
| (ISBA) | 678 |
|--------|-----|

### アクセスアドレス

|            |     |
|------------|-----|
| アドレスエラーの発生 | 856 |
|------------|-----|

### アドレス指定方法

|            |     |
|------------|-----|
| アドレスレジスタ指定 | 847 |
|------------|-----|

### スレーブアドレス一致検出

|            |     |
|------------|-----|
| スレーブアドレス出力 | 710 |
|------------|-----|

### 通常アクセスおよびアドレス / データマルチ

|           |     |
|-----------|-----|
| ブレックスアクセス | 147 |
|-----------|-----|

### 転送アドレス

|                       |     |
|-----------------------|-----|
| ワイルドレジスタアドレスレジスタ (WA) | 842 |
|-----------------------|-----|

### ワイルドレジスタアドレスレジスタ

|             |     |
|-------------|-----|
| (WA) のビット構成 | 920 |
|-------------|-----|

### ワイルドレジスタアドレスレジスタ

|             |     |
|-------------|-----|
| (WA) のビット構成 | 917 |
|-------------|-----|

### アドレス / データマルチブレックスアクセス

|                                 |     |
|---------------------------------|-----|
| 通常アクセスおよびアドレス / データマルチブレックスアクセス | 147 |
|---------------------------------|-----|

### アドレス指定方法

|          |     |
|----------|-----|
| アドレス指定方法 | 891 |
|----------|-----|

### アドレスレジスタ

|                          |     |
|--------------------------|-----|
| 7 ビットスレーブアドレスレジスタ (ISBA) | 678 |
|--------------------------|-----|

### アドレスレジスタ指定

|                       |     |
|-----------------------|-----|
| ワイルドレジスタアドレスレジスタ (WA) | 847 |
|-----------------------|-----|

### ワイルドレジスタアドレスレジスタ

|      |     |
|------|-----|
| (WA) | 920 |
|------|-----|

# MB91470/480 シリーズ

|                                            |          |
|--------------------------------------------|----------|
| ワイルドレジスタアドレスレジスタ<br>(WA) のビット構成 .....      | 917      |
| アドレッシング                                    |          |
| ダイレクトアドレッシング領域 .....                       | 42, 60   |
| アナログ                                       |          |
| アナログ入力制御レジスタ<br>(AICR:AICR0 ~ AICR2) ..... | 753      |
| アナログ入力制御レジスタ<br>(AICR:AICR3, AICR4) .....  | 781      |
| アンダフロー動作                                   |          |
| アンダフロー動作 .....                             | 257, 507 |

## い

|                                                                              |     |
|------------------------------------------------------------------------------|-----|
| 一時停止                                                                         |     |
| 一時停止状態からの起動 .....                                                            | 851 |
| 制御レジスタへの書き込みによる一時停止の設定<br>(各チャネル独立または全チャネル同時に設定) .....                       | 854 |
| インタフェース                                                                      |     |
| CSIO (クロック同期シリアルインタフェース) の<br>機能 .....                                       | 603 |
| CSIO (クロック同期シリアルインタフェース) の<br>動作 .....                                       | 637 |
| CSIO (クロック同期シリアルインタフェース) の<br>レジスタ一覧 .....                                   | 604 |
| CSIO (クロック同期シリアルインタフェース)<br>ポーレート選択 .....                                    | 649 |
| I <sup>2</sup> C インタフェースの機能 .....                                            | 657 |
| I <sup>2</sup> C インタフェースのレジスタ一覧 .....                                        | 658 |
| I <sup>2</sup> C インタフェースの割込み .....                                           | 689 |
| UART (非同期シリアルインタフェース) の<br>機能 .....                                          | 551 |
| UART (非同期シリアルインタフェース) の<br>レジスタ一覧 .....                                      | 552 |
| インタフェースモード .....                                                             | 548 |
| インタフェースモードの切換え .....                                                         | 548 |
| 外部バスインタフェースの設定手順 .....                                                       | 182 |
| 外部バスインタフェースの特長 .....                                                         | 134 |
| 外部バスインタフェースのブロック<br>ダイアグラム .....                                             | 136 |
| 外部バスインタフェースのレジスタ一覧 .....                                                     | 137 |
| 外部バスインタフェースのレジスタ概要 .....                                                     | 138 |
| 時分割入出力インタフェースの制御信号 .....                                                     | 156 |
| 通常バスインタフェースの制御信号 .....                                                       | 156 |
| インプットキャプチャ                                                                   |     |
| 16 ビットインプットキャプチャ<br>入力タイミング .....                                            | 419 |
| 16 ビットインプットキャプチャの使用上の<br>注意 .....                                            | 442 |
| 16 ビットインプットキャプチャの動作 .....                                                    | 419 |
| 16 ビットインプットキャプチャのブロック<br>ダイアグラム .....                                        | 308 |
| 16 ビットインプットキャプチャの<br>レジスタ .....                                              | 322 |
| 16 ビットインプットキャプチャ割込み .....                                                    | 393 |
| インプットキャプチャ状態制御レジスタ<br>(ch.2/ch.6, ch.3/ch.7), 下位バイト<br>(ICSL23/ICSL67) ..... | 362 |
| インプットキャプチャ状態制御レジスタ<br>(ch.2/ch.6, ch.3/ch.7), 上位バイト<br>(ICSH23/ICSH67) ..... | 360 |

|                                                                                                    |     |
|----------------------------------------------------------------------------------------------------|-----|
| インプットキャプチャ状態制御レジスタ<br>(ch.01/ch.45), 下位バイト<br>(PICSL01/PICSL45) .....                              | 367 |
| インプットキャプチャデータレジスタ<br>(IPCPH0 ~ IPCPH7/<br>IPCPL0 ~ IPCPL7) .....                                   | 359 |
| フリーランタイム選択レジスタ (下位):<br>インプットキャプチャ用 (FRS3/FRS8) .....                                              | 346 |
| フリーランタイム選択レジスタ (上位):<br>インプットキャプチャ用 (FRS4/FRS9) .....                                              | 344 |
| インプットキャプチャ状態制御レジスタ<br>インプットキャプチャ状態制御レジスタ<br>(ch.2/ch.6, ch.3/ch.7), 下位バイト<br>(ICSL23/ICSL67) ..... | 362 |
| インプットキャプチャ状態制御レジスタ<br>(ch.2/ch.6, ch.3/ch.7), 上位バイト<br>(ICSH23/ICSH67) .....                       | 360 |
| インプットキャプチャ状態制御レジスタ<br>(ch.01/ch.45), 下位バイト<br>(PICSL01/PICSL45) .....                              | 367 |
| インプットキャプチャデータレジスタ<br>インプットキャプチャデータレジスタ<br>(IPCPH0 ~ IPCPH7/<br>IPCPL0 ~ IPCPL7) .....              | 359 |

## う

|                                                                    |     |
|--------------------------------------------------------------------|-----|
| ウェイト                                                               |     |
| フラッシュウェイトレジスタ (FLWC) のビット構<br>成 .....                              | 875 |
| フラッシュウェイト                                                          |     |
| フラッシュウェイトレジスタ (FLWC) のビット構<br>成 .....                              | 875 |
| ウォッチドッグ                                                            |     |
| ウォッチドッグリセット .....                                                  | 86  |
| ウォッチドッグタイマ制御レジスタ<br>リセット要因レジスタ / ウォッチドッグタイマ制<br>御レジスタ (RSRR) ..... | 103 |

## え

|                                      |     |
|--------------------------------------|-----|
| エラー                                  |     |
| アドレスエラーの発生 .....                     | 856 |
| バスエラー動作 .....                        | 714 |
| バスエラー発生条件 .....                      | 714 |
| 演算機能                                 |     |
| 演算機能 .....                           | 811 |
| 演算結果                                 |     |
| 演算結果の転送処理 .....                      | 812 |
| エンディアン                               |     |
| MB91470/480 シリーズとエンディアンの<br>接続 ..... | 165 |
| エンディアンの概要 .....                      | 155 |
| ビッグエンディアンのデータバス幅 .....               | 158 |
| ビッグエンディアンのデータ<br>フォーマット .....        | 157 |
| リトルエンディアンの概要 .....                   | 162 |
| リトルエンディアンのデータバス幅 .....               | 164 |
| リトルエンディアンのデータ<br>フォーマット .....        | 163 |

# MB91470/480 シリーズ

## お

|                                                                |     |
|----------------------------------------------------------------|-----|
| オール "L" またはオール "H"<br>PWM 出力オール "L" またはオール "H" の<br>出力方法 ..... | 480 |
|----------------------------------------------------------------|-----|

## か

|                                                                                    |        |
|------------------------------------------------------------------------------------|--------|
| 外形寸法図                                                                              |        |
| パッケージ外形寸法図 (BGA-144P-M06) .....                                                    | 16, 17 |
| パッケージ外形寸法図 (FPT-144P-M12) .....                                                    | 15     |
| パッケージ外形寸法図 (LQFP-100P-M06) .....                                                   | 19     |
| パッケージ外形寸法図 (LQFP-100P-M20) .....                                                   | 18     |
| 解除                                                                                 |        |
| 設定初期化リセット (INIT) 解除<br>シーケンス .....                                                 | 87     |
| 動作初期化リセット (RST) 解除<br>シーケンス .....                                                  | 88     |
| 回避方法                                                                               |        |
| 不具合の回避方法 .....                                                                     | 902    |
| 外部                                                                                 |        |
| 外部ウェイトあり<br>(TYP[3:0]=0101 <sub>B</sub> , AWR=1008 <sub>H</sub> ) .....            | 180    |
| 外部ウェイトタイミング<br>(TYP[3:0]=0001 <sub>B</sub> , AWR=2008 <sub>H</sub> ) .....         | 175    |
| 外部ウェイトなし<br>(TYP[3:0]=0100 <sub>B</sub> , AWR=0008 <sub>H</sub> ) .....            | 178    |
| 外部クロック .....                                                                       | 595    |
| 外部との接続例 .....                                                                      | 161    |
| 外部バスアクセス .....                                                                     | 159    |
| 外部バスインタフェースの設定手順 .....                                                             | 182    |
| 外部バスインタフェースの特長 .....                                                               | 134    |
| 外部バスインタフェースのブロック<br>ダイアグラム .....                                                   | 136    |
| 外部バスインタフェースのレジスター一覧 .....                                                          | 137    |
| 外部バスインタフェースのレジスタ概要 .....                                                           | 138    |
| 外部バスクロック (CLKT) .....                                                              | 100    |
| 外部割込みの動作手順について .....                                                               | 234    |
| 外部割込みの動作について .....                                                                 | 234    |
| 外部割込み要因レジスタ<br>[EIRR (EIRR0, EIRR1): External Interrupt Request<br>Register] ..... | 232    |
| 外部割込み要求レベル設定レジスタ<br>[ELVR (ELVR0, ELVR1): External LeVel<br>Register] .....        | 233    |
| 外部割込み要求レベルについて .....                                                               | 235    |
| 外部割込みを使用した STOP 状態からの復帰時に<br>おける注意事項 .....                                         | 237    |
| 選択された外部カウントクロック .....                                                              | 402    |
| 外部ウェイト                                                                             |        |
| 外部ウェイトあり<br>(TYP[3:0]=0101 <sub>B</sub> , AWR=1008 <sub>H</sub> ) .....            | 180    |
| 外部ウェイトタイミング<br>(TYP[3:0]=0001 <sub>B</sub> , AWR=2008 <sub>H</sub> ) .....         | 175    |
| 外部ウェイトなし<br>(TYP[3:0]=0100 <sub>B</sub> , AWR=0008 <sub>H</sub> ) .....            | 178    |
| 外部カウントクロック                                                                         |        |
| 選択された外部カウントクロック .....                                                              | 402    |
| 外部クロック                                                                             |        |
| 外部クロック .....                                                                       | 595    |
| 外部との接続例                                                                            |        |
| 外部との接続例 .....                                                                      | 161    |

|                                                                                    |               |
|------------------------------------------------------------------------------------|---------------|
| 外部バスアクセス                                                                           |               |
| 外部バスアクセス .....                                                                     | 159           |
| 外部バスインタフェース                                                                        |               |
| 外部バスインタフェースの設定手順 .....                                                             | 182           |
| 外部バスインタフェースの特長 .....                                                               | 134           |
| 外部バスインタフェースのブロック<br>ダイアグラム .....                                                   | 136           |
| 外部バスインタフェースのレジスター一覧 .....                                                          | 137           |
| 外部バスインタフェースのレジスタ概要 .....                                                           | 138           |
| 外部バスクロック                                                                           |               |
| 外部バスクロック (CLKT) .....                                                              | 100           |
| 外部割込み                                                                              |               |
| 外部割込みの動作手順について .....                                                               | 234           |
| 外部割込みの動作について .....                                                                 | 234           |
| 外部割込み要因レジスタ<br>[EIRR (EIRR0, EIRR1): External Interrupt Request<br>Register] ..... | 232           |
| 外部割込み要求レベル設定レジスタ<br>[ELVR (ELVR0, ELVR1): External LeVel<br>Register] .....        | 233           |
| 外部割込み要求レベルについて .....                                                               | 235           |
| 外部割込みを使用した STOP 状態からの復帰時に<br>おける注意事項 .....                                         | 237           |
| 外部割込み要因レジスタ                                                                        |               |
| 外部割込み要因レジスタ<br>[EIRR (EIRR0, EIRR1): External Interrupt Request<br>Register] ..... | 232           |
| 外部割込み要求                                                                            |               |
| 外部割込み要求レベル設定レジスタ<br>[ELVR (ELVR0, ELVR1): External LeVel<br>Register] .....        | 233           |
| 外部割込み要求レベルについて .....                                                               | 235           |
| 外部割込み要求レベル                                                                         |               |
| 外部割込み要求レベル設定レジスタ<br>[ELVR (ELVR0, ELVR1): External LeVel<br>Register] .....        | 233           |
| 外部割込み要求レベルについて .....                                                               | 235           |
| 外部割込み要求レベル設定レジスタ                                                                   |               |
| 外部割込み要求レベル設定レジスタ<br>[ELVR (ELVR0, ELVR1): External LeVel<br>Register] .....        | 233           |
| 概要                                                                                 |               |
| 16 ビットリロードタイマの概要 .....                                                             | 250           |
| DMAC の概要 .....                                                                     | 840           |
| エンディアンの概要 .....                                                                    | 155           |
| 外部バスインタフェースのレジスタ概要 .....                                                           | 138           |
| 概要 .....                                                                           | 82, 93, 798   |
| 動作概要 .....                                                                         | 491           |
| フラッシュメモリ書込み / 消去の概要 .....                                                          | 889           |
| フラッシュメモリ自動アルゴリズムの<br>概要 .....                                                      | 879           |
| フラッシュメモリの概要 .....                                                                  | 868           |
| フラッシュメモリのレジスタ概要 .....                                                              | 871           |
| ポート概要 .....                                                                        | 184           |
| 命令概要 .....                                                                         | 48            |
| リトルエンディアンの概要 .....                                                                 | 162           |
| ワイルドレジスタ制御部の概要 .....                                                               | 914           |
| カウンタ                                                                               |               |
| 8 ビットカウンタ .....                                                                    | 269           |
| カウンタのクリアと初期値 .....                                                                 | 520           |
| カウンタの動作状態 .....                                                                    | 258           |
| リロードカウンタの機能 .....                                                                  | 595, 651, 716 |

# MB91470/480 シリーズ

|                                                |               |
|------------------------------------------------|---------------|
| カウンタコントロールレジスタ                                 |               |
| カウンタコントロールレジスタ (CCR) のビット構成                    | 534           |
| カウンタステータスレジスタ                                  |               |
| カウンタステータスレジスタ (CSR) のビット構成                     | 532           |
| カウンタ                                           |               |
| カウンタクロックの選択                                    | 518           |
| カウンタの開始                                        | 595, 651, 716 |
| カウンタクリア                                        |               |
| カウンタクリア / ゲート機能                                | 543           |
| カウンタ方向選択レジスタ                                   |               |
| カウンタ方向選択レジスタ (コンペア時) (ADTGSEL0/ADTGSEL1)       | 388           |
| カウンタ方向転換フラグ                                    |               |
| カウンタ方向転換フラグ                                    | 544           |
| カウンタ方向フラグ                                      |               |
| カウンタ方向フラグ                                      | 544           |
| カウンタモード                                        |               |
| カウンタモード選択                                      | 538           |
| 書込み                                            |               |
| STCR:SRST ビット書込み (ソフトウェアリセット)                  | 86            |
| UDCR へのデータの書込み                                 | 543           |
| シリアル書込み基本構成                                    | 908           |
| シリアル書込み接続例                                     | 910           |
| 制御レジスタへの書込みによる一時停止の設定 (各チャンネル独立または全チャンネル同時に設定) | 854           |
| 遅延書込み機能                                        | 812           |
| データ書込みコマンド                                     | 881           |
| データ書込み上の注意                                     | 891           |
| 富士通標準シリアルオンボード書込みに使用する端子                       | 909           |
| フラッシュメモリ書込み / 消去の概要                            | 889           |
| フラッシュメモリ書込み手順                                  | 891           |
| フラッシュメモリのデータ書込み方法                              | 891           |
| リロードレジスタへの書込みタイミング                             | 491           |
| 各 CPU ステート                                     |               |
| 各 CPU ステートにおける端子状態                             | 941           |
| 各シリーズ                                          |               |
| 各シリーズでの多機能タイマ構成の相違点                            | 300           |
| 各タイマ                                           |               |
| 各タイマの使用上で共通する注意                                | 463           |
| 拡張通信制御レジスタ                                     |               |
| 拡張通信制御レジスタ (ESCR) のビット構成                       | 563, 615      |
| 各モード                                           |               |
| 各モード別のビット構成一覧                                  | 456           |
| 関係                                             |               |
| モード設定と各種タイマ機能の関係                               | 450           |
| リロード値とパルス幅の関係                                  | 494           |

## き

### 起動

|                       |     |
|-----------------------|-----|
| A/D 起動                | 432 |
| A/D 起動コンペアの使用上の注意     | 443 |
| A/D 起動コンペアのブロックダイアグラム | 312 |
| A/D 起動コンペアのレジスタ       | 325 |

|                                                                             |     |
|-----------------------------------------------------------------------------|-----|
| A/D コンペア起動モード                                                               | 433 |
| PPG 起動レジスタ (TRG)                                                            | 286 |
| 一時停止状態からの起動                                                                 | 851 |
| 起動後の動作                                                                      | 520 |
| 転送起動                                                                        | 851 |
| パルス幅測定の起動と停止                                                                | 520 |
| フリーランタイムによる A/D 起動                                                          | 403 |
| フリーランタイムの 0 検出もしくはコンペアクリアによる A/D 起動                                         | 434 |
| 機能                                                                          |     |
| 機能ごとの割込み制御ビットと割込み要因                                                         | 465 |
| 機能選択                                                                        | 598 |
| 基本構成                                                                        |     |
| シリアル書込み基本構成                                                                 | 908 |
| 基本タイミング                                                                     |     |
| 基本タイミング (アクセスが連続する場合) (TYP[3:0]=0000 <sub>B</sub> , AWR=0008 <sub>H</sub> ) | 170 |
| 基本プログラミングモデル                                                                |     |
| 基本プログラミングモデル                                                                | 50  |
| 共通事項                                                                        |     |
| 共通事項                                                                        | 967 |

## く

### クリア

|                          |     |
|--------------------------|-----|
| DMA による割込みクリアの発生タイミング    | 853 |
| カウンタのクリアと初期値             | 520 |
| タイマクリア                   | 396 |
| タイムベースカウンタクリアレジスタ (CTBR) | 110 |

### クロック

|                                   |               |
|-----------------------------------|---------------|
| CPU クロック (CLKB)                   | 100           |
| CSIO (クロック同期シリアルインタフェース) の機能      | 603           |
| CSIO (クロック同期シリアルインタフェース) の動作      | 637           |
| CSIO (クロック同期シリアルインタフェース) のレジスタ一覧  | 604           |
| CSIO (クロック同期シリアルインタフェース) のボーレート選択 | 649           |
| 外部クロック                            | 595           |
| 外部バスクロック (CLKT)                   | 100           |
| カウンタクロックの選択                       | 518           |
| 各周辺クロック (CLKP) 周波数に対するリロード値とボーレート | 651, 593, 716 |
| クロック出力許可レジスタのビット構成                | 796           |
| クロック生成制御部のブロックダイアグラム              | 102           |
| クロックソース制御レジスタ (CLKR)              | 111           |
| クロック分周                            | 101           |
| クロックモニタの出力周波数                     | 794           |
| クロックモニタのブロックダイアグラム                | 795           |
| 原発振クロック周波数について                    | 911           |
| 周辺クロック (CLKP)                     | 100           |
| 選択された外部カウンタクロック                   | 402           |
| ソースクロックの選択                        | 94            |
| 内部クロック選択時のカウンタ動作                  | 506           |
| 内部クロック動作                          | 256           |
| 内部クロック分周設定レジスタ 0 (DIVR0)          | 113           |

# MB91470/480 シリーズ

|                                                             |     |
|-------------------------------------------------------------|-----|
| 内部クロック分周設定レジスタ 1<br>(DIVR1) .....                           | 115 |
| クロックソース制御レジスタ<br>クロックソース制御レジスタ (CLKR) .....                 | 111 |
| クロック同期シリアルインタフェース<br>CSIO (クロック同期シリアルインタフェース) の<br>機能 ..... | 603 |
| CSIO (クロック同期シリアルインタフェース) の<br>動作 .....                      | 637 |
| CSIO (クロック同期シリアルインタフェース) の<br>レジスタ一覧 .....                  | 604 |
| CSIO (クロック同期シリアルインタフェース)<br>ボーレート選択 .....                   | 649 |

## け

|                                  |     |
|----------------------------------|-----|
| ゲート<br>カウントクリア / ゲート機能 .....     | 543 |
| ゲート機能のブロックダイアグラム .....           | 278 |
| ゲートトリガ<br>ゲートトリガされた PPG 出力 ..... | 422 |
| 原発振<br>原発振クロック周波数について .....      | 911 |

## こ

|                                                                         |     |
|-------------------------------------------------------------------------|-----|
| 構成<br>構成 .....                                                          | 184 |
| コマンド<br>自動アルゴリズムのコマンドシーケンス .....                                        | 880 |
| リセットコマンド .....                                                          | 880 |
| セクタ消去コマンド .....                                                         | 882 |
| チップ消去コマンド .....                                                         | 881 |
| データ書込みコマンド .....                                                        | 881 |
| コマンド消去一時停止<br>セクタ消去一時停止コマンド .....                                       | 883 |
| コンディションコードレジスタ<br>コンディションコードレジスタ (CCR) .....                            | 52  |
| コントロール / ステータスレジスタ<br>DSP コントロール / ステータスレジスタ<br>(DSP-CSR) .....         | 803 |
| コントロールステータスレジスタ<br>コントロールステータスレジスタ (TMCSR) の<br>ビット構成 .....             | 252 |
| コンパイラ<br>C コンパイラ (fcc911) .....                                         | 945 |
| コンペア<br>A/D 起動コンペアの使用上の注意 .....                                         | 443 |
| A/D 起動コンペアのブロック<br>ダイアグラム .....                                         | 312 |
| A/D 起動コンペアのレジスタ .....                                                   | 325 |
| A/D コンペア起動許可 .....                                                      | 432 |
| A/D コンペア起動モード .....                                                     | 433 |
| カウント方向選択レジスタ (コンペア時)<br>(ADTGSEL0/ADTGSEL1) .....                       | 388 |
| コンペア許可レジスタ<br>(ADTGCE0/ADTGCE1) .....                                   | 386 |
| コンペア検出フラグ .....                                                         | 544 |
| コンペア制御レジスタ, 下位バイト<br>(OCSL0/OCSL6, OCSL2/OCSL8, OCSL4/<br>OCSL10) ..... | 354 |

|                                                                                                           |     |
|-----------------------------------------------------------------------------------------------------------|-----|
| コンペア制御レジスタ, 上位バイト<br>(OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/<br>OCSH11) .....                                   | 350 |
| コンペアモード制御レジスタ<br>(OCMOD0/OCMOD1) .....                                                                    | 357 |
| コンペアレジスタ<br>(COMP0/COMP2/COMP4/COMP6, COMP1/<br>COMP3/COMP5/COMP7) .....                                  | 267 |
| コンペアレジスタ 0/3,1/4,2/5<br>(ADCOMP0/ADCOMP3, ADCOMP1/<br>ADCOMP4, ADCOMP2/ADCOMP5) .....                     | 385 |
| コンペアレジスタバッファ機能 .....                                                                                      | 434 |
| リロード / コンペア機能 .....                                                                                       | 540 |
| リロード / コンペア機能同時起動 .....                                                                                   | 541 |
| リロードコンペアレジスタ (RCR) .....                                                                                  | 531 |
| コンペア許可レジスタ<br>コンペア許可レジスタ<br>(ADTGCE0/ADTGCE1) .....                                                       | 386 |
| コンペアクリアバッファ<br>コンペアクリアバッファ .....                                                                          | 398 |
| コンペアクリアバッファレジスタ<br>コンペアクリアバッファレジスタ<br>(CPCLRBH0 ~ CPCLRBH5, CPCLRBL0 ~<br>CPCLRBL5) .....                 | 327 |
| コンペアクリアレジスタ<br>コンペアクリアレジスタ (CPCLRH0 ~ CPCLRH5,<br>CPCLRL0 ~ CPCLRL5) .....                                | 328 |
| コンペア検出フラグ<br>コンペア検出フラグ .....                                                                              | 544 |
| コンペア制御レジスタ<br>コンペア制御レジスタ, 下位バイト<br>(OCSL0/OCSL6, OCSL2/OCSL8, OCSL4/<br>OCSL10) .....                     | 354 |
| コンペア制御レジスタ, 上位バイト<br>(OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/<br>OCSH11) .....                                   | 350 |
| コンペアバッファレジスタ<br>コンペアバッファレジスタ 0/3,1/4,2/5<br>(ADCOMP0/ADCOMP3, ADCOMP1/<br>ADCOMP4, ADCOMP2/ADCOMP5) ..... | 384 |
| コンペアモード制御レジスタ<br>コンペアモード制御レジスタ<br>(OCMOD0/OCMOD1) .....                                                   | 357 |
| コンペアレジスタ<br>コンペアレジスタ<br>(COMP0/COMP2/COMP4/COMP6, COMP1/<br>COMP3/COMP5/COMP7) .....                      | 267 |
| コンペアレジスタ 0/3,1/4,2/5<br>(ADCOMP0/ADCOMP3, ADCOMP1/<br>ADCOMP4, ADCOMP2/ADCOMP5) .....                     | 385 |
| コンペアレジスタバッファ機能 .....                                                                                      | 434 |
| リロードコンペアレジスタ (RCR) .....                                                                                  | 531 |

## さ

|                                 |          |
|---------------------------------|----------|
| 再起動<br>再起動 .....                | 520      |
| 再スタート<br>再スタート .....            | 595, 652 |
| 差動入力<br>差動入力モード時のアナログ入力端子 ..... | 787      |

# MB91470/480 シリーズ

|                                                             |          |
|-------------------------------------------------------------|----------|
| 差動入力モード時のレジスタ設定 .....                                       | 787      |
| 差動入力モード動作例 .....                                            | 788      |
| <b>し</b>                                                    |          |
| システムコンディションコードレジスタ                                          |          |
| システムコンディションコードレジスタ                                          |          |
| (SCR) .....                                                 | 54       |
| システムスタックポインタ                                                |          |
| システムスタックポインタ (SSP) .....                                    | 56, 69   |
| 自動アルゴリズム                                                    |          |
| 自動アルゴリズム実行状態 .....                                          | 878      |
| 自動アルゴリズムのコマンドシーケンス .....                                    | 880      |
| 自動ウェイト                                                      |          |
| 自動ウェイトタイミング                                                 |          |
| (TYP[3:0]=0000 <sub>B</sub> , AWR=2008 <sub>H</sub> ) ..... | 174      |
| 時分割入出力インタフェース                                               |          |
| 時分割入出力インタフェースの制御信号 .....                                    | 156      |
| 周期設定レジスタ                                                    |          |
| PWM 周期設定レジスタ (BTnPCSR) の                                    |          |
| ビット構成 .....                                                 | 474      |
| 周期設定レジスタ (BTnPCSR) の                                        |          |
| ビット構成 .....                                                 | 504      |
| 周辺回路                                                        |          |
| 周辺回路からの転送停止要求の発生 .....                                      | 856      |
| 周辺クロック                                                      |          |
| 周辺クロック (CLKP) .....                                         | 100      |
| 受信 FIFO                                                     |          |
| 受信 FIFO 使用時の受信割込み発生とフラグ                                     |          |
| セットのタイミング .....                                             | 582, 633 |
| 受信時                                                         |          |
| 受信時の許容ボーレート範囲 .....                                         | 594      |
| 受信データレジスタ                                                   |          |
| 受信データレジスタ (RDR) .....                                       | 675      |
| 受信データレジスタ                                                   |          |
| (RDR0/RDR1) .....                                           | 565, 617 |
| 受信割込み                                                       |          |
| 受信 FIFO 使用時の受信割込み発生とフラグ                                     |          |
| セットのタイミング .....                                             | 582, 633 |
| 受信割込み発生とフラグセットの                                             |          |
| タイミング .....                                                 | 581, 631 |
| 出力端子機能                                                      |          |
| 出力端子機能の動作 .....                                             | 508      |
| 出力反転レジスタ                                                    |          |
| 出力反転レジスタ (REVC) .....                                       | 287      |
| 主要機能                                                        |          |
| DMAC の主要機能 .....                                            | 822      |
| 主要機能 .....                                                  | 214      |
| 主要動作                                                        |          |
| DMAC の主要動作 .....                                            | 841      |
| 使用上の注意                                                      |          |
| 12 ビット A/D コンバータ使用上の注意 .....                                | 790      |
| 16 ビット PWM/PPG/リロードタイマの使用上の                                 |          |
| 注意 .....                                                    | 463      |
| 16 ビットアウトプットコンペアの使用上の                                       |          |
| 注意 .....                                                    | 441      |
| 16 ビットインプットキャプチャの使用上の                                       |          |
| 注意 .....                                                    | 442      |
| 16 ビットフリーランタイマの使用上の                                         |          |
| 注意 .....                                                    | 441      |
| 8/10 ビット A/D コンバータ使用上の注意 .....                              | 760      |
| A/D 起動コンペアの使用上の注意 .....                                     | 443      |

|                                      |               |
|--------------------------------------|---------------|
| PWC タイマの使用上の注意 .....                 | 464           |
| 積和演算回路使用上の注意 .....                   | 820           |
| 波形ジェネレータの使用上の注意 .....                | 442           |
| フリーランタイマセレクトの使用上の                    |               |
| 注意 .....                             | 441           |
| 乗除算レジスタ                              |               |
| 乗除算レジスタ (Multiply & Divide register) |               |
| (MDH/MDL) .....                      | 57            |
| 初期化                                  |               |
| INITX 端子入力                           |               |
| (設定初期化リセット端子) .....                  | 85            |
| システム / 設定初期化後の待ち時間 .....             | 98            |
| 設定初期化リセット (INIT) .....               | 83            |
| 設定初期化リセット (INIT) 解除                  |               |
| シーケンス .....                          | 87            |
| 動作初期化リセット (RST) .....                | 84            |
| 動作初期化リセット (RST) 解除                   |               |
| シーケンス .....                          | 88            |
| 初期値                                  |               |
| カウンタのクリアと初期値 .....                   | 520           |
| シリアル                                 |               |
| シリアル書込み基本構成 .....                    | 908           |
| シリアルオンボード書込み                         |               |
| 富士通標準シリアルオンボード書込みに使用する               |               |
| 端子 .....                             | 909           |
| シリアル書込み接続例                           |               |
| シリアル書込み接続例 .....                     | 910           |
| シリアルステータスレジスタ                        |               |
| シリアルステータスレジスタ                        |               |
| (SSR) .....                          | 560, 612, 672 |
| シリアル制御レジスタ                           |               |
| シリアル制御レジスタ (SCR) .....               | 554, 606      |
| シリアルモードレジスタ                          |               |
| シリアルモードレジスタ (SMR) .....              | 557, 609, 666 |
| シリーズ                                 |               |
| シリーズ間での注意事項 .....                    | 438           |

## す

|                              |                    |
|------------------------------|--------------------|
| スタート                         |                    |
| スタート条件生成 .....               | 692                |
| スタック                         |                    |
| 割込みスタック .....                | 69                 |
| スタンバイ                        |                    |
| スタンバイからの復帰について .....         | 234                |
| スタンバイ制御レジスタ (STCR) .....     | 105                |
| スタンバイモード (ストップ / スリープ) からの   |                    |
| 復帰 .....                     | 225                |
| スタンバイ制御レジスタ                  |                    |
| スタンバイ制御レジスタ (STCR) .....     | 105                |
| スタンバイモード                     |                    |
| スタンバイモード (ストップ / スリープ) からの   |                    |
| 復帰 .....                     | 225                |
| ステータス制御レジスタ                  |                    |
| ステータス制御レジスタ                  |                    |
| (BTnSTC) .....               | 472, 486, 502, 514 |
| ステップ                         |                    |
| ステップ / ブロック転送 2 サイクル転送 ..... | 845                |
| ステップ転送                       |                    |
| ステップ転送 .....                 | 845                |

# MB91470/480 シリーズ

|                                  |     |
|----------------------------------|-----|
| ストップ                             |     |
| スタンバイモード (ストップ / スリープ) からの<br>復帰 | 225 |
| ストップモード復帰後の待ち時間                  | 99  |
| ストップモード                          |     |
| ストップモード復帰後の待ち時間                  | 99  |
| スリープ                             |     |
| スタンバイモード (ストップ / スリープ) からの<br>復帰 | 225 |
| スリープモード中の DMA 転送の注意              | 858 |
| スリープモード                          |     |
| スリープモード中の DMA 転送の注意              | 858 |
| スレーブ                             |     |
| 7 ビットスレーブアドレスマスクレジスタ<br>(ISMK)   | 677 |
| 7 ビットスレーブアドレスレジスタ<br>(ISBA)      | 678 |
| スレーブアドレス一致検出                     | 710 |
| スレーブアドレス出力                       | 693 |
| スレーブによる受信                        | 711 |
| スレーブによる送信                        | 713 |
| スレーブアドレスマスクレジスタ                  |     |
| 7 ビットスレーブアドレスマスクレジスタ<br>(ISMK)   | 677 |
| スレーブアドレスレジスタ                     |     |
| 7 ビットスレーブアドレスレジスタ<br>(ISBA)      | 678 |

## せ

|                                                  |               |
|--------------------------------------------------|---------------|
| 制御信号                                             |               |
| 時分割入出力インタフェースの制御信号                               | 156           |
| 通常バスインタフェースの制御信号                                 | 156           |
| 制御ステータスレジスタ                                      |               |
| A/D 制御ステータスレジスタ<br>(ADCS:ADCS0 ~ ADCS2)          | 748           |
| A/D 制御ステータスレジスタ<br>(ADCS:ADCS3, ADCS4)           | 776           |
| 制御レジスタ                                           |               |
| 16 ビットデッドタイム状態制御レジスタ, 下位バ<br>イト (DTCR1/DTCR4)    | 374           |
| 16 ビットデッドタイム状態制御レジスタ, 上位バ<br>イト (DTCR0/DTCR3)    | 371           |
| 16 ビットデッドタイム状態制御レジスタ, 上位バ<br>イト (DTCR2/DTCR5)    | 377           |
| A/D チャネル制御レジスタ<br>(ADCH:ADCH0 ~ ADCH2)           | 743           |
| A/D チャネル制御レジスタ<br>(ADCH:ADCH3, ADCH4)            | 771           |
| A/D トリガ制御レジスタ<br>(ADTRGC0 ~ ADTRGC5)             | 338           |
| FIFO 制御レジスタ 0(FCR0) の<br>ビット構成                   | 574, 625, 683 |
| FIFO 制御レジスタ 1(FCR1) の<br>ビット構成                   | 571, 622, 680 |
| GATE 機能制御レジスタ (GATEC0/GATEC4/<br>GATEC8/GATEC12) | 288           |
| I <sup>2</sup> C バス制御レジスタ (IBCR)                 | 660           |
| PPG 動作モード制御レジスタ<br>(PPGC0 ~ PPGC15)              | 282           |

|                                                                                                                                                               |                    |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------|
| コンペア制御レジスタ, 下位バイト<br>(OCSL0/OCSL6, OCSL2/OCSL8, OCSL4/<br>OCSL10)                                                                                             | 354                |
| コンペア制御レジスタ, 上位バイト<br>(OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/<br>OCSH11)                                                                                             | 350                |
| コンペアモード制御レジスタ<br>(OCMOD0/OCMOD1)                                                                                                                              | 357                |
| シリアル制御レジスタ (SCR)                                                                                                                                              | 554, 606           |
| ステータス制御レジスタ<br>(BTnSTC)                                                                                                                                       | 472, 486, 502, 514 |
| 制御レジスタへの書込みによる一時停止の設定<br>(各チャネル独立または全チャネル同時に設<br>定)                                                                                                           | 854                |
| タイマ状態制御レジスタ, 下位バイト<br>(TCCSL0 ~ TCCSL5)                                                                                                                       | 334                |
| タイマ状態制御レジスタ M<br>(TCCSM0 ~ TCCSM5)                                                                                                                            | 336                |
| タイマ制御レジスタ<br>(BTnTMCR 下位バイト)                                                                                                                                  | 470, 484, 499, 512 |
| タイマ制御レジスタ<br>(BTnTMCR 上位バイト)                                                                                                                                  | 468, 482, 510, 497 |
| タイミングジェネレータ制御レジスタ<br>(TTCR0/TTCR1)                                                                                                                            | 265                |
| バッファ制御レジスタ<br>(ADTGBUF0/ADTGBUF1)                                                                                                                             | 390                |
| ポート機能制御レジスタ<br>(PFR:PFR0 ~ PFR3, PFR5, PFR6, PFR8,PFR9,<br>PFR10, PFR11 ~ PFR14, PFR16, PFR17, PFR19,<br>PFR20 ~ PFR23, PFR25, PFR26, PFR28, PFR29,<br>PFR31) | 205                |
| 割込み制御レジスタ (ICR)                                                                                                                                               | 220                |
| 制約事項                                                                                                                                                          |                    |
| 制約事項による不具合内容                                                                                                                                                  | 901                |
| 積和演算回路                                                                                                                                                        |                    |
| 積和演算回路使用上の注意                                                                                                                                                  | 820                |
| 積和演算回路のレジスタ一覧                                                                                                                                                 | 802                |
| セクタ指定方法                                                                                                                                                       |                    |
| セクタ指定方法                                                                                                                                                       | 894                |
| セクタ消去                                                                                                                                                         |                    |
| セクタ消去コマンド                                                                                                                                                     | 882                |
| セクタ消去一時停止                                                                                                                                                     |                    |
| セクタ消去一時停止コマンド                                                                                                                                                 | 883                |
| セクタ消去手順                                                                                                                                                       |                    |
| セクタ消去手順                                                                                                                                                       | 894                |
| 接続例                                                                                                                                                           |                    |
| 外部との接続例                                                                                                                                                       | 161                |
| シリアル書込み接続例                                                                                                                                                    | 910                |
| 設定初期化                                                                                                                                                         |                    |
| システム / 設定初期化後の待ち時間                                                                                                                                            | 98                 |
| 設定初期化リセット                                                                                                                                                     |                    |
| INITX 端子入力<br>(設定初期化リセット端子)                                                                                                                                   | 85                 |
| 設定初期化リセット (INIT)                                                                                                                                              | 83                 |
| 設定初期化リセット (INIT) 解除<br>シーケンス                                                                                                                                  | 87                 |
| 設定手順                                                                                                                                                          |                    |
| 外部バスインタフェースの設定手順                                                                                                                                              | 182                |
| 設定例                                                                                                                                                           |                    |
| ASR および ASZ[3:0] の設定例                                                                                                                                         | 153                |
| セット                                                                                                                                                           |                    |
| 16 ビットアウトプットコンペアの動作<br>(セット / リセットモード, MOD1x=1)                                                                                                               | 411                |



# MB91470/480 シリーズ

## セットアップ

|                                                                                                                  |     |
|------------------------------------------------------------------------------------------------------------------|-----|
| CSX RDX/WR0X, WR1X セットアップ設定<br>(TYP[3:0]=0101 <sub>B</sub> , AWR=100B <sub>H</sub> )                             | 181 |
| CSX RDX/WR0X, WR1X セットアップ・<br>RDX/WR0X, WR1X CSX ホールド設定<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=000B <sub>H</sub> ) | 177 |
| 全体                                                                                                               |     |
| 全体                                                                                                               | 920 |
| 選択                                                                                                               |     |
| 選択された外部カウントクロック                                                                                                  | 402 |
| 全チャンネル                                                                                                           |     |
| 全チャンネル動作許可                                                                                                       | 851 |
| 全チャンネル動作禁止                                                                                                       | 855 |

## そ

### 送受信

|          |     |
|----------|-----|
| 送受信 FIFO | 549 |
|----------|-----|

### 送信 FIFO

|                                      |          |
|--------------------------------------|----------|
| 送信 FIFO 使用時の送信割込み発生とフラグ<br>セットのタイミング | 585, 636 |
|--------------------------------------|----------|

### 送信データレジスタ

|                          |          |
|--------------------------|----------|
| 送信データレジスタ (TDR)          | 676      |
| 送信データレジスタ<br>(TDR0/TDR1) | 567, 618 |

### 送信割込み

|                                      |          |
|--------------------------------------|----------|
| 送信 FIFO 使用時の送信割込み発生とフラグ<br>セットのタイミング | 585, 636 |
| 送信割込み発生とフラグセットの<br>タイミング             | 584, 635 |

### ソース

|                      |     |
|----------------------|-----|
| クロックソース制御レジスタ (CLKR) | 111 |
| ソースクロックの選択           | 94  |

### その他

|          |     |
|----------|-----|
| その他の注意事項 | 911 |
|----------|-----|

### ソフトウェア

|                                  |     |
|----------------------------------|-----|
| STCR:SRST ビット書込み<br>(ソフトウェアリセット) | 86  |
| ソフトウェア要求                         | 843 |

### ソフトウェアリセット

|                                  |    |
|----------------------------------|----|
| STCR:SRST ビット書込み<br>(ソフトウェアリセット) | 86 |
|----------------------------------|----|

## た

### 第一バイト送信

|                    |     |
|--------------------|-----|
| 第一バイト送信によるアクノリッジ受信 | 695 |
|--------------------|-----|

### 退避

|          |     |
|----------|-----|
| 退避・復帰の処理 | 247 |
|----------|-----|

### タイマ

|                                               |     |
|-----------------------------------------------|-----|
| 16/32 ビット PWC タイマ                             | 451 |
| 16/32 ビットリロードタイマ                              | 451 |
| 16/32 ビットリロードタイマ (ch.1, ch.0) の<br>ブロックダイアグラム | 453 |
| 16 ビット PPG タイマ                                | 451 |
| 16 ビット PPG タイマのブロック<br>ダイアグラム                 | 452 |
| 16 ビット PWM/PPG/リロードタイマの使用上の<br>注意             | 463 |
| 16 ビット PWM タイマ                                | 450 |
| 16 ビット PWM タイマのブロック<br>ダイアグラム                 | 452 |

### 16 ビットアウトプットコンペアとフリーラン

|            |     |
|------------|-----|
| タイマの動作について | 412 |
|------------|-----|

### 16 ビットタイマレジスタ (TMR) の

|       |     |
|-------|-----|
| ビット構成 | 254 |
|-------|-----|

### 16 ビットデッドタイム状態制御レジスタ, 下位バ イト (DTCR1/DTCR4)

|                                               |     |
|-----------------------------------------------|-----|
| 16 ビットデッドタイム状態制御レジスタ, 上位バ<br>イト (DTCR0/DTCR3) | 374 |
|-----------------------------------------------|-----|

### 16 ビットデッドタイム状態制御レジスタ, 上位バ イト (DTCR2/DTCR5)

|                                               |     |
|-----------------------------------------------|-----|
| 16 ビットデッドタイム状態制御レジスタ, 上位バ<br>イト (DTCR2/DTCR5) | 377 |
|-----------------------------------------------|-----|

### 16 ビットデッドタイムレジスタ (TMRRH0 ~ TMRRH5/TMRRLO ~ TMRRLO5)

|                                                        |     |
|--------------------------------------------------------|-----|
| 16 ビットデッドタイムレジスタ (TMRRH0 ~<br>TMRRH5/TMRRLO ~ TMRRLO5) | 369 |
|--------------------------------------------------------|-----|

### 16 ビットフリーランタイマの使用上の

|    |     |
|----|-----|
| 注意 | 441 |
|----|-----|

### 16 ビットフリーランタイマの

|        |     |
|--------|-----|
| プログラム例 | 444 |
|--------|-----|

### 16 ビットフリーランタイマのブロック

|        |     |
|--------|-----|
| ダイアグラム | 303 |
|--------|-----|

### 16 ビットフリーランタイマのレジスタ

|                     |     |
|---------------------|-----|
| 16 ビットフリーランタイマのレジスタ | 318 |
|---------------------|-----|

### 16 ビットフリーランタイマ割込み

|                   |     |
|-------------------|-----|
| 16 ビットフリーランタイマ割込み | 392 |
|-------------------|-----|

### 16 ビットリロードタイマの概要

|                  |     |
|------------------|-----|
| 16 ビットリロードタイマの概要 | 250 |
|------------------|-----|

### 16 ビットリロードタイマのブロック

|        |     |
|--------|-----|
| ダイアグラム | 250 |
|--------|-----|

### 16 ビットリロードタイマのレジスター一覧

|                       |     |
|-----------------------|-----|
| 16 ビットリロードタイマのレジスター一覧 | 251 |
|-----------------------|-----|

### PPG と多機能タイマの接続図

|                 |     |
|-----------------|-----|
| PPG と多機能タイマの接続図 | 277 |
|-----------------|-----|

### PWC タイマの使用上の注意

|                |     |
|----------------|-----|
| PWC タイマの使用上の注意 | 464 |
|----------------|-----|

### 各シリーズでの多機能タイマ構成の

|     |     |
|-----|-----|
| 相違点 | 300 |
|-----|-----|

### 各タイマの使用上で共通する注意

|                 |     |
|-----------------|-----|
| 各タイマの使用上で共通する注意 | 463 |
|-----------------|-----|

### タイマクリア

|        |     |
|--------|-----|
| タイマクリア | 396 |
|--------|-----|

### タイマ状態制御レジスタ, 下位バイト

|                                         |     |
|-----------------------------------------|-----|
| タイマ状態制御レジスタ, 下位バイト<br>(TCCSL0 ~ TCCSL5) | 334 |
|-----------------------------------------|-----|

### タイマ状態制御レジスタ, 上位バイト

|                                         |     |
|-----------------------------------------|-----|
| タイマ状態制御レジスタ, 上位バイト<br>(TCCSH0 ~ TCCSH5) | 330 |
|-----------------------------------------|-----|

### タイマ状態制御レジスタ M

|                                    |     |
|------------------------------------|-----|
| タイマ状態制御レジスタ M<br>(TCCSM0 ~ TCCSM5) | 336 |
|------------------------------------|-----|

### タイマ制御レジスタ

|                              |                    |
|------------------------------|--------------------|
| タイマ制御レジスタ<br>(BTnTMCR 下位バイト) | 470, 484, 499, 512 |
|------------------------------|--------------------|

### タイマ制御レジスタ

|                              |                    |
|------------------------------|--------------------|
| タイマ制御レジスタ<br>(BTnTMCR 上位バイト) | 468, 482, 510, 497 |
|------------------------------|--------------------|

### タイマデータレジスタ (TCDTH0 ~ TCDTH5,

|                                                  |     |
|--------------------------------------------------|-----|
| タイマデータレジスタ (TCDTH0 ~ TCDTH5,<br>TCDTL0 ~ TCDTL5) | 329 |
|--------------------------------------------------|-----|

### タイマモード

|        |     |
|--------|-----|
| タイマモード | 397 |
|--------|-----|

### タイマモードの動作

|           |     |
|-----------|-----|
| タイマモードの動作 | 425 |
|-----------|-----|

### タイマレジスタ (BTnTMR) の

|                             |               |
|-----------------------------|---------------|
| タイマレジスタ (BTnTMR) の<br>ビット構成 | 476, 490, 505 |
|-----------------------------|---------------|

### タイマ割込み

|        |     |
|--------|-----|
| タイマ割込み | 399 |
|--------|-----|

### 多機能タイマ 0 と 1 の相違点

|                   |     |
|-------------------|-----|
| 多機能タイマ 0 と 1 の相違点 | 299 |
|-------------------|-----|

### 多機能タイマの構成

|           |     |
|-----------|-----|
| 多機能タイマの構成 | 296 |
|-----------|-----|

### 多機能タイマの端子

|           |     |
|-----------|-----|
| 多機能タイマの端子 | 316 |
|-----------|-----|

### 多機能タイマの動作

|           |     |
|-----------|-----|
| 多機能タイマの動作 | 395 |
|-----------|-----|

### 多機能タイマのブロックダイアグラム

|                   |     |
|-------------------|-----|
| 多機能タイマのブロックダイアグラム | 301 |
|-------------------|-----|

### デッドタイムタイマモード時の動作

|                  |     |
|------------------|-----|
| デッドタイムタイマモード時の動作 | 427 |
|------------------|-----|

### デッドタイムタイマモードの使用上の注意

|                     |     |
|---------------------|-----|
| デッドタイムタイマモードの使用上の注意 | 429 |
|---------------------|-----|

### フリーランタイマカウント方向選択設定

|                    |     |
|--------------------|-----|
| フリーランタイマカウント方向選択設定 | 434 |
|--------------------|-----|

### フリーランタイマセレクトの使用上の

|                         |     |
|-------------------------|-----|
| フリーランタイマセレクトの使用上の<br>注意 | 441 |
|-------------------------|-----|

### フリーランタイマセレクトのブロック

|                             |     |
|-----------------------------|-----|
| フリーランタイマセレクトのブロック<br>ダイアグラム | 315 |
|-----------------------------|-----|

### フリーランタイマ選択レジスタ

|                |     |
|----------------|-----|
| フリーランタイマ選択レジスタ | 320 |
|----------------|-----|

### フリーランタイマ選択レジスタ (下位): アウトプットコンペア用

|                                                              |     |
|--------------------------------------------------------------|-----|
| フリーランタイマ選択レジスタ (下位):<br>アウトプットコンペア用<br>(FRS0/FRS2/FRS5/FRS7) | 342 |
|--------------------------------------------------------------|-----|

# MB91470/480 シリーズ

|                                                             |                    |
|-------------------------------------------------------------|--------------------|
| フリーランタイム選択レジスタ (下位):                                        |                    |
| インプットキャプチャ用 (FRS3/FRS8) .....                               | 346                |
| フリーランタイム選択レジスタ (上位):                                        |                    |
| アウトプットコンペア用 (FRS1/FRS6) .....                               | 340                |
| フリーランタイム選択レジスタ (上位):                                        |                    |
| インプットキャプチャ用 (FRS4/FRS9) .....                               | 344                |
| フリーランタイム入力選択設定 .....                                        | 432                |
| フリーランタイムによる A/D 起動 .....                                    | 403                |
| フリーランタイムの 0 検出もしくはコンペア                                      |                    |
| クリアによる A/D 起動 .....                                         | 434                |
| ベースタイマの機能 .....                                             | 466                |
| ベースタイマの動作 .....                                             | 459                |
| ベースタイマのレジスタ一覧 .....                                         | 455                |
| モード設定と各種タイマ機能の関係 .....                                      | 450                |
| リセット要因レジスタ / ウォッチドッグタイマ制                                    |                    |
| 御レジスタ (RSRR) .....                                          | 103                |
| リロードタイマ (ch.1) .....                                        | 434                |
| タイマ状態制御レジスタ                                                 |                    |
| 16 ビットデッドタイマ状態制御レジスタ, 下位バ                                   |                    |
| イト (DTCR1/DTCR4) .....                                      | 374                |
| 16 ビットデッドタイマ状態制御レジスタ, 上位バ                                   |                    |
| イト (DTCR0/DTCR3) .....                                      | 371                |
| 16 ビットデッドタイマ状態制御レジスタ, 上位バ                                   |                    |
| イト (DTCR2/DTCR5) .....                                      | 377                |
| タイマ状態制御レジスタ, 下位バイト                                          |                    |
| (TCCSL0 ~ TCCSL5) .....                                     | 334                |
| タイマ状態制御レジスタ, 上位バイト                                          |                    |
| (TCCSH0 ~ TCCSH5) .....                                     | 330                |
| タイマ状態制御レジスタ M                                               |                    |
| (TCCSM0 ~ TCCSM5) .....                                     | 336                |
| タイマ制御レジスタ                                                   |                    |
| タイマ制御レジスタ                                                   |                    |
| (BTnTMCR 下位バイト) .....                                       | 470, 484, 499, 512 |
| タイマ制御レジスタ                                                   |                    |
| (BTnTMCR 上位バイト) .....                                       | 468, 482, 510, 497 |
| タイマデータレジスタ                                                  |                    |
| タイマデータレジスタ (TCDTH0 ~ TCDTH5,                                |                    |
| TCDTL0 ~ TCDTL5) .....                                      | 329                |
| タイマモード                                                      |                    |
| タイマモード .....                                                | 397                |
| タイマモードの動作 .....                                             | 425                |
| デッドタイムタイマモード時の動作 .....                                      | 427                |
| デッドタイムタイマモードの使用上の注意 .....                                   | 429                |
| タイマレジスタ                                                     |                    |
| 16 ビットタイマレジスタ (TMR) の                                       |                    |
| ビット構成 .....                                                 | 254                |
| 16 ビットデッドタイマレジスタ (TMRRH0 ~                                  |                    |
| TMRRH5/TMRRL0 ~ TMRRL5) .....                               | 369                |
| タイマレジスタ (BTnTMR) の                                          |                    |
| ビット構成 .....                                                 | 476, 490, 505      |
| タイミング                                                       |                    |
| 16 ビットアウトプットコンペア                                            |                    |
| タイミング .....                                                 | 412                |
| 16 ビットインプットキャプチャ                                            |                    |
| 入力タイミング .....                                               | 419                |
| DMA による割込みクリアの                                              |                    |
| 発生タイミング .....                                               | 853                |
| 外部ウェイトタイミング                                                 |                    |
| (TYP[3:0]=0001 <sub>B</sub> , AWR=2008 <sub>H</sub> ) ..... | 175                |
| 基本タイミング (アクセスが連続する場合)                                       |                    |
| (TYP[3:0]=0000 <sub>B</sub> , AWR=0008 <sub>H</sub> ) ..... | 170                |
| 自動ウェイトタイミング                                                 |                    |
| (TYP[3:0]=0000 <sub>B</sub> , AWR=2008 <sub>H</sub> ) ..... | 174                |

|                                                             |          |
|-------------------------------------------------------------|----------|
| 受信 FIFO 使用時の受信割込み発生とフラグ                                     |          |
| セットのタイミング .....                                             | 582, 633 |
| 受信割込み発生とフラグセットの                                             |          |
| タイミング .....                                                 | 581, 631 |
| 送信 FIFO 使用時の送信割込み発生とフラグ                                     |          |
| セットのタイミング .....                                             | 585, 636 |
| 送信割込み発生とフラグセットの                                             |          |
| タイミング .....                                                 | 584, 635 |
| タイミングジェネレータ 0 と 1 との                                        |          |
| 相違点 .....                                                   | 260      |
| タイミングジェネレータ 0 のレジスタ .....                                   | 263      |
| タイミングジェネレータ 1 のレジスタ .....                                   | 264      |
| タイミングジェネレータ制御レジスタ                                           |          |
| (TTCR0/TTCR1) .....                                         | 265      |
| タイミングジェネレータの構成 .....                                        | 260      |
| ライト ライトタイミング                                                |          |
| (TYP[3:0]=0000 <sub>B</sub> , AWR=0018 <sub>H</sub> ) ..... | 173      |
| リード ライトタイミング                                                |          |
| (TYP[3:0]=0000 <sub>B</sub> , AWR=0048 <sub>H</sub> ) ..... | 172      |
| リロードレジスタへの書き込みタイミング .....                                   | 491      |
| 割込み発生タイミング .....                                            | 545      |
| 割込み要因とタイミングチャート                                             |          |
| (PPG 出力: 通常極性) .....                                        | 495      |
| 割込み要因とタイミングチャート                                             |          |
| (PWM 出力: 通常極性) .....                                        | 479      |
| タイミングジェネレータ                                                 |          |
| タイミングジェネレータ 0 と 1 との                                        |          |
| 相違点 .....                                                   | 260      |
| タイミングジェネレータ 0 のレジスタ .....                                   | 263      |
| タイミングジェネレータ 1 のレジスタ .....                                   | 264      |
| タイミングジェネレータ制御レジスタ                                           |          |
| (TTCR0/TTCR1) .....                                         | 265      |
| タイミングジェネレータの構成 .....                                        | 260      |
| タイミングジェネレータ制御レジスタ                                           |          |
| タイミングジェネレータ制御レジスタ                                           |          |
| (TTCR0/TTCR1) .....                                         | 265      |
| タイミングチャート                                                   |          |
| 割込み要因とタイミングチャート                                             |          |
| (PPG 出力: 通常極性) .....                                        | 495      |
| 割込み要因とタイミングチャート                                             |          |
| (PWM 出力: 通常極性) .....                                        | 479      |
| タイムベースカウンタ                                                  |          |
| タイムベースカウンタ .....                                            | 117      |
| タイムベースカウンタクリアレジスタ                                           |          |
| (CTBR) .....                                                | 110      |
| タイムベースカウンタ制御レジスタ                                            |          |
| (TBCR) .....                                                | 108      |
| タイムベースカウンタクリアレジスタ                                           |          |
| タイムベースカウンタクリアレジスタ                                           |          |
| (CTBR) .....                                                | 110      |
| タイムベースカウンタ制御レジスタ                                            |          |
| タイムベースカウンタ制御レジスタ                                            |          |
| (TBCR) .....                                                | 108      |
| ダイレクトアドレッシング領域                                              |          |
| ダイレクトアドレッシング領域 .....                                        | 42, 60   |
| 多機能タイマ                                                      |          |
| PPG と多機能タイマの接続図 .....                                       | 277      |
| 各シリーズでの多機能タイマ構成の                                            |          |
| 相違点 .....                                                   | 300      |
| 多機能タイマ 0 と 1 の相違点 .....                                     | 299      |
| 多機能タイマの構成 .....                                             | 296      |
| 多機能タイマの端子 .....                                             | 316      |
| 多機能タイマの動作 .....                                             | 395      |

# MB91470/480 シリーズ

|                             |          |
|-----------------------------|----------|
| 多機能タイマのブロックダイアグラム .....     | 301      |
| 多重 EIT 処理                   |          |
| 多重 EIT 処理 .....             | 70       |
| 端子                          |          |
| 12 ビット A/D コンバータの端子 .....   | 769      |
| 8/10 ビット A/D コンバータの端子 ..... | 740      |
| DTTI 端子入力の動作 .....          | 430      |
| DTTI 端子ノイズキャンセル機能 .....     | 431      |
| INITX 端子入力                  |          |
| ( 設定初期化リセット端子 ) .....       | 85       |
| 各 CPU ステートにおける端子状態 .....    | 941      |
| 差動入力モード時のアナログ入力端子 .....     | 787      |
| 出力端子機能の動作 .....             | 508      |
| 多機能タイマの端子 .....             | 316      |
| 端子機能一覧 .....                | 20       |
| 入力端子機能の動作 .....             | 508      |
| 富士通標準シリアルオンボード書込みに使用する      |          |
| 端子 .....                    | 909      |
| モード端子 .....                 | 79       |
| 単発変換モード                     |          |
| 単発変換モードの動作 .....            | 755, 783 |

## ち

|                                |     |
|--------------------------------|-----|
| 遅延書込み機能                        |     |
| 遅延書込み機能 .....                  | 812 |
| 遅延スロット                         |     |
| 遅延スロット付き動作 .....               | 62  |
| 遅延スロットなし動作 .....               | 64  |
| 遅延レジスタ                         |     |
| DSP 遅延レジスタ (DSP-LY) .....      | 807 |
| チップ消去                          |     |
| チップ消去コマンド .....                | 881 |
| フラッシュメモリのデータ消去 (チップ消去)         |     |
| 方法 .....                       | 893 |
| チャンネル                          |     |
| A/D チャンネル制御レジスタ                |     |
| (ADCH:ADCH0 ~ ADCH2) .....     | 743 |
| A/D チャンネル制御レジスタ                |     |
| (ADCH:ADCH3, ADCH4) .....      | 771 |
| PPG チャンネルと各モードとの対応 .....       | 273 |
| 制御レジスタへの書込みによる一時停止の設定          |     |
| ( 各チャンネル独立または全チャンネル同時に設        |     |
| 定 ) .....                      | 854 |
| 全チャンネル動作許可 .....               | 851 |
| 全チャンネル動作禁止 .....               | 855 |
| チャンネル間優先順位 .....               | 859 |
| チャンネルグループ .....                | 860 |
| 注意                             |     |
| 12 ビット A/D コンバータ使用上の注意 .....   | 790 |
| 16 ビット PWM/PPG/ リロードタイマの使用上の   |     |
| 注意 .....                       | 463 |
| 16 ビットアウトプットコンペアの使用上の          |     |
| 注意 .....                       | 441 |
| 16 ビットインプットキャプチャの使用上の          |     |
| 注意 .....                       | 442 |
| 16 ビットフリーランタイマの使用上の            |     |
| 注意 .....                       | 441 |
| 8/10 ビット A/D コンバータ使用上の注意 ..... | 760 |
| A/D 起動コンペアの使用上の注意 .....        | 443 |
| PWC タイマの使用上の注意 .....           | 464 |

|                           |                  |
|---------------------------|------------------|
| 外部割込みを使用した STOP 状態からの復帰時に |                  |
| おける注意事項 .....             | 237              |
| 各タイマの使用上で共通する注意 .....     | 463              |
| シリーズ間での注意事項 .....         | 438              |
| スリープモード中の DMA 転送の注意 ..... | 858              |
| 積和演算回路使用上の注意 .....        | 820              |
| その他の注意事項 .....            | 911              |
| 注意事項 .....                | 76, 81, 258, 545 |
| データ書込み上の注意 .....          | 891              |
| デバッグ関連の注意事項 .....         | 969              |
| 波形ジェネレータの使用上の注意 .....     | 442              |
| バッファレジスタへアクセス時の注意 .....   | 441              |
| 複数のセクタを指定するときの注意 .....    | 894              |
| フラッシュメモリプログラミングの          |                  |
| 注意事項 .....                | 904              |
| フリーランタイムセクタの使用上の          |                  |
| 注意 .....                  | 441              |
| レジスタ設定時の注意 .....          | 825              |

## つ

|                        |     |
|------------------------|-----|
| 通常アクセス                 |     |
| 通常アクセスおよびアドレス / データマルチ |     |
| プレックスアクセス .....        | 147 |
| 通常極性                   |     |
| 割込み要因とタイミングチャート        |     |
| (PPG 出力: 通常極性) .....   | 495 |
| 割込み要因とタイミングチャート        |     |
| (PWM 出力: 通常極性) .....   | 479 |
| 通常バスインタフェース            |     |
| 通常バスインタフェースの制御信号 ..... | 156 |
| 通常リセット動作               |     |
| 通常リセット動作 .....         | 91  |

## て

|                                    |          |
|------------------------------------|----------|
| 停止                                 |          |
| 停止について .....                       | 520      |
| 停止変換モードの動作 .....                   | 757, 785 |
| パルス幅測定の起動と停止 .....                 | 520      |
| 停止変換モード                            |          |
| 停止変換モードの動作 .....                   | 757, 785 |
| 低消費電力モード                           |          |
| 低消費電力モード .....                     | 125      |
| データ                                |          |
| 2 サイクル転送時のデータの動作 .....             | 863      |
| A/D データレジスタ                        |          |
| (ADCD:ADCD000 ~ ADCD030, ADCD001 ~ |          |
| ADCD031, ADCD002 ~ ADCD112) .....  | 751      |
| A/D データレジスタ (ADCD:ADCD003 ~        |          |
| ADCD033, ADCD004 ~ ADCD034) .....  | 779      |
| A/D 変換データ保護機能 .....                | 758, 786 |
| UDCR へのデータの書込み .....               | 543      |
| インプットキャプチャデータレジスタ                  |          |
| (IPCPH0 ~ IPCPH7/                  |          |
| IPCPL0 ~ IPCPL7) .....             | 359      |
| 受信データレジスタ (RDR) .....              | 675      |
| 受信データレジスタ                          |          |
| (RDR0/RDR1) .....                  | 565, 617 |
| 送信データレジスタ (TDR) .....              | 676      |
| 送信データレジスタ                          |          |
| (TDR0/TDR1) .....                  | 567, 618 |

# MB91470/480 シリーズ

|                                                                                                                      |          |
|----------------------------------------------------------------------------------------------------------------------|----------|
| タイマデータレジスタ (TCDTH0 ~ TCDTH5,<br>TCDTL0 ~ TCDTL5) .....                                                               | 329      |
| データ書込み上の注意 .....                                                                                                     | 891      |
| データ方向制御レジスタ<br>(DDR: DDR0 ~ DDR3, DDR5, DDR6,<br>DDR8 ~ DDRH, DDRJ, DDRL, DDRM,<br>DDRP ~ DDRS) .....                | 199      |
| データ方向ビット .....                                                                                                       | 711      |
| ビッグエンディアンのデータ<br>フォーマット .....                                                                                        | 157      |
| フラッシュメモリのデータ書込み方法 .....                                                                                              | 891      |
| フラッシュメモリのデータ消去 (チップ消去)<br>方法 .....                                                                                   | 893      |
| ポートデータレジスタ<br>(PDR: PDR0 ~ PDR3, PDR5, PDR6,<br>PDR8 ~ PDRH, PDRJ, PDRL, PDRM,<br>PDRP ~ PDRS) .....                 | 196      |
| マスタによるデータ受信 .....                                                                                                    | 706      |
| マスタによるデータ送信 .....                                                                                                    | 699      |
| モードデータ .....                                                                                                         | 79       |
| リトルエンディアンのデータ<br>フォーマット .....                                                                                        | 163      |
| ワイルドレジスタデータレジスタ (WD) .....                                                                                           | 920      |
| ワイルドレジスタデータレジスタ (WD) のビット<br>構成 .....                                                                                | 918      |
| データ書込み<br>データ書込み上の注意 .....                                                                                           | 891      |
| フラッシュメモリのデータ書込み方法 .....                                                                                              | 891      |
| データバス幅<br>ビッグエンディアンのデータバス幅 .....                                                                                     | 158      |
| リトルエンディアンのデータバス幅 .....                                                                                               | 164      |
| データバッファレジスタ<br>データバッファレジスタ (BTnDTBF) の<br>ビット構成 .....                                                                | 516      |
| データフォーマット<br>ビッグエンディアンのデータ<br>フォーマット .....                                                                           | 157      |
| リトルエンディアンのデータ<br>フォーマット .....                                                                                        | 163      |
| データ方向制御レジスタ<br>データ方向制御レジスタ<br>(DDR: DDR0 ~ DDR3, DDR5, DDR6,<br>DDR8 ~ DDRH, DDRJ, DDRL, DDRM,<br>DDRP ~ DDRS) ..... | 199      |
| データポーリングフラグ<br>データポーリングフラグ (DQ7) の制約事項 .....                                                                         | 895      |
| データレジスタ<br>A/D データレジスタ<br>(ADCD: ADCD000 ~ ADCD030, ADCD001 ~<br>ADCD031, ADCD002 ~ ADCD112) .....                   | 751      |
| A/D データレジスタ (ADCD: ADCD003 ~<br>ADCD033, ADCD004 ~ ADCD034) .....                                                    | 779      |
| インプットキャプチャデータレジスタ<br>(IPCPH0 ~ IPCPH7/<br>IPCPL0 ~ IPCPL7) .....                                                     | 359      |
| 受信データレジスタ (RDR) .....                                                                                                | 675      |
| 受信データレジスタ<br>(RDR0/RDR1) .....                                                                                       | 565, 617 |
| 送信データレジスタ (TDR) .....                                                                                                | 676      |
| 送信データレジスタ<br>(TDR0/TDR1) .....                                                                                       | 567, 618 |
| タイマデータレジスタ (TCDTH0 ~ TCDTH5,<br>TCDTL0 ~ TCDTL5) .....                                                               | 329      |

|                                                                                                      |        |
|------------------------------------------------------------------------------------------------------|--------|
| ポートデータレジスタ<br>(PDR: PDR0 ~ PDR3, PDR5, PDR6,<br>PDR8 ~ PDRH, PDRJ, PDRL, PDRM,<br>PDRP ~ PDRS) ..... | 196    |
| ワイルドレジスタデータレジスタ (WD) .....                                                                           | 920    |
| ワイルドレジスタデータレジスタ (WD) のビット<br>構成 .....                                                                | 918    |
| テーブルベースレジスタ<br>テーブルベースレジスタ (TBR) .....                                                               | 56, 69 |
| デッドタイムタイマモード<br>デッドタイムタイマモード時の動作 .....                                                               | 427    |
| デッドタイムタイマモードの使用上の注意 .....                                                                            | 429    |
| デバイス<br>デバイス状態と各遷移 .....                                                                             | 121    |
| デバッグ<br>デバッグ (sim911, eml911, mon911) .....                                                          | 951    |
| デバッグ<br>デバッグ関連の注意事項 .....                                                                            | 969    |
| 電源投入後<br>電源投入後の待ち時間 .....                                                                            | 98     |
| 転送<br>2 サイクル転送時のデータの動作 .....                                                                         | 863    |
| DMA 転送と割込み .....                                                                                     | 850    |
| SPI 転送 (I) .....                                                                                     | 643    |
| SPI 転送 (II) .....                                                                                    | 646    |
| STR 命令 (転送命令) .....                                                                                  | 816    |
| 演算結果の転送処理 .....                                                                                      | 812    |
| 周辺回路からの転送停止要求の発生 .....                                                                               | 856    |
| ステップ / ブロック転送 2 サイクル転送 .....                                                                         | 845    |
| ステップ転送 .....                                                                                         | 845    |
| スリープモード中の DMA 転送の注意 .....                                                                            | 858    |
| 転送アドレス .....                                                                                         | 842    |
| 転送回数と転送終了 .....                                                                                      | 842    |
| 転送回数レジスタとリロード動作 .....                                                                                | 849    |
| 転送起動 .....                                                                                           | 851    |
| 転送シーケンスの選択 .....                                                                                     | 844    |
| 転送終了 .....                                                                                           | 855    |
| 転送タイプ .....                                                                                          | 841    |
| 転送モード .....                                                                                          | 841    |
| 転送要求の受け付けと転送 .....                                                                                   | 852    |
| ノーマル転送 (I) .....                                                                                     | 637    |
| ノーマル転送 (II) .....                                                                                    | 639    |
| バースト 2 サイクル転送 .....                                                                                  | 844    |
| バースト転送の動作フロー .....                                                                                   | 862    |
| ブロック転送 .....                                                                                         | 845    |
| ブロック転送の動作フロー .....                                                                                   | 861    |
| 転送命令<br>STR 命令 (転送命令) .....                                                                          | 816    |

## と

|                                                         |     |
|---------------------------------------------------------|-----|
| 同期シリアルインタフェース<br>CSIO (クロック同期シリアルインタフェース) の<br>機能 ..... | 603 |
| CSIO (クロック同期シリアルインタフェース) の<br>動作 .....                  | 637 |
| CSIO (クロック同期シリアルインタフェース) の<br>レジスター一覧 .....             | 604 |
| CSIO (クロック同期シリアルインタフェース)<br>ボーレート選択 .....               | 649 |
| 同期リセット動作<br>同期リセット動作 .....                              | 91  |

# MB91470/480 シリーズ

## 動作

|                                                     |               |
|-----------------------------------------------------|---------------|
| 16 ビットアウトプットコンペアとフリーラン<br>タイマの動作について .....          | 412           |
| 16 ビットアウトプットコンペアの動作<br>(セット/リセットモード, MOD1x=1) ..... | 411           |
| 16 ビットアウトプットコンペアの動作<br>(反転モード, MOD1x=0) .....       | 407           |
| 16 ビットインプットキャプチャの動作 .....                           | 419           |
| 2 サイクル転送時のデータの動作 .....                              | 863           |
| 32 ビットモード動作 .....                                   | 462           |
| 8 ビット/16 ビット動作 .....                                | 545           |
| CSIO (クロック同期シリアルインタフェース) の<br>動作 .....              | 637           |
| DTTI 端子入力の動作 .....                                  | 430           |
| EIT の動作 .....                                       | 73            |
| PPG 動作モード制御レジスタ<br>(PPGC0 ~ PPGC15) .....           | 282           |
| UART の動作 .....                                      | 586           |
| アンダフロー動作 .....                                      | 257, 507      |
| 外部割込みの動作について .....                                  | 234           |
| 起動後の動作 .....                                        | 520           |
| 出力端子機能の動作 .....                                     | 508           |
| タイマモードの動作 .....                                     | 425           |
| 多機能タイマの動作 .....                                     | 395           |
| 単発変換モードの動作 .....                                    | 755, 783      |
| 遅延スロット付き動作 .....                                    | 62            |
| 遅延スロットなし動作 .....                                    | 64            |
| 通常リセット動作 .....                                      | 91            |
| 停止変換モードの動作 .....                                    | 757, 785      |
| デッドタイムタイマモード時の動作 .....                              | 427           |
| 転送回数レジスタとリロード動作 .....                               | 849           |
| 同期リセット動作 .....                                      | 91            |
| 動作概要 .....                                          | 491           |
| 動作初期化リセット (RST) .....                               | 84            |
| 動作モード .....                                         | 77, 553, 810  |
| 動作モードの選択 .....                                      | 519           |
| 内部クロック選択時のカウント動作 .....                              | 506           |
| 内部クロック動作 .....                                      | 256           |
| 入力端子機能の動作 .....                                     | 508           |
| バースト転送の動作フロー .....                                  | 862           |
| 波形制御レジスタ 2 (SIGCR2) の DTTI の<br>動作 .....            | 431           |
| バスエラー動作 .....                                       | 714           |
| プリスケアラの動作 .....                                     | 269           |
| ブロック転送の動作フロー .....                                  | 861           |
| ベースタイマの動作 .....                                     | 459           |
| 命令動作 .....                                          | 811           |
| リロード動作 .....                                        | 846           |
| 連続変換モードの動作 .....                                    | 756, 784      |
| ワイルドレジスタ制御部の動作 .....                                | 919           |
| ワンショット動作 .....                                      | 478, 493      |
| 動作初期化リセット<br>動作初期化リセット (RST) .....                  | 84            |
| 動作初期化リセット (RST) 解除<br>シーケンス .....                   | 88            |
| 動作説明<br>動作説明 .....                                  | 241, 245, 289 |
| 動作モード<br>PPG 動作モード制御レジスタ<br>(PPGC0 ~ PPGC15) .....  | 282           |
| 動作モード .....                                         | 77, 553, 810  |
| 動作モードの選択 .....                                      | 519           |

## 動作例

|                           |        |
|---------------------------|--------|
| 差動入力モード動作例 .....          | 788    |
| 特長<br>アップダウンカウンタの特長 ..... | 526    |
| 外部バスインタフェースの特長 .....      | 134    |
| 特長 .....                  | 45, 65 |

## な

|                                                     |     |
|-----------------------------------------------------|-----|
| 内蔵周辺要求<br>内蔵周辺要求 .....                              | 843 |
| 内部アーキテクチャ<br>内部アーキテクチャ .....                        | 46  |
| 内部クロック<br>内部クロック選択時のカウント動作 .....                    | 506 |
| 内部クロック動作 .....                                      | 256 |
| 内部クロック分周設定レジスタ<br>内部クロック分周設定レジスタ 0<br>(DIVR0) ..... | 113 |
| 内部クロック分周設定レジスタ 1<br>(DIVR1) .....                   | 115 |

## に

|                           |          |
|---------------------------|----------|
| 入出力回路形式<br>入出力回路形式 .....  | 33       |
| 入力許可制御<br>入力許可制御 .....    | 189, 191 |
| 入力端子機能<br>入力端子機能の動作 ..... | 508      |

## の

|                          |     |
|--------------------------|-----|
| ノーマル<br>ノーマル転送 (I) ..... | 637 |
| ノーマル転送 (II) .....        | 639 |

## は

|                                                      |     |
|------------------------------------------------------|-----|
| バースト<br>バースト 2 サイクル転送 .....                          | 844 |
| バースト転送の動作フロー .....                                   | 862 |
| バースト転送<br>バースト転送の動作フロー .....                         | 862 |
| ハードウェア構成<br>DMAC のハードウェア構成 .....                     | 822 |
| ハードウェア構成 .....                                       | 214 |
| ハードウェアシーケンスフラグ<br>ハードウェアシーケンスフラグ .....               | 884 |
| ハーバード プリンストンバスコンバータ<br>ハーバード プリンストンバス<br>コンバータ ..... | 48  |
| ハーフワードアクセス<br>ハーフワードアクセス .....                       | 167 |
| バイトアクセス<br>バイトアクセス .....                             | 168 |
| バイトオーダリング<br>バイトオーダリング .....                         | 58  |
| 波形ジェネレータ<br>波形ジェネレータの使用上の注意 .....                    | 442 |

# MB91470/480 シリーズ

|                                                                         |        |
|-------------------------------------------------------------------------|--------|
| 波形ジェネレータのブロック<br>ダイアグラム .....                                           | 310    |
| 波形ジェネレータのレジスタ .....                                                     | 323    |
| 波形ジェネレータ割込み .....                                                       | 394    |
| 波形制御レジスタ                                                                |        |
| 波形制御レジスタ 1 (SIGCR1) .....                                               | 380    |
| 波形制御レジスタ 2 (SIGCR2) .....                                               | 382    |
| 波形制御レジスタ 2 (SIGCR2) の DTTI の<br>動作 .....                                | 431    |
| バスアクセス                                                                  |        |
| 外部バスアクセス .....                                                          | 159    |
| バスインタフェース                                                               |        |
| 外部バスインタフェースの設定手順 .....                                                  | 182    |
| 外部バスインタフェースの特長 .....                                                    | 134    |
| 外部バスインタフェースのブロック<br>ダイアグラム .....                                        | 136    |
| 外部バスインタフェースのレジスター一覧 .....                                               | 137    |
| 外部バスインタフェースのレジスタ概要 .....                                                | 138    |
| 通常バスインタフェースの制御信号 .....                                                  | 156    |
| バスエラー                                                                   |        |
| バスエラー動作 .....                                                           | 714    |
| バスエラー発生条件 .....                                                         | 714    |
| バスコンバータ                                                                 |        |
| 32 ビット    16 ビットバスコンバータ .....                                           | 47     |
| ハーバード    プリンストンバス<br>コンバータ .....                                        | 48     |
| バスステータスレジスタ                                                             |        |
| I <sup>2</sup> C バスステータスレジスタ (IBSR) .....                               | 668    |
| パッケージ                                                                   |        |
| パッケージ外形寸法図 (BGA-144P-M06) .....                                         | 16, 17 |
| パッケージ外形寸法図 (FPT-144P-M12) .....                                         | 15     |
| パッケージ外形寸法図 (LQFP-100P-M06) .....                                        | 19     |
| パッケージ外形寸法図 (LQFP-100P-M20) .....                                        | 18     |
| 発振安定待ち                                                                  |        |
| 発振安定待ち時間の選択 .....                                                       | 90     |
| 発振安定待ち発生要因 .....                                                        | 89     |
| バッファ制御レジスタ                                                              |        |
| バッファ制御レジスタ<br>(ADTGBUF0/ADTGBUF1) .....                                 | 390    |
| バッファレジスタ                                                                |        |
| アウトプットコンペアバッファレジスタ<br>(OCCPBH0 ~ OCCPBH11/<br>OCCPBL0 ~ OCCPBL11) ..... | 348    |
| バッファレジスタへアクセス時の注意 .....                                                 | 441    |
| パルス                                                                     |        |
| パルス幅測定機能 .....                                                          | 517    |
| パルス幅測定動作詳細 .....                                                        | 521    |
| パルス幅測定の起動と停止 .....                                                      | 520    |
| リロード値とパルス幅の関係 .....                                                     | 494    |
| 反転モード                                                                   |        |
| 16 ビットアウトプットコンペアの動作<br>(反転モード, MOD1x=0) .....                           | 407    |
| 汎用レジスタ                                                                  |        |
| 汎用レジスタ .....                                                            | 51     |

## ひ

|                               |     |
|-------------------------------|-----|
| ビッグエンディアン                     |     |
| ビッグエンディアンのデータバス幅 .....        | 158 |
| ビッグエンディアンのデータ<br>フォーマット ..... | 157 |

|                                                   |               |
|---------------------------------------------------|---------------|
| ビットオーダリング                                         |               |
| ビットオーダリング .....                                   | 58            |
| ビット構成                                             |               |
| 16 ビットタイマレジスタ (TMR) の<br>ビット構成 .....              | 254           |
| 16 ビットリロードレジスタ (TMRLR) の<br>ビット構成 .....           | 255           |
| FIFO 制御レジスタ 0 (FCR0) の<br>ビット構成 .....             | 574, 625, 683 |
| FIFO 制御レジスタ 1 (FCR1) の<br>ビット構成 .....             | 571, 622, 680 |
| FIFO バイトレジスタ (FBYTE1/FBYTE2) の<br>ビット構成 .....     | 577, 628, 687 |
| "H" 幅設定リロードレジスタ (BTnPRLH) のビッ<br>ト構成 .....        | 489           |
| "L" 幅設定リロードレジスタ (BTnPRLL) のビット<br>構成 .....        | 488           |
| PWM 周期設定レジスタ (BTnPCSR) の<br>ビット構成 .....           | 474           |
| PWM デューティ設定レジスタ (BTnPDUT) の<br>ビット構成 .....        | 475           |
| カウンタコントロールレジスタ (CCR) のビット<br>構成 .....             | 534           |
| カウンタステータスレジスタ (CSR) の<br>ビット構成 .....              | 532           |
| 拡張通信制御レジスタ (ESCR) の<br>ビット構成 .....                | 563, 615      |
| 各モード別のビット構成一覧 .....                               | 456           |
| クロック出力許可レジスタのビット構成 .....                          | 796           |
| コントロールステータスレジスタ (TMCSR) の<br>ビット構成 .....          | 252           |
| 周期設定レジスタ (BTnPCSR) の<br>ビット構成 .....               | 504           |
| タイマレジスタ (BTnTMR) の<br>ビット構成 .....                 | 476, 490, 505 |
| データバッファレジスタ (BTnDTBF) の<br>ビット構成 .....            | 516           |
| フラッシュウェイトレジスタ (FLWC) のビット構<br>成 .....             | 875           |
| フラッシュコントロール / ステータスレジスタ<br>(FLCR) のビット構成 .....    | 872           |
| ポーレートジェネレータレジスタ 1, 0<br>(BGR1, BGR0) のビット構成 ..... | 569, 620, 679 |
| ワイルドレジスタアドレスレジスタ<br>(WA) のビット構成 .....             | 917           |
| ワイルドレジスタ許可レジスタ (WREN) の<br>ビット構成 .....            | 916           |
| ワイルドレジスタデータレジスタ (WD) のビット<br>構成 .....             | 918           |
| 非同期シリアルインタフェース                                    |               |
| UART (非同期シリアルインタフェース) の<br>機能 .....               | 551           |
| UART (非同期シリアルインタフェース) の<br>レジスター一覧 .....          | 552           |

## ふ

|                               |     |
|-------------------------------|-----|
| フォーマット                        |     |
| ビッグエンディアンのデータ<br>フォーマット ..... | 157 |
| リトルエンディアンのデータ<br>フォーマット ..... | 163 |

# MB91470/480 シリーズ

|                                          |          |
|------------------------------------------|----------|
| 不具合                                      |          |
| 不具合の回避方法                                 | 902      |
| 不具合内容                                    |          |
| 制約事項による不具合内容                             | 901      |
| 複数のセクタ                                   |          |
| 複数のセクタを指定するときの注意                         | 894      |
| 富士通標準                                    |          |
| 富士通標準シリアルオンボード書込みに使用する端子                 | 909      |
| 復帰                                       |          |
| EIT からの復帰                                | 65       |
| 外部割込みを使用した STOP 状態からの復帰時に<br>おける注意事項     | 237      |
| スタンバイからの復帰について                           | 234      |
| スタンバイモード (ストップ / スリープ) からの<br>復帰         | 225      |
| 回避・復帰の処理                                 | 247      |
| 復帰動作                                     |          |
| STOP 状態からの復帰動作について                       | 238      |
| フラグ                                      |          |
| I フラグ                                    | 67       |
| カウント方向転換フラグ                              | 544      |
| カウント方向フラグ                                | 544      |
| コンペア検出フラグ                                | 544      |
| フラグセット                                   |          |
| 受信 FIFO 使用時の受信割込み発生とフラグ<br>セットのタイミング     | 582, 633 |
| 受信割込み発生とフラグセットの<br>タイミング                 | 581, 631 |
| 送信 FIFO 使用時の送信割込み発生とフラグ<br>セットのタイミング     | 585, 636 |
| 送信割込み発生とフラグセットの<br>タイミング                 | 584, 635 |
| フラッシュコントロール                              |          |
| フラッシュコントロール / ステータスレジスタ<br>(FLCR) のビット構成 | 872      |
| フラッシュメモリ                                 |          |
| フラッシュメモリ書込み / 消去の概要                      | 889      |
| フラッシュメモリ書込み手順                            | 891      |
| フラッシュメモリ自動アルゴリズムの<br>概要                  | 879      |
| フラッシュメモリのアクセスモード                         | 877      |
| フラッシュメモリの概要                              | 868      |
| フラッシュメモリのセクタ消去<br>一時停止方法                 | 897      |
| フラッシュメモリのセクタ消去再開方法                       | 898      |
| フラッシュメモリのデータ書込み方法                        | 891      |
| フラッシュメモリのデータ消去 (チップ消去)<br>方法             | 893      |
| フラッシュメモリのブロック<br>ダイアグラム                  | 869      |
| フラッシュメモリのメモリマップ                          | 870      |
| フラッシュメモリのレジスタ概要                          | 871      |
| フラッシュメモリプログラミングの<br>注意事項                 | 904      |
| フラッシュメモリのリセット方法                          | 890      |
| フリーランタイム                                 |          |
| 16 ビットアウトプットコンペアとフリーラン<br>タイムの動作について     | 412      |
| 16 ビットフリーランタイムの使用上の<br>注意                | 441      |
| 16 ビットフリーランタイムの<br>プログラム例                | 444      |

|                                                                                                  |                         |
|--------------------------------------------------------------------------------------------------|-------------------------|
| 16 ビットフリーランタイムのブロック<br>ダイアグラム                                                                    | 303                     |
| 16 ビットフリーランタイムのレジスタ                                                                              | 318                     |
| 16 ビットフリーランタイム割込み                                                                                | 392                     |
| フリーランタイムカウンタ方向選択設定                                                                               | 434                     |
| フリーランタイムセクタの使用上の<br>注意                                                                           | 441                     |
| フリーランタイムセクタのブロック<br>ダイアグラム                                                                       | 315                     |
| フリーランタイム選択レジスタ                                                                                   | 320                     |
| フリーランタイム選択レジスタ (下位):<br>アウトプットコンペア用<br>(FRS0/FRS2/FRS5/FRS7)                                     | 342                     |
| フリーランタイム選択レジスタ (下位):<br>インプットキャプチャ用 (FRS3/FRS8)                                                  | 346                     |
| フリーランタイム選択レジスタ (上位):<br>アウトプットコンペア用 (FRS1/FRS6)                                                  | 340                     |
| フリーランタイム選択レジスタ (上位):<br>インプットキャプチャ用 (FRS4/FRS9)                                                  | 344                     |
| フリーランタイム入力選択設定                                                                                   | 432                     |
| フリーランタイムによる A/D 起動                                                                               | 403                     |
| フリーランタイムの 0 検出もしくはコンペア<br>クリアによる A/D 起動                                                          | 434                     |
| フリーランタイムセクタ<br>フリーランタイムセクタの使用上の<br>注意                                                            | 441                     |
| フリーランタイムセクタのブロック<br>ダイアグラム                                                                       | 315                     |
| フリーランタイム選択レジスタ                                                                                   | 320                     |
| フリーランタイム選択レジスタ (下位):<br>アウトプットコンペア用<br>(FRS0/FRS2/FRS5/FRS7)                                     | 342                     |
| フリーランタイム選択レジスタ (下位):<br>インプットキャプチャ用 (FRS3/FRS8)                                                  | 346                     |
| フリーランタイム選択レジスタ (上位):<br>アウトプットコンペア用 (FRS1/FRS6)                                                  | 340                     |
| フリーランタイム選択レジスタ (上位):<br>インプットキャプチャ用 (FRS4/FRS9)                                                  | 344                     |
| ブリスケーラ                                                                                           |                         |
| ブリスケーラの動作                                                                                        | 269                     |
| ブルアップ抵抗制御レジスタ                                                                                    |                         |
| ブルアップ抵抗制御レジスタ<br>(PCR:PCR0 ~ PCR3, PCR5, PCR6,<br>PCR8 ~ PCRH, PCRJ, PCRL, PCRM,<br>PCRP ~ PCRS) | 202                     |
| ブルアップ抵抗制御レジスタ<br>設定値                                                                             | 187, 189, 191, 193, 195 |
| フローチャート                                                                                          |                         |
| フローチャート                                                                                          | 596, 599, 653           |
| プログラム                                                                                            |                         |
| 16 ビットアウトプットコンペアの<br>プログラム例                                                                      | 446                     |
| 16 ビットフリーランタイムの<br>プログラム例                                                                        | 444                     |
| プログラムカウンタ                                                                                        |                         |
| プログラムカウンタ (DSP-PC)                                                                               | 806                     |
| プログラムカウンタ (PC)                                                                                   | 56                      |
| プログラムステータス                                                                                       |                         |
| プログラムステータス (PS)                                                                                  | 51                      |
| プログラム例                                                                                           |                         |
| 16 ビットアウトプットコンペアの<br>プログラム例                                                                      | 446                     |

# MB91470/480 シリーズ

|                                                                                  |     |
|----------------------------------------------------------------------------------|-----|
| 16 ビットフリーランタイムの<br>プログラム例 .....                                                  | 444 |
| ブロック                                                                             |     |
| ステップ / ブロック転送 2 サイクル転送 .....                                                     | 845 |
| ブロックサイズ .....                                                                    | 846 |
| ブロック転送 .....                                                                     | 845 |
| ブロック転送の動作フロー .....                                                               | 861 |
| ブロックサイズ                                                                          |     |
| ブロックサイズ .....                                                                    | 846 |
| ブロックダイアグラム                                                                       |     |
| 12 ビット A/D コンバータのブロック<br>ダイアグラム .....                                            | 766 |
| 16/32 ビット PWC タイマ (ch.1, ch.0) のブロック<br>ダイアグラム .....                             | 454 |
| 16/32 ビットリロードタイマ (ch.1, ch.0) の<br>ブロックダイアグラム .....                              | 453 |
| 16 ビット PPG タイマのブロック<br>ダイアグラム .....                                              | 452 |
| 16 ビット PWM タイマのブロック<br>ダイアグラム .....                                              | 452 |
| 16 ビットアウトプットコンペアのブロック<br>ダイアグラム .....                                            | 305 |
| 16 ビットインプットキャプチャのブロック<br>ダイアグラム .....                                            | 308 |
| 16 ビットフリーランタイムのブロック<br>ダイアグラム .....                                              | 303 |
| 16 ビットリロードタイマのブロック<br>ダイアグラム .....                                               | 250 |
| 8/10 ビット A/D コンバータのブロック<br>ダイアグラム .....                                          | 737 |
| 8 ビット PPG ch.0, ch.2, ch.4, ch.6, ch.8, ch.10, ch.12,<br>ch.14 のブロックダイアグラム ..... | 274 |
| 8 ビット PPG ch.1, ch.5, ch.9, ch.13 のブロック<br>ダイアグラム .....                          | 275 |
| 8 ビット PPG ch.3, ch.7, ch.11, ch.15 のブロック<br>ダイアグラム .....                         | 276 |
| A/D 起動コンペアのブロック<br>ダイアグラム .....                                                  | 312 |
| DMAC のブロックダイアグラム .....                                                           | 824 |
| MB91470 シリーズ (144 ピン) ブロック<br>ダイアグラム .....                                       | 9   |
| MB91480 シリーズ (100 ピン) ブロック<br>ダイアグラム .....                                       | 10  |
| アップダウンカウンタのブロック<br>ダイアグラム .....                                                  | 528 |
| 外部バスインタフェース兼用 I/O ポートのブロッ<br>クダイアグラム .....                                       | 192 |
| 外部バスインタフェースのブロック<br>ダイアグラム .....                                                 | 136 |
| 外部割込み /NMI 制御部のブロックダイアグラム<br>231 .....                                           |     |
| 外部割込み入力兼用 I/O ポートのブロックダイア<br>グラム .....                                           | 188 |
| クロック生成制御部のブロック<br>ダイアグラム .....                                                   | 102 |
| クロックモニタのブロックダイアグラム .....                                                         | 795 |
| ゲート機能のブロックダイアグラム .....                                                           | 278 |
| 多機能タイマ兼用 I/O ポートのブロックダイア<br>グラム .....                                            | 194 |
| 多機能タイマのブロックダイアグラム .....                                                          | 301 |
| 通常 I/O ポートのブロックダイアグラム .....                                                      | 186 |
| ナログ入力兼用 I/O ポートのブロックダイアグラ<br>ム .....                                             | 190 |

|                                     |          |
|-------------------------------------|----------|
| 波形ジェネレータのブロック<br>ダイアグラム .....       | 310      |
| ビットサーチモジュールのブロックダイアグラム<br>242 ..... |          |
| フラッシュメモリのブロック<br>ダイアグラム .....       | 869      |
| フリーランタイムセレクトのブロック<br>ダイアグラム .....   | 315      |
| ブロックダイアグラム .....                    | 240, 799 |
| ポートブロックダイアグラム .....                 | 185      |
| ワイルドレジスタ制御部のブロック<br>ダイアグラム .....    | 914      |
| 割込みコントローラのブロックダイアグラム 219            |          |
| ブロック転送                              |          |
| ステップ / ブロック転送 2 サイクル転送 .....        | 845      |
| ブロック転送 .....                        | 845      |
| ブロック転送の動作フロー .....                  | 861      |
| 分岐命令                                |          |
| JMP 命令 (分岐命令) .....                 | 818      |

## へ

|                                            |          |
|--------------------------------------------|----------|
| ベースタイマ                                     |          |
| ベースタイマの機能 .....                            | 466      |
| ベースタイマの動作 .....                            | 459      |
| ベースタイマのレジスター一覧 .....                       | 455      |
| ベクタテーブル                                    |          |
| EIT ベクタテーブル .....                          | 70       |
| ベクタテーブル初期領域 .....                          | 61       |
| 変換データ保護機能                                  |          |
| A/D 変換データ保護機能 .....                        | 758, 786 |
| 変数モニタ出力                                    |          |
| 変数モニタ出力 .....                              | 813      |
| 変数モニタレジスタ                                  |          |
| DSP 変数モニタレジスタ<br>(DSP-OT0 ~ DSP-OT7) ..... | 808      |

## ほ

|                                                                                                 |                         |
|-------------------------------------------------------------------------------------------------|-------------------------|
| ポート                                                                                             |                         |
| I/O ポートのモード .....                                                                               | 187, 189, 191, 193, 195 |
| ポート概要 .....                                                                                     | 184                     |
| ポート機能制御レジスタ                                                                                     |                         |
| (PFR:PFR0 ~ PFR3, PFR5, PFR6, PFR8,PFR9,<br>PFR0, PFRF ~ PFRH, PFRJ, PFRM, PFRQ,<br>PFRS) ..... | 205                     |
| ポートデータレジスタ                                                                                      |                         |
| (PDR: PDR0 ~ PDR3, PDR5, PDR6,<br>PDR8 ~ PDRH, PDRJ, PDRL, PDRM,<br>PDRP ~ PDRS) .....          | 196                     |
| ポートブロックダイアグラム .....                                                                             | 185                     |
| ポート機能制御レジスタ                                                                                     |                         |
| ポート機能制御レジスタ                                                                                     |                         |
| (PFR:PFR0 ~ PFR3, PFR5, PFR6, PFR8,PFR9,<br>PFR0, PFRF ~ PFRH, PFRJ, PFRM, PFRQ,<br>PFRS) ..... | 205                     |
| ポートデータレジスタ                                                                                      |                         |
| ポートデータレジスタ                                                                                      |                         |
| (PDR: PDR0 ~ PDR3, PDR5, PDR6,<br>PDR8 ~ PDRH, PDRJ, PDRL, PDRM,<br>PDRP ~ PDRS) .....          | 196                     |



# MB91470/480 シリーズ

|                                                             |               |                                       |                         |
|-------------------------------------------------------------|---------------|---------------------------------------|-------------------------|
| ホールド                                                        |               | FR-CPU ROM モード                        |                         |
| CSX RDX/WR0X, WR1X セットアップ・                                  |               | (32 ビット, リードのみ) .....                 | 877                     |
| RDX/WR0X, WR1X CSX ホールド設定                                   |               | FR-CPU プログラミングモード                     |                         |
| (TYP[3:0]=0000 <sub>B</sub> , AWR=000B <sub>H</sub> ) ..... | 177           | (16 ビット, リード / ライト可能) .....           | 877                     |
| NMI/ ホールド抑止レベル割込み処理中 .....                                  | 854           | I/O ポートのモード .....                     | 187, 189, 191, 193, 195 |
| ホールドリクエスト                                                   |               | PPG 動作モード制御レジスタ                       |                         |
| ホールドリクエスト取下げ要求                                              |               | (PPGC0 ~ PPGC15) .....                | 282                     |
| (Hold Request Cancel Request) .....                         | 224           | PPG のモード .....                        | 272                     |
| ホールドリクエスト取下げ要求機能 (HRCR) の                                   |               | インタフェースモード .....                      | 548                     |
| 使用例 .....                                                   | 226           | インタフェースモードの切換え .....                  | 548                     |
| ポーレート                                                       |               | カウントモード選択 .....                       | 538                     |
| CSIO (クロック同期シリアルインタフェース)                                    |               | 各モード別のビット構成一覧 .....                   | 456                     |
| ポーレート選択 .....                                               | 649           | コンペアモード制御レジスタ                         |                         |
| UART ポーレート選択 .....                                          | 591           | (OCMOD0/OCMOD1) .....                 | 357                     |
| 各周辺クロック (CLKP) 周波数に対するリロード                                  |               | 差動入力モード時のアナログ入力端子 .....               | 787                     |
| 値とポーレート .....                                               | 593, 651, 716 | 差動入力モード時のレジスタ設定 .....                 | 787                     |
| 受信時の許容ポーレート範囲 .....                                         | 594           | 差動入力モード動作例 .....                      | 788                     |
| ポーレート選択 .....                                               | 715           | シリアルモードレジスタ (SMR) .....               | 557, 609, 666           |
| ポーレートの計算 .....                                              | 592, 650, 715 | スタンバイモード (ストップ / スリープ) からの            |                         |
| ポーレートジェネレータ                                                 |               | 復帰 .....                              | 225                     |
| ポーレートジェネレータレジスタ 1, 0                                        |               | ストップモード復帰後の待ち時間 .....                 | 99                      |
| (BGR1, BGR0) のビット構成 .....                                   | 569, 620, 679 | スリープモード中の DMA 転送の注意 .....             | 858                     |
| ま                                                           |               | タイマモード .....                          | 397                     |
| マスタ                                                         |               | タイマモードの動作 .....                       | 425                     |
| マスタによるデータ受信 .....                                           | 706           | 単発変換モードの動作 .....                      | 755, 783                |
| マスタによるデータ送信 .....                                           | 699           | 停止変換モードの動作 .....                      | 757, 785                |
| マスタモードのウェイト .....                                           | 709           | 低消費電力モード .....                        | 125                     |
| め                                                           |               | デッドタイムタイマモード時の動作 .....                | 427                     |
| 命令                                                          |               | デッドタイムタイマモードの使用上の注意 .....             | 429                     |
| JMP 命令 (分岐命令) .....                                         | 818           | 転送モード .....                           | 841                     |
| MAC 命令 .....                                                | 814           | 動作モード .....                           | 77, 553, 810            |
| NOP 命令 .....                                                | 819           | 動作モードの選択 .....                        | 519                     |
| STR 命令 (転送命令) .....                                         | 816           | フラッシュメモリのアクセスモード .....                | 877                     |
| 命令一覧表 .....                                                 | 952           | マスタモードのウェイト .....                     | 709                     |
| 命令概要 .....                                                  | 48            | モード設定と各種タイマ機能の関係 .....                | 450                     |
| 命令定義 .....                                                  | 801           | モード端子 .....                           | 79                      |
| 命令動作 .....                                                  | 811           | モードデータ .....                          | 79                      |
| メモリマップ                                                      |               | リセットモード .....                         | 450                     |
| フラッシュメモリのメモリマップ .....                                       | 870           | 連続変換モードの動作 .....                      | 756, 784                |
| メモリマップ .....                                                | 60            | モード端子                                 |                         |
| も                                                           |               | モード端子 .....                           | 79                      |
| モード                                                         |               | モードデータ                                |                         |
| 16 ビットアウトプットコンペアの動作                                         |               | モードデータ .....                          | 79                      |
| (セット / リセットモード, MOD1x=1) .....                              | 411           | モードレジスタ                               |                         |
| 16 ビットアウトプットコンペアの動作                                         |               | シリアルモードレジスタ (SMR) .....               | 557, 609, 666           |
| (反転モード, MOD1x=0) .....                                      | 407           | ゆ                                     |                         |
| 32 ビットモード機能 .....                                           | 461           | ユーザスタックポインタ                           |                         |
| 32 ビットモード設定 .....                                           | 461           | ユーザスタックポインタ (USP) .....               | 57                      |
| 32 ビットモード動作 .....                                           | 462           | 優先順位                                  |                         |
| A/D コンペア起動モード .....                                         | 433           | チャンネル間優先順位 .....                      | 859                     |
| A/D モード設定レジスタ                                               |               | 優先順位判定 .....                          | 223                     |
| (ADMD:ADMD0 ~ ADMD2) .....                                  | 745           | 優先度                                   |                         |
| A/D モード設定レジスタ                                               |               | EIT 要因の優先度 .....                      | 71                      |
| (ADMD:ADMD3, ADMD4) .....                                   | 773           | よ                                     |                         |
| 要求レベル設定レジスタ                                                 |               | 要求レベル設定レジスタ                           |                         |
| 外部割込み要求レベル設定レジスタ                                            |               | 外部割込み要求レベル設定レジスタ                      |                         |
| [ELVR (ELVR0, ELVR1) : External LeVel                       |               | [ELVR (ELVR0, ELVR1) : External LeVel |                         |
| Register] .....                                             | 233           | Register] .....                       | 233                     |

# MB91470/480 シリーズ

## ら

### ライト

|                                                                       |     |
|-----------------------------------------------------------------------|-----|
| FR-CPU プログラミングモード<br>(16 ビット, リード / ライト可能)                            | 877 |
| ライト ライトタイミング<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=0018 <sub>H</sub> ) | 173 |
| リード ライトタイミング<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=0048 <sub>H</sub> ) | 172 |

## り

### リード

|                                                                       |     |
|-----------------------------------------------------------------------|-----|
| リード ライトタイミング<br>(TYP[3:0]=0000 <sub>B</sub> , AWR=0048 <sub>H</sub> ) | 172 |
|-----------------------------------------------------------------------|-----|

### リード / ライト

|                                            |     |
|--------------------------------------------|-----|
| FR-CPU プログラミングモード<br>(16 ビット, リード / ライト可能) | 877 |
|--------------------------------------------|-----|

### リセット

|                                                        |     |
|--------------------------------------------------------|-----|
| 16 ビットアウトプットコンペアの動作<br>(セット / リセットモード, MOD1x=1)        | 411 |
| INITX 端子入力<br>(設定初期化リセット端子)                            | 85  |
| STCR:SRST ビット書込み<br>(ソフトウェアリセット)                       | 86  |
| ウォッチドッグリセット                                            | 86  |
| 設定初期化リセット (INIT)                                       | 83  |
| 設定初期化リセット (INIT) 解除<br>シーケンス                           | 87  |
| 通常リセット動作                                               | 91  |
| 同期リセット動作                                               | 91  |
| 動作初期化リセット (RST)                                        | 84  |
| 動作初期化リセット (RST) 解除<br>シーケンス                            | 88  |
| フラッシュメモリのリセット方法                                        | 890 |
| リセットコマンド                                               | 880 |
| リセットモード                                                | 450 |
| リセット要因                                                 | 85  |
| リセット要因レジスタ / ウォッチドッグタイマ制<br>御レジスタ (RSRR)               | 103 |
| リセットコマンド<br>リセットコマンド                                   | 880 |
| リセット要因<br>リセット要因                                       | 85  |
| リセット要因レジスタ<br>リセット要因レジスタ / ウォッチドッグタイマ制<br>御レジスタ (RSRR) | 103 |
| リターンポインタ<br>リターンポインタ (RP)                              | 56  |
| リトルエンディアン<br>リトルエンディアンの概要                              | 162 |
| リトルエンディアンのデータバス幅                                       | 164 |
| リトルエンディアンのデータ<br>フォーマット                                | 163 |
| リロード<br>16/32 ビットリロードタイマ                               | 451 |
| 16/32 ビットリロードタイマ (ch.1, ch.0) の<br>ブロックダイアグラム          | 453 |
| 16 ビット PWM/PPG / リロードタイマの使用上の<br>注意                    | 463 |
| 16 ビットリロードタイマの概要                                       | 250 |

### 16 ビットリロードタイマのブロック

|        |     |
|--------|-----|
| ダイアグラム | 250 |
|--------|-----|

### 16 ビットリロードタイマのレジスター一覧

### 16 ビットリロードレジスタ (TMRLR) の

|       |     |
|-------|-----|
| ビット構成 | 255 |
|-------|-----|

### "H" 幅設定リロードレジスタ (BTnPRLH) のビット構成

|  |     |
|--|-----|
|  | 489 |
|--|-----|

### "L" 幅設定リロードレジスタ (BTnPRLL) のビット構成

|  |     |
|--|-----|
|  | 488 |
|--|-----|

### 各周辺クロック (CLKP) 周波数に対するリロード 値とボーレート

|  |               |
|--|---------------|
|  | 593, 651, 716 |
|--|---------------|

### 転送回数レジスタとリロード動作

|  |     |
|--|-----|
|  | 849 |
|--|-----|

### リロード / コンペア機能

|  |     |
|--|-----|
|  | 540 |
|--|-----|

### リロード / コンペア機能同時起動

|  |     |
|--|-----|
|  | 541 |
|--|-----|

### リロードカウンタの機能

|  |               |
|--|---------------|
|  | 595, 651, 716 |
|--|---------------|

### リロードコンペアレジスタ (RCR)

|  |     |
|--|-----|
|  | 531 |
|--|-----|

### リロードタイマ (ch.1)

|  |     |
|--|-----|
|  | 434 |
|--|-----|

### リロード値とパルス幅の関係

|  |     |
|--|-----|
|  | 494 |
|--|-----|

### リロード動作

|  |     |
|--|-----|
|  | 846 |
|--|-----|

### リロードレジスタ

|                                     |     |
|-------------------------------------|-----|
| (PRLH0 ~ PRLH15,<br>PRLL0 ~ PRLL15) | 285 |
|-------------------------------------|-----|

### リロードレジスタへの書込みタイミング

|  |     |
|--|-----|
|  | 491 |
|--|-----|

### リロードコンペアレジスタ

|                    |     |
|--------------------|-----|
| リロードコンペアレジスタ (RCR) | 531 |
|--------------------|-----|

### リロードタイマ

|                  |     |
|------------------|-----|
| 16/32 ビットリロードタイマ | 451 |
|------------------|-----|

### 16/32 ビットリロードタイマ (ch.1, ch.0) の

|            |     |
|------------|-----|
| ブロックダイアグラム | 453 |
|------------|-----|

### 16 ビット PWM/PPG / リロードタイマの使用上の

|    |     |
|----|-----|
| 注意 | 463 |
|----|-----|

### 16 ビットリロードタイマの概要

|  |     |
|--|-----|
|  | 250 |
|--|-----|

### 16 ビットリロードタイマのブロック

|        |     |
|--------|-----|
| ダイアグラム | 250 |
|--------|-----|

### 16 ビットリロードタイマのレジスター一覧

|  |     |
|--|-----|
|  | 251 |
|--|-----|

### リロードタイマ (ch.1)

|  |     |
|--|-----|
|  | 434 |
|--|-----|

### リロード値

|                                        |     |
|----------------------------------------|-----|
| 各周辺クロック (CLKP) ク周波数に対するリロー<br>ド値とボーレート | 593 |
|----------------------------------------|-----|

### 各周辺クロック (CLKP) 周波数に対するリロード

|         |          |
|---------|----------|
| 値とボーレート | 651, 716 |
|---------|----------|

### リロード値とパルス幅の関係

|  |     |
|--|-----|
|  | 494 |
|--|-----|

### リロードレジスタ

|                                   |     |
|-----------------------------------|-----|
| 16 ビットリロードレジスタ (TMRLR) の<br>ビット構成 | 255 |
|-----------------------------------|-----|

### "H" 幅設定リロードレジスタ (BTnPRLH) のビット構成

|  |     |
|--|-----|
|  | 489 |
|--|-----|

### "L" 幅設定リロードレジスタ (BTnPRLL) のビット構成

|  |     |
|--|-----|
|  | 488 |
|--|-----|

### リロードレジスタ

|                                     |     |
|-------------------------------------|-----|
| (PRLH0 ~ PRLH15,<br>PRLL0 ~ PRLL15) | 285 |
|-------------------------------------|-----|

### リロードレジスタへの書込みタイミング

|  |     |
|--|-----|
|  | 491 |
|--|-----|

### リンカ

|               |     |
|---------------|-----|
| リンカ (flnk911) | 950 |
|---------------|-----|

## れ

### レジスタ

|                              |     |
|------------------------------|-----|
| 12 ビット A/D コンバータの<br>レジスター一覧 | 770 |
|------------------------------|-----|

# MB91470/480 シリーズ

|                                                                            |               |
|----------------------------------------------------------------------------|---------------|
| 16 ビットアウトプットコンペアのレジスタ                                                      | 321           |
| 16 ビットインプットキャプチャのレジスタ                                                      | 322           |
| 16 ビットタイマレジスタ (TMR) のビット構成                                                 | 254           |
| 16 ビットデッドタイム状態制御レジスタ, 下位バイト (DTCR1/DTCR4)                                  | 374           |
| 16 ビットデッドタイム状態制御レジスタ, 上位バイト (DTCR0/DTCR3)                                  | 371           |
| 16 ビットデッドタイム状態制御レジスタ, 上位バイト (DTCR2/DTCR5)                                  | 377           |
| 16 ビットデッドタイムレジスタ (TMRRH0 ~ TMRRH5/TMRRL0 ~ TMRRL5)                         | 369           |
| 16 ビットフリーランタイムのレジスタ                                                        | 318           |
| 16 ビットリロードタイムのレジスタ一覧                                                       | 251           |
| 16 ビットリロードレジスタ (TMRLR) のビット構成                                              | 255           |
| 7 ビットスレーブアドレスマスクレジスタ (ISMK)                                                | 677           |
| 7 ビットスレーブアドレスレジスタ (ISBA)                                                   | 678           |
| 8/10 ビット A/D コンバータのレジスタ一覧                                                  | 741           |
| A/D 起動コンペアのレジスタ                                                            | 325           |
| A/D 制御ステータスレジスタ (ADCS:ADCS0 ~ ADCS2)                                       | 748           |
| A/D 制御ステータスレジスタ (ADCS:ADCS3, ADCS4)                                        | 776           |
| A/D チャンネル制御レジスタ (ADCH:ADCH0 ~ ADCH2)                                       | 743           |
| A/D チャンネル制御レジスタ (ADCH:ADCH3, ADCH4)                                        | 771           |
| A/D データレジスタ (ADCD:ADCD000 ~ ADCD030, ADCD001 ~ ADCD031, ADCD002 ~ ADCD112) | 751           |
| A/D データレジスタ (ADCD:ADCD003 ~ ADCD033, ADCD004 ~ ADCD034)                    | 779           |
| A/D トリガ制御レジスタ (ADTRGC0 ~ ADTRGC5)                                          | 338           |
| A/D モード設定レジスタ (ADMD:ADMD0 ~ ADMD2)                                         | 745           |
| A/D モード設定レジスタ (ADMD:ADMD3, ADMD4)                                          | 773           |
| ACR0 ~ ACR2 (Area Configuration Register) のレジスタ構成                          | 140           |
| ADMD レジスタ設定                                                                | 759, 789      |
| ASR0 ~ ASR2 (Area Select Register) のレジスタ構成                                 | 139           |
| AWR0 ~ AWR2 (Area Wait Register) のレジスタ構成                                   | 146           |
| CSER (Chip Select Enable register) のレジスタ構成                                 | 152           |
| CSIO (クロック同期シリアルインタフェース) のレジスタ一覧                                           | 604           |
| DMAC のレジスタ一覧                                                               | 823           |
| DSP コントロール / ステータスレジスタ (DSP-CSR)                                           | 803           |
| DSP 遅延レジスタ (DSP-LY)                                                        | 807           |
| DSP 変数モニタレジスタ (DSP-OT0 ~ DSP-OT7)                                          | 808           |
| FIFO 制御レジスタ 0 (FCR0) のビット構成                                                | 574, 625, 683 |

|                                                                        |               |
|------------------------------------------------------------------------|---------------|
| FIFO 制御レジスタ 1 (FCR1) のビット構成                                            | 571, 622, 680 |
| FIFO バイトレジスタ (FBYTE1/FBYTE2) のビット構成                                    | 577, 628, 687 |
| GATE 機能制御レジスタ (GATEC0/GATEC4/GATEC8/GATEC12)                           | 288           |
| "H" 幅設定リロードレジスタ (BTnPRLH) のビット構成                                       | 489           |
| I <sup>2</sup> C インタフェースのレジスタ一覧                                        | 658           |
| I <sup>2</sup> C バスステータスレジスタ (IBSR)                                    | 668           |
| I <sup>2</sup> C バス制御レジスタ (IBCR)                                       | 660           |
| "L" 幅設定リロードレジスタ (BTnPRLL) のビット構成                                       | 488           |
| PPG 起動レジスタ (TRG)                                                       | 286           |
| PPG 動作モード制御レジスタ (PPGC0 ~ PPGC15)                                       | 282           |
| PPG のレジスタ一覧                                                            | 279           |
| PWM 周期設定レジスタ (BTnPCSR) のビット構成                                          | 474           |
| PWM デューティ設定レジスタ (BTnPDUT) のビット構成                                       | 475           |
| UART (非同期シリアルインタフェース) のレジスタ一覧                                          | 552           |
| アウトプットコンペアパッファレジスタ (OCCPBH0 ~ OCCPBH11/OCCPBL0 ~ OCCPBL11)             | 348           |
| アウトプットコンペアレジスタ (OCCPH0 ~ OCCPH11/OCCPL0 ~ OCCPL11)                     | 349           |
| アキュムレータ出力レジスタ (DSP-AC0 ~ DSP-AC2)                                      | 809           |
| アップダウンカウンタのレジスタ一覧                                                      | 529           |
| アップダウンカウンタレジスタ (UDCR)                                                  | 530           |
| アドレスレジスタ指定                                                             | 847           |
| アナログ入力制御レジスタ (AICR:AICR0 ~ AICR2)                                      | 753           |
| アナログ入力制御レジスタ (AICR:AICR3, AICR4)                                       | 781           |
| インプットキャプチャ状態制御レジスタ (ch.2/ch.6, ch.3/ch.7), 下位バイト (ICSL23/ICSL67)       | 362           |
| インプットキャプチャ状態制御レジスタ (ch.2/ch.6, ch.3/ch.7), 上位バイト (ICSH23/ICSH67)       | 360           |
| インプットキャプチャ状態制御レジスタ (ch.01/ch.45), 下位バイト (PICSL01/PICSL45)              | 367           |
| インプットキャプチャデータレジスタ (IPCPH0 ~ IPCPH7/IPCPL0 ~ IPCPL7)                    | 359           |
| 外部バスインタフェースのレジスタ一覧                                                     | 137           |
| 外部バスインタフェースのレジスタ概要                                                     | 138           |
| 外部割込み要因レジスタ [EIRR (EIRR0, EIRR1): External Interrupt Request Register] | 232           |
| 外部割込み要求レベル設定レジスタ [ELVR (ELVR0, ELVR1): External LeVel Register]        | 233           |
| カウンタコントロールレジスタ (CCR) のビット構成                                            | 534           |
| カウンタステータスレジスタ (CSR) のビット構成                                             | 532           |

# MB91470/480 シリーズ

|                                                                                                   |                    |
|---------------------------------------------------------------------------------------------------|--------------------|
| カウント方向選択レジスタ (コンペア時)<br>(ADTGSEL0/ADTGSEL1) .....                                                 | 388                |
| 拡張通信制御レジスタ (ESCR) の<br>ビット構成 .....                                                                | 563, 615           |
| クロック出力許可レジスタのビット構成 .....                                                                          | 796                |
| クロックソース制御レジスタ (CLKR) .....                                                                        | 111                |
| コンディションコードレジスタ (CCR) .....                                                                        | 52                 |
| コントロールステータスレジスタ (TMCSR) の<br>ビット構成 .....                                                          | 252                |
| コンペア許可レジスタ<br>(ADTGCE0/ADTGCE1) .....                                                             | 386                |
| コンペアクリアバッファレジスタ<br>(CPCLRBH0 ~ CPCLRBH5, CPCLRBL0 ~<br>CPCLRBL5) .....                            | 327                |
| コンペアクリアレジスタ (CPCLRHO ~ CPCLRHS,<br>CPCLRL0 ~ CPCLRL5) .....                                       | 328                |
| コンペア制御レジスタ, 下位バイト<br>(OCSL0/OCSL6, OCSL2/OCSL8, OCSL4/<br>OCSL10) .....                           | 354                |
| コンペア制御レジスタ, 上位バイト<br>(OCSH1/OCSH7, OCSH3/OCSH9, OCSH5/<br>OCSH11) .....                           | 350                |
| コンペアバッファレジスタ 0/3,1/4,2/5<br>(ADCOMPB0/ADCOMPB3,<br>ADCOMPB1/ADCOMPB4,<br>ADCOMPB2/ADCOMPB5) ..... | 384                |
| コンペアモード制御レジスタ<br>(OCMOD0/OCMOD1) .....                                                            | 357                |
| コンペアレジスタ<br>(COMP0/COMP2/COMP4/COMP6, COMP1/<br>COMP3/COMP5/COMP7) .....                          | 267                |
| コンペアレジスタ 0/3,1/4,2/5<br>(ADCOMP0/ADCOMP3, ADCOMP1/<br>ADCOMP4, ADCOMP2/ADCOMP5) .....             | 385                |
| コンペアレジスタバッファ機能 .....                                                                              | 434                |
| 差動入力モード時のレジスタ設定 .....                                                                             | 787                |
| システムコンディションコードレジスタ<br>(SCR) .....                                                                 | 54                 |
| 周期設定レジスタ (BTnPCSR) の<br>ビット構成 .....                                                               | 504                |
| 受信データレジスタ (RDR) .....                                                                             | 675                |
| 受信データレジスタ<br>(RDR0/RDR1) .....                                                                    | 565, 617           |
| 出力反転レジスタ (REVC) .....                                                                             | 287                |
| 乗除算レジスタ (Multiply & Divide register)<br>(MDH/MDL) .....                                           | 57                 |
| シリアルステータスレジスタ<br>(SSR) .....                                                                      | 560, 612, 672      |
| シリアル制御レジスタ (SCR) .....                                                                            | 554, 606           |
| シリアルモードレジスタ (SMR) .....                                                                           | 557, 609, 666      |
| スタンバイ制御レジスタ (STCR) .....                                                                          | 105                |
| ステータス制御レジスタ<br>(BTnSTC) .....                                                                     | 472, 486, 502, 514 |
| 制御レジスタへの書込みによる一時停止の設定<br>(各チャネル独立または全チャネル同時に設<br>定) .....                                         | 854                |
| 積和演算回路のレジスタ一覧 .....                                                                               | 802                |
| 送信データレジスタ (TDR) .....                                                                             | 676                |
| 送信データレジスタ<br>(TDR0/TDR1) .....                                                                    | 567, 618           |
| タイマ状態制御レジスタ, 下位バイト<br>(TCCSL0 ~ TCCSL5) .....                                                     | 334                |

|                                                                                                         |                         |
|---------------------------------------------------------------------------------------------------------|-------------------------|
| タイマ状態制御レジスタ, 上位バイト<br>(TCCSH0 ~ TCCSH5) .....                                                           | 330                     |
| タイマ状態制御レジスタ M<br>(TCCSM0 ~ TCCSM5) .....                                                                | 336                     |
| タイマ制御レジスタ<br>(BTnTMCR 下位バイト) .....                                                                      | 470, 484, 499, 512      |
| タイマ制御レジスタ<br>(BTnTMCR 上位バイト) .....                                                                      | 468, 482, 510, 497      |
| タイマデータレジスタ (TCDTH0 ~ TCDTH5,<br>TCDTL0 ~ TCDTL5) .....                                                  | 329                     |
| タイマレジスタ (BTnTMR) の<br>ビット構成 .....                                                                       | 476, 490, 505           |
| タイミングジェネレータ 0 のレジスタ .....                                                                               | 263                     |
| タイミングジェネレータ 1 のレジスタ .....                                                                               | 264                     |
| タイミングジェネレータ制御レジスタ<br>(TTCR0/TTCR1) .....                                                                | 265                     |
| タイムベースカウンタクリアレジスタ<br>(CTBR) .....                                                                       | 110                     |
| タイムベースカウンタ制御レジスタ<br>(TBCR) .....                                                                        | 108                     |
| データバッファレジスタ (BTnDTBF) の<br>ビット構成 .....                                                                  | 516                     |
| データ方向制御レジスタ<br>(DDR: DDR0 ~ DDR3, DDR5, DDR6,<br>DDR8 ~ DDRH, DDRJ, DDRL, DDRM,<br>DDRP ~ DDRS) .....   | 199                     |
| テーブルベースレジスタ (TBR) .....                                                                                 | 56, 69                  |
| 転送回数レジスタとリロード動作 .....                                                                                   | 849                     |
| 内部クロック分周設定レジスタ 0<br>(DIVR0) .....                                                                       | 113                     |
| 内部クロック分周設定レジスタ 1<br>(DIVR1) .....                                                                       | 115                     |
| 波形ジェネレータのレジスタ .....                                                                                     | 323                     |
| 波形制御レジスタ 1 (SIGCR1) .....                                                                               | 380                     |
| 波形制御レジスタ 2 (SIGCR2) .....                                                                               | 382                     |
| 波形制御レジスタ 2 (SIGCR2) の DTTI の<br>動作 .....                                                                | 431                     |
| バッファ制御レジスタ<br>(ADTGBUF0/ADTGBUF1) .....                                                                 | 390                     |
| バッファレジスタへアクセス時の注意 .....                                                                                 | 441                     |
| 汎用レジスタ .....                                                                                            | 51                      |
| フラッシュウェイトレジスタ (FLWC) のビット構<br>成 .....                                                                   | 875                     |
| フラッシュコントロール / ステータスレジスタ<br>(FLCR) のビット構成 .....                                                          | 872                     |
| フラッシュメモリのレジスタ概要 .....                                                                                   | 871                     |
| フリーランタイム選択レジスタ .....                                                                                    | 320                     |
| フリーランタイム選択レジスタ (下位):<br>アウトプットコンペア用<br>(FRS0/FRS2/FRS5/FRS7) .....                                      | 342                     |
| フリーランタイム選択レジスタ (下位):<br>インプットキャプチャ用 (FRS3/FRS8) .....                                                   | 346                     |
| フリーランタイム選択レジスタ (上位):<br>アウトプットコンペア用 (FRS1/FRS6) .....                                                   | 340                     |
| フリーランタイム選択レジスタ (上位):<br>インプットキャプチャ用 (FRS4/FRS9) .....                                                   | 344                     |
| ブルアップ抵抗制御レジスタ<br>(PCR: PCR0 ~ PCR3, PCR5, PCR6,<br>PCR8 ~ PCRH, PCRJ, PCRL, PCRM,<br>PCRP ~ PCRS) ..... | 202                     |
| ブルアップ抵抗制御レジスタ<br>設定値 .....                                                                              | 187, 189, 191, 193, 195 |
| ベースタイマのレジスタ一覧 .....                                                                                     | 455                     |

|                                                                                                                       |                    |
|-----------------------------------------------------------------------------------------------------------------------|--------------------|
| ポート機能制御レジスタ                                                                                                           |                    |
| (PFR:PFR0 ~ PFR3, PFR5, PFR6, PFR8,PFR9,<br>PFR10, PFR11 ~ PFR14, PFR16, PFR17, PFR18, PFR19,<br>PFR20 ~ PFR23) ..... | 205                |
| ポートデータレジスタ                                                                                                            |                    |
| (PDR: PDR0 ~ PDR3, PDR5, PDR6,<br>PDR8 ~ PDR11, PDR13, PDR14, PDR16, PDR17,<br>PDR19 ~ PDR23) .....                   | 196                |
| ポーレートジェネレータレジスタ 1, 0                                                                                                  |                    |
| (BGR1, BGR0) のビット構成 .....                                                                                             | 569, 620, 679      |
| リセット要因レジスタ / ウォッチドッグタイマ制<br>御レジスタ (RSRR) .....                                                                        | 103                |
| リロードコンペアレジスタ (RCR) .....                                                                                              | 531                |
| リロードレジスタ                                                                                                              |                    |
| (PRLH0 ~ PRLH15,<br>PRLLO ~ PRLLO15) .....                                                                            | 285                |
| リロードレジスタへの書込みタイミング .....                                                                                              | 491                |
| レジスタ一覧 .....                                                                                                          | 215, 230, 240, 242 |
| レジスタ詳細説明 .....                                                                                                        | 240, 243           |
| レジスタ設定時の注意 .....                                                                                                      | 825                |
| ワイルドレジスタアドレスレジスタ                                                                                                      |                    |
| (WA) .....                                                                                                            | 920                |
| ワイルドレジスタアドレスレジスタ                                                                                                      |                    |
| (WA) のビット構成 .....                                                                                                     | 917                |
| ワイルドレジスタ許可レジスタ (WREN) .....                                                                                           | 920                |
| ワイルドレジスタ許可レジスタ (WREN) の<br>ビット構成 .....                                                                                | 916                |
| ワイルドレジスタ制御部の概要 .....                                                                                                  | 914                |
| ワイルドレジスタ制御部の動作 .....                                                                                                  | 919                |
| ワイルドレジスタ制御部のブロック<br>ダイアグラム .....                                                                                      | 914                |
| ワイルドレジスタ制御部のレジスタ一覧 .....                                                                                              | 915                |
| ワイルドレジスタデータレジスタ (WD) .....                                                                                            | 920                |
| ワイルドレジスタデータレジスタ (WD) のビット<br>構成 .....                                                                                 | 918                |
| 割り込み許可レジスタ                                                                                                            |                    |
| [ENIR (ENIR0, ENIR1): Enable Interrupt request<br>Register] .....                                                     | 232                |
| 割り込み制御レジスタ (ICR) .....                                                                                                | 68, 220            |
| レジスタ一覧                                                                                                                |                    |
| 12 ビット A/D コンバータの<br>レジスタ一覧 .....                                                                                     | 770                |
| 16 ビットリロードタイマのレジスタ一覧 .....                                                                                            | 251                |
| 8/10 ビット A/D コンバータの<br>レジスタ一覧 .....                                                                                   | 741                |
| CSIO (クロック同期シリアルインタフェース) の<br>レジスタ一覧 .....                                                                            | 604                |
| DMAC のレジスタ一覧 .....                                                                                                    | 823                |
| I <sup>2</sup> C インタフェースのレジスタ一覧 .....                                                                                 | 658                |
| PPG のレジスタ一覧 .....                                                                                                     | 279                |
| UART (非同期シリアルインタフェース) の<br>レジスタ一覧 .....                                                                               | 552                |
| アップダウンカウンタのレジスタ一覧 .....                                                                                               | 529                |
| 外部バスインタフェースのレジスタ一覧 .....                                                                                              | 137                |
| 積和演算回路のレジスタ一覧 .....                                                                                                   | 802                |
| ベースタイマのレジスタ一覧 .....                                                                                                   | 455                |
| レジスタ一覧 .....                                                                                                          | 215, 230, 240, 242 |
| ワイルドレジスタ制御部のレジスタ一覧 .....                                                                                              | 915                |
| レベルマスク                                                                                                                |                    |
| 割り込み・NMI に対するレベルマスク .....                                                                                             | 67                 |
| 連続動作                                                                                                                  |                    |
| 連続動作 .....                                                                                                            | 477, 492           |

|                  |          |
|------------------|----------|
| 連続変換モード          |          |
| 連続変換モードの動作 ..... | 756, 784 |

## わ

|                                                                     |          |
|---------------------------------------------------------------------|----------|
| ワードアクセス                                                             |          |
| ワードアクセス .....                                                       | 166      |
| ワードアライメント                                                           |          |
| ワードアライメント .....                                                     | 59       |
| ワイルド                                                                |          |
| ワイルドレジスタアドレスレジスタ                                                    |          |
| (WA) .....                                                          | 920      |
| ワイルドレジスタアドレスレジスタ                                                    |          |
| (WA) のビット構成 .....                                                   | 917      |
| ワイルドレジスタ許可レジスタ (WREN) .....                                         | 920      |
| ワイルドレジスタ許可レジスタ (WREN) の<br>ビット構成 .....                              | 916      |
| ワイルドレジスタ制御部の概要 .....                                                | 914      |
| ワイルドレジスタ制御部の動作 .....                                                | 919      |
| ワイルドレジスタ制御部のブロック<br>ダイアグラム .....                                    | 914      |
| ワイルドレジスタ制御部のレジスタ一覧 .....                                            | 915      |
| ワイルドレジスタデータレジスタ (WD) .....                                          | 920      |
| ワイルドレジスタデータレジスタ (WD) のビット<br>構成 .....                               | 918      |
| 割り込み                                                                |          |
| 12 ビット A/D コンバータの割り込み .....                                         | 782      |
| 16 ビットアウトプットコンペア割り込み .....                                          | 393      |
| 16 ビットインプットキャプチャ割り込み .....                                          | 393      |
| 16 ビットフリーランタイム割り込み .....                                            | 392      |
| 8/10 ビット A/D コンバータの割り込み .....                                       | 754      |
| CSIO の割り込み .....                                                    | 630      |
| DMAC 割り込み制御が出力できる割り込み .....                                         | 857      |
| DMA 転送と割り込み .....                                                   | 850      |
| DMA による割り込みクリアの<br>発生タイミング .....                                    | 853      |
| DTTI 割り込み .....                                                     | 431      |
| I <sup>2</sup> C インタフェースの割り込み .....                                 | 689      |
| NMI/ ホールド抑止レベル割り込み処理中 .....                                         | 854      |
| UART の割り込み .....                                                    | 579      |
| 外部割り込みの動作手順について .....                                               | 234      |
| 外部割り込みの動作について .....                                                 | 234      |
| 外部割り込み要因レジスタ                                                        |          |
| [EIRR (EIRR0, EIRR1): External Interrupt Request<br>Register] ..... | 232      |
| 外部割り込み要求レベル設定レジスタ                                                   |          |
| [ELVR (ELVR0, ELVR1): External LeVel<br>Register] .....             | 233      |
| 外部割り込み要求レベルについて .....                                               | 235      |
| 外部割り込みを使用した STOP 状態からの復帰時に<br>おける注意事項 .....                         | 237      |
| 機能ごとの割り込み制御ビットと割り込み<br>要因 .....                                     | 465      |
| 受信 FIFO 使用時の受信割り込み発生とフラグ<br>セットのタイミング .....                         | 582, 633 |
| 受信割り込み発生とフラグセットの<br>タイミング .....                                     | 581, 631 |
| 送信 FIFO 使用時の送信割り込み発生とフラグ<br>セットのタイミング .....                         | 585, 636 |
| 送信割り込み発生とフラグセットの<br>タイミング .....                                     | 584, 635 |
| タイマ割り込み .....                                                       | 399      |

# MB91470/480 シリーズ

|                                                               |         |
|---------------------------------------------------------------|---------|
| 波形ジェネレータ割込み .....                                             | 394     |
| 割込み許可レジスタ                                                     |         |
| [ENIR (ENIR0, ENIR1):Enable Interrupt request Register] ..... | 232     |
| 割込みスタック .....                                                 | 69      |
| 割込み制御レジスタ (ICR) .....                                         | 68, 220 |
| 割込み発生タイミング .....                                              | 545     |
| 割込みベクタ .....                                                  | 937     |
| 割込みマスク機能 .....                                                | 400     |
| 割込み要因とタイミングチャート                                               |         |
| (PPG 出力 : 通常極性) .....                                         | 495     |
| 割込み要因とタイミングチャート                                               |         |
| (PWM 出力 : 通常極性) .....                                         | 479     |
| 割込みレベル .....                                                  | 66      |
| 割込み・NMI に対するレベルマスク .....                                      | 67      |
| 割込み許可レジスタ                                                     |         |
| 割込み許可レジスタ                                                     |         |
| [ENIR (ENIR0, ENIR1):Enable Interrupt request Register] ..... | 232     |
| 割込みスタック                                                       |         |
| 割込みスタック .....                                                 | 69      |
| 割込み制御                                                         |         |
| DMAC 割込み制御が出力できる割込み .....                                     | 857     |
| 機能ごとの割込み制御ビットと割込み                                             |         |
| 要因 .....                                                      | 465     |

|                                                                  |          |
|------------------------------------------------------------------|----------|
| 割込み制御レジスタ (ICR) .....                                            | 220      |
| 割込み制御レジスタ                                                        |          |
| 割込み制御レジスタ (ICR) .....                                            | 68, 220  |
| 割込みベクタ                                                           |          |
| 割込みベクタ .....                                                     | 937      |
| 割込み要因                                                            |          |
| 外部割込み要因レジスタ                                                      |          |
| [EIRR (EIRR0, EIRR1): External Interrupt Request Register] ..... | 232      |
| 機能ごとの割込み制御ビットと割込み                                                |          |
| 要因 .....                                                         | 465      |
| 割込み要因とタイミングチャート                                                  |          |
| (PPG 出力 : 通常極性) .....                                            | 495      |
| 割込み要因とタイミングチャート                                                  |          |
| (PWM 出力 : 通常極性) .....                                            | 479      |
| 割込み要求                                                            |          |
| 外部割込み要求レベル設定レジスタ                                                 |          |
| [ELVR (ELVR0, ELVR1) : External LeVel Register] .....            | 233      |
| 外部割込み要求レベルについて .....                                             | 235      |
| 割込みレベル                                                           |          |
| 割込みレベル .....                                                     | 66       |
| ワンショット動作                                                         |          |
| ワンショット動作 .....                                                   | 478, 493 |

## MB91470/480 シリーズ

CM71-10134-8

---

FUJITSU SEMICONDUCTOR • CONTROLLER MANUAL

32 ビット・マイクロコントローラ

FR60

MB91470/480 シリーズ

ハードウェアマニュアル

---

2011 年 6 月 第 8 版発行

発行 富士通セミコンダクター株式会社

編集 企画部 プロモーション推進部

---



