



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

正誤表

MB91270 Series ハードウェアマニュアル 第2版(CM71-10128-2)に対する正誤表です。

FR60Lite

32ビット・マイクロコントローラ

MB91270 Series

ハードウェアマニュアル

2009. 3. 9

※ : 訂正箇所

日付	ページ	項目	訂正内容
2009/ 3/9	-	-	MB91F278(S) を削除
2008/ 9/16	4	1. 1	<p>■ I/Oポートを以下のように変更</p> <p>・最大128ポート → ・最大128ポート (MB91V280) / 最大82ポート (MB91F273(S) / F278(S))</p>
2009/ 3/3	32	2. 1	<p>2. 1 デバイス使用上の注意 に以下の記載を追加</p> <p>■ シリアル通信について</p> <p>シリアル通信においては、ノイズ等により間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。</p> <p>また、万が一ノイズ等の影響により、誤ったデータを受信した場合を考慮して、最後にデータのチェックサム等を付加してエラーが発生した場合には再送を行う等の処理をしてください。</p> <p style="text-align: right;">[mcu_doc0960]</p>
2008/ 6/13	347	11. 5. 1	<p>「■ メッセージオブジェクト」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>メッセージRAM のメッセージオブジェクト設定 (MsgVal, NewDat, IntPnd, TxRqst ビットを除く) は、ハードウェアリセットによって初期化されません。そのためメッセージオブジェクトのCPUでの初期化、またはMsgVal ビットを無効(MsgVal=0) に設定してください。また、CAN ビットタイミングレジスタの設定はCAN 制御レジスタのInit ビットが"0" のときに行ってください。</p> <p>(正)</p> <p>メッセージRAM のメッセージオブジェクト設定 (MsgVal, NewDat, IntPnd, TxRqst ビットを除く) は、ハードウェアリセットによって初期化されません。そのためメッセージオブジェクトのCPUでの初期化、またはMsgVal ビットを無効(MsgVal=0) に設定してください。また、CAN ビットタイミングレジスタ (BTR) とCANプリスケアラ拡張レジスタ (BRPER) の設定は、CAN 制御レジスタのInitビットが "1" , CCEビットが "1" のときに行ってください。</p> <p style="text-align: right;">[mcu_doc:0735]</p>

日付	ページ	項目	訂正内容										
2008/9/16	383	12. 3. 1	<p>「シリアルコントロールレジスタ (SCR)」の「[bit10] CRE : 受信エラーフラグクリアビット」に、以下の■で示す<注意事項>を追加。</p> <p>[bit10] CRE : 受信エラーフラグクリアビット</p> <table><tr><th rowspan="2">CRE</th><th colspan="2">受信エラークリア</th></tr><tr><th>書込み</th><th>読出し</th></tr><tr><td>0</td><td>影響なし [初期値]</td><td rowspan="2">読出し値は常に"0"</td></tr><tr><td>1</td><td>すべての受信エラー (PE, FRE, ORE) をクリア</td></tr></table> <p>このビットにより、シリアルステータスレジスタ (SSR) のPE, FRE, ORE フラグがクリアされます。このビットは受信エラー割込み要因もクリアします。 "1" 書込みによりエラーフラグはクリアされます。"0" 書込みは影響ありません。 読出しは常に"0" を返します。</p> <hr/> <p><注意事項></p> <p>受信動作禁止 (RXE=0) 後に受信エラーフラグをクリアしてください。</p> <p>受信動作を禁止せずに受信エラーフラグをクリアにすると、そのタイミングで受信をいったん中断し、その後再開します。このため、受信再開時に正常なデータを受信しない場合があります。</p> <hr/> <p>[mcu_doc:0806]</p>	CRE	受信エラークリア		書込み	読出し	0	影響なし [初期値]	読出し値は常に"0"	1	すべての受信エラー (PE, FRE, ORE) をクリア
CRE	受信エラークリア												
	書込み	読出し											
0	影響なし [初期値]	読出し値は常に"0"											
1	すべての受信エラー (PE, FRE, ORE) をクリア												
2009/3/3	401	12. 4	<p>「受信割込み」の<注意事項>を、以下の■で示すように訂正。</p> <p>(誤)</p> <p><注意事項></p> <p>CRE フラグは、書込み専用で、"1" 書込みの時、1 クロックサイクル間"1" を保持します。</p> <p>(正)</p> <p><注意事項></p> <p>CRE ビットは受信動作禁止 (RXE=0) 後に受信エラーフラグをクリアしてください。</p> <p>受信動作を禁止せずに受信エラーフラグをクリアにすると、そのタイミングで受信をいったん中断し、その後再開します。</p> <p>このため、受信再開時に正常なデータを受信しない場合があります。</p> <hr/> <p>[mcu_doc0960]</p>										
2008/6/13	415	12. 6	<p>「動作許可ビット」を、以下の■で示すように訂正。</p> <p>(誤)</p> <ul style="list-style-type: none">受信 (受信シフトレジスタへのデータ入力) 中に受信動作が禁止されると、フレーム受信が終了し、受信データレジスタ (RDR) の受信データが読み出された後、受信動作が停止します。送信 (送信シフトレジスタからのデータ出力) 中に送信動作が禁止されると、送信データレジスタ (TDR) にデータがなくなるまで待ってから、送信動作が停止します。 <p>(正)</p> <ul style="list-style-type: none">受信 (受信シフトレジスタへのデータ入力) 中に受信動作が禁止されると、直ちに受信動作が停止します。送信 (送信シフトレジスタからのデータ出力) 中に送信動作が禁止されると、直ちに送信動作が停止します。 <hr/> <p>[mcu_doc0750]</p>										

日付	ページ	項目	訂正内容
2008/3/3	435	12.7	「12.7 UART 使用上の注意事項」に、添付資料1の内容を追加 [mcu_doc0960]
2009/3/3	550	19.3	「■ 割込み発生タイミング」から、以下の説明文を削除。 ・割込み発生時は、割込みフラグがクリアされるまでカウントを停止します。 [mcu_doc0946]
2008/9/16	619	26.2	26.2 フラッシュメモリのレジスタの■フラッシュメモリのレジスタ概要を以下のように変更。 F L C R bit1 “－” → “WE”
2008/9/16	620	26.2.1	26.2.1 フラッシュコントロール/ステータスレジスタ(FLCR)の■フラッシュコントロール/ステータスレジスタ(FLCR)のビット構成を以下のように変更。 F L C R bit1 “－” → “WE”
2008/9/16	622	26.2.2	26.2.2 ウェイトレジスタ(F L W C)の■ウェイトレジスタ(F L W C)のビット構成に以下の記述を追加。 [bit5,bit4] F A C 1, F A C 0 : アクセス制御ビット F l a s h制御の内部パルス生成を制御するための設定ビットです。 これらのビットの設定により、A T D I N / E Q I Nパルスの幅を設定することができます。通常はデフォルト設定で使用してください。
2008/9/16	639	26.5.2	26.5.2 データ書き込みの 図26.5-1 フラッシュメモリ書き込み手順の例 を以下のように変更。 F L C R : WE (bit5) により フラッシュ書き込み許可 ↓ F L C R : WE (bit1) により フラッシュ書き込み許可 F L C R : WE (bit5) により フラッシュ書き込み禁止 ↓ F L C R : WE (bit1) により フラッシュ書き込み禁止
2008/9/16	642	26.5.4	26.5.4 データ消去(セクタ消去)の 図26.5-2 セクタ消去手順の例 を以下のように変更。 F L C R : WE (bit5) フラッシュメモリ消去許可 ↓ F L C R : WE (bit1) フラッシュメモリ消去許可 F L C R : WE (bit5) フラッシュメモリ消去禁止 ↓ F L C R : WE (bit1) フラッシュメモリ消去禁止

● フレーミングエラー対処方法

- 1) CRE は受信状態マシンをリセットし、SINn の次の立下りエッジが新しいバイトの受信を開始します (図 1)。

よってデータストリームの非同期化を防ぐために、半分のビット時間内でエラー受信後すぐに CRE ビットを設定するか (図 2)、またはエラー受信後、SINn がアイドル状態時にアプリケーション依存時間待つてください。

- 2) フレーミングエラーが起こり (ストップビット: SINn="0")、次のスタートビット (SINn="0") がすぐ後に続く場合、そのスタートビットの立下りエッジの有無に関わらずスタートビットと認識し、受信が開始されます。これはデータストリームに同期した状態で次にフレーミングエラーが検出されることにより、シリアルデータ入力(SINn)が"L"の状態が続いていることを検出するのに使用されます (図 3 上)。

この動作が必要ない場合は、フレーミングエラー後、一時的に受信を禁止してください (RXE=1→0→1)。これにより、シリアルデータ入力(SINn)の立下りエッジが検出され、受信サンプリングポイントで"L"を検出するとスタートビットと認識し、受信が開始されます (図 3 下)。

図 1 :

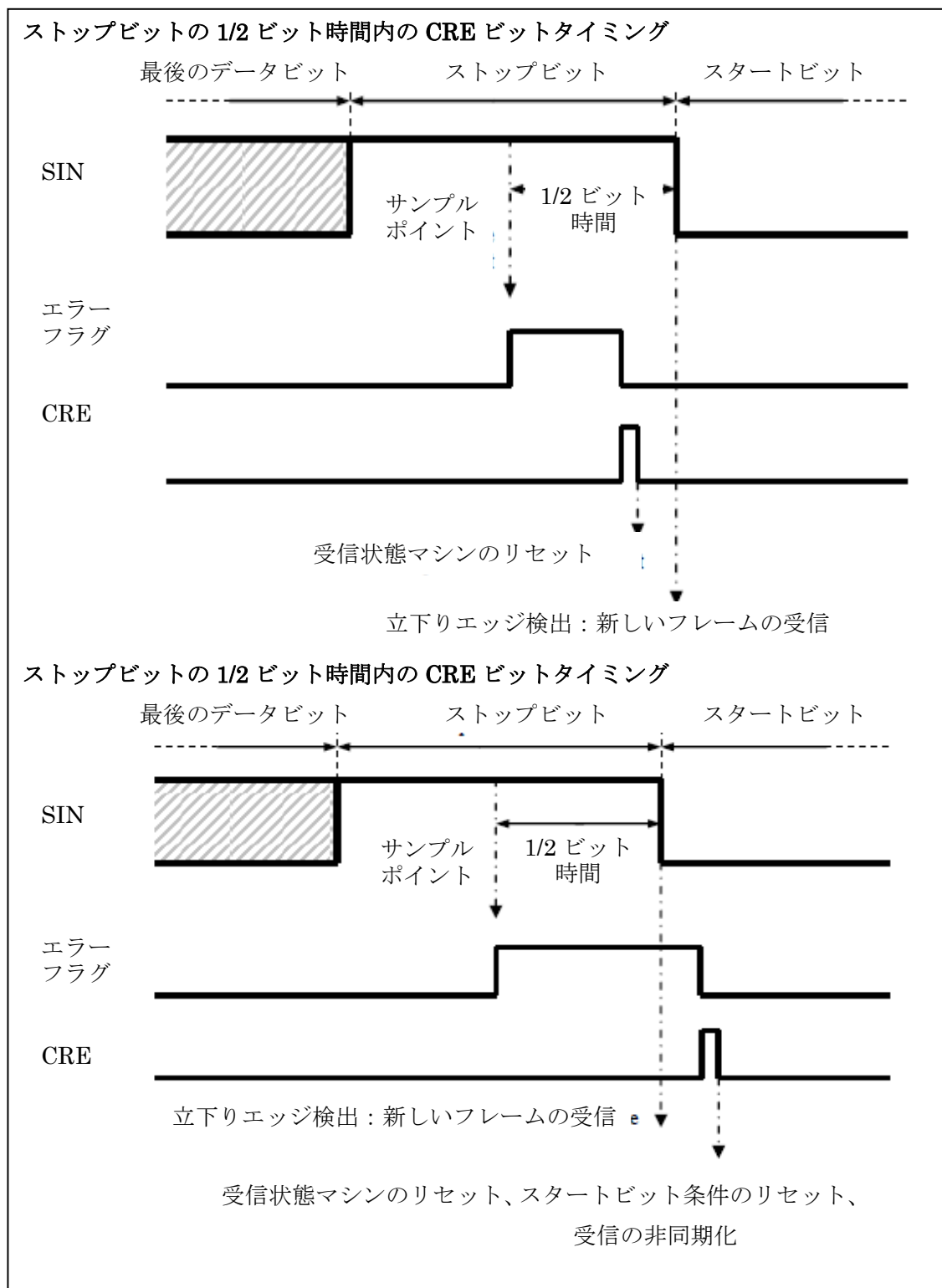


図 2 :

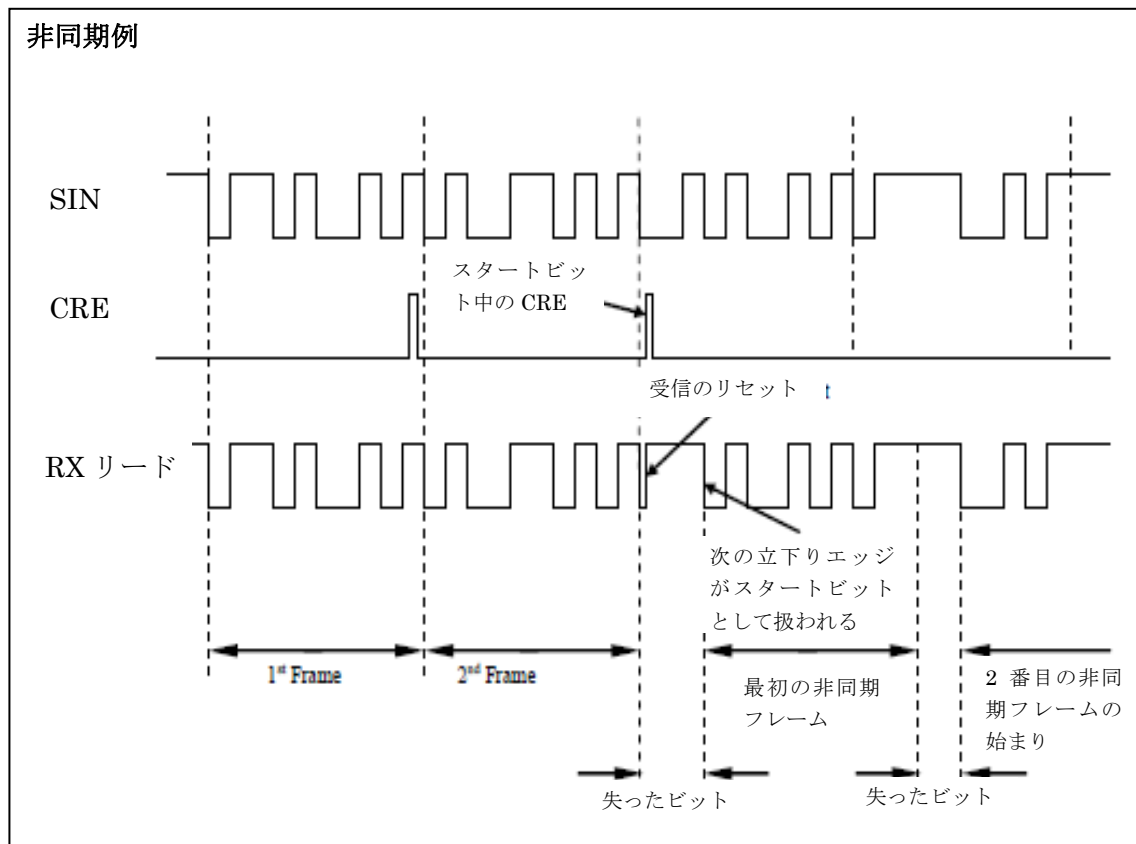
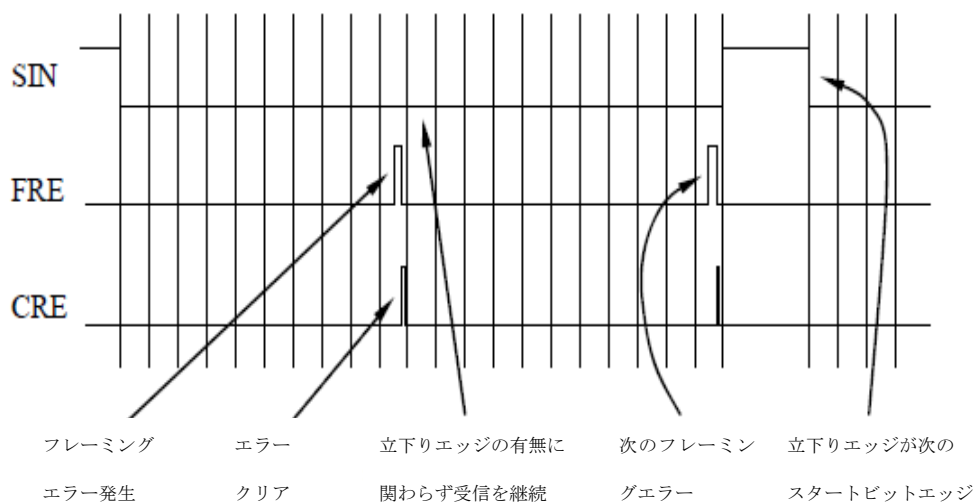


図 3 :

UART ドミナントバス動作

受信が常に許可される場合 (RXE = 1)



受信が一時的に禁止される場合 (RXE = 1 → 0 → 1)

