



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

#### 商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

#### オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

#### 詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

#### サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM<sup>TM</sup>、SRAM、Traveo<sup>TM</sup> マイクロコントローラー、業界唯一の PSoC<sup>®</sup> プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense<sup>®</sup> 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth<sup>®</sup> Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

## 正誤表

MB91260B Series ハードウェアマニュアル 第2版 (CM71-10127-2) に対する正誤表です。

FR60Lite

32ビット・マイクロコントローラ

MB91260B Series

ハードウェアマニュアル

2009. 4. 1

※ : 訂正箇所

| 日付           | ページ | 項目       | 訂正内容   |
|--------------|-----|----------|--|
| 2009/<br>4/1 | 25  | 2. 1     | <p>「■ デバイスの使用上の注意」に、以下の■で示す項目を追加。</p> <p>● 同期モードのソフトウェアリセットについて</p> <p>同期モードのソフトウェアリセットを使用するときは、STCR（スタンバイ制御レジスタ）のSRST ビットに“0”を設定する前に、以下2 つの条件を必ず満たしてください。</p> <ul style="list-style-type: none"> <li>・ 割込み許可フラグ(I-Flag) を割込み禁止(I-Flag=0) に設定する。</li> <li>・ NMIを使用しない。</li> </ul>  |
| 2009/<br>4/1 | 74  | 3. 11. 1 | <p>「● PLL 通倍設定」から、以下の■で示す文を削除。</p> <p>● PLL 通倍設定</p> <p>PLL 通倍率設定を初期値より変更する場合、プログラム動作開始後、PLL を動作許可する前または同時に設定してください。通倍率変更後は、ロック待ち時間経過後にソースクロックを切り換えてください。この際のPLL ロック待ち時間は、タイムベースタイマ割込みを使用することを推奨致します。動作中にPLL 通倍率設定を変更する場合、いったんソースクロックをPLL 以外に切り換えてから変更してください。通倍率変更後は、上記と同様にロック待ち時間経過後にソースクロックを切り換えてください。</p> <p>PLL 通倍率設定の変更を、PLL 使用中に変更することも可能ですが、この際は通倍率設定書換え後から自動的に発振安定待ち状態に移移し、設定された発振安定待ち時間が経過するまでの間はプログラム動作が停止します。PLL 以外にクロックソースを切り換えた場合は、プログラム動作は停止しません。</p> <p style="text-align: right;">[mcu_doc:0849]</p> |
| 2009/<br>4/1 | 81  | 3. 11. 6 | <p>「■ RSRR：リセット要因レジスタ/ ウォッチドッグタイマ制御レジスタ」の「[ ビット11] SRST (Software ReSeT occurred)」に、以下の■で示す文を追加。</p> <p>[ ビット11] SRST (Software ReSeT occurred)</p> <p>STCRレジスタのSRSTビット書き込み（ソフトウェアリセット）によるリセット（RST）の発生の有無を示します。</p> <p>同期モードのソフトウェアリセットの使用に関してはTBCR（タイムベースカウンタ制御レジスタ）のbit9:SYNCR ビットの制限事項を参照してください。</p>  |

| 日付           | ページ | 項目     | 訂正内容   |
|--------------|-----|--------|--|
| 2009/<br>4/1 | 86  | 3.11.6 | <p>「■ TBCR：タイムベースカウンタ制御レジスタ」の「[ビット9] SYNCR (SYNChronous Reset enable)」に、以下の■で示す注意事項を追加。</p> <hr/> <p>&lt;注意事項&gt;</p> <p>同期モードのソフトウェアリセットを使用するときは、STCR(スタンバイ制御レジスタ)のSRST ビットに“0”を設定する前に、以下2つの条件を必ず満たしてください。</p> <ul style="list-style-type: none"> <li>・割り込み許可フラグ(I-Flag) を割り込み禁止(I-Flag=0) に設定する。</li> <li>・NMIを使用しない。</li> </ul> <hr/> |