



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

#### 商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

#### オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

#### 詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

#### サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM<sup>TM</sup>、SRAM、Traveo<sup>TM</sup> マイクロコントローラー、業界唯一の PSoC<sup>®</sup> プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense<sup>®</sup> 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth<sup>®</sup> Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

## 正誤表

MB91F127/128 ハードウェアマニュアル 第1版 (CM71-10115-1) に対する正誤表です。

FR30

32ビット・マイクロコントローラ

MB91F127/128

ハードウェアマニュアル

2008. 12. 24

[旧正誤表データも、本正誤表に含みます。]

※ : 訂正箇所

日付	ページ	項目	訂正内容												
2004/4/21	17	2. 1	<p>ページの終わりに、 で示したように二つの ■ 項目を追加。</p> <p>■ PLLクロックモード動作中の注意について</p> <p>本マイコンでPLLクロックを選択しているときに発振子が外れたり、あるいはクロック入力 が停止した場合、本マイコンはPLL内部の自励発振回路の自走周波数で動作を継続し続ける場 合があります。この動作は保証外の動作です。</p> <p>■ ウォッチドッグタイマ機能について</p> <p>FRファミリが備えているウォッチドッグタイマ機能は、プログラムが一定時間内にリセッ ト延期動作を行うことを監視し、プログラムの暴走によりリセット延期動作が行われなかつ たときに、CPUをリセットするための機能です。そのため、一度ウォッチドッグタイマ機能 を有効にすると、リセットを掛けるまで動作を続けます</p> <p>例外として、CPUのプログラム実行が停止する条件では自動的にリセット延期を行います。 この例外にあてはまる条件については、ウォッチドッグタイマの機能説明の項を参照してく ださい。</p>												
2004/4/21	43	3. 8. 2	<p>「■ 遅延スロットなし分岐命令の動作説明」の [例] を、下記の で示したように訂正。</p> <p>(誤) (正)</p> <p>MOV 2, R3 MOV R2, R3</p>												
2008/12/24	67	3. 11. 5	<p>「■ ギア制御レジスタ (GCR) のレジスタ構成」の「【ビット8】:CHC」を、以下の で示すように訂正。</p> <p>(誤)</p> <table><tr><td>CHC</td><td>クロック選択</td></tr><tr><td>0</td><td>発振回路の2分周を基準クロックとして使用 [初期値]</td></tr><tr><td>1</td><td>PLLからの発振出力を基準クロックとして使用</td></tr></table> <p>(正)</p> <table><tr><td>CHC</td><td>クロック選択</td></tr><tr><td>0</td><td>PLLからの発振出力を基準クロックとして使用</td></tr><tr><td>1</td><td>発振回路の2分周を基準クロックとして使用 [初期値]</td></tr></table> <p>[mcu_doc0631]</p>	CHC	クロック選択	0	発振回路の2分周を基準クロックとして使用 [初期値]	1	PLLからの発振出力を基準クロックとして使用	CHC	クロック選択	0	PLLからの発振出力を基準クロックとして使用	1	発振回路の2分周を基準クロックとして使用 [初期値]
CHC	クロック選択														
0	発振回路の2分周を基準クロックとして使用 [初期値]														
1	PLLからの発振出力を基準クロックとして使用														
CHC	クロック選択														
0	PLLからの発振出力を基準クロックとして使用														
1	発振回路の2分周を基準クロックとして使用 [初期値]														
2004/4/21	68	3. 11. 6	<p>【ビット7～0】の記述で、 で示した文章を削除。</p> <p>・・・ウォッチドッグリセットが発生します。ただし、ストップ、スリープ、ホールド中は 自動的にクリアを行いますので、これらの条件が発生すると、ウォッチドッグリセットは 自動的に延期されます。</p>												

日付	ページ	項目	訂正内容						
2004/4/21	69	3. 11. 7	表3. 11-6の3行目と4行目の間に、下記の で示した1行を追加。  <table><tr><td>(SLCT1)</td><td>(SLCT1)</td><td>(内部動作周波数)</td></tr><tr><td>1</td><td>0</td><td>設定禁止</td></tr></table>	(SLCT1)	(SLCT1)	(内部動作周波数)	1	0	設定禁止
(SLCT1)	(SLCT1)	(内部動作周波数)							
1	0	設定禁止							
2004/4/21	72	3. 11. 8	図3. 11-11の後(注意事項の前に)、 で示した 項目を追加。  ■ プログラム以外のリセット延期要因 ウォッチドッグタイマは次の要因により自動的にリセット発生を延期します。 1) ストップ、スリープ 2) DMA転送 3) エミュレータデバッグ、モニタデバッグを使用時のブレーク中 4) INTE命令の実行 5) ステップトレーストラップ(PSレジスタのT=1による1命令ごとのブレーク)						
2004/4/21	81	3. 11. 13	図 3. 11-17の記述を下記の で示したように訂正。  (誤)  (正) 						
2004/4/21	82	3. 11. 13	図 3. 11-18のPLL入力のブロックを下記の で示したように訂正。  (誤)  (正) 						
2004/4/21	84	3. 12	「■ スリープ状態の概要」で、「● 割込み要求」の下記の で示した文章を削除。  注：INT4とINT5は、ストップ状態からの復帰に使用できません。						
2004/4/21	115	4. 4	「■ データバス幅と制御信号との関係」で、下記の で示した●項目を削除。  ● DRAMインタフェース						
2004/4/21	117	4. 4. 1	ページ全体(○項目、図4. 4-3、表4. 4-1)を削除。						

日付	ページ	項目	訂正内容																										
2004/4/21	143	4. 5. 7	<p>【動作説明】の2番目の●項目を で示したように訂正。</p> <p>(誤) . . .を設定してください。自動ウェイトサイクル中はRDYの検出はせず、自動ウェイトサイクル後検出します。</p> <p style="text-align: center;">↓</p> <p>(正) . . .を設定してください。自動ウェイトの最終サイクルからRDYを検出します。</p>																										
2004/4/21	155	5. 4	<p>表5. 4-1の端子番号欄の「59～64, 66, 67」の行と「22」の行を、下記の で示したように訂正。</p> <table><tr><th>端子番号</th><th>端子記号</th><th>初期値</th><th>切換えレジスタ</th></tr><tr><td rowspan="2">59～64</td><td>P60～P65</td><td rowspan="2">P60～P65</td><td>EPCR1 (AE16～AE21ビット)</td></tr><tr><td>A16～A21</td><td>0: P60～P65 1: A16～A21</td></tr><tr><td rowspan="3">66, 67</td><td>P66, P67</td><td rowspan="3">P66, P67</td><td>EPCR1 (AE22, AE23ビット)</td></tr><tr><td>A22, A23</td><td>0: P66, P67</td></tr><tr><td>IN2, IN3</td><td>1: A22, A23 端子がポート動作中はIN2, IN3として動作します。</td></tr><tr><td>.</td><td>.</td><td>.</td><td>.</td></tr><tr><td>22</td><td>P83</td><td>P83</td><td>MD0～2, MO, M1で設定したモードで自動的に切り替わります。 シングルチップ : P83 外部バス : RD</td></tr></table>	端子番号	端子記号	初期値	切換えレジスタ	59～64	P60～P65	P60～P65	EPCR1 (AE16～AE21ビット)	A16～A21	0: P60～P65 1: A16～A21	66, 67	P66, P67	P66, P67	EPCR1 (AE22, AE23ビット)	A22, A23	0: P66, P67	IN2, IN3	1: A22, A23 端子がポート動作中はIN2, IN3として動作します。	.	.	.	.	22	P83	P83	MD0～2, MO, M1で設定したモードで自動的に切り替わります。 シングルチップ : P83 外部バス : RD
端子番号	端子記号	初期値	切換えレジスタ																										
59～64	P60～P65	P60～P65	EPCR1 (AE16～AE21ビット)																										
	A16～A21		0: P60～P65 1: A16～A21																										
66, 67	P66, P67	P66, P67	EPCR1 (AE22, AE23ビット)																										
	A22, A23		0: P66, P67																										
	IN2, IN3		1: A22, A23 端子がポート動作中はIN2, IN3として動作します。																										
.	.	.	.																										
22	P83	P83	MD0～2, MO, M1で設定したモードで自動的に切り替わります。 シングルチップ : P83 外部バス : RD																										
2004/4/21	190	8. 1	<p>「■ 多機能タイマの構成」で、「○ 16ビットフリーランタイム(×1)」の1番目の●項目を で示したように訂正。</p> <p>● カウンタ動作クロックは8種類から選択可能です。 内部クロック8種類(Φ, Φ/2, Φ/4, Φ/8, Φ/16, Φ/32, Φ/64, Φ/128) Φ: マシンクロック</p>																										
2004/4/21	191	8. 2	<p>図8. 2-1の記述を下記の で示したように訂正。</p> <table><tr><td>(誤)</td><td>(正)</td></tr><tr><td>コンペアレジスタ 0/2/4</td><td>コンペアレジスタ 0/2</td></tr><tr><td>コンペアレジスタ 1/3/5</td><td>コンペアレジスタ 1/3</td></tr><tr><td>OC 0/2/4</td><td>OC 0/2</td></tr><tr><td>OC 1/3/5</td><td>OC 1/3</td></tr></table>	(誤)	(正)	コンペアレジスタ 0/2/4	コンペアレジスタ 0/2	コンペアレジスタ 1/3/5	コンペアレジスタ 1/3	OC 0/2/4	OC 0/2	OC 1/3/5	OC 1/3																
(誤)	(正)																												
コンペアレジスタ 0/2/4	コンペアレジスタ 0/2																												
コンペアレジスタ 1/3/5	コンペアレジスタ 1/3																												
OC 0/2/4	OC 0/2																												
OC 1/3/5	OC 1/3																												
2004/4/21	193	8. 3. 1	<p>「■ データレジスタ (TCDT) の構成」の3番目の●項目を で示したように訂正。</p> <p>● コンペアクリアレジスタ (Ch. 2のコンペアレジスタ) 値とタイマカウンタ値の一致による初期化(モード設定が必要です)</p>																										
2004/4/21	193	8. 3. 1	<p>「■ コンペアクリアレジスタ」の記述を で示したように訂正。</p> <p>16ビットフリーランタイムと比較する16ビット長のコンペアレジスタです。アウトプットコンペアのCh. 2のコンペアレジスタが使用されます。 . . .</p>																										

日付	ページ	項目	訂正内容																											
2004/4/21	195	8. 3. 1	<p>【ビット4】の記述を で示したように訂正。</p> <p>・・・のほかにアウトプットコンペアのコンペアレジスタ2の値との一致によりカウンタ値を初期化することができます。 (表中の機能欄)</p> <table><tr><td>1</td><td>リセット, クリアビット, コンペアレジスタ2による初期化</td></tr></table>	1	リセット, クリアビット, コンペアレジスタ2による初期化																									
1	リセット, クリアビット, コンペアレジスタ2による初期化																													
2004/4/21	196	8. 3. 2	<p>図8. 3-4のコンペアレジスタ上位および下位のアドレスを で示したように訂正。</p> <table><tr><td>(誤)</td><td></td><td>(正)</td></tr><tr><td>0054<sub>H</sub></td><td>→</td><td>0056<sub>H</sub></td></tr><tr><td>0056<sub>H</sub></td><td>→</td><td>0054<sub>H</sub></td></tr><tr><td>0058<sub>H</sub></td><td>→</td><td>005A<sub>H</sub></td></tr><tr><td>005A<sub>H</sub></td><td>→</td><td>0058<sub>H</sub></td></tr><tr><td>0055<sub>H</sub></td><td>→</td><td>0057<sub>H</sub></td></tr><tr><td>0057<sub>H</sub></td><td>→</td><td>0055<sub>H</sub></td></tr><tr><td>0059<sub>H</sub></td><td>→</td><td>005B<sub>H</sub></td></tr><tr><td>005B<sub>H</sub></td><td>→</td><td>0059<sub>H</sub></td></tr></table>	(誤)		(正)	0054 <sub>H</sub>	→	0056 <sub>H</sub>	0056 <sub>H</sub>	→	0054 <sub>H</sub>	0058 <sub>H</sub>	→	005A <sub>H</sub>	005A <sub>H</sub>	→	0058 <sub>H</sub>	0055 <sub>H</sub>	→	0057 <sub>H</sub>	0057 <sub>H</sub>	→	0055 <sub>H</sub>	0059 <sub>H</sub>	→	005B <sub>H</sub>	005B <sub>H</sub>	→	0059 <sub>H</sub>
(誤)		(正)																												
0054 <sub>H</sub>	→	0056 <sub>H</sub>																												
0056 <sub>H</sub>	→	0054 <sub>H</sub>																												
0058 <sub>H</sub>	→	005A <sub>H</sub>																												
005A <sub>H</sub>	→	0058 <sub>H</sub>																												
0055 <sub>H</sub>	→	0057 <sub>H</sub>																												
0057 <sub>H</sub>	→	0055 <sub>H</sub>																												
0059 <sub>H</sub>	→	005B <sub>H</sub>																												
005B <sub>H</sub>	→	0059 <sub>H</sub>																												
2004/4/21	198	8. 3. 2	<p>【ビット1, 0】の記述を で示したように訂正。</p> <p>16ビットフリーランタイムとの一致動作を許可するビットです。コンペア動作を許可する前に必ずコンペアレジスタ値およびアウトプットコントロールレジスタ値を設定してください。</p> <table><tr><td>CST</td><td>機能</td></tr><tr><td>0</td><td>コンペア動作禁止 (初期値)</td></tr><tr><td>1</td><td>コンペア動作許可</td></tr></table> <p>CST1: アウトプットコンペア1に対応 CST0: アウトプットコンペア0に対応</p>	CST	機能	0	コンペア動作禁止 (初期値)	1	コンペア動作許可																					
CST	機能																													
0	コンペア動作禁止 (初期値)																													
1	コンペア動作許可																													
2004/4/21	199	8. 3. 3	<p>図8. 3-6のインプットキャプチャデータレジスタ上位および下位のアドレスを で示したように訂正。</p> <table><tr><td>(誤)</td><td></td><td>(正)</td></tr><tr><td>0044<sub>H</sub></td><td>→</td><td>0046<sub>H</sub></td></tr><tr><td>0046<sub>H</sub></td><td>→</td><td>0044<sub>H</sub></td></tr><tr><td>0048<sub>H</sub></td><td>→</td><td>004A<sub>H</sub></td></tr><tr><td>004A<sub>H</sub></td><td>→</td><td>0048<sub>H</sub></td></tr><tr><td>0045<sub>H</sub></td><td>→</td><td>0047<sub>H</sub></td></tr><tr><td>0047<sub>H</sub></td><td>→</td><td>0045<sub>H</sub></td></tr><tr><td>0049<sub>H</sub></td><td>→</td><td>004B<sub>H</sub></td></tr><tr><td>004B<sub>H</sub></td><td>→</td><td>0049<sub>H</sub></td></tr></table>	(誤)		(正)	0044 <sub>H</sub>	→	0046 <sub>H</sub>	0046 <sub>H</sub>	→	0044 <sub>H</sub>	0048 <sub>H</sub>	→	004A <sub>H</sub>	004A <sub>H</sub>	→	0048 <sub>H</sub>	0045 <sub>H</sub>	→	0047 <sub>H</sub>	0047 <sub>H</sub>	→	0045 <sub>H</sub>	0049 <sub>H</sub>	→	004B <sub>H</sub>	004B <sub>H</sub>	→	0049 <sub>H</sub>
(誤)		(正)																												
0044 <sub>H</sub>	→	0046 <sub>H</sub>																												
0046 <sub>H</sub>	→	0044 <sub>H</sub>																												
0048 <sub>H</sub>	→	004A <sub>H</sub>																												
004A <sub>H</sub>	→	0048 <sub>H</sub>																												
0045 <sub>H</sub>	→	0047 <sub>H</sub>																												
0047 <sub>H</sub>	→	0045 <sub>H</sub>																												
0049 <sub>H</sub>	→	004B <sub>H</sub>																												
004B <sub>H</sub>	→	0049 <sub>H</sub>																												
2004/4/21	202	8. 4. 1	<p>「■ 16ビットフリーランタイムの動作説明」の2番目の●項目を で示したように訂正。</p> <p>● コンペアクリアレジスタ(アウトプットコンペア Ch. 2のコンペアレジスタ)値とコンペアマッチしたとき。(モード設定が必要)</p>																											

日付	ページ	項目	訂正内容																																																												
2004/4/21	229	12. 2. 1	<p>表12. 2-1の割込みレベル欄を で示すように訂正。</p> <table><tr><th>ICR4</th><th>ICR3</th><th>ICR2</th><th>ICR1</th><th>ICR0</th><th colspan="2">割込みレベル</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td rowspan="3">システム予約</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>14</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>15</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>16</td><td>設定可能な最強レベル</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>17</td><td rowspan="3">(強)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>18</td></tr><tr><td>・</td><td>・</td><td>・</td><td>・</td><td>・</td><td>・</td></tr><tr><td>・</td><td>・</td><td>・</td><td>・</td><td>・</td><td>・</td><td></td></tr></table>	ICR4	ICR3	ICR2	ICR1	ICR0	割込みレベル		0	0	0	0	0	0	システム予約	0	1	1	1	0	14	0	1	1	1	1	15	1	0	0	0	0	16	設定可能な最強レベル	1	0	0	0	1	17	(強)	1	0	0	1	0	18	・	・	・	・	・	・	・	・	・	・	・	・		
ICR4	ICR3	ICR2	ICR1	ICR0	割込みレベル																																																										
0	0	0	0	0	0	システム予約																																																									
0	1	1	1	0	14																																																										
0	1	1	1	1	15																																																										
1	0	0	0	0	16	設定可能な最強レベル																																																									
1	0	0	0	1	17	(強)																																																									
1	0	0	1	0	18																																																										
・	・	・	・	・	・																																																										
・	・	・	・	・	・																																																										
2004/4/21	247	13. 2. 3	<p>図13. 2-5を のように訂正。</p> <p>(誤)</p> <table><tr><td>bit</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td><td>初期値</td></tr><tr><td>アドレス 0000D5<sub>H</sub></td><td>A17</td><td>A16</td><td>A15</td><td>A14</td><td>A13</td><td>A12</td><td>A11</td><td>A10</td><td>11111111<sub>B</sub></td></tr><tr><td></td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td></td></tr></table> <p>(正)</p> <table><tr><td>bit</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td><td>初期値</td></tr><tr><td>アドレス 0000D5<sub>H</sub></td><td>A17</td><td>A16</td><td>A15</td><td>A14</td><td>A13</td><td>A12</td><td>A11</td><td>A10</td><td>11111111<sub>B</sub></td></tr><tr><td></td><td>W</td><td>W</td><td>W</td><td>W</td><td>W</td><td>W</td><td>W</td><td>W</td><td></td></tr></table>	bit	7	6	5	4	3	2	1	0	初期値	アドレス 0000D5 <sub>H</sub>	A17	A16	A15	A14	A13	A12	A11	A10	11111111 <sub>B</sub>		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		bit	7	6	5	4	3	2	1	0	初期値	アドレス 0000D5 <sub>H</sub>	A17	A16	A15	A14	A13	A12	A11	A10	11111111 <sub>B</sub>		W	W	W	W	W	W	W	W	
bit	7	6	5	4	3	2	1	0	初期値																																																						
アドレス 0000D5 <sub>H</sub>	A17	A16	A15	A14	A13	A12	A11	A10	11111111 <sub>B</sub>																																																						
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																							
bit	7	6	5	4	3	2	1	0	初期値																																																						
アドレス 0000D5 <sub>H</sub>	A17	A16	A15	A14	A13	A12	A11	A10	11111111 <sub>B</sub>																																																						
	W	W	W	W	W	W	W	W																																																							
2004/4/21	280	15. 3. 2	<p>「<span style="background-color: black; color: black;">■</span> DMAC コントロールステータスレジスタ (DACSР) のビット詳細」の【ビット 31, 27, 23, 19, 15, 11, 7, 3】DERn(DMA ERror)の注意事項として以下の記述を追加。</p> <p>&lt;注意事項&gt;</p> <div><div>DMA転送要求元のエラーステータス</div><div>DMACコントロールステータスレジスタ (DACSР) のDERnビットでDMA要求発生元にエラーが発生したことを通知できるのは、ch4のみです。</div><div>UART ch0の受信割込みをDMA転送要求として使用している場合に、</div><div><div>・パリティエラー</div><div>・オーバランエラー</div><div>・フレーミングエラー</div></div><div>が発生するとDER4ビットが“1”となります。</div></div>																																																												
2004/4/21	336	付録 A	<p>付表A-1を のように訂正。</p> <p>(誤)</p> <table><tr><th rowspan="2">アドレス</th><th colspan="4">レジスタ</th><th rowspan="2">内部リソース</th></tr><tr><th>+0</th><th>+1</th><th>+2</th><th>+3</th></tr><tr><td>0000D4<sub>H</sub></td><td>-</td><td>AIC3 [R/W] 11111111</td><td>-</td><td>-</td><td>A/Dコンバータ</td></tr></table> <p>(正)</p> <table><tr><th rowspan="2">アドレス</th><th colspan="4">レジスタ</th><th rowspan="2">内部リソース</th></tr><tr><th>+0</th><th>+1</th><th>+2</th><th>+3</th></tr><tr><td>0000D4<sub>H</sub></td><td>-</td><td>AIC3 [W] 11111111</td><td>-</td><td>-</td><td>A/Dコンバータ</td></tr></table>	アドレス	レジスタ				内部リソース	+0	+1	+2	+3	0000D4 <sub>H</sub>	-	AIC3 [R/W] 11111111	-	-	A/Dコンバータ	アドレス	レジスタ				内部リソース	+0	+1	+2	+3	0000D4 <sub>H</sub>	-	AIC3 [W] 11111111	-	-	A/Dコンバータ																												
アドレス	レジスタ				内部リソース																																																										
	+0	+1	+2	+3																																																											
0000D4 <sub>H</sub>	-	AIC3 [R/W] 11111111	-	-	A/Dコンバータ																																																										
アドレス	レジスタ				内部リソース																																																										
	+0	+1	+2	+3																																																											
0000D4 <sub>H</sub>	-	AIC3 [W] 11111111	-	-	A/Dコンバータ																																																										