

## サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

## 文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

## 注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

# 2Mビット (256 K×8) シリアル (SPI) F-RAM

## 特長

- 256K×8構成の2Mビット強誘電体RAM (F-RAM)
  - 高耐久性:100兆 ( $10^{14}$ )回の読み出し/書き込み
  - 151年のデータ保持 (データ保持期間およびアクセス可能回数表を参照)
  - NoDelay™書き込み
  - 先端の高信頼性強誘電体プロセス
- 非常に高速なSPI
  - 最大周波数40MHz
  - シリアルフラッシュおよびEEPROMからの置き換え
  - SPIモード0 (0, 0)およびモード3 (1, 1)をサポート
- 洗練された書き込み保護スキーム
  - 書き込み保護(WP)ピンを使用したハードウェアによる保護
  - 書き込みディセーブル命令を使用したソフトウェアによる保護
  - アレイの1/4、1/2または全体を対象としたソフトウェアブロック保護
- デバイスID
  - メーカーIDおよび製品ID
- 低消費電力
  - 1MHz時のアクティブ電流800  $\mu$ A
  - 100  $\mu$ A (Typ)のスタンバイ電流
  - 3  $\mu$ Aのスリープモード電流
- 低動作電圧:  $V_{DD} = 2.0V \sim 3.6V$
- 産業用途向け温度範囲:  $-40^{\circ}C \sim +85^{\circ}C$
- パッケージ
  - 8ピン小型外形集積回路(SOIC)パッケージ
  - 8ピンのデュアルフラットノーリード(DFN)パッケージ
- RoHS準拠

## 機能概要

FM25V20Aは高度な強誘電体プロセスを使用する2Mビットの不揮発性メモリです。強誘電体ランダムアクセスメモリまたはF-RAMは不揮発性であり、RAMと同様に読み取りと書き込みを実行します。シリアルフラッシュ、EEPROM、およびその他の不揮発性メモリによって引き起こされる複雑さ、オーバーヘッド、およびシステムレベルの信頼性の問題を排除しながら、151年間の信頼性の高いデータ保持を提供します。

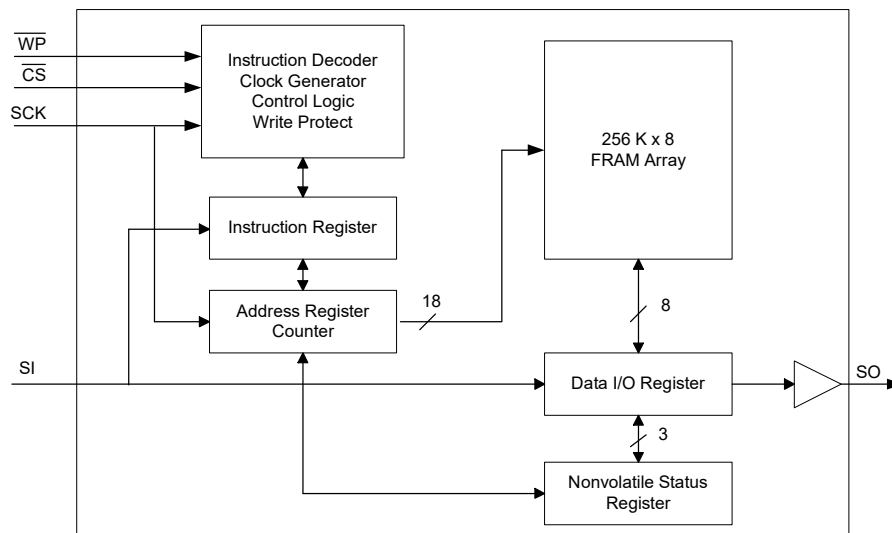
シリアルフラッシュやEEPROMと異なり、FM25V20Aはバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータポーリングを必要とせず開始できます。また本製品は他の不揮発性メモリと比較して多くの書き込み可能回数を提供しています。FM25V20Aは、 $10^{14}$ 回の読み出し/書き込みサイクル、またはEEPROMに比べ1億倍の書き込みサイクルに対応できます。

これらの能力により、FM25V20Aは頻繁で急速書き込みを必要とする不揮発性メモリの用途に理想的なものになります。用途例は、書き込み回数を重視するデータ収集から、シリアルフラッシュやEEPROMを使った長い書き込み時間に起因してデータを損失する可能性がある厳しい産業用制御まで及びます。

FM25V20Aはハードウェア置き換えができるため、シリアルEEPROMやフラッシュを使用するユーザに大幅な利点を提供します。FM25V20Aは、F-RAM技術の高速な書き込み機能を強化する高速SPIバスを使用します。デバイスは読み出し専用デバイスIDを内蔵しています。これにより、ホストはメーカー、製品の容量、製品のレビジョンを判断することができます。デバイス仕様は、産業用温度範囲 $-40^{\circ}C \sim +85^{\circ}C$ の範囲において保証されます。

すべての関連資料の一覧を表示するには、[ここをクリックしてください](#)。

## 論理ブロック図



## 目次

端子配置 .....	3	動作範囲 .....	12
端子機能 .....	3	DC電気的特性 .....	12
概要 .....	4	データ保持期間およびアクセス可能回数 .....	13
メモリアーキテクチャ .....	4	容量性 .....	13
シリアルペリフェラルインターフェース- SPIバス .....	4	熱抵抗 .....	13
SPI概要 .....	4	ACテスト条件 .....	13
SPIモード .....	5	スイッチングのAC特性 .....	14
電源投入時から最初のアクセスまで .....	5	パワー サイクル タイミング .....	15
コマンドの構成 .....	6	注文情報 .....	16
WREN - 書き込みイネーブルラッチの設定 .....	6	注文コード定義 .....	16
WRDI - 書き込みイネーブルラッチのリセット .....	6	パッケージ外形図 .....	17
ステータス レジスタおよび書き込み保護 .....	7	略語 .....	19
RDSR -ステータス レジスタの読み出し .....	7	本書の表記法 .....	19
メモリの動作 .....	9	測定単位 .....	19
書き込み動作 .....	9	改訂履歴 .....	20
読み出し動作 .....	9	セールス、ソリューションおよび法律情報 .....	21
高速読み出し動作 .....	9	ワールドワイド販売と設計サポート .....	21
スリープモード .....	10	製品 .....	21
デバイスID .....	10	PSoC®ソリューション .....	21
アクセス可能回数 .....	11	サイプレス開発者コミュニティ .....	21
最大定格 .....	12	テクニカルサポート .....	21

## 端子配置

図 1. 8ピンSOIC端子配置

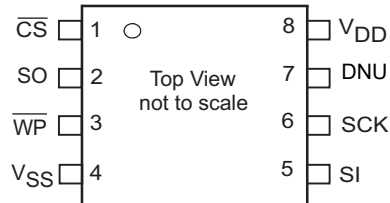
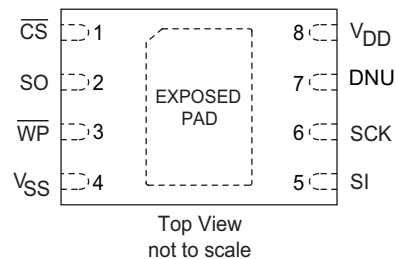


図 2. 8ピンDFN端子配置



## 端子機能

端子名	入出力	変更内容
CS	入力	<b>チップセレクト。</b> このアクティブLOW入力でデバイスを起動させます。HIGHになった場合、デバイスは低消費電力のスタンバイ モードに移行し、他の入力を無視し、出力をトリステートにします。LOWになった場合、デバイスがSCK信号を内部でアクティブにします。CSの立ち下りエッジは、すべてのオペコードの発行前に発生させてください。
SCK	入力	<b>シリアルクロック。</b> 入出力はシリアルクロックに同期されます。入力は立ち上りエッジにラッチされ、出力は立ち下りエッジで駆動されます。同期デバイスであるため、クロック周波数は0~40MHz範囲内であり、いつでも割り込まれる可能性があります。
SI <sup>[1]</sup>	入力	<b>シリアル入力。</b> このピンからデバイスにデータを入力します。入力はSCKの立ち上りエッジでサンプリングされ、それ以外では無視されます。IDD仕様を満たすため、入力を有効な論理レベルに駆動する必要があります。
SO <sup>[1]</sup>	出力	<b>シリアル出力。</b> データ出力ピンです。読み出し中に駆動され、そのとき以外ではトリステートのままです。データ遷移はシリアル クロックの立ち下りエッジで実現します。
WP	入力	<b>書き込み保護。</b> このアクティブLOWピンはWPENが「1」にセットされる際ステータスレジスタへの書き込み動作は無効です。その他の書き込み保護機能はステータス レジスタによって制御されるため、このことは重要です。書き込み保護の完全な説明は、 <a href="#">ステータス レジスタおよび書き込み保護</a> に記載されています。このピンを使用しない場合、V <sub>DD</sub> に接続してください。
DNU	使用禁止	<b>未使用:</b> このピンは開放(基板上で未接続)またはV <sub>DD</sub> に接続します。
V <sub>SS</sub>	電源供給	デバイス用のグランド。システムのグランドに接続する必要があります。
V <sub>DD</sub>	電源供給	デバイス電源入力
エクスポーズドパッド	未接続	8ピンDFNパッケージのEXPOSED PADはダイに接続されていません。EXPOSED PADはPCBにはんだ付けしないでください。

### Note

1. SIをSOと接続し1本のデータインターフェースとして利用されることがあります。

## 概要

FM25V20AはシリアルF-RAMメモリです。メモリ アレイは262,144×8ビットに論理構成され、業界標準SPIバスを介してアクセスされます。FM25V20Aとシリアルフラッシュや同じピン配置のEEPROMとで違う点は、F-RAMの優れた書き込み性能、高アクセス可能回数、低消費電力です。

### メモリアーキテクチャ

FM25V20Aのアクセスには、8データビットごとの256K箇所の位置をアドレス指定します。これら8個のデータビットは順次シフトイン/シフトアウトされます。アドレスは、チップセレクト(バス上で複数デバイスを許可する)とオペコード、3バイトのアドレスを含むSPIプロトコルを使ってアクセスされます。アドレス範囲の上位6ビットは「ドント ケア」値です。18ビットのアドレスで、一意的に各バイト アドレスを指定します。

FM25V20Aのほとんどの機能は、SPIインターフェースにより制御されるか、または基板上に搭載された回路によって処理されます。メモリ動作のためのアクセス時間は基本的にシリアルプロトコルに必要な時間以外は0です。すなわちメモリはSPIバスの速度で読み書きされます。シリアルフラッシュやEEPROMと異なり、書き込み処理がバス速度で行われるので、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバス トランザクションがデバイスに送り込まれるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されます。

### シリアルペリフェラルインターフェース- SPIバス

FM25V20AはSPIスレーブ デバイスであり、40MHzまでの周波数で動作します。この高速シリアルバスにより、SPIマスターとの間で高性能のシリアル通信が可能です。多くの一般的なマイクロコントローラは、直接インターフェースが可能なハードウェアSPIポートを持っています。SPIポートを持たないマイクロコントローラで、通常のポートを使用してSPIポートをエミュレートするのは非常に簡単です。FM25V20Aは、SPIモード0および3で動作します。

### SPI概要

SPIは、チップ セレクト(CS)、シリアル入力 (SI)、シリアル出力 (SO) およびシリアル クロック(SCK)ピンから成る4ピンインターフェースです。

SPIは、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェースです。SPIバス上のデバイスは、CSピンを使用してアクティブにされます。

チップ セレクト、クロック、データの相互関係はSPIモードによります。このデバイスは、SPIモード0および3をサポートしています。これらの両モードで、CSがアクティブになった後の最初の立ち上りエッジから始まるSCKの立ち上りエッジで、データがFRAMにクロック入力されます。

SPIプロトコルはオペコードによって制御されます。これらのオペコードは、バスマスターからスレーブデバイスへのコマンドを指定します。CSがアクティブ化された後、バスマスターから転送される最初のバイトがオペコードです。オペコードに続いて、任意のアドレスとデータが転送されます。動作完了後、新しいオペコードが発行される前に、CSを非アクティブにする必要があります。SPIプロトコルで一般的に使用される用語は以下のとおりです。

#### SPIマスター

SPIマスターデバイスは、SPIバス上のオペレーションを制御します。SPIバスは、複数のスレーブ デバイスを制御する1つのマスターを持っている場合があります。すべてのスレーブが同じSPIバス ラインを共有し、マスターはCSピンを使用してスレーブデバイスのいずれかを選択できます。すべてのオペレーションは、マスターがスレーブのCSピンをLOWにプルダウンすることによってスレーブ デバイスをアクティブにして開始する必要があります。また、マスターはSCKを生成し、SIとSOライン上のすべてのデータ送信はこのクロックと同期されます。

#### SPIスレーブ

SPIスレーブデバイスは、チップセレクトラインを介してマスターによってアクティブにされます。スレーブデバイスは、SPIマスターからの入力としてSCKを取得し、すべての通信はこのクロックと同期されます。SPIスレーブはSPIバス上で通信を開始することではなく、単にマスターからの命令に従い実行します。

FM25V20AはSPIスレーブとして動作し、他のSPIスレーブデバイスとSPIバスを共有する場合があります。

#### チップセレクト(CS)

任意のスレーブデバイスを選択するためには、マスターは対応するCSピンをプルダウンする必要があります。CSピンがLOWの間だけ、命令をスレーブデバイスに発行することができます。デバイスが選択されていない場合、SIピン経由のデータは無視され、シリアル出力ピン(SO)は高インピーダンス状態が保持されます。

**注:** 新しい命令はCSの立ち下りエッジで開始される必要があります。したがって、アクティブなチップ セレクト サイクルごとに1個のオペコードのみが発行されます。

#### シリアルクロック(SCK)

シリアル クロックはSPIマスターによって生成され、CSがLOWになった後、通信はこのクロックに同期されます。

FM25V20Aは、データ通信のためにSPIモード0と3を有効にします。これらの両モードにおいて、入力はSCKの立ち上りエッジでスレーブ デバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCKの最初の立ち上りエッジは、SIピンにSPI命令の最初のビット(MSB)が到着したことを意味します。さらにすべてのデータの入力と出力はSCKと同期されます。

#### データ転送 (SI/SO)

SPIデータバスは、シリアルデータ通信用にSIとSOの2線で構成されます。SIはマスターアウト スレーブイン(MOSI)、SOはマスターイン スレーブアウト(MISO)とも呼ばれます。マスターはSIピンを介してスレーブに命令を発行し、スレーブはSOピンを介して応答します。複数のスレーブデバイスは、前述のようにSIとSOラインを共有する場合があります。

FM25V20Aには図 3に示すようにマスターと接続することができるSIとSO用の2つの独立したピンがあります。

専用SPIバスを持たないマイクロコントローラでは、汎用ポートが使用されることもあります。コントローラのハードウェアリソースを削減するために、2つのデータピン(SI、SO)を相互に接続し、WPピンをタイオフ (HIGH) することができます。図 4に3個のピンだけを使用するコンフィギュレーションを示します。

### 最上位ビット(MSB)

SPIプロトコルでは、最初に送信されるビットが最上位ビット(MSB)でなければなりません。これはアドレスとデータ転送共に該当します。

2Mビット シリアルF-RAMは、すべての読み出しまたは書き込み動作に対応して3バイトのアドレスを必要とします。アドレスは18ビットであるため、入力された最初の6ビットはデバイスによって無視されます。これらの6ビットは「ドントケア」ですが、より高密度メモリへの円滑な移行を可能にするために、これらを0に設定することをサイプレスは推奨します。

### シリアル オペコード

CSがLOWになる状態でスレーブデバイスが選択された後、最初に受信されたバイトは、意図されているオペレーションのオペコードとして扱われます。FM25V20Aは、メモリアクセスに標準オペコードを使用します。

### 無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは次のCSの立ち下りエッジまでSIピン上にある追加のシリアル データを無視し、SOピンはトライステートのままとなります。

### ステータスレジスタ

FM25V20Aには8ビットのステータスレジスタが1つあります。ステータス レジスタ内のビットはデバイス動作を設定するために使用されます。これらのビットは表 3で説明されます。

図 3. SPIポートによるシステム コンフィギュレーション

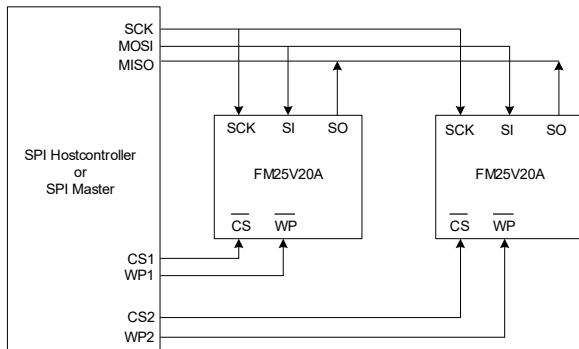
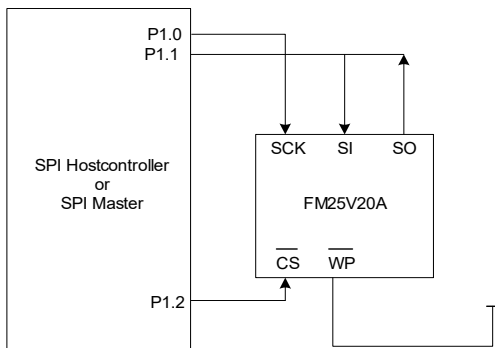


図 4. SPIポートの無いシステム コンフィギュレーション



### SPIモード

FM25V20Aは、SPIペリフェラルが次の2つのモードのいずれかで動作しているマイクロコントローラによって駆動することができます。

■ SPIモード0 (CPOL = 0, CPHA = 0)

■ SPIモード3 (CPOL = 1, CPHA = 1)

これらの両モードで、CSがアクティブ化された後の最初の立ち上りエッジから始まるSCKの立ち上りエッジで入力データがラッチされます。クロックがHIGH状態から起動される場合(モード3)では、入力データはクロック トグル後の最初の立ち上りエッジでラッチされます。出力データはSCKの立ち下りエッジで利用可能となります。

2つのSPIモードは図 5と図 6に示されます。バスマスターがデータを転送していない時のクロックの状態は以下のとおりです。

■ モード0では、SCKが0のままです。

■ モード3では、SCKが1のままです。

CSピンをLOWにすることによりデバイスが選択された時、デバイスはSCKピンの状態からSPIモードを検出します。デバイスが選択された時に、SCKピンがLOWならデバイスはSPIモード0で動作し、SCKピンがHIGHならデバイスはSPIモード3で動作します。

図 5. SPIモード0

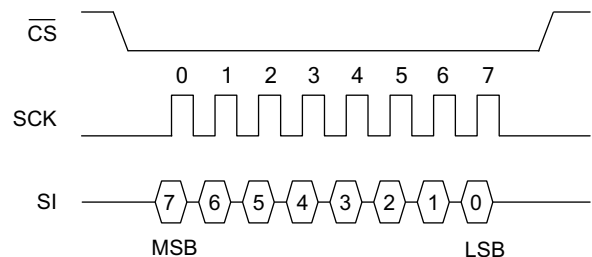
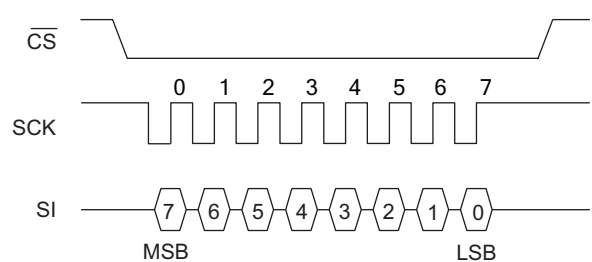


図 6. SPIモード3



### 電源投入時から最初のアクセスまで

電源投入後の $t_{PU}$ の間、FM25V20Aへはアクセスできません。ユーザはタイミング パラメータ、 $t_{PU}$  ( $V_{DD}$  (min)からCSが初めてLOWになる時までの最短期間)に従わねばなりません。



## コマンドの構成

バス マスターがに発行するコマンド(オペコードと呼ばれる)は9個あります。これらを表 1に示します。これらのオペコードはメモリが実行する機能を制御します。

表 1. オペコードコマンド

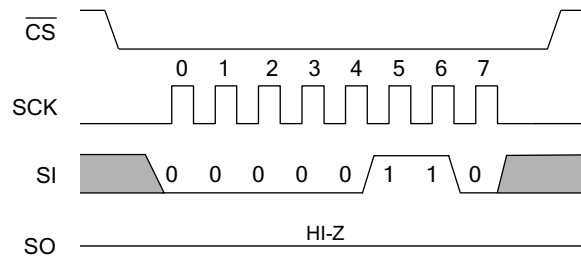
名	変更内容	オペコード
WREN	書き込み有効ラッチの設定	0000 0110b
WRDI	書き込み有効ラッチのリセット	0000 0100b
RDSR	ステータスレジスタの読み出し	0000 0101b
WRSR	ステータスレジスタの書き込み	0000 0001b
READ	メモリデータの読み出し	0000 0011b
FSTRD	メモリデータの高速読み出し	0000 1011b
WRITE	メモリデータの書き込み	0000 0010b
SLEEP	スリープモードの開始	1011 1001b
RDID	デバイスIDの読み出し	1001 1111b

## WREN - 書き込みイネーブルラッチの設定

FM25V20Aは、書き込みが無効の状態から電源投入されます。WRENコマンドを書き込み動作の前に発行する必要があります。WRENオペコードを送信することにより、ユーザは書き込み動作に次のオペコードを発行できます。これらはステータスレジスタへの書き込み(WRSR)とメモリへの書き込み(WRITE)を含みます。

WRENオペコードを発行すると、内部書き込みイネーブルラッチはセットされます。WELと呼ばれるステータスレジスタ内のフラグビットはラッチの状態を示します。WEL=「1」は、書き込みが許可されることを示します。ステータスレジスタのWELビットに書き込んでもこのビットの状態に影響を与えません。WRENオペコードのみがこのビットをセットできます。WELビットは、WRDIやWRSR、書き込み動作に続くCSの立ち上りエッジで自動的にクリアされます。これにより、別のWRENコマンドを発行せず、ステータスレジスタまたはF-RAMアレイへの2重の書き込みを防ぐことができます。図 7にWRENコマンドバスコンフィギュレーションを示します。

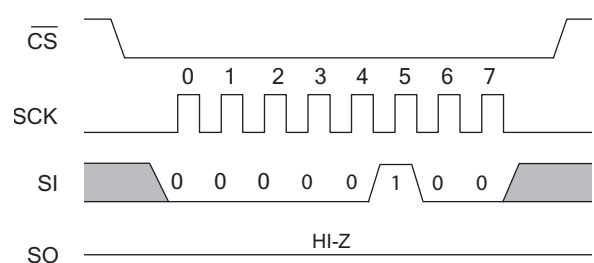
図 7. WRENバス コンフィギュレーション



## WRDI - 書き込みイネーブルラッチのリセット

WRDIコマンドは、書き込みイネーブルラッチをクリアすることによりすべての書き込み動作を無効にします。ステータスレジスタ内のWELビットを読み出し、WELビットが0であることを確認することにより、ユーザは書き込みが無効であることを確認できます。図 8にWRDIコマンドバスコンフィギュレーションを示します。

図 8. WRDIバス コンフィギュレーション



## ステータス レジスタおよび書き込み保護

FM25V20Aの書き込み保護機能は多層的であり、ステータスレジスタを介して有効にされます。ステータスレジスタは以下のように構成されています。(WEL、BP0、BP1、ビット4～5、WPENの工場出荷時の初期値は「0」であり、ビット6は「1」です)。

表 2. ステータスレジスタ

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表 3. ステータスレジスタのビット定義

ビット	定義	変更内容
ビット0	ドントケア	このビットは書き込み不可であり、読み出すと常に「0」を返します。
ビット1 (WEL)	書き込みイネーブル	WELはデバイスの書き込みが有効かどうかを示します。電源投入時このビットの初期値は「0」(無効)です。 WEL = 「1」 --> 書き込みが有効 WEL = 「0」 --> 書き込みが無効
ビット2 (BP0)	ブロック保護ビット「0」	ブロック保護のために使用されます。詳細は、表 4を参照してください。
ビット3 (BP1)	ブロック保護ビット「1」	ブロック保護のために使用されます。詳細は、表 4を参照してください。
ビット4-5	ドントケア	これらのビットは書き込み不可であり、読み出すと常に「0」を返します。
ビット6	ドントケア	このビットは書き込み不可であり、読み出し時に常に「1」を返します。
ビット7 (WPEN)	書き込み保護イネーブルビット	書き込み保護ピンの機能をイネーブルにするために使用される(WP)です。詳細は、表 5を参照してください。

ビット0と4～5は、「0」に、ビット6は「1」に固定され、これらのビットは修正できません。F-RAMはリアルタイムで書き込まれビジーのときがないので、ビット0 (シリアル フラッシュやEEPROMでの「Ready or Write in progress (待機または書き込み中)」の状態を示すビット)は不要であり、「0」として読み出されます。これの例外は、デバイスがスリープモードからウェイクアップしている場合です。これについては、[スリープモード](#)で説明しています。BP1およびBP0はソフトウェアの書き込み保護機能を制御する不揮発性ビットです。WELフラグは、書き込みイネーブルラッチの状態を示します。ステータスレジスタのWELビットに直接書き込んでも状態は変わりません。このビットは内部でそれぞれWREN、WRDIコマンドを介してセット、クリアされます。

BP1とBP0はメモリ ブロックの書き込み保護ビットです。それらは表 4で示すように書き込み保護されるメモリ領域を指定します。

表 4. ブロック メモリへの書き込み保護

BP1	BP0	保護されるアドレス範囲
0	0	無し
0	1	30000h～3FFFFh (上位1/4)
1	0	20000h～3FFFFh (上位1/2)
1	1	00000h～3FFFFh (すべて)

BP1とBP0ビットと書き込みイネーブルラッチは、メモリが書き込まれないように防ぐ唯一のメカニズムです。残りの書き込

み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータス レジスタの書き込み保護イネーブルビット(WPEN)は、ハードウェア書き込み保護(WP)ピンの効果を制御します。WPENビットが「0」にクリアされると、WPピンの状態は無視されます。WPENビットが「1」にセットされる時、WPピンがLOWになるとステータスレジスタへの書き込みは禁止されます。そのため、ステータスレジスタは、WPEN=1およびWP=0の場合のみ書き込み保護されます。

表 5に書き込み保護条件をまとめます。

表 5. 書き込み保護

WEL	WPEN	WP	保護ブロック	非保護ブロック	ステータスレジスタ
0	X	X	保護	保護	保護
1	0	X	保護	未保護	未保護
1	1	0	保護	未保護	保護
1	1	1	保護	未保護	未保護

## RDSR -ステータス レジスタの読み出し

RDSRコマンドでは、バスマスターはステータスレジスタの内容を検証することができます。ステータスレジスタを読み出すことで、書き込み保護機能の現時点の状態に関する情報を得ます。RDSRオペコードに続いて、FM25V20Aはステータスレジスタの内容を持つ1バイトを返します。



### WRSR -ステータス レジスタの書き込み

WRSRコマンドを使って、SPIバス マスターがステータス レジスタへ書き込み、WPEN、BP0、BP1ビットを必要に応じて設定することで書き込み保護の設定を変更できます。WRSRコマンドを発行する前には、WPピンがHIGHまたは非アクティブである必要があります。FM25V20Aでは、WPがメモリアレイではなくス

テータスレジスタのみへの書き込みを防止することに注意してください。WRSRを送信する前にWRENコマンドを送信して書き込みを有効する必要があります。WRSRコマンドの実行は書き込み動作に相当するため、書き込みイネーブルラッチがクリアされます。

図 9. RDSRバス コンフィギュレーション

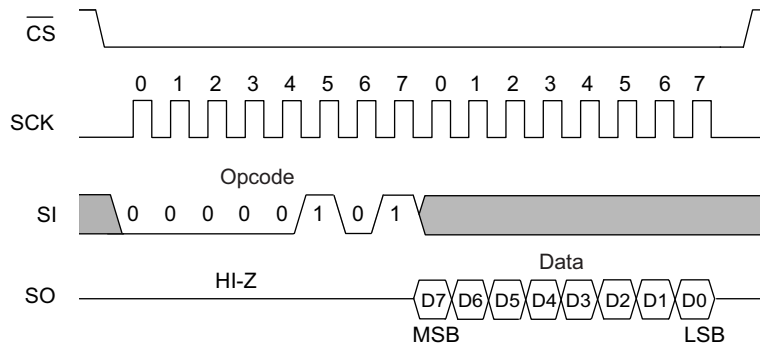
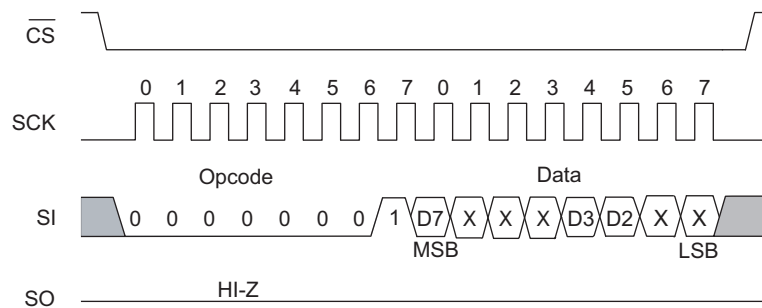


図 10. WRSRバス コンフィギュレーション(WRENが非表示)



## メモリの動作

高いクロック周波数で動作が可能なSPIインターフェースは、F-RAM技術の高速書き込み機能を際立たせます。シリアルフラッシュやEEPROMと違って、FM25V20Aはバス速度でシーケンシャルに書き込みを実行します。ページレジスタは不要であり、シーケンシャルな書き込みは何回でも実行できます。

### 書き込み動作

メモリへのすべての書き込みは、アサートおよびデアサートされているCSを伴いWRENオペコードで始まります。次のオペコードはWRITEです。WRITEオペコードに続き、メモリへ書き込む最初のデータバイトを指定する18ビットアドレス(A17~A0)を含む3バイトアドレスが続きます。3バイトアドレスの上位6ビットは無視されます。後続のバイトは順次に書き込まれるデータバイトです。バスマスターがクロックを送り、CSをLOWに維持している限り、アドレスは内部でインクリメントされます。3FFFFhの最終アドレスに達すると、カウンタは00000hに戻ります。データはMSBから書き込みます。CSの立ち上りエッジで書き込み動作が終了します。書き込み動作を図11に示します。

注: バースト書き込みが保護されたブロックに達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータバイトのすべてがデバイスに無視されます。

EEPROMはページバッファを使用して書き込みスループットを上げます。ページバッファは、書き込み動作が遅いという本来の特性を補完するものです。F-RAMメモリは、各データバイトが(8番目のクロックの後)クロック入力された直後にF-RAMアレイに書き込まれるため、ページバッファを持っていません。そのためページバッファの遅延なしにバイトをいくつも書き込むことができます。

注: 書き込み中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

### 読み出し動作

CSの立ち下りエッジの後に、バスマスターはREADオペコードを発行できます。READコマンドの後は、読み出し動作の開始アドレスを指定する18ビットアドレス(A17~A0)を含む3バイトのアドレスが続きます。アドレスの上位6ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の8つのクロックで読み出しデータを出力します。SI入力は読み出しデータバイトの出力中には無視されます。後続のバイトは順次に読み出されるデータバイトです。バスマスターがクロックを送り、CSがローレベルである限り、アドレスは内部でインクリメントされます。3FFFFhの最終アドレスに達すると、カウンタは00000hに戻ります。データはMSBから読み出します。CSの立ち上りエッジで読み出し動作を停止し、SOピンをトリステストにします。読み出し動作を図12に示します。

### 高速読み出し動作

FM25V20Aは、シリアルフラッシュデバイスとのコード互換性のために提供されるFAST READオペコード(0Bh)をサポートします。FAST READオペコードの後は、読み出し動作の開始アドレスを指定する18ビットアドレス(A17~A0)を含む3バイトのアドレスが続きます。次はダミーバイトとなります。ダミーバイトは8クロックサイクルの読み出し遅延を入れることです。ダミーバイトを追加することを除き、高速読み出し動作は通常の読み出し動作と同じです。オペコード、アドレス、ダミーバイトを受信した後、FM25V20AはSOラインでMSBファースト形式によりデータバイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を続けます。バルク読み出しの場合、内部アドレスカウンタは自動的にインクリメントされ、最終アドレス3FFFFhに達するとカウンタは00000hに戻ります。デバイスがSOラインでデータを出力している時、SIライン上の遷移は無視されます。CSの立ち上りエッジで高速読み出し動作を停止し、SOピンをトリステストにします。高速読み出し動作を図13に示します。

図 11. メモリ書き込み動作 (WRENが非表示)

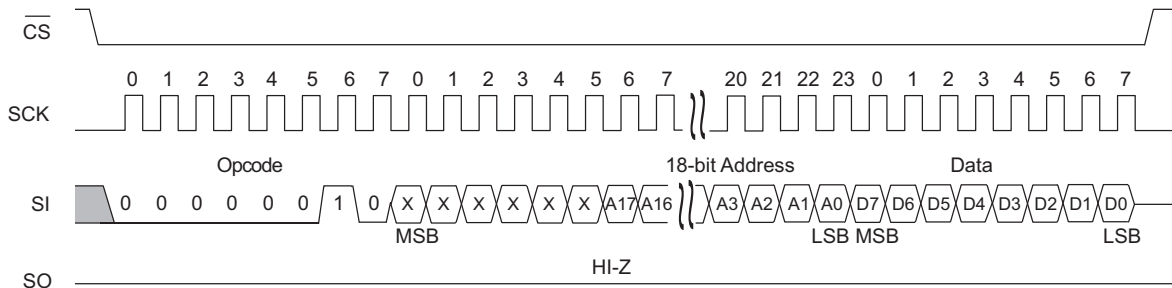
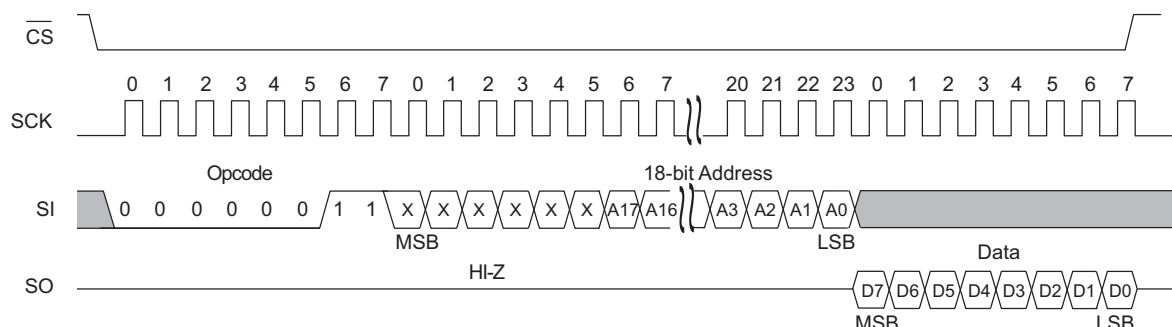
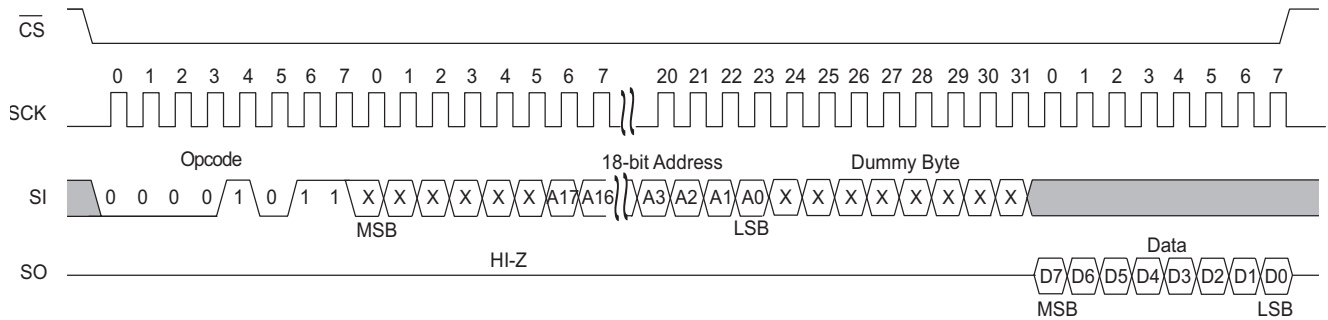


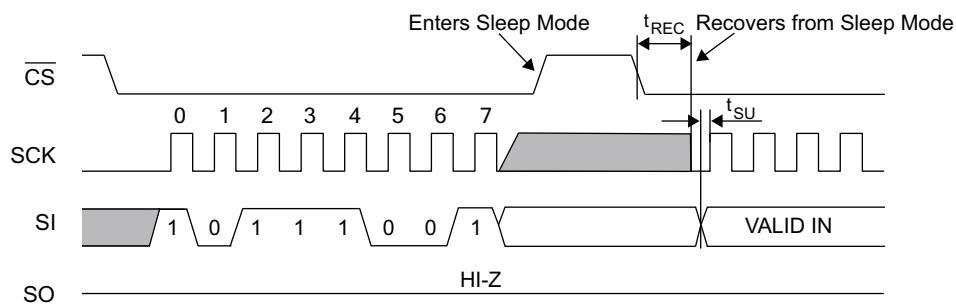
図 12. メモリ読み出し動作



**図 13. 高速読み出し動作**


## スリープモード

低消費電力スリープモードがFM25V20Aデバイスに実装されています。SLEEPオペコードB9hが入力されてCSがハイレベルになると、デバイスは低消費電力モードに移行します。スリープモードになるとSCKとSIピンは無視され、SOはHi-Zになりますが、デバイスはCSピンの監視を継続します。CSの次の立ち下りエッジで、デバイスは、 $t_{REC}$ 以内に通常の動作に復帰します。SOピンは、ウェイクアップ期間中はHi-Z状態のままです。デバイスはウェイクアップ期間内でオペコードに応答する必要はありません。ウェイクアップの手順を開始するために、コントローラが、例えば「ダミー」の読み出しを送信し、残りの $t_{REC}$ 時間で待機することもあります。

**図 14. スリープモードの動作**


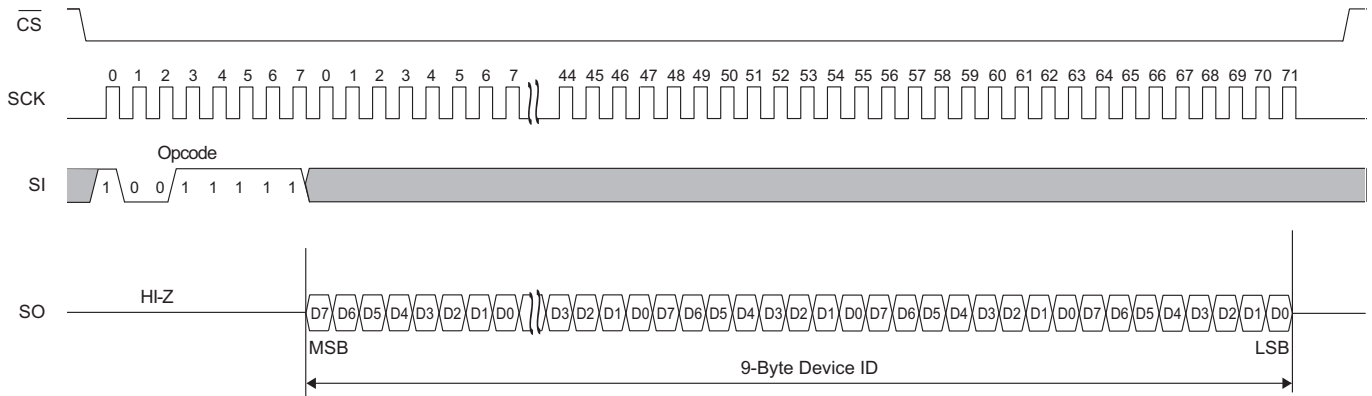
## デバイスID

FM25V20Aデバイスは、メーカー、製品ID、ダイの版数について問い合わせを行えます。RDIDオペコード9Fhには、両方とも読み出し専用バイトである製造業者のIDと製品IDが記載されており読むことができます。JEDECから割り当てられたメーカーIDは、バンク7の中にサイプレス(Ramtron)の識別子を配置しています。そのため連続コード7Fhの6バイトとそれに続く1バイトのC2hがあります。製品IDの2バイトはファミリコードと容量コード、サブコード、製品リビジョンコードを含みます。

**表 6. デバイスID**

デバイスID (9バイト)	デバイスIDの説明					
	71~16 (56ビット)	15~13 (3ビット)	12~8 (5ビット)	7~6 (2ビット)	5~3 (3ビット)	2~0 (3ビット)
	メーカーID	製品ID				
		ファミリコード	容量コード	サブコード	リビジョンコード	予約済み
7F7F7F7F7F7FC22508h	0111111101111111011111110111 111101111111011111111111000010	001	00101	00	001	000

図 15. デバイスIDの読み出し



### アクセス可能回数

FM25V20Aデバイスには $10^{14}$ 回以上、読み書きを問わずアクセスすることができます。F-RAMメモリは読み出しと格納メカニズムを伴い動作します。そのため、メモリアレイへのアクセス(読み出し/書き込み)に対して、アクセスサイクルが行単位で適用されます。F-RAMのアーキテクチャは、64ビットの列と32Kの行からなるアレイを基にしています。読み出しまたは書き込みは行単位に行われます。1行内のデータのアクセスバイト数に関わらず内部的に行に対するアクセスは1回です。行内の各バイトは、アクセス可能回数の計算では1回だけカウントされます。表 7は、オペコード、開始アドレス、順々の64バイトデータの流れを含む、64バイトの繰り返しループに対応したアクセス可能回数を示します。これはループによって各バイトが1回のアクセス回数を費やしたことになります。F-RAMの読み出しと書き込み可能回数は、40MHzのクロック速度でも事実上無制限です。

表 7. 64バイトループの繰り返しでアクセス回数が限界に達する期間

SCK周波数(MHz)	アクセス可能回数 (サイクル/秒)	アクセス可能回数 (サイクル/年)	制限到達年数
40	73,520	$2.32 \times 10^{12}$	43.1
10	18,380	$5.79 \times 10^{11}$	172.7
5	9,190	$2.90 \times 10^{11}$	345.4

## 最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。これらのユーザガイドラインはテストは行われていません。

保存温度 ..... -55°C ~ 125°C

最大累積保存時間

周囲の温度 125°C の場合 ..... 1000時間

周囲の温度 85 °C の場合 ..... 10年

通電時の周囲温度 ..... -55°C ~ +125°C

$V_{SS}$  を基準とした  $V_{DD}$  の電源電圧 ..... -1.0V ~ +4.5V

入力電圧 ..... -1.0V ~ +4.5V,  $V_{IN} < V_{DD} + 1.0V$

High-Z状態の出力に印加されるDC電圧 ... -0.5V ~  $V_{DD} + 0.5V$

グランド電位を基準にした任意のピンの過渡電圧 (<20ns)  
..... -2.0V ~  $V_{DD} + 2.0V$

パッケージ許容電力損失 ..... ( $T_A = 25^\circ\text{C}$ ) 1.0W

表面実装はんだ付け温度(3秒) ..... +260°C

DC出力電流 (出力1本当り、1秒間) ..... 15mA

静電放電電圧

人体モデル(JEDEC準拠JESD22-A114-B) ..... 2kV

デバイス帯電モデル

(JEDEC準拠JESD22-C101-A) ..... 500 V

ラッチアップ電流 ..... > 140mA

## 動作範囲

範囲	周囲温度( $T_A$ )	$V_{DD}$
産業用	-40°C ~ +85°C	2.0 V ~ 3.6 V

## DC電気的特性

動作範囲において

パラメータ	変更内容	テスト条件	Min	Typ <sup>[2]</sup>	Max	単位
$V_{DD}$	電源電圧		2.0	3.3	3.6	V
$I_{DD}$	$V_{DD}$ 電源電流	$SCKI = V_{DD} - 0.2V$ と $V_{SS}$ 間でトグル。他の入力 は $V_{SS}$ または $V_{DD} - 0.2V$ 。SO = 開放	$f_{SCK} = 1 \text{ MHz}$ $f_{SCK} = 40 \text{ MHz}$	— —	0.5 2.4	0.80 3 mA mA
$I_{SB}$	$V_{DD}$ スタンバイ電流	$CS = V_{DD}$ 。他の入力は $V_{SS}$ または $V_{DD}$ 。	$T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	— —	100 — 250	$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
$I_{ZZ}$	スリープモード電流	$CS = V_{DD}$ 。他の入力は $V_{SS}$ または $V_{DD}$ 。	$T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	— —	3 — 8	$\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
$I_{LI}$	入力リーク電流	$V_{SS} \leq V_{IN} \leq V_{DD}$	—	—	$\pm 1$	$\mu\text{A}$
$I_{LO}$	出力リーク電流	$V_{SS} \leq V_{OUT} \leq V_{DD}$	—	—	$\pm 1$	$\mu\text{A}$
$V_{IH}$	入力電圧HIGHレベル	—	$0.7 \times V_{DD}$	—	$V_{DD} + 0.3$	V
$V_{IL}$	入力電圧LOWレベル	—	-0.3	—	$0.3 \times V_{DD}$	V
$V_{OH1}$	出力電圧HIGHレベル	$I_{OH} = -1 \text{ mA}$ , $V_{DD} = 2.7 \text{ V}$ 。	2.4	—	—	V
$V_{OH2}$	出力電圧HIGHレベル	$I_{OH} = -100 \mu\text{A}$	$V_{DD} - 0.2$	—	—	V
$V_{OL1}$	出力電圧LOWレベル	$I_{OL} = 2 \text{ mA}$ , $V_{DD} = 2.7 \text{ V}$	—	—	0.4	V
$V_{OL2}$	出力電圧LOWレベル	$I_{OL} = 150 \mu\text{A}$	—	—	0.2	V

注:

2. Typ値は25°C、 $V_{DD} = V_{DD}(\text{Typ})$  の場合です。完全にはテストされていません。



## データ保持期間およびアクセス可能回数

パラメータ	説明	テスト条件	Min	Max	単位
$T_{DR}$	データ保持期間	$T_A = 85\text{ }^{\circ}\text{C}$	10	—	年
		$T_A = 75\text{ }^{\circ}\text{C}$	38	—	年
		$T_A = 65\text{ }^{\circ}\text{C}$	151	—	年
$NV_C$	アクセス可能回数	動作温度範囲内	$10^{14}$	—	サイクル

## 静電容量

パラメータ <sup>[3]</sup>	説明	テスト条件	Max	単位
$C_O$	出力ピン静電容量(SO)	$T_A = 25\text{ }^{\circ}\text{C}$ , $f = 1\text{ MHz}$ , $V_{DD} = V_{DD}(\text{typ})$	8	pF
$C_I$	入力ピン容量		6	pF

## 熱抵抗

パラメータ	説明	テスト条件	8ピンSOIC	8ピンDFN	単位
$\theta_{JA}$	熱抵抗(接合部と周囲間)	熱抵抗を測定するテスト条件はEIA/JESD51で標準化されたテスト方法と手順に従います。	114	30	$^{\circ}\text{C/W}$
$\theta_{JC}$	熱抵抗(接合部とケース間)		40	11	$^{\circ}\text{C/W}$

## ACテスト条件

入力パルスレベル .....  $V_{DD}$ の10%および90%  
 入力の立ち上りと立ち下り時間 ..... 3ns  
 入力と出力のタイミング参照レベル .....  $0.5 \times V_{DD}$   
 出力負荷容量 ..... 30pF

### Note

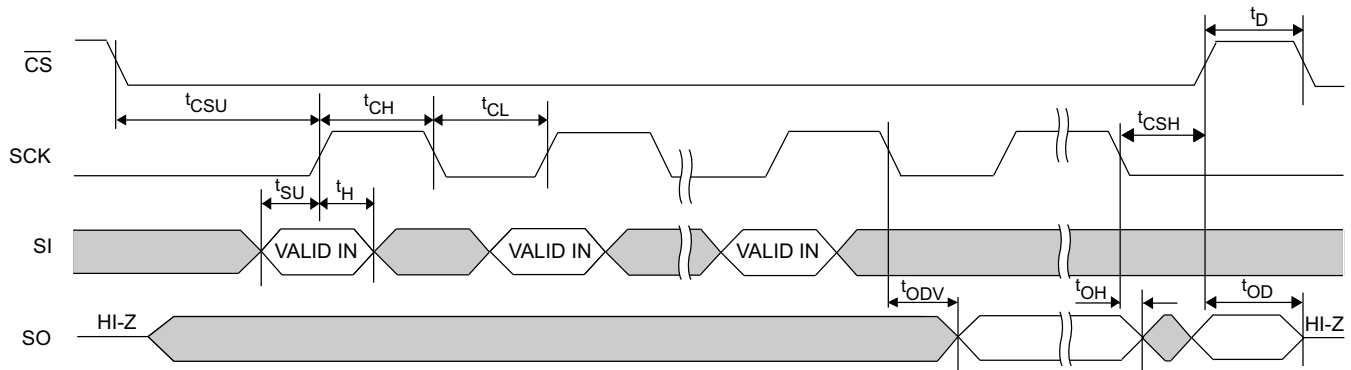
3. このパラメータは定期的にサンプリングされているもので、完全なテストは行われません。

## スイッチングのAC特性

動作範囲において

パラメータ <sup>[4]</sup>		説明	$V_{DD} = 2.0V \sim 2.7V$		$V_{DD} = 2.7V \sim 3.6V$		単位
サイプレス パラメータ	代替 パラメータ		Min	Max	Min	Max	
$f_{SCK}$	—	SCKクロック周波数	0	25	0	40	MHz
$t_{CH}$	—	クロックHIGH時間	18	—	11	—	ns
$t_{CL}$	—	クロックLOW時間	18	—	11	—	ns
$t_{CSU}$	$t_{CSS}$	チップセレクトのセットアップ時間	12	—	10	—	ns
$t_{CSH}$	$t_{CSH}$	チップセレクトのホールド時間	12	—	10	—	ns
$t_{OD}^{[5, 6]}$	$t_{HZCS}$	出力ディセーブル時間	—	20	—	12	ns
$t_{ODV}$	$t_{CO}$	出力データ有効時間	—	16	—	9	ns
$t_{OH}$	—	出力ホールド時間	0	—	0	—	ns
$t_D$	—	選択解除時間	60	—	40	—	ns
$t_{SU}$	$t_{SD}$	データ セットアップ時間	8	—	5	—	ns
$t_H$	$t_{HD}$	データホールド時間	8	—	5	—	ns

図 16. 同期データ タイミング(モード0)



**注:**

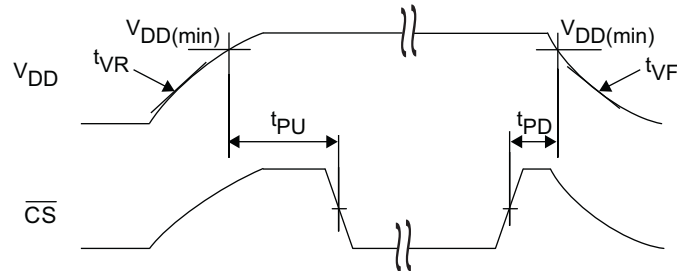
- テスト条件はACテスト条件に示した3ns以下の信号遷移時間、 $0.5 \times V_{DD}$ のタイミング参照レベル、 $V_{DD}$ の10%~90%の入力パルス レベル、指定された $I_{OL}/I_{OH}$ の出力負荷および30pFの負荷容量を前提にしています。
- $t_{OD}$ および $t_{HZ}$ は、5pFの負荷容量が付いている状態で測定しています。出力が高インピーダンス状態に入る時に、遷移が測定されます。
- 特性評価されていますが、生産時に完全にはテストされていません。

## パワー サイクル タイミング

動作範囲において

パラメータ	説明	Min	Max	単位
$t_{PU}$	電源投入時( $V_{DD(min)}$ )から最初のアクセス( $\overline{CS}$ LOW)までの時間	1	–	ms
$t_{PD}$	最後のアクセス( $\overline{CS}$ HIGH)から電源切断 ( $V_{DD(min)}$ )時までの時間	0	–	$\mu s$
$t_{VR}^{[7]}$	$V_{DD}$ 電源投入時の変化速度	50	–	$\mu s/V$
$t_{VF}^{[7]}$	$V_{DD}$ 電源切断時の変化速度	100	–	$\mu s/V$
$t_{REC}^{[8]}$	スリープ モードからの復帰時間	–	450	$\mu s$

図 17. パワー サイクル タイミング



**注:**

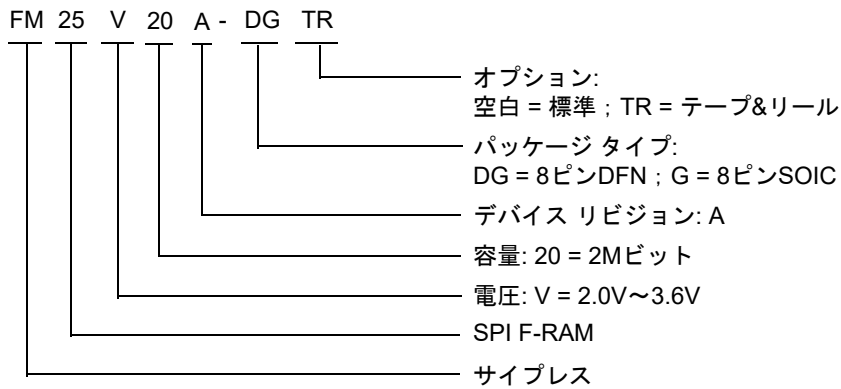
7.  $V_{DD}$  波形上の任意の点で測定した傾きです。
8. 設計保証です。スリープモードからの復帰タイミングについては、図 14を参照してください。

## 注文情報

注文コード	パッケージ図	パッケージタイプ	動作範囲
FM25V20A-G	001-85261	8ピンSOIC	産業用
FM25V20A-GTR			産業用
FM25V20A-DG	001-85579	8ピンDFN	産業用
FM25V20A-DGTR			産業用

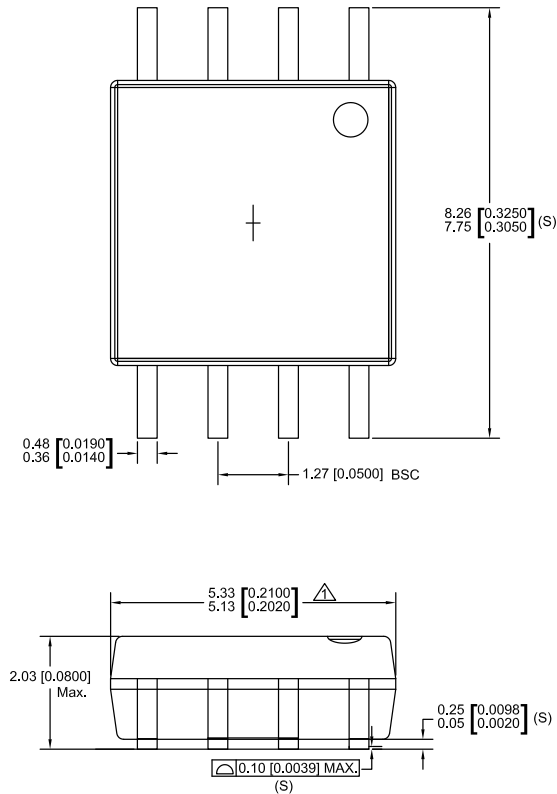
これらすべての製品は鉛フリーです。在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

## 注文コード定義



## パッケージ外形図

図 18. 8ピンSOIC (208mil)パッケージ外形図、001-85261



**NOTE:**

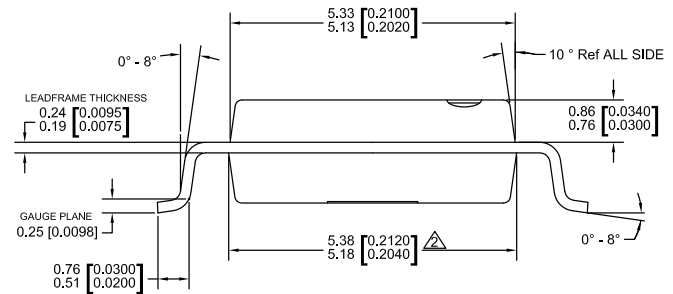
△ DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE

△ DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSION SHALL NOT EXCEED 0.010 INCH PER SIDE.

3. THIS PART IS COMPLIANT WITH EIAJ SPECIFICATION EDR-7320

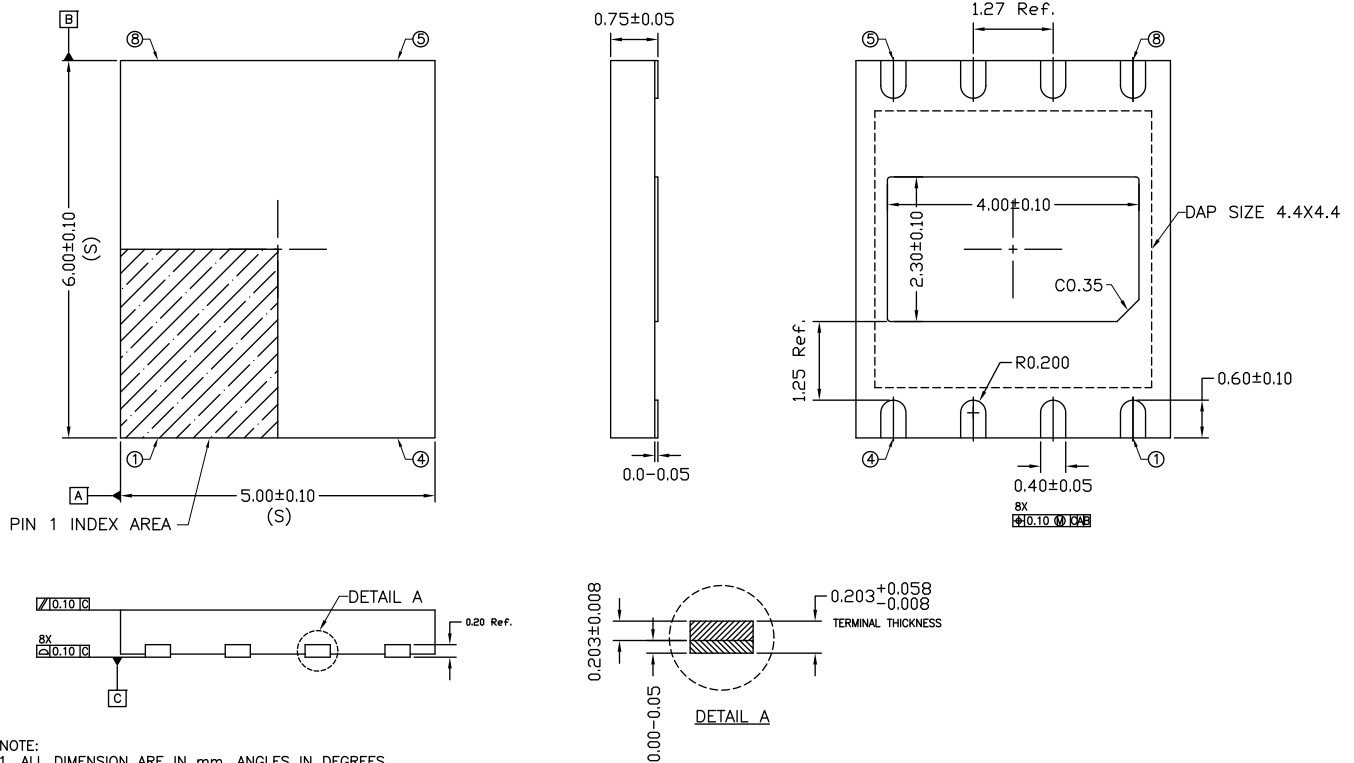
4. LEAD SPAN/STAND OF HEIGHT/COPLANARITY ARE CONSIDERED AS SPECIAL CHARACTER.

5. CONTROLLING DIMENSIONS IN MM. [INCH]



001-85261 \*\*



**パッケージ外形図 (continued)**
**図 19. 8ピンDFN (5mm × 6mm × 0.75mm) パッケージ外形図、001-85579**

**NOTE:**

1. ALL DIMENSION ARE IN mm. ANGLES IN DEGREES.
2. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.  
COPLANARITY SHALL NOT EXCEED 0.08mm.
3. WARPAGE SHALL NOT EXCEED 0.10mm.
4. PACKAGE LENGTH / PACKAGE WIDTH ARE CONSIDERED AS SPECIAL CHARACTERISTICS.(S)
5. REFER TO JEDEC MO-229.
6. FRAME STOCK# FL0106 (Ag Ring Plate), UTL PKG CODE TD56G008A OR TD500X600G008A  
OR TD500T600G008A OR TD500L600G008A OR TD500U600G008A.
7. L/F STOCK# FR0221 (Ag Ring), UTL PKG CODE TD500E600G008A OR TD500S600G008A  
OR TD500M600G008A OR TD500D600G008A.

001-85579 \*A

## 略語

表 8. 本書で使用される略語

略語	変更内容
CPHA	Clock Phase (クロック位相)
CPOL	Clock Polarity (クロック極性)
EEPROM	Electrically Erasable Programmable Read-Only Memory (電氣的消去書き込み可能な読み出し専用メモリ)
EIA	Electronic Industries Alliance (米国電子工業会)
F-RAM	Ferroelectric Random Access Memory (強誘電体ランダム アクセスメモリ)
I/O	Input/Output (入力/出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC 準拠
LSB	Least Significant Bit (最下位ビット)
MSB	Most significant bit (最上位ビット)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
SPI	Serial Peripheral Interface (シリアル周辺機器インターフェース)
SOIC	Small Outline Integrated Circuit (小型集積回路)
DFN	Dual Flat No-lead (デュアルフラット鉛フリー)

## 本書の表記法

### 測定単位

表 9. 測定単位

記号	単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mビット	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

**改訂履歴**

文書名 : FM25V20A、2M ビット (256 K × 8) シリアル (SPI) F-RAM 文書番号 : 001-92045			
版	ECN	発行日	変更内容
**	4341624	04/11/2014	これは英語版 001-90261 Rev. ** を翻訳した日本語版 Rev. ** です。
*A	4433228	01/07/2014	これは英語版 001-90261 Rev. *A を翻訳した日本語版 Rev. *A です。
*B	4485505	08/27/2014	これは英語版 001-90261 Rev. *C を翻訳した日本語版 Rev. *B です。
*C	5702668	04/20/2017	これは英語版 001-90261 Rev. *F を翻訳した日本語版 001-92045 Rev. *C です。
*D	7022171	11/17/2020	これは英語版 001-90261 Rev. *I を翻訳した日本語版 001-92045 Rev. *D です。

## セールス、ソリューションおよび法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

#### 製品

Arm® Cortex® Microcontrollers	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載用	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック & バッファ	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース	<a href="http://cypress.com/interface">cypress.com/interface</a>
IoT (モノのインターネット)	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラ	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
電源用 IC	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
タッチ センシング	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB コントローラー	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

#### PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

#### サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

#### テクニカルサポート

[cypress.com/support](http://cypress.com/support)

© Cypress Semiconductor Corporation, 2014-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。**いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。