



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

F²MC-8L[®]

8ビット・マイクロコントローラ

MB89580B/BWseries

ハードウェアマニュアル

F²MC-8L[®]

8ビット・マイクロコントローラ

MB89580B/BWseries

ハードウェアマニュアル

富士通株式会社

はじめに

本書の目的と対象読者

MB89580B/BWシリーズは、ASIC(Application Specific IC)対応が可能なオリジナル8ビットワンチップマイクロコントローラであるF²MC-8Lシリーズの汎用品として開発された製品です。民生機器から産業機器まで幅広く使用できます。

このマニュアルは、実際にこのMB89580B/BWシリーズ マイクロコントローラを使用して製品を開発される技術者を対象に、MB89580B/BWシリーズの機能や動作について解説したものです。本書をご一読ください。

なお、各種命令の詳細については『F²MC-8L プログラミングマニュアル』を参照してください。

商標

F²MCは、FUJITSU Flexible Microcontrollerの略で、富士通株式会社の登録商標です。

そのほか、本書で登場するシステム名、製品名はそれぞれの会社もしくは組織の商標です。

なお、本文中では™マークや®マークを必ずしも明記していません。

本書の全体構成

本書は以下に示す13の章および付録から構成されています。

第1章 概要

この章では、MB89580B/BWシリーズの特長や基本的な仕様について説明しています。

第2章 デバイスの取扱いについて

この章では、USB汎用ワンチップマイクロコントローラの取扱い上の注意について説明しています。

第3章 CPU

この章では、CPUの機能と動作について説明します。

第4章 I/Oポート

この章では、I/Oポートの機能と動作について説明しています。

第5章 タイムベースタイマ

この章では、タイムベースタイマの機能と動作について説明します。

第6章 ウォッチドッグタイマ

この章では、ウォッチドッグタイマの機能と動作について説明します。

第7章 2CH 8ビットPWMタイマ

この章では、2CH 8ビットPWMタイマの機能と動作について説明します。

第8章 外部割込み回路(レベル)

この章では、外部割込み回路(レベル)の機能と動作について説明します。

第9章 パラレルポート

この章では、パラレルポートの機能と動作について説明します。

第10章 USBファンクション

この章では、USBファンクション回路の機能と動作について説明します。

第11章 UART/SIO

この章では、UART/SIOの機能と動作について説明します。

第12章 クロック出力機能

この章では、クロック出力機能と動作について説明します。

第13章 プルアップオプション

この章では、プルアップオプションについて説明します。

付 録

ここでは、I/Oマップ、命令一覧表などを掲載します。

1. 本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は当社営業担当部門にご確認ください。
2. 本資料に記載された情報・回路図は、半導体デバイスの応用例として使用されており、実際に使用する機器への搭載を目的としたものではありません。また、これらの情報・回路図の使用に起因する第三者の特許権、その他の権利侵害について、当社はその責任を負いません。
3. 本資料に記載された内容を、当社に無断で転載または複製することはご遠慮ください。
4. 当社半導体デバイスは、標準用途(コンピュータ/OAなどの事務用機器、産業/通信/計測用の関連機器、パーソナル/家庭用の機器など)に使用されることを意図しています。その故障や誤動作が直接人命を脅かし、または人体に危害が及ぶ恐れのある、または極めて高い信頼性が要求される特別用途(航空・宇宙用、原子力制御用、海底中継器、走行制御用、生命維持のための医療用など)にご使用をお考えのお客様は必ず事前に当社営業担当部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。
5. 半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。
6. 本資料に記載された製品が、「外国為替および外国貿易法」に基づき規制されている貨物または技術に該当する場合には、本製品を輸出するに際して、同法に基づく許可が必要となります。

©2001 FUJITSU LIMITED Printed in Japan

目次

第1章	概要	1
1.1	MB89580B/BWシリーズの特長	2
1.2	MB89580B/BWシリーズの品種構成	5
1.3	品種間の相違点	6
1.4	MB89580B/BWシリーズのブロックダイアグラム	8
1.5	端子配列図	9
1.6	外形寸法図	10
1.7	端子機能説明	12
1.8	入出力回路形式	15
第2章	デバイスの取扱いについて	17
2.1	デバイス取扱い上の注意	18
第3章	CPU	19
3.1	メモリ空間	20
3.1.1	特定用途の領域	22
3.1.2	16ビットデータのメモリ上の配置	23
3.2	専用レジスタ	24
3.2.1	コンディションコードレジスタ(CCR)	26
3.2.2	レジスタバンクポインタ(RP)	28
3.3	汎用レジスタ	29
3.4	割込み	31
3.4.1	割込みレベル設定レジスタ(ILR1,2,3)	32
3.4.2	割込み動作時の処理	33
3.4.3	多重割込み	35
3.4.4	割込み処理時間	36
3.4.5	割込み処理開始時のスタック動作	37
3.4.6	割込み処理のスタック領域	38
3.5	リセット	39
3.5.1	外部リセット端子	41
3.5.2	リセット動作	42
3.5.3	リセットによる各端子の状態	44

3.6	クロック	45
3.6.1	クロック発生部	47
3.6.2	クロック制御部	48
3.6.3	システムクロック制御レジスタ(SYCC)	50
3.6.4	クロックモード	52
3.6.5	発振安定待ち時間	53
3.7	スタンバイモード(低消費電力)	55
3.7.1	スタンバイモード時の動作状態	56
3.7.2	スリープモード	57
3.7.3	ストップモード	58
3.7.4	スタンバイ制御レジスタ(STBC)	59
3.7.5	状態遷移図	61
3.7.6	スタンバイモード使用上の注意	63
3.8	メモリアクセスモード	65
第4章	I/Oポート	67
4.1	I/Oポートの概要	68
4.2	ポート0	70
4.2.1	ポート0のレジスタ(PDR0,DDR0)	72
4.2.2	ポート0の動作説明	73
4.3	ポート1	75
4.3.1	ポート1のレジスタ(PDR1,DDR1)	77
4.3.2	ポート1の動作説明	78
4.4	ポート2	80
4.4.1	ポート2のレジスタ(PDR2)	82
4.4.2	ポート2の動作説明	83
4.5	ポート3	84
4.5.1	ポート3のレジスタ(PDR3,DDR3)	86
4.5.2	ポート3の動作説明	87
4.6	ポート4	89
4.6.1	ポート4のレジスタ(PDR4,DDR4)	91
4.6.2	ポート4の動作説明	92
4.7	ポート5	94
4.7.1	ポート5のレジスタ(PDR5,DDR5)	97

4.7.2	ポート5の動作説明	98
4.8	ポート6	100
4.8.1	ポート6のレジスタ(PDR6)	102
4.8.2	ポート6の動作説明	103
4.9	I/Oポートのプログラム例	104
第5章	タイムベースタイマ	105
5.1	タイムベースタイマの概要	106
5.2	タイムベースタイマの構成	107
5.3	タイムベースタイマ制御レジスタ(TBTC)	108
5.4	タイムベースタイマの割込み	110
5.5	タイムベースタイマの動作説明	111
5.6	タイムベースタイマ使用上の注意	113
5.7	タイムベースタイマのプログラム例	114
第6章	ウォッチドッグタイマ	115
6.1	ウォッチドッグタイマの概要	116
6.2	ウォッチドッグタイマの構成	117
6.3	ウォッチドッグ制御レジスタ(WDTC)	118
6.4	ウォッチドッグタイマの動作説明	119
6.5	ウォッチドッグタイマ使用上の注意	120
6.6	ウォッチドッグタイマのプログラム例	121
第7章	2CH 8ビットPWMタイマ	123
7.1	2CH 8ビットPWMタイマの概要(インターバルタイマ機能)	124
7.2	2CH 8ビットPWMタイマの概要(PWMタイマ機能)	126
7.3	2CH 8ビットPWMタイマの構成	129
7.4	2CH 8ビットPWMタイマの端子	131
7.5	2CH 8ビットPWMタイマのレジスタ	132
7.5.1	PWM制御レジスタ1(CNTR1)	133
7.5.2	PWM制御レジスタ2(CNTR2)	135
7.5.3	PWM制御レジスタ3(CNTR3)	137
7.5.4	PWMコンペアレジスタ1(COMR1)	139
7.5.5	PWMコンペアレジスタ2(COMR2)	141

7.6	2CH 8ビットPWMタイマの割込み	143
7.7	インターバルタイマ機能の動作説明.....	144
7.8	8ビットPWMモードの動作説明	146
7.9	7ビットPWMモードの動作説明	148
7.10	CH12PWMモードの動作説明	150
7.11	2CH 8ビットPWMタイマ のプリスケアラの動作説明.....	152
7.12	2CH 8ビットPWMタイマの動作中の各モードでの状態.....	153
7.13	2CH 8ビットPWMタイマ使用上の注意.....	155
7.14	2CH 8ビットPWMタイマのプログラム例(インターバル機能).....	156
7.15	2CH 8ビットPWMタイマのプログラム例(PWMタイマ機能).....	159
第8章	外部割込み回路(レベル)	161
8.1	外部割込み回路(レベル)の概要	162
8.2	外部割込み回路の構成	163
8.3	外部割込み回路の端子	164
8.4	外部割込み回路のレジスタ	166
8.4.1	外部割込み制御レジスタ(EIE)	167
8.4.2	外部割込みフラグレジスタ(EIF)	168
8.5	外部割込み回路の割込み	169
8.6	外部割込み回路の動作説明	170
8.7	外部割込み回路のプログラム例	171
第9章	パラレルポート	173
9.1	パラレルポートの概要	174
9.2	パラレルポートの構成	175
9.3	パラレルポートの端子	176
9.4	パラレルポートのレジスタ	178
9.4.1	パラレルポートデータレジスタ(PDR)	179
9.4.2	パラレルポートステータスレジスタ(PSR)	180
9.4.3	パラレルポートデータ制御レジスタ(PDCR)	182
9.5	パラレルポートの割込み	184
9.6	パラレルポートの動作説明	185
第10章	USBファンクション	187

10.1	USBファンクションの概要	188
10.2	USBファンクション回路の構成	190
10.3	USBファンクション回路のレジスタ.....	192
10.3.1	USB電源モードレジスタ(PMDR)	195
10.3.2	USBリセット・モードレジスタ(UMDR)	196
10.3.3	DMAベースアドレスレジスタ(DBAR)	198
10.3.4	MB89589B用DMAベースアドレスレジスタ(DBARH, DBAR)	199
10.3.5	転送データカウントレジスタ(TDCR0 ~ 3)	201
10.3.6	USBコントロールレジスタ(UCTR)	203
10.3.7	USBステータスレジスタ1(USTR1)	204
10.3.8	USBステータスレジスタ2(USTR2)	207
10.3.9	USB割込みマスクレジスタ(UMSKR)	209
10.3.10	USBフレームステータスレジスタ(UFRMR)	211
10.3.11	エンドポイントイネーブルレジスタ(EPER)	212
10.3.12	エンドポイントセットアップレジスタ(EPBR0, EPBRx1, x2)	213
10.4	USBファンクションの割込み	218
10.5	USBファンクション機能説明	220
10.6	USBファンクションの動作説明	223
10.6.1	コマンド応答時の各レジスタ動作	226
10.6.2	サスペンド機能	229
10.6.3	ウェークアップ機能	230
第11章	UART/SIO	233
11.1	UART/SIOの概要	234
11.2	UART/SIOの構成	235
11.3	UART/SIOの端子	237
11.4	UART/SIOのレジスタ	239
11.4.1	シリアルモード制御レジスタ1(SMC1)	240
11.4.2	シリアルモード制御レジスタ2(SMC2)	242
11.4.3	シリアルクロック切換えレジスタ(SCS)	244
11.4.4	シリアルステータス&データレジスタ(SSD)	245
11.4.5	シリアルインプットデータレジスタ(SIDR)	247
11.4.6	シリアルアウトプットデータレジスタ(SODR)	248
11.4.7	シリアルレート制御レジスタ(SRC)	249

11.5	UART/SIOの割込み	250
11.6	UART/SIOの動作説明	251
11.7	動作モード0の動作説明	252
11.8	動作モード1の動作説明	257
第12章	クロック出力機能	263
12.1	クロック出力の概要	264
12.2	クロック出力の端子(CLK)	265
12.3	クロック出力のレジスタ	266
第13章	プルアップオプション	267
13.1	プルアップオプションの概要	268
13.2	プルアップオプション設定レジスタ	269
付録	271
A	I/Oマップ	272
B	命令概要	274
B.1	アドレッシング	276
B.2	特殊な命令について	280
B.3	ビット操作命令 (SETB, CLRB)	284
B.4	F ² MC-8L命令一覧表	285
B.5	命令マップ	290
C	ワンタイムPROM, EPROMマイコンの書込み仕様	291
C.1	書込み歩留り	292
D	MB89580B/BWシリーズの端子状態	293
索引	295

第1章 概要

この章では, MB89580B/BWシリーズの特長や基本的な仕様について説明しています。

- 1.1 MB89580B/BWシリーズの特長
- 1.2 MB89580B/BWシリーズの品種構成
- 1.3 品種間の相違点
- 1.4 MB89580B/BWシリーズのブロックダイアグラム
- 1.5 端子配列図
- 1.6 外形寸法図
- 1.7 端子機能説明
- 1.8 入出力回路形式

1.1 MB89580B/BWシリーズの特長

MB89580B/BWシリーズは、コンパクトな命令体系に加えて、PLLクロック制御、タイマ、シリアルインターフェース、PWMタイマ、USBファンクション機能などの豊富な周辺機能を内蔵した汎用ワンチップマイクロコントローラです。特に、USBファンクション機能は1チャンネルを内蔵し Fullスピード・Lowスピード両方をサポートしています。

MB89580B/BWシリーズの特長

パッケージ種類

- LQFP64ピンパッケージ(0.5 mmピッチ), QFP64ピンパッケージ(0.65mmピッチ)

低電圧での高速動作が可能

- 最小命令実行時間 0.33 μ s(外部供給クロック6MHz, 内部PLL回路によりメインクロック発振12MHzおよびUSBインタフェ-ス同期化クロック48MHzを自動生成)

F²MC[®]-8L CPUコア

コントローラに最適な命令体系

- 乗除算命令
- 16ビット演算
- ビットテストによるブランチ命令
- ビット操作命令など

PLLクロック制御

- PLLクロック回路内蔵により供給クロックはノイズ特性に有利な低速クロックの使用が可能 (外部供給クロック 6MHz: 内部システムクロック発振12MHz)

各種タイマ

- 8bit PWMタイマ(8bit PWMタイマ×2ch あるいはPPGタイマ×1chとして使用可能)
- 21ビットタイムベースタイマ内蔵

USB トランシ-バ回路内蔵(Full, Lowスピードに対応)

USB ファンクション

- USB Protocol Revision 1.0準拠
- Lowスピード、Fullスピードの両方をサポート(選択可能)
- Endpointを最大四つまで指定可能
- サポート転送タイプ: コントロール/インタラプト/バルク/アイソクロノス転送サポート
- DMAC内蔵(各エンドポイントのバッファを内蔵RAM上にマッピングしファンクションの送受信データを直接メモリにアクセス)

UART/シリアルインタフェース

- UART/SIOの機能内蔵(機能選択切換え可)

外部割込み

- 外部割込み(レベル検出 × 8本)
 - 8本の入力が独立しており、低消費電力モードからの解除としても使用可能(Lレベル検出機能あり)

低消費電力(スタンバイモードサポート)

- ストップモード(発振を停止するため電流消費がほとんどない)
- スリープモード(CPUを停止するためのモードです)

汎用I/Oポート最大53本

- 汎用入出力ポート(CMOS): 34本
- 汎用出力ポート(CMOS): 8本
- 汎用入出力ポート(Nch オープンドレイン): 3本
- 汎用入力ポート(CMOS 3.3V入力対応): 8本

パラレルポート

- 汎用入出力ポートの内8本と兼用(CMOS)
- 割込み機能有り
- 外部信号により非同期でリード、ライト動作可能

電源

- 電源電圧 3.0 Volt ~ 5.5 Volt

パッケージ

- FTP-64P-M03
 - リードピッチ:0.50mm
 - パッケージサイズ:10×10mm
 - リード形状 :ガルウイング
 - 封止方法 :プラスチックモールド
- FTP-64P-M09
 - リードピッチ:0.65mm
 - パッケージサイズ:12×12mm
 - リード形状 :ガルウイング
 - 封止方法 :プラスチックモールド

1.2 MB89580B/BWシリーズの品種構成

MB89580Bシリーズの品種は3種類、MB89580BWシリーズの品種は2種類あります。表 1.2-1にMB89580Bシリーズの品種構成を、表 1.2-21にMB89580BWシリーズの品種構成を、表 1.2-3にCPUと周辺機能を示します。

MB89580B/BWシリーズの品種構成

表 1.2-1 MB89580Bシリーズの品種構成

	MB89583B	MB89585B	MB89P585B	MB89589B	MB89P589B
ROM容量	8KB	16KB	16KB	16KB	16KB
RAM容量	512B	1KB	1KB	18KB	18KB
パッケージ	LQFP-64 (FPT-64P-M03)			QFP-64 (FPT-64P-M09)	
USBリセット時動作	ハイ・インピーダンス状態				
その他	MASK品	MASK品	OTP品/EVA品	MASK品	OTP品/EVA品

表 1.2-2 MB89580BWシリーズの品種構成

	MB89583BW	MB89585BW	MB89P585BW
ROM容量	8KB	16KB	16KB
RAM容量	512B	1KB	1KB
パッケージ	LQFP-64 (FPT-64P-M03)		
USBリセット時動作	LOWレベル出力		
その他	MASK品	MASK品	OTP品/EVA品

表 1.2-3 MB89580B/BWのシリーズのCPUと周辺機能

項目		仕様
CPU機能		基本命令数：136命令 命令ビット長:8ビット 命令長:1～3バイト データビット長:1, 8, 16ビット長 最小命令実行時間:0.33μs(6MHz時) 割込み処理時間:3μs(6MHz時)
周 辺 機 能	汎用ポート	汎用入出力ポート(34本:CMOS, 3本:Nchオープンドレイン) 汎用出力ポート(8本:CMOS) 汎用入力ポート(8本:CMOS 3.3V入力)
	パラレルポート	上記汎用入出力ポートのうち、8本(P40～P47)を兼用して使用 外部信号により非同期でリード、ライト動作可能 データ設定用に割込み機能あり
	USBファンクション	Full/Lowスピード設定可能 End point max 4 電源モード:自己電源 / Bus電源 モード設定可能 FIFO 8bit×8内蔵 DMAC内蔵 (内蔵 RAMへの DMA転送 または 外部接続 FIFOへの DMA転送 のモード設定が可能)
	PWMタイマ	8bit PWMタイマ動作×2ch(PPG×1chタイマとしても使用可能)
	UART SIO	UART(クロック同期/非同期のデータ転送可能)とSIO(単純シリアル)を切り替え可能
	タイムベースタイマ	21bitタイムベースタイマ
	クロック出力	メインクロックの2分周の出力が可能
スタンバイモード		スリープモード・ストップモード

1.3 品種間の相違点

MB89580B/BWシリーズの品種選択時の注意事項について説明します。

品種選択時の注意事項

メモリ空間

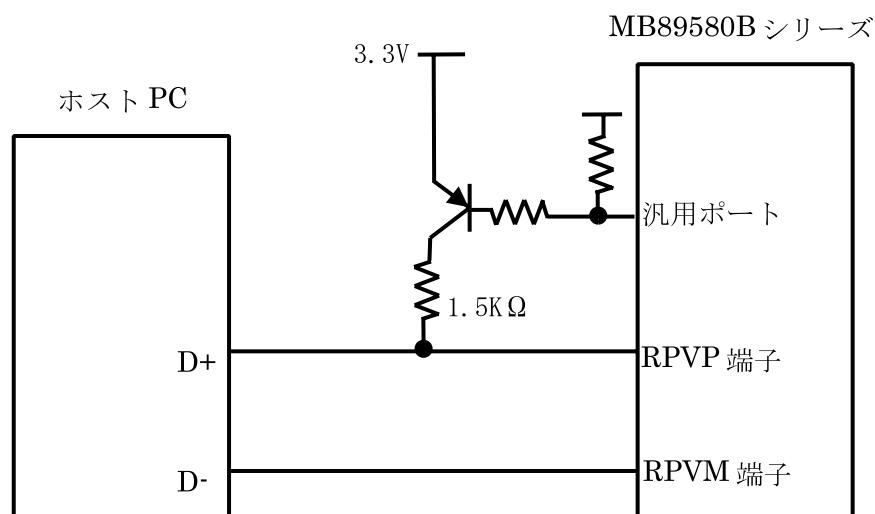
OTP品などで評価する際には、実際に使用する品種との相違をよく確認の上、評価してください。

消費電流

- 低速で動作させた場合には、ワンタイムPROMあるいは、EPROM搭載品種の消費電流は、マスクROM搭載品種より多くなります。ただし、スリープ/ストップモード時の消費電流は同等となります。
- 各パッケージの詳細は、「1.6 外形寸法図」を参照してください。
- 消費電力の詳細は、『データシート』の電気的特性を参照してください。

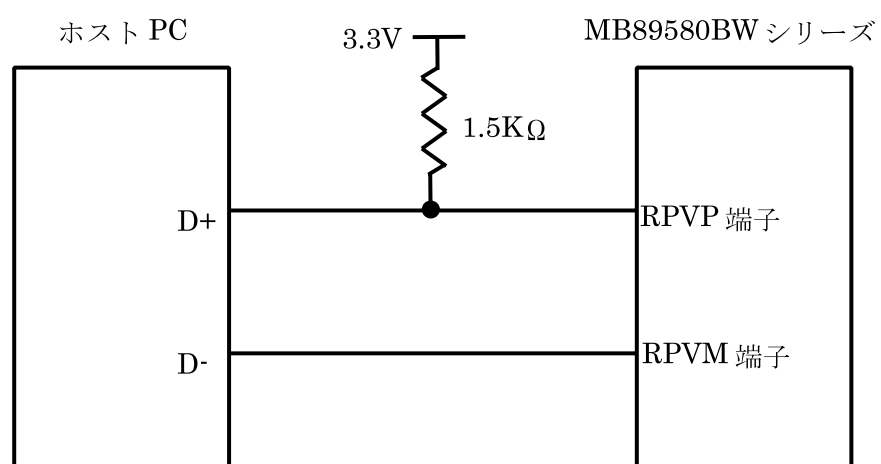
MB89580BシリーズとMB89580BWシリーズの相違点について

- MB89580BシリーズUSB接続が行われるまでの間、ハイ・インピーダンス状態。USB接続前に汎用ポート出力を1本使用し、このポートをソフトウェア制御によりプルアップ抵抗接続制御を行ってください。
- MB89580BWシリーズ.....USB接続が行われるまでの間、Lowレベルを出力。



注意：図は Full Speed を想定して記載しています。

図 1.3-1 MB89580Bシリーズ品の接続例



注意：図は Full Speed を想定して記載しています。

図 1.3-2 MB89580BWシリーズ品の接続例

1.4 MB89580B/BWシリーズのブロックダイアグラム

MB89580B/BWシリーズの全体ブロックダイアグラムをに示します。

MB89580B/BWシリーズの全体ブロックダイヤグラム

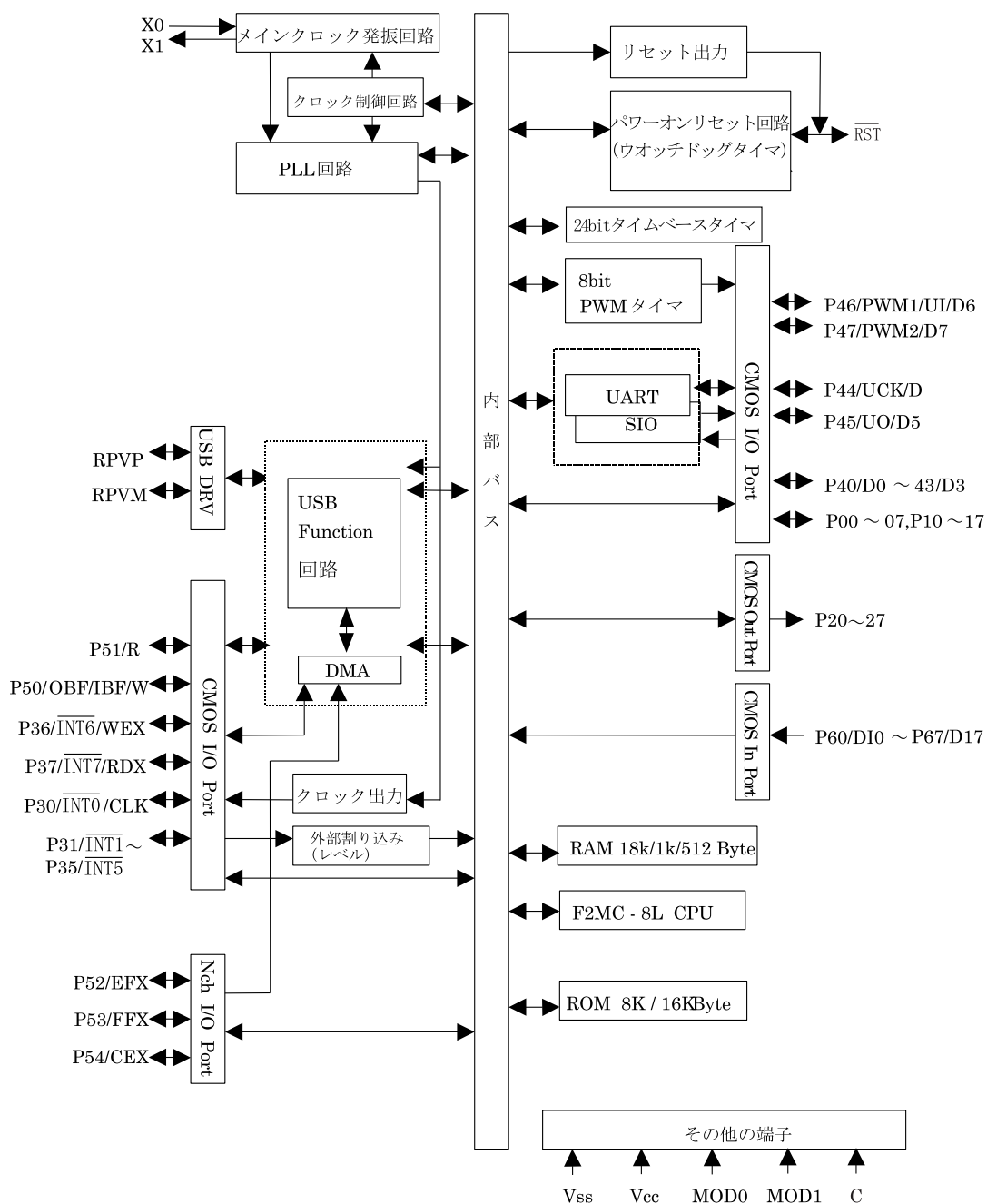


図 1.4-1 MB89580B/BWシリーズの全体ブロックダイヤグラム

1.5 端子配列図

MB89580B/BWシリーズの端子配列図を示します。

MB89580B/BWの端子配列図

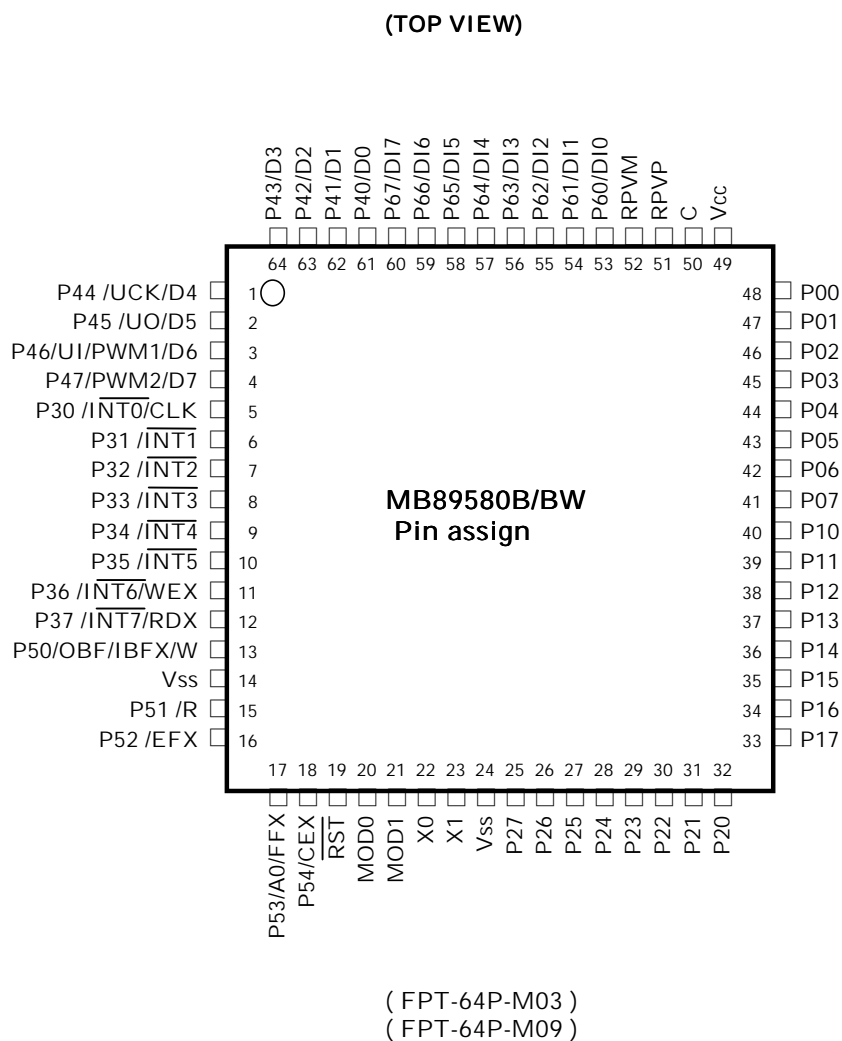
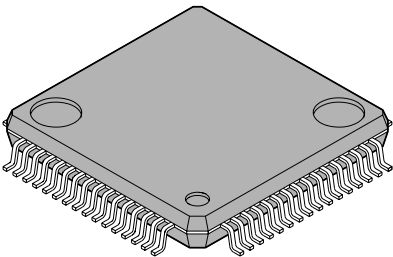


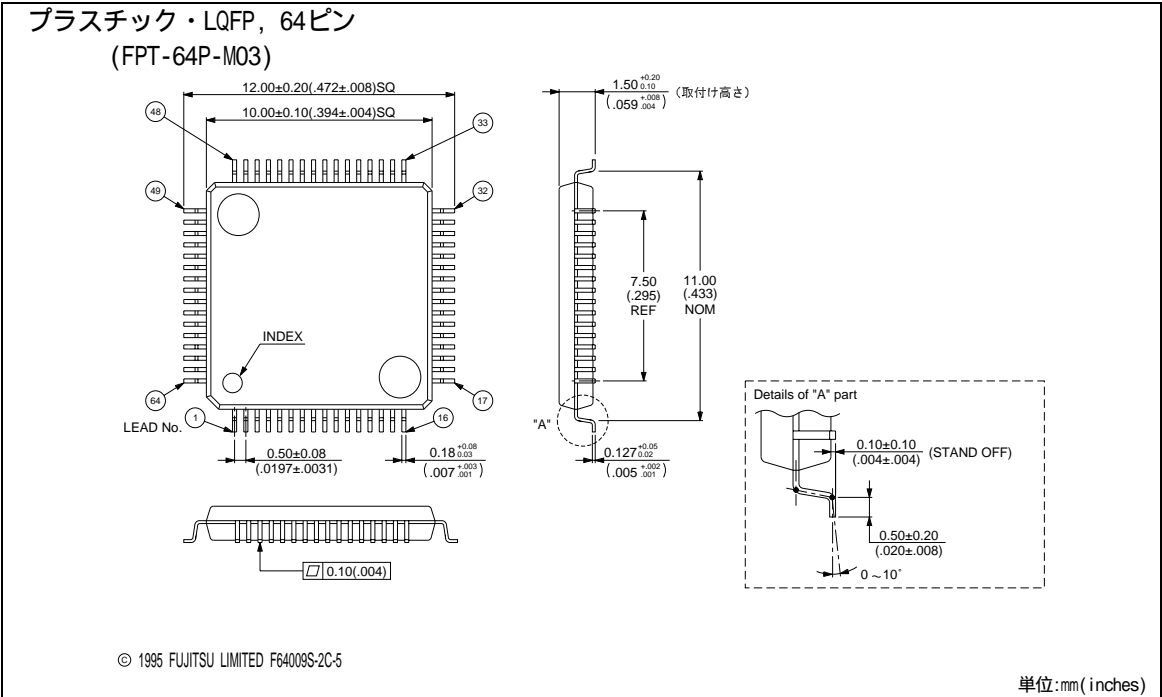
図 1.5-1 MB89580B/BWの端子配列図

1.6 外形寸法図

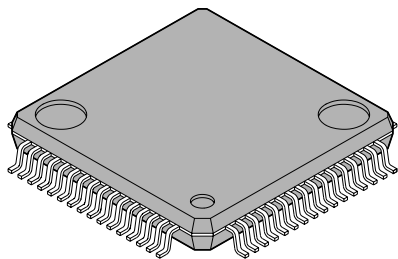
MB89580B/BWシリーズには、2種類のパッケージが用意されています。
ただし、FPT-64P-M09は、MB89589B、MB89P589Bのみになり、その他はFPT-64P-M03のみになります。

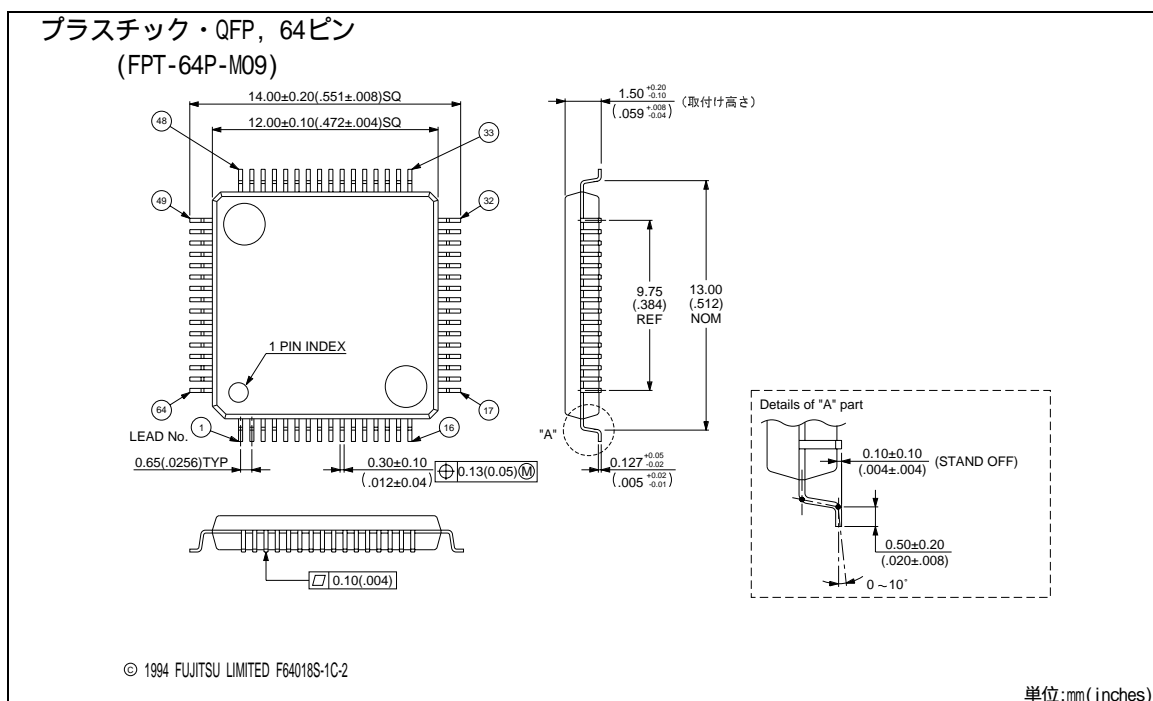
外形寸法図 (FPT-64P-M03)

<p>プラスチック・LQFP、64ピン</p>  <p>(FPT-64P-M03)</p>	リードピッチ	0.50mm
	パッケージ幅× パッケージ長さ	10×10mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド



外形寸法図 (FPT-64P-M09)

<p>プラスチック・QFP, 64ピン</p>  <p>(FPT-64P-M09)</p>	リードピッチ	0.65mm
	パッケージ幅× パッケージ長さ	12×12mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド



1.7 端子機能説明

表 1.7-1に入出力端子とその機能を示します。

表 1.7-1の入出力回路形式欄のアルファベットは、表 1.8-1 入出力回路形式の分類欄のアルファベットに対応しています。

端子機能説明

表 1.7-1 端子機能説明(続く)

端子番号	端子名	入出力回路形式	機能説明
1	P44/U $\overline{\text{CK}}$ /D4	E	CMOS汎用入出力端子 UART/SIO のクロック入出力 パラレルインターフェース/外部FIFOデータ出力と兼用端子となります。
2	P45/U0/D5	B	CMOS汎用入出力端子 UART/SIO のシリアルデータ出力 パラレルインターフェース/外部FIFOデータ出力と兼用端子となります。
3	P46/U1/PWM1/D6	E	CMOS汎用入出力端子 UART/SIOのシリアルデータ入力 PWMタイマ パラレルインターフェース/外部FIFOデータ出力と兼用端子となります。
4	P47/PWM2/D7	B	CMOS汎用入出力端子 PWMタイマ パラレルインターフェース/外部FIFOデータ出力と兼用端子となります。
5	P30/ $\overline{\text{INT0}}$ /CLK	E	CMOS汎用入出力端子 クロック出力端子 外部割込みの入力と兼用端子となります。 外部割込みの入力はヒステリシス入力となります。(レベル検出)
6	P31/ $\overline{\text{INT1}}$	E	CMOS汎用入出力端子 外部割込みの入力と兼用端子となります。 外部割込みの入力はヒステリシス入力となります。(レベル検出)
7	P32/ $\overline{\text{INT2}}$	E	CMOS汎用入出力端子 外部割込みの入力と兼用端子となります。 外部割込みの入力はヒステリシス入力となります。(レベル検出)
8	P33/ $\overline{\text{INT3}}$	E	CMOS汎用入出力端子 外部割込みの入力と兼用端子となります。 外部割込みの入力はヒステリシス入力となります。(レベル検出)
9	P34/ $\overline{\text{INT4}}$	E	CMOS汎用入出力端子 外部割込みの入力と兼用端子となります。 外部割込みの入力はヒステリシス入力となります。(レベル検出)
10	P35/ $\overline{\text{INT5}}$	E	CMOS汎用入出力端子 外部割込みの入力と兼用端子となります。 外部割込みの入力はヒステリシス入力となります。(レベル検出)

表 1.7-1 端子機能説明(続く)

端子番号	端子名	入出力 回路形式	機能説明
11	P36 / INT6 / WEX	E	CMOS汎用入出力端子 外部割込みの入力と兼用端子となります。 外部割込みの入力はヒステリシス入力となります。(レベル検出) パラレルインターフェースの書き込みストロープ入力と兼用端子となります。
12	P37 / INT7 / RDX	E	CMOS汎用入出力端子 外部割込みの入力と兼用端子となります。 外部割込みの入力はヒステリシス入力となります。(レベル検出) パラレルインターフェースの読出しストロープ入力と兼用端子となります。
13	P50 / OBF / IBFX / W	B	CMOS汎用入出力端子 パラレルインターフェースのホストへの割込み出力 OUT用FIFOデータストロープと兼用端子となります。
14	VSS		電源端子(GND)です。
15	P51 / R	B	CMOS汎用入出力端子 IN用FIFOデータストロープと兼用端子となります。
16	P52 / EFX	K	Nchオーブンドレイン汎用入出力端子 IN用FIFOデータ許可入力と兼用端子となります。
17	P53 / A0 / FFX	K	Nchオーブンドレイン汎用入出力端子 パラレルインターフェースのデータセレクト入力 OUT用FIFOデータ入力許可と兼用端子となります。
18	P54 / CEX	K	Nchオーブンドレイン汎用入出力端子 パラレルインターフェースのデバイスセレクト入力 と兼用端子となります。
19	RST	I	リセット端子。(負論理 lowレベルでリセット)
20	MOD0	F	動作モード指定端子です。Vssに直結してください。
21	MOD1	F	動作モード指定端子です。Vssに直結してください。
22	X0	A	水晶発振子用端子です。(6MHz)
23	X1		
24	Vss	-	電源端子(GND)です。
25	P27	B	CMOS汎用出力端子
26	P26	B	CMOS汎用出力端子
27	P25	B	CMOS汎用出力端子
28	P24	B	CMOS汎用出力端子
29	P23	B	CMOS汎用出力端子
30	P22	B	CMOS汎用出力端子
31	P21	B	CMOS汎用出力端子
32	P20	B	CMOS汎用出力端子
33	P17	B	CMOS汎用入出力端子
34	P16	B	CMOS汎用入出力端子
35	P15	B	CMOS汎用入出力端子
36	P14	B	CMOS汎用入出力端子
37	P13	B	CMOS汎用入出力端子
38	P12	B	CMOS汎用入出力端子
39	P11	B	CMOS汎用入出力端子
40	P10	B	CMOS汎用入出力端子
41	P07	B	CMOS汎用入出力端子
42	P06	B	CMOS汎用入出力端子

表 1.7-1 端子機能説明(続き)

端子番号	端子名	入出力回路形式	機能説明
43	P05	B	CMOS汎用入出力端子
44	P04	B	CMOS汎用入出力端子
45	P03	B	CMOS汎用入出力端子
46	P02	B	CMOS汎用入出力端子
47	P01	B	CMOS汎用入出力端子
48	P00	B	CMOS汎用入出力端子
49	Vcc	-	電源端子です。
50	C	-	外部に0.1 μ Fのキャパシタを接続します。3.3V電源で使用時はVcc端子と接続し、3.3V入力にします。
51	RPVP	USBDV	USBレトポート + 端子
52	RPVM	USBDV	USBレトポート - 端子
53	P60/DI0	F	CMOS汎用入力端子(3.3V入力) 外部FIFOデータ入力と兼用端子となります。(LSB)
54	P61/DI1	F	CMOS汎用入力端子(3.3V入力) 外部FIFOデータ入力と兼用端子となります。
55	P62/DI2	F	CMOS汎用入力端子(3.3V入力) 外部FIFOデータ入力と兼用端子となります。
56	P63/DI3	F	CMOS汎用入力端子(3.3V入力) 外部FIFOデータ入力と兼用端子となります。
57	P64/DI4	F	CMOS汎用入力端子(3.3V入力) 外部FIFOデータ入力と兼用端子となります。
58	P65/DI5	F	CMOS汎用入力端子(3.3V入力) 外部FIFOデータ入力と兼用端子となります。
59	P66/DI6	F	CMOS汎用入力端子(3.3V入力) 外部FIFOデータ入力と兼用端子となります。
60	P67/DI7	F	CMOS汎用入力端子(3.3V入力) 外部FIFOデータ入力と兼用端子となります。(MSB)
61	P40/D0	B	CMOS汎用入出力端子 パラレルインターフェース/外部FIFOデータ出力と兼用端子となります。
62	P41/D1	B	CMOS汎用入出力端子 パラレルインターフェース/外部FIFOデータ出力と兼用端子となります。
63	P42/D2	B	CMOS汎用入出力端子 パラレルインターフェース/外部FIFOデータ出力と兼用端子となります。
64	P43/D3	B	CMOS汎用入出力端子 パラレルインターフェース/外部FIFOデータ出力と兼用端子となります。

1.8 入出力回路形式

表 1.8-1に入出力回路形式を示します。
表 1.8-1の分類欄のアルファベットは、表 1.7-1の入出力回路形式欄のアルファベットに対応しています。

入出力回路形式

表 1.8-1 入出力回路形式(続く)

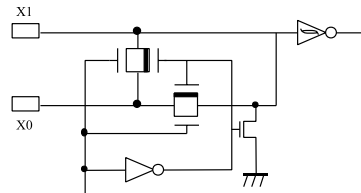
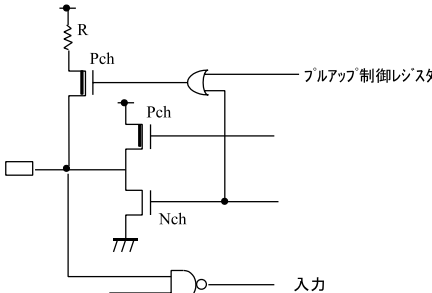
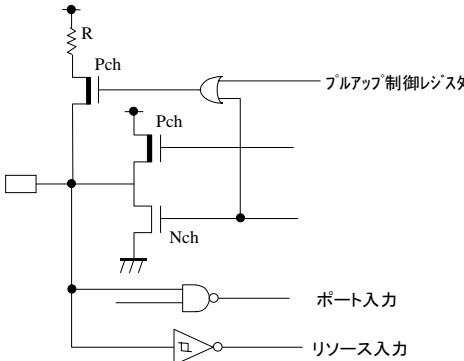
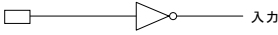
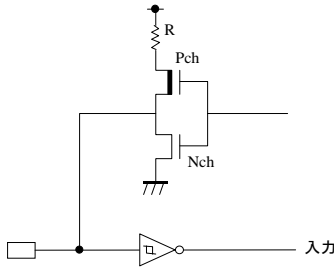
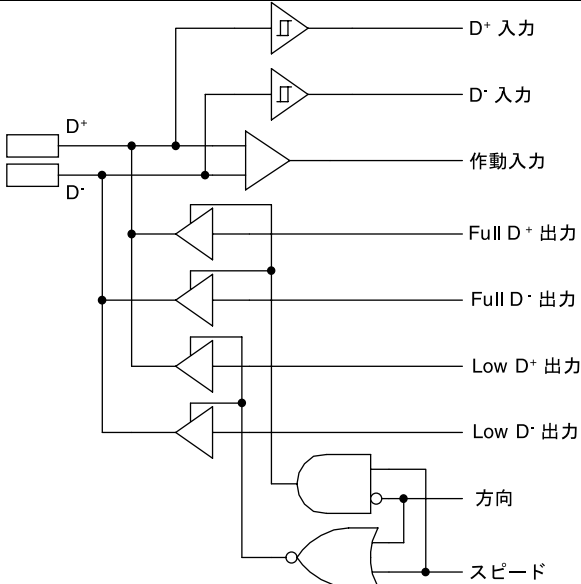
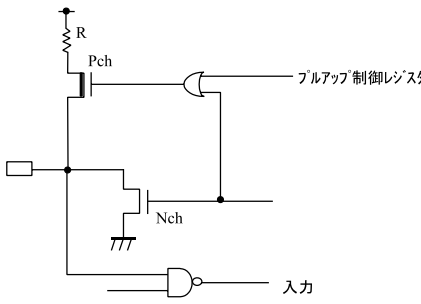
分類	回路	備考
A		発振帰還抵抗 約1M
B		・CMOS入出力
E		CMOS入出力 ヒステリシス入力

表 1.8-1 入出力回路形式(続き)

分類	回路	備考
F		・CMOS入力
I		ヒステリシス入出力 プルアップ抵抗
SBDIV		ヒステリシス入力
K		Nchオーブンドレイン入出力

第2章 デバイスの取扱いについて

この章では、USB汎用ワンチップマイクロコントローラの取扱い上の注意について説明しています。

2.1 デバイス取扱い上の注意

2.1 デバイス取扱い上の注意

ここでは、デバイスの電源電圧、端子の処理などについての注意事項を記載します。

最大定格電圧を超えないように注意(ラッチアップの防止)

最大定格電圧を超えることのないよう注意してください(ラッチアップの防止)。

- CMOS ICでは、中・高耐圧以外の入力端子や出力端子に V_{cc} より高い電圧や V_{ss} より低い電圧が印加された場合、または $V_{cc} \sim V_{ss}$ 間に定格を超える電圧が印加された場合、ラッチアップ現象が発生することがあります。
- ラッチアップが起きると電源電流が激増し、素子が熱破壊する恐れがあります。使用に際して、最大定格を超えることのないよう十分注意してください。

供給電圧はできるだけ安定化すること

供給電圧は、できるだけ安定化するよう心がけてください。

- V_{cc} 電源電圧の動作保証範囲内においても、電源電圧の急激な変化があると誤動作を生じることがあります。
- 安定化の基準として、商用周波数(50 ~ 60Hz)での V_{cc} リップル変動(P-P値)は、標準 V_{cc} 値の10%以下に、また電源の切替え時などの瞬時変化においては、過渡変動率が0.1V/ms以下になるよう電圧変動を抑えることを推奨します。

未使用入力端子の処理

使用していない入力端子を開放のままにしておくと、誤動作およびラッチアップによる永久破壊の原因になることがありますので、2k Ω 以上の抵抗を介して、プルアップまたはプルダウンの処置をしてください。

また、使用していない入出力端子については、出力状態にして解放とするか、入力状態の場合は未使用時の入力端子と同じ処理をしてください。

第3章 CPU

この章では、CPUの機能と動作について説明します。

- 3.1 メモリ空間
- 3.2 専用レジスタ
- 3.3 汎用レジスタ
- 3.4 割込み
- 3.5 リセット
- 3.6 クロック
- 3.7 スタンバイモード(低消費電力)
- 3.8 メモリアクセスモード

3.1 メモリ空間

MB89580B/BWのメモリ空間は64Kバイトで、I/O領域、RAM領域、ROM領域によって構成されます。メモリ空間の中には汎用レジスタ、ベクトルテーブルなど特定の用途に使用される領域があります。

メモリ空間の構成

I/O領域(アドレス:0000_H ~ 007F_H)

- 内蔵する周辺機能の制御レジスタ、データレジスタなどが割り当てられます。
- I/O領域はメモリ空間の一部に割り当てられているため、メモリと同様にアクセスできます。また、ダイレクトアドレッシングによって、より高速にアクセスできます。

RAM領域

- 内部データ領域としてスタティックRAMが内蔵されています。
- 内部RAM容量は品種によって異なります。
- 80_H ~ FF_Hまでをダイレクトアドレッシングによって高速にアクセスできます。
- 100_H ~ 1FF_Hまでを汎用レジスタ領域として使用できます(品種によって使用可能な領域に制限があります)。
- リセットによりRAMのデータは不定となります。

ROM領域

- 内部プログラム領域として、ROMが内蔵されています。
- 内部ROM容量は品種によって異なります。
- FFC0_H ~ FFFF_Hをベクトルテーブルなどに使用します。

メモリマップ

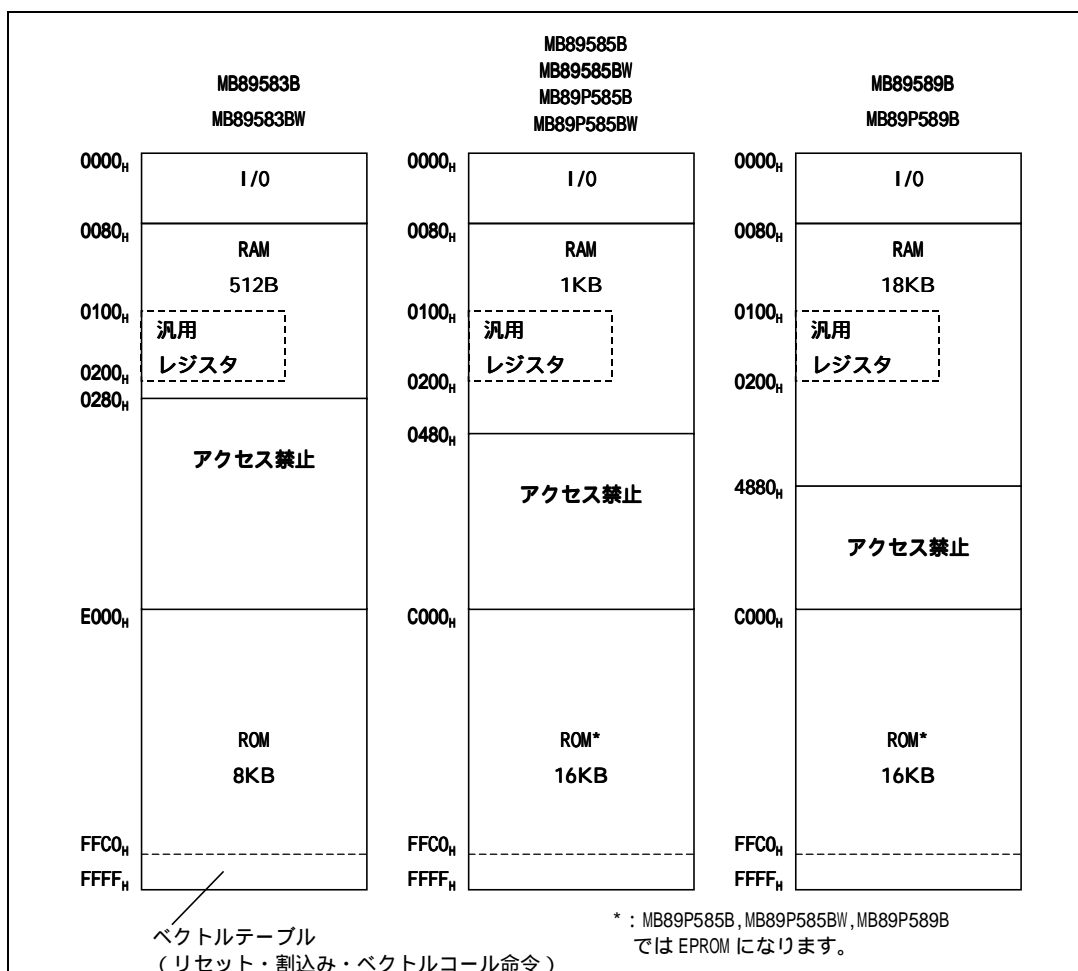


図 3.1-1 メモリマップ

3.1.1 特定用途の領域

I/O領域のほかに、特定の用途を持った領域として、汎用レジスタ領域とベクトルテーブル領域があります。

汎用レジスタ領域(アドレス:0100H～01FFH)

- 8ビットの演算や転送に使用する、補助的なレジスタを配置します。
- RAM領域の一部に割り当てられており、通常のRAMとして使用することもできます。
- 汎用レジスタとして使用すると、汎用レジスタアドレッシングによって、短い命令で高速にアクセスできます。

参考：

詳細は、「3.2.2 レジスタバンクポインタ(RP)」および「3.3 汎用レジスタ」を参照してください。

ベクトルテーブル領域(アドレス:FFC0H～FFFFH)

- ベクトルコール命令、割り込み、およびリセットのベクトルテーブルとして使用します。
- ROM領域の最上部に割り当てられており、それぞれのベクトルテーブルのアドレスに、対応する処理ルーチンの開始アドレスをデータとして設定します。

表 3.1-1に、ベクトルコール命令、割り込みおよびリセットに対応して参照されるベクトルテーブルのアドレスを示します。

参考：

詳細は、「3.4 割り込み」、「3.5 リセット」および「B.2 特殊な命令について」(「(6)CALLV #vct」)を参照してください。

表 3.1-1 ベクトルテーブル

ベクトルコール 命令	ベクトルテーブルのアドレス	
	上 位	下 位
CALLV #0	FFC0H	FFC1H
CALLV #1	FFC2H	FFC3H
CALLV #2	FFC4H	FFC5H
CALLV #3	FFC6H	FFC7H
CALLV #4	FFC8H	FFC9H
CALLV #5	FFCAH	FFCBH
CALLV #6	FFCCH	FFCDH
CALLV #7	FFCEH	FFCFH

割り込み名	ベクトルテーブルのアドレス	
	上 位	下 位
IRQB	FFE4H	FFE5H
IRQA	FFE6H	FFE7H
IRQ9	FFE8H	FFE9H
IRQ8	FFEAH	FFEBH
IRQ7	FFEC	FFEDH
IRQ6	FFEEH	FFEFH
IRQ5	FFF0H	FFF1H
IRQ4	FFF2H	FFF3H
IRQ3	FFF4H	FFF5H
IRQ2	FFF6H	FFF7H
IRQ1	FFF8H	FFF9H
IRQ0	FFFAH	FFFBH
モードデータ	*	FFFDH
リセットベクトル	FFFEH	FFFFH

*:FFFC_H は使用禁止(FF_Hを設定)

3.1.2 16ビットデータのメモリ上の配置

16ビットデータおよびスタックは、メモリ上ではアドレス値の小さい方に上位データが格納されます。

RAM上の16ビットデータの格納状態

メモリに16ビットデータを書込んだ場合、アドレス値の小さい方にデータの上位バイトが、そのつぎのアドレスにデータの下位バイトがそれぞれ格納されます。読出しの場合も同様に扱われます。

図 3.1-2にメモリ上の16ビットデータの配置を示します。

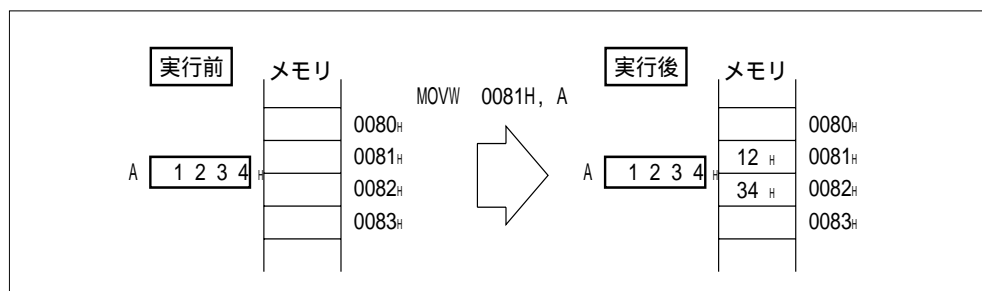


図 3.1-2 メモリ上の16ビットデータの配置

オペランドが16ビットの場合の格納状態

命令中のオペランドで16ビット指定をする場合も、オペコード(命令)に近いアドレスに上位バイトが、そのつぎのアドレスに下位バイトが格納されます。

これはオペランドがメモリアドレスを示す場合でも、16ビットのイミディエート(即値)データの場合でも同じです。

図 3.1-3に命令中の16ビットデータの配置を示します。

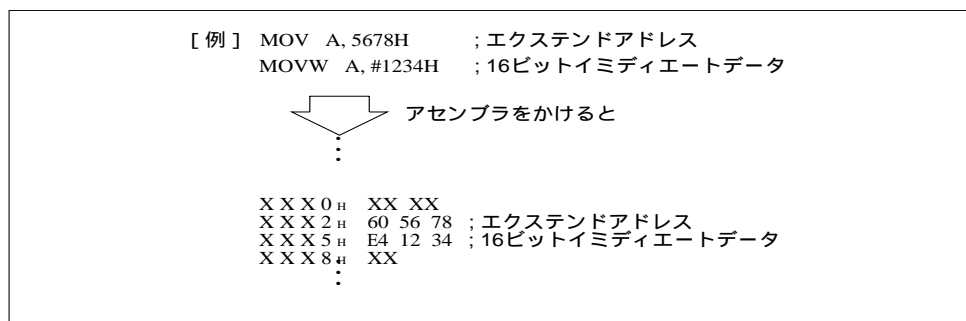


図 3.1-3 命令中の16ビットデータの配置

スタックの16ビットデータの格納状態

割込みなどで、スタックに退避した16ビット長のレジスタのデータも同じように、アドレス値の小さい方に上位バイトが格納されます。

3.2 専用レジスタ

CPU内の専用レジスタは、プログラムカウンタ(PC)と二つの演算用レジスタ(A, T)、三つのアドレスポインタ(IX, EP, SP)およびプログラムステータス(PS)によって構成されています。各レジスタは16ビット長です。

専用レジスタの構成

CPU内の専用レジスタは、七つの16ビットレジスタによって構成されています。その中で、一部のレジスタについては下位8ビットのみの使用もできます。

図 3.2-1に専用レジスタの構成を示します。

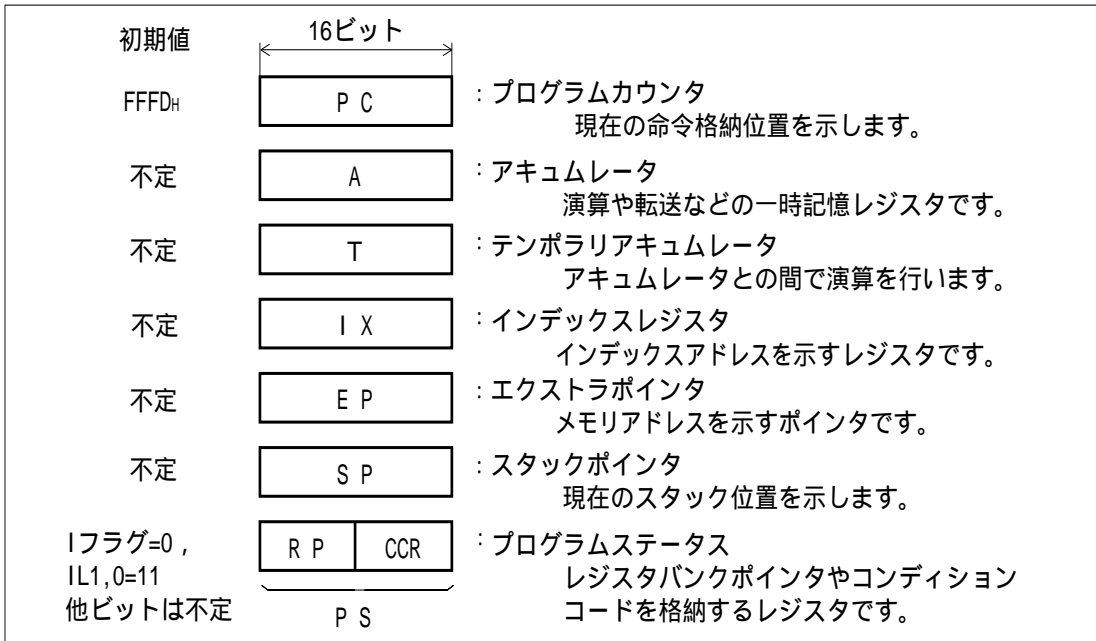


図 3.2-1 専用レジスタの構成

専用レジスタの機能

プログラムカウンタ(PC)

プログラムカウンタは、16ビット長のカウンタで、CPUが現在実行している命令のメモリアドレスを示します。プログラムカウンタは、命令の実行、割込み、リセットなどにより、その内容が更新されます。リセット動作時の初期値はモードデータの読出しアドレス(FFFD_H)です。

アキュムレータ(A)

アキュムレータは、16ビット長の演算用レジスタで、メモリ上のデータやテンポリアキュムレータ(T)などほかのレジスタ内のデータと、各種の演算や転送を行います。アキュムレータ内のデータは、ワード長(16ビット)としてもバイト長(8ビット)としても扱えます。バイト長の演算や転送を行うと、アキュムレータの下位8ビット(AL)のみが使用され、上位8ビット(AH)は変化しません。リセット後の初期値は不定です。

テンポラリアキュムレータ(T)

テンポラリアキュムレータは、16ビット長の演算補助用レジスタで、アキュムレータ(A)内のデータと、各種の演算を行います。テンポラリアキュムレータ内のデータは、アキュムレータ(A)に対する演算がワード長(16ビット)の場合はワード長で、バイト長(8ビット)の場合はバイト長で扱われます。バイト長の演算が行われると、テンポラリアキュムレータの下位8ビット(TL)のみが使用され、上位8ビット(TH)は使われません。

アキュムレータ(A)にMOV系の命令でデータを転送すると、転送前のアキュムレータ内のデータがテンポラリアキュムレータに自動的に転送されます。このときも、バイト長の転送の場合は、テンポラリアキュムレータの上位8ビット(TH)は変化しません。リセット後の初期値は不定です。

インデックスレジスタ(IX)

インデックスレジスタは、16ビット長のレジスタで、インデックスアドレスを保持します。インデックスレジスタは、1バイトのオフセット(-128 ~ +127)と組み合わせて使用され、インデックスアドレスに符号拡張したオフセット値を加算することによって、データをアクセスするためのメモリアドレスを生成します。リセット後の初期値は不定です。

エクストラポインタ(EP)

エクストラポインタは、16ビット長のレジスタで、この内容がデータをアクセスするためのメモリアドレスとなります。リセット後の初期値は不定です。

スタックポインタ(SP)

スタックポインタは、16ビット長のレジスタで、割込みやサブルーチンの呼出し、スタック退避/復帰命令などで参照するアドレスを保持します。プログラム実行中のスタックポインタの値は、スタック内に退避した最新のデータが格納されているアドレスになっています。リセット後の初期値は不定です。

プログラムステータス(PS)

プログラムステータスは、16ビット長の制御用レジスタです。上位8ビットは、汎用レジスタバンクのアドレスを示すために使用されるレジスタバンクポインタ(RP)です。

下位8ビットは、CPUの状態を示す各種のフラグにより構成されるコンディションコードレジスタ(CCR)です。8ビット長の各レジスタは、プログラムステータスの一部であり独立にはアクセスできません(プログラムステータスをアクセスする命令は、MOVW A, PSおよびMOVW PS, Aのみです)。

3.2.1 コンディションコードレジスタ(CCR)

プログラムステータス(PS)の下位8ビットであるコンディションコードレジスタ(CCR)は、演算結果や転送データの内容を示すビット(C, V, Z, N, H)と、割込み要求の受付を制御するビット(I, IL1, IL0)によって構成されます。

コンディションコードレジスタ(CCR)の構成

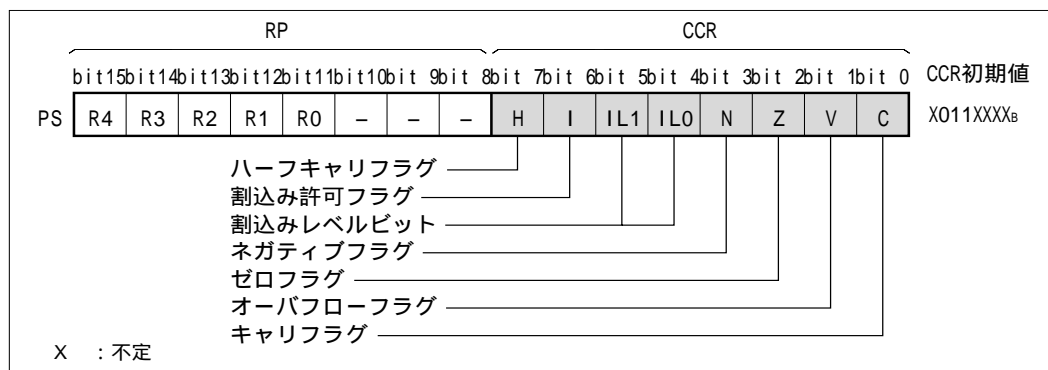


図 3.2-2 コンディションコードレジスタの構成

演算結果を示すビット

ハーフキャリフラグ(H)

演算の結果、ビット3からビット4への繰上げやビット4からビット3への借越しが発生したとき"1"にセットされ、それ以外の場合は"0"にクリアされます。このフラグは10進補正命令用なので、加減算以外の用途に使用しないでください。

ネガティブフラグ(N)

演算の結果、最上位ビットが"1"のとき"1"にセットされ、"0"のときは"0"にクリアされます。

ゼロフラグ(Z)

演算の結果が、"0"であれば"1"にセットされ、それ以外の場合は"0"にクリアされます。

オーバーフローフラグ(V)

演算の結果、2の補数のオーバーフローが発生したとき"1"にセットされ、発生しなかったときは"0"にクリアされます。

キャリフラグ(C)

演算の結果、ビット7からの繰上げ(キャリ)やビット7への借越し(ボロー)が発生したとき"1"にセットされ、発生しなかったときは"0"にクリアされます。また、シフト命令ではシフトアウトした値になります。

図 3.2-3にシフト命令によるキャリフラグの変化を示します。

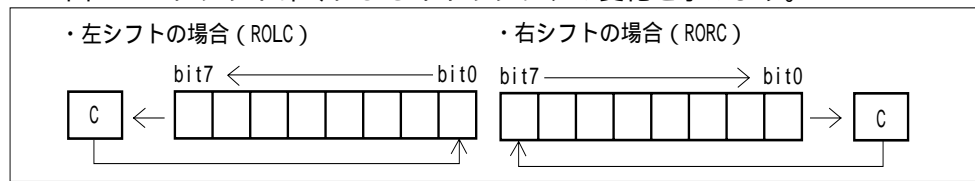


図 3.2-3 シフト命令によるキャリフラグの変化

<注意事項>

コンディションコードレジスタは、プログラムステータス(PS)の一部であり、コンディションコードレジスタのみを独立にアクセスすることはできません。

参考：

フラグを利用する場合、フラグのビットを取り出して直接利用することは、ほとんどありません。通常は、分岐命令(BNZなど)や10進補正命令(DAA, DAS)などで間接的に使います。これらのフラグのリセット後の初期値は不定です。

割込みの受け付けを制御するビット

割込み許可フラグ(I)

このフラグが"1"のとき割込みが許可され、CPUは割込みを受け付けます。"0"のときは割込みが禁止され、CPUは割込みを受け付けません。

リセット後の初期値は"0"になります。

通常はSETI命令で"1"にセット、CLRI命令で"0"にクリアします。

割込みレベルビット(IL1, 0)

このビットは、CPUが現在受け付けている割込みのレベルを示し、各周辺機能の割込み要求(IRQ0～IRQB)に対応して設定されている、割込みレベル設定レジスタ(ILR1～3)の値と比較されます。

割込み許可フラグが許可(I=1)状態で、このビットが示す値より小さい値の割込みレベルを持つ割込み要求があった場合のみ、CPUは割込み処理を行います。割込みレベルの強弱は、表 3.2-1に示すとおりです。また、リセット後の初期値は"11"になります。

表 3.2-1 割込みレベル

IL1	IL0	割込みレベル	強 弱
0	0	1	強 い
0	1		
1	0	2	
1	1	3	弱 い(割込みなし)

参考：

CPUが割込み処理中でないとき(メインプログラム実行中)は、通常、割込みレベルビット(IL1,0)は"11"となります。

割込みの詳細は、「3.4 割込み」を参照してください。

3.2.2 レジスタバンクポインタ(RP)

プログラムステータス(PS)の上位8ビットであるレジスタバンクポインタ(RP)は、現在使用している汎用レジスタバンクのアドレスを示し、汎用レジスタアドレッシング時に実アドレスに変換されます。

レジスタバンクポインタ(RP)の構成

図 3.2-4にレジスタバンクポインタの構成を示します。

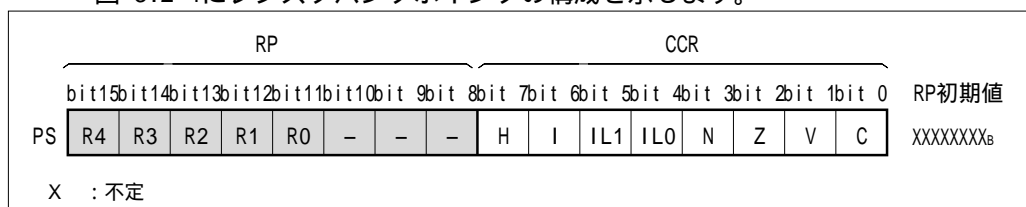


図 3.2-4 レジスタバンクポインタの構成

レジスタバンクポインタは、現在使用しているレジスタバンクのアドレスを示すもので、レジスタバンクポインタの内容と実アドレスの関係は図 3.2-5に示す変換規則になっています。

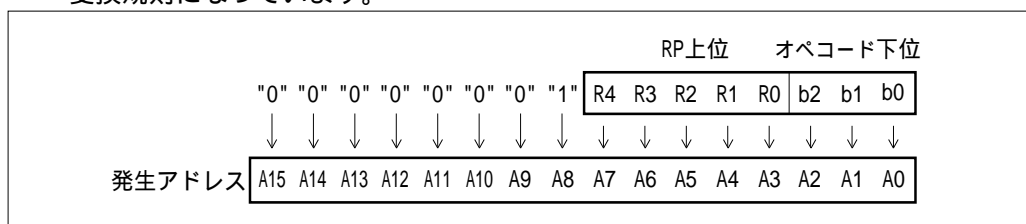


図 3.2-5 汎用レジスタ領域の実アドレス変換規則

レジスタバンクポインタは、RAM領域の中で汎用レジスタとして使用するメモリブロック(レジスタバンク)を指定するものです。レジスタバンクは、全部で32個ありレジスタバンクポインタの上位5ビットに0~31の値をセットすることにより指定します。一つのレジスタバンクには、八つの8ビット長の汎用レジスタがあり、オペコードの下位3ビットで選択します。

このレジスタバンクポインタによって、0100_H~最大01FF_Hまでを汎用レジスタ領域として使用できます。ただし、品種によっては使用可能な領域に制限があります。リセット後の初期値は不定です。

<注意事項>

- ・ 汎用レジスタを使う場合、レジスタバンクポインタ(RP)は必ず設定してから使用してください。
- ・ レジスタバンクポインタは、プログラムステータス(PS)の一部であり、レジスタバンクポインタのみを独立にアクセスすることはできません。

3.3 汎用レジスタ

汎用レジスタは、8ビット×8個を1バンクとするメモリブロックです。

レジスタバンクの指定には、レジスタバンクポインタ(RP)を使用します。

機能としては、全部で32バンクまで使用できますが、内部RAM容量が小さく全バンクを使用できない場合があります。

割込み処理、ベクトルコール処理およびサブルーチンの呼出しに使用すると有効です。

汎用レジスタの構成

- 汎用レジスタは8ビット長のレジスタで、汎用レジスタ領域(RAM上)のレジスタバンク内にあります。
- 1バンクあたり八つのレジスタ(R0～R7)があり、全部で32バンクまで使用することができます。ただし、内部RAMのみを使用する場合、品種によっては使用できるバンク数が制限されます。
- 現在使用しているレジスタバンクはレジスタバンクポインタ(RP)で指定され、オペコードの下位3ビットが汎用レジスタ0(R0)～汎用レジスタ7(R7)を示します。

図 3.3-1にレジスタバンクの構成を示します。

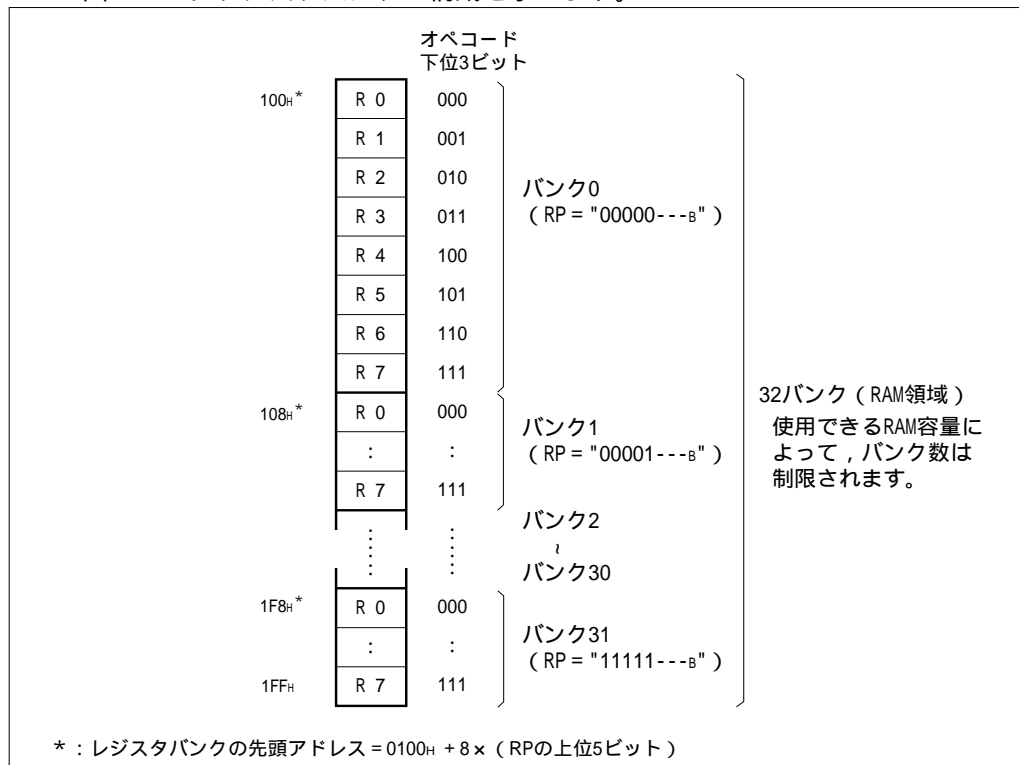


図 3.3-1 レジスタバンクの構成

各品種で使用できる汎用レジスタ領域については、「3.1.1 特定用途の領域」を参照してください。

汎用レジスタの特長

汎用レジスタは、つぎのような特長を持っています。

- 短い命令で高速にRAMをアクセスできる(汎用レジスタアドレッシング)。
- レジスタバンクによってブロック化されており、内容の保護や機能単位の分割がしやすい。

汎用レジスタは、割込み処理ルーチンやベクトルコール(CALLV #0 ~ #7)処理ルーチンに対して、それぞれ専用のレジスタバンクを固定的に割り当てることもできます。たとえば「2番目の割込みには4番目のレジスタバンクを使う」という使い方です。

割込みの場合、一つの割込み処理に対応した専用のレジスタバンクの内容が、ほかのルーチンから不用意に書き換えられないならば、割込み処理ルーチンの先頭で専用のレジスタバンクを指定するだけで割込み前の汎用レジスタを保存したことになります。これによって、汎用レジスタをスタックなどに退避する必要がなくなり、混乱なく高速に割込みを受け付けることができます。

また、サブルーチン呼出しについては、汎用レジスタの保護のほかに、通常はインデックスレジスタ(IX)などを使用して作られるリエントラントなプログラム(変数アドレスを固定しない再入可能なプログラム)をレジスタバンクによって実現することもできます。

< 注意事項 >

割込み処理ルーチン中で、レジスタバンクポインタ(RP)を書き換えて、レジスタバンクを指定するとき、コンディションコードレジスタの割込みレベルビット(CCR: IL1, 0)の値を変化させないようにプログラムする必要があります。

3.4 割込み

MB89580B/BWシリーズには、周辺機能に対応する12本の割込み要求入力があり、それぞれ独立に割込みレベルを設定することができます。

周辺機能で発生した割込み要求は、周辺機能の割込み要求出力が許可されていると、割込みコントローラによって割込みレベルを比較されます。CPUは割込みの受け付け状態にしたがって割込み動作を行います。また、割込み要求によりスタンバイモードが解除され、割込み動作または通常動作に復帰します。

周辺機能からの割込み要求

周辺機能に対応する割込み要求を表 3.4-1に示します。割込みが受け付けられると、割込み要求に対応する割込みベクトルテーブルアドレスの内容を分岐先のアドレスとして、割込み処理ルーチンへ分岐します。

各割込み要求は、割込みレベル設定レジスタ(ILR1, 2, 3)によって割込み処理の強弱を3段階に設定することができます。

割込み処理ルーチン実行中の同一レベル以下の割込み要求は、通常、現在の割込み処理ルーチンが終了してから処理されます。また、同一レベルに設定された割込み要求が同時に発生した場合の優先順位は、IRQ0が最高となります。

表 3.4-1 割込み要求と割込みベクトル

割込み要求	ベクトルテーブルのアドレス		割込みレベル設定レジスタのビット名	同一レベル優先順位 (同時発生時)
	上位	下位		
IRQ0(外部割込み)	FFFA _H	FFFB _H	L01, L00	<div>高い</div> <div>↑</div> <div>↓</div> <div>低い</div>
IRQ1(パラレルポート)	FFF8 _H	FFF9 _H	L11, L10	
(未使用)	FFF6 _H	FFF7 _H	L21, L20	
IRQ3(USB FUNCTION1)	FFF4 _H	FFF5 _H	L31, L30	
(未使用)	FFF2 _H	FFF3 _H	L41, L40	
IRQ5(USB FUNCTION2)	FFF0 _H	FFF1 _H	L51, L50	
IRQ6(UART/SIO)	FFEE _H	FFEF _H	L61, L60	
IRQ7(タイムベースタイマ)	FFEC _H	FFED _H	L71, L70	
IRQ8(8ビットPWMタイマ1,2)	FFEA _H	FFEB _H	L81, L80	
IRQ9(未使用)	FFE8 _H	FFE9 _H	L91, L90	
IRQA(未使用)	FFE6 _H	FFE7 _H	LA1, LA0	
IRQB(未使用)	FFE4 _H	FFE5 _H	LB1, LB0	

3.4.1 割込みレベル設定レジスタ(ILR1,2,3)

割込みレベル設定レジスタ(ILR1, 2, 3)には、周辺機能からの割込み要求に対応した2ビットのデータが12組割り当てられています。これらの2ビットデータ(割込みレベル設定ビット)に、それぞれの割込みレベルを設定することができます。

割込みレベル設定レジスタ(ILR1, 2, 3)の構成

レジスタ	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
ILR1	0 0 7 C _H	L31	L30	L21	L20	L11	L10	L01	L00	11111111 _b
		W	W	W	W	W	W	W	W	
ILR2	0 0 7 D _H	L71	L70	L61	L60	L51	L50	L41	L40	11111111 _b
		W	W	W	W	W	W	W	W	
ILR3	0 0 7 E _H	LB1	LB0	LA1	LA0	L91	L90	L81	L80	11111111 _b
		W	W	W	W	W	W	W	W	

W : ライトオンリー

図 3.4-1 割込みレベル設定レジスタの構成

割込みレベル設定レジスタは、各割込み要求に対して2ビットずつ割り当てられています。これらのレジスタに設定された割込みレベル設定ビットの値が、割込み処理の強弱(割込みレベル1～3)となります。

割込みレベル設定ビットは、コンディションコードレジスタの割込みレベルビット(CCR: IL1, 0)と比較されます。

割込みレベル3を設定した場合は、CPUは割込み要求を受け付けません。

表 3.4-2に割込みレベル設定ビットと割込みレベルの関係を示します。

表 3.4-2 割込みレベル設定ビットと割込みレベルの関係

L01～LB1	L00～LB0	要求割込みレベル	強 弱
0	0	1	強 い
0	1		
1	0	2	
1	1	3	弱 い(割込みなし)

参考：

メインプログラム実行中は、コンディションコードレジスタの割込みレベルビット(CCR: IL1, 0)は、通常"11"となります。

< 注意事項 >

ILR1, ILR2, ILR3レジスタは、書込み専用(ライトオンリー)のため、ビット操作命令(SETB, CLRB)は使用できません。

3.4.2 割り込み動作時の処理

周辺機能から割り込み要求が発生すると、割り込みコントローラは割り込みレベルをCPUに伝達します。CPUは割り込みを受け付けられる状態になっていると、現在実行中のプログラムを一時中断し、割り込み処理ルーチンを実行します。

割り込み動作時の処理

割り込み動作の手順は、周辺機能の割り込み要因の発生、割り込み要求フラグビット(要求FF)のセット、割り込み要求許可ビット(許可FF)の判定、割り込みレベル(ILR1, 2, 3およびCCR: IL1, 0)の判定、同一レベルの同時要求の判定、割り込み許可フラグ(CCR: I)の判定の順で行われます。

図 3.4-2に割り込み動作時の処理を示します。

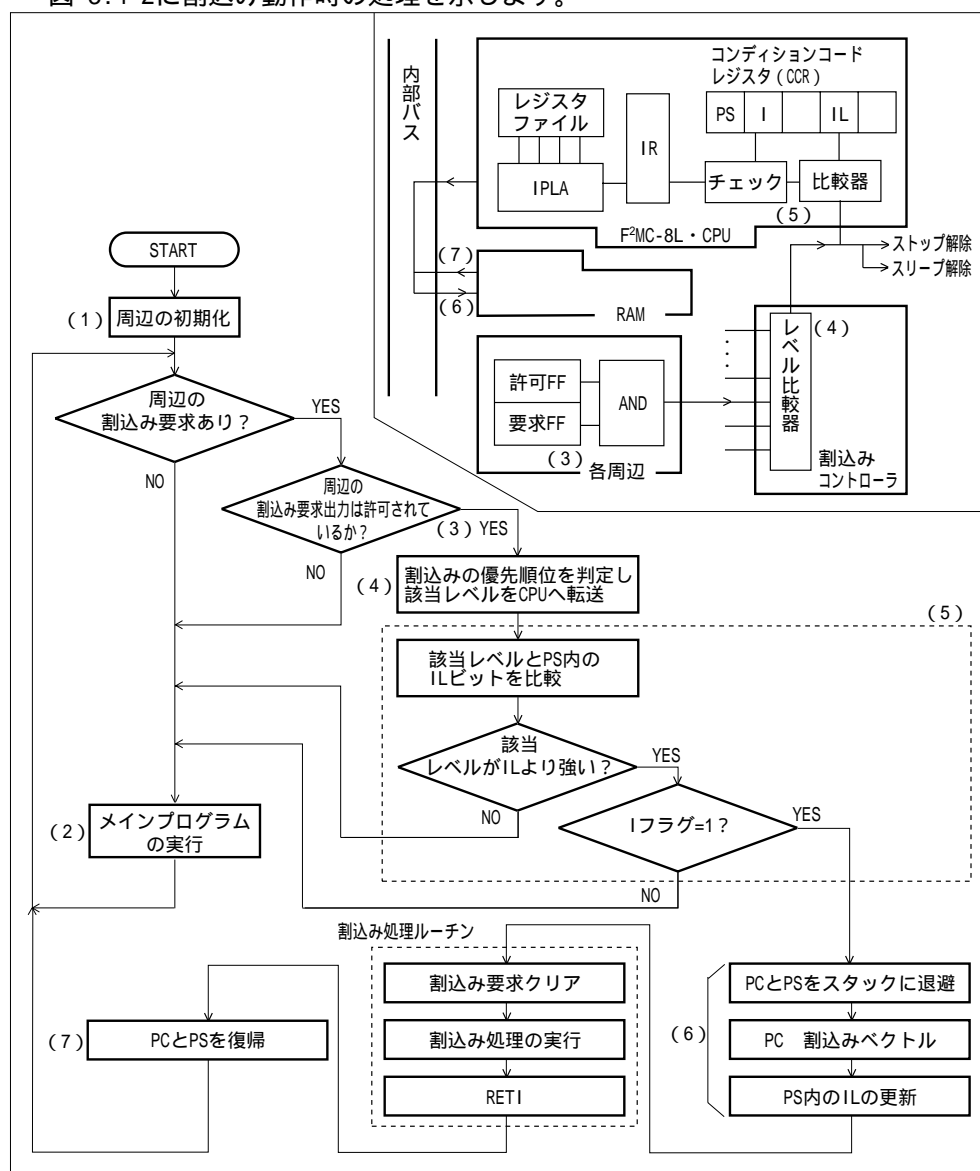


図 3.4-2 割り込み動作時の処理

- 1) リセット後は、すべての割込み要求は禁止状態になっています。
周辺機能の初期化プログラムで、割込みを発生する各周辺機能を初期化し、該当する割込みレベル設定レジスタ(ILR1, 2, 3)に割込みレベルを設定してから、周辺機能を動作させます。
割込みレベルは、1, 2, 3のいずれかを設定できます。レベル1が最も強く、レベル2がそのつぎの強さになります。レベル3に設定した場合は、該当する周辺機能の割込みは禁止されます。
- 2) メインプログラム(多重割込みの場合は、割込み処理ルーチン)を実行します。
- 3) 周辺機能で割込み要因が発生したとき、周辺機能の割込み要求フラグビット(要求FF)が"1"にセットされます。このとき周辺機能の割込み要求許可ビットが許可(許可FF=1)されていると、割込みコントローラへ割込み要求を出力します。
- 4) 割込みコントローラは、各周辺機能からの割込み要求を常に監視しており、現在発生している割込み要求に対応する割込みレベルの中から、最も強い割込みレベルをCPUに伝達します。このとき、同一の割込みレベルで同時に要求があった場合の優先順位も判定されます。
- 5) CPUは受け取った割込みレベルが、コンディションコードレジスタの割込みレベルビット(CCR: IL1, 0)に設定されているレベルより、優先度が強い(レベルが小さい)場合、割込み許可フラグ(CCR: I)の内容をチェックして、割込み許可(CCR: I=1)になっていれば割込みを受け付けます。
- 6) プログラムカウンタ(PC)とプログラムステータス(PS)の内容をスタックに退避し、該当する割込みベクトルテーブルから割込み処理ルーチンの先頭アドレスを取り込み、コンディションコードレジスタの割込みレベルビット(CCR: IL1, 0)の値を受け付けた割込みレベルの値に変更した後、割込み処理ルーチンの実行を開始します。
- 7) 最後にRETI命令でスタックに退避しておいたプログラムカウンタ(PC)とプログラムステータス(PS)の値を復帰して、割込み直前に実行した命令のつぎの命令から処理を実行します。

<注意事項>

周辺機能の割込み要求フラグビットは、割込み要求が受け付けられても自動的にクリアされないため、割込み処理ルーチンでプログラム(通常は、割込み要求フラグビットへの"0"の書込み)によって、クリアする必要があります。

スタンバイモード(低消費電力)は割込みによって解除されます。詳細は、「3.7 スタンバイモード(低消費電力)」を参照してください。

参考：

割込み処理ルーチンの先頭で、割込み要求フラグビットをクリアすると、割込みを起こした周辺機能が、割込み処理ルーチン実行中に再割込みを発生(割込み要求フラグビットの再セット)できるようになります。ただし、割込みの受け付けは、通常、現在の割込み処理ルーチンが終了してからとなります。

3.4.3 多重割り込み

周辺機能からの複数の割り込み要求に対して、割り込みレベル設定レジスタ(ILR1, 2, 3)に異なる割り込みレベルを設定することにより、多重割り込みを行うことができます。

多重割り込み

割り込み処理ルーチン実行中に、より強い割り込みレベルに設定された割り込み要求が発生すると、現在の割り込み処理を中断して、より強い割り込み要求を受け付けます。割り込みレベルは1～3まで設定できますが、レベル3に設定した場合は、CPUは割り込み要求を受け付けません。

多重割り込みの例

多重割り込み処理の例として、タイマ割り込みより外部割り込みを優先させる場合を想定し、タイマ割り込みのレベルを2に、外部割り込みのレベルを1に設定します。このとき、タイマ割り込み処理中に外部割り込みが発生すると、図 3.4-3のような処理を行います。

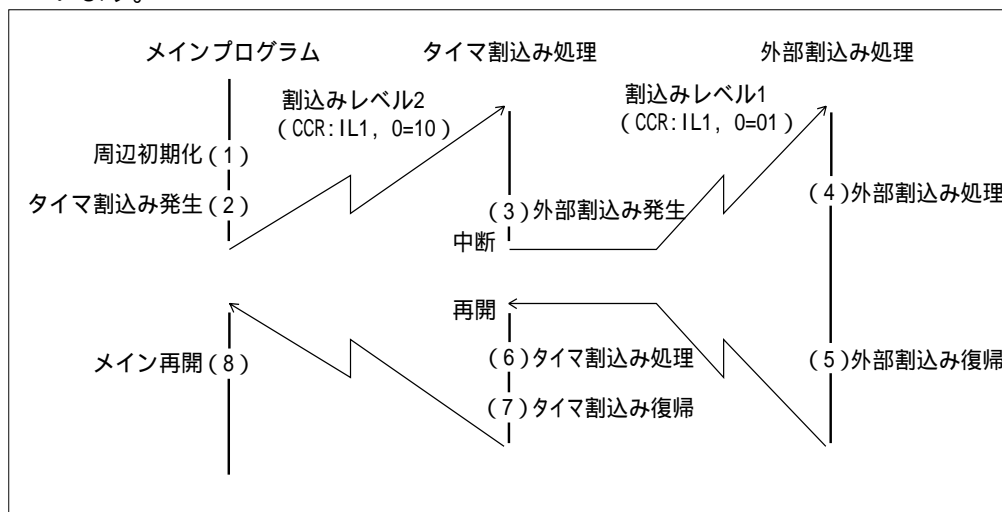


図 3.4-3 多重割り込みの例

- タイマ割り込み処理中は、コンディションコードレジスタの割り込みレベルビット(CCR: IL1, 0)は、タイマ割り込みに対応する割り込みレベル設定レジスタ(ILR1, 2, 3)の値と同じ値(例では2)になります。このとき、より強い割り込みレベル(例では1)に設定された割り込み要求が発生すると、その割り込み処理を優先して行います。
- タイマ割り込み中に多重割り込みを一時的に禁止したい場合は、コンディションコードレジスタ内の割り込み許可フラグを割り込み禁止(CCR: I=0)に設定するか、割り込みレベルビット(IL1, 0)を"00"にします。
- 割り込み処理が終了して割り込み復帰命令(RETI)を実行すると、スタックに退避していたプログラムカウンタ(PC)とプログラムステータス(PS)の値を復帰して、割り込まれたプログラムの処理に戻ります。

コンディションコードレジスタ(CCR)は、プログラムステータス(PS)が復帰されることにより、割り込み前の値となります。

3.4.4 割り込み処理時間

割り込み要求が発生して割り込み処理ルーチンに制御が移行するまでには、現在実行中の命令が終了するまでの時間と、割り込みハンドリング時間(割り込み処理準備に要する時間)の合計時間を必要とします。この時間は、最大で30インストラクションサイクルとなります。

割り込み処理時間

割り込み要求が発生してから割り込みが受け付けられて、割り込み処理ルーチンが実行されるまでには、割り込み要求サンプル待ち時間と割り込みハンドリング時間が必要です。

割り込み要求サンプル待ち時間

割り込み要求が発生しているかどうかは、各命令の最後のサイクルで割り込み要求をサンプルリングして判断します。そのため、各命令の実行中はCPUは割り込み要求を認識することができません。この待ち時間は、最も実行サイクルの長いDIVU命令(21インストラクションサイクル)の実行開始直後に割り込み要求が発生した場合に、最大となります。

割り込みハンドリング時間

CPUは割り込みを受け付けてから、以下の割り込み処理準備を行うために9インストラクションサイクルを必要とします。

- プログラムカウンタ(PC)とプログラムステータス(PS)の退避
- 割り込み処理ルーチンの先頭アドレス(割り込みベクトル)をPCにセット
- プログラムステータス(PS)内の割り込みレベルビット(PS:CCR:IL1, 0)の更新

図 3.4-4に割り込み処理時間を示します。

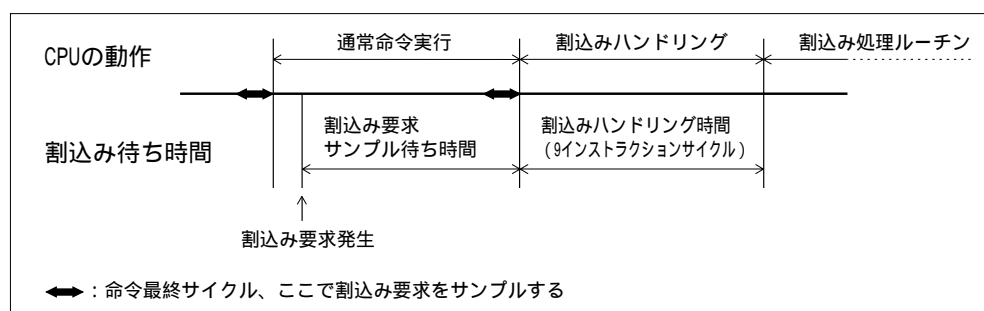


図 3.4-4 割り込み処理時間

最も実行サイクルの長いDIVU命令(21インストラクションサイクル)の実行開始直後に割り込み要求が発生した場合、 $21 + 9 = 30$ インストラクションサイクルの割り込み処理時間がかかることになります。ただし、プログラムでDIVU命令、MULU命令を使用しない場合は、最大で $6 + 9 = 15$ インストラクションサイクルの割り込み処理時間となります。

3.4.5 割り込み処理開始時のスタック動作

割り込み処理時のレジスタの退避と復帰について説明します。

割り込み処理開始時のスタック動作

割り込みが受け付けられると、CPUは現在のプログラムカウンタ(PC)とプログラムステータス(PS)の内容を自動的にスタックに退避します。

図 3.4-5に割り込み処理開始時のスタック動作を示します。

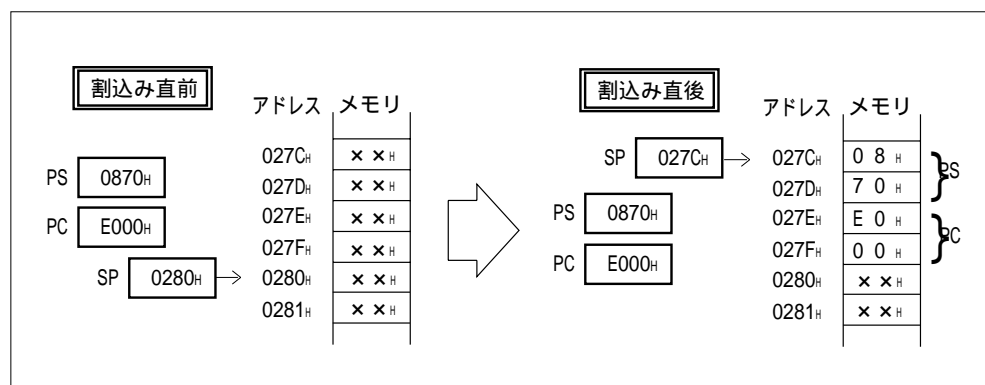


図 3.4-5 割り込み処理開始時のスタック動作

割り込み復帰時のスタック動作

割り込み処理終了時に割り込み復帰命令(RETI)を実行すると、割り込み処理開始時と反対にプログラムステータス(PS)、プログラムカウンタ(PC)の順にスタックから復帰します。これによってPS、PCは割り込み開始直前の状態に戻ります。

< 注意事項 >

アキュムレータ(A)とテンポリアキュムレータ(T)は、自動的にスタックに退避されませんので、PUSHW、POPW命令でA、Tの値を退避、復帰させてください。

3.4.6 割り込み処理のスタック領域

割り込み処理の実行には，RAM上のスタック領域を使用します。スタックポインタ (SP)の内容が，スタック領域の先頭アドレスとなります。

割り込み処理のスタック領域

スタック領域は，サブルーチンコール命令 (CALL) やベクトルコール命令 (CALLV) を実行するときのプログラムカウンタ (PC) の退避/復帰や，PUSHW, POPW命令による一時的なレジスタ類の退避/復帰にも使われます。

- スタック領域は，データ領域とともにRAM上に確保します。
- スタックポインタ (SP) はRAMアドレスの最大値を示すように初期設定し，データ領域は，RAMアドレスの小さい方から配置することを推奨します。

図 3.4-6にスタック領域の設定例を示します。

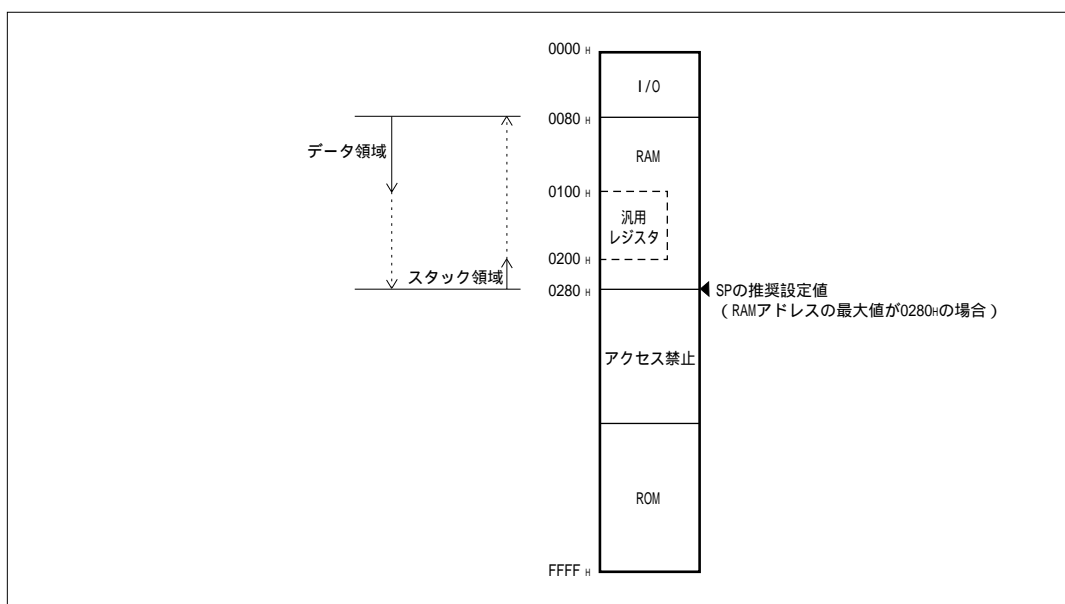


図 3.4-6 割り込み処理のスタック領域

参考：

スタック領域は，割り込み，サブルーチンコール，PUSHW命令などにより，アドレス値の大きい方から小さい方に向かって使用され，復帰命令 (RETI, RET)，POPW命令などにより大きい方に向かってスタック領域を開放します。多重の割り込みやサブルーチンコールによって，使用されるスタック領域のアドレス値が小さくなったとき，ほかのデータを保持しているデータ領域や汎用レジスタ領域に決して重なり合わないよう配慮してください。

3.5 リセット

リセットには、以下の四つのリセット要因があります。

- ・ 外部リセット
- ・ ソフトウェアリセット
- ・ ウォッチドッグリセット
- ・ パワーオンリセット

リセット要因

表 3.5-1 リセット要因

リセット要因	リセット条件
外部リセット	外部リセット端子を"L"レベルにする
ソフトウェアリセット	スタンバイ制御レジスタのソフトウェアリセットビット(STBC:RST)に"0"を書き込む
ウォッチドッグリセット	ウォッチドッグタイマのオーバフロー
パワーオンリセット	電源の投入

外部リセット

外部リセットは、外部リセット端子($\overline{\text{RST}}$)に"L"レベルを入力することによって、リセットを発生します。リセット端子が"H"レベルになると、外部リセットは解除されます。

外部リセット端子は、リセット出力端子としても機能します。

ソフトウェアリセット

ソフトウェアリセットは、スタンバイ制御レジスタのソフトウェアリセットビット(STBC:RST)に"0"を書き込むことによって、4インストラクションサイクルのリセットを発生します。

ウォッチドッグリセット

ウォッチドッグリセットは、ウォッチドッグタイマの起動後、定められた時間内にウォッチドッグ制御レジスタ(WDTC)にデータの書き込みがないとき、4インストラクションサイクルのリセットを発生します。

パワーオンリセット

パワーオンリセットは、電源投入によってリセットを発生します。

リセット要因とメインクロックの発振安定待ち時間

発振安定待ち時間は、リセットが発生したときの動作モードによって動作が異なります。

リセット終了後は、リセット前の動作モード(クロックモードおよびスタンバイモード)やリセット要因に関係なく、メインクロックモードの通常動作で動作を開始します。そのため、メインクロックの発振が停止しているかメインクロックの発振安定待ち時間中にリセットが発生すると、メインクロックの発振安定待ちリセット状態となります。

ソフトウェアリセットやウォッチドッグリセットの場合、メインクロックモードで動作中は、発振安定待ち時間を取りません。

表 3.5-2にリセット要因とメインクロックの発振安定待ち時間およびリセット動作(モードフェッチ)の関係について示します。

表 3.5-2 リセット要因と発振安定待ち時間

リセット要因	動作状態	リセット動作とメインクロック発振安定待ち時間
外部リセット ^{*1}	電源投入時、 ストップモード 中	メインクロックの発振安定待ち時間経過後、外部リセットが解除されていれば、リセット動作を行います。 ^{*2}
ソフトウェアリ セットおよび ウォッチドッグ リセット	メインクロック モード	4ストラクションサイクルのリセットを発生後、リセット動作を行います。 ^{*3}
パワーオンリセット		電源投入後、メインクロックの発振安定待ち時間が経過してから、リセット動作を行います。 ^{*2}

^{*1}: メインクロックモード動作中の外部リセットでは、発振安定待ち時間を取りません。外部リセット解除後にリセット動作を行います。

^{*2}: メインクロックの発振安定待ち時間の間、 $\overline{\text{RST}}$ 端子に"L"レベルを出力します。

^{*3}: 4インストラクションサイクルの間、 $\overline{\text{RST}}$ 端子に"L"レベルを出力します。

3.5.1 外部リセット端子

外部リセット端子は, "L" レベルの入力によってリセットを発生します。
内部のリセット要因により "L" レベルを出力します。

外部リセット端子のブロックダイアグラム

リセット出力ありの品種の外部リセット端子($\overline{\text{RST}}$)は, ヒステリシス入力と, プルアップされたNchオープンドレイン出力になっています。

図 3.5-1に外部リセット端子のブロックダイアグラムを示します。

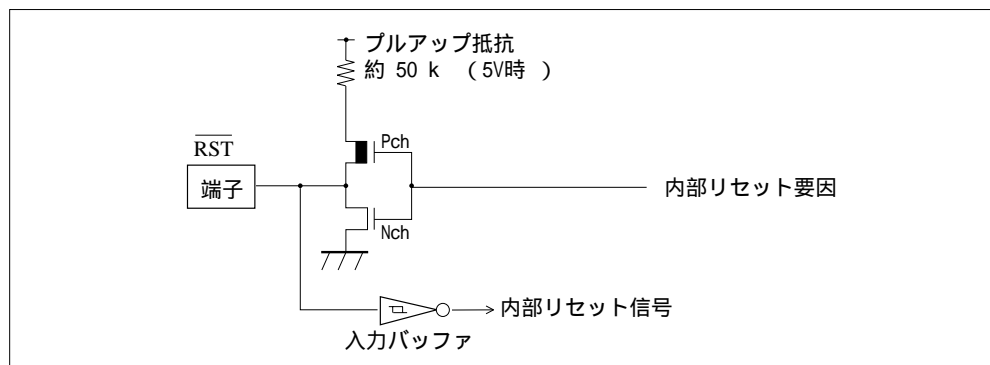


図 3.5-1 外部リセット端子のブロックダイアグラム

外部リセット端子の機能

外部リセット端子($\overline{\text{RST}}$)は "L" レベルの入力によって内部リセット信号を発生します。

また, 内部のリセット要因およびリセットによる発振安定待ち時間によって "L" レベルを出力します。内部リセット要因には, ソフトウェアリセット, ウォッチドッグリセットおよびパワーオンリセットがあります。

<注意事項>

外部からのリセット入力, 内部のクロックと無関係に非同期で受け付けられます。

また, 内部回路の初期化には, クロックが必要です。

3.5.2 リセット動作

CPUはリセットが解除されると、モード端子の設定によってモードデータとリセットベクトルを内部ROMから読み出します(モードフェッチ)。電源投入時、ストップモードからのリセットによる復帰では、発振安定待ち時間が経過してからモードフェッチを行います。リセットが発生した場合、RAMの内容は保証できません。

リセット動作の概要

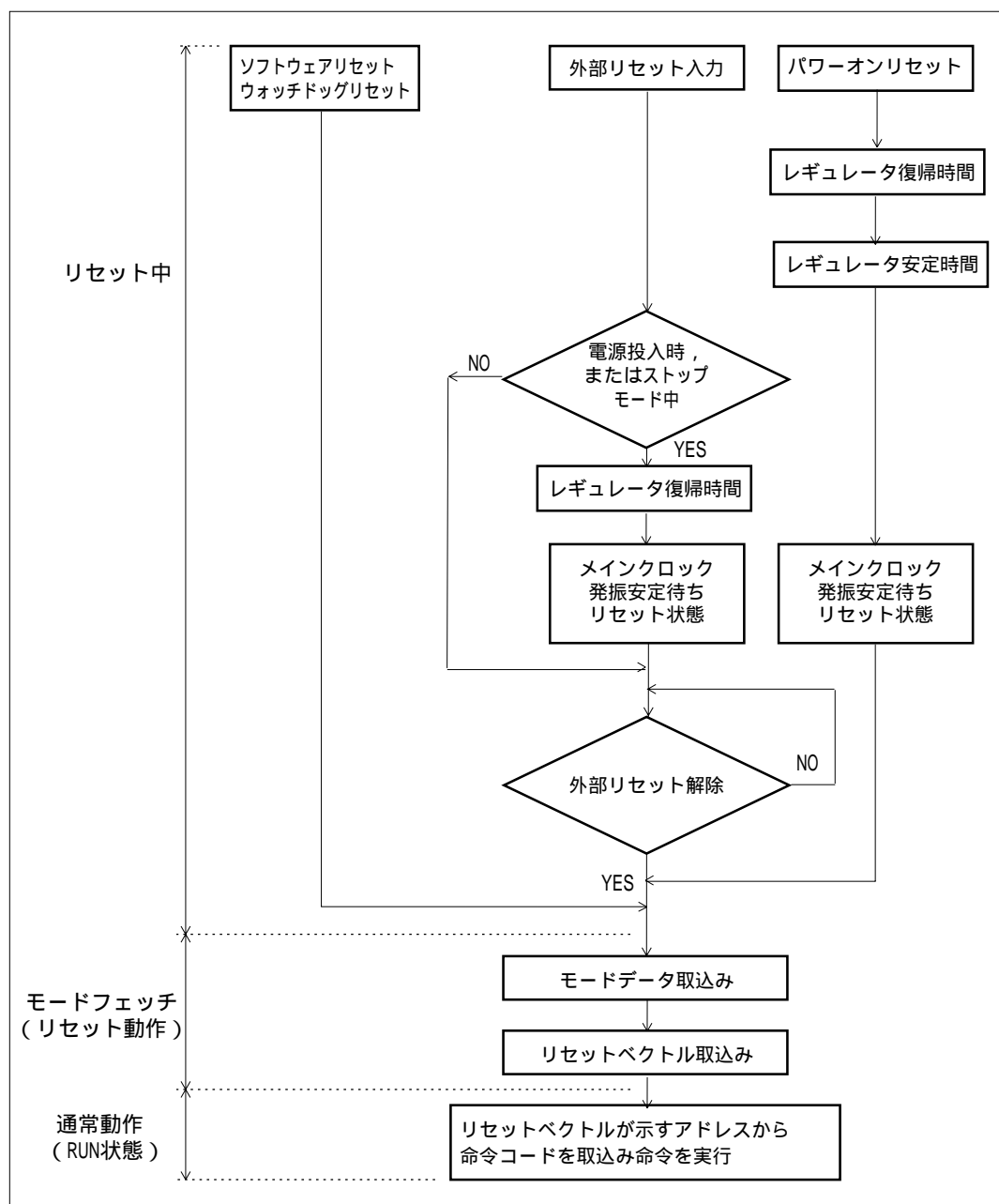


図 3.5-2 リセット動作フロー

モード端子

MB89580B/BWは、シングルチップモード専用です。モード端子(MOD0, MOD1)は、必ず"Vss"としてください。内部ROMをモードデータとリセットベクトルの読出し先として選択します。モード端子はリセット動作終了後も設定を変更しないでください。

モードフェッチ

リセットが解除されると、内部ROMから、モードデータとリセットベクトルを読み込みます。

モードデータ(アドレス:FFFF_H)

モードデータには、必ずシングルチップモード(00_H)を設定しておいてください。

リセットベクトル(アドレス:上位FFFE_H/下位FFFF_H)

リセット動作終了後の実行開始アドレスを書き込んでおきます。この内容のアドレスから命令を実行します。

発振安定待ちリセット状態

電源投入時のリセットおよびストップモード中の外部リセットに対するリセット動作は、発振安定待ち時間が経過してからとなります。このとき、外部リセット入力解除されていなければ、外部リセット解除後にリセット動作を行います。

発振安定待ち時間が必要なため、リセット時には外部クロックの入力が必要です。

メインクロックの発振安定待ち時間は、タイムベースタイマによって作られます。

RAM内容のリセットによる影響

外部リセットは内部のクロックで同期化されず、直接内部のリセットとなります。そのため、リセット前後でRAMの内容が変わる場合がありますので、必ずRAMを初期化して使用してください。

レギュレータ復帰時間

MB89580B/BWは、内部3.3V動作にするため、降圧回路を搭載しています。降圧回路はストップモード時、最小消費電力になります。

レギュレータ復帰時間は、降圧回路が通常動作を再開するまでの時間で20 μ s以上必要です。

レギュレータ安定時間

パワーオンリセット時は、発振安定時間に加えてレギュレータの安定時間が必要になります。電源端子に供給する電圧はレギュレータ安定時間内に最小動作電圧に達する必要があります。

レギュレータ安定時間は発振クロックにより $2^{19}/F_{CH}$ 以上必要です。(F_{CH}:メインクロック発振)

3.5.3 リセットによる各端子の状態

リセットによって各端子の状態は初期化されます。

リセット中の端子の状態

リセット要因が発生すると、I/O端子(リソース端子)は一部を除きすべてハイインピーダンスになり、モードデータの読出し先は内部ROMになります。

モードデータ読出し後の端子の状態

モードデータ読込み直後のI/O端子状態は、一部を除きすべてハイインピーダンスのままです。(プルアップオプション設定レジスタでプルアップ抵抗ありを選択している端子は"H"レベルになります)

< 注意事項 >

リセット要因が発生したときハイインピーダンスとなる端子は、その端子に接続した機器が誤動作しないように配慮してください。

3.6 クロック

外部に振動子を接続することによって、クロックを発生します。クロックは、クロック制御部に入力された後、PLL回路により逡倍クロックにされ、CPU動作クロックと周辺回路動作クロックに分けて供給されます。この動作クロックは、低消費電力モードの動作モードに対応して、供給が制御されます。

クロック供給マップ

クロックの発振とCPUや周辺回路(周辺機能)に対する供給は、クロック制御部によって制御されます。このため、CPUや周辺回路の動作クロックは、スタンバイモード(スリープ/ストップ)の影響を受けます。

各周辺機能へは周辺回路用のクロックで動作するフリーランカウンタの分周出力が供給されます。ただし、メインクロック発振の2分周出力となるHCLK出力や、タイムベースタイマの分周出力が供給される周辺機能はギア機能の影響を受けません。

USBファンクション部がFullspeed動作モード時は、PLL回路部により8逡倍(48MHz)とその4分周クロック(12MHz)で動作します。

USBファンクション部がLowspeed動作モード時は、6MHzとその4分周クロック1.5MHzにより動作します。

図 3.6-1にクロック供給マップを示します。

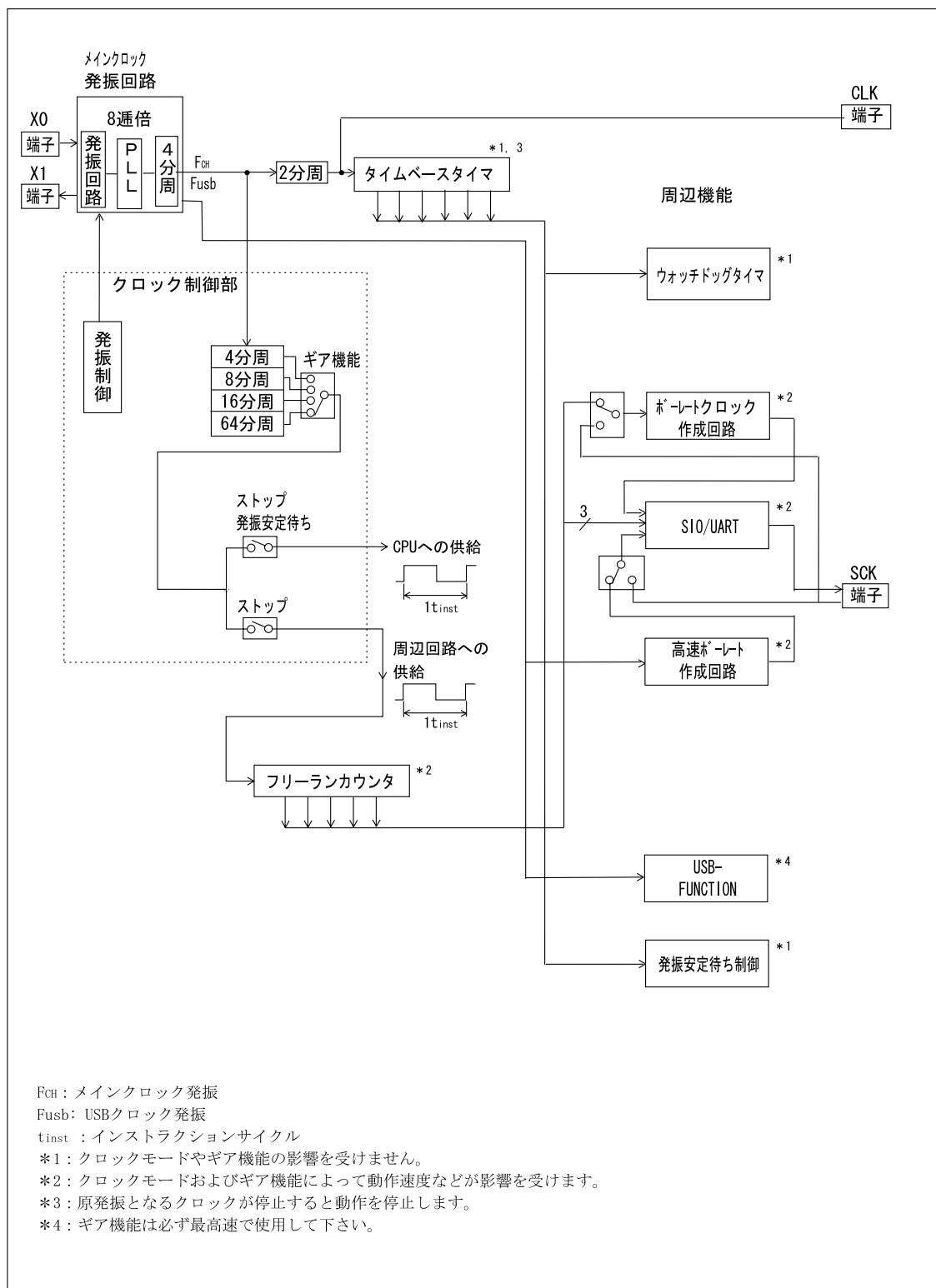


図 3.6-1 クロック供給マップ

3.6.1 クロック発生部

メインクロック発振の許可と停止はストップモードによって制御されます。

クロック発生部(水晶振動子の場合)

水晶振動子の場合のクロック発生部は図 3.6-2のように接続してください。

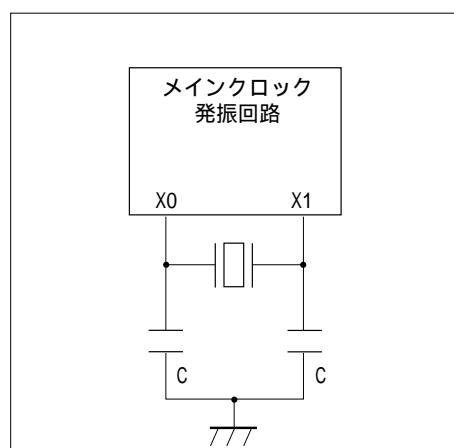


図 3.6-2 水晶振動子の接続例

3.6.2 クロック制御部

クロック制御部は、以下の六つのブロックで構成されています。

- ・メインクロック発振回路
- ・システムクロックセクタ
- ・クロック制御回路
- ・発振安定待ち時間セクタ
- ・システムクロック制御レジスタ (SYCC)
- ・スタンバイ制御レジスタ (STBC)

クロック制御部のブロックダイアグラム

図 3.6-3にクロック制御部のブロックダイアグラムを示します。

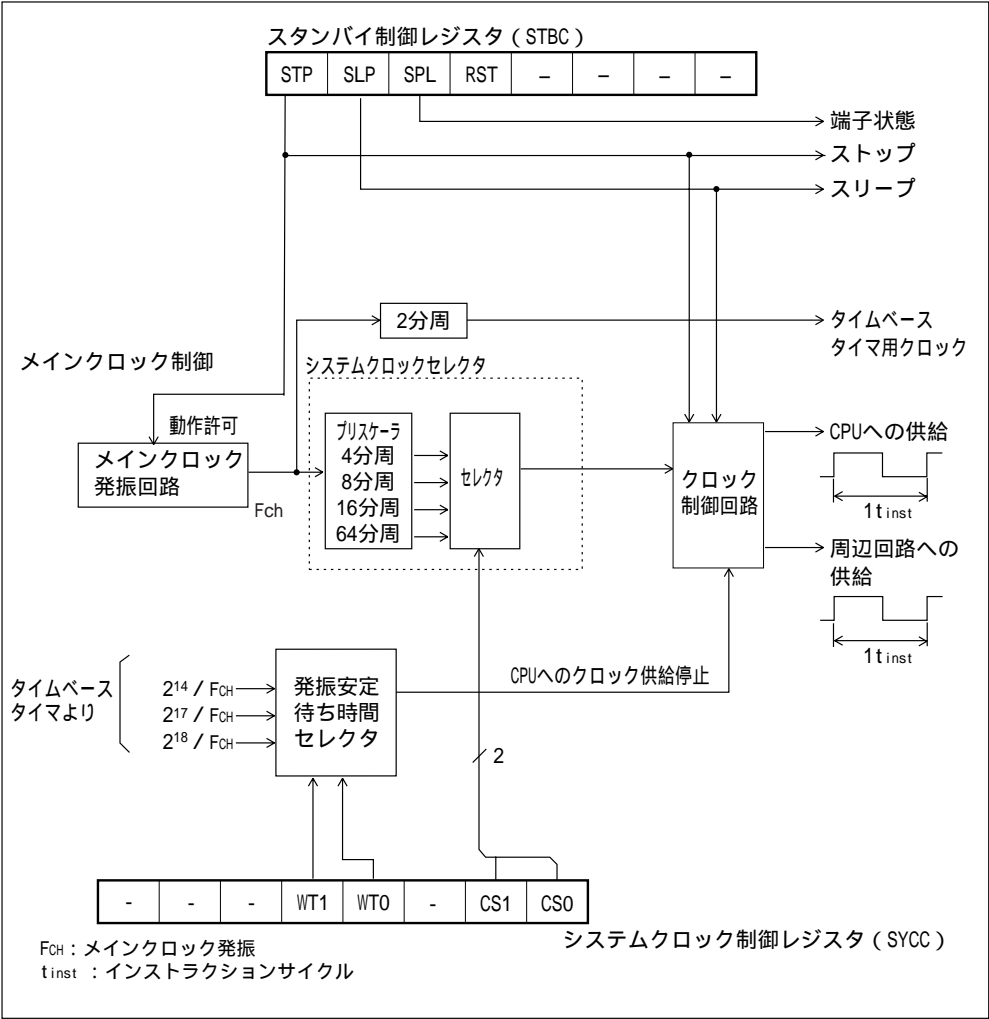


図 3.6-3 クロック制御部のブロックダイアグラム

メインクロック発振回路

メインクロックの発振回路です。ストップモードでは発振を停止します。

クロック制御回路

CPUと各周辺回路の動作クロックの供給を通常動作(RUN)と各スタンバイモード(スリープ、ストップ)に対応して制御します。

また、発振安定待ち時間セクタのクロック供給停止信号が解除されるまで、CPUへのクロックの供給を停止します。

発振安定待ち時間セクタ

タイムベースタイマで作られる3種類のメインクロック用発振安定待ち時間から、スタンバイモードおよびリセットに対応して1種類選択し、CPUへのクロック供給停止信号として出力します。

システムクロック制御レジスタ(SYCC)

メインクロック速度の選択、メインクロックの発振安定待ち時間の選択を行います。

スタンバイ制御レジスタ(STBC)

通常動作(RUN)からスタンバイモードへの移行、ストップモード時の端子状態の設定、およびソフトウェアリセットを行います。

システムクロックセクタ

メインクロック発振を分周した4種類のクロックから1種類を選択してクロック制御回路へ供給します。

3.6.3 システムクロック制御レジスタ(SYCC)

システムクロック制御レジスタ(SYCC)は、メインクロック速度の選択、および発振安定待ち時間の選択などを行うレジスタです。

システムクロック制御レジスタ(SYCC)の構成

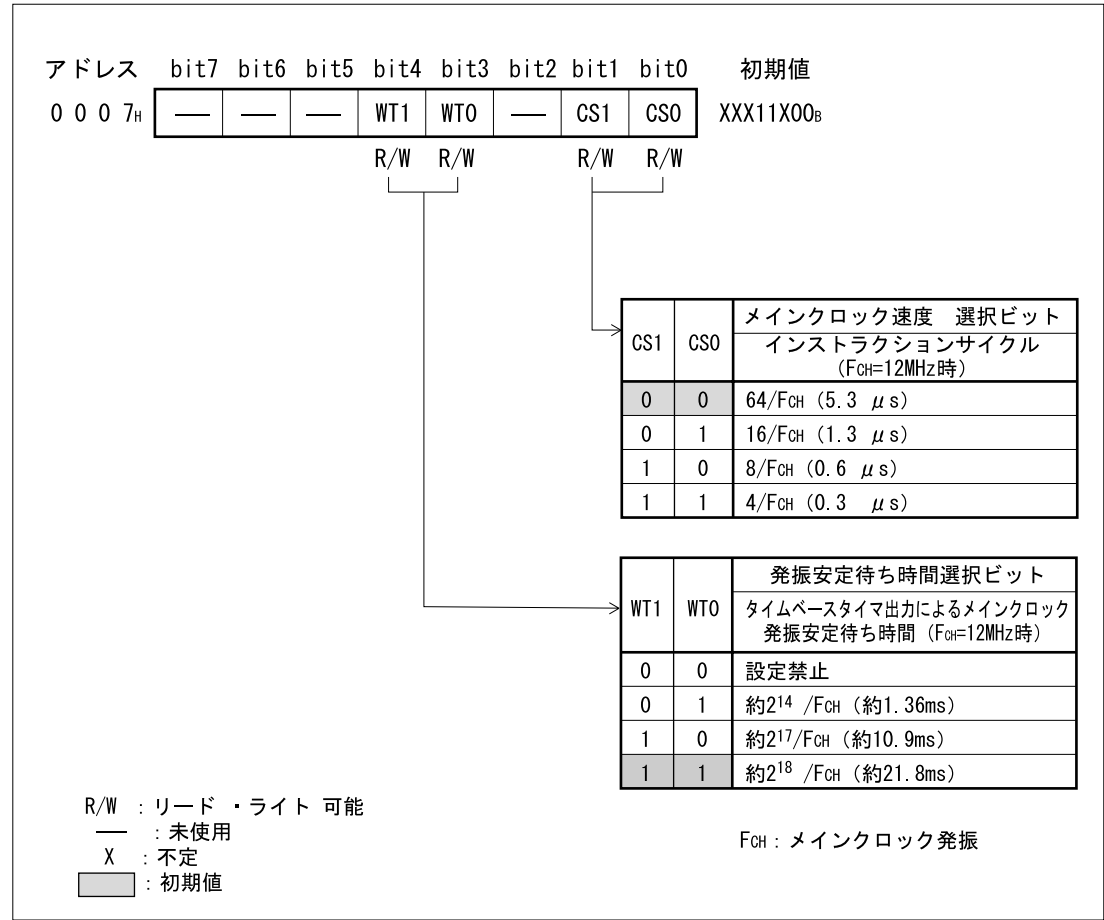


図 3.6-4 システムクロック制御レジスタ(SYCC)の構成

表 3.6-1 システムクロック制御レジスタ(SYCC)の各ビットの機能説明

ビット名		機 能
bit7 bit6 bit5	未使用ビット	・ リード時の値は不定です。 ・ ライトは動作に影響を与えません。
bit4 bit3	WT1, WT0: 発振安定待ち 時間選択ビット	・ メインクロックの発振安定待ち時間を選択するビットです。 ・ ストップモードから外部割込みによって通常動作へ復帰するときは、このビットで選択される発振安定待ち時間をとります。 ・ これらのビットの初期値は、WT1=1, WT0=1となります。
bit2	未使用ビット	<注記> 常に"1"を設定してください。
bit1 bit0	CS1, CS0: メインクロック 速度選択 ビット	・ クロック速度を選択するビットです。 ・ CPUと各周辺機能に対する動作クロックの速度を4種類設定できます(ギア機能)。ただし、タイムベースタイマの動作クロックは、これらのビットの影響を受けません。

インストラクションサイクル(t_{inst})

インストラクションサイクル(最小命令実行時間)は、SYCCレジスタのメインクロック選択ビット(CS1, CS0)により、メインクロックの4分周、8分周、16分周、64分周から選択できます。

最高速度時(SYCC: CS1, CS0=11_B)のインストラクションサイクルは、メインクロック発振(F_{CH})を12MHzとした場合、 $4/F_{CH}$ =約0.33 μ sとなります。

USB回路の機能を有効にする前に、このインストラクションサイクルは必ず4分周に設定してください。

3.6.4 クロックモード

メインクロックの速度は、その原発振を分周して作られる4種類のクロックを選択することにより切り換えられます。

クロックモードの動作状態

表 3.6-2 クロックモードの動作状態

クロック モード	メインクロック速度 SYCCレジスタ (CS1, CS0)		スタンバイ モード	クロック	各部動作クロック			スタンバイモードの 解除要因 (リセット以外)
					CPU	タイム ベースタ イマ	各周辺	
メイン クロック モード	(1.1)	高 速 ↑	RUN	発振	FCH/4	FCH/2	FCH/4	各種割込み要求
			スリープ		停止	停止	停止	
			ストップ	停止		停止	停止	
	(1.0)		RUN	発振	FCH/8	FCH/2	FCH/8	各種割込み要求
			スリープ		停止	停止	停止	
			ストップ	停止		停止	停止	
	(0.1)		RUN	発振	FCH/16	FCH/2	FCH/16	各種割込み要求
			スリープ		停止	停止	停止	
			ストップ	停止		停止	停止	
	(0.0)	低 速 ↓	RUN	発振	FCH/64	FCH/2	FCH/64	各種割込み要求
			スリープ		停止	停止	停止	
			ストップ	停止		停止	停止	

FCH: メインクロック発振

各クロックモードではそれぞれに対応したスタンバイモードに移行することができます。スタンバイモードについては、「3.7 スタンバイモード(低消費電力)」を参照してください。

メインクロックモードの動作

スタンバイモードを指定すると、スリープモードもしくはストップモードに移行することができます。

いずれの種類のリセットが発生しても、常にメインRUNモードから動作を開始します(各動作モードのリセットによる解除)。

3.6.5 発振安定待ち時間

電源投入時，メインストップモード時，メインクロックが停止している状態から，メインRUNモードで動作させる場合は，メインクロック発振安定待ち時間をとる必要があります。

発振安定待ち時間

水晶などの振動子は，発振を開始してから固有の振動数(発振周波数)で安定して発振するまでに，一般的に数ミリ秒から数十ミリ秒の時間が必要です。

このため，発振開始直後はCPUの動作を禁止し，発振安定待ち時間が経過して十分発振が安定した時点でCPUにクロックを供給するようにします。

発振器(クロック発生部)に接続する振動子の種類(水晶など)によって発振が安定するまでの時間が異なるため，使用する振動子に適切な発振安定待ち時間を選択する必要があります。

図 3.6-5に発振開始直後の発振器の動作を示します。

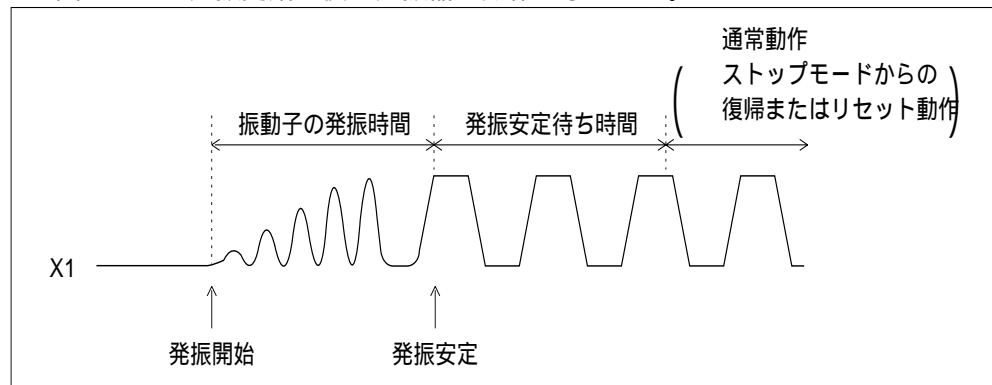


図 3.6-5 発振開始直後の発振器の動作

メインクロックの発振安定待ち時間

メインクロックの発振が停止している状態から、動作を開始する場合、メインクロックの発振安定待ち時間をとる必要があります。

メインクロックの発振安定待ち時間は、タイムベースタイマのカウンタがクリアされた状態からカウントアップを行い、指定されたビットがオーバフローするまでの時間です。

動作中の発振安定待ち時間

ストップモードから外部割込みによってメインRUNモードへ復帰するときの発振安定待ち時間は、システムクロック制御レジスタの発振安定待ち時間選択ビット(SYCC:WT1, WT0)によって3種類の中から1種類を選択できます。

リセット時の発振安定待ち時間

リセット時の発振安定待ち時間(WT1, WT0の初期値)は固定です。

パワーオンリセット、および外部リセットによるストップモードの解除のときに発振安定待ち時間をとります。

表 3.6-3 メインクロックモードの動作開始条件と発振安定待ち時間

メインクロックモード動作 開始条件	電源投入時	ストップモードの解除		
		外部リセット	外部割込み	USB割込み
発振安定待ち時間の選択	SYCC:WT1=1, WT0=1 ^{*1}	SYCC:WT1, WT0 ^{*1}		

^{*1}: システムクロック制御レジスタの発振安定待ち時間選択ビット

3.7 スタンバイモード(低消費電力)

スタンバイモードには、スリープモード、ストップモードがあります。

スタンバイモードへは、スタンバイ制御レジスタ(STBC)の設定によって移行します。

メインクロックモードでは、スリープ/ストップの二つのモードへ移行できます。

スタンバイモードによって、CPUや周辺機能の動作を停止させることにより、消費電力を低減することができます。

スタンバイモードとクロックモードの関係、およびスタンバイモード時の各部の動作状態について説明します。

スタンバイモード

スタンバイモードでは、クロック制御部によるCPUへのクロックの供給停止(スリープモード)や、あるいは原発振そのものの停止(ストップモード)によって消費電力を低減します。

スリープモード

スリープモードはCPUとウォッチドッグタイマの動作を停止させるモードで、周辺機能はメインクロックで動作します。

ストップモード

ストップモードは、CPUと周辺機能の動作を停止させるモードで、外部割込み、USB割込みを除く全機能が停止します。

3.7.1 スタンバイモード時の動作状態

スタンバイモードにおけるCPUと周辺機能の動作状態について説明します。

スタンバイモード時の動作状態

表 3.7-1 スタンバイモード時のCPUと周辺機能の動作状態

動作モード		メインクロックモード			
機 能		RUN	スリープ	ストップ (SPL=0)	ストップ (SPL=1)
メインクロック		動作	動作	停止	停止
CPU	命令	動作	停止	停止	停止
	ROM	動作	保持	保持	保持
	RAM				
周辺機能	I/Oポート	動作	保持	保持	保持
	タイムベースタイマ	動作	動作	停止	停止
	ウォッチドッグタイマ	動作	停止	停止	停止
	8ビットPWM タイマ1,2	動作	動作	停止	停止
	8ビットシリアルI/O	動作	動作	停止	停止
	外部割込み	動作	動作	動作	動作
	USBファンクション	動作	動作	停止	停止
端子		動作	保持	保持	Hi-Z
解除方法		リセット・各種割込み	リセット・各種割込み	リセット・各種割込み	リセット・各種割込み

スタンバイモード時の端子の状態

ほとんどのI/O端子の状態は、クロックモードには関係なく、スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)によって、ストップモードへ移行する直前の状態の保持もしくはハイインピーダンスにできます。

3.7.2 スリープモード

スリープモードの動作について説明します。

スリープモードの動作

スリープモードへの移行

スリープモードはCPUの動作クロックを停止させるモードです。CPUはスリープモード移行直前のレジスタとRAMの内容を保持して停止しますが、ウォッチドッグタイマを除く周辺機能は動作を続けます。

スタンバイ制御レジスタのスリープビット(STBC:SLP)に"1"を書き込むことにより、スリープモードに移行します。SLPビットに"1"を書き込んだときに、割り込み要求が発生していると書込みは無視され、スリープモードへ移行せずに命令の実行を続けます(割り込み処理後にも、スリープモードへの移行はしません)。

スリープモードの解除

スリープモードは、リセットおよび周辺機能からの割り込みによって解除されます。

スリープモード中のリセットでは発振安定待ち時間を取りません。

端子の状態はリセット動作によって初期化されます。

スリープモード中に周辺機能もしくは外部割り込み回路から割り込みレベルが"11"より強い割り込み要求が発生すると、CPUの割り込み許可フラグ(CCR: I)や割り込みレベルビット(CCR: IL1, 0)に関係なくスリープモードから解除されます。

解除後は通常の割り込み動作を行い、割り込みが受け付けられるときは割り込み処理を実行し、受け付けられないときは、スリープモードに移行する直前に実行した命令のつぎの命令から処理を実行します。

3.7.3 ストップモード

ストップモードの動作について説明します。

ストップモードの動作

ストップモードへの移行

ストップモードは原発振を停止させるモードです。ストップモード移行直前のレジスタおよびRAMの内容を保持して、ほとんどの機能が停止します。

メインクロックモード時は、メインクロックの発振は停止しますが、周辺機能およびCPUは、外部割込み回路、USB割込み回路を除いて動作を停止します。したがって、最も少ない消費電力でデータの保持をすることができます。

スタンバイ制御レジスタのストップビット(STBC:STP)に"1"を書き込むことにより、ストップモードに移行します。このとき、端子状態指定ビット(STBC:SPL)が"0"の場合、外部端子の状態を保持し、"1"の場合、外部端子の状態をハイインピーダンス(プルアップ設定レジスタでプルアップ抵抗ありを選択している端子は"H"レベル)にします。

STPビットに"1"を書き込んだときに、割込み要求が発生していると書込みは無視され、ストップモードへ移行せずに命令の実行を続けます(割込み処理後にも、ストップモードへの移行はしません)。

ストップモードへ移行するときは、必要に応じてタイムベースタイマの割込み要求出力を禁止(TBTC:TBIE=0)してください。

ストップモードの解除

ストップモードはリセット、もしくは外部割込み、USB割込みによって解除されます。

ストップモード中にリセットが発生すると、メインクロックの発振安定待ち時間をとってから、リセット動作を行います。

端子の状態はリセットによって初期化されます。

ストップモード中に外部割込み回路から割込みレベルが"11"より強い割込み要求が発生すると、CPUの割込み許可フラグ(CCR:I)や割込みレベルビット(CCR:IL1, 0)に関係なく、ストップモードから解除されます。ストップモード中は、周辺機能が停止しているため、外部割込み、USB割込み以外の割込み要求は発生しません。

解除後は、発振安定待ち時間を経過した後、通常の割込み動作を行い、割込みが受け付けられるときは割込み処理を実行し、受け付けられないときは、ストップモードに移行する直前に実行した命令のつぎの命令から処理を実行します。

ストップモードが外部割込みによって解除されると、一部の周辺機能は動作を途中から再開します。このため、インターバルタイマ機能の初回のインターバル時間などが不定となります。各周辺機能はストップモードからの復帰後、初期化するようにしてください。

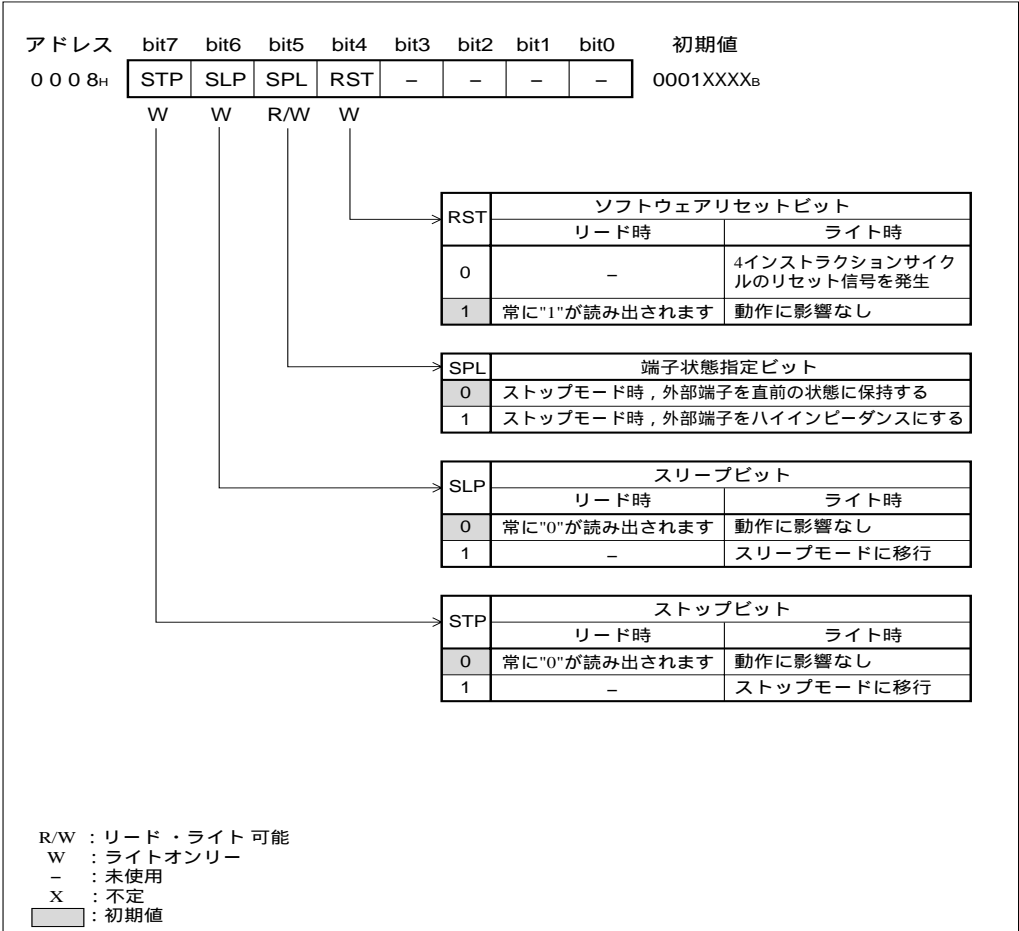
参考：

ストップモードの割込みによる解除は、外部割込み回路、USB割込み回路の割込み要求のみです。

3.7.4 スタンバイ制御レジスタ(STBC)

スタンバイ制御レジスタ(STBC)は、スリープモード/ストップモードへの移行，ストップモード中の端子状態の設定，およびソフトウェアリセットを行うレジスタです。

スタンバイ制御レジスタ(STBC)



R/W : リード・ライト 可能

W : ライトオンリー

- : 未使用

X : 不定

: 初期値

図 3.7-1 スタンバイ制御レジスタ(STBC)

表 3.7-2 スタンバイ制御レジスタ(STBC)の各ビットの機能説明

ビット名		機 能
bit7	STP: ストップビット	<ul style="list-style-type: none"> ・ストップモードへの移行を指定するビットです。 ・このビットに"1"を書き込むことにより、ストップモードに移行します。 ・"0"を書き込んでも動作に影響を与えません。 ・このビットをリードした場合は、常に"0"が読み出されます。
bit6	SLP: スリープビット	<ul style="list-style-type: none"> ・スリープモードへの移行を指定するビットです。 ・このビットに"1"を書き込むことにより、スリープモードに移行します。 ・"0"を書き込んでも動作に影響を与えません。 ・このビットをリードした場合は、常に"0"が読み出されます。
bit5	SPL: 端子状態指定 ビット	<ul style="list-style-type: none"> ・ストップモード時の外部端子の状態を指定するビットです。 ・このビットに"0"を書き込むと、ストップモード移行時に外部端子の状態(レベル)を保持します。 ・"1"を書き込むと、ストップモード移行時に外部端子はハイインピーダンスになります(プルアップ設定レジスタでプルアップ抵抗ありを選択している端子は"H"レベルになります) ・リセットで"0"になります。
bit4	RST: ソフトウェアリ セットビット	<ul style="list-style-type: none"> ・ソフトウェアリセットを指定するビットです。 ・このビットに"0"を書き込むことにより、4インストラクションサイクルの内 部リセット要因を発生します。 ・"1"を書き込んでも動作に影響を与えません。 ・このビットをリードした場合は、常に"1"が読み出されます。
bit3 bit2 bit1 bit0	未使用ビット	<ul style="list-style-type: none"> ・常に"1"を設定してください。 ・リード時の値は不定です。 ・ライトは動作に影響を与えません。

3.7.5 状態遷移図

図 3.7-2に状態遷移図を示します。

状態遷移図

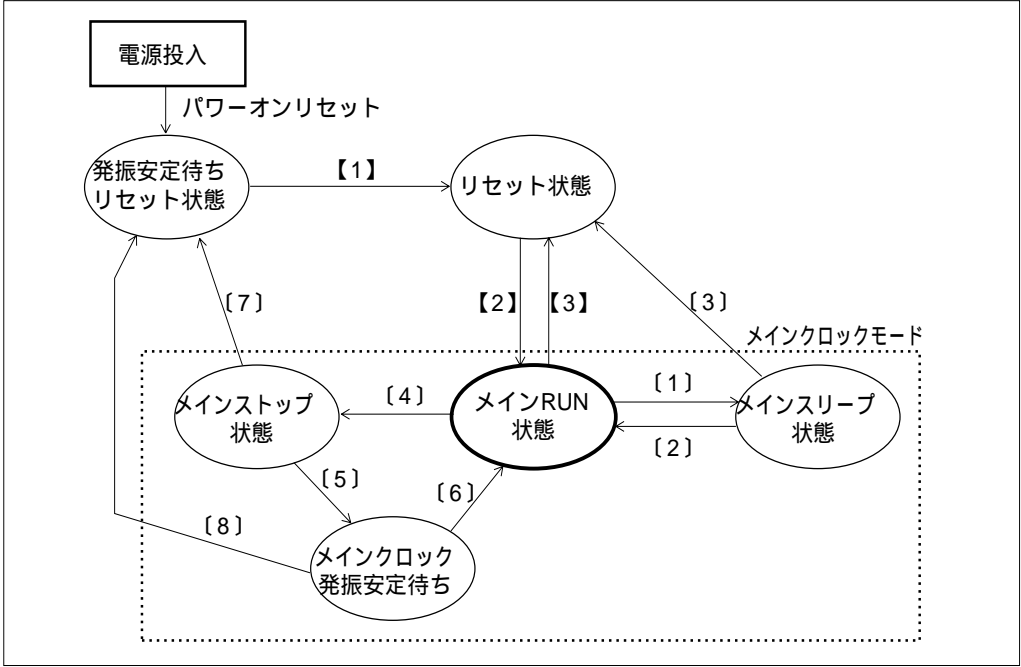


図 3.7-2 状態遷移図

通常状態(RUN)への移行とリセット

表 3.7-3 メインクロックモードRUN状態への移行とリセット

状態遷移	遷移条件 (図 3.7-2)
電源投入後, 通常状態 (RUN)へ移行	【1】 メインクロック発振安定待ち時間終了 (タイムベースタイマ出力) 【2】 リセットの入力を解除
RUN状態でのリセット	【3】 外部リセット, ソフトウェアリセット, ウォッチドッグリセット

スタンバイモードへの移行と解除

表 3.7-4 スタンバイモードへの移行と解除

状態遷移	遷移条件(図 3.7-2)
スリープモードへの移行	〔1〕 STBC:SLP=1
スリープモードの解除	〔2〕 割込み(各種) 〔3〕 外部リセット
ストップモードへの移行	〔4〕 STBC:STP=1
ストップモードの解除	〔5〕 外部割込み,USB割込み 〔6〕 メインクロック発振安定待ち時間終了 (タイムベースタイマ出力) 〔7〕 外部リセット 〔8〕 外部リセット (発振安定待ち中)

STBC: スタンバイ制御レジスタ

3.7.6 スタンバイモード使用上の注意

スタンバイ制御レジスタ(STBC)にスタンバイモードを設定しても、周辺機能から割込み要求が発生しているとスタンバイモードに移行しません。また、割込みによってスタンバイモードから通常動作状態へ復帰する場合は、割込み要求が受け付けられるかどうかによって復帰後の動作が異なります。

スタンバイモードへの移行と割込み

周辺機能からCPUに対して、割込み優先度が"11"より強い割込み要求が発生していると、スタンバイ制御レジスタのストップビット(STBC:STP)、スリープビット(SLP)にそれぞれ"1"を書き込んでも無視されるため、各スタンバイモードへは移行しません(割込み処理後にも、スタンバイモードへの移行はしません)。

これは、CPUが割込みを受け付けるかどうかには関係しません。

CPUが割込み処理中であっても、その割込み要求フラグビットがクリアされており、ほかに割込み要求がなければ、スタンバイモードへ移行することができます。

スタンバイモードの割込みによる解除

スリープまたはストップモード中に、周辺機能などから割込み優先度が"11"より強い割込み要求が発生すると、スタンバイモードは解除されます。これはCPUが割込みを受け付けるかどうかには関係しません。

解除後は、通常の割込み動作として、割込み要求に対応する割込みレベル設定レジスタ(ILR1～ILR3)の優先度がコンディションコードレジスタの割込みレベルビット(CCR:IL1, 0)より強く、割込み許可フラグが許可(CCR:I=1)されている場合は、割込み処理ルーチンへ分岐し、割込みが受け付けられない場合は、スタンバイモードを起動した命令のつぎの命令から動作を再開します。

復帰直後に割込み処理ルーチンへ分岐させない場合は、スタンバイモード設定の前に割込み禁止をするなどの対策が必要です。

スタンバイモード設定時の注意

スタンバイ制御レジスタ(STBC)によるスタンバイモードの設定は、表 3.7-5に従ってください。これらのビットに同時に"1"を書き込んだ場合の優先は、ストップモード、スリープモードの順になりますが、いずれか一つのビットだけに"1"を設定するようにしてください。

表 3.7-5 スタンバイ制御レジスタ(STBC)による低消費電力モードの設定

STBCレジスタ		モード
STP(bit7)	SLP(bit6)	
0	0	通常
0	1	スリープ
1	0	ストップ

発振安定待ち時間

ストップモード中は、原発振用の発振器が停止しているため、発振器が動作後、発振安定待ち時間をとる必要があります。

発振安定待ち時間としては、タイムベースタイマで作られるメインクロックの発振安定待ち時間(3種類から1種類選択)をとります。

メインクロックモードでは、タイムベースタイマのインターバル時間の選択が、発振安定待ち時間より短い場合、発振安定待ち時間中にインターバルタイマ割込み要求が発生します。メインクロックモードでストップモードへ移行するまえに、必要に応じてタイムベースタイマの割込み要求出力を禁止(TBTC:TBIE=0)してください。

3.8 メモリアクセスモード

MB89580B/BWのメモリアクセスに関連する動作モードはシングルチップモードのみです。

シングルチップモード

シングルチップモードは、内部のRAMとROMのみを使用します。したがって、CPUは内部のI/O領域、RAM領域、およびROM領域に対するアクセス(内部アクセス)以外できません。

モード端子(MOD0, MOD1)

モード端子(MOD0, MOD1)は必ず" Vss"に設定してください。

リセット時に内部ROMからモードデータとリセットベクトルを読み出します。

なおモード端子は、リセット動作終了後(動作中)も設定を変更しないでください。

表 3.8-1にモード端子の設定を示します。

表 3.8-1 モード端子の設定

端子の状態		内容
MOD0	MOD1	
Vss	Vss	内部ROMからモードデータとリセットベクトルを読み出します。
Vss	Vcc	設定禁止
Vcc	Vss	
Vcc	Vcc	

モードデータ

内部ROMのモードデータは必ず00Hに設定してシングルチップモードを選択してください。

下図にモードデータの構成を示します。

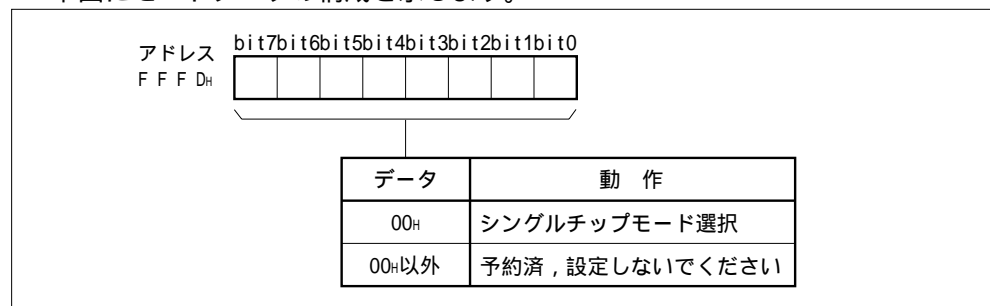


図 3.8-1 モードデータの構成

メモリアクセスモード選択動作

シングルチップモード以外の選択動作はできません。

表 3.8-2にモード端子とモードデータを示します。

表 3.8-2 モード端子とモードデータ

メモリアクセスモード	モード端子(MOD0,MOD1)	モードデータ
シングルチップモード	Vss, Vss	00 _H
その他のモード	設定禁止	設定禁止

下図にメモリアクセス選択動作を示します。

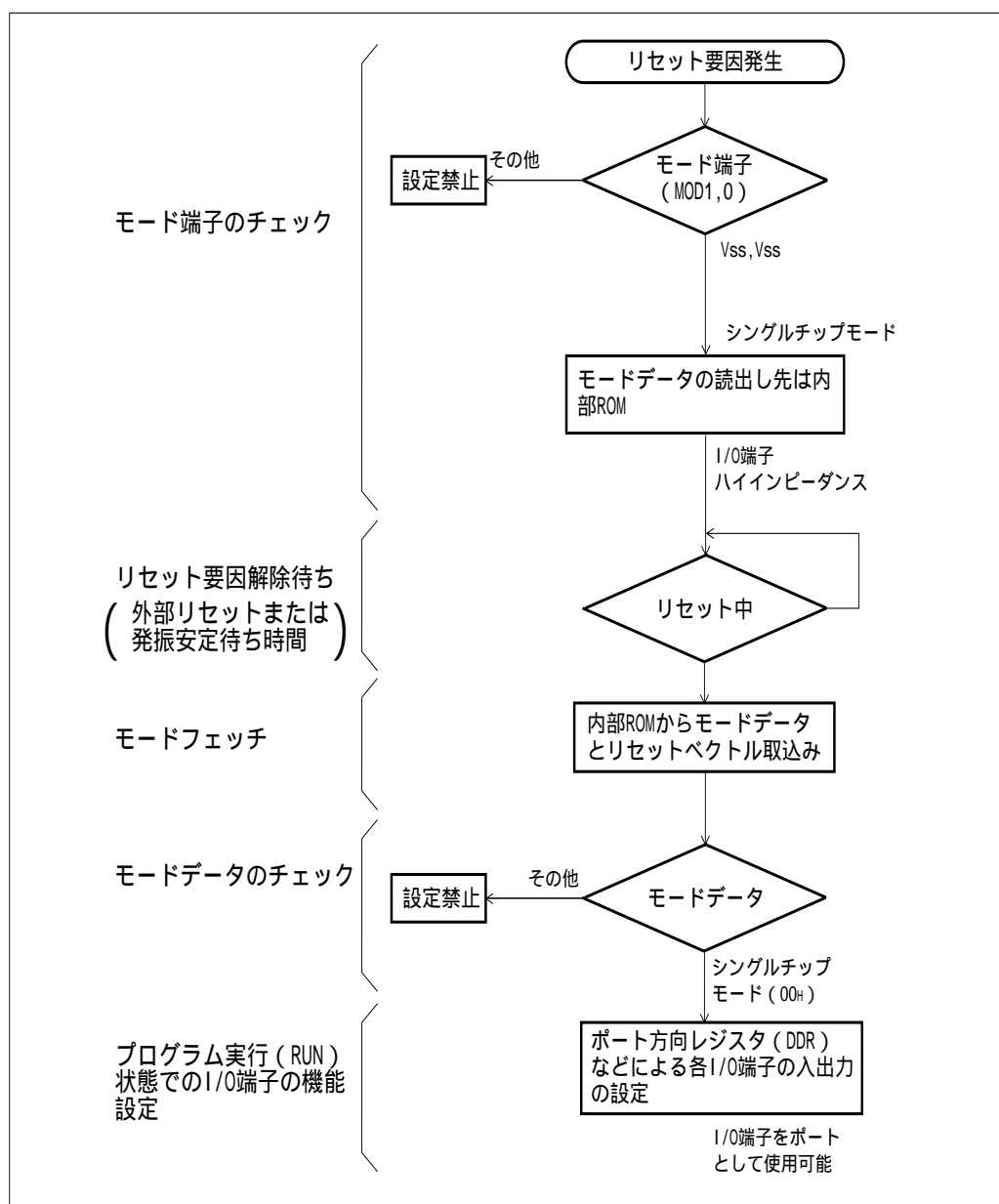


図 3.8-2 メモリアクセス選択動作

第4章 I/Oポート

この章では、I/Oポートの機能と動作について説明しています。

- 4.1 I/Oポートの概要
- 4.2 ポート0
- 4.3 ポート1
- 4.4 ポート2
- 4.5 ポート3
- 4.6 ポート4
- 4.7 ポート5
- 4.8 ポート6
- 4.9 I/Oポートのプログラム例

4.1 I/Oポートの概要

I/Oポートは、6ポート(53本)の汎用入出力ポートとして使用できます。
ポート3はリソース(各種周辺機能の入出力端子)と兼用になっています。

I/Oポートの機能

I/Oポートは、ポートデータレジスタ(PDR)によって、CPUからのデータをI/O端子に出力したり、I/O端子に入力された信号をCPUに取り込んだりする機能があります。また、ポートによってはポート方向レジスタ(DDR)によって、I/O端子の入出力の方向をビット単位で任意に設定することができます。

以下に各ポートの機能と、兼用されるリソースを示します。

- ポート0: 汎用入出力ポート
- ポート1: 汎用入出力ポート
- ポート2: 汎用出力ポート
- ポート3: 汎用入出力ポート/リソース(外部割込み、クロック出力、パラレルポート制御端子)兼用
- ポート4: 汎用入出力ポート/リソース(UART/SIO, PWM, パラレルポートデータ端子, 外部FIFOデータ出力)兼用
- ポート5: 汎用入出力ポート/リソース(外部FIFO制御端子, パラレルポート制御端子)兼用
- ポート6: 汎用入力ポート/リソース(外部FIFOデータ入力)兼用

表 4.1-1に各ポートの機能一覧を、表 4.1-2に各ポートのレジスタ一覧を、それぞれ示します。

表 4.1-1 各ポートの機能一覧

ポート名	端子名	入力形式	出力形式	機能	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ポート0	P00 ~ P07	CMOS		汎用入出力ポート	P07	P06	P05	P04	P03	P02	P01	P00
ポート1	P10 ~ P17			汎用入出力ポート	P17	P16	P15	P14	P13	P12	P11	P10
ポート2	P20 ~ P27			汎用出力ポート	P27	P26	P25	P24	P23	P22	P21	
ポート3	P30/ $\overline{\text{INT0}}/\text{CLK}$ ~ P37/ $\overline{\text{INT7}}$	CMOS リソースは ヒステリシス	CMOS プッシュ プル	汎用入出力ポート	P37	P36	P35	P34	P33	P32	P31	P30
				外部割込み	$\overline{\text{INT7}}$	$\overline{\text{INT6}}$	$\overline{\text{INT5}}$	$\overline{\text{INT4}}$	$\overline{\text{INT3}}$	$\overline{\text{INT2}}$	$\overline{\text{INT1}}$	$\overline{\text{INT0}}$
				リソース2	RDX	WEX	-	-	-	-	-	CLK
ポート4	P40/D0 ~ P47/D7/PWM	CMOS*1		汎用入出力ポート	P47	P46	P45	P44	P43	P42	P41	P40
				パラレルポート出力	D7	D6	D5	D4	D3	D2	D1	D0
				UART/SIO	-	UI	U0	UCK	-	-	-	-
ポート5	P50/OBF/IBFX/ W ~ P54/CEX	CMOS	CMOS*2 プッシュ プル	PWM	PWM2	PWM1	-	-	-	-	-	-
				汎用入出力ポート	-	-	-	P54	P53	P52	P51	P50
				パラレルポート制御	-	-	-	CEX	A0	-	-	OBF/IBFX
ポート6	P60/D10 ~ P67/D17			外部FIFO制御	-	-	-	-	FFX	EFX	R	W
				汎用入力ポート	P67	P66	P65	P64	P63	P62	P61	P60
				パラレルポート入力	D17	D16	D15	D14	D13	D12	D11	D10

*1: P44, P46のリソースはヒステリシス入力

*2: P52, P53, P54 はNchオープンドレイン出力

表 4.1-2 各ポートのレジスタ一覧

レジスタ名	リードライト	アドレス	初期値
ポート0データレジスタ (PDR0)	R/W	0000 _H	XXXXXXXX _B
ポート0方向レジスタ (DDR0)*	W	0001 _H	00000000 _B
ポート1データレジスタ (PDR1)	R/W	0002 _H	XXXXXXXX _B
ポート1方向レジスタ (DDR1)*	W	0003 _H	00000000 _B
ポート2データレジスタ (PDR2)	R/W	0004 _H	XXXXXXXX _B
ポート3データレジスタ (PDR3)	R/W	000C _H	XXXXXXXX _B
ポート3方向レジスタ (DDR3)	R/W	000D _H	00000000 _B
ポート4データレジスタ (PDR4)	R/W	0010 _H	XXXXXXXX _B
ポート4方向レジスタ (DDR4)	R/W	0011 _H	00000000 _B
ポート5データレジスタ (PDR5)	R/W	0012 _H	XXX111XX _B
ポート5方向レジスタ (DDR5)	R/W	0013 _H	XXXXXX00 _B
ポート6データレジスタ (PDR6)	R	0014 _H	XXXXXXXX _B

R/W: リード・ライト 可能

R : リードオンリー

W : ライトオンリー

X : 不定

* : DDR0, DDR1はビット操作命令が使用できません。

4.2 ポート0

ポート0は、汎用入出力ポートです。
ポート0の構成、端子、端子のブロックダイアグラム、関連するレジスタを示します。

ポート0の構成

ポート0は、以下の三つの要素から構成されます。

- 入出力端子(P00 ~ P07)
- ポート0データレジスタ(PDR0)
- ポート0方向レジスタ(DDR0)

ポート0の端子

ポート0には、8本のCMOS入出力端子があります。
表 4.2-1にポート0の端子を示します。

表 4.2-1 ポート0の端子

ポート名	端子名	機能	入出力形式		回路形式
			入力	出力	
ポート0	P00	P00 汎用入出力	CMOS	CMOS	B
	P01	P01 汎用入出力			
	P02	P02 汎用入出力			
	P03	P03 汎用入出力			
	P04	P04 汎用入出力			
	P05	P05 汎用入出力			
	P06	P06 汎用入出力			
	P07	P07 汎用入出力			

回路形式については「1.7 端子機能説明」を参照してください。

ポート0のブロックダイアグラム

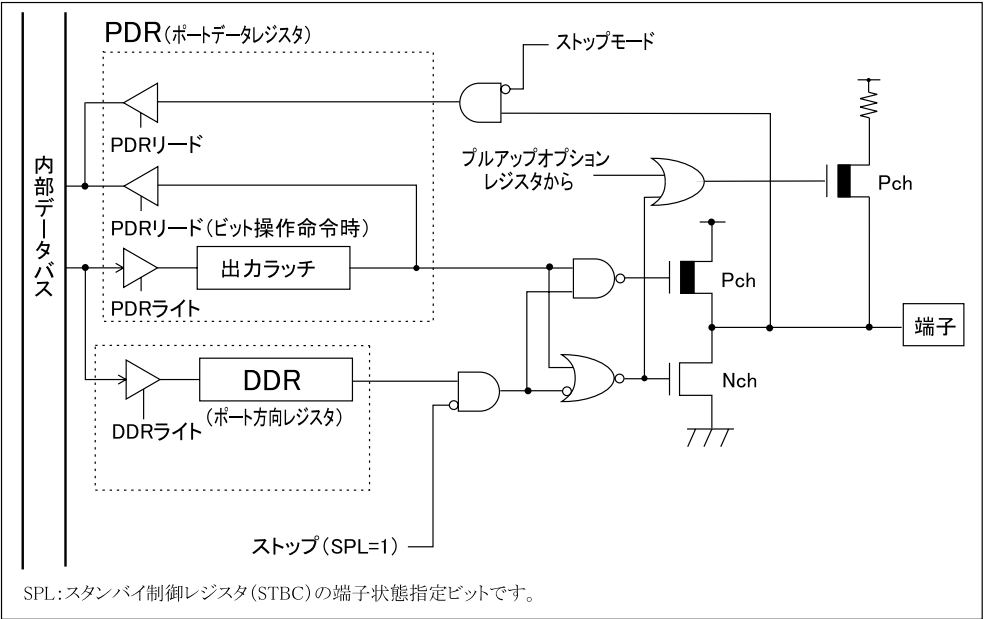


図 4.2-1 ポート0の端子のブロックダイアグラム

ポート0のレジスタPDR0, DDR0

ポート0に関連するレジスタには、PDR0, DDR0の二つがあります。
それぞれのレジスタを構成するビットは、ポート0の端子に1対1で対応しています。
表 4.2-2にポート0のレジスタと端子の対応を示します。

表 4.2-2 ポート0のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
	PDR0, DDR0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ポート0	対応する端子	P07	P06	P05	P04	P03	P02	P01	P00

4.2.1 ポート0のレジスタ(PDR0,DDR0)

ポート0に関するレジスタについて説明します。

ポート0のレジスタの機能

ポート0データレジスタ(PDR0)

PDR0レジスタは、端子の状態を示します。このため、出力ポートに設定した端子は出力ラッチと同じ値("0"または"1")が読み出せますが、入力ポート時は出力ラッチの値は読み出せません。

また、ビット操作命令(SETB, CLRB)時は、端子ではなく出力ラッチの値を読み出すため、操作するビット以外の出力ラッチの値は変化しません。

ポート0方向レジスタ(DDR0)

DDR0レジスタは、ビットごとの端子の入出力方向を設定します。

ポートに対応するビットを"1"にすると出力ポートになり、"0"にすると入力ポートになります。

表 4.2-3 ポート0のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード/ライト	アドレス	初期値
ポート0データレジスタ(PDR0)	0	端子状態が"L"レベル	出力ラッチに"0"を設定し、出力ポート時は端子に"L"レベルを出力する	R/W	0000 _H	XXXXXXXX _B
	1	端子状態が"H"レベル	出力ラッチに"1"を設定し、出力ポート時は端子に"H"レベルを出力する			
ポート0方向レジスタ(DDR0)	0	入力ポート状態	出力トランジスタの動作を禁止し、入力端子にする	W	0001 _H	00000000 _B
	1	出力ポート状態	出力トランジスタの動作を許可し、出力端子にする			

R/W: リード・ライト可能

W: ライトオンリー

X: 不定

4.2.2 ポート0の動作説明

ポート0の動作を説明します。

ポート0の動作

出力ポート時の動作

- 対応するDDR0レジスタのビットを"1"にすると、出力ポートになります。
- 出力ポート時は出力トランジスタの動作が許可され、出力ラッチのデータが端子に出力されます。
- PDR0レジスタにデータを書き込むと、出力ラッチにデータが保持され、そのまま端子に出力されます。
- PDR0レジスタを読み出すと、端子の値が読み出せます。

入力ポート時の動作

- 対応するDDR0レジスタのビットを"0"にすると、入力ポートになります。
- 入力ポート時は出力トランジスタが"OFF"となり、端子はハイインピーダンスになります。
- PDR0レジスタにデータを書き込むと、出力ラッチにデータが保持されますが、端子には出力されません。
- PDR0レジスタを読み出すと、端子の値が読み出せます。

リセット時の動作

- CPUがリセットされると、DDR0レジスタの値は"0"に初期化されます。このため、出力トランジスタは"OFF"(入力ポート)となり、端子はハイインピーダンスになります。
- PDR0レジスタは、リセットでは初期化されません。このため、出力ポートとして使用する場合、PDR0レジスタに出力データをセットしてから、対応するDDR0レジスタを出力に設定する必要があります。

ストップモードの動作

ストップモードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)が"1"にセットされていると、端子はハイインピーダンスになります。これは、DDR0レジスタの値に関係なく、強制的に出力トランジスタが"OFF"となるためです。なお、入力開放によるリークを防ぐため、入力は固定してあります。

表 4.2-4にポート0の端子状態を示します。

表 4.2-4 ポート0の端子状態

端子名	通常動作 スリープ ストップ(SPL=0)	ストップ(SPL=1)	リセット時
P00 ~ P07	汎用入出力ポート	Hi-z	Hi-z

SPL :スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)

Hi-z:ハイインピーダンス

プルアップ

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップ (SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中はプルアップは無効となり、Hi-zとなります。

4.3 ポート1

ポート1は，入力端子兼用の汎用入出力ポートです。

ポート1の構成，端子，端子のブロックダイアグラム，関連するレジスタを示します。

ポート1の構成

ポート1は，以下の三つの要素から構成されます。

- 汎用入出力端子(P10～P17)
- ポート1データレジスタ(PDR1)
- ポート1方向レジスタ(DDR1)

ポート1の端子

ポート1には，8本のCMOS入出力端子があります。

表 4.3-1にポート1の端子を示します。

表 4.3-1 ポート1の端子

ポート名	端子名	機能	入出力形式		回路形式
			入力	出力	
ポート1	P10	P10 汎用入出力	CMOS	CMOS	B
	P11	P11 汎用入出力			
	P12	P12 汎用入出力			
	P13	P13 汎用入出力			
	P14	P14 汎用入出力			
	P15	P15 汎用入出力			
	P16	P16 汎用入出力			
	P17	P17 汎用入出力			

回路形式については「1.7 端子機能説明」を参照してください。

ポート1のブロックダイヤグラム

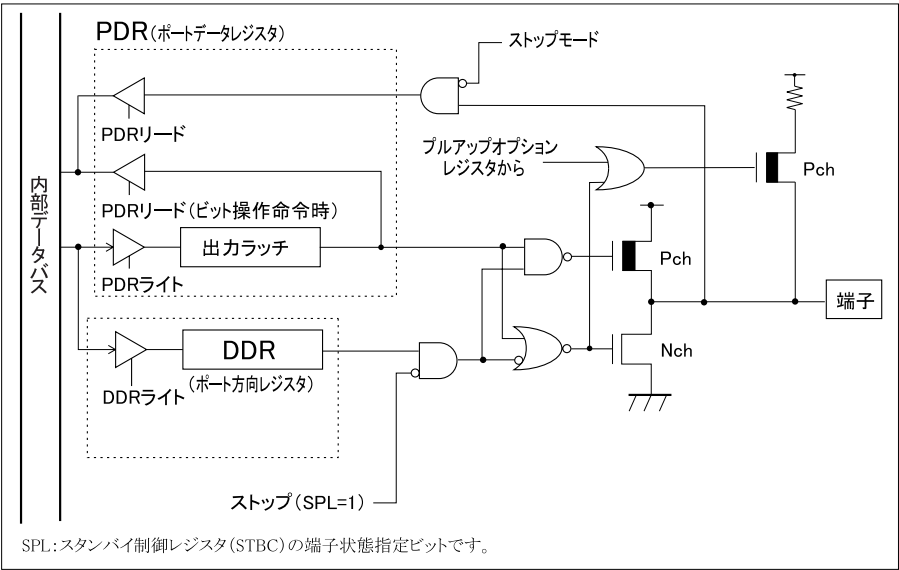


図 4.3-1 ポート1の端子のブロックダイヤグラム

ポート1のレジスタ

ポート1に関連するレジスタには、PDR1、DDR1の二つがあります。
それぞれのレジスタを構成するビットは、ポート1の端子に1対1で対応しています。
表 4.3-2にポート1のレジスタと端子の対応を示します。

表 4.3-2 ポート1のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート1	PDR1, DDR1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	対応する端子	P17	P16	P15	P14	P13	P12	P11	P10

4.3.1 ポート1のレジスタ(PDR1,DDR1)

ポート1に関するレジスタについて説明します。

ポート1のレジスタの機能

ポート1データレジスタ(PDR1)

PDR1レジスタは、端子の状態を示します。このため、出力ポートに設定した端子は出力ラッチと同じ値("0"または"1")が読み出せますが、入力ポート時は出力ラッチの値は読み出せません。

なお、ビット操作命令(SETB, CLRB)時は、端子ではなく出力ラッチの値を読み出すため、操作するビット以外の出力ラッチの値は変化しません。

ポート1方向レジスタ(DDR1)

DDR1レジスタは、ビットごとの端子の入出力方向を設定します。

ポートに対応するビットを"1"にすると出力ポートになり、"0"にすると入力ポートになります。

表 4.3-3にポート1のレジスタの機能を示します。

表 4.3-3 ポート1のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード ライト	アドレス	初期値
ポート1データ レジスタ(PDR1)	0	端子状態が "L"レベル	出力ラッチに"0"を設定 し、出力ポート時は端 子に"L"レベルを出力す る	R/W	0002 _H	XXXXXXXX _B
	1	端子状態が "H"レベル	出力ラッチに"1"を設定 し、出力ポート時は端 子に"H"レベルを出力す る			
ポート1方向 レジスタ(DDR1)	0	入力ポート状態	出力トランジスタの動 作を禁止し、入力端子 にする	W	0003 _H	00000000 _B
	1	出力ポート状態	出力トランジスタの動 作を許可し、出力端子 にする			

R/W :リード ・ライト 可能

W: ライトオンリー

X: 不定

4.3.2 ポート1の動作説明

ポート1の動作を説明します。

ポート1の動作

出力ポート時の動作

- 対応するDDR1レジスタのビットを"1"にすると、出力ポートになります。
- 出力ポート時は出力トランジスタの動作が許可され、出力ラッチのデータが端子に出力されます。
- PDR1レジスタにデータを書き込むと、出力ラッチにデータが保持され、そのまま端子に出力されます。
- PDR1レジスタを読み出すと、端子の値が読み出せます。

入力ポート時の動作

- 対応するDDR1レジスタのビットを"0"にすると、入力ポートになります。
- 入力ポート時は出力トランジスタが"OFF"となり、端子はハイインピーダンスになります。
- PDR1レジスタにデータを書き込むと、出力ラッチにデータが保持されますが、端子には出力されません。
- PDR1レジスタを読み出すと、端子の値が読み出せます。

リセット時の動作

- CPUがリセットされると、DDR1レジスタの値は"0"に初期化されます。このため、出力トランジスタは"OFF" (入力ポート) となり、端子はハイインピーダンスになります。
- PDR1レジスタは、リセットでは初期化されません。このため、出力ポートとして使用する場合、PDR1レジスタに出力データをセットしてから、対応するDDR1レジスタを出力に設定する必要があります。

ストップモードの動作

ストップモードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が"1"にセットされていると、端子はハイインピーダンスになります。これは、DDR1レジスタの値に関係なく、強制的に出力トランジスタが"OFF"となるためです。なお、入力開放によるリークを防ぐため、入力は固定してあります。

表 4.3-4にポート1の端子状態を示します。

表 4.3-4 ポート1の端子状態

端子名	通常動作 スリープ ストップ(SPL=0)	ストップ(SPL=1)	リセット時
P10 ~ P17	汎用入出力ポート	Hi-z	Hi-z

SPL :スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)

Hi-z :ハイインピーダンス

プルアップ

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップ (SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中はプルアップは無効となり、Hi-zとなります。

4.4 ポート2

ポート2は、リソース入出力兼用の汎用出力ポートです。
ポート2の構成、端子、端子のブロックダイアグラム、関連するレジスタを示します。

ポート2の構成

ポート2は、以下の二つの要素から構成されます。

- 汎用出力端子 (P20 ~ P27)
- ポート2データレジスタ (PDR2)

ポート2の端子

ポート2には、8本のCMOSの出力端子があります。

表 4.4-1にポート2の端子を示します。

表 4.4-1 ポート2の端子

ポート名	端子名	機能	入出力形式		回路形式
			入力	出力	
ポート2	P20	P20 汎用出力	CMOS	CMOS	B
	P21	P21 汎用出力			
	P22	P22 汎用出力			
	P23	P23 汎用出力			
	P24	P24 汎用出力			
	P25	P25 汎用出力			
	P26	P26 汎用出力			
	P27	P27 汎用出力			

回路形式については「1.7 端子機能説明」を参照してください。

ポート2のブロックダイアグラム

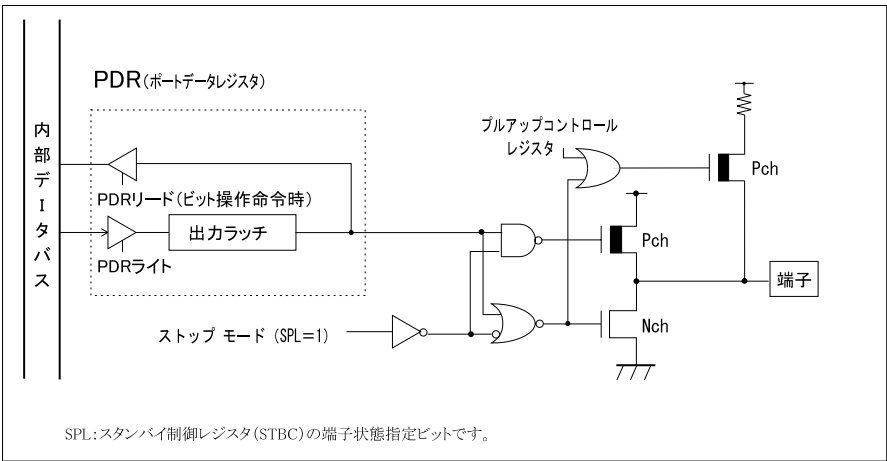


図 4.4-1 ポート2 (P20 ~ 27) の端子のブロックダイアグラム

ポート2のレジスタ

ポート2に関連するレジスタには、PDR2があります。
それぞれのレジスタを構成するビットは、ポート2の端子に1対1で対応しています。

表 4.4-2にポート2のレジスタと端子の対応を示します。

表 4.4-2 ポート2のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート2	PDR2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	対応する端子	P27	P26	P25	P24	P23	P22	P21	P20

4.4.1 ポート2のレジスタ(PDR2)

ポート2に関するレジスタについて説明します。

ポート2のレジスタの機能

ポート2データレジスタ(PDR2)

PDR2レジスタは、出力ラッチの状態を示します。このため端子の状態は読み出せません。

なお、ビット操作命令(SETB, CLRB)時は、端子ではなく出力ラッチの値を読み出すため、操作するビット以外の出力ラッチの値は変化しません。

表 4.4-3にポート2のレジスタの機能を示します。

表 4.4-3 ポート2のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード ライト	アドレス	初期値
ポート2データ レジスタ(PDR2)	0	端子状態が "L" レベル	出力ラッチに"0"を設定し、端子に"L"レベルを出力する	R/W	0004 _H	00000000 _B
	1	端子状態が "H" レベル	出力ラッチに"1"を設定し、端子に"H"レベルを出力する			

R/W: リード・ライト可能

4.4.2 ポート2の動作説明

ポート2の動作を説明します。

ポート2の動作

出力ポート時の動作

PDR2レジスタにデータを書き込むと、出力ラッチにデータが保持され、出力バッファを通して端子に出力されます。

リセット時の動作

CPUがリセットされると、PDR2レジスタの値は"0"に初期化されますが、端子はリセット中はハイインピーダンスとなり、リセット解除後に"L"レベル出力になります。

ストップモードの動作

ストップモードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)が"1"にセットされていると、強制的に出力トランジスタが"OFF"となり、端子はハイインピーダンスになります。なお、入力開放によるリークを防ぐため、入力は固定してあります。

表 4.4-4にポート2の端子状態を示します。

表 4.4-4 ポート2の端子状態

端子名	通常動作 スリープ ストップ(SPL=0)	ストップ(SPL=1)	リセット中
P20 ~ P27	汎用出力ポート	Hi-z	Hi-z

SPL :スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)

Hi-z :ハイインピーダンス

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップ (SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中はプルアップは無効となり、Hi-zとなります。

4.5 ポート3

ポート3は、汎用入力出力ポートです。各端子は、リソースとポートを、ビット単位で切換えて使用できます。

ここでは、汎用入出力ポートとしての機能を中心にポート3の構成、端子、端子のブロックダイアグラム、関連するレジスタを示します。

ポート3の構成

ポート3は、以下の三つの要素から構成されます。

- 汎用入出力端子 / リソース入出力端子 (P30/ $\overline{\text{INT0}}$ /CLK, P31/ $\overline{\text{INT1}}$ ~ P37/ $\overline{\text{INT7}}$)
- ポート3データレジスタ(PDR3)
- ポート3方向レジスタ(DDR3)

ポート3の端子

ポート3には、8本のCMOS入出力端子があります。

これらの端子のうち、リソースと兼用になっている端子は、リソースを使用する場合、汎用入出力ポートとして使用できません。

表 4.5-1にポート3の端子を示します。

表 4.5-1 ポート3の端子

ポート名	端子名	機能	兼用リソース	入出力形式		回路形式
				入力	出力	
ポート3	P30/ $\overline{\text{INT0}}$ /CLK	P30汎用入出力	外部割込み入力($\overline{\text{INT0}}$) CLK クロック出力	CMOS*	CMOS	E
	P31/ $\overline{\text{INT1}}$	P31汎用入出力	外部割込み入力($\overline{\text{INT1}}$)			
	P32/ $\overline{\text{INT2}}$	P32汎用入出力	外部割込み入力($\overline{\text{INT2}}$)			
	P33/ $\overline{\text{INT3}}$	P33汎用入出力	外部割込み入力($\overline{\text{INT3}}$)			
	P34/ $\overline{\text{INT4}}$	P34汎用入出力	外部割込み入力($\overline{\text{INT4}}$)			
	P35/ $\overline{\text{INT5}}$	P35汎用入出力	外部割込み入力($\overline{\text{INT5}}$)			
	P36/ $\overline{\text{INT6}}$ /WEX	P36汎用入出力	外部割込み入力($\overline{\text{INT6}}$) WEX パラレルポート制御信号			
	P37/ $\overline{\text{INT7}}$ /RDX	P37汎用入出力	外部割込み入力($\overline{\text{INT7}}$) RDX パラレルポート制御信号			

*: リソース入力はヒステリシスです。

回路形式については「1.7 端子機能説明」を参照してください。

ポート3のブロックダイアグラム

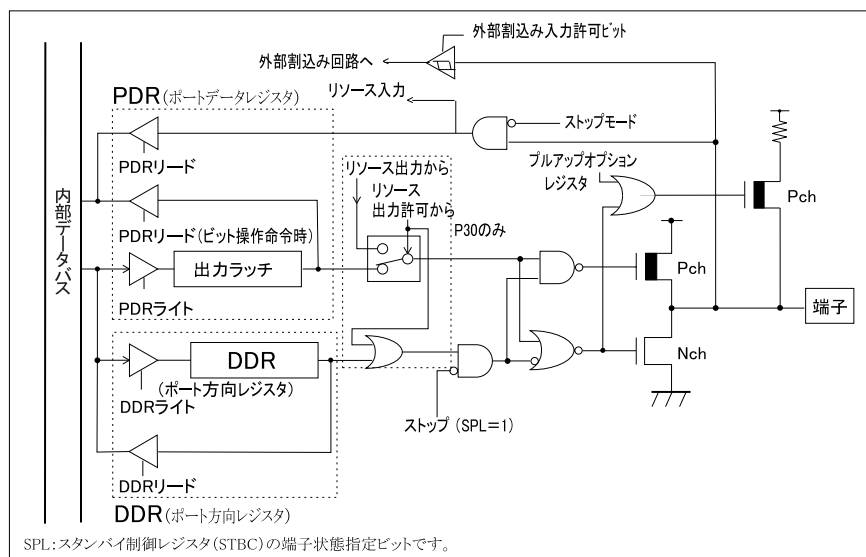


図 4.5-1 ポート3の端子のブロックダイヤグラム

ポート3のレジスタ

ポート3に関連するレジスタには、PDR3およびDDR3があります。
それぞれのレジスタを構成するビットは、ポート3の端子に1対1で対応しています。

表 4.5-2にポート3のレジスタと端子の対応を示します。

表 4.5-2 ポート3のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート3	PDR3, DDR3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	対応する端子	P37	P36	P35	P34	P33	P32	P31	P30

4.5.1 ポート3のレジスタ(PDR3,DDR3)

ポート3に関するレジスタについて説明します。

ポート3のレジスタの機能

ポート3データレジスタ(PDR3)

PDR3レジスタは、端子の状態を示します。このため、出力ポートに設定した端子は出力ラッチと同じ値("0"または"1")が読み出せますが、入力ポート時は出力ラッチの値は読み出せません。

ポート3方向レジスタ(DDR3)

DDR3レジスタは、ビットごとの端子の入出力方向を設定します。

ポートに対応するビットを"1"にすると出力ポートになり、"0"にすると入力ポートになります。

なお、ビット操作命令(SETB, CLRB)時は、端子ではなく出力ラッチの値を読み出すため、操作するビット以外の出力ラッチの値は変化しません。

リソース出力時の設定

出力端子を持つリソースを使用する場合、各リソースの出力許可ビットを許可に設定します。

リソースの出力が優先されるため、リソース出力端子に対応するPDR3レジスタやDDR3の設定値は、リソースの出力値や出力許可に関係せず、意味を持ちません。

リソース入力時の設定

入力端子を持つリソースを使用する場合、各リソースの入力に対応する端子を入力ポートに設定してください。このとき、対応する出力ラッチの値は意味を持ちません。

表 4.5-3にポート3のレジスタの機能を示します。

表 4.5-3 ポート3のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード ライト	アドレス	初期値
ポート3データ レジスタ(PDR3)	0	端子状態が "L"レベル	出力ラッチに"0"を設定 し、出力ポート時は端子 に"L"レベルを出力する	R/W	000CH	XXXXXXXXB
	1	端子状態が "H"レベル	出力ラッチに"1"を設定 し、出力ポート時は端子 に"H"レベルを出力する			
ポート3方向 レジスタ(DDR3)	0	入力ポート状態	出力トランジスタの動 作を禁止し、入力端子に する	R/W	000DH	00000000H
	1	出力ポート状態	出力トランジスタの動 作を許可し、出力端子に する			

R/W: リード・ライト 可能

4.5.2 ポート3の動作説明

ポート3の動作を説明します。

ポート3の動作

出力ポート時の動作

- 対応するDDR3レジスタのビットを"1"にすると、出力ポートになります。
- 出力ポート時は出力トランジスタの動作が許可され、出力ラッチのデータが端子に出力されます。
- PDR3レジスタにデータを書き込むと、出力ラッチにデータが保持され、そのまま端子に出力されます。
- PDR3レジスタを読み出すと、常に出力ラッチの値が読み出されます。

入力ポート時の動作

- 対応するDDR3レジスタのビットを"0"にすると、入力ポートになります。
- 入力ポート時は出力トランジスタが"OFF"となり、端子はハイインピーダンスになります。
- PDR3レジスタにデータを書き込むと、出力ラッチにデータが保持されますが、端子には出力されません。
- PDR3レジスタを読み出すと、端子の値が読み出せます。

リソース出力時の動作

- リソースの出力許可ビットを許可に設定すると、対応する端子がリソース出力になります。

リソース入力時の動作

- リソースの入力端子に対応する、DDR3レジスタのビットを"0"にして入力ポートに設定します。
- リソースの入力には常に端子の値が入力されています。
- リソースが入力端子を使用しているかどうかにかかわらず、PDR3レジスタを読み出すと端子の値が読み出せます。

リセット時の動作

- CPUがリセットされると、DDR3レジスタの値は"0"に初期化されます。このため、出力トランジスタはすべて"OFF"(入力ポート)となり、端子はハイインピーダンスになります。
- PDR3レジスタは、リセットでは初期化されません。このため、出力ポートとして使用する場合、PDR3レジスタに出力データをセットしてから、対応するDDR3レジスタを出力に設定する必要があります。

ストップモードの動作

ストップモードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)が"1"にセットされていると、強制的に出力トランジスタが"OFF"となり、端子はハイインピーダンスになります。なお、入力開放によるリークを防ぐため、入力は固定してあります。

表 4.5-4にポート3の端子状態を示します。

表 4.5-4 ポート3の端子状態

端子名	通常動作 スリープ ストップ(SPL=0)	ストップ(SPL=1)	リセット時
P30 ~ P37	汎用入出力ポート /リソース入出力	Hi-z(外部割込み入力)	Hi-z

SPL :スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)

Hi-z :ハイインピーダンス

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップ(SPL=1)における端子の状態は、ハイインピーダンスではなく、"H"レベル(プルアップ状態)になります。

ただし、リセット中はプルアップは無効となり、Hi-Zとなります。

4.6 ポート4

ポート4は、リソース入出力兼用の汎用入出力ポートです。各端子は、リソースとポートを、ビット単位で切り換えて使用できます。

ここでは、汎用入出力ポートとしての機能を中心にポート4の構成、端子、端子のブロックダイアグラム、関連するレジスタを示します。

ポート4の構成

ポート4は、以下の三つの要素から構成されます。

- 汎用入出力端子/リソース入出力端子 (P40/D0 ~ P47/PWM2)
- ポート4データレジスタ (PDR4)
- ポート4方向レジスタ (DDR4)

ポート4の端子

ポート4には、8本のCMOS入出力端子があります。

これらの端子のうち、リソースと兼用になっている端子は、リソースを使用する場合、汎用入出力ポートとして使用できません。

表 4.6-1にポート4の端子を示します。

表 4.6-1 ポート6の端子

ポート名	端子名	機能	兼用リソース	入出力形式		回路形式
				入力	出力	
ポート4	P40/D0	P40 汎用入出力	D0 パラレルポート入出力/外部FIFOデータ出力	CMOS		B
	P41/D1	P41 汎用入出力	D1 パラレルポート入出力/外部FIFOデータ出力			
	P42/D2	P42 汎用入出力	D2 パラレルポート入出力/外部FIFOデータ出力			
	P43/D3	P43 汎用入出力	D3 パラレルポート入出力/外部FIFOデータ出力			
	P44/D4/UCK	P44 汎用入出力	D4 パラレルポート入出力/外部FIFOデータ出力 UCK UART/SIO	CMOS*	CMOS	E
	P45/D5/U0	P45 汎用入出力	D5 パラレルポート入出力/外部FIFOデータ出力 U0 UART/SIO	CMOS		B
	P46/D6/U1/PWM1	P46 汎用入出力	D6 パラレルポート入出力/外部FIFOデータ出力 U1 UART/SIO PWM1 PWM出力	CMOS*		E
	P47/D7/PWM2	P47 汎用入出力	D7 パラレルポート入出力/外部FIFOデータ出力 PWM2 PWM出力	CMOS		B

*: リソースはヒステリシス入力です。

回路形式については「1.7 端子機能説明」を参照してください。

ポート4のブロックダイアグラム

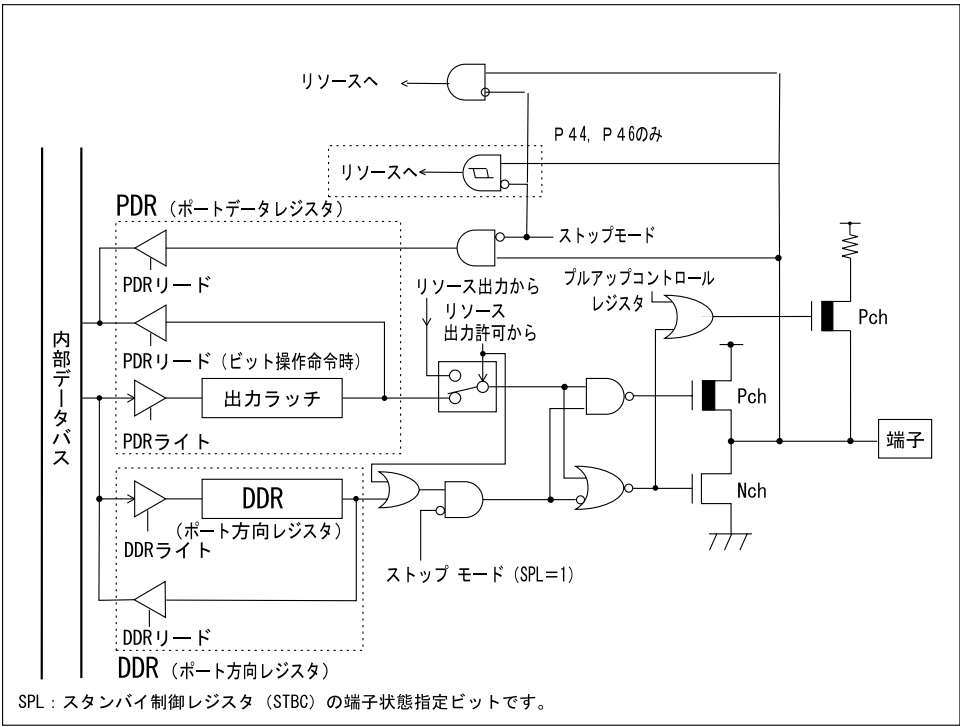


図 4.6-1 ポート4 (P40~P47) の端子のブロックダイアグラム

ポート4のレジスタ

ポート4に関連するレジスタには、PDR4およびDDR4があります。
それぞれのレジスタを構成するビットは、ポート4の端子に1対1で対応しています。
表 4.6-2にポート4のレジスタと端子の対応を示します。

表 4.6-2 ポート4のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート4	PDR4, DDR4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	対応する端子	P47	P46	P45	P44	P43	P42	P41	P40

4.6.1 ポート4のレジスタ(PDR4, DDR4)

ポート4に関するレジスタについて説明します。

ポート4のレジスタの機能

ポート4データレジスタ(PDR4)

PDR4レジスタは、端子の状態を示します。このため、出力ポートに設定した端子は出力ラッチと同じ値("0"または"1")が読み出せますが、入力ポート時は出力ラッチの値は読み出せません。

なお、ビット操作命令(SETB, CLRB)時は、端子ではなく出力ラッチの値を読み出すため、操作するビット以外の出力ラッチの値は変化しません。

ポート4方向レジスタ(DDR4)

DDR4レジスタは、ビットごとの端子の入出力方向を設定します。

ポートに対応するビットを"1"にすると出力ポートになり、"0"にすると入力ポートになります。

リソース出力時の設定

出力端子を持つリソースを使用する場合、各リソースの出力許可ビットを許可に設定します。

リソースの出力が優先されるため、リソース出力端子に対応するPDR4レジスタやDDR4の設定値は、リソースの出力値や出力許可に関係せず、意味を持ちません。

リソース入力時の設定

入力端子を持つリソースを使用する場合、各リソースの入力に対応する端子を入力ポートに設定してください。このとき、対応する出力ラッチの値は意味を持ちません。

表 4.6-3にポート4のレジスタの機能を示します。

表 4.6-3 ポート4のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード/ライト	アドレス	初期値
ポート4データレジスタ(PDR4)	0	端子状態が "L"レベル	出力ラッチに"0"を設定し、出力ポート時は端子に"L"レベルを出力する	R/W	0010 _H	XXXXXXX _B
	1	端子状態が "H"レベル	出力ラッチに"1"を設定し、出力ポート時は端子に"H"レベルを出力する			
ポート4方向レジスタ(DDR4)	0	入力ポート状態	出力トランジスタの動作を禁止し、入力端子にする	R/W	0011 _H	0000000 _B
	1	出力ポート状態	出力トランジスタの動作を許可し、出力端子にする			

R/W: リード・ライト可能

X : 不定

4.6.2 ポート4の動作説明

ポート4の動作を説明します。

ポート4の動作

出力ポート時の動作

- 対応するDDR4レジスタのビットを"1"にすると、出力ポートになります。
- 出力ポート時は出力トランジスタの動作が許可され、出力ラッチのデータが端子に出力されます。
- PDR4レジスタにデータを書き込むと、出力ラッチにデータが保持され、そのまま端子に出力されます。
- PDR4レジスタを読み出すと、端子の値が読み出せます。

入力ポート時の動作

- 対応するDDR4レジスタのビットを"0"にすると、入力ポートになります。
- 入力ポート時は出力トランジスタが"OFF"となり、端子はハイインピーダンスになります。
- PDR4レジスタにデータを書き込むと、出力ラッチにデータが保持されますが、端子には出力されません。
- PDR4レジスタを読み出すと、端子の値が読み出せます。

リソース出力時の動作

- リソースの出力許可ビットを許可に設定すると、対応する端子がリソース出力になります。
- リソースの出力を許可したときでも、PDR4レジスタによって端子の値が読み出せるため、リソースの出力値を読み出すことができます(パラレルポート出力時を除く)。

リソース入力時の動作

- リソースの入力端子に対応する、DDR4レジスタのビットを"0"にして入力ポートに設定します。
- リソースの入力には常に端子の値が入力されています(ストップモード中以外)。
- リソースが入力端子を使用しているかどうかにかかわらず、PDR4レジスタを読み出すと端子の値が読み出せます。

リセット時の動作

- CPUがリセットされると、DDR4レジスタのビットの値は"0"に初期化されます。このため、出力トランジスタは"OFF"(入力ポート)となり、端子はハイインピーダンスになります。
- PDR4レジスタのビットは、リセットで初期化されません。このため、出力ポートとして使用する場合、PDR4レジスタに出力データをセットしてから、対応するDDR4レジスタを出力に設定する必要があります。

ストップモードの動作

ストップモードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)が"1"にセットされていると、端子はハイインピーダンスになります。これは、DDR4レジスタの値に関係なく、強制的に出力トランジスタが"OFF"となるためです。なお、入力開放によるリークを防ぐため、入力は固定してあります。

表 4.6-4にポート4の端子状態を示します。

表 4.6-4 ポート4の端子状態

端子名	通常動作 スリープ ストップ(SPL=0)	ストップ(SPL=1)	リセット時
P40/D0 ~ P47/D7/PWM2	汎用入出力ポート /リソース入出力	Hi-z	Hi-z

SPL :スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)

Hi-z :ハイインピーダンス

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップモード(SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中はプルアップは無効となり、Hi-zとなります。

パラレルインタフェースについて

汎用ポートのPDR4、DDR4レジスタは、パラレルポートデータ制御レジスタ(PDCR)、パラレルポートステータスレジスタ(PSR)と兼用レジスタとなります。パラレルポート制御レジスタ(PDCR:PDIEビット)で汎用ポートと機能を切り換える際、直前の値はそのまま保持されます。

4.7 ポート5

ポート5は、汎用入出力ポートです。各端子は、リソースとポートを、ビット単位で切り換えて使用できます。

ここでは、汎用入出力ポートとしての機能を中心に、ポート5の構成、端子、端子のブロックダイアグラム、関連するレジスタを示します。

ポート5の構成

ポート5は、以下の三つの要素から構成されます。

- 汎用入出力端子/リソース入出力端子 (P50/OBF/IBFX/W ~ P54/CEX)
- ポート5データレジスタ (PDR5)
- ポート5方向レジスタ (DDR5)

ポート5の端子

ポート5には、5本のCMOS入力、CMOSもしくはNchオープンドレイン出力の入出力端子があります。

これらの端子のうち、リソースと兼用になっている端子は、リソースを使用する場合、汎用入出力ポートとして使用できません。

表 4.7-1にポート5の端子を示します。

表 4.7-1 ポート5の端子

ポート名	端子名	機能	兼用リソース	入出力形式		回路形式
				入力	出力	
ポート5	P50/OBF/IBFX/W	P50 汎用入出力	OBF/IBFX パラレルポート W 外部FIFO制御信号	CMOS	CMOS	B
	P51/R	P51 汎用入出力	R 外部FIFO制御信号			
	P52/EFX	P52 汎用入出力	EFX 外部FIFO制御信号		Nch オープン ドレイン	K
	P53/FFX/A0	P53 汎用入出力	FFX 外部FIFO制御信号 A0 パラレルポート			
	P54/CEX	P54 汎用入出力	CEX パラレルポート			

回路形式については「1.7 端子機能説明」を参照してください。

ポート5のブロックダイアグラム

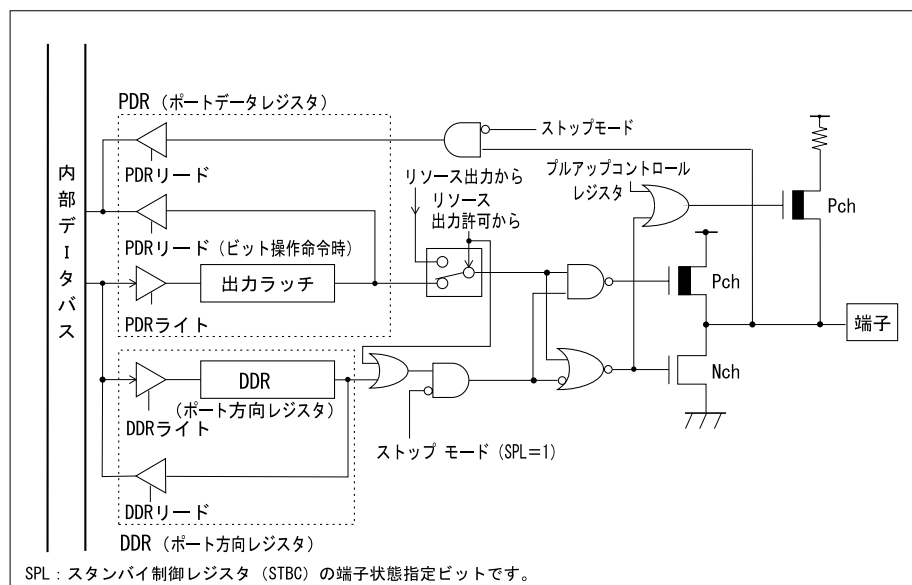


図 4.7-1 ポート5 P50~P51 の端子のブロックダイアグラム

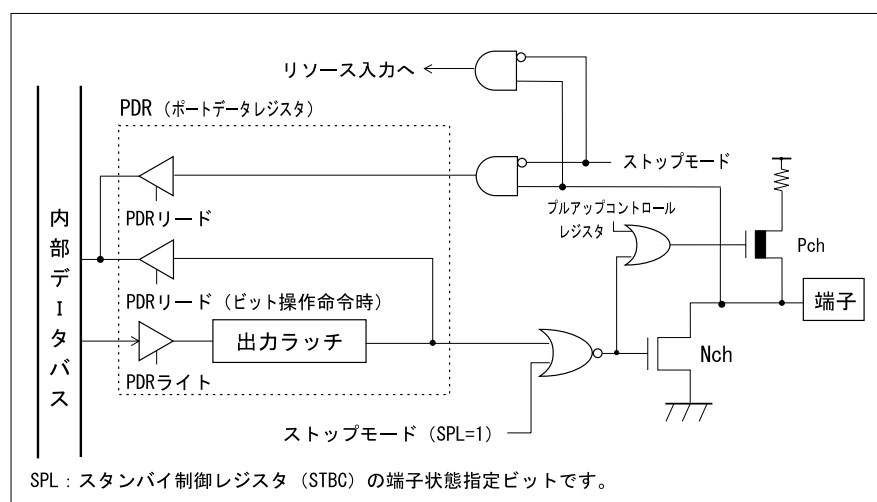


図 4.7-2 ポート5 P52~P54 の端子のブロックダイアグラム

ポート5のレジスタ

ポート5に関連するレジスタには、PDR5およびDDR5があります。
それぞれのレジスタを構成するビットは、ポート5の端子に1対1で対応しています。

表 4.7-2にポート5のレジスタと端子の対応を示します。

表 4.7-2 ポート5のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート5	PDR5	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	対応する端子	-	-	-	P54	P53	P52	P51	P50
	DDR5	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	対応する端子	-	-	-	-	-	-	P51	P50

4.7.1 ポート5のレジスタ(PDR5, DDR5)

ポート5に関するレジスタについて説明します。

ポート5のレジスタの機能

ポート5データレジスタ(PDR5)

PDR5レジスタは、端子の状態を示します。このため、出力ポートに設定した端子は出力ラッチと同じ値("0"または"1")が読み出せますが、入力ポート時は出力ラッチの値は読み出せません。

なお、ビット操作命令(SETB, CLRB)時は、端子ではなく出力ラッチの値を読み出すため、操作するビット以外の出力ラッチの値は変化しません。

未使用ビット(bit5～bit7)への設定は、必ず"1"書込みとしてください。

ポート5方向レジスタ(DDR5)

DDR5レジスタは、ビットごとの端子の入出力方向を設定します。

ポートに対応するビットを"1"にすると出力ポートになり、"0"にすると入力ポートになります。

リソース出力時の設定

出力端子を持つリソースを使用する場合、各リソースの出力許可ビットを許可に設定します。

リソースの出力が優先されるため、リソース出力端子に対応するPDR5レジスタやDDR5の設定値は、リソースの出力値や出力許可に関係せず、意味を持ちません。

リソース入力時の設定

入力端子を持つリソースを使用する場合、各リソースの入力に対応する端子を入力ポートに設定してください。このとき、対応する出力ラッチの値は意味を持ちません。

表 4.7-3にポート5のレジスタの機能を示します。

表 4.7-3 ポート5のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード/ライト	アドレス	初期値
ポート5データレジスタ(PDR5)	0	端子状態が"L"レベル	出力ラッチに"0"を設定し、出力ポート時は端子に"L"レベルを出力する	R/W	00012 _H	XXX111XX _B
	1	端子状態が"H"レベル	出力ラッチに"1"を設定し、出力ポート時は端子に"H"レベルを出力する			
ポート5方向レジスタ(DDR5)	0	入力ポート状態	出力トランジスタの動作を禁止し、入力端子にする	R/W	0013 _H	XXXXXX00 _B
	1	出力ポート状態	出力トランジスタの動作を許可し、出力端子にする			

R/W: リード・ライト可能

X : 不定

- : 未使用

4.7.2 ポート5の動作説明

ポート5の動作を説明します。

ポート5の動作

出力ポート時の動作

- 対応するDDR5レジスタのbit2～bit4以外のビットを"1"にすると、出力ポートになります。
- 出力ポート時は出力トランジスタの動作が許可され、出力ラッチのデータが端子に出力されます。
- PDR5レジスタにデータを書き込むと、出力ラッチにデータが保持され、そのまま端子に出力されます。
- PDR5レジスタを読み出すと、端子の値が読み出せます。

入力ポート時の動作

- 対応するDDR5レジスタのbit2～bit4以外のビットを"0"にすると、入力ポートになります。
- 入力ポート時は出力トランジスタが"OFF"となり、端子はハイインピーダンスになります。
- PDR5レジスタにデータを書き込むと、出力ラッチにデータが保持されますが、端子には出力されません。
- PDR5レジスタを読み出すと、端子の値が読み出せます。

リソース出力時の動作

- リソースの出力許可ビットを許可に設定すると、対応する端子がリソース出力になります。
- リソースの出力を許可したときでも、PDR5レジスタによって端子の値が読み出せるため、リソースの出力値を読み出すことができます。

リソース入力時の動作

- リソースの入力端子に対応する、DDR5レジスタのビットを"0"にして入力ポートに設定します。
- リソースの入力には常に端子の値が入力されています(ストップモード中以外)。
- リソースが入力端子を使用しているかどうかにかかわらず、PDR5レジスタを読み出すと端子の値が読み出せます。

リセット時の動作

- CPUがリセットされると、DDR5レジスタのbit2～bit4以外のビットの値は"0"に初期化されます。このため、出力トランジスタは"OFF"(入力ポート)となり、端子はハイインピーダンスになります。
- PDR5レジスタのbit2～bit4以外のビットは、リセットでは初期化されません。このため、出力ポートとして使用する場合、PDR5レジスタに出力データをセットしてから対応するDDR5レジスタを出力に設定する必要があります。

ストップモードの動作

ストップモードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)が"1"にセットされていると、端子はハイインピーダンスになります。これは、DDR5レジスタの値に関係なく、強制的に出力トランジスタが"OFF"となるためです。なお、入力開放によるリークを防ぐため、入力は固定してあります。

表 4.7-4にポート5の端子状態を示します。

表 4.7-4 ポート5の端子状態

端子名	通常動作 スリープ ストップ(SPL=0)	メインストップ (SPL=1)	リセット時
P50/OBF/IBFX/W～P54/CEX	汎用入出力ポート/リソース入出力	Hi-z	Hi-z

SPL :スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)

Hi-z :ハイインピーダンス

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップモード(SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中はプルアップは無効となり、Hi-zとなります。

4.8 ポート6

ポート6は、3.3V汎用入力ポートです。各端子は、リソースとポートを、バイト単位で切り換えて使用できます。

ここでは、汎用入力ポートとしての機能を中心にポート6の構成、端子、端子のブロックダイアグラム、関連するレジスタを示します。

ポート6の構成

ポート6は、以下の二つの要素から構成されます。

- 汎用入力端子/リソース入力端子(P60/DI0 ~ P67/DI7)
- ポート6データレジスタ(PDR6)

ポート6の端子

ポート6には、8本のCMOS入力端子があります。

リソースを使用する場合、汎用入力ポートとしては使用できません。

表 4.8-1にポート6の端子を示します。

表 4.8-1 ポート6の端子

ポート名	端子名	機能	兼用リソース	入力形式	回路形式
				入力	
ポート6	P60/DI0	P60 汎用入力	外部FIFOデータ入力(DI0)	CMOS	F
	P61/DI1	P61 汎用入力	外部FIFOデータ入力(DI1)		
	P62/DI2	P62 汎用入力	外部FIFOデータ入力(DI2)		
	P63/DI3	P63 汎用入力	外部FIFOデータ入力(DI3)		
	P64/DI4	P64 汎用入力	外部FIFOデータ入力(DI4)		
	P65/DI5	P65 汎用入力	外部FIFOデータ入力(DI5)		
	P66/DI6	P66 汎用入力	外部FIFOデータ入力(DI6)		
	P67/DI7	P67 汎用入力	外部FIFOデータ入力(DI7)		

回路形式については「1.7 端子機能説明」を参照してください。

ポート6のブロックダイヤグラム

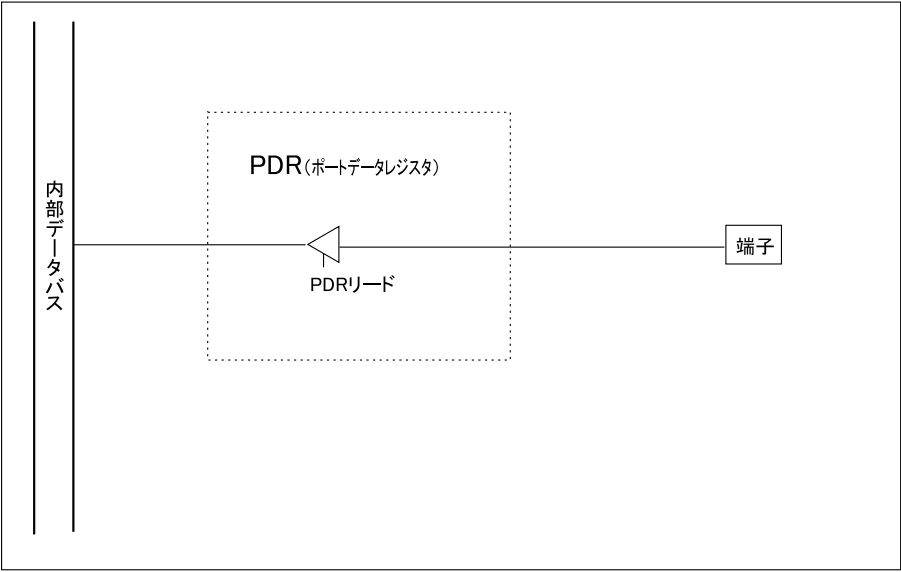


図 4.8-1 ポート6 の端子のブロックダイヤグラム

ポート6のレジスタ

ポート6に関連するレジスタには、PDR6があります。
それぞれのレジスタを構成するビットは、ポート6の端子に1対1で対応しています。
表 4.8-2にポート6のレジスタと端子の対応を示します。

表 4.8-2 ポート6のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート6	PDR6	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	対応する端子	P67	P66	P65	P64	P63	P62	P61	P60

4.8.1 ポート6のレジスタ(PDR6)

ポート6に関するレジスタについて説明します。

ポート6のレジスタの機能

ポート6データレジスタ(PDR6)

PDR6レジスタは、端子の状態を示します。PDR6レジスタを読み出すと、端子の値が読み出せます。

表 4.8-3にポート6のレジスタの機能を示します。

表 4.8-3 ポート6のレジスタの機能

レジスタ名	データ	リード時	リードライト	アドレス	初期値
ポート6データ レジスタ(PDR6)	0	端子状態が"L"レベル	R	0014 _H	XXXXXXXX _B
	1	端子状態が"H"レベル			

R: リードオンリー

X: 不定

4.8.2 ポート6の動作説明

ポート6の動作を説明します。

ポート6の動作

入力ポート時の動作

- PDR6レジスタを読み出すと、端子の値が読み出せます。

リソース入力時の動作

- リソースの入力には常に端子の値が入力されています。
- リソースが入力端子を使用しているかどうかにかかわらず、PDR6レジスタを読み出すと端子の値が読み出せます。

リセット時の動作

PDR6レジスタのビットは、リセットされません。

ストップモードの動作

ストップモード中は入力開放によるリークが起こり得ますので、端子のレベルを"H"または"L"に固定してください。

表 4.8-4にポート6の端子状態を示します。

表 4.8-4 ポート6の端子状態

端子名	通常動作 スリープ	ストップ	リセット時
P60/D10 ~ P67/D17	汎用入力ポート/リソース入力	Hi-z	Hi-z

Hi-z :ハイインピーダンス

4.9 I/Oポートのプログラム例

I/Oポートを使ったプログラム例を示します。

I/Oポートのプログラム例

処理仕様

- ポート0, 1により, 7セグメント(Dpを含めると8セグメント)LEDをすべて点灯します。
- P00端子がLEDのアノードコモン端子に, P10 ~ P17端子が各セグメント端子に対応します。

図 4.9-1に8セグメントLED接続例を示します。

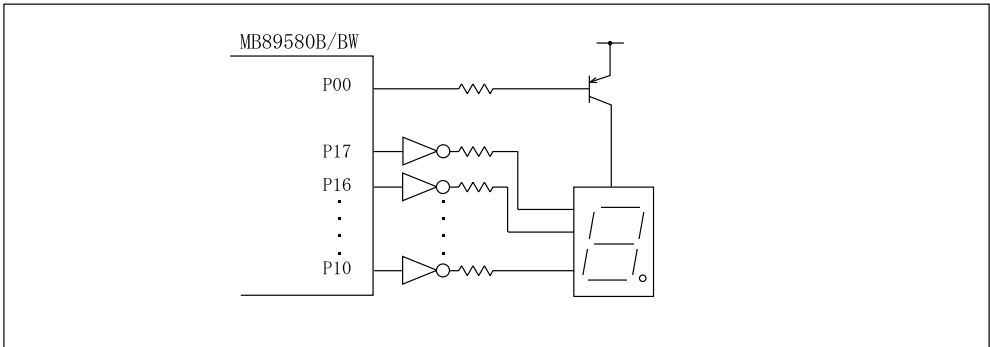


図 4.9-1 8セグメントLED接続例

コーディング例(Softune V1準拠)

```
PDR0 EQU 0000H ; ポート0データレジスタのアドレス
DDR0 EQU 0001H ; ポート0方向レジスタのアドレス
PDR1 EQU 0002H ; ポート1データレジスタのアドレス
DDR1 EQU 0003H ; ポート1方向レジスタのアドレス
```

```
-----メインプログラム-----
CSEG ; 【CODE SEGMENT】
:
CLR B PDR0:0 ; P00を"L"レベルに設定
MOV PDR1, #11111111B ; ポート1はすべて"H"レベルに設定
MOV DDR0, #11111111B ; P00を出力に設定, #xxxxxxx1Bで可
MOV DDR1, #11111111B ; ポート1を全ビット出力に設定
:
ENDS
-----
END
```

第5章 タイムベースタイマ

この章では、タイムベースタイマの機能と動作について説明します。

- 5.1 タイムベースタイマの概要
- 5.2 タイムベースタイマの構成
- 5.3 タイムベースタイマ制御レジスタ(TBTC)
- 5.4 タイムベースタイマの割込み
- 5.5 タイムベースタイマの動作説明
- 5.6 タイムベースタイマ使用上の注意
- 5.7 タイムベースタイマのプログラム例

5.1 タイムベースタイマの概要

タイムベースタイマは、内部カウントクロック(メインクロック発振の2分周)に同期して、カウントアップする21ビットのフリーランカウンタで、4種類のインターバル時間を選択できるインターバルタイマ機能があります。また、発振安定待ち時間のタイマ出力やウォッチドッグタイマなどの動作クロックを供給します。

タイムベースタイマは、メインクロック発振が停止するモードでは動作を停止します。

インターバルタイマ機能

インターバルタイマ機能は、一定の時間間隔で繰り返し割り込みを発生する機能です。

- タイムベースタイマのカウンタの、インターバルタイマ用のビットがオーバーフローすると割り込みを発生します。
- インターバルタイマ用のビット(インターバル時間)は、4種類の中から選択できます。

表 5.1-1にタイムベースタイマのインターバル時間を示します。

表 5.1-1 タイムベースタイマのインターバル時間

内部カウントクロック周期	インターバル時間
$2/F_{CH}(0.167\ \mu s)$	$2^{13}/F_{CH}(\text{約}0.68\ ms)$
	$2^{15}/F_{CH}(\text{約}2.73\ ms)$
	$2^{18}/F_{CH}(\text{約}21.85\ ms)$
	$2^{22}/F_{CH}(\text{約}349.53\ ms)$

F_{CH} : メインクロック発振

()内はメインクロック発振 12MHz 動作時の値です。

クロック供給機能

クロック供給機能は、メインクロックの発振安定待ち時間用のタイマ出力(4種類)や、一部の周辺機能に対する動作クロックを供給する機能です。

表 5.1-2にタイムベースタイマから各周辺に供給されるクロックの周期を示します。

表 5.1-2 タイムベースタイマから供給されるクロック

クロック供給先	クロック周期	備 考
メインクロック 発振安定待ち時間	$2^{14}/F_{CH}(\text{約}1.37\ ms)$	クロック制御部でシステムクロック制御レジスタの発振安定待ち時間選択ビット(SYCC:WT1, WT0)によって選択されます。
	$2^{17}/F_{CH}(\text{約}10.92\ ms)$	
	$2^{18}/F_{CH}(\text{約}21.85\ ms)$	
ウォッチドッグタイマ	$2^{22}/F_{CH}(\text{約}349.53\ ms)$	ウォッチドッグタイマのカウントアップクロック

F_{CH} : メインクロック発振

()内はメインクロック発振 12 MHz動作時の値です。

< 注意事項 >

発振開始直後は発振周期が不安定なため、発振安定待ち時間は目安となります。

5.2 タイムベースタイマの構成

タイムベースタイマは、以下の四つのブロックから構成されています。

- ・タイムベースタイマカウンタ
- ・カウンタクリア回路
- ・インターバルタイマセクタ
- ・タイムベースタイマ制御レジスタ(TBTC)

タイムベースタイマのブロックダイアグラム

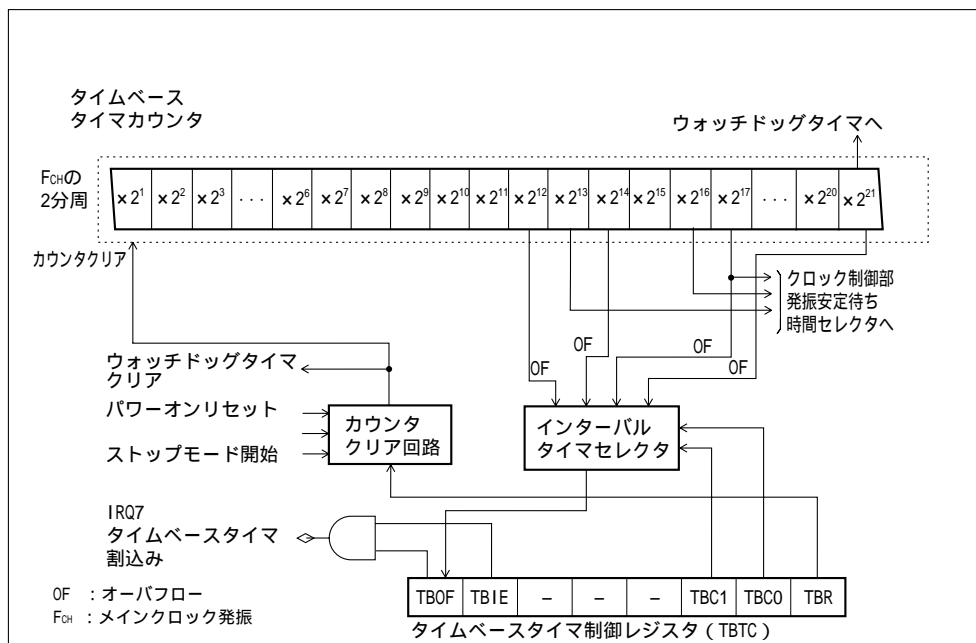


図 5.2-1 タイムベースタイマのブロックダイアグラム

タイムベースタイマカウンタ

メインクロック発振の2分周をカウントクロックとする、21ビットのアップカウンタです。クロック原発振が停止すると動作を停止します。

カウンタクリア回路

TBTCレジスタによる設定(TBR=0)以外に、ストップモードへ移行(STBC:STP=1)したとき、およびパワーオンリセットによって、カウンタをクリアします。

インターバルタイマセクタ

タイムベースタイマカウンタ中の4ビットからインターバルタイマ用の1ビットを選択する回路で、選択したビットのオーバーフローが割込み要因となります。

タイムベースタイマ制御レジスタ(TBTC)

インターバル時間の選択、カウンタのクリア、割込み制御および状態の確認を行います。

5.3 タイムベースタイマ制御レジスタ(TBTC)

タイムベースタイマ制御レジスタ(TBTC)は、インターバル時間の選択、カウンタのクリア、割込み制御および状態の確認を行うレジスタです。

タイムベースタイマ制御レジスタ
(TBTC)

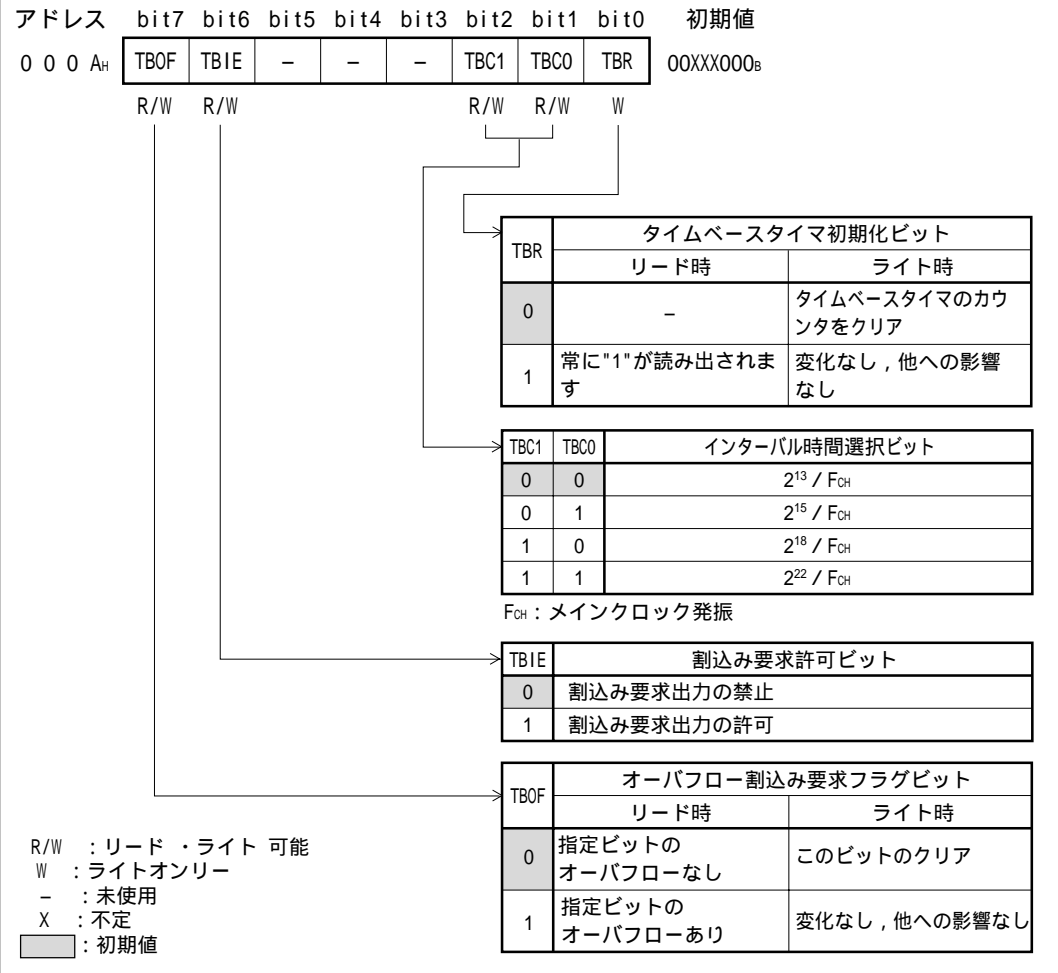


図 5.3-1 タイムベースタイマ制御レジスタ(TBTC)

表 5.3-1 タイムベースタイマ制御レジスタ(TBTC)の各ビットの機能説明

ビット名		機 能
bit7	TBOF: オーバーフロー 割込み要求フラ グビット	<ul style="list-style-type: none"> ・タイムベースタイマのカウンタの指定ビットがオーバーフローすると"1"にセットされます。 ・このビットと割込み要求許可ビット(TBIE)が"1"のとき、割込み要求を出力します。 ・書込み時は"0"でクリアされ、"1"では変化せずほかへの影響はありません。
bit6	TBIE: 割込み要求許可 ビット	CPUへの割込み要求出力の許可/禁止を行うビットです。このビットとオーバーフロー割込み要求フラグビット(TBOF)が"1"のとき、割込み要求を出力します。
bit5 bit4 bit3	未使用ビット	<ul style="list-style-type: none"> ・リード時の値は不定です。 ・ライトは動作に影響を与えません。
bit2 bit1	TBC1, TBC0: インターバル 時間選択ビット	<ul style="list-style-type: none"> ・インターバルタイマの周期を選択するビットです。 ・タイムベースタイマのカウンタのインターバルタイマ用のビットが指定されます。 ・4種類のインターバル時間が選択できます。
bit0	TBR: タイムベース タイマ初期化 ビット	<ul style="list-style-type: none"> ・タイムベースタイマのカウンタをクリアするビットです。 ・このビットに"0"を書き込むとカウンタが"000000_h"にクリアされ、"1"では変化せずほかへの影響はありません。 <p>〔参考〕 読出し値は常に"1"です。</p>

5.4 タイムベースタイマの割込み

タイムベースタイマの割込み要因としては、タイムベースタイマカウンタの指定ビットのオーバーフローがあります(インターバルタイマ機能)。

インターバルタイマ機能動作時の割込み

カウンタが内部カウントクロックでカウントアップし、選択されたインターバルタイマ用のビットがオーバーフローすると、オーバーフロー割込み要求フラグビット(TBTC:TB0F)が"1"にセットされます。そのとき、割込み要求許可ビットを許可(TBTC:TBIE=1)していると、CPUへ割込み要求(IRQ7)が発生します。割込み処理ルーチンでTB0Fビットに"0"を書込み、割込み要求をクリアしてください。なお、TB0Fビットは、TBIEビットの値に関係なく、指定したビットがオーバーフローするとセットされます。

<注意事項>

- ・リセット解除後に割込み要求出力を許可(TBIE=1)する場合は、必ずTB0Fビットを同時にクリア(TB0F=0)してください。
- ・TB0Fビットが"1"のとき、TBIEビットを禁止から許可(0→1)にすると、ただちに割込み要求が発生します。
- ・カウンタクリア(TBTC:TBR=0)と選択したビットのオーバーフローが同時に起こった場合は、TB0Fビットのセットは行われません。

発振安定待ち時間とタイムベースタイマの割込み

クロックの発振安定待ち時間より短いインターバル時間を設定すると、クロックモードの動作開始時にタイムベースタイマのインターバル割込み要求(TBTC:TB0F=1)が発生します。この場合、クロックの発振が停止するモード(ストップモード)へ移行するときにタイムベースタイマの割込みを禁止(TBTC:TBIE=0)してください。

タイムベースタイマの割込みに関連するレジスタとベクトルテーブル

表 5.4-1 タイムベースタイマの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ		ベクトルテーブルのアドレス	
	レジスタ	設定ビット	上位	下位
IRQ7	ILR2(007D _H)	L71(bit7) L70(bit6)	FFEC _H	FFED _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

5.5 タイムベースタイマの動作説明

タイムベースタイマは、インターバルタイマ機能および一部の周辺へのクロック供給機能として動作します。

インターバルタイマ機能の動作(タイムベースタイマ)

インターバルタイマ機能として動作させるには、下図の設定が必要です。

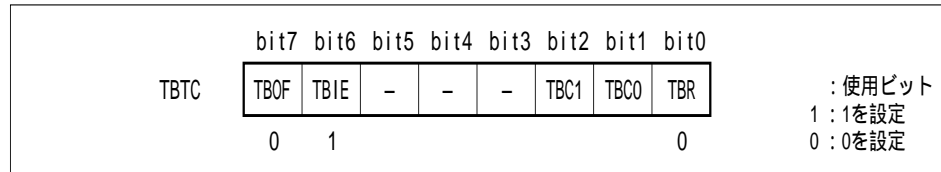


図 5.5-1 インターバルタイマ機能の設定

タイムベースタイマのカウナは、クロックが発振している限り、内部カウントクロック(メインクロック発振)に同期して、カウントアップを続けます。

カウンタがクリア(TBR=0)されると"0"からカウントアップを行い、インターバルタイマ用のビットがオーバーフローすると、オーバーフロー割込み要求フラグビット(TBOF)を"1"にセットします。すなわち、クリアされた時間を基準にして、選択されたインターバル時間ごとに割込み要求を発生することになります。

クロック供給機能の動作

タイムベースタイマは、クロックの発振安定待ち時間を作るためのタイマとしても使用されます。タイムベースタイマのカウナがクリアされた状態からカウントアップし、発振安定待ち時間用のビットがオーバーフローするまでが、発振安定待ち時間となります。発振安定待ち時間は、システムクロック制御レジスタの発振安定待ち時間選択ビット(SYCC:WT1, WT0)によって3種類の中の1種類を選択します。

タイムベースタイマの動作

以下の状態の動作を図 5.5-2に示します。

パワーオンリセットが発生したとき

インターバルタイマ機能の動作中にスリープモードへ移行したとき

ストップモードへ移行したとき

カウンタクリアの要求があったとき

ストップモードでは、タイムベースタイマはクリアされ、動作を停止します。ストップモードからの復帰時は、タイムベースタイマで発振安定待ち時間をカウントします。

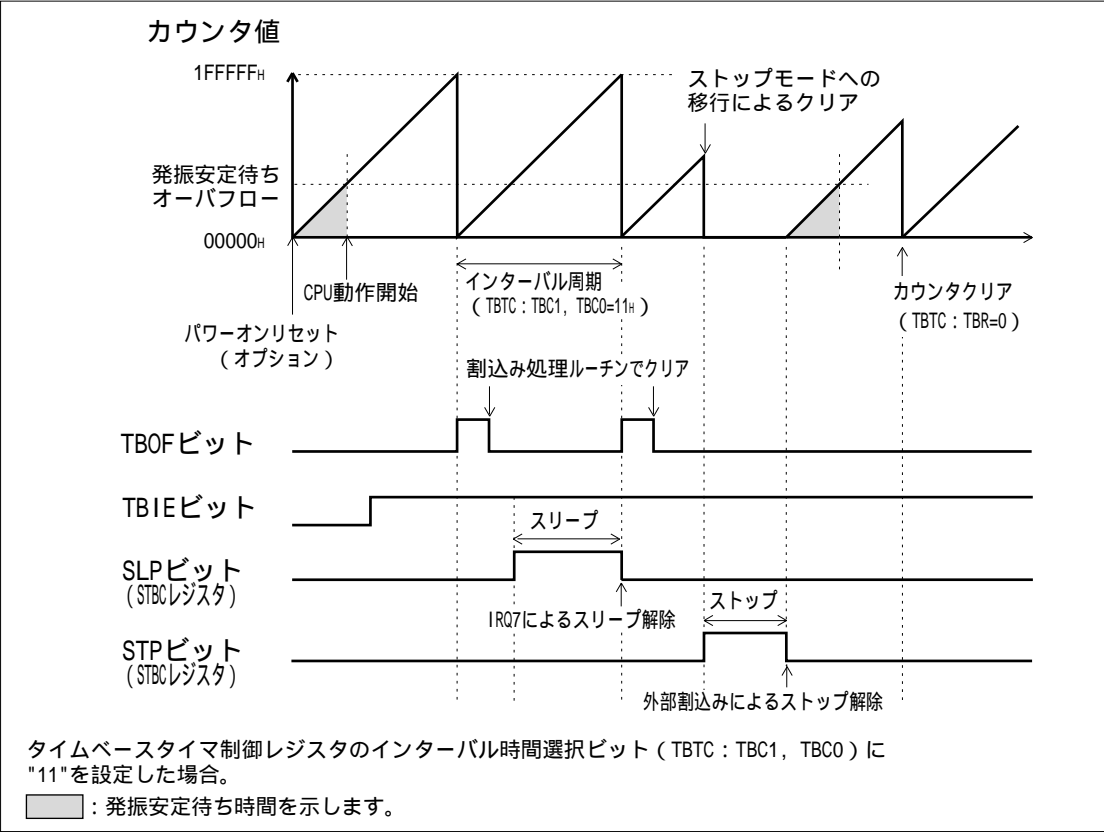


図 5.5-2 タイムベースタイマの動作

5.6 タイムベースタイマ使用上の注意

タイムベースタイマを使用するにあたっての注意点を示します。

タイムベースタイマ使用上の注意

プログラムで設定する場合の注意

割込み要求フラグビット(TBTC:TBOF)が"1"で、割込み要求許可ビットが許可(TBTC:TBIE=1)の状態では、割込み処理から復帰できません。TBOFビットのクリアは必ず行ってください。

タイムベースタイマのクリアについて

タイムベースタイマは、タイムベースタイマ初期化ビットによるクリア(TBTC:TBR=0)以外に、クロックの発振安定待ち時間が必要となる場合にクリアされます。

発振安定待ち時間用タイマとしての使用

電源投入時、ストップモード中では、クロックの原発振が停止しているため、発振器が動作後タイムベースタイマによってクロックの発振安定待ち時間をとります。

クロックの発振器(クロック発生部)に接続する振動子の種類によって、適切な発振安定待ち時間を選択する必要があります。

詳細については、「3.6.5 発振安定待ち時間」を参照してください。

タイムベースタイマからクロックを供給される周辺機能に対する注意

クロック原発振が停止するモードでは、カウンタはクリアされ、タイムベースタイマは動作を停止します。また、タイムベースタイマから供給されるクロックは、タイムベースタイマのカウンタがクリアされると、初期状態からの出力となるため、"H"レベルが短く、あるいは"L"レベルが最大で1/2周期長くなることがあります。ウォッチドッグタイマ用のクロックも初期状態からの出力となりますが、ウォッチドッグタイマのカウンタが同時にクリアされるためウォッチドッグタイマは正常な周期で動作します。

5.7 タイムベースタイマのプログラム例

タイムベースタイマのプログラム例を示します。

タイムベースタイマのプログラム例

処理仕様

$2^{18}/F_{CH}$ (F_{CH} : メインクロック発振: 12MHz) のインターバルタイマ割込みを繰り返し発生します。このときのインターバル時間は、約 21.85 ms (12MHz 動作時) となります。

コーディング例 (Softune V1 準拠)

```

TBTC EQU 0000AH ; タイムベースタイマ制御レジスタのアドレス

TBOF EQU TBTC:7 ; 割込み要求フラグビット定義

ILR2 EQU 007DH ; 割込みレベル設定レジスタのアドレス

INT_V DSEG ABS ; 【DATA SEGMENT】
      ORG OFFECH
IRQ7 DW WARI ; 割込みベクトル設定
INT_V ENDS
; -----メインプログラム-----
      CSEG ; 【CODE SEGMENT】
      ; スタックポインタ(SP)などは初期化済みとする
      :
      CLRI ; 割込みディセーブル
      MOV ILR2, #01111111B ; 割込みレベル設定 (レベル1)
      MOV TBTC, #01000100B ; 割込み要求フラグクリア, 割込み要求出力許可,
                          ;  $2^{18}/F_{CH}$  選択, タイムベースタイマクリア
      SETI ; 割込みイネーブル
      :
; -----割込みプログラム-----
WARI CLRB TBOF ; 割込み要求フラグクリア
      PUSHW A
      XCHW A, T
      PUSHW A
      :
      ユーザ処理
      :
      POPW A
      XCHW A, T
      POPW A
      RETI
      ENDS
; -----
      END

```

第6章 ウォッチドッグタイマ

この章では、ウォッチドッグタイマの機能と動作について説明します。

- 6.1 ウォッチドッグタイマの概要
- 6.2 ウォッチドッグタイマの構成
- 6.3 ウォッチドッグ制御レジスタ(WDTE)
- 6.4 ウォッチドッグタイマの動作説明
- 6.5 ウォッチドッグタイマ使用上の注意
- 6.6 ウォッチドッグタイマのプログラム例

6.1 ウォッチドッグタイマの概要

ウォッチドッグタイマは、タイムベースタイマの出力をカウントクロックとする1ビットのカウンタで、起動後、一定時間以上クリアされない場合、CPUをリセットします。

ウォッチドッグタイマ機能

ウォッチドッグタイマは、プログラム暴走対策用のカウンタです。いったん起動すると一定時間内で定期的にクリアし続ける必要があります。プログラムが無限ループに陥るなどして、一定時間以上クリアされない場合、CPUに対して4インストラクションサイクルのウォッチドッグリセットが発生します。

ウォッチドッグタイマのインターバル時間は、下表に示すとおりです。ウォッチドッグタイマがクリアされない場合、最小時間～最大時間の間にウォッチドッグリセットが発生します。本表の最小時間内にカウンタをクリアしてください。

表 6.1-1 ウォッチドッグタイマインターバル時間

カウントクロック	
	タイムベースタイマ出力(メインクロック発振 12 MHz時)
最小時間	約349.5ms*
最大時間	約699.1ms
*:メインクロック発振(F_{CH})の2分周×タイムベースタイマのカウント数(2^{21})	

ウォッチドッグタイマインターバル時間の最小時間と最大時間については、「6.4 ウォッチドッグタイマの動作説明」を参照してください。

<注意事項>

- ・ウォッチドッグタイマのカウンタは、カウントクロックにタイムベースタイマの出力を選択しているため、タイムベースタイマをクリア(TBTC:TBR=0)すると同時にクリアされます。このため、カウントクロックとして使用しているカウンタ(タイムベースタイマ)をウォッチドッグタイマのインターバル時間内で繰り返しクリアするとウォッチドッグタイマとして機能しなくなります。
- ・スリープモード、ストップモードに移行するとウォッチドッグタイマのカウンタはクリアされ、通常動作(RUN状態)に復帰するまで動作しません。
- ・USBデータ転送中は、ウォッチドッグタイマのカウンタはクリアされ、転送終了後に動作を再開します。

6.2 ウォッチドッグタイマの構成

ウォッチドッグタイマは、以下の四つのブロックで構成されています。

- ・ウォッチドッグタイマカウンタ
- ・リセット制御回路
- ・カウンタクリア制御回路
- ・ウォッチドッグ制御レジスタ(WDTC)

ウォッチドッグタイマのブロックダイアグラム

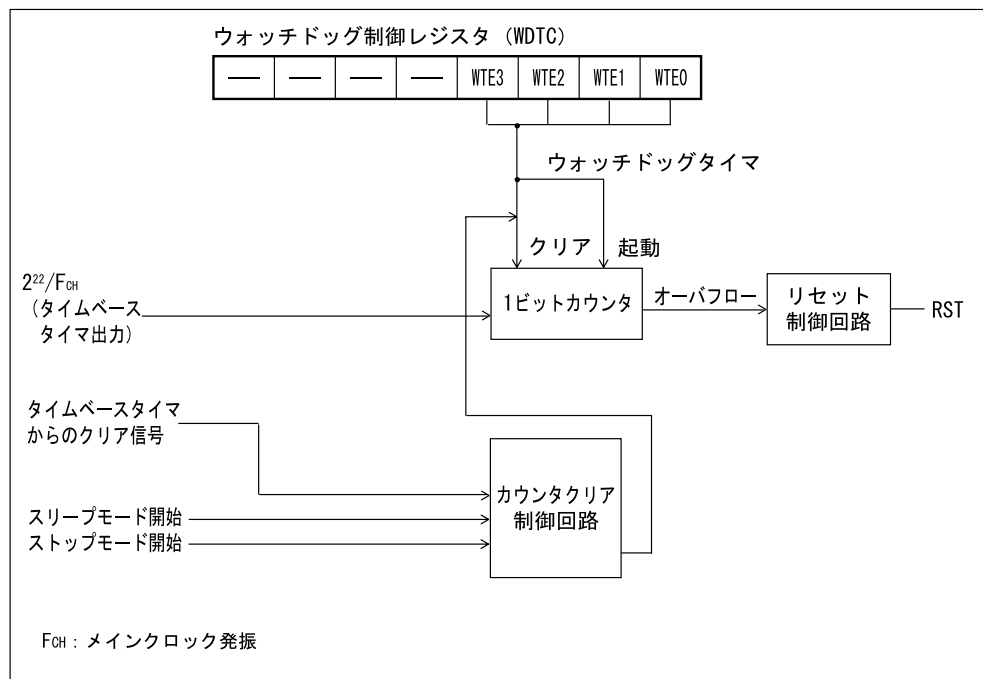


図 6.2-1 ウォッチドッグタイマのブロックダイアグラム

ウォッチドッグタイマカウンタ(1ビットカウンタ)

タイムベースタイマの出力をカウントクロックとする1ビットのカウンタです。

リセット制御回路

ウォッチドッグタイマカウンタのオーバーフローによってCPUへのリセット信号を発生させます。

カウンタクリア制御回路

ウォッチドッグタイマカウンタのクリアと動作の停止を制御します。

ウォッチドッグ制御レジスタ(WDTC)

カウントクロックの選択と、ウォッチドッグタイマカウンタの起動およびクリアを行います。このレジスタは、書込み専用(ライトオンリー)のため、ビット操作命令は使用できません。

6.3 ウォッチドッグ制御レジスタ(WDTC)

ウォッチドッグ制御レジスタ(WDTC)は、ウォッチドッグタイマの起動とクリアを行うレジスタです。

ウォッチドッグ制御レジスタ(WDTC)

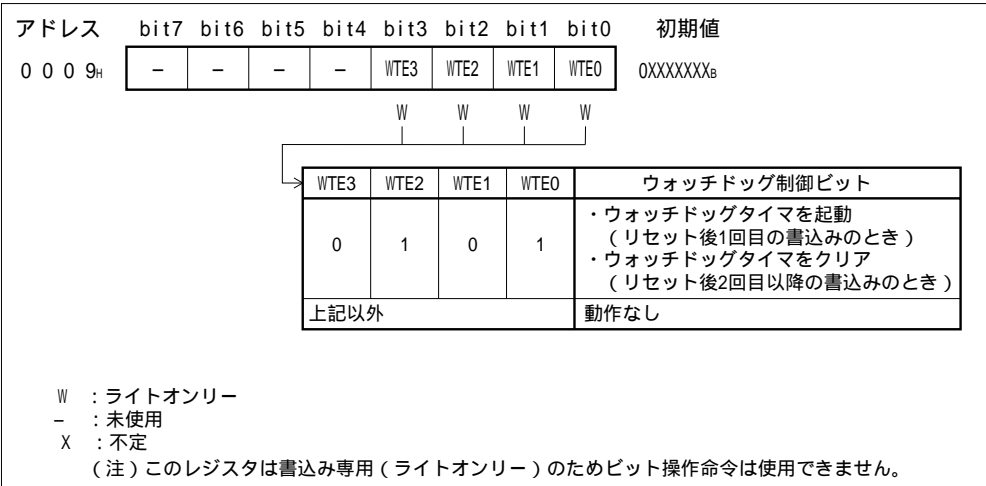


図 6.3-1 ウォッチドッグ制御レジスタ(WDTC)

表 6.3-1 ウォッチドッグ制御レジスタ(WDTC)の各ビットの機能説明

ビット名		機 能
bit7	未使用ビット	必ず"0"を書き込んでください。
bit6	未使用ビット	・リード時の値は不定です。 ・ライトは動作に影響を与えません。
bit5		
bit4		
bit3	WTE3, WTE2,	・"0101 _B "を書き込むとウォッチドッグタイマを起動(リセット後1回目の書き込み)もしくはクリア(リセット後2回目以降の書き込み)します。 ・"0101 _B "以外を書き込んでも動作に影響はありません。 <注記> 読出し値は"1111 _B "です。ビット操作命令は使用できません。
bit2	WTE1, WTE0:	
bit1	ウォッチドッグ	
bit0	制御ビット	

6.4 ウォッチドッグタイマの動作説明

ウォッチドッグタイマは、ウォッチドッグタイマカウンタのオーバフローによってウォッチドッグリセットが発生します。

ウォッチドッグタイマの動作

ウォッチドッグタイマの起動

- ウォッチドッグ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE3 ~ 0) に、リセット後、1回目の"0101_B"を書込みむことによって起動します。
- ウォッチドッグタイマをいったん起動すると、リセット以外に止める方法はありません。

ウォッチドッグタイマのクリア

- ウォッチドッグ制御レジスタのウォッチドッグ制御ビット(WDTC:WTE3~0)への、2回目以降の"0101B"の書込みによって、ウォッチドッグタイマのカウンタをクリアします。
- ウォッチドッグタイマのインターバル時間内にカウンタがクリアされない場合、カウンタがオーバフローし、4インストラクションサイクルの内部リセット信号を発生します。

ウォッチドッグタイマインターバル時間

インターバル時間は、ウォッチドッグタイマをクリアするタイミングによって変化します。図 6.4-1にタイムベースタイマの出力をカウントクロックと(メインクロック発振12MHz時)する、ウォッチドッグタイマのクリアのタイミングとインターバル時間の関係を示します。

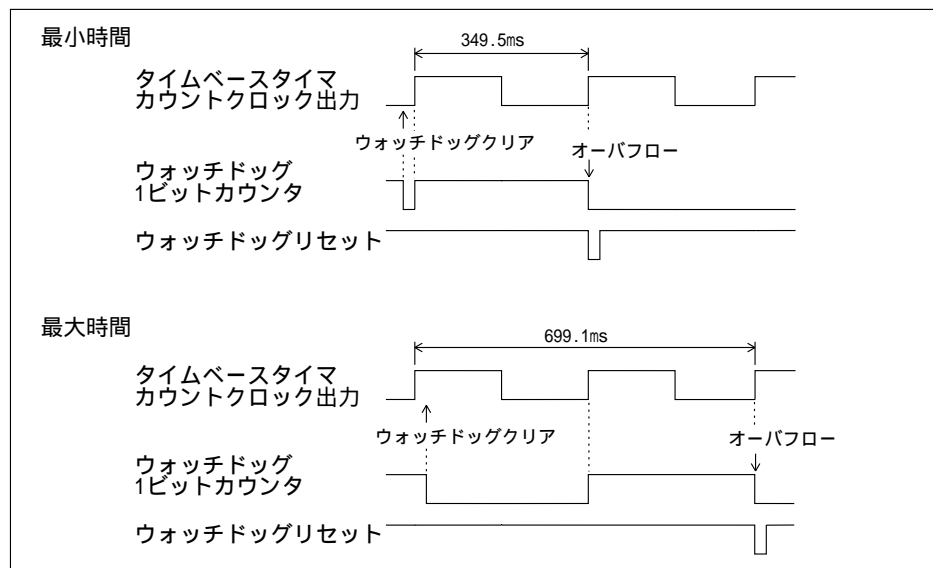


図 6.4-1 ウォッチドッグタイマのクリアとインターバル時間

6.5 ウォッチドッグタイマ使用上の注意

ウォッチドッグタイマを使用するにあたっての注意点を示します。

ウォッチドッグタイマの使用上の注意

ウォッチドッグタイマの停止について

ウォッチドッグタイマは、いったん起動するとリセットが発生するまで停止できません。

ウォッチドッグタイマのクリアについて

ウォッチドッグタイマのカウントクロックに使用しているカウンタ(タイムベースタイマ)をクリアすると、同時にウォッチドッグタイマのカウンタもクリアされます。

スリープモード、ストップモードに移行すると、ウォッチドッグタイマのカウンタはクリアされます。

プログラム作成上の注意

メインループの中で、繰り返しウォッチドッグタイマをクリアするようなプログラムを作成する場合、割込み処理を含めたメインループの処理時間が、ウォッチドッグタイマインターバル時間の最小時間以下となる必要があります。

6.6 ウォッチドッグタイマのプログラム例

ウォッチドッグタイマを使ったプログラム例を示します。

ウォッチドッグタイマのプログラム例

処理仕様

- プログラム開始直後にウォッチドッグタイマを起動します。
- メインプログラムのループの中で毎回ウォッチドッグタイマをクリアします。
- メインループは割込み処理時間を含めて、ウォッチドッグタイマのインターバル最小時間(約349.5ms/12MHz動作時)以下で1周する必要があります。

コーディング例(Softune V1準拠)

```

WDTC EQU 00009H ;ウォッチドッグ制御レジスタのアドレス
WDT_CLR EQU 00000101B

VECT DSEG ABS ; 【DATA SEGMENT】
      ORG OFFFEH
RST_V DW PROG ;リセットベクトル設定
VECT ENDS
;-----メインプログラム-----
      CSEG ; 【CODE SEGMENT】
PROG      ;リセット時の初期化ルーチン
      MOVW SP,#0280H ;スタックポインタの初期値設定(割込み処理
                    ;用)
      :
      周辺機能(割込み)などの初期化
      :
INIT      MOV WDTC,#WDT_CLR ;ウォッチドッグタイマの起動
      :
MAIN      MOV WDTC,#WDT_CLR ;ウォッチドッグタイマのクリア
      :
      ユーザ処理(この間に割込み処理が発生する場合があります)
      :
      JMP MAIN ;ウォッチドッグタイマのインターバル最小時
                ;間より短い時間でループする必要があります
      ENDS
;-----
      END

```


第7章 2CH 8ビットPWMタイマ

この章では、2CH 8ビットPWMタイマの機能と動作について説明します。

- 7.1 2CH 8ビットPWMタイマの概要(インターバルタイマ機能)
- 7.2 2CH 8ビットPWMタイマの概要(PWMタイマ機能)
- 7.3 2CH 8ビットPWMタイマの構成
- 7.4 2CH 8ビットPWMタイマの端子
- 7.5 2CH 8ビットPWMタイマのレジスタ
- 7.6 2CH 8ビットPWMタイマの割込み
- 7.7 インターバルタイマ機能の動作説明
- 7.8 8ビットPWMモードの動作説明
- 7.9 7ビットPWMモードの動作説明
- 7.10 CH12PWMモードの動作説明
- 7.11 2CH 8ビットPWMタイマ のプリスケアラの動作説明
- 7.12 2CH 8ビットPWMタイマの動作中の各モードでの状態
- 7.13 2CH 8ビットPWMタイマ使用上の注意
- 7.14 2CH 8ビットPWMタイマのプログラム例(インターバル機能)
- 7.15 2CH 8ビットPWMタイマのプログラム例(PWMタイマ機能)

7.1 2CH 8ビットPWMタイマの概要(インターバルタイマ機能)

2CH 8ビットPWMタイマは、4種類の内部カウントクロックに同期してカウントアップする二つの8ビットPWMタイマ(CH1, CH2)で構成されます。CH1とCH2はそれぞれ方形波出力のできるインターバルタイマ機能と、8ビットまたは7ビット分解能のPWMタイマ機能があり、どちらかの機能を選択できます。インターバルタイマ機能は、CH1とCH2を独立に使用する8ビットタイマモードと、CH1とCH2を連結して使用するCK12モードがあります。

インターバルタイマ機能(方形波出力機能)

インターバルタイマ機能は、任意の時間間隔で繰り返し割込みを発生する機能です。

また、その割込み発生ごとに端子(PWM端子)の出力レベルを反転できるため、任意の周波数の方形波出力も可能です。

8ビットタイマモード

8ビットタイマモードでは、CH1とCH2の8ビットPWMタイマは独立に動作できます。

- カウントクロックの周期から 2^8 倍の周期までのインターバルタイマ動作ができます。
- カウントクロックは、4種類の中より選択できます。表 7.1-1にインターバル時間と方形波出力の範囲を示します。

表 7.1-1 インターバル時間と方形波出力範囲(CH1, CH2)

カウントクロック周期		インターバル時間	方形波出力(Hz)
内部 カウン トクロック	$1t_{inst}$	$1t_{inst} \sim 2^8t_{inst}$	$1/(2t_{inst}) \sim 1/(2^9t_{inst})$
	$8t_{inst}$	$2^3t_{inst} \sim 2^{11}t_{inst}$	$1/(2^4t_{inst}) \sim 1/(2^{12}t_{inst})$
	$16t_{inst}$	$2^4t_{inst} \sim 2^{12}t_{inst}$	$1/(2^5t_{inst}) \sim 1/(2^{13}t_{inst})$
	$64t_{inst}$	$2^6t_{inst} \sim 2^{14}t_{inst}$	$1/(2^7t_{inst}) \sim 1/(2^{15}t_{inst})$

T_{inst} : インストラクションサイクル(クロックモードなどの影響を受けます)

インターバル時間と方形波周波数の計算例

メインクロック発振(F_{CH})12 MHz, PWMコンペアレジスタ(COMR)値"DDH(221)"で、カウントクロック周期を $1t_{inst}$ に設定したときのインターバル時間と、このCOMRレジスタ値を変更せずに連続動作させたときのPWM端子より出力される方形波の周波数は、つぎのように算出できます。

ただし、システムクロック制御レジスタ(SYCC)により、クロックモード(SCS=1)の最高速クロックを選択(CS1, CS0=11_B, 1インストラクションサイクル=4/ F_{CH})した場合の値です。

$$\begin{aligned}
 \text{インターバル時間} &= (1 \times 4/F_{CH}) \times (\text{COMRレジスタ値} + 1) \\
 &= (4/12 \text{ MHz}) \times (221 + 1) \\
 &= 74 \mu\text{s}
 \end{aligned}$$

$$\begin{aligned}
 \text{出力周波数} &= F_{CH}/(1 \times 8 \times (\text{COMRレジスタ値} + 1)) \\
 &= 12\text{MHz}/(8 \times (221 + 1)) \\
 &= 6.76 \text{ kHz}
 \end{aligned}$$

CK12モード

CK12モードは、CH1とCH2を連結して使用するモードで、CH1の方形波出力がCH2のカウントクロックとなります。

- CH1とCH2はそれぞれのカウントクロックの周期から 2^8 倍の周期までのインターバルタイマ動作ができます。
- CH1は、カウントクロックを4種類の中より選択できます。
- CH2のカウントクロックは、CH1の方形波出力となります。

表 7.1-2にインターバル時間と方形波出力の範囲を示します。

表 7.1-2 インターバル時間と方形波出力範囲

カウントクロック周期		インターバル時間	方形波出力(Hz)
CH1	内部 カウント クロック	$1t_{inst}$	$1/(2t_{inst}) \sim 1/(2^9t_{inst})$
		$8t_{inst}$	$1/(2^4t_{inst}) \sim 1/(2^{12}t_{inst})$
		$16t_{inst}$	$1/(2^5t_{inst}) \sim 1/(2^{13}t_{inst})$
		$64t_{inst}$	$1/(2^7t_{inst}) \sim 1/(2^{15}t_{inst})$
CH2	CH1方形波出力	$2t_{inst} \sim 2^{15}t_{inst}$	$1/(2^2t_{inst}) \sim 1/(2^{24}t_{inst})$

t_{inst} : インストラクションサイクル(クロックモードなどの影響を受けます)

インターバル時間と方形波周波数の計算例

メインクロック発振(F_{CH})12MHz、PWMコンペアレジスタ1, 2(COMR1, COMR2)値が共に"DD_H(221)"で、CH1のカウントクロック周期を $1t_{inst}$ に設定したときのインターバル時間と、このCOMRレジスタ値を変更せずに連続動作させたときのPWM端子より出力される方形波の周波数は、つぎのように算出できます。

ただし、システムクロック制御レジスタ(SYCC)により、クロックモード(SCS=1)の最高速クロックを選択(CS1, CS0=11_B, 1インストラクションサイクル= $4/F_{CH}$)した場合の値です。

$$\begin{aligned}
 \text{CH1インターバル時間} &= (1 \times 4/F_{CH}) \times (\text{COMR1レジスタ値} + 1) \\
 &= (4/12\text{MHz}) \times (221 + 1) \\
 &= 74 \mu\text{s}
 \end{aligned}$$

$$\begin{aligned}
 \text{CH1出力周波数} &= F_{CH}/(1 \times 8 \times (\text{COMR1レジスタ値} + 1)) \\
 &= 12 \text{ MHz}/(8 \times (221 + 1)) \\
 &= 6.76\text{kHz}
 \end{aligned}$$

$$\begin{aligned}
 \text{CH2インターバル時間} &= (1/\text{CH1出力周波数}) \times (\text{COMR2レジスタ値} + 1) \\
 &= (1/6.76\text{kHz}) \times (221 + 1) \\
 &= 32.8\text{ms}
 \end{aligned}$$

$$\begin{aligned}
 \text{CH2出力周波数} &= \text{CH1出力周波数}/(\text{COMR2レジスタ値} + 1) \\
 &= 6.76\text{kHz}/(221 + 1) \\
 &= 30.45\text{Hz}
 \end{aligned}$$

7.2 2CH 8ビットPWMタイマの概要(PWMタイマ機能)

2CH 8ビットPWMタイマは、4種類の内部カウントクロックに同期してカウントアップする二つの8ビットPWMタイマ(CH1, CH2)で構成されます。CH1とCH2はそれぞれ方形波出力のできるインターバルタイマ機能と、8ビットまたは7ビット分解能のPWMタイマ機能があり、どちらかの機能を選択できます。

2CH 8ビットPWMタイマの概要(PWMタイマ機能)

PWMタイマ機能は、CH1とCH2を独立に使用する8ビットPWMモード、または7ビットPWMモード(高速モード)と、CH1を"L"幅、CH2を周期としてPWM波を発生するCH12PWMモードがあります。また、CH1を8ビットタイマモードで動作させ、その方形波出力をCH2のカウントクロックに選択することもできます(CK12PWMモード)。PWM出力にローパスフィルタを接続することで、D/Aコンバータとして使用できます。

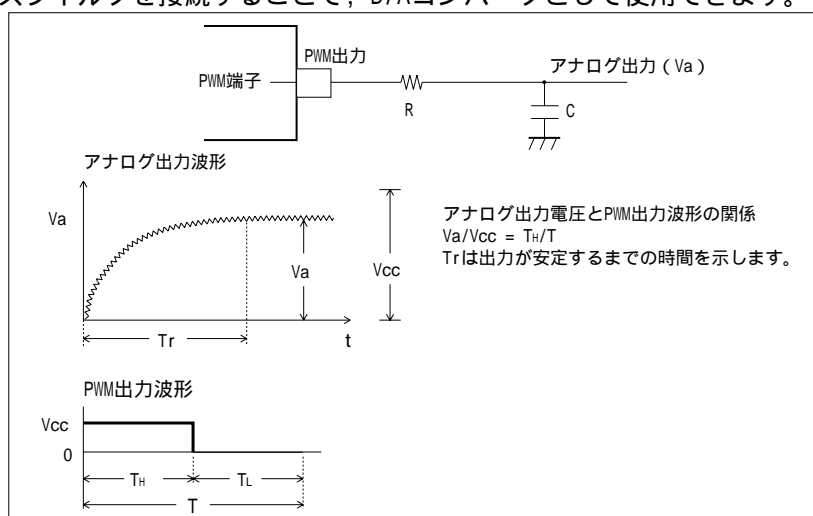


図 7.2-1 PWM出力とローパスフィルタによるD/Aコンバータ構成例

参考：

PWM波の計算例(CH12PWMモード)

メインクロック発振(F_{CH})12 MHz, PWMコンペアレジスタ($COMR1=01_H$, $COMR2=03_H$)の設定で、カウントクロックをそれぞれ1 t_{inst} に設定したときのPWM波は、つぎのように算出できます。

ただし、システムクロック制御レジスタ(SYCC)により、クロックモード($SCS=1$)の最高速クロックを選択($CS1$, $CS0=11_B$, 1インストラクションサイクル= $4/F_{CH}$)した場合の値です。

$$\begin{aligned} \text{"L"幅} &= (1 \times 4/F_{CH}) \times (COMR1 \text{レジスタ値} + 1) \\ &= (4/12 \text{ MHz}) \times (1 + 1) \\ &= 0.67 \mu s \end{aligned}$$

$$\begin{aligned} 1 \text{周期幅} &= (1 \times 4/F_{CH}) \times (COMR2 \text{レジスタ値} + 1) \\ &= (4/12 \text{ MHz}) \times (3 + 1) \\ &= 1.34 \mu s \end{aligned}$$

参考：

CH12PWMモード以外のPWMタイマ動作では、割込み要求は発生しません。

PWMタイマ機能

PWMタイマ機能は、1周期の"H"幅を制御するか、"L"幅と周期を独立に制御してPWM端子にPWM波を出力する機能です。出力にローパスフィルタを接続し、D/Aコンバータとしても使用できます。

CH1とCH2を独立に使用する場合、それぞれ8ビットPWMモードと7ビットPWMモード(高速モード)を選択できます。

8ビットPWMモード

- 1周期の"H"幅を1/256の分解能で制御できるため、デューティ比0～99.6%でPWM出力ができます。
- PWM波の周期は、カウントクロックの周期の 2^8 倍であり、4種類の中より選択できます。

7ビットPWMモード(高速モード)

- 1周期の"H"幅を1/128の分解能で制御できるため、デューティ比0～99.2%でPWM出力ができます。
- PWM波の周期は、カウントクロックの周期の 2^7 倍(8ビットPWMモードの1/2)であり、4種類の中より選択できます。

CK12PWMモード(8ビットPWM, 7ビットPWM)

- CH2は8ビットPWMモードまたは7ビットPWMモードを選択できます。ただし、カウントクロックはCH1の方形波出力となります。
- CH1は8ビットタイマモードでの動作となり、PWM波の周期を制御できます。

CH12PWMモード

- PWM波の"L"幅は、CH1の4種類のカウントクロックの周期からそれぞれの周期の 2^8 倍の周期まで制御できます。
- PWM波の周期は、CH2の4種類のカウントクロックの周期からそれぞれの周期の 2^8 倍の周期まで制御できます。
- PWM波の分解能は最小 $1/2^{14}$ まで制御できますが、デューティ比が制限されます。

各モードのPWM波の周期

表 7.2-1 PWMタイマ機能で設定できるPWM波の周期

	カウントクロック周期		CH1, CH2独立使用(通常モード)		CH12PWMモード	
			8ビットPWM モードの周期	7ビットPWMモード (高速モード)の周期	"L"幅(CH1)	1周期幅(CH2)
CH1 および CK12PWMモー ド以外のCH2	内部 カウン トクロ ック	$1t_{inst}$	2^8t_{inst}	2^7t_{inst}	$1t_{inst} \sim 2^8t_{inst}$	$1t_{inst} \sim 2^8t_{inst}$
		$8t_{inst}$	$2^{11}t_{inst}$	$2^{10}t_{inst}$	$2^3t_{inst} \sim 2^{11}t_{inst}$	$2^3t_{inst} \sim 2^{11}t_{inst}$
		$16t_{inst}$	$2^{12}t_{inst}$	$2^{11}t_{inst}$	$2^4t_{inst} \sim 2^{12}t_{inst}$	$2^4t_{inst} \sim 2^{12}t_{inst}$
		$64t_{inst}$	$2^{14}t_{inst}$	$2^{13}t_{inst}$	$2^6t_{inst} \sim 2^{14}t_{inst}$	$2^6t_{inst} \sim 2^{14}t_{inst}$
CK12PWM モードのCH2	CH1 方形波出力	$2t_{inst} \sim 2^{15}t_{inst}$	$2^9t_{inst} \sim 2^{23}t_{inst}$	$2^8t_{inst} \sim 2^{22}t_{inst}$	-	

T_{inst} : インストラクションサイクル(クロックモードなどの影響を受けます)

- : 設定禁止

7.3 2CH 8ビットPWMタイマの構成

2CH 8ビットPWMタイマは、以下の七つのブロックで構成されています。

- ・プリスケアラ
- ・8ビットPWMタイマ1(CH1)
- ・8ビットPWMタイマ2(CH2)
- ・PWMコンペアレジスタ1, 2(COMR1, COMR2)
- ・PWM制御レジスタ1, 2, 3(CNTR1, CNTR2, CNTR3)
- ・CK12セクタ
- ・CH12PWM出力制御回路

2CH 8ビットPWMタイマのブロックダイアグラム

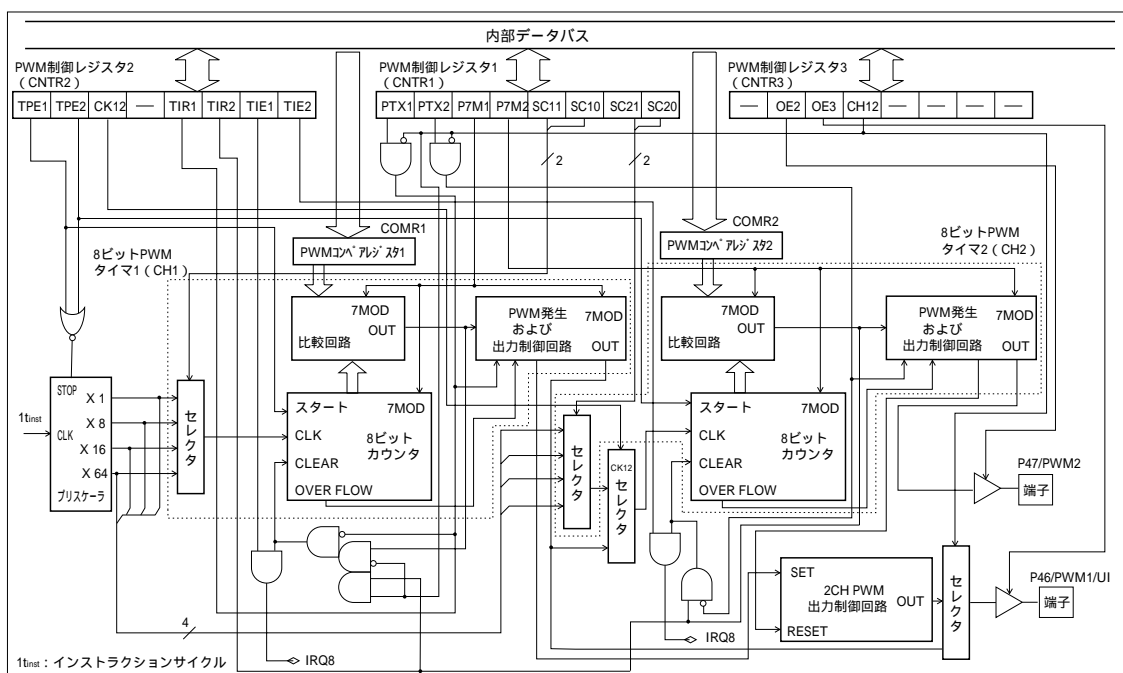


図 7.3-1 2CH 8ビットPWMタイマのブロックダイアグラム

プリスケアラ

周辺回路用の動作クロックを分周する回路です。

PWM制御レジスタ(CNTR2)のカウンタ動作許可ビット(TPE1, TPE2)のいずれかが"1"のときプリスケアラが動作し、4種類の内部カウントクロックを出力します。

8ビットPWMタイマ1(CH1)および8ビットPWMタイマ2(CH2)

カウントクロックセクタ

4種類の内部カウントクロックを選択する回路で、8ビットカウンタのカウントアップ用クロックとなります。

8ビットカウンタ

カウントクロックセレクタで選択されたカウントクロックでカウントアップします。

比較回路

COMRレジスタの値を保持するラッチがあり、8ビットカウンタの値が"00H"のとき、COMRレジスタ値をラッチします。また、8ビットカウンタとラッチされたCOMRレジスタの値を比較し、一致を検出します。

PWM発生および出力制御回路

インターバルタイマ動作では、一致が検出されると割込み要求を発生し、出力端子制御ビット2または3(CNTR3:OE2またはOE3)が"1"のとき、出力制御回路によってPWM端子の出力レベルを反転します。このとき8ビットカウンタはクリアされます。

PWMタイマ動作では、一致が検出されると、PWM発生回路によってPWM端子の出力レベルを"H"レベルから"L"レベルに変更します。この後、8ビットカウンタがオーバフローすると"H"レベルになります。

PWMコンペアレジスタ1,2(COMR1, COMR2)

8ビットカウンタのカウント値と比較する値をセットするレジスタです。

PWM制御レジスタ1,2,3(CNTR1, CNTR2, CNTR3)

動作モードの選択、動作の許可と禁止、カウントクロックの設定、割込み制御、および状態の確認などを行います。

動作モードをPWMタイマモード(PTX=1)とした場合、比較回路からの一致検出信号による8ビットカウンタのクリアと割込み要求は禁止されます。

CK12セレクタ

入力クロックの切換え回路で、8ビットPWMタイマ2(CH2)の入力クロックをカウントクロックセレクタ出力または8ビットPWMタイマ1(CH1)の方形波出力に切り換えます。

CH12PWM出力制御回路

CH12PWMモードにおいて、CH1およびCH2のタイマ出力によってPWM波の"L"幅(LH)と周期(H L)を制御します。

2CH 8ビットPWMタイマに関連する割込み

IRQ8:CH1のインターバルタイマ機能で、カウンタ値とCOMR1,COMR2レジスタの設定値が一致したときに割込み要求出力が許可(CNTR2:TIE1=1)されていれば、割込み要求が発生します(通常のPWM機能動作時には割込み要求は発生しません)。

IRQ8:CH2のインターバルタイマ機能またはCH12PWMモードで、カウンタ値とCOMR1, COMR2レジスタの設定値が一致したときに割込み要求が許可(CNTR2:TIE2=1)されていれば、割込み要求が発生します(通常のPWM機能動作時には割込み要求は発生しません)。

7.4 2CH 8ビットPWMタイマの端子

2CH 8ビットPWMタイマに関連する端子，端子のブロックダイアグラムを示します。

2CH 8ビットPWMタイマに関連する端子

2CH 8ビットPWMタイマに関連する端子は，P46/UI/PWM1,P47/PWM2端子です。

P46/UI/PWM1,P47/PWM2端子

これらの端子は，汎用入出力ポートとしての機能(P46,P47)と，インターバルタイマまたは PWMタイマ出力としての機能(PWM1,PWM2)を兼用しています。

PWM1,PWM2: インターバルタイマ機能時，この端子に方形波が出力されます。

PWMタイマ機能時，この端子にPWM波が出力がされます。

P46/UI/PWM1,P47/PWM2 端子は，出力端子制御ビットを専用端子に設定(CNTR3:0E=1)すると，ポート方向レジスタの値に関係なく自動的に出力端子となり，PWM1,PWM2端子として機能します。

2CH 8ビットPWMタイマに関連する端子のブロックダイアグラム

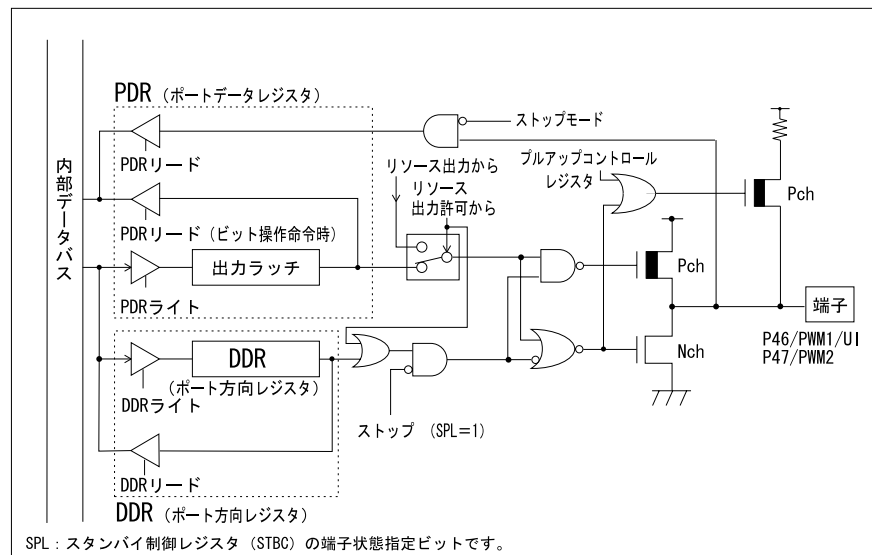


図 7.4-1 2CH 8ビットPWMタイマに関連する端子のブロックダイアグラム

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合，ストップ (SPL=1)における端子の状態は，ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし，リセット中はプルアップは無効となり，Hi-zとなります。

7.5 2CH 8ビットPWMタイマのレジスタ

2CH 8ビットPWMタイマに関連するレジスタを示します。

2CH 8ビットPWMタイマに関連するレジスタ

CNTR1,2,3 (PWM制御レジスタ1,2,3)

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CNTR1	0 0 2 7 _H	PTX1	PTX2	P7M1	P7M2	SC11	SC10	SC21	SC20	00000000 _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CNTR2	0 0 2 8 _H	TPE1	TPE2	CK12	—	TIR1	TIR2	TIE1	TIE2	000X0000 _B
		R/W	R/W	R/W		R/W	R/W	R/W	R/W	

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CNTR3	0 0 2 9 _H	—	OE2	OE3	CH12	—	—	—	—	X000XXXX _B
			R/W	R/W	R/W					

COMR1,2 (PWMコンペアレジスタ1,2)

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
COMR1	0 0 2 A _H									XXXXXXXX _B
		W	W	W	W	W	W	W	W	

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
COMR2	0 0 2 B _H									XXXXXXXX _B
		W	W	W	W	W	W	W	W	

R/W : リード・ライト可能

W : ライトオンリー

— : 未使用

X : 不定

図 7.5-1 2CH 8ビットPWMタイマに関連するレジスタ

< 注意事項 >

PWMコンペアレジスタ1, 2(COMR1, COMR2)は、書込み専用(ライトオンリー)のため、ビット操作命令は使用できません。

7.5.1 PWM制御レジスタ1(CNTR1)

PWM制御レジスタ1(CNTR1)は、1CH,2CH の8ビットPWMタイマの動作モード(インターバルタイマ動作, PWMタイマ動作)の選択, PWMタイマ機能の分解能の切換えおよびカウントクロックの選択を行うレジスタです。

PWM制御レジスタ1(CNTR1)

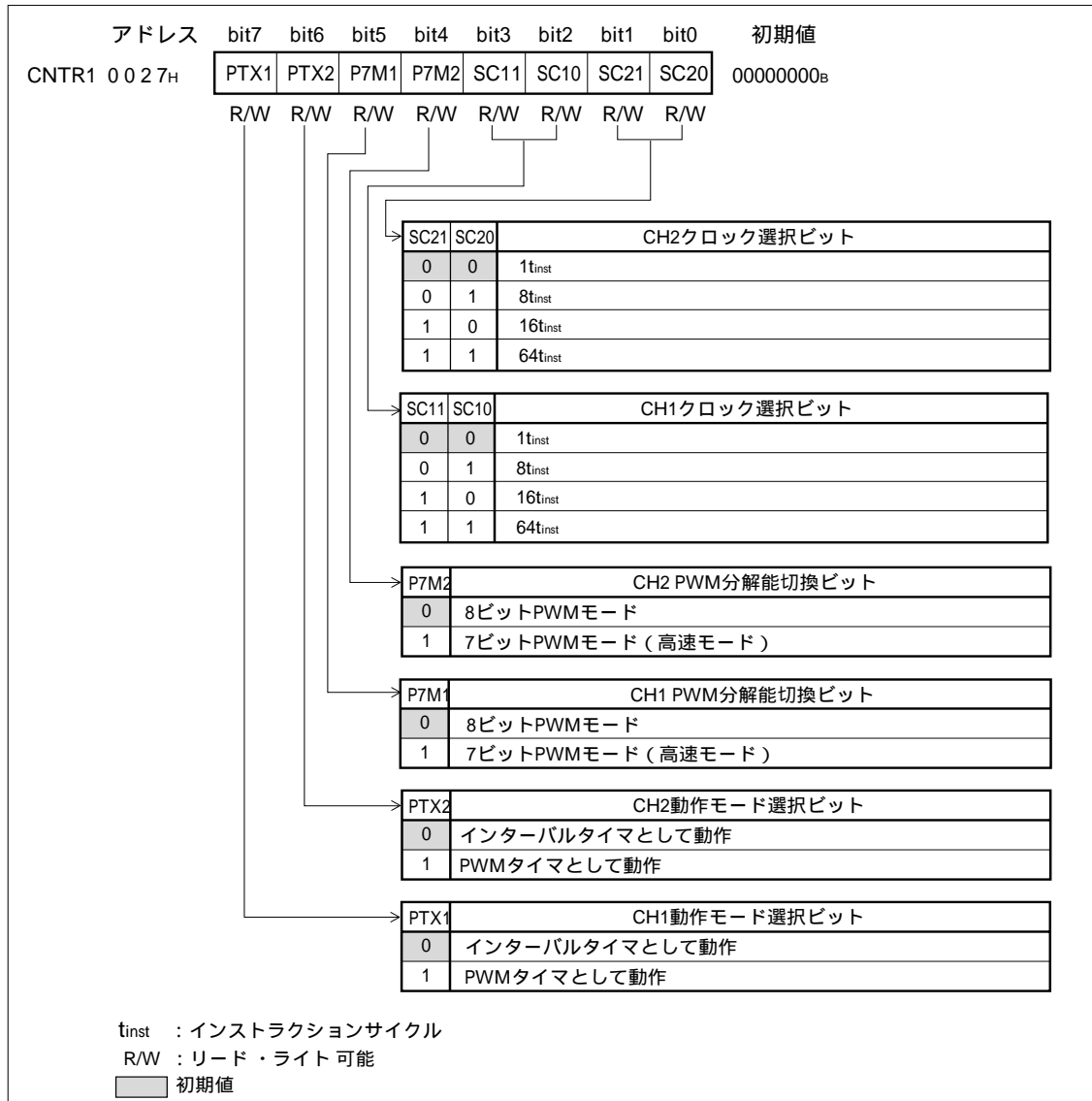


図 7.5-2 PWM制御レジスタ1(CNTR1)

表 7.5-1 PWM制御レジスタ1(CNTR1)の各ビットの機能説明

ビット名		機 能
bit7	PTX1: CH1動作モード選 択ビット	<ul style="list-style-type: none"> ・CH1のインターバルタイマ動作とPWMタイマ動作の選択を行うビットです。 ・このビットを"0"に設定するとインターバルタイマ動作となり、"1"に設定するとPWMタイマ動作となります。 <注記> このビットへの書込みは、カウンタ動作停止 (TPE1=0)、割込み禁止 (TIE1=0)、割込み要求フラグビットをクリア (TIR1=0) して行ってください。また、CH12PWMモード (CNTR3:CH12=1)時は、このビットは意味を持ちません。
bit6	PTX2: CH2動作モード選 択ビット	<ul style="list-style-type: none"> ・CH2のインターバルタイマ動作とPWMタイマ動作の選択を行うビットです。 ・このビットを"0"に設定するとインターバルタイマ動作となり、"1"に設定するとPWMタイマ動作となります。 <注記> このビットへの書込みは、カウンタ動作停止 (TPE2=0)、割込み禁止 (TIE2=0)、割込み要求フラグビットをクリア (TIR2=0) して行ってください。また、CH12PWMモード (CNTR3:CH12=1)時は、このビットは意味を持ちません。
bit5	P7M1: CH1PWM分解 能切換ビット	<ul style="list-style-type: none"> ・CH1のPWMタイマ動作時に、8ビットPWMモードと7ビットPWMモード(高速モード)の切換えを行うビットです。 ・このビットを"0"に設定すると8ビットPWMモードとなり、"1"に設定すると7ビットPWMモードとなります。 <注記> インターバルタイマ動作時には、"1"を書き込まないでください。
bit4	P7M2: CH2PWM分解 能切換ビット	<ul style="list-style-type: none"> ・CH2のPWMタイマ動作時に、8ビットPWMモードと7ビットPWMモード(高速モード)の切換えを行うビットです。 ・このビットを"0"に設定すると8ビットPWMモードとなり、"1"に設定すると7ビットPWMモードとなります。 <注記> インターバルタイマ動作時には、"1"を書き込まないでください。
bit3 bit2	SC11,SC10: CH1ク ロック 選択ビッ ト	<ul style="list-style-type: none"> ・CH1のインターバルタイマ機能、PWMタイマ機能のカウントクロックを選択します。 ・4種類の内部カウントクロックを選択できます。 <注記> CH1のカウンタが動作中(TPE1=1)のときは、切り換えないでください。
bit1 bit0	SC21,SC20: CH2ク ロック 選択ビッ ト	<ul style="list-style-type: none"> ・CH2のインターバルタイマ機能、PWMタイマ機能のカウントクロックを選択します。 ・4種類の内部カウントクロックを選択できます。 <注記> CH2のカウンタが動作中(TPE2=1)のときは、切り換えないでください。

7.5.2 PWM制御レジスタ2(CNTR2)

PWM制御レジスタ2(CNTR2)は、1CH,2CH 8ビットPWMタイマの動作の許可と禁止、CK12モードの選択、割り込み制御および状態の確認を行うレジスタです。

PWM制御レジスタ2(CNTR2)

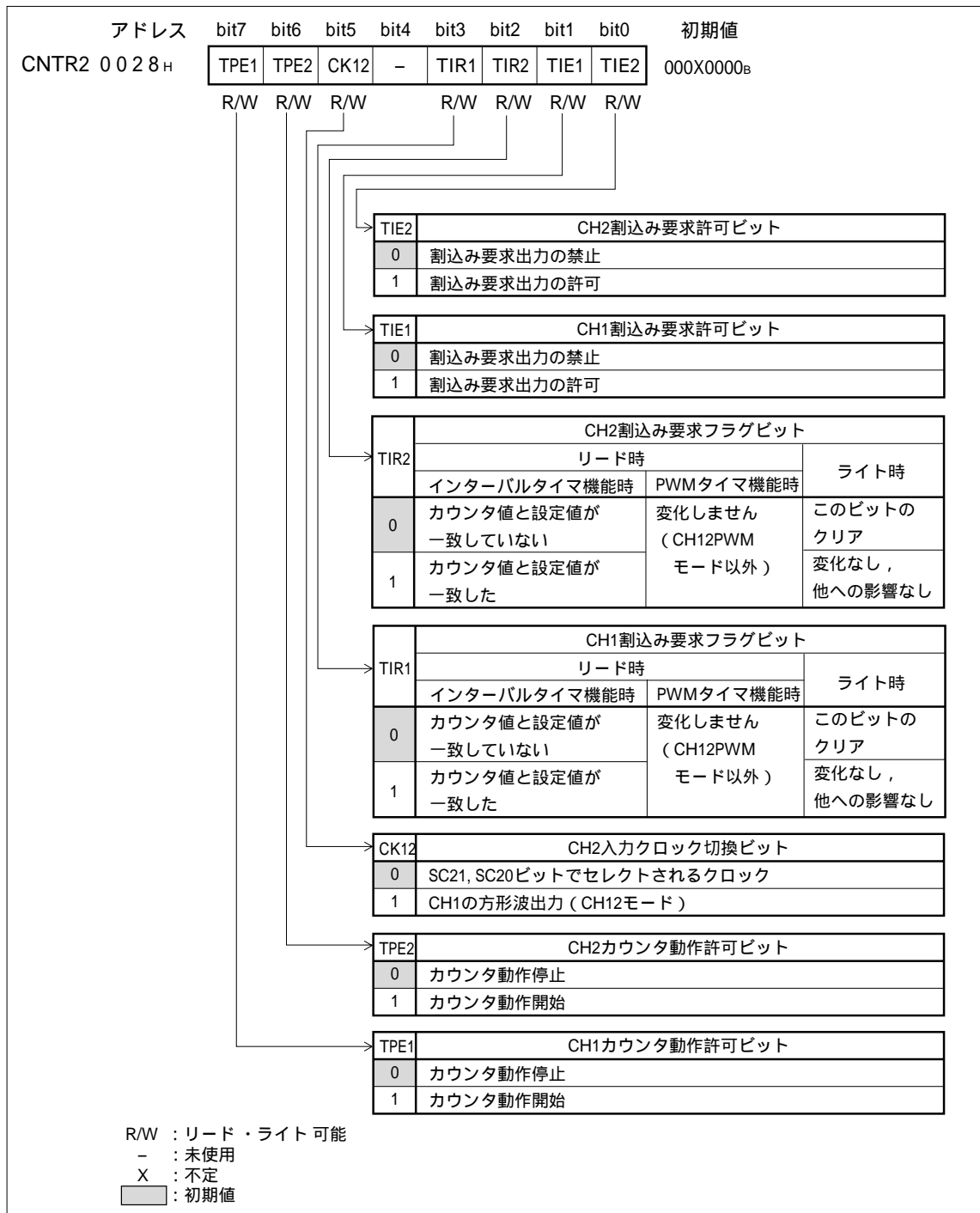


図 7.5-3 PWM制御レジスタ2(CNTR2)

表 7.5-2 PWM制御レジスタ2(CNTR2)の各ビットの機能説明

ビット名		機 能
bit7	TPE1: CH1カウンタ動作許可ビット	<ul style="list-style-type: none"> ・CH1のインターバル動作, PWMタイマ動作の起動/停止を行うビットです。 ・このビットを"1"に設定するとカウント動作を開始し, "0"に設定するとカウンタ値を"00h"にクリアして停止します。
bit6	TPE2: CH2カウンタ動作許可ビット	<ul style="list-style-type: none"> ・CH2のインターバル動作, PWMタイマ動作の起動/停止を行うビットです。 ・このビットを"1"に設定するとカウント動作を開始し, "0"に設定するとカウンタ値を"00h"にクリアして停止します。
bit5	CK12: CH2入力 クロック切換 ビット	<ul style="list-style-type: none"> ・CH2の入力クロックの切換えを行うビットです。 ・このビットを"0"に設定すると, SC21, SC20ビットで選択されたクロックが入力クロックになります。 ・このビットを"1"に設定すると, SC21, SC20ビットの値に関係なく, CH1の方形波出力が入力クロックとなり, CK12モードとして動作します。 <p><注記> CH12PWMモード(CNTR3:CH12=1)時は, "1"を書き込まないでください。 また, CH1がPWMタイマ動作時(CNTR1:PTX1=1)は, "1"を書き込まないでください。</p>
bit4	未使用ビット	<ul style="list-style-type: none"> ・リード時の値は不定です。 ・ライトは動作に影響を与えません。
bit3	TIR1: CH1割込み要求 フラグビット	<ul style="list-style-type: none"> ・CH1のインターバル機能時, カウント値とPWMコンペアレジスタ1(COMR1)値が一致すると"1"にセットされます。 ・このビットと, CH1割込み要求許可ビット(TIE1)が"1"のとき, CPUへの割込み要求を出力します。 ・CH12PWMモード以外のPWMタイマ機能時, 割込み要求は発生しません。 ・書込み時は"0"でクリアされ, "1"ではこのビットに影響を与えません。
bit2	TIR2: CH2割込み要求 フラグビット	<ul style="list-style-type: none"> ・CH2のインターバルタイマ機能時およびCH12PWMモード時, カウント値とPWMコンペアレジスタ2(COMR2)値が一致すると"1"にセットされます。 ・このビットとCH2割込み要求許可ビット(TIE2)が"1"のとき, CPUへの割込み要求を出力します。 ・CH12PWMモード以外のPWMタイマ機能時, 割込み要求は発生しません。 ・書込み時は"0"でクリアされ, "1"ではこのビットに影響を与えません。
bit1	TIE1: CH1割込み要求 許可ビット	<ul style="list-style-type: none"> ・CH1のCPUへの割込み要求出力の許可/禁止を行うビットです。 ・このビットとCH1割込み要求フラグビット(TIR1)が"1"のとき, 割込み要求を出力します。 <p><注記> CH12PWMモード(CNTR3:CH12=1)時は, 割込み要求出力を禁止(TIE1=0)してください。</p>
bit0	TIE2: CH2割込み要求 許可ビット	<ul style="list-style-type: none"> ・CH2のCPUへの割込み要求出力の許可/禁止を行うビットです。 ・このビットとCH2割込み要求フラグビット(TIR2)が"1"のとき, 割込み要求を出力します。

7.5.3 PWM制御レジスタ3(CNTR3)

PWM制御レジスタ3(CNTR3)は、1CH,2CH 8ビットPWMタイマのCH12PWMモードの選択および出力端子の制御を行うレジスタです。

PWM制御レジスタ3(CNTR3)

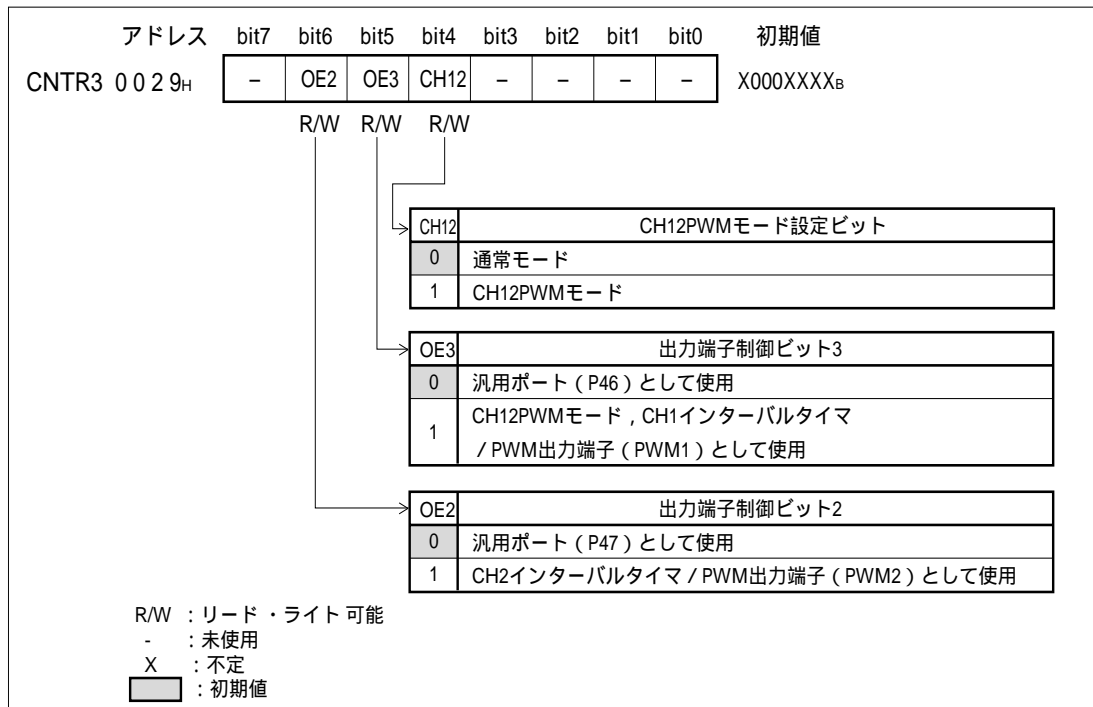


図 7.5-4 PWM制御レジスタ3(CNTR3)

表 7.5-3 PWM制御レジスタ3(CNTR3)の各ビットの機能説明

ビット名		機 能
bit7	未使用ビット	<ul style="list-style-type: none"> ・ リード時の値は不定です。 ・ ライトは動作に影響を与えません。
bit6	OE2: 出力端子制御 ビット2	<ul style="list-style-type: none"> ・ P47/PWM2端子の汎用ポートと専用端子の切換えを行うビットです。 ・ このビットを"0"に設定すると汎用ポート(P47)となり, "1"に設定すると専用端子(PWM2)となります。 ・ PWM2端子はCH2出力で, インターバルタイマ機能時は方形波が, PWMタイマ機能時はPWM波が出力されます。
bit5	OE3: 出力端子制御 ビット3	<ul style="list-style-type: none"> ・ P46/PWM1/UI端子の汎用ポートと専用端子の切り替えを行うビットです。このビットを"0"に設定すると, 汎用ポート(P46)となり, "1"に設定すると専用端子(PWM1)となります。 ・ PWM1端子はCH1出力で, インターバルタイマ機能時は方形波が, PWMタイマ時はPWM波が出力されます。また, CH12PWMモード時はPWM波が出力されます。
bit4	CH12: PWMモード 設定ビット	<ul style="list-style-type: none"> ・ 通常モードとCH12PWMモードの切換えを行うビットです。 ・ このビットに"0"を設定するとCH1とCH2は独立に動作できます。"1"に設定すると, CH1で"L"幅をCH2で周期を指定するCH12PWMモードとして動作します。 ・ CH12PWMモードの場合, 動作モード選択ビット(CNTR1:PTX1, PTX2)は意味を持ちません。 <p><注記> CK12モード設定時(CNTR2:CK12=1)は, "1"を書き込まないでください。 また, CH1またはCH2のカウンタが動作中(CNTR2:TIE1またはTIE2=1)は書き換えないでください。</p>
bit3 bit2 bit1 bit0	未使用ビット	<ul style="list-style-type: none"> ・ リード時の値は不定です。 ・ ライトは動作に影響を与えません。

7.5.4 PWMコンペアレジスタ1(COMR1)

PWMコンペアレジスタ1(COMR1)は、CH1のデータレジスタです。インターバルタイマ機能動作時はこのレジスタ値がインターバル時間となり、通常のPWMタイマ機能動作時はパルスの"H"幅となります。また、CH12PWMモード時はパルスの"L"幅となります。

PWMコンペアレジスタ1(COMR1)

図 7.5-5にPWMコンペアレジスタ1のビット構成を示します。

このレジスタは書き込み専用(ライトオンリー)のため、ビット操作命令は使用できません。

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
COMR1 002 AH	*								XXXXXXXX _B
	W	W	W	W	W	W	W	W	

W : ライトオンリー
 X : 不定
 * : 7ビットPWMモード(高速モード)時は意味を持ちません。

図 7.5-5 PWMコンペアレジスタ1(COMR1)

インターバルタイマ動作時(8ビットタイマモードおよびCK12モード)

カウンタ値と比較する値をセットするレジスタで、インターバル時間(方形波出力周波数)を指定します。

このレジスタに書き込んだ設定値とカウンタ値が一致するとカウンタはクリアされ、割込み要求フラグビットが"1"にセット(CNTR2:TIR1=1)されます。

カウンタが動作中に、COMR1レジスタに値を書き込んだ場合、その値はつぎのサイクル(一致検出後)より有効になります。

8ビットタイマ動作およびCK12モード動作時のCOMR1レジスタの設定値は、以下の式で算出できます。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

COMR1レジスタ値=インターバル時間 / (カウントクロック周期×インストラクションサイクル)-1

PWMタイマ動作時(8ビットPWMモードおよび7ビットPWMモード)

カウンタ値と比較する値をセットするレジスタで、パルスの"H"幅を指定します。

このレジスタに書き込まれた設定値とカウンタ値が一致するまで、PWM1端子より"H"を出力し、一致するとカウンタ値がオーバフローするまで"L"を出力します。

カウンタが動作中に、COMR1レジスタに値を書き込んだ場合、その値はつぎのサイクル(オーバフロー後)より有効になります。

参考：

PWMタイマ動作時のCOMR1レジスタの設定値および周期は、以下の式で算出できます。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

- 8ビットPWMモード
 - COMR1レジスタ値=デューティ比 × 256
 - PWM波周期=カウントクロック周期 × インストラクションサイクル × 256
- 7ビットPWMモード
 - COMR1レジスタ値=デューティ比 × 128
 - PWM波周期=カウントクロック周期 × インストラクションサイクル × 128

CH12PWMモード動作時

カウンタ値と比較する値をセットするレジスタで、パルスの"L"幅を指定します。

カウンタ値が、このレジスタに書き込まれた設定値と一致するまで、PWM1端子より"L"を出力し、一致すると"H"を出力します。

カウンタが動作中に、COMR1レジスタに値を書き込んだ場合、その値はつぎのサイクルより有効になります。

参考：

CH12PWMモード動作時のCOMR1レジスタの設定値は、以下の式で算出できます。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

COMR1レジスタ値=PWM波の"L"幅の時間 / (カウントクロック周期 × インストラクションサイクル) - 1

7.5.5 PWMコンペアレジスタ2(COMR2)

PWMコンペアレジスタ2(COMR2)は、CH2のデータレジスタです。インターバルタイマ機能動作時はこのレジスタ値がインターバル時間となり、通常のPWMタイマ機能動作時はパルスの"H"幅となります。また、CH12PWMモード時はPWM波の周期となります。

PWMコンペアレジスタ2(COMR2)

図 7.5-6にPWMコンペアレジスタ2のビット構成を示します。

このレジスタは書き込み専用(ライトオンリー)のため、ビット操作命令は使用できません。

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
COMR12 002 BH	*								XXXXXXXX _B
	W	W	W	W	W	W	W	W	

W : ライトオンリー
 X : 不定
 * : 7ビットPWMモード(高速モード)時は意味を持ちません。

図 7.5-6 PWMコンペアレジスタ2(COMR2)

インターバルタイマ動作時(8ビットタイマモードおよびCK12モード)

カウンタ値と比較する値をセットするレジスタで、インターバル時間を指定します。

このレジスタに書き込んだ設定値とカウンタ値が一致するとカウンタはクリアされ、割込み要求フラグビットが"1"にセット(CNTR2:TIR2=1)されます。

カウンタが動作中に、COMR2レジスタに値を書き込んだ場合、その値はつぎのサイクル(一致検出後)より有効になります。

参考：

インターバルタイマ動作時のCOMR2レジスタの設定値は、以下の式で算出できます。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

- 8ビットタイマモード
 - COMR2レジスタ値=インターバル時間/(カウントクロック周期×インストラクションサイクル)-1
- CK12モード
 - COMR2レジスタ値=インターバル時間/CH1方形波出力-1

PWMタイマ動作時(8ビットPWMモードおよび7ビットPWMモード)

カウンタ値と比較する値をセットするレジスタで、パルスの"H"幅を指定します。

このレジスタに書き込まれた設定値とカウンタ値が一致するまで、PWM2端子より"H"を出力し、一致するとカウンタ値がオーバーフローするまで"L"を出力します。

カウンタが動作中に、COMR2レジスタに値を書き込んだ場合、その値はつぎのサイクル(オーバーフロー後)より有効になります。

参考：

PWMタイマ動作時のCOMR2レジスタの設定値および周期は、以下の式で算出できます。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

- 8ビットPWMモード
 - COMR2レジスタ値=デューティ比 × 256
 - PWM波周期=カウントクロック周期 × インストラクションサイクル × 256
- 7ビットPWMモード
 - COMR2レジスタ値=デューティ比 × 128
 - PWM波周期=カウントクロック周期 × インストラクションサイクル × 128

CH12PWMモード動作時

カウンタ値と比較する値をセットするレジスタで、PWM波形の周期を指定します。

このレジスタに書き込んだ設定値とカウンタ値が一致するとCH1とCH2のカウンタは同時にクリアされ、割り込み要求フラグビット(CNTR2:TIR2)が"1"にセットされます。

このとき、PWM1端子は"L"レベルとなります。

カウンタが動作中に、COMR2レジスタに値を書き込んだ場合、その値はつぎのサイクルより有効になります。

参考：

CH12PWMモード動作時のCOMR2レジスタの設定値は、以下の式で算出できます。ただし、インストラクションサイクルはクロックやギア機能の影響を受けます。

COMR2レジスタ値=PWM波の1周期の時間/(カウントクロック周期 × インストラクションサイクル)-1

7.6 2CH 8ビットPWMタイマの割込み

2CH 8ビットPWMタイマの割込み要因としては、インターバルタイマ機能動作時のカウンタ値とPWMコンペアレジスタ値の一致があります。CH12PWMモード以外のPWMタイマ機能動作時には、割込み要求は発生しません。

インターバルタイマ機能およびCH12PWMモード動作時の割込み

カウンタ値が"00_H"より、選択したカウントクロックでカウントアップし、PWMコンペアレジスタ (COMR) 値に一致すると、対応する割込み要求フラグビット (CNTR2:TIR1, TIR2) が"1"にセットされます。

そのとき、割込み要求許可ビットを許可 (CNTR2:TIE1=1, TIE2=1) していると、CPUへ割込み要求 (IRQ8) が発生します。割込み処理ルーチンでTIRビットに"0"を書込み、割込み要求をクリアしてください。

なお、TIR1, TIR2ビットはTIE1, TIE2ビットの値に関係なく、カウンタ値と設定値が一致すれば"1"にセットされます。

<注意事項>

CH12PWMモード時の割込みについては、CH1は割込み禁止 (CNTR2:TIE1=0) とし、使用しないでください。CH2はインターバルタイマ機能時と同様に使用できます。

参考：

カウンタ値とCOMRレジスタ値の一致が、カウンタ停止 (CNTR2:TPE1=0, TPE2=0) と同時に起こった場合は、TIRビットのセットは行われません。

TIRビットが"1"のとき、TIEビットを禁止から許可 (0 → 1) にすると、ただちに割込み要求が発生します。

2CH 8ビットPWMタイマの割込みに関連するレジスタとベクトルテーブル

表 7.6-1 2CH 8ビットPWMタイマの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ		ベクトルテーブルのアドレス	
	レジスタ	設定ビット	上位	下位
IRQ8	ILR3(007E _H)	L81(bit1) L80(bit0)	FFEA _H	FFEB _H

参考：

割込み動作については「3.4.2 割込み動作時の処理」を参照してください。

7.7 インターバルタイマ機能の動作説明

2CH 8ビットPWMタイマの、8ビットタイマモードおよびCK12モードのインターバルタイマ機能の動作について説明します。

インターバルタイマ機能の動作

2CH 8ビットPWMタイマ(CH1, CH2)をそれぞれのモードでインターバルタイマ機能として動作させるには、図 7.7-1の設定が必要です。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR1	PTX1	PTX2	P7M1	P7M2	SC11	SC10	SC21	SC20
CH1.....	0	x	0	x			x	x
CH2.....	x	0	x	0	x	x		
CK12.....	0	0	0	0			x	x

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR2	TPE1	TPE2	CK12	-	TIR1	TIR2	TIE1	TIE2
CH1.....	1	x	0			x		x
CH2.....	x	1	0		x		x	
CK12.....	1	1	1					

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR3	-	OE2	OE3	CH12	-	-	-	-
CH1.....		x		0				
CH2.....			x	0				
CK12.....				0				

COMR1

CH1のインターバル時間（コンペア値）を設定

COMR2

CH2のインターバル時間（コンペア値）を設定

: 使用ビット

1 : 1を設定

0 : 0を設定

x : 未使用ビット（0を設定）

CH1 : 8ビットタイマモードCH1

CH2 : 8ビットタイマモードCH2

CK12 : CK12モード

図 7.7-1 インターバルタイマ機能の設定

カウンタを起動すると、選択したカウントクロックの立上りで、"00_H"よりカウントアップを始めます。カウンタ値がCOMRレジスタに設定した値(比較値)と一致すると、つぎのカウントクロックの立上りで、PWM端子のレベルを反転し、カウンタをクリアし、割込み要求フラグビットをセット(CNTR2:TIR1, TIR2=1)して、再び"00_H"よりカウントを始めます。

CK12モード時はCH1の方形波出力がCH2のカウントクロックになります。

図 7.7-2に2CH 8ビットPWMタイマの動作を示します。

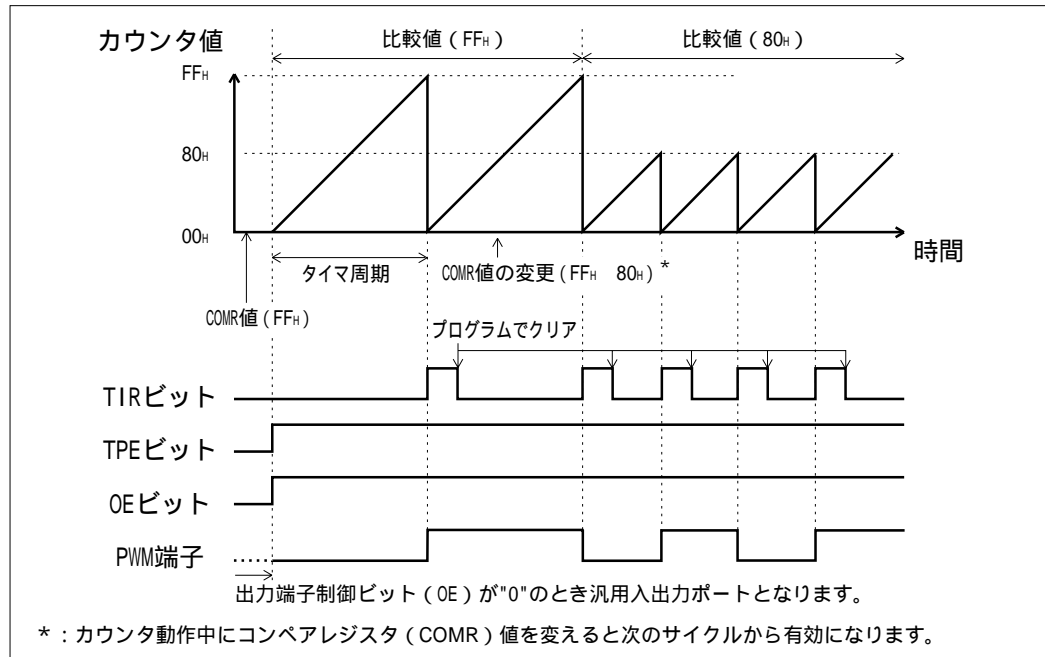


図 7.7-2 2CH 8ビットPWMタイマの動作

参考 :

- COMRレジスタの値を"00_H"にすると、PWM端子の出力は選択したカウントクロック周期で反転します。
- インターバルタイマ機能時、カウンタ停止状態(CNTR2:TPE1=0, TPE2=0)のPWM端子の出力は"L"レベルです。

< 注意事項 >

インターバルタイマ機能動作中(CNTR2:TPE1, TPE2=1)は、対応するカウントクロック周期(CNTR1:SC11, SC10またはSC21, SC20)を変更しないでください。ただし、CK12モード時はSC21, SC20ビットは意味を持ちません。

7.8 8ビットPWMモードの動作説明

2CH 8ビットPWMタイマの、8ビットPWMモードの動作について説明します。

PWMタイマ機能の動作

2CH 8ビットPWMタイマ(CH1, CH2)を8ビットPWMモードでPWMタイマ機能として動作させるには、図 7.8-1の設定が必要です。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR1	PTX1	PTX2	P7M1	P7M2	SC11	SC10	SC21	SC20
CH1.....	1	x	0	x			x	x
CH2.....	x	1	x	0	x	x		
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR2	TPE1	TPE2	CK12	–	TIR1	TIR2	TIE1	TIE2
CH1.....	1	x	0		x	x	x	x
CH2.....	x	1	0		x	x	x	x
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR3	–	OE2	OE3	CH12	–	–	–	–
CH1.....		x	1	0				
CH2.....		1	x	0				
COMR1	CH1のパルスの"H"幅 (コンペア値) を設定							
COMR2	CH2のパルスの"H"幅 (コンペア値) を設定							

: 使用ビット
1 : 1を設定
0 : 0を設定
x : 未使用ビット (0を設定)

CH1 : 8ビットタイマモードCH1
CH2 : 8ビットタイマモードCH2

図 7.8-1 8ビットPWMモードの設定

カウンタを起動すると、選択したカウントクロックの立上りで、"00_H"よりカウントアップを始めます。PWM端子出力(PWM波形)は、カウンタ値がCOMRレジスタに設定した値と一致するまで"H"であり、その後カウンタ値がオーバーフロー(FF_H 00_H)するまで"L"となります。

CK12ビットを"1"に設定し、CH1を8ビットタイマモード、CH2をPWMモードで動作させると、CK12PWMモードとなります。

図 7.8-2にPWM端子に出力されるPWM波形を示します。

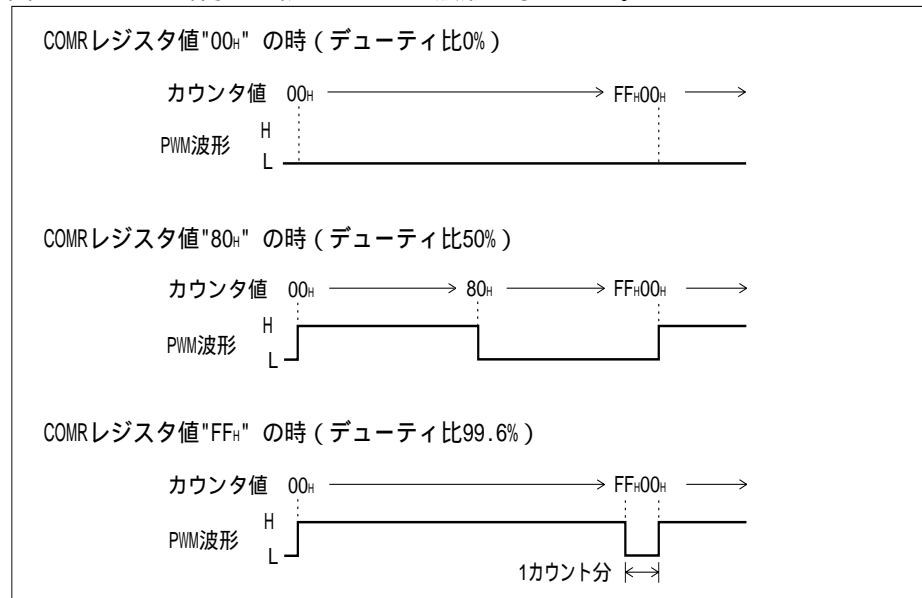


図 7.8-2 8ビットPWMモードのPWM波形出力例

参考：

PWMタイマ機能時、カウンタ停止状態(CNTR2:TPE1=1, TPE2=0)のPWM端子の出力は、停止直前のレベルを保持しています。

< 注意事項 >

- ・ PWMタイマ機能動作中(CNTR2:TPE1=1, TPE2=1)は、対応するカウントクロック周期(CNTR1:SC11, SC10またはSC21, SC20)を変更しないでください。
- ・ CH1がPWMタイマ動作中はCK12モード(CNTR2:CK12=1)に設定できません。

7.9 7ビットPWMモードの動作説明

2CH 8ビットPWMタイマの、7ビットPWMモード(高速モード)の動作について説明します。

高速PWMタイマ機能の動作

2CH 8ビットPWMタイマ(CH1, CH2)を7ビットPWMモードでPWMタイマ機能として動作させるには、図 7.9-1の設定が必要です。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR1	PTX1	PTX2	P7M1	P7M2	SC11	SC10	SC21	SC20
CH1.....	1	×	1	×	◎	◎	×	×
CH2.....	×	1	×	1	×	×	◎	◎
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR2	TPE1	TPE2	CH12	—	TIR1	TIR2	TIE1	TIE2
CH1.....	1	×	0		×	×	×	×
CH2.....	×	1	0		×	×	×	×
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR3	—	OE2	OE3	CH12	—	—	—	—
CH1.....		×	1	0				
CH2.....		1	×	0				
	bit7							
COMR1	—	CH1のパルスの“H”幅（コンペア値）を設定						
	bit7							
COMR2	—	CH2のパルスの“H”幅（コンペア値）を設定						

◎：使用ビット
1：1を設定
0：0を設定
×：未使用ビット（0を設定）

CH1：7ビットタイマモードCH1
CH2：7ビットタイマモードCH2

図 7.9-1 7ビットPWMモードの設定

カウンタを起動すると、選択したカウントクロックの立上りで、"00_H"よりカウントアップを始めます。PWM端子出力(PWM波形)は、カウンタ値がCOMRレジスタに設定した値と一致するまで"H"であり、その後カウンタ値がオーバーフロー(7F_H 00_H)するまで"L"となります。

7ビットPWMモードは8ビットPWMモードより、カウンタのビット数が1ビット少ないため、PWM周波数が2倍(周期が半分)の高速動作となります。

CK12ビットを"1"に設定し、CH1を8ビットタイマモード、CH2をPWMモードで動作させると、CK12PWMモードとなります。

図 7.9-2にPWM端子に出力されるPWM波形を示します。

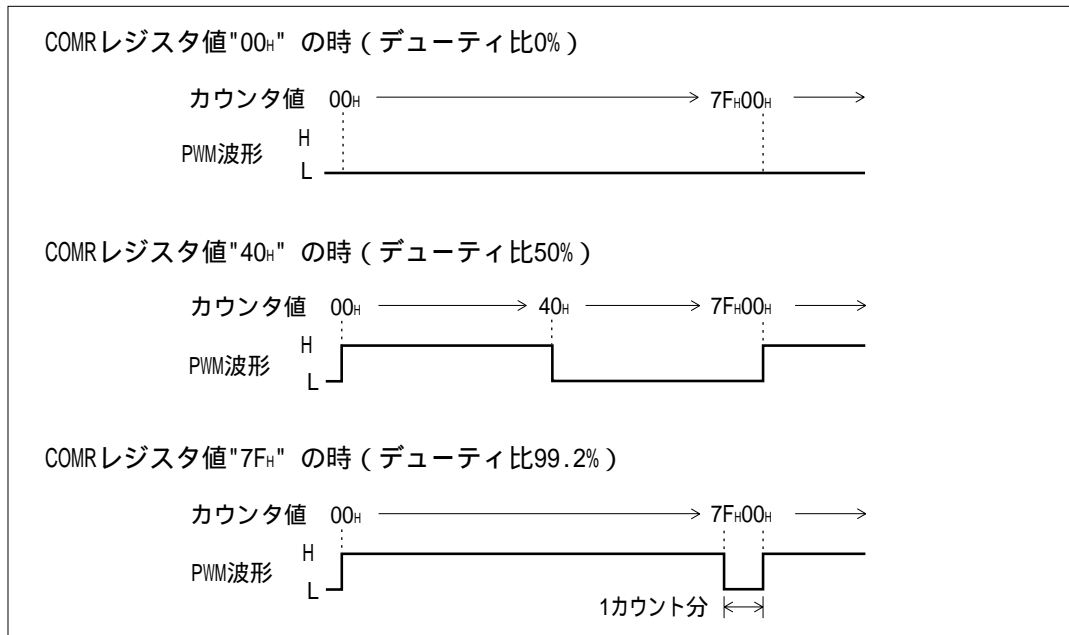


図 7.9-2 7ビットPWMモードのPWM波形出力例

参考：

PWMタイマ機能時、カウンタ停止状態(CNTR2:TPE1=1, TPE2=0)のPWM端子の出力は、停止直前のレベルを保持しています。

<注意事項>

PWMタイマ機能動作中(CNTR2:TPE1=1, TPE2=1)は、対応するカウントクロック周期(CNTR1:SC11, SC10またはSC21, SC20)を変更しないでください。

CH1がPWMタイマ動作中はCK12モード(CNTR2:CK12=1)に設定できません。

7.10 CH12PWMモードの動作説明

2CH 8ビットPWMタイマの、CH12PWMモードの動作について説明します。

CH12PWMモードの動作

2CH 8ビットPWMタイマ(CH1, CH2)をCH12PWMモードでPWMタイマ機能として動作させるには、図 7.10-1の設定が必要です。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR1	PTX1	PTX2	P7M1	P7M2	SC11	SC10	SC21	SC20
	x	x	0	0				
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR2	TPE1	TPE2	CK12	-	TIR1	TIR2	TIE1	TIE2
	1	1	0		x		0	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR3	-	OE2	OE3	CH12	-	-	-	-
		0	1	1				
COMR1	PWM波の"L"幅（コンペア値）を設定							
COMR2	PWM波の1周期（コンペア値）を設定							

: 使用ビット
1 : 1を設定
0 : 0を設定
x : 未使用ビット (0を設定)

図 7.10-1 CH12PWMモードの設定

CH1とCH2のカウンタはカウンタを起動すると、それぞれ選択したカウントクロックの立上りで、"00_H"よりカウントアップを始めます。PWM端子出力(PWM波形)は、CH1カウンタ値がCOMR1レジスタに設定した値と一致するまで"L"であり、一致すると"H"となります。CH2カウンタ値がCOMR2レジスタに設定した値と一致するとCH1とCH2のカウンタは同時にクリアされ、再び"00_H"よりカウントを始めます。このとき、PWM端子出力は"L"となり、割込み要求フラグビットがセット(CNTR2:TIR2=1)されます。

カウンタの起動はCH1とCH2を同時(CNTR2:TPE1=1, TPE2=1)に行ってください。別々に起動するとPWM波の最初の1周期の"L"幅または周期に影響があります。

PWM波の"L"幅となるCH1のタイマ時間が、PWM波の周期となるCH2のタイマ時間よりも大きくなればPWM波は出力されなくなります。

図 7.10-2にCH1とCH2に同じカウントクロック周期を選択した場合の、PWM端子に出力されるPWM波形を示します。

PWMタイマ機能時、カウンタ停止状態(CNTR2:TPE1=1, TPE2=0)のPWM端子の出力は、停止直前のレベルを保持しています。

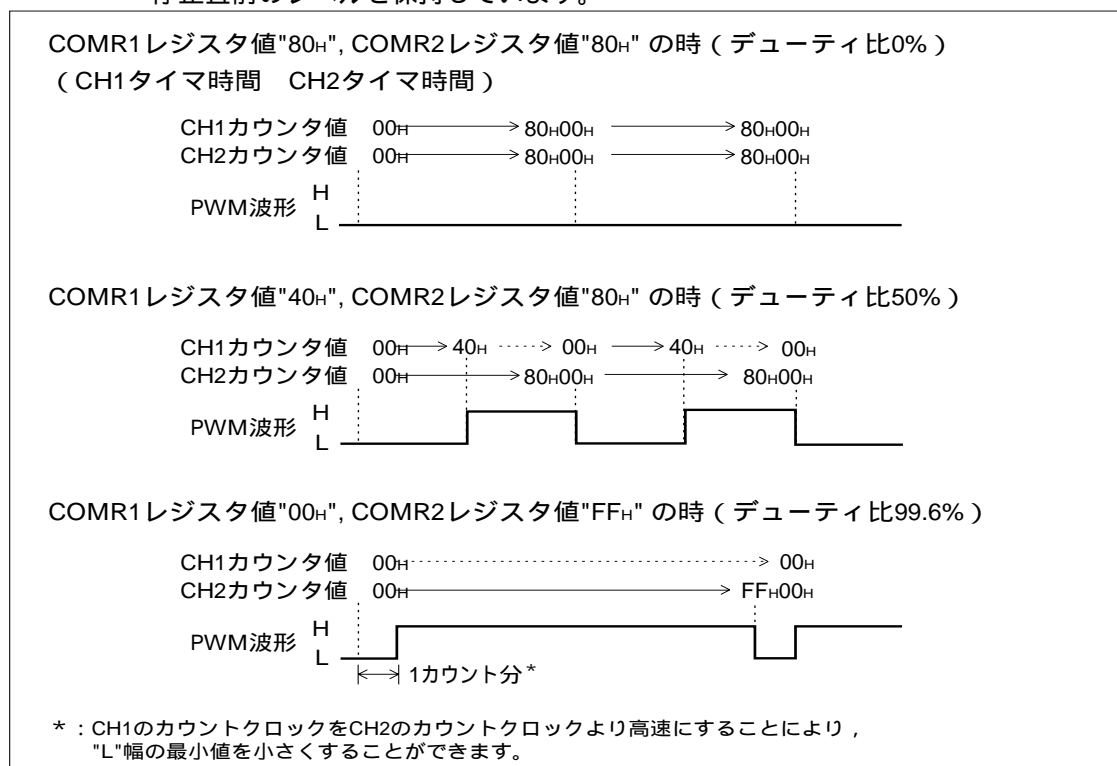


図 7.10-2 PWM波形(PWM端子)出力例

< 注意事項 >

PWMタイマ機能動作中(CNTR2:TPE1=1, TPE2=1)は、カウントクロック周期(CNTR1:SC11, SC10およびSC21, SC20)を変更しないでください。

CH12PWMモード動作中はCK12モード(CNTR2:CK12=1)に設定できません。また、CH1の割込み要求出力は禁止(CNTR2:TIE1=0)してください。

7.11 2CH 8ビットPWMタイマ のプリスケーラの動作説明

2CH 8ビットPWMタイマのプリスケーラの動作について説明します。

プリスケーラの動作

2CH 8ビットPWMタイマのプリスケーラはPWM制御レジスタ2のカウンタ動作許可ビット(CNTR2:TPE1, TPE2)のいずれかが, "1"のとき動作を許可されます。

したがって, TPE1, TPE2を同時に"1"にすれば, CH1, CH2共にはじめの1周期目から全く同じ動作をします。

しかし, すでにTPE1, TPE2のいずれかが"1"となっている状態で他方のカウンタの動作を許可した場合, カウントアップ開始が非同期となるため, 最初の1周期はカウントクロック周期の1サイクル以内の差を生じます。

図 7.11-1, 図 7.11-2にプリスケーラの動作を示します。

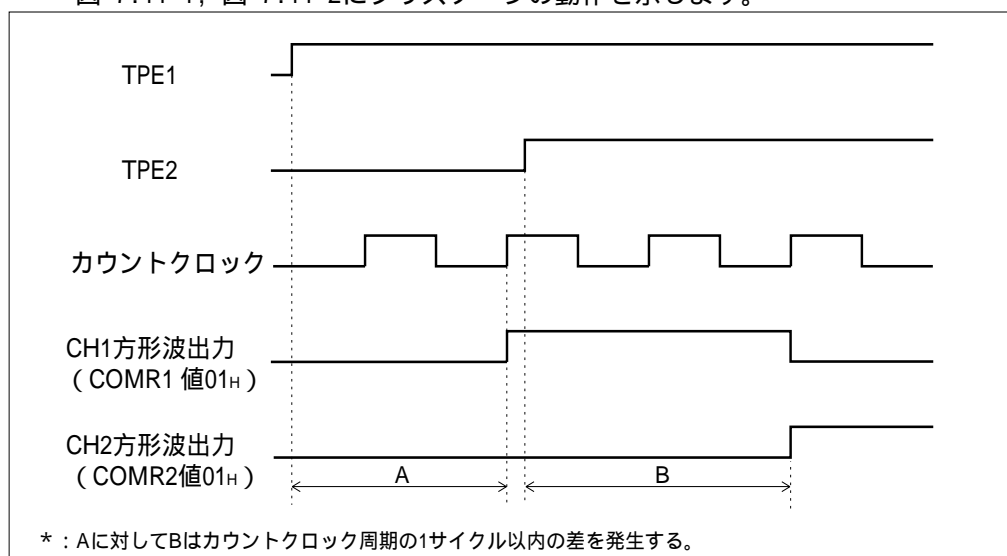


図 7.11-1 プリスケーラ動作

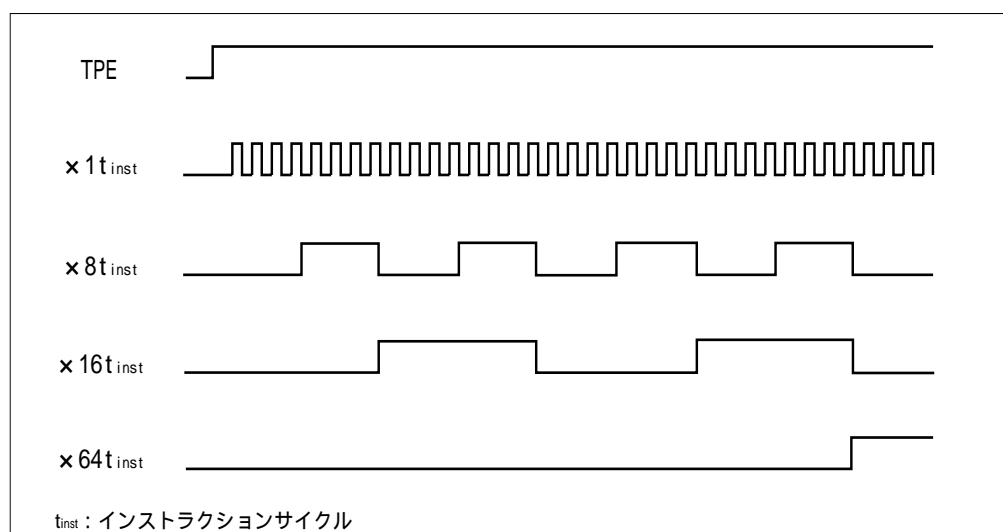


図 7.11-2 プリスケーラ出力

7.12 2CH 8ビットPWMタイマの動作中の各モードでの状態

2CH 8ビットPWMタイマ動作中にスリープモードへの移行があったとき、ストップモードへの移行があったとき、および途中停止の要求があったときの動作を説明します。

スタンバイモードおよび途中停止時の動作

インターバルタイマ機能およびPWMタイマ機能の動作中にスリープモードへ移行したとき、ストップモードへ移行したとき、途中停止の要求があったときのカウンタ値の状態を図 7.12-1、図 7.12-2に示します。

ストップモードに移行すると、カウンタは値を保持して停止します。ストップモードが外部割込みによって解除されると、カウンタは保持した値から動作を始めます。このため初回のインターバル時間やPWM波の周期は設定した値となりません。ストップモード解除後は 8ビットPWMタイマを初期化しなおしてください。

インターバルタイマ機能時

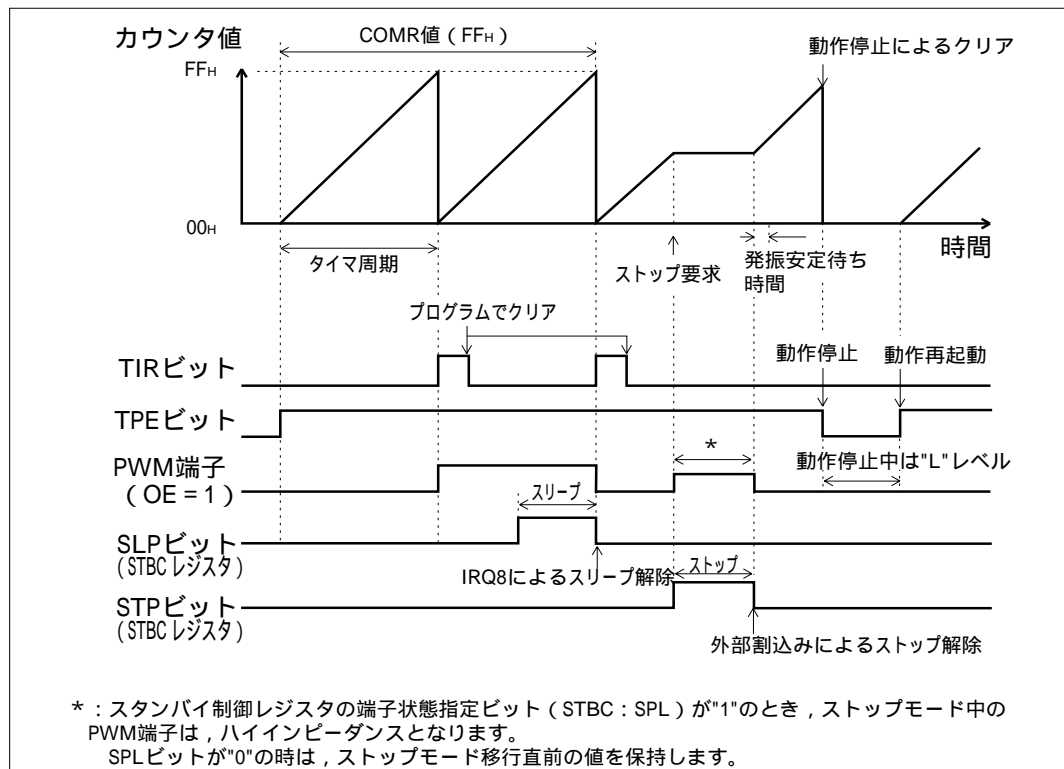


図 7.12-1 スタンバイモードおよび途中停止時のカウンタの動作(インターバル機能時)

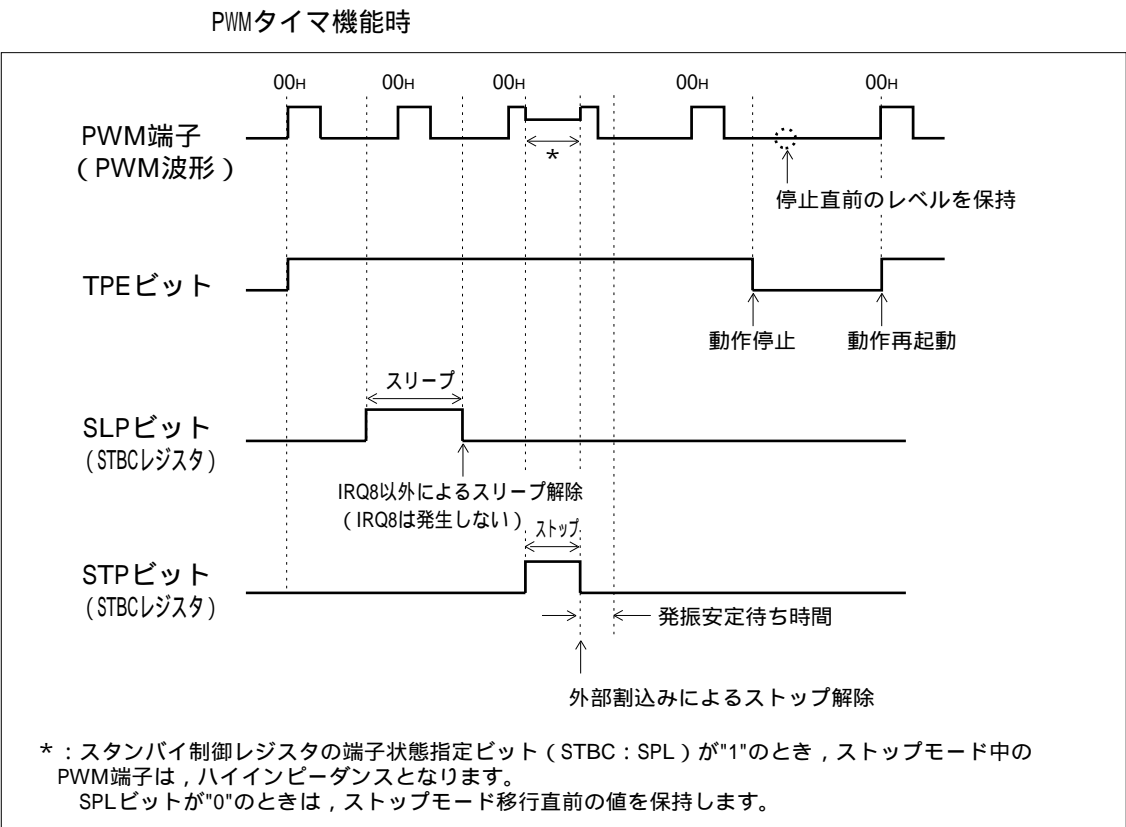


図 7.12-2 スタンバイモードおよび途中停止時の動作(PWMタイマ機能時)

7.13 2CH 8ビットPWMタイマ使用上の注意

2CH 8ビットPWMタイマを使用するにあたっての注意点を示します。

2CH 8ビットPWMタイマ使用上の注意

誤差

プログラムによるカウンタの起動と、選択したカウントクロックによるカウントアップ開始が非同期であるため、カウンタ値とPWMコンペアレジスタ(COMR)値の一致を検出するまでの誤差として、最大でカウントクロック周期の1サイクル分短くなることがあります。図 7.13-1にカウント動作開始までの誤差を示します。

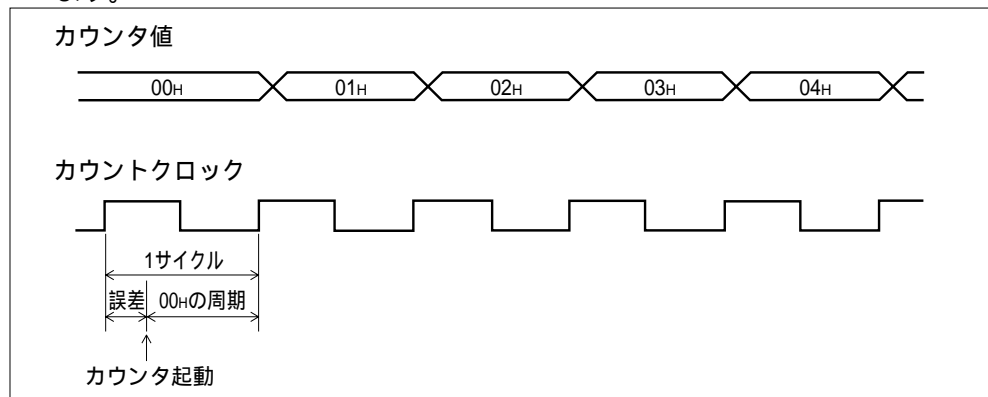


図 7.13-1 カウント動作開始までの誤差

プログラムで設定する場合の注意

- インターバルタイマ機能、およびPWMタイマ機能動作中(CNTR2:TPE1=1, TPE2=1)は、対応するカウントクロック周期(CNTR1:SC11, SC10またはSC21, SC20)を変更しないでください。
- インターバルタイマ機能とPWMタイマ機能の切換え(CNTR1:PTX1, PTX2)は、カウンタ停止(CNTR2:TPE=1, TPE2=0)、割込み禁止(CNTR2:TIE1=0, TIE2=0)、割込み要求クリア(CNTR2:TIR1=0, TIR2=0)の状態で行ってください。
- CK12モード(CNTR2:CK12=1)時は、CH12PWMモード(CNTR3:CH12=1)およびCH1のPWMタイマ動作(CNTR1:PTX1=1)を設定しないでください。
- CH12PWMモード時は、CH1の割込み要求出力を禁止(CNTR2:TIE1=0)してください。また、CK12モードを設定しないでください。
- 割込み要求フラグビット(CNTR2:TIR1, TIR2)が"1"で、割込み要求許可ビットが許可(CNTR2:TIE1=1, TIE2=1)された状態では、割込み処理から復帰できません。TIRビットのクリアは必ず行ってください。
- カウンタ値とCOMRレジスタ値の一致が、カウンタ停止(CNTR2:TPE1=0, TPE2=0)と同時に起こった場合は、TIRビットのセットは行われません。

7.14 2CH 8ビットPWMタイマのプログラム例(インターバル機能)

2CH 8ビットPWMタイマの8ビットタイマモードおよびCH12モードのインターバルタイマ機能のプログラム例を示します。

8ビットタイマモードのプログラム例

処理仕様

- CH1を8ビットタイマモードでインターバルタイマとして動作させます。
- 3.2msのインターバルタイマ割込みを繰り返し発生します。
- インターバル時間で反転する方形波をPWM1端子に出力します。
- メインクロック発振12 MHz時にインターバル時間が約3.2msとなるCOMR1レジスタ値を以下に示します。カウントクロックは内部カウントクロックの64 t_{inst} (t_{inst} :クロック速度(ギア)最高速時)とします。
 - COMR1レジスタ値=3.2ms/(64×4/12 MHz)-1=149(095H)

コーディング例(Softune V1準拠)

```

CNTR1 EQU    0027H           ;PWM制御レジスタ1のアドレス
CNTR2 EQU    0028H           ;PWM制御レジスタ2のアドレス
CNTR3 EQU    0029H           ;PWM制御レジスタ3のアドレス
COMR1 EQU    002AH           ;PWMコンペアレジスタ1のアドレス
TPE1 EQU     CNTR2:7          ;CH1カウンタ動作許可ビットの定義
TIR1 EQU     CNTR2:3          ;CH1割込み要求フラグビットの定義
ILR3 EQU     007E             ;割込みレベル設定レジスタのアドレス
INT_V DSEG   ABS              ; 【DATA SEGMENT】
      ORG     OFFEAH
IRQ8 DW      WARI1            ;割込みベクトル設定
INT_V ENDS

;-----メインプログラム-----
CSEG                                ; 【CODE SEGMENT】
;スタックポインタ(SP)などは初期化済みとする

:
CLR1                                ;割込みディセーブル
CLRB TPE1                          ;カウンタ動作停止
MOV  ILR3,#11111101B              ;割込みレベル設定(レベル1)
MOV  COMR1,#095H                  ;カウンタ値との比較値(インターバル時間)
MOV  CNTR1,#00001100B             ;インターバルタイマ動作, 64 $t_{inst}$ 選択
MOV  CNTR3,#00100000B             ;PWM1端子出力許可
MOV  CNTR2,#10000010B             ;カウンタ動作開始, 割込み要求出力
SETI                                ;割込みイネーブル

:
;-----割込みプログラム-----
WARI1 CLRB TIR1                   ;割込み要求フラグクリア
      PUSHW A
      XCHW  A,T                  ;A,Tの退避
      PUSHW A

:
ユーザ処理

```

```

:
POPW      A
XCHW      A,T      ;A,Tの復帰
POPW      A
RETI
ENDS
; -----

```

CK12モードのプログラム例

処理仕様

- CH1はインターバルタイマ時間を3.2ms(方形波出力周期=6.4ms)とし、割込みは使用しません。
- CH2はCH1をカウントクロックとし、64msのインターバルタイマ割込みを繰り返し発生します。
- CH2のインターバル時間で反転する方形波をPWM2端子に出力します。
- メインクロック発振12 MHz時にCH1タイマのインターバル時間が約3.2msとなるCOMR1レジスタ値を以下に示します。カウントクロックは内部カウントクロックの $64t_{inst}$ (t_{inst} :クロック速度(ギア)最高速時)とします。
 - COMR1レジスタ値= $3.2\text{ms} / (64 \times 4 / 12\text{MHz}) - 1 = 149(095\text{H})$
 - CH1の方形波出力でCH2タイマのインターバル時間が約64msとなるCOMR2レジスタ値を以下に示します。
 - COMR2レジスタ値= $64\text{ms} / (3.2 \times 2)\text{ms} = 10(00\text{AH})$

コーディング例(Softune V1準拠)

```

CNTR1 EQU 0027H      ;PWM制御レジスタ1のアドレス
CNTR2 EQU 0028H      ;PWM制御レジスタ2のアドレス
CNTR3 EQU 0029H      ;PWM制御レジスタ3のアドレス
COMR1 EQU 002AH      ;PWMコンペアレジスタ1のアドレス
COMR2 EQU 002BH      ;PWMコンペアレジスタ2のアドレス
TPE1 EQU CNTR2:7      ;CH1カウンタ動作許可ビットの定義
TPE2 EQU CNTR2:6      ;CH2カウンタ動作許可ビットの定義
TIR2 EQU CNTR2:2      ;CH2割込み要求フラグビットの定義
ILR3 EQU 007E        ;割込みレベル設定レジスタのアドレス
INT_V DSEG ABS      ; 【DATA SEGMENT】
ORG OFFEAH
IRQ9 DW WARI        ;割込みベクトル設定
INT_V ENDS
; -----メインプログラム-----
CSEG      ; 【CODE SEGMENT】
; スタックポインタ(SP)などは初期化済みとする
:
CLRI      ;割込みディセーブル
CLRB TPE1      ;カウンタ動作停止
CLRB TPE2
MOV ILR3,#11111101B ;割込みレベル設定(レベル1)
MOV COMR1,#095H    ;カウンタ値との比較値(インターバル時間)
MOV COMR2,#00AH
MOV CNTR1,#00001100B ;インターバルタイマ動作、64tinst選択

```

```

MOV      CNTR3,#01000000B      ;PWM2端子出力許可
MOV      CONT2,#11100001B      ;カウンタ動作開始，割込み要求出力
SETI
:
;-----割込みプログラム-----
WARI     CLRB      TIR2          ;割込み要求フラグクリア
          PUSHW    A
          XCHW     A,T           ;A,Tの退避
          PUSHW    A
          :
          ユーザ処理
          :
          POPW     A
          XCHW     A,T           ;A,Tの復帰
          POPW     A
          RETI
          ENDS
;-----

```

7.15 2CH 8ビットPWMタイマのプログラム例(PWMタイマ機能)

2CH 8ビットPWMタイマの8ビットPWMモード, 7ビットPWMモードおよびCH12PWMモードのPWMタイマ機能のプログラム例を示します。

PWMタイマ機能のプログラム例

処理仕様

- CH1を8ビットPWMモードでPWMタイマとして動作させ、PWM1端子に出力します。
- CH2を7ビットPWMモード(高速モード)でPWMタイマとして動作させPWM2端子に出力します。
- デューティ比50%のPWM波を発生し、その後デューティ比を25%に変更します。
- 割込みは発生しません。
- メインクロック発振12MHz時に、それぞれのカウントクロックを内部カウントクロックの $16t_{inst}$ (t_{inst} : クロック速度(ギア)最高速時)とした場合、CH1のPWM波の周期は、 $16 \times 2 / 6\text{MHz} \times 256 = 1.365\text{ms}$ 、CH2のPWM波の周期は、 $16 \times 4 / 12\text{MHz} \times 128 = 6.82\text{ms}$ となります。
- 8ビットPWMモードで、デューティ比が50%となるCOMRレジスタ値を以下に示します。
- COMR1レジスタ値 $= 50 / 100 \times 256 = 128$ (080H)
- 7ビットPWMモードで、デューティ比が50%となるCOMRレジスタ値を以下に示します。
- COMR2レジスタ値 $= 50 / 100 \times 128 = 64$ (040H)

コーディング例(Softune V1準拠)

```

CNTR1 EQU    0027H          ;PWM制御レジスタ1のアドレス
CNTR2 EQU    0028H          ;PWM制御レジスタ2のアドレス
CNTR3 EQU    0029H          ;PWM制御レジスタ3のアドレス
COMR1 EQU    002AH          ;PWMコンペアレジスタ1のアドレス
COMR2 EQU    002BH          ;PWMコンペアレジスタ2のアドレス
TPE1 EQU     CNTR2:7         ;CH1カウンタ動作許可ビットの定義
TPE2 EQU     CNTR2:6         ;CH2カウンタ動作許可ビットの定義
;-----メインプログラム-----
CSEG                                ; 【CODE SEGMENT】
:
CLRB TPE1                          ;カウンタ動作停止
CLRB TPE2
MOV COMR1, #80H                    ;パルスの"H"幅指定, デューティ比50%
MOV COMR2, #40H
MOV CNTR1, #11011010B              ;PWMタイマ動作, 8/7ビットPWMモード,  $16t_{inst}$ 
                                        選択
MOV CNTR3, #01100000B              ;PWM1, PWM2端子出力許可
MOV CNTR2, #11000000B              ;カウンタ動作開始, 割込み要求出力禁止
:

```

```

:
MOV      COMR1,#40H      ;デューティ比を25%に変更(次のPWM波のサイクルから有効)
MOV      COMR2,#20H
:
ENDS
;-----
END

```

CH12PWMモードのプログラム例

処理仕様

- デューティ比50%のPWM波を発生し、その後デューティ比を25%に変更します。
- 割込みは使用しません。
- メインクロック発振12MHz時に、それぞれのカウンタクロックを内部カウンタクロックの $16t_{inst}$ (t_{inst} : クロック速度(ギア)最高速時)として、COMR2レジスタ値を128(80H)とした場合、PWM波の周期は、 $16 \times 4/12\text{MHz} \times 128 = 682.6\text{ms}$ となります。
- デューティ比が50%となるCOMR1レジスタ値を以下に示します。
- COMR1レジスタ値 $= 50/100 \times 128 = 64(040\text{H})$

コーディング例(Softune V1準拠)

```

CNTR1 EQU      0027H      ;PWM制御レジスタ1のアドレス
CNTR2 EQU      0028H      ;PWM制御レジスタ2のアドレス
CNTR3 EQU      0029H      ;PWM制御レジスタ3のアドレス
COMR1 EQU      002AH      ;PWMコンペアレジスタ1のアドレス
COMR2 EQU      002BH      ;PWMコンペアレジスタ2のアドレス

TPE1 EQU      CNTR2:7      ;CH1カウンタ動作許可ビットの定義
TPE2 EQU      CNTR2:6      ;CH2カウンタ動作許可ビットの定義
;-----メインプログラム-----

CSEG                                ; 【CODE SEGMENT】
:
CLRB      TPE1                    ;カウンタ動作停止
CLRB      TPE2
MOV       COMR1,#40H              ;パルスの"L"幅指定, デューティ比50%
MOV       COMR2,#80H              ;パルスの1周期指定
MOV       CNTR1,#00001010B        ; $16t_{inst}$ 選択
MOV       CNTR3,#01010000B        ;PWM2端子出力許可
MOV       CNTR2,#11000000B        ;カウンタ動作開始, 割込み要求出力禁止
:
:
MOV       COMR1,#20H              ;デューティ比を25%に変更(次のPWM波のサイクルから有効)
:
ENDS
;-----

```

第8章 外部割込み回路(レベル)

この章では、外部割込み回路(レベル)の機能と動作について説明します。

- 8.1 外部割込み回路(レベル)の概要
- 8.2 外部割込み回路の構成
- 8.3 外部割込み回路の端子
- 8.4 外部割込み回路のレジスタ
- 8.5 外部割込み回路の割込み
- 8.6 外部割込み回路の動作説明
- 8.7 外部割込み回路のプログラム例

8.1 外部割込み回路(レベル)の概要

外部割込み回路は、8本の外部割込み端子に入力された信号のレベルを検出し、CPUに対して1つの割込み要求を発生します。

外部割込み回路の機能(レベル検出)

外部割込み回路は、外部割込み端子に入力された"L"レベルの信号を検出し、CPUに対して割込み要求を発生する機能があります。この割込みによってスタンバイモードからの復帰を行い、通常動作状態に移行することができます。

- 外部割込み端子: 8本 (P30/ $\overline{\text{INT0}}$ ~ P37/ $\overline{\text{INT7}}$)
- 外部割込み要因: 外部割込み端子への"L"レベルの信号入力
- 割込み制御: 外部割込み制御レジスタ(EIE)による、外部割込み入力の許可と禁止
- 割込みフラグ: 外部割込みフラグレジスタ(EIF)の外部割込み要求フラグビットによる"L"レベルの検出
- 割込み要求: それぞれの外部割込み要因をORして発生(IRQ0)

8.2 外部割込み回路の構成

外部割込み回路は、以下の三つのブロックで構成されています。

- ・ 割込み要求発生回路
- ・ 外部割込み制御レジスタ(EIE)
- ・ 外部割込みフラグレジスタ(EIF)

外部割込み回路のブロックダイアグラム

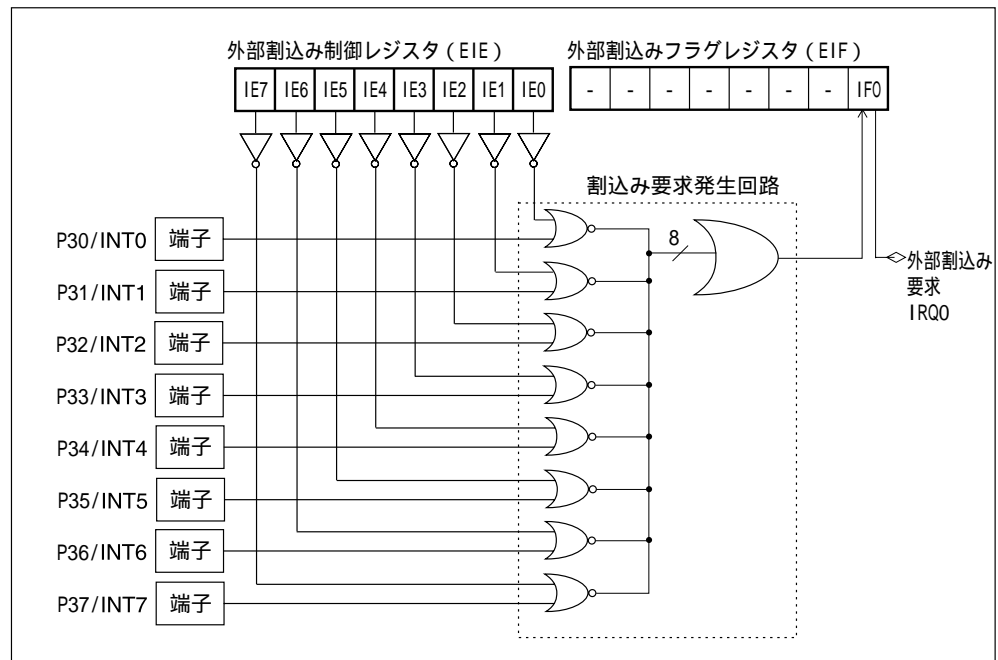


図 8.2-1 外部割込み回路のブロックダイアグラム

割込み要求発生回路

割込み要求発生回路は、外部割込み端子($\overline{\text{INT0}} \sim \overline{\text{INT7}}$)に入力された信号と、外部割込み入力許可ビットによって割込み要求信号を発生します。

外部割込み制御レジスタ(EIE)

外部割込み入力許可ビット(IE0 ~ IE7)は、対応する外部割込み端子からの"L"レベル入力を、許可または禁止します。

外部割込みフラグレジスタ(EIF)

外部割込み要求フラグビット(IF0)によって、発生した割込み要求信号の保持およびクリアを行います。

外部割込み回路の割込み要因

IRQ: $\overline{\text{INT0}} \sim \overline{\text{INT7}}$ の、いずれかの外部割込み端子に"L"レベル信号が入力され、かつ、その端子に対応する外部割込み入力許可ビットが"1"のとき、割込み要求を発生します。

8.3 外部割込み回路の端子

外部割込み回路に関連する端子，端子のブロックダイアグラムを示します。

外部割込み回路に関連する端子

外部割込み回路に関連する端子は，8本の外部割込み端子です。

P30/ $\overline{\text{INT0}}$ ~ P37/ $\overline{\text{INT7}}$

これらの外部割込み端子は，外部割込み入力(ヒステリシス入力)としての機能と，汎用入出力ポートとしての機能を兼用しています。

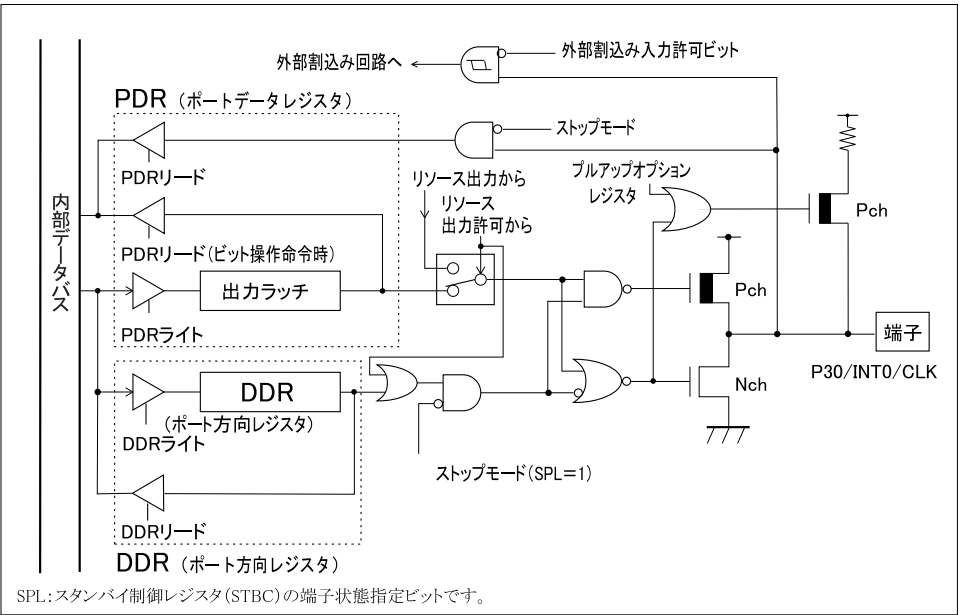
P30/ $\overline{\text{INT0}}$ ~ P37/ $\overline{\text{INT7}}$ 端子は，ポート方向レジスタ(DDR3)によって対応する端子を入力ポートに設定し，外部割込み制御レジスタ(EIE)によって，外部割込み入力を許可すると外部割込み入力端子($\overline{\text{INT0}}$ ~ $\overline{\text{INT7}}$)として機能します。端子の状態は，入力ポートに設定されているときは，いつでもポートデータレジスタ(PDR3)から読み出すことができます。

表 8.3-1に外部割込み回路に関連する端子を示します。

表 8.3-1 外部割込み回路に関連する端子

外部割込み端子	外部割込み入力として使用 (割込み入力許可)	汎用入出力ポートとして使用 (割込み入力禁止)
P30/ $\overline{\text{INT0}}$	$\overline{\text{INT0}}$ (EIE: IE0=1, DDR3: bit0=0)	P30 (EIE: IE0=0)
P31/ $\overline{\text{INT1}}$	$\overline{\text{INT1}}$ (EIE: IE1=1, DDR3: bit1=0)	P31 (EIE: IE1=0)
P32/ $\overline{\text{INT2}}$	$\overline{\text{INT2}}$ (EIE: IE2=1, DDR3: bit2=0)	P32 (EIE: IE2=0)
P33/ $\overline{\text{INT3}}$	$\overline{\text{INT3}}$ (EIE: IE3=1, DDR3: bit3=0)	P33 (EIE: IE3=0)
P34/ $\overline{\text{INT4}}$	$\overline{\text{INT4}}$ (EIE: IE4=1, DDR3: bit4=0)	P34 (EIE: IE4=0)
P35/ $\overline{\text{INT5}}$	$\overline{\text{INT5}}$ (EIE: IE5=1, DDR3: bit5=0)	P35 (EIE: IE5=0)
P36/ $\overline{\text{INT6}}$	$\overline{\text{INT6}}$ (EIE: IE6=1, DDR3: bit6=0)	P36 (EIE: IE6=0)
P37/ $\overline{\text{INT7}}$	$\overline{\text{INT7}}$ (EIE: IE7=1, DDR3: bit7=0)	P37 (EIE: IE7=0)

外部割込み回路に関連する端子のブロックダイアグラム



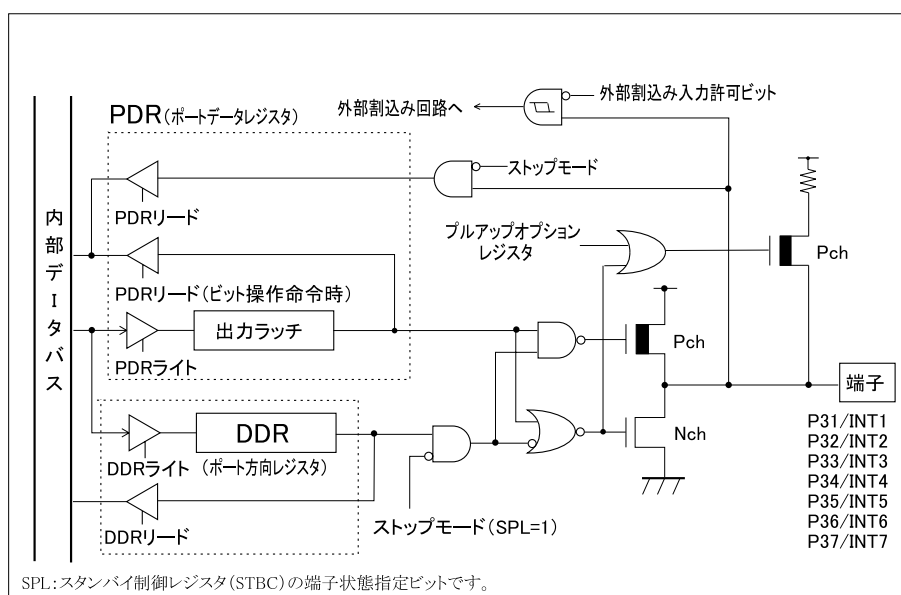


図 8.3-1 外部割込み回路に関連する端子のブロックダイアグラム

参考：

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップモード(SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中はプルアップは無効となり、Hi-zとなります。

外部割込み回路の割込み許可ビットと外部割込み端子との関係

割込み許可ビットと外部割込み端子との関係は、表 8.3-2のとおりです。

表 8.3-2 割込み許可ビットと外部割込み端子との対応

レジスタ	ビット名		外部割込み端子
EIE	bit0	IE0	INT0
	bit1	IE1	INT1
	bit2	IE2	INT2
	bit3	IE3	INT3
	bit4	IE4	INT4
	bit5	IE5	INT5
	bit6	IE6	INT6
	bit7	IE7	INT7

8.4 外部割込み回路のレジスタ

外部割込み回路に関連するレジスタを示します。

外部割込み回路に関連するレジスタ

EIE (外部割込み制御レジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 3 C _H	IE7	IE6	IE5	IE4	IE3	IE2	IE1	IE0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
EIF (外部割込みフラグレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 3 D _H	-	-	-	-	-	-	-	IF0	XXXXXX0 _B
								R/W	
R/W : リード ・ ライト 可能									
- : 未使用									
X : 不定									

図 8.4-1 外部割込みに関連するレジスタ

8.4.1 外部割込み制御レジスタ(EIE)

外部割込み制御レジスタ(EIE)は、外部割込み端子 $\overline{\text{INT0}} \sim \overline{\text{INT7}}$ に対する割込み入力の許可と禁止を行います。

外部割込み制御レジスタ(EIE)

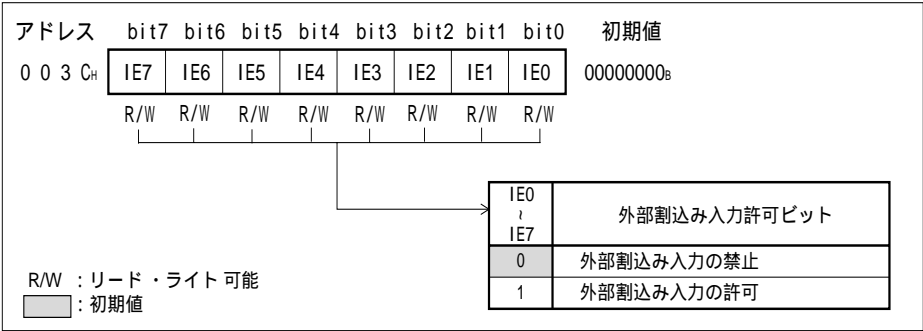


図 8.4-2 外部割込み制御レジスタ(EIE)

表 8.4-1 外部割込み制御レジスタ(EIE)の各ビットと外部割込み端子との対応

ビット名		外部割込み端子
bit7	IE7	$\overline{\text{INT7}}$
bit6	IE6	$\overline{\text{INT6}}$
bit5	IE5	$\overline{\text{INT5}}$
bit4	IE4	$\overline{\text{INT4}}$
bit3	IE3	$\overline{\text{INT3}}$
bit2	IE2	$\overline{\text{INT2}}$
bit1	IE1	$\overline{\text{INT1}}$
Bit0	IE0	$\overline{\text{INT0}}$

表 8.4-2 外部割込み制御レジスタ(EIE)の各ビットの機能説明

ビット名		機 能
bit7 bit6 bit5 bit4 bit3 bit2 bit1 bit0	IE0 ~ IE7: 外部割込み 入 力 許 可 ビット	<ul style="list-style-type: none">・これらのビットによって、$\overline{\text{INT0}} \sim \overline{\text{INT7}}$の外部割込み端子に対する割込み入力の許可と禁止を行います。・これらのビットに"1"をセットすると、対応する外部割込み端子は外部割込みの入力端子として機能し、外部割込み入力を受け付けます。・また、"0"をセットすると、対応する外部割込み端子は汎用ポートとして機能し、外部割込み入力を受け付けません。 <p>〔参考〕</p> <ul style="list-style-type: none">・外部割込み端子を使用する場合、ポート方向レジスタ(DDR3)の対応するビットに"0"を書き込み、端子を入力に設定してください。・外部割込み入力許可ビットの状態にかかわらず、外部割込み端子の状態は、ポートデータレジスタ(PDR3)により、直接読み出せます。

8.4.2 外部割込みフラグレジスタ(EIF)

外部割込みフラグレジスタ(EIF)は、レベル割込みの検出と割込み要求フラグのクリアを行います。

外部割込みフラグレジスタ(EIF)

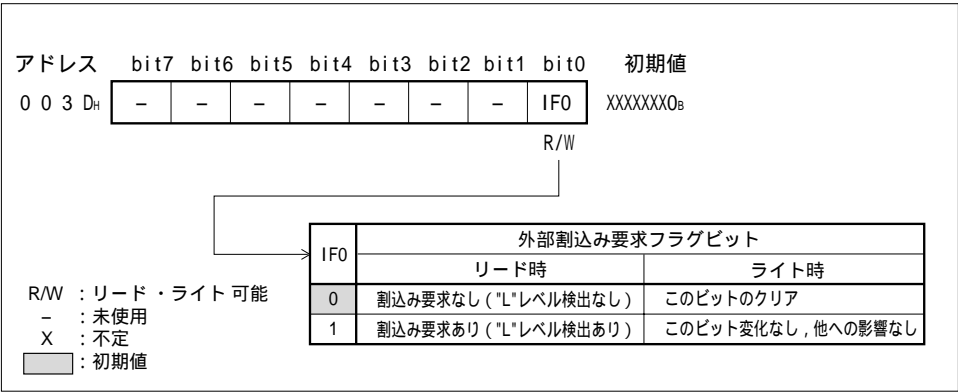


図 8.4-3 外部割込みフラグレジスタ(EIF)

表 8.4-3 外部割込みフラグレジスタ(EIF)の各ビットの機能説明

ビット名		機 能
bit7 bit6 bit5 bit4 bit3 bit2 bit1	未使用ビット	・リード時の値は不定です。 ・ライトは動作に影響を与えません。
bit0	IF0: 外部割込み要求フラグビット	外部割込み入力許可になっている外部割込み端子 (INT0 ~ INT7) に, "L"レベルの信号が入力されると"1"にセットされます。 ・書き込み時は, "0"でクリアされ, "1"ではこのビットは変化せず, ほかに影響もありません。 <注記> 外部割込み制御レジスタの外部割込み入力許可ビット (EIE: IE0 ~ IE7) は, 外部割込みの入力を禁止するだけです。割込み要求は, IF0ビットが "0"にクリアされるまで発生し続けます。

8.5 外部割込み回路の割込み

外部割込み回路の割込み要因としては、外部割込み端子に入力された"L"レベル入力信号があります。

外部割込み回路動作時の割込み

割込み入力の許可された外部割込み端子に"L"レベルが入力されると、外部割込み要求フラグビット(EIF:IF0)が"1"にセットされ、CPUへ割込み要求(IRQ0)が発生します。割込み処理ルーチンでIF0ビットに"0"を書き込み、割込み要求をクリアしてください。

外部割込み要求フラグビット(IF0)が"1"にセットされると、外部割込み制御レジスタ(EIE)の割込み許可ビット(IE0～IE7)によって、外部割込み入力を禁止しても、IF0ビットが"0"にクリアされるまで割込み要求を発生し続けますので、IF0ビットのクリアは必ず行ってください。

また、外部割込み端子が"L"レベルのままであれば、外部割込み入力を禁止しない状態で、IF0ビットをクリアしても、すぐにIF0ビットがセットされてしまいます。必要に応じて外部割込み入力の禁止もしくは、外部割込みの原因そのものを解消してください。

リセット解除後にCPUの割込みを許可する場合は、あらかじめIF0ビットをクリアしてください。

<注意事項>

- ・外部割込み端子(INT0～INT7)への"L"レベルの入力は、同じ割込み要求(IRQ0)を発生します。このため、いずれの端子に対応する外部割込み入力であるかは、入力が"H"レベルに変化する前にポートデータレジスタ(PDR3)を読み出して判定する必要があります。
- ・ストップモードの割込みによる解除は、外部割込み回路で可能です。

外部割込み回路の割込みに関連するレジスタとベクトルテーブル

表 8.5-1 外部割込みの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ		ベクトルテーブルのアドレス	
	レジスタ	設定ビット	上位	下位
IRQ0	ILR1(007C _H)	L01(bit1) L00(bit0)	FFFA _H	FFFB _H

参考：

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

8.6 外部割込み回路の動作説明

外部割込み回路は、外部割込み端子の"L"レベルを検出し、CPUに対して割込み要求を発生します。

外部割込み回路の動作

外部割込み回路を動作させるには、図 8.6-1の設定が必要です。

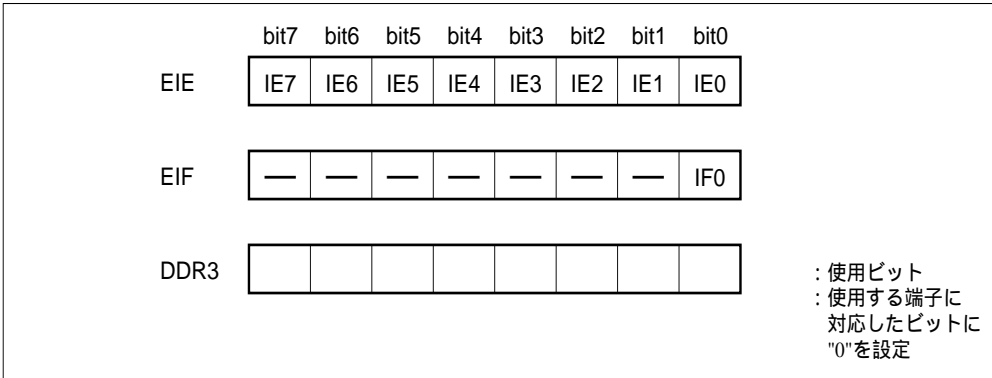


図 8.6-1 外部割込み回路の設定

IE0 ~ IE7のいずれかの外部割込み入力が許可された状態で、 $\overline{INT0}$ ~ $\overline{INT7}$ の対応する外部割込み端子に"L"レベル信号が入力されるとCPUに対してIRQ0の割込み要求を発生します。

図 8.6-2に外部割込み回路($\overline{INT0}$ 端子使用時)の動作を示します。

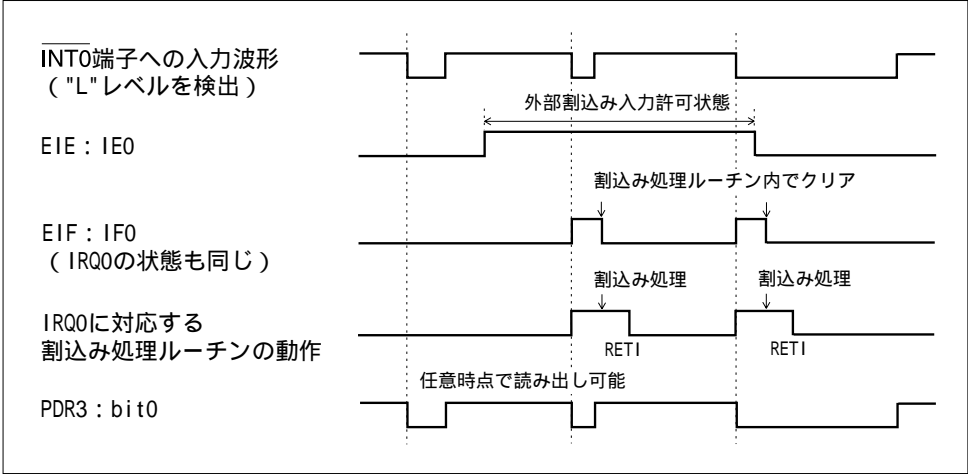


図 8.6-2 外部割込み($\overline{INT0}$)の動作

参考 :

外部割込み端子を外部割込み入力として使用している場合でも、端子の状態をポートデータレジスタ(PDR3)より直接読み出すことができます。

8.7 外部割込み回路のプログラム例

外部割込み回路のプログラム例を示します。

外部割込み回路のプログラム例

処理仕様

$\overline{\text{INT0}}$ 端子に入力される, "L" レベルを検出して割込みを発生します。

コーディング例(Softune V1準拠)

```

DDR3 EQU 000DH ;ポート方向レジスタ のアドレス
EIE EQU 003CH ;外部割込み制御レジスタのアドレス
EIF EQU 003DH ;外部割込みフラグレジスタのアドレス

IF0 EQU EIF0 ;外部割込み要求フラグビットの定義

ILR1 EQU 007CH ;割込みレベル設定レジスタのアドレス

INT_V DSEG ABS ;【DATA SEGMENT】
      ORG OFFFAH
IRQ0 DW WARI ;割込みベクトル設定
INT_V ENDS

;-----メインプログラム-----
CSEG ;【CODE SEGMENT】
      ;スタックポインタ(SP)などは初期化済みとする
      :
      CLR I ;割込みディセーブル
      CLRB IF0 ;外部割込み要求フラグクリア
      MOV ILR1, #11111110B ;割込みレベルを2に設定
      MOV DDR3, #00000000B ; $\overline{\text{INT0}}$  端子を入力に設定
      MOV EIE, #00000001B ; $\overline{\text{INT0}}$  端子の外部割込み入力を許可
      SET I ;割込みイネーブル
      :

;-----割込み処理ルーチン-----
WARI MOV EIE, #00000000B ; $\overline{\text{INT0}}$  端子の外部割込み入力を禁止
      CLRB IF0 ;外部割込み要求フラグクリア
      PUSHW A
      XCHW A, T
      PUSHW A
      :
      ユーザ処理
      :
      POPW A
      XCHW A, T
      POPW A
      RETI
      ENDS

;-----
      END

```


第9章 パラレルポート

この章では、パラレルポートの機能と動作について説明します。

- 9.1 パラレルポートの概要
- 9.2 パラレルポートの構成
- 9.3 パラレルポートの端子
- 9.4 パラレルポートのレジスタ
- 9.5 パラレルポートの割込み
- 9.6 パラレルポートの動作説明

9.1 パラレルポートの概要

パラレルポートは、8ビットの外部システムデータバスを介し外部ホストCPUや周辺装置との間でデータの受渡しを非同期に行う機能です。

パラレルポートの機能

パラレルポートは、ほかのCPUや周辺装置とパラレルデータ(8ビット)の送受信を行う機能があります。

- 8ビットデータバス
- 入出力それぞれにバッファ機能があります。
- 外部からのデータアクセスは非同期で可能です。
- 入出力バッファの状態をステータスとして外部に出力可能です。

9.2 パラレルポートの構成

パラレルポートは、以下の三ブロックで構成されています。

- ・パラレルポートデータ制御レジスタ(PDCR)
- ・パラレルポートステータスレジスタ(PSR)
- ・パラレルポートデータレジスタ(PDR)

パラレルポートのブロックダイアグラム

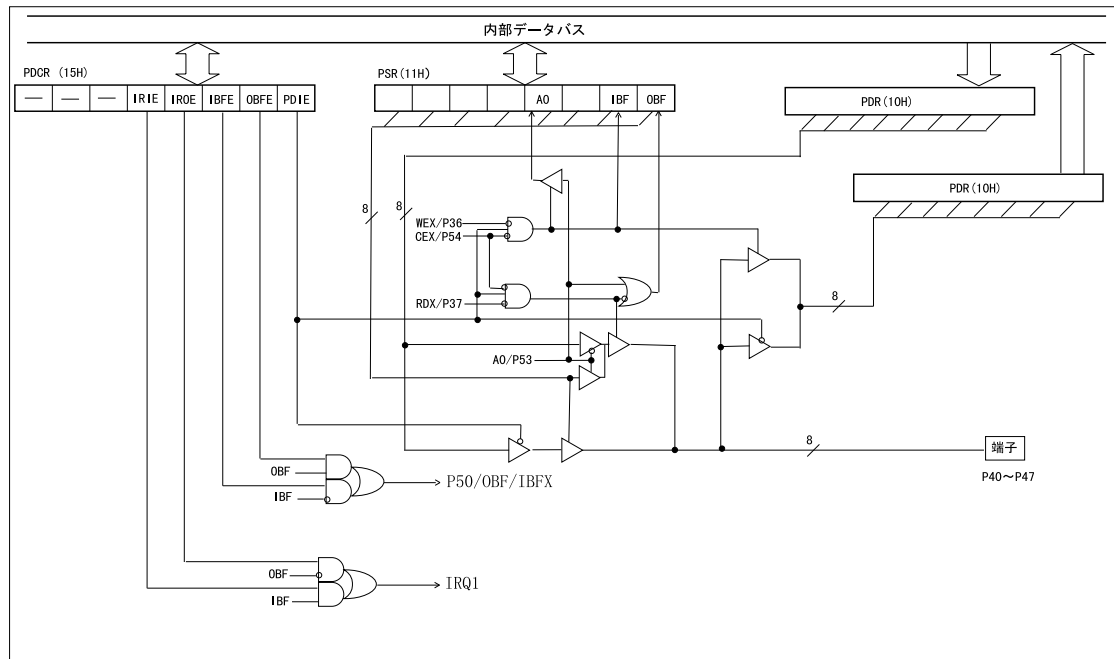


図 9.2-1 パラレルポートのブロックダイアグラム

パラレルポートデータ制御レジスタ(PDCR)

パラレルポートの割込み許可/禁止の設定と汎用ポートとの機能の切換えを行うレジスタです。

パラレルポートステータスレジスタ(PSR)

入出力バッファの状態をステータスとして表します。出力動作時に外部に出力可能です。

パラレルポートデータレジスタ(PDR)

パラレルポート動作時のデータ入出力バッファレジスタです。

9.3 パラレルポートの端子

パラレルポートに関連する端子，端子のブロックダイアグラムを示します。

パラレルポートに関連する端子

パラレルポートに関連する端子はデータ入出力端子(P40/D0 ~ P47/D7)，外部からのデータ書込み端子(P36/WEX)，外部からのデータ読出し端子(P37/RDX)，パラレルポートのデバイス選択端子(P54/CEX)，データ選択端子(P53/A0)，ステータスフラグ出力端子(P50/OBF/IBFX)です。これらはパラレルポート動作許可ビット(PDCR:PDIE)によって切り換えられます。

P40/D0 ~ P47/D7:

汎用入出力ポート(P40 ~ P47)とパラレルポート，データ入出力端子(D0 ~ D7)としての機能を兼用しています。パラレルポート動作を許可(PDCR:PDIE=1)すると，対応するポート方向レジスタの値に関係なく，パラレルポートデータ入出力端子(D0 ~ D7)として機能します。

P36/WEX:

汎用入出力ポート(P36)とパラレルポートの外部からのデータ書込み端子としての機能(WEX)を兼用しています。パラレルポート動作を許可(PDCR:PDIE=1)すると，パラレルポートの外部からのデータ書込み端子(WEX)として機能します。このとき，対応するポート方向レジスタを入力(DDR3:bit6=0)してください。

P37/RDX:

汎用入出力ポート(P37)とパラレルポートの外部からのデータ読出し端子としての機能(RDX)を兼用しています。パラレルポート動作を許可(PDCR:PDIE=1)すると，パラレルポートの外部からのデータ読出し端子(RDX)として機能します。このとき，対応するポート方向レジスタを入力(DDR3:bit7=0)してください。

P54/CEX:

汎用入出力ポート(P54)とパラレルポートのデバイス選択端子としての機能(CEX)を兼用しています。パラレルポート動作を許可(PDCR:PDIE=1)すると，対応するデータレジスタの値に関係なく，パラレルポートのデバイス選択端子(CEX)として機能します。

P53/A0:

汎用入出力ポート(P53)とパラレルポートのデータ選択端子としての機能(A0)を兼用しています。パラレルポート動作を許可(PDCR:PDIE=1)すると，対応するデータレジスタの値に関係なく，パラレルポートのデータ選択端子(A0)として機能します。

P50/OBF/IBFX:

汎用入出力ポート(P50)とパラレルポートのステータスフラグ出力端子としての機能(OBF/IBFX)を兼用しています。パラレルポート動作を許可(PDCR:PDIE=1)すると，対応するポート方向レジスタの値に関係なく，パラレルポートのステータスフラグ出力端子(OBF/IBFX)として機能します。

パラレルポートに関連する端子のブロックダイアグラム

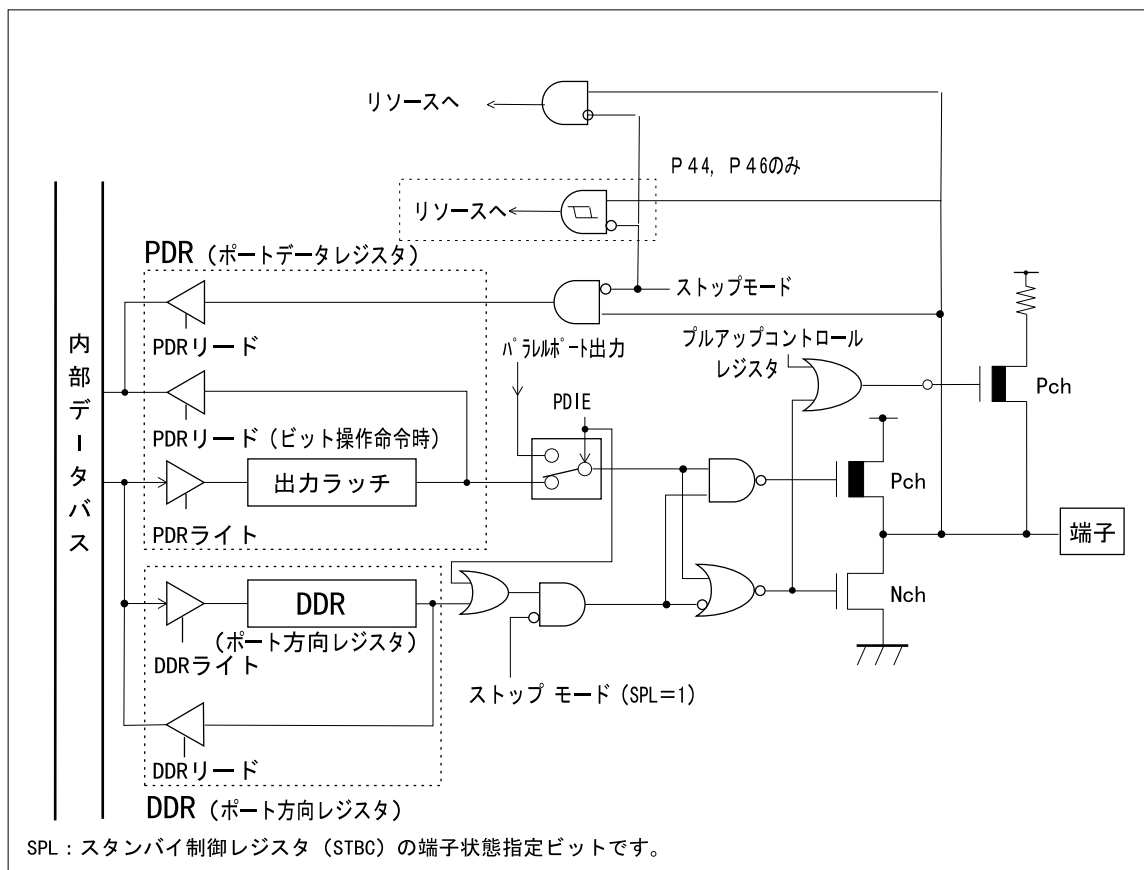


図 9.3-1 パラレルポート関連する端子のブロックダイアグラム

プルアップ

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップ(SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中はプルアップは無効となり、Hi-zとなります。

9.4 パラレルポートのレジスタ

パラレルポートに関連するレジスタを示します。

パラレルポートに関連するレジスタ

PDR (パ ^ラ レルポ ^ー ートデ ^ー ータレジ ^ス タ)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PDR	0 0 1 0 _H	PDB7	PDB6	PDB5	PDB4	PDB3	PDB2	PDB1	PDB0	XXXXXXXX _H
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PSR (パ ^ラ レルポ ^ー ートステ ^ー ータスレジ ^ス タ)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PSR	0 0 1 1 _H	UF4	UF3	UF2	UF1	A0	UF0	IBF	OBF	XXXX0XXX _B
		R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
PDCR (パ ^ラ レルポ ^ー ートデ ^ー ータ制御レジ ^ス タ)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PDCR	0 0 1 5 _H	—	—	—	IRIE	IROE	IBFE	OBFE	PDIE	XXX00000 _B
					R/W	R/W	R/W	R/W	R/W	

R/W : リード・ライト可能

R : リードオンリー

— : 未使用

X : 不定

図 9.4-1 パラレルポートに関連するレジスタ

9.4.1 パラレルポートデータレジスタ(PDR)

パラレルポートデータレジスタ(PDR)はパラレルポートのデータ入出力バッファ用レジスタです。

パラレルポートデータレジスタ(PDR)

PDR (パラレルポートデータレジスタ)									
アドレス		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PDR	0 0 1 0 _H	PDB7	PDB6	PDB5	PDB4	PDB3	PDB2	PDB1	PDB0
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
									初期値 XXXXXXXX _H

R/W : リード・ライト可能

図 9.4-2 パラレルポートデータレジスタ(PDR)

出力データバッファ

パラレルポートの動作時(PDCR:PDIE=1)は、外部システムバスに出力するデータを保持します。P37/RDXとP54/CEXとP53/A0の論理和が"0"のタイミングで、PDRのデータをP40/D0～P47/D7端子へ出力します。

入力データバッファ

パラレルポートの動作時(PDCR:PDIE=1)は、P40/D0～P47/D7端子からの入力を保持します。P36/WEXとP54/CEXの論理和が"0"のタイミングで、端子の値をラッチします。

パラレルポートデータレジスタ(PDR)は、入力、出力バッファ共に同じアドレスに設定されています。本レジスタをパラレルポートの動作時に読み出した場合は、入力データ値の読出しが行なわれ、書込み時は、出力データの書込みが行われます。

9.4.2 パラレルポートステータスレジスタ(PSR)

パラレルポートステータスレジスタ(PSR)はデータバスの状態を示します。

パラレルポートステータスレジスタ(PSR)

PSR (パラレルポートステータスレジスタ)

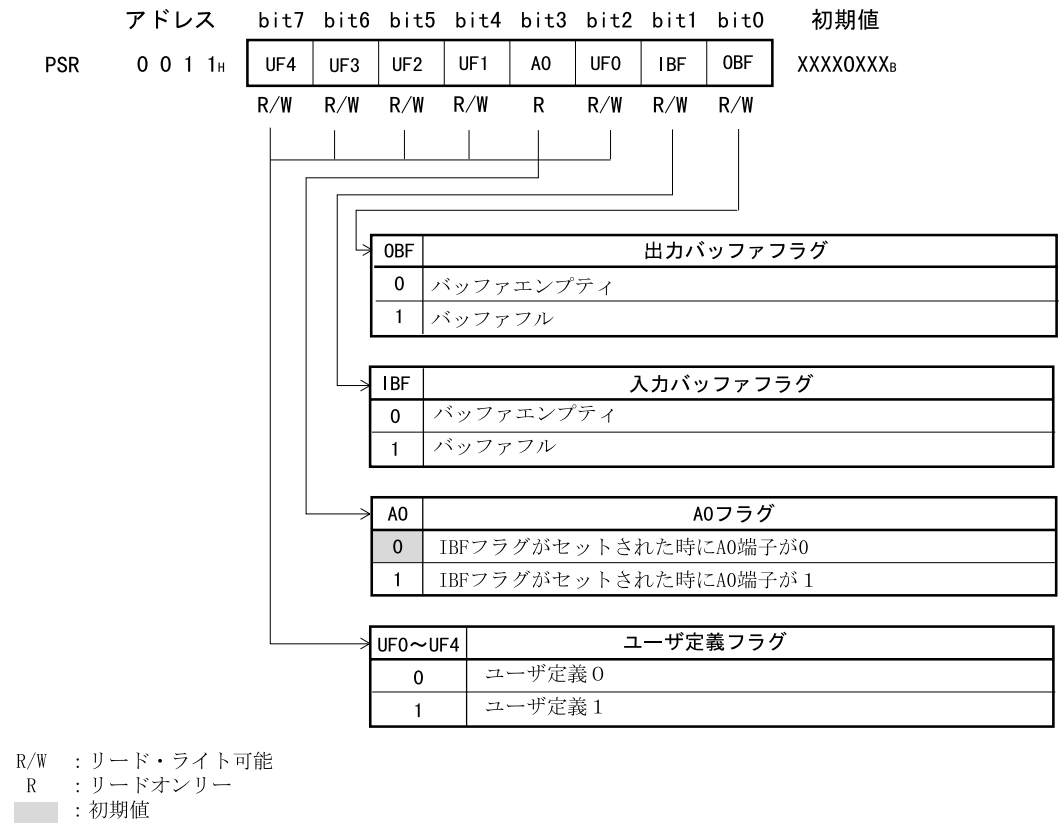


図 9.4-3 パラレルポートステータスレジスタ(PSR)

表 9.4-1 パラレルポートステータスレジスタ(PSR)の各ビットの機能

ビット名		機 能
bit7~4	UF4~UF1: ユーザ定義フラ グビット	・ユーザが自由に定義できるフラグとして使用でき、プログラムで任意に セット、クリア可能です。
Bit3	AO: AOフラグビット	・IBFフラグがセットされた時(WEX/P36=0, CEX/P54=0, PDIE=1)のAO/P53の 状態を示します。
bit2	UF0: ユーザ定義フラ グビット	・ユーザが自由に定義できるフラグとして使用でき、プログラムで任意に セット、クリア可能です。
bit1	IBF: 入力バッファフ ラグビット	・入力バッファ(PDR)に外部からデータが書き込まれると"1"にセットされ ます。 ・このビットと、PDCRのIRIEが"1"の時、CPUへの割込み要求が出力されま す。このビットと、PDCRのIBFEが"1"の時、外部端子(P50/IBFX)に"0"出力 します。書込み時は"0"でクリアされ、"1"では影響ありません。
bit0	OBF: 出力バッファフ ラグ	・出力バッファ(PDR)のデータが外部から読み出されると"0"にクリアされ ます。このビットが"0"クリアされてPDCRのIROEが"1"の場合にCPUへの割 込み要求が出力されます。このビットとPDCRのOBFが"1"の時、外部端子 (P50/OBF)に"1"出力します。 ・書込み時は"1"でセットされ、"0"では影響ありません。

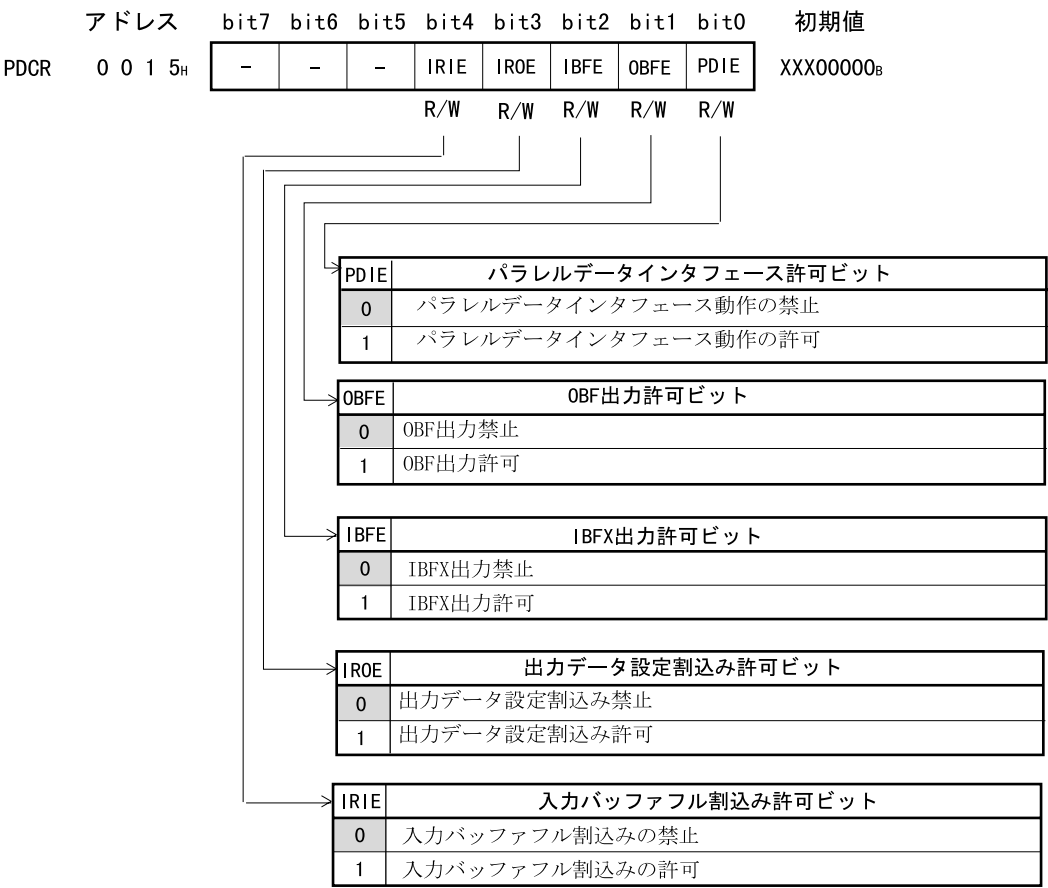
(注意)パラレルポートステータスレジスタ(PSR)は汎用ポート4の方向レジスタ(DDR4)と兼用レジスタ
となっています。パラレルポートデータ制御レジスタ(PDCR:PDIE)で汎用ポート、パラレル
ポートを切り換える際、直前の値はそのまま保持されます。(AOビットのみ、パラレルポート
機能セット時に初期化されます。)

9.4.3 パラレルポートデータ制御レジスタ(PDCR)

パラレルポートデータ制御レジスタ(PDCR)は、汎用ポートとパラレルポート動作の切り換えと、CPUへの割込み許可と外部端子への割込み許可を行います。

パラレルポートデータ制御レジスタ(PDCR)

PDCR (パラレルポートデータ制御レジスタ)



R/W : リード・ライト可能
■ : 初期値

図 9.4-4 パラレルポートデータ制御レジスタ(PDCR)

表 9.4-2 パラレルポートデータ制御レジスタ(PDCR)の各ビットの機能説明

ビット名		機 能
Bit7~5	未使用ビット	リード時の値は不定です。 ライトは動作には影響を与えません。
Bit4	IRIE: 入力バッファフル割込み許可ビット	・IBFフラグがセットされた時、このビットが"1"セットされていた場合はCPUに割込み要求を出力します。
Bit3	IROE: 出力データ設定割込み許可ビット	・OBFフラグがクリアされた時、このビットが"1"セットされていた場合はCPUに割込み要求を出力します。
Bit2	IBFE: IBFX出力許可ビット	・IBFフラグがクリアされた時、このビットが"1"セットされていた場合はIBFX端子に"1"出力します。
Bit1	OBFE: OBF出力許可ビット	・OBFフラグがセットされた時、このビットが"1"セットされていた場合はOBF端子に"1"出力します。
Bit0	PDIE: パラレルデータインタフェース許可ビット	このビットが"1"セットされると、関係する各ポート(P40~P47,P36,P37,P50,P53,P54)はパラレルインタフェースとして動作します。"0"の場合、各ポートは汎用ポートとして機能します。

9.5 パラレルポートの割込み

パラレルポートの割込み要因としては、外部からのデータ読出しとデータ書込みがあります。

パラレルポート動作時の割込み

パラレルポートが動作許可(PDIE=1)状態で、入力バッファPDRがフルの時(外部よりデータが書き込まれた時)IBFフラグがセットされます。

またはパラレルポートが動作許可(PDIE=1)状態で、出力バッファPDRが空の時(外部からデータが読み出された状態)OBFフラグがクリアされます。

そのとき、割込み要求許可ビットを許可(PDCR:IRIE=1, IROE=1)していると、CPUへ割込み要求(IRQ1)が発生します。

なお、IBF,OBFビットはIRIE,IROEビットの値に関係なく、PDRバッファの状態で"1"にセット、または"0"にクリアされます。

割込み要因となるIBF=1,OBF=0の場合、IRIE,IROEビットを禁止から許可(0 1)にすると、ただちに割込み要求が発生します。

パラレルポートの割込みに関連するレジスタとベクトルテーブル

表 9.5-1 パラレルポートの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQ1	ILR1(007CH)	L11(bit3)	L10(bit2)	FFF8 _H	FFF9 _H

割込み動作については「3.4.2 割込み動作時の処理」を参照してください。

9.6 パラレルポートの動作説明

パラレルポートの入出力動作について動作の順に説明します。

パラレルポートの入力動作

- 1) CEX(P54)が"0"の時にWEX(P36)の"L"レベルで、外部データ入出力端子D0～D7(P40～P47)の値を、入力バッファ(PDR)にラッチします。
- 2) データが、入力バッファ(PDR)にラッチされるとパラレルポートステータスレジスタ(PSR)のIBFに"1"がセットされます。
- 3) IBFに"1"がセットされ、パラレルデータ制御レジスタ(PDCR)のIRIEが"1"にセットされていた場合、CPUに割込み要求が出されます。
- 4) CPU割込み処理ルーチン内にて入力バッファ(PDR)の内容を読み出すことにより割込み要因であるIBFフラグ(PSR:IBF)は自動でクリアされます。
- 5) 2)の時にA0のレベルがパラレルポートステータスレジスタ(PSR)のA0ビットにラッチされるので、入力バッファ(PDR)の内容がデータかコマンドかの判断が可能です。

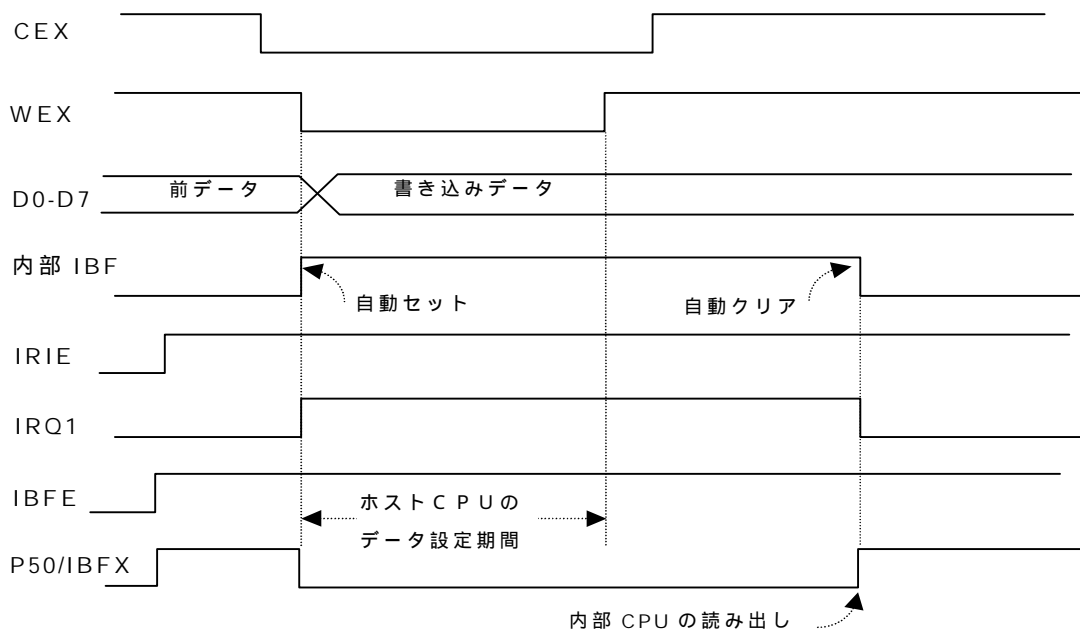


図 9.6-1 パラレルポート入力動作

パラレルポートの出力動作

- 1) 出力バッファ(PDR)に出力データを書き込むと、パラレルポートステータスレジスタ(PSR)のOBFが"1"にセットされます。
- 2) CEX(P54), A0が共に"0"の時にRDX(P37)の"L"レベルで、出力バッファ(PDR)のデータが外部データ入出力端子D0～D7(P40～P47)に出力されます。同時にOBFが"0"にクリアされます。
また、CEX(P54)が"0"でA0が"1"の時はRDX(P37)の"L"レベルで、パラレルポートステータスレジスタ(PSR)のステータス状態が、外部データ入出力端子D0～D7(P40～P47)に出力されます。
- 3) OBFが"0"クリアされ、パラレルデータ制御レジスタ(PDCR)のIROEが"1"にセットされていた場合、CPUに割り込み要求が出されます。
CPU割り込み処理ルーチン内にて出力バッファ(PDR)に出力データを書き込むことにより、割り込み要因であるOBFフラグ(PSR:OBF)を自動でセットし、割り込み要因をクリアします。

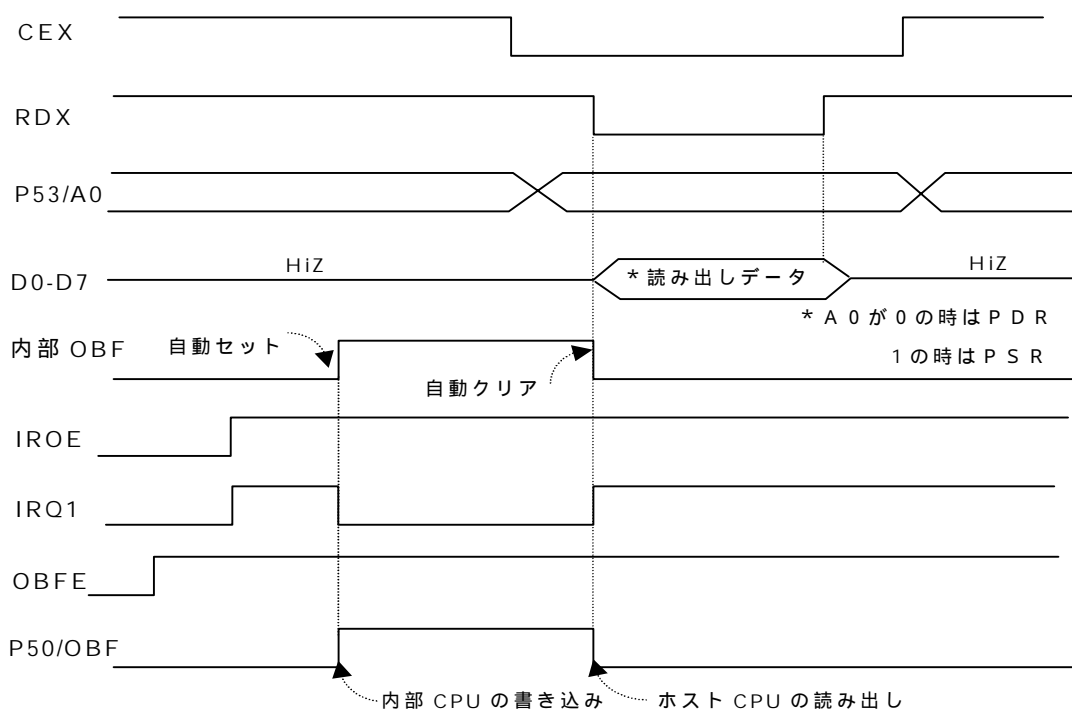


図 9.6-2 パラレルポート出力動作

第10章 USBファンクション

この章では、USBファンクション回路の機能と動作について説明します。

- 10.1 USBファンクションの概要
- 10.2 USBファンクション回路の構成
- 10.3 USBファンクション回路のレジスタ
- 10.4 USBファンクションの割込み
- 10.5 USBファンクション機能説明
- 10.6 USBファンクションの動作説明

10.1 USBファンクションの概要

USBファンクション回路は、USB(Universal Serial Bus)通信プロトコルをサポートするインタフェースです。転送スピードはFULL(12Mbps)/LOW(1.5Mbps)の両スピードに対応しています。

USBファンクション回路の機能

USBファンクション回路は、USBプロトコルをサポートするホストコントローラと双方向のシリアル転送を行います。

プロトコル

USBProtocol Revision1.0に対応。

スピード

Full(12Mbps)/LOW(1.5Mbps)の両スピードをサポート。

デバイスステータス

デバイスステータスの応答はUSBProtocolで自動発信。

クロック

USBインタフェースは48MHzのクロックでデジタルPLLによるデータの同期補正。(ファンクション内部は48MHzの4分周に同期。)

データチェック

Bit Stripping, Bit Stuffing, CRC5, CRC16の自動生成とチェック。

Data同期ビット

Data同期ビット(DATA0/DATA1トグルビット)の保持。

USB標準コマンド

Get/SetDescriptor, SynchFrameコマンドを除く、すべての標準コマンドは自動対応。Get/SetDescriptor, SynchFrameコマンドについてはSETUPトランザクションのステータス表示を行い、CPUバスにデータとして出力することで対応。

Class/Vendorコマンド

Class/VendorコマンドはSETUPトランザクションをCPUバスにデータとして出力することで対応。

Endpoint

最大四つのEndpointをサポート。(Endpoint 0はControl転送に固定)

Interface/Alternate

Interface 0, 1とAlternateの切り替えはソフト管理による。

割込み発生要因

Endpointの転送パケットの終了時(USB HOSTへのハンドシェーク, またはUSB HOSTからのハンドシェークを受けた時)で発生。

その他、フレーム開始(SOF)パケット受信時, SETUPステージ, SetInterface受信時, SUSPENDへの移行時とその復帰時に発生。

FIFO

送受信FIFO(8bit×8)1本内蔵。

DMA転送

DMAコントローラを内蔵し内部FIFOデータから直接RAMに転送。

またDMA転送モードの指定により，DMA転送先を外部専用端子に接続されるFIFOに転送が可能。

10.2 USBファンクション回路の構成

USBファンクション回路は、以下の四つの要素で構成されています。

- USBデバイスコントローラ(UDC)
- 送受信バッファ(IN/OUT_BUF)
- DMAコントローラ(DMAC)
- USB制御レジスタ群

(UMDR, DBAR, DTCR, UCTR, USTR1, USTR2, UMSKR, UFRM1, UFRM2, EPER, EPBR0, EPBRx1, 2)

USBファンクション回路のブロックダイヤグラム

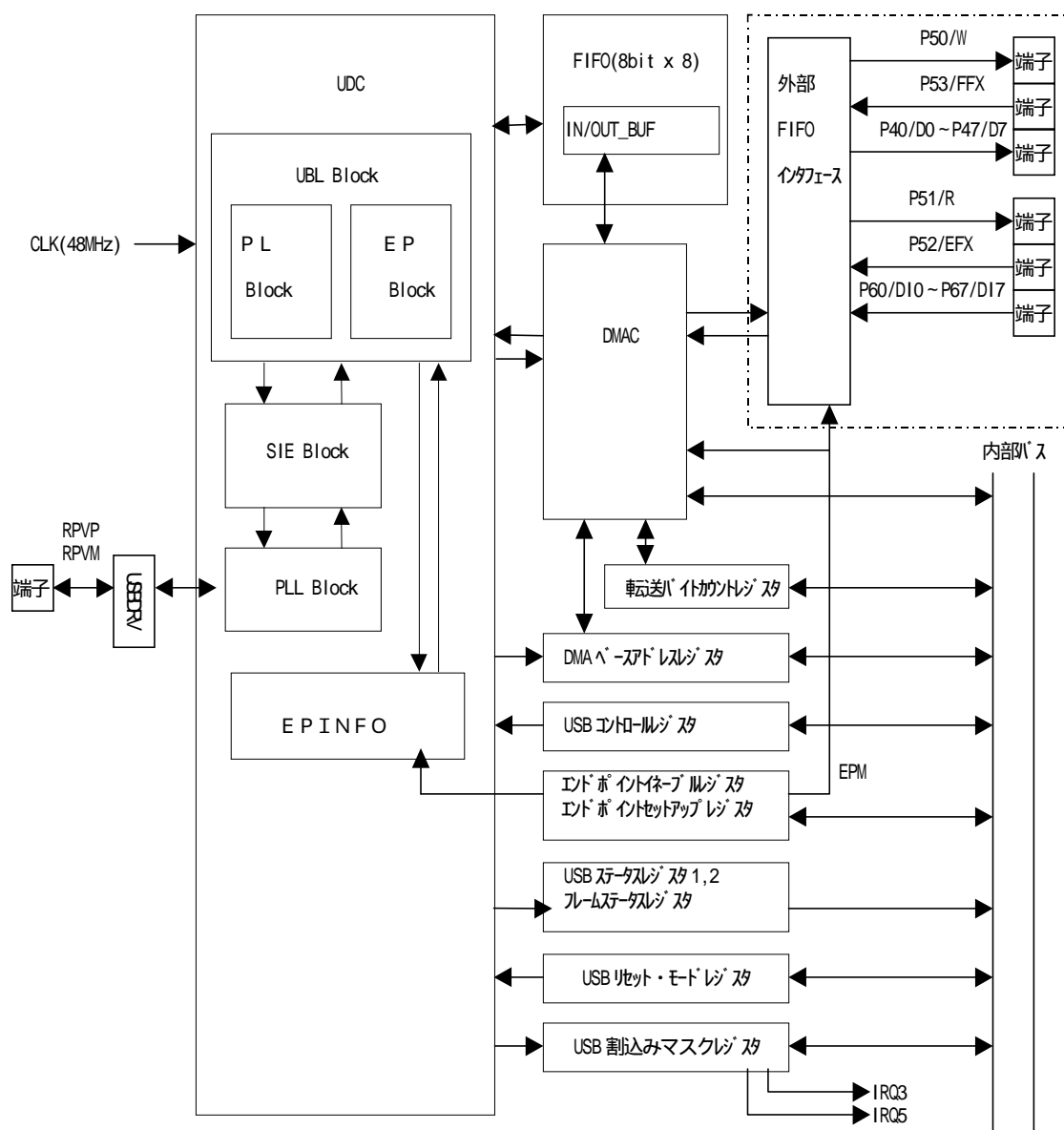


図 10.2-1 USBファンクション回路のブロックダイアグラム

USB電源モードレジスタ

ファンクション機能の電源モード(自己, バス)を設定するレジスタです。

USBリセット・モードレジスタ

USBファンクション回路部のリセットおよび動作スピード(FULL/LOW), ルートポート(ホストコントローラ)との接続, RESUMEなどを行うレジスタです。

DMAベースアドレスレジスタ

転送データのRAM上の格納先アドレスを指定します。

転送バイトカウントレジスタ0~3

各エンドポイントのデータの転送(送信DMAバイトカウント指定, 受信バイトカウント)バイトカウントレジスタです。

USBコントロールレジスタ

USBプロトコルのデータ転送制御レジスタです。

USBステータスレジスタ1, 2

USB転送データの終結ステータスおよび現在の転送パケット情報を表示するレジスタです。

USB割込みマスクレジスタ

USB転送データの終結割込み, SOFパケット受信割込みなどの割込みマスクレジスタです。

フレームステータスレジスタ

フレーム番号が格納されるレジスタです。

エンドポイントイネーブルレジスタ

各エンドポイントの機能を有効に指定するレジスタです。

エンドポイントセットアップレジスタ

各エンドポイントの構成情報(転送タイプ, 方向およびMax Packet Size)を指定するセットアップレジスタです。

10.3 USBファンクション回路のレジスタ

USBファンクション回路に関連するレジスタを示します。

USBファンクション回路に関連するレジスタ

USB電源モードレジスタ

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		---	---	---	---	---	---	---	PWC	XXXXXXXX0B
PMDR	0040H									
		R/W								

USBリセットモードレジスタ

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		RST	RESUM	HCON	SP	---	---	---	BFS	1000XXX0B
UMDR	0050H									
		R/W	R/W	R/W	R/W				R/W	

DMAベースアドレスレジスタ

MB89589B/P589B専用のDMAベースアドレスレジスタ上位

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		AD15	AD14	AD13	AD12	AD11	AD10	---	---	000000XXB
DBARH	004FH									
		R/W	R/W	R/W	R/W	R/W	R/W			

MB89580B/BWseries共通DMAベースアドレスレジスタ下位

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		---	---	AD9	AD8	AD7	AD6	AD5	AD4	XXXXXXXXB
DBAR	0051H									
				R/W	R/W	R/W	R/W	R/W	R/W	

転送データカウントレジスタ 0～3

エンドポイント0, 3

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		---	BC6	BC5	BC4	BC3	BC2	BC1	BC0	X0000000B
TDCR 0, 3 (EndPoint 0, 3)	0052H, 0057H									
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	

エンドポイント1, 2

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000B
TDCR 11, 21 (EndPoint 1, 2)	0053H, 0055H									
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		-----	-----	-----	-----	-----	-----	BC9	BC8	XXXXXX00B
TDCR 12, 22 (EndPoint 1, 2)	0054H, 0056H									
								R/W	R/W	

USBコントロールレジスタ

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
UCTR	0058H	Bfok3	Bfok2	Bfok1	Bfok0	Stall3	Stall2	Stall1	Stall0	00000000B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

USBステータスレジスタ1

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
USTR1	0059H	PKend	Setup	SOF	SETIF	BUSR	Wkup	Susp	NACK	00000000B
		R/W	R/W	R/W	R/W	R	R/W	R/W	R	

USBステータスレジスタ2

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
USTR2	005AH	IOAL1	IOAL0	I1AL1	I1AL0	SPK	DIR	EPC1	EPC0	XXXXXX00B
		R	R	R	R	R	R	R	R	

USB割込みマスクレジスタ

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
UMSKR	005BH	MPKend	MSetup	MSOF	Msetif	MBUSR	MWKUP	MSUSP	BUSRF	00000000B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

USBフレームステータスレジスタ

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
UFRMR1	005CH	Frm7	Frm6	Frm5	Frm4	Frm3	Frm2	Frm1	Frm0	XXXXXXXXB
		R	R	R	R	R	R	R	R	

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
UFRMR2	005DH	----	----	----	----	----	Frm10	Frm9	Frm8	XXXXXXXXB
							R	R	R	

エンドポイントイネーブルレジスタ

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
EPER	005EH	----	----	----	----	Epen3	Epen2	Epen1	Epen0	XXXX0001B
						R/W	R/W	R/W	R	

エンドポイント(0, 1, 2, 3)セットアップレジスタ

エンドポイント0

EPBR0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス	-----	MP6	MP5	MP4	MP3	MP2	MP1	MP0	X0000000B
005FH		R/W	R/W	R/W	R/W	R/W	R/W	R/W	

エンドポイント1, 2

EPBR11, 21	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス	EPM	-----	TYP1	TYP0	DIR1	DIR0	MP9	MP8	0X000000B
0060H, 0062H	R/W		R/W	R/W	R/W	R/W	R/W	R/W	

EPBR12, 22	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス	MP7	MP6	MP5	MP4	MP3	MP2	MP1	MP0	00000000B
0061H, 0063H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

エンドポイント3

EPBR31	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス	-----	-----	TYP1	TYP0	DIR1	DIR0	-----	-----	XX0000XXB
0064H			R/W	R/W	R/W	R/W			

EPBR32	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス	-----	MP6	MP5	MP4	MP3	MP2	MP1	MP0	X0000000B
0065H		R/W	R/W	R/W	R/W	R/W	R/W	R/W	

10.3.1 USB電源モードレジスタ(PMDR)

USB電源モードレジスタはUSBファンクションの動作電源モード(自己, バス)を指定するレジスタです。Bit7~1は予約ビットですので, バイト命令での書込み時は"1000001 + PWC B"を書き込むようにしてください。

USB電源モードレジスタ(PMDR)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
PMDR 0040H	----	----	----	----	----	----	----	PWC	XXXXXX0B
								R/W	

BIT7~1:予約ビット

本レジスタの当ビットに対する書込みは, 必ず"1000001"を書き込むようにします。

BIT0:PWC(PoWer Control)

USBファンクションの動作電源モード(自己電源モード, バス電源モード)を指定します。
(本ビットの設定はGetStatusコマンドの応答に反映します)

PWC	電源モード制御ビット
0	USB FUNCTION バス電源タイプ
1	USB FUNCTION 自己電源タイプ

10.3.2 USBリセット・モードレジスタ(UMDR)

USBリセット・モードレジスタはUSBファンクション回路ブロックのリセットおよび各種動作モード指定を行うレジスタです。BIT2～3は予約ビットです。書き込み時は必ず0をライトしてください。

USBリセット・モードレジスタ(UMDR)

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス	0050H	RST	RESUM	HCON	SP	-----	-----	RFBM	BFS	1000XX00B
UMDR		R/W	R/W	R/W	R/W			R/W	R/W	

BIT7:RST (Function Reset)

USBファンクション回路部の個別リセット信号です。通常の運用時には本ビットによるファンクション回路部の個別リセットは必要ありません(電源投入後の初期化処理を除く)。ファンクション回路部のリセットは電源投入時のシステムリセットとORでリセットされます。

初期値は"1"でリセット状態のため"0"書き込んでリセット解除を行ってください。

RST	ファンクションブロックリセットビット
0	USBファンクション回路のリセットを解除
1	USBファンクション回路をリセットする

BIT6:RESUM (Resume)

リモートWake-UP許可状態で、かつステータスレジスタ1のSUSP=1(SUSPENDモード)の時、RESUMEが可能となります。このビットに1書込でSUSP=0になり、RESUMEが開始されます。RESUME指示は本ビットを"1"に設定後、最低12MHzの2クロック(166nsec)分以上の時間を取り"0"ライトクリアしてください。

RESUME	USB RESUMEビット
0	USB RESUME 開始指示ビット解除
1	USB RESUME 開始

BIT5:HCON (USB HOST Connection)

USBインタフェースにてホストコントローラとの接続を行うレジスタです。本設定によりUSBインタフェース信号(D+, D-)と接続されます。

HCON	USB接続ビット
0	USB ホストコントローラと接続なし
1	USB ホストコントローラと接続。

MB89580BシリーズはHCONではなく、汎用ポート出力制御で外付け1.5k のプルアップ抵抗を有効にすることによりホストコントローラとの接続を行います。ただし、プルアップ抵抗を有効にする前にHCONをセットしておいてください。

BIT4:SP (USB Speed)

USBインタフェースの転送スピードを設定します。本設定は電源投入後初期化処理にて一度だけ設定が可能です。Speed設定後、ファンクション回路部をBIT7 "RST" ビットによりリセット解除処理を行ってください。電源投入時の初期値は "0" LOW speedの設定となっています。

SP	USBスピードビット
0	USB Low Speed (1.5Mbps)
1	USB Full Speed (12Mbps)

BIT3～2予約ビット

本レジスタの当ビットに対する書込みは、必ず0を書き込むようにします。

BIT1:RFBM(Rate Feed Back Mode)

USBのInterrupt転送時のデータトグルモードの選択ビットです。

RFBM	データトグルモード選択ビット
0	交代データトグルモードを選択 転送が問題なく完了した時のみDATA0/DATA1のPIDをトグル
1	データトグルモードを選択 無条件にDATA0/DATA1のPIDをトグル (ISO転送において、レートフィードバック情報に使用することができます。)

BIT0:BFS (Buffer Size)

RAM上に獲得する各エンドポイントのバッファ用メモリのサイズを指定します。獲得されるメモリのサイズは指定エンドポイントの数(4個:EndPoint 0～3)すべてが本ビットで指定されるサイズとなります。

BFS	Buffer(RAM上) size指定ビット
0	8 Byte (すべてのEndpoint 0～3 について)
1	64 Byte (すべてのEndpoint 0～3 について)

10.3.3 DMAベースアドレスレジスタ(DBAR)

DMAベースアドレスレジスタは各EndPoint(0~3)用のバッファメモリ(RAM上にマッピング)のDMA転送先アドレスを指定します。ベースアドレスレジスタで指定されたアドレスはEndPoint0のDMA転送アドレスとなり、以降のEndPoint1~3用の転送アドレスはUSBリセット・モードレジスタの"BFS"ビットで指定されるサイズ単位で連続領域に設定されます。

DMAベースアドレスレジスタ(DBAR)

DBAR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス	-----	-----	AD9	AD8	AD7	AD6	AD5	AD4	XXXXXXXXB
0051H			R/W	R/W	R/W	R/W	R/W	R/W	

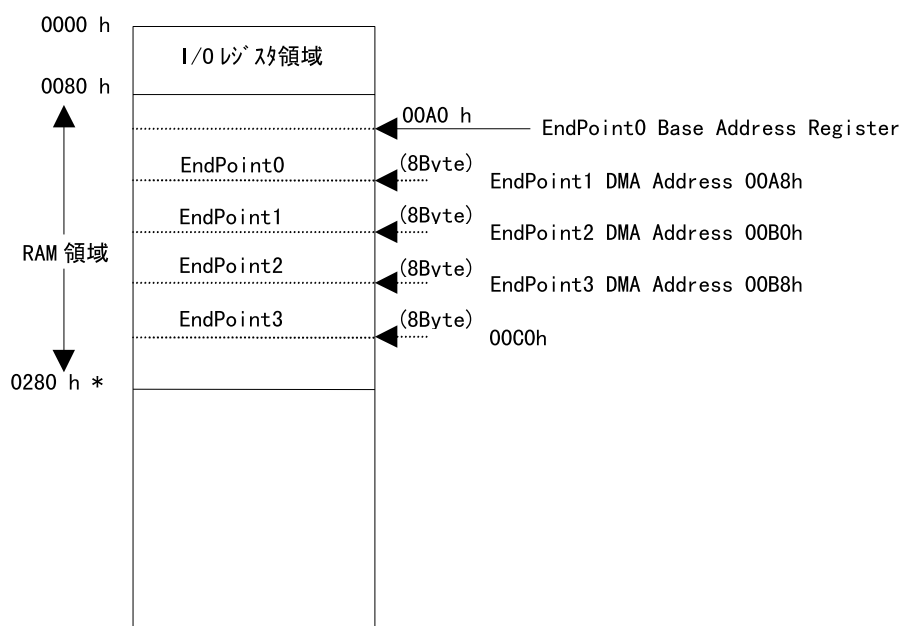
BIT5~0 (DBAR):AD9~AD4 (DMA Base Address AD9~AD4)

EndPoint 0のDMA転送先ベースアドレスを指定します。各EndPoint 1~3のDMA転送アドレスはベースアドレス(EndPoint 0)を先頭にして指定されたバッファサイズ(BFSビットによるサイズ指定)のオフセットで各EndPointのDMA転送アドレスが固定されます。指定Addressは"0XX0"H (X:任意)となります。

設定可能なDMA領域のアドレス範囲は"0000"H ~ "03F0"Hとなりますが、内蔵RAMが実装される領域の範囲で指定してください。

(I/O領域"0000"H ~ "007F"Hは指定禁止です)

例) 以下はDBAR="0A"h, UMDR BFSビット="0"(8Byte)の場合



*:RAM 1Kbyteの場合は480hです。

10.3.4 MB89589B用DMAベースアドレスレジスタ(DBARH, DBAR)

MB89589B/P589BではDMAベースアドレスレジスタ(DBARH, DBAR)により各Endpoint(0~3)用のバッファメモリ(RAM上にマッピング)のDMA転送先アドレスを指定します。DBARで指定されたアドレスはEndpoint0のDMA転送下位アドレスとなり、以降のEndpoint1~3用の転送下位アドレスはUSBリセット・モードレジスタの"BFS"ビットで指定されるサイズ単位で連続領域(1KB内)に設定されます。DBARHによりDMA転送先バンクアドレスを指定します。

DMAベースアドレスレジスタ上位(DBARH)

DBARH アドレス 004FH	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
	AD15	AD14	AD13	AD12	AD11	AD10	-----	-----	000000XXB
	R/W	R/W	R/W	R/W	R/W	R/W			

BIT7~2 (DBARH):AD9~AD4 (DMA Base Address High AD15~AD10)

DMA転送先のバンクアドレスを指定します。

BIT1~0:予約ビット

本レジスタの当ビットに対する書込みは、必ず0を書き込むようにします。

DMAベースアドレスレジスタ下位(DBAR)

DBAR アドレス 0051H	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
	-----	-----	AD9	AD8	AD7	AD6	AD5	AD4	XXXXXXXXB
			R/W	R/W	R/W	R/W	R/W	R/W	

BIT7~6:予約ビット

本レジスタの当ビットに対する書込みは、必ず0を書き込むようにします。

BIT5~0(DBAR):AD9~AD4(DMA Base Address Low AD9~AD4)

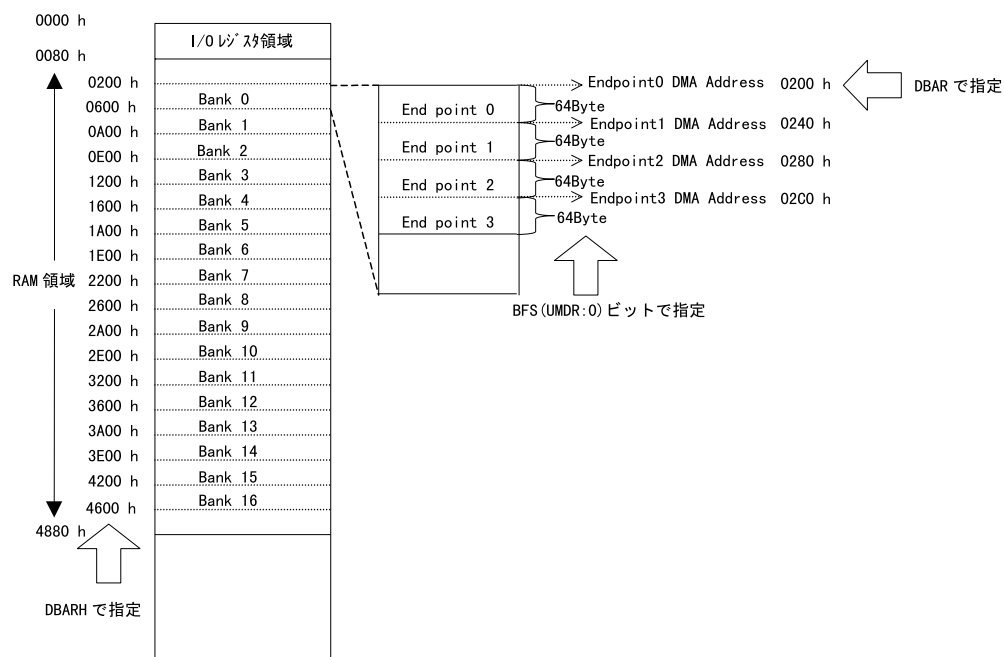
Endpoint0のDMA転送先下位ベースアドレスを指定します。このアドレスを先頭にして、指定されたバッファサイズ(BFSビットによるサイズ指定)のオフセットで各Endpoint1~3のDMA転送下位アドレスが固定されます。

DMA転送アドレス範囲

DBARHとDBARによる指定アドレスは"XXX0"H (X:任意)となります。

設定可能なDMA領域のアドレス範囲は"0000"H ~ "4880"Hとなります。内蔵RAMが実装される領域の範囲で指定してください。(I/O領域"0000"H ~ "007F"Hは指定禁止です)

例) 以下はDBARH="00"h(初期設定), DBAR="20"h, UMDR BFSビット="1"(64Byte)の場合



10.3.5 転送データカウントレジスタ(TDCR0～3)

転送データカウントレジスタはUSBプロトコルのOUT方向データでは受信したデータのバイトカウンタステータスを示し、IN方向データ転送ではDMAによる送信転送バイトカウント数を指定します。転送データバイトカウントレジスタはエンドポイント(0～3)ごとに指定します。IN方向データ転送ではDMA転送によりカウント値は減算されカウント値が0なり、USBプロトコルのパケット転送が終了した時点で転送終了します。終結と同時に割込みイネーブルビットが有効に指定されていれば割込みをCPUに通知します。

転送データカウントレジスタ(TDCR0～3)

(EndPoint 0)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス TDCR0 0052H	-----	BC6	BC5	BC4	BC3	BC2	BC1	BC0	X0000000B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(EndPoint 1)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス TDCR11 0053H	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(EndPoint 1)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス TDCR12 0054H	-----	-----	-----	-----	-----	-----	BC9	BC8	XXXXXX00B
							R/W	R/W	

(EndPoint 2)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス TDCR21 0055H	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	00000000B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

(EndPoint 2)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス TDCR22 0056H	-----	-----	-----	-----	-----	-----	BC9	BC8	XXXXXX00B
							R/W	R/W	

(EndPoint 3)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス TDCR3 0057H	-----	BC6	BC5	BC4	BC3	BC2	BC1	BC0	X0000000B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	

データカウントレジスタは各エンドポイントごとに構成されています。エンドポイント0, 3は"TD0CR 0, 3"に対応し、最大転送数は64Byteです。エンドポイント1, 2は指定モード(ポート4, 6経由DMA転送, 外部FIFO転送サポートモード時)により外部FIFOへのDMA転送が有効に指定されている場合、最大転送数は1023Byteまで可能です。指定エンドポイントのモードが、外部FIFO転送をサポートしないモード(内部RAMへのDMA転送)での最大転送数はエンドポイント0, 3と同じ64Byteとなります。

TD0CR0, 3 [エンドポイント0, 3]

BIT6 ~ 0:BC6 ~ BC0 (Transfer Byte Counter)

Max 64Byte指定可能

TD0CR11, 12/21, 22 [エンドポイント1, 2]

BIT1 ~ 0 (TD0CR12/22):BC9 ~ BC0 (Transfer Byte Counter)

BIT7 ~ 0 (TD0CR11/21)

Max 1023Byte指定可能

USB OUT方向転送(ファンクションはデータ受信)では1パケットの受信データバイトカウント数を示すステータスレジスタとなります。OUT方向転送時はTD0CRはリード専用でライトは意味を持ちません。転送終了ステータス"Pkend"が"1"で転送方向ステータス"DIR"がOUT方向のステータス状態時ファンクションがホストより受信したデータのバイト数を対応するエンドポイントのデータカウントレジスタに表示します。(この受信データカウン트의ステータスは"Pkend=1", "DIR=1"の状態でのみ有効です。)

USB IN方向転送(ファンクションからホストへデータ送信)用にDMA転送する送信バイトカウント数をIN方向をサポートするエンドポイントごとに指定します。IN方向転送時TD0CRはライト専用でリード値は意味を持ちません。DMA転送の最大送信バイトはエンドポイント0, 3は64byteです。各データカウンタレジスタの書込み時、空Bitには0を書き込んでください。

(例) 8Byte "08"H

 64Byte "40"H

10.3.6 USBコントロールレジスタ(UCTR)

USBコントロールレジスタはUSBプロトコルインタフェースのデータ転送を制御するレジスタです。

USBコントロールレジスタ(UCTR)

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		Bfok3	Bfok2	Bfok1	Bfok0	Stall3	Stall2	Stall1	Stall0	00000000B
UCTR	0058H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

BIT7～4:BFOK3, 2, 1, 0 (Buffer OK)

転送データの送受信バッファの使用準備がととのい、次の転送許可を行う指定ビットです。本ビットは転送終結ステータス"PKend"(USB ACK, NACK応答)によりハードクリアされるため次の転送前に再度転送許可に設定しておく必要があります。本ビットの添え数字は対応するEndPoint 0～3のに対応します。

BFOK	BUFFER Ready OK ビット
0	転送バッファ準備されていない。
1	転送バッファ準備されDMA転送を許可する。

BIT3～0:STALL3, 2, 1, 0 (USB STALL Response)

本ビット1書込みでアクセスのあったEndPoint3, 2, 1, 0に対してSTALL状態をセットすることができます。

STALLとBFOKを共にセットしたEnd Pointに対してホストからアクセスがあった時点で自動的にクリアされます。STALLのみセットした場合は自動でクリアされません。

STALL	Stall応答ビット
0	STALL応答しない。
1	STALL応答を行う。

10.3.7 USBステータスレジスタ1(USTR1)

USBステータスレジスタ1はUSBインタフェースのデータ転送終了、セットアップトランザクション、SOFパケットなどの現在の転送パケットの状態を示すステータスレジスタです。各ステータスの割り込み要因がマスク解除状態であれば、CPUに割り込み通知を行います。なお、USBアップポートがサスペンドされている場合、USB仕様により規定されるスタンバイモードの消費電力以下にするために、クロックを停止させるSTBC(スタンバイ制御レジスタ)をストップモードにする必要があります。

USBステータスレジスタ1(USTR1)

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		PKend	Setup	SOF	SETIF	BUSR	Wkup	Susp	NACK	
USTR1	0059H	R/W	R/W	R/W	R/W	R	R/W	R/W	R	00000000B

BIT7:Pkend(Transfer Packet end)

現在の転送パケット終了のステータスを表示します。(転送パケットの応答ACK, NACKにより"1"となります。)本ビットのクリアは"0"書込みによりクリアされます。1書込みは意味を持ちません。割り込みマスクレジスタの対応するビットが割り込み有効に指定されていれば、CPUに割り込み通知を行います。

Pkend	送受信パケットの転送終了ビット
0	USBプロトコル送受信パケットの転送なし
1	USBプロトコル送受信パケット転送終了

BIT6:Setup (Setup)

USB Controll転送のSetupステージであることを示します。本ビットのクリアは"0"書込みによりクリアされます。1書込みは意味を持ちません。割り込みマスクレジスタの対応するビットで割り込みが有効指定されていれば、CPUに割り込み通知を行います。

Setup	Setup ステータスビット
0	Controll 転送 SETUPステージではない。
1	Controll 転送 SETUPステージである。

BIT5:SOF (Start Of Freame)

USBインタフェースでSOFパケットを受信したことを示すステータスビットです。本ビットが1の場合、フレームレジスタのフレーム番号が有効となります。本ビットのクリアは"0"書込みによりクリアされます。1書込みは意味を持ちません。

割り込みマスクレジスタの対応するビットで割り込みが有効指定されていればCPUに割り込み通知を行います。

SOF	Stert of frame ステータスビット
0	SOFなし/ビットクリア
1	SOFパケットがあった。

BIT4:Setif (SetInterface)

USBコマンドのSetInterfaceコマンドを受け付けた時にセットされるステータスビットです。本ビットのクリアは"0"書込みによりクリアされます。1書込みは意味を持ちません。割込みマスクレジスタの対応するビットで割込みが有効指定されていれば、CPUに割込み通知を行います。また、本ビットがセットされるとUCTR(BF0K3～BF0K0)が自動でクリアされます。

Setif	SetInterface ステータスビット
0	SetInterfaceコマンドなし、割込み要因のクリア
1	SetInterfaceコマンド受付け

BIT3:BUSR(USB BUS Reset)

USBインタフェースがバスリセット状態に移行したことを表示します。本ビットのクリアはBUSRFがクリア時バスリセットからの復帰により自動でクリアされます。

BUSR	USB BUS Reset ステータスビット
0	USBバスがリセット状態ではない
1	USBバスがリセット中である

BIT2:WKUP (WaKe UP)

USBインタフェースがサスペンド状態から復帰したことを表示します。本ビットはサスペンド状態信号(SUSP)がイネーブル状態からディセーブル状態になった時にハードでセットされます。1書込みは意味を持ちません。割込みマスクレジスタの対応するビットで割込みが有効指定されていれば、CPUに割込み通知を行います。

WKUP	WAKE UP ステータスビット
0	WAKE UP 割込み要因無し。割込み要因のクリア。
1	WAKE UP 割込み要因有り。

BIT1:SUSP (USB Suspend)

USBインタフェースがサスペンド状態に移行したことを表示します。

サスペンド状態からの復帰はリモートウェークアップ(UMDRレジスタRESUMビット1ライト)による復帰または、ホストコントローラによる復帰要因があります。割込み要因のクリアは"0"ライトを行います。"1"書込みは意味を持ちません。割込みマスクレジスタの対応するビットで割込みが有効指定されていれば、CPUに割込み通知を行います。

SUSP	Suspend ステータスビット
0	Suspend 状態割込み無し。割込み要因のクリア。
1	Suspend 状態割込み発生。

BIT0:NACK (NACK)

現在のUSBプロトコル転送で何らかのエラー (CRC, FIFOオーバーランetc)を検出した場合に, USBホストコントローラに"NACK"応答を行ったことを示します。本ビットはパケット転送終了ステータス"PKEND"が"1"の場合にステータスは有効となります。

(注意:本ビットは割込み要因ではありません。)

現在の転送が"NACK"終結した場合, 転送データは保証されません, 転送開始前の状態(送信バッファに転送データを再度準備し転送許可設定)にして次のホストコントローラからの転送要求に準備します。

NACK	NACK 応答 ステータスビット
0	現在の転送に正常終了応答 ACK 応答をおこなった。
1	現在の転送に異常検出しNACK応答を行った。

10.3.8 USBステータスレジスタ2(ISTR2)

USBステータスレジスタ2はUSBインタフェースの転送終結時の情報(転送方向, ショートパケットフラッグ, End Point番号)のステータスレジスタです。USB転送終結時のエンドポイント属性を示します。

USBステータスレジスタ2(ISTR2)

		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		IOAL1	IOALO	I1AL1	I1ALO	SPK	DIR	EPC1	EPC0	XXXXXX00B
ISTR2	005AH	R	R	R	R	R	R	R	R	

BIT7, 6:IOAL1, IOALO (Interface 0 Alternate 1, 0 Number)

現在の設定されているInterface 0のAlternate番号を表示します。USBホストリクエストの"Set Interface"コマンドにより設定されているAlternate番号を表示します。ソフトは現在管理しているAlternate番号とホストからの構成が一致しているかの確認が可能です。

IOAL1, IOALO	現在の Interface 0のAlternate番号
0, 0	Alternate 0
0, 1	Alternate 1
1, 0	Alternate 2
1, 1	Alternate 3

BIT5, 4:I1AL1, I1ALO (Interface 1 Alternate 1, 0 Number)

現在の設定されているInterface 1のAlternate番号を表示します。ホストUSBリクエストの"Set Interface"コマンドにより設定されているAlternate番号を表示します。ソフトは現在管理しているAlternate番号とホストからの構成が一致しているかの確認が可能です。

I1AL1, I1ALO	現在のInterface 1のAlternate番号
0, 0	Alternate 0
0, 1	Alternate 1
1, 0	Alternate 2
1, 1	Alternate 3

BIT3:SPK (Short Packet Freame)

USBプロトコルで転送されるパケットのデータバイト数が対応するEndpoint Buffer(0~3)に指定されているMax Packetサイズに満たない場合にステータスとして表示されます。本ビットは、パケット転送終了ステータス"Pkend"が"1"の場合に有効です。(注意:本ビットは割込み要因ではありません。)

SPK	Short packetステータスビット
0	転送パケットがMax Packet Size
1	転送パケットはMax Packet Size 未満であった。

BIT2:DIR (Direction)

転送パケット終了時の方向を示します。本ビットは転送パケット終了ステータス"Pkend"ビットが"1"の場合に有効です。

DIR	転送パケット方向ステータスビット
0	USB Out 方向転送
1	USB IN 方向転送

BIT1, 0:EPC1, 0(EndPoint Number Code)

現在の転送パケットのEndPoint番号を示します。本ビットは転送パケット終了ステータス"Pkend"ビットが"1"の場合に有効です。

EPC 1, 0	EndPoint番号ステータスビット
0, 0	EndPoint 0
0, 1	EndPoint 1
1, 0	EndPoint 2
1, 1	EndPoint 3

10.3.9 USB割り込みマスクレジスタ(UMSKR)

USBステータスレジスタの割り込み要因ビット(PKEND, SETUP, SOF, SETIF, WKUP, SUSP)のマスクコントロールレジスタです。各割り込み要因の割り込みマスクをビットごとに指定可能です。

USB割り込みマスクレジスタ(UMSKR)

アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
	MPKend	MSetup	MSOF	Msetif	MBUSR	MWKUP	MSUSP	BUSRF	
UMSKR 005BH	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	00000000B

BIT7:MPKend (Mask Packet END Interruption)

転送データの終了ステータス"Pkend"ステータスの割り込みのマスク制御を行います。パワーオンリセット解除, リセット・コントロールレジスタのリセットビットによるリセット解除後は, 割り込みはマスク状態(割り込み不可)です。

MPKend	Pkend割り込み許可ビット
0	対応 Pkend割り込み不可。(マスク状態)
1	対応 Pkend割り込み許可。(マスク解除)

BIT6:MSETUP (Mask SETUP Interruption)

Control転送のセットアップステージステータス"Setup"の割り込みマスク制御を行います。
パワーオンリセット解除, リセット・コントロールレジスタのリセットビットによるリセット解除後は, 割り込みのマスク状態(割り込み不可)となります。

MSetup	Setup割り込み許可ビット
0	対応 Setup割り込み不可。(マスク状態)
1	対応 Setup割り込み許可。(マスク解除)

BIT5:MSOF (Mask SOF Interruption)

フレームスタート同期信号の"SOF"ステータス割り込みのマスク制御を行います。パワーオンリセット解除, リセット・コントロールレジスタのリセットビットによるリセット解除後は, 割り込みのマスク状態(割り込み不可)となります。

MSOF	SOF割り込み許可ビット
0	対応 SOF割り込み不可。(マスク状態)
1	対応 SOF割り込み許可。(マスク解除)

BIT4:MSETIF (Mask SET InterFace Interruption)

ホストコマンドの"SET INTERFACE"の受信ステータスの割込みマスク制御を行います。パワーオンリセット解除，リセット・コントロールレジスタのリセットビットによるリセット解除後は，割込みのマスク状態(割込み不可)となります。

MSETIF	SETIF割込み許可ビット
0	対応 SETIF割込み不可。(マスク状態)
1	対応 SETIF割込み許可。(マスク解除)

BIT3:MBUSR (Mask Usb BUS Reset)

USBバスリセット状態表示信号"BUSRF"ステータス割込みのマスク制御を行います。パワーオンリセット解除，リセットコントロールレジスタのリセットビットによるリセット解除後は，割込みのマスク状態(割込み不可)となります。

MBUSR	BUSRF割込み許可ビット
0	対応 BUSRF割込み不可。(マスク状態)
1	対応 BUSRF割込み許可。(マスク解除)

BIT2:MWKUP (Mask WaKeUP Interruption)

SUSPEND復帰信号の"WKUP"ステータス割込みのマスク制御を行います。パワーオンリセット解除，リセット・コントロールレジスタのリセットビットによるリセット解除後は，割込みのマスク状態(割込み不可)となります。

MWKUP	WKUP割込み許可ビット
0	対応 WKUP割込み不可。(マスク状態)
1	対応 WKUP割込み許可。(マスク解除)

BIT1:MSUSP (Mask SUSPend Interruption)

SUSPEND状態表示信号の"SUSP"ステータス割込みのマスク制御を行います。パワーオンリセット解除，リセット・コントロールレジスタのリセットビットによるリセット解除後は，割込みのマスク状態(割込み不可)となります。

MSUSP	SUSP割込み許可ビット
0	対応 SUSP割込み不可。(マスク状態)
1	対応 SUSP割込み許可。(マスク解除)

BIT0:BUSRF (Bus Reset Flag)

USBバスリセット開始を表示します。1書込みは意味を持ちません。割込みマスキレジスタの対応するビットで割込みが有効指定されていればCPUに割込み通知を行います。本ビットはUSBバスリセットの立ち上がりエッジでセットされます。

BUSRF	USB BUS Reset割込み許可ビット
0	USBバスリセット割込み要因無し。割込み要因のクリア
1	USBバスリセット割込み要因有り。

10.3.10 USBフレームステータスレジスタ(UFRMR)

USBフレームステータスレジスタは、フレーム同期信号受信時のフレーム番号の表示を行います。

USBフレームステータスレジスタ (UFRMR)

UFRMR1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス 005CH	Frm7	Frm6	Frm5	Frm4	Frm3	Frm2	Frm1	Frm0	XXXXXXXXB
	R	R	R	R	R	R	R	R	

UFRMR2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス 005DH	----	----	----	----	----	Frm10	Frm9	Frm8	XXXXXXXXB
						R	R	R	

BIT7～0(UFRMR1), BIT2～0(UFRMR2):FRM10～0(Frame Number)

フレーム同期パケットの現在のフレーム番号を示します。フレーム番号はステータスレジスタ1の"SOF"フラグが"1"の時に有効となります。

BIT7～3(UFRMR2):予約ビット

本レジスタの当ビットに対する書込みは、必ず"0"を書き込むようにします。

10.3.11 エンドポイントイネーブルレジスタ(EPER)

各エンドポイントの機能を有効に指定するレジスタです。ファンクションとして使用するエンドポイントに対してエンドポイントごとに有効設定を行います。

エンドポイントイネーブルレジスタ(EPER)

各エンドポイント0, 1, 2, 3の機能を有効にしている, イネーブルレジスタです。有効指定は各エンドポイントごとに指定します。

EPER	初期値							
	XXXX0001B							
アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	-----	-----	-----	-----	Epen3	Epen2	Epen1	Epen0
005EH					R/W	R/W	R/W	R

BIT7~4:予約ビット

本レジスタの当ビットに対する書込みは, 必ず"0"を書き込むようにします。

BIT3, 2, 1, 0 (Epen 3, 2, 1, 0):(EndPoint Enable 3, 2, 1, 0)

EndPoint 0は電源投入時デフォルトで有効となっています。(EndPoint 0のイネーブルビットは"1"固定です。)

EndPoint 3, 2, 1の各エンドポイントの機能を有効にします。各添え数字の番号はエンドポイント番号に対応します。

本ビットの設定により, 各構成情報(エンドポイントセットアップレジスタの設定によるInterface, Type, Dir, Max Packet size)を持つEndPointが有効となります。

EPENx	EndPoint 3, 2, 1イネーブルビット
0	EndPoint 3, 2, 1は無効
1	EndPoint 3, 2, 1のうち, セットされたEndPoint番号の機能を有効とする。

10.3.12 エンドポイントセットアップレジスタ(EPBR0, EPBRx1, x2)

エンドポイント0セットアップレジスタはEnd Point 0の構成情報(End Point Buffer)を設定します。End Point0の構成はデフォルトでControl_IN, Control_outに固定されており、すべてのInterface, Alternateに含まれています。

エンドポイントセットアップレジスタx1, x2は各End Point (1, 2, 3)ごとの構成情報を設定します。エンドポイントの構成は転送タイプ・転送方向、および最大パケットサイズの指定を行います。パケット転送中には、本レジスタ値を変更しないでください。

エンドポイントセットアップレジスタ(EPBR0, EPBRn1, n2)

エンドポイント0セットアップレジスタ(EPBR0)

EPBR 0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス 005FH	-----	MP6	MP5	MP4	MP3	MP2	MP1	MP0	X0000000B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	

BIT7:予約ビット

上記予約ビットへの書込みは、必ず"0"を書き込むようにします。

BIT6～0:MP6～MP0 (Max packet Size)

EndPoint 0の最大転送バイト数を指定します。EndPoint 0の指定可能なパケットの最大転送バイトは64バイトです。それ以上の設定は行わないでください。また、ALL"0" 0Byteの指定も禁止です。

<例>

MP5～MP0: "40"H 64 Byte (最大指定値)
 "08"H 8 Byte

エンドポイント1セットアップレジスタ(EPBR11, 12)

エンドポイント1の構成を設定します。

EPBR 11	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス 0060H	EPM	-----	TYP1	TYP0	DIR1	DIR0	MP9	MP8	0X000000B
	R/W		R/W	R/W	R/W	R/W	R/W	R/W	

EPBR 12	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス 0061H	MP7	MP6	MP5	MP4	MP3	MP2	MP1	MP0	00000000B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

BIT7 (EPBR11):EPM (EndPoint 1 Mode)

EndPoint 1への転送パケット送受信時のDMA転送先モードを指定します。本ビットにより内部RAM領域へのDMA転送か、汎用ポートへ接続される外部FIFOへDMA転送を行うかを指定します。内蔵RAMへの転送は確保されるエンドポイントのバッファ領域より最大で64Byteとなります。Isochronous転送, Bulk転送等の転送パケットサイズが64Byteより大きい転送サイズをサポートする場合、専用外部端子にFIFOメモリを接続することにより、転送パケットデータを外部FIFOのポートへDMA転送することが可能です。

EPMに"1"をセットした時は、DDR4の方向設定の値に関係なくFIFO接続端子として機能し、汎用ポート4の入出力機能はディセーブルされます。

<EPM="0"の場合>

USBプロトコルの転送パケットデータを内部RAMの領域にDMA転送を行います。内部RAMへの転送はUSBリセット・モードレジスタのDMAバッファサイズ"BFS"で指定されたサイズ(8byte or 64Byte)が転送最大パケットサイズになります。

<EPM="1"の場合>

USBプロトコルの転送パケットデータを専用外部端子に接続されたFIFO(メモリ)へDMA転送を行います。本モードによる指定では転送最大パケットサイズは1023 Byte(MP9～MP0指定)が可能です。

EPM	EndPoint 1 DMAモード
0	EndPoint 1 パケットの送受信時に内部RAM領域にDMA転送を行う。
1	EndPoint 1 パケットの送受信時に専用外部端子に接続されるFIFOへDMA転送を行う。

BIT6:予約ビット

上記予約ビットへの書込みは、必ず"0"を書き込むようにします。

BIT5, 4(EPBR11):TYP1, TYP0 (EndPoint 1 Type)

EndPoint 1がサポートする転送タイプを指定します。

TYP1	TYP0	EndPoint 1 TYPE指定
0	0	Interrupt転送
0	1	Bulk転送
1	0	Isochronous転送
1	1	(指定禁止)

BIT3, 2(EPBR11):DIR1, DIR0 (EndPoint 1 Direction)

EndPoint 1がサポートする転送方向を指定します。

DIR1	DIR0	EndPoint 1 Direction指定
0	0	OUT EndPoint
0	1	IN EndPoint
1	0	OUT/IN両方に対応するEndPoint
1	1	(指定禁止)

BIT1～0(EPBR11) BIT7～0(EPBR12):MP9～0 (Max Packet Size)

EndPoint 1がサポートする最大転送パッケージサイズを指定します。EndPoint 1の指定可能な最大転送バイトは内蔵RAM領域を使用する場合(内蔵RAMへのDMA転送指定:EPM="0")は64Byteです。外部FIFOを使用する場合(EPM="1")は最大転送パッケージサイズは1023Byteとなります。(ALL"0" 0Byteの指定は禁止です。)

<設定例>

MP9～MP0: "040"H 64Byte (EPM=0最大値)
 "3FF"H 1023Byte (EPM=1 最大値)

エンドポイント2セットアップレジスタ(EPBR21, 22)

エンドポイント2の構成を設定します。設定する内容はエンドポイント1のセットアップレジスタと同一内容です。

EPBR 21		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		EPM	---	TYP1	TYP0	DIR1	DIR0	MP9	MP8	0X000000B
0062H		R/W		R/W	R/W	R/W	R/W	R/W	R/W	

EPBR 22		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス		MP7	MP6	MP5	MP4	MP3	MP2	MP1	MP0	00000000B
0063H		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

BIT7 (EPBR21):EPM (EndPoint 2 Mode)

EndPoint 2への転送パッケージ送受信時のDMA転送先モードを指定します。
本ビットにより内部RAM領域へのDMA転送か、汎用ポートへ接続される外部FIFOへDMA転送を行うかを指定します。

<EPM="0"の場合>

USBプロトコルの転送パッケージデータを内部RAMの領域にDMA転送を行います。
内部RAMへの転送はUSBリセット・モードレジスタのDMAバッファサイズ"BFS"で指定されたサイズ(8byte or 64Byte)が転送最大パッケージサイズになります。

<EPM="1"の場合>

USBプロトコルの転送パッケージデータを専用外部端子に接続されたFIFO(メモリ)へDMA転送を行います。本モードによる指定では転送最大パッケージサイズは1023 Byte (MP9～MP0指定)が可能です。

EPM	EndPoint 2 DMAモード
0	EndPoint 2 パケットの送受信時に内部RAM領域にDMA転送を行う。
1	EndPoint 2 パケットの送受信時に専用外部端子に接続されるFIFOへDMA転送を行う。

BIT6:予約ビット

上記予約ビットへの書込みは、必ず"0"を書き込むようにします。

BIT5, 4(EPBR21):TYP1, TYP0 (EndPoint 2 Type)

EndPoint 2がサポートする転送タイプを指定します。

TYP1	TYP0	EndPoint 2TYPE指定
0	0	Interrupt転送
0	1	Bulk転送
1	0	Isochronous転送
1	1	(指定禁止)

BIT3, 2(EPBR21):DIR1, DIR0 (EndPoint 2 Direction)

EndPoint 2がサポートする転送方向を指定します。

DIR1	DIR0	EndPoint 2 Direction指定
0	0	OUT EndPoint
0	1	IN EndPoint
1	0	OUT/IN両方に対応するEndPoint
1	1	(指定禁止)

BIT1 ~ 0(EPBR21), BIT7 ~ 0(EPBR22):MP9 ~ 0 (Max Packet Size)

EndPoint 2がサポートする最大転送パケットサイズを指定します。

EndPoint 2の指定可能な最大転送バイトは内蔵RAM領域を使用する場合(内蔵RAMへのDMA転送指定:EPM="0")は64Byteです。外部FIFOを使用する場合(EPM="1")は最大転送パケットサイズは1023Byteとなります。(ALL"0" 0Byteの指定は禁止です。)

<設定例>

MP9 ~ MP0: "040"H 64Byte (EPM=0最大値)
 "3FF"H 1023Byte (EPM=1 最大値)

エンドポイント3セットアップレジスタ(EPBR31, 32)

エンドポイント3の構成を設定します。エンドポイント3の構成のうち、転送パケットデータのDMA転送先は内蔵RAM領域へのみのサポートとなります。また、最大転送パケットサイズは64Byteとなります。

EPBR 31	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス	-----	-----	TYP1	TYP0	DIR1	DIR0	-----	-----	XX0000XXB
0064H			R/W	R/W	R/W	R/W			

EPBR 32	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	初期値
アドレス	-----	MP6	MP5	MP4	MP3	MP2	MP1	MP0	X0000000B
0065H		R/W	R/W	R/W	R/W	R/W	R/W	R/W	

BIT7 ~ 6(EPBR31):予約ビット

上記予約ビットへの書込みは、必ず"0"を書き込むようにします。

BIT5, 4(EPBR31):TYP1, TYP0 (EndPoint 3 Type)

EndPoint 3がサポートする転送タイプを指定します。

TYP1	TYP0	EndPoint 3TYPE指定
0	0	Interrupt転送
0	1	Bulk転送
1	0	Isochronous転送
1	1	(指定禁止)

BIT3, 2(EPBR31):DIR1, DIR0 (EndPoint 3 Direction)

EndPoint 3がサポートする転送方向を指定します。

DIR1	DIR0	EndPoint 3 Direction指定
0	0	OUT EndPoint
0	1	IN EndPoint
1	0	OUT/IN両方に対応するEndPoint
1	1	(指定禁止)

BIT1 ~ 0(EPBR31):予約ビット

上記予約ビットへの書込みは、必ず"0"を書き込むようにします。

BIT7(EPBR32):予約ビット

上記予約ビットへの書込みは、必ず"0"を書き込むようにします。

BIT6 ~ 0(EPBR32):MP6 ~ 0 (Max Packet Size)

EndPoint 3がサポートする最大転送パケットサイズを指定します。EndPoint 3のDMA転送可能な領域は内蔵RAM領域のみです。指定可能な最大転送パケットサイズは64Byteです。(ALL"0" 0Byteの指定は禁止です。また、64Byte以上の設定は指定しないでください。)

<設定例>

MP6 ~ MP0: "08"H 8 Byte
 "40"H 64 Byte (最大値)

10.4 USBファンクションの割込み

USBファンクションの割込み要因として、USBポートからのデータ受信とUSBポートへの送信終了時、コントロール転送時のSETUPステージ時、USBポートのバスリセット時、フレームスタート信号(SOF)受信時、SET Interfaceコマンド受信時、USBポートのバスリセット時、USBポートがホストによりサスペンド状態に移行した時と、サスペンド状態からの復帰があります。サスペンド状態からの復帰はSTOP状態においても、割込み要求を発生しますのでSTOP解除要因にもなります。

USBファンクション動作時の割込み

USB転送で、現在の転送パケットが終了した場合、転送終了フラグビット(USTR1:PKEND)が"1"にセットされます。その際、割込み要求許可ビットを許可(UMSKR:MPKEND=1)していると、CPUへ割込み要求(IRQ3)が発生します。割込み処理ルーチンでPKENDビットに"0"を書き込み、割込み要求をクリアしてください。

USB転送で、現在の転送ステージがSETUPである場合に割込み要求フラグビット(USTR1:SETUP)が"1"にセットされます。その際、割込み要求許可ビットを許可(UMSKR:MSETUP=1)していると、CPUへ割込み要求(IRQ3)が発生します。割込み処理ルーチンでSETUPビットに"0"を書き込み、割込み要求をクリアしてください。

USB転送で、ホストからSOFパケットを受信した時に割込み要求フラグビット(USTR1:SOF)が"1"にセットされます。その際、割込み要求許可ビットを許可(UMSKR:MSOF=1)していると、CPUへ割込み要求(IRQ3)が発生します。割込み処理ルーチンでSOFビットに"0"を書き込み、割込み要求をクリアしてください。

USB転送で、ホストからSet Interfaceコマンドを受け付けた時に割込み要求フラグビット(USTR1:SETIF)が"1"にセットされます。その際、割込み要求許可ビットを許可(UMSKR:MSETIF=1)していると、CPUへ割込み要求(IRQ3)が発生します。割込み処理ルーチンでSETIFビットに"0"を書き込み、割込み要求をクリアしてください。

USBバスリセット検出した時に、割込み要求フラグビット(UMSKR:BUSRF)が"1"にセットされます。その際、割込み要求許可ビットを許可(UMSKR:MBUSR=1)にしていると、CPUへ割込み要求(IRQ3)が発生します。割込み処理ルーチンで割込み要求フラグビットBUSRFに"0"を書き込み、割込み要求をクリアしてください。

USBアップポートが3msec以上の間、連続するアイドル・ステート状態を検出した時にサスペンド状態に移行し、割込み要求フラグビット(USTR1:SUSP)が"1"にセットされます。その際、割込み要求許可ビットを許可(UMSKR:MSUSP=1)していると、CPUへ割込み要求(IRQ3)が発生します。割込み処理ルーチンでSUSPビットに"0"を書き込み、割込み要求をクリアしてください。

ファンクションがサスペンド状態時に、USBアップポートからの要求により再開状態への移行が検出された場合、対応する割込み要求フラグビット(USTR1:WKUP)が"1"にセットされます。

その際、割込み要求許可ビットを許可(UMSKR:MWKUP=1)していると、CPUへ割込み要求(IRQ5)が発生します。割込み処理ルーチンでWKUPビットに"0"を書き込み、割込み要求をクリアしてください。また、割込み要求(IRQ5)はCPUがSTOP状態においても発生可能です。

なお、PKEND, SETUP, SOF, SETIF, BUSRF, SUSP, WKUPビットはMPKEND, MSETUP, MSOF, MSETIF, MBUSR, MSUSP, MWKUPビットの値に関係なく、割込み要因が成立すれば"1"にセットされます。

参考：

PKEND, SETUP, BUSRF, SOF, SETIF, SUSP, WKUPビットが"1"のとき, MPKEND, MSETUP, MSOF, MSETIF, MBUSR, MSUSP, MWKUPビットを禁止から許可(0 1)にすると, ただちに割込み要求が発生します。

USBファクションの割込みに関連するレジスタとベクトルテーブル

表 10.4-1 USBファクションの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ		ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位 下位
IRQ3	ILR1(007C _H)	L31(bit7)	L30(bit6)	FFF4 _H FFF5 _H
IRQ5	ILR2(007D _H)	L51(bit3)	L50(bit2)	FFF0 _H FFF1 _H

割込み動作については「3.4.2 割込み動作時の処理」を参照してください。

10.5 USBファンクション機能説明

USBファンクションでサポートされる機能について以下に説明します。各エンドポイントの設定およびDMA転送機能について説明します。

USBファンクション機能

ファンクションの機能としてサポートされる内容は以下の構成をサポートしています。

Config:1

デバイスの構成を一つサポートします。

Interface:1, 0

デバイスとして2つのインタフェースをサポートします。

Alternate:0, 1, 2, 3

最大四つまでのAlternateをサポートします。構成後のAlternateはソフトウェアにて管理します。ハードでは、指定エンドポイントのAlternate属性のチェックを行っていません。ソフトウェアで現在のエンドポイントのAlternate属性が何かを管理します。このAlternate属性は標準デバイスリクエストの"Set Interface"によりAlternate構成が変更された場合に同一インタフェースのエンドポイント構成定義を変更することが出来ます。

EndPoint:0, 1, 2, 3

ファンクションはEndPoint0を含め四つ(EndPoint0, 1, 2, 3)のエンドポイントをサポートします。

EndPoint 0:

USBデバイスのデフォルト・パイプで使用されます。CONTROL転送のみをサポートします。エンドポイント0のサポートする転送パケットサイズはエンドポイントセットアップレジスタ(EPBR0)の指定により設定します。設定可能な最大転送パケットサイズは64Byteです。

EndPoint 1:

エンドポイントの特性はエンドポイントセットアップレジスタ(EPBR1)で設定します。設定はエンドポイント1が属するインタフェース番号(0, 1)サポート転送タイプ(Interrupt, Bulk, Isochronous転送), 転送方向(In, Out), Max Packet size(Max 1023Byte)の指定を行います。エンドポイント1は外部FIFOへの転送モードがサポートされ専用外部端子にFIFOを接続することにより、転送パケットのデータを直接DMA転送することが可能です。転送パケットデータの内蔵RAMへのDMA転送モードでは最大転送パケットサイズは64Byteとなります。

EndPoint 2:

エンドポイントの特性はエンドポイントセットアップレジスタ(EPBR2)で設定します。設定はエンドポイント2が属するインタフェース番号(0, 1), サポート転送タイプ(Interrupt, Bulk, Isochronous転送), 転送方向(In, Out), Max Packet size(Max 1023Byte)の指定を行います。エンドポイント2は外部FIFOへの転送モードがサポートされ専用外部端子にFIFOを接続することにより, 転送パケットのデータを直接DMA転送が可能です。転送パケットデータの内部RAMへのDMA転送モードでは最大転送パケットサイズは64Byteとなります。

EndPoint 3:

エンドポイントの特性はエンドポイントセットアップレジスタ(EPBR3)で設定します。設定はエンドポイント3が属するインタフェース番号(0, 1), サポート転送タイプ(Interrupt, Bulk, Isochronous転送), 転送方向(In, Out), Max Packet size(Max 64Byte)の指定を行います。エンドポイント3は外部FIFOへの転送モードはサポートされていません。転送パケットデータは内部RAMへのDMA転送となります。最大転送パケットサイズは64Byteです。

外部FIFO DMA転送機能

エンドポイント1および2は転送パケットデータを外部専用端子に接続されたFIFOへ直接DMA転送を行う機能があります。この機能はエンドポイント1, 2セットアップレジスタの"EPM"ビットにより指定します。

ファンクションは外部FIFOのDMA転送が有効に指定され, エンドポイントの転送方向がIN方向(デバイスからホストコントローラ方向への転送)の場合, 外部端子R(P51, リード制御信号), およびポート6(8ビット入力データ信号)よりデータをリードしUSBホストコントローラへ転送します。

エンドポイントの指定転送方向がOUT方向の場合は, 外部端子W(P50, ライト制御信号), およびポート4(8ビット出力データ信号)により外部FIFOに受信データを出力します。

外部FIFOへのDMA転送モード時のインタフェース

IN転送方向

外部FIFOとの接続はデータ入力として汎用ポート6(P60 ~ P67), 制御信号としてP51(R), P52(EFX)を使用します。

P67(MSB) ~ P60(LSB): 転送データ入力ポート

P52(EFX): Hレベルのとき, 転送データが外部FIFOで用意が来ていることを示します。外部FIFOのEMPTY信号に接続します。

注: 入力レベルは, CMOS 3.3V対応にしてください。

P51(R): 転送データを取り込むストロブ信号

167nsec幅の"H"レベルパルスが出力されます。外部FIFOの読出しストロブ信号に使用します。

OUT転送方向

外部FIFOとの接続はデータ入力として汎用ポート4(P40 ~ P47), 制御信号としてP50(W), P53(FFX)を使用します。

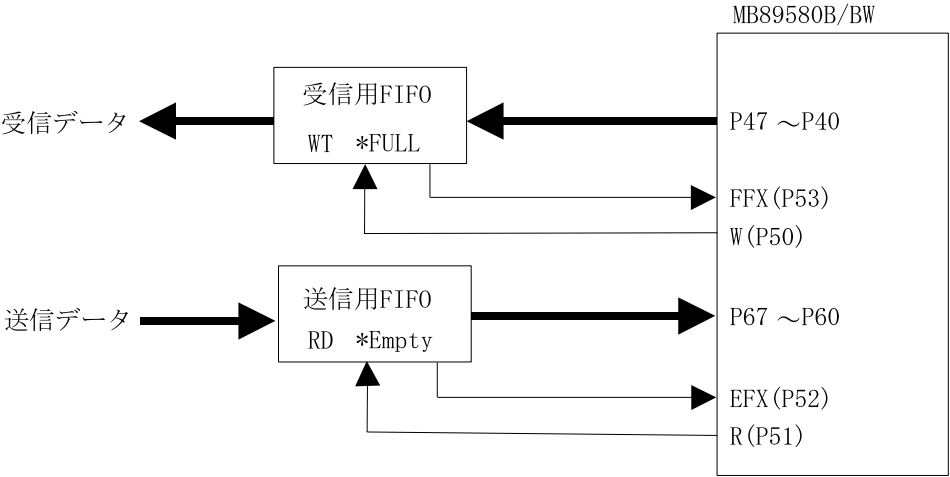
P47(MSB) ~ P40(LSB): 転送データ出力ポート

P53(FFX):

Hレベルの時:外部FIFOがFULLの状態でない転送データが書き込めることを示します。外部FIFOのFULL信号に接続します。

P50(W):転送データが有効であることを示すストロブ信号

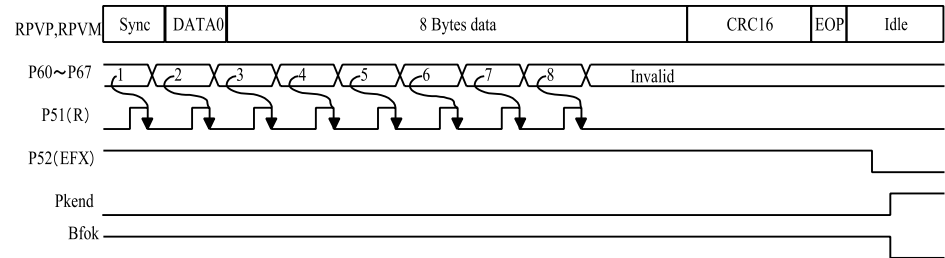
167nsec幅の"H"レベルパルスが出力されます。外部FIFOの書込ストロブ信号に使用します。



外部FIFO DMA転送動作

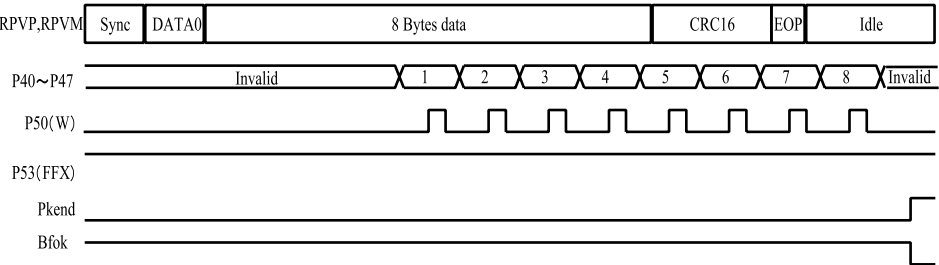
IN転送動作(8バイト転送)

エンドポイントの転送方向がIN方向の場合、P51(R)の立下りでP60~P67より外部FIFOからのデータをリードし、USBホストコントローラへ転送します。



OUT転送動作(8バイト転送)

エンドポイントの転送方向がOUT方向の場合、P50(W), およびP40~P47により外部FIFOへUSB受信データを出力します。

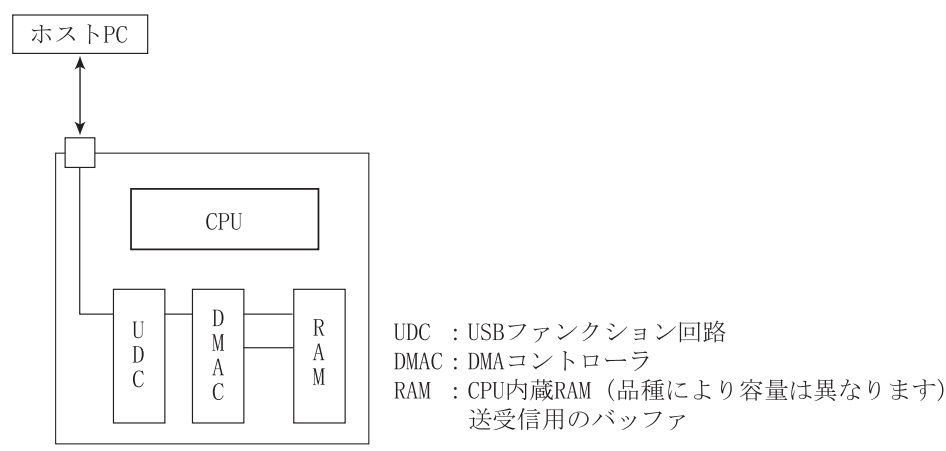


10.6 USBファンクションの動作説明

USBファンクションは、USB(Universal Serial Bus)通信プロトコル(Revision 1.0)に対応しています。USBファンクション回路は、USB通信をハードウェアで実現していますので、ホストPCとのパケット通信を考えることなく、DMACにより内蔵RAMをアクセス可能です。

USBファンクションの動作

USBファンクション回路は、USBプロトコルに対応するホストPCと双方向のパケット転送を行います。ホストPCとデバイスの接続はエニユメレーションにより実施されたあとにデバイスドライバを使用した各種の転送タイプでの通信が始まります。



本章ではエニユメレーションを例にホストPCとデバイスのUSB通信の動作について説明します。
全体の処理内容を理解するためのレジスタおよびUSBパケットの動きを示します。

エニユメレーション処理

USBが動作する上で一番初めにホストPCとデバイスとの接続を確立する処理です。
USBのバス上にどのようなデバイスが接続されているかホストPCが調査します。
USBコントロール転送(USBの転送タイプ)を使って実施します。(USB仕様で規定)
これは4本あるエンドポイントのうちEP0(EndPoint0)を使用します。(USB仕様)

表 10.6-1 エニユメレーション

シナリオ	転送方向	動作概要
接続検出	ホスト ← デバイス	接続を検出しないと一切の動作は行われません。
USBバスリセット	ホスト → デバイス	USBバスリセットまで何も処理はありません。
ディスクリプタの取得	ホスト ← デバイス	ディスクリプタのデータをホストに返します。
アドレスの設定	ホスト → デバイス	ホストから任意のアドレスを割り当てられます。
ディスクリプタの取得(デバイス)	ホスト ← デバイス	ディスクリプタのデータをホストに返します。
ディスクリプタの取得(構成)	ホスト ← デバイス	ディスクリプタのデータをホストに返します。
構成の設定	ホスト → デバイス	ホストから構成番号を割り当てられます。

接続検出

デバイスからホストPCに通知します。

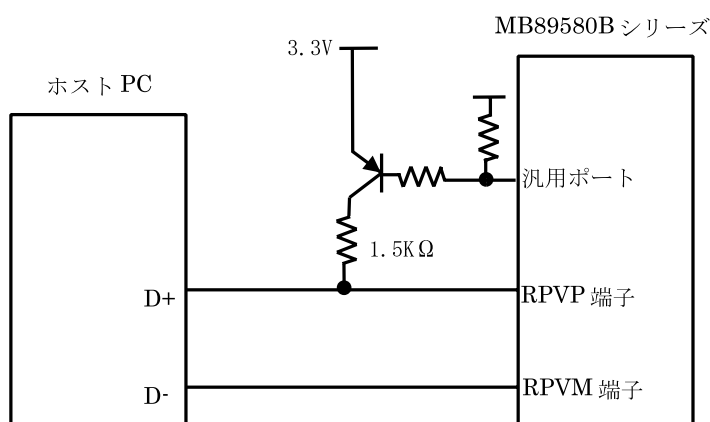
ホストはUSBバスの2本の信号線(D+, D-)を監視し、どちらかの信号が"H"レベルになることによりデバイスが接続されることを認識します。

MB89580Bシリーズは以下の処理が必要です。

初期設定(USBファンクションレジスタを含むすべての初期化)

UMDRレジスタのHCONを有効(内部回路をRPVP, RPVM端子に接続)にします。

1本の汎用ポート出力のソフトウェア制御によりプルアップ抵抗を有効(ホストコントローラとの接続)にします。(RPVP, RPVM端子はUSB接続が行われるまでの間は、ハイ・インピーダンス状態です)



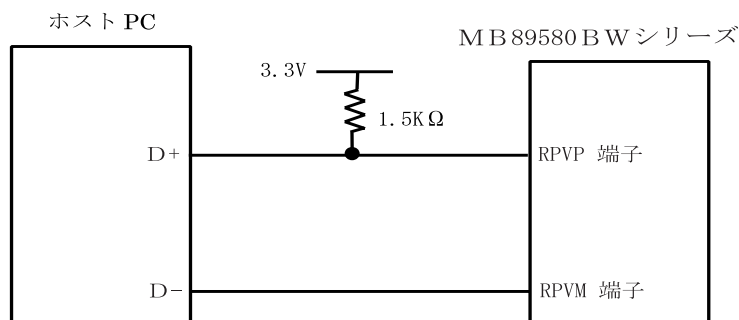
注意：図は Full Speed を想定して記載しています。

図 10.6-1 MB89580Bシリーズ品の接続例

MB89580BWシリーズは以下の処理が必要です。

- 1) 初期設定(USBファンクションレジスタを含むすべての初期化)
- 2) UMDRレジスタのHCONを有効(ホストコントローラとの接続)にします。
(RPVP, RPVM端子はUSB接続が行われるまでの間は、"L"レベルを出力しています)

HCONが無効の間はホストPCとは接続されません。



注意：図は Full Speed を想定して記載しています。

図 10.6-2 MB89580BWシリーズ品の接続例

USBバスリセット

ホストPCからデバイスに通知します。
USBファンクション回路が初期化されます。
デバイスは以下の処理が必要です。

- 1) 構成の初期化(二つ以上のインタフェース番号に対応している場合に最初の番号に戻す)
- 2) DMAC転送先の送受信バッファの準備が整っていたら、UCTRレジスタのBFOK0を有効(DMAC転送許可)にします。

ディスクリプタの取得

ホストPCからデバイスに要求がありデータをホストに通知します。
具体的には以下の三つのステージに別れて通信されます。

セットアップステージ	データステージ	ステータスステージ
------------	---------	-----------

セットアップステージでは、ホストPCからデバイスへ正常にパケットが受信されたか確認し、そのコマンドが何かをデコードします。また次のデータステージで返すディスクリプタの情報を送信用のRAM領域に用意します。データステージではホストPCからデータが正常に送信されたかを確認します。ステータスステージでは、ホストPCがデータ無しパケットの転送をしますので終了処理をします。

10.6.1 コマンド応答時の各レジスタ動作

ここでは基本となるレジスタの動作および制御よりUSBパケットの処理方法(アーキテクチャ)を説明します。

コマンド応答時の各レジスタ動作

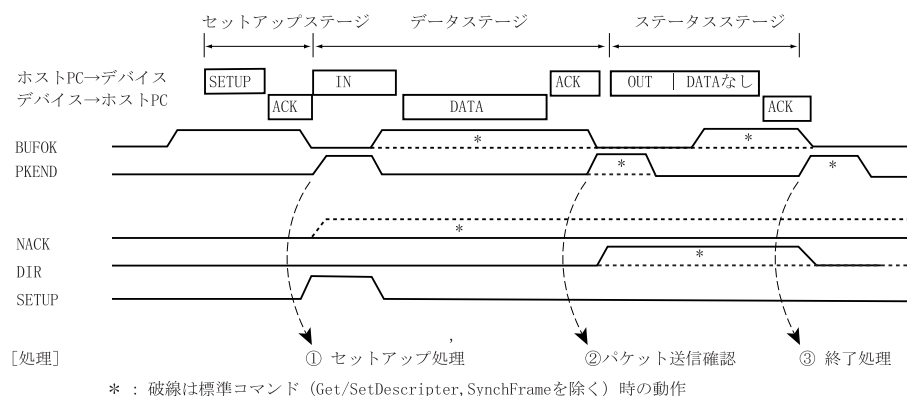


図 10.6-3 コマンド応答時の各レジスタ動作

セッアップ処理

ファームウェアの処理はハンドシェイクごとに処理します。これは「図 10.6-3 コマンド応答時の各レジスタ動作」の各パケットのステージ単位に処理することに等しくなります。図を例に説明します。

セッアップステージのSETUPパケットが来る前にBUFOKを有効にセッします。

その後、セッアップステージを受信したときは、BUFOKがクリアされ、PKENDがセッされます。

PKENDがセッされた時点で、そのパケットに対しNACKフラグがクリアされているか、SETUPが有効かを確認し、コマンドをデコードして各種セッ処理します。NACKフラグがセッされていた場合は、標準コマンドの場合で、自動応答なので以後のステージ処理は行いません。次回のセッアップステージを認識出来るようにSETUPのクリアをしておきます。次にデータステージのパケットを受信するために、PKENDのクリアとBUFOKのセッをします。

パケット送信確認

データステージを受信したときは、BUFOKがクリアされ、PKENDがセッされます。

PKENDがセッされた時点で、そのパケットに対しNACKフラグがクリアされているかを確認し、必要に応じてDMAの転送先RAMのデータを更新、DMAのアドレス変更処理などします。次のステータスステージのパケット受信またはホストからのデータステージ再転送に備え、PKENDのクリアとBUFOKのセッをします。

終了処理

ステータスステージを正常に受信したときは、BF0Kがクリアされ、PKENDがセットされます。

DIRの値により、そのパケットの転送方向がINからOUTの変化でパケットがステータスステージであると確認できます。その後、最終パケットの終了処理を実施します。

USBコマンドの各ステージ受信時の動作を示します。

表 10.6-2 各コマンド時のレジスタ変化

レジスタ値					状 態
BUF0K	PKEND	NACK	DIR	SETUP	
0	0	0	0	0	初期状態。
1	0	0	0	0	パケット待ち状態
0	1	1	0	1	SETUPパケット受信。標準コマンドのINパケット
0	1	0	0	1	SETUPパケット受信。(Get/SetDescriptor, SynchFrame, 標準コマンド以外のクラスベンダコマンドの場合)
0	1	0	1	0	GetDescriptor, SynchFrame, 標準コマンド以外のクラスベンダコマンドのINパケット受信。
0	1	0	0	0	SetDescriptor, 標準コマンド以外のクラスベンダコマンドのOUTパケット受信。
0	1	0	0	0	GetDescriptor, SynchFrame, 標準コマンド以外のクラスベンダコマンドのOUTステータス受信。
0	1	0	1	0	SetDescriptor, 標準コマンド以外のクラスベンダコマンドのINステータス受信。

USB標準コマンドのセットアップステージ受信時の動作

USB標準コマンドのセットアップステージ受信時の動作を示します。

表 10.6-3 標準コマンドのセットアップステージ動作

bRequest	値	レジスタ			ハードウェアの動作	ファームウェアの処理	ホスト PC ハンド シェーク
		MAX	DIR	SETUP			
GetStatus	0	1	0	1	現在のステータスをホストPCに返します。ステータスはUDCハードウェアが自動で応答します。	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
ClearFeature	1	1	0	1	WValueで選択した機能がUDCハードウェア上でクリアされます。	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
-	2	1	0	1	未サポート	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
SetFeature	3	1	0	1	WValueで選択した機能が有効となります。	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
-	4	1	0	1	未サポート	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
SetAddress	5	1	0	1	新規にアドレス番号が設定されます。ホストPCが指定する番号はUDCハードウェアが保持します。	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
GetDescriptor	6	0	0	1	現在のディスクリプタデータをホストPCに返します。データはファームウェアで用意したRAMの内容をDMACが自動で応答します。	DBAR, TDCR0に示すRAM領域にコマンド解釈で得た機能セクタの番号で示すディスクリプタのデータを格納します。次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
SetDescriptor	7	0	0	1	ホストからディスクリプタデータが送られて来ます。データはDMACがRAMに自動で書き込みます。	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
GetConfiguration	8	1	0	1	現在の構成番号をホストPCに返します。番号はUDCハードウェアが自動で応答します。	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
SetConfiguration	9	1	0	1	新規に構成番号が設定されます。ホストPCが指定する番号はUDCハードウェアが保持します。	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
GetInterface	10	1	0	1	現在のインタフェース番号をホストPCに返します。番号はUDCハードウェアが自動で応答します。	次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
SetInterface	11	1	0	1	指定されたインタフェースのオルタネート設定を変更し、SETIFビットをセットします。オルタネート設定は、USTR2レジスタで確認することができます。	インタフェースごとにオルタネート設定を管理することで、各エンドポイントの構成をダイナミックに変更することが可能です。指定されたオルタネート設定に従い、送受信するデータの量や内容などの処理を変更します。 次のSetInterfaceコマンド受信割込みを発生させるために、SETIFビットをクリアします。 次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK
SynchFrame	12	0	0	1	ホストに同期させるフレーム番号を返します。番号はファームウェアで用意したRAMの内容をDMACが自動で応答します。	DBAR, TDCR0に示すRAM領域に同期させるフレーム番号を格納します。次のパケットを受けとるためにBUFOK0を有効にセットします。	ACK

10.6.2 サスペンド機能

USBデバイスは動作していない時はサスペンドにして低消費電力の状態にする必要があります。サスペンド時のデバイスに要求される消費電流はバス電源(USBケーブルから電源を供給)デバイスの構成で、500 μ A以下にする必要があります。これを実現するためにCPU動作モードのスタンバイモードのうち最も低消費電力となるSTOPモード(メインクロックを停止します)に設定する必要があります。

サスペンド処理

USBデバイスコアがサスペンド状態を検出した場合にUSTR1レジスタのSUSPがセットされます。

[処理] これにより以下の処理をする必要があります。

- 1) SUSPステータスのリードおよびクリア
- 2) リモートウェイクアップをサポートするデバイスの場合、2ms(サスペンド時間も含めてUSB仕様は5ms)待ちます。(これはこの時間リモートウェイクアップさせないためです。)
- 3) 以下にサスペンド処理で低消費に有効な項目を示します。(不要な場合もあります)
 - ・汎用ポートの入出力方向の設定
 - ・ユーザシステム内でのプルアップ/プルダウンの電圧レベル合せ
 - ・ユーザ周辺機能の低消費電力化
- 4) 外部割込みEIF、EIEレジスタを有効にします。
- 5) STOPモードのSTBCレジスタのSTPをセットします。

ストップモードの詳細な動作は「3.7.3 ストップモード」を参照してください。

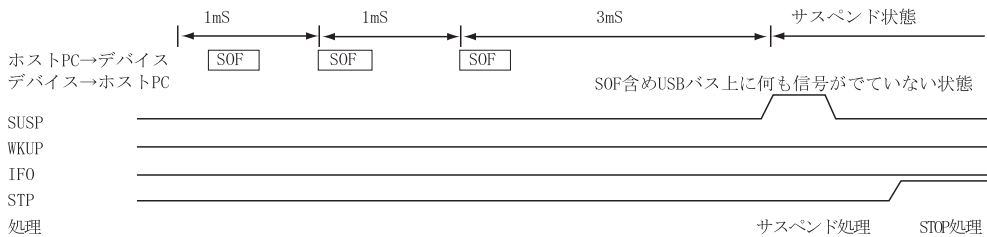


図 10.6-4 サスペンド動作

サスペンドの解除について

サスペンド状態で更にSTOPモードにあるデバイスは以下の信号入力のみで動作を再開します。

- 1) USBバス2本(D+, D-)
- 2) 外部割込み端子(INT0 ~ 7)
- 3) 外部リセット端子($\overline{\text{RST}}$)

USBファンクション回路が再開信号(即ちウェイクアップ状態)を検出した場合にUSTR1レジスタのWKUPがセットされます。

10.6.3 ウェークアップ機能

USBデバイスをサスペンド状態からウェークアップ状態にするにはUSBプロトコルで二つの手段があります。

- ・ デバイスからのリモートウェークアップ
- ・ ホストPCからのウェークアップ

デバイスからのリモートウェークアップ

再開信号は ホストPC デバイスの方向です。

[処理] これにより以下の処理をする必要があります。

- 1) 外部割込みでEIF, EIEレジスタを必要に応じて無効します。
- 2) UMDRのRESUMを有効にします。
- 3) WKUPステータスをリードおよびクリアします。
- 4) 以下のサスペンド処理で実施した低消費化を通常状態に戻します。
 - ・ 汎用ポートの入出力方向の設定
 - ・ ユーザシステム内でのプルアップ/プルダウンの設定
 - ・ ユーザ周辺機能の通常消費電力動作

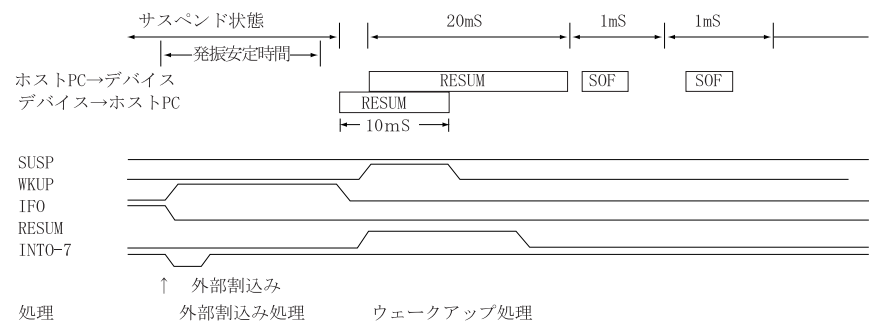


図 10.6-5 デバイスからのウェークアップ動作

ホストPCからのウェークアップ

再開信号はホストPC → デバイスの方向です。

[処理]これにより以下の処理をする必要があります。
デバイスからのリモートウェークアップの項目で3) 4)を実施してください。

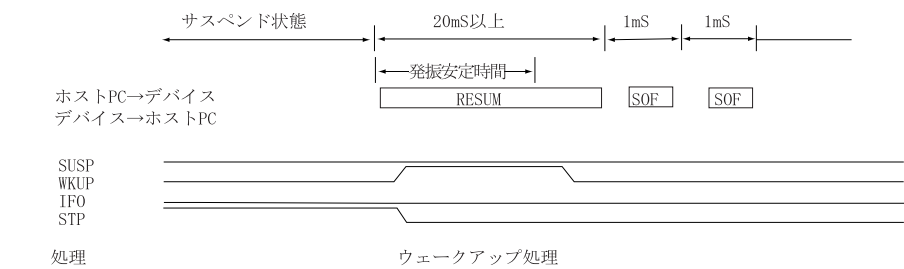


図 10.6-6 ホストからのウェークアップ動作

第11章 UART/SIO

この章では、UART/SIOの機能と動作について説明します。

- 11.1 UART/SIOの概要
- 11.2 UART/SIOの構成
- 11.3 UART/SIOの端子
- 11.4 UART/SIOのレジスタ
- 11.5 UART/SIOの割込み
- 11.6 UART/SIOの動作説明
- 11.7 動作モード0の動作説明
- 11.8 動作モード1の動作説明

11.1 UART/SIOの概要

UART/SIOは、汎用のシリアルデータ通信インターフェースです。クロック同期(シンクロナス)またはクロック非同期(アシンクロナス)で、可変データ長のシリアルデータ転送ができます。転送フォーマットは、NRZ方式で、転送レートは専用ボーレートジェネレータ、外部クロック、または内部タイマによって設定できます。

UART/SIOの機能

UART/SIOは、ほかのCPUや周辺装置とシリアルデータの送受信(シリアル入出力)を行う機能があります。

- 全2重ダブルバッファを持っており、全2重で双方向通信ができます。
- 同期転送モード(シンクロナス)と非同期転送モード(アシンクロナス)が選択できます。
- 内蔵のボーレートジェネレータによって14種類のボーレートが選択できます。また、外部クロック入力によって、自由なボーレートの設定もできます。
- データ長は可変で、パリティなしの場合7～8ビット、パリティありの場合8～9ビットの設定ができます(表 11.1-1)。
- データ転送フォーマットは、NRZ(Non Return to Zero)方式です。

表 11.1-1 UART/SIOの動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	7	8	非同期	1ビットまたは2ビット
	8	9		
1	8		同期	-

11.2 UART/SIOの構成

UART/SIOは、以下の7ブロックで構成されています。

- ・シリアルクロック切替えレジスタ(SCS)
- ・シリアルモード制御レジスタ(SMC1)
- ・シリアルモード制御レジスタ(SMC2)
- ・シリアルレート制御レジスタ(SRC)
- ・シリアルステータスアンドデータレジスタ(SSD)
- ・シリアルインプットデータレジスタ(SIDR)
- ・シリアルアウトプットデータレジスタ(SODR)

UART/SIOのブロックダイアグラム

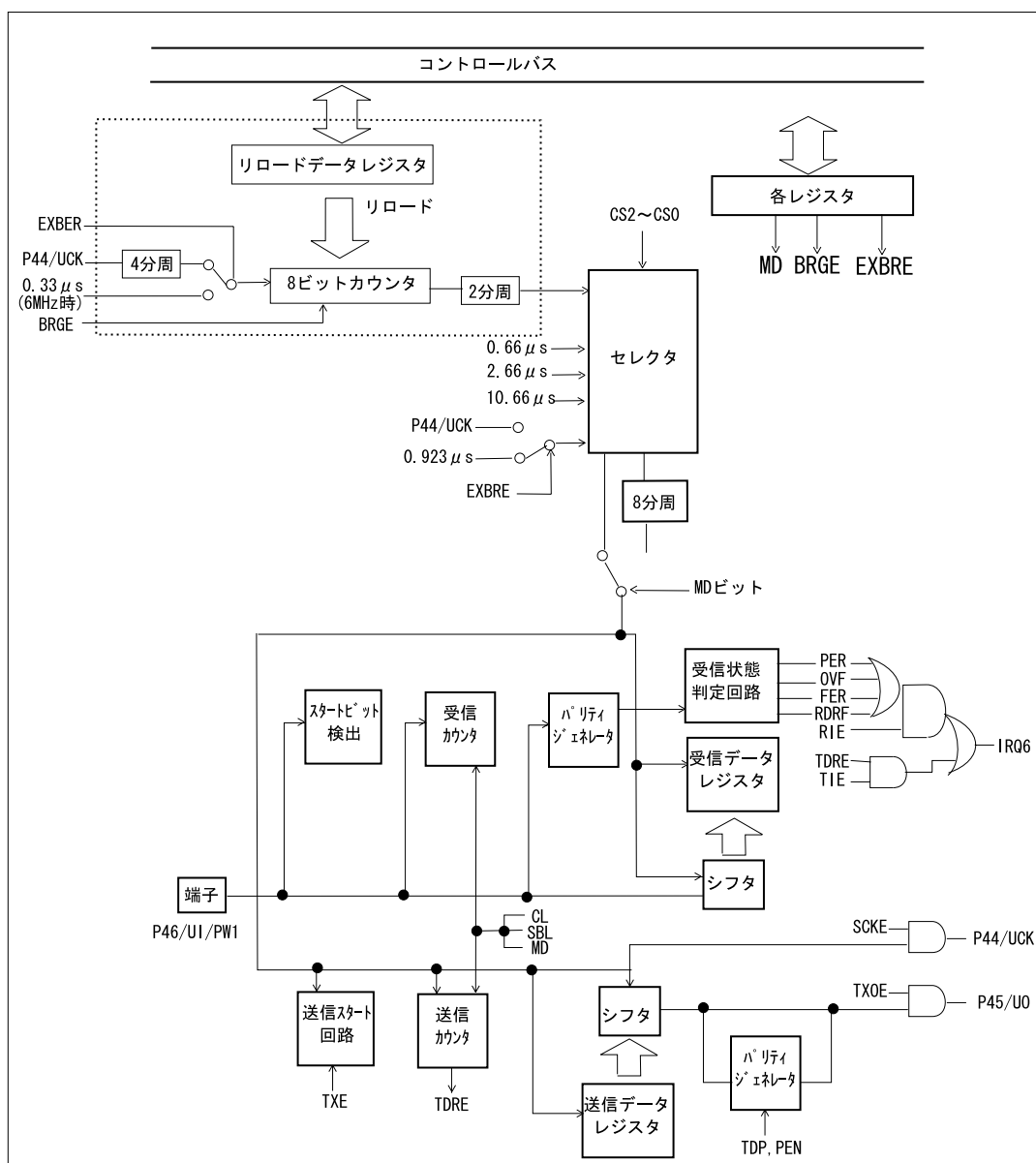


図 11.2-1 UART/SIOのブロックダイアグラム

シリアルクロック切換えレジスタ(SCS)

専用ボーレートジェネレータの入力クロックを内部クロックまたは外部クロックの4分周に切換えるのとセレクト回路でCS2, CS1, CS0=100_bの時選択されるクロックを内部クロック, または外部クロックに切換えるレジスタです。

シリアルモード制御レジスタ(SMC1)

UART/SIOの動作モードを制御するレジスタです。パリティの有無, ストップビット長, 動作モード(データ長), 同期/非同期, シリアルクロックを設定します。

シリアルモード制御レジスタ(SMC2)

UART/SIOの動作モードを制御するレジスタです。シリアルクロック出力の許可/禁止, シリアルデータ出力の許可/禁止, シリアルポートと汎用ポートの切換え, 割込みの許可/禁止を設定します。

シリアルレート制御レジスタ(SRC)

UART/SIOのデータ転送速度(ボーレート)を制御するレジスタです。

シリアルステータス・アンド・データレジスタ(SSD)

UART/SIOの送受信やエラーの状態を示します。

シリアルインプットデータレジスタ(SIDR)

受信データを保持するレジスタです。シリアル入力に変換されてこのレジスタに格納されます。

シリアルアウトプットデータレジスタ(SODR)

送信データを設定するレジスタです。このレジスタに書き込まれたデータが, シリアル変換されて出力されます。

11.3 UART/SIOの端子

UART/SIOに関連する端子，端子のブロックダイアグラムを示します。

UART/SIOに関連する端子

UART/SIOに関連する端子は，クロック入出力端子(P44/UCK)，シリアルデータ出力端子(P45/U0)およびシリアルデータ入力端子(P46/UI)です。これらは使用ポート選択ビット(TX0E:SCKE)によって切り換えられます。

P44/UCK:

汎用入出力ポート(P44)とUART/SIOのクロック入出力端子(ヒステリシス入力)としての機能(UCK)を兼用しています。クロック出力を許可(SMC2:SCKE=1)すると，対応するポート方向レジスタの値に関係なく，UART/SIOのクロック出力端子(UCK)として機能します。このとき，外部クロックは選択しないでください(SMC1:CS2, CS1, CS0=100_b以外)。UART/SIOのクロック入力端子として使用する場合は，クロック出力を禁止(SMC2:SCKE=0)し，対応するポート方向レジスタによって入力ポートに設定(DDR4:bit4=0)してください。このとき，必ず外部クロックを選択(SMC1:CS2, CS1, CS0=100_b)してください。

P45/U0:

汎用入出力ポート(P45)とUART/SIOのシリアルデータ出力端子としての機能(U0)を兼用しています。シリアルデータ出力を許可(SMC2:TX0E=1)すると，対応するポート方向レジスタの値に関係なく，UART/SIOのシリアルデータ出力端子(U0)として機能します。

P46/UI/PW1:

汎用入出力ポート(P46)とUART/SIOのシリアルデータ入力端子(ヒステリシス入力)としての機能(UI)を兼用しています。UART/SIOのシリアルデータ入力端子として使用する場合は，対応するポート方向レジスタによって入力ポートに設定(DDR4:bit6=0)してください。

UART/SIOに関連する端子のブロックダイアグラム

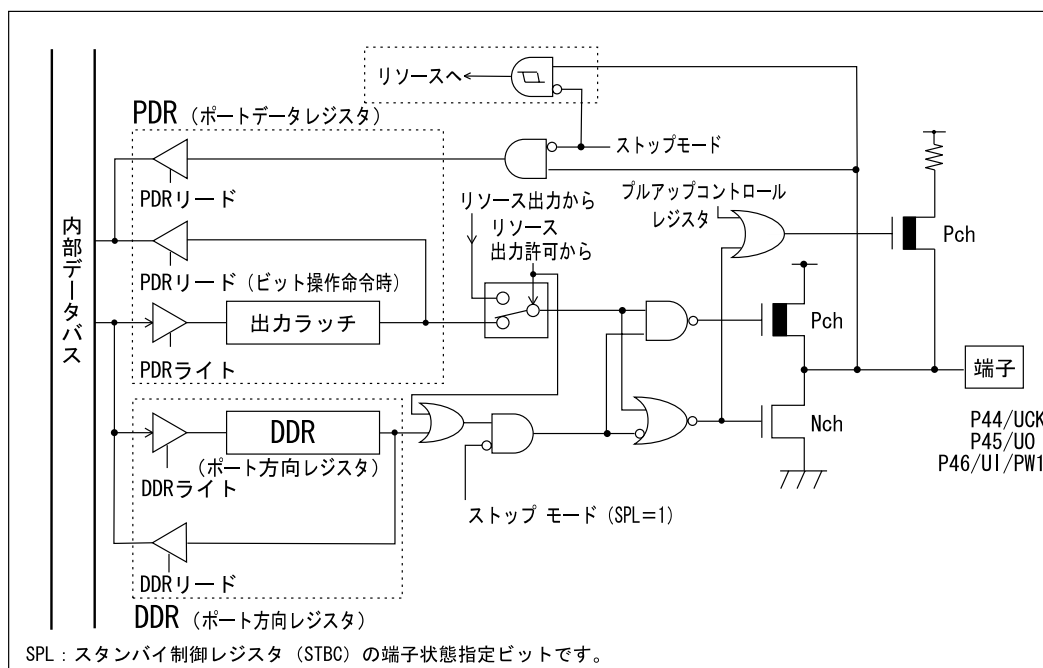


図 11.3-1 UART/SIOに関連する端子のブロックダイアグラム

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップモード(SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中はプルアップは無効となり、Hi-zとなります。

11.4 UART/SIOのレジスタ

UART/SIOに関連するレジスタを示します。

UART/SIOに関連するレジスタ

SCS（シリアルクロック切換えレジスタ）

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 2 D _H	—	—	—	—	—	—	—	EXBRE	XXXXXXX _B
	R/W								

SMC1（シリアルモード制御レジスタ1）

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 2 F _H	MD	PEN	TDP	SBL	CL	CS2	CS1	CS0	0000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

SMC2（シリアルモード制御レジスタ2）

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 3 0 _H	RERC	RXE	TXE	BRGE	TXOE	SCKE	RIE	TIE	0000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

SSD（シリアルステータス&データレジスタ）

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 3 1 _H	PER	OVE	FER	RDRF	TDRE	—	—	—	00001XXX _B
	R	R	R	R	R				

SIDR（シリアルインプットデータレジスタ）

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 3 2 _H									XXXXXXX _B
	R	R	R	R	R	R	R	R	

SODR（シリアルアウトプットデータレジスタ）

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 3 2 _H									XXXXXXX _B
	W	W	W	W	W	W	W	W	

SRC（シリアルレート制御レジスタ）

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 3 3 _H									XXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード・ライト 可能
 R : リードオンリー
 W : ライトオンリー
 — : 未使用
 X : 不定

図 11.4-1 UART/SIOに関連するレジスタ

11.4.1 シリアルモード制御レジスタ1(SMC1)

シリアルモード制御レジスタ1(SMC1)は、UART/SIOの動作モードを制御するレジスタです。パリティの有無，ストップビット長，動作モード(データ長)，同期/非同期，シリアルクロックを設定します。

シリアルモード制御レジスタ1(SMC1)



図 11.4-2 シリアルモードレジスタ1(SMC1)

表 11.4-1 シリアルモード制御レジスタ1(SMC1)の各ビットの機能説明

ビット名		機 能
bit7	MD: モード制御ビット	UARTの動作モードを指定します。非同期モード時には、シリアルクロックの8分周のクロックで動作します。クロック同期モード時は、選択されたシリアルクロックで動作します。
bit6	PEN: パリティ制御ビット	クロック非同期モード時、パリティのあり・なしを設定します。
bit5	TDP: パリティ極性ビット	クロック非同期モード時、シリアル送信時に付加するパリティータを設定します。シリアル受信時は、パリティデータのチェックを行います。
bit4	SBL: ストップビット長制御ビット	クロック非同期モード時のストップビット長を設定します。シリアル送信時は、設定されたビット長のストップビットを付加します。シリアル受信時は、設定値に係かかわらず1ビット長でストップビットの判定を行います。
bit3	CL: キャラクタビット長制御ビット	クロック非同期モード時のキャラクタビット長を設定します。
bit2 bit1 bit0	CS2 CS1 CS0: クロック選択ビット	シリアルクロックを選択します。 CS2, CS1, CS0=100 _b の時外部クロックか内部クロックかの選択は、SCS:EXBREで設定します。

11.4.2 シリアルモード制御レジスタ2(SMC2)

シリアルモード制御レジスタ2(SMC2)は、UART/SIOの動作モードを制御するレジスタです。シリアルクロック出力の許可/禁止、シリアルデータ出力の許可/禁止、シリアルポートと汎用ポートの切換え、割込みの許可/禁止を設定します。

シリアルモード制御レジスタ2(SMC2)

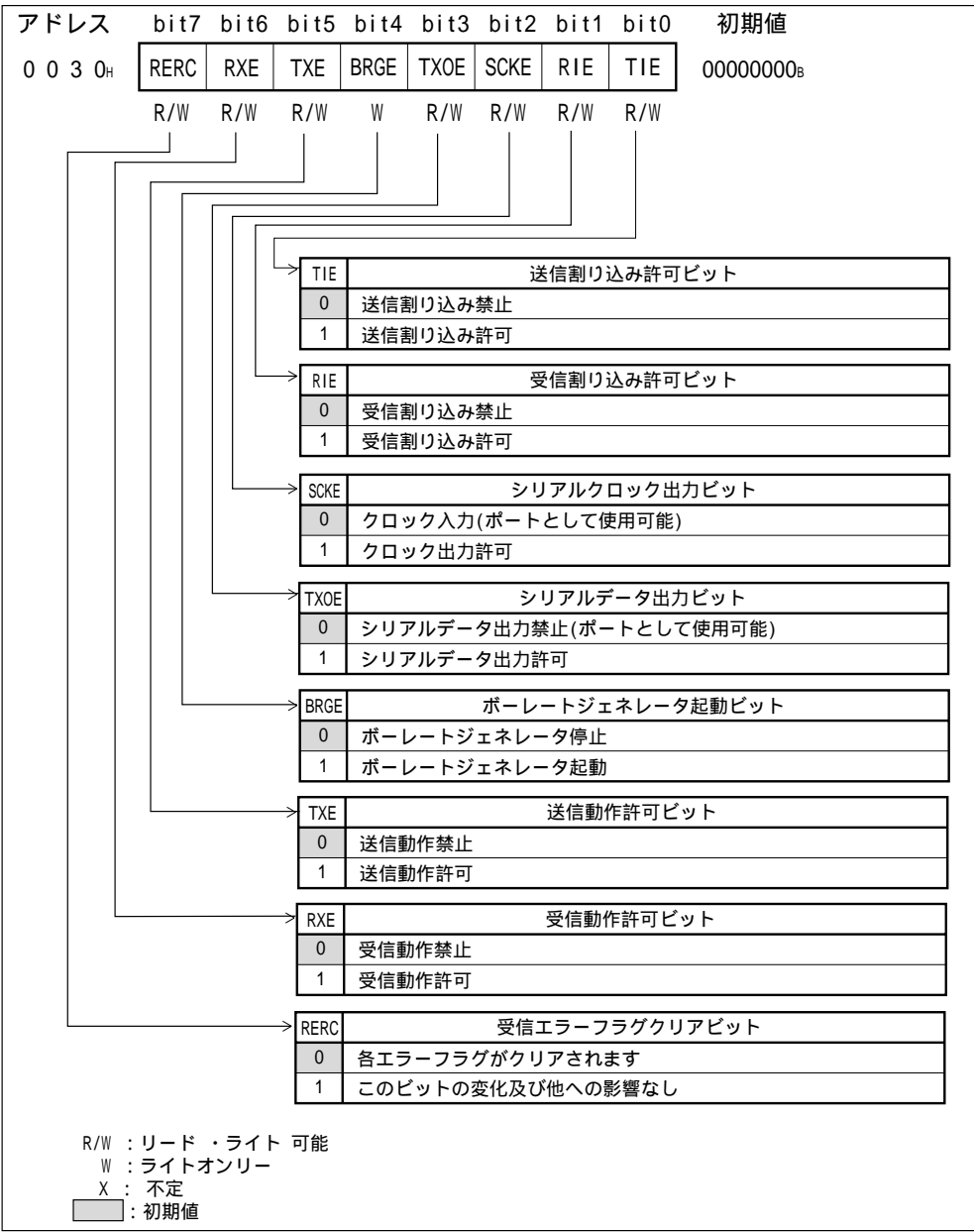


図 11.4-3 シリアルモードレジスタ2(SMC2)

表 11.4-2 シリアルモード制御レジスタ2(SMC2)の各ビットの機能説明

ビット名		機 能
bit7	RERC: 受信エラーフラ グクリアビット	このビットに"0"を書き込むとSSDレジスタの各エラーフラグ (PER/OVR/FER)がクリアされます。読出し時は、常に"1"になります。
bit6	RXE: 受信動作許可 ビット	シリアルデータの受信を許可するビットです。受信動作中にこのビットに"0"を書き込むと、受信が終了してから動作は停止し、受信動作を禁止します。
bit5	TXE: 送信動作許可 ビット	シリアルデータの送信を許可するビットです。送信動作中にこのビットに"0"を書き込むと、送信が終了してから動作は停止し、送信動作を禁止します。
bit4	BRGE: ボーレートジェ ネレータ起動 ビット	ボーレートジェネレータを起動するビットです。
bit3	TXOE: シリアル データ出力ビッ ト	シリアルデータの出力許可・禁止を制御します。
bit2	SCKE: シリアル クロック出力 ビット	クロック同期モード時にシリアルクロックの入出力を制御します。 なお、P44/UCK端子に外部クロックを入力する時は、必ず入力に設定(DDR4のbit4=0)してください。
bit1	RIE: 受信割込み 許可ビット	受信割込みを許可します。RDRFビットが"1"の時、または各エラーフラグが"1"の時に受信割込みを許可すると、直ちに受信割込みが発生します。
bit0	TIE: 送信割込み 許可ビット	送信割込みを許可します。TDREビットが"1"の時に送信割込みを許可すると、直ちに送信割込みが発生します。

11.4.3 シリアルクロック切換えレジスタ(SCS)

シリアルクロック切換えレジスタ(SCS)は、専用ボーレートジェネレータの入力クロックの切換えとセクタ回路に入力されるクロックの切換えを制御するレジスタです。

シリアルクロック切換えレジスタ(SCS)

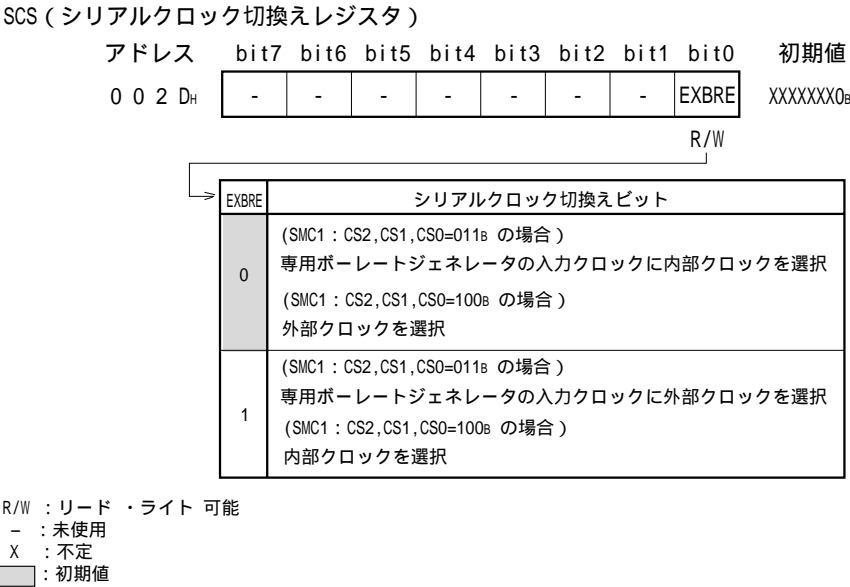


図 11.4-4 シリアルクロック切換えレジスタ(SCS)

表 11.4-3 シリアルクロック切換えレジスタ(SCS)のビット機能説明

ビット名		機 能
Bit0	EXBRE: クロック切換えビット	専用ボーレートジェネレータの入力クロックの切換えと SMC:CS2,CS1,CS0=100 _b 選択時のクロック入力を外部クロックか内部ク ロック(3.25インストラクションサイクル)の切換えを設定します。

11.4.4 シリアルステータス&データレジスタ(SSD)

シリアルステータス&データレジスタ(SSD)は、UART/SIOの送受信やエラーの状態を示します。

シリアルステータス&データレジスタ(SSD)

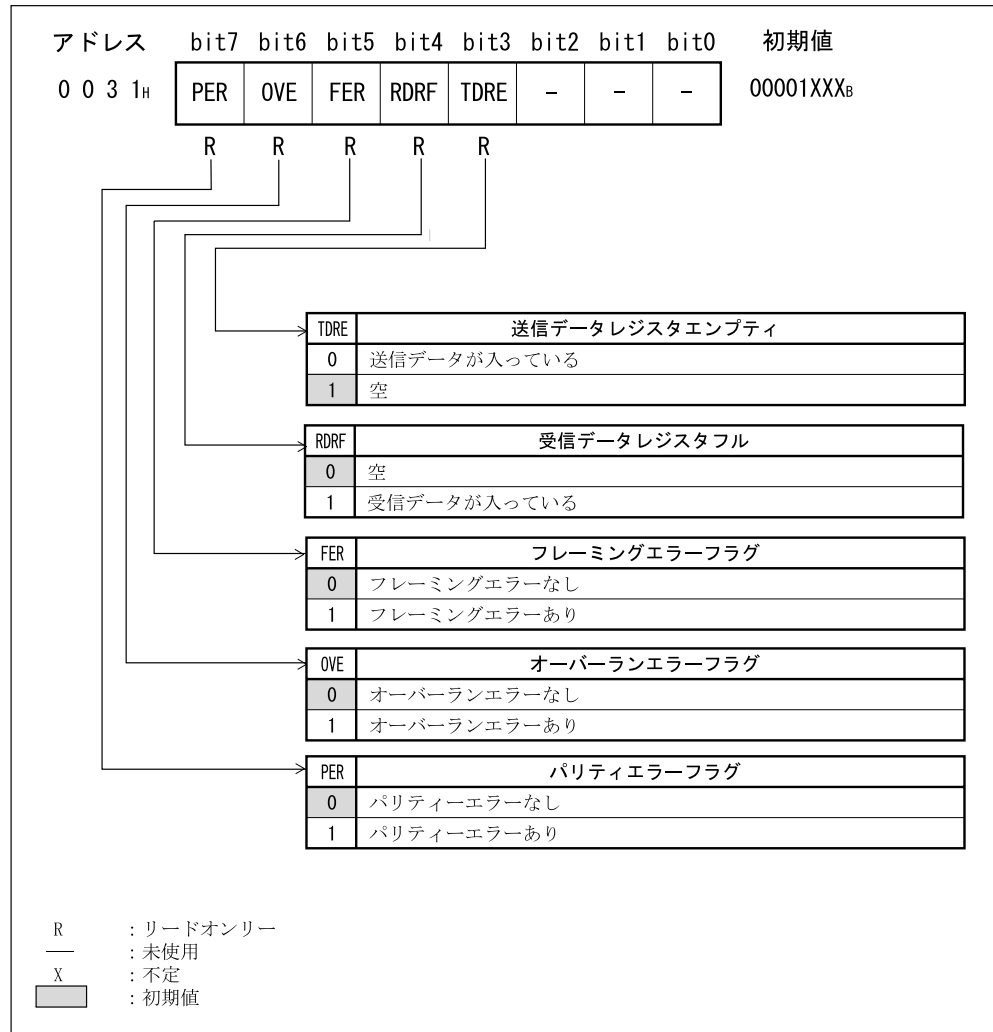


図 11.4-5 シリアルステータス&データレジスタ(SSD)

表 11.4-4 シリアルステータス&データレジスタ(SSD)の各ビットの機能説明

ビット名		機 能
bit7	PER: パリティ エラーフラグ	受信時にパリティエラーが発生するとセットされ、SMC2レジスタのRERCビットに"0"を書き込むことによりクリアされます。このフラグがセットされた場合は、SIDRのデータは無効データとなります。RIEビットが"1"の時に、PERビットがセットされると割込みが発生します。
bit6	OVE: オーバーラン エラーフラグ	受信時にオーバーランエラーが発生するとセットされ、SMC2レジスタのRERCビットに"0"を書き込むことによりクリアされます。このフラグがセットされた場合には、SIDRのデータは無効データとなります。RIEビットが"1"の時に、OVEビットがセットされると割込みが発生します。
Bit5	FER: フレーミング エラーフラグ	受信時にフレーミングエラーが発生するとセットされ、SMC2レジスタのRERCビットに"0"を書き込むことによりクリアされます。このフラグがセットされた場合には、SIDRのデータは無効データとなります。RIEビットが"1"の時に、FERビットがセットされると割込みが発生します。
bit4	RDRF: 受信データ レジスタフル	受信データレジスタ(SIDR)の状態を示すフラグです。SIDRレジスタに受信データがロードされるとセットされ、SIDRレジスタを読み出すとクリアされます。RIEビットが"1"の時に、RDRFビットがセットされると割込みが発生します。
bit3	TDRE: 送信データ レジスタエン プティ	SODR(シリアル送信データレジスタ)の状態を示すフラグです。SODRレジスタに送信データを書き込むとクリアされ、そのデータが送信用シフタにロードされ送信が始まるとセットされます。TIEビットが"1"の時に、TDREビットがセットされると割込みが発生します。

11.4.5 シリアルインプットデータレジスタ(SIDR)

シリアルインプットデータレジスタ(SIDR)は、シリアルデータの入力(受信)用レジスタです。

シリアルインプットデータレジスタ(SIDR)

下図にシリアルインプットデータレジスタのビット構成を示します。

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 3 2 _H									XXXXXX _B
R : リードオンリー	R	R	R	R	R	R	R	R	
X : 不定									

図 11.4-6 シリアルインプットデータレジスタ(SIDR)

受信したデータが格納されるレジスタです。シリアルデータ入力端子(UI端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、このレジスタに格納されます。受信データが正常にこのレジスタにセットされれば、受信データフラグビット(RDRF)が"1"にセットされ、受信割込み要求が許可されていれば割込みが発生します。割込み処理、またはプログラムでRDRFビットをチェックしてこのレジスタに受信データが格納されていれば、このレジスタの内容を読み出すことにより、RDRFフラグがクリアされます。

11.4.6 シリアルアウトプットデータレジスタ(SODR)

シリアルアウトプットデータレジスタ(SODR)は、シリアルデータの出力(送信)用レジスタです。

シリアルアウトプットデータレジスタ(SODR)

下図にシリアルアウトプットデータレジスタのビット構成を示します。

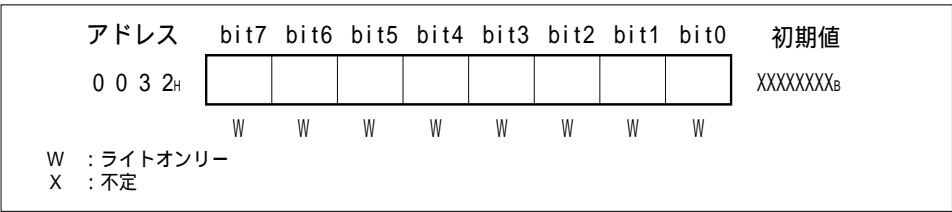


図 11.4-7 シリアルアウトプットデータレジスタ(SODR)

送信許可状態のとき、SSRレジスタをリードしてから送信するデータをこのレジスタに書き込むと、送信データが送信用シフトレジスタに転送され、シリアルデータに変換されて、シリアルデータ出力端子(U0端子)から送出されます。

送信データがSODRレジスタに書き込まれると送信データフラグビットが"0"にセットされます。送信用シフトレジスタに送信データの転送が終了すれば、送信データフラグビットが"1"にセットされ、つぎの送信用データを書き込むことができます。このとき割込み要求が許可されていれば割込みが発生します。つぎの送信データの書き込みは、割込みの発生によるか、または送信データフラグビットが"1"のときに行ってください。

11.4.7 シリアルレート制御レジスタ(SRC)

シリアルレート制御レジスタ(SRC)は、UART/SIOのデータ転送速度(ボーレート)を制御するレジスタです。

シリアルレート制御レジスタ(SRC)

下図にシリアルレート制御レジスタのビット構成を示します。

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0 0 3 3 _H									XXXXXXXX ₈
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード・ライト 可能
 X : 不定

図 11.4-8 シリアルレートレジスタ(SRC)

クロック選択ビットのCS2-0が"011"の時に、シリアルクロックとして専用ボーレートジェネレータが選択されます。このレジスタにより任意のボーレートクロックを設定できます。また、このレジスタへの書込みはUARTの動作停止中に行ってください。

11.5 UART/SIOの割込み

UART/SIOは、割込みに関連したエラーフラグビット(PER, OVE, FER), 受信データフラグビット(RDRF), および送信データフラグビット(TDRE)の三つのフラグと、以下の二つの割込み要因があります。

- ・受信データが受信用シフトレジスタからシリアルインプットデータレジスタ(SIDR)に転送されたとき。
- ・送信データがシリアルアウトプットデータレジスタ(SODR)から送信用シフトレジスタに転送されたとき。

送信割込み

SSDレジスタをリードしてから出力データがSODRレジスタに書き込まれると、SODRレジスタに書き込まれたデータが内部送信用シフトレジスタに転送されます。つぎのデータの書き込みが可能な状態になると、TDREビットが"1"にセットされ、送信割込みが許可(SMC2:TIE=1)されていれば、CPUへの割込み要求(IRQ6)が発生します。

受信割込み

ストップビットまで正常にデータが入力されるとRDRFビットが"1"にセットされます。また、オーバラン・パリティ・フレミングエラーが発生した場合は各エラーフラグビットが"1"にセットされます。

これらのビットは、ストップビット検出時にセットされ、受信割込みが許可(SSD:RIE=1)されていれば、CPUへの割込み要求(IRQ6)が発生します。

UART/SIOの割込みに関連するレジスタとベクトルテーブルアドレス

表 11.5-1 UART/SIOの割込みに関連するレジスタとベクトルテーブルアドレス

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQ6	ILR2(007D _H)	L61(bit 5)	L60(bit 4)	FFEE _H	FFEF _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

11.6 UART/SIOの動作説明

UART/SIOの動作について説明します。

UART/SIOは、通常のシリアル通信機能(動作モード0, 1)があります。

UART/SIOの動作

動作モード

UART/SIOには、2種類の動作モードがあり、クロック同期(SIO)とクロック非同期(UART)の選択ができます。(「表 11.1-1 UART/SIOの動作モード」参照)。

11.7 動作モード0の動作説明

動作モード0は、クロック非同期モードとして動作します。

UART/SIOの動作モード0の動作説明

シリアルクロックの選択は、SMC1 レジスタのCS2～CS0ビットで行い、内部クロック3種類、外部クロック、ボーレートジェネレータの出力の5とおりから選択できます。外部クロックを選択しているときは、常にクロックを入力してください。

CLK非同期モード時は、CS2～CS0ビットで選択されたシフトクロックの8分周になり、選択されたボーレートの-2%から+2%までの範囲で転送可能です。内部・外部クロック、およびボーレートジェネレータによるボーレート算出式を以下に示します。

内部・外部クロックによるボーレート算出式

SMC1(CS2,CS1,CS0=000_B,001_B,010_B)選択時、およびCS2,CS1,CS0=100_B選択でSCS(シリアルクロック切換えレジスタ)のEXBREビットを"0"とした時は、以下の算出式となります。

$$\text{ボーレート値} = \frac{1}{8 \times \boxed{\text{CS2} \sim \text{CS0} \text{にて選択されたクロックの周期}}} \quad [\text{bps}]$$

SMC1(CS2～CS0=100_B)選択でEXBREビットを"1"とした時のボーレート算出式

CS2,CS1,CS0=100_B選択時、EXBREビットを"1"とした時のボーレート算出式は以下ようになります。

$$\text{ボーレート値} = \frac{1}{8 \times 13 \times 1/\text{Fch}} \quad [\text{bps}]$$

Fch : メインクロック発振周波数

[例 : Fch=12MHz時]

$$\text{ボーレート値} = \frac{1}{8 \times 13 \times 1/12 \text{ MHz}} \quad \div 115384 \quad [\text{bps}]$$

専用ボーレートジェネレータ使用時のボーレート算出式

CS2,CS1,CS0=011_b選択時, EXBREビットを"0"とした時のボーレート算出式は以下のようになります。

$$\text{ボーレート値} = \frac{1}{8 \times 2 \times \begin{matrix} 64/F_{CH} \\ 16/F_{CH} \\ 8/F_{CH} \\ 4/F_{CH} \end{matrix} \times \text{SRCレジスタ値 (SRC)}} \quad [\text{bps}]$$

クロック^{*}7選択

F_{CH} : メインクロック発振周波数

専用ボーレートジェネレータ使用時で外部クロックを選択した時のボーレート算出式

CS2,CS1,CS0=011_b選択時, EXBREビットを"1"とした時のボーレート算出式は以下のようになります。

$$\text{ボーレート値} = \frac{1}{8 \times 4 \times 2 \times 1 \div F_{EX} \times \text{SRCレジスタ値 (SRC)}} \quad [\text{bps}]$$

F_{EX} : 外部クロック周波数

表 11.7-1 ボーレートジェネレータによる非同期時転送レート(例)

使用周波数 ^{*1}	12MHz	10MHz	8MHz	7.3728MHz	4.9152MHz
ボーレート ()内はSRC レジスタ設定 値 ^{*2}	-	78125 (n=2)	-	-	76800 (n=1)
	-	39062 (n=4)	-	38400 (n=3)	38400 (n=2)
	-	19531 (n=8)	-	19200 (n=6)	19200 (n=4)
	-	9765 (n=16)	9615 (n=13)	9600 (n=12)	9600 (n=8)
	4807 (n=39)	4882 (n=32)	4807 (n=26)	4800 (n=24)	4800 (n=16)
	2403 (n=78)	2403 (n=65)	2403 (n=52)	2400 (n=48)	2400 (n=32)
	1201 (n=156)	1201 (n=130)	1201 (n=104)	1200 (n=96)	1200 (n=64)
	-	-	600 (n=208)	600 (n=192)	600 (n=128)

^{*1}: 専用ボーレートジェネレータ使用時のクロック周波数(F_{CH}, F_{EX})

^{*2}: ただし, 内部クロック選択時にはクロックギア最高速とした場合の例

転送データフォーマット

UARTは、NRZ(Non Return to Zero)形式のデータのみを扱えます。下図にデータフォーマットを示します。ストップビット長が2ビットの場合を示します。

下図に示されるように、転送データは必ずスタートビット("L"レベル)より始まり、LSBファーストで指定されたデータビット長転送が行われ、ストップビット("H"レベル)で終了します。アイドル時は"H"レベルになります。

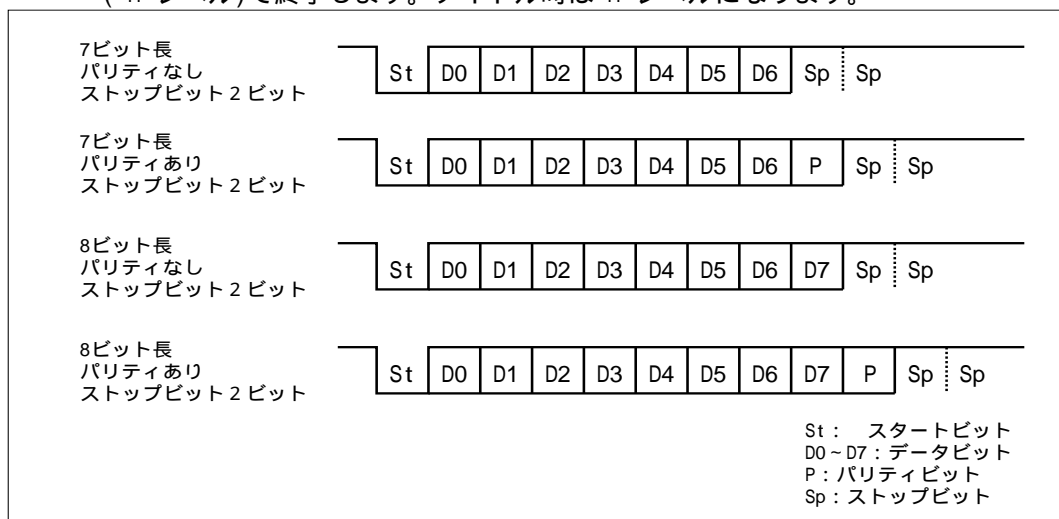


図 11.7-1 転送データフォーマット

CLK非同期モードの受信動作

SMC1レジスタのCS2～CS0ビットで、ボーレートクロックを選択します。ボーレートクロックは、クロックの選択を参照してください。受信動作は、SMC2レジスタのRXEビットが"1"の時に受信が許可され、入力データの最初の立下がり(スタートビットの検出)で受信動作が開始されます。受信動作が終了すると、SSDレジスタのRDRFビットが"1"にセットされ、SIDRレジスタに受信データがロードされます。また、RIEビットが"1"の時にRDRFビットが"1"にセットされると、CPUへの受信割り込みが発生します。受信終了時に三つのエラー(PER/OVE/FER)のいずれかのエラーがある時は、RDRFビットは"1"にセットされず、受信データはSIDRへロードされませんので、SIDRレジスタの値は前に受信したデータになります。また、RXEビットを"0"にしない限り、エラーフラグがあってもスタートビットを検出すると受信動作は続行されます。

受信動作中にSMC2レジスタのRXEビットに"0"を書き込むと、データの受信が終了してから受信動作を禁止します。

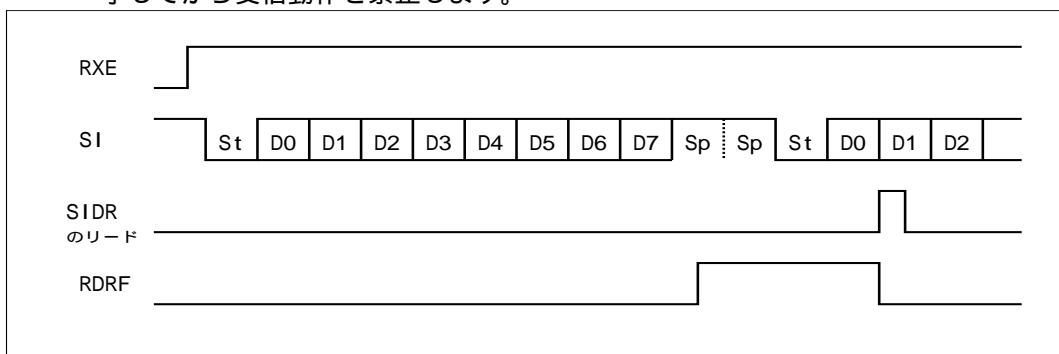


図 11.7-2 CLK非同期モードの受信動作

CLK非同期モード時の受信エラー

CLK非同期モード時には、三つのエラー検出を行います。三つのエラーは、パリティエラー・オーバーランエラー・フレーミングエラーで、エラーが検出されるとSSDレジスタのPERビット・OVEビット・FERビットがそれぞれ"1"にセットされます。

これらのエラーの検出は以下のように受信終了時に行われ、これらのエラーが検出されたときは、RDRFはセットされず、SIDRレジスタへの受信データのロードは行われませんので、SIDRレジスタの値は前の受信データになります。また、これらのエラーフラグは、SCM2レジスタのRERCビットに"0"を書き込むことで、三つのエラーフラグがすべてクリアされます。

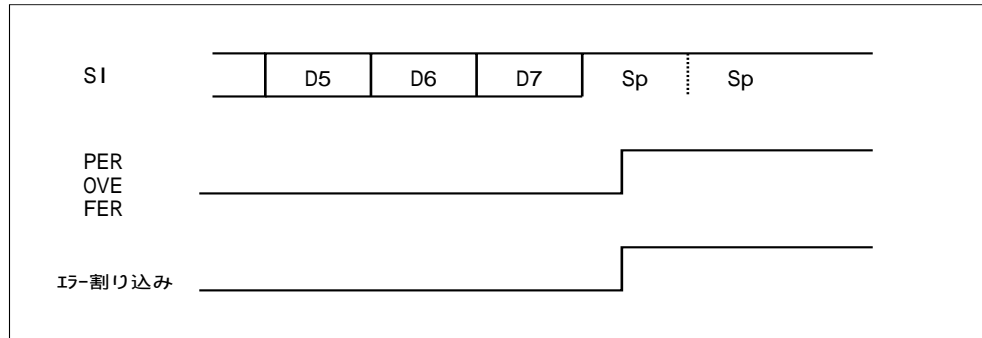


図 11.7-3 受信エラーのセットタイミング

受信動作時のスタートビットの検出

スタートビットは、入力データの最初の立下がりがあったから選択されたシリアルクロック(ジェネレータの出力等)で4クロック分の"L"レベルがあるとスタートビットとみなします。スタートビットの検出後は、シリアルクロックの5クロックめの立上がりでデータをサンプリングします。

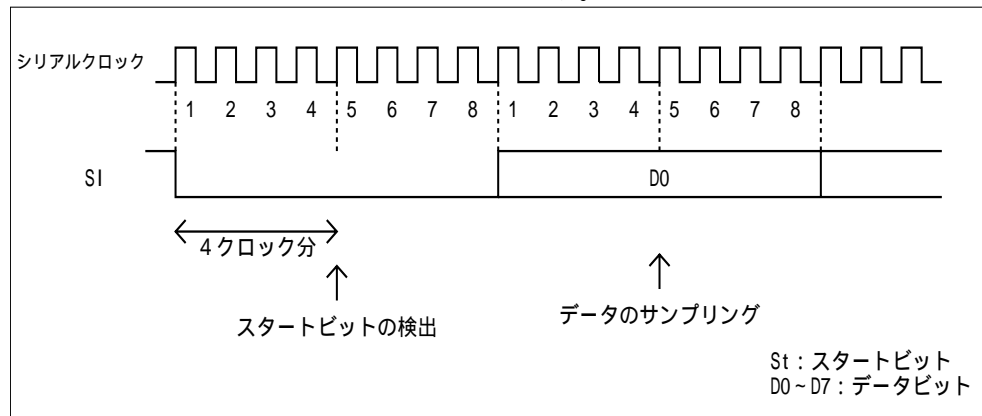


図 11.7-4 スタートビットの検出

CLK非同期モードの送信動作

SMC2レジスタのTXEビットが"1"の時、SODRレジスタに送信データを書き込むとSSDレジスタのTDREビットがクリアされ送信動作が開始されます。SODRレジスタのデータがシフタにロードされて送信データの出力が始まると、SSDレジスタのTDREビットがセットされます。送信動作中(TDREビットが"1"の時)に、SODRレジスタへデータを書き込むと、TDREビットがクリアされて、指定されたビット長の送信動作の終了後に連続して送信動作を行います。

また、送信動作中にSMC2レジスタのTXEビットに"0"を書き込むと、SODRレジスタが空(TDREビットが"1")の時は、指定したビット長の送信動作が終了してから送信動作を禁止します。SODRレジスタにデータがある(TDREビットが"1")時は、SODRレジスタのデータを送信してから送信動作を禁止します。

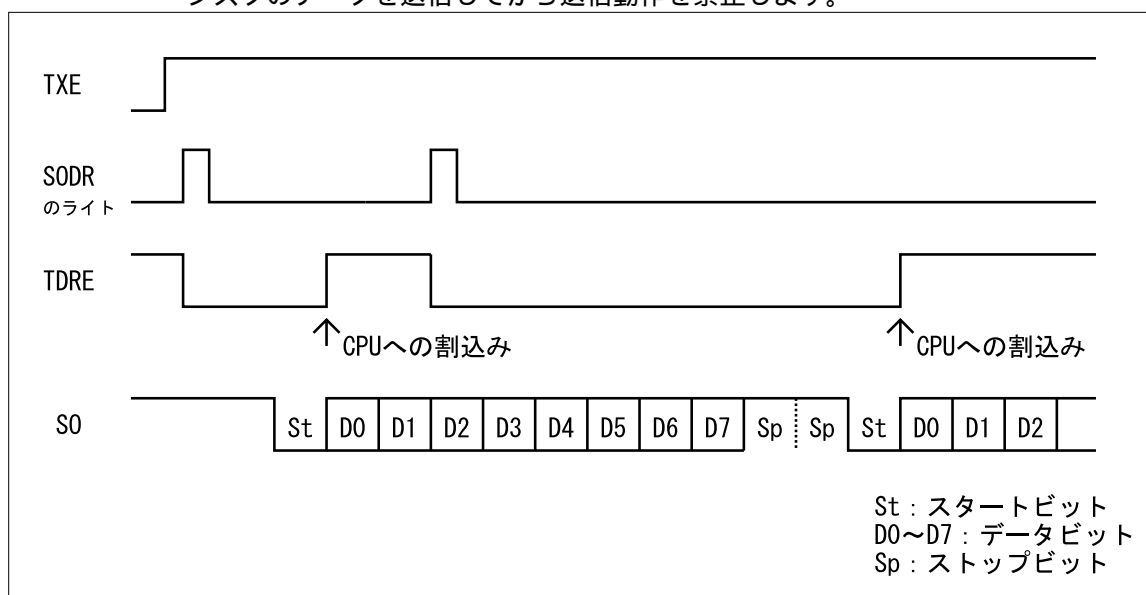


図 11.7-5 CLK非同期モードの送信動作

11.8 動作モード1の動作説明

動作モード1は、クロック同期モードとして動作します。

UART/SIOの動作モードの動作説明

CLK同期モードでは、SMC1レジスタのCS2～CS0ビットで行い、内部クロック3種類・外部クロック・ポーレートジェネレータの出力から選択します。選択されたクロックをシフトクロックとして、シフト動作を行います。外部クロックを入力する時は、SCKEビットは"0"にしてください。

また、内部クロックか、ポーレートジェネレータの出力をシフトクロックとして出力する時は、SCKEビットを"1"にしてください。内部・外部クロックおよびポーレートジェネレータによるポーレート算出式を以下に示します。

内部・外部クロックによるポーレート算出式

SMC1(CS2,CS1,CS0 = 000B,001B,010B)選択、および CS2,CS1,CS0 = 100B選択でSCS(シリアルクロック切換えレジスタ)のEXBREビットを"0"とした時は以下の算出式となります。

$$\text{ポーレート値} = \frac{1}{\boxed{\text{CS2～CS0にて選択されたクロックの周期}}} \quad [\text{bps}]$$

SMC1(CS2,CS1,CS0 = 100B)選択でEXBREビットを"1"とした時のポーレート算出式

CS2,CS1,CS0 = 100B選択時、EXBREビットを"1"とした時は以下の算出式となります。

$$\text{ポーレート値} = \frac{1}{13 \times 1 \div F_{\text{CH}}} \quad [\text{bps}]$$

F_{CH} : メインクロック発振周波数

専用ポーレートジェネレータ使用時で内部クロックを選択した時のポーレート算出式

CS2,CS1,CS0 = 011B選択時、EXBREビットを"0"とした時は以下の算出式となります。

$$\text{ポーレート値} = \frac{1}{2 \times \boxed{\begin{matrix} 64/F_{\text{CH}} \\ 16/F_{\text{CH}} \\ 8/F_{\text{CH}} \\ 4/F_{\text{CH}} \end{matrix}} \times \boxed{\text{SRCレジスタ値 (SRC)}}} \quad [\text{bps}]$$

クロック*7選択

F_{CH} : メインクロック発振周波数

専用ボーレートジェネレータ使用時で外部クロックを選択した時のボーレート算出式

CS2, CS1, CS0 = 011B選択時, EXBREビットを"1"とした時は以下の計算式になります。

$$\text{ボーレート値} = \frac{1}{4 \times 2 \times 1/F_{\text{ex}} \times \text{SRCレジスタ値 (SRC)}} \quad [\text{bps}]$$

F_{ex} : 外部クロック周波数

8ビット受信動作

受信動作は, TXE/RXEビットを"1"にすることで許可され, SODRレジスタへの書き込みで起動がかかり, シフトクロックの立ち上がりで同期して受信動作を行います。8ビットデータの受信が終了すると, シフトのデータをSIDRレジスタへロードして, RDRFフラグが"1"にセットされ, RIE="1"の時は, CPUへの割り込み要求を発生します。受信終了時に, オーバランエラーが発生している場合は, SIDRレジスタにデータのロードが行われません。受信動作中にRXEビットに"0"を書き込むと8ビットのデータ受信後に受信動作を停止します。シリアル動作の停止状態(RXEビットの値にかかわらず)ではシリアルクロックの入力は, 常に"H"レベルにしてください。

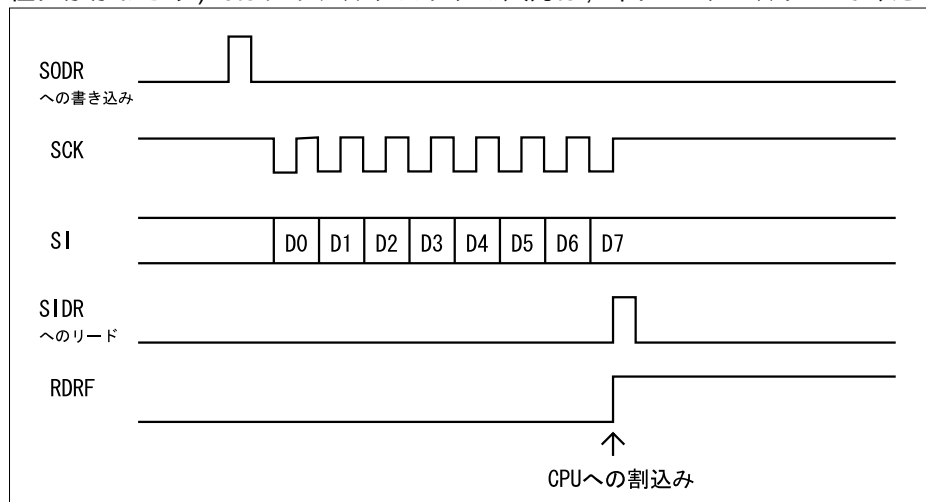


図 11.8-1 CLK同期モードの8ビット受信動作

連続受信動作

CLK同期モードでは、8ビットのデータ受信のほかに連続して受信動作を行うことができます。使用するビットは、8ビット受信時の使用ビットに加え、SMC2レジスタのTIEビット、SSDレジスタのTDREビットも使用します。受信動作は、TXE/RXEビットを"1"にすることで許可され、SODRレジスタへの書き込みで起動がかかり、シフトクロックの立上がり同期して受信動作を行います。シフト動作が開始するとTDREビットが"1"にセットされ、TIE="1"の時はCPUに対して割り込みを発生します。8ビットのシフト動作が終了する前にSODRレジスタへ書き込みを行うことで、次のシフト動作が許可され、8ビットデータの受信後も連続して受信動作を行います。8ビットデータの受信が終了すると、シフトのデータをSIDRレジスタへロードして、RDRFフラグが"1"にセットされ、RIE="1"の時は、CPUへの割り込み要求を発生します。受信終了時に、オーバーランエラーが発生している場合は、SIDRレジスタへのロードが行われませんので、SIDRレジスタの内容は前の受信データになります。また、SIDRレジスタのリードにより受信割り込み(RDRF)はクリアされます。受信動作の停止は、RXEビットに"0"を書き込むことで停止します。受信動作中にRXEビットに"0"を書き込むと8ビットのデータ受信後に受信動作を停止します。

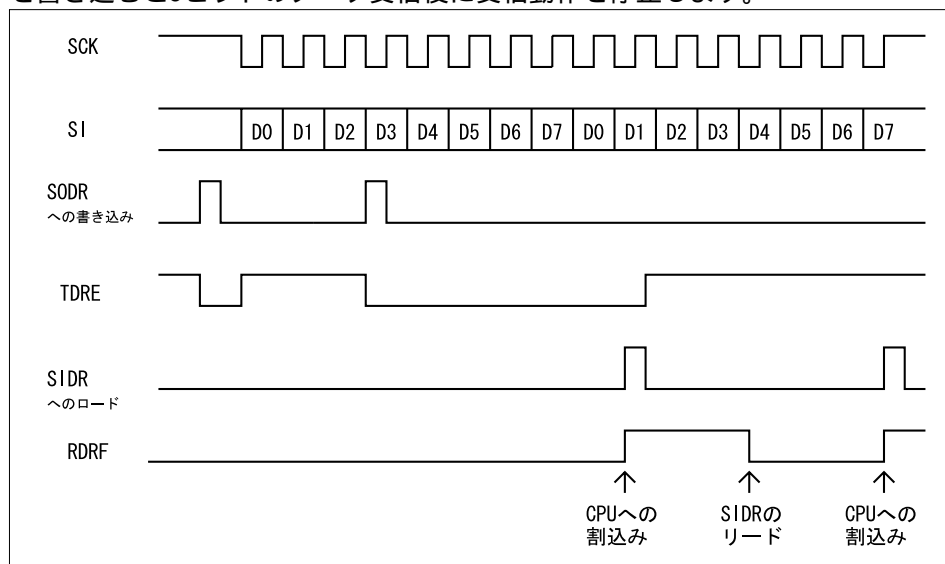


図 11.8-2 CLK同期モードの連続受信動作

8ビット送信動作

送信動作の起動は、TXE/RXEビットを"1"にしてから、SODRレジスタへの書き込むことで行います。送信動作に起動がかかると、SODRレジスタに書かれたデータをシフトへロードしてからシフト動作を行います。SODRレジスタのデータをシフトへロードすると、TDREフラグが"1"にセットされ、TIE="1"の時は、CPUへの割り込み要求が発生します。シリアルデータの出力は、TXOE="1"で許可されシフトクロックの立下がりに同期して出力されます。

送信動作中にTXEビットに"0"を書き込むと8ビットのデータ送信後に送信動作を停止します。また、8ビット送信後にRDRFビットが"1"にセットされ、RIE="1"ならCPUに対して割り込みが発生します。転送方向は、ビット0から送信されビット7で終了します。シリアル動作の停止状態(TXEビットの値に係わらず)ではシリアルクロックの入力は、常に"H"レベルにしてください。

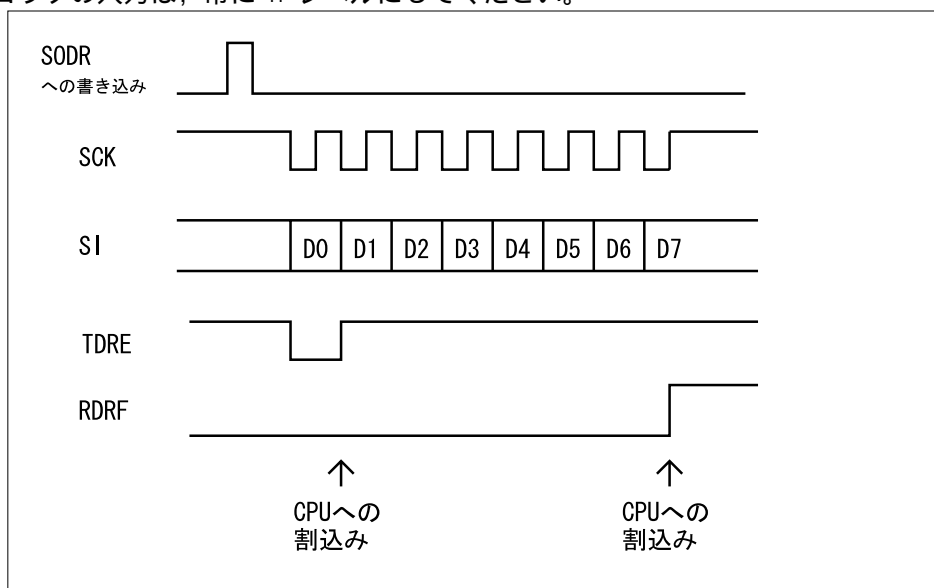


図 11.8-3 CLK同期モードの8ビット送信動作

連続送信動作

CLK同期モードでは、8ビットのデータ送信のほかに連続して送信動作を行うことができます。TXE/RXEビットを"11"にしてから、SODRレジスタへデータを書き込むことで行います。送信に起動がかかると、SODRレジスタに書かれたデータをシフタへロードしてからシフト動作を行います。SODRレジスタのデータをシフタへロードすると、TDREフラグが"1"にセットされ、TIE="1"の時は、CPUへの割込み要求が発生します。

連続動作は、送信動作中にTDREビットが"1" (SODRレジスタが空)の時にSODRレジスタへ次の送信データを書き込むことで行われます。SODRへの書き込みでTDREビットがクリアされ、イビットデータ送信後に、SODRレジスタに書かれたデータをシフタにロードして、送信動作を続けます。送信データの停止は、TXEビットに"0"を書き込むことで停止します。送信動作中にTXEビットに"0"を書き込むと、SODRレジスタが空(TDREビットが"1")の時は8ビットのデータ送信後に送信動作を停止します。また、SODRレジスタにデータがある(TDREビットが"0")時は、SODRレジスタのデータを送信してから送信動作を停止します。また、8ビットのデータ送信終了時にRDRFビットが"1"にセットされ、RIE="1"の時にCPUに対して割込みが発生します。

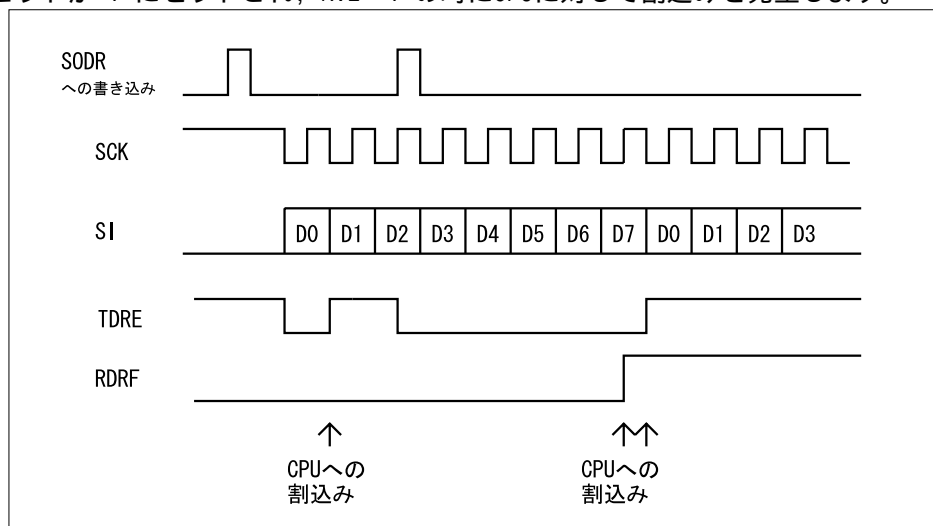


図 11.8-4 CLK同期モードの連続送信動作

第12章 クロック出力機能

この章では、クロック出力機能と動作について説明します。

12.1 クロック出力の概要

12.2 クロック出力の端子(CLK)

12.3 クロック出力のレジスタ

12.1 クロック出力の概要

クロック出力機能は、原振クロックをPLLで逡倍・分周した波形をポートから出力する機能です。

クロック出力機能

クロック出力機能は、原振クロックをPLLで逡倍・分周した波形(周波数は原振クロックと同じです)をポートから出力する機能です。出力ポートは以下のようになります。

- 原振クロックを逡倍・分周した波形: $P30/\overline{INT0}/CLK$

なお、原振クロックを逡倍し、分周した波形(CLK)の出力を設定される場合は、外部割込み入力許可ビットを割込み入力禁止(EIE: IE0=0)としてください。

12.2 クロック出力の端子(CLK)

クロック出力(CLK)に関連する端子，端子のブロックダイアグラムを示します。

クロック出力(CLK)に関連する端子

クロック出力(CLK)に関連する端子は，P30/ $\overline{\text{INT0}}$ /CLK端子であり，汎用入出力ポートとしての機能(P30)，外部割込み入力端子($\overline{\text{INT0}}$)としての機能，クロック出力ポートとしての機能(CLK)を兼用しています。

CLK：

原振クロックと同周波数の波形(CLK)が出力されます。なお，原振クロックと同周波数の波形(CLK)の出力を設定される場合は，外部割込み入力許可ビットを割込み入力禁止(EIE:IE0=0)としてください。

クロック出力に関連する端子のブロックダイアグラム

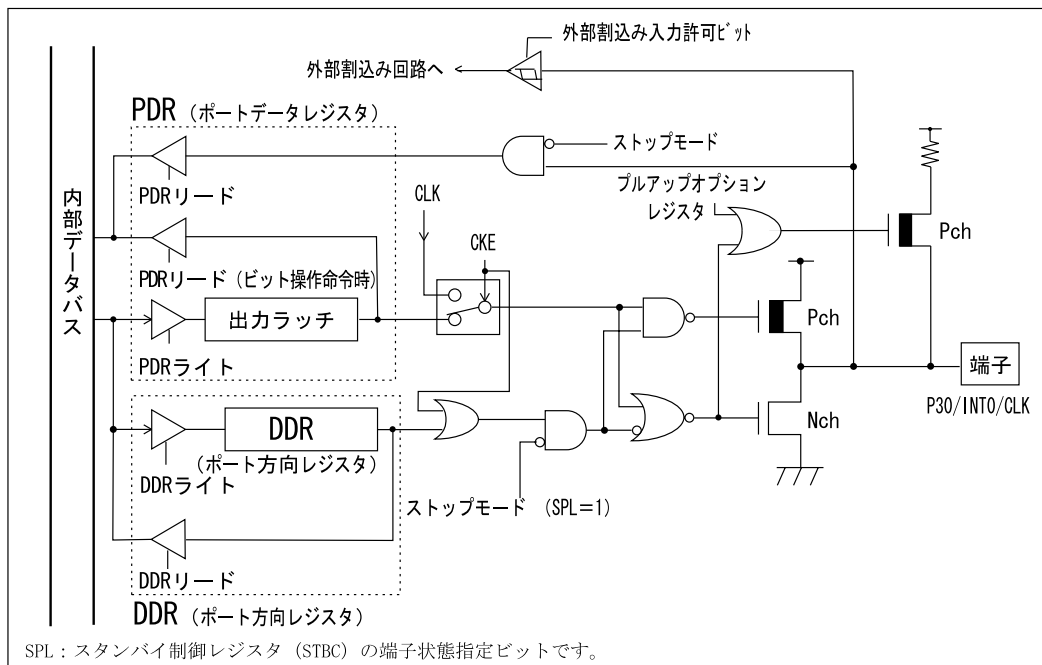


図 12.2-1 クロック出力に関連する端子のブロックダイアグラム

参考：

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合，ストップモード(SPL=1)における端子の状態は，ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし，リセット中はプルアップは無効となり，Hi-zとなります。

12.3 クロック出力のレジスタ

クロック出力に関連するレジスタを示します。

クロック出力制御レジスタ (CKR)

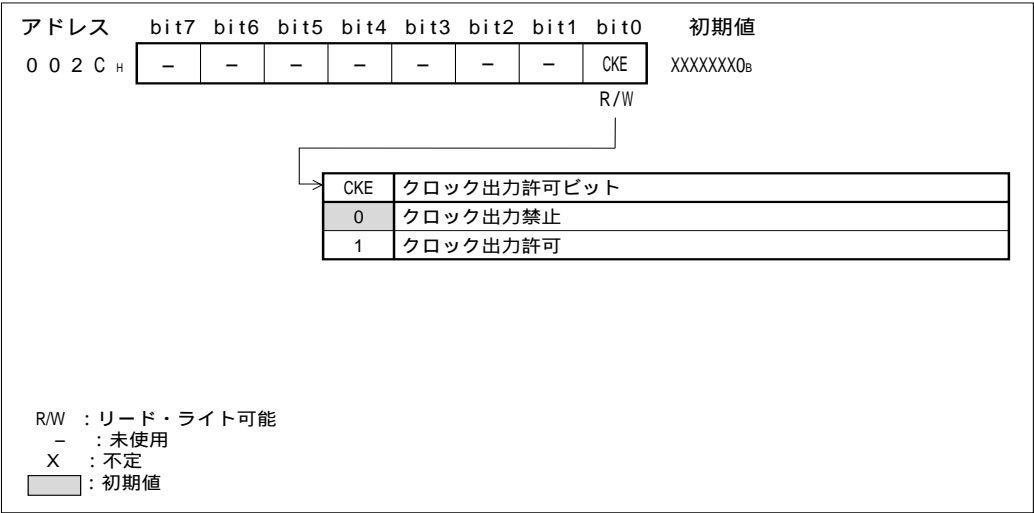


図 12.3-1 クロック出力制御レジスタ(CKR)

表 12.3-1 クロック出力制御レジスタ(CKR)の各ビットの機能説明

ビット名		機能
bit7 bit6 bit5 bit4 bit3 bit2 bit1	未使用ビット	・リード時の値は不定です。 ライト時は必ず"0"を書き込んでください。
Bit0	CKE: クロック出力許可ビット	・クロック波形の出力許可を行うビットです。

第13章 プルアップオプション

この章では、プルアップオプションについて説明します。

13.1 プルアップオプションの概要

13.2 プルアップオプション設定レジスタ

13.1 プルアップオプションの概要

プルアップオプションは、ポート0,1,2,3,4,5にプルアップを設定する機能です。

プルアップオプション

プルアップオプションにより、ポート0,1,2,3,4,5の各端子をプルアップすることができます。設定は、プルアップオプションレジスタへの設定(書込み)により、1ピンごとに設定することができます。

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップモード(SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中のプルアップは無効となり、Hi-zとなります。

13.2 プルアップオプション設定レジスタ

プルアップオプションを設定するレジスタを示します。

プルアップオプション設定レジスタ(PURR0,1,2)

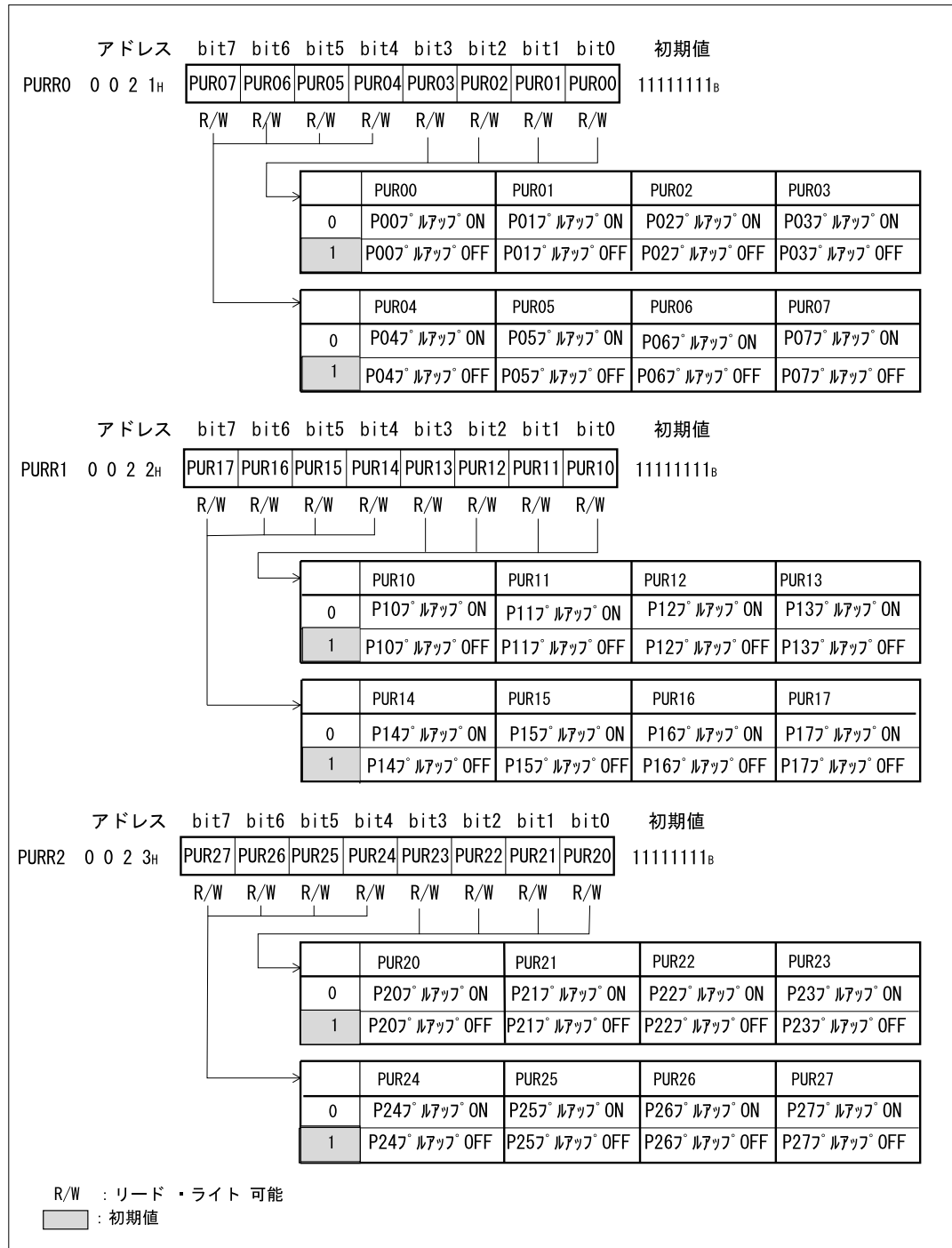


図 13.2-1 プルアップオプション設定レジスタ(PURR0,1,2)

プルアップオプション設定レジスタ(PURR3,4,5)

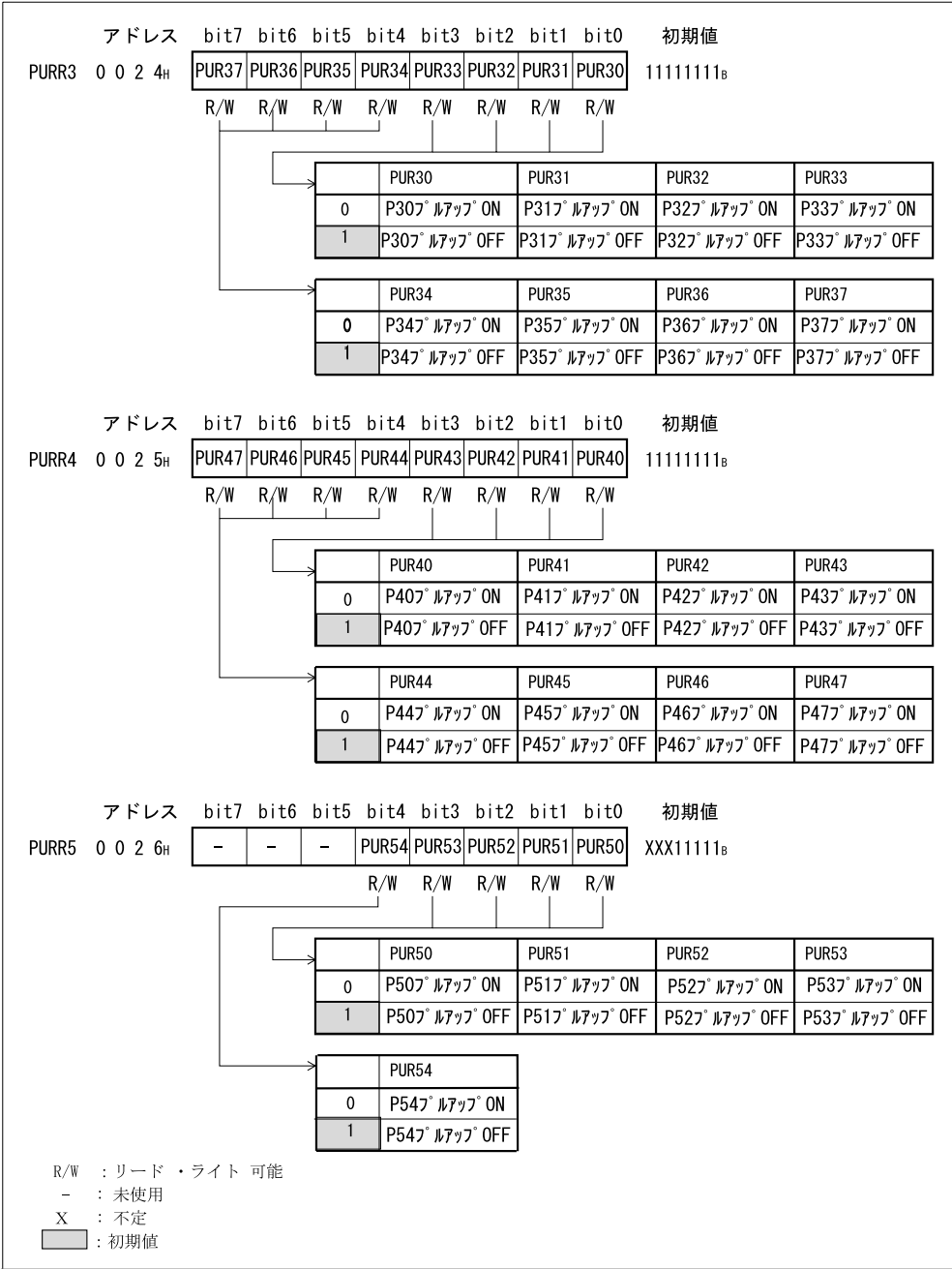


図 13.2-2 プルアップオプション設定レジスタ(PURR3,4,5)

付録

ここでは、I/Oマップ、命令一覧表などを掲載します。

- A I/Oマップ
- B 命令概要
- C ワンタイムPROM,EPRROMマイコンの書込み仕様
- D MB89580B/BWシリーズの端子状態

A I/Oマップ

MB89580B/BWシリーズに内蔵された周辺機能の各レジスタには、下表に示すアドレスが割り当てられています。

I/Oマップ

付表 A-1 I/Oマップ(続く)

アドレス	レジスタ略称	レジスタ名称	書込み/読出し	初期値
0000H	PDR0	ポート0データレジスタ	R/W	XXXXXXXX
0001H	DDR0	ポート0方向レジスタ	W	00000000
0002H	PDR1	ポート1データレジスタ	R/W	XXXXXXXX
0003H	DDR1	ポート1方向レジスタ	W	00000000
0004H	PDR2	ポート2データレジスタ	R/W	00000000
0005H	空き領域			
0006H	空き領域			
0007H	SYCC	システムクロック制御レジスタ	R/W	XXX11X00
0008H	STBC	スタンバイ制御レジスタ	R/W	0001XXXX
0009H	WDT	ウォッチドック制御レジスタ	R/W	0XXXXXXXX
000AH	TBTC	タイムベースタイマ制御レジスタ	R/W	00XXXX000
000BH	空き領域			
000CH	PDR3	ポート3データレジスタ	R/W	XXXXXXXX
000DH	DDR3	ポート3方向レジスタ	R/W	00000000
000EH	空き領域			
000FH	空き領域			
0010H	PDR4	ポート4データレジスタ(汎用ポート動作時)	R/W	XXXXXXXX
	PDR	パラレルポートデータレジスタ(パラレルポート動作時)	R/W	XXXXXXXX
0011H	DDR4	ポート4方向レジスタ(汎用ポート動作時)	R/W	00000000
	PSR	パラレルポートステータスレジスタ(パラレルポート動作時)	R/W	XXXX0XXX
0012H	PDR5	ポート5データレジスタ	R/W	XXX111XX
0013H	DDR5	ポート5方向レジスタ	R/W	XXXXXXXX00
0014H	PDR6	ポート6データレジスタ	R/W	XXXXXXXX
0015H	PDCR	パラレルポートデータ制御レジスタ	R/W	XXX00000
0016H ~ 0020H	空き領域			
0021H	PURR0	ポート0プルアップオプション設定レジスタ	R/W	11111111
0022H	PURR1	ポート1プルアップオプション設定レジスタ	R/W	11111111
0023H	PURR2	ポート2プルアップオプション設定レジスタ	R/W	11111111
0024H	PURR3	ポート3プルアップオプション設定レジスタ	R/W	11111111
0025H	PURR4	ポート4プルアップオプション設定レジスタ	R/W	11111111
0026H	PURR5	ポート5プルアップオプション設定レジスタ	R/W	XXX11111
0027H	CNTR1	PWM制御レジスタ1	R/W	00000000
0028H	CNTR2	PWM制御レジスタ2	R/W	000X0000
0029H	CNTR3	PWM制御レジスタ3	R/W	X000XXXX
002AH	COMR1	PWMコンペアレジスタ1	W	XXXXXXXX
002BH	COMR2	PWMコンペアレジスタ2	W	XXXXXXXX
002CH	CKR	クロック出力制御レジスタ	R/W	XXXXXXX0

付表 A-1 I/Oマップ(続き)

アドレス	レジスタ略称	レジスタ名称	書込み/ 読み出し	初期値
002DH	SCS	シリアルクロック切換えレジスタ	R/W	XXXXXXXX0
002EH	空き領域			
002FH	SMC1	シリアルモード制御レジスタ1	R/W	00000000
0030H	SMC2	シリアルモード制御レジスタ2	R/W	00000000
0031H	SSD	シリアルステータス&データレジスタ	R	00001XXX
0032H	SIDR/SODR	シリアルインプット/シリアルアウトプットデータレジスタ	R/W	XXXXXXXX
0033H	SRC	シリアルレート制御レジスタ	R/W	XXXXXXXX
0034H ~ 003BH	空き領域			
003CH	EIE	外部割込み制御レジスタ	R/W	00000000
003DH	EIF	外部割込みフラグレジスタ	R/W	XXXXXXXX0
003EH ~ 003FH	空き領域			
0040H	PMDR	USB電源モードレジスタ	R/W	XXXXXXXX0
0041H ~ 004EH	空き領域			
004FH	DBARH	DMAベースアドレスレジスタ上位	R/W	000000XX
0050H	UMDR	USBリセットモードレジスタ	R/W	1000XX00
0051H	DBAR	DMAベースアドレスレジスタ	R/W	XXXXXXXX
0052H	TDCR0	転送データカウントレジスタ0	R/W	X0000000
0053H	TDCR11	転送データカウントレジスタ11	R/W	00000000
0054H	TDCR12	転送データカウントレジスタ12	R/W	XXXXXXXX00
0055H	TDCR21	転送データカウントレジスタ21	R/W	00000000
0056H	TDCR22	転送データカウントレジスタ22	R/W	XXXXXXXX00
0057H	TDCR3	転送データカウントレジスタ3	R/W	X0000000
0058H	UCTR	USBコントロールレジスタ	R/W	00000000
0059H	USTR1	USBステータスレジスタ1	R/W	00000000
005AH	USTR2	USBステータスレジスタ2	R	XXXXXXXX00
005BH	UMSKR	USB割込みマスクレジスタ	R/W	00000000
005CH	UFRMR1	USBフレームステータスレジスタ1	R	XXXXXXXX
005DH	UFRMR2	USBフレームステータスレジスタ2	R	XXXXXXXX
005EH	EPER	USBエンドポイントイネーブルレジスタ	R/W	XXXX0001
005FH	EPBR0	エンドポイント0セットアップレジスタ	R/W	X0000000
0060H	EPBR11	エンドポイント1セットアップレジスタ11	R/W	0X000000
0061H	EPBR12	エンドポイント1セットアップレジスタ12	R/W	00000000
0062H	EPBR21	エンドポイント2セットアップレジスタ21	R/W	0X000000
0063H	EPBR22	エンドポイント2セットアップレジスタ22	R/W	00000000
0064H	EPBR31	エンドポイント3セットアップレジスタ31	R/W	XX0000XX
0065H	EPBR32	エンドポイント3セットアップレジスタ32	R/W	X0000000
0066H ~ 007BH	空き領域			
007CH	ILR1	割込みレベル設定レジスタ1	W	11111111
007DH	ILR2	割込みレベル設定レジスタ2	W	11111111
007EH	ILR3	割込みレベル設定レジスタ3	W	11111111
007FH	空き領域			
・書込み/読み込みについての説明 R/W: リード・ライト可, R : リードオンリー, W: ライトオンリー 初期値についての説明 0: このビットの初期値は"0"です。 1: このビットの初期値は"1"です。 X: このビットの初期値は不定です。				

< 注意事項 >

.....
 空き領域は使用しないでください。

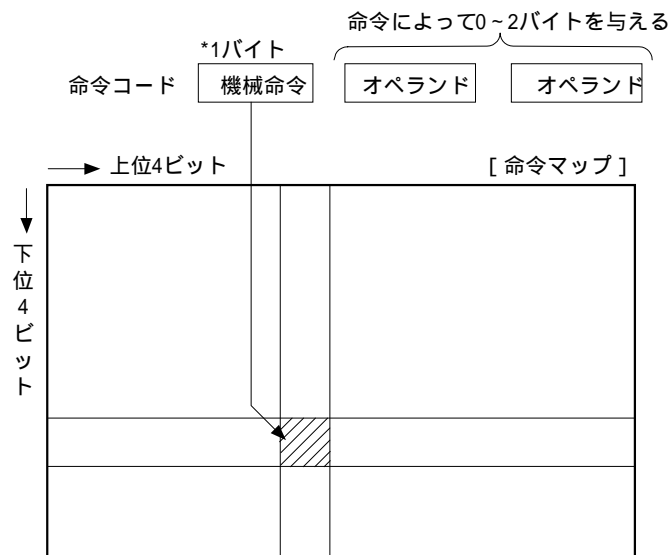
B 命令概要

F²MC-8Lに使用している命令について説明します。

F²MC-8Lの命令の概要

F²MC-8Lには、140種類の1バイト機械命令(マップとしては256バイト)があり、命令とそれに続くオペランドによって命令コードを構成します。

下図に命令コードと命令マップの対応について示します。



付図 B-1 命令コードと命令マップの対応

命令は転送系、演算系、分岐系、その他の四つに分類されます。

アドレス指定には各種の方法があり、命令の選択とオペランド指定により10種類のアドレッシングを選択できます。

ビット操作命令を備えており、リードモディファイライト動作が可能です。

特殊な動作を指示する命令があります。

命令の表示記号の説明

この付録Bの命令コードの説明で使用している記号の説明を示します。

付表 B-1 命令一覧表の記号の説明

表 記	意 味
Dir	ダイレクトアドレス(8ビット長)
Off	オフセット(8ビット長)
Ext	エクステンドアドレス(16ビット長)
#vct	ベクトルテーブル番号(3ビット長)
#d8	イミディエートデータ(8ビット長)
#d16	イミディエートデータ(16ビット長)
dir:b	ビットダイレクトアドレス(8ビット長:3ビット長)
Rel	分岐相対アドレス(8ビット長)
@	レジスタ間接(例:@A, @IX, @EP)
A	アキュムレータ(使用する命令によって8ビット長か16ビット長かが決まる)
AH	アキュムレータの上位8ビット(8ビット長)
AL	アキュムレータの下位8ビット(8ビット長)
T	テンポリアキュムレータ (使用する命令によって8ビット長か16ビット長かが決まる)
TH	テンポリアキュムレータの上位8ビット(8ビット長)
TL	テンポリアキュムレータの下位8ビット(8ビット長)
IX	インデックスレジスタ(16ビット長)
EP	エクストラポインタ(16ビット長)
PC	プログラムカウンタ(16ビット長)
SP	スタックポインタ(16ビット長)
PS	プログラムステータス(16ビット長)
Dr	アキュムレータあるいはインデックスレジスタのいずれか(16ビット長)
CCR	コンディションコードレジスタ(8ビット長)
RP	レジスタバンクポインタ(5ビット長)
Ri	汎用レジスタ(8ビット長, i=0~7)
x	x が即値データそのものであることを示す (使用する命令によって8ビット長か16ビット長かが決まる)
(x)	x の中身がアクセスの対象であることを示す (使用する命令によって8ビット長か16ビット長かが決まる)
((x))	x の中身が示すアドレスがアクセスの対象であることを示す (使用する命令によって8ビット長か16ビット長かが決まる)

B.1 アドレッシング

F²MC-8Lには、次の10種類のアドレッシングがあります。

- ・ダイレクトアドレッシング
- ・エクステンドアドレッシング
- ・ビットダイレクトアドレッシング
- ・インデックスアドレッシング
- ・ポインタアドレッシング
- ・汎用レジスタアドレッシング
- ・イミディエートアドレッシング
- ・ベクトルアドレッシング
- ・相対アドレッシング
- ・インヘレントアドレッシング

アドレッシングの説明

ダイレクトアドレッシング

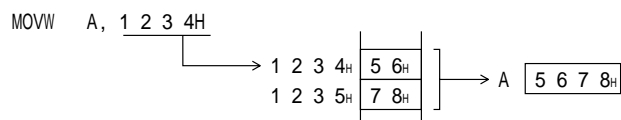
命令表の中で"dir"と示したアドレッシングで、"0000_H" ~ "00FF_H"の領域をアクセスするときに使用します。このアドレッシングでは、アドレスの上位1バイトは"00_H"、下位1バイトはオペランドで指定します。下図に例を示します。



付図 B-2 ダイレクトアドレッシング例

エクステンドアドレッシング

命令表の中で"ext"と示したアドレッシングで、64 Kバイト全体の領域をアクセスするときに使用します。このアドレッシングでは、第1オペランドでアドレスの上位1バイトを、第2オペランドでアドレスの下位1バイトを指定します。下図に例を示します。

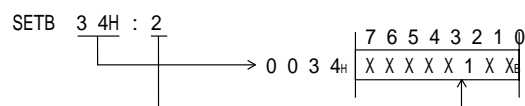


付図 B-3 エクステンドアドレッシング例

ビットダイレクトアドレッシング

命令表の中で"dir:b"と示したアドレッシングで、"0000_H" ~ "00FF_H"の領域をビット単位でアクセスするときに使用します。このアドレッシングでは、アドレスの上位1バイトは"00_H"、下位1バイトはオペランドで指定し、指定したアドレス内のビットの位置は、オペコードの下位3ビットの値で指定します。

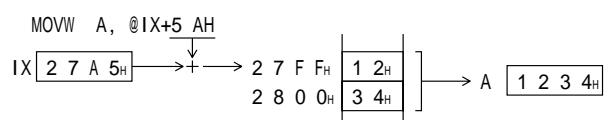
下図に例を示します。



付図 B-4 ビットダイレクトアドレッシング例

インデックスアドレッシング

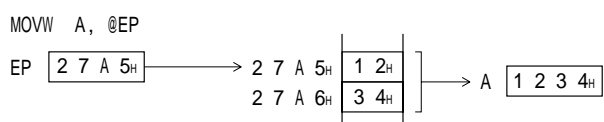
命令表の中で"@IX + off"と示したアドレッシングで、64 Kバイト全体の領域をアクセスするときに使用します。このアドレッシングでは、第1オペランドの内容を符号拡張した上でIX(インデックスレジスタ)に加算してその結果をアドレスとします。下図に例を示します。



付図 B-5 インデックスアドレッシング例

ポインタアドレッシング

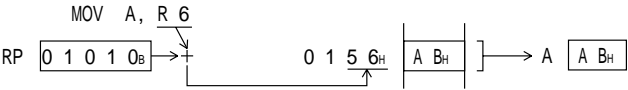
命令表の中で"@EP"と示したアドレッシングで、64 Kバイト全体の領域をアクセスするときに使用します。このアドレッシングでは、EP(エクストラポインタ)の内容をアドレスとします。下図に例を示します。



付図 B-6 ポインタアドレッシング例

汎用レジスタアドレッシング

命令表の中で"Ri"と示したアドレッシングで、汎用レジスタ領域のレジスタバンクをアクセスするときに使用します。このアドレッシングでは、アドレスの上位1バイトは"01"に固定し、下位1バイトをRP(レジスタバンクポインタ)の内容とオペコードの下位3ビットから作成し、このアドレスに対してアクセスを行います。下図に例を示します。



付図 B-7 汎用レジスタアドレッシング例

イミディエートアドレッシング

命令表の中で"#d8"と示したアドレッシングで、即値データを必要とするときに使用します。このアドレッシングでは、オペランドがそのまま即値データになります。バイト/ワードの指定はオペコードにより決まります。下図に例を示します。



付図 B-8 イミディエートアドレッシング例

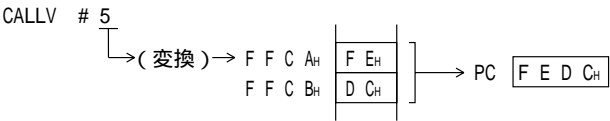
ベクトルアドレッシング

命令表の中で"vct"と示したアドレッシングで、テーブル内に登録したサブルーチンアドレスに分岐するときに使用します。このアドレッシングでは、オペコード内に"vct"の情報を含み、下表に示す対応でテーブルのアドレスを作成します。

付表 B-2 "vct"に対応したベクトルテーブルアドレス

#vct	ベクトルテーブルアドレス(ジャンプ先上位アドレス:下位アドレス)
0	FFC0H:FFC1H
1	FFC2H:FFC3H
2	FFC4H:FFC5H
3	FFC6H:FFC7H
4	FFC8H:FFC9H
5	FFCAH:FFCBH
6	FFCCH:FFCDH
7	FFCEH:FFCFH

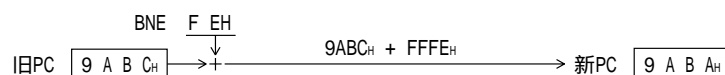
下図に例を示します。



付図 B-9 ベクトルアドレッシング例

相対アドレッシング

命令表の中で"rel"と示したアドレッシングで、PC(プログラムカウンタ)の前後128バイトの領域に分岐するときに使用します。このアドレッシングでは、オペランドの内容をPCに符号付きで加算し、その結果をPCに格納します。下図に例を示します。



付図 B-10 相対アドレッシング例

この例では、BNEのオペコードが格納されているアドレスへジャンプするので、結果として無限ループになります。

インヘレントアドレッシング

命令表の中でオペランドを持たないアドレッシングで、オペコードで決まる動作を行うときに使用します。このアドレッシングでは、動作が命令ごとに異なります。下図に例を示します。



付図 B-11 インヘレントアドレッシング例

B.2 特殊な命令について

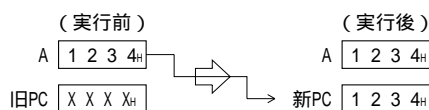
アドレッシング以外の特殊な命令について説明します。

特殊な命令について

JMP @A

この命令は、A(アキュムレータ)の内容をアドレスとしてPC(プログラムカウンタ)へ分岐するというものです。N個のジャンプ先をテーブル上に並べておき、その内容のいずれか一つを選択してAに転送します。この命令を実行することでN分岐処理が行えます。

下図に概要図を示します。

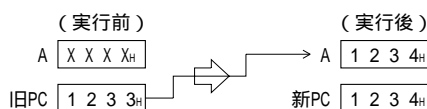


付図 B-12 JMP @A

MOVW A, PC

この命令は、"JMP @A"と反対の動作を行うものです。すなわち、PCの内容をAに格納するものです。メインルーチン内でこの命令を実行しておき、特定のサブルーチンを呼び出すような設定において、そのサブルーチン内でAの内容が決められた値になっていることを確認することができます。予想できない部分からの分岐でないことが識別でき、暴走判断に使用することができます。

下図に概要図を示します。



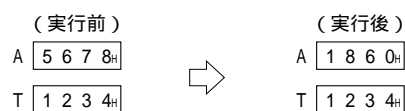
付図 B-13 MOVW A, PC

この命令を実行したときのAの内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、上図ではAに格納した値"1233H"は「MOVW A, PC」の次のオペコードが格納されているアドレスに一致します。

MULU A

この命令は、AL(アキュムレータの下位8ビット)とTL(テンポラリアキュムレータの下位8ビット)を符号なしで掛け合わせ、16ビット長の結果をAに格納します。T(テンポラリアキュムレータ)の内容は変化しません。演算に関して、実行前のAH(アキュムレータの8上位ビット)、TH(テンポラリアキュムレータの上位8ビット)の内容は使用していません。フラグは変化しないので、乗算の結果によって分岐するときには注意が必要です。

下図に概要図を示します。



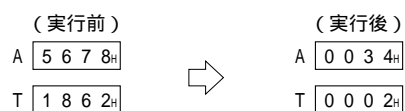
付図 B-14 MULU A

DIVU A

この命令は、Tの16ビットをALの8ビットで符号なしデータとして割り、結果を8ビットとしてALに、余りも8ビットとしてTLに格納するものです。AH、THともに"0"となります。演算に関して、実行前のAHの内容は使用していません。結果が8ビットを越えるようなデータでは、得られた結果は保証しません。また、結果が8ビットを越えたことを示さないで、このような恐れがあるデータではあらかじめ判別を行ってから使用してください。

フラグは変化しないので、除算の結果によって分岐するときには注意が必要です。

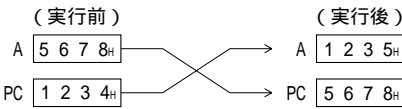
下図に概要図を示します。



付図 B-15 DIVU A

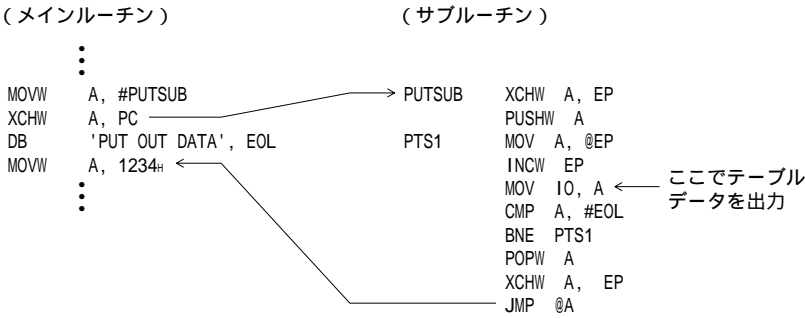
XCHW A, PC

この命令は、AとPCの内容を交換するもので、結果として実行前のAの内容が示す番地へ分岐します。実行後のAは、「XCHW A, PC」のオペコードが格納されているアドレスの次のアドレスの値になります。この命令は、特にメインルーチンでテーブルを指定し、サブルーチンで使用するときに有効です。
下図に概要図を示します。



付図 B-16 XCHW A, PC

この命令を実行したときのAの内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、上図ではAに格納した値"1235_H"は「XCHW A, PC」の次のオペコードが格納されているアドレスに一致します。そのため、"1234_H"ではなく"1235_H"となっています。
下図にアセンブラ表記例を示します。

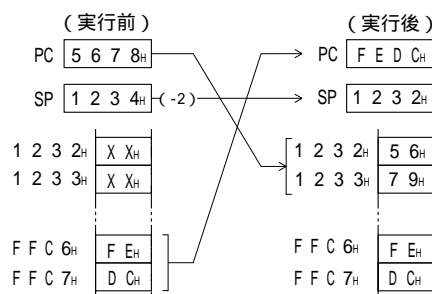


付図 B-17 XCHW A, PC の使用例

CALLV #vct

テーブル内に登録したサブルーチンアドレスに分岐するときに使用します。リターンアドレス(PCの内容)をSP(スタックポインタ)が示すアドレスへ退避したのち、ベクトルアドレッシングによってベクトルテーブルに記載したアドレスへ分岐します。1バイトの命令ですので、頻繁に使用するサブルーチンに対してこの命令を使用することで、プログラム全体のサイズを縮小することができます。

下図に概要図を示します。



付図 B-18 CALLV #3の実行例

この命令を実行したときにスタック領域に退避されるPCの内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、上図ではスタック(1232_H, 1233_H)に退避された値"5679_H"は「CALLV #Vct」の次のオペコードが格納されているアドレス(リターンアドレス)に一致します。

B.3 ビット操作命令(SETB, CLRB)

周辺機能のレジスタには、ビット操作命令に対して、通常の読出し動作と異なる動作をするビットがあります。

リードモディファイライト動作

ビット操作命令では、レジスタまたはRAMの指定ビットのみを"1"にセット(SETB)したり、"0"にクリア(CLRB)したりできます。しかし、CPUは8ビット単位でデータを取り扱うため、実際の動作としては、8ビットのデータを読み出し、指定されたビットを変更し、もとのアドレスに書き戻す、という一連の動作(リードモディファイライト動作)を行います。

下表にビット操作命令時のバス動作を示します。

付表 B-3 ビット操作命令時のバス動作

CODE	MNEMONIC	～	サイクル	アドレスバス	データバス	\overline{RD}	\overline{WR}	RMW
A0～A7	CLRB dir:b	4	1	N+1	dir	0	1	0
			2	dirアドレス	データ	0	1	1
A8～AF	SETB dir:b		3	dirアドレス	データ	1	0	0
			4	N+2	次の命令	0	1	0

ビット操作命令実行時の読出し先

一部のI/Oポートや割込み要求フラグビットでは、通常リードによる読出し先と、リードモディファイライト時の読出し先が異なります。

I/Oポート(ビット操作時)

I/Oポートの中には、通常リード時はI/O端子の値が読み出され、ビット操作時は出力ラッチの値が読み出されるものがあります。これは、端子の入出力方向や端子の状態にかかわらず、出力ラッチのほかのビットの不用意な変化を防止するためです。

割込み要求フラグビット(ビット操作時)

割込み要求フラグビットは、通常リード時は割込み要求の確認用フラグビットとして機能しますが、ビット操作時は常に"1"が読み出されます。これは、ほかのビットをビット操作したときに、割込み要求フラグビットへの"0"の書き込みによって、フラグが不用意にクリアされるのを防止するためです。

B.4 F²MC-8L命令一覧表

付表 B-4～付表 B-7にF²MC-8Lで使用している命令の一覧を、付表 B-8に一覧表の項目の説明を示します。

転送系命令

付表 B-4 転送系の命令一覧

NO	MNEMONIC	～	#	動 作	TL	TH	AH	N Z V C	OP CODE
1	MOV dir, A	3	2	(dir)←(A)	—	—	—	— — — —	45
2	MOV @IX+off, A	4	2	((IX)+off)←(A)	—	—	—	— — — —	46
3	MOV ext, A	4	3	(ext)←(A)	—	—	—	— — — —	61
4	MOV @EP, A	3	1	((EP))←(A)	—	—	—	— — — —	47
5	MOV Ri, A	3	1	(Ri)←(A)	—	—	—	— — — —	48～4F
6	MOV A, #d8	2	2	(A)←d8	AL	—	—	+ + — —	04
7	MOV A, dir	3	2	(A)←(dir)	AL	—	—	+ + — —	05
8	MOV A, @IX+off	4	2	(A)←((IX)+off)	AL	—	—	+ + — —	06
9	MOV A, ext	4	3	(A)←(ext)	AL	—	—	+ + — —	60
10	MOV A, @A	3	1	(A)←((A))	AL	—	—	+ + — —	92
11	MOV A, @EP	3	1	(A)←((EP))	AL	—	—	+ + — —	07
12	MOV A, Ri	3	1	(A)←(Ri)	AL	—	—	+ + — —	08～0F
13	MOV dir, #d8	4	3	(dir)←d8	—	—	—	— — — —	85
14	MOV @IX+off, #d8	5	3	((IX)+off)←d8	—	—	—	— — — —	86
15	MOV @EP, #d8	4	2	((EP))←d8	—	—	—	— — — —	87
16	MOV Ri, #d8	4	2	(Ri)←d8	—	—	—	— — — —	88～8F
17	MOVW dir, A	4	2	(dir)←(AH), (dir+1)←(AL)	—	—	—	— — — —	D5
18	MOVW @IX+off, A	5	2	((IX)+off)←(AH), ((IX)+off+1)←(AL)	—	—	—	— — — —	D6
19	MOVW ext, A	5	3	(ext)←(AH), (ext+1)←(AL)	—	—	—	— — — —	D4
20	MOVW @EP, A	4	1	((EP))←(AH), ((EP)+1)←(AL)	—	—	—	— — — —	D7
21	MOVW EP, A	2	1	(EP)←(A)	—	—	—	— — — —	E3
22	MOVW A, #d16	3	3	(A)←d16	AL	AH	dH	+ + — —	E4
23	MOVW A, dir	4	2	(AH)←(dir), (AL)←(dir+1)	AL	AH	dH	+ + — —	C5
24	MOVW A, @IX+off	5	2	(AH)←((IX)+off), (AL)←((IX)+off+1)	AL	AH	dH	+ + — —	C6
25	MOVW A, ext	5	3	(AH)←(ext), (AL)←(ext+1)	AL	AH	dH	+ + — —	C4
26	MOVW A, @A	4	1	(AH)←((A)), (AL)←((A)+1)	AL	AH	dH	+ + — —	93
27	MOVW A, @EP	4	1	(AH)←((EP)), (AL)←((EP)+1)	AL	AH	dH	+ + — —	C7
28	MOVW A, EP	2	1	(A)←(EP)	—	—	dH	— — — —	F3
29	MOVW EP, #d16	3	3	(EP)←d16	—	—	—	— — — —	E7
30	MOVW IX, A	2	1	(IX)←(A)	—	—	—	— — — —	E2
31	MOVW A, IX	2	1	(A)←(IX)	—	—	dH	— — — —	F2
32	MOVW SP, A	2	1	(SP)←(A)	—	—	—	— — — —	E1
33	MOVW A, SP	2	1	(A)←(SP)	—	—	dH	— — — —	F1
34	MOV @A, T	3	1	((A))←(T)	—	—	—	— — — —	82
35	MOVW @A, T	4	1	((A))←(TH), ((A)+1)←(TL)	—	—	—	— — — —	83
36	MOVW IX, #d16	3	3	(IX)←d16	—	—	—	— — — —	E6
37	MOVW A, PS	2	1	(A)←(PS)	—	—	dH	— — — —	70
38	MOVW PS, A	2	1	(PS)←(A)	—	—	—	+ + + +	71
39	MOVW SP, #d16	3	3	(SP)←d16	—	—	—	— — — —	E5
40	SWAP	2	1	(AH)↔(AL)	—	—	AL	— — — —	10
41	SETB dir:b	4	2	(dir):b←1	—	—	—	— — — —	A8～AF
42	CLRB dir:b	4	2	(dir):b←0	—	—	—	— — — —	A0～A7
43	XCH A, T	2	1	(AL)↔(TL)	AL	—	—	— — — —	42
44	XCHW A, T	3	1	(A)↔(T)	AL	AH	dH	— — — —	43
45	XCHW A, EP	3	1	(A)↔(EP)	—	—	dH	— — — —	F7
46	XCHW A, IX	3	1	(A)↔(IX)	—	—	dH	— — — —	F6
47	XCHW A, SP	3	1	(A)↔(SP)	—	—	dH	— — — —	F5
48	MOVW A, PC	2	1	(A)←(PC)	—	—	dH	— — — —	F0

< 注意事項 >

Aへのバイト転送動作時のTへの自動転送は、TL ALとなります。

複数オペランド命令でのオペランドは、Mnemonicで表示された順に格納されるものとします。

演算系命令

付表 B-5 演算系の命令一覧

NO	MNEMONIC	～	#	動作	TL	TH	AH	N Z V C	OP CODE
1	ADDC A, Ri	3	1	$(A) \leftarrow (A) + (Ri) + C$	—	—	—	++++	28～2F
2	ADDC A, #d8	2	2	$(A) \leftarrow (A) + d8 + C$	—	—	—	++++	24
3	ADDC A, dir	3	2	$(A) \leftarrow (A) + (dir) + C$	—	—	—	++++	25
4	ADDC A, @IX+off	4	2	$(A) \leftarrow (A) + ((IX) + off) + C$	—	—	—	++++	26
5	ADDC A, @EP	3	1	$(A) \leftarrow (A) + ((EP)) + C$	—	—	—	++++	27
6	ADDCW A	3	1	$(A) \leftarrow (A) + (T) + C$	—	—	dH	++++	23
7	ADDC A	2	1	$(AL) \leftarrow (AL) + (TL) + C$	—	—	—	++++	22
8	SUBC A, Ri	3	1	$(A) \leftarrow (A) - (Ri) - C$	—	—	—	++++	38～3F
9	SUBC A, #d8	2	2	$(A) \leftarrow (A) - d8 - C$	—	—	—	++++	34
10	SUBC A, dir	3	2	$(A) \leftarrow (A) - (dir) - C$	—	—	—	++++	35
11	SUBC A, @IX+off	4	2	$(A) \leftarrow (A) - ((IX) + off) - C$	—	—	—	++++	36
12	SUBC A, @EP	3	1	$(A) \leftarrow (A) - ((EP)) - C$	—	—	—	++++	37
13	SUBCW A	3	1	$(A) \leftarrow (T) - (A) - C$	—	—	dH	++++	33
14	SUBC A	2	1	$(AL) \leftarrow (TL) - (AL) - C$	—	—	—	++++	32
15	INC Ri	4	1	$(Ri) \leftarrow (Ri) + 1$	—	—	—	+++-	C8～CF
16	INCW EP	3	1	$(EP) \leftarrow (EP) + 1$	—	—	—	----	C3
17	INCW IX	3	1	$(IX) \leftarrow (IX) + 1$	—	—	—	----	C2
18	INCW A	3	1	$(A) \leftarrow (A) + 1$	—	—	dH	+++-	C0
19	DEC Ri	4	1	$(Ri) \leftarrow (Ri) - 1$	—	—	—	+++-	D8～DF
20	DECW EP	3	1	$(EP) \leftarrow (EP) - 1$	—	—	—	----	D3
21	DECW IX	3	1	$(IX) \leftarrow (IX) - 1$	—	—	—	----	D2
22	DECW A	3	1	$(A) \leftarrow (A) - 1$	—	—	dH	+++-	D0
23	MULU A	19	1	$(A) \leftarrow (AL) * (TL)$	—	—	dH	----	01
24	DIVU A	21	1	$(A) \leftarrow (T) / (AL), \text{MOD} \rightarrow (T)$	dL	00	00	----	11
25	ANDW A	3	1	$(A) \leftarrow (A) \wedge (T)$	—	—	dH	++R-	63
26	ORW A	3	1	$(A) \leftarrow (A) \vee (T)$	—	—	dH	++R-	73
27	XORW A	3	1	$(A) \leftarrow (A) \vee (T)$	—	—	dH	++R-	53
28	CMP A	2	1	$(TL) - (AL)$	—	—	—	++++	12
29	CMPW A	3	1	$(T) - (A)$	—	—	—	++++	13
30	RORC A	2	1	$\rightarrow C \leftarrow A$	—	—	—	+++-	03
31	ROLC A	2	1	$\leftarrow C \leftarrow A$	—	—	—	+++-	02
32	CMP A, #d8	2	2	$(A) - d8$	—	—	—	++++	14
33	CMP A, dir	3	2	$(A) - (dir)$	—	—	—	++++	15
34	CMP A, @EP	3	1	$(A) - ((EP))$	—	—	—	++++	17
35	CMP A, @IX+off	4	2	$(A) - ((IX) + off)$	—	—	—	++++	16
36	CMP A, Ri	3	1	$(A) - (Ri)$	—	—	—	++++	18～1F
37	DAA	2	1	decimal adjust for addition	—	—	—	++++	84
38	DAS	2	1	decimal adjust for subtraction	—	—	—	++++	94
39	XOR A	2	1	$(A) \leftarrow (AL) \vee (TL)$	—	—	—	++R-	52
40	XOR A, #d8	2	2	$(A) \leftarrow (AL) \vee d8$	—	—	—	++R-	54
41	XOR A, dir	3	2	$(A) \leftarrow (AL) \vee (dir)$	—	—	—	++R-	55
42	XOR A, @EP	3	1	$(A) \leftarrow (AL) \vee ((EP))$	—	—	—	++R-	57
43	XOR A, @IX+off	4	2	$(A) \leftarrow (AL) \vee ((IX) + off)$	—	—	—	++R-	56
44	XOR A, Ri	3	1	$(A) \leftarrow (AL) \vee (Ri)$	—	—	—	++R-	58～5F
45	AND A	2	1	$(A) \leftarrow (AL) \wedge (TL)$	—	—	—	++R-	62
46	AND A, #d8	2	2	$(A) \leftarrow (AL) \wedge d8$	—	—	—	++R-	64
47	AND A, dir	3	2	$(A) \leftarrow (AL) \wedge (dir)$	—	—	—	++R-	65
48	AND A, @EP	3	1	$(A) \leftarrow (AL) \wedge ((EP))$	—	—	—	++R-	67
49	AND A, @IX+off	4	2	$(A) \leftarrow (AL) \wedge ((IX) + off)$	—	—	—	++R-	66
50	AND A, Ri	3	1	$(A) \leftarrow (AL) \wedge (Ri)$	—	—	—	++R-	68～6F
51	OR A	2	1	$(A) \leftarrow (AL) \vee (TL)$	—	—	—	++R-	72
52	OR A, #d8	2	2	$(A) \leftarrow (AL) \vee d8$	—	—	—	++R-	74
53	OR A, dir	3	2	$(A) \leftarrow (AL) \vee (dir)$	—	—	—	++R-	75
54	OR A, @EP	3	1	$(A) \leftarrow (AL) \vee ((EP))$	—	—	—	++R-	77
55	OR A, @IX+off	4	2	$(A) \leftarrow (AL) \vee ((IX) + off)$	—	—	—	++R-	76
56	OR A, Ri	3	1	$(A) \leftarrow (AL) \vee (Ri)$	—	—	—	++R-	78～7F
57	CMP dir, #d8	5	3	$(dir) - d8$	—	—	—	++++	95
58	CMP @EP, #d8	4	2	$((EP)) - d8$	—	—	—	++++	97
59	CMP @IX+off, #d8	5	3	$((IX) + off) - d8$	—	—	—	++++	96
60	CMP Ri, #d8	4	2	$(Ri) - d8$	—	—	—	++++	98～9F
61	INCW SP	3	1	$(SP) \leftarrow (SP) + 1$	—	—	—	----	C1
62	DECW SP	3	1	$(SP) \leftarrow (SP) - 1$	—	—	—	----	D1

分岐系命令

付表 B-6 分岐系の命令一覧

NO	MNEMONIC	～	#	動 作	TL	TH	AH	N Z V C	OP CODE
1	BZ/BEQ rel	3	2	if Z=1 then PC←PC+rel	—	—	—	— — — —	FD
2	BNZ/BNE rel	3	2	if Z=0 then PC←PC+rel	—	—	—	— — — —	FC
3	BC/BLO rel	3	2	if C=1 then PC←PC+rel	—	—	—	— — — —	F9
4	BNC/BHS rel	3	2	if C=0 then PC←PC+rel	—	—	—	— — — —	F8
5	BN rel	3	2	if N=1 then PC←PC+rel	—	—	—	— — — —	FB
6	BP rel	3	2	if N=0 then PC←PC+rel	—	—	—	— — — —	FA
7	BLT rel	3	2	if VV N=1 then PC←PC+rel	—	—	—	— — — —	FF
8	BGE rel	3	2	if VV N=0 then PC←PC+rel	—	—	—	— — — —	FE
9	BBC dir:b, rel	5	3	if (dir:b)=0 then PC←PC+rel	—	—	—	— + — —	B0～B7
10	BBS dir:b, rel	5	3	if (dir:b)=1 then PC←PC+rel	—	—	—	— + — —	B8～BF
11	JMP @A	2	1	(PC)←(A)	—	—	—	— — — —	E0
12	JMP ext	3	3	(PC)←ext	—	—	—	— — — —	21
13	CALLV #vct	6	1	vector call	—	—	—	— — — —	E8～EF
14	CALL ext	6	3	subroutine call	—	—	—	— — — —	31
15	XCHW A, PC	3	1	(PC)←(A), (A)←(PC)+1	—	—	dH	— — — —	F4
16	RET	4	1	return from subroutine	—	—	—	— — — —	20
17	RETI	6	1	return from interrupt	—	—	—	restore	30

その他の命令

付表 B-7 その他の命令一覧

NO	MNEMONIC	～	#	動 作	TL	TH	AH	N Z V C	OP CODE
1	PUSHW A	4	1		—	—	—	— — — —	40
2	POPW A	4	1		—	—	dH	— — — —	50
3	PUSHW IX	4	1		—	—	—	— — — —	41
4	POPW IX	4	1		—	—	—	— — — —	51
5	NOP	1	1		—	—	—	— — — —	00
6	CLRC	1	1		—	—	—	— — — R	81
7	SETC	1	1		—	—	—	— — — S	91
8	CLRI	1	1		—	—	—	— — — —	80
9	SETI	1	1		—	—	—	— — — —	90

命令一覧表の項目の説明

付表 B-8 命令一覧表の項目の説明

表 記	意 味
MNEMONIC	命令のアセンブル記述を示します。
～	命令のサイクル数(インストラクションサイクル数)を示します。
#	命令のバイト数を示します。
動作	命令の動作を示します。
TL, TH, AH	TL, TH, AHの各命令実行時の内容の変化(AからTへの自動転送)を示します。 欄内の記号は以下のものをそれぞれ示します。 <ul style="list-style-type: none"> ・-は変化なし ・dHは動作に記述したデータの上位8ビット ・ALとAHは、その命令実行直前のALとAHの内容になること ・00は00になること
N, Z, V, C	それぞれに対応するフラグが変化する命令を示します。 この欄に+が記載してある命令は対応するフラグを変化させます。
OP CODE	命令のコードを示します。該当命令が複数のコードを占める場合は、次のような命令記載規約に則っています。 (例) 48～4F:これは48, 49, ・ ・ ・, 4Fを示します。

B.5 命令マップ

付表 B-9に、F²MC-8Lの命令マップを示します。

命令マップ

付表 B-9 F²MC-8Lの命令マップ

H L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SWAP	RET	RETI	PUSHW A	POPW A	MOV A, ext	MOVW A, PS	CLRI	SETI	CLRB dir: 0	BBC dir: 0, rel	INCW A	DECW A	JMP @A	MOVW A, PC
1	MULU A	DIVU A	JMP addr16	CALL addr16	PUSHW IX	POPW IX	MOV ext, A	MOVW PS, A	CLRC	SETC	CLRB dir: 1	BBC dir: 1, rel	INCW SP	DECW SP	MOVW SP, A	MOVW A, SP
2	ROL	CMP	ADDC	SUBC	XCH	XOR	AND	OR	MOV @A, T	MOV A, @A	CLRB dir: 2	BBC dir: 2, rel	INCW IX	DECW IX	MOVW IX, A	MOVW A, IX
3	RORC	CMPW	ADDCW	SUBCW	XCHW	XORW	ANDW	ORW	MOVW @A, T	MOVW A, @A	CLRB dir: 3	BBC dir: 3, rel	INCW EP	DECW EP	MOVW EP, A	MOVW A, EP
4	MOV A, #d8	CMP A, #d8	ADDC A, #d8	SUBC A, #d8	—	XOR A, #d8	AND A, #d8	OR A, #d8	DAA	DAS	CLRB dir: 4	BBC dir: 4, rel	MOVW A, ext	MOVW ext, A	MOVW A, #d16	MOVW A, PC
5	MOV A, dir	CMP A, dir	ADDC A, dir	SUBC A, dir	MOV dir, A	XOR A, dir	AND A, dir	OR A, dir	MOV dir, #d8	CMP dir, #d8	CLRB dir: 5	BBC dir: 5, rel	MOVW A, dir	MOVW dir, A	MOVW SP, #d16	MOVW A, SP
6	MOV A, @IX+d	CMP A, @IX+d	ADDC A, @IX+d	SUBC A, @IX+d	MOV @IX+d, A	XOR A, @IX+d	AND A, @IX+d	OR A, @IX+d	MOV @IX+d, #d8	CMP @IX+d, #d8	CLRB dir: 6	BBC dir: 6, rel	MOVW A, @IX+d	MOVW @IX+d, A	MOVW IX, #d16	MOVW A, IX
7	MOV A, @EP	CMP A, @EP	ADDC A, @EP	SUBC A, @EP	MOV @EP, A	XOR A, @EP	AND A, @EP	OR A, @EP	MOV @EP, #d8	CMP @EP, #d8	CLRB dir: 7	BBC dir: 7, rel	MOVW A, @EP	MOVW @EP, A	MOVW EP, #d16	MOVW A, EP
8	MOV A, R0	CMP A, R0	ADDC A, R0	SUBC A, R0	MOV R0, A	XOR R0, A	AND A, R0	OR A, R0	MOV R0, #d8	CMP R0, #d8	SETB dir: 0	BBS dir: 0, rel	INC R0	DEC R0	CALLV #0	rel
9	MOV A, R1	CMP A, R1	ADDC A, R1	SUBC A, R1	MOV R1, A	XOR R1, A	AND A, R1	OR A, R1	MOV R1, #d8	CMP R1, #d8	SETB dir: 1	BBS dir: 1, rel	INC R1	DEC R1	CALLV #1	rel
A	MOV A, R2	CMP A, R2	ADDC A, R2	SUBC A, R2	MOV R2, A	XOR R2, A	AND A, R2	OR A, R2	MOV R2, #d8	CMP R2, #d8	SETB dir: 2	BBS dir: 2, rel	INC R2	DEC R2	CALLV #2	rel
B	MOV A, R3	CMP A, R3	ADDC A, R3	SUBC A, R3	MOV R3, A	XOR R3, A	AND A, R3	OR A, R3	MOV R3, #d8	CMP R3, #d8	SETB dir: 3	BBS dir: 3, rel	INC R3	DEC R3	CALLV #3	rel
C	MOV A, R4	CMP A, R4	ADDC A, R4	SUBC A, R4	MOV R4, A	XOR R4, A	AND A, R4	OR A, R4	MOV R4, #d8	CMP R4, #d8	SETB dir: 4	BBS dir: 4, rel	INC R4	DEC R4	CALLV #4	rel
D	MOV A, R5	CMP A, R5	ADDC A, R5	SUBC A, R5	MOV R5, A	XOR R5, A	AND A, R5	OR A, R5	MOV R5, #d8	CMP R5, #d8	SETB dir: 5	BBS dir: 5, rel	INC R5	DEC R5	CALLV #5	rel
E	MOV A, R6	CMP A, R6	ADDC A, R6	SUBC A, R6	MOV R6, A	XOR R6, A	AND A, R6	OR A, R6	MOV R6, #d8	CMP R6, #d8	SETB dir: 6	BBS dir: 6, rel	INC R6	DEC R6	CALLV #6	rel
F	MOV A, R7	CMP A, R7	ADDC A, R7	SUBC A, R7	MOV R7, A	XOR R7, A	AND A, R7	OR A, R7	MOV R7, #d8	CMP R7, #d8	SETB dir: 7	BBS dir: 7, rel	INC R7	DEC R7	CALLV #7	rel

C ワンタイムPROM, EPROMマイコンの書き込み仕様

MB89P585B/BW, MB89P589Bには, PROMモードがあり, 専用アダプタを使用することにより汎用のROMライタで書き込みが可能です。ただし, エレクトロニックシグネチャモードは使用できませんのでご注意ください。

ROMライタ用アダプタと対応ライタ

付表C-1にROMライタ用アダプタと対応ライタを示します。

付表 C-1 ROMライタ用アダプタと対応ライタ

パッケージ名称	適合アダプタ	対応ライタとライタ名 安藤電気(株)
	サンハヤト(株)	
FTP-64P-M03	ROM2-64LQF-32DP-8LA	AF9708(ver1.40以上) AF9709(ver1.40以上)
FTP-64P-M09	ROM2-64QF2-32DP-8LA2	AF9723(ver1.50以上)

問い合わせ先

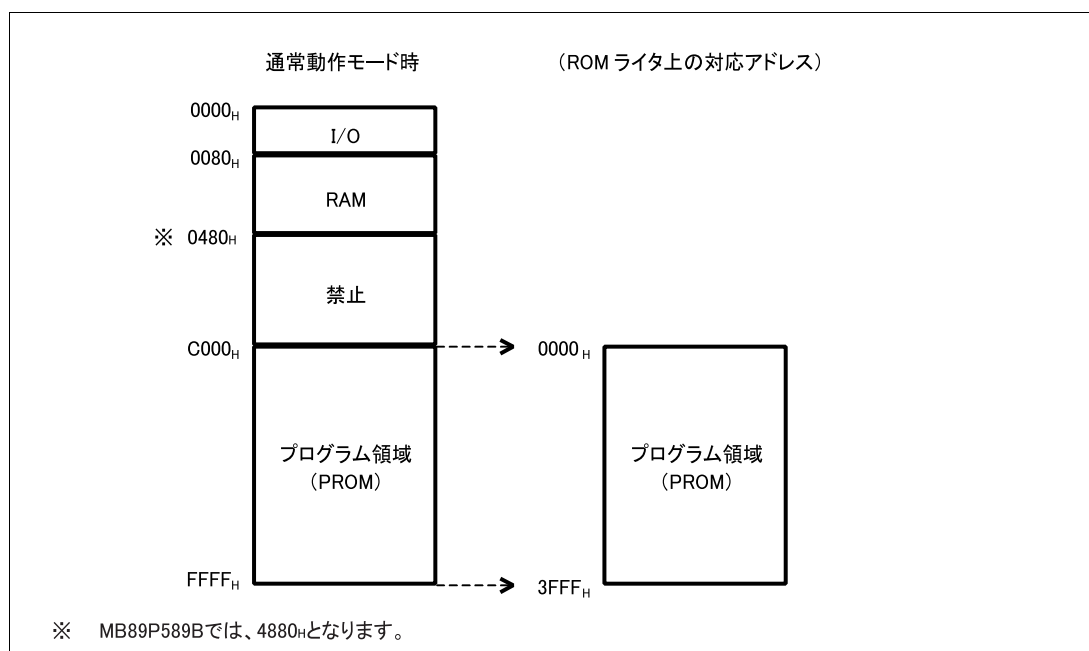
サンハヤト(株)

:TEL 03-3986-0403

安藤電気(株)

:TEL 03-3733-1160

PROMモード時のメモリマップ



付図 C-1 PROMモード時のメモリマップ

EPROMへの書き込み方法(安藤製ライタの場合)

- 1) EPROMライタのタイプコードを17209に設定します。
- 2) プログラムデータをEPROMライタの0000_H ~ 3FFF_Hにロードします。
- 3) EPROMライタでC000_H ~ FFFF_Hの書き込みを行います。

C.1 書込み歩留り

ワンタイムPROMマイコンの書込み歩留りについて説明します。

書込み歩留り

ワンタイムPROMマイコンプログラム未書込み品は、その性質上全ビット書込み試験を実施することはできません。したがって、必ずしも書込み歩留り100%は保証できない場合があります。

D MB89580B/BWシリーズの端子状態

MB89580B/BWシリーズの各動作時の端子状態を示します。

各動作時の端子状態

付表 D-1 各動作時の端子状態

端子名	通常時	スリープ時	ストップ時 SPL=0	ストップ時 SPL=1	リセット中 ^{*3}
P30/INT0/CLK ~P37/INT7	ポート入出力/ 外部割込み入力	保持/ 外部割込み入力	保持/ 外部割込み入力	Hi-z/ 外部割込み入力	Hi-z
X0	発振用入力	発振用入力	Hi-z	Hi-z	発振用入力
X1	発振用出力	発振用出力	"H"出力	"H"出力	発振用出力
MOD0,1	モード入力	モード入力	モード入力	モード入力	モード入力
RST	リセット入出力	リセット入出力	リセット入出力	リセット入出力	リセット入出力
P00 ~ P07	ポート入出力/ リソース入出力	保持/ リソース入出力	保持	Hi-z	Hi-z
P10 ~ P17					
P20 ~ P27					
P40/D0 ~ P43/D3					
P44/U0/D4					
P45/U0/D5					
P46/U1/PWM1/D6					
P47/PWM2/D7					
P50/OBF/IBFX/W					
P51/R					
P52/EFX	ポート入力/ リソース入力	ポート入力/ リソース入力	ポート入力/ リソース入力	ポート入力/ リソース入力	ポート入力/ リソース入力
P53/A0/FFX					
P54/CEX					
P60 ~ P67	ポート入力/ リソース入力	ポート入力/ リソース入力	ポート入力/ リソース入力	ポート入力/ リソース入力	ポート入力/ リソース入力
RPVP	USBポート入出力	USBポート入出力	USBポート入力 ^{*1}	USBポート入力 ^{*1}	Lレベル出力 /Hi-Z ^{*2}
RPVM					

Hi-z: ハイインピーダンスを示します。

SPL: スタンバイ制御レジスタ(STBC)の端子状態指定ビットです。

保持: 出力に設定された端子は、モード移行直前の端子の状態(レベル)を保持します。

*1: USB要因によるストップ時はポート入力で、それ以外の要因によるストップ時は直前の状態のままです。

*2: MB89580B/BWシリーズではLレベル出力となり、MB89580BシリーズではHi-Zとなります。

*3: パワーオンリセット期間中、P60 ~ P67は不定出力となります。

索引

< 数字 >

2

2CH 8ビットPWMタイマ	
2CH 8ビットPWMタイマ	126
2CH 8ビットPWMタイマ使用上の注意	155
2CH 8ビットPWMタイマに関連する端子 ...	131
2CH 8ビットPWMタイマに関連する端子のブロックダイアグラム	131
2CH 8ビットPWMタイマに関連するレジスタ...	
.....	132
2CH 8ビットPWMタイマに関連する割込み .	130
2CH 8ビットPWMタイマのブロックダイアグラム	129
2CH 8ビットPWMタイマの割込みに関連するレジスタとベクトルテーブル	143

8

8ビットPWMタイマ	
8ビットPWMタイマ1 (CH1) および8ビットPWMタイマ2 (CH2)	129
8ビットタイマモード	
8ビットタイマモードのプログラム例	156

< アルファベット >

C

CH12PWM出力制御回路	
CH12PWM出力制御回路	130
CH12PWMモード	
CH12PWMモードの動作	150
CH12PWMモードのプログラム例	160
インターバルタイマ機能およびCH12PWMモード動作時の割込み	143
CK12セレクタ	
CK12セレクタ	130
CK12モードのプログラム例	
CK12モードのプログラム例	157
CLK非同期モード	
CLK非同期モード時の受信エラー	255
CLK非同期モードの送信動作	256
CLK非同期モードの受信動作	254

D

DMA転送アドレス範囲	
DMA転送アドレス範囲	200
DMAベースアドレスレジスタ (DBAR)	
DMAベースアドレスレジスタ (DBAR)	198
DMAベースアドレスレジスタ下位 (DBAR)	
DMAベースアドレスレジスタ下位 (DBAR) ..	199
DMAベースアドレスレジスタ上位 (DBARH)	
DMAベースアドレスレジスタ上位 (DBARH) .	199

E

EPROMへの書き込み方法 (ミナトエレクトロニクス製ライタの場合)	
EPROMへの書き込み方法 (ミナトエレクトロニクス製ライタの場合)	291

I

I/Oポート	
I/Oポートの機能	68
I/Oポートのプログラム例	104
I/Oマップ	
I/Oマップ	272

P

PROMモード時のメモリマップ	
PROMモード時のメモリマップ	291
PWMコンペアレジスタ	
PWMコンペアレジスタ1 (COMR1)	139
PWMコンペアレジスタ1,2 (COMR1, COMR2)	130
PWMコンペアレジスタ2 (COMR2)	141
PWM制御レジスタ	
PWM制御レジスタ1 (CNTR1)	133
PWM制御レジスタ1,2,3 (CNTR1, CNTR2, CNTR3)	130
PWM制御レジスタ2 (CNTR2)	135
PWM制御レジスタ3 (CNTR3)	137
PWMタイマ	
PWMタイマ機能	127
PWMタイマ機能の動作	146
PWMタイマ機能のプログラム例	159

R

ROMライタ用アダプタと対応ライタ	
ROMライタ用アダプタと対応ライタ	291

U

UART/SIO	
UART/SIOに関連する端子	237
UART/SIOに関連する端子のブロックダイアグラム	238
UART/SIOに関連するレジスタ	239
UART/SIOの機能	234
UART/SIOの動作	251
UART/SIOの動作モード0の動作説明	252
UART/SIOの動作モードの動作説明	257
UART/SIOのブロックダイアグラム	235
UART/SIOの割込みに関連するレジスタとベクトルテーブルアドレス	250
USBコントロールレジスタ	
USBコントロールレジスタ (UCTR)	203
USBステータスレジスタ	
USBステータスレジスタ 1 (USTR1)	204
USBステータスレジスタ2 (USTR2)	207
USB電源モードレジスタ (PMDR)	
USB電源モードレジスタ (PMDR)	195
USBバスリセット	
USBバスリセット	225
USB標準コマンドのセットアップステージ受信時の動作	
USB標準コマンドのセットアップステージ受信時の動作	228

USBファンクション

USBファンクション機能	220
USBファンクション動作時の割込み	218
USBファンクションの動作	223
USBファンクションの割込みに関連するレジスタとベクトルテーブル	219
USBファンクション回路	
USBファンクション回路に関連するレジスタ	192
USBファンクション回路の機能	188
USBファンクション回路のブロックダイアグラム	190
USBフレームステータスレジスタ (UFRMR)	
USBフレームステータスレジスタ (UFRMR)	211
USBリセット・モードレジスタ	
USBリセット・モードレジスタ (UMDR)	196
USB割込みマスクレジスタ	
USB割込みマスクレジスタ (UMSKR)	209

<五十音>

あ

アドレスッシング

アドレスッシングの説明 276

い

インストラクションサイクル

インストラクションサイクル (tinst) ... 51

インターバルタイマ

インターバルタイマ機能 106

インターバルタイマ機能 (方形波出力機能)
..... 124インターバルタイマ機能およびCH12PWMモード
動作時の割込み 143

インターバルタイマ機能動作時の割込み . 110

インターバルタイマ機能の動作 144

インターバルタイマ機能の動作 (タイムベース
タイマ) 111**う**

ウォッチドッグ制御レジスタ (WDTC)

ウォッチドッグ制御レジスタ (WDTC) ... 118

ウォッチドッグタイマ

ウォッチドッグタイマ機能 116

ウォッチドッグタイマの使用上の注意 ... 120

ウォッチドッグタイマの動作 119

ウォッチドッグタイマのプログラム例 ... 121

ウォッチドッグタイマのブロックダイアグラ
ム 117**え**

演算結果

演算結果を示すビット 26

エンドポイントイネーブルレジスタ

エンドポイントイネーブルレジスタ (EPER)
..... 212

エンドポイントセットアップレジスタ

エンドポイントセットアップレジスタ (EPBR0,
EPBRn1, n2) 213**か**

外形寸法図

外形寸法図 10, 11

外部FIFO DMA転送

外部FIFO DMA転送機能 221

外部FIFO DMA転送動作 222

外部リセット端子

外部リセット端子の機能 41

外部リセット端子のブロックダイアグラム ..

..... 41

外部割込み回路

外部割込み回路動作時の割込み 169

外部割込み回路に関連する端子 164

外部割込み回路に関連する端子のブロックダ
イヤグラム 164

外部割込み回路に関連するレジスタ 166

外部割込み回路の機能 (レベル検出) ... 162

外部割込み回路の動作 170

外部割込み回路のプログラム例 171

外部割込み回路のブロックダイアグラム . 163

外部割込み回路の割込み許可ビットと外部割
込み端子との関係 165外部割込み回路の割込みに関連するレジスタ
とベクトルテーブル 169

外部割込み制御レジスタ

外部割込み制御レジスタ (EIE) 167

外部割込み端子

外部割込み回路の割込み許可ビットと外部割
込み端子との関係 165

外部割込みフラグレジスタ

外部割込みフラグレジスタ (EIF) 168

書込み歩留り

書込み歩留り 292

<

クロック

クロック出力 (CLK) に関連する端子 265

クロック供給機能 106

クロック供給機能の動作 111

クロック出力機能 264

クロック出力制御レジスタ (CKR) 266

クロック出力に関連する端子のブロックダイ
ヤグラム 265

クロック供給マップ

クロック供給マップ 45

クロック制御部

クロック制御部のブロックダイアグラム .. 48

クロック発生部

クロック発生部 (水晶振動子の場合) 47

クロックモード

クロックモードの動作状態 52

こ

高速PWMタイマ

高速PWMタイマ機能の動作 148

コマンド応答時の各レジスタ動作

コマンド応答時の各レジスタ動作 226

コンディションコードレジスタ

コンディションコードレジスタ (CCR) の構成
..... 26

さ

最大定格電圧	
最大定格電圧を超えないように注意（ラッチアップの防止）	18
サスペンド処理	
サスペンド処理	229
サスペンドの解除について	
サスペンドの解除について	229

し

システムクロック制御レジスタ	
システムクロック制御レジスタ（SYCC）の構成	50
受信	
8ビット受信動作	258
CLK非同期モード時の受信エラー	255
CLK非同期モードの受信動作	254
受信動作時のスタートビットの検出	255
連続受信動作	259
状態遷移図	
状態遷移図	61
シリアルアウトデータレジスタ	
シリアルアウトデータレジスタ（SODR）	248
シリアルインデータレジスタ	
シリアルインデータレジスタ（SIDR）	247
シリアルクロック切換えレジスタ	
シリアルクロック切換えレジスタ（SCS）	244
シリアルステータス&データレジスタ	
シリアルステータス&データレジスタ（SSD）	245
シリアルモード制御レジスタ	
シリアルモード制御レジスタ（SMC2）	242
シリアルモード制御レジスタ1	
シリアルモード制御レジスタ1（SMC1）	240
シリアルレート制御レジスタ	
シリアルレート制御レジスタ（SRC）	249
シングルチップモード	
シングルチップモード	65

す

水晶振動子	
クロック発生部（水晶振動子の場合）	47
スタートビット	
受信動作時のスタートビットの検出	255
スタック	
割り込み処理開始時のスタック動作	37
割り込み処理のスタック領域	38
割り込み復帰時のスタック動作	37
スタンバイ制御レジスタ	
スタンバイ制御レジスタ（STBC）	59

スタンバイモード	
スタンバイモード	55
スタンバイモードおよび途中停止時の動作	153
スタンバイモード時の動作状態	56
スタンバイモード設定時の注意	63
スタンバイモードの割り込みによる解除	63
スタンバイモードへの移行と割り込み	63
ストップモード	
ストップモードの動作	58
スリープモード	
スリープモードの動作	57

せ

接続検出	
接続検出	224
専用レジスタ	
専用レジスタの機能	24
専用レジスタの構成	24

そ

送信	
8ビット送信動作	260
CLK非同期モードの送信動作	256
連続送信動作	261

た

タイムベースタイマ	
インターバルタイマ機能の動作（タイムベースタイマ）	111
タイムベースタイマ使用上の注意	113
タイムベースタイマの動作	111
タイムベースタイマのプログラム例	114
タイムベースタイマのブロックダイアグラム	107
タイムベースタイマの割り込みに関連するレジスタとベクトルテーブル	110
発振安定待ち時間とタイムベースタイマの割り込み	110
タイムベースタイマ制御レジスタ	
タイムベースタイマ制御レジスタ（TBTC）	108
多重割り込み	
多重割り込み	35
多重割り込みの例	35
端子	
各動作時の端子状態	293
端子機能説明	12
未使用入力端子の処理	18
モードデータ読出し後の端子の状態	44
リセット中の端子の状態	44
端子配列図	
MB89580B/BWの端子配列図	9

て

ディスクリプタの取得	
ディスクリプタの取得	225
データの格納	
RAM上の16ビットデータの格納状態	23
オペランドが16ビットの場合の格納状態 ..	23
スタックの16ビットデータの格納状態	23
デバイスからのリモートウェークアップ	
デバイスからのリモートウェークアップ ..	230
電圧	
供給電圧はできるだけ安定化すること	18
転送データカウントレジスタ	
転送データカウントレジスタ (TDCR0 ~ 3) ...	
.....	201
転送データフォーマット	
転送データフォーマット	254

と

動作モード	
UART/SIOの動作モード0の動作説明	252
UART/SIOの動作モードの動作説明	257
特長	
MB89580B/BWシリーズの特長	2

に

入出力回路形式	
入出力回路形式	15

は

発振安定待ち時間	
発振安定待ち時間	53, 64
発振安定待ち時間とタイムベースタイマの割	
込み	110
メインクロックの発振安定待ち時間	54
リセット要因とメインクロックの発振安定待	
ち時間	39
パラレルポート	
パラレルポート動作時の割込み	184
パラレルポートに関連する端子	176
パラレルポートの機能	174
パラレルポートの出力動作	186
パラレルポートの入力動作	185
パラレルポートのブロックダイアグラム ..	175
パラレルポートの割込みに関連するレジスタ	
とベクトルテーブル	184
パラレルポートステータスレジスタ	
パラレルポートステータスレジスタ (PSR)	
.....	180
パラレルポートデータ制御レジスタ	
パラレルポートデータ制御レジスタ (PDCR)	
.....	182

パラレルポートデータレジスタ (PDR)	
パラレルポートデータレジスタ (PDR) ..	179
汎用レジスタ	
汎用レジスタの構成	29
汎用レジスタの特長	30
汎用レジスタ領域	
汎用レジスタ領域 (アドレス	
0100H ~ 01FFH)	22

ふ

プリスケアラ	
プリスケアラ	129
プリスケアラの動作	152
プルアップオプション	
プルアップオプション	268
プルアップオプション設定レジスタ	
(PURR0,1,2)	269
プルアップオプション設定レジスタ	
(PURR3,4,5)	270
ブロックダイアグラム	
2CH 8ビットPWMタイマに関連する端子のブロッ	
クダイアグラム	131
2CH 8ビットPWMタイマのブロックダイアグラム	
.....	129
UART/SIOに関連する端子のブロックダイアグ	
ラム	238
UART/SIOのブロックダイアグラム	235
USBファンクション回路のブロックダイアグラ	
ム	190
ウォッチドッグタイマのブロックダイアグラ	
ム	117
外部割込み回路に関連する端子のブロックダ	
イヤグラム	164
外部割込み回路のブロックダイアグラム ..	163
クロック出力に関連する端子のブロックダイ	
ヤグラム	265
クロック制御部のブロックダイアグラム ..	48
パラレルポートのブロックダイアグラム ..	175
ポート1のブロックダイアグラム	76
ポート2のブロックダイアグラム	80
ポート3のブロックダイアグラム	85
ポート4のブロックダイアグラム	90
ポート5のブロックダイアグラム	95
ポート6のブロックダイアグラム	101

へ

ベクトルテーブル領域	
ベクトルテーブル領域 (アドレス	
FFC0H ~ FFFFH)	22

ほ

方形波出力機能	
インターバルタイマ機能（方形波出力機能）	124
ポート0	
ポート0の構成	70
ポート0の端子	70
ポート0の動作	73
ポート0のレジスタPDR0, DDR0	71
ポート0のレジスタの機能	72
ポート1	
ポート1の構成	75
ポート1の端子	75
ポート1の動作	78
ポート1のブロックダイアグラム	76
ポート1のレジスタ	76
ポート1のレジスタの機能	77
ポート2	
ポート2の構成	80
ポート2の端子	80
ポート2の動作	83
ポート2のブロックダイアグラム	80
ポート2のレジスタ	81
ポート2のレジスタの機能	82
ポート3	
ポート3の構成	84
ポート3の端子	84
ポート3の動作	87
ポート3のブロックダイアグラム	85
ポート3のレジスタ	85
ポート3のレジスタの機能	86
ポート4	
ポート4の構成	89
ポート4の端子	89
ポート4の動作	92
ポート4のブロックダイアグラム	90
ポート4のレジスタ	90
ポート4のレジスタの機能	91
ポート5	
ポート5の構成	94
ポート5の端子	94
ポート5の動作	98
ポート5のブロックダイアグラム	95
ポート5のレジスタ	96
ポート5のレジスタの機能	97
ポート6	
ポート6の構成	100
ポート6の端子	100
ポート6の動作	103
ポート6のブロックダイアグラム	101
ポート6のレジスタ	101
ポート6のレジスタの機能	102
ホストPCからのウェークアップ	
ホストPCからのウェークアップ	231

め

命令	
F2MC-8Lの命令の概要	274
F2MC-8L命令一覧表	285
演算系命令	287
その他の命令	288
転送系命令	285
特殊な命令について	280
ビット操作命令（SETB, CLRB）	284
ビット操作命令実行時の読出し先	284
分岐系命令	288
命令一覧表の項目の説明	289
命令の表示記号の説明	275
命令マップ	290
メインクロック	
メインクロックの発振安定待ち時間	54
メインクロックモード	
メインクロックモードの動作	52
メモリアクセスモード	
メモリアクセスモード選択動作	66
メモリ空間	
メモリ空間の構成	20
メモリマップ	
メモリマップ	21

も

モード端子	
モード端子	43
モードデータ	
モードデータ	65
モードデータ読出し後の端子の状態	44
モードフェッチ	
モードフェッチ	43

ら

ラッチアップ	
最大定格電圧を超えないように注意（ラッチアップの防止）	18

り

リードモディファイライト	
リードモディファイライト動作	284
リセット	
RAM内容のリセットによる影響	43
発振安定待ちリセット状態	43
リセット中の端子の状態	44
リセット動作の概要	42
リセット要因	39
リセット要因とメインクロックの発振安定待ち時間	39

れ

レギュレータ安定時間	
レギュレータ安定時間	43
レギュレータ復帰時間	
レギュレータ復帰時間	43
レジスタ	
パラレルポートステータスレジスタ (PSR)	
.....	180
パラレルポートデータ制御レジスタ (PDCR)	
.....	182
パラレルポートデータレジスタ (PDR) ..	179
パラレルポートの割込みに関連するレジスタ とベクトルテーブル	184
レジスタバンクポイント	
レジスタバンクポイント (RP) の構成	28
レベル検出	
外部割込み回路の機能 (レベル検出)	162

わ

割込み	
2CH 8ビットPWMタイマに関連する割込み .	130
インターバルタイマ機能およびCH12PWMモード 動作時の割込み	143
インターバルタイマ機能動作時の割込み .	110
受信割込み	250
スタンバイモードの割込みによる解除	63
スタンバイモードへの移行と割込み	63
送信割込み	250
発振安定待ち時間とタイムベースタイマの割 込み	110
割込み処理開始時のスタック動作	37
割込み処理時間	36
割込み処理のスタック領域	38
割込み動作時の処理	33
割込みの受け付けを制御するビット	27
割込み復帰時のスタック動作	37
割込み許可ビット	
外部割込み回路の割込み許可ビットと外部割 込み端子との関係	165
割込み要求	
周辺機能からの割込み要求	31
割込みレベル設定レジスタ	
割込みレベル設定レジスタ (ILR1, 2, 3) の構 成	32

CM25-10142-3

富士通半導体デバイス・CONTROLLER MANUAL

F²MC[®]-8L

8ビット・マイクロコントローラ

MB89580B/BW Series

ハードウェアマニュアル

2002年1月 第3版発行

発 行 **富士通株式会社** 電子デバイス事業本部

編 集 技術標準部 技術情報開発部

FUJITSU



* C M 2 5 - 1 0 1 4 2 - 3 *

富士通半導体デバイス

F²MC-8L 8ビット・マイクロコントローラ MB89580B/BWseries

ハードウェアマニュアル