



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

F²MC[®]-8L

8 ビット・マイクロコントローラ

MB89530/530H/530A series

ハードウェアマニュアル

F²MC[®]-8L

8ビット・マイクロコントローラ

MB89530/530H/530A series

ハードウェアマニュアル

富士通株式会社

はじめに

■ 本書の目的と対象読者

富士通半導体製品につきまして、平素より格別のご愛読を賜り厚くお礼申し上げます。
MB89530/530H/530A シリーズは、ASIC (Application Specific IC) 対応が可能なオリジナル 8 ビット・ワンチップ・マイクロコントローラである F²MC[®]-8L シリーズの汎用品の 1 つとして開発された製品です。携帯機器をはじめ民生機器から産業機器まで幅広く使用できます。

本書は、実際に MB89530/530H/530A シリーズ・マイクコントローラを使用して製品を開発される技術者を対象に、MB89530/530H/530A シリーズの機能や動作について解説したものです。本書をご一読ください。

なお、各種命令の詳細については、『F²MC-8L プログラミングマニュアル』をご参照ください。

■ 商標

F²MC は、FUJITSU Flexible Microcontroller の略で、富士通（株）の登録商標です。

■ 本書の全体構成

このマニュアルは、以下に示す 23 の章および付録から構成されています。

第 1 章 概要

この章では、MB89530/530H/530A シリーズの特長や基本的な仕様について説明します。

第 2 章 デバイスの取扱いについて

この章では、MB89530/530H/530A シリーズの取扱い上の注意について説明しています。

第 3 章 CPU

この章では、CPU の機能と動作について説明します。

第 4 章 I/O ポート

この章では、I/O ポートの機能と動作について説明します。

第 5 章 タイムベースタイマ

この章では、タイムベースタイマの機能と動作について説明します。

第 6 章 ウォッチドッグタイマ

この章では、ウォッチドッグタイマの機能と動作について説明します。

第 7 章 時計プリスケラ

この章では、時計プリスケラの機能と動作について説明します。

第 8 章 2CH 8 ビット PWM タイマ

この章では、2CH 8 ビット PWM タイマの機能と動作について説明します。

第 9 章 パルス幅カウントタイマ (PWC)

この章では、パルス幅カウントタイマ (PWC) の機能と動作について説明します。

第 10 章 6 ビット PPG タイマ

この章では、6 ビット PPG タイマの機能と動作について説明します。

第 11 章 12 ビット PPG タイマ

この章では、12 ビット PPG タイマの機能と動作について説明します。

第 12 章 16 ビットタイマ / カウンタ

この章では、16 ビットタイマ / カウンタの機能と動作について説明します。

第 13 章 外部割込み回路 1 (エッジ)

この章では、外部割込み回路 1 (エッジ) の機能と動作について説明します。

第 14 章 外部割込み回路 2 (レベル)

この章では、外部割込み回路 2 (レベル) の機能と動作について説明します。

第 15 章 A/D コンバータ

この章では、A/D コンバータの機能と動作について説明します。

第 16 章 UART/SIO

この章では、UART/SIO の機能と動作について説明します。

第 17 章 高速 UART

この章では、高速 UART の機能と動作について説明します。

第 18 章 8 ビットシリアル I/O

この章では、8 ビットシリアル I/O の機能と動作について説明します。

第 19 章 I²C バスインタフェース

この章では、I²C バスインタフェースの機能と動作について説明します。

第 20 章 ワイルドレジスタ機能

この章では、ワイルドレジスタの機能と動作について説明します。

第 21 章 クロック出力機能

この章では、クロック出力の機能と動作について説明します。

第 22 章 フラッシュメモリ

この章では、フラッシュメモリの機能と動作について説明します。

第 23 章 MB98F538/F538L シリアル書込み接続例

この章では、シリアル書込み接続例について説明します。

付録

付録として、I/O マップ、命令一覧などを記載します。

- 本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は当社営業担当部門にご確認ください。
- 本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。従いまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。
- 本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。従いまして、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。
- 本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に当社営業担当部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。
- 半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないように、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。
- 本資料に記載された製品が、「外国為替および外国貿易法」に基づき規制されている貨物または技術に該当する場合には、本製品を輸出するに際して、同法に基づく許可が必要となります。

本書の読み方

■ 本書のページ構成

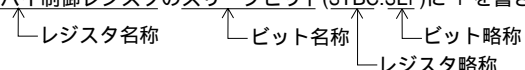
本書の各セクションには、タイトルの下に必ずそのセクションの要約が付いていますので、その要約だけ追っていただいても、本製品の概要を把握することができます。

また、上位セクションのタイトルが下位セクションにも記述してありますので、現在読んでいる場所がどのセクションに位置しているかを把握することができます。

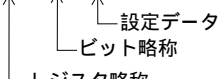
■ レジスタ名および端子名の表記例

● レジスタ名とビット名の表記例

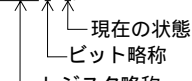
スタンバイ制御レジスタのスリープビット(STBC:SLP)に"1"を書き込むことにより～



タイムベースタイマの割込み要求出力を禁止(TBTC:TBIE=0)してください。



割込み許可(CCR:IE=1)になっていれば割込みを受け付けます。



● 兼用端子の表記例

P34/PTO2 端子

端子にはプログラムなどによる設定で機能を切替えて使用することができる兼用端子があります。兼用端子はそれぞれの機能に対応する名称を "/" で区切って表記します。

目次

第 1 章	概要	1
1.1	MB89530/530H/530A シリーズの特長	2
1.2	MB89530/530H/530A シリーズの品種構成	4
1.3	品種間の相違点と品種選択時の注意事項	6
1.4	MB89530/530H/530A シリーズのブロックダイアグラム	8
1.5	端子配列図	9
1.6	外形寸法図	12
1.7	端子機能説明	18
1.8	入出力回路形式	22
第 2 章	デバイスの取扱いについて	25
2.1	デバイス取扱い上の注意	26
第 3 章	CPU	29
3.1	メモリ空間	30
3.1.1	特定用途の領域	32
3.1.2	16 ビットデータのメモリ上の配置	34
3.2	専用レジスタ	35
3.2.1	コンディションコードレジスタ (CCR)	37
3.2.2	レジスタバンクポインタ (RP)	39
3.3	汎用レジスタ	40
3.4	割込み	42
3.4.1	割込みレベル設定レジスタ (ILR1, 2, 3, 4)	43
3.4.2	割込み動作時の処理	44
3.4.3	多重割込み	46
3.4.4	割込み処理時間	47
3.4.5	割込み処理時のスタック動作	48
3.4.6	割込み処理のスタック領域	49
3.5	リセット	50
3.5.1	外部リセット端子	52
3.5.2	リセット動作	53
3.5.3	リセットによる各端子の状態	55
3.6	クロック	56
3.6.1	クロック発生部	58
3.6.2	クロック制御部	60
3.6.3	システムクロック制御レジスタ (SYCC)	62
3.6.4	クロックモード	64
3.6.5	発振安定待ち時間	66
3.7	スタンバイモード (低消費電力)	68
3.7.1	スタンバイモード時の動作状態	69
3.7.2	スリープモード	70
3.7.3	ストップモード	71
3.7.4	時計モード	72
3.7.5	スタンバイ制御レジスタ (STBC)	73
3.7.6	状態遷移図 1 (2 系統クロック)	75

3.7.7	状態遷移図 2 (1 系統クロックオプション)	77
3.7.8	スタンバイモード使用上の注意	79
3.8	メモリアクセスモード	81
第 4 章	I/O ポート	83
4.1	I/O ポートの概要	84
4.2	ポート 0, ポート 1	86
4.2.1	ポート 0, ポート 1 のレジスタ (PDR0, DDR0, PURR0, PDR1, DDR1, PURR1)	88
4.2.2	ポート 0, ポート 1 の動作説明	90
4.3	ポート 2	92
4.3.1	ポート 2 のレジスタ (PDR2, DDR2, PURR2)	96
4.3.2	ポート 2 の動作説明	98
4.4	ポート 3	100
4.4.1	ポート 3 のレジスタ (PDR3, DDR3, PURR3)	102
4.4.2	ポート 3 の動作説明	104
4.5	ポート 4	106
4.5.1	ポート 4 のレジスタ (PDR4, DDR4, PURR4, DDCR)	109
4.5.2	ポート 4 の動作説明	113
4.6	ポート 5	115
4.6.1	ポート 5 のレジスタ (PDR5)	117
4.6.2	ポート 5 の動作説明	118
4.7	ポート 6	119
4.7.1	ポート 6 のレジスタ (PDR6, PURR6, DDCR)	122
4.7.2	ポート 6 の動作説明	125
4.8	I/O ポートのプログラム例	126
第 5 章	タイムベースタイマ	127
5.1	タイムベースタイマの概要	128
5.2	タイムベースタイマの構成	129
5.3	タイムベースタイマ制御レジスタ (TBTC)	130
5.4	タイムベースタイマの割込み	132
5.5	タイムベースタイマの動作説明	133
5.6	タイムベースタイマ使用上の注意	135
5.7	タイムベースタイマのプログラム例	136
第 6 章	ウォッチドッグタイマ	137
6.1	ウォッチドッグタイマの概要	138
6.2	ウォッチドッグタイマの構成	139
6.3	ウォッチドッグ制御レジスタ (WDTC)	141
6.4	ウォッチドッグタイマの動作説明	142
6.5	ウォッチドッグタイマ使用上の注意	143
6.6	ウォッチドッグタイマのプログラム例	144
第 7 章	時計プリスケラ	145
7.1	時計プリスケラの概要	146
7.2	時計プリスケラの構成	148
7.3	時計プリスケラ制御レジスタ (WPCR)	149
7.4	時計プリスケラの割込み	151
7.5	時計プリスケラの動作説明	152

7.6	時計プリスケラ使用上の注意	154
7.7	時計プリスケラのプログラム例	155
第 8 章	2CH 8 ビット PWM タイマ	157
8.1	2CH 8 ビット PWM タイマの概要 (インターバルタイマ機能)	158
8.2	2CH 8 ビット PWM タイマの概要 (PWM タイマ機能)	160
8.3	2CH 8 ビット PWM タイマの構成	162
8.4	2CH 8 ビット PWM タイマの端子	164
8.5	2CH 8 ビット PWM タイマのレジスタ	165
8.5.1	PWM 制御レジスタ 1 (CNTR1)	166
8.5.2	PWM 制御レジスタ 2 (CNTR2)	168
8.5.3	PWM 制御レジスタ 3 (CNTR3)	170
8.5.4	PWM コンペアレジスタ 1 (COMR1)	171
8.5.5	PWM コンペアレジスタ 2 (COMR2)	173
8.6	2CH 8 ビット PWM タイマの割込み	175
8.7	インターバルタイマ機能の動作説明	176
8.8	8 ビット PWM モードの動作説明	178
8.9	7 ビット PWM モードの動作説明	180
8.10	CH12PWM モードの動作説明	182
8.11	2CH 8 ビット PWM タイマのプリスケラの動作説明	184
8.12	2CH 8 ビット PWM タイマの動作中の各モードでの状態	185
8.13	2CH 8 ビット PWM タイマ使用上の注意	187
8.14	2CH 8 ビット PWM タイマのプログラム例 (インターバル機能)	188
8.15	2CH 8 ビット PWM タイマのプログラム例 (PWM タイマ機能)	192
第 9 章	パルス幅カウントタイマ (PWC)	195
9.1	パルス幅カウントタイマの概要	196
9.2	パルス幅カウントタイマの構成	198
9.3	パルス幅カウントタイマの端子	200
9.4	パルス幅カウントタイマのレジスタ	202
9.4.1	PWC パルス幅制御レジスタ 1 (PCR1)	203
9.4.2	PWC パルス幅制御レジスタ 2 (PCR2)	205
9.4.3	PWC リロードバッファレジスタ (RLBR)	207
9.5	パルス幅カウントタイマの割込み	209
9.6	インターバルタイマ機能の動作説明	210
9.7	パルス幅測定機能の動作説明	212
9.8	パルス幅カウントタイマの動作中の各モードでの状態	215
9.9	パルス幅カウントタイマ使用上の注意	216
9.10	パルス幅カウントタイマのタイマ機能プログラム例	217
9.11	パルス幅カウントタイマのパルス幅測定機能プログラム例	221
第 10 章	6 ビット PPG タイマ	223
10.1	6 ビット PPG タイマの概要	224
10.2	6 ビット PPG タイマの構成	226
10.3	6 ビット PPG タイマの端子	228
10.4	6 ビット PPG タイマのレジスタ	229
10.4.1	6 ビット PPG 制御レジスタ 1 (RCR1)	230
10.4.2	6 ビット PPG 制御レジスタ 2 (RCR2)	231
10.5	6 ビット PPG タイマの動作説明	232

10.6	6 ビット PPG タイマの使用上の注意.....	233
10.7	6 ビット PPG タイマのプログラム例.....	235
第 11 章	12 ビット PPG タイマ	237
11.1	12 ビット PPG タイマの概要	238
11.2	12 ビット PPG タイマの構成	240
11.3	12 ビット PPG タイマの端子	242
11.4	12 ビット PPG タイマのレジスタ	244
11.4.1	12 ビット PPG 制御レジスタ (PPGC1/PPGC2)	245
11.4.2	12 ビット PPG リロードレジスタ 1 (PRL11/PRL21)	246
11.4.3	12 ビット PPG リロードレジスタ 2 (PRL12/PRL22)	247
11.4.4	12 ビット PPG リロードレジスタ 3 (PRL13/PRL23)	248
11.5	12 ビット PPG タイマの動作説明.....	249
11.6	12 ビット PPG タイマの使用上の注意.....	250
11.7	12 ビット PPG タイマのプログラム例.....	252
第 12 章	16 ビットタイマ/カウンタ.....	253
12.1	16 ビットタイマ/カウンタの概要	254
12.2	16 ビットタイマ/カウンタの構成	255
12.3	16 ビットタイマ/カウンタの端子	257
12.4	16 ビットタイマ/カウンタのレジスタ	258
12.4.1	タイマ制御レジスタ (TMCR)	259
12.4.2	タイマカウントレジスタ (TCR)	261
12.5	16 ビットタイマ/カウンタの割込み.....	262
12.6	インターバルタイマ機能の動作説明	263
12.7	カウンタ機能の動作説明	264
12.8	16 ビットタイマ/カウンタの動作中の各モードでの状態	265
12.9	16 ビットタイマ/カウンタ使用上の注意	266
12.10	16 ビットタイマ/カウンタのプログラム例.....	267
第 13 章	外部割込み回路 1 (エッジ)	271
13.1	外部割込み回路 1 の概要	272
13.2	外部割込み回路 1 の構成	273
13.3	外部割込み回路 1 の端子	274
13.4	外部割込み回路 1 のレジスタ	276
13.4.1	外部割込み 1 制御レジスタ 1 (EIC1)	277
13.4.2	外部割込み 1 制御レジスタ 2 (EIC2)	279
13.5	外部割込み回路 1 の割込み	281
13.6	外部割込み回路 1 の動作説明.....	282
13.7	外部割込み回路 1 のプログラム例.....	283
第 14 章	外部割込み回路 2 (レベル)	285
14.1	外部割込み回路 2 の概要	286
14.2	外部割込み回路 2 の構成	287
14.3	外部割込み回路 2 の端子	288
14.4	外部割込み回路 2 のレジスタ	291
14.4.1	外部割込み 2 制御レジスタ (EIE2)	292
14.4.2	外部割込み 2 フラグレジスタ (EIF2)	293
14.5	外部割込み回路 2 の割込み	294

14.6	外部割込み回路 2 の動作説明.....	295
14.7	外部割込み回路 2 のプログラム例.....	296
第 15 章	A/D コンバータ	297
15.1	A/D コンバータの概要	298
15.2	A/D コンバータの構成	299
15.3	A/D コンバータの端子	301
15.4	A/D コンバータのレジスタ	302
15.4.1	A/D 制御レジスタ 1 (ADC1)	303
15.4.2	A/D 制御レジスタ 2 (ADC2)	305
15.4.3	A/D データレジスタ (ADDH, ADDL)	307
15.5	A/D コンバータの割込み	308
15.6	A/D コンバータの動作説明.....	309
15.7	A/D コンバータの使用上の注意.....	311
15.8	A/D コンバータのプログラム例.....	313
第 16 章	UART/SIO	315
16.1	UART/SIO の概要	316
16.2	UART/SIO の構成	317
16.3	UART/SIO の端子	319
16.4	UART/SIO のレジスタ	321
16.4.1	シリアルモード制御レジスタ 1 (SMC21)	322
16.4.2	シリアルモード制御レジスタ 2 (SMC22)	324
16.4.3	シリアルステータスアンドデータレジスタ (SSD2)	326
16.4.4	シリアルインプットデータレジスタ (SIDR2)	328
16.4.5	シリアルアウトプットデータレジスタ (SODR2).....	329
16.4.6	ボーレートジェネレータリロードレジスタ (SRC2)	330
16.5	UART/SIO の割込み	331
16.6	UART/SIO の動作説明.....	332
16.6.1	動作モード 0 の動作説明.....	333
16.6.2	動作モード 1 の動作説明.....	337
第 17 章	高速 UART	343
17.1	高速 UART の概要	344
17.2	高速 UART の構成	348
17.3	高速 UART の端子	351
17.4	高速 UART のレジスタ	353
17.4.1	シリアルモード制御レジスタ 1 (SMC11)	354
17.4.2	シリアルモード制御レジスタ 2 (SMC12)	356
17.4.3	シリアルレート制御レジスタ (SRC1).....	358
17.4.4	シリアルステータスアンドデータレジスタ (SSD1)	360
17.4.5	シリアルインプットデータレジスタ (SIDR1)	362
17.4.6	シリアルアウトプットデータレジスタ (SODR1).....	363
17.5	高速 UART の割込み.....	364
17.6	高速 UART の動作説明	365
17.7	動作モード 0, 1, 2, 4 の動作説明	366
17.8	動作モード 3 の動作説明	369
17.9	UART のプログラム例	371

第 18 章	8 ビットシリアル I/O	373
18.1	8 ビットシリアル I/O の概要	374
18.2	8 ビットシリアル I/O の構成	375
18.3	8 ビットシリアル I/O の端子	377
18.4	8 ビットシリアル I/O のレジスタ	381
18.4.1	シリアルモードレジスタ (SMR)	382
18.4.2	シリアルデータレジスタ (SDR)	384
18.5	8 ビットシリアル I/O の割込み	385
18.6	シリアル出力の動作説明	386
18.7	シリアル入力動作説明	388
18.8	8 ビットシリアル I/O の動作中の各モードでの状態	390
18.9	8 ビットシリアル I/O 使用上の注意	392
18.10	8 ビットシリアル I/O の接続例	393
18.11	8 ビットシリアル I/O のプログラム例	395
第 19 章	I²C バスインタフェース	399
19.1	I ² C バスインタフェースの概要	400
19.2	I ² C バスインタフェースの構成	401
19.3	I ² C バスインタフェースの端子	404
19.4	I ² C バスインタフェースのレジスタ	406
19.4.1	I ² C アドレス制御レジスタ (IACR)	407
19.4.2	I ² C バスステータスレジスタ (IBSR)	408
19.4.3	I ² C バス制御レジスタ (IBCR)	410
19.4.4	I ² C クロック制御レジスタ (ICCR)	413
19.4.5	I ² C アドレスレジスタ (IADR)	415
19.4.6	I ² C データレジスタ (IDAR)	416
19.5	I ² C バスインタフェースの割込み	417
19.6	I ² C バスインタフェースの動作説明	418
19.7	I ² C バスインタフェース使用上の注意	421
19.8	I ² C バスインタフェースのフローチャート例	422
19.9	I ² C バスインタフェースのプログラム例	423
第 20 章	ワイルドレジスタ機能	425
20.1	ワイルドレジスタ機能の概要	426
20.2	ワイルドレジスタ機能の構成	427
20.3	ワイルドレジスタ機能のレジスタ	428
20.3.1	ワイルドレジスタ データ設定レジスタ (WRDR1 ~ WRDR6)	429
20.3.2	ワイルドレジスタ上位アドレス設定レジスタ (WRARH1 ~ WRARH6)	431
20.3.3	ワイルドレジスタ下位アドレス設定レジスタ (WRARL1 ~ WRARL6)	433
20.3.4	ワイルドレジスタ イネーブルレジスタ (WREN)	435
20.3.5	ワイルドレジスタ データテストレジスタ (WROR)	436
20.4	ワイルドレジスタ機能の動作説明	437
20.5	一般的なハードウェア接続	439
第 21 章	クロック出力機能	441
21.1	クロック出力の概要	442
21.2	クロック出力の構成	443
21.3	クロック出力の端子	444
21.4	クロック出力機能のレジスタ	445

21.4.1	クロック出力制御レジスタ (CKR)	446
21.5	クロック出力の動作説明	447
21.6	クロック出力の使用上の注意	448
21.7	クロック出力のプログラム例	449
第 22 章	フラッシュメモリ	451
22.1	フラッシュメモリの概要	452
22.2	フラッシュメモリのセクタ構成	453
22.3	フラッシュメモリコントロールステータスレジスタ (FMCS)	454
22.4	フラッシュメモリ自動アルゴリズム起動方法	456
22.5	自動アルゴリズム実行状態の確認	457
22.5.1	データポーリングフラグ (DQ7)	458
22.5.2	トグルビットフラグ (DQ6)	459
22.5.3	タイミングリミット超過フラグ (DQ5)	460
22.5.4	セクタ消去タイマフラグ (DQ3)	461
22.5.5	トグルビット 2 フラグ (DQ2)	462
22.6	フラッシュメモリの書込み / 消去	463
22.6.1	読出し / リセット状態にする手順	464
22.6.2	データを書き込む手順	465
22.6.3	全データを消去する手順 (チップ消去)	467
22.6.4	任意のデータを消去する手順 (セクタ消去)	468
22.6.5	セクタ消去を一時停止する手順	470
22.6.6	セクタ消去を再開する手順	471
22.7	フラッシュメモリ使用上の注意	472
第 23 章	MB89F538/F538L シリアル書込み接続例	473
23.1	MB89F538/F538L シリアル書込み接続の基本構成	474
23.2	シリアル書込み時の接続例 (ユーザ電源使用時)	476
23.3	シリアル書込み時の接続例 (フラッシュマイコンプログラマから電源供給時)	478
23.4	フラッシュマイコンプログラマとの接続例 (ユーザ電源使用時)	480
23.5	フラッシュマイコンプログラマとの接続例 (フラッシュマイコンプログラマから電源供給時)	482
付録	485
付録 A	I/O マップ	486
付録 B	命令概要	489
付録 C	マスクオプション	505
付録 D	ワンタイム PROM, EPROM マイコンの書込み仕様	506
付録 E	MB89530/530H/530A シリーズの端子状態	508
付録 F	トラブルシューティング	509

第 1 章

概要

MB89530/530H/530A シリーズの特長や基本的な仕様について説明します。

- 1.1 MB89530/530H/530A シリーズの特長
- 1.2 MB89530/530H/530A シリーズの品種構成
- 1.3 品種間の相違点と品種選択時の注意事項
- 1.4 MB89530/530H/530A シリーズのブロックダイヤグラム
- 1.5 端子配列図
- 1.6 外形寸法図
- 1.7 端子機能説明
- 1.8 入出力回路形式

1.1 MB89530/530H/530A シリーズの特長

MB89530/530H/530A シリーズは、F²MC-8L コアを使用し、低電圧、高速動作をサポートする汎用ワンチップマイクロコントローラです。内部周辺機能には、タイマ、シリアルインタフェース、A/D コンバータ、外部割込みなどがあり、民生用から産業用機器までの豊富な用途はもちろん、携帯用機器にも使用されています。

■ MB89530/530H/530A シリーズの特長

- 豊富なパッケージ展開
 - 2 タイプの QFP パッケージ (1mm ピッチ, 0.65mm ピッチ)
 - LQFP パッケージ (0.5mm ピッチ)
 - SH-DIP パッケージ
- 低電圧での高速動作が可能
 - 最小命令実行時間 0.32 μ s (原発振 12.5MHz 時)
- F²MC-8L CPU コア
 - コントローラに最適な命令体系
 - 乗除算命令
 - 16 ビット演算
 - ビットテストによるブランチ命令
 - ビット操作命令
- 5 系統のタイマ
 - 8 ビット PWM タイマ: 2ch タイマ (インターバルタイマか PWM タイマのどちらかの使用が可能)
 - パルス幅カウンタタイマ (連続計測, リモート制御受信などの用途をサポート)
 - 16 ビットタイマカウンタ
 - 21 ビットタイムベースタイマ
 - 時計プリスケアラ (17 ビット)
- UART
 - クロック同期・非同期の切替え可能
- 2 種類のシリアルインタフェース (Serial I/O)
 - 転送方向を選択できること (MSB ファーストまたは LSB ファーストを指定) により、豊富な機器と通信が可能。
- 10 ビット A/D コンバータ (8ch)
 - 外部クロック入力とタイムベースタイマ出力による起動をサポート。
(MB89F538/F538L では外部クロック入力による A/D 起動はできません。)

- 2 種類のプログラム可能パルスジェネレータ (PPG)
 - ・ プログラムでパルス幅とパルス周期が選択可能な 6 ビット PPG
 - ・ プログラムでパルス幅とパルス周期が選択可能な 12 ビット PPG (2ch)
- I²C* インタフェース回路
- 外部割込み 1 (1 系統クロック品 : 4ch, 2 系統クロック品 : 3ch)
 - ・ 4 本または 3 本の入力 that 独立。
 - ・ スタンバイモードを解除可能 (エッジの検出機能付)
- 外部割込み 2 (MB89F538/F538L 以外 : 8ch, MB89F538/F538L: 7ch)
 - ・ 8 本または 7 本の入力 that 独立。
 - ・ スタンバイモードを解除可能 (レベルエッジの検出機能付)
- スタンバイモード (低消費電力モード)
 - ・ ストップモード (発振を停止するため消費電流はほぼ 0)
 - ・ スリープモード (CPU を停止するため消費電流が通常の約 1/3)
 - ・ サブクロックモード
 - ・ 時計モード
- ウォッチドッグタイマリセット
- I/O ポート
 - ・ 最大ポート数 1 系統クロック品 : MB89F538/F538L 以外 53 本
: MB89F538/F538L 52 本
2 系統クロック品 : MB89F538/F538L 以外 51 本
: MB89F538/F538L 50 本
 - ・ 汎用入出力ポート (CMOS) : MB89F538/F538L 以外 38 本
: MB89F538/F538L 37 本
 - ・ 汎用入出力ポート (Nch オープンドレイン) : 2 本
 - ・ 汎用出力ポート (Nch オープンドレイン) : 8 本
 - ・ 汎用入力ポート (CMOS) 1 系統クロック品 : 5 本
2 系統クロック品 : 3 本

*: I²C のライセンス

本製品には、お客様が Philips 社の定めた I²C 標準仕様書に従う I²C システムの中で使用されることを条件に、Philips 社 I²C 特許がライセンスされています。

Purchase of Fujitsu I²C components conveys a license under the Philips I²C Patent Rights to use, these components in an I²C system provided that the system conforms to the I²C Standard Specification as defined by Philips.

1.2 MB89530/530H/530A シリーズの品種構成

MB89530/530H/530A シリーズの品種は 4 種類あります。品種構成，CPU と周辺機能を示します。

■ MB89530/530H/530A シリーズの品種構成

表 1.2-1 MB89530/530H/530A シリーズの品種構成

品種 項目	MB89535A	MB89537/537C MB89537H/537HC MB89537A/537AC	MB89538/538C MB89538H/538HC MB89538A/538AC	MB89F538/F538L	MB89P538	MB89PV530
分類	量産 (マスク ROM 品)			Flash Memory	PROM	EVA
ROM 容量	16K × 8 ビット (内蔵 ROM)	32K × 8 ビット (内蔵 ROM)	48K × 8 ビット (内蔵 ROM)	48K × 8 ビット (内蔵 Flash Memory)	48K × 8 ビット (内蔵 PROM)	-
RAM 容量	512 × 8 ビット	1K × 8 ビット	2K × 8 ビット			
動作電圧	2.2V ~ 3.6V ^{*1} (MB89537/538/537C/538C) 3.5V ~ 5.5V ^{*1} (MB89537H/538H/537HC/538HC) 2.2V ~ 5.5V ^{*1} (MB89535A/537A/538A/537AC/538AC)			MB89F538: 3.5V ~ 5.5V ^{*1} MB89F538L: 2.4V ~ 3.6V ^{*1 *2} 2.7V ~ 3.6V ^{*1 *3}	2.7V ~ 5.5V	

*1: 動作周波数に依存します。

*2: フラッシュメモリの読み出し保証電圧です。

*3: フラッシュメモリの読み出し / 書き込み保証電圧です。

(注) MB89535A/537/538/537H/538H/537A/538A は，I²C 機能を内蔵していません。

I²C 機能を使用する場合は，MB89PV530/P538/F538/F538L/537C/538C/537HC/538HC/537AC/538AC を使用してください。

表 1.2-2 MB89530/530H/530A シリーズの CPU と周辺機能 (1 / 2)

項目		仕様
CPU 機能		基本命令数 : 136 命令 命令ビット長 : 8 ビット 命令長 : 1 ~ 3 バイト データビット長 : 1, 8, 16 ビット 最小命令実行時間 : 0.32 μs/12.5MHz 最小割込み処理時間 : 2.88 μs/12.5MHz
		入力ポート : 1 系統クロック品 5 本 (4 本は，外部割込みと兼用) 2 系統クロック品 3 本 (3 本は，外部割込みと兼用) 出力専用ポート (Nch) : 8 本 (8 本は，ADC 入力と兼用) 入出力ポート : 2 本 (2 本は，SO ₂ /SDA および SI ₂ /SCL と兼用) (Nch オープンドレイン) 入出力ポート (CMOS) : MB89F538/F538L 以外 38 本 : MB89F538/F538L 37 本 (21 本だけは，他の機能との兼用なし) 合計 1 系統クロック品 : MB89F538/F538L 以外 53 本 : MB89F538/F538L 52 本 2 系統クロック品 : MB89F538/F538L 以外 51 本 : MB89F538/F538L 50 本
周辺機能	ポート	
	タイムベース タイマ	21 ビット メインクロック原発振が 12.5MHz 時の割込み周期 (約 0.655ms, 2.621ms, 20.97ms, 335.5ms)

表 1.2-2 MB89530/530H/530A シリーズの CPU と周辺機能 (2 / 2)

項目		仕様
周辺機能	ウォッチドッグタイマ	メインクロック原発振が 12.5MHz 時のリセット周期 (約 167.8ms ~ 335.6ms) サブクロック原発振が 32.768kHz 時のリセット周期 (約 500ms ~ 1000ms)
	PWM タイマ	8 ビットインターバルタイマ動作 (矩形波出力をサポート, 動作クロック周期: 1, 8, 16, 64 t_{inst}) 8 ビット解像度パルス幅計測 (変換周期: $2^8 t_{inst} \sim 2^8 \times 64 t_{inst}$) 2ch (インターバルタイマとしても使用可能), ch1 の出力と ch2 のカウントクロックとして使用可能
時計プリスケラ		17 ビットサブクロック原発振が 32.768kHz 時のインターバル時間 (約 31.25ms, 0.25s, 0.50s, 1.00s, 2.00s, 4.00s)
周辺機能	パルス幅 カウントタイマ	8 ビットワンショットタイマ動作 (アングフロー出力をサポート, 動作クロック周期: 1, 4, 32 t_{inst} , 外部) 8 ビットリロードタイマ動作 (矩形波出力をサポート, 動作クロック周期: 1, 4, 32 t_{inst} , 外部) 8 ビットパルス幅測定動作 (連続測定, H 幅測定, L 幅測定, 立上がりから立上がり, 立下がりから立下がり, H 幅測定と立上がりから立上りの測定が可能)
	16 ビット タイマ / カウンタ	16 ビットタイマ動作 (動作クロック周期: 1 t_{inst} , 外部) 16 ビットイベントカウンタ動作 (立上り, 立下りまたは両エッジを選択可能) 16 ビット \times 1ch
	シリアル I/O	8 ビット長 LSB 先行または MSB 先行を選択可能 転送クロック (2, 8, 32 t_{inst} , 外部)
	UART/SIO	CLK 同期 / CLK 非同期データ転送可能 (8, 9 ビットをパリティビット付きで, 7, 8 ビットをパリティビットなしで) 内蔵のボーレートジェネレータによって 14 種類のボーレートを選択可能
	UART	CLK 同期 / CLK 非同期データ転送可能 (4, 6, 7, 8 ビットをパリティビット付きで, 5, 7, 8, 9 ビットをパリティビットなしで) 内蔵のボーレートジェネレータによって 14 種類のボーレートを選択可能 外部クロック入力, 2ch 8 ビット PWM タイマ出力によるボーレート設定が可能
	外部割込み 1	1 系統クロック品: 4ch 独立, 2 系統クロック品: 3ch 独立 立上り, 立下りまたは両エッジを選択可能 スタンバイモードからの解除としても使用可能 (エッジの検出はストップモードでも使用可能)
	外部割込み 2	MB89F538/F538L 以外: 8ch 独立 L レベル検出, MB89F538/F538L: 7ch 独立 L レベル検出 スタンバイモードからの解除としても使用可能
	6 ビット PPG, 12 ビット PPG	生成する矩形波の周期をプログラムにより設定可能 6 ビット \times 1ch および 12 ビット \times 2ch
	I ² C バスインタ フェース	1ch, インテル社のシステム管理バス改版 1.0 とフィリップス社 I ² C 仕様に準拠 2 線式通信 (MB89PV530/P538/F538/F538L/537C/538C/537HC/538HC/537AC/538AC)
	A/D コンバータ	10 ビット解像度 \times 8ch A/D 変換機能 (変換時間: 60 t_{inst}) 外部クロックまたは内部クロックにより繰り返し起動をサポート (外部クロックによる繰り返し起動は MB89F538/F538L を除く) 基準電圧入力あり (AVR)
スタンバイモード (低電力モード)		スリープモード, ストップモード, サブクロックモード, 時計モード
プロセス		CMOS

t_{inst} : t_{inst} は、命令サイクル (実行時間) であり、メインクロックの 1/4, 1/8, 1/16, 1/64 またはサブクロックの 1/2 を選択可能 (「3.6 クロック」を参照)。

1.3 品種間の相違点と品種選択時の注意事項

MB89530/530H/530A シリーズの5種類の品種の相違点と品種選択時の注意事項について説明します。

■ 品種間の相違点と品種選択時の注意事項

● 品種間の相違点

表 1.3-1 対応品種のパッケージ

品種 パッケージ	MB89535A	MB89537/537C MB89537H/537HC MB89537A/537AC	MB89538/538C MB89538H/538HC MB89538A/538AC	MB89P538 MB89F538	MB89F538L	MB89PV530 (EVA)
DIP-64P-M01						×
FPT-64P-M03				×	×	×
FPT-64P-M06						×
FPT-64P-M09						×
MDP-64C-P02	×	×	×	×	×	
MQP-64C-P01	×	×	×	×	×	
LCC-64P-M16	×	×	×	*	×	×
LCC-64P-M19	×	×	×	×		×

*: MB89P538 の ES 限定

: 使用可能

×: 使用不可能

端子ピッチを変換する変換ソケット (サンハヤト社製) を使用できます。

連絡先: サンハヤト社, TEL 03-3986-0403

● メモリ空間

デバッグ用の EVA で評価する場合には、実際に使用する品種との相違を確認の上、評価してください。特に以下の点に注意してください。(「3.1 メモリ空間」を参照)

- ・ プログラム ROM 領域は、MB89P538, MB89F538, MB89F538L と MB89PV530 の場合、4000_H から始まります。
- ・ スタック領域を RAM の上位側に設定している場合。

● 消費電流

- ・ MB89PV530 では、背面ソケットに実装された EPROM の消費電流が加わります。
- ・ 低速で動作させた場合には、ワнтаイム PROM または EPROM 搭載品種の消費電流は、マスク ROM 搭載品種より増加します。ただし、スリープモードまたはストップモード時の消費電流は同等です。

詳細については、データシートの電気的特性を参照してください。

● マスクオプション

オプションで利用できる機能、オプションの指定方法は、品種により異なります。ご使用前に「付録 C マスクオプション」を確認してください。

● ワイルドレジスタ機能

ワイルドレジスタ機能が使用できるアドレス空間を表 1.3-2 に示します。

表 1.3-2 ワイルドレジスタ機能が使用できる空間

品種名	アドレス空間
MB89PV530	4000 _H ~ FFFF _H
MB89P538/F538/F538L	4000 _H ~ FFFF _H
MB89537/537C/537H/537HC/537A/537AC	8000 _H ~ FFFF _H
MB89538/538C/538H/538HC/538A/538AC	4000 _H ~ FFFF _H
MB89535A	C000 _H ~ FFFF _H

1.4 MB89530/530H/530A シリーズのブロックダイアグラム

MB89530/530H/530A シリーズのブロックダイアグラムを示します。

■ MB89530/530H/530A シリーズのブロックダイアグラム

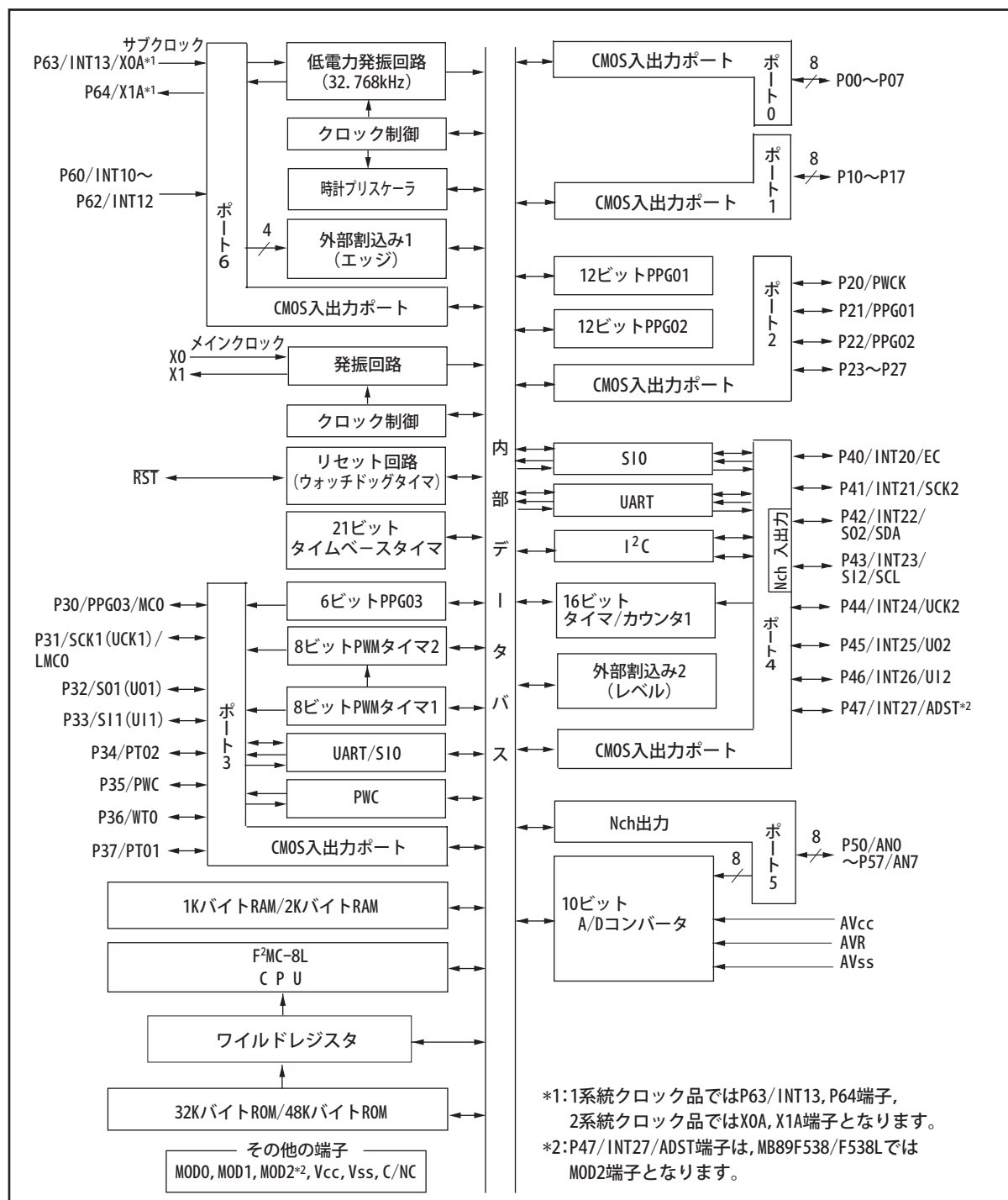


図 1.4-1 MB89530/530H/530A シリーズのブロックダイアグラム

1.5 端子配列図

MB89530/530H/530A シリーズの端子配列図を示します。

■ DIP-64P-M01, MDP-64C-P02 端子配列図

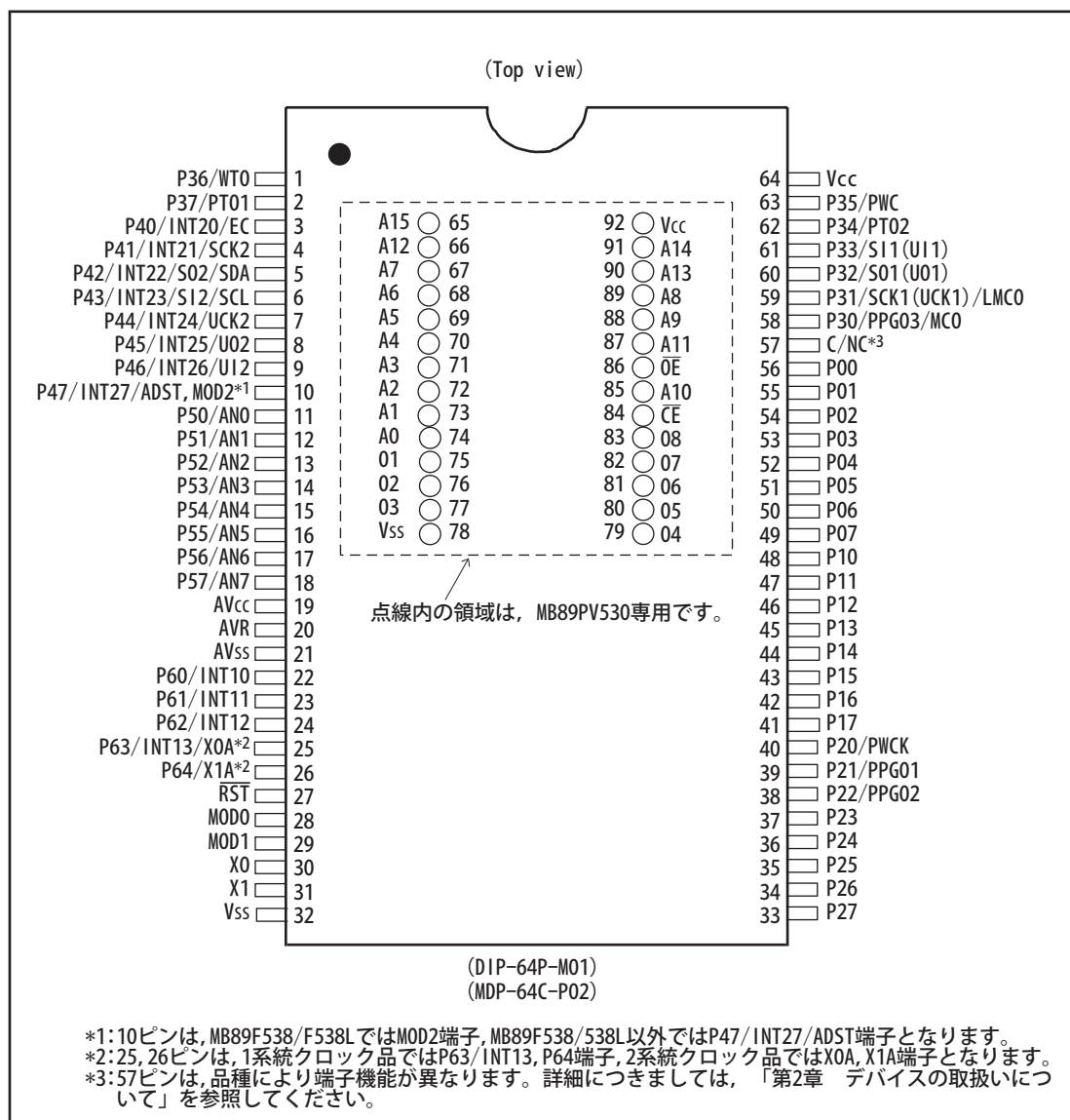


図 1.5-1 DIP-64P-M01 および MDP-64C-P02 の端子配列図

■ FPT-64P-M03, FPT-64P-M09 の端子配列図

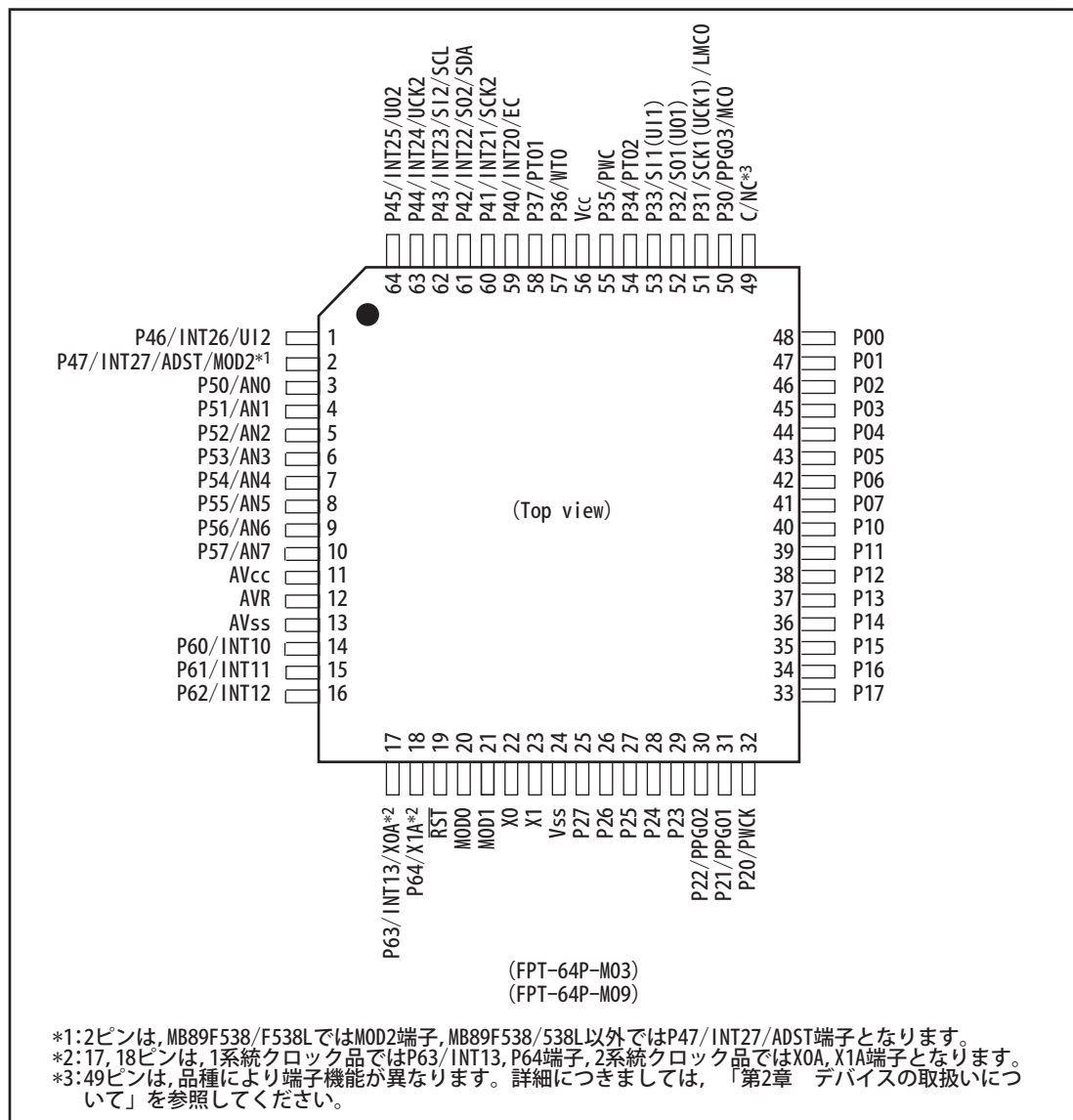


図 1.5-2 FPT-64P-M03 および FPT-64P-M09 の端子配列図

■ FPT-64P-M06, MQP-64C-P01 の端子配列図

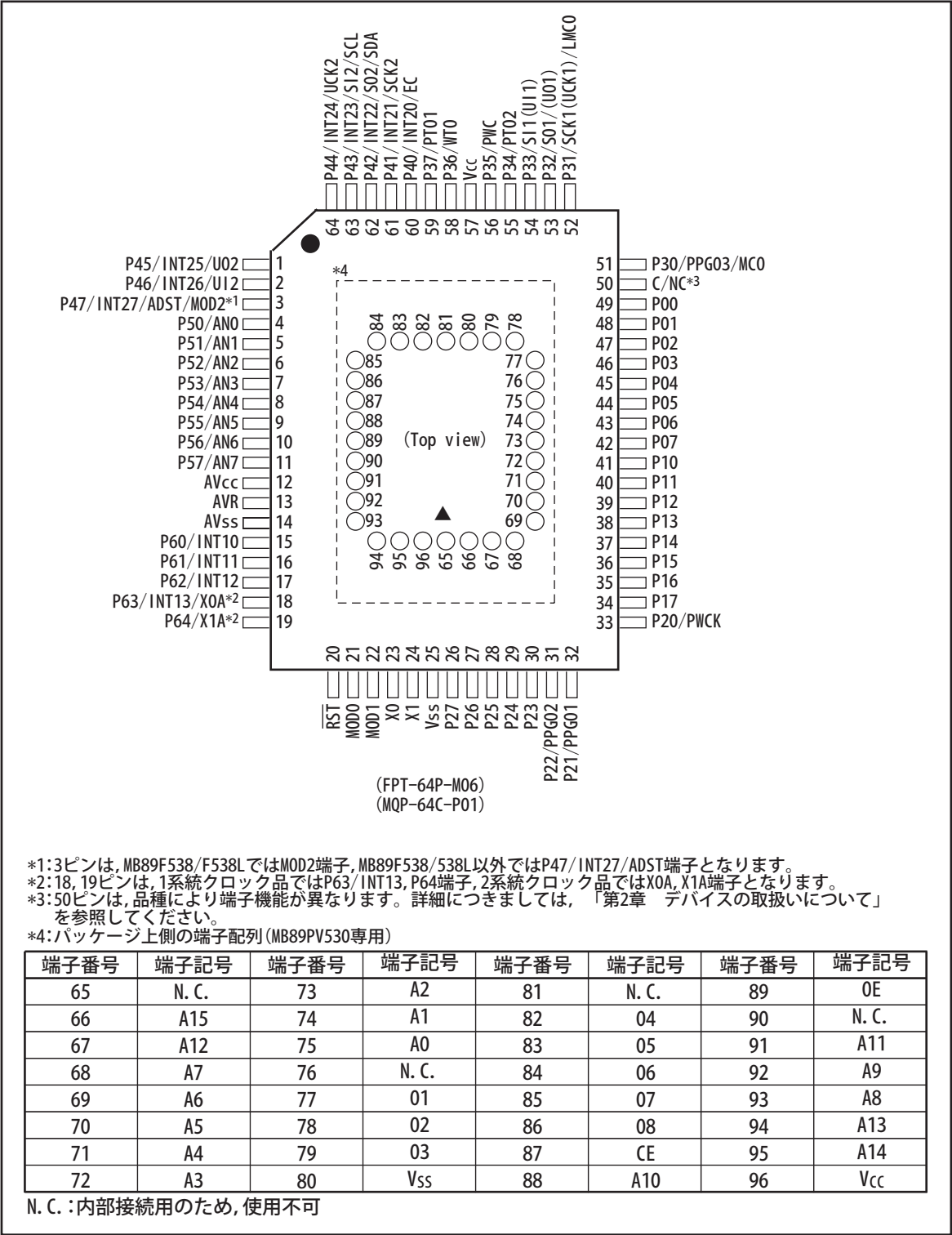
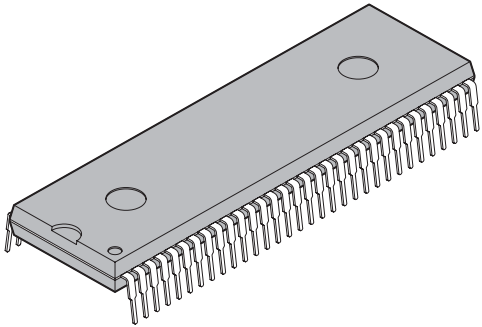


図 1.5-3 FPT-64P-M06 および MQP-64C-P01 の端子配列図

1.6 外形寸法図

MB89530/530H/530A シリーズには、品種に合わせて 6 種類のパッケージを用意しています。なお、本外形寸法は変更することがありますので、最新版につきましては弊社販売担当部門またはサポート部門までお問い合わせください。

■ DIP-64P-M01 の外形寸法図

<p>プラスチック・SH-DIP, 64 ピン</p>  <p>(DIP-64P-M01)</p>	リードピッチ	1.778mm
	パッケージ幅× パッケージ長さ	17 × 58mm
	封止方法	プラスチックモールド
	取付け高さ	5.65mm MAX

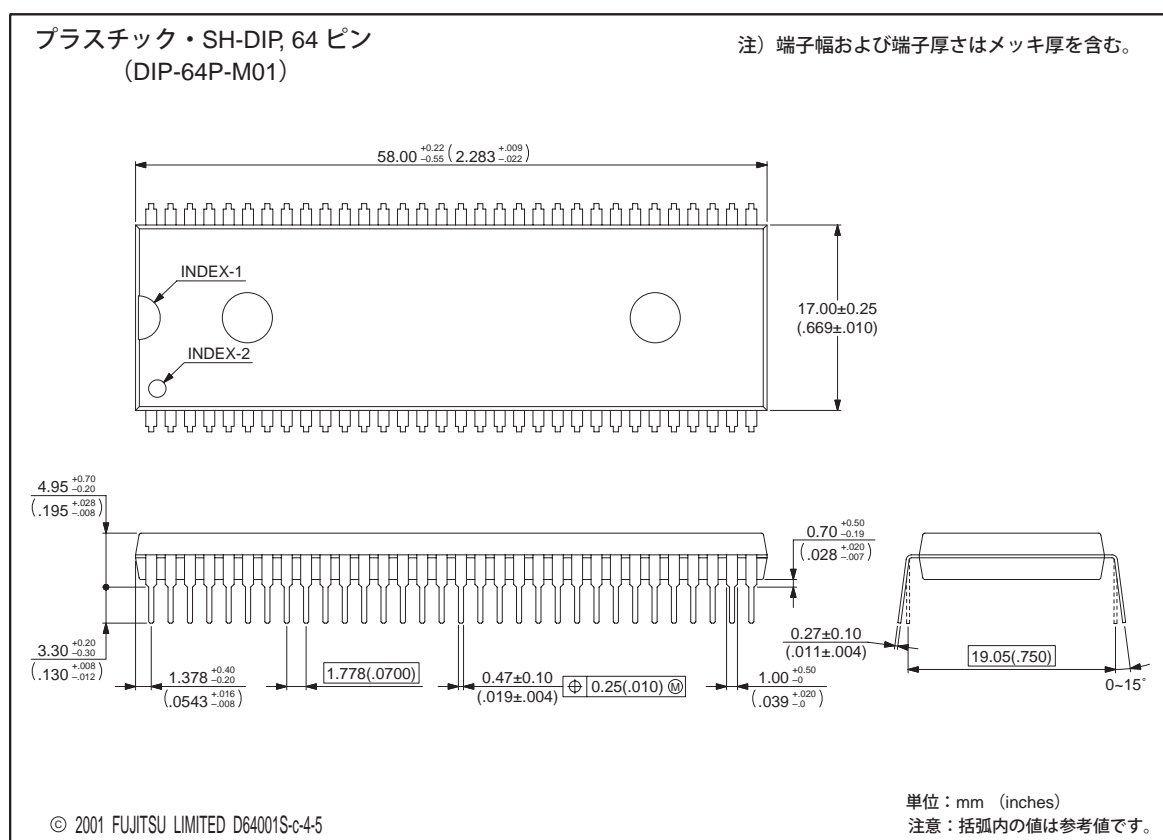
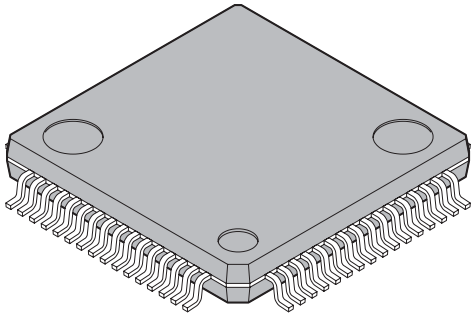


図 1.6-1 DIP-64P-M01 の外形寸法図

■ FPT-64P-M03 の外形寸法図

<p>プラスチック・LQFP, 64 ピン</p>  <p>(FPT-64P-M03)</p>	リードピッチ	0.50mm
	パッケージ幅× パッケージ長さ	10.0 × 10.0mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70mm MAX
	質量	0.32g
	コード (参考)	P-LFQFP64-10×10-0.50

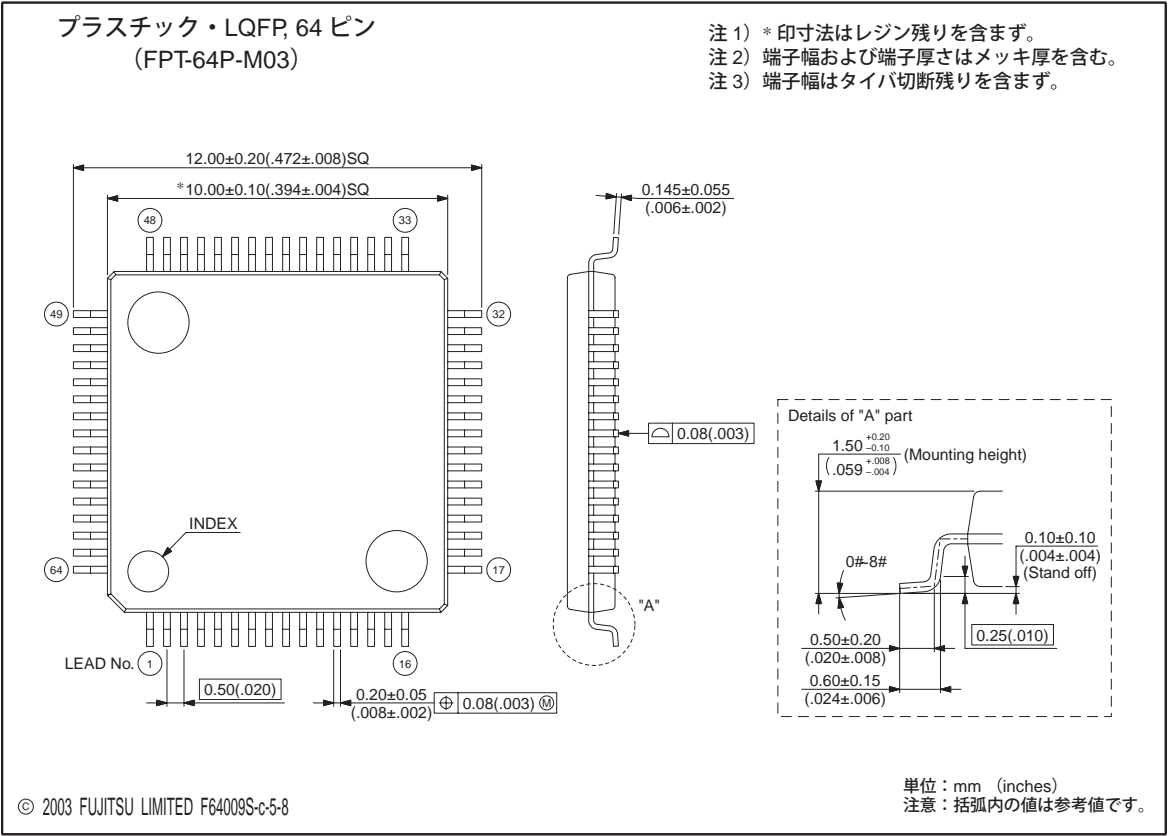
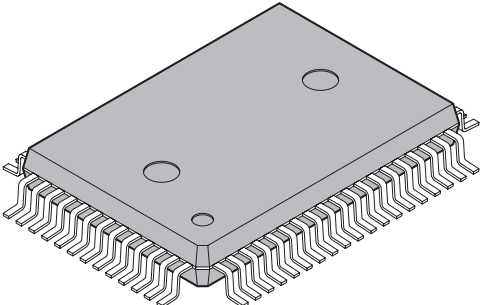


図 1.6-2 FPT-64P-M03 の外形寸法図

■ FPT-64P-M06 の外形寸法図

<p>プラスチック・QFP, 64 ピン</p>  <p>(FPT-64P-M06)</p>	<p>リードピッチ</p> <p>1.00mm</p>
	<p>パッケージ幅× パッケージ長さ</p> <p>14 × 20mm</p>
	<p>リード形状</p> <p>ガルウィング</p>
	<p>封止方法</p> <p>プラスチックモールド</p>
	<p>取付け高さ</p> <p>3.35mm MAX</p>
	<p>コード (参考)</p> <p>P-QFP64-14×20-1.00</p>

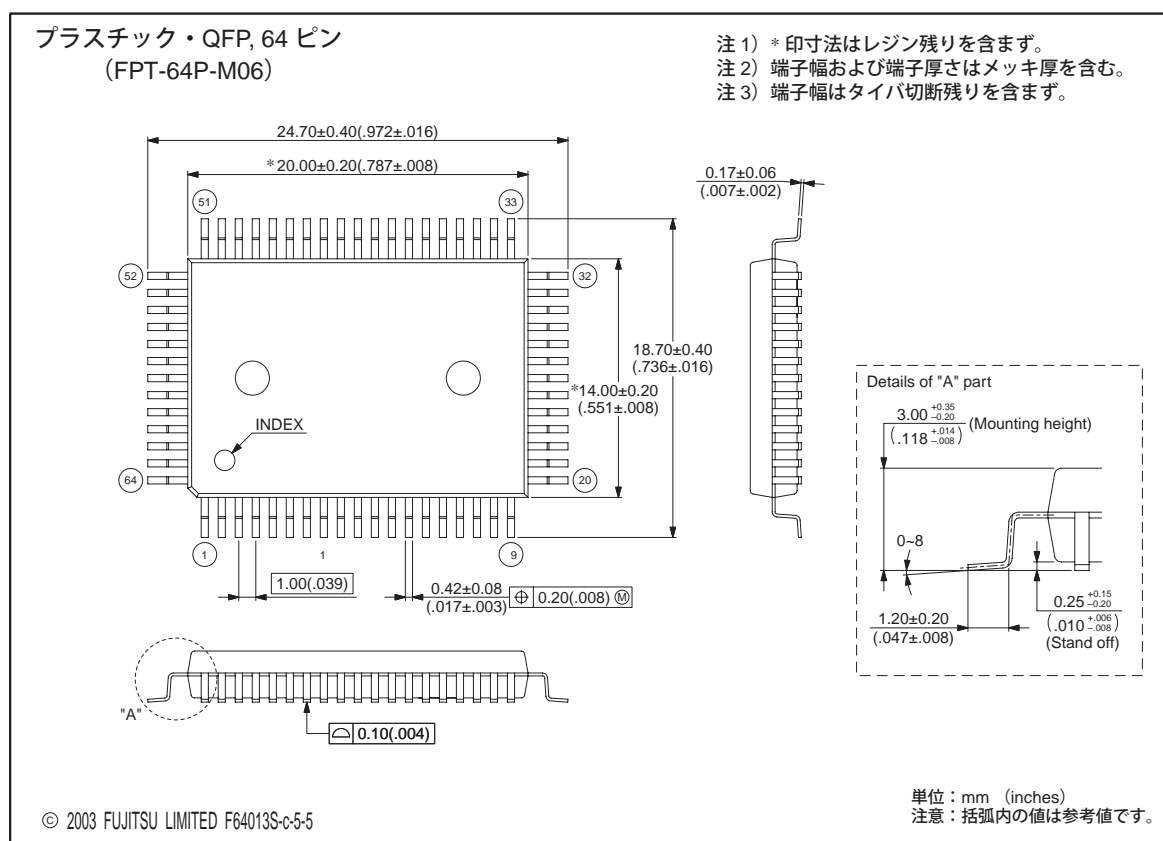
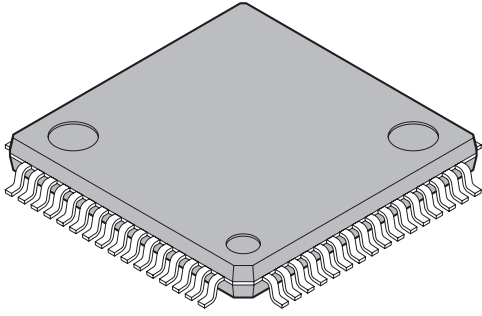


図 1.6-3 FPT-64P-M06 の外形寸法図

■ FPT-64P-M09 の外形寸法図

<p>プラスチック・LQFP, 64 ピン</p>  <p>(FPT-64P-M09)</p>	リードピッチ	0.65mm
	パッケージ幅× パッケージ長さ	12 × 12mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70mm MAX
	コード (参考)	P-LQFP64-12×12-0.65

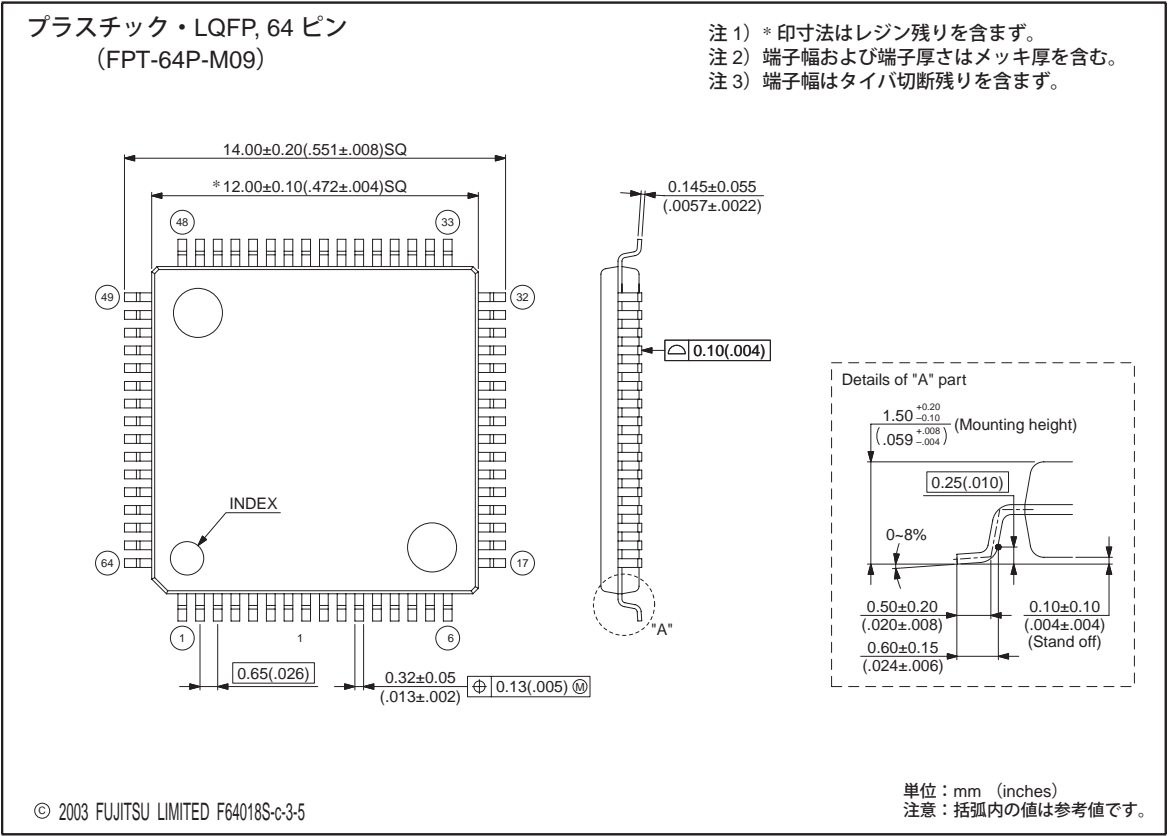
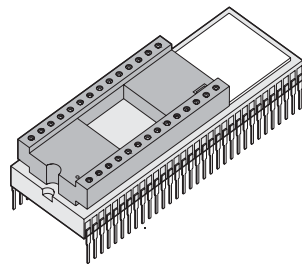


図 1.6-4 FPT-64P-M09 の外形寸法図

■ MDP-64C-P02 の外形寸法図

<div data-bbox="360 273 689 304">セラミック・MDIP, 64 ピン</div> <div data-bbox="373 383 676 645">  </div> <div data-bbox="458 692 592 716">(MDP-64C-P02)</div>	<div data-bbox="895 273 1066 304">リードピッチ</div> <div data-bbox="1211 273 1283 304">70mil</div>
	<div data-bbox="932 347 1029 378">列間隔</div> <div data-bbox="1198 347 1295 378">750mil</div>
	<div data-bbox="882 405 1077 468">マザーボードの 材料</div> <div data-bbox="1174 421 1319 452">セラミック</div>
	<div data-bbox="882 477 1077 539">接続ソケットの 材質</div> <div data-bbox="1161 492 1332 524">プラスチック</div>

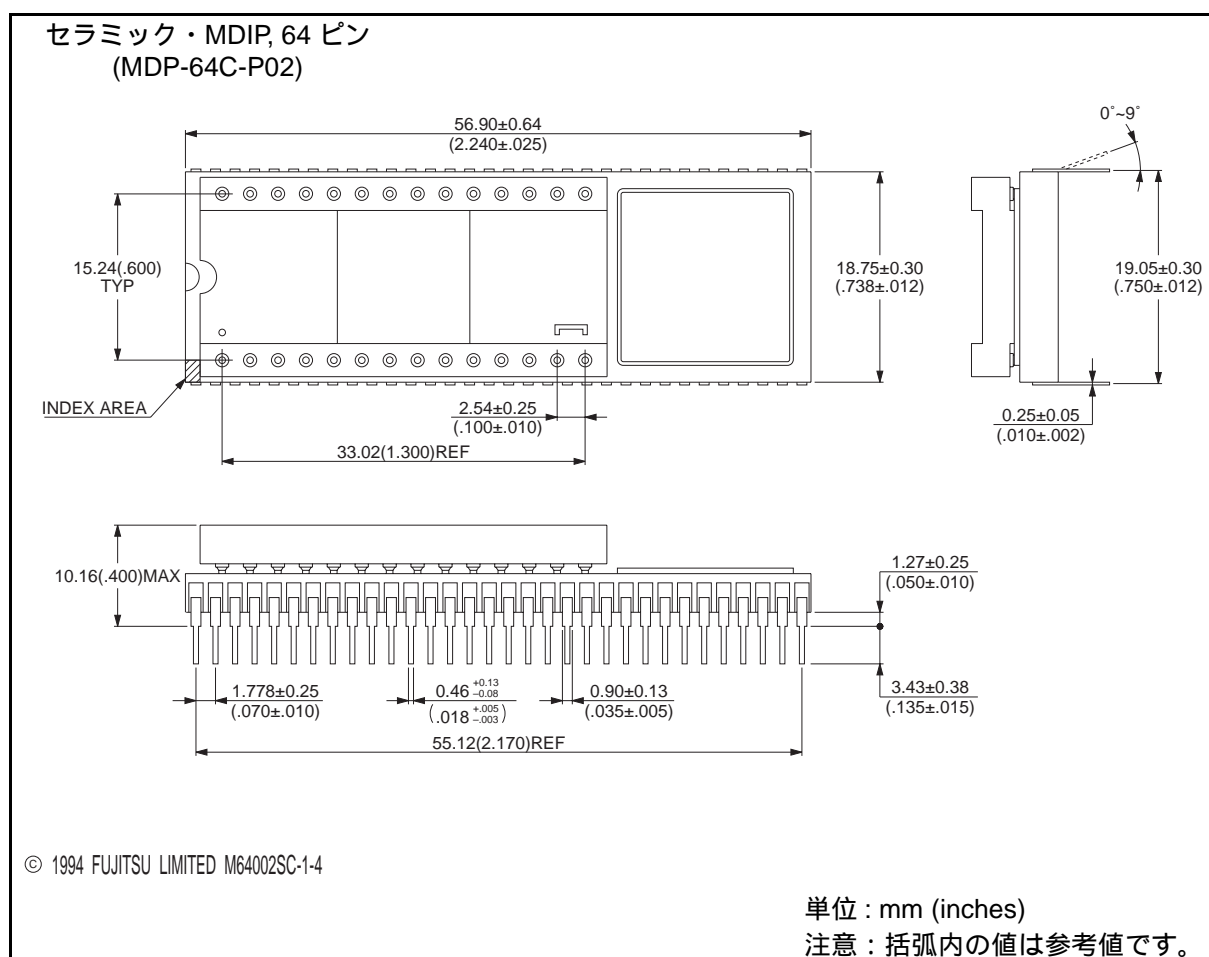


図 1.6-5 MDP-64C-P02 の外形寸法図

■ MQP-64C-P01 の外形寸法図

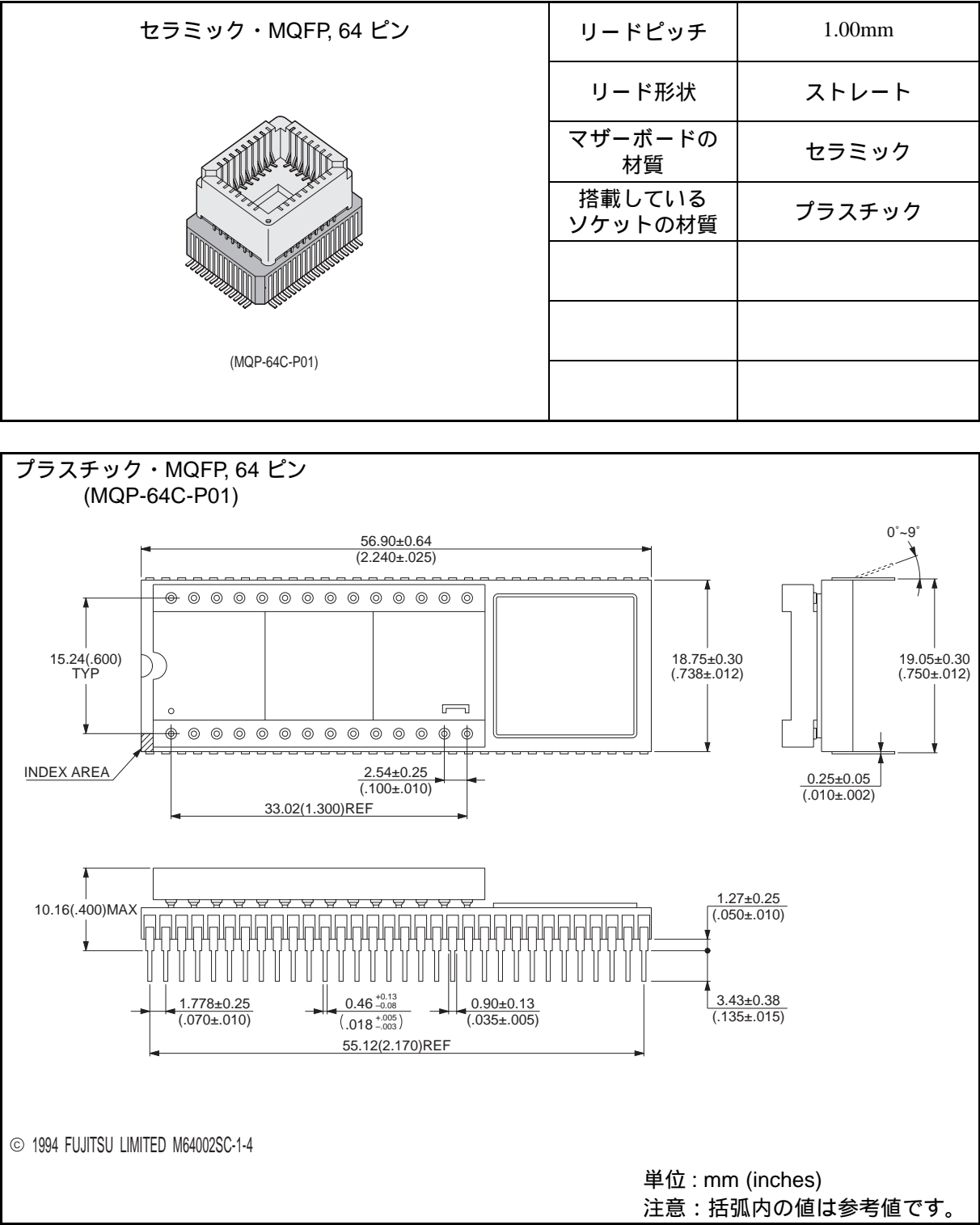


図 1.6-6 MQP-64C-P01 の外形寸法図

1.7 端子機能説明

MB89530/530H/530A シリーズの入出力端子とその機能を示します。

■ 端子機能説明

表 1.7-1 の入出力回路形式欄のアルファベットは、表 1.8-1 の分類欄のアルファベットに対応しています。

表 1.7-1 端子機能説明 (1 / 3)

端子番号			端子名	入出力回路形式	機能説明
SH-DIP*1 MDIP*2	QFP*3 MQFP*4	LQFP*5 QFP*6			
30	23	22	X0	A	メインクロック用の接続端子 外部クロックは X0 に接続可能です。この場合、X1 はオープンにします。
31	24	23	X1		
28	21	20	MOD0	B	メモリアクセスモード設定用の入力端子 V _{SS} に直接接続します。
29	22	21	MOD1		
27	20	19	RST	C	リセット入出力端子 プルアップ抵抗付きの CMOS 入出力とヒステリシス入力となります。内部のリセット要求により、端子から "L" レベルを出力します。"L" レベルの入力によって、内部回路が初期化されます。
56 ~ 49	49 ~ 42	48 ~ 41	P00 ~ P07	D	汎用入出力ポート
48 ~ 41	41 ~ 34	40 ~ 33	P10 ~ P17	D	汎用入出力ポート
40	33	32	P20/PWCK	E	汎用入出力ポート リソース入出力端子（入力はヒステリシス） PWC 入力と兼用です。
39	32	31	P21/PPG01	D	汎用入出力ポート PPG01 出力と兼用です。
38	31	30	P22/PPG02	D	汎用入出力ポート PPG02 出力と兼用です。
37	30	29	P23	D	汎用入出力ポート
36	29	28	P24	D	汎用入出力ポート
35	28	27	P25	D	汎用入出力ポート
34	27	26	P26	D	汎用入出力ポート
33	26	25	P27	D	汎用入出力ポート
58	51	50	P30/PPG03/ MCO	D	汎用入出力ポート PPG03 出力と兼用です。
59	52	51	P31/SCK1 (UCK1)/ LMCO	E	汎用入出力ポート リソース入出力端子（入力はヒステリシス） UART/SIO のクロック入出力と兼用です。
60	53	52	P32/ SO1 (UO1)	D	汎用入出力ポート UART/SIO のシリアルデータ出力と兼用です。
61	54	53	P33/ SI1 (UI1)	E	汎用入出力ポート リソース入出力端子（入力はヒステリシス） UART/SIO のシリアルデータ入力と兼用です。

*1: DIP-64P-M01 *2: MDP-64C-P02 *3: FPT-64P-M06

*4: MQP-64C-P01 *5: FPT-64P-M03 *6: FPT-64P-M09

表 1.7-1 端子機能説明 (2 / 3)

端子番号			端子名	入出力 回路 形式	機能説明	
SH-DIP*1 MDIP*2	QFP*3 MQFP*4	LQFP*5 QFP*6				
62	55	54	P34/PTO2	D	汎用入出力ポート PWM タイマ 2 出力と兼用です。	
63	56	55	P35/PWC	E	汎用入出力ポート リソース入出力端子 (入力はヒステリシス) PWC 入力と兼用です。	
1	58	57	P36/WTO	D	汎用入出力ポート リソースは出力 PWC 出力と兼用です。	
2	59	58	P37/PTO1	D	汎用入出力ポート リソースは出力 PWM タイマ 1 出力と兼用です。	
3	60	59	P40/INT20/ EC	E	汎用入出力ポート。 リソース入出力端子 (入力ヒステリシス) 外部割込み入力および 16 ビットタイマ / カウンタ入力と兼用です。	
4	61	60	P41/INT21/ SCK2	E	汎用入出力ポート リソース入出力端子 (入力ヒステリシス) 外部割込み入力および SIO のクロック入出力と兼用です。	
5	62	61	P42/INT22/ SO2/SDA	G	Nch オープンドレイン出力 リソース入出力端子 (入力ヒステリシス) 外部割込み入力, SIO のシリアルデータ出力および I ² C のデータラインと兼用です。	
6	63	62	P43/INT23/ S12/SCL	G	Nch オープンドレイン出力 リソース入出力端子 (入力ヒステリシス) 外部割込み入力, SIO のシリアルデータ入力および I ² C のクロック入出力と兼用です。	
7	64	63	P44/INT24/ UCK2	E	汎用入出力ポート リソース入出力端子 (入力ヒステリシス) 外部割込み入力および UART のクロック入出力と兼用です。	
8	1	64	P45/INT25/ UO2	E	汎用入出力ポート リソース入出力端子 (入力ヒステリシス) 外部割込み入力および UART のデータ出力と兼用です。	
9	2	1	P46/INT26/ UI2	E	汎用入出力ポート 外部割込み入出力端子 (入力ヒステリシス) 外部割込み入力および UART のデータ入力と兼用です。	
10	3	2	MOD2	B	MB89F538/ MB89F538L	メモリアクセスモード設定用の入力 端子 V _{SS} に直接接続します。
			P47/INT27/ ADST	E	上記以外	汎用入出力ポート リソース入出力端子 (入力ヒステリシス) 外部割込み入力および A/D コンバータのクロック入力端子と兼用です。
11 ~ 18	4 ~ 11	3 ~ 10	P50/AN0 ~ P57/AN7	H	Nch オープンドレイン出力ポート A/D コンバータのアナログ入力と兼用です。	

*1: DIP-64P-M01 *2: MDP-64C-P02 *3: FPT-64P-M06

*4: MQP-64C-P01 *5: FPT-64P-M03 *6: FPT-64P-M09

第 1 章 概要

表 1.7-1 端子機能説明 (3 / 3)

端子番号			端子名	入出力 回路 形式	機能説明	
SH-DIP*1 MDIP*2	QFP*3 MQFP*4	LQFP*5 QFP*6				
22 ~ 24	15 ~ 17	14 ~ 16	P60/INT10 ~ P62/INT12	I	汎用入力ポート リソース入出力端子 (入力はヒステリシス) 外部割込み入力と兼用です。	
25	18	17	P63/INT13	I	1 系統クロック品	汎用入力ポート リソース入出力端子 (入力ヒステリシス) 外部割込み入力と兼用です。
			X0A	A	2 系統クロック品	サブクロック用の接続端子
26	19	18	P64	J	1 系統クロック品	汎用入力ポート
			X1A	A	2 系統クロック品	サブクロック用の接続端子
64	57	56	V _{CC}	-	電源端子	
32	25	24	V _{SS}	-	電源端子 (GND)	
19	12	11	AV _{CC}	-	A/D コンバータの電源端子	
20	13	12	AVR	-	A/D コンバータの基準電圧入力	
21	14	13	AV _{SS}	-	A/D コンバータの電源端子 V _{SS} と同じ電圧レベルで使します。	
57	50	49	C	-	MB89537H/537HC MB89538H/538HC MB89F538	電源安定化の容量端子 外部に 0.1 μF 程度のセラミックコン デンサを接続します。
					MB89P538	降圧回路安定時間 " あり " を選択す る場合は , V _{CC} に固定します。 降圧回路安定時間 " なし " を選択す る場合は , V _{SS} に固定します。
					MB89PV530/535A/ F538L MB89537/537C/537A/ 537AC MB89538/538C/538A/ 538AC	N.C. 端子

*1: DIP-64P-M01 *2: MDP-64C-P02 *3: FPT-64P-M06

*4: MQP-64C-P01 *5: FPT-64P-M03 *6: FPT-64P-M09

表 1.7-2 外部 EPROM ソケット用端子機能説明 (MB89PV530 のみ)

端子番号		端子名	入出力 回路形式	機能説明
MDIP ^{*1}	MQFP ^{*2}			
65	66	A15	O	アドレス出力端子
66	67	A12		
67	68	A7		
68	69	A6		
69	70	A5		
70	71	A4		
71	72	A3		
72	73	A2		
73	74	A1	I	データ入力端子
74	75	A0		
75	77	O1		
76	78	O2	O	電源端子 (GND)
77	79	O3		
78	80	V _{SS}	I	データ入力端子
79	82	O4		
80	83	O5		
81	84	O6		
82	85	O7		
83	86	O8		
84	87	\overline{CE}	O	ROM のチップイネーブル端子 スタンバイモードで "H レベル" を出力します。
85	88	A10	O	アドレス出力端子
86	89	\overline{OE}	O	ROM のアウトプットイネーブル端子 常に "L レベル" を出力します。
87	91	A11	O	アドレス出力端子
88	92	A9		
89	93	A8		
90	94	A13	O	
91	95	A14	O	EPROM 用電源端子
92	96	V _{CC}	O	
-	65 76 81 90	N.C.	O	内部接続端子 常にオープンにします。

*1: MDP-64C-P02

*2: MQP-64C-P01

1.8 入出力回路形式

各端子の入出力回路形式を示します。

■ 入出力回路形式

表 1.7-1 の分類欄のアルファベットは，表 1.8-1 の入出力回路形式欄のアルファベットに対応しています。

表 1.8-1 入出力回路形式 (1 / 2)

分類	回路	備考
A		発振帰還抵抗 ・ 高速側 = 約 1M ・ 低速側 = 約 10M
B		・ ヒステリシス入力 ・ プルダウン抵抗 MB89535A MB89537/537C MB89538/538C MB89537H/537HC MB89538H/538HC MB89537A/537AC MB89538A/538AC に内蔵
C		・ プルアップ抵抗内蔵 ・ ヒステリシス入力
D		・ CMOS 入出力 ・ ソフトウェアプルアップ抵抗が使用可能。

表 1.8-1 入出力回路形式 (2 / 2)

分類	回路	備考
E	<p>プルアップ制御レジスタ</p> <p>ポート入力</p> <p>リソース入力</p>	<ul style="list-style-type: none"> CMOS 入出力 ソフトウェアプルアップ抵抗を使用可能。
G	<p>リソース入力</p> <p>ポート入力</p>	<ul style="list-style-type: none"> Nch オープンドレイン出力 ヒステリシス入力 CMOS 入力
H	<p>アナログ入力</p>	<ul style="list-style-type: none"> Nch オープンドレイン出力 アナログ入力 (A/D コンバータ)
I	<p>プルアップ制御レジスタ</p> <p>リソース</p> <p>ポート</p>	<ul style="list-style-type: none"> ヒステリシス入力 CMOS 入力 ソフトウェアプルアップ抵抗を使用可能。
J	<p>プルアップ制御レジスタ</p> <p>ポート</p>	<ul style="list-style-type: none"> CMOS 入力 ソフトウェアプルアップ抵抗を使用可能。

第2章

デバイスの取扱いについて

MB89530/530H/530A シリーズの取扱い上の注意
について説明します。

2.1 デバイス取扱い上の注意

2.1 デバイス取扱い上の注意

デバイスの電源電圧，端子の処理などについての注意事項を記載します。

■ デバイス取扱い上の注意

● ラッチアップの防止，電源投入について

本デバイスでは，入力端子や出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合， V_{CC} 端子と V_{SS} 端子間に絶対最大定格を超える電圧が印加された場合，または V_{CC} の電圧より AV_{CC} の電源が先に供給された場合に，ラッチアップ現象を生じることがあります。

ラッチアップ現象が起きると電源電流が激増し，素子の熱破壊に至ることがありますので，使用に際しては，注意してください。

アナログ系の電圧印加は，必ず V_{CC} と同時に行うか，ディジタル電源の投入後に行ってください（電源 OFF の場合は，アナログ系電源を先に切断するか，同時に切断してください）。

● 供給電圧の安定化

V_{CC} 電源電圧の動作範囲内においても，電源の急激な変化があると誤動作を生じることがありますので， V_{CC} 電源電圧を安定させてください。

安定化の基準として，商用周波数 (50/60Hz) での V_{CC} リップル変動 (P-P 値) は，標準 V_{CC} 値の 10% 以下に，また，電源の切替え時の瞬時変化においては，過渡変動率が 0.1V/ms 以下になるように電圧変動を抑えてください。

● 未使用入力端子の処理

入力に用いる未使用端子を開放のままにしておくと，誤動作およびラッチアップによる永久破壊の原因になることがあります。

使用していない入力端子は 2k Ω 以上の抵抗を介してプルアップまたはプルダウンの処理を行ってください。

● N.C. 端子の処理について

外部 EPROM ソケット用の N.C. 端子は，必ず開放にしてください（表 1.7-2 参照）。

● A/D コンバータ搭載品種の電源端子処理

A/D コンバータを使用しない場合は， $AV_{CC}=V_{CC}$ ， $AV_{SS}=AVR=V_{SS}$ となるように接続してください。

● 外部クロック使用時の注意

外部クロック使用時においても，パワーオンリセット，サブクロックモードおよびストップモードからの解除には，発振安定待ち時間が必要です。

● RAM 上でのプログラム実行について

RAM 上でプログラムを実行させた場合のデバック作業は，デバック用の EVA である MB89PV530 を使用した場合でもできません。

● ワイルドレジスタ機能について

ワイルドレジスタは、MB89PV530 とツールではデバックすることができません。動作の確認は、MB89P538, MB89F538 もしくは MB89F538L にて実機上で行うようにしてください。

● MB89530/530H/530A シリーズ C 端子の取扱いについて

MB89530/530H/530A シリーズは、降圧回路内蔵品において、C 端子の処理が必要です。ただし、MB89P538 では、C 端子の処理によって降圧回路内蔵品 / 非内蔵品を選択できます。

表 2.1-1 降圧回路内蔵品 / 非内蔵品の端子処理

製品名	動作電圧	降圧回路	端子種別	端子処理
MB89PV530	2.7V ~ 5.5V	非内蔵	N.C 端子	必要なし
MB89P538	2.7V ~ 5.5V	内蔵	C 端子	V _{CC} 固定
		非内蔵		V _{SS} 固定
MB89F538	3.5V ~ 5.5V	内蔵	C 端子	0.1 μ F のコンデンサ接続
MB89537H/537HC	3.5V ~ 5.5V	内蔵	C 端子	0.1 μ F のコンデンサ接続
MB89538H/538HC	3.5V ~ 5.5V	内蔵	C 端子	0.1 μ F のコンデンサ接続
MB89537/537C	2.2V ~ 3.6V	非内蔵	N.C 端子	必要なし
MB89538/538C	2.2V ~ 3.6V	非内蔵	N.C 端子	必要なし
MB89F538L	2.3V ~ 3.6V	非内蔵	N.C 端子	必要なし
MB89537A/537AC	2.2V ~ 5.5V	非内蔵	N.C 端子	必要なし
MB89538A/538AC	2.2V ~ 5.5V	非内蔵	N.C 端子	必要なし
MB89535A	2.2V ~ 5.5V	非内蔵	N.C 端子	必要なし

● パワーオンリセット後の動作シーケンスについて

MB89530/530H/530A シリーズでは、降圧回路内蔵品 / 非内蔵品で、パワーオンリセット後の動作シーケンスが異なります。

降圧回路内蔵品は、降圧回路非内蔵品に比べ CPU 動作開始が遅くなります。これは、降圧回路が正常動作するまでの降圧回路安定時間が含まれるためです。

パワーオンリセット後の動作シーケンスについて図 2.1-1 に示します。

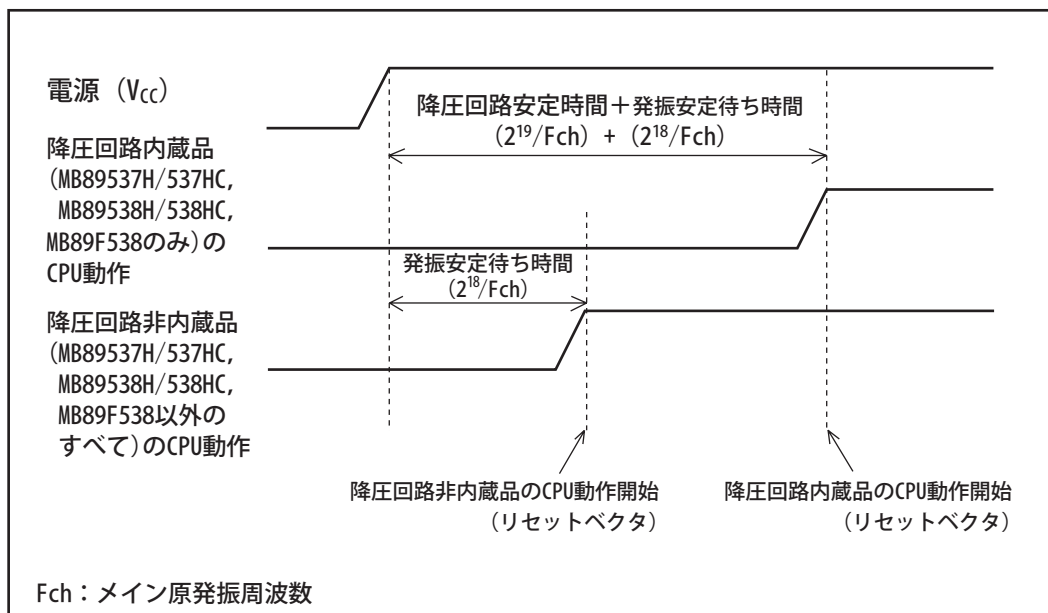


図 2.1-1 パワーオンリセット後の動作シーケンス

● 外部リセット端子 (\overline{RST}) へのノイズの注意について

外部リセット端子 (\overline{RST}) に規格値未満のリセットパルスが入力された場合、誤動作を起こすことがあります。外部リセット端子 (\overline{RST}) に規格値未満のリセットパルスが入力されないようにしてください。

第 3 章

CPU

この章では、CPU の機能と動作について説明します。

- 3.1 メモリ空間
- 3.2 専用レジスタ
- 3.3 汎用レジスタ
- 3.4 割込み
- 3.5 リセット
- 3.6 クロック
- 3.7 スタンバイモード (低消費電力)
- 3.8 メモリアクセスモード

3.1 メモリ空間

MB89530/530H/530A シリーズのメモリ空間は 64K バイトで、I/O 領域、RAM 領域、ROM 領域によって構成されます。メモリ空間には汎用レジスタ、ベクトルテーブルなど特定の用途に使用される領域があります。

■ メモリ空間の構成

- I/O 領域 (アドレス :0000_H ~ 007F_H)
 - 内蔵する周辺機能の制御レジスタ、データレジスタが割り当てられています。
 - I/O 領域はメモリ空間の一部に割り当てられています。したがって、I/O 領域のアクセスには、メモリアクセスと同じ命令を使用します。また、ダイレクトアドレッシング命令を用いることで、より高速にアクセスできます。
- 拡張 I/O 領域 (アドレス :C80_H ~ C91_H)
 - ワイルドレジスタの上位バイト、下位バイトアドレスレジスタおよびデータレジスタが割り当てられています。
- RAM 領域
 - 内部データ領域としてスタティック RAM が内蔵されています。
 - 内部 RAM 容量は品種によって異なります。
 - 80_H ~ FF_H までの RAM 領域はダイレクトアドレッシング命令を用いることによって高速にアクセスできます。
 - 100_H ~ 1FF_H までを汎用レジスタ領域として使用できます。
 - RAM への書込み中にリセットが発生した場合、書込みを行っているアドレスのデータは保証しません。
- ROM 領域
 - 内部プログラム領域として、ROM が内蔵されています。
 - 内部 ROM 容量は品種によって異なります。
 - FFC0_H ~ FFFF_H はベクトルテーブルとして使用します。

■ メモリマップ

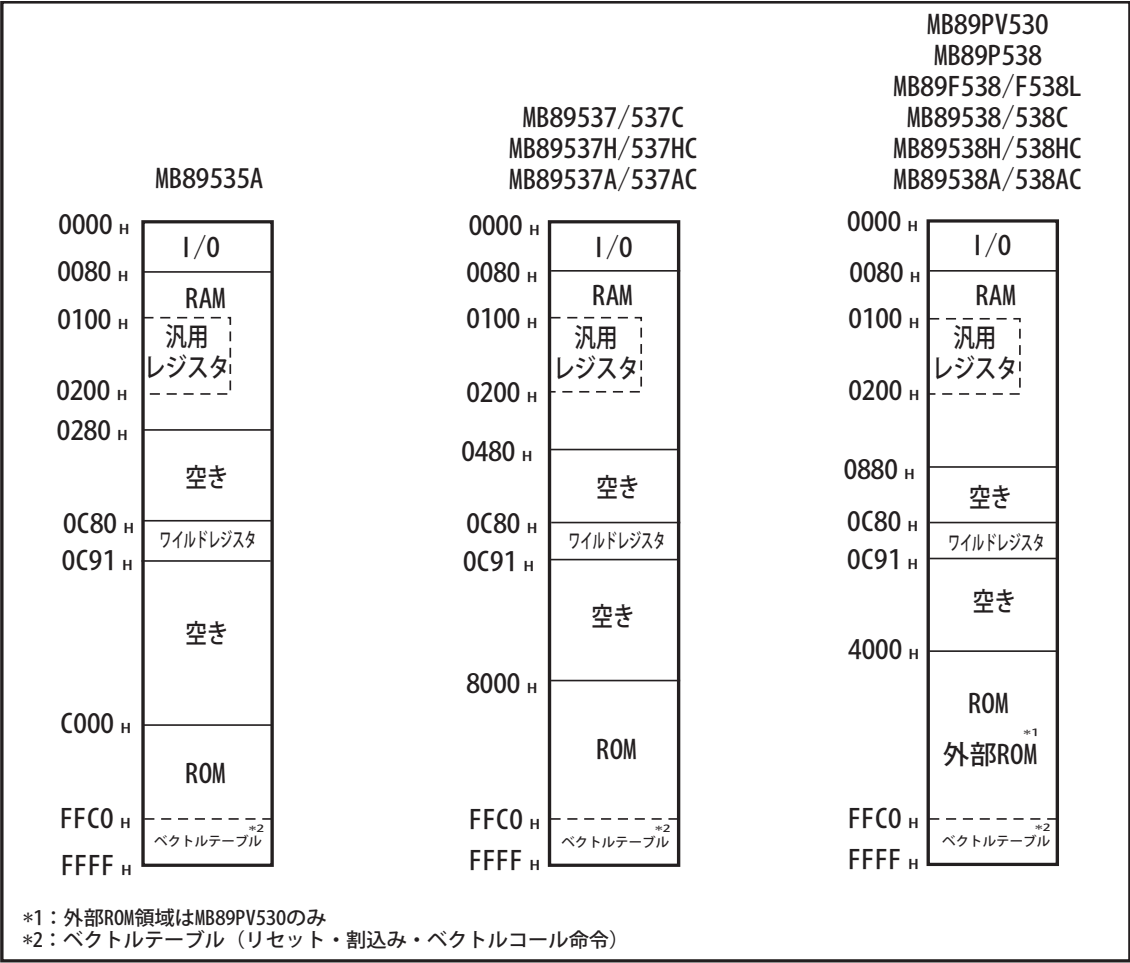


図 3.1-1 メモリマップ

3.1.1 特定用途の領域

メモリ空間には、特定の用途に使用するための領域として、汎用レジスタ領域とベクトルテーブル領域があります。

■ 汎用レジスタ領域 (アドレス :0100_H ~ 01FF_H)

- 8 ビットの演算や転送に使用する、補助的なレジスタが配置されています。
- RAM 領域の一部に割り当てられており、通常の RAM として使用することもできます。
- この領域を汎用レジスタとして使用する場合は、汎用レジスタアドレッシングによって、短い命令で高速にアクセスできます。

詳細は、「3.2.2 レジスタバンクポインタ (RP)」および「3.3 汎用レジスタ」を参照してください。

■ ベクトルテーブル領域 (アドレス :FFC0_H ~ FFFF_H)

- ベクトルコール命令、割込みおよびリセットのベクトルテーブルとして使用します。
- ROM 領域の最上部に割り当てられており、ベクトルテーブルには処理ルーチンの開始アドレスを設定します。

ベクトルコール命令、割込みおよびリセットに対応して参照されるベクトルテーブルのアドレスを表 3.1-1 に示します。

詳細は、「3.4 割込み」、「3.5 リセット」および「付録 B.2 特殊な命令について」の「CALLV #vct」を参照してください。

表 3.1-1 ベクトルテーブル

ベクトル コール命令	ベクトルテーブルのアドレス	
	上 位	下 位
CALLV #0	FFC0 _H	FFC1 _H
CALLV #1	FFC2 _H	FFC3 _H
CALLV #2	FFC4 _H	FFC5 _H
CALLV #3	FFC6 _H	FFC7 _H
CALLV #4	FFC8 _H	FFC9 _H
CALLV #5	FFCA _H	FFCB _H
CALLV #6	FFCC _H	FFCD _H
CALLV #7	FFCE _H	FFCF _H

割込み名	ベクトルテーブルのアドレス	
	上 位	下 位
IRQF	FFDC _H	FFDD _H
IRQE	FFDE _H	FFDF _H
IRQD	FFE0 _H	FFE1 _H
IRQC	FFE2 _H	FFE3 _H
IRQB	FFE4 _H	FFE5 _H
IRQA	FFE6 _H	FFE7 _H
IRQ9	FFE8 _H	FFE9 _H
IRQ8	FFEA _H	FFEB _H
IRQ7	FFEC _H	FFED _H
IRQ6	FFEE _H	FFEF _H
IRQ5	FFF0 _H	FFF1 _H
IRQ4	FFF2 _H	FFF3 _H
IRQ3	FFF4 _H	FFF5 _H
IRQ2	FFF6 _H	FFF7 _H
IRQ1	FFF8 _H	FFF9 _H
IRQ0	FFFA _H	FFFB _H
モードデータ	_*	FFFD _H
リセットベクトル	FFFE _H	FFFF _H

* :FFFC_H は使用禁止
(FF_H を設定)

3.1.2 16 ビットデータのメモリ上の配置

16 ビットデータおよびスタックは、上位バイトが指定したアドレスに、下位バイトが次のアドレスに格納されます。

■ RAM 上の 16 ビットデータの格納状態

メモリに 16 ビットデータを書き込んだ場合、指定したアドレスにデータの上位バイトが、次のアドレスにデータの下位バイトが格納されます。読出しの場合も同様です。

メモリ上の 16 ビットデータの配置を図 3.1-2 に示します。

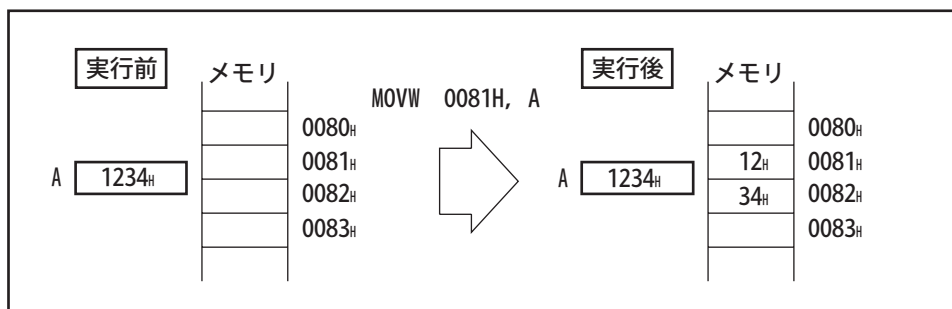


図 3.1-2 メモリ上の 16 ビットデータの配置

■ オペランドが 16 ビットの場合の格納状態

命令中のオペランドで 16 ビット指定をする場合、オペコード（命令）に近いアドレスに上位バイトが、次のアドレスに下位バイトが格納されます。

これは、オペランドがメモリアドレスを示す場合でも、16 ビットのイミディエート（即値）データの場合でも同様です。

命令中の 16 ビットデータの配置を図 3.1-3 に示します。

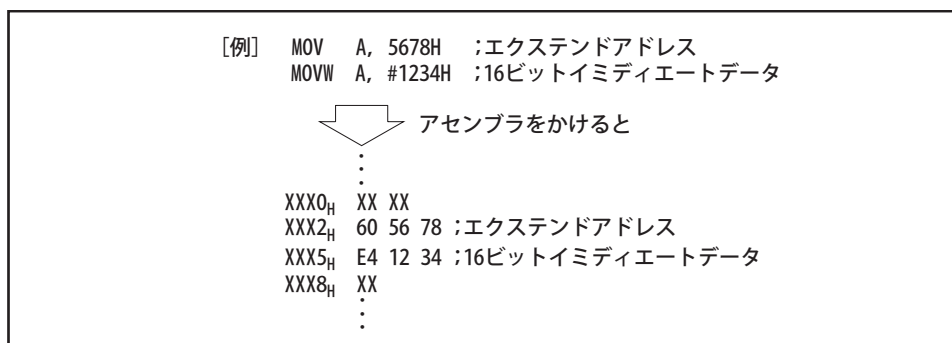


図 3.1-3 命令中の 16 ビットデータの配置

■ スタックの 16 ビットデータの格納状態

割込み、サブルーチン呼出しなどで、スタックに退避した 16 ビット長のレジスタのデータも同様に、アドレス値の小さい方に上位バイトが格納されます。

3.2 専用レジスタ

CPU 内の専用レジスタは、プログラムカウンタ (PC)、2 つの演算用レジスタ (A, T)、3 つのアドレスポインタ (IX, EP, SP) およびプログラムステータス (PS) の 7 種類の 16 ビット長のレジスタによって構成されています。

■ 専用レジスタの構成

CPU 内部には、16 ビットの専用レジスタが 7 つあります。その中で、A レジスタと T レジスタについては下位 8 ビットのみでの使用もできます。

専用レジスタの構成を図 3.2-1 に示します。

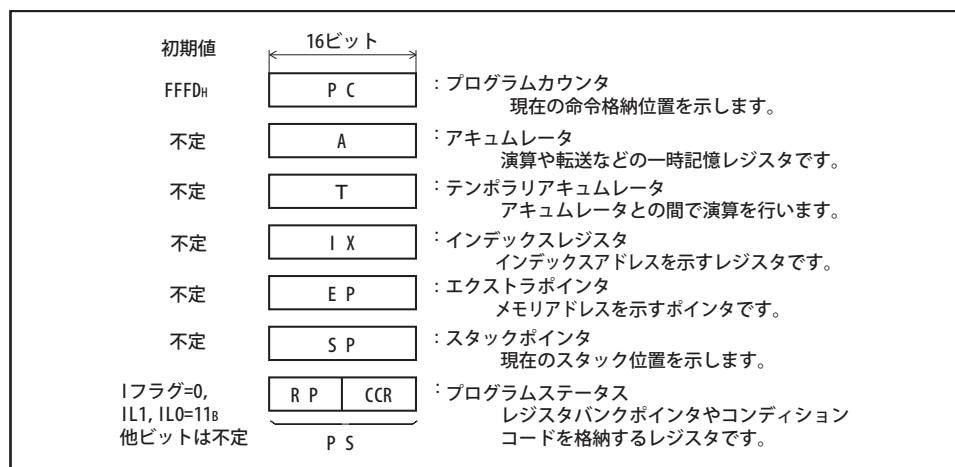


図 3.2-1 専用レジスタの構成

■ 専用レジスタの種類と機能

● プログラムカウンタ (PC)

プログラムカウンタは、16 ビット長のカウンタで、CPU が現在実行している命令のメモリアドレスを示します。プログラムカウンタは、命令の実行、割込み、リセットにより、その内容が更新されます。リセット動作時の初期値は、モードデータの読出しアドレス (FFFD_H) です。

● アキュムレータ (A)

アキュムレータは、16 ビット長の演算用レジスタで、各種の演算や転送の一時的な記憶領域として使います。アキュムレータ内のデータは、ワード長 (16 ビット) としてもバイト長 (8 ビット) としても扱えます。バイト長の演算や転送を行うと、アキュムレータの下位 8 ビット (AL) のみを使用され、上位 8 ビット (AH) は変化しません。

リセット後の初期値は不定です。

● テンポラリアキュムレータ (T)

テンポラリアキュムレータは、16 ビット長の演算補助用レジスタです。アキュムレータ (A) 内のデータと各種の演算を行います。テンポラリアキュムレータ内のデータは、アキュムレータ (A) に対する演算がワード長 (16 ビット) の場合はワード長で、バイト長 (8 ビット) の場合はバイト長で扱われます。バイト長の演算が行われると、テンポラリアキュムレータの下位 8 ビット (TL) のみが使用され、上位 8 ビット (TH) は使用されません。

アキュムレータ (A) に MOV 系の命令でデータを転送すると、転送前のアキュムレータ内のデータがテンポラリアキュムレータに自動的に転送されます。この場合も、バイト長の転送であれば、テンポラリアキュムレータの上位 8 ビット (TH) は変化しません。

リセット後の初期値は不定です。

● インデックスレジスタ (IX)

インデックスレジスタは、16 ビット長のレジスタで、インデックスアドレスを保持します。インデックスレジスタは、1 バイトのオフセット (-128 ~ +127) と組み合わせて使用され、インデックスアドレスにオフセット値を加算することによって、データをアクセスするためのメモリアドレスを生成します。

リセット後の初期値は不定です。

● エクストラポインタ (EP)

エクストラポインタは、16 ビット長のレジスタで、このレジスタの値がデータをアクセスするためのメモリアドレスを示します。

リセット後の初期値は不定です。

● スタックポインタ (SP)

スタックポインタは、16 ビット長のレジスタで、割込み、サブルーチンの呼出し、スタック退避 / 復帰命令などで参照するアドレスを保持します。プログラム実行中のスタックポインタの値は、スタック内に退避した最新のデータが格納されているアドレスを示します。

リセット後の初期値は不定です。

● プログラムステータス (PS)

プログラムステータスは、16 ビット長の制御用レジスタです。上位 8 ビットは、汎用レジスタバンクのアドレスを示すために使用されるレジスタバンクポインタ (RP) です。下位 8 ビットは、CPU の状態を示す各種フラグにより構成されるコンディションコードレジスタ (CCR) です。

レジスタバンクポインタ (RP) とコンディションコードレジスタ (CCR) は、プログラムステータスの一部として扱われるため、独立にはアクセスできません (プログラムステータスをアクセスする命令は、MOVW A, PS および MOVW PS, A のみです)。

専用レジスタの使用方法についての詳細は、「F²MC-8L プログラミングマニュアル」を参照してください。

3.2.1 コンディションコードレジスタ (CCR)

プログラムステータス (PS) の下位 8 ビットであるコンディションコードレジスタ (CCR) は、演算結果や転送データの内容を示すビット (C, V, Z, N, H) と、割り込み要求の受付を制御するビット (I, IL1, IL0) によって構成されます。

■ コンディションコードレジスタ (CCR) の構成

コンディションコードレジスタ (CCR) の構成を図 3.2-2 に示します。

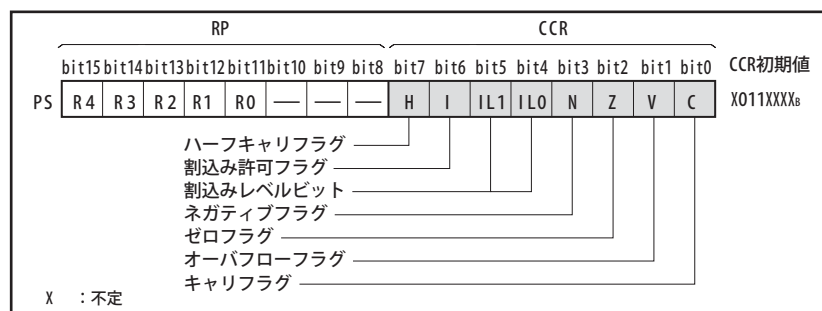


図 3.2-2 コンディションコードレジスタの構成

コンディションコードレジスタの各種フラグは、個々のビットを取り出して使用することはありません。通常は、分岐命令 (BNZ, BNE など)、10 進補正命令 (DAA, DAS) などによって間接的に使います。これらのフラグのリセット後の初期値は不定です。

< 注意事項 >

コンディションコードレジスタは、プログラムステータス (PS) の一部として扱われるため、独立にはアクセスできません。

■ 演算結果を示すビット

● ハーフキャリフラグ (H)

演算の結果、ビット 3 からビット 4 への繰上げやビット 4 からビット 3 への借越しが発生した場合は、"1" にセットされ、それ以外の場合は、"0" にクリアされます。このフラグは 10 進補正命令用のため、加減算以外の用途に使用しないでください。

● ネガティブフラグ (N)

演算の結果、最上位ビットが "1" であれば "1" にセットされ、"0" であれば "0" にクリアされます。

● ゼロフラグ (Z)

演算の結果が、"0" であれば "1" にセットされ、それ以外であれば "0" にクリアされます。

● オーバフローフラグ (V)

演算の結果、2 の補数のオーバーフローが発生した場合は、"1" にセットされ、発生しなかった場合は、"0" にクリアされます。

● キャリフラグ (C)

演算の結果、ビット7からの繰上げ（キャリ）やビット7への借越し（ボロー）が発生した場合は、“1”にセットされ、発生しなかった場合は、“0”にクリアされます。また、シフト命令ではキャリフラグにシフトアウトした値がセットされます。

シフト命令によるキャリフラグの変化を図3.2-3に示します。

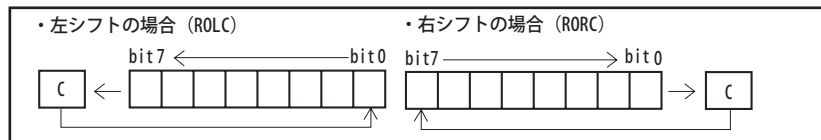


図 3.2-3 シフト命令によるキャリフラグの変化

■ 割込みの受け付けを制御するビット

● 割込み許可フラグ (I)

このフラグが“1”の場合は割込みが許可され、CPUは割込みを受け付けます。“0”の場合は、割込みが禁止され、CPUは割込みを受け付けません。

通常はSETI命令で“1”にセット、CLRI命令で“0”にクリアします。

リセット後の初期値は“0”になります。

● 割込みレベルビット (IL1, IL0)

このビットは、CPUが現在受け付けている割込みのレベルを示します。各周辺機能の割込み要求(IRQ0～IRQF)に対応して設定されている、割込みレベル設定レジスタ(CCR:ILR1～ILR4)の値と比較されます。

割込み許可フラグが許可(CCR:I=1)状態で、このビットが示す値より小さい値の割込みレベルを持つ割込み要求があった場合のみ、CPUは割込み処理を行います。割込みレベルの強弱は、表3.2-1に示すとおりです。また、リセット後の初期値は“11_B”になります。

表 3.2-1 割込みレベル

IL1	IL0	割込みレベル	強 弱
0	0	1	強 い
0	1		
1	0	2	弱 い (割込みなし)
1	1	3	

CPUが割込み処理中でない場合(メインプログラム実行中)の割込みレベルビット(IL1, IL0)の値は“11_B”となります。

割込みの詳細については、「3.4 割込み」を参照してください。

3.2.2 レジスタバンクポインタ (RP)

プログラムステータス (PS) の上位 8 ビットであるレジスタバンクポインタ (RP) は、現在使用している汎用レジスタバンクのアドレスを示します。汎用レジスタアドレッシング命令で実アドレスに変換する場合に使用します。

■ レジスタバンクポインタ (RP) の構成

レジスタバンクポインタの構成を図 3.2-4 に示します。

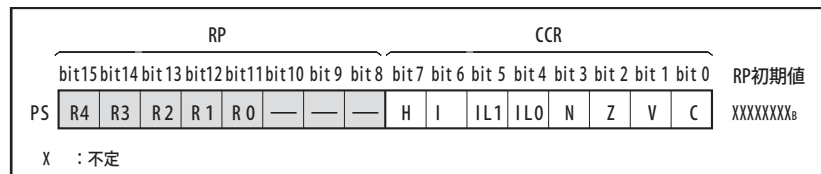


図 3.2-4 レジスタバンクポインタの構成

レジスタバンクポインタは、現在使用している汎用レジスタバンクのアドレスを示します。レジスタバンクポインタの内容と実アドレスの変換規則を図 3.2-5 に示します。

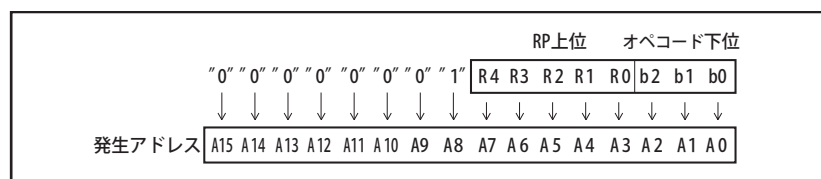


図 3.2-5 汎用レジスタ領域の実アドレス変換規則

レジスタバンクは全部で 32 個あり、レジスタバンクポインタの上位 5 ビットに 0 ~ 31 の値をセットすることにより指定します。1 つのレジスタバンクには、8 つの 8 ビット長の汎用レジスタがあり、オペコードの下位 3 ビットで選択します。

レジスタバンクポインタによって、0100_H ~ 01FF_H までを汎用レジスタの領域として使用できます。ただし、品種によっては使用可能な領域に制限があります。

リセット後の初期値は不定です。

< 注意事項 >

- 汎用レジスタを使う場合は、必ずレジスタバンクポインタ (RP) を設定してから使用してください。
- レジスタバンクポインタは、プログラムステータス (PS) の一部として扱われるため、独立にはアクセスできません。

3.3 汎用レジスタ

汎用レジスタは、8ビット×8個を1バンクとし、全部で32バンクのメモリブロックです。レジスタバンクの指定には、レジスタバンクポインタ (RP) を使用します。割込み処理、ベクトルコール処理およびサブルーチンの呼出しに対して有効な使い方ができます。

■ 汎用レジスタの構成

- 汎用レジスタは8ビット長のレジスタで、汎用レジスタ領域 (RAM 上) のレジスタバンク内にあります。
- 1バンクあたり8つのレジスタ (R0 ~ R7) があり、全部で32バンクまで使用できます。
- レジスタバンクはレジスタバンクポインタ (RP) によって指定します。オペコードの下位3ビットにより汎用レジスタ0 (R0) ~ 汎用レジスタ7 (R7) を指定します。

レジスタバンクの構成を図 3.3-1 に示します。

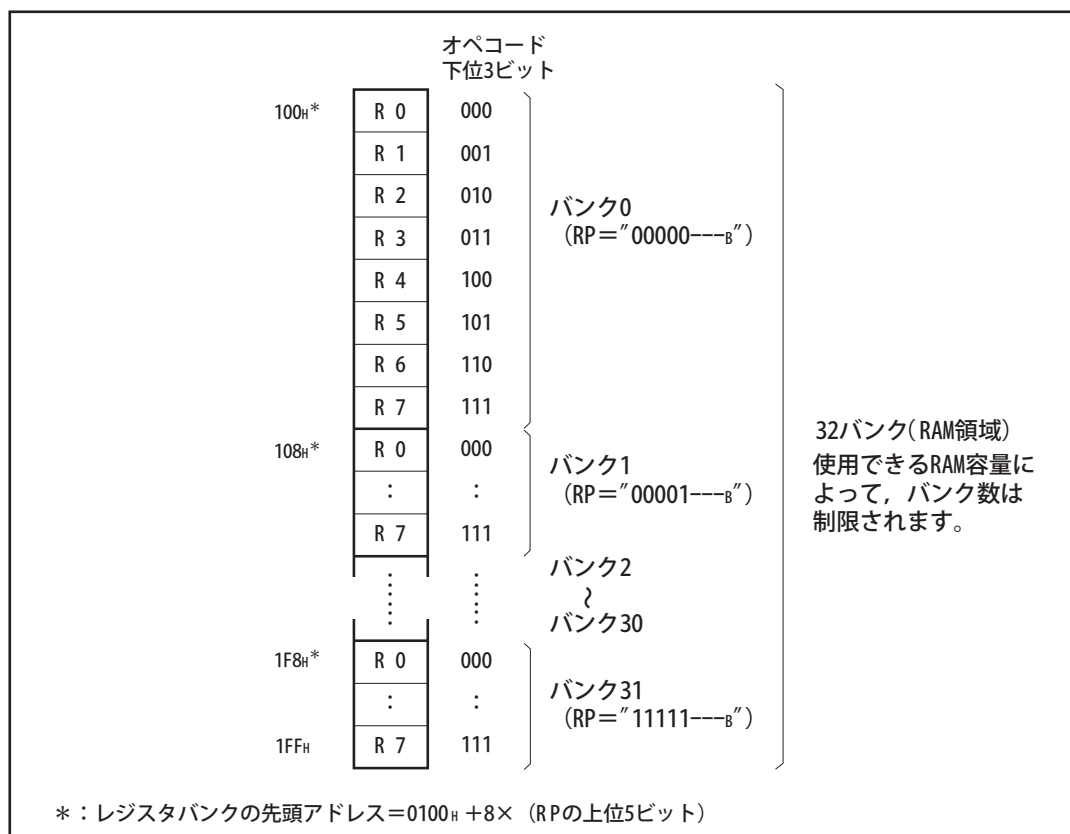


図 3.3-1 レジスタバンクの構成

各品種で利用できる汎用レジスタ領域については「3.1.1 特定用途の領域」を参照してください。

■ 汎用レジスタの特長

汎用レジスタには、以下の特長があります。

- 短い命令で高速に RAM をアクセスできる（汎用レジスタアドレッシング）。
- レジスタバンクによってブロック化されているため、内容の保護や機能単位の分割がしやすい。

汎用レジスタは、割込み処理ルーチンやベクトルコール (CALLV #0 ~ #7) 処理ルーチンに対して、それぞれ専用のレジスタバンクが固定的に割り当てられます。例えば「2 番目の割込みには 4 番目のレジスタバンクを使う」という使い方です。

割込みが発生した場合、割込み処理ルーチンの先頭で専用のレジスタバンクを指定するだけで割込み前の汎用レジスタを保存したことになります。これによって、汎用レジスタをスタックに退避する必要がなくなり、混乱なく高速に割込みを受け付けられます。

また、サブルーチン呼出しについては、汎用レジスタの保護の他に、インデックスレジスタ (IX)、エクストラポインタ (EP) などを使用して作られるリエントラントなプログラム（変数アドレスを固定しない再入可能なプログラム）をレジスタバンクによって実現することもできます。

割込み処理ルーチン中で、レジスタバンクポインタ (RP) を書き換えて、レジスタバンクを指定する場合、コンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) の値を変化させないようにプログラミングする必要があります。

3.4 割り込み

MB89530/530H/530A シリーズには、周辺機能に対応する割り込み要求があり、それぞれ独立に割り込みレベルを設定できます。

周辺機能で発生した割り込み要求は、周辺機能の割り込み要求出力が許可されていると、割り込みコントローラによって割り込みレベルが付加されます。割り込み要求レベルを受け取った CPU は割り込みの受け付け状態に従って割り込み動作を行います。また、スタンバイモードで割り込み要求が発生した場合、スタンバイモードが解除され、命令実行を再開します。

■ 周辺機能からの割り込み要求

周辺機能に対応する割り込み要求を表 3.4-1 に示します。割り込みが受け付けられると、割り込み要求に対応する割り込みベクトルテーブルの内容を分岐先のアドレスとして、割り込み処理ルーチンへ分岐します。

割り込みレベルの強弱は、割り込みレベル設定レジスタ (ILR1, 2, 3, 4) によって 3 段階に設定できます。

コンディションコードレジスタの割り込みレベルビット (CCR:IL1, IL0) の値以下の優先順位の割り込み要求は、IL ビットの値が変わって割り込み可能となるまで待たされます。また、同一レベルの割り込み要求が同時に発生した場合は IRQ の番号が小さい割り込み要求 (IRQ0 が最高) が優先されます。

表 3.4-1 割り込み要求と割り込みベクトル

割り込み要求	ベクトルテーブルのアドレス		割り込みレベル設定レジスタのビット名	同一レベル優先順位 (同時発生時)
	上位	下位		
IRQ0 (外部割り込み (エッジ) INT10 ~ INT11)	FFFA _H	FFFB _H	L01, L00	<div>高い</div> <div>↑</div> <div>↓</div> <div>低い</div>
IRQ1 (外部割り込み (エッジ) INT12 ~ INT13)	FFF8 _H	FFF9 _H	L11, L10	
IRQ2 I ² C	FFF6 _H	FFF7 _H	L21, L20	
IRQ3 (設定禁止)	FFF4 _H	FFF5 _H	L31, L30	
IRQ4 (外部割り込み (レベル) INT20 ~ INT27)	FFF2 _H	FFF3 _H	L41, L40	
IRQ5 (PWM タイマ 1)	FFF0 _H	FFF1 _H	L51, L50	
IRQ6 (PWM タイマ 2)	FFEE _H	FFEF _H	L61, L60	
IRQ7 (PWC)	FFEC _H	FFED _H	L71, L70	
IRQ8 (16 ビットタイマ / カウンタ割り込み)	FFEA _H	FFEB _H	L81, L80	
IRQ9 (8 ビットシリアル入出力)	FFE8 _H	FFE9 _H	L91, L90	
IRQA (UART/SIO)	FFE6 _H	FFE7 _H	LA1, LA0	
IRQB (UART 受信)	FFE4 _H	FFE5 _H	LB1, LB0	
IRQC (UART 送信)	FFE2 _H	FFE3 _H	LC1, LC0	
IRQD (A/D コンバータ)	FFE0 _H	FFE1 _H	LD1, LD0	
IRQE (タイマベースタイマ)	FFDE _H	FFDF _H	LE1, LE0	
IRQF (時計プリスケラ)	FFDC _H	FFDD _H	LF1, LF0	

3.4.1 割り込みレベル設定レジスタ (ILR1, 2, 3, 4)

割り込みレベル設定レジスタ (ILR1, 2, 3, 4) には , 周辺機能からの割り込み要求に対応した 2 ビットのデータが 16 組割り当てられています。これらの 2 ビットデータ (割り込みレベル設定ビット) に , それぞれの割り込みレベルを設定できます。

■ 割り込みレベル設定レジスタ (ILR1, 2, 3, 4) の構成

割り込みレベルレジスタの構成を図 3.4-1 に示します。

レジスタ	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
ILR1	007B _H	L31	L30	L21	L20	L11	L10	L01	L00	11111111 _B
		W	W	W	W	W	W	W	W	
ILR2	007C _H	L71	L70	L61	L60	L51	L50	L41	L40	11111111 _B
		W	W	W	W	W	W	W	W	
ILR3	007D _H	LB1	LB0	LA1	LA0	L91	L90	L81	L80	11111111 _B
		W	W	W	W	W	W	W	W	
ILR4	007E _H	LF1	LF0	LE1	LE0	LD1	LD0	LC1	LC0	11111111 _B
		W	W	W	W	W	W	W	W	

W : ライトオンリ

図 3.4-1 割り込みレベル設定レジスタの構成

割り込みレベル設定レジスタは , 各割り込み要求に対して 2 ビットずつ割り当てられています。これらのレジスタに設定された割り込みレベル設定ビットの値が , 割り込み処理の強弱 (割り込みレベル 1 ~ 3) となります。

割り込みレベル設定ビットは , コンディションコードレジスタの割り込みレベルビット (CCR:IL1, IL0) と比較されます。

割り込みレベル 3 を設定した場合は , CPU は割り込み要求を受け付けません。

割り込みレベル設定ビットと割り込みレベルの関係を表 3.4-2 に示します。

表 3.4-2 割り込みレベル設定ビットと割り込みレベルの関係

LX1	LX0	要求割り込みレベル	割り込み優先度
0	0	1	高 い ↑↓ 低 い (割り込みなし)
0	1		
1	0	2	
1	1	3	

X:0 ~ F 対応する割り込み番号

メインプログラム実行中は , コンディションコードレジスタの割り込みレベルビット (CCR:IL1, IL0) は , 通常 "11_B" となります。

< 注意事項 >

ILR1, 2, 3, 4 レジスタは , 書込み専用のため , ビット操作命令 (SETB, CLRB) を使用できません。

3.4.2 割込み動作時の処理

周辺機能から割込み要求が発生すると、割込みコントローラは割込みレベルを CPU に伝達します。CPU は割込みを受け付けられる状態になっていると、現在実行中のプログラムを一時中断し、割込み処理ルーチンを実行します。

■ 割込み動作時の処理

割込み動作は、周辺機能の割込み要因の発生、割込み要求フラグビット（要求 FF）のセット、割込み要求許可ビット（許可 FF）の判定、割込みレベル（ILR1, 2, 3, 4 および CCR:IL1, IL0）の判定、同一レベルの同時要求の判定、割込み許可フラグ（CCR:I）の判定の順に行われます。

割込み動作時の処理を図 3.4-2 に示します。

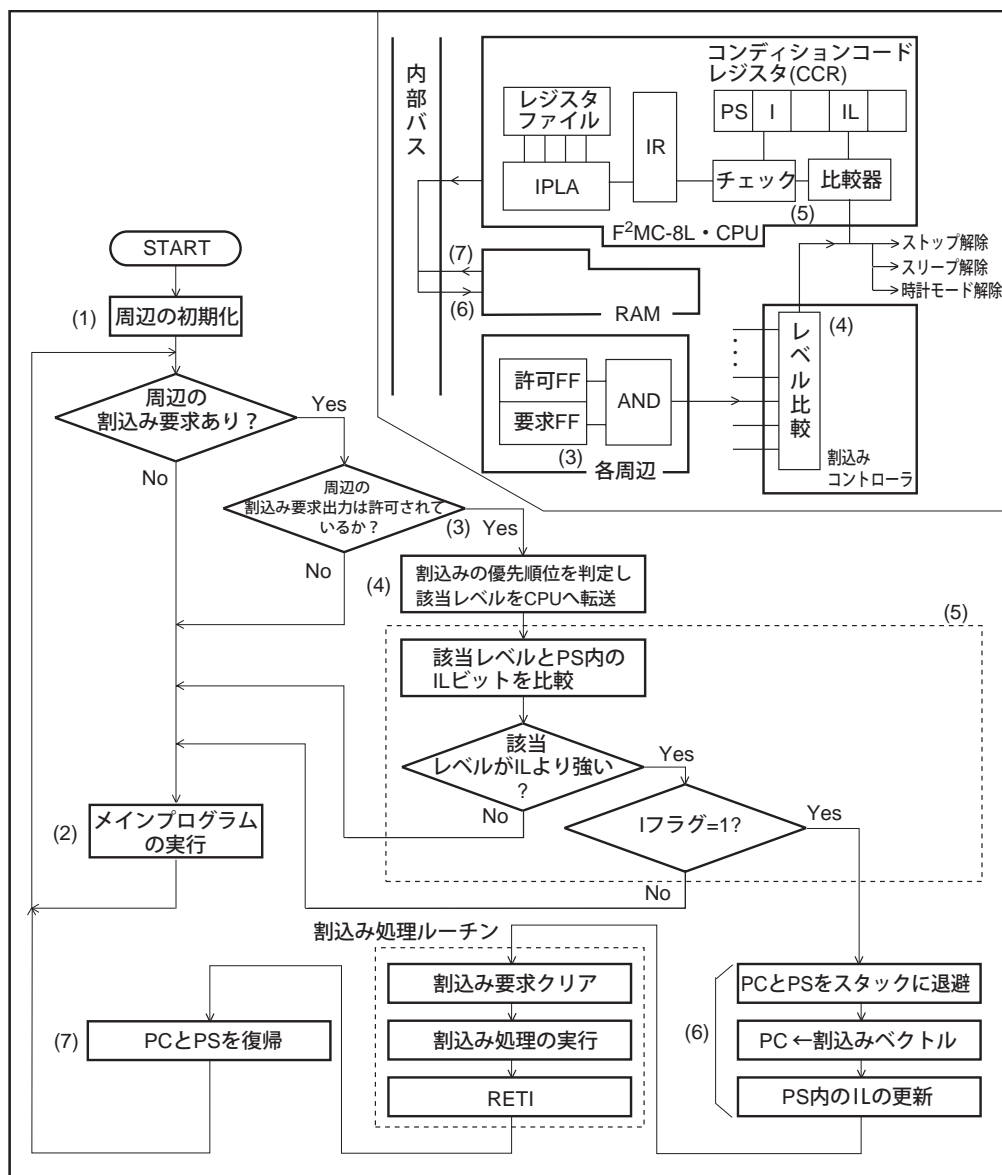


図 3.4-2 割込み動作時の処理

- 1) リセット後は、すべての割込み要求が禁止状態になっています。

周辺機能の初期化プログラムによって、割込みを発生する各周辺機能を初期化した後、該当する割込みレベル設定レジスタ (ILR1, 2, 3, 4) に割込みレベルを設定します。割込みレベルの設定後、周辺機能を動作させます。

割込みレベルは、1, 2, 3 のいずれかを設定できます。レベル 1 が最も強く、レベル 2 がその次の強さになります。レベル 3 に設定した場合は、該当する周辺機能の割込みは禁止されます。

- 2) メインプログラム (多重割込みの場合は、割込み処理ルーチン) を実行します。
- 3) 周辺機能で割込み要因が発生した場合、周辺機能の割込み要求フラグビット (要求 FF) が "1" にセットされます。このとき、周辺機能の割込み要求許可ビットが許可 (許可 FF=1) されていると、割込みコントローラへ割込み要求を発生します。
- 4) 割込みコントローラは、各周辺機能からの割込み要求を常に監視しており、現在発生している割込み要求に対応する割込みレベルの中から、最も強い割込みレベルを CPU に伝達します。このとき、同一の割込みレベルで同時に要求があった場合の優先順位も判定します。
- 5) CPU は、受け取った割込みレベルがコンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) に設定されているレベルより、優先度が高い (値が小さい) 場合、割込み許可 (CCR:I=1) であれば割込みを受け付けます。
- 6) CPU は、プログラムカウンタ (PC) とプログラムステータス (PS) の内容をスタックに退避し、該当する割込みベクトルテーブルから割込み処理ルーチンの先頭アドレスを取り込みます。コンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) の値を受け付けた割込みレベルの値に変更した後、割込み処理ルーチンの実行を開始します。
- 7) CPU は割込み処理ルーチンを実行し、最後の RETI 命令でスタックに退避しておいたプログラムカウンタ (PC) とプログラムステータス (PS) の値を復帰して、割込み直前に実行した命令の次の命令から処理を実行します。

< 注意事項 >

周辺機能の割込み要求フラグビットは、割込み要求が受け付けられても自動的にクリアされません。したがって、割込み処理ルーチン内のプログラム (通常は、割込み要求フラグビットへの "0" の書込み) によって、クリアする必要があります。

割込み処理ルーチンの先頭で、割込み要求フラグビットをクリアすると、割込みを発生した周辺機能が、割込み処理ルーチン実行中に再度、割込みを発生 (割込み要求フラグビットの再セット) できるようになります。ただし、割込みの受け付けは、実行中の割込み処理ルーチンの終了後となります。

スタンバイモード (低消費電力) は割込みによって解除されます。詳細は、「3.7 スタンバイモード (低消費電力)」を参照してください。

3.4.3 多重割込み

周辺機能からの複数の割込み要求に対して、割込みレベル設定レジスタ (ILR1, 2, 3, 4) に異なる割込みレベルを設定することにより、多重割込みを行うことができます。

■ 多重割込み

割込み処理ルーチン実行中に、より強い割込みレベルに設定された割込み要求が発生すると、現在の割込み処理を中断して、より強い割込み要求を受け付けます。

● 多重割込みの例

多重割込み処理の例として、タイマ割込みより外部割込みを優先させる場合を示します。タイマ割込みのレベルを2に、外部割込みのレベルを1に設定すると、タイマ割込み処理中に外部割込みの発生により、図 3.4-3 に示す処理を行います。

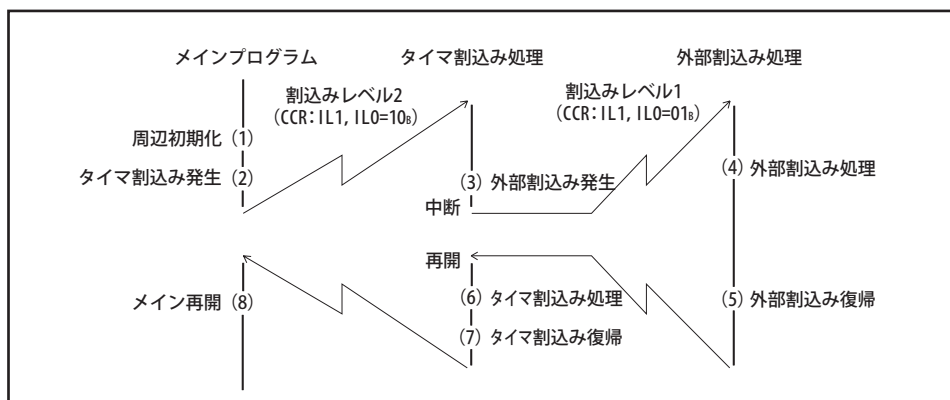


図 3.4-3 多重割込みの例

- タイマ割込み処理中は、コンディションコードレジスタの割込みレベルビット (CCR: IL1, IL0) が、タイマ割込みに対応する割込みレベル設定レジスタ (ILR1 ~ ILR4) の値と同じ値 (例では2) になります。このとき、より強い割込みレベル (例では1) に設定された割込み要求が発生すると、その割込み処理を優先して行います。
- タイマ割込み中に多重割込みを一時的に禁止したい場合は、コンディションコードレジスタ 0 内の割込み許可フラグを割込み禁止 (CCR:I=0) に設定するか、割込みレベルビット (CCR:IL1, IL0) を "00_B" にします。
- 割込み処理が終了後、割込み復帰命令 (RETI) を実行すると、スタックに退避していたプログラムカウンタ (PC) とプログラムステータス (PS) の値を復帰して、割り込まれたプログラムの処理に戻ります。
また、コンディションコードレジスタ (CCR) は、プログラムステータス (PS) が復帰されることにより、割込み前の値になります。

3.4.4 割込み処理時間

割込み要求の発生から割込み処理ルーチンに制御が移行するまでの時間は、現在実行中の命令が終了するまでの時間と割込みハンドリング時間（割込み処理準備に要する時間）との合計になります。この時間は、最大で 30 インストラクションサイクルです。

■ 割込み処理時間

割込み要求の発生後、割込みが受け付けられて、割込み処理ルーチンが実行されるまでには、割込み要求サンプル待ち時間と割込みハンドリング時間が必要です。

● 割込み要求サンプル待ち時間

割込み要求の発生の有無は、各命令の最後のサイクルで割込み要求をサンプリングして判断します。そのため、各命令の実行中、CPU は割込み要求を認識できません。この待ち時間は、実行サイクルが最も長い DIVU 命令 (21 インストラクションサイクル) の実行開始直後に割込み要求が発生した場合に最大となります。

● 割込みハンドリング時間

CPU は割込みを受け付け後、以下の割込み処理の準備を行うために 9 インストラクションサイクルを必要とします。

- ・ プログラムカウンタ (PC) とプログラムステータス (PS) の退避
- ・ 割込み処理ルーチンの先頭アドレス (割込みベクトル) を PC にセット
- ・ プログラムステータス (PS) 内の割込みレベルビット (PS:CCR:IL1, IL0) の更新

割込み処理時間を図 3.4-4 に示します。

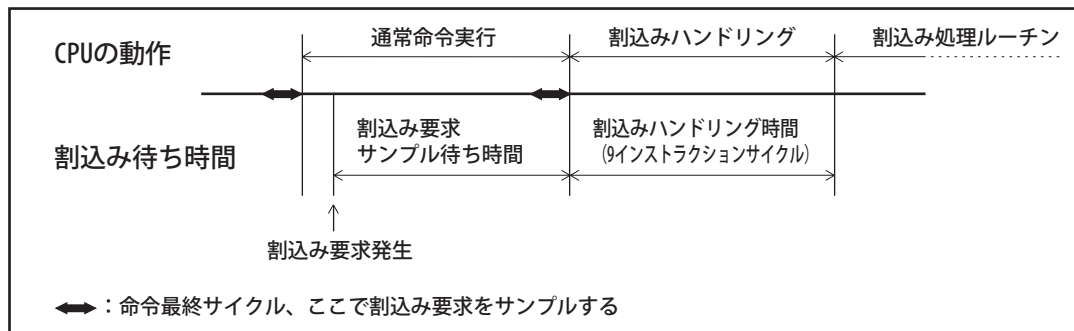


図 3.4-4 割込み処理時間

実行サイクルが最も長い DIVU 命令 (21 インストラクションサイクル) を実行開始直後に割込み要求が発生した場合は、 $21+9=30$ インストラクションサイクルの割込み処理時間が必要となります。ただし、プログラムで DIVU 命令、MULU 命令を使用しない場合は、最大で $6+9=15$ インストラクションサイクルの割込み処理時間となります。

インストラクションサイクルは、クロックモードおよびメインクロックの速度切替え（ギア機能）によって変化します。詳細は「3.6 クロック」を参照してください。

3.4.5 割り込み処理時のスタック動作

割り込み処理時のレジスタの退避と復帰について説明します。

■ 割り込み処理開始時のスタック動作

割り込みが受け付けられると、CPU は現在のプログラムカウンタ (PC) とプログラムステータス (PS) の内容を自動的にスタックに退避します。

割り込み処理開始時のスタック動作を図 3.4-5 に示します。

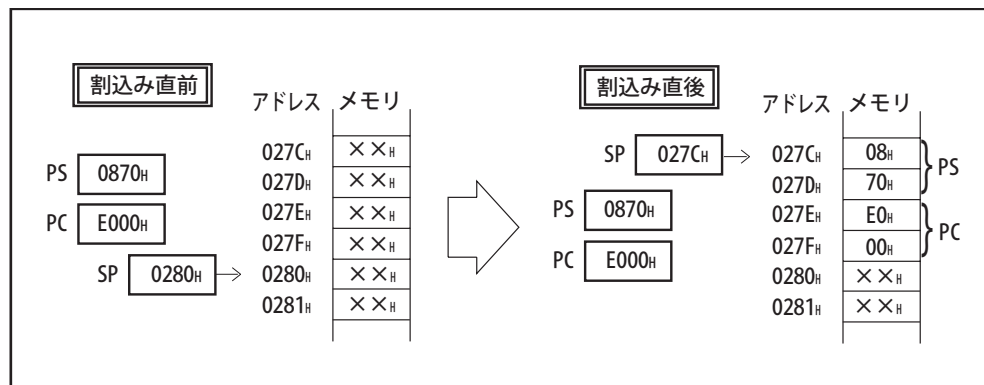


図 3.4-5 割り込み処理開始時のスタック動作

■ 割り込み復帰時のスタック動作

割り込み処理終了時に割り込み復帰命令 (RETI) を実行すると、割り込み処理開始時と反対にプログラムステータス (PS)、プログラムカウンタ (PC) の順にスタックから復帰します。これによって PS、PC は割り込み開始直前の状態に戻ります。

< 注意事項 >

アキュムレータ (A) とテンポラリアキュムレータ (T) は、自動的にスタックに退避されません。したがって、PUSHW、POPW 命令によって A、T の値の退避、復帰を行ってください。

3.4.6 割込み処理のスタック領域

割込み処理の実行には、RAM 上のスタック領域を使用します。スタックポインタ (SP) の内容が、スタック領域の先頭アドレスになります。

■ 割込み処理のスタック領域

スタック領域は、サブルーチンコール命令 (CALL) やベクトルコール命令 (CALLV) を実行するときのプログラムカウンタ (PC) の退避 / 復帰や、PUSHW, POPW 命令による一時的なレジスタ類の退避 / 復帰にも使われます。

- スタック領域は、データ領域とともに RAM 上に確保されます。
- スタックポインタ (SP) は RAM アドレスの最大値を示すように初期設定し、データ領域は、RAM アドレスの小さい方から配置してください。

スタック領域の設定例を図 3.4-6 に示します。

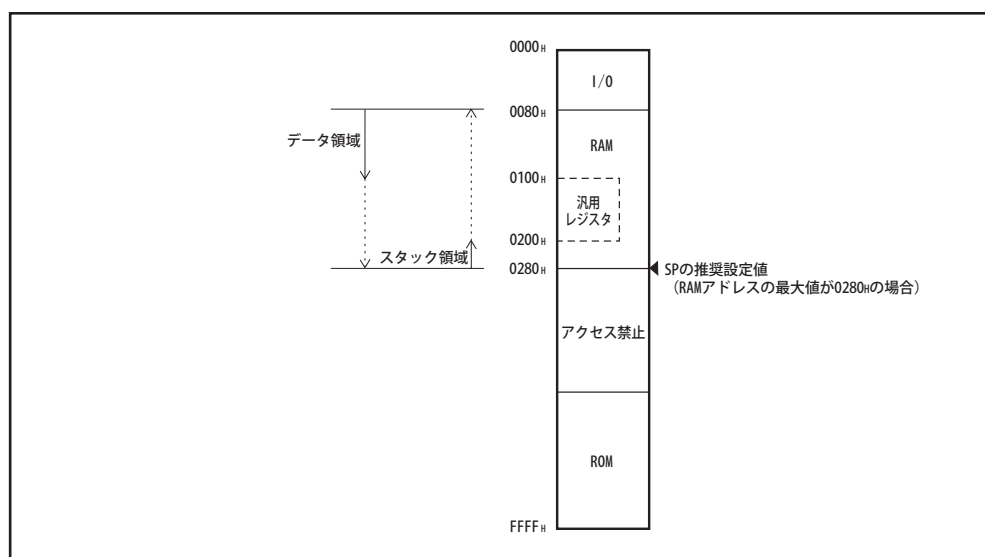


図 3.4-6 割込み処理のスタック領域の設定例

< 注意事項 >

スタック領域は、割込み、サブルーチンコール、PUSHW 命令などにより、アドレス値の大きい方から小さい方に向かって使用され、復帰命令 (RETI, RET), POPW 命令などにより大きい方に向かってスタック領域を開放します。多重の割込みやサブルーチンコールによって、使用されるスタック領域のアドレス値が小さくなった場合、他のデータを保持しているデータ領域や汎用レジスタ領域に決して重なり合わないようになっています。

3.5 リセット

リセットには、以下の4つのリセット要因があります。

- 外部リセット
- ソフトウェアリセット
- ウォッチドッグリセット
- パワーオンリセット

リセットが発生したときの動作モードやオプション設定によっては、メインクロック発振安定待ち時間を必要とする場合があります。

■ リセット要因

表 3.5-1 リセット要因

リセット要因	リセット条件
外部リセット	外部リセット端子を "L" レベルにする
ソフトウェアリセット	スタンバイ制御レジスタのソフトウェアリセットビット (STBC:RST) に "0" を書き込む
ウォッチドッグリセット	ウォッチドッグタイマのオーバフロー
パワーオンリセット	電源の投入

● 外部リセット

外部リセットは、外部リセット端子 ($\overline{\text{RST}}$) に "L" レベルを入力することによって、リセットが発生します。リセット端子が "H" レベルになると、外部リセットは解除されます。

外部リセット端子は、リセット出力端子としても機能します。

● ソフトウェアリセット

ソフトウェアリセットは、スタンバイ制御レジスタのソフトウェアリセットビット (STBC:RST) に "0" を書き込むことによって、4 インストラクションサイクルのリセットが発生します。

● ウォッチドッグリセット

ウォッチドッグリセットは、ウォッチドッグタイマの起動後、ウォッチドッグタイマインターバル時間内にウォッチドッグ制御レジスタ (WDTC) にデータの書き込みがない場合、4 インストラクションサイクルのリセットが発生します。ウォッチドッグインターバル時間については「6.4 ウォッチドッグタイマの動作説明」を参照してください。

● パワーオンリセット

電源投入によってリセットが発生し、内部回路を初期化します。

■ リセット要因とメインクロックの発振安定待ち時間

リセットが発生した場合の動作状態により、発振安定待ち時間が異なります。

リセット終了後は、リセット前の動作状態（クロックモードおよびスタンバイモード）やリセット要因に関係なく、メインクロックモードの通常動作で動作を開始します。

そのため、メインクロックの発振が停止しているかメインクロックの発振安定待ち時間中にリセットが発生すると、メインクロックの発振安定待ちリセット状態となります。

ソフトウェアリセットやウォッチドッグリセットの場合、メインクロックモードで動作中は、発振安定待ち時間を必要としませんが、サブクロックモードで動作中はメインクロックの発振が停止しているために発振安定待ち時間を必要とします。

リセット要因とメインクロックの発振安定待ち時間およびリセット動作（モードフェッチ）の関係を表 3.5-2 に示します。

表 3.5-2 リセット要因と発振安定待ち時間

リセット要因	動作状態	リセット動作とメインクロック発振安定待ち時間
外部リセット ^{*1}	電源投入時， ストップモードおよび サブクロックモード中	メインクロックの発振安定待ち時間経過後，外部リセットが解除されていれば，リセット動作を行います。 ^{*2}
ソフトウェアリ セットおよび ウォッチドッグ リセット	メインクロックモード	4 インストラクションサイクルのリセットを発生後，リセット動作を行います。 ^{*3}
	サブクロックモード	メインクロックの発振安定待ち時間が経過してから，リセット動作を行います。 ^{*2}
パワーオンリセット		電源投入後，メインクロックの発振安定待ち時間が経過してから，リセット動作を行います。 ^{*2}

*1: メインクロックモード動作中の外部リセットでは、発振安定待ち時間の経過を待ちません。外部リセット解除後にリセット動作を行います。

*2: メインクロックの発振安定待ち時間の間、 $\overline{\text{RST}}$ 端子に "L" レベルを出力します。

*3: 4 インストラクションサイクルの間、 $\overline{\text{RST}}$ 端子に "L" レベルを出力します。

3.5.1 外部リセット端子

外部リセット端子は, "L" レベルの入力によってリセットを発生します。また, 内部のリセット要因により "L" レベルを出力します。

■ 外部リセット端子のブロックダイアグラム

外部リセット端子 ($\overline{\text{RST}}$) は, ヒステリシス入力と, プルアップされた Nch オープンドレイン出力になっています。

外部リセット端子のブロックダイアグラムを図 3.5-1 に示します。

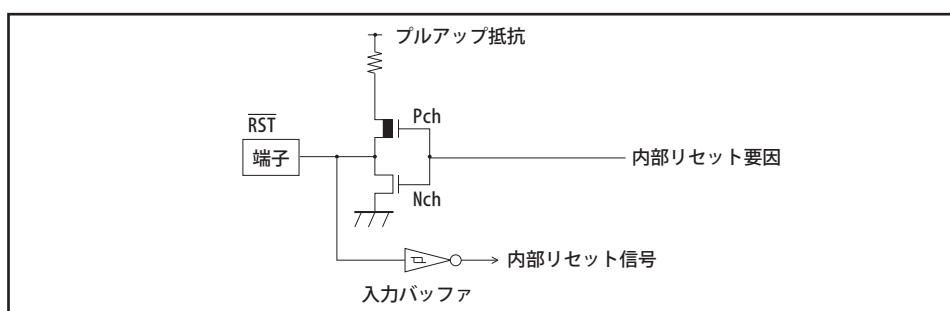


図 3.5-1 外部リセット端子のブロックダイアグラム

■ 外部リセット端子の機能

外部リセット端子 ($\overline{\text{RST}}$) に "L" レベルを入力することによって内部リセット信号を発生します。

また, 内部のリセット要因およびリセットによる発振安定待ち時間の経過後, "L" レベルを出力します。内部リセット要因には, ソフトウェアリセット, ウォッチドッグリセットおよびパワーオンリセットがあります。

< 注意事項 >

- 外部からのリセット入力, 内部のクロックと無関係に非同期で受け付けられます。また, 内部回路の初期化には, クロックが必要です。特に外部クロックで動作させる場合は, リセット入力時にクロックを入力する必要があります。
- 外部リセット端子 ($\overline{\text{RST}}$) に規格値未満のリセットパルスが入力された場合, 誤動作を起こすことがあります。外部リセット端子 ($\overline{\text{RST}}$) に規格値未満のリセットパルスが入力されないようにしてください。規格値については, データシートを参照してください。

3.5.2 リセット動作

リセット動作をフローを用いて説明します。

■ リセット動作の概要

CPU はリセットが解除されると、モード端子の設定によってモードデータとリセットベクトルを内部 ROM から読み出します（モードフェッチ）。電源投入時、サブクロックモードおよびストップモードからのリセットによる復帰では、発振安定待ち時間が経過してからモードフェッチを行います。RAM への書込み中にリセットが発生した場合、書込み中の RAM の内容は保証できません。

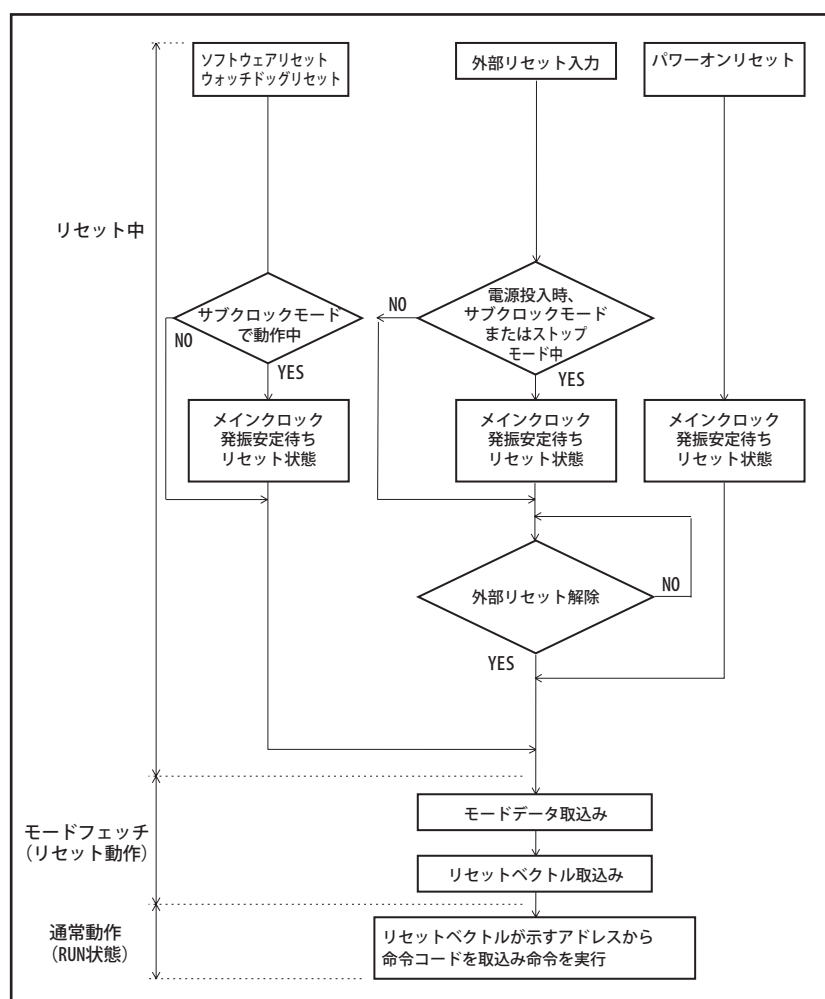


図 3.5-2 リセット動作フロー

■ モード端子

MB89530/530H/530A シリーズはシングルチップモード専用です。モード端子 (MOD1, MOD0) は必ず "V_{SS}" に直結してください。

モード端子はリセット動作終了後も設定を変更しないでください。

■ モードフェッチ

リセットが解除されると、内部ROMからモードデータとリセットベクトルを読み込みます。

- モードデータ (アドレス :FFFD_H)

モードデータには、必ずシングルチップモード (00_H) を設定してください。

- リセットベクトル (アドレス : 上位 FFFE_H/ 下位 FFFF_H)

リセット動作終了後の実行開始アドレスを設定します。リセット動作終了後は、リセットベクトルの内容が示すアドレスから命令が実行されます。

■ 発振安定待ちリセット状態

サブクロックモードとストップモード (メイン/サブ) の外部リセットに対するリセット動作および電源投入時のリセット動作は、オプション設定によって選択されたメインクロックの発振安定待ち時間が経過してからとなります。このとき、外部リセット入力解除されていなければ、外部リセット解除後にリセット動作を行います。

外部クロック使用時においても、発振安定待ち時間が必要となるため、リセット時には外部クロックを入力してください。

メインクロックの発振安定待ち時間は、タイムベースタイマによって作られます。

■ RAM 内容のリセットによる影響

リセット条件が発生すると、現在実行中の命令の動作を中断し、リセット状態になります。RAMの内容はリセットの前後では変化しません。ただし、16ビット長のデータの書込み中にリセットが発生した場合には、上位バイトのみ書込みが行われ、下位バイトは未書込みになることがあります。また、RAMへの書込み中にリセットが発生すると、書込みを行っているアドレスの内容は保証いたしません。したがって、リセット後は使用するRAMの内容を初期化する必要があります。

3.5.3 リセットによる各端子の状態

リセットによって各端子の状態は初期化されます。

■ リセット中の端子の状態

リセット要因が発生すると、I/O ポート（周辺機能端子）はすべてハイインピーダンスになり、モードデータの読出し先は内部 ROM になります。

■ モードデータ読出し後の端子の状態

モードデータ読込み直後の I/O ポート（周辺機能端子）はすべてハイインピーダンスの状態を保持します。ただし、プルアップオプション設定レジスタでプルアップ抵抗ありを選択している端子は "H" レベルになります。

< 注意事項 >

リセット要因が発生したとき、ハイインピーダンスになる端子は、その端子に接続した機器が誤動作しないようにプルアップしてください。

リセット中の各端子の状態は「付録 E MB89530/530H/530A シリーズの端子状態」を参照してください。

3.6 クロック

クロック発生部に2系統の発振回路を内蔵しています。外部にそれぞれ振動子を接続することによって、高速のメインクロックと低速のサブクロックを使用できます。また、外部で生成したクロックを入力することもできます。

2系統のクロックは、クロック制御部によって、クロックモードとスタンバイモードに対応して速度と供給が制御されます。

■ クロック供給マップ

クロック制御部は、クロックの発振とCPUや周辺回路（周辺機能）に対する供給を制御します。

CPUや周辺回路の動作クロックは、メインクロックとサブクロックの切替え（クロックモード）、メインクロック速度切替え（ギア機能）およびスタンバイモード（スリープ/ストップ/時計）の影響を受けます。

各周辺機能へは周辺回路用のクロックで動作するフリーランカウンタの分周出力が供給されます。

ただし、メインクロック原発振の2分周で動作するタイムベースタイマの分周出力や、サブクロックで動作する時計プリスケアラの分周出力が供給される周辺機能については、ギア機能の影響を受けません。

クロック供給マップを図3.6-1に示します。

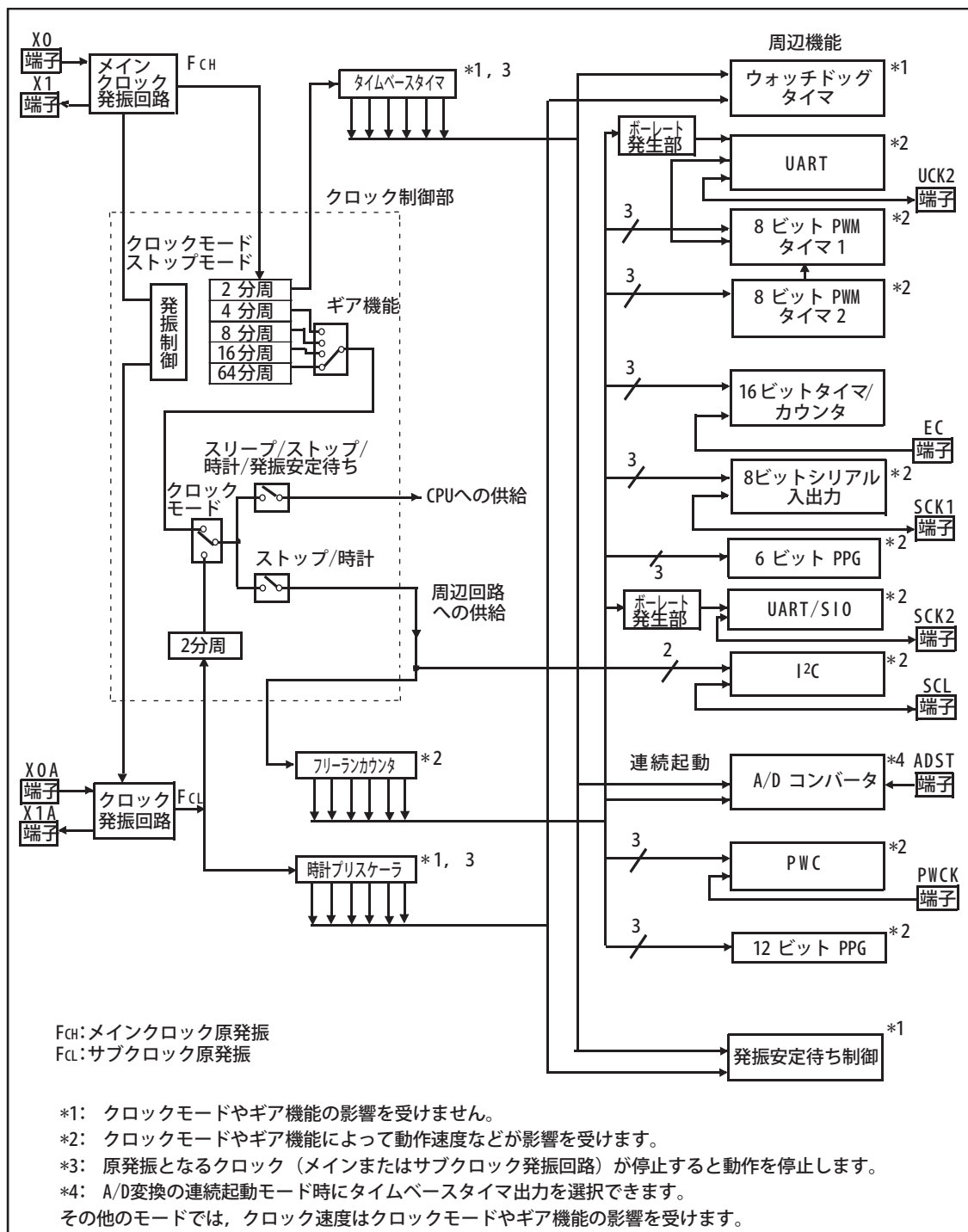


図 3.6-1 クロック供給マップ

3.6.1 クロック発生部

メインクロックおよびサブクロックの発振の許可と停止は、クロックモードとストップモードによって制御されます。

■ クロック発生部

- 水晶振動子またはセラミック振動子の場合

図 3.6-2 のように接続します。

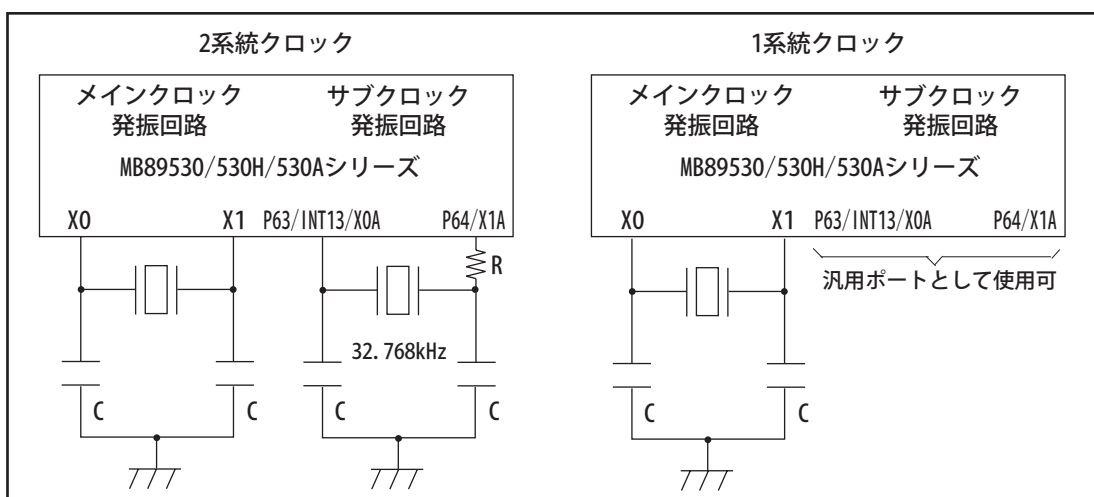


図 3.6-2 水晶振動子とセラミック振動子の接続例

- 外部クロックの場合

図 3.6-3 のようにメインクロックを外部から供給する場合、外部クロックは、X0 端子に接続し、X1 端子は開放にします。また、サブクロックを外部から供給する場合、外部クロックは、X0A 端子に接続し、X1A 端子は開放にします。

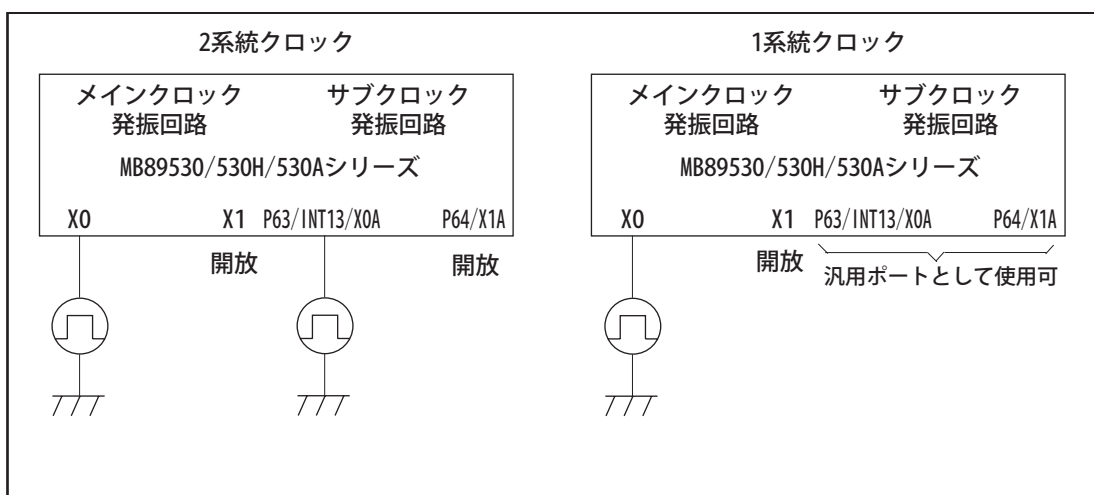


図 3.6-3 外部クロックの接続例

< 注意事項 >

MB89530/530H/530A シリーズにおいて、2 系統クロックで 1 系統クロックと同じ接続をした場合、一度システムがサブクロックモードになると回復する方法はありません。

1 系統または 2 系統のクロック品のオプションを表 3.6-1 に示します。

表 3.6-1 部品番号のオプション

オプション	最小 t_{inst}	クロック系統
MB89P538-101	4	1 系統
MB89P538-201	4	2 系統

3.6.2 クロック制御部

クロック制御部は、以下のブロックで構成されています。

- メインクロック発振回路
- サブクロック発振回路
- システムクロックセレクタ
- クロック制御回路
- 発振安定待ち時間セレクタ
- システムクロック制御レジスタ (SYCC)
- スタンバイ制御レジスタ (STBC)

■ クロック制御部のブロックダイアグラム

クロック制御部のブロックダイアグラムを図 3.6-4 に示します。

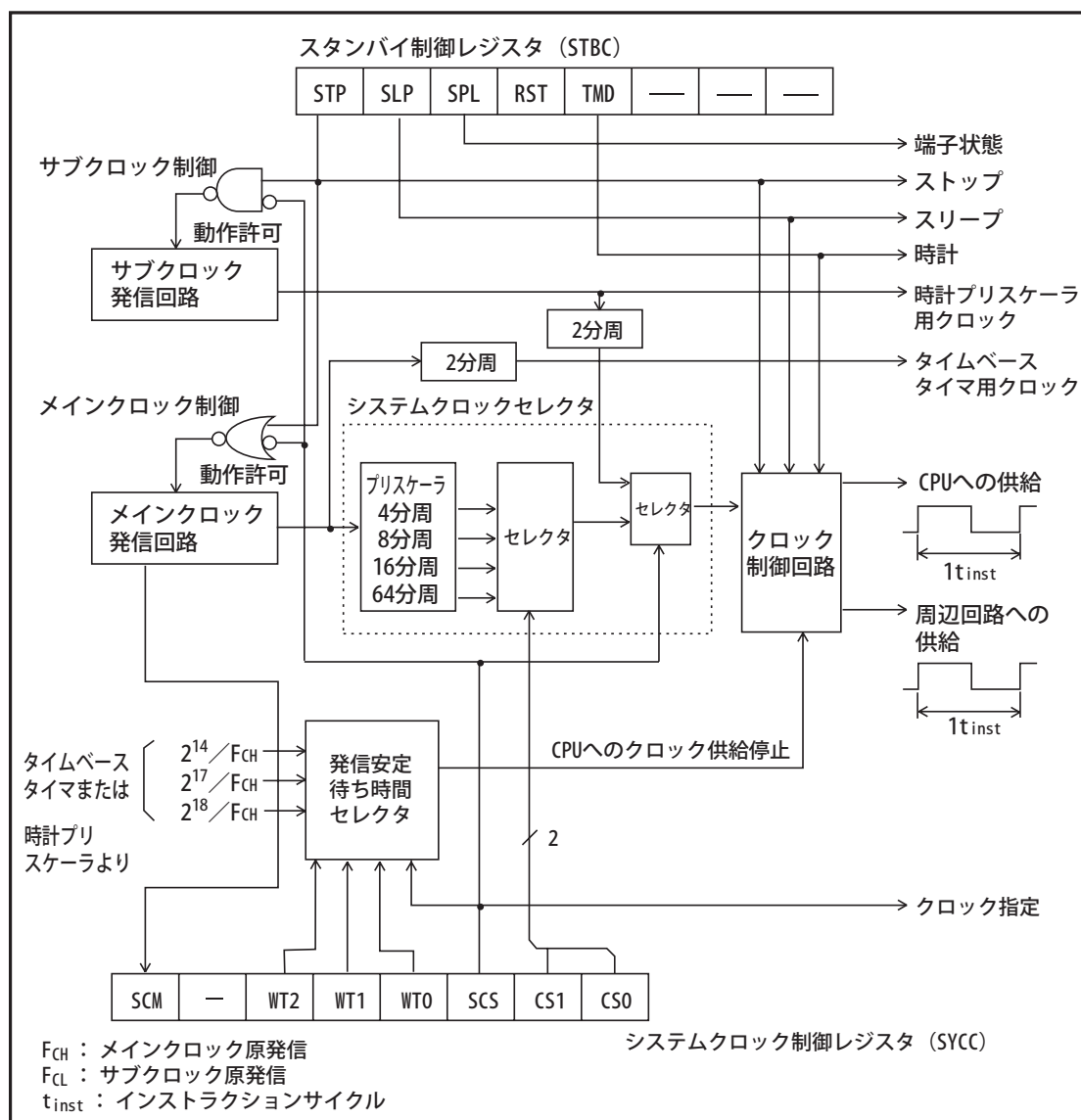


図 3.6-4 クロック制御部のブロックダイアグラム

- メインクロック発振回路

高速発振端子に接続した振動子または外部クロックの入力により、メインクロックを発生します。ただし、メインストップモードおよびサブクロックモードでは発振を停止します。

- サブクロック発振回路

低速発振端子に接続した振動子または外部クロックの入力により、サブクロックを発生します。ただし、サブストップモードでは発振を停止します。

- システムクロックセクタ

メインクロックの原発振を分周した4種類のクロックとサブクロックから1種類を選択してクロック制御回路へ供給します。

- クロック制御回路

CPUと各周辺回路の動作クロックの供給を通常動作(RUN)と各スタンバイモード(スリープ、ストップ、時計)に対応して制御します。

また、発振安定待ち時間中は、発振安定待ち時間セクタのクロック供給停止信号が解除されるまで、CPUへのクロックの供給を停止します。

- 発振安定待ち時間セクタ

タイムベースタイマで作られる4種類のメインクロック用発振安定待ち時間と、時計プリスケラで作られるサブクロック用発振安定待ち時間とから、クロックモード、スタンバイモードおよびリセットに対応した発振安定待ち時間を1種類選択し、CPUへのクロック供給停止信号として出力します。

- システムクロック制御レジスタ(SYCC)

クロックモードの選択、メインクロック速度の選択、メインクロックの発振安定待ち時間の選択およびシステムクロックの状態確認を行います。

- スタンバイ制御レジスタ(STBC)

通常動作(RUN)からスタンバイモードへの移行、ストップモードまたは時計モード時の端子状態の設定およびソフトウェアリセットを行います。

3.6.3 システムクロック制御レジスタ (SYCC)

システムクロック制御レジスタ (SYCC) は、メインクロックとサブクロックの切替え、メインクロック速度の選択、発振安定待ち時間の選択などを行うレジスタです。

■ システムクロック制御レジスタ (SYCC) の構成

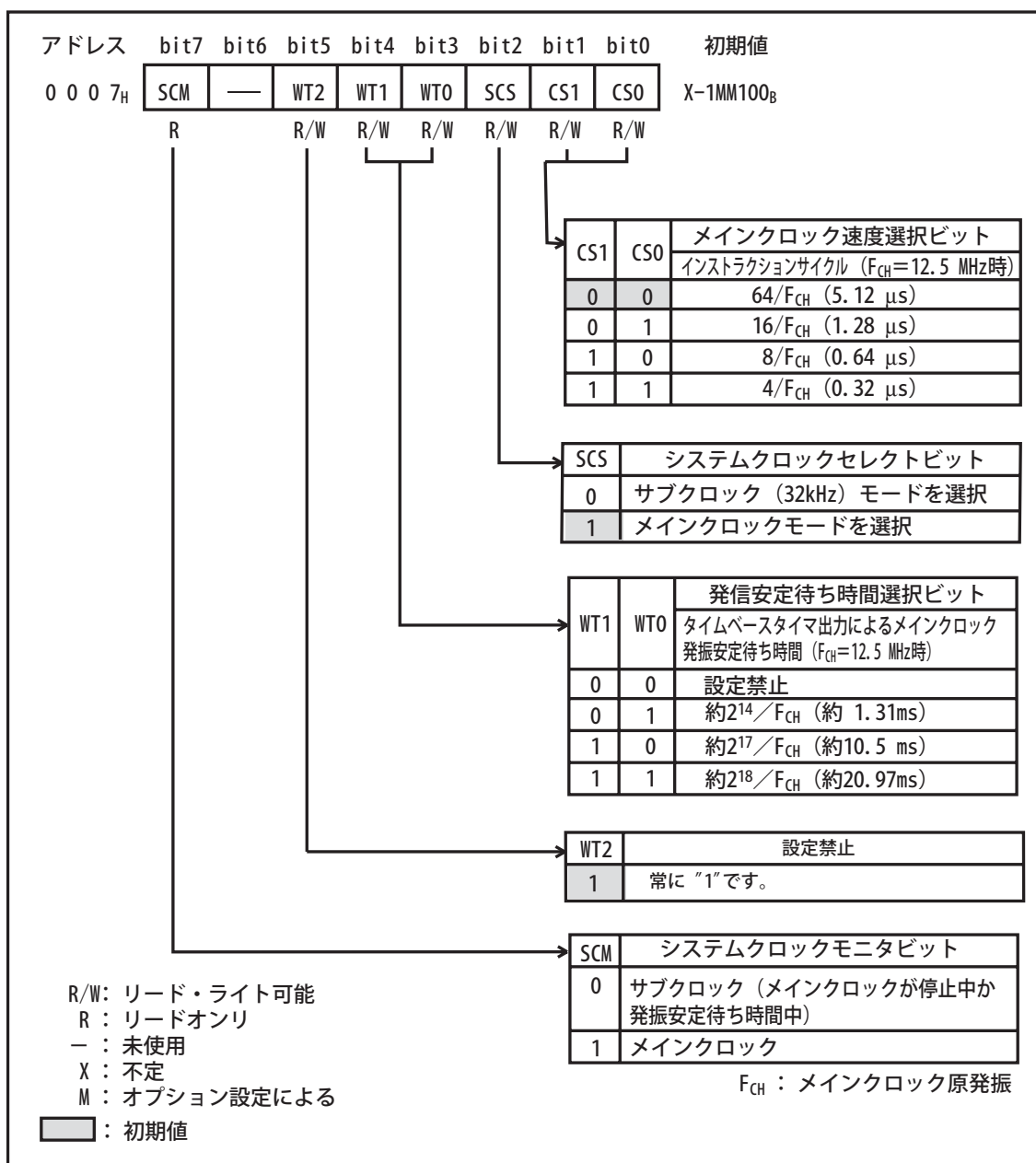


図 3.6-5 システムクロック制御レジスタ (SYCC) の構成

表 3.6-2 システムクロック制御レジスタ (SYCC) の各ビットの機能説明

ビット名		機 能
bit7	SCM: システムクロック モニタビット	現在のクロックモード (動作クロック) を確認するビットです。 <ul style="list-style-type: none"> このビットが "0" のときは、サブクロックモードで動作中です (メインクロックは停止しているか、メインクロックモードへ移行するための発振安定待ち時間中です)。 このビットが "1" のときは、メインクロックモードで動作中です。 < 注記 > このビットは読出し専用です。書込み値は意味を持たず、動作に影響しません。
bit6	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書込みは意味を持ちません。
bit5	WT2	設定禁止ビットです。 <ul style="list-style-type: none"> 常に "1" です。
bit4 bit3	WT1, WT0: 発振安定待ち時間 選択ビット	メインクロックの発振安定待ち時間を選択するビットです。 <ul style="list-style-type: none"> サブクロックモードからメインクロックモードへ移行するとき、およびメインストップモードから外部割込みによって通常動作へ復帰するときは、このビットで選択される発振安定待ち時間の経過を待ちます。 これらのビットの初期値は、オプション設定によって選択します。したがって、リセット時に発振安定待ち時間の経過を待つ場合、オプションで選択した発振安定待ち時間となります。 < 注記 > これらのビットは、サブクロックからメインクロックへの切替え (SCS=1 0) と同時に書き換えしないでください。また、書き換える場合は、SCM ビットによってメインクロックの発振安定待ち時間中でないことを確認してください。
bit2	SCS: システムクロック セレクトビット	クロックモードを指定するビットです。 <ul style="list-style-type: none"> このビットに "0" を書き込むと、メインクロックモードからサブクロックモードに移行します。 このビットに "1" を書き込むと、WT1, WT0 ビットに設定されている発振安定待ち時間の経過後、サブクロックモードからメインクロックモードへ移行します。 < 注記 > 1 系統クロックオプションを選択した場合は、常に "1" を設定してください。
bit1 bit0	CS1, CS0: メインクロック 速度選択ビット	メインクロックモードにおけるクロック速度を選択するビットです。 <ul style="list-style-type: none"> CPU と各周辺機能に対する動作クロックの速度を 4 種類設定できます (ギア機能)。 ただし、タイムベースタイマと時計プリスケアラの動作クロックは、これらのビットの影響を受けません。

■ インストラクションサイクル (t_{inst})

インストラクションサイクル (最小命令実行時間) は、SYCC レジスタのシステムクロックセレクトビット (SYCC:SCS) とメインクロック速度選択ビット (SYCC:CS1, CS0) により、メインクロックの 4 分周、8 分周、16 分周、64 分周とサブクロック (32.768kHz) の 2 分周から選択できます。

メインクロックモードで最高速度時 (SYCC:SCS=1, CS1, CS0=11_B) のインストラクションサイクルは、メインクロック原発振 (F_{CH}) を 12.5MHz とした場合、 $4/F_{CH}$ = 約 0.32 μ s となります。

サブクロックモード時 (SYCC:SCS=0) のインストラクションサイクルは、サブクロック原発振 (F_{CL}) を 32.768kHz とした場合、 $2/F_{CL}$ = 約 61.0 μ s となります。

3.6.4 クロックモード

クロックモードには、メインクロックモードとサブクロックモードがあります。メインクロックモードでは、メインクロックが主要な動作クロックとなります。メインクロックの速度は、その原発振を分周して作られる4種類のクロックを選択することにより切替えられます(ギア機能)。
サブクロックモードでは、メインクロックの原発振は停止し、サブクロックのみが動作クロックとなります。

■ クロックモードの動作状態

表 3.6-3 クロックモードの動作状態

クロックモード	メインクロック速度 SYCC レジスタ (CS1, CS0)		スタンバイモード	クロック発生		各部動作クロック				スタンバイモードの解除要因 (リセット以外)			
				メイン	サブ	CPU	タイムベースタイマ	各周辺	時計プリスケーラ				
メインクロックモード	(1, 1)	<div>↑ 高 速 ↓ 低 速</div>	RUN	発振	発振	$F_{CH}/4$	$F_{CH}/2$	$F_{CH}/4$	F_{CL}	各種割込み要求			
			スリープ			停止				停止	停止	停止	外部割込み
			ストップ										
	(1, 0)		RUN	発振	発振	$F_{CH}/8$	$F_{CH}/2$	$F_{CH}/8$	F_{CL}	各種割込み要求			
			スリープ			停止				停止	停止	停止	外部割込み
			ストップ										
	(0, 1)		RUN	発振	発振	$F_{CH}/16$	$F_{CH}/2$	$F_{CH}/16$	F_{CL}	各種割込み要求			
			スリープ			停止				停止	停止	停止	外部割込み
			ストップ										
	(0, 0)	RUN	発振	発振	$F_{CH}/64$	$F_{CH}/2$	$F_{CH}/64$	F_{CL}	各種割込み要求				
		スリープ			停止				停止	停止	停止	各種割込み	
		ストップ											
サブクロックモード	-		RUN	停止	発振	F_{CL}	停止*	F_{CL}	F_{CL}	各種割込み要求			
			スリープ			停止				停止	停止	停止	外部割込み
			ストップ										
			時計モード	停止	発振	停止	停止*	停止	F_{CL}	外部, 時計割込み			

F_{CH} : メインクロック原発振

F_{CL} : サブクロック原発振

* : タイムベースタイマは、メインクロックで動作するため、サブクロックモードでは動作を停止します。

各クロックモードではそれぞれに対応したスタンバイモードに移行できます。スタンバイモードについては、「3.7 スタンバイモード (低消費電力)」を参照してください。

■ ギア機能 (メインクロックの速度切替え機能)

システムクロック制御レジスタのメインクロック速度選択ビット (SYCC:CS1, CS0) に "00_B" ~ "11_B" を書き込むことによって、4種類のメインクロック速度を選択できます。

CPU と周辺回路は選択されたメインクロック速度で動作します。ただし、タイムベースタイマと時計プリスケアラは、ギア機能の影響を受けません。

メインクロックの速度を低速にすることにより、消費電力を低減できます。

■ メインクロックモードの動作

メインクロックモードの通常動作（メイン RUN モード）では、メインクロックとサブクロックはともに発振しています。メインクロックは、時計プリスケアラ以外の周辺回路へ供給され、サブクロックは時計プリスケアラへ供給されます。

メインクロックモードで動作中に、タイムベースタイマ以外のメインクロックの速度を切り替えられます（ギア機能）。また、スタンバイモードに指定すると、メインスリープモードもしくはメインストップモードに移行できます。

いずれの種類のリセットが発生しても、常にメイン RUN モードから動作を開始します（各動作モードのリセットによる解除）。

● メインクロックモードからサブクロックモードへの移行

システムクロック制御レジスタのシステムクロックセレクトビット (SYCC:SCS) に "0" を書き込むと、メインクロックモードからサブクロックモードに移行します。

現在の動作クロックは、システムクロック制御レジスタのシステムクロックモニタビット (SYCC:SCM) を読み出すことにより確認できます。

< 注意事項 >

電源投入直後やサブストップモードにおいて、サブクロックモードへ移行する場合は、時計プリスケアラで作られるサブクロック発振安定待ち時間以上の時間をプログラムによって、サブクロック発振安定待ち時間の経過を待ってから移行してください。

■ サブクロックモードの動作

サブクロックモードの通常動作（サブ RUN モード）では、メインクロックの発振を停止させ、サブクロックだけで動作します。低速クロックで動作させることにより、消費電力を低減できます。

サブクロックモードでは、タイムベースタイマ以外の全ての機能は、メインクロックモードと同様に動作します。サブクロックモードで動作中にスタンバイモードを指定するとサブスリープモード、サブストップモードおよび時計モードへ移行できます。

● サブクロックモードからメインクロックモードへの復帰

システムクロック制御レジスタのシステムクロックセレクトビット (SYCC:SCS) に "1" を書き込むことにより、サブクロックモードからメインクロックモードへ復帰します。

ただし、メインクロックでの動作はメインクロックの発振安定待ち時間が経過後になります。発振安定待ち時間は、システムクロック制御レジスタの発振安定待ち時間選択ビット (SYCC:WT1, WT0) によって 3 種類の中から選択できます。

また、リセットによってサブクロックモードからメインクロックモードへ復帰する場合にも、メインクロックの発振安定待ち時間の経過を待ちます。

< 注意事項 >

発振安定待ち時間選択ビット (SYCC:WT1, WT0) は、サブクロックからメインクロックへの切替え (SYCC:SCS=1) と同時、または、メインクロック発振安定待ち時間中に書き換えしないでください。これらの場合、システムクロックモニタビットによって、動作クロックがメインクロックに切り替わった (SYCC:SCM=1) ことを確認してから書き換えてください。

3.6.5 発振安定待ち時間

電源投入時，メインストップモード時またはサブクロックモード時メインクロックが停止している状態から，メインクロックをメイン RUN モードで動作させる場合は，メインクロック発振安定待ち時間が必要となります。同様に，サブストップモードではサブクロックの発振が停止しているため，サブクロックの発振安定待ち時間が必要となります。

■ 発振安定待ち時間

水晶振動子またはセラミック振動子は、発振を開始してから固有の振動数（発振周波数）で安定して発振するまでに，一般的に数ミリ秒から数十ミリ秒の時間が必要です。

このため，メインクロック発振開始直後は CPU の動作を禁止し，発振安定待ち時間の経過後，発振が安定した時点で CPU の命令実行を再開します。

発振器（クロック発生部）に接続する振動子の種類（水晶，セラミック）によって発振が安定するまでの時間が異なるため、使用する振動子の適切な発振安定待ち時間を設定する必要があります。

発振開始直後の発振器の動作を図 3.6-6 に示します。

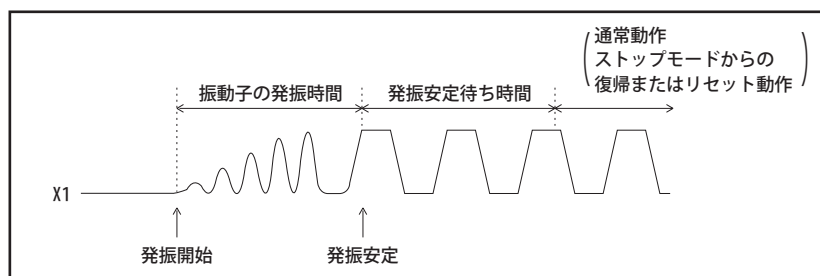


図 3.6-6 発振開始直後の発振器の動作

■ メインクロックの発振安定待ち時間

メインクロックの発振が停止している状態から、メインクロックモードで動作を開始する場合，メインクロックの発振安定待ち時間の経過を待つ必要があります。

メインクロックの発振安定待ち時間は、タイムベースタイマのカウンタがクリアされた状態からカウントアップを行い，指定されたビットがオーバーフローするまでの時間です。

● 動作中の発振安定待ち時間

メインストップモードから外部割込みによってメイン RUN モードへ復帰するときおよびサブクロックモードからメインクロックモードへ移行するときの発振安定待ち時間は，システムクロック制御レジスタの発振安定待ち時間選択ビット（SYCC:WT1, WT0）によって 4 種類の中から 1 種類を選択できます。

● リセット時の発振安定待ち時間

リセット時の発振安定待ち時間（SYCC:WT1, WT0 の初期値）は，オプション設定によって選択します。

サブクロックモード中のリセット（複数），パワーオンリセットおよび外部リセットによってストップモードを解除する場合は，発振安定待ち時間の経過を待ちます。

メインクロックモードの動作開始条件と発振安定待ち時間の関係を表 3.6-4 に示します。

表 3.6-4 メインクロックモードの動作開始条件と発振安定待ち時間

メインクロック モードの動作 開始条件	電源 投入時	サブクロックモード中		メインストップモード の解除		サブクロックモード からメインクロック モードへの移行 (SYCC:SCS * 1=1)
		外部リセット	ソフトウェアリセット および ウォッチドッグタイマ	外部リセット	外部割込み	
発振安定待ち時 間の選択	オプション設定				SYCC:WT1, WT0 * 2	

*1: システムクロック制御レジスタのシステムクロックセレクトビット

*2: システムクロック制御レジスタの発振安定待ち時間選択ビット

■ サブクロックの発振安定待ち時間

外部割込みによって、サブストップモード（サブクロックの発振が停止した状態）からサブ RUN モードへ復帰（サブクロックの発振を開始）する場合は、一定のサブクロック発振安定待ち時間 ($2^{15}/F_{CL}$, F_{CL} : サブクロック原発振) の経過を待ちます。

サブクロックの発振安定待ち時間は、時計プリスケアラがクリアされた状態から動作を開始して、オーバフローを生じるまでの時間です。

電源投入時はサブクロックの発振安定待ち時間が必要なため、電源投入後にサブクロックモードに移行する場合は、プログラムによって、サブクロック発振安定待ち時間以上の経過を待ってから移行してください。

3.7 スタンバイモード (低消費電力)

スタンバイモードには、スリープモード、ストップモードおよび時計モードがあります。スタンバイモードへは、メインクロックモードとサブクロックモードのいずれの場合もスタンバイ制御レジスタ (STBC) の設定によって移行します。

メインクロックモードでは、スリープ/ストップの2つのモードへ移行でき、サブクロックモードでは、スリープ/ストップ/時計の3つのモードへ移行できます。スタンバイモードによって、CPU や周辺機能の動作を停止させることにより、消費電力を低減することができます。スタンバイモードとクロックモードの関係およびスタンバイモード時の各部の動作状態について説明します。

■ スタンバイモード

スタンバイモードでは、クロック制御部による CPU へのクロックの供給停止 (スリープモード) や、CPU と周辺回路へのクロックの供給停止 (時計モード) または原発振そのものの停止 (ストップモード) によって消費電力を低減します。

● メインスリープモード

メインスリープモードは、CPU とウォッチドッグタイマの動作を停止させるモードです。時計プリスケアラを除く周辺機能はメインクロックで動作します (一部の機能はサブクロックで動作できます)。

● サブスリープモード

サブスリープモードは、メインクロックの発振と CPU の動作およびウォッチドッグタイマとタイムベースタイマの動作を停止させるモードです。周辺機能はサブクロックで動作します。

● メインストップモード

メインストップモードは、CPU と周辺機能の動作を停止させるモードです。メインクロックは発振を停止しますが、サブクロックは発振を続けます。外部割込み、時計プリスケアラのカウント動作およびサブクロックで動作する一部の機能を除く全機能が停止します。

● サブストップモード

サブストップモードは、外部割込みを除く全機能を停止させるモードです。メインクロック、サブクロックともに発振を停止します。

● 時計モード

時計モードは、サブクロックモードのときにのみ移行できるモードです。時計プリスケアラ (時計割込み)、外部割込みおよびサブクロックで動作する一部の機能を除くすべての機能が停止します。

3.7.1 スタンバイモード時の動作状態

スタンバイモードにおける CPU と周辺機能の動作状態について説明します。

■ スタンバイモード時の動作状態

表 3.7-1 スタンバイモード時の CPU と周辺機能の動作状態

機 能		メインクロックモード			サブクロックモード			
		RUN	スリープ	ストップ	RUN	スリープ	ストップ	時計
メインクロック		動作	動作	停止	停止	停止	停止	停止
サブクロック		動作	動作	動作	動作	動作	停止	動作
CPU	命令	動作	停止	停止	動作	停止	停止	停止
	ROM	動作	保持	保持	動作	保持	保持	保持
	RAM							
周辺機器	I/O ポート	動作	保持	保持	動作	保持	保持	保持
	時計プリスケアラ	動作	動作	動作 ^{*1}	動作	動作	保持	動作
	タイムベースタイマ	動作	動作	停止	停止	停止	停止	停止
	16 ビットタイマ / カウンタ	動作	動作	停止	動作	動作	停止	停止
	8 ビットシリアル入出力	動作	動作	停止	動作	動作	停止	停止
	UART	動作	動作	停止	動作	動作	停止	停止
	I ² C パスインタフェース	動作	動作	停止	動作	動作	停止	停止
	UART/SIO	動作	動作	停止	動作	動作	停止	停止
	8 ビット PWM タイマ	動作	動作	停止	動作	動作	停止	停止
	A/D コンバータ	動作	動作	停止	動作	動作	停止	停止
	外部割込み 1, 2	動作	動作	動作	動作	動作	動作	動作
	12 ビット PPG	動作	動作	動作 ^{*2}	動作 ^{*2}	動作 ^{*2}	停止	動作 ^{*2}
	ウォッチドッグタイマ	動作	停止	停止	動作 ^{*2}	停止	停止	停止
	PWC タイマ	動作	動作	停止	動作	動作	停止	停止
	6 ビット PPG	動作	動作	動作 ^{*2}	動作 ^{*2}	動作 ^{*2}	停止	停止

*1: 時計プリスケアラはカウント動作しますが、時計割込みは発生しません。

*2: 動作クロックに時計プリスケアラの出力を選択した場合は動作できます。

● スタンバイモード時の端子の状態

I/O 端子の状態は、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) によって、ストップモードまたは時計モードへ移行する直前の状態の保持もしくはハイインピーダンスにすることができます。

スタンバイモードの端子状態については、「付録 E MB89530/530H/530A シリーズの端子状態」を参照してください。

3.7.2 スリープモード

スリープモードの動作について説明します。

■ スリープモードの動作

● スリープモードへの移行

スリープモードは CPU の動作クロックを停止させるモードです。CPU は、スリープモード移行直前のレジスタと RAM の内容を保持して停止しますが、ウォッチドッグタイマを除く周辺機能は動作を続けます。

ただし、サブクロックモードでは、メインクロックの発振が停止するため、メインクロック原発振の 2 分周をカウントクロックとするタイムベースタイマは動作しません。

スタンバイ制御レジスタのスリープビット (STBC:SLP) に "1" を書き込むと、スリープモードに移行します。

SLP ビットに "1" を書き込んだときに、割込み要求が発生していると書込みは無視され、スリープモードへ移行せずに命令の実行を続けます (割込み処理後にも、スリープモードへの移行はしません)。

● スリープモードの解除

スリープモードは、リセットおよび周辺機能からの割込みによって解除されます。

サブスリープモード中にリセットが発生した場合、CPU はメインクロックの発振安定待ち時間の経過を待ってからリセット動作を行います。

端子の状態はリセット動作によって初期化されます。

スリープモード中に周辺機能もしくは外部割込み回路から割込みレベル (LX1, LX0) が "11_B" より高い割込み要求が発生すると、CPU の割込み許可フラグ (CCR:I) や割込みレベルビット (CCR:IL1, IL0) の状態に関係なく、スリープモードから解除されます。解除後は、通常の割込み動作を行い、割込みが受け付けられる場合は、割込み処理を実行します。受け付けられない場合は、スリープモードに移行する直前に実行した命令の次の命令から処理を実行します。

3.7.3 ストップモード

ストップモードの動作について説明します。

■ ストップモードの動作

● ストップモードへの移行

ストップモードは原発振を停止させるモードです。CPU は、ストップモード移行直前のレジスタおよび RAM の内容を保持して停止し、外部割込み回路以外の機能も停止します。

メインクロックモード時は、メインクロックの発振は停止しますが、サブクロックは発振を続けます。このため、時計プリスケアラのカウント動作とサブクロックで動作する一部の機能は動作しますが、他の周辺機能および CPU は、外部割込み回路を除いて動作を停止します。

サブクロックモード時は、メインクロック、サブクロックともに発振を停止し、外部割込み回路を除くすべての機能が停止します。したがって、最小の消費電力でデータを保持します。

スタンバイ制御レジスタのストップビット (STBC:STP) に "1" を書き込むと、ストップモードに移行します。ストップモードへ移行するとき、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "0" の場合は、外部端子の状態を保持し、"1" の場合は、外部端子の状態をハイレインピーダンス (プルアップ設定レジスタでプルアップ抵抗ありを選択している端子は "H" レベル) にします。

STP ビットに "1" を書き込んだときに、割込み要求が発生していると書込みは無視され、ストップモードへ移行せずに命令の実行を続けます (割込み処理後も、ストップモードへの移行はしません)。

メインクロックモードでストップモードへ移行するときは、必要に応じてタイムベースタイマの割込み要求出力を禁止 (TBTC:TBIE=0) します。また、サブクロックモードでストップモードへ移行するときは、同様に時計プリスケアラの時計割込み要求出力を禁止 (WPCR:WIE=0) します。

● ストップモードの解除

ストップモードはリセット、もしくは外部割込みによって解除されます。

ストップモード中にリセットが発生すると、CPU はメインクロックの発振安定待ち時間の経過を待ってから、リセット動作を行います。

端子の状態はリセットによって初期化されます。

ストップモード中に外部割込み回路から割込みレベル (LX1, LX0) が "11_B" より高い割込み要求が発生すると、CPU の割込み許可フラグ (CCR:I) や割込みレベルビット (CCR:IL1, IL0) の状態に関係なく、ストップモードから解除されます。ストップモード中は、周辺機能が停止しているため、外部割込み以外の割込み要求は発生しません。また、メインストップモードでは、時計プリスケアラは動作していますが、時計割込みは発生しません。解除後は、発振安定待ち時間を経過した後、割込み動作を行い、割込みが受け付けられる場合は、割込み処理を実行します。受け付けられない場合は、ストップモードに移行する直前に実行した命令の次の命令から処理を実行します。

ストップモードが外部割込みによって解除されると、周辺機能は動作を途中から再開します。このため、インターバルタイマ機能の初回のインターバル時間が不定となります。各周辺機能はストップモードからの復帰後、初期化する必要があります。

< 注意事項 >

ストップモードの割込みによる解除は、外部割込み回路の割込み要求のみです。

3.7.4 時計モード

時計モードの動作について説明します。

■ 時計モードの動作

● 時計モードへの移行

時計モードは CPU と主要な周辺回路動作クロックを停止させるモードです。サブクロックモード (メインクロック発振停止) の場合にのみ移行できます。

CPU は、時計モード移行直前のレジスタおよび RAM の内容を保持して停止し、時計プリスケアラ (時計割込み) と外部割込み回路およびサブクロックで動作する一部の機能を除く全ての機能も停止します。したがって、非常に低い消費電力でデータを保持します。

システムクロック制御レジスタのシステムクロックセレクトビットによってサブクロックモードに設定されている状態 (SYCC:SCS=0) で、スタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むと、時計モードに移行します。

時計モードに移行するとき、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "0" の場合は、外部端子の状態を保持し、"1" の場合は、外部端子の状態をハイインピーダンス (プルアップ設定レジスタでプルアップ抵抗ありを選択している端子は "H" レベル) にします。

TMD ビットに "1" を書き込んだときに、割込み要求が発生していると書込みは無視され、時計モードへ移行せずに命令の実行を続けます (割込み処理後にも、時計モードへの移行はしません)。

● 時計モードの解除

時計モードは、リセット、時計割込み、および外部割込みによって解除されます。

時計モード中にリセットが発生すると、CPU はメインクロックの発振安定待ち時間の経過を待ってから、リセット動作を行います。

端子の状態はリセットによって初期化されます。

時計モード中に時計プリスケアラもしくは外部割込み回路から割込みレベルが "11_B" より強い割込み要求が発生すると、CPU の割込み許可フラグ (CCR:I) や割込みレベルビット (CCR:IL1, IL0) の状態に関係なく、時計モードから解除されます。時計モード中は、時計プリスケアラ以外のほとんどの周辺機能が停止しているため、時計割込みおよび外部割込み以外の割込み要求は発生しません。解除後は、通常の割込み動作を行い、割込みが受け付けられる場合は、割込み処理を実行します。受け付けられない場合は、時計モードに移行する直前に実行した命令の次の命令から処理を実行します。

時計モードが解除されると、周辺機能は動作を途中から再開します。このため、インターバルタイマ機能の初回のインターバル時間が不定となります。各周辺機能は時計モードからの復帰後、初期化する必要があります。

3.7.5 スタンバイ制御レジスタ (STBC)

スタンバイ制御レジスタ (STBC) は、スリープモード、ストップモードまたは時計モードへの移行を指定します。また、ストップモード、時計モード中の端子状態の設定およびソフトウェアリセットを行うレジスタです。

■ スタンバイ制御レジスタ (STBC)

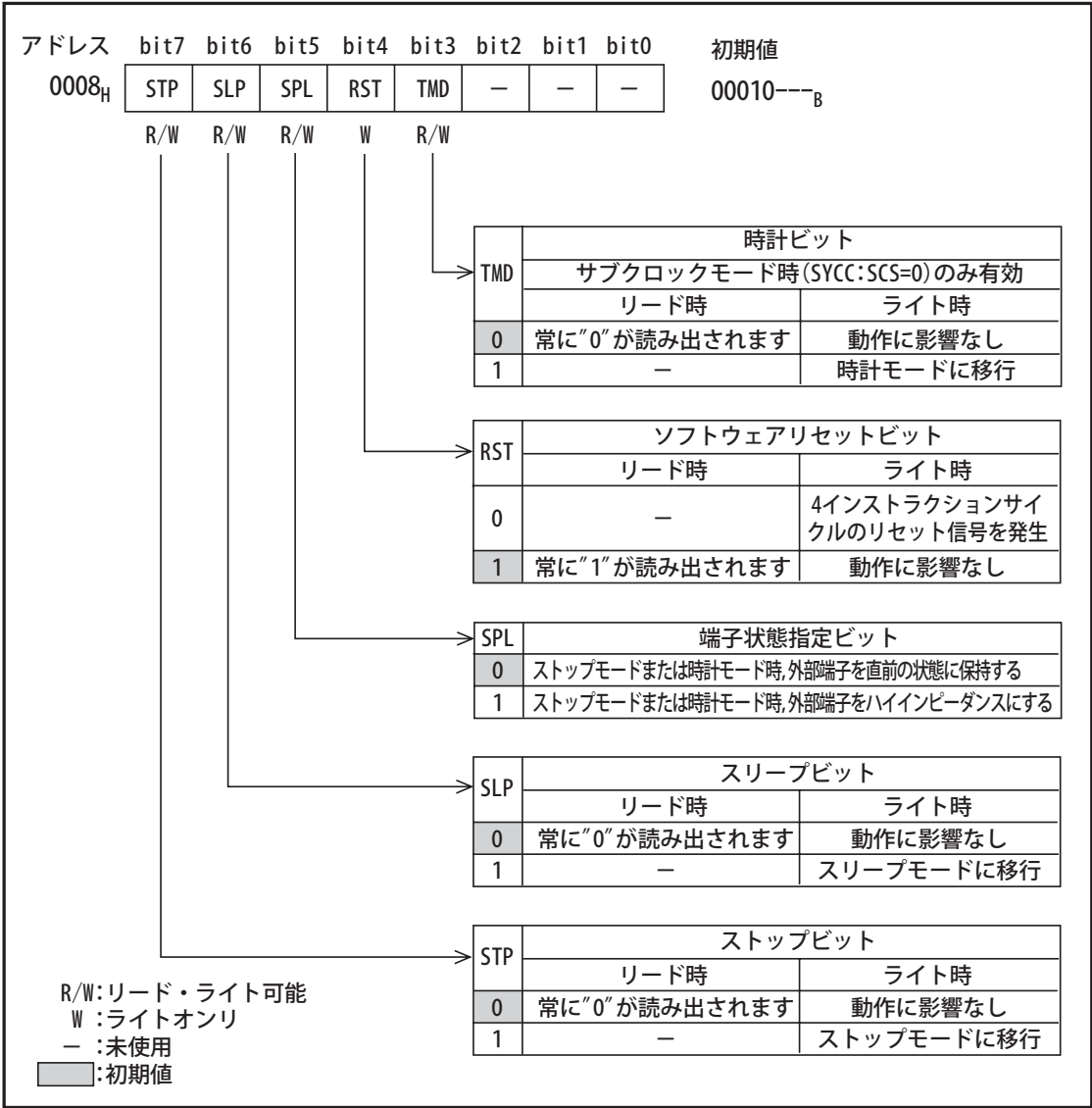


図 3.7-1 スタンバイ制御レジスタ (STBC)

表 3.7-2 スタンバイ制御レジスタ (STBC) の各ビットの機能説明

ビット名		機 能
bit7	STP: ストップビット	ストップモードへの移行を指定するビットです。 <ul style="list-style-type: none"> このビットに "1" を書き込むと、ストップモードに移行します。 このビットに "0" を書き込んでも動作に影響しません。 このビットを読み出した場合は、常に "0" が読み出されます。
bit6	SLP: スリープビット	スリープモードへの移行を指定するビットです。 <ul style="list-style-type: none"> このビットに "1" を書き込むと、スリープモードに移行します。 このビットに "0" を書き込んでも動作に影響しません。 このビットを読み出した場合は、常に "0" が読み出されます。
bit5	SPL: 端子状態指定 ビット	ストップモードおよび時計モード時の外部端子の状態を指定するビットです。 <ul style="list-style-type: none"> このビットに "0" を書き込むと、ストップ、時計モード移行時に外部端子の状態（レベル）を保持します。 このビットに "1" を書き込むと、ストップ、時計モード移行時に外部端子はハイインピーダンスになります（プルアップ設定レジスタでプルアップ抵抗ありを選択している端子は "H" レベルになります）。 リセットで "0" になります。
bit4	RST: ソフトウェアリ セットビット	ソフトウェアリセットを指定するビットです。 <ul style="list-style-type: none"> このビットに "0" を書き込むと、4 インストラクションサイクルの内部リセット要因を発生します。 このビットに "1" を書き込んでも動作に影響しません。 このビットを読み出した場合は、常に "1" が読み出されます。 <p><注記> サブクロックモードでソフトウェアリセットをかけた場合、発振安定待ち時間の経過を待ってからメインクロックモードで動作を開始します。このため、リセット信号は発振安定待ち時間の経過の間出力されます。</p>
bit3	TMD: 時計ビット	時計モードへの移行を指定するビットです。 <ul style="list-style-type: none"> このビットへの書込みはサブクロックモード (SYCC:SCS=0) のときにのみ有効です。 このビットに "1" を書き込むと、時計モードへ移行します。 このビットに "0" を書き込んでも動作に影響しません。 このビットを読み出した場合は、常に "0" が読み出されます。
bit2 bit1 bit0	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書込みは意味を持ちません。

3.7.6 状態遷移図 1 (2 系統クロック)

2 系統クロックで使用した場合の状態遷移図を示します。

■ 状態遷移図 1 (2 系統クロック)

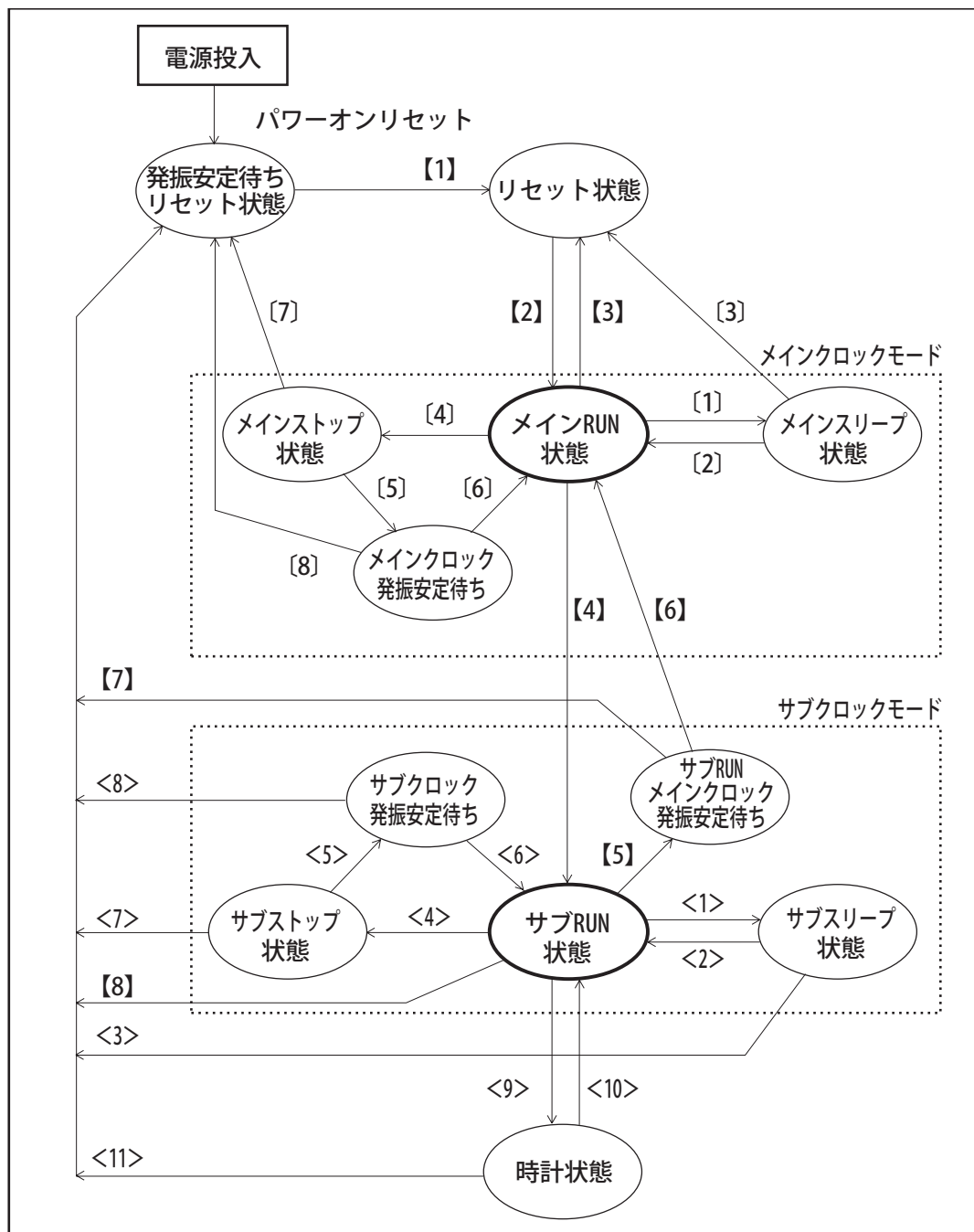


図 3.7-2 状態遷移図 1 (2 系統クロック)

● クロックモードの移行と解除 (非スタンバイモード)

表 3.7-3 クロックモードの移行と解除 (2 系統クロック)

状 態 遷 移	遷 移 条 件
パワーオンリセット後、 メインクロックモード 通常状態 (メイン RUN) へ移行	【1】メインクロック発振安定待ち時間終了 (タイムベースタイマ出力) 【2】リセットの入力を解除
メイン RUN 状態でのリセット	【3】外部リセット, ソフトウェアリセット, ウォッチドッグリセット
メイン RUN 状態からサブ RUN 状態へ移行	【4】SYCC:SCS=0 *
サブ RUN 状態からメイン RUN 状態へ復帰	【5】SYCC:SCS=1 【6】メインクロック発振安定待ち時間終了 (SYCC:SCM で確認可) 【7】外部リセット, ソフトウェアリセット, ウォッチドッグリセット
サブ RUN 状態でのリセット	【8】外部リセット, ソフトウェアリセット, ウォッチドッグリセット

SYCC: システムクロック制御レジスタ

*: 電源投入直後のサブ RUN への移行はサブクロック発振安定待ち時間が終了してからとなります。

● スタンバイモードへの移行と解除

表 3.7-4 スタンバイモードへの移行と解除 (2 系統クロック)

状 態 遷 移	遷 移 条 件	
	メインクロックモード	サブクロックモード
スリープモードへの移行	〔1〕STBC:SLP=1	<1>STBC:SLP=1
スリープモードの解除	〔2〕割込み (各種) 〔3〕外部リセット	<2> 割込み (各種) <3> 外部リセット
ストップモードへの移行	〔4〕STBC:STP=1	<4>STBC:STP=1
ストップモードの解除	〔5〕外部割込み 〔6〕メインクロック発振安定待ち 時間終了 (タイムベースタイマ出力) 〔7〕外部リセット 〔8〕外部リセット (発振安定待ち中)	<5> 外部割込み <6> サブクロック発振安定待ち時間終了 (時計プリスケアラ出力) <7> 外部リセット <8> 外部リセット (発振安定待ち中)
時計モードへの移行	-	<9>STBC:TMD=1 *
時計モードの解除	-	<10> 外部割込み, もしくは時計割込み <11> 外部リセット

STBC: スタンバイ制御レジスタ

*: 時計モードへの移行はサブ RUN 状態 (SYCC:SCS=0) からのみ可能です。

< 注意事項 >

スタンバイモード中は, CPU とウォッチドッグタイマが停止しているため, ソフトウェアリセットとウォッチドッグリセットは発生しません。2 系統クロックで 1 系統クロックと同じ接続をした場合, サブクロックモードへの移行は禁止となります。サブクロックへ移行させた場合, CPU は停止します。復帰する方法はリセットのみとなります。

3.7.7 状態遷移図 2 (1 系統クロックオプション)

1 系統クロックオプション品の状態遷移図を示します。1 系統クロックを使用した場合、サブクロックモードと時計モードはありません。

■ 状態遷移図 2 (1 系統クロックオプション)

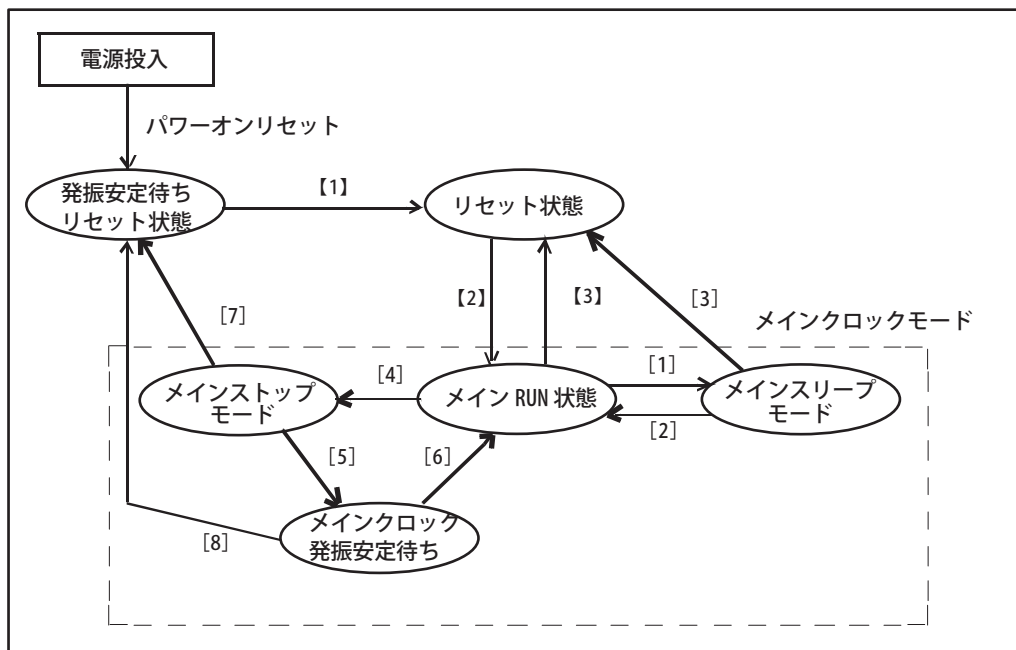


図 3.7-3 状態遷移図 2 (2 系統クロックオプション)

■ 通常状態 (RUN) への移行と解除

表 3.7-5 メインクロックモード RUN 状態への移行と解除 (1 系統クロックオプション)

状態遷移	遷移条件
パワーオンリセット後、 メインクロックモード 通常状態 (メイン RUN) へ移行	【1】メインクロック発振安定待ち時間終了 (タイムベースタイマ出力) 【2】リセットの入力を解除
メイン RUN 状態でのリセット	【3】外部リセット, ソフトウェアリセット, ウォッチドッグリセット

■ スタンバイモードへの移行と解除

表 3.7-6 スタンバイモードへの移行と解除 (1 系統クロックオプション)

状態遷移	遷移条件
スリープモードへの移行	[1] STBC:SLP=1
スリープモードの解除	[2] 割込み (各種) [3] 外部リセット
ストップモードへの移行	[4] STBC:STP=1
ストップモードの解除	[5] 外部割込み [6] メインクロック発振安定待ち時間終了 (タイムベースタイマ出力) [7] 外部リセット [8] 外部リセット (発振安定待ち中)

STBC: スタンバイ制御レジスタ

3.7.8 スタンバイモード使用上の注意

スタンバイ制御レジスタ (STBC) にスタンバイモードを設定しても、周辺機能から割り込み要求が発生しているとスタンバイモードに移行しません。また、割り込みによってスタンバイモードから通常動作状態へ復帰する場合は、割り込み要求を受け付けられるかどうかによって復帰後の動作が異なります。

■ スタンバイモードへの移行と割り込み

周辺機能から CPU に対して、割り込みレベルが "11_B" より高い割り込み要求が発生している場合は、スタンバイ制御レジスタのストップビット (STBC:STP)、スリープビット (STBC:SLP) および時計ビット (STBC:TMD) に "1" を書き込んでも無視され、各スタンバイモードへは移行しません (割り込み処理後にもスタンバイモードへの移行はしません)。

CPU が割り込み処理中の場合は、その割り込み要求フラグビットがクリアされています。他に割り込み要求が発生していなければ、スタンバイモードへ移行できます。

■ スタンバイモードの割り込みによる解除

スリープまたはストップモード中に、周辺機能から割り込みレベルが "11_B" より高い割り込み要求が発生すると、スタンバイモードは解除されます (CPU が割り込みを受け付けなくてもモードは解除されます)。

割り込みによるスタンバイモードの解除後は、通常の割り込み動作として、割り込み要求に対応する割り込みレベル設定レジスタ (ILR1, 2, 3, 4) の優先度がコンディションコードレジスタの割り込みレベルビット (CCR:IL1, IL0) より高く、割り込み許可フラグが許可 (CCR:I=1) されている場合は、割り込み処理ルーチンへ分岐します。割り込みが受け付けられない場合は、スタンバイモードを起動した命令の次の命令から動作を再開します。

復帰直後に割り込み処理ルーチンへ分岐させない場合は、スタンバイモード設定の前に割り込み禁止をするなどの対策が必要です。

■ スタンバイモード設定時

スタンバイ制御レジスタ (STBC) によるスタンバイモードの設定は、表 3.7-7 に従ってください。これらのビットに同時に "1" を書き込んだ場合の優先順位は、ストップモード、時計モード、スリープモードの順になりますが、いずれか 1 つのビットだけに "1" を設定するようにしてください。

また、サブクロックモードからメインクロックモードへの切替え (SYCC:SCS=0 1) 直後にストップモード、スリープモード、時計モードに移行しないでください。システム制御レジスタのクロックモニタビット (SYCC:SCM) が "1" になったのを確認してから、これらのモードに移行するようにしてください。

ただし、メインクロックモードで動作中は、時計ビット (STBC:TMD) への書き込みは無視されます。

表 3.7-7 スタンバイ制御レジスタ (STBC) による低消費電力モードの設定

STBC レジスタ			モード
STP (bit7)	SLP (bit6)	TMD (bit3)	
0	0	0	通常
0	0	1	時計
0	1	0	スリープ
1	0	0	ストップ

■ 発振安定待ち時間

メインクロックモード、サブクロックモードともに、ストップモード中は、原発振用の発振器が停止しているため、それぞれの発振器が動作後、発振安定待ち時間の経過を待つ必要があります。

メインクロックモードのときは、タイムベースタイマで作られるメインクロックの発振安定待ち時間 (3 種類から 1 種類選択) の経過を待ち、サブクロックモードのときは時計プリスケアラで作られるサブクロックの発振安定待ち時間の経過を待ちます。

メインクロックモードでは、タイムベースタイマのインターバル時間の選択が、発振安定待ち時間より短い場合は、発振安定待ち時間中にインターバルタイマ割込み要求が発生します。したがって、メインクロックモードでストップモードへ移行する前に、必要に応じてタイムベースタイマの割込み要求出力を禁止 (TBTC:TBIE=0) してください。

同様に、時計プリスケアラの割込みインターバル時間の選択によっても時計割込み要求が発生します。サブクロックモードでストップモードへ移行する前には、必要に応じて時計プリスケアラの時計割込み要求出力を禁止 (WPCR:WIE=0) してください。

3.8 メモリアクセスモード

MB89530/530H シリーズのメモリアクセスは、シングルチップモードのみです。

■ シングルチップモード

シングルチップモードは、内部の RAM と ROM のみを使用します。したがって、CPU は、内部の I/O 領域、RAM 領域および ROM 領域に対するアクセス（内部アクセス）以外へのアクセスは無効です。

■ モード端子 (MOD0, 1)

モード端子 (MOD1 と MOD0) は必ず "V_{SS}" に設定してください。

リセット時に内部 ROM からモードデータとリセットベクトルを読み出します。

なお、モード端子は、リセット動作終了後（動作中）も設定を変更しないでください。

モード端子の設定を表 3.8-1 に示します。

表 3.8-1 モード端子の設定

端子の状態		内 容
MOD1	MOD0	
V _{SS}	V _{SS}	内部 ROM からモードデータとリセットベクトルを読み出します。
V _{SS}	V _{CC}	設定禁止
V _{CC}	V _{SS}	
V _{CC}	V _{CC}	

■ モードデータ

内部 ROM のモードデータは必ず "00_H" に設定して、シングルチップモードを選択してください。

モードデータの構成を図 3.8-1 に示します。

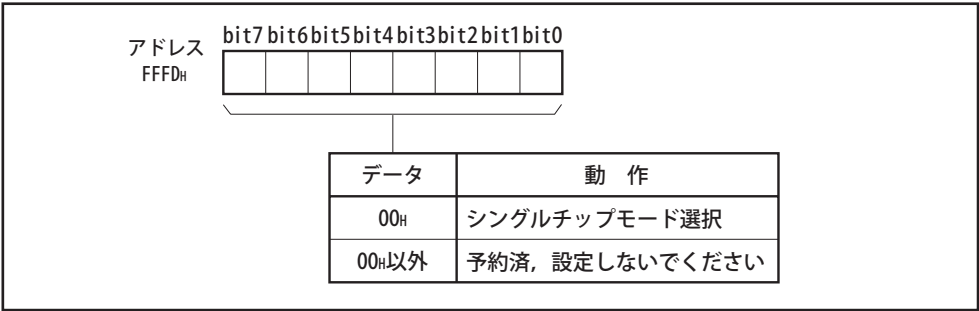


図 3.8-1 モードデータの構成

■ メモリアクセスモード選択動作

シングルチップモード以外の選択動作はできません。

モード端子とモードデータを表 3.8-2 に示します。

表 3.8-2 モード端子とモードデータ

メモリアクセスモード	モード端子 (MOD0, MOD1)	モードデータ
シングルチップモード	V _{SS} , V _{SS}	00 _H
その他のモード	設定禁止	設定禁止

メモリアクセスモード選択動作を図 3.8-2 に示します。

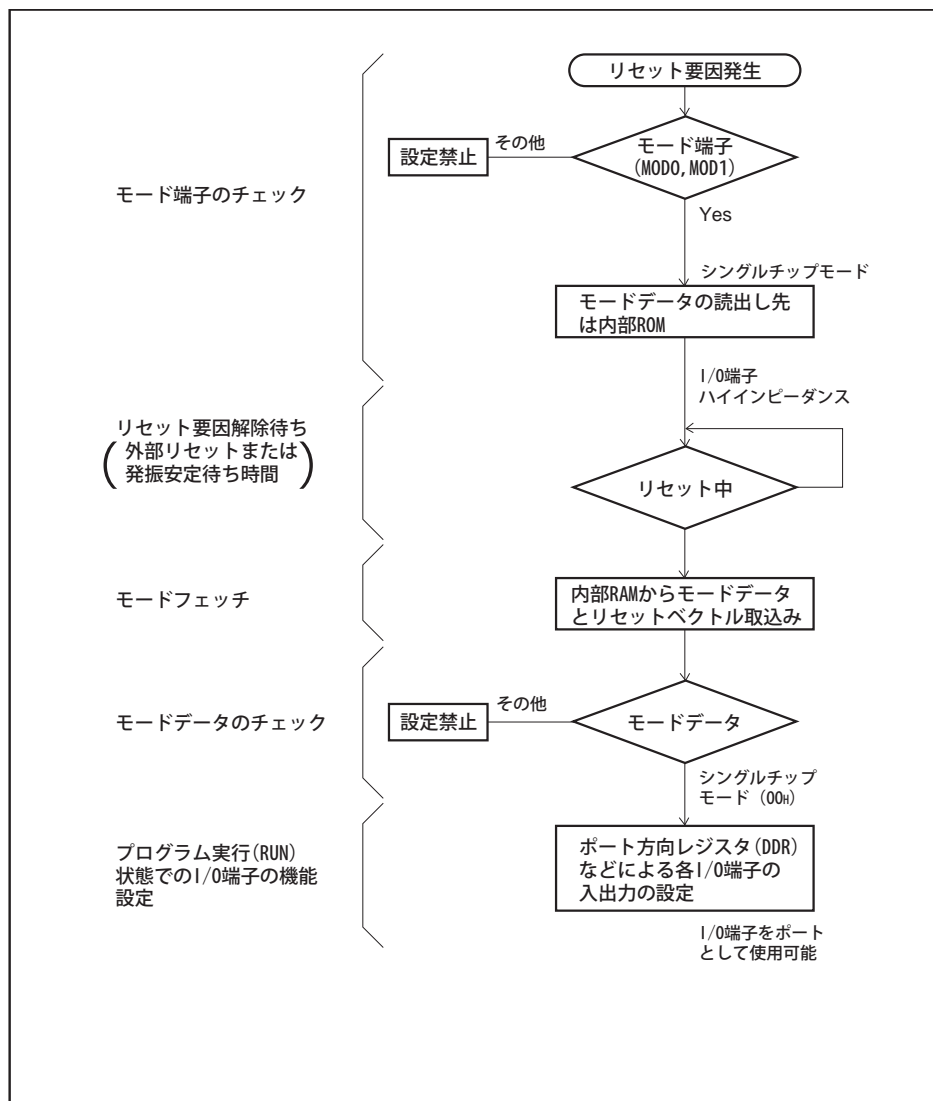


図 3.8-2 メモリアクセスモード選択動作

第4章

I/O ポート

この章では、I/O ポートの機能と動作について説明しています。

- 4.1 I/O ポートの概要
- 4.2 ポート 0, ポート 1
- 4.3 ポート 2
- 4.4 ポート 3
- 4.5 ポート 4
- 4.6 ポート 5
- 4.7 ポート 6
- 4.8 I/O ポートのプログラム例

4.1 I/O ポートの概要

I/O ポートは、53 本の汎用入出力ポートから構成されます。
各ポートは周辺機器 (各種周辺機能の入出力端子) としても機能します。

■ I/O ポートの機能

I/O ポートは、ポートデータレジスタ (PDR) によって、CPU からのデータを I/O 端子に出力したり、I/O 端子に入力された信号を CPU に取り込んだりする機能があります。また、ポートによってはポート方向レジスタ (DDR) によって、I/O 端子の入出力の方向をビット単位で任意に設定できます。

以下に各ポートの機能と、兼用される周辺機器を示します。

- ポート 0: 汎用入出力ポート
- ポート 1: 汎用入出力ポート
- ポート 2: 汎用入出力ポート / 周辺機器 (PWCK, 12 ビット PPG01, 12 ビット PPG02) 兼用
- ポート 3: 汎用入出力ポート / 周辺機器 (PPG03/MCO, SCK1(UCK1)/LMCO, SO1(UO1), SI1(UI1), PTO2, PWC, WTO, PTO1) 兼用
- ポート 4: 汎用入出力ポート / 周辺機器 (INT20/EC, INT21/SCK2, INT22/SO2/SDA*, INT23/SI2/SCL*, INT24/UCK2, INT25/UO2, INT26/UI2, INT27/ADST) 兼用
SDA および SCL(I²C) の機能は、MB89535A, MB89537, MB89537H, MB89537A, MB89538, MB89538H, MB89538A では使用できません。
- ポート 5:Nch オープンドレイン出力専用ポート / 周辺機器 (ADC 入力 8ch) 兼用
- ポート 6:CMOS 入力専用ポート / 周辺機器 (X1A, INT13/X0A, INT10 ~ INT12) 兼用

*:Nch オープンドレイン端子

各ポートの機能一覧を表 4.1-1 に、各ポートのレジスタ一覧を表 4.1-2 に示します。

表 4.1-1 各ポートの機能一覧

ポート名	端子名	入力形式	出力形式	機能	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ポート 0	P00 ~ P07	CMOS	CMOS プッシュプル	汎用入出力ポート	P07	P06	P05	P04	P03	P02	P01	P00
ポート 1	P10 ~ P17			汎用入出力ポート	P17	P16	P15	P14	P13	P12	P11	P10
ポート 2	P20/ PWCK ~ P27	汎用入出力ポート		P27	P26	P25	P24	P23	P22	P21	P20	
ポート 3	P30/ PPG03/ MC ~ P37/PTO1	周辺機器		-	-	-	-	-	PPG02	PPG01	PWCK	
		汎用入出力ポート		P37	P36	P35	P34	P33	P32	P31	P30	
ポート 4	P40/INT4/ EC ~ P47/ INT11/ ADST	CMOS (周辺機能はヒステリシス)	CMOS プッシュプル (P42/INT22/ SO2/SDA, P43/ INT23/SI2/ SCL は Nch オープンドレイン)	汎用入出力ポート	P47	P46	P45	P44	P43	P42	P41	P40
				周辺機器	INT27/ ADST	INT26/ UI2	INT25/ UO2	INT24/ UCK2	INT23/ SI2/ SCL *1	INT22/ SO2/ SDA *1	INT21/ SCK2	INT20/ EC
ポート 5	P50/AN0 ~ P57/ AN7	アナログ 入力	Nch オープン ドレイン	出力専用ポート	P57	P56	P55	P54	P53	P52	P51	P50
				A/D コンバータ 入力	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
ポート 6	P60/INT0 ~ P64/ X1A	CMOS (周辺機能はヒステリシス)	X1A は CMOS プッシュプル	入力専用ポート	-	-	-	P64	P63	P62	P61	P60
				周辺機器	-	-	-	X1A *2	INT13/ X0A	INT12	INT11	INT10

*1: Nch オープンドレイン出力で動作

*2: CMOS 出力で動作

表 4.1-2 各ポートのレジスタ一覧

レジスタ名	リード/ライト	アドレス	初期値
ポート 0 データレジスタ (PDR0)	R/W	0000 _H	XXXXXXXX _B
ポート 0 方向レジスタ (DDR0)	W *	0001 _H	00000000 _B
ポート 0 プルアップ抵抗制御レジスタ (PURR0)	R/W	0072 _H	11111111 _B
ポート 1 データレジスタ (PDR1)	R/W	0002 _H	XXXXXXXX _B
ポート 1 方向レジスタ (DDR1)	W *	0003 _H	00000000 _B
ポート 1 プルアップ抵抗制御レジスタ (PURR1)	R/W	0073 _H	11111111 _B
ポート 2 データレジスタ (PDR2)	R/W	000C _H	XXXXXXXX _B
ポート 2 方向レジスタ (DDR2)	R/W	000D _H	00000000 _B
ポート 2 プルアップ抵抗制御レジスタ (PURR2)	R/W	0074 _H	11111111 _B
ポート 3 データレジスタ (PDR3)	R/W	000E _H	XXXXXXXX _B
ポート 3 方向レジスタ (DDR3)	R/W	000F _H	00000000 _B
ポート 3 プルアップ抵抗制御レジスタ (PURR3)	R/W	0075 _H	11111111 _B
ポート 4 データレジスタ (PDR4)	R/W	0010 _H	XXXX11XX _B
ポート 4 方向レジスタ (DDR4)	R/W	0011 _H	0000--00 _B
ポート 4 プルアップ抵抗制御レジスタ (PURR4)	R/W	0076 _H	1111--11 _B
ポート 5 データレジスタ (PDR5)	R/W	0012 _H	11111111 _B
ポート 6 データレジスタ (PDR6)	R	0013 _H	XXXXXXXX _B
ポート 6 プルアップ抵抗制御レジスタ (PURR6)	R/W	0079 _H	---11111 _B

*:DDR0, DDR1 ではビット操作命令を使用できません。

R/W: リード・ライト可能

R : リードオンリ

W : ライトオンリ

X : 不定

- : 未使用

4.2 ポート 0, ポート 1

ポート 0, ポート 1 は、汎用入出力ポートです。

ここでは、汎用入出力ポートとしての機能を中心に説明します。

ポート 0, ポート 1 の構成、端子、端子のブロックダイアグラムおよび関連するレジスタを示します。

■ ポート 0, ポート 1 の構成

ポート 0 およびポート 1 は、それぞれ以下の 4 つの要素から構成されます。

● ポート 0

- 汎用入出力専用端子 (P00 ~ P07)
- ポート 0 データレジスタ (PDR0)
- ポート 0 方向レジスタ (DDR0)
- ポート 0 プルアップ抵抗制御レジスタ (PURR0)

● ポート 1

- 汎用入出力専用端子 (P10 ~ P17)
- ポート 1 データレジスタ (PDR1)
- ポート 1 方向レジスタ (DDR1)
- ポート 1 プルアップ抵抗制御レジスタ (PURR1)

■ ポート 0, ポート 1 の端子

ポート 0, ポート 1 には、8 本の CMOS 入出力端子があります。

ポート 0, ポート 1 の端子を表 4.2-1 に示します。

表 4.2-1 ポート 0, ポート 1 の端子

ポート名	端子名	機能	入出力形式		回路形式
			入力	出力	
ポート 0	P00 ~ P07	汎用入出力	CMOS	CMOS	D
ポート 1	P10 ~ P17				

回路形式については「1.7 端子機能説明」を参照してください。

■ ポート 0, ポート 1 のブロックダイアグラム

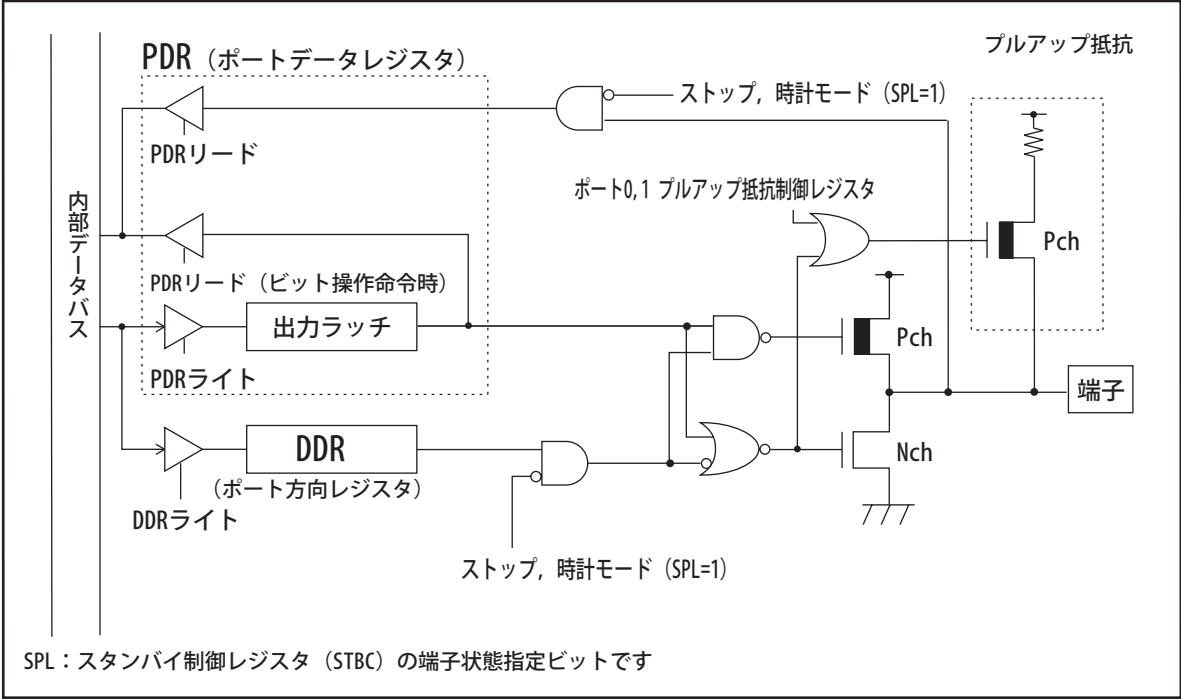


図 4.2-1 ポート 0, ポート 1 の端子のブロックダイアグラム

■ ポート 0, ポート 1 レジスタ PDR0, DDR0 と端子との対応

ポート 0 の端子に関連するレジスタには , PDR0, DDR0, PURR0 の 3 つがあります。
ポート 1 の端子に関連するレジスタには , PDR1, DDR1, PURR1 の 3 つがあります。
それぞれのレジスタを構成するビットは , ポート 0, ポート 1 の端子に 1 対 1 で対応しています。
ポート 0, ポート 1 のレジスタと端子の対応を表 4.2-2 に示します。

表 4.2-2 ポート 0, ポート 1 のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート 0	PDR0, DDR0, PURR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	対応する端子	P07	P06	P05	P04	P03	P02	P01	P00
ポート 1	PDR1, DDR1, PURR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	対応する端子	P17	P16	P15	P14	P13	P12	P11	P10

4.2.1 ポート 0, ポート 1 のレジスタ (PDR0, DDR0, PURR0, PDR1, DDR1, PURR1)

ポート 0, ポート 1 に関するレジスタについて説明します。

■ ポート 0, ポート 1 のレジスタの機能

● ポート 0, ポート 1 データレジスタ (PDR0, PDR1)

PDR0, PDR1 レジスタは、端子の状態を示します。出力ポートに設定した端子は出力ラッチと同じ値 ("0" または "1") を読み出せますが、入力ポートに設定した端子は出力ラッチの値を読み出せません。

● ポート 0, ポート 1 方向レジスタ (DDR0, DDR1)

DDR0, DDR1 レジスタは、ビットごとの端子の入出力方向を設定します。

ポートに対応するビットを "1" にすると出力ポートになり, "0" にすると入力ポートになります。

< 注意事項 >

DDR0 と DDR1 レジスタはライトオンリのため、ビット操作命令 (SETB と CLRB) を使用しないでください。

ポート 0, ポート 1 のレジスタの機能を表 4.2-3 に示します。

表 4.2-3 ポート 0, ポート 1 のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード/ ライト	アドレス	初期値
ポート 0 データ レジスタ (PDR0)	0	端子状態が "L" レベル	出力ポート時は端子に "L" レベルを出力する。	R/W	0000 _H	XXXXXXXX _B
	1	端子状態が "H" レベル	出力ポート時は端子に "H" レベルを出力する。			
ポート 0 方向 レジスタ (DDR0)	0	リード不可 (ライトオンリ)	出力トランジスタを禁止にし、 端子を入力端子に設定する。	W	0001 _H	00000000 _B
	1	リード不可 (ライトオンリ)	出力トランジスタを許可にし、 端子を出力端子に設定する。			
ポート 1 データ レジスタ (PDR1)	0	端子状態が "L" レベル	出力ポート時は端子に "L" レベルを出力する。	R/W	0002 _H	XXXXXXXX _B
	1	端子状態が "H" レベル	出力ポート時は端子に "H" レベルを出力する。			
ポート 1 方向 レジスタ (DDR1)	0	リード不可 (ライトオンリ)	出力トランジスタを禁止にし、 端子を入力端子に設定する。	W	0003 _H	00000000 _B
	1	リード不可 (ライトオンリ)	出力トランジスタを許可にし、 端子を出力端子に設定する。			

R/W : リード・ライト可能
W : ライトオンリ
X : 不定

● ポート 0, 1 プルアップ抵抗制御レジスタ (PURR0, PURR1)

ポート 0, 1 の各端子は , ポート 0, 1 プルアップ抵抗制御レジスタへの書込みによって , ビット単位でのプルアップ設定が可能です。

ストップモードまたは時計モード (STBC:SPL=1) において , ポート 0, 1 プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合 , これらの端子状態は , ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし , リセット中のプルアップは無効となり , ハイインピーダンス状態となります (ポート 0, 1 プルアップ抵抗制御レジスタは , リセットによって初期化されます)。

ポート 0, 1 のプルアップ抵抗制御レジスタの設定一覧を図 4.2-2 に示します。

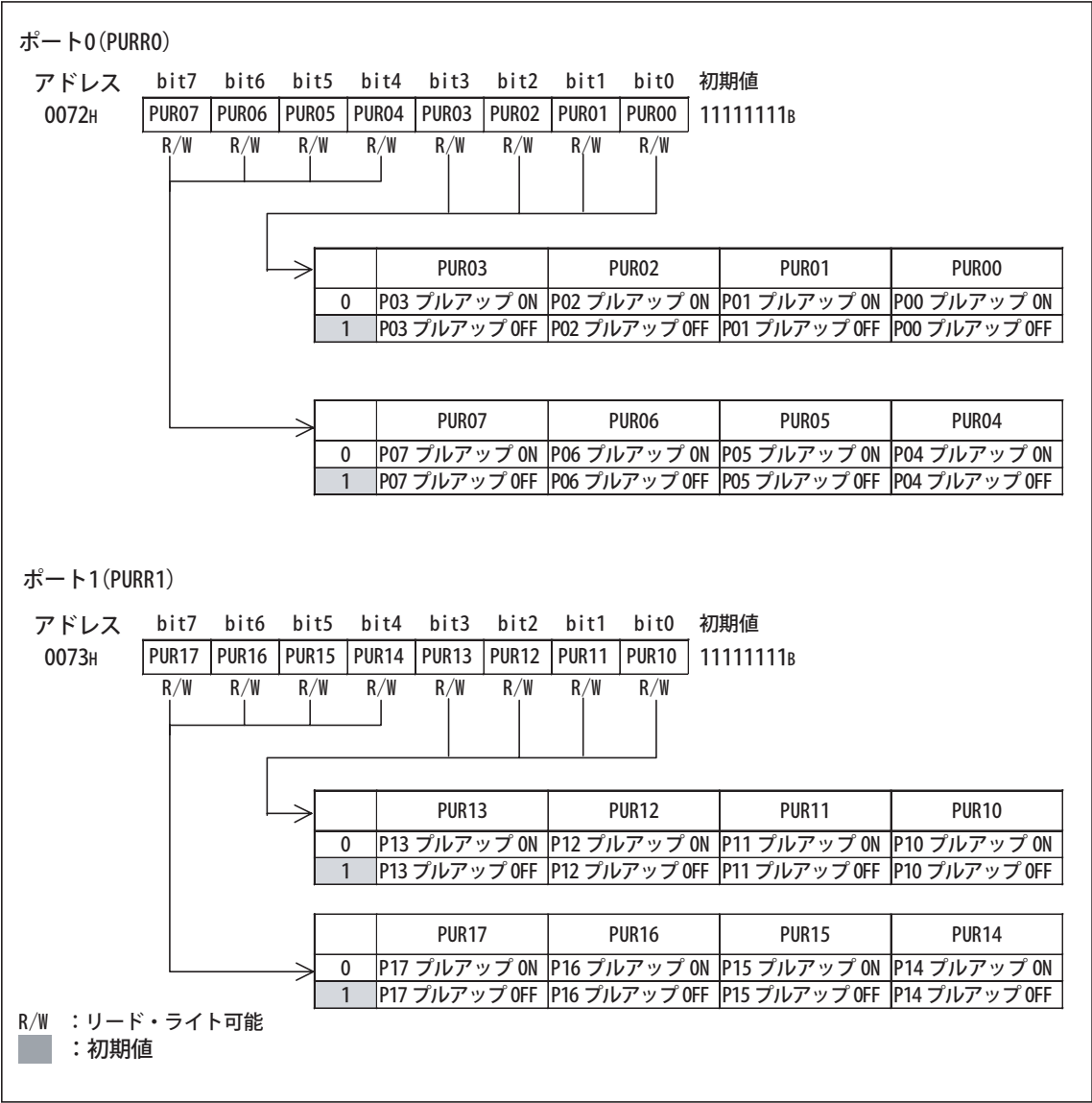


図 4.2-2 ポート 0, 1 プルアップ抵抗制御レジスタ設定 (PURR0, PURR1)

4.2.2 ポート 0, ポート 1 の動作説明

ポート 0, ポート 1 の動作を説明します。

■ ポート 0, ポート 1 の動作

● 出力ポート時の動作

- 対応する DDR0, DDR1 レジスタのビットを "1" にすると, 出力ポートになります。
- 出力ポート時には, 出力トランジスタの動作が許可され, 出力ラッチのデータが端子に出力されます。
- PDR0, PDR1 レジスタにデータを書き込むと, 出力ラッチにデータが保持され, そのまま端子に出力されます。
- PDR0, PDR1 レジスタを読み出すと, 端子の値を読み出せます(ビット操作命令以外)。

● 入力ポート時の動作

- 対応する DDR0 レジスタまたは DDR1 レジスタのビットを "0" にすると, 入力ポートになります。
- 入力ポート時には, 出力トランジスタが "OFF" となり, 端子はハイインピーダンスになります。
- PDR0 レジスタ, PDR1 レジスタを読み出すと, 端子の値を読み出せます。
- PDR0 レジスタ, PDR1 レジスタにデータを書き込むと, 出力ラッチにデータが保持されますが, 端子には出力されません。

● リセット時の動作

- CPU がリセットされると, DDR0 レジスタ, DDR1 レジスタの値は "0" に初期化されます。このため, ポート入力が許可された状態になり, ハイインピーダンスになります。
- PDR0 と PDR1 レジスタはリセットでは初期化されません。このため, 出力ポートとして使用する場合は, 対応する DDR0 または DDR1 レジスタビットを出力モードに設定する前に, 出力データを PDR0 と PDR1 レジスタにセットしなければなりません。

● ストップモードおよび時計モードの動作

ストップモードまたは時計モードに移行した時点でポート 0, ポート 1 の端子状態は, DDR0, DDR1 レジスタの値に関係なく, スタンバイ制御レジスタの端子状態指定ビットで設定した状態になります。

ポート 0, ポート 1 の端子状態を表 4.2-4 に示します。

表 4.2-4 ポート 0, ポート 1 の端子状態

端子名	通常動作 メインスリープ メインストップ (SPL=0) サブスリープ サブストップ (SPL=0) 時計モード (SPL=0)	メインストップ (SPL=1) サブストップ (SPL=1) 時計モード (SPL=1)	リセット時
P00 ~ P07	汎用入出力ポート	Hi-Z	Hi-Z
P10 ~ P17			

SPL: スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z: ハイインピーダンス

ポート 0, 1 プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合, ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は, ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし, リセット中のプルアップは無効となり, ハイインピーダンスとなります。

4.3 ポート 2

ポート 2 は、周辺機能入出力兼用の汎用入出力ポートです。各端子は、周辺機能とポートを、ビット単位で切り替えて使用できます。ここでは、汎用入出力ポートとしての機能を中心に説明します。

ポート 2 の構成、端子、端子のブロックダイアグラムおよび関連するレジスタを示します。

■ ポート 2 の構成

ポート 2 は、以下の 4 つの要素から構成されます。

- 汎用入出力端子 (P23 ~ P27), 汎用入出力端子 /PWCK(P20), 汎用入出力端子 /PPG(P21/PPG01, P22/PPG02)
- ポート 2 データレジスタ (PDR2)
- ポート 2 方向レジスタ (DDR2)
- ポート 2 プルアップ抵抗制御レジスタ (PURR2)

■ ポート 2 の端子

ポート 2 には、8 本の CMOS の入出力端子があります。これらの端子は、さまざまな周辺機能に使用されます。周辺機能で使用されている時は、汎用出力ポートとして使用できません。

ポート 2 の端子を表 4.3-1 に示します。

表 4.3-1 ポート 2 の端子

ポート名	端子名	機能	兼用周辺機能	入出力形式		回路形式
				入力	出力	
ポート 2	P23 ~ P27	P23 ~ P27 汎用入出力	-	CMOS	CMOS	D
	P20/PWCK	P20 汎用入出力	PWCK	CMOS (周辺機能は ヒステリシス)		E
	P21/PPG01 ~ P22/PPG02	P21 ~ P22 汎用入出力	PPG01, PPG02	CMOS		D

回路形式については「1.7 端子機能説明」を参照してください。

■ ポート 2 のブロックダイアグラム

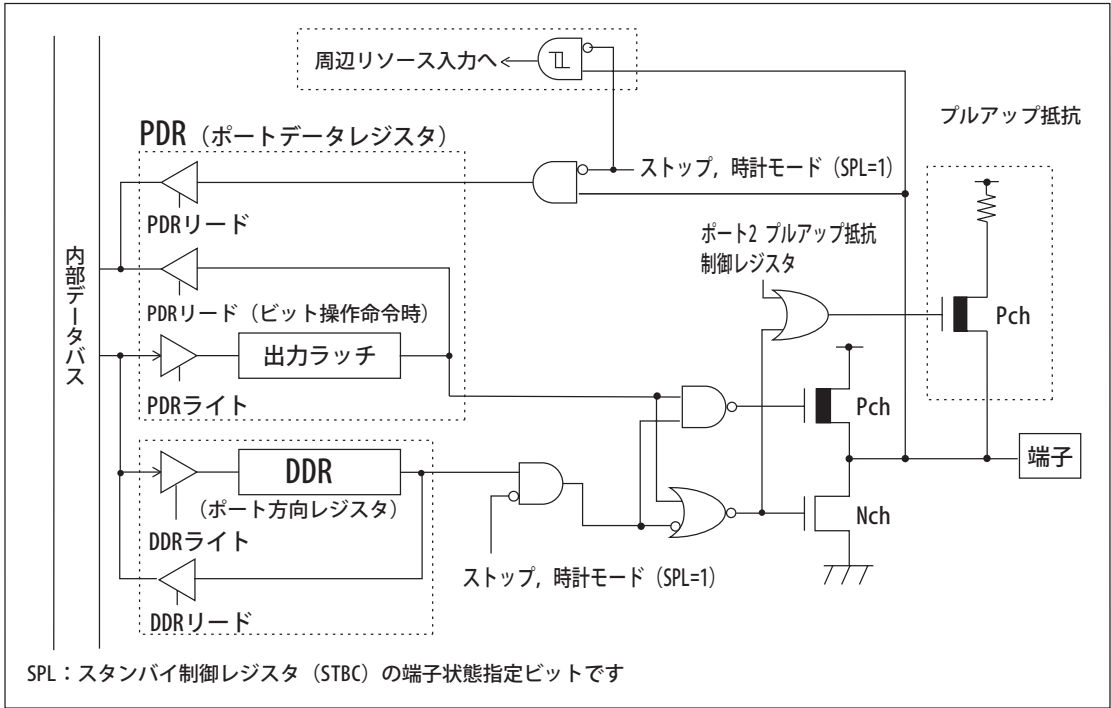


図 4.3-1 ポート 2 の端子のブロックダイアグラム (P20 のみ)

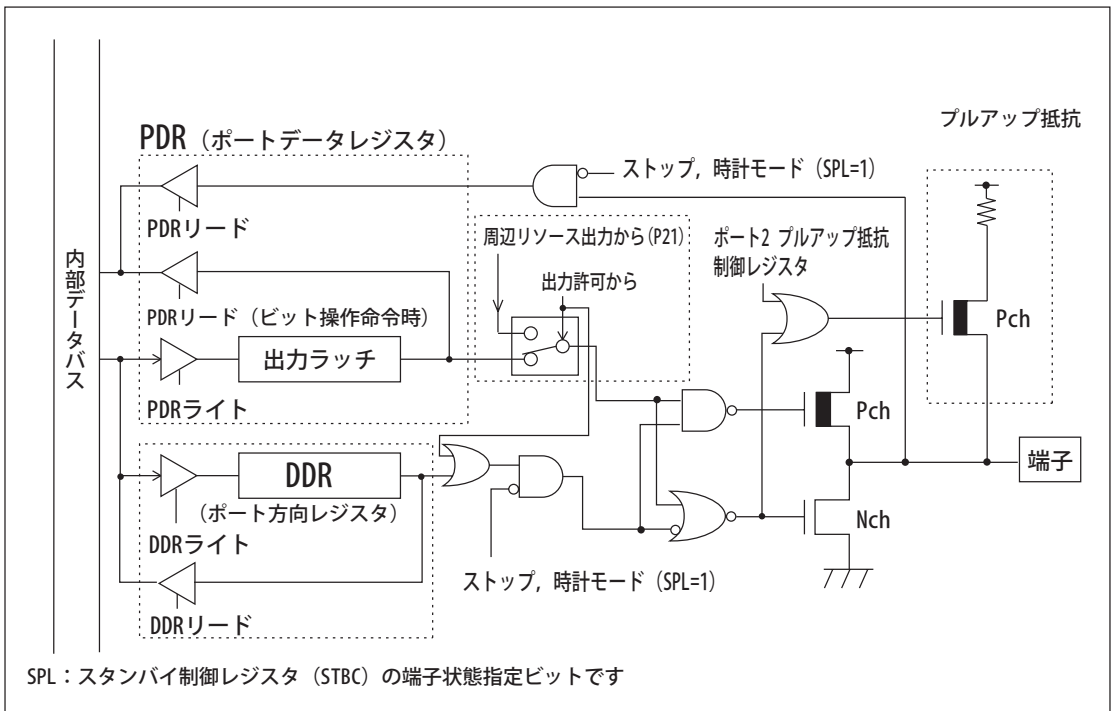


図 4.3-2 ポート 2 の端子のブロックダイアグラム (P21 のみ)

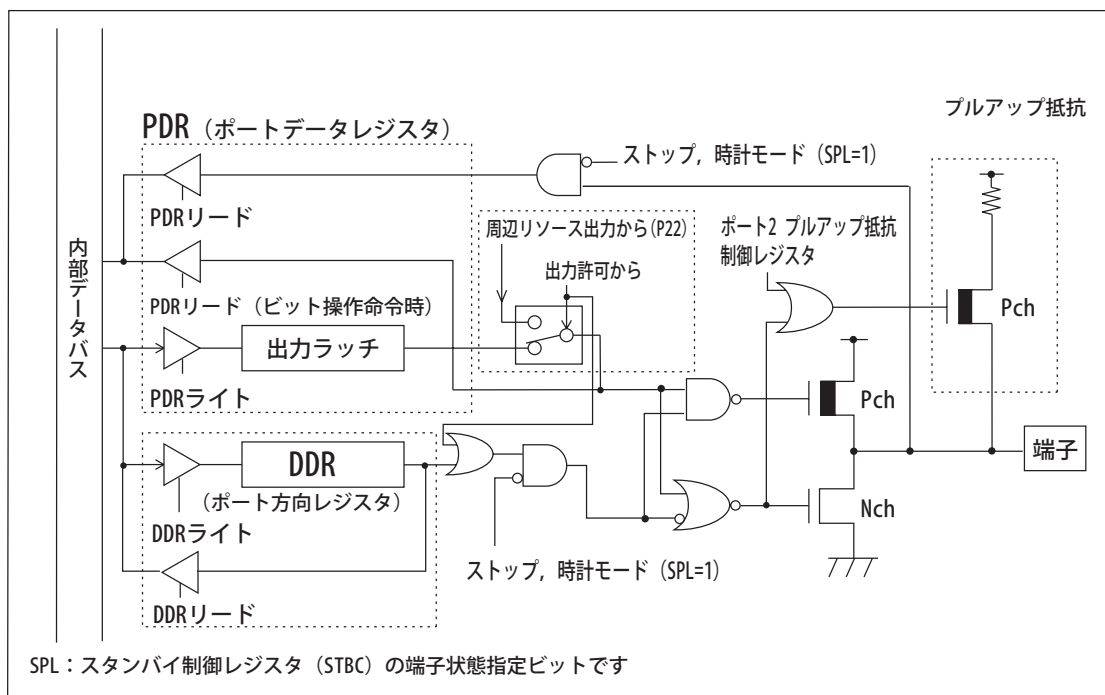


図 4.3-3 ポート 2 の端子のブロックダイアグラム (P22 のみ)

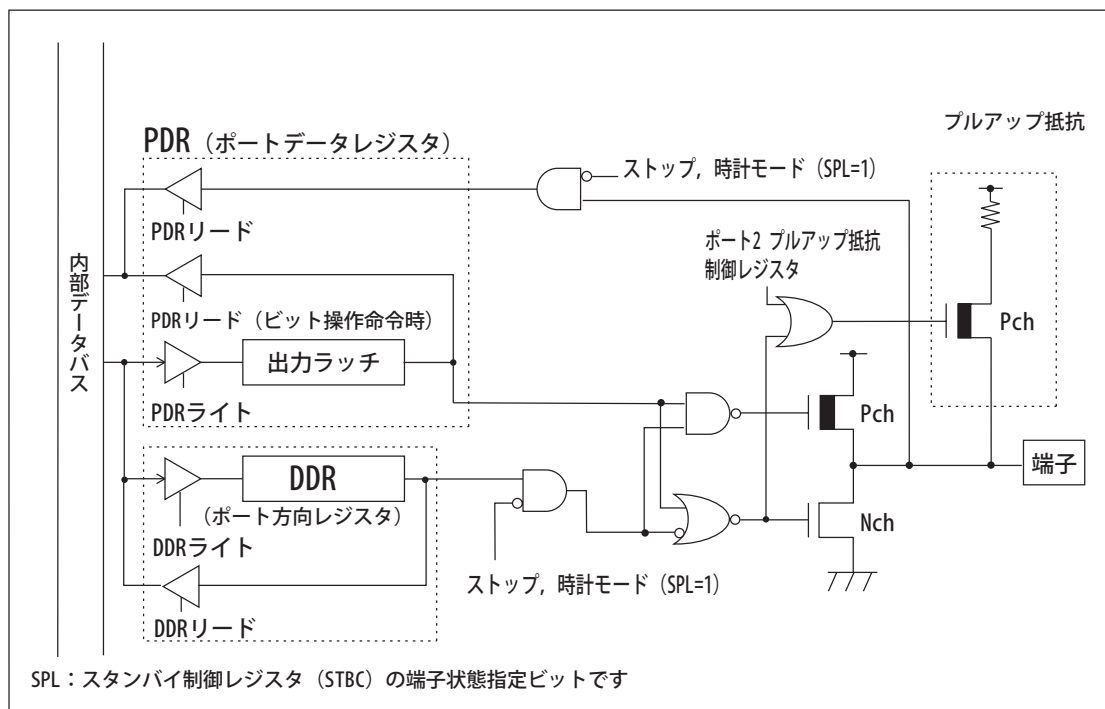


図 4.3-4 ポート 2 の端子のブロックダイアグラム (P23 ~ 27)

< 注意事項 >

入力レベルは、ポートが CMOS 入力、周辺機能が CMOS ヒステリシス入力となります。ポートを入力モードとして使用する場合は、対応する周辺機能動作を禁止する必要があります。

■ ポート 2 のレジスタと端子との対応

ポート 2 の端子に関連するレジスタには , PDR2, DDR2 および PURR2 があります。
それぞれのレジスタを構成するビットは , ポート 2 の端子に 1 対 1 で対応しています。
ポート 2 のレジスタと端子の対応を表 4.3-2 に示します。

表 4.3-2 ポート 2 のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート 2	PDR2, DDR2, PURR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	対応する端子	P27	P26	P25	P24	P23	P22	P21	P20

4.3.1 ポート 2 のレジスタ (PDR2, DDR2, PURR2)

ポート 2 に関するレジスタについて説明します。

■ ポート 2 のレジスタの機能

● ポート 2 データレジスタ (PDR2)

PDR2 レジスタは、端子の状態を示します。出力ポートに設定した端子は出力ラッチと同じ値 ("0" または "1") を読み出せますが、入力ポートに設定した端子は出力ラッチの値を読み出せません。

● ポート 2 方向レジスタ (DDR2)

DDR2 レジスタは、ビットごとの端子に入出力方向を設定します。

ポートに対応するビットを "1" にすると出力ポートになり、"0" にすると入力ポートになります。

• 周辺機能出力時の設定

出力端子を持つ周辺機能を使用する場合、各周辺機能の出力許可ビットを "1" (許可) に設定します。

周辺機能の出力が優先されるため、周辺機能出力端子に対応する PDR2 レジスタや DDR2 の設定値は、周辺機能の出力値や出力許可に影響を与えません。

• 周辺機能入力時の設定

入力端子を持つ周辺機能を使用する場合、各周辺機能の入力に対応する端子を入力ポートに設定してください。このとき、対応する出力ラッチの値は無効となります。

ビット操作命令 (SETB, CLRB) のときは、端子ではなく出力ラッチの値を読み出すため、操作するビット以外の出力ラッチの値は変化しません。ただし、下記の注意事項の P22 (PPG02) 端子については例外です。

< 注意事項 >

P22 (PPG02) 端子については、周辺機能動作時に、ポート 2 データレジスタ (PDR2) へ RMW 系の命令を実行すると、読出し時に端子レベルが読み込まれます。このため、PDR2 の bit2 の値が変化する場合があります。

ポート2のレジスタの機能を表4.3-3に示します。

表 4.3-3 ポート2のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード/ ライト	アドレス	初期値
ポート2 データ レジスタ (PDR2)	0	端子状態が "L" レベル	出力ポート時は端子に "L" レベルを出力する	R/W	000C _H	XXXXXXXX _B
	1	端子状態が "H" レベル	出力ポート時は端子に "H" レベルを出力する			
ポート2 方向 レジスタ (DDR2)	0	入力ポート状態	出力トランジスタの動作を 禁止し, 入力端子にする	R/W	000D _H	00000000 _B
	1	出力ポート状態	出力トランジスタの動作を 許可し, 出力端子にする			

R/W: リード・ライト可能

W : ライトオンリ

X : 不定

● ポート2 プルアップ抵抗制御レジスタ (PURR2)

ポート2の各端子は, ポート2 プルアップ抵抗制御レジスタへの書込みによって, ビット単位でのプルアップ設定が可能です。

ストップモードまたは時計モード (STBC:SPL=1) において, ポート2 プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合, これらの端子状態は, ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし, リセット中のプルアップ抵抗の設定が無効となり, ハイインピーダンス状態となります。(ポート2 プルアップ抵抗制御レジスタは, リセットによって初期化されます。)

ポート2 プルアップ抵抗制御レジスタの設定一覧を図4.3-5に示します。

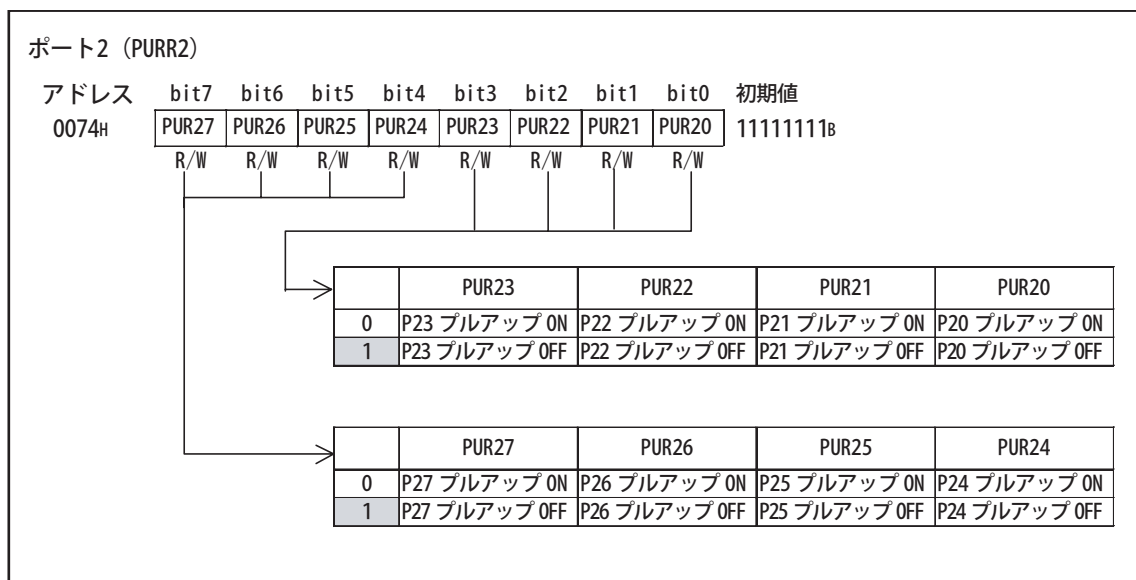


図 4.3-5 ポート2 プルアップ抵抗制御レジスタ設定 (PURR2)

4.3.2 ポート 2 の動作説明

ポート 2 の動作を説明します。

■ ポート 2 の動作

● 出力ポート時の動作

- 対応する DDR2 レジスタのビットを "1" にすると、出力ポートになります。
- 出力ポート時には、出力トランジスタの動作が許可され、出力ラッチのデータが端子に出力されます。
- PDR2 レジスタにデータを書き込むと、出力ラッチにデータが保持され、そのまま端子に出力されます。
- PDR2 レジスタを読み出すと、端子の値を読み出せます。

● 入力ポート時の動作

- 対応する DDR2 レジスタのビットを "0" にすると、入力ポートになります。
- 入力ポート時には、出力トランジスタが "OFF" となり、端子はハイインピーダンスになります。
- PDR2 レジスタを読み出すと、端子の値を読み出せます。
- PDR2 レジスタにデータを書き込むと、出力ラッチにデータが保持されますが、端子には出力されません。

● 周辺機能出力時の動作

- 周辺機能の出力許可ビットを "1" (許可) に設定すると、対応する端子は周辺機能出力になります。

● 周辺機能入力時の動作

- 周辺機能の入力端子に対応する DDR2 レジスタのビットを "0" にすると、入力ポートになります。
- 周辺機能の入力には常に端子の値が入力されます (ストップモード中および時計モード中以外)。
- 周辺機能の入力端子の使用または未使用にかかわらず、PDR2 レジスタを読み出すと端子の値を読み出せます。

● リセット時の動作

- CPU がリセットされると、DDR2 レジスタの値は "0" に初期化されます。このため、ポート入力が許可された状態になり、ハイインピーダンスとなります。
- PDR2 レジスタは、リセットでは初期化されません。このため、出力ポートとして使用する場合は、対応する DDR2 レジスタビットを出力モードに設定する前に、出力データを PDR2 レジスタにセットしなければなりません。

● ストップモードおよび時計モードの動作

ストップモードまたは時計モードに移行した時点でのポート 2 の端子状態は、DDR2 レジスタの値に関係なく、スタンバイ制御レジスタの端子指定ビットで設定した状態になります。

ポート 2 の端子状態を表 4.3-4 に示します。

表 4.3-4 ポート 2 の端子状態

端子名	通常動作 メインスリープ メインストップ (SPL=0) サブスリープ サブストップ (SPL=0) 時計モード (SPL=0)	メインストップ (SPL=1) サブストップ (SPL=1) 時計モード (SPL=1)	リセット時
P20/PWCK, P21/PPG01, P22/PPG02, P23 ~ P27	汎用入出力ポート / 周辺機能入出力	Hi-Z	Hi-Z

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)
Hi-Z: ハイインピーダンス

ポート 2 プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップは無効となり、ハイインピーダンスとなります。

4.4 ポート 3

ポート 3 は、周辺機能入出力兼用の汎用入出力ポートです。各端子は、周辺機能とポートを、ビット単位で切り替えて使用できます。ここでは、汎用入出力ポートとしての機能を中心に説明します。

ポート 3 の構成、端子、端子のブロックダイアグラムおよび関連するレジスタを示します。

■ ポート 3 の構成

ポート 3 は、以下の 4 つの要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子 (P30/PPG03/MCO ~ P37/PTO1)
- ポート 3 データレジスタ (PDR3)
- ポート 3 方向レジスタ (DDR3)
- ポート 3 プルアップ抵抗制御レジスタ (PURR3)

■ ポート 3 の端子

ポート 3 には、8 本の CMOS の入出力端子があります。これらの端子は、さまざまな周辺機能に使用されます。周辺機能で使用されている時は、汎用出力ポートとして使用できません。

ポート 3 の端子を表 4.4-1 に示します。

表 4.4-1 ポート 3 の端子

ポート名	端子名	機能	兼用周辺機能	入出力形式		回路形式
				入力	出力	
ポート 3	P30/PPG03/MCO	P30 汎用入出力	PPG03 出力, MCO 出力	CMOS	CMOS	D
	P31/SCK1(UCK1)/LMCO	P31 汎用入出力	UCK8 ビット UART/SIO, クロック入出力, LMCO 出力	CMOS 周辺機能はヒステリシス		E
	P32/SO1(UO1)	P32 汎用入出力	UO8 ビット UART/SIO, データ出力	CMOS		D
	P33/SI1(UI1)	P33 汎用入出力	UI8 ビット UART/SIO, データ入力	CMOS 周辺機能はヒステリシス	CMOS	E
	P34/PTO2	P34 汎用入出力	PTO2 出力	CMOS		D
	P35/PWC	P35 汎用入出力	PWC タイマ入力	CMOS 周辺機能はヒステリシス		E
	P36/WTO	P36 汎用入出力	PWC タイマ出力	CMOS		D
	P37/PTO1	P37 汎用入出力	PTO1 出力			D

回路形式については「1.7 端子機能説明」を参照してください。

■ ポート 3 のブロックダイアグラム

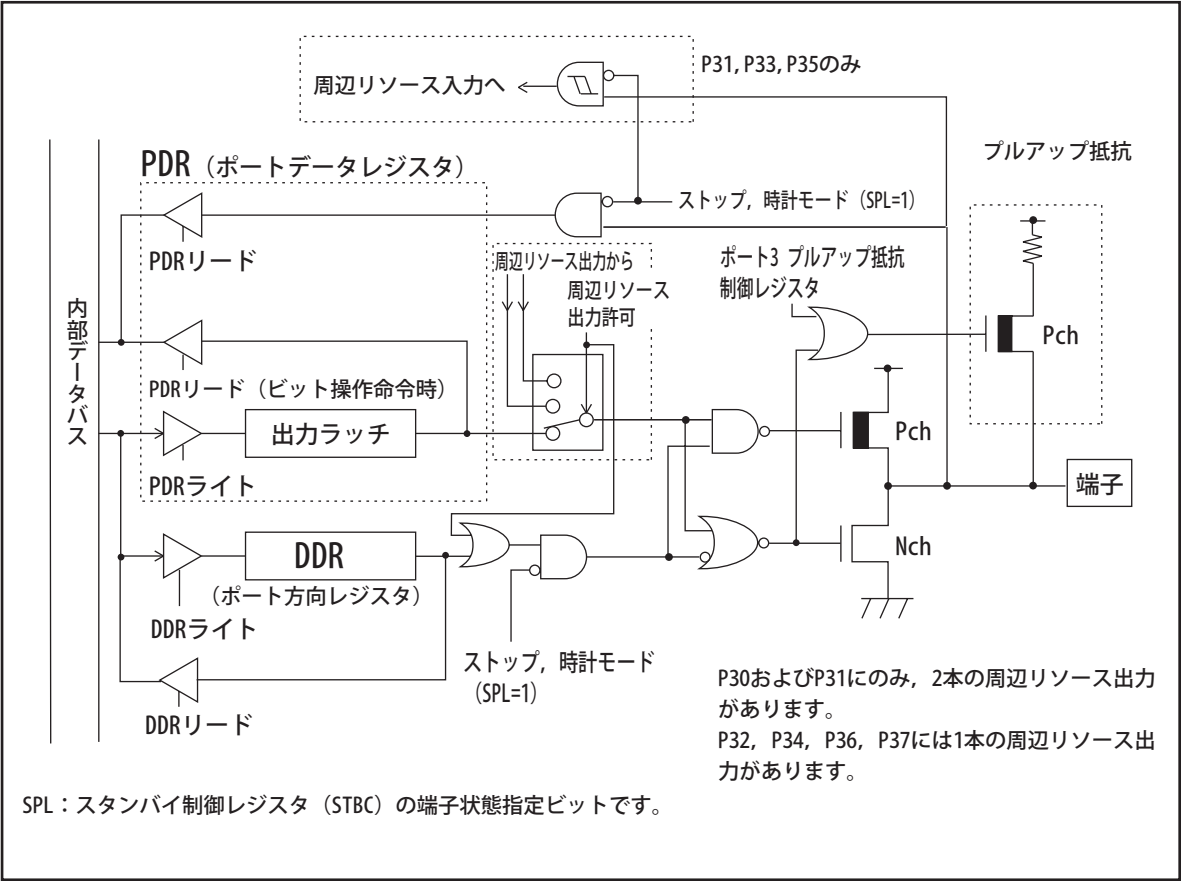


図 4.4-1 ポート 3 の端子のブロックダイアグラム

周辺機能入力は、連続的に端子の値を入力します (ストップ / 時計モードを除く)。

< 注意事項 >
入力レベルは、ポートが CMOS 入力、周辺機能が CMOS ヒステリシス入力となります。

■ ポート 3 の端子とレジスタとの対応

ポート 3 の端子に関連するレジスタには、PDR3, DDR3 および PURR3 があります。
それぞれのレジスタを構成するビットは、ポート 3 の端子に 1 対 1 で対応しています。
ポート 3 のレジスタと端子の対応を表 4.4-2 に示します。

表 4.4-2 ポート 3 のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート 3	PDR3, DDR3, PURR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	対応する端子	P37	P36	P35	P34	P33	P32	P31	P30

4.4.1 ポート 3 のレジスタ (PDR3, DDR3, PURR3)

ポート 3 に関するレジスタについて説明します。

■ ポート 3 のレジスタの機能

● ポート 3 データレジスタ (PDR3)

PDR3 レジスタは、端子の状態を示します。出力ポートに設定した端子は出力ラッチと同じ値 ("0" または "1") を読み出せますが、入力ポートに設定した端子は出力ラッチの値を読み出せません。

ビット操作命令 SETB および CLRB については、端子でなく出力ラッチの状態が読み出されるため、操作中でないビットの出力ラッチ状態は変わりません。

● ポート 3 方向レジスタ (DDR3)

DDR3 レジスタは、ビットごとの端子に入出力方向を設定します。

ポートに対応するビットを "1" にすると出力ポートになり、"0" にすると入力ポートになります。

• 周辺機能出力時の設定

出力端子を持つ周辺機能を使用する場合、各周辺機能の出力許可ビットを "1" (許可) に設定します。

周辺機能の出力が優先されるため、周辺機能出力端子に対応する PDR3 レジスタや DDR3 の設定値は、周辺機能の出力値や出力許可に影響を与えません。

• 周辺機能入力時の設定

入力端子を持つ周辺機能を使用する場合、各周辺機能の入力に対応する端子を入力ポートに設定してください。このとき、対応する出力ラッチの値は無効となります。

ポート 3 のレジスタの機能を表 4.4-3 に示します。

表 4.4-3 ポート 3 のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード/ ライト	アドレス	初期値
ポート 3 データ レジスタ (PDR3)	0	端子状態が "L" レベル	出力ポート時は端子に "L" レベルを出力する	R/W	000E _H	XXXXXXXX _B
	1	端子状態が "H" レベル	出力ポート時は端子に "H" レベルを出力する			
ポート 3 方向 レジスタ (DDR3)	0	入力ポート状態	出力トランジスタの動作を 禁止し、入力端子にする	R/W	000F _H	00000000 _B
	1	出力ポート状態	出力トランジスタの動作を 許可し、出力端子にする			

R/W: リード・ライト可能

X: 不定

● ポート 3 プルアップ抵抗制御レジスタ (PURR3)

ポート 3 の各端子は、ポート 3 プルアップ抵抗制御レジスタへの書込みによって、ビット単位でのプルアップ設定が可能です。

ストップモードまたは時計モード (STBC:SPL=1) において、ポート 3 プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、これらの端子状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップ抵抗の設定が無効となり、ハイインピーダンス状態となります。(ポート 3 プルアップ抵抗制御レジスタは、リセットによって初期化されます。)

ポート 3 プルアップ抵抗制御レジスタの設定一覧を図 4.4-2 に示します。

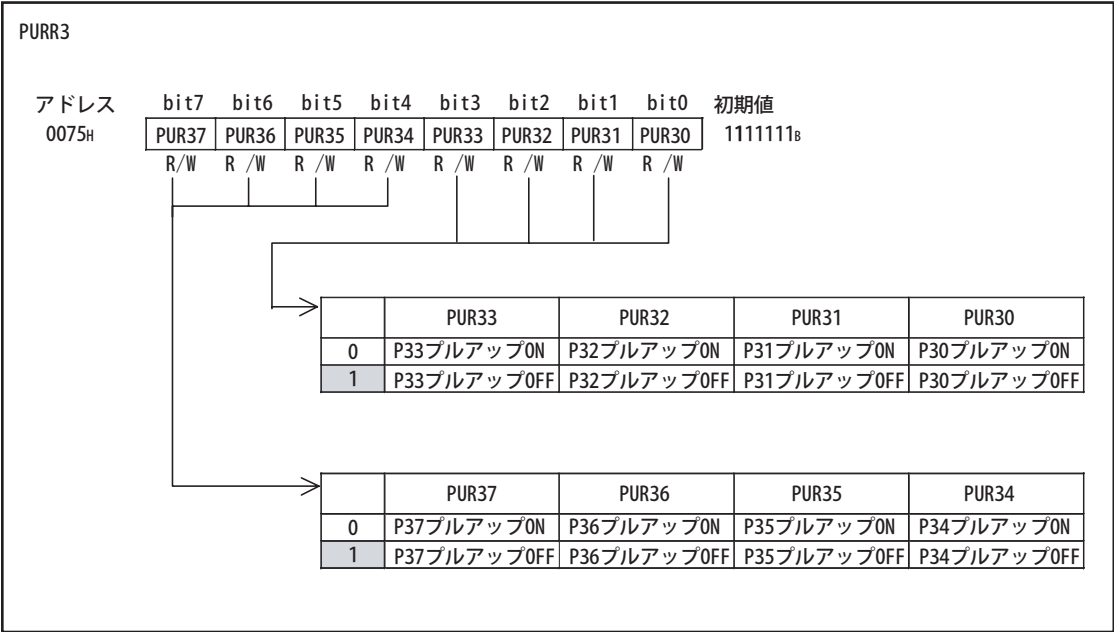


図 4.4-2 ポート 3 プルアップ抵抗制御レジスタ設定 (PURR3)

4.4.2 ポート 3 の動作説明

ポート 3 の動作を説明します。

■ ポート 3 の動作

● 出力ポート時の動作

- 対応する DDR3 レジスタのビットを "1" にすると、出力ポートになります。
- 出力ポート時には出力トランジスタの動作が許可され、出力ラッチのデータが端子に出力されます。
- PDR3 レジスタにデータを書き込むと、出力ラッチにデータが保持され、そのまま端子に出力されます。
- PDR3 レジスタを読み出すと、端子の値を読み出せます。

● 入力ポート時の動作

- 対応する DDR3 レジスタのビットを "0" にすると、入力ポートになります。
- 入力ポート時には出力トランジスタが "OFF" となり、端子はハイインピーダンスになります。
- PDR3 レジスタを読み出すと、端子の値を読み出せます。
- PDR3 レジスタにデータを書き込むと、出力ラッチにデータが保持されますが、端子には出力されません。

● 周辺機能出力時の動作

- 周辺機能の出力許可ビットを "1" (許可) に設定すると、対応する端子は周辺機能出力になります。
- 周辺機能の出力を許可したときでも、PDR3 レジスタによって端子の値が読み出せるため、周辺機能の出力値を読み出すことができます。

● 周辺機能入力時の動作

- 周辺機能の入力端子に対応する DDR3 レジスタのビットを "0" にすると、入力ポートになります。
- 周辺機能の入力端子の使用または未使用にかかわらず、PDR3 レジスタを読み出すと端子の値が読み出せます。

● リセット時の動作

- CPU がリセットされると、DDR3 レジスタの値は "0" に初期化されます。このため、ポート入力が許可された状態になり、端子はハイインピーダンスとなります。
- PDR3 レジスタはリセットでは初期化されません。このため、出力ポートとして使用する場合は、対応する DDR3 レジスタのビットを出力モードに設定する前に出力データを PDR3 レジスタにセットしなければなりません。

● ストップモードおよび時計モードの動作

ストップモードまたは時計モードに移行した時点でポート 3 の端子状態は、DDR3 レジスタの値に関係なく、スタンバイ制御レジスタの端子指定ビットで設定した状態になります。

ポート 3 の端子状態を表 4.4-4 に示します。

表 4.4-4 ポート 3 の端子状態

端子名	通常動作 メインスリープ メインストップ (SPL=0) サブスリープ サブストップ (SPL=0) 時計モード (SPL=0)	メインストップ (SPL=1) サブストップ (SPL=1) 時計モード (SPL=1)	リセット時
P30/PPG03/MCO ～ P37/PTO1	汎用入出力ポート / 周辺機能入出力	Hi-Z	Hi-Z

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z: ハイインピーダンス

ポート 3 プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップは無効となり、ハイインピーダンスとなります。

4.5 ポート 4

ポート 4 は、周辺機能入出力兼用の汎用入出力ポートです。各端子は、周辺機能とポートを、ビット単位で切り替えて使用できます。ここでは、汎用入出力ポートとしての機能を中心に説明します。

ポート 4 の構成、端子、端子のブロックダイアグラム、関連するレジスタを示します。

■ ポート 4 の構成

ポート 4 は、以下の 5 つの要素から構成されます。

- 汎用入出力端子 / 外部割込み 2/ 周辺機能入出力端子 (P40/INT20/EC ~ P47/INT27/ADST)
- ポート 4 データレジスタ (PDR4)
- ポート 4 方向レジスタ (DDR4)
- ポート 4 プルアップ抵抗制御レジスタ (PURR4)
- DDC 選択レジスタ (DDCR)

■ ポート 4 の端子

ポート 4 には、8 本の CMOS の入出力端子があります。

P40/INT20/EC ~ P47/INT27/ADST を入力端子として使用している場合、外部割込み入力端子としても使用できます。

ポート 4 の端子を表 4.5-1 に示します。

表 4.5-1 ポート 4 の端子

ポート名	端子名	機能	兼用周辺機能	入出力形式		回路形式
				入力	出力	
ポート 4	P40/INT20/EC	P40 汎用入出力	外部割込み, 外部クロック入力端子	CMOS (周辺機能 はヒステリ シス)	CMOS	E
	P41/INT21/SCK2	P41 汎用入出力	外部割込み, 外部クロック入力端子			E
	P42/INT22/SO2/SDA	P42 Nch オープンド レイン入出力	外部割込み, SO2 出力, I ² C 用データ端子		Nch オープン ドレイン	G
	P43/INT23/SI2/SCL	P43 Nch オープンド レイン入出力	外部割込み, SI2 入力, I ² C 用クロック端子			G
	P44/INT24/UCK2	P44 汎用入出力	外部割込み, UCK8 ビット UART		CMOS	E
	P45/INT25/UO2	P45 汎用入出力	外部割込み, UO8 ビット UART			E
	P46/INT26/UI2	P46 汎用入出力	外部割込み, UI8 ビット UART			E
	P47/INT27/ADST	P47 汎用入出力	外部割込み, A/D 用起動端子			E

回路形式については「1.7 端子機能説明」を参照してください。

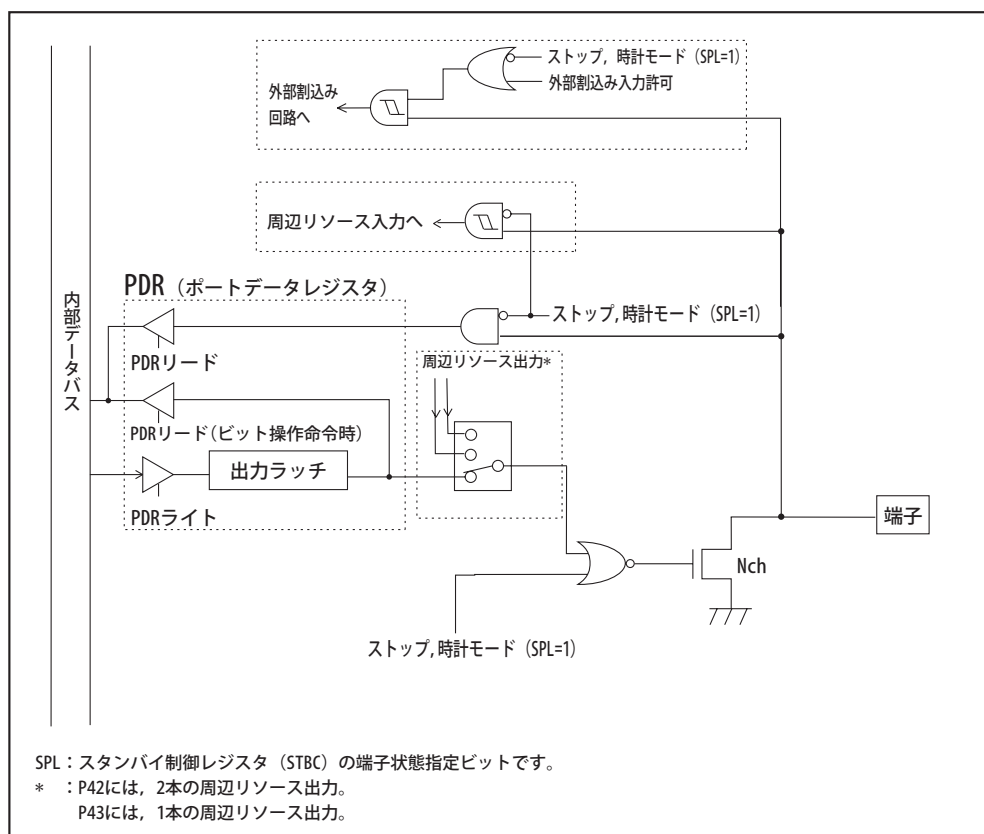


図 4.5-2 ポート 4 (P42, P43) の端子のブロックダイヤグラム

< 注意事項 >

汎用の入力ポートとして使用している場合は、同じ端子を使用する外部割込み回路動作を禁止してください。「第 14 章 外部割込み回路 2 (レベル)」を参照してください。

入力レベルは、ポートが CMOS 入力、周辺機能が CMOS ヒステリシス入力となります。

P42 と P43 を I²C 出力端子として使用する場合、および Nch オープンドレイン出力端子として使用する場合には、外部端子にプルアップ抵抗が必要です。

なお、I²C は、以下の品種にて使用できます。

MB89PV530/P538/F538/F538L/537C/538C/537HC/538HC/537AC/538AC

■ ポート4のレジスタと端子との対応

ポート 4 の端子に関連するレジスタには、PDR4、DDR4 および PURR4 があります。それぞれのレジスタを構成するビットは、ポート 4 の端子に 1 対 1 で対応しています。ポート 4 のレジスタと端子の対応を表 4.5-2 に示します。

表 4.5-2 ポート 4 のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート 4	PDR4, DDR4, PURR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	対応する端子	P47	P46	P45	P44	P43*	P42*	P41	P40

*: PURR4 のビット 2 とビット 3 は未使用です。P42 と P43 には内部プルアップ抵抗はありません。

4.5.1 ポート4のレジスタ (PDR4, DDR4, PURR4, DDCR)

ポート4に関するレジスタについて説明します。

■ ポート4のレジスタの機能

● ポート4 データレジスタ (PDR4)

PDR4 レジスタは、端子の状態を示します。出力ポートに設定した端子は出力ラッチと同じ値 ("0" または "1") を読み出せますが、入力ポートに設定した端子は出力ラッチの値を読み出せません。

ビット操作命令 SETB および CLRB については、端子でなく出力ラッチの状態が読み出されるため、操作中でないビットの出力ラッチ状態は変わりません。

● ポート4 方向レジスタ (DDR4)

DDR4 レジスタは、ビットごとの端子に入出力方向を設定します。

ポートに対応するビットを "1" にすると出力ポートになり、"0" にすると入力ポートになります。ただし、DDR4 レジスタの bit2, bit3 は、未使用ビットです。

DDR4 の bit3, bit2 については DDR がありませんので、P43, P42 を周辺機能入力端子として使用する場合には、対応する PDR4 レジスタのビットを "1" に設定してください。

• 外部割込み入力時の設定

割込み回路 (外部割込み 1, 2) の許可に加えて、ポートを外部割込み入力端子として使用する場合、対応する端子も入力の設定にしなければなりません (対応する出力ラッチの値は無効となります)。

ポート4のレジスタの機能を表 4.5-3 に示します。

表 4.5-3 ポート4のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード / ライト	アドレス	初期値
ポート4 データ レジスタ (PDR4)	0	端子状態が "L" レベル	出力ラッチに "0" を設定し、 出力ポート時は端子に "L" レベルを出力する	R/W	0010 _H	XXXX11XX _B
	1	端子状態が "H" レベル	出力ラッチに "1" を設定し、 出力ポート時は端子に "H" レベルを出力する			
ポート4 方向 レジスタ (DDR4)	0	入力ポート状態	出力トランジスタの動作を 禁止し、入力端子にする	R/W	0011 _H	0000--00 _B
	1	出力ポート状態	出力トランジスタの動作を 許可し、出力端子にする			

R/W: リード・ライト可能

- : 未使用

X : 不定

● ポート4プルアップ抵抗制御レジスタ (PURR4)

ポート4の各端子は、ポート4プルアップ抵抗制御レジスタへの書込みによって、ビット単位でのプルアップ設定が可能です。

ストップモードまたは時計モード (STBC:SPL=1) において、ポート4プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、これらの端子状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップ抵抗の設定が無効となり、ハイインピーダンス状態となります。(ポート4プルアップ抵抗制御レジスタは、リセットによって初期化されます。)

ポート4プルアップ抵抗制御レジスタの設定一覧を図4.5-3に示します。

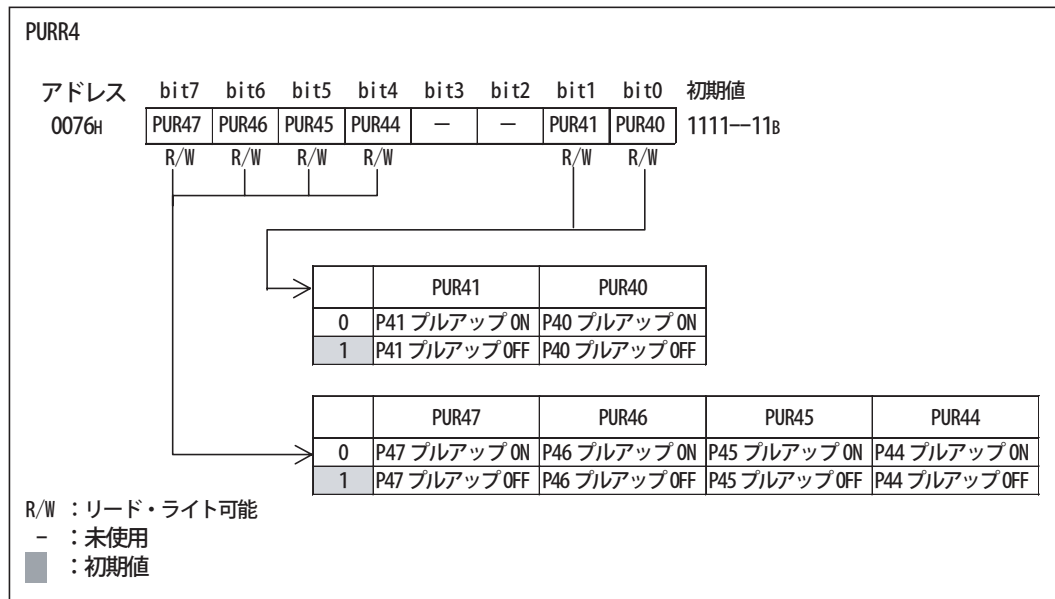


図 4.5-3 ポート4プルアップ抵抗制御レジスタ設定 (PURR4)

P42 と P43 には、内部プルアップ抵抗はありません。出力端子として使用する場合、外部プルアップ抵抗が必要です。

● DDC 選択レジスタ (DDCR)

DDC 機能のブロックダイアグラムを図 4.5-4 に示します。

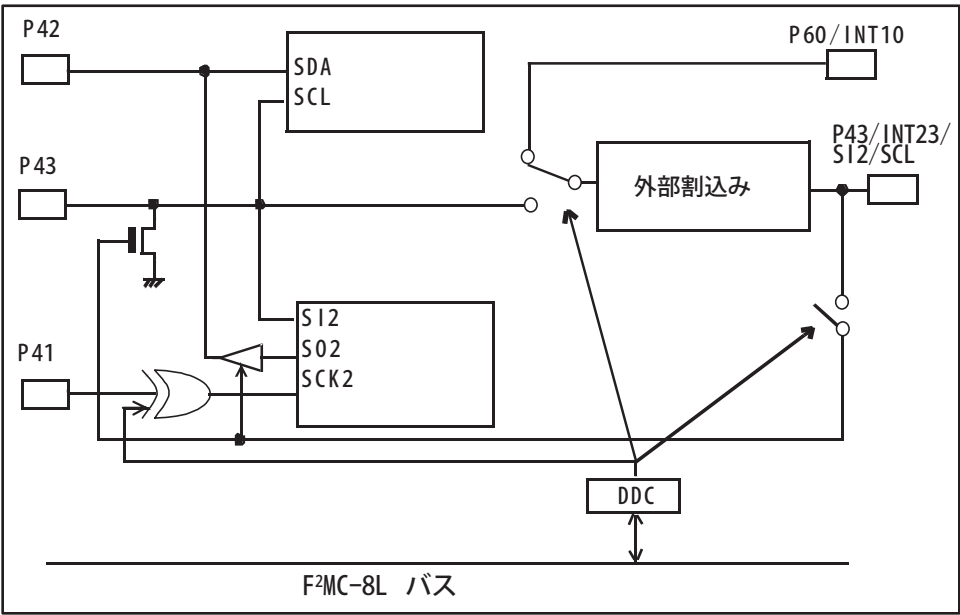


図 4.5-4 DDC 機能のブロックダイアグラム

- DDC
シリアルデータ出力の立上りまたは立下りエッジおよび外部割込み回路のソースを選択するためのビットです。
DDC に "1" を設定している場合、シリアルデータ出力が禁止され、P43 からの割込みで SCL ラインがプルダウンされます。
- DDC 選択レジスタ (DDCR)

DDCR (DDC 選択レジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0049H	—	—	—	—	—	—	—	DDC	-----0b
								R/W	
R/W: リード・ライト可能									
- : 未使用									

図 4.5-5 DDC 選択レジスタ (DDCR)

表 4.5-4 DDC 選択レジスタ (DDCR)

ビット名		機 能
bit1 ~ bit7	未使用	未使用ビットです。 • 読出し値は不定。 • 書込みは意味を持ちません。
bit0	DDC	• DDC に "0" 設定時：シリアルデータは立下りエッジを出力します。 外部割込みのソースとして P60 を使用します。 • DDC に "1" 設定時：シリアルデータは立上りエッジを出力します。 外部割込みのソースとして P43 を使用します。 割込み発生の場合、SIO 出力は禁止され、SCL がプルダウンされます。

• DDC 機能の動作

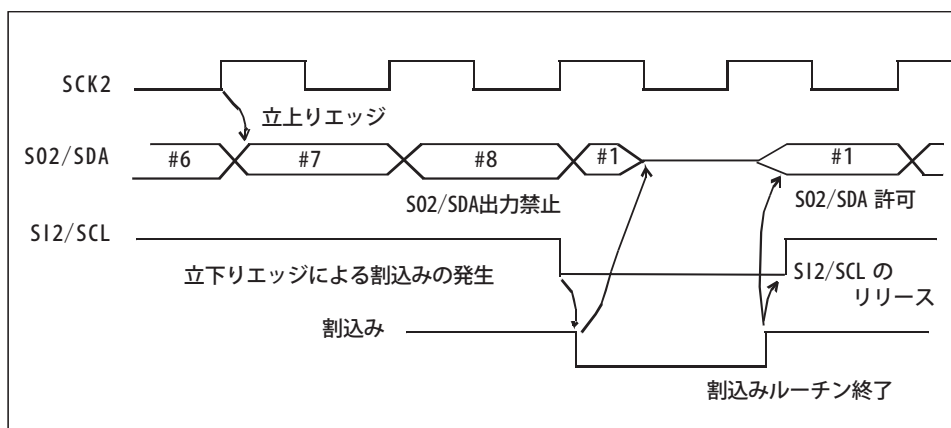


図 4.5-6 DDC 設定時の I²C と SIO の動作

DDCR:DDC を "1" に設定している場合、SCK2 の立上りエッジ後にシリアルデータを出します。ただし、SI2/SCL 端子に "L" 信号入力時には、外部割り込み回路が起動されます。ここで、割り込み回路は CPU に対して割り込み信号を発生します。割り込み信号は、SI2/SCL 端子をプルダウンするゲートをオンにし、S02 出力を禁止します。

割り込みルーチン終了後、割り込み信号のリセットが行われます。回路の接続は、以前の状態に戻ります。

回路の接続については図 4.5-4 を参照してください。

4.5.2 ポート 4 の動作説明

ポート 4 の動作を説明します。

■ ポート 4 の動作

● 出力ポート時の動作

- 対応する DDR4 レジスタのビットを "1" にすると、出力ポートになります。
- 出力ポート時には出力トランジスタの動作が許可され、出力ラッチのデータが端子に出力されます。
- PDR4 レジスタにデータを書き込むと、出力ラッチにデータが保持され、そのまま端子に出力されます。
- PDR4 レジスタを読み出すと、端子の値を読み出せます。

● 入力ポート時の動作

- 対応する DDR4 レジスタのビットを "0" にすると、入力ポートになります。
- 入力ポート時には出力トランジスタが "OFF" となり、端子はハイインピーダンスになります。
- PDR4 レジスタを読み出すと、端子の値を読み出せます。
- PDR4 レジスタにデータを書き込むと、出力ラッチにデータが保持されますが、端子には出力されません。

● 外部割込み入力時の動作

- 外部割込み入力時には、対応する DDR4 レジスタのビットを "0" にして入力ポートになります。
- 外部割込み入力または割込み要求出力の許可 / 禁止にかかわらず、PDR4 レジスタを読み出すと端子の値が読み出せます。

● リセット時の動作

- CPU がリセットされると、DDR4 レジスタの値は "0" に初期化されます。このため、ポート入力が許可された状態になり、端子はハイインピーダンス状態になります。
- PDR4 レジスタはリセットでは初期化されません。このため、出力ポートとして使用する場合は、対応する DDR4 レジスタビットを出力モードにする前に、出力データを PDR4 レジスタにセットしなければなりません。

● ストップモードおよび時計モードの動作

ストップモードまたは時計モードに移行した時点でポート 4 の端子状態は、DDR4 レジスタの値に関係なく、スタンバイ制御レジスタの端子指定ビットで設定した状態になります。

ポート 4 の端子状態を表 4.5-5 に示します。

表 4.5-5 ポート 4 の端子状態

端子名	通常動作 メインスリープ メインストップ (SPL=0) サブスリープ サブストップ (SPL=0) 時計モード (SPL=0)	メインストップ (SPL=1) サブストップ (SPL=1) 時計モード (SPL=1)	リセット時
P40/INT20/EC ~ P47/INT27/ADST	汎用入出力ポート / 外部割込み入力 / 周辺機能入出力	Hi-Z (外部割込み入力)	Hi-Z

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z: ハイインピーダンス

ポート4プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合,ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は,ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし,リセット中のプルアップは無効となり,ハイインピーダンスとなります。

なお, P42, P43 には対応していません。

4.6 ポート 5

ポート 5 は、アナログ入力兼用の Nch オープンドレイン出力ポートです。各端子は、アナログ入力とポート動作をビット単位で切り替えて使用できます。ここでは、汎用入出力ポートとしての機能を中心に説明します。
ポート 5 の構成、端子、端子のブロックダイアグラム、関連するレジスタを示します。

■ ポート 5 の構成

ポート 5 は、以下の 2 つの要素から構成されます。

- 出力専用端子 (P50/AN0 ~ P57/AN7)
- ポート 5 データレジスタ (PDR5)

■ ポート 5 の端子

ポート 5 には、8 本の Nch オープンドレイン出力端子があります。
A/D コンバータのアナログ入力時には、出力専用ポートとして使用しないでください。
ポート 5 の端子を表 4.6-1 に示します。

表 4.6-1 ポート 5 の端子

ポート名	端子名	機能	兼用周辺機能	入出力形式		回路形式
				入力	出力	
ポート 5	P50/AN0	P50 Nch 出力	AN0 アナログ入力 0	アナログ	Nch オープン ドレイン 出力	H
	P51/AN1	P51 Nch 出力	AN1 アナログ入力 1			
	P52/AN2	P52 Nch 出力	AN2 アナログ入力 2			
	P53/AN3	P53 Nch 出力	AN3 アナログ入力 3			
	P54/AN4	P54 Nch 出力	AN4 アナログ入力 4			
	P55/AN5	P55 Nch 出力	AN5 アナログ入力 5			
	P56/AN6	P56 Nch 出力	AN6 アナログ入力 6			
	P57/AN7	P57 Nch 出力	AN7 アナログ入力 7			

回路形式については、「1.7 端子機能説明」を参照してください。
アナログ入力時の端子動作については、「第15章 A/D コンバータ」を参照してください。

■ ポート 5 のブロックダイアグラム

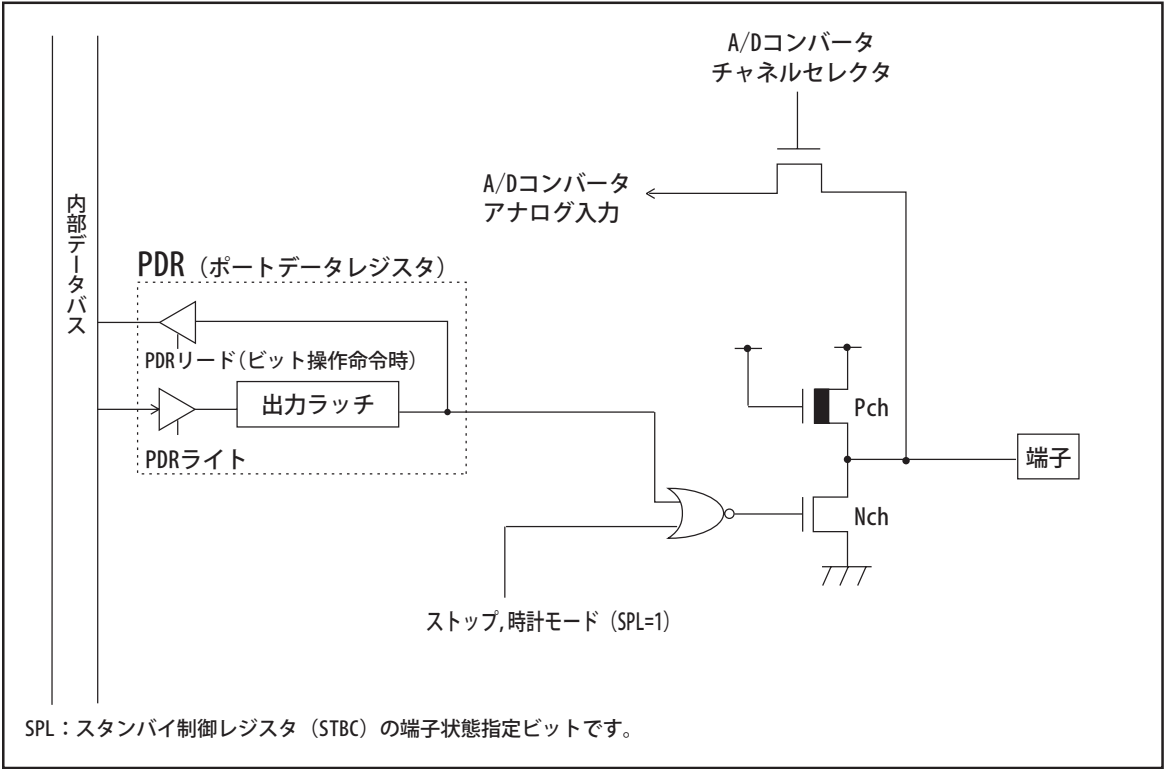


図 4.6-1 ポート 5 の端子のブロックダイアグラム

< 注意事項 >

アナログ入力時，端子を出力ポートとして使用しないでください。

■ ポート 5 のレジスタと端子との対応

ポート 5 の端子に関連するレジスタには，PDR5 があります。
PDR5 レジスタを構成するビットは，ポート 5 の端子に 1 対 1 で対応しています。
ポート 5 のレジスタと端子の対応を表 4.6-2 に示します。

表 4.6-2 ポート 5 のレジスタと端子の対応

ポート名	関連するレジスタのビットと対応する端子								
ポート 5	PDR5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	対応する端子	P57	P56	P55	P54	P53	P52	P51	P50

4.6.1 ポート 5 のレジスタ (PDR5)

ポート 5 に関するレジスタについて説明します。

■ ポート 5 のレジスタの機能

● ポート 5 データレジスタ (PDR5)

PDR5 レジスタは、出力ラッチの値を示します。端子の状態は読み出せません。

- アナログ入力時の設定
ポート 5 をアナログ入力として使用する場合は、PDR5 の対応するビットに "1" を書き込むことで出力トランジスタを "OFF" し、端子をハイインピーダンス状態にしてください。

ポート 5 のレジスタの機能を表 4.6-3 に示します。

表 4.6-3 ポート 5 のレジスタの機能

レジスタ名	データ	リード時	ライト時	リード / ライト	アドレス	初期値
ポート 5 データ レジスタ (PDR5)	0	出力ラッチの 値が "0"	端子に "L" レベルを出力する (出力ラッチに "0" を設定し、出 カトランジスタを "ON" する)	R/W	0012 _H	11111111 _B
	1	出力ラッチの 値が "1"	端子をハイインピーダンスにする (出力ラッチに "1" を設定し、出 カトランジスタを "OFF" する)			

R/W: リード・ライト可能

4.6.2 ポート 5 の動作説明

ポート 5 の動作を説明します。

■ ポート 5 の動作

- 出力ポート時の動作
 - PDR5 レジスタにデータを書き込むと、出力ラッチにデータが保持されます。出力ラッチの値が "0" のとき出力トランジスタを "ON" にすると端子に "L" レベルが出力され、出力ラッチの値が "1" のとき出力トランジスタを "OFF" にするとハイインピーダンスとなります。出力端子がプルアップされている場合、出力ラッチの値が "1" のときはプルアップ状態となります。
 - PDR5 レジスタを読み出すと、常に出力ラッチの値を読み出せます。
- アナログ入力時の動作
 - アナログ入力端子に対応するPDR5のビットを"1"にして,出力トランジスタを"OFF"にします。
 - PDR5 レジスタを読み出すと、常に出力ラッチの値を読み出せます。
- リセット時の動作

CPU がリセットされると、PDR5 レジスタの値は "1" に初期化されます。このため、出力トランジスタはすべて "OFF" となり、端子はハイインピーダンスになります。
- ストップモードおよび時計モードの動作

ストップモードまたは時計モードに移行した時点でポート 5 の端子状態は、スタンバイ制御レジスタの端子指定ビットで設定した状態になります。

なお、入力開放によるリークを防ぐため、入力は固定してあります。

ポート 5 の端子状態を表 4.6-4 に示します

表 4.6-4 ポート 5 の端子状態

端子名	通常動作 メインスリープ メインストップ (SPL=0) サブスリープ サブストップ (SPL=0) 時計モード (SPL=0)	メインストップ (SPL=1) サブストップ (SPL=1) 時計モード (SPL=1)	リセット時
P50/AN0 ~ P57/AN7	汎用入力ポート / アナログ入力	Hi-Z	Hi-Z

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)
Hi-Z : ハイインピーダンス

4.7 ポート 6

ポート 6 は、外部割込み入力兼用の汎用入力ポートです。
 ここでは、汎用入出力ポートとしての機能を中心に説明します。
 ポート 6 の構成、端子、端子のブロックダイアグラム、関連するレジスタを示します。

■ ポート 6 の構成

ポート 6 は、以下の 4 つの要素から構成されます。

- 汎用入力端子 / 外部割込み / サブクロック関連 (P60/INT10 ~ P62/INT12, P63/INT13/X0A, P64/X1A)
- ポート 6 データレジスタ (PDR6)
- ポート 6 プルアップ抵抗制御レジスタ (PURR6)
- DDC 選択レジスタ (DDCR)

■ ポート 6 の端子

ポート 6 には、5 本の CMOS の入力端子があります。ただし、そのうちの 2 本は、サブクロックの入力 / 出力端子と兼用しています。

P60/INT10 ~ P63/INT13/X0A を入力端子として使用している場合には、外部割込み入力と兼用できます。

ポート 6 の端子を表 4.7-1 に示します。

表 4.7-1 ポート 6 の端子

ポート名	端子名	機能	兼用周辺機能	入出力形式		回路形式
				入力	出力	
ポート 6	P60/INT10 ~ P62/INT12	P60 ~ P62 汎用入力	外部割込み 1	CMOS (外部割込みは ヒステリシス)	-	I
	P63/INT13/X0A	P63 汎用入力	外部割込み 1, サブクロック入力端子		-	I/A
	P64/X1A	P64 汎用入力	サブクロック出力端子	CMOS	CMOS	J/A

回路形式については、「1.7 端子機能説明」を参照してください。

■ ポート 6 のブロックダイアグラム

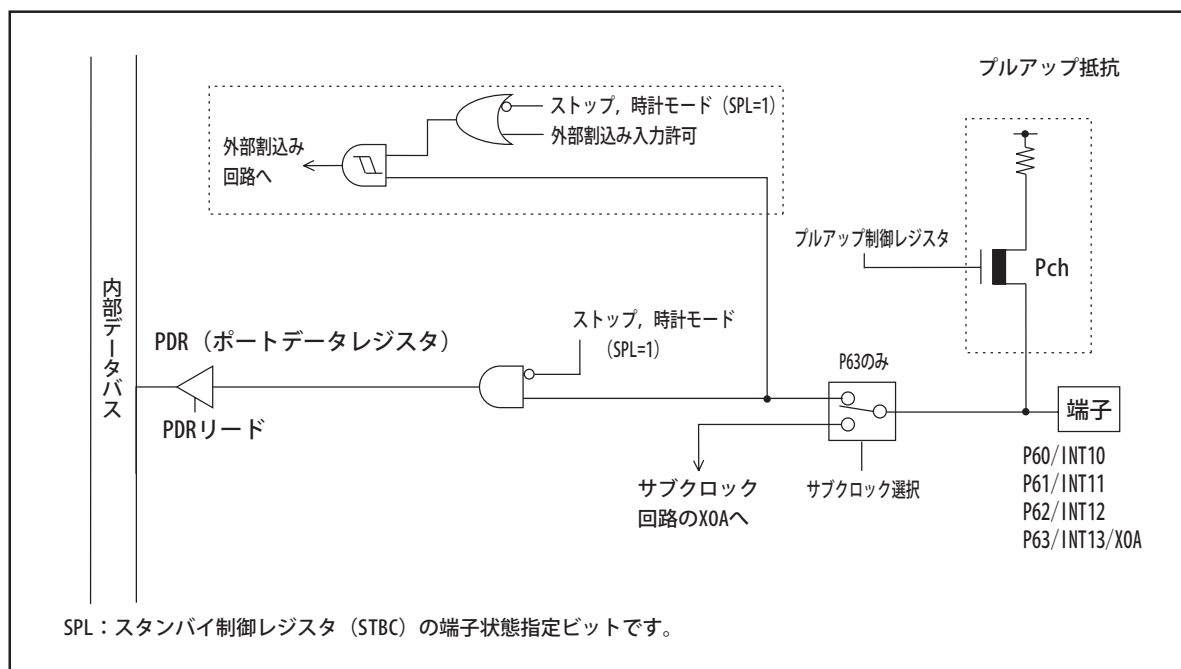


図 4.7-1 ポート 6 の端子のブロックダイアグラム (P64/X1A を除く)

< 注意事項 >

図 4.7-1 において，1 系統クロック品の場合，ポート入力 (P63) または外部割込み入力 (INT13) を使用できます。ポート入力にはプルアップ抵抗を設定できます。ただし，外部割込み時はプルアップ抵抗を設定しないでください。また，入力レベルは，ポートが CMOS 入力，周辺機能が CMOS ヒステリシス入力となります。

2 系統クロック品の場合，サブクロック入力 (X0A) となるため，プルアップ抵抗は設定できません。

プルアップ抵抗制御レジスタにて，プルアップ抵抗なしを指定する必要があります。

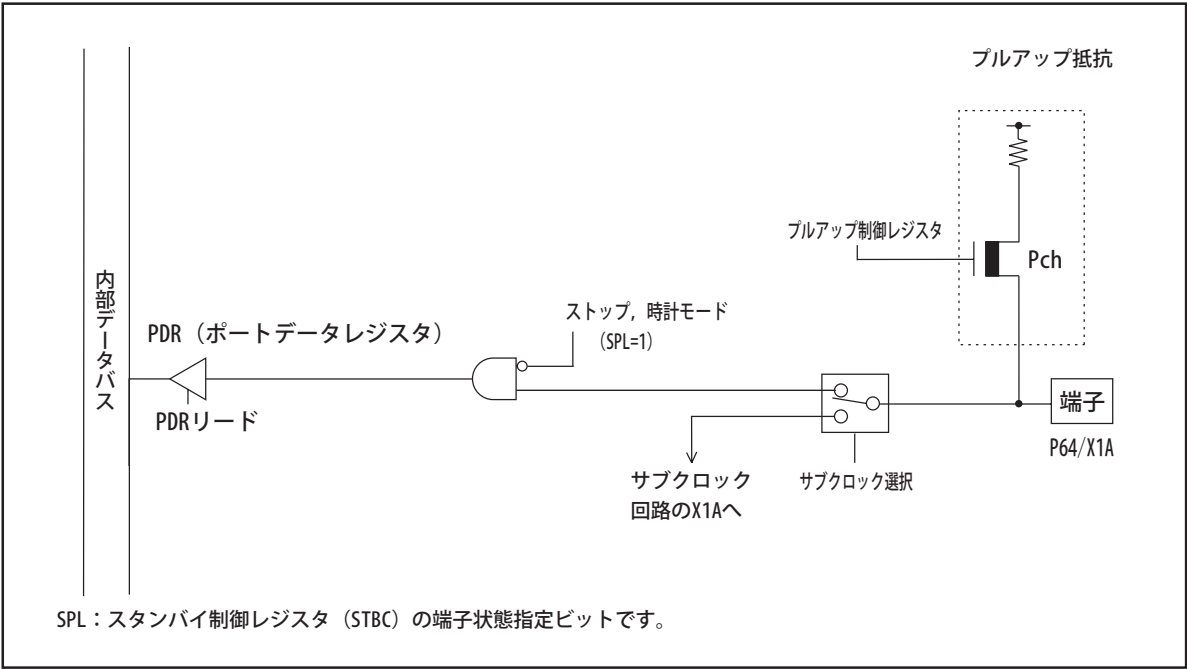


図 4.7-2 P64/X1A のブロックダイアグラム

< 注意事項 >

図 4.7-2 において, 1 系統クロック品の場合, ポート入力 (P64) を使用できます。ポート入力には, プルアップ抵抗を設定できます。

2 系統クロック品の場合, サブクロック入力 (X1A) となるため, プルアップ抵抗は設定できません。

プルアップ抵抗制御レジスタにて, プルアップ抵抗なしを指定する必要があります。

■ ポート 6 のレジスタと端子との対応

ポート 6 の端子に関連するレジスタには, PDR6 があります。

PDR6 レジスタを構成するビットは, ポート 6 の端子に 1 対 1 で対応しています。

ポート 6 の端子とレジスタの対応を, 表 4.7-2 に示します。

表 4.7-2 ポート 6 の端子とレジスタの対応

ポート名	関連するレジスタのビットと対応する端子								
	PDR6, PURR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ポート 6	対応する端子	-	-	-	P64	P63	P62	P61	P60

4.7.1 ポート 6 のレジスタ (PDR6, PURR6, DDCR)

ポート 6 に関するレジスタについて説明します。

■ ポート 6 のレジスタの機能

● ポート 6 データレジスタ (PDR6)

PDR6 レジスタは、端子の状態を示します。出力ラッチの状態は読み出せません。

ポート 6 のレジスタの機能を表 4.7-3 に示します。

表 4.7-3 ポート 6 のレジスタの機能

レジスタ名	データ	リード時	リード/ ライト	アドレス	初期値
ポート 6 データレジスタ (PDR6)	0	端子状態が "L" レベル	R	0013 _H	XXXXXXXX _B
	1	端子状態が "H" レベル			

R: リードのみ

X: 不定

● ポート 6 プルアップ抵抗制御レジスタ (PURR6)

ポート 6 の各端子は、ポート 6 プルアップ抵抗制御レジスタへの書込みによってビット単位でのプルアップ設定が可能です。

ストップモードまたは時計モード (STBC:SPL=1) において、ポート 6 プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、これらの端子状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップ抵抗の設定が無効となり、ハイインピーダンス状態となります。ポート 6 プルアップ抵抗制御レジスタは、リセットによって初期化されます。

ポート 6 プルアップ抵抗制御レジスタの設定一覧を図 4.7-3 に示します。

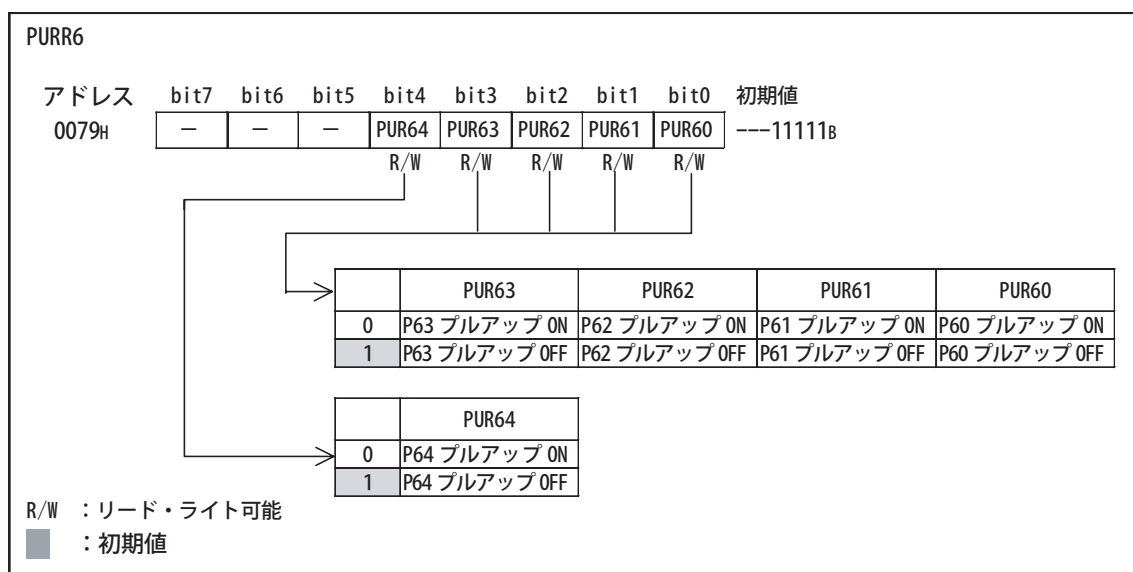


図 4.7-3 ポート 6 プルアップ抵抗制御レジスタ設定 (PURR6)

● DDC 選択レジスタ (DDCR)

DDC 機能のブロックダイアグラムを図 4.7-4 に示します。

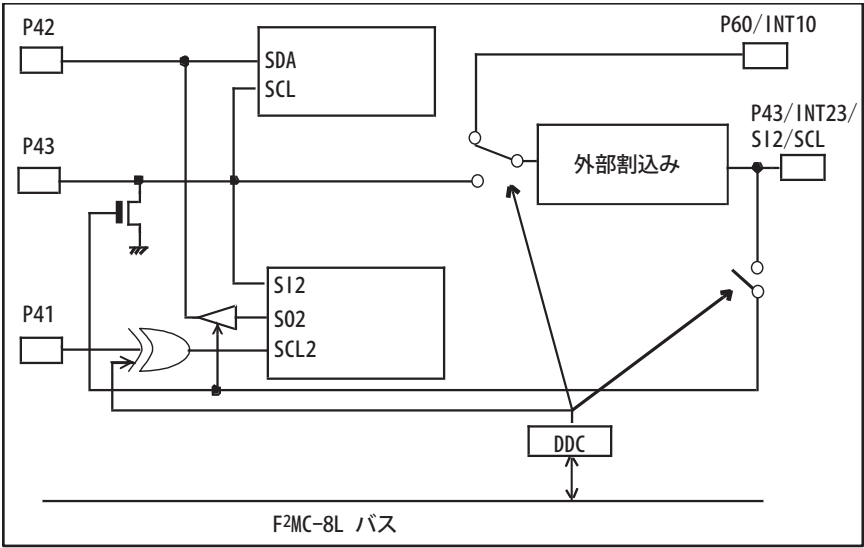


図 4.7-4 DDC 機能のブロックダイアグラム

- DDC
シリアルデータ出力の立上りまたは立下りエッジおよび外部割込み回路のソースを選択するためのビットです。
DDC に "1" を設定している場合、シリアルデータ出力が禁止され、P43 からの割込みで SCL ラインがプルダウンされます。
- DDC 選択レジスタ (DDCR)

DDCR (DDC 選択レジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0049h	—	—	—	—	—	—	—	DDC	-----0b
								R/W	
R/W: リード・ライト可能									
- : 未使用									

図 4.7-5 DDC 選択レジスタ (DDCR)

表 4.7-4 DDC 選択レジスタ (DDCR)

ビット名		機 能
bit1 ~ bit7	未使用	未使用ビットです。 • 読出し値は不定。 • このビットに書き込みを行っても無効となります。
bit0	DDC	• DDC に "0" 設定時: シリアルデータは立下りエッジを出力します。 外部割込みのソースとして P60 を使用します。 • DDC に "1" 設定時: シリアルデータは立ち上りエッジを出力します。 外部割込みのソースとして P43 を使用します。 割込み発生の場合、SIO 出力は禁止され、SCL がプルダウンされます。

• DDC 機能の動作

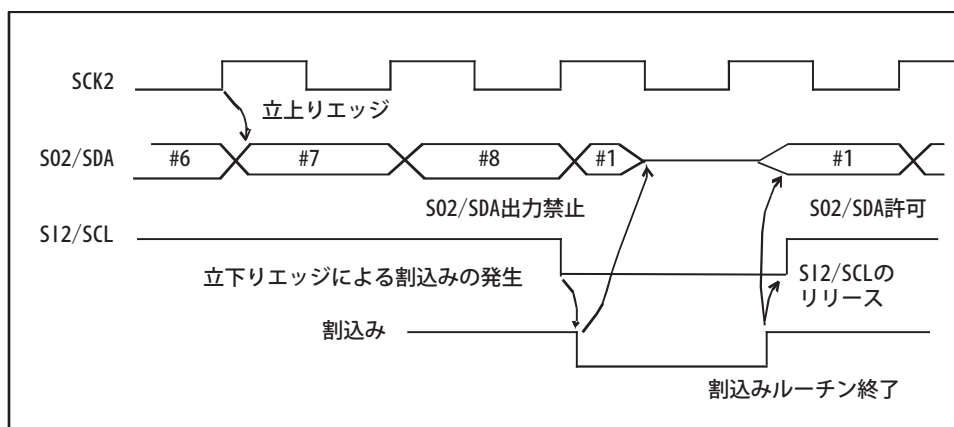


図 4.7-6 DDC 設定時の I²C と SIO の動作

DDCR:DDC を "1" に設定している場合、SCK2 の立上りエッジ後にシリアルデータを出します。ただし、SI2/SCL 端子に "L" 信号入力時には、外部割り込み回路が起動されます。ここで、割り込み回路は CPU に対して割り込み信号を発生します。割り込み信号は、SI2/SCL 端子をプルダウンするゲートをオンにし、S02 出力を禁止します。

割り込みルーチン終了後、割り込み信号のリセットが行われます。回路の接続は、以前の状態に戻ります。

回路の接続については、図 4.7-4 を参照してください。

4.7.2 ポート 6 の動作説明

ポート 6 の動作を説明します。

■ ポート 6 の動作

- 入力ポート時の動作
 - ・ PDR6 レジスタを読み出すと、端子の値を読み出せます。
- 外部割込み入力時の動作
 - ・ 外部割込み入力または割込み要求出力の許可 / 禁止にかかわらず、PDR6 レジスタを読み出すと端子の値を読み出せます。
- リセット時の動作
 - ・ リセットによって PDR6 レジスタは初期化されません。
- ストップモードおよび時計モードの動作

ストップモードまたは時計モードに移行した時点でポート 6 の端子状態は、スタンバイ制御レジスタの端子指定ビットで設定した状態になります。

ポート 6 の端子状態を表 4.7-5 に示します。

表 4.7-5 ポート 6 の端子状態

端子名	通常動作 メインスリープ メインストップ (SPL=0) サブスリープ サブストップ (SPL=0) 時計モード (SPL=0)	メインストップ (SPL=1) サブストップ (SPL=1) 時計モード (SPL=1)	リセット時
P60/INT0 ~ P64/X1A	汎用入力ポート / 外部割込み入力	Hi-Z (外部割込み入力)	Hi-Z

SPL : スタンバイ制御レジスタ (STBC) の端子状態指定 (STBC)

Hi-Z : ハイインピーダンス

出力レジスタがすべて "OFF" の場合、プルアップ抵抗ありの端子は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。

< 注意事項 >

割込み入力については、エッジ極性選択ビットが、" 立上りエッジ ", " 立下りエッジ ", " 両エッジ " を選択している場合、ストップモード状態 (SPL=1) においても入力状態となり遮断されません。その場合は、プルアップ抵抗制御レジスタ、または外部プルアップ抵抗、あるいは外部プルダウン抵抗により、端子の電位を固定してください。

4.8 I/O ポートのプログラム例

I/O ポートを使ったプログラム例を示します。

■ I/O ポートのプログラム例

● 処理仕様

- ポート 0, ポート 1 により, 7 セグメント (Dp を含めると 8 セグメント) LED をすべて点灯します。
- P00 端子が LED のアノードコモン端子に, P10 ~ P17 端子が各セグメント端子に対応します。

8 セグメント LED 接続例を図 4.8-1 に示します。

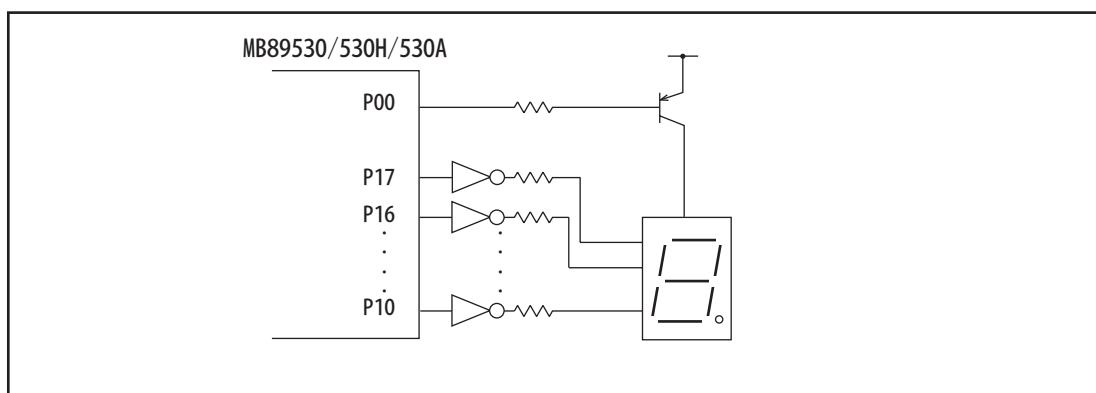


図 4.8-1 8 セグメント LED 接続例

● コーディング例

```

PDR0 EQU 0000H ; ポート 0 データレジスタのアドレス
DDR0 EQU 0001H ; ポート 0 方向レジスタのアドレス
PDR1 EQU 0002H ; ポート 1 データレジスタのアドレス
DDR1 EQU 0003H ; ポート 1 方向レジスタのアドレス
;-----メインプログラム-----
CSEG ; 【CODE SEGMENT】
:
CLRB PDR0:0 ; P00 を "L" レベルに設定
MOV PDR1, #11111111B ; ポート 1 をすべて "H" レベルに設定
MOV DDR0, #00000000B ; P00 を出力に設定,
MOV DDR1, #11111111B ; ポート 1 を全ビット出力に設定
:
ENDS
;-----
END

```

第5章

タイムベースタイマ

この章では、タイムベースタイマの機能と動作について説明します。

- 5.1 タイムベースタイマの概要
- 5.2 タイムベースタイマの構成
- 5.3 タイムベースタイマ制御レジスタ (TBTC)
- 5.4 タイムベースタイマの割込み
- 5.5 タイムベースタイマの動作説明
- 5.6 タイムベースタイマ使用上の注意
- 5.7 タイムベースタイマのプログラム例

5.1 タイムベースタイマの概要

タイムベースタイマは、内部カウントクロック（メインクロック原発振の2分周）に同期して、カウントアップする21ビットのフリーランカウンタで、4種類のインターバル時間を選択できるインターバルタイマ機能があります。また、発振安定待ち時間のタイマ出力、ウォッチドッグタイマなどの動作クロックを供給します。タイムベースタイマは、メインクロック原発振が停止するモードでは動作を停止します。

■ インターバルタイマ機能

インターバルタイマ機能は、一定の時間間隔で繰り返し割込みを発生する機能です。

- ・ タイムベースタイマのカウンタがオーバフローすると割込みを発生します。
- ・ タイムベースタイマのインターバル時間は、4種類の中から選択できます。

タイムベースタイマのインターバル時間を表5.1-1に示します。

表 5.1-1 タイムベースタイマのインターバル時間

内部カウントクロック周期	インターバル時間
$2/F_{CH}$ (0.2 μ s)	$2^{13}/F_{CH}$ (約 0.82ms)
	$2^{15}/F_{CH}$ (約 3.3ms)
	$2^{18}/F_{CH}$ (約 26.2ms)
	$2^{22}/F_{CH}$ (約 419.4ms)

F_{CH} : メインクロック原発振

()内はメインクロック原発振 10MHz 動作時の値です。

■ クロック供給機能

タイムベースタイマには、メインクロックの発振安定待ち時間用のタイマ出力(3種類)や、ウォッチドッグタイマと A/D コンバータに対する動作クロックを供給する機能があります。

タイムベースタイマから各周辺に供給されるクロックの周期を表5.1-2に示します。

表 5.1-2 タイムベースタイマから供給されるクロック周期

クロック供給先	クロック周期	備 考
メインクロック 発振安定待ち時間	$2^{14}/F_{CH}$ (約 1.64ms)	クロック制御レジスタの発振安定待ち時間選択ビット (SYCC:WT1, WT0) によって選択されます。 ウォッチドッグタイマのカウントアップクロック
	$2^{17}/F_{CH}$ (約 13.1ms)	
	$2^{18}/F_{CH}$ (約 26.2ms)	
ウォッチドッグタイマ	$2^{21}/F_{CH}$ (約 209.7ms)	連続起動用クロック
A/D コンバータ	$2^8/F_{CH}$ (約 25.5 μ s)	

F_{CH} : メインクロック原発振

()内はメインクロック原発振 10MHz 動作時の値です。

< 注意事項 >

発振開始直後は発振周期が不安定なため、発振安定待ち時間は目安となります。

5.2 タイムベースタイマの構成

タイムベースタイマは、以下のブロックから構成されています。

- タイムベースタイマカウンタ
- カウンタクリア回路
- インターバルタイマセクタ
- タイムベースタイマ制御レジスタ (TBTC)

■ タイムベースタイマのブロックダイアグラム

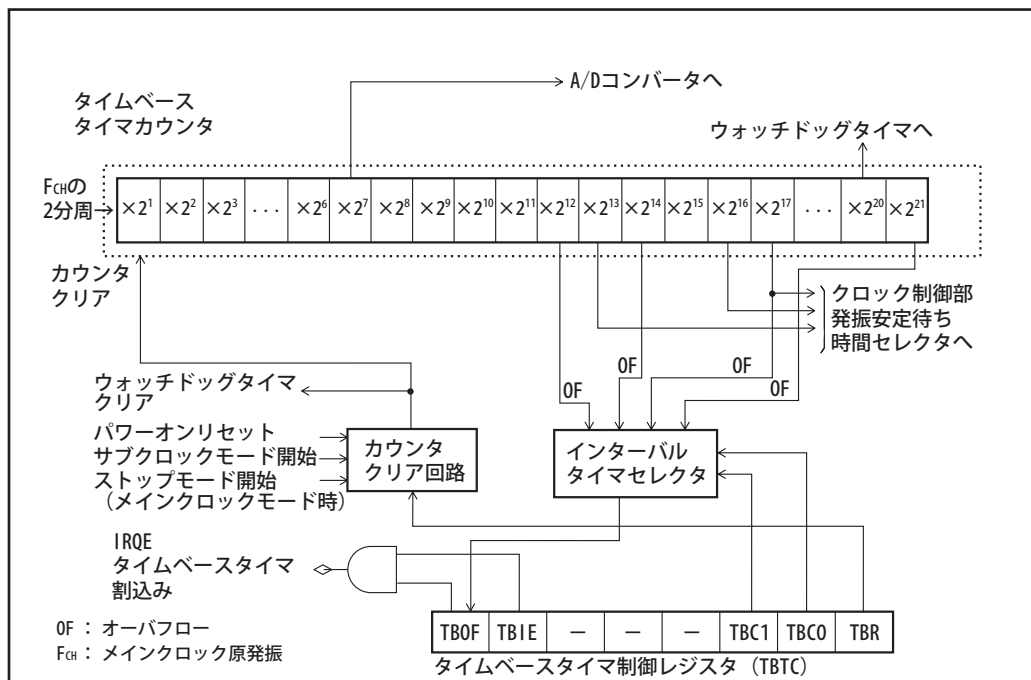


図 5.2-1 タイムベースタイマのブロックダイアグラム

● タイムベースタイマカウンタ

メインクロック原発振の2分周クロックをカウントクロックとする21ビットのアップカウンタです。メインクロック原発振が停止すると動作を停止します。

● カウンタクリア回路

タイムベースタイマのカウンタをクリアします。

TBTC レジスタによる設定 (TBTC:TBR=0) 以外に、メインストップモードへ移行 (STBC:STP=1) した場合、サブクロックモードへ移行 (SYCC:SCS=0) した場合、およびパワーオンリセットした場合にカウンタがクリアされます。

● インターバルタイマセクタ

タイムベースタイマのカウンタ中の4ビットからインターバルタイマ用の1ビットを選択します。選択したビットのオーバーフローが割込み要因となります。

● タイムベースタイマ制御レジスタ (TBTC)

インターバル時間の選択、カウンタのクリア、割込み制御および状態の確認を行います。

5.3 タイムベースタイマ制御レジスタ (TBTC)

タイムベースタイマ制御レジスタ (TBTC) は、インターバル時間の選択、カウンタのクリア、割り込み制御および状態の確認を行うレジスタです。

■ タイムベースタイマ制御レジスタ (TBTC)

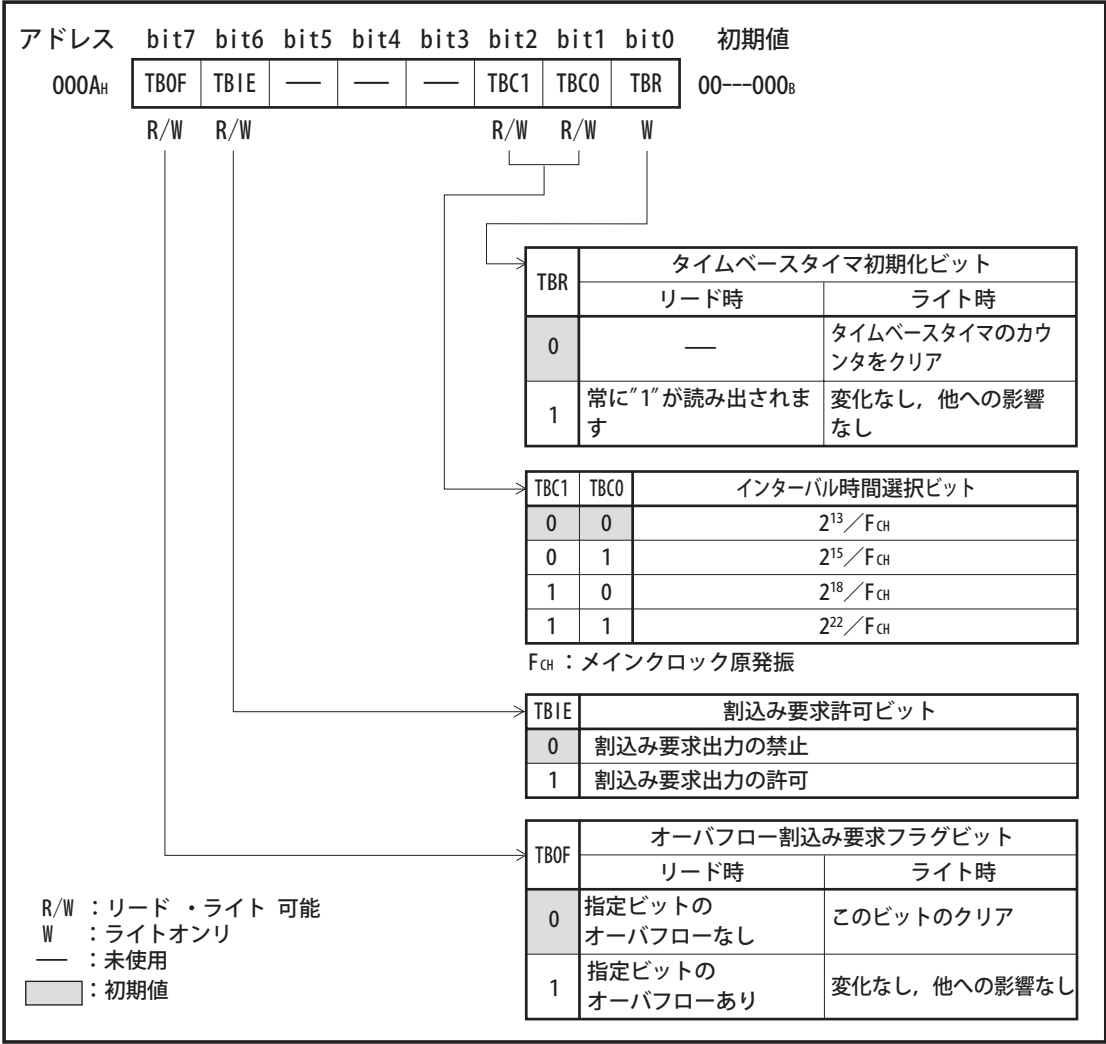


図 5.3-1 タイムベースタイマ制御レジスタ (TBTC)

表 5.3-1 タイムベースタイマ制御レジスタ (TBTC) の各ビットの機能説明

ビット名		機 能
bit7	TBOF: オーバーフロー 割込み要求フラグ ビット	タイムベースタイマのカウンタの指定ビットがオーバーフローすると "1" にセットされるフラグです。 <ul style="list-style-type: none"> このビットと割込み要求許可ビット (TBIE) が "1" のとき、割込み要求を出力します。 書き込み時は "0" でクリアされ, "1" では意味を持ちません。
bit6	TBIE: 割込み要求許可 ビット	CPU への割込み要求出力の許可 / 禁止を行うビットです。 <ul style="list-style-type: none"> このビットとオーバーフロー割込み要求フラグビット (TBOF) が "1" のとき、割込み要求を出力します。
bit5 bit4 bit3	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書き込みは意味を持ちません。
bit2 bit1	TBC1, TBC0: インターバル 時間選択ビット	インターバルタイマの周期を選択するビットです。 <ul style="list-style-type: none"> タイムベースタイマのカウンタのインターバルタイマ用のビットが指定されます。 4 種類のインターバル時間を選択できます。
bit0	TBR: タイムベースタイマ 初期化ビット	タイムベースタイマのカウンタをクリアするビットです。 <ul style="list-style-type: none"> このビットに "0" を書き込むとカウンタが "000000_H" にクリアされ, "1" では意味を持ちません。 読出し値は常に "1" です。

5.4 タイムベースタイマの割込み

タイムベースタイマは、タイムベースタイマカウンタの指定ビットのオーバーフローで割込み要求が発生します (インターバルタイマ機能)。

■ インターバルタイマ機能動作時の割込み

タイムベースタイマカウンタが内部カウントクロックでカウントアップし、選択されたタイムベースタイマカウンタのビットがオーバーフローすると、オーバーフロー割込み要求フラグビット (TBTC:TBOF) が "1" にセットされます。そのとき、割込み要求許可ビットを許可 (TBTC:TBIE=1) にしている場合に、CPU へ割込み要求 (IRQE) が発生します。

割込み処理ルーチンで TBOF ビットに "0" を書き込み、割込み要求をクリアします。

なお、TBOF ビットは、TBIE ビットの値に関係なく、選択されたビットがオーバーフローすると "1" にセットされます。

TBOF ビットが "1" のとき、TBIE ビットを禁止から許可 (0 → 1) にすると、直ちに割込み要求が発生します。

カウンタクリア (TBTC:TBR=0) と選択したビットのオーバーフローが同時に発生した場合は、TBOF ビットのセットは行われません。

< 注意事項 >

リセット解除後に割込み要求出力を許可 (TBTC:TBIE=1) する場合は、必ず TBOF ビットを同時にクリア (TBTC:TBOF=0) してください。

■ 発振安定待ち時間とタイムベースタイマの割込み

メインクロックの発振安定待ち時間より短いインターバル時間を設定すると、メインクロックモードの動作開始時にタイムベースタイマのインターバル割込み要求 (TBTC:TBOF=1) が発生します。そのため、メインクロックの発振が停止するモード (メインストップモードおよびサブクロックモード) へ移行する場合は、タイムベースタイマの割込みを禁止 (TBTC:TBIE=0) してください。

■ タイムベースタイマの割込みに関連するレジスタとベクトルテーブル

表 5.4-1 タイムベースタイマの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQE	ILR4 (007E _H)	LE1 (bit5)	LE0 (bit6)	FFDE _H	FFDF _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

5.5 タイムベースタイマの動作説明

タイムベースタイマは、インターバルタイマ機能およびウォッチドッグタイマと A/D コンバータへのクロック供給機能として動作します。

■ インターバルタイマ機能の動作 (タイムベースタイマ)

インターバルタイマ機能として動作させるためには、図 5.5-1 に示す設定が必要です。

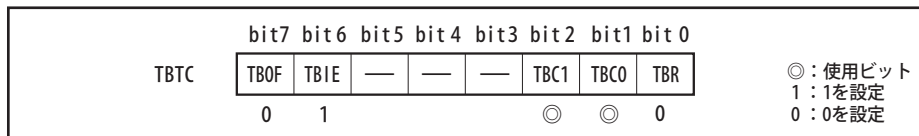


図 5.5-1 インターバルタイマ機能の設定

タイムベースタイマのカウンタは、メインクロックが発振している間、内部カウントクロック (メインクロック原発振の 2 分周クロック) に同期して、カウントアップを続けます。

カウンタがクリア (TBTC:TBR=0) されると "0" からカウントアップを行い、インターバルタイマ用のビットがオーバーフローすると、オーバーフロー割込み要求フラグビット (TBTC:TBOF) を "1" にセットします。つまり、クリアされた時間を基準にして、選択されたインターバル時間ごとに割込み要求を発生することになります。

■ クロック供給機能の動作

タイムベースタイマは、メインクロックの発振安定待ち時間を作るためのタイマとしても使用されます。タイムベースタイマのカウンタがクリアされた状態からカウントアップし、発振安定待ち時間用のビットがオーバーフローするまでの時間が、発振安定待ち時間となります。発振安定待ち時間は、システムクロック制御レジスタの発振安定待ち時間選択ビット (SYCC:WT1, WT0) によって 3 種類の中から 1 種類を選択します。

タイムベースタイマは、ウォッチドッグタイマおよび A/D コンバータにもクロックを供給しています。タイムベースタイマのカウンタをクリアした場合、A/D コンバータの連続起動周期の動作に影響を与えます。また、ウォッチドッグタイマのカウンタは、タイムベースタイマ出力を選択 (WDTC:CS=0) している場合、同時にクリアされます。

■ タイムベースタイマの動作

以下の状態の動作を図 5.5-2 に示します。

- パワーオンリセットが発生した場合
- メインクロックモードでインターバルタイマ機能が動作中にスリープモードへ移行した場合
- メインストップモードへ移行した場合
- カウンタクリアの要求があった場合

サブクロックモードおよびメインストップモードでは、タイムベースタイマはクリアされ、動作を停止します。サブクロックモードおよびメインストップモードからの復帰時は、タイムベースタイマで発振安定待ち時間をカウントします。

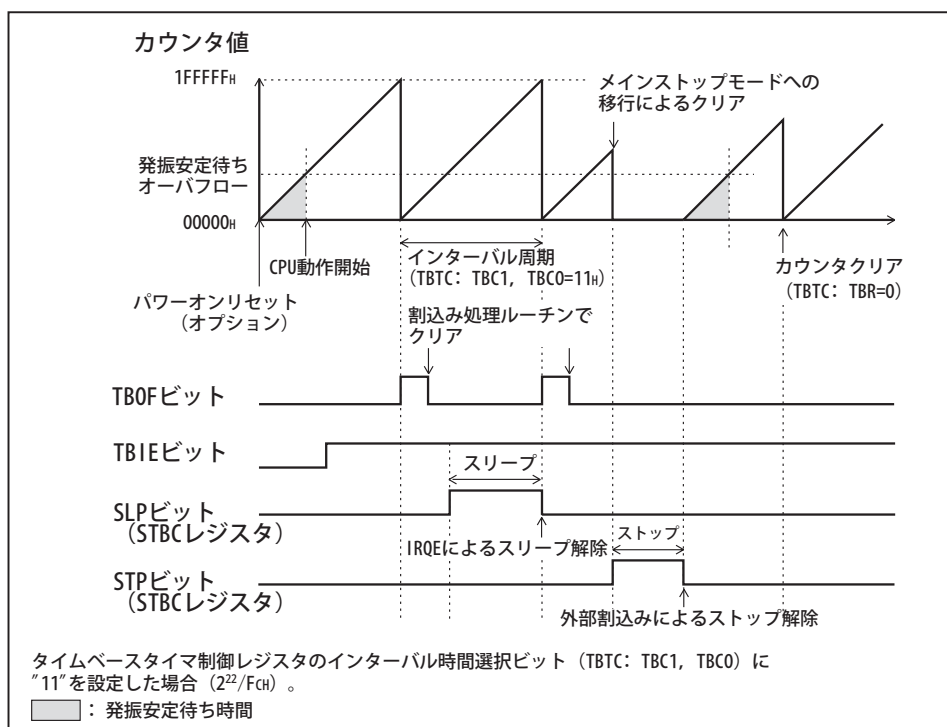


図 5.5-2 タイムベースタイマの動作

5.6 タイムベースタイマ使用上の注意

タイムベースタイマを使用する場合は、以下の点にご注意ください。

■ タイムベースタイマ使用上の注意

- プログラムで設定する場合

割込み要求フラグビット (TBTC:TBOF) が "1" で、割込み要求許可ビットが許可 (TBTC:TBIE=1) の状態では、割込み処理から復帰できません。TBOF ビットのクリアを必ず行ってください。

- タイムベースタイマのクリアについて

タイムベースタイマは、タイムベースタイマ初期化ビットによるクリア (TBTC:TBR=0) 以外に、メインクロックの発振安定待ち時間が必要となる場合にクリアされます。ウォッチドッグタイマのカウントクロックにタイムベースタイマを選択 (WDTC:CS=0) した場合、タイムベースタイマのクリアによって、ウォッチドッグタイマもクリアされます。

- 発振安定待ち時間用タイマとして使用する場合

電源投入時、メインストップモード中およびサブクロックモード中では、メインクロックの原発振が停止しているため、発振器が動作後タイムベースタイマによってメインクロックの発振安定待ち時間を自動的に待ちます。

メインクロックの発振器 (クロック発生部) に接続する振動子の種類によって、適切な発振安定待ち時間を選択する必要があります。

詳細については、「3.6.5 発振安定待ち時間」を参照してください。

- タイムベースタイマからクロックを供給される周辺機能について

メインクロック原発振が停止するモードでは、カウンタはクリアされ、タイムベースタイマは動作を停止します。また、タイムベースタイマから供給されるクロックは、タイムベースタイマのカウンタがクリアされると、初期状態からの出力となるため、"H" レベルが短くまたは "L" レベルが最大で 1/2 周期長くなることがあります。ウォッチドッグタイマ用のクロックも初期状態からの出力となりますが、ウォッチドッグタイマのカウンタが同時にクリアされるため、ウォッチドッグタイマは正常な周期で動作します。

5.7 タイムベースタイマのプログラム例

タイムベースタイマのプログラム例を示します。

■ タイムベースタイマのプログラム例

● 処理仕様

$2^{18}/F_{CH}$ (F_{CH} : メインクロック原発振) のインターバルタイマ割込みを繰り返し発生します。このときのインターバル時間は、約 26.2ms (10MHz 動作時) となります。

● コーディング例

```

TBTC    EQU        0000AH                ; タイムベースタイマ制御レジスタのアドレス

TBOF     EQU        TBTC:7                ; オーバフローの割込み要求フラグビット定義

ILR4     EQU        007EH                ; 割込みレベル設定レジスタ 4 のアドレス

INT_V    DSEG      ABS                    ; 【DATA SEGMENT】
          ORG        OFFDEH

IRQE     DW         WARI                    ; 割込みベクトル設定
INT_V    ENDS

;----- メインプログラム -----
CSEG                                           ; 【CODE SEGMENT】
          ; スタックポインタ (SP) などは初期化済みとする

          :
          CLRI                      ; 割込みディセーブル
          MOV        ILR4,#11011111B        ; 割込みレベル設定 (レベル 1)
          MOV        TBTC,#01000100B        ; オーバフローの割込み要求フラグクリア,
          ; 割込み要求出力許可,  $2^{18}/F_{CH}$  選択, タイム
          ; ベースタイマクリア
          SETI                      ; 割込みイネーブル

          :
;----- 割込みプログラム -----
WARI     CLRB        TBOF                ; 割込み要求フラグクリア
          PUSHW      A
          XCHW       A,T
          PUSHW      A
          :
          ユーザ処理
          :
          POPW       A
          XCHW       A,T
          POPW       A
          RETI
          ENDS

;-----
          END

```

第 6 章

ウォッチドッグタイマ

この章では、ウォッチドッグタイマの機能と動作について説明します。

- 6.1 ウォッチドッグタイマの概要
- 6.2 ウォッチドッグタイマの構成
- 6.3 ウォッチドッグ制御レジスタ (WDTC)
- 6.4 ウォッチドッグタイマの動作説明
- 6.5 ウォッチドッグタイマ使用上の注意
- 6.6 ウォッチドッグタイマのプログラム例

6.1 ウォッチドッグタイマの概要

ウォッチドッグタイマは、メインクロックで動作するタイムベースタイマまたはサブクロックで動作する時計プリスケアラの出力をカウントクロックとする1ビットのカウンタです。起動後、一定時間以上クリアされない場合には、CPU をリセットします。

■ ウォッチドッグタイマ機能

ウォッチドッグタイマは、プログラム暴走対策用のカウンタです。ウォッチドッグタイマを起動した場合は、一定時間内で定期的にクリアし続ける必要があります。プログラムが無限ループに陥り、一定時間以上クリアされない場合、CPU に対して4インストラクションサイクルのウォッチドッグリセットが発生します。

ウォッチドッグタイマのカウントクロックは、タイムベースタイマの出力または時計プリスケアラの出力を選択できます。

ウォッチドッグタイマのインターバル時間は、表 6.1-1 に示すとおりです。

ウォッチドッグタイマがクリアされない場合、インターバル時間の最小時間から最大時間の間にウォッチドッグリセットが発生します。

表 6.1-1 ウォッチドッグタイマインターバル時間

	カウントクロック	
	タイムベースタイマ出力 (メインクロック原発振 10MHz 時)	時計プリスケアラ出力時 (サブクロック原発振 32.768kHz 時)
最小時間	約 209.7ms * 1	500ms * 2
最大時間	約 419.4ms	1000ms

* 1: メインクロック原発振 (F_{CH}) の2分周×タイムベースタイマのカウント数 (2^{20})

* 2: サブクロック原発振 (F_{CL}) の周期×時計プリスケアラのカウント数 (2^{14})

ウォッチドッグタイマのインターバル時間の最小時間と最大時間については、「6.4 ウォッチドッグタイマの動作説明」を参照してください。

スリープモード、ストップモードまたは時計モードに移行するとウォッチドッグタイマのカウンタはクリアされ、通常動作 (RUN 状態) に復帰するまで動作しません。

< 注意事項 >

ウォッチドッグタイマのカウンタは、カウントクロックにタイムベースタイマの出力を選択している状態でタイムベースタイマをクリア (TBTC:TBR=0) すると同時にクリアされます。また、カウントクロックに時計プリスケアラを選択している状態で時計プリスケアラをクリア (WPCR:WCLR=0) すると同時にクリアされます。このため、カウントクロックとして使用しているカウンタ (タイムベースタイマまたは時計プリスケアラ) をウォッチドッグタイマのインターバル時間内で繰り返しクリアするとウォッチドッグタイマとして機能しなくなります。

6.2 ウォッチドッグタイマの構成

ウォッチドッグタイマは、以下のブロックで構成されています。

- カウントクロックセクタ
- ウォッチドッグタイマカウンタ
- リセット制御回路
- ウォッチドッグタイマクリアセクタ
- カウンタクリア制御回路
- ウォッチドッグ制御レジスタ (WDTC)

■ ウォッチドッグタイマのブロックダイアグラム

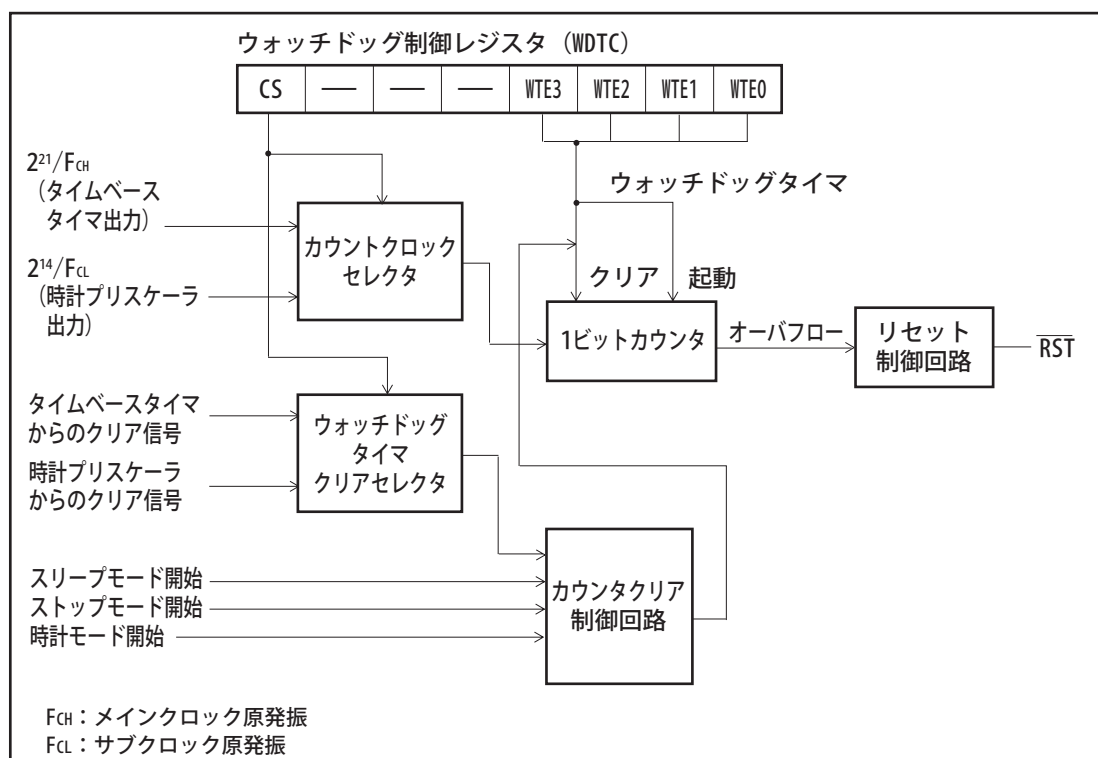


図 6.2-1 ウォッチドッグタイマのブロックダイアグラム

第6章 ウォッチドッグタイマ

● カウントクロックセクタ

ウォッチドッグタイマカウンタのカウントクロックを選択します。カウントクロックにはタイムベースタイマの出力または時計プリスケアラの出力を選択できます。

● ウォッチドッグタイマカウンタ (1 ビットカウンタ)

タイムベースタイマの出力または時計プリスケアラの出力をカウントクロックとする1ビットのカウンタです。

● リセット制御回路

ウォッチドッグタイマカウンタのオーバフローによってCPUへのリセット信号を発生します。

● ウォッチドッグタイマクリアセクタ

タイムベースタイマまたは時計プリスケアラからのウォッチドッグタイマクリア信号を、カウントクロックセクタと同時に選択します。

● カウンタクリア制御回路

ウォッチドッグタイマカウンタのクリアと動作の停止を制御します。

● ウォッチドッグ制御レジスタ (WDTC)

カウントクロックの選択と、ウォッチドッグタイマカウンタの起動およびクリアを行います。このレジスタは、書込み専用（ライトオンリ）のため、ビット操作命令は使用できません。

6.3 ウォッチドッグ制御レジスタ (WDTC)

ウォッチドッグ制御レジスタ (WDTC) は、ウォッチドッグタイマの起動とクリアを行うレジスタです。

■ ウォッチドッグ制御レジスタ (WDTC)

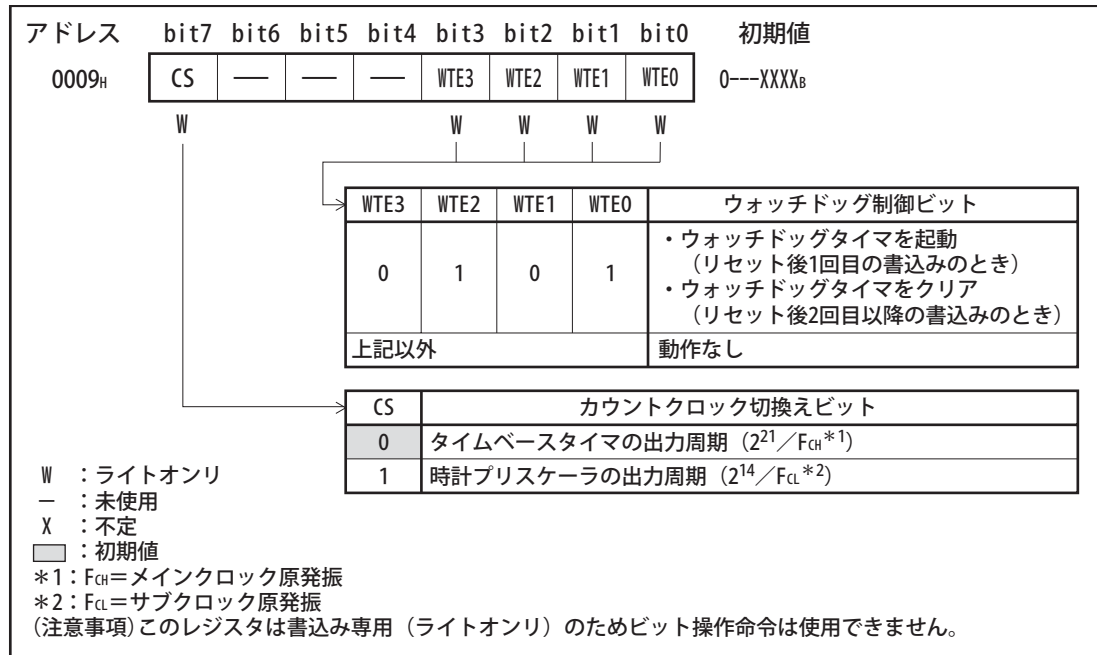


図 6.3-1 ウォッチドッグ制御レジスタ (WDTC)

表 6.3-1 ウォッチドッグ制御レジスタ (WDTC) の各ビットの機能説明

ビット名		機 能
bit7	CS: カウント クロック切替え ビット	ウォッチドッグタイマのカウントクロック選択用ビットです。 <ul style="list-style-type: none"> ウォッチドッグタイマの起動時に、ウォッチドッグタイマのカウントクロックを選択します。 カウントクロックにはタイムベースタイマまたは時計プリスケアラの出力が選択できます。 <注記> サブクロックモードを使用する場合には、必ず時計プリスケアラの出力を選択してください。 カウントクロックの選択は、ウォッチドッグタイマの起動と同時にを行い、起動後は変更しないでください。 ビット操作命令は使用できません。
bit6 bit5 bit4	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書き込みは意味を持ちません。
bit3 bit2 bit1 bit0	WTE3, WTE2, WTE1, WTE0: ウォッチドッグ 制御ビット	ウォッチドッグタイマの制御用ビットです。 <ul style="list-style-type: none"> "0101_B" を書き込むとウォッチドッグタイマを起動 (リセット後 1 回目の書き込み) もしくはクリア (リセット後 2 回目以降の書き込み) します。 "0101_B" 以外を書き込んでも動作に影響はありません。 <注記> 読出し値は "1111 _B " です。ビット操作命令は使用できません。

6.4 ウォッチドッグタイマの動作説明

ウォッチドッグタイマは、ウォッチドッグタイマカウンタのオーバフローによってウォッチドッグリセットを発生します。

■ ウォッチドッグタイマの動作

● ウォッチドッグタイマの起動

ウォッチドッグ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) に、リセット後、1 回目の "0101_B" を書き込むと起動します。このとき、カウントクロック切替えビット (WDTC:CS) を同時に指定します。

ウォッチドッグタイマを一度起動すると、リセット以外に止める方法はありません。

● ウォッチドッグタイマのクリア

ウォッチドッグ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) への、2 回目以降の "0101_B" の書込みによって、ウォッチドッグタイマのカウンタをクリアします。

ウォッチドッグタイマのインターバル時間内にカウンタがクリアされない場合、カウンタがオーバフローし、4 インストラクションサイクルの内部リセット信号を発生します。

● ウォッチドッグタイマインターバル時間

インターバル時間は、ウォッチドッグタイマをクリアするタイミングによって変化します。タイムベースタイマの出力をカウントクロックとした場合（メインクロック原発振 10MHz 時）の、ウォッチドッグタイマをクリアするタイミングとインターバル時間の関係を図 6.4-1 に示します。

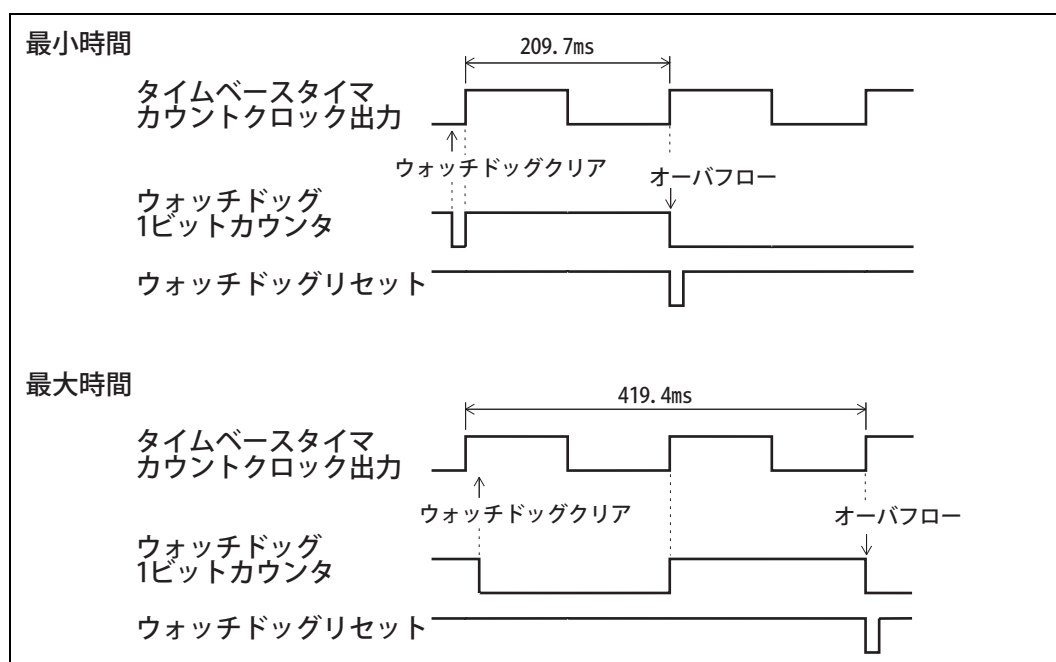


図 6.4-1 ウォッチドッグタイマのクリアとインターバル時間

6.5 ウォッチドッグタイマ使用上の注意

ウォッチドッグタイマを使用する場合は、以下の点にご注意ください。

■ ウォッチドッグタイマ使用上の注意

- ウォッチドッグタイマの停止について

ウォッチドッグタイマは、一度起動するとリセットが発生するまで停止できません。

- カウントクロックの選択について

カウントクロック切替えビット (WDTC:CS) は、ウォッチドッグタイマ起動時にウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) を "0101_B" にしたときにのみ書換え可能です。カウントクロック切替えビットは、ビット操作命令による書込みはできません。また、起動後は設定を変更しないでください。

サブクロックモードではメインクロックの発振が停止するため、タイムベースタイマは動作しません。

ウォッチドッグタイマがサブクロックモードで動作するには、あらかじめカウントクロックに時計プリスケラを選択 (WDTC:CS=1) する必要があります。

- ウォッチドッグタイマのクリアについて

ウォッチドッグタイマのカウントクロックに使用しているカウンタ (タイムベースタイマまたは時計プリスケラ) をクリアすると、同時にウォッチドッグタイマのカウンタもクリアされます。

スリープモード、ストップモードまたは時計モードに移行すると、ウォッチドッグタイマのカウンタはクリアされます。

- プログラム作成上の注意

メインループの中で、繰り返しウォッチドッグタイマをクリアするようなプログラムを作成する場合、割込み処理を含めたメインループの処理時間が、ウォッチドッグタイマインターバル時間の最小時間以下となるようにしてください。

- サブクロックモード時の動作

サブクロックモードでウォッチドッグリセットが発生した場合、発振安定待ち時間の経過後メインクロックモードで動作を開始します。この発振安定待ちの時間の間、リセット信号が出力されます。

6.6 ウォッチドッグタイマのプログラム例

ウォッチドッグタイマのプログラム例を示します。

■ ウォッチドッグタイマのプログラム例

● 処理仕様

- ・ プログラム開始直後, カウントクロックに時計プリスケラを選択し, ウォッチドッグタイマを起動します。
- ・ メインプログラムのループの中で毎回ウォッチドッグタイマをクリアします。
- ・ メインループは割り込み処理時間を含めて, ウォッチドッグタイマのインターバル最小時間 (約 209.7ms/10MHz 動作時) 以下で 1 周する必要があります。

● コーディング例

```

WDTC EQU 00009H ;ウォッチドッグ制御レジスタのアドレス
WDT_CLREQU 10000101B

VECT DSEG ABS ;【DATA SEGMENT】
      ORG 0FFFEH
RST_V DW PROG ;リセットベクトル設定
VECT ENDS
;-----メインプログラム-----
      CSEG ;【CODE SEGMENT】
PROG ;リセット時の初期化ルーチン
      MOVW SP,#0280H ;スタックポインタの初期値設定 ( 割り込み処理用 )
      :
      周辺機能 ( 割り込み ) などの初期化
      :
INIT MOV WDTC,#WDT_CLR ;ウォッチドッグタイマの起動
      : ;カウントクロックに時計プリスケラを選択

MAIN MOV WDTC,#WDT_CLR ;ウォッチドッグタイマのクリア
      :
      ユーザ処理 ( この間に割り込み処理が発生する場合があります )
      :
      JMP MAIN ;ウォッチドッグタイマのインターバル最小時
      ; 間より短い時間でループする必要があります
      ENDS
;-----
      END

```

第7章

時計プリスケラ

この章では、時計プリスケラの機能と動作について説明します。

- 7.1 時計プリスケラの概要
- 7.2 時計プリスケラの構成
- 7.3 時計プリスケラ制御レジスタ (WPCR)
- 7.4 時計プリスケラの割込み
- 7.5 時計プリスケラの動作説明
- 7.6 時計プリスケラ使用上の注意
- 7.7 時計プリスケラのプログラム例

7.1 時計プリスケアラの概要

時計プリスケアラは、クロック発生部で作られたサブクロックに同期して、カウントアップする 17 ビットのフリーランカウンタで、6 種類のインターバル時間を選択できるインターバルタイマ機能があります。

また、サブクロック発振安定待ち時間のタイマ出力、ウォッチドッグタイマなどの動作クロックを供給します。

■ インターバルタイマ機能 (時計割込み)

インターバルタイマ機能は、サブクロックをカウントクロックとして一定の時間間隔で繰り返し割込みを発生する機能です。

- 時計プリスケアラのインターバルタイマ用の分周出力によって割込みを発生します。
- 時計プリスケアラのインターバル時間は、6 種類の中から選択できます。
- 時計プリスケアラのカウンタはクリアすることができます。

時計プリスケアラのインターバル時間を表 7.1-1 に示します。

表 7.1-1 時計プリスケアラのインターバル時間

サブクロック周期	インターバル時間
$1/F_{CL}$ (約 30.5 μ s)	$2^{10}/F_{CL}$ (31.25ms)
	$2^{13}/F_{CL}$ (0.25s)
	$2^{14}/F_{CL}$ (0.50s)
	$2^{15}/F_{CL}$ (1.00s)
	$2^{16}/F_{CL}$ (2.00s)
	$2^{17}/F_{CL}$ (4.00s)

F_{CL} : サブクロック原発振

() 内はサブクロック原発振 32.768kHz 動作時の値です。

< 注意事項 >

時計プリスケアラは、1 系統クロックオプション品では使用できません。

■ クロック供給機能

クロック供給機能は、サブクロックの発振安定待ち時間用のタイマ出力 (1 種類) およびウォッチドッグタイマ用のクロックを供給する機能です。

時計プリスケラから各周辺に供給されるクロックの周期を表 7.1-2 に示します。

表 7.1-2 時計プリスケラから供給されるクロック

サブクロック供給先	サブクロック周期	備 考
サブクロック 発振安定待ち時間	$2^{15}/F_{CL}$ (1.00s)	発振安定待ち時間中はサブクロック モードに移行しないでください
ウォッチドッグタイマ	$2^{14}/F_{CL}$ (0.50s)	ウォッチドッグタイマのカウントアップ クロック

F_{CL} : サブクロック原発振

() 内はサブクロック原発振 32.768kHz 動作時の値です。

発振開始直後は発振周期が不安定なため、発振安定待ち時間は目安となります。

7.2 時計プリスケアラの構成

時計プリスケアラは、以下のブロックから構成されています。

- 時計プリスケアラ用カウンタ
- カウンタクリア回路
- インターバルタイマセクタ
- 時計プリスケアラ制御レジスタ (WPCR)

■ 時計プリスケアラのブロックダイアグラム

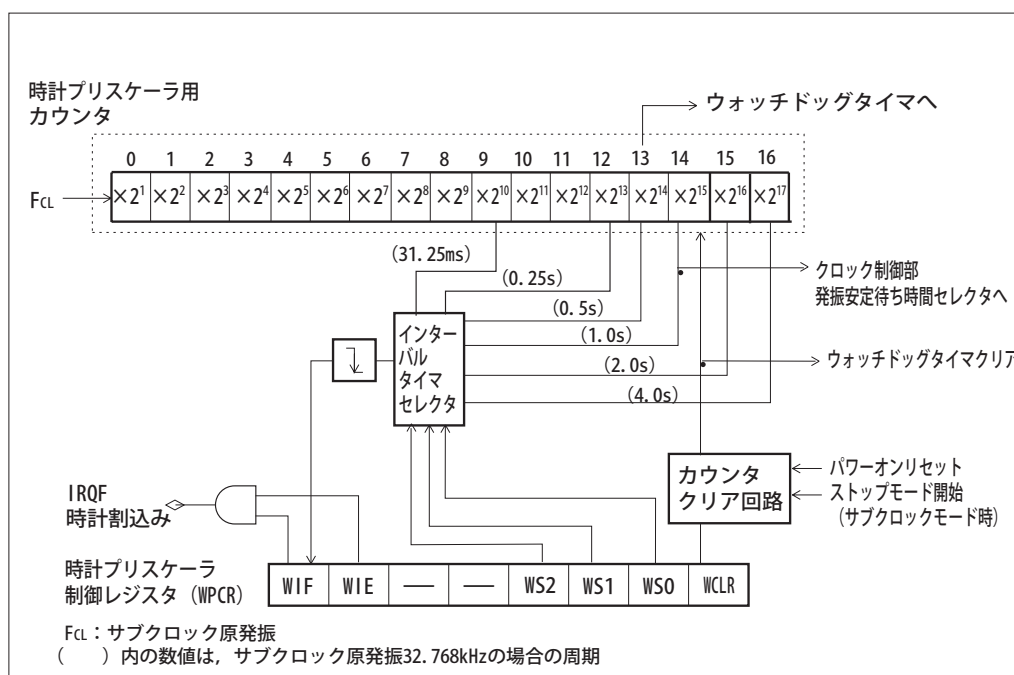


図 7.2-1 時計プリスケアラのブロックダイアグラム

● 時計プリスケアラカウンタ

サブクロック原発振をカウントクロックとする、17ビットのアップカウンタです。

● カウンタクリア回路

WPCR レジスタによる設定 (WPCR:WCLR=0) 以外に、サブストップモードへ移行 (STBC:STP=1) した場合、またはパワーオンリセットの場合、カウンタをクリアします。

● インターバルタイマセクタ

時計プリスケアラ用カウンタの4種類の分周出力からインターバルタイマ用の1種類を選択する回路です。選択した分周出力の立下りエッジが割込み要因となります。

● 時計プリスケアラ制御レジスタ (WPCR)

インターバル時間の選択、カウンタのクリア、割込み制御および時計プリスケアラの状態を確認するためのレジスタです。

7.3 時計プリスケアラ制御レジスタ (WPCR)

時計プリスケアラ制御レジスタ (WPCR) は、インターバル時間の選択、カウンタのクリア、割り込み制御および状態の確認を行うレジスタです。

■ 時計プリスケアラ制御レジスタ (WPCR)

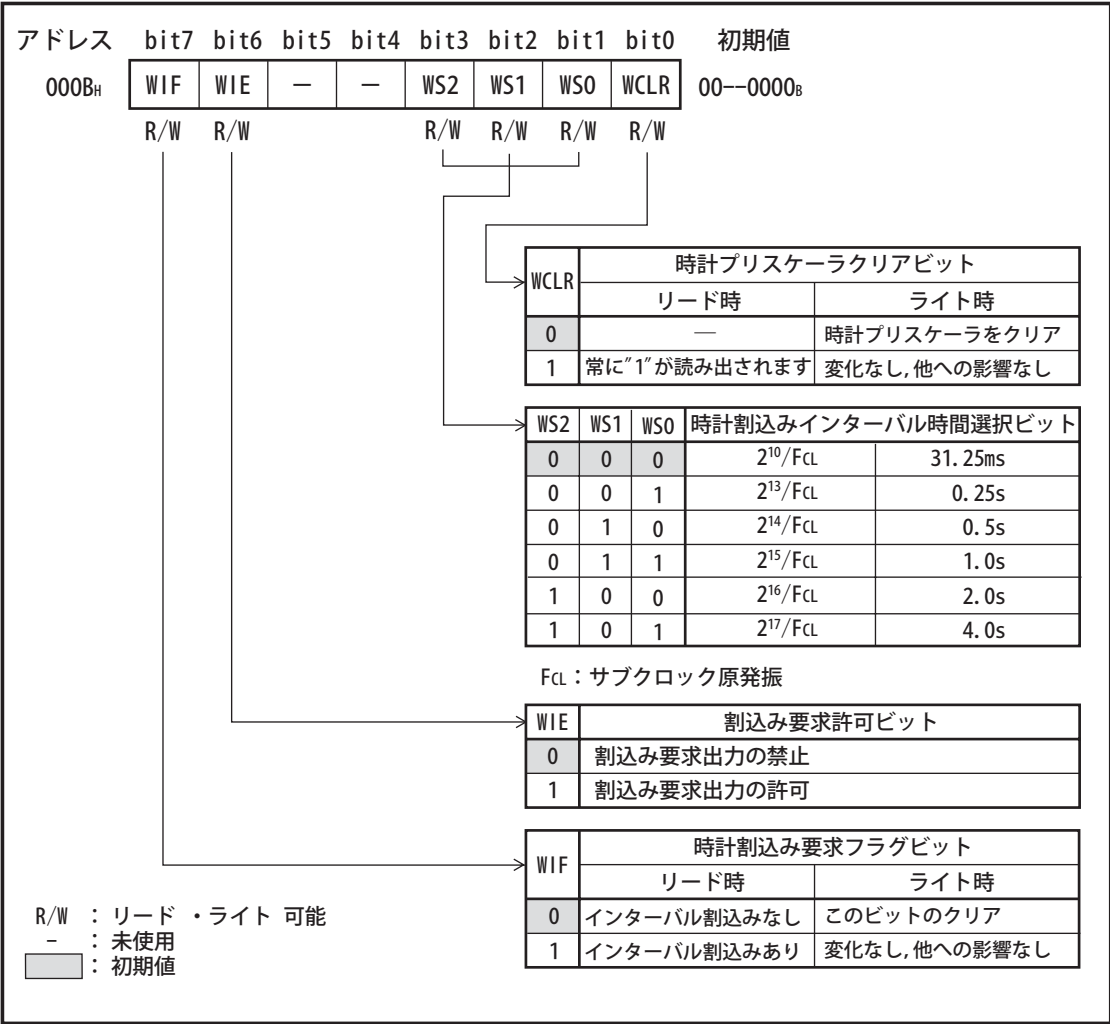


図 7.3-1 時計プリスケアラ制御レジスタ (WPCR)

表 7.3-1 時計プリスケラ制御レジスタ (WPCR) の各ビットの機能説明

ビット名		機 能
bit7	WIF: 時計割込み要求 フラグビット	選択されたインターバルタイマ用分周出力の立下りエッジによって "1" にセットされます。 <ul style="list-style-type: none"> このビットと割込み要求許可ビット (WIE) が "1" のとき、割込み要求を出力します。 書込み時は "0" でクリアされ, "1" では意味を持ちません。
bit6	WIE: 割込み要求許可 ビット	CPU への割込み要求出力の許可 / 禁止を行うビットです。 <ul style="list-style-type: none"> このビットと時計割込み要求フラグビット (WIF) が "1" のとき、割込み要求を出力します。
bit5 bit4	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書込みは意味を持ちません。
bit3 bit2 bit1	WS2, WS1, WSO: 時計割込み インターバル 時 間選択ビット	インターバルタイマの周期を選択するビットです。 <ul style="list-style-type: none"> 時計プリスケラ用カウンタのインターバルタイマ用のビット (分周出力) を指定します。 6 種類のインターバル時間を選択できます。
bit0	WCLR: 時計 プリスケラ ク リアビット	時計プリスケラ用カウンタをクリアするビットです。 <ul style="list-style-type: none"> このビットに "0" を書き込むとカウンタが "0000_H" にクリアされ, "1" では意味を持ちません。 読出し値は常に "1" です。

7.4 時計プリスケアラの割込み

時計プリスケアラは選択された分周出力の立下りエッジによって割込み要求を発生します (インターバルタイマ機能)。

■ インターバルタイマ機能動作時の割込み (時計割込み)

メインストップモード以外の場合、時計プリスケアラ用カウンタがサブクロック原発振でカウントアップし、設定したインターバルタイマ時間が経過すると、時計割込み要求フラグビットが "1" にセット (WPCR:WIF=1) されます。そのとき、割込み要求許可ビットが許可 (WPCR:WIE=1) の場合、CPU へ割込み要求 (IRQF) が発生します。割込み処理ルーチンで WIF ビットに "0" を書き込み、割込み要求を "0" にクリアしてください。

なお、WIF ビットは、WIE ビットの値に関係なく、時計割込みインターバル時間選択ビットで設定した時間になると "1" にセットされます。

WIF ビットが "1" のとき、WIE ビットを禁止から許可 (WPCR:WIE=0 → 1) にすると、直ちに割込み要求が発生します。

カウンタクリア (WPCR:WCLR=0) と選択したビットのオーバーフローが同時に発生した場合は、WIF ビットのセットは行われません。

< 注意事項 >

リセット解除後に割込み要求出力を許可 (WPCR:WIE=1) する場合は、必ず WIF ビットを同時にクリア (WPCR:WIF=0) してください。

■ 発振安定待ち時間と時計割込み

サブクロックの発振安定待ち時間より短いインターバル時間が設定されていると、サブストップモードからの外部割込みによる復帰時に、時計プリスケアラの時計割込み要求 (WPCR:WIF=1) が発生します。この場合、サブストップモードへ移行するときに時計プリスケアラの割込みを禁止 (WPCR:WIE=0) してください。

■ 時計プリスケアラの割込みに関連するレジスタとベクトルテーブル

時計プリスケアラの割込みに関連するレジスタとベクトルテーブルを表 7.4-1 に示します。

表 7.4-1 時計プリスケアラの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQF	ILR4 (007E _H)	LF1 (bit7)	LF0 (bit6)	FFDC _H	FFDD _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

7.5 時計プリスケラの動作説明

時計プリスケラは、インターバルタイマ機能として動作します。

■ インターバルタイマ機能の動作 (時計プリスケラ)

インターバルタイマとして動作させるためには、図 7.5-1 に示す設定をします。

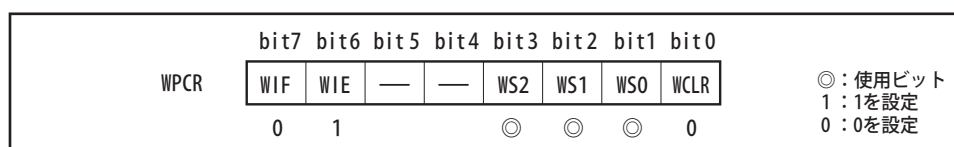


図 7.5-1 インターバルタイマ機能の設定

時計プリスケラの17ビットカウンタは、サブクロックが発振している間、サブクロックをカウントクロックとして、カウントアップを続けます。

カウンタがクリア (WPCR:WCLR=0) されると "0000_H" からカウントアップを行い、"1FFFF_H" に達すると "0000_H" に戻ってカウントを継続します。カウントアップ中に、時計割込みインターバル時間選択ビットで設定した時間になると、メインストップモード以外の場合、時計割込み要求フラグビット (WPCR:WIF) を "1" にセットします。つまり、クリアされた時間を基準にして、選択されたインターバル時間ごとに時計割込み要求を発生することになります。

■ クロック供給機能の動作

時計プリスケラは、サブクロックの発振安定待ち時間用のタイマとしても使用されます。サブクロック発振安定待ち時間 ($2^{15}/F_{CL}$, F_{CL} : サブクロック原発振) とは、時計プリスケラがクリアされた状態からカウントアップし、最上位ビットが立下るまでの時間のことです。

■ 時計プリスケアラの動作

サブクロックモードでインターバルタイマ機能の動作中において、以下の場合のカウンタ値の状態を図 7.5-2 に示します。

- (1) スリープモードへ移行した場合
- (2) ストップモードへ移行した場合
- (3) カウンタクリアの要求があった場合

なお、時計モードへの移行は、サブスリープモードへの移行と同様です。

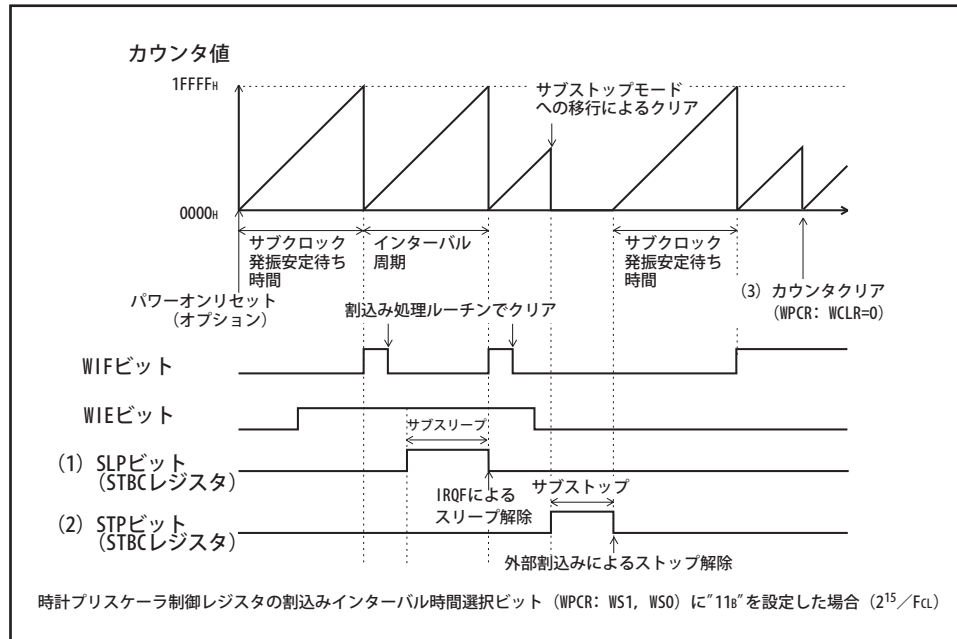


図 7.5-2 時計プリスケアラの動作

7.6 時計プリスケラ使用上の注意

時計プリスケラを使用する場合の注意点を示します。

時計プリスケラは、1 系統クロックオプション品では使用できません。

■ 時計プリスケラ使用上の注意

- プログラムで設定する場合

割込み要求フラグビット (WPCR:WIF) が "1" で、割込み要求許可ビットが許可 (WPCR:WIE=1) されている場合には、割込み処理から復帰できません。WIF ビットを必ずクリアしてください。

- 時計プリスケラのクリアについて

時計プリスケラは、時計プリスケラクリアビットによるクリア (WPCR:WCLR=0) 以外に、サブクロックの発振安定待ち時間が必要となる場合にクリアされます。

ウォッチドッグタイマのカウントクロックに時計プリスケラを選択(WDTC:CS=1)した場合、時計プリスケラをクリアすると、ウォッチドッグタイマもクリアされます。

- 発振安定待ち時間用タイマとして使用する場合

電源投入時およびサブストップモード中は、サブクロックの原発振が停止しているため、発振器が動作後、時計プリスケラを使用して発振安定待ち時間の経過を待ちます。

電源投入直後は、サブクロック発振安定待ち時間中にメインクロックモードからサブクロックモードへ移行しないでください。

サブクロックの発振安定待ち時間は固定です。

詳細については、「3.6.5 発振安定待ち時間」を参照してください。

- 時計割込みについて

メインストップモードでは、時計プリスケラはカウント動作を行います。時計割込み (IRQF) は発生しません。

- 時計プリスケラからクロックを供給される周辺機能について

時計プリスケラから供給されるクロックは、時計プリスケラのカウンタがクリアされると、初期状態からの出力となるため、"H" レベルが短くまたは "L" レベルが最大で 1/2 周期長くなることがあります。

ウォッチドッグタイマ用のクロックも初期状態からの出力となりますが、ウォッチドッグタイマのカウンタも同時にクリアされるため、ウォッチドッグタイマは正常な周期で動作します。

7.7 時計プリスケアラのプログラム例

時計プリスケアラのプログラム例を示します。

■ 時計プリスケアラのプログラム例

● 処理仕様

$2^{15}/F_{CL}$ (F_{CL} : サブクロック原発振) の時計割込みを繰り返し発生します。このときのインターバル時間は、1 秒 (32.768kHz 動作時) となります。

● コーディング例

```

WPCR EQU 000BH ;時計プリスケアラ制御レジスタのアドレス
WIF EQU WPCR:7 ;時計割込み要求フラグビット定義
ILR4 EQU 007EH ;割込みレベル設定レジスタのアドレス
INT_V DSEG ABS ;【DATA SEGMENT】
ORG 0FFDCH
IRQF DW WARI ;割込みベクトル設定
INT_V ENDS
;-----メインプログラム-----
CSEG ;【CODE SEGMENT】
; ;スタックポインタ (SP) などは初期化済みとする
;
CLRI ;割込みディセーブル
MOV ILR4,#10111111B ;割込みレベルを 2 に設定
MOV WPCR,#01000110B ;割込み要求フラグクリア, 割込み要求出力許可,
; 215/FCL 選択, 時計プリスケアラクリア
SETI ;割込みイネーブル
;
;-----割込みプログラム-----
WARI CLRB WIF ;割込み要求フラグクリア
PUSHW A
XCHW A,T
PUSHW A
;
ユーザ処理
;
POPW A
XCHW A,T
POPW A
RETI
ENDS
;-----
END

```


第 8 章

2CH 8 ビット PWM タイマ

この章では、2CH 8 ビット PWM タイマの機能と動作について説明します。

- 8.1 2CH 8 ビット PWM タイマの概要
(インターバルタイマ機能)
- 8.2 2CH 8 ビット PWM タイマの概要 (PWM タイマ機能)
- 8.3 2CH 8 ビット PWM タイマの構成
- 8.4 2CH 8 ビット PWM タイマの端子
- 8.5 2CH 8 ビット PWM タイマのレジスタ
- 8.6 2CH 8 ビット PWM タイマの割込み
- 8.7 インターバルタイマ機能の動作説明
- 8.8 8 ビット PWM モードの動作説明
- 8.9 7 ビット PWM モードの動作説明
- 8.10 CH12PWM モードの動作説明
- 8.11 2CH 8 ビット PWM タイマのプリスケアラの動作説明
- 8.12 2CH 8 ビット PWM タイマの動作中の各モードでの状態
- 8.13 2CH 8 ビット PWM タイマ使用上の注意
- 8.14 2CH 8 ビット PWM タイマのプログラム例
(インターバル機能)
- 8.15 2CH 8 ビット PWM タイマのプログラム例
(PWM タイマ機能)

8.1 2CH 8ビット PWM タイマの概要 (インターバルタイマ機能)

2CH 8ビット PWM タイマは、4種類の内部カウントクロックに同期してカウントアップする2つの8ビット PWM タイマ (CH1, CH2) で構成されます。CH1 と CH2 はそれぞれ方形波出力ができるインターバルタイマ機能と、8ビットまたは7ビット分解能の PWM タイマ機能があり、どちらかの機能を選択できます。インターバルタイマ機能は、CH1 と CH2 を独立に使用する8ビットタイマモードと、CH1 と CH2 を連結して使用する CK12 モードがあります。

CH1 と CH2 の出力サイクルを、それぞれ UART の転送クロックとして利用できます。

■ インターバルタイマ機能 (方形波出力機能)

インターバルタイマ機能は、任意の時間間隔で繰り返し割込みを発生する機能です。

また、割込み発生ごとに端子 (PTO1, PTO2 端子) の出力レベルを反転できるため、任意の周波数の方形波出力が可能です。

● 8ビットタイマモード

8ビットタイマモードでは、CH1 と CH2 の8ビット PWM タイマが独立に動作できます。

- ・ カウントクロックの周期の1倍から 2^8 倍の周期までのインターバルタイマ動作ができます。
- ・ カウントクロックを4種類の中から選択できます。

インターバル時間と方形波出力の範囲を表 8.1-1 に示します。

表 8.1-1 インターバル時間と方形波出力範囲 (CH1, CH2)

カウントクロック周期		インターバル時間	方形波出力 (Hz)
内部 カウント クロック	$1t_{\text{inst}}$	$1t_{\text{inst}} \sim 2^8 t_{\text{inst}}$	$1/(2t_{\text{inst}}) \sim 1/(2^9 t_{\text{inst}})$
	$8t_{\text{inst}}$	$2^3 t_{\text{inst}} \sim 2^{11} t_{\text{inst}}$	$1/(2^4 t_{\text{inst}}) \sim 1/(2^{12} t_{\text{inst}})$
	$16t_{\text{inst}}$	$2^4 t_{\text{inst}} \sim 2^{12} t_{\text{inst}}$	$1/(2^5 t_{\text{inst}}) \sim 1/(2^{13} t_{\text{inst}})$
	$64t_{\text{inst}}$	$2^6 t_{\text{inst}} \sim 2^{14} t_{\text{inst}}$	$1/(2^7 t_{\text{inst}}) \sim 1/(2^{15} t_{\text{inst}})$

t_{inst} : インストラクションサイクル (クロックモードやギヤ機能の影響を受けます)

インターバル時間と方形波周波数の計算例を示します。

メインクロック原発振 (F_{CH}) 10MHz, PWM コンペアレジスタ (COMR) 値 "DD_H(221)" で、カウントクロック周期を $1t_{\text{inst}}$ に設定したときのインターバル時間と、この COMR レジスタ値を変更せずに連続動作させたときの PWM 端子より出力される方形波の周波数は、次のように算出します。

ただし、システムクロック制御レジスタ (SYCC) により、メインクロックモード (SYCC:SCS=1) の最高速クロックを選択 (SYCC:CS1, CS0=11_B, 1 インストラクションサイクル = $4/F_{\text{CH}}$) した場合の値です。

$$\begin{aligned}
 \text{インターバル時間} &= (1 \times 4/F_{\text{CH}}) \times (\text{COMR レジスタ値} + 1) \\
 &= (4/10\text{MHz}) \times (221 + 1) \\
 &= 88.8 \mu\text{s}
 \end{aligned}$$

$$\begin{aligned}
 \text{出力周波数} &= F_{\text{CH}} / (1 \times 8 \times (\text{COMR レジスタ値} + 1)) \\
 &= 10\text{MHz} / (8 \times (221 + 1)) \\
 &= 5.63\text{kHz}
 \end{aligned}$$

● CK12 モード

CK12 モードは、CH1 と CH2 を連結して使用するモードで、CH1 の方形波出力が CH2 のカウントクロックになります。

- CH1 と CH2 はそれぞれのカウントクロックの周期の 1 倍から 2^8 倍の周期までのインターバルタイマ動作ができます。
- CH1 は、カウントクロックを 4 種類の中から選択できます。
- CH2 のカウントクロックは、CH1 の方形波出力になります。

インターバル時間と方形波出力の範囲を表 8.1-2 に示します。

表 8.1-2 インターバル時間と方形波出力範囲

カウントクロック周期			インターバル時間	方形波出力 (Hz)
CH1	内部 カウント クロック	$1t_{\text{inst}}$	$1t_{\text{inst}} \sim 2^8t_{\text{inst}}$	$1/(2t_{\text{inst}}) \sim 1/(2^9t_{\text{inst}})$
		$8t_{\text{inst}}$	$2^3t_{\text{inst}} \sim 2^{11}t_{\text{inst}}$	$1/(2^4t_{\text{inst}}) \sim 1/(2^{12}t_{\text{inst}})$
		$16t_{\text{inst}}$	$2^4t_{\text{inst}} \sim 2^{12}t_{\text{inst}}$	$1/(2^5t_{\text{inst}}) \sim 1/(2^{13}t_{\text{inst}})$
		$64t_{\text{inst}}$	$2^6t_{\text{inst}} \sim 2^{14}t_{\text{inst}}$	$1/(2^7t_{\text{inst}}) \sim 1/(2^{15}t_{\text{inst}})$
CH2	CH1 方形波出力	$2t_{\text{inst}} \sim 2^{15}t_{\text{inst}}$	$2t_{\text{inst}} \sim 2^{23}t_{\text{inst}}$	$1/(2^2t_{\text{inst}}) \sim 1/(2^{24}t_{\text{inst}})$

t_{inst} : インストラクションサイクル(クロックモードやギヤ機能の影響を受けます)

インターバル時間と方形波周波数の計算例

メインクロック原発振 (F_{CH})10MHz, PWM コンペアレジスタ 1, 2 (COMR1, COMR2) 値が共に "DD_H(221)" で、CH1 のカウントクロック周期を $1t_{\text{inst}}$ に設定したときのインターバル時間と、この COMR レジスタ値を変更せずに連続動作させたときの PWM 端子より出力される方形波の周波数は、次のように算出します。

ただし、システムクロック制御レジスタ (SYCC) により、メインクロックモード (SYCC:SCS=1) の最高速クロックを選択 (SYCC:CS1, CS0=11_B, 1 インストラクションサイクル = $4/F_{\text{CH}}$) した場合の値です。

$$\begin{aligned}
 \text{CH1 インターバル時間} &= (1 \times 4/F_{\text{CH}}) \times (\text{COMR1 レジスタ値} + 1) \\
 &= (1 \times 4/10\text{MHz}) \times (221 + 1) \\
 &= 88.8 \mu\text{s}
 \end{aligned}$$

$$\begin{aligned}
 \text{CH1 出力周波数} &= F_{\text{CH}} / (1 \times 8 \times (\text{COMR1 レジスタ値} + 1)) \\
 &= 10\text{MHz} / (1 \times 8 \times (221 + 1)) \\
 &= 5.63\text{kHz}
 \end{aligned}$$

$$\begin{aligned}
 \text{CH2 インターバル時間} &= (1 \times 4/\text{CH1 出力周波数}) \times (\text{COMR2 レジスタ値} + 1) \\
 &= (1 \times 4/5.63\text{kHz}) \times (221 + 1) \\
 &= 157.7\text{ms}
 \end{aligned}$$

$$\begin{aligned}
 \text{CH2 出力周波数} &= \text{CH1 出力周波数} / (1 \times 8 \times (\text{COMR2 レジスタ値} + 1)) \\
 &= 5.63\text{kHz} / (1 \times 8 \times (221 + 1)) \\
 &= 3.17\text{Hz}
 \end{aligned}$$

8.2 2CH 8 ビット PWM タイマの概要 (PWM タイマ機能)

2CH 8 ビット PWM タイマは、4 種類の内部カウントクロックに同期してカウントアップする 2 つの 8 ビット PWM タイマ (CH1, CH2) で構成されます。CH1 と CH2 はそれぞれ方形波出力のできるインターバルタイマ機能と、8 ビットまたは 7 ビット分解能の PWM タイマ機能があり、どちらかの機能を選択できます。

■ 2CH 8 ビット PWM タイマの概要 (PWM タイマ機能)

PWM タイマ機能は、CH1 と CH2 を独立に使用する 8 ビット PWM モードまたは 7 ビット PWM モード (高速モード) と、CH1 を "L" 幅、CH2 を周期として PWM 波を発生する CH12PWM モードがあります。また、CH1 を 8 ビットタイマモードで動作させ、その方形波出力を CH2 のカウントクロックとして選択することもできます (CK12PWM モード)。PWM 出力にローパスフィルタを接続することで、D/A コンバータとして使用できます。

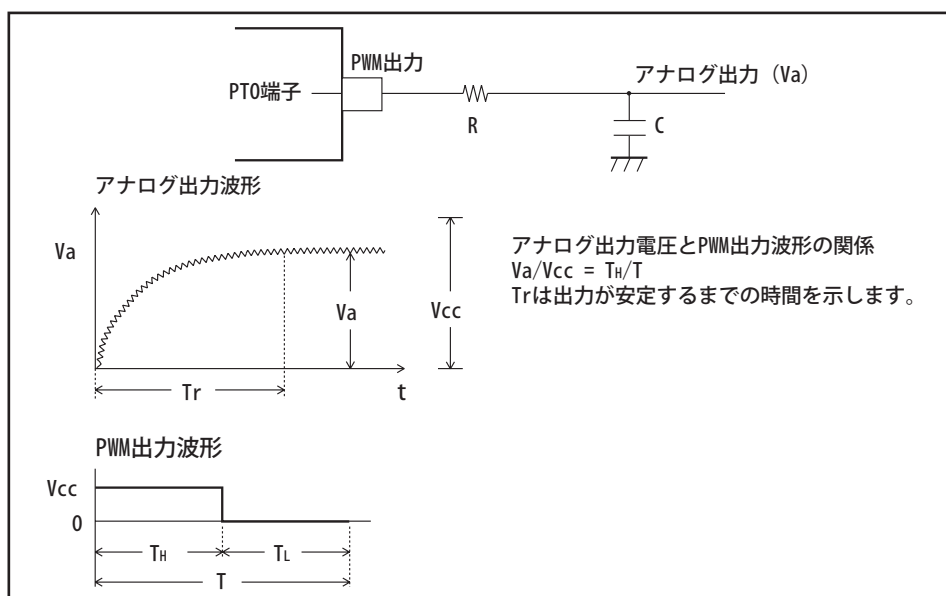


図 8.2-1 PWM 出力とローパスフィルタによる D/A コンバータ構成例

1) PWM 波の計算例 (CH12PWM モード)

メインクロック原発振 (F_{CH}) 10MHz, PWM コンペアレジスタ (COMR1=01_H, COMR2=03_H) の設定で、カウントクロックをそれぞれ 1_{tinst} に設定したときの PWM 波は、次のように算出します。

ただし、システムクロック制御レジスタ (SYCC) により、メインクロックモード (SYCC:SCS=1) の最高速クロックを選択 (SYCC:CS1, CS0=11_B, 1 インストラクションサイクル = 4/ F_{CH}) した場合の値です。

$$\begin{aligned} \text{"L" 幅} &= (1 \times 4/F_{CH}) \times (\text{COMR1 レジスタ値} + 1) \\ &= (1 \times 4/10\text{MHz}) \times (1+1) \\ &= 0.8 \mu\text{s} \end{aligned}$$

$$\begin{aligned} 1 \text{ 周期幅} &= (1 \times 4/F_{CH}) \times (\text{COMR2 レジスタ値} + 1) \\ &= (1 \times 4/10\text{MHz}) \times (3+1) \\ &= 1.6 \mu\text{s} \end{aligned}$$

2) CH2PWM モード以外の PWM タイマ動作では、割込み要求は発生しません。

■ PWM タイマ機能

PWM タイマ機能は、1 周期の "H" 幅の制御や、"L" 幅と周期を独立に制御して PTO1 端子または PTO2 端子へ PWM 波を出力する機能です。

また、出力にローパスフィルタを接続し、D/A コンバータとしても使用できます。

CH1 と CH2 を独立に使用する場合、それぞれ 8 ビット PWM モードと 7 ビット PWM モード（高速モード）を選択できます。

● 8 ビット PWM モード

- 1 周期の "H" 幅を $1/256$ の分解能で制御できるため、デューティ比 0 ~ 99.6% で PWM 出力ができます。
- PWM 波の周期は、カウントクロックの周期の 2^8 倍であり、4 種類の中から選択できます。

● 7 ビット PWM モード（高速モード）

- 1 周期の "H" 幅を $1/128$ の分解能で制御できるため、デューティ比 0 ~ 99.2% で PWM 出力ができます。
- PWM 波の周期は、カウントクロックの周期の 2^7 倍（8 ビット PWM モードの $1/2$ ）であり、4 種類の中から選択できます。

● CK12PWM モード（8 ビット PWM, 7 ビット PWM）

- CH2 は 8 ビット PWM モードまたは 7 ビット PWM モードを選択できます。ただし、カウントクロックは CH1 の方形波出力となります。
- CH1 は 8 ビットタイマモードでの動作となり、PWM 波の周期を制御できます。

● CH12PWM モード

- PWM 波の "L" 幅は、CH1 の 4 種類のカウントクロックの周期の 1 倍からそれぞれの周期の 2^8 倍の周期までを制御できます。
- PWM 波の周期は、CH2 の 4 種類のカウントクロックの周期の 1 倍からそれぞれの周期の 2^8 倍の周期までを制御できます。
- PWM 波の分解能は通常 $1/255$ で制御できるため、デューティ比 0 ~ 99.6% で、PWM 出力ができます。
- PWM 波の分解能は最小 $1/2^{14}$ まで制御できますが、デューティ比は制限されます。

● 各モードの PWM 波の周期

表 8.2-1 PWM タイマ機能で設定できる PWM 波の周期

	カウントクロック周期		CH1, CH2 独立使用（通常モード）		CH12PWM モード	
			8 ビット PWM モードの周期	7 ビット PWM モード（高速モード）の周期	"L" 幅 (CH1)	1 周期幅 (CH2)
CH1 および CH12PWM モード以外の CH2	内部カウントクロック	$1t_{\text{inst}}$	$2^8 t_{\text{inst}}$	$2^7 t_{\text{inst}}$	$1t_{\text{inst}} \sim 2^8 t_{\text{inst}}$	$1t_{\text{inst}} \sim 2^8 t_{\text{inst}}$
		$8t_{\text{inst}}$	$2^{11} t_{\text{inst}}$	$2^{10} t_{\text{inst}}$	$2^3 t_{\text{inst}} \sim 2^{11} t_{\text{inst}}$	$2^3 t_{\text{inst}} \sim 2^{11} t_{\text{inst}}$
		$16t_{\text{inst}}$	$2^{12} t_{\text{inst}}$	$2^{11} t_{\text{inst}}$	$2^4 t_{\text{inst}} \sim 2^{12} t_{\text{inst}}$	$2^4 t_{\text{inst}} \sim 2^{12} t_{\text{inst}}$
		$64t_{\text{inst}}$	$2^{14} t_{\text{inst}}$	$2^{13} t_{\text{inst}}$	$2^6 t_{\text{inst}} \sim 2^{14} t_{\text{inst}}$	$2^6 t_{\text{inst}} \sim 2^{14} t_{\text{inst}}$
CH12PWM モードの CH2	CH1 方形波出力	$2t_{\text{inst}} \sim 2^{15} t_{\text{inst}}$	$2^9 t_{\text{inst}} \sim 2^{23} t_{\text{inst}}$	$2^8 t_{\text{inst}} \sim 2^{22} t_{\text{inst}}$	-	

t_{inst} : インストラクションサイクル（クロックモードやギヤ機能の影響を受けます）

8.3 2CH 8 ビット PWM タイマの構成

2CH 8 ビット PWM タイマは、以下のブロックで構成されています。

- プリスケーラ
- 8 ビット PWM タイマ 1 (CH1)
- 8 ビット PWM タイマ 2 (CH2)
- PWM コンペアレジスタ 1, 2 (COMR1, COMR2)
- PWM 制御レジスタ 1, 2, 3 (CNTR1, CNTR2, CNTR3)
- CK12 セレクタ
- CH1PWM 出力制御回路

■ 2CH 8 ビット PWM タイマのブロックダイアグラム

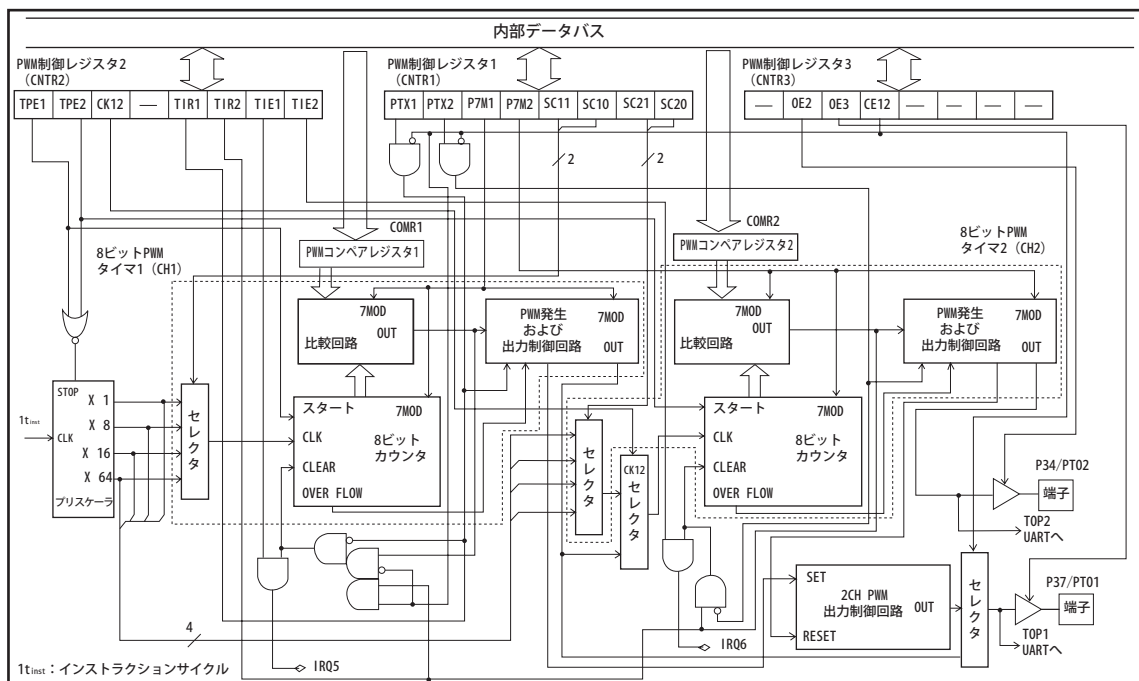


図 8.3-1 2CH 8 ビット PWM タイマのブロックダイアグラム

● プリスケーラ

周辺回路用の動作クロックを分周する回路です。

PWM 制御レジスタ CNTR2 のカウンタ動作許可ビット (CNTR2:TPE1, TPE2) のいずれかが "1" の場合、プリスケーラが動作し、4 種類の内部カウントクロックを出力します。

● 8 ビット PWM タイマ 1 (CH1) および 8 ビット PWM タイマ 2 (CH2)

- カウントクロックセレクタ:4種類の内部カウントクロックを選択する回路で, 8 ビットカウンタのカウントアップ用クロックになります。
- 8 ビットカウンタ : カウントクロックセレクタで選択されたカウントクロックでカウントアップします。
- 比較回路 :COMR レジスタの値を保持するラッチがあり , 8 ビットカウンタの値が "00_H" のとき ,COMR レジスタ値をラッチします。また , 8 ビットカウンタとラッチされた COMR レジスタの値とを比較します。
- PWM 発生および出力制御回路 : インターバルタイマ動作では , 比較結果の一致が検出されると割込み要求を発生し , 出力端子制御ビット (CNTR3:OE2 または OE3) が "1" のとき , 出力制御回路によって PWM 端子の出力レベルを反転します。このとき 8 ビットカウンタはクリアされます。PWM タイマ動作では , 比較結果の一致が検出されると , PWM 発生回路によって PWM 端子の出力レベルを "H" レベルから "L" レベルに変更します。この後 , 8 ビットカウンタがオーバフローすると "H" レベルになります。

● PWM コンペアレジスタ 1, 2 (COMR1, COMR2)

COMR レジスタは , 8 ビットカウンタのカウント値と比較する値を設定します。

● PWM 制御レジスタ 1, 2, 3 (CNTR1, CNTR2, CNTR3)

CNTR レジスタは , 動作モードの選択 , 動作の許可と禁止 , カウントクロックの設定 , 割込み制御および状態の確認を行います。

動作モードを PWM タイマモード (CNTR1:PTX1 または PTX2=1) にした場合は , 比較回路からの一致検出信号による 8 ビットカウンタのクリアは行われません。また , 割込み要求は発生しません。

● CK12 セレクタ

入力クロックの切替え回路で , 8 ビット PWM タイマ 2 (CH2) の入力クロックをカウントクロックセレクタ出力または 8 ビット PWM タイマ 1 (CH1) の方形波出力に切り替えます。

● CH12PWM 出力制御回路

CH12PWM モードにおいて , CH1 および CH2 のタイマ出力によって PWM 波の "L" 幅 (L → H) と周期 (H → L) を制御します。

● 2CH 8 ビット PWM タイマに関連する割込み要因

- IRQ5:CH1 のインターバルタイマ機能で , カウンタ値と COMR1 レジスタの設定値が一致したときに割込み要求出力が許可 (CNTR2:TIE1=1) されている場合 , 割込み要求が発生します (通常の PWM 機能動作時には割込み要求は発生しません)。
- IRQ6:CH2 のインターバルタイマ機能または CH12PWM モードで , カウンタ値と COMR2 レジスタの設定値が一致したときに割込み要求が許可 (CNTR2:TIE2=1) されている場合 , 割込み要求が発生します (通常の PWM 機能動作時には割込み要求は発生しません)。

8.4 2CH 8 ビット PWM タイマの端子

2CH 8 ビット PWM タイマに関連する端子および端子のブロックダイアグラムを示します。

■ 2CH 8 ビット PWM タイマに関連する端子

2CH 8 ビット PWM タイマに関連する端子は、P34/PTO2, P37/PTO1 端子です。

● P34/PTO2, P37/PTO1 端子

これらの端子は、汎用入出力ポートとしての機能 (P34, P37) と、インターバルタイマまたは PWM タイマ出力としての機能 (PTO1, PTO2) を兼用しています。

PTO1, PTO2: インターバルタイマ機能時は、方形波が出力されます。

PWM タイマ機能時は、PWM 波が出力されます。

P34/PTO2, P37/PTO1 端子は、リソース出力端子制御ビットに "1" を設定 (CNTR3:OE=1) した場合、ポート方向レジスタ出力ラッチデータ (DDR: bit1) の値に関係なく自動的に出力端子になり、PTO1, PTO2 端子として機能します。

■ 2CH 8 ビット PWM タイマに関連する端子のブロックダイアグラム

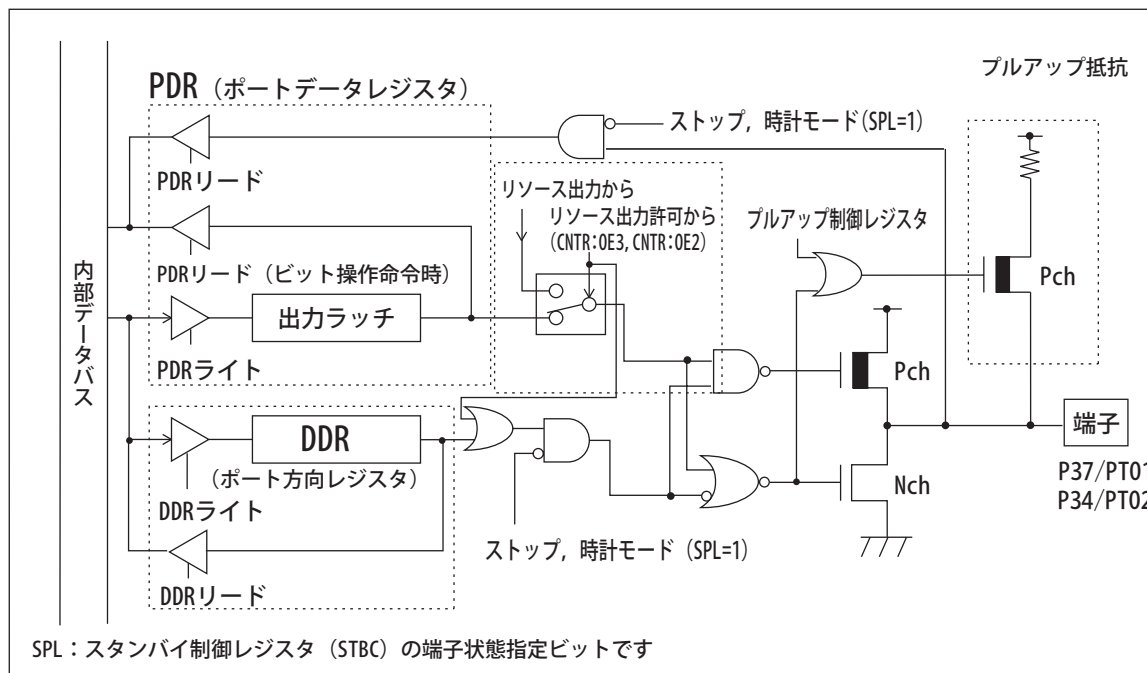


図 8.4-1 2CH 8 ビット PWM タイマに関連する端子のブロックダイアグラム

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップは無効になり、ハイインピーダンスになります。

8.5 2CH 8 ビット PWM タイマのレジスタ

2CH 8 ビット PWM タイマに関連するレジスタを示します。

■ 2CH 8 ビット PWM タイマに関連するレジスタ

CNTR1, 2, 3 (PWM制御レジスタ1, 2, 3)

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CNTR1	0027 _H	PTX1	PTX2	P7M1	P7M2	SC11	SC10	SC21	SC20	00000000 _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CNTR2	0028 _H	TPE1	TPE2	CK12	—	TIR1	TIR2	TIE1	TIE2	000-0000 _B
		R/W	R/W	R/W		R/W	R/W	R/W	R/W	

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CNTR3	0029 _H	—	0E2	0E3	CH12	—	—	—	—	-000---- _B
			R/W	R/W	R/W					

COMR1, 2 (PWMコンペアレジスタ1, 2)

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
COMR1	002A _H									XXXXXXXX _B
		W	W	W	W	W	W	W	W	

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
COMR2	002B _H									XXXXXXXX _B
		W	W	W	W	W	W	W	W	

R/W: リード・ライト可能

W : ライトオンリ

— : 未使用

X : 不定

図 8.5-1 2CH 8 ビット PWM タイマに関連するレジスタ

注意事項

PWM コンペアレジスタ 1, 2 (COMR1, COMR2) は、書込み専用 (ライトオンリ) のため、ビット操作命令は使用できません。

8.5.1 PWM 制御レジスタ 1 (CNTR1)

PWM 制御レジスタ 1 (CNTR1) は、2CH 8 ビット PWM タイマの動作モード (インターバルタイマ動作, PWM タイマ動作) の選択, PWM タイマ機能の分解能の切替えおよびカウントクロックの選択を行うレジスタです。

■ PWM 制御レジスタ 1 (CNTR1)

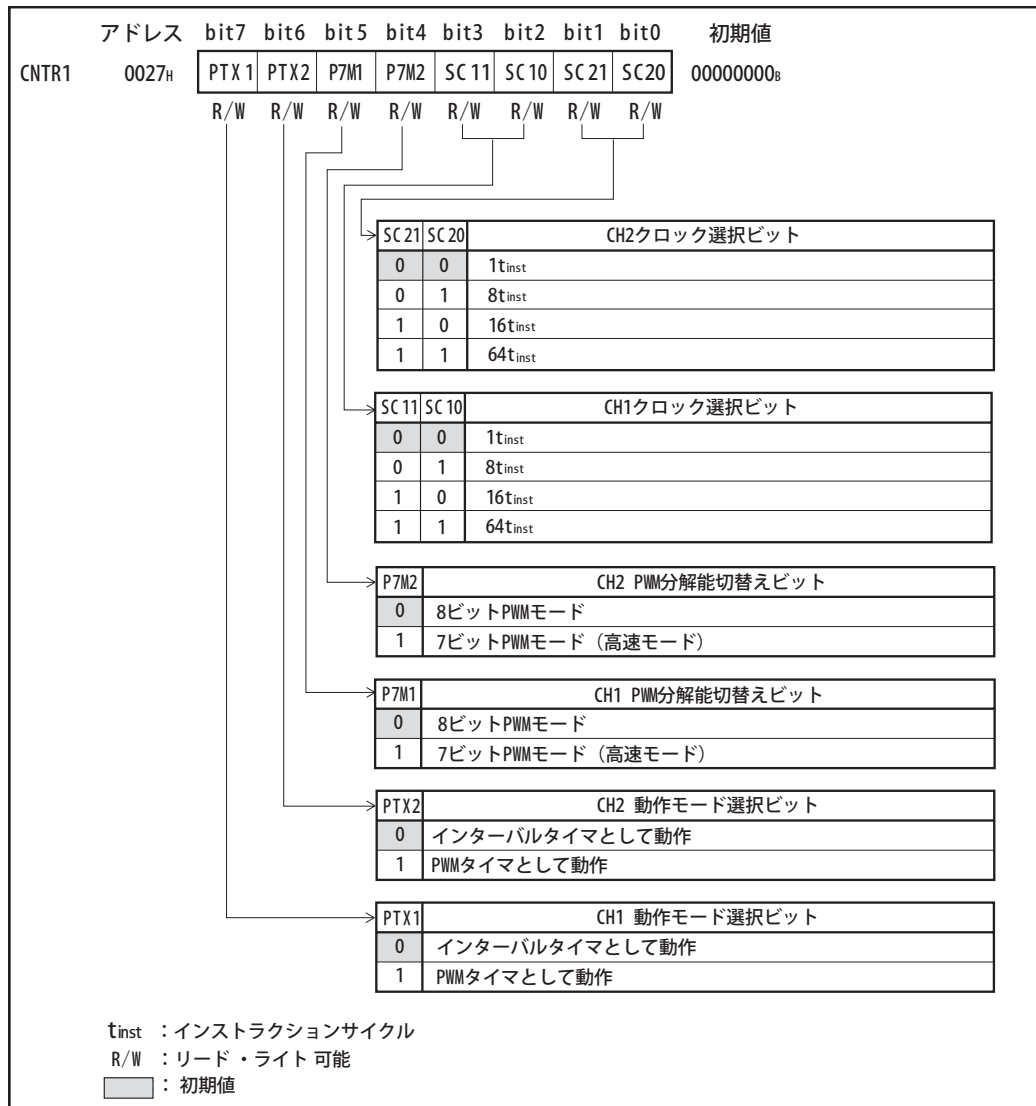


図 8.5-2 PWM 制御レジスタ 1 (CNTR1)

表 8.5-1 PWM 制御レジスタ 1 (CNTR1) の各ビットの機能説明

ビット名		機 能
bit7	PTX1: CH1 動作モード 選択ビット	<p>CH1 のインターバルタイマ動作と PWM タイマ動作の選択を行うビットです。</p> <ul style="list-style-type: none"> このビットを "0" に設定するとインターバルタイマ動作になり, "1" に設定すると PWM タイマ動作になります。 <p>< 注記 > このビットへの書込みは, カウンタ動作停止 (CNTR2:TPE1=0), 割込み禁止 (CNTR2:TIE1=0) および割込み要求フラグビットをクリア (CNTR2:TIR1=0) してから行ってください。 また, CH12 モード (CNTR3:CH12=1) 時は, このビットは意味を持ちません。</p>
bit6	PTX2: CH2 動作モード 選択ビット	<p>CH2 のインターバルタイマ動作と PWM タイマ動作の選択を行うビットです。</p> <ul style="list-style-type: none"> このビットを "0" に設定するとインターバルタイマ動作になり, "1" に設定すると PWM タイマ動作になります。 <p>< 注記 > このビットへの書込みは, カウンタ動作停止 (CNTR2:TPE2=0), 割込み禁止 (CNTR2:TIE2=0) および割込み要求フラグビットをクリア (CNTR2:TIR2=0) してから行ってください。 また, CH12 モード (CNTR3:CH12=1) 時は, このビットは意味を持ちません。</p>
bit5	P7M1:CH1PWM 分解能切替え ビット	<p>CH1 の PWM タイマ動作時に, 8 ビット PWM モードと 7 ビット PWM モード (高速モード) の切替えを行うビットです。</p> <ul style="list-style-type: none"> このビットを "0" に設定すると 8 ビット PWM モードになり, "1" に設定すると 7 ビット PWM モードになります。 <p>< 注記 > インターバルタイマ動作時には, "1" を書き込まないでください。</p>
bit4	P7M2:CH2PWM 分解能切替え ビット	<p>CH2 の PWM タイマ動作時に, 8 ビット PWM モードと 7 ビット PWM モード (高速モード) の切替えを行うビットです。</p> <ul style="list-style-type: none"> このビットを "0" に設定すると 8 ビット PWM モードとなり, "1" に設定すると 7 ビット PWM モードとなります。 <p>< 注記 > インターバルタイマ動作時には, "1" を書き込まないでください。</p>
bit3 bit2	SC11, SC10:CH1 クロック選択 ビット	<p>CH1 のインターバルタイマ機能と PWM タイマ機能のカウントクロックを選択するビットです。</p> <ul style="list-style-type: none"> 4 種類の CH1 の内部カウントクロックを選択できます。 <p>< 注記 > CH1 のカウンタが動作中 (CNTR2:TPE1=1) のときは, 切り替えないでください。</p>
bit1 bit0	SC21, SC20:CH2 クロック選択 ビット	<p>CH2 のインターバルタイマ機能と PWM タイマ機能のカウントクロックを選択するビットです。</p> <ul style="list-style-type: none"> 4 種類の CH2 の内部カウントクロックを選択できます。 <p>< 注記 > CH2 のカウンタが動作中 (CNTR2:TPE2=1) のときは, 切り替えないでください。</p>

8.5.2 PWM 制御レジスタ 2 (CNTR2)

PWM 制御レジスタ 2 (CNTR2) は、2CH 8 ビット PWM タイマの動作の許可と禁止、CK12 モードの選択、割り込み制御および状態の確認を行うレジスタです。

■ PWM 制御レジスタ 2 (CNTR2)

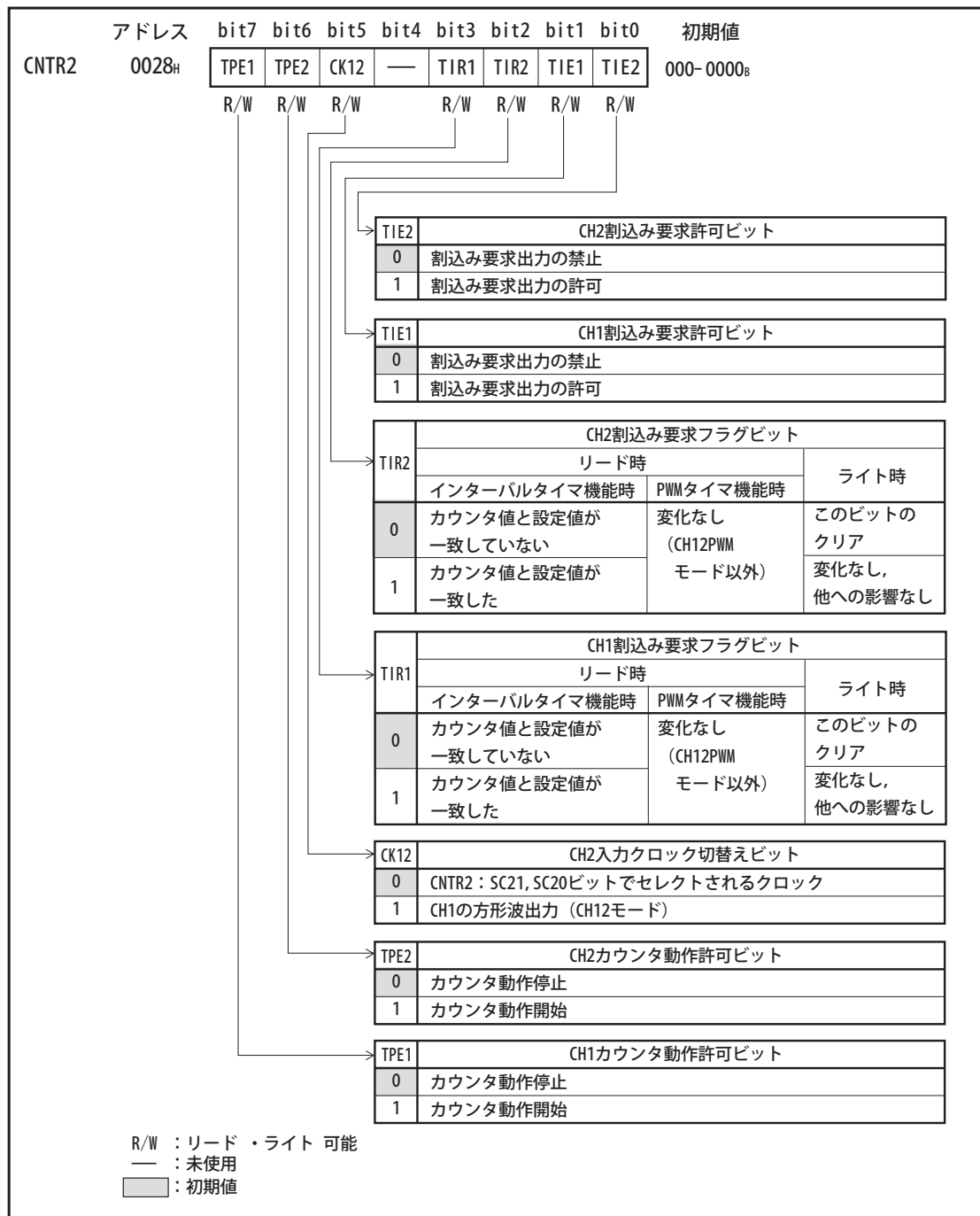


図 8.5-3 PWM 制御レジスタ 2 (CNTR2)

表 8.5-2 PWM 制御レジスタ 2 (CNTR2) の各ビットの機能説明

ビット名		機 能
bit7	TPE1: CH1 カウンタ 動作許可ビット	CH1 のインターバルタイマ動作, PWM タイマ動作の起動 / 停止を行うビットです。 <ul style="list-style-type: none"> このビットを "1" に設定するとカウント動作を開始し, "0" に設定するとカウンタ値を "00_H" にクリアして停止します。
bit6	TPE2: CH2 カウンタ 動作許可ビット	CH2 のインターバルタイマ動作, PWM タイマ動作の起動 / 停止を行うビットです。 <ul style="list-style-type: none"> このビットを "1" に設定するとカウント動作を開始し, "0" に設定するとカウンタ値を "00_H" にクリアして停止します。
bit5	CK12: CH2 入力 クロック切替え ビット	CH2 の入力クロックの切替えを行うビットです。 <ul style="list-style-type: none"> このビットを "0" に設定すると, SC21, SC20 ビットで選択されたクロックが入力クロックになります。 このビットを "1" に設定すると, SC21, SC20 ビットの値に関係なく, CH1 の方形波出力が入力クロックとなり, CK12 モードとして動作します。 <p>< 注記 > CH12PWM モード (CNTR3:CH12=1) 時は, "1" を書き込まないでください。 また, CH1 が PWM タイマ動作時 (CNTR1:PTX1=1) は, "1" を書き込まないでください。</p>
bit4	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書込みは意味を持ちません。
bit3	TIR1: CH1 割込み要求 フラグビット	CH1 のインターバルタイマ機能時, カウンタ値と PWM コンペアレジスタ 1 (COMR1) 値が一致すると "1" にセットされるフラグです。 <ul style="list-style-type: none"> このビットと, CH1 割込み要求許可ビット (TIE1) が "1" のとき, CPU への割込み要求を出力します。 CH12PWM モード以外の PWM タイマ機能時, 割込み要求は発生しません。 書込み時は "0" でクリアされ, "1" では意味を持ちません。
bit2	TIR2: CH2 割込み要求 フラグビット	CH2 のインターバルタイマ機能時および CH12PWM モード時, カウンタ値と PWM コンペアレジスタ 2 (COMR2) 値が一致すると "1" にセットされるフラグです。 <ul style="list-style-type: none"> このビットと CH2 割込み要求許可ビット (TIE2) が "1" のとき, CPU への割込み要求を出力します。 CH12PWM モード以外の PWM タイマ機能時, 割込み要求は発生しません。 書込み時は "0" でクリアされ, "1" では意味を持ちません。
bit1	TIE1: CH1 割込み要求 許可ビット	CH1 の CPU への割込み要求出力の許可 / 禁止を行うビットです。 <ul style="list-style-type: none"> このビットと CH1 割込み要求フラグビット (TIR1) が "1" のとき, 割込み要求を出力します。 <p>< 注記 > CH12PWM モード (CNTR3:CH12=1) 時は, 割込み要求出力を禁止 (TIE1=0) してください。</p>
bit0	TIE2: CH2 割込み要求 許可ビット	CH2 の CPU への割込み要求出力の許可 / 禁止を行うビットです。 <ul style="list-style-type: none"> このビットと CH2 割込み要求フラグビット (TIR2) が "1" のとき, 割込み要求を出力します。

8.5.3 PWM 制御レジスタ 3 (CNTR3)

PWM 制御レジスタ 3 (CNTR3) は、2CH 8 ビット PWM タイマの CH12PWM モードの選択および出力端子の制御を行うレジスタです。

■ PWM 制御レジスタ 3 (CNTR3)

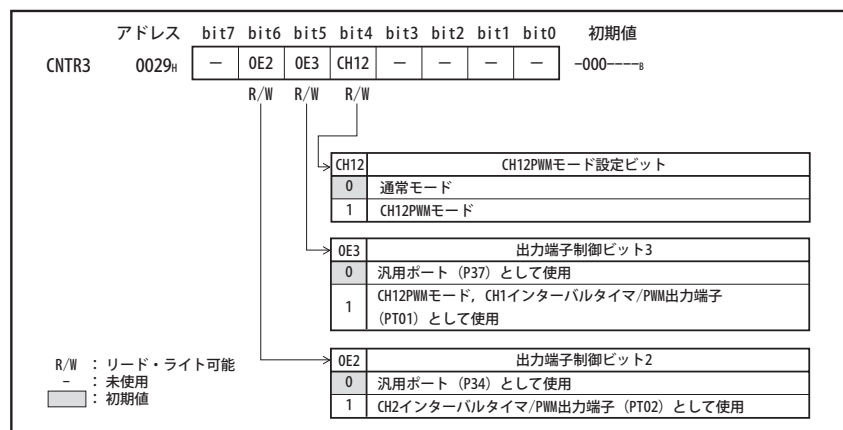


図 8.5-4 PWM 制御レジスタ 3 (CNTR3)

表 8.5-3 PWM 制御レジスタ 3 (CNTR3) の各ビットの機能説明

ビット名		機 能
bit7	未使用ビット	未使用ビットです。 ・ 読出しの値は不定です。 ・ 書込みは意味を持ちません。
bit6	OE2: 出力端子制御 ビット 2	P34/PTO2 端子の汎用ポートと専用端子の切替えを行うビットです。 ・ このビットを "0" に設定すると汎用ポート (P34) になり, "1" に設定すると専用端子 (PTO2) になります。 ・ PTO2 端子は CH2 出力で, インターバルタイマ機能時には方形波が, PWM タイマ機能時には PWM 波が出力されます。
bit5	OE3: 出力端子制御 ビット 3	P37/PTO1 端子の汎用ポートと専用端子の切替えを行うビットです。 ・ このビットを "0" に設定すると, 汎用ポート (P37) になり, "1" に設定すると専用端子 (PTO1) になります。 ・ PTO1 端子は CH1 出力で, インターバルタイマ機能時には方形波が, PWM タイマ機能時には PWM 波が出力されます。また, CH12PWM モード時には PWM 波が出力されます。
bit4	CH12: CH12PWM モード 設定ビット	通常モードと CH12PWM モードの切替えを行うビットです。 ・ このビットに "0" を設定すると CH1 と CH2 は独立に動作できます。 ・ "1" に設定すると, CH1 で "L" 幅を CH2 で周期を指定する CH12PWM モードとして動作します。 ・ CH12PWM モードの場合, 動作モード選択ビット (CNTR1:PTX1, PTX2) は意味を持ちません。 < 注記 > CK12 モード設定時 (CNTR2:CK12=1) は, "1" を書き込まないでください。 また, CH1 または CH2 のカウンタが動作中 (CNTR2:TIE1 または TIE2=1) は書き換えないでください。
bit3 bit2 bit1 bit0	未使用ビット	・ 読出しの値は不定です。 ・ 書込みは意味を持ちません。

8.5.4 PWM コンペアレジスタ 1 (COMR1)

PWM コンペアレジスタ 1 (COMR1) は、CH1 のデータレジスタです。インターバルタイマ機能動作時はこのレジスタ値がインターバル時間となり、通常の PWM タイマ機能動作時はパルスの "H" 幅となります。また、CH12PWM モード時はパルスの "L" 幅となります。

■ PWM コンペアレジスタ 1 (COMR1)

PWM コンペアレジスタ 1 のビット構成を図 8.5-5 に示します。

このレジスタは書き込み専用 (ライトオンリ) のため、ビット操作命令は使用できません。



図 8.5-5 PWM コンペアレジスタ 1 (COMR1)

● インターバルタイマ動作時 (8 ビットタイマモードおよび CK12 モード)

カウンタ値との比較値を設定することにより、インターバル時間 (方形波出力周波数) を指定します。

COMR1 レジスタに書き込んだ設定値とカウンタ値が一致するとカウンタはクリアされ、割込み要求フラグビットが "1" にセット (CNTR2:TIR1=1) されます。

カウンタが動作中に、COMR1 レジスタに値を書き込んだ場合、その値は次のサイクル (一致検出後) から有効になります。

8 ビットタイマ動作および CK12 モード動作時の COMR1 レジスタの設定値は、以下の式で算出します。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

$$\text{COMR1 レジスタ値} = \text{インターバル時間} / (\text{カウントクロック周期} \times \text{インストラクションサイクル}) - 1$$

● PWM タイマ動作時 (8 ビット PWM モードおよび 7 ビット PWM モード)

カウンタ値との比較値を設定することにより、パルスの "H" 幅を指定します。

COMR1 レジスタに書き込まれた設定値とカウンタ値が一致するまで、PTO1 端子から "H" を出力します。一致するとカウンタ値がオーバフローするまで "L" を出力します。カウンタが動作中に、COMR1 レジスタに値を書き込んだ場合、その値は次のサイクル (オーバフロー後) から有効になります。

PWM タイマ動作時の COMR1 レジスタの設定値および周期は、以下の式で算出します。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

- 8 ビット PWM モード
COMR1 レジスタ値 = デューティ比 (%) × 256
PWM 波周期 = カウントクロック周期 × インストラクションサイクル × 256
- 7 ビット PWM モード
COMR1 レジスタ値 = デューティ比 (%) × 128
PWM 波周期 = カウントクロック周期 × インストラクションサイクル × 128

● CH12PWM モード動作時

カウンタ値との比較値を設定することにより、パルスの "L" 幅を指定します。

COMR1 レジスタに書き込まれた設定値とカウンタ値が一致するまで、PTO1 端子から "L" を出力します。一致すると "H" を出力します。

カウンタが動作中に、COMR1 レジスタに値を書き込んだ場合、その値は次のサイクルから有効になります。

CH12PWM モード動作時の COMR1 レジスタの設定値は、以下の式で算出します。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

$$\text{COMR1 レジスタ値} = \text{PWM 波の "L" 幅の時間} / (\text{カウントクロック周期} \times \text{インストラクションサイクル}) - 1$$

8.5.5 PWM コンペアレジスタ 2 (COMR2)

PWM コンペアレジスタ 2 (COMR2) は、CH2 のデータレジスタです。インターバルタイマ機能動作時はこのレジスタ値がインターバル時間となり、通常の PWM タイマ機能動作時はパルスの "H" 幅となります。また、CH12PWM モード時は PWM 波の周期となります。

■ PWM コンペアレジスタ 2 (COMR2)

PWM コンペアレジスタ 2 のビット構成を図 8.5-6 に示します。

このレジスタは書き込み専用(ライトオンリ)のため、ビット操作命令は使用できません。



図 8.5-6 PWM コンペアレジスタ 2 (COMR2)

● インターバルタイマ動作時(8 ビットタイマモードおよび CK12 モード)

カウンタ値との比較値を設定することにより、インターバル時間を指定します。

COMR2 レジスタに書き込んだ設定値とカウンタ値が一致するとカウンタはクリアされ、割込み要求フラグビットが "1" にセット (CNTR2:TIR2=1) されます。

カウンタが動作中に、COMR2 レジスタに値を書き込んだ場合、その値は次のサイクル(一致検出後)から有効になります。

インターバルタイマ動作時の COMR2 レジスタの設定値は、以下の式で算出します。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

• 8 ビットタイマモード

COMR2 レジスタ値 = インターバル時間 / (カウントクロック周期 × インストラクションサイクル) - 1

• CK12 モード

COMR2 レジスタ値 = インターバル時間 / CH1 方形波出力 - 1

● PWM タイマ動作時 (8 ビット PWM モードおよび 7 ビット PWM モード)

カウンタ値との比較値を設定することにより、パルスの "H" 幅を指定します。

COMR2 レジスタに書き込まれた設定値とカウンタ値が一致するまで、PTO2 端子から "H" を出力します。一致するとカウンタ値がオーバーフローするまで "L" を出力します。カウンタが動作中に、COMR2 レジスタに値を書き込んだ場合、その値は次のサイクル (オーバーフロー後) から有効になります。

PWM タイマ動作時の COMR2 レジスタの設定値および PWM 波周期は、以下の式で算出します。ただし、インストラクションサイクルはクロックモードやギア機能の影響を受けます。

• 8 ビット PWM モード

$$\text{COMR2 レジスタ値} = \text{デューティ比 (\%)} \times 256$$

$$\text{PWM 波周期} = \text{カウントクロック周期} \times \text{インストラクションサイクル} \times 256$$

• 7 ビット PWM モード

$$\text{COMR2 レジスタ値} = \text{デューティ比 (\%)} \times 128$$

$$\text{PWM 波周期} = \text{カウントクロック周期} \times \text{インストラクションサイクル} \times 128$$

● CH12PWM モード動作時

カウンタ値との比較値を設定することにより、PWM 波形の周期を指定します。

COMR2 レジスタに書き込んだ設定値とカウンタ値が一致すると CH1 と CH2 のカウンタは同時にクリアされ、割込み要求フラグビット (CNTR2:TIR2) が "1" にセットされます。

このとき、PTO1 端子は "L" レベルになります。

カウンタが動作中に、COMR2 レジスタに値を書き込んだ場合、その値は次のサイクルから有効になります。

CH12PWM モード動作時の COMR2 レジスタの設定値は、以下の式で算出します。ただし、インストラクションサイクルはクロックやギア機能の影響を受けます。

$$\text{COMR2 レジスタ値} = \text{PWM 波の 1 周期の時間} / (\text{カウントクロック周期} \times \text{インストラクションサイクル}) - 1$$

8.6 2CH 8 ビット PWM タイマの割込み

2CH 8 ビット PWM タイマの割込みは、インターバルタイマ機能動作時のカウンタ値と PWM コンペアレジスタ値が一致した場合に発生します。CH12PWM モード以外の PWM タイマ機能動作時には、割込み要求は発生しません。

■ インターバルタイマ機能および CH12PWM モード動作時の割込み

カウンタ値が "00_H" から、選択したカウントクロックでカウントアップし、PWM コンペアレジスタ (COMR) の値と一致した場合、対応する割込み要求フラグビット (CNTR2:TIR1, TIR2) が "1" にセットされます。

そのとき、割込み要求許可ビットを許可 (CNTR2:TIE2=1) にしていると、CPU へ割込み要求 (IRQ6) が発生します。割込み処理ルーチンで TIR ビットに "0" を書き込むことにより、割込み要求をクリアしてください。

なお、TIR1, TIR2 ビットは TIE1, TIE2 ビットの値に関係なく、カウンタ値と設定値が一致すれば "1" にセットされます。

カウンタ値が COMR レジスタ値に一致した場合と、カウンタ停止 (CNTR2:TPE1=0, TPE2=0) とが同時に起こった場合は、TIR ビットのセットは行われません。

TIR ビットが "1" のとき、TIE ビットを禁止から許可 (0 → 1) にすると割込み要求が発生します。

< 注意事項 >

CH12PWM モード時の割込みについては、CH1 は割込み禁止 (CNTR:TIE1=0) とし、使用しないでください。CH2 はインターバルタイマ機能時と同様に使用できます。

■ 2CH 8 ビット PWM タイマの割込みに関連するレジスタとベクトルテーブル

表 8.6-1 2CH 8 ビット PWM タイマの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQ5	ILR2 (007C _H)	L51 (bit3)	L50 (bit2)	FFF0 _H	FFF1 _H
IRQ6	ILR2 (007C _H)	L61 (bit5)	L60 (bit4)	FFEE _H	FFEF _H

割込み動作については「3.4.2 割込み動作時の処理」を参照してください。

8.7 インターバルタイマ機能の動作説明

2CH 8ビットPWM タイマの8ビットタイマモード, およびCK12モードのインターバルタイマ機能の動作について説明します。

■ インターバルタイマ機能の動作

2CH 8ビットPWM タイマ (CH1, CH2) を8ビットタイマモードでインターバルタイマ機能として動作させるためには, 図 8.7-1 に示す設定が必要です。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR1	PTX1	PTX2	P7M1	P7M2	SC11	SC10	SC21	SC20
CH1.....	0	×	0	×	◎	◎	×	×
CH2.....	×	0	×	0	×	×	◎	◎
CK12.....	0	0	0	0	◎	◎	×	×

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR2	TPE1	TPE2	CK12	—	TIR1	TIR2	TIE1	TIE2
CH1.....	1	×	0		◎	×	◎	×
CH2.....	×	1	0		×	◎	×	◎
CK12.....	1	1	1		◎	◎	◎	◎

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR3	—	OE2	OE3	CH12	—	—	—	—
CH1.....		×	◎	0				
CH2.....		◎	×	0				
CK12.....		◎	◎	1				

COMR1	CH1のインターバル時間 (コンペア値) を設定
COMR2	CH2のインターバル時間 (コンペア値) を設定

◎ : 使用ビット
1 : "1"を設定
0 : "0"を設定
× : 未使用ビット (0を設定)
CH1 : 8ビットタイマモードCH1
CH2 : 8ビットタイマモードCH2
CK12: CK12モード

図 8.7-1 インターバルタイマ機能の設定

カウンタを起動すると, 選択したカウントクロックの立上りで, "00_H"からカウントアップを始めます。カウンタ値が COMR レジスタに設定した値 (比較値) と一致した場合, 次のカウントクロックの立上りによって, PTO1, PTO2 端子のレベルの反転, カウンタのクリア, 割込み要求フラグビットのセット (CNTR2:TIR1, TIR2=1) を行い, 再び "00_H"からカウントを始めます。

CK12 モード時は CH1 の方形波出力が CH2 のカウントクロックになります。

2CH 8ビットPWM タイマの動作を図 8.7-2 に示します。

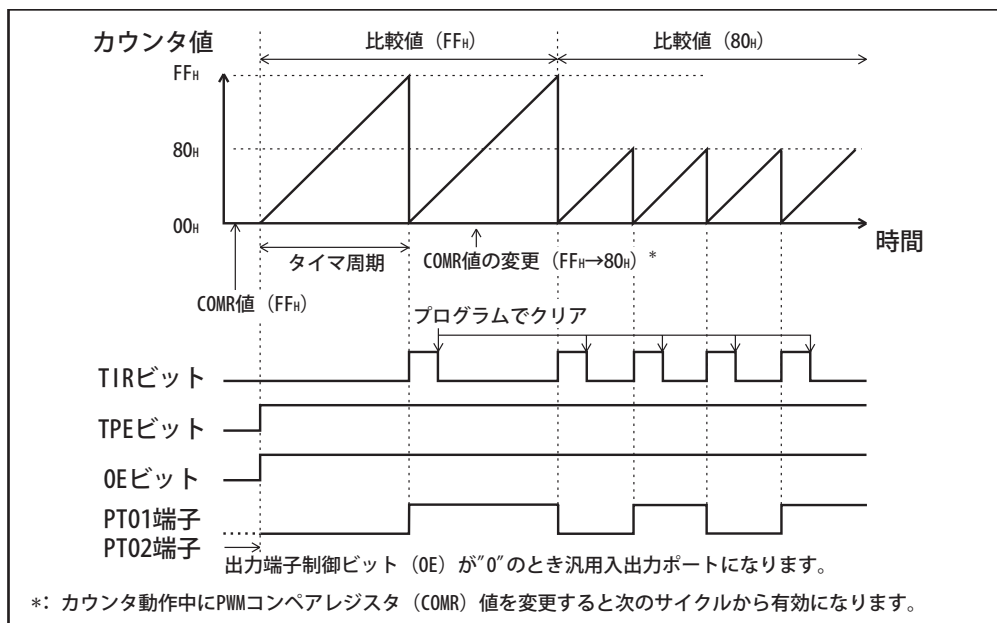


図 8.7-2 2CH 8 ビット PWM タイマの動作

COMR レジスタの値を "00_H" にすると, PTO1 端子または PTO2 端子の出力は選択したカウントクロック周期で反転します。

インターバルタイマ機能時, カウンタ停止状態 (CNTR2:TPE1=0, TPE2=0) の PTO1 端子または PTO2 端子の出力は "L" レベルです。

< 注意事項 >

インターバルタイマ機能動作中 (CNTR2:TPE1, TPE2=1) は, 対応するカウントクロック周期 (CNTR1:SC11, SC10 または SC21, SC20) を変更しないでください。ただし, CK12 モード時は SC21, SC20 ビットは意味を持ちません。

8.8 8 ビット PWM モードの動作説明

2CH 8 ビット PWM タイマの 8 ビット PWM モードの動作について説明します。

■ PWM タイマ機能の動作

2CH 8 ビット PWM タイマ (CH1, CH2) を 8 ビット PWM モードで PWM タイマ機能として動作させるには, 図 8.8-1 に示す設定が必要です。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR1	PTX1	PTX2	P7M1	P7M2	SC11	SC10	SC21	SC20
CH1.....	1	×	0	×	◎	◎	×	×
CH2.....	×	1	×	0	×	×	◎	◎

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR2	TPE1	TPE2	CK12	—	TIR1	TIR2	TIE1	TIE2
CH1.....	1	×	0		×	×	×	×
CH2.....	×	1	0		×	×	×	×

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR3	—	OE2	OE3	CH12	—	—	—	—
CH1.....		×	1	0				
CH2.....		1	×	0				

COMR1	CH1 のパルスの "H" 幅 (コンペア値) を設定							
COMR2	CH2 のパルスの "H" 幅 (コンペア値) を設定							

◎ : 使用ビット
 1 : 1 を設定
 0 : 0 を設定
 × : 未使用ビット (0 を設定)

CH1 : 8 ビットタイマモード CH1
 CH2 : 8 ビットタイマモード CH2

図 8.8-1 8 ビット PWM モードの設定

カウンタを起動すると, 選択したカウントクロックの立上りで, "00_H" からカウントアップを始めます。PTO1 端子, PTO2 端子出力 (PWM 波形) は, カウンタ値が COMR レジスタに設定した値と一致するまで "H" になり, 一致後は, カウンタ値がオーバーフロー (FF_H 00_H) するまで "L" になります。

CK12 ビットを "1" に設定し, CH1 を 8 ビットタイマモード, CH2 を PWM モードで動作させると, CK12PWM モードになります。

PTO1 端子, PTO2 端子に出力される PWM 波形を図 8.8-2 に示します。

PWM タイマ機能時, カウンタ停止状態 (CNTR2:TPE1=0, TPE2=0) の PTO1 端子, PTO2 端子の出力は, 停止直前のレベルを保持しています。

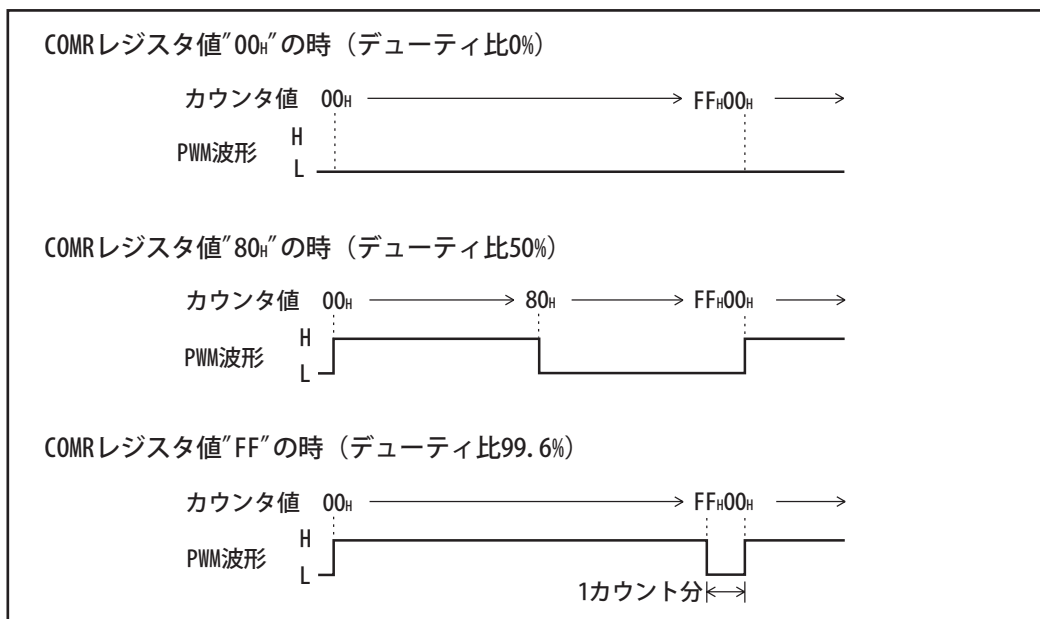


図 8.8-2 8 ビット PWM モードの PWM 波形出力例

< 注意事項 >

PWM タイマ機能動作中 (CNTR2:TPE1=1, TPE2=1) は、対応するカウントクロック周期 (CNTR1:SC11, SC10 または SC21, SC20) を変更しないでください。

CH1 が PWM タイマ動作中は、CK12 モード (CNTR2:CK12=1) に設定できません。

8.9 7 ビット PWM モードの動作説明

2CH 8 ビット PWM タイマの 7 ビット PWM モード (高速モード) の動作について説明します。

■ 高速 PWM タイマ機能の動作

2CH 8 ビット PWM タイマ (CH1, CH2) を 7 ビット PWM モードで PWM タイマ機能として動作させるためには, 図 8.9-1 に示す設定が必要です。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR1	PTX1	PTX2	P7M1	P7M2	SC11	SC10	SC21	SC20
CH1	1	×	1	×	◎	◎	×	×
CH2	×	1	×	1	×	×	◎	◎

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR2	TPE1	TPE2	CK12	—	TIR1	TIR2	TIE1	TIE2
CH1	1	×	0		×	×	×	×
CH2	×	1	0		×	×	×	×

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR3	—	0E2	0E3	CH12	—	—	—	—
CH1		×	1	0				
CH2		1	×	0				

	bit7	
COMR1	—	CH1のパルスの"H"幅(コンペア値)を設定

	bit7	
COMR2	—	CH2のパルスの"H"幅(コンペア値)を設定

◎：使用ビット
 1：1を設定
 0：0を設定
 ×：未使用ビット(0を設定)
 CH1：7ビットタイマモードCH1
 CH2：7ビットタイマモードCH2

図 8.9-1 7 ビット PWM モードの設定

カウンタを起動すると, 選択したカウントクロックの立上りで, "00_H"からカウントアップを始めます。PTO1 端子, PTO2 端子出力 (PWM 波形) は, カウンタ値が COMR レジスタに設定した値と一致するまで "H" になり, 一致後は, カウンタ値がオーバフロー (7F_H → 00_H) するまで "L" になります。

7 ビット PWM モードは 8 ビット PWM モードよりカウンタのビット数が 1 ビット少ないため, PWM 周波数が 2 倍 (周期が半分) の高速動作となります。

CK12 ビットを "1" に設定し, CH1 を 8 ビットタイマモード, CH2 を PWM モードで動作させると, CK12PWM モードになります。

PTO1, PTO2 端子に出力される PWM 波形を図 8.9-2 に示します。

PWM タイマ機能時, カウンタ停止状態 (CNTR2:TPE1=0, TPE2=0) の PTO1 端子, PTO2 端子の出力は, 停止直前のレベルを保持しています。

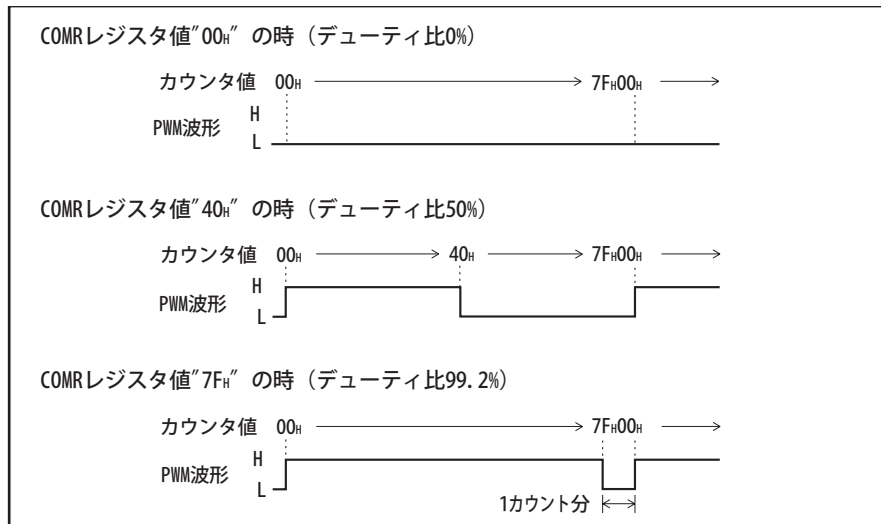


図 8.9-2 7 ビット PWM モードの PWM 波形出力例

< 注意事項 >

PWM タイマ機能動作中 (CNTR2:TPE1=1, TPE2=1) は, 対応するカウントクロック周期 (CNTR1:SC11, SC10 または SC21, SC20) を変更しないでください。

CH1 が PWM タイマ動作中は, CK12 モード (CNTR2:CK12=1) に設定できません。

8.10 CH12PWM モードの動作説明

2CH 8 ビット PWM タイマの, CH12PWM モードの動作について説明します。

■ CH12PWM モードの動作

2CH 8 ビット PWM タイマ (CH1, CH2) を CH12PWM モードで PWM タイマ機能として動作させるためには, 図 8.10-1 に示すレジスタの設定が必要です。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR1	PTX1	PTX2	P7M1	P7M2	SC 11	SC 10	SC 21	SC 20
	×	×	0	0	◎	◎	◎	◎
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR2	TPE1	TPE2	CK 12	—	TIR1	TIR2	TIE1	TIE2
	1	1	0	—	×	◎	0	◎
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CNTR3	—	OE2	OE3	CH12	—	—	—	—
	—	0	1	1	—	—	—	—
COMR1	PWM 波の“L”幅 (コンペア値) を設定							
COMR2	PWM 波の1周期 (コンペア値) を設定							

◎ : 使用ビット
 1 : 1を設定
 0 : 0を設定
 × : 未使用ビット (0を設定)

図 8.10-1 CH12PWM モードの設定

CH1 と CH2 のカウンタはカウンタを起動すると, それぞれ選択したカウントクロックの立上りで, "00_H" からカウントアップを始めます。PTO1 端子出力 (PWM 波形) は, CH1 カウンタ値が COMR1 レジスタに設定した値と一致するまで "L" になり, 一致後は, "H" になります。CH2 カウンタ値が COMR2 レジスタに設定した値と一致すると, CH1 と CH2 のカウンタは同時にクリアされ, 再び "00_H" からカウントアップを始めます。このとき, PTO1 端子出力は "L" になり, 割込み要求フラグビットがセット (CNTR2: TIR2=1) されます。

カウンタの起動は CH1 と CH2 を同時 (CNTR2:TPE1=1, TPE2=1) に行ってください。別々に起動すると PWM 波の最初の 1 周期の "L" 幅または周期に影響を与えます。

PWM 波の "L" 幅となる CH1 のタイマ時間が, PWM 波の周期となる CH2 のタイマ時間よりも大きくなれば PWM 波は出力されなくなります。

CH1 と CH2 に同じカウントクロック周期を選択した場合の PTO1 端子に出力される PWM 波形を図 8.10-2 に示します。

PWM タイマ機能時, カウンタ停止状態 (CNTR2:TPE1=0, TPE2=0) の PTO1 端子の出力は, 停止直前のレベルを保持しています。

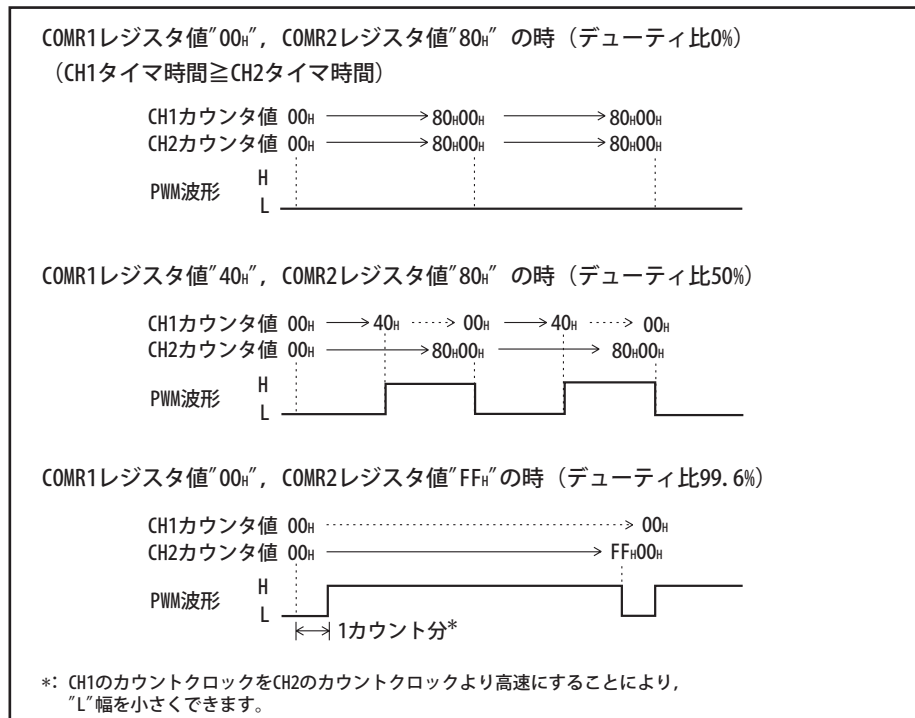


図 8.10-2 PWM 波形 (PWM 端子) 出力例

< 注意事項 >

PWM タイマ機能動作中 (CNTR2:TPE1=1, TPE2=1) は, 対応するカウントクロック周期 (CNTR1:SC11, SC10 および SC21, SC20) を変更しないでください。

CH12PWM モード動作中は, CK12 モード (CNTR2:CK12=1) に設定できません。また, CH1 の割込み要求出力を禁止 (CNTR2:TIE1=0) してください。

8.11 2CH 8 ビット PWM タイマのプリスケアラの動作説明

2CH 8 ビット PWM タイマのプリスケアラの動作について説明します。

■ プリスケアラの動作

2CH 8 ビット PWM タイマのプリスケアラは PWM 制御レジスタ 2 のカウンタ動作許可ビット (CNTR2:TPE1, TPE2) のいずれかが "1" のときに動作が許可されます。

したがって, TPE1, TPE2 を同時に "1" にすると, CH1, CH2 共にはじめの 1 周期目から全く同じ動作をします。

しかし, すでに TPE1, TPE2 のいずれかが "1" になっている状態で, 他方のカウンタの動作を許可した場合, カウントアップ開始が非同期となるため, 最初の 1 周期はカウンタクロック周期の 1 サイクル以内の差を生じます。

プリスケアラの動作を図 8.11-1 に示します。

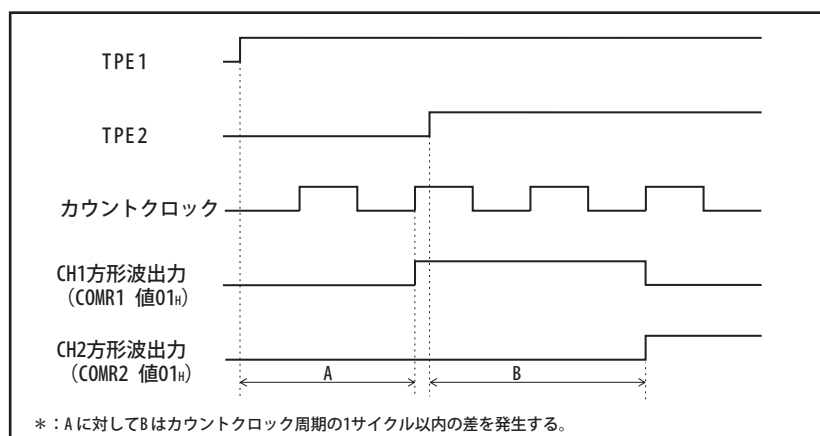


図 8.11-1 プリスケアラ動作

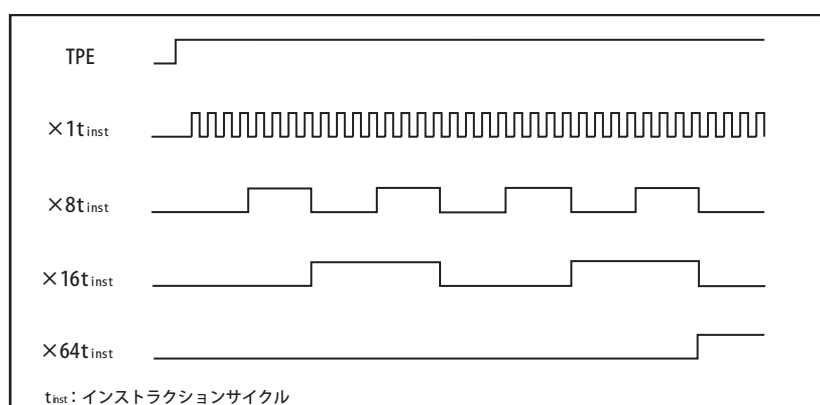


図 8.11-2 プリスケアラ出力

8.12 2CH 8 ビット PWM タイマの動作中の各モードでの状態

2CH 8 ビット PWM タイマ動作中にスリープモードへの移行があった場合、ストップモードへの移行があった場合、および途中停止の要求があった場合の動作を説明します。

■ スタンバイモードおよび途中停止時の動作

インターバルタイマ機能および PWM タイマ機能の動作中にスリープモードへ移行した場合、ストップモードへ移行した場合、および途中停止の要求があった場合のカウンタ値の状態を図 8.12-1 と図 8.12-2 に示します。

ストップモードに移行すると、カウンタは値を保持して停止します。ストップモードが外部割込みによって解除されると、カウンタは保持した値から動作を始めます。このため、初回のインターバル時間や PWM 波の周期は設定した値になりません。したがって、ストップモード解除後は、8 ビット PWM タイマを再び初期化する必要があります。

時計モードへの移行 (STBC:TMD=1) の解除は、ストップモードへの移行および解除と同様の動作をします。時計モードは時計割込みと外部割込みによって解除されます。

● インターバルタイマ機能時

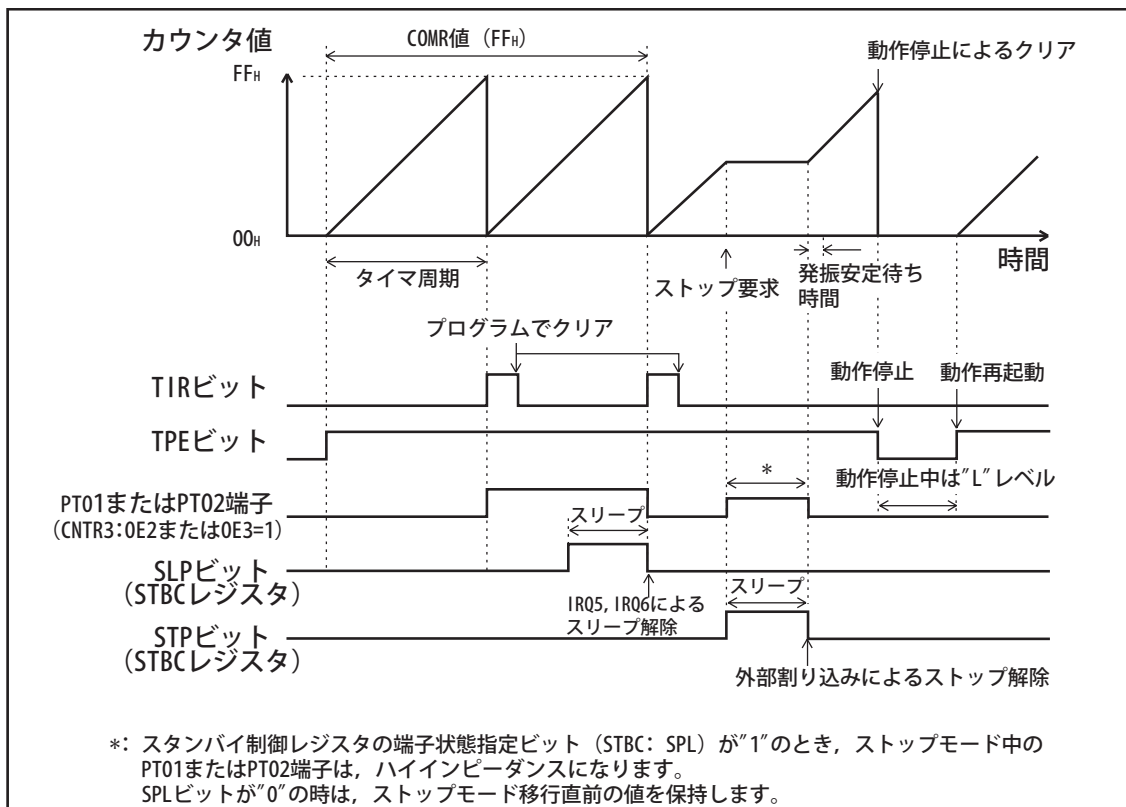


図 8.12-1 スタンバイモードおよび途中停止時のカウンタの動作 (インターバルタイマ機能時)

● PWM タイマ機能時

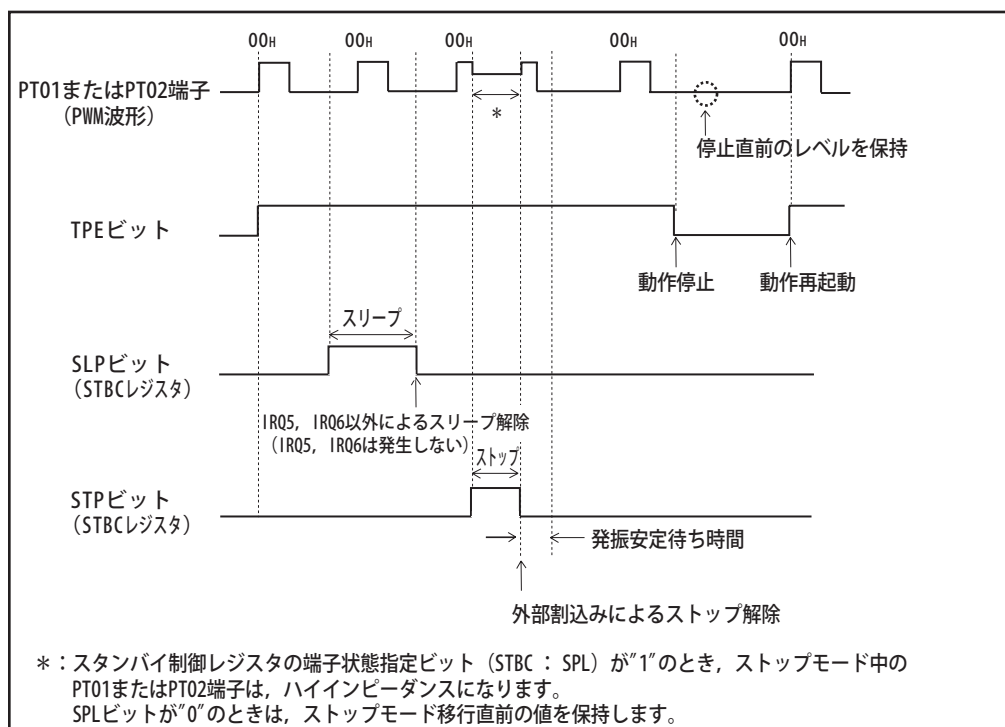


図 8.12-2 スタンバイモードおよび途中停止時の動作 (PWM タイマ機能時)

8.13 2CH 8 ビット PWM タイマ使用上の注意

2CH 8 ビット PWM タイマを使用するにあたっての注意点を示します。

■ 2CH 8 ビット PWM タイマ使用上の注意

● 誤差

プログラムによるカウンタの起動と、選択したカウントクロックによるカウントアップの開始とは非同期です。そのため、カウンタ値と PWM コンペアレジスタ (COMR) 値の一致を検出するまでの誤差として、最大でカウントクロック周期の 1 サイクル分短くなることがあります。カウント動作開始までの誤差を図 8.13-1 に示します。

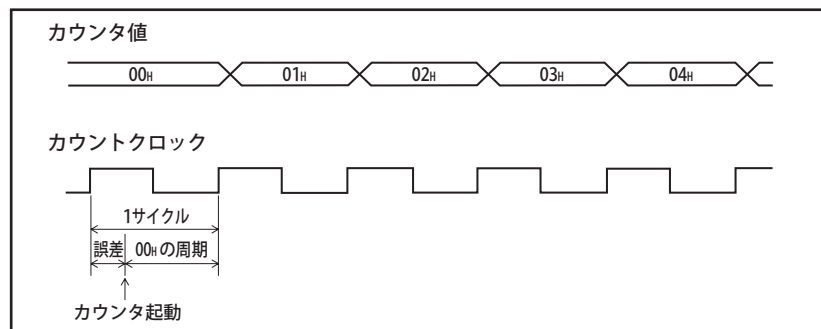


図 8.13-1 カウント動作開始までの誤差

● プログラムで設定する場合

- ・ インターバルタイマ機能および PWM タイマ機能動作中 (CNTR2:TPE1=1, TPE2=1) は、対応するカウントクロック周期 (CNTR1:SC11, SC10 または SC21, SC20) を変更しないでください。
- ・ インターバルタイマ機能と PWM タイマ機能の切替え (CNTR1:PTX1, PTX2) は、カウンタ停止 (CNTR2:TPE1=0, TPE2=0)、割込み禁止 (CNTR2:TIE1=0, TIE2=0) または割込み要求クリア (CNTR2:TIR1=0, TIR2=0) の状態で行ってください。
- ・ CK12 モード (CNTR2:CK12=1) 時は、CH12PWM モード (CNTR3:CH12=1) および CH1 の PWM タイマ動作 (CNTR1:PTX1=1) に設定しないでください。
- ・ CH12PWM モード時は、CH1 の割込み要求出力を禁止 (CNTR2:TIE1=0) してください。また、CK12 モードに設定しないでください。
- ・ 割込み要求フラグビット (CNTR2:TIR1, TIR2) が "1" で、割込み要求許可ビットが許可 (CNTR2:TIE1=1, TIE2=1) された状態では、割込み処理から復帰できません。TIR1 または TIR2 ビットのクリアは必ず行ってください。
- ・ カウンタ値と COMR レジスタ値との一致と、カウンタ停止 (CNTR2:TPE1=0, TPE2=0) が同時に起こった場合は、TIR1 または TIR2 ビットのセットは行われません。

8.14 2CH 8 ビット PWM タイマのプログラム例 (インターバル機能)

2CH 8 ビット PWM タイマの 8 ビットタイマモードおよび CK12 モードのインターバルタイマ機能のプログラム例を示します。

■ 8 ビットタイマモードのプログラム例

● 処理仕様

- CH1 を 8 ビットタイマモードでインターバルタイマとして動作させます。
- 5ms のインターバルタイマ割込みを繰り返し発生します。
- インターバル時間で反転する方形波を PTO1 端子に出力します。
- メインクロック原発振 10MHz 時に、インターバル時間が約 5ms となる COMR1 レジスタ値を以下に示します。カウントクロックは内部カウントクロックの $64t_{inst}$ (t_{inst} : メインクロック速度 (ギア) 最高速時, 原発振の 4 分周) とします。

$$\text{COMR1 レジスタ値} = 5\text{ms} / (64 \times 4 / 10\text{MHz}) - 1 = 194.3 \text{ (0C2H)}$$

● コーディング例

```

CNTR1 EQU    0027H           ; PWM 制御レジスタ 1 のアドレス
CNTR2 EQU    0028H           ; PWM 制御レジスタ 2 のアドレス
CNTR3 EQU    0029H           ; PWM 制御レジスタ 3 のアドレス
COMR1 EQU    002AH           ; PWM コンペアレジスタ 1 のアドレス
TPE1  EQU    CNTR2:7         ; CH1 カウンタ動作許可ビットの定義
TIR1  EQU    CNTR2:3         ; CH2 割込み要求フラグビットの定義
ILR2  EQU    007C           ; 割込みレベル設定レジスタのアドレス
INT_V  DSEG    ABS           ; 【DATA SEGMENT】
      ORG      0FFFOH
IRQ5   DW      WARI1         ; 割込みベクトル設定
INT_V  ENDS

;----- メインプログラム -----
CSEG                                     ; 【CODE SEGMENT】
                                           ; スタックポインタ (SP) などは初期化済みとする
:
CLRI                                     ; 割込みディセーブル
CLRB      TPE1                 ; カウンタ動作停止
MOV       ILR2,#11110111B      ; 割込みレベル設定 (レベル 1)
MOV       COMR1,#0C2H          ; カウンタ値との比較値 (インターバル時間)
MOV       CNTR1,#00001100B     ; インターバルタイマ動作, CH1 クロッククリア,
                                           ; 64tinst 選択
MOV       CNTR3,#00100000B     ; PWM1 端子出力許可
MOV       CNTR2,#10000000B     ; カウンタ動作開始, 割込み要求出力
SETI                                     ; 割込みイネーブル
:
;----- 割込みプログラム -----
WARI1  CLRB      TIR1           ; CH1 割込み要求フラグクリア
      PUSHW     A
      XCHW      A,T             ; A, T の退避
      PUSHW     A
      :
      ユーザ処理
      :
      POPW      A
      XCHW      A,T             ; A, T の復帰
      POPW      A
      RETI
      ENDS

;-----
      END

```

■ CK12 モードのプログラム例

● 処理仕様

- CH1 はインターバルタイマ時間を 5ms (方形波出力周期 =10ms) とし, 割込みは使用しません。
- CH2 は CH1 をカウントクロックとし, 100ms のインターバルタイマ割込みを繰り返して発生します。
- CH2 のインターバル時間で反転する方形波を PTO2 端子に出力します。
- メインクロック原発振 10MHz 時に, CH1 タイマのインターバル時間が約 5ms となる COMR1 レジスタ値を以下に示します。カウントクロックは内部カウントクロックの $64t_{inst}$ (t_{inst} : メインクロック速度 (ギア) 最高速時, 原発振の 4 分周) とします。
$$\text{COMR1 レジスタ値} = 5\text{ms} / (64 \times 4 / 10\text{MHz}) - 1 = 194.3 \text{ (0C2H)}$$
- CH1 の方形波出力で, CH2 タイマのインターバル時間が約 100ms となる COMR2 レジスタ値を以下に示します。
$$\text{COMR2 レジスタ値} = 100\text{ms} / (5 \times 4 / 2)\text{ms} = 10 \text{ (00AH)}$$

● コーディング例

```

CNTR1 EQU    0027H           ; PWM 制御レジスタ 1 のアドレス
CNTR2 EQU    0028H           ; PWM 制御レジスタ 2 のアドレス
CNTR3 EQU    0029H           ; PWM 制御レジスタ 3 のアドレス
COMR1 EQU    002AH           ; PWM コンペアレジスタ 1 のアドレス
COMR2 EQU    002BH           ; PWM コンペアレジスタ 2 のアドレス
TPE1  EQU    CNTR2:7         ; CH1 カウンタ動作許可ビットの定義
TPE2  EQU    CNTR2:6         ; CH2 カウンタ動作許可ビットの定義
TIR2  EQU    CNTR2:2         ; CH2 割込み要求フラグビットの定義
ILR2  EQU    007C            ; 割込みレベル設定レジスタのアドレス
INT_V  DSEG    ABS           ; 【DATA SEGMENT】
      ORG    0FFEEH
IRQ6   DW      WARI          ; 割込みベクトル設定
INT_V  ENDS

;----- メインプログラム -----
      CSEG                  ; 【CODE SEGMENT】
                               ; スタックポインタ (SP) は初期化済みとする
      :
      CLRI                  ; 割込みディセーブル
      CLRB    TPE1          ; カウンタ動作停止
      CLRB    TPE2
      MOV     ILR2,#11110111B ; 割込みレベル設定 (レベル 1)
      MOV     COMR1,#0C2H    ; カウンタ値との比較値 (インターバル時間)
      MOV     COMR2,#00AH
      MOV     CNTR1,#00001100B ; インターバルタイマ動作, CH1 クロッククリア,
                               ; 64tinst 選択
      MOV     CNTR3,#01000000B ; PWM2 端子出力許可
      MOV     CONT2,#11100001B ; カウンタ動作開始, 割込み要求出力
      SETI                  ; 割込みイネーブル
      :
;----- 割込みプログラム -----
WARI  CLRB    TIR2          ; CH2 割込み要求フラグクリア
      PUSHW   A
      XCHW    A,T           ; A, T の退避
      PUSHW   A
      :
      ユーザ処理
      :
      POPW    A
      XCHW    A,T           ; A, T の復帰
      POPW    A
      RETI
      ENDS

;-----
      END

```

8.15 2CH 8 ビット PWM タイマのプログラム例 (PWM タイマ機能)

2CH 8 ビット PWM タイマの 8 ビット PWM モード, 7 ビット PWM モードおよび CH12PWM モードの PWM タイマ機能のプログラム例を示します。

■ PWM タイマ機能のプログラム例

● 処理仕様

- CH1 を 8 ビット PWM モードで PWM タイマとして動作させ, PTO1 端子に出力します。
- CH2 を 7 ビット PWM モード (高速モード) で PWM タイマとして動作させ, PTO2 端子に出力します。
- デューティ比 50% の PWM 波を発生し, その後デューティ比を 25% に変更します。
- 割込みは使用しません。
- メインクロック原発振 10MHz 時に, それぞれのカウントクロックを内部カウントクロックの $16t_{inst}$ (t_{inst} : メインクロック速度 (ギア) 最高速時, 原発振の 4 分周) とした場合, PWM 波の周期は, 以下のようになります。
CH1 の PWM 波の周期: $16 \times 4/10\text{MHz} \times 256 = 1.6384\text{ms}$
CH2 の PWM 波の周期: $16 \times 4/10\text{MHz} \times 128 = 0.8192\text{ms}$
- 8 ビット PWM モードで, デューティ比が 50% となる COMR レジスタ値を以下に示します。
COMR1 レジスタ値 $= 50/100 \times 256 = 128$ (080_H)
- 7 ビット PWM モードで, デューティ比が 50% となる COMR レジスタ値を以下に示します。
COMR2 レジスタ値 $= 50/100 \times 128 = 64$ (040_H)

● コーディング例

```

CNTR1 EQU    0027H           ; PWM 制御レジスタ 1 のアドレス
CNTR2 EQU    0028H           ; PWM 制御レジスタ 2 のアドレス
CNTR3 EQU    0029H           ; PWM 制御レジスタ 3 のアドレス
COMR1 EQU    002AH           ; PWM コンペアレジスタ 1 のアドレス
COMR2 EQU    002BH           ; PWM コンペアレジスタ 2 のアドレス
TPE1  EQU    CNTR2:7         ; CH1 カウンタ動作許可ビットの定義
TPE2  EQU    CNTR2:6         ; CH2 カウンタ動作許可ビットの定義
;-----メインプログラム-----
CSEG                               ; 【CODE SEGMENT】
:
CLRB   TPE1                       ; カウンタ動作停止
CLRB   TPE2
MOV     COMR1,#80H                ; パルスの "H" 幅指定, デューティ比 50%
MOV     COMR2,#40H
MOV     CNTR1,#11011010B          ; PWM タイマ動作, 8/7 ビット PWM モード, 16tinst
; 選択
MOV     CNTR3,#01100000B          ; PTO1, PTO2 端子出力許可
MOV     CNTR2,#11000000B          ; カウンタ動作開始, 割込み要求出力禁止
:
:
MOV     COMR1,#40H                ; デューティ比を 25% に変更 ( 次の PWM 波の
; サイクルから有効 )
MOV     COMR2,#20H
:
ENDS
;-----
END

```

■ CH12PWM モードのプログラム例

● 処理仕様

- CH1 を 8 ビット PWM モードに設定して, CH1 を PWM タイマとして動作させます。
- CH2 を 8 ビット PWM モードに設定して, CH2 を PWM タイマとして動作させます。
- PWM 波の初期のデューティ比を 50% に設定します。
- 割込みは使用しません。
- 原発振クロック周波数 10MHz 時に, それぞれのクロックを $16t_{inst}$ (t_{inst} : メインクロック速度 (ギア) 最高速時, 原発振の 4 分周) にします。
- COMR1 レジスタ値 ("L" 幅)=40H に設定して, デューティ比を 50% にします。
- COMR2 レジスタ値 (周期間隔)=80H に設定して, デューティ比を 50% にします。

● コーディング例

```

CNTR1 EQU    0027H           ; PWM 制御レジスタ 1 のアドレス
CNTR2 EQU    0028H           ; PWM 制御レジスタ 2 のアドレス
CNTR3 EQU    0029H           ; PWM 制御レジスタ 3 のアドレス
COMR1 EQU    002AH           ; PWM コンペアレジスタ 1 のアドレス
COMR2 EQU    002BH           ; PWM コンペアレジスタ 2 のアドレス

TPE1 EQU     CNTR2:7          ; CH1 カウンタ動作許可ビットの定義
TPE2 EQU     CNTR2:6          ; CH2 カウンタ動作許可ビットの定義
;----- メインプログラム -----
CSEG                                     ; 【CODE SEGMENT】
:
CLR B
CLRB TPE1                               ; カウンタ動作停止
CLRB TPE2
MOV COMR1,#40H                         ; パルスの "L" 幅指定, デューティ比 50%
MOV COMR2,#80H                         ; パルスの 1 周期指定
MOV CNTR1,#11001010                   ; PWM タイマとして動作,  $16t_{inst}$  選択
MOV CNTR3,#00110000B                  ; PTO1 端子出力許可, CH12PWM モードに設定,
MOV CNTR2,#11000000B                  ; カウンタ動作開始, 割込み要求出力禁止

:
ENDS
;-----
END

```

第 9 章

パルス幅カウントタイマ (PWC)

この章では、パルス幅カウントタイマ (PWC) の機能と動作について説明します。

- 9.1 パルス幅カウントタイマの概要
- 9.2 パルス幅カウントタイマの構成
- 9.3 パルス幅カウントタイマの端子
- 9.4 パルス幅カウントタイマのレジスタ
- 9.5 パルス幅カウントタイマの割込み
- 9.6 インターバルタイマ機能の動作説明
- 9.7 パルス幅測定機能の動作説明
- 9.8 パルス幅カウントタイマの動作中の各モードでの状態
- 9.9 パルス幅カウントタイマ使用上の注意
- 9.10 パルス幅カウントタイマのタイマ機能プログラム例
- 9.11 パルス幅カウントタイマのパルス幅測定機能 プログラム例

9.1 パルス幅カウントタイマの概要

パルス幅カウントタイマ (PWC) は、内部カウントクロック (3 種類) に同期してカウントダウンするインターバルタイマ機能と、外部端子に入力されたパルスの幅を測定するパルス幅測定機能があり、どちらかの機能を選択できます。

そのため、8 ビットのインターバルタイマ時間の設定や、その出力を利用して任意の周波数の方形波出力ができます。また、外部入力のパルス幅測定を連続で動作させることによって、インプットキャプチャとしても使用できます。

■ インターバルタイマ機能 (方形波出力機能)

インターバルタイマ機能は、任意の時間間隔で繰り返し割込みを発生する機能です。

また、時間間隔ごとに端子 (WTO 端子) の出力レベルを反転できるため、任意の周波数の方形波出力が可能です。

- 内部カウントクロックの周期から 2^8 倍の周期までのインターバルタイマ動作ができます。
- 内部カウントクロックを 3 種類の中から選択できます。
- 動作モードは、リロードタイマモード (連続動作) とワンショットモード (1 回の動作) の 2 種類があります。
- PWC の外部クロックとして、端子 P20/PWCK を選択できます。
- 8 ビット PWM タイマのカウントクロックとして、タイマ出力ビット (PCR2:TO) を使用できます。

インターバル時間と方形波出力の範囲を表 9.1-1 に示します。

表 9.1-1 インターバル時間と方形波出力範囲

内部カウントクロック周期	インターバル時間	方形波出力 (Hz)
$1t_{\text{inst}}$	$1t_{\text{inst}} \sim 2^8 t_{\text{inst}}$	$1/(2t_{\text{inst}}) \sim 1/(2^9 t_{\text{inst}})$
$4t_{\text{inst}}$	$2^2 t_{\text{inst}} \sim 2^{10} t_{\text{inst}}$	$1/(2^3 t_{\text{inst}}) \sim 1/(2^{11} t_{\text{inst}})$
$32t_{\text{inst}}$	$2^5 t_{\text{inst}} \sim 2^{13} t_{\text{inst}}$	$1/(2^6 t_{\text{inst}}) \sim 1/(2^{14} t_{\text{inst}})$

t_{inst} : インストラクションサイクル (クロックモードの影響を受けます)

インターバル時間と方形波出力周波数の計算例を示します。

メインクロック原発振 (F_{CH}) 10MHz, PWC リロードバッファレジスタ (RLBR) 値 "DD_H(221)" で、カウントクロック周期を $1t_{\text{inst}}$ に設定したときのインターバル時間と、方形波出力の周波数は、以下のように算出します。

$$\begin{aligned} \text{インターバル時間} &= (1 \times 4/F_{\text{CH}}) \times \text{RLBR レジスタ値} \\ &= (4/10\text{MHz}) \times 221 \\ &= 88.8 \mu\text{s} \end{aligned}$$

$$\begin{aligned} \text{出力周波数} &= F_{\text{CH}}/(1 \times 8 \times \text{RLBR レジスタ値}) \\ &= 10\text{MHz}/(8 \times 221) \\ &= 5.6\text{kHz} \end{aligned}$$

■ パルス幅測定機能

パルス幅測定機能は、外部端子 (PWC 端子) に入力されたパルスの "H" 幅, "L" 幅または 1 サイクル幅を測定する機能です。

- 連続してパルス幅を測定できます。
- 測定速度 (内部カウントクロック) を、3 種類の中から選択できます。
- 割込み処理を併用することによって、長い入力パルスのパルス幅の測定に対応できます。

パルス幅測定機能で測定できるパルス幅を表 9.1-2 に示します。

表 9.1-2 パルス幅測定機能で測定できるパルス幅

内部カウントクロック周期	インターバル時間
$1t_{\text{inst}}$	$1t_{\text{inst}} \sim 2^8 t_{\text{inst}}$
$4t_{\text{inst}}$	$2^2 t_{\text{inst}} \sim 2^{10} t_{\text{inst}}$
$32t_{\text{inst}}$	$2^5 t_{\text{inst}} \sim 2^{13} t_{\text{inst}}$

t_{inst} : インストラクションサイクル (クロックモードの影響を受けます)

9.2 パルス幅カウントタイマの構成

パルス幅カウントタイマは、以下のブロックで構成されています。

- カウントクロックセクタ
- 8ビットダウンカウンタ
- 入力パルスエッジ検出回路
- PWC リロードバッファレジスタ (RLBR)
- PWC パルス幅制御レジスタ 1 (PCR1)
- PWC パルス幅制御レジスタ 2 (PCR2)

■ パルス幅カウントタイマのブロックダイアグラム

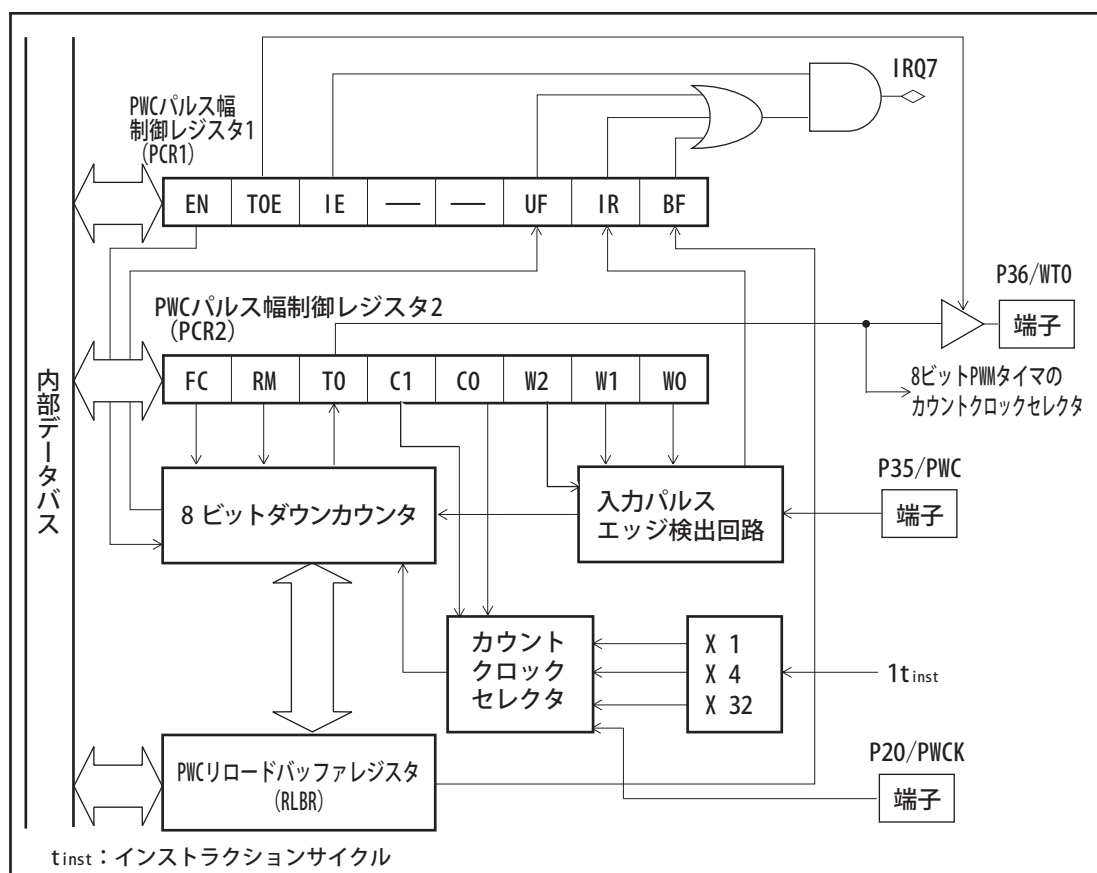


図 9.2-1 パルス幅カウントタイマのブロックダイアグラム

● カウントクロックセクタ

3種類の内部カウントクロックおよび外部クロックから、8ビットダウンカウンタ用のカウントダウンクロックを選択します。外部クロックを選択するときは、ポート P20/PWCK を入力ポートに設定 (DDR2:bit0=0) します。

● 8 ビットダウンカウンタ

インターバルタイマ機能時は、PWC リロードバッファレジスタ (RLBR) を 1 つデクリメントした値から、またパルス幅測定機能時は "FF_H" からカウントダウンを開始し、"00_H" "FF_H" になるとタイマ出力ビット (PCR2:TO) の値を反転します。出力端子制御ビットを専用端子に設定 (PCR1:TOE=1) することによって、WTO 端子から TO ビットの値が出力されます。

● 入力パルスエッジ検出回路

パルス幅測定機能時において動作し、PWC パルス幅制御レジスタ 2 (PCR2) で設定されたエッジと一致する PWC 端子からの入力エッジによって、8 ビットダウンカウンタのカウント開始 / 終了を制御します。

● PWC リロードバッファレジスタ (RLBR)

インターバルタイマ機能のリロードタイマモード時は、カウンタ値が "00_H" "FF_H" になると RLBR レジスタの値から 1 つデクリメントした値が 8 ビットダウンカウンタに再設定され、カウントを続けます。

パルス幅測定機能時は、測定終了によって 8 ビットダウンカウンタの値が RLBR レジスタに転送されます。

● PWC パルス幅制御レジスタ 1, 2 (PCR1, PCR2)

機能選択、動作条件の設定、動作の許可と禁止、割込み制御および PWC の状態の確認を行います。

9.3 パルス幅カウントタイマの端子

パルス幅カウントタイマに関連する端子および端子のブロックダイアグラムを示します。

■ パルス幅カウントタイマに関連する端子

パルス幅カウントタイマに関連する端子は、P35/PWC, P36/WTO, P20/PWCK 端子です。

● P35/PWC, P36/WTO, P20/PWCK 端子

これらの端子は、汎用入出力ポートとしての機能 (P35, P36, P20)、被測定パルス入力端子としての機能 (PWC)、タイマ出力ビット (PCR2:TO) の出力としての機能 (WTO) および外部クロック入力としての機能 (PWCK) を兼用しています。

PWC: パルス幅測定機能時に、この端子に入力されたパルス幅を測定します。

パルス幅測定機能でPWC端子として使用する場合は、ポート方向レジスタを入力ポートに設定 (DDR3:bit5=0) してください。

WTO: インターバルタイマ機能時、カウンタ値が "00_H" "FF_H" になると、この端子の出力レベルが反転します。リロードタイマモードでは、この端子の出力は方形波となります。P36/WTO 端子は、出力端子制御ビットを専用端子に設定 (PCR1: TOE=1) すると、ポート方向レジスタ (DDR3:bit6) の値に関係なく自動的に出力端子になり、WTO 端子として機能します。

PWCK: P20/PWCK 端子を外部クロック入力として使用する場合は、ポート方向レジスタを入力ポートに設定 (DDR2:bit0=0) してください。

■ パルス幅カウントタイマに関連する端子のブロックダイアグラム

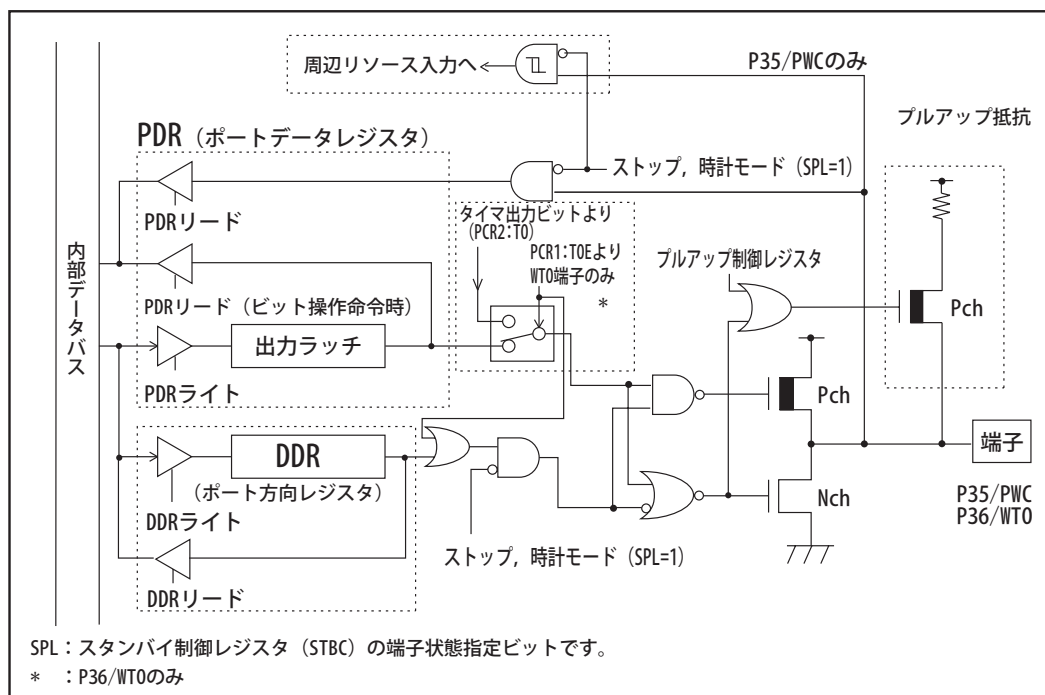


図 9.3-1 パルス幅カウントタイマに関連する端子のブロックダイヤグラム (P35/PWC, P36/WTO)

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合，ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は，ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし，リセット中のプルアップは無効になり，ハイインピーダンスになります。

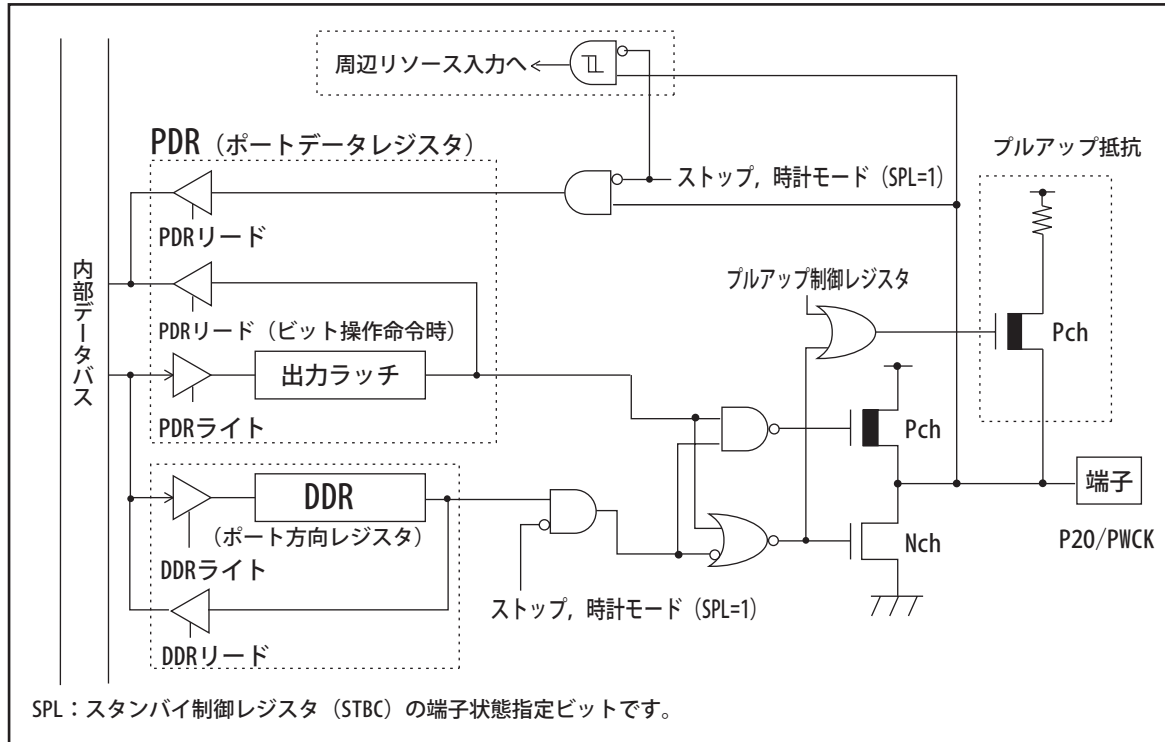


図 9.3-2 パルス幅カウントタイマに関連する端子のブロックダイアグラム (P20/PWCK)

9.4 パルス幅カウントタイマのレジスタ

パルス幅カウントタイマに関連するレジスタを示します。

■ パルス幅カウントタイマに関連するレジスタ

PCR1, 2 (PWCパルス幅制御レジスタ1, 2)

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PCR1	002C _H	EN	T0E	IE	—	—	UF	IR	BF	000--000 _B
		R/W	R/W	R/W			R/W	R/W	R	

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PCR2	002D _H	FC	RM	T0	C1	C0	W2	W1	W0	00000000 _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

RLBR (PWCリロードバッファレジスタ)

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	002E _H									XXXXXXXX _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	……インターバルタイマ機能時
		R	R	R	R	R	R	R	R	……パルス幅測定機能時

R/W : リード・ライト可能
 R : リードオンリ
 — : 未使用
 X : 不定

図 9.4-1 パルス幅カウントタイマに関連するレジスタ

9.4.1 PWC パルス幅制御レジスタ 1 (PCR1)

PWC パルス幅制御レジスタ 1 (PCR1) は、パルス幅カウントタイマの各機能の許可と禁止の設定、割込み制御および状態の確認を行うレジスタです。

■ PWC パルス幅制御レジスタ 1 (PCR1)

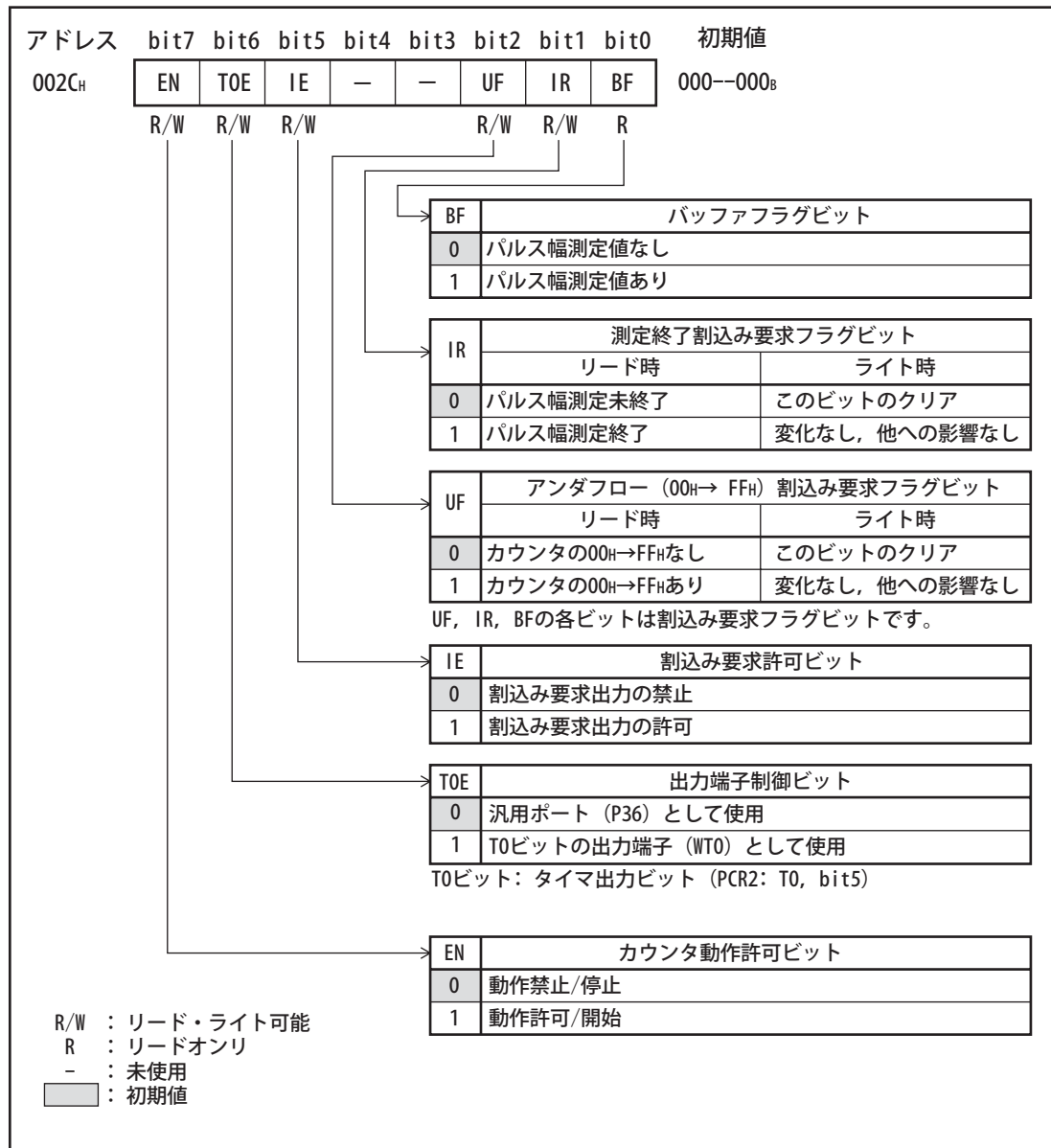


図 9.4-2 PWC パルス幅制御レジスタ 1 (PCR1)

表 9.4-1 PWC パルス幅制御レジスタ 1 (PCR1) の各ビットの機能説明

ビット名		機能
bit7	EN: カウンタ動作許可 ビット	<ul style="list-style-type: none"> インターバルタイマ機能時 このビットに "1" を書き込むと、PWC リロードバッファレジスタ (RLBR) の値からカウントダウンを始めます。"0" を書き込むとカウンタは動作を停止します。 パルス幅測定機能時 このビットに "1" を書き込むと、測定許可状態になり、測定パルスの設定エッジを検出すると、カウンタが "FF_H" からカウントダウンを始めます。"0" を書き込むとカウンタは動作を停止します。 <p>< 注記 > パルス幅測定機能時、測定中に動作を禁止 (EN=0) すると、カウンタは停止しますが、値は RLBR レジスタに転送されません。 また、再起動 (EN=1) すると、カウンタ値は "FF_H" にセットされ、動作が許可されます。</p>
bit6	TOE: 出力端子制御 ビット	<p>P36/WTO 端子を汎用ポートとして使用 (TOE=0) するか、専用端子 (インターバルタイマ出力) として使用 (TOE=1) するかを設定するビットです。</p> <p>専用端子として設定した場合、WTO 端子にタイマ出力ビット (PCR2:TO) の値が出力されます。</p> <p>汎用ポート (P36) の状態にかかわらず出力端子制御ビットが専用端子へ設定 (TOE=1) されると WTO 端子として機能します。</p>
bit5	IE: 割込み要求 許可ビット	<p>CPU への割込み要求出力の許可 / 禁止を設定するビットです。</p> <p>このビットと、割込み要求フラグビット (UF, IR, BF) のいずれか、もしくは複数のフラグビットが "1" になると、CPU への割込み要求を出力します。</p>
bit4 bit3	未使用ビット	<p>未使用ビットです。</p> <ul style="list-style-type: none"> 読出しの値は不定です。 書込みは意味を持ちません。
bit2	UF: アンダフロー (00 _H FF _H) 割込み要求フラグ ビット	<ul style="list-style-type: none"> カウンタが "00_H" "FF_H" になると "1" にセットされます。 このビットと割込み要求許可ビット (IE) が "1" の場合に、割込み要求を出力します。 書込み時は "0" でこのビットがクリアされ、"1" では意味を持ちません。 インターバルタイマ機能時、カウンタが "00_H" "FF_H" になると、タイマ出力ビット (PCR2:TO) は反転します。リロードタイマモードでは、RLBR レジスタの値からカウントダウンを継続します。ワンショットタイマモードでは、自動的にカウント動作を停止 (EN=0) します。 パルス幅測定機能で長い入力パルスを測定する場合に、カウンタが "00_H" "FF_H" になると、このビットに "1" をセットして、カウント動作を続行します。
bit1	IR: 測定終了割込み要 求フラグビット	<ul style="list-style-type: none"> パルス幅測定機能時 パルス幅の測定が終了すると "1" にセットされます。 このビットと、割込み要求許可ビット (IE) が "1" の場合割込み要求を出力します。 書込み時は "0" でこのビットがクリアされ、"1" では意味を持ちません。 インターバルタイマ機能時、このビットは意味を持ちません。
bit0	BF: バッファフル フラグビット	<ul style="list-style-type: none"> パルス幅測定機能時 測定値が、RLBR レジスタにある場合、"1" にセットされる割込み要求フラグです。 このビットと割込み要求許可ビット (IE) が "1" の場合、割込み要求を出力します。 このビットは、パルス幅測定の終了で "1" にセットされます。測定値を RLBR レジスタから読み出すことで "0" にクリアされます。 このビットは読出し専用ビットです。書込み値は意味を持たず、動作に影響しません。 インターバルタイマ機能時、このビットは意味を持ちません。

9.4.2 PWC パルス幅制御レジスタ 2 (PCR2)

PWC パルス幅制御レジスタ 2 (PCR2) は、パルス幅カウントタイマの動作モード (パルス幅測定動作、インターバルタイマ動作など) の選択、カウントクロックの選択、被測定パルス (測定エッジ) の設定およびタイマ出力状態の確認を行うレジスタです。

■ PWC パルス幅制御レジスタ 2 (PCR2)

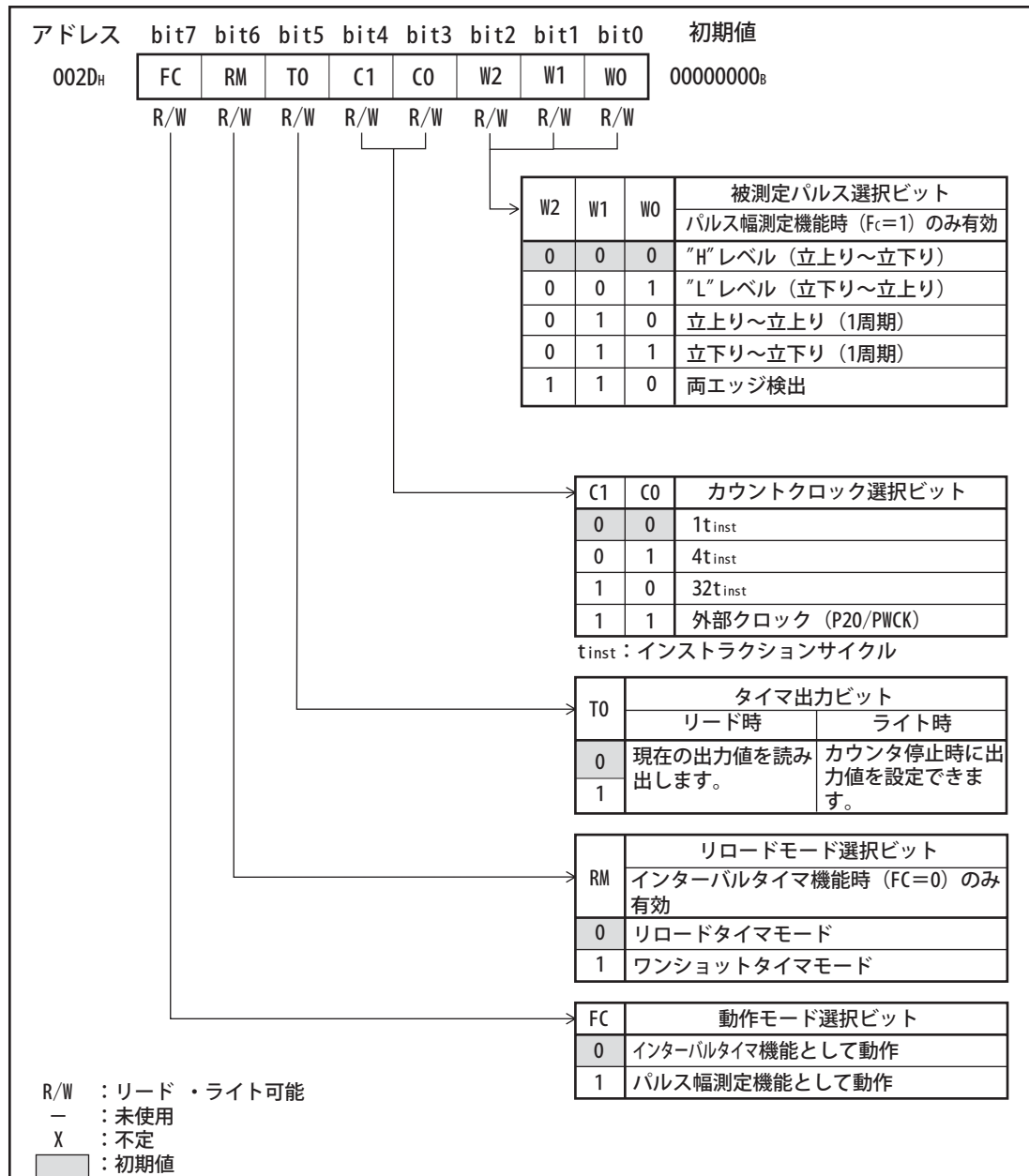


図 9.4-3 PWC パルス幅制御レジスタ 2 (PCR2)

表 9.4-2 PWC パルス幅制御レジスタ 2 (PCR2) の各ビットの機能説明

ビット名		機能
bit7	FC: 動作モード選択 ビット	インターバルタイマ機能 (FC=0) と、パルス幅測定機能 (FC=1) の切替えを行うビットです。 < 注記 > パルス幅測定機能 (FC=1) の場合は、P35/PWC 端子を入力ポートに設定してください。
bit6	RM: リロードモード 選択ビット	<ul style="list-style-type: none"> インターバルタイマ機能時 リロードタイマモード (RM=0) と、ワンショットタイマモード (RM=1) の選択を行います。 パルス幅測定機能時 このビットは意味を持ちません。
bit5	TO: タイマ出力 ビット	<ul style="list-style-type: none"> カウンタ値が "00_H" "FF_H" になるたびに、このビットの値が反転します。 PWC パルス幅制御レジスタ 1 の出力端子制御ビット (PCR1:TOE) が "1" のとき、WTO 端子からこのビットの出力を行います。 このビットの反転回数 ("00_H" "FF_H" の回数) をカウントすることにより $2^8 \times$ 選択したカウントクロック周期以上のパルス幅を測定できます。カウンタ停止中 (PCR1:EN=0) に出力許可状態 (PCR1:TOE=1) でこのビットに書き込んだ値は、そのまま WTO 端子の初期値になります。
bit4 bit3	C1, C0: カウント クロック 選択ビット	インターバルタイマ機能、パルス幅測定機能のカウントクロックを選択します。 3 種類の内部カウントクロック入力または外部クロックをが設定できます。 < 注記 > 外部クロックを用いる場合、ポート (P20/PWCK) を入力ポートに設定してください。
bit2 bit1 bit0	W2, W1, W0: 被測定パルス 選択ビット	<ul style="list-style-type: none"> パルス測定機能時 測定するパルスの測定開始 / 終了条件となるパルスエッジの種類を選択します。 5 種類のパルス幅および周期を設定できます。 インターバルタイマ機能時 このビットは意味を持ちません。

< 注意事項 >

カウンタ動作中 (PCR1:EN=1) は、PCR2 レジスタを書き替えないでください。

9.4.3 PWC リロードバッファレジスタ (RLBR)

PWC リロードバッファレジスタ (RLBR) は、インターバルタイマ機能時には、リロードレジスタとして機能します。また、パルス幅測定機能時には、測定値保持レジスタとして機能します。

■ PWC リロードバッファレジスタ (RLBR)

PWC リロードバッファレジスタのビット構成を図 9.4-4 に示します。

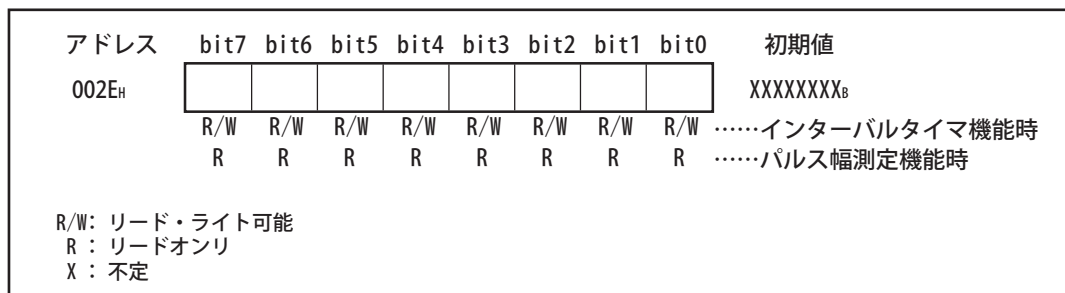


図 9.4-4 PWC リロードバッファレジスタ (RLBR)

● インターバルタイマ機能時

リロードレジスタとして機能し、インターバル時間を指定します。

カウンタ動作を許可 (PCR1:EN=1) すると、このレジスタに書き込まれた設定値を 1 つデクリメントした値からカウントダウンを始めます。

リロードタイマモード時に、カウンタ値が "00_H" "FF_H" になると RLBR レジスタに 1 つデクリメントされた値をカウンタに再設定 (リロード) され、カウントダウンを続けます。また、カウンタが動作中に、RLBR レジスタに値を書き込んだ場合、その値は次の "00_H" "FF_H" によって、カウンタに値がリロードされた時点で有効となります。

インターバルタイマ機能時の RLBR レジスタの設定値は、以下の式で算出します。ただし、インストラクションサイクルは原発振の 4 分周 ($4/F_{CH}$) とします。

RLBR レジスタ値 = インターバル時間 / (カウントクロック周期 × インストラクションサイクル)

● パルス幅測定機能時

パルス幅の測定値を保持します。

測定終了設定エッジの検出によってパルス幅測定が終了すると、カウンタ値がRLBRレジスタへ転送されます。

このとき、バッファフルフラグビット (PCR1:BF) と測定終了割込み要求フラグビット (PCR1:IR) が "1" にセットされます。BF ビットは RLBR レジスタを読み出すことによって "0" にクリアされます。

パルス幅測定機能時、このレジスタは読出し専用 (リードオンリ) になります。

パルス幅測定機能時のパルス幅は、RLBR レジスタ値に基づいて以下の式で算出します。ただし、インストラクションサイクルは原発振の4分周 ($4/F_{CH}$) とします。

パルス幅 = (256 - RLBR レジスタ値) × カウントクロック周期 × インストラクションサイクル

9.5 パルス幅カウントタイマの割込み

パルス幅カウントタイマの割込み要因としては、以下の場合があります。

- インターバルタイマ機能動作時にカウンタ値が "00_H" "FF_H" になった場合
- パルス幅測定機能動作時の測定終了とバッファフルになった場合

■ インターバルタイマ機能動作時の割込み

カウンタ値を設定した値から、選択した内部カウントクロックによってカウントダウンし、"00_H" "FF_H" になると、アンダフロー ("00_H" "FF_H") 割込み要求フラグビット (PCR1:UF) が "1" にセットされます。そのとき、割込み要求許可ビットを許可 (PCR1:IE=1) している場合、CPU へ割込み要求 (IRQ7) が発生します。割込み処理ルーチンで UF ビットに "0" を書き込み、割込み要求をクリアしてください。

- カウンタ停止 (PCR1:EN=0) と、カウンタ値の "00_H" "FF_H" が同時に発生した場合は、UF ビットのセットは行われません。
- UF ビットが "1" の場合、IE ビットを禁止から許可 (0 → 1) にすると、割込み要求が発生します。

■ パルス幅測定機能動作時の割込み

設定した測定終了エッジの検出によって、測定終了割込み要求フラグビット (PCR1:IR) とバッファフルフラグビット (PCR1:BF) が "1" にセットされます。また、長いパルスによってカウンタが "00_H" "FF_H" になった場合は、UF ビットが "1" にセットされます。そのとき、割込み要求許可ビットを許可 (PCR1:IE=1) している場合は、CPU へ割込み要求 (IRQ7) が発生します。割込み処理ルーチンで IR ビットおよび UF ビットに "0" を書き込み、割込み要求をクリアしてください。また、PWC リロードバッファレジスタ (RLBR) を読み出して、BF ビットを "0" にクリアしてください。

- カウンタ停止 (PCR1:EN=0) と設定した測定終了エッジの検出が同時に発生した場合は、PWC パルス幅制御レジスタ 1 の IR ビットおよび BF ビットのセットは行われません。
- PWC パルス幅制御レジスタ 1 の IR ビット、BF ビットおよび UF ビットのいずれか 1 つでも "1" の場合 IE ビットを禁止から許可 (0 → 1) にすると、割込み要求が発生します。

■ パルス幅カウントタイマの割込みに関連するレジスタとベクトルテーブル

表 9.5-1 パルス幅カウントタイマの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQ7	ILR2 (007C _H)	L71 (bit7)	L70 (bit6)	FFEC _H	FFED _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

9.6 インターバルタイマ機能の動作説明

パルス幅カウントタイマのインターバルタイマ機能の動作について説明します。

■ インターバルタイマ機能の動作

インターバルタイマ機能には、タイマを連続して動作させるリロードタイマモードと、タイマが1周期動作すると停止するワンショットモードがあります。

● リロードタイマモード

リロードタイマモードとして動作させるためには、図 9.6-1 に示すレジスタの設定が必要です。

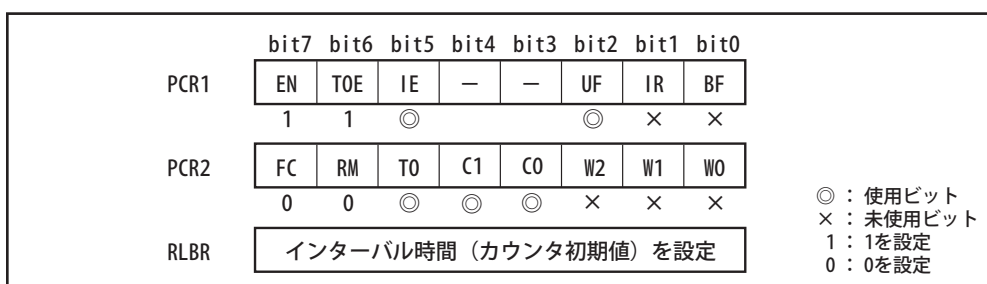


図 9.6-1 インターバルタイマ機能 (リロードタイマモード) の設定

カウンタを起動すると、カウンタに RLBR レジスタの値から 1 つデクリメントした値をセットし、選択したカウントクロックの立上りでカウントダウンを始めます。カウンタ値が 00_H ~ FF_H になると、タイマ出力ビット (PCR2:TO) の値を反転し、再びカウンタに RLBR レジスタの値をセット (リロード) します。さらに、次のカウントクロックの立上りで、アンダフロー (00_H ~ FF_H) 割込み要求フラグビットをセット (PCR1:UF=1) します。

リロードタイマモード時の動作を図 9.6-2 に示します。

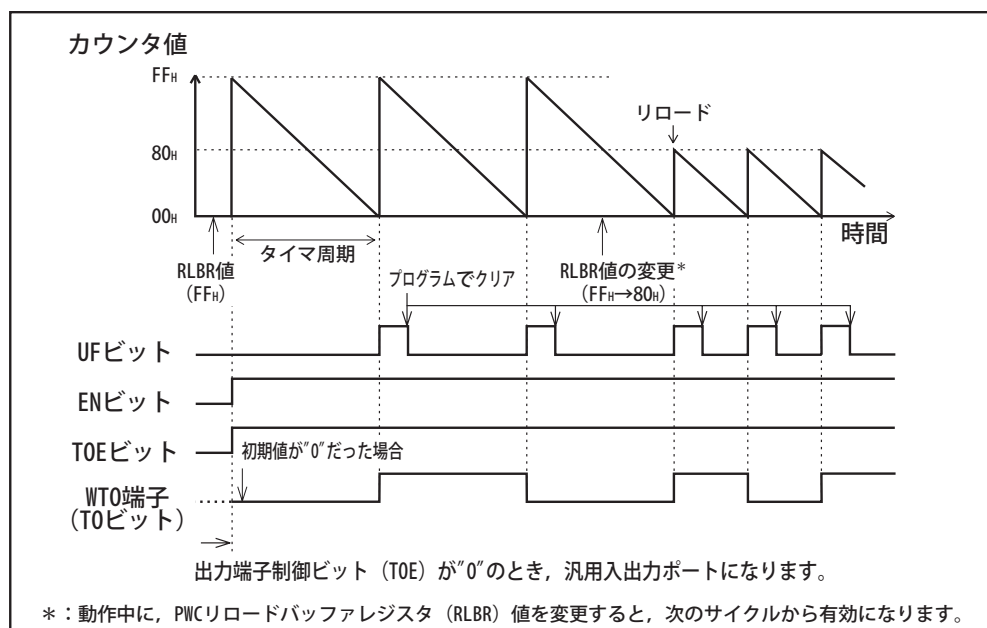


図 9.6-2 リロードタイマモード時の動作

RLBR レジスタの値を 01_H にすると、TO ビットはカウントクロック周期で反転します。

● ワンショットタイマモード

ワンショットタイマモードとして動作させるためには、図 9.6-3 に示すレジスタの設定が必要です。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PCR1	EN	TOE	IE	—	—	UF	IR	BF
	1	1	○			○	×	×
PCR2	FC	RM	TO	C1	C0	W2	W1	W0
	0	1	○	○	○	×	×	×
RLBR	インターバル時間（カウンタ初期値）を設定							

○ : 使用ビット
 × : 未使用ビット
 1 : 1に設定
 0 : 0に設定

図 9.6-3 インターバルタイマ機能 (ワンショットタイマモード) の設定

カウンタを起動すると、カウンタに RLBR レジスタの値をセットし、選択したカウントクロックの立上りでカウントダウンを始めます。カウンタ値が "00_H" "FF_H" になると、タイマ出力ビット (PCR2:TO) の値を反転し、自動的にカウンタ動作許可ビットをクリア (PCR1:EN=0) し、カウンタの動作を停止します。さらに、次のカウントクロックの立上りでアンダフロー ("00_H" "FF_H") 割込み要求フラグビットをセット (PCR1:UF=1) します。

ワンショットタイマモード時の動作を図 9.6-4 に示します。

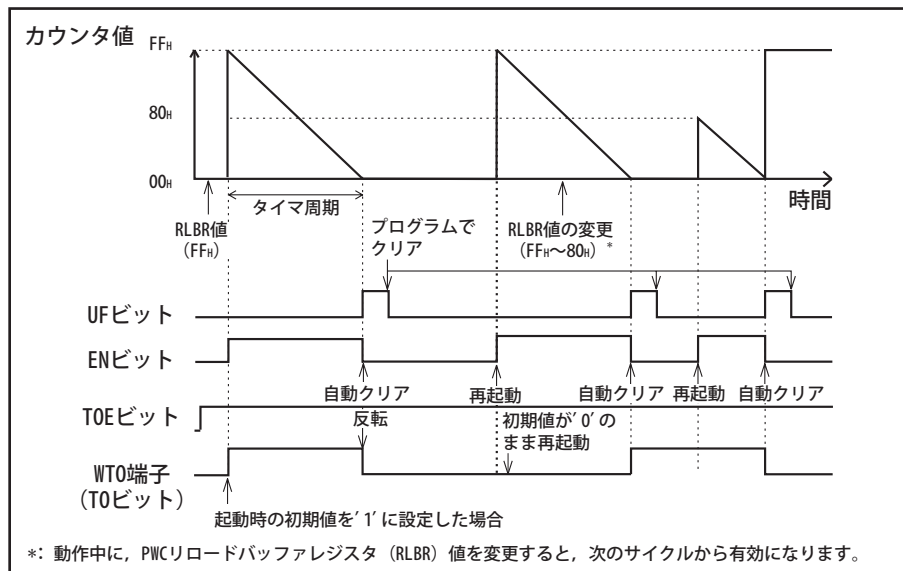


図 9.6-4 ワンショットタイマモード時の動作

< 注意事項 >

カウンタ動作中 (PCR1:EN=1) は、PCR2 を変更しないでください。

- UF ビットは、割込み要求許可ビット (PCR1:IE) の値に関係なく、カウンタ値が "00_H" "FF_H" になると "1" にセットされます。
- インターバルタイマ機能時に、カウンタ停止状態 (PCR1:EN=0) の TO ビットは、停止直前の値を保持しています。

9.7 パルス幅測定機能の動作説明

パルス幅カウントタイマのパルス幅測定機能の動作について説明します。

■ パルス幅測定機能の動作

パルス幅測定機能として動作させるためには、図 9.7-1 に示すレジスタの設定が必要です。

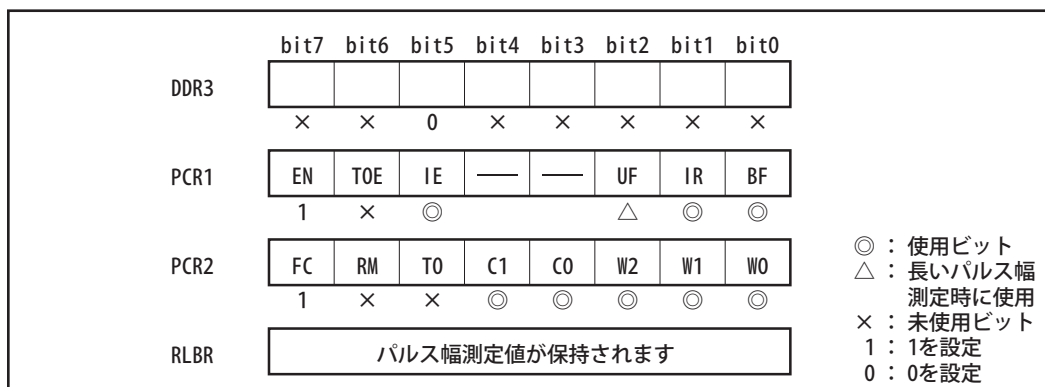


図 9.7-1 パルス幅測定機能の設定

カウンタの動作を許可すると、PWC 端子に入力されたパルスの測定開始エッジを検出した時点で "FF_H" からカウントダウンを始めます ("H" 幅測定で、入力が既に "H" の場合、次の立上りエッジから測定を開始します)。

測定終了エッジを検出すると、そのときのダウンカウンタの値が PWC リロードバッファレジスタ (RLBR) に転送され、測定終了割り込み要求フラグビット (PCR1:IR) とバッファフルフラグビット (PCR1:BF) を "1" にセットして、再びカウンタ動作許可状態になります (連続でパルス幅が測定できるのでインプットキャプチャのように使えます)。

被測定パルス選択ビット (PCR2:W2, W1, W0) を "000_B" ("H" 幅測定) に設定したときの動作を図 9.7-2 に示します。

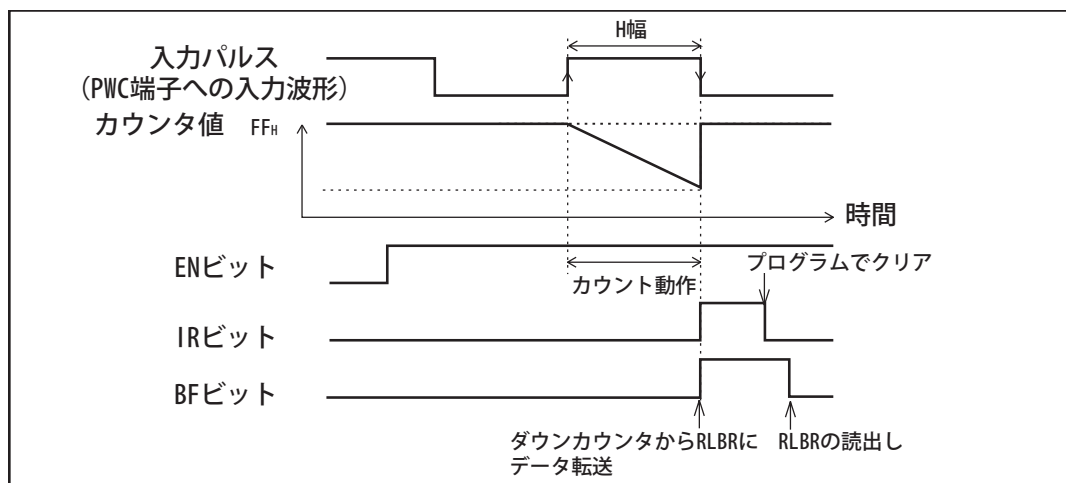


図 9.7-2 パルス幅測定機能時の "H" 幅の測定例

< 注意事項 >

- パルス幅の連続測定中に、RLBR レジスタの値を読み出さなかった場合には、BF ビットは "1" のままです。RLBR レジスタは、前の測定値を保持し続け、新しい測定値を破棄します。
- パルス幅測定中 (PCR1:EN=1) は、PCR2 レジスタを変更しないでください。

■ 長いパルス幅の測定

選択したカウントクロック周期の 2^8 倍以上のパルス幅を測定するには、外部回路によって WTO 端子 (PCR2:TO) の反転回数をカウントするか、割込み処理ルーチンでカウンタが "00_H" "FF_H" になった回数をプログラムでカウントする必要があります。プログラムでカウントする場合、RAM 上に "00_H" "FF_H" の回数を保持するバッファ (ソフトウェアカウンタ) が必要です。

ソフトウェアカウンタを初期化してカウンタの動作を許可すると、PWC 端子に入力されたパルスの測定開始エッジを検出した時点で "FF_H" からカウントダウンを始めます。

測定終了エッジを検出するか、カウンタ値が "00_H" "FF_H" になると割込み要求が発生します。割込み処理ルーチンで測定終了割込み要求フラグビット (PCR1:IR) とアンダフロー ("00_H" "FF_H") 割込み要求フラグビット (PCR1:UF) をチェックし、UF ビットが "1" の場合、UF ビットに "0" を書き込んで割込み要求をクリアするとともに、ソフトウェアカウンタをインクリメントします (カウンタの動作は継続します)。

IR ビットが "1" の場合、ソフトウェアカウンタ値と PWC リロードバッファレジスタ (RLBR) 値から、"00_H" "FF_H" を含むパルス幅を算出します。

ただし、RLBR レジスタ値が "00_H" のときは 256 として計算します。

● 長いパルス幅の算出方法

$$\text{パルス幅} = \{ (256 - \text{RLBR レジスタ値}) + (\text{カウンタの "00}_H\text{" "FF}_H\text{" の回数} \times 256) \} \\ \times \text{カウントクロックの 1 サイクル幅}$$

パルス幅の算出は、次の "00_H" "FF_H" が発生する前に行ってください。次の "00_H" "FF_H" が発生すると、正しい測定値を算出できない場合があります。

被測定パルス選択ビット (PCR2:W2, W1, W0) を "011_B" (立下り ~ 立下り) に設定した場合の動作を図 9.7-3 に示します。

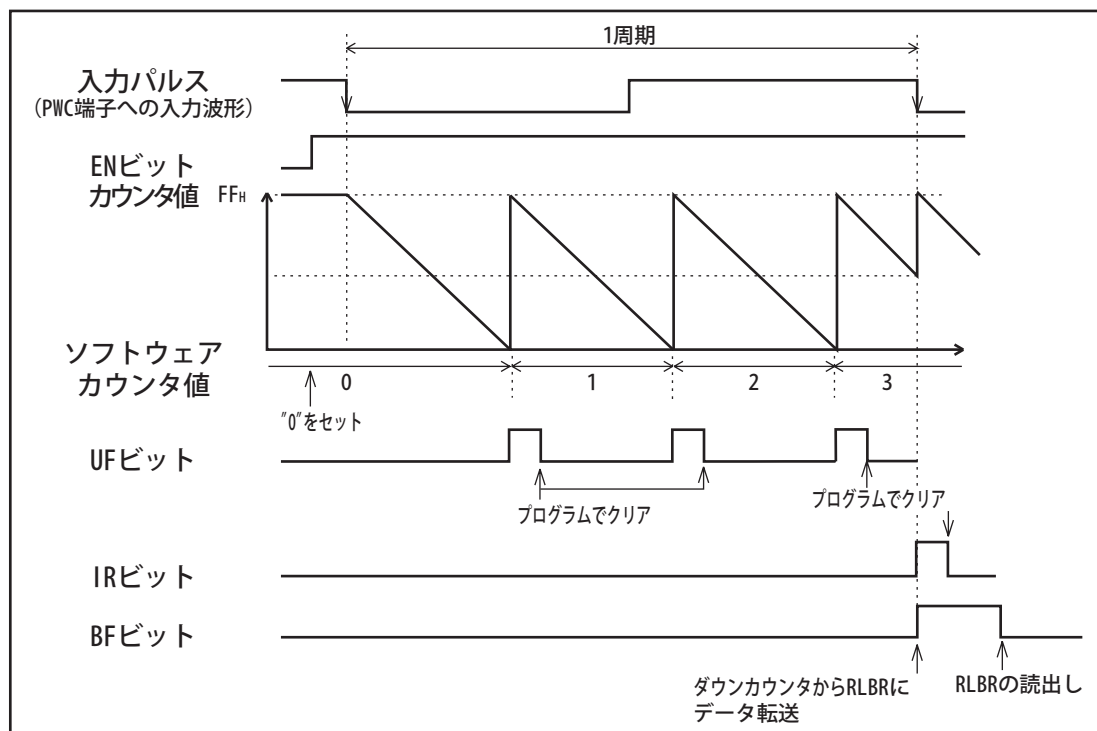


図 9.7-3 長いパルス幅の測定

9.8 パルス幅カウントタイマの動作中の各モードでの状態

パルス幅カウントタイマの動作中にスリープモードへの移行があった場合、ストップモードへの移行があった場合および途中停止の要求があった場合の動作を説明します。

■ スタンバイモードおよび途中停止時の動作

インターバルタイマ機能およびパルス幅測定機能の動作中に、スリープモードへ移行した場合、ストップモードへ移行した場合および途中停止の要求があった場合のカウンタ値の状態を図 9.8-1 に示します。

ストップモードに移行するとカウンタは値を保持して停止します。ストップモードが外部割込みによって解除されると、カウンタは保持した値から動作を始めます。このため、初回のインターバル時間やパルス幅測定は正しい値になりません。ストップモード解除後はパルス幅カウントタイマを初期化してください。

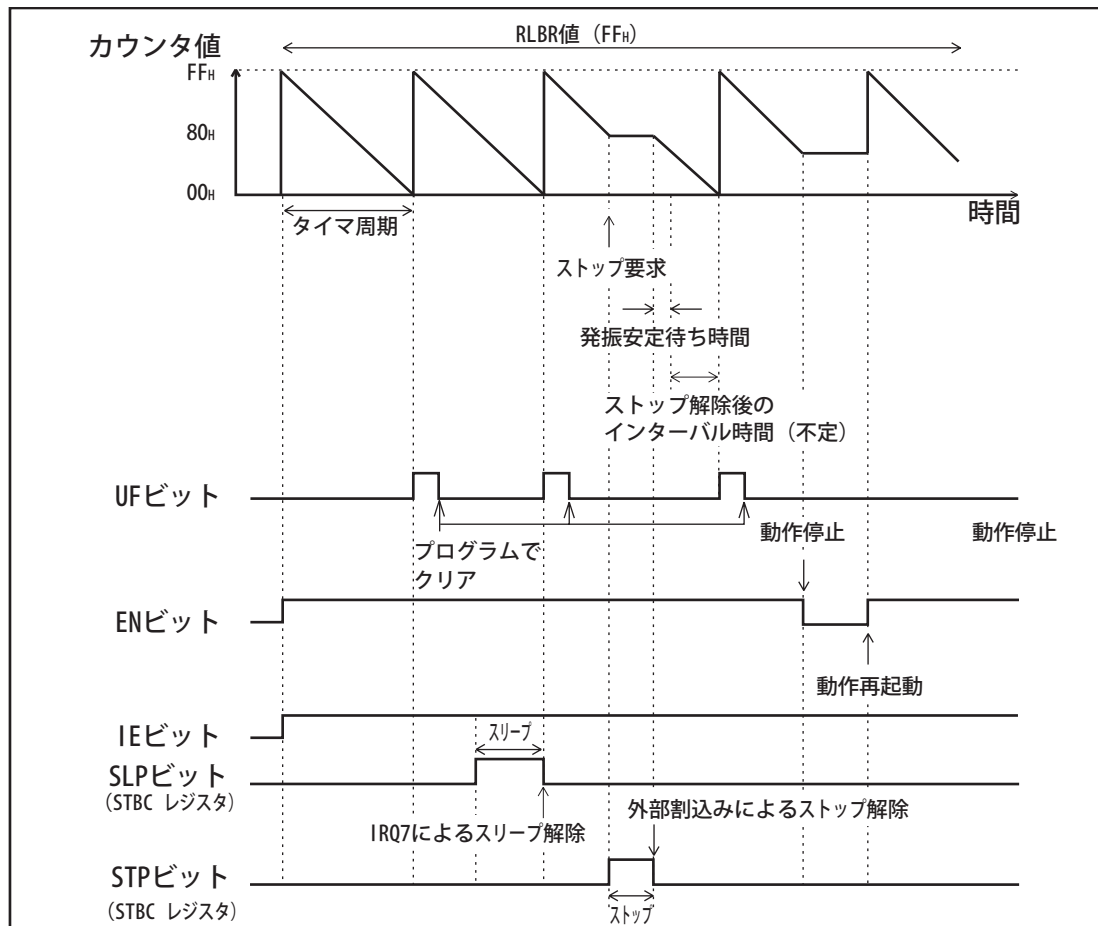


図 9.8-1 スタンバイモードおよび途中停止時のカウンタの動作

9.9 パルス幅カウントタイマ使用上の注意

パルス幅カウントタイマを使用するための注意点を示します。

■ パルス幅カウントタイマ使用上の注意

● 誤差

インターバルタイマ機能時のプログラムによるカウンタの起動と選択した内部カウントクロックによるカウントダウンの開始とは非同期です。そのため、カウンタが起動してから "00_H" "FF_H" になるまでの誤差として、最大でカウントクロック周期の 1 サイクル分短くなることがあります。

カウント動作開始までの誤差を図 9.9-1 に示します。

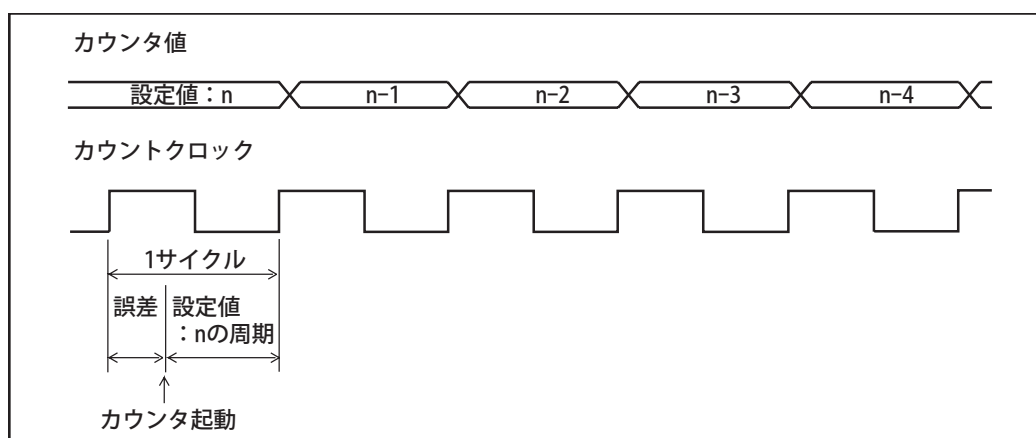


図 9.9-1 カウント動作開始までの誤差

● プログラムで設定する場合

- ・ インターバルタイマ機能およびパルス幅測定機能動作中 (PCR1:EN=1) に PWC パルス幅制御レジスタ 2 (PCR2) の内容を変更しないでください。
- ・ インターバルタイマ機能とパルス幅測定機能の切替え (PCR2:FC) は、PCR1 レジスタをカウンタ停止 (PCR1:EN=0)、割込み禁止 (PCR1:IE=0) かつ割込み要求クリア (PCR1:UF, IR, BF=0) の状態にしてから行ってください。
- ・ 割込み要求フラグビット (PCR1:UF, IR, BF) が "1" で割込み要求許可ビットが許可 (PCR1:IE=1) された状態では、割込み処理から復帰できません。割込み要求フラグビットを必ずクリアしてください。
- ・ パルス幅測定機能時、連続してパルス幅の測定を行ったとき、前の測定値を読み出さなかった場合は、新しい値をPWCリロードバッファレジスタ(RLBR)に転送せず、前の値を保持します。長いパルス測定時の測定値の読出しは、次の "00_H" "FF_H" が発生する前に行ってください。
- ・ カウンタ停止 (PCR1:EN=0) と割込み要因の発生が、同時に発生した場合は、割込み要求フラグビット (PCR1:UF, IR, BF) のセットは行われません。
- ・ 両エッジ検出 (PCR2:W2, W1, W0=001_B) 設定の場合、動作許可 (PCR1:EN=1) 後の最初の検出エッジは立上りエッジとなります。両エッジ検出設定でのカウンタ値は、立上りエッジで初期化され、立下りエッジでは初期化されません。

9.10 パルス幅カウントタイマのタイマ機能プログラム例

パルス幅カウントタイマのタイマ機能プログラム例を2種類、示します。

■ インターバルタイマ機能のプログラム例1 (リロードタイマモード)

● 処理仕様

- 3ms のインターバルタイマ割込みを繰り返し発生します (リロードタイマモード)。
- WTO 端子から初期値を "L" レベルとし、インターバル時間間隔で反転する方形波を出力します。
- メインクロック原発振 10MHz 時にインターバル時間が約 3ms となる RLBR レジスタ値を以下に示します。カウントクロックは $32t_{\text{inst}}$ (t_{inst} : ギア最高速度時、メインクロック原発振の4分周) とします。

RLBR レジスタ値 = $3\text{ms} / (32 \times 4 / 10\text{MHz}) = 234.4$ (0EA_H)

第 9 章 パルス幅カウントタイマ (PWC)

● コーディング例

```

PCR1 EQU 002CH ; PWC パルス幅制御レジスタ 1 のアドレス
PCR2 EQU 002DH ; PWC パルス幅制御レジスタ 2 のアドレス
RLBR EQU 002EH ; PWC リロードバッファレジスタのアドレス

EN EQU PCR1:7 ; カウンタ動作許可ビットの定義
IE EQU PCR1:5 ; 割込み要求許可ビットの定義
UF EQU PCR1:2 ; アンダフロー ("00H" "FFH") 割込み要求フラ
; グビットの定義

ILR2 EQU 007CH ; 割込みレベル設定レジスタ 2 のアドレス
INT_V DSEG ABS ; 【DATA SEGMENT】
ORG 0FFECH
IRQ7 DW WARI ; 割込みベクトル設定
INT_V ENDS

;-----メインプログラム-----
CSEG ; 【CODE SEGMENT】
; スタックポインタ (SP) などは初期化済みとする

:
CLR1 ; 割込みディセーブル
CLRB EN ; カウンタ動作停止
CLRB IE ; 割込み要求出力禁止
MOV A,RLBR ; バッファフルフラグクリア (PCR1:bit0)
MOV ILR2,#01111111B ; 割込みレベル設定 ( レベル 1)
MOV RLBR,#0EAH ; カウンタのリロード値 ( インターバル時間 )
MOV PCR2,#00010000B ; インターバルタイマ機能, リロードタイマ
; モード, WTO 端子の出力初期値, 32tinst 選択
MOV PCR1,#11100000B ; カウンタ動作開始, WTO 端子出力許可, 割込み
; 要求出力許可, アンダフロー ("00H" "FFH")
; 割込み要求フラグクリア, 測定終了割込み要求
; フラグクリア (bit1)
; 割込みイネーブル

SETI
:
;-----割込み処理ルーチン-----
WARI CLRB UF ; アンダフロー ("01H" "00H") 割込み要求フラ
; グクリア

PUSHW A
XCHW A,T
PUSHW A
:
ユーザ処理
:
POPW A
XCHW A,T
POPW A
RETI
ENDS

;-----
END

```

■ インターバルタイマ機能のプログラム例2 (ワンショットタイマモード)

● 処理仕様

- 3ms のインターバルタイマ割込みを 1 回発生します (ワンショットタイマモード)。
- WTO 端子から初期値を "H" レベルとし、インターバル時間間隔で反転するパルス波を出力します。
- メインクロック原発振 10MHz 時にインターバル時間が約 3ms となる RLBR レジスタ値を以下に示します。カウントクロックは $32t_{\text{inst}}$ (t_{inst} : ギア最高速度時、メインクロック原発振の 4 分周) とします。

RLBR レジスタ値 = $3\text{ms} / (32 \times 4 / 10\text{MHz}) = 234.4$ (0EA_H)

第 9 章 パルス幅カウントタイマ (PWC)

● コーディング例

```

PCR1 EQU 002CH ; PWC パルス幅制御レジスタ 1 のアドレス
PCR2 EQU 002DH ; PWC パルス幅制御レジスタ 2 のアドレス
RLBR EQU 002EH ; PWC リロードバッファレジスタのアドレス

EN EQU PCR1:7 ; カウンタ動作許可ビットの定義
IE EQU PCR1:5 ; 割込み要求許可ビットの定義
UF EQU PCR1:2 ; アンダフロー ("00H" "FFH") 割込み要求フラ
; グビットの定義

ILR2 EQU 007CH ; 割込みレベル設定レジスタ 2 のアドレス

INT_V DSEG ABS ; 【DATA SEGMENT】
ORG 0FFFECH
IRQ7 DW WARI ; 割込みベクトル設定
INT_V ENDS
;-----メインプログラム-----
CSEG ; 【CODE SEGMENT】
; スタックポインタ (SP) などは初期化済みとする
:
CLR1 ; 割込みディセーブル
CLRB EN ; カウンタ動作停止
CLRB IE ; 割込み要求出力禁止
MOV A,RLBR ; バッファフルフラグクリア (PCR1:bit0)
MOV ILR2,#01111111B ; 割込みレベル設定 (レベル 1)
MOV RLBR,#0EAH ; カウンタのリロード値 (インターバル時間)
MOV PCR2,#01110000B ; インターバルタイマ機能, ワンショットタイマ
; モード, WTO 端子の出力初期値, 32tinst 選択
MOV PCR1,#11100000B ; カウンタ動作開始, WTO 端子出力許可, 割込み
; 要求出力許可, アンダフロー ("00H" "FFH")
; 割込み要求フラグクリア, 測定終了割込み要求
; フラグクリア (bit1),
; 割込みイネーブル
SETI
:
;-----割込み処理ルーチン-----
WARI CLRB UF ; アンダフロー ("01H" "00H") 割込み要求フラ
; グクリア

PUSHW A
XCHW A,T
PUSHW A
:
ユーザ処理
:
POPW A
XCHW A,T
POPW A
RETI
ENDS
;-----
END

```

9.11 パルス幅カウントタイマのパルス幅測定機能プログラム例

パルス幅カウントタイマのパルス幅測定機能プログラム例を示します。

■ パルス幅測定機能のプログラム例

● 処理仕様

- PWC 端子に入力されるパルスの "H" 幅を測定します (パルス幅測定機能)。
- パルス幅の測定が終了すると割込みを発生し、測定を継続します。
- メインクロック原発振 10MHz 時に、カウントクロックを $4t_{\text{inst}}$ (t_{inst} : ギア最高速度時, メインクロック原発振の 4 分周) とした場合の、RLBR レジスタ値と測定したパルス幅の関係を以下に示します。

$$\text{パルス幅} = (256 - \text{RLBR レジスタ値}) \times 4 \times 4/10\text{MHz}$$

(測定範囲: 1.6 μs ~ 409.6 μs)

第 9 章 パルス幅カウントタイマ (PWC)

● コーディング例

```

DDR3 EQU 000FH
PCR1 EQU 002CH ; PWC パルス幅制御レジスタ 1 のアドレス
PCR2 EQU 002DH ; PWC パルス幅制御レジスタ 2 のアドレス
RLBR EQU 002EH ; PWC リロードバッファレジスタのアドレス

EN EQU PCR1:7 ; カウンタ動作許可ビットの定義
IE EQU PCR1:5 ; 割込み要求許可ビットの定義
IR EQU PCR1:1 ; 測定終了割込み要求フラグビット
BF EQU PCR1:0 ; バッファフルフラグビット

ILR2 EQU 007CH ; 割込みレベル設定レジスタ 2 のアドレス

INT_V DSEG ABS ; 【DATA SEGMENT】
ORG 0FFE6H
IRQ7 DW WARI ; 割込みベクトル設定
INT_V ENDS
;-----メインプログラム-----
CSEG ; 【CODE SEGMENT】
; スタックポインタ (SP) などは初期化済みとする
:
MOV DDR3,#00000000B ; P35/PWC 端子を入力に設定
CLRI ; 割込みディセーブル
CLRB EN ; カウンタ動作停止
CLRB IE ; 割込み要求出力禁止
MOV A,RLBR ; バッファフルフラグクリア (PCR1:BF)
MOV ILR2,#01111111B ; 割込みレベル設定 (レベル 1)
MOV RLBR,#0E9H ; カウンタのリロード値 (インターバル時間)
MOV PCR2,#10001000B ; パルス幅測定機能, 4tinst 選択, "H" パルス選択
MOV PCR1,#10100000B ; カウンタ動作許可, WTO 端子出力禁止,
; 割込み要求出力許可,
; アンドフロー ("00H" "FFH")
; 割込み要求フラグクリア,
; 測定終了割込み要求フラグクリア (IR),
; 割込みイネーブル
SETI
;-----割込み処理ルーチン-----
WARI CLRB IR ; 測定終了割込み要求フラグクリア
PUSHW A
XCHW A,T
PUSHW A
MOV A,RLBR ; パルス幅測定値読出し, BF フラグクリア
; ユーザ処理
POPW A
XCHW A,T
POPW A
RETI
ENDS
;-----
END

```

第 10 章

6 ビット PPG タイマ

この章では、6 ビット PPG タイマの機能と動作について説明します。

- 10.1 6 ビット PPG タイマの概要
- 10.2 6 ビット PPG タイマの構成
- 10.3 6 ビット PPG タイマの端子
- 10.4 6 ビット PPG タイマのレジスタ
- 10.5 6 ビット PPG タイマの動作説明
- 10.6 6 ビット PPG タイマの使用上の注意
- 10.7 6 ビット PPG タイマのプログラム例

10.1 6 ビット PPG タイマの概要

6 ビット PPG タイマは、4 種類の内部カウントクロックを選択できる 6 ビットの 2 進カウンタで、出力波形の周期と "H" 幅の設定ができます。このため、リモコン送信周波数発生器またはブザー出力としても使用できます。

■ 6 ビット PPG タイマ機能 1

- 6 ビット PPG タイマにて生成された波形は、PPG3 端子から出力されます。
- 出力波形の周期と "H" 幅を独立に設定できます。
- カウントクロックは、4 種類の内部クロックの中から選択できます。
- カウントクロックの 2 倍から (2^6-1) 倍の周期までの周波数を発生できます。

出力周期と "H" 幅可変範囲を表 10.1-1 に示します。

表 10.1-1 周期と "H" 幅可変範囲

内部カウントクロック周期	出力周期	出力 "H" 幅 [*]
$1t_{inst}$	$2t_{inst} \sim 63t_{inst}$	$1t_{inst} \sim 62t_{inst}$
$2t_{inst}$	$4t_{inst} \sim 126t_{inst}$	$2t_{inst} \sim 124t_{inst}$
$8t_{inst}$	$16t_{inst} \sim 504t_{inst}$	$8t_{inst} \sim 496t_{inst}$
$32t_{inst}$	$64t_{inst} \sim 2016t_{inst}$	$32t_{inst} \sim 1984t_{inst}$

t_{inst} : インストラクションサイクル (クロックモードの影響を受けます。)

6 ビット PPG 機能の周期と "H" 幅の計算例を示します。

メインクロック原発振 (F_{CH}) 10MHz で、カウントクロック周期を $1t_{inst}$ に設定したとき、
周期用コンペア値 = "011110_B" (30 クロック周期)

"H" 幅用コンペア値 = "001010_B" (10 クロック幅)

であれば、出力波形の "H" 幅、周期は以下ようになります。ただし、システムクロック制御レジスタ (SYCC) により、メインクロックモード (SYCC:SCS=1) の最高速クロックを選択 (SYCC:CS1, CS0=11_B, 1 インストラクションサイクル = $4/F_{CH}$) した場合の値です。

$$\begin{aligned}
 \text{出力周期} &= \text{周期用コンペア値} \times \text{カウントクロック周期} \\
 &= "011110_B" (30 \text{ クロック周期}) \times 1 \times 4/F_{CH} \\
 &= 30 \times 0.4 \mu s = 12 \mu s
 \end{aligned}$$

$$\begin{aligned}
 \text{出力 "H" 幅} &= \text{"H" 幅用コンペア値} \times \text{カウントクロック周期} \\
 &= "001010_B" (10 \text{ クロック幅}) \times 1 \times 4/F_{CH} \\
 &= 10 \times 0.4 \mu s \\
 &= 4 \mu s
 \end{aligned}$$

"H" 幅の設定値が周期の設定値以上の場合、"H" レベル出力になります。

■ 6 ビット PPG タイマ機能 2

制御可能なデューティ幅は、約 1.60% ~ 100% になります。周期用コンペア値が小さくなるほど分解能は低く（デューティ比の最小ステップ幅は大きく）なります。

出力周波数およびデューティ比は以下の式で算出します。

出力周期 = 周期用コンペア値 × カウントクロック周期

デューティ比 = ("H" 幅用コンペア値 / 同期用コンペア値) × 100 (%)

デューティ比の最小ステップおよび出力周期を表 10.1-2 に示します。

表 10.1-2 6 ビット PPG としての分解能と出力周期

周期用 コンペア値	"H" 幅用 コンペア値 設定範囲	出力周期				分解能	デューティ 比の最小 ステップ	
		カウント クロック =1t _{inst}	カウント クロック =2t _{inst}	カウント クロック =8t _{inst}	カウント クロック =32t _{inst}			
0	0	設定不可				"H" 出力		
1	0 ~ 1							
2	0 ~ 2	2 t _{inst}	4 t _{inst}	16 t _{inst}	64 t _{inst}	1/2	50%	
3	0 ~ 3	3 t _{inst}	6 t _{inst}	24 t _{inst}	96 t _{inst}	1/3	33.3%	
4	0 ~ 4	4 t _{inst}	8 t _{inst}	32 t _{inst}	128 t _{inst}	1/4	25.0%	
5	0 ~ 5	5 t _{inst}	10 t _{inst}	40 t _{inst}	160 t _{inst}	1/5	20.0%	
6	0 ~ 6	6 t _{inst}	12 t _{inst}	48 t _{inst}	192 t _{inst}	1/6	16.7%	
7	0 ~ 7	7 t _{inst}	14 t _{inst}	56 t _{inst}	224 t _{inst}	1/7	14.3%	
8	0 ~ 8	8 t _{inst}	16 t _{inst}	64 t _{inst}	256 t _{inst}	1/8	12.5%	
9	0 ~ 9	9 t _{inst}	18 t _{inst}	72 t _{inst}	288 t _{inst}	1/9	11.1%	
10	0 ~ 10	10 t _{inst}	20 t _{inst}	80 t _{inst}	320 t _{inst}	1/10	10.00%	
:								
15	0 ~ 15	15 t _{inst}	30 t _{inst}	120 t _{inst}	480 t _{inst}	1/15	6.7%	
:								
20	0 ~ 20	20 t _{inst}	40 t _{inst}	160 t _{inst}	640 t _{inst}	1/20	5.0%	
:								
25	0 ~ 25	25 t _{inst}	50 t _{inst}	200 t _{inst}	800 t _{inst}	1/25	4.0%	
:								
30	0 ~ 30	30 t _{inst}	60 t _{inst}	240 t _{inst}	960 t _{inst}	1/30	3.3%	
:								
40	0 ~ 40	40 t _{inst}	80 t _{inst}	320 t _{inst}	1280 t _{inst}	1/40	2.5%	
:								
50	0 ~ 50	50 t _{inst}	100 t _{inst}	400 t _{inst}	1600 t _{inst}	1/50	2.0%	
:								
60	0 ~ 60	60 t _{inst}	120 t _{inst}	480 t _{inst}	1920 t _{inst}	1/60	1.7%	
:								
63	0 ~ 63	63 t _{inst}	126 t _{inst}	504 t _{inst}	2016 t _{inst}	1/63	1.6%	

t_{inst}: インストラクションサイクル

10.2 6 ビット PPG タイマの構成

6 ビット PPG タイマは、以下のブロックで構成されています。

- カウントクロックセクタ
- 6 ビットカウンタ
- 比較回路
- 6 ビット PPG 制御レジスタ 1 (RCR1)
- 6 ビット PPG 制御レジスタ 2 (RCR2)

■ 6 ビット PPG タイマのブロックダイアグラム

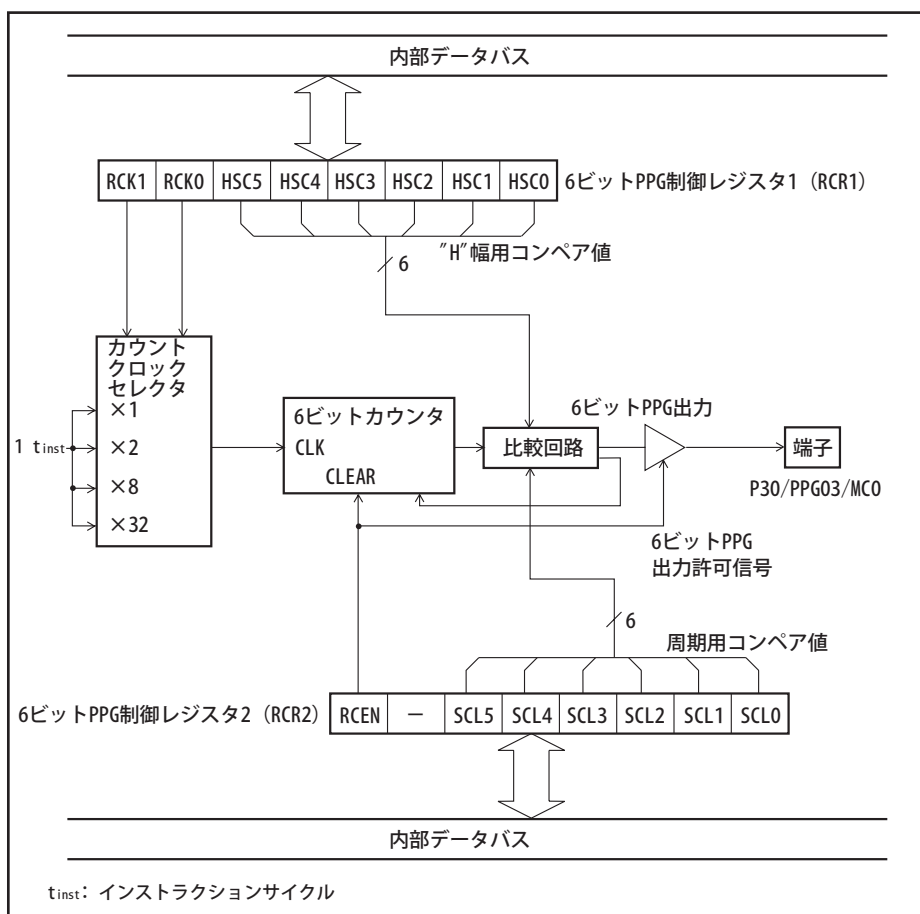


図 10.2-1 6 ビット PPG タイマのブロックダイアグラム

● カウントクロックセレクタ

4種類の内部カウントクロックから6ビットカウンタのカウントアップ用クロックを選択します。

● 6 ビットカウンタ

カウントクロックセレクタで選択されたカウントクロックでカウントアップします。

RCR2 レジスタの出力許可ビットによってクリア (RCR2:RCEN=0) できます。

● 比較回路

6 ビットカウンタの値が "H" 幅用コンペアレジスタの値に一致するまで出力を "H" に保ちます。

その後、カウンタ値が周期用コンペアレジスタの値に一致するまで出力を "L" に保った後、6 ビットカウンタはクリアされ "00_H" からカウントを続けます。

● 6 ビット PPG 制御レジスタ 1 (RCR1)

6 ビット PPG タイマのカウントクロック選択および "H" 幅用コンペア値の設定を行います。

● 6 ビット PPG 制御レジスタ 2 (RCR2)

6 ビット PPG タイマの出力許可および周期用コンペア値の設定を行います。

10.3 6 ビット PPG タイマの端子

6 ビット PPG タイマに関連する端子および端子のブロックダイアグラムを示します。

■ 6 ビット PPG タイマに関連する端子

6 ビット PPG タイマに関連する端子は、P30/PPG03/MCO 端子です。

● P30/PPG3/MCO 端子

この端子は、汎用入出力ポート (P30) としての機能、6 ビット PPG タイマ出力としての機能 (PPG03)、メインクロック出力としての機能 (MCO) を兼用しています。

PPG03: この端子に、設定した周期と "H" 幅の PPG 波形が出力されます。6 ビット PPG 制御レジスタで出力を許可 (RCR2:RCEN=1) することにより、PPG 波形を出力できます。

■ 6 ビット PPG タイマに関連する端子のブロックダイアグラム

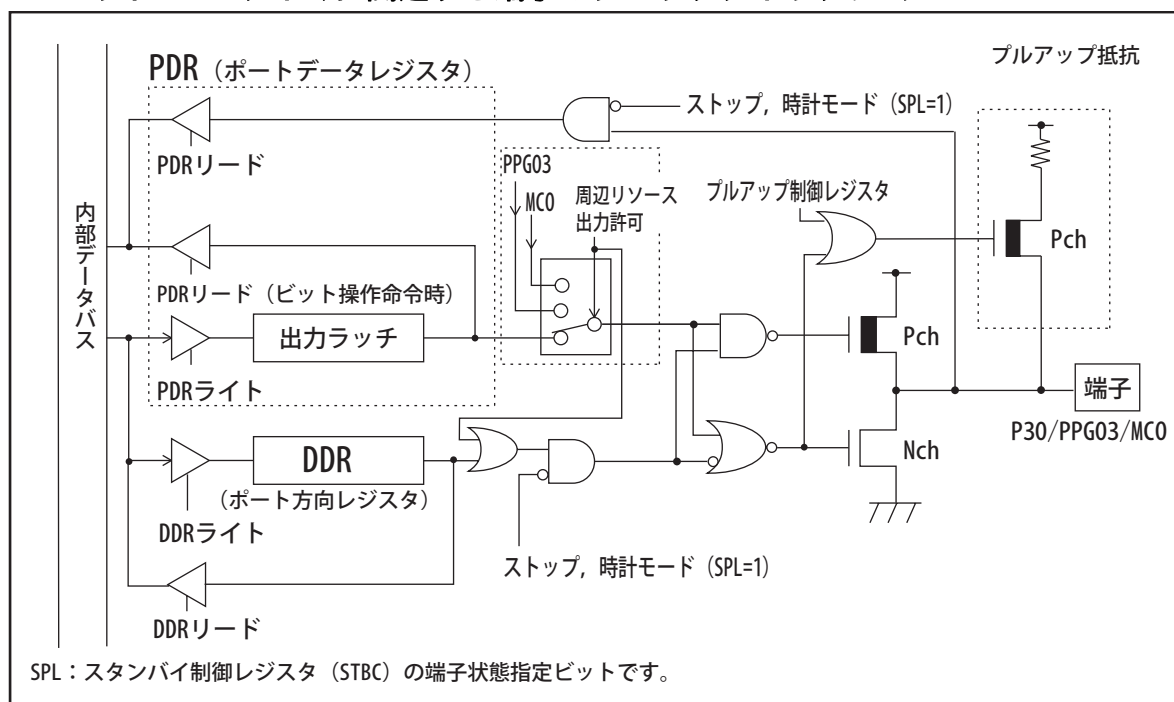


図 10.3-1 P30/PPG3 端子のブロックダイアグラム

ポート 3 プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、ストップモード・時計モード (SPL=1) における端子の状態は、"H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップは無効であり、ハイインピーダンス状態になります。

10.4 6 ビット PPG タイマのレジスタ

6 ビット PPG タイマに関連するレジスタを示します。

■ 6 ビット PPG タイマに関連するレジスタ

RCR1 (6ビットPPG制御レジスタ1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0058 _h	RCK1	RCK0	HSC5	HSC4	HSC3	HSC2	HSC1	HSC0	00000000 _b
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
RCR2 (6ビットPPG制御レジスタ2)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0059 _h	RCEN	—	SCL5	SCL4	SCL3	SCL2	SCL1	SCL0	0-000000 _b
	R/W		R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード・ライト可能									
— : 未使用									

図 10.4-1 6 ビット PPG タイマに関連するレジスタ

10.4.1 6 ビット PPG 制御レジスタ 1 (RCR1)

6 ビット PPG 制御レジスタ 1 は、6 ビット PPG タイマのカウントクロック選択および "H" 幅設定を行うレジスタです。

■ 6 ビット PPG 制御レジスタ 1 (RCR1)

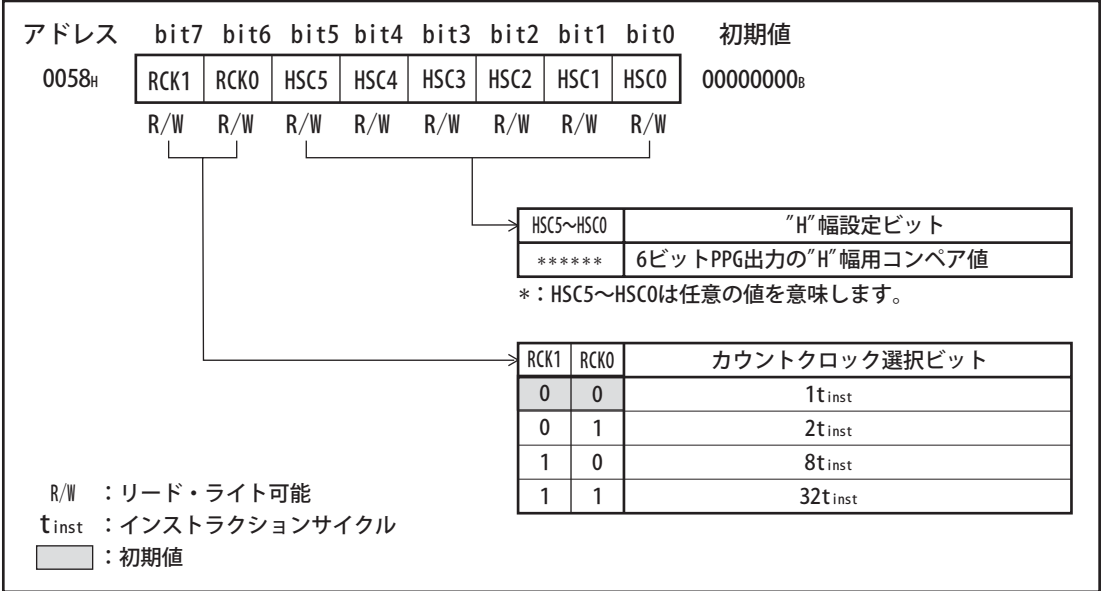


図 10.4-2 6 ビット PPG 制御レジスタ 1 (RCR1)

表 10.4-1 6 ビット PPG 制御レジスタ 1 (RCR1) の各ビットの機能説明

ビット名		機能
bit7 bit6	RCK1, RCK0: カウントクロック 選択ビット	4 種類の内部カウントクロックの中から 6 ビット PPG タイマの カウントクロックを選択するビットです。
bit5 bit4 bit3 bit2 bit1 bit0	HSC5 ~ HSC0: "H" 幅設定ビット	カウンタ値と比較される 6 ビット PPG タイマ出力の "H" 幅の カウント数を設定します ("H" 幅用コンペア値)。 < 注記 > "01 _H " ~ "3E _H " の値を設定し、必ず周期設定値より小さい値に してください。

10.4.2 6 ビット PPG 制御レジスタ 2 (RCR2)

6 ビット PPG 制御レジスタ 2 は、6 ビット PPG 波形の出力許可および周期設定を行うレジスタです。

■ 6 ビット PPG 制御レジスタ 2 (RCR2)

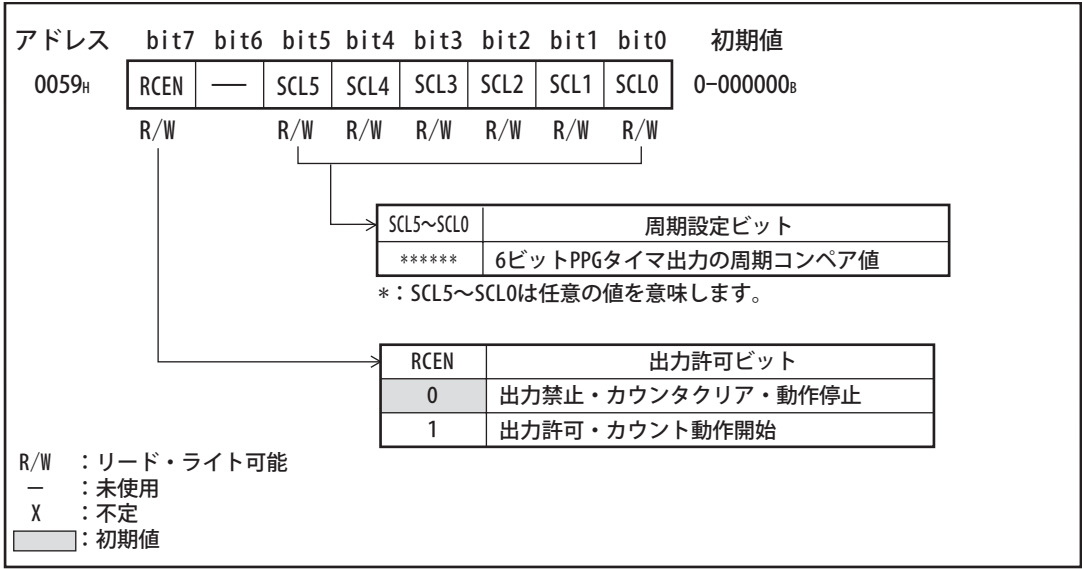


図 10.4-3 6 ビット PPG 制御レジスタ 2 (RCR2)

表 10.4-2 6 ビット PPG 制御レジスタ 2 (RCR2) の各ビットの機能説明

ビット名		機能
bit7	RCEN: 出力許可ビット	P30/PPG03/MCO 端子は、このビットが "0" のとき汎用ポート (P30) になり、"1" のとき 6 ビット PPG 出力端子 (PPG03) になります。 また、このビットに "0" を書き込むとカウンタをクリアして動作を停止し、"1" を書き込むとカウント動作を開始します。
bit6	未使用ビット	未使用ビットです。 • 読出しの値は不定です。 • 書込みは意味を持ちません。
bit5 bit4 bit3 bit2 bit1 bit0	SCL5 ~ SCL0: 周期設定ビット	カウンタ値と比較される 6 ビット PPG 出力波形の周期のカウント数を設定します (周期用コンペア値)。 < 注記 > "02 _H " ~ "3F _H " の値を設定してください。"00 _H " を設定すると、 "H" 幅用コンペア値まで直前の端子の状態を保持します。"H" コンペア一致後、常に "H" レベルが出力されます。

10.5 6 ビット PPG タイマの動作説明

6 ビット PPG タイマは、周期と "H" 幅を設定してリモコン送信周波数を発生できます。

■ 6 ビット PPG タイマの動作説明

6 ビット PPG タイマを動作させるためには、図 10.5-1 に示すレジスタの設定が必要です。

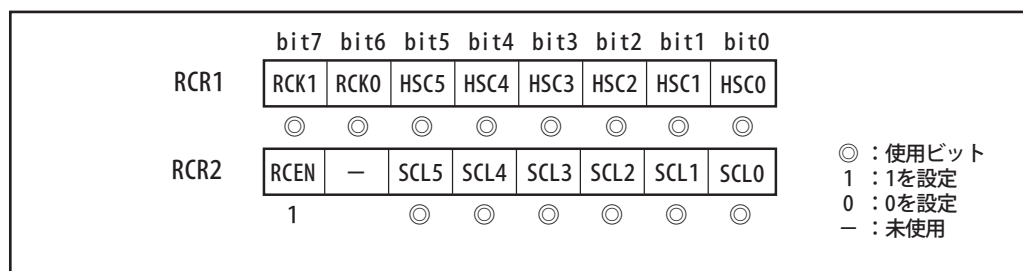


図 10.5-1 6 ビット PPG タイマの設定

6 ビット PPG タイマを出力許可すると、選択したカウントクロックに同期して、6 ビットカウンタが "00_H" からカウントを開始し、カウンタ値が "H" 幅用コンペア値になるまで、PPG03 端子を "H" レベルに維持します。次に、周期用コンペア値になるまで PPG03 端子を "L" レベルに維持し、一致したときに 6 ビットカウンタをクリアし、再び "00_H" からカウントを続けます。"H" 幅と周期を独立して設定できるため、6 ビット PPG として使用できます。

6 ビット PPG タイマの動作を図 10.5-2 に示します。

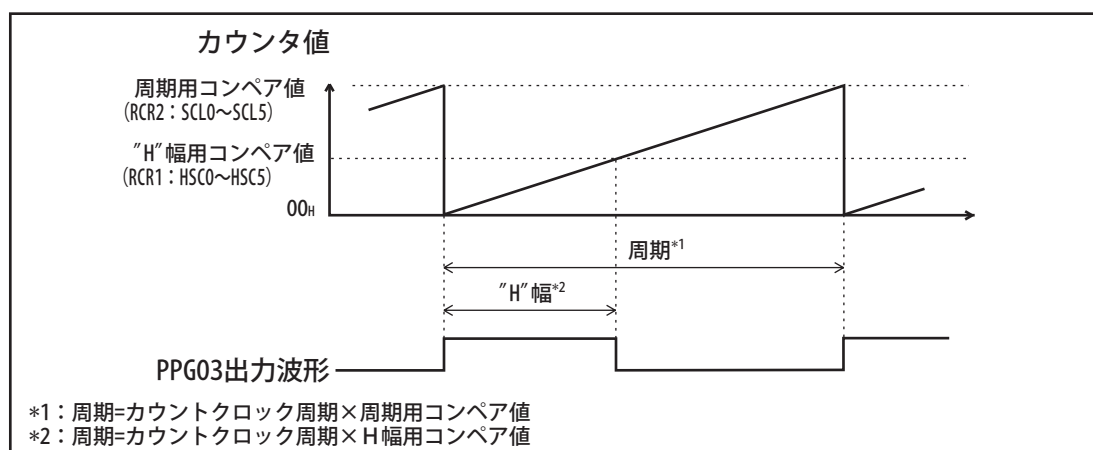


図 10.5-2 6 ビット PPG タイマの動作

10.6 6 ビット PPG タイマの使用上の注意

6 ビット PPG タイマを使用するための注意点を示します。

■ 6 ビット PPG タイマ使用上の注意

● "H" 幅設定値の制限

6 ビット PPG 制御レジスタ 1 の "H" 幅設定ビット (RCR1:HSC5 ~ HSC0) の値は, "01_H" ~ "3F_H" の範囲で設定してください。"00_H" を設定すると, PPG03 端子の出力は 0.5_{t_{inst}} 分の "H" レベルを出力します。また, 6 ビット PPG 制御レジスタ 2 の周期設定ビット (RCR2:SCL5 ~ SCL0) の値より小さい値を設定してください。等しいか大きい場合, PPG03 端子の出力は常に "H" レベルとなります。

● 分解能

"H" 幅の分解能は最大で周期の 1/63 (周期の設定値が "3F_H" のとき) となり, 周期の設定値を小さくすると, 周期の設定値が "02_H" のとき最小 1/2 まで制限されます。

● 動作中の設定値の変更について

6 ビット PPG 波形の周波数発生用の 6 ビットカウンタは "H" 幅設定ビット (RCR1:HSC5 ~ HSC0) および周期設定ビット (RCR2:SCL5 ~ SCL0) と直接比較されます。このため, カウンタの動作中に設定値を小さくすると, カウンタがオーバーフローして再び一致を検出するまで, 周期が長くなることがあります。また, 次のサイクル (周期) で一致を検出するまで "H" 幅が長くなることがあります。

6 ビット PPG タイマ動作中の設定値の変更を図 10.6-1 に示します。

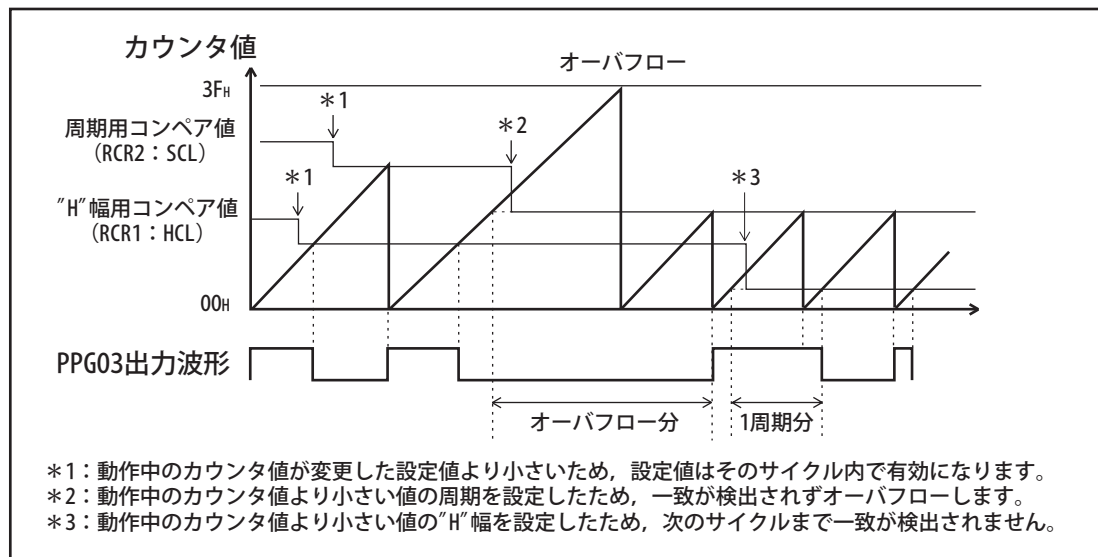


図 10.6-1 6 ビット PPG タイマ動作中の設定値の変更

● 誤差について

プログラムによるカウンタの起動と選択したカウントクロックによるカウントアップの開始とは非同期です。そのため、カウンタ値と "H" 幅用コンペア値および周期用コンペア値の一致を検出するまでの誤差として、最大でカウントクロック周期の1サイクル分が短くなることがあります。

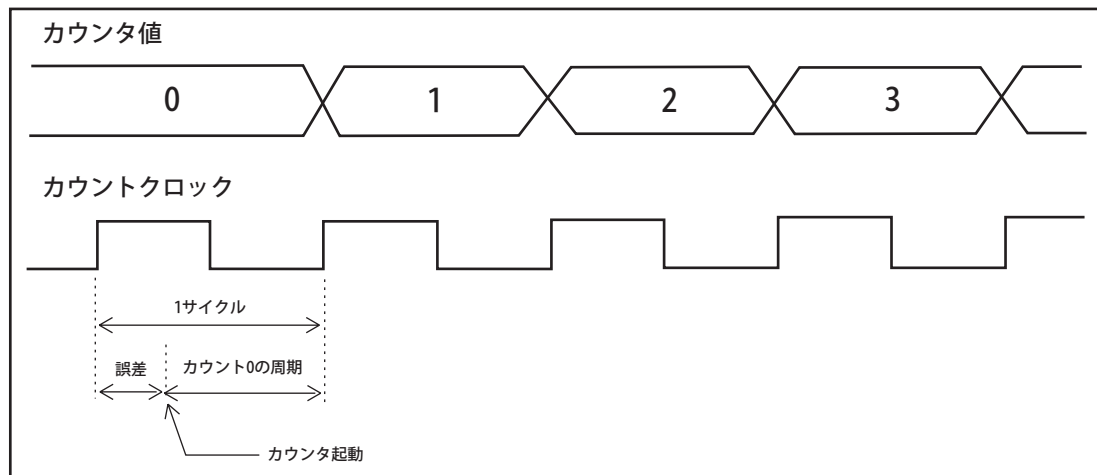


図 10.6-2 カウント動作開始までの誤差

10.7 6 ビット PPG タイマのプログラム例

6 ビット PPG タイマのプログラム例を示します。

■ 6 ビット PPG タイマのプログラム例

● 処理仕様

- 周期約 12 μ s, デューティ比約 33% のリモコン送信周波数を発生します。
- メインクロック原発振 10MHz でメインクロック最高速時に周期が約 12 μ s となる周期用コンペア値を以下に示します。カウントクロックは, $1t_{inst}$ とします。

周期用コンペア値 (RCR2:SCL5 ~ SCL0)= $12 \mu s / (1 \times 4 / 10 \text{MHz}) = 30$

- デューティ比が約 33% となる "H" 幅用コンペア値を以下に示します。このとき "H" 幅は約 9.5 μ s となります。

"H" 幅用コンペア値 (RCR1:HSC5 ~ HSC0)= $33/100 \times$ 周期用コンペア値
 $= 0.33 \times 30 = 10$

● コーディング例

```
RCR1 EQU 0058H ; 6 ビット PPG 制御レジスタ 1 のアドレス
RCR2 EQU 0059H ; 6 ビット PPG 制御レジスタ 2 のアドレス
;-----メインプログラム-----
CSEG ; 【CODE SEGMENT】
:
MOV RCR1,#00000101B ; カウントクロックに  $1t_{inst}$  を選択, "H" 幅コン
; ペア値
MOV RCR2,#10001111B ; 出力許可・動作開始, 周期コンペア値
:
ENDS
;-----
END
```


第 11 章

12 ビット PPG タイマ

この章では、12 ビット PPG タイマの機能と動作について説明します。

11.1 12 ビット PPG タイマの概要

11.2 12 ビット PPG タイマの構成

11.3 12 ビット PPG タイマの端子

11.4 12 ビット PPG タイマのレジスタ

11.5 12 ビット PPG タイマの動作説明

11.6 12 ビット PPG タイマの使用上の注意

11.7 12 ビット PPG タイマのプログラム例

11.1 12 ビット PPG タイマの概要

12 ビット PPG タイマは、12 ビットのカウンタで、4 種類のクロックからカウントクロックを選択できます。出力波形の周期と "H" 幅の設定が可能で、リモコン送信用周波数発生器または 12 ビット PPG として使用できます。

■ 12 ビット PPG タイマ機能 1

- ・ リモコン用の周波数を発生させ、PPG01 端子または PPG02 端子から信号を出力します。
 - ・ 出力波形の周期と "H" 幅を独立に設定できます。
 - ・ カウントクロックを、4 種類の内部クロックの中から選択できます。
 - ・ カウントクロックの 2 倍から ($2^{12} - 1$) 倍の周期までの周波数を発生できます。
- 出力周期と "H" 幅可変範囲を表 11.1-1 に示します。

表 11.1-1 周期と "H" 幅可変範囲

内部カウントクロック周期	出力周期	出力 "H" 幅
2 t_{inst}	4 t_{inst} ~ 8190 t_{inst}	2 t_{inst} ~ 8188 t_{inst}
4 t_{inst}	8 t_{inst} ~ 16380 t_{inst}	4 t_{inst} ~ 16376 t_{inst}
16 t_{inst}	32 t_{inst} ~ 65520 t_{inst}	16 t_{inst} ~ 65504 t_{inst}
256 t_{inst}	512 t_{inst} ~ 1048320 t_{inst}	256 t_{inst} ~ 1048064 t_{inst}

t_{inst} : インストラクションサイクル (クロックモードの影響を受けます。)

12 ビット PPG 機能の周期と "H" 幅の計算例を示します。

メインクロック原発振 (F_{CH}) を 12.5MHz とし、カウントクロック周期として $2t_{inst}$ クロックを選択しているものとします。また、メインクロックモードで、システムクロック制御レジスタから最速のクロック速度 (SYCC:SCS=CS1=CS0=1) を選択しているものとします (これによって、インストラクションサイクル時間は $4/F_{CH}$ になります)。

$$\begin{aligned}
 \text{出力周期} &= \text{周期用コンペア値} \times \text{カウントクロック周期} \\
 &= "011110_B"(30 \text{ クロック周期}) \times 2 \times 4/F_{CH} \\
 &= 30 \times 2 \times 0.32 \mu s \\
 &= 19.2 \mu s
 \end{aligned}$$

$$\begin{aligned}
 \text{出力 "H" 幅} &= \text{"H" 幅用コンペア値} \times \text{カウントクロック周期} \\
 &= "001010_B"(10 \text{ クロック幅}) \times 2 \times 4/F_{CH} \\
 &= 10 \times 2 \times 0.32 \mu s \\
 &= 6.4 \mu s
 \end{aligned}$$

"H" 幅の設定値が周期の設定値以上の場合、"H" レベル出力になります。

■ 12 ビット PPG タイマ機能 2

出力波形の周期と "H" 幅は独立に設定できるので、12 ビット PPG タイマは、リモート制御送信出力発生回路として使用できます。

- "H" 幅比較設定の有効範囲は、"0"(0% デューティ比)から周期比較設定(100% デューティ比)までとなります。
- 周期比較設定を下げると（出力波形の周期が短ければ）、分解能も下ります（最大デューティ比ステップサイズが大きくなる）。
- 制御可能なデューティ幅は、約 0.02% ~ 100% となります。
- 周期用コンペア値が小さくなるほど分解能は低く（デューティ比の最小ステップ幅は大きく）なります。

出力周波数およびデューティ比は以下の式で算出します。

出力周期 = 周期用コンペア値 × カウントクロック周期

デューティ比 = "H" 幅用コンペア値 ÷ 周期用コンペア値 × 100 (%)

デューティ比の最小ステップおよび出力周期を表 11.1-2 に示します。

表 11.1-2 12 ビット PPG の分解能と出力周期

周期用 コンペア値	出力周期				"H" 幅用 コンペア値 設定範囲	分解能	デューティ比の 最小ステップ
	カウント クロック 2 tinst	カウント クロック 4 tinst	カウント クロック 16 tinst	カウント クロック 256 tinst			
0	-	-	-	-	-	"H" 出力	
1	-	-	-	-	0 ~ 1		
2	4 tinst	8 tinst	32 tinst	512 tinst	0 ~ 2	1/2	50.0%
3	6 tinst	12 tinst	48 tinst	768 tinst	0 ~ 3	1/3	33.3%
4	8 tinst	16 tinst	64 tinst	1024 tinst	0 ~ 4	1/4	25.0%
5	10 tinst	20 tinst	80 tinst	1280 tinst	0 ~ 5	1/5	20.0%
6	12 tinst	24 tinst	96 tinst	1536 tinst	0 ~ 6	1/6	16.7%
7	14 tinst	28 tinst	112 tinst	1792 tinst	0 ~ 7	1/7	14.3%
8	16 tinst	32 tinst	128 tinst	2048 tinst	0 ~ 8	1/8	12.5%
9	18 tinst	36 tinst	144 tinst	2304 tinst	0 ~ 9	1/9	11.1%
10	20 tinst	40 tinst	160 tinst	2560 tinst	0 ~ 10	1/10	10.0%
:							
20	40 tinst	80 tinst	320 tinst	5120 tinst	0 ~ 20	1/20	5.0%
:							
100	200 tinst	400 tinst	1600 tinst	25600 tinst	0 ~ 100	1/100	1.0%
:							
500	1000 tinst	2000 tinst	8000 tinst	128000 tinst	0 ~ 500	1/500	0.2%
:							
1000	2000 tinst	4000 tinst	16000 tinst	256000 tinst	0 ~ 1000	1/1000	0.1%
:							
2000	4000 tinst	8000 tinst	32000 tinst	512000 tinst	0 ~ 2000	1/2000	0.05%
:							
3000	6000 tinst	12000 tinst	48000 tinst	768000 tinst	0 ~ 3000	1/3000	0.03%
:							
4095	8190 tinst	16380 tinst	65520 tinst	1048320 tinst	0 ~ 4095	1/4095	0.02%

tinst: インストラクションサイクル

11.2 12 ビット PPG タイマの構成

12 ビット PPG タイマは、以下のブロックで構成されています。

- カウントクロックセクタ
- 12 ビットカウンタ
- 比較回路
- PPG1/PPG2 制御レジスタ (PPGC1/PPGC2)
- PPG1/PPG2 リロードレジスタ 1 (PRL11/PRL21)
- PPG1/PPG2 リロードレジスタ 2 (PRL12/PRL22)
- PPG1/PPG2 リロードレジスタ 3 (PRL13/PRL23)

■ 12 ビット PPG タイマのブロックダイアグラム

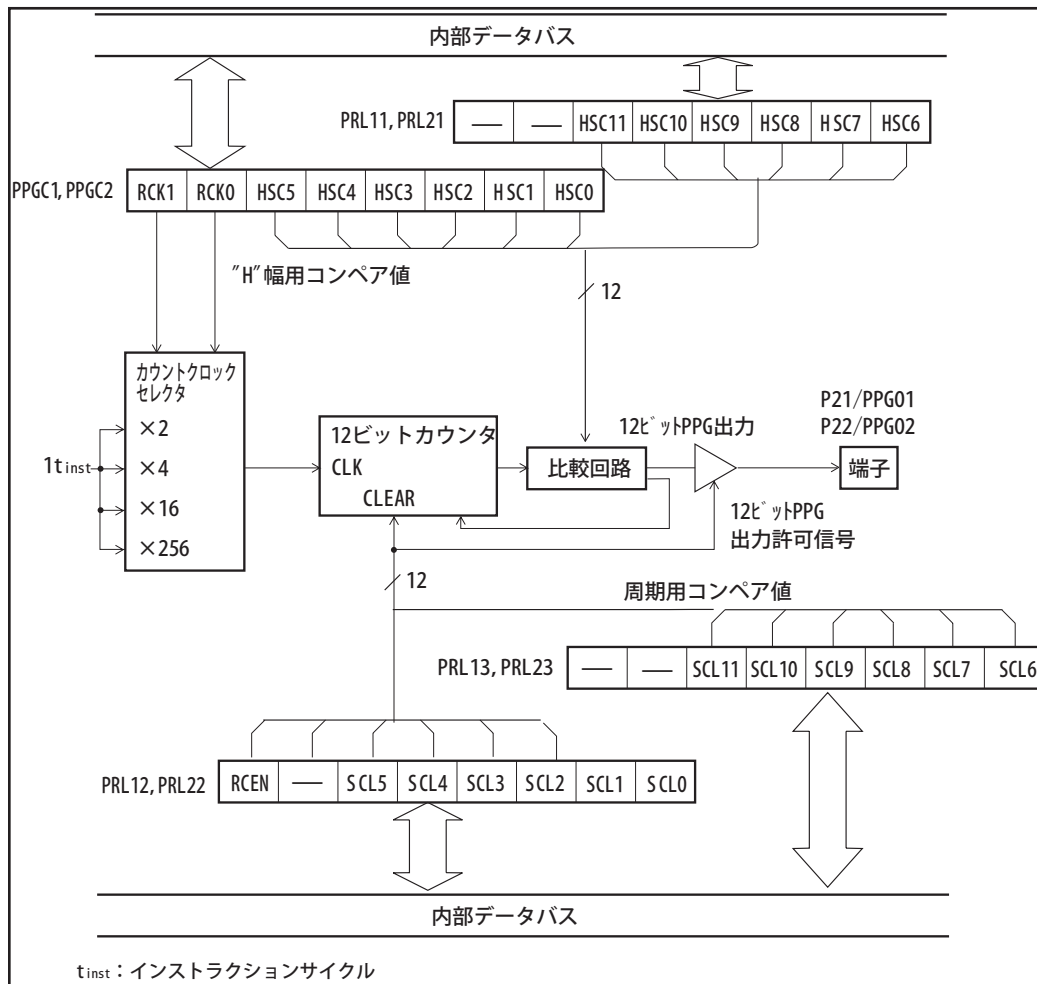


図 11.2-1 12 ビット PPG タイマのブロックダイアグラム

● カウントクロックセクタ

4 種類の内部カウントクロックから 12 ビットカウンタのカウントアップ用クロックを選択します。

● 12 ビットカウンタ

カウントクロックセクタで選択されたカウントクロックでカウントアップします。

PPG リロードレジスタ 2 (PRL12/PRL22) の出力許可ビットによってクリア (PRL12/PRL22:RCEN=0) できます。

● 比較回路

12 ビットカウンタの値が "H" 幅用コンペアレジスタの値に一致するまで出力を "H" に保ちます。

その後、カウンタ値が周期用コンペアレジスタの値に一致するまで出力を "L" に保った後、12 ビットカウンタはクリアされ "000_H" からカウントを続けます。

● PPG 制御レジスタ (PPGC1/PPGC2), PPG リロードレジスタ 1 (PRL11/PRL21)

PPGC1/PPGC2 と PRL11/PRL21 は 12 ビット PPG タイマのカウントクロック選択、および出力 "H" パルス幅用コンペア値を設定するために使用します。

● PPG リロードレジスタ 2 (PRL12/PRL22) と PPG リロードレジスタ 3 (PRL13/PRL23)

PRL12/PRL22 と PRL13/PRL23 は、12 ビット PPG タイマの許可 / 禁止、および出力周期用コンペア値を設定するために使用します。

11.3 12 ビット PPG タイマの端子

12 ビット PPG タイマの端子に関連する端子および端子のブロックダイアグラムを示します。

■ 12 ビット PPG タイマに関連する端子

12 ビット PPG タイマに関連する端子は、P21/PPG01 端子または P22/PPG02 端子です。

● P21/PPG01 端子と P22/PPG02 端子

この端子は、汎用 CMOS 入出力ポート (P21, P22) としての機能と、12 ビット PPG タイマ出力 (PPG01, PPG02) としての機能を兼用しています。

PPG01, PPG02: この端子に、設定した周期と "H" 幅の PPG 波形が出力されます。12 ビット PPG 制御レジスタで出力を許可 (PPG01 端子の場合、PRL12:RCEN=1 または PPG02 端子の場合、PRL22: RCEN=1) することにより、PPG 波形を出力できます。

■ 12 ビット PPG タイマに関連する端子のブロックダイアグラム

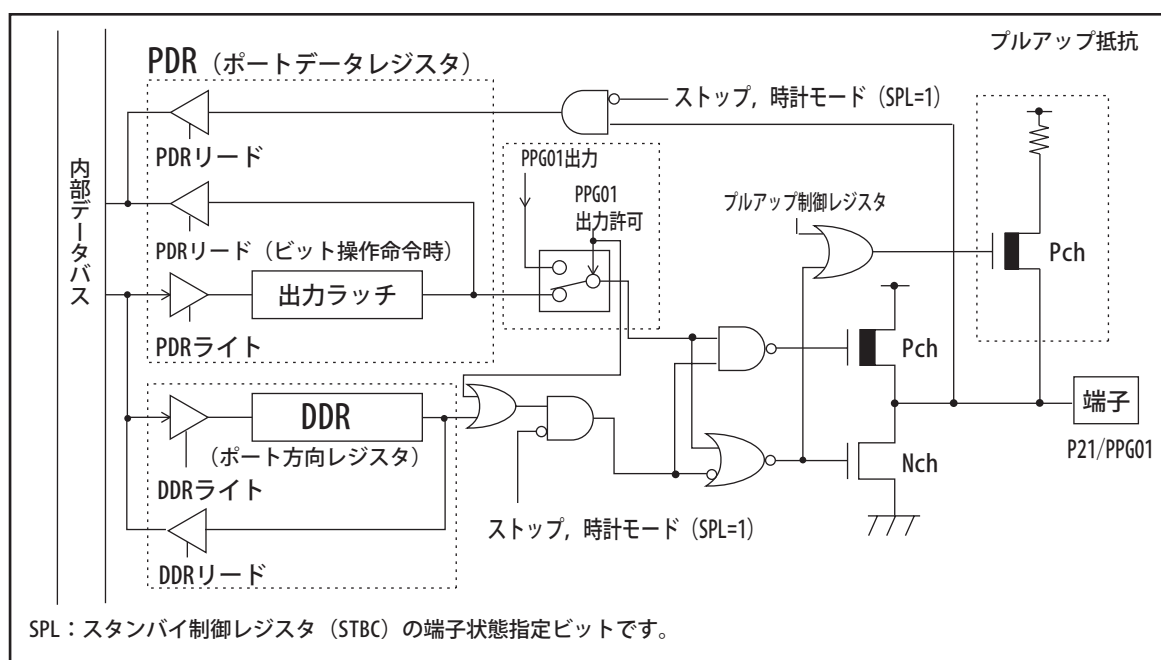


図 11.3-1 P21/PPG01 端子のブロックダイアグラム

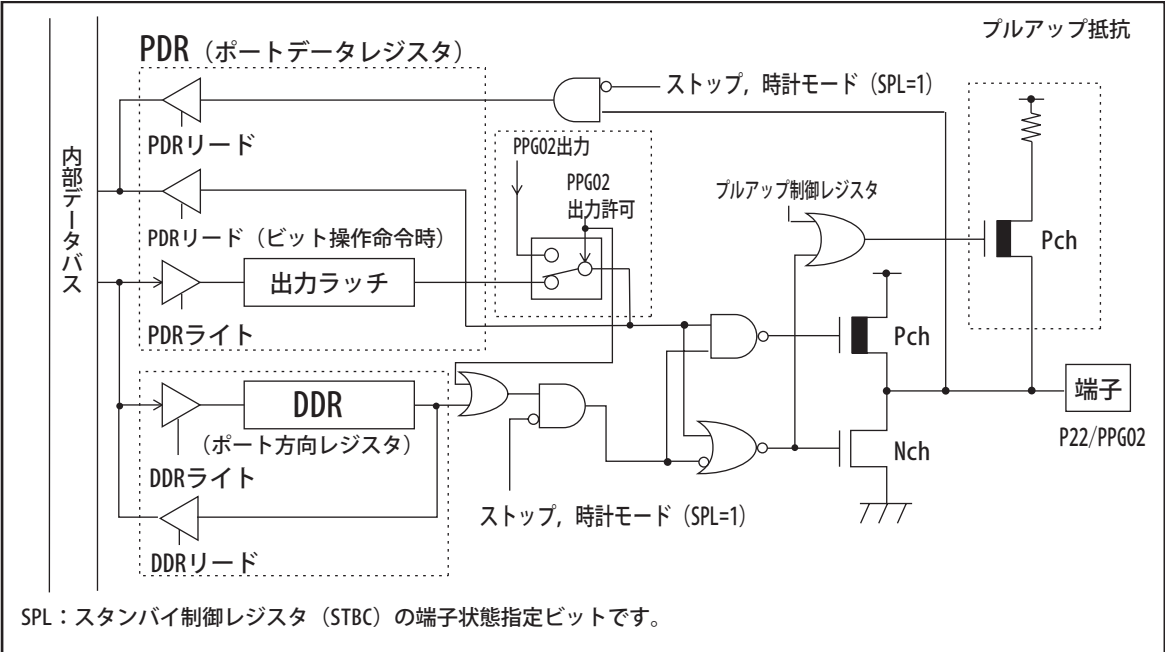


図 11.3-2 P22/PPG02 端子のブロックダイアグラム

ポート2プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、ストップモードおよび時計モード (SPL=1) における端子の状態は、"H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップは無効となり、ハイインピーダンス状態となります。

< 注意事項 >

12 ビット PPG タイマを動作中に、ポート 2 データレジスタ (PDR2) へ RMW 系の命令を実行すると、P22/PPG02 端子のみ、読出し時に端子レベルが読み込まれます。
このため、PDR2 の bit2 の値が変化することがあります。

11.4 12 ビット PPG タイマのレジスタ

12 ビット PPG タイマに関連するレジスタを示します。

■ 12 ビット PPG タイマの端子に関連するレジスタ

PPG2 レジスタ

PPGC2(PPG2 制御レジスタ)

アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0038 _H	RCK1	RCK0	HSC5	HSC4	HSC3	HSC2	HSC1	HSC0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

PRL21(PPG2 リロードレジスタ 1)

アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
003A _H	-	-	HSC11	HSC10	HSC9	HSC8	HSC7	HSC6	--000000 _B
			R/W	R/W	R/W	R/W	R/W	R/W	

PRL22(PPG2 リロードレジスタ 2)

アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0039 _H	RCEN	-	SCL5	SCL4	SCL3	SCL2	SCL1	SCL0	0-000000 _B
	R/W		R/W	R/W	R/W	R/W	R/W	R/W	

PRL23(PPG2 リロードレジスタ 3)

アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
003B _H	-	-	SCL11	SCL10	SCL9	SCL8	SCL7	SCL6	--000000 _B
			R/W	R/W	R/W	R/W	R/W	R/W	

PPG1 レジスタ

PPGC1(PPG1 制御レジスタ)

アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
004C _H	RCK1	RCK0	HSC5	HSC4	HSC3	HSC2	HSC1	HSC0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

PRL11(PPG1 リロードレジスタ 1)

アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
004E _H	-	-	HSC11	HSC10	HSC9	HSC8	HSC7	HSC6	--000000 _B
			R/W	R/W	R/W	R/W	R/W	R/W	

PRL12(PPG1 リロードレジスタ 2)

アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
004D _H	RCEN	-	SCL5	SCL4	SCL3	SCL2	SCL1	SCL0	0-000000 _B
	R/W		R/W	R/W	R/W	R/W	R/W	R/W	

PRL13(PPG1 リロードレジスタ 3)

アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
004F _H	-	-	SCL11	SCL10	SCL9	SCL8	SCL7	SCL6	--000000 _B
			R/W	R/W	R/W	R/W	R/W	R/W	

R/W：リード・ライト可能

-：未使用

図 11.4-1 12 ビット PPG タイマの端子に関連するレジスタ

11.4.1 12 ビット PPG 制御レジスタ (PPGC1/PPGC2)

12 ビット PPG 制御レジスタ (PPGC1/PPGC2) は、12 ビット PPG タイマのカウントクロック選択および "H" 幅設定を行うレジスタです。

■ 12 ビット PPG 制御レジスタ (PPGC1/PPGC2)

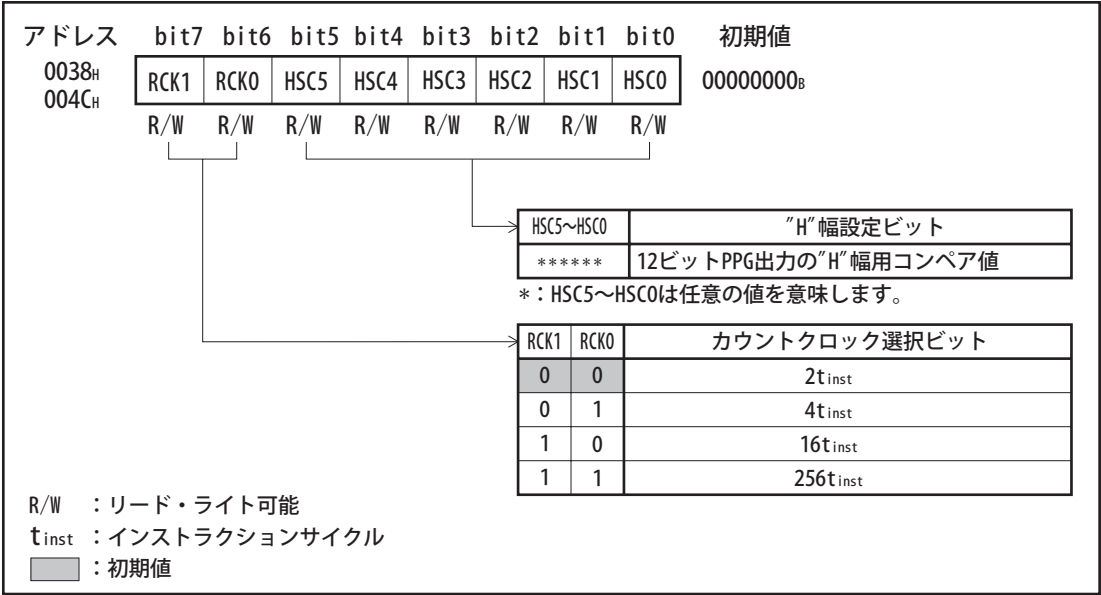


図 11.4-2 12 ビット PPG 制御レジスタ (PPGC1/PPGC2)

表 11.4-1 12 ビット PPG 制御レジスタ (PPGC1/PPGC2) の各ビットの機能説明

ビット名		機能
bit7 bit6	RCK1, RCK0: カウント クロック選択 ビット	4 種類の内部クロックから 12 ビット PPG タイマのカウントクロックを選択するビットです。
bit5 bit4 bit3 bit2 bit1 bit0	HSC5 ~ HSC0: "H" 幅設定 ビット	PRL11, PRL21 の HCS6 ~ HCS11 と共に、12 ビット PPG タイマの出力を "H" (カウンタ値と比較される "H" 幅用コンペア値) に保持するカウント数を設定するビットです。

11.4.2 12 ビット PPG リロードレジスタ 1 (PRL11/PRL21)

12 ビット PPG リロードレジスタは , "H" 幅設定を行うレジスタです。

■ 12 ビット PPG リロードレジスタ 1 (PRL11/PRL21)

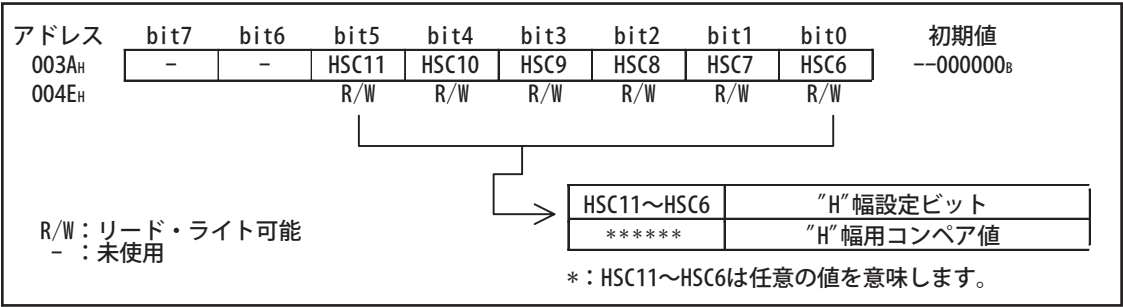


図 11.4-3 12 ビット PPG リロードレジスタ 1 (PRL11/PRL21)

表 11.4-2 12 ビット PPG リロードレジスタ 1 (PRL11/PRL21) の各ビットの機能説明

ビット名		機能
bit5 bit4 bit3 bit2 bit1 bit0	HSC11 ~ HSC6: "H" 幅設定ビット	PPGC1/PPGC2 の HCS0 ~ HCS5 と共に , 12 ビット PPG タイマ の出力を "H"(カウンタ値と比較される "H" 幅用コンペア値) に保持するカウント数を設定するビットです。

11.4.3 12 ビット PPG リロードレジスタ 2 (PRL12/PRL22)

12 ビット PPG リロードレジスタ 2 は、出力の許可 / 禁止および出力周期の設定を行うレジスタです。

■ 12 ビット PPG リロードレジスタ 2 (PRL12/PRL22)

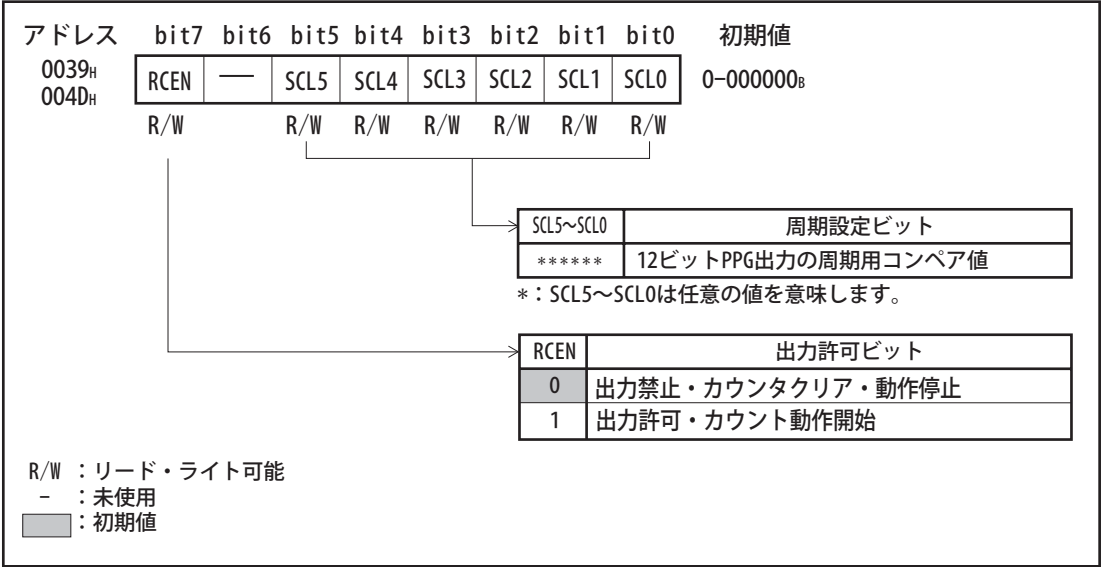


図 11.4-4 PPG リロードレジスタ 2 (PRL12/PRL22)

表 11.4-3 12 ビット PPG リロードレジスタ 2 (PRL12/PRL22) の各ビットの機能説

ビット名		機能
bit7	RCEN: 出力許可ビット	このビットが "0" のとき汎用ポートになり, "1" のとき 12 ビット PPG 出力端子になります。 また, このビットに "0" を書き込むとカウンタをクリアして動作を停止し, "1" を書き込むとカウンタ動作を開始します。
bit6	未使用ビット	未使用ビットです。 ・ 読出しの値は不定です。 ・ 書込みは意味を持ちません。
bit5 bit4 bit3 bit2 bit1 bit0	SCL5 ~ SCL0: 周期設定ビット	PRL13/PRL23 の SCL6 ~ SCL11 と共に, カウンタ値で出力周期の長さを設定 (カウンタ値と比較される周期用コンペア値) するビットです。 < 注記 > "000000000010" ~ "111111111111" (002 _H ~ FFF _H) の値を設定してください。 "000 _H " を設定すると, 出力は設定時の状態で停止し, その状態を保持します。

11.4.4 12 ビット PPG リロードレジスタ 3 (PRL13/PRL23)

12 ビット PPG リロードレジスタ 3 は , 出力周期の設定を行うレジスタです。

■ 12 ビット PPG リロードレジスタ 3 (PRL13/PRL23)

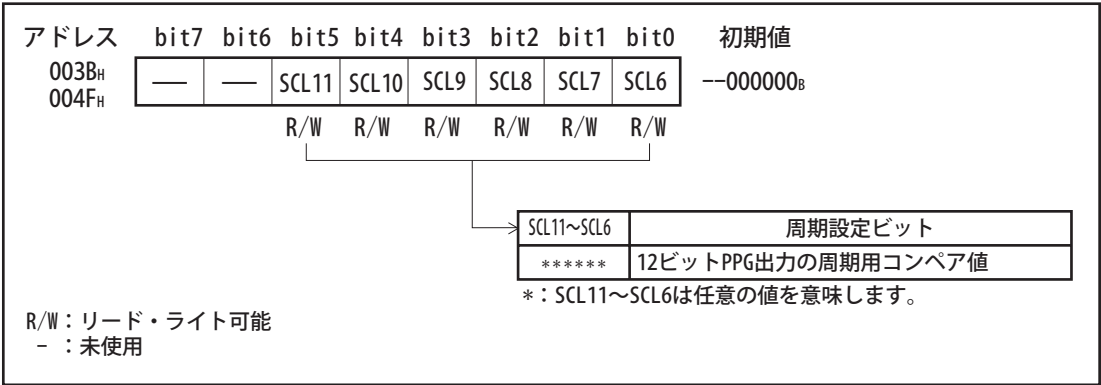


図 11.4-5 12 ビット PPG リロードレジスタ 3 (PRL13/PRL23)

表 11.4-4 12 ビット PPG リロードレジスタ 3 (PRL13/PRL23) の各ビットの機能説明

ビット名		機能
bit7 bit6	未使用ビット	未使用ビットです。 ・ 読出しの値は不定です。 ・ 書込みは意味を持ちません。
bit5 bit4 bit3 bit2 bit1 bit0	SCL11 ~ SCL6: 周期設定ビット	PRL12/PRL22 の SCL0 ~ SCL5 と共に , カウンタ値で出力周期の長さを設定 (カウンタ値と比較される周期用コンペア値) するビットです。 < 注記 > "000000000010" ~ "111111111111" ("002H" ~ "FFFH") の値を設定してください。 "000H" を設定すると , 出力は設定時の状態で停止し , その状態を保持します。

11.5 12 ビット PPG タイマの動作説明

12 ビット PPG タイマは , 出力の周期と "H" 幅を独立に設定してリモコン送信周波数を設定できます。

■ 12 ビット PPG タイマの動作説明

12 ビット PPG タイマの端子を動作させるためには , 図 11.5-1 に示すレジスタの設定が必要です。

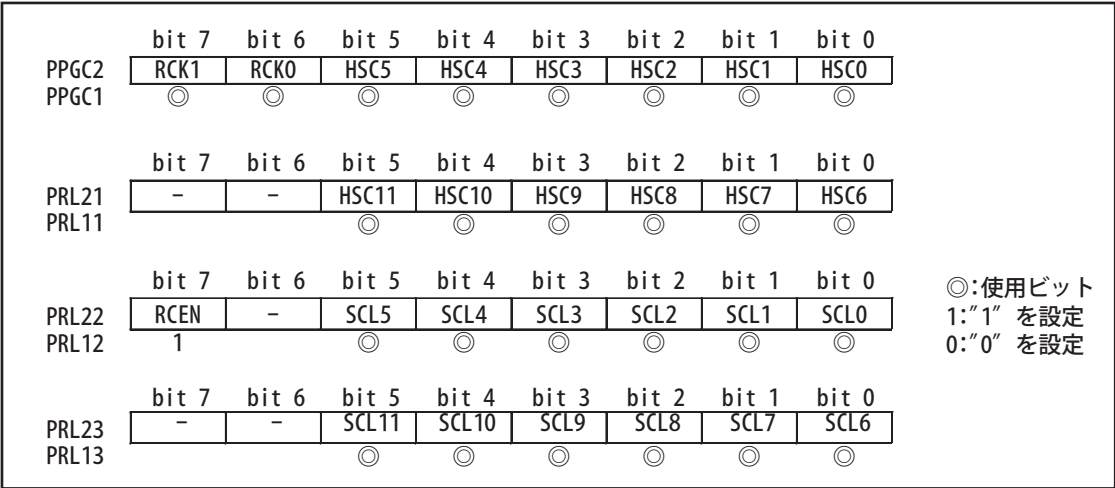


図 11.5-1 12 ビット PPG タイマの端子の設定

12 ビット PPG タイマを出力許可すると , 選択したカウントクロックに同期して , 12 ビットカウンタが "000_H" からカウントを開始し , カウンタ値が "H" 幅用コンペア値になるまで , PPG 端子を "H" レベルに維持します。次に , 周期用コンペア値になるまで PPG 端子を "L" レベルに維持し , 一致したときに 12 ビットカウンタをクリアし , 再び "000_H" からカウントを続けます。"H" 幅と周期を独立して設定できるため , リモコン送信周波数を設定できます。

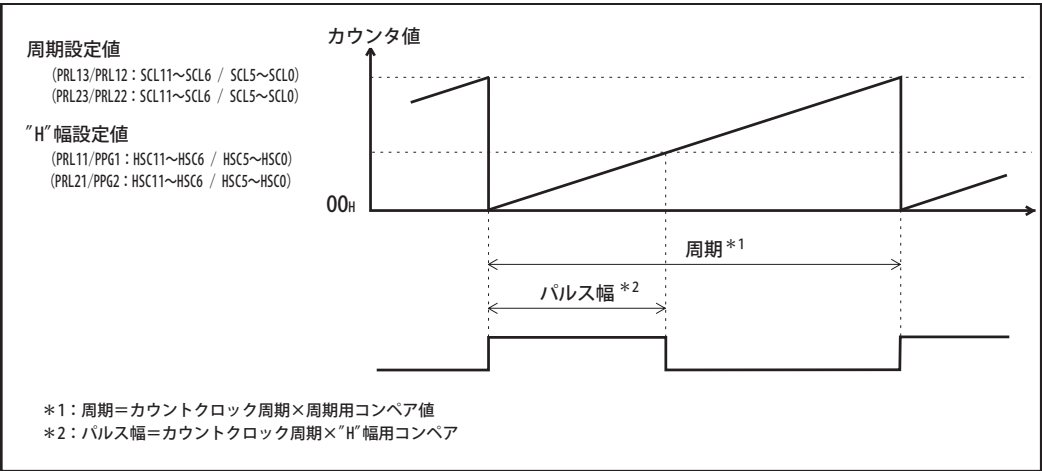


図 11.5-2 12 ビット PPG タイマの端子の動作

11.6 12 ビット PPG タイマの使用上の注意

12 ビット PPG タイマを使用するにあたっての注意点を示します。

■ 12 ビット PPG タイマ使用上の注意

● "H" 幅設定値の制限

PPG 制御レジスタの "H" 幅設定ビット (PPGC1/PPGC2:HSC5 ~ HSC0 および PRL11/PRL21:HSC11 ~ HSC6) の値は, "000000000010_B" ~ "111111111111_B" ("001_H" ~ "FFF_H") の範囲で設定します。"00_H" に設定すると, PPG 端子は 0.5_{t_{inst}} 分の "H" レベルを出力します。また, PPG リロードレジスタ 2 の周期設定ビット (PRL12/PRL22:SCL5 ~ SCL0 および PRL13/PRL23:SCL11 ~ SCL6) の値より小さい値を設定してください。等しいか大きい場合, PPG 端子の出力は常に "H" レベルとなります。

● 分解能

"H" 幅の分解能は最大で周期の 1/4095 (周期の設定値が "111111111111_B" ("FFF_H") のとき) ですが, 周期の設定値を小さくすると, 周期の設定値が "000000000010_B" ("002_H") のとき最小 1/2 まで制限されます。

● 動作中の設定値の変更について

12 ビット PPG タイマでは, 12 ビットカウンタの "H" 幅設定ビットとカウンタの周期設定ビットとを直接比較します。このため, カウンタの動作中に設定値を小さくすると, カウンタがオーバーフローして再び一致を検出するまで, 周期が長くなることがあります。また, 次のサイクル(周期)で一致を検出するまで "H" 幅が長くなることがあります。

12 ビット PPG タイマ動作中の設定値の変更を図 11.6-1 に示します。

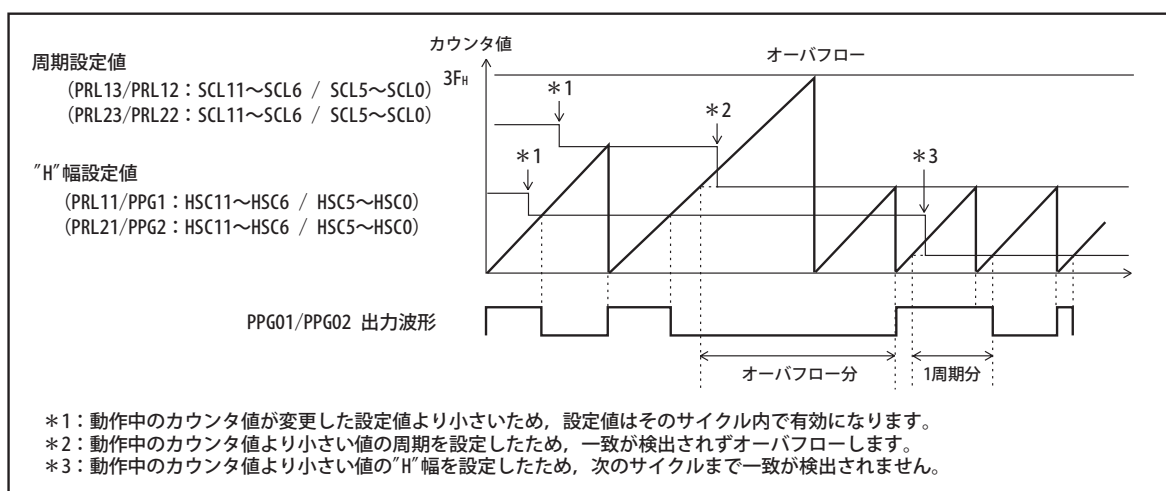


図 11.6-1 12 ビット PPG タイマ動作中の設定値の変更

● 誤差について

プログラムによるカウンタの起動と選択したカウントクロックによるカウントアップの開始とは非同期です。そのため、カウンタ値と "H" 幅用コンペア値および周期用コンペア値の一致を検出するまでの誤差として、最大でカウントクロック周期の1サイクル分が短くなることがあります。

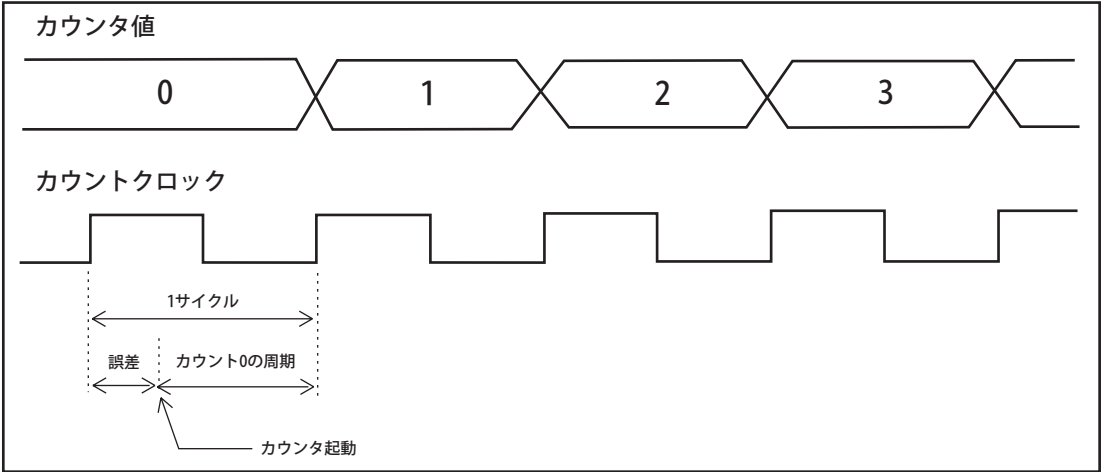


図 11.6-2 カウント動作開始までの誤差

11.7 12 ビット PPG タイマのプログラム例

12 ビット PPG タイマのプログラム例を示します。

■ 12 ビット PPG タイマのプログラム例

● 処理仕様

- 周期約 12 μ s, デューティ比 33% のリモコン送信周波数を設定します。
- メインクロック原発振 10MHz でメインクロックが最高速で, 選択クロック 2_{tinst} のときに, 周期が約 12 μ s となる周期用コンペア値を以下に示します。

周期用コンペア値 (PRL22:SCL5 ~ SCL0 および PRL23:SCL11 ~ SCL6) =
 $12 \mu\text{s} / (2 \times 4 / 10\text{MHz}) = 15$

- デューティ比が 33% となる "H" 幅用コンペア値を以下に示します。このとき "H" 幅は約 5 μ s になります。

"H" 幅用コンペア値 (PPGC2:HSC5 ~ HSC0 および PRL21:HSC11 ~ HSC6) =
 $33/100 \times \text{周期用コンペア値} = 0.33 \times 15 = 4.95$

● コーディング例

```
PPGC2 EQU    0038H           ; PPG 制御レジスタ
PRL21 EQU    003AH           ; PPG リロードレジスタ 1
PRL22 EQU    0039H           ; PPG リロードレジスタ 2
PRL23 EQU    003BH           ; PPG リロードレジスタ 3
;----- メインプログラム -----
CSEG                        ; 【CODE SEGMENT】
:
MOV PPGC2,#01000101B        ; カウントクロックに 4tinst を選択, "H" 幅用コン
                             ; ペア値を設定
MOV PRL21,#00H               ;
MOV PRL22,#10001111B        ; 出力許可, 動作開始, 周期用コンペア値の設定
MOV PRL23,#00H               ;
:
ENDS
;-----
END
```

第 12 章

16 ビットタイマ / カウンタ

この章では、16 ビットタイマ / カウンタの機能と動作について説明します。

- 12.1 16 ビットタイマ / カウンタの概要
- 12.2 16 ビットタイマ / カウンタの構成
- 12.3 16 ビットタイマ / カウンタの端子
- 12.4 16 ビットタイマ / カウンタのレジスタ
- 12.5 16 ビットタイマ / カウンタの割込み
- 12.6 インターバルタイマ機能の動作説明
- 12.7 カウンタ機能の動作説明
- 12.8 16 ビットタイマ / カウンタの動作中の各モードでの状態
- 12.9 16 ビットタイマ / カウンタ使用上の注意
- 12.10 16 ビットタイマ / カウンタのプログラム例

12.1 16 ビットタイマ / カウンタの概要

16 ビットタイマ / カウンタは、内部カウントクロック (原発振の 4 分周) に同期してカウントアップするインターバルタイマ機能と、外部端子に入力されたパルスの任意エッジを検出してカウントアップするカウンタ機能があり、どちらかの機能を選択できます。

■ インターバルタイマ機能

インターバルタイマ機能は、任意の時間間隔で割込みを発生する機能です。

- 16 ビットカウンタは、原発振を 4 分周した内部カウントクロックに同期して設定値からカウントアップし、カウンタ値がオーバフローすると割込みを発生します。
- 内部カウントクロックの 2^{16} 倍の周期までのインターバルタイマ動作ができます。
- 割込み処理ルーチンでインターバル時間を再設定することにより繰り返し割込みを発生できます。

インターバル時間の範囲を表 12.1-1 に示します。

表 12.1-1 インターバル時間の範囲

内部カウントクロック周期	インターバル時間
1tinst	$1\text{tinst} \sim 2^{16}\text{tinst}$

tinst : インストラクションサイクル (原発振を 4 分周した周期)

インターバル時間の計算例を示します。

メインクロック原発振 (F_{CH}) 12.5MHz、タイマカウントレジスタ (TCR) 値 "0000_H" のときのインターバル時間は、以下のように算出します。

$$\begin{aligned}\text{インターバル時間} &= (4/F_{CH}) \times (2^{16} - \text{TCR レジスタ値}) \\ &= (4/12.5\text{MHz}) \times 65536 \\ &= 21.0\text{ms}\end{aligned}$$

■ カウンタ機能

カウンタ機能は、外部端子 (EC 端子) に入力されたパルスのエッジを検出し、カウントする機能です。

- 外部入力 of 任意エッジを検出するたびに設定値からカウントアップし、カウンタ値がオーバフローすると割込みを発生します。
- 外部入力 of パルス幅は、最小 2 インストラクションサイクルの幅まで検出できます。
- 立上り、立下りまたは両エッジの検出を設定できます。

12.2 16 ビットタイマ / カウンタの構成

16 ビットタイマ / カウンタは、以下のブロックで構成されています。

- カウントクロックセクタ
- エッジ検出回路
- タイマカウントレジスタ (TCR)
- タイマ制御レジスタ (TMCR)
- 下位 8 ビットラッチ

■ 16 ビットタイマ / カウンタのブロックダイアグラム

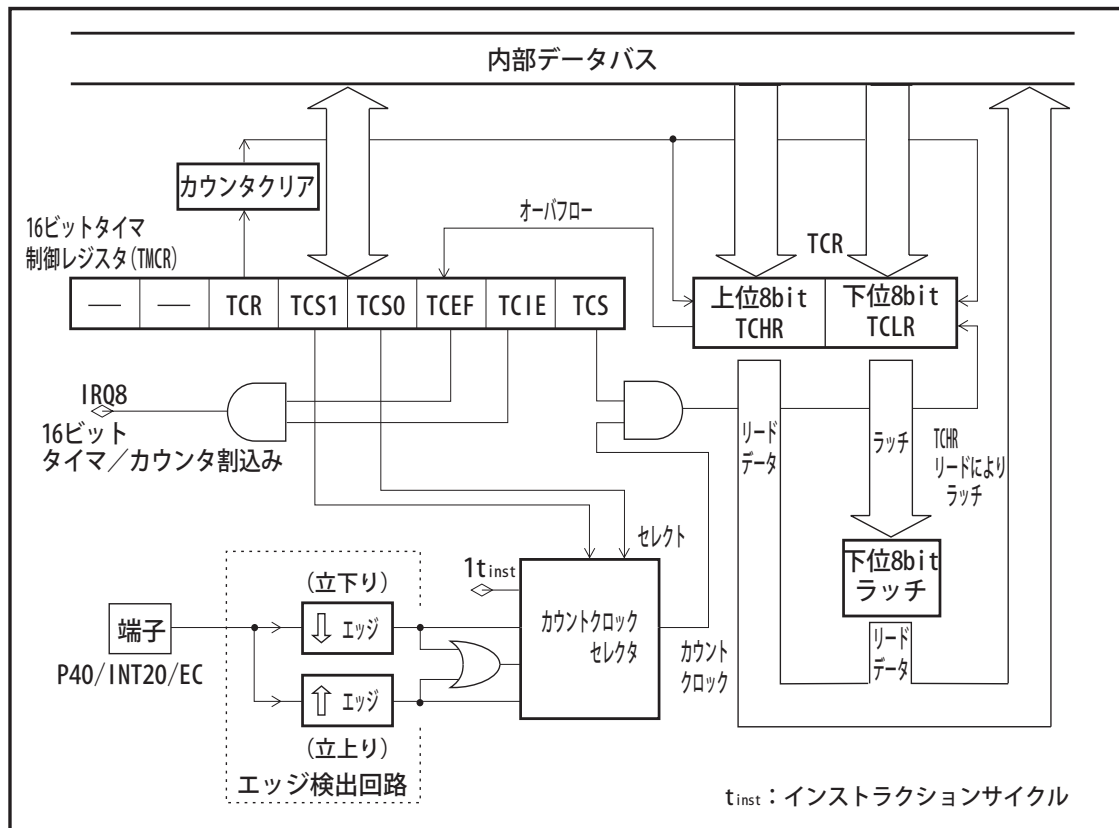


図 12.2-1 16 ビットタイマ / カウンタ部のブロックダイアグラム

● カウントクロックセレクタ

インターバルタイマ機能時は内部カウントクロック (f_{tinst}) を選択し、カウンタ機能時はエッジ検出回路の出力を選択します。選択された信号は、16 ビットカウンタ (TCR レジスタ) のカウントアップ用クロックになります。

● エッジ検出回路

カウンタ機能時において、EC 端子から入力されたパルスの立上り、立下りおよび両エッジを検出します。

● タイマカウントレジスタ (TCR)

上位 8 ビットレジスタ TCHR と下位 8 ビットレジスタ TCLR から構成され、設定された値からカウントアップします。カウンタ値がオーバーフローすると、TMCR レジスタの割込み要求フラグビットがセット (TMCR:TCEF="1") されます。

● タイマ制御レジスタ (TMCR)

機能選択、動作の許可と禁止、割込み制御および状態の確認を行います。

● 下位 8 ビットラッチ

TCR レジスタの上位 8 ビット (TCHR) を読み出した時点で、16 ビットカウンタの下位 8 ビットを保持します。カウンタの下位 8 ビットの値 (TCLR) は、下位 8 ビットラッチより読み出されるため、カウンタがカウントアップ中でも、正しい 16 ビットカウンタの値を読み出すことができます。

カウンタが動作中に、下位 8 ビットを読み出した後に上位 8 ビットを読み出した場合、カウンタの桁上りによって正常な値を読み出せない場合があります。したがって、TCR レジスタの読出しは、必ずワード転送命令を使用する必要があります。

12.3 16 ビットタイマ / カウンタの端子

16 ビットタイマ / カウンタに関連する端子および端子のブロックダイアグラムを示します。

■ 16 ビットタイマ / カウンタに関連する端子

16 ビットタイマ / カウンタに関連する端子は、P40/INT20/EC 端子です。

● P40/INT20/EC 端子

この端子は、汎用入出力ポートとしての機能 (P40)、外部割込み (INT20)、カウンタに対する外部パルス入力端子としての機能 (EC) を兼用しています。

EC: カウンタ機能時に、この端子に入力されたパルスの任意エッジをカウントします。
 カウンタ機能で EC 端子として使用するときには、P40/INT20/EC 端子をポート方向レジスタによって入力ポートに設定 (DDR4:bit0=0) してください。

■ 16 ビットタイマ / カウンタに関連する端子のブロックダイアグラム

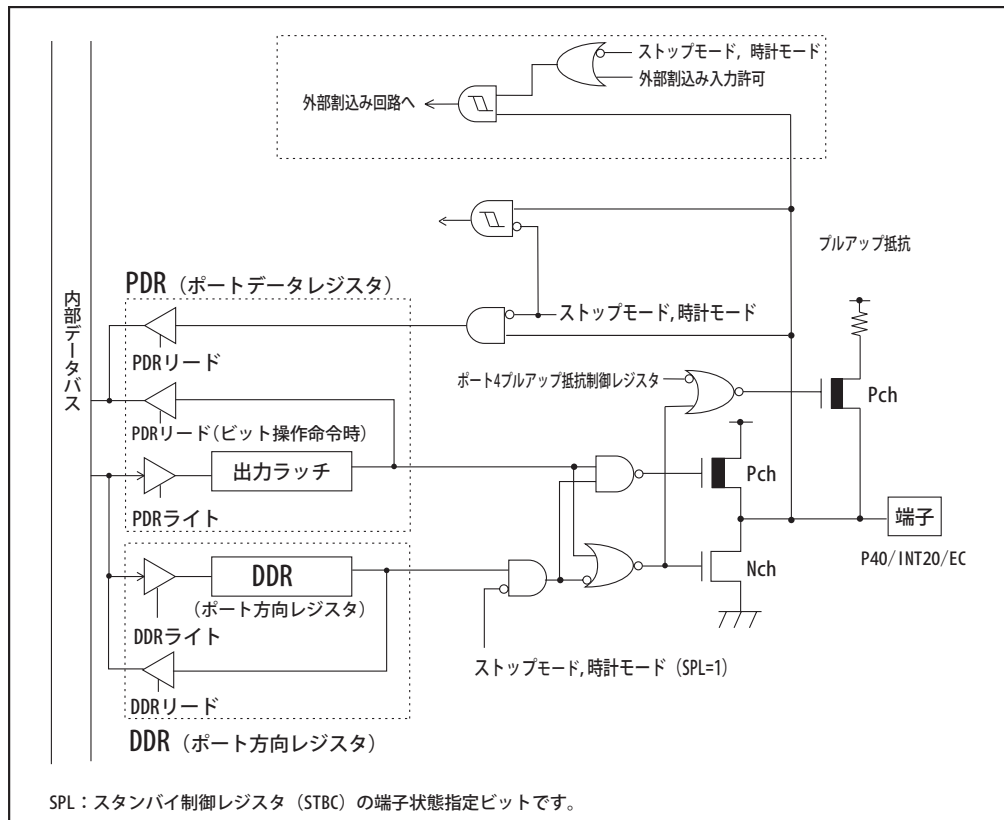


図 12.3-1 16 ビットタイマ / カウンタに関連する端子のブロックダイアグラム

ポート4プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップは無効となり、ハイインピーダンスになります。

12.4 16 ビットタイマ / カウンタのレジスタ

16 ビットタイマ / カウンタに関連するレジスタを示します。

■ 16 ビットタイマ / カウンタに関連するレジスタ

TMCr (タイマ制御レジスタ)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
003Ch	—	—	TcR	TcS1	TcS0	TcEF	TcIE	TcS
			W	R/W	R/W	R/W	R/W	R/W
								初期値 --000000b
TCR (タイマカウントレジスタ)								
上位ビット (TCHR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
003Dh								
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	R	R	R	R	R	R	R	R
								初期値 00000000b
							 カウンタ停止時
							 カウンタ動作時
下位ビット (TCLR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
003Eh								
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	R	R	R	R	R	R	R	R
								初期値 00000000b
							 カウンタ停止時
							 カウンタ動作時
R/W : リード・ライト可能								
R : リードオンリ								
— : 未使用								

図 12.4-1 16 ビットタイマ / カウンタに関連するレジスタ

12.4.1 タイマ制御レジスタ (TMCR)

タイマ制御レジスタ (TMCR) は、16 ビットタイマ / カウンタ機能 (インターバルタイマ機能, カウンタ機能) の選択, 動作条件の設定, 動作の許可と禁止, カウンタクリア, 割込み制御および状態の確認を行うレジスタです。

■ タイマ制御レジスタ (TMCR)

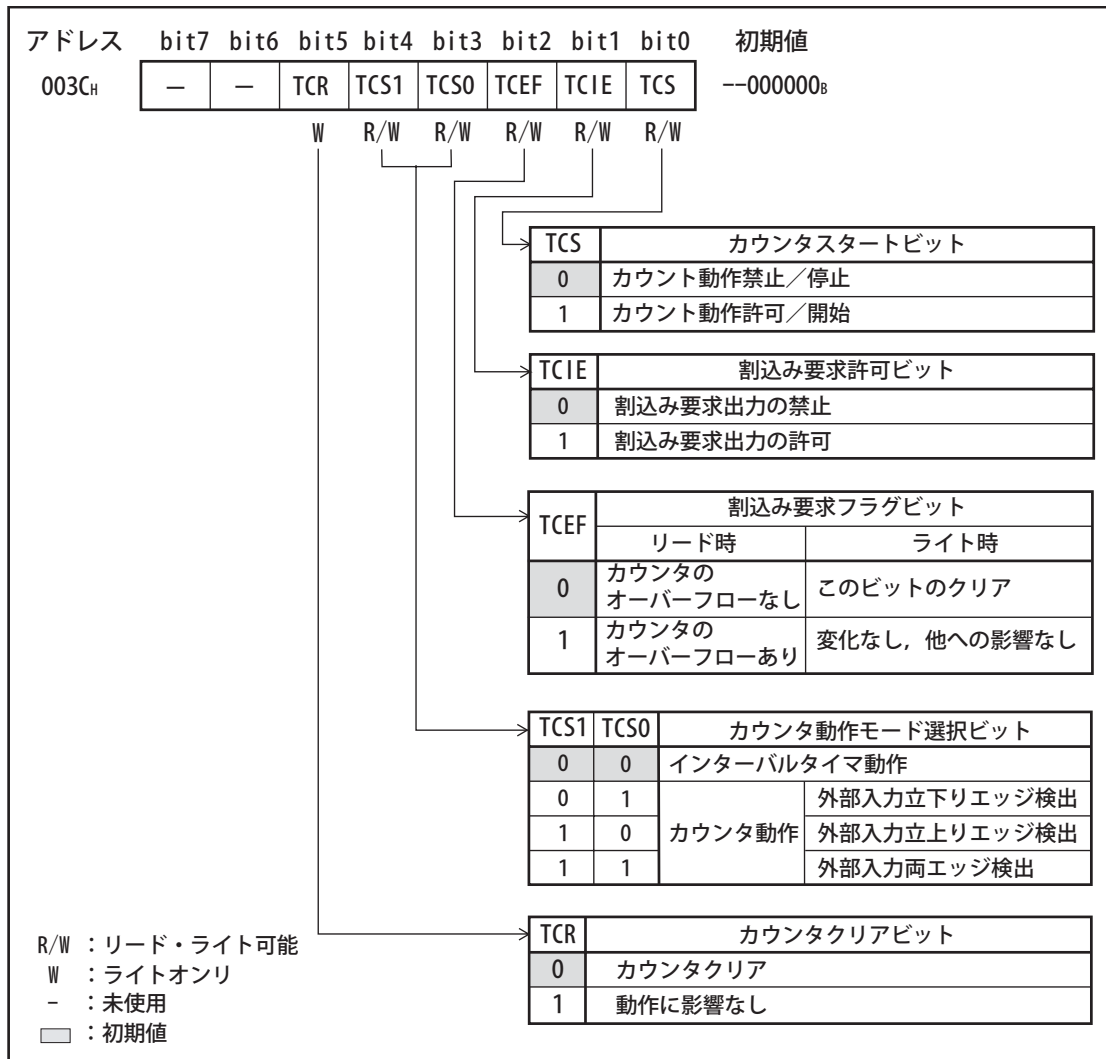


図 12.4-2 タイマ制御レジスタ (TMCR)

表 12.4-1 タイマ制御レジスタ (TMCR) の各ビットの機能説明

ビット名		機能
bit7 bit6	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書込みは意味を持ちません。
bit5	TCR: カウンタクリア ビット	タイマカウントレジスタ (TCR) をクリアするためのビットです。 このビットに "0" を書き込むとタイマカウントレジスタは, "0000 _H " にクリアされ, "1" では意味を持ちません。 このビットを読み出した場合, 常に "1" が読み出されます。
bit4 bit3	TCS1, TCS0: カウンタ動作 モード選択 ビット	インターバルタイマ機能とカウンタ機能を切り替えるビットです。 これらのビットに "00 _B " をセットするとインターバルタイマ機能 となり, 内部カウントクロックで動作します。 <ul style="list-style-type: none"> 外部カウントクロックの検出エッジ (立下り, 立上り, 両エッジ) を選択すると, 16 ビットカウンタとして動作します。 <注記> カウンタ機能 (TCS1, TCS0=00 _B 以外) のときは, P40/INT20/EC 端 子を入力ポートに設定してください。
bit2	TCEF: 割込み要求 フラグビット	<ul style="list-style-type: none"> カウンタがオーパフローすると "1" にセットされます。 このビットと割込み要求許可ビット (TCIE) が "1" のとき割込み 要求を出力します。 書込み時は "0" でクリアされます。
bit1	TCIE: 割込み要求許可 ビット	CPU への割込み要求出力の許可 / 禁止を行うビットです。 <ul style="list-style-type: none"> このビットと割込み要求フラグビット (TCEF) が "1" のとき割込 み要求を出力します。
bit0	TCS: カウンタ スタートビット	カウンタの起動 / 停止を行うビットです。 <ul style="list-style-type: none"> このビットに "1" を書き込むとタイマカウントレジスタ (TCR) の カウンタ動作を開始し, カウントクロックによってカウントアップ します。 "0" を書き込むと, カウンタ動作を停止し, TCR はカウンタ値を 保持します。

12.4.2 タイマカウントレジスタ (TCR)

タイマカウントレジスタ (TCR) は、16 ビットのアップカウンタです。このレジスタに書き込まれた設定値からカウントアップします。

■ タイマカウントレジスタ (TCR)

タイマカウンタレジスタのビット構成を図 12.4-3 に示します。

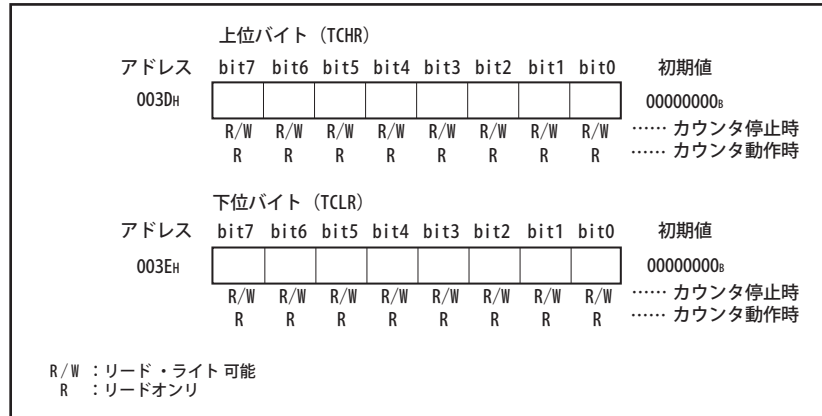


図 12.4-3 タイマカウントレジスタ (TCR)

カウンタの初期値は、インターバルタイマ機能時、カウンタ機能時ともに、カウンタ動作を禁止 (TMCR:TCS=0) している状態で設定します。カウンタ動作を許可 (TMCR:TCS=1) すると、このレジスタに書き込まれた値からカウントアップします。カウンタ停止状態 (TMCR:TCS=0) のとき、TCR レジスタの値は保持されます。また、カウンタクリア (TMCR:TCR=0) を行うと TCR レジスタ (カウンタ) は "0000_H" になります。カウンタクリア後に TCR レジスタに書き込みを行うと、書き込まれた値に設定されます。インターバルタイマ機能時の TCR レジスタの設定値は以下の式で算出します。ただし、インストラクションサイクルは原発振の 4 分周 ($4/F_{CH}$) です。

$$\text{TCR レジスタ値} = 2^{16} - (\text{インターバル時間} / \text{インストラクションサイクル})$$

上位 8 ビットを TCHR レジスタに、下位 8 ビットを TCLR レジスタに設定します。

< 注意事項 >

- TCR レジスタに設定した値は、最初のカウンタ起動時のみ有効であり、カウンタ値がオーバーフローすると、カウンタは "0000_H" からカウントアップします。
- TCR レジスタへの書き込みは、カウンタ停止状態 (TMCR:TCS=0) で行ってください。読出しは、カウンタ動作中であっても行えます。
- TCR レジスタの読出しは、必ずワード転送命令 (MOVW A,003DH など) を使用してください。

12.5 16 ビットタイマ / カウンタの割込み

16 ビットタイマ / カウンタの割込み要因には、以下の 2 種類があります。

- インターバルタイマ機能動作時のオーバフロー (FFFF_H 0000_H)
- 16 ビットカウンタ機能動作時のオーバフロー (FFFF_H 0000_H)

■ インターバルタイマ機能動作時の割込み

カウンタに設定した値から、内部カウントクロックでカウントアップし、カウンタ値がオーバフローすると、割込み要求フラグビット (TMCR:TCEF) が "1" にセットされます。そのとき、割込み要求許可ビットを許可 (TMCR:TCIE=1) している場合、CPU へ割込み要求 (IRQ8) を発生します。

割込み処理ルーチンでは、TCEF ビットに "0" を書き込み、割込み要求をクリアしてください。

カウンタクリア (TMCR:TCR=0) とカウンタ値のオーバフローが同時に発生した場合は、TCEF ビットのセットは行われません。また、TCEF ビットが "1" のとき、TCIE ビットを禁止から許可 (0 → 1) にすると、直ちに割込み要求が発生します。

TCEF ビットは TCIE ビットの値に関係なく、カウンタ値がオーバフローするとセットされます。

■ カウンタ機能動作時の割込み

カウンタに設定した値から、設定したエッジを検出するたびにカウントアップし、カウンタ値がオーバフローすると、割込み要求フラグビット (TMCR:TCEF) が "1" にセットされます。そのとき、割込み要求許可ビットを許可 (TMCR:TCIE=1) している場合、CPU へ割込み要求 (IRQ8) を発生します。

割込み処理ルーチンでは、TCEF ビットに "0" を書き込み、割込み要求をクリアしてください。

カウンタクリア (TMCR:TCR=0) とカウンタ値のオーバフローが同時に発生した場合は、TCEF ビットのセットは行われません。また、TCEF ビットが "1" のとき、TCIE ビットを禁止から許可 (0 → 1) にすると、直ちに割込み要求が発生します。

TCEF ビットは TCIE ビットの値に関係なく、カウンタ値がオーバフローするとセットされます。

■ 16 ビットタイマ / カウンタの割込みに関連するレジスタとベクトルテーブル

表 12.5-1 16 ビットタイマ / カウンタの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQ8	ILR3 (007D _H)	L81 (bit1)	L80 (bit0)	FFEA _H	FFEB _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

12.6 インターバルタイマ機能の動作説明

16 ビットタイマ / カウンタのインターバルタイマ機能の動作を説明します。

■ インターバルタイマ機能の動作

インターバルタイマ機能として動作させるためには、図 12.6-1 に示すレジスタの設定が必要です。



図 12.6-1 インターバルタイマ機能の設定

カウンタを起動 (TMCR:TCS=1) すると、カウンタは TCR レジスタの値から内部カウントクロック (t_{inst} : 原発振の 4 分周) の立上りでカウントアップを始めます。カウンタ値がオーバフロー ($FFFF_H \rightarrow 0000_H$) すると、割込み要求フラグビットをセット (TMCR:TCEF=1) します。オーバフロー後、カウンタ値は "0000_H" よりカウントアップを始めます。

インターバルタイマの動作を図 12.6-2 に示します。

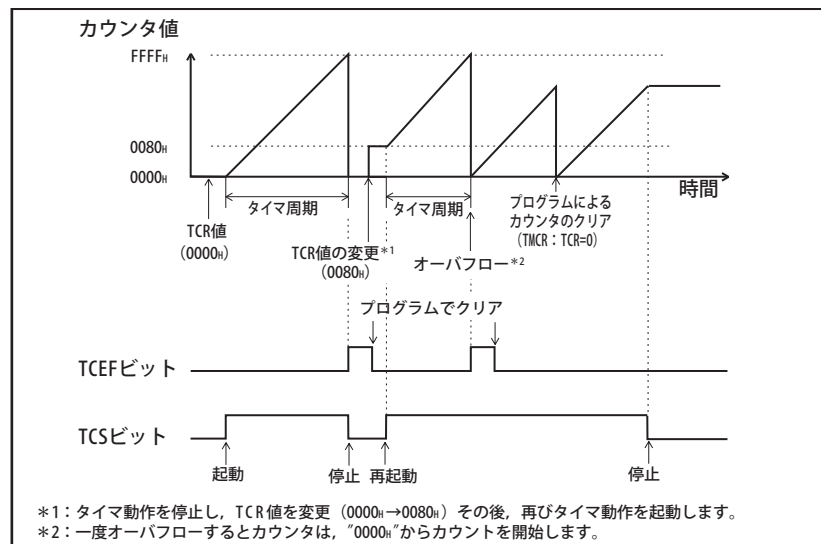


図 12.6-2 インターバルタイマの動作

< 注意事項 >

インターバルタイマ機能動作中 (TMCR:TCS=1) は、TCR レジスタへの書込みを行わないでください。

12.7 カウンタ機能の動作説明

16 ビットタイマ / カウンタのカウンタ機能の動作を説明します。

■ カウンタ機能の動作

カウンタ機能として動作させるためには、図 12.7-1 に示すレジスタの設定が必要です。

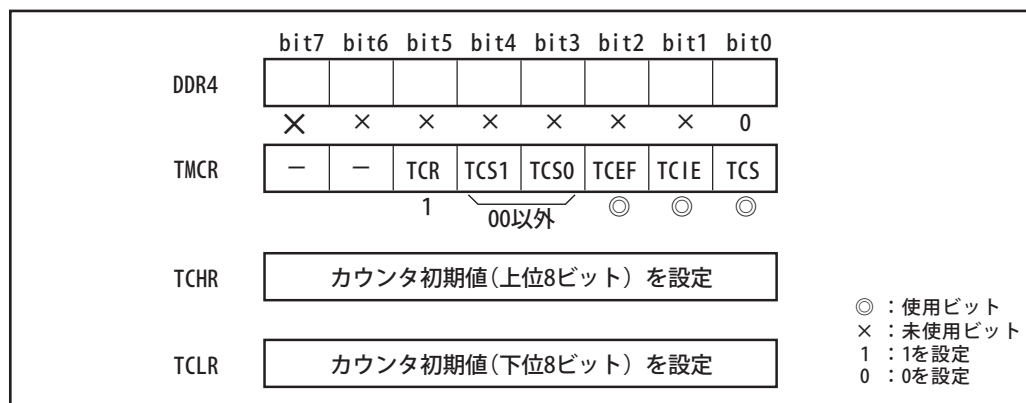


図 12.7-1 カウンタ機能の設定

カウンタを起動 (TMCR:TCS=1) すると、カウンタは TCR レジスタの値から、EC 端子に
 入力されたパルス (外部カウントクロック) より、設定されたエッジを検出するたびに
 カウントアップします。

カウンタ値がオーバーフロー ($FFFF_H$ → 0000_H) すると、割込み要求フラグビットをセッ
 ト (TMCR:TCEF=1) します。

オーバーフロー後、次の設定されたエッジが入力されると、カウンタ値は、" 0000_H " より
 カウントアップします。

カウンタ動作モード選択ビット (TMCR:TCS1, TCS0) を " 11_B " (両エッジ検出) に、TCR
 レジスタを " 0000_H " に設定したときの動作を図 12.7-2 に示します。

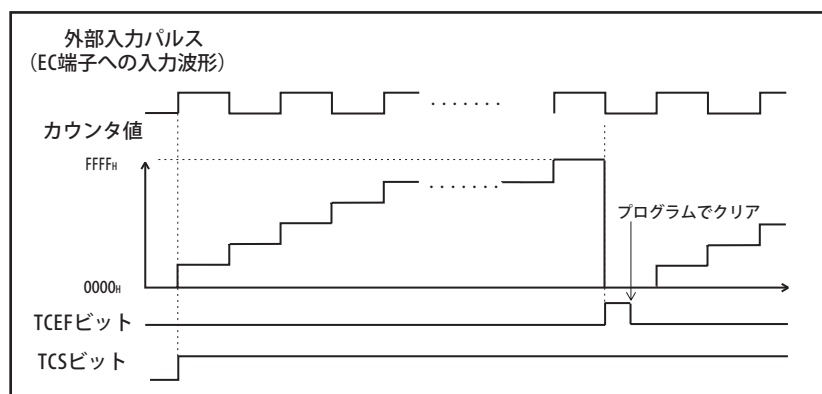


図 12.7-2 16 ビットカウンタの動作

< 注意事項 >

カウンタ機能動作中 (TMCR:TCS=1) は、TCR レジスタへの書込みを行わないでください。

12.8 16 ビットタイマ / カウンタの動作中の各モードでの状態

16 ビットタイマ / カウンタの動作中にスリープモードへの移行があった場合、ストップモードへの移行があった場合および途中停止の要求があった場合の動作を説明します。

■ 低消費電力 (スタンバイ) モードおよび途中停止時の動作

インターバルタイマ機能およびカウンタ機能の動作中に、スリープモードへ移行した場合、ストップモードへ移行した場合および途中停止の要求があった場合のカウンタ値の状態を図 12.8-1 に示します。

ストップモードに移行すると、カウンタは値を保持して停止します。ストップモードが外部割込みによって解除されると、カウンタは保持した値から動作を始めます。このため、初回のインターバル時間や入力パルスのエッジのカウント数は正しい値にはなりません。したがって、ストップモード解除後は、16 ビットタイマ / カウンタを初期化する必要があります。

時計モードへの移行 (TMD=1) および解除 (TMD=0) は、ストップモードへの移行および解除と同様の動作をします。時計モードは、時計割込みおよび外部割込みによって解除されます。

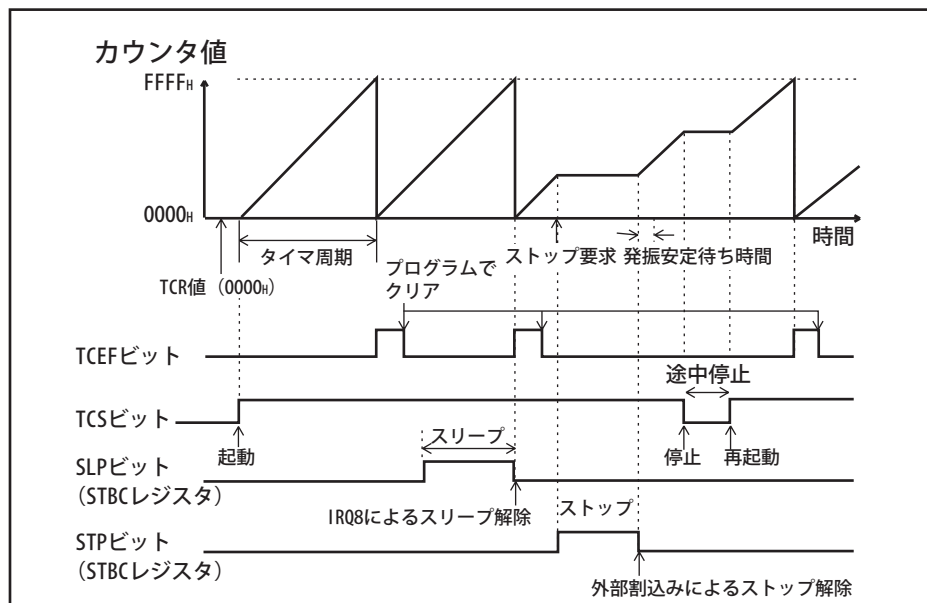


図 12.8-1 低消費電力 (スタンバイ) モードおよび途中停止時のカウンタの動作

カウンタ停止状態 (TMCR:TCS=0) のカウンタ値は保持されます。

12.9 16 ビットタイマ / カウンタ使用上の注意

16 ビットタイマ / カウンタを使用するための注意点を示します。

■ 16 ビットタイマ / カウンタ使用上の注意

● 誤差

インターバルタイマ機能時, プログラムによるカウンタの起動と, 内部カウントクロックによるカウントアップの開始とは非同期です。このため, カウンタがオーバーフローするまでの誤差として, 最大 1 インストラクションサイクル分短くなることがあります。カウント動作開始までの誤差を図 12.9-1 に示します。

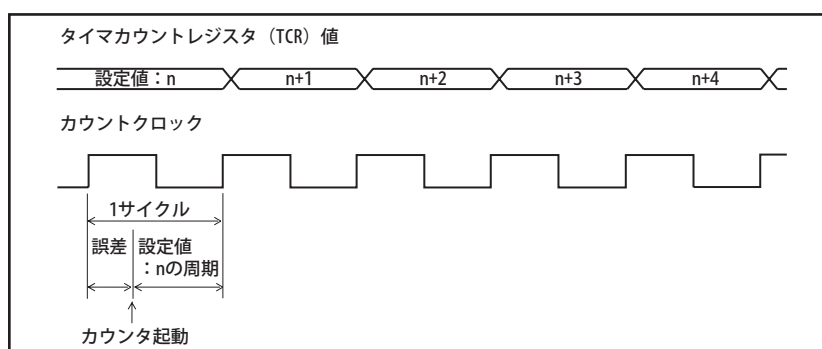


図 12.9-1 カウント動作開始までの誤差

● プログラムで設定する場合

- TCR レジスタへの書込みは, カウンタ動作停止状態 (TMCR:TCS=0)で行ってください。また, 読出しは, カウンタ動作中でも可能ですが, 必ずワード転送命令 (MOVW A,dir など) を使用してください。
- カウンタ動作モード選択ビット (TMCR:TCS1, TCS0)の変更は, カウンタ停止 (TMCR:TCS=0), 割込み禁止 (TMCR:TCIE=0) および割込み要求クリア (TCEF=0) されている状態で行ってください。
- 割込み要求フラグビット (TMCR:TCEF) が "1" で, 割込み要求許可 (TMCR:TCIE=1) された状態では, 割込み処理から復帰できません。TCEF ビットのクリアを必ず行ってください。
- カウンタクリア (TMCR:TCR=0) とカウンタ値のオーバーフローが同時に発生した場合は, 割込み要求フラグビット (TMCR:TCEF) はセットされません。

12.10 16 ビットタイマ / カウンタのプログラム例

16 ビットタイマ / カウンタのプログラム例を示します。

■ インターバルタイマ機能のプログラム例

● 処理仕様

- 20ms のインターバルタイマ割込みを発生します。
- 割込み処理ルーチンで TCR レジスタを再設定し、繰り返し割込みを発生させます。
- 原発振 12.5MHz 時にインターバル時間が 20ms になる TCR レジスタ値を以下に示します。

$$\text{TCR レジスタ値} = 2^{16} - (20\text{ms} / (4 / 12.5\text{MHz})) = 3036 \text{ (0BDCH)}$$

● コーディング例

```

TMCr EQU 003CH ; タイマ制御レジスタのアドレス
TCHR EQU 003DH ; タイマカウントレジスタの上位アドレス
TCLR EQU 003EH ; タイマカウントレジスタの下位アドレス
TCEF EQU TMCr:2 ; 割込み要求フラグビットの定義
TCS EQU TMCr:0 ; カウントスタートビットの定義
ILR3 EQU 007DH ; 割込みレベル設定レジスタ 3 のアドレス
INT_V DSEG ABS ; 【DATA SEGMENT】
      ORG 0FFEAH
IRQ8 DW WARI ; 割込みベクトル設定
INT_V ENDS
;----- メインプログラム -----
      CSEG ; 【CODE SEGMENT】
      ; スタックポインタ (SP) などは初期化済みとする
      :
      CLRI ; 割込みディセーブル
      CLRB TCS ; カウント動作停止
      MOV ILR3,#11111101B ; 割込みレベル設定 ( レベル 1)
      MOV TCHR,#0BH ; 25ms タイマのデータを設定
      MOV TCLR,#0DCH
      MOV TMCr,#00100011B ; カウンタ値保持, インターバルタイマ動作,
      ; 割込み要求フラグクリア, 割込み要求出力
      ; 許可, カウンタ動作開始
      SETI ; 割込みイネーブル
      :
;----- 割込み処理ルーチン -----
WARI MOV TMCr,#00100000B ; 割込み要求フラグクリア, カウンタ動作停止
      PUSHW A
      XCHW A,T
      PUSHW A
      MOVW A,TCHR ; オーバフローから割込み受付までの時間を加算
      MOVW A,#0BDCH ; 25ms タイマデータ (10MHz 時)
      CLRC
      ADDCW A ; ここでは, 加算時のオーバフローは考慮して
      ; いない
      MOVW TCHR,A ; カウンタ停止中の時間も加算する
      MOV TMCr,#00100011B ; 割込み許可, カウント開始
      :
      ユーザ処理
      POPW A
      XCHW A,T
      POPW A
      RETI
      ENDS
;-----
      END

```

■ カウンタ機能のプログラム例

● 処理仕様

- EC 端子に入力されるパルスの立上りエッジを 10000 回カウントすると割込みを発生します。
- 割込み処理ルーチンで TCR レジスタを再設定し、繰り返し割込みを発生させます。
- 10000 回でオーバーフローする TCR レジスタ値を以下に示します。

$$\text{TCR レジスタ値} = 2^{16} - 10000 = 65536 - 10000 = 55536 = \text{D8F0}_{\text{H}}$$

● コーディング例

```

DDR4 EQU 0011H
TMCR EQU 003CH ; タイマ制御レジスタのアドレス
TCHR EQU 003DH ; タイマカウントレジスタの上位アドレス
TCLR EQU 003EH ; タイマカウントレジスタの下位アドレス
TCEF EQU TMCR:2 ; 割込み要求フラグビットの定義
TCS EQU TMCR:0 ; カウントスタートビットの定義
ILR3 EQU 007DH ; 割込みレベル設定レジスタのアドレス
INT_V DSEG ABS ; 【DATA SEGMENT】
      ORG 0FFEAH
IRQ8 DW WARI ; 割込みベクトル設定
INT_V ENDS
;-----メインプログラム-----
CSEG ; 【CODE SEGMENT】
      ; スタックポインタ (SP) などは初期化済みとする
      :
      MOV DDR8,#00000000B ; P40/INT20/EC を入力に設定
      CLRI ; 割込みディセーブル
      CLRB TCS ; カウント動作停止
      MOV ILR3,#11111101B ; 割込みレベル設定 (レベル 1)
      MOV TCHR,#0D8H ; カウンタ値を初期化
      MOV TCLR,#0F0H
      MOV TMCR,#00110011B ; カウンタ値保持, カウンタ機能 (外部入力立
      ; 上リエッジ選択), 割込み要求フラグクリア,
      ; 割込み要求出力許可, カウンタ動作許可
      SETI ; 割込みイネーブル
;-----割込み処理ルーチン-----
WARI CLRB TCEF ; 割込み要求フラグクリア
      PUSHW A
      XCHW A,T
      PUSHW A
      CLRB TCS ; カウント動作停止
      MOV A,#0D8H ; カウンタ値を初期化
      MOV TCHR,A ; ここでは, オーバフロー後のパルスは無視し
      ; ている
      MOV A,#0F0H
      MOV TCLR,A
      SETB TCS ; カウント動作再開, ここから 10000 パルスを
      ; カウント
      :
      ユーザ処理
      :
      POPW A
      XCHW A,T
      POPW A
      RETI
      ENDS
;-----
      END

```

第 13 章

外部割込み回路 1 (エッジ)

この章では , 外部割込み回路 1 (エッジ) の機能と動作について説明します。

- 13.1 外部割込み回路 1 の概要
- 13.2 外部割込み回路 1 の構成
- 13.3 外部割込み回路 1 の端子
- 13.4 外部割込み回路 1 のレジスタ
- 13.5 外部割込み回路 1 の割込み
- 13.6 外部割込み回路 1 の動作説明
- 13.7 外部割込み回路 1 のプログラム例

13.1 外部割込み回路 1 の概要

外部割込み回路 1 は、4 本の外部割込み端子に入力された信号のエッジを検出し、CPU に対して割込み要求を発生します。

■ 外部割込み回路 1 の機能

外部割込み回路 1 は、外部割込み端子に入力された信号の任意のエッジを検出し、CPU に対して割込み要求を発生する機能があります。この割込みによってスタンバイモードから復帰し、通常動作状態 (メイン RUN 状態) に移行できます。

- 外部割込み端子 : 4 本 (P60/INT10 ~ P63/INT13/X0A)
- 外部割込み要因 : 外部割込み端子へのエッジの信号入力 (立上りまたは立下り)
- 割込み制御 : 外部割込み 1 制御レジスタ 1, 2 (EIC1, EIC2) の割込み要求許可ビット (EIE0 ~ EIE3) による、割込み要求出力の許可と禁止
- 割込みフラグ : 外部割込み 1 制御レジスタ 1, 2 (EIC1, EIC2) の外部割込み要求フラグビット (EIR0 ~ EIR3) による、指定エッジの検出
- 割込み要求 : それぞれの外部割込み要因に応じて発生 (IRQ0, IRQ1)

13.2 外部割込み回路 1 の構成

外部割込み回路 1 は、以下の要素で構成されています。

- エッジ検出回路 1, 2, 3, 4
- 外部割込み制御レジスタ 1, 2 (EIC1, EIC2)

■ 外部割込み回路 1 のブロックダイアグラム

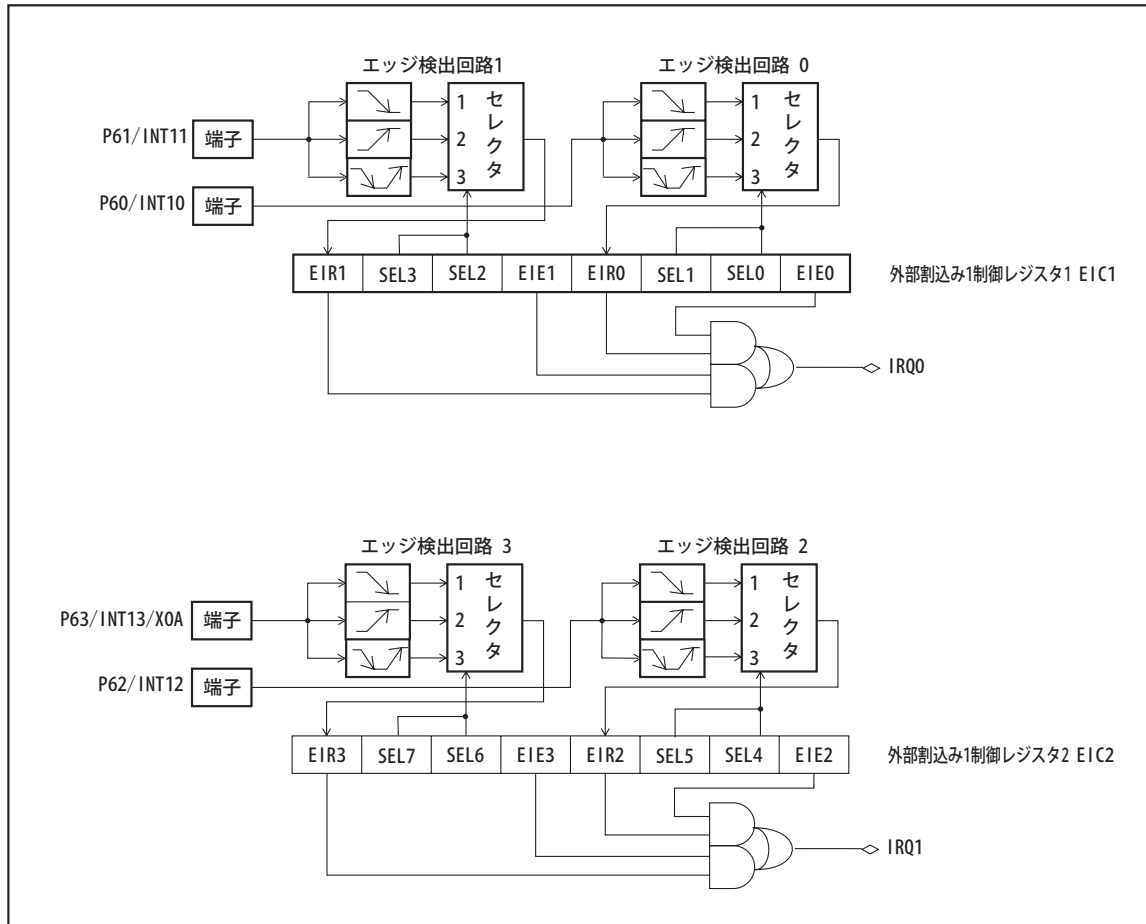


図 13.2-1 外部割込み回路 1 のブロックダイアグラム

● エッジ検出回路

外部割込み 1 端子 (INT10 ~ INT13) に入力された信号のエッジ極性と EIC1, EIC2 レジスタで選択されたエッジ極性 (SEL0 ~ SEL7 ビットで指定) が一致すると、対応する外部割込み要求フラグビット (EIR0 ~ EIR3) が、"1" にセットされます。

● 外部割込み 1 制御レジスタ (EIC1, EIC2)

EIC1, EIC2 レジスタは、エッジの選択、割込み要求の許可と禁止、割込み要求の確認などを行います。

13.3 外部割込み回路 1 の端子

外部割込み回路 1 に関連する端子および端子のブロックダイアグラムを示します。

■ 外部割込み回路 1 に関連する端子

外部割込み回路 1 に関連する端子は P60/INT10 ~ P63/INT13/X0A 端子です。

● P60/INT10 ~ P63/INT13/X0A 端子

これらの端子は、外部割込み入力 (ヒステリシス入力) としての機能と汎用入出力ポート 6 としての機能を兼用しています。

INT10 ~ INT13: P60/INT10 ~ P63/INT13/X0A 端子は、ポート 6 方向レジスタ (DDR6) によって対応する端子を入力ポートに設定し、外部割込み / 制御レジスタ 1 (EIC1) と外部割込み / 制御レジスタ 2 (EIC2) によって対応する外部割込み入力を許可すると、外部割込み入力端子 (INT10 ~ INT13) として機能します。

端子の状態は、入力ポートに設定されているときは、いつでもポートデータレジスタ (PDR6) から読み出せます。

表 13.3-1 外部割込み回路 1 に関連する端子

外部割込み端子	外部割込み入力として使用 (割込み要求出力許可)	入力専用ポートとして使用 (割込み要求出力禁止)
P60/INT10	INT10 (EIC1:EIE0=1, DDR6:bit0=0)	P60 (EIC1:EIE0=0, DDR6:bit0=0)
P61/INT11	INT11 (EIC1:EIE1=1, DDR6:bit1=0)	P61 (EIC1:EIE1=0, DDR6:bit1=0)
P62/INT12	INT12 (EIC2:EIE2=1, DDR6:bit2=0)	P62 (EIC2:EIE2=0, DDR6:bit2=0)
P63/INT13/X0A	INT13 (EIC2:EIE3=1, DDR6:bit3=0)	P63 (EIC2:EIE3=0, DDR6:bit3=0)

INT10 ~ INT13: これらの端子に指定された極性のエッジが入力されると、端子に対応した割込みを発生します。

■ 外部割込み回路 1 に関連する端子のブロックダイアグラム

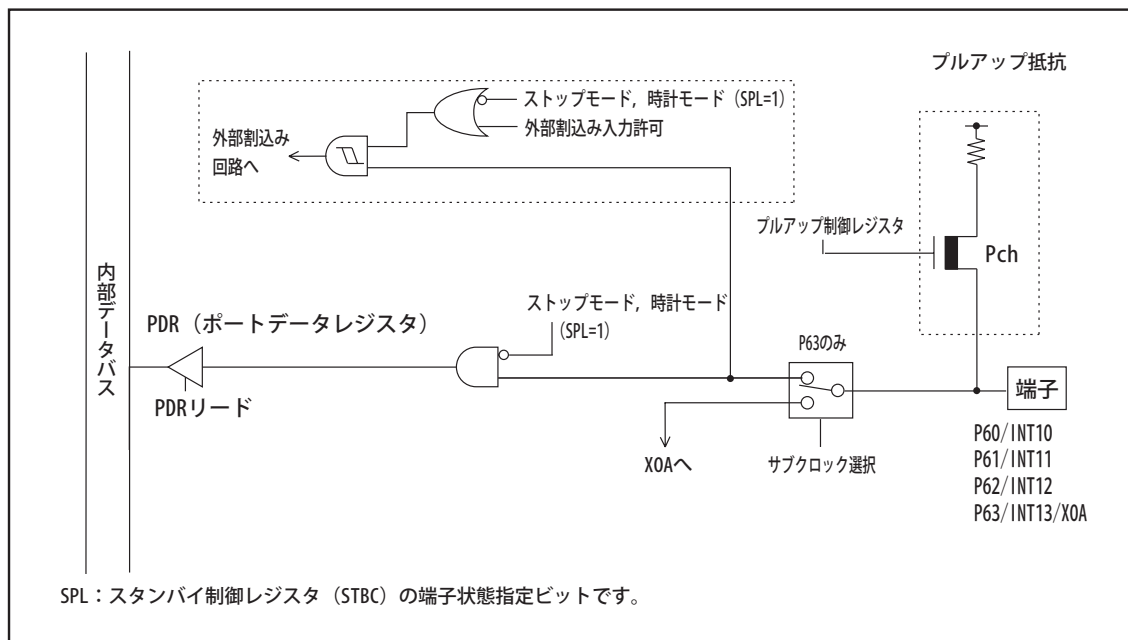


図 13.3-1 外部割込み回路 1 に関連する端子のブロックダイアグラム

プルアップ制御レジスタでプルアップ抵抗ありを選択した場合、ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は、ハイインピーダンスではなく "H" レベル（プルアップ状態）になります。ただし、リセット中のプルアップは無効となり、ハイインピーダンスになります。

< 注意事項 >

割込み入力については、エッジ極性選択ビットで " 立上りエッジ ", " 立下りエッジ ", " 両エッジ " を選択している場合、ストップモード (STBC:SPL=1) においても入力状態になり遮断されません。その場合は、プルアップ制御レジスタ、または外部プルアップ抵抗あるいは外部プルダウン抵抗により端子の電位を固定してください。

13.4 外部割込み回路 1 のレジスタ

外部割込み回路 1 に関連するレジスタを示します。

■ 外部割込み回路 1 に関連するレジスタ

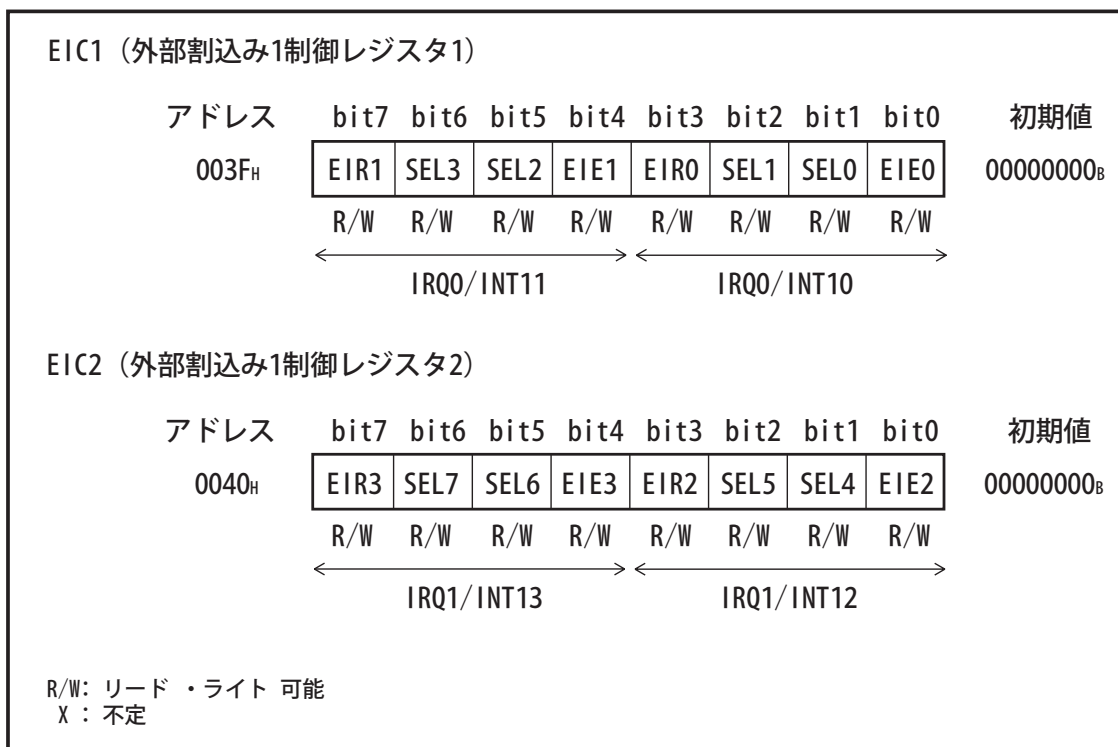


図 13.4-1 外部割込みに関連するレジスタ

13.4.1 外部割込み 1 制御レジスタ 1 (EIC1)

外部割込み 1 制御レジスタ 1 (EIC1) は、外部割込み端子 INT10, INT11 に対するエッジ極性の選択と割込み制御を行うレジスタです。

■ 外部割込み 1 制御レジスタ 1 (EIC1)

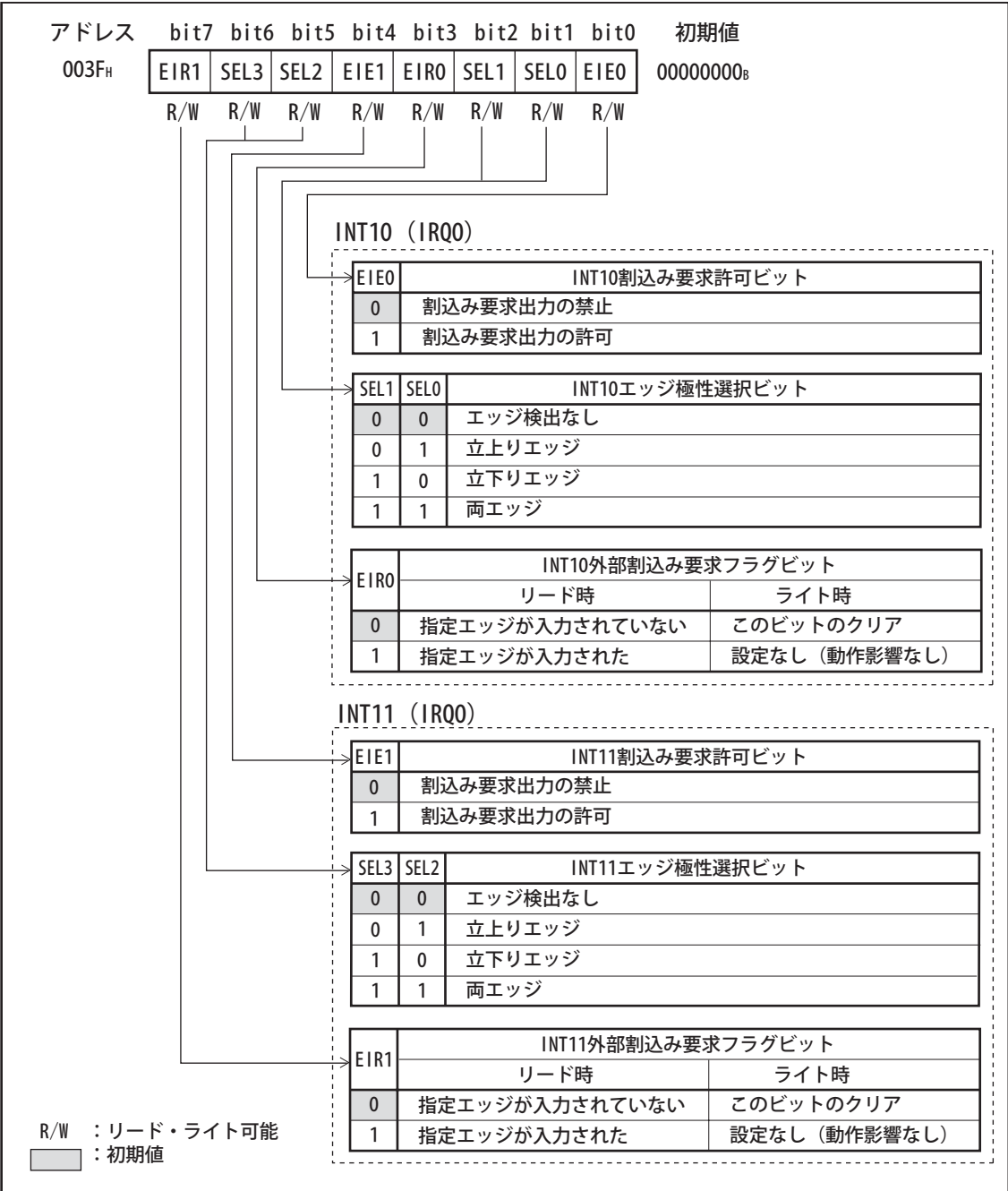


図 13.4-2 外部割込み 1 制御レジスタ 1 (EIC1)

表 13.4-1 外部割込み 1 制御レジスタ 1 (EIC1) の各ビットの機能説明

ビット名		機能
bit7	EIR1: INT11 外部割込み 要求フラグビット	外部割込み端子 INT11 に, INT11 エッジ極性選択ビット (EIC1:SEL3, SEL2) で選択したエッジが入力されたとき "1" にセットされます。 <ul style="list-style-type: none"> このビットと INT11 割込み要求許可ビット (EIC1:EIE1) が "1" のとき割込み要求を出力します。 書込み時は "0" でクリアされます。"1" の書込みは意味を持ちません。
bit6 bit5	SEL3, SEL2: INT11 エッジ 極性選択ビット	外部割込み端子 INT11 に入力されるパルスの割込み要因となるエッジの極性を選択するビットです。 <ul style="list-style-type: none"> "00_B" の書込みは, エッジ検出し。 "01_B" の書込みは, 立上りエッジ検出。 "10_B" の書込みは, 立下りエッジ検出。 "11_B" の書込みは, 両エッジ検出。 このビットを変更するときは, EIR0 に "0" を書込みます。
bit4	EIE1: INT11 割込み 要求許可ビット	CPU への割込み要求出力の許可 / 禁止を行うビットです。 このビットと, INT11 外部割込み要求フラグビット (EIR1) が "1" のとき, 割込み要求を出力します。
bit3	EIR0: INT10 外部割込み 要求フラグビット	外部割込み端子 INT10 に, INT10 エッジ極性選択ビット (EIC1:SEL1, SEL0) で選択されたエッジが入力されたとき "1" にセットされます。 <ul style="list-style-type: none"> このビットと INT10 割込み要求許可ビット (EIC1:EIE0) が "1" のとき割込み要求を出力します。 書込み時は "0" でクリアされます。"1" の書込みは意味を持ちません。
bit2 bit1	SEL1, SEL0: INT10 エッジ 極性選択ビット	外部割込み端子 INT10 に入力されるパルスの割込み要因となるエッジの極性を選択するビットです。 <ul style="list-style-type: none"> "00_B" の書込みは, エッジ検出し。 "01_B" の書込みは, 立上りエッジ検出。 "10_B" の書込みは, 立下りエッジ検出。 "11_B" の書込みは, 両エッジ検出。 このビットを変更するときは, EIR0 に "0" を書き込みます。
bit0	EIE0: INT10 割込み 要求許可ビット	CPU への割込み要求出力の許可 / 禁止を行うビットです。 このビットと, INT10 外部割込み要求フラグビット (EIR0) が "1" のとき, 割込み要求を出力します。

13.4.2 外部割込み 1 制御レジスタ 2 (EIC2)

外部割込み 1 制御レジスタ 2 (EIC2) は、外部割込み端子 INT12, INT13 に対するエッジ極性の選択と割込み制御を行うレジスタです。

■ 外部割込み 1 制御レジスタ 2 (EIC2)

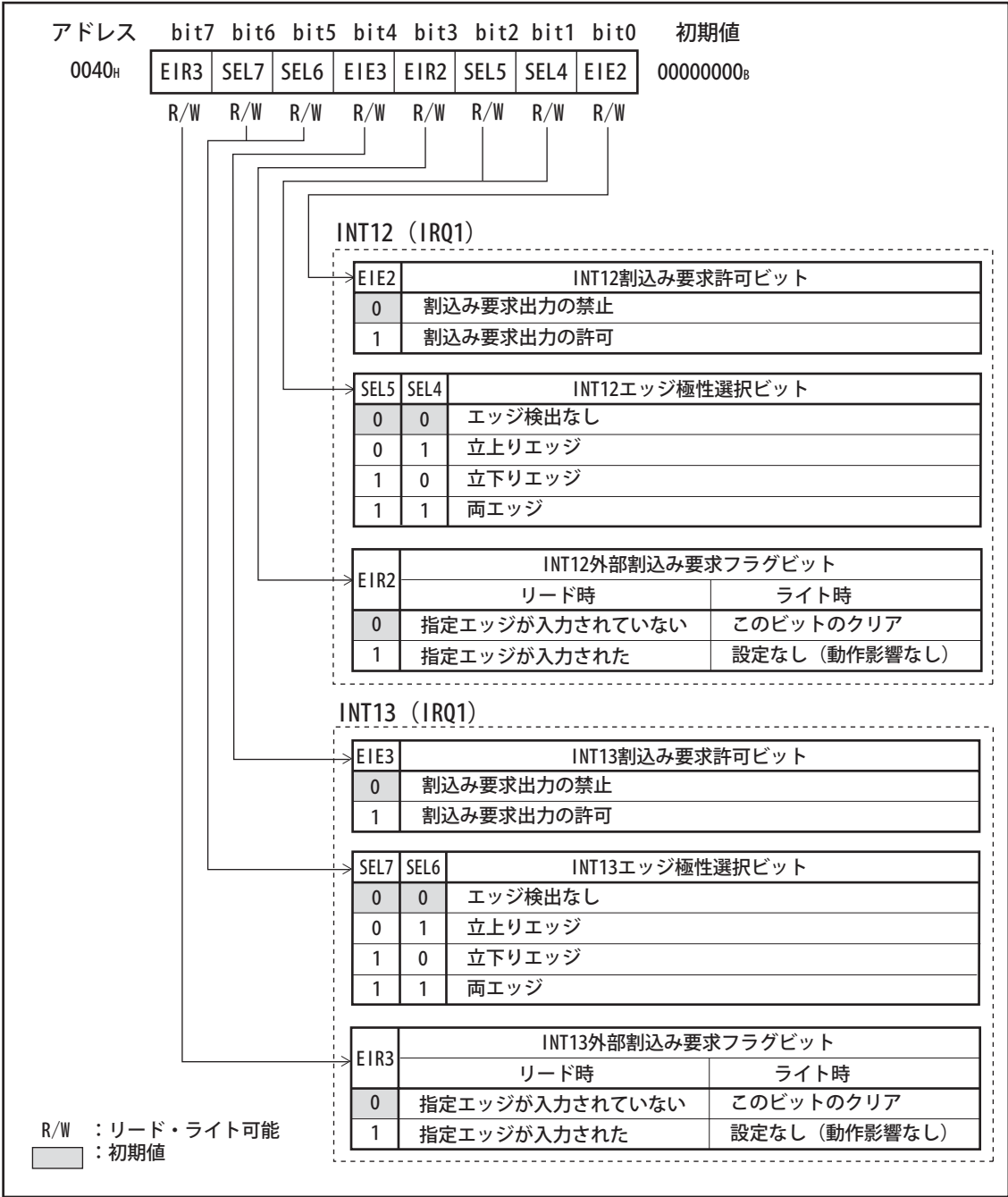


図 13.4-3 外部割込み 1 制御レジスタ 2 (EIC2)

表 13.4-2 外部割込み 1 制御レジスタ 2 (EIC2) の各ビットの機能説明

ビット名		機能
bit7	EIR3: INT13 外部割込み 要求フラグビット	外部割込み端子 INT13 に、INT13 エッジ極性選択ビット (EIC2:SEL7, SEL6) で選択したエッジが入力されたとき "1" にセットされます。 <ul style="list-style-type: none"> このビットと INT13 割込み要求許可ビット (EIC2:EIE3) が "1" のとき割込み要求を出力します。 書込み時は "0" でクリアされます。"1" の書込みは意味を持ちません。
bit6 bit5	SEL7, SEL6: INT13 エッジ極性 選択ビット	INT13 端子の入力エッジ極性のモードを制御します。 <ul style="list-style-type: none"> "00_B" の書込みは、エッジ検出なし。 "01_B" の書込みは、立上りエッジ検出。 "10_B" の書込みは、立下りエッジ検出。 "11_B" の書込みは、両エッジ検出。 このビットを変更するときは、EIR3 に "0" を書き込みます。
bit4	EIE3: INT13 割込み要求 許可ビット	CPU への割込み要求出力の許可 / 禁止を行うビットです。 このビットと、INT13 外部割込み要求フラグビット (EIR3) が "1" のとき、割込み要求を出力します。
bit3	EIR2: INT12 外部割込み 要求フラグビット	外部割込み端子 INT12 に、エッジ極性選択ビット (EIC2:SEL5, SEL4) で選択されたエッジが入力されたとき "1" にセットされます。 <ul style="list-style-type: none"> このビットと INT12 割込み要求許可ビット (EIC2:EIE2) が "1" のとき割込み要求を出力します。 書込み時は "0" でクリアされます。"1" の書込みは意味を持ちません。
bit2 bit1	SEL5, SEL4: INT12 エッジ極性 選択ビット	INT12 端子の入力エッジ極性のモードを制御します。 <ul style="list-style-type: none"> "00_B" の書込みは、エッジ検出なし。 "01_B" の書込みは、立上りエッジ検出。 "10_B" の書込みは、立下りエッジ検出。 "11_B" の書込みは、両エッジ検出。 このビットを変更するときは、EIR2 に "0" を書き込みます。
bit0	EIE2: INT12 割込み要求 許可ビット	CPU への割込み要求出力の許可 / 禁止を行うビットです。 このビットと、INT12 外部割込み要求フラグビット (EIR2) が "1" のとき、割込み要求を出力します。

13.5 外部割込み回路 1 の割込み

外部割込み回路 1 の割込み要因としては、外部割込み端子に入力された信号の指定エッジの検出があります。

■ 外部割込み回路 1 動作時の割込み

外部割込み入力の指定エッジを検出すると、対応する外部割込み要求フラグビット (EIC1, EIC2:EIR0 ~ EIR3) が "1" にセットされます。そのとき、対応する割込み要求許可ビットが許可 (EIC1, EIC2:EIE0 ~ EIE3=1) されている場合、CPU へ割込み要求 (IRQ0 ~ IRQ1) を発生します。"0" の書込みにより外部割込み要求フラグをクリアできます。

< 注意事項 >

リセット解除後に割込みを許可 (EIC1:EIE0, EIE1=1/EIC2:EIE2, EIE3=1) する場合は、必ず外部割込み要求フラグビットを同時にクリア (EIC1:EIE0, EIE1=1/EIC2:EIE2, EIE3=1) してください。

また、外部割込み要求フラグビットが "1" で、割込み要求許可ビットが許可されている場合には、割込み処理から復帰できません。割込み処理ルーチン中での外部割込み要求フラグビットのクリアを、必ず行ってください。

ストップモードの割込みによる解除は、外部割込み回路でのみ可能です。

外部割込み要求フラグビットが "1" にセットされた状態で、割込み要求許可ビットを禁止から許可 (0 → 1) にすると、割込み要求が発生します。

■ 外部割込み回路 1 の割込みに関連するレジスタとベクトルテーブル

表 13.5-1 外部割込みの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ		ベクトルテーブルのアドレス	
	レジスタ	設定ビット	上位	下位
IRQ0	ILR1 (007B _H)	L01 (bit1)	FFFA _H	FFFB _H
IRQ1		L11 (bit3)	FFF8 _H	FFF9 _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

■ エッジ極性の選択変更時の注意事項

INT10 ~ INT13 のエッジ極性を変更するときには、対応する EIR ビットに常に "0" を書き込みます。これにより、誤った割込みの発生を防ぐことができます。

13.6 外部割込み回路 1 の動作説明

外部割込み回路 1 は、外部割込み端子に入力された信号の指定エッジを検出できます。INT0 を例に動作を説明します。

■ 外部割込み回路 1 の動作

外部割込み回路 1 の INT0 を動作させるためには、図 13.6-1 に示すレジスタの設定が必要です。

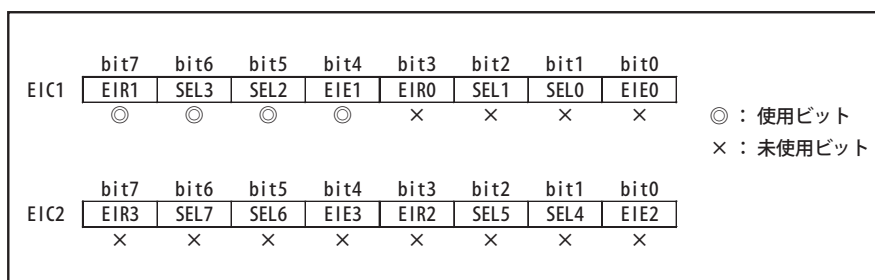


図 13.6-1 外部割込み回路 1 の設定

外部割込み端子 (INT11) より入力された信号のエッジと極性、外部割込み制御レジスタによって選択されたエッジ極性 (SEL2, SEL3) とが一致した場合、対応する外部割込み要求フラグビット (EIR1) が "1" にセットされます。

外部割込み要求フラグビットは、割込み要求許可ビット (EIE1) の値に関係なく、エッジ極性が一致すれば "1" にセットされます。

INT11 端子を外部割込み入力したときの動作を図 13.6-2 に示します。

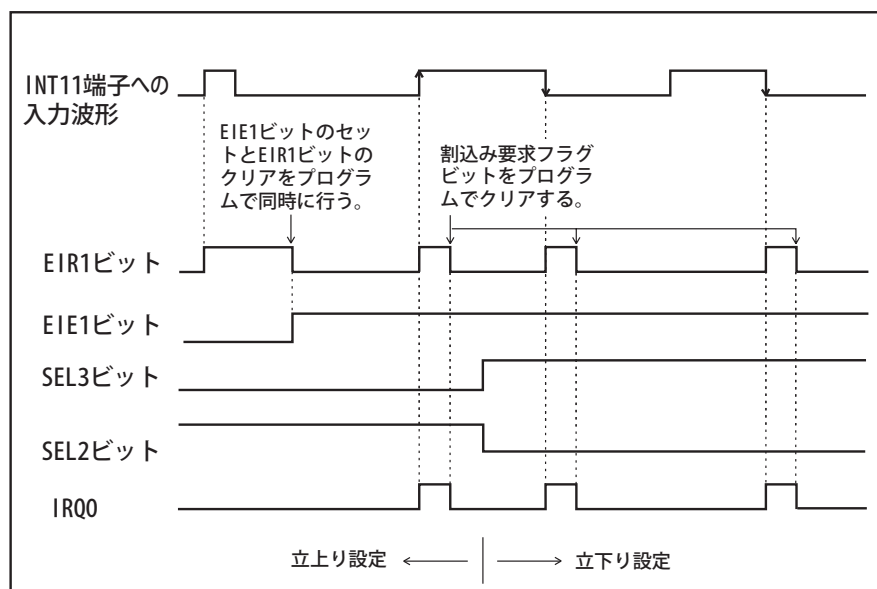


図 13.6-2 外部割込み (INT11 の場合) の動作

外部割込み入力として使用している場合でも、端子の状態は、ポート 6 データレジスタ (PDR6) から直接読み出せます。

13.7 外部割込み回路 1 のプログラム例

外部割込み回路 1 のプログラム例を示します。

■ 外部割込み回路 1 のプログラム例

● 処理仕様

- INT11 端子へのパルス入力の立上りエッジを検出する割込みを発生させます。

● コーディング例

```

EIC1    EQU    003FH          ; 外部割込み 1 制御レジスタ 1

EIR1    EQU    EIC1:7        ; 外部割込み要求フラグビットの定義
SEL2    EQU    EIC1:5        ; エッジ極性選択ビットの定義
EIE1    EQU    EIC1:4        ; 割込み要求許可ビットの定義

ILR0    EQU    007BH          ; 割込みレベル設定レジスタ 1 の設定

INT_V    DSEG    ABS          ; 【DATA SEGMENT】
ORG      OFFFAH
IRQ0     DW      WARI          ; INT1 割込みベクトルの設定
INT_V    ENDS

;---- メインプログラム -----
        CSEG                  ; 【CODE SEGMENT】
                                ; スタックポインタ (SP) などは初期化済みとする。
        :
        CLRI                  ; 割込みディセーブル
        CLRB    EIR1          ; 割込み要求フラグクリア
        MOV     ILR1,#11111101B ; 割込みレベル (レベル 1) を設定
        SETB    SEL2          ; 立上りエッジを選択
        SETB    EIE1          ; 割込み要求出力を許可
        SETI                  ; 割込みイネーブル
        :
;---- 割り込み処理ルーチン -----
WARI     CLRB    EIR1          ; INT11 割込み要求フラグクリア
        PUSHW   A
        XCHW    A,T
        PUSHW   A
        :
        ユーザ処理
        :
        POPW    A
        XCHW    A,T
        POPW    A
        RETI
        ENDS

;-----
        END

```


第 14 章

外部割込み回路 2 (レベル)

この章では , 外部割込み回路 2 (レベル) の機能と動作について説明します。

- 14.1 外部割込み回路 2 の概要
- 14.2 外部割込み回路 2 の構成
- 14.3 外部割込み回路 2 の端子
- 14.4 外部割込み回路 2 のレジスタ
- 14.5 外部割込み回路 2 の割込み
- 14.6 外部割込み回路 2 の動作説明
- 14.7 外部割込み回路 2 のプログラム例

14.1 外部割込み回路 2 の概要

外部割込み回路 2 は、8 本の外部割込み端子に入力された信号のレベルを検出し、CPU に対して割込み要求を発生します。

■ 外部割込み回路 2 の機能 (レベル検出)

外部割込み回路 2 は、外部割込み端子に入力された "L" レベルの信号を検出し、CPU に対して割込み要求を発生する機能があります。この割込みによってスタンバイモードから復帰し、通常動作状態 (メイン RUN またはサブ RUN 状態) に移行できます。

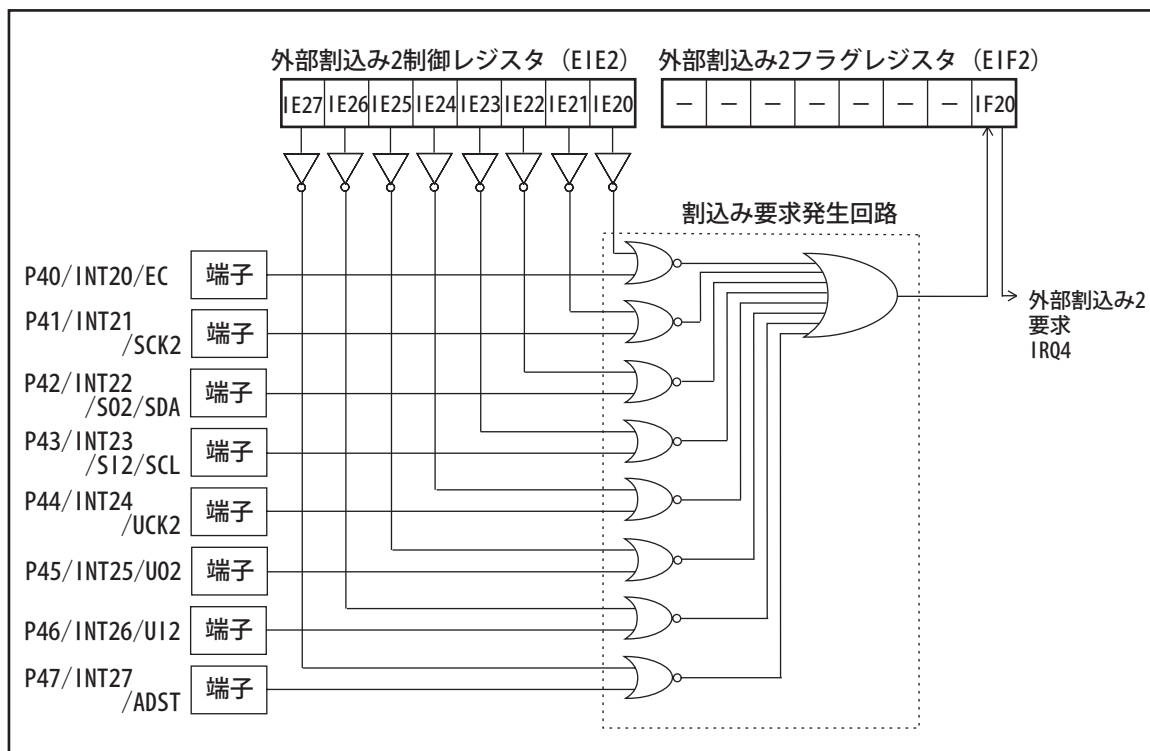
- 外部割込み端子：8 本 (P40/INT20/EC ~ P47/INT27/ADST)
- 外部割込み要因：外部割込み端子への "L" レベルの信号入力
- 割込み制御： 外部割込み 2 制御レジスタ (EIE2) による、外部割込み入力の許可と禁止
- 割込みフラグ： 外部割込み 2 フラグレジスタ (EIF2) の外部割込み要求フラグビットによる検出
- 割込み要求： いずれかの外部割込許可端子が "L" レベルになると IRQ4 が発生

14.2 外部割込み回路 2 の構成

外部割込み回路 2 は、以下のブロックで構成されています。

- 割込み要求発生回路
- 外部割込み 2 制御レジスタ (EIE2)
- 外部割込み 2 フラグレジスタ (EIF2)

■ 外部割込み回路 2 のブロックダイアグラム



14.3 外部割込み回路 2 の端子

外部割込み回路 2 に関連する端子および端子のブロックダイアグラムを示します。

■ 外部割込み回路 2 に関連する端子

外部割込み回路 2 に関連する端子は P40/INT20/EC ~ P47/INT27/ADST 端子です。

● P40/INT20/EC ~ P47/INT27/ADST 端子

これらの外部割込み端子は、外部割込み入力（ヒステリシス入力）としての機能、汎用入出力ポートとしての機能およびリソース端子としての機能を兼用しています。

INT20 ~ INT27: P40/INT20/EC ~ P47/INT27/ADST 端子は、ポート 4 方向レジスタ (DDR4) によって対応する端子を入力ポートに設定し、外部割込み 2 制御レジスタ (EIE2) によって対応する外部割込み入力を許可すると、外部割込み入力端子 (INT20 ~ INT27) として機能します。

端子の状態は、入力ポートに設定されているときは、いつでもポートデータレジスタ (PDR4) から読み出せます。

外部割込み回路 2 に関連する端子を表 14.3-1 に示します。

表 14.3-1 外部割込み回路 2 に関連する端子

外部割込み端子	外部割込み入力として使用 (割込み入力許可)	汎用入出力ポートとして使用 (割込み入力禁止)
P40/INT20/EC	INT20 (EIE2:IE20=1, DDR4:bit0=0)	P40 (EIE2:IE20=0, DDR4:bit0=0)
P41/INT21/SCK2	INT21 (EIE2:IE21=1, DDR4:bit1=0)	P41 (EIE2:IE21=0, DDR4:bit1=0)
P42/INT22/SO2/SDA	INT22 (EIE2:IE22=1, DDR4:bit2=0)	P42 (EIE2:IE22=0, DDR4:bit2=0)
P43/INT23/S12/SCL	INT23 (EIE2:IE23=1, DDR4:bit3=0)	P43 (EIE2:IE23=0, DDR4:bit3=0)
P44/INT24/UCK2	INT24 (EIE2:IE24=1, DDR4:bit4=0)	P44 (EIE2:IE24=0, DDR4:bit4=0)
P45/INT25/UO2	INT25 (EIE2:IE25=1, DDR4:bit5=0)	P45 (EIE2:IE25=0, DDR4:bit5=0)
P46/INT26/UI2	INT26 (EIE2:IE26=1, DDR4:bit6=0)	P46 (EIE2:IE26=0, DDR4:bit6=0)
P47/INT27/ADST	INT27 (EIE2:IE27=1, DDR4:bit7=0)	P47 (EIE2:IE27=0, DDR4:bit7=0)

■ 外部割込み回路 2 に関連する端子のブロックダイアグラム

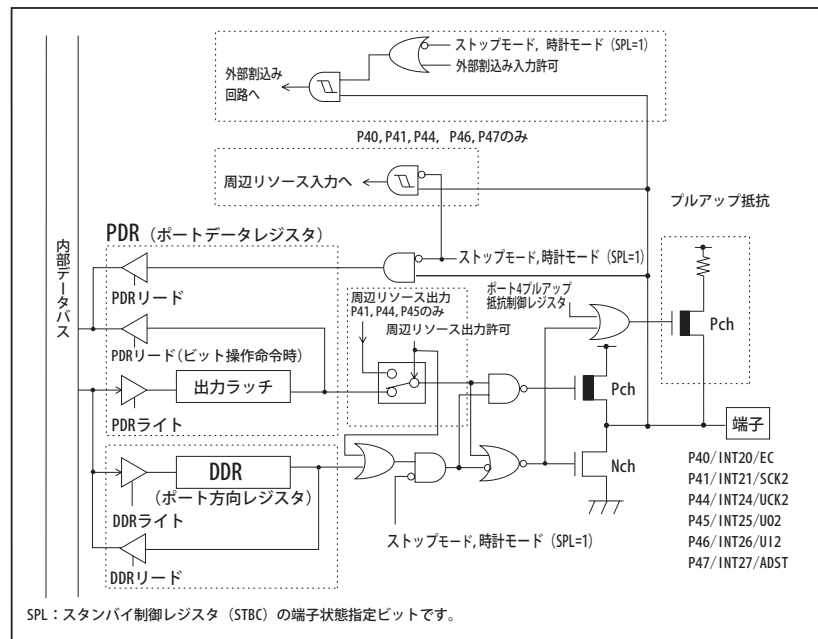


図 14.3-1 外部割込み回路 2 に関連する端子のブロックダイアグラム (INT22, INT23 以外)

ポート4プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合, ストップモードまたは時計モード (STBC: SPL=1) における端子の状態は, ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし, リセット中のプルアップは無効となり, ハイインピーダンスになります。

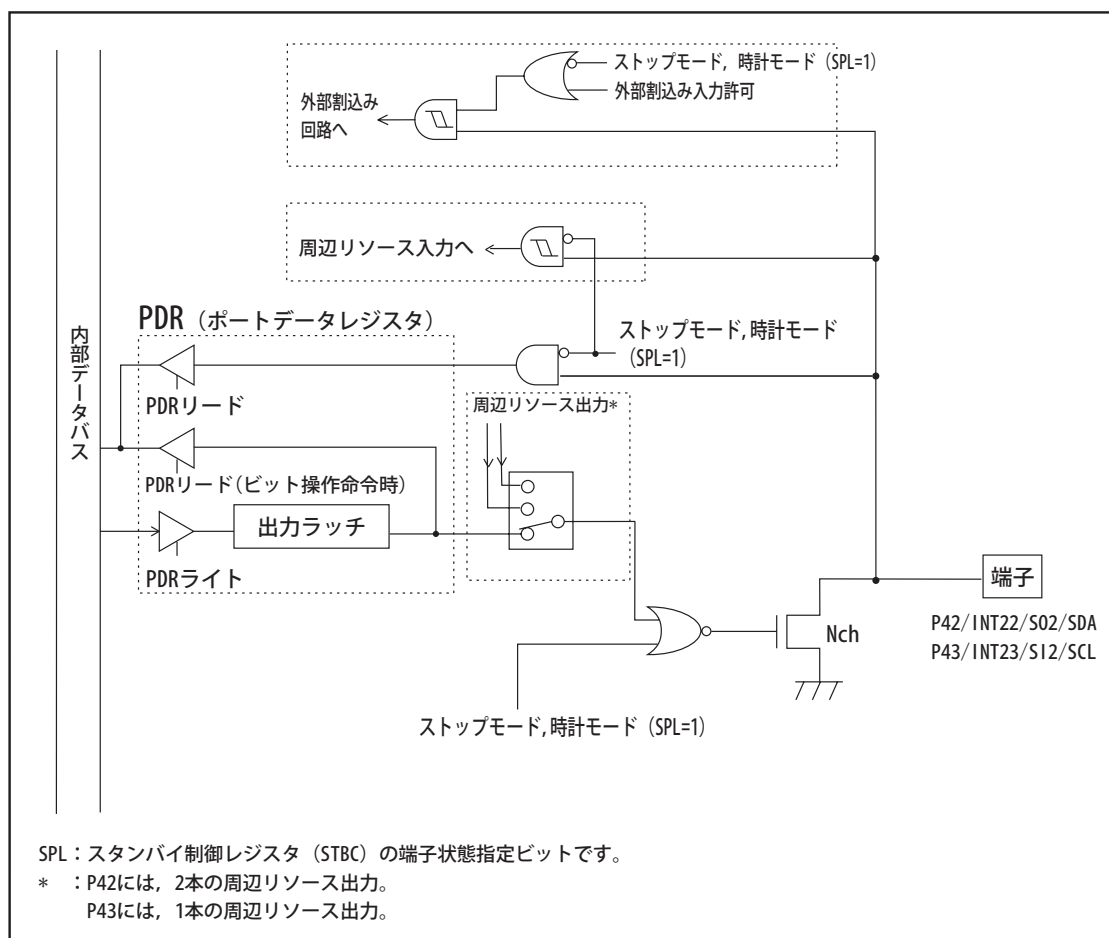


図 14.3-2 外部割込み回路 2 に関連する端子のブロックダイアグラム (INT22, INT23 のみ)

端子の状態は, 入力端子として設定 (DDR4:bit2=0 または DDR4:bit3=0) した場合, ハイインピーダンスになります。初期状態でハイレベルの入力が必要な場合, 外部抵抗をプルアップ接続する必要があります。

14.4 外部割込み回路 2 のレジスタ

外部割込み回路 2 に関連するレジスタを示します。

■ 外部割込み回路 2 に関連するレジスタ

EIE2 (外部割込み2制御レジスタ)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0056 _H	IE27	IE26	IE25	IE24	IE23	IE22	IE21	IE20	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

EIF2 (外部割込み2フラグレジスタ)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0057 _H	—	—	—	—	—	—	—	IF20	-----0 _B
								R/W	

R/W : リード・ライト可能
 — : 未使用

図 14.4-1 外部割込み 2 に関連するレジスタ

14.4.1 外部割込み 2 制御レジスタ (EIE2)

外部割込み 2 制御レジスタ (EIE2) は、外部割込み端子 INT20 ~ INT27 に対する割込み入力の許可と禁止を行います。

■ 外部割込み 2 制御レジスタ (EIE2)

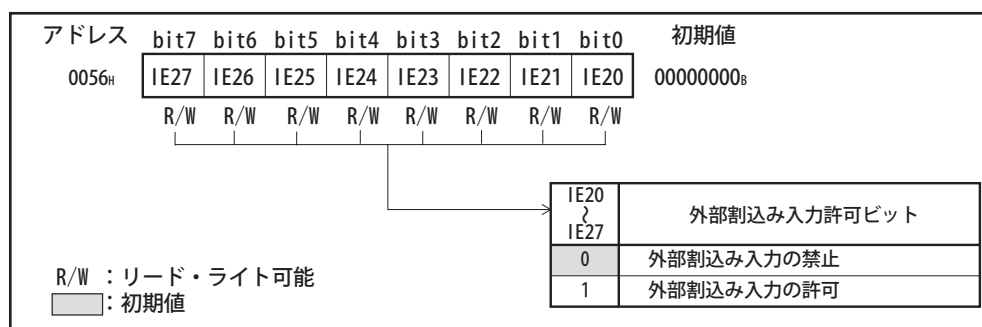


図 14.4-2 外部割込み 2 制御レジスタ (EIE2)

表 14.4-1 外部割込み 2 制御レジスタ (EIE2) の各ビットと外部割込み端子との対応

ビット名		外部割込み端子
bit7	IE27	INT27
bit6	IE26	INT26
bit5	IE25	INT25
bit4	IE24	INT24
bit3	IE23	INT23
bit2	IE22	INT22
bit1	IE21	INT21
bit0	IE20	INT20

表 14.4-2 外部割込み 2 制御レジスタ (EIE2) の各ビットの機能説明

ビット名		機能
bit7 bit6 bit5 bit4 bit3 bit2 bit1 bit0	IE20 ~ IE27: 外部割込み入力許可 ビット	<p>これらのビットは、INT20 ~ INT27 の外部割込み端子に対する割込み入力を許可または禁止します。</p> <ul style="list-style-type: none"> これらのビットに "1" をセットすると、対応する外部割込み端子は外部割込みの入力端子として機能し、外部割込み入力を受け付けます。 "0" をセットすると、対応する外部割込み端子は汎用ポートとして機能し、外部割込み入力を受け付けません。 外部割込み端子を使用する場合、ポート 4 方向レジスタ (DDR4) の対応するビットに "0" を書き込み、端子を入力に設定してください。 外部割込み入力許可ビットの状態にかかわらず、外部割込み端子の状態は、ポート 4 データレジスタ (PDR4) から、直接読み出せます。

14.4.2 外部割込み 2 フラグレジスタ (EIF2)

外部割込み 2 フラグレジスタ (EIF2) は , レベル割込みの検出と割込み要求フラグのクリアを行います。

■ 外部割込み 2 フラグレジスタ (EIF2)

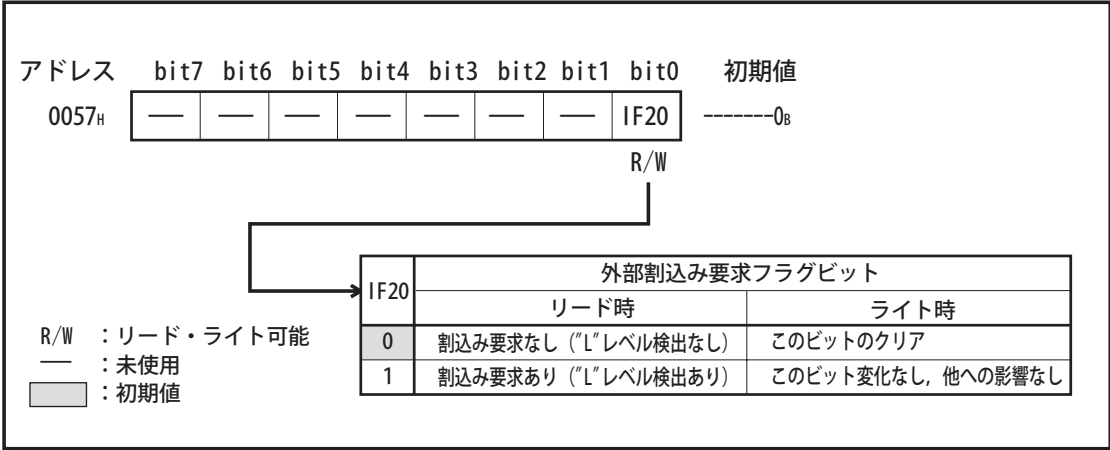


図 14.4-3 外部割込み 2 フラグレジスタ (EIF2)

表 14.4-3 外部割込み 2 フラグレジスタ (EIF2) の各ビットの機能説明

ビット名		機能
bit7 bit6 bit5 bit4 bit3 bit2 bit1	未使用ビット	未使用ビットです。 ・ 読出しの値は不定です。 ・ 書込みは意味を持ちません。
bit0	IF20: 外部割込み要求 フラグビット	外部割込み入力 that 許可になっている外部割込み端子 (INT20 ~ INT27) に, "L" レベルの信号が入力されると "1" にセットされます。 ・ 書込み時は, "0" でクリアされます。"1" の書込みは意味を持ちません。 <注記> 外部割込み 2 制御レジスタの外部割込み入力許可ビット (EIE2:IE20 ~ IE27) は, 外部割込みの入力を禁止するだけです。割込み要求は, IF20 ビットが "0" にクリアされるまで発生し続けます。

14.5 外部割込み回路 2 の割込み

外部割込み回路 2 の割込み要因としては、外部割込み端子に入力された "L" レベル入力信号があります。

■ 外部割込み回路 2 動作時の割込み

割込み入力の許可された外部割込み端子に "L" レベルが入力されると、外部割込み要求フラグビット (EIF2:IF20) が "1" にセットされ、CPU へ割込み要求 (IRQ4) を発生します。割込み処理ルーチンでは IF20 ビットに "0" を書き込み、割込み要求をクリアしてください。

外部割込み要求フラグビット (EIF2) が "1" にセットされると、外部割込み 2 制御レジスタ (EIE2) の割込み許可ビット (IE20 ~ IE27) によって、外部割込み入力を禁止しても、IF20 ビットが "0" にクリアされるまで割込み要求を発生し続けますので、IF20 ビットのクリアは必ず行ってください。

また、外部割込み端子が "L" レベルのままであれば、外部割込み入力を禁止しない状態で、IF20 ビットをクリアしても、すぐに IF20 ビットが "1" にセットされます。したがって、必要に応じて外部割込み入力を禁止するか、外部割込みの原因そのものを解消してください。

リセット解除後に CPU の割込みを許可する場合は、あらかじめ IF20 ビットをクリアしてください。スタンバイモードからの復帰時には外部割込み回路 1 および外部割込み回路 2 を使用することにより復帰できます。

< 注意事項 >

- 外部割込み端子 (INT20 ~ INT27) への "L" レベルの入力は、どの入力も同じ割込み要求 (IRQ4) を発生します。いずれの端子に対応する外部割込み入力であるかは、入力が "H" レベルに変化する前にポート 4 データレジスタ (PDR4) を読み出して判定する必要があります。
- ストップモードの割込みによる解除は、外部割込み回路 1 および外部割込み回路 2 でのみ可能です。

■ 外部割込み回路 2 の割込みに関連するレジスタとベクトルテーブル

表 14.5-1 外部割込み 2 の割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQ4	ILR2 (007C _H)	L41 (bit1)	L40 (bit0)	FFF2 _H	FFF3 _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

14.6 外部割込み回路 2 の動作説明

外部割込み回路 2 は , 外部割込み端子の "L" レベルを検出し , CPU に対して割込み要求を発生します。

■ 外部割込み回路 2 の動作

外部割込み回路 2 を動作させるためには , 図 14.6-1 に示すレジスタの設定が必要です。

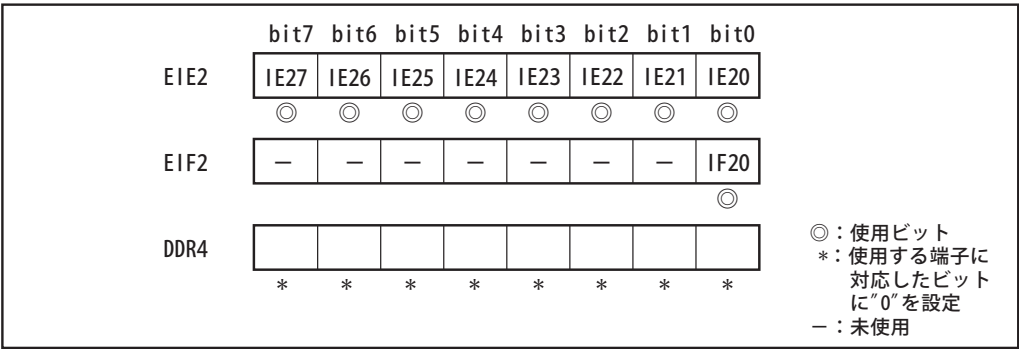


図 14.6-1 外部割込み回路 2 の設定

外部割込み入力許可ビット (IE20 ~ IE27) が許可された状態で , 対応する外部割込み端子 (INT20 ~ INT27) に "L" レベル信号が入力されると CPU に対して IRQ4 の割込み要求が発生します。

外部割込み回路 2 (INT20 端子使用時) の動作を図 14.6-2 に示します。

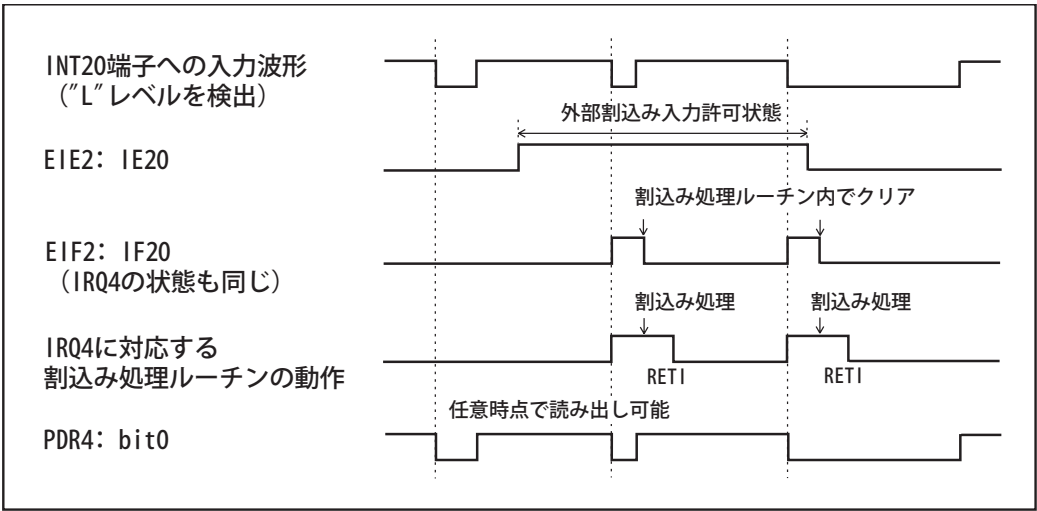


図 14.6-2 外部割込み 2 (INT20) の動作

外部割込み端子を外部割込み入力として使用している場合でも , 端子の状態をポートデータレジスタ (PDR4) から直接読み出せます。

14.7 外部割込み回路 2 のプログラム例

外部割込み回路 2 のプログラム例を示します。

■ 外部割込み回路 2 のプログラム例

● 処理仕様

INT20 端子に入力される "L" レベルを検出して、割込みを発生します。

● コーディング例

```

DDR4 EQU 0011H ; ポート 4 方向レジスタのアドレス
EIE2 EQU 0056H ; 外部割込み 2 制御レジスタのアドレス
EIF2 EQU 0057H ; 外部割込み 2 フラグレジスタのアドレス

IF20 EQU EIF2:0 ; 外部割込み要求フラグビットの定義

ILR2 EQU 007CH ; 割込みレベル設定レジスタ 2 のアドレス

INT_V DSEG ABS ; 【DATA SEGMENT】
ORG 0FFF2H
IRQ4 DW WARI ; 割込みベクトル設定
INT_V ENDS

;----- メインプログラム -----
CSEG ; 【CODE SEGMENT】
; スタックポインタ (SP) などは初期化済みとする
;
; 割込みディセーブル
CLRI ; 外部割込み要求フラグクリア
CLRB IF20 ; 割込みレベルを 2 に設定
MOV ILR2,#11111110B ; P40/INT20 端子を入力に設定
MOV DDR4,#00000000B ; P40/INT20 端子の外部割込み入力を許可
MOV EIE2,#00000001B ; 割込みイネーブル
SETI
;
;----- 割込み処理ルーチン -----
WARI MOV EIE2,#00000000B ; INT20 端子の外部割込み入力を禁止
CLRB IF20 ; 外部割込み要求フラグクリア
PUSHW A
XCHW A,T
PUSHW A
;
ユーザ処理
;
POPW A
XCHW A,T
POPW A
RETI
ENDS
;-----
END

```

第 15 章

A/D コンバータ

この章では、A/D コンバータの機能と動作について説明します。

- 15.1 A/D コンバータの概要
- 15.2 A/D コンバータの構成
- 15.3 A/D コンバータの端子
- 15.4 A/D コンバータのレジスタ
- 15.5 A/D コンバータの割込み
- 15.6 A/D コンバータの動作説明
- 15.7 A/D コンバータの使用上の注意
- 15.8 A/D コンバータのプログラム例

15.1 A/D コンバータの概要

10 ビット逐次比較型の A/D コンバータです。8 チャンネルのアナログ入力端子から 1 つの入力信号を選択し、ソフトウェア、内部クロックおよび ADST 端子からの入力によって起動できます。

ただし、MB89F538/F538L では ADST 端子からの入力 (外部クロック) は使用できません。

■ A/D 変換機能

アナログ入力端子に入力されたアナログ電圧 (入力電圧) を、10 ビットのデジタル値に A/D 変換する機能です。

- 8 チャンネルのアナログ入力端子から 1 つを選択できます。
- 変換速度は、60 インストラクションサイクル (メインクロック原発振 10MHz 時 24 μ s) です。
- A/D 変換が終了後、割込みを発生します。
- 変換終了は、ソフトウェアでも判断できます。

A/D 変換機能を起動するためには、以下の方法があります。

- ソフトウェアによる起動
- タイムベースタイマ出力 (メインクロック原発振の 2^8 分周) による連続起動
- 外部クロックに同期した連続起動 (ADST)

15.2 A/D コンバータの構成

A/D コンバータは、以下のブロックで構成されています。

- クロックセクタ (A/D 変換起動用入力クロックセクタ)
- アナログチャネルセクタ
- サンプルホールド回路
- D/A コンバータ
- コンパレータ
- コントロール回路
- A/D データレジスタ (ADDH, ADDL)
- A/D 制御レジスタ 1 (ADC1)
- A/D 制御レジスタ 2 (ADC2)

■ A/D コンバータのブロックダイアグラム

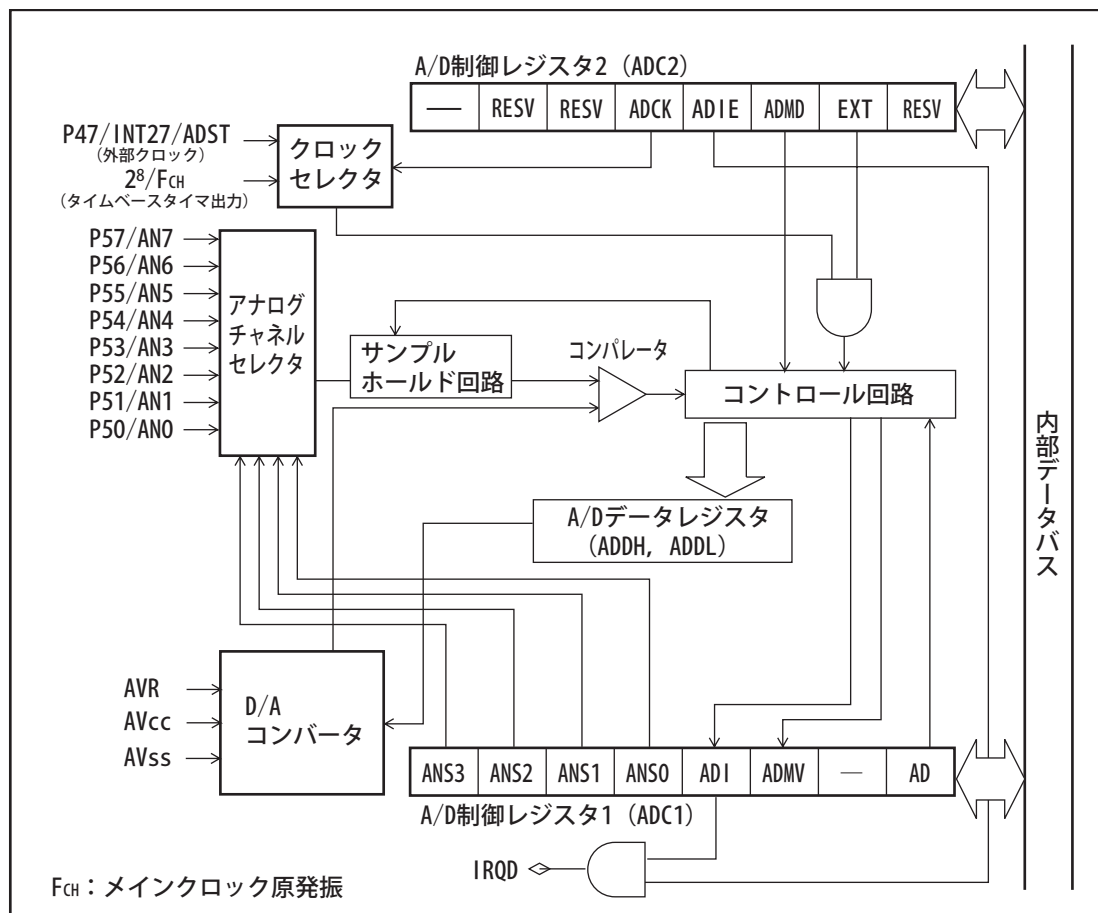


図 15.2-1 A/D コンバータのブロックダイアグラム

● クロックセクタ

連続起動を許可 (ADC2:EXT=1) した状態で、A/D 変換起動用のクロックを選択します。

- アナログチャネルセクタ

8 チャネルのアナログ入力端子の中から 1 つを選択する回路です。

- サンプルホールド回路

アナログチャネルセクタで選択された入力電圧を保持する回路です。A/D 変換を起動した直後の入力電圧をサンプルホールドすると、A/D 変換中（比較中）の入力電圧の変動による影響を受けずに変換できます。

- D/A コンバータ

ADDDH, ADDL レジスタに設定された値に対応する電圧を発生します。

- コンパレータ

サンプルホールドされた入力電圧と、D/A コンバータの出力電圧を比較し、大小を判定します。

- コントロール回路

A/D 変換機能では、10 ビットの A/D データレジスタの最上位ビットから最下位ビットに向かって、コンパレータからの大小信号をもとに、値を順次決定します。変換が終了すると、割込み要求フラグビット (ADC1:ADI) を "1" にセットします。

- A/D データレジスタ (ADDDH/ADDL)

A/D 変換機能では、A/D 変換の結果が格納されます。

- A/D 制御レジスタ 1 (ADC1)

各機能の許可または禁止、アナログ入力端子の選択、状態の確認および割込み制御を行うレジスタです。

- A/D 制御レジスタ 2 (ADC2)

入力クロックの選択、割込みの許可または禁止、機能の選択を行うレジスタです。

■ A/D コンバータの電源電圧

- AV_{CC}

A/D コンバータの電源端子です。 V_{CC} と同電位で使用します。また、A/D 変換の精度を求める場合には、 V_{CC} のノイズが AV_{CC} に影響を与えないように対策を施すか、別電源とします。A/D コンバータを使用しない場合は、この端子を電源に接続します。

- AV_{SS}

A/D コンバータのグランド端子です。 V_{SS} と同電位で使用します。また、A/D 変換の精度を求める場合には、 V_{SS} のノイズが AV_{SS} に影響を与えないように対策を施します。A/D コンバータを使用しない場合は、この端子をグランド (GND) に接続します。

- AVR

A/D コンバータの基準電圧（リファレンス電圧）を入力する端子です。AVR と AV_{SS} 間で 10 ビット A/D 変換をします。

A/D コンバータを使用しない場合は、 AV_{SS} へ接続します。

15.3 A/D コンバータの端子

A/D コンバータに関連する端子および端子のブロックダイヤグラムを示します。

■ A/D コンバータに関連する端子

A/D コンバータに関連する端子は、P47/INT27/ADST 端子と P50/AN0 ~ P57/AN7 端子です。

● P47/INT27/ADST 端子

P47/INT27/ADST 端子は、汎用入出力ポートとしての機能 (P47)、A/D 変換起動用の外部クロック入力端子としての機能 (ADST)、および外部割込み入力 (ヒステリシス入力) としての機能 (INT27) を兼用しています。

ADST: この端子を入力ポートに設定し (DDR4:bit7=0)、連続起動を許可 (ADC2:EXT=1) した状態で、入力クロック選択ビットを外部クロック入力に設定 (ADC2:ADCK=1) すると、ADST 端子として機能します。

外部クロック入力に同期した連続起動する場合、この端子に外部クロックを入力します。

● P50/AN0 ~ P57/AN7 端子

P50/AN0 ~ P57/AN7 端子は、Nch オープンドレイン出力の出力専用ポートとしての機能 (P50 ~ P57) と、アナログ入力端子としての機能 (AN0 ~ AN7) を兼用しています。

AN0 ~ AN7: A/D 変換機能を使用する場合、これらの端子に変換したいアナログ電圧を入力します。これらの端子は、ポートデータレジスタ (PDR5) の対応するビットを "1" に設定します。アナログ入力チャネルセレクトビットによって選択 (ADC1:ANS0 ~ ANS3) すると、アナログ入力端子として機能します。A/D コンバータを使用する場合においても、アナログ入力として使用しない端子は、汎用入出力ポートとして使用できます。

■ A/D コンバータに関連する端子のブロックダイヤグラム

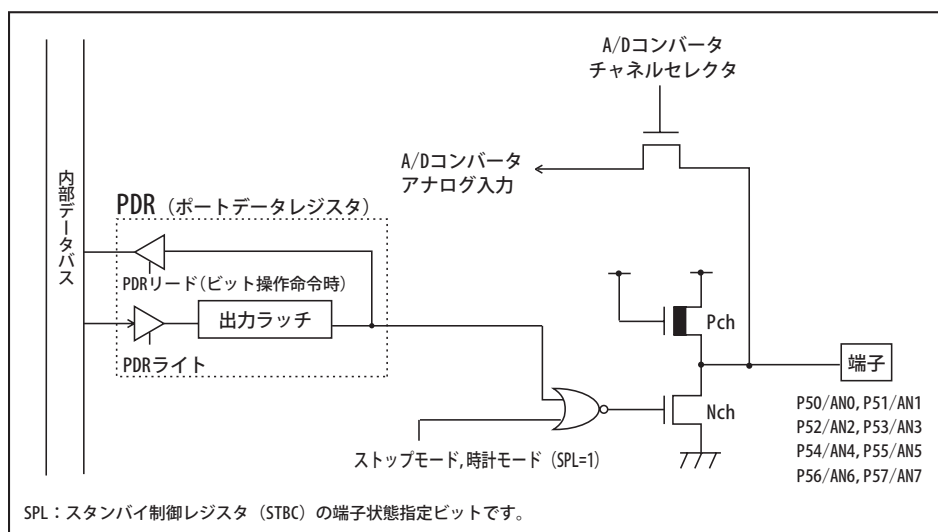


図 15.3-1 P50/AN0 ~ P57/AN7 端子のブロックダイヤグラム

15.4 A/D コンバータのレジスタ

A/D コンバータに関連するレジスタを示します。

■ A/D コンバータに関連するレジスタ

ADC1 (A/D制御レジスタ1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0034 _H	—	ANS2	ANS1	ANS0	ADI	ADMV	—	AD	X00000X0 _B
	R/W	R/W	R/W	R/W	R			R/W	
ADC2 (A/D制御レジスタ2)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0035 _H	—	RESV	RESV	ADCK	ADIE	ADMD	EXT	RESV	—0000001 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ADDL (A/DデータレジスタL)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0036 _H	D7	D6	D5	D4	D3	D2	D1	D0	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ADDH (A/DデータレジスタH)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0037 _H	—	—	—	—	—	—	D9	D8	-----XX _B
							R/W	R/W	

R/W : リード・ライト可能
 R : リードオンリ
 — : 未使用
 X : 不定

図 15.4-1 A/D コンバータに関連するレジスタ

15.4.1 A/D 制御レジスタ 1 (ADC1)

A/D 制御レジスタ 1 (ADC1) は , A/D コンバータの各機能の許可と禁止の設定 , アナログ入力端子の選択および状態の確認を行うレジスタです。

■ A/D 制御レジスタ 1 (ADC1)

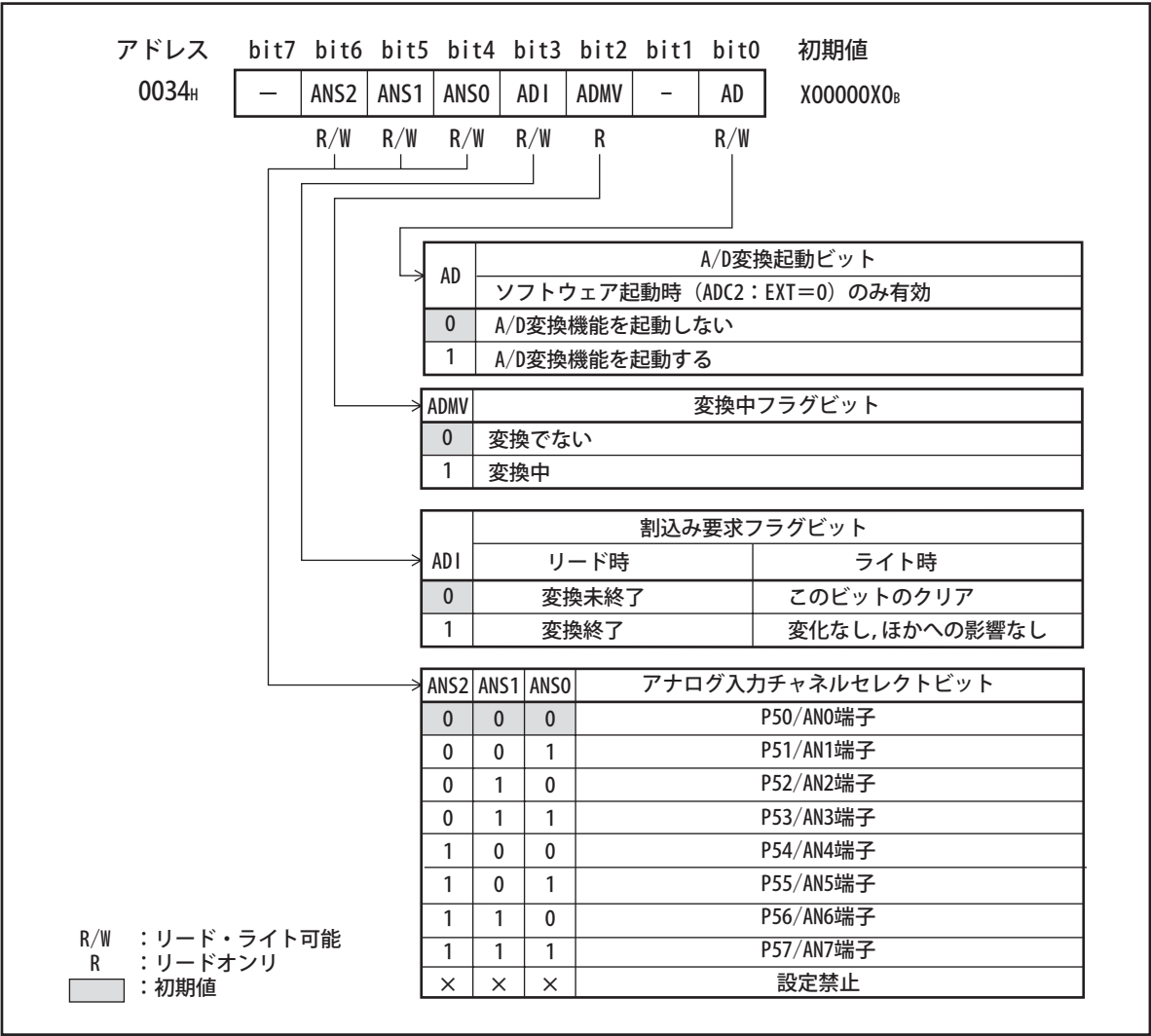


図 15.4-2 A/D 制御レジスタ 1 (ADC1)

表 15.4-1 A/D 制御レジスタ 1 (ADC1) の各ビットの機能説明

ビット名		機能
bit7 bit6 bit5 bit4	ANS3, ANS2, ANS1, ANS0: アナログ入力 チャネルセレクトビット	AN0 ~ AN7の中からアナログ入力端子として使用する端子を選択します。 ソフトウェア起動時 (ADC2:EXT=0) は、A/D 変換機能を起動 (AD=1) するときに、同時に書き換えることができます。 < 注記 > ADMV ビットが "1" の場合は、これらのビットを書き換えないでください。 アナログ入力端子として使用しない端子は、汎用ポートとして使用できます。
bit3	ADI: 割込み要求 フラグビット	<ul style="list-style-type: none"> A/D 変換機能時 A/D 変換の終了によって "1" にセットされます。 各機能においてこのビットと割込み要求許可ビット (ADC2:ADIE) が "1" の場合割込み要求を出力します。 書込み時は、"0" でこのビットがクリアされ、"1" の書込みは意味を持ちません。
bit2	ADMV: 変換中フラグ ビット	A/D 変換機能時に変換中を示すビットです。 変換中は、"1" にセットされます。 このビットは読出し専用です。
bit1	未使用ビット	読出しの値は不定です。 書込みは意味を持ちません。
bit0	AD: A/D 変換起動 ビット	<p>A/D 変換機能をソフトウェア的に起動するビットです。</p> <ul style="list-style-type: none"> 連続起動を行わない状態 (ADC2:EXT=0) で、このビットに "1" を書き込むと A/D 変換機能が起動します。 <p>< 注記 ></p> <ul style="list-style-type: none"> このビットに "0" を書き込んでも A/D 変換機能の動作を停止できません。また、読出し値は常に "0" です。 連続起動時は、このビットは意味を持ちません。

15.4.2 A/D 制御レジスタ 2 (ADC2)

A/D 制御レジスタ 2 (ADC2) は , A/D コンバータの機能選択 , 入力クロックの選択 , 割込み , 連続起動の許可と禁止および状態の確認を行うレジスタです。

■ A/D 制御レジスタ 2 (ADC2)

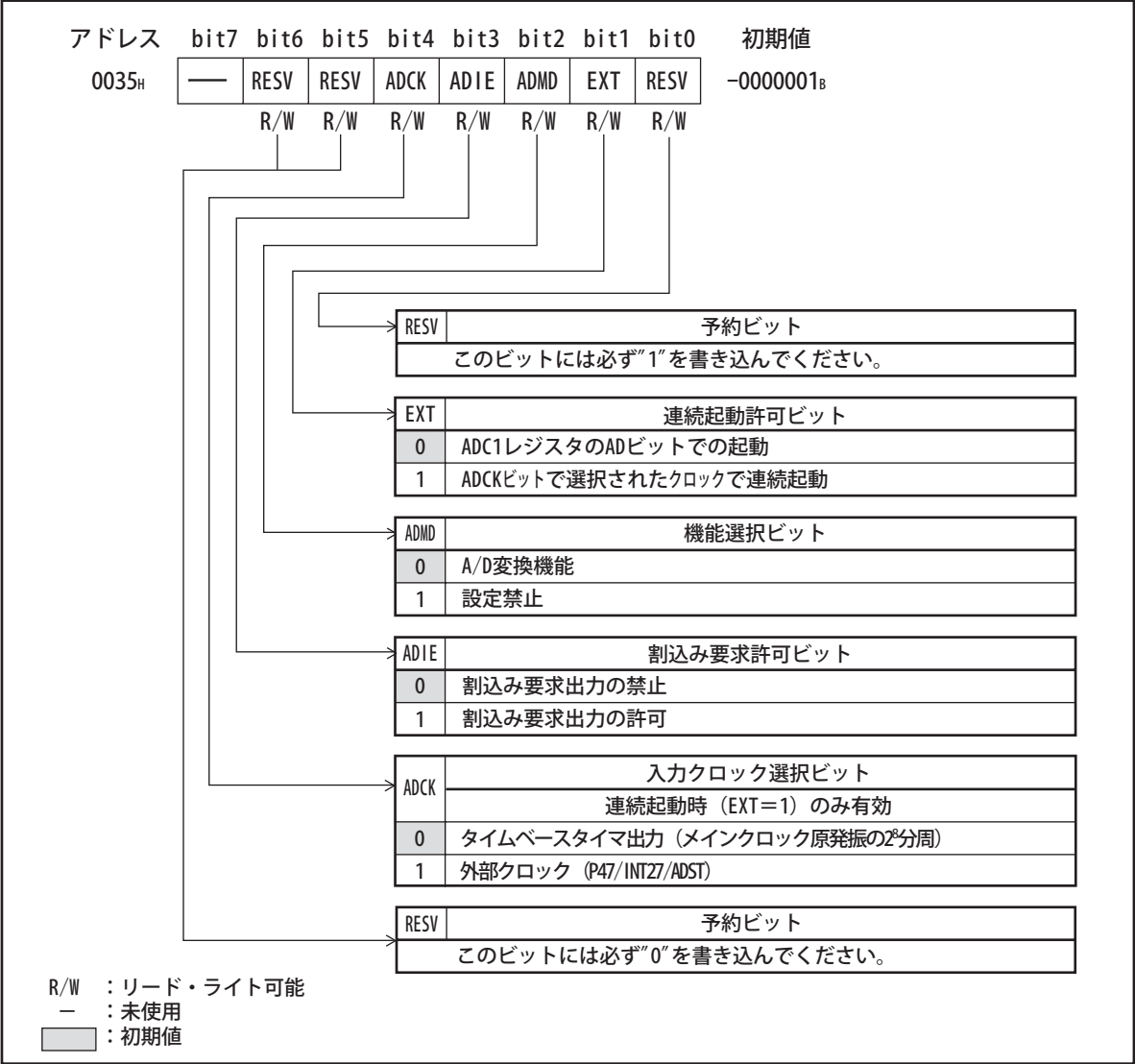


図 15.4-3 A/D 制御レジスタ 2 (ADC2)

表 15.4-2 A/D 制御レジスタ 2 (ADC2) の各ビットの機能説明

ビット名		機能
bit7	未使用ビット	未使用ビットです。 • 読出しの値は不定です。 • 書込みは意味を持ちません。
bit6 bit5	RESV: 予約ビット	予約ビットです。 • このビットには必ず "0" を書き込んでください。
bit4	ADCK: 入力クロック 選択ビット	連続起動する状態 (EXT=1) で、A/D 変換の起動用入力クロックを選択するビットです。 このビットが "0" のとき、タイムベースタイマ (メインクロック原発振の 2^8 分周) が選択され、"1" のとき、外部クロック (P47/INT27/ADST 端子) が選択されます。 < 注記 > サブクロックモードでメインクロック発振部が停止している場合、連続モード変換を起動するのにタイムベースタイマを使用できません。
bit3	ADIE: 割込み要求 許可ビット	CPU への割込み出力の許可 / 禁止を行うビットです。 • このビットと、割込み要求フラグビット (ADC1:ADI) が "1" の場合、割込み要求を出力します。
bit2	ADMD: 機能選択 ビット	このビットには必ず "0" を書き込んでください。
bit1	EXT: 連続起動許可 ビット	A/D 変換機能の起動を、ソフトウェア的に行うか、入力クロックに同期して連続的に行うかを選択するビットです。 • このビットが "0" のとき、A/D 変換起動ビット (ADC1:AD) によるソフトウェア起動が有効になり、"1" のとき、入力クロック選択ビット (ADC2:ADCK) で選択されたクロックの立上りによる連続起動が有効になります。
bit0	RESV1: 予約ビット	予約ビットです。 < 注記 > • このビットへは必ず "1" を書き込んでください。 • 読出し値は常に "1" です。

15.4.3 A/D データレジスタ (ADDH, ADDL)

A/D 変換の結果が格納されます。
10 ビットデータの上位 2 ビットが ADDH レジスタに , 下位 8 ビットが ADDL レジスタに対応します。

■ A/D データレジスタ (ADDH, ADDL)

A/D データレジスタ (ADDL, ADDH) のビット構成を図 15.4-4 に示します。

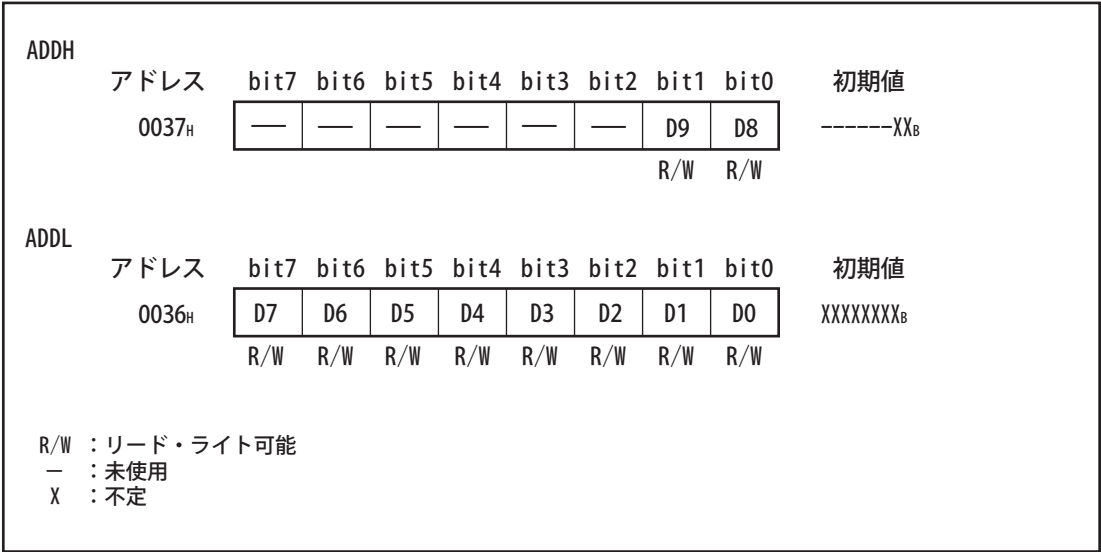


図 15.4-4 A/D データレジスタ (ADDH, ADDL)

10 ビットの A/D データのうち , 上位 2 ビットが ADDH レジスタのビット 0, 1 に対応し , 下位 8 ビットが ADDL レジスタのビット 0 ~ 7 に対応します。

● A/D 変換機能時

A/D 変換を起動すると , 約 60 インストラクションサイクル後に , 変換結果のデータが確定し , このレジスタに格納されます。このため , A/D 変換終了後 , 次の A/D 変換が終了するまでに , この A/D データレジスタ (ADDH, ADDL) の変換結果を読み出し , 割込み要求フラグビットを "0" にクリア (ADC1:ADI=0) してください。

15.5 A/D コンバータの割込み

A/D コンバータの割込み要因には , A/D 変換機能動作時の変換終了があります。

■ A/D 変換機能動作時の割込み

A/D 変換が終了すると , 割込み要求フラグビット (ADC1:ADI) が "1" にセットされます。そのとき , 割込み要求許可ビットを許可 (ADC2:ADIE=1) している場合 , CPU へ割込み要求 (IRQD) が発生します。割込み処理ルーチンなどで ADI ビットに "0" を書き込み , 割込み要求をクリアしてください。

ADI ビットは , ADIE ビットの値に関係なく , A/D 変換が終了すると "1" にセットされます。

ADI ビットが "1" の場合 , ADIE ビットを禁止から許可 (0 1) にすると , 割込み要求が発生します。

■ A/D コンバータの割込みに関連するレジスタとベクトルテーブル

表 15.5-1 A/D コンバータの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQD	ILR4 (007E _H)	LD1 (bit3)	LD0 (bit2)	FFE0 _H	FFE1 _H

割込み動作については「3.4.2 割込み動作時の処理」を参照してください。

15.6 A/D コンバータの動作説明

A/D コンバータは，ソフトウェア起動または連続起動ができます。

■ A/D 変換機能の起動

● ソフトウェア起動

A/D 変換機能をソフトウェア起動するためには，図 15.6-1 に示すレジスタの設定が必要です。

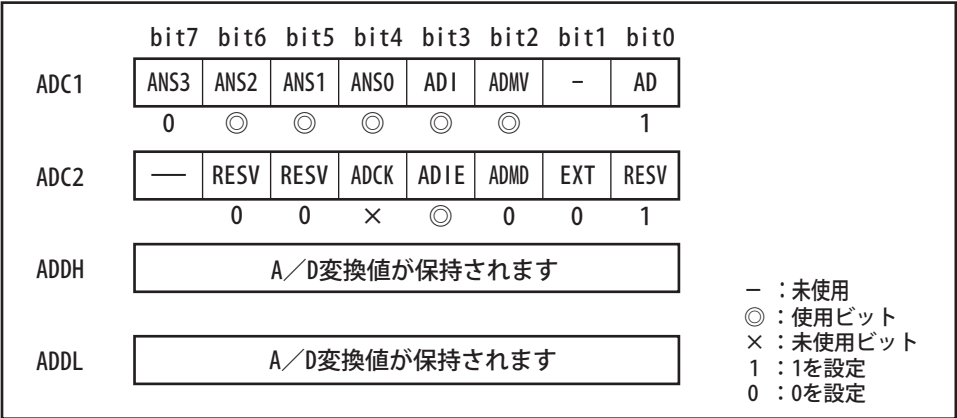


図 15.6-1 A/D 変換機能 (ソフトウェア起動時) の設定

A/D変換を起動すると，A/D変換機能の動作を開始します。また，変換中であっても，A/D 変換機能の再起動ができます。

● 連続起動

A/D 変換機能を連続起動するためには，図 15.6-2 に示すレジスタの設定が必要です。

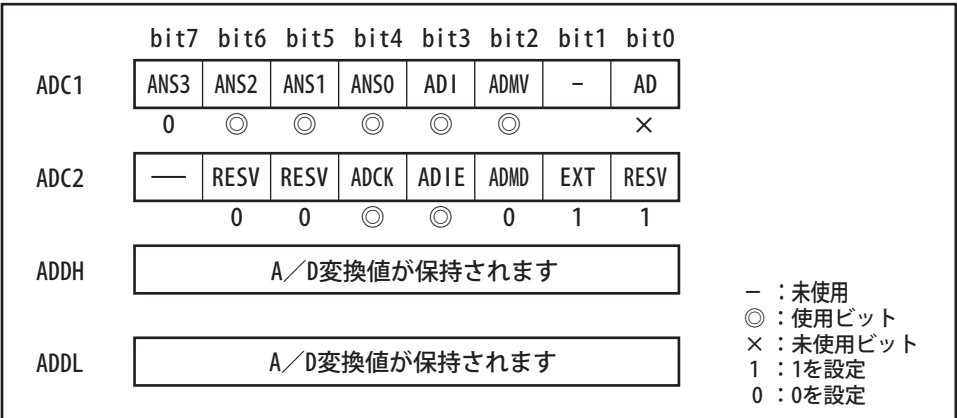


図 15.6-2 A/D 変換機能 (連続起動時) の設定

連続起動が許可されていると，選択された入力クロックの立上りエッジで A/D 変換を起動し，A/D 変換機能の動作を開始します。連続起動の禁止 (ADC2:EXT=0) によって連続起動は停止し，ソフトウェアによる起動ができます。

■ A/D 変換機能の動作

A/D 変換の起動から終了までの時間は約 60 インストラクションサイクルです。

以下に手順を示します。

- 1) A/D 変換の起動により、変換中フラグビットがセット (ADC1:ADMV=1) され、設定したアナログ入力端子がサンプルホールド回路に接続されます。
- 2) アナログ入力端子の電圧を、約 16 インストラクションサイクルの間、内部サンプルホールド用コンデンサに取り込みます。この電圧は、A/D 変換が終了するまで保持されます。
- 3) サンプルホールド用コンデンサに取り込まれた電圧と、A/D 変換用の基準電圧を、コンパレータで最上位ビット (MSB) から最下位ビット (LSB) まで比較し、結果を順次 A/D データレジスタ (ADDH, ADDL) レジスタへ転送します。
- 4) 結果の転送が終わると、変換中フラグビットがクリア (ADC1:ADMV=0) され、割り込み要求フラグビットがセット (ADC1:ADI=1) されます。

15.7 A/D コンバータの使用上の注意

A/D コンバータを使用するための注意点を示します。

■ A/D コンバータ使用上の注意

● アナログ入力端子の入力インピーダンスについて

A/D コンバータは、図 15.7-1 のようにサンプルホールド回路を内蔵しており、A/D 変換の起動後、16 インストラクションサイクルの間にアナログ入力端子の電圧をサンプルホールド用コンデンサに取り込みます。したがって、アナログ入力の外部回路の出力インピーダンスが高い場合、アナログ入力サンプリング期間内にアナログ入力電圧が安定しないことがあります。そのため、外部回路の出力インピーダンスは低く (10k 以下) してください。外部回路の出力インピーダンスを低くすることができない場合は、アナログ入力端子に 0.1 μ F 程度のコンデンサを外付けしてください。

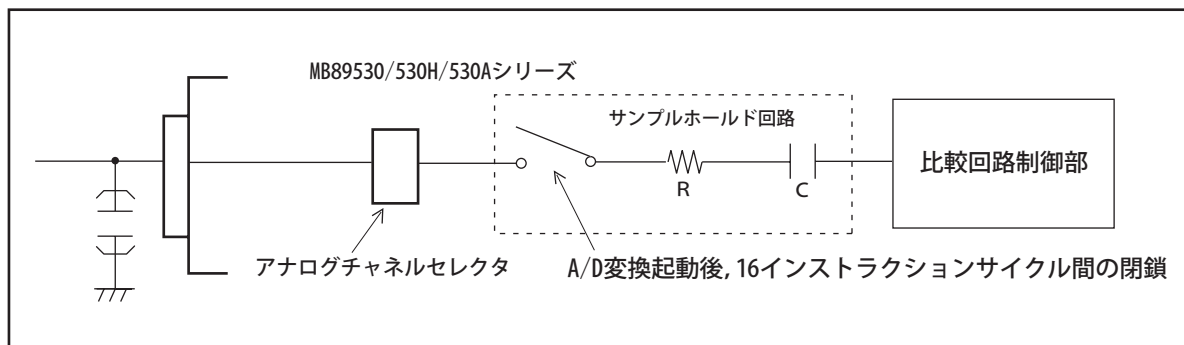


図 15.7-1 アナログ入力の等価回路

● プログラムで設定する場合

- A/D 変換機能時、A/D データレジスタ (ADDL, ADDH) の内容は A/D 変換が起動されるまでは以前の値を保持していますが、A/D 変換が起動された直後に ADDL, ADDH レジスタの内容は不定になります。
- A/D 変換機能動作中、アナログ入力チャネルの再選択 (ADC1:ANS2 ~ ANS0) は行わないでください。特に連続起動中は、連続起動を禁止 (ADC2:EXT=0) して、変換中フラグビット (ADC1:ADMV) が "0" になってから行ってください。
- リセット、ストップモードおよび時計モードの起動により A/D コンバータは停止します。
- 割込み要求フラグビット (ADC1:ADI) が "1" で、割込み要求許可 (ADC2:ADIE=1) の状態では、割込み処理から復帰できません。必ず、ADI ビットのクリアを行ってください。
- 外部クロックによる連続起動を行う場合には、変換 / 比較時間とその結果の読出し時間等を考慮したクロックを入力してください。

● 割込み要求について

A/D 変換の再起動 (ADC1:AD=1) と、終了が同時に起こった場合、割込み要求フラグビット (ADC1:ADI) のセットは行われません。

● 誤差について

$|AVR - AV_{SS}|$ が小さくなるに従って、誤差は大きくなります。

● A/D コンバータの電源およびアナログ入力の投入 / 切断順序について

A/D コンバータの電源 (AV_{CC} , AV_{SS}) およびアナログ入力 ($AN0 \sim AN7$) の印加は、必ずデジタル電源 (V_{CC}) の投入と同時か、もしくは投入の後で行ってください。

電源切断時は、A/D コンバータの電源 (AV_{CC} , AV_{SS}) およびアナログ入力 ($AN0 \sim AN7$) の切断と同時か、もしくは A/D コンバータの電源 (AV_{CC} , AV_{SS}) およびアナログ入力切断後にデジタル電源 (V_{CC}) の切断を行ってください。

A/D コンバータの電源投入時および切断時においても AV_{CC} , AV_{SS} およびアナログ入力は、デジタル電源の電圧を超えないようにしてください。

● 変換時間について

A/D 変換機能の変換速度は、クロックモードやメインクロックの速度切替え (ギア機能) の影響を受けます。

● 連続起動の入力クロックについて

タイムベースタイマ出力ギア機能の影響は受けませんが、サブクロックモードではメインクロックの発振が停止するため使用できません。また、タイムベースタイマがクリアされると周期に影響を受けます。

15.8 A/D コンバータのプログラム例

10 ビット A/D コンバータのプログラム例を示します。

■ A/D 変換機能のプログラム例

● 処理仕様

AN0 端子に入力されるアナログ電圧を、ソフトウェア起動で A/D 変換します。割込みは使用せず、プログラムのループの中で変換終了を検出します。

● コーディング例

```

PDR5    EQU    0012H        ; ポート 5 データレジスタのアドレス

ADC1     EQU    0034H        ; A/D 制御レジスタ 1 のアドレス
ADC2     EQU    0035H        ; A/D 制御レジスタ 2 のアドレス
ADDH     EQU    0037H        ; A/D データレジスタ H のアドレス
ADDL     EQU    0036H        ; A/D データレジスタ L のアドレス

AN0      EQU    DDR5:0       ; AN0 アナログ入力使用の定義
ADI      EQU    ADC1:3       ; 割込み要求フラグビットの定義
ADMV     EQU    ADC1:2       ; 変換中フラグビットの定義
AD       EQU    ADC1:0       ; A/D 変換起動ビット (ソフトウェア起動) の
                                ; 定義
EXT      EQU    ADC2:1       ; 連続起動許可ビットの定義
;-----メインプログラム-----
        CSEG                ; 【CODE SEGMENT】
        :
        CLRI                ; 割込みディセーブル
        SETB    AN0          ; P50/AN0 端子をアナログ入力端子に設定

        CLRB    EXT          ; 連続起動禁止
AD_WAIT
        BBS     ADMV,AD_WAIT  ; A/D コンバータ停止中確認ループ
        MOV     ADC1, #00000000B ; アナログ入力チャネル 0 を選択 (AN0),
                                ; 割込み要求フラグクリア, ソフトウェア起動
                                ; しない
        MOV     ADC2, #00000001B ; 割込み要求出力禁止, A/D 変換機能を選択,
                                ; ソフトウェア起動と選択
        SETI                ; 割込みイネーブル
        SETB    AD           ; ソフトウェア起動
AD_CONV
        BBS     ADMV, AD_CONV ; A/D 変換終了待ちループ (約 24 μs/10MHz 時)
        CLRB    ADI          ; 割込み要求フラグクリア
        MOV     A,ADDL        ; A/D 変換データの読出し (下位 8 ビット)
        MOV     A,ADDH        ; A/D 変換データの読出し (上位 2 ビット)
        :
        ENDS
;-----
        END

```


第 16 章

UART/SIO

この章では , UART/SIO の機能と動作について説明します。

- 16.1 UART/SIO の概要
- 16.2 UART/SIO の構成
- 16.3 UART/SIO の端子
- 16.4 UART/SIO のレジスタ
- 16.5 UART/SIO の割込み
- 16.6 UART/SIO の動作説明

16.1 UART/SIO の概要

UART/SIO は、汎用のシリアルデータ通信インタフェースです。クロック同期 (シンクロナス) またはクロック非同期 (アシンクロナス) で、可変データ長のシリアルデータ転送ができます。データ転送フォーマットは、NRZ 方式で、転送レートは専用ボーレートジェネレータ、外部クロックまたは内部タイマによって設定できます。

■ UART/SIO の機能

UART/SIO は、他の CPU や周辺装置とシリアルデータの送受信 (シリアル入出力) を行う機能があります。

- 全 2 重ダブルバッファを持っており、全 2 重で双方向通信ができます。
- 同期転送モード (シンクロナス) または非同期転送モード (アシンクロナス) を選択できます。
- 内蔵のボーレートジェネレータによって 14 種類のボーレートを選択できます。また、外部クロック入力によって、任意のボーレートも設定できます。
- データ長は可変で、パリティなしの場合 7 ~ 8 ビット、パリティありの場合 8 ~ 9 ビットを設定できます (表 16.1-1)。
- データ転送フォーマットは、NRZ (Non Return to Zero) 方式です。

表 16.1-1 UART/SIO の動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	7	8	非同期	1 ビットまたは 2 ビット
	8	9		
1	8		同期	なし

16.2 UART/SIO の構成

UART/SIO は、以下のブロックで構成されています。

- シリアルモード制御レジスタ 1 (SMC21)
- シリアルモード制御レジスタ 2 (SMC22)
- シリアルステータスアンドデータレジスタ (SSD2)
- シリアルインプットデータレジスタ (SIDR2)
- シリアルアウトプットデータレジスタ (SODR2)
- ボーレートジェネレータリロードレジスタ (SRC2)

■ UART/SIO のブロックダイアグラム

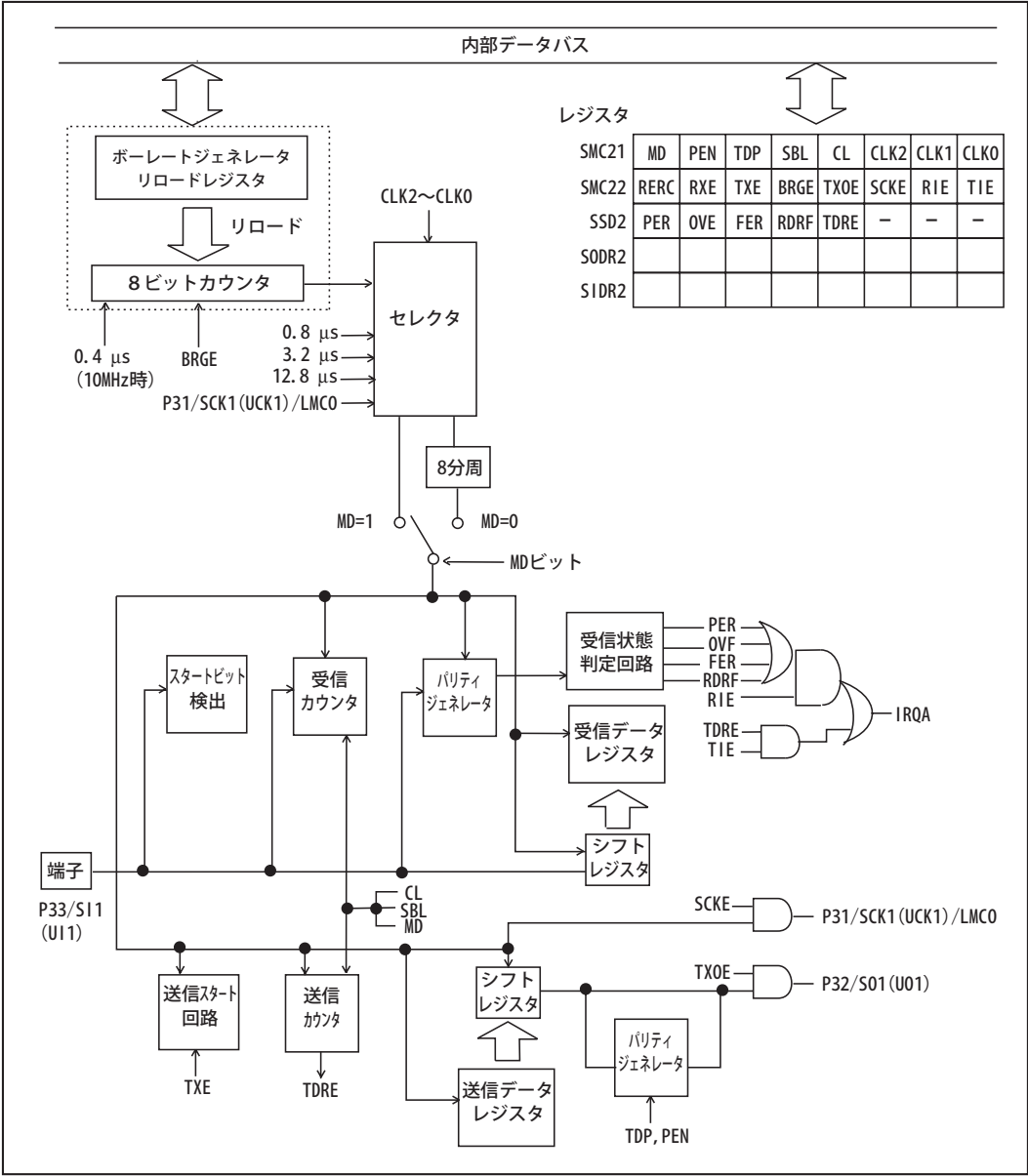


図 16.2-1 UART/SIO のブロックダイアグラム

● シリアルモード制御レジスタ 1 (SMC21)

UART/SIO の動作モードを制御します。

- シリアルクロック選択
- キャラクタビット長
- ストップビット長
- パリティ極性
- パリティの有無
- クロック同期 / 非同期

● シリアルモード制御レジスタ 2 (SMC22)

UART/SIO の動作モードを制御します。

- シリアルクロック出力の許可 / 禁止
- シリアルデータ出力の許可 / 禁止
- シリアルポートと汎用ポートの切替え
- 割込みの許可 / 禁止

● シリアルステータスアンドデータレジスタ (SSD2)

UART/SIO の送受信やエラーの状態を示します。

● シリアルインプットデータレジスタ (SIDR2)

受信データを格納します。受信したシリアルデータがパラレル変換され、このレジスタに格納されます。

● シリアルアウトプットデータレジスタ (SODR2)

送信データを格納します。このレジスタに書き込まれたデータがシリアル変換されて出力されます。

● ボーレートジェネレータリロードレジスタ (SRC2)

UART/SIO のデータ転送速度 (ボーレート) を制御するレジスタです。

16.3 UART/SIO の端子

UART/SIO に関連する端子および端子のブロックダイヤグラムを示します。

■ UART/SIO に関連する端子

UART/SIO に関連する端子は、P31/SCK1(UCK1)/LMCO 端子、P32/SO1(UO1) 端子および P33/SI1(UI1) 端子です。

● P31/SCK1(UCK1)/LMCO 端子

汎用入出力ポート (P31) と UART/SIO のクロック入出力端子 (ヒステリシス入力) としての機能 (SCK1(UCK1))、サブクロック出力としての機能 (LMCO) を兼用しています。

SCK1(UCK1) : クロック出力を許可 (SMC22:SCKE=1) すると、対応するポート方向レジスタの値に関係なく、UART/SIO のクロック出力端子 (SCK1(UCK1)) として機能します。このとき、外部クロックは選択 (SMC21:CLK2, CLK1, CLK0=100_B) しないでください。

UART/SIO のクロック入力端子として使用する場合は、クロック出力を禁止 (SMC22:SCKE=0) し、対応するポート方向レジスタによって入力ポートに設定 (DDR3:bit1=0) してください。このとき、必ず外部クロックを選択 (SMC21:CLK2, CLK1, CLK0=100_B) してください。

● P32/SO1(UO1) 端子

汎用入出力ポート (P32) と UART/SIO のシリアルデータ出力端子としての機能 (SO1(UO1)) を兼用しています。

SO1(UO1) : シリアルデータ出力を許可 (SMC22:TXOE=1) すると、対応するポート方向レジスタの値に関係なく、UART/SIO のシリアルデータ出力端子 (SO1(UO1)) として機能します。

● P33/SI1(UI1) 端子

汎用入出力ポート (P33) と UART/SIO のシリアルデータ入力端子 (ヒステリシス入力) としての機能 (SI1(UI1)) を兼用しています。

SI1(UI1) : UART/SIO のシリアルデータ入力端子として使用する場合は、対応するポート方向レジスタによって入力ポートに設定 (DDR3:bit3=0) してください。

■ UART/SIO に関連する端子のブロックダイヤグラム

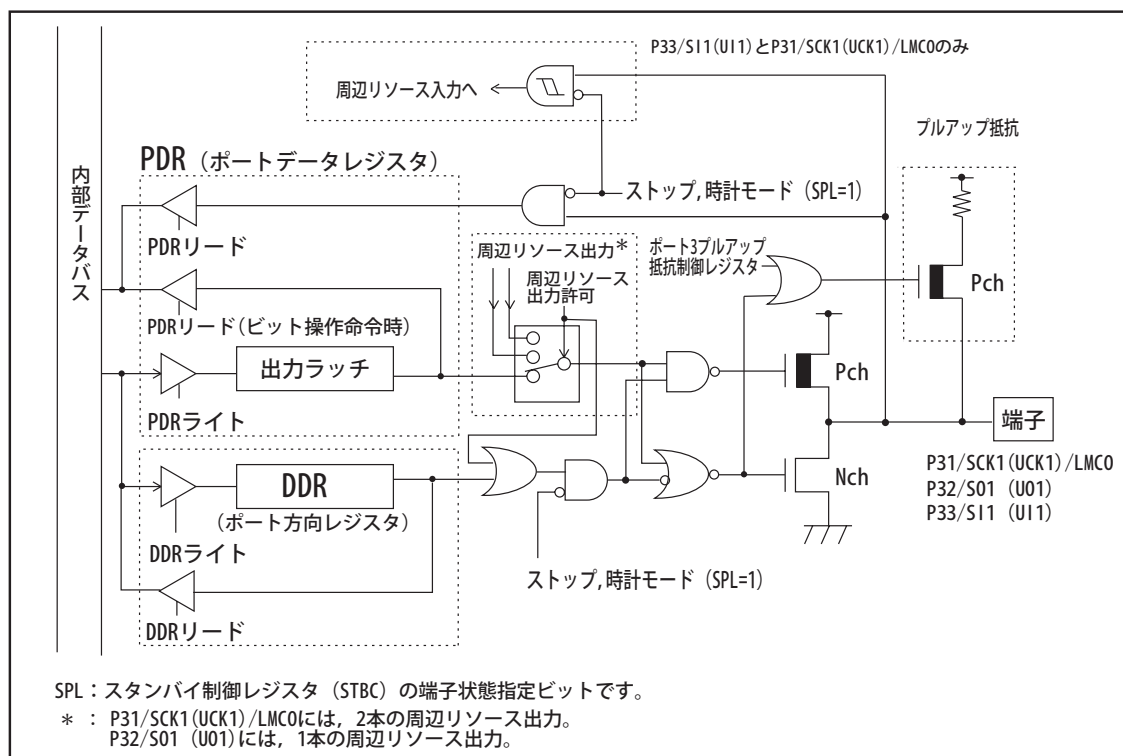


図 16.3-1 UART/SIO に関連する端子のブロックダイアグラム

ポート3プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、ストップモードまたは時計モード(STBC:SPL=1)における端子の状態は、ハイインピーダンスではなく"H"レベル(プルアップ状態)になります。ただし、リセット中のプルアップは無効となり、ハイインピーダンスになります。

16.4 UART/SIO のレジスタ

UART/SIO に関連するレジスタを示します。

■ UART/SIO に関連するレジスタ

SMC21 (シリアルモード制御レジスタ1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
002F _H	MD	PEN	TDP	SBL	CL	CLK2	CLK1	CLK0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

SMC22 (シリアルモード制御レジスタ2)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0030 _H	RERC	RXE	TXE	BRGE	TXOE	SCKE	RIE	TIE	00000000 _B
	W	R/W	R/W	W	R/W	R/W	R/W	R/W	

SSD2 (シリアルステータスアンドデータレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0031 _H	PER	OVE	FER	RDRF	TDRE	-	-	-	00001--- _B
	R	R	R	R	R				

SIDR2 (シリアルインプットデータレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0032 _H									XXXXXXXX _B
	R	R	R	R	R	R	R	R	

SODR2 (シリアルアウトプットデータレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0032 _H									XXXXXXXX _B
	W	W	W	W	W	W	W	W	

SRC2 (ボーレートジェネレータ リロードレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0033 _H									XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W: リード・ライト 可能
R: リードオンリ
W: ライトオンリ
-: 未使用
X: 不定

図 16.4-1 UART/SIO に関連するレジスタ

16.4.1 シリアルモード制御レジスタ 1 (SMC21)

シリアルモード制御レジスタ 1 (SMC21) は、パリティの有無、ストップビット長、動作モード (データ長)、同期 / 非同期、シリアルクロックを設定します。

■ シリアルモード制御レジスタ 1 (SMC21)

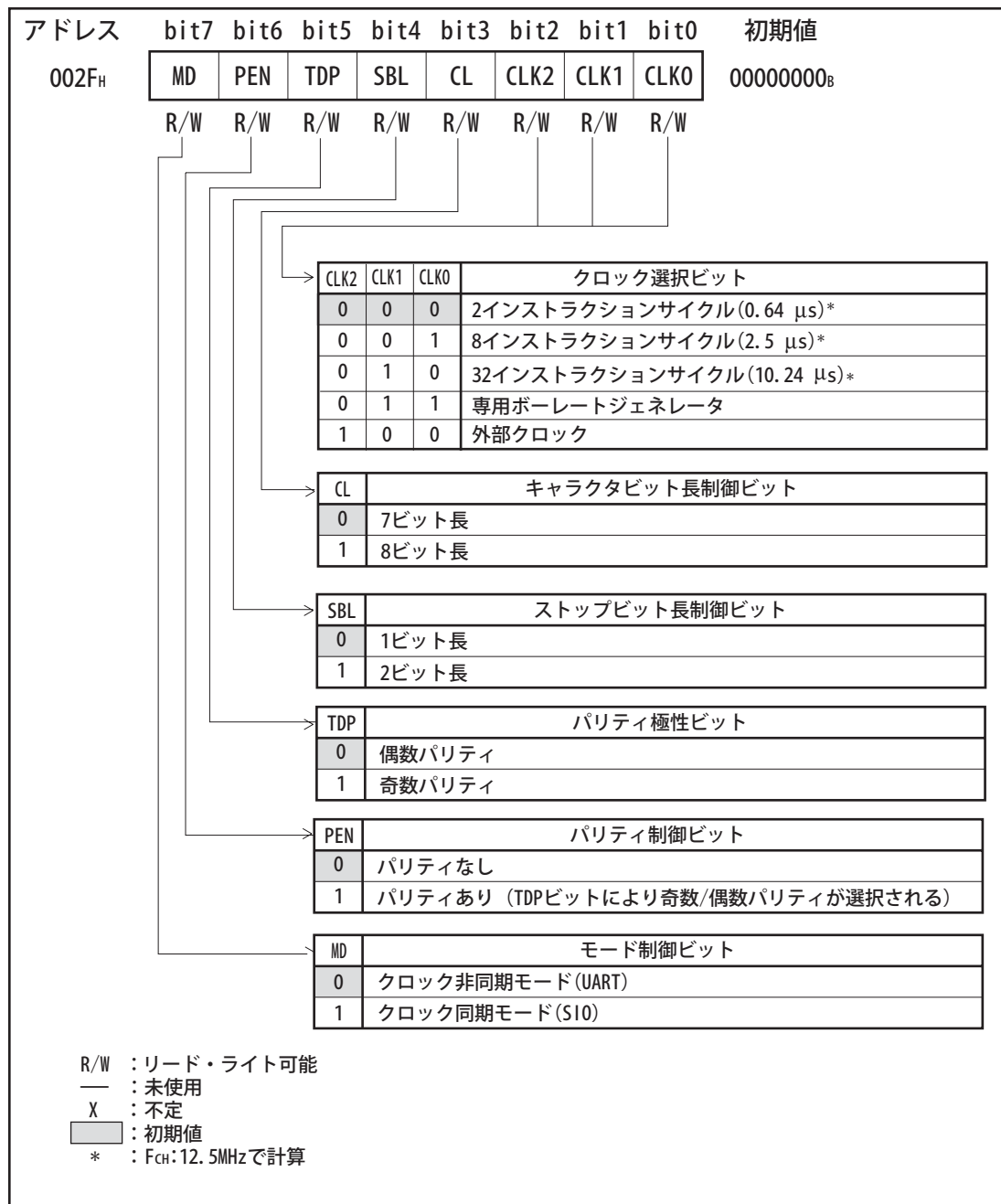


図 16.4-2 シリアルモード制御レジスタ 1 (SMC21)

表 16.4-1 シリアルモード制御レジスタ 1 (SMC21) の各ビットの機能説明

ビット名		機能
bit7	MD: モード制御ビット	UART の動作モードを指定します。 クロック非同期モード時には、シリアルクロックの 8 分周のクロックで動作します。クロック同期モード時は、選択されたシリアルクロックで動作します。
bit6	PEN: パリティ制御ビット	クロック非同期モード時、パリティの有無を設定します。
bit5	TDP: パリティ極性ビット	クロック非同期モード時、シリアル送信時に付加するパリティデータの極性を設定します。 シリアル受信時は、パリティデータのチェックを行います。
bit4	SBL: ストップビット長 制御ビット	クロック非同期モード時のストップビット長を設定します。 シリアル送信時は、設定されたビット長のストップビットを付加します。シリアル受信時は、設定値に関わらず、1 ビット長でストップビットの判定を行います。
bit3	CL: キャラクタビット長 制御ビット	クロック非同期モード時のキャラクタビット長を設定します。 クロック同期モード時には、"1" を設定します。
bit2 bit1 bit0	CLK2 CLK1 CLK0: クロック選択ビット	シリアルクロックを選択します。

16.4.2 シリアルモード制御レジスタ 2 (SMC22)

シリアルモード制御レジスタ 2 (SMC22) は、シリアルクロック出力の許可 / 禁止、シリアルデータ出力の許可 / 禁止、シリアルポートと汎用ポートの切替え、割込みの許可 / 禁止、ボーレートジェネレータの起動 / 停止を設定します。

■ シリアルモード制御レジスタ 2 (SMC22)

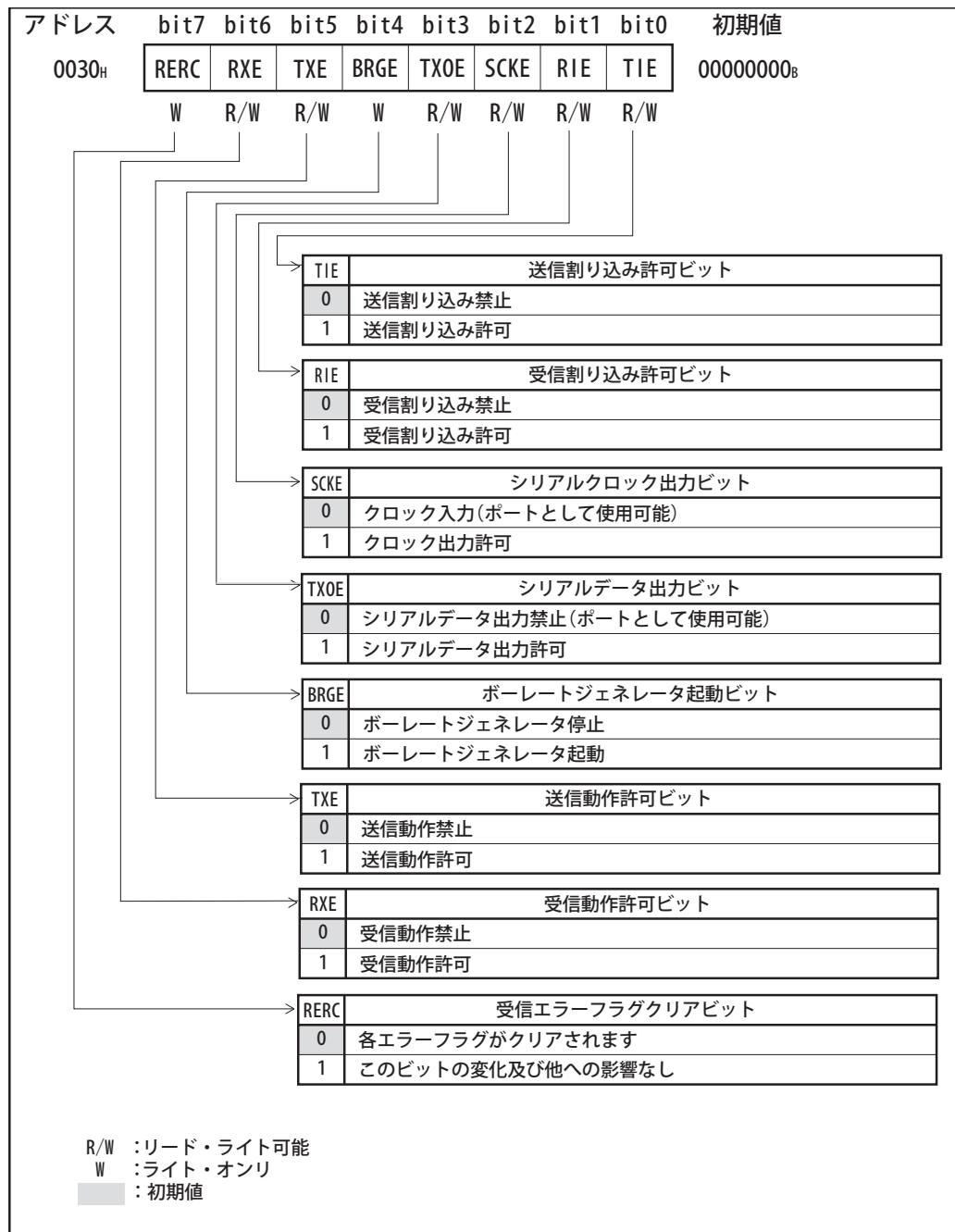


表 16.4-2 シリアルモード制御レジスタ 2 (SMC22) の各ビットの機能説明

ビット名		機能
bit7	RERC: 受信エラーフラグ クリアビット	このビットに "0" を書き込むと SSD2 レジスタの各エラーフラグ (PER/ OVR/FER) がクリアされます。 • 読出し時は、常に "1" になります。
bit6	RXE: 受信動作許可ビット	シリアルデータの受信を許可するビットです。 • 受信動作中にこのビットに "0" を書き込むと、受信が終了してから動作は 停止し、受信動作を禁止します。
bit5	TXE: 送信動作許可ビット	シリアルデータの送信を許可するビットです。 • 送信動作中にこのビットに "0" を書き込むと、送信が終了してから動作は 停止し、送信動作を禁止します。
bit4	BRGE: ボーレートジェネレータ 起動ビット	ボーレートジェネレータを起動するビットです。
bit3	TXOE: シリアルデータ 出力ビット	シリアルデータの出力許可 / 禁止を制御するビットです。
bit2	SCKE: シリアルクロック 出力ビット	クロック同期モード時にシリアルクロックの入出力を制御するビットで す。 • P31/SCK1(UCK1)/LMCO端子に外部クロックを入力する場合は、必ずポー ト 3 方向レジスタを入力に設定 (DDR3 の bit1=0) してください。
bit1	RIE: 受信割込み許可 ビット	受信割込みを許可するビットです。 • RDRF ビットが "1" の場合または各エラーフラグが "1" の場合に受信割込 みを許可すると、直ちに受信割込みが発生します。
bit0	TIE: 送信割込み許可 ビット	送信割込みを許可するビットです。 • TDRE ビットが "1" の場合に送信割込みを許可すると、直ちに送信割込み が発生します。

注意事項

SMC22 レジスタには、ビット操作命令 (SETB, CLRB) を使用しないでください。

BRGE ビットは、読出し値が不定の書き込み専用 (ライトオンリ) のため、ビット操作命令
を使用した場合、BRGE ビットの値が書き替わる場合があります。

16.4.3 シリアルステータスアンドデータレジスタ (SSD2)

シリアルステータスアンドデータレジスタ (SSD2) は、UART/SIO の送受信やエラーの状態を示すレジスタです。

■ シリアルステータスアンドデータレジスタ (SSD2)

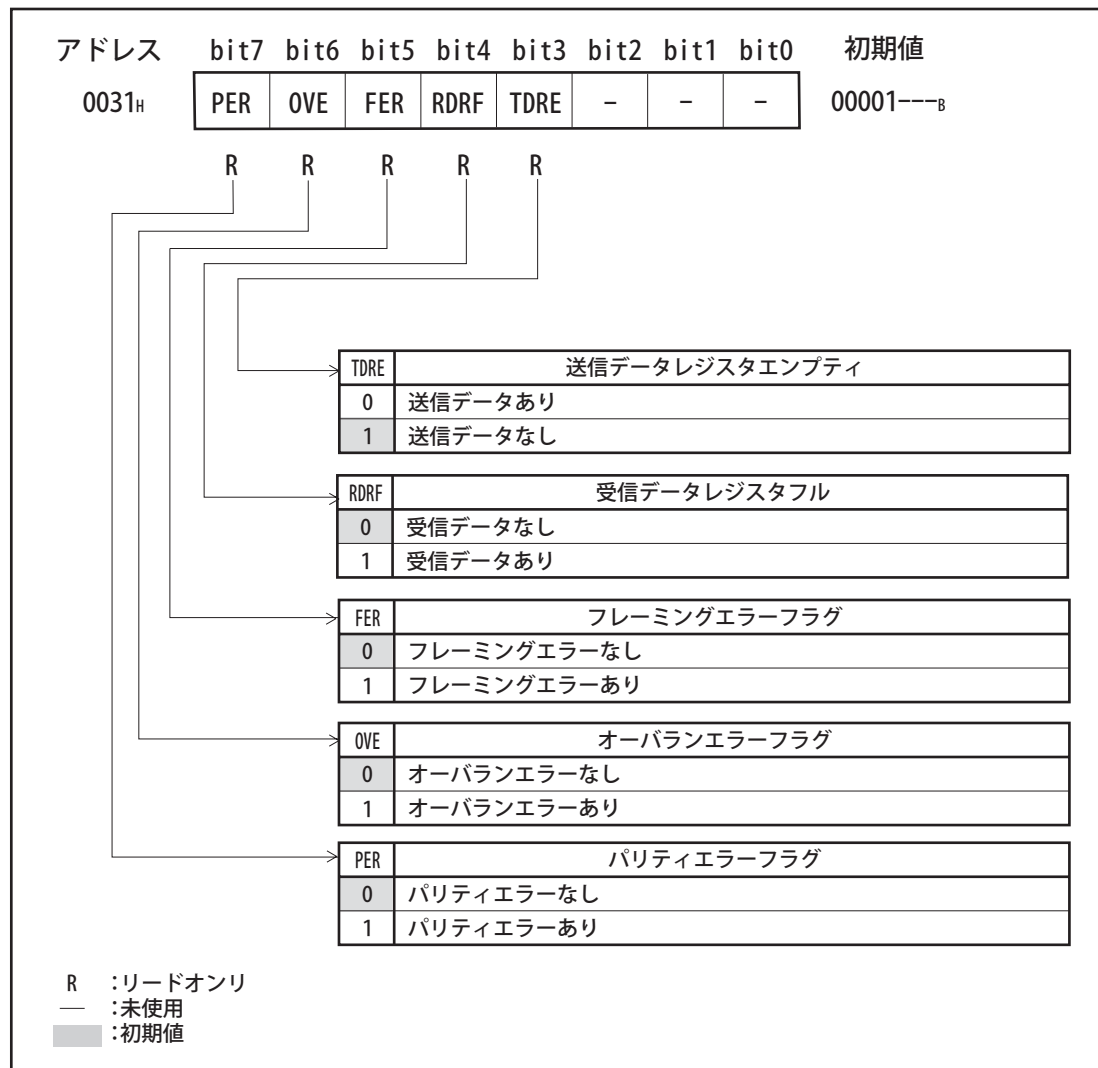


図 16.4-4 シリアルステータスアンドデータレジスタ (SSD2)

表 16.4-3 シリアルステータスアンドデータレジスタ (SSD2) の各ビットの機能説明

ビット名		機能
bit7	PER: パリティエラー フラグ	受信時にパリティエラーが発生するとセットされるフラグです。 <ul style="list-style-type: none"> SMC22 レジスタの RERC ビットに "0" を書き込みことによりクリアされます。 このフラグがセットされた場合には, SIDR2 のデータは無効データとなります。 RIE ビットが "1" のときに, PER ビットがセットされると割込みが発生します。
bit6	OVE: オーバラン エラーフラグ	受信時にオーバランエラーが発生するとセットされるフラグです。 <ul style="list-style-type: none"> SMC22 レジスタの RERC ビットに "0" を書き込むことによりクリアされます。 このフラグがセットされた場合には, SIDR2 のデータは無効データとなります。 RIE ビットが "1" のときに, OVE ビットがセットされると割込みが発生します。
bit5	FER: フレーミング エラーフラグ	受信時にフレーミングエラーが発生するとセットされるフラグです。 <ul style="list-style-type: none"> SMC22 レジスタの RERC ビットに "0" を書き込むことによりクリアされます。 このフラグがセットされた場合には, SIDR2 のデータは無効データとなります。 RIE ビットが "1" のときに, FER ビットがセットされると割込みが発生します。
bit4	RDRF: 受信データ レジスタあり	受信データレジスタ (SIDR2) の状態を示すフラグです。 <ul style="list-style-type: none"> SIDR2 レジスタに受信データがロードされるとセットされ, SIDR2 レジスタを読み出すとクリアされます。 RIE ビットが "1" のときに, RDRF ビットがセットされると割込みを発生します。
bit3	TDRE: 送信データ レジスタなし	SODR2 (シリアル送信データレジスタ) の状態を示すフラグです。 <ul style="list-style-type: none"> SODR2 レジスタに送信データを書き込むとクリアされ, そのデータが送信用シフトにロードされ送信が始まるとセットされます。 TIE ビットが "1" のときに, TDRE ビットがセットされると割込みが発生します。
bit2 bit1 bit0	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書込みは意味を持ちません。

16.4.4 シリアルインプットデータレジスタ (SIDR2)

シリアルインプットデータレジスタ (SIDR2) は、シリアルデータの入力 (受信) 用レジスタです。

■ シリアルインプットデータレジスタ (SIDR2)

シリアルインプットデータレジスタのビット構成を図 16.4-5 に示します。

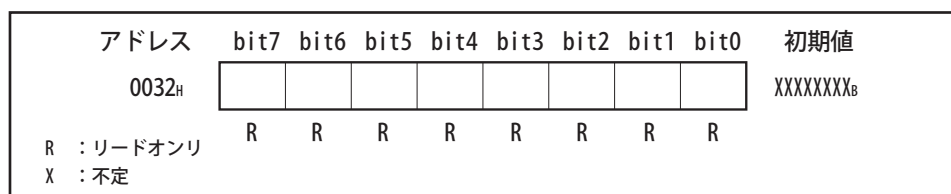


図 16.4-5 シリアルインプットデータレジスタ (SIDR2)

受信したデータが格納されるレジスタです。シリアルデータ入力端子 (SI1(UI1) 端子) に送られてきたシリアルデータ信号がシフトレジスタでパラレル変換されて、このレジスタに格納されます。

● モード 0 とモード 1 の動作

受信データが正常にこのレジスタにセットされた場合は、受信データフラグビット (SSD2:RDRF) が "1" にセットされ、受信割込み要求が許可されていれば割込みを発生します。割込み処理またはプログラムで RDRF ビットをチェックしてこのレジスタに受信データが格納されていれば、このレジスタの内容を読み出すことにより、RDRF フラグがクリアされます。

16.4.5 シリアルアウトプットデータレジスタ (SODR2)

シリアルアウトプットデータレジスタ (SODR2) は、シリアルデータの出力 (送信) 用レジスタです。

■ シリアルアウトプットデータレジスタ (SODR2)

シリアルアウトプットデータレジスタのビット構成を図 16.4-6 に示します。

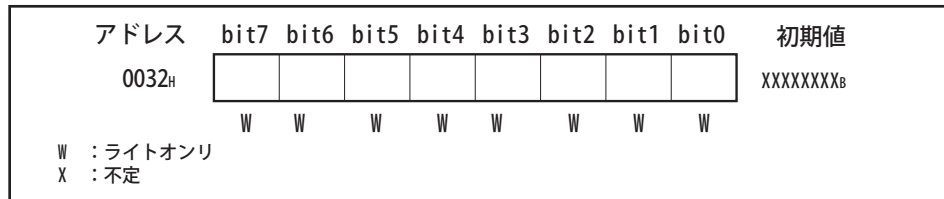


図 16.4-6 シリアルアウトプットデータレジスタ (SODR2)

送信許可状態のとき、SSD2 レジスタをリードしてから送信するデータをこのレジスタに書き込むと、送信データは送信用シフトレジスタに転送され、シリアルデータに変換されて、シリアルデータ出力端子 (SO1(UO1) 端子) から送出されます。

送信データがSODR2レジスタに書き込まれると、送信データフラグビットが"0"にセットされます。送信用シフトレジスタに送信データの転送が終了すれば、送信データフラグビットが"1"にセットされ、次の送信用データを書き込むことができます。このとき、割込み要求が許可されていれば割込みが発生します。次の送信データの書き込みは、割込みの発生によるか、または送信データフラグビットが"1"のときに行ってください。

16.4.6 ボーレートジェネレータリロードレジスタ (SRC2)

ボーレートジェネレータリロードレジスタ (SRC2) は、UART/SIO のデータ転送速度 (ボーレート) を制御するレジスタです。

■ ボーレートジェネレータリロードレジスタ (SRC2)

ボーレートジェネレータリロードレジスタのビット構成を図 16.4-7 に示します。

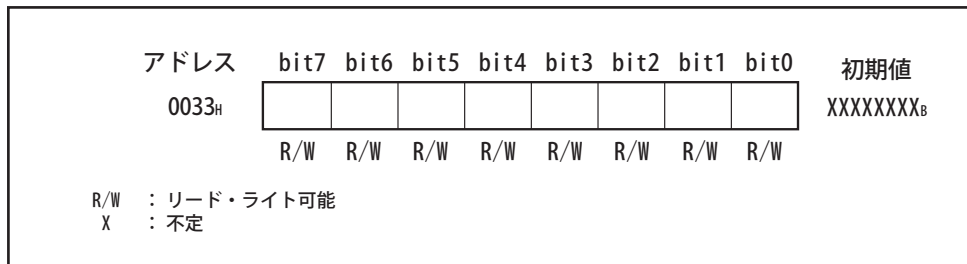


図 16.4-7 ボーレートジェネレータリロードレジスタ (SRC2)

クロック選択ビットの CLK2 ~ CLK0 が "011_B" の場合に、シリアルクロックとして専用ボーレートジェネレータが選択されます。このレジスタによりボーレートクロックを設定できます。

< 注意事項 >

このレジスタへの書込みは UART の動作停止中に行ってください。

16.5 UART/SIO の割込み

UART/SIO は、割込みに関連したエラーフラグビット (PER, OVE, FER), 受信データフラグビット (RDRF) および送信データフラグビット (TDRE) の 5 つのフラグと、以下の 2 つの割込み要因があります。

- 送信データがシリアルアウトデータレジスタ (SODR2) から送信用シフトレジスタに転送された場合 (送信割込み)。
- 受信データが受信用シフトレジスタからシリアルインデータレジスタ (SIDR2) に転送された場合 (受信割込み)。

■ 送信割込み

送信データが SODR2 レジスタに書き込まれると、SODR2 レジスタに書き込まれたデータが内部送信用シフトレジスタに転送されます。次のデータの書込みが可能な状態になると、TDRE ビットが "1" にセットされ、送信割込みが許可 (SMC22:TIE=1) されていれば、CPU への割込み要求 (IRQA) が発生します。

■ 受信割込み

受信データがストップビットまで入力されると、RDRF ビットが "1" にセットされます。また、オーバランエラー・パリティエラー・フレーミングエラーが発生した場合には、各エラーフラグビットが "1" にセットされます。

これらのビットは、ストップビット検出時にセットされ、受信割込みが許可 (SHC22:RIE=1) されている場合、CPU への割込み要求 (IRQA) を発生します。

■ UART/SIO の割込みに関連するレジスタとベクトルテーブルアドレス

表 16.5-1 UART/SIO の割込みに関連するレジスタとベクトルテーブルアドレス

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQA	ILR3 (007D _H)	LA1 (bit5)	LA0 (bit4)	FFE6 _H	FFE7 _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

16.6 UART/SIO の動作説明

UART/SIO には、通常のシリアル通信機能 (動作モード 0, 1) があります。

■ UART/SIO の動作

● 動作モード

UART/SIO には、2 種類の動作モードがあります。クロック同期 (SIO) とクロック非同期 (UART) が選択できます (表 16.6-1 参照)。

表 16.6-1 UART/SIO の動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	7	8	非同期	1 ビットまたは 2 ビット
	8	9		
1	8		同期	なし

16.6.1 動作モード 0 の動作説明

動作モード 0 は、クロック非同期モードとして動作します。

■ UART/SIO の動作モード 0 の動作説明

クロック非同期モードでのシリアルクロックの選択は、SMC21 レジスタの CLK2 ~ CLK0 ビットで行います。3 種類の内部クロック、外部クロック、ポーレートジェネレータの出力からシリアルクロックを選択します。外部クロックを選択しているときは、常にクロックを入力してください。

クロック非同期モード時は、SMC21 レジスタの CLK2 ~ CLK0 ビットで選択されたシフトクロックの 8 分周になり、選択されたポーレートの -2 % から +2 % までの範囲で転送可能です。内部 / 外部クロックおよびポーレートジェネレータによるポーレート算出式を以下に示します。

$$\text{ポーレート値} = \frac{1}{8 \times 2 \times \begin{matrix} 64/F_{CH} \\ 16/F_{CH} \\ 8/F_{CH} \\ 4/F_{CH} \end{matrix} \times \text{SRC2レジスタ値 (SRC2)}} \quad [\text{bps}]$$

クロックギア選択

F_{CH} : 使用周波数

図 16.6-1 専用ポーレートジェネレータ使用時のポーレート算出式

$$\text{ポーレート値} = \frac{1}{8 \times \begin{matrix} \text{CLK2~CLK0にて} \\ \text{選択されたクロック} \end{matrix}} \quad [\text{bps}]$$

図 16.6-2 内部・外部クロックによるポーレート算出式

表 16.6-2 ボーレートジェネレータによる非同期時転送レートの例

使用周波数	10MHz	8MHz	7.3728MHz	4.9152MHz
インストラクション サイクル	$4/F_{CH}$ (0.4 μ s)	$4/F_{CH}$ (0.5 μ s)	$4/F_{CH}$ (0.54 μ s)	$4/F_{CH}$ (0.81 μ s)
ボーレート () 内は SRC2 レジスタ設定値	78125 (n=2)	62500 (n=2)	-	76800 (n=1)
	39062 (n=4)	31250 (n=4)	38400 (n=3)	38400 (n=2)
	19531 (n=8)	17857 (n=7)	19200 (n=6)	19200 (n=4)
	9765 (n=16)	9615 (n=13)	9600 (n=12)	9600 (n=8)
	4882 (n=32)	4807 (n=26)	4800 (n=24)	4800 (n=16)
	2403 (n=65)	2403 (n=52)	2400 (n=48)	2400 (n=32)
	1201 (n=130)	1201 (n=104)	1200 (n=96)	1200 (n=64)
	-	600 (n=208)	600 (n=192)	600 (n=128)
	-	-	-	300 (n=0)

■ 転送データフォーマット

UART は , NRZ (Non Return to Zero) 形式のデータのみを扱えます。ストップビット長が 2 ビットの場合のデータフォーマットを図 16.6-3 に示します。

図 16.6-3 に示されるように , 転送データは必ずスタートビット ("L" レベル) より始まり , LSB ファーストで指定されたデータビット長分転送が行われ , ストップビット ("H" レベル) で終了します。アイドル時は "H" レベルになります。

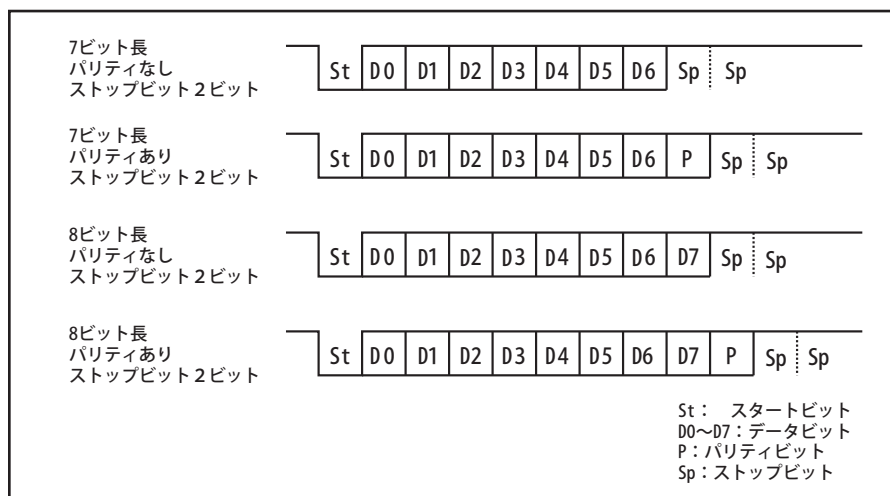


図 16.6-3 転送データフォーマット

■ クロック非同期モードの受信動作

受信動作は、SMC22 レジスタの RXE ビットが "1" のときに受信が許可され、入力データの最初の立下り（スタートビットの検出）で受信動作が開始されます。受信動作が終了すると、SSD2 レジスタの RDRF ビットが "1" にセットされ、SIDR2 レジスタに受信データがロードされます。また、RIE ビットが "1" のときに RDRF ビットが "1" にセットされると、CPU への受信割り込みを発生します。受信終了時に 3 つのエラー (PER/OVE/FER) のいずれかのエラーがあるときは、RDRF ビットは "1" にセットされず、受信データは SIDR2 へロードされませんので、SIDR2 レジスタの値は前の受信データになります。また、RXE ビット "0" を書込まない限り、エラーフラグがあってもスタートビットを検出すると受信動作は続行されます。

受信動作中に SMC22 レジスタの RXE ビットに "0" を書き込むと、データの受信を終了後、受信動作を禁止します。

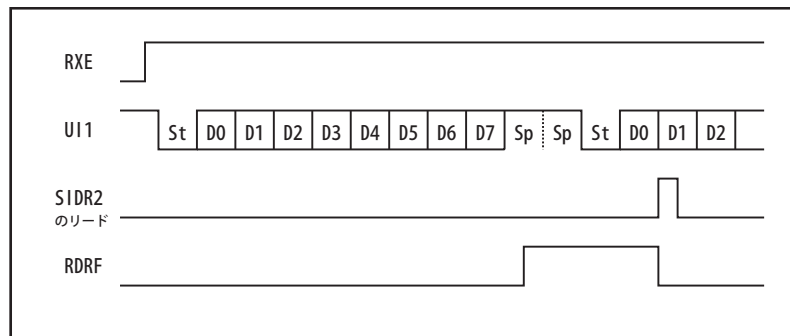


図 16.6-4 クロック非同期モードの受信動作

■ クロック非同期モード時の受信エラー

クロック非同期モード時には、3 つのエラー検出を行います。3 つのエラーは、パリティエラー・オーバランエラー・フレーミングエラーで、エラーが検出されると SSD2 レジスタの PER ビット、OVE ビット、FER ビットがそれぞれ "1" にセットされます。

これらのエラーの検出は以下のように受信終了時に行われ、エラーが検出されたときは、RDRF はセットされず、SIDR2 レジスタへの受信データのロードは行われませんので、SIDR2 レジスタの値は前の受信データになります。また、これらのエラーフラグは、SCM22 レジスタの RERC ビットに "0" を書き込むことで、3 つのエラーフラグがすべてクリアされます。

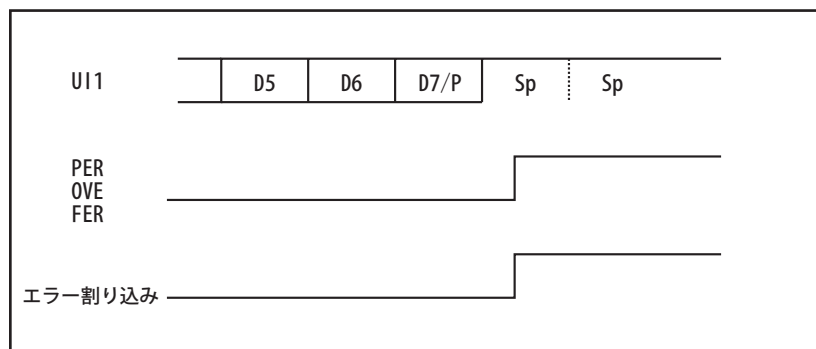


図 16.6-5 受信エラーのセットタイミング

■ 受信動作時のスタートビットの検出

スタートビットは、入力データの最初の立下りから選択されたシリアルクロック (ジェネレータの出力、内部クロック、外部クロック) で 4 クロック分の "L" レベルがあるとスタートビットとみなします。スタートビットの検出後は、シリアルクロックの 5 クロック目の立上りでデータをサンプリングします。

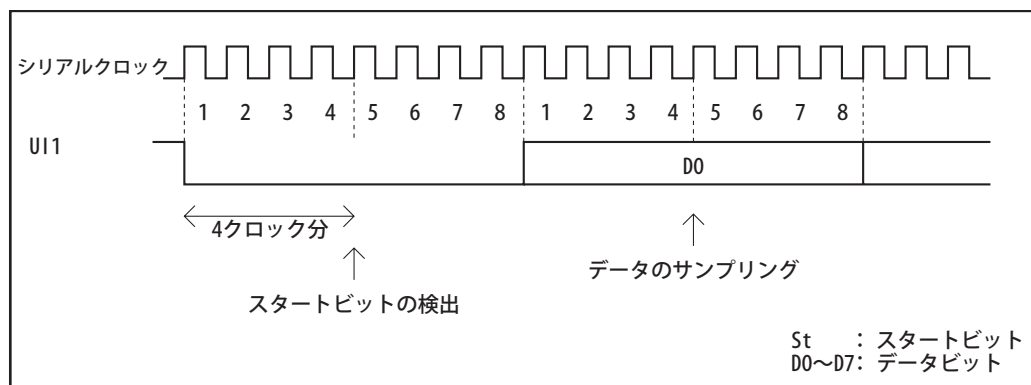


図 16.6-6 スタートビットの検出

■ クロック非同期モードの送信動作

SMC22 レジスタの TXE ビットが "1" のとき、SODR2 レジスタに送信データを書き込むと SSD2 レジスタの TDRE ビットがクリアされ、送信動作が開始されます。SODR2 レジスタのデータがシフトレジスタにロードされて送信データの出力が始まると、SSD2 レジスタの TDRE ビットがセットされます。送信動作中 (TDRE ビットが "1" のとき) に、SODR2 レジスタへデータを書き込むと、SSD2:TDRE ビットがクリアされて、指定されたビット長の送信動作の終了後に連続して送信動作を行います。

また、送信動作中に SMC22 レジスタの TXE ビットに "0" を書き込むと、SODR2 レジスタが空 (TDRE ビットが "1") のときは、指定したビット長の送信終了後に送信動作を禁止します。SODR2 レジスタにデータがある (TDRE ビットが "1") とときは、SODR2 レジスタのデータを送信後に送信動作を禁止します。

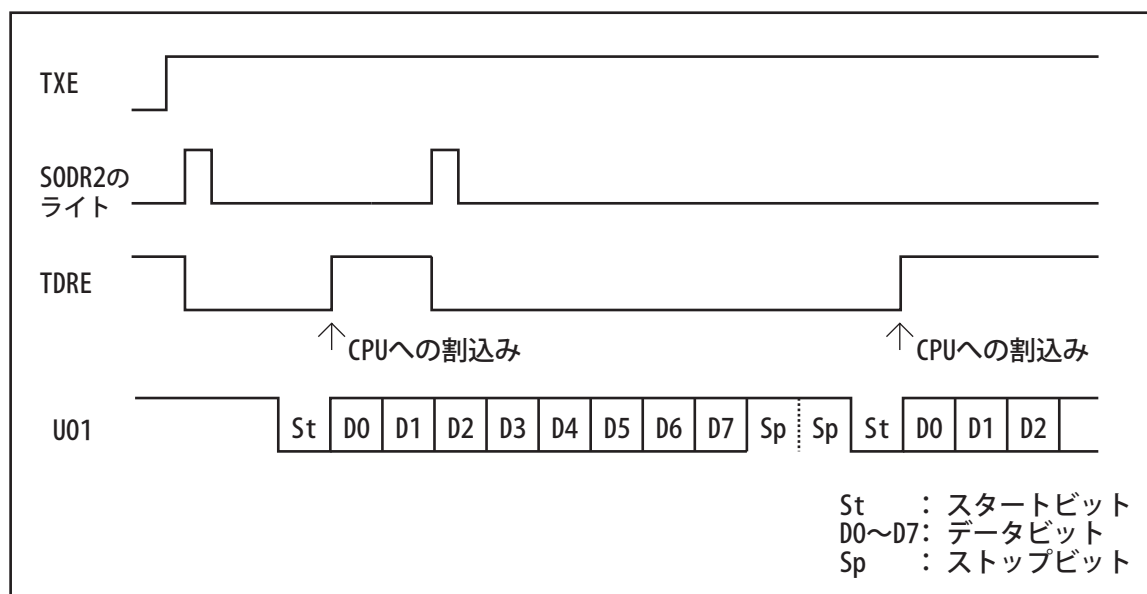


図 16.6-7 クロック非同期モードの送信動作

16.6.2 動作モード 1 の動作説明

動作モード 1 は、クロック同期モードとして動作します。

■ UART/SIO の動作モード 1 の動作説明

クロック同期モードでのシリアルクロック選択は、SMC21 レジスタの CLK2 ~ CLK0 ビットで行います。3 種類の内部クロック、外部クロック、ボーレートジェネレータの出力からシリアルクロックを選択します。選択されたクロックをシフトクロックとして、シフト動作を行います。外部クロックを入力するときは、SMC22:SCKE ビットを "0" にしてください。

また、内部クロックまたは、ボーレートジェネレータの出力をシフトクロックとして出力する場合は、SMC22:SCKE ビットを "1" にしてください。内部 / 外部クロックおよびボーレートジェネレータによるボーレート算出式を以下に示します。

ボーレート値 = $\frac{1}{2 \times \begin{matrix} 64/F_{CH} \\ 16/F_{CH} \\ 8/F_{CH} \\ 4/F_{CH} \end{matrix} \times \text{SRC2レジスタ値}}$ [bps]

F_{CH} : 使用周波数

クロックギア選択

図 16.6-8 専用ボーレートジェネレータ使用時のボーレート算出式

ボーレート値 = $\frac{1}{\begin{matrix} \text{CLK2} \sim \text{CLK0} \text{にて} \\ \text{選択されたクロック} \end{matrix}}$ [bps]

図 16.6-9 内部・外部クロックによるボーレート算出式

■ 8 ビット受信動作

動作モード 1 の受信では、各レジスタを以下のように使用します。

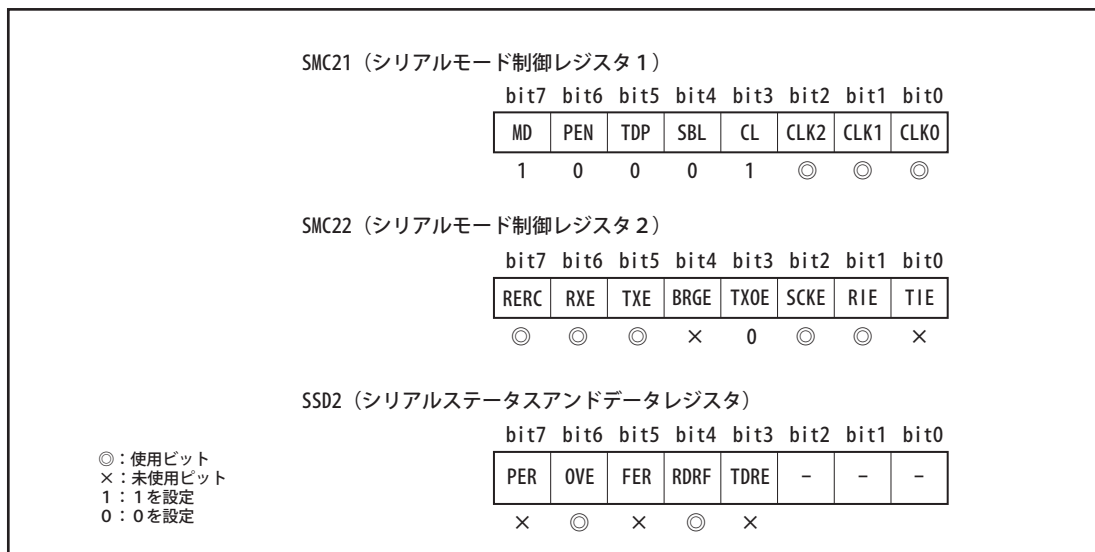


図 16.6-10 動作モード 1 の受信時使用レジスタ

受信動作は、SMC22 レジスタの TXE ビット、RXE ビットを "1" にすることで許可され、SODR2 レジスタへの書き込みで起動します。その後、シフトクロックの立上りに同期して受信動作を行います。8 ビットデータの受信が終了すると、シフトレジスタのデータを SDR2 レジスタへロードして、SSD2:RDRF フラグが "1" にセットされ、SMC22:RIE="1" のときは、CPU への割込み要求を発生します。受信終了時に、オーバランエラーが発生している場合は、SDR2 レジスタにデータのロードが行われません。受信動作中に SMC22:RXE ビットに "0" を書き込むと、8 ビットのデータ受信後に受信動作を停止します。シリアル動作の停止状態 (SMC22:RXE ビットの値に関わらず) の場合には、シリアルクロックの入力を常に "H" レベルにしてください。

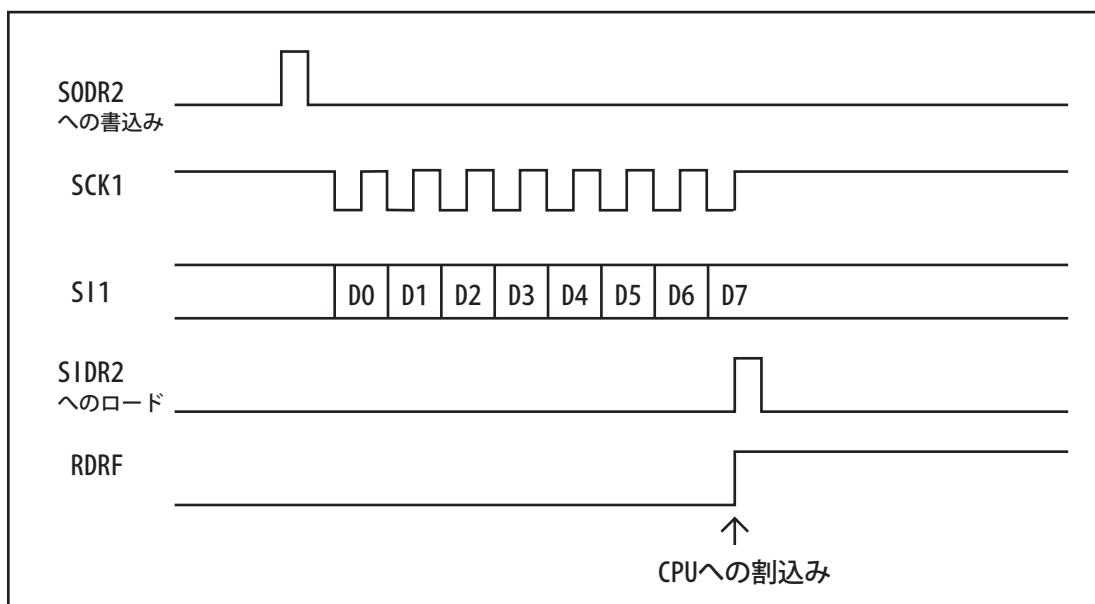


図 16.6-11 クロック同期モードの 8 ビット受信動作

■ 連続受信動作

クロック同期モードでは、8 ビットのデータ受信の他に連続して受信動作を行うことができます。使用するビットは、8 ビット受信時の使用ビットに加え、SMC22 レジスタの TIE ビット、SSD2 レジスタの TDRE ビットも使用します。受信動作は、SMC22 レジスタの TXE ビットおよび RXE ビットを "1" にすることで許可され、SODR2 レジスタへの書き込みで起動します。その後、シフトクロックの立上りに同期して受信動作を行います。シフト動作が開始すると SSD2:TDRE ビットが "1" にセットされ、SMC22:TIE ビットが "1" のときは CPU に対して割り込みを発生します。8 ビットのシフト動作が終了する前に SODR2 レジスタへ書き込みを行うことで、次のシフト動作が許可され、8 ビットデータの受信後も連続して受信動作を行います。8 ビットデータの受信が終了すると、シフトレジスタのデータを SIDR2 レジスタへロードして、SSD2:RDRF フラグが "1" にセットされ、SMC22:RIE ビットが "1" のときは、CPU への割り込み要求を発生します。受信終了時に、オーバーランエラーが発生している場合は、SIDR2 レジスタへのロードが行われませんので、SIDR2 レジスタの内容は前の受信データになります。また、SIDR2 レジスタの読出しにより受信割り込み (SSD2:RDRF) はクリアされます。受信動作は、SMC22:RXE ビットに "0" を書き込むことで停止します。受信動作中に SMC22:RXE ビットに "0" を書き込むと、8 ビットのデータ受信後に受信動作を停止します。

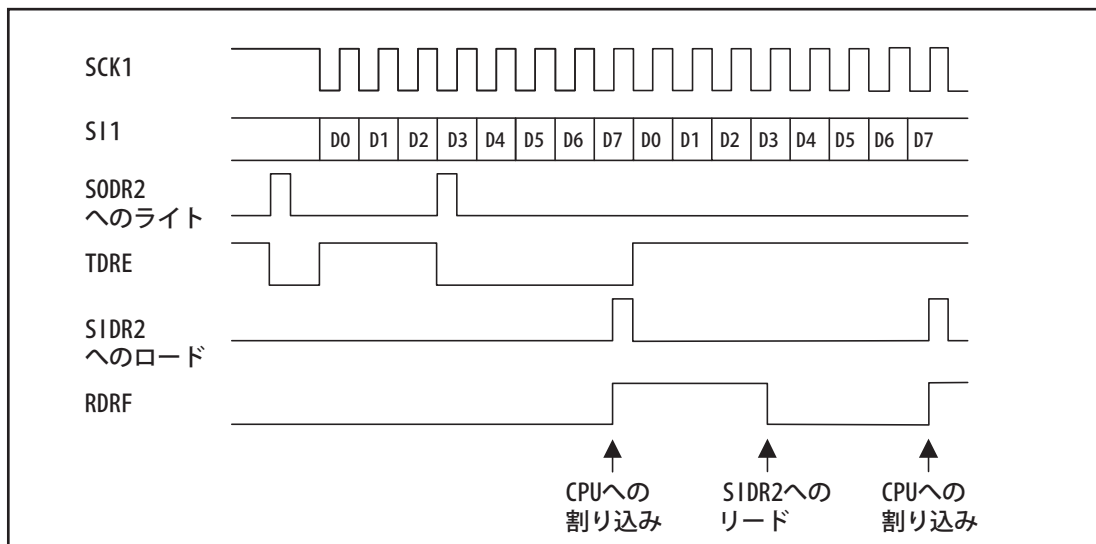


図 16.6-12 クロック同期モードの連続受信動作

■ 8 ビット送信動作

動作モード 1 の送信では、各レジスタを以下のように使用します。

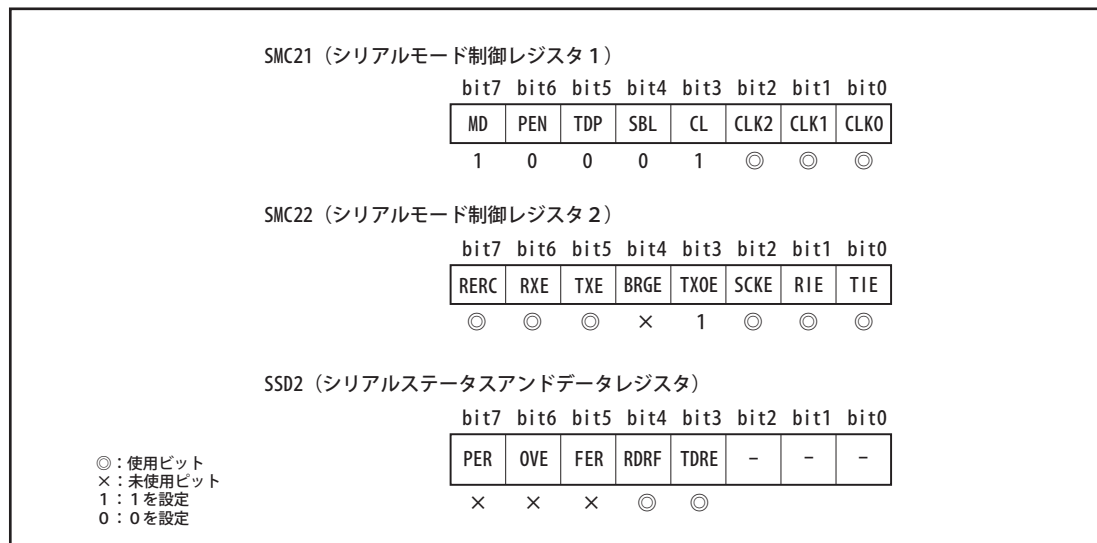


図 16.6-13 動作モード 1 の送信時使用レジスタ

送信動作の起動は、SMC22 レジスタの TXE ビットおよび RXE ビットを "1" にした後、SODR2 レジスタへ書き込むことで行います。送信動作が起動されると、SODR2 レジスタに書かれたデータをシフトレジスタへロードしてからシフト動作を行います。SODR2 レジスタのデータをシフトレジスタへロードすると、SSD2:TDRE フラグが "1" にセットされ、SMC22:TIE ビットが "1" のときは、CPU への割込み要求を発生します。シリアルデータの出力は、SMC22:TXOE ビットが "1" で許可されシフトクロックの立下りに同期して出力されます。

送信動作中に SMC22:TXE ビットに "0" を書き込むと 8 ビットのデータ送信後に送信動作を停止します。また、8 ビット送信後に SSD2:RDRF ビットが "1" にセットされ、SMC22:RIE ビットが "1" なら CPU に対して割込みを発生します。転送方向は、ビット 0 から送信されビット 7 で終了します。シリアル動作の停止状態 (SMC22:TXE ビットの値に関わらず) の場合には、シリアルクロックの入力を、常に "H" レベルにしてください。

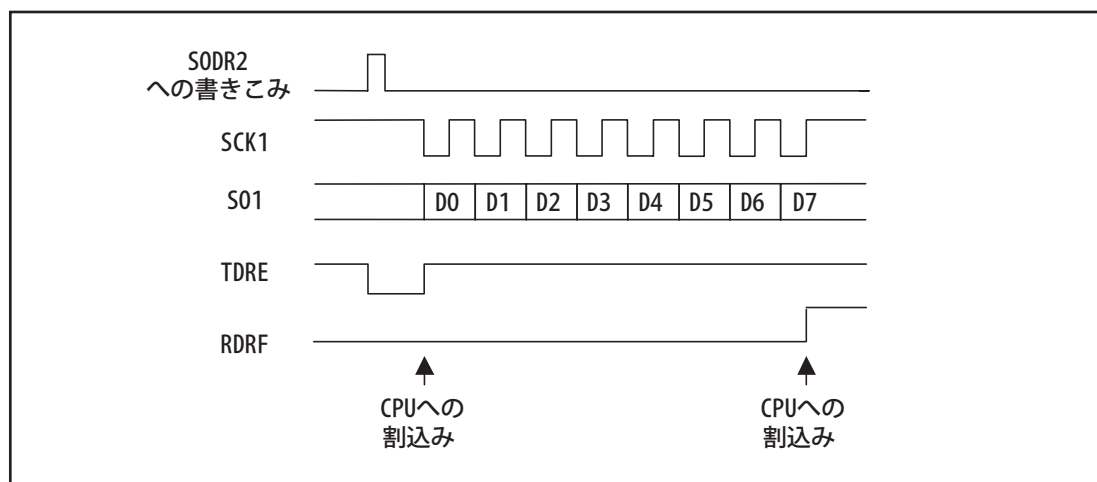


図 16.6-14 クロック同期モードの 8 ビット送信動作

■ 連続送信動作

クロック同期モードでは、8 ビットのデータ送信の他に連続して送信動作を行うことができます。SMC22 レジスタの TXE ビットおよび RXE ビットを "1" にした後、SODR2 レジスタへデータを書き込むことで行います。送信動作が起動されると、SODR2 レジスタに書かれたデータをシフトレジスタへロードしてからシフト動作を行います。SODR2 レジスタのデータをシフトレジスタへロードすると、SSD2:TDRE フラグが "1" にセットされ、SMC22:TIE ビットが "1" のときは、CPU への割込み要求が発生します。

連続動作は、送信動作中に SSD2:TDRE ビットが "1"(SODR2 レジスタが空) のときに SODR2 レジスタへ次の送信データを書き込むことで行われます。SODR2 への書き込みで SSD2:TDRE ビットがクリアされ、8 ビットデータ送信後に、SODR2 レジスタに書かれたデータをシフトレジスタへロードして、送信動作を続けます。送信データは、SMC22:TXE ビットに "0" を書き込むことで停止します。送信動作中に SMC22:TXE ビットに "0" を書き込むと、SODR2 レジスタが空 (SSD2:TDRE ビットが "1") のときは 8 ビットのデータ送信後に送信動作を停止します。また、SODR2 レジスタにデータがある (SSD2:TDRE ビットが "0") ときは、SODR2 レジスタのデータを送信してから送信動作を停止します。また、8 ビットのデータ送信終了時に SSD2:RDRF ビットが "1" にセットされ、SMC22:RIE="1" のときに CPU に対して割込みが発生します。

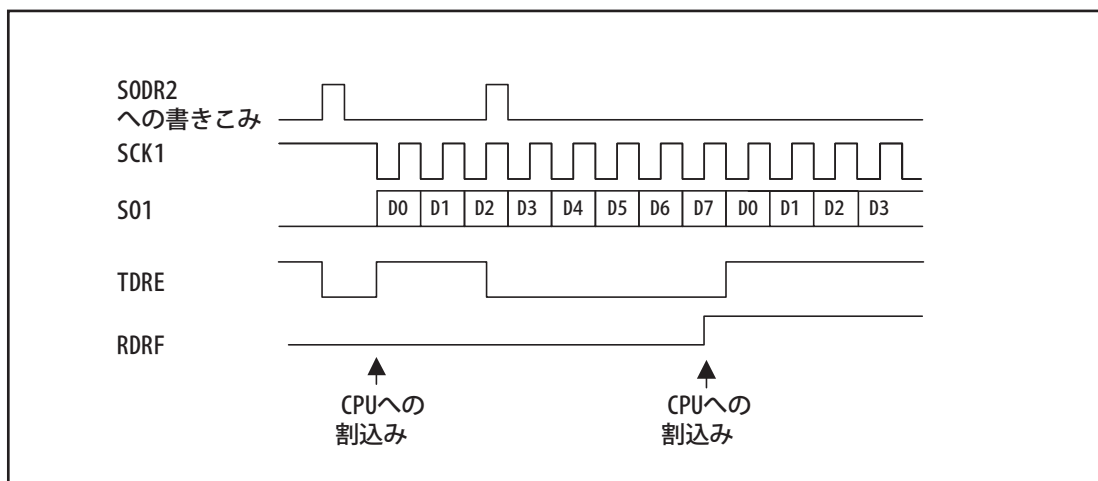


図 16.6-15 クロック同期モードの連続送信動作

第 17 章

高速 UART

この章では、高速 UART の機能と動作について説明します。

- 17.1 高速 UART の概要
- 17.2 高速 UART の構成
- 17.3 高速 UART の端子
- 17.4 高速 UART のレジスタ
- 17.5 高速 UART の割込み
- 17.6 高速 UART の動作説明
- 17.7 動作モード 0, 1, 2, 4 の動作説明
- 17.8 動作モード 3 の動作説明
- 17.9 UART のプログラム例

17.1 高速 UART の概要

高速 UART は、汎用のシリアルデータ通信インタフェースです。クロック同期（シンクロナス）またはクロック非同期（アシンクロナス）で、可変データ長のシリアルデータ転送ができます。データ転送フォーマットは、NRZ 方式で、転送レートは専用ボーレートジェネレータ、外部クロックまたは内部タイマ（2CH 8 ビット PWM タイマ）によって設定できます。

■ 高速 UART の機能

高速 UART は、他の CPU や周辺装置とシリアルデータの送受信（シリアル入出力）を行う機能があります。

- 全 2 重ダブルバッファを持っており、全 2 重で双方向通信ができます。
- 同期転送モード（シンクロナス）または非同期転送モード（アシンクロナス）を選択できます。
- 内蔵のボーレートジェネレータによって 14 種類のボーレートを選択できます。また、外部クロック入力、2CH 8 ビット PWM タイマ出力によって、任意のボーレートも設定できます。
- データ長は可変で、パリティなしの場合 5 ～ 9 ビット、パリティありの場合 4 ～ 8 ビットを設定できます（表 17.1-1）。
- データ転送フォーマットは、NRZ (Non Return to Zero) 方式です。
- クロックの 1 系統 / 2 系統は、ソフトウェアで構成できます。

表 17.1-2、表 17.1-3、表 17.1-4 に、それぞれ専用ボーレートジェネレータ、外部クロック、2CH 8 ビット PWM タイマによる転送レートを示します。

表 17.1-1 高速 UART の動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	5	4	非同期 / 同期	1 ビットまたは 2 ビット [*]
1	7	6	非同期 / 同期	1 ビットまたは 2 ビット [*]
2	8	7	非同期 / 同期	1 ビットまたは 2 ビット [*]
3	8+1	-	非同期 / 同期	1 ビットまたは 2 ビット [*]
4	9	8	非同期 / 同期	1 ビットまたは 2 ビット [*]

^{*}：ただし、受信時のストップビット長では 1 ビット目のみ検出され、2 ビット目は無視されます。

■ 転送クロックの選択

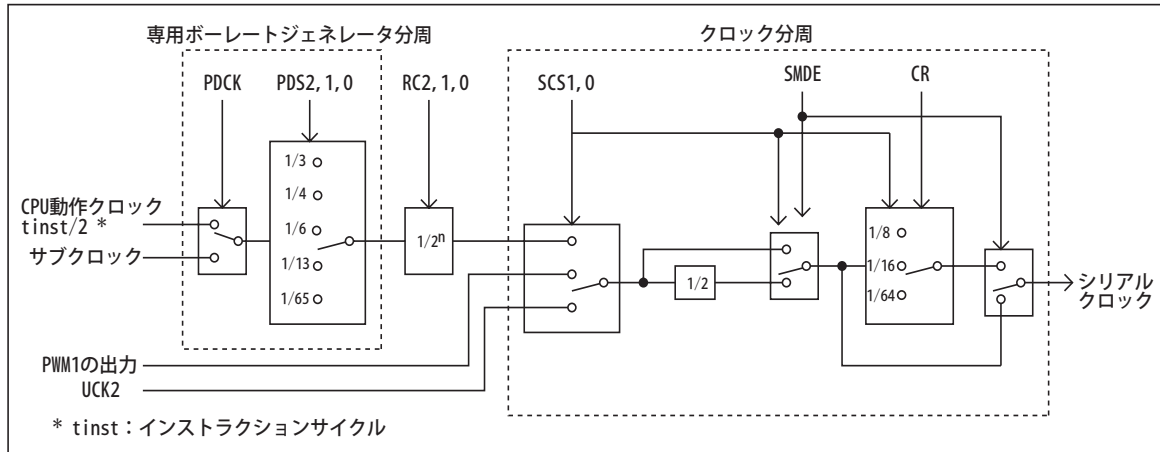


図 17.1-1 ポーレートジェネレータとシリアルクロック発生部

表 17.1-2 ポーレートジェネレータによる転送周期と転送レート

				非同期転送モード		非同期転送モード	クロック周波数
				9.216MHz	9.984MHz	10MHz	
				1/3	1/65	1/3	
				1/8	1/8	1/1	
RC2	RC1	RC0	ポーレート選択分周値	転送レート (μs/bps)	転送レート (μs/bps)	転送レート (μs/bps)	
0	0	0	1	5.2/192K	104/9600	0.6/1.67M	
0	0	1	2	10.4/96K	208/4800	1.2/833.3K	
0	1	0	4	20.8/48K	416/2400	2.4/416.7K	
0	1	1	8	41.7/24K	832/1200	4.8/208.3K	
1	0	0	16	83.3/12K	1664/600	9.6/104.2K	
1	0	1	32	166.7/6K	3328/300	19.2/52.08K	
1	1	0	64	333.3/3K	-	38.4/26.0K	
1	1	1	128	666.7/1.5K	-	76.8/13.02K	

クロックギア選択

$$\frac{1}{\text{ポーレート値}} = \frac{64/F_{CH}}{16/F_{CH}} \times \frac{8/F_{CH}}{4/F_{CH}} \times \frac{1}{2} \times \text{クロック分周比 (SCS1, SCS0, CR)} \times \text{ポーレート選択 (PDS2, PDS1, PDS0)} \times \text{ポーレート選択 (RC2, RC1, RC0)}$$

F_{CH} : メインクロック原発振周波数

図 17.1-2 ポーレートの計算例

専用ポーレートは、クロックギアレジスタ / クロック分周比レジスタ (SCS1, SCS0) とポーレート選択レジスタによりセットされます。ポーレートの計算例については、表 17.1-1 を参照してください。

$$1/208333 \text{ bps} = 0.4 \mu\text{s} (4/F_{CH}) \times 1/2 \times 8 (\text{非同期モード}) \times 3 (RC2=RC1=RC0=0) \\ (F_{CH}=10\text{MHz})$$

表 17.1-3 外部クロックによる転送周期と転送レート

非同期転送モード				同期転送モード		
ボーレート 選択分周値		転送周期	転送レート *(bps)	ボーレート 選択分周値	転送周期	転送レート *(bps)
CR=0	16	96/F _{CH} 以上	104.2K 以下	1	16/F _{CH} 以上	625K 以下
CR=1	64	384/F _{CH} 以上	26041 以下			

F_{CH}: メインクロック原発振周波数* : F_{CH}10MHz 設定時の (6/F_{CH}=0.6 μs) の最小外部クロック周期

$$\frac{1}{\text{ボーレート値}} = \text{外部クロック入力} \times \text{CR} \quad \left[\begin{array}{l} \text{CR}=0 \dots 16 \\ \text{CR}=1 \dots 64 \end{array} \right]$$

(最小: 8/F_{CH} × 2)

F_{CH}: メインクロック原発振周波数

図 17.1-3 ボーレートの計算例 (外部クロック選択時)

表 17.1-4 2CH 8 ビット PWM タイマによる転送周期と転送レート

PWM タイマカウンタ クロック周期	非同期転送モード			同期転送モード	
	クロック分周値		転送レート (bps)	クロック 分周値	転送レート (bps)
1t _{inst}	CR=0	16	78125 ~ 610.4	2	625K ~ 4.88K
	CR=1	64	19531.3 ~ 152.6		
8t _{inst}	CR=0	16	9765.6 ~ 76.3	2	78125 ~ 610.4
	CR=1	64	2441.4 ~ 19.1		
16t _{inst}	CR=0	16	4882.8 ~ 38.2	2	39062.5 ~ 305.2
	CR=1	64	1220.7 ~ 9.5		
64t _{inst}	CR=0	16	1220.7 ~ 9.5	2	9765.6 ~ 76.3
	CR=1	64	305.2 ~ 2.4		

t_{inst}: インストラクションサイクル (クロックモードに影響される。)

メインクロックモード (SCS=1) 時, システムクロック制御レジスタ (SYCC) により, 最高速クロック (CS1, CS0=11_B, 1 インストラクションサイクル = 4/F_{CH}) が選択されます。

$$\frac{1}{\text{ボーレート値}} = \left[\begin{array}{l} 64/F_{CH} \\ 16/F_{CH} \\ 8/F_{CH} \\ 4/F_{CH} \end{array} \right] \times \left[\begin{array}{l} 1 (SC11=0, SC10=0) \\ 8 (SC11=0, SC10=1) \\ 16 (SC11=1, SC10=0) \\ 64 (SC11=1, SC10=1) \end{array} \right] \times \left[\begin{array}{l} \text{コンペア} \\ \text{レジスタ値}+1 \end{array} \right] \times 2 \times \text{CR} \quad \left[\begin{array}{l} \text{CR}=0 \dots 16 \\ \text{CR}=1 \dots 64 \end{array} \right]$$

(周期時間)

F_{CH}: メインクロック原発振周波数

図 17.1-4 ボーレートの計算例 (PWM タイマ 1 選択時)

ボーレート値を、クロック分周比レジスタ (SCS1, SCS0) の設定で指定したクロック入力によりセットします。クロック入力は、外部クロックまたは PWM タイマ 1 から選択します。計算例については、表 17.1-2、表 17.1-3 を参照してください。

- 外部クロック選択時

$$1/39\text{K bps} = 1.6 \mu\text{s (最小)} \times 16 (\text{CR}=0) (F_{\text{CH}}=10\text{MHz})$$

- PWM タイマ 1 選択時

$$1/78\text{K bps} = 0.4 \mu\text{s} (4/F_{\text{CH}}) \times 1 (\text{SC11}=0, \text{SC10}=0) \times 1 (\text{COMR1}=0) \times 2 \times 16 (\text{CR}=0) \\ (F_{\text{CH}}=10\text{MHz})$$

$$1/19531 \text{ bps} = 0.4 \mu\text{s} (4/F_{\text{CH}}) \times 1 (\text{SC11}=0, \text{SC10}=0) \times 1 (\text{COMR1}=3) \times 2 \times 16 \\ (\text{CR}=0) \\ (F_{\text{CH}}=10\text{MHz})$$

PWM タイマのカウントクロック周期、PWM コンペアレジスタの設定値および PWM タイマの出力周期については、「第 8 章 2CH 8 ビット PWM タイマ」を参照してください。

17.2 高速 UART の構成

高速 UART は、以下のブロックで構成されています。

- シリアルモード制御レジスタ 1 (SMC11)
- シリアルモード制御レジスタ 2 (SMC12)
- シリアルレート制御レジスタ (SRC1)
- シリアルステータスアンドデータレジスタ (SSD1)
- シリアルインプットデータレジスタ (SIDR1)
- シリアルアウトプットデータレジスタ (SODR1)
- クロックジェネレータ
- 受信制御回路
- 送信制御回路

■ 高速 UART のブロックダイアグラム

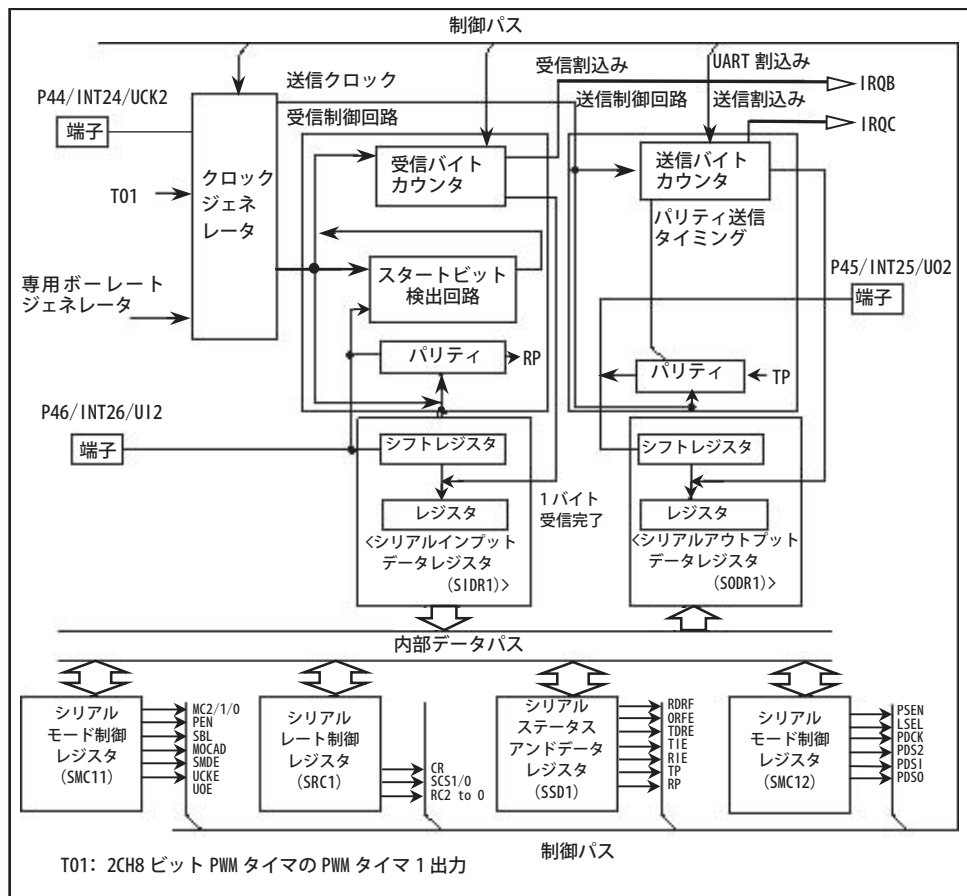


図 17.2-1 高速 UART のブロックダイアグラム

● シリアルモード制御レジスタ 1 (SMC11)

高速 UART での動作モードを制御します。

- パリティの有無
- ストップビット長
- 動作モード (データ長)
- 同期 / 非同期
- UART のシリアルブロック出力の許可 / 禁止
- シリアルデータ出力の許可 / 禁止

● シリアルモード制御レジスタ 2 (SMC12)

高速 UART の動作モードを制御します。

- 高速 UART 入出力信号の端子出力反転
- ボーレートジェネレータへの入力クロック分周

● シリアルレート制御レジスタ (SRC1)

高速 UART のデータ転送速度 (ボーレート) を制御します。

- 入力クロックの選択
- ボーレートジェネレータでの転送レート

● シリアルステータスアンドデータレジスタ (SSD1)

高速 UART の送受信やエラーの状態および受信パリティまたはビット 8 受信データを示します。また、割込みの許可 / 禁止および送信パリティまたはビット 8 送信データの設定と確認を行います。

● シリアルインプットデータレジスタ (SIDR1)

受信データを保持します。シリアル入力パラレル変換されてこのレジスタに格納されます。ただし、データ長が 9 ビットのときは、最上位ビットは、SSD1:RD8/RP ビットに格納されます。

● シリアルアウトプットデータレジスタ (SODR1)

送信データを設定します。このレジスタに書き込まれたデータが、シリアル変換されて出力されます。データ長が 9 ビットのときは、最上位ビットは、SSD1:TD8/TP ビットに設定します。

● クロックジェネレータ

専用ボーレートジェネレータ、外部クロック、または 2CH 8 ビット PWM タイマ出力から送受信クロックを発生する回路です。

● 受信制御回路

受信制御回路は、受信バイトカウンタ、スタートビット検出回路および受信パリティ回路によって構成されます。

受信バイトカウンタは、受信データのカウンタを行い、設定したデータ長に応じて、1 データの受信を完了すると、割込み要求を発生します。

スタートビット検出回路は、シリアル入力信号からスタートビットを検出します。スタートビットを検出すると設定された転送速度に応じてシフトしながら SIDR1 レジスタにデータを書き込みます。

受信パリティ回路は、パリティありの場合に、受信データのパリティビットが検出されます。データ長が 9 ビットの場合は、受信データの最上位ビットが検出されます。

● 送信制御回路

送信制御回路は、送信バイトカウンタと送信パリティ回路によって構成されます。

送信バイトカウンタは、送信データのカウンタを行い、設定したデータ長に応じて、1 データの送信を完了すると、割込み要求を発生します。

送信パリティ回路は、パリティありの場合に、送信するデータのパリティビットを付加します。データ長が 9 ビットの場合は、送信データの最上位ビットにパリティビットを付加します。

17.3 高速 UART の端子

高速 UART に関連する端子および端子のブロックダイヤグラムを示します。

■ 高速 UART に関連する端子

高速 UART に関連する端子は、P44/INT24/UCK2 端子、P45/INT25/UO2 端子および P46/INT26/UI2 端子です。

● P44/INT24/UCK2 端子

汎用入出力ポート (P44)、外部割込み入力 (ヒステリシス入力) としての機能 (INT24) および高速 UART のクロック入出力端子 (ヒステリシス入力) としての機能 (UCK2) を兼用しています。

UCK2：クロック出力を許可 (SMC1:UCKE=1) すると、対応するポート方向レジスタの値に関係なく、高速 UART のクロック出力端子 (UCK2) として機能します。このとき、外部クロックは選択 (SRC1:SCS1, SCS0=00_B) しないでください。

高速 UART のクロック入力端子として使用する場合は、クロック出力を禁止 (SMC1:UCKE=0) し、対応するポート方向レジスタによって入力ポートに設定 (DDR4:bit4=0) してください。このとき、必ず外部クロックを選択 (SRC:SCS1, SCS0=00_B) してください。

● P45/INT25/UO2 端子

汎用入出力ポート (P45)、外部割込み入力 (ヒステリシス入力) としての機能 (INT25) および高速 UART のシリアルデータ出力端子としての機能 (UO2) を兼用しています。

UO2：シリアルデータ出力を許可 (SMC11:UOE=1) すると、対応するポート方向レジスタの値に関係なく、高速 UART のシリアルデータ出力端子 (UO2) として機能します。

● P46/INT26/UI2 端子

汎用入出力ポート (P46)、外部割込み入力 (ヒステリシス入力) としての機能 (INT26) および高速 UART のシリアルデータ入力端子 (ヒステリシス入力) としての機能 (UI2) を兼用しています。

UI2：高速 UART のシリアルデータ入力端子として使用する場合は、対応するポートデータレジスタを入力ポートに設定 (DDR4:bit6=0) してください。

■ 高速 UART に関連する端子のブロックダイヤグラム

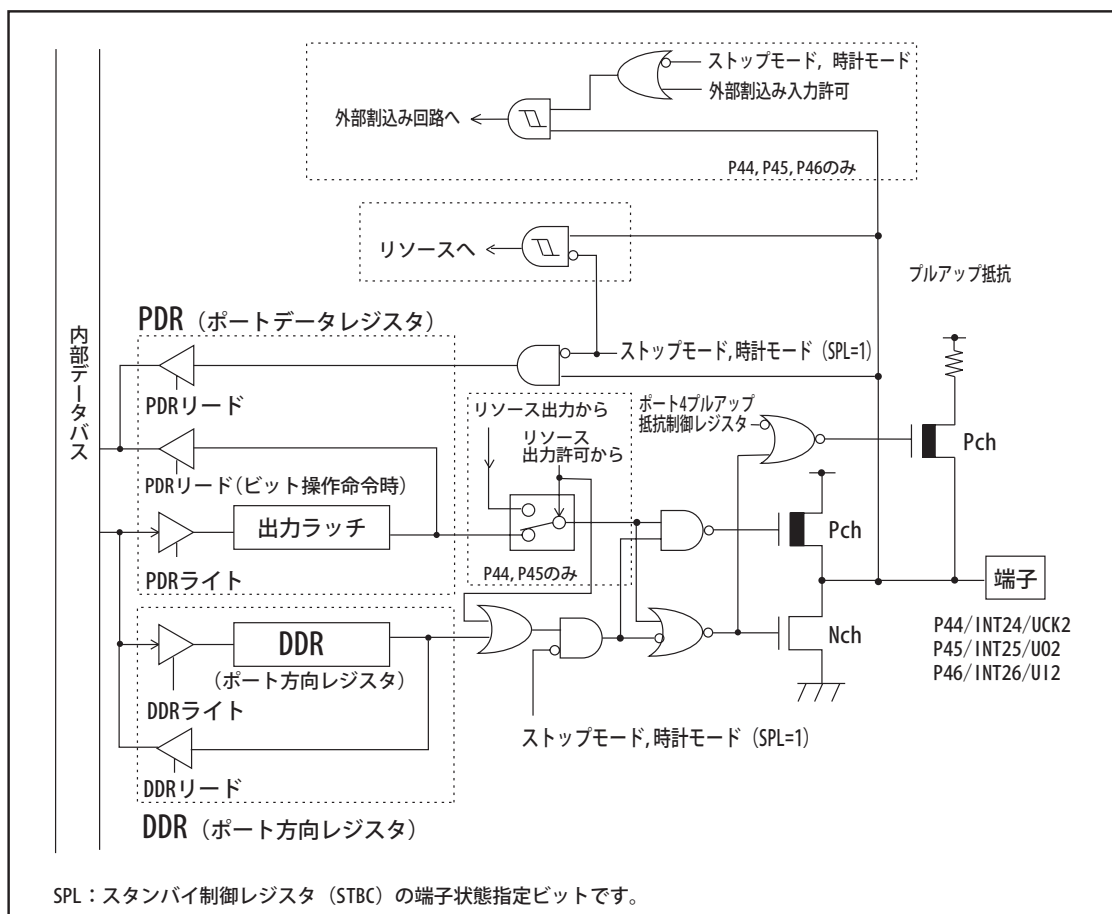


図 17.3-1 高速 UART に関連する端子のブロックダイヤグラム

ポート4プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップは無効となり、ハイインピーダンスになります。

17.4 高速 UART のレジスタ

高速 UART に関連するレジスタを示します。

■ 高速 UART に関連するレジスタ

SMC11 (シリアルモード制御レジスタ1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0022 _H	PEN	SBL	MC2	MC1	MC0	SMDE	UCKE	UOE	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
SMC12 (シリアルモード制御レジスタ2)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0026 _H	—	—	PSEN	LSEL	PDCK	PDS2	PDS1	PDS0	--10001 _B
			R/W	R/W	R/W	R/W	R/W	R/W	
SRC1 (シリアルレート制御レジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0023 _H	—	—	CR	SCS1	SCS0	RC2	RC1	RC0	--011000 _B
			R/W	R/W	R/W	R/W	R/W	R/W	
SSD1 (シリアルステータスアンドデータレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0024 _H	RDRF	ORFE	TDRE	TIE	RIE	—	TD8/TP	RD8/RP	00100-1X _B
	R	R	R/W	R/W	R/W		R/W	R	
SIDR1 (シリアルインプットデータレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0025 _H									XXXXXXXX _B
	R	R	R	R	R	R	R	R	
SODR1 (シリアルアウトプットデータレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0025 _H									XXXXXXXX _B
	W	W	W	W	W	W	W	W	

R/W : リード・ライト可能
R : リードオンリ
W : ライトオンリ
— : 未使用
X : 不定

図 17.4-1 高速 UART に関連するレジスタ

17.4.1 シリアルモード制御レジスタ 1 (SMC11)

シリアルモード制御レジスタ 1 (SMC11) は、パリティの有無、ストップビット長、動作モード (データ長)、同期 / 非同期、高速 UART のシリアルクロック出力の許可 / 禁止、シリアルデータ出力の許可 / 禁止を設定します。

■ シリアルモード制御レジスタ 1 (SMC11)

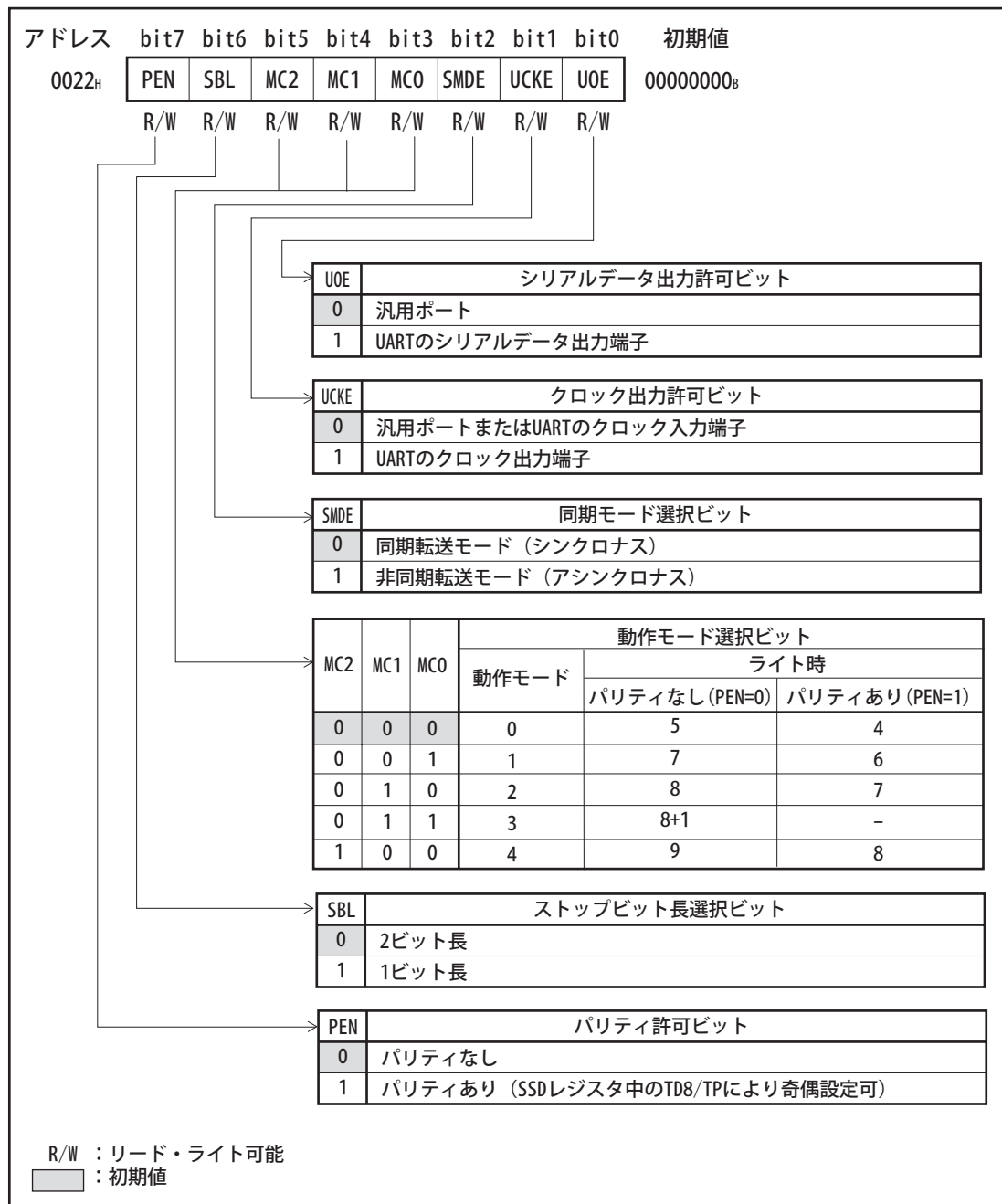


図 17.4-2 シリアルモードレジスタ 1 (SMC11)

表 17.4-1 シリアルモード制御レジスタ 1 (SMC11) の各ビットの機能説明

ビット名		機能
bit7	PEN: パリティ許可ビット	シリアルデータの入出力時に、パリティビットの付加（送信時）および検出（受信時）を行うかどうかを選択します。
bit6	SBL: ストップビット長 選択ビット	送信データのストップビット長を選択します。 <注記> 受信時は、常にストップビットの 1 ビット目のみを検出し、2 ビット目以降は無視されます。
bit5 bit4 bit3	MC2, MC1, MC0: 動作モード 選択ビット	これらのビットにより動作モード（データ長）の選択を行います。 ・ パリティビットとの組み合わせで 6 種類のデータ長を選択できます。
bit2	SMDE: 同期モード 選択ビット	同期転送または非同期転送を選択します。 ・ このビットが "0" のとき同期転送モードとなり、"1" のとき非同期転送モードとなります。
bit1	UCKE: クロック 出力許可ビット	シリアルクロックの入出力を制御します。 ・ このビットが "0" のとき、P44/INT24/UCK2 端子はシリアルクロック入力端子になり、"1" のときシリアルクロック出力端子になります。 UCK2 端子がシリアルクロック出力 (UCKE=1) のときは、汎用ポート (P44) の状態にかかわらず UCK2 出力端子として機能します。 <注記> ・ UCK2 端子がシリアルクロック入力 (UCKE=0) のときは P44/INT24/UCK2 端子を入力ポートに設定してください。また、クロック入力選択ビットによって外部クロックを選択 (SRC1:SCS1, SCS0=00 _B) してください。 ・ シリアルクロック出力 (UCKE=0) のときは、外部クロック以外を選択 (SRC1:SCS1, SCS0=00 _B 以外) してください。
bit0	UOE: シリアルデータ出力 許可ビット	このビットが "0" のとき、P45/INT25/U02 端子は、汎用ポート (P45) になり、"1" のときシリアルデータ出力端子 (UO) になります。 シリアルデータ出力 (UOE=1) のときは、汎用ポート (P45) の状態にかかわらず UO2 端子として機能します。

17.4.2 シリアルモード制御レジスタ 2 (SMC12)

シリアルモード制御レジスタ 2 (SMC12) は、ボーレートジェネレータの動作許可 / 禁止、高速 UART 入出力信号の端子出力反転およびボーレートジェネレータへの入力クロック分周を設定します。

■ シリアルモード制御レジスタ 2 (SMC12)

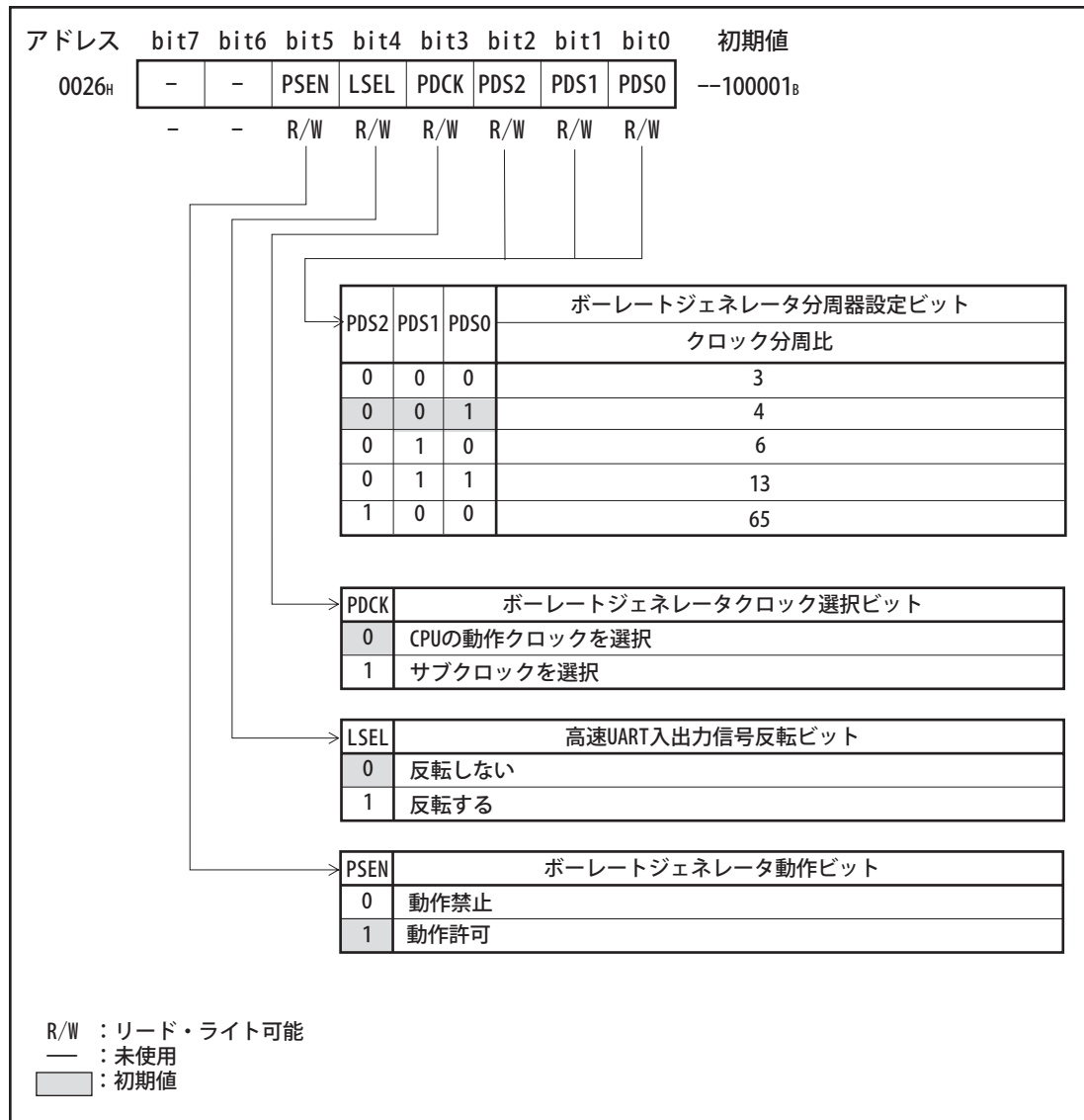


図 17.4-3 シリアルモードレジスタ (SMC2)

表 17.4-2 シリアルモード制御レジスタ 2 (SMC12) の各ビットの機能説明

ビット名		機能
bit7 bit6	未使用ビット	未使用ビットです。 • 読出しの値は不定です。 • 書込みは意味を持ちません。
bit5	PSEN: ポーレートジェネレータ 動作ビット	ポーレートジェネレータの動作許可, 禁止を制御します。
bit4	LSEL: 高速 UART 入出力信号 反転ビット	高速 UART の入出力データ反転を選択します。
bit3	PDCK: クロック選択ビット	ポーレートジェネレータのクロックを選択します。 • ポーレートジェネレータの前段の分周器の入力クロックを選択します。 <注記> CPU 動作クロックは、メインクロックモード時 (SYCC:SCS=1) には, " $F_{CH}/2$ ", サブクロックモード時 (SYCC:SCS=0) には, " F_{CL} " となります。
bit2 bit1 bit0	PDS2, PDS1, PDS0: ポーレートジェネレータ 分周器設定ビット	これらのビットはポーレートジェネレータの前段の分周器の分周を選択します。 • クロック同期モードの 3 分周は使用禁止です。

17.4.3 シリアルレート制御レジスタ (SRC1)

シリアルレート制御レジスタ (SRC1) は、データ転送速度 (ボーレート) を制御するレジスタです。入力クロックの選択およびボーレートジェネレータでの転送レートを設定します。

■ シリアルレート制御レジスタ (SRC1)



図 17.4-4 シリアルレートレジスタ (SRC1)

表 17.4-3 シリアルレート制御レジスタ (SRC1) の各ビットの機能説明

ビット名		機能
bit7 bit6	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書込みは意味を持ちません。
bit5	CR: クロックレート選択 ビット	非同期転送モードのクロックレートを選択します。 <ul style="list-style-type: none"> 専用ポーレートジェネレータ使用時 ($SCS1, SCS0=11_B$) は、CR ビットの値によらず 8 分周となります。 クロック入力として外部クロック、または 2CH 8 ビット PWM タイマ 1 出力を指定すると、CR の値からポーレートはそのクロック周波数の 1/16 または 1/64 になります。 同期転送モード時は、このビットは意味を持ちません。
bit4 bit3	SCS1, SCS0: クロック入力選択 ビット	クロック入力を選択します。 <ul style="list-style-type: none"> 外部クロック (UCK2 端子)、2CH 8 ビット PWM タイマ (PWM タイマ 1 の出力)、専用ポーレートジェネレータから選択できます。
bit2 bit1 bit0	RC2, RC1, RC0: ポーレート選択 ビット	データ伝送速度 (ポーレート) を選択します。 <ul style="list-style-type: none"> 非同期転送モード時には 8 種類、同期転送モード時には 6 種類の計 14 種類のポーレートを選択できます。 これらのビットは、クロック入力に専用ポーレートジェネレータを使用する場合のみ有効です。外部クロックまたは 2CH 8 ビット PWM タイマ出力使用時には意味を持ちません。

17.4.4 シリアルステータスアンドデータレジスタ (SSD1)

シリアルステータスアンドデータレジスタ (SSD1) は、高速 UART の送受信やエラーの状態および受信パリティまたはビット 8 受信データを示します。また、割込みの許可 / 禁止および送信パリティまたはビット 8 送信データの設定と確認を行います。

■ シリアルステータス・アンド・データレジスタ (SSD1)

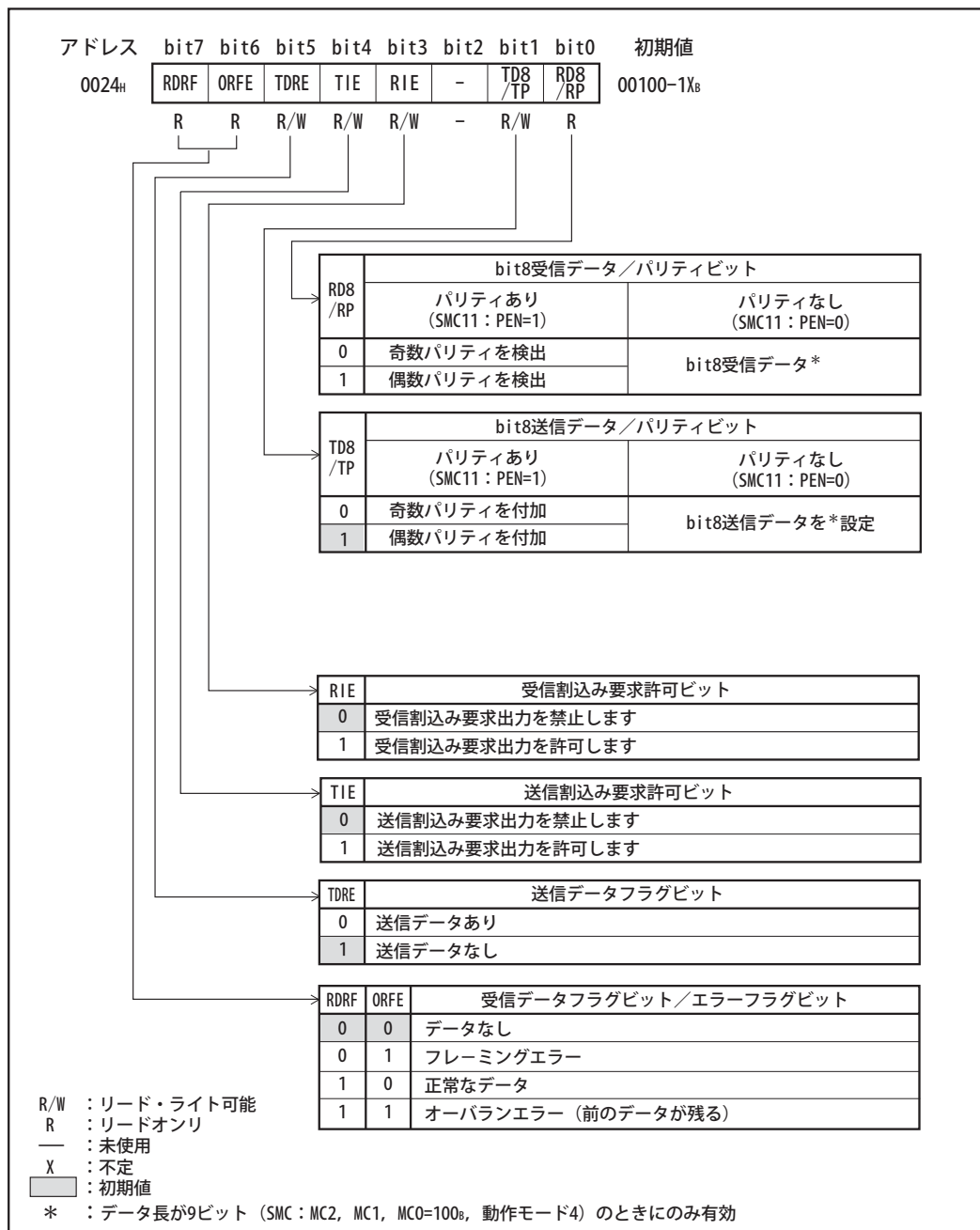


図 17.4-5 シリアルステータスアンドデータレジスタ (SSD1)

表 17.4-4 シリアルステータスアンドデータレジスタ (SSD1) の各ビットの機能説明

ビット名		機能
bit7	RDRF: 受信データ フラグビット	シリアルインプットデータレジスタ (SIDR1) の状態を示すビットです。 <ul style="list-style-type: none"> このビットが "1" の状態で SSD1 レジスタを読み出し、その後に SIDR1 レジスタを読み出すことにより受信データフラグビット (RDRF) はクリアされます。 このビットと受信割込み要求ビット (RIE) が "1" のとき、受信割込み要求を発生します。 このビットは読出し専用です。書込みは意味を持ちません。
bit6	ORFE: エラーフラグ ビット	オーバランまたはフレミングエラーが発生したことを示すフラグです。 <ul style="list-style-type: none"> エラーが発生 (ORFE=1) した場合には、受信用シフトレジスタから SIDR1 レジスタへのデータ転送は行われません。したがって、この場合 RDRF ビットはセットされません。 このビットが "1" の状態で SSD1 レジスタを読み出し、その後に SIDR1 レジスタを読み出すことにより ORFE ビットは "0" にクリアされます。 このビットと受信割込み要求許可ビット (RIE) が "1" のとき、受信割込み要求を発生します。 このビットは読出し専用です。書込みは意味を持ちません。
bit5	TDRE: 送信データ フラグビット	シリアルアウトプットデータレジスタ (SODR1) の状態を示すフラグです。 <ul style="list-style-type: none"> このビットが "1" の状態で SSD1 レジスタを読み出し、その後に SODR1 レジスタにデータをライトすると、データはシリアルデータ出力端子 (UO2) に出力されます。 このビットと送信割込み要求ビット (TIE) が "1" のとき、送信割込み要求を発生します。
bit4	TIE: 送信割込み要求許可 ビット	CPU への送信割込み要求の許可 / 禁止を行うビットです。 <ul style="list-style-type: none"> このビットと送信データフラグビット (TDRE) が "1" のとき送信割込み要求を発生します。
bit3	RIE: 受信割込み要求許可 ビット	CPU への受信割込み要求の許可 / 禁止を行うビットです。 <ul style="list-style-type: none"> このビットと受信データフラグビット (RDRF) が "1" のとき受信割込み要求を発生します。 このビットとエラーフラグビット (ORFE) が "1" のとき、エラー発生時の受信割込みの要求を発生します。
bit2	未使用ビット	未使用ビットです。 <ul style="list-style-type: none"> 読出しの値は不定です。 書込みは意味を持ちません。
bit1	TD8/TP: bit8 送信データ / パリティビット	パリティなしで動作モード 3 (送受信データ長 9 ビット) のとき、SODR1 レジスタのビット "8" として扱われます。動作モード 3 以外でパリティなしの場合、このビットは意味を持ちません。 <ul style="list-style-type: none"> パリティありのとき、送信データのパリティを偶数パリティにするか奇数パリティにするかを選択します。
bit0	RD8/RP: bit8 受信データ / パリティビット	パリティなしで動作モード 3 (送受信データ長 9 ビット) のとき、SIDR1 レジスタのビット "8" として扱われます。動作モード 3 以外でパリティなしの場合、このビットは意味を持ちません。 <ul style="list-style-type: none"> パリティありのとき、検出された受信データのパリティを示します。

17.4.5 シリアルインプットデータレジスタ (SIDR1)

シリアルインプットデータレジスタ (SIDR1) は、シリアルデータの入力 (受信) 用レジスタです。

■ シリアルインプットデータレジスタ (SIDR1)

シリアルインプットデータレジスタのビット構成を図 17.4-6 に示します。

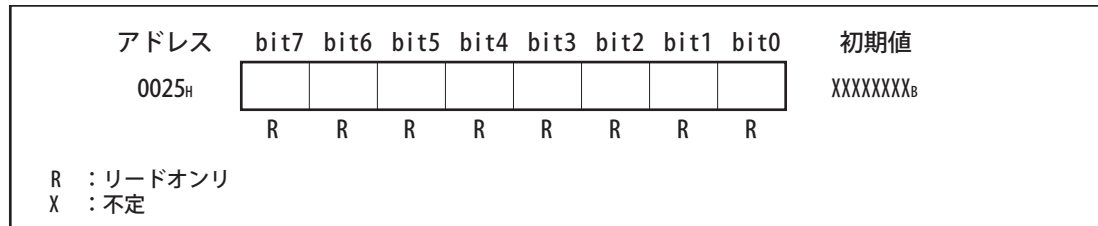


図 17.4-6 シリアルインプットデータレジスタ (SIDR1)

受信したデータが格納されるレジスタです。シリアルデータ入力端子 (UI 端子) に送られてきたシリアルデータ信号がシフトレジスタによって変換されて、このレジスタに格納されます。

● 動作モード 0, 1, 2, 4 のとき

受信データが正常にこのレジスタにセットされた場合は、受信データフラグビット (SSD1:RDRF) が "1" にセットされ、受信割込み要求が許可されている場合に、受信割込みが発生します。割込み処理、またはプログラムで SSD1:RDRF ビットをチェックしてこのレジスタに受信データが格納されている場合、SSD1 レジスタを読み出した後このレジスタの内容を読み出し、SSD1:RDRF フラグをクリアしてください。

● 動作モード 3 のとき

SSD1:RDRF, ORFE のどちらも最終データビット (D8) が "1" で受信転送が終了し、最後のストップビットを検出するときにフラグがセットされます。ただし、フレーミングエラー発生時は、最終データビットによらずフラグがセットされます。CPU への割込み要求は、フラグがセットされ、入力データが "1" となった時に発生します。

17.4.6 シリアルアウトプットデータレジスタ (SODR1)

シリアルアウトプットデータレジスタ (SODR1) は、シリアルデータの出力 (送信) 用レジスタです。

■ シリアルアウトプットデータレジスタ (SODR1)

シリアルアウトプットデータレジスタのビット構成を図 17.4-7 に示します。

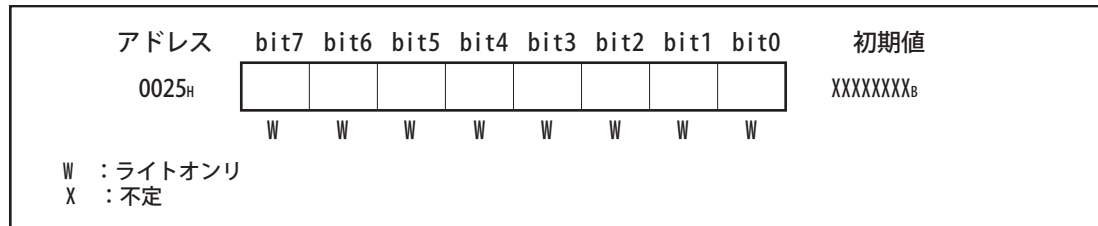


図 17.4-7 シリアルアウトプットデータレジスタ (SODR1)

送信許可状態のとき、SSD1 レジスタを読み出した後、送信するデータをこのレジスタに書き込むと、送信データは送信用シフトレジスタに転送され、シリアルデータに変換されて、シリアルデータ出力端子 (UO 端子) から送出されます。

送信データが SODR1 レジスタに書き込まれると送信データフラグビットが "0" にセットされます。送信用シフトレジスタに送信データの転送が終了すれば、送信データフラグビットが "1" にセットされ、次の送信用データを書き込むことができます。このとき、送信割込み要求が許可されていれば割込みが発生します。次の送信データの書込みは、送信割込みの発生によるか、または送信データフラグビットが "1" のときに行ってください。

17.5 高速 UART の割込み

高速 UART は、割込みに関連したエラーフラグビット (SSD1:ORFE)、受信データフラグビット (SSD1:RDRF) および送信データフラグビット (SSD1:TDRE) の 3 つのフラグと、以下の 2 つの割込み要因があります。

- 送信データがシリアルアウトデータレジスタ (SODR1) から送信用シフトレジスタに転送された場合。(送信割込み)
- 受信データが受信用シフトレジスタからシリアルインデータレジスタ (SIDR1) に転送された場合。(受信割込み)

■ 送信割込み

SSD1 レジスタを読み出した後、出力データが SODR1 レジスタに書き込まれると、SODR1 レジスタに書き込まれたデータが内部送信用シフトレジスタに転送されます。次のデータの書き込みが可能な状態になると、TDRE ビットが "1" にセットされ、送信割込みが許可 (SSD1:TIE=1) されていれば、CPU への割込み要求 (IRQC) を発生します。

■ 受信割込み

● 動作モード 0, 1, 2, 4 のとき

ストップビットまで正常にデータが入力されると RDRF ビットが "1" にセットされます。また、オーバランエラーまたはフレーミングエラーが発生した場合は ORFE ビットが "1" にセットされます。

これらのビットは、ストップビット検出時にセットされ、受信割込みが許可 (SSD1:RIE=1) されている場合には、CPU への割込み要求 (IRQB) を発生します。

● 動作モード 3 のとき

SSD1:RDRF、ORFE どちらも最終データビット (D8) が "1" で受信転送が終了し、最後のストップビットを検出するときにフラグがセットされます。ただし、フレーミングエラー発生時は、最終データビットによらずフラグがセットされます。CPU への割込み要求は、フラグがセットされ、入力データが "1" となったときに発生します。

■ 高速 UART の割込みに関連するレジスタとベクトルテーブルアドレス

表 17.5-1 高速 UART の割込みに関連するレジスタとベクトルテーブルアドレス

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQB	ILR3 (007D _H)	LB1 (bit7)	LB0 (bit6)	FFE4 _H	FFE5 _H
IRQC	ILR4 (007E _H)	LC1 (bit1)	LC0 (bit0)	FFE2 _H	FFE3 _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

17.6 高速 UART の動作説明

高速 UART は、通常のシリアル通信機能 (動作モード 0, 1, 2, 3, 4) があります。

■ 高速 UART の動作

● 動作モード

高速 UART には、5 種類の動作モードがあります。モード 0, 1, 2, 4 は通常のシリアル転送モードで、パリティありの 4 ビットデータ長からパリティなしの 9 ビットデータ長までを選択できます。動作モードについては、「表 17.1-1 高速 UART の動作モード」を参照してください。

モード 3 は、8 ビットデータ長とスレーブとして使用されている 1 ビットからなるシリアル転送モードで、1 台のマスタ CPU に数台のスレーブ CPU が接続されるような場合に使用できます。

● 転送データフォーマット

高速 UART は、NRZ (Non Return to Zero) 形式のデータのみを扱えます。

転送データは必ずスタートビット ("L" レベル) から始まり、指定されたデータビット長の転送が LSB ファーストで行われ、ストップビット ("H" レベル) で終了します。

非同期転送時は、シリアルクロックとシリアル入出力信号との関係は図 17.6-1 と同様にはなりません。

動作モード 1, パリティなし、ストップビット 2, 同期転送、転送データ = 01001101_B (8 ビット) のときの送受信クロックとデータとの関係を図 17.6-1 に示します。

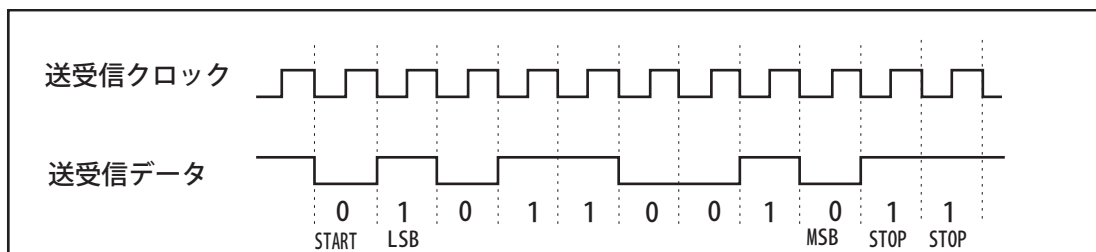


図 17.6-1 転送データフォーマット

17.7 動作モード 0, 1, 2, 4 の動作説明

動作モード 0, 1, 2, 4 は通常のシリアル通信機能として動作します。

■ 高速 UART の動作モード 0, 1, 2, 4 の動作説明

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SMC11	PEN	SBL	MC2	MC1	MC0	SMDE	UCKE	UOE
	◎	◎	*	*	*	◎	◎	1
SMC12	—	—	PSEN	LSEL	PDCK	PDS2	PDS1	PDS0
			×	×	×	×	×	×
SRC1	—	—	CR	SCS1	SCS0	RC2	RC1	RC0
			◎	◎	◎	◎	◎	◎
SSD1	RDRF	OREF	TDRE	TIE	RIE	—	TD8/TP	RD8/RP
				◎	◎	◎	☆	☆
SIDR1	受信データ格納							
SODR1	送信データ書き込み							
DDR4								

◎ : 使用ビット
 × : 未使用ビット
 1 : 1を設定
 0 : 0を設定
 ☆ : モード4でパリティなしを選択の場合、それぞれ、TD8, RD8と解釈されます。
 * : 以下のように設定します。
 モード0=000_B,
 モード1=001_B,
 モード2=010_B,
 モード3=011_B,
 モード4=100_B
 — : 未使用

図 17.7-1 動作モード 0, 1, 2, 4 のときの動作

● 送信動作

SSD1 レジスタを読み出した後、出力データが SODR1 レジスタに書き込まれると、SODR1 レジスタに書き込まれたデータが送信用シフトレジスタに転送され、パラレル - シリアル変換が開始されます。変換された送信データは、最下位ビットから順 (LSB ファースト) にシリアルデータ出力端子より出力されます。次のデータの書き込みが可能な状態になると、SSD1:TDRE ビットが "1" にセットされ、送信割込みが許可 (SSD1:TIE=1) されていれば、CPU への割込み要求が発生します。

動作モード 1, パリティなし, ストップビット 1 のときの送信動作を図 17.7-2 に示します。

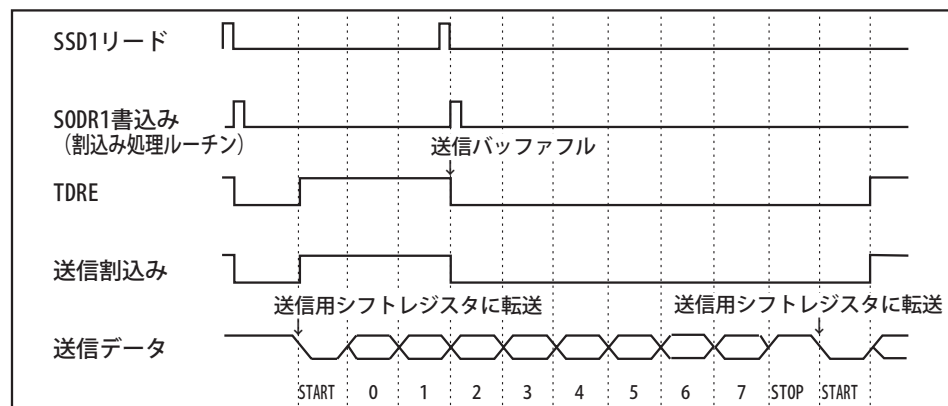


図 17.7-2 動作モード 0, 1, 2, 4 の送信動作

● 受信動作

シリアルデータ入力端子に、受信データが送られてくると、内部受信シフトレジスタによってシリアル - パラレル変換が行われます。ストップビットまで正常にデータが送られてくると、内部シフトレジスタのデータが SIDR1 レジスタに転送され、SSD1:RDRF ビットが "1" にセットされます。

オーバランまたはフレーミングエラーが発生した場合、受信データは SIDR1 レジスタに転送されず、SSD1:ORFE ビットが "1" にセットされます。

SSD1:RDRF, ORFE ビットは、どちらもデータ受信が終了し、最後のストップビットを検出するときにセットされます。このとき、受信割込みが許可 (SSD1:RIE=1) されていれば、CPU に対して割込み要求 (IRQB) が発生します。SSD1:RDRF ビットがセットされているときは、SIDR1 レジスタへ受信されたデータが転送されています。

動作モード 0, 1, 2, 4, パリティなし, ストップビット 1 のときの受信動作を図 17.7-3 ~ 図 17.7-5 に示します。

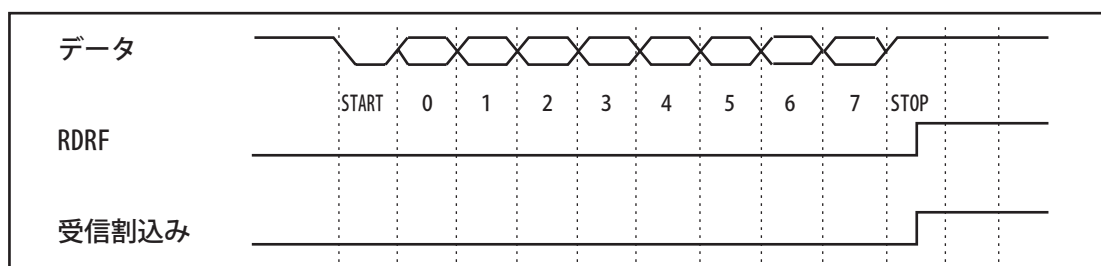


図 17.7-3 動作モード 0, 1, 2, 4 の受信動作

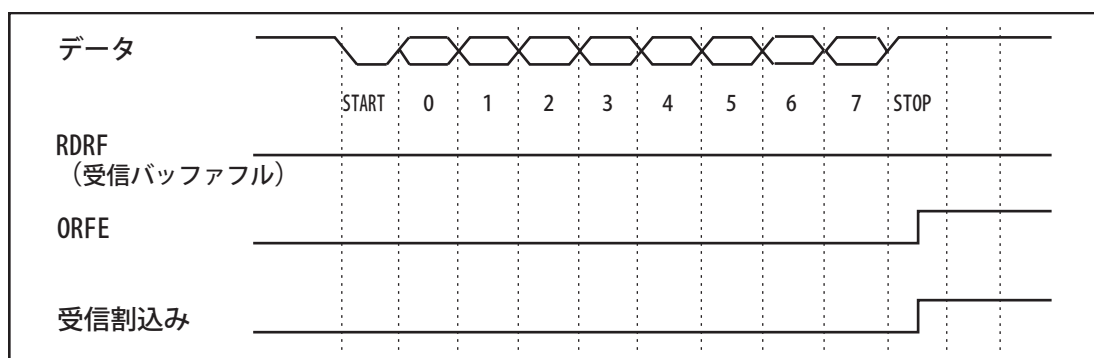


図 17.7-4 動作モード 0, 1, 2, 4 のオーバランエラー時の動作

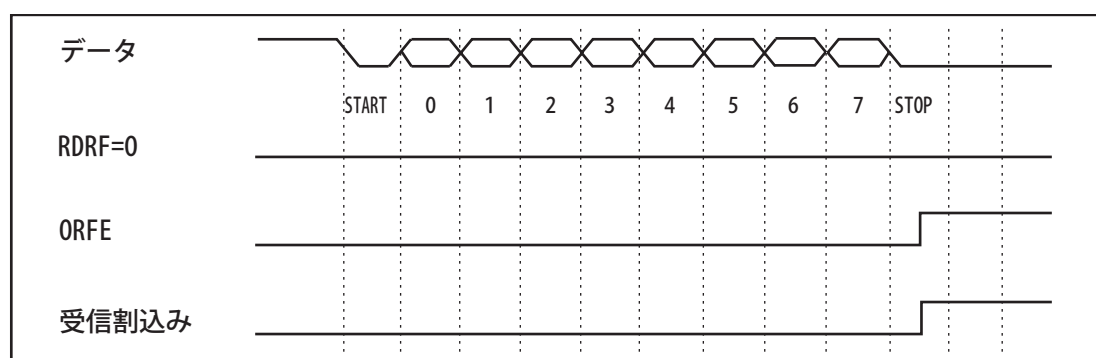


図 17.7-5 動作モード 0, 1, 2, 4 のフレミングエラー時の動作

< 注意事項 >

UART はリセット後、初期化動作のために 11 シフトクロックの時間 (ボーレート作成用クロック供給開始後) が必要です。マイコンは、初期化動作のために UART 設定ボーレートの速度でデータ "FF_H" のダミー送信を 1 度行います。この初期化動作中に、SMC11 レジスタにて UO2 端子出力の許可を設定した場合は、ダミー送信のスタートビットが出力されます。したがって、UO2 端子出力の許可はリセット後、初期値ボーレートの 12 シフトクロック以降のタイミングで行う必要があります。

ダミー送信は、リセット後の UART 初期化動作時に 1 度のみ行われ、再度リセットしない限りダミー送信は行われません。SSD1 レジスタの初期値は、UART 初期化動作が完了した後の値となります。

17.8 動作モード 3 の動作説明

動作モード 3 は 1 台のマスタ CPU に数台のスレーブ CPU が接続されるような場合に使用されます。

■ 高速 UART の動作モード 3 の動作説明

● 送信動作

SSD1 レジスタを読み出した後、出力データが SODR1 レジスタに書き込まれると、SODR1 レジスタに書き込まれたデータが送信用シフトレジスタに転送され、パラレル - シリアル変換が開始されます。変換された送信データは、最下位ビットから順 (LSB ファースト) にシリアルデータ出力端子より出力されます。次のデータの書き込みが可能な状態になると、SSD1:TDRE ビットが "1" にセットされ、送信割り込みが許可 (SSD:TIE=1) されていれば、CPU への割り込み要求が発生します。

動作モード 0、パリティなし、ストップビット 2 のときの送信動作を図 17.8-1 に示します。

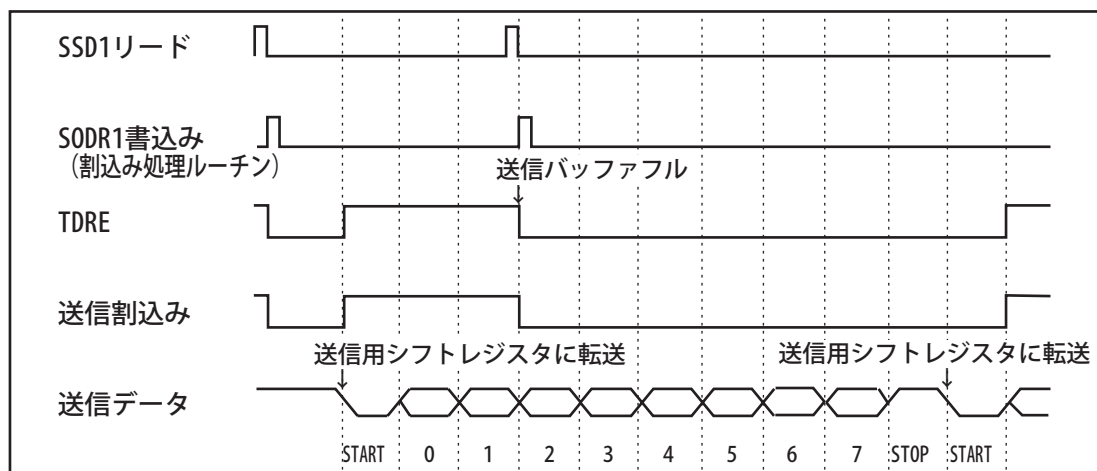


図 17.8-1 動作モード 3 の送信動作

● 受信動作

シリアルデータ入力端子に、受信データが送られてくると、内部受信用シフトレジスタによってシリアル - パラレル変換が行われます。ストップビットまで正常にデータが送られてくると、内部シフトレジスタのデータが SIDR1 レジスタに転送され、SSD1:RDRF ビットが "1" にセットされます。

オーバランまたはフレーミングエラーが発生した場合、受信データは SIDR1 レジスタに転送されず、SSD1:ORFE ビットが "1" にセットされます。

SSD1:RDRF・ORFE どちらも最終データビットが "1" で受信転送が終了し、最後のストップビットを検出するときにフラグがセットされます。ただし、フレーミングエラー発生時は、最終データビットによらずフラグがセットされます。CPU への割り込み要求は、フラグがセットされ、入力データが "1" となったときに発生します。

このとき、受信割り込みが許可 (SSD1:RIE=1) されていれば、CPU に対して割り込み要求 (IRQB) が発生します。RDRF ビットがセットされているときは、SIDR1 レジスタへ受信されたデータが転送されています。

動作モード 3 の受信動作を図 17.8-2 ~ 図 17.8-4 に示します。

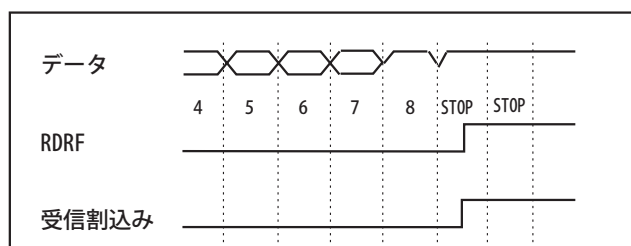


図 17.8-2 動作モード 3 の受信動作

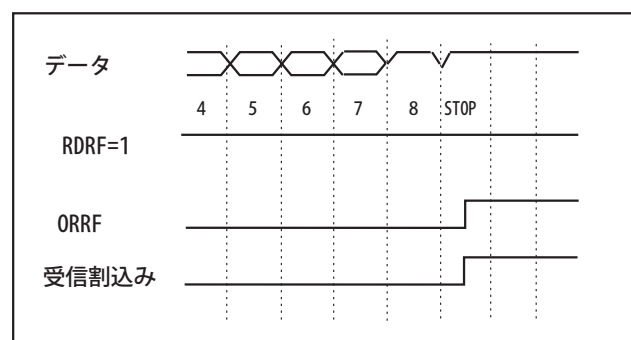


図 17.8-3 動作モード 3 のオーバランエラー時の動作

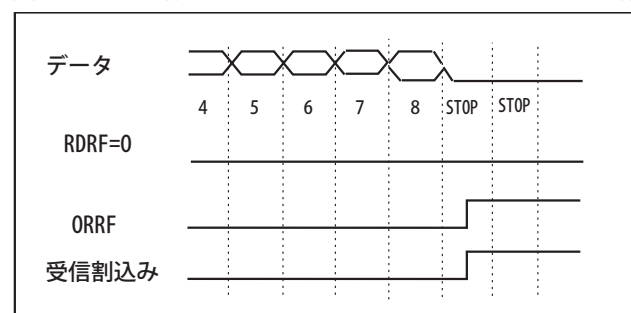


図 17.8-4 動作モード 3 のフレミングエラー時の動作

< 注意事項 >

UART は、初期化動作のために 11 シフトクロックの時間（ボーレート作成用クロック供給開始後）が必要です。マイコンは、初期化動作のために UART 設定ボーレートの速度でデータ "FF_H" のダミー送信を 1 度行います。この初期化期間中、SMC11 レジスタにて UO2 出力の許可を設定した場合には、ダミー送信のスタートビットが出力されます。したがって、UO2 出力許可は UART へのボーレート作成用クロック供給開始後、設定ボーレートの 12 シフトクロック以降のタイミングで行う必要があります。

ダミー送信は、リセット解除後の UART 初期化時の 1 回のみ行われ、再度リセットしない限りダミー送信は行われません。SSD1 レジスタの初期値は、UART の初期化が完了した後の値となります。

- ボーレート作成用クロック供給開始タイミング

専用ボーレートジェネレータ使用時：ボーレートジェネレータ動作許可時
(SMC12 レジスタの PSEN ビットへの "1" 書込み)

内部タイマ使用時：PWM タイマ 1 のカウンタ動作開始時

外部クロック使用時：外部クロック入力開始時

17.9 UART のプログラム例

UART のプログラム例を示します。

■ UART のプログラム例

● 処理仕様

- UART の通信機能を使用してシリアル送受信動作を行います。
- 通信には , P44/INT24/UCK2, P45/INT25/UO2, P46/INT26/UI2 端子を使用します。
- 内部ボーレートジェネレータにより , 300bps の送信速度を設定します。
- UO 端子から文字 "13_H" を送信し , 割込みにより受信動作を起動します。
- ボーレートは , メインクロック原発振周波数 (F_{CH}) が 10MHz で , メインクロックが最速 ($\text{インストラクションサイクル} = 4/F_{CH}$) 時のものです。 ($1/300\text{bps} = 8320t_{\text{inst}}$)

● コーディング例

```

PDR4 EQU 0010H ; ポートデータレジスタのアドレス
DDR4 EQU 0011H ; ポート方向レジスタのアドレス
SMC11 EQU 0022H ; シリアルモード制御レジスタのアドレス
SRC1 EQU 0023H ; シリアルレート制御レジスタのアドレス
SSD1 EQU 0024H ; シリアルステータスアンドデータレジスタの
; アドレス
SIDR1 EQU 0025H ; シリアルスインプットデータレジスタのアド
; レス
SODR1 EQU 0025H ; シリアルスアウトプットデータレジスタのア
; ドレス
ILR3 EQU 007DH ; 割込みレベル設定レジスタのアドレス
INT_V DSEG ABS ; 【DATA SEGMENT】
      ORG 0FFE4H
IRQB DW WARI ; 割込みベクトルの設定
INT_V ENDS

----- メインプログラム -----
      CSEG ; 【CODE SEGMENT】
      :
      CLRI ; 割込み禁止
      MOV ILR3,#01111111B ; 割込みレベル (レベル 1) を設定
      MOV DDR4,#00000000B ; UI2 端子を " 入力 " に設定
      MOV SMC11,#01001111B ; パリティなし, ストップビット 1, 動作モード
; 1, 非同期, クロック出力許可, シリアルデータ
; 出力許可 (リセット後は, UART 初期化動作の
; ため 11 シフトクロック後に設定)
      MOV SRC1,#00011101B ; 専用ボーレートジェネレータ選択。ボーレー
; トを 300 ボーに設定
      MOV SSD1,#00001000B ; 送信割込み要求禁止, 受信割込み要求許可
      MOV A,SSD1 ; 送信動作を行う前に必ず行います (TDRE=1 で
; 送信可能です)。
      MOV A,SIDR1 ; エラーフラグのクリア
      MOV SODR1,#13H ; 送信データ (13H) 書込み
      SETI ; 割込み許可
      :

----- 割込み処理ルーチン -----
WARI PUSHW A ; A と T の保存
      XCHW A,T
      PUSHW A
      MOV A,SSD1 ; 送信データ読出し, 入力データフラグクリア
      MOV A,SIDR1
      :
      ユーザ処理
      :
      POPW A ; A と T のリストア
      XCHW A,T
      POPW A
      RETI
      ENDS

-----
      END

```

第 18 章

8 ビットシリアル I/O

この章では、8 ビットシリアル I/O の機能と動作について説明しています。

- 18.1 8 ビットシリアル I/O の概要
- 18.2 8 ビットシリアル I/O の構成
- 18.3 8 ビットシリアル I/O の端子
- 18.4 8 ビットシリアル I/O のレジスタ
- 18.5 8 ビットシリアル I/O の割込み
- 18.6 シリアル出力の動作説明
- 18.7 シリアル入力動作説明
- 18.8 8 ビットシリアル I/O の動作中の各モードでの状態
- 18.9 8 ビットシリアル I/O 使用上の注意
- 18.10 8 ビットシリアル I/O の接続例
- 18.11 8 ビットシリアル I/O のプログラム例

18.1 8 ビットシリアル I/O の概要

8 ビットシリアル I/O は、シフトクロックに同期して 8 ビットデータをシリアル転送します。シフトクロックは内部 3 種類、外部 1 種類のうちから 1 種類を選択できます。また、データのシフト方向は LSB ファーストまたは MSB ファーストのどちらかを選択できます。

■ シリアル入出力機能

8 ビットシリアル I/O 機能は、シフトクロックに同期して 8 ビットのデータをシリアル入出力する機能です。

- 8 ビットのパラレルデータをシリアル変換して出力します。また、シリアルデータ入力をパラレル変換して格納します。
- シフトクロックは内部 3 種類、外部 1 種類のうちから 1 種類を選択できます。
- シフトクロックの入出力を制御し、内部シフトクロックを出力できます。
- データのシフト方向（転送方向）は、LSB ファーストまたは MSB ファーストのどちらかを選択できます。

表 18.1-1 シフトクロックの周期と転送速度

シフトクロック	クロック周期	周波数 (Hz)	転送速度 ($F_{CH}=10\text{MHz}$, 最高速度時 [*])
内部シフトクロック (出力)	$2t_{\text{inst}}$	$1/(2t_{\text{inst}})$	1250 Kbps
	$8t_{\text{inst}}$	$1/(8t_{\text{inst}})$	312.5 Kbps
	$32t_{\text{inst}}$	$1/(32t_{\text{inst}})$	78.125 Kbps
外部シフトクロック (入力)	$2t_{\text{inst}}$ 以上	$1/(2t_{\text{inst}})$ 以下	DC ~ 1250 Kbps

F_{CH} : メインクロック原発振

t_{inst} : インストラクションサイクル (クロックモードやギヤ機能の影響を受けます。)

^{*} : システムクロック制御レジスタ (SYCC) により、メインクロックモード (SCS=1) の最高速クロックを選択 ($CS1, CS0=11_B$, 1 インストラクションサイクル $=4/F_{CH}$) した場合

● シフトクロック制御回路

シフトクロックとして内部クロック 3 種類または外部クロック 1 種類のうちから 1 種類を選択します。

内部クロックを選択すると、シフトクロックを SCK2 端子に出力できます。外部クロックを選択すると、SCK2 端子から入力されるクロックがシフトクロックになります。

シフトクロックによって SDR レジスタをシフトし、シフトアウトした値を SO2 端子に出力します。また、SI2 端子の入力を SDR レジスタにシフトしながら取り込みます。

● シフトクロックカウンタ

シフトクロックによる SDR レジスタのシフト回数をカウントします。8 ビットのシフトが完了するとカウンタはオーバフローを発生し、オーバフローによって SMR レジスタのシリアル I/O 転送スタートビットをクリア (SMR:SST=0) し、割込み要求フラグをセット (SMR:SIOF=1) します。

シフトクロックカウンタは、シリアル転送の停止 (SMR:SST=0) によってカウントを停止し、開始 (SMR:SST=1) によってクリアされます。

● シリアルデータレジスタ (SDR)

転送データを保持するレジスタです。このレジスタに書き込まれた内容はシリアル変換され、シリアル出力データとなります。また、シリアル入力パラレル変換されてこのレジスタに格納されます。

● シリアルモードレジスタ (SMR)

シリアル I/O の制御レジスタです。シリアル I/O の動作の許可と禁止、シフトクロックの選択、転送 (シフト) 方向の設定、割込み制御、割込み状態の確認などを行います。

18.3 8 ビットシリアル I/O の端子

8 ビットシリアル I/O に関連する端子および端子のブロックダイアグラムを示します。

■ 8 ビットシリアル I/O に関連する端子

8 ビットシリアル I/O に関連する端子は、P43/INT23/SI2/SCL 端子、P42/INT22/SO2/SDA 端子および P41/INT21/SCK2 端子です。

● P43/INT23/SI2/SCL 端子

P43/INT23/SI2/SCL 端子は、Nch オープンドレイン入出力ポート (P43)、外部割込み入力 (ヒステリシス入力) としての機能 (INT23)、8 ビットシリアル I/O のシリアルデータ入力 (ヒステリシス入力) 機能 (SI2) または I²C のシリアルクロック I/O としての機能 (SCL) を兼用しています。

SI2: 8 ビットシリアル I/O で SI2 端子として使用する場合は、I²C を動作禁止 (ICCR:EN=0) し、ポート方向レジスタを入力ポートに設定 (DDR4: bit3=0) してください。

● P42/INT22/SO2/SDA 端子

P42/INT22/SO2/SDA 端子は、汎用入出力ポートとしての機能 (P42)、外部割込み入力 (ヒステリシス入力) としての機能 (INT22)、8 ビットシリアル I/O のシリアルデータ出力端子 (Nch オープンドレイン) としての機能 (SO2) および I²C のデータ I/O としての機能 (SDA) を兼用しています。

SO2: P42/INT22/SO2/SDA 端子は、I²C を動作禁止 (ICCR:EN=0) し、シリアルデータの出力を許可 (SMR:SOE=1) することにより、SO2 端子として機能します。

● P41/INT21/SCK2 端子

P41/INT21/SCK2 端子は、汎用入出力ポートとしての機能 (P41)、外部割込み入力 (ヒステリシス入力) としての機能 (INT21) およびシリアル I/O のシフトクロック入出力端子 (ヒステリシス入力) としての機能 (SCK2) を兼用しています。

SCK2:

- シフトクロック入力端子として使用する場合:

SCK2 を入力端子として使用する場合は、ポート方向レジスタによって入力ポートに設定 (DDR4:bit1=0) し、シフトクロックの出力を禁止 (SMR:SCKE=0) してください。また、シフトクロックは、外部シフトクロックを選択 (SMR:CKS1, CKS0=11_B) してください。

- シフトクロック出力端子として使用する場合:

P41/INT21/SCK2 端子は、シフトクロックの出力を許可 (SMR:SCKE=1) すると、ポート方向レジスタ (DDR4:bit1) の値に関係なく、自動的に出力端子になり、SCK2 出力端子として機能します。また、シフトクロックは、内部シフトクロックを選択 (SMR:CKS1, CKS0=11_B 以外) してください。

■ 8 ビットシリアル I/O に関連する端子のブロックダイヤグラム

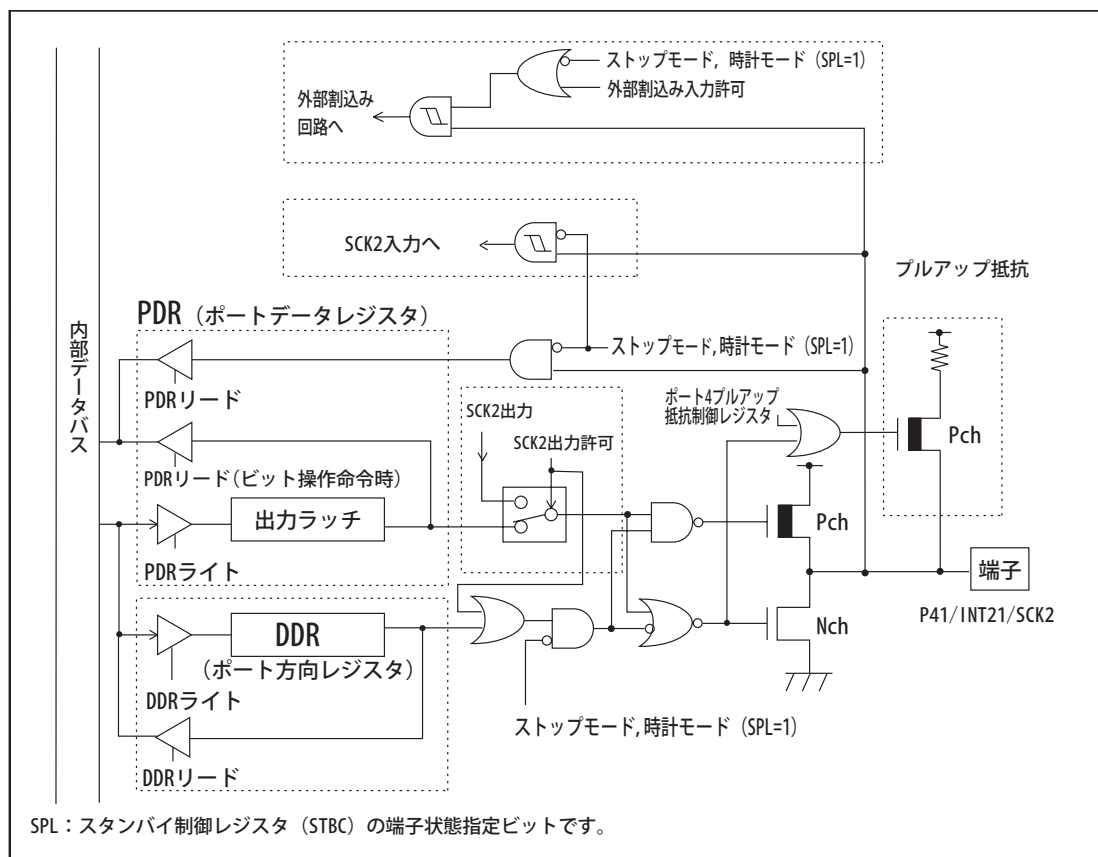


図 18.3-1 SCK2 端子のブロックダイヤグラム

ポート4プルアップ抵抗制御レジスタでプルアップ抵抗ありを選択した場合、ストップモードまたは時計モード (STBC:SPL=1) における端子の状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。

ただし、リセット中のプルアップは無効となり、ハイインピーダンスになります。

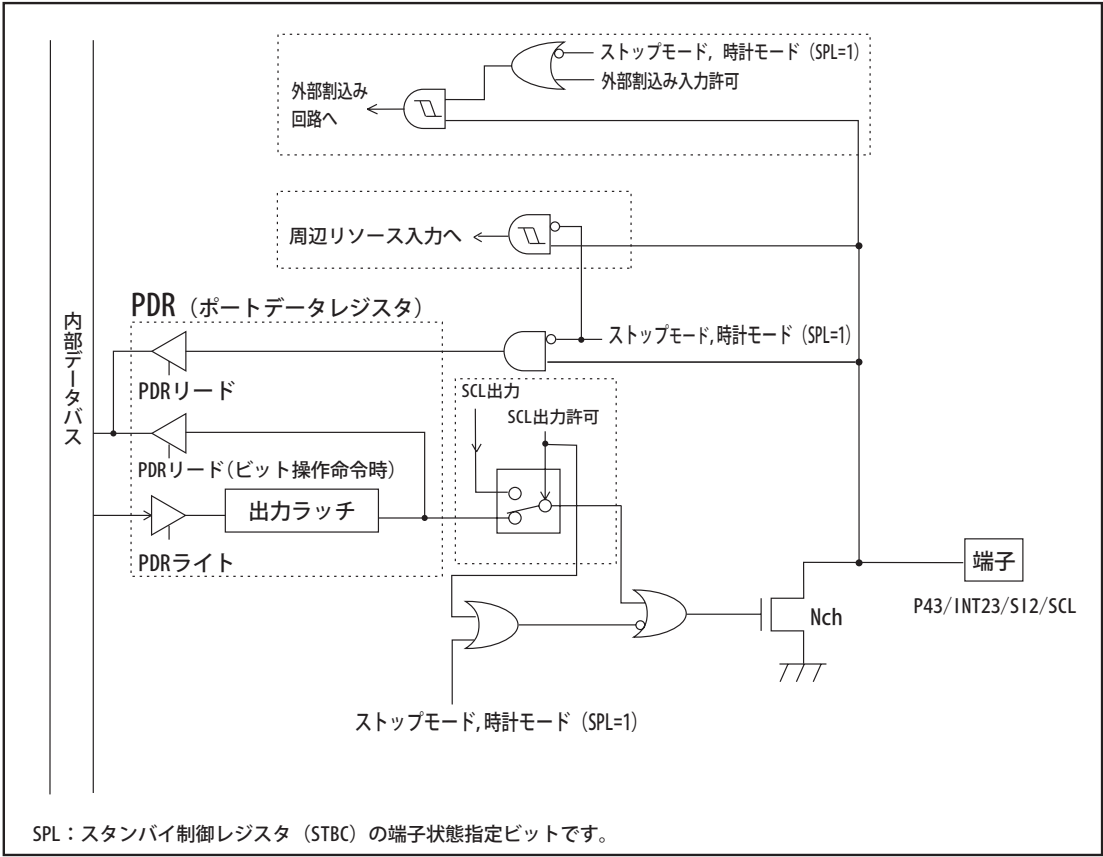


図 18.3-2 SI2 端子のブロックダイアグラム

P43/INT23/SI2/SCL 端子では、ポート 4 プルアップ抵抗制御レジスタを用いてプルアップ抵抗あり / なしの選択はできません。

P43/INT23/SI2/SCL 端子を出力端子として使用する場合は、外部端子にプルアップ抵抗を取り付けてください。

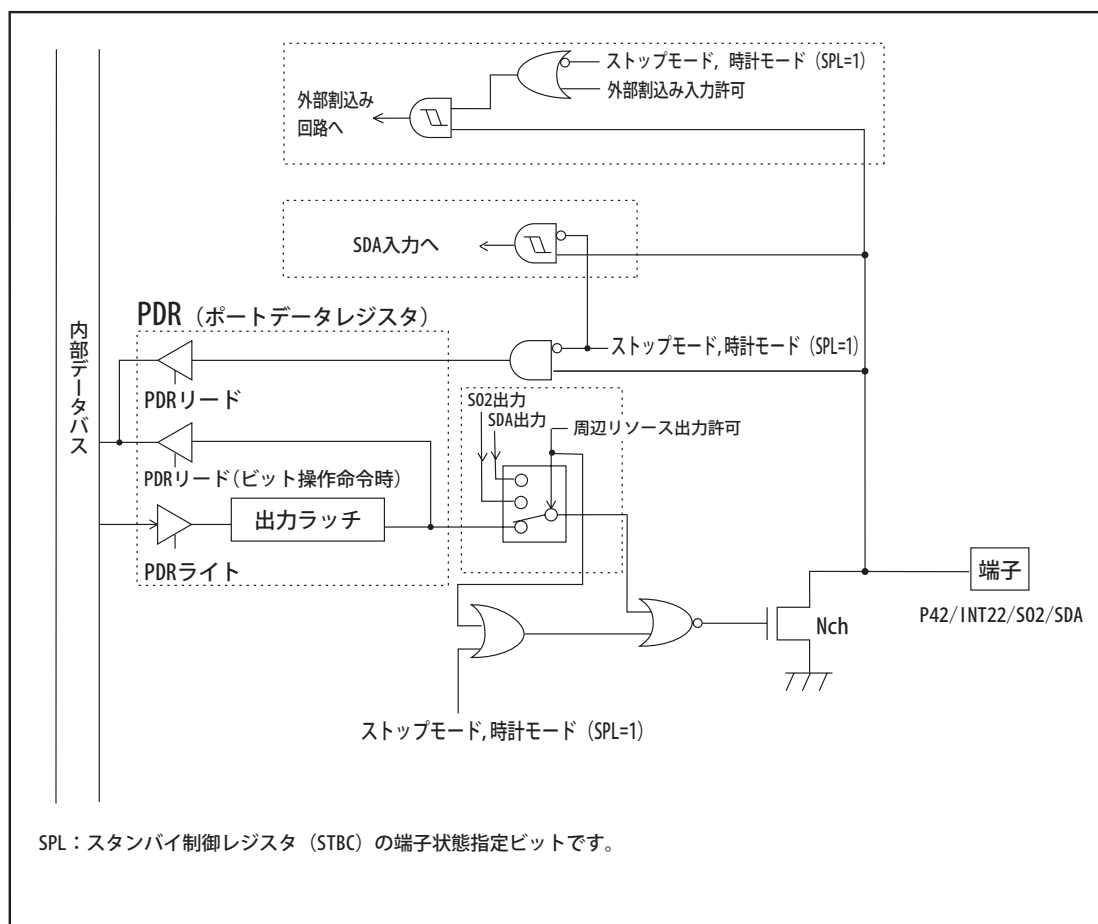


図 18.3-3 SO2 端子のブロックダイアグラム

P42/INT22/SO2/SDA 端子では,ポート4プルアップ抵抗制御レジスタを用いてプルアップ抵抗あり / なしの選択はできません。

P42/INT22/SO2/SDA 端子を出力端子として使用する場合は, 外部端子にプルアップ抵抗を取り付けてください。

18.4 8 ビットシリアル I/O のレジスタ

8 ビットシリアル I/O に関連するレジスタを示します。

■ 8 ビットシリアル I/O に関連するレジスタ

SMR (シリアルモードレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0070 _H	SIOF	SIOE	SCKE	SOE	CKS1	CKS0	BDS	SST	00000000 _b
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
SDR (シリアルデータレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0071 _H									XXXXXXXX _b
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード・ライト可能									
X : 不定									

図 18.4-1 8 ビットシリアル I/O に関連するレジスタ

18.4.1 シリアルモードレジスタ (SMR)

シリアルモードレジスタ (SMR) は、8 ビットシリアル I/O の動作の許可と禁止、シフトクロックの選択、転送方向の設定、割込み制御および状態の確認を行うレジスタです。

■ シリアルモードレジスタ (SMR)

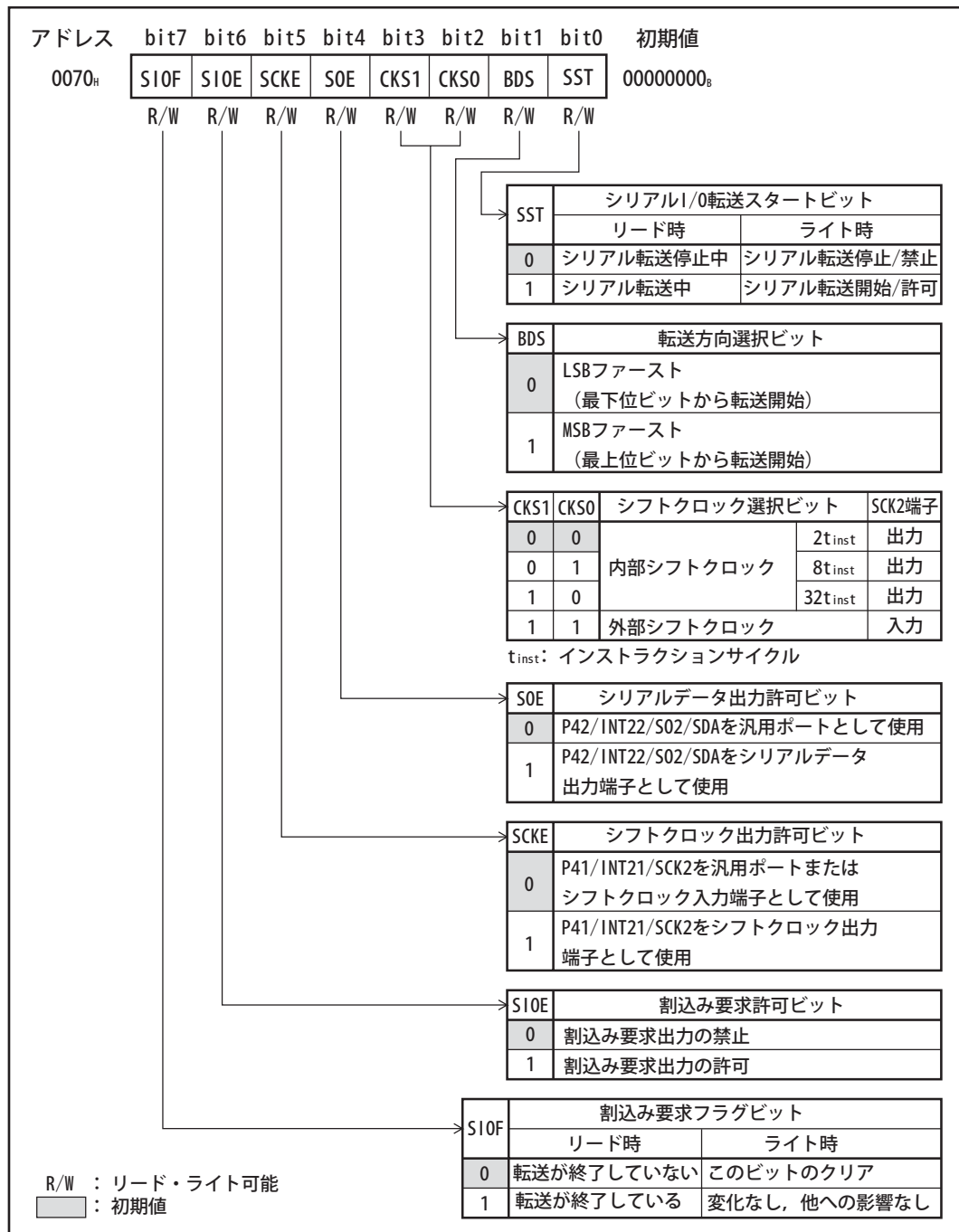


図 18.4-2 シリアルモードレジスタ (SMR)

表 18.4-1 シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能
bit7	SIOF: 割込み要求 フラグビット	シリアル入出力動作でシリアルデータが 8 ビット入出力されると "1" にセットされます。 <ul style="list-style-type: none"> このビットと割込み要求許可ビット (SIOE) が "1" のとき、割込み要求を出力します。 書込み時は "0" でクリアされ、"1" では意味を持ちません。
bit6	SIOE: 割込み要求許可 ビット	CPU への割込み要求出力の許可 / 禁止を行うビットです。 <ul style="list-style-type: none"> このビットと割込み要求フラグビット (SIOF) が "1" のとき、割込み要求を出力します。
bit5	SCKE: シフトクロック 出力許可ビット	シフトクロックの入出力を制御するビットです。 <ul style="list-style-type: none"> このビットが "0" のとき、P41/INT21/SCK2 端子はシフトクロック入力端子になり、"1" のときシフトクロック出力端子になります。 シフトクロック出力が許可 (SCKE=1) されると、汎用ポート (P41) の状態にかかわらず SCK2 出力端子として機能します。 汎用ポートとして使用 (P41) するときは、シフトクロック入力 (SCKE=0) としてください。 <p><注記></p> <ul style="list-style-type: none"> シフトクロック入力 (SCKE=0) として使用するには、P41/INT21/SCK2 端子を入力ポートに設定する必要があります。また、シフトクロック選択ビットによって外部シフトクロックを選択 (CKS1, CKS0=11_B) してください。 シフトクロック出力 (SCKE=1) として使用するには、内部シフトクロックを選択 (CKS1, CKS0=11_B 以外) してください。
bit4	SOE: シリアルデータ 出力許可ビット	このビットが "0" のとき、P42/INT22/SO2/SDA 端子は、汎用ポート (P42) となり、"1" のときシリアルデータ出力端子 (SO2) となります。 シリアルデータ出力が許可 (SOE=1) されると、汎用ポート (P42) の状態にかかわらず SO2 端子として機能します。
bit3 bit2	CKS1, CKS0: シフトクロック 選択ビット	3 種類の内部シフトクロックまたは外部シフトクロックを選択するビットです。 <ul style="list-style-type: none"> これらのビットが "11_B" 以外のときは内部シフトクロックが選択され、シフトクロック出力許可ビット (SCKE) が "1" であれば、SCK2 出力端子からシフトクロックが出力されます。 "11_B" のときは、外部シフトクロックが選択され、シフトクロック入力に設定されていれば (SCKE="0", DDR4:bit1="0"), SCK2 出力端子からシフトクロックが入力されます。
bit1	BDS: 転送方向選択 ビット	シリアルデータを最下位ビット側から先に転送するか (LSB ファースト, BDS=0), 最上位ビット側から先に転送するか (MSB ファースト, BDS=1) を選択するビットです。 <p><注記></p> <p>シリアルデータレジスタ (SDR) への読出し、書込み時にデータの上位側と下位側を入れ換えるため、SDR レジスタへデータを書き込んだ後、このビットを書き換えると、そのデータは無効になります。</p>
bit0	SST: シリアル I/O 転送スタート ビット	シリアル I/O の転送開始および転送許可を制御するビットです。 <ul style="list-style-type: none"> このビットによっても転送終了の判断ができます。 内部シフトクロック (CKS1, CKS0=11_B 以外) のとき、このビットに "1" を書き込むとシフトクロックカウンタをクリアして転送を開始します。 外部シフトクロック (CKS1, CKS0=11_B) のとき、このビットに "1" を書き込むと転送許可となり、シフトクロックカウンタをクリアして外部シフトクロックの入力待ち状態になります。 転送が終了すると、このビットは "0" にクリアされ、SIOF ビットが "1" にセットされます。 転送中 (SST=1) に、このビットに "0" を書き込むと転送を中断します。転送を中断した場合、データ出力側の SDR レジスタの再設定と、データ入力側の転送再開 (シフトクロックカウンタのクリア) が必要です。

18.4.2 シリアルデータレジスタ (SDR)

シリアルデータレジスタ (SDR) は、8 ビットシリアル I/O の転送データを保持するレジスタです。

シリアル出力動作時は、送信データレジスタとして機能します。また、シリアル入力動作時は、受信データレジスタとして機能します。

■ シリアルデータレジスタ (SDR)

シリアルデータレジスタのビット構成を図 18.4-3 に示します。

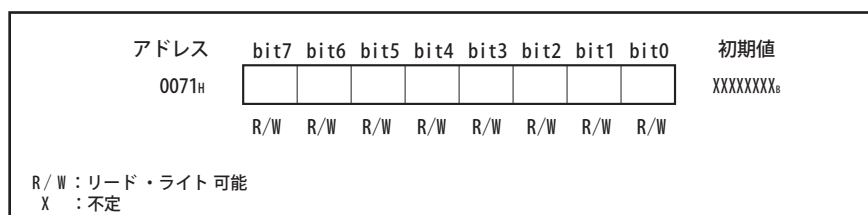


図 18.4-3 シリアルデータレジスタ (SDR)

● シリアル出力動作時

送信データレジスタとして機能します。シリアル I/O の転送を開始 (SMR:SST=1) すると、このレジスタに書き込まれたデータをシリアル転送します。

送信データは転送によってシフトアウトするため、SDR レジスタには残りません。

● シリアル入力動作時

受信データレジスタとして機能します。シリアル I/O の転送を開始 (SMR:SST=1) すると、このレジスタにシリアル転送されたデータが格納されます。

● シリアル I/O 転送中

シリアル I/O が転送動作中には、SDR レジスタにデータを書き込まないでください。また、読み出した値は意味を持ちません。

シリアル出力とシリアル入力を同時に許可した場合は、シリアル入出力動作となります。

18.5 8 ビットシリアル I/O の割込み

8 ビットシリアル I/O の割込み要因としては、8 ビットデータのシリアル入出力の完了があります。

■ シリアル入出力動作時の割込み

8 ビットシリアル I/O では、シリアル出力動作とシリアル入力動作は同時に行われます。シリアル転送を開始すると、設定したシフトクロック周期に同期して、シリアルデータレジスタ (SDR) の値を 1 ビットずつ入出力します。その後、8 ビット目のシフトクロックが立ち上がると、割込み要求フラグビット (SMR:SIOF) が "1" にセットされます。そのとき、割込み要求出力許可ビットを許可 (SMR:SIOE=1) している場合、CPU への割込み要求 (IRQ9) が発生します。

割込み処理ルーチンで SIOF ビットに "0" を書き込み、割込み要求をクリアしてください。SIOF ビットは、SIOE ビットの値に関係なく、8 ビットのシリアル出力が完了するとセットされます。

シリアル入出力動作時に、シリアル転送停止 (SMR:SST=0) とシリアルデータ転送の終了が同時に発生した場合、割込み要求フラグビットのセット (SMR:SIOF=1) は行いません。また、SIOF ビットが "1" のとき、SIOE ビットを禁止から許可 (0 → 1) にすると、割込み要求が発生します。

■ 8 ビットシリアル I/O の割込みに関連するレジスタとベクトルテーブル

表 18.5-1 8 ビットシリアル I/O の割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQ9	ILR3 (007D _H)	L91 (bit3)	L90 (bit2)	FFE8 _H	FFE9 _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

18.6 シリアル出力の動作説明

8 ビットシリアル I/O は、シフトクロックに同期した 8 ビットデータのシリアル出力動作ができます。

■ シリアル出力動作

シリアル出力では、内部シフトクロックまたは外部シフトクロックを使用できます。シリアル入出力動作が許可されている場合、シリアル入力と同時に SDR レジスタの内容がシリアルデータ出力端子 (SO2) に出力されます。

● 内部シフトクロックの場合

内部シフトクロックによるシリアル出力を行うためには、図 18.6-1 に示すレジスタの設定が必要です。

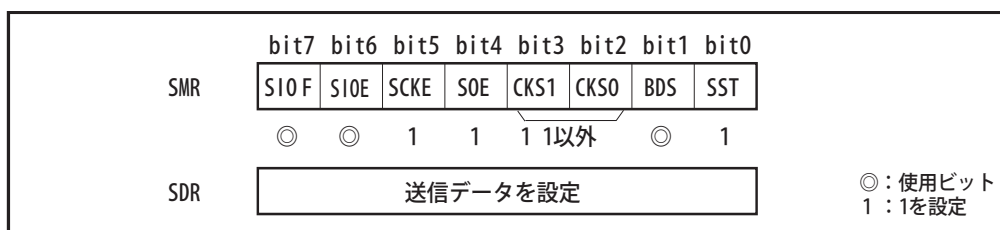


図 18.6-1 シリアル出力 (内部シフトクロック使用時) の設定

シリアル出力動作を起動すると、選択した内部シフトクロックの立下りエッジに同期して、SDR レジスタの内容を SO2 端子に出力します。このとき、転送先 (シリアル入力側) が、外部シフトクロックの入力待ち状態になっている必要があります。

● 外部シフトクロックの場合

外部シフトクロックによるシリアル出力を行うためには、図 18.6-2 に示すレジスタの設定が必要です。

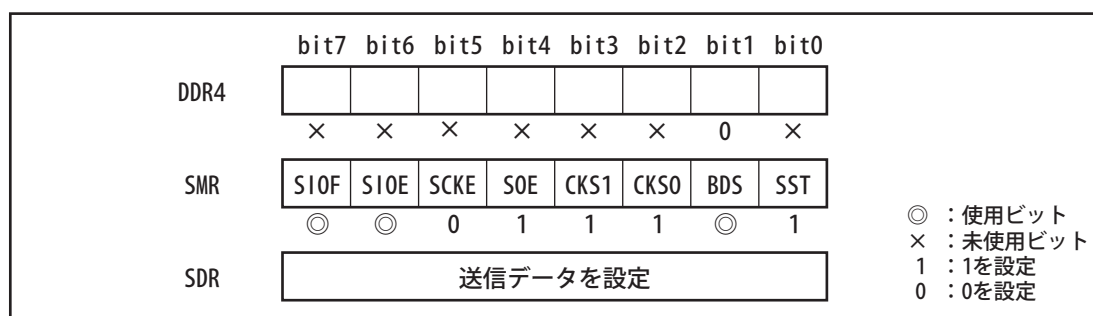


図 18.6-2 シリアル出力 (外部シフトクロック使用時) の設定

シリアル出力動作を許可すると、外部シフトクロックの立下りエッジに同期して、SDR レジスタの内容を SO2 端子から出力します。シリアル出力完了後は、次のデータの出力に備えて、SDR レジスタの再設定と動作の許可 (SMR:SST=1) を行う必要があります。受信相手側のシリアル入力動作 (立上りエッジ) が完了し、次のデータの出力待ち (アイドル状態) の間は、外部シフトクロックを "H" レベルにしてください。

8 ビットシリアル出力の動作を図 18.6-3 に示します。

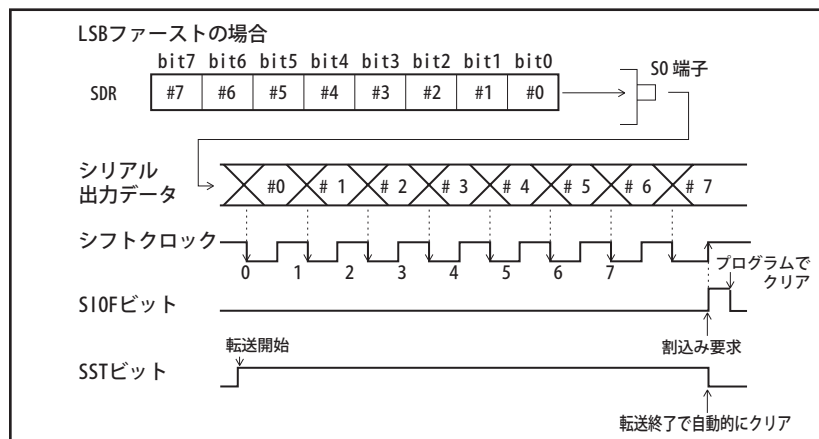


図 18.6-3 8 ビットシリアル出力の動作

■ シリアル出力完了時の動作

8 ビット目のシリアルデータを入出力したシフトクロックの立上りで、割り込み要求フラグビットをセット (SMR:SIOF=1) し、シリアル I/O スタートビットをクリア (SMR:SST=0) します。

18.7 シリアル入力の動作説明

8 ビットシリアル I/O は、シフトクロックに同期した 8 ビットシリアル入力動作ができます。

■ シリアル入力動作

シリアル入力では、内部シフトクロックまたは外部シフトクロックを使用できます。シリアル入出力動作が許可されている場合、シリアル入力と同時に SDR レジスタの内容がシリアルデータ出力端子 (SO2) に出力されます。

● 内部シフトクロックの場合

内部シフトクロックによるシリアル入力を行うためには、図 18.7-1 に示すレジスタの設定が必要です。

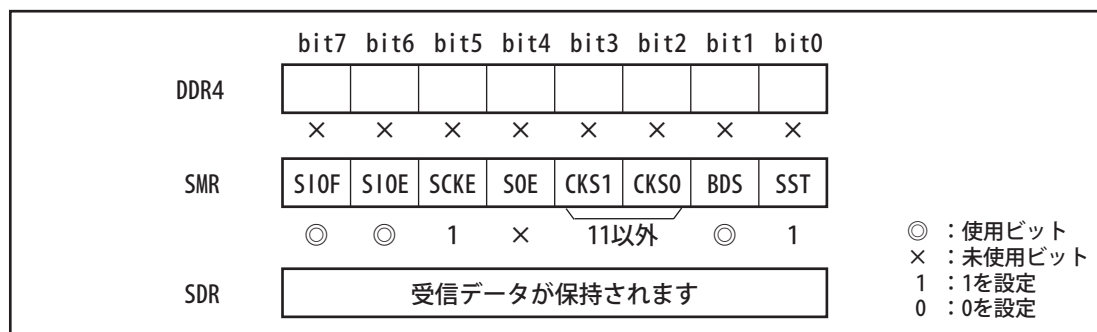


図 18.7-1 シリアル入力 (内部シフトクロック使用時) の設定

シリアル入力動作を起動すると、選択した内部シフトクロックの立上りエッジに同期して、シリアルデータ入力端子 (SI2) の値を SDR レジスタに取り込みます。このとき、転送先 (シリアル出力側) の SDR レジスタが設定されており、外部シフトクロックの入力待ち状態になっている必要があります。

● 外部シフトクロックの場合

外部シフトクロックによるシリアル入力を行うためには、図 18.7-2 に示すレジスタの設定が必要です。

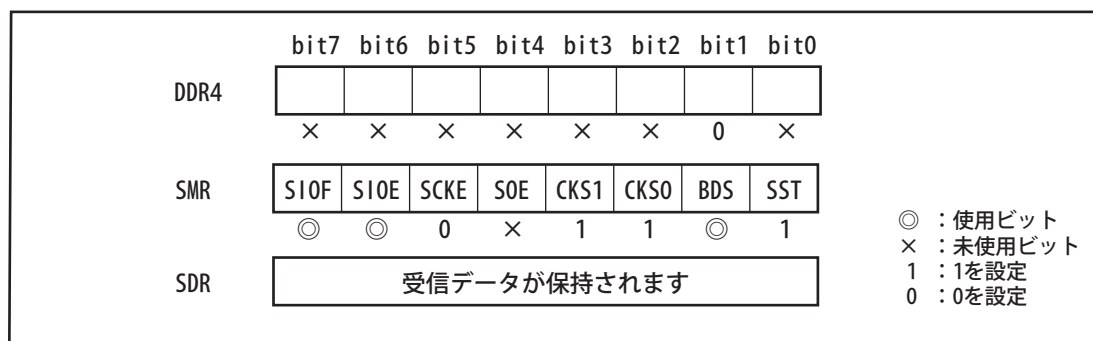


図 18.7-2 シリアル入力 (外部シフトクロック使用時) の設定

シリアル入力動作を許可すると、外部シフトクロックの立上りエッジに同期して、SI2 端子の値を SDR レジスタに取り込みます。シリアル入力完了後は、次のデータの入力

に備えて、SDR レジスタの読出しと動作の許可 (SMR:SST=1) を行う必要があります。
 このとき、次のデータの出力待ち (アイドル状態) の間は、外部シフトクロックを、"H"
 レベルにしてください。

8 ビットシリアル入力の動作を図 18.7-3 に示します。

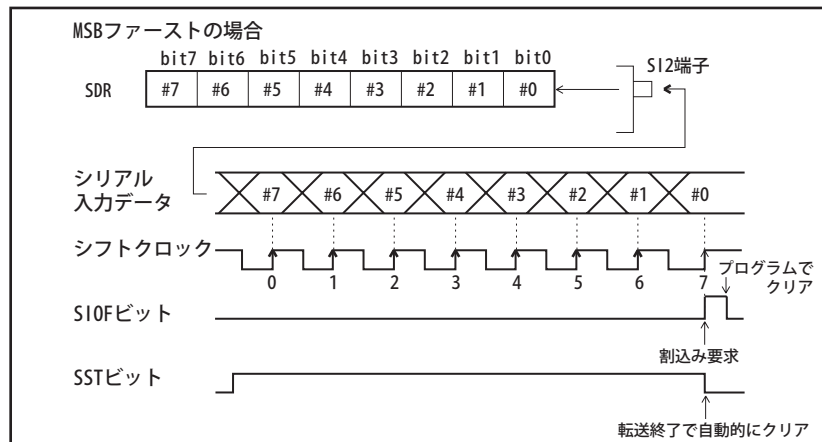


図 18.7-3 8 ビットシリアル入力の動作

■ シリアル入力完了時の動作

8 ビット目のシリアルデータを入出力したシフトクロックの立上りで、割り込み要求フラグビットをセット (SMR:SIOF=1) し、シリアル I/O スタートビットをクリア (SMR:SST=0) します。

18.8 8 ビットシリアル I/O の動作中の各モードでの状態

シリアル I/O の動作中に、スリープモードへ移行した場合、ストップモードまたは時計モードへ移行した場合および途中停止した場合の動作を説明します。

■ 内部シフトクロックを使用した場合

● スリープモード時の動作

スリープモードでは、図 18.8-1 に示すようにシリアル入出力動作は停止せず、転送を続けます。

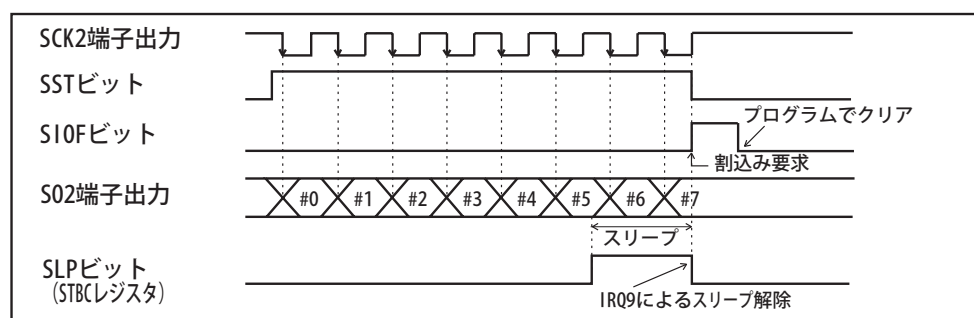


図 18.8-1 スリープ時の動作 (内部シフトクロック)

● ストップモード、時計モード時の動作

ストップモードおよび時計モードでは、図 18.8-2 に示すようにシリアル入出力動作を停止し、転送を中断します。ストップモードおよび時計モード解除後は、動作を途中から再開するため、転送先の状態に応じて初期化しなおしてください。

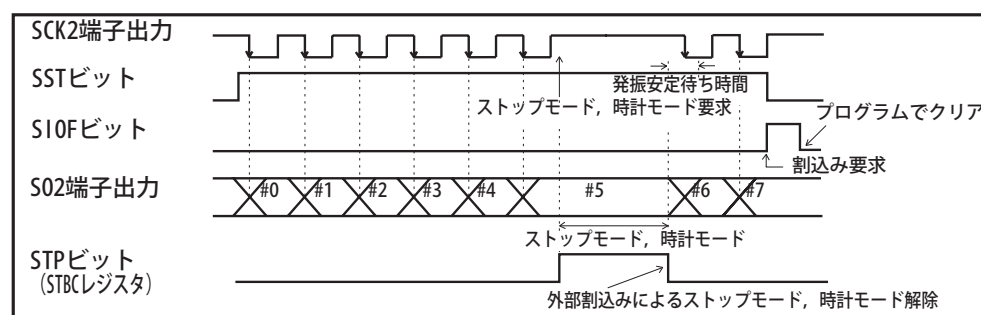


図 18.8-2 ストップモード、時計モード時の動作 (内部シフトクロック)

● 途中停止時の動作

図 18.8-3 に示すように転送途中で動作を停止 (SMR:SST=0) すると、転送を停止し、シフトクロックカウンタをクリアします。したがって、転送先も初期化する必要があります。シリアル出力動作時は、再起動する前に SDR レジスタを再設定してください。

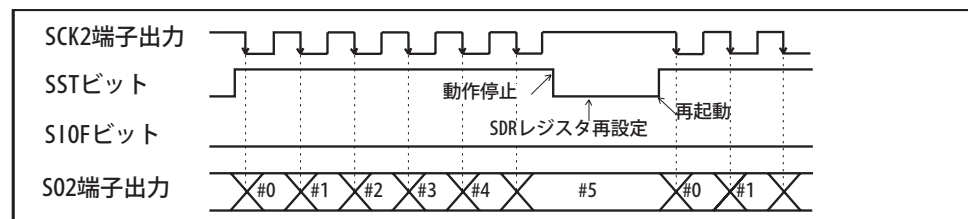


図 18.8-3 途中停止時の動作 (内部シフトクロック)

■ 外部シフトクロックを使用した場合

● スリープモード時の動作

スリープモードでは、図 18.8-4 に示すようにシリアル入出力動作は停止せず、転送を続けます。

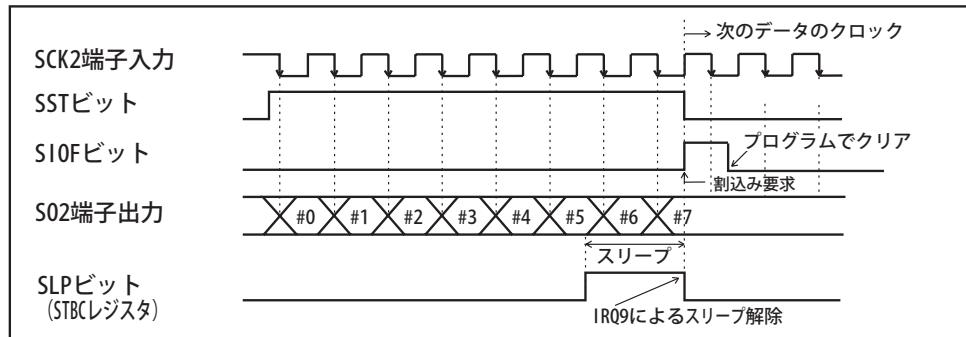


図 18.8-4 スリープ時の動作 (外部シフトクロック)

● ストップモード、時計モード時の動作

ストップモードおよび時計モードでは、図 18.8-5 に示すようにシリアル入出力動作も停止し、転送を中断します。ストップモードおよび時計モード解除後は動作を途中から再開するため、転送先エラーとなります。初期化しなおしてください。

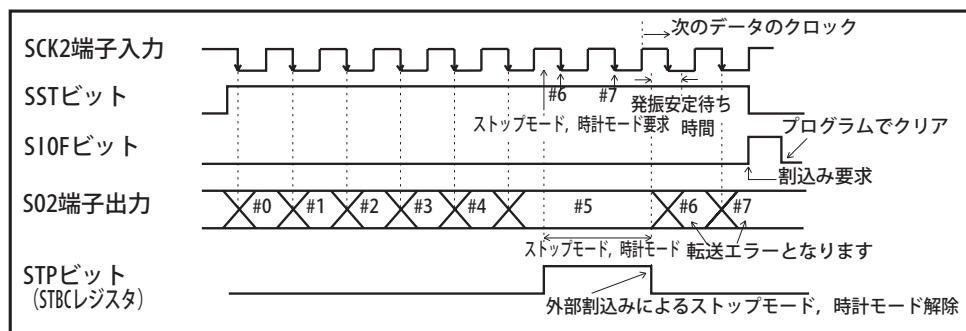


図 18.8-5 ストップモード、時計モード時の動作 (外部シフトクロック)

● 途中停止時の動作

図 18.8-6 に示すように転送途中で動作を停止 (SMR:SST=0) すると、転送を停止し、シフトクロックカウンタをクリアします。したがって、転送先も初期化する必要があります。シリアル出力動作時は、再起動する前に SDR レジスタを再設定してください。このとき、外部クロックが入力されると、S02 端子の出力は変化します。

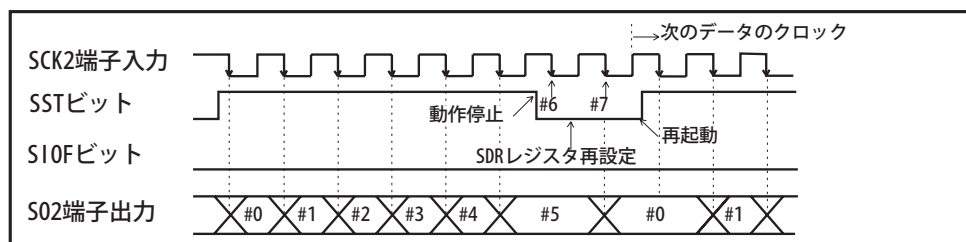


図 18.8-6 途中停止時の動作 (外部シフトクロック)

18.9 8 ビットシリアル I/O 使用上の注意

8 ビットシリアル I/O を使用するための注意点を示します。

■ 8 ビットシリアル I/O 使用上の注意

● シリアル転送開始時の誤差

シリアル転送のプログラムによる起動 (SMR:SST=1) から、シフトクロックの立下り (出力) または立上り (入力) までの時間は非同期です。そのため、最初のシリアルデータが入出力されるまでの時間は、最大で設定したシフトクロックの 1 周期分、遅くなります。

● ノイズによる誤動作

シリアルデータ転送において、外部からのノイズによってシフトクロックに余分なパルス (ヒステリシス幅を超えるパルス) が発生した場合、シリアル I/O の誤動作の原因となることがあります。

● プログラムでの設定時

- シリアルモードレジスタ (SMR) およびシリアルデータレジスタ (SDR) への書込みはシリアル I/O が停止 (SMR:SST=0) 中に行ってください。
- シリアル I/O 転送を開始 / 許可 (SMR:SST=1) する場合は、SMR レジスタの他のビットを変更しないでください。
- シフトクロックを外部シフトクロック入力によって使用する場合、SO2 端子の出力レベルは、シリアル I/O 転送停止中 (SMR:SST=0) であってもシリアルデータ出力を許可 (SMR:SOE=1) していれば、外部シフトクロックが入力した時点で MSB ファーストの設定時には最上位ビットのレベルが出力され、LSB ファーストの設定時には最下位ビットのレベルが出力されます。
- シリアル I/O 転送停止 (SMR:SST=0) とシリアルデータ転送の終了が同時に発生した場合は、割込み要求フラグビット (SMR:SIOF) のセットは行いません。
- SIOF ビットが "1" で割込み要求出力許可 (SIOE=1) の状態では割込み処理から復帰できません。必ず、SIOF ビットをクリアしてください。

● シリアル I/O の転送速度

シリアル I/O のシリアルデータ出力端子 (SO2) は、Nch オープンドレイン出力のため、高速の転送には適しません。高速のシフトクロックで使用する場合には注意が必要です。

● シフトクロックのアイドル状態

8 ビットデータの転送と転送の間の待ち時間 (アイドル状態) では、外部シフトクロックを、"H" レベルにしてください。内部シフトクロック (CKS1, CKS0=11_B 以外) をシフトクロック出力 (SMR:SCKE=1) にした場合、アイドル状態では外部シフトクロックは "H" レベル出力になります。

シフトクロックのアイドル状態を図 18.9-1 に示します。



図 18.9-1 シフトクロックのアイドル状態

18.10 8 ビットシリアル I/O の接続例

MB89530/530H/530A シリーズの 8 ビットシリアル I/O を相互に接続し，双方向でシリアル入出力を行う場合の接続例を示します。

■ 双方向でシリアル入出力を行う場合

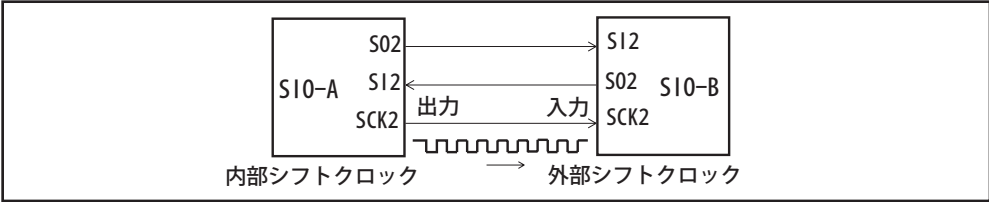


図 18.10-1 8 ビットシリアル I/O の接続例 (MB89530/530H/530A 同士のインタフェース)

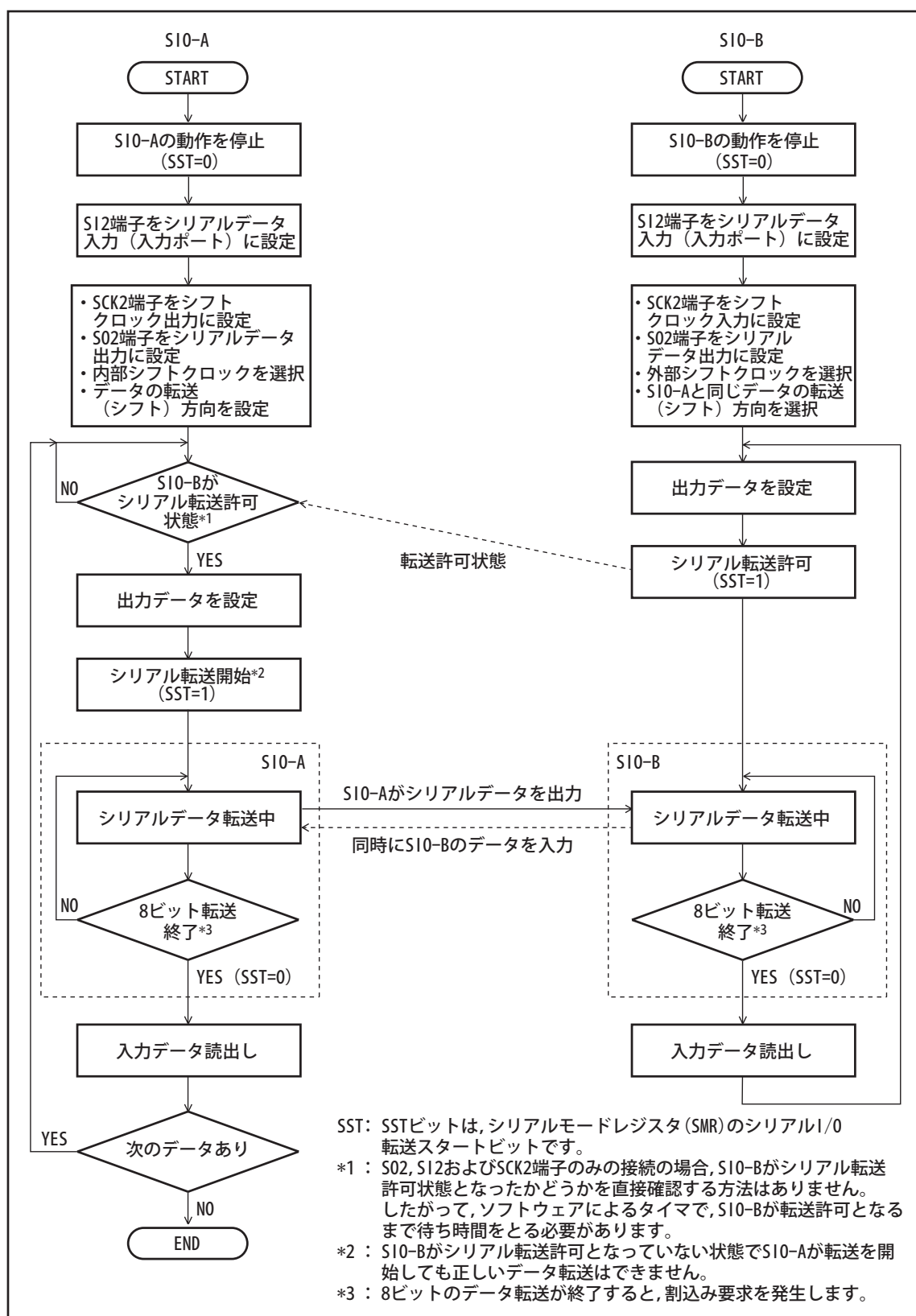


図 18.10-2 双方向シリアル入出力の動作

18.11 8 ビットシリアル I/O のプログラム例

8 ビットシリアル I/O のプログラム例を示します。

■ シリアル出力のプログラム例

● 処理仕様

- シリアル I/O の SO2 端子から 8 ビットのシリアルデータ (55_H) を出力し、転送が終了すると、割込みを発生します。
- 割込み処理ルーチンで転送データを再設定し、連続して出力します。
- 内部シフトクロックで動作し、SCK2 端子からシフトクロックを出力します。
- メインクロック原発振 (F_{CH}) 10MHz でメインクロック速度 (ギア) 最高速度時 (1 インストラクションサイクル = $4/F_{CH}$) に、シフトクロックを $32t_{inst}$ とした場合の転送速度と割込み発生周期を以下に示します。

$$\text{転送速度} = 10\text{MHz}/4/32 = 78.1\text{Kbps}$$

$$\text{割込み周期} = 8 \times 32 \times 4/10\text{MHz} = 102.4 \mu\text{s}$$

● コーディング例

```

SMR    EQU    0070H    ; シリアルモードレジスタのアドレス
SDR    EQU    0071H    ; シリアルデータレジスタのアドレス
SIOF    EQU    SMR:7    ; 割込み要求フラグビットの定義
SST    EQU    SMR:0    ; シリアル I/O 転送スタートビットの定義
ILR3    EQU    007DH    ; 割込みレベル設定レジスタのアドレス
INT_V    DSEG    ABS    ; 【DATA SEGMENT】
        ORG    0FFE8H
IRQ9    DW    WARI    ; 割込みベクトル設定
INT_V    ENDS
;----- メインプログラム -----
CSEG    ; 【CODE SEGMENT】
        ; スタックポインタ (SP) などは初期化済みとする
        :
        CLRI    ; 割込みディセーブル
        CLRB    SST    ; シリアル I/O 転送停止
        MOV     ILR3,#11110111B ; 割込みレベル設定 (レベル 1)
        MOV     SDR,#55H    ; 転送データ (55H) 設定
        MOV     SMR,#01111000B ; 割込み要求フラグクリア, 割込み要求出力
        ; 許可, シフトクロック出力許可 (SCK2), シリ
        ; アルデータ出力許可 (SO2), 32tinst 選択, LSB
        ; ファースト
        SETB    SST    ; シリアル I/O 転送開始
        SETI    ; 割込みイネーブル
        :
;----- 割込み処理ルーチン -----
WARI    CLRB    SIOF    ; 割込み要求フラグクリア
        PUSHW   A
        XCHW    A,T    ; A,T の退避
        PUSHW   A
        MOV     SDR,#55H    ; 転送データ (55H) 再設定
        SETB    SST    ; シリアル I/O 転送開始
        :
        ユーザ処理
        :
        POPW    A
        XCHW    A,T    ; A,T の復帰
        POPW    A
        RETI
        ENDS
;-----
        END

```

■ シリアル入力のプログラム例

● 処理仕様

- シリアル I/O の SI1 端子から 8 ビットのシリアルデータを入力し、転送が終了すると、割込みを発生します。
- 割込み処理ルーチンで転送データを読み出し、連続して入力します。
- 外部シフトクロックで動作し、SCK2 端子からシフトクロックを入力します。

● コーディング例

```

DDR4 EQU 0011H
SMR EQU 0070H ; シリアルモードレジスタのアドレス
SDR EQU 0071H ; シリアルデータレジスタのアドレス
SIOF EQU SMR:7 ; 割込み要求フラグビットの定義
SST EQU SMR:0 ; シリアル I/O 転送スタートビットの定義
ILR3 EQU 007DH ; 割込みレベル設定レジスタのアドレス
INT_V DSEG ABS ; 【DATA SEGMENT】
      ORG 0FFE8H
IRQ9 DW WARI ; 割込みベクトル設定
INT_V ENDS
;----- メインプログラム -----
      CSEG ; 【CODE SEGMENT】
      ; スタックポインタ (SP) などは初期化済みとする
      :
      MOV DDR4,#00000000B ; P41/INT21/SCK2 端子と P43/INT23/SI2/SCL 端子
      ; を入力に設定
      CLRI ; 割込みディセーブル
      CLRB SST ; シリアル I/O 転送停止
      MOV ILR3,#11110111B ; 割込みレベル設定 (レベル 1)
      MOV SMR,#01001100B ; 割込み要求フラグクリア, 割込み要求出力
      ; 許可, シフトクロック入力設定 (SCK2), シリ
      ; アルデータ出力禁止 (SO2), 外部クロック
      ; 選択, LSB ファースト
      SETB SST ; シリアル I/O 転送許可
      SETI ; 割込みイネーブル
      :
;----- 割込み処理ルーチン -----
WARI CLRB SIOF ; 割込み要求フラグクリア
      PUSHW A
      XCHW A,T
      PUSHW A
      MOV A,SDR ; 転送データの読出し
      SETB SST ; シリアル I/O 転送許可
      :
      ユーザ処理
      :
      POPW A
      XCHW A,T
      POPW A
      RETI
      ENDS
;-----
      END

```

第 19 章

I²C バスインタフェース

この章では、I²C バスインタフェースの機能と動作について説明します。

- 19.1 I²C バスインタフェースの概要
- 19.2 I²C バスインタフェースの構成
- 19.3 I²C バスインタフェースの端子
- 19.4 I²C バスインタフェースのレジスタ
- 19.5 I²C バスインタフェースの割込み
- 19.6 I²C バスインタフェースの動作説明
- 19.7 I²C バスインタフェース使用上の注意
- 19.8 I²C バスインタフェースのフローチャート例
- 19.9 I²C バスインタフェースのプログラム例

19.1 I²C バスインタフェースの概要

I²C バスインタフェースは、Philips 社 I²C バス仕様と Intel 社 SM バス仕様をサポートするインタフェースです。マスタ/スレーブの送信と受信、アービトレーションロスト検出、スレーブアドレス/ゼネラルコールアドレス検出、スタート/ストップコンディションの発生と検出、バスエラー検出をサポートします。

■ I²C バスインタフェース機能 (MB89PV530/P538/F538/F538L/537C/538C/537HC/538HC/537AC/538AC のみ対応)

I²C バスインタフェースは、シリアルデータライン (SDA) とシリアルクロックライン (SCL) の 2 本のワイヤからなる双方向バスです。

バスに接続されているすべての装置は、オープンドレインまたはオープンコレクタ出力である必要があり、プルアップ抵抗をそれぞれのバスラインに接続することで機能します。

バスに接続されている各装置はそれぞれ固有のアドレスを持ち、ソフトウェアによる各装置のアドレス指定ができます。また装置間には、マスタとスレーブという関係が常に成り立ちます。マスタはマスタ送信装置として機能します。

複数のマスタが同時にデータ転送を開始しようとした場合でも、データ破壊を防ぐために衝突検出機能および通信調整手順を備えたマルチマスタバスです。8 ビットの双方向シリアルデータ転送を、最高 100Kbps で行うことができます。バスのキャパシタンスが上限値 400pF を超えなければ、1 つのバスに複数の IC を接続することができます。

- マスタとスレーブ送信 / 受信
- アービトレーションロスト検出時にマスタからスレーブへの自動変換
- スレーブとゼネラルコールのアドレス比較
- データ転送方向の検出
- スタート / ストップコンディションの発生と検出
- 繰返しスタートコンディションの発生と検出
- バスエラー検出
- 32 種類のシフトクロック周波数をソフトウェアで選択可能
- アクノレッジビットのソフト選択可
- アクノレッジビットの発生と検出
- 各バイトデータ転送
- 最高 20ns までの入力スパイクの雑音取消し機能
- I²C バスインタフェースと SM バスインタフェースの入力バッファ選択可

19.2 I²C バスインタフェースの構成

I²C バスインタフェースは、以下のブロックから構成されています。

- クロック制御部 (クロックセクタ , クロック分周器 , シフトクロック発生回路)
 - スタートストップコンディション検出回路
 - スタートストップコンディション発生回路
 - アービトレーションロスト検出回路
 - スレーブアドレス比較回路
 - I²C バスステータスレジスタ (IBSR)
 - I²C バス制御レジスタ (IBCR)
 - I²C クロック制御レジスタ (ICCR)
 - I²C アドレス制御レジスタ (IACR)
 - I²C アドレスレジスタ (IADR)
 - I²C データレジスタ (IDAR)
-

■ I²C バスインタフェースのブロックダイアグラム

I²C バスインタフェースのブロックダイアグラムを図 19.2-1 に示します。

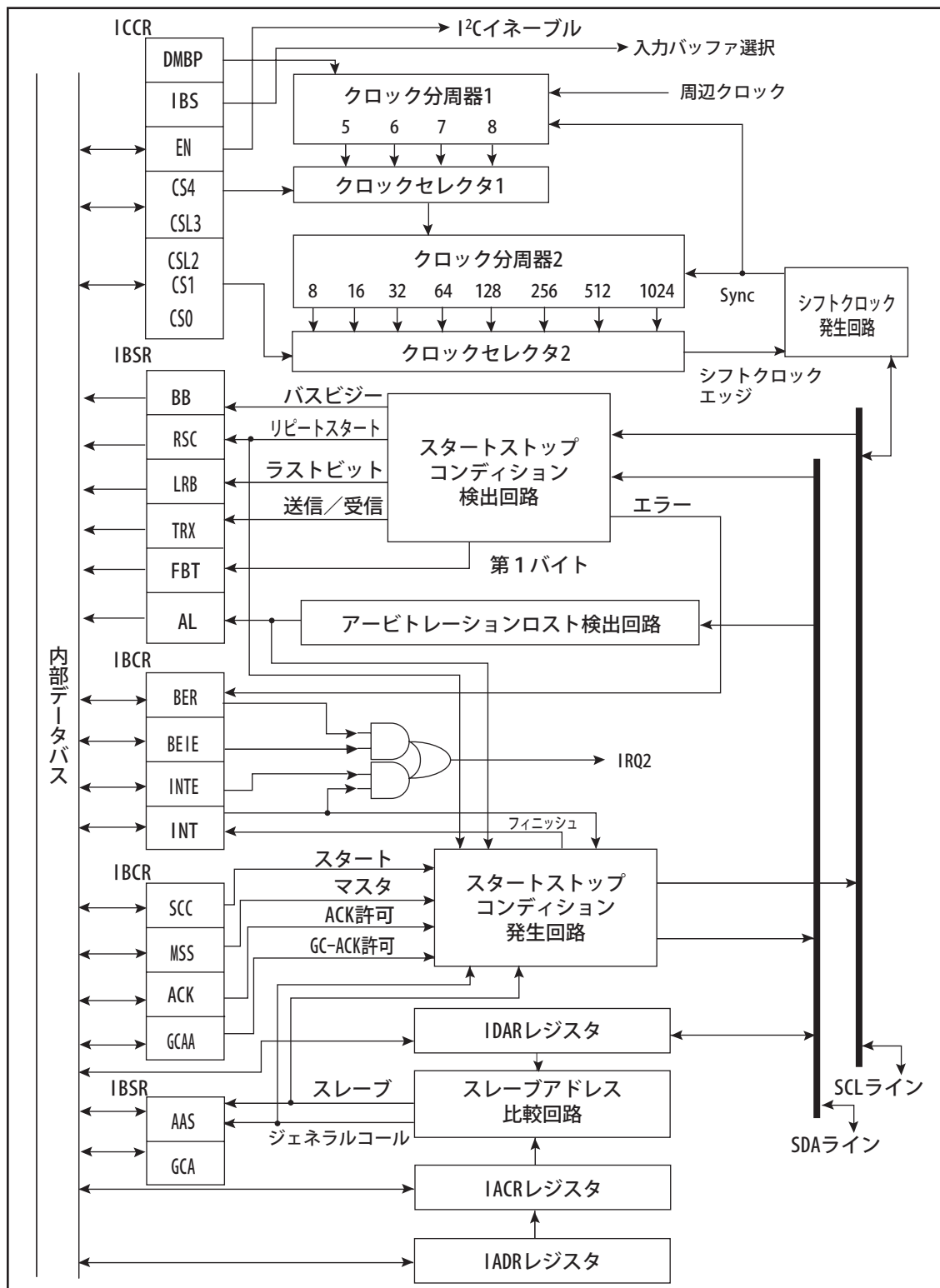


図 19.2-1 I²C バスインタフェースのブロックダイアグラム

- クロック制御部 (クロックセクタ , クロック分周器 , シフトクロック発生回路)

この回路は内部クロックから I²C バスのシフトクロックを選択し、クロックを発生します。

- スタートストップコンディション発生回路

バス解放時 (SCL と SDA が "H" レベルの時) スタートコンディションを送信することによってマスタは通信を開始します。SCL="H" のときに、SDA ラインを "H" "L" にするとスタートコンディションになります。マスタはストップコンディションを発生することによって通信終了します。ストップコンディションは SCL="H" のときに SDA ラインが "L" "H" になる時をいいます。

- スタートストップコンディション検出回路

この回路は、データ転送のスタートストップコンディションを検出します。

- アービトレーションロスト検出回路

このインタフェース回路はマルチマスタシステムに対応しています。複数のマスタが同時送信するとアービトレーションロストが発生します。SDA ラインが "L" レベルのときに論理レベル 1 を転送した場合、アービトレーションロストとみなし、IBSR:AL=1 にセットされマスタはスレーブに変わります。

- スレーブアドレス比較回路

スタートコンディション後、スレーブアドレスが送信されます。このアドレスはデータ方向ビット (R/W) である第 8 ビットを加えた 7 ビット長アドレスです。アドレスが一致したスレーブのみアクノレッジを返します。

- I²C バスステータスレジスタ (IBSR)

I²C バスインタフェースの状態を表します。読出しのみのレジスタです。

- I²C バス制御レジスタ (IBCR)

オペレーティングモードの選択、割込みの許可 / 禁止、アクノレッジの許可 / 禁止、およびゼネラルコールアクノレッジの許可 / 禁止時に使用されます。

- I²C クロック制御レジスタ (ICCR)

I²C バスインタフェースの動作許可とシフトクロック周波数の選択に使用されます。

- I²C アドレス制御レジスタ (IACR)

IACR レジスタの最初の 3 ビットが有効になります。これらのビットは、リード・ライト可能ですが、書込みは I²C が動作停止時のみ可能となります。これらのビットに "1" を設定すると、対応する IADR のビットは比較されなくなります。

- I²C アドレスレジスタ (IADR)

スレーブアドレスを指定するレジスタです。

- I²C データレジスタ (IDAR)

シリアル転送に使用されるデータレジスタであり、MSB から転送されます。データ受信時 (IBSR:TRX=0) のデータ出力値は "1" になります。

19.3 I²C バスインタフェースの端子

I²C バスインタフェースの端子および端子のブロックダイアグラムを示します。

■ I²C バスインタフェースに関連する端子

I²C バスインタフェースに関連する端子には、P42/INT22/SO2/SDA 端子および、P43/INT23/SI2/SCL 端子があります。

● P42/INT22/SO2/SDA 端子

P42/INT22/SO2/SDA 端子は、汎用入出力ポートとしての機能 (P42)、外部割込み入力 (ヒステリシス入力) としての機能 (INT22)、8 ビットシリアル I/O のシリアルデータ出力端子 (Nch オープンドレイン) としての機能 (SO2) および I²C のデータ I/O としての機能 (SDA) を兼用しています。

SCL: P43/INT23/SI2/SCL 端子は、I²C が許可 (ICCR:EN=1) された場合、自動的にシフトクロック入出力端子になり、SCL 端子として機能します。

● P43/INT23/SI2/SCL 端子

P43/INT23/SI2/SCL 端子は、Nch オープンドレイン入出力ポート (P43)、外部割込み入力 (ヒステリシス入力) としての機能 (INT23)、8 ビットシリアル I/O のシリアルデータ入力 (ヒステリシス入力) 機能 (SI2) または I²C のシリアルクロック I/O としての機能 (SCL) を兼用しています。

SDA: P42/INT22/SO2/SDA 端子は、I²C が許可 (ICCR:EN=1) された場合、自動的にデータ入出力端子になり、SDA 端子として機能します。

■ P42/INT22/SO2/SDA 端子と P43/INT23/SI2/SCL 端子のノイズキャンセラ

P42/INT22/SO2/SDA 端子と P43/INT23/SI2/SCL 端子上の外部信号は、内部インタフェース回路へ入る前にフィルタをかけられます。20ns 以下のすべてのスパイクは、フィルタで除かれます。このノイズキャンセラ機能は、ICCR:DMBPビットが有効(MB89PV530 のみ) の場合には、無効です。

■ I²C バスインタフェースに関連する端子のブロックダイアグラム

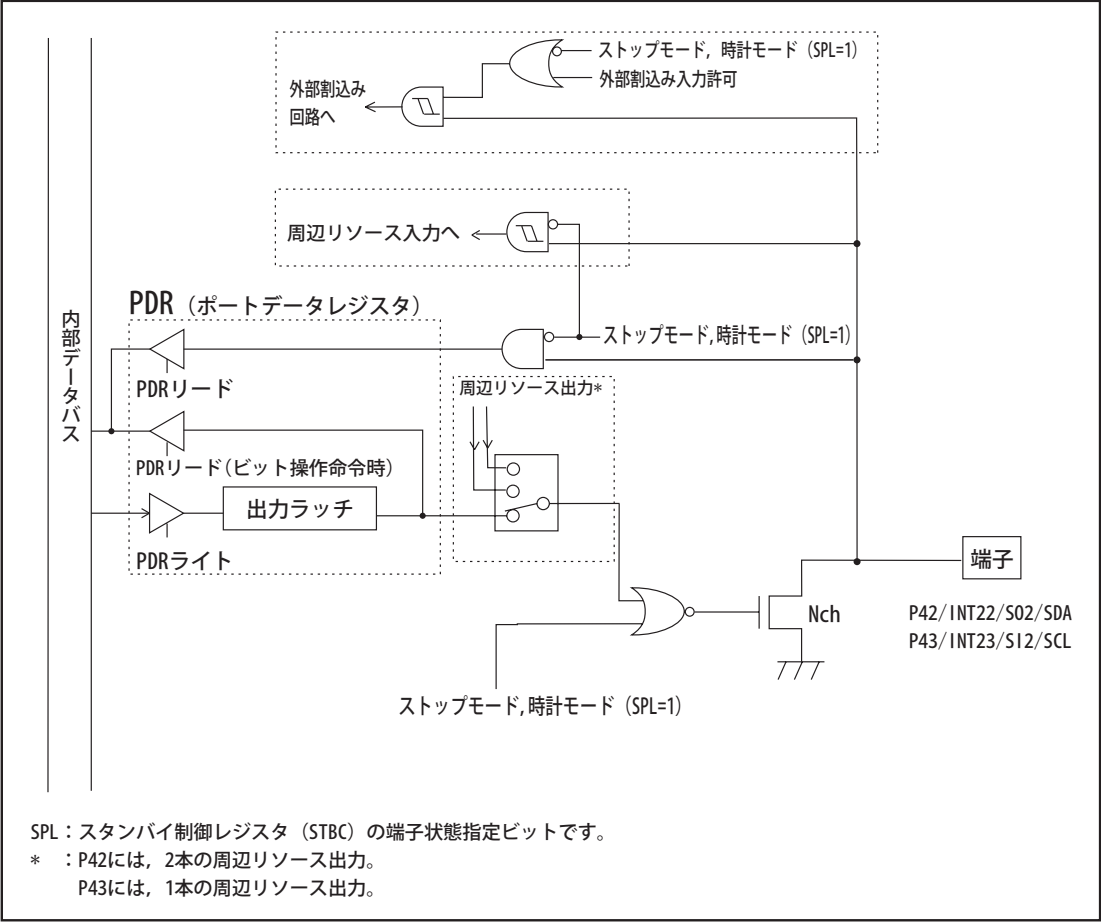


図 19.3-1 I²C バスインタフェースに関連する端子のブロックダイアグラム

19.4 I²C バスインタフェースのレジスタ

I²C バスインタフェースに関連するレジスタを示します。

■ I²C バスインタフェースに関連するレジスタ

IACR (I ² C アドレス制御レジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0050 _h	-	-	-	-	-	SAC2 R/W	SAC1 R/W	SAC0 R/W	----000 _b
IBSR (I ² C バスステータスレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0051 _h	BB R	RSC R	AL R	LRB R	TRX R	AAS R	GCA R	FBT R	00000000 _b
IBCR (I ² C バス制御レジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0052 _h	BER R/W	BEIE R/W	SCC R/W	MSS R/W	ACK R/W	GCAA R/W	INTE R/W	INT R/W	00000000 _b
ICCR (I ² C クロック制御レジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0053 _h	DMBP R/W	IBS R/W	EN R/W	CS4 R/W	CS3 R/W	CS2 R/W	CS1 R/W	CS0 R/W	000XXXX _b
IADR (I ² C アドレスレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0054 _h	-	A6 R/W	A5 R/W	A4 R/W	A3 R/W	A2 R/W	A1 R/W	A0 R/W	-XXXXXXX _b
IDAR (I ² C データレジスタ)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0055 _h	D7 R/W	D6 R/W	D5 R/W	D4 R/W	D3 R/W	D2 R/W	D1 R/W	D0 R/W	XXXXXXXX _b
R/W : リード・ライト可能 R : リードオンリ - : 未使用 X : 不定									

図 19.4-1 I²C バスインタフェースレジスタ

19.4.1 I²C アドレス制御レジスタ (IACR)

I²C アドレス制御レジスタ (IACR) はインタフェースの状態を表します。

■ I²C アドレス制御レジスタ (IACR)

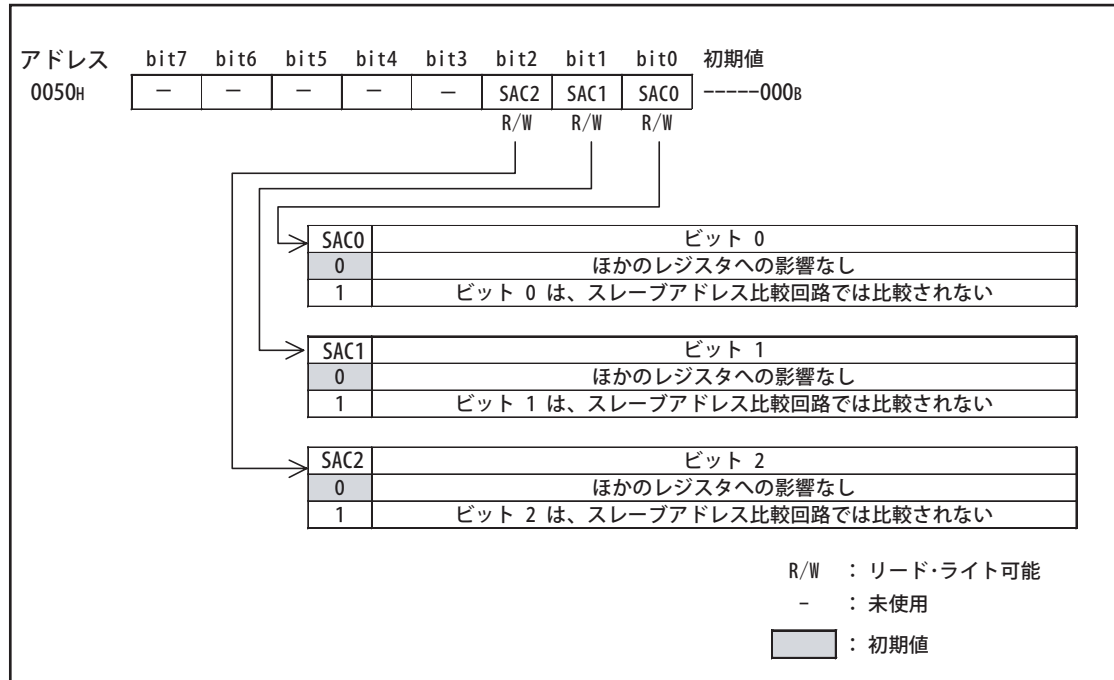


図 19.4-2 I²C アドレス制御レジスタ (IACR)

表 19.4-1 I²C アドレス制御レジスタ (IACR) の各ビットの機能説明

ビット名		機能
bit7 ~ bit3	未使用ビット	未使用ビットです。 ・ 読出しの値は不定です。 ・ 書込みは意味を持ちません。
bit2	SAC2	このビットに "1" を設定すると、スレーブアドレス比較回路は I ² C アドレスレジスタ (IADR) のビット 2 を無視します。IADR の他のビットとマスタチップから送られたアドレスコードが同じ場合、アドレスコードが一致しているとみなされます。 ・ "0" の書込みは意味を持ちません。
bit1	SAC1	このビットに "1" を設定すると、スレーブアドレス比較回路は I ² C アドレスレジスタ (IADR) のビット 1 を無視します。IADR の他のビットとマスタチップから送られたアドレスコードが同じ場合、アドレスコードと一致しているとみなされます。 ・ "0" の書込みは意味を持ちません。
bit0	SAC0	このビットに "1" を設定すると、スレーブアドレス比較回路は I ² C アドレスレジスタ (IADR) のビット 0 を無視します。IADR の他のビットとマスタチップから送られたアドレスコードが同じ場合、アドレスコードと一致しているとみなされます。 ・ "0" の書込みは意味を持ちません。

19.4.2 I²C バスステータスレジスタ (IBSR)

I²C バスステータスレジスタ (IBSR) はインタフェースの状態を表します。

■ I²C バスステータスレジスタ (IBSR)

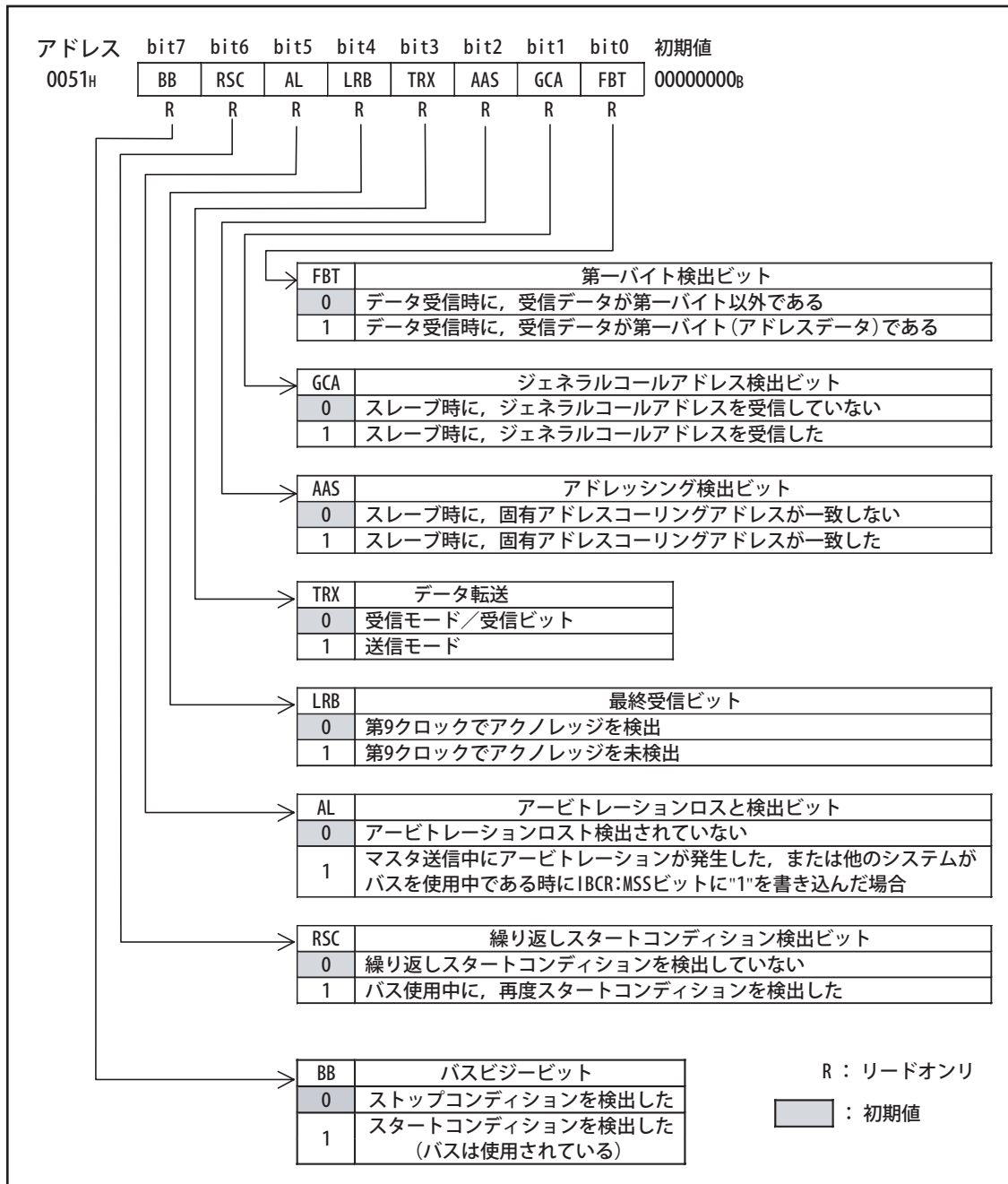


図 19.4-3 I²C バスステータスレジスタ (IBSR)

表 19.4-2 I²C バスステータスレジスタ (IBSR) の各ビットの機能説明

ビット名		機能
bit7	BB: バスビジー ビット	このビットはバスの状態を示します。 <ul style="list-style-type: none"> ストップコンディションを検出した時にクリアされ、スタートコンディションを検出した時に、セットされます。
bit6	RSC: 繰返しスタート コンディション 検出ビット	このビットは繰返しスタートコンディションを検出します。(RSC=1) <ul style="list-style-type: none"> 以下の状態でクリアされます。 <ol style="list-style-type: none"> 1) IBCR:INT ビットへの "0" の書込み 2) スレープ時にアドレッシングされない 3) バス停止中のスタートコンディション検出 4) ストップコンディション検出
bit5	AL: アービトレー ションロスト 検出ビット	このビットは、アービトレーションロストの検出を示します。 <ul style="list-style-type: none"> 以下の状態でセットされます。 <ol style="list-style-type: none"> 1) マスタ送信中にアービトレーションロストが発生した場合 2) 他のシステムがバスを使用中の時に IBCR:MSS ビットに "1" の書込みを行った場合 IBCR:INT ビットへの "0" の書込みでクリアされます。
bit4	LRB: アクノレッジ 格納ビット	このビットはデータバイト転送時、9 番目のクロックの SDA ライン値を格納します。 <ul style="list-style-type: none"> このビットはアクノレッジビットが検出された場合にクリアされます。(SDA=L) このビットはアクノレッジビットの検出がない場合にセットされます。(SDA=H) スタートコンディション、またはストップコンディション中に "0" を書き込むとクリアされます。
bit3	TRX: データ転送 状態ビット	このビットはデータ転送が受信モードまたは転送モードであることを示します。
bit2	AAS: アドレッシング 検出ビット	このビットはスレープモード時にセットされアドレッシングされたことを示します。 <ul style="list-style-type: none"> スタートコンディションまたはストップコンディション中に "0" を書き込むとクリアされます。
bit1	GCA: ジェネラル コールアドレス 検出ビット	このビットが "1" の場合スレープ時にゼネラルコールアドレス (00 _H) を受信したことを示します。 <ul style="list-style-type: none"> スタートコンディションまたはストップコンディション中に "0" を書き込むとクリアされます。
bit0	FBT: 第 1 バイト 検出ビット	このビットは第 1 バイト受信時のデータコーリングアドレスの検出時にセットされます。 <ul style="list-style-type: none"> スタートコンディション時常にセットされます。 スタートコンディションの検出で "1" にセットされますが、IBCR:INT ビットの "0" の書込み、またはスレープ時にアドレスされなかった場合にクリアされます。

19.4.3 I²C バス制御レジスタ (IBCR)

I²C バス制御レジスタ (IBCR) はオペレーティングモードの選択，割込み許可 / 禁止，アクノレッジの許可 / 禁止，またゼネラルコールアクノレッジの許可 / 禁止時に使用されます。

■ I²C バス制御レジスタ (IBCR)

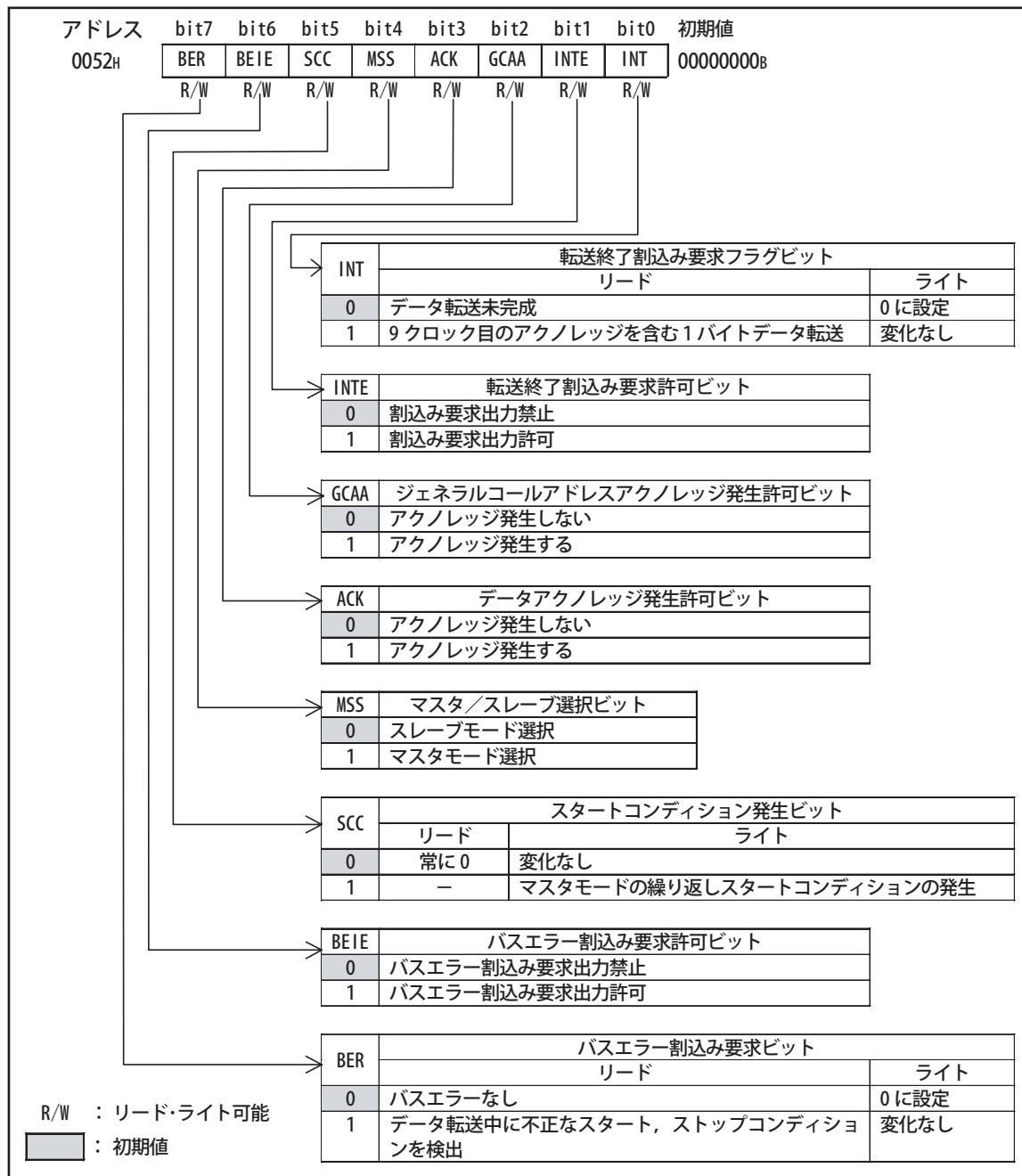


図 19.4-4 I²C バス制御レジスタ (IBCR)

表 19.4-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	BER: バスエラー割込み 要求フラグビット	<p>このビットはバスエラー割込みをクリアし、さらにバスエラーの検出も行います。</p> <ul style="list-style-type: none"> • "0" の書込みでクリアされます。 • "1" の書込みは意味を持ちません。 • データ転送中に、不正なスタート、ストップコンディション検出されます。 • このビットがセットされた時に ICCR レジスタの I²C バスインタフェース動作許可ビット (ICCR:EN) はクリアされ、I²C バスインタフェースは停止状態になり、データ転送は中断されます。
bit6	BEIE: バスエラー割込み 要求許可ビット	<p>このビットはバスエラー割込み要求の発生を許可 (BEIE=1) または禁止 (BEIE=0) します。</p> <ul style="list-style-type: none"> • このビットがセットされ BER=1 のとき、CPU へ割込み要求を発生します。
bit5	SCC: スタート コンディション 発生ビット	<p>このビットをセットしたときにマスタモードの繰返しスタートコンディションを発生します。(SCC=1)</p> <ul style="list-style-type: none"> • "0" の書込みは意味を持ちません。 • このビットの読出し値は常に "0" です。 <p>< 注記 ></p> <ul style="list-style-type: none"> • SCC="1" と MSS="0" を同時に書き込まないでください。 • INT="0", SCC="1" にされた場合、SCC ビットの "1" の書込みが優先され、スタートコンディションを発生します。
bit4	MSS: マスタ / スレーブ 選択ビット	<p>このビットはスレーブモード (MSS=0) またはマスタモード (MSS=1) を選択します。</p> <ul style="list-style-type: none"> • このビットを "0" にすると、ストップコンディションを発生し、転送終了後スレーブモードになります。 • このビットを "1" にすると、マスタモードになり、スタートコンディションを発生し、転送を開始します。 • マスタ転送中にアービトラージロストが発生した場合にクリアされ、スレーブモードになります。 <p>< 注記 ></p> <ul style="list-style-type: none"> • SCC="1" と MSS="0" を同時に書き込まないでください。 • INT="0", MSS="0" にされた場合、MSS ビットの "0" の書込みが優先され、ストップコンディションを発生します。
bit3	ACK: データアクノレッ ジ 発生許可ビット	<p>このビットは、データ受信時の 9 番目のクロックでアクノレッジビットの出力を許可または禁止にします。</p> <ul style="list-style-type: none"> • このビットはスレーブ時のアドレスデータ受信時には無効になります。さらに、アドレッシング一致検出時には、アクノレッジが送信されます。
bit2	GCAA: ジェネラルコール アドレスアクノ レッジ発生許可 ビット	<p>このビットはスレーブ受信時にジェネラルコールアドレスアクノレッジビットの出力を許可します。</p>
bit1	INTE: 転送終了割込み要 求許可ビット	<p>転送終了時の割込みの許可 (INTE=1)/ 禁止 (INTE=0) をするビットです。</p> <ul style="list-style-type: none"> • このビットがセットされ INT が "1" の場合、CPU に転送終了割込み要求を発生します。

表 19.4-3 I²C バス制御レジスタ (IBCR) の各ビットの機能説明 (2 / 2)

ビット名	機能
bit0 INT: 転送終了 割込み要求 フラグビット	<p>このビットによりデータ転送終了割込み要求フラグのクリアと、割込み要求の有無がわかります。</p> <ul style="list-style-type: none"> • "0" の書込みで転送終了割込み要求フラグがクリアされます。 • "1" の書込みは意味を持ちません。 • アクノレッジビットを含めた 1 バイト転送が終了したときに、次の条件に該当する場合にセットされます。 <ol style="list-style-type: none"> 1) バスマスタモードである 2) アドレスされたスレーブである 3) ゼネラルコールアドレスを受信した 4) アービトレーションロストが発生した 5) 他のシステムがバスを使用中にスタートコンディションを発生しようとした • このビットが "1" のとき、SCL ラインは L レベルに保持されます。このビットは "0" の書込みによってクリアされます。このとき、I²C バスインタフェースは SCL ラインを開放し、次バイトの転送を行います。 • マスタ時のスタートコンディションまたはストップコンディションの発生によっても "0" にクリアされます。 <p>< 注記 ></p> <ul style="list-style-type: none"> • INT=0, SCC=1 にされた場合、SCC ビットの "1" の書込みが優先され、スタートコンディションを発生します。 • INT=0, MSS=0 にされた場合、MSS ビットの "0" の書込みが優先され、ストップコンディションを発生します。

19.4.4 I²C クロック制御レジスタ (ICCR)

I²C クロック制御レジスタ (ICCR) は I²C 操作の許可 , シフトクロック周波数の選択時に使用されます。

■ I²C クロック制御レジスタ (ICCR)

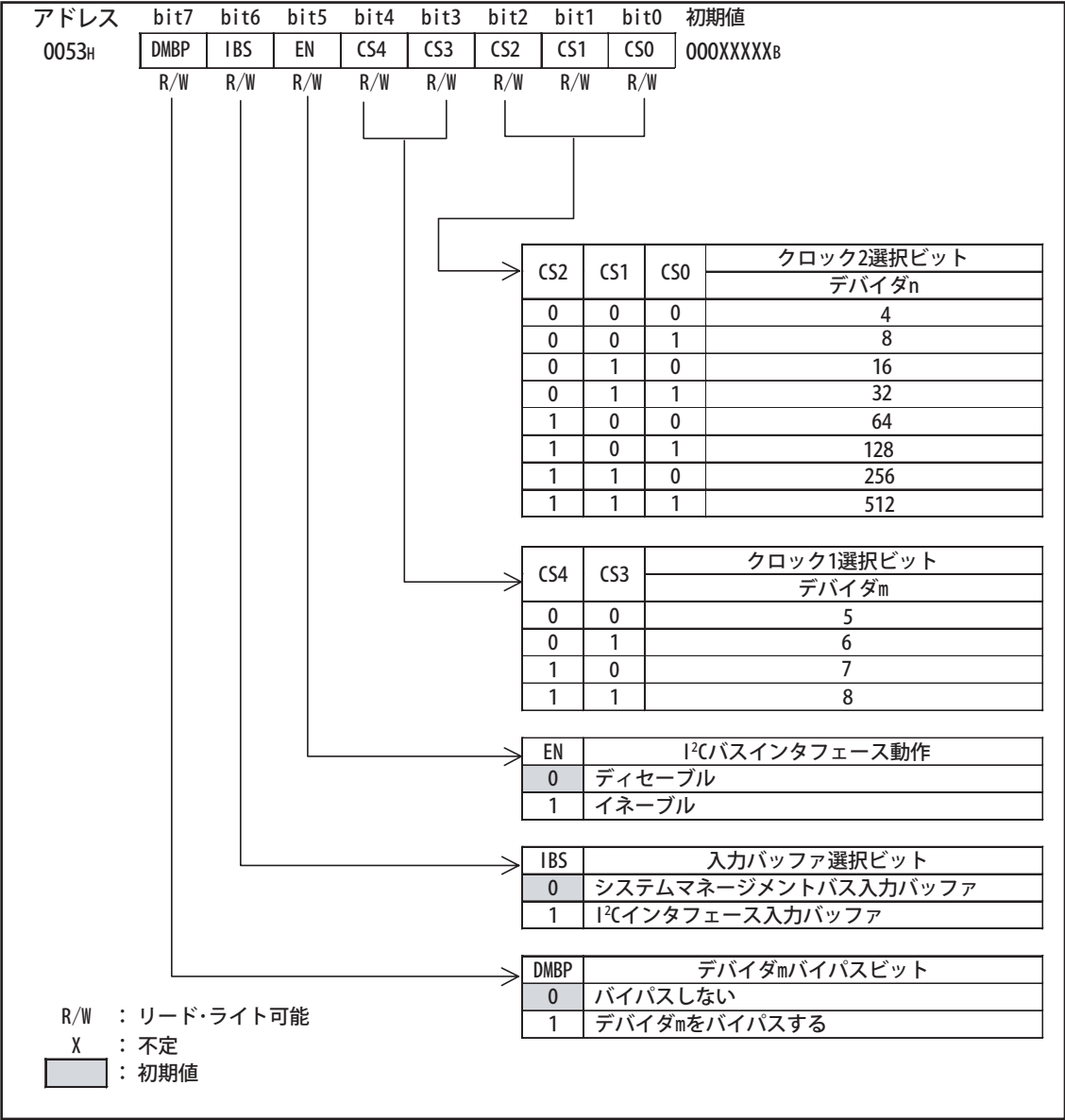


図 19.4-5 I²C クロック制御レジスタ (ICCR)

表 19.4-4 I²C クロック制御レジスタ (ICCR) の各ビットの機能説明

ビット名		機能
bit7	DMBP: デバイダ _m バイパスビット	このビットはシフトクロック周波数を発生させるためのデバイダ _m のバイパスに使用します。 <ul style="list-style-type: none"> • "0" の書込みの場合, CS3, CS4 で選択された値がデバイダ_mの値になります。 • "1" の書込みの場合, デバイダ_mをバイパスします。これは m=1 と同じです。 • 読出し時には, 現在の設定値が読出せます。 • "n=8" の場合, このビットはセットしないでください (CS2=CS1=CS0=0)。
bit6	IBS: 入力バッファ 選択ビット	このビットは入力バッファの特性を選択します。 <ul style="list-style-type: none"> • "0" の書込みでシステムマネージメントバス入力バッファが選択されます。 • "1" の書込みは I²C 入力バッファ使用になります。 • 読出し時には現在の設定値が読み出せます。
bit5	EN: I ² C バスインタ フェース動作 許可ビット	このビットは I ² C バスインタフェースの動作を許可するビットです (EN="1")。 <ul style="list-style-type: none"> • このビットが "0" のとき動作禁止となり, IBSR レジスタと IBCR レジスタ (BER, BEIE ビットを除く) の各ビットを "0" にクリアします。 • IBCR:BER ビットがセットされた場合, このビットは "0" にクリアされます。 • すべての I²C レジスタに書き込む場合, このビットが許可されている必要があります。
bit4 bit3	CS4, CS3: クロック 1 選択ビット	このビットはシフトクロックの周波数を設定します。 <ul style="list-style-type: none"> • シフトクロック周波数 F_{sck} は次式のように設定されます。: $F_{sck} = \frac{2F_{inst}}{m \times n + 4}$
bit2 bit1 bit0	CS2, CS1, CS0: クロック 2 選択ビット	

< 注意事項 >

本 I²C バスインタフェースは, 標準モード I²C バスです。したがって, シフトクロック周波数の設定は, 最大 100kHz までとなります。

19.4.5 I²C アドレスレジスタ (IADR)

I²C アドレスレジスタ (IADR) はスレーブアドレスの保存に使用されます。

■ I²C アドレスレジスタ (IADR)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0054 _H	—	A6	A5	A4	A3	A2	A1	A0	−XXXXXX _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード・ライト可能
X : 不定

図 19.4-6 I²C アドレスレジスタ (IADR)

スレーブ時のみに有効なスレーブアドレスを指定するレジスタです。アドレスは7ビットデータであり、マスタからは最下位ビットとして R/W ビットを追加して 8 ビットアドレスデータとして送出されます。

スレーブ時に、マスタからのアドレスデータの受信後、IDAR レジスタ値の下位 7 ビットとの比較が行われ、アドレッシングの判定に使用されます。

19.4.6 I²C データレジスタ (IDAR)

I²C データレジスタ (IDAR) は伝送されたシフトデータの保存に使用されます。

■ I²C データレジスタ (IDAR)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0055 _H	D7	D6	D5	D4	D3	D2	D1	D0	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード・ライト可能
 X : 不定

図 19.4-7 I²C データレジスタ (IDAR)

マスタモード時、レジスタに書かれたデータが最上位ビットから SDA ラインにビットごとにシフトされます。

このレジスタの書込み側はダブルバッファになっており、バスが使用中 (IBSR:BB=1) である場合、書込みデータは現在のバイト転送終了時に、この 8 ビットのシフトレジスタにロードされます。シフトレジスタのデータは各ビットごとに SDA ラインにシフトされます。このレジスタへの書込みは、現在のデータ転送には影響しません。スレーブモードの場合にも、アドレスの確定後、同じ機能を使えます。

データ受信時 (IBSR:TRX=0) で IBCR:INT=1 の場合、受信データをこのレジスタから読出せます。その他、このレジスタからの読出しは常に "FF_H" です。ただし、データ転送時 (IBSR:TRX=1) には IDAR アドレスから、シフトレジスタ値を読出せます。

19.5 I²C バスインタフェースの割込み

I²C バスインタフェースは、データの転送が終了した場合、もしくはバスエラーが発生した場合に、割込み要求を発生します。

■ バスエラー時の割込み

以下の条件が成立した場合に、バスエラーと判断され、I²C バスインタフェースは停止状態になります。

- データ転送中 (ACK ビットを含む) の I²C バス上の基本規定違反を検出
- マスタ時のストップコンディションを検出
- バスアイドル時の I²C バス上の基本規定違反を検出
- スタートコンディション発生時に SCL ラインが "L" レベルの場合
- バスマスタ中に再送スタートコンディションを検出 (IBSR:RSC=1) した場合

バスエラー時に、バスエラー割り込み要求許可ビットが許可 (IBCR:BEIE=1) されていると、割込みコントローラに割込み要求を発生します。割込み処理ルーチン内で IBCR:BER ビットに "0" を書き込むことによって割り込み要求をクリアしてください。IBCR:BEIE ビット値にかかわらずバスエラーが発生した場合は、IBCR:BER ビットが "1" にセットされます。

■ データ転送終了時の割込み

I²C バスインタフェースは、各ビットデータを SDA ラインから送受信します。各データバイトは、8 ビット固定です。SCL が "L" のとき、データは変化が可能で、"H" のときには、安定させる必要があります。1 クロックパルスにつき MSB を先頭に、1 ビットのデータが転送されます。各バイトデータは、9 番目のクロックの SDA ラインが "L" レベルになり、受信デバイスからアクノレッジを受信した後に転送される必要があります。そのため、1 つの完全なデータバイト転送は、9 つのクロックパルスが必要になります。

転送終了割込み要求許可ビットが許可 (IBCR:INTE=1) された場合、データ転送終了時、割込みコントローラ (IRQ2) に割込み要求を発生します。割込み処理ルーチン内で、IBCR:INT ビットに "0" を書き込んで割込み要求をクリアしてください。

IBCR:INTE ビット値にかかわらずデータ転送が終了した場合は、IBCR:INT ビットが "1" にセットされます。

■ I²C バスインタフェースの割込みに関連するレジスタとベクトルテーブル

I²C バスインタフェースの割込みに関連するレジスタとベクトルテーブルを表 19.5-1 に示します。

表 19.5-1 I²C バスインタフェースの割込みに関連するレジスタとベクトルテーブル

割込み名	割込みレベル設定レジスタ			ベクトルテーブルのアドレス	
	レジスタ	設定ビット		上位	下位
IRQ2	ILR1 (007B _H)	L21 (bit5)	L20 (bit4)	FFF6 _H	FFF7 _H

割込み動作については、「3.4.2 割込み動作時の処理」を参照してください。

19.6 I²C バスインタフェースの動作説明

I²C バスインタフェースは、SCL クロックに同期した 8 ビットデータのシリアルインタフェースです。

■ I²C バスシステム

I²C バスシステムはデータ転送に、シリアルデータライン (SDA) とシリアルクロックライン (SCL) を使用します。接続された全装置はオープンドレインまたはオープンコレクタ出力である必要があり、シリアルデータラインとシリアルクロックラインはプルアップ抵抗を接続して使用します。

バスに接続された各デバイスは、固有のアドレスを持ちソフトウェアで設定ができます。そこには常にマスタ/スレーブ関係が存在し、マスタはマスタトランスミッタもしくは、マスタレシーバとして機能します。複数のマスタが同時にデータ転送を開始しようとした場合でも、データ破壊を防ぐために衝突検出機能、また、アービトレーション機能を備えたマルチマスタバスです。

■ I²C バスプロトコル

データ転送に必要なフォーマットを図 19.6-1 に示します。

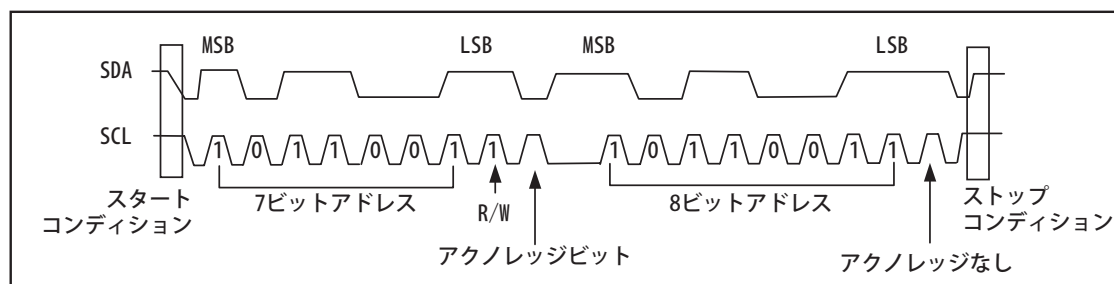


図 19.6-1 完全なデータ転送

スタートコンディション (S) 発生後、スレーブアドレスが送信されます。このアドレスは 7 ビット長のアドレスに 8 ビット目のデータ方向ビット (R/W) が含まれたアドレスです。データ転送は常にマスタからのストップコンディション (P) で終了されます。しかし、繰り返しスタートコンディション (Sr) を発生させることによってストップコンディションを発生せずに別のスレーブへアドレス送信することも可能です。

■ スタートコンディション

バスが開放されている状態 (SCL, SDA ラインが共に "H") において、マスタはスタートコンディションを発生することによって送信を開始します。図 19.6-1 に示すとおり、SCL="H" の時に、SDA ラインを "H" → "L" にするとスタートコンディションを発生し、通信の開始 (以後、バスビジー) をバス接続装置に知らせます。

スタートコンディションを発生させる条件として、次の 2 とおりがあります：

- バスが使用されていない状態 (IBCR:MSS=0, IBSR:BB=0, IBCR:INT=0, IBSR:AL=0) における IBCR:MSS ビットへの "1" の書込みです。その後、IBSR:BB が "1" にセットされバスビジーを示します。
- バスマスタ時の割り込み状態 (IBCR:MSS=1, IBSR:BB=1, IBCR:INT=1, IBSR:AL=0) における IBCR:SCC ビットへの "1" の書込みです。これを繰り返しスタートコンディションといいます。

上記の条件以外での IBCR:MSS ビット、IBCR:SCC ビットへの "1" の書込みは無視されます。他のシステムがバス使用中 (アイドル状態中) に、IBCR:MSS ビットに "1" を書き込むと、IBSR:AL ビットは "1" にセットされます。

■ アドレッシング

● マスタモードのアドレッシング

マスタモードでは、スタートコンディション発生後、IBSR:BB="1", IBSR:TRX="1" にセットされ、IDAR レジスタ (IDAR:D7 ~ D1) の内容を上位ビット MSB から出力します。このアドレスデータは 7 ビットのスレーブアドレスとデータの転送方向を示す R/W ビット (IDAR:D0) の 8 ビットで構成されています。

アドレスデータ送信後、スレーブからアクノレッジを受信 (9 番目のクロックの SDA ラインが "L" レベルになり、受信デバイスからアクノレッジビットを受信) すると、送信データのビット 0 (送信後の IDAR:D0) を反転して IBSR:TRX ビットへ格納します。

● スレーブモードのアドレッシング

スレーブモードでは、スタートコンディション検出後、IBSR:BB=1, IBSR:TRX=0 にセットされ、マスタからの送信データを IDAR レジスタで受信します。アドレスデータ受信後、IDAR レジスタと IADR レジスタを比較し、一致している場合、IBSR:AAS=1 にセットし、マスタに対してアクノレッジを送信します。その後、受信データビット 0 (受信後の IDAR:D0) を IBSR:TRX ビットへ格納します。

■ データ転送

スレーブのアドレッシングを達成した後、マスタが送った R/W ビットにて決定された方向でバイトごとに送受信できます。

SDA ラインに出力される各バイトは 8 ビット固定です。図 19.6-1 に示したとおり、データ (SDA ライン) は、SCL ラインが "L" レベルの時のみ変化させることができ、SCL ラインが "H" レベルの間は、状態を安定させる必要があります。MSB を先頭に 1 ビットごとに 1 クロックパルスでデータを転送します。各バイトは、アクノレッジビット (9 番目のクロックの SDA ラインが "L" レベルになり、受信デバイスからアクノレッジを受信) があります。そのため、1 つの完全なデータバイト転送には、9 つのクロックパルスが必要となります。

■ アクノレッジ (確認応答信号)

アクノレッジは、受信側から送信側データバイト転送の9番目のクロックに対して送信されます。

データ受信時には、IBCR:ACK ビットからのアクノレッジの有無を選択できます。データ送信時には、受信側からのアクノレッジが IBSR:LRB ビットに格納されます。

スレーブ送信時に、マスタ受信側からアクノレッジを受信しなかった場合、IBSR:TRX=0 となりスレーブ受信モードになります。これにより、マスタはスレーブが SCL ラインを開放したときに、ストップコンディション、または繰返しスタートコンディションを発生できます。

■ ストップコンディション

バスを解放するためにストップコンディションを発生させると、マスタは通信を終了できます。また、マスタはストップコンディションを発生させずに、連続してスタートコンディションを発生できます。これを繰返しスタートコンディションと呼びます。SCL が "H" レベルのときに、SDA ラインを "L" → "H" にするとストップコンディションになります。

バスマスタ時の割り込み状態 (IBCR:MSS=1, IBSR:BB=1, IBCR:INT=1, IBSR:AL=0) で、IBCR:MSS ビットに "0" を書き込むとストップコンディションが発生し、スレーブモードになります。

上記以外での、IBCR:MSS ビットへの "0" の書込みは無視されます。

■ アービトレーション (通信許可手段)

I²C バスインタフェース回路は、複数のマスタを接続できるマルチマスタバスです。マスタ転送で、システム内の他のマスタが同時にデータ転送をした場合、アービトレーションが発生します。

アービトレーションは、SCL ラインが "H" レベルのときに SDA ラインで発生します。自分の送信データが "1"、SDA ライン上のデータが "L" レベルの場合、アービトレーションロストが発生したと見なし、データ出力をオフにして、IBSR:AL="1" にセットします。IBSR:AL="1" にセットされると、IBCR:MSS="0"、IBSR:TRX="1" となり、スレーブ受信モードになります。

< 注意事項 >

バスを使用中に、スタートコンディションを発生させようとした場合も IBSR:AL="1" にセットされます。ただし、IBCR:MSS="1" になります。

19.7 I²C バスインタフェース使用上の注意

I²C バスインタフェースを使用するための注意点を示します。

■ I²C バスインタフェース使用上の注意

- I²C バスインタフェースレジスタを設定する場合
 - インタフェースのレジスタ書込み前に I²C バスインタフェースを許可してください (ICCR:EN)。
 - マスタスレーブ選択ビット (IBCR:MSS) をセットすると転送を開始します。
- シフトクロック周波数を設定する場合の注意
 - 表 19.4-4 の F_{sck} 式を使用して、シフトクロック周波数を計算するには m, n, ICCR:DMBP の値を決める必要があります。
 - m の値が 5 (ICCR:CS4=CS3=0) の時と n の値が 8 (ICCR:CS2=CS1=CS0=0) の時は ICCR:DMBP の値を選択できません。その他の組み合わせに問題はありません。
- 次バイト転送と、スタートコンディション発生または、ストップコンディション発生の競合時の優先度
 - 次バイト転送とストップコンディションの競合
IBCR:INT がクリアで、IBCR:MSS に "0" を書き込んだ場合、MSS ビットに優先権があるので、ストップコンディションが発生します。
 - 次バイト転送とスタートコンディションの競合
IBCR:INT がクリアで、IBCR:SCC に "1" を書き込んだ場合、SCC ビットに優先権があるので、スタートコンディションが発生します。
- ソフトウェアによる設定
 - 繰り返しスタートコンディション (IBCR:SCC=1) とスレーブモード (IBCR:MSS=0) を同時に選択しないでください。
 - 割込み要求フラグビット (IBCR:BER, INT) が "1_B" で、割込み要求許可ビット (IBCR:BEIE, INTE=1_B) を許可している場合には、割込み処理から復帰できません。IBCR:BER, INT ビットのクリアは必ず行ってください。
 - I²C が許可されなかった場合 (ICCR:EN=0)、バスステータスレジスタ IBSR とバス制御レジスタ IBCR のすべてのビット (バスエラービット (IBCR:BER) とバスエラー許可ビット (IBCR:BEIE) を除く) がクリアされます。
- 入力バッファの選択 (MB89538A を除く)

本 I²C インタフェースは I²C バスと SM バスに対応していますので、使用するバスインタフェースシステムに応じて適切な入力バッファの特性を選択してください。この入力バッファの特性は、ICCR レジスタの IBS ビットで選択でき、"0" のときは SM バスで、"1" のときは I²C バスになります。

19.9 I²C バスインタフェースのプログラム例

I²C バスインタフェースのプログラム例を示します。

■ マスタ転送モードのプログラム例

● 処理仕様

- 100Kbps の転送レート
- SM バスに対応した入力特性のバッファを使用
- マスタ転送モードでセット
- アドレス 19_H のスレーブに 64_H のデータ送信
- 原振 (F_{CH}) 10MHz を使用した時に、約 100Kbps の転送レート (F_{sck}) になる ICCR レジスタの m と n の値を以下に示します。

$$F_{sck} = \frac{2F_{inst}}{m \times n + 4} = \frac{2 (10\text{MHz}/2/2)}{6 \times 8 + 4} = 100\text{Kbps}$$

ただし、 $F_{inst} = 1/t_{inst} = 10\text{MHz}/2/2 = 2.5\text{MHz}$

(t_{inst} はインストラクションサイクルです。)

m は ICCR レジスタの CS4 と CS3 によって選択

n は ICCR レジスタの CS2, CS1 と CS0 によって選択

$m \times n = 5\text{MHz}/100\text{kHz} - 4 = 46$ (app.6 × 8)

ICCR レジスタ値 (ビット 4 ~ ビット 0) は 01000_B

ICCR:DMBP (ビット 7) は 0_B です。

● コーディング例

```
IBSR EQU 0051H ; I2C バスステータスレジスタのアドレス
IBCR EQU 0052H ; I2C バス制御レジスタのアドレス
ICCR EQU 0053H ; I2C クロック制御レジスタのアドレス
IADR EQU 0054H ; I2C アドレスレジスタ
IDAR EQU 0055H ; I2C データレジスタ

EN EQU ICCR:5 ; I2C バスインタフェース動作許可ビットの
; 定義
BER EQU IBCR:7 ; バスエラー割込み要求フラグビットの定義
INT EQU IBCR:0 ; 転送終了割込み要求フラグビットの定義

ILR1 EQU 007BH ; 割込みレベル設定レジスタのアドレス

INT_V DSEG ABS ; 【DATA SEGMENT】
ORG 0FFF6H
IRQ2 DW WARI ; 割込みベクトル設定
INT_V ENDS
;----- メインプログラム -----
CSEG ; 【CODE SEGMENT】
; スタックポインタ (SP) などは初期化済みとする
```

第 19 章 I²C バスインタフェース

```

:
CLRI                                ; 割込みディセーブル
SETB    EN                        ; I2C 操作イネーブル
MOV     ILR1,#11011111B           ; 割込みレベル設定 (レベル 1)
MOV     ICCR,#028H                ; I2C 操作イネーブル, シフトクロック周波数
                                           ; 100kHz 選択
SETI                                ; 割込みイネーブル
MOV     IADR,#10110010B           ; 固有アドレスを B2H に設定
MOV     IDAR,#00110010B           ; コーリングアドレスを 19H として送信, R/W は
                                           ; ライト
MOV     IBCR,#01011110B           ; 割込み要求フラグをイネーブル, マスタ
                                           ; モードとアクノレッジイネーブルとして設定
STA_CONMOV    A,#01110110B        ; スタートコンディション発生を待ち, 第 1 バ
                                           ; イト転送終了
OR      A,IBSR                    ;
CMP     A,#11111111B              ;
BNZ     STA_CON                    ;
MOV     IDAR,#01100100B           ; 64H データ転送
:
;----- 割込みプログラム -----
WARI    BBS     IBCR:7,BE_INT      ; バスエラー割込み要求フラグのチェック
        BBS     IBCR:0,DTC_INT    ; 転送終了割込み要求フラグ
BE_INT  CLRB     BER               ; バスエラー割込み要求フラグクリア
        PUSHW   A
        XCHW    A,T               ; A,T の保存
        PUSHW   A
:
        ユーザ処理
:
        JMP WARI_F
DTC_INTCLRB INT                  ; データ転送終了割込み要求フラグクリア
        PUSHW   A
        XCHW    A,T               ; A,T の保存
        PUSHW   A
:
WARI_F  POPW     A
        XCHW    A,T               ; A,T のリストア
        POPW    A
        RETI
        ENDS
;-----
END

```

第 20 章

ワイルドレジスタ機能

この章では、ワイルドレジスタの機能と動作について説明します。

- 20.1 ワイルドレジスタ機能の概要
- 20.2 ワイルドレジスタ機能の構成
- 20.3 ワイルドレジスタ機能のレジスタ
- 20.4 ワイルドレジスタ機能の動作説明
- 20.5 一般的なハードウェア接続

20.1 ワイルドレジスタ機能の概要

ワイルドレジスタには、6 バイトのデータ設定レジスタ、6 バイトの上位アドレス設定レジスタ、6 バイトの下位アドレス設定レジスタ、1 バイトのイネーブルレジスタ、1 バイトのデータテストレジスタがあります。このレジスタの主要機能は、ROM 空間内の ROM コードを置換する機能ですが、その他の多くの機能も持っています。以下にワイルドレジスタの機能を説明します。

■ ワイルドレジスタ機能

ワイルドレジスタに特定のアドレスとデータを割り当てると、ROM 空間内の任意のデータを変換データに置き換えることができます。6 本の異なるデータ設定レジスタに最大 6 バイトのデータを割り当てることができます。また、6 本の上位アドレス設定レジスタと 6 本の下位アドレス設定レジスタに、最大 6 つの異なるアドレスを割り当てることができます。

ワイルドレジスタの機能を使用すると、マスク後にプログラムのデバッグおよびプログラムの不良箇所にパッチをあてることができ、ROM 空間内の任意の ROM コードを置換できます。また、異なるアプリケーション設定での表検索としても使用できます。ワイルドレジスタの設定は、デバイスを介して異なる通信方法を使用して行います。

< 注意事項 >

ワイルドレジスタ機能は、ツールでのデバッグはできません。ワイルドレジスタの動作確認は、MB89P538 にて、実機上で行うようにしてください。

20.2 ワイルドレジスタ機能の構成

ワイルドレジスタは、以下のブロックで構成されます。

- ワイルドレジスタ データ設定レジスタ (WRDR1 ~ WRDR6)
- ワイルドレジスタ 上位アドレス設定レジスタ (WRARH1 ~ WRARH6)
- ワイルドレジスタ 下位アドレス設定レジスタ (WRARL1 ~ WRARL6)
- ワイルドレジスタ イネーブルレジスタ (WREN)
- ワイルドレジスタ データテストレジスタ (WROR)
- ワイルドレジスタ 比較回路と制御ロジック

■ ワイルドレジスタ機能のブロックダイアグラム

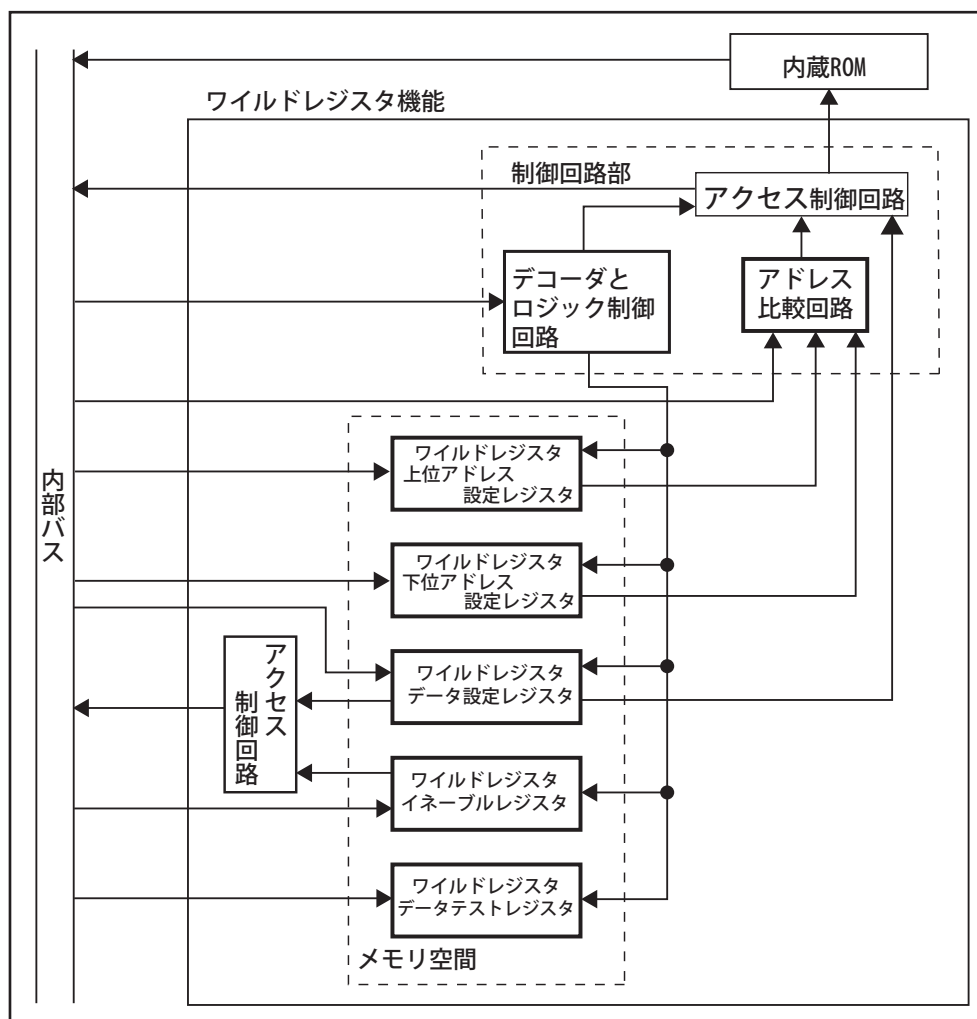


図 20.2-1 ワイルドレジスタ機能のブロックダイアグラム

20.3 ワイルドレジスタ機能のレジスタ

ワイルドレジスタ機能に関連するレジスタを示します。

■ ワイルドレジスタ機能に関連するレジスタ

ワイルドレジスタ データ設定レジスタ (WRDR1~WRDR6)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0C82 _H	RD07	RD06	RD05	RD04	RD03	RD02	RD01	RD00	XXXXXXXX _B
0C85 _H									
0C88 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0C8B _H									
0C8E _H									
0C91 _H									
ワイルドレジスタ 上位アドレス設定レジスタ (WRARH1~WRARH6)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0C80 _H	RA15	RA14	RA13	RA12	RA11	RA10	RA09	RA08	XXXXXXXX _B
0C83 _H									
0C86 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0C89 _H									
0C8C _H									
0C8F _H									
ワイルドレジスタ 下位アドレス設定レジスタ (WRARL1~WRARL6)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0C81 _H	RA07	RA06	RA05	RA04	RA03	RA02	RA01	RA00	XXXXXXXX _B
0C84 _H									
0C87 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0C8A _H									
0C8D _H									
0C90 _H									
ワイルドレジスタ イネーブルレジスタ (WREN)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0077 _H	—	—	EN05	EN04	EN03	EN02	EN01	EN00	--000000 _B
			R/W	R/W	R/W	R/W	R/W	R/W	
ワイルドレジスタ データテストレジスタ (WROR)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0078 _H	—	—	DRR5	DRR4	DRR3	DRR2	DRR1	DRR0	--000000 _B
			R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード・ライト可能 R : リードオンリ — : 未使用 X : 不定									

図 20.3-1 ワイルドレジスタに関連するレジスタ

20.3.1 ワイルドレジスタ データ設定レジスタ (WRDR1 ~ WRDR6)

ワイルドレジスタ データ設定レジスタ (WRDR1 ~ WRDR6) は , ワイルドレジスタ 機能により修正するデータを設定するレジスタです。

■ データ設定レジスタ (WRDR1 ~ WRDR6)

WRDR1									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C82H	RD07	RD06	RD05	RD04	RD03	RD02	RD01	RD00	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR2									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C85H	RD07	RD06	RD05	RD04	RD03	RD02	RD01	RD00	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR3									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C88H	RD07	RD06	RD05	RD04	RD03	RD02	RD01	RD00	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR4									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C8BH	RD07	RD06	RD05	RD04	RD03	RD02	RD01	RD00	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR5									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C8EH	RD07	RD06	RD05	RD04	RD03	RD02	RD01	RD00	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR6									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C91H	RD07	RD06	RD05	RD04	RD03	RD02	RD01	RD00	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W :リード・ライト可能									
X :不定									

図 20.3-2 ワイルドレジスタ データ設定レジスタ (WRDR1 ~ WRDR6)

WRDR1～WRDR6								
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	Bit 0	初期値
RD07	RD06	RD05	RD04	RD03	RD02	RD01	RD00	XXXXXXXX ₈
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット名	機能							
RD07 RD06 RD05 RD04 RD03 RD02 RD01 RD00	WRARL/WRARHで割り当てられたアドレスのデータを格納する1バイトのレジスタです。それぞれのワイルドレジスタ番号に対応したアドレス (WRARL/WRARH) にて、本データが有効になります。							
R/W	:リード・ライト可能							
X	:不定							

図 20.3-3 ワイルドレジスタに関連するデータ設定

データ設定レジスタには、6 バイトのレジスタ (WRDR1 ~ WRDR6) があり、それぞれのデータ設定レジスタはアドレス設定レジスタ (WRARH1 ~ WRARH6, WRARL1 ~ WRARL6) に対応しています。

20.3.2 ワイルドレジスタ上位アドレス設定レジスタ (WRARH1 ~ WRARH6)

ワイルドレジスタ上位アドレス設定レジスタ (WRARH1 ~ WRARH6) は、ワイルドレジスタ機能により修正するアドレスの上位を設定するレジスタです。

■ 上位アドレス設定レジスタ (WRARH0 ~ WRARH6)

WRARH1									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C80H	RA15	RA14	RA13	RA12	RA11	RA10	RA09	RA08	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARH2									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C83H	RA15	RA14	RA13	RA12	RA11	RA10	RA09	RA08	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARH3									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C86H	RA15	RA14	RA13	RA12	RA11	RA10	RA09	RA08	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARH4									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C89H	RA15	RA14	RA13	RA12	RA11	RA10	RA09	RA08	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARH5									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C8CH	RA15	RA14	RA13	RA12	RA11	RA10	RA09	RA08	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARH6									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C8FH	RA15	RA14	RA13	RA12	RA11	RA10	RA09	RA08	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード・ライト可能									
X : 不定									

図 20.3-4 ワイルドレジスタに関連する上位アドレス設定レジスタ (WRARH1 ~ WRARH6)

WRARH1～WRARH6

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
RA15	RA14	RA13	RA12	RA11	RA10	RA09	RA08	XXXXXXXX ₈
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット名	機 能
RA15 RA14 RA13 RA12 RA11 RA10 RA09 RA08	割り当てるメモリの上位アドレスを指定する1バイトのレジスタになります。 それぞれのワイルドレジスタ番号に対応してアドレスを指定します。

R/W :リード・ライト可能
X :不定

図 20.3-5 ワイルドレジスタに関連する上位アドレス設定

20.3.3 ワイルドレジスタ下位アドレス設定レジスタ (WRARL1 ~ WRARL6)

ワイルドレジスタ下位アドレス設定レジスタ (WRARL1 ~ WRARL6) は , ワイルドレジスタ機能により修正するアドレスの下位を設定するレジスタです。

■ 下位アドレス設定レジスタ (WRARL1 ~ WRARL6)

WRARL1									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C81H	RA07	RA06	RA05	RA04	RA03	RA02	RA01	RA00	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARL2									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C84H	RA07	RA06	RA05	RA04	RA03	RA02	RA01	RA00	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARL3									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C87H	RA07	RA06	RA05	RA04	RA03	RA02	RA01	RA00	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARL4									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C8AH	RA07	RA06	RA05	RA04	RA03	RA02	RA01	RA00	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARL5									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C8DH	RA07	RA06	RA05	RA04	RA03	RA02	RA01	RA00	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRARL6									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0C90H	RA07	RA06	RA05	RA04	RA03	RA02	RA01	RA00	XXXXXXXXb
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード・ライト可能									
X : 不定									

図 20.3-6 ワイルドレジスタに関連する下位アドレス設定レジスタ (WRARL1 ~ WRARL6)

WRARL1～WRARL6

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
RA07	RA06	RA05	RA04	RA03	RA02	RA01	RA00	XXXXXXXX ₈
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット名	機 能
RA07 RA06 RA05 RA04 RA03 RA02 RA01 RA00	割り当てるメモリの下位アドレスを指定する 1 バイトのレジスタになります。 それぞれのワイルドレジスタ番号に対応してアドレスを指定します。

R/W :リード・ライト可能

X :不定

図 20.3-7 ワイルドレジスタに関連する下位アドレス設定

20.3.4 ワイルドレジスタ イネーブルレジスタ (WREN)

ワイルドレジスタ イネーブルレジスタ (WREN) は、それぞれのワイルドレジスタ番号に対応して、ワイルドレジスタ機能の動作許可を行うレジスタです。

■ ワイルドレジスタ イネーブルレジスタ (WREN)

WREN(ワイルドレジスタ イネーブルレジスタ)									
アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	初期値
0077h	-	-	EN05	EN04	EN03	EN02	EN01	EN00	--000000b
			R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード・ライト可能									
- : 未使用									

図 20.3-8 イネーブルレジスタ (WREN)

表 20.3-1 ワイルドレジスタ イネーブルレジスタ (WREN) の各機能説明

ビット名		機能
bit7 bit6	未使用ビット	未使用ビットです。 読出しの値は不定です。 書込みは意味を持ちません。
bit5	EN05	このビットが "0" の時は、ワイルドレジスタ機能は動作しません。 このビットが "1" の時は、ワイルドレジスタ機能は許可され、WRARH6/WRARL6 に設定したアドレスと一致した場合に、ROM の代わりに WRDR6 の値を内部バスに出力します。
bit4	EN04	このビットが "0" の時は、ワイルドレジスタ機能は動作しません。 このビットが "1" の時は、ワイルドレジスタ機能は許可され、WRARH5/WRARL5 に設定したアドレスと一致した場合に、ROM の代わりに WRDR5 の値を内部バスに出力します。
bit3	EN03	このビットが "0" の時は、ワイルドレジスタ機能は動作しません。 このビットが "1" の時は、ワイルドレジスタ機能は許可され、WRARH4/WRARL4 に設定したアドレスと一致した場合に、ROM の代わりに WRDR4 の値を内部バスに出力します。
bit2	EN02	このビットが "0" の時は、ワイルドレジスタ機能は動作しません。 このビットが "1" の時は、ワイルドレジスタ機能は許可され、WRARH3/WRARL3 に設定したアドレスと一致した場合に、ROM の代わりに WRDR3 の値を内部バスに出力します。
bit1	EN01	このビットが "0" の時は、ワイルドレジスタ機能は動作しません。 このビットが "1" の時は、ワイルドレジスタ機能は許可され、WRARH2/WRARL2 に設定したアドレスと一致した場合に、ROM の代わりに WRDR2 の値を内部バスに出力します。
bit0	EN00	このビットが "0" の時は、ワイルドレジスタ機能は動作しません。 このビットが "1" の時は、ワイルドレジスタ機能は許可され、WRARH1/WRARL1 に設定したアドレスと一致した場合に、ROM の代わりに WRDR1 の値を内部バスに出力します。

20.3.5 ワイルドレジスタ データテストレジスタ (WROR)

ワイルドレジスタに関連するワイルドレジスタ データテストレジスタについて説明します。

■ ワイルドレジスタに関連するワイルドレジスタ データテストレジスタ (WROR)



図 20.3-9 ワイルドレジスタに関連するワイルドレジスタ データテストレジスタ (WROR)

20.4 ワイルドレジスタ機能の動作説明

ワイルドレジスタ機能の動作順序について説明します。

■ ワイルドレジスタの動作

通常のユーザプログラムの処理の前に、外部メモリ（例：EEPROM）とワイルドレジスタの間をアクセスする特別なプログラムを正しく設定しなければなりません。以下に、ワイルドレジスタの設定方法を示します。なお、外部メモリとデバイスの間の通信方法については、ここには示していません。

- ワイルドレジスタ上位アドレス設定レジスタ (WRARH1 ~ WRARH6) とワイルドレジスタ下位アドレス設定レジスタ (WRARL1 ~ WRARL6) の両方に、内蔵 ROM コードを変更するアドレスを書き込みます。
- 対応するワイルドレジスタデータ設定レジスタ (WRDR1 ~ WRDR6) 中に新しいコードを書き込みます。
- ワイルドレジスタタイネーブルレジスタ (WREN) 中に対応するイネーブルビットを書き込み、ワイルドレジスタ機能を有効にします。
- 通常の状態では、ワイルドレジスタデータ設定レジスタ (WRDR1 ~ WRDR6) への書き込みは、アドレスバス / データバスを介してのみ行うことができます。これらのレジスタの読み出しは、アドレスバス / データバスを介して直接行うことはできません。アドレスバス / データバスを介して直接これらのレジスタを読み出すには、ワイルドレジスタデータテストレジスタ (WROR) の対応するビットを正しく設定しなければなりません。ワイルドレジスタデータテストレジスタ (WROR) の主要機能は、テスト機能専用になっています。

ワイルドレジスタ機能におけるレジスタの設定方法の順序を表 20.4-1 に示します。

表 20.4-1 ワイルドレジスタ機能におけるレジスタの設定方法の順序

動作順序	動作	動作例
1	ユーザは、それぞれの通信方法を介して内蔵 ROM 空間内に置換するデータを設定します。	変更する内蔵 ROM コードを、アドレス "F011 _H " に、変更するデータを "A6 _H " ~ "B5 _H " に置きます。最大 6 つの内蔵 ROM コードを変更することができます。
2	最初の上位アドレス設定レジスタ (WRARH1 ~ WRARH6) に書き込みます。	WRARH1=F0 _H , WRARH2=..., WRARH6=... に設定します。
3	最初の下位アドレス設定レジスタ (WRARL1 ~ WRARL6) に書き込みます。	WRARL1=11 _H , WRARL2=..., WRARL6=... に設定します。
4	最初のデータ設定レジスタ (WRDR1 ~ WRDR6) に最初の新しい ROM コード（内蔵 ROM コードを置換するもの）を書き込みます。	WRDR1=B5 _H , WRDR2=..., WRDR6=... に設定します。
5	複数の内蔵 ROM コードを置換する場合、順序 1 ~ 3 を繰返します。最大 6 つのアドレスとデータを設定できますが、必要ない場合、次に進みます。	ステップ 2 ~ 4 を繰返します。
6	ワイルドレジスタタイネーブルレジスタ (WREN) の対応するビットを有効にします。	WREN のビット 0 に "1" を設定すると、WRDR1 レジスタが有効になります。このレジスタのデータは、適切なアドレスが設定されていればアクセスできます。複数の ROM コードを置換する場合は、他のアドレスとデータ設定レジスタを設定してください。

表 20.4-2 ワイルドレジスタに関連する動作レジスタ一覧

	動作	ライト	リード	RMW
WRARH1 ~ WRARH6	本レジスタに割り当てたアドレスへのリード / ライトが可能	通常	通常	通常
WRARL1 ~ WRARL6	本レジスタに割り当てたアドレスへのリード / ライトが可能	通常	通常	通常
WRDR1 ~ WRDR6	本レジスタに割り当てたアドレスへのライトが可能 (リードの制御は WROR による)	通常	WROR に依存	WROR に依存
WREN	本レジスタに割り当てたアドレスへのリード / ライトが可能	通常	通常	通常
WROR	本レジスタに割り当てたアドレスへのリード / ライトが可能	通常	通常	通常

ワイルドレジスタ機能として使用する場合，これらのレジスタに書き込みを行うとエラーになることがあります。このため，上記レジスタのデータを変更するときには，変更を行う前に，WRARH1 ~ WRARH6 の値をあらかじめ "00_H" に設定してください。

20.5 一般的なハードウェア接続

ワイルドレジスタ機能を使用するときのハードウェア間の一般的な接続について示します。

■ ハードウェア接続

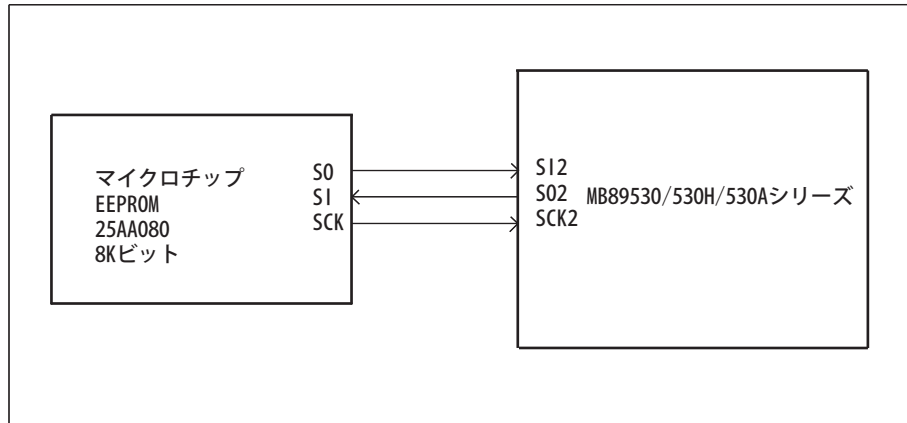


図 20.5-1 ハードウェア間の一般的な接続

外部 EEPROM との通信インタフェースとしてシリアル I/O を使用する場合、MB89530/530H/530A シリーズのシリアル I/O については、本シリーズの通信方法として SPI 互換法が選択されています。外部メモリデバイス選択時に、デバイスと正しく通信するに、SPI 互換デバイスを選択する必要があります。

第21章

クロック出力機能

この章では、クロック出力機能と動作について説明します。

- 21.1 クロック出力の概要
- 21.2 クロック出力の構成
- 21.3 クロック出力の端子
- 21.4 クロック出力機能のレジスタ
- 21.5 クロック出力の動作説明
- 21.6 クロック出力の使用上の注意
- 21.7 クロック出力のプログラム例

21.1 クロック出力の概要

クロック出力機能は、ポートからメインクロックの 2 分周の矩形波およびサブクロックの矩形波を出力します。

■ クロック出力機能

クロック出力機能は、メインクロックの 2 分周の矩形波を MCO 端子から、サブクロックと同じ周波数の矩形波を LMCO 端子から出力します。

21.2 クロック出力の構成

クロック出力は、以下のブロックから構成されます。

- メインクロック発振部
- サブクロック発振部
- クロック出力制御レジスタ (CKR)

■ クロック出力のブロックダイアグラム

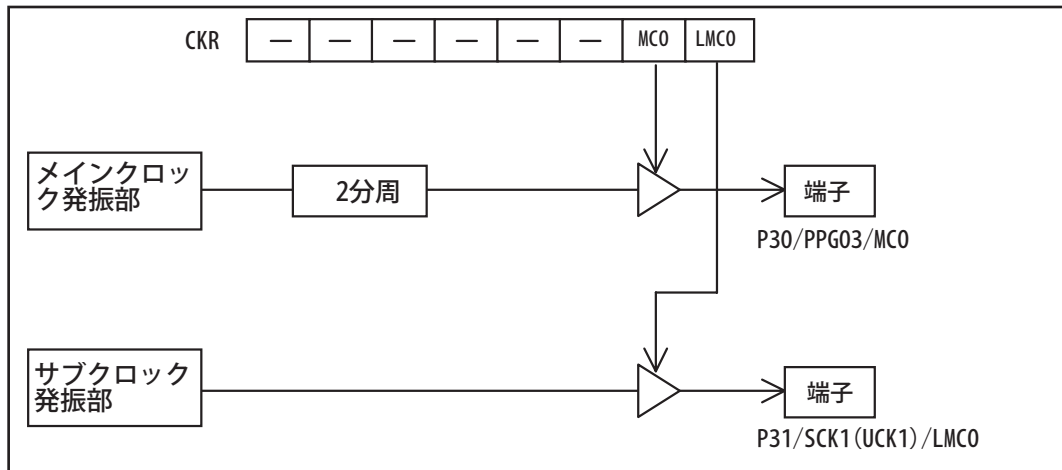


図 21.2-1 クロック出力のブロックダイアグラム

● メインクロック発振部

メインクロックモードでシステムのメインクロックを供給します。

● サブクロック発振部 (2 系統クロック品)

メインクロックモードまたはサブクロックモードでシステムのサブクロック (32.768kHz) を供給します。

● クロック出力制御レジスタ (CKR)

サブクロック矩形波およびメインクロックの 2 分周の矩形波の出力を許可するレジスタです。

21.3 クロック出力の端子

クロック出力に関連する端子および端子のブロックダイアグラムを示します。

■ クロック出力に関連する端子

クロック出力に関連する端子は、P30/PPG03/MCO 端子、P31/SCK1(UCK1)/LMCO 端子です。

● P30/PPG03/MCO 端子

P30/PPG03/MCO 端子は、汎用入出力ポートとしての機能 (P30)、6 ビット PPG 出力としての機能 (PPG03) または、クロック出力としての機能 (MCO) を兼用しています。

MCO: P30/PPG03/MCO 端子は、メインクロック出力が許可 (CKR:MCO=1) された場合、MCO 端子として機能します。

● P31/SCK1(UCK1)/LMCO 端子

P31/SCK1(UCK1)/LMCO 端子は、汎用入出力ポートとしての機能 (P31)、SIO/UART のクロック入出力としての機能 (SCK1(UCK1)) またはサブクロック出力としての機能 (LMCO) を兼用しています。

LMCO: P31/SCK1(UCK1)/LMCO 端子は、サブクロック出力が許可 (CKR:LMCO=1) された場合、LMCO 端子として機能します。

■ クロック出力に関連する P30/PPG03/MCO, P31/SCK1(UCK1)/LMCO 端子のブロックダイアグラム

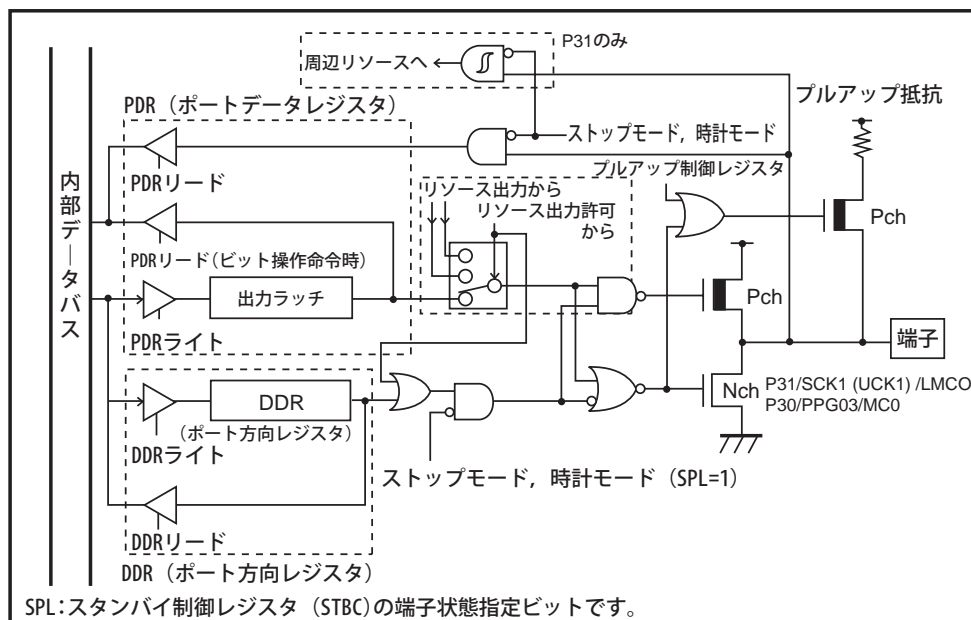


図 21.3-1 クロック出力に関連する P30/PPG03/MCO, P31/SCK1(UCK1)/LMCO 端子のブロックダイアグラム

プルアップオプション設定レジスタでプルアップ抵抗ありを選択した場合、ストップモードおよび時計モード (SPL=1) における端子の状態は、ハイインピーダンスではなく "H" レベル (プルアップ状態) になります。ただし、リセット中のプルアップは無効となり、ハイインピーダンスになります。

21.4 クロック出力機能のレジスタ

クロック出力機能に関連するレジスタを示します。

■ クロック出力機能に関連するレジスタ

クロック出力制御レジスタ (CKR)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
005A _H	—	—	—	—	—	—	MCO	LMCO	-----00 _B
							R/W	R/W	
R/W : リード・ライト可能									
— : 未使用									

図 21.4-1 クロック出力機能に関連するレジスタ

21.4.1 クロック出力制御レジスタ (CKR)

クロック出力制御レジスタ (CKR) は、クロック出力を許可するために使用するレジスタです。

■ クロック出力制御レジスタ (CKR)

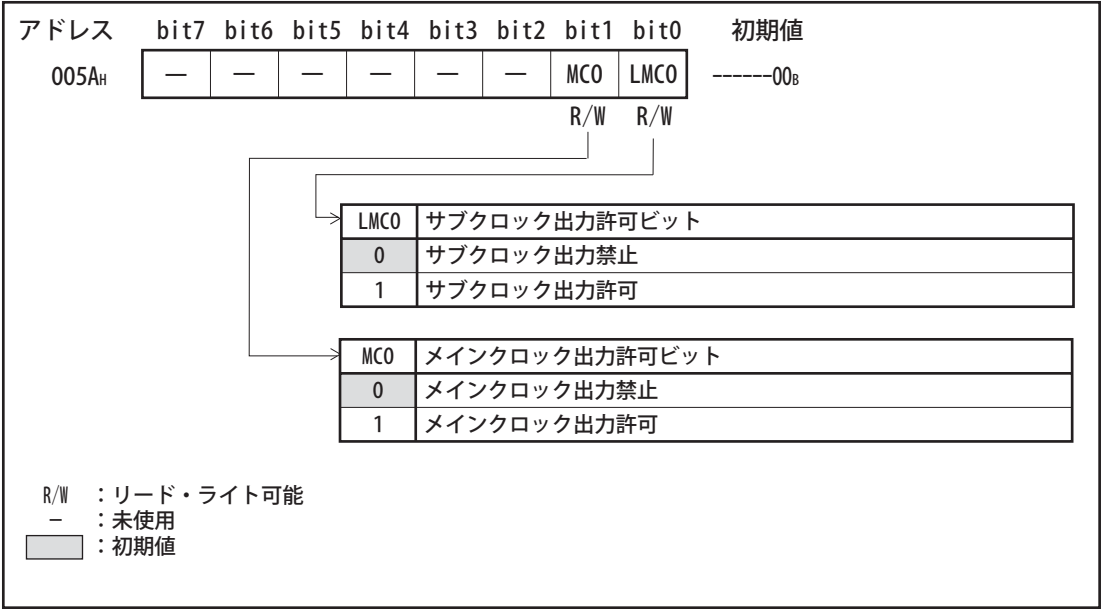


図 21.4-2 クロック出力制御レジスタ (CKR)

表 21.4-1 クロック出力制御レジスタ (CKR) の各ビットの機能説明

ビット名		機能
bit7 bit6 bit5 bit4 bit3 bit2	未使用ビット	未使用ビットです。 • 読出しの値は不定です。 • 書込みは意味を持ちません。
bit1	MCO: メインクロック 出力許可ビット	このビットは、メインクロックの 2 分周の矩形波の出力許可を行うビットです。 2 系統クロック品においては、メインクロックモードでのみ出力します。
bit0	LMCO: サブクロック 出力許可ビット	このビットは、サブクロックの矩形波の出力許可を行うビットです (2 系統クロック品)。 2 系統クロック品においては、メインクロックモードまたはサブクロックモードで出力します。

21.5 クロック出力の動作説明

クロック出力の動作について説明します。

■ クロック出力の動作説明

クロック出力を動作するために必要なレジスタの設定を図 21.5-1 に示します。

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CKR	-	-	-	-	-	-	MCO	LMCO
							◎	◎
							◎	◎

◎：使用ビット

図 21.5-1 クロック出力の設定

- クロック出力制御レジスタのビット 0 を "1" に設定すると、P31/SCK1(UCK1)/LMCO はサブクロック発振部と同じ周波数の矩形波を出力します (2 系統クロック品)。2 系統クロック品においては、メインクロックモードまたはサブクロックモードで出力します。
- クロック出力制御レジスタのビット 1 を "1" に設定すると、P30/PPG03/MCO はメインクロック発振部の 2 分周の矩形波を出力します。2 系統クロック品においては、メインクロックモードでのみ出力します。

21.6 クロック出力の使用上の注意

クロック出力を使用するための注意点を示します。

■ クロック出力の使用上の注意

P30/PPG03/MCO 端子では、PPG03 出力許可時には、クロック制御レジスタの対応するビットが有効になっていても、MCO としてクロック出力を行えません。MCO 出力を使用する場合は、PPG03 を無効にしてください。

P31/SCK1(UCK1)/LMCO 端子では、SCK1(UCK1) 入出力許可時には、クロック制御レジスタの対応するビットが有効になっていても、LMCO としてクロック出力を行えません。LMCO 出力を使用する場合は、SCK1(UCK1) を無効にしてください。

21.7 クロック出力のプログラム例

クロック出力のプログラム例を示します。

■ クロック出力のプログラム例

● 処理仕様

メインクロック発振部の 2 分周の矩形波を出力します。

● コーディング例

```

CKR    EQU    005AH                ; クロックコントロールレジスタ
;----- メインプログラム -----
CSEG                                ; 【CODE SEGMENT】
:
MOV     CKR,#00000010B             ; メインクロック出力許可
:
ENDS
;-----
END

```


第 22 章

フラッシュメモリ

この章ではフラッシュメモリの機能や動作について説明します。

フラッシュメモリへのデータ書込み / 消去の方法には、下記の 3 とおりの方法があります。

- ・ パラレルライター
- ・ シリアルライターによる書込み / 消去
- ・ プログラム実行による書込み / 消去

ここでは、「プログラム実行による書込み / 消去」について解説します。

なお、シリアル書込みライターは自作願います。

22.1 フラッシュメモリの概要

22.2 フラッシュメモリのセクタ構成

22.3 フラッシュメモリコントロールステータスレジスタ (FMCS)

22.4 フラッシュメモリ自動アルゴリズム起動方法

22.5 自動アルゴリズム実行状態の確認

22.6 フラッシュメモリの書込み / 消去

22.7 フラッシュメモリ使用上の注意

22.1 フラッシュメモリの概要

フラッシュメモリは CPU メモリマップ上の 4000_H ~ FFFF_H に配置され、フラッシュメモリインタフェース回路の機能により、マスク ROM と同様に CPU からのリードアクセスおよびプログラムアクセスが可能です。フラッシュメモリへの書込み/消去は、フラッシュメモリインタフェース回路を介して CPU からの命令動作で行えます。このため、内蔵 CPU の制御による実装状態での書き換えが可能となり、プログラムおよびデータの改善が効率よく行えます。

■ フラッシュメモリの特長

- 48K バイト × 8 ビット : (16K+8K+8K+16K) セクタ構成
- 自動アルゴリズム (Embedded Algorithm: MBM29LV200 と同様)
- 消去一時停止 / 消去再開機能の搭載
- データポーリング、トグルビットによる書込み / 消去の完了検出
- CPU 割込みによる書込み / 消去の完了検出
- JEDEC 標準型コマンドと互換
- セクタごとの消去が可能 (セクタの組合せ自由)
- 書込み / 消去回数 (最小) 10,000 回

Embedded Algorithm は Advanced Micro Device 社の商標です。

■ フラッシュメモリ書込み / 消去の方法

フラッシュメモリは書込みと読出しを同時に行うことはできません。フラッシュメモリにデータ書込み / 消去動作をさせる際には、フラッシュメモリ上にあるプログラムを RAM に一度コピーし、RAM 上で実行してください。これによって、フラッシュメモリの読出しをせずに書込み動作だけを行うことが可能となります。

■ フラッシュメモリコントロールステータスレジスタ (FMCS)

フラッシュメモリで使用するフラッシュメモリコントロールステータスレジスタ (FMCS) のビット構成を図 22.1-1 に示します。

ビットNo.	7	6	5	4	3	2	1	0
アドレス: 007A _H	INTE	RDYINT	WE	RDY	予約	予約	-	予約
読出し/書込み	(R/W)	(R/W)	(R/W)	(R)	(R/W)	(R/W)	(-)	(R/W)
初期値	(0)	(0)	(0)	(X)	(0)	(0)	(-)	(0)

図 22.1-1 フラッシュメモリコントロールステータスレジスタ (FMCS)

22.2 フラッシュメモリのセクタ構成

フラッシュメモリのセクタ構成を図 22.2-1 に示します。図中のアドレスには、各セクタの上位アドレスと下位アドレスを示します。

■ セクタ構成

CPU によるアクセス時と、フラッシュ書込みライタ使用時の各セクタの対応するアドレスを図 22.2-1 に示します。

フラッシュメモリ	CPU アドレス	ライタアドレス *
16K バイト	FFFF _H ~ C000 _H	1FFFF _H ~ 1C000 _H
8K バイト	BFFF _H ~ A000 _H	1BFFF _H ~ 1A000 _H
8K バイト	9FFF _H ~ 8000 _H	19FFF _H ~ 18000 _H
16K バイト	7FFF _H ~ 4000 _H	17FFF _H ~ 14000 _H

図 22.2-1 フラッシュメモリのセクタ構成

*: ライタアドレスとは、フラッシュメモリにパラレルライタでデータを書き込む際、CPU アドレスに相当するアドレスです。汎用ライタを使用して書込み / 消去を行う際には、このアドレスで書込み / 消去を実行します。

22.3 フラッシュメモリコントロールステータスレジスタ (FMCS)

コントロールステータスレジスタ (FMCS) は、フラッシュメモリインタフェース回路にあるレジスタで、フラッシュメモリの書込み / 消去の際に使用します。

■ フラッシュメモリコントロールステータスレジスタ (FMCS)

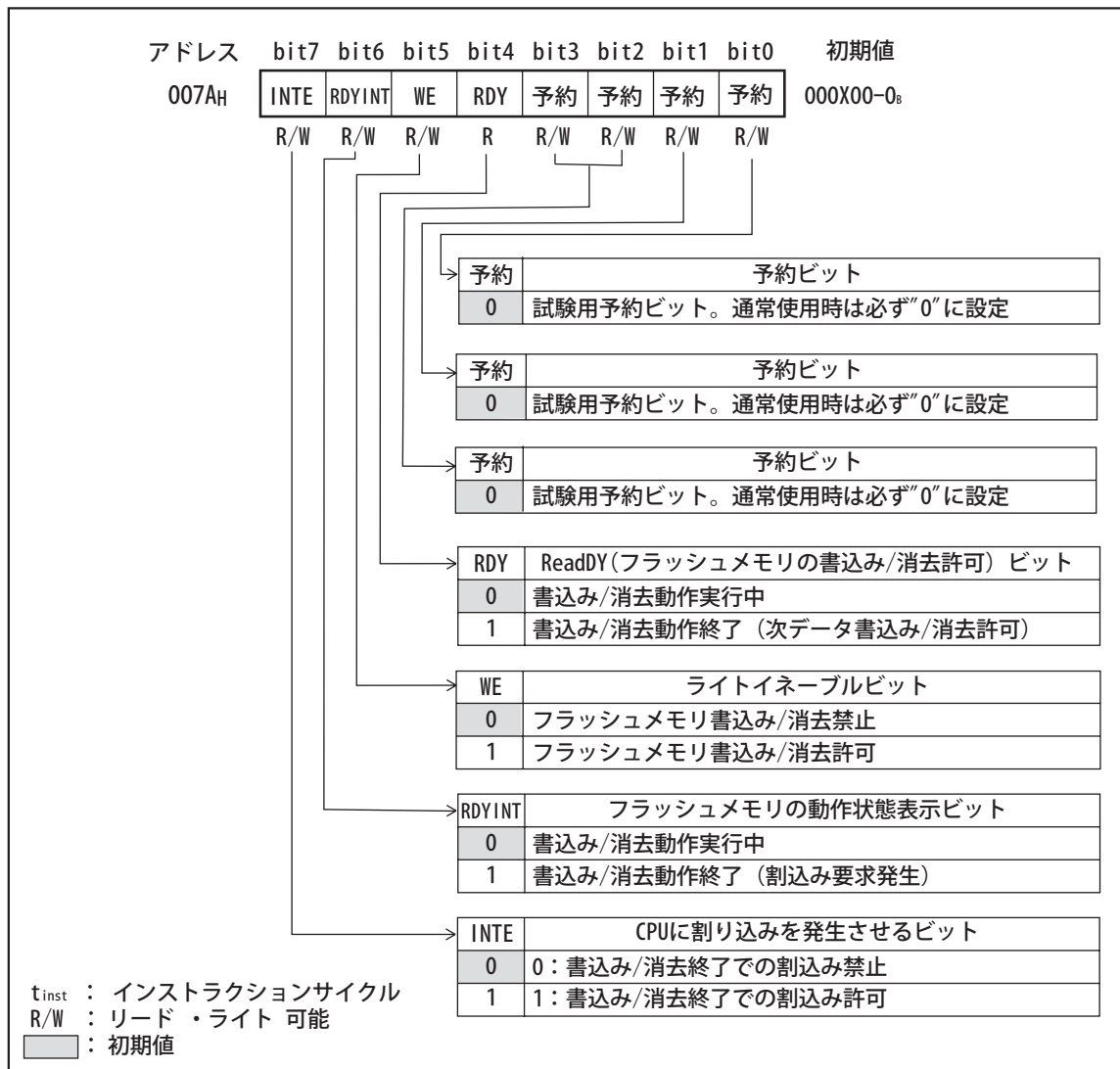


図 22.3-1 フラッシュメモリコントロールステータスレジスタ (FMCS)

表 22.3-1 コントロールステータスレジスタ (FMCS) の各ビットの機能説明

ビット名		機能
bit7	INTE: INTERRUPT Enable	このビットは、フラッシュメモリの書込み / 消去の終了による割込み要求発生を許可または禁止します。 INTE ビットが "1" で、かつ RDYINT ビットが "1" のときに CPU へ割込みが発生します。INTE ビットが "0" であれば、割込みは発生しません。
bit6	RDYINT: READY INTERRUPT	このビットは、フラッシュメモリの動作状態を表します。 フラッシュメモリの書込み / 消去が終了後、"1" となります。フラッシュメモリ書込み / 消去後、このビットが "0" の間は、フラッシュメモリへの書込み / 消去はできません。書込み / 消去が終了して "1" になった後は、フラッシュメモリへの書込み / 消去が可能になります。 "0" の書込みによって "0" にクリアされます。"1" の書込みは無視されます。フラッシュメモリ自動アルゴリズム (「22.4 フラッシュメモリ自動アルゴリズム起動方法」参照) 終了タイミングで、"1" にセットされます。リードモディファイライト (RMW) 命令使用時は、必ず "1" が読み出されます。
bit5	WE: WRITE ENABLE	フラッシュメモリ領域へのライトイネーブルビットです。 このビットが "1" の時、1000 _H ~ FFFF _H へのコマンドシーケンス (「22.4 フラッシュメモリ自動アルゴリズム起動方法」参照) 発行後のライトは、フラッシュメモリ領域への書込みになります。このビットが "0" の時、書込み / 消去の信号は発生されません。このビットはフラッシュメモリの書込み / 消去のコマンドを起動する際に使用します。書込み / 消去を行わないときは、誤ってフラッシュメモリにデータを書き込まないように、常に "0" に設定してください。
bit4	RDY: READY	フラッシュメモリの書込み / 消去許可ビットです。 このビットが "0" の間は、フラッシュメモリへの書込み / 消去はできません。なお、この状態でも読出し / リセットコマンド、セクタ消去一時停止等のサスペンドコマンドは受け付けられます。
bit3 bit2	予約ビット	予約ビットです。 通常使用時は必ず "0" に設定してください。
bit1	予約ビット	予約ビットです。 通常使用時は必ず "0" に設定してください。
bit0	予約ビット	予約ビットです。 通常使用時は必ず "0" に設定してください。

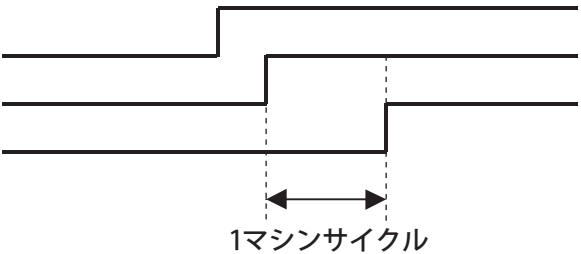
< 注意事項 >

RDYINT ビットと RDY ビットは同時には変化しません。どちらか片方のビットで自動アルゴリズムの終了を判定するようにプログラムを作成してください。

自動アルゴリズム
終了タイミング

RDYINTビット

RDYビット



22.4 フラッシュメモリ自動アルゴリズム起動方法

フラッシュメモリの自動アルゴリズムを起動するコマンドには、読出し / リセット、書込み、チップ消去およびセクタ消去の 4 種類があります。セクタ消去については一時停止と再開の制御が可能です。

■ コマンドシーケンス表

フラッシュメモリの書込み / 消去時に使用するコマンドの一覧を表 22.4-1 に示します。

表 22.4-1 コマンドシーケンス表

コマンド シーケンス	バス ライト サイクル	1st バス ライトサイクル		2nd バス ライトサイクル		3rd バス ライトサイクル		4th バス リード / ライトサイクル		5th バス ライトサイクル		6th バス ライトサイクル	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読出し / リセット *	1	XXXX	F0	-	-	-	-	-	-	-	-	-	-
読出し / リセット *	3	AAAA	AA	5554	55	AAAA	F0	RA	RD	-	-	-	-
書込み プログラム	3	AAAA	AA	5554	55	AAAA	A0	PA	PD	-	-	-	-
チップ消去	6	AAAA	AA	5554	55	AAAA	80	AAAA	AA	5554	55	AAAA	10
セクタ消去	6	AAAA	AA	5554	55	AAAA	80	AAAA	AA	5554	55	SA	30
セクタ消去一時停止	アドレス "XXXXXX", データ (B0 _H) の入力で、セクタ消去中の消去一時停止												
セクタ消去再開	アドレス "XXXXXX", データ (30 _H) の入力で、セクタ消去一時停止後、消去再開												

注：表中のアドレスは、CPU メモリマップ上の値です。アドレスおよびデータはすべて 16 進数表記しています。ただし "X" は任意の値です。

RA: 読出しアドレス

PA: 書込みアドレス

SA: セクタアドレス、「22.2 フラッシュメモリのセクタ構成」を参照願います。

RD: 読出しデータ

PD: 書込みデータ

*: 2 種類の読出し / リセットコマンドは、どちらもフラッシュメモリを読出しモードにリセットできます。

22.5 自動アルゴリズム実行状態の確認

フラッシュメモリでは、書込み / 消去のフローを自動アルゴリズムで行うため、フラッシュメモリ内部の動作状態や動作完了したことを知らせるハードウェアシーケンスフラグを持っています。

■ ハードウェアシーケンスフラグ

ハードウェアシーケンスフラグは、データボーリングフラグ (DQ7)、トグルビットフラグ (DQ6)、タイミングリミット超過フラグ (DQ5)、セクタ消去タイムフラグ (DQ3)、トグルビット 2 フラグ (DQ2) の 5 ビットの出力で構成されます。各ビットの状態により、書込み / チップセクタ消去終了、消去コード書込みの有効性を確認します。

ハードウェアシーケンスフラグのビット割当てを表 22.5-1 に示します。

表 22.5-1 ハードウェアシーケンスフラグのビット割当て

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ハードウェアシーケンスフラグ	DQ7	DQ6	DQ5	-	DQ3	DQ2	-	-

コマンドシーケンス (表 22.4-1 を参照) 設定後にフラッシュメモリ内部の対象セクタのアドレスをリードアクセスすることにより、ハードウェアシーケンスフラグを参照できます。

自動アルゴリズム実行状態は、以下の方法で確認できます。

- ハードウェアシーケンスフラグの参照による確認
- フラッシュメモリコントロールレジスタ (FMCS) の RDY ビット参照による確認

実際にプログラムを作成する際には、これらの確認方法で自動アルゴリズム実行の完了を確認後に、次の命令を実行するようにしてください。次項より各ハードウェアシーケンスフラグについて説明します。

ハードウェアシーケンスフラグ機能の一覧を表 22.5-2 に示します。

表 22.5-2 ハードウェアシーケンスフラグ機能一覧

状態		DQ7	DQ6	DQ5	DQ3	DQ2
実行中	自動書込み動作	$\overline{\text{DQ7}}$	Toggle	0	0	1
	自動消去時の書込み / 消去動作	0	Toggle	0	1	Toggle
	消去 読出し (消去中のセクタ)	1	1	0	0	Toggle
	一時 読出し (消去していないセクタ)	DATA	DATA	DATA	DATA	DATA
	停止 書込み (消去していないセクタ)	$\overline{\text{DQ7}}$	Toggle	0	0	1 ^{*1}
タイム リミット超過	自動書込み動作	$\overline{\text{DQ7}}$	Toggle	1	0	1
	自動消去時の書込み / 消去動作	0	Toggle	1	1	^{*2}

*1: 消去一時停止書込み中、その書込みされているアドレスの読出しに対し、DQ2 は論理 "1" を出力します。しかし、消去一時停止しているセクタからの連続的な読出しに対し DQ2 はトグル動作をします。

*2: DQ5 が "1" のとき (タイムリミット超過)、書込み / 消去中セクタへの連続的な読出しに対して DQ2 はトグル動作をし、他のセクタへの読出しに対してはトグルしません。

22.5.1 データポーリングフラグ (DQ7)

データポーリングフラグ (DQ7) は、自動アルゴリズム実行が進行中もしくは終了状態であることをデータポーリング機能によって知らせるためのフラグです。

■ 自動書込み動作時

自動書込みアルゴリズム実行中にリードアクセスすると、フラッシュメモリはアドレスの示す番地に関係なく、最後に書き込まれたデータ（ビット 7）の反転データを出力します。自動書込みアルゴリズム終了時にリードアクセスすると、フラッシュメモリはアドレスの示す番地の読出し値のビット 7 を出力します。

■ 自動消去動作時

自動消去アルゴリズム実行中に、リードアクセスするとフラッシュメモリはアドレスの示す番地に関係なく "0" を出力します。同様に終了時には "1" を出力します。

■ セクタ消去一時停止時

セクタ消去一時停止時にリードアクセスすると、フラッシュメモリはアドレスの示す番地が消去中のセクタであれば "1" を出力し、消去中のセクタでなければアドレスの示す番地の読出し値のビット 7 (DATA:7) を出力します。トグルビットフラグ (DQ6) とともに参照することで、現在、セクター一時停止状態であるか、どのセクタが消去中であるかを判定できます。

< 注意事項 >

自動アルゴリズム起動時は、指定したアドレスへのリードアクセスは無視されます。データポーリングフラグ (DQ7) の終了確認後、データの読出しができます。このため、自動アルゴリズム終了後のデータの読出しは、データポーリング終了を確認したリードアクセス直後に行うようにしてください。

22.5.2 トグルビットフラグ (DQ6)

トグルビットフラグ (DQ6) はデータポーリングフラグ (DQ7) と同様に、主に自動アルゴリズム実行が進行中、もしくは終了状態であることをトグルビット機能によって知らせるためのフラグです。

■ 自動書込み / 消去時

自動書込みおよび消去アルゴリズム実行中に、連続したリードアクセスを行うと、フラッシュメモリはアドレスの示す番地に関係なく、読出しごとに "1" と "0" を交互に出力するトグル状態を出力します。自動書込みおよび消去アルゴリズム終了時に連続したリードアクセスを行うとフラッシュメモリはビット 6 のトグル動作を止め、アドレスの示す番地の読出し値のビット 6 (DATA:6) を出力します。トグルビットは各コマンドシーケンスの最後の書込みサイクルの後から有効になります。

■ セクタ消去一時停止時

セクタ消去一時停止時にリードアクセスすると、フラッシュメモリはアドレスの示す番地が消去中のセクタに属する場合は、"1" を出力します。消去中のセクタに属さない場合は、アドレスの示す番地の読出し値のビット 6 (DATA:6) を出力します。

書込みの際、書き込もうとしているセクタが書き換え保護されているセクタの場合は、約 2 μ s のトグル動作をした後、データを書き換えずにトグル動作を終了します。

消去の際、選択されたすべてのセクタが書き換え保護されている場合は、トグルビットは約 100 μ s のトグル動作を行い、その後データを書き換えずに読出し / リセット状態に戻ります。

22.5.3 タイミングリミット超過フラグ (DQ5)

タイミングリミット超過フラグ (DQ5) は、自動アルゴリズムの実行がフラッシュメモリ内部に規定された時間 (内部パルス回数) を越えてしまったことを知らせるフラグです。

■ 自動書込み / 消去動作中

書込みまたはチップセクタ消去自動アルゴリズム起動時にリードアクセスすると、規定時間 (書込み / 消去に要する時間) 内であれば "0" を、規定時間を超えた場合は "1" を出力します。これは、自動アルゴリズムが実行中か終了状態にあるかに無関係なため、書込み / 消去が成功したか失敗したかの判定に使用できます。すなわち、このフラグが "1" を出力したとき、データポーリング機能またはトグルビット機能によって自動アルゴリズムがまだ実行中であれば、書込みが失敗していると判断できます。

例えば、"0" が書き込まれているフラッシュメモリアドレスに "1" を書き込もうとすると、フェイルが発生します。この場合、フラッシュメモリはロックされ、自動アルゴリズムは終了しません。したがって、データポーリングフラグ (DQ7) から有効なデータが出力されません。また、トグルビットフラグ (DQ6) はトグル動作を止めず、タイムリミットを超えると、タイムリミット超過フラグ (DQ5) は "1" を出力します。この状態は、フラッシュメモリが不良ということではなく、正しく使用されなかったことを表しています。この状態が発生したときは、リセットコマンドを実行してください。

22.5.4 セクタ消去タイマフラグ (DQ3)

セクタ消去タイマフラグは、セクタ消去コマンド起動後セクタ消去ウェイト期間中であるか否かを知らせるフラグです。

■ セクタ消去動作中

セクタ消去コマンド起動後に読出しアクセスすると、フラッシュメモリはコマンドを発行したセクタのアドレス信号の示す番地によらずに、セクタ消去ウェイト期間中であれば "0" をセクタ消去ウェイト期間を超えてしまっている場合は "1" を出力します。

データポーリング機能やトグルビット機能によって消去アルゴリズムが実行中を示している場合、このフラグが "1" であれば、内部で制御される消去が始まっています。続けてのセクタ消去コードの書込みまたは消去一時停止以外のコマンド発行は、消去が終了されるまで無視されます。

このフラグが "0" であれば、フラッシュメモリは、追加のセクタ消去コードの書込みを受け付けます。このことを確認するために、次のセクタ消去コードの書込みに先立ってこのフラグの状態をチェックしておくことを推奨します。2 回目の状態チェックでフラグが "1" であった場合は、追加セクタの消去コードは受け付けられていない可能性があります。

■ セクタ消去一時停止時

セクタ消去一時停止中に読出しアクセスすると、フラッシュメモリはアドレスの示す番地が、消去中のセクタに属する場合は "1" を出力します。消去中のセクタに属さない場合は、アドレスの示す番地の読出し値のビット 3 (DATA:3) を出力します。

22.5.5 トグルビット 2 フラグ (DQ2)

トグルビット 2 フラグ (DQ2) はトグルビットに加えて、自動消去動作中であるか、消去一時停止中であるかを検出するためのフラグです。

■ セクタ消去動作中

トグルビット 2 フラグ (DQ2) は、ビット 6 のトグルビットに加えて、フラッシュメモリが自動消去動作中であるか、消去一時停止中であるかを検出するために使用します。自動消去動作中に消去しているセクタから連続して読出しをするとビット 2 はトグル動作をします。フラッシュメモリが消去一時停止読出しモードならば、消去一時停止しているセクタから連続して読出しをすると、ビット 2 はトグル動作をします。

フラッシュメモリが消去一時停止書込みモードのときは、消去一時停止していないセクタからアドレスを連続して読み出すとビット 2 は "1" が読み出されます。ビット 6 は、通常の書込み、消去、または消去一時停止書込み動作中にのみトグル動作をします。

例えば、ビット 2 とビット 6 は、消去一時停止読出しモードを検出するために、同時に使用します (ビット 2 はトグル動作するが、ビット 6 はトグル動作しない)。

さらに、ビット 2 は消去しているセクタを検出するためにも使用します。フラッシュメモリが消去動作中の場合、消去しているセクタからの読出しならばビット 2 はトグル動作をします。

22.6 フラッシュメモリの書込み / 消去

自動アルゴリズムの起動によるフラッシュメモリの書込み / 消去の手順について説明します。

■ フラッシュメモリの書込み / 消去

自動アルゴリズムは読出し / リセット , 書込み , チップ消去 , セクタ消去 , セクタ消去一時停止 , 消去再開のいずれかのコマンドシーケンス (表 22.4-1 を参照) を CPU からフラッシュメモリに書き込むことによって起動できます。CPU からフラッシュメモリへの書込みは必ず連続して行ってください。また , 自動アルゴリズムはデータポーリング機能により終了状態を確認できます。正常終了後は , 読出し / リセット状態に戻ります。

以下の項で , フラッシュメモリの書込み / 消去に関する下記項目について説明します。

- 読出し / リセット状態にする手順
- データを書き込む手順
- 全データを消去する手順 (チップ全消去)
- 任意のデータを消去する手順 (セクタ消去)
- セクタ消去を一時停止する手順
- セクタ消去を再開する手順

22.6.1 読出し / リセット状態にする手順

読出し / リセットコマンドを発行し、フラッシュメモリを読出し / リセット状態にする手順について説明します。

■ 読出し / リセット状態にする

フラッシュメモリを読出し / リセット状態にするには、コマンドシーケンス表（表 22.4-1 を参照）の読出し / リセットコマンドを、フラッシュメモリ内の対象セクタに続けて送ることで実行可能です。

読出し / リセットコマンドには 1 回と 3 回のバス動作を行う 2 とおりのコマンドシーケンスがあります。

読出し / リセット状態はフラッシュメモリの初期状態であり、電源投入時およびコマンドの正常終了時は常に読出し / リセット状態になります。読出し / リセット状態は他のコマンドの入力待ち状態です。

読出し / リセット状態では通常のリードアクセスでデータを読み出すことができ、マスク ROM と同様に、CPU からのプログラムアクセスが可能です。通常読出しでのデータ読出しにこのコマンドは使用しません。何らかの理由でコマンドが正常に終了しなかった場合に、自動アルゴリズムを初期化するために使用します。

22.6.2 データを書き込む手順

書込みコマンドを発行し、フラッシュメモリにデータ書込みを行う手順について説明します。フラッシュメモリ書込み手順の例を図 22.6-1 に示します。

■ データ書込みを行う

フラッシュメモリの、データ書込み自動アルゴリズムを起動するには、コマンドシーケンス表(表 22.4-1 を参照)の書込みコマンドを、フラッシュメモリ内の対象セクタに続けて送ることで実行できます。4 サイクル目に目的のアドレスへデータ書込みが終了した時点で、自動アルゴリズムが起動され、自動書込みを開始します。

■ アドレス指定方法

書込みはどのようなアドレスの順番でも、また、セクタの境界を超えても可能ですが、1 回の書込みコマンドによって書き込まれるデータは 1 バイトのみです。

■ データ書込み上の注意

フラッシュメモリ上のデータを "0" から "1" に書き込むと、データポーリングフラグ(DQ7)またはトグルビットフラグ(DQ6)が終了状態にならないため、フラッシュメモリを不良と判定し、以下の状態に陥るため、書込みによってフラッシュメモリ上のデータを "0" から "1" へ戻すことは行わないでください。

- 書込み規定時間を超えてタイミングリミット超過フラグ(DQ5)がエラー状態となる。
- 見かけ上フラッシュメモリ上のデータに "1" が書き込まれたように見える状態となる(読出し/リセット状態でデータを読み出すと、データは "0" のままです。データを "0" から "1" に戻す場合は、消去を行ってください)。

自動書込み実行中は、全てのコマンドが無視されます。書込み中にハードウェアリセットが起動されると、書き込んでいるアドレスのデータは保証されません。

■ フラッシュメモリ書込み手順

フラッシュメモリ書込み手順の例を図 22.6-1 に示します。ハードウェアシーケンスフラグ(「22.5 自動アルゴリズム実行状態の確認」を参照)を用いることでフラッシュメモリ内部の自動アルゴリズムの状態を判定できます。ここでは、書込み終了の確認に、データポーリングフラグ(DQ7)を使用しています。

フラグチェックのために読込むデータは、最後に書込みを行ったアドレスからの読込みとなります。

データポーリングフラグ(DQ7)は、タイミングリミット超過フラグフラグ(DQ5)と同時に変わるので、たとえタイミングリミット超過フラグ(DQ5)が "1" であっても、データポーリングフラグビット(DQ7)を再チェックする必要があります。

トグルビットフラグ(DQ6)も同様に、タイミングリミット超過フラグビット(DQ5)が "1" になるのと同時にトグル動作を止めるので、トグルビットフラグ(DQ6)を再チェックする必要があります。

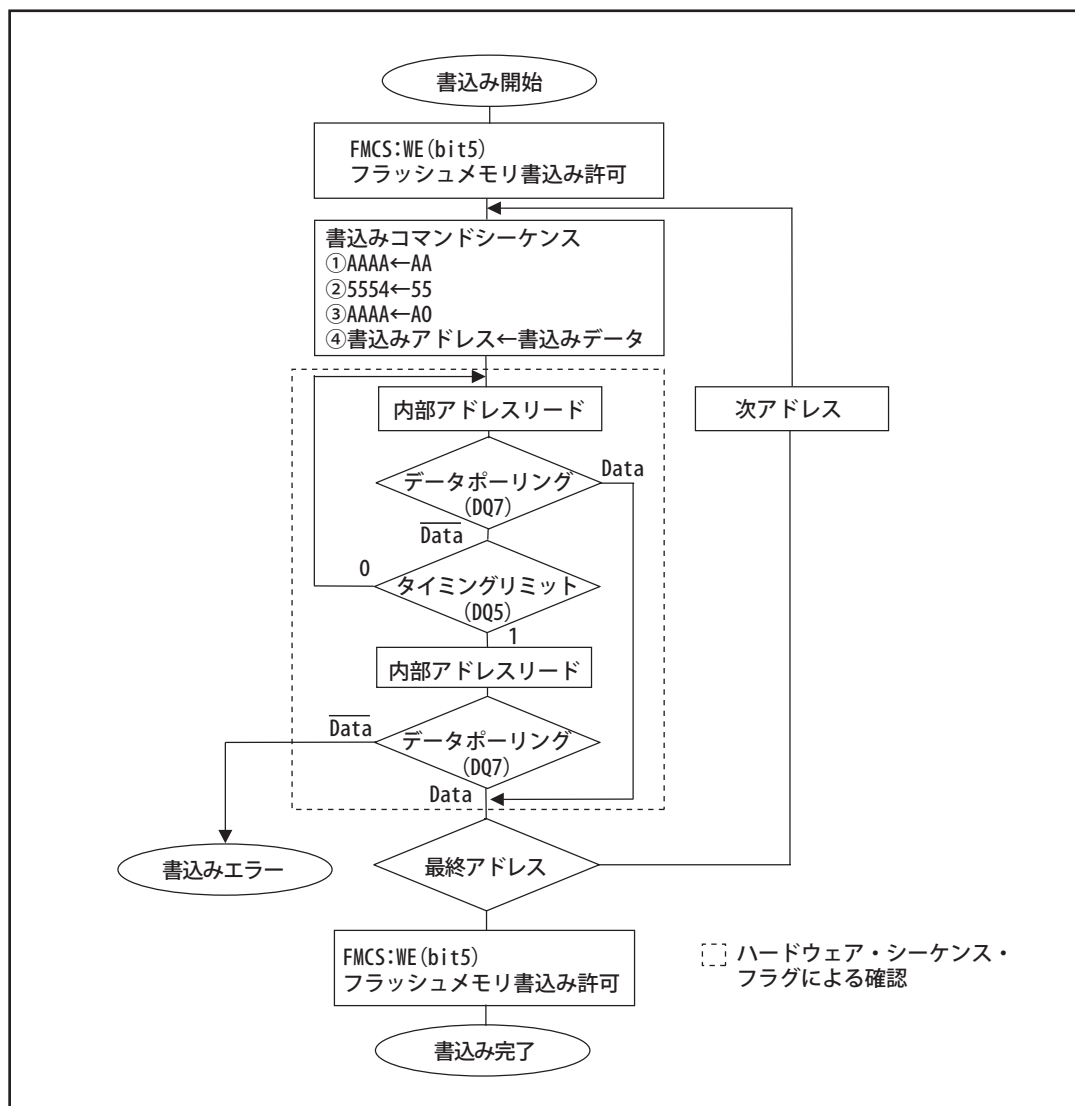


図 22.6-1 フラッシュメモリ書き込み手順の例

22.6.3 全データを消去する手順 (チップ消去)

チップ消去コマンドを発行し、フラッシュメモリの全データ消去を行う手順について説明します。

■ 全データ消去 (チップ消去)

フラッシュメモリから全てのデータを消去するには、コマンドシーケンス表 (表 22.4-1 を参照) のチップ消去コマンドを、フラッシュメモリ内の対象セクタに続けて送ることで実行できます。

チップ消去コマンドは 6 回のバス動作で行われます。6 サイクル目のライトが完了した時点でチップ消去動作を開始します。チップ消去では、消去前にユーザがフラッシュメモリに書込みする必要はありません。自動消去アルゴリズム実行中には、フラッシュメモリが自動的にすべてのセルを消去する前に "0" を書き込んで検証します。

22.6.4 任意のデータを消去する手順 (セクタ消去)

セクタ消去コマンドを発行し、フラッシュメモリの任意のセクタ消去を行う手順について説明します。セクタごとの消去が可能であり、複数のセクタを同時に指定することもできます。

■ 任意のデータ消去を行う (セクタ消去)

フラッシュメモリの任意のセクタを消去するには、コマンドシーケンス表(表 22.4-1 を参照)のセクタ消去コマンドを、フラッシュメモリ内の対象セクタに続けて送ることで実行できます。

■ セクタ指定方法

セクタ消去コマンドは 6 回のバス動作で行われます。6 サイクル目に目的のセクタ内のアクセス可能な任意の偶数の 1 アドレスへ、セクタ消去コード (30_H) をライトすることにより 50 μ s のセクタ消去ウェイトが開始します。複数のセクタ消去をする場合には、上記の処理に引き続き、消去する目的のセクタ内のアドレスに消去コード (30_H) を書込みます。

■ 複数のセクタを指定する時の注意

最後のセクタ消去コードのライトから 50 μ s のセクタ消去ウェイト期間終了により、消去が開始します。つまり、複数のセクタを同時に消去する場合は、次の消去セクタのアドレスと消去コード (コマンドシーケンス 6 サイクル目) をそれぞれ 50 μ s 以内に入力する必要があります。続くセクタ消去コードの書込みが有効かどうかはセクタ消去タイマ (ハードウェアシーケンスフラグ DQ3) によって調べることができます。この時、セクタ消去タイマを読み出すアドレスは、消去しようとしているセクタを指すようにします。

■ セクタ消去手順

ハードウェアシーケンスフラグ (「22.5 自動アルゴリズム実行状態の確認」を参照) を用いることによってフラッシュメモリ内部の自動アルゴリズムの状態判定ができます。フラッシュメモリセクタ消去手順の例を図 22.6-2 に示します。ここでは、消去終了の確認にトグルビットフラグ (DQ6) を用いています。

フラグチェックのために読み込むデータは、消去しようとしているセクタからの読み込みとなりますので、注意が必要です。

トグルビットフラグ (DQ6) は、タイミングリミット超過フラグ (DQ5) が "1" に変わるのと同時にトグル動作を止めるので、たとえタイミングリミット超過フラグ (DQ5) が "1" であってもトグルビットフラグ (DQ6) を再チェックする必要があります。

(図 22.6-2 の [] 内の処理)

データポーリングフラグ (DQ7) も同様に、タイミングリミット超過フラグ (DQ5) と同時に変わるので、データポーリングフラグ (DQ7) を再チェックする必要があります。

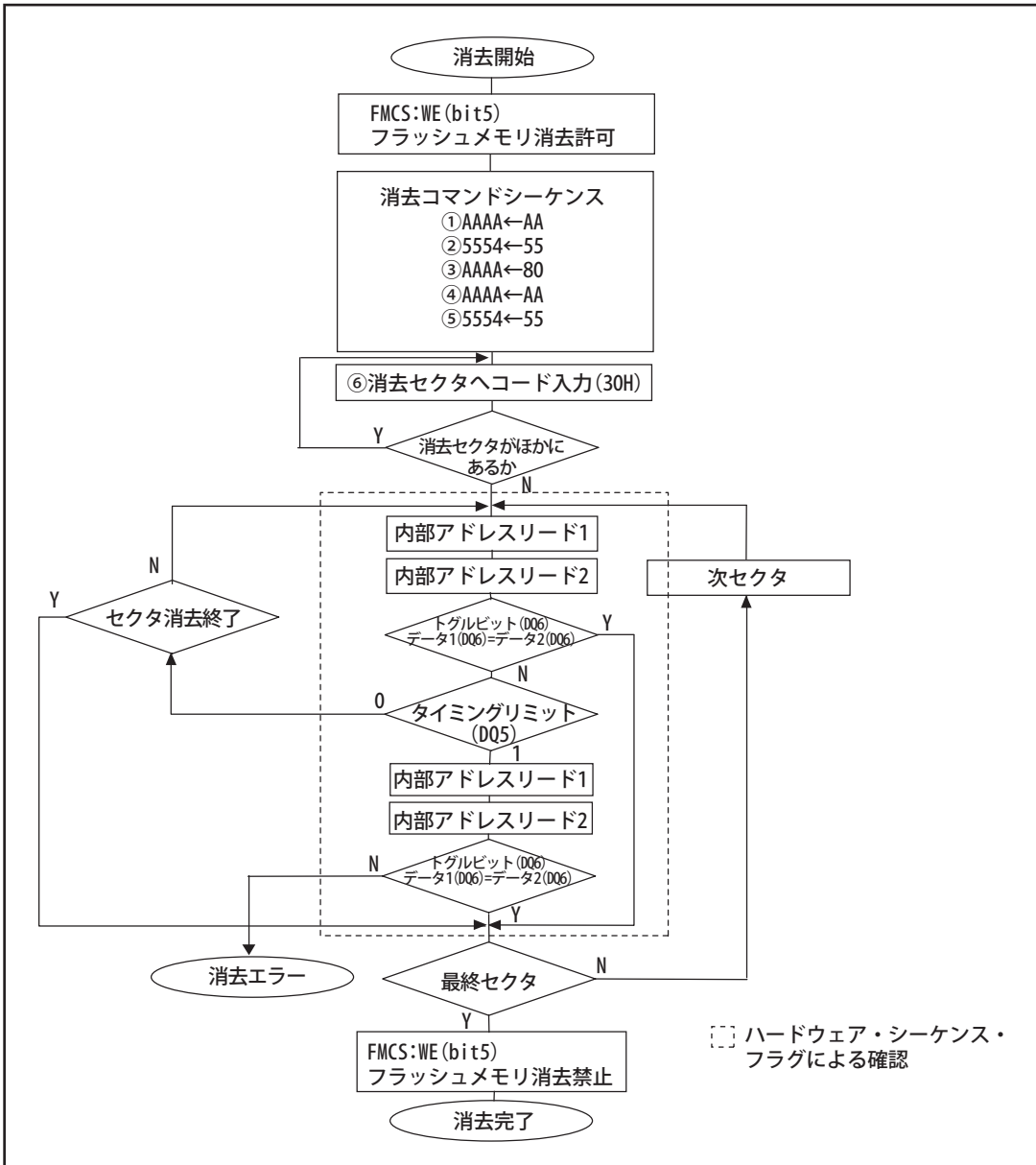


図 22.6-2 セクタ消去手順の例

22.6.5 セクタ消去を一時停止する手順

セクタ消去一時停止コマンドを発行し、フラッシュメモリセクタ消去を一時停止する手順について説明します。消去中でないセクタから、データを読み出すことができます。

■ セクタ消去の一時停止

フラッシュメモリのセクタ消去を一時停止するには、コマンドシーケンス表（表 22.4-1 を参照）のセクタ消去一時停止コマンドを、CPU からフラッシュメモリ内に続けて送ってください。

セクタ消去一時停止コマンドは、セクタ消去中に、消去を一時停止し消去中でないセクタからのデータ読出しを可能にします。セクタ消去一時停止状態では、読出しのみが可能で書込みはできません。

セクタ消去一時停止コマンドは、消去ウェイト時間を含むセクタ消去中のみ有効で、チップ消去中や書込み動作中は無視されます。

セクタ消去の一時停止は、消去一時停止コード (B0_H) の書込みを行うことで実施されます。このときアドレスはフラッシュメモリ内の任意のアドレスを設定してください。消去一時停止中の再度の消去一時停止コマンドは無視されます。

セクタ消去ウェイト期間中に、セクタ消去一時停止コマンドが入力されると、直ちにセクタ消去ウェイトを終了し、消去動作を中断して消去停止状態になります。

セクタ消去ウェイト期間後のセクタ消去動作中に消去一時停止コマンドが入力されると、最大 15 μ s の時間の後、消去一時停止状態に入ります。

22.6.6 セクタ消去を再開する手順

セクタ消去再開コマンドを発行し、一時停止したフラッシュメモリセクタ消去を再開する手順について説明します。

■ セクタ消去の再開

一時停止したセクタ消去を再開させるには、コマンドシーケンス表（表 22.4-1 を参照）のセクタ消去再開コマンドを、フラッシュメモリ内に続けて送ることで実行できます。

セクタ消去再開コマンドは、セクタ消去一時停止コマンドによるセクタ消去一時停止状態から、セクタ消去を再開するためのコマンドです。このコマンドは消去再開コード (30_H) の書込みを行うことで実施されますが、このときのアドレスはフラッシュメモリ領域内の任意のアドレスを示すようにします。

なお、セクタ消去中のセクタ消去再開コマンドの発行は無視されます。

22.7 フラッシュメモリ使用上の注意

MB89F538/F538L において、フラッシュメモリを使用する上での注意事項を示します。

■ ハードウェアリセット ($\overline{\text{RST}}$) の投入

読出し動作中、自動アルゴリズムが起動していない状態でハードウェアリセットを投入する場合、“L” レベルの幅を最小で 500ns 確保してください。

書込み/消去動作中、自動アルゴリズムが起動中にハードウェアリセットを投入する場合も、“L” レベルの幅を最小で 500ns 確保してください。この場合実行中の動作が終了し、フラッシュメモリが初期化された後、データを読み出せる状態になるまでに 20 μ s の時間を要します。

■ ソフトウェアリセット、ウォッチドッグタイマリセット

フラッシュメモリの書込み/消去を通常モードに設定し、かつ CPU のメモリアクセスモードを内 ROM モードで使用している場合、フラッシュメモリの自動アルゴリズムが起動中にこれらのリセット要因が発生すると、CPU は暴走する恐れがあります。これらのリセット要因では、フラッシュメモリは初期化されず、自動アルゴリズムを継続します。そのため、CPU がリセット解除後のシーケンスを開始したときに、フラッシュメモリが読出し状態に移行できていない可能性があるからです。フラッシュメモリの書込み/消去動作中は、これらのリセット要因が発生しないようにしてください。

■ フラッシュメモリへのプログラムアクセス

自動アルゴリズム起動中に、フラッシュメモリへのリードアクセスはできません。CPU のメモリアクセスモードを内 ROM モードで使用している場合には、予めプログラムを RAM 領域に移してから書込み/消去を起動してください。

このとき、割込ベクタが置かれているセクタを消去してしまうと、書込み/消去終了時の割込み処理が実行できなくなります。

このため、自動アルゴリズム起動中は、他の割込処理を禁止します。

第 23 章

MB89F538/F538L

シリアル書込み接続例

この章では、横河ディジタルコンピュータ株式会社製フラッシュマイコンプログラマを用いた場合のシリアル書込みの接続例について説明します。

23.1 MB89F538/F538L シリアル書込み接続の基本構成

23.2 シリアル書込み時の接続例 (ユーザ電源使用時)

23.3 シリアル書込み時の接続例 (フラッシュマイコンプログラマから電源供給時)

23.4 フラッシュマイコンプログラマとの接続例
(ユーザ電源使用時)

23.5 フラッシュマイコンプログラマとの接続例 (フラッシュマイコンプログラマから電源供給時)

23.1 MB89F538/F538L シリアル書込み接続の基本構成

MB89F538/F538L では、フラッシュ ROM のシリアルオンボード書込み (富士通標準) をサポートしています。その仕様について以下に解説します。

■ MB89F538/F538L シリアル書込み接続の基本構成

富士通標準シリアルオンボード書込みには、横河デジタルコンピュータ株式会社製フラッシュマイコンプログラマを使用します。

MB89F538/F538L シリアル書込み接続の基本構成を図 23.1-1 に示します。

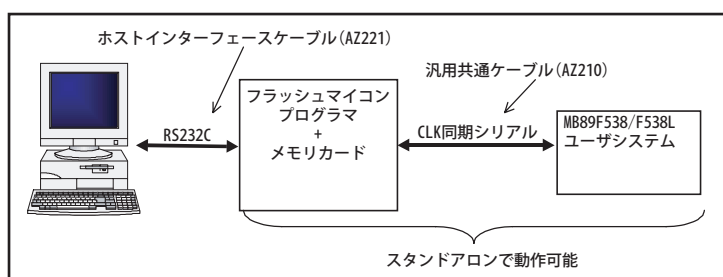


図 23.1-1 MB89F538/F538L シリアル書込み接続の基本構成

フラッシュマイコンプログラマ (AF220/AF210/AF120/AF110) の機能・操作方法および接続用汎用共通ケーブル (AZ210)、コネクタにつきましては、横河デジタルコンピュータ株式会社殿にお問合せください。

● 富士通標準シリアルオンボード書込みに使用する端子

表 23.1-1 富士通標準シリアルオンボード書込みに使用する端子

端子	機能	補足説明
MOD2 MOD1 MOD0 P22 P23 P10	モード端子	MOD2=0, MOD1=1, MOD0=1, P22=1, P23=0, P10=1 に設定することで、シリアル書込みモードになります。
X0 X1	発振用端子	シリアル書込みモード時の CPU 内部動作クロックは、発振周波数の 4 分周になります。 なお、シリアル書込みを行う場合には、3MHz 以上の発振周波数を入力してください。
$\overline{\text{RST}}$	リセット端子	-
SI2	シリアルデータ入力端子	SIO を使用します。
SO2	シリアルデータ出力端子	
SCK2	シリアルクロック入力端子	
V _{CC}	電源電圧供給端子	書込み電圧をユーザシステムから供給する場合には、フラッシュマイコンプログラマとの接続は必要ありません。
V _{SS}	GND 端子	フラッシュマイコンプログラマの GND と共通にしてください。

SI2, SO2, SCK2 端子をユーザシステムでも使用する場合は、図 23.1-2 に示す制御回路が必要です。フラッシュマイコンプログラムの /TICS 信号の "L" 出力により、シリアル書き込み中はユーザ回路を切り離すことができます。

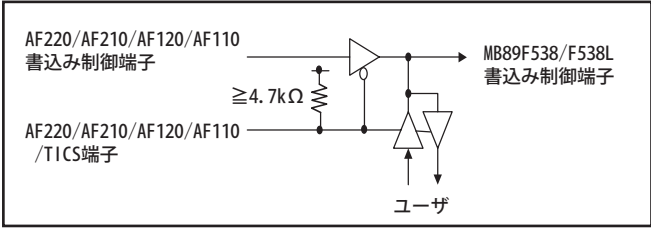


図 23.1-2 端子制御回路

● 発振クロック周波数とシリアルクロック入力周波数について

MB89F538/F538L の入力可能なシリアルクロック周波数は以下の計算式により求めます。

したがって、フラッシュマイコンプログラムの設定により使用する発振クロック周波数に対応した、シリアルクロック入力周波数を変更してください。

入力可能なシリアルクロック周波数 = 0.125 × 発振クロック周波数

例：

発振クロック周波数	マイコンの入力可能な最大シリアルクロック周波数	AF220/AF210/AF120/AF110 の設定可能な最大シリアルクロック周波数	AF200 の設定可能な最大シリアルクロック周波数
4MHz 時	500kHz	500kHz	500kHz
8MHz 時	1MHz	850kHz	500kHz
10MHz 時	1.25MHz	1.25MHz	500kHz

● フラッシュマイコンプログラマ システム構成 (横河ディジタルコンピュータ株式会社製)

表 23.1-2 フラッシュマイコンプログラマ システム構成 (横河ディジタルコンピュータ株式会社製)

規格		機能	
本体	AF220/AC4P	イーサネットインタフェース内蔵モデル	/100V ~ 220V 電源アダプタ
	AF210/AC4P	スタンダードモデル	/100V ~ 220V 電源アダプタ
	AF120/AC4P	単キーイーサネットインタフェース内蔵モデル	/100V ~ 220V 電源アダプタ
	AF110/AC4P	単キーモデル	/100V ~ 220V 電源アダプタ
AZ221		ライター専用 PC/AT 用 RS232C ケーブル	
AZ210		標準ターゲットプローブ (a) 長さ :1m	
FF201		富士通製 F ² MC-16LX フラッシュマイコン用コントロールモジュール	
AZ290		リモートコントローラ	
/P2		2MB PC Card (Option) FLASH メモリ容量 ~ 128KB 対応	
/P4		4MB PC Card (Option) FLASH メモリ容量 ~ 512KB 対応	

問い合わせ先：横河ディジタルコンピュータ株式会社 電話：042-333-6224

< 注意事項 >

AF200 フラッシュマイコンプログラマは終息製品ですが、コントロールモジュール FF201 を用いることで対応できます。シリアル書き込み接続も、「23.2 シリアル書き込み時の接続例 (ユーザ電源使用時)」に示す接続によって対応できます。

23.2 シリアル書き込み時の接続例 (ユーザ電源使用時)

ユーザシステムにて, MOD2, MOD1, MOD0=000 に設定されているモード端子には, AF220/AF210/AF120/AF110 の TAUX3 から MOD1, MOD0=11 が入力され, シリアル書き込みモードになります。(シリアル書き込みモード :MOD2, MOD1, MOD0=011)

■ シリアル書き込み時の接続例 (ユーザ電源使用時)

シリアル書き込み時の接続例 (ユーザ電源使用時) を図 23.2-1 に示します。

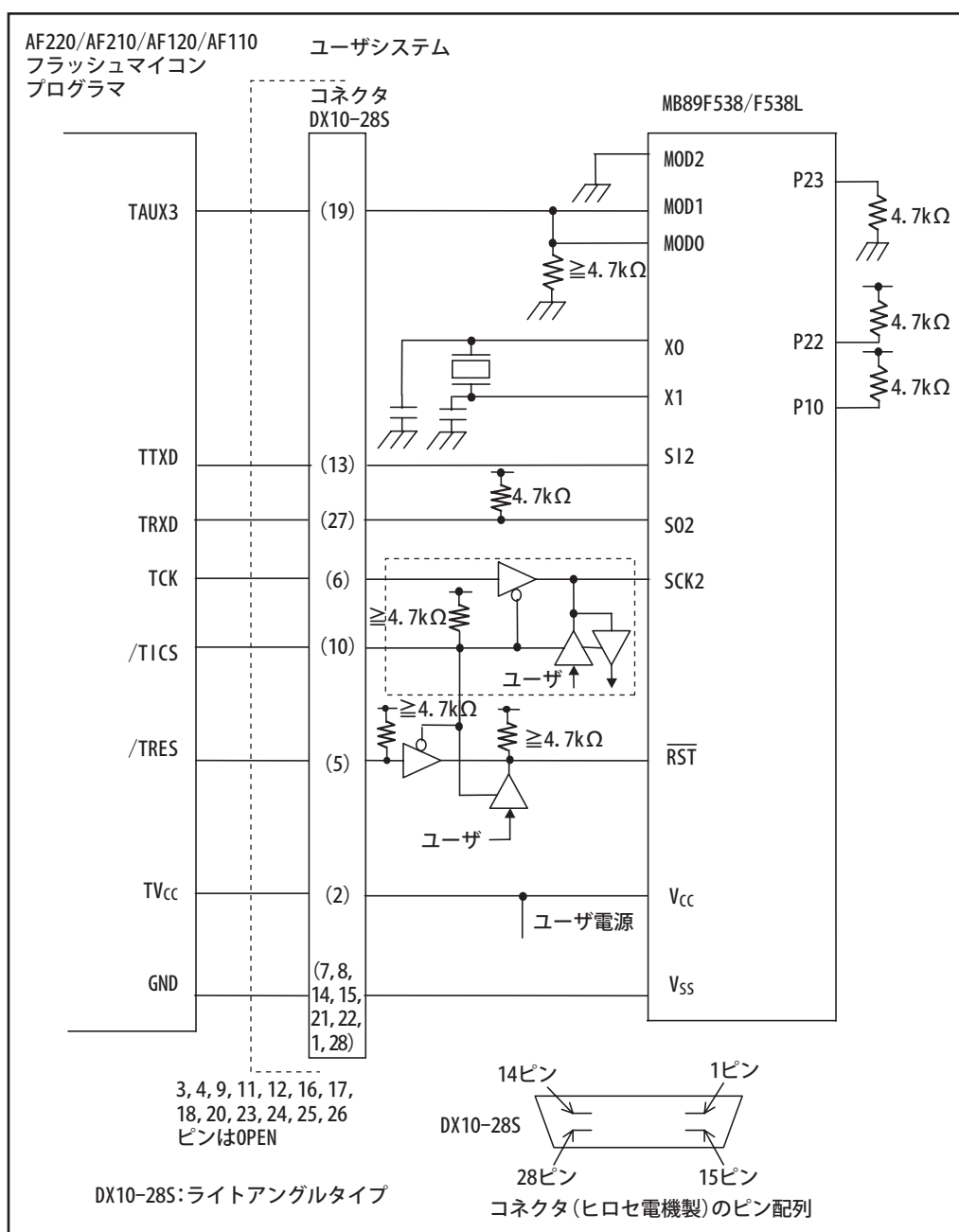


図 23.2-1 MB89F538/F538L シリアル書き込み接続例 (ユーザ電源使用時)

- SI2, SO2 端子をユーザシステムでも使用する場合には, SCK2 端子と同様に制御回路が必要です。フラッシュマイコンプログラムの /TICS 信号の "L" 出力により, シリアル書き込み中はユーザ回路を切り離すことができます。

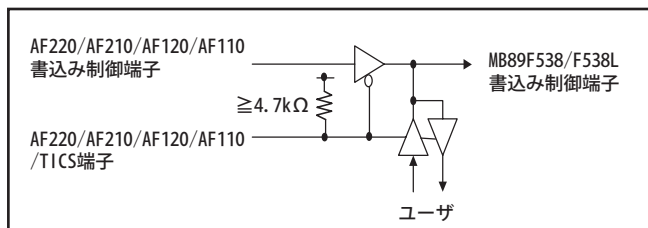


図 23.2-2 端子制御回路

- AF220/AF210/AF120/AF110 との接続はユーザ電源が OFF の状態で行ってください。
- 図 23.2-1 に示す MB89F538/F538L シリアル書き込み接続例 (ユーザ電源使用時) のプルアップ抵抗, プルダウン抵抗の値は参考値です。また, ノイズの影響により, MOD0, MOD1 端子の入力レベルが変動する可能性がある場合には, コンデンサを接続したノイズ対策をしてください。

23.3 シリアル書き込み時の接続例 (フラッシュマイコンプログラマから電源供給時)

ユーザシステムにて, MOD2, MOD1, MOD0=000 に設定されているモード端子には, AF220/AF210/AF120/AF110 の TAUX3 から MOD1, MOD0=11 が入力され, シリアル書き込みモードになります。(シリアル書き込みモード:MOD2, MOD1, MOD0=011)

■ シリアル書き込み時の接続例 (フラッシュマイコンプログラマから電源供給時)

シリアル書き込み時の接続例(フラッシュマイコンプログラマから電源供給時)を図 23.3-1 に示します。

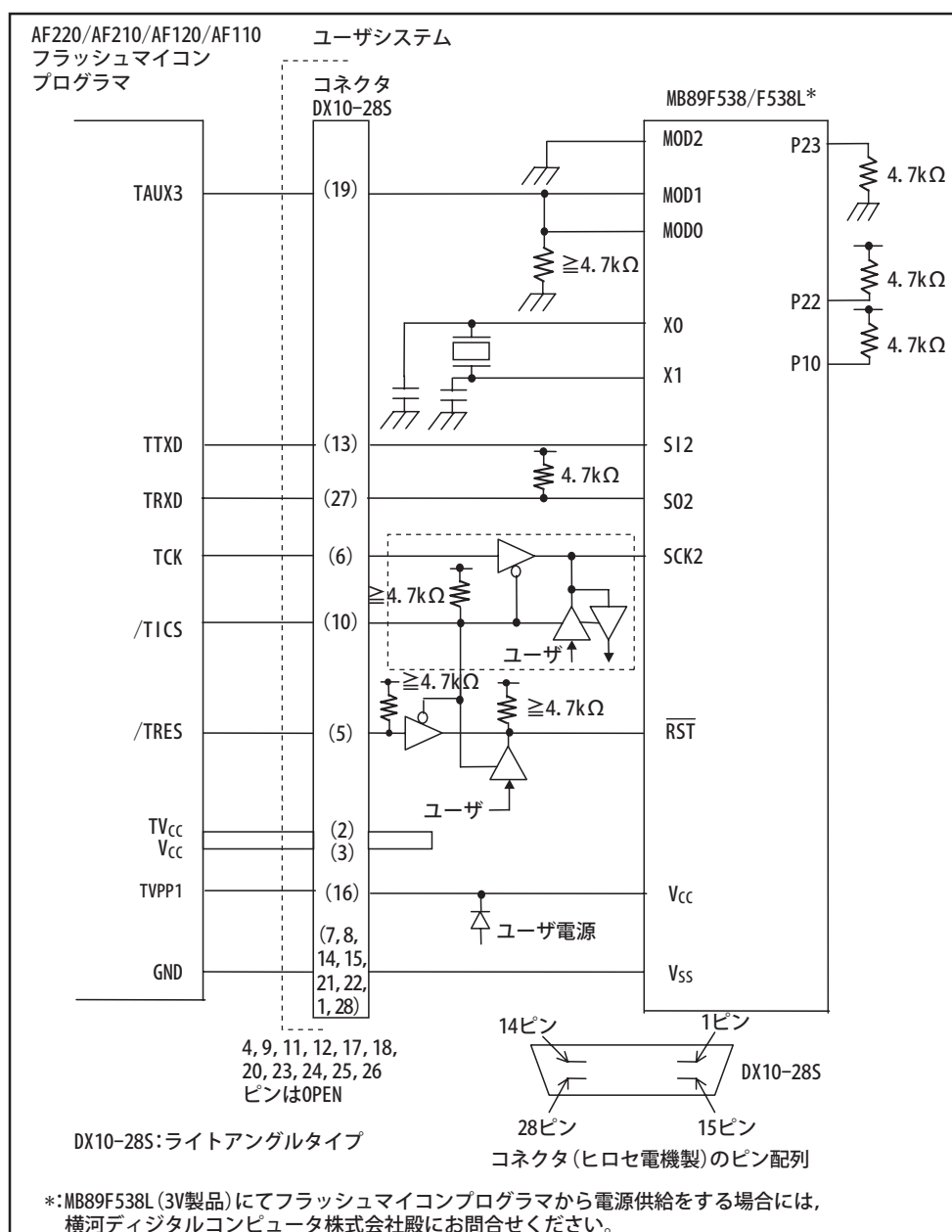


図 23.3-1 MB89F538/F538L シリアル書き込み接続例 (フラッシュマイコンプログラマから電源供給時)

- SI2, SO2 端子をユーザシステムで使用する場合は, SCK2 端子と同様に制御回路が必要です。フラッシュマイコンプログラムの /TICS 信号の "L" 出力により, シリアル書き込み中はユーザ回路を切り離すことができます。

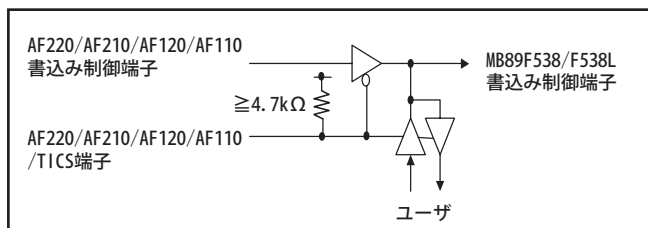


図 23.3-2 端子制御回路

- AF220/AF210/AF120/AF110 との接続はユーザ電源が OFF の状態で行ってください。書き込み電源を AF220/AF210/AF120/AF110 から供給する場合には, ユーザ電源と短絡しないでください。
- 図 23.3-1 に示す MB89F538/F538L シリアル書き込み接続例 (フラッシュマイコンプログラマから電源供給時) のプルアップ抵抗, プルダウン抵抗の値は参考値です。また, ノイズの影響により, MOD0, MOD1 端子の入力レベルが変動する可能性がある場合には, コンデンサを接続したノイズ対策をしてください。

23.4 フラッシュマイコンプログラムの接続例 (ユーザ電源使用時)

シリアル書込み時に，各端子を図 23.4-1 のように設定した場合は，MOD1, MOD0 とフラッシュマイコンプログラムの接続は必要ありません。

■ フラッシュマイコンプログラムの接続例 (ユーザ電源使用時)

フラッシュマイコンプログラムの最小限の接続例(ユーザ電源使用時)を図 23.4-1 に示します。

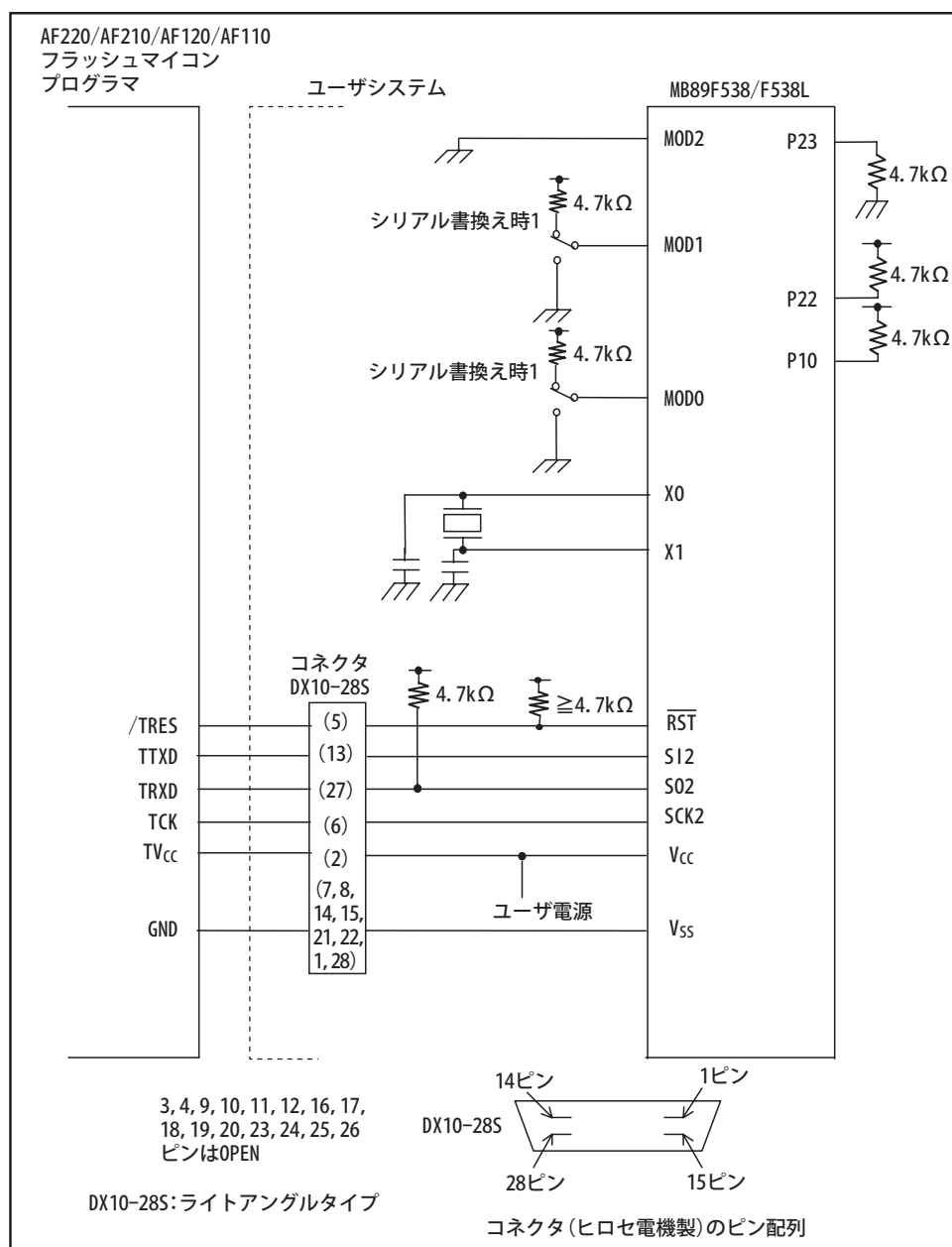


図 23.4-1 MB89F538/F538L フラッシュマイコンプログラムの接続例 (ユーザ電源使用時)

- SI2, SO2, SCK2 端子をユーザシステムでも使用する場合は、図 23.4-2 に示す制御回路が必要です。フラッシュマイコンプログラムの /TICS 信号の "L" 出力により、シリアル書き込み中はユーザ回路を切り離すことができます。

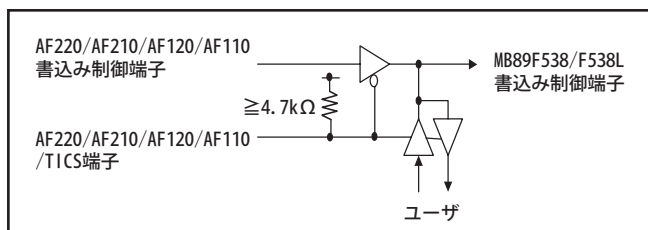


図 23.4-2 端子制御回路

- AF220/AF210/AF120/AF110 との接続はユーザ電源が OFF の状態で行ってください。
- 図 23.4-1 に示す MB89F538/F538L フラッシュマイコンプログラマとの接続例（ユーザ電源使用時）のプルアップ抵抗、プルダウン抵抗の値は参考です。また、ノイズの影響により、MOD0, MOD1 端子の入力レベルが変動する可能性がある場合には、コンデンサを接続したノイズ対策をしてください。

23.5 フラッシュマイコンプログラマとの接続例 (フラッシュマイコンプログラマから電源供給時)

シリアル書き込み時に，各端子を図 23.5-1 のように設定した場合は，MOD1, MOD0 とフラッシュマイコンプログラマとの接続は必要ありません。

■ フラッシュマイコンプログラマとの接続例(フラッシュマイコンプログラマから電源供給時)

フラッシュマイコンプログラマとの最小限の接続例（フラッシュマイコンプログラマから電源供給時）を図 23.5-1 に示します。

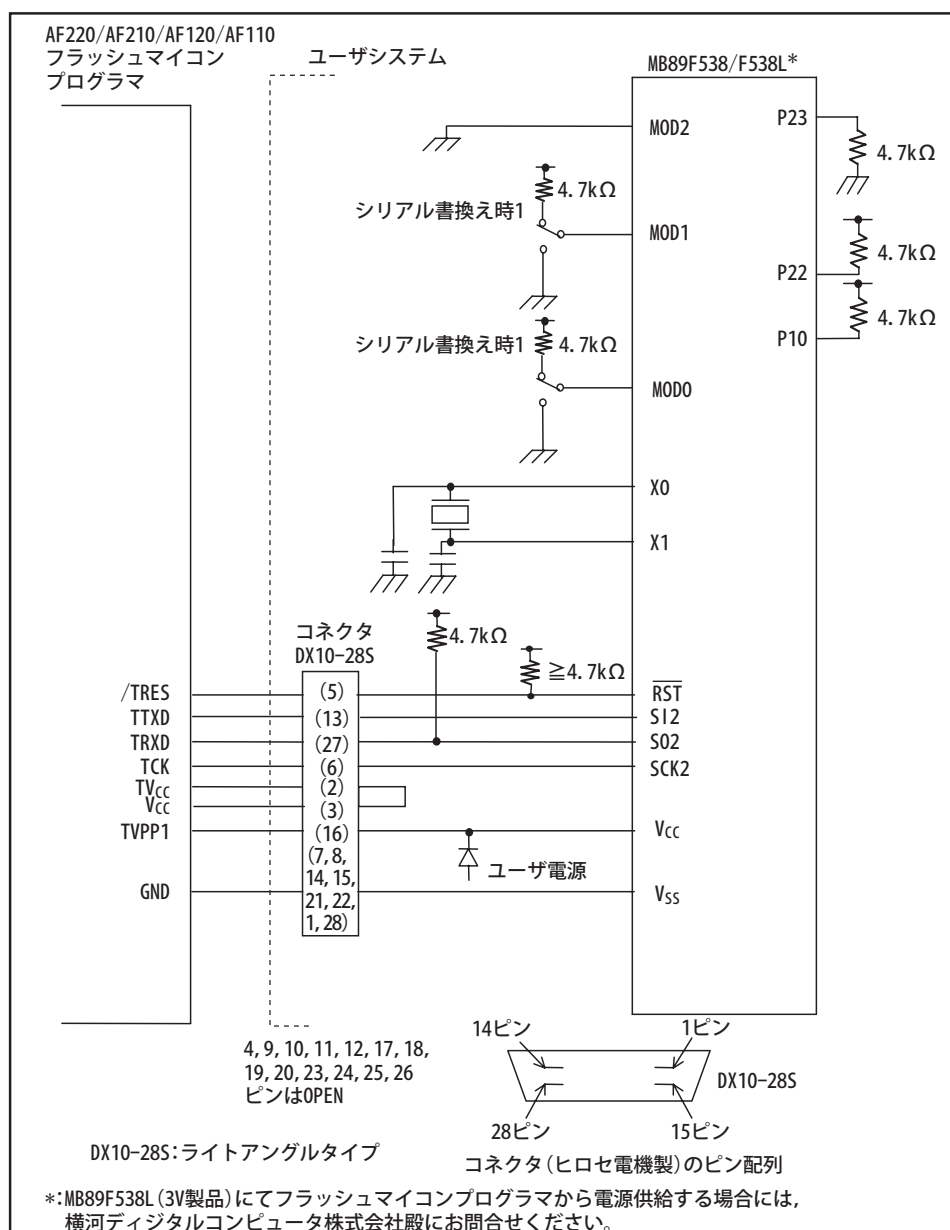


図 23.5-1 MB89F538/F538L フラッシュマイコンプログラマとの接続例
(フラッシュマイコンプログラマから電源供給時)

- SI2, SO2, SCK2 端子をユーザシステムでも使用する場合は、図 23.5-2 に示す制御回路が必要です。フラッシュマイコンプログラムの /TICS 信号の "L" 出力により、シリアル書き込み中にユーザ回路を切り離すことができます。

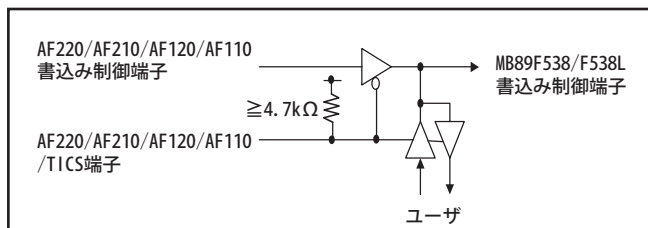


図 23.5-2 端子制御回路

- AF220/AF210/AF120/AF110 との接続はユーザ電源が OFF の状態で行ってください。書き込み電源を AF220/AF210/AF120/AF110 から供給する場合には、ユーザ電源と短絡しないでください。
- 図 23.5-1 に示す MB89F538/F538L フラッシュマイコンプログラムの接続例(フラッシュマイコンプログラマから電源供給時)のプルアップ抵抗、プルダウン抵抗の値は参考値です。また、ノイズの影響により、MOD0, MOD1 端子の入力レベルが変動する可能性がある場合には、コンデンサを接続したノイズ対策をしてください。

ここでは、I/O マップ、命令一覧表などを掲載します。

付録 A I/O マップ

付録 B 命令概要

付録 C マスクオプション

付録 D ワンタイム PROM, EPROM マイコンの書込み仕様

付録 E MB89530/530H/530A シリーズの端子状態

付録 F トラブルシューティング

付録 A I/O マップ

MB89530/530H/530A の周辺機能の各レジスタには、付表 A-1 で示すアドレスが割り当てられています。

■ I/O マップ

付表 A-1 I/O マップ

アドレス	レジスタ略称	レジスタ名称	書込み / 読出し	初期値
00 _H	PDR0	ポート 0 データレジスタ	R/W	XXXXXXXX _B
01 _H	DDR0	ポート 0 方向レジスタ	W	00000000 _B
02 _H	PDR1	ポート 1 データレジスタ	R/W	XXXXXXXX _B
03 _H	DDR1	ポート 1 方向レジスタ	W	00000000 _B
04 _H ~ 06 _H	(空き領域)			
07 _H	SYCC	システムクロック制御レジスタ	R, R/W	X-1MM100 _B
08 _H	STBC	スタンバイ制御レジスタ	W, R/W	00010--- _B
09 _H	WDTC	ウォッチドッグ制御レジスタ	W	0---XXXX _B
0A _H	TBTC	タイムベースタイマ制御レジスタ	W, R/W	00---000 _B
0B _H	WPCR	時計プリスケアラ制御レジスタ	R/W	00--0000 _B
0C _H	PDR2	ポート 2 データレジスタ	R/W	XXXXXXXX _B
0D _H	DDR2	ポート 2 方向レジスタ	R/W	00000000 _B
0E _H	PDR3	ポート 3 データレジスタ	R/W	XXXXXXXX _B
0F _H	DDR3	ポート 3 方向レジスタ	R/W	00000000 _B
10 _H	PDR4	ポート 4 データレジスタ	R/W	XXXX11XX _B
11 _H	DDR4	ポート 4 方向レジスタ	R/W	0000--00 _B
12 _H	PDR5	ポート 5 データレジスタ	R/W	11111111 _B
13 _H	PDR6	ポート 6 データレジスタ	R	XXXXXXXX _B
14 _H ~ 21 _H	(空き領域)			
22 _H	SMC11	シリアルモード制御レジスタ 1 (UART)	R/W	00000000 _B
23 _H	SRC1	シリアルレート制御レジスタ (UART)	R/W	--011000 _B
24 _H	SSD1	シリアルステータスアンドデータレジスタ (UART)	R, R/W	00100-1X _B
25 _H	SIDR1/SODR1	シリアルインプット / アウトプットデータレジスタ (UART)	R, W	XXXXXXXX _B
26 _H	SMC12	シリアルモード制御レジスタ 2 (UART)	R/W	--100001 _B
27 _H	CNTR1	PWM 制御レジスタ 1	R/W	00000000 _B
28 _H	CNTR2	PWM 制御レジスタ 2	R/W	000-0000 _B
29 _H	CNTR3	PWM 制御レジスタ 3	R/W	-000---- _B
2A _H	COMR1	PWM コンペアレジスタ 1	W	XXXXXXXX _B
2B _H	COMR2	PWM コンペアレジスタ 2	W	XXXXXXXX _B
2C _H	PCR1	PWC パルス幅制御レジスタ 1	R, R/W	000--000 _B
2D _H	PCR2	PWC パルス幅制御レジスタ 2	R/W	00000000 _B
2E _H	RLBR	PWC リロードバッファレジスタ	R, R/W	XXXXXXXX _B
2F _H	SMC21	シリアルモード制御レジスタ 1 (UART/SIO)	R/W	00000000 _B
30 _H	SMC22	シリアルモード制御レジスタ 2 (UART/SIO)	W, R/W	00000000 _B
31 _H	SSD2	シリアルステータスアンドデータレジスタ (UART/SIO)	R/W	00001--- _B
32 _H	SIDR2/SODR2	シリアルインプット / アウトプットデータレジスタ (UART/SIO)	R/W	XXXXXXXX _B
33 _H	SRC2	ポーレートジェネレータリロードレジスタ	R/W	XXXXXXXX _B
34 _H	ADC1	A/D 制御レジスタ 1	R, R/W	X00000X0 _B
35 _H	ADC2	A/D 制御レジスタ 2	R/W	-0000001 _B
36 _H	ADDL	A/D データレジスタ下位	R/W	XXXXXXXX _B

付表 A-1 I/O マップ

アドレス	レジスタ略称	レジスタ名称	書込み / 読出し	初期値
37 _H	ADDH	A/D データレジスタ上位	R/W	-----XX _B
38 _H	PPGC2	12 ビット PPG 制御レジスタ (PPG2)	R/W	00000000 _B
39 _H	PRL22	12 ビット PPG リロードレジスタ 2 (PPG2)	R/W	0-000000 _B
3A _H	PRL21	12 ビット PPG リロードレジスタ 1 (PPG2)	R/W	--000000 _B
3B _H	PRL23	12 ビット PPG リロードレジスタ 3 (PPG2)	R/W	--000000 _B
3C _H	TMCR	タイマ制御レジスタ	W, R/W	--000000 _B
3D _H	TCHR	タイマカウントレジスタ上位	R, R/W	00000000 _B
3E _H	TCLR	タイマカウントレジスタ下位	R, R/W	00000000 _B
3F _H	EIC1	外部割込み 1 制御レジスタ 1	R/W	00000000 _B
40 _H	EIC2	外部割込み 1 制御レジスタ 2	R/W	00000000 _B
41 _H ~ 48 _H	(空き領域)			
49 _H	DDCR	DDC 選択レジスタ	R/W	-----0 _B
4A _H ~ 4B _H	(空き領域)			
4C _H	PPGC1	12 ビット PPG 制御レジスタ (PPG1)	R/W	00000000 _B
4D _H	PRL12	12 ビット PPG リロードレジスタ 2 (PPG1)	R/W	0-000000 _B
4E _H	PRL11	12 ビット PPG リロードレジスタ 1 (PPG1)	R/W	--000000 _B
4F _H	PRL13	12 ビット PPG リロードレジスタ 3 (PPG1)	R/W	--000000 _B
50 _H	IACR	I ² C アドレス制御レジスタ	R/W	-----000 _B
51 _H	IBSR	I ² C バスステータスレジスタ	R	00000000 _B
52 _H	IBCR	I ² C バス制御レジスタ	R/W	00000000 _B
53 _H	ICCR	I ² C クロック制御レジスタ	R/W	000XXXXX _B
54 _H	IADR	I ² C アドレスレジスタ	R/W	-XXXXXXXX _B
55 _H	IDAR	I ² C データレジスタ	R/W	XXXXXXXX _B
56 _H	EIE2	外部割込み 2 制御レジスタ	R/W	00000000 _B
57 _H	EIF2	外部割込み 2 フラグレジスタ	R/W	-----0 _B
58 _H	RCR1	6 ビット PPG 制御レジスタ 1	R/W	00000000 _B
59 _H	RCR2	6 ビット PPG 制御レジスタ 2	R/W	0-000000 _B
5A _H	CKR	クロック出力制御レジスタ	R/W	-----00 _B
5B _H ~ 6F _H	(空き領域)			
70 _H	SMR	シリアルモードレジスタ (SIO)	R/W	00000000 _B
71 _H	SDR	シリアルデータレジスタ (SIO)	R/W	XXXXXXXX _B
72 _H	PURR0	ポート 0 プルアップ抵抗制御レジスタ	R/W	11111111 _B
73 _H	PURR1	ポート 1 プルアップ抵抗制御レジスタ	R/W	11111111 _B
74 _H	PURR2	ポート 2 プルアップ抵抗制御レジスタ	R/W	11111111 _B
75 _H	PURR3	ポート 3 プルアップ抵抗制御レジスタ	R/W	11111111 _B
76 _H	PURR4	ポート 4 プルアップ抵抗制御レジスタ	R/W	1111--11 _B
77 _H	WREN	ワイルドレジスタイネーブルレジスタ	R/W	--000000 _B
78 _H	WROR	ワイルドレジスタデータテストレジスタ	R/W	--000000 _B
79 _H	PURR6	ポート 6 プルアップ抵抗制御レジスタ	R/W	---11111 _B
7A _H	FMCS	フラッシュメモリコントロールステータスレジスタ	R, R/W	000X00-0 _B
7B _H	ILR1	割込みレベル設定レジスタ 1	W	11111111 _B
7C _H	ILR2	割込みレベル設定レジスタ 2	W	11111111 _B
7D _H	ILR3	割込みレベル設定レジスタ 3	W	11111111 _B
7E _H	ILR4	割込みレベル設定レジスタ 4	W	11111111 _B
7F _H	ITR	割込みテストレジスタ	アクセス禁止	XXXXXX00 _B

付表 A-2 拡張 I/O 領域

アドレス	レジスタ略称	レジスタ名称	書込み / 読出し	初期値
C80 _H	WRARH1	ワイルドレジスタ上位アドレス設定レジスタ 1	R/W	XXXXXXXX _B
C81 _H	WRARL1	ワイルドレジスタ下位アドレス設定レジスタ 1	R/W	XXXXXXXX _B
C82 _H	WRDR1	ワイルドレジスタデータ設定レジスタ 1	R/W	XXXXXXXX _B
C83 _H	WRARH2	ワイルドレジスタ上位アドレス設定レジスタ 2	R/W	XXXXXXXX _B
C84 _H	WRARL2	ワイルドレジスタ下位アドレス設定レジスタ 2	R/W	XXXXXXXX _B
C85 _H	WRDR2	ワイルドレジスタデータ設定レジスタ 2	R/W	XXXXXXXX _B
C86 _H	WRARH3	ワイルドレジスタ上位アドレス設定レジスタ 3	R/W	XXXXXXXX _B
C87 _H	WRARL3	ワイルドレジスタ下位アドレス設定レジスタ 3	R/W	XXXXXXXX _B
C88 _H	WRDR3	ワイルドレジスタデータ設定レジスタ 3	R/W	XXXXXXXX _B
C89 _H	WRARH4	ワイルドレジスタ上位アドレス設定レジスタ 4	R/W	XXXXXXXX _B
C8A _H	WRARL4	ワイルドレジスタ下位アドレス設定レジスタ 4	R/W	XXXXXXXX _B
C8B _H	WRDR4	ワイルドレジスタデータ設定レジスタ 4	R/W	XXXXXXXX _B
C8C _H	WRARH5	ワイルドレジスタ上位アドレス設定レジスタ 5	R/W	XXXXXXXX _B
C8D _H	WRARL5	ワイルドレジスタ下位アドレス設定レジスタ 5	R/W	XXXXXXXX _B
C8E _H	WRDR5	ワイルドレジスタデータ設定レジスタ 5	R/W	XXXXXXXX _B
C8F _H	WRARH6	ワイルドレジスタ上位アドレス設定レジスタ 6	R/W	XXXXXXXX _B
C90 _H	WRARL6	ワイルドレジスタ下位アドレス設定レジスタ 6	R/W	XXXXXXXX _B
C91 _H	WRDR6	ワイルドレジスタデータ設定レジスタ 6	R/W	XXXXXXXX _B

● 書込み / 読込みについての説明

- R/W : リード・ライト可能
- R : リードオンリ
- W : ライトオンリ

● 初期値についての説明

- 0 : このビットの初期値は "0" です。
- 1 : このビットの初期値は "1" です。
- X : このビットの初期値は不定です。
- M : このビットの初期値はマスクオプションです。
- - : このビットは未使用です。

< 注意事項 >

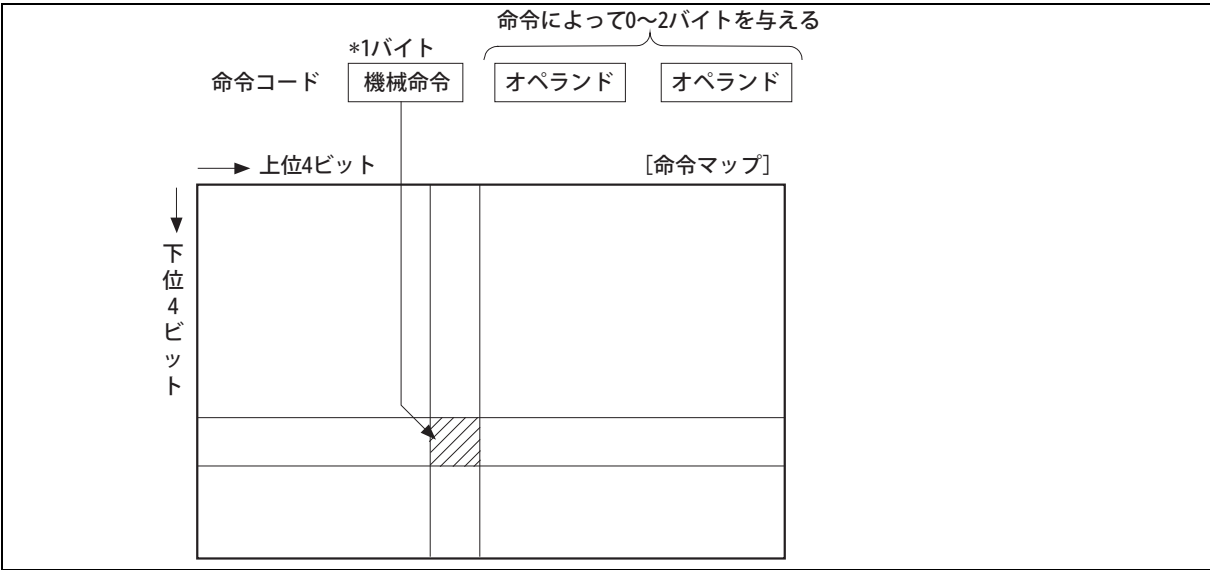
空き領域は使用しないでください。

付録 B 命令概要

F²MC-8L に使用している命令について説明します。

■ F²MC-8L の命令の概要

F²MC-8L には、140 種類の 1 バイト機械命令 (マップとしては 256 バイト) があり、命令とそれに続くオペランドによって命令コードを構成します。
命令コードと命令マップの対応について付図 B-1 に示します。



付図 B-1 命令コードと命令マップの対応

- 命令は転送系、演算系、分岐系、その他の 4 種類に分類されます。
- アドレス指定には各種の方法があり、命令の選択とオペランド指定により 10 種類のアドレッシングを選択できます。
- ビット操作命令を備えており、リードモディファイライト動作が可能です。
- 特殊な動作を指示する命令があります。

■ 命令の表示記号の説明

この付録 B の命令コードの説明で使用している記号の説明を付表 B-1 に示します。

付表 B-1 命令一覧表の記号の説明

表記	意味
dir	ダイレクトアドレス (8 ビット長)
off	オフセット (8 ビット長)
ext	エクステンドアドレス (16 ビット長)
#vct	ベクトルテーブル番号 (3 ビット長)
#d8	イミディエートデータ (8 ビット長)
#d16	イミディエートデータ (16 ビット長)
dir:b	ビットダイレクトアドレス (8 ビット長 : 3 ビット長)
rel	分岐相対アドレス (8 ビット長)
@	レジスタ間接 (例 : @A, @IX, @EP)
A	アキュムレータ (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
AH	アキュムレータの上位 8 ビット (8 ビット長)
AL	アキュムレータの下位 8 ビット (8 ビット長)
T	テンポラリアキュムレータ (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
TH	テンポラリアキュムレータの上位 8 ビット (8 ビット長)
TL	テンポラリアキュムレータの下位 8 ビット (8 ビット長)
IX	インデックスレジスタ (16 ビット長)
EP	エクストラポインタ (16 ビット長)
PC	プログラムカウンタ (16 ビット長)
SP	スタックポインタ (16 ビット長)
PS	プログラムステータス (16 ビット長)
dr	アキュムレータまたはインデックスレジスタのいずれか (16 ビット長)
CCR	コンディションコードレジスタ (8 ビット長)
RP	レジスタバンクポインタ (5 ビット長)
Ri	汎用レジスタ (8 ビット長, i=0 ~ 7)
×	× が即値データそのものであることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
(×)	× の中身がアクセスの対象であることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
((×))	× の中身が示すアドレスがアクセスの対象であることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)

■ 命令一覧表の項目の説明

表 B-2 命令一覧表の項目の説明

項目	説明
MNEMONIC	命令のアセンブル記述を表します。
~	命令のサイクル数 (インストラクションサイクル数) を示します。
#	命令のバイト数を示します。
動作	命令の動作を示します。
TL, TH, AH	TL, TH, AH の各命令実行時の内容の変化 (A から T への自動転送) を示します。 欄内の記号は以下のものを , それぞれ示します。 <ul style="list-style-type: none"> • - は変化なし • dH は動作に記述したデータの上位 8 ビット • AL と AH はその命令実行直前の AL と AH の内容になること • 00 は 00 になること
N, Z, V, C	それぞれに対応するフラグが変化する命令を示します。 この欄に + が記載してある命令は対応するフラグを変化させます。
OP CODE	命令のコードを示します。該当命令が複数のコードを占める場合は , 次のような記載規約に則っています。 【例】 48 ~ 4F これは 48, 49, 4F を示します。

B.1 アドレッシング

F²MC-8L には、以下の 10 種類のアドレッシングがあります。

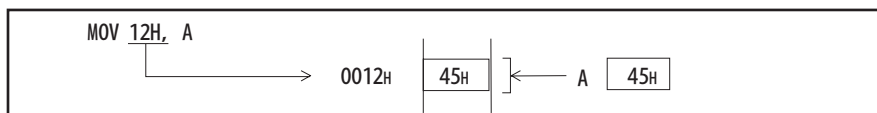
- ダイレクトアドレッシング
- エクステンドアドレッシング
- ビットダイレクトアドレッシング
- インデックスアドレッシング
- ポインタアドレッシング
- 汎用レジスタアドレッシング
- イミディエートアドレッシング
- ベクトルアドレッシング
- 相対アドレッシング
- インヘレントアドレッシング

■ アドレッシングの説明

● ダイレクトアドレッシング

命令表の中で "dir" と示したアドレッシングで、"0000_H" ~ "00FF_H" の領域をアクセスする場合に使用します。このアドレッシングでは、アドレスの上位 1 バイトは "00_H", 下位 1 バイトはオペランドで指定します。

例を付図 B-2 に示します。

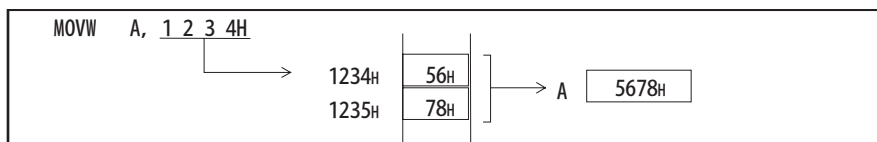


付図 B-2 ダイレクトアドレッシング例

● エクステンドアドレッシング

命令表の中で "ext" と示したアドレッシングで、64K バイト全体の領域をアクセスする場合に使用します。このアドレッシングでは、第 1 オペランドでアドレスの上位 1 バイトを、第 2 オペランドでアドレスの下位 1 バイトを指定します。

例を付図 B-3 に示します。

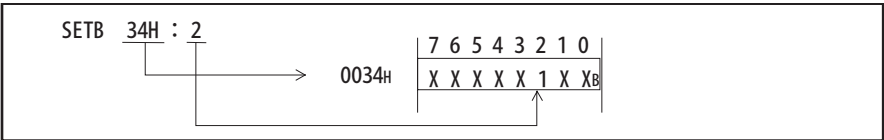


付図 B-3 エクステンドアドレッシング例

● ビットダイレクトアドレッシング

命令表の中で "dir:b" と示したアドレッシングで, "0000_H" ~ "00FF_H" の領域をビット単位でアクセスする場合に使用します。このアドレッシングでは, アドレスの上位 1 バイトは "00_H", 下位 1 バイトはオペランドで指定し, 指定したアドレス内のビットの位置は, オペコードの下位 3 ビットの値で指定します。

例を付図 B-4 に示します。

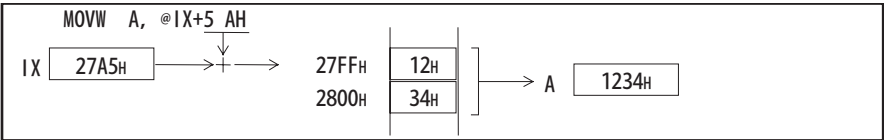


付図 B-4 ビットダイレクトアドレッシング例

● インデックスアドレッシング

命令表の中で "@IX + off" と示したアドレッシングで, 64K バイト全体の領域をアクセスする場合に使用します。このアドレッシングでは, 第 1 オペランドの内容を符号拡張した上で IX (インデックスレジスタ) に加算して, その結果をアドレスとします。

例を付図 B-5 に示します。

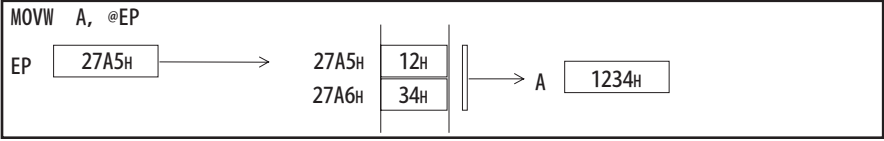


付図 B-5 インデックスアドレッシング例

● ポインタアドレッシング

命令表の中で "@EP" と示したアドレッシングで, 64K バイト全体の領域をアクセスする場合に使用します。このアドレッシングでは, EP (エクストラポインタ) の内容をアドレスとします。

例を付図 B-6 に示します。

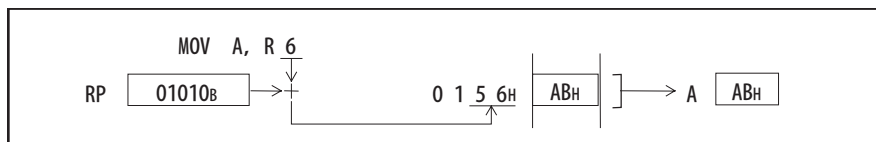


付図 B-6 ポインタアドレッシング例

● 汎用レジスタアドレッシング

命令表の中で "Ri" と示したアドレッシングで、汎用レジスタ領域のレジスタバンクをアクセスする場合に使用します。このアドレッシングでは、アドレスの上位 1 バイトを "01" に固定し、下位 1 バイトを RP (レジスタバンクポインタ) の内容とオペコードの下位 3 ビットから作成し、このアドレスに対してアクセスを行います。

例を付図 B-7 に示します。

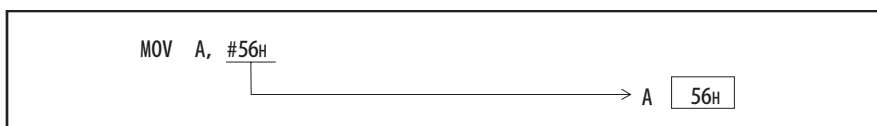


付図 B-7 汎用レジスタアドレッシング例

● イミディエートアドレッシング

命令表の中で "#d8" と示したアドレッシングで、即値データを必要とする場合に使用します。このアドレッシングでは、オペランドがそのまま即値データになります。バイト / ワードの指定はオペコードにより決まります。

例を付図 B-8 に示します。



付図 B-8 イミディエートアドレッシング例

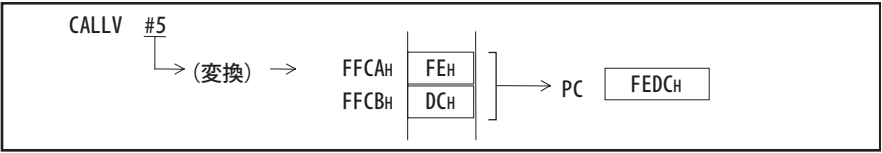
● ベクトルアドレッシング

命令表の中で "vct" と示したアドレッシングで、テーブル内に登録したサブルーチンアドレスに分岐する場合に使用します。このアドレッシングでは、オペコード内に "vct" の情報を含み、付表 B-3 に示す対応でテーブルのアドレスを作成します。

付表 B-3 "vct" に対応したベクトルテーブルアドレス

#vct	ベクトルテーブルアドレス (ジャンプ先上位アドレス: 下位アドレス)
0	FFC0 _H : FFC1 _H
1	FFC2 _H : FFC3 _H
2	FFC4 _H : FFC5 _H
3	FFC6 _H : FFC7 _H
4	FFC8 _H : FFC9 _H
5	FFCA _H : FF CB _H
6	FFCC _H : FF CD _H
7	FFCE _H : FF CF _H

例を付図 B-9 に示します。



付図 B-9 ベクトルアドレッシング例

● 相対アドレッシング

命令表の中で "rel" と示したアドレッシングで、PC (プログラムカウンタ) の前後 128 バイトの領域に分岐する場合に使用します。このアドレッシングでは、オペランドの内容を PC に符号付きで加算し、その結果を PC に格納します。

例を付図 B-10 に示します。



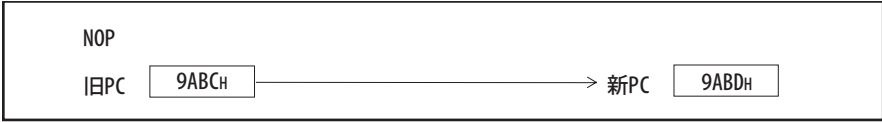
付図 B-10 相対アドレッシング例

この例では、BNE のオペコードが格納されているアドレスへジャンプするので、結果として無限ループになります。

● インヘレントアドレッシング

命令表の中でオペランドを持たないアドレッシングで、オペコードで決まる動作を行う場合に使用します。このアドレッシングでは、動作が命令ごとに異なります。

例を付図 B-11 に示します。



付図 B-11 インヘレントアドレッシング例

B.2 特殊な命令について

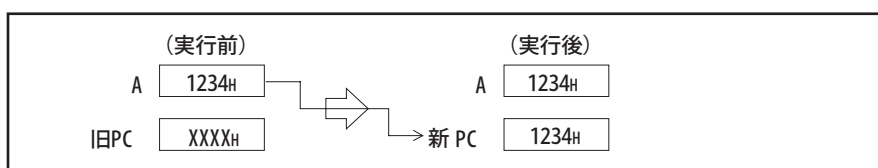
アドレッシング以外の特殊な命令について説明します。

■ 特殊な命令について

● JMP @A

この命令は、A (アキュムレータ) の内容をアドレスとして PC (プログラムカウンタ) へ分岐します。N 個のジャンプ先をテーブル上に並べておき、その内容のいずれか 1 つを選択して A に転送します。この命令を実行することで N 分岐処理を行えます。

概要図を付図 B-12 に示します。

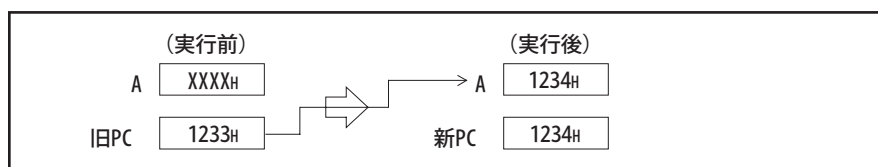


付図 B-12 JMP @A

● MOVW A,PC

この命令は、「JMP @A」と反対の動作を行います。すなわち、PC の内容を A に格納するものです。メインルーチン内でこの命令を実行しておき、特定のサブルーチンと呼び出す設定において、そのサブルーチン内で A の内容が決められた値になっていることを確認します。予想できない部分からの分岐でないことを識別できるため、暴走判断が行えます。

概要図を付図 B-13 に示します。



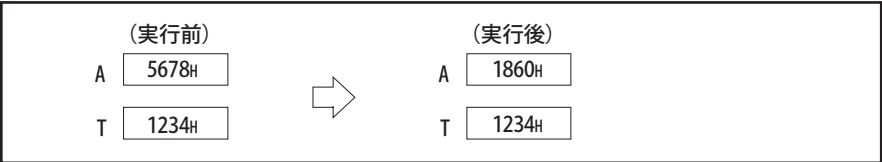
付図 B-13 MOVW A,PC

この命令を実行したときの A の内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、付図 B-13 では、A に格納した値 "1234_H" は「MOVW A, PC」の次のオペコードが格納されているアドレスと一致します。

● MULU A

この命令は、AL (アキュムレータの下位 8 ビット) と TL (テンポラリアキュムレータの下位 8 ビット) を符号なしで掛け合わせ、16 ビット長の結果を A に格納します。T (テンポラリアキュムレータ) の内容は変化しません。演算に関して、実行前の AH (アキュムレータの上位 8 ビット)、TH (テンポラリアキュムレータの上位 8 ビット) の内容は使用していません。フラグは変化しないので、乗算の結果によって分岐する場合には注意してください。

概要図を付図 B-14 に示します。



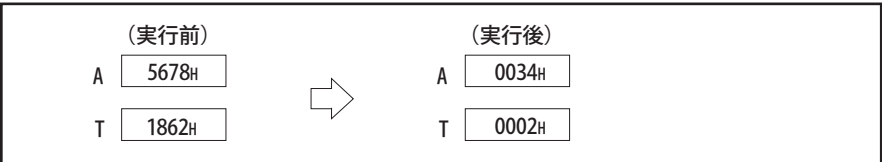
付図 B-14 MULU A

● DIVU A

この命令は、T の 16 ビットを AL の 8 ビットで符号なしデータとして割り、結果を 8 ビットとして AL に、余りを 8 ビットとして TL に格納します。AH、TH とともに "0" になります。演算に関して、実行前の AH の内容は使用していません。結果が 8 ビットを超えるようなデータでは、得られた結果を保証しません。また、結果が 8 ビットを超えたことを示さないで、結果が 8 ビットを超える可能性があるデータはあらかじめ判別を行ってから使用してください。

フラグは変化しないので、除算の結果によって分岐する場合には注意してください。

概要図を付図 B-15 に示します。

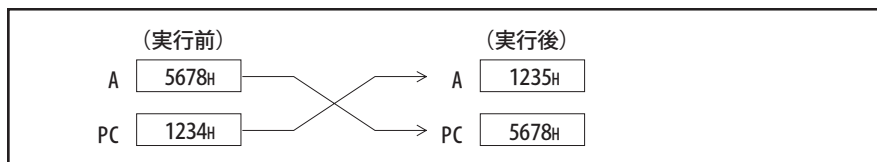


付図 B-15 DIVU A

● XCHW A,PC

この命令は、A と PC の内容を交換するもので、結果として実行前の A の内容が示す番地へ分岐します。実行後の A は、「XCHW A,PC」のオペコードが格納されているアドレスの次のアドレスの値になります。この命令は、特にメインルーチンでテーブルを指定し、サブルーチンで使用する場合に有効です。

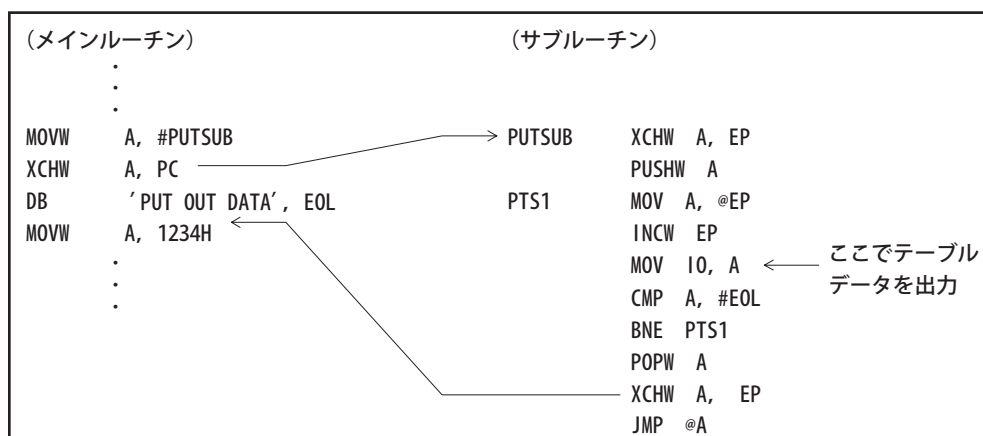
概要図を付図 B-16 に示します。



付図 B-16 XCHW A,PC

この命令を実行したときの A の内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、付図 B-16 では A に格納した値 "1235_H" は「XCHW A,PC」の次のオペコードが格納されているアドレスと一致します。そのため、"1234_H" ではなく "1235_H" になっています。

アセンブラ表記例を付図 B-17 に示します。

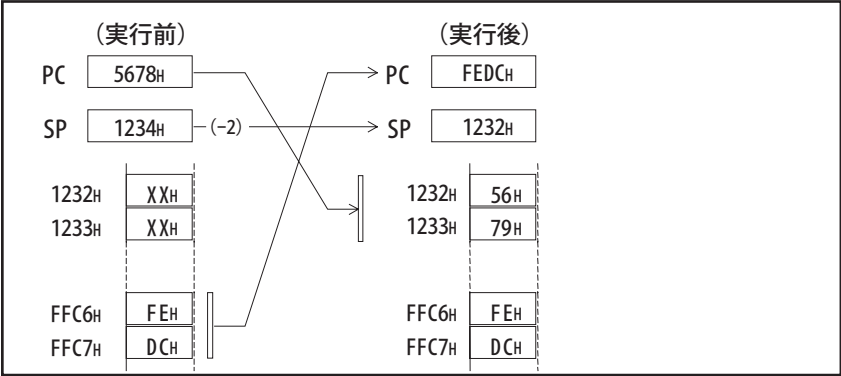


付図 B-17 「XCHW A,PC」の使用例

● CALLV #vct

テーブル内に登録したサブルーチンアドレスに分岐する場合に使用します。リターンアドレス (PC の内容) を SP (スタックポインタ) が示すアドレスへ退避したのち、ベクトルアドレッシングによってベクトルテーブルに記載したアドレスへ分岐します。1 バイトの命令ですので、この命令を頻繁に使用するサブルーチンに対して使用することで、プログラム全体のサイズを縮小できます。

概要図を付図 B-18 に示します。



付図 B-18 CALLV #3 の実行例

この命令を実行したときにスタック領域に退避される PC の内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、付図 B-18 ではスタック (1232_H, 1233_H) に退避された値 "5679_H" は「CALLV #Vct」の次のオペコードが格納されているアドレス (リターンアドレス) と一致します。

B.3 ビット操作命令 (SETB, CLRБ)

周辺機能のレジスタには、ビット操作命令に対して、通常の読出し動作と異なる動作をするビットがあります。

■ リードモディファイライト動作

ビット操作命令では、レジスタまたは RAM の指定ビットのみを "1" にセット (SETB) したり、"0" にクリア (CLRБ) したりできます。しかし、CPU は 8 ビット単位でデータを取り扱うため、実際の動作としては、8 ビットのデータを読み出し、指定されたビットを変更し、元のアドレスに書き戻す、という一連の動作 (リードモディファイライト動作) を行います。

ビット操作命令時のバス動作を付表 B-4 に示します。

付表 B-4 ビット操作命令時のバス動作

CODE	MNEMONIC	～	サイクル	アドレスバス	データバス	\overline{RD}	\overline{WR}	RMW
A0 ~ A7	CLRБ dir:b	4	1	N+1	dir	0	1	0
			2	dir アドレス	データ	0	1	1
A8 ~ AF	SETB dir:b		3	dir アドレス	データ	1	0	0
			4	N+2	次の命令	0	1	0

■ ビット操作命令実行時の読出し先

一部の I/O ポートや割込み要求フラグビットでは、通常リードによる読出し先と、リードモディファイライト時の読出し先が異なります。

● I/O ポート (ビット操作時)

I/O ポートの中には、通常リード時は I/O 端子の値が読み出され、ビット操作時は出力ラッチの値が読み出される I/O ポートがあります。これは、端子の入出力方向や端子の状態に関係なく、出力ラッチの他のビットの不用意な変化を防止するためです。

● 割込み要求フラグビット (ビット操作時)

割込み要求フラグビットは、通常リード時には割込み要求の確認用フラグビットとして機能しますが、ビット操作時には常に "1" が読み出されます。これは、他のビットをビット操作したときに、割込み要求フラグビットへの "0" の書込みによって、不用意にフラグがクリアされるのを防止するためです。

B.4 F²MC-8L 命令一覧表

F²MC-8L で使用している命令の一覧を付表 B-5 ～ 付表 B-8 に示します。

■ 転送系命令

付表 B-5 転送系の命令一覧

No.	MNEMONIC	～	#	動 作	TL	TH	AH	N	Z	V	C	OP CODE
1	MOV dir, A	3	2	(dir) ← (A)	—	—	—	—	—	—	—	45
2	MOV @IX+off, A	4	2	((IX)+off) ← (A)	—	—	—	—	—	—	—	46
3	MOV ext, A	4	3	(ext) ← (A)	—	—	—	—	—	—	—	61
4	MOV @EP, A	3	1	((EP)) ← (A)	—	—	—	—	—	—	—	47
5	MOV Ri, A	3	1	(Ri) ← (A)	—	—	—	—	—	—	—	48～4F
6	MOV A, #d8	2	2	(A) ← d8	AL	—	—	+	+	—	—	04
7	MOV A, dir	3	2	(A) ← (dir)	AL	—	—	+	+	—	—	05
8	MOV A, @IX+off	4	2	(A) ← ((IX)+off)	AL	—	—	+	+	—	—	06
9	MOV A, ext	4	3	(A) ← (ext)	AL	—	—	+	+	—	—	60
10	MOV A, @A	3	1	(A) ← ((A))	AL	—	—	+	+	—	—	92
11	MOV A, @EP	3	1	(A) ← ((EP))	AL	—	—	+	+	—	—	07
12	MOV A, Ri	3	1	(A) ← (Ri)	AL	—	—	+	+	—	—	08～0F
13	MOV dir, #d8	4	3	(dir) ← d8	—	—	—	—	—	—	—	85
14	MOV @IX+off, #d8	5	3	((IX)+off) ← d8	—	—	—	—	—	—	—	86
15	MOV @EP, #d8	4	2	((EP)) ← d8	—	—	—	—	—	—	—	87
16	MOV Ri, #d8	4	2	(Ri) ← d8	—	—	—	—	—	—	—	88～8F
17	MOVW dir, A	4	2	(dir) ← (AH), (dir+1) ← (AL)	—	—	—	—	—	—	—	D5
18	MOVW @IX+off, A	5	2	((IX)+off) ← (AH), ((IX)+off+1) ← (AL)	—	—	—	—	—	—	—	D6
19	MOVW ext, A	5	3	(ext) ← (AH), (ext+1) ← (AL)	—	—	—	—	—	—	—	D4
20	MOVW @EP, A	4	1	((EP)) ← (AH), ((EP)+1) ← (AL)	—	—	—	—	—	—	—	D7
21	MOVW EP, A	2	1	(EP) ← (A)	—	—	—	—	—	—	—	E3
22	MOVW A, #d16	3	3	(A) ← d16	AL	AH	dH	+	+	—	—	E4
23	MOVW A, dir	4	2	(AH) ← (dir), (AL) ← (dir+1)	AL	AH	dH	+	+	—	—	C5
24	MOVW A, @IX+off	5	2	(AH) ← ((IX)+off), (AL) ← ((IX)+off+1)	AL	AH	dH	+	+	—	—	C6
25	MOVW A, ext	5	3	(AH) ← (ext), (AL) ← (ext+1)	AL	AH	dH	+	+	—	—	C4
26	MOVW A, @A	4	1	(AH) ← ((A)), (AL) ← ((A)+1)	AL	AH	dH	+	+	—	—	93
27	MOVW A, @EP	4	1	(AH) ← ((EP)), (AL) ← ((EP)+1)	AL	AH	dH	+	+	—	—	C7
28	MOVW A, EP	2	1	(A) ← (EP)	—	—	—	—	—	—	—	F3
29	MOVW EP, #d16	3	3	(EP) ← d16	—	—	—	—	—	—	—	E7
30	MOVW IX, A	2	1	(IX) ← (A)	—	—	—	—	—	—	—	E2
31	MOVW A, IX	2	1	(A) ← (IX)	—	—	dH	—	—	—	—	F2
32	MOVW SP, A	2	1	(SP) ← (A)	—	—	—	—	—	—	—	E1
33	MOVW A, SP	2	1	(A) ← (SP)	—	—	dH	—	—	—	—	F1
34	MOV @A, T	3	1	((A)) ← (T)	—	—	—	—	—	—	—	82
35	MOVW @A, T	4	1	((A)) ← (TH), ((A)+1) ← (TL)	—	—	—	—	—	—	—	83
36	MOVW IX, #d16	3	3	(IX) ← d16	—	—	—	—	—	—	—	E6
37	MOVW A, PS	2	1	(A) ← (PS)	—	—	dH	—	—	—	—	70
38	MOVW PS, A	2	1	(PS) ← (A)	—	—	—	+	+	+	+	71
39	MOVW SP, #d16	3	3	(SP) ← d16	—	—	—	—	—	—	—	E5
40	SWAP	2	1	(AH) ↔ (AL)	—	—	AL	—	—	—	—	10
41	SETB dir : b	4	2	(dir) : b ← 1	—	—	—	—	—	—	—	A8～AF
42	CLRB dir : b	4	2	(dir) : b ← 0	—	—	—	—	—	—	—	A0～A7
43	XCH A, T	2	1	(AL) ↔ (TL)	AL	—	—	—	—	—	—	42
44	XCHW A, T	3	1	(A) ↔ (T)	AL	AH	dH	—	—	—	—	43
45	XCHW A, EP	3	1	(A) ↔ (EP)	—	—	dH	—	—	—	—	F7
46	XCHW A, IX	3	1	(A) ↔ (IX)	—	—	dH	—	—	—	—	F6
47	XCHW A, SP	3	1	(A) ↔ (SP)	—	—	dH	—	—	—	—	F5
48	MOVW A, PC	2	1	(A) ← (PC)	—	—	dH	—	—	—	—	F0

< 注意事項 >

A へのバイト転送動作時の T への自動転送は, TL AL となります。

複数オペランド命令でのオペランドは, MNEMONIC で表示された順に格納されるものとします。

■ 演算系命令

付表 B-6 演算系の命令一覧 (続く)

No.	MNEMONIC	～	#	動 作	TL	TH	AH	N	Z	V	C	OP CODE
1	ADDC A, Ri	3	1	$(A) \leftarrow (A) + (Ri) + C$	—	—	—	+	+	+	+	28~2F
2	ADDC A, #d8	2	2	$(A) \leftarrow (A) + d8 + C$	—	—	—	+	+	+	+	24
3	ADDC A, dir	3	2	$(A) \leftarrow (A) + (dir) + C$	—	—	—	+	+	+	+	25
4	ADDC A, @IX+off	4	2	$(A) \leftarrow (A) + ((IX) + off) + C$	—	—	—	+	+	+	+	26
5	ADDC A, @EP	3	1	$(A) \leftarrow (A) + ((EP)) + C$	—	—	—	+	+	+	+	27
6	ADDCW A	3	1	$(A) \leftarrow (A) + (T) + C$	—	—	dH	+	+	+	+	23
7	ADDC A	2	1	$(AL) \leftarrow (AL) + (TL) + C$	—	—	—	+	+	+	+	22
8	SUBC A, Ri	3	1	$(A) \leftarrow (A) - (Ri) - C$	—	—	—	+	+	+	+	38~3F
9	SUBC A, #d8	2	2	$(A) \leftarrow (A) - d8 - C$	—	—	—	+	+	+	+	34
10	SUBC A, dir	3	2	$(A) \leftarrow (A) - (dir) - C$	—	—	—	+	+	+	+	35
11	SUBC A, @IX+off	4	2	$(A) \leftarrow (A) - ((IX) + off) - C$	—	—	—	+	+	+	+	36
12	SUBC A, @EP	3	1	$(A) \leftarrow (A) - ((EP)) - C$	—	—	—	+	+	+	+	37
13	SUBCW A	3	1	$(A) \leftarrow (T) - (A) - C$	—	—	dH	+	+	+	+	33
14	SUBC A	2	1	$(AL) \leftarrow (TL) - (AL) - C$	—	—	—	+	+	+	+	32
15	INC Ri	4	1	$(Ri) \leftarrow (Ri) + 1$	—	—	—	+	+	+	—	C8~CF
16	INCW EP	3	1	$(EP) \leftarrow (EP) + 1$	—	—	—	—	—	—	—	C3
17	INCW IX	3	1	$(IX) \leftarrow (IX) + 1$	—	—	—	—	—	—	—	C2
18	INCW A	3	1	$(A) \leftarrow (A) + 1$	—	—	dH	+	+	—	—	C0
19	DEC Ri	4	1	$(Ri) \leftarrow (Ri) - 1$	—	—	—	+	+	+	—	D8~DF
20	DECW EP	3	1	$(EP) \leftarrow (EP) - 1$	—	—	—	—	—	—	—	D3
21	DECW IX	3	1	$(IX) \leftarrow (IX) - 1$	—	—	—	—	—	—	—	D2
22	DECW A	3	1	$(A) \leftarrow (A) - 1$	—	—	dH	+	+	—	—	D0
23	MULU A	19	1	$(A) \leftarrow (AL) \times (TL)$	—	—	dH	—	—	—	—	01
24	DIVU A	21	1	$(A) \leftarrow (T) / (AL), \text{MOD} \rightarrow (T)$	dL	00	00	—	—	—	—	11
25	ANDW A	3	1	$(A) \leftarrow (A) \wedge (T)$	—	—	dH	+	+	R	—	63
26	ORW A	3	1	$(A) \leftarrow (A) \vee (T)$	—	—	dH	+	+	R	—	73
27	XORW A	3	1	$(A) \leftarrow (A) \vee (T)$	—	—	dH	+	+	R	—	53
28	CMP A	2	1	$(TL) - (AL)$	—	—	—	+	+	+	+	12
29	CMPW A	3	1	$(T) - (A)$	—	—	—	+	+	+	+	13
30	RORC A	2	1	$\boxed{\rightarrow C \rightarrow A}$	—	—	—	+	+	—	+	03
31	ROLC A	2	1	$\boxed{C \leftarrow A \leftarrow}$	—	—	—	+	+	—	+	02
32	CMP A, #d8	2	2	$(A) - d8$	—	—	—	+	+	+	+	14
33	CMP A, dir	3	2	$(A) - (dir)$	—	—	—	+	+	+	+	15
34	CMP A, @EP	3	1	$(A) - ((EP))$	—	—	—	+	+	+	+	17
35	CMP A, @IX+off	4	2	$(A) - ((IX) + off)$	—	—	—	+	+	+	+	16
36	CMP A, Ri	3	1	$(A) - (Ri)$	—	—	—	+	+	+	+	18~1F
37	DAA	2	1	decimal adjust for addition	—	—	—	+	+	+	+	84
38	DAS	2	1	decimal adjust for subtraction	—	—	—	+	+	+	+	94
39	XOR A	2	1	$(A) \leftarrow (AL) \vee (TL)$	—	—	—	+	+	R	—	52
40	XOR A, #d8	2	2	$(A) \leftarrow (AL) \vee d8$	—	—	—	+	+	R	—	54
41	XOR A, dir	3	2	$(A) \leftarrow (AL) \vee (dir)$	—	—	—	+	+	R	—	55
42	XOR A, @EP	3	1	$(A) \leftarrow (AL) \vee ((EP))$	—	—	—	+	+	R	—	57
43	XOR A, @IX+off	4	2	$(A) \leftarrow (AL) \vee ((IX) + off)$	—	—	—	+	+	R	—	56
44	XOR A, Ri	3	1	$(A) \leftarrow (AL) \vee (Ri)$	—	—	—	+	+	R	—	58~5F
45	AND A	2	1	$(A) \leftarrow (AL) \wedge (TL)$	—	—	—	+	+	R	—	62
46	AND A, #d8	2	2	$(A) \leftarrow (AL) \wedge d8$	—	—	—	+	+	R	—	64
47	AND A, dir	3	2	$(A) \leftarrow (AL) \wedge (dir)$	—	—	—	+	+	R	—	65
48	AND A, @EP	3	1	$(A) \leftarrow (AL) \wedge ((EP))$	—	—	—	+	+	R	—	67
49	AND A, @IX+off	4	2	$(A) \leftarrow (AL) \wedge ((IX) + off)$	—	—	—	+	+	R	—	66
50	AND A, Ri	3	1	$(A) \leftarrow (AL) \wedge (Ri)$	—	—	—	+	+	R	—	68~6F
51	OR A	2	1	$(A) \leftarrow (AL) \vee (TL)$	—	—	—	+	+	R	—	72
52	OR A, #d8	2	2	$(A) \leftarrow (AL) \vee d8$	—	—	—	+	+	R	—	74
53	OR A, dir	3	2	$(A) \leftarrow (AL) \vee (dir)$	—	—	—	+	+	R	—	75
54	OR A, @EP	3	1	$(A) \leftarrow (AL) \vee ((EP))$	—	—	—	+	+	R	—	77
55	OR A, @IX+off	4	2	$(A) \leftarrow (AL) \vee ((IX) + off)$	—	—	—	+	+	R	—	76

付表 B-6 演算系の命令一覧 (続き)

No.	MNEMONIC	～	#	動 作	TL	TH	AH	N	Z	V	C	OP CODE
56	OR A, Ri	3	1	(A) ← (AL) ∨ (Ri)	—	—	—	+	+	R	—	78～7F
57	CMP dir, #d8	5	3	(dir) - d8	—	—	—	+	+	+	+	95
58	CMP @EP, #d8	4	2	(EP) - d8	—	—	—	+	+	+	+	97
59	CMP @IX+off, #d8	5	3	((IX) +off) - d8	—	—	—	+	+	+	+	96
60	CMP Ri, #d8	4	2	(Ri) - d8	—	—	—	+	+	+	+	98～9F
61	INCW SP	3	1	(SP) ← (SP) + 1	—	—	—	—	—	—	—	C1
62	DECW SP	3	1	(SP) ← (SP) - 1	—	—	—	—	—	—	—	D1

■ 分岐系命令

付表 B-7 分岐系の命令一覧

No.	MNEMONIC	～	#	動 作	TL	TH	AH	N	Z	V	C	OP CODE
1	BZ/BEQ rel	3	2	if Z=1 then PC←PC+rel	—	—	—	—	—	—	—	FD
2	BNZ/BNE rel	3	2	if Z=0 then PC←PC+rel	—	—	—	—	—	—	—	FC
3	BC/BLO rel	3	2	if C=1 then PC←PC+rel	—	—	—	—	—	—	—	F9
4	BNC/BHS rel	3	2	if C=0 then PC←PC+rel	—	—	—	—	—	—	—	F8
5	BN rel	3	2	if N=1 then PC←PC+rel	—	—	—	—	—	—	—	FB
6	BP rel	3	2	if N=0 then PC←PC+rel	—	—	—	—	—	—	—	FA
7	BLT rel	3	2	if V∧N=1 then PC←PC+rel	—	—	—	—	—	—	—	FF
8	BGE rel	3	2	if V∧N=0 then PC←PC+rel	—	—	—	—	—	—	—	FE
9	BBC dir:b, rel	5	3	if (dir:b) = 0 then PC←PC+rel	—	—	—	—	+	—	—	B0 ～B7
10	BBS dir:b, rel	5	3	if (dir:b) = 1 then PC←PC+rel	—	—	—	—	+	—	—	B8 ～BF
11	JMP @A	2	1	(PC) ← (A)	—	—	—	—	—	—	—	E0
12	JMP ext	3	3	(PC) ← ext	—	—	—	—	—	—	—	21
13	CALLV #vct	6	1	vector call	—	—	—	—	—	—	—	E8～EF
14	CALL ext	6	3	subroutine call	—	—	—	—	—	—	—	31
15	XCHW A, PC	3	1	(PC) ← (A), (A) ← (PC) + 1	—	—	dH	—	—	—	—	F4
16	RET	4	1	return from subroutine	—	—	—	—	—	—	—	20
17	RETI	6	1	return from interrupt	—	—	—	—	—	—	restore	30

■ その他命令

付表 B-8 その他の命令一覧

No.	MNEMONIC	～	#	動 作	TL	TH	AH	N	Z	V	C	OP CODE
1	PUSHW A	4	1	((SP)) ← (A), (SP) ← (SP) - 2	—	—	—	—	—	—	—	40
2	POPW A	4	1	(A) ← ((SP)), (SP) ← (SP) + 2	—	—	dH	—	—	—	—	50
3	PUSHW IX	4	1	((SP)) ← (IX), (SP) ← (SP) - 2	—	—	—	—	—	—	—	41
4	POPW IX	4	1	(IX) ← ((SP)), (SP) ← (SP) + 2	—	—	—	—	—	—	—	51
5	NOP	1	1	No operation	—	—	—	—	—	—	—	00
6	CLRC	1	1	(C) ← 0	—	—	—	—	—	—	R	81
7	SETC	1	1	(C) ← 1	—	—	—	—	—	—	S	91
8	CLRI	1	1	(I) ← 0	—	—	—	—	—	—	—	80
9	SETI	1	1	(I) ← 1	—	—	—	—	—	—	—	90

B.5 命令マップ

F²MC-8L の命令マップを付表 B-9 に示します。

■ 命令マップ

付表 B-9 F²MC-8L の命令マップ

H L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SWAP	RET	RETI	PUSHW	POPW	MOV A, ext	MOVW A, PS	CLRl	SETl	CLRB dir: 0	BBC dir: 0, rel	INCW A	DECW A	JMP @A	MOVW A, PC
1	MULU A	DIVU A	JMP addr16	CALL addr16	PUSHW IX	POPW IX	MOV ext, A	MOVW PS, A	CLRC	SETC	CLRB dir: 1	BBC dir: 1, rel	INCW SP	DECW SP	MOVW SP, A	MOVW A, SP
2	ROL A	CMP	ADDC	SUBC	XCH A, T	XOR A	AND	OR	MOV @A, T	MOV A, @A	CLRB dir: 2	BBC dir: 2, rel	INCW IX	DECW IX	MOVW IX, A	MOVW A, IX
3	RORC A	CMPW	ADDCW	SUBCW	XCHW A, T	XORW A	ANDW A	ORW A	MOVW @A, T	MOVW A, @A	CLRB dir: 3	BBC dir: 3, rel	INCW EP	DECW EP	MOVW EP, A	MOVW A, EP
4	MOV A, #d8	CMP A, #d8	ADDC A, #d8	SUBC A, #d8	MOV A, T	XOR A, #d8	AND A, #d8	OR A, #d8	DAA	DAS	CLRB dir: 4	BBC dir: 4, rel	MOVW A, ext	MOVW ext, A	MOVW A, #dl6	MOVW A, PC
5	MOV A, dir	CMP A, dir	ADDC A, dir	SUBC A, dir	MOV dir, A	XOR A, dir	AND A, dir	OR A, dir	MOV dir, #d8	CMP dir, #d8	CLRB dir: 5	BBC dir: 5, rel	MOVW A, dir	MOVW dir, A	MOVW SP, #dl6	MOVW A, SP
6	MOV A, @IX+d	CMP A, @IX+d	ADDC A, @IX+d	SUBC A, @IX+d	MOV @IX+d, A	XOR A, @IX+d	AND A, @IX+d	OR A, @IX+d	MOV @IX+d, #d8	CMP @IX+d, #d8	CLRB dir: 6	BBC dir: 6, rel	MOVW A, @IX+d	MOVW @IX+d, A	MOVW IX, #dl6	MOVW A, IX
7	MOV A, @EP	CMP A, @EP	ADDC A, @EP	SUBC A, @EP	MOV @EP, A	XOR A, @EP	AND A, @EP	OR A, @EP	MOV @EP, #d8	CMP @EP, #d8	CLRB dir: 7	BBC dir: 7, rel	MOVW A, @EP	MOVW @EP, A	MOVW EP, #dl6	MOVW A, EP
8	MOV A, R0	CMP A, R0	ADDC A, R0	SUBC A, R0	MOV R0, A	XOR R0, A	AND A, R0	OR A, R0	MOV R0, #d8	CMP R0, #d8	SETB dir: 0	BBS dir: 0, rel	INC R0	DEC R0	CALLV #0	BNC rel
9	MOV A, R1	CMP A, R1	ADDC A, R1	SUBC A, R1	MOV R1, A	XOR A, R1	AND A, R1	OR A, R1	MOV R1, #d8	CMP R1, #d8	SETB dir: 1	BBS dir: 1, rel	INC R1	DEC R1	CALLV #1	BC rel
A	MOV A, R2	CMP A, R2	ADDC A, R2	SUBC A, R2	MOV R2, A	XOR A, R2	AND A, R2	OR A, R2	MOV R2, #d8	CMP R2, #d8	SETB dir: 2	BBS dir: 2, rel	INC R2	DEC R2	CALLV #2	BP rel
B	MOV A, R3	CMP A, R3	ADDC A, R3	SUBC A, R3	MOV R3, A	XOR A, R3	AND A, R3	OR A, R3	MOV R3, #d8	CMP R3, #d8	SETB dir: 3	BBS dir: 3, rel	INC R3	DEC R3	CALLV #3	BN rel
C	MOV A, R4	CMP A, R4	ADDC A, R4	SUBC A, R4	MOV R4, A	XOR A, R4	AND A, R4	OR A, R4	MOV R4, #d8	CMP R4, #d8	SETB dir: 4	BBS dir: 4, rel	INC R4	DEC R4	CALLV #4	BNZ rel
D	MOV A, R5	CMP A, R5	ADDC A, R5	SUBC A, R5	MOV R5, A	XOR A, R5	AND A, R5	OR A, R5	MOV R5, #d8	CMP R5, #d8	SETB dir: 5	BBS dir: 5, rel	INC R5	DEC R5	CALLV #5	BZ rel
E	MOV A, R6	CMP A, R6	ADDC A, R6	SUBC A, R6	MOV R6, A	XOR A, R6	AND A, R6	OR A, R6	MOV R6, #d8	CMP R6, #d8	SETB dir: 6	BBS dir: 6, rel	INC R6	DEC R6	CALLV #6	BGE rel
F	MOV A, R7	CMP A, R7	ADDC A, R7	SUBC A, R7	MOV R7, A	XOR A, R7	AND A, R7	OR A, R7	MOV R7, #d8	CMP R7, #d8	SETB dir: 7	BBS dir: 7, rel	INC R7	DEC R7	CALLV #7	BLT rel

付録 C マスクオプション

MB89530/530H/530A シリーズのマスクオプションの一覧を付表 C-1 に示します。

■ マスクオプション一覧表

付表 C-1 マスクオプション一覧

No	品種	MB89535A MB89537/537H/537A MB89537C/537HC/537AC MB89538/538H/538A MB89538C/538HC/538AC	MB89P538-101 MB89P538-201	MB89PV530-101 MB89PV530-201	MB89F538L-101 MB89F538L-201 MB89F538-101 MB89F538-201
	指定方法	マスク発注時に指定	設定不可	設定不可	設定不可
1	メインクロック 発振安定待ち時間の 選択 ($F_{CH}=10\text{MHz}$ 時) 約 $2^{14}/F_{CH}$ (約 1.6ms) 約 $2^{17}/F_{CH}$ (約 13.1ms) 約 $2^{18}/F_{CH}$ (約 26.2ms)	選択可	$2^{18}/F_{CH}$ (約 26.2ms)	$2^{18}/F_{CH}$ (約 26.2ms)	$2^{18}/F_{CH}$ (約 26.2ms)
2	クロックモード選択 ・2 系統クロックモード ・1 系統クロックモード	選択可	-101:1 系統クロックモード -201:2 系統クロックモード		

F_{CH} : メインクロック周波数

付録 D ワンタイム PROM, EPROM マイコンの書込み仕様

MB89P538 には、MBM27C1001 相当の機能となる PROM モードがあり、専用アダプタを使用することにより汎用の ROM ライタで書込みできます。ただし、エレクトロニックングネチャモードは使用できませんのでご注意ください。

■ ROM ライタ用アダプタ

ROM ライタによっては、 V_{CC} と V_{SS} の間に 0.1 μ F 程度のコンデンサを挿入した方が安定して書き込めます。

ROM ライタ用アダプタを付表 D-1 に示します。

付表 D-1 ROM ライタ用アダプタ

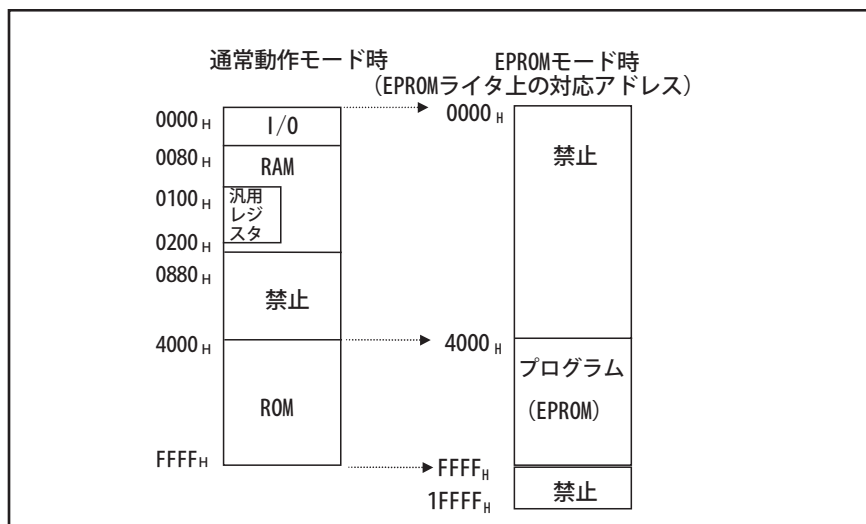
品名	パッケージ	適合アダプタ
MB89P538-101PF-G-BND MB89P538-201PF-G-BND	FTP-64P-M06	ROM-64QF-32DP-8LA2 *
MB89P538-101PFM-G-BND MB89P538-201PFM-G-BND	FTP-64P-M09	ROM-64QF2-32DP-8LA
MB89P538-101P-G-SH MB89P538-201P-G-SH	DIP-64P-M01	ROM-64SD-32DP-8LA2 *

問合せ先：サンハヤト（株）：TEL 03-3986-0403

*: これらのアダプタは、バージョン 3 以降のものを使用してください。

■ EPROM モード時のメモリマップ

EPROM モード時のメモリマップは、付図 D-1 のとおりです。PROM オプションはありません。

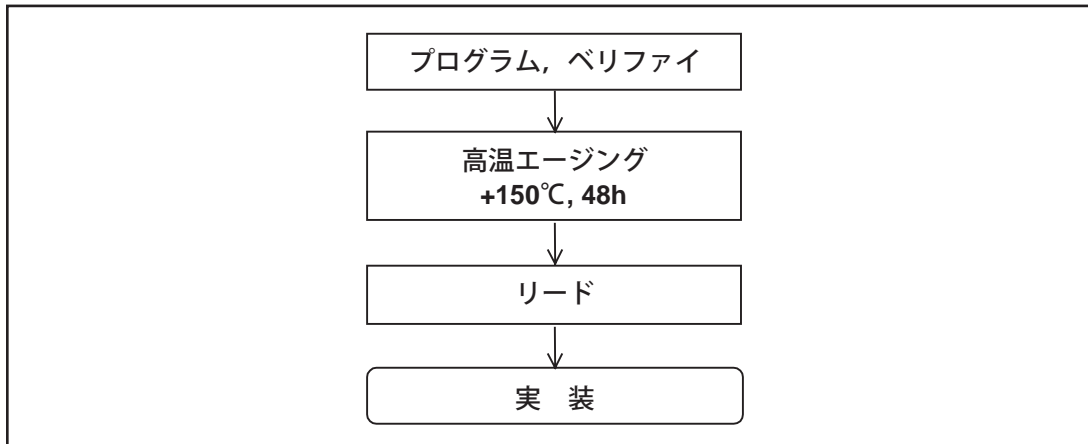


付図 D-1 EPROM モード時のメモリマップ

■ 推奨スクリーニング条件

ワンタイム PROM のマイコンプログラム未書き込み品は、実装前のスクリーニング方法として、高温エージングをお勧めいたします。

スクリーニングのフローを付図 D-2 に示します。



付図 D-2 スクリーニングのフロー

■ 書き込み歩留りについて

ワンタイム PROM マイコンプログラム未書き込み品は、性質上、全ビットに対して書き込み試験を実施できません。したがって、必ずしも書き込み歩留り 100 % を保証できない場合があります。

付録 E MB89530/530H/530A シリーズの端子状態

各モードにおける MB89530/530H/530A シリーズの端子状態を付表 E-1 に示します。

■ 各モードにおける端子状態

付表 E-1 各モードにおける端子状態

端子名	通常動作	スリープモード	ストップモード		時計モード		リセット中
			SPL="0"	SPL="1"	SPL="0"	SPL="1"	
X0	発振回路入力	発振回路入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	発振回路入力
X1	発振回路出力	発振回路出力	"H"	"H"	"H"	"H"	発振回路出力
MOD0 MOD1	モード入力	モード入力	モード入力	モード入力	モード入力	モード入力	モード入力
RST	リセット入力	リセット入力	リセット入力	リセット入力	リセット入力	リセット入力	リセット入力
P00 ~ P17	ポート / 周辺機器入出力	保持 / 周辺機器入出力	保持	Hi-Z	保持	Hi-Z	Hi-Z
P20/PWCK	ポート / 周辺機器入出力	保持 / 周辺機器入出力	保持	"H"(プルアップ時) Hi-Z(プルアップ時以外)	保持	"H"(プルアップ時) Hi-Z(プルアップ時以外)	Hi-Z
P21/PPG01 ~ P22/PPG02							
P23 ~ P27							
P30/PPG03/MCO							
P31/SCK1(UCK1)/LMCO							
P32/SO1(UO1)							
P33/SI1(UI1)							
P34/PTO2							
P35/PWC							
P36/WTO							
P37/PTO1							
P40/INT20/EC	ポート / 外部割込み 2 入力 / 周辺機器入出力	保持 / 外部割込み 2 入力 / 周辺機器入出力	保持 / 外部割込み 2 入力	"H"(プルアップ時) Hi-Z(プルアップ時以外) / 外部割込み 2 入力	保持 / 外部割込み 2 入力	"H"(プルアップ時) Hi-Z(プルアップ時以外) / 外部割込み 2 入力	Hi-Z
P41/INT21/SCK2							
P42/INT22/SO2/SDA							
P43/INT23/SI2/SCL							
P44/INT24/UCK2							
P45/INT25/UO2							
P46/INT26/UI2							
P47/INT27/ADST							
P50/AN0 ~ P57/AN7	ポート / AD 入力	保持 / AD 入力	保持	"H"(プルアップ時) Hi-Z(プルアップ時以外)	保持	"H"(プルアップ時) Hi-Z(プルアップ時以外)	Hi-Z
P60/INT10 ~ P62/INT12	ポート / 外部割込み 1 入力	保持 / 外部割込み 1 入力	保持 / 外部割込み 1 入力	"H"(プルアップ時) Hi-Z(プルアップ時以外) / 外部割込み 1 入力	保持 / 外部割込み 1 入力	"H"(プルアップ時) Hi-Z(プルアップ時以外) / 外部割込み 1 入力	Hi-Z
P63/INT13/X0A	ポート / 外部割込み 1 入力 / サブクロック入力	保持 / 外部割込み 1 入力 / サブクロック入力	保持 / 外部割込み 1 入力	"H"(プルアップ時) Hi-Z(プルアップ時以外) / 外部割込み 1 入力	サブクロック入力	サブクロック入力	発振回路入力
P64/X1A	ポート / サブクロック出力	保持 / サブクロック出力	保持	"H"(プルアップ時) Hi-Z(プルアップ時以外)	サブクロック出力	サブクロック出力	発振回路出力

付録 F トラブルシューティング

異常が発生した場合，次のチェックリストに従って対処してください。

また，ソフトウェアに原因があることも考えられますので，使用中のソフトウェアマニュアルも併せてご覧ください。

■ チェックリスト

付表 F-1 チェックリスト

症状	原因	対策	チェック欄
マイコンの動作が正常に行われない。	電源 (V_{CC} , GND) が接続されていない。	電源 (V_{CC} , GND) を接続してください。	
	電気的特性内で各端子への入力を行っていない。	電気的特性内で各端子への入力を行ってください。	
	MOD0, MOD1 端子が，使用する動作モードで処理されていない。	MOD0, MOD1 端子の処理を行ってください。	
	発振子は接続されているが，電源投入時およびリセット時に発振されていない。	発振している場合 接続している振動子の周波数で発振しているかチェックしてください。	
		発振していない場合 スタンバイモードのストップモードに状態遷移している場合があるので，プログラムをチェックしてください。	
ツールでの評価時には動作していたが，ワンタイム ROM 品では動作しない。	各レジスタおよび RAM が初期設定できていない。	電源の投入を繰り返し行っても，動作が不安定な場合，初期値の未設定が考えられます。	

■ 問い合わせ時の確認事項

お問い合わせの際には，以下の内容を確認して各販売担当または特約店にご相談ください。

- 1) 正常時と異常時の動作の相違について，端子レベル（波形）で確認ください。
- 2) 不具合発生の頻度，条件，不具合の発生個数，その他電圧，温度，周波数の依存性について確認ください。
- 3) ワンタイム品，マスク ROM 品，EVA 品での動作を確認してください。

用語索引

Numerics

12 ビット PPG 制御レジスタ	
12 ビット PPG 制御レジスタ (PPGC1/PPGC2)	245
12 ビット PPG タイマ	
12 ビット PPG タイマ機能 1	238
12 ビット PPG タイマ機能 2	239
12 ビット PPG タイマ使用上の注意	250
12 ビット PPG タイマに関連する端子	242
12 ビット PPG タイマに関連する端子のブロック ダイアグラム	242
12 ビット PPG タイマの概要	238
12 ビット PPG タイマの動作説明	249
12 ビット PPG タイマのプログラム例	252
12 ビット PPG タイマのブロックダイアグラム	240
12 ビット PPG リロードレジスタ	
12 ビット PPG リロードレジスタ 1(PRL11/PRL21)	246
12 ビット PPG リロードレジスタ 2(PRL12/PRL22)	247
12 ビット PPG リロードレジスタ 3(PRL13/PRL23)	248
16 ビットタイマ / カウンタ	
16 ビットタイマ / カウンタ使用上の注意	266
16 ビットタイマ / カウンタに関連する端子	257
16 ビットタイマ / カウンタに関連する端子の ブロックダイアグラム	257
16 ビットタイマ / カウンタに関連するレジスタ	258
16 ビットタイマ / カウンタの概要	254
16 ビットタイマ / カウンタのブロックダイア グラム	255
16 ビットタイマ / カウンタの割込みに関連する レジスタとベクトルテーブル	262
16 ビットデータ	
RAM 上の 16 ビットデータの格納状態	34
スタックの 16 ビットデータの格納状態	34
2CH 8 ビット PWM タイマ	
2CH 8 ビット PWM タイマ使用上の注意	187
2CH 8 ビット PWM タイマに関連する端子	164
2CH 8 ビット PWM タイマに関連する端子の ブロックダイアグラム	164
2CH 8 ビット PWM タイマに関連するレジスタ	165
2CH 8 ビット PWM タイマの概要 (インターバルタイマ機能)	158
2CH 8 ビット PWM タイマの概要 (PWM タイマ機能)	160
2CH 8 ビット PWM タイマのブロックダイア グラム	162
2CH 8 ビット PWM タイマの割込み	175
2CH 8 ビット PWM タイマの割込みに関連する レジスタとベクトルテーブル	175

2 系統クロック	
状態遷移図 1(2 系統クロック)	75
6 ビット PPG 制御レジスタ	
6 ビット PPG 制御レジスタ 1(RCR1)	230
6 ビット PPG 制御レジスタ 2(RCR2)	231
6 ビット PPG タイマ	
6 ビット PPG タイマ機能 1	224
6 ビット PPG タイマ機能 2	225
6 ビット PPG タイマ使用上の注意	233
6 ビット PPG タイマに関連する端子	228
6 ビット PPG タイマに関連する端子のブロック ダイアグラム	228
6 ビット PPG タイマに関連するレジスタ	229
6 ビット PPG タイマの動作説明	232
6 ビット PPG タイマのプログラム例	235
6 ビット PPG タイマのブロックダイアグラム	226
6 ビット PPG タイマの概要	224
7 ビット PWM モード	
7 ビット PWM モードの動作説明	180
8 ビット PWM モード	
8 ビット PWM モードの動作説明	178
8 ビット受信動作	
8 ビット受信動作	338
8 ビットシリアル I/O	
8 ビットシリアル I/O 使用上の注意	392
8 ビットシリアル I/O に関連する端子	377
8 ビットシリアル I/O に関連する端子のブロック ダイアグラム	378
8 ビットシリアル I/O に関連するレジスタ	381
8 ビットシリアル I/O の概要	374
8 ビットシリアル I/O の動作中の各モードでの 状態	390
8 ビットシリアル I/O のプログラム例	395
8 ビットシリアル I/O のブロックダイアグラム	375
8 ビットシリアル I/O の割込みに関連する レジスタとベクトルテーブル	385
8 ビット送信動作	
8 ビット送信動作	340
8 ビットタイマモード	
8 ビットタイマモードのプログラム例	188

A

A/D コンバータ

A/D コンバータ使用上の注意	311
A/D コンバータに関連する端子	301
A/D コンバータに関連する端子のブロック ダイアグラム	301
A/D コンバータに関連するレジスタ	302
A/D コンバータの概要	298
A/D コンバータの電源電圧	300
A/D コンバータのブロックダイアグラム	299
A/D コンバータの割込みに関連するレジスタと ベクトルテーブル	308

A/D 制御レジスタ

A/D 制御レジスタ 1(ADC1)	303
A/D 制御レジスタ 2(ADC2)	305

A/D データレジスタ

A/D データレジスタ (ADDH,ADDL)	307
-------------------------	-----

A/D 変換

A/D 変換機能	298
A/D 変換機能動作時の割込み	308
A/D 変換機能の起動	309
A/D 変換機能の動作	310
A/D 変換機能のプログラム例	313

ADC1

A/D 制御レジスタ 1(ADC1)	303
--------------------	-----

ADC2

A/D 制御レジスタ 2(ADC2)	305
--------------------	-----

ADDH,ADDL

A/D データレジスタ (ADDH,ADDL)	307
-------------------------	-----

C

CCR

コンディションコードレジスタ (CCR) の構成	37
--------------------------	----

CH12PWM モード

CH12PWM モードの動作	182
CH12PWM モードのプログラム例	194
インターバルタイマ機能および CH12PWM モード動作時の割込み	175

CK12 モード

CK12 モードのプログラム例	190
-----------------	-----

CKR

クロック出力制御レジスタ (CKR)	446
--------------------	-----

CNTR1

PWM 制御レジスタ 1(CNTR1)	166
---------------------	-----

CNTR2

PWM 制御レジスタ 2(CNTR2)	168
---------------------	-----

CNTR3

PWM 制御レジスタ 3(CNTR3)	170
---------------------	-----

COMR1

PWM コンペアレジスタ 1(COMR1)	171
-----------------------	-----

COMR2

PWM コンペアレジスタ 2(COMR2)	173
-----------------------	-----

D

DDR0

ポート 0, ポート 1 レジスタ PDR0, DDR0 と 端子との対応	87
--	----

DIP-64P-M01

DIP-64P-M01,MDP-64C-P02 端子配列図	9
DIP-64P-M01 の外形寸法図	12

E

EIC1

外部割込み 1 制御レジスタ 1(EIC1)	277
------------------------	-----

EIC2

外部割込み 1 制御レジスタ 2(EIC2)	279
------------------------	-----

EIE2

外部割込み 2 制御レジスタ (EIE2)	292
-----------------------	-----

EIF2

外部割込み 2 フラグレジスタ (EIF2)	293
------------------------	-----

EPROM モード

EPROM モード時のメモリマップ	506
-------------------	-----

F

FMCS

フラッシュメモリコントロールステータス レジスタ (FMCS)	454
------------------------------------	-----

FPT-64P-M03

FPT-64P-M03,FPT-64P-M09 の端子配列図	10
FPT-64P-M03 の外形寸法図	13

FPT-64P-M06

FPT-64P-M06,MQP-64C-P01 の端子配列図	11
FPT-64P-M06 の外形寸法図	14

FPT-64P-M09

FPT-64P-M03,FPT-64P-M09 の端子配列図	10
FPT-64P-M09 の外形寸法図	15

I

I/O ポート

I/O ポートの概要	84
I/O ポートの機能	84
I/O ポートのプログラム例	126

I/O マップ

I/O マップ	486
---------	-----

I²C アドレス制御レジスタ

I ² C アドレス制御レジスタ (IACR)	407
------------------------------------	-----

I²C アドレスレジスタ

I ² C アドレスレジスタ (IADR)	415
----------------------------------	-----

I²C クロック制御レジスタ

I ² C クロック制御レジスタ (ICCR)	413
------------------------------------	-----

I²C スレーブ送受信プログラム

I ² C スレーブ送受信プログラムの フローチャート例	422
--	-----

I²C データレジスタ

I ² C データレジスタ (IDAR)	416
---------------------------------	-----

I²C バスインタフェース

I ² C バスインタフェース機能	400
I ² C バスインタフェース使用上の注意	421
I ² C バスインタフェースに関連する端子	404
I ² C バスインタフェースに関連する端子の ブロックダイアグラム	405
I ² C バスインタフェースに関連するレジスタ	406
I ² C バスインタフェースのブロックダイアグラム	401

I ² C バスインタフェースの割込みに関連する レジスタとベクトルテーブル	417
I ² C バスシステム	
I ² C バスシステム	418
I ² C バスステータスレジスタ	
I ² C バスステータスレジスタ (IBSR)	408
I ² C バス制御レジスタ	
I ² C バス制御レジスタ (IBCR)	410
I ² C バスプロトコル	
I ² C バスプロトコル	418
I ² C マスタ送受信プログラム	
I ² C マスタ送受信プログラムのフローチャート例	422
IACR	
I ² C アドレス制御レジスタ (IACR)	407
IADR	
I ² C アドレスレジスタ (IADR)	415
IBCR	
I ² C バス制御レジスタ (IBCR)	410
IBSR	
I ² C バスステータスレジスタ (IBSR)	408
ICCR	
I ² C クロック制御レジスタ (ICCR)	413
IDAR	
I ² C データレジスタ (IDAR)	416
ILR	
割込みレベル設定レジスタ (ILR1,2,3,4) の構成	43

M

MB89530/530H/530A シリーズ	
MB89530/530H/530A シリーズの特長	2
MB89530/530H/530A シリーズの品種構成	4
MB89530/530H/530A シリーズのブロックダイヤ グラム	8
MB89F538/F538L	
MB89F538/F538L シリアル書き込み接続の 基本構成	474
MDP-64C-P02	
DIP-64P-M01,MDP-64C-P02 端子配列図	9
MDP-64C-P02 の外形寸法図	16
MOD	
モード端子 (MOD0,1)	81
MQP-64C-P01	
FPT-64P-M06,MQP-64C-P01 の端子配列図	11
MQP-64C-P01 の外形寸法図	17

P

PCR1	
PWC パルス幅制御レジスタ 1(PCR1)	203
PCR2	
PWC パルス幅制御レジスタ 2(PCR2)	205
PDR0	
ポート 0, ポート 1 レジスタ PDR0, DDR0 と 端子との対応	87
PPGC1/PPGC2	
12 ビット PPG 制御レジスタ (PPGC1/PPGC2)	245

PRL11/PRL21	
12 ビット PPG リロードレジスタ 1(PRL11/PRL21)	246
PRL12/PRL22	
12 ビット PPG リロードレジスタ 2(PRL12/PRL22)	247
PRL13/PRL23	
12 ビット PPG リロードレジスタ 3(PRL13/PRL23)	248
PWC パルス幅制御レジスタ	
PWC パルス幅制御レジスタ 1(PCR1)	203
PWC パルス幅制御レジスタ 2(PCR2)	205
PWC リロードバッファレジスタ	
PWC リロードバッファレジスタ (RLBR)	207
PWM コンペアレジスタ	
PWM コンペアレジスタ 1(COMR1)	171
PWM コンペアレジスタ 2(COMR2)	173
PWM 制御レジスタ	
PWM 制御レジスタ 1(CNTR1)	166
PWM 制御レジスタ 2(CNTR2)	168
PWM 制御レジスタ 3(CNTR3)	170
PWM タイマ	
2CH 8 ビット PWM タイマの概要 (PWM タイマ機能)	160
PWM タイマ機能	161
PWM タイマ機能の動作	178
PWM タイマ機能のプログラム例	192

R

RAM	
RAM 上の 16 ビットデータの格納状態	34
RAM 内容のリセットによる影響	54
RCR1	
6 ビット PPG 制御レジスタ 1(RCR1)	230
RCR2	
6 ビット PPG 制御レジスタ 2(RCR2)	231
RLBR	
PWC リロードバッファレジスタ (RLBR)	207
RP	
レジスタバンクポインタ (RP) の構成	39
RST	
ハードウェアリセット ($\overline{\text{RST}}$) の投入	472
RUN	
通常状態 (RUN) への移行と解除	78

S

SDR	
シリアルデータレジスタ (SDR)	384
SIDR1	
シリアルインプットデータレジスタ (SIDR1)	362
SIDR2	
シリアルインプットデータレジスタ (SIDR2)	328
SMC11	
シリアルモード制御レジスタ 1(SMC11)	354
SMC12	
シリアルモード制御レジスタ 2(SMC12)	356
SMC21	
シリアルモード制御レジスタ 1(SMC21)	322

SMC22	
シリアルモード制御レジスタ 2(SMC22)	324
SMR	
シリアルモードレジスタ (SMR)	382
SODR1	
シリアルアウトプットデータレジスタ (SODR1)	
.....	363
SODR2	
シリアルアウトプットデータレジスタ (SODR2)	
.....	329
SRC1	
シリアルレート制御レジスタ (SRC1)	358
SRC2	
ボーレートジェネレータリロードレジスタ	
(SRC2)	330
SSD1	
シリアルステータスアンドデータレジスタ	
(SSD1)	360
SSD2	
シリアルステータスアンドデータレジスタ	
(SSD2)	326
STBC	
スタンバイ制御レジスタ (STBC)	73
SYCC	
システムクロック制御レジスタ (SYCC) の構成	
.....	62

T

TBTC	
タイムベースタイマ制御レジスタ (TBTC)	130
TCR	
タイマカウントレジスタ (TCR)	261
t_{inst}	
インストラクションサイクル (t_{inst})	63
TMCR	
タイマ制御レジスタ (TMCR)	259

U

UART	
UART のプログラム例	371
UART/SIO	
UART/SIO に関連する端子	319
UART/SIO に関連する端子のブロックダイヤ	
グラム	320
UART/SIO に関連するレジスタ	321
UART/SIO の概要	316
UART/SIO の機能	316
UART/SIO の動作	332
UART/SIO の動作モード 0 の動作説明	333
UART/SIO の動作モード 1 の動作説明	337
UART/SIO のブロックダイヤグラム	317
UART/SIO の割込みに関連するレジスタと	
ベクトルテーブルアドレス	331

W

WDTC	
ウォッチドッグ制御レジスタ (WDTC)	141

WPCR	
時計プリスケラ制御レジスタ (WPCR)	149
WRARH0 ~ WRARH6	
上位アドレス設定レジスタ	
(WRARH0 ~ WRARH6)	431
WRARL0 ~ WRARL6	
下位アドレス設定レジスタ	
(WRARL1 ~ WRARL6)	433
WRDR1 ~ WRDR6	
データ設定レジスタ (WRDR1 ~ WRDR6)	429
WREN	
ワイルドレジスタ イネーブルレジスタ (WREN)	
.....	435
WROR	
ワイルドレジスタに関連するワイルドレジスタ	
データテストレジスタ (WROR)	436

あ

アービトレーション	
アービトレーション (通信許可手段)	420
アクノレッジ	
アクノレッジ (確認応答信号)	420
アダプタ	
ROM ライト用アダプタ	506
アドレッシング	
アドレッシングの説明	492
アドレッシング	
アドレッシング	419

い

イネーブルレジスタ	
ワイルドレジスタ イネーブルレジスタ (WREN)	435
インストラクションサイクル	
インストラクションサイクル (t_{inst})	63
インターバルタイマ	
2CH 8 ビット PWM タイマの概要	
(インターバルタイマ機能)	158
インターバルタイマ機能	128, 254
インターバルタイマ機能 (時計割込み)	146
インターバルタイマ機能 (方形波出力機能)	158, 196
インターバルタイマ機能および CH12PWM	
モード動作時の割込み	175
インターバルタイマ機能動作時の割込み	132, 209, 262
インターバルタイマ機能動作時の割込み	
(時計割込み)	151
インターバルタイマ機能の動作	176, 210, 263
インターバルタイマ機能の動作	
(タイムベースタイマ)	133
インターバルタイマ機能の動作	
(時計ブリスケーラ)	152
インターバルタイマ機能のプログラム例 1	
(リロードタイマモード)	217
インターバルタイマ機能のプログラム例 2	
(ワンショットタイマモード)	219

う

ウォッチドッグ制御レジスタ	
ウォッチドッグ制御レジスタ (WDTC)	141
ウォッチドッグタイマ	
ウォッチドッグタイマ機能	138
ウォッチドッグタイマ使用上の注意	143
ウォッチドッグタイマの概要	138
ウォッチドッグタイマの動作	142
ウォッチドッグタイマのプログラム例	144
ウォッチドッグタイマのブロックダイアグラム	139
ウォッチドッグタイマリセット	
ソフトウェアリセット, ウォッチドッグタイマ	
リセット	472

え

エッジ極性	
エッジ極性の選択変更時の注意事項	281
演算結果	
演算結果を示すビット	37

お

オペランド	
オペランドが 16 ビットの場合の格納状態	34

か

下位アドレス設定レジスタ	
下位アドレス設定レジスタ	
(WRARL1 ~ WRARL6)	433
外形寸法図	
DIP-64P-M01 の外形寸法図	12
FPT-64P-M03 の外形寸法図	13
FPT-64P-M06 の外形寸法図	14
FPT-64P-M09 の外形寸法図	15
MDP-64C-P02 の外形寸法図	16
MQP-64C-P01 の外形寸法図	17
外部シフトクロック	
外部シフトクロックを使用した場合	391
外部リセット端子	
外部リセット端子の機能	52
外部リセット端子のブロックダイアグラム	52
外部割込み 1 制御レジスタ	
外部割込み 1 制御レジスタ 1(EIC1)	277
外部割込み 1 制御レジスタ 2(EIC2)	279
外部割込み 2 制御レジスタ	
外部割込み 2 制御レジスタ (EIE2)	292
外部割込み 2 フラグレジスタ	
外部割込み 2 フラグレジスタ (EIF2)	293
外部割込み回路 1	
外部割込み回路 1 に関連する端子	274
外部割込み回路 1 に関連する端子のブロック	
ダイアグラム	275
外部割込み回路 1 に関連するレジスタ	276
外部割込み回路 1 の概要	272
外部割込み回路 1 の機能	272
外部割込み回路 1 の動作	282
外部割込み回路 1 のプログラム例	283
外部割込み回路 1 のブロックダイアグラム	273
外部割込み回路 1 の割込みに関連するレジスタ	
とベクトルテーブル	281
外部割込み回路 2	
外部割込み回路 2 動作時の割込み	294
外部割込み回路 2 に関連する端子	288
外部割込み回路 2 に関連する端子のブロック	
ダイアグラム	289
外部割込み回路 2 に関連するレジスタ	291
外部割込み回路 2 の概要	286
外部割込み回路 2 の機能 (レベル検出)	286
外部割込み回路 2 の動作	295
外部割込み回路 2 のプログラム例	296
外部割込み回路 2 のブロックダイアグラム	287
外部割込み回路 2 の割込みに関連する	
レジスタとベクトルテーブル	294

概要	
12 ビット PPG タイマの概要	238
16 ビットタイマ / カウンタの概要	254
2CH 8 ビット PWM タイマの概要	
(PWM タイマ機能)	160
6 ビット PPG タイマの概要	224
8 ビットシリアル I/O の概要	374
A/D コンバータの概要	298
I/O ポートの概要	84
UART/SIO の概要	316
ウォッチドッグタイマの概要	138
外部割込み回路 1 の概要	272
外部割込み回路 2 の概要	286
高速 UART の概要	344
タイムベースタイマの概要	128
フラッシュメモリの概要	452
リセット動作の概要	53
ワイルドレジスタ機能の概要	426
カウンタ	
カウンタ機能	254
カウンタ機能動作時の割込み	262
カウンタ機能の動作	264
書き込み歩留り	
書き込み歩留りについて	507
確認応答信号	
アクノレッジ (確認応答信号)	420
格納状態	
RAM 上の 16 ビットデータの格納状態	34
オペランドが 16 ビットの場合の格納状態	34
スタックの 16 ビットデータの格納状態	34
き	
ギア機能	
ギア機能 (メインクロックの速度切替え機能)	64
く	
クロック	
クロック供給機能	128, 147
クロック供給機能の動作	133, 152
クロック供給マップ	56
クロック制御部のブロックダイアグラム	60
クロック発生部	58
クロック出力	
クロック出力に関連する P30/PPG03/MCO,P31/ SCK1(UCK1)/LMCO 端子のブロックダイア グラム	444
クロック出力機能	442
クロック出力に関連する端子	444
クロック出力の使用上の注意	448
クロック出力の動作説明	447
クロック出力のプログラム例	449
クロック出力のブロックダイアグラム	443
クロック出力機能	
クロック出力機能に関連するレジスタ	445
クロック出力制御レジスタ	
クロック出力制御レジスタ (CKR)	446
クロック非同期モード	
クロック非同期モード時の受信エラー	335
クロック非同期モードの受信動作	335

クロック非同期モードの送信動作	336
クロックモード	
クロックモードの動作状態	64

こ

高速 PWM タイマ	
高速 PWM タイマ機能の動作	180
高速 UART	
高速 UART に関連する端子	351
高速 UART に関連する端子のブロックダイア グラム	352
高速 UART に関連するレジスタ	353
高速 UART の概要	344
高速 UART の機能	344
高速 UART の動作	365
高速 UART の動作モード 0,1,2,4 の動作説明	366
高速 UART の動作モード 3 の動作説明	369
高速 UART のブロックダイアグラム	348
高速 UART の割込みに関連するレジスタと ベクトルテーブルアドレス	364
コマンドシーケンス	
コマンドシーケンス表	456
コンディションコードレジスタ	
コンディションコードレジスタ (CCR) の構成	37

さ

サブクロック	
サブクロックの発振安定待ち時間	67
サブクロックモード	
サブクロックモードの動作	65

し

システムクロック制御レジスタ	
システムクロック制御レジスタ (SYCC) の構成	62
自動書込み	
自動書込み / 消去時	459
自動書込み / 消去動作中	460
自動書込み動作時	458
自動消去	
自動書込み / 消去時	459
自動書込み / 消去動作中	460
自動消去動作時	458
周辺機能	
周辺機能からの割込み要求	42
受信割込み	
受信割込み	331, 364
上位アドレス設定レジスタ	
上位アドレス設定レジスタ (WRARH0 ~ WRARH6)	431
状態遷移図	
状態遷移図 1(2 系統クロック)	75
状態遷移図 2(1 系統クロックオプション)	77
シリアルアウトプットデータレジスタ	
シリアルアウトプットデータレジスタ (SODR1)	363

シリアルアウトプットデータレジスタ (SODR2)	329
シリアルインプットデータレジスタ	
シリアルインプットデータレジスタ (SIDR1)	362
シリアルインプットデータレジスタ (SIDR2)	328
シリアル書込み	
MB89F538/F538L シリアル書込み接続の	
基本構成	474
シリアル書込み時の接続例 (フラッシュ	
マイコンプログラマから電源供給時)	478
シリアル書込み時の接続例 (ユーザ電源使用時)	476
シリアル出力	
シリアル出力完了時の動作	387
シリアル出力動作	386
シリアル出力のプログラム例	395
シリアルステータスアンドデータレジスタ	
シリアルステータスアンドデータレジスタ	
(SSD1)	360
シリアルステータスアンドデータレジスタ	
(SSD2)	326
シリアルデータレジスタ	
シリアルデータレジスタ (SDR)	384
シリアル入出力	
シリアル入出力機能	374
シリアル入出力動作時の割込み	385
双方向でシリアル入出力を行う場合	393
シリアル入力	
シリアル入力完了時の動作	389
シリアル入力動作	388
シリアル入力のプログラム例	397
シリアルモード制御レジスタ 1	
シリアルモード制御レジスタ 1 (SMC11)	354
シリアルモード制御レジスタ 1 (SMC21)	322
シリアルモード制御レジスタ 2	
シリアルモード制御レジスタ 2 (SMC12)	356
シリアルモード制御レジスタ 2 (SMC22)	324
シリアルモードレジスタ	
シリアルモードレジスタ (SMR)	382
シリアルレート制御レジスタ	
シリアルレート制御レジスタ (SRC1)	358
シングルチップモード	
シングルチップモード	81

す

スクリーニング	
推奨スクリーニング条件	507
スタートコンディション	
スタートコンディション	419
スタートビット	
受信動作時のスタートビットの検出	336
スタック	
スタックの 16 ビットデータの格納状態	34
割込み処理開始時のスタック動作	48
割込み処理のスタック領域	49
割込み復帰時のスタック動作	48
スタンバイ制御レジスタ	
スタンバイ制御レジスタ (STBC)	73

スタンバイモード	
スタンバイモード	68
スタンバイモードおよび途中停止時の動作	185, 215
スタンバイモード時の動作状態	69
スタンバイモード設定時	79
スタンバイモードの割込みによる解除	79
スタンバイモードへの移行と解除	78
スタンバイモードへの移行と割込み	79
低消費電力 (スタンバイ) モードおよび	
途中停止時の動作	265
ストップコンディション	
ストップコンディション	420
ストップモード	
ストップモードの動作	71
スリープモード	
スリープモードの動作	70

せ

セクタ構成	
フラッシュメモリのセクタ構成	453
セクタ消去	
セクタ消去一時停止時	458, 459, 461
セクタ消去動作中	461, 462
専用レジスタ	
専用レジスタの構成	35
専用レジスタの種類と機能	35

そ

送信割込み	
送信割込み	331, 364
ソフトウェアリセット	
ソフトウェアリセット, ウォッチドッグタイマ	
リセット	472

た

タイマカウントレジスタ	
タイマカウントレジスタ (TCR)	261
タイマ制御レジスタ	
タイマ制御レジスタ (TMCR)	259
タイムベースタイマ	
インターバルタイマ機能の動作	
(タイムベースタイマ)	133
タイムベースタイマ使用上の注意	135
タイムベースタイマの概要	128
タイムベースタイマの動作	134
タイムベースタイマのプログラム例	136
タイムベースタイマのブロックダイヤグラム	129
タイムベースタイマの割込み	132
タイムベースタイマの割込みに関連する	
レジスタとベクトルテーブル	132
発振安定待ち時間とタイムベースタイマの	
割込み	132
タイムベースタイマ制御レジスタ	
タイムベースタイマ制御レジスタ (TBTC)	130
多重割込み	
多重割込み	46

端子

クロック出力に関連する P30/PPG03/MCO,P31/ SCK1(UCK1)/LMCO 端子のブロックダイア グラム	444
12 ビット PPG タイマに関連する端子	242
12 ビット PPG タイマに関連する端子のブロック ダイアグラム	242
16 ビットタイマ / カウンタに関連する端子	257
16 ビットタイマ / カウンタに関連する端子の ブロックダイアグラム	257
2CH 8 ビット PWM タイマに関連する端子	164
2CH 8 ビット PWM タイマに関連する端子の ブロックダイアグラム	164
6 ビット PPG タイマに関連する端子	228
6 ビット PPG タイマに関連する端子のブロック ダイアグラム	228
8 ビットシリアル I/O に関連する端子	377
8 ビットシリアル I/O に関連する端子のブロック ダイアグラム	378
A/D コンバータに関連する端子	301
A/D コンバータに関連する端子のブロック ダイアグラム	301
I ² C バスインタフェースに関連する端子	404
I ² C バスインタフェースに関連する端子の ブロックダイアグラム	405
P42/INT22/SO2/SDA 端子と P43/INT23/SI2/SCL 端子のノイズキャンセラ	404
UART/SIO に関連する端子	319
UART/SIO に関連する端子のブロックダイア グラム	320
外部割込み回路 1 に関連する端子	274
外部割込み回路 1 に関連する端子のブロック ダイアグラム	275
外部割込み回路 2 に関連する端子	288
外部割込み回路 2 に関連する端子のブロック ダイアグラム	289
クロック出力に関連する端子	444
高速 UART に関連する端子	351
高速 UART に関連する端子のブロックダイア グラム	352
端子機能説明	18
パルス幅カウンタタイマに関連する端子	200
パルス幅カウンタタイマに関連する端子の ブロックダイアグラム	200
モード端子	54
モード端子 (MOD0,1)	81

端子配列図

DIP-64P-M01,MDP-64C-P02 端子配列図	9
FPT-64P-M03,FPT-64P-M09 の端子配列図	10
FPT-64P-M06,MQP-64C-P01 の端子配列図	11

ち

チェックリスト

チェックリスト	509
---------	-----

チップ消去

全データ消去 (チップ消去)	467
----------------	-----

注意

12 ビット PPG タイマ使用上の注意	250
16 ビットタイマ / カウンタ使用上の注意	266

2CH 8 ビット PWM タイマ使用上の注意	187
6 ビット PPG タイマ使用上の注意	233
8 ビットシリアル I/O 使用上の注意	392
A/D コンバータ使用上の注意	311
I ² C バスインタフェース使用上の注意	421
ウォッチドッグタイマ使用上の注意	143
エッジ極性の選択変更時の注意事項	281
クロック出力の使用上の注意	448
タイムベースタイマ使用上の注意	135
デバイス取扱い上の注意	26
時計プリスケラ使用上の注意	154
パルス幅カウンタタイマ使用上の注意	216
品種間の相違点と品種選択時の注意事項	6
フラッシュメモリデータ書込み上の注意	465
フラッシュメモリ複数のセクタを指定する時の 注意	468

つ

通常状態

通常状態 (RUN) への移行と解除	78
--------------------	----

通信許可手段

アービトレーション (通信許可手段)	420
--------------------	-----

て

低消費電力モード

低消費電力 (スタンバイ) モードおよび 途中停止時の動作	265
----------------------------------	-----

データ設定レジスタ

データ設定レジスタ (WRDR1 ~ WRDR6)	429
---------------------------	-----

データテストレジスタ

ワイルドレジスタに関連するワイルドレジスタ データテストレジスタ (WROR)	436
--	-----

データ転送

データ転送	419
データ転送終了時の割込み	417

デバイス

デバイス取扱い上の注意	26
-------------	----

転送クロック

転送クロックの選択	345
-----------	-----

転送データフォーマット

転送データフォーマット	334
-------------	-----

と

問い合わせ

問い合わせ時の確認事項	509
-------------	-----

動作モード

UART/SIO の動作モード 0 の動作説明	333
UART/SIO の動作モード 1 の動作説明	337
高速 UART の動作モード 0,1,2,4 の動作説明	366
高速 UART の動作モード 3 の動作説明	369

特長

MB89530/530H/530A シリーズの特長	2
汎用レジスタの特長	41
時計プリスケラ	
インターバルタイマ機能の動作 (時計プリスケラ)	152
時計プリスケラ使用上の注意	154

時計プリスケアラの動作	153
時計プリスケアラのプログラム例	155
時計プリスケアラのブロックダイヤグラム	148
時計プリスケアラの割込みに関連する レジスタとベクトルテーブル	151
時計プリスケアラ制御レジスタ (WPCR)	149
時計モード	
時計モードの動作	72
時計割込み	
インターバルタイマ機能 (時計割込み)	146
インターバルタイマ機能動作時の割込み (時計割込み)	151
発振安定待ち時間と時計割込み	151
途中停止	
スタンバイモードおよび途中停止時の動作	185, 215
低消費電力 (スタンバイ) モードおよび 途中停止時の動作	265
トラブルシューティング	
トラブルシューティング	509

な

内部シフトクロック	
内部シフトクロックを使用した場合	390

に

入出力回路	
入出力回路形式	22

の

ノイズキャンセラ	
P42/INT22/SO2/SDA 端子と P43/INT23/SI2/SCL 端子のノイズキャンセラ	404

は

ハードウェア	
ハードウェア接続	439
ハードウェアリセット	
ハードウェアリセット ($\overline{\text{RST}}$) の投入	472
バスエラー	
バスエラー時の割込み	417
発振安定待ち時間	
サブクロックの発振安定待ち時間	67
発振安定待ち時間	66, 80
発振安定待ち時間とタイムベースタイマの 割込み	132
発振安定待ち時間と時計割込み	151
メインクロックの発振安定待ち時間	66
リセット要因とメインクロックの発振安定待ち 時間	51
発振安定待ちリセット	
発振安定待ちリセット状態	54
パルス幅	
長いパルス幅の測定	213
パルス幅測定機能	197
パルス幅測定機能動作時の割込み	209

パルス幅測定機能の動作	212
パルス幅測定機能のプログラム例	221
パルス幅カウントタイマ	
パルス幅カウントタイマ使用上の注意	216
パルス幅カウントタイマに関連する端子	200
パルス幅カウントタイマに関連する端子の ブロックダイヤグラム	200
パルス幅カウントタイマに関連するレジスタ	202
パルス幅カウントタイマのブロックダイヤグラム	198
パルス幅カウントタイマの割込みに関連する レジスタとベクトルテーブル	209
汎用レジスタ	
汎用レジスタの構成	40
汎用レジスタの特長	41
汎用レジスタ領域 (アドレス :0100 _H ~ 01FF _H)	32

ひ

品種

MB89530/530H/530A シリーズの品種構成	4
品種間の相違点と品種選択時の注意事項	6

ふ

フラグ

ハードウェアシーケンスフラグ	457
----------------	-----

フラッシュマイコンプログラマ

シリアル書込み時の接続例 (フラッシュ マイコンプログラマから電源供給時)	478
フラッシュマイコンプログラマとの接続例 (フラッシュマイコンプログラマから 電源供給時)	482
フラッシュマイコンプログラマとの接続例 (ユーザ電源使用時)	480

フラッシュメモリ

アドレス指定方法	465
コマンドシーケンス表	456
セクタ構成	453
セクタ指定方法	468
セクタ消去手順	468
セクタ消去の一時停止	470
セクタ消去の再開	471
全データ消去 (チップ消去)	467
データ書込み上の注意	465
データ書込みを行う	465
任意のデータ消去を行う (セクタ消去)	468
複数のセクタを指定する時の注意	468
フラッシュメモリ書込み / 消去の方法	452
フラッシュメモリ書込み手順	465
フラッシュメモリコントロールステータス レジスタ (FMCS)	452
フラッシュメモリの概要	452
フラッシュメモリの書込み / 消去	463
フラッシュメモリの特長	452
フラッシュメモリへのプログラムアクセス	472
読出し / リセット状態にする	464

フラッシュメモリコントロールステータスレジスタ	
フラッシュメモリコントロールステータス	
レジスタ (FMCS)	454
フローチャート例	
I ² C スレーブ送受信プログラムの	
フローチャート例	422
I ² C マスタ送受信プログラムのフローチャート例	
.....	422
プログラム例	
12 ビット PPG タイマのプログラム例	252
6 ビット PPG タイマのプログラム例	235
8 ビットシリアル I/O のプログラム例	395
8 ビットタイマモードのプログラム例	188
A/D 変換機能のプログラム例	313
CH12PWM モードのプログラム例	194
CK12 モードのプログラム例	190
I/O ポートのプログラム例	126
PWM タイマ機能のプログラム例	192
UART のプログラム例	371
インターバルタイマ機能のプログラム例 1	
(リロードタイマモード)	217
インターバルタイマ機能のプログラム例 2	
(ワンショットタイマモード)	219
ウォッチドッグタイマのプログラム例	144
外部割込み回路 1 のプログラム例	283
外部割込み回路 2 のプログラム例	296
クロック出力のプログラム例	449
シリアル出力のプログラム例	395
シリアル入力 of プログラム例	397
タイムベースタイマのプログラム例	136
時計プリスケアラのプログラム例	155
パルス幅測定機能のプログラム例	221
ブロックダイアグラム	
12 ビット PPG タイマに関連する端子のブロック	
ダイアグラム	242
12 ビット PPG タイマのブロックダイアグラム	
.....	240
16 ビットタイマ / カウンタに関連する端子の	
ブロックダイアグラム	257
16 ビットタイマ / カウンタのブロックダイア	
グラム	255
2CH 8 ビット PWM タイマに関連する端子の	
ブロックダイアグラム	164
2CH 8 ビット PWM タイマのブロックダイア	
グラム	162
6 ビット PPG タイマに関連する端子のブロック	
ダイアグラム	228
6 ビット PPG タイマのブロックダイアグラム	
.....	226
8 ビットシリアル I/O に関連する端子のブロック	
ダイアグラム	378
8 ビットシリアル I/O のブロックダイアグラム	
.....	375
A/D コンバータに関連する端子のブロック	
ダイアグラム	301
A/D コンバータのブロックダイアグラム	299
I ² C バスインタフェースに関連する端子の	
ブロックダイアグラム	405
I ² C バスインタフェースのブロックダイアグラム	
.....	401
MB89530/530H/530A シリーズのブロックダイア	
グラム	8

UART/SIO に関連する端子のブロックダイア	
グラム	320
UART/SIO のブロックダイアグラム	317
ウォッチドッグタイマのブロックダイアグラム	
.....	139
外部リセット端子のブロックダイアグラム	52
外部割込み回路 1 に関連する端子のブロック	
ダイアグラム	275
外部割込み回路 1 のブロックダイアグラム	273
外部割込み回路 2 に関連する端子のブロック	
ダイアグラム	289
外部割込み回路 2 のブロックダイアグラム	
.....	287
クロック出力に関連する P30/PPG03/MCO,P31/	
SCK1(UCK1)/LMCO 端子のブロックダイア	
グラム	444
クロック出力のブロックダイアグラム	443
クロック制御部のブロックダイアグラム	60
高速 UART に関連する端子のブロックダイア	
グラム	352
高速 UART のブロックダイアグラム	348
タイムベースタイマのブロックダイアグラム	
.....	129
時計プリスケアラのブロックダイアグラム	148
パルス幅カウンタイマに関連する端子の	
ブロックダイアグラム	200
パルス幅カウンタイマのブロックダイアグラム	
.....	198
ポート 0, ポート 1 のブロックダイアグラム	87
ポート 2 のブロックダイアグラム	93
ポート 3 のブロックダイアグラム	101
ポート 4 のブロックダイアグラム	107
ポート 5 のブロックダイアグラム	116
ポート 6 のブロックダイアグラム	120
ワイルドレジスタ機能のブロックダイアグラム	
.....	427

へ

ベクトルテーブル

16 ビットタイマ / カウンタの割込みに関連する	
レジスタとベクトルテーブル	262
2CH 8 ビット PWM タイマの割込みに関連する	
レジスタとベクトルテーブル	175
8 ビットシリアル I/O の割込みに関連する	
レジスタとベクトルテーブル	385
A/D コンバータの割込みに関連するレジスタと	
ベクトルテーブル	308
I ² C バスインタフェースの割込みに関連する	
レジスタとベクトルテーブル	417
UART/SIO の割込みに関連するレジスタと	
ベクトルテーブルアドレス	331
外部割込み回路 2 の割込みに関連する	
レジスタとベクトルテーブル	294
外部割込み回路 1 の割込みに関連するレジスタ	
とベクトルテーブル	281
高速 UART の割込みに関連するレジスタと	
ベクトルテーブルアドレス	364
タイムベースタイマの割込みに関連する	
レジスタとベクトルテーブル	132
時計プリスケアラの割込みに関連する	
レジスタとベクトルテーブル	151

パルス幅カウントタイマの割込みに関連するレジスタとベクトルテーブル	209
ベクトルテーブル領域 (アドレス :FFC0 _H ~ FFFF _H)	32
ほ	
方形波出力 インターバルタイマ機能 (方形波出力機能)	158, 196
ポート 0	
ポート 0, ポート 1 の構成	86
ポート 0, ポート 1 の端子	86
ポート 0, ポート 1 の動作	90
ポート 0, ポート 1 のブロックダイヤグラム	87
ポート 0, ポート 1 のレジスタの機能	88
ポート 0, ポート 1 レジスタ PDR0, DDR0 と 端子との対応	87
ポート 1	
ポート 0, ポート 1 の構成	86
ポート 0, ポート 1 の端子	86
ポート 0, ポート 1 の動作	90
ポート 0, ポート 1 のブロックダイヤグラム	87
ポート 0, ポート 1 のレジスタの機能	88
ポート 0, ポート 1 レジスタ PDR0, DDR0 と 端子との対応	87
ポート 2	
ポート 2 の構成	92
ポート 2 の端子	92
ポート 2 の動作	98
ポート 2 のブロックダイヤグラム	93
ポート 2 のレジスタと端子との対応	95
ポート 2 のレジスタの機能	96
ポート 3	
ポート 3 の構成	100
ポート 3 の端子とレジスタとの対応	101
ポート 3 の動作	104
ポート 3 のブロックダイヤグラム	101
ポート 3 のレジスタの機能	102
ポート 3 の端子	100
ポート 4	
ポート 4 の構成	106
ポート 4 の端子	106
ポート 4 の動作	113
ポート 4 のブロックダイヤグラム	107
ポート 4 のレジスタと端子との対応	108
ポート 4 のレジスタの機能	109
ポート 5	
ポート 5 の構成	115
ポート 5 の端子	115
ポート 5 の動作	118
ポート 5 のブロックダイヤグラム	116
ポート 5 のレジスタと端子との対応	116
ポート 5 のレジスタの機能	117
ポート 6	
ポート 6 の構成	119
ポート 6 の端子	119
ポート 6 の動作	125
ポート 6 のブロックダイヤグラム	120
ポート 6 のレジスタと端子との対応	121
ポート 6 のレジスタの機能	122

ポーレートジェネレータリロードレジスタ ポーレートジェネレータリロードレジスタ (SRC2)	330
--	-----

ま

マスクオプション マスクオプション一覧表	505
-------------------------------	-----

め

命令	
F ² MC-8L の命令の概要	489
演算系命令	502
その他の命令	503
転送系命令	501
特殊な命令について	496
ビット操作命令実行時の読出し先	500
分岐系命令	503
命令一覧表の項目の説明	491
命令の表示記号の説明	490
命令マップ	504
メインクロック	
ギア機能 (メインクロックの速度切替え機能)	64
メインクロックの発振安定待ち時間	66
リセット要因とメインクロックの発振安定待ち 時間	51
メインクロックモード	
メインクロックモードの動作	65
メモリアクセスモード	
メモリアクセスモード選択動作	82
メモリ空間	
メモリ空間の構成	30
メモリマップ	
メモリマップ	31
EPROM モード時のメモリマップ	506

も

モード端子	
モード端子	54
モード端子 (MOD0,1)	81
モードデータ	
モードデータ	81
モードデータ読出し後の端子の状態	55
モードフェッチ	
モードフェッチ	54

ゆ

ユーザ電源	
シリアル書込み時の接続例 (ユーザ電源使用時)	476
フラッシュマイコンプログラムの接続例 (ユーザ電源使用時)	480

り

リードモディファイライト	
リードモディファイライト動作	500

リセット	
RAM 内容のリセットによる影響	54
リセット中の端子の状態	55
リセット動作の概要	53
リセット要因	50
リセット要因とメインクロックの発振安定待ち時間	51
リロードタイマモード	
インターバルタイマ機能のプログラム例 1 (リロードタイマモード)	217

れ

レジスタ	
12 ビット PPG 制御レジスタ (PPGC1/PPGC2)	245
12 ビット PPG タイマの端子に関連するレジスタ	244
12 ビット PPG リロードレジスタ 1(PRL11/PRL21)	246
12 ビット PPG リロードレジスタ 2(PRL12/PRL22)	247
12 ビット PPG リロードレジスタ 3(PRL13/PRL23)	248
16 ビットタイマ / カウンタに関連するレジスタ	258
16 ビットタイマ / カウンタの割込みに関連するレジスタとベクトルテーブル	262
2CH 8 ビット PWM タイマに関連するレジスタ	165
2CH 8 ビット PWM タイマの割込みに関連するレジスタとベクトルテーブル	175
6 ビット PPG 制御レジスタ 1(RCR1)	230
6 ビット PPG 制御レジスタ 2(RCR2)	231
6 ビット PPG タイマに関連するレジスタ	229
8 ビットシリアル I/O に関連するレジスタ	381
8 ビットシリアル I/O の割込みに関連するレジスタとベクトルテーブル	385
A/D コンバータに関連するレジスタ	302
A/D コンバータの割込みに関連するレジスタとベクトルテーブル	308
A/D 制御レジスタ 1(ADC1)	303
A/D 制御レジスタ 2(ADC2)	305
A/D データレジスタ (ADDH,ADDL)	307
I ² C アドレス制御レジスタ (IACR)	407
I ² C アドレスレジスタ (IADR)	415
I ² C クロック制御レジスタ (ICCR)	413
I ² C データレジスタ (IDAR)	416
I ² C バスインタフェースの割込みに関連するレジスタとベクトルテーブル	417
I ² C バスインタフェースに関連するレジスタ	406
I ² C バスステータスレジスタ (IBSR)	408
I ² C バス制御レジスタ (IBCR)	410
PWC パルス幅制御レジスタ 1(PCR1)	203
PWC パルス幅制御レジスタ 2(PCR2)	205
PWC リロードパッファレジスタ (RLBR)	207
PWM コンペアレジスタ 1(COMR1)	171
PWM コンペアレジスタ 2(COMR2)	173
PWM 制御レジスタ 1(CNTR1)	166
PWM 制御レジスタ 2(CNTR2)	168
PWM 制御レジスタ 3(CNTR3)	170

UART/SIO に関連するレジスタ	321
UART/SIO の割込みに関連するレジスタとベクトルテーブルアドレス	331
ウォッチドッグ制御レジスタ (WDTC)	141
下位アドレス設定レジスタ (WRARL1 ~ WRARL6)	433
外部割込み 1 制御レジスタ 1(EIC1)	277
外部割込み 1 制御レジスタ 2(EIC2)	279
外部割込み 2 制御レジスタ (EIE2)	292
外部割込み 2 フラグレジスタ (EIF2)	293
外部割込み回路 1 に関連するレジスタ	276
外部割込み回路 1 の割込みに関連するレジスタとベクトルテーブル	281
外部割込み回路 2 に関連するレジスタ	291
外部割込み回路 2 の割込みに関連するレジスタとベクトルテーブル	294
クロック出力機能に関連するレジスタ	445
クロック出力制御レジスタ (CKR)	446
高速 UART に関連するレジスタ	353
高速 UART の割込みに関連するレジスタとベクトルテーブルアドレス	364
コンディションコードレジスタ (CCR) の構成	37
システムクロック制御レジスタ (SYCC) の構成	62
上位アドレス設定レジスタ (WRARH0 ~ WRARH6)	431
シリアルアウトプットデータレジスタ (SODR1)	363
シリアルアウトプットデータレジスタ (SODR2)	329
シリアルインプットデータレジスタ (SIDR1)	362
シリアルインプットデータレジスタ (SIDR2)	328
シリアルステータスアンドデータレジスタ (SSD1)	360
シリアルステータスアンドデータレジスタ (SSD2)	326
シリアルデータレジスタ (SDR)	384
シリアルモード制御レジスタ 1(SMC11)	354
シリアルモード制御レジスタ 1(SMC21)	322
シリアルモード制御レジスタ 2(SMC12)	356
シリアルモード制御レジスタ 2(SMC22)	324
シリアルモードレジスタ (SMR)	382
シリアルレート制御レジスタ (SRC1)	358
スタンバイ制御レジスタ (STBC)	73
専用レジスタの構成	35
専用レジスタの種類と機能	35
タイマカウントレジスタ (TCR)	261
タイマ制御レジスタ (TMCR)	259
タイムベースタイマ制御レジスタ (TBTC)	130
タイムベースタイマの割込みに関連するレジスタとベクトルテーブル	132
データ設定レジスタ (WRDR1 ~ WRDR6)	429
時計プリスケラ制御レジスタ (WPCR)	149
時計プリスケラの割込みに関連するレジスタとベクトルテーブル	151
パルス幅カウントタイマに関連するレジスタ	202
パルス幅カウントタイマの割込みに関連するレジスタとベクトルテーブル	209
汎用レジスタの構成	40

汎用レジスタ領域 （アドレス：0100 _H ~ 01FF _H ）	32	I ² C バスインタフェースの割込みに関連する レジスタとベクトルテーブル	417
フラッシュメモリコントロールステータス レジスタ (FMCS)	452, 454	UART/SIO の割込みに関連するレジスタと ベクトルテーブルアドレス	331
ポート 0, ポート 1 のレジスタの機能	88	インターバルタイマ機能および CH12PWM モード動作時の割込み	175
ポート 0, ポート 1 レジスタ PDR0, DDR0 と 端子との対応	87	インターバルタイマ機能動作時の割込み	132, 209, 262
ポート 2 のレジスタと端子との対応	95	インターバルタイマ機能動作時の割込み （時計割込み）	151
ポート 2 のレジスタの機能	96	外部割込み回路 1 動作時の割込み	281
ポート 3 の端子とレジスタとの対応	101	外部割込み回路 1 に関連する端子	274
ポート 3 のレジスタの機能	102	外部割込み回路 1 の機能	272
ポート 4 のレジスタと端子との対応	108	外部割込み回路 1 の動作	282
ポート 4 のレジスタの機能	109	外部割込み回路 1 のブロックダイアグラム	273
ポート 5 のレジスタと端子との対応	116	外部割込み回路 1 の割込みに関連するレジスタ とベクトルテーブル	281
ポート 5 のレジスタの機能	117	外部割込み回路 2 動作時の割込み	294
ポート 6 のレジスタと端子との対応	121	外部割込み回路 2 に関連する端子	288
ポート 6 のレジスタの機能	122	外部割込み回路 2 に関連する端子のブロック ダイアグラム	289
ポーレートジェネレータリロードレジスタ （SRC2）	330	外部割込み回路 2 に関連するレジスタ	291
レジスタバンクポインタ (RP) の構成	39	外部割込み回路 2 の機能（レベル検出）	286
ワイルドレジスタ イネーブルレジスタ (WREN)	435	外部割込み回路 2 の動作	295
ワイルドレジスタ機能に関連するレジスタ	428	外部割込み回路 2 のブロックダイアグラム	287
ワイルドレジスタに関連するワイルドレジスタ データテストレジスタ (WROR)	436	外部割込み回路 2 の割込み	294
割込みレベル設定レジスタ (ILR1,2,3,4) の構成	43	外部割込み回路 2 の割込みに関連する レジスタとベクトルテーブル	294
レジスタバンクポインタ レジスタバンクポインタ (RP) の構成	39	カウンタ機能動作時の割込み	262
レベル検出 外部割込み回路 2 の機能（レベル検出）	286	高速 UART の割込みに関連するレジスタと ベクトルテーブルアドレス	364
連続受信動作 連続受信動作	339	周辺機能からの割込み要求	42
連続送信動作 連続送信動作	341	受信割込み	331, 364
		シリアル入出力動作時の割込み	385
		スタンバイモードの割込みによる解除	79
		スタンバイモードへの移行と割込み	79
		送信割込み	331, 364
		タイムベースタイマの割込み	132
		タイムベースタイマの割込みに関連する レジスタとベクトルテーブル	132
		多重割込み	46
		データ転送終了時の割込み	417
		時計プリスケアラの割込みに関連する レジスタとベクトルテーブル	151
		バスエラー時の割込み	417
		発振安定待ち時間とタイムベースタイマの 割込み	132
		パルス幅カウンタタイマの割込みに関連する レジスタとベクトルテーブル	209
		パルス幅測定機能動作時の割込み	209
		割込み処理開始時のスタック動作	48
		割込み処理時間	47
		割込み処理のスタック領域	49
		割込み動作時の処理	44
		割込みの受け付けを制御するビット	38
		割込み復帰時のスタック動作	48
		割込みレベル設定レジスタ 割込みレベル設定レジスタ (ILR1,2,3,4) の構成	43
		ワンショットタイマモード インターバルタイマ機能のプログラム例 2 （ワンショットタイマモード）	219
ワイルドレジスタ ワイルドレジスタ イネーブルレジスタ (WREN)	435		
ワイルドレジスタ機能	426		
ワイルドレジスタ機能に関連するレジスタ	428		
ワイルドレジスタ機能の概要	426		
ワイルドレジスタ機能のブロックダイアグラム	427		
ワイルドレジスタに関連するワイルドレジスタ データテストレジスタ (WROR)	436		
ワイルドレジスタの動作	437		
割込み 16 ビットタイマ / カウンタの割込みに関連する レジスタとベクトルテーブル	262		
2CH 8 ビット PWM タイマの割込み	175		
2CH 8 ビット PWM タイマの割込みに関連する レジスタとベクトルテーブル	175		
8 ビットシリアル I/O の割込みに関連する レジスタとベクトルテーブル	385		
A/D コンバータの割込みに関連するレジスタと ベクトルテーブル	308		
A/D 変換機能動作時の割込み	308		

レジスタ索引

A

ADC1	A/D 制御レジスタ 1	303
ADC2	A/D 制御レジスタ 2	305
ADDH	A/D データレジスタ 上位	307
ADDL	A/D データレジスタ 下位	307

C

CKR	クロック出力制御レジスタ	446
CNTR1	PWM 制御レジスタ 1	166
CNTR2	PWM 制御レジスタ 2	168
CNTR3	PWM 制御レジスタ 3	170
COMR1	PWM コンペアレジスタ 1	171
COMR2	PWM コンペアレジスタ 2	173

D

DDCR	DDC 選択レジスタ	123
DDR0	ポート 0 方向レジスタ	88
DDR1	ポート 1 方向レジスタ	88
DDR2	ポート 2 方向レジスタ	96
DDR3	ポート 3 方向レジスタ	102
DDR4	ポート 4 方向レジスタ	109

E

EIC1	外部割込み 1 制御レジスタ 1	277
EIC2	外部割込み 1 制御レジスタ 2	279
EIE2	外部割込み 2 制御レジスタ	292
EIF2	外部割込み 2 フラグレジスタ	293

F

FMCS	フラッシュメモリコントロール ステータスレジスタ	454
------	-----------------------------------	-----

I

IACR	I ² C アドレス制御レジスタ	407
IADR	I ² C アドレスレジスタ	415
IBCR	I ² C バス制御レジスタ	410
IBSR	I ² C バスステータスレジスタ	408
ICCR	I ² C クロック制御レジスタ	413
IDAR	I ² C データレジスタ	416
ILR1	割込みレベル設定レジスタ 1	43
ILR2	割込みレベル設定レジスタ 2	43
ILR3	割込みレベル設定レジスタ 3	43
ILR4	割込みレベル設定レジスタ 4	43
ITR	割込みテストレジスタ	487

P

PCR1	PWC パルス幅制御レジスタ 1	203
------	------------------------	-----

PCR2	PWC パルス幅制御レジスタ 2	205
PDR0	ポート 0 データレジスタ	88
PDR1	ポート 1 データレジスタ	88
PDR2	ポート 2 データレジスタ	96
PDR3	ポート 3 データレジスタ	102
PDR4	ポート 4 データレジスタ	109
PDR5	ポート 5 データレジスタ	117
PDR6	ポート 6 データレジスタ	122
PPGC1	12 ビット PPG 制御レジスタ (PPG1)	245
PPGC2	12 ビット PPG 制御レジスタ (PPG2)	245
PRL11	12 ビット PPG リロードレジスタ 1(PPG1)	246
PRL12	12 ビット PPG リロードレジスタ 2(PPG1)	247
PRL13	12 ビット PPG リロードレジスタ 3(PPG1)	248
PRL21	12 ビット PPG リロードレジスタ 1(PPG2)	246
PRL22	12 ビット PPG リロードレジスタ 2(PPG2)	247
PRL23	12 ビット PPG リロードレジスタ 3(PPG2)	248
PURR0	ポート 0 ブルアップ抵抗制御レジスタ	89
PURR1	ポート 1 ブルアップ抵抗制御レジスタ	89
PURR2	ポート 2 ブルアップ抵抗制御レジスタ	97
PURR3	ポート 3 ブルアップ抵抗制御レジスタ	103
PURR4	ポート 4 ブルアップ抵抗制御レジスタ	110
PURR6	ポート 6 ブルアップ抵抗制御レジスタ	122

R

RCR1	6 ビット PPG 制御レジスタ 1	230
RCR2	6 ビット PPG 制御レジスタ 2	231
RLBR	PWC リロードバッファレジスタ	207

S

SDR	シリアルデータレジスタ (SIO)	384
SIDR1	シリアルインプットデータレジスタ (UART)	362
SIDR2	シリアルインプットデータレジスタ (UART/SIO)	328
SMC11	シリアルモード制御レジスタ 1(UART)	354
SMC12	シリアルモード制御レジスタ 2(UART)	356
SMC21	シリアルモード制御レジスタ 1 (UART/SIO)	322

SMC22	シリアルモード制御レジスタ 2 (UART/SIO)	324
SMR	シリアルモードレジスタ (SIO)	382
SODR1	シリアルアウトプットデータレジスタ (UART)	363
SODR2	シリアルアウトプットデータレジスタ (UART/SIO)	329
SRC1	シリアルレート制御レジスタ (UART)	358
SRC2	ボーレートジェネレータリロード レジスタ	330
SSD1	シリアルステータスアンドデータ レジスタ (UART)	360
SSD2	シリアルステータスアンドデータ レジスタ (UART/SIO)	326
STBC	スタンバイ制御レジスタ	73
SYCC	システムクロック制御レジスタ	62

T

TBTC	タイムベースタイマ制御レジスタ	130
TCHR	タイマカウントレジスタ 上位	261
TCLR	タイマカウントレジスタ 下位	261
TMCR	タイマ制御レジスタ	259

W

WDTC	ウォッチドッグ制御レジスタ	141
WPCR	時計プリスケアラ制御レジスタ	149
WRARH1	ワイルドレジスタ 上位アドレス設定 レジスタ 1	431
WRARH2	ワイルドレジスタ 上位アドレス設定 レジスタ 2	431
WRARH3	ワイルドレジスタ 上位アドレス設定 レジスタ 3	431
WRARH4	ワイルドレジスタ 上位アドレス設定 レジスタ 4	431
WRARH5	ワイルドレジスタ 上位アドレス設定 レジスタ 5	431
WRARH6	ワイルドレジスタ 上位アドレス設定 レジスタ 6	431
WRARL1	ワイルドレジスタ 下位アドレス設定 レジスタ 1	433
WRARL2	ワイルドレジスタ 下位アドレス設定 レジスタ 2	433
WRARL3	ワイルドレジスタ 下位アドレス設定 レジスタ 3	433
WRARL4	ワイルドレジスタ 下位アドレス設定 レジスタ 4	433
WRARL5	ワイルドレジスタ 下位アドレス設定 レジスタ 5	433
WRARL6	ワイルドレジスタ 下位アドレス設定 レジスタ 6	433
WRDR1	ワイルドレジスタ データ設定レジスタ 1	429
WRDR2	ワイルドレジスタ データ設定レジスタ 2	429
WRDR3	ワイルドレジスタ データ設定レジスタ 3	429

WRDR4	ワイルドレジスタ データ設定レジスタ 4	429
WRDR5	ワイルドレジスタ データ設定レジスタ 5	429
WRDR6	ワイルドレジスタ データ設定レジスタ 6	429
WREN	ワイルドレジスタ イネーブルレジスタ	435
WROR	ワイルドレジスタ データテストレジスタ	436

端子機能索引

A

ADST	A/D コンバータのクロック入力端子	301
AN0	A/D コンバータのアナログ入力端子	301
AN1	A/D コンバータのアナログ入力端子	301
AN2	A/D コンバータのアナログ入力端子	301
AN3	A/D コンバータのアナログ入力端子	301
AN4	A/D コンバータのアナログ入力端子	301
AN5	A/D コンバータのアナログ入力端子	301
AN6	A/D コンバータのアナログ入力端子	301
AN7	A/D コンバータのアナログ入力端子	301
AV _{CC}	A/D コンバータの電源端子	300
AVR	A/D コンバータの基準電圧入力端子	300
AV _{SS}	A/D コンバータの電源端子	300

C

C	電源安定化の容量端子	20
---	------------------	----

E

EC	16 ビットタイマ / カウンタ入力端子	257
----	-------------------------------	-----

I

INT10	外部割込み入力端子	274
INT11	外部割込み入力端子	274
INT12	外部割込み入力端子	274
INT13	外部割込み入力端子	274
INT20	外部割込み入力端子	288
INT21	外部割込み入力端子	288
INT22	外部割込み入力端子	288
INT23	外部割込み入力端子	288
INT24	外部割込み入力端子	288
INT25	外部割込み入力端子	288
INT26	外部割込み入力端子	288
INT27	外部割込み入力端子	288

L

LMCO	サブクロック出力端子	444
------	------------------	-----

M

MCO	メインクロック出力端子	444
MOD0	メモリアクセスモード設定用の入力端子	81
MOD1	メモリアクセスモード設定用の入力端子	81
MOD2	メモリアクセスモード設定用の入力端子	474

P

P00	汎用入出力ポート	86
P01	汎用入出力ポート	86
P02	汎用入出力ポート	86
P03	汎用入出力ポート	86
P04	汎用入出力ポート	86
P05	汎用入出力ポート	86
P06	汎用入出力ポート	86
P07	汎用入出力ポート	86
P10	汎用入出力ポート	86
P11	汎用入出力ポート	86
P12	汎用入出力ポート	86
P13	汎用入出力ポート	86
P14	汎用入出力ポート	86
P15	汎用入出力ポート	86
P16	汎用入出力ポート	86
P17	汎用入出力ポート	86
P20	汎用入出力ポート	92
P21	汎用入出力ポート	92
P22	汎用入出力ポート	92
P23	汎用入出力ポート	92
P24	汎用入出力ポート	92
P25	汎用入出力ポート	92
P26	汎用入出力ポート	92
P27	汎用入出力ポート	92
P30	汎用入出力ポート	100
P31	汎用入出力ポート	100
P32	汎用入出力ポート	100
P33	汎用入出力ポート	100
P34	汎用入出力ポート	100
P35	汎用入出力ポート	100
P36	汎用入出力ポート	100
P37	汎用入出力ポート	100
P40	汎用入出力ポート	106
P41	汎用入出力ポート	106
P42	Nch オープンドレイン出力ポート	106
P43	Nch オープンドレイン出力ポート	106
P44	汎用入出力ポート	106
P45	汎用入出力ポート	106
P46	汎用入出力ポート	106
P47	汎用入出力ポート	106
P50	Nch オープンドレイン出力ポート	115
P51	Nch オープンドレイン出力ポート	115
P52	Nch オープンドレイン出力ポート	115
P53	Nch オープンドレイン出力ポート	115

P54	Nch オープンドレイン出力ポート	115
P55	Nch オープンドレイン出力ポート	115
P56	Nch オープンドレイン出力ポート	115
P57	Nch オープンドレイン出力ポート	115
P60	汎用入力ポート	119
P61	汎用入力ポート	119
P62	汎用入力ポート	119
P63	汎用入力ポート	119
P64	汎用入力ポート	119
PPG01	PPG01 出力端子	242
PPG02	PPG02 出力端子	242
PPG03	PPG03 出力端子	228
PTO1	PWM タイマ 1 出力端子	164
PTO2	PWM タイマ 2 出力端子	164
PWC	PWC 入力端子	200
PWCK	PWC クロック入力端子	201

R

$\overline{\text{RST}}$	リセット入出力端子	52
-------------------------	-----------------	----

S

SCK1(UCK1)	UART/SIO のクロック入出力端子	319
SCK2	SIO のクロック入出力端子	377
SCL	I ² C のクロック入出力端子	404
SDA	I ² C のデータライン端子	404
SI1(UI1)	UART/SIO のシリアルデータ入力端子	319
SI2	SIO のシリアルデータ入力端子	377
SO1(UO1)	UART/SIO のシリアルデータ出力端子	319
SO2	SIO のシリアルデータ出力端子	377

U

UCK2	UART のクロック入出力端子	351
UI2	UART のデータ入力端子	351
UO2	UART のデータ出力端子	351

V

V _{CC}	電源端子	20
V _{SS}	電源端子 (GND)	20

W

WTO	PWC 出力端子	200
-----	----------------	-----

X

X0	メインクロック用の接続端子	58
X0A	サブクロック用の接続端子	58
X1	メインクロック用の接続端子	58
X1A	サブクロック用の接続端子	58

割込みベクタ索引

I

IRQ0	外部割込み (エッジ) INT10 ~ INT11	281
IRQ1	外部割込み (エッジ) INT12 ~ INT13	281
IRQ2	I ² C	417
IRQ4	外部割込み (レベル) INT20 ~ INT27	294
IRQ5	PWM タイマ 1	175
IRQ6	PWM タイマ 2	175
IRQ7	PWC	209
IRQ8	16 ビットタイマ / カウンタ割込み	262
IRQ9	8 ビットシリアル入出力	385
IRQA	UART/SIO	331
IRQB	UART 受信	364
IRQC	UART 送信	364
IRQD	A/D コンバータ	308
IRQE	タイムベースタイマ	132
IRQF	時計プリスケラ	151

CM25-10135-6

富士通半導体デバイス・CONTROLLER MANUAL

F²MC[®] -8L

8 ビット・マイクロコントローラ

MB89530/530H/530A series

ハードウェアマニュアル

2004 年 12 月 第 6 版発行

発行 **富士通株式会社** 電子デバイス営業本部

編集 マーケティング統括部 営業推進部
