



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

F²MC[®]-8FX

8 ビット・マイクロコントローラ

MB95110B/M Series

ハードウェアマニュアル

F²MC[®]-8FX

8 ビット・マイクロコントローラ

MB95110B/M Series

ハードウェアマニュアル

富士通マイクロエレクトロニクス社のマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

開発における最新の注意事項に関しては、「デザインレビューシート」を参照してください。
「デザインレビューシート」はシステム開発において、問題を未然に防ぐことを目的として、最低限必要と思われるチェック項目をリストにしたものです。

<http://edevise.fujitsu.com/micom/jp-support/>

富士通マイクロエレクトロニクス株式会社

はじめに

■ 本書の目的と対象読者

富士通マイクロエレクトロニクス製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。

MB95110B/Mシリーズは、ASIC (Application Specific IC) 対応が可能なオリジナル8ビット・ワンチップ・マイクロコントローラである F²MC-8FX ファミリの汎用品の1つとして開発された製品です。携帯機器をはじめ民生機器から産業機器まで幅広く使用できます。

本書は、実際に MB95110B/M シリーズ・マイクロコントローラを使用して製品を開発される技術者を対象に、MB95110B/M シリーズの機能や動作について解説したものです。本書をご一読ください。

なお、各種命令の詳細については、「F²MC-8FX プログラミングマニュアル」をご参照ください。

■ 商標

F²MC は FUJITSU Flexible Microcontroller の略で、富士通マイクロエレクトロニクス株式会社の登録商標です。

その他の社名および製品名などの固有名詞は、各社の商標または登録商標です。

■ サンプルプログラム

F²MC-8FX にファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

<http://jp.fujitsu.com/microelectronics/products/micom/support/>

サンプルプログラムについては、予告なしに変更することがあります。本ソフトは、標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際には十分評価の上でご使用ください。また、これらの使用に起因し生じた損害については、当社は一切その責任を負いません。

- 本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。
- 本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。したがって、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。
- 本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。
- 本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。
- 半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないように、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。
- 本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。
- 本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

目次

第 1 章	概要	1
1.1	MB95110B/M シリーズの特長	2
1.2	MB95110B/M シリーズの品種構成	4
1.3	品種間の相違点と品種選択時の注意事項	7
1.4	MB95110B/M シリーズのブロックダイヤグラム	9
1.5	端子配列図	10
1.6	外形寸法図	13
1.7	端子機能説明	16
1.8	入出力回路形式	19
第 2 章	デバイス使用上の注意	23
2.1	デバイス使用上の注意	24
第 3 章	メモリ空間	29
3.1	メモリ空間	30
3.1.1	特定用途の領域	32
3.2	メモリマップ	33
第 4 章	メモリアクセスモード	35
4.1	メモリアクセスモード	36
第 5 章	CPU	37
5.1	専用レジスタ	38
5.1.1	レジスタバンクポインタ (RP)	40
5.1.2	ダイレクトバンクポインタ (DP)	41
5.1.3	コンディションコードレジスタ (CCR)	43
5.2	汎用レジスタ	45
5.3	16 ビットデータのメモリ上の配置	47
第 6 章	クロック制御部	49
6.1	クロック制御部の概要	50
6.2	発振安定待ち時間	56
6.3	システムクロック制御レジスタ (SYCC)	58
6.4	PLL 制御レジスタ (PLLC)	60
6.5	発振安定待ち時間設定レジスタ (WATR)	63
6.6	スタンバイ制御レジスタ (STBC)	66
6.7	クロックモード	69
6.8	低消費電力モード (スタンバイモード) の動作	75
6.8.1	スタンバイモード使用上の注意	76
6.8.2	スリープモード	80
6.8.3	ストップモード	81
6.8.4	タイムベースタイマモード	82
6.8.5	時計モード	83
6.9	クロック発振回路	84

6.10	プリスケーラの概要	86
6.11	プリスケーラの構成	87
6.12	プリスケーラの動作説明	88
6.13	プリスケーラ使用上の注意	89
第 7 章	リセット	91
7.1	リセット動作	92
7.2	リセット要因レジスタ (RSRR)	96
7.3	リセット使用上の注意	99
第 8 章	割込み	101
8.1	割込み	102
8.1.1	割込みレベル設定レジスタ (ILR0 ~ ILR5)	104
8.1.2	割込み動作時の処理	105
8.1.3	多重割込み	107
8.1.4	割込み処理時間	108
8.1.5	割込み処理時のスタック動作	109
8.1.6	割込み処理のスタック領域	110
第 9 章	I/O ポート	111
9.1	I/O ポートの概要	112
9.2	ポート 0	113
9.2.1	ポート 0 のレジスタ	115
9.2.2	ポート 0 の動作説明	116
9.3	ポート 1	118
9.3.1	ポート 1 のレジスタ	120
9.3.2	ポート 1 の動作説明	121
9.4	ポート 2	124
9.4.1	ポート 2 のレジスタ	126
9.4.2	ポート 2 の動作説明	127
9.5	ポート 3	129
9.5.1	ポート 3 のレジスタ	131
9.5.2	ポート 3 の動作説明	132
9.6	ポート 5	134
9.6.1	ポート 5 のレジスタ	136
9.6.2	ポート 5 の動作説明	137
9.7	ポート 6	139
9.7.1	ポート 6 のレジスタ	141
9.7.2	ポート 6 の動作説明	142
9.8	ポート G	144
9.8.1	ポート G のレジスタ	146
9.8.2	ポート G の動作説明	147
第 10 章	タイムベースタイマ	149
10.1	タイムベースタイマの概要	150
10.2	タイムベースタイマの構成	151
10.3	タイムベースタイマのレジスタ	153
10.3.1	タイムベースタイマ制御レジスタ (TBTC)	154
10.4	タイムベースタイマの割込み	156

10.5	タイムベースタイマの動作説明と設定手順例	158
10.6	タイムベースタイマ使用上の注意	161
第 11 章	ウォッチドッグタイマ	163
11.1	ウォッチドッグタイマの概要	164
11.2	ウォッチドッグタイマの構成	165
11.3	ウォッチドッグタイマのレジスタ	167
11.3.1	ウォッチドッグタイマ制御レジスタ (WDTC)	168
11.4	ウォッチドッグタイマの動作説明と設定手順例	170
11.5	ウォッチドッグタイマ使用上の注意	172
第 12 章	時計プリスケアラ	173
12.1	時計プリスケアラの概要	174
12.2	時計プリスケアラの構成	175
12.3	時計プリスケアラのレジスタ	177
12.3.1	時計プリスケアラ制御レジスタ (WPCR)	178
12.4	時計プリスケアラの割込み	180
12.5	時計プリスケアラの動作説明と設定手順例	182
12.6	時計プリスケアラ使用上の注意	184
12.7	時計プリスケアラのサンプルプログラム	185
第 13 章	時計カウンタ	187
13.1	時計カウンタの概要	188
13.2	時計カウンタの構成	189
13.3	時計カウンタのレジスタ	191
13.3.1	時計カウンタデータレジスタ (WCDR)	192
13.3.2	時計カウンタ制御レジスタ (WCSR)	193
13.4	時計カウンタの割込み	195
13.5	時計カウンタの動作説明と設定手順例	196
13.6	時計カウンタ使用上の注意	198
13.7	時計カウンタのサンプルプログラム	199
第 14 章	ワイルドレジスタ	201
14.1	ワイルドレジスタの概要	202
14.2	ワイルドレジスタの構成	203
14.3	ワイルドレジスタのレジスタ	205
14.3.1	ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)	207
14.3.2	ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)	208
14.3.3	ワイルドレジスタアドレス比較許可レジスタ (WREN)	209
14.3.4	ワイルドレジスタデータテスト設定レジスタ (WROR)	210
14.4	ワイルドレジスタの動作説明	211
14.5	一般的なハードウェア接続例	212
第 15 章	8/16 ビット複合タイマ	213
15.1	8/16 ビット複合タイマの概要	214
15.2	8/16 ビット複合タイマの構成	216
15.3	8/16 ビット複合タイマのチャンネル	219
15.4	8/16 ビット複合タイマの端子	220
15.5	8/16 ビット複合タイマのレジスタ	222

15.5.1	8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)	223
15.5.2	8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)	226
15.5.3	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCR0)	229
15.5.4	8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR)	232
15.6	8/16 ビット複合タイマの割込み	235
15.7	インターバルタイマ機能 (ワンショットモード) の動作説明	237
15.8	インターバルタイマ機能 (連続モード) の動作説明	239
15.9	インターバルタイマ機能 (フリーランモード) の動作説明	241
15.10	PWM タイマ機能 (周期固定モード) の動作説明	243
15.11	PWM タイマ機能 (周期可変モード) の動作説明	245
15.12	PWC タイマ機能の動作説明	247
15.13	インプットキャプチャ機能の動作説明	249
15.14	ノイズフィルタの動作説明	251
15.15	動作中の各モードでの状態	252
15.16	8/16 ビット複合タイマ使用上の注意	254
第 16 章	8/16 ビット PPG	255
16.1	8/16 ビット PPG の概要	256
16.2	8/16 ビット PPG の構成	257
16.3	8/16 ビット PPG のチャンネル	259
16.4	8/16 ビット PPG の端子	260
16.5	8/16 ビット PPG のレジスタ	262
16.5.1	8/16 ビット PPG タイマ 01 制御レジスタ ch.0 (PC01)	263
16.5.2	8/16 ビット PPG タイマ 00 制御レジスタ ch.0 (PC00)	265
16.5.3	8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS01), (PPS00)	267
16.5.4	8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00)	268
16.5.5	8/16 ビット PPG 起動レジスタ (PPGS)	269
16.5.6	8/16 ビット PPG 出力反転レジスタ (REVC)	270
16.6	8/16 ビット PPG の割込み	271
16.7	8/16 ビット PPG の動作説明と設定手順例	272
16.7.1	8 ビット PPG 独立モード	273
16.7.2	8 ビットプリスケラ + 8 ビット PPG モード	275
16.7.3	16 ビット PPG モード	277
16.8	8/16 ビット PPG 使用上の注意	279
16.9	8/16 ビット PPG タイマのサンプルプログラム	280
第 17 章	16 ビット PPG タイマ	283
17.1	16 ビット PPG タイマの概要	284
17.2	16 ビット PPG タイマの構成	285
17.3	16 ビット PPG タイマのチャンネル	287
17.4	16 ビット PPG タイマの端子	288
17.5	16 ビット PPG タイマのレジスタ	289
17.5.1	16 ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH0, PDCRL0)	290
17.5.2	16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH0, PCSRL0)	291
17.5.3	16 ビット PPG デューティ設定バッファレジスタ 上位, 下位 (PDUTH0, PDUTL0)	292
17.5.4	16 ビット PPG 状態制御レジスタ上位, 下位 (PCNTH0, PCNTL0)	293
17.6	16 ビット PPG タイマ割込み	297

17.7	16 ビット PPG タイマの動作説明と設定手順例	298
17.8	16 ビット PPG タイマ使用上の注意	302
17.9	16 ビット PPG タイマのサンプルプログラム	303
第 18 章	外部割込み回路	307
18.1	外部割込み回路の概要	308
18.2	外部割込み回路の構成	309
18.3	外部割込み回路のチャンネル	310
18.4	外部割込み回路の端子	311
18.5	外部割込み回路のレジスタ	312
18.5.1	外部割込み制御レジスタ (EIC00)	313
18.6	外部割込み回路の割込み	315
18.7	外部割込み回路の動作説明と設定手順例	316
18.8	外部割込み回路使用上の注意	318
18.9	外部割込み回路のサンプルプログラム	319
第 19 章	割込み端子選択回路	321
19.1	割込み端子選択回路の概要	322
19.2	割込み端子選択回路の構成	323
19.3	割込み端子選択回路の端子	324
19.4	割込み端子選択回路のレジスタ	325
19.4.1	割込み端子選択回路制御レジスタ (WICR)	326
19.5	割込み端子選択回路の動作説明	329
19.6	割込み端子選択回路使用上の注意	330
第 20 章	UART/SIO	331
20.1	UART/SIO の概要	332
20.2	UART/SIO の構成	333
20.3	UART/SIO のチャンネル	335
20.4	UART/SIO の端子	336
20.5	UART/SIO のレジスタ	338
20.5.1	UART/SIO シリアルモード制御レジスタ 1 (SMC10)	339
20.5.2	UART/SIO シリアルモード制御レジスタ 2 (SMC20)	341
20.5.3	UART/SIO シリアルステータスアンドデータレジスタ (SSR0)	343
20.5.4	UART/SIO シリアル入力データレジスタ (RDR0)	345
20.5.5	UART/SIO シリアル出力データレジスタ (TDR0)	346
20.6	UART/SIO の割込み	347
20.7	UART/SIO の動作説明と設定手順例	348
20.7.1	動作モード 0 の動作説明	349
20.7.2	動作モード 1 の動作説明	356
20.8	UART/SIO のサンプルプログラム	362
第 21 章	UART/SIO 専用ボーレートジェネレータ	367
21.1	UART/SIO 専用ボーレートジェネレータの概要	368
21.2	UART/SIO 専用ボーレートジェネレータのチャンネル	369
21.3	UART/SIO 専用ボーレートジェネレータのレジスタ	370
21.3.1	UART/SIO 専用ボーレートジェネレータプリスケラ選択レジスタ (PSSR0)	371
21.3.2	UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0)	372
21.4	UART/SIO 専用ボーレートジェネレータの動作説明	373

第 22 章 LIN-UART	375
22.1 LIN-UART の概要	376
22.2 LIN-UART の構成	378
22.3 LIN-UART の端子	383
22.4 LIN-UART のレジスタ	385
22.4.1 LIN-UART シリアル制御レジスタ (SCR)	386
22.4.2 LIN-UART シリアルモードレジスタ (SMR)	388
22.4.3 LIN-UART シリアルステータスレジスタ (SSR).....	390
22.4.4 LIN-UART 受信データレジスタ / 送信データレジスタ (RDR/TDR)	392
22.4.5 LIN-UART 拡張ステータス制御レジスタ (ESCR)	394
22.4.6 LIN-UART 拡張通信制御レジスタ (ECCR).....	396
22.4.7 LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	398
22.5 LIN-UART の割込み	399
22.5.1 受信割込み発生とフラグセットのタイミング	403
22.5.2 送信割込み発生とフラグセットのタイミング	405
22.6 LIN-UART のボーレート	407
22.6.1 ボーレート設定	409
22.6.2 リロードカウンタ	413
22.7 LIN-UART の動作説明と設定手順例	415
22.7.1 非同期モード (動作モード 0, 1) の動作	417
22.7.2 同期モード (動作モード 2) の動作	421
22.7.3 LIN 機能 (動作モード 3) の動作	425
22.7.4 シリアル端子直接アクセス	428
22.7.5 双方向通信機能 (ノーマルモード)	429
22.7.6 マスタ / スレーブ型通信機能 (マルチプロセッサモード)	431
22.7.7 LIN 通信機能	434
22.7.8 LIN-UART の LIN 通信フローチャート例 (動作モード 3)	435
22.8 LIN-UART 使用上の注意	437
22.9 LIN-UART のサンプルプログラム	442
 第 23 章 I²C	 447
23.1 I ² C の概要	448
23.2 I ² C の構成	449
23.3 I ² C のチャンネル	452
23.4 I ² C のバスインタフェースの端子	453
23.5 I ² C のレジスタ	455
23.5.1 I ² C バス制御レジスタ (IBCR00, IBCR10)	456
23.5.2 I ² C バスステータスレジスタ (IBSR0)	463
23.5.3 I ² C データレジスタ (IDDR0)	466
23.5.4 I ² C アドレスレジスタ (IAAR0)	467
23.5.5 I ² C クロック制御レジスタ (ICCR0)	468
23.6 I ² C の割込み	470
23.7 I ² C の動作説明と設定手順例	473
23.7.1 I ² C インタフェース	474
23.7.2 MCU スタンバイモードに対するウェイクアップ機能	481
23.8 I ² C 使用上の注意	483
23.9 I ² C のサンプルプログラム	485

第 24 章	8/10 ビット A/D コンバータ	489
24.1	8/10 ビット A/D コンバータの概要	490
24.2	8/10 ビット A/D コンバータの構成	491
24.3	8/10 ビット A/D コンバータの端子	493
24.4	8/10 ビット A/D コンバータのレジスタ	495
24.4.1	8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)	496
24.4.2	8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)	498
24.4.3	8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL)	500
24.5	8/10 ビット A/D コンバータの割込み	501
24.6	8/10 ビット A/D コンバータの動作説明と設定手順例	502
24.7	8/10 ビット A/D コンバータ使用上の注意	505
24.8	8/10 ビット A/D コンバータのサンプルプログラム	506
第 25 章	低電圧検出リセット回路	509
25.1	低電圧検出リセット回路の概要	510
25.2	低電圧検出リセット回路の構成	511
25.3	低電圧検出リセット回路の端子	512
25.4	低電圧検出リセット回路の動作説明	513
第 26 章	クロックスーパバイザ	515
26.1	クロックスーパバイザの概要	516
26.2	クロックスーパバイザの構成	517
26.3	クロックスーパバイザのレジスタ	519
26.3.1	クロックスーパバイザ制御レジスタ (CSVCR)	520
26.4	クロックスーパバイザの動作説明	522
26.5	クロックスーパバイザ使用上の注意	525
第 27 章	デュアルオペレーションフラッシュメモリ	527
27.1	デュアルオペレーションフラッシュメモリの概要	528
27.2	フラッシュメモリのセクタ / バンク構成	530
27.3	フラッシュメモリのレジスタ	531
27.3.1	フラッシュメモリステータスレジスタ (FSR)	532
27.3.2	フラッシュメモリセクタ書き込み制御レジスタ (SWRE0/SWRE1)	535
27.4	フラッシュメモリ自動アルゴリズム起動方法	540
27.5	自動アルゴリズム実行状態の確認	542
27.5.1	データポーリングフラグ (DQ7)	544
27.5.2	トグルビットフラグ (DQ6)	546
27.5.3	タイミングリミット超過フラグ (DQ5)	547
27.5.4	セクタ消去タイマフラグ (DQ3)	548
27.6	フラッシュメモリ書込み / 消去	549
27.6.1	フラッシュメモリを読出し / リセット状態にする	550
27.6.2	フラッシュメモリヘータを書き込む	551
27.6.3	フラッシュメモリの全データを消去する (チップ消去)	553
27.6.4	フラッシュメモリの任意のデータを消去する (セクタ消去)	554
27.6.5	フラッシュメモリのセクタ消去を一時停止する	556
27.6.6	フラッシュメモリのセクタ消去を再開する	557
27.7	デュアルオペレーションフラッシュの動作	558
27.8	フラッシュセキュリティ	560
27.9	デュアルオペレーションフラッシュメモリ使用上の注意	561

第 28 章	256K ビットフラッシュメモリ	563
28.1	256K ビットフラッシュメモリの概要	564
28.2	フラッシュメモリのセクタ構成	565
28.3	フラッシュメモリのレジスタ	566
28.3.1	フラッシュメモリステータスレジスタ (FSR)	567
28.4	フラッシュメモリ自動アルゴリズム起動方法	569
28.5	自動アルゴリズム実行状態の確認	571
28.5.1	データポーリングフラグ (DQ7)	573
28.5.2	トグルビットフラグ (DQ6)	574
28.5.3	タイミングリミット超過フラグ (DQ5)	575
28.6	フラッシュメモリ書込み / 消去	576
28.6.1	フラッシュメモリを読み出し / リセット状態にする	577
28.6.2	フラッシュメモリヘータを書き込む	578
28.6.3	フラッシュメモリの全データを消去する (チップ消去)	580
28.7	フラッシュセキュリティ	581
第 29 章	シリアル書込み接続例	583
29.1	フラッシュメモリ品シリアル書込み接続の基本構成	584
29.2	シリアル書込み時の接続例	587
29.3	フラッシュマイコンプログラマとの最小限の接続例	589
付録		591
付録 A	I/O マップ	592
付録 B	割込み要因のテーブル	597
付録 C	メモリマップ	598
付録 D	MB95110B/M シリーズの端子状態	600
付録 E	命令概要	602
付録 F	マスクオプション	619
付録 G	パラレルライターによる Flash マイコンの書込み	621
索引		623
レジスタ索引		638
端子機能索引		640
割込みベクタ索引		641

本版での主な変更内容

ページ		変更内容（詳細は本文を参照してください。）
24	2.1 デバイス使用上の注意 デバイス使用上の注意	「 シリアル通信について」を追加
26	端子接続について	「 C 端子」を追加
97	7.2 リセット要因レジスタ (RSRR) リセット要因レジスタ (RSRR) の構成 表 7.2-1	機能説明文を訂正 ・ bit5 ~ bit1 の機能説明文を「読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。」と訂正 ・ bit0 の説明文を「書込み動作 (0 または 1) またはパワーオンリセットにより、ビットは "0" になります。」と訂正
103	8.1 割込み 周辺機能からの割込み要求 表 8.1-1	割込み要求に (リセットベクタ), (モードベクタ) を追加
117	9.2.2 ポート 0 の動作説明 ポート 0 の動作 入力レベル選択レジスタ 2 の動作 表 9.2-4	表注釈を変更 " 入力可能 " とは、入力機能が可能な状態であることを意味するので、プルアップ、プルダウン処理をするか、または外部からの入力によりリークの発生を防ぐ必要があります。出力ポートとして使用している場合にはほかのポートと同じです。 " 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。
122	9.3.2 ポート 1 の動作説明 ポート 1 の動作 プルアップ制御レジスタの動作	説明文を変更 PUL レジスタに "1" を設定すると、端子に内部でプルアップ抵抗が接続されます。ただし、"L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。 PUL レジスタに "1" を設定すると、端子のプルアップ抵抗が接続されます。 ただし、汎用出力ポートや兼用する周辺リソースが "L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。

ページ		変更内容（詳細は本文を参照してください。）
123	9.3.2 ポート 1 の動作説明 ポート 1 の動作 入力レベル選択レジスタ 2 の動作 表 9.3-4	<p>表注釈を変更</p> <p>" 入力可能 " とは、入力機能が可能な状態であることを意味するので、プルアップ、プルダウン処理をするか、または外部からの入力によりリークの発生を防ぐ必要があります。出力ポートとして使用している場合にはほかのポートと同じです。</p> <p>" 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。</p>
128	9.4.2 ポート 2 の動作説明 ポート 2 の動作 プルアップ制御レジスタ の動作	<p>説明文を変更</p> <p>PUL レジスタに "1" を設定すると、端子に内部でプルアップ抵抗が接続されます。ただし、"L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。</p> <p>PUL レジスタに "1" を設定すると、端子のプルアップ抵抗が接続されます。</p> <p>ただし、汎用出力ポートや兼用する周辺リソースが "L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。</p>
	表 9.4-4	<p>表注釈を変更</p> <p>" 入力可能 " とは、入力機能が可能な状態であることを意味するので、プルアップ、プルダウン処理をするか、または外部からの入力によりリークの発生を防ぐ必要があります。出力ポートとして使用している場合にはほかのポートと同じです。</p> <p>" 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。</p>
133	9.5.2 ポート 3 の動作説明 ポート 3 の動作 プルアップ制御レジスタ の動作	<p>説明文を変更</p> <p>PUL レジスタに "1" を設定すると、端子に内部でプルアップ抵抗が接続されます。ただし、"L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。</p> <p>PUL レジスタに "1" を設定すると、端子のプルアップ抵抗が接続されます。</p> <p>ただし、汎用出力ポートや兼用する周辺リソースが "L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。</p>

ページ		変更内容（詳細は本文を参照してください。）
138	9.6.2 ポート 5 の動作説明 ポート 5 の動作 入力レベル選択レジスタ 2 の動作 表 9.6-4	表注釈を変更 " 入力可能 " とは、入力機能が可能な状態であることを意味するので、プルアップ、プルダウン処理をするか、外部からの入力によりリークの発生を防ぐ必要があります。出力ポートとして使用している場合にはほかのポートと同じです。 " 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。
143	9.7.2 ポート 6 の動作説明 ポート 6 の動作 入力レベル選択レジスタ 2 の動作 表 9.7-4	表注釈を変更 " 入力可能 " とは、入力機能が可能な状態であることを意味するので、プルアップ、プルダウン処理をするか、外部からの入力によりリークの発生を防ぐ必要があります。出力ポートとして使用している場合にはほかのポートと同じです。 " 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。
147	9.8.2 ポート G の動作説明 ポート G の動作 プルアップ制御レジスタ の動作	説明文を変更 PUL レジスタに "1" を設定すると、端子は内部でプルアップ抵抗が接続されます。ただし、"L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。 PUL レジスタに "1" を設定すると、端子のプルアップ抵抗が接続されます。 ただし、汎用出力ポートや兼用する周辺リソースが "L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。
148	9.8.2 ポート G の動作説明 ポート G の動作 入力レベル選択レジスタ 2 の動作 表 9.8-4	表注釈を変更 " 入力可能 " とは、入力機能が可能な状態であることを意味するので、プルアップ、プルダウン処理をするか、外部からの入力によりリークの発生を防ぐ必要があります。出力ポートとして使用している場合にはほかのポートと同じです。 " 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。
225	15.5.1 8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 0 (T00CR0/T01CR0) 8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 0 (T00CR0/T01CR0) 表 15.5-1	bit3 ~ bit0 の機能内の表を訂正 0 1 1 1 PWC タイマ (周期 = 立上り ~ 立下り) 1 0 0 0 PWC タイマ (周期 = 立下り ~ 立上り) 0 1 1 1 PWC タイマ (周期 = 立上り ~ 立上り) 1 0 0 0 PWC タイマ (周期 = 立下り ~ 立下り)

ページ		変更内容（詳細は本文を参照してください。）
250	15.13 インพุットキャプチャ 機能の動作説明 8 インพุットキャプチャ機能の動作	説明文を追加
254	15.16 8/16 ビット複合タイマ 使用上の注意 8/16 ビット複合タイマ使用上の注意	説明文を追加
257	16.2 8/16 ビット PPG の構成 8/16 ビット PPG のブロックダイアグラム 図 16.2-1	図 16.2-1 を訂正
275	16.7.2 8 ビットプリスケラ + 8 ビット PPG モード 8 ビットプリスケラ + 8 ビット PPG モードの動作	説明文内の ch. 番号を訂正 PPG タイマ 00 (ch.1) ダウンカウンタ動作許可ビット (PEN01) PPG タイマ 01 (ch.0) ダウンカウンタ動作許可ビット (PEN01)
338	20.5 UART/SIO のレジスタ UART/SIO に関連する レジスタ 図 20.5-1	SMC20 の bit5 の属性を訂正 R/W R1/W 凡例を訂正 R1/W：リード / ライト可能（読出し値は常に " 1 "） を追加
341	20.5.2 UART/SIO シリアル モード制御レジスタ 2 (SMC20) UART/SIO シリアルモード 制御レジスタ 2 (SMC20) 図 20.5-3	RERC のビット説明を訂正 このビットの変化およびほかへの影響なし 動作への影響なし
342	20.5.2 UART/SIO シリアル モード制御レジスタ 2 (SMC20) UART/SIO シリアルモード 制御レジスタ 2 (SMC20) 表 20.5-2	bit5 の機能説明文を訂正 "1" に設定した場合：受信エラーフラグをクリアします。 "1" に設定した場合：動作に影響を与えません。
387	22.4.1 LIN-UART シリアル制御レジスタ (SCR) LIN-UART シリアル制御レジスタ (SCR) 表 22.4-1	bit5 の機能説明文の（注意事項）を削除
		bit2 の機能説明文の（注意事項）の内容を訂正
400	22.5 LIN-UART の割込み 受信割込み 受信割込み	< 注意事項 > の内容を訂正

ページ		変更内容（詳細は本文を参照してください。）
416	22.7 LIN-UART の動作説明と 設定手順例 設定手順例 初期設定	1) の内容を訂正 ポートの入力設定 (DDR1) ポートの入力設定 (DDR6)
438 ～ 441	第 22 章 LIN-UART 22.8 LIN-UART 使用上の注意 LIN-UART 使用上の注意	「 フレーミングエラー対処方法」を追加 図 22.8-1 ～図 22.8-3 を追加
442	22.9 LIN-UART のサンプルプ ログラム プログラム例以外の設定 方法 SCK 端子, SIN 端子, SOT 端子を制御する方法	表の内容を訂正 DDR6:P05 = 0 DDR6:P65 = 0 DDR6:P07 = 0 DDR6:P67 = 0
457	23.5.1 I ² C バス制御レジスタ (IBCR00, IBCR10) I ² C バス制御レジスタ 0 (IBCR00) 表 23.5-1	bit7 の説明文を訂正 このビットへは, 次のどちらかの方法で "1" を書き込んで ください。 このビットの書き換えは, 次のどちらかの方法で行って ください。
459	23.5.1 I ² C バス制御レジスタ (IBCR00, IBCR10) I ² C バス制御レジスタ 0 (IBCR00)	< 注意事項 > の内容を訂正 バスエラーが発生 (IBSR0:BER=1) した場合 バスエラーが発生 (IBCR10:BER=1) した場合
462	23.5.1 I ² C バス制御レジスタ (IBCR00, IBCR10) I ² C バス制御レジスタ 1 (IBCR10)	< 注意事項 > の内容を訂正 もしくはバスエラーの発生 (IBSR0:BER=1) により, "0" に クリアされます。 もしくはバスエラーの発生 (IBCR10:BER=1) により, "0" にクリアされます。
504	24.6 8/10 ビット A/D コン バータの動作説明と 設定手順例 設定手順例 初期設定	1) の内容を訂正 ポートの入力設定 (DDR1) ポートの入力設定 (DDR3)
527	第 27 章デュアルオペレー ションフラッシュメモ リ	題名を変更 480K ビットフラッシュメモリ デュアルオペレーションフラッシュメモリ
528	27.1 デュアルオペレーション フラッシュ メモリの概要	要約文を全面変更
	デュアルオペレー ションフラッシュ メモリの概要	説明文を全面変更

ページ		変更内容（詳細は本文を参照してください。）
529	デュアルオペレーション フラッシュメモリの特長	説明文を追加 ・ JEDEC 標準規格コマンドと互換
	フラッシュメモリ書込み / 消去	説明文を追加 ・ デュアルオペレーションフラッシュメモリにより、フ ラッシュメモリ上でのプログラム実行および割込みを用 いた書込み制御が可能となります。また、書込みの際に プログラムを RAM 上へダウンロードして実行する必要 もなく、ダウンロードの時間削減および RAM データの電 源瞬断のケアも不要となります。
534	図 27.3-3	図を追加
542	27.5 自動アルゴリズム実行状 態の確認 ハードウェアシーケンス フラグ ハードウェアシーケンス フラグの概要	説明文を変更 次の 5 ビットの出力 次の 4 ビットの出力 「・ トグルビット 2 フラグ (DQ2)」を削除 DQ7, DQ6, DQ5, DQ3, DQ2 DQ7, DQ6, DQ5, DQ3
	表 27.5-1	ビット 2 を変更 DQ2 -
543	表 27.5-2	「DQ2」列を削除 表末の * 注釈文を削除
548	27.5.5 トグルビット 2 フラグ (DQ2)	27.5.5 項全体を削除
552	図 27.6-1	フローチャートを変更 16 進数表記方法を変更 "H" を追加
555	図 27.6-2	全体のフローチャートを変更
558, 559	27.7 デュアルオペレーション フラッシュの動作	節全体を追加
561	27.9 デュアルオペレー ションフラッシュ メモリ使用上の注意	説明文を追加 F ² MC-8FX のソフトウェア開発サポート環境 (MB95FV100D および MB2146-09) での注意 ・ 下位バンク (1000 _H ~ 3FFF _H) への書込み / 消去はできま せん。 ・ チップ消去は行わないでください。
564	第 28 章 256K ビット フラッシュメモリ 28.1 256K ビットフラッシュ メモリの概要	要約文を全面変更
	■ 256K ビットフラッシュ メモリの概要	説明文を全面変更

ページ		変更内容（詳細は本文を参照してください。）
569	28.4 フラッシュメモリ自動 アルゴリズム起動方法 ■ コマンドシーケンス表 表 28.4-1	"U" の注釈文を変更 U : RA, PA, SA と同じ上位 4 ビット → U : RA, PA と同じ上位 4 ビット
	28.4 フラッシュメモリ自動 アルゴリズム起動方法 コマンドシーケンス表	< 注意事項 > の内容を訂正
571	28.5 自動アルゴリズム実行状 態の確認 ■ ハードウェアシーケンス フラグ ● ハードウェアシーケンス フラグの概要	説明文を変更 4 ビットの出力で構成 → 3 ビットの出力で構成 「トグルビット 2 フラグ (DQ2)」を削除 「ただし、ハードウェアシーケンスフラグはコマンド発行 された側のバンクのみに出力されます。」の文を削除 DQ7, DQ6, DQ5, DQ2 → DQ7, DQ6, DQ5
	表 28.5-1	ビット 2 を変更 DQ2 → -
572	表 28.5-2	「DQ2」列を削除 表末の * 注釈文を削除
575	285.4 トグルビット 2 フラグ (DQ2)	28.5.4 項全体を削除
590	第 30 章 デュアルオペレー ションフラッシュ	旧版 第 27 章 480K フラッシュメモリの章を第 27 章 デュアルオペレーションフラッシュメモリに変更し、第 30 章 デュアルオペレーションフラッシュメモリを削除
597	付録 B 割込み要因の テーブル 割込み要因のテーブル 付表 B-1	表内に下記の項目を追加 (リセットベクタ) (モードデータ)

変更箇所は、本文中のページ左側の によって示しています。

第1章

概要

MB95110B/M シリーズの特長や基本的な仕様について説明します。

- 1.1 MB95110B/M シリーズの特長
- 1.2 MB95110B/M シリーズの品種構成
- 1.3 品種間の相違点と品種選択時の注意事項
- 1.4 MB95110B/M シリーズのブロックダイアグラム
- 1.5 端子配列図
- 1.6 外形寸法図
- 1.7 端子機能説明
- 1.8 入出力回路形式

1.1 MB95110B/M シリーズの特長

MB95110B/M シリーズは、コンパクトな命令体系に加えて、豊富な周辺機能を内蔵した汎用ワンチップマイクロコントローラです。

■ MB95110B/M シリーズの特長

● F²MC-8FX CPU コア

コントローラに最適な命令体系

- 乗除算命令
- 16 ビット演算
- ビットテストによるブランチ命令
- ビット操作命令など

● クロック

- メインクロック
- メイン PLL クロック
- サブクロック (2 系統クロック品のみ)
- サブ PLL クロック (MB95F116MAW/F116NAW 以外の 2 系統クロック品のみ)

● タイマ

- 8/16 ビット複合タイマ × 2 チャンネル
- 8/16 ビット PPG × 2 チャンネル
- 16 ビット PPG
- タイムベースタイマ
- 時計プリスケアラ (2 系統クロック品のみ)

● LIN-UART

- 全二重ダブルバッファ
- クロック非同期またはクロック同期のシリアルデータ転送を使用可能

● UART/SIO

- 全二重ダブルバッファ
- クロック非同期またはクロック同期のシリアルデータ転送を使用可能

● I²C

ウェイクアップ機能内蔵

● 外部割込み

- エッジ検出による割込み (立上り、立下りまたは両エッジから選択可能)
- 低消費電力 (スタンバイ) モードからの復帰としても使用可能

● 8/10 ビット A/D コンバータ

8 ビットまたは 10 ビット分解能の選択が可能

● 低消費電力 (スタンバイ) モード

- ストップモード
- スリープモード
- 時計モード (2 系統クロック品のみ)
- タイムベースタイマモード

● I/O ポート

- 最大ポート数
 - 1 系統クロック品 :39 本
 - 2 系統クロック品 :37 本
- 汎用入出力ポート (N-ch オープンドレイン) : 2 本
- 汎用入出力ポート (CMOS)
 - 1 系統クロック品 :37 本
 - 2 系統クロック品 :35 本

● ポートの入力電圧レベルを変更可能

オートモーティブ入力レベル / CMOS 入力レベル / ヒステリシス入力レベル

● フラッシュメモリセキュリティ機能

フラッシュメモリ内容を保護 (フラッシュメモリデバイスのみ)

1.2 MB95110B/M シリーズの品種構成

MB95110B/M シリーズの品種は 3 種類あります。表 1.2-1 に品種構成を、表 1.2-2 に CPU と周辺機能を示します。

■ MB95110B/M シリーズの品種構成

表 1.2-1 MB95110B/M シリーズの品種構成

分類		型格	ROM/RAM	電圧	オプション			リセット 出力
					クロック 系統	LVD	CSV	
評価用品 *1		MB95FV100D-101	60K バイト /3.75K バイト	3V	1 系統 2 系統	なし	なし	なし
		MB95FV100D-103	60K バイト /3.75K バイト	5V	1 系統	なし	なし	あり
						あり	なし	
					2 系統	あり	あり	
						なし	なし	
						あり	なし	
3V 品	フラッシュ メモリ品	MB95F118BS	60K バイト /2K バイト	3V	1 系統	なし	なし	なし
		MB95F118BW			2 系統			
	マスク ROM 品 *2	MB95116B	32K バイト /1K バイト		1 系統	なし	なし	なし
					2 系統			
5V 品	フラッシュ メモリ品	MB95F116MAS	32K バイト /1K バイト	5V	1 系統	なし	なし	あり
		MB95F116NAS				あり	なし	
		MB95F116MAW			2 系統	なし	なし	
		MB95F116NAW				あり	なし	
		MB95F118MS	60K バイト /2K バイト		1 系統	なし	なし	あり
		MB95F118NS				あり	なし	あり
		MB95F118JS			2 系統	あり	あり	なし
		MB95F118MW				なし	なし	あり
		MB95F118NW				あり	なし	あり
		MB95F118JW				あり	あり	なし
	マスク ROM 品 *2	MB95117M	48K バイト /2K バイト	5V	1 系統	なし	なし	あり
						あり	なし	あり
						あり	あり	なし
					2 系統	なし	なし	あり
あり						なし	あり	
あり	あり	なし						

LVD : 低電圧検出リセット

CSV : クロックスーパバイザ

*1: 評価用品では、1/2 系統および LVD のなし / ありを MCU ボード上のスイッチで切り換えてください (LVD なし、CSV ありの組合せ指定はできません)。

*2: マスク ROM 品では、1/2 系統および LVD、CSV のなし / ありをマスク ROM 発注時に指定してください (LVD なし、CSV ありの組合せ指定はできません)。

表 1.2-2 MB95110B/M のシリーズの CPU と周辺機能 (1 / 2)

項 目		仕 様
CPU 機能		基本命令数 :136 命令 命令ビット長 :8 ビット 命令長 :1 ~ 3 バイト データビット長 :1, 8, 16 ビット長 最小命令実行時間 :61.5ns(マシナクロック 16.25MHz 時) 割込み処理時間 :0.6μs(マシナクロック 16.25MHz 時)
周 辺 機 能	ポート	汎用入出力ポート (N-ch オープンドレイン) : 2 本 汎用入出力ポート (CMOS) : 1 系統クロック品 :37 本 2 系統クロック品 :35 本 合計 : 1 系統クロック品 :39 本 2 系統クロック品 :37 本
	タイムベースタイマ	割込み周期 0.5ms, 2.1ms, 8.2ms, 32.8ms (外部 4MHz)
	ウォッチドッグタイマ	リセット発生周期 メインクロック 10MHz 時 : 最小 105ms サブクロック 32.768kHz 時 (2 系統クロック品のみ) : 最小 250ms
	ワイルドレジスタ	3 バイト分の ROM データ置換え可能
	I ² C バス	マスタ / スレーブ送受信 バスエラー機能, アービトレーション機能。転送方向検出機能 スタートコンディションの繰り返し発生および検出機能 ウェイクアップ機能内蔵
	UART/SIO	UART/SIO でのデータ転送可能 全二重ダブルバッファ, 可変データ長 (5/6/7/8 ビット), ボーレートジェネレータ内蔵 NRZ 方式転送フォーマット, エラー検出機能 LSB ファースト / MSB ファースト選択可能 クロック同期 (SIO), クロック非同期 (UART) のシリアルデータ転送可能
	LIN-UART	専用リロードタイマによって広範囲の通信速度設定が可能 全二重ダブルバッファ クロック同期, クロック非同期のシリアルデータ転送可能 LIN 機能は LIN マスタおよび LIN スレーブとして使用可能
	8/10 ビット A/D コンバータ	8 チャンネル。8 ビットまたは 10 ビット分解能の選択が可能
	8/16 ビット複合タイマ	2 チャンネル。タイマ 1 チャンネルにつき 8 ビットタイマ × 2 チャンネルまたは 16 ビットタイマ × 1 チャンネルとして使用可能 タイマ機能, PWC 機能, PWM 機能, キャプチャ機能内蔵 カウントクロック : 内部クロック 7 種類または外部クロックから選択可能 方形波出力あり
	16 ビット PPG	PWM モードまたはワンショットモードを選択可能 カウンタ動作クロック : 8 種類のクロックソースから選択可能 外部トリガ起動対応
	8/16 ビット PPG	2 チャンネル。PPG1 チャンネルにつき 8 ビット PPG × 2 チャンネルまたは 16 ビット PPG × 1 チャンネルとして使用可能 カウンタ動作クロック : 8 種類のクロックソースから選択可能
	時計カウンタ	カウントクロック : 4 種類のクロックソース (125ms, 250ms, 500ms, 1s) から選択可能 カウンタ値は 0 ~ 63 まで設定可能 (1 分カウント可能) クロックソース 1 秒を選択し, カウンタ値を 60 に設定した場合, 1 分カウント可能 (注意事項) 2 系統クロック品選択時
	時計ブリスケアラ	4 種類のインターバル時間 (125ms, 250ms, 500ms, 1s) から選択可能 (注意事項) 2 系統クロック品選択時
	外部割込み	8 チャンネル。エッジ検出による割込み (立上り, 立下りまたは両エッジから選択可能) スタンバイモードからの復帰としても使用可能

表 1.2-2 MB95110B/M のシリーズの CPU と周辺機能 (2 / 2)

項 目		仕 様
周 辺 機 能	フラッシュメモリ	自動プログラミング, Embedded Algorithm 書き込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート アルゴリズム完了を示すフラグ 消去サイクルの数 : 10000 回 データ保持期間 : 20 年間 各ブロックで消去を実行可能 フラッシュメモリセキュリティ
スタンバイモード		スリープ, ストップ, 時計 (2 系統クロック品のみ), タイムベースタイマ

1.3 品種間の相違点と品種選択時の注意事項

MB95110B/M シリーズの品種間の相違点と品種選択時の注意事項について説明します。

■ 品種間の相違点と品種選択時の注意事項

● 評価用品使用時の注意

評価用品は F²MC-8FX ファミリの複数のシリーズおよび品種のソフトウェア開発をサポートするため、MB95110B/M シリーズの機能だけでなくほかの品種の機能も搭載しています。このため、MB95110B/M シリーズで使用しない周辺機能の I/O アドレスはアクセス禁止になっています。

このアクセス禁止アドレスに対して読み書きを行うと、本来使用しない周辺機能が動作する場合があります、ハードウェアやソフトウェアの予想外の誤動作を招く危険があります。

特に、奇数バイトアドレスのアクセス禁止領域に対して、ワードアクセスを行わないでください（行った場合、意図せず読み書きが行われることがあります）。また、評価用品とフラッシュメモリ品またはマスク ROM 品では禁止アドレスの読出し値が異なりますので、その値はプログラムで使用しないでください。

マスク ROM 品、フラッシュメモリ品の品種によっては 1 バイトのレジスタの中で一部のビットの機能がサポートされていない場合がありますが、これらのビットに対しては読み書き動作を行ってもハードウェアの誤動作を起こすことは発生しません。また、評価用品とでもまったく同じ動作を行うようになっていますので特に注意する必要はありません。

● メモリ空間の相違

評価用品とフラッシュメモリ品またはマスク ROM 品で搭載するメモリ容量が異なる場合は、実際に使用する品種との容量の差をよくご確認の上、ソフトウェア開発を行ってください。

● 消費電流

フラッシュメモリ品の消費電流は、マスク ROM 品より多くなります。

消費電流の詳細については、「データシート」の電気的特性を参照してください。

● パッケージ

各パッケージの詳細は、「パッケージと品種対応」および「1.6 外形寸法図」を参照してください。

● 動作電圧

動作電圧は、品種によって異なる場合があります。詳細については、「データシート」の電気的特性を参照してください。

● $\overline{\text{RST}}$ /MOD 端子の相違

マスク ROM 品では、 $\overline{\text{RST}}$ 端子と MOD 端子の入力タイプがヒステリシス入力となります（ただし、5V 品ではマスク ROM 品とフラッシュメモリ品ともにヒステリシス入力となります）。また、MOD 端子にはプルダウン抵抗が付きま

■ パッケージと品種対応

<div>品種</div> <div>パッケージ</div>	MB95116B	MB95F118BS MB95F118BW	MB95117M	MB95F116MAS MB95F116NAS MB95F116MAW MB95F116NAW MB95F118MS MB95F118NS MB95F118JS MB95F118MW MB95F118NW MB95F118JW	MB95FV100D-101 MB95FV100D-103
FPT-52P-M01					×
FPT-48P-M26			×	×	×
LCC-48P-M09			×	×	×
BGA-224P-M08	×	×	×	×	

: 使用可能

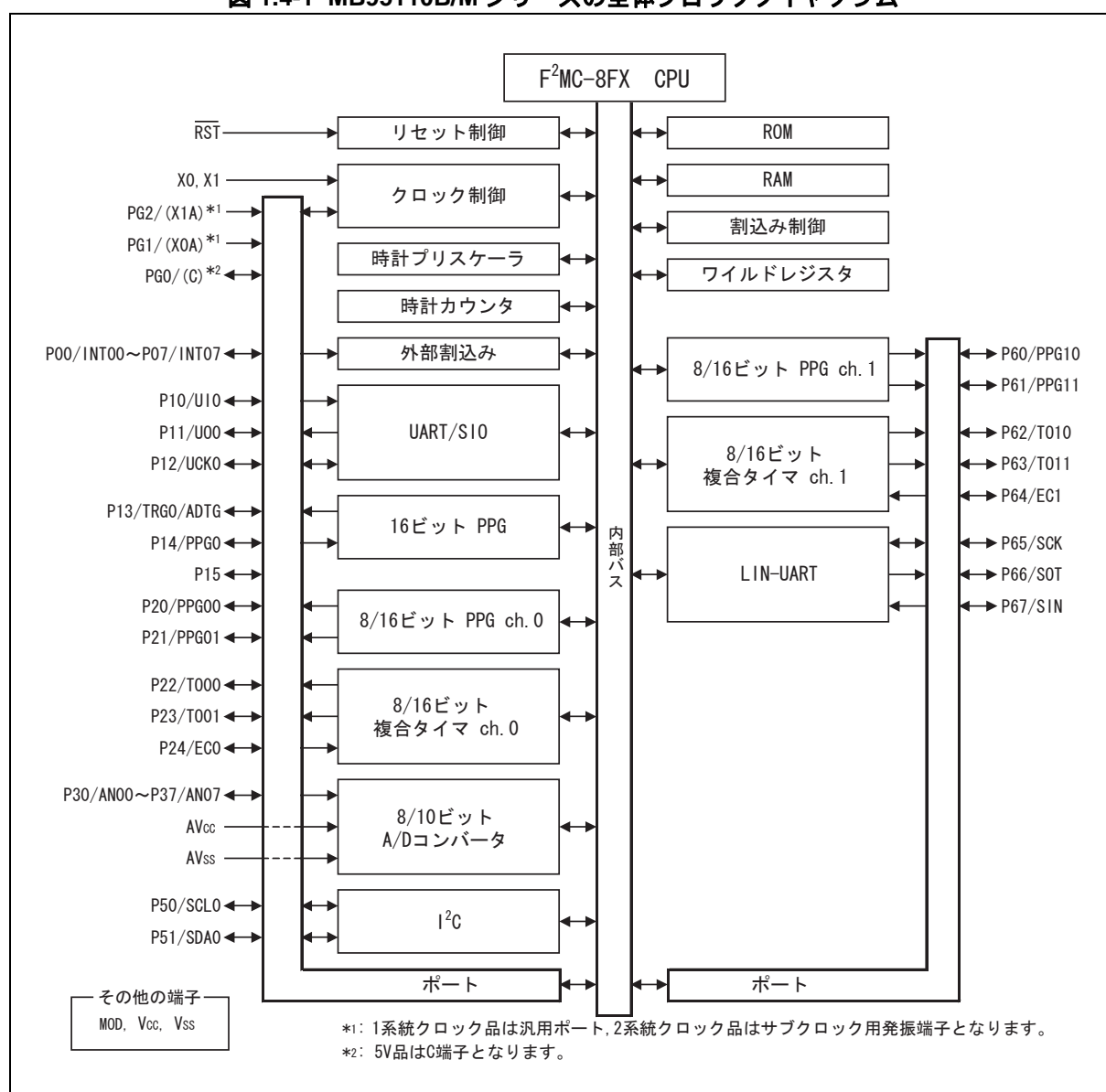
× : 使用不可能

1.4 MB95110B/M シリーズのブロックダイアグラム

図 1.4-1 に、MB95110B/M シリーズの全体ブロックダイアグラムを示します。

■ MB95110B/M シリーズの全体ブロックダイアグラム

図 1.4-1 MB95110B/M シリーズの全体ブロックダイアグラム

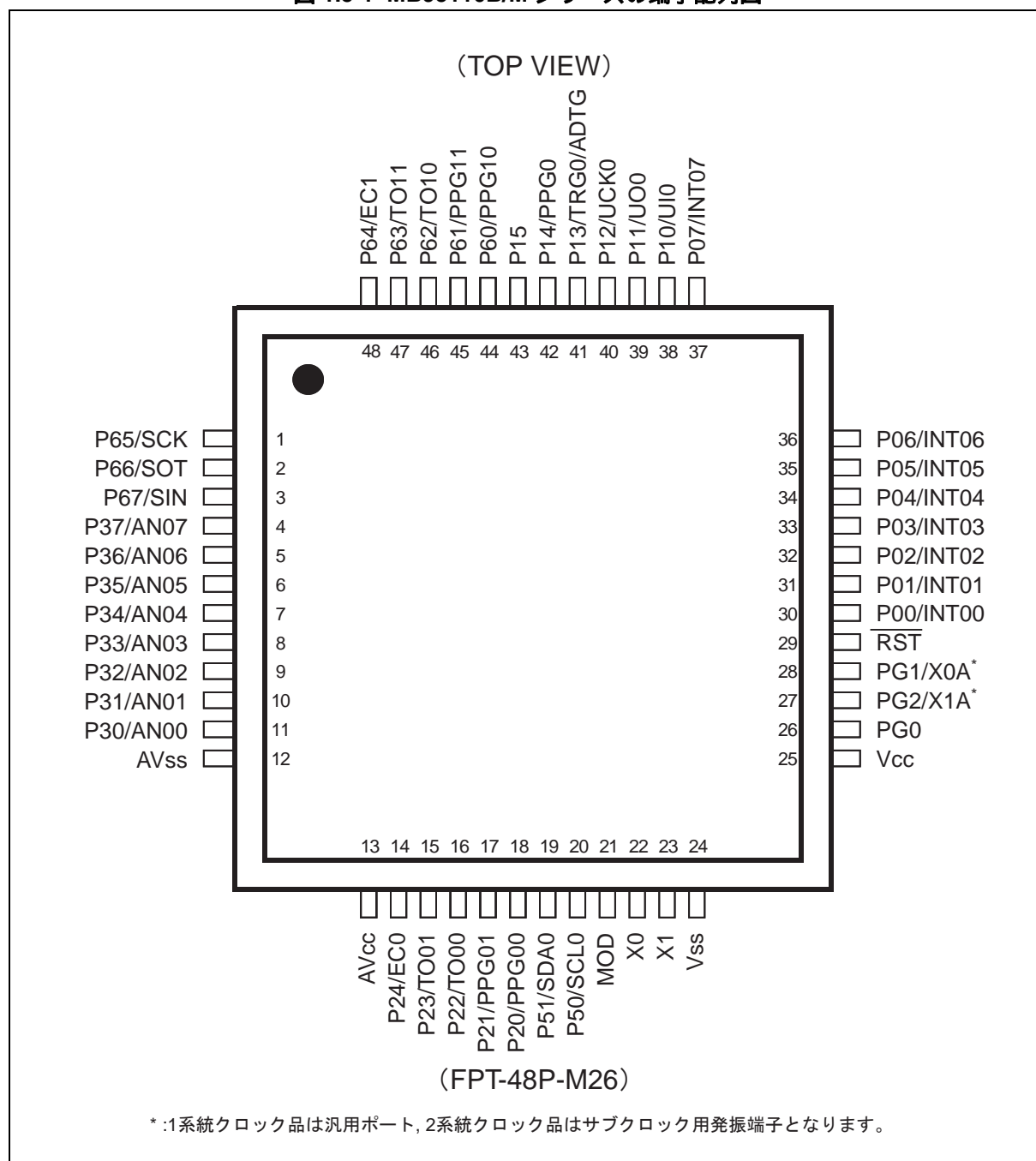


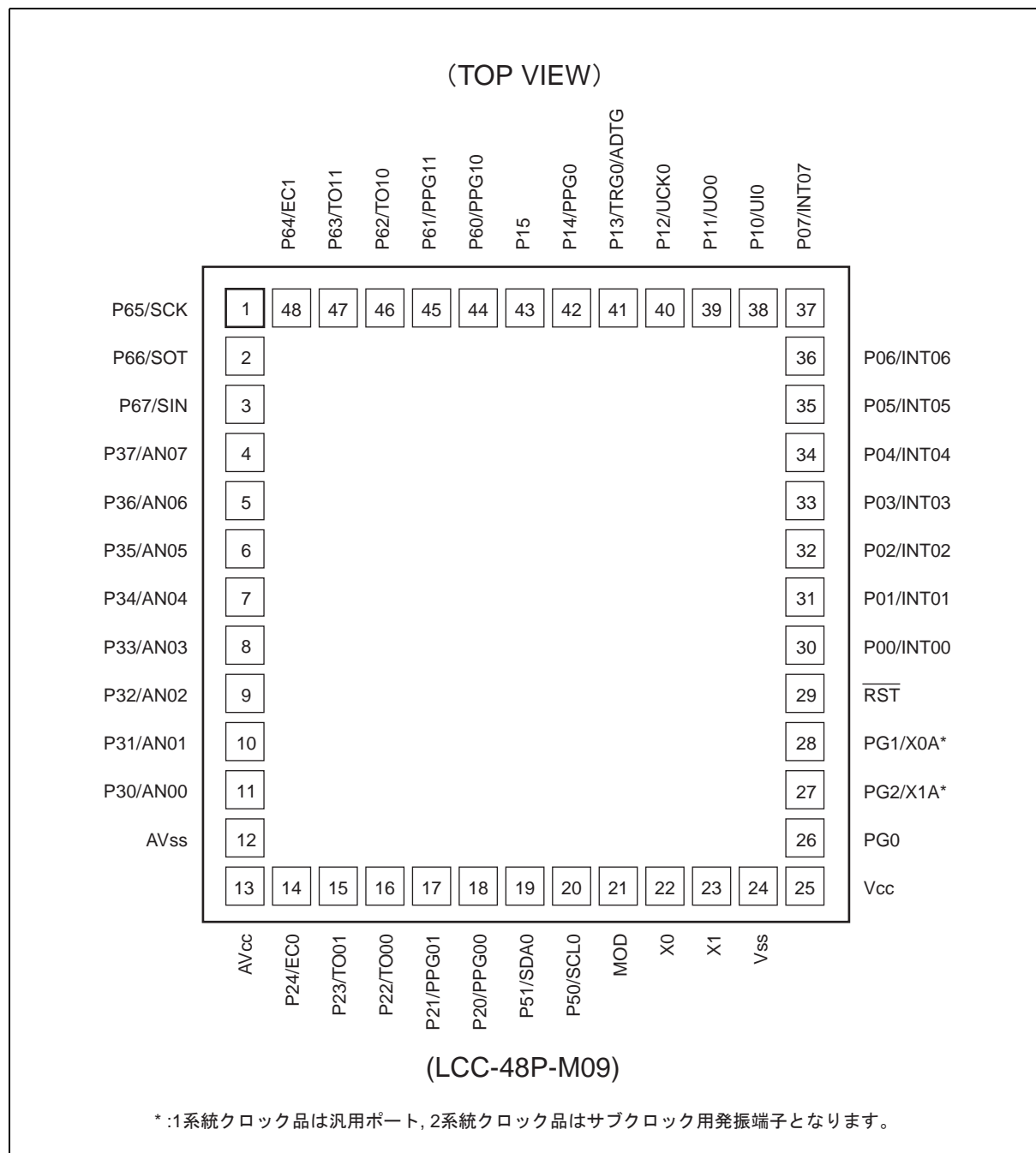
1.5 端子配列図

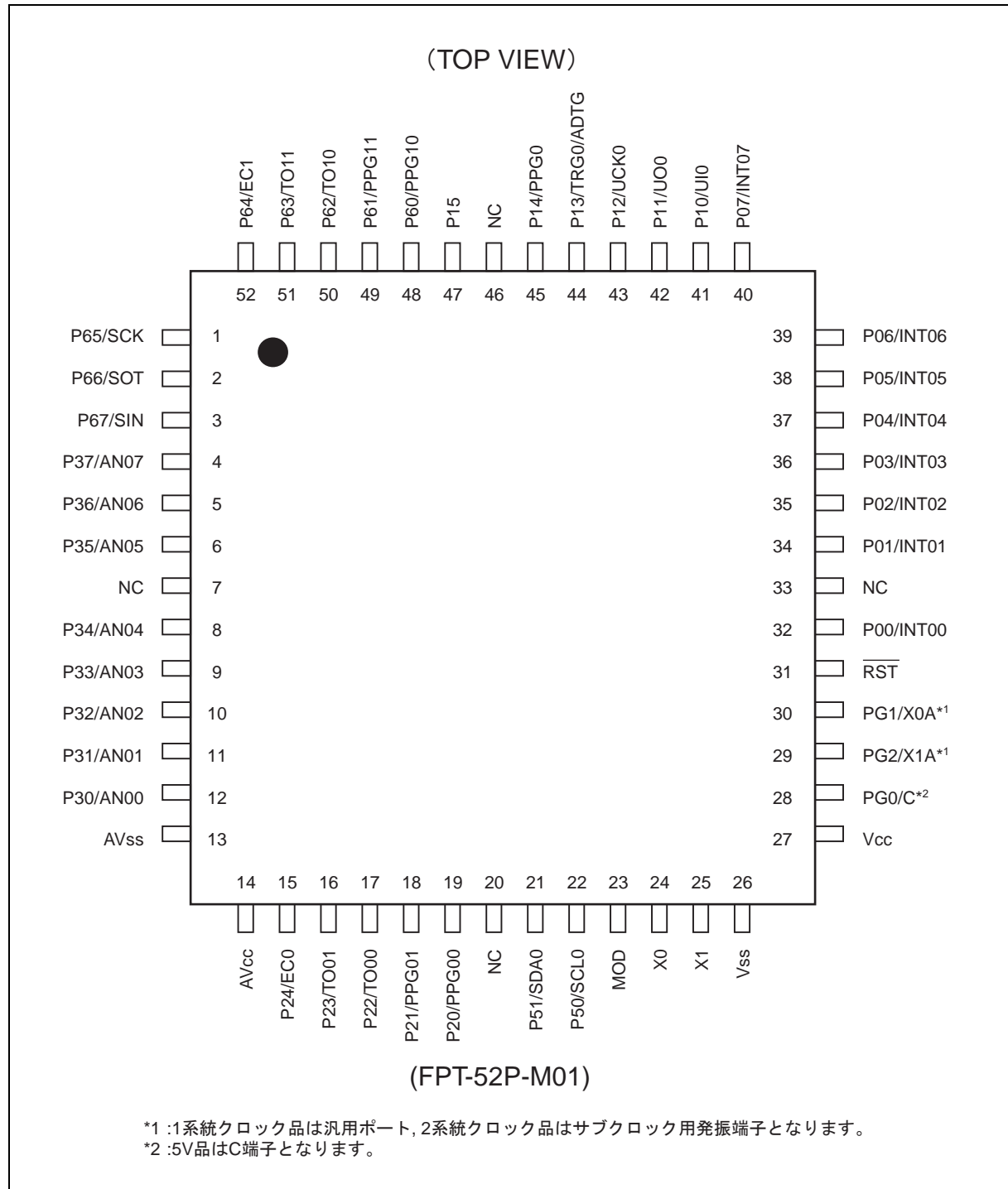
図 1.5-1 に、MB95110B/M シリーズの端子配列図を示します。

■ MB95110B/M シリーズの端子配列図

図 1.5-1 MB95110B/M シリーズの端子配列図





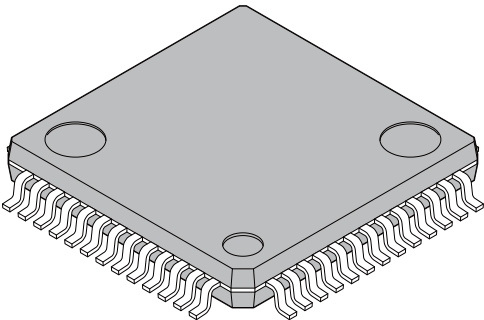


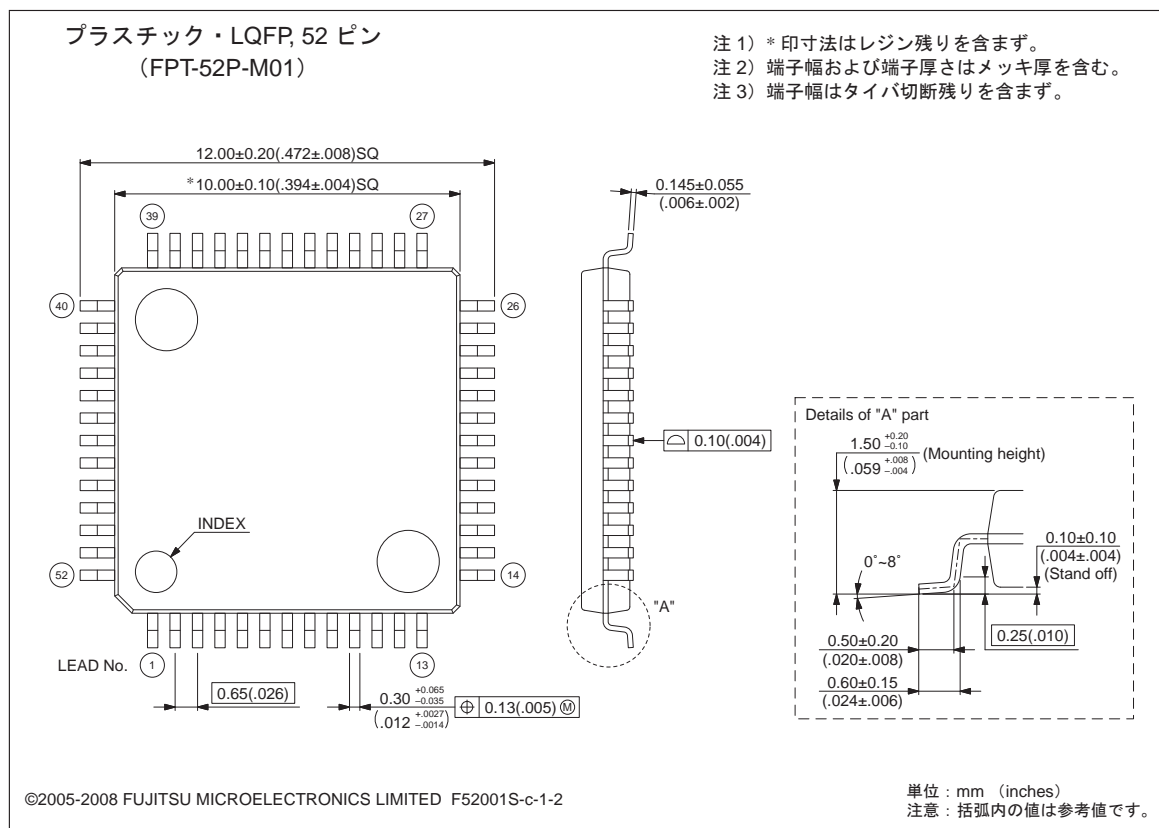
1.6 外形寸法図

MB95110B/M シリーズには、3 種類のパッケージが用意されています。

■ FPT-52P-M01 の外形寸法図

図 1.6-1 FPT-52P-M01 の外形寸法図

<p>プラスチック・LQFP, 52 ピン</p>  <p>(FPT-52P-M01)</p>	リードピッチ	0.65 mm
	パッケージ幅× パッケージ長さ	10.0 × 10.0 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.70 mm Max
	コード (参考)	P-LQFP52-10×10-0.65

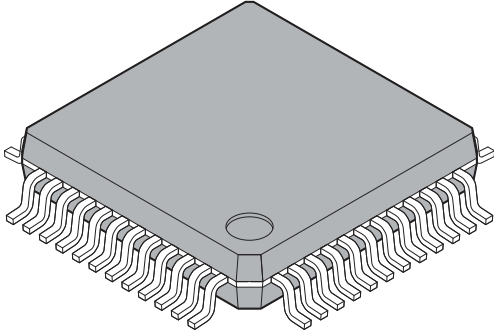


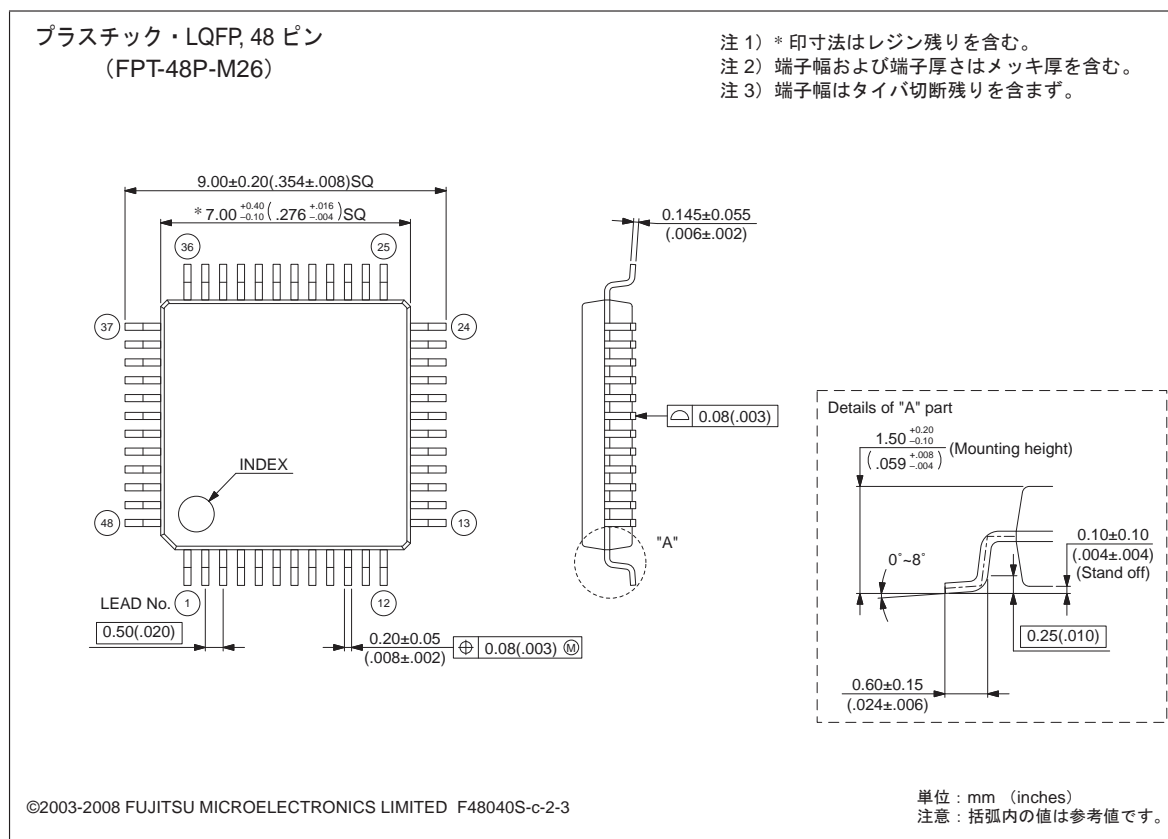
最新の外形寸法図については、下記 URL にてご確認ください。

<http://edevic.fujitsu.com/package/jp-search/>

■ FPT-48P-M26 の外形寸法図

図 1.6-2 FPT-48P-M26 の外形寸法図

<p>プラスチック・LQFP, 48 ピン</p>  <p>(FPT-48P-M26)</p>	リードピッチ	0.50mm
	パッケージ幅× パッケージ長さ	7 × 7mm
	リード形状	ガルウイング
	封止方法	プラスチックモールド
	取付け高さ	1.70mm MAX
	質量	0.17g
	コード (参考)	P-LFQFP48-7×7-0.50

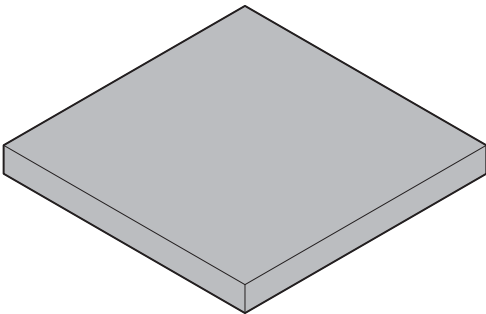


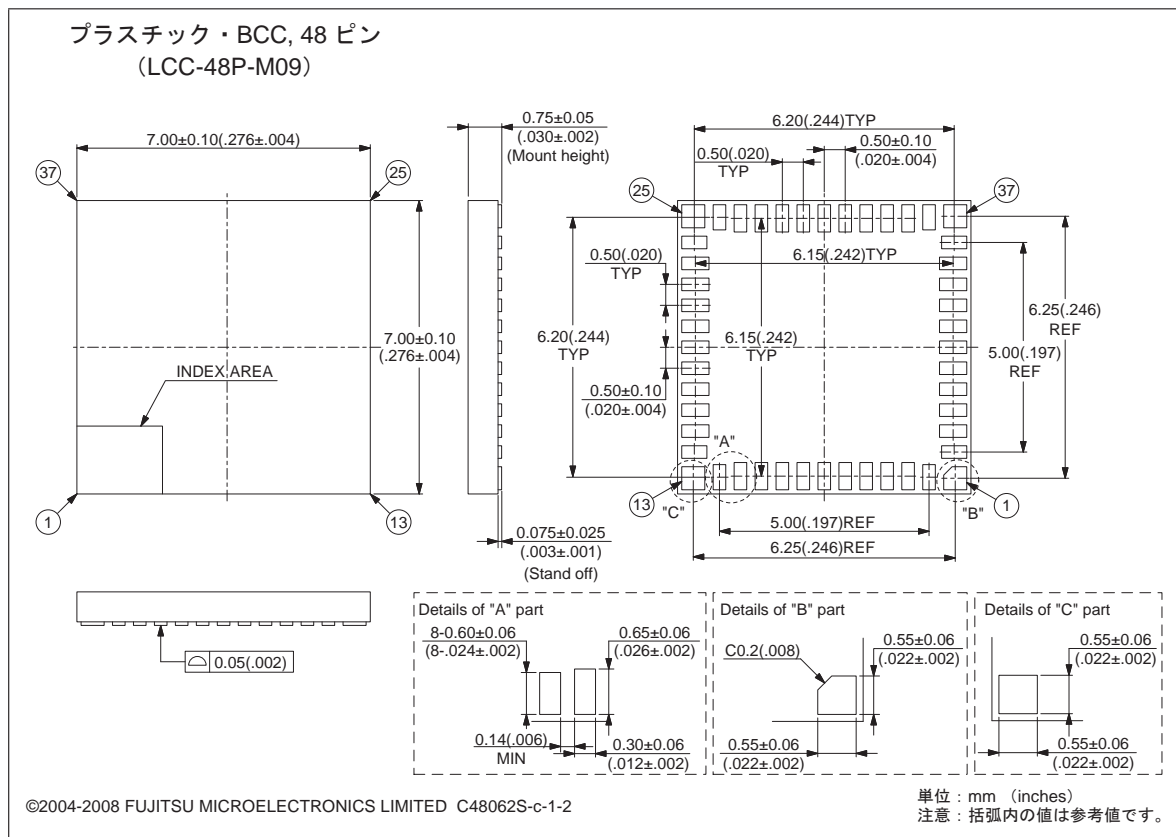
最新の外形寸法図については, 下記 URL にてご確認ください。

<http://edevic.fujitsu.com/package/jp-search/>

■ LCC-48P-M09 の外形寸法図

図 1.6-3 LCC-48P-M09 の外形寸法図

<p>プラスチック・BCC, 48 ピン</p>  <p>(LCC-48P-M09)</p>	リードピッチ	0.50 mm
	パッケージ幅 × パッケージ長さ	7.00 mm × 7.00 mm
	封止方法	プラスチックモールド
	取付け高さ	0.80 mm Max
	質量	0.06 g



最新の外形寸法図については, 下記 URL にてご確認ください。

<http://edevic.fujitsu.com/package/jp-search/>

1.7 端子機能説明

表 1.7-1 に、端子機能説明を示します。また、表 1.7-1 の回路形式欄のアルファベットは、表 1.8-1 の分類欄のアルファベットに対応しています。

■ 端子機能説明

表 1.7-1 端子機能説明 (1 / 3)

端子番号		端子名	入出力回路形式 ^{*3}	機能
LQFP ^{*1} BCC ^{*1}	LQFP ^{*2}			
1	1	P65/SCK	K	汎用入出力ポートです。 LIN-UART クロック入出力との兼用端子となります。
2	2	P66/SOT		汎用入出力ポートです。 LIN-UART データ出力との兼用端子となります。
3	3	P67/SIN	L	汎用入出力ポートです。 LIN-UART データ入力との兼用端子となります。
4	4	P37/AN07	J	汎用入出力ポートです。 A/D コンバータアナログ入力との兼用端子となります。
5	5	P36/AN06		
6	6	P35/AN05		
7	8	P34/AN04		
8	9	P33/AN03		
9	10	P32/AN02		
10	11	P31/AN01		
11	12	P30/AN00		
12	13	AVss	—	A/D コンバータの電源 (GND) 端子です。
13	14	AVcc	—	A/D コンバータの電源端子です。
14	15	P24/EC0	H	汎用入出力ポートです。 8/16 ビット複合タイマ ch.0 クロック入力との兼用端子となります。
15	16	P23/TO01		汎用入出力ポートです。 8/16 ビット複合タイマ ch.0 出力との兼用端子となります。
16	17	P22/TO00		
17	18	P21/PPG01		汎用入出力ポートです。 8/16 ビット PPG ch.0 出力との兼用端子となります。
18	19	P20/PPG00		

表 1.7-1 端子機能説明 (2 / 3)

端子番号		端子名	入出力回路形式 ^{*3}	機能
LQFP ^{*1} BCC ^{*1}	LQFP ^{*2}			
19	21	P51/SDA0	I	汎用入出力ポートです。 I ² C ch.0 データ入出力との兼用端子となります。
20	22	P50/SCL0		汎用入出力ポートです。 I ² C ch.0 クロック入出力との兼用端子となります。
21	23	MOD	B	動作モード指定端子です。
22	24	X0	A	メインクロック用入力発振端子です。
23	25	X1		メインクロック用入出力発振端子です。
24	26	V _{SS}	—	電源 (GND) 端子です。
25	27	V _{CC}	—	電源端子です。
26	28	PG0/C	H	汎用入出力ポートです (3V 品)。 容量接続端子です (5V 品)。
27	29	PG2/X1A	H/A	1 系統クロック品は汎用ポート (PG2) となります。 2 系統クロック品はサブクロック用入出力発振端子となります (32 kHz)。
28	30	PG1/X0A		1 系統クロック品は汎用ポート (PG1) となります。 2 系統クロック品はサブクロック用入力発振端子となります (32 kHz)。
29	31	$\overline{\text{RST}}$	B'	リセット端子です。
30	32	P00/INT00	C	汎用入出力ポートです。 外部割込み入力との兼用端子となります。大電流ポートです。
31	34	P01/INT01		
32	35	P02/INT02		
33	36	P03/INT03		
34	37	P04/INT04		
35	38	P05/INT05		
36	39	P06/INT06		
37	40	P07/INT07		
38	41	P10/UI0	G	汎用入出力ポートです。 UART/SIO ch.0 データ入力との兼用端子となります。

表 1.7-1 端子機能説明 (3 / 3)

端子番号		端子名	入出力回路形式 ^{*3}	機能
LQFP ^{*1} BCC ^{*1}	LQFP ^{*2}			
39	42	P11/UO0	H	汎用入出力ポートです。 UART/SIO ch.0 データ出力との兼用端子となります。
40	43	P12/UCK0		汎用入出力ポートです。 UART/SIO ch.0 クロック入出力との兼用端子となります。
41	44	P13/TRG0/ ADTG		汎用入出力ポートです。 16 ビット PPG ch.0 トリガ入力 (TRG0) と A/D トリガ入力 (ADTG) との兼用端子となります。
42	45	P14/PPG0		汎用入出力ポートです。 16 ビット PPG ch.0 出力との兼用端子となります。
43	47	P15		汎用入出力ポートです。
44	48	P60/PPG10	K	汎用入出力ポートです。 8/16 ビット PPG ch.1 出力との兼用端子となります。
45	49	P61/PPG11		
46	50	P62/TO10		汎用入出力ポートです。 8/16 ビット複合タイマ ch.1 出力との兼用端子となります。
47	51	P63/TO11		
48	52	P64/EC1		汎用入出力ポートです。 8/16 ビット複合タイマ ch.1 クロック入力との兼用端子となります。
—	7, 20, 33, 46	NC	—	内部接続端子です。 必ず開放にしてください。

*1 : FPT-48P-M26, LCC-48P-M09

*2 : FPT-52P-M01

*3 : 入出力回路形式については、「入出力回路形式」を参照してください。

1.8 入出力回路形式

表 1.8-1 に、入出力回路形式を示します。また、表 1.8-1 の分類欄のアルファベットは、表 1.7-1 の入出力回路形式欄のアルファベットに対応しています。

■ 入出力回路形式

表 1.8-1 入出力回路形式 (1 / 3)

分類	回路	備考
A		<ul style="list-style-type: none"> 発振回路 高速側 帰還抵抗：約 1 MΩ 低速側 帰還抵抗：約 24 MΩ (評価用品：約 10 MΩ) ダンピング抵抗：約 144 kΩ (評価用品：ダンピング抵抗なし)
B		入力専用 ヒステリシス入力 マスク ROM 品のみプルダウン抵抗あり
B'		<ul style="list-style-type: none"> ヒステリシス入力 リセット出力
C		<ul style="list-style-type: none"> CMOS 出力 ヒステリシス入力 オートモーティブ入力

表 1.8-1 入出力回路形式 (2 / 3)

分類	回路	備考
G	<p>プルアップ制御</p> <p>デジタル出力</p> <p>デジタル出力</p> <p>CMOS 入力</p> <p>ヒステリシス入力</p> <p>オートモーティブ入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> • CMOS 出力 • CMOS 入力 • ヒステリシス入力 • プルアップ制御あり • オートモーティブ入力
H	<p>プルアップ制御</p> <p>デジタル出力</p> <p>デジタル出力</p> <p>ヒステリシス入力</p> <p>オートモーティブ入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> • CMOS 出力 • ヒステリシス入力 • プルアップ制御あり • オートモーティブ入力
I	<p>デジタル出力</p> <p>CMOS 入力</p> <p>ヒステリシス入力</p> <p>オートモーティブ入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> • N-ch オープンドレイン出力 • CMOS 入力 • ヒステリシス入力 • オートモーティブ入力
J	<p>プルアップ制御</p> <p>デジタル出力</p> <p>デジタル出力</p> <p>アナログ入力</p> <p>ヒステリシス入力</p> <p>オートモーティブ入力</p> <p>A/D 制御</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> • CMOS 出力 • ヒステリシス入力 • アナログ入力 • プルアップ制御あり • オートモーティブ入力

表 1.8-1 入出力回路形式 (3 / 3)

分類	回路	備考
K	<p>デジタル出力</p> <p>デジタル出力</p> <p>ヒステリシス入力</p> <p>オートモーティブ入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> • CMOS 出力 • ヒステリシス入力 • オートモーティブ入力
L	<p>デジタル出力</p> <p>デジタル出力</p> <p>CMOS 入力</p> <p>ヒステリシス入力</p> <p>オートモーティブ入力</p> <p>スタンバイ制御</p>	<ul style="list-style-type: none"> • CMOS 出力 • CMOS 入力 • ヒステリシス入力 • オートモーティブ入力

第2章

デバイス使用上の注意

本シリーズを使用する際の注意事項について説明します。

2.1 デバイス使用上の注意

2.1 デバイス使用上の注意

デバイスの電源電圧、端子の処理など、デバイスに共通の注意事項を記載します。
シリーズによって搭載している機能が異なりますのでご注意ください。

■ デバイス使用上の注意

● ラッチアップの防止

使用に際して、最大定格電圧を超えることのないようにしてください。

CMOS IC では、中・高耐圧以外の入力端子や出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合、または V_{CC} 端子と V_{SS} 端子の間に定格を超える電圧が印加された場合、ラッチアップ現象が発生することがあります。

ラッチアップ現象が発生すると電源電流が激増し、素子が熱破壊する恐れがあります。
アナログ系の電源投入時または切断時においても、アナログ電源電圧 (AV_{CC}) とアナログ入力電圧は、デジタル電源電圧 (V_{CC}) を超えないようにしてください。

● 供給電圧の安定化

供給電圧は、安定させてください。

V_{CC} 電源電圧の動作保証範囲内において、電源電圧の急激な変化があると誤動作を生じることがあります。

安定化の基準として、商用周波数 (50 Hz/60 Hz) での V_{CC} リプル変動 (P-P 値) は、標準 V_{CC} 値の 10% 以下に、また、電源の切換え時などの瞬時変化においては、過渡変動率が 0.1 V/ms 以下になるように電圧変動を抑えてください。

● 外部クロック使用時の注意

外部クロック使用時において、パワーオンリセット、サブクロックモードまたはストップモード解除時には、発振安定待ち時間が発生します。

● シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

■ デバッグ時の注意

評価用デバイス (MCU ボードに実装されています) を用いてソフトウェアを開発する際、お使いになるデバイスと動作が異なる場合があります。下記にデバッグ時の注意事項を記載します。

● SYCC レジスタの設定について

デバッグ中に SYCC レジスタの DIV1, DIV0 ビットがユーザ設定と異なる値を示している場合があります。これは CPU がブレイク中に BGM アダプタと評価用デバイスとの間で通信速度を最適化するように補正しているためです。

この現象を避ける場合は、応答速度最適化を無効に設定する必要があります。

本情報は「F²MC-8L/8FX ファミリ SOFTUNE Workbench 機能説明書」の「2.3.1 動作環境の設定」に記載されていますのであわせてご参照ください。

● フラッシュメモリの容量、および種類について

評価用デバイスは、複数の量産品（シリーズ）のデバッグが可能になっております。使用予定の製品の ROM/RAM 容量をご確認の上プログラム開発を行ってください。

また、評価用デバイスは、デュアルオペレーションフラッシュが搭載されています。一方、製品によってはセクタが1つしか存在しないフラッシュメモリ品を搭載しているものもあります。評価用デバイスとの構成が異なりますので特にフラッシュ自己書換えのプログラム開発の際にはご考慮の上ご使用ください。

● フラッシュメモリの内容不一致について

F²MC-8FXファミリのデバッグでは、ブレークポイントをソフトウェアブレーク命令で実現しています。ブレークポイントを設定後連続実行 / ステップ実行を行うと評価用デバイスのフラッシュメモリのブレーク対象アドレスにソフトウェアブレーク命令が書き込みされます。

したがって、デバッグにてソフトウェアブレークを設定している状態でのフラッシュメモリの内容と、コンパイラから出力されたプログラムデータの内容は一致しません。チェックサムを行う場合は一度ブレークポイントをすべて解除後、「フラッシュメモリの同期」を実行する必要があります。

● 評価用デバイスのフラッシュメモリに対する制限事項について

F²MC-8FX ファミリの評価用デバイスでは、下記の制限事項があります。

(1) 下位バンク（アドレス 1000_H ~ 3FFF_H）への書き込み / 消去はできません。

デバッグを行う際は、量産されているフラッシュメモリ品にて行ってください。

(2) 評価用デバイスのフラッシュメモリに、チップ消去コマンドを発行しないでください。デバッグを行う際は、量産されているフラッシュメモリ品にて行ってください。

● ブレーク時の周辺機能の動作について

F²MC-8FX ファミリのデバッグでは、CPU ブレーク時には CPU 機能動作（命令コードフェッチ、デコード、命令実行、PC 進行など）は停止しますが、周辺機能（PPG タイマ、UART、A/D コンバータなど）は停止せず動作したままになります。

以下に現象例を示します。

(1) CPU がブレーク中にタイマカウンタオーバーフローフラグが立ち、ブレーク後の実行再開時に、割込みが許可されているとすぐに割込みルーチンに飛びます。

(2) ブレーク中に、タイマカウンタオーバーフローフラグをメモリウィンドなどからクリアしても、すぐに、フラグが立つので、クリアできないように見えます。

● 未定義 I/O のアドレスに対するアクセス禁止について

F²MC-8FX ファミリのデバッグには、品種共通の評価用デバイスを利用します。この評価用デバイスには、デバッグ対象のすべての周辺機能を内蔵しています。お使いの品種にない周辺のレジスタをアクセスすると、本来使用しない周辺機能が動作し、異常動作になる場合がありますので、未定義アドレス領域はアクセスしないでください。

■ 端子接続について

● 未使用端子の処理

入力に用いる未使用端子を開放のままにしておくと、誤動作およびラッチアップ現象による永久破壊の原因になることがあります。使用していない入力端子は $2\text{ k}\Omega$ 以上の抵抗を介してプルアップまたはプルダウンの処理をしてください。

使用していない入出力端子は、出力状態に設定して開放とするか、入力状態に設定して入力端子と同じ処理をしてください。使用していない出力端子は開放としてください。

● A/D コンバータの電源端子処理

A/D コンバータを使用しない場合には、 $AV_{CC} = V_{CC}$, $AV_{SS} = V_{SS}$ となるように接続してください。

AV_{CC} に載るノイズにより精度が悪化する恐れがありますので、本デバイスの近くで、 AV_{CC} 端子と AV_{SS} 端子の間に $0.1\text{ }\mu\text{F}$ 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

● 電源端子

V_{CC} 端子または V_{SS} 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してあります。不要輻射の低減、グラウンドレベルの上昇によるストローク信号の誤動作の防止、総出力電流規格を遵守などのために、必ずすべての V_{CC} 端子と V_{SS} 端子を外部で電源とグラウンドに接続してください。また、電流供給源と本デバイスの V_{CC} 端子と V_{SS} 端子は低インピーダンスで接続してください。

本デバイスの近くで、 V_{CC} 端子と V_{SS} 端子の間に $0.1\text{ }\mu\text{F}$ 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

● モード端子 (MOD)

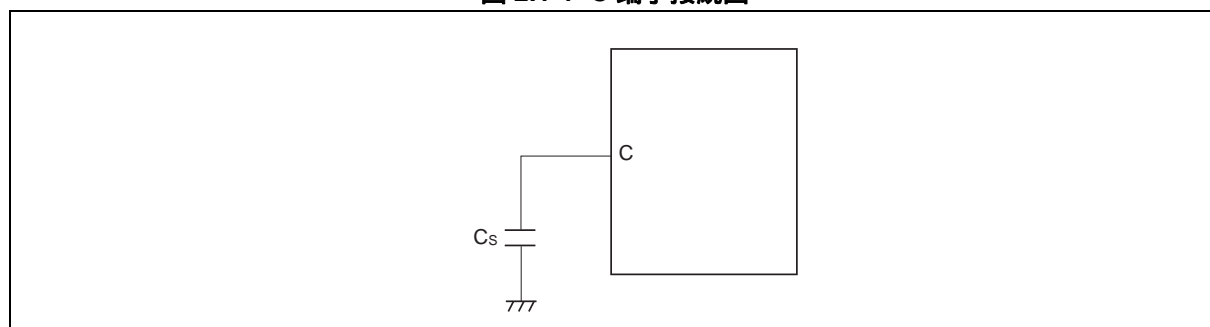
モード端子を V_{CC} または V_{SS} に直接接続してください。

ノイズによってデバイスが意図せずにテストモードに入るのを防止するため、モード端子から V_{CC} または V_{SS} への距離を最小にし、低インピーダンスで接続するようにプリント基板を配置してください。

● C 端子

セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子のバイパスコンデンサは C_S より大きい容量値のコンデンサを接続してください。平滑コンデンサ C_S の接続は図 2.1-1 を参照してください。

図 2.1-1 C 端子接続図



- NC 端子の処理

NC 端子は、必ず開放にして使用してください。

- アナログ電源

AV_{CC} 端子は常に V_{CC} 端子と同電位で使用してください。 $V_{CC} > AV_{CC}$ の場合には、アナログ入力端子 (AN) を通して電流が流れる場合があります。

第3章

メモリ空間

メモリ空間について説明します。

- 3.1 メモリ空間
- 3.2 メモリマップ

3.1 メモリ空間

F²MC-8FX ファミリのメモリ空間は 64K バイトで、I/O 領域、拡張 I/O 領域、データ領域、プログラム領域によって構成されます。メモリ空間の中には汎用レジスタ、ベクタテーブルなど特定の用途に使用される領域があります。

■ メモリ空間の構成

● I/O 領域 (アドレス :0000_H ~ 007F_H)

- 内蔵する周辺機能の制御レジスタ、データレジスタなどが配置されています。
- I/O 領域はメモリ空間の一部に割り当てられているため、メモリと同様にアクセスできます。また、ダイレクトアドレッシング命令を用いることで、より高速にアクセスできます。

● 拡張 I/O 領域 (アドレス :0F80_H ~ 0FFF_H)

- 内蔵する周辺機能の制御レジスタ、データレジスタなどが配置されています。
- 拡張 I/O 領域はメモリ空間の一部に割り当てられているため、メモリと同様にアクセスできます。

● データ領域

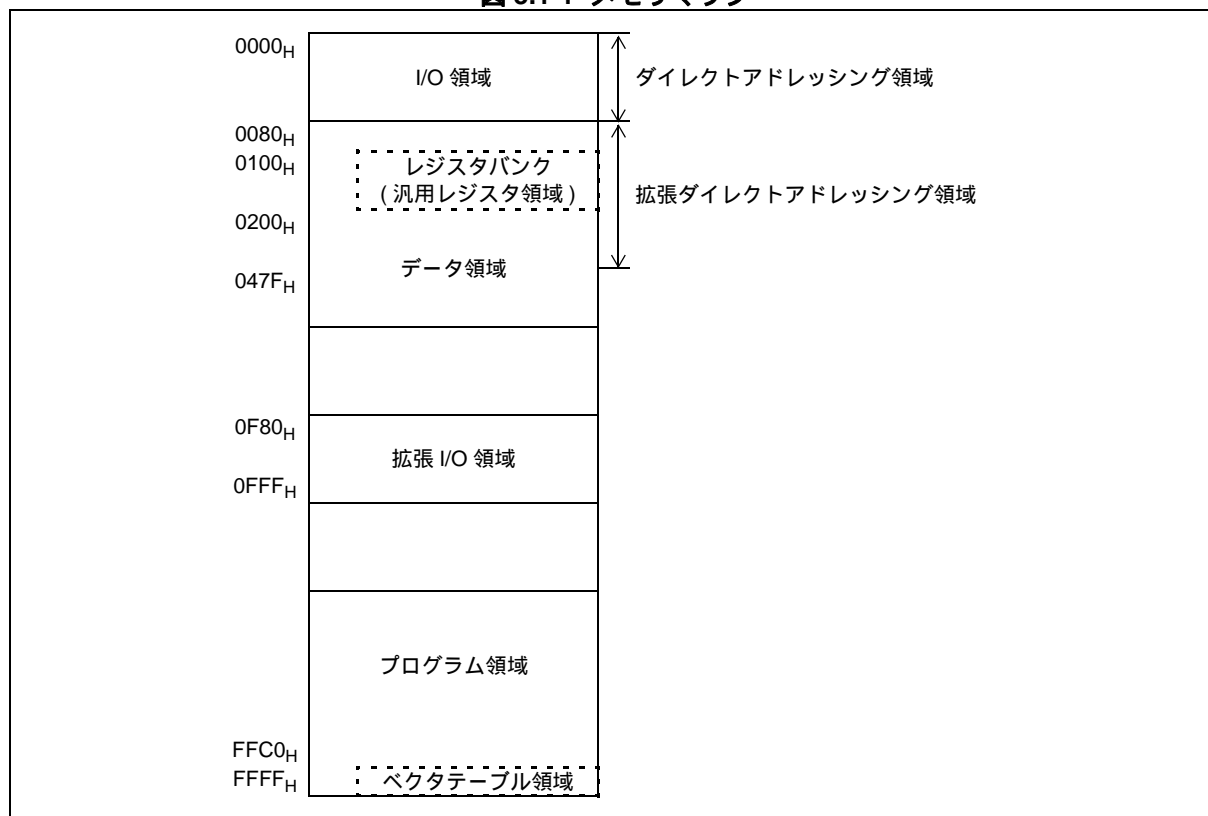
- 内部データ領域としてスタティック RAM が内蔵されています。
- 内部 RAM 容量は品種によって異なります。
- 0000_H ~ 007F_H までの RAM 領域はダイレクトアドレッシング命令を用いることで高速にアクセスできます。
- 0080_H ~ 047F_H は拡張ダイレクトアドレッシング領域です。ダイレクトバンクポインタの設定により、ダイレクトアドレッシング命令による高速アクセスができます。
- 0100_H ~ 01FF_H までを汎用レジスタ領域として使用できます。

● プログラム領域

- 内部プログラム領域として ROM が内蔵されています。
- 内部 ROM 容量は品種によって異なります。
- FFC0_H ~ FFFF_H はベクタテーブルとして使用します。

■ メモリマップ

図 3.1-1 メモリマップ



3.1.1 特定用途の領域

特定の用途の領域には、汎用レジスタ領域とベクタテーブル領域があります。

■ 汎用レジスタ領域 (アドレス :0100_H ~ 01FF_H)

- 8ビットの演算や転送に使用する補助的なレジスタが配置されています。
- RAM領域の一部に割り当てられており、通常のRAMとして使用することもできます。
- 汎用レジスタとして使用すると、汎用レジスタアドレッシングによって、短い命令で高速にアクセスできます。

詳細は、「5.1.1 レジスタバンクポインタ (RP)」および「5.2 汎用レジスタ」を参照してください。

■ ベクタテーブル領域 (アドレス :FFC0_H ~ FFFF_H)

- ベクタコール命令 (CALLV)、割込み、およびリセットのベクタテーブルとして使用します。
- ROM領域の最上部に割り当てられており、それぞれのベクタテーブルのアドレスに、対応する処理ルーチンの開始アドレスをデータとして設定します。

表 8.1-1 に、ベクタコール命令、割込み、およびリセットに対応して参照されるベクタテーブルのアドレスを示します。

詳細は、「第8章 割込み」、「第7章 リセット」および「付録 E.2 特殊な命令について 特殊な命令について CALLV #vct」を参照してください。

3.2 メモリマップ

MB95110B/M シリーズのメモリマップを示します。

■ メモリマップ

図 3.2-1 メモリマップ

MB95FV100D-101 MB95FV100D-103		MB95F118BS MB95F118BW		MB95F116MAS MB95F116NAS MB95F116MAW MB95F116NAW MB95F118MS MB95F118NS MB95F118JS MB95F118MW MB95F118NW MB95F118JW		MB95116B		MB95117M	
0000 _H	I/O	0000 _H	I/O	0000 _H	I/O	0000 _H	I/O	0000 _H	I/O
0080 _H	RAM 3.75K バイト	0080 _H	RAM 2K バイト	0080 _H	RAM	0080 _H	RAM 1K バイト	0080 _H	RAM 2K バイト
0100 _H	レジスタ	0100 _H	レジスタ	0100 _H	レジスタ	0100 _H	レジスタ	0100 _H	レジスタ
0200 _H		0200 _H		0200 _H		0200 _H		0200 _H	
		0880 _H	アクセス禁止	Address #1	アクセス禁止	0480 _H	アクセス禁止	0880 _H	アクセス禁止
0F80 _H	拡張 I/O	0F80 _H	拡張 I/O	0F80 _H	拡張 I/O	0F80 _H	拡張 I/O	0F80 _H	拡張 I/O
1000 _H		1000 _H		Address #2		1000 _H		1000 _H	アクセス禁止
							アクセス禁止	4000 _H	
	Flash 60K バイト		Flash 60K バイト		Flash 60K バイト	8000 _H			ROM 48K バイト
							ROM 32K バイト		
FFFF _H		FFFF _H		FFFF _H		FFFF _H		FFFF _H	

Flash : フラッシュメモリ
ROM : マスク ROM

	フラッシュメモリ	RAM	アドレス #1	アドレス #2
MB95F118MS/F118NS	60K バイト	2K バイト	0880 _H	1000 _H
MB95F118MW/F118NW				
MB95F118JS/F118JW				
MB95F116MAS/F116NAS	32K バイト	1K バイト	0480 _H	8000 _H
MB95F116MAW/F116NAW				

第4章

メモリアクセスモード

メモリアクセスモードについて説明します。

4.1 メモリアクセスモード

4.1 メモリアクセスモード

本シリーズのメモリアクセスは、シングルチップモードのみです。

■ シングルチップモード

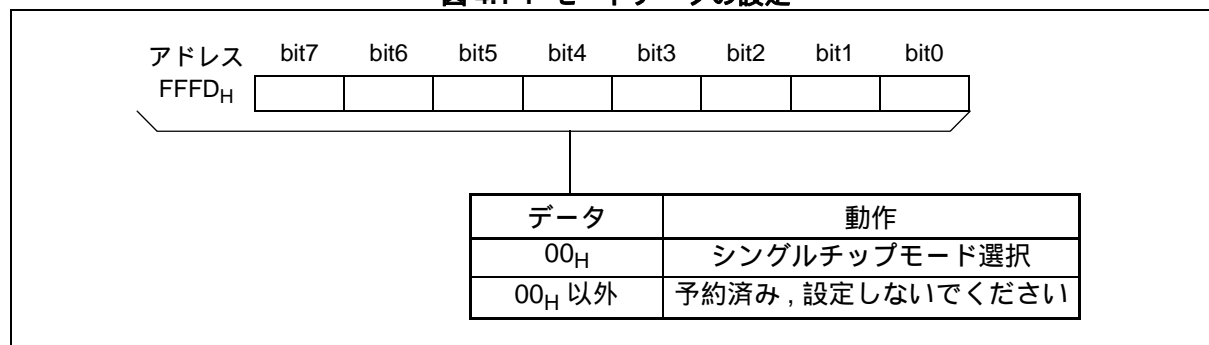
シングルチップモードは、内部の RAM と ROM のみを使用するモードです。外部バスアクセスは行いません。

● モードデータ

モードデータは CPU のメモリアクセスモードを決定するデータです。

モードデータのアドレスは FFFD_H に固定されています (FFFC_H 番地の値は、任意の値で構いません)。内部 ROM のモードデータは必ず "00_H" に設定してシングルチップモードを選択してください。

図 4.1-1 モードデータの設定



リセット解除後に CPU は最初にモードデータにフェッチします。

CPU はモードデータの次にリセットベクタをフェッチします。リセットベクタで設定されたアドレスから実行を開始します。

● モード端子 (MOD)

モード端子 (MOD) は必ず V_{SS} に設定してください。

第5章

CPU

CPU の機能と動作について説明します。

5.1 専用レジスタ

5.2 汎用レジスタ

5.3 16 ビットデータのメモリ上の配置

5.1 専用レジスタ

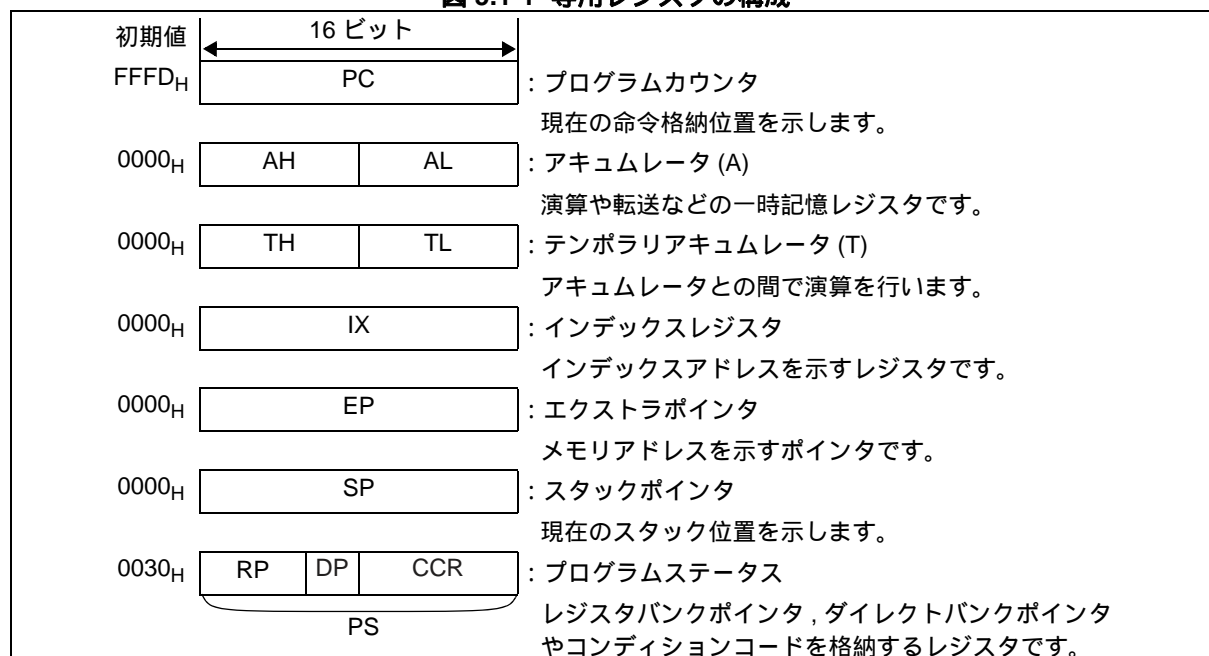
CPU には専用レジスタがあります。専用レジスタはプログラムカウンタ (PC), 2 つの演算用レジスタ (A, T), 3 つのアドレスポインタ (IX, EP, SP) およびプログラムステータス (PS) によって構成されています。各レジスタは 16 ビット長です。PS はレジスタバンクポインタ (RP), ダイレクトポインタ (DP) およびコンディションコードレジスタ (CCR) から構成されています。

■ 専用レジスタの構成

CPU 内の専用レジスタは、7 つの 16 ビットレジスタによって構成されています。その中で、アキュムレータ (A) とテンポリアキュムレータ (T) については下位 8 ビットのみを使用できます。

図 5.1-1 に、専用レジスタの構成を示します。

図 5.1-1 専用レジスタの構成



■ 専用レジスタの機能

● プログラムカウンタ (PC)

プログラムカウンタは、16 ビット長のカウンタで、CPU が現在実行している命令のメモリアドレスを示します。プログラムカウンタは、命令の実行、割込み、リセットなどにより、その内容が更新されます。リセット動作時の初期値はモードデータの読出しアドレス (FFFD_H) です。

● アキュムレータ (A)

アキュムレータは、16 ビット長の演算用レジスタで、メモリ上のデータやテンポリアキュムレータ (T) など、ほかのレジスタ内のデータと各種の演算や転送を行います。アキュムレータ内のデータは、ワード長 (16 ビット) としてもバイト長 (8 ビット) としても扱えます。バイト長の演算や転送を行うと、アキュムレータの下位 8 ビット (AL) のみを使用され、上位 8 ビット (AH) は変化しません。リセット後の初期値は "0000_H" です。

● テンポラリアキュムレータ (T)

テンポラリアキュムレータは、16 ビット長の演算補助用レジスタで、アキュムレータ (A) 内のデータと各種の演算を行います。テンポラリアキュムレータ内のデータは、アキュムレータ (A) に対する演算がワード長 (16 ビット) の場合はワード長で、バイト長 (8 ビット) の場合はバイト長で扱われます。バイト長の演算が行われると、テンポラリアキュムレータの下位8ビット (TL) のみを使用され、上位8ビット (TH) は使われません。アキュムレータ (A) に転送系の命令でデータを転送すると、転送前のアキュムレータ内のデータがテンポラリアキュムレータに自動的に転送されます。このときも、バイト長の転送の場合は、テンポラリアキュムレータの上位8ビット (TH) は変化しません。リセット後の初期値は "0000_H" です。

● インデックスレジスタ (IX)

インデックスレジスタは、16 ビット長のレジスタで、インデックスアドレスを保持します。インデックスレジスタは、1 バイトのオフセット (-128 ~ +127) と組み合わせて使用され、インデックスアドレスにオフセット値を加算することによって、データをアクセスするためのメモリアドレスを生成します。リセット後の初期値は "0000_H" です。

● エクストラポインタ (EP)

エクストラポインタは、16 ビット長のレジスタで、このレジスタの値がデータをアクセスするためのメモリアドレスとなります。リセット後の初期値は "0000_H" です。

● スタックポインタ (SP)

スタックポインタは、16 ビット長のレジスタで、割込みやサブルーチンの呼出し、スタック退避 / 復帰命令などで参照するアドレスを保持します。プログラム実行中のスタックポインタの値は、スタック内に退避した最新のデータが格納されているアドレスになっています。リセット後の初期値は "0000_H" です。

● プログラムステータス (PS)

プログラムステータスは、16 ビット長の制御用レジスタです。上位8ビットがレジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP)、下位8ビットがコンディションコードレジスタ (CCR) となっています。

上位8ビットの中で、上位5ビットがレジスタバンクポインタで、汎用レジスタバンクのアドレスを示すために使用されます。下位3ビットがダイレクトバンクポインタで、ダイレクトアドレッシングによる高速アクセスできる領域を指定します。

下位8ビットは、CPUの状態を示す各種のフラグにより構成されるコンディションコードレジスタ (CCR) です。

プログラムステータスをアクセスすることができる命令は、MOVW A,PS か MOVW PS,A です。また、プログラムステータスの中でレジスタバンクポインタ (RP)、ダイレクトバンクポインタ (DP) をアクセスするにはミラーアドレス 0078_H にアクセスすることでも読出し、書込みができます。

なお、コンディションコードレジスタ (CCR) は、プログラムステータスの一部であり、コンディションコードレジスタのみのアクセスはできません。

専用レジスタの使用方法についての詳細は、「F²MC-8FX プログラミングマニュアル」を参照してください。

5.1.1 レジスタバンクポインタ (RP)

プログラムステータス (PS) の bit15 ~ bit11 であるレジスタバンクポインタ (RP) は、現在使用している汎用レジスタバンクのアドレスを示し、汎用レジスタアドレッシング時に実アドレスに変換されます。

■ レジスタバンクポインタ (RP) の構成

図 5.1-2 に、レジスタバンクポインタの構成を示します。

図 5.1-2 レジスタバンクポインタの構成

図 5.12 レジスタ R0 の初期値

RP					DP			CCR								RP 初期値	
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
PS	R4	R3	R2	R1	R0	DP2	DP1	DP0	H	I	IL1	IL0	N	Z	V	C	00000 _B

レジスタバンクポインタは、現在使用しているレジスタバンクのアドレスを示します。レジスタバンクポインタの内容と実アドレスの関係は、図 5.1-3 に示す変換規則になっています。

図 5.1-3 汎用レジスタ領域の実アドレス変換規則

図 3.10 汎用レジスタ領域の R4 レジスタ交換規則

固定値								RP 上位					オペコード 下位		
"0"	"0"	"0"	"0"	"0"	"0"	"0"	"1"	R4	R3	R2	R1	R0	b2	b1	b0

発生アドレス	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
--------	-----	-----	-----	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

レジスタバンクポインタは、RAM 領域の中で汎用レジスタとして使用するレジスタバンクを指定します。レジスタバンクは全部で 32 個あり、レジスタバンクポインタの上位 5 ビットに 0 ~ 31 の値を設定することにより指定します。1 つのレジスタバンクには、8 つの 8 ビット長の汎用レジスタがあり、オペコードの下位 3 ビットで選択されます。このレジスタバンクポインタによって、0100_H ~ 01FF_H (最大) までを汎用レジスタ領域として使用できます。ただし、品種によっては使用可能な領域に制限があります。リセット後の初期値は "0000_H" です。

■ レジスタバンクポインタ・ダイレクトバンクポインタのミラーアドレス

レジスタバンクポインタ (RP)、ダイレクトバンクポインタ (DP) は "MOVW A,PS" 命令によるプログラムステータス (PS) への書込みと "MOVW PS,A" 命令によるプログラムステータス (PS) の読出しができます。また、レジスタバンクポインタのミラーアドレス 0078_H へのアクセスによっても直接読出し / 書込み可能です。

5.1.2 ダイレクトバンクポインタ (DP)

プログラムステータス (PS) の bit10 ~ bit8 であるダイレクトバンクポインタ (DP) は、ダイレクトアドレッシングでアクセスする領域を指定します。

■ ダイレクトバンクポインタ (DP) の構成

図 5.1-4 に、ダイレクトバンクポインタの構成を示します。

図 5.1-4 ダイレクトバンクポインタの構成



ダイレクトアドレッシングによるアクセスは 0000_H ~ 007F_H と 0080_H ~ 047F_H の領域に対して行うことができます。0000_H ~ 007F_H へのアクセスはオペランドで指定します。ダイレクトバンクポインタの値は関係しません。0080_H ~ 047F_H へのアクセスはダイレクトバンクポインタの値とオペランドによって指定します。

表 5.1-1 に、ダイレクトバンクポインタとアクセス領域を、表 5.1-2 に、ダイレクトアドレッシング命令一覧を示します。

表 5.1-1 ダイレクトバンクポインタとアクセス領域

ダイレクトバンクポインタ (DP) [2:0]	オペランド指定 dir	アクセス領域
XXX _B (マッピングに影響しません)	0000 _H ~ 007F _H	0000 _H ~ 007F _H
000 _B (初期値)	0080 _H ~ 00FF _H	0080 _H ~ 00FF _H
001 _B		0100 _H ~ 017F _H
010 _B		0180 _H ~ 01FF _H
011 _B		0200 _H ~ 027F _H
100 _B		0280 _H ~ 02FF _H
101 _B		0300 _H ~ 037F _H
110 _B		0380 _H ~ 03FF _H
111 _B		0400 _H ~ 047F _H

表 5.1-2 ダイレクトアドレッシング命令一覧

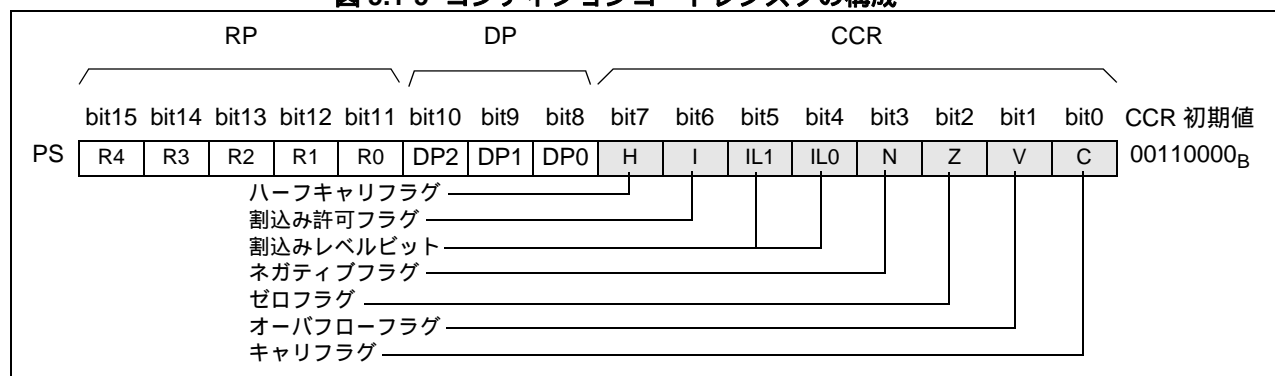
対象命令
CLRB dir:bit
SETB dir:bit
BBC dir:bit,rel
BBS dir:bit,rel
MOV A,dir
CMP A,dir
ADDC A,dir
SUBC A,dir
MOV dir,A
XOR A,dir
AND A,dir
OR A,dir
MOV dir,#imm
CMP dir,#imm
MOVW A,dir
MOVW dir,A

5.1.3 コンディションコードレジスタ (CCR)

プログラムステータス (PS) の下位 8 ビットであるコンディションコードレジスタ (CCR) は、演算結果や転送データの内容を示すビット (H, N, Z, V, C) と、割り込み要求の受付を制御するビット (I, IL1, IL0) によって構成されます。

■ コンディションコードレジスタ (CCR) の構成

図 5.1-5 コンディションコードレジスタの構成



コンディションコードレジスタは、プログラムステータス (PS) の一部です。コンディションコードレジスタのみを独立にアクセスすることはできません。

■ 演算結果を示すビット

● ハーフキャリフラグ (H)

演算の結果、bit3 から bit4 への繰上げ (キャリ) や bit4 から bit3 への借越し (ボロー) が発生したときは "1" になり、それ以外の場合は "0" になります。このフラグは 10 進補正命令用のため、加減算以外の用途に使用しないでください。

● ネガティブフラグ (N)

演算の結果、最上位ビットが "1" のときは "1" になり、"0" のときは "0" になります。

● ゼロフラグ (Z)

演算の結果が "0" であれば "1" になり、それ以外の場合は "0" になります。

● オーバフローフラグ (V)

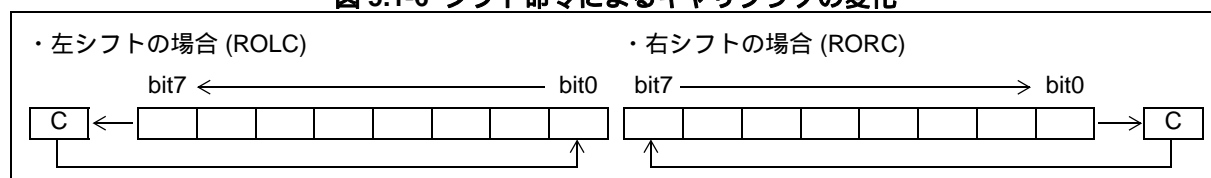
演算に用いたオペランドを 2 の補数で表現される整数とみなして演算の結果、オーバフローが発生したかどうかを示します。オーバフローが発生すると "1" になり、それ以外の場合は "0" になります。

● キャリフラグ (C)

演算の結果, bit7 からの繰上げ (キャリ) や bit7 への借越し (ボロー) が発生したときは "1" になり, 発生しなかったときは "0" になります。また, シフト命令ではシフトアウトした値になります。

図 5.1-6 に, シフト命令によるキャリフラグの変化を示します。

図 5.1-6 シフト命令によるキャリフラグの変化



■ 割込みの受け付けを制御するビット

● 割込み許可フラグ (I)

このフラグが "1" のときは割込みが許可され, CPU は割込みを受け付けます。"0" のときは割込みが禁止され, CPU は割込みを受け付けません。

リセット後の初期値は "0" になります。

SETI 命令で "1" になり, CLRI 命令で "0" になります。

● 割込みレベルビット (IL1, IL0)

このビットは, CPU が現在受け付けている割込みのレベルを示します。

各周辺機能の割込み要求 (IRQ0 ~ IRQ23) に対応して設定されている割込みレベル設定レジスタ (ILR0 ~ ILR5) の値と比較されます。

割込み許可フラグが許可 (CCR:I=1) 状態で, このビットが示す値より小さい値の割込みレベルの割込み要求があった場合のみ, CPU は割込み処理を行います。割込みレベルの優先順位は, 表 5.1-3 に示すとおりです。また, リセット後の初期値は "11_B" になります。

表 5.1-3 割込みレベル

IL1	IL0	割込みレベル	優先順位
0	0	0	高い
0	1	1	
1	0	2	
1	1	3	
			低い (割込みなし)

CPU が割込み処理中でないとき (メインプログラム実行中) は, 割込みレベルビット (IL1, IL0) は "11_B" となります。

割込みの詳細については, 「8.1 割込み」を参照してください。

5.2 汎用レジスタ

汎用レジスタは、8ビット×8個を1バンクとするメモリブロックです。全部で32バンクまで使用できます。バンクの指定には、レジスタバンクポインタ (RP) を使用します。

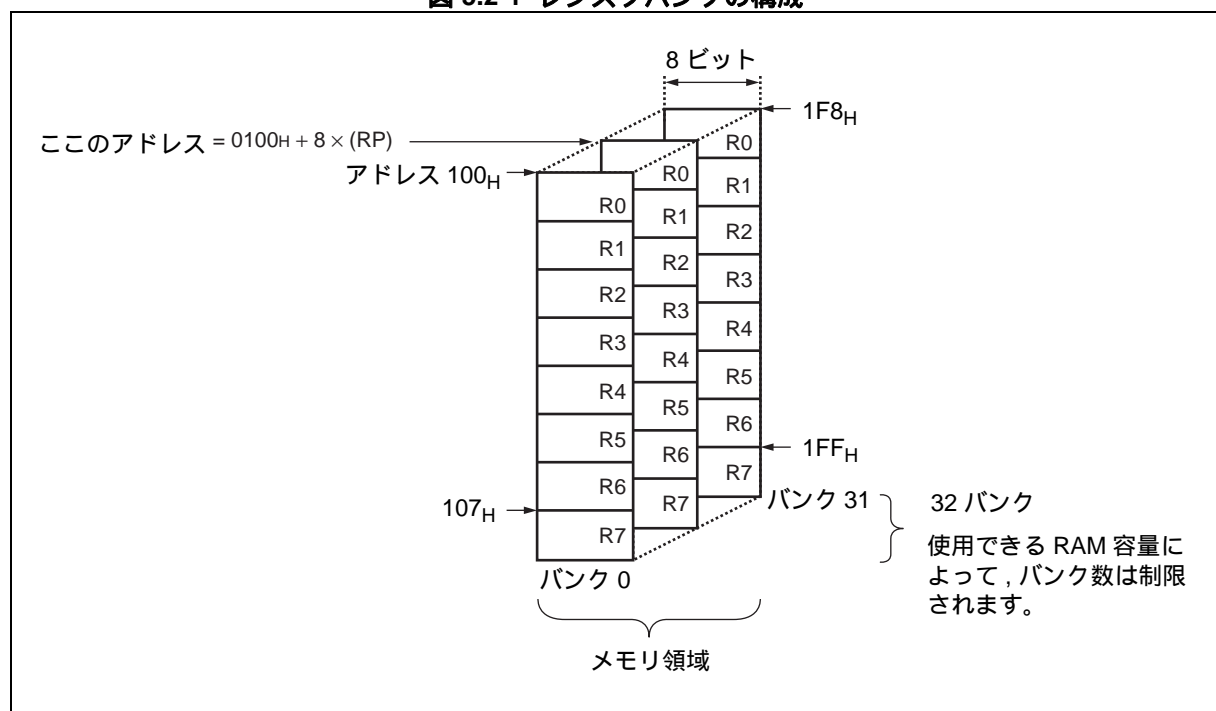
割込み処理、ベクタコール処理およびサブルーチンの呼出しに使用すると有効です。

■ 汎用レジスタの構成

- 汎用レジスタは8ビット長のレジスタで、汎用レジスタ領域 (RAM 上) のレジスタバンク内にあります。
- 1バンクあたり8つのレジスタ (R0 ~ R7) があり、全部で32バンクまで使用できます。
- 現在使用しているレジスタバンクはレジスタバンクポインタ (RP) で指定され、オペコードの下位3ビットが汎用レジスタ 0(R0) ~ 汎用レジスタ 7(R7) を示します。

図 5.2-1 に、レジスタバンクの構成を示します。

図 5.2-1 レジスタバンクの構成



各品種で利用できる汎用レジスタ領域については「3.1.1 特定用途の領域」を参照してください。

■ 汎用レジスタの特長

汎用レジスタには、次のような特長があります。

- 短い命令で高速に RAM をアクセスできる（汎用レジスタアドレッシング）。
- レジスタバンクによってブロック化されており、内容の保護や機能単位の分割がしやすい。

汎用レジスタは、割込み処理ルーチンやベクタコール (CALLV #0 ~ #7) 処理ルーチンに対して、それぞれ専用のレジスタバンクを固定的に割り当てることができます。例えば「2 番目の割込みには 4 番目のレジスタバンクを使う」という使い方ができます。

割込み処理ルーチンの先頭で専用のレジスタバンクを指定するだけで割込み前の汎用レジスタを保存したことになります。これによって、汎用レジスタをスタックなどに退避する必要がなくなり、高速に割込みを受け付けられます。

< 注意事項 >

割込み処理ルーチン中で、レジスタバンクポインタ (RP) を書き換えて、レジスタバンクを指定するとき、コンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) の値を変化させないように以下のどちらか一方のようにプログラミングする必要があります。

- RP 書込みの前に割込みレベルビットを読み出して保存する。
 - RP のミラーアドレス "0078_H" へ直接書き込んで RP を書き換える。
-

5.3 16ビットデータのメモリ上の配置

16ビットデータのメモリ上の格納状態について説明します。

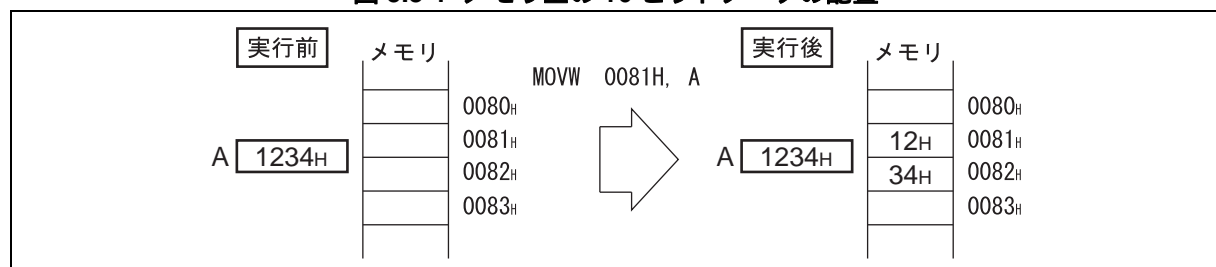
■ 16ビットデータのメモリ上の配置

● RAM上の16ビットデータの格納状態

メモリに16ビットデータを書き込んだ場合、アドレス値の小さい方にデータの上位バイトが、その次のアドレスにデータの下位バイトがそれぞれ格納されます。読出しの場合も同様に扱われます。

図 5.3-1 に、メモリ上の16ビットデータの配置を示します。

図 5.3-1 メモリ上の16ビットデータの配置



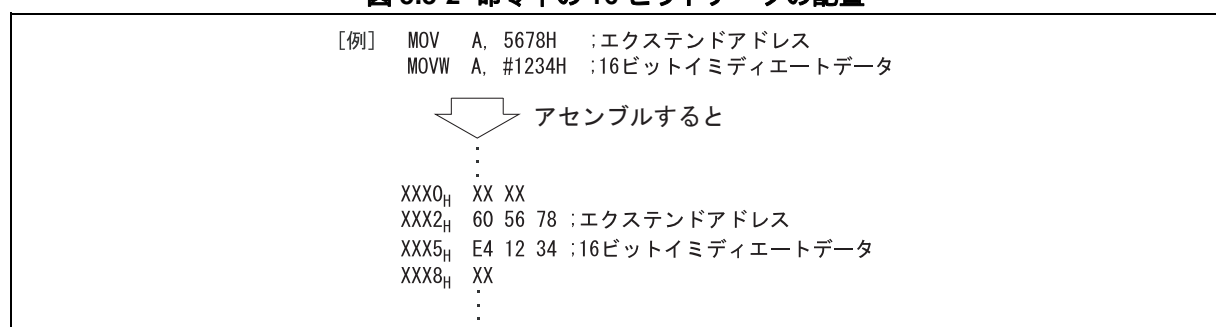
● オペランドが16ビットの場合の格納状態

命令中のオペランドで16ビット指定をする場合も、オペコード（命令）に近いアドレスに上位バイトが、その次のアドレスに下位バイトが格納されます。

これはオペランドがメモリアドレスを示す場合でも、16ビットのイミディエート（即値）データの場合でも同じです。

図 5.3-2 に、命令中の16ビットデータの配置を示します。

図 5.3-2 命令中の16ビットデータの配置



● スタックの16ビットデータの格納状態

割込みなどで、スタックに退避した16ビット長のレジスタのデータも同じように、アドレス値の小さい方に上位バイトが格納されます。

第6章

クロック制御部

クロック制御部の機能と動作について説明します。

- 6.1 クロック制御部の概要
- 6.2 発振安定待ち時間
- 6.3 システムクロック制御レジスタ (SYCC)
- 6.4 PLL 制御レジスタ (PLLC)
- 6.5 発振安定待ち時間設定レジスタ (WATR)
- 6.6 スタンバイ制御レジスタ (STBC)
- 6.7 クロックモード
- 6.8 低消費電力モード (スタンバイモード) の動作
- 6.9 クロック発振回路
- 6.10 プリスケーラの概要
- 6.11 プリスケーラの構成
- 6.12 プリスケーラの動作説明
- 6.13 プリスケーラ使用上の注意

6.1 クロック制御部の概要

F²MC-8FX ファミリは消費電力の最適な制御を行うクロック制御部を搭載しています。メインクロックとサブクロックの両方をサポートする 2 系統クロック品と、メインクロックだけをサポートする 1 系統クロック品があります。

クロック制御部はクロック発振の許可・停止、内部回路へのクロック供給の許可・停止、クロック源の選択および PLL と分周回路の制御を行います。

■ クロック制御部の概要

クロック制御部はクロック発振の許可・停止、内部回路へのクロック供給の許可・停止、クロック源の選択および PLL と分周回路の制御を行います。

クロック制御部では、クロックモードの設定、スタンバイモードの設定およびリセット動作に従い内部のクロックを制御します。クロックモードにより内部動作クロックの選択が行われ、スタンバイモードによりクロック発振と供給の許可・停止を選択します。

クロックモードとスタンバイモードの組合せにより最適な消費電力と機能の選択が可能です。

2 系統クロック品には、メインクロックを 2 分周したメインクロック、サブクロックを 2 分周したサブクロック、メインクロックを PLL 逡倍したメイン PLL クロックおよびサブクロックを PLL 逡倍したサブ PLL クロックの 4 種類のソースクロックがあります。

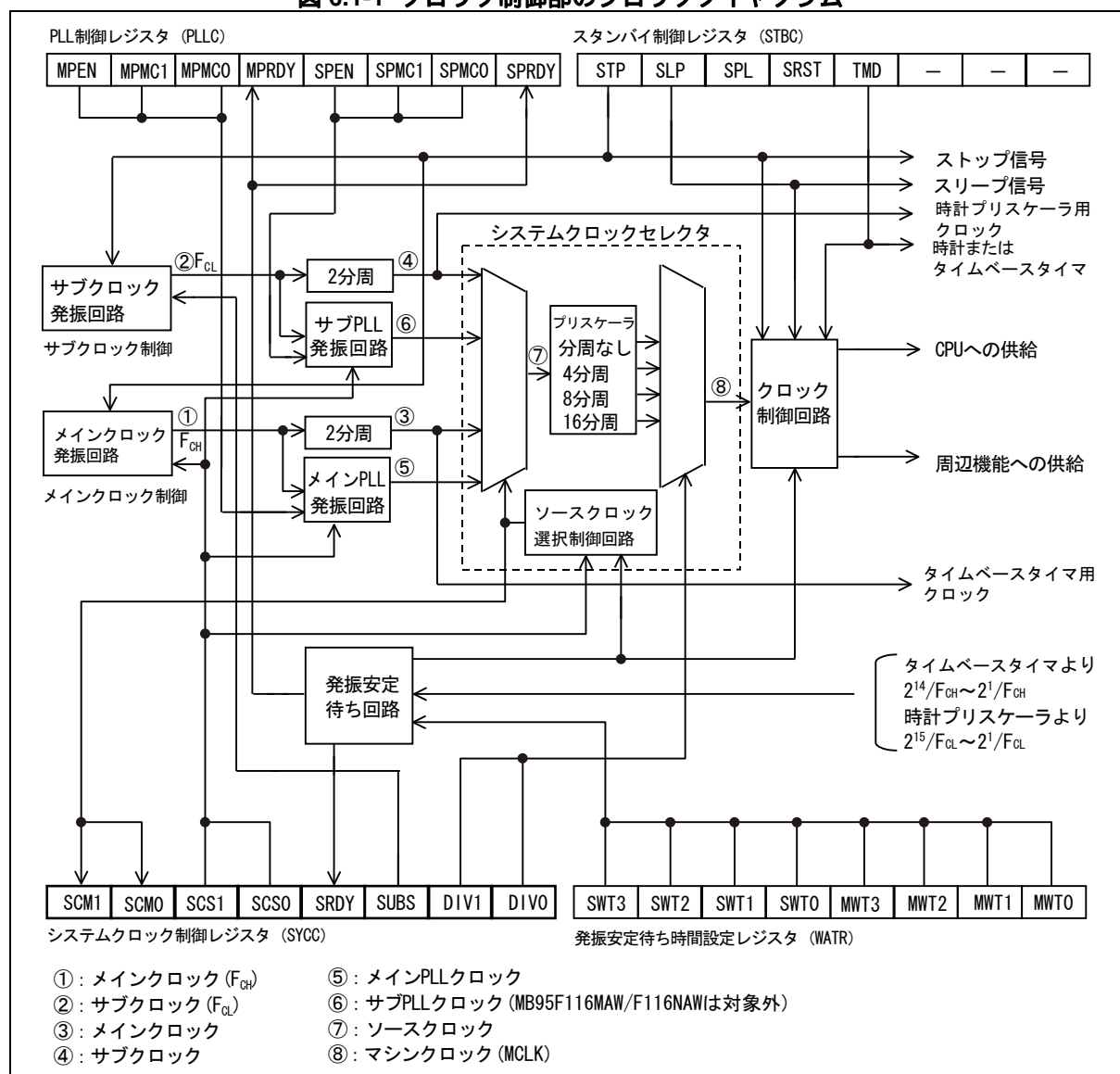
ただし、MB95F116MAW/NAW には、サブ PLL クロックがありません。

1 系統クロック品には、メインクロックを 2 分周したメインクロックおよびメインクロックを PLL 逡倍したメイン PLL クロックの 2 種類のソースクロックがあります。

■ クロック制御部のブロックダイアグラム

図 6.1-1 にクロック制御部のブロックダイアグラムを示します。

図 6.1-1 クロック制御部のブロックダイアグラム



クロック制御部は以下のブロックで構成されています。

- メインクロック発振回路
メインクロックの発振回路です。
- サブクロック発振回路 (2 系統クロック品)
サブクロックの発振回路です。
- メイン PLL 発振回路
メイン PLL の発振回路です。
- サブ PLL 発振回路 (MB95F116MAW/F116NAW を除く 2 系統クロック品)
サブ PLL クロックの発振回路です。
- システムクロックセレクタ
クロックモードに対応してメインクロック、サブクロック、メイン PLL クロックおよびサブ PLL クロックの 4 種類のソースクロックから 1 種類のクロックを選択します。選択したソースクロックをプリスケアラにより分周したクロックをマシニングロックとよび、クロック制御回路へ供給します。
- クロック制御回路
CPU と各周辺機能へのマシニングロックの供給をスタンバイモードまたは発振安定待ち時間に対応して制御します。
- 発振安定待ち回路
タイムベースタイマで作られる 14 種類のメインクロック用発振安定信号と、時計プリスケアラで作られる 15 種類のサブクロック用発振安定信号から各クロックの発振安定待ち時間の信号を出力します。
- システムクロック制御レジスタ (SYCC)
現在のクロックモードの表示、クロックモードの選択、マシニングロックの分周比の選択およびメインクロックモード時とメイン PLL クロックモード時のサブクロックの発振制御を行います。
- スタンバイ制御レジスタ (STBC)
RUN 状態からスタンバイモードへの移行、ストップモード、タイムベースタイマモードまたは時計モード時の端子状態の設定およびソフトウェアリセット発生制御を行います。
- PLL 制御レジスタ (PLLC)
メイン PLL クロックとサブ PLL クロックの発振、停止の制御、逡倍率の設定、PLL の発振安定状態を示すレジスタです。
- 発振安定待ち時間設定レジスタ (WATR)
メインクロックとサブクロックの発振安定待ち時間を設定するレジスタです。

■ クロックモード

クロックモードには、メインクロックモード、メイン PLL クロックモード、サブクロックモード、サブ PLL クロックモードがあります。

表 6.1-1 に、クロックモードとマシニングクロックの選択を示します。

表 6.1-1 クロックモードとマシニングクロックの選択

クロックモード	マシニングクロック
メインクロックモード	マシニングクロックはメインクロック（メインクロックの 2 分周）から生成します。
メイン PLL クロックモード	マシニングクロックはメイン PLL クロック（メインクロックを PLL 通倍）から生成します。
サブクロックモード (2 系統クロック品のみ)	マシニングクロックはサブクロック（サブクロックの 2 分周）から生成します。
サブ PLL クロックモード (MB95F116MAW/F116NAW を 除く 2 系統クロック品のみ)	マシニングクロックはサブ PLL クロック（サブクロックを PLL 通倍）から生成します。

いずれのクロックモードにおいても、さらに選択したクロックの分周を行うことが可能です。また、PLL クロックを使用するモードではクロック周波数の通倍率の設定も行うことができます。

■ クロックモードの影響を受けない周辺機能

下表に示す周辺機能は、クロックモード、分周の設定および PLL 通倍率の設定の影響を受けません。表 6.1-2 に、クロックモードの影響を受けない周辺機能を示します。

表 6.1-2 クロックモードの影響を受けない周辺機能

周辺機能	動作クロック
タイムベースタイマ	メインクロック ($2^1/F_{CH}$: メインクロックの 2 分周)
ウォッチドッグタイマ	メインクロック（タイムベースタイマの出力選択時） サブクロック（時計プリスケアラの出力選択時）(2 系統クロック品のみ)
時計プリスケアラ (2 系統クロック品のみ)	サブクロック ($2^1/F_{CL}$: サブクロックの 2 分周)
時計カウンタ (2 系統クロック品のみ)	サブクロック（時計プリスケアラの出力）

上記以外の一部の周辺機能で、カウントクロックとしてタイムベースタイマおよび時計プリスケアラの出力を選択可能な場合があります。各周辺機能の説明で確認してください。

■ スタンバイモード

スタンバイモードによりクロック発振の許可・停止、内部へのクロック供給の許可・停止を選択できます。タイムベースタイマモードと時計モードを除き、クロックモードの設定と独立に設定可能です。

表 6.1-3 に、スタンバイモードとクロック供給の状態を示します。

表 6.1-3 スタンバイモードとクロック供給の状態

スタンバイモード	クロック供給の状態
スリープモード	CPU とウォッチドッグタイマへのクロック供給が停止します。この結果、CPU は動作を停止しますが、ほかの周辺機能は動作を継続します。
タイムベースタイマモード	タイムベースタイマ、時計プリスケラと時計カウンタへのみクロックを供給し、ほかの回路へのクロック供給を停止します。この結果、タイムベースタイマ、時計プリスケラ、時計カウンタ、外部割込み、低電圧検出リセット（オプション）を除くすべての機能は停止します。 タイムベースタイマモードはメインクロックモードまたはメイン PLL クロックモードのときのみのスタンバイモードです。
時計モード (2 系統クロック品のみ)	メインクロック発振を停止し、時計プリスケラと時計カウンタへのみクロックを供給し、ほかの回路へのクロック供給を停止します。この結果、時計プリスケラ、時計カウンタ、外部割込みと低電圧検出リセット（オプション）を除くすべての機能は停止します。 時計モードはサブクロックモードまたはサブ PLL クロックモードのときのみのスタンバイモードです。
ストップモード	メインクロック発振とサブクロック発振を停止し、すべてのクロック供給を停止します。この結果、外部割込みと低電圧検出リセット（オプション）を除くすべての機能は停止します。

■ クロックモードとスタンバイモードの組合せ

表 6.1-4 に、スタンバイモードとクロックモードの組合せおよび内部動作状態を示します。

表 6.1-4 スタンバイモードとクロックモードの組合せおよび内部動作状態

機能	RUN				スリープ				タイムベース タイマ		時計 (2 系統 クロック品)		ストップ	
	メイン クロック モード	メイン PLL クロック モード	サブ クロック モード (2 系統 クロック 品)	サブ PLL クロック モード (MB95 F116M AW/ F116N AW を 除く 2 系統 クロック 品)	メイン クロック モード	メイン PLL クロック モード	サブ クロック モード (2 系統 クロック 品)	サブ PLL クロック モード (MB95 F116M AW/ F116N AW を 除く 2 系統 クロック 品)	メイン クロック モード	メイン PLL クロック モード	サブ クロック モード (2 系統 クロック 品)	サブ PLL クロック モード (MB95 F116M AW/ F116N AW を 除く 2 系統 クロック 品)	メイン (PLL) クロック モード	サブ PLL クロック モード (MB95 F116M AW/ F116N AW を 除く 2 系統 クロック 品)
メイン クロック	動作		停止		動作		停止		動作		停止		停止	停止
メイン PLL クロック	停止 *1	動作	停止		停止 *1	動作	停止		停止 *1		停止		停止	停止
サブ クロック	動作 *2		動作		動作 *2		動作		動作 *2		動作		動作 *2	停止
サブ PLL クロック	停止 *3		停止 *3	動作	停止 *3		停止 *3	動作	停止 *3		停止 *3	動作	停止 *3	停止
CPU	動作		動作		停止		停止		停止		停止		停止	停止
ROM	動作		動作		値保持		値保持		値保持		値保持		値保持	
RAM														
I/O ポート	動作		動作		出力保持		出力保持		出力保持		出力保持		出力 保持 / Hi-Z	出力 保持 / Hi-Z
タイムベース タイマ	動作		停止		動作		停止		動作		停止		停止	停止
時計 プリスケアラ	動作 *2		動作		動作 *2		動作		動作 *2		動作		動作 *2	停止
時計 カウンタ	動作 *2		動作		動作 *2		動作		動作 *2		動作		動作 *4	停止
外部割込み	動作		動作		動作		動作		動作		動作		動作	動作
ウォッチ ドッグタイマ	動作		動作		停止		停止		停止		停止		停止	停止
低電圧検出 リセット	動作		動作		動作		動作		動作		動作		動作	動作
その他の 周辺機能	動作		動作		動作		動作		停止		停止		停止	停止

*1: PLL 制御レジスタのメイン PLL クロック発振許可ビット (PLLC:MPEN) を "1" に設定すると動作します。

*2: システムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUSBS) を "1" に設定すると停止します。

*3: PLL 制御レジスタのサブ PLL クロック発振許可ビット (PLLC:SPEN) を "1" に設定すると動作します。

*4: 時計カウンタはカウント動作を続けますが、割込みは発生しません。また、システムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUSBS) を "1" に設定すると時計カウンタは停止します。

6.2 発振安定待ち時間

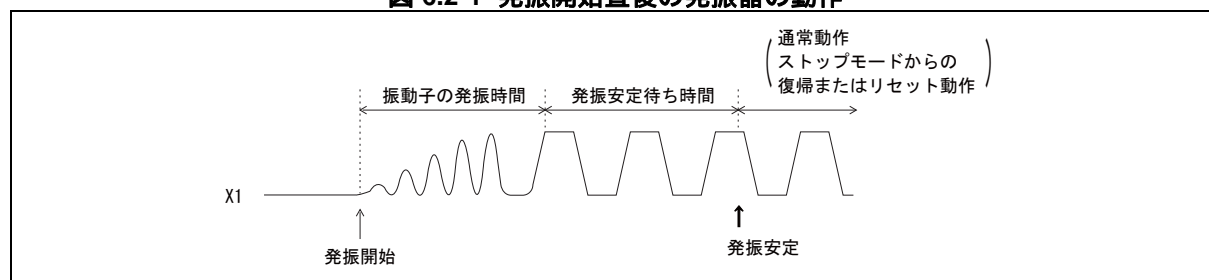
発振安定待ち時間とは発振回路が発振停止状態から振動子が固有の振動数で安定して発振するまでの時間です。クロック制御部は、発振クロックを所定の回数までカウントすることにより、発振安定待ち時間を確保し、その間、内部回路へのクロック供給を抑止します。

■ 発振安定待ち時間

クロック制御部は、発振クロックを所定の回数までカウントすることにより、発振開始直後の発振安定待ち時間を確保し、その間、内部回路へのクロック供給を抑止します。電源投入時に加え、リセット、スタンバイモード時の割込みおよびソフトウェアによるクロックモードの変更により、発振停止状態から発振を開始する状態遷移要求が発生した場合、クロック制御部は自動的にメインクロックまたはサブクロックの発振安定待ち時間の経過を待ってから次の状態へ遷移させます。

図 6.2-1 に、発振開始直後の発振の動作を示します。

図 6.2-1 発振開始直後の発振器の動作



メインクロック発振安定待ち時間はタイムベースタイマを使用してカウントされます。サブクロック発振安定待ち時間は時計プリスケラを使用してカウントされます。カウント数は発振安定待ち時間設定レジスタ (WATR) で設定します。振動子の特性に合わせて指定してください。

パワーオンリセットの場合、発振安定待ち時間は初期値に固定されます。ただし、マスク ROM 品ではマスク ROM 発注時に発振安定待ち時間の初期値を指定できます。

表 6.2-1 に、発振安定待ち時間を示します。

表 6.2-1 発振安定待ち時間

クロック	要因	発振安定待ち時間
メインクロック	パワーオンリセット	初期値： $(2^{14}-2)/F_{CH}$ 、 F_{CH} はメインクロック周波数（マスク ROM 品は ROM 発注時に指定）
	パワーオンリセット以外	レジスタ設定値 (WATR:MWT3, MWT2, MWT1, MWT0)
サブクロック (2 系統クロック品)	パワーオンリセット	初期値： $(2^{15}-2)/F_{CL}$ 、 F_{CL} はサブクロック周波数
	パワーオンリセット以外	レジスタ設定値 (WATR:SWT3, SWT2, SWT1, SWT0)

サブクロックの発振待ち時間測定は、メインクロックの発振安定待ち時間が終了した後に開始されます。

■ PLL クロックの発振安定待ち時間

クロック制御部は、振動子の発振安定待ち時間と同様に、スタンバイモード時の割込みやソフトウェアによるクロックモードの変更により PLL 発振停止状態から発振を開始する状態遷移要求が発生すると自動的に PLL 発振安定待ち時間の経過を待ちます。

なお、PLL クロックの発振安定待ち時間は、PLL の起動タイミングにより変化します。

表 6.2-2 に、PLL 発振安定待ち時間を示します。

表 6.2-2 PLL 発振安定待ち時間

	PLL 発振安定待ち時間		備考
	最小時間	最大時間	
メイン PLL クロック	$2^{11}/F_{CH} \times 2$	$2^{11}/F_{CH} \times 3$	<ul style="list-style-type: none"> ・ $2^{11}/F_{CH}$ の 2 カウント (最小) から 3 カウント (最大) の時間、発振安定待ち時間の経過を待ちます。 ・ F_{CH} はメインクロック周波数です。
サブ PLL クロック (MB95F116MAW/ F116NAW を除く 2 系統 クロック品)	$2^8/F_{CL} \times 2$	$2^8/F_{CL} \times 3$	<ul style="list-style-type: none"> ・ $2^8/F_{CL}$ の 2 カウント (最小) から 3 カウント (最大) の時間、発振安定待ち時間の経過を待ちます。 ・ F_{CL} はサブクロック周波数です。

■ 発振安定待ち時間とクロックモード・スタンバイモードの遷移

クロック制御部は、動作状態の遷移が発生すると必要に応じて自動的に発振安定待ち時間の経過を待ちますが、動作状態の遷移によっては発振安定待ち時間の経過を待つ場合と待たない場合があります。

状態遷移の詳細については「6.7 クロックモード」と「6.8 低消費電力モード (スタンバイモード) の動作」を参照してください。

6.3 システムクロック制御レジスタ (SYCC)

システムクロック制御レジスタ (SYCC) は、現在のクロックモードの表示と切換え、マシクロックの分周比の選択およびメインクロックモード時とメイン PLL クロックモード時のサブクロックの発振制御を行います。

■ システムクロック制御レジスタ (SYCC) の構成

図 6.3-1 システムクロック制御レジスタ (SYCC) の構成

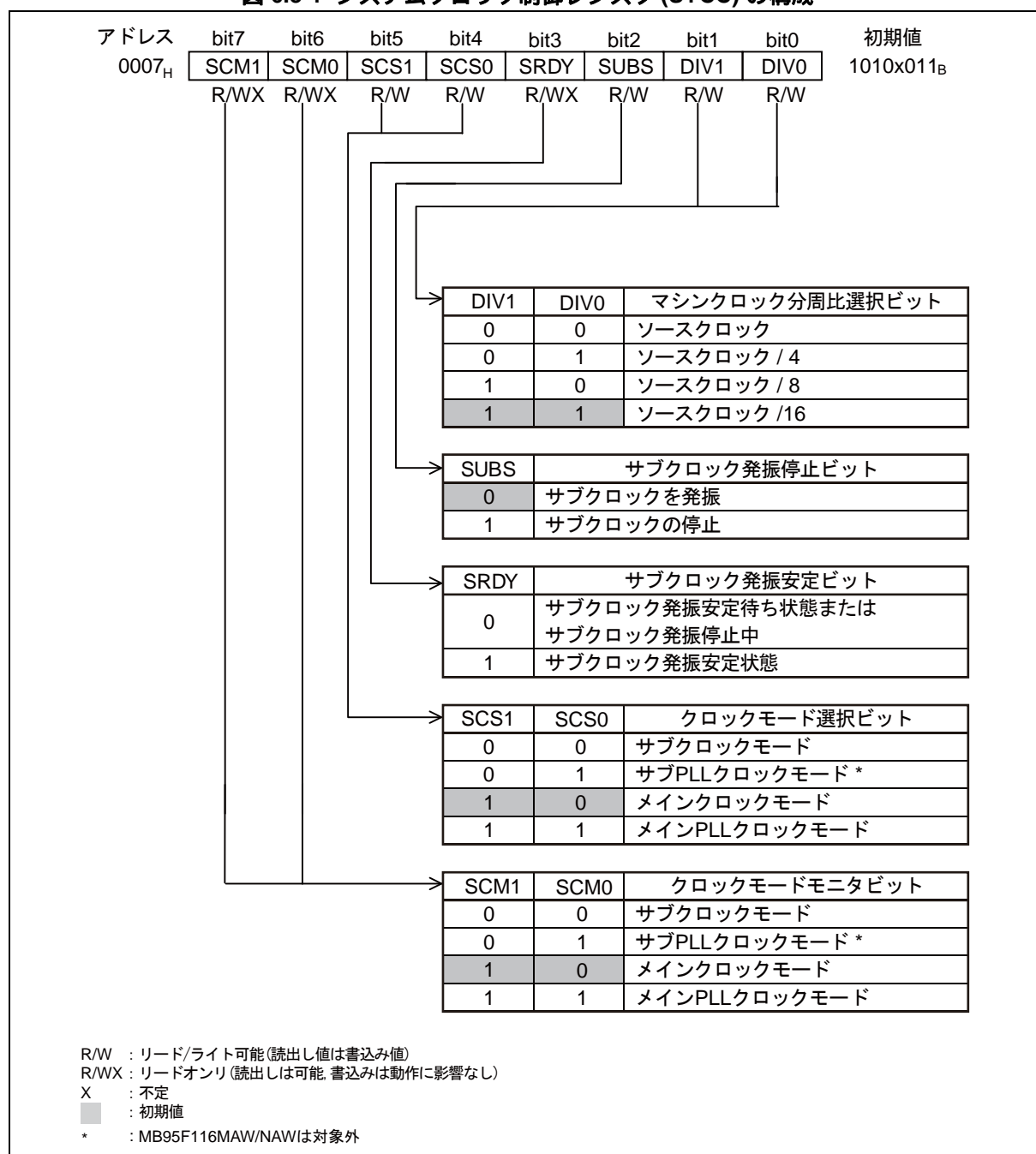


表 6.3-1 システムクロック制御レジスタ (SYCC) の各ビットの機能説明

ビット名		機能																				
bit7, bit6	SCM1, SCM0: クロックモード モニタビット	現在のクロックモードを示します。 "00 _B " に設定した場合：サブクロックモードを示します。 "01 _B " に設定した場合：サブ PLL クロックモードを示します (MB95F116MAW/ F116NAW を除く)。 "10 _B " に設定した場合：メインクロックモードを示します。 "11 _B " に設定した場合：メイン PLL クロックモードを示します。 このビットは読み出し専用です。書き込み値は動作に影響を与えません。																				
bit5, bit4	SCS1, SCS0: クロックモード 選択ビット	クロックモードを指定します。 "00 _B " に設定した場合：サブクロックモードへ移行します (2 系統クロック品のみ)。 "01 _B " に設定した場合：サブ PLL クロックモードへ移行します (MB95F116MAW/ F116NAW を除く 2 系統クロック品のみ)。 "10 _B " に設定した場合：メインクロックモードへ移行します。 "11 _B " に設定した場合：メイン PLL クロックモードへ移行します。 SCS1, SCS0 ビットによりクロックモードを選択した後、選択したクロックモードへ の移行が完了するまでは、SCS1, SCS0 ビットの書き込みは無視されます。 1 系統クロック品で "00 _B " または "01 _B " を書き込んでも無視され、これらのビット の値は変化しません。																				
bit3	SRDY: サブクロック発振 安定ビット (2 系統クロック品 のみ)	サブクロックの発振安定を示します。 ・ SRDY ビットが "1" のとき、サブクロックの発振安定待ち時間が完了していること を示します。 ・ SRDY ビットが "0" のとき、サブクロックの発振安定待ち状態または発振の停止を 示します。 このビットは読み出し専用です。書き込み値は動作に影響を与えません。 1 系統クロック品では、このビットの値は意味がありません。																				
bit2	SUBS: サブクロック発振 停止ビット (2 系統クロック品 のみ)	メインクロックモードまたはメイン PLL クロックモードのときにサブクロックの 発振停止を設定します。 "0" に設定した場合：サブクロックを発振します。 "1" に設定した場合：サブクロックを停止します。 (注意事項) ・ サブクロックモードまたはサブ PLL クロックモードのときは、ストップモードの 場合を除き、このビットの値に関係なくサブクロックが発振します。 ・ メインクロックモードまたはメイン PLL クロックモードのときにも、PLL 制御レ ジスタのサブ PLL クロック発振許可ビット (PLLC:SPEN) によりサブ PLL クロッ クを発振させる場合、このビットの値に関係なくサブクロックは発振します。 ・ SYCC: SCS1 ビットと本ビットは、同時に書き換えないでください。 ・ 1 系統クロック品では、このビット値は動作に影響しません。																				
bit1, bit0	DIV1, DIV0: マシニングロック 分周比選択ビット	・ ソースクロックに対するマシニングロックの分周比を選択します。 ・ これらのビットで設定された分周比によりソースクロックからマシニングロックを 発生します。 <table><tr><td>DIV1</td><td>DIV0</td><td>マシニングロック分周比選択ビット</td><td>SCM1, SCM0=10_B の場合</td></tr><tr><td>0</td><td>0</td><td>ソースクロック (分周なし)</td><td>メインクロックの 2 分周</td></tr><tr><td>0</td><td>1</td><td>ソースクロック / 4</td><td>メインクロックの 8 分周</td></tr><tr><td>1</td><td>0</td><td>ソースクロック / 8</td><td>メインクロックの 16 分周</td></tr><tr><td>1</td><td>1</td><td>ソースクロック / 16</td><td>メインクロックの 32 分周</td></tr></table>	DIV1	DIV0	マシニングロック分周比選択ビット	SCM1, SCM0=10 _B の場合	0	0	ソースクロック (分周なし)	メインクロックの 2 分周	0	1	ソースクロック / 4	メインクロックの 8 分周	1	0	ソースクロック / 8	メインクロックの 16 分周	1	1	ソースクロック / 16	メインクロックの 32 分周
DIV1	DIV0	マシニングロック分周比選択ビット	SCM1, SCM0=10 _B の場合																			
0	0	ソースクロック (分周なし)	メインクロックの 2 分周																			
0	1	ソースクロック / 4	メインクロックの 8 分周																			
1	0	ソースクロック / 8	メインクロックの 16 分周																			
1	1	ソースクロック / 16	メインクロックの 32 分周																			

6.4 PLL 制御レジスタ (PLLC)

PLL 制御レジスタは、メイン PLL クロックとサブ PLL クロックを制御します。

■ PLL 制御レジスタ (PLLC) の構成

図 6.4-1 PLL 制御レジスタ (PLLC) の構成

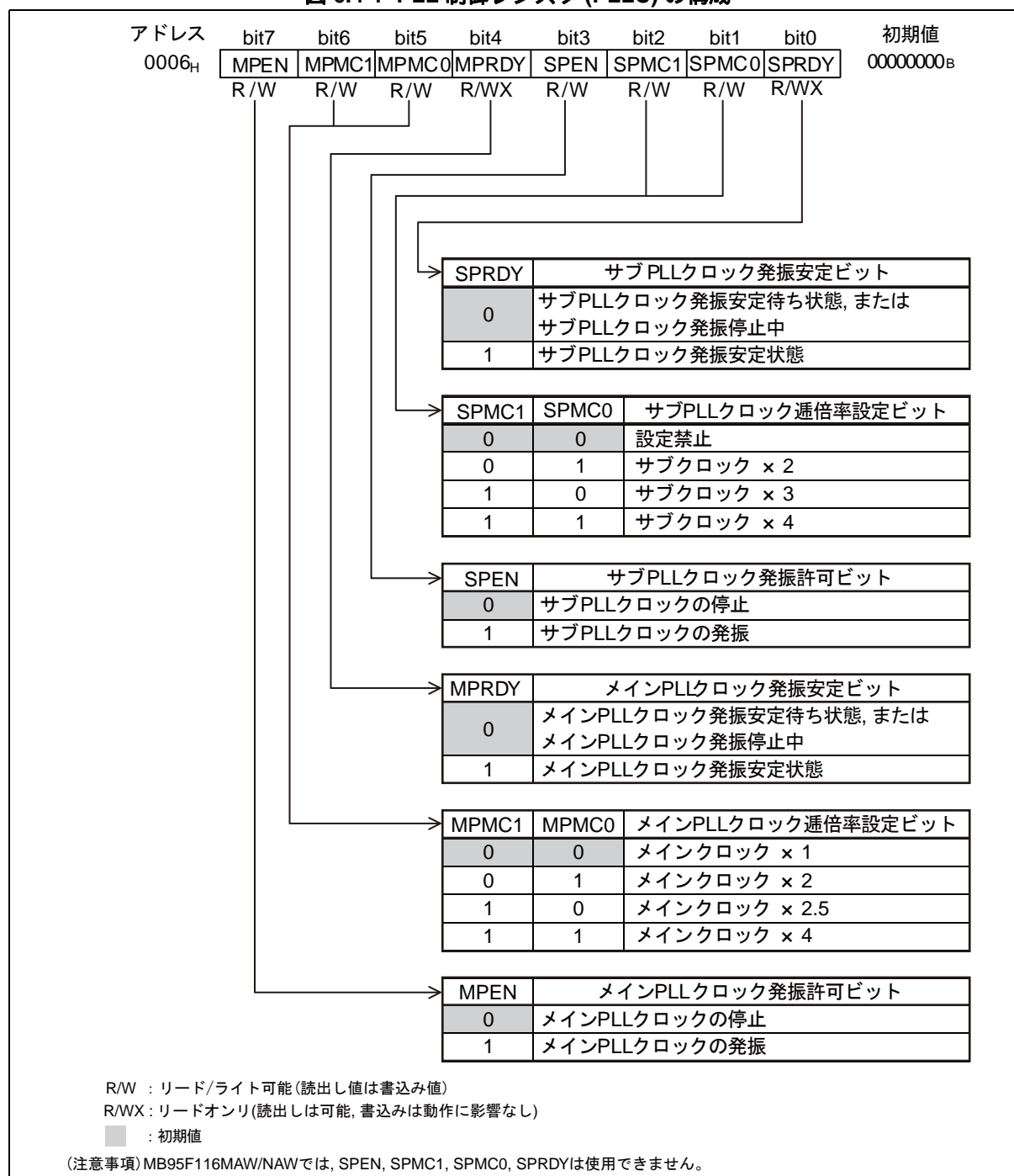


表 6.4-1 PLL 制御レジスタ (PLLC) の各ビットの機能説明 (1 / 2)

ビット名		機能															
bit7	MPEN: メイン PLL クロック 発振許可ビット	<p>メインクロックモードのとき、またはタイムベースタイマモードのとき、メイン PLL クロックの発振 / 停止を制御します。</p> <p>"0" に設定した場合：メイン PLL クロックは停止します。</p> <p>"1" に設定した場合：メイン PLL クロックは発振します。</p> <p>メイン PLL クロックモードで、かつ RUN 状態またはスリープモードのとき、メイン PLL クロックは、このビットの値に関係なく発振します。</p>															
bit6, bit5	MPMC1, MPMC0: メイン PLL クロック 通倍率設定ビット	<p>メイン PLL クロックの通倍率を設定します。</p> <table border="1"> <thead> <tr> <th>MPMC1</th><th>MPMC0</th><th>メイン PLL クロック通倍率設定ビット</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>メインクロック × 1</td></tr> <tr> <td>0</td><td>1</td><td>メインクロック × 2</td></tr> <tr> <td>1</td><td>0</td><td>メインクロック × 2.5</td></tr> <tr> <td>1</td><td>1</td><td>メインクロック × 4</td></tr> </tbody> </table> <p>(注意事項) メイン PLL クロックが停止中のみ、このビットの値は変更できます。したがって、このビットはメイン PLL クロック発振許可ビット (MPEN) が "1" またはシステムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS1, SCS0) が "11_B" のときは変更しないでください (MPEN を "1" に設定すると同時に、このビットを設定することも可能です)。</p>	MPMC1	MPMC0	メイン PLL クロック通倍率設定ビット	0	0	メインクロック × 1	0	1	メインクロック × 2	1	0	メインクロック × 2.5	1	1	メインクロック × 4
MPMC1	MPMC0	メイン PLL クロック通倍率設定ビット															
0	0	メインクロック × 1															
0	1	メインクロック × 2															
1	0	メインクロック × 2.5															
1	1	メインクロック × 4															
bit4	MPRDY: メイン PLL クロック 発振安定ビット	<p>メイン PLL クロックの発振安定を示します。</p> <ul style="list-style-type: none"> このビットが "1" のとき、メイン PLL クロックのメイン PLL クロック発振安定待ち時間が完了していることを示します。 このビットが "0" のとき、メイン PLL クロックのメイン PLL クロック発振安定待ち状態か、メイン PLL クロック発振停止中かを示します。 <p>このビットは読み出し専用です。書き込み値は意味を持たず、動作に影響しません。</p>															
bit3	SPEN: サブ PLL クロック 発振許可ビット (MB95F116MAW/ F116NAW を除く 2 系統クロック品 のみ)	<p>メインクロックモード、メイン PLL クロックモード、サブクロックモード、または時計モードのとき、サブ PLL クロックの発振 / 停止を設定します。</p> <p>"0" に設定した場合：サブ PLL クロックは停止します。</p> <p>"1" に設定した場合：サブ PLL クロックは発振します。</p> <p>サブ PLL クロックモードでは、時計モード時を除き、このビットの値に関係なく発振します。</p> <p>サブ PLL クロックモードでストップモードのときは、このビットの値に関係なく停止します。</p> <p>1 系統クロック品では、このビット値は動作に影響しません。</p>															

表 6.4-1 PLL 制御レジスタ (PLLC) の各ビットの機能説明 (2 / 2)

ビット名		機能															
bit2, bit1	SPMC1, SPMC0: サブ PLL クロック 通倍率設定ビット (MB95F116MAW/ F116NAW を除く 2 系統クロック品 のみ)	<p>サブ PLL クロックの通倍率を設定します。</p> <table><tr><th>SPMC1</th><th>SPMC0</th><th>サブ PLL クロック通倍率設定ビット</th></tr><tr><td>0</td><td>0</td><td>設定禁止。PLL を使用する前に、必ず この値以外を書き込んでください。</td></tr><tr><td>0</td><td>1</td><td>サブクロック × 2</td></tr><tr><td>1</td><td>0</td><td>サブクロック × 3</td></tr><tr><td>1</td><td>1</td><td>サブクロック × 4</td></tr></table> <p>1 系統クロック品では、このビット値は動作に影響しません。 (注意事項)</p> <ul style="list-style-type: none">このビットの初期値は "00_B" ですが、この値では PLL は正常動作しません。サブ PLL クロック発振許可ビット (SPEN) を "1" に設定する前、またはシステムクロック制御レジスタのクロックモード選択ビット (SYCC:SCS1, SCS0) を "01_B" に設定する前に、必ずこのビットを "00_B" 以外の値に設定してください。サブ PLL クロックが停止中のみ、このビットの値は変更できます。したがって、このビットはサブ PLL クロック発振許可ビット (SPEN) が "1" またはシステムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) が "01_B" のときは変更しないでください (SPEN を "1" に設定すると同時に、このビットを設定することも可能です)。	SPMC1	SPMC0	サブ PLL クロック通倍率設定ビット	0	0	設定禁止。PLL を使用する前に、必ず この値以外を書き込んでください。	0	1	サブクロック × 2	1	0	サブクロック × 3	1	1	サブクロック × 4
SPMC1	SPMC0	サブ PLL クロック通倍率設定ビット															
0	0	設定禁止。PLL を使用する前に、必ず この値以外を書き込んでください。															
0	1	サブクロック × 2															
1	0	サブクロック × 3															
1	1	サブクロック × 4															
bit0	SPRDY: サブ PLL クロック 発振安定ビット (MB95F116MAW/ F116NAW を除く 2 系統クロック品 のみ)	<p>サブ PLL クロックの発振安定を示します。</p> <ul style="list-style-type: none">このビットが "1" のとき、サブ PLL クロックのサブ PLL クロック発振安定待ち時間が完了していることを示します。このビットが "0" のとき、サブ PLL クロックのサブ PLL クロック発振安定待ち状態か、サブ PLL クロック発振停止中を示します。 <p>このビットは読出し専用です。書込み値は動作に影響を与えません。 1 系統クロック品では、このビットの値は意味がありません。</p>															

6.5 発振安定待ち時間設定レジスタ (WATR)

発振安定待ち時間を設定するレジスタです。

■ 発振安定待ち時間設定レジスタ (WATR) の構成

図 6.5-1 発振安定待ち時間設定レジスタ (WATR) の構成

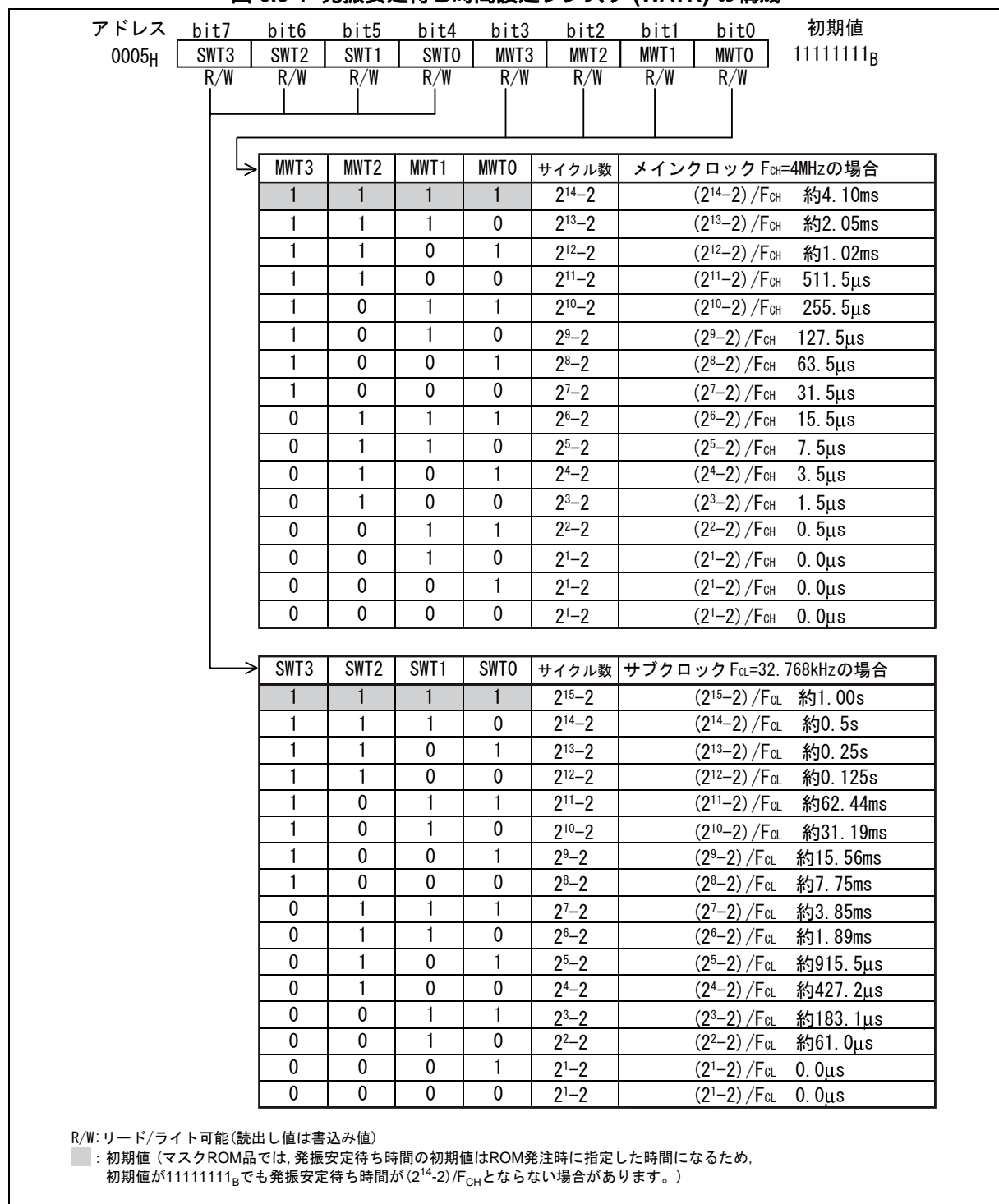


表 6.5-1 発振安定待ち時間設定レジスタ (WATR) の各ビットの機能説明 (1 / 2)

ビット名		機能		
bit7 ~ bit4	SWT3, SWT2, SWT1, SWT0: サブクロック 発振安定待ち時間 選択ビット	サブクロック発振安定待ち時間を設定します。		
		SWT3 SWT2 SWT1 SWT0	サイクル数	サブクロック $F_{CL}=32.768\text{kHz}$ の場合
		1111 _B	$2^{15}-2$	$(2^{15}-2)/F_{CL}$ 約 1.0s
		1110 _B	$2^{14}-2$	$(2^{14}-2)/F_{CL}$ 約 0.5s
		1101 _B	$2^{13}-2$	$(2^{13}-2)/F_{CL}$ 約 0.25s
		1100 _B	$2^{12}-2$	$(2^{12}-2)/F_{CL}$ 約 0.125s
		1011 _B	$2^{11}-2$	$(2^{11}-2)/F_{CL}$ 約 62.44ms
		1010 _B	$2^{10}-2$	$(2^{10}-2)/F_{CL}$ 約 31.19ms
		1001 _B	2^9-2	$(2^9-2)/F_{CL}$ 約 15.56ms
		1000 _B	2^8-2	$(2^8-2)/F_{CL}$ 約 7.75ms
		0111 _B	2^7-2	$(2^7-2)/F_{CL}$ 約 3.85ms
		0110 _B	2^6-2	$(2^6-2)/F_{CL}$ 約 1.89ms
		0101 _B	2^5-2	$(2^5-2)/F_{CL}$ 約 915.5 μs
		0100 _B	2^4-2	$(2^4-2)/F_{CL}$ 約 427.2 μs
		0011 _B	2^3-2	$(2^3-2)/F_{CL}$ 約 183.1 μs
		0010 _B	2^2-2	$(2^2-2)/F_{CL}$ 約 61.0 μs
		0001 _B	2^1-2	$(2^1-2)/F_{CL}$ 0.0 μs
		0000 _B	2^1-2	$(2^1-2)/F_{CL}$ 0.0 μs
		<p>1 系統クロック品では、このビットの値は意味がありません。</p> <p>上記表のサイクル数は最小値であり、最大値は上記表のサイクル数 $+1/F_{CL}$</p> <p>(注意事項) このビットはサブクロック発振安定待ち時間中には書き換えないでください。システムクロック制御レジスタのサブクロック発振安定ビット (SYCC:SRDY) が "1" のときか、サブクロックモードまたはサブ PLL クロックモードの状態で書き換えてください。メインクロックモード、メイン PLL クロックモードでシステムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUSBS) を "1" にしてサブクロックを停止しているときにも書換え可能です。</p>		

表 6.5-1 発振安定待ち時間設定レジスタ (WATR) の各ビットの機能説明 (2 / 2)

ビット名		機能		
bit3 ～ bit0	MWT3, MWT2, MWT1, MWT0: メインクロック 発振安定待ち時間 選択ビット	メインクロック発振安定待ち時間を設定します。		
		MWT3 MWT2 MWT1 MWT0	サイクル数	メインクロック F _{CH} =4MHz の場合
		1111 _B	2 ¹⁴ -2	(2 ¹⁴ -2) /F _{CH} 約 4.10ms
		1110 _B	2 ¹³ -2	(2 ¹³ -2) /F _{CH} 約 2.05ms
		1101 _B	2 ¹² -2	(2 ¹² -2) /F _{CH} 約 1.02ms
		1100 _B	2 ¹¹ -2	(2 ¹¹ -2) /F _{CH} 511.5 μs
		1011 _B	2 ¹⁰ -2	(2 ¹⁰ -2) /F _{CH} 255.5 μs
		1010 _B	2 ⁹ -2	(2 ⁹ -2) /F _{CH} 127.5 μs
		1001 _B	2 ⁸ -2	(2 ⁸ -2) /F _{CH} 63.5 μs
		1000 _B	2 ⁷ -2	(2 ⁷ -2) /F _{CH} 31.5 μs
		0111 _B	2 ⁶ -2	(2 ⁶ -2) /F _{CH} 15.5 μs
		0110 _B	2 ⁵ -2	(2 ⁵ -2) /F _{CH} 7.5 μs
		0101 _B	2 ⁴ -2	(2 ⁴ -2) /F _{CH} 3.5 μs
		0100 _B	2 ³ -2	(2 ³ -2) /F _{CH} 1.5 μs
		0011 _B	2 ² -2	(2 ² -2) /F _{CH} 0.5 μs
		0010 _B	2 ¹ -2	(2 ¹ -2) /F _{CH} 0.0 μs
		0001 _B	2 ¹ -2	(2 ¹ -2) /F _{CH} 0.0 μs
		0000 _B	2 ¹ -2	(2 ¹ -2) /F _{CH} 0.0 μs
サイクル数は最小値であり , 最大値は +1/F _{CH}				
(注意事項) このビットはメインクロック発振安定待ち時間中には書き換えないで ください。メインクロックモードまたはメイン PLL クロックモードの 状態で書き換えてください。サブクロックモードのときにも書換え可 能です。				

6.6 スタンバイ制御レジスタ (STBC)

スタンバイ制御レジスタ (STBC) は、RUN 状態からスリープモード/ストップモード/タイムベースタイマモード/時計モードへの移行、ストップモード中/タイムベースタイマモード中/時計モード中の端子状態の設定およびソフトウェアリセット発生制御を行います。

■ スタンバイ制御レジスタ (STBC)

図 6.6-1 スタンバイ制御レジスタ (STBC)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0008 _H	STP	SLP	SPL	SRST	TMD	—	—	—	00000000 _B
	R0, W	R0, W	R/W	R0, W	R0, W	R0/WX	R0/WX	R0/WX	

→	TMD	時計ビット	
		読出し時	書込み時
		0	常に“0”が読み出されます 動作に影響しません
		1	— メインクロックモード メインPLLクロックモード タイムベースタイマモードに移行 サブクロックモード サブPLLクロックモード* 時計モードに移行

→	SRST	ソフトウェアリセットビット	
		読出し時	書込み時
		0	常に“0”が読み出されます 動作に影響しません
		1	— 3マシクロックのリセット信号の発生

→	SPL	端子状態指定ビット	
		0	ストップモードまたはタイムベースタイマモード、時計モード時、外部端子を直前の状態に保持します
		1	ストップモードまたはタイムベースタイマモード、時計モード時、外部端子をハイインピーダンスにします

→	SLP	スリープビット	
		読出し時	書込み時
		0	常に“0”が読み出されます 動作に影響しません
		1	— スリープモードに移行

→	STP	ストップビット	
		読出し時	書込み時
		0	常に“0”が読み出されます 動作に影響しません
		1	— ストップモードに移行

R/W : リード/ライト可能 (読出し値は書込み値)
 R0, W : ライトオンリ (書込みは可能, 読出し値は“0”)
 R0/WX : 未定義ビット (読出し値は“0”, 書込みは動作に影響なし)
 — : 未使用
 ■ : 初期値
 * : MB95F116MAW/F116NAWはサブPLLクロックモードに対応していません。

表 6.6-1 スタンバイ制御レジスタ (STBC) の各ビットの機能説明

ビット名		機能
bit7	STP: ストップビット	ストップモードへの移行を設定します。 "0" に設定した場合：動作に影響を与えません。 "1" に設定した場合：ストップモードに移行します。 このビットを読み出した場合は、常に "0" が読み出されます。 (注意事項) このビットに "1" を書き込んだときに割込み要求が発生していると、このビットの書込みは無視されます。詳細は「6.8.1 スタンバイモード使用上の注意」を参照してください。
bit6	SLP: スリープビット	スリープモードへの移行を設定します。 "0" に設定した場合：動作に影響を与えません。 "1" に設定した場合：スリープモードに移行します。 このビットを読み出した場合は、常に "0" が読み出されます。 (注意事項) このビットに "1" を書き込んだときに割込み要求が発生していると、このビットの書込みは無視されます。詳細は「6.8.1 スタンバイモード使用上の注意」を参照してください。
bit5	SPL: 端子状態指定 ビット	ストップモード、タイムベースタイマモードおよび時計モード時の外部端子の状態を設定します。 "0" に設定した場合：ストップモード、タイムベースタイマモード、時計モード時に外部端子の状態（レベル）を保持します。 "1" に設定した場合：ストップモード、タイムベースタイマモード、時計モード時に外部端子はハイインピーダンスになります（プルアップ設定レジスタでプルアップ抵抗ありを選択している端子はプルアップ状態になります）。
bit4	SRST: ソフトウェア リセットビット	ソフトウェアリセットを設定します。 "0" に設定した場合：動作に影響を与えません。 "1" に設定した場合：3 マシンクロックのリセット信号を発生します。 このビットを読み出した場合は、常に "0" が読み出されます。
bit3	TMD: 時計ビット	2 系統クロック品ではタイムベースタイマモードまたは時計モードへの移行を設定します。 1 系統クロック品ではタイムベースタイマモードへの移行を設定します。 ・メインクロックモードおよびメイン PLL クロックモードのとき、このビットに "1" を書き込むと、タイムベースタイマモードに移行します。 ・サブクロックモードおよびサブ PLL クロックモード (MB95F116MAW/F116NAW を除く) のとき、このビットに "1" を書き込むと、時計モードに移行します。 ・このビットに "0" を書き込んで、動作に影響を与えません。 ・このビットを読み出した場合は、常に "0" が読み出されます。 (注意事項) このビットに "1" を書き込んだときに割込み要求が発生していると、このビットの書込みは無視されます。詳細は「6.8.1 スタンバイモード使用上の注意」を参照してください。
bit2 ~ bit0	未定義ビット	読出し時の値は常に "0" です。未定義ビットです。 このビットは読出し専用です。書込み値は動作に影響を与えません。

< 注意事項 >

- システムクロック制御レジスタのクロックモードモニタビット (SYCC:SCM1, SCM0) とクロックモード設定ビット (SYCC:SCS1, SCS0) の値を比較してクロックモードの移行が完了していることを確認した後, スタンバイモードを設定してください。
- ストップビット (STP), スリープビット (SLP), ソフトウェアリセットビット (SRST), 時計ビット (TMD) の複数のビットに対して, 同時に "1" を書き込んだ場合の優先順位は次のとおりです。

ソフトウェアリセットビット (SRST)

ストップビット (STP)

時計ビット (TMD)

スリープビット (SLP)

スタンバイモードが解除されると, 通常動作状態に復帰します。

6.7 クロックモード

クロックモードには、メインクロックモード、サブクロックモード、メイン PLL クロックモードおよびサブ PLL クロックモードがあり、システムクロック制御レジスタ (SYCC) の設定によって相互に移行します。

1 系統クロック品ではサブクロックモードとサブ PLL クロックモードはありません。また、MB95F116MAW/F116NAW の 2 系統クロック品にはサブ PLL クロックモードはありません。

■ メインクロックモードの動作

メインクロックモードは、CPU と周辺機能のマシニングロックとしてメインクロックを使用します。

タイムベースタイマはメインクロックで動作します。

時計プリスケアラと時計カウンタはサブクロックで動作します (2 系統クロック品)。

メインクロックモードで動作中にスタンバイモードを設定すると、スリープモード、ストップモードまたはタイムベースタイマモードに移行できます。

リセット前のクロックモードによらず、リセット後は常にメインクロックモードになります。

■ サブクロックモードの動作 (2 系統クロック品)

サブクロックモードは、メインクロックの発振を停止し、CPU と周辺機能のマシニングロックとしてサブクロックを使用します。タイムベースタイマはメインクロックを使用しているため停止しています。

サブクロックモードで動作中にスタンバイモードを設定すると、スリープモード、ストップモードまたは時計モードへ移行できます。

■ メイン PLL クロックモードの動作

メイン PLL クロックモードは、CPU と周辺機能のマシニングロックとしてメイン PLL クロックを使用します。タイムベースタイマとウォッチドッグタイマはメインクロックで動作します。

時計プリスケアラと時計カウンタはサブクロックで動作します (2 系統クロック品)。

メイン PLL クロックモードで動作中にスタンバイモードを設定すると、スリープモード、ストップモードまたはタイムベースタイマモードに移行できます。

■ サブ PLL クロックモードの動作 (MB95F116MAW/F116NAW を除く 2 系統クロック品)

サブ PLL クロックモードは、メインクロックの発振を停止させ、CPU と周辺機能のマシニングロックとしてサブ PLL クロックを使用します。タイムベースタイマはメインクロックを使用しているため停止しています。時計プリスケアラと時計カウンタはサブクロックで動作します。

サブ PLL クロックモードで動作中にスタンバイモードを設定すると、スリープモード、ストップモードまたは時計モードに移行できます。

■ クロックモードの状態遷移図

クロックモードには、メインクロックモード、メイン PLL クロックモード、サブクロックモードおよびサブ PLL クロックモードがあり、システムクロック制御レジスタ (SYCC) の設定によって移行できます。

図 6.7-1 クロックモードの状態遷移図 (MB95F116MAW/F116NAW を除く 2 系統クロック品)

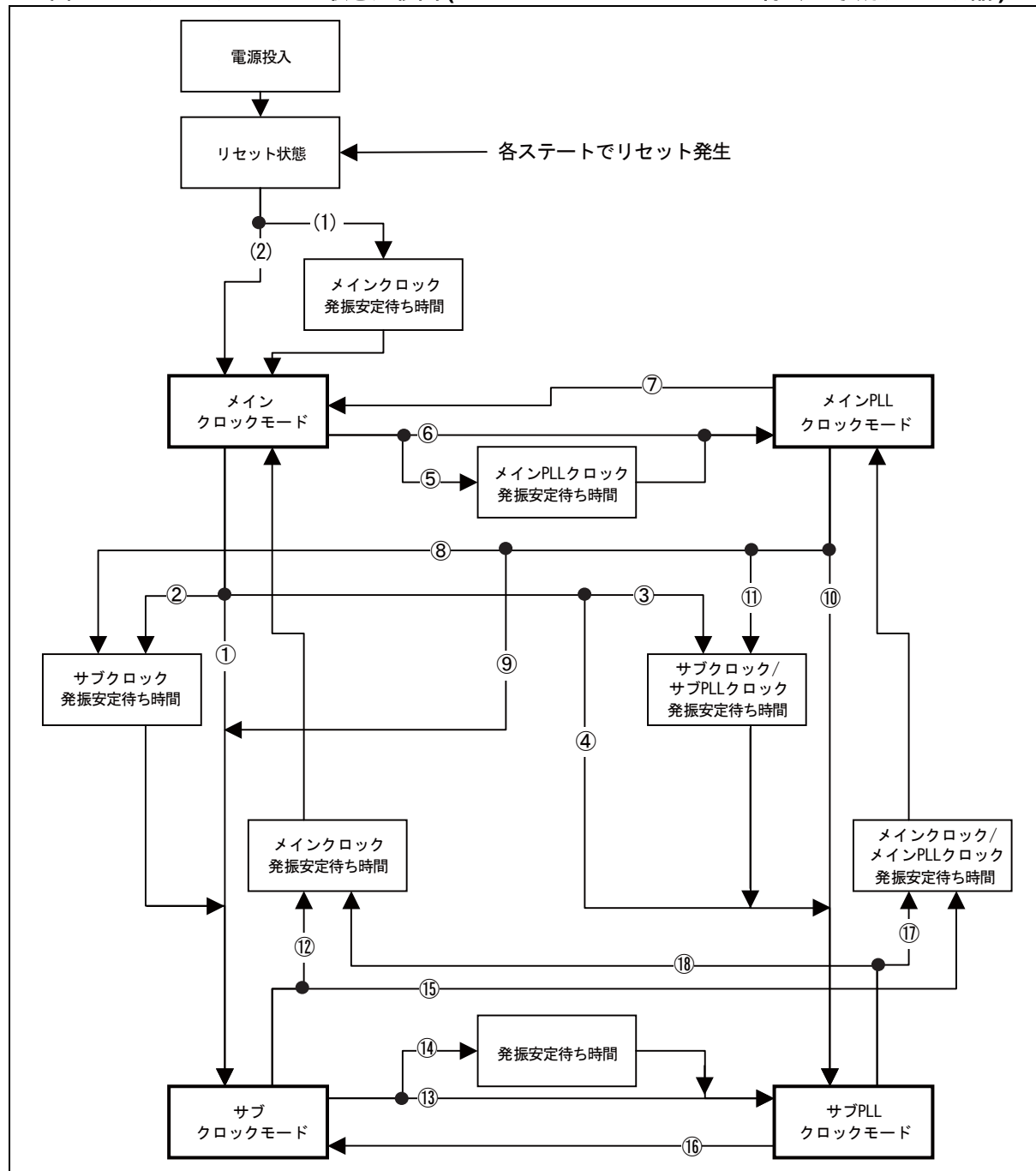


図 6.7-2 クロックモードの状態遷移図 (MB95F116MAW/F116NAW)

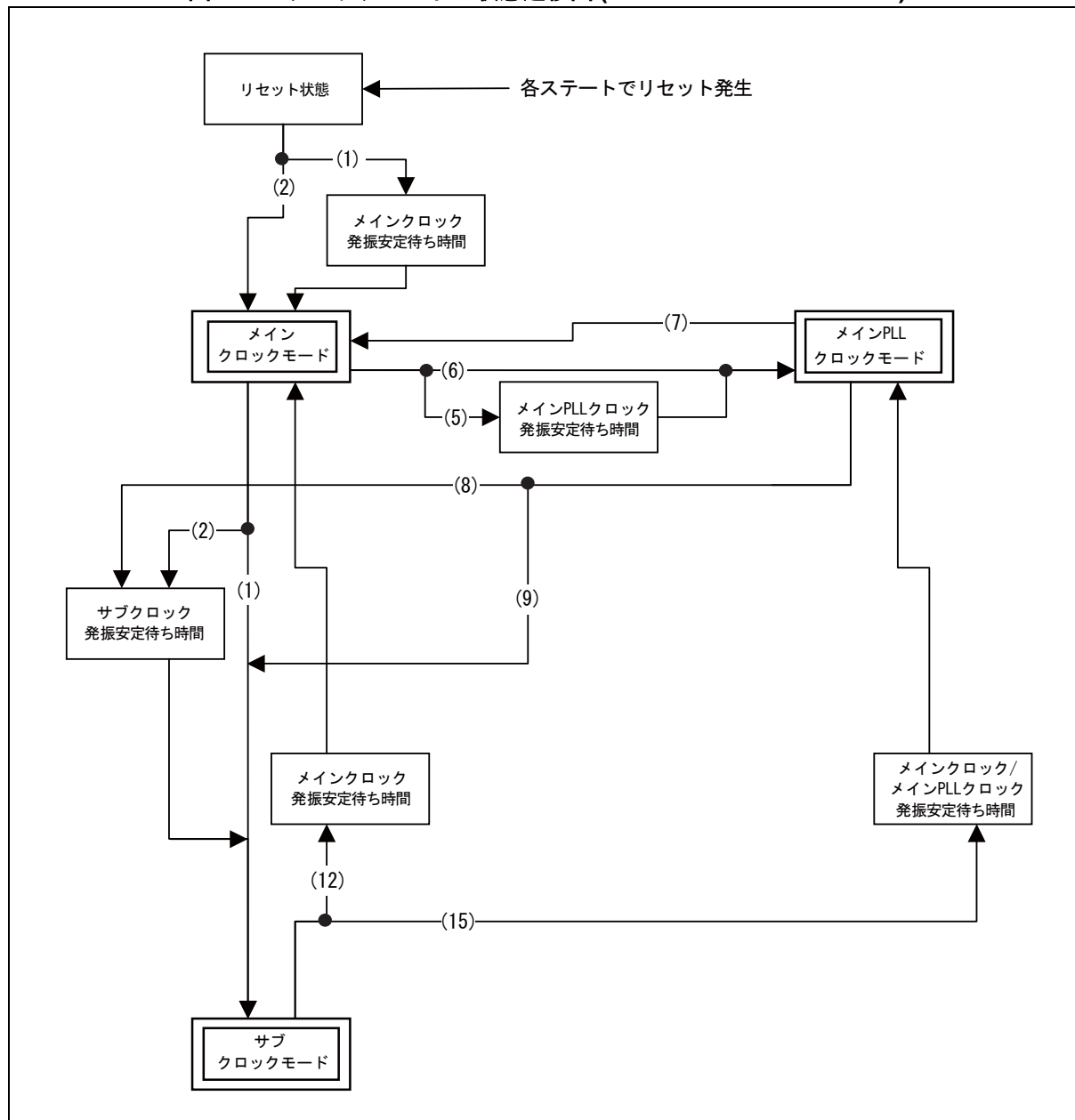


図 6.7-3 クロックモードの状態遷移図 (1 系統クロック品)

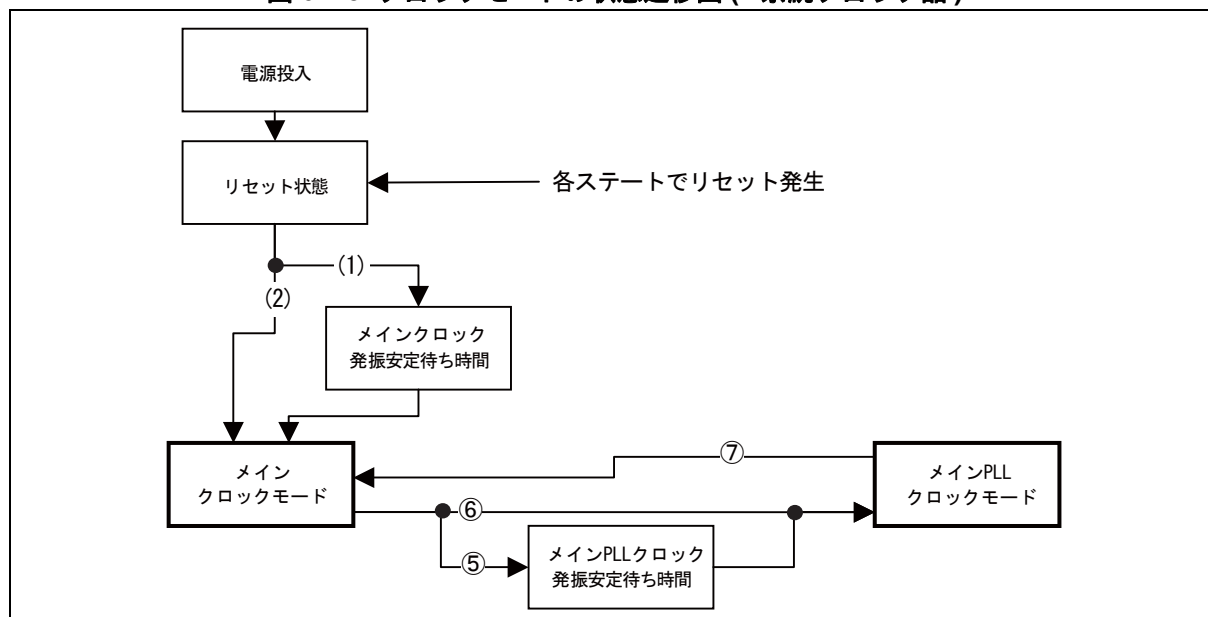


表 6.7-1 クロックモードの状態遷移表 (1 / 2)

	現在の状態	次の状態	説明
(1)	リセット 状態	メイン クロック	リセット後、メインクロック発振安定待ち時間の経過を待ってからメインクロックモードに遷移します。ただし、リセット前の状態がメインクロックモードまたはメイン PLL クロックモードの場合で、ウォッチドッグリセット、ソフトウェアリセットまたは外部リセットの場合はメインクロック発振安定待ち時間の経過を待ちません。
(2)			
	メイン クロック	サブ クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "00 _B " を設定すると、サブクロックモードに移行します。 ただし、メインクロックモードの状態で、システムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUSBS) の設定によりサブクロックが停止していた場合、または電源投入直後でサブクロック発振安定待ち時間がまだ完了していなかった場合は、サブクロック発振安定待ち時間の経過を待ってからサブクロックモードに遷移します。
		サブ PLL クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "01 _B " を設定すると、サブ PLL クロック発振安定待ち時間の経過を待ってからサブ PLL クロックモードに移行します。ただし、メインクロックモードの状態で PLL 制御レジスタのサブ PLL クロック発振許可ビット (PLLC:SPEN) の設定によりサブ PLL クロックが発振している場合、サブ PLL クロック発振安定待ち時間の経過を待ちません。また、メインクロックモードの状態で、システムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUSBS) の設定によりサブクロックが停止している場合、または電源投入直後でサブクロック発振安定待ち時間がまだ完了していなかった場合は、サブクロック発振安定待ち時間の経過を待ってからサブ PLL クロックモードに遷移します。 サブクロック発振安定待ち時間とサブ PLL クロック発振安定待ち時間の両方の経過を待つ場合、いずれか長い方の時間の経過を待ちます。
		メイン PLL クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "11" を設定すると、メイン PLL クロック発振安定待ち時間の経過を待ってからメイン PLL クロックモードに移行します。ただし、PLL 制御レジスタのメイン PLL クロック発振許可ビット (PLLC:MPEN) の設定によりメイン PLL クロックが発振している場合、メイン PLL クロック発振安定待ち時間の経過を待ちません。

表 6.7-1 クロックモードの状態遷移表 (2 / 2)

	現在の状態	次の状態	説明
	メイン PLL クロック	メイン クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "10 _B " を設定すると、メインクロックモードに移行します。
		サブ クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "00 _B " を設定すると、サブクロックモードに移行します。 メインPLLクロックモードの状態、システムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUS) の設定によりサブクロックが停止していた場合、または電源投入直後でサブクロック発振安定待ち時間がまだ完了していなかった場合は、サブクロック発振安定待ち時間の経過を待ってからサブクロックモードに遷移します。
		サブ PLL クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "01 _B " を設定すると、サブ PLL クロック発振安定待ち時間の経過を待ってからサブ PLL クロックモードに移行します。ただし、メイン PLL クロックモードの状態、PLL 制御レジスタのサブ PLL クロック発振許可ビット (PLLC:SPEN) の設定によりサブ PLL クロックが発振している場合、サブ PLL クロック発振安定待ち時間の経過を待ちません。
			メインPLLクロックモードの状態、システムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUS) の設定によりサブクロックが停止していた場合、または電源投入直後でサブクロック発振安定待ち時間がまだ完了していなかった場合は、サブクロック発振安定待ち時間の経過を待ってからサブ PLL クロックモードに遷移します。 サブクロック発振安定待ち時間とサブ PLL クロック発振安定待ち時間の両方の経過を待つ場合、いずれか長い方の時間の経過を待ちます。
	サブ クロック	メイン クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "10 _B " を設定すると、メインクロック発振安定待ち時間の経過を待ってからメインクロックモードに移行します。
		サブ PLL クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "01 _B " を設定すると、サブ PLL クロック発振安定待ち時間の経過を待ってからサブ PLL クロックモードに移行します。ただし、サブクロックモードの状態、PLL 制御レジスタのサブ PLL クロック発振許可ビット (PLLC:SPEN) の設定によりサブ PLL クロックが発振している場合、サブ PLL クロック発振安定待ち時間の経過を待ちません。
		メイン PLL クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "11 _B " を設定すると、メイン PLL クロック発振安定待ち時間またはメインクロック発振安定待ち時間のいずれか長い方の時間の経過を待ってからメイン PLL クロックモードに移行します。
	サブ PLL クロック	サブ クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "00 _B " を設定すると、サブクロックモードに移行します。
		メイン PLL クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "11 _B " を設定すると、メイン PLL クロック発振安定待ち時間またはメインクロック発振安定待ち時間のいずれか長い方の時間の経過を待ってからメイン PLL クロックモードに移行します。
		メイン クロック	システムクロック制御レジスタのシステムクロック選択ビット (SYCC:SCS1, SCS0) に "10 _B " を設定すると、メインクロック発振安定待ち時間の経過を待ってからメインクロックモードに移行します。

6.8 低消費電力モード (スタンバイモード) の動作

スタンバイモードには、スリープモード、ストップモード、タイムベースタイマモードおよび時計モードがあります。

■ スタンバイモードの移行と復帰の概要

スタンバイモードには、スリープモード、ストップモード、タイムベースタイマモードおよび時計モードがあります。スタンバイモードへはスタンバイ制御レジスタ (STBC) の設定によって移行します。

スタンバイモードの解除は、割込み、またはリセットにより行われ、通常動作に移行するとき、必要に応じて発振安定待ち時間の経過を自動的に待ちます。

リセットによりスタンバイモードから復帰する場合は、クロックモードはメインクロックモードに戻りますが、割込みによりスタンバイモードから復帰する場合、スタンバイモードに入る前のクロックモードに復帰します。

■ スタンバイモード時の端子の状態

スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) によって、ストップモード、タイムベースタイマモードおよび時計モード時の I/O ポート / 周辺機能端子の状態を直前の状態保持またはハイインピーダンスに設定できます。

スタンバイモード時の全端子の状態については、「付録 D MB95110B/M シリーズの端子状態」を参照してください。

6.8.1 スタンバイモード使用上の注意

スタンバイ制御レジスタ (STBC) にスタンバイモードを設定しても、周辺機能から割り込み要求が発生しているとスタンバイモードに移行しません。また、割り込みによってスタンバイモードから通常動作状態へ復帰する場合は、割り込み要求が受け付けられるかどうかによって復帰後の動作が異なります。

■ スタンバイモード設定を行う命令の直後に NOP 命令を 3 命令以上入れてください

スタンバイ制御レジスタに設定した後、スタンバイモードへ移行するまでに 4 マシンクロックの時間が必要となります。その間、CPU はプログラムを実行します。このスタンバイ移行までのプログラム実行を回避するために、スタンバイ移行命令の直後に NOP 命令を 3 命令以上入れてください。

NOP 命令以外を配置しても正常に動作しますが、その場合は、スタンバイモード解除後に実行するはずの命令がスタンバイモードに入る前に実行される可能性があることと、命令実行の途中でスタンバイモードに入り、スタンバイ解除後に途中から再開 (命令実行サイクル数が延長) される可能性があることに注意してください。

■ スタンバイモード設定前にクロックモードの移行が完了していることを確認してください

スタンバイモードの設定は、システムクロック制御レジスタのクロックモードモニタビット (SYCC:SCM1, SCM0) とクロックモード設定ビット (SYCC:SCS1, SCS0) の値を比較してクロックモードの移行が完了していることを確認した後に行ってください。

■ 割り込み要求によりスタンバイモードへの移行が抑止されることがあります

スタンバイモードの設定を行うとき、割り込みレベルが "11_B" より強い割り込み要求が発生しているとスタンバイ制御レジスタへの書込みは無視され、スタンバイモードへ移行せずに命令の実行を続けます。割り込み処理後にも、スタンバイモードへの移行はしません。

この動作は CPU のコンディションコードレジスタの割り込み許可フラグ (CCR:I) とコンディションコードレジスタの割り込みレベルビット (CCR:IL1, IL0) がその割り込みを許可しない設定になっている場合も同様です。

■ スタンバイモードは CPU が割り込みを受け付けられない場合も解除されます

スタンバイモード中に割り込みレベルが "11_B" より強い割り込み要求が発生すると、CPU のコンディションコードレジスタの割り込み許可フラグ (CCR:I) とコンディションコードレジスタの割り込みレベルビット (CCR:IL1, IL0) の設定に関係なく、スタンバイモードは解除されます。

解除後は、CPU のコンディションコードレジスタの設定が割り込みを受け付けられる状態のときは割り込み処理を実行し、受け付けられないときは、スタンバイモードに移行する直前に実行した命令の次の命令から処理を実行します。

■ スタンバイモードの状態遷移図

図 6.8-1 と図 6.8-2 にスタンバイモードの状態遷移図を示します。

図 6.8-1 スタンバイモードの状態遷移図(2 系統クロック品)

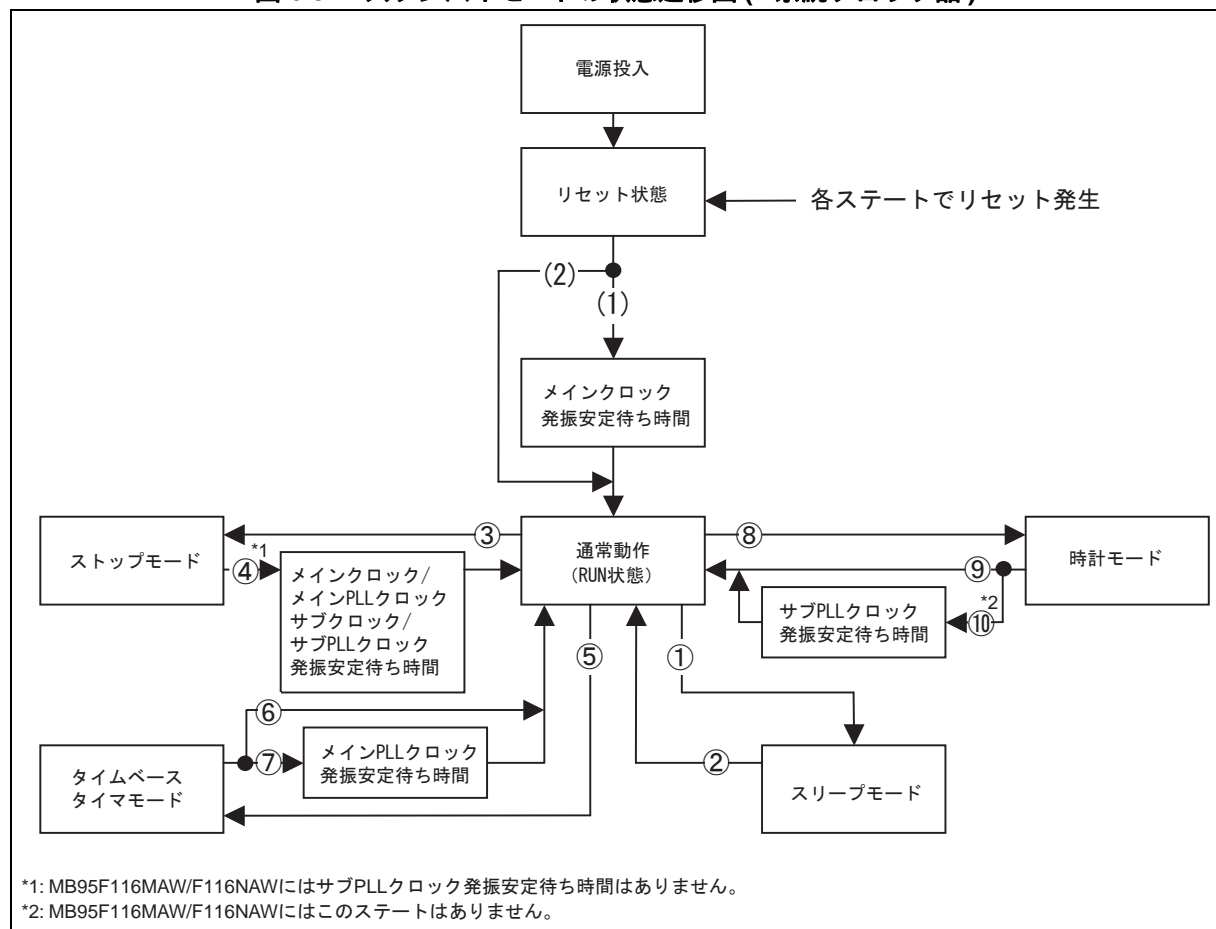


図 6.8-2 スタンバイモードの状態遷移図(1 系統クロック品)

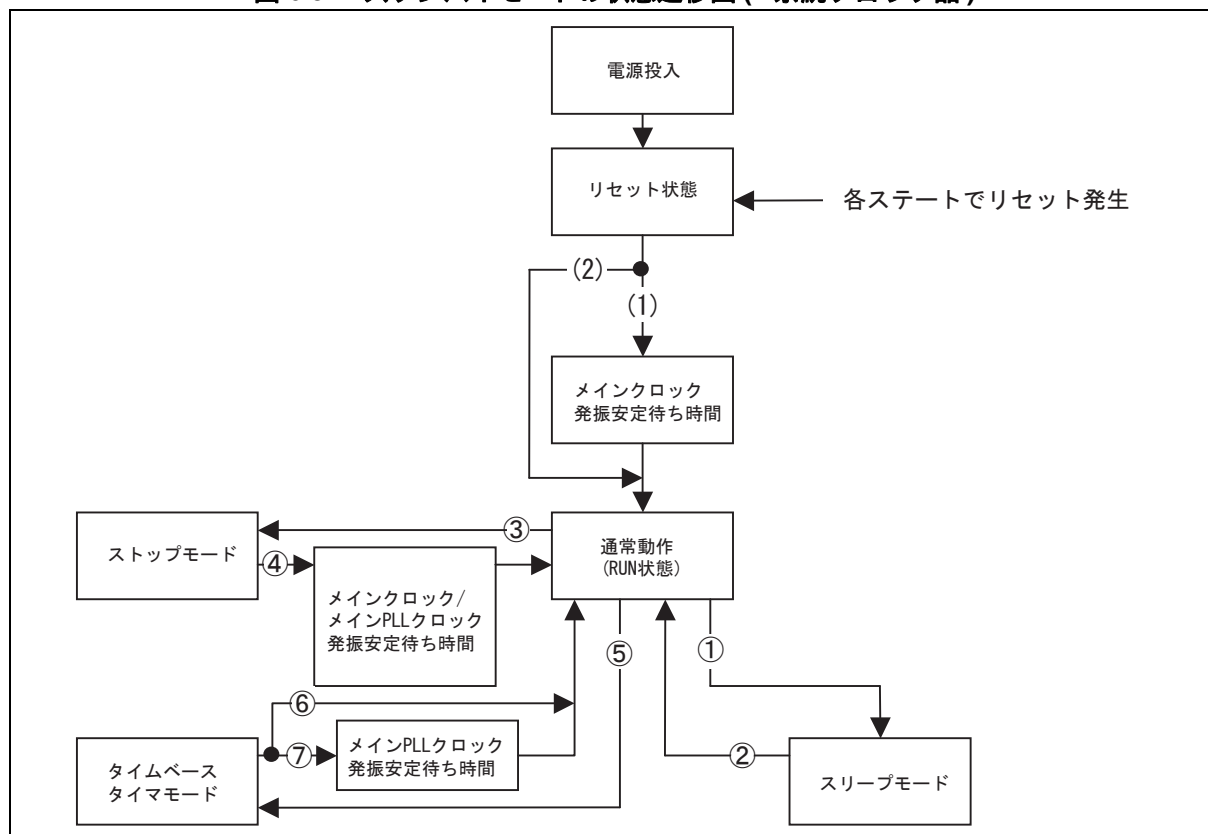


表 6.8-1 状態遷移図 (スタンバイモードへの移行と解除)

	状態遷移	説明
(1)	リセット状態から通常動作	リセット後、メインクロックモードに遷移します。 パワーオンリセットの場合、常にメインクロック発振安定待ち時間の経過を待ちます。
(2)		リセット前のクロックモードがサブクロックモードまたはサブ PLL クロックモードの場合、メインクロック発振安定待ち時間の経過を待ちます。また、スタンバイモードがストップモードの場合にもメインクロック発振安定待ち時間の経過を待ちます。 リセット前のクロックモードがメインクロックモードまたはメイン PLL クロックモードで、スタンバイモードがストップモード以外の場合に、ウォッチドッグリセット、ソフトウェアリセットまたは外部リセットでリセット状態に遷移した場合は、メインクロック発振安定待ち時間の経過を待ちません。
	スリープモード	スタンバイ制御レジスタのスリープビット (STBC:SLP) に "1" を書き込むとスリープモードに移行します。 周辺機能からの割り込みにより RUN 状態に復帰します。
	ストップモード	スタンバイ制御レジスタのストップビット (STBC:STP) に "1" を書き込むとストップモードに移行します。
		外部割り込みにより、クロックモードに応じた必要な発振安定待ち時間の経過を待ってから RUN 状態に復帰します。 PLL 発振安定待ち時間の経過を待つ場合、対応する発振安定待ち時間と PLL 発振安定待ち時間の長い方の時間の経過を待ちます。
	タイムベースタイマモード	メインクロックモードおよびメイン PLL クロックモードで、スタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むとタイムベースタイマモードに移行します。
		タイムベースタイマの割り込み、時計プリスケアラ、時計カウンタの割り込みまたは外部割り込みにより、RUN 状態に復帰します。
		メイン PLL クロックモードの場合、メイン PLL クロック発振安定待ち時間の経過を待ちます。ただし、メイン PLL クロックモードであっても PLL 制御レジスタのメイン PLL 発振許可ビット (PLLC:MPEN) が "1" に設定されていた場合はメイン PLL クロック発振安定待ち時間の経過を待ちません。
	時計モード	サブクロックモードまたはサブ PLL クロックモードで、スタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むと時計モードに移行します。
		時計プリスケアラ、時計カウンタの割り込みまたは外部割り込みにより、通常動作に復帰します。
		サブ PLL クロックモードの場合、サブ PLL クロック発振安定待ち時間の経過を待ちます。ただし、サブ PLL クロックモードであっても PLL 制御レジスタのサブ PLL 発振許可ビット (PLLC:SPEN) が "1" に設定されていた場合はサブ PLL クロック発振安定待ち時間の経過を待ちません。

6.8.2 スリープモード

スリープモードは CPU とウォッチドッグタイマの動作を停止させます。

■ スリープモードの動作

スリープモードは CPU とウォッチドッグタイマの動作クロックを停止させます。CPU はスリープモード移行直前のレジスタと RAM の内容を保持して停止しますが、ウォッチドッグタイマを除く周辺機能は動作を続けます。

- スリープモードへの移行

スタンバイ制御レジスタのスリープビット (STBC:SLP) に "1" を書き込むことにより、スリープモードに移行します。

- スリープモードの解除

スリープモードは、リセットまたは周辺機能からの割込みによって解除されます。

6.8.3 ストップモード

ストップモードは、メインクロックを停止させます。

■ ストップモードの動作

ストップモードはメインクロックを停止させます。ストップモード移行直前のレジスタおよびRAMの内容を保持して、外部割込みと低電圧検出リセットを除くすべての機能が停止します。

メインクロックモード、およびメインPLLクロックモードの場合、システムクロック制御レジスタのサブクロック発振停止ビット(SYCC:SUBS)の設定によりサブクロックの発振/停止ができます。サブクロックが発振する場合、時計プリスケアラと時計カウンタは動作します。

● ストップモードへの移行

スタンバイ制御レジスタのストップビット(STBC:STP)に"1"を書き込むことにより、ストップモードに移行します。このとき、スタンバイ制御レジスタの端子状態指定ビット(STBC:SPL)が"0"の場合には外部端子の状態を保持し、"1"の場合には外部端子の状態はハイインピーダンスになります(プルアップ設定レジスタでプルアップ抵抗ありを選択している端子はプルアップ状態になります)。

メインクロックモード、およびメインPLLクロックモードの場合、割込みによるストップモード解除後のメインクロック発振安定待ち中にタイムベースタイマの割込み要求が発生することがあります。タイムベースタイマの割込みインターバル時間がメインクロック発振安定待ち時間より短い場合は、ストップモードへ移行する前に必ずタイムベースタイマの割込み要求出力を禁止して、予想外の割込み発生を抑止することをお勧めします。

サブクロックモード、サブPLLクロックモードでストップモードへ移行する場合も同様に、時計プリスケアラの時計割込み要求出力を禁止することをお勧めします。

● ストップモードの解除

ストップモードはリセットまたは外部割込みによって解除されます。

メインクロックモード、およびメインPLLクロックモードの場合、システムクロック制御レジスタのサブクロック発振停止ビット(SYCC:SUBS)の設定によりサブクロックの発振/停止ができます。サブクロックが発振する場合、時計プリスケアラと時計カウンタの割込みによりストップモードを解除することも可能です。

< 注意事項 >

ストップモードが割込みによって解除されると、動作途中でストップモードとなった周辺機能は動作を途中から再開します。このため、インターバルタイマ機能の初回のインターバル時間などが不定となります。ストップモードからの復帰後、必要に応じて各周辺機能を初期化してください。

6.8.4 タイムベースタイマモード

タイムベースタイマモードは、メインクロック発振、サブクロック発振、タイムベースタイマおよび時計プリスケアラのみを動作させます。CPU と周辺機能の動作クロックは停止します。

■ タイムベースタイマモードの動作

タイムベースタイマモードはタイムベースタイマ以外へのメインクロックの供給を停止させるモードです。タイムベースタイマモードへ移行直前のレジスタおよび RAM の内容を保持して、タイムベースタイマ、外部割込みと低電圧検出リセットを除くすべての機能が停止します。

システムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUBS) の設定によりサブクロックの発振 / 停止ができます。サブクロックが発振する場合、時計プリスケアラと時計カウンタは動作します。

● タイムベースタイマモードへの移行

システムクロック制御レジスタのシステムクロックモニタビット (SYCC:SCM1, SCM0) が "10_B" または "11_B" の場合、スタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むことにより、タイムベースタイマモードに移行します。

タイムベースタイマモードへは、メインクロックモードおよびメインPLLクロックモードのときのみ移行できます。

タイムベースタイマモードに移行するとき、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "0" の場合には外部端子の状態を保持し、"1" の場合には外部端子の状態をハイインピーダンス (プルアップ設定レジスタで "プルアップ抵抗あり" を選択している端子はプルアップ状態) になります。

● タイムベースタイマモードの解除

タイムベースタイマモードは、リセット、タイムベースタイマ割込み、または外部割込みによって解除されます。

システムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUBS) の設定によりサブクロックの発振 / 停止ができます。サブクロックが発振する場合、時計プリスケアラと時計カウンタの割込みによりタイムベースタイマモードを解除できます。

< 注意事項 >

タイムベースタイマモードが割込みによって解除されると、動作途中でタイムベースタイマモードとなった周辺機能は動作を途中から再開します。このため、インターバルタイマ機能の初回のインターバル時間などが不定となります。タイムベースタイマモードからの復帰後、必要に応じて各周辺機能を初期化してください。

6.8.5 時計モード

時計モードは、サブクロックと時計プリスケアラのみを動作させます。CPU と周辺回路の動作クロックは停止します。

■ 時計モードの動作

時計モードは CPU と周辺回路の動作クロックを停止させます。時計モード移行直前のレジスタおよび RAM の内容を保持して、時計プリスケアラ、時計カウンタ、外部割込みと低電圧検出リセットを除くすべての機能が停止します。

● 時計モードへの移行

システムクロック制御レジスタのシステムクロックモニタビット (SYCC:SCM1, SCM0)が"00_B"または"01_B"の場合、スタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むことにより時計モードに移行します。

時計モードへは、サブクロックモード、サブPLL クロックモードのときのみ移行できます。時計モードに移行するとき、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "0" の場合には外部端子の状態を保持し、"1" の場合には外部端子の状態をハイインピーダンス(プルアップ設定レジスタでプルアップ抵抗ありを選択している端子はプルアップ状態)になります。

● 時計モードの解除

時計モードは、リセット、時計割込みおよび外部割込みによって解除されます。

< 注意事項 >

時計モードが割込みによって解除されると、動作途中で時計モードとなった周辺機能は動作を途中から再開します。このため、インターバルタイマ機能の初回のインターバル時間などが不定となります。時計モードからの復帰後、必要に応じて各周辺機能を初期化してください。

6.9 クロック発振回路

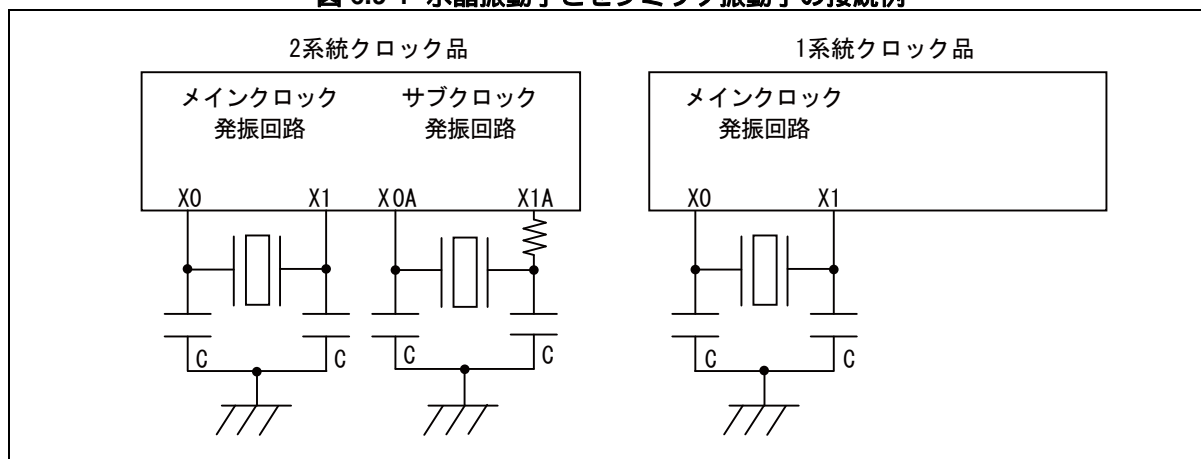
クロック発振回路は、クロック発振端子に振動子を接続するか、クロック信号を入力することで内部クロックを生成します。

■ クロック発振回路

- 水晶振動子またはセラミック振動子の場合

図 6.9-1 のように接続してください。

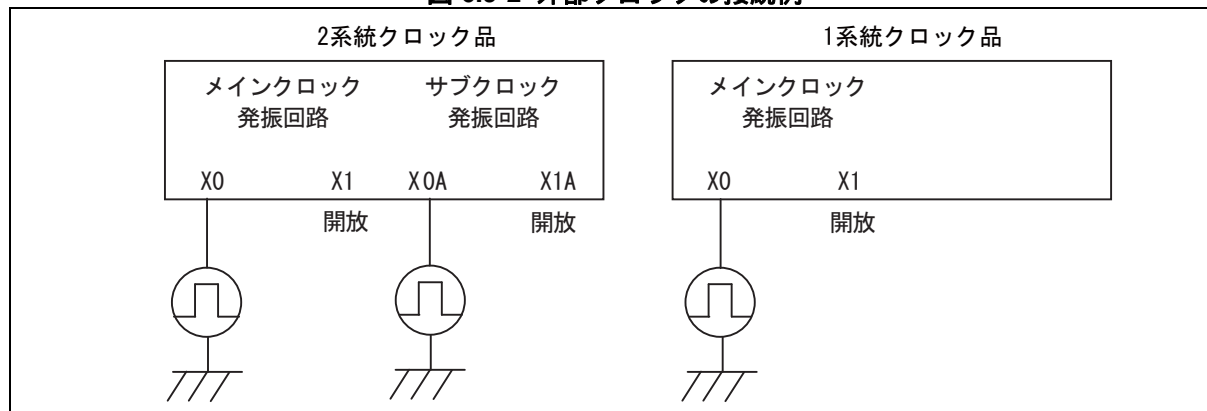
図 6.9-1 水晶振動子とセラミック振動子の接続例



- 外部クロックの場合

図 6.9-2 のように外部クロックは X0 端子に接続し、X1 端子は開放にしてください。また、サブクロックを外部から供給する場合、外部クロックは X0A 端子に接続し、X1A 端子は開放にしてください。

図 6.9-2 外部クロックの接続例



< 注意事項 >

2 系統クロック品で，サブクロック発振を使用せずにメインクロックだけを使用した場合，何らかの理由でサブクロックモードに陥るとクロック供給がないため動作を回復する方法がありません。したがって，メインクロックのみを使用する場合，必ず 1 系統クロック品を選択してください。

6.10 プリスケーラの概要

プリスケーラは、マシンのクロック (MCLK) とタイムベースタイマから出力されるカウントクロックより、各周辺機能へ供給するカウントクロックソースを生成します。

■ プリスケーラ

プリスケーラは、CPU の動作するマシンのクロック (MCLK) とタイムベースタイマから出力されるカウントクロック ($2^7/F_{CH}$ および $2^8/F_{CH}$) より、各周辺機能へ供給するカウントクロックソースを生成します。このカウントクロックソースは、プリスケーラで分周されたクロックもしくはバッファされたクロックであり、以下の周辺機能がこのプリスケーラのクロックをカウントクロックソースとして使用しています。

なお、本プリスケーラには制御用のレジスタはなく、マシンのクロック (MCLK) およびタイムベースタイマのカウントクロック ($2^7/F_{CH}$ および $2^8/F_{CH}$) にて常に動作します。

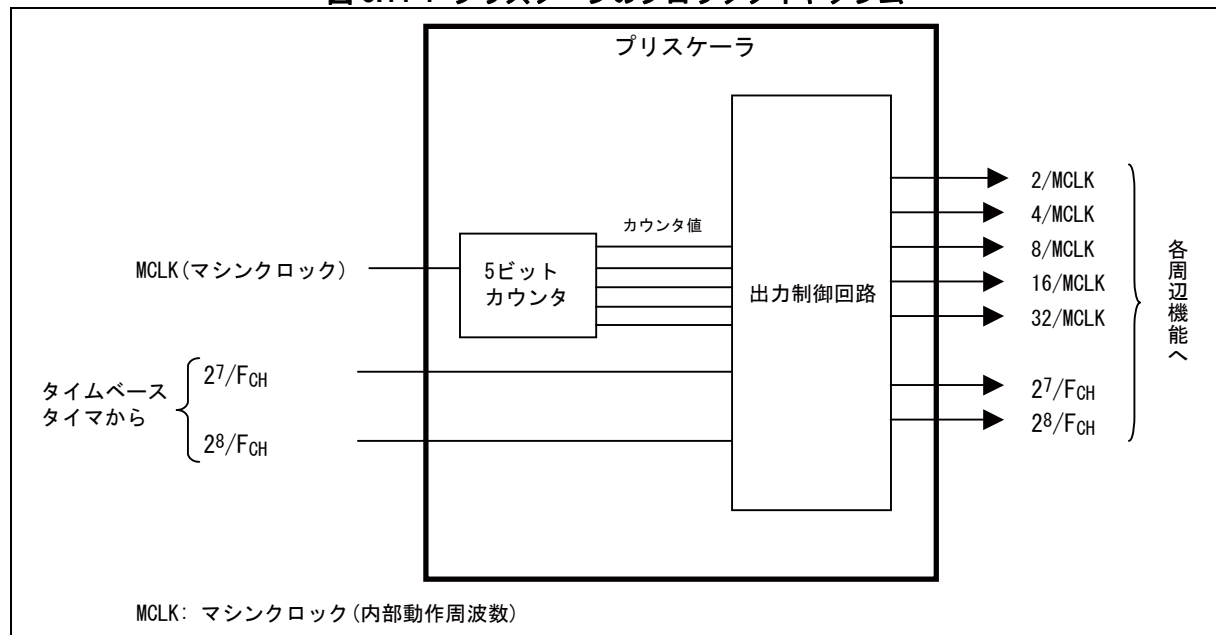
- 8/16 ビット複合タイマ 0, 1
- 8/16 ビット PPG タイマ 0, 1
- 16 ビット PPG タイマ 0
- UART/SIO 専用ボーレートジェネレータ 0
- 8/10 ビット A/D コンバータ

6.11 プリスケーラの構成

図 6.11-1 に、プリスケーラのブロックダイアグラムを示します。

■ プリスケーラのブロックダイアグラム

図 6.11-1 プリスケーラのブロックダイアグラム



- 5 ビットカウンタ

マシニングロック (MCLK) を 5 ビットカウンタでカウントし、出力制御回路へカウント値を出力します。

- 出力制御回路

5 ビットカウンタのカウント値を基に、マシニングロック (MCLK) を 2 分周、4 分周、8 分周、16 分周、32 分周したクロックを各周辺機能へ供給します。また、タイムベースタイマ ($2^7/F_{CH}$, $2^8/F_{CH}$) からのクロックをバッファリングして各周辺機能へ供給します。

■ 入力クロック

プリスケーラは、マシニングロックまたはタイムベースタイマの出力クロックを入力クロックとして使用します。

■ 出力クロック

プリスケーラは 8/10 ビット複合タイマ、8/16 ビット PPG タイマ、16 ビット PPG タイマ、UART/SIO 専用ボーレートジェネレータ、8/10 ビット A/D コンバータにクロックを供給しています。

6.12 プリスケアラの動作説明

プリスケアラは、各周辺機能へ供給するカウントクロックソースを生成します。

■ プリスケアラの動作

プリスケアラは、マシンのクロック (MCLK) の分周クロック、およびタイムベースタイマ ($2^7/F_{CH}$, $2^8/F_{CH}$) のバッファ信号からカウントクロックソースを生成して各周辺機能へ供給します。また、マシンのクロックおよびタイムベースタイマのクロックが供給されている間は常に動作します。

表 6.12-1 に、プリスケアラの生成するカウントクロックソースを示します。

表 6.12-1 プリスケアラの生成するカウントクロックソース

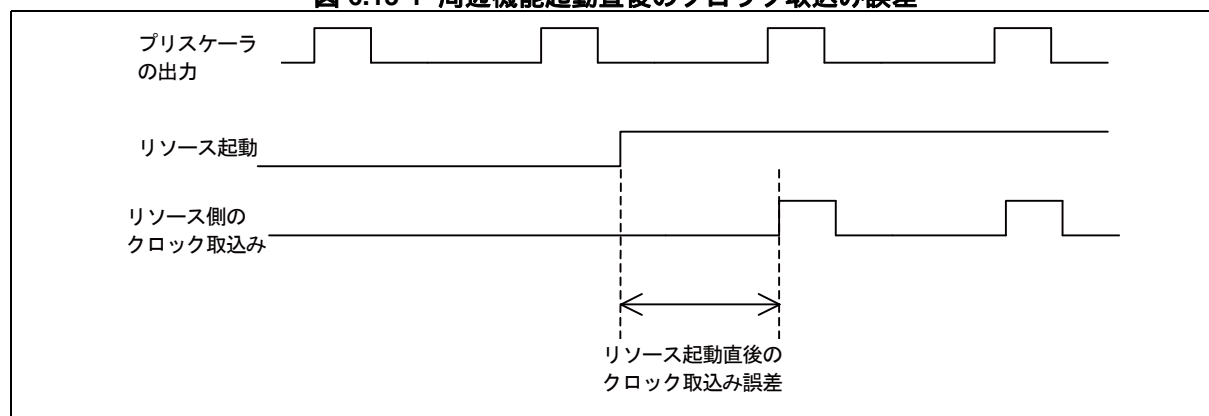
カウントクロック ソース周期	周期 ($F_{CH}=10\text{MHz}$, MCLK=10MHz 時)		周期 ($F_{CH}=16\text{MHz}$, MCLK=16MHz 時)		周期 ($F_{CH}=16.25\text{MHz}$, MCLK=16.25MHz 時)	
2/MCLK	MCLK/2	(5MHz)	MCLK/2	(8MHz)	MCLK/2	(8.125MHz)
4/MCLK	MCLK/4	(2.5MHz)	MCLK/4	(4MHz)	MCLK/4	(4.0625MHz)
8/MCLK	MCLK/8	(1.25MHz)	MCLK/8	(2MHz)	MCLK/8	(2.0313MHz)
16/MCLK	MCLK/16	(0.625MHz)	MCLK/16	(1MHz)	MCLK/16	(1.0156MHz)
32/MCLK	MCLK/32	(0.3125MHz)	MCLK/32	(0.5MHz)	MCLK/32	(0.5078MHz)
$2^7/F_{CH}$	$F_{CH}/2^7$	(78kHz)	$F_{CH}/2^7$	(125kHz)	$F_{CH}/2^7$	(127kHz)
$2^8/F_{CH}$	$F_{CH}/2^8$	(39kHz)	$F_{CH}/2^8$	(62.5kHz)	$F_{CH}/2^8$	(63.5kHz)

6.13 プリスケアラ使用上の注意

プリスケアラ使用上の注意を以下に示します。

プリスケアラは、マシナクロックおよびタイムベースタイマのクロックにより動作し、クロックが供給されている間は常に動作します。したがって、各周辺機能を起動した直後の動作は、プリスケアラの出力値によって、周辺機能側のクロック取込みに最大 1 クロックリソース分の誤差が発生します。

図 6.13-1 周辺機能起動直後のクロック取込み誤差



以下の機能は、プリスケアラのカウント値の影響を受けます。

- UART/SIO
- 8/16 ビット複合タイマ
- 8/16 ビット PPG
- 16 ビット PPG
- 8/10 ビット A/D コンバータ

第7章

リセット

リセット動作について説明します。

- 7.1 リセット動作
- 7.2 リセット要因レジスタ (RSRR)
- 7.3 リセット使用上の注意

7.1 リセット動作

CPU は、リセット要因が発生した場合、現在実行中の処理を直ちに中断してリセット解除待ち状態になります。リセットが解除されると、モードデータとリセットベクタを内部 ROM から読み出します (モードフェッチ)。電源投入時、サブクロックモード、サブPLL クロックモードおよびストップモードからのリセットによる復帰では、発振安定待ち時間が経過した後にモードフェッチを行います。

■ リセット要因

リセットには5つのリセット要因があります。

表 7.1-1 リセット要因

リセット要因	リセット条件
外部リセット	外部リセット端子に "L" レベルを入力する
ソフトウェアリセット	スタンバイ制御レジスタのソフトウェアリセットビット (STBC:SRST) に "1" を書き込む
ウォッチドッグリセット	ウォッチドッグタイマのオーバフロー
パワーオンリセット / 低電圧検出リセット	電源の投入。電源電圧が検出電圧より低下 (オプション)
クロックスーパバイザリセット	クロック発振の異常停止 (オプション)

● 外部リセット

外部リセット端子 ($\overline{\text{RST}}$) に "L" レベルを入力することによって、外部リセットが発生します。

外部から入力されたリセット信号は、内部のノイズフィルタを通して非同期で受け付けられてマシンのクロックに同期して、内部リセット信号を発生して内部回路を初期化します。したがって、内部回路の初期化のためにクロックが必要です。このため、外部クロックで動作させる場合、クロックを入力する必要があります。ただし、外部端子 (I/Oポートと周辺機能を含む) は非同期でリセットされます。また、外部リセット入力にはパルス幅の規格値があります。この規格値以下の場合、リセットが受け付けられない場合があります。

なお、規格値はデータシートに記載していますので、規格値を満足するように外部のリセット回路を設計してください。

● ソフトウェアリセット

スタンバイ制御レジスタのソフトウェアリセットビット (STBC:SRST) に "1" を書き込むことによってソフトウェアリセットが発生します。

● ウォッチドッグリセット

ウォッチドッグタイマの起動後、定められた時間内にウォッチドッグタイマのクリア操作が行われないとき、ウォッチドッグリセットが発生します。

● パワーオンリセット / 低電圧検出リセット (オプション)

電源投入によって、パワーオンリセットを発生します。

5V 品では低電圧検出リセット回路 (オプション) を搭載している品種があります。

低電圧検出リセット回路は、電源電圧が定められた電圧より低下したときにリセットを発生します。

低電圧検出リセットの論理機能はパワーオンリセットと同じです。本マニュアルのパワーオンリセットに関する記述はすべて低電圧検出リセットにも当てはまります。

低電圧検出リセットの詳細については「第 25 章 低電圧検出リセット回路」を参照してください。

● クロックスーパーバイザリセット (オプション)

5V 品ではクロックスーパーバイザ (オプション) を搭載している品種があります。

クロックスーパーバイザは、メインクロックとサブクロックを監視し、所定の状態遷移によらず、何らかの異常で発振が停止するとリセットを発生させます。リセット後、内蔵する CR 発振回路で発生するクロックを内部に供給します。

クロックスーパーバイザの詳細については「第 26 章 クロックスーパーバイザ」を参照してください。

■ リセット中の時間

ソフトウェアリセットとウォッチドッグリセットの場合、リセット中の時間はリセット前に選択しているマシクロック周波数の 1 マシクロックとリセット後初期設定マシクロック周波数 (メインクロック周波数の 1/32) の 2 マシクロックで合計 3 マシクロックとなります。ただし、このリセット中の時間は RAM アクセス中のリセットを抑止する RAM アクセス保護機能により、リセット前に選択している周波数のマシクロック単位で延長されることがあります。また、メインクロック発振安定待ち時間の経過を待つ場合、発振安定待ち時間の間、リセット中の時間はさらに延長されます。

外部リセットおよびリセットの場合も同様に RAM アクセス保護機能とメインクロック発振安定待ち時間の影響を受けます。

パワーオンリセット / 低電圧検出リセットの場合、リセットは発振安定待ち時間の間、継続します。

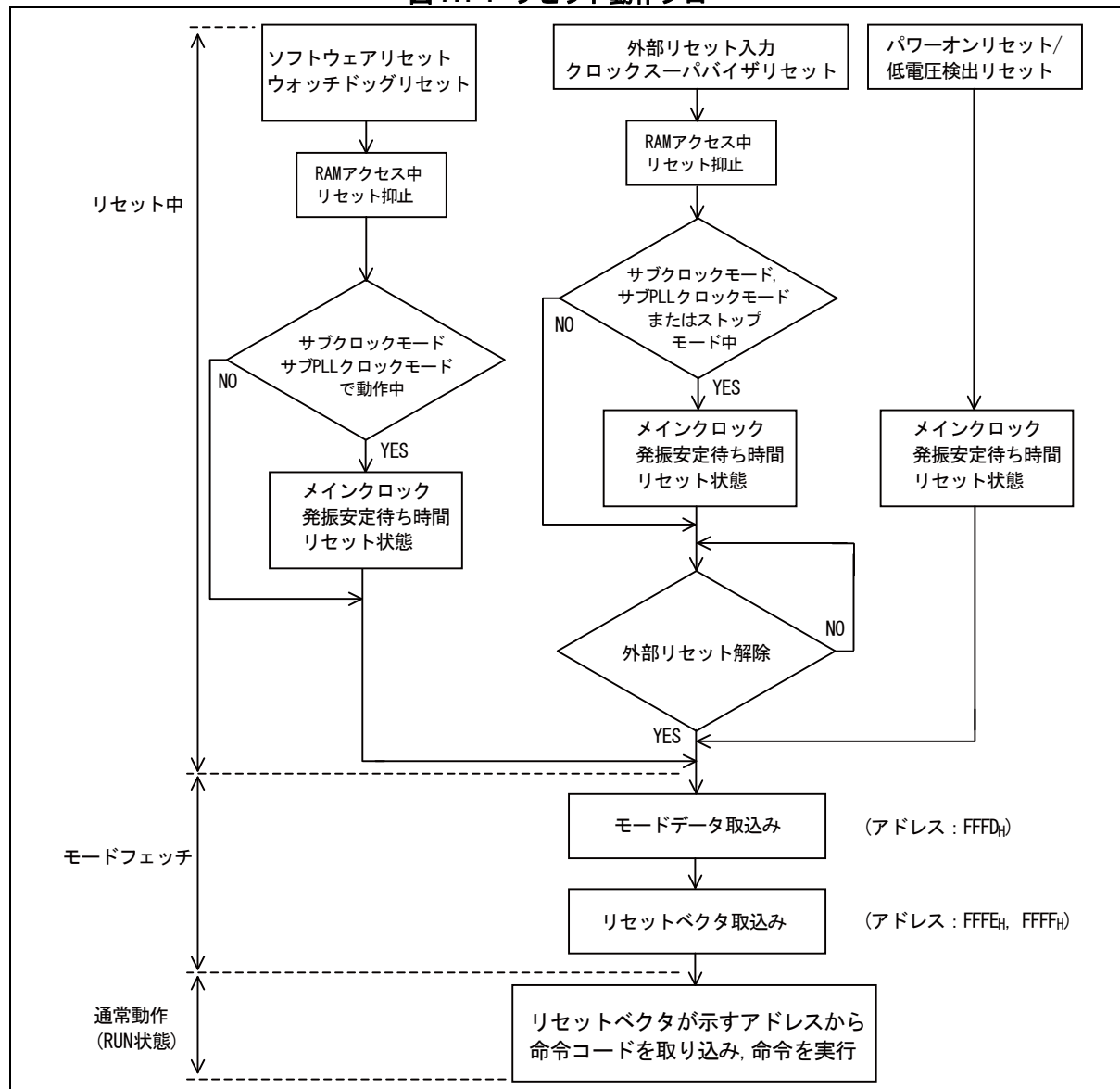
■ リセット出力

5V 品でリセット出力あり品 (詳細については、表 1.2-1 を参照) の $\overline{\text{RST}}$ 端子は、リセット中の時間の間、“L” レベルを出力します。ただし、外部リセットの場合、リセット端子は “L” レベルを出力しません。

3V 品と 5V 品のリセット出力なし品の $\overline{\text{RST}}$ 端子には出力機能はありません。

■ リセット動作の概要

図 7.1-1 リセット動作フロー



パワーオンリセット / 低電圧検出リセットの場合およびサブクロックモード中、サブPLLクロックモード中、ストップモード中のリセットの場合、モードフェッチは、メインクロック発振安定待ち時間が経過した後に実行されます。発振安定待ち時間が経過しても外部リセット入力解除されていなければ、外部リセット入力解除された後にモードフェッチを行います。

■ RAM 内容のリセットによる影響

リセットが発生すると、CPUは現在実行中の命令の動作を中断し、リセット状態になります。ただし、RAMアクセス実行中の場合は、RAMへのアクセス保護のため、RAMアクセス終了後、マシクロックに同期して内部リセット信号を発生します。この機能により、ワードデータの書き込み動作がリセットにより途中のバイトで中断されることが防止されます。

■ リセット中の端子の状態

リセットが発生するとリセット解除後，ソフトウェアによる設定が行われるまで，I/O
ポート / 周辺機能端子は，すべてハイインピーダンスになります。

< 注意事項 >

リセット時にハイインピーダンスとなる端子に対して，その端子に接続した機器が誤動作
しないようにプルアップ抵抗を接続するなどの対処をしてください。

リセット中の全端子の状態は「付録 D 端子状態」を参照してください。

7.2 リセット要因レジスタ (RSRR)

リセット要因レジスタは、リセットが発生した場合のリセット発生要因を示します。

■ リセット要因レジスタ (RSRR) の構成

図 7.2-1 リセット要因レジスタ (RSRR)

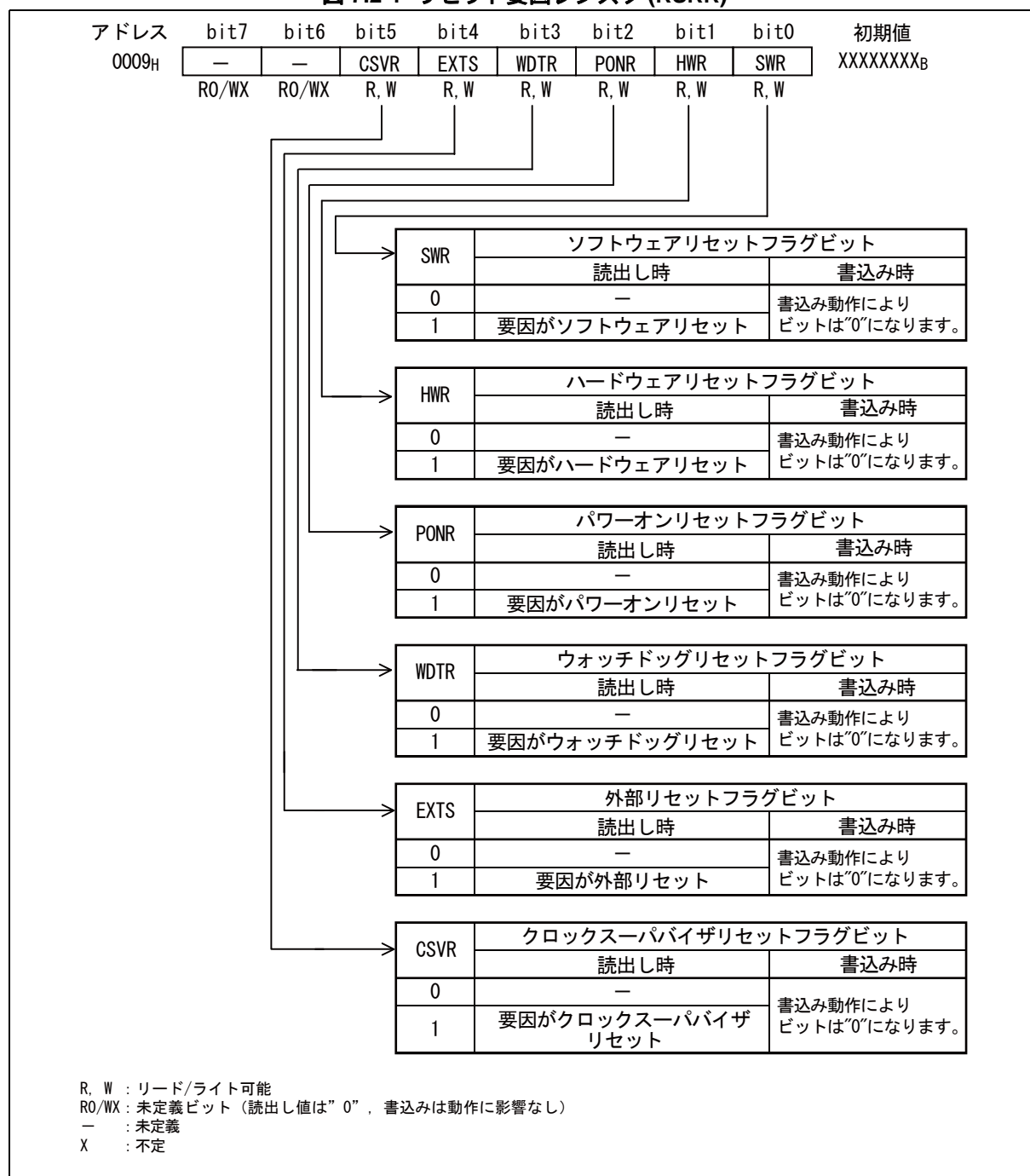


表 7.2-1 リセット要因レジスタ (RSRR) の各ビットの機能説明

ビット名		機能
bit7, bit6	未定義ビット	読出し時の値は常に "0" です。 このビットは読出し専用です。書込み値は動作に影響を与えません。
bit5	CSVR: クロックスーパーバイザリセット フラグビット	このビットが "1" になると、クロックスーパーバイザリセットが発生したことを示します。 それ以外では、クロックスーパーバイザリセット発生前の値を保持します。 • 読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。 • クロックスーパーバイザが搭載されていない品種は、このビット値は常に "0" です。 書込みは動作に影響を与えません。
bit4	EXTS: 外部リセット フラグビット	このビットが "1" になると、外部リセットが発生したことを示します。 それ以外では、リセット発生前の値を保持します。 • 読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。
bit3	WDTR: ウォッチドッグ リセットフラグ ビット	このビットが "1" になると、ウォッチドッグリセットが発生したことを示します。 それ以外では、リセット発生前の値を保持します。 • 読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。
bit2	PONR: パワーオン リセットフラグ ビット	このビットが "1" になると、パワーオンリセット / 低電圧検出リセット (オプション) が発生したことを示します。 それ以外では、リセット発生前の値を保持します。 • 低電圧検出リセット機能のありなしは品種の選択により決定します。 • 読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。
bit1	HWR: ハードウェア リセットフラグ ビット	このビットが "1" になると、ソフトウェアリセット以外のリセットが発生したことを示します。したがって、bit2 ~ bit5 のいずれかのビットが "1" になると、このビットも "1" になります。 それ以外では、リセット発生前の値を保持します。 • 読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。
bit0	SWR: ソフトウェア リセットフラグ ビット	このビットが "1" になると、ソフトウェアリセットが発生したことを示します。 それ以外では、リセット発生前の値を保持します。 • 読出し動作、書込み動作 (0 または 1) またはパワーオンリセットにより、ビットは "0" になります。

< 注意事項 >

リセット要因レジスタは、一度読み出すとクリアされるため、リセット要因レジスタの内容を演算に使用する場合は、RAM にリセット要因レジスタの内容を移してください。

■ リセット要因レジスタ (RSRR) の状態

表 7.2-2 リセット要因レジスタの状態

リセット要因	—	—	CSV	EXTS	WDTR	PONR	HWR	SWR
パワーオンリセット / 低電圧検出リセット	—	—	×	×	×	1	1	0
ソフトウェアリセット	—	—						1
ウォッチドッグリセット	—	—			1		1	
外部リセット	—	—		1			1	
クロックスーパバイザ リセット	—	—	1				1	

1 : フラグセット

: 前の状態を保持

× : 不定

CSV : 本ビットが "1" の場合、クロックスーパバイザリセットが発生したことを示します
(クロックスーパバイザオプションがない場合、常に "0" となります)。

EXTS : 本ビットが "1" の場合、外部リセットが発生したことを示します。

WDTR : 本ビットが "1" の場合、ウォッチドッグタイマリセットが発生したことを示します。

PONR : 本ビットが "1" の場合、パワーオンリセットもしくは低電圧検出リセット (オプション) が発生したことを示します。

HWR : 本ビットが "1" の場合、CSV/EXTS/WDTR/PONR のいずれかのリセット要因が発生したことを示します。

SWR : 本ビットが "1" の場合、ソフトウェアリセットが発生したことを示します。

7.3 リセット使用上の注意

リセットを使用する場合は、以下の点にご注意ください。

■ リセット使用上の注意

● クロックスーパーバイザのメインクロック停止検出ビットの初期化について

クロックスーパーバイザのメインクロック停止検出ビット (CSVCR:MM) は、パワーオンリセットおよび外部リセットのみで初期化されます。

ウォッチドッグリセット / ソフトウェアリセット / クロックスーパーバイザリセットでは初期化されません。そのため、CR クロックモードでこれらのリセットが発行されても、CR クロックモードを継続します。

● リセット要因によるレジスタおよびビットの初期化について

リセット要因によって、初期化されないレジスタやビットがあります。

リセット要因レジスタ (RSRR) はリセット要因によって初期化されるビットが異なります。

- クロックスーパーバイザのメインクロック停止検出ビット (CSVCR:MM) は、パワーオンリセット / 外部リセットのみで初期化されます。
- クロックスーパーバイザの CR 発振許可ビット (CSVCR:RCE) は、パワーオンリセット / 外部リセットのみで初期化されます。
- クロックスーパーバイザのメインクロック監視許可ビット (CSVCR:MSVE) は、パワーオンリセットのみで初期化されます。
- クロック制御部の発振安定待ち時間設定レジスタ (WATR) は、パワーオンリセットのみで初期化されます。

第8章

割込み

割込みについて説明します。

8.1 割込み

8.1 割込み

割込みについて説明します。

■ 割込みの概要

F²MC-8FX ファミリには、周辺機能に対応する 24 本の割込み要求入力があり、それぞれ独立に割込みレベルを設定できます。

周辺機能で割込み要求が発生した場合、割込み要求が割込みコントローラに出力されます。割込みコントローラは、その割込み要求の割込みレベルを判定し、CPU に割込みの発生を伝えます。CPU は割込みの受付状態に従って割込み動作を行います。また、割込み要求によりスタンバイモードが解除され、命令実行を再開します。

■ 周辺機能からの割込み要求

周辺機能に対応する割込み要求を表 8.1-1 に示します。割込みが受け付けられると、割込み要求に対応する割込みベクタテーブルアドレスの内容を分岐先のアドレスとして割込み処理ルーチンへ分岐します。

各割込み要求は、割込みレベル設定レジスタ (ILR0 ~ ILR5) によって割込み処理の優先順位を 4 段階に設定することができます。

割込み処理ルーチン実行中の同一レベル以下の割込み要求は、現在の割込み処理ルーチンが終了した後に処理されます。また、同一レベルに設定された割込み要求が同時に発生した場合の優先順位は、IRQ0 が最高になります。

表 8.1-1 割り込み要求と割り込みベクタ

割り込み要求	ベクタテーブルのアドレス		割り込みレベル設定 レジスタのビット名	同一レベル 優先順位 (同時発生時)
	上位	下位		
(リセットベクタ)	FFFE _H	FFFF _H	-	<div>高い</div> <div>↑</div> <div>↓</div> <div>低い</div>
(モードデータ)	-	FFFD _H	-	
IRQ0	FFFA _H	FFFB _H	L00 [1:0]	
IRQ1	FFF8 _H	FFF9 _H	L01 [1:0]	
IRQ2	FFF6 _H	FFF7 _H	L02 [1:0]	
IRQ3	FFF4 _H	FFF5 _H	L03 [1:0]	
IRQ4	FFF2 _H	FFF3 _H	L04 [1:0]	
IRQ5	FFF0 _H	FFF1 _H	L05 [1:0]	
IRQ6	FFEE _H	FFEF _H	L06 [1:0]	
IRQ7	FFEC _H	FFED _H	L07 [1:0]	
IRQ8	FFEA _H	FFEB _H	L08 [1:0]	
IRQ9	FFE8 _H	FFE9 _H	L09 [1:0]	
IRQ10	FFE6 _H	FFE7 _H	L10 [1:0]	
IRQ11	FFE4 _H	FFE5 _H	L11 [1:0]	
IRQ12	FFE2 _H	FFE3 _H	L12 [1:0]	
IRQ13	FFE0 _H	FFE1 _H	L13 [1:0]	
IRQ14	FFDE _H	FFDF _H	L14 [1:0]	
IRQ15	FFDC _H	FFDD _H	L15 [1:0]	
IRQ16	FFDA _H	FFDB _H	L16 [1:0]	
IRQ17	FFD8 _H	FFD9 _H	L17 [1:0]	
IRQ18	FFD6 _H	FFD7 _H	L18 [1:0]	
IRQ19	FFD4 _H	FFD5 _H	L19 [1:0]	
IRQ20	FFD2 _H	FFD3 _H	L20 [1:0]	
IRQ21	FFD0 _H	FFD1 _H	L21 [1:0]	
IRQ22	FFCE _H	FFCF _H	L22 [1:0]	
IRQ23	FFCC _H	FFCD _H	L23 [1:0]	

割り込み要因については、「付録 B 割り込み要因のテーブル」を参照してください。

8.1.1 割込みレベル設定レジスタ (ILR0 ~ ILR5)

割込みレベル設定レジスタ (ILR0 ~ ILR5) には、周辺機能からの割込み要求に対応した 2 ビットのデータが 24 組割り当てられています。これらの 2 ビットデータ (割込みレベル設定ビット) に、それぞれの割込みレベルを設定します。

■ 割込みレベル設定レジスタ (ILR0 ~ ILR5) の構成

図 8.1-1 割込みレベル設定レジスタの構成

レジスタ	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
ILR0	00079 _H	L03	[1:0]	L02	[1:0]	L01	[1:0]	L00	[1:0]	R/W 11111111 _B
ILR1	0007A _H	L07	[1:0]	L06	[1:0]	L05	[1:0]	L04	[1:0]	R/W 11111111 _B
ILR2	0007B _H	L11	[1:0]	L10	[1:0]	L09	[1:0]	L08	[1:0]	R/W 11111111 _B
ILR3	0007C _H	L15	[1:0]	L14	[1:0]	L13	[1:0]	L12	[1:0]	R/W 11111111 _B
ILR4	0007D _H	L19	[1:0]	L18	[1:0]	L17	[1:0]	L16	[1:0]	R/W 11111111 _B
ILR5	0007E _H	L23	[1:0]	L22	[1:0]	L21	[1:0]	L20	[1:0]	R/W 11111111 _B

割込みレベル設定レジスタは、各割込み要求に対して 2 ビットずつ割り当てられています。これらのレジスタに設定された割込みレベル設定ビットの値が割込み処理の優先順位 (割込みレベル 0 ~ 3) です。

割込みレベル設定ビットは、コンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) と比較されます。

割込みレベル 3 を設定した場合は、CPU は割込み要求を受け付けません。

表 8.1-2 に、割込みレベル設定ビットと割込みレベルの関係を示します。

表 8.1-2 割込みレベル設定ビットと割込みレベルの関係

LXX[1:0]	割込みレベル	優先順位
00	0	<div style="text-align: center;"> 高い ↑↓ 低い (割込みなし) </div>
01	1	
10	2	
11	3	

XX:00 ~ 23 対応する割込み番号

メインプログラム実行中は、コンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) は通常 "11_B" です。

8.1.2 割り込み動作時の処理

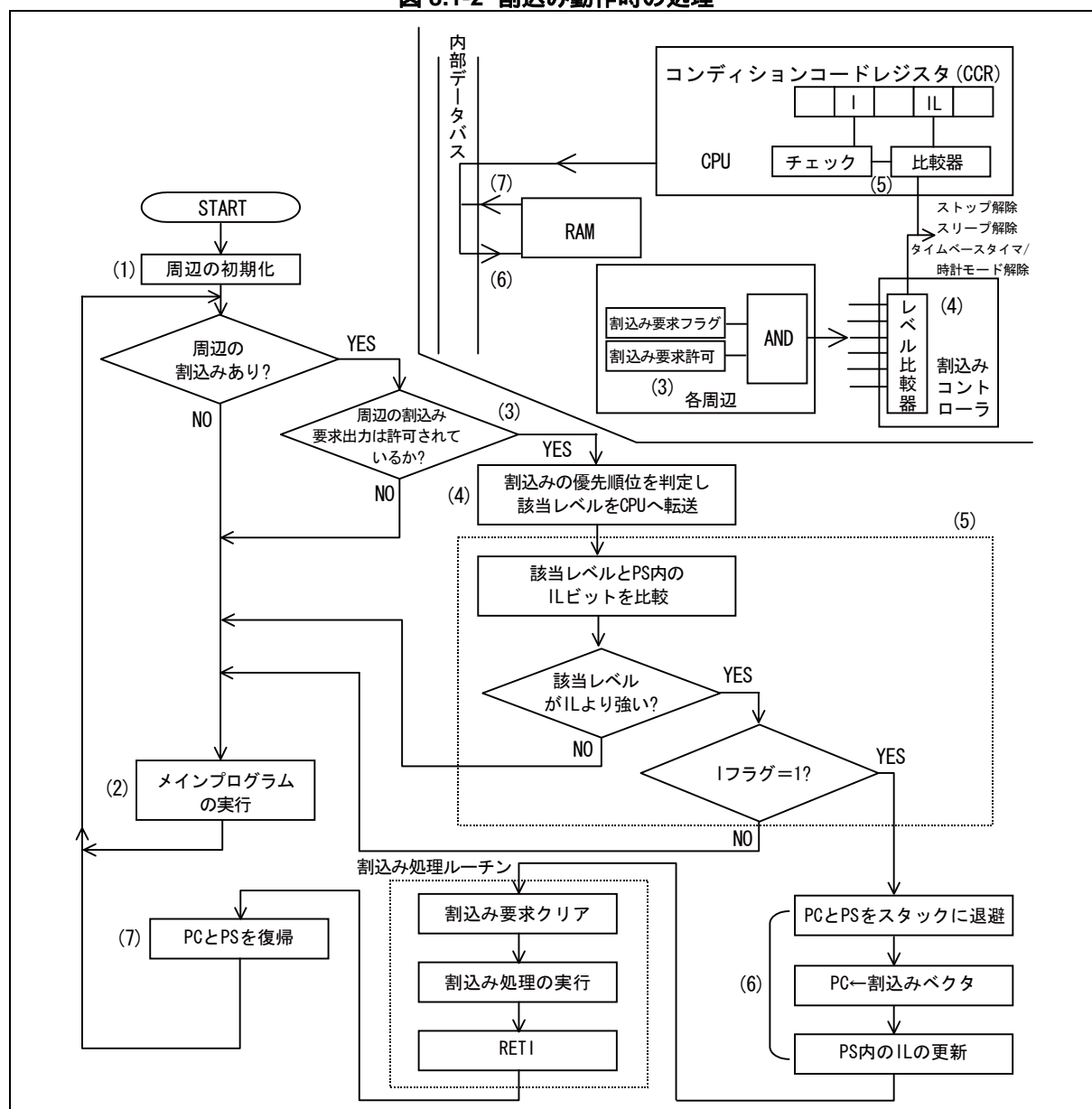
周辺機能から割り込み要求が発生すると、割り込みコントローラは割り込みレベルを CPU に伝達します。CPU は割り込みを受け付けられる状態になっていると、現在実行中のプログラムを一時中断し、割り込み処理ルーチンを実行します。

■ 割り込み動作時の処理

割り込み動作の手順は、周辺機能の割り込み要因の発生、メインプログラムの実行、割り込み要求フラグビットの設定、割り込み要求許可ビットの判定、割り込みレベル (ILR0 ~ ILR5 および CCR:IL1, IL0) の判定、同一レベルの同時要求の判定、割り込み許可フラグ (CCR:I) の判定の順で行われます。

図 8.1-2 に、割り込み動作時の処理を示します。

図 8.1-2 割り込み動作時の処理



- (1) リセット後は、すべての割込み要求は禁止状態になっています。周辺機能の初期化プログラムで割込みを発生する各周辺機能を初期化し、該当する割込みレベル設定レジスタ (ILR0 ~ ILR5) に割込みレベルを設定してから周辺機能を動作させます。割込みレベルは、0, 1, 2, 3 のいずれかを設定できます。レベル 0 が最も優先され、レベル 1 がその次に優先されます。レベル 3 に設定した場合は、該当する周辺機能の割込みは禁止されます。
- (2) メインプログラム (多重割込みの場合は、割込み処理ルーチン) を実行します。
- (3) 周辺機能で割込み要因が発生したとき、周辺機能の割込み要求フラグビットが "1" になります。このとき、周辺機能の割込み要求許可ビットが許可されていると、割込みコントローラへ割込み要求を出力します。
- (4) 割込みコントローラは、各周辺機能からの割込み要求を常に監視しており、現在発生している割込み要求に対応する割込みレベルの中から、最も優先された割込みレベルを CPU に伝達します。このとき、同一の割込みレベルで同時に要求があった場合の優先順位も判定されます。
- (5) CPU は受け取った割込みレベルがコンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) に設定されているレベルより優先度が優先される (レベルが低い) 場合、割込み許可フラグ (CCR:I) の内容をチェックして、割込み許可 (CCR:I=1) になっていれば割込みを受け付けます。
- (6) CPU はプログラムカウンタ (PC) とプログラムステータス (PS) の内容をスタックに退避し、該当する割込みベクタテーブルから割込み処理ルーチンの先頭アドレスを取り込み、コンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) の値を受け付けた割込みレベルの値に変更した後、割込み処理ルーチンの実行を開始します。
- (7) CPU は最後に RETI 命令でスタックに退避しておいたプログラムカウンタ (PC) とプログラムステータス (PS) の値を復帰して、割込み直前に実行した命令の次の命令から処理を実行します。

< 注意事項 >

周辺機能の割込み要求フラグビットは、割込み要求が受け付けられても自動的に "0" にならないため、割込み処理ルーチンでプログラム (割込み要求フラグビットへの "0" の書込み) によって、"0" にする必要があります。

低消費電力モード (スタンバイモード) は割込みによって解除されます。詳細は、「6.8 低消費電力モード (スタンバイモード) の動作」を参照してください。

8.1.3 多重割り込み

周辺機能からの複数の割り込み要求に対して、割り込みレベル設定レジスタ (ILR0 ~ ILR5) に異なる割り込みレベルを設定することにより、多重割り込みを行います。

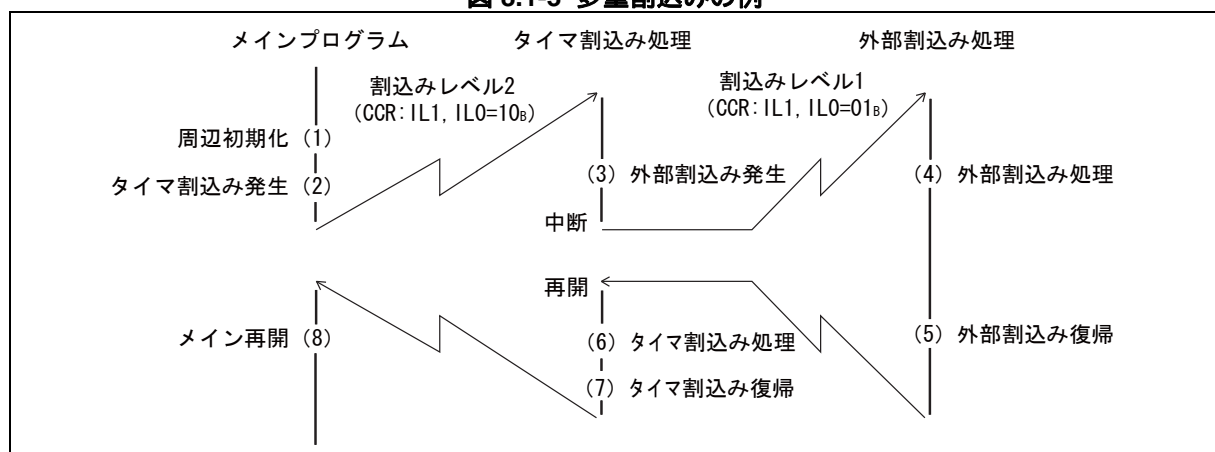
■ 多重割り込み

割り込み処理ルーチン実行中に、より優先される割り込みレベルに設定された割り込み要求が発生すると、現在の割り込み処理を中断して、より優先される割り込み要求を受け付けます。割り込みレベルは 0 ~ 3 まで設定できますが、レベル 3 に設定した場合は、CPU は割り込み要求を受け付けません。

【例：多重割り込み】

多重割り込み処理の例として、タイマ割り込みより外部割り込みを優先させる場合を想定し、タイマ割り込みのレベルを 2 に、外部割り込みのレベルを 1 に設定します。このとき、タイマ割り込み処理中に外部割り込みが発生すると、図 8.1-3 のような処理を行います。

図 8.1-3 多重割り込みの例



- タイマ割り込み処理中は、コンディションコードレジスタの割り込みレベルビット (CCR: IL1, IL0) は、タイマ割り込みに対応する割り込みレベル設定レジスタ (ILR0 ~ ILR5) の値と同じ値 (例では 2) になります。このとき、より優先される割り込みレベル (例では 1) に設定された割り込み要求が発生すると、その割り込み処理を優先して行います。
- タイマ割り込み中に多重割り込みを一時的に禁止したい場合は、コンディションコードレジスタ内の割り込み許可フラグを割り込み禁止 (CCR:I=0) に設定するか、割り込みレベルビット (CCR:IL1, IL0) を "00_B" にします。
- 割り込み処理が終了して割り込み復帰命令 (RETI) を実行すると、スタックに退避していたプログラムカウンタ (PC) とプログラムステータス (PS) の値を復帰して、割り込まれたプログラムの処理に戻ります。また、コンディションコードレジスタ (CCR) は、プログラムステータス (PS) が復帰されることにより、割り込み前の値となります。

8.1.4 割込み処理時間

割込み要求が発生して割込み処理ルーチンに制御が移行するまでには、現在実行中の命令が終了するまでの時間と割込みハンドリング時間（割込み処理準備に要する時間）の合計時間を必要とします。この時間は、最大で 26 マシクロックとなります。

■ 割込み処理時間

割込み要求が発生してから割込みが受け付けられて、割込み処理ルーチンが実行されるまでには割込み要求サンプル待ち時間と割込みハンドリング時間が必要です。

● 割込み要求サンプル待ち時間

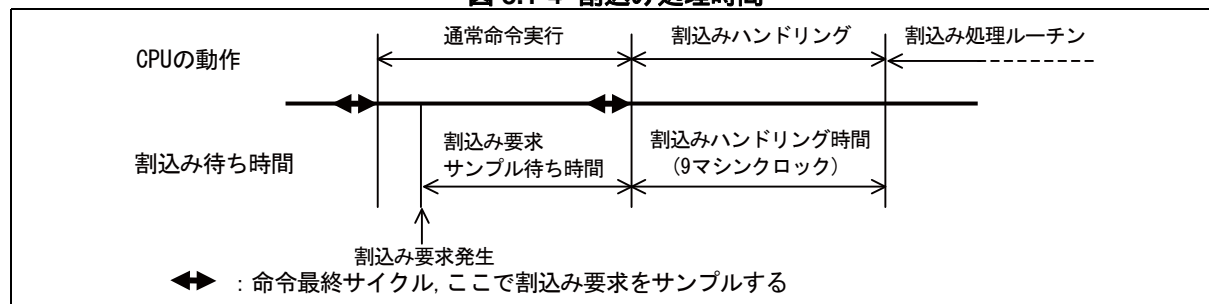
割込み要求が発生しているかどうかは、各命令の最後のサイクルで割込み要求をサンプルリングして判断します。そのため、各命令の実行中、CPU は割込み要求を認識できません。この待ち時間は、最も実行サイクルの長い DIVU 命令（17 マシクロック）の実行開始直後に割込み要求が発生した場合に最大となります。

● 割込みハンドリング時間

CPU は割込みを受け付けてから、以下の割込み処理準備を行うために 9 マシクロックを必要とします。

- ・ プログラムカウンタ (PC) とプログラムステータス (PS) の退避
- ・ 割込み処理ルーチンの先頭アドレス（割込みベクタ）を PC に設定
- ・ プログラムステータス (PS) 内の割込みレベルビット (PS:CCR:IL1, IL0) の更新

図 8.1-4 割込み処理時間



最も実行サイクルの長い DIVU 命令（17 マシクロック）の実行開始直後に割込み要求が発生した場合、 $17+9=26$ マシクロックの割込み処理時間がかかります。

マシクロックは、クロックモードおよびメインクロックの速度切換え（ギア機能）によって変化します。詳細は「第 6 章 クロック制御部」を参照してください。

8.1.5 割り込み処理時のスタック動作

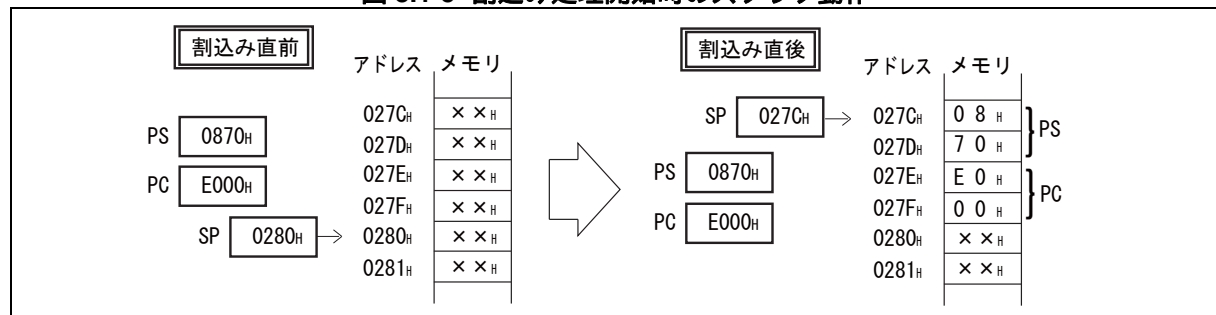
割り込み処理時のレジスタの退避と復帰について説明します。

■ 割り込み処理開始時のスタック動作

割り込みが受け付けられると，CPU は現在のプログラムカウンタ (PC) とプログラムステータス (PS) の内容を自動的にスタックに退避します。

図 8.1-5 に，割り込み処理開始時のスタック動作を示します。

図 8.1-5 割り込み処理開始時のスタック動作



■ 割り込み復帰時のスタック動作

割り込み処理終了時に割り込み復帰命令 (RETI) を実行すると，割り込み処理開始時と反対にプログラムステータス (PS), プログラムカウンタ (PC) の順にスタックから復帰します。これによって，PS, PC は割り込み開始直前の状態に戻ります。

< 注意事項 >

アキュムレータ (A) とテンポラリアキュムレータ (T) は，自動的にスタックに退避されませんので，PUSHW, POPW 命令で A, T の値を退避，復帰させてください。

8.1.6 割込み処理のスタック領域

割込み処理の実行には、RAM 上のスタック領域を使用します。スタックポインタ (SP) の内容が、スタック領域の先頭アドレスとなります。

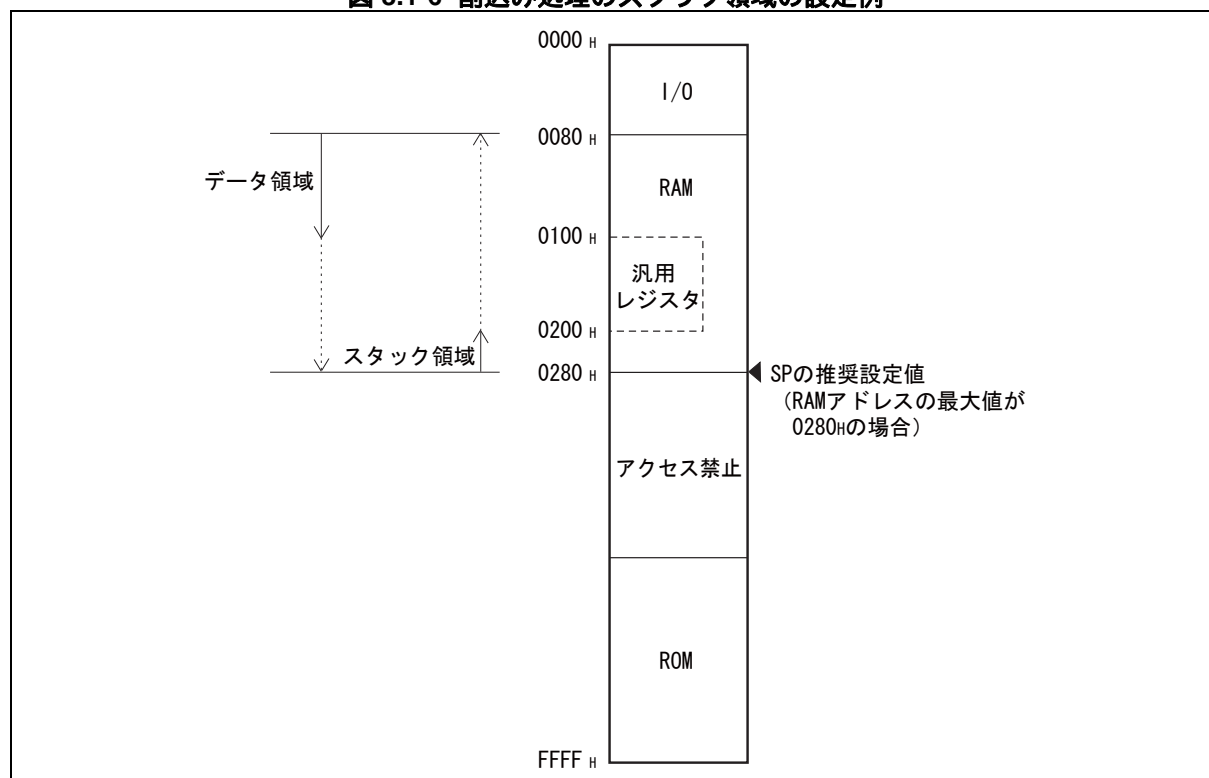
■ 割込み処理のスタック領域

スタック領域は、サブルーチンコール命令 (CALL) やベクタコール命令 (CALLV) を実行するときのプログラムカウンタ (PC) の退避 / 復帰や、PUSHW, POPW 命令による一時的なレジスタ類の退避 / 復帰にも使われます。

- スタック領域は、データ領域とともに RAM 上に確保されます。
- スタックポインタ (SP) は RAM アドレスの最大値を示すように初期設定し、データ領域は、RAM アドレスの小さい方から配置してください。

図 8.1-6 に、割込み処理のスタック領域の設定例を示します。

図 8.1-6 割込み処理のスタック領域の設定例



< 注意事項 >

スタック領域は、割込み、サブルーチンコール、PUSHW 命令などにより、アドレス値の大きい方から小さい方に向かって使用され、復帰命令 (RETI, RET), POPW 命令などにより大きい方に向かってスタック領域を開放します。多重の割込みやサブルーチンコールによって、使用されるスタック領域のアドレス値が小さくなったとき、ほかのデータを保持しているデータ領域や汎用レジスタ領域に重なり合わないようになしてください。

第9章

I/O ポート

I/O ポートの機能と動作について説明します。

9.1 I/O ポートの概要

9.2 ポート 0

9.3 ポート 1

9.4 ポート 2

9.5 ポート 3

9.6 ポート 5

9.7 ポート 6

9.8 ポート G

9.1 I/O ポートの概要

I/O ポートは汎用入出力端子の制御に使用します。

■ I/O ポートの概要

I/O ポートは、ポートデータレジスタ (PDR) によって、CPU からのデータを出力したり、入力された信号を CPU に取り込んだりする機能があります。また、ポート方向レジスタ (DDR) によって I/O 端子の入出力の方向をビット単位で任意に設定することができます。

表 9.1-1 に、各ポートのレジスタ一覧を示します。

表 9.1-1 各ポートのレジスタ一覧

レジスタ名		リード / ライト	初期値
ポート 0 データレジスタ	(PDR0)	R, RM/W	00000000 _B
ポート 0 方向レジスタ	(DDR0)	R/W	00000000 _B
ポート 1 データレジスタ	(PDR1)	R, RM/W	00000000 _B
ポート 1 方向レジスタ	(DDR1)	R/W	00000000 _B
ポート 2 データレジスタ	(PDR2)	R, RM/W	00000000 _B
ポート 2 方向レジスタ	(DDR2)	R/W	00000000 _B
ポート 3 データレジスタ	(PDR3)	R, RM/W	00000000 _B
ポート 3 方向レジスタ	(DDR3)	R/W	00000000 _B
ポート 5 データレジスタ	(PDR5)	R, RM/W	00000000 _B
ポート 5 方向レジスタ	(DDR5)	R/W	00000000 _B
ポート 6 データレジスタ	(PDR6)	R, RM/W	00000000 _B
ポート 6 方向レジスタ	(DDR6)	R/W	00000000 _B
ポート G データレジスタ	(PDRG)	R, RM/W	00000000 _B
ポート G 方向レジスタ	(DDRG)	R/W	00000000 _B
ポート 1 プルアップ制御レジスタ	(PUL1)	R/W	00000000 _B
ポート 2 プルアップ制御レジスタ	(PUL2)	R/W	00000000 _B
ポート 3 プルアップ制御レジスタ	(PUL3)	R/W	00000000 _B
ポート G プルアップ制御レジスタ	(PULG)	R/W	00000000 _B
A/D 入力禁止レジスタ下位	(AIDRL)	R/W	00000000 _B
入力レベル選択レジスタ	(ILSR)	R/W	00000000 _B
入力レベル選択レジスタ 2*	(ILSR2)	R/W	00000000 _B

R/W : リード / ライト可能 (読出し値は書込み値)

R, RM/W : リード / ライト可能 (読出し値と書込み値が異なる、リードモディファイライト (RMW) 系命令時は書込み値が読み出される)

* : 5V 品のみ有効なレジスタです。

9.2 ポート0

ポート0は、汎用入出力ポートです。

汎用入出力ポートとしての機能を中心に説明します。

周辺機能についてはそれぞれの周辺機能の章を参照してください。

■ ポート0の構成

ポート0は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート0データレジスタ (PDR0)
- ポート0方向レジスタ (DDR0)
- 入力レベル選択レジスタ2 (ILSR2)

■ ポート0の端子

ポート0には8本の入出力端子があります。

表 9.2-1 に、ポート0の端子を示します。

表 9.2-1 ポート0の端子

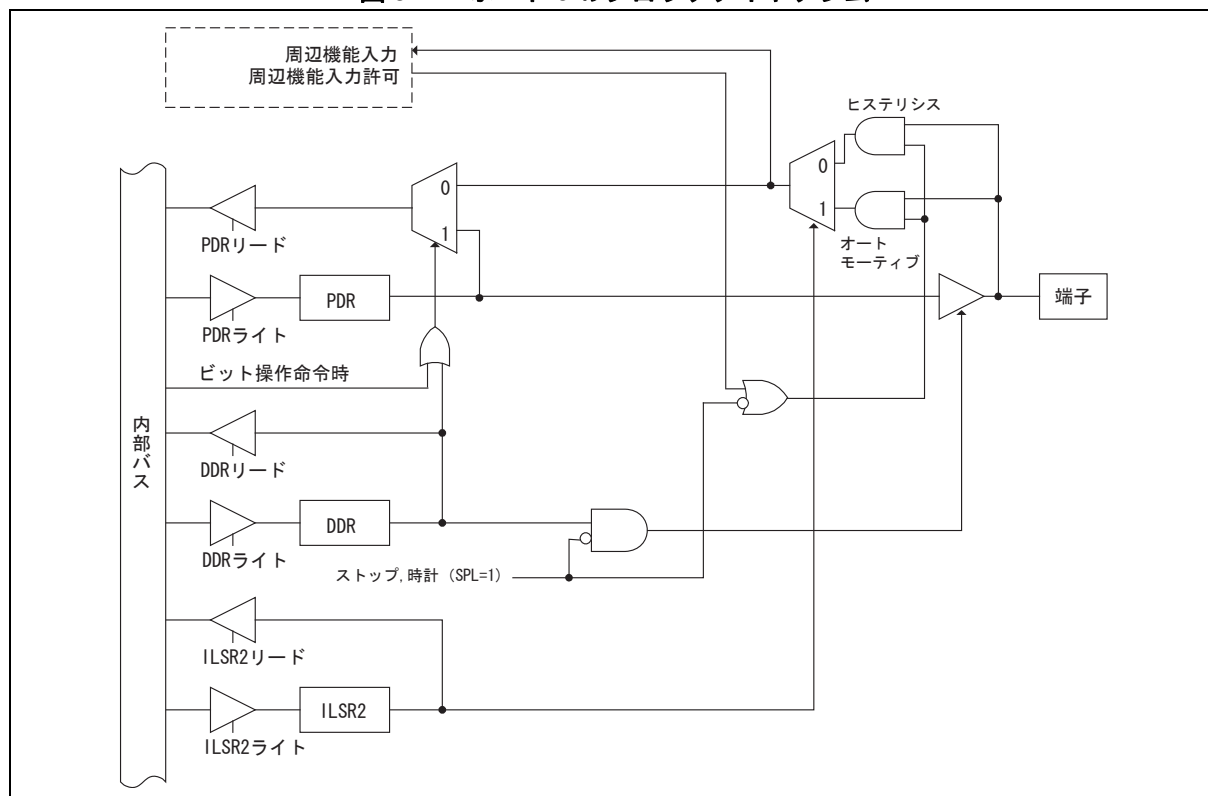
端子名	機能	兼用周辺機能	入出力形式			
			入力 *	出力	OD	PU
P00/INT00	P00 汎用入出力	INT00 外部割込み入力	ヒステリシス / オートモーティブ	CMOS	-	-
P01/INT01	P01 汎用入出力	INT01 外部割込み入力	ヒステリシス / オートモーティブ	CMOS	-	-
P02/INT02	P02 汎用入出力	INT02 外部割込み入力	ヒステリシス / オートモーティブ	CMOS	-	-
P03/INT03	P03 汎用入出力	INT03 外部割込み入力	ヒステリシス / オートモーティブ	CMOS	-	-
P04/INT04	P04 汎用入出力	INT04 外部割込み入力	ヒステリシス / オートモーティブ	CMOS	-	-
P05/INT05	P05 汎用入出力	INT05 外部割込み入力	ヒステリシス / オートモーティブ	CMOS	-	-
P06/INT06	P06 汎用入出力	INT06 外部割込み入力	ヒステリシス / オートモーティブ	CMOS	-	-
P07/INT07	P07 汎用入出力	INT07 外部割込み入力	ヒステリシス / オートモーティブ	CMOS	-	-

OD：オープンドレイン，PU：プルアップ

*：5V 品の場合、ヒステリシス入力とオートモーティブ入力を切り換えることができます。それ以外の場合はヒステリシス入力になります。

■ ポート0のブロックダイアグラム

図 9.2-1 ポート0のブロックダイアグラム



9.2.1 ポート0のレジスタ

ポート0に関するレジスタについて説明します。

■ ポート0のレジスタの機能

表 9.2-2 に、ポート0のレジスタの機能を示します。

表 9.2-2 ポート0のレジスタの機能

レジスタ名	データ	読出し時	リードモディファイライト読出し時	書込み時
PDR0	0	端子状態が "L" レベル	PDR レジスタの値が "0"	出力ポート時は "L" レベルを出力
	1	端子状態が "H" レベル	PDR レジスタの値が "1"	出力ポート時は "H" レベルを出力
DDR0	0	ポート入力許可		
	1	ポート出力許可		
ILSR2*	0	ヒステリシス入力レベル選択		
	1	オートモーティブ入力レベル選択		

*：5V 品のみ有効なレジスタです。

表 9.2-3 に、ポート0のレジスタと端子の対応を示します。

表 9.2-3 ポート0のレジスタと端子の対応

	関連するレジスタのビットと対応する端子							
端子名	P07	P06	P05	P04	P03	P02	P01	P00
PDR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR0								
ILSR2*	bit0							

*：5V 品のみ有効なレジスタです。

9.2.2 ポート0の動作説明

ポート0の動作について説明します。

■ ポート0の動作

● 出力ポート時の動作

- 対応する DDR レジスタのビットを "1" に設定すると出力ポートになります。
- 出力ポート時は PDR レジスタの値が端子に出力されます。
- PDR レジスタにデータを書き込むと、出力ラッチに値が保持され、そのまま端子に出力されます。
- PDR レジスタを読み出すと、PDR レジスタの値が読み出せます。

● 入力ポート時の動作

- 対応する DDR レジスタのビットを "0" に設定すると入力ポートになります。
- PDR レジスタにデータを書き込むと、出力ラッチに値が保持されますが、端子には出力されません。
- PDR レジスタを読み出すと、端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● 周辺機能入力時の動作

- 周辺機能の入力端子に対応する DDR レジスタのビットを "0" に設定して入力ポートにします。
- 周辺機能が入力端子を使用しているかどうかにかかわらず、PDR レジスタを読み出すと端子の値が読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタの値は "0" に初期化され、ポート入力が許可された状態になります。

● ストップモードおよび時計モードの動作

- ストップモードもしくは時計モードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定されていると、DDR レジスタの値に関係なく強制的に端子はハイインピーダンスになります。
なお、入力開放によるリークを防ぐため、入力は "L" に固定されて遮断されます。ただし、外部割込み回路の外部割込み制御レジスタ (EIC) と、外部割込み選択回路の割込み端子選択回路制御レジスタ (WICR) により、割込み入力が許可されている場合は、入力可能になり入力は遮断されません。
- 端子状態指定ビットが "0" の場合は、ポート入出力または周辺機能入出力の状態のままになり、出力レベルは維持されます。

● 外部割込み入力端子の動作

- 外部割込み入力端子に対応する DDR レジスタのビットを "0" に設定します。
- 外部割込み回路には常に端子の値が入力されています。端子を割込み以外の機能に使用する場合、対応する外部割込みを禁止してください。

● 入力レベル選択レジスタ2の動作

- ILSR2 レジスタは 5V 品のみ有効なレジスタです。
- ILSR2 レジスタの bit0 に "1" を設定すると、ポート0の入力レベルがヒステリシス入力レベルから、オートモーティブ入力レベルへ変わります。ILSR2 レジスタの bit0 が "0" のときは、ヒステリシス入力レベルになります。
- ポート0の入力レベルを切り換える場合には、周辺機能入力が停止している状態で切り換えてください。

表 9.2-4 に、ポート0の端子状態を示します。

表 9.2-4 ポート0の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	I/O ポート / 周辺機能入出力	Hi-Z 入力遮断 (ただし、外部割込み許可の場合、 外部割込み入力可能)	Hi-Z 入力可能* (ただし、機能しない)

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z : ハイインピーダンス

*: "入力可能" とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。

9.3 ポート 1

ポート 1 は、汎用入出力ポートです。

汎用入出力ポートとしての機能を中心に説明します。

周辺機能についてはそれぞれの周辺機能の章を参照してください。

■ ポート 1 の構成

ポート 1 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 1 データレジスタ (PDR1)
- ポート 1 方向レジスタ (DDR1)
- ポート 1 プルアップ制御レジスタ (PUL1)
- 入力レベル選択レジスタ (ILSR)
- 入力レベル選択レジスタ 2 (ILSR2)

■ ポート 1 の端子

ポート 1 には 6 本の入出力端子があります。

表 9.3-1 に、ポート 1 の端子を示します。

表 9.3-1 ポート 1 の端子

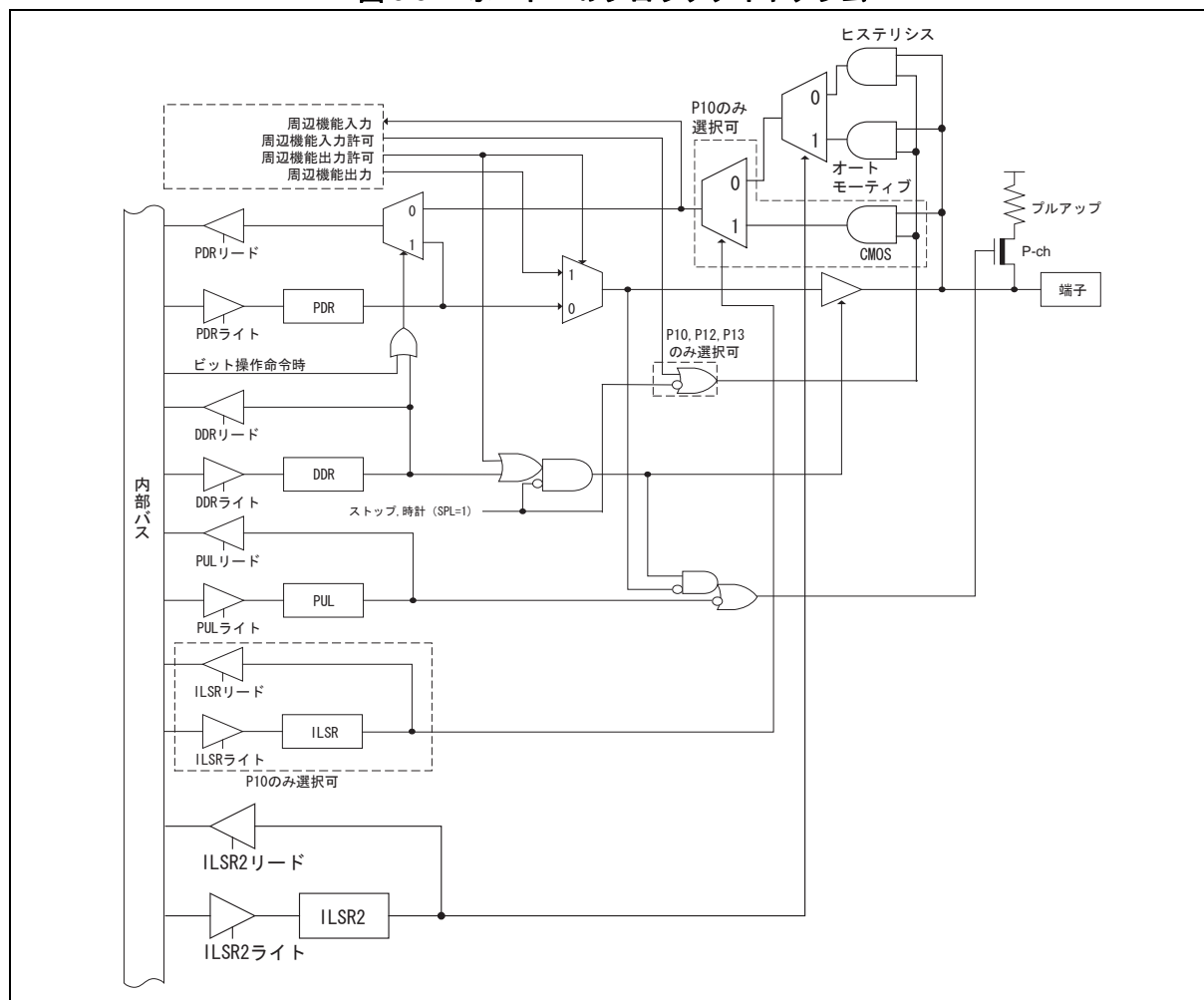
端子名	機能	兼用周辺機能	入出力形式			
			入力 *	出力	OD	PU
P10/UI0	P10 汎用入出力	UI0 UART/SIO ch.0 データ入力	ヒステリシス / CMOS/ オートモーティブ	CMOS	-	
P11/UO0	P11 汎用入出力	UO0 UART/SIO ch.0 データ出力	ヒステリシス / オートモーティブ	CMOS	-	
P12/UCK0	P12 汎用入出力	UO0 UART/SIO ch.0 クロック 入出力	ヒステリシス / オートモーティブ	CMOS	-	
P13/ TRG0/ADTG	P13 汎用入出力	TRG0 16 ビット PPG ch.0 トリガ入力	ヒステリシス / オートモーティブ	CMOS	-	
		ADTG A/D トリガ起動入力				
P14/PPG0	P14 汎用入出力	PPG0 16 ビット PPG ch.0 出力	ヒステリシス / オートモーティブ	CMOS	-	
P15	P15 汎用入出力	兼用なし	ヒステリシス / オートモーティブ	CMOS	-	

OD：オープンドレイン，PU：プルアップ

*：5V 品の場合、ヒステリシス入力とオートモーティブ入力を切り換えることができます。それ以外の場合はヒステリシス入力または CMOS 入力になります。

■ ポート1のブロックダイアグラム

図 9.3-1 ポート1のブロックダイアグラム



9.3.1 ポート 1 のレジスタ

ポート 1 に関するレジスタについて説明します。

■ ポート 1 のレジスタの機能

表 9.3-2 に、ポート 1 のレジスタの機能を示します。

表 9.3-2 ポート 1 のレジスタの機能

レジスタ名	データ	読出し時	リードモディファイライト読出し時	書込み時
PDR1	0	端子状態が "L" レベル	PDR レジスタの値が "0"	出力ポート時は "L" レベルを出力
	1	端子状態が "H" レベル	PDR レジスタの値が "1"	出力ポート時は "H" レベルを出力
DDR1	0	ポート入力許可		
	1	ポート出力許可		
PUL1	0	プルアップ禁止		
	1	プルアップ許可		
ILSR	0	ヒステリシス入力レベル選択		
	1	CMOS 入力レベル選択		
ILSR2*	0	ヒステリシス入力レベル選択		
	1	オートモーティブ入力レベル選択		

* : 5V 品のみ有効なレジスタです。

表 9.3-3 に、ポート 1 のレジスタと端子の対応を示します。

表 9.3-3 ポート 1 のレジスタと端子の対応

	関連するレジスタのビットと対応する端子							
端子名	-	-	P15	P14	P13	P12	P11	P10
PDR1	-	-	bit5	bit4	bit3	bit2	bit1	bit0
DDR1	-	-						
PUL1	-	-						
ILSR	-	-	-	-	-	-	-	bit0
ILSR2*	-	-	bit1					

* : 5V 品のみ有効なレジスタです。

9.3.2 ポート 1 の動作説明

ポート 1 の動作について説明します。

■ ポート 1 の動作

● 出力ポート時の動作

- 対応する DDR レジスタのビットを "1" に設定すると出力ポートになります。
- 端子を兼用する周辺機能においてはその出力を禁止してください。
- 出力ポート時は PDR レジスタの値が端子に出力されます。
- PDR レジスタにデータを書き込むと、出力ラッチに値が保持され、そのまま端子に出力されます。
- PDR レジスタを読み出すと、PDR レジスタの値を読み出せます。

● 入力ポート時の動作

- 対応する DDR レジスタのビットを "0" に設定すると入力ポートになります。
- 端子を兼用する周辺機能においてはその出力を禁止してください。
- PDR レジスタにデータを書き込むと、出力ラッチには値が保持されますが、端子には出力されません。
- PDR レジスタを読み出すと、端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● 周辺機能出力時の動作

- 周辺機能の出力許可ビットを許可に設定すると、対応する端子が周辺機能出力になります。
- 周辺機能の出力を許可したときでも、PDR レジスタによって端子の値を読み出すことができます。したがって、PDR レジスタの読出し動作により、周辺機能の出力値を読み出すことができます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● 周辺機能入力時の動作

- 周辺機能の入力端子に対応する DDR レジスタのビットを "0" に設定して入力ポートにします。
- 周辺機能が入力端子を使用しているかどうかにかかわらず、PDR レジスタを読み出すと端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタの値は "0" に初期化され、ポート入力が許可された状態になります。

● ストップモードおよび時計モードの動作

- ストップモードもしくは時計モードに移行した時点でスタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定されていると、DDR レジスタの値に関係なく強制的に端子はハイインピーダンスになります。
なお、入力開放によるリークを防ぐため、入力は "L" に固定されて遮断されます。ただし、外部割込み回路の外部割込み制御レジスタ (EIC) と、外部割込み選択回路の割込み端子選択回路制御レジスタ (WICR) により、P10/UI0、P12/UCK0、P13/TRG0/ADTG ポートの割込み入力が許可されている場合は、入力可能になり入力は遮断されません。
- 端子状態指定ビットが "0" の場合は、ポート入出力または周辺機能入出力の状態のままになり、出力レベルは維持されます。

● プルアップ制御レジスタの動作

PUL レジスタに "1" を設定すると、端子のプルアップ抵抗が接続されます。
ただし、汎用出力ポートや兼用する周辺リソースが "L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。

● 入力レベル選択レジスタの動作

- ILSR レジスタの bit0 に "1" を設定すると、P10 のみ入力レベルがヒステリシス入力レベルから CMOS 入力レベルへ変わります。ILSR レジスタの bit0 が "0" のときは、ヒステリシス入力レベルとなります。
- P10 以外の端子は、CMOS 入力レベルの選択はできず、ヒステリシス入力レベルまたはオプションのオートモーティブ入力レベルのみとなります。
- P10 の入力レベルを切り換える場合は、周辺機能 (UART/SIO) が停止している状態で切り換えてください。

● 入力レベル選択レジスタ 2 の動作

- ILSR2 レジスタは 5V 品のみ有効なレジスタです。
- ILSR2 レジスタの bit1 に "1" を設定すると、ポート 1 の入力レベルがヒステリシス入力レベルから、オートモーティブ入力レベルへ変わります。ILSR2 レジスタの bit1 が "0" のときは、ヒステリシス入力レベルになります。
- P10 は、ILSR レジスタの bit0 が "0" のときのみオートモーティブ入力レベルになります。P10 のみ、ILSR2 よりも ILSR レジスタの bit0 の "1" の設定が優先されます。
- ポート 1 の入力レベルを切り換える場合には、周辺機能 (UART/SIO) が停止している状態で切り換えてください。

表 9.3-4 に、ポート1の端子状態を示します。

表 9.3-4 ポート1の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	I/O ポート / 周辺機能入出力	Hi-Z (ただし、プルアップの設定は有効) 入力遮断	Hi-Z 入力可能* (ただし、機能しない)

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z : ハイインピーダンス

*: " 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。

9.4 ポート 2

ポート 2 は、汎用入出力ポートです。

汎用入出力ポートとしての機能を中心に説明します。

周辺機能についてはそれぞれの周辺機能の章を参照してください。

■ ポート 2 の構成

ポート 2 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 2 データレジスタ (PDR2)
- ポート 2 方向レジスタ (DDR2)
- ポート 2 プルアップ制御レジスタ (PUL2)
- 入力レベル選択レジスタ 2 (ILSR2)

■ ポート 2 の端子

ポート 2 には 5 本の入出力端子があります。

表 9.4-1 に、ポート 2 の端子を示します。

表 9.4-1 ポート 2 の端子

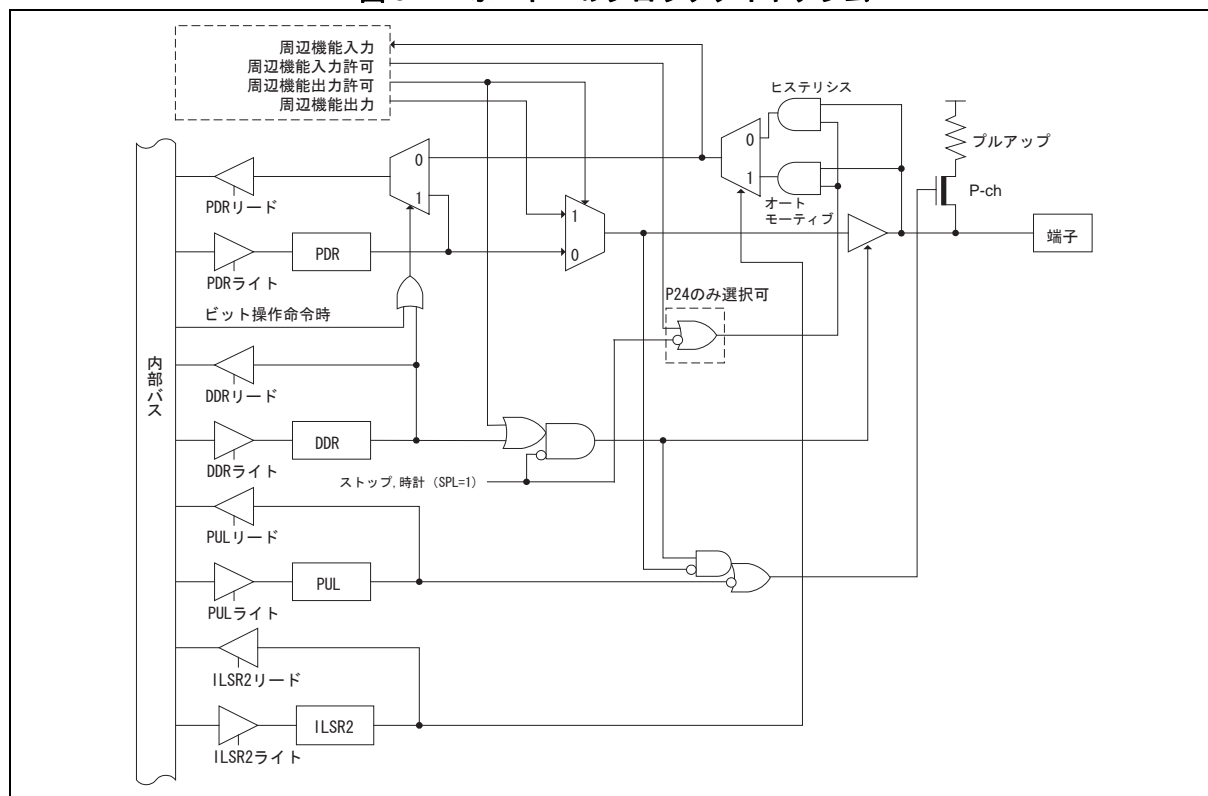
端子名	機能	兼用周辺機能	入出力形式			
			入力 *	出力	OD	PU
P20/PPG00	P20 汎用入出力	PPG00 8/16 ビット PPG0 ch.0 データ出力	ヒステリシス / オートモーティブ	CMOS	-	
P21/PPG01	P21 汎用入出力	PPG01 8/16 ビット PPG0 ch.1 データ出力	ヒステリシス / オートモーティブ	CMOS	-	
P22/TO00	P22 汎用入出力	TO00 8/16 ビット複合タイマ 00 出力	ヒステリシス / オートモーティブ	CMOS	-	
P23/TO01	P23 汎用入出力	TO01 8/16 ビット複合タイマ 01 出力	ヒステリシス / オートモーティブ	CMOS	-	
P24/EC0	P24 汎用入出力	EC0 8/16 ビット複合タイマ ch.0 外部クロック入力	ヒステリシス / オートモーティブ	CMOS	-	

OD：オープンドレイン, PU: プルアップ

*：5V 品の場合、ヒステリシス入力とオートモーティブ入力を切り換えることができます。それ以外の場合はヒステリシス入力になります。

■ ポート2のブロックダイアグラム

図 9.4-1 ポート2のブロックダイアグラム



9.4.1 ポート2のレジスタ

ポート2に関するレジスタについて説明します。

■ ポート2のレジスタの機能

表 9.4-2 に、ポート2のレジスタの機能を示します。

表 9.4-2 ポート2のレジスタの機能

レジスタ名	データ	読出し時	リードモディファイライト読出し時	書込み時
PDR2	0	端子状態が "L" レベル	PDR レジスタの値が "0"	出力ポート時は "L" レベルを出力
	1	端子状態が "H" レベル	PDR レジスタの値が "1"	出力ポート時は "H" レベルを出力
DDR2	0	ポート入力許可		
	1	ポート出力許可		
PUL2	0	プルアップ禁止		
	1	プルアップ許可		
ILSR2*	0	ヒステリシス入力レベル選択		
	1	オートモーティブ入力レベル選択		

*：5V 品のみ有効なレジスタです。

表 9.4-3 に、ポート2のレジスタと端子の対応を示します。

表 9.4-3 ポート2のレジスタと端子の対応

	関連するレジスタのビットと対応する端子							
端子名	-	-	-	P24	P23	P22	P21	P20
PDR2	-	-	-	bit4	bit3	bit2	bit1	bit0
DDR2								
PUL2								
ILSR2*	-	-	-	bit2				

*：5V 品のみ有効なレジスタです。

9.4.2 ポート2の動作説明

ポート2の動作について説明します。

■ ポート2の動作

● 出力ポート時の動作

- 対応する DDR レジスタのビットを "1" に設定すると出力ポートになります。
- 端子を兼用する周辺機能においてはその出力を禁止してください。
- 出力ポート時は PDR レジスタの値が端子に出力されます。
- PDR レジスタにデータを書き込むと、出力ラッチに値が保持され、そのまま端子に出力されます。
- PDR レジスタを読み出すと、PDR レジスタの値を読み出せます。

● 入力ポート時の動作

- 対応する DDR レジスタのビットを "0" に設定すると入力ポートになります。
- 端子を兼用する周辺機能においてはその出力を禁止してください。
- PDR レジスタにデータを書き込むと、出力ラッチには値が保持されますが、端子には出力されません。
- PDR レジスタを読み出すと、端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● 周辺機能出力時の動作

- 周辺機能の出力許可ビットを許可に設定すると、対応する端子が周辺機能出力になります。
- 周辺機能の出力を許可したときでも、PDR レジスタによって端子の値を読み出すことができます。したがって、PDR レジスタの読出し動作により、周辺機能の出力値を読み出すことができます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● 周辺機能入力時の動作

- 周辺機能の入力端子に対応する DDR レジスタのビットを "0" に設定して入力ポートにします。
- 周辺機能が入力端子を使用しているかどうかにかかわらず、PDR レジスタを読み出すと端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタの値は "0" に初期化され、ポート入力が許可された状態になります。

● ストップモードおよび時計モードの動作

- ストップモードもしくは時計モードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定されていると、PDR レジスタの値に関係なく強制的に端子はハイインピーダンスになります。
なお、入力開放によるリークを防ぐため、入力は "L" に固定されて遮断されます。ただし、外部割込み回路の外部割込み制御レジスタ (EIC) と、外部割込み選択回路の割込み端子選択回路制御レジスタ (WICR) により、P24/EC0 ポートの割込み入力が許可されている場合は、入力可能になり入力は遮断されません。
- 端子状態指定ビットが "0" の場合は、ポート入出力または周辺機能入出力の状態のままになり、出力レベルは維持されます。

● プルアップ制御レジスタの動作

PUL レジスタに "1" を設定すると、端子のプルアップ抵抗が接続されます。
ただし、汎用出力ポートや兼用する周辺リソースが "L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。

● 入力レベル選択レジスタ2の動作

- ILSR2 レジスタは、5V 品のみ有効なレジスタです。
- ILSR2 レジスタの bit2 に "1" を設定すると、ポート2の入力レベルがヒステリシス入力レベルから、オートモーティブ入力レベルへ変わります。ILSR2 レジスタの bit2 が "0" のときは、ヒステリシス入力レベルになります。
- ポート2の入力レベルを切り換える場合には、周辺機能入力が停止している状態で切り換えてください。

表 9.4-4 に、ポート2の端子状態を示します。

表 9.4-4 ポート2の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	I/O ポート / 周辺機能入出力	Hi-Z (ただし、プルアップの設定は有効) 入力遮断	Hi-Z 入力可能* (ただし、機能しない)

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z : ハイインピーダンス

*: "入力可能" とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。

9.5 ポート3

ポート3は、汎用入出力ポートです。

汎用入出力ポートとしての機能を中心に説明します。

周辺機能についてはそれぞれの周辺機能の章を参照してください。

■ ポート3の構成

ポート3は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート3 データレジスタ (PDR3)
- ポート3 方向レジスタ (DDR3)
- ポート3 プルアップ制御レジスタ (PUL3)
- A/D 入力禁止レジスタ下位 (AIDRL)
- 入力レベル選択レジスタ2 (ILSR2)

■ ポート3の端子

ポート3には8本の入出力端子があります。

表 9.5-1 に、ポート3の端子を示します。

表 9.5-1 ポート3の端子

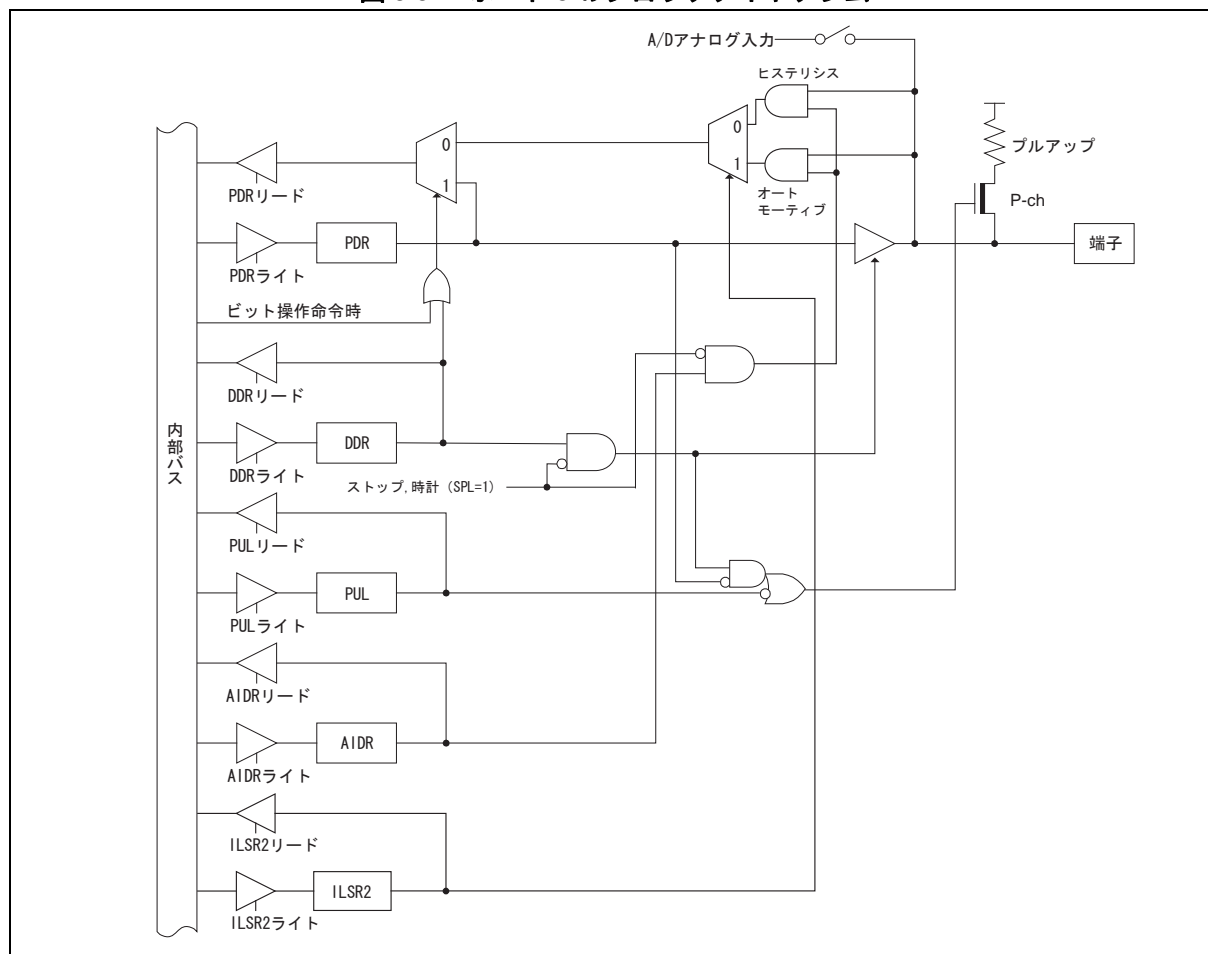
端子名	機能	兼用周辺機能	入出力形式			
			入力 *	出力	OD	PU
P30/AN00	P30 汎用入出力	AN00 アナログ入力	ヒステリシス / オート モーティブ / アナログ	CMOS	-	
P31/AN01	P31 汎用入出力	AN01 アナログ入力	ヒステリシス / オート モーティブ / アナログ	CMOS	-	
P32/AN02	P32 汎用入出力	AN02 アナログ入力	ヒステリシス / オート モーティブ / アナログ	CMOS	-	
P33/AN03	P33 汎用入出力	AN03 アナログ入力	ヒステリシス / オート モーティブ / アナログ	CMOS	-	
P34/AN04	P34 汎用入出力	AN04 アナログ入力	ヒステリシス / オート モーティブ / アナログ	CMOS	-	
P35/AN05	P35 汎用入出力	AN05 アナログ入力	ヒステリシス / オート モーティブ / アナログ	CMOS	-	
P36/AN06	P36 汎用入出力	AN06 アナログ入力	ヒステリシス / オート モーティブ / アナログ	CMOS	-	
P37/AN07	P37 汎用入出力	AN07 アナログ入力	ヒステリシス / オート モーティブ / アナログ	CMOS	-	

OD：オープンドレイン，PU：プルアップ

*：5V 品の場合、ヒステリシス入力とオートモーティブ入力を切り換えることができます。それ以外の場合はヒステリシス入力になります。

■ ポート3のブロックダイアグラム

図 9.5-1 ポート3のブロックダイアグラム



9.5.1 ポート3のレジスタ

ポート3に関するレジスタについて説明します。

■ ポート3のレジスタの機能

表 9.5-2 に、ポート3のレジスタの機能を示します。

表 9.5-2 ポート3のレジスタの機能

レジスタ名	データ	読出し時	リードモディファイライト読出し時	書込み時
PDR3	0	端子状態が "L" レベル	PDR レジスタの値が "0"	出力ポート時は "L" レベルを出力
	1	端子状態が "H" レベル	PDR レジスタの値が "1"	出力ポート時は "H" レベルを出力
DDR3	0	ポート入力許可		
	1	ポート出力許可		
PUL3	0	プルアップ禁止		
	1	プルアップ許可		
AIDRL	0	アナログ入力許可		
	1	ポート入力許可		
ILSR2*	0	ヒステリシス入力レベル選択		
	1	オートモーティブ入力レベル選択		

* : 5V 品のみ有効なレジスタです。

表 9.5-3 に、ポート3のレジスタと端子の対応を示します。

表 9.5-3 ポート3のレジスタと端子の対応

	関連するレジスタのビットと対応する端子							
端子名	P37	P36	P35	P34	P33	P32	P31	P30
PDR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR3								
PUL3								
AIDRL								
ILSR2*	bit3							

* : 5V 品のみ有効なレジスタです。

9.5.2 ポート 3 の動作説明

ポート 3 の動作について説明します。

■ ポート 3 の動作

● 出力ポート時の動作

- 対応する DDR レジスタのビットを "1" に設定すると出力ポートになります。
- 出力ポート時は PDR レジスタの値が端子に出力されます。
- PDR レジスタにデータを書き込むと、出力ラッチに値が保持され、そのまま端子に出力されます。
- PDR レジスタを読み出すと、PDR レジスタの値を読み出せます。

● 入力ポート時の動作

- 対応する DDR レジスタのビットを "0" に設定すると入力ポートになります。
- アナログ入力兼用端子を入力ポートとして使用する場合は、A/D 入力禁止レジスタ下位 (AIDRL) の対応するビットを "1" に設定してください。
- PDR レジスタにデータを書き込むと、出力ラッチには値が保持されますが、端子には出力されません。
- PDR レジスタを読み出すと、端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタおよび AIDRL レジスタの値は "0" に初期化され、ポート入力は禁止された状態になります。

● ストップモードおよび時計モードの動作

- ストップモードもしくは時計モードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定されていると、DDR レジスタの値に関係なく強制的に端子はハイインピーダンスになります。
なお、入力開放によるリークを防ぐため、入力は "L" に固定されて遮断されます。
- 端子状態指定ビットが "0" の場合は、ポート入出力または周辺機能入出力の状態のままになり、出力レベルは維持されます。

● アナログ入力時の動作

- アナログ入力端子に対応する DDR レジスタのビットに "0" を、AIDRL レジスタのビットに "0" を設定してください。
- 対応する PUL レジスタのビットに "0" を設定してください。

● プルアップ制御レジスタの動作

PUL レジスタに "1" を設定すると、端子のプルアップ抵抗が接続されます。
ただし、汎用出力ポートや兼用する周辺リソースが "L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。

● 入力レベル選択レジスタ2の動作

- ILSR2 レジスタは、5V 品のみ有効なレジスタです。
- ILSR2 レジスタの bit3 に "1" を設定すると、ポート3の入力レベルがヒステリシス入力レベルから、オートモーティブ入力レベルへ変わります。ILSR2 レジスタの bit3 が "0" のときは、ヒステリシス入力レベルになります。

表 9.5-4 に、ポート3の端子状態を示します。

表 9.5-4 ポート3の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	I/O ポート / アナログ入力	Hi-Z (ただし、プルアップの設定は有効) 入力遮断	Hi-Z 入力不可*

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z : ハイインピーダンス

*:" 入力不可 " とは、端子からすぐの入力ゲート動作が禁止状態にあることを意味します。

9.6 ポート 5

ポート 5 は、汎用入出力ポートです。

汎用入出力ポートとしての機能を中心に説明します。

周辺機能についてはそれぞれの周辺機能の章を参照してください。

■ ポート 5 の構成

ポート 5 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 5 データレジスタ (PDR5)
- ポート 5 方向レジスタ (DDR5)
- 入力レベル選択レジスタ (ILSR)
- 入力レベル選択レジスタ 2 (ILSR2)

■ ポート 5 の端子

ポート 5 には 2 本の入出力端子があります。

表 9.6-1 に、ポート 5 の端子を示します。

表 9.6-1 ポート 5 の端子

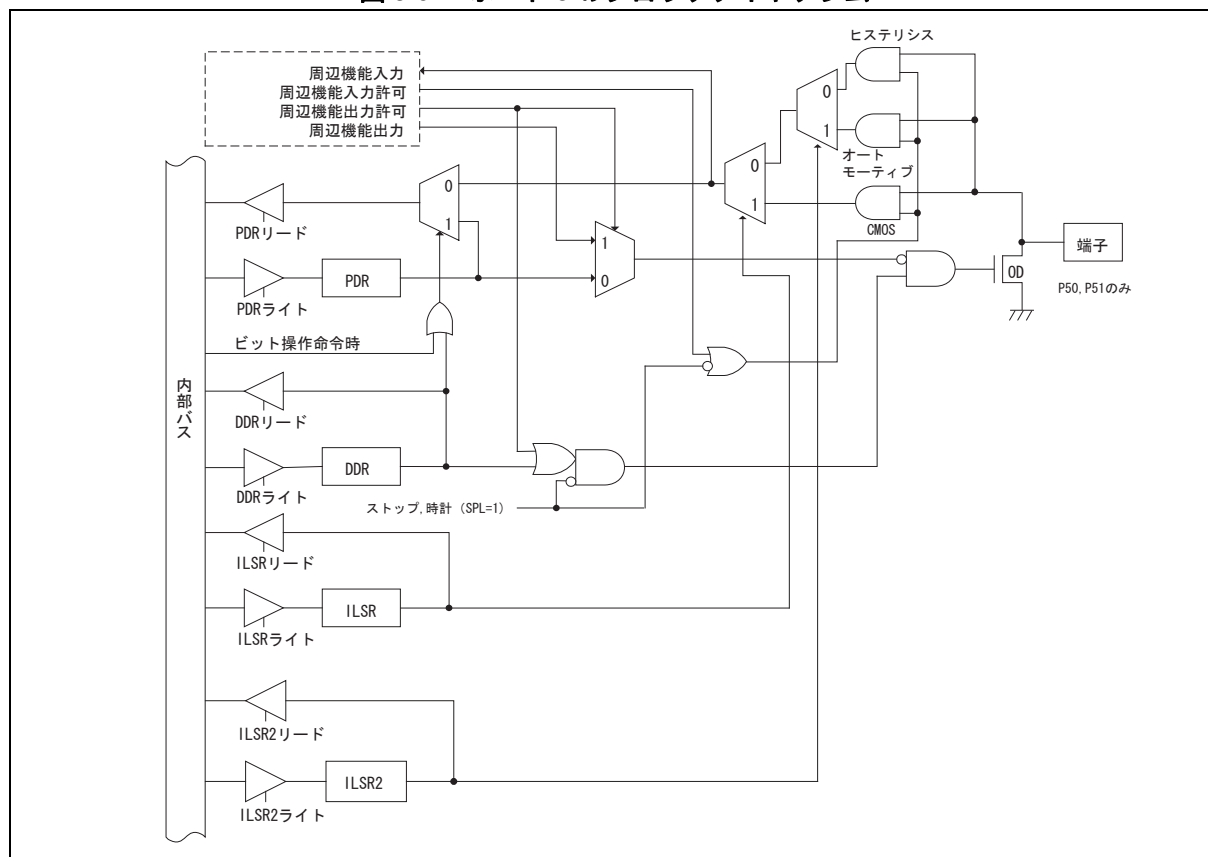
端子名	機能	兼用周辺機能	入出力形式			
			入力	出力	OD	PU
P50/SCL0	P50 汎用入出力	SCL0 I ² C ch.0 クロック入出力	ヒステリシス /CMOS/ オートモーティブ	CMOS		-
P51/SDA0	P51 汎用入出力	SDA0 I ² C ch.0 データ入出力	ヒステリシス /CMOS/ オートモーティブ	CMOS		-

OD : オープンドレイン , PU: プルアップ

※: 5V 品の場合、ヒステリシス入力とオートモーティブ入力を切り換えることができます。それ以外の場合はヒステリシス入力または CMOS 入力になります。

■ ポート 5 のブロックダイアグラム

図 9.6-1 ポート 5 のブロックダイアグラム



9.6.1 ポート5のレジスタ

ポート5に関するレジスタについて説明します。

■ ポート5のレジスタの機能

表 9.6-2 に、ポート5のレジスタの機能を示します。

表 9.6-2 ポート5のレジスタの機能

レジスタ名	データ	読出し時	リードモディファイライト読出し時	書込み時
PDR5	0	端子状態が "L" レベル	PDR レジスタの値が "0"	出力ポート時は "L" レベルを出力
	1	端子状態が "H" レベル	PDR レジスタの値が "1"	出力ポート時は "H" レベルを出力 *1
DDR5	0	ポート入力許可		
	1	ポート出力許可		
ILSR	0	ヒステリシス入力レベル選択		
	1	CMOS 入力レベル選択		
ILSR2*2	0	ヒステリシス入力レベル選択		
	1	オートモーティブ入力レベル選択		

*1：N-ch オープンドレイン端子の場合は Hi-Z となります。

*2：5V 品のみ有効なレジスタです。

表 9.6-3 に、ポート5のレジスタと端子の対応を示します。

表 9.6-3 ポート5のレジスタと端子の対応

	関連するレジスタのビットと対応する端子							
端子名	-	-	-	-	-	-	P51	P50
PDR5	-	-	-	-	-	-	bit1	bit0
DDR5								
ILSR	-	-	-	-	-	-	bit4	bit3
ILSR2*	-	-	-	-	-	-	bit4	

*：5V 品のみ有効なレジスタです。

9.6.2 ポート 5 の動作説明

ポート 5 の動作について説明します。

■ ポート 5 の動作

● 出力ポート時の動作

- 対応する DDR レジスタのビットを "1" に設定すると出力ポートになります。
- 端子を兼用する周辺機能においてはその出力を禁止してください。
- 出力ポート時は PDR レジスタの値が端子に出力されます。
- PDR レジスタにデータを書き込むと、出力ラッチに値が保持され、そのまま端子に出力されます。
- PDR レジスタを読み出すと、PDR レジスタの値を読み出せます。

● 入力ポート時の動作

- 対応する DDR レジスタのビットを "0" に設定すると入力ポートになります。
- 端子を兼用する周辺機能においてはその出力を禁止してください。
- PDR レジスタにデータを書き込むと、出力ラッチには値が保持されますが、端子には出力されません。
- PDR レジスタを読み出すと、端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● 周辺機能出力時の動作

- 周辺機能の出力許可ビットを許可に設定すると、対応する端子が周辺機能出力になります。
- 周辺機能の出力を許可したときでも、PDR レジスタによって端子の値を読み出すことができます。したがって、PDR レジスタの読出し動作により、周辺機能の出力値を読み出すことができます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● 周辺機能入力時の動作

- 周辺機能の入力端子に対応する DDR レジスタのビットを "0" に設定して入力ポートにします。
- 周辺機能が入力端子を使用しているかどうかにかかわらず、PDR レジスタを読み出すと端子の値が読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタの値は "0" に初期化され、ポート入力が許可された状態になります。

● ストップモードおよび時計モードの動作

- ストップモードもしくは時計モードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定されていると、DDR レジスタの値に関係なく強制的に端子はハイインピーダンスになります。
なお、入力開放によるリークを防ぐため、入力は "L" に固定されて遮断されます。ただし、周辺機能入力 (SCL0, SDA0) が許可されている場合は、入力可能になり入力は遮断されません。
- 端子状態指定ビットが "0" の場合は、ポート入出力または周辺機能入出力の状態のままになり、出力レベルは維持されます。

● 入力レベル選択レジスタの動作

- ILSR レジスタの bit4, bit3 に "1" を設定すると、P51, P50 のみ入力レベルがヒステリシス入力レベルから CMOS 入力レベルへ変わります。ILSR レジスタの bit4, bit3 が "0" のときは、ヒステリシス入力レベルとなります。
- P51, P50 の入力レベルを切り換える場合は、周辺機能 (I²C) が停止している状態で切り換えてください。

● 入力レベル選択レジスタ 2 の動作

- ILSR2 レジスタは、5V 品のみ有効なレジスタです。
- ILSR2 レジスタの bit4 に "1" を設定すると、ポート 5 の入力レベルがヒステリシス入力レベルから、オートモーティブ入力レベルへ変わります。ILSR2 レジスタの bit4 が "0" のときは、ヒステリシス入力レベルになります。
- ポート 5 の入力レベルを切り換える場合には、周辺機能 (I²C) が停止している状態で切り換えてください。
- P51, P50 は、ILSR レジスタの bit4, bit3 が "0" のときのみ、オートモーティブ入力レベルになります。ILSR2 レジスタよりも ILSR レジスタの bit4, bit3 の "1" の設定が優先されます。

表 9.6-4 に、ポート 5 の端子状態を示します。

表 9.6-4 ポート 5 の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	I/O ポート / 周辺機能入出力	Hi-Z (ただし、プルアップの設定は有効) 入力遮断	Hi-Z 入力可能 * (ただし、機能しない)

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z : ハイインピーダンス

*: " 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。

9.7 ポート 6

ポート 6 は、汎用入出力ポートです。

汎用入出力ポートとしての機能を中心に説明します。

周辺機能についてはそれぞれの周辺機能の章を参照してください。

■ ポート 6 の構成

ポート 6 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 6 データレジスタ (PDR6)
- ポート 6 方向レジスタ (DDR6)
- 入力レベル選択レジスタ (ILSR)
- 入力レベル選択レジスタ 2 (ILSR2)

■ ポート 6 の端子

ポート 6 には 8 本の入出力端子があります。

表 9.7-1 に、ポート 6 の端子を示します。

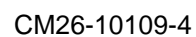
表 9.7-1 ポート 6 の端子

端子名	機能	兼用周辺機能	入出力形式			
			入力 *	出力	OD	PU
P60/PPG10	P60 汎用入出力	PPG10 8/16PPG1 ch.0 出力	ヒステリシス / オートモーティブ	CMOS	-	-
P61/PPG11	P61 汎用入出力	PPG11 8/16PPG1 ch.1 出力	ヒステリシス / オートモーティブ	CMOS	-	-
P62/TO10	P62 汎用入出力	TO10 8/16 複合タイマ 10 出力	ヒステリシス / オートモーティブ	CMOS	-	-
P63/TO11	P63 汎用入出力	TO11 8/16 複合タイマ 11 出力	ヒステリシス / オートモーティブ	CMOS	-	-
P64/EC1	P64 汎用入出力	EC1 8/16 複合タイマ ch.1 クロック入力	ヒステリシス / オートモーティブ	CMOS	-	-
P65/SCK	P65 汎用入出力	LIN-UART クロック入出力	ヒステリシス / オートモーティブ	CMOS	-	-
P66/SOT	P66 汎用入出力	LIN-UART データ出力	ヒステリシス / オートモーティブ	CMOS	-	-
P67/SIN	P67 汎用入出力	LIN-UART データ入力	ヒステリシス /CMOS/ オートモーティブ	CMOS	-	-

OD：オープンドレイン，PU：プルアップ

*：5V 品の場合、ヒステリシス入力とオートモーティブ入力を切り換えることができます。それ以外の場合はヒステリシス入力または CMOS 入力になります。

図 9.7-1 ポート 6 のブロックダイヤグラム



9.7.1 ポート6のレジスタ

ポート6に関するレジスタについて説明します。

■ ポート6のレジスタの機能

表 9.7-2 に、ポート6のレジスタの機能を示します。

表 9.7-2 ポート6のレジスタの機能

レジスタ名	データ	読出し時	リードモディファイライト読出し時	書込み時
PDR6	0	端子状態が "L" レベル	PDR レジスタの値が "0"	出力ポート時は "L" レベルを出力
	1	端子状態が "H" レベル	PDR レジスタの値が "1"	出力ポート時は "H" レベルを出力
DDR6	0	ポート入力許可		
	1	ポート出力許可		
ILSR	0	ヒステリシス入力レベル選択		
	1	CMOS 入力レベル選択		
ILSR2*	0	ヒステリシス入力レベル選択		
	1	オートモーティブ入力レベル選択		

*: 5V 品のみ有効なレジスタです。

表 9.7-3 に、ポート6のレジスタと端子の対応を示します。

表 9.7-3 ポート6のレジスタと端子の対応

	関連するレジスタのビットと対応する端子							
端子名	P67	P66	P65	P64	P63	P62	P61	P60
PDR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR6								
ILSR	bit2	-	-	-	-	-	-	-
ILSR2*	bit5							

*: 5V 品のみ有効なレジスタです。

9.7.2 ポート 6 の動作説明

ポート 6 の動作について説明します。

■ ポート 6 の動作

● 出力ポート時の動作

- 対応する DDR レジスタのビットを "1" に設定すると出力ポートになります。
- 端子を兼用する周辺機能においてはその出力を禁止してください。
- 出力ポート時は PDR レジスタの値が端子に出力されます。
- PDR レジスタにデータを書き込むと、出力ラッチに値が保持され、そのまま端子に出力されます。
- PDR レジスタを読み出すと、PDR レジスタの値を読み出せます。

● 入力ポート時の動作

- 対応する DDR レジスタのビットを "0" に設定すると入力ポートになります。
- 端子を兼用する周辺機能においてはその出力を禁止してください。
- PDR レジスタにデータを書き込むと、出力ラッチには値が保持されますが、端子には出力されません。
- PDR レジスタを読み出すと、端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● 周辺機能出力時の動作

- 周辺機能の出力許可ビットを許可に設定すると、対応する端子が周辺機能出力になります。
- 周辺機能の出力を許可したときでも、PDR レジスタによって端子の値を読み出すことができます。したがって、PDR レジスタの読出し動作により、周辺機能の出力値を読み出すことができます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● 周辺機能入力時の動作

- 周辺機能の入力端子に対応する DDR レジスタのビットを "0" に設定して入力ポートにします。
- 周辺機能が入力端子を使用しているかどうかにかかわらず、PDR レジスタを読み出すと端子の値が読み出せます。ただし、リードモディファイライト系の命令では PDR レジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタの値は "0" に初期化され、ポート入力が許可された状態になります。

● ストップモードおよび時計モードの動作

- ストップモードもしくは時計モードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定されていると、DDR レジスタの値に関係なく強制的に端子はハイインピーダンスになります。
なお、入力開放によるリークを防ぐため、入力は "L" に固定されて遮断されます。ただし、外部割込み回路の外部割込み制御レジスタ (EIC) と、外部割込み選択回路の割込み端子選択回路制御レジスタ (WICR) により、P65/SCK, P67/SIN ポートの割込み入力が許可されている場合は、入力可能になり入力は遮断されません。
- 端子状態指定ビットが "0" の場合は、ポート入出力または周辺機能入出力の状態のままになり、出力レベルは維持されます。

● 入力レベル選択レジスタの動作

- ILSR レジスタの bit2 に "1" を設定すると、P67 のみ入力レベルがヒステリシス入力レベルから、CMOS 入力レベルへ変わります。ILSR の bit2 が "0" のときは、ヒステリシス入力レベルとなります。
- P67以外の端子は、CMOS 入力レベルの選択はできず、ヒステリシス入力レベルまたはオートモーティブ入力レベルのみとなります。
- P67の入力レベルを切り換える場合は、周辺機能 (LIN-UART) が停止している状態で切り換えてください。

● 入力レベル選択レジスタ2の動作

- ILSR2 レジスタは、5V 品のみ有効なレジスタです。
- ILSR2 レジスタの bit5 に "1" を設定すると、ポート6の入力レベルがヒステリシス入力レベルから、オートモーティブ入力レベルへ変わります。ILSR2 レジスタの bit5 が "0" のときは、ヒステリシス入力レベルになります。
- ポート6の入力レベルを切り換える場合には、周辺機能 (LIN-UART) が停止している状態で切り換えてください。
- P67は、ILSR レジスタの bit2 が "0" のときのみ、オートモーティブ入力レベルになります。P67のみ、ILSR2 レジスタよりも ILSR レジスタの bit2 の "1" の設定が優先されます。

表 9.7-4 に、ポート6の端子状態を示します。

表 9.7-4 ポート6の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	I/O ポート / 周辺機能入出力	Hi-Z 入力遮断	Hi-Z 入力可能* (ただし、機能しない)

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z : ハイインピーダンス

*: "入力可能" とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。

9.8 ポート G

ポート G は、汎用入出力ポートです。
汎用入出力ポートとしての機能を中心に説明します。

■ ポート G の構成

ポート G は以下の要素から構成されます。

- 汎用入出力端子
- ポート G データレジスタ (PDRG)
- ポート G 方向レジスタ (DDRG)
- ポート G プルアップ制御レジスタ (PULG)
- 入力レベル選択レジスタ 2 (ILSR2)

■ ポート G の端子

ポート G には 3 本の入出力端子があります。

表 9.8-1 に、ポート G の端子を示します。

表 9.8-1 ポート G の端子

端子名	機能	兼用周辺機能	入出力形式			
			入力 *3	出力	OD	PU
PG0*1	PG0 汎用入出力	兼用なし	ヒステリシス / オートモーティブ	CMOS	-	
PG1*2	PG1 汎用入出力	兼用なし	ヒステリシス / オートモーティブ	CMOS	-	
PG2*2	PG2 汎用入出力	兼用なし	ヒステリシス / オートモーティブ	CMOS	-	

OD : オープンドレイン , PU: プルアップ

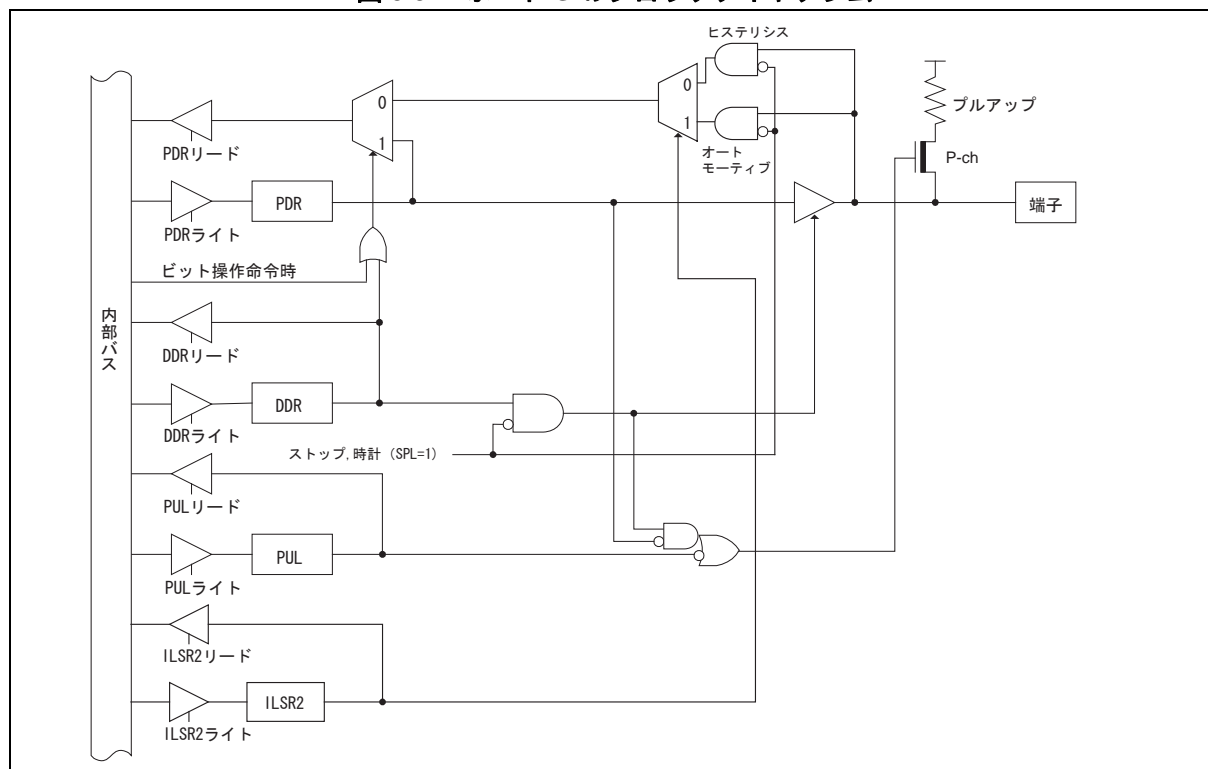
*1 : 5V 品は C 端子となります。

*2 : 1 系統クロック品は汎用ポート , 2 系統クロック品はサブクロック発振端子となります。

*3 : 5V 品の場合 , ヒステリシス入力とオートモーティブ入力を切り換えることができます。それ以外の場合はヒステリシス入力になります。

■ ポートGのブロックダイヤグラム

図 9.8-1 ポートGのブロックダイヤグラム



9.8.1 ポート G のレジスタ

ポート G に関するレジスタについて説明します。

■ ポート G のレジスタの機能

表 9.8-2 に、ポート G のレジスタの機能を示します。

表 9.8-2 ポート G のレジスタの機能

レジスタ名	データ	読出し時	リードモディファイライト読出し時	書込み時
PDRG	0	端子状態が "L" レベル	PDR レジスタの値が "0"	出力ポート時は "L" レベルを出力
	1	端子状態が "H" レベル	PDR レジスタの値が "1"	出力ポート時は "H" レベルを出力
DDRG	0	ポート入力許可		
	1	ポート出力許可		
PULG	0	プルアップ禁止		
	1	プルアップ許可		
ILSR2*	0	ヒステリシス入力レベル選択		
	1	オートモーティブ入力レベル選択		

*: 5V 品のみ有効なレジスタです。

表 9.8-3 に、ポート G のレジスタと端子の対応を示します。

表 9.8-3 ポート G のレジスタと端子の対応

	関連するレジスタのビットと対応する端子							
端子名	-	-	-	-	-	PG2	PG1	PG0* ²
PDRG	-	-	-	-	-	bit2	bit1	bit0
DDRG								
PULG								
ILSR2* ¹	-	-	-	-	-	bit6		

*1: 5V 品のみ有効なレジスタです。

*2: 5V 品は C 端子となります。

9.8.2 ポート G の動作説明

ポート G の動作について説明します。

■ ポート G の動作

● 出力ポート時の動作

- 対応する DDR レジスタのビットを "1" に設定すると出力ポートになります。
- 出力ポート時は PDR レジスタの値が端子に出力されます。
- PDR レジスタにデータを書き込むと、出力ラッチに値が保持され、そのまま端子に出力されます。
- PDR レジスタを読み出すと、PDR レジスタの値を読み出せます。

● 入力ポート時の動作

- 対応する DDR レジスタのビットを "0" に設定すると入力ポートになります。
- PDR レジスタにデータを書き込むと、出力ラッチには値が保持されますが、端子には出力されません。
- PDR レジスタを読み出すと、端子の値を読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR レジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタの値は "0" に初期化され、ポート入力が許可された状態になります。

● ストップモードおよび時計モードの動作

- ストップモードもしくは時計モードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定されていると、DDR レジスタの値に関係なく強制的に端子はハイインピーダンスになります。
なお、入力開放によるリークを防ぐため、入力は "L" に固定されて遮断されます。
- 端子状態指定ビットが "0" の場合は、ポート入出力の状態のままになり、出力レベルは維持されます。

● プルアップ制御レジスタの動作

PUL レジスタに "1" を設定すると、端子のプルアップ抵抗が接続されます。
ただし、汎用出力ポートや兼用する周辺リソースが "L" レベル出力のときは PUL レジスタの値によらずプルアップ抵抗は切断されます。

● 入力レベル選択レジスタ 2 の動作

- ILSR2 レジスタは、5V 品のみ有効なレジスタです。
- ILSR2 レジスタの bit6 に "1" を設定すると、ポート G の入力レベルがヒステリシス入力レベルから、オートモーティブ入力レベルへ変わります。ILSR2 レジスタの bit6 が "0" のときは、ヒステリシス入力レベルになります。

表 9.8-4 に、ポート G の端子状態を示します。

表 9.8-4 ポート G の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	I/O ポート	Hi-Z 入力遮断	Hi-Z 入力可能 * (ただし、機能しない)

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z : ハイインピーダンス

※: " 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット後は内蔵プルアップを設定するか、出力に設定することを推奨します。

第10章

タイムベースタイマ

タイムベースタイマの機能と動作について説明します。

- 10.1 タイムベースタイマの概要
- 10.2 タイムベースタイマの構成
- 10.3 タイムベースタイマのレジスタ
- 10.4 タイムベースタイマの割込み
- 10.5 タイムベースタイマの動作説明と設定手順例
- 10.6 タイムベースタイマ使用上の注意

10.1 タイムベースタイマの概要

タイムベースタイマは、メインクロックの 2 分周に同期してカウントダウンする 22 ビットのフリーランカウンタで、一定の時間間隔で繰り返し割り込み要求を発生させるインターバルタイマ機能があります。

■ インターバルタイマ機能

インターバルタイマ機能は、メインクロックの 2 分周をカウントクロックとして一定の時間間隔で繰り返し割り込み要求を発生させる機能です。

- ・ タイムベースタイマのカウンタがカウントダウンを行い、選択したインターバル時間が経過するごとに割り込み要求を発生します。
- ・ インターバル時間は、次の 4 種類の中から選択できます。

表 10.1-1 に、タイムベースタイマのインターバル時間を示します。

表 10.1-1 タイムベースタイマのインターバル時間

内部カウントクロック周期	インターバル時間
$2/F_{CH}(0.5 \mu s)$	$2^{10} \times 2/F_{CH}(512.0 \mu s)$
	$2^{12} \times 2/F_{CH}(2.05ms)$
	$2^{14} \times 2/F_{CH}(8.19ms)$
	$2^{16} \times 2/F_{CH}(32.77ms)$

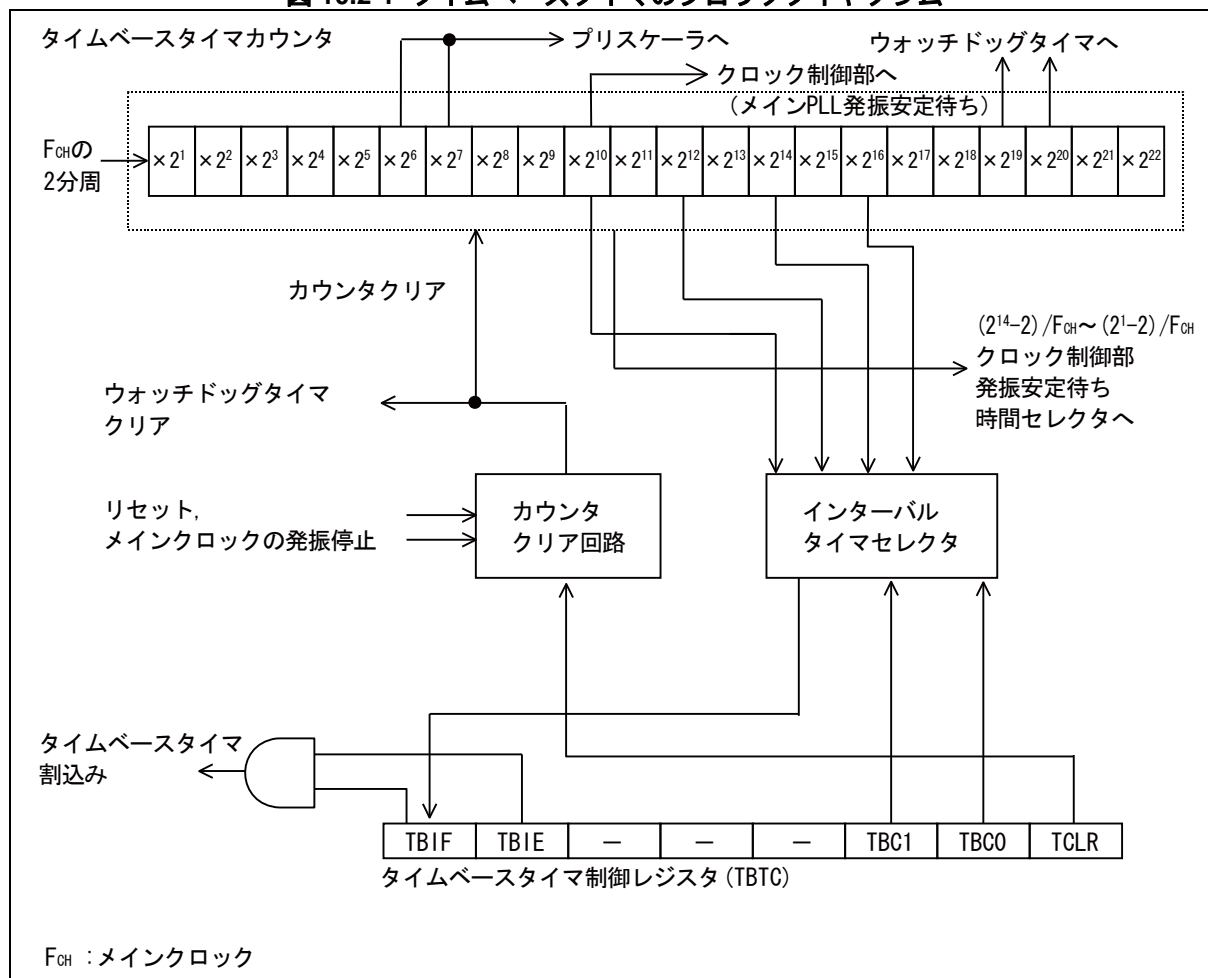
F_{CH} : メインクロック

() 内はメインクロック 4MHz 動作時の値です。

タイムベースタイマは、以下のブロックから構成されています。

- タイムベースタイマカウンタ
- カウンタクリア回路
- インターバルタイマセレクタ
- タイムベースタイマ制御レジスタ (TBTC)

図 10.2-1 タイムベースタイマのブロックダイヤグラム



- タイムベースタイマカウンタ

メインクロックの 2 分周をカウントクロックとする 22 ビットのダウンカウンタです。

- カウンタクリア回路

タイムベースタイマのカウンタのクリアを制御します。

- インターバルタイマセクタ

タイムベースタイマカウンタ中 22 ビットの内の 4 ビットからインターバルタイマ用の 1 ビットを選択する回路です。

- タイムベースタイマ制御レジスタ (TBTC)

インターバル時間の選択, カウンタのクリア, 割込み制御および状態の確認を行います。

■ 入力クロック

タイムベースタイマは, メインクロックを 2 分周したクロックを入力クロック (カウントクロック) として使用します。

■ 出力クロック

タイムベースタイマは, メインクロック発振安定待ち時間用タイマ, ウォッチドッグタイマおよびプリスケアラにクロックを供給しています。

10.3.1 タイムベースタイマ制御レジスタ (TBTC)

タイムベースタイマ制御レジスタ (TBTC) は、インターバル時間の選択、カウンタのクリア、割込み制御および状態の確認を行うレジスタです。

■ タイムベースタイマ制御レジスタ (TBTC)

図 10.3-2 タイムベースタイマ制御レジスタ (TBTC)

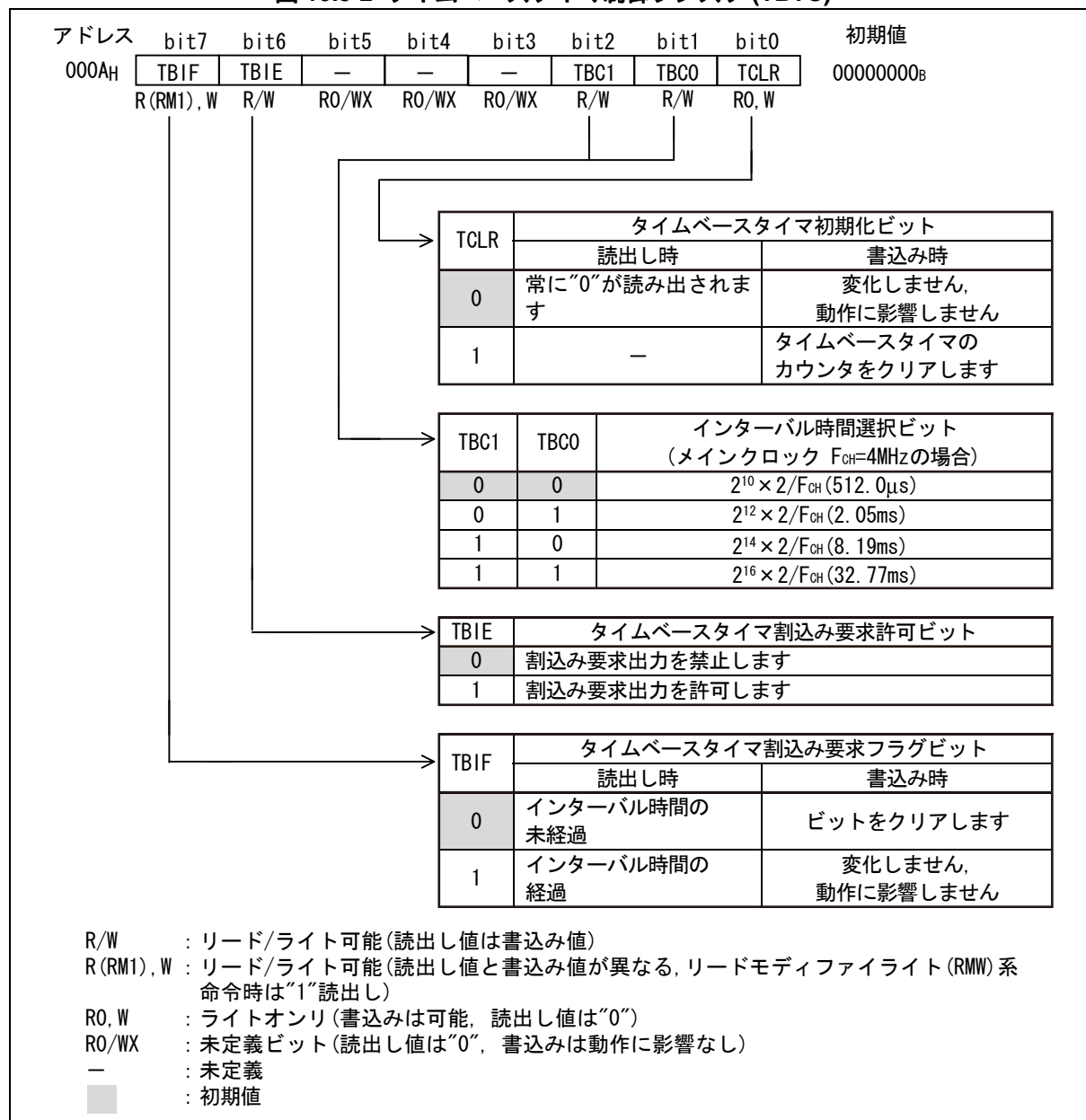


表 10.3-1 タイムベースタイマ制御レジスタ (TBTC) の各ビットの機能説明

ビット名		機能															
bit7	TBIF: タイムベースタイマ 割込み要求フラグ ビット	タイムベースタイマにより選択したインターバル時間が経過すると, "1" に設定されるフラグです。 このビットとタイムベースタイマ割込み要求許可ビット (TBIE) が "1" のとき, 割込み要求を出力します。 "0" に設定した場合: クリアされます。 "1" に設定した場合: 動作に影響を与えません。 リードモディファイライト (RMW) 系命令の読出し時は, 常に "1" が読み出されます。															
bit6	TBIE: タイムベースタイマ 割込み要求許可 ビット	割込みコントローラへの割込み要求出力の許可 / 禁止を行うビットです。 "0" に設定した場合: タイムベースタイマの割込み要求出力を禁止します。 "1" に設定した場合: タイムベースタイマの割込み要求出力を許可します。 このビットとタイムベースタイマ割込み要求フラグビット (TBIF) が "1" のとき, 割込み要求を出力します。															
bit5 ~ bit3	未定義ビット	未定義ビットです。 • 読出し時の値は常に "0" です。 • 書込みは動作に影響を与えません。															
bit2, bit1	TBC1, TBC0: インターバル 時間選択ビット	インターバル時間を選択するビットです。 <table border="1"> <thead> <tr> <th>TBC1</th><th>TBC0</th><th>インターバル時間選択ビット (メインクロック $F_{CH}=4\text{MHz}$ の場合)</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>$2^{10} \times 2/F_{CH}(512.0 \mu\text{s})$</td></tr> <tr> <td>0</td><td>1</td><td>$2^{12} \times 2/F_{CH}(2.05\text{ms})$</td></tr> <tr> <td>1</td><td>0</td><td>$2^{14} \times 2/F_{CH}(8.19\text{ms})$</td></tr> <tr> <td>1</td><td>1</td><td>$2^{16} \times 2/F_{CH}(32.77\text{ms})$</td></tr> </tbody> </table>	TBC1	TBC0	インターバル時間選択ビット (メインクロック $F_{CH}=4\text{MHz}$ の場合)	0	0	$2^{10} \times 2/F_{CH}(512.0 \mu\text{s})$	0	1	$2^{12} \times 2/F_{CH}(2.05\text{ms})$	1	0	$2^{14} \times 2/F_{CH}(8.19\text{ms})$	1	1	$2^{16} \times 2/F_{CH}(32.77\text{ms})$
TBC1	TBC0	インターバル時間選択ビット (メインクロック $F_{CH}=4\text{MHz}$ の場合)															
0	0	$2^{10} \times 2/F_{CH}(512.0 \mu\text{s})$															
0	1	$2^{12} \times 2/F_{CH}(2.05\text{ms})$															
1	0	$2^{14} \times 2/F_{CH}(8.19\text{ms})$															
1	1	$2^{16} \times 2/F_{CH}(32.77\text{ms})$															
bit0	TCLR: タイムベースタイマ 初期化ビット	タイムベースタイマのカウンタをクリアするビットです。 "0" に設定した場合: 無視され, 動作に影響しません。 "1" に設定した場合: カウンタの全ビットが "1" に初期化されます。 読出し時の値は常に "0" です。 (注意事項) ウォッチドッグタイマのカウントクロックとして本タイムベースタイマの出力を選択しているとき, このビットでタイムベースタイマをクリアするとウォッチドッグタイマもクリアされます。															

10.4 タイムベースタイマの割込み

タイムベースタイマにより選択したインターバル時間が経過すると、割込み要求が発生します (インターバルタイマ機能)。

■ インターバル機能動作時の割込み

タイムベースタイマカウンタが内部カウントクロックでカウントダウンし、選択されたタイムベースタイマカウンタがアンダフローすると、割込み要求フラグビット (TBTC: TBIF) が "1" に設定されます。そのとき、割込み要求許可ビットを許可 (TBTC: TBIE=1) にしている場合に割込みコントローラへ割込み要求 (IRQ19) が発生します。

- TBIF ビットは、TBIE ビットの値に関係なく、選択されたビットがアンダフローすると "1" に設定されます。
- TBIF ビットが "1" のとき、TBIE ビットを禁止から許可 (0 → 1) にすると、直ちに割込み要求が発生します。
- カウンタクリア (TBTC:TCLR=1) とタイムベースタイマカウンタのアンダフローが同時に発生した場合は、TBIF ビットの設定は行われません。
- 割込み処理ルーチンでは TBIF ビットに "1" を書き込んで割込み要求をクリアしてください。

< 注意事項 >

リセット解除後に割込み要求出力を許可 (TBTC:TBIE=1) する場合は、必ず TBIF ビットを同時にクリア (TBTC:TBIF=0) してください。

表 10.4-1 タイムベースタイマ割込み

項目	説明
割込みの条件	TBTC:TBC1, TBC0 で設定したインターバル時間が経過した。
割込みフラグ	TBTC:TBIF
割込み許可	TBTC:TBIE

■ タイムベースタイマの割込みに関連するレジスタとベクタテーブル

表 10.4-2 タイムベースタイマの割込みに関連するレジスタとベクタテーブル

割込み要因	割込み 要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
タイムベース タイマ	IRQ19	ILR4	L19	FFD4 _H	FFD5 _H

全周辺機能の割込み要求番号 / ベクタテーブルについては「第 8 章 割込み」を参照してください。

< 注意事項 >

メインクロック発振安定待ち時間より短いインターバル時間をタイムベースタイマに設定すると、クロックモードやスタンバイモードの遷移に伴うメインクロック発振安定待ち時間中に、タイムベースタイマの割込み要求が発生します。これを防ぐために、メインクロックの発振が停止するモード（ストップモード、サブクロックモード、またはサブ PLL クロックモード）へ移行する場合は、タイムベースタイマ制御レジスタのタイムベース割込み要求許可ビット (TBTC:TBIE) を "0" にし、タイムベースタイマの割込みを禁止してください。

10.5 タイムベースタイマの動作説明と設定手順例

タイムベースタイマのインターバルタイマ機能の動作について説明します。

■ タイムベースタイマの動作

タイムベースタイマのカウンタは、リセット後 "3FFFFFF_H" に初期化され、メインクロックの 2 分周に同期してカウント動作を行います。

タイムベースタイマはメインクロックが発振している間、カウントダウンを続けます。メインクロックが停止するとカウント動作を停止し "3FFFFFF_H" に初期化されます。

図 10.5-1 に、インターバルタイマ機能の設定を示します。

図 10.5-1 インターバルタイマ機能の設定

TBTC	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
アドレス :000A _H	TBIF	TBIE	-	-	-	TBC1	TBC0	TCLR
	0	1						0

: 使用ビット
1 : "1" を設定
0 : "0" を設定

タイムベースタイマ制御レジスタのタイムベースタイマ初期化ビット (TBTC:TCLR) に "1" を設定すると、タイムベースタイマのカウンタは "3FFFFFF_H" に初期化され、カウントダウンを継続します。選択されたインターバル時間が経過すると、タイムベースタイマ制御レジスタのタイムベースタイマ割込み要求フラグビット (TBTC:TBIF) が "1" になります。つまり、クリアされた時間を基準にして、選択されたインターバル時間ごとに割込み要求が発生します。

■ タイムベースタイマのクリア

タイムベースタイマをクリアすると、タイムベースタイマの出力をほかの周辺機能で使用している場合は、カウント時間が変化するなどの影響を与えます。

タイムベースタイマ初期化ビット (TBTC:TCLR) によるクリアを行う場合は、予期しない影響を及ぼさないようにほかの周辺機能を設定してください。

なお、ウォッチドッグタイマがタイムベースタイマの出力をカウントクロックとして選択しているときにタイムベースタイマがクリアされると、同時にウォッチドッグタイマもクリアされます。

タイムベースタイマは、タイムベースタイマ初期化ビット (TBTC:TCLR) によるクリアに加え、メインクロックが停止し、発振安定待ち時間のカウントが必要になるとクリアされます。具体的には以下の場合にクリアされます。

- ・ メインクロックモード、またはメイン PLL クロックモードからストップモードへ移行したとき
- ・ メインクロックモード、またはメイン PLL クロックモードからサブクロックモード、またはサブ PLL クロックモードへ移行したとき
- ・ 電源投入時
- ・ 低電圧検出リセット発生時

また、メインクロック発振安定待ち時間の経過後、メインクロックが動作している状態でリセットが発生した場合は、タイムベースタイマのカウントはクリアされ、動作を停止します。ただし、発振安定待ち時間のカウントが必要な場合は、リセット中も動作を継続します。

■ タイムベースタイマの動作例

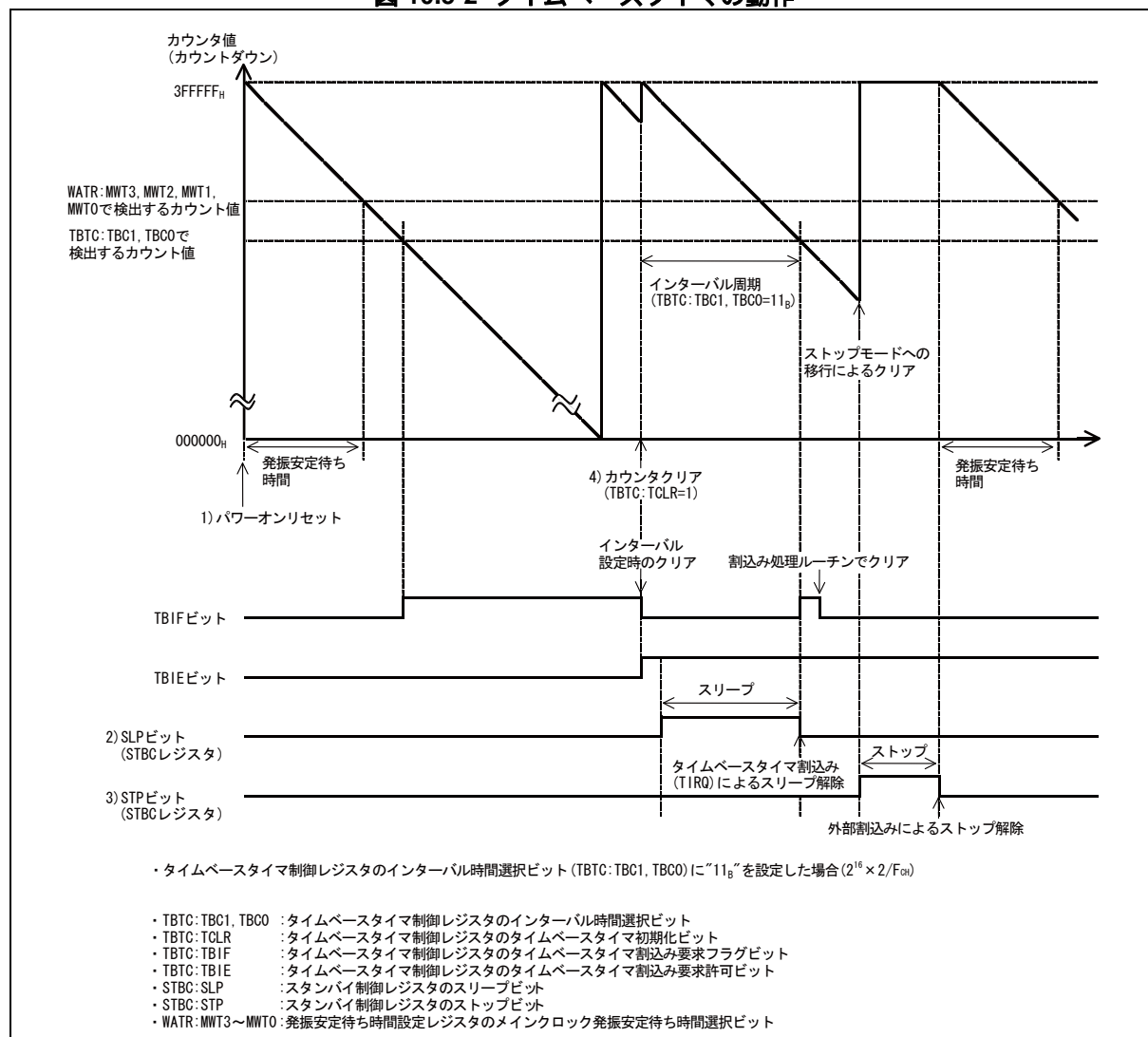
図 10.5-2 に、タイムベースタイマの動作を示します。

- 1) パワーオンリセットが発生した場合
- 2) メインクロックモード、メイン PLL クロックモードでインターバルタイマ機能の動作中にスリープモードへ移行した場合
- 3) メインクロックモード、メイン PLL クロックモード時にストップモードへ移行した場合
- 4) カウンタクリアの要求があった場合

タイムベースタイマモードへの移行は、スリープモードへの移行と同様の動作をします。

サブクロックモード、サブ PLL クロックモード、メインクロックモードおよびメイン PLL クロックモード時のストップモードでは、タイムベースタイマはクリアされメインクロックが停止するためにタイマは動作を停止します。復帰時は、タイムベースタイマで発振安定待ち時間をカウントします。

図 10.5-2 タイムベースタイマの動作



■ 設定手順例

● 初期設定

タイムベースタイマの設定手順例を以下に示します。

- 1) 割込み禁止を設定 (TBTC: TBIE=0)
- 2) インターバル時間を設定 (TBTC: TBC1, TBC0)
- 3) 割込み許可を設定 (TBTC: TBIE=1)
- 4) カウンタをクリア (TBTC: TCLR=1)

● 割込み処理

- 1) 割込み要求フラグをクリア (TBTC: TBIF=0)
- 2) カウンタをクリア (TBTC: TCLR=1)

10.6 タイムベースタイマ使用上の注意

タイムベースタイマを使用する場合は、以下の点にご注意ください。

■ タイムベースタイマ使用上の注意

- プログラムで設定する場合

割込み要求フラグビット (TBTC:TBIF) が "1" で、割込み要求許可ビットが許可 (TBTC:TBIE=1) の状態では、割込み処理から復帰できません。割込み処理ルーチン内で TBIF ビットのクリアを必ず行ってください。

- タイムベースタイマのクリアについて

タイムベースタイマは、タイムベースタイマ初期化ビットによるクリア (TBTC:TCLR=1) 以外に、メインクロックの発振安定待ち時間が必要となる場合にクリアされます。ウォッチドッグタイマのカウントクロックにタイムベースタイマを選択 (WDTC:CS1, CS0 = 00_B または CS1, CS0 = 01_B) した場合、タイムベースタイマのクリアによってウォッチドッグタイマもクリアされます。

- タイムベースタイマからクロックを供給される周辺機能について

メインクロック原発振が停止するモードでは、カウンタはクリアされ、タイムベースタイマは動作を停止します。また、タイムベースタイマのカウンタをクリアすると、タイムベースタイマの出力をほかの周辺機能で使用している場合は、周期が変化するなどの影響を与えます。ウォッチドッグタイマ用のクロックも初期状態からの出力となりますが、ウォッチドッグタイマのカウンタが同時にクリアされるため、ウォッチドッグタイマは正常な周期で動作します。

第11章

ウォッチドッグタイマ

ウォッチドッグタイマの機能と動作について説明します。

- 11.1 ウォッチドッグタイマの概要
- 11.2 ウォッチドッグタイマの構成
- 11.3 ウォッチドッグタイマのレジスタ
- 11.4 ウォッチドッグタイマの動作説明と設定手順例
- 11.5 ウォッチドッグタイマ使用上の注意

11.1 ウォッチドッグタイマの概要

ウォッチドッグタイマは、プログラム暴走対策用のカウンタです。

■ ウォッチドッグタイマ機能

ウォッチドッグタイマは、プログラム暴走対策用のカウンタです。一度起動すると一定時間内で定期的にウォッチドッグタイマのカウンタをクリアし続ける必要があります。プログラムが無限ループに陥るなどして、一定時間以上クリアされない場合、ウォッチドッグリセットが発生します。

ウォッチドッグタイマのカウントクロックはタイムベースタイマの出力、または時計プリスケアラの出力から選択できます。

表 11.1-1 に、ウォッチドッグタイマインターバル時間を示します。ウォッチドッグタイマのカウンタがクリアされない場合、最小時間～最大時間の間にウォッチドッグリセットが発生します。インターバル時間の最小時間内にウォッチドッグタイマのカウンタをクリアしてください。

表 11.1-1 ウォッチドッグタイマインターバル時間

カウントクロックの種類	カウントクロック切換えビット (WDTC : CS1, CS0)*	インターバル時間	
		最小時間	最大時間
タイムベースタイマ出力 (メインクロック 4MHz 時)	00 _B	524 ms	1.05 s
	01 _B	262 ms	524 ms
時計プリスケアラ出力 (サブクロック 32.768kHz 時)	10 _B	500 ms	1.00 s
	11 _B	250 ms	500 ms

*: WDTC:CS1, CS0 : ウォッチドッグタイマ制御レジスタのカウントクロック切換えビット

ウォッチドッグタイマインターバル時間の最小時間と最大時間については、「11.4 ウォッチドッグタイマの動作説明と設定手順例」を参照してください。

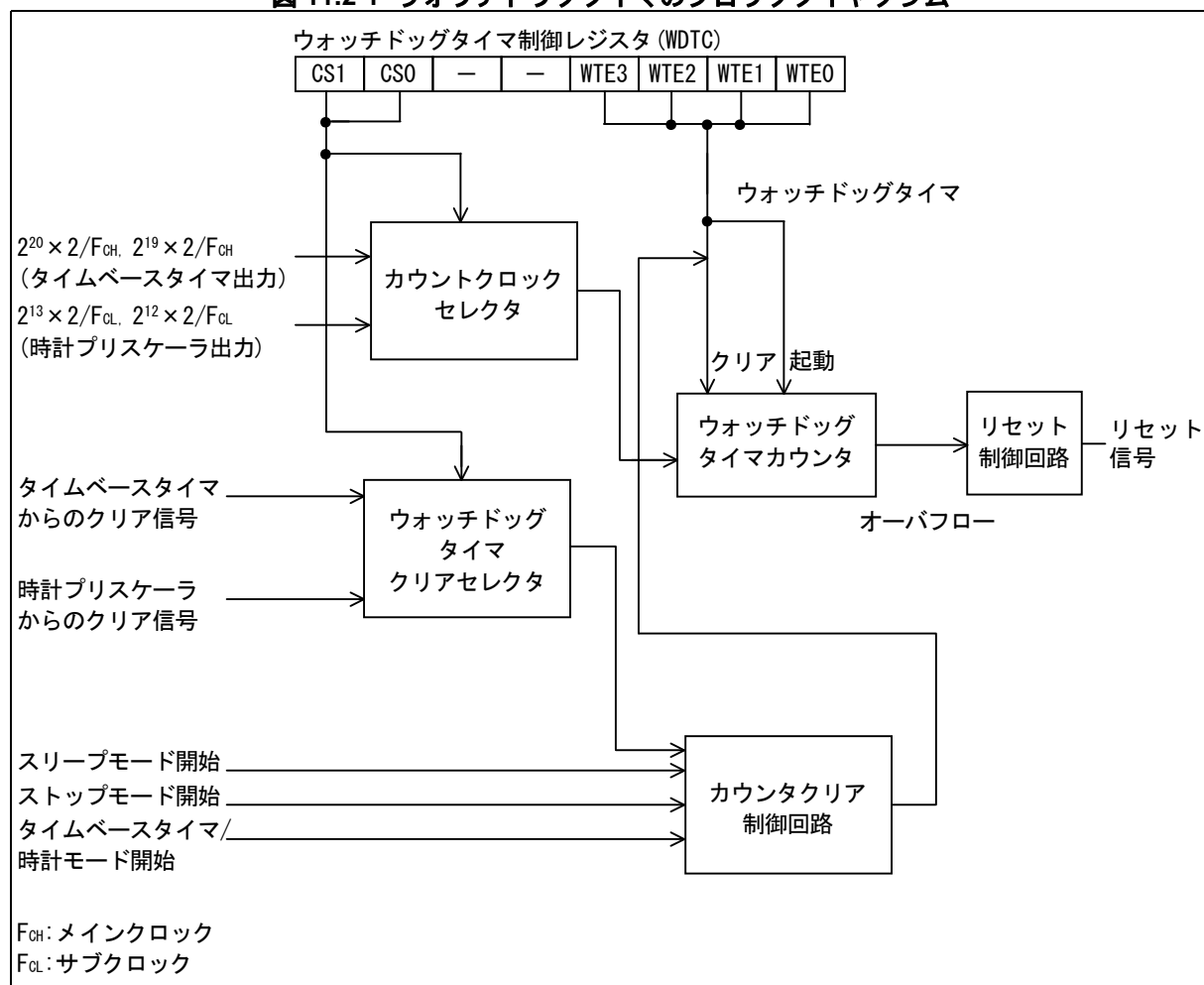
11.2 ウォッチドッグタイマの構成

ウォッチドッグタイマは、以下のブロックで構成されています。

- カウントクロックセクタ
- ウォッチドッグタイマカウンタ
- リセット制御回路
- ウォッチドッグタイマクリアセクタ
- カウンタクリア制御回路
- ウォッチドッグタイマ制御レジスタ (WDTC)

■ ウォッチドッグタイマのブロックダイヤグラム

図 11.2-1 ウォッチドッグタイマのブロックダイヤグラム



- カウントクロックセクタ

ウォッチドッグタイマカウンタのカウントクロックを選択します。

- ウォッチドッグタイマカウンタ

タイムベースタイマの出力または時計プリスケアラの出力をカウントクロックとする 1 ビットのカウンタです。

- リセット制御回路

ウォッチドッグタイマカウンタのオーバフローによってリセット信号を発生させます。

- ウォッチドッグタイマクリアセクタ

ウォッチドッグタイマクリア信号を選択します。

- カウンタクリア制御回路

ウォッチドッグタイマカウンタのクリアと動作の停止を制御します。

- ウォッチドッグタイマ制御レジスタ (WDTC)

ウォッチドッグタイマカウンタの起動とクリア , およびカウントクロックの選択の設定を行います。

■ 入力クロック

ウォッチドッグタイマは , タイムベースタイマまたは時計プリスケアラからの出力クロックを入力クロック (カウントクロック) として使用します。

11.3.1 ウォッチドッグタイマ制御レジスタ (WDTC)

ウォッチドッグタイマ制御レジスタ (WDTC) は、ウォッチドッグタイマの起動とクリアを行うレジスタです。

■ ウォッチドッグタイマ制御レジスタ (WDTC)

図 11.3-2 ウォッチドッグタイマ制御レジスタ (WDTC)



表 11.3-1 ウォッチドッグタイマ制御レジスタ (WDTC) の各ビットの機能説明

ビット名		機能		
bit7, bit6	CS1, CS0: カウント クロック切換え ビット	ウォッチドッグタイマのカウントクロックを選択するビットです。		
		CS1	CS0	カウントクロック切換えビット
		0	0	タイムベースタイマの出力周期 ($2^{21}/F_{CH}$)
		0	1	タイムベースタイマの出力周期 ($2^{20}/F_{CH}$)
		1	0	時計プリスケーラの出力周期 ($2^{14}/F_{CL}$)
		1	1	時計プリスケーラの出力周期 ($2^{13}/F_{CL}$)
		• このビットはウォッチドッグ制御ビットでウォッチドッグタイマを起動するときに、同時に書き込んでください。 • ウォッチドッグタイマを起動後は変更できません。 (注意事項) サブクロックモード、またはサブ PLL クロックモードを使用する場合、タイムベースタイマが停止するため、必ず時計プリスケーラの出力を選択してください。1 系統クロック品では、時計プリスケーラの出力を選択しないでください。		
bit5, bit4	未定義ビット	未定義ビットです。 • 読出し時の値は "00 _B " • 書込みは動作に影響を与えません。		
bit3 ~ bit0	WTE3, WTE2, WTE1, WTE0: ウォッチドッグ 制御ビット	ウォッチドッグタイマの制御用ビットです。 "0101 _B " に設定した場合：ウォッチドッグタイマを起動（リセット後 1 回目の書込み）もしくはクリア（リセット後 2 回目以降の書込み）します。 "0101 _B " 以外に設定した場合：動作に影響を与えません。 • 読出し値は "0000 _B " です。		

リードモディファイライト (RMW) 系の命令は使用できません。

11.4 ウォッチドッグタイマの動作説明と設定手順例

ウォッチドッグタイマは、ウォッチドッグタイマカウンタのオーバフローによってウォッチドッグリセットを発生します。

■ ウォッチドッグタイマの動作

● ウォッチドッグタイマの起動方法

- ウォッチドッグタイマ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) に、リセット後、1 回目の "0101_B" を書き込むと起動します。このとき、ウォッチドッグタイマ制御レジスタのカウントクロック切換えビット (WDTC:CS1, CS0) を同時に指定します。
- ウォッチドッグタイマを一度起動すると、リセット以外に止める方法はありません。

● ウォッチドッグタイマのクリア

- ウォッチドッグタイマは、インターバル時間内にカウンタがクリアされない場合、カウンタがオーバフローし、ウォッチドッグリセットを発生します。
- ウォッチドッグタイマ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) への、2 回目以降の "0101_B" の書き込みによって、ウォッチドッグタイマのカウンタはクリアされます。
- ウォッチドッグタイマは、カウントクロックとして選択しているタイマ(タイムベースタイマまたは時計プリスケラ) がクリアされると、同時にクリアされます。

● スタンバイモード時の動作

ウォッチドッグタイマはクロックモードに関係なく、スタンバイモード(スリープ/ストップ/タイムベースタイマ/時計)に入ると、ウォッチドッグタイマカウンタをクリアして、動作を停止します。

スタンバイモードが解除されると動作を再開します。

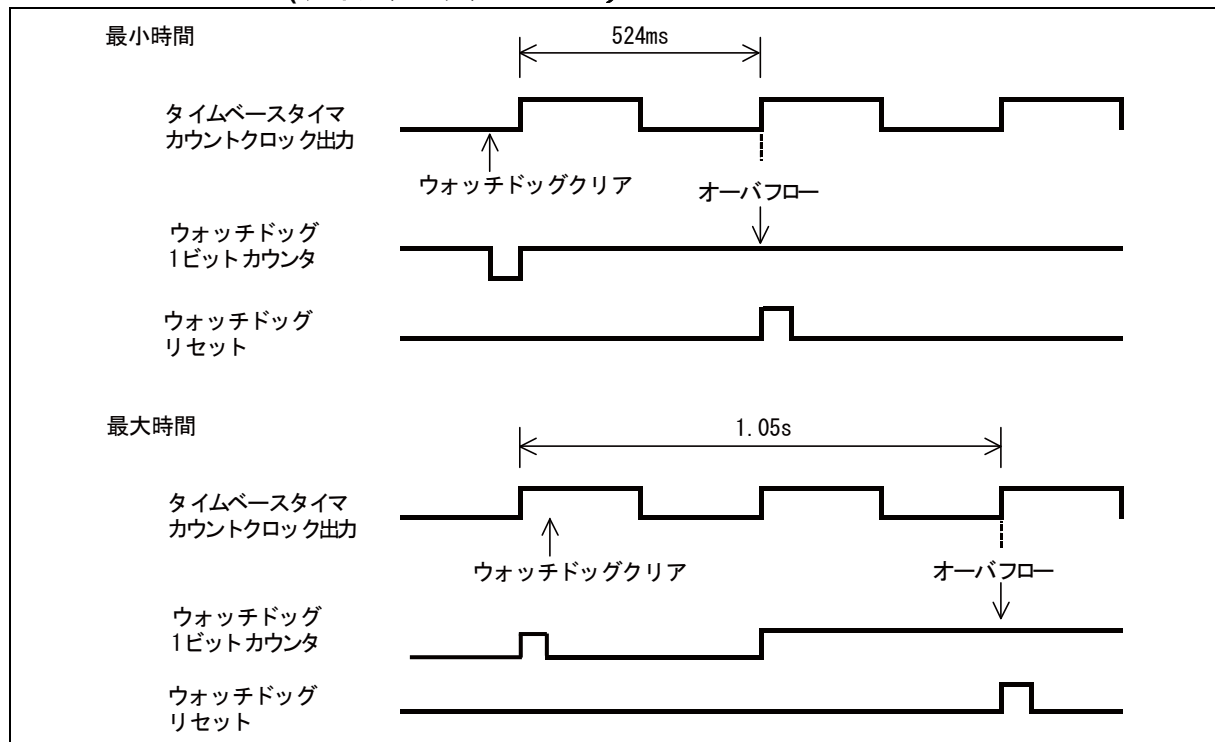
< 注意事項 >

ウォッチドッグタイマは、カウントクロックとして選択しているタイマ(タイムベースタイマまたは時計プリスケラ) がクリアされると同時にクリアされます。
このため、選択しているタイマをウォッチドッグタイマのインターバル時間内で繰り返しクリアするようなプログラムになっていると、ウォッチドッグタイマとして機能しなくなります。

● インターバル時間

インターバル時間は、ウォッチドッグタイマをクリアするタイミングによって変化します。図 11.4-1 に、ウォッチドッグタイマのクリアのタイミングとインターバル時間を示します。

図 11.4-1 ウォッチドッグタイマのクリアのタイミングとインターバル時間
(メインクロック：4MHz)



● サブクロックモード時の動作

サブクロックモードでウォッチドッグリセットが発生した場合、発振安定待ち時間の経過後にメインクロックモードで動作を開始します。この発振安定待ち時間の間、リセット信号が出力されます。

■ 設定手順

ウォッチドッグタイマは以下の手順で設定します。

- 1) カウントクロックを選択 (WDTC:CS1, CS0)
- 2) ウォッチドッグタイマを起動 (WDTC:WTE3 ~ WTE0=0101_B)
- 3) ウォッチドッグタイマをクリア (WDTC:WTE3 ~ WTE0=0101_B)

11.5 ウォッチドッグタイマ使用上の注意

ウォッチドッグタイマを使用するための注意点を示します。

■ ウォッチドッグタイマ使用上の注意

- ウォッチドッグタイマの停止について

ウォッチドッグタイマは、一度起動するとリセットが発生するまで停止できません。

- カウントクロックの選択について

カウントクロック切換えビット (WDTC:CS1, CS0) は、ウォッチドッグタイマ起動時にウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) を "0101_B" にしたときのみ書換え可能です。カウントクロック切換えビットは、ビット操作命令による書込みはできません。また、起動後は設定を変更できません。

サブクロックモードではメインクロックの発振が停止するため、タイムベースタイマは動作しません。

ウォッチドッグタイマがサブクロックモードで動作するには、あらかじめカウントクロックに時計プリスケラを選択 (WDTC:CS1, CS0 を "10_B" または "11_B") にする必要があります。

- ウォッチドッグタイマのクリアについて

ウォッチドッグタイマのカウントクロックに使用しているカウンタ (タイムベースタイマまたは時計プリスケラ) をクリアすると、同時にウォッチドッグタイマのカウンタもクリアされます。

スリープモード、ストップモードまたは時計モードに移行すると、ウォッチドッグタイマのカウンタはクリアされます。

- プログラム作成上の注意

メインループの中で、繰り返しウォッチドッグタイマをクリアするようなプログラムを作成する場合、割込み処理を含めたメインループの処理時間が、ウォッチドッグタイマインターバル時間の最小時間以下となるようにしてください。

第12章

時計プリスケラ

時計プリスケラの機能と動作について説明します。

- 12.1 時計プリスケラの概要
- 12.2 時計プリスケラの構成
- 12.3 時計プリスケラのレジスタ
- 12.4 時計プリスケラの割込み
- 12.5 時計プリスケラの動作説明と設定手順例
- 12.6 時計プリスケラ使用上の注意
- 12.7 時計プリスケラのサンプルプログラム

12.1 時計プリスケアラの概要

時計プリスケアラは、サブクロックの 2 分周に同期してカウントダウンする 15 ビットのフリーランカウンタです。一定の時間間隔で繰り返し割り込み要求を発生させるインターバルタイマ機能があります。

■ インターバルタイマ機能

インターバルタイマ機能とは、サブクロックの 2 分周をカウントクロックとして一定の時間間隔で繰り返し割り込み要求を発生させる機能です。

- 時計プリスケアラのカウンタがカウントダウンを行い、選択したインターバル時間が経過するごとに割り込み要求を発生します。
- インターバル時間は、次の 4 種類の中から選択できます。

表 12.1-1 に、時計プリスケアラのインターバル時間を示します。

表 12.1-1 時計プリスケアラのインターバル時間

内部カウントクロック周期	インターバル時間
$2/F_{CL}(61.0\ \mu s)$	$2^{11} \times 2/F_{CL}(125ms)$
	$2^{12} \times 2/F_{CL}(250ms)$
	$2^{13} \times 2/F_{CL}(500ms)$
	$2^{14} \times 2/F_{CL}(1.00s)$

F_{CL} : サブクロック

() 内はサブクロック 32.768kHz 動作時の値です。

< 注意事項 >

時計プリスケアラは、1 系統クロック品では使用できません。

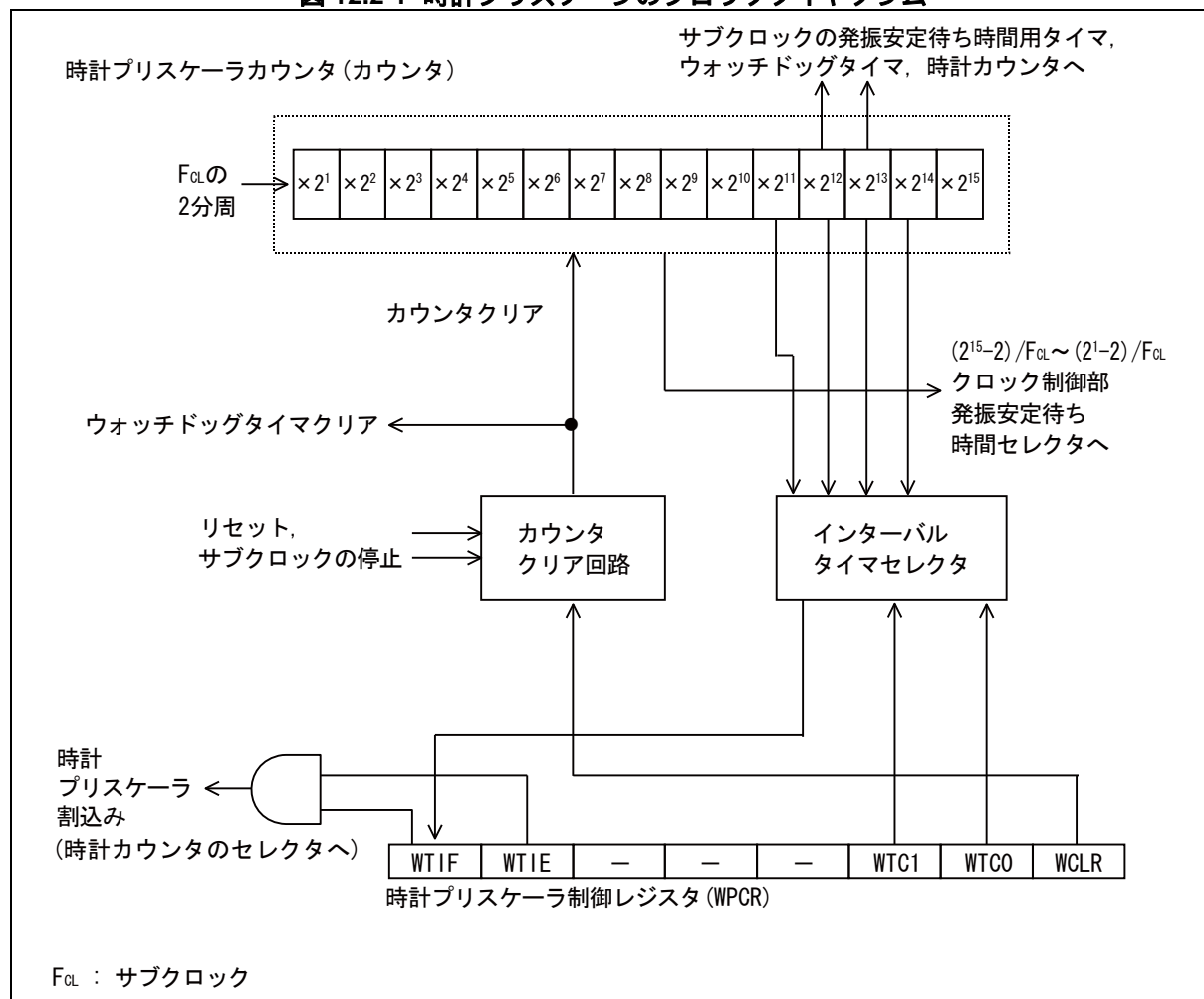
12.2 時計プリスケアラの構成

時計プリスケアラは、以下のブロックから構成されています。

- 時計プリスケアラカウンタ
- カウンタクリア回路
- インターバルタイマセクタ
- 時計プリスケアラ制御レジスタ (WPCR)

■ 時計プリスケアラのブロックダイアグラム

図 12.2-1 時計プリスケアラのブロックダイアグラム



- 時計プリスケラカウンタ (カウンタ)

サブクロックの 2 分周をカウントクロックとする 15 ビットのダウンカウンタです。

- カウンタクリア回路

時計プリスケラのクリアを制御します。

- インターバルタイマセクタ

時計プリスケラカウンタ中に 15 ビットの内の 4 ビットからインターバルタイマ用の 1 ビットを選択する回路です。

- 時計プリスケラ制御レジスタ (WPCR)

インターバル時間の選択、カウンタのクリア、割込み制御および状態の確認を行います。

■ 入力クロック

時計プリスケラは、サブクロックを 2 分周したクロックを入力クロック (カウントクロック) として使用します。

■ 出力クロック

時計プリスケラは、サブクロックの発振安定待ち時間用タイマ、ウォッチドッグタイマ、時計カウンタにクロックを供給しています。

12.3 時計プリスケアラのレジスタ

図 12.3-1 に時計プリスケアラのレジスタを示します。

■ 時計プリスケアラのレジスタ

図 12.3-1 時計プリスケアラに関連するレジスタ

時計プリスケアラ制御レジスタ (WPCR)									初期値
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
000B _H	WTIF	WTIE	-	-	-	WTC1	WTC0	WCLR	00000000 _B
	R(RM1),W	R/W	R0/WX	R0/WX	R0/WX	R/W	R/W	R0,W	
R/W : リード / ライト可能 (読出し値は書込み値)									
R(RM1),W : リード / ライト可能 (読出し値と書込み値が異なる , リードモディファイライト (RMW) 系命令時は "1" 読出し)									
R0,W : ライトオンリ (書込みは可能 , 読出し値は "0")									
R0/WX : 未定義ビット (読出し値は "0" , 書込みは動作に影響なし)									
- : 未定義									

12.3.1 時計プリスケアラ制御レジスタ (WPCR)

時計プリスケアラ制御レジスタ (WPCR) は、インターバル時間の選択、カウンタのクリア、割込み制御および状態の確認を行うレジスタです。

■ 時計プリスケアラ制御レジスタ (WPCR)

図 12.3-2 時計プリスケアラ制御レジスタ (WPCR)

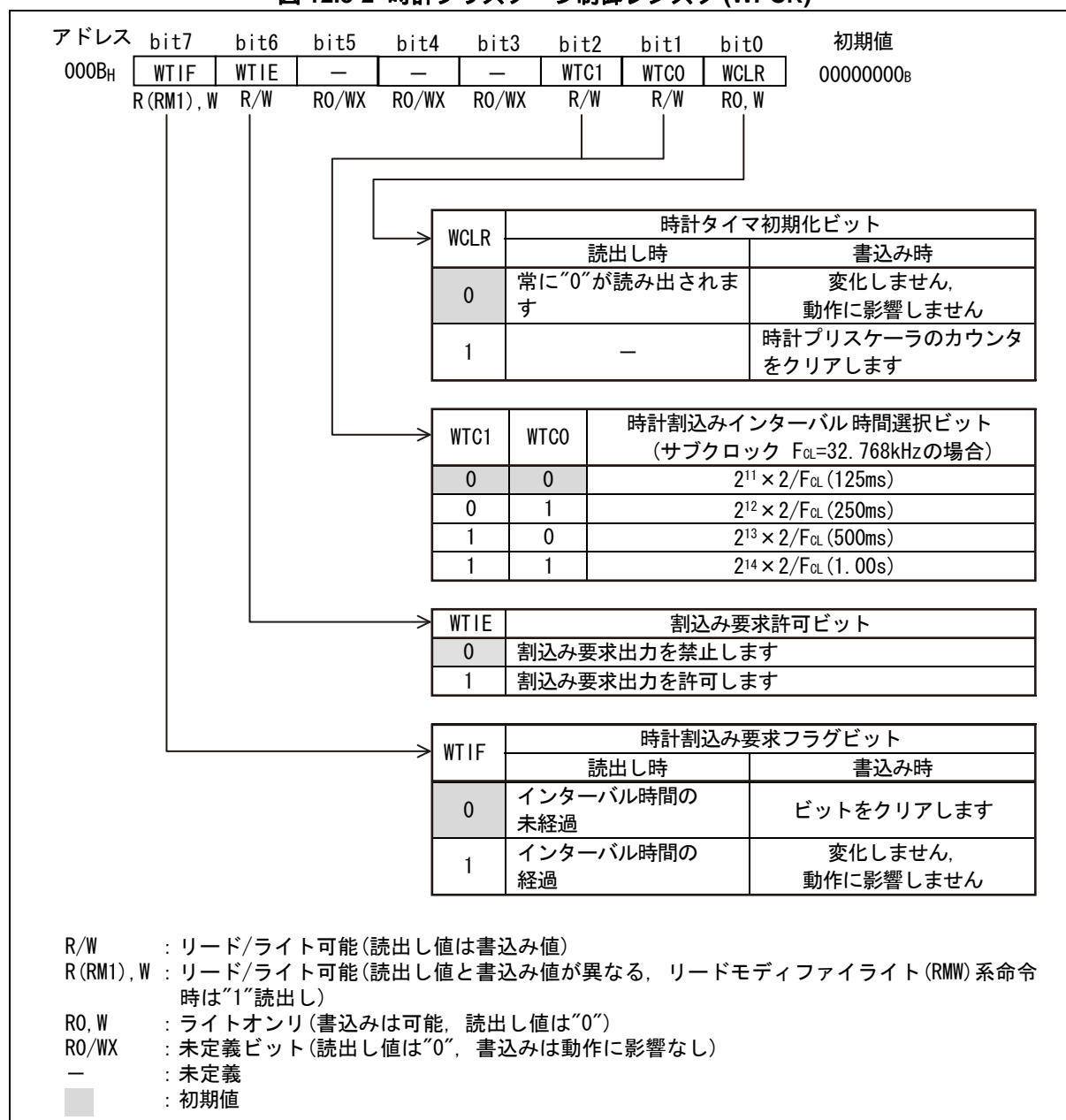


表 12.3-1 時計プリスケアラ制御レジスタ (WPCR) の各ビットの機能説明

ビット名		機能															
bit7	WTIF: 時計割込み要求 フラグビット	<p>時計プリスケアラにより選択したインターバル時間が経過すると, "1" になります。</p> <ul style="list-style-type: none"> このビットと割込み要求許可ビット (WTIE) が "1" のとき, 割込み要求を出力します。 <p>"0" に設定した場合: このビットは "0" になります。</p> <p>"1" に設定した場合: 無視され, 動作に影響しません。</p> <ul style="list-style-type: none"> リードモディファイライト (RMW) 系命令の読出し時は, 常に "1" が読み出されます。 															
bit6	WTIE: 割込み要求許可 ビット	<p>割込みコントローラへの割込み要求出力の許可 / 禁止を行うビットです。</p> <p>"0" に設定した場合: 時計プリスケアラの割込み要求出力を禁止します。</p> <p>"1" に設定した場合: 時計プリスケアラの割込み要求出力を許可します。</p> <p>このビットと時計割込み要求フラグビット (WTIF) が "1" のとき, 割込み要求を出力します。</p>															
bit5 ~ bit3	未定義ビット	<p>未定義ビットです。</p> <ul style="list-style-type: none"> 読出しの値は常に "0" です。 書込みは動作に影響を与えません。 															
bit2, bit1	WTC1, WTC0: 時計割込み インターバル 時間選択ビット	<p>インターバル時間を選択するビットです。</p> <table border="1"> <thead> <tr> <th>WTC1</th><th>WTC0</th><th>インターバル時間選択ビット (サブクロック $F_{CL}=32.768\text{kHz}$ の場合)</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>$2^{11} \times 2/F_{CL}(125\text{ms})$</td></tr> <tr> <td>0</td><td>1</td><td>$2^{12} \times 2/F_{CL}(250\text{ms})$</td></tr> <tr> <td>1</td><td>0</td><td>$2^{13} \times 2/F_{CL}(500\text{ms})$</td></tr> <tr> <td>1</td><td>1</td><td>$2^{14} \times 2/F_{CL}(1.00\text{s})$</td></tr> </tbody> </table>	WTC1	WTC0	インターバル時間選択ビット (サブクロック $F_{CL}=32.768\text{kHz}$ の場合)	0	0	$2^{11} \times 2/F_{CL}(125\text{ms})$	0	1	$2^{12} \times 2/F_{CL}(250\text{ms})$	1	0	$2^{13} \times 2/F_{CL}(500\text{ms})$	1	1	$2^{14} \times 2/F_{CL}(1.00\text{s})$
WTC1	WTC0	インターバル時間選択ビット (サブクロック $F_{CL}=32.768\text{kHz}$ の場合)															
0	0	$2^{11} \times 2/F_{CL}(125\text{ms})$															
0	1	$2^{12} \times 2/F_{CL}(250\text{ms})$															
1	0	$2^{13} \times 2/F_{CL}(500\text{ms})$															
1	1	$2^{14} \times 2/F_{CL}(1.00\text{s})$															
bit0	WCLR: 時計タイマ 初期化ビット	<p>時計プリスケアラ用カウンタをクリアするビットです。</p> <p>"0" に設定した場合: 無視され, 動作に影響しません。</p> <p>"1" に設定した場合: カウンタが全ビット "1" に初期化されます。</p> <p>読出し時の値は常に "0" です。</p> <p>(注意事項) ウォッチドッグタイマのカウントクロックとして本時計プリスケアラの出力を選択しているとき, このビットで時計プリスケアラをクリアするとウォッチドッグタイマもクリアされます。</p>															

12.4 時計プリスケアラの割込み

時計プリスケアラにより選択したインターバル時間が経過すると、割込み要求が発生します (インターバルタイマ機能)。

■ インターバルタイマ機能動作時の割込み (時計割込み)

メインクロックのストップモード以外の場合、時計プリスケアラ用カウンタがサブクロック原発振でカウントアップし、設定したインターバルタイマ時間が経過すると、時計割込み要求フラグビットが "1" に設定 (WPCR:WTIF=1) されます。そのとき、割込み要求許可ビットが許可 (WPCR:WTIE=1)、かつ時計カウンタの時計カウンタ起動割込み要求許可ビットが禁止 (WCSR:ISEL=0) の場合、時計プリスケアラから割込みコントローラへ割込み要求 (IRQ20) が出力されます。

- WTIF ビットは、WTIE ビットの値に関係なく、時計割込みインターバル時間選択ビットで設定した時間になると "1" に設定されます。
- WTIF ビットが "1" のとき、WTIE ビットを禁止から許可 (WPCR:WTIE=0 → 1) にすると、直ちに割込み要求が発生します。
- カウンタクリア (WPCR:WCLR=1) と選択したビットのオーバフローが同時に発生した場合は、WTIF ビットの設定は行われません。
- 割込み処理ルーチンで WTIF ビットに "0" を書き込んで割込み要求を "0" にクリアしてください。

< 注意事項 >

リセット解除後に割込み要求出力を許可 (WPCR:WTIE=1) する場合は、必ず WTIF ビットを同時にクリア (WPCR:WTIF=0) してください。

■ 時計プリスケアラの割込み

表 12.4-1 時計プリスケアラ割込み

項目	説明
割込みの条件	WPCR:WTC1, WTC0 で設定したインターバル時間が経過した。
割込みフラグ	WPCR:WTIF
割込み許可	WPCR:WTIE

■ 時計プリスケラの割り込みに関連するレジスタとベクタテーブル

表 12.4-2 時計プリスケラの割り込みに関連するレジスタとベクタテーブル

割り込み要因	割り込み 要求番号	割り込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
時計プリ スケラ *	IRQ20	ILR5	L20	FFD2 _H	FFD3 _H

*：時計プリスケラは時計カウンタと割り込み要求番号 / ベクタテーブルが兼用です。
全周辺機能の割り込み要求番号 / ベクタテーブルについては「第 8 章 割り込み」を参照してください。

< 注意事項 >

サブクロック発振安定待ち時間より短いインターバル時間を時計プリスケラに設定すると、サブクロックモード、またはサブ PLL クロックモードからストップモードへ移行した場合、外部割り込みによる復帰時のサブクロック発振安定待ち時間中に、時計プリスケラの割り込み要求が発生します。これを防ぐために、サブクロックモード、またはサブ PLL クロックモード時のストップモードに移行する場合は、時計プリスケラ制御レジスタの時計割り込み要求許可ビット (WPCR:WTIE) を "0" にして時計プリスケラの割り込みを禁止してください。

12.5 時計プリスケアラの動作説明と設定手順例

時計プリスケアラは、インターバルタイマ機能として動作します。

■ インターバルタイマ機能の動作 (時計プリスケアラ)

時計プリスケアラカウンタは、サブクロックが発振している間、サブクロックの2分周をカウントクロックとしてカウントダウンを続けます。

カウンタがクリア (WPCR:WCLR=1) されると "7FFF_H" からカウントダウンを行い、"0000_H" に達すると "7FFF_H" に戻ってカウントを継続します。カウントダウン中に、時計割込みインターバル時間選択ビットで設定した時間になると、メインクロックのストップモード以外の場合、時計割込み要求フラグビット (WPCR:WTIF) を "1" に設定します。つまり、クリアされた時間を基準にして、選択されたインターバル時間ごとに時計割込み要求が発生します。

■ 時計プリスケアラのクリア

時計プリスケアラをクリアすると、時計プリスケアラの出力をほかの周辺機能で使用している場合には、カウント時間が変化するなどの影響を与えます。

時計プリスケアラ初期化ビット (WPCR:WCLR) によるクリアを行う場合には、ほかの周辺機能に影響を及ぼさないような設定を行ってください。

なお、ウォッチドッグタイマは、時計プリスケアラの出力をカウントクロックとして選択しているとき、時計プリスケアラがクリアされると、同時にウォッチドッグタイマもクリアされるようになっています。

時計プリスケアラは、時計プリスケアラ初期化ビット (WPCR:WCLR) によるクリアに加え、サブクロックが停止し、発振安定待ち時間のカウントが必要になるとクリアされます。

- サブクロックモード、またはサブ PLL クロックモードからストップモードへ移行したとき
 - メインクロックモード、またはメイン PLL クロックモードにおいて、システムクロック制御レジスタのサブクロック発振停止ビット (SYCC:SUSBS) を "1" に設定したとき
- また、リセットが発生した場合、時計プリスケアラのカウンタはクリアされ、動作を停止します。

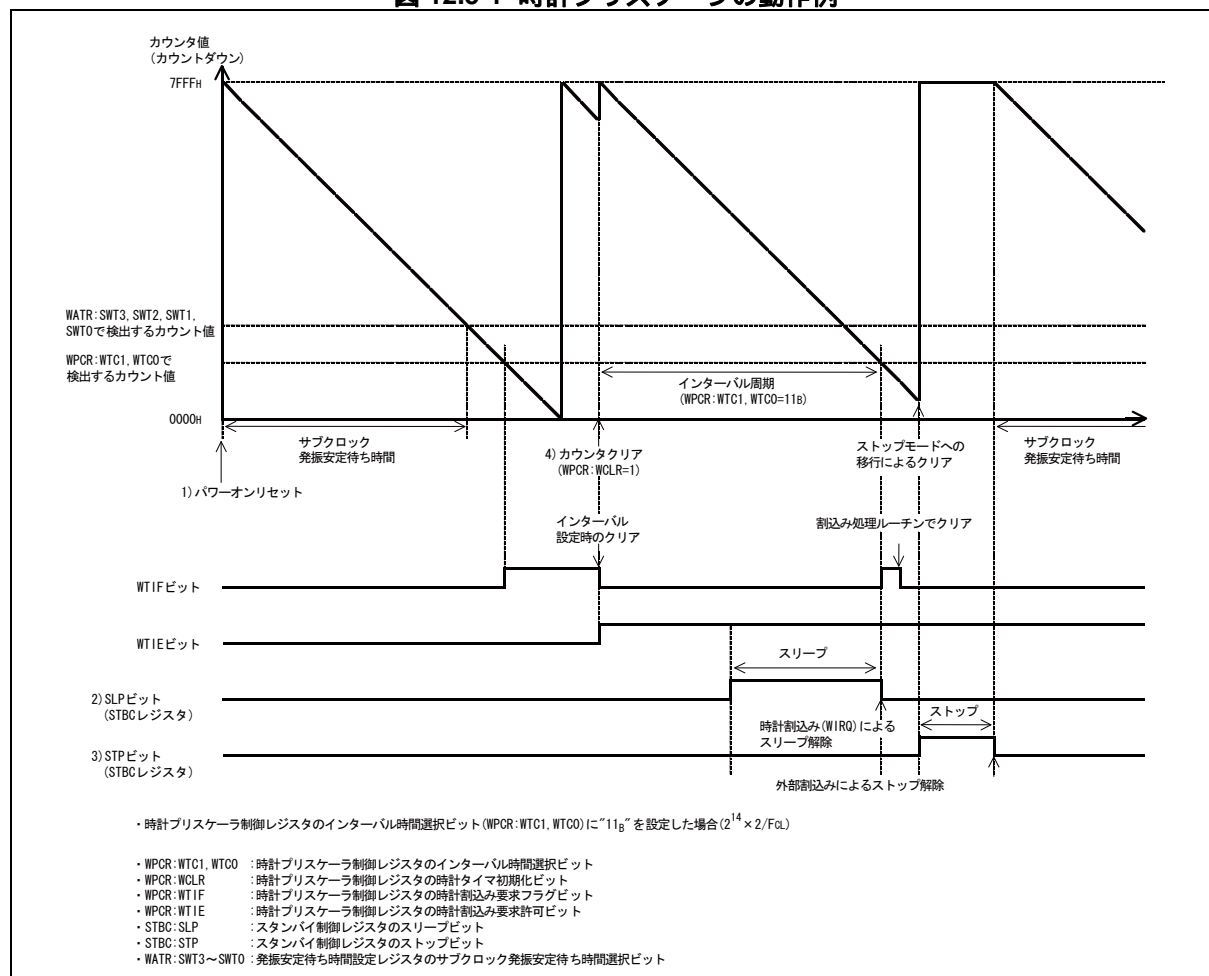
■ 時計プリスケアラの動作例

以下の状態の動作例を図 12.5-1 に示します。

- 1) パワーオンリセットが発生したとき
- 2) サブクロックモード、サブ PLL クロックモードでインターバルタイマ機能の動作中にスリープモードへ移行したとき
- 3) サブクロックモード、サブ PLL クロックモードでインターバルタイマ機能の動作中にストップモードへ移行したとき
- 4) カウンタクリアの要求があったとき

時計モードへの移行時は、スリープモードへの移行と同様となります。

図 12.5-1 時計プリスケアラの動作例



■ 設定手順例

時計プリスケアラの設定手順例を以下に示します。

● 初期設定

- 1) 割込みレベルの設定 (ILR5)
- 2) インターバル時間を設定 (WPCR: WTC1, WTC0)
- 3) 割込み許可を設定 (WPCR: WTIE=1)
- 4) カウンタをクリア (WPCR: WCLR=1)

● 割込み処理

- 1) 割込み要求フラグをクリア (WPCR: WTIF=0)
- 2) 任意の処理

12.6 時計プリスケアラ使用上の注意

時計プリスケアラを使用する場合の注意点を示します。
時計プリスケアラは、1 系統クロックオプション品では使用できません。

■ 時計プリスケアラ使用上の注意

- プログラムで割込み処理を設定する場合

割込み要求フラグビット(WPCR:WTIF)が"1"で、割込み要求許可ビットが許可(WPCR:WTIE=1)されている場合には、割込み処理から復帰できません。WTIF ビットを必ず割込みルーチン内でクリアしてください。

- 時計プリスケアラのクリアについて

ウォッチドッグタイマのカウントクロックに時計プリスケアラを選択(WDTC:CS1, CS0=10_B または CS1, CS0=11_B)した場合、時計プリスケアラをクリアするとウォッチドッグタイマもクリアされます。

- 時計割込みについて

メインクロックのストップモードでは、時計プリスケアラはカウント動作をしますが、時計プリスケアラの割込み(IRQ20)は発生しません。

- 時計プリスケアラからクロックを供給される周辺機能について

時計プリスケアラのカウンタをクリアすると、時間プリスケアラの出力をほかの周辺機能で使用している場合は、周期が変化するなどの影響を与えます。

ウォッチドッグタイマ用のクロックも初期状態からの出力となりますが、ウォッチドッグタイマのカウンタも同時にクリアされるため、ウォッチドッグタイマは正常な周期で動作します。

12.7 時計プリスケアラのサンプルプログラム

時計プリスケアラを動作させるためのサンプルプログラムを提供しています。

■ 時計プリスケアラのサンプルプログラム

時計プリスケアラのサンプルプログラムについては、「はじめに」の「 サンプルプログラム」を参照してください。

■ プログラム例以外の設定方法

● 時計プリスケアラを初期化する方法

時計タイマ初期化ビット (WPCR:WCLR) で行います。

制御内容	時計タイマ初期化ビット (WCLR)
時計プリスケアラを初期化するには	"1" を設定する

● インターバル時間の選択方法

時計割込みインターバル時間選択ビット (WPCR:WTC1/WTC0) で選択します。

● 割込み関連レジスタ

割込みレベルは、下表の割込みレベルレジスタで設定します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
時計プリスケアラ	割込みレベルレジスタ (ILR5) アドレス : 0007E _H	#20 アドレス : 0FFD2 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は、割込み要求許可ビット (WPCR:WTIE) にて行います。

制御内容	割込み要求許可ビット (WTIE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (WPCR:WTIF) にて行います。

制御内容	割込み要求フラグ (WTIF)
割込み要求をクリアするには	"0" を設定する

第13章

時計カウンタ

時計カウンタの機能と動作について説明します。

- 13.1 時計カウンタの概要
- 13.2 時計カウンタの構成
- 13.3 時計カウンタのレジスタ
- 13.4 時計カウンタの割込み
- 13.5 時計カウンタの動作説明と設定手順例
- 13.6 時計カウンタ使用上の注意
- 13.7 時計カウンタのサンプルプログラム

13.1 時計カウンタの概要

時計カウンタは、最小 125ms、最大 63s の間隔で割込み要求を発生できます。

■ 時計カウンタ

時計カウンタは選択されたカウントクロックにてレジスタに設定した値分カウントして割込み要求を発生させます。カウントクロックは表 13.1-1 の 4 種類から選択できます。カウント値は、0 ~ 63 まで設定できます。"0" に設定した場合、割込みは発生しません。

カウント周期を 1s にして、カウント値を "60" にした場合、1 分ごとに割込みが発生します。

表 13.1-1 カウントクロックの種類

カウントクロック	$F_{CL} = 32.768\text{kHz}$ の場合のカウント周期
$2^{12}/F_{CL}$	125ms
$2^{13}/F_{CL}$	250ms
$2^{14}/F_{CL}$	500ms
$2^{15}/F_{CL}$	1s

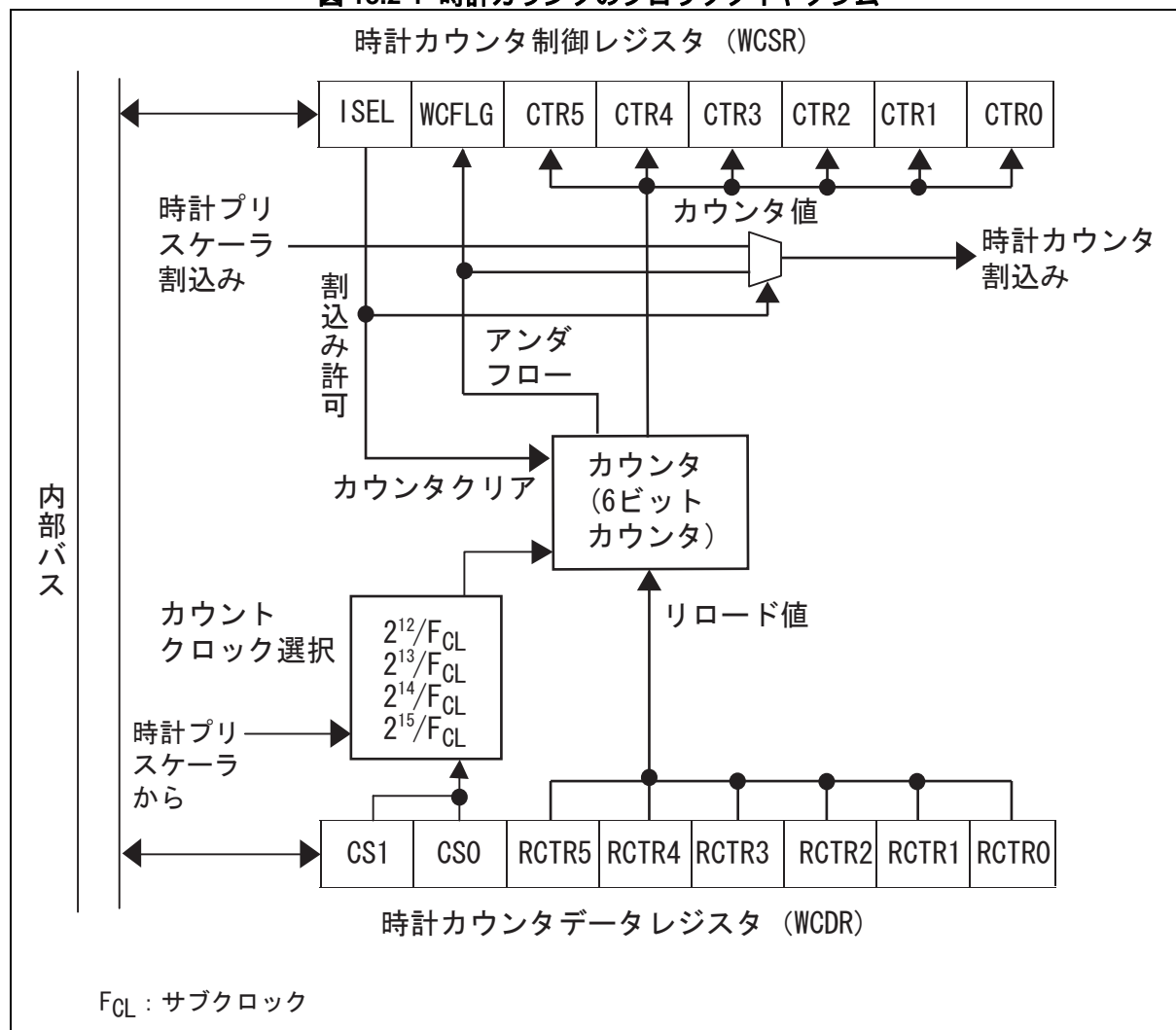
F_{CL} : サブクロック

13.2 時計カウンタの構成

図 13.2-1 に、時計カウンタのブロックダイアグラムを示します。

■ 時計カウンタのブロックダイアグラム

図 13.2-1 時計カウンタのブロックダイアグラム



- カウンタ

時計プリスケアラの出力クロックをカウントクロックとする 6 ビットのダウンカウンタです。

- 時計カウンタ制御レジスタ (WCSR)

割込み制御および状態の確認を行います。

- 時計カウンタデータレジスタ (WCDR)

インターバル時間の設定 , カウントクロックの選択を行います。

■ 入力クロック

時計カウンタは , 時計プリスケアラの出力クロックを入力クロック (カウントクロック) として使用します。

13.3.1 時計カウンタデータレジスタ (WCDR)

時計カウンタデータレジスタ (WCDR) は、カウントクロックの選択とカウンタリロード値の設定を行うレジスタです。

■ 時計カウンタデータレジスタ (WCDR)

図 13.3.1-1 時計カウンタデータレジスタ (WCDR)

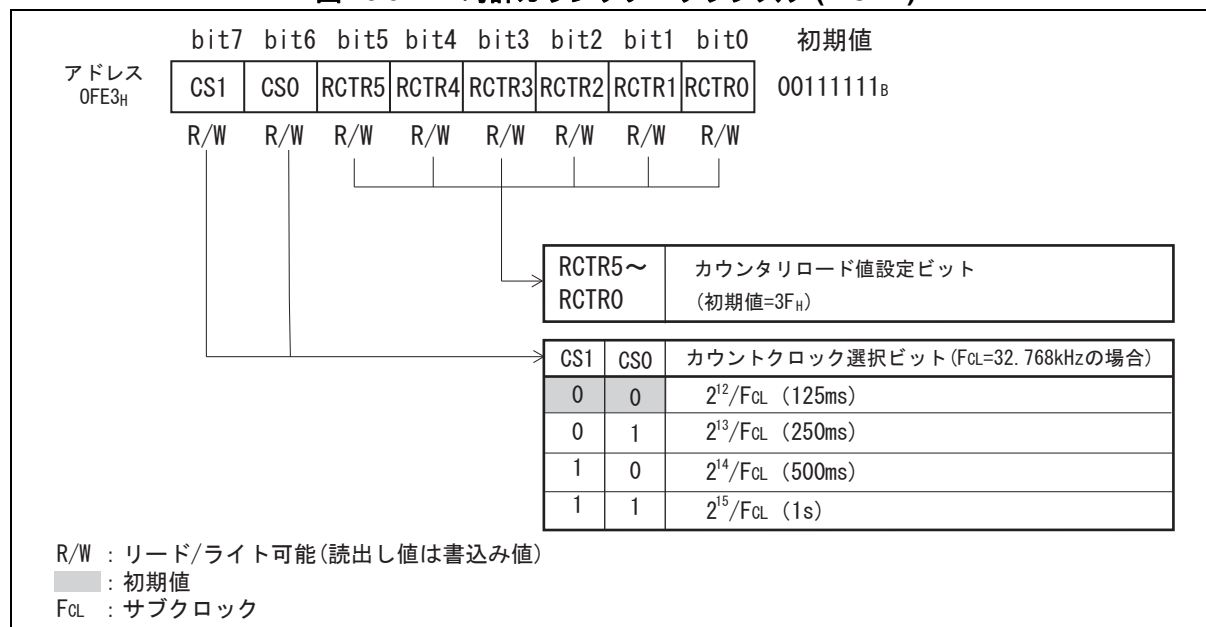


表 13.3.1-1 時計カウンタデータレジスタ (WCDR) の各ビットの機能説明

ビット名		機能
bit7, bit6	CS1, CS0: カウント クロック選択 ビット	時計カウンタのクロック選択を行います。 00 _B =2 ¹² /F _{CL} , 01 _B =2 ¹³ /F _{CL} , 10 _B =2 ¹⁴ /F _{CL} , 11 _B =2 ¹⁵ /F _{CL} (F _{CL} : サブクロック) 本ビットの変更は、WCSR:ISEL ビットが "0" のときに行ってください。
bit5 ~ bit0	RCTR5 ~ RCTR0: カウンタ リロード値 設定ビット	カウンタのリロード値を設定します。 カウント中に変更した場合は、アンダフロー後のリロード時に変更値が有効になります。 "0" に設定した場合: 割込み要求は発生しません。 割込み発生 (WCSR:WCFLG=1) と同時にリロード値 (RCTR5 ~ RCTR0) を変更すると、正しい値がリロードされないため、リロード値の変更は時計カウンタの停止中 (WCSR:ISEL=0) か割込みルーチン内などの割込みが発生する前に行ってください。

13.3.2 時計カウンタ制御レジスタ (WCSR)

時計カウンタ制御レジスタ (WCSR) は、時計カウンタの動作と割り込み制御を行うレジスタです。また、カウント値を読み出すことも可能です。

■ 時計カウンタ制御レジスタ (WCSR)

図 13.3.2-1 時計カウンタ制御レジスタ (WCSR)

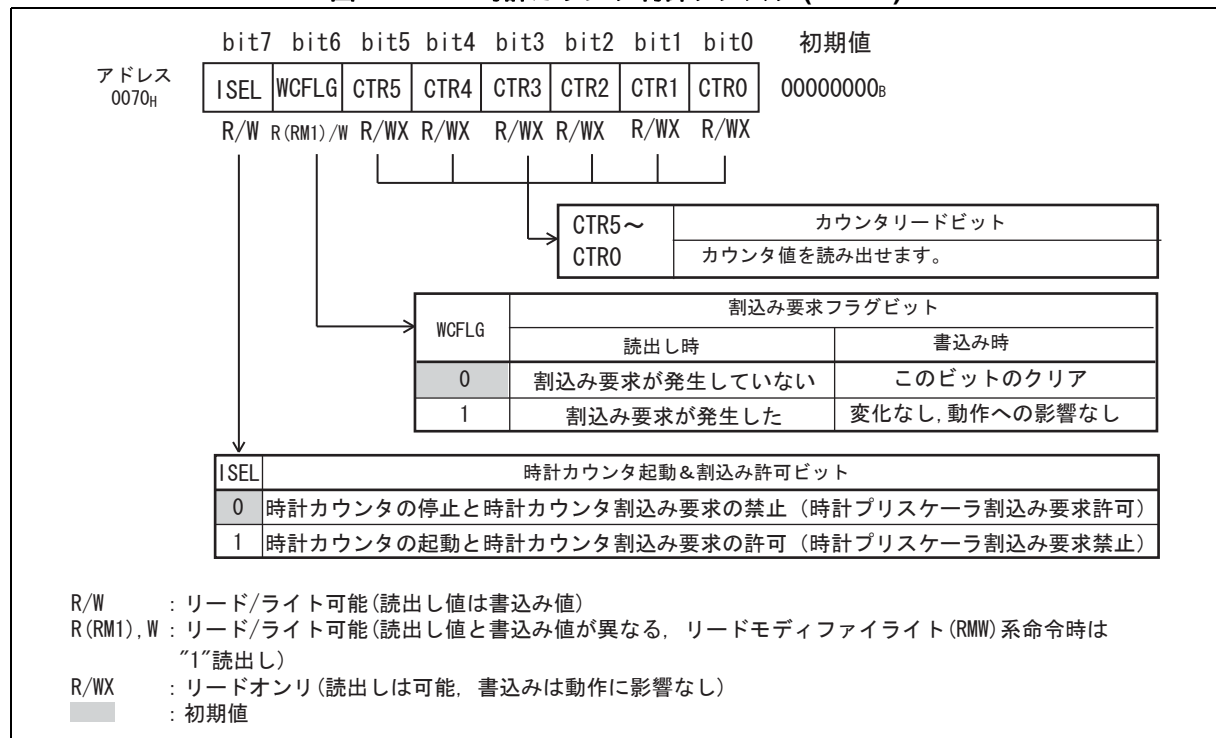


表 13.3.2-1 時計カウンタ制御レジスタ (WCSR) の各ビットの機能説明

ビット名		機能
bit7	ISEL: 時計カウンタ 起動 & 割込み 要求許可ビット	<p>このビットは、時計カウンタの起動と、時計カウンタ割込み許可か時計プリスケアラ割込み許可かの選択を行います。</p> <p>"0" に設定した場合：時計カウンタはクリアされて停止します。また、時計カウンタ割込み要求は禁止となり、時計プリスケアラ割込み要求が有効となります。</p> <p>"1" に設定した場合：時計カウンタ割込み要求出力が許可され、カウンタが起動します。また、時計プリスケアラ割込み要求は禁止となります。</p> <ul style="list-style-type: none"> このビットを "1" に設定し、時計カウンタの割込みを選択する場合、必ず時計プリスケアラの割込みを禁止してから行ってください。 時計カウンタは、時計プリスケアラからの非同期クロックにてカウントしますので ISEL ビットを "1" にするタイミングによってはカウント開始時に最長で 1 カウントクロック分の誤差が発生する可能性があります。
bit6	WCFLG: 割込み要求 フラグビット	<p>このビットはカウンタがアンダフローすると "1" になります。</p> <ul style="list-style-type: none"> このビットと ISEL ビットがともに "1" のとき、時計カウンタ割込みが発生します。 "0" を書き込むとクリアされます。 "1" の書込みは動作に影響を与えません。 リードモディファイライト (RMW) 系命令では常に "1" が読めます。
bit5 ~ bit0	CTR5 ~ CTR0: カウンタリード ビット	<ul style="list-style-type: none"> カウント中のカウンタ値を読み出せます。 <p>なお、カウンタの値が変化中に読出しを行った場合、正しいカウンタ値が読み出せない可能性がありますので、カウンタ値を 2 度読み出して同じ値が読み出せることを確認してから使用してください。</p> <ul style="list-style-type: none"> 書込みは動作に影響を与えません。

13.4 時計カウンタの割り込み

時計カウンタは、カウンタのアンダフロー (カウンタ値 = 000001_B) で割り込み要求を出力します。

■ 時計カウンタの割り込み

時計カウンタでは、カウンタのアンダフローにより、時計カウンタ制御レジスタ(WCSR)の割り込み要求フラグビット(WCFLG)に"1"が設定されます。時計カウンタの割り込み要求許可ビット(ISEL)を"1"に設定している場合、時計カウンタの割り込み要求を割り込みコントローラへ出力します。

表 13.4-1 に、時計タイマの割り込み制御ビットと割り込み要因を示します。

表 13.4-1 時計タイマの割り込み制御ビットと割り込み要因

項目	説明
割り込み要求フラグビット	WCSR の WCFLG ビット
割り込み要求許可ビット	WCSR の ISEL ビット
割り込み要因	カウンタのアンダフロー

■ 時計カウンタの割り込みに関連するレジスタとベクタテーブル

表 13.4-2 時計カウンタの割り込みに関連するレジスタとベクタテーブル

割り込み要因	割り込み 要求番号	割り込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
時計カウンタ*	IRQ20	ILR5	L20	FFD2 _H	FFD3 _H

*：時計カウンタは時計プリスケアラと割り込み要求番号 / ベクタテーブルが兼用です。
全周辺機能の割り込み要求番号 / ベクタテーブルについては「第 8 章 割り込み」を参照してください。

13.5 時計カウンタの動作説明と設定手順例

時計カウンタは ISEL ビットを "1" にすると、CS1, CS0 ビットで選択したカウントクロックにて RCTR5 ~ RCTR0 ビットで設定したカウント値分ダウンカウントします。カウンタがアンダフローすると WCSR レジスタの WCFLG ビットが "1" になり、割込みが発生します。

■ 時計カウンタの設定手順

以下に時計カウンタの設定手順を示します。

カウントクロックの選択 (CS1, CS0 ビット) とカウンタのリロード値 (RCTR5 ~ RCTR0) の設定を行います。

WCSR レジスタの ISEL ビットを "1" にすると、ダウンカウントが開始されて割込みが許可されます。このとき、時計プリスケアラの割込みは禁止してください。

時計カウンタは、時計プリスケアラ (非同期) の分周クロックにてカウントします。ISEL ビットを "1" にするタイミングによっては、カウント開始時に最長で 1 カウントクロック分の誤差が発生する可能性があります。

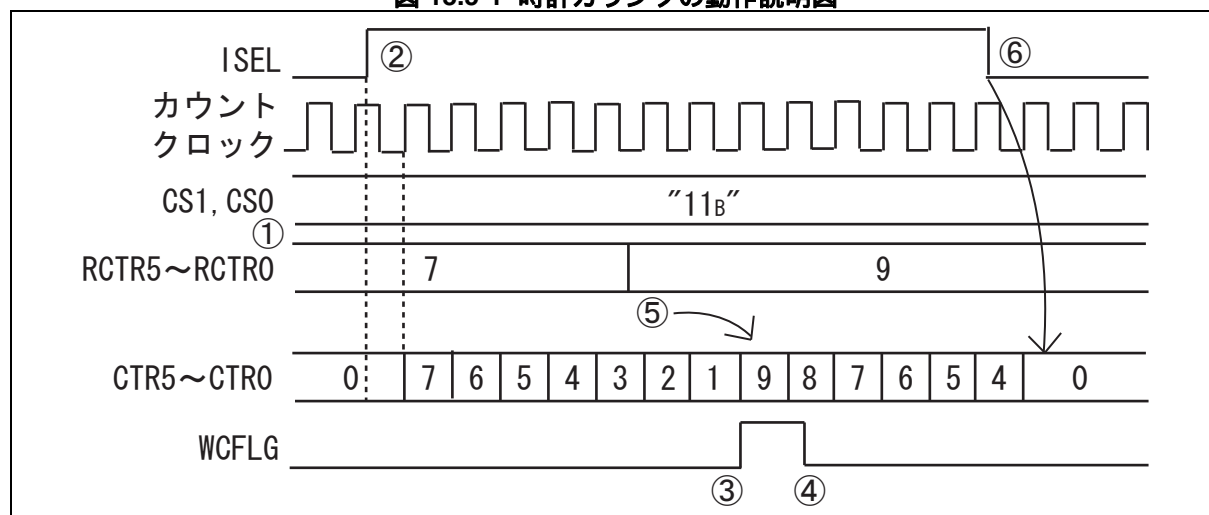
カウンタがアンダフローすると、WCSR レジスタの WCFLG ビットが "1" になり割込みが発生します。

WCFLG ビットは "0" を書き込むと、クリアされます。

カウント中に RCTR5 ~ RCTR0 を変更した場合は、カウンタが "1" になった後のリロード時に更新されます。

ISEL ビットに "0" を書き込むとすると、カウンタは "0" になり停止します。

図 13.5-1 時計カウンタの動作説明図



< 注意事項 >

WCSR: ISEL=0 にてカウンタを停止後に再起動 (WCSR: ISEL=1) する場合、WCSR: CTR[5:0] を二度読みし、CTR[5:0]=000000_B にクリアされていることを確認してから再起動を行ってください。

■ サブクロックのストップモード時の動作

サブクロックのストップモードに入ると、時計カウンタはカウント動作を停止し、時計プリスケラもクリアされます。したがって、サブクロックのストップモード解除後の時計カウンタは正しい値をカウントできません。サブクロックのストップモード解除後は、必ず ISEL ビットを "0" にしてカウンタをクリアしてから使用してください。サブクロックのストップモード以外のスタンバイモードにおいては、時計カウンタは動作を継続します。

■ メインクロックのストップモード時の動作

メインクロックのストップモードに入ると、時計カウンタはカウント動作を続けますが、割込みは発生しません。また、システムクロック制御レジスタのサブクロック発振停止ビット (SYCC: SUBS) を "1" にすると時計カウンタも止まります。

■ 設定手順例

時計カウンタの設定手順例を以下に示します。

● 初期設定

- 1) 割込みレベルの設定 (ILR5)
- 2) カウントクロックの選択 (WCDR:CS1, CS0)
- 3) カウンタのリロード値設定 (WCDR:RCTR5 ~ RCTR0)
- 4) 時計カウンタ起動と割込み許可を設定 (WCSR:ISEL=1)

● 割込み処理

- 1) 割込み要求フラグクリア (WCSR:WCFLG=0)
- 2) 任意の処理

13.6 時計カウンタ使用上の注意

時計カウンタ使用上の注意を以下に示します。

- 時計カウンタ動作中に時計プリスケアラをクリアすると、時計カウンタが正常に動作できなくなる可能性があります。時計プリスケアラをクリアする場合は、WCSR レジスタの ISEL ビットを "0" にして時計カウンタを停止してから行ってください。
- WCSR: ISEL=0 にてカウンタを停止後に再起動 (WCSR: ISEL=1) する場合、WCSR: CTR[5:0] を二度読みし、CTR[5:0]=000000_B にクリアされていることを確認してから再起動を行ってください。

13.7 時計カウンタのサンプルプログラム

時計カウンタを動作させるためのサンプルプログラムを提供しています。

■ 時計カウンタのサンプルプログラム

時計カウンタのサンプルプログラムについては、「はじめに」の「 サンプルプログラム」を参照してください。

■ プログラム例以外の設定方法

● 時計カウンタを許可 / 停止する方法

割込み要求許可ビット (WCSR:ISEL) で行います。

制御内容	時計タイマ初期化ビット (ISEL)
時計カウンタを許可するには	"1" を設定する
時計カウンタを停止するには	"0" を設定する

● カウントクロックを選択する方法

カウントクロック選択ビット (WCDR:CS1/CS0) で選択します。

● 割込み関連レジスタ

割込みレベルは、下表の割込みレベルレジスタで設定します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
時計カウンタ	割込みレベルレジスタ (ILR5) アドレス : 0007E _H	#20 アドレス : 0FFD2 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は、割込み要求許可ビット (WCSR:ISEL) にて行います。

制御内容	割込み要求許可ビット (ISEL)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (WCSR:WCFLG) にて行います。

制御内容	割込み要求フラグ (WCFLG)
割込み要求をクリアするには	"0" を設定する

第14章

ワイルドレジスタ

ワイルドレジスタの機能と動作について説明します。

- 14.1 ワイルドレジスタの概要
- 14.2 ワイルドレジスタの構成
- 14.3 ワイルドレジスタのレジスタ
- 14.4 ワイルドレジスタの動作説明
- 14.5 一般的なハードウェア接続例

14.1 ワイルドレジスタの概要

ワイルドレジスタを使用すると、内蔵レジスタに設定したアドレスと修正データで、プログラムの不良箇所に対してパッチをあてることができます。
以下にワイルドレジスタの機能を説明します。

■ ワイルドレジスタ機能

ワイルドレジスタは、3 本のワイルドレジスタデータ設定レジスタ、3 本の上位ワイルドレジスタアドレス設定レジスタ、3 本の下位ワイルドレジスタアドレス設定レジスタ、1 バイトのアドレス比較許可レジスタおよび 1 バイトのワイルドレジスタデータテスト設定レジスタから構成されます。このレジスタに修正したいアドレスと修正データを設定すると、ROM のデータをレジスタに設定した修正データに置換できます。最大 3 つの異なるアドレスのデータを修正することができます。

ワイルドレジスタの機能を使用して、マスク後にプログラムのデバッグおよびプログラムの不良箇所にパッチをあてることができます。

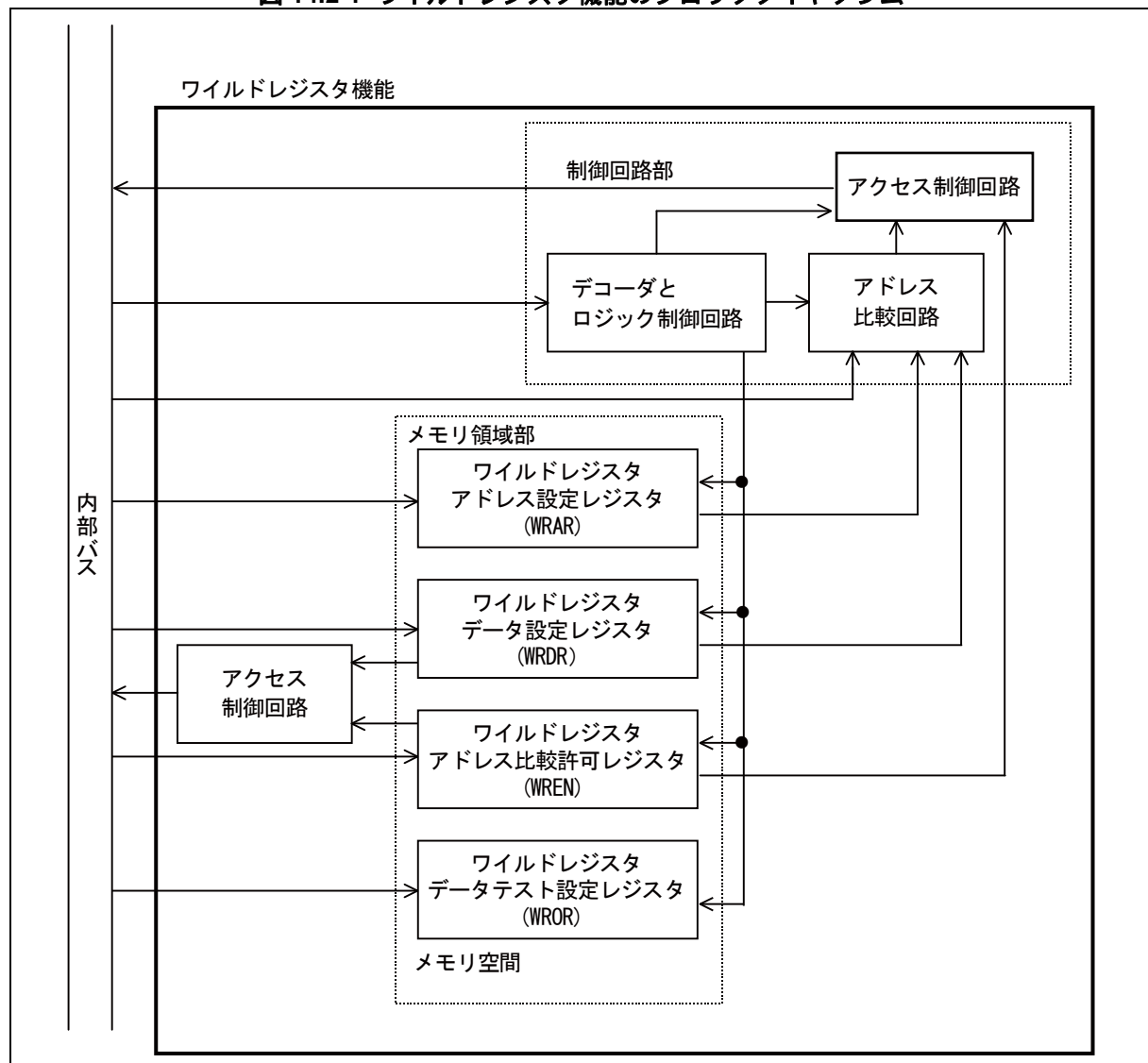
14.2 ワイルドレジスタの構成

ワイルドレジスタのブロックダイアグラムを示します。ワイルドレジスタは、以下のブロックで構成されます。

- メモリ領域部
 - ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)
 - ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)
 - ワイルドレジスタアドレス比較許可レジスタ (WREN)
 - ワイルドレジスタデータテスト設定レジスタ (WROR)
- 制御回路部

■ ワイルドレジスタ機能のブロックダイアグラム

図 14.2-1 ワイルドレジスタ機能のブロックダイアグラム



● メモリ領域部

メモリ領域部はワイルドレジスタデータ設定レジスタ (WRDR)、ワイルドレジスタアドレス設定レジスタ (WRAR)、ワイルドレジスタアドレス比較許可レジスタ (WREN) およびワイルドレジスタデータテスト設定レジスタ (WROR) より構成されています。ワイルドレジスタ機能を使用して置き換えたいアドレスおよびデータを設定します。ワイルドレジスタアドレス比較許可レジスタ (WREN) は、ワイルドレジスタデータ設定レジスタ (WRDR) に対応するワイルドレジスタ機能を許可します。また、ワイルドレジスタデータテスト設定レジスタ (WROR) は、ワイルドレジスタデータ設定レジスタ (WRDR) に対応する通常読出し機能を有効にします。

● 制御回路部

この回路は、ワイルドレジスタアドレス設定レジスタ (WRDR) に設定されたアドレスと実際のアドレスのデータを比較し、一致検出によりワイルドレジスタデータ設定レジスタ (WRDR) のデータをデータバスに出力します。制御回路部は、ワイルドレジスタアドレス比較許可レジスタ (WREN) により動作を制御する回路です。

14.3 ワイルドレジスタのレジスタ

ワイルドレジスタのレジスタには、ワイルドレジスタデータ設定レジスタ (WRDR), ワイルドレジスタアドレス設定レジスタ (WRAR), ワイルドレジスタアドレス比較許可レジスタ (WREN) およびワイルドレジスタデータテスト設定レジスタ (WROR) があります。

■ ワイルドレジスタ に関連するレジスタ

図 14.3-1 ワイルドレジスタに関連するレジスタ

図 4.15 ワイルドレジスタに設定するレジスタ

ワイルドレジスタ データ設定レジスタ (WRDR0 ~ WRDR2)

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
WRDR0	0F82 _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
WRDR1	0F85 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR2	0F88 _H									

ワイルドレジスタ アドレス設定レジスタ (WRAR0 ~ WRAR2)

	アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
WRAR0	0F80 _H , 0F81 _H	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8	00000000 _B
WRAR1	0F83 _H , 0F84 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRAR2	0F86 _H , 0F87 _H									
		bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
		RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	00000000 _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ワイルドレジスタ アドレス比較許可レジスタ (WREN)

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
WREN	0076 _H	-	-	予約	予約	予約	EN2	EN1	EN0	00000000 _B
		R0/WX	R0/WX	R0/W0	R0/W0	R0/W0	R/W	R/W	R/W	

ワイルドレジスタ データテスト設定レジスタ (WROR)

	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
WROR	0077 _H	-	-	予約	予約	予約	DRR2	DRR1	DRR0	00000000 _B
		R0/WX	R0/WX	R0/W0	R0/W0	R0/W0	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値)

R0/W0 : 予約ビット (書込み値は "0", 読出し値は "0")

R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし)

- : 未定義

■ ワイルドレジスタ番号

ワイルドレジスタアドレス設定レジスタ (WRAR) とワイルドレジスタデータ設定レジスタ (WRDR) に対応したワイルドレジスタ番号が割り当てられています。

表 14.3-1 ワイルドレジスタアドレス設定レジスタおよびワイルドレジスタデータ設定レジスタに対応するワイルドレジスタ番号

ワイルドレジスタ番号	ワイルドレジスタ アドレス設定レジスタ (WRAR)	ワイルドレジスタ データ設定レジスタ (WRDR)
0	WRAR0	WRDR0
1	WRAR1	WRDR1
2	WRAR2	WRDR2

14.3.1 ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)

ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2) は、ワイルドレジスタ機能により修正するデータを設定します。

■ ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)

図 14.3-2 ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)

WRDR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F82 _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F85 _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR2									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F88 _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値)

表 14.3-2 ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2) の各ビットの機能説明

ビット名		機能
bit7 ~ bit0	RD7 ~ RD0 : ワイルドレジスタ データ設定ビット	<p>ワイルドレジスタ機能により修正するデータを設定します。</p> <ul style="list-style-type: none"> このビットに、ワイルドレジスタアドレス設定レジスタ (WRAR) で割り当てられたアドレスの修正データを設定します。それぞれのワイルドレジスタ番号に対応したアドレスにてデータが有効になります。 このビットの読出しは、ワイルドレジスタデータテスト設定レジスタ (WROR) で対応するデータテスト設定ビットを "1" に設定した場合のみ有効となります。

14.3.2 ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)

ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2) は、ワイルドレジスタ機能により修正するアドレスを設定します。

■ ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)

図 14.3-3 ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)

WRAR0									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0F80 _H	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F81 _H	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRAR1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0F83 _H	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F84 _H	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRAR2									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0F86 _H	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F87 _H	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能 (読出し値は書込み値)									

表 14.3-3 ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2) の各ビットの機能説明

ビット名		機能
bit15 ~ bit0	RA15 ~ RA0 : ワイルドレジスタ アドレス設定ビット	ワイルドレジスタ機能により修正するアドレスを設定します。 このビットに割り当てるアドレスを設定します。それぞれのワイルドレジスタ番号に対応してアドレスを指定します。

14.3.3 ワイルドレジスタアドレス比較許可レジスタ (WREN)

ワイルドレジスタアドレス比較許可レジスタ (WREN) は、それぞれのワイルドレジスタ番号に対応して、ワイルドレジスタの動作を許可 / 禁止します。

■ ワイルドレジスタアドレス比較許可レジスタ (WREN)

図 14.3-4 ワイルドレジスタアドレス比較許可レジスタ (WREN)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0076 _H	-	-	予約	予約	予約	EN2	EN1	EN0	00000000 _B
	R0/WX	R0/WX	R0/W0	R0/W0	R0/W0	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値)
 R0/W0 : 予約ビット (書込み値は "0", 読出し値は "0")
 R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし)
 - : 未定義

表 14.3-4 ワイルドレジスタアドレス比較許可レジスタ (WREN) の各機能説明

ビット名		機能
bit7, bit6	未定義ビット	未定義ビットです。 • 読出し時の値は "0" • 書込みは動作に影響を与えません。
bit5 ~ bit3	予約ビット	予約ビットです。 • 読出し時の値は "0" です。 • 常に "0" を設定してください。
bit2 ~ bit0	EN2, EN1, EN0 : ワイルドレジスタ アド レス比較許可ビット	ワイルドレジスタの動作を許可 / 禁止します。 • EN0 はワイルドレジスタ番号 0 に対応します。 • EN1 はワイルドレジスタ番号 1 に対応します。 • EN2 はワイルドレジスタ番号 2 に対応します。 "0" に設定した場合：ワイルドレジスタ機能の動作を禁止します。 "1" に設定した場合：ワイルドレジスタ機能の動作を許可します。

14.3.4 ワイルドレジスタデータテスト設定レジスタ (WROR)

ワイルドレジスタデータテスト設定レジスタ (WROR) は、対応するワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2) の読出しを許可 / 禁止します。

■ ワイルドレジスタデータテスト設定レジスタ (WROR)

図 14.3-5 ワイルドレジスタデータテスト設定レジスタ (WROR)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0077 _H	-	-	予約	予約	予約	DRR2	DRR1	DRR0	00000000 _B
	R0/WX	R0/WX	R0/W0	R0/W0	R0/W0	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値)
 R0/W0 : 予約ビット (書込み値は "0", 読出し値は "0")
 R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし)
 - : 未定義

表 14.3-5 ワイルドレジスタデータテスト設定レジスタ (WROR) の各機能説明

ビット名		機能
bit7, bit6	未定義ビット	未定義ビットです。 ・ 読出し時の値は "0" です。 ・ 書込みは動作に影響を与えません。
bit5 ~ bit3	予約ビット	予約ビットです。 ・ 読出し時の値は "0" です。 ・ 常に "0" を設定してください。
bit2 ~ bit0	DRR2, DRR1, DRR0 : ワイルドレジスタ データテスト設定ビット	対応するワイルドレジスタデータ設定レジスタの読出しを許可 / 禁止します。 ・ DRR0 はワイルドレジスタデータ設定レジスタ (WRDR0) の読出しを許可 / 禁止します。 ・ DRR1 はワイルドレジスタデータ設定レジスタ (WRDR1) の読出しを許可 / 禁止します。 ・ DRR2 はワイルドレジスタデータ設定レジスタ (WRDR2) の読出しを許可 / 禁止します。 "0" に設定した場合：読出しは禁止となります。 "1" に設定した場合：読出しは許可となります。

14.4 ワイルドレジスタの動作説明

ワイルドレジスタの設定順序について説明します。

■ ワイルドレジスタの設定順序

ワイルドレジスタを使用する場合、あらかじめユーザプログラム内に外部メモリ (例えば、E²PROM や FRAM) からワイルドレジスタに値を読み出すプログラムを準備する必要があります。以下に、ワイルドレジスタの設定方法を示します。

なお、外部メモリとデバイス間の通信方法については、ここには示していません。

- ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2) に、内蔵 ROM コードを変更するアドレスを書き込みます。
- 対応するワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2) に新しいコードを書き込みます。
- ワイルドレジスタアドレス比較許可レジスタ (WREN) に対応するビットを書込み、ワイルドレジスタ機能を有効にします。

表 14.4-1 に、ワイルドレジスタのレジスタ設定順序を示します。

表 14.4-1 ワイルドレジスタのレジスタ設定順序

動作順序	動作	動作例
1	外部より、それぞれの通信方法を介して置換するデータを読み出します。	変更する内蔵 ROM コードはアドレス F011 _H にあり、変更するデータは "B5 _H " とします。3 つの内蔵 ROM コードを変更することとします。
2	ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2) に置換アドレスを書き込みます。	ワイルドレジスタアドレス設定レジスタ WRAR0=F011 _H , WRAR1=..., WRAR2=... を設定します。
3	ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2) に新しい ROM コード (内蔵 ROM コードを置換するもの) を書き込みます。	ワイルドレジスタデータ設定レジスタ WRDR0=B5 _H , WRDR1=..., WRDR2=... を設定します。
4	ワイルドレジスタアドレス比較許可レジスタ (WREN) に対応するビットを有効にします。	ワイルドレジスタアドレス比較許可レジスタ (WREN) の bit0 に "1" を設定すると、ワイルドレジスタ番号 0 の機能が有効になります。アドレスがワイルドレジスタアドレス設定レジスタ (WRAR) に設定した値と一致した場合に、ワイルドレジスタデータ設定レジスタ (WRDR) の値が内蔵 ROM コードと置換されます。複数の内蔵 ROM コードを置換する必要がある場合、ワイルドレジスタアドレス比較許可レジスタ (WREN) の対応するビットを許可してください。

■ ワイルドレジスタ適用アドレス

ワイルドレジスタが適用できるアドレス空間は、"0078_H" を除くすべての空間です。

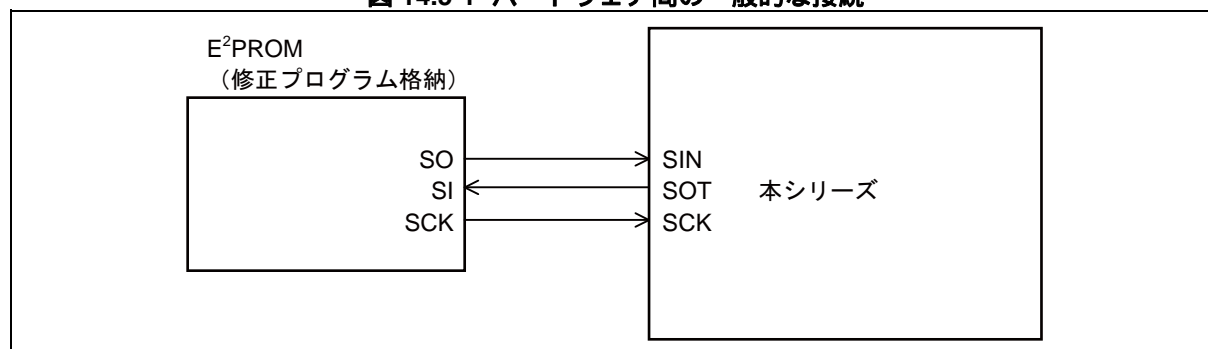
アドレス "0078_H" はレジスタバンクポインタ、ダイレクトバンクポインタのミラーアドレスとなっているため、アドレス "0078_H" にパッチをあてることはできません。

14.5 一般的なハードウェア接続例

ワイルドレジスタ機能を使用するときのハードウェア間の一般的な接続例について示します。

■ ハードウェア接続例

図 14.5-1 ハードウェア間の一般的な接続



第15章

8/16 ビット複合タイマ

8/16 ビット複合タイマの機能と動作について説明します。

- 15.1 8/16 ビット複合タイマの概要
- 15.2 8/16 ビット複合タイマの構成
- 15.3 8/16 ビット複合タイマのチャンネル
- 15.4 8/16 ビット複合タイマの端子
- 15.5 8/16 ビット複合タイマのレジスタ
- 15.6 8/16 ビット複合タイマの割込み
- 15.7 インターバルタイマ機能 (ワンショットモード) の動作説明
- 15.8 インターバルタイマ機能 (連続モード) の動作説明
- 15.9 インターバルタイマ機能 (フリーランモード) の動作説明
- 15.10 PWM タイマ機能 (周期固定モード) の動作説明
- 15.11 PWM タイマ機能 (周期可変モード) の動作説明
- 15.12 PWC タイマ機能の動作説明
- 15.13 インพุットキャプチャ機能の動作説明
- 15.14 ノイズフィルタの動作説明
- 15.15 動作中の各モードでの状態
- 15.16 8/16 ビット複合タイマ使用上の注意

15.1 8/16 ビット複合タイマの概要

8/16 ビット複合タイマは、2 つの 8 ビットカウンタで構成されており、2 つの 8 ビットタイマとして使用することも、カスケード接続して 1 つの 16 ビットタイマとして使用することもできます。

8/16 ビット複合タイマは、以下の機能があります。

- インターバルタイマ機能
- PWM タイマ機能
- PWC タイマ機能 (パルス幅測定)
- インプットキャプチャ機能

■ インターバルタイマ機能 (ワンショットモード)

インターバルタイマ機能 (ワンショットモード) では、タイマを起動するとカウンタが "00_H" からカウント動作を開始し、カウンタの値がレジスタ設定値と一致するとタイマ出力が反転し、割込み要求が発生してカウント動作が停止します。

■ インターバルタイマ機能 (連続モード)

インターバルタイマ機能 (連続モード) では、起動すると "00_H" からカウント動作を開始し、カウンタの値がレジスタ設定値と一致するとタイマ出力が反転し、割込み要求が発生して再度 "00_H" からカウント動作を継続します。この連続動作の結果、タイマは方形波を出力します。

■ インターバルタイマ機能 (フリーランモード)

インターバルタイマ機能 (フリーランモード) では、カウンタが "00_H" からカウント動作を開始し、カウンタの値がレジスタ設定値と一致するとタイマ出力が反転して割込み要求が発生します。そのままカウント動作を継続してカウンタ値が "FF_H" に達すると、また "00_H" からカウント動作を継続します。この連続動作の結果、タイマは方形波を出力します。

■ PWM タイマ機能 (周期固定モード)

PWM タイマ機能 (周期固定モード) では、周期固定で "H" パルス幅可変の PWM 信号を生成します。周期は 8 ビット動作モードでは "FF_H"、16 ビット動作モードでは "FFFF_H" に固定され、カウントクロックの選択により時間が決定されます。"H" パルス幅はレジスタ設定により指定します。

■ PWM タイマ機能 (周期可変モード)

PWM タイマ機能 (周期可変モード) では、2 つの 8 ビットカウンタを使用して周期と "L" パルス幅をレジスタで指定することにより、任意の周期とデューティの 8 ビット PWM 信号を生成します。

この動作モードでは、2 つの 8 ビットカウンタを使用するため、16 ビットカウンタを構成できません。

■ PWC タイマ機能

PWC タイマ機能では、外部入力パルスの幅および周期を測定できます。

この動作モードでは、外部入力信号でカウント開始エッジを検出すると、カウンタは "00_H" からカウント動作を開始し、カウント終了エッジを検出するとカウント値をレジスタに転送して割込みを発生します。

■ インプットキャプチャ機能

インプットキャプチャ機能では、外部入力信号のエッジ検出によりカウンタの値をレジスタに格納します。

この機能にはカウント動作にフリーランモードとクリアモードがあります。

クリアモードではカウンタは "00_H" からカウント動作を開始し、エッジを検出すると、カウンタの値をレジスタに転送して割込みを発生します。この場合には "00_H" からカウント動作を継続します。

フリーランモードではエッジを検出するとカウンタの値をレジスタに転送し、割込み発生しますが、カウンタをクリアすることなくそのままカウント動作を継続します。

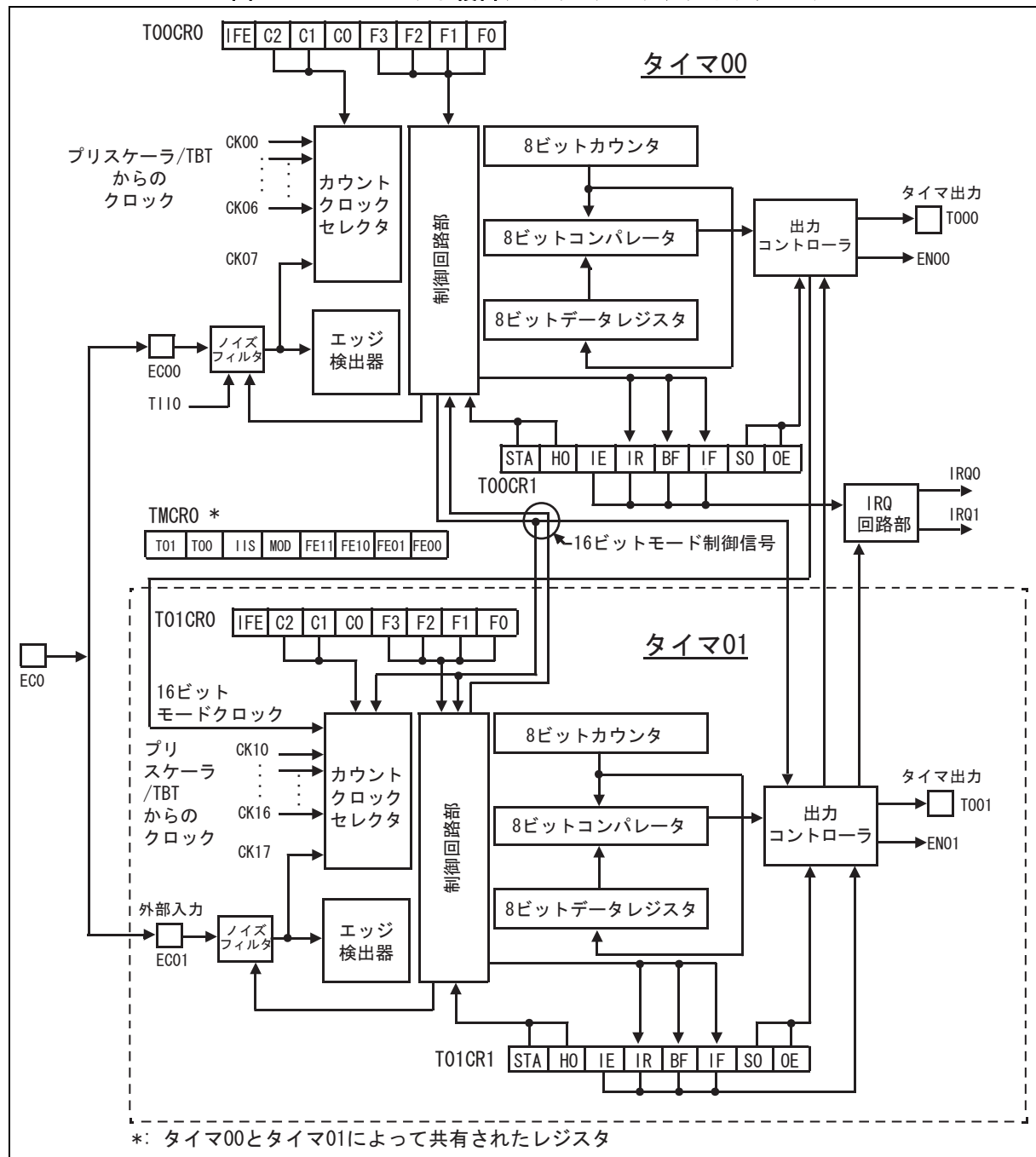
15.2 8/16 ビット複合タイマの構成

8/16 ビット複合タイマの 1 つのチャンネル内は、以下のブロックで構成されています。

- 8 ビットカウンタ × 2
 - 8 ビットコンパレータ (テンポラリラッチを含む) × 2
 - 8/16 ビット複合タイマ 00/01 データレジスタ × 2 (T00DR/T01DR)
 - 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 × 2 (T00CR0/T01CR0)
 - 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 × 2 (T00CR1/T01CR1)
 - 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCRO)
 - アウトプットコントローラ × 2
 - 制御ロジック × 2
 - カウントクロックセクタ × 2
 - エッジ検出器 × 2
 - ノイズフィルタ × 2
-

■ 8/16 ビット複合タイマのブロックダイアグラム

図 15.2-1 8/16 ビット複合タイマのブロックダイアグラム



● 8 ビットカウンタ

各種タイマ動作の基本となるカウンタです。2 つの 8 ビットカウンタとして、または 1 つの 16 ビットカウンタとして使用できます。

● 8 ビットコンパレータ

8/16 ビット複合タイマ 00/01 データレジスタの値とカウンタの値を比較します。8/16 ビット複合タイマ 00/01 データレジスタの値を一時的に格納するラッチを内蔵しています。

● 8/16 ビット複合タイマ 00/01 データレジスタ

インターバルタイマ動作と PWM タイマ動作時のカウント上限値の書込みおよび PWC タイマ動作とインプットキャプチャ動作時のカウント値の読出しを行います。

● 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)

タイマ動作モードの選択、カウントクロックの選択および IF フラグ割込みの許可または禁止を行います。

● 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)

割込みフラグの制御、タイマ出力の制御およびタイマ動作の制御を行います。

● 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCRO)

ノイズフィルタ機能の選択、8 ビットまたは 16 ビット動作モードの選択、タイマ 00 信号入力を選択およびタイマ出力値の表示を行います。

● アウトプットコントローラ

タイマ出力を制御します。端子出力が許可されているときは、タイマ出力は外部端子に出力されます。

● 制御回路部

タイマ動作の制御を行います。

● カウントクロックセレクタ

カウンタの動作クロックをプリスケアラの出力 (マシンクロックの分周およびタイムベースタイマの出力) から選択します。

● エッジ検出器

PWC タイマ動作やインプットキャプチャ動作時のイベントとなる外部入力信号のエッジを選択します。

● ノイズフィルタ

外部入力信号のノイズフィルタとして動作します。"H" パルスノイズ除去、"L" パルスノイズ除去または "H"/"L" パルスノイズ除去から選択できます。

● TIH0 内部端子 (LIN-UART に内部接続、ch.0 のみ)

TIH0 端子はタイマ 00 の信号入力端子として機能しますが、チップ内部で LIN-UART に接続されています。その使用方法については「第 22 章 LIN-UART」を参照してください。なお、ch.1 の TIH0 端子は内部で "0" に固定されています。

■ 入力クロック

8/16 ビット複合タイマは、プリスケアラからの出力クロックを入力クロック (カウントクロック) として使用します。

15.3 8/16 ビット複合タイマのチャンネル

8/16 ビット複合タイマのチャンネルについて説明します。

■ 8/16 ビット複合タイマのチャンネル

MB95110B/M シリーズは、8/16 ビット複合タイマを 2 チャンネル搭載しています。

1 チャンネル内には、8 ビットカウンタが 2 つあり、それぞれ、2 つの 8 ビットタイマとして、または 1 つの 16 ビットタイマとして使用できます。それぞれのチャンネルと外部端子およびレジスタの対応を表に示します。

表 15.3-1 8/16 ビット複合タイマのチャンネルと外部端子の対応

チャンネル	端子名	端子機能
0	TO00	タイマ 00 出力
	TO01	タイマ 01 出力
	EC0	タイマ 00 入力およびタイマ 01 入力
1	TO10	タイマ 10 出力
	TO11	タイマ 11 出力
	EC1	タイマ 10 入力およびタイマ 11 入力

表 15.3-2 8/16 ビット複合タイマのチャンネルとレジスタの対応

チャンネル	レジスタ名	レジスタ機能
0	T00CR0	タイマ 00 制御ステータスレジスタ 0
	T01CR0	タイマ 01 制御ステータスレジスタ 0
	T00CR1	タイマ 00 制御ステータスレジスタ 1
	T01CR1	タイマ 01 制御ステータスレジスタ 1
	T00DR	タイマ 00 データレジスタ
	T01DR	タイマ 01 データレジスタ
	TMCR0	タイマ 00/01 タイマモード制御レジスタ
1	T10CR0	タイマ 10 制御ステータスレジスタ 0
	T11CR0	タイマ 11 制御ステータスレジスタ 0
	T10CR1	タイマ 10 制御ステータスレジスタ 1
	T11CR1	タイマ 11 制御ステータスレジスタ 1
	T10DR	タイマ 10 データレジスタ
	T11DR	タイマ 11 データレジスタ
	TMCR1	タイマ 10/11 タイマモード制御レジスタ

以下の節では 8/16 ビット複合タイマの ch.0 側のみの説明を行います。

ほかのチャンネルについても同様です。

端子名およびレジスタ名内の 2 桁の数値は、上位がチャンネル、下位がタイマに対応しています。

15.4 8/16 ビット複合タイマの端子

8/16 ビット複合タイマに関連する端子について説明します。

■ 8/16 ビット複合タイマに関連する端子

8/16 ビット複合タイマに関連する外部端子は TO00, TO01, EC0, EC1, また、チップ内部接続のために TH0 があります。

● TO00 端子

TO00:

8 ビット動作モード時のタイマ 00 の、16 ビット動作モード時のタイマ 00 + タイマ 01 のタイマ出力端子になります。インターバルタイマ機能時、PWM タイマ機能時、または PWC タイマ機能時に出力を許可 (T00CR1:OE=1) とすると、ポート方向レジスタ (DDR2:bit2) に関係なく自動的に出力となり、タイマ出力 TO00 端子として機能します。

インプットキャプチャ機能のとき出力を許可すると、出力は不定となります。

● TO01 端子

TO01:

8 ビット動作モード時のタイマ 01 のタイマ出力端子になります。インターバルタイマ機能時、PWM タイマ機能 (周期固定モード) 時、または PWC タイマ機能時に出力を許可 (T00CR1:OE=1) とすると、ポート方向レジスタ (DDR2:bit3) に関係なく自動的に出力となり、タイマ出力 TO01 端子として機能します。

16 ビット動作モードの場合、PWM タイマ機能 (周期可変モード) とインプットキャプチャ機能のときに出力を許可すると、出力は不定となります。

● EC0 端子

EC0 端子は、EC00 内部端子および EC01 内部端子に接続しています。

EC00 内部端子:

インターバルタイマ機能時または PWM タイマ機能時のタイマ 00 外部カウントクロック入力端子、および PWC タイマ機能時またはインプットキャプチャ機能時のタイマ 00 の信号入力端子として機能します。PWC タイマ機能時またはインプットキャプチャ機能時に外部カウントクロック入力端子として設定できません。

この入力機能を使用するときはポート方向レジスタ (DDR2:bit4) を "0" に設定して入力ポートにしてください。

EC01 内部端子:

インターバルタイマ機能時または PWM タイマ機能時のタイマ 01 外部カウントクロック入力端子、および PWC タイマ機能時またはインプットキャプチャ機能時のタイマ 01 の信号入力端子として機能します。PWC タイマ機能時またはインプットキャプチャ機能時に外部カウントクロック入力端子として設定できません。

16 ビット動作モード時には、この入力を使用されません。PWM タイマ機能 (周期可変モード) 時にはこの入力も使用できます。

この入力機能を使用するときはポート方向レジスタ (DDR2:bit4) を "0" に設定して入力ポートにしてください。

■ 8/16 ビット複合タイマに関連する端子のブロックダイアグラム

図 15.4-1 8/16 ビット複合タイマに関連する端子 (TO00, TO01, EC0) のブロックダイアグラム

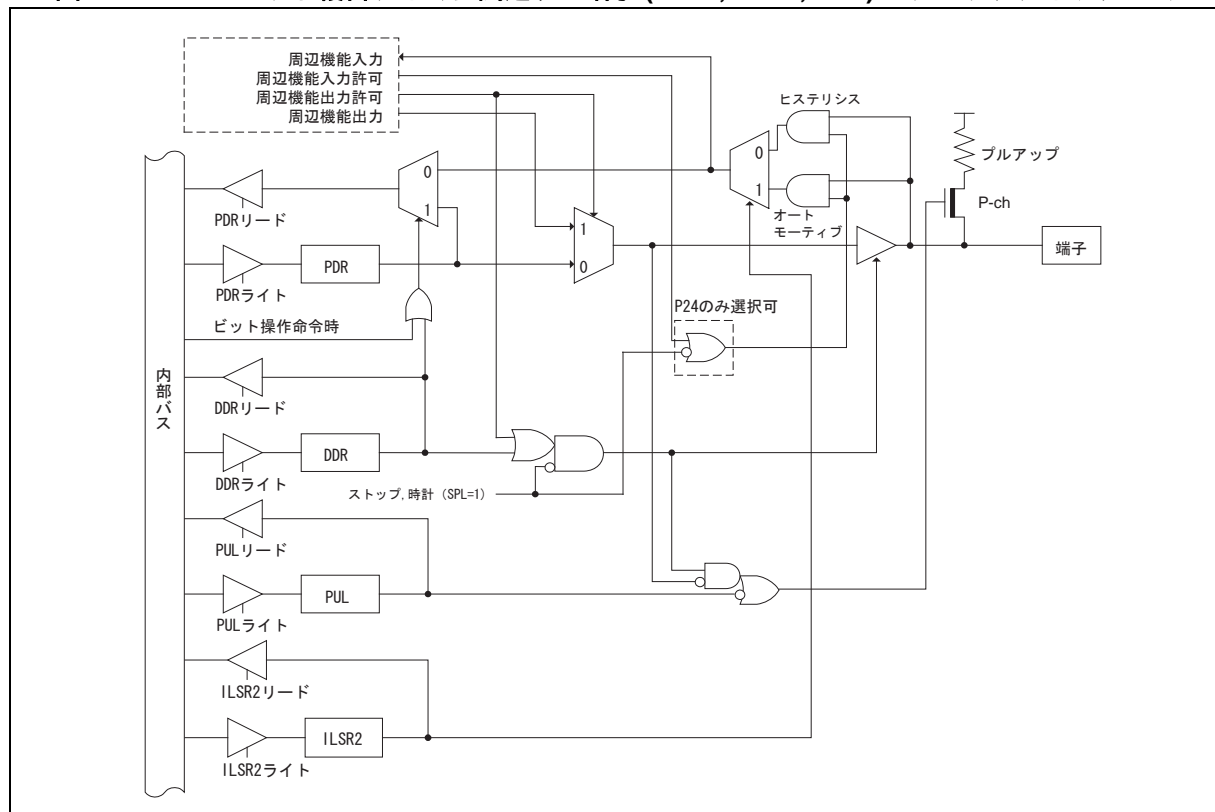
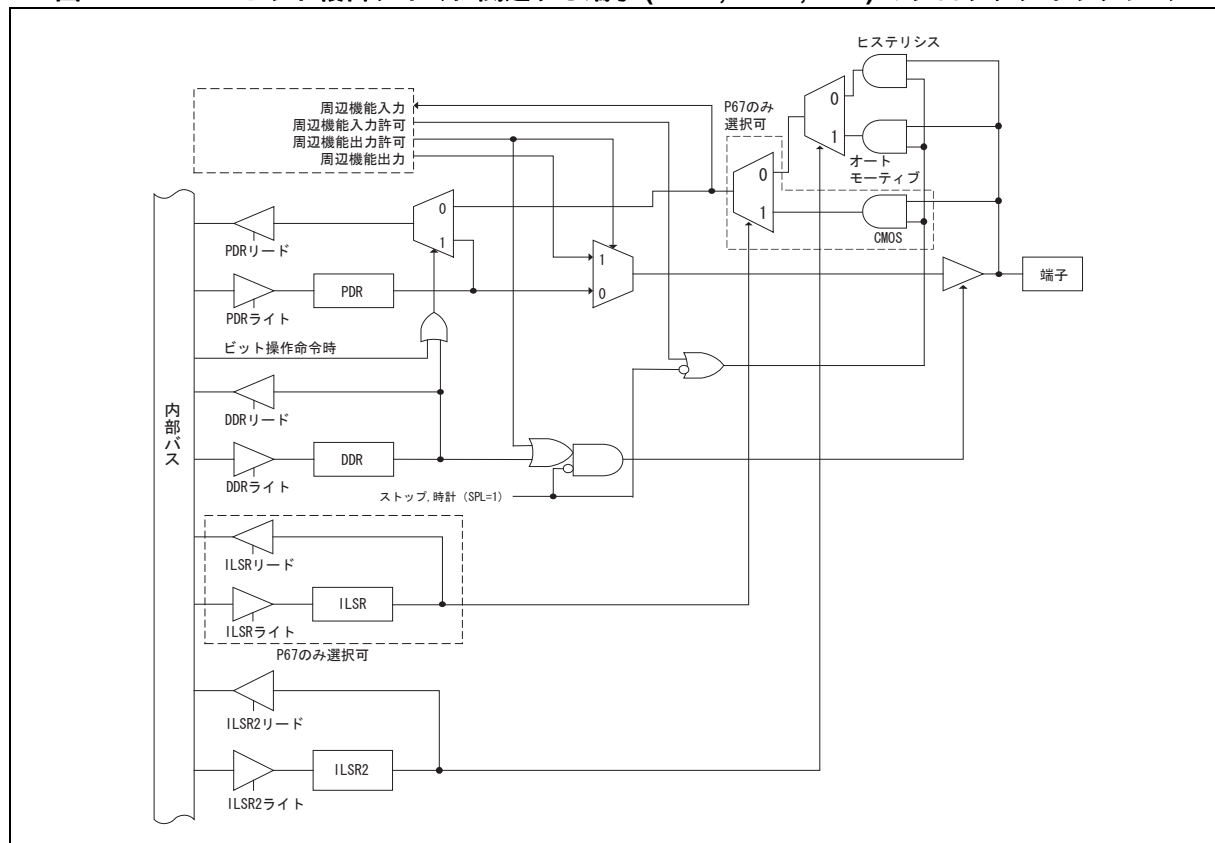


図 15.4-2 8/16 ビット複合タイマに関連する端子 (TO10, TO11, EC1) のブロックダイアグラム



15.5 8/16 ビット複合タイマのレジスタ

8/16 ビット複合タイマに関連するレジスタを示します。

■ 8/16 ビット複合タイマに関連するレジスタ

図 15.5-1 8/16 ビット複合タイマに関連するレジスタ

8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T01CR0 0F92 _H	IFE	C2	C1	C0	F3	F2	F1	F0	00000000 _B
T00CR0 0F93 _H	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	
8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T01CR1 0036 _H	STA	HO	IE	IR	BF	IF	SO	OE	00000000 _B
T00CR1 0037 _H	R,W	R,W	R,W	R(RM1),W	R,WX	R(RM1),W	R,W	R,W	
8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T01DR 0F94 _H	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	00000000 _B
T00DR 0F95 _H	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	
8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
TMCR0 0F96 _H	TO1	TO0	IIS	MOD	FE11	FE10	FE01	FE00	00000000 _B
	R,WX	R,WX	R,W	R,W	R,W	R,W	R,W	R,W	
R/W : リード/ライト可能 (読出し値は書込み値) R(RM1),W : リード/ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は "1" 読出し) R,WX : リードオンリ (読出しは可能, 書込みは動作に影響なし) R,W : リード/ライト可能 (読出し値と書込み値が異なる)									

15.5.1 8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 0 (T00CR0/T01CR0)

8/16 ビット複合タイマ 00/01 制御ステータスレジスタ (T00CR0/T01CR0) は、タイマの動作モードの選択、カウントクロックの選択および IF フラグ割込みの許可または禁止を行います。T00CR0 はタイマ 00 に、T01CR0 はタイマ 01 に対応します。

■ 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)

図 15.5-2 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)

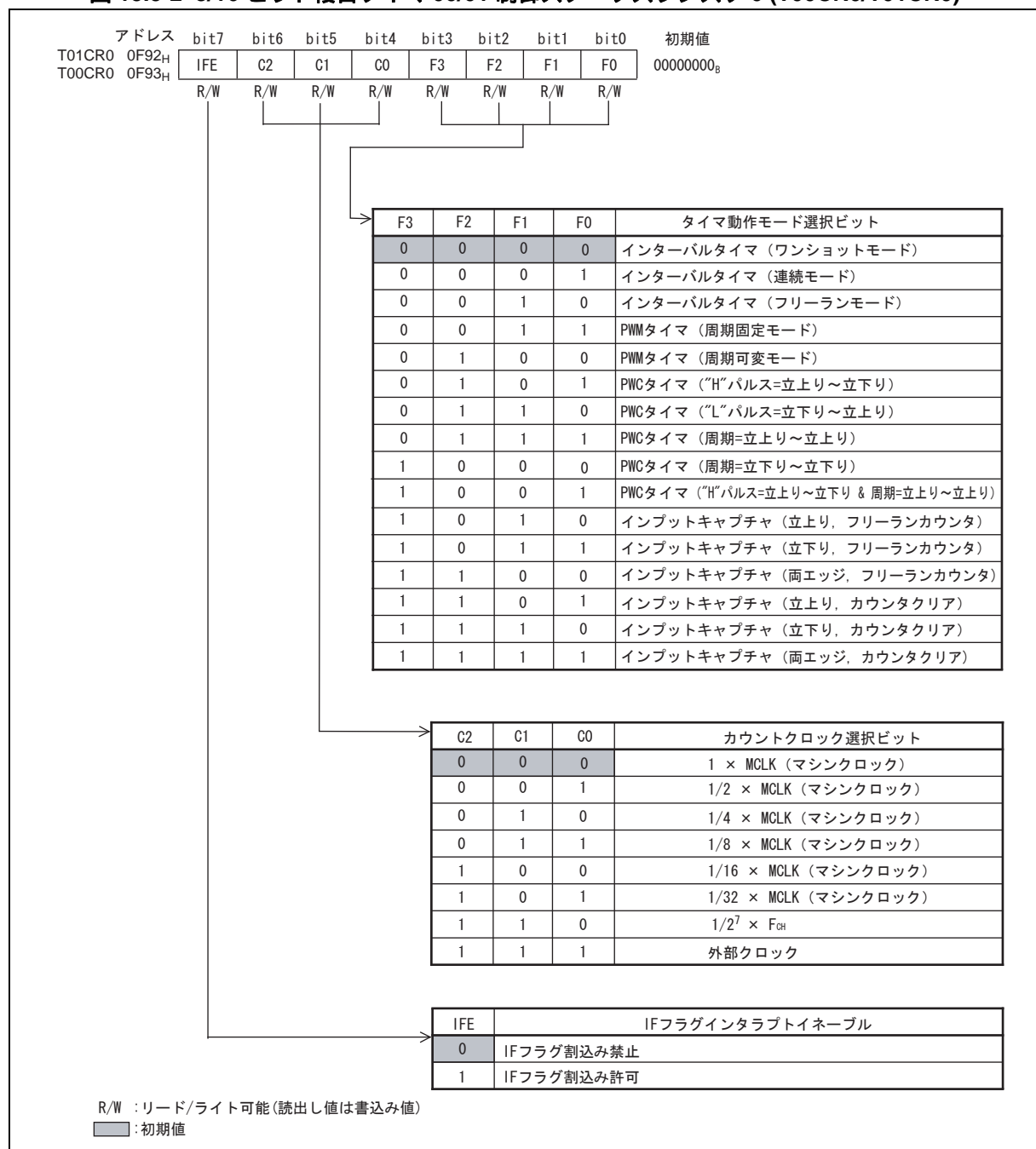


表 15.5-1 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0) の各ビットの機能説明 (1 / 2)

ビット名		機能																																				
bit7	IFE: IF フラグ インタラプト イネーブル	IF フラグ割込みを許可または禁止します。 "0" に設定した場合：IF フラグ割込みは禁止されます。 "1" に設定した場合：IE ビット (T00CR1/T01CR1:IE) がともに "1" で、IF フラグ (T00CR1/T01CR1:IF) が "1" のとき、IF フラグ割込み要求を出力します。																																				
bit6 ～ bit4	C2, C1, C0: カウントクロック 選択ビット	カウントクロックを選択します。 ・ カウントクロックはプリスケアラにより生成されます。「6.12 プリスケアラの動作説明」を参照してください。 ・ タイマ動作中 (T00CR1/T01CR1:STA=1) のとき、これらのビットへの書き込み動作は無効になります。 ・ 16 ビット動作モード時には T01CR0 (タイマ 01) のクロック選択は無効になります。 ・ PWC 機能とインプットキャプチャ機能のときにこれらのビットを "111 _B " に設定できません。PWC 機能またはインプットキャプチャ機能のときに "111 _B " を書き込むと、これらのビットは "000 _B " にリセットされます。また、これらのビットが "111 _B " の状態でインプットキャプチャ動作モードに遷移した場合も "000 _B " にリセットされます。 <table><tr><td>C2</td><td>C1</td><td>C0</td><td>カウントクロック選択ビット</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1 × MCLK (マシニングロック)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1/2 × MCLK (マシニングロック)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1/4 × MCLK (マシニングロック)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1/8 × MCLK (マシニングロック)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1/16 × MCLK (マシニングロック)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1/32 × MCLK (マシニングロック)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1/2⁷ × F_{CH}</td></tr><tr><td>1</td><td>1</td><td>1</td><td>外部クロック</td></tr></table>	C2	C1	C0	カウントクロック選択ビット	0	0	0	1 × MCLK (マシニングロック)	0	0	1	1/2 × MCLK (マシニングロック)	0	1	0	1/4 × MCLK (マシニングロック)	0	1	1	1/8 × MCLK (マシニングロック)	1	0	0	1/16 × MCLK (マシニングロック)	1	0	1	1/32 × MCLK (マシニングロック)	1	1	0	1/2 ⁷ × F _{CH}	1	1	1	外部クロック
C2	C1	C0	カウントクロック選択ビット																																			
0	0	0	1 × MCLK (マシニングロック)																																			
0	0	1	1/2 × MCLK (マシニングロック)																																			
0	1	0	1/4 × MCLK (マシニングロック)																																			
0	1	1	1/8 × MCLK (マシニングロック)																																			
1	0	0	1/16 × MCLK (マシニングロック)																																			
1	0	1	1/32 × MCLK (マシニングロック)																																			
1	1	0	1/2 ⁷ × F _{CH}																																			
1	1	1	外部クロック																																			

表 15.5-1 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0) の各ビットの機能説明 (2 / 2)

ビット名		機能																																																																																					
bit3 ~ bit0	F3, F2, F1, F0: タイマ動作モード 選択ビット	タイマ動作モードを選択します。 ・PWM タイマ機能 (周期可変モード) (F3, F2, F1, F0=0100 _B) は、T00CR0(タイマ 00) または T01CR0(タイマ 01) のいずれか一方のレジスタから設定します。この場合、他方のレジスタはタイマ動作を開始 (T00CR1/T01CR1: STA=1) したときに自動的に、F3, F2, F1, F0=0100 _B となります。 ・16 ビット動作モードの設定 (TMCRO:MOD=1) されている状態で、PWM タイマ機能 (周期可変モード) で動作を開始 (T00CR1/T01CR1:STA=1) すると、MOD ビットは自動的に "0" になります。 ・タイマ動作中 (T00CR1/T01CR1:STA=1) のとき、これらのビットへの書き込み動作は無効になります。																																																																																					
		<table><tr><th>F3</th><th>F2</th><th>F1</th><th>F0</th><th>タイマ動作モード選択ビット</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>インターバルタイマ (ワンショットモード)</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>インターバルタイマ (連続モード)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>インターバルタイマ (フリーランモード)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>PWM タイマ (周期固定モード)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>PWM タイマ (周期可変モード)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>PWC タイマ ("H" パルス = 立上り ~ 立下り)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>PWC タイマ ("L" パルス = 立下り ~ 立上り)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>PWC タイマ (周期 = 立上り ~ 立上り)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>PWC タイマ (周期 = 立下り ~ 立下り)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>PWC タイマ ("H" パルス = 立上り ~ 立下り & 周期 = 立上り ~ 立上り)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>インプットキャプチャ (立上り , フリーランカウンタ)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>インプットキャプチャ (立下り , フリーランカウンタ)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>インプットキャプチャ (両エッジ , フリーランカウンタ)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>インプットキャプチャ (立上り , カウンタクリア)</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>インプットキャプチャ (立下り , カウンタクリア)</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>インプットキャプチャ (両エッジ , カウンタクリア)</td></tr></table>	F3	F2	F1	F0	タイマ動作モード選択ビット	0	0	0	0	インターバルタイマ (ワンショットモード)	0	0	0	1	インターバルタイマ (連続モード)	0	0	1	0	インターバルタイマ (フリーランモード)	0	0	1	1	PWM タイマ (周期固定モード)	0	1	0	0	PWM タイマ (周期可変モード)	0	1	0	1	PWC タイマ ("H" パルス = 立上り ~ 立下り)	0	1	1	0	PWC タイマ ("L" パルス = 立下り ~ 立上り)	0	1	1	1	PWC タイマ (周期 = 立上り ~ 立上り)	1	0	0	0	PWC タイマ (周期 = 立下り ~ 立下り)	1	0	0	1	PWC タイマ ("H" パルス = 立上り ~ 立下り & 周期 = 立上り ~ 立上り)	1	0	1	0	インプットキャプチャ (立上り , フリーランカウンタ)	1	0	1	1	インプットキャプチャ (立下り , フリーランカウンタ)	1	1	0	0	インプットキャプチャ (両エッジ , フリーランカウンタ)	1	1	0	1	インプットキャプチャ (立上り , カウンタクリア)	1	1	1	0	インプットキャプチャ (立下り , カウンタクリア)	1	1	1	1	インプットキャプチャ (両エッジ , カウンタクリア)
		F3	F2	F1	F0	タイマ動作モード選択ビット																																																																																	
		0	0	0	0	インターバルタイマ (ワンショットモード)																																																																																	
		0	0	0	1	インターバルタイマ (連続モード)																																																																																	
		0	0	1	0	インターバルタイマ (フリーランモード)																																																																																	
		0	0	1	1	PWM タイマ (周期固定モード)																																																																																	
		0	1	0	0	PWM タイマ (周期可変モード)																																																																																	
		0	1	0	1	PWC タイマ ("H" パルス = 立上り ~ 立下り)																																																																																	
		0	1	1	0	PWC タイマ ("L" パルス = 立下り ~ 立上り)																																																																																	
		0	1	1	1	PWC タイマ (周期 = 立上り ~ 立上り)																																																																																	
		1	0	0	0	PWC タイマ (周期 = 立下り ~ 立下り)																																																																																	
		1	0	0	1	PWC タイマ ("H" パルス = 立上り ~ 立下り & 周期 = 立上り ~ 立上り)																																																																																	
		1	0	1	0	インプットキャプチャ (立上り , フリーランカウンタ)																																																																																	
		1	0	1	1	インプットキャプチャ (立下り , フリーランカウンタ)																																																																																	
		1	1	0	0	インプットキャプチャ (両エッジ , フリーランカウンタ)																																																																																	
		1	1	0	1	インプットキャプチャ (立上り , カウンタクリア)																																																																																	
1	1	1	0	インプットキャプチャ (立下り , カウンタクリア)																																																																																			
1	1	1	1	インプットキャプチャ (両エッジ , カウンタクリア)																																																																																			

15.5.2 8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 1 (T00CR1/T01CR1)

8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1) は、割込みフラグの制御、タイマ出力の制御およびタイマ動作の制御を行います。T00CR1 はタイマ 00 に、T01CR1 はタイマ 01 に対応します。

■ 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)

図 15.5-3 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)

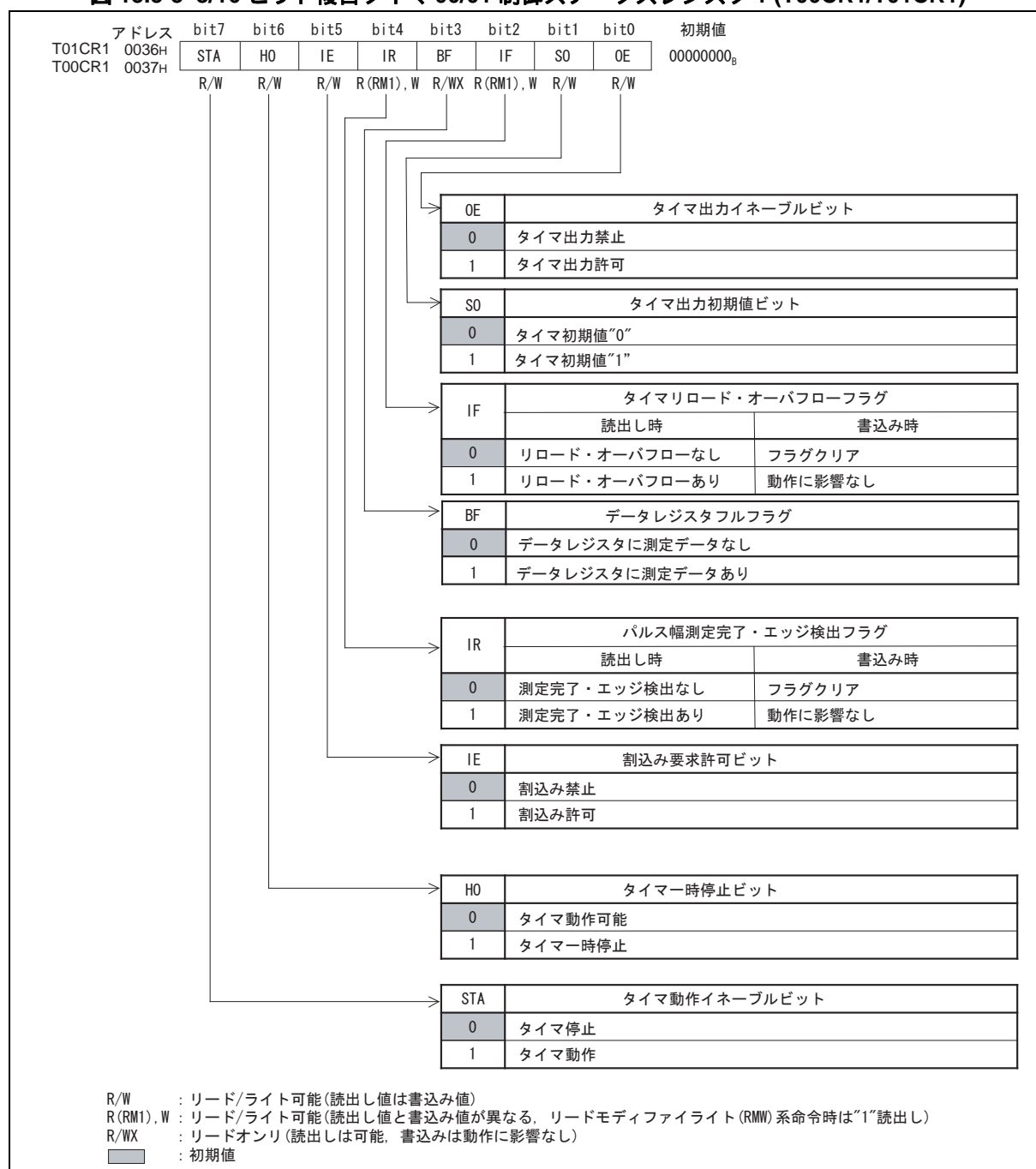


表 15.5-2 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	STA: タイマ動作 イネーブルビット	<p>タイマ動作を許可または停止します。</p> <p>"0" に設定した場合：タイマ動作は停止し、カウント値は "00_H" になります。</p> <ul style="list-style-type: none"> PWM タイマ機能 (周期可変モード) (T00CR0/T01CR0: F3, F2, F1, F0=0100_B) のときは、T00CR1(タイマ 00) または T01CR1(タイマ 01) のいずれのレジスタからも STA ビットによりタイマ動作許可・停止が可能です。この場合、他方のレジスタの STA ビットは自動的に同じ値に変化します。 16 ビット動作モード (TMCRO:MOD=1) のときには、T00CR1(タイマ 00) の STA ビットによりタイマ動作の許可または停止を行ってください。この場合、他方のレジスタの STA ビットは自動的に同じ値に変化します。 <p>"1" に設定した場合：カウント値 "00_H" からタイマ動作を開始します。</p> <ul style="list-style-type: none"> カウントクロック選択ビット (T00CR0/T01CR0: C2, C1, C0), タイマ動作モード選択ビット (T00CR0/T01CR0: F3, F2, F1, F0), タイマ出力初期値ビット (T00CR1/T01CR1: SO), 16 ビットモードイネーブルビット (TMCRO:MOD) およびフィルタ機能選択ビット (TMCRO: FE11, FE10, FE01, FE00) の設定は、このビットを "1" に設定する前に行ってください。
bit6	HO: タイマ 一時停止ビット	<p>タイマ動作を一時停止または再開します。</p> <ul style="list-style-type: none"> タイマ動作中にこのビットに "1" を書き込むとタイマ動作を一時停止します。 タイマ動作が許可されている状態 (T00CR1/T01CR1: STA=1) でこのビットに "0" を書き込むとタイマ動作を再開します。 PWM タイマ機能 (周期可変モード) (T00CR0/T01CR0: F3, F2, F1, F0=0100_B) のとき、T00CR1(タイマ 00) または T01CR1(タイマ 01) のいずれのレジスタからも HO ビットによりタイマ一時停止・動作再開が可能です。この場合、他方のレジスタの HO ビットは自動的に同じ値に変化します。 16 ビット動作モード (TMCRO:MOD=1) のときは、T00CR1(タイマ 00) の HO ビットによりタイマ一時停止・動作再開を行ってください。この場合、他方のレジスタの STA ビットは自動的に同じ値に変化します。
bit5	IE: 割込み要求許可 ビット	<p>割込み要求出力の許可または禁止を行います。</p> <p>"0" に設定した場合：割込み要求を禁止にします。</p> <p>"1" に設定した場合：パルス幅測定完了・エッジ検出フラグ (T00CR1/T01CR1: IR) またはタイマリロード・オーバフローフラグ (T00CR1/T01CR1: IF) が "1" のときに割込み要求を出力します。ただし、タイマリロード・オーバフローフラグ (T00CR1/T01CR1: IF) からの割込み要求は、IF フラグインタラプトイネーブル (T00CR0/T01CR0: IFE) も "1" に設定を行わないと出力されません。</p>
bit4	IR: パルス幅測定完了・ エッジ検出フラグ	<p>パルス幅測定の完了またはエッジが検出されたことを示します。</p> <ul style="list-style-type: none"> PWC タイマ機能のとき、パルス幅測定が完了するとこのビットは "1" になります。 インプットキャプチャ機能のとき、エッジが検出されるとこのビットは "1" になります。 PWC タイマ機能とインプットキャプチャ機能以外のとき、このビットは "0" になります。 リードモディファイライト (RMW) 系命令ではこのビットから常に "1" が読み出されます。 16 ビット動作モードのとき、T01CR1(タイマ 01) レジスタの IR ビットは "0" になります。 "0" を書き込むと、このビットは "0" になります。 "1" を書き込んでも、無視されます。

表 15.5-2 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1) の各ビットの機能説明 (2 / 2)

ビット名	機能
bit3 BF: データレジスタフルフラグ	<ul style="list-style-type: none"> • PWC タイマ機能のとき、パルス幅測定が完了してカウント値が 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に格納されると、このビットは "1" になります。 • 8 ビット動作モードのとき、8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) を読み出すとこのビットは "0" になります。 • このビットが "1" の場合、8/16 ビット複合タイマ 00/01 データレジスタはデータを保持します。このビットが "1" のとき、次のエッジが検出されてもカウント値は 8/16 ビット複合タイマ 00/01 データレジスタに転送されませんので、次の測定結果を喪失します。ただし、例外として、"H" パルス & 周期測定 (T00CR0/T01CR0: F3, F2, F1, F0=1001_B) のときはこのビットが "1" の状態でも "H" パルスの測定結果が 8/16 ビット複合タイマ 00/01 データレジスタに転送され、周期の測定結果はこのビットが "1" の状態では 8/16 ビット複合タイマ 00/01 データレジスタに転送されません。したがって、周期測定を行うためには周期が終了する前に "H" パルス測定の結果を読み出す必要があります。また、"H" パルス測定の結果または周期測定の結果は次の "H" パルスが終了する前に読み出さないと喪失します。 • 16 ビット動作モードのとき、T00CR1(タイマ 00)レジスタの BF ビットは T01DR (タイマ 01) を読み出すと "0" になります。 • 16 ビット動作モードのとき、T01CR1(タイマ 01) レジスタの BF ビットは "0" になります。 • PWC タイマ機能以外のとき、このビットは "0" になります。 • このビットへの書込みは動作に影響を与えません。
bit2 IF: タイマリロード・オーバーフローフラグ	<ul style="list-style-type: none"> • カウント値の一致またはカウントのオーバーフローを検出します。 • インターバルタイマ機能 (ワンショット・連続モード・両方) または PWM タイマ機能 (周期可変モード) のとき、8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値とカウント値が一致すると、このビットは "1" になります。 • PWC 機能またはインプットキャプチャ機能のとき、カウンタがオーバーフローすると、このビットは "1" になります。 • リードモディファイライト (RMW) 系命令ではこのビットから常に "1" が読み出されます。 • "0" を書き込むとこのビットは "0" になります。 • "1" の書込みは動作に影響を与えません。 • PWM 機能 (周期固定モード) のとき、このビットは "0" になります。 • 16 ビット動作モードのとき、T01CR1(タイマ 01)の IF ビットは "0" になります。
bit1 SO: タイマ出力初期値ビット	<ul style="list-style-type: none"> • このビットに書き込むことによりタイマ出力 (TMCR0:TO1/TO0) 初期値を設定します。このビットの値はタイマ動作イネーブルビット (T00CR1/T01CR1:STA) が "0" から "1" に変化したときタイマ出力に反映されます。 • 16 ビット動作モード (TMCR0:MOD=1) のときは、T00CR1(タイマ 00) の SO ビットによりタイマ出力初期値を設定してください。この場合、他方のレジスタの SO ビットの値は動作に影響を与えません。 • タイマ動作中 (T00CR1/T01CR1:STA=1) のとき、このビットへの書込みは無効になります。ただし、16 ビット動作モードの場合はタイマ動作中でも T01CR1 (タイマ 01) の SO ビットへの書込みができますが、タイマ出力に直接影響はありません。 • PWM タイマ機能 (周期固定/可変) のとき、またはインプットキャプチャ機能のときは、このビットの値は動作に影響を与えません。
bit0 OE: タイマ出力イネーブルビット	<p>タイマ出力を許可または禁止します。</p> <p>"0" に設定した場合: タイマ出力は外部端子に出力されません。この場合、外部端子は汎用ポートとして機能します。</p> <p>"1" に設定した場合: タイマ出力 (TMCR0:TO1/TO0) が外部端子に出力されます。</p>

15.5.3 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCR0)

8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCR0) は、フィルタ機能の選択、8 ビットまたは 16 ビット動作モードの選択、タイマ 00 信号入力の選択およびタイマ出力値の表示を行います。このレジスタはタイマ 00 とタイマ 01 の両方に対応します。

■ 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCR0)

図 15.5-4 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCR0)

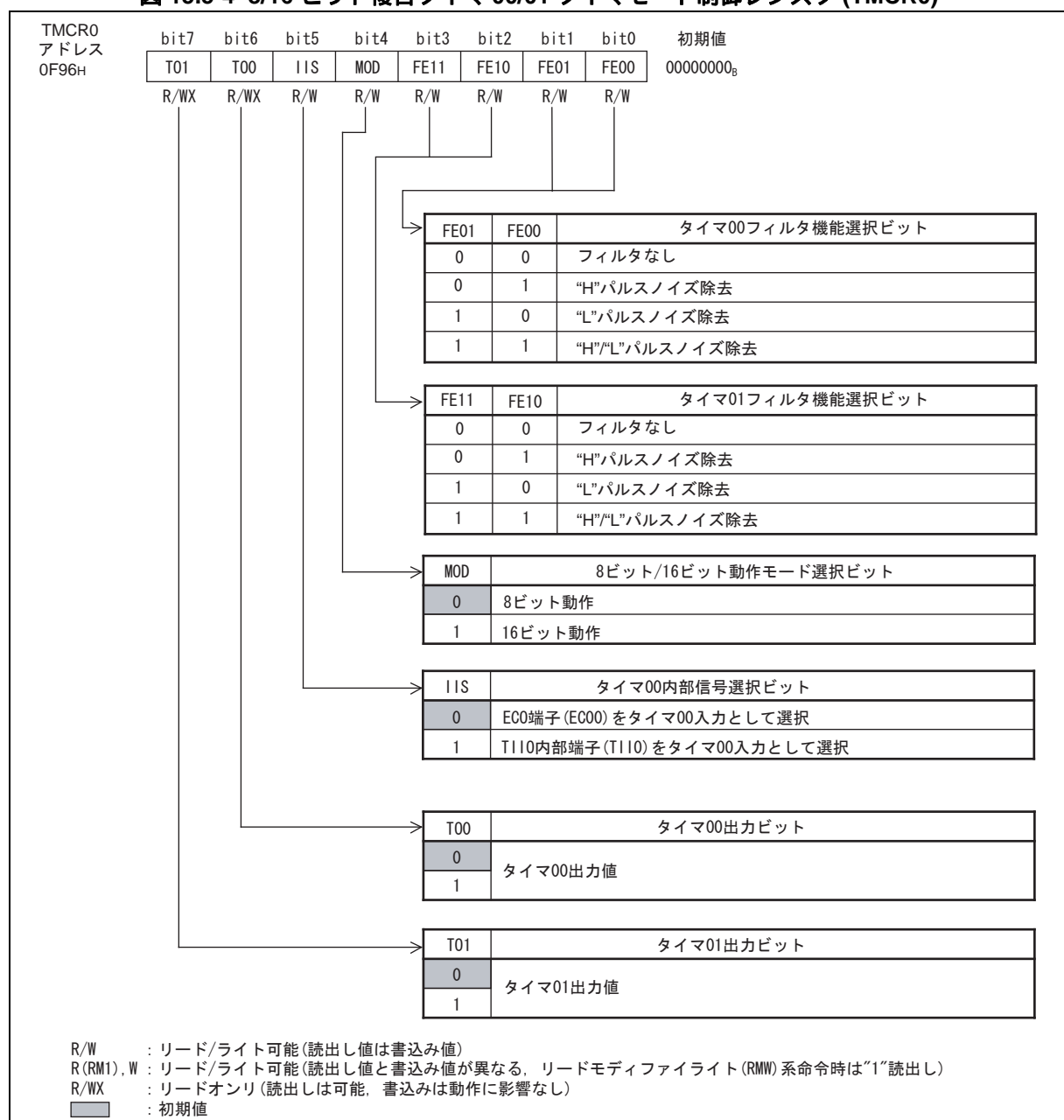


表 15.5-3 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0 (TMCRO) の各ビットの機能説明 (1 / 2)

ビット名		機能															
bit7	TO1: タイマ 01 出力ビット	<p>タイマ 01 の出力値を示します。タイマ動作を開始 (T00CR1/T01CR1:STA=1) すると、選択したタイマ機能に応じてこのビットの値は変化します。</p> <ul style="list-style-type: none"> このビットに書き込んで動作に影響はありません。 16ビット動作モードのとき、PWMタイマ機能 (周期可変モード)、インプットキャプチャ機能のとき、このビットの値は不定です。 インターバルタイマ機能または PWC タイマ機能のとき、タイマ動作を停止 (T00CR1/T01CR1:STA=0) すると、このビットは最後の値を保持します。 PWM タイマ機能 (周期固定モード) のときにタイマ動作を停止すると、このビットは最後の値を保持します。 タイマ動作停止中にタイマ動作モード選択ビット (T00CR0/T01CR0: F3, F2, F1, F0) を変更したとき、このビットは、過去に同じタイマ動作を行ったことがある場合にはそのタイマ動作の最後の値を示すか、そうでない場合には初期値 "0" を示します。 															
bit6	TO0: タイマ 00 出力ビット	<p>タイマ 00 の出力値を示します。タイマ動作を開始 (T00CR1/T01CR1:STA=1) すると、選択したタイマ機能に応じてこのビットの値は変化します。</p> <ul style="list-style-type: none"> このビットに書き込んで動作に影響はありません。 インプットキャプチャ機能のとき、このビットの値は不定です。 インターバルタイマ機能、PWM タイマ (周期可変モード) 機能および PWC タイマ機能のときにタイマ動作を停止 (T00CR1/T01CR1:STA=0) すると、このビットは最後の値を保持します。 PWM タイマ機能 (周期固定モード) のときにタイマ動作を停止すると、このビットは最後の値を保持します。 タイマ動作停止中にタイマ動作モード選択ビット (T00CR0/T01CR0: F3, F2, F1, F0) を変更したとき、このビットは、過去に同じタイマ動作を行ったことがある場合にはそのタイマ動作の最後の値を示すか、そうでない場合には初期値 "0" を示します。 															
bit5	IIS: タイマ 00 内部信号選択ビット	<p>PWC タイマ機能またはインプットキャプチャ機能のとき、タイマ 00 の信号入力を選択します。</p> <p>"0" に設定した場合：外部信号 (EC00) がタイマ 00 信号入力として選択されます。</p> <p>"1" に設定した場合：内部信号 (TH0) がタイマ 00 信号入力として選択されます。</p>															
bit4	MOD: 16 ビットモード イネーブルビット	<p>8 ビットまたは 16 ビット動作モードを選択します。</p> <p>"0" に設定した場合：タイマ 00 とタイマ 01 はそれぞれ 8 ビットタイマとして動作します。</p> <p>"1" に設定した場合：タイマ 00 とタイマ 01 は 16 ビットタイマとして動作します。</p> <ul style="list-style-type: none"> このビットが "1" の状態で、PWM タイマ機能 (周期可変モード) の動作を開始 (T00CR1/T01CR1:STA=1) すると、このビットは自動的に "0" になります。 タイマ動作中 (T00CR1:STA=1 または T01CR1:STA=1) のとき、このビットへの書込みは無効になります。 															
bit3, bit2	FE11, FE10: タイマ 01 フィルタ機能 選択ビット	<p>PWC タイマ機能またはインプットキャプチャ機能のときのタイマ 01 への外部信号 (EC01) に対するフィルタ機能を選択します。</p> <table border="1"> <thead> <tr> <th>FE11</th><th>FE10</th><th>タイマ 01 フィルタ機能選択ビット</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>フィルタなし</td></tr> <tr> <td>0</td><td>1</td><td>"H" パルスノイズ除去</td></tr> <tr> <td>1</td><td>0</td><td>"L" パルスノイズ除去</td></tr> <tr> <td>1</td><td>1</td><td>"H"/"L" パルスノイズ除去</td></tr> </tbody> </table> <ul style="list-style-type: none"> タイマ動作中 (T01CR1:STA=1) のとき、このビットへの書込みは無効になります。 インターバルタイマ機能または PWM タイマ機能のとき、これらのビットの設定は動作に影響しません (フィルタ機能は動作しません)。 	FE11	FE10	タイマ 01 フィルタ機能選択ビット	0	0	フィルタなし	0	1	"H" パルスノイズ除去	1	0	"L" パルスノイズ除去	1	1	"H"/"L" パルスノイズ除去
FE11	FE10	タイマ 01 フィルタ機能選択ビット															
0	0	フィルタなし															
0	1	"H" パルスノイズ除去															
1	0	"L" パルスノイズ除去															
1	1	"H"/"L" パルスノイズ除去															

表 15.5-3 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0 (TMCRO) の各ビットの機能
説明 (2 / 2)

ビット名		機能		
bit1, bit0	FE01, FE00: タイマ 00 フィルタ機能 選択ビット	PWC タイマ機能またはインプットキャプチャ機能のときのタイマ 00 への外部信号 (EC00) に対するフィルタ機能を選択するビットです。		
		FE01	FE00	タイマ 00 フィルタ機能選択ビット
		0	0	フィルタなし
		0	1	"H" パルスノイズ除去
		1	0	"L" パルスノイズ除去
		1	1	"H"/"L" パルスノイズ除去
		<ul style="list-style-type: none">・ タイマ動作中 (T00CR1:STA=1) のとき , このビットへの書込みは無効になります。・ インターバルタイマ機能または PWM タイマ機能のとき , これらのビットの設定は動作に影響しません (フィルタ機能は動作しません) 。		

15.5.4 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR)

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) は、インターバルタイマ動作と PWM タイマ動作時のカウント上限値を設定するレジスタです。また、PWC タイマ動作とインプットキャプチャ動作時にはカウント値の読出しを行うことができます。T00DR はタイマ 00 に、T01DR はタイマ 01 に対応します。

■ 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR)

図 15.5-5 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T01DR 0F94 _H	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	00000000 _B
T00DR 0F95 _H	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	

R,W : リード / ライト可能 (読出し値と書込み値が異なる)

● インターバルタイマ機能のとき

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) でインターバル時間を設定します。動作を開始 (T00CR1/T01CR1:STA=1) すると、このレジスタの値は 8 ビットコンパレータのラッチに転送され、カウントが開始されます。カウント値とラッチに転送された値が一致すると、このレジスタの値は 8 ビットコンパレータのラッチに再び転送され、カウント値が "00_H" に戻って動作を継続します。

このレジスタを読み出すと、現在のカウント値を読み出すことができます。

インターバルタイマのとき、このレジスタに "00_H" の書込みを禁止します。

16 ビット動作モードのときは、データの上位を T01DR、下位を T00DR に設定してください。また、書込みおよび読出しは T01DR、T00DR の順番で行ってください。

● PWM タイマ機能 (周期固定) のとき

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) で "H" パルス幅時間を設定します。動作を開始 (T00CR1/T01CR1:STA=1) すると、このレジスタの値は 8 ビットコンパレータのラッチに転送され、タイマ出力 "H" からカウントが開始されます。カウント値とラッチに転送された値が一致すると、タイマ出力は "L" になり、カウント値が "FF_H" までカウント動作を継続します。オーバフローが発生するとこのレジスタの値は再び 8 ビットコンパレータのラッチに転送され、次のカウント動作を継続します。

このレジスタを読み出すと、現在のカウント値を読み出せます。

16 ビット動作モードのときは、データの上位を T01DR、下位を T00DR に設定してください。また、書込みおよび読出しは T01DR、T00DR の順番で行ってください。

● PWM タイマ機能 (周期可変) のとき

8/16 ビット複合タイマ 00 データレジスタ (T00DR) で "L" パルス幅時間, 8/16 ビット複合タイマ 01 データレジスタ (T01DR) で周期を設定します。動作を開始 (T00CR1/T01CR1:STA=1) すると, それぞれレジスタの値は 8 ビットコンパレータのラッチに転送され, タイマ出力 "L" から 2 つのカウンタの動作が開始されます。ラッチに転送された T00DR の値とタイマ 00 カウンタの値が一致すると, タイマ出力は "H" になり, ラッチに転送された T01DR の値とタイマ 01 カウンタの値が一致するまでカウント動作を続けます。ラッチに転送された T01DR の値とタイマ 01 カウンタの値が一致すると, これらのレジスタの値は再びそれぞれの 8 ビットコンパレータのラッチに転送され, 次の PWM サイクルのカウント動作を続けます。

このレジスタを読み出すと, 現在のカウンタ値を読み出せます。また, 書込みおよび読出しは T01DR, T00DR の順番で行ってください。

● PWC タイマ機能のとき

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) は PWC 測定結果の読出しに使用します。PWC 測定が完了するとカウンタの値がこのレジスタに転送されて BF ビットが "1" になります。

8/16 ビット複合タイマ 00/01 データレジスタを読むと, BF ビットは "0" になります。BF ビットが "1" のとき, 8/16 ビット複合タイマ 00/01 データレジスタへの転送動作は行われません。

例外として, "H" パルス & 周期測定 (T00CR0/T01CR0:F3, F2, F1, F0=1001_B) のときは BF ビットが "1" の状態でも "H" パルスの測定結果は 8/16 ビット複合タイマ 00/01 データレジスタに転送されますが, 周期の測定結果は BF ビットが "1" の状態では 8/16 ビット複合タイマ 00/01 データレジスタに転送されません。したがって, 周期測定を行うためには周期が終了する前に "H" パルス測定の結果を読み出す必要があります。また, "H" パルスの測定結果または周期の測定結果は次の "H" パルスが終了する前に読み出さないと喪失します。

8/16 ビット複合タイマ 00/01 データレジスタを読み出す場合, 意図せずに BF ビットをクリアしないように注意してください。

8/16 ビット複合タイマ 00/01 データレジスタに書き込むと, 格納された測定データを書込み値で更新します。したがって, 書込みは行わないでください。16 ビット動作モードのときは, データの上位が T01DR, 下位が T00DR に転送されます。読出しは T01DR, T00DR の順番で行ってください。

● インプットキャプチャ機能のとき

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) はインプットキャプチャ結果の読出しに使用します。指定されたエッジが検出されるとカウンタの値が 8/16 ビット複合タイマ 00/01 データレジスタに転送されます。

8/16 ビット複合タイマ 00/01 データレジスタに値を書き込むと, 格納された測定データを書込み値で更新します。したがって, 書込みは行わないでください。16 ビット動作モードのときは, データの上位が T01DR, 下位が T00DR に転送されます。読出しは T01DR, T00DR の順番で行ってください。

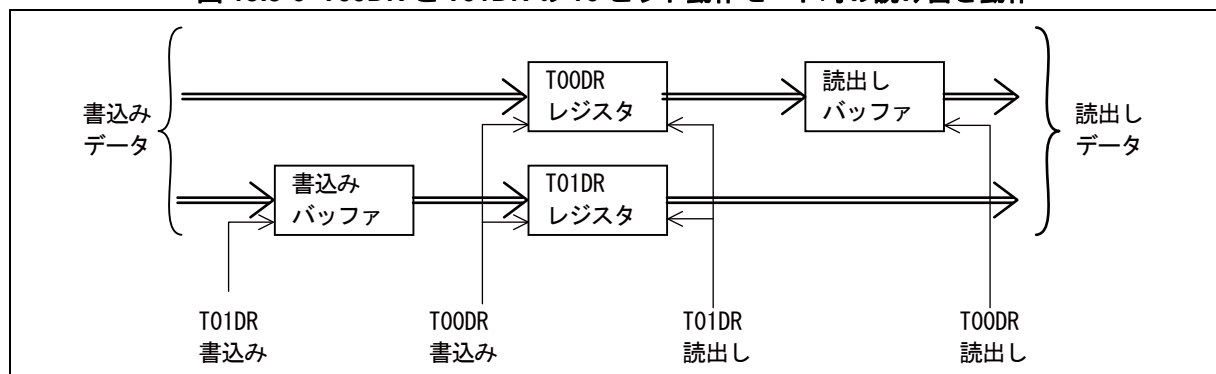
● 読出し、書込み動作について

T00DR と T01DR の 16 ビット動作モード時および PWM タイマ機能（周期可変）時の読出し、書込み動作は以下のように行われます。

- T01DR の読出し： 同レジスタの読出し動作に加えて、T00DR の値が内部の読出しバッファへ格納する動作も同時に行われます。
- T00DR の読出し： 内部の読出しバッファからの読出し動作が行われます。
- T01DR への書込み： 内部の書込みバッファへの書込み動作が行われます。
- T00DR の書込み： 同レジスタへの書込み動作に加え、内部の書込みバッファの値が T01DR へ格納する動作も同時に行われます。

図 15.5-6 に、T00DR と T01DR の 16 ビット動作モード時の読み書き動作を示します。

図 15.5-6 T00DR と T01DR の 16 ビット動作モード時の読み書き動作



15.6 8/16 ビット複合タイマの割込み

8/16 ビット複合タイマは下記の割込みを発生し、それぞれに割込み番号と割込みベクタが割り当てられています。

- タイマ 00 割込み
- タイマ 01 割込み

■ タイマ 00 割込み

表 15.6-1 に、タイマ 00 の割込みを示します。

表 15.6-1 タイマ 00 の割込み

項目	説明		
割込み発生条件	インターバルタイマ機能または PWM タイマ機能 (周期可変モード) のときの比較一致。	PWC タイマ機能またはインプットキャプチャ機能のときのオーバフロー。	PWC タイマ機能のときの測定完了またはインプットキャプチャ機能のときのエッジ検出。
割込みフラグ	T00CR1:IF	T00CR1:IF	T00CR1:IR
割込み許可	T00CR1:IE と T00CR0:IFE	T00CR1:IE と T00CR0:IFE	T00CR1:IE

■ タイマ 01 割込み

表 15.6-2 に、タイマ 01 の割込みを示します。

表 15.6-2 タイマ 01 の割込み

項目	説明		
割込み発生条件	インターバルタイマ機能または PWM タイマ機能 (周期可変モード) のときの比較一致。 16 ビット動作モード時を除く。	PWC タイマ機能またはインプットキャプチャ機能のときのオーバフロー。 16 ビット動作モード時を除く。	PWC タイマ機能のときの測定完了またはインプットキャプチャ機能のときのエッジ検出。 16 ビット動作モード時を除く。
割込みフラグ	T01CR1:IF	T01CR1:IF	T01CR1:IR
割込み許可	T01CR1:IE と T00CR0:IFE	T01CR1:IE と T00CR0:IFE	T01CR1:IE

■ 8/16 ビット複合タイマの割込みに関連するレジスタとベクタテーブル

表 15.6-3 8/16 ビット複合タイマの割込みに関連するレジスタとベクタテーブル

割込み要因	割込み 要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
タイマ 00	IRQ5	ILR1	L05	FFF0 _H	FFF1 _H
タイマ 01	IRQ6	ILR1	L06	FFEE _H	FFEF _H
タイマ 10*	IRQ22	ILR5	L22	FFCE _H	FFCF _H
タイマ 11	IRQ14	ILR3	L14	FFDE _H	FFDF _H

* : 8/16 ビット複合タイマ (ch.1) は外部割込み回路 (ch.12 ~ ch.15) と割込み要求番号 /
ベクタテーブルが兼用です。

全周辺機能の割込み要求番号 / ベクタテーブルについては「付録 B 割込み要因のテー
ブル」に記載されています。

15.7 インターバルタイマ機能 (ワンショットモード) の動作説明

8/16 ビット複合タイマのインターバルタイマ機能 (ワンショットモード) の動作を説明します。

■ インターバルタイマ機能 (ワンショットモード) の動作

インターバルタイマ機能として動作させるには、図 15.7-1 のレジスタ設定が必要です。

図 15.7-1 インターバルタイマ機能の設定

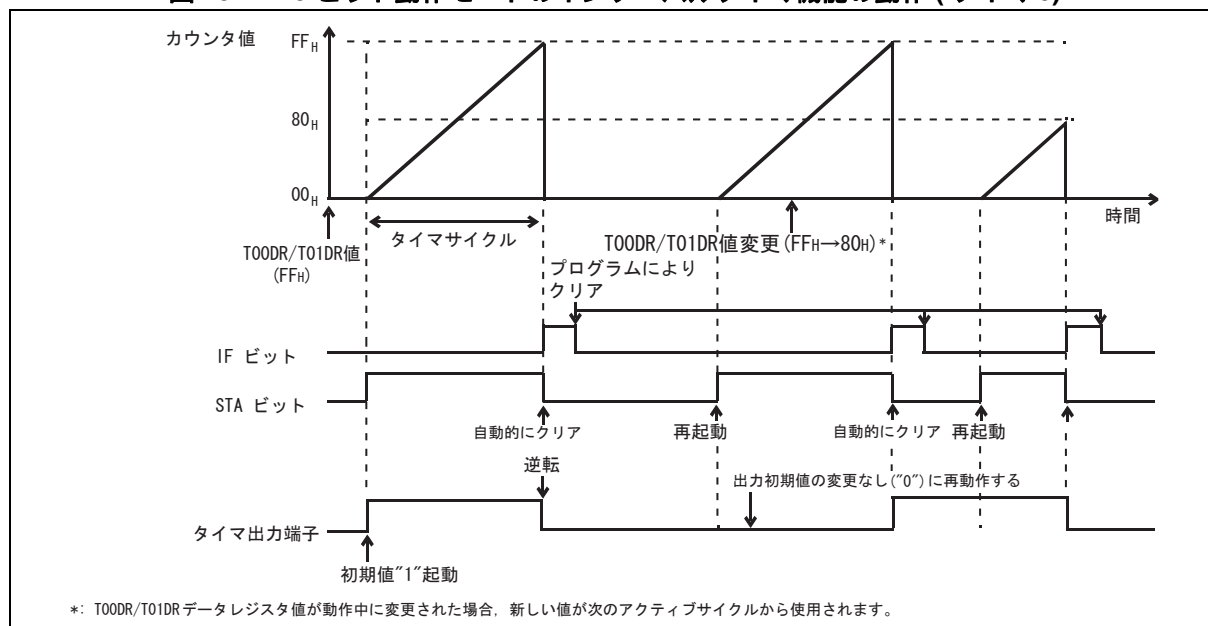
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
					0	0	0	0
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1			x	x			
TMCR	TO1	TO0	IIS	MOD	FE11	FE10	FE01	FE00
				x				
T00DR/T01DR	インターバル時間 (カウンタコンペア値) の設定							
	: 使用ビット							
	x : 未使用ビット							
	1 : "1" を設定							
	0 : "0" を設定							

インターバルタイマ機能 (ワンショットモード) では、タイマ動作を許可 (T00CR0/T00CR1:STA=1) すると、選択されたカウントクロックの立上りエッジでカウンタが "00_H" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値と一致すると、タイマ出力 (TMCR0:TO0/TO1) が反転して割込みフラグ (T00CR1/T01CR1:IF) が "1" に、スタートビット (T00CR0/T00CR1:STA) が "0" になり、カウント動作が停止します。

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値は、カウント動作開始時にコンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。8/16 ビット複合タイマ 00/01 データレジスタに "00_H" を書き込まないでください。

図 15.7-2 に、8 ビット動作モードのインターバルタイマ機能の動作 (タイマ 0) を示します。

図 15.7-2 8 ビット動作モードのインターバルタイマ機能の動作 (タイマ 0)



15.8 インターバルタイマ機能 (連続モード) の動作説明

8/16 ビット複合タイマのインターバルタイマ機能 (連続モードの動作) を説明します。

■ インターバルタイマ機能 (連続モード) の動作

インターバルタイマ機能 (連続モード) として動作させるには、図 15.8-1 のレジスタ設定が必要です。

図 15.8-1 カウンタ機能 (8 ビットモード時) の設定

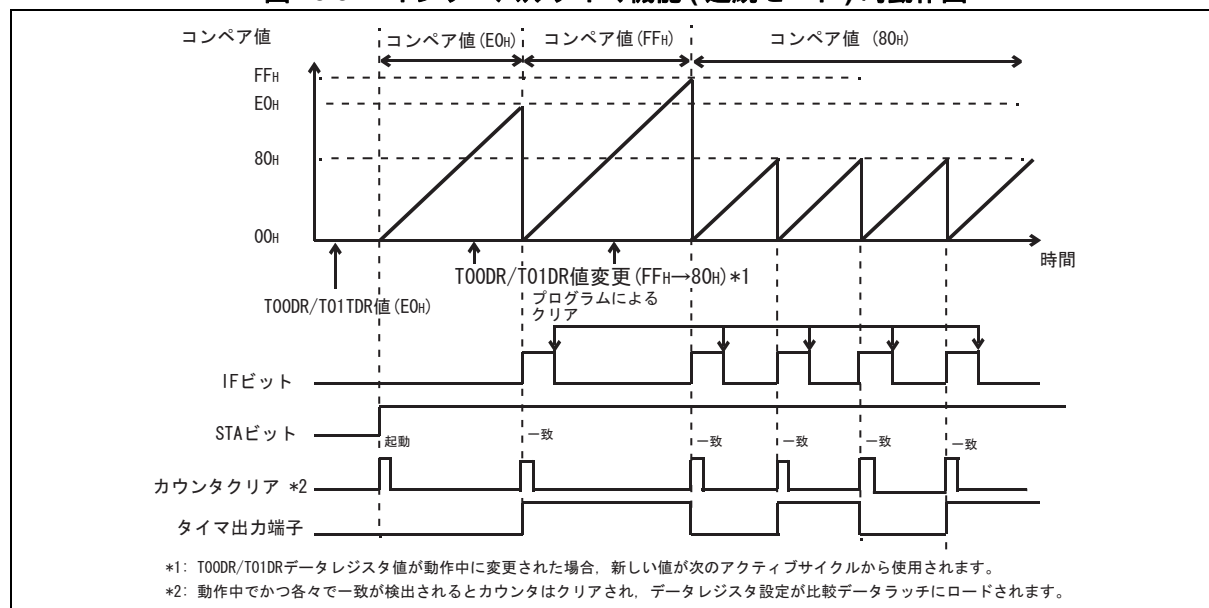
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
					0	0	0	1
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1			x	x			
TMCR	TO1	TO0	IIS	MOD	FE11	FE10	FE01	FE00
				x				
T00DR/T01DR	インターバル時間 (カウンタコンペア値) の設定							
	: 使用ビット							
	x : 未使用ビット							
	1 : "1" を設定							
	0 : "0" を設定							

インターバルタイマ機能 (連続モード) では、タイマ動作を許可 (T00CR0/T00CR1: STA=1) すると、選択されたカウントクロックの立上りエッジでカウンタが "00_H" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値と一致すると、タイマ出力ビット (TMCR0:TO0/TO1) が反転し、割込みフラグ (T00CR1/T01CR1:IF) が "1" になり、再び "00_H" からカウント動作を継続します。この連続動作の結果、タイマ出力は方形波を示します。

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値は、カウント動作を開始したとき、またはカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。カウント動作中は、8/16 ビット複合タイマ 00/01 データレジスタに "00_H" を書き込まないでください。

タイマ動作を停止したとき、タイマ出力ビット (TMCR0:TO0/TO1) は最後の値を保持します。

図 15.8-2 インターバルタイマ機能 (連続モード) 時動作図



15.9 インターバルタイマ機能 (フリーランモード) の動作説明

8/16 ビット複合タイマのインターバルタイマ機能 (フリーランモード) の動作を説明します。

■ インターバルタイマ機能 (フリーランモード) の動作

インターバルタイマ機能 (フリーランモード) を動作させるには、図 15.9-1 の設定が必要です。

図 15.9-1 インターバルタイマ機能 (フリーランモード) の設定

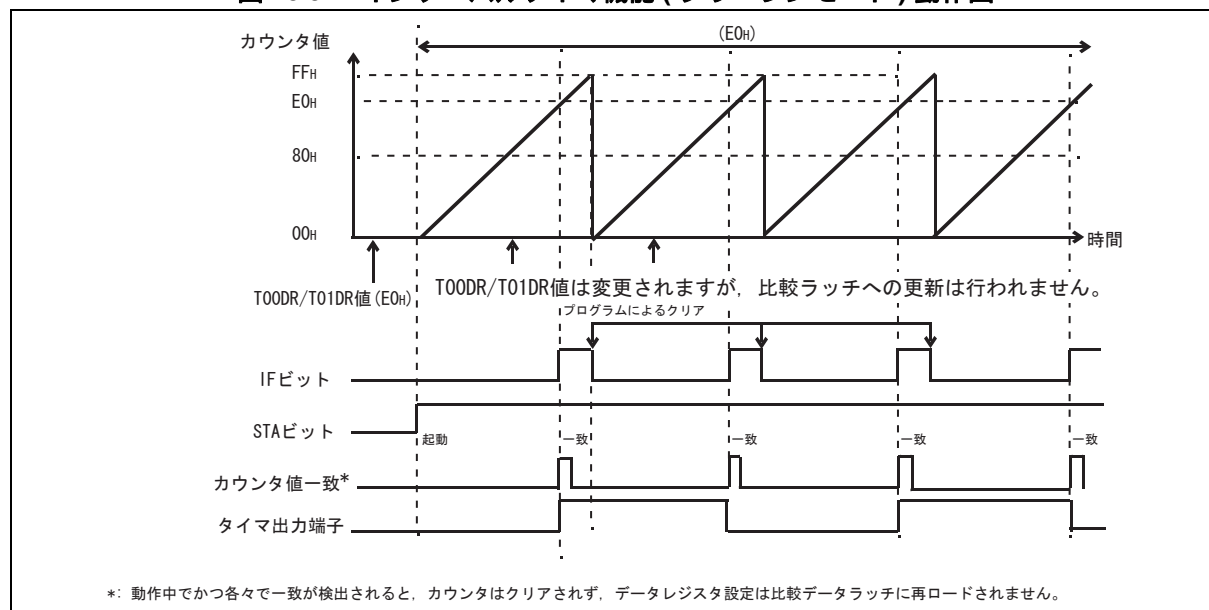
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
					0	0	1	0
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1			x	x			
TMCR	TO1	TO0	IIS	MOD	FE11	FE10	FE01	FE00
				x				
T00DR/T01DR	インターバル時間 (カウンタコンペア値) の設定							
	: 使用ビット							
	x : 未使用ビット							
	1 : "1" を設定							
	0 : "0" を設定							

インターバルタイマ機能 (フリーランモード) では、タイマ動作を許可 (T00CR0/T00CR1:STA=1) すると、選択されたカウントクロックの立上りエッジでカウンタが "00_H" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値と一致すると、タイマ出力ビット (TMCR0:TO0/TO1) が反転して割込みフラグ (T00CR1/T01CR1:IF) が "1" になります。そのままカウント動作を継続してカウンタ値が "FF_H" に達すると、再び "00_H" からカウント動作を継続します。この連続動作の結果、タイマ出力は方形波を示します。

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値は、カウント動作を開始したとき、またはカウンタ値の比較一致を検出したときにコンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。8/16 ビット複合タイマ 00/01 データレジスタに "00_H" を書き込まないでください。

タイマ動作を停止したとき、タイマ出力ビット (TMCR0:TO0/TO1) は最後の値を保持します。

図 15.9-2 インターバルタイマ機能 (フリーランモード) 動作図



15.10 PWM タイマ機能 (周期固定モード) の動作説明

8/16 ビット複合タイマの PWM タイマ機能 (周期固定モード) の動作を説明します。

■ PWM タイマ機能 (周期固定モード) の動作

PWM タイマ機能 (周期固定モード) を動作させるには、図 15.10-1 の設定が必要です。

図 15.10-1 PWM タイマ機能 (周期固定モード) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
					0	0	1	1
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1		x	x	x	x	x	x
TMCR	TO1	TO0	IIS	MOD	FE11	FE10	FE01	FE00
			x					
T00DR/T01DR	"H" パルス幅 (コンペア値) の設定							
	: 使用ビット							
	x : 未使用ビット							
	1 : "1" を設定							
	0 : "0" を設定							

PWM タイマ機能 (周期固定モード) では、周期固定で "H" パルス幅可変の PWM 信号をタイマ出力端子 (TO00/TO01) から出力します。周期は 8 ビット動作モードでは "FF_H" に、16 ビット動作モードでは "FFFF_H" に固定で、カウントクロックの選択により時間が決定されます。"H" パルス幅は 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値により指定します。

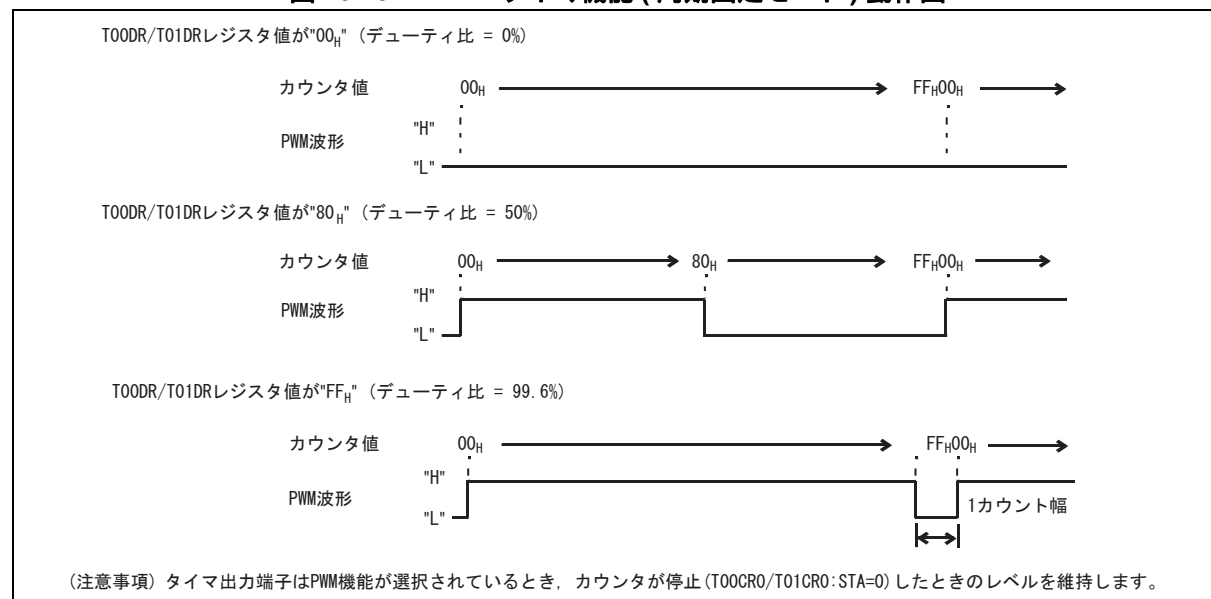
この機能では割込みフラグ (T00CR1/T01CR1:IF) は影響されません。また、1 つのサイクルは常に "H" パルス出力から始まりますので、タイマ出力初期値設定ビット (T00CR1/T01CR1:SO) は動作に影響を与えません。

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値は、カウント動作を開始したとき、またはカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

タイマ動作を停止したとき、タイマ出力ビット (TMCR0:TO0/TO1) は最後の値を保持します。

タイマ起動 (STA ビットに "1" を書き込む) 直後の出力波形では "H" パルスが設定値よりも 1 カウントクロック少なくなります。

図 15.10-2 PWM タイマ機能 (周期固定モード) 動作図



15.11 PWM タイマ機能 (周期可変モード) の動作説明

8/16 ビット複合タイマの PWM タイマ機能 (周期可変モード) の動作を説明します。

■ PWM タイマ機能 (周期可変モード) の動作

PWM タイマ機能 (周期可変モード) を動作させるには、図 15.11-1 の設定が必要です。

図 15.11-1 PWM タイマ機能 (周期可変モード) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
					0	1	0	0
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1			x	x		x	x
TMCR	TO1	TO0	IIS	MOD	FE11	FE10	FE01	FE00
			x	x				
T00DR	"L" パルス幅 (コンペア値) の設定							
T01DR	PWM 波形 (コンペア値) のサイクルを設定							
: 使用ビット								
x : 未使用ビット								
1 : "1" を設定								
0 : "0" を設定								

PWM タイマ機能 (周期可変モード) では、タイマ 00 とタイマ 01 の両方を使用し、周期を 8/16 ビット複合タイマ 01 データレジスタ (T01DR) で指定し、"L" パルス幅を 8/16 ビット複合タイマ 00 データレジスタ (T00DR) で指定することにより、任意の周期とデューティの PWM 信号をタイマ出力端子 (TO00) から出力します。

この機能では、2 つの 8 ビットカウンタを使用するため、16 ビットカウンタを構成できません。

タイマ動作を許可 (T00CR1:STA=1 または T01CR1:STA=1 のいずれでも可能) すると、モードビット (TMCR0:MOD) は "0" になります。また、最初のサイクルは常に "L" パルス出力から始まりますので、タイマ初期値設定ビット (T00CR1/T01CR1:SO) は動作に影響を与えません。

割込みフラグ (T00CR1/T01CR1:IF) はそれぞれの 8 ビットカウンタがそれぞれの 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値と一致したときに設定されます。

8/16 ビット複合タイマ 00/01 データレジスタの値はカウンタ動作を開始したとき、またはそれぞれのカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

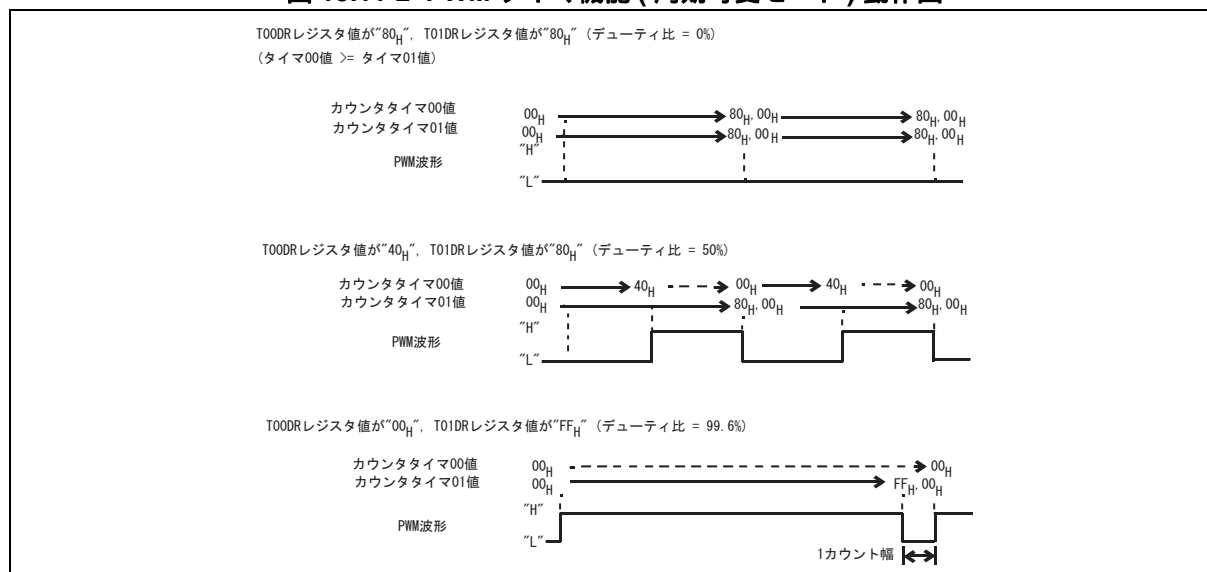
"L" パルス幅の設定値が周期の設定値より大きい場合は "H" は出力されません。

カウントクロックの選択は、タイマ 00 とタイマ 01 の両方に対してそれぞれ行う必要があります。このとき、異なるカウントクロックを選択することを禁止します。

タイマ動作を停止したとき、タイマ出力ビット (TMCR0:TO0) は最後の出力値を保持します。

動作中に 8/16 ビット複合タイマ 00/01 データレジスタを書き換えた場合、書き込まれたデータは同期一致を検出した次のサイクルより有効となります。

図 15.11-2 PWM タイマ機能 (周期可変モード) 動作図



15.12 PWC タイマ機能の動作説明

8/16 ビット複合タイマの PWC タイマ機能の動作を説明します。

■ PWC タイマ機能の動作

PWC タイマ機能を動作させるには、図 15.12-1 の設定が必要です。

図 15.12-1 PWC タイマ機能の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1							x
TMCR	TO1	TO0	IIS	MOD	FE11	FE10	FE01	FE00
T00DR/T01DR	パルス幅測定値を保持							

: 使用ビット
 x : 未使用ビット
 1 : "1" を設定

PWC タイマ機能では、外部入力パルスの幅および周期を測定できます。カウント開始・終了のエッジはタイマ動作モード設定 (T00CR0/T01CR0:F3, F2, F1, F0) により選択します。

この機能では、外部入力信号の指定されたカウント開始エッジを検出すると、カウンタは "00_H" からカウント動作を開始します。指定されたカウント終了エッジを検出すると、カウント値を 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に転送し、割込みフラグ (T00CR1/T01CR1:IR) とバッファフルフラグ (T00CR1/T01CR1:BF) を "1" にします。バッファフルフラグは 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) を読み出すことにより "0" になります。

バッファフルフラグが "1" の場合、8/16 ビット複合タイマ 00/01 データレジスタはデータを保持します。この間に次のエッジが検出されても、カウント値は 8/16 ビット複合タイマ 00/01 データレジスタに転送されませんので、次の測定結果を喪失します。

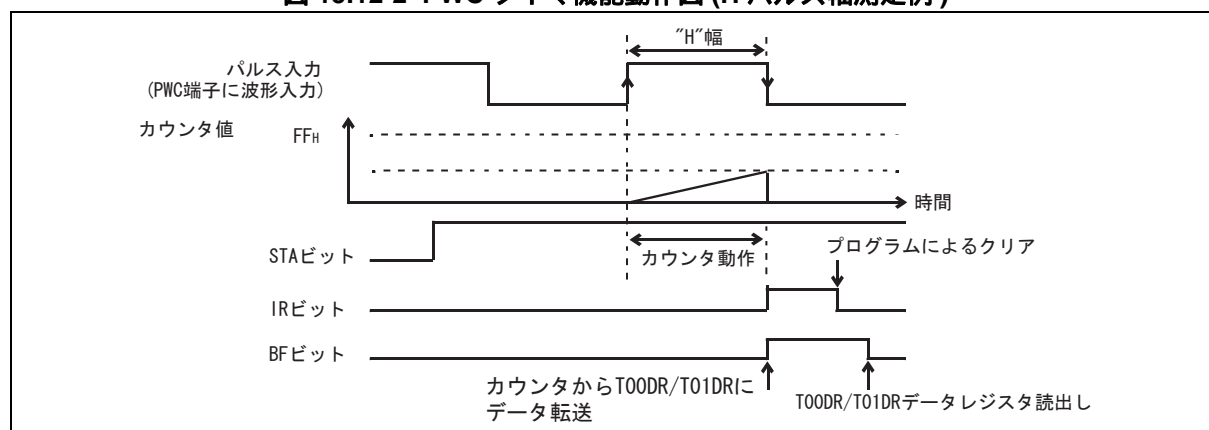
例外として、"H" パルス & 周期測定 (T00CR0/T01CR0:F3, F2, F1, F0=1001_B) のときは BF ビットが "1" の状態でも "H" パルスの測定結果が 8/16 ビット複合タイマ 00/01 データレジスタに転送されますが、周期の測定結果は BF ビットが "1" の状態では 8/16 ビット複合タイマ 00/01 データレジスタに転送されません。したがって、周期測定を行うためには周期が終了する前に "H" パルス測定の結果を読み出す必要があります。また、"H" パルス測定の結果または周期測定の結果は次の "H" パルスが終了する前に読み出さないと喪失します。

カウンタの長さを超えた時間を測定する場合は、カウンタオーバフローの回数をソフトウェアでカウントすることにより、カウンタの長さを超えた時間を求めることができます。すなわち、カウンタがオーバフローすると、割込みフラグ (T00CR1/T01CR1:IF) が "1" になりますので、この割込み処理ルーチンによりオーバフローの回数をカウントします。また、オーバフローによりタイマ出力は反転します。タイマ出力の初期値は、タイマ出力初期値ビット (T00CR1/T01CR1:SO) により設定できます。

タイマ動作を停止したとき、タイマ出力ビット (TMCR0:TO1/TO0) は最後の値を保持します。

タイマ起動前 (STA ビットに "1" を書き込む前) に割込みが発生した場合は 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値を無効としてください。

図 15.12-2 PWC タイマ機能動作図 (H パルス幅測定例)



15.13 インพุットキャプチャ機能の動作説明

8/16 ビット複合タイマのインพุットキャプチャ機能の動作を説明します。

■ インพุットキャプチャ機能の動作

インพุットキャプチャ機能を動作させるには、図 15.13-1 の設定が必要です。

図 15.13-1 インพุットキャプチャ機能の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1				x		x	x
TMCR	TO1	TO0	IIS	MOD	FE11	FE10	FE01	FE00
	x	x						
T00DR/T01DR	パルス幅測定値を保持							
	: 使用ビット							
	x : 未使用ビット							
	1 : "1" を設定							

インพุットキャプチャ機能では、外部信号入力のエッジ検出によりカウンタの値を 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に格納します。検出するエッジはタイマ動作モード設定 (T00CR0/T01CR0:F3, F2, F1, F0) により選択します。

この機能にはカウント動作にフリーランモードとクリアモードがあり、これもタイマ動作モード設定により選択します。

クリアモードではカウンタは "00_H" からカウント動作を開始します。エッジを検出すると、カウンタの値を 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に転送して割込みフラグ (T00CR1/T01CR1:IR) が "1" になり、再び "00_H" からカウント動作を継続します。

フリーランモードではエッジを検出すると、カウンタの値を 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に転送して割込みフラグ (T00CR1/T01CR1:IR) が "1" になります。この場合には、カウンタをクリアすることなく、そのままカウント動作を継続します。

この機能では、バッファフルフラグ (T00CR1/T01CR1:BF) は影響を受けません。

カウンタの長さを超えた時間を測定する場合は、カウンタオーバフローの回数をソフトウェアでカウントすることにより、カウンタの長さを超えた時間を求めることができます。すなわち、カウンタがオーバフローすると、割込みフラグ (T00CR1/T01CR1:IF) が "1" になりますので、この割込み処理ルーチンによりオーバフローの回数をカウントします。

タイマ起動前 (STA ビットに "1" を書き込む前) に割込みが発生した場合は 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) のキャプチャ値を無効としてください。

8/16 ビット複合タイマがカウンタ値をキャプチャするタイミングは、外部入力信号の両エッジのいずれかを検出する時と設定 (T00CR0/T01CR0:F3-F0=1100_B または 1111_B) された場合、下記のように立下りエッジの検出動作が外部入力信号レベルにより変わります。

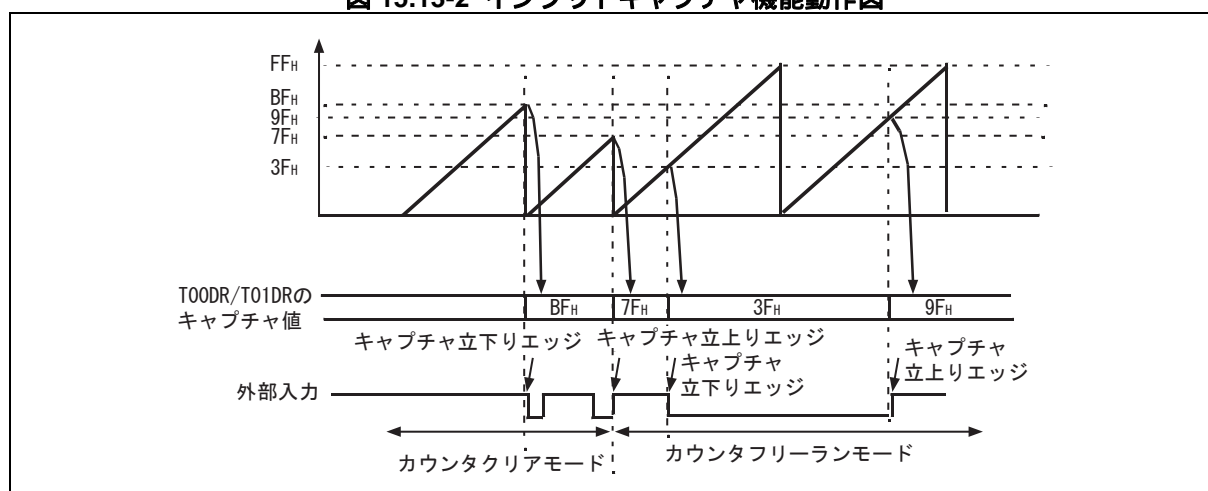
- 外部入力信号レベル : H

フリーランモードとクリアモードともに、最初の立下りエッジは無視され、カウンタ値はデータレジスタ (T00DR/T01DR) に転送されず、パルス幅測定完了 / エッジ検出フラグ (T00CR1/T01CR1:IR) はセットされません。さらに、クリアモードでは、カウンタもクリアされません。

- 外部入力信号レベル : L

8/16 ビット複合タイマは最初の立下りエッジからエッジ検出を開始します。

図 15.13-2 インプットキャプチャ機能動作図

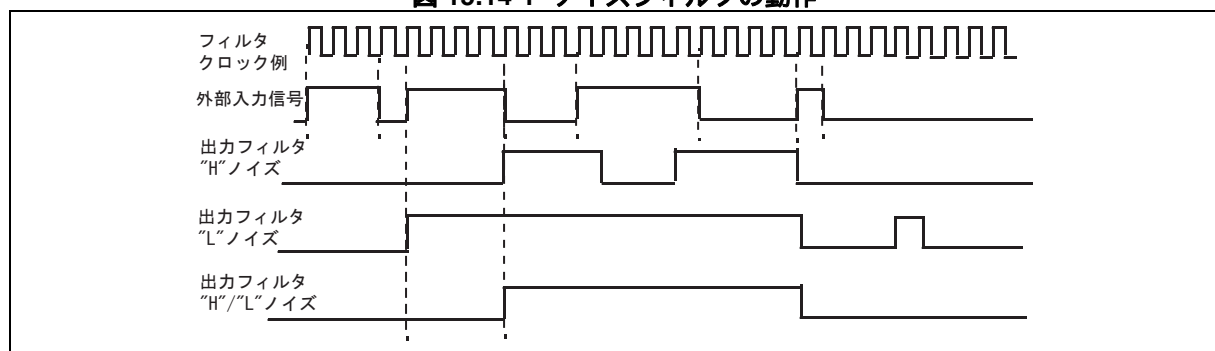


15.14 ノイズフィルタの動作説明

8/16 ビット複合タイマのノイズフィルタの動作を説明します。

インプットキャプチャ機能またはPWC タイマ機能のとき、外部入力端子 (EC0/EC1) からの信号のパルスノイズをノイズフィルタにより除去できます。レジスタの設定 (TMCRO:FE11, FE10, FE01, FE00) により "H" パルスノイズ除去, "L" パルスノイズ除去または "H"/"L" パルスノイズ除去から選択できます。除去できるパルスの幅は最大 3 マシンクロックサイクルです。フィルタ機能が動作状態の場合、信号入力に 4 マシンクロックサイクルの遅れが発生します。

図 15.14-1 ノイズフィルタの動作



15.15 動作中の各モードでの状態

8/16 ビット複合タイマの動作中に、マイコンの時計モード、ストップモードへの移行があったとき、または一時停止 (T00CR1/T01CR1:HO=1) の要求があったときの動作を説明します。

■ インターバルタイマ機能、インプットキャプチャ機能または PWC 機能の場合

8/16 ビット複合タイマの動作中に、時計モード、ストップモードへ移行したとき、または一時停止の要求があったときのカウンタ値の状態を図 15.15-1 に示します。

ストップモード、時計モードに移行すると、カウンタは値を保持して停止します。ストップモード、時計モードが割込みによって解除されると、カウンタは保持した値から動作を再開します。このため、初回のインターバル時間や外部クロックのカウント数は正しい値となりません。ストップモード、時計モード解除後は、必ずカウンタの値を初期化してください。

図 15.15-1 スタンバイモードおよび一時停止時のカウンタの動作 (PWM タイマ機能以外)

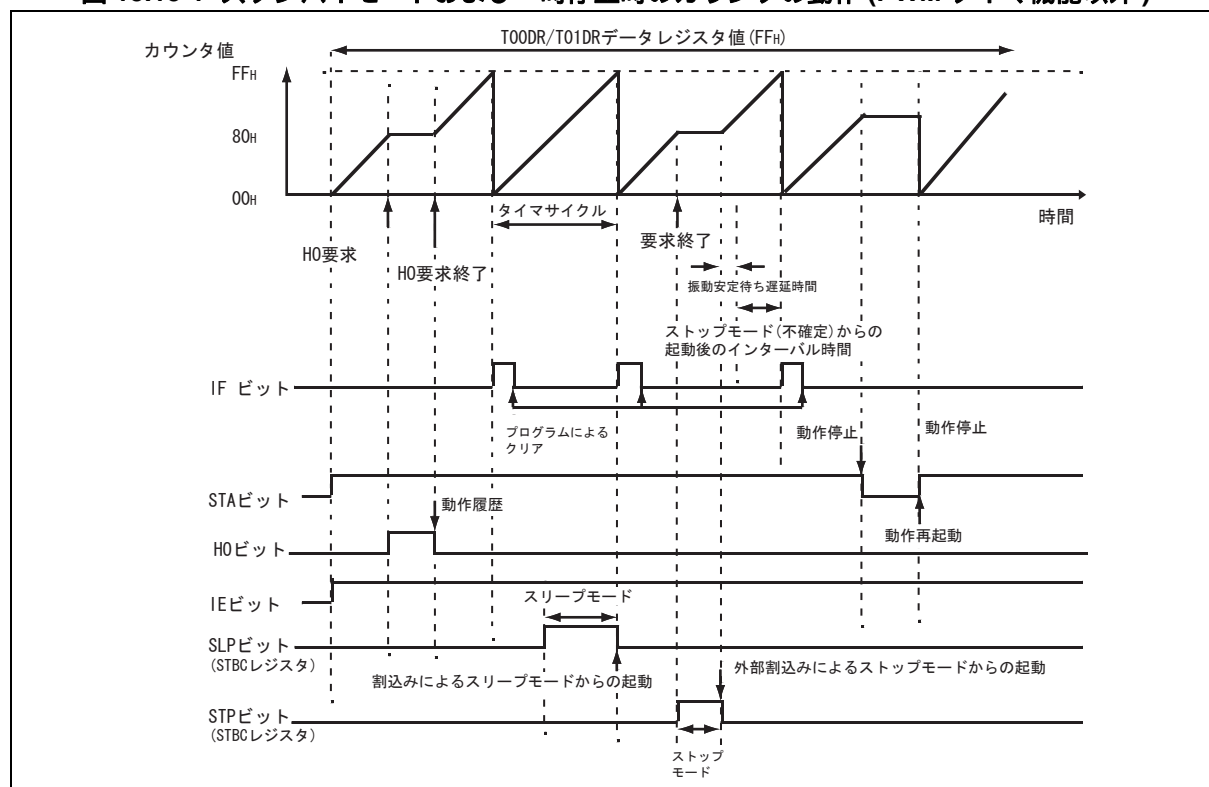
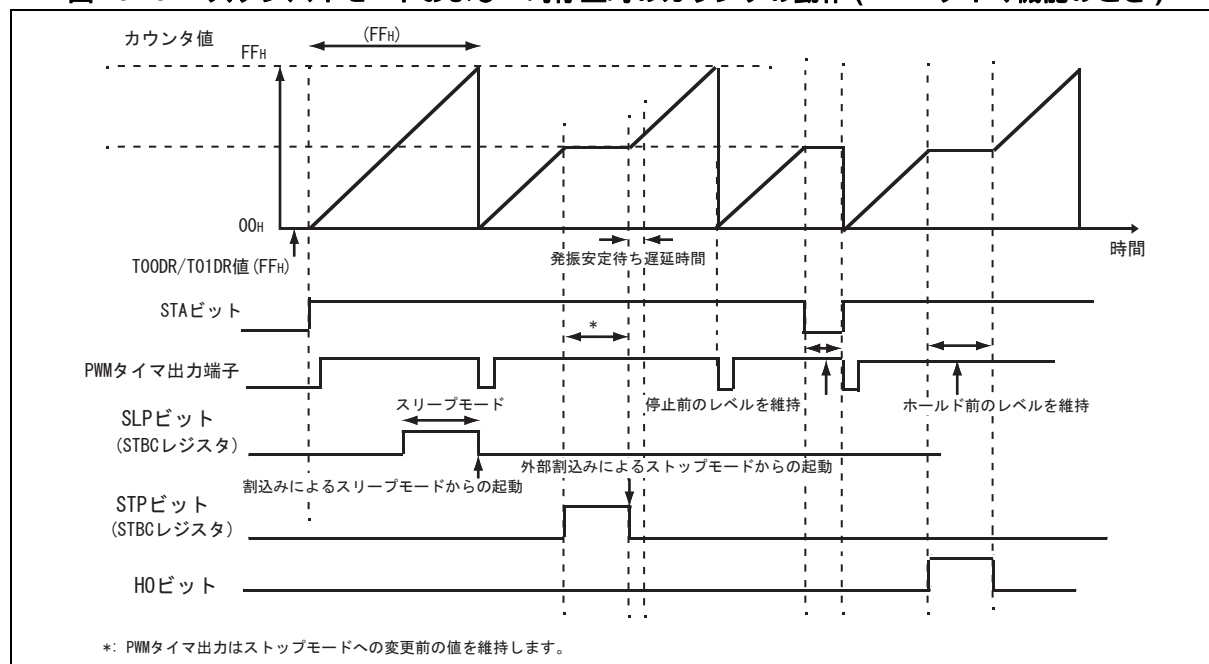


図 15.15-2 スタンバイモードおよび一時停止時のカウンタの動作 (PWM タイマ機能のとき)



15.16 8/16 ビット複合タイマ使用上の注意

8/16 ビット複合タイマを使用するための注意点を示します。

■ 8/16 ビット複合タイマ使用上の注意

タイマ動作モード選択ビット (T00CR0/T01CR0:F3, F2, F1, F0) によりタイマ機能を変更する場合は、あらかじめタイマ動作を停止 (T00CR1/T01CR1:STA=0) し、割込みフラグ (T00CR1/T01CR1:IF, IR), 割込み許可ビット (T00CR1/T01CR1:IE, T00CR0/T01CR0:IFE) およびバッファフルフラグ (T00CR1/T01CR1:BF) をクリアしてください。

PWC 機能およびインプットキャプチャ機能では、タイマ起動前 (STA=0) であっても割込みが発生する場合がありますので、起動前の 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値は無効としてください。

8/16 ビット複合タイマがカウンタ値をキャプチャするタイミングは、外部入力信号の両エッジのいずれかを検出する時と設定 (T00CR0/T01CR0:F3-F0=1100_B または 1111_B) された場合、下記のように立下りエッジの検出動作が外部入力信号レベルにより変わります。

- 外部入力信号レベル：H

フリーランモードとクリアモードともに、最初の立下りエッジは無視され、カウンタ値はデータレジスタ (T00DR/T01DR) に転送されず、パルス幅測定完了 / エッジ検出フラグ (T00CR1/T01CR1:IR) はセットされません。さらに、クリアモードでは、カウンタもクリアされません。

- 外部入力信号レベル：L

8/16 ビット複合タイマは最初の立下りエッジからエッジ検出を開始します。

第 16 章

8/16 ビット PPG

8/16 ビット PPG の機能と動作について説明します。

- 16.1 8/16 ビット PPG の概要
- 16.2 8/16 ビット PPG の構成
- 16.3 8/16 ビット PPG のチャンネル
- 16.4 8/16 ビット PPG の端子
- 16.5 8/16 ビット PPG のレジスタ
- 16.6 8/16 ビット PPG の割込み
- 16.7 8/16 ビット PPG の動作説明と設定手順例
- 16.8 8/16 ビット PPG 使用上の注意
- 16.9 8/16 ビット PPG タイマのサンプルプログラム

16.1 8/16 ビット PPG の概要

8/16 ビット PPG は、8 ビットのリロードタイマモジュールです。タイマ動作に応じたパルス出力制御により PPG 出力を行います。また、カスケード接続 (8 ビット + 8 ビット) により 16 ビット PPG として動作できます。

■ 8/16 ビット PPG の概要

以下に 8/16 ビット PPG の機能概要を示します。

- 8 ビット PPG 独立モード

2 つの (PPG タイマ 00, PPG タイマ 01) の 8 ビット PPG として動作できます。

- 8 ビットプリスケアラ + 8 ビット PPG モード

PPG タイマ 01 の PPG 出力の両エッジ検出パルスを PPG タイマ 00 のダウンカウンタへ入力することにより、PPG タイマ 00 に任意周期の 8 ビット PPG 出力が可能です。

- 16 ビット PPG モード

カスケード接続 (PPG タイマ 01(上位 8 ビット) + PPG タイマ 00(下位 8 ビット)) により 16 ビット PPG 出力として動作できます。

- PPG 出力動作

任意周期、デューティ比のパルス波を出力します。

外付け回路により D/A コンバータとしても使用できます。

- 出力反転モード

PPG の出力値を反転できます。

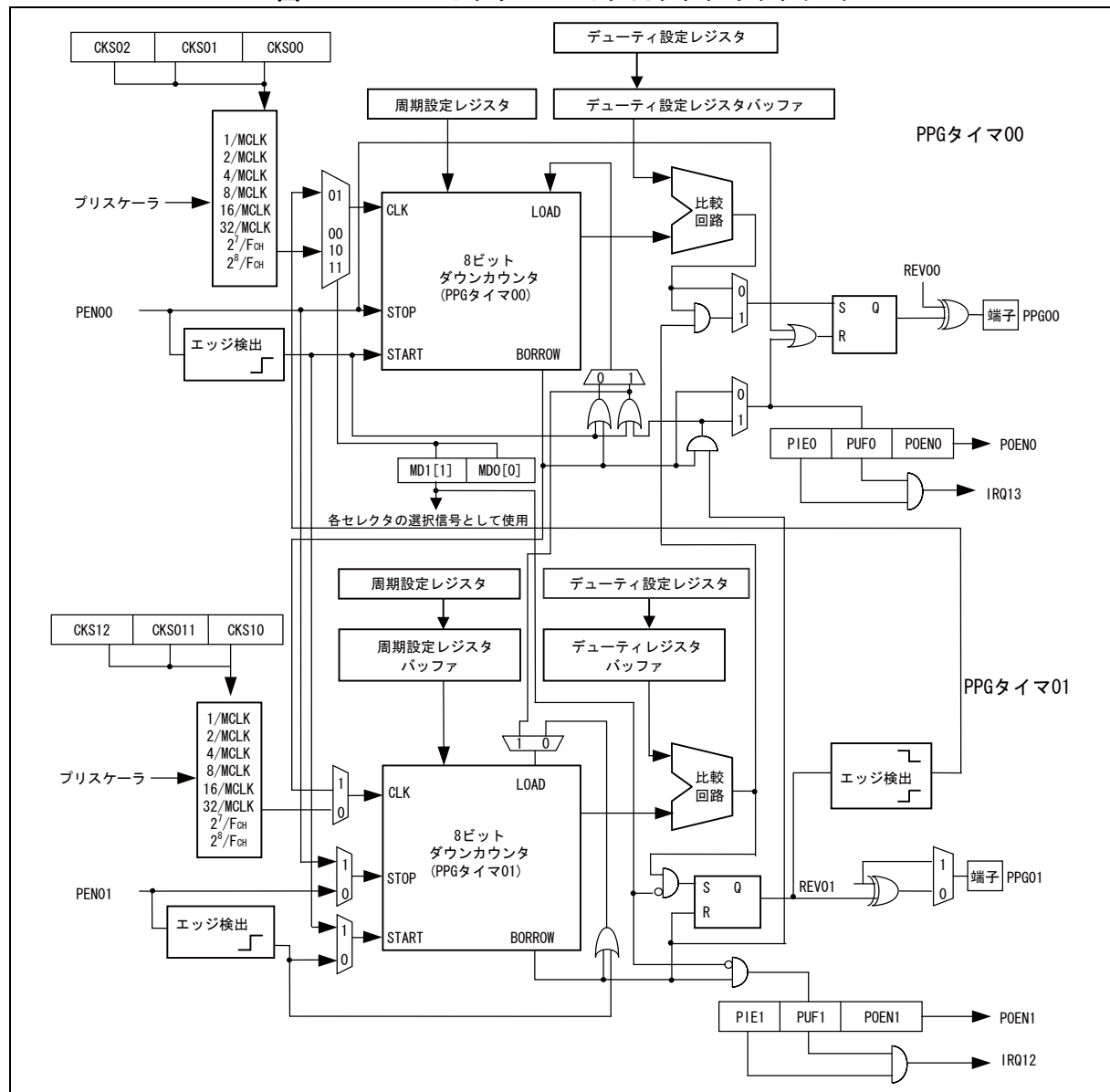
16.2 8/16 ビット PPG の構成

8/16 ビット PPG のブロックダイアグラムを示します。

■ 8/16 ビット PPG のブロックダイアグラム

図 16.2-1 に、8/16 ビット PPG のブロックダイアグラムを示します。

図 16.2-1 8/16 ビット PPG のブロックダイアグラム



- カウントクロックセクタ

8種類の内部カウントクロックから8ビットダウンカウンタのカウントダウン用クロックを選択します。

- 8 ビットダウンカウンタ

カウントクロックセクタで選択されたカウントクロックでカウントダウンします。

- 比較回路

8 ビットダウンカウンタの値が 8/16 ビット PPG 周期設定バッファレジスタの値から 8/16 ビット PPG デューティ設定バッファレジスタの値に一致するまで出力を "H" に保ちます。

その後、カウンタ値が "1" になるまで出力を "L" に保った後、8 ビットダウンカウンタは 8/16 ビット PPG 周期設定の値からカウントを続けます。

- 8/16 ビット PPG タイマ 01 制御レジスタ (PC01)

8/16 ビット PPG タイマの PPG タイマ 01 側の動作条件を設定します。

- 8/16 ビット PPG タイマ 00 制御レジスタ (PC00)

8/16 ビット PPG タイマの動作モードと PPG タイマ 00 側の動作条件を設定します。

- 8/16 ビット PPG タイマ 01/00 周期設定バッファレジスタ ch.0 (PPS01), ch.0(PPS00)

8/16 ビット PPG タイマの周期用コンペア値を設定します。

- 8/16 ビット PPG タイマ 01/00 デューティ設定バッファレジスタ ch.0 (PDS01), ch.0(PDS00)

8/16 ビット PPG タイマの "H" 幅用コンペア値を設定します。

- 8/16 ビット PPG 起動レジスタ

8/16 ビット PPG タイマの起動または停止を設定します。

- 8/16 ビット PPG 出力反転レジスタ

8/16 ビット PPG タイマの出力を初期レベルも含めて反転させます。

■ 入力クロック

8/16 ビット PPG は、プリスケアラからの出力クロックを入力クロック (カウントクロック) として使用します。

16.3 8/16 ビット PPG のチャネル

8/16 ビット PPG のチャネルについて説明します。

■ 8/16 ビット PPG のチャネル

MB95110B/M シリーズは、8/16 ビット PPG を 2 チャネル搭載しています。1 チャネル内には、PPG タイマ 00 と PPG タイマ 01 の 8 ビットの PPG が 2 つあり、それぞれ、2 つの 8 ビット PPG として、または 1 つの 16 ビット PPG として使用できます。

表 16.3-1 に、8/16 ビット PPG の端子を、表 16.3-2 に、8/16 ビット PPG のレジスタを示します。

表 16.3-1 8/16 ビット PPG の端子

チャネル	端子名	端子機能
0	PPG00	PPG タイマ 00 出力 (8 ビット PPG(00), 16 ビット PPG)
	PPG01	PPG タイマ 01 出力 (8 ビット PPG(01), 8 ビットプリスケアラ)
1	PPG10	PPG タイマ 00 出力 (8 ビット PPG(10), 16 ビット PPG)
	PPG11	PPG タイマ 01 出力 (8 ビット PPG(11), 8 ビットプリスケアラ)

表 16.3-2 8/16 ビット PPG のレジスタ

チャネル	レジスタ名	レジスタ対応 (本マニュアル上の表記)
0	PC01	8/16 ビット PPG タイマ 01 制御レジスタ ch.0
	PC00	8/16 ビット PPG タイマ 00 制御レジスタ ch.0
	PPS01	8/16 ビット PPG タイマ 01 周期設定バッファレジスタ ch.0
	PPS00	8/16 ビット PPG タイマ 00 周期設定バッファレジスタ ch.0
	PDS01	8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ ch.0
	PDS00	8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ ch.0
1	PC11	8/16 ビット PPG タイマ 01 制御レジスタ ch.1
	PC10	8/16 ビット PPG タイマ 00 制御レジスタ ch.1
	PPS11	8/16 ビット PPG タイマ 01 周期設定バッファレジスタ ch.1
	PPS10	8/16 ビット PPG タイマ 00 周期設定バッファレジスタ ch.1
	PDS11	8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ ch.1
	PDS10	8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ ch.1
共通	PPGS	8/16 ビット PPG 起動レジスタ
	REVC	8/16 ビット PPG 出力反転レジスタ

以下に、8/16 ビット PPG の ch.0 側のみについて説明します。

16.4 8/16 ビット PPG の端子

8/16 ビット PPG の端子について説明します。

■ 8/16 ビット PPG の端子

● PPG00 端子と PPG01 端子

この端子は汎用入出力ポートとしての機能と、8/16 ビット PPG 出力としての機能を兼用しています。

PPG00, PPG01 : この端子に PPG 波形が出力されます。8/16 ビット PPG タイマ 00/01 制御レジスタで出力を許可 (PC00: POEN0=1, PC01: POEN1=1) することにより、PPG 波形を出力できます。

■ 8/16 ビット PPG に関連する端子のブロックダイヤグラム

図 16.4-1 8/16 ビット PPG に関連する端子 (PPG00, PPG01) のブロックダイヤグラム

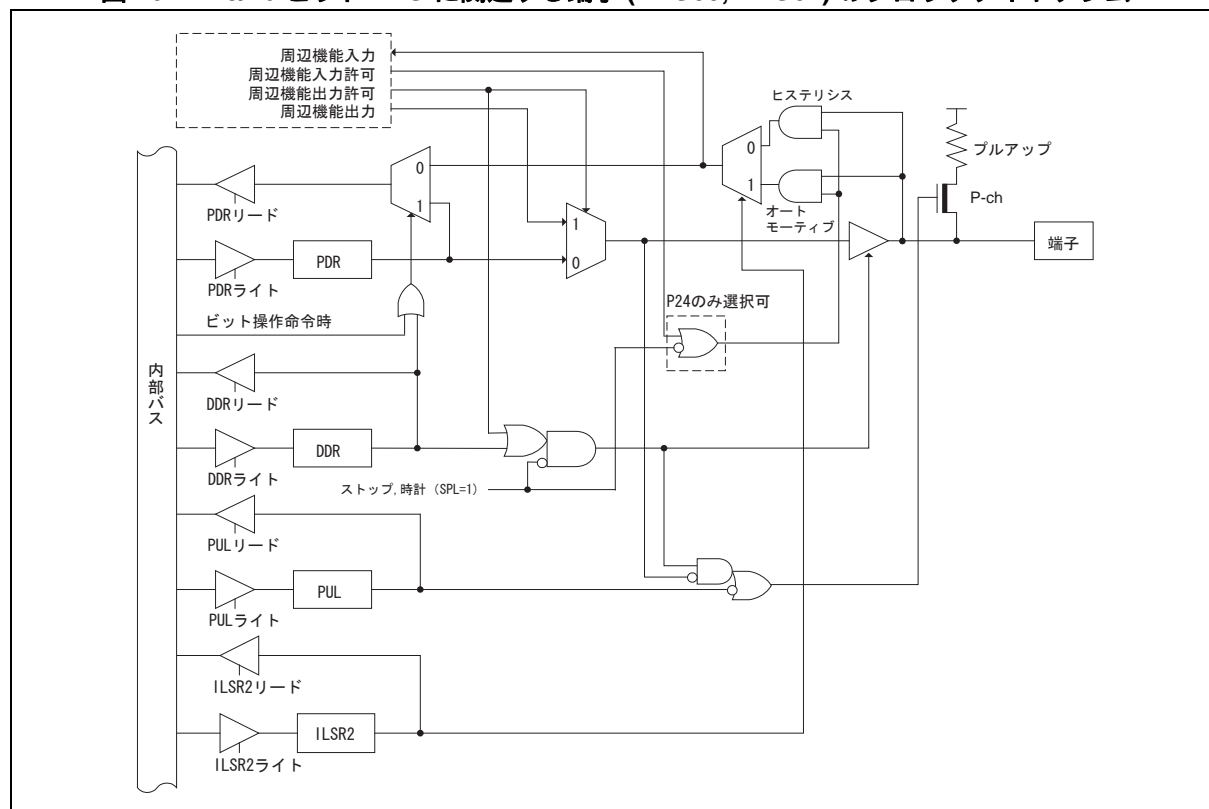
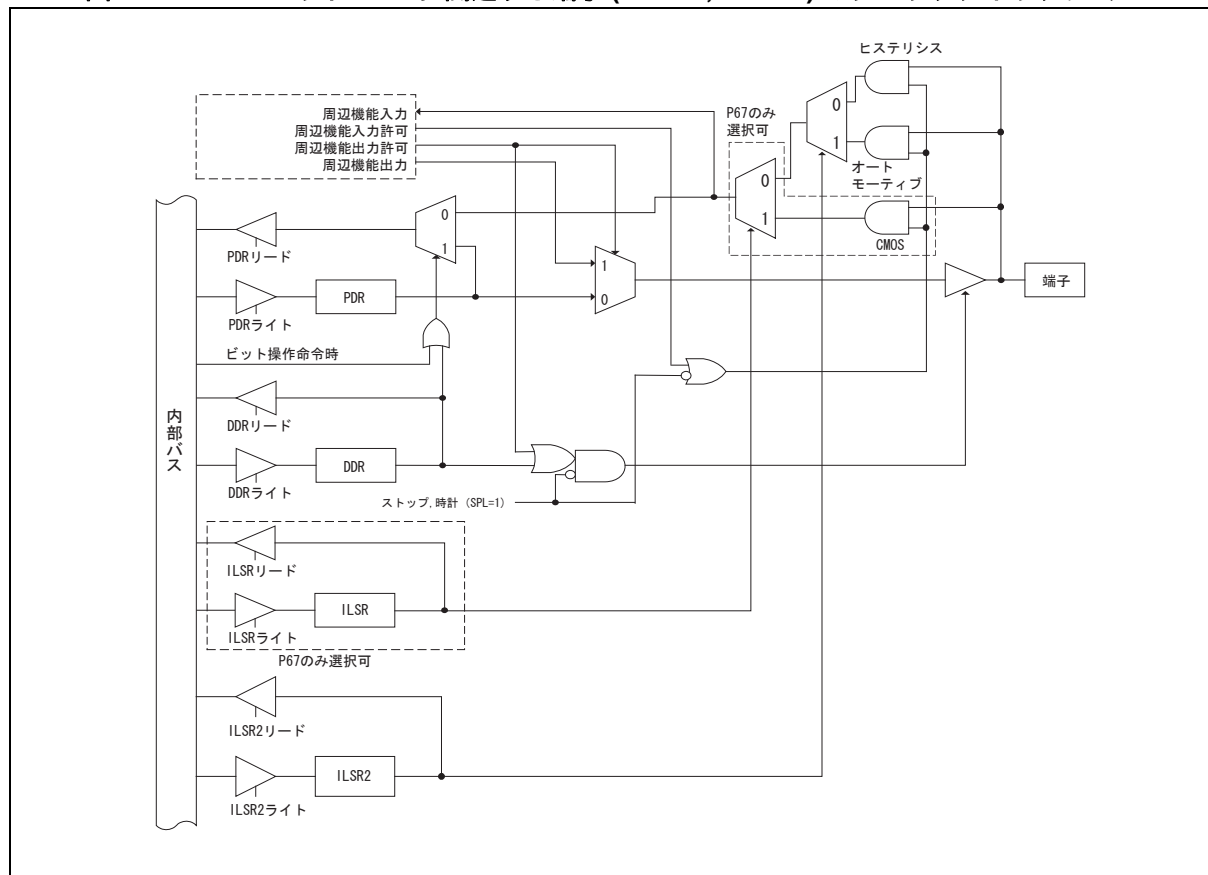


図 16.4-2 8/16 ビット PPG に関連する端子 (PPG10, PPG11) のブロックダイアグラム



16.5 8/16 ビット PPG のレジスタ

8/16 ビット PPG のレジスタを説明します。

■ 8/16 ビット PPG のレジスタ一覧

8/16 ビット PPG のレジスタを図 16.5-1 に示します。

図 16.5-1 8/16 ビット PPG のレジスタ

8/16 ビット PPG タイマ 01 制御レジスタ (PC01)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PC01 003A _H	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10	00000000 _B
	R0/WX	R0/WX	R/W	R(RM1),W	R/W	R/W	R/W	R/W	
8/16 ビット PPG タイマ 00 制御レジスタ (PC00)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PC00 003B _H	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00	00000000 _B
	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	R/W	
8/16 ビット PPG タイマ 01 周期設定バッファレジスタ (PPS01)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PPS01 0F9C _H	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
8/16 ビット PPG タイマ 00 周期設定バッファレジスタ (PPS00)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PPS00 0F9D _H	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ (PDS01)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PDS01 0F9E _H	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ (PDS00)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PDS00 0F9F _H	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
8/16 ビット PPG 起動レジスタ (PPGS)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FA4 _H	-	-	-	-	PEN11	PEN10	PEN01	PEN00	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
8/16 ビット PPG 出力反転レジスタ (REVC)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FA5 _H	-	-	-	-	REV11	REV10	REV01	REV00	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード/ライト可能 (読出し値は書込み値)									
R(RM1),W : リード/ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は "1" 読出し)									
R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし)									

16.5.1 8/16 ビット PPG タイマ 01 制御レジスタ ch.0
(PC01)

8/16 ビット PPG タイマ 01 制御レジスタ ch.0 (PC01) は、PPG タイマ 01 側の動作条件を設定します。

■ 8/16 ビット PPG タイマ 01 制御レジスタ ch.0 (PC01)

図 16.5-2 8/16 ビット PPG タイマ 01 制御レジスタ ch.0 (PC01)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PC01 003AH	—	—	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10	00000000 _b
PC11 003CH	—	—	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10	
	RO/WX	RO/WX	R/W	R(RM1), W	R/W	R/W	R/W	R/W	

CKS12

CKS11

CKS10

動作クロック選択ビット

0

0

0

1/MCLK

0

0

1

2/MCLK

0

1

0

4/MCLK

0

1

1

8/MCLK

1

0

0

16/MCLK

1

0

1

32/MCLK

1

1

0

2⁷/F_{CH}

1

1

1

2⁸/F_{CH}

POEN1

出力許可ビット

0

出力禁止 (汎用ポート)

1

出力許可

PUF1

PPG周期ダウカウンタのカウンタポロー検出フラグビット

読出し時

書込み時

0

カウンタポロー未検出

フラグクリア

1

カウンタポロー検出

動作に影響しません。

PIE1

割込み要求許可ビット

0

割込み禁止

1

割込み許可

R/W

: リード/ライト可能 (読出し値は書込み値)

R(RM1), W

: リード/ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は"1"読出し)

RO/WX

: 未定義ビット (読出し値は"0", 書込みは動作に影響なし)

: 初期値

MCLK

: マシンクロック周波数

F_{CH}

: メインクロック発振周波数

表 16.5-1 8/16 ビット PPG タイマ 01 制御レジスタ ch.0 (PC01)

ビット名		機能
bit7, bit6	- : 未定義ビット	未定義ビットです。 • 書込みは動作に影響を与えません。 • 読出し時は常に "0" を読み出せます。
bit5	PIE1: 割込み要求 許可ビット	PPG タイマ 01 の割込みを制御します。 "0" に設定した場合：PPG タイマ 01 割込み禁止。 "1" に設定した場合：PPG タイマ 01 割込み許可。 カウンタボロー検出ビット (PUF1) が "1" で、かつ PIE1 ビットが "1" の場合、割込み要求 (IRQ) を出力します。
bit4	PUF1: PPG 周期 ダウンカウンタ のカウンタ ボロー検出 フラグビット	PPG タイマ 01 の PPG 周期ダウンカウンタのカウンタボロー検出フラグです。 • 8 ビット PPG モード時および 8 ビットプリスケアラモード時にカウンタボローが発生した場合、このビットは "1" となります。 • 16 ビット PPG モード時は、カウンタボローが発生してもこのビットは "1" になりません。 • このビットへの "1" の書込みは動作に影響を与えません。 • "0" の書込みによりクリアされます。 • リードモディファイライト (RMW) 系命令時は "1" が読み出されます。 "0" に設定した場合：PPG タイマ 01 カウンタボロー未検出 "1" に設定した場合：PPG タイマ 01 カウンタボロー検出
bit3	POEN1: 出力許可 ビット	PPG タイマ 01 の端子の出力許可または禁止を設定します。 "0" に設定した場合：PPG タイマ 01 端子は汎用ポートとして使用します。 "1" に設定した場合：PPG タイマ 01 端子は PPG 出力端子として使用します。 16 ビット PPG モード時にこのビットを "1" に設定した場合、PPG タイマ 01 端子は出力固定となります (REV01 の設定値を出力。REV01=0 の場合は "L" 出力)。
bit2, bit1, bit0	CKS12, CKS11, CKS10: 動作クロック 選択ビット	8 ビットダウンカウンタ PPG タイマ 01 の動作クロックを選択します。 • 動作クロックは、プリスケアラより生成されます。「第 6 章 クロック制御部」を参照してください。 • 16 ビット PPG 動作モードの場合、本ビットの設定は動作に関係ありません。 "000 _B " に設定した場合：1/MCLK "001 _B " に設定した場合：2/MCLK "010 _B " に設定した場合：4/MCLK "011 _B " に設定した場合：8/MCLK "100 _B " に設定した場合：16/MCLK "101 _B " に設定した場合：32/MCLK "110 _B " に設定した場合： $2^7/F_{CH}$ "111 _B " に設定した場合： $2^8/F_{CH}$ (注意事項) サブクロックを使用している場合 (2 系統クロック品の場合)、タイムベースタイマが停止するため、"110 _B "、"111 _B " の選択は禁止です。

16.5.2 8/16 ビット PPG タイマ 00 制御レジスタ ch.0
(PC00)

8/16 ビット PPG タイマ 00 制御レジスタ ch.0 (PC00) は、PPG タイマ 00 側の動作条件と動作モードを設定します。

■ 8/16 ビット PPG タイマ 00 制御レジスタ ch.0 (PC00)

図 16.5-3 8/16 ビット PPG タイマ 00 制御レジスタ ch.0 (PC00)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PC00 003BH PC10 003DH	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00	00000000 _B
	R/W	R/W	R/W	R(RM1), W	R/W	R/W	R/W	R/W	

CKS02	CKS01	CKS00	動作クロック選択ビット
0	0	0	1/MCLK
0	0	1	2/MCLK
0	1	0	4/MCLK
0	1	1	8/MCLK
1	0	0	16/MCLK
1	0	1	32/MCLK
1	1	0	2 ⁷ /F _{CH}
1	1	1	2 ⁸ /F _{CH}

POEN0	出力許可ビット
0	出力禁止 (汎用ポート)
1	出力許可

PUF0	PPG周期ダウンカウンタのカウンタボロー検出フラグビット
	読出し時 書込み時
0	カウンタボロー未検出 フラグクリア
1	カウンタボロー検出 動作に影響しません。

PIE0	割込み要求許可ビット
0	割込み禁止
1	割込み許可

MD1	MD0	動作モード選択ビット
0	0	8ビットPPG 独立モード
0	1	8ビットプリスケラ+8ビットPPGモード
1	0	16ビットPPGモード
1	1	

R/W : リード/ライト可能 (読出し値は書込み値)
 R(RM1), W : リード/ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は"1"読出し)
 ■ : 初期値
 MCLK : マシンクロック周波数
 FCH : メインクロック発振周波数

表 16.5-2 8/16 ビット PPG タイマ 00 制御レジスタ ch.0 (PC00)

ビット名		機能
bit7, bit6	MD1, MD0: 動作モード 選択ビット	PPG の動作モードを選択します。 カウント動作中には、本ビットの設定を変更しないでください。 "00 _B " に設定した場合：8 ビット PPG 独立モード "01 _B " に設定した場合：8 ビットプリスケラ + 8 ビット PPG モード "1x _B " に設定した場合：16 ビット PPG モード
bit5	PIE0: 割込み要求 許可ビット	PPG タイマ 00 の割込みを制御します。 • 16 ビット PPG 動作モード時はこのビットを設定してください。 "0" に設定した場合：PPG タイマ 00 割込み禁止。 "1" に設定した場合：PPG タイマ 00 割込み許可。 • カウンタボロー検出ビット (PUF0) が "1" で、かつ PIE0 ビットが "1" の場合、割込み要求 (IRQ) を出力します。
bit4	PUF0: PPG 周期ダウン カウンタの カウンタ ボロー検出 フラグビット	PPG タイマ 00 の PPG 周期ダウンカウンタのカウンタボロー検出フラグです。 • 16 ビット PPG モード時はこのビットのみ有効です (PC01:PUF1 は動作しません)。 (注意事項) 8 ビットモード時は常に有効です。 • このビットへの "1" の書込みは動作に影響を与えません。 • "0" の書込みによりクリアされます。 • リードモディファイライト (RMW) 系命令時は "1" が読み出されます。 "0" に設定した場合：PPG タイマ 00 カウンタボロー未検出 "1" に設定した場合：PPG タイマ 00 カウンタボロー検出
bit3	POEN0: 出力許可 ビット	PPG タイマ 00 の端子の出力許可または 禁止を設定します。 "0" に設定した場合：PPG タイマ 00 端子は汎用ポートとして使用します。 "1" に設定した場合：PPG タイマ 00 端子は PPG 出力端子として使用します。 16 ビット PPG モードの場合、PPG タイマ 00 端子より出力されますので、このビットにより制御します。
bit2, bit1, bit0	CKS02, CKS01, CKS00: 動作クロック 選択ビット	8 ビットダウンカウンタ PPG タイマ 00 の動作クロックを選択します。 • 動作クロックは、プリスケラより生成されます。「第 6 章 クロック制御部」を参照してください。 • 8 ビットプリスケラ + 8 ビット PPG モードの場合、PPG タイマ 00 のカウント動作クロックは PPG タイマ 01 の PPG 出力の両エッジ検出パルスとなります。そのため、本ビットの設定は動作に関係ありません。 • 16 ビット PPG 動作モードの場合、本ビットを設定してください。 "000 _B " に設定した場合：1/MCLK "001 _B " に設定した場合：2/MCLK "010 _B " に設定した場合：4/MCLK "011 _B " に設定した場合：8/MCLK "100 _B " に設定した場合：16/MCLK "101 _B " に設定した場合：32/MCLK "110 _B " に設定した場合： $2^7/F_{CH}$ "111 _B " に設定した場合： $2^8/F_{CH}$ (注意事項) サブクロックを使用している場合 (2 系統クロック品の場合)、タイムベースタイマが停止するため、"110 _B ", "111 _B " の選択は禁止です。

16.5.3 8/16 ビット PPG タイマ 00/01 周期設定バッファ レジスタ (PPS01), (PPS00)

8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS01), (PPS00) は、PPG 出力の周期を設定します。

■ 8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS01), (PPS00)

図 16.5-4 8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS01), (PPS00)

PPS01	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	11111111 _B
PPS01 0F9C _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PPS11 0FA0 _H									
PPS00	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	11111111 _B
PPS00 0F9D _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PPS10 0FA1 _H									

R/W : リード / ライト可能 (読出し値は書込み値)

PPG 出力周期を設定するためのレジスタです。

- 16 ビット PPG モードの場合、PPS01 が上位 8 ビット、PPS00 が下位 8 ビットです。
- 16 ビット PPG モードの場合、上位、下位の順番に書き込んでください。上位のみの書込みの場合、次のロード時は前回に書き込まれた値となります。
- 8 ビットモード：周期は最大 $255 (FF_H) \times$ 入力クロックの周期となります。
- 16 ビットモード：周期は最大 $65535 (FFFF_H) \times$ 入力クロックの周期となります。
- リセットで初期化されます。
- 8 ビット PPG 独立モードおよび 8 ビットプリスケアラモード + 8 ビット PPG モードで使用する場合、周期を "00_H" または "01_H" に設定しないでください。
- 16 ビット PPG モードで使用する場合、周期を "0000_H" または "0001_H" に設定しないでください。
- 動作中に周期設定を変更した場合、次の PPG 周期から変更した設定が有効となります。

16.5.4 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00)

8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00) は、PPG 出力のデューティを設定します。

■ 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00)

図 16.5-5 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00)

PDS01	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0	11111111 _B
PDS01 0F9E _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDS11 0FA2 _H									
PDS00	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0	11111111 _B
PDS00 0F9F _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDS10 0FA3 _H									

R/W : リード / ライト可能 (読出し値は書込み値)

PPG 出力のデューティ (通常極性の場合は "H" パルス幅) を設定するためのレジスタです。

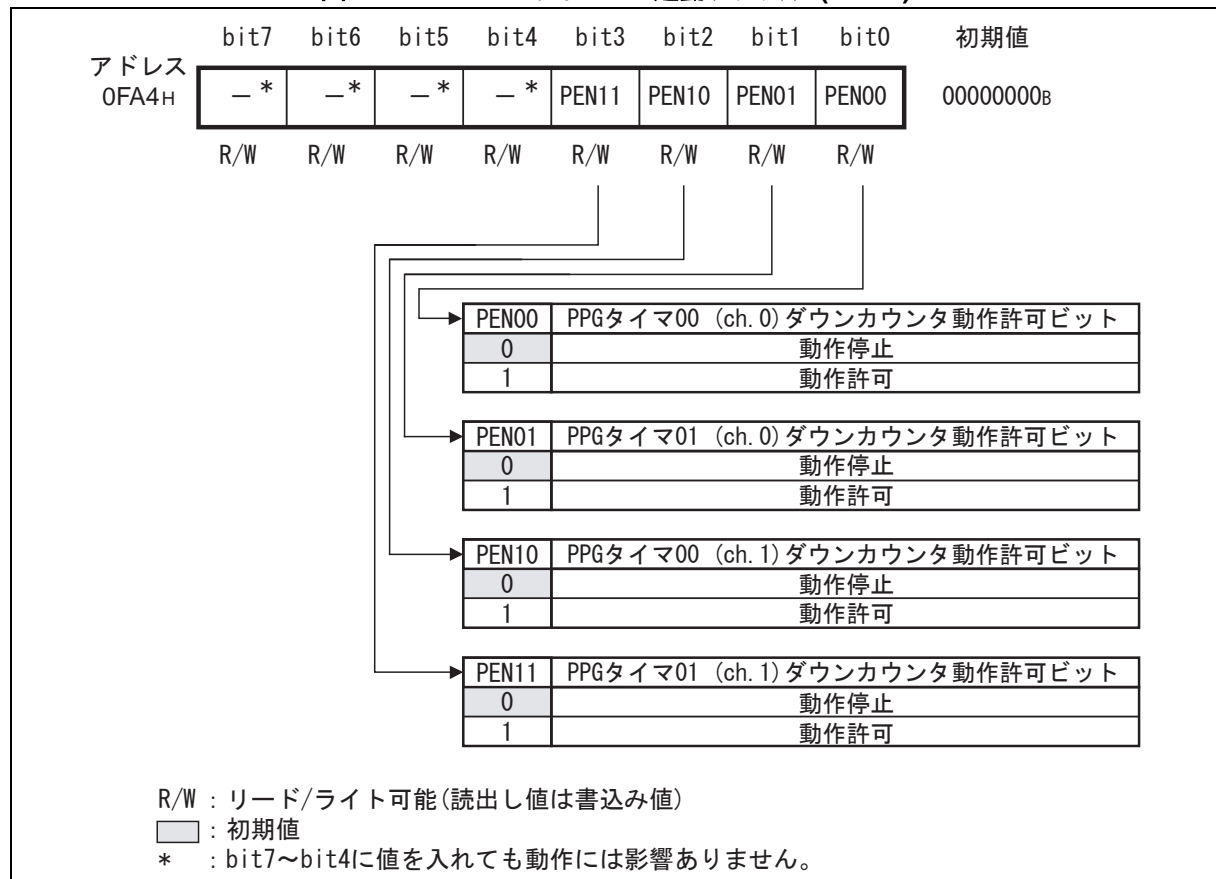
- 16 ビット PPG モードの場合、PDS01 が上位 8 ビット、PDS00 が下位 8 ビットです。
- 16 ビット PPG モードの場合、上位、下位の順番に書き込んでください。上位のみの書込みの場合は書込みが反映されません。PDS00 の書込みにより PDS01 も反映されます。
- リセットで初期化されます。
- デューティ比を 0% にする場合は、"00_H" を設定してください。
- デューティ比を 100% にする場合は、8/16 ビット PPG タイマ周期設定バッファレジスタ (PPS) と同じ値を設定してください。
- 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS) に 8/16 ビット PPG 周期設定バッファレジスタ (PPS) の設定値より大きな値を設定すると、PPG 出力は通常極性 (8/16 ビット PPG 出力反転レジスタの出力レベル反転ビットが "0" の場合) で "L" 出力になります。
- 動作中にデューティ設定を変更した場合、次の PPG 周期から変更した値が有効となります。

16.5.5 8/16 ビット PPG 起動レジスタ (PPGS)

8/16 ビット PPG 起動レジスタ (PPGS) は、ダウンカウンタを起動または停止します。各チャンネルの動作許可ビットが PPGS レジスタに配置されていますので、PPG 各チャンネルの同時起動が可能です。

■ 8/16 ビット PPG 起動レジスタ (PPGS)

図 16.5-6 8/16 ビット PPG 起動レジスタ (PPGS)

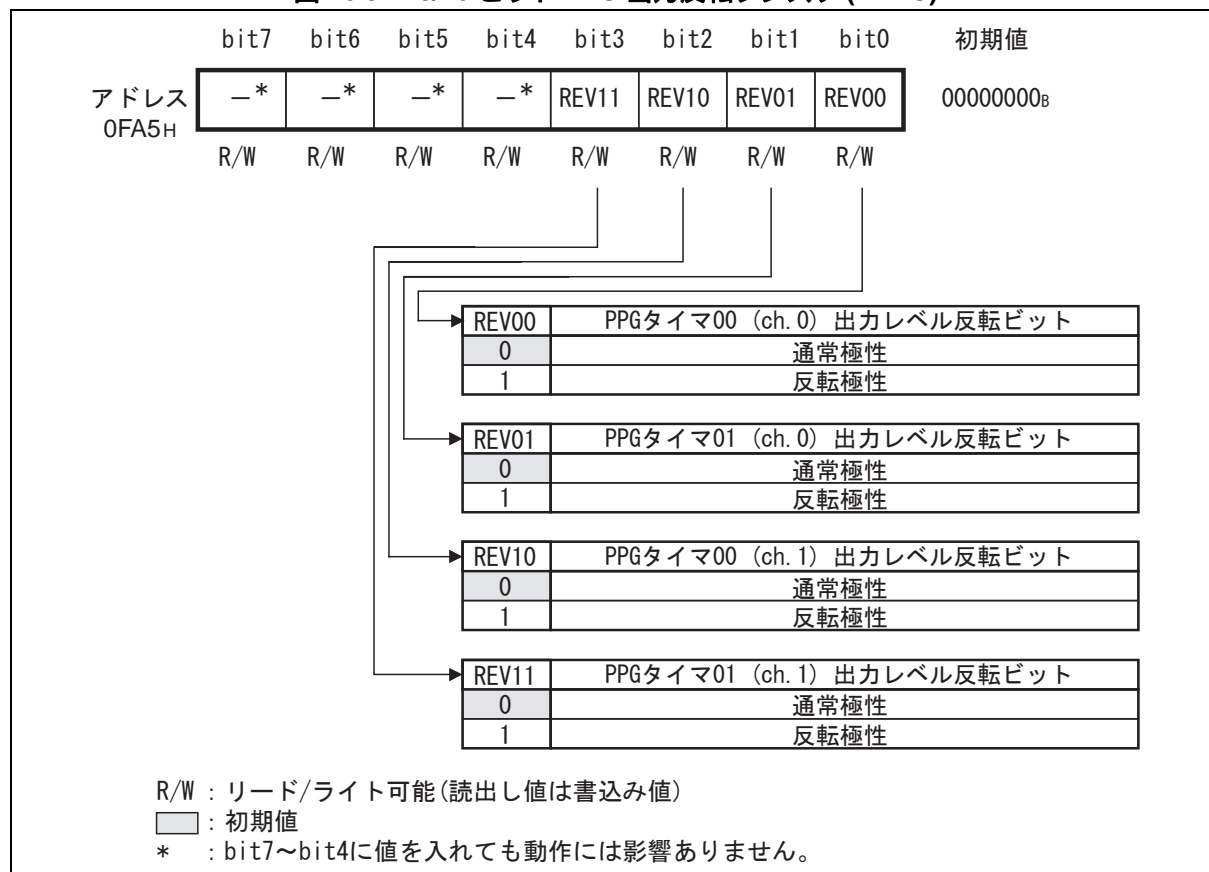


16.5.6 8/16 ビット PPG 出力反転レジスタ (REVC)

8/16 ビット PPG 出力反転レジスタ (REVC) は、PPG 出力を初期レベルも含めて反転させます。

■ 8/16 ビット PPG 出力反転レジスタ (REVC)

図 16.5-7 8/16 ビット PPG 出力反転レジスタ (REVC)



16.6 8/16 ビット PPG の割込み

8/16 ビット PPG は、カウンタボロー検出時に割込み要求を出力します。

■ 8/16 ビット PPG の割込み

表 16.6-1 に、8/16 ビット PPG の割込み制御ビットと割込み要因を示します。

表 16.6-1 8/16 ビット PPG の割込み制御ビットと割込み要因

項目	説明	
	PPG タイマ 01 (8 ビット PPG, 8 ビットプリスケラ)	PPG タイマ 00 (8 ビット PPG, 16 ビット PPG)
割込み要求フラグビット	PC01 の PUF1 ビット	PC00 の PUF0 ビット
割込み要求許可ビット	PC01 の PIE1 ビット	PC00 の PIE0 ビット
割込み要因	PPG 周期ダウンカウンタのカウントボロー	

8/16 ビット PPG では、ダウンカウンタのカウントボローにより、制御レジスタ (PC) のカウンタボロー検出フラグビット (PUF) に "1" が設定されます。割込み要求許可ビット (PIE=1) を許可にしている場合、割込み要求を割込みコントローラへ出力します。

16ビットPPGモードの場合、PPGタイマ00側の制御レジスタ(PC00)が有効となります。

■ 8/16 ビット PPG の割込みに関連するレジスタとベクタテーブル

表 16.6-2 8/16 ビット PPG の割込みに関連するレジスタとベクタテーブル

割込み要因	割込み 要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
ch.1 (下位) *	IRQ9	ILR2	L09	FFE8 _H	FFE9 _H
ch.1 (上位)	IRQ10	ILR2	L10	FFE6 _H	FFE7 _H
ch.0 (上位)	IRQ12	ILR3	L12	FFE2 _H	FFE3 _H
ch.0 (下位)	IRQ13	ILR3	L13	FFE0 _H	FFE1 _H

* : ch.1(下位) は UART/SIO(ch.1), ch.0(上位) は I²C(ch.1) と割込み要求番号 / ベクタテーブルが兼用です。

全周辺機能の割込み要求番号 / ベクタテーブルについては「付録 B 割込み要因のテーブル」を参照してください。

16.7 8/16 ビット PPG の動作説明と設定手順例

8/16 ビット PPG の動作について説明します。

■ 設定手順例

8/16 ビット PPG タイマの設定手順例を以下に示します。

● 初期設定

- 1) ポートの出力設定 (DDR2, DDR6)
- 2) 割込みレベルの設定 (ILR2, ILR3)
- 3) 動作クロック選択, 出力許可, 割込み許可 (PC01)
- 4) 動作クロック選択, 出力許可, 割込み許可, 動作モード選択 (PC00)
- 5) 周期設定 (PPS)
- 6) デューティ設定 (PDS)
- 7) 出力反転設定 (REVC)
- 8) PPG 起動 (PPGS)

● 割込み設定

- 1) 任意の処理
- 2) 割込み要求フラグクリア (PC01: PUF1, PC00: PUF0)
- 3) PPG 起動 (PPGS)

16.7.1 8 ビット PPG 独立モード

2 つ (PPG タイマ 00, PPG タイマ 01) の 8 ビット PPG として動作するモードです。

■ 8 ビット独立モードの設定

8 ビット独立動作モードとして動作させるには、レジスタを図 16.7-1 のように設定してください。

図 16.7-1 8 ビット独立モード

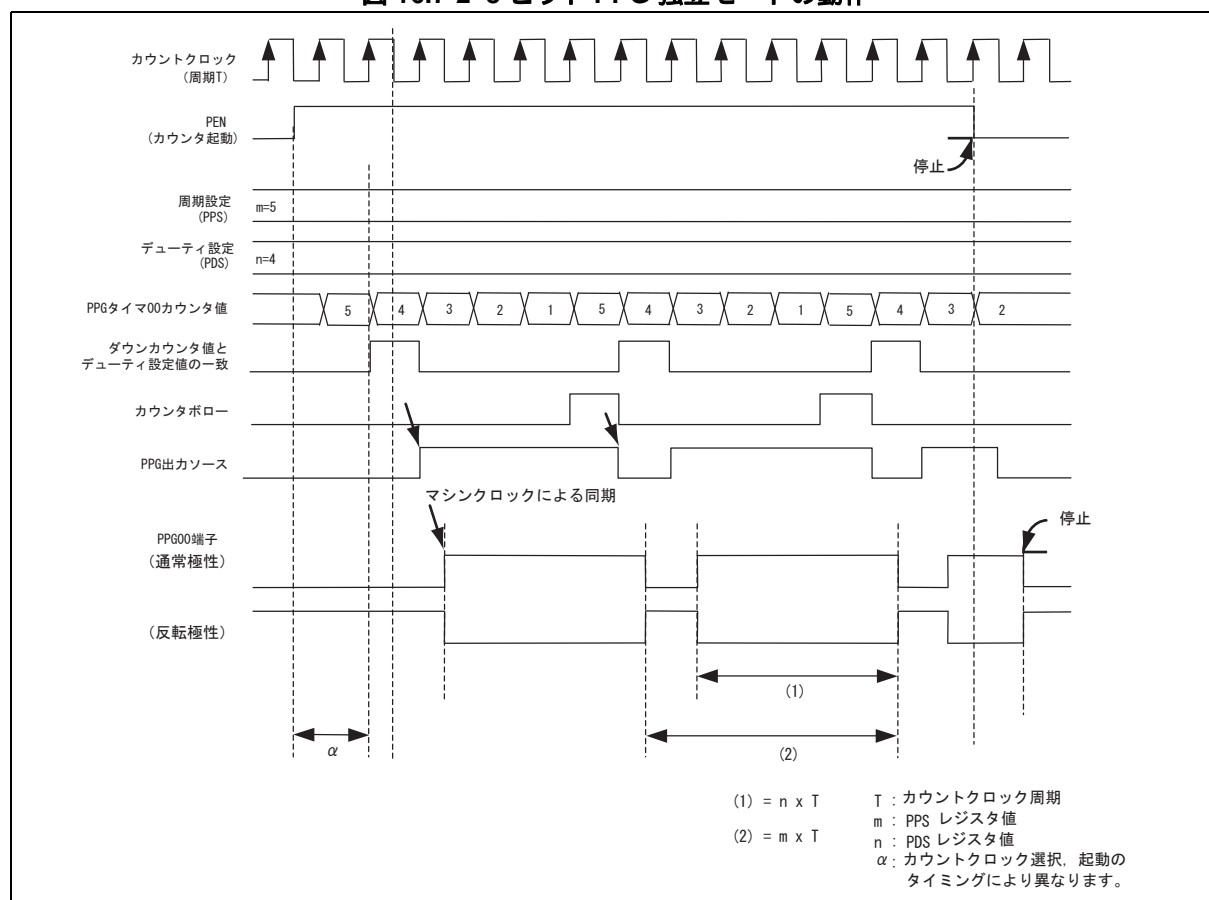
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PC01	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
PC00	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	0	0						
PPS01	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	PPG タイマ 01 の PPG 出力周期を設定							
PPS00	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	PPG タイマ 00 の PPG 出力周期を設定							
PDS01	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	PPG タイマ 01 の PPG 出力デューティを設定							
PDS00	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	PPG タイマ 00 の PPG 出力デューティを設定							
PPGS	-	-	-	-	PEN11	PEN10	PEN01	PEN00
	*	*	*	*	*	*		
REVC	-	-	-	-	REV11	REV10	REV01	REV00
	*	*	*	*	*	*		

: 使用ビット
 0 : "0" を設定
 * : 搭載するチャンネル数によります。

■ 8 ビット PPG 独立モードの動作

- 8/16 ビット PPG タイマ 0 0 制御レジスタ (PC00) の動作モード選択ビット (MD1, MD0) を "00_B" に設定すると本モードとなります。
 - 8/16 ビット PPG 起動レジスタ (PPGS) の対応する起動ビット (PEN) に "1" を設定すると、8/16 ビット PPG 周期設定バッファレジスタ (PPS) の値をロードして、ダウンカウンタ動作が開始されます。カウンタ値が "1" に達したとき、再び周期設定レジスタの値がロードされ、カウンタ動作が繰り返されます。
 - ダウンカウンタの値と 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS) の値が一致したとき、カウンタクロックに同期して PPG 出力に "H" を出力します。デューティ設定値分 "H" を出力した後、PPG 出力に "L" を出力します。
- ただし、PPG 出力反転ビットが "1" の場合、PPG 出力は上記の説明の逆になります。
- 図 16.7-2 に、8 ビット PPG 独立モードの動作を示します。

図 16.7-2 8 ビット PPG 独立モードの動作



デューティ比を 50% にする場合の例

PPS が "04_H" の場合、PDS を "02_H" に設定すると、PPG 出力がデューティ比 50% になります (PPS 設定値 / 2 を PDS に設定)。

16.7.2 8 ビットプリスケアラ + 8 ビット PPG モード

PPG タイマ 01 の PPG 出力の両エッジ検出パルスを PPG タイマ 00 のダウンカウンタのカウンタクロックとすることで、PPG タイマ 00 に任意周期の 8 ビット PPG 出力が可能となるモードです。

■ 8 ビットプリスケアラ + 8 ビット PPG モードの設定

8 ビットプリスケアラ + 8 ビット PPG モードとして動作させるには、レジスタを図 16.7-3 のように設定してください。

図 16.7-3 8 ビットプリスケアラ + 8 ビット PPG モードの設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PC01	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
PC00	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	0	1				x	x	x
PPS01	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	PPG タイマ 01 の PPG 出力周期を設定							
PPS00	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	PPG タイマ 00 の PPG 出力周期を設定							
PDS01	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	PPG タイマ 01 の PPG 出力デューティを設定							
PDS00	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	PPG タイマ 00 の PPG 出力デューティを設定							
PPGS	-	-	-	-	PEN11	PEN10	PEN01	PEN00
	*	*	*	*	*	*		
REVC	-	-	-	-	REV11	REV10	REV01	REV00
	*	*	*	*	*	*		

: 使用ビット
 0 : "0" を設定
 1 : "1" を設定
 x : 設定無効
 * : 搭載するチャンネル数によります。

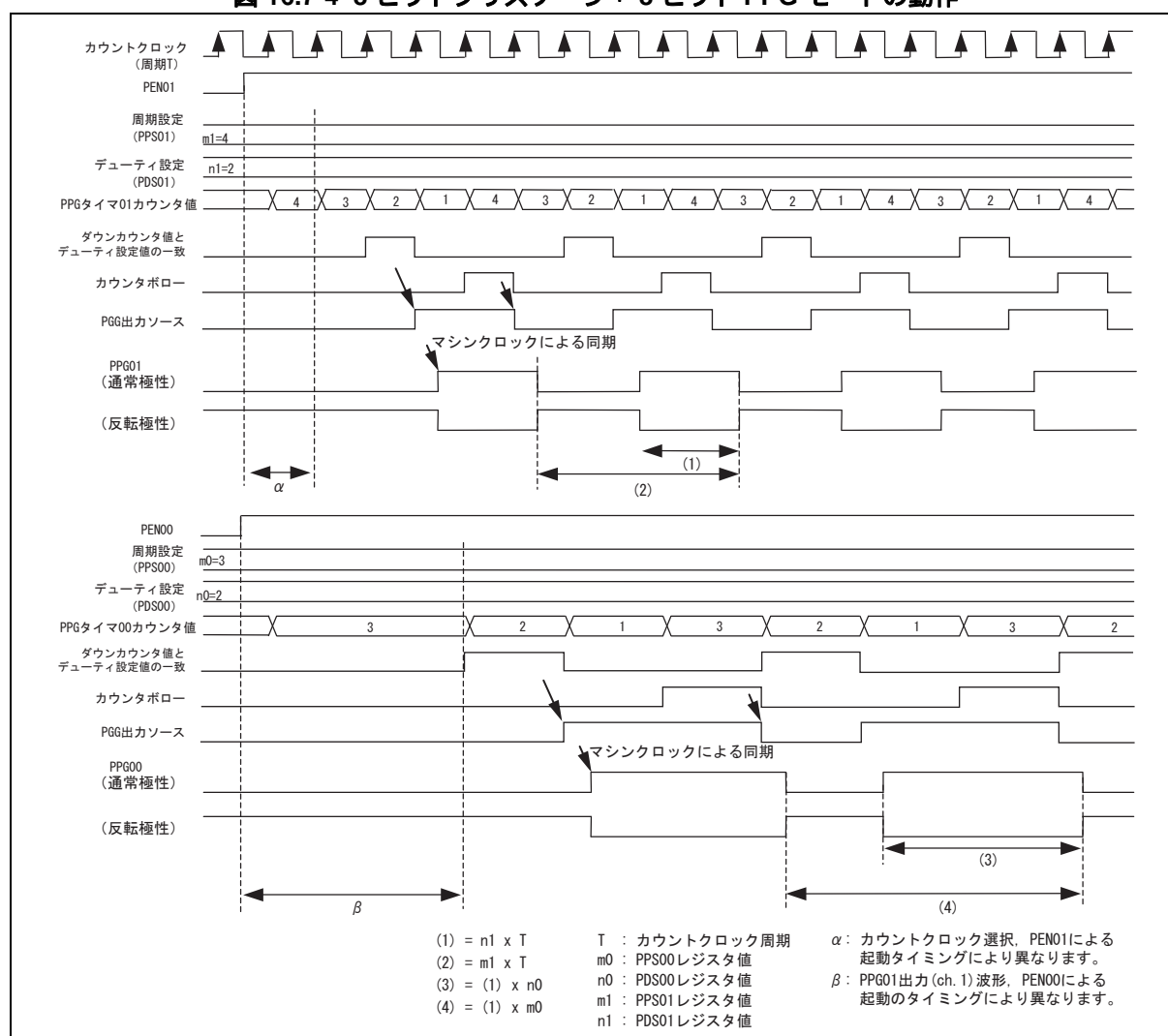
■ 8 ビットプリスケアラ + 8 ビット PPG モードの動作

- 8/16 ビット PPG タイマ 00 制御レジスタ (PC00) の動作モード選択ビット (MD1, MD0) を "01_B" に設定すると本モードとなります。PPG タイマ 01 を 8 ビットプリスケアラとして使用し、PPG タイマ 00 を 8 ビット PPG として使用します。
- 8 ビットプリスケアラ (PPG タイマ 01) は、PPG タイマ 01 (ch.0) ダウンカウンタ動作許可ビット (PEN01) を "1" に設定したとき、8/16 ビット PPG タイマ 01 周期設定バッファレジスタ (PPS01) の値をロードしてダウンカウンタ動作を開始します。ダウンカウンタの値と 8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ (PDS01) の値が一致したとき、カウンタクロックに同期して PPG01 出力に "H" が設定され、デューティ設定値分 "H" を出力した後、PPG01 出力に "L" が設定されます。出力反転ビット (REV01) が "0" であればこのままの極性、"1" であれば反転して PPG 端子に出力されます。

- 8ビットPPG (PPG タイマ00) は、PPG 動作許可ビット (PEN00) に "1" を設定したとき、8/16 ビット PPG タイマ 00 周期設定バッファレジスタ (PPS00) の値をロードしてダウンカウンタ動作を開始します (カウントクロックは PPG タイマ 01 が動作許可状態になった後の PPG01 出力の両エッジ検出パルス)。カウント値が "1" に達したとき、再び 8/16 ビット PPG タイマ 00 周期設定バッファレジスタの値をロードし、カウンタ動作を繰り返します。ダウンカウンタの値と 8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ (PDS00) の値が一致したとき、カウントクロックに同期して PPG00 出力を "H" に設定し、デューティ設定値分 "H" を出力した後、PPG00 出力を "L" にリセットします。出力反転ビット (REV00) が "0" であればこのままの極性、"1" であれば反転して PPG00 端子に出力されます。
- 8 ビットプリスケアラ (PPG タイマ 01) の出力のデューティ比は 50% となるように設定してください。
- PPG タイマ 00 を起動し、8 ビットプリスケアラ (PPG タイマ 01) が停止している場合、PPG タイマ 00 はカウンタ動作を行いません。
- 8 ビットプリスケアラ (PPG タイマ 01) のデューティ比設定を 0%, または 100% にした場合、8 ビットプリスケアラ (PPG タイマ 01) の出力はトグルしないため、PPG タイマ 00 はカウンタ動作を行いません。

図 16.7-4 に、8 ビットプリスケアラ + 8 ビット PPG モードの動作を示します。

図 16.7-4 8 ビットプリスケアラ + 8 ビット PPG モードの動作



16.7.3 16 ビット PPG モード

PPG タイマ 01 を上位, PPG タイマ 00 を下位に割り当てることで 16 ビット PPG として動作するモードです。

■ 16 ビット PPG モードの設定

16 ビット PPG モードとして動作させるには, レジスタを図 16.7-5 のように設定してください。

図 16.7-5 16 ビット PPG モードの設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PC01	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
PC00	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	0	0/1						
PPS01	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	PPG タイマ 01 の PPG 出力周期を設定 (上位 8 ビット)							
PPS00	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	PPG タイマ 00 の PPG 出力周期を設定 (下位 8 ビット)							
PDS01	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	PPG タイマ 01 の PPG 出力デューティを設定 (上位 8 ビット)							
PDS00	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	PPG タイマ 00 の PPG 出力デューティを設定 (下位 8 ビット)							
PPGS	-	-	-	-	PEN11	PEN10	PEN01	PEN00
	*	*	*	*	*	*	x	
REVC	-	-	-	-	REV11	REV10	REV01	REV00
	*	*	*	*	*	*	x	

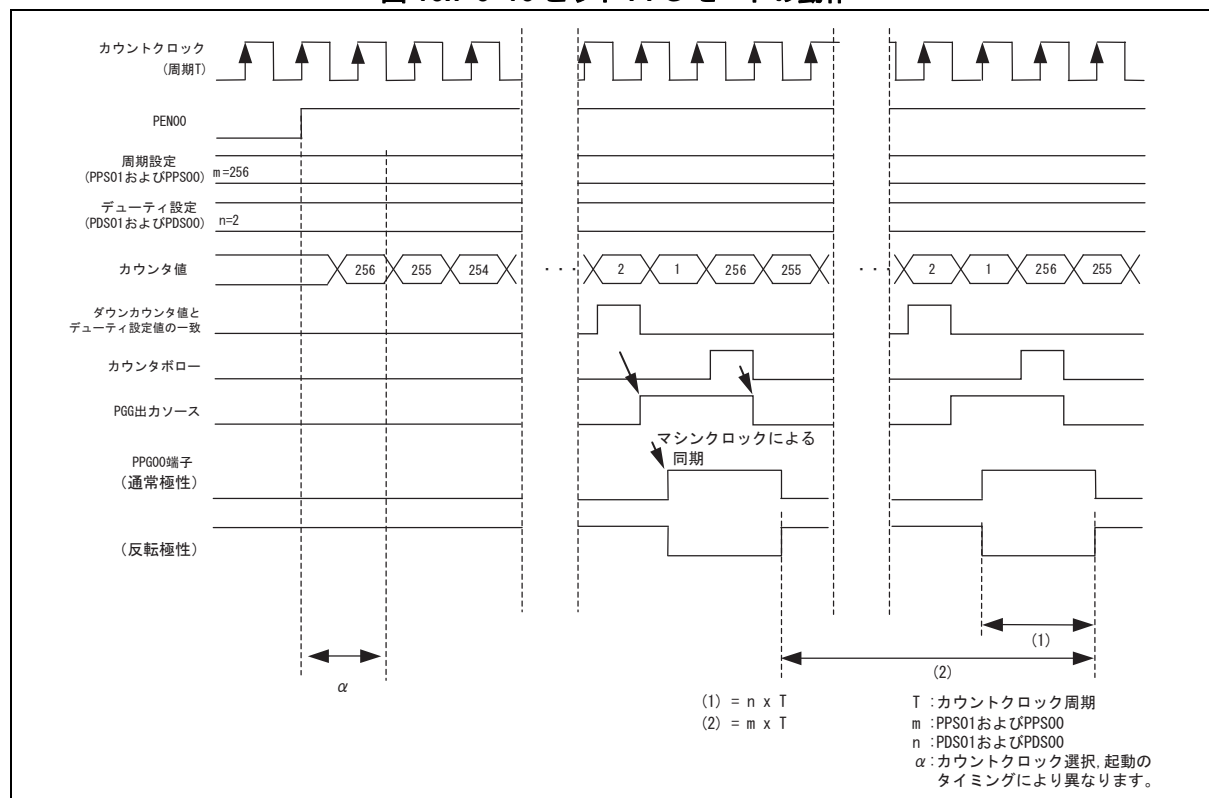
: 使用ビット
 0 : "0" を設定
 1 : "1" を設定
 x : 設定無効
 * : 搭載するチャンネル数によります。

■ 16 ビット PPG モードの動作

- PPG タイマ 00 制御レジスタ (PC00) の動作モード選択ビット (MD1, MD0) を "10_B" または "11_B" に設定すると本モードとなります。
- 16 ビット PPG モードの場合, 8 ビットダウンカウンタ (PPG タイマ 00) と 8 ビットダウンカウンタ (PPG タイマ 01) は, PPG 動作許可ビット (PEN00) を "1" に設定した場合, 8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPG タイマ 01 には PPS01, PPG タイマ 00 には PPS00) の値をロードして, ダウンカウント動作を開始します。カウント値が "1" に達したとき, 再び周期設定レジスタの値がロードされ, カウント動作が繰り返されます。
- ダウンカウンタの値と 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタの値が (PPG タイマ 01 は PDS01, PPG タイマ 00 は PDS00 の値がともに) 一致したとき, カウントクロックに同期して PPG00 端子に "H" を設定し, デューティ設定値分 "H" を出力した後, PPG00 端子を "L" にリセットします。出力反転ビット (REV00) が "0" であればこのままの極性で PPG00 端子に出力され, "1" が設定されていれば反転して PPG00 端子 (PPG タイマ 00 のみ。PPG タイマ 01 は初期値 <REV01 が "0" なら "L", "1" なら "H">) に出力されます。

図 16.7-6 に, 16 ビット PPG モードの動作を示します。

図 16.7-6 16 ビット PPG モードの動作



16.8 8/16 ビット PPG 使用上の注意

8/16 ビット PPG 使用上の注意を以下に示します。

■ 8/16 ビット PPG 使用上の注意

- 動作上の注意

起動時とカウントクロックのタイミングによって、起動後 1 周期目の PPG 出力の周期に誤差が生じる可能性があり、その誤差はカウントクロックの選択により異なります。2 周期目以降は正常に出力されます。

- 割込みに関する注意

割込み許可ビット (PIE1/PIE0) に "1" を設定している場合、8/16 ビット PPG タイマ 01/00 制御レジスタ (PC01/PC00) の割込み要求フラグビット (PUF1/PUF0) が "1" に設定されると、PPG 割込みが発生します。割込みルーチン内では、割込み要求フラグビット (PUF1/PUF0) は必ず "0" にクリアしてください。

16.9 8/16 ビット PPG タイマのサンプルプログラム

8/16 ビット PPG タイマを動作させるためのサンプルプログラムを提供しています。

■ 8/16 ビット PPG タイマのサンプルプログラム

8/16 ビット PPG タイマのサンプルプログラムについては、「はじめに サンプルプログラム」を参照してください。

■ プログラム例以外の設定方法

● PPG 動作を許可 / 停止する方法

PPG タイマ 00 の場合は、PPG 動作許可ビット (PPGS:PEN00 または PEN10) で行います。

制御	PPG 動作許可ビット (PEN00 または PEN10)
PPG 動作を停止させるには	"0" を設定する
PPG 動作を許可するには	"1" を設定する

PPG 動作許可は PPG を起動する前にしてください。

PPG タイマ 01 の場合は、PPG 動作許可ビット (PPGS:PEN01 または PEN11) で行います。

制御	PPG 動作許可ビット (PEN01 または PEN11)
PPG 動作を停止させるには	"0" を設定する
PPG 動作を許可するには	"1" を設定する

PPG 動作許可は PPG を起動する前にしてください。

● PPG の動作モードを設定する方法

動作モード選択ビット (PC00:MD[1:0]) で行います。

● 動作クロックの選択方法

ch.1 は、動作クロック選択ビット (PC01:CKS12/CKS11/CKS10) で選択します。

ch.0 は、動作クロック選択ビット (PC00:CKS02/CKS01/CKS00) で選択します。

● PPG 出力端子を許可 / 禁止する方法

出力許可ビット (PC00:POEN0 または PC 01:POEN1) で行います。

制御	出力許可ビット (POEN0 または POEN1)
PPG 出力を許可するには	"1" を設定する
PPG 出力を禁止するには	"0" を設定する

● PPG 出力を反転させる方法

PPG タイマ 00 の場合は、出力レベル反転ビット (REVC:REV00 または REV10) で行います。

制御	出力レベル反転ビット (REV00 または REV10)
PPG 出力を反転するには	"1" を設定する

PPG タイマ 01 の場合は、出力レベル反転ビット (REVC:REV01 または REV11) で行います。

制御	出力レベル反転ビット (REV01 または REV11)
PPG 出力を反転するには	"1" を設定する

● 割込み関連レジスタ

割込みレベルは、下表の割込みレベル設定レジスタで設定します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
ch.1(下位)	割込みレベルレジスタ (ILR2) アドレス : 0007B _H	#09 アドレス : 0FFE8 _H
ch.1(上位)	割込みレベルレジスタ (ILR2) アドレス : 0007B _H	#10 アドレス : 0FFE6 _H
ch.0(下位)	割込みレベルレジスタ (ILR3) アドレス : 0007C _H	#12 アドレス : 0FFE2 _H
ch.0(上位)	割込みレベルレジスタ (ILR3) アドレス : 0007C _H	#13 アドレス : 0FFE0 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は、割込み要求許可ビット (PC00:PIE0 または PC01:PIE1) にて行います。

制御	割込み要求許可ビット (PIE0 または PIE1)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (PC00:PUF0 または PC01:PUF1) にて行います。

制御	割込み要求フラグ (PUF0 または PUF1)
割込み要求をクリアするには	"0" を設定する

第17章

16 ビット PPG タイマ

16 ビット PPG タイマの機能と動作について説明します。

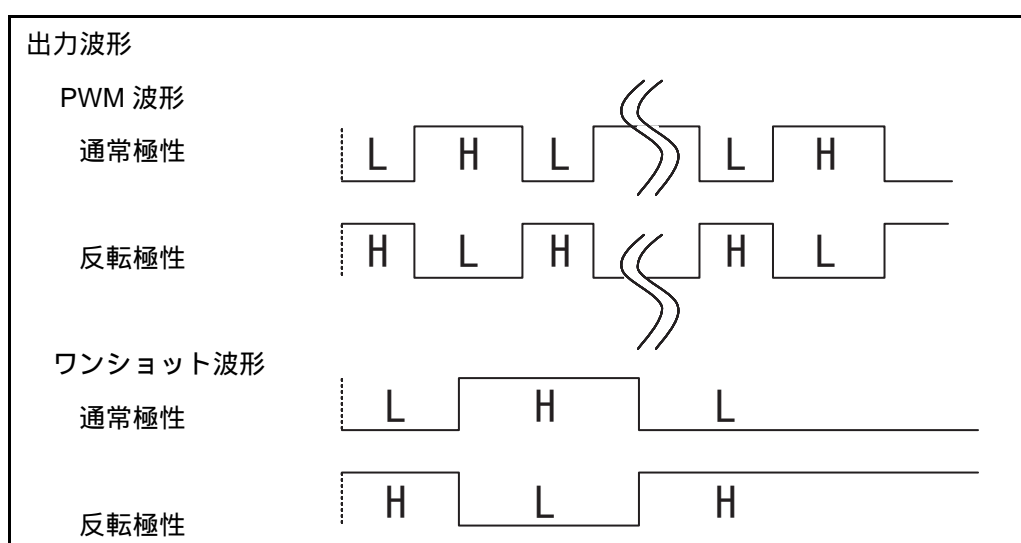
- 17.1 16 ビット PPG タイマの概要
- 17.2 16 ビット PPG タイマの構成
- 17.3 16 ビット PPG タイマのチャンネル
- 17.4 16 ビット PPG タイマの端子
- 17.5 16 ビット PPG タイマのレジスタ
- 17.6 16 ビット PPG タイマ割込み
- 17.7 16 ビット PPG タイマの動作説明と設定手順例
- 17.8 16 ビット PPG タイマ使用上の注意
- 17.9 16 ビット PPG タイマのサンプルプログラム

17.1 16 ビット PPG タイマの概要

16 ビット PPG タイマは、PWM (Pulse Width Modulation) 出力や、ワンショット (の矩形波) 出力を行えます。その出力波形の周期とデューティはソフトウェアで自由に変更できます。さらに、スタートトリガ、出力波形の立上り / 立下りにおいて割込みを発生できます。

■ 16 ビット PPG タイマ

16 ビット PPG タイマは、PWM 出力やワンショット出力を行えます。レジスタの設定により出力波形を反転させることができます (通常極性 反転極性)。



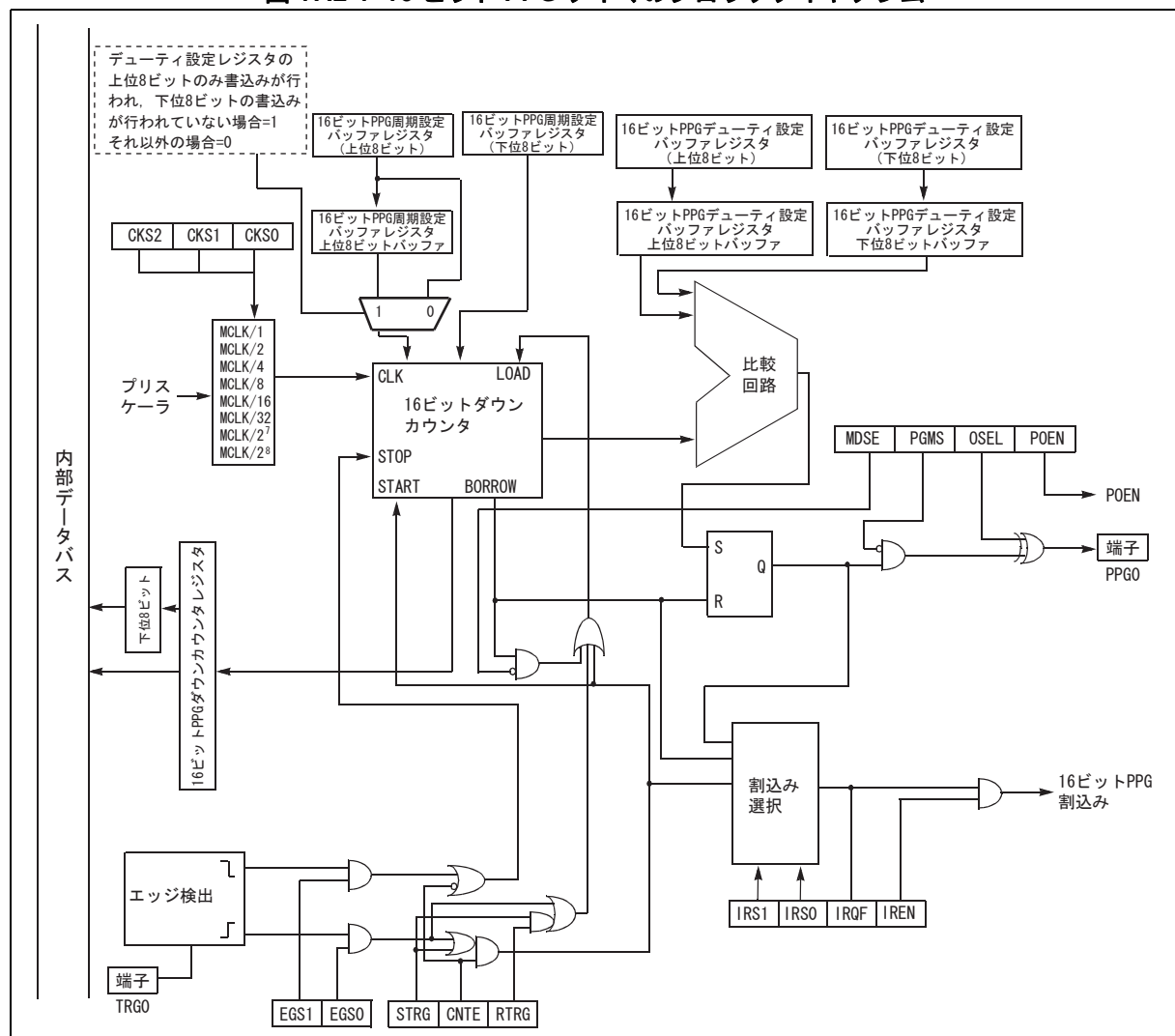
- カウント動作クロックは、8 種類 (MCLK/1, MCLK/2, MCLK/4, MCLK/8, MCLK/16, MCLK/32, $F_{CH}/2^7$, $F_{CH}/2^8$) の中から選択できます (MCLK: マシンクロック, F_{CH} : メインクロック)。
- 割込み発生は下記の 4 条件の中から選択できます。
 - PPG タイマのスタートトリガ発生
 - 16 ビットダウンカウンタのカウンタボロー発生 (設定した周期が一致)
 - 通常極性での PPG 立上りまたは反転極性での PPG 立下り
 - カウンタボロー、または通常極性での PPG 立上りまたは反転極性での PPG 立下り

17.2 16 ビット PPG タイマの構成

16 ビット PPG タイマのブロックダイヤグラムを示します。

■ 16 ビット PPG タイマのブロックダイアグラム

図 17.2-1 16 ビット PPG タイマのブロックダイヤグラム



- カウントクロックセクタ

8 種類の内部カウントクロックから 16 ビットダウンカウンタのカウントダウン用クロックを選択します。

- 16 ビットダウンカウンタ

カウントクロックセクタで選択されたカウントクロックでカウントダウンします。

- 比較回路

16 ビットダウンカウンタの値が 16 ビット PPG 周期設定バッファレジスタの値から 16 ビット PPG デューティ設定バッファレジスタの値に一致するまで出力を "H" に保ちます。

その後、カウンタ値が "1" に一致するまで出力を "L" に保った後、16 ビットダウンカウンタは 16 ビット PPG 周期設定バッファレジスタの値からカウントを続けます。

- 16 ビット PPG ダウンカウンタレジスタ上位、下位 (PDCRH0, PDCRL0)

16 ビット PPG タイマの 16 ビットダウンカウンタの値を読み出します。

- 16 ビット PPG 周期設定バッファレジスタ上位、下位 (PCSRH0, PCSRL0)

16 ビット PPG タイマの周期用コンペア値の設定を行います。

- 16 ビット PPG デューティ設定バッファレジスタ上位、下位 (PDUTH0, PDUTL0)

16 ビット PPG タイマの "H" 幅用コンペア値の設定を行います。

- 16 ビット PPG 状態制御レジスタ上位、下位 (PCNTH0, PCNTL0)

16 ビット PPG タイマの動作モードや動作条件を設定します。

■ 入力クロック

16 ビット PPG タイマは、プリスケアラからの出力クロックを入力クロック (カウントクロック) として使用します。

17.3 16 ビット PPG タイマのチャンネル

16 ビット PPG タイマのチャンネルについて説明します。

■ 16 ビット PPG タイマのチャンネル

MB95110B/M シリーズは、16 ビット PPG タイマを 1 チャンネル搭載しています。

チャンネルと端子およびレジスタの対応を表 17.3-1 に示します。

表 17.3-1 16 ビット PPG タイマの端子

チャンネル	端子名	端子機能
0	PPG0	PPG0 出力
	TRG0	トリガ 0 入力

表 17.3-2 16 ビット PPG タイマのレジスタ

チャンネル	レジスタ名	レジスタ対応 (本マニュアル上の表記)
0	PDCRH0	16 ビット PPG ダウンカウンタレジスタ (上位)
	PDCRL0	16 ビット PPG ダウンカウンタレジスタ (下位)
	PCSRH0	16 ビット PPG 周期設定バッファレジスタ (上位)
	PCSRL0	16 ビット PPG 周期設定バッファレジスタ (下位)
	PDUTH0	16 ビット PPG デューティ設定バッファレジスタ (上位)
	PDUTL0	16 ビット PPG デューティ設定バッファレジスタ (下位)
	PCNTH0	16 ビット PPG 状態制御レジスタ (上位)
	PCNTL0	16 ビット PPG 状態制御レジスタ (下位)

17.4 16 ビット PPG タイマの端子

16 ビット PPG タイマの端子について説明します。

■ 16 ビット PPG タイマの端子

16 ビット PPG タイマに関連する端子は、PPG0 端子です。

● PPG0 端子

この端子は汎用入出力ポートとしての機能と、16 ビット PPG タイマ出力としての機能を兼用しています。

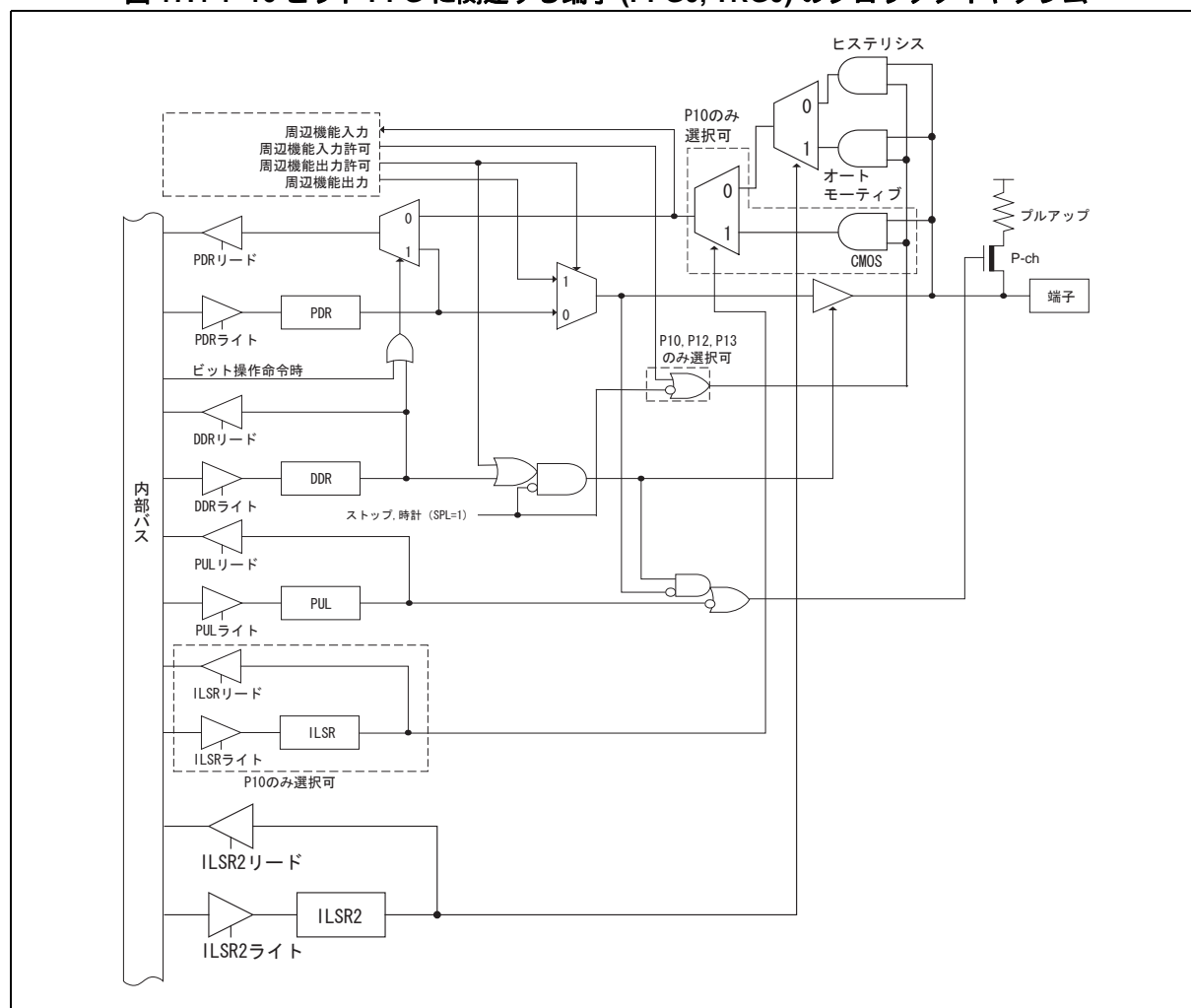
PPG0：この端子に、PPG 波形が出力されます。16 ビット PPG 状態制御レジスタで出力を許可 (PCNTL0: POEN=1) することにより、PPG 波形を出力できます。

● TRG0 端子

TRG0：16 ビット PPG タイマをハードウェアトリガで起動させる場合に使用します。

■ 16 ビット PPG に関連する端子のブロックダイアグラム

図 17.4-1 16 ビット PPG に関連する端子 (PPG0, TRG0) のブロックダイアグラム



17.5 16 ビット PPG タイマのレジスタ

16 ビット PPG タイマのレジスタ一覧を示します。

■ 16 ビット PPG タイマのレジスタ

図 17.5-1 16 ビット PPG タイマのレジスタ

16 ビット PPG ダウンカウンタレジスタ (上位) PDCRH0								
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
PDCRH0 0FAA _H	DC15	DC14	DC13	DC12	DC11	DC10	DC09	DC08
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX
								初期値 00000000 _B
16 ビット PPG ダウンカウンタレジスタ (下位) PDCRL0								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PDCRL0 0FAB _H	DC07	DC06	DC05	DC04	DC03	DC02	DC01	DC00
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX
								初期値 00000000 _B
16 ビット PPG 周期設定バッファレジスタ (上位) PCSRH0								
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
PCSRH0 0FAC _H	CS15	CS14	CS13	CS12	CS11	CS10	CS09	CS08
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								初期値 11111111 _B
16 ビット PPG 周期設定バッファレジスタ (下位) PCSRL0								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PCSRL0 0FAD _H	CS07	CS06	CS05	CS04	CS03	CS02	CS01	CS00
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								初期値 11111111 _B
16 ビット PPG デューティ設定バッファレジスタ (上位) PDUTH0								
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
PDUTH0 0FAE _H	DU15	DU14	DU13	DU12	DU11	DU10	DU09	DU08
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								初期値 11111111 _B
16 ビット PPG デューティ設定バッファレジスタ (下位) PDUTL0								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PDUTL0 0FAF _H	DU07	DU06	DU05	DU04	DU03	DU02	DU01	DU00
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								初期値 11111111 _B
16 ビット PPG 状態制御レジスタ (上位) PCNTH0								
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
PCNTH0 0042 _H	CNTE	STRG	MDSE	RTRG	CKS2	CKS1	CKS0	PGMS
	R/W	R0/W	R/W	R/W	R/W	R/W	R/W	R/W
								初期値 00000000 _B
16 ビット PPG 状態制御レジスタ (下位) PCNTL0								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PCNTL0 0043 _H	EGS1	EGS0	IREN	IRQF	IRS1	IRS0	POEN	OSEL
	R/W	R/W	R/W	R, RM1/W	R/W	R/W	R/W	R/W
								初期値 00000000 _B
R/W : リード / ライト可能 (読出し値は書込み値)								
R(RM1),W : リード / ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系 命令時は "1" 読出し)								
R/WX : リードオンリ (読出しは可能, 書込みは動作に影響なし)								
R0/W : (読出し値は "0", 書込みは動作に影響なし)								

17.5.1 16 ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH0, PDCRL0)

16 ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH0, PDCRL0) は, 16 ビット PPG ダウンカウンタのカウント値を読み出すための 16 ビットレジスタです。

■ 16 ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH0, PDCRL0)

図 17.5-2 16 ビット PPG ダウンカウンタレジスタ 上位, 下位 (PDCRH0, PDCRL0)

16ビット PPG ダウンカウンタレジスタ (上位) PDCRH0

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
PDCRH0 0FAA _H	DC15	DC14	DC13	DC12	DC11	DC10	DC09	DC08	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	

16ビット PPG ダウンカウンタレジスタ (下位) PDCRL0

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PDCRL0 0FAB _H	DC07	DC06	DC05	DC04	DC03	DC02	DC01	DC00	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	

R/WX : リードオンリ (読出しは可能, 書込みは動作に影響なし)

このレジスタは, 16 ビットダウンカウンタの値を読み出すために使用する 16 ビットレジスタで, このレジスタの初期値はすべて "0" です。

このレジスタから読み出す場合, 必ず下記のいずれかの方法でアクセスしてください。

- "MOVW" 命令を使用する (PDCRH0 レジスタアドレスに対して 16 ビットアクセス命令を使用する)
- "MOV" 命令を使用して PDCRH0 PDCRL0 の順番で読出しを行う (PDCRH0 の読出しにより, ダウンカウンタ下位 8 ビットの値が PDCRL0 に自動的に格納される)

このレジスタは, 読出し専用レジスタです。書込みは動作に影響を与えません。

< 注意事項 >

"MOV" 命令を使用して PDCRL0 PDCRH0 の順番で読み出した場合, PDCRL0 は前回読み出したときの値が読み出されるので 16 ビットダウンカウンタの値は正しく読めません。

17.5.2 16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH0, PCSRL0)

16 ビット PPG 周期設定バッファレジスタは, PPG で生成される出力パルスの周期を設定します。

■ 16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH0, PCSRL0)

図 17.5-3 16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH0, PCSRL0)

16 ビット PPG 周期設定バッファレジスタ (上位) PCSRH0									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
PCSRH0 0FAC _H	CS15	CS14	CS13	CS12	CS11	CS10	CS09	CS08	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
16 ビット PPG 周期設定バッファレジスタ (下位) PCSRL0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PCSRL0 0FAD _H	CS07	CS06	CS05	CS04	CS03	CS02	CS01	CS00	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード/ライト可能 (読出し値は書込み値)									

このレジスタは, PPG で生成する出力パルスの周期を設定するために使用する 16 ビットレジスタで, ダウンカウンタにはこのレジスタに設定された値がロードされます。このレジスタに書き込む場合, 必ず下記のいずれかの方法でアクセスしてください。

- "MOVW" 命令を使用する (PCSRH0 アドレスに対して 16 ビットアクセス命令を使用してアクセスする)
- "MOV" 命令を使用して PCSRH0 PCSRL0 の順番で書き込みます
PCSRH0 にデータを書き込んだ後 (PCSRL0 にデータ書き込み以前に), ダウンカウンタのロードが発生した場合, ダウンカウンタには前回書き込まれた PCSRH0, PCSRL0 の値がロードされます。カウントの途中で PCSRH0, PCSRL0 の値を変更した場合, 次のダウンカウンタのロードにより, 変更した値が有効となります。
PCSRH0=00_H, PCSRL0=00_H, もしくは PCSRH0=00_H, PCSRL0=01_H を設定しないでください。

< 注意事項 >

"MOV" 命令を使用して PCSRL0 PCSRH0 の順番で書き込んだ後, ダウンカウンタのロードが発生した場合, ダウンカウンタには前回書き込まれた PCSRH0 の値と新たに書き込まれた PCSRL0 の値がロードされます。正しい周期が設定できませんので注意してください。

17.5.3 16 ビット PPG デューティ設定バッファレジスタ 上位, 下位 (PDUTH0, PDUTL0)

16 ビット PPG デューティ設定バッファレジスタは, PPG で生成する出力パルスのデューティ比を制御します。

■ 16 ビット PPG デューティ設定バッファレジスタ上位, 下位 (PDUTH0, PDUTL0)

図 17.5-4 16 ビット PPG デューティ設定バッファレジスタ上位, 下位 (PDUTH0, PDUTL0)

16 ビット PPG デューティ設定バッファレジスタ (上位) PDUTH0									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
PDUTH0 0FAE _H	DU15	DU14	DU13	DU12	DU11	DU10	DU09	DU08	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
16 ビット PPG デューティ設定バッファレジスタ (下位) PDUTL0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PDUTL0 0FAF _H	DU07	DU06	DU05	DU04	DU03	DU02	DU01	DU00	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード/ライト可能 (読出し値は書込み値)									

これらのレジスタは, PPG で生成される出力パルスのデューティ比を制御するために使用する 16 ビットレジスタです。ダウンカウンタのロードタイミングで 16 ビット PPG デューティ設定バッファレジスタからデューティ設定レジスタへデータが転送されます。

このレジスタに書き込む場合, 必ず下記のいずれかの方法でアクセスしてください。

- "MOVW" 命令を使用する (PDUTH0 アドレスに対して 16 ビットアクセス命令を使用してアクセスする)
- "MOV" 命令を使用して PDUTH0 PDUTL0 の順番で書き込む
PDUTH0 にデータを書き込んだ後 (PDUTL0 にデータ書込み以前に) ダウンカウンタのロードが発生した場合, 16 ビット PPG デューティ設定バッファレジスタの値はデューティ設定レジスタには転送されません。

デューティ設定レジスタへの設定値と出力パルスの関係は, 下記ようになります。

- 16 ビット PPG 周期設定バッファレジスタとデューティ設定レジスタに同じ値を設定すると, 通常極性の場合は常に "H" を出力し, 反転極性の場合は常に "L" を出力します。
- デューティ設定レジスタに "0000_H" を設定した場合, 通常極性の場合は常に "L" を出力し, 反転極性の場合は常に "H" を出力します。
- 16 ビット PPG 周期設定バッファレジスタより大きい値をデューティ設定レジスタに設定すると通常極性の場合は常に "L" を出力し, 反転極性の場合は常に "H" を出力します。

表 17.5-1 16 ビット PPG 状態制御レジスタ, 上位 (PCNTH0)

ビット名		機能
bit7	CNTE: タイマ許可ビット	このビットは、PPG タイマ動作の許可 / 停止を設定します。 "0" に設定した場合：PPG 動作が直ちに停止し、PPG 出力は初期値を出力します (OSEL=0 で "L" 出力, OSEL=1 で "H" 出力)。 "1" に設定した場合：PPG 動作が "許可" になり、PPG 動作がトリガによって開始されるのを待つ状態になります。
bit6	STRG: ソフトウェアトリガビット	このビットは、PPG タイマをソフトウェアで起動させます。 "1" に設定した場合：CNTE ビット =1 のとき、PPG タイマが起動します。 このビットからは必ず "0" が読み出されます。
bit5	MDSE: モード選択ビット	このビットは、PPG の動作モードを設定します。 "0" に設定した場合：PPG は PWM モードで動作します。 "1" に設定した場合：PPG はワンショットモードで動作します。 (注意事項) 動作中は変更禁止です。
bit4	RTRG: 再ソフトウェアトリガ許可ビット	このビットは、動作中に PPG の再ソフトウェアトリガ機能の許可 / 禁止を設定します。 "0" に設定した場合：再ソフトウェアトリガ機能は "禁止" になります。 "1" に設定した場合：再ソフトウェアトリガ機能は "許可" になります。
bit3, bit2, bit1	CKS2 ~ CKS0: カウントクロック 選択ビット	これらのビットは、16 ビット PPG タイマの動作クロックを選択します。 カウンタクロックは、プリスケラにより生成されます。「6.12 プリスケラの動作説明」を参照してください。 (注意事項) サブクロックモードの場合、タイムベースタイマ (TBT) が停止しているため $F_{CH}/2^7$, $F_{CH}/2^8$ 選択時は動作しません。
bit0	PGMS: PPG 出力マスク許可 ビット	このビットは、モード設定 (MDSE:bit5), 周期設定 (PCSRH0, PCSRL0) またはデューティ設定 (PDUTH0, PDUTL0) とは無関係に特定レベルへ PPG 出力をマスクするために使用します。 "0" に設定した場合：PPG 出力はマスクされません。 "1" に設定した場合：PPG 出力はマスクされます。PPG 出力は、極性設定が "通常" (PCNTL0 レジスタ OSEL: ビット =0) の場合は必ず "L" にマスクされます。 極性設定が "反転" (PCNTL0 レジスタ OSEL: ビット =1) の場合、PPG 出力は必ず "H" にマスクされます。

■ 16 ビット PPG 状態制御レジスタ, 下位 (PCNTL0)

図 17.5-6 16 ビット PPG 状態制御レジスタ, 下位 (PCNTL0)

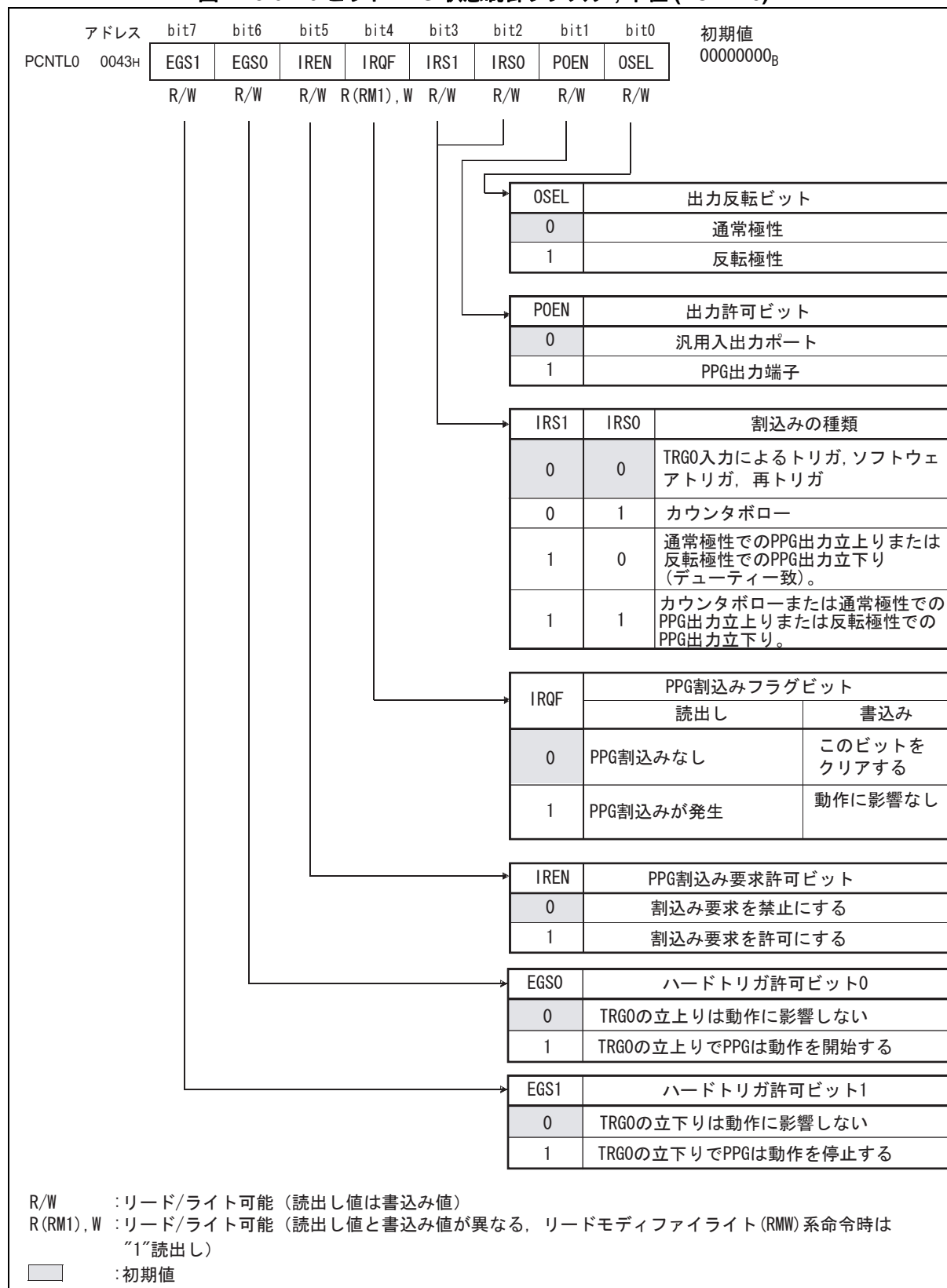


表 17.5-2 16 ビット PPG 状態制御レジスタ, 下位 (PCNTL0)

ビット名		機能															
bit7	EGS1: ハードトリガ 許可ビット 1	このビットは TRG0 入力立下りによる動作停止, 無効を選択します。 "0" に設定した場合: TRG0 の立下りは動作に影響しません。 "1" に設定した場合: TRG0 の立下りにより動作が停止されます。															
bit6	EGS0: ハードトリガ 許可ビット 0	このビットは TRG0 入力の上りによる動作開始, 無効を選択します。 "0" に設定した場合: TRG0 の上りは動作に影響しません。 "1" に設定した場合: TRG0 の上りにより動作が開始されます。															
bit5	IREN: PPG 割込み要求 許可ビット	このビットは, 割込みコントローラへの PPG 割込み要求を許可または禁止します。 "0" に設定した場合: 割込み要求を禁止します。 "1" に設定した場合: 割込み要求を許可します。															
bit4	IRQF: PPG 割込みフラグ ビット	このビットは, PPG 割込みが発生したとき, "1" に設定されます。 "0" に設定した場合: このビットはクリアされます。 "1" に設定した場合: 動作に影響を与えません。 リードモディファイライト (RMW) 系命令時には, 必ず "1" が読み出されます。															
bit3, bit2	IRS1, IRS0: 割込み種類選択 ビット	このビットは, PPG タイマの割込み発生要因を選択します。 <table border="1"> <thead> <tr> <th>IRS1</th><th>IRS0</th><th>割込みの種類</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>TRG 0 入力によるトリガ, ソフトウェアトリガ, 再トリガ</td></tr> <tr> <td>0</td><td>1</td><td>カウンタボロー</td></tr> <tr> <td>1</td><td>0</td><td>通常極性での PPG 出力立上りまたは反転極性での PPG 出力立下り。</td></tr> <tr> <td>1</td><td>1</td><td>カウンタボローまたは通常極性での PPG 出力立上り, 反転極性での PPG 出力立下り。</td></tr> </tbody> </table>	IRS1	IRS0	割込みの種類	0	0	TRG 0 入力によるトリガ, ソフトウェアトリガ, 再トリガ	0	1	カウンタボロー	1	0	通常極性での PPG 出力立上りまたは反転極性での PPG 出力立下り。	1	1	カウンタボローまたは通常極性での PPG 出力立上り, 反転極性での PPG 出力立下り。
IRS1	IRS0	割込みの種類															
0	0	TRG 0 入力によるトリガ, ソフトウェアトリガ, 再トリガ															
0	1	カウンタボロー															
1	0	通常極性での PPG 出力立上りまたは反転極性での PPG 出力立下り。															
1	1	カウンタボローまたは通常極性での PPG 出力立上り, 反転極性での PPG 出力立下り。															
bit1	POEN: 出力許可ビット	このビットは, PPG 出力端子からの出力を許可または禁止します。 "0" に設定した場合: 端子は汎用ポートとして機能します。 "1" に設定した場合: 端子は PPG タイマ出力端子として機能します。															
bit0	OSEL: 出力反転ビット	このビットは, PPG 出力端子の極性を選択します。 "0" に設定した場合: PPG 出力は, 初期状態で "L" を出力し, 16 ビットダウン カウント値がデューティ設定レジスタ値と一致したとき "H" を出力し, ダウンカウンタのボローによって "L" を 出力します (通常極性)。 "1" に設定した場合: PPG 出力は反転します (反転極性)。															

17.6 16 ビット PPG タイマ割込み

16 ビット PPG タイマは、以下の場合に割込み要求を発生できます。

- トリガ発生またはカウンタボローが発生した場合
- 通常極性で PPG 立上りが発生した場合
- 反転極性で PPG 立下りが発生した場合

これらの割込み動作は PCNTL0 レジスタの IRS1:bit3 と IRS0:bit2 で設定されます。

■ 16 ビット PPG タイマ割込み

表 17.6-1 に、16 ビット PPG タイマの割込み制御ビットと割込み要因を示します。

表 17.6-1 16 ビット PPG タイマの割込み制御ビットと割込み要因

項目	説明
割込みフラグビット	PCNTL0:IRQF
割込み要求許可ビット	PCNTL0:IREN
割込み種類選択ビット	PCNTL0:IRS1, IRS0
割込み要因	PCNTL0:IRS1, IRS0=00 _B 16 ビットダウンカウンタの TRG0 端子入力によるハードウェアトリガ、ソフトウェアトリガ、再トリガ
	PCNTL0:IRS1, IRS0=01 _B 16 ビットダウンカウンタのカウントボロー
	PCNTL0:IRS1, IRS0=10 _B 通常極性での PPG0 出力立上りまたは反転極性での PPG0 出力立下り
	PCNTL0:IRS1, IRS0=11 _B 16 ビットダウンカウンタのカウントボローまたは通常極性での PPG0 出力立上りまたは反転極性での PPG0 出力立下り

16 ビット PPG タイマでは、16 ビット PPG 状態制御レジスタ (PCNTL0) の IRQF:bit4 に "1" が設定され、割込み要求が許可されると (PCNTL0 レジスタの IREN:bit5=1)、割込み要求が割込みコントローラへ出力されます。

■ 16 ビット PPG タイマの割込みに関連するレジスタとベクタテーブル

表 17.6-2 16 ビット PPG タイマの割込みに関連するレジスタとベクタテーブル

割込み要因	割込み 要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
ch.0	IRQ15	ILR3	L15	FFDC _H	FFDD _H

全周辺機能の割込み要求番号 / ベクタテーブルについては「付録 B 割込み要因のテーブル」を参照してください。

17.7 16 ビット PPG タイマの動作説明と設定手順例

16 ビット PPG タイマは、PWM モードまたはワンショットモードで動作します。また、16 ビット PPG タイマでは再トリガを使用できます。

■ PWM モード (PCNTH0 レジスタの MDSE:bit5=0)

PWM 動作の場合、ソフトウェアトリガ、または TRG0 端子入力によるハードウェアトリガを入力すると、16 ビットダウンカウンタは、16 ビット PPG 周期設定バッファレジスタ (PCSRH0, PCSRL0) の値をロードしてダウンカウントを開始します。カウント値が、"1"に達したとき、再び16ビットPPG周期設定バッファレジスタ(PCSRH0, PCSRL0)の値をリロードし、ダウンカウント動作を繰り返します。

PPG 端子は、初期状態では "L" を出力しています。16 ビットダウンカウンタの値とデューティ設定レジスタの値が一致したとき、カウントクロックに同期して "H" を出力してデューティ設定値分 "H" を出力した後に "L" を出力します (OSEL=1 に設定している場合は逆のレベルが出力されます)。

再トリガ無効に設定されている場合 (RTRG=0)、ダウンカウンタは既に動作している状態でのソフトウェアトリガ (STRG=1) を無視します。

ダウンカウンタが動作していない状態から有効なトリガ入力によりダウンカウンタが動作し始めるまでの時間の最大は、下記ようになります。

ソフトウェアトリガの場合 : 1 カウントクロック周期 + 2 マシンクロック周期

TRG0 端子入力によるハードウェアトリガの場合 :

1 カウントクロック周期 + 3 マシンクロック周期

最小は、

ソフトウェアトリガの場合 : 2 マシンクロック周期

TRG0 端子入力によるハードウェアトリガの場合 : 3 マシンクロック周期

ダウンカウンタが動作している状態から有効再トリガ入力によりダウンカウンタが再度、動作し始めるまでの時間の最大は、下記ようになります。

ソフトウェアトリガの場合 : 1 カウントクロック周期 + 2 マシンクロック周期

TRG0 端子入力によるハードウェアトリガの場合 :

1 カウントクロック周期 + 3 マシンクロック周期

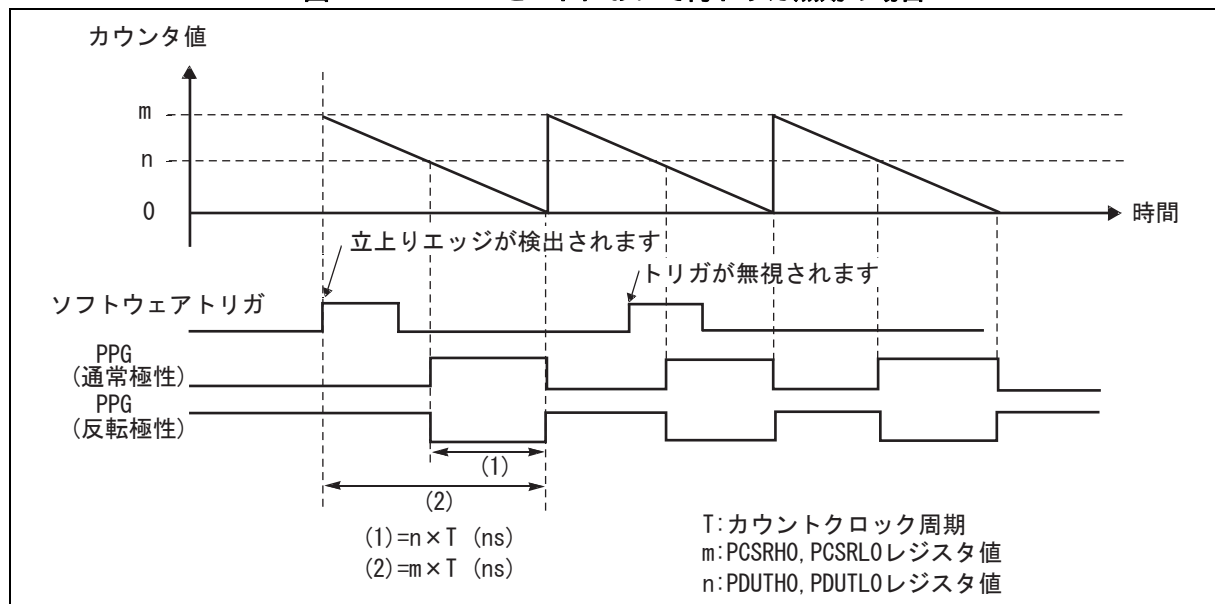
最小は、

ソフトウェアトリガの場合 : 2 マシンクロック周期

TRG0 端子入力によるハードウェアトリガの場合 : 3 マシンクロック周期

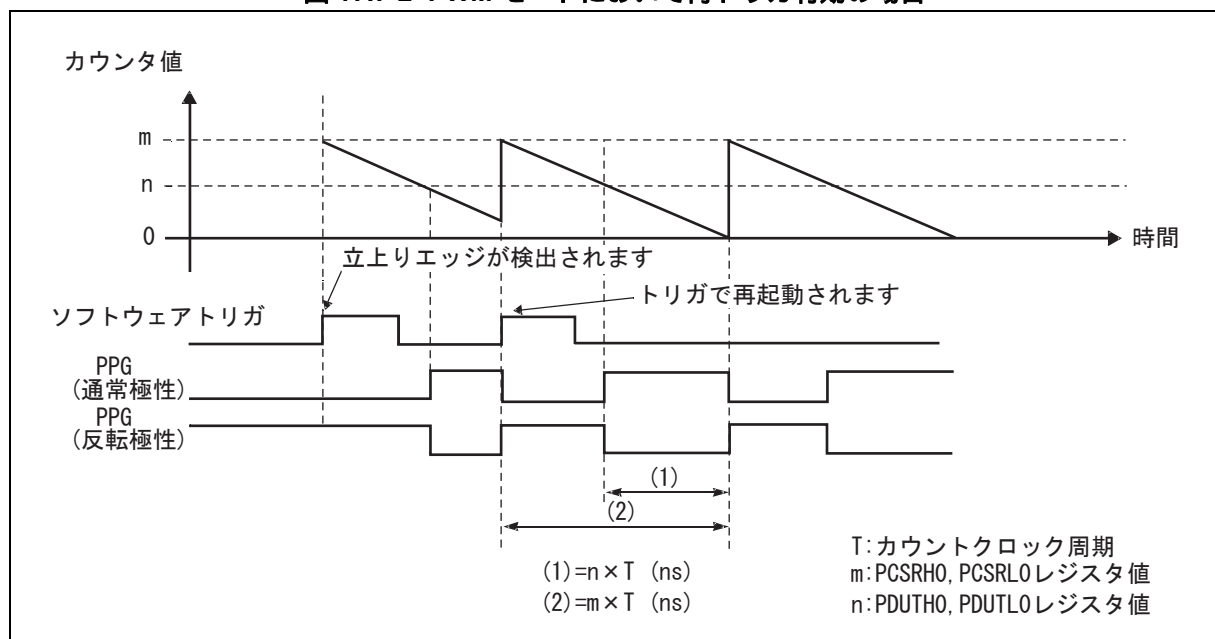
- 再トリガを無効にする (PCNTH0 レジスタの RTRG:bit4=0)

図 17.7-1 PWM モードにおいて再トリガ無効の場合



- 再トリガを有効にする (PCNTH0 レジスタの RTRG:bit4=1)

図 17.7-2 PWM モードにおいて再トリガ有効の場合



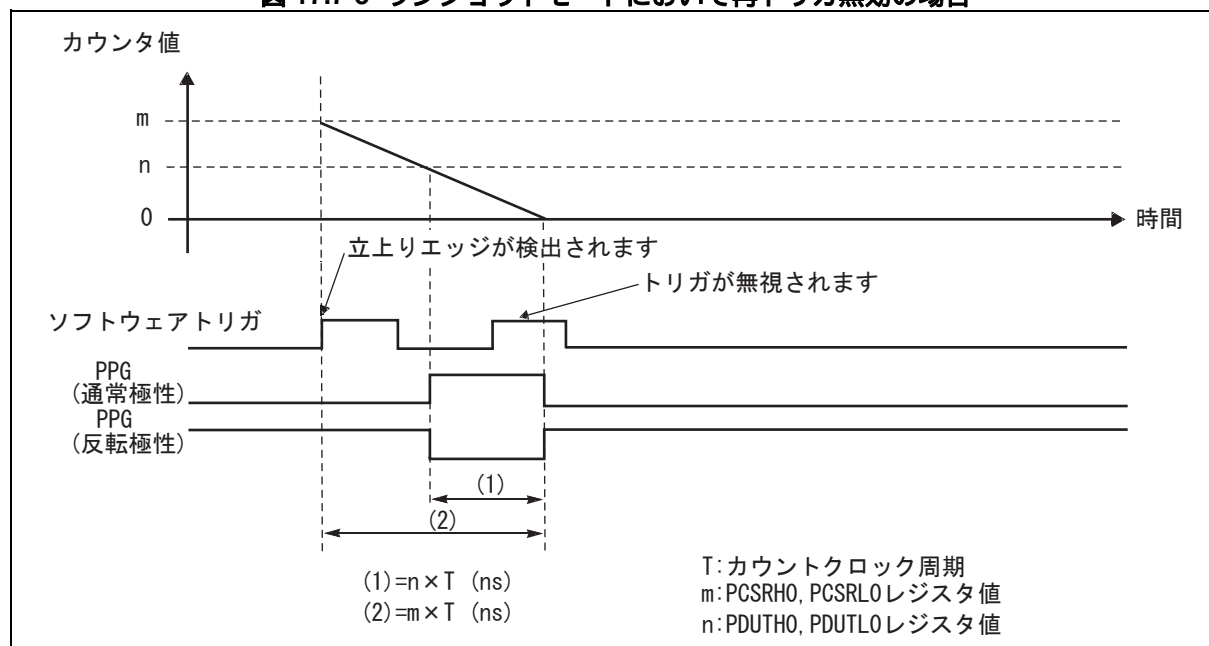
■ ワンショットモード (PCNTH0 レジスタの MDSE:bit5=1)

ワンショットモードの場合、有効なトリガ入力により指定された幅の単一パルスを出力できます。再トリガを有効にすると、動作中に有効なトリガを検出した場合、ダウンカウンタに値がリロードされます。

PPG 出力は、初期状態では "L" を出力しています。16 ビットダウンカウンタの値とデューティ設定レジスタの値が一致したときに "H" を出力し、カウンタが "1" に達したときに "L" を出力します (OSEL=1 に設定している場合は逆のレベルが出力されます)。

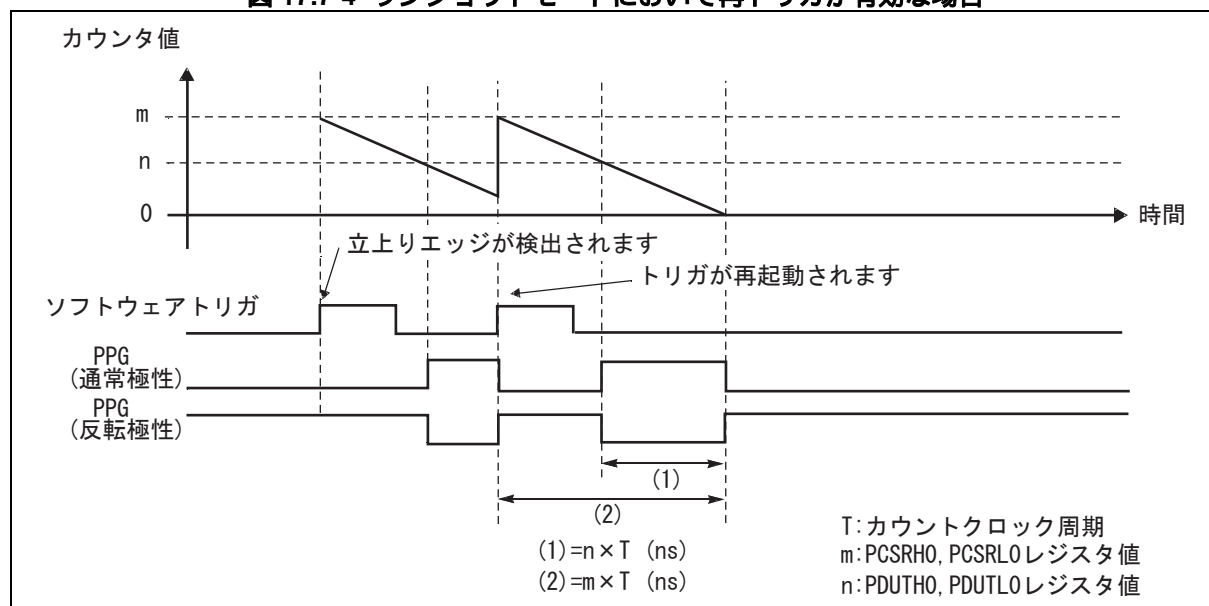
● 再トリガを無効にする (PCNTH0 レジスタの RTRG:bit4=0)

図 17.7-3 ワンショットモードにおいて再トリガ無効の場合



● 再トリガを有効にする (PCNTH0 レジスタの RTRG:bit4=1)

図 17.7-4 ワンショットモードにおいて再トリガが有効な場合



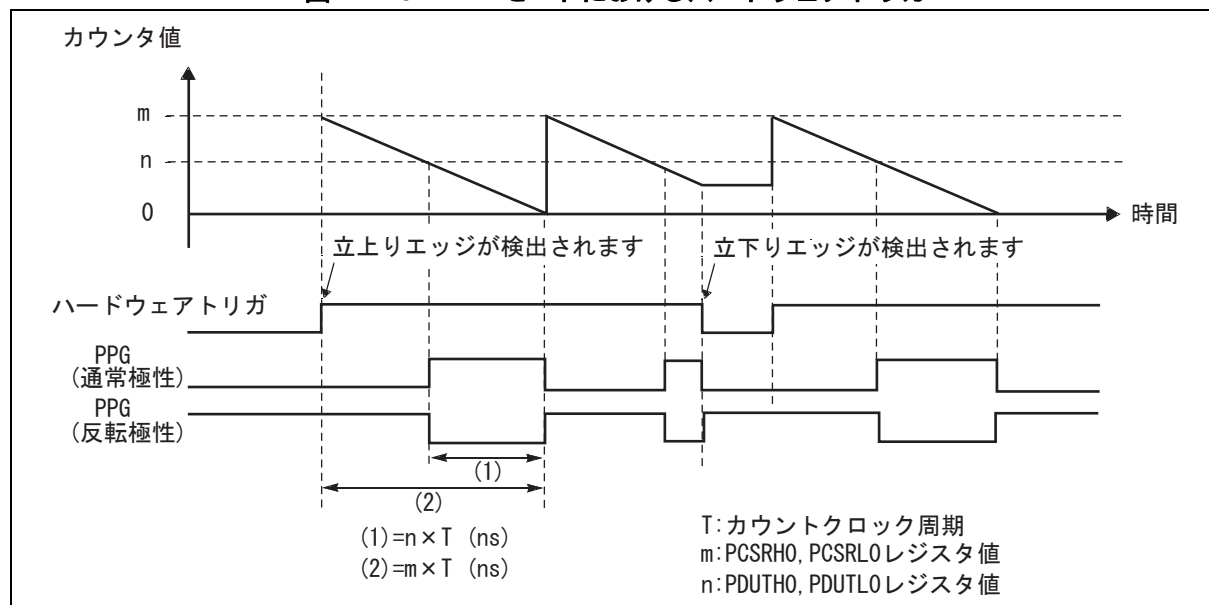
■ ハードウェアトリガ

TRG0 入力端子に信号を入力して PPG を起動させることをハードウェアトリガといいます。EGS1, EGS0 を "11_B" に設定して TRG0 入力によるハードウェアトリガを使用した場合、PPG は立上りエッジで動作を開始し、立下りエッジが検出されると動作を停止します。また、PPG タイマは次の立上りエッジで最初から動作を開始します。

TRG0 入力によるハードウェアトリガの場合、RTRG ビットによる再トリガ設定にかかわらず、有効な TRG0 入力によるハードウェアトリガによって、再トリガされます。

なお、RTRG ビット=1 の場合、ソフトウェアトリガも再トリガとして有効となります。

図 17.7-5 PWM モードにおけるハードウェアトリガ



■ 設定手順例

16 ビット PPG タイマの設定手順例を以下に示します。

● 初期設定

- 1) 割込みレベルの設定 (ILR3, ILR4)
- 2) ハードトリガ許可, 割込み許可, 割込みの種類選択, 出力の許可 (PCNTL0)
- 3) カウントクロック選択, モード選択, タイマ動作許可 (PCNTH0)
- 4) 周期設定 (PCSRL0, PCSRH0)
- 5) デューティ設定 (PDUTH0, PDUNT0)
- 6) ソフトウェアトリガで PPG 起動 (PCNTH0:STRG=1)

● 割込み処理

- 1) 任意の処理
- 2) 割込み要求フラグクリア (PCNTL0:IRQF)

17.8 16 ビット PPG タイマ使用上の注意

16 ビット PPG タイマ使用上の注意を以下に示します。

■ 16 ビット PPG タイマ使用上の注意

● プログラム設定上の注意

周期とデューティ設定を同じ値に設定している場合、再トリガは行わないでください。再トリガした場合、PPG 出力は再トリガ後、通常極性にて 1 カウントクロック分 "L" が出力された後、"H" 固定となります。

マイコンをスタンバイモードに遷移させた場合、TRG0 端子が変化して誤動作する可能性があります。このため、タイマ許可ビットを禁止 (PCNTH0:CNTE=0) にするか、ハードウェアトリガ許可ビットを禁止 (PCNTL0:EGS1, EGS0=00_B) に設定してください。

周期とデューティ設定を同じ値に設定している場合、デューティ一致による割込みは一度しか発生しません。また、周期よりデューティ設定が大きい値の場合、デューティ一致による割込みは発生しません。

カウント動作中に、ソフトウェアによる再トリガ許可 (PCNTH0: RTRG=1)、割込み要因選択が再トリガ (PCNTL0:IRS1, IRS0=00_B) の状態で、タイマ許可ビットの禁止設定 (PCNTH0:CNTE=0) とソフトウェアトリガ (PCNTH0:STRG=1) を同時に設定しないでください。もし行った場合、タイマは停止しますが再トリガの発生により割込みフラグビットが設定される場合があります。

17.9 16 ビット PPG タイマのサンプルプログラム

16 ビット PPG タイマを動作させるためのサンプルプログラムを提供しています。

■ 16 ビット PPG タイマのサンプルプログラム

16 ビット PPG タイマのサンプルプログラムについては、「はじめに サンプルプログラム」を参照してください。

■ プログラム例以外の設定方法

● PPG の動作モードを設定する方法

動作モード選択ビット (PCNTH0:MDSE) で行います。

動作モード	動作モード選択ビット (MDSE)
PWM モード	"0" を設定する
ワンショットモード	"1" を設定する

● 動作クロックの選択方法

動作クロック選択ビット (PCNTH0:CKS2/CKS1/CKS0) で選択します。

● PPG 出力端子を許可 / 禁止する方法

出力許可ビット (PCNTL0:POEN) で行います。

制御内容	出力許可ビット (POEN)
PPG 出力を許可するには	"1" を設定する
PPG 出力を禁止するには	"0" を設定する

● PPG 動作を許可 / 禁止する方法

タイマ許可ビット (PCNTH0:CNTTE) で行います。

制御内容	タイマ許可ビット (CNTTE)
PPG 動作を禁止するには	"0" を設定する
PPG 動作を許可するには	"1" を設定する

PPG 動作許可は PPG を起動する前にしてください。

● PPG 動作をソフトウェアで起動する方法

ソフトウェアトリガビット (PCNTH0:STRG) で行います。

制御内容	ソフトウェアトリガビット (STRG)
ソフトウェアで起動するには	"1" を設定する

● ソフトウェアトリガの再トリガ機能を許可 / 禁止する方法

再トリガ許可ビット (PCNTH0:RTRG) で行います。

制御内容	再トリガ許可ビット (RTRG)
再トリガ機能を許可するには	"1" を設定する
再トリガ機能を禁止するには	"0" を設定する

● トリガ入力の上昇による動作を開始 / 停止する方法

ハードトリガ許可ビット (PCNTL0:EGS0) で行います。

制御内容	ハードトリガ許可ビット (EGS0)
立上りで動作を開始するには	"1" を設定する
立上りで動作を停止するには	"0" を設定する

● トリガ入力の上降による動作を開始 / 停止する方法

ハードトリガ許可ビット (PCNTL0:EGS1) で行います。

制御内容	ハードトリガ許可ビット (EGS1)
立下りで動作を開始するには	"1" を設定する
立下りで動作を停止するには	"0" を設定する

● PPG 出力を反転する方法

出力反転ビット (PCNTL0:OSEL) で行います。

制御内容	出力反転ビット (OSEL)
PPG 出力を反転するには	"1" を設定する

● PPG 出力を固定する方法

PPG出力マスク許可ビット (PCNTH0:PGMS)と出力反転ビット (PCNTL0:OSEL)で行います。

制御内容	PPG出力マスク許可ビット (PGMS)	出力反転ビット (OSEL)
出力を "H" 固定するには	"1" を設定する	"1" を設定する
出力を "L" 固定するには	"1" を設定する	"0" を設定する

● 割込みの発生要因を選択する方法

割込み選択ビット (PCNTL0:IRS1/IRS0) で選択します。

割込みの要因	割込み選択ビット (IRS1/IRS0)
TRG0 入力によるトリガ, ソフトウェアトリガ, 再トリガ	"00 _B " を設定する
カウンタボロー	"01 _B " を設定する
通常極性での PPG 出力立上りまたは反転極性での PPG 出力立下り	"10 _B " を設定する
カウンタボローまたは通常極性での PPG 出力立上り, 反転極性での PPG 出力立下り	"11 _B " を設定する

● 割込み関連レジスタ

割込みレベルは, 下表の割込みレベル設定レジスタで設定します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
ch.0	割込みレベルレジスタ (ILR3) アドレス : 0007C _H	#15 アドレス : 0FFDC _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は, 割込み要求許可ビット (PCNTL0:IREN) にて行います。

制御内容	割込み要求許可ビット (IREN)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは, 割込み要求フラグ (PCNTL0:IRQF) にて行います。

制御内容	割込み要求フラグ (IRQF)
割込み要求をクリアするには	"0" を設定する

第18章

外部割込み回路

外部割込み回路の機能と動作について説明します。

- 18.1 外部割込み回路の概要
- 18.2 外部割込み回路の構成
- 18.3 外部割込み回路のチャネル
- 18.4 外部割込み回路の端子
- 18.5 外部割込み回路のレジスタ
- 18.6 外部割込み回路の割込み
- 18.7 外部割込み回路の動作説明と設定手順例
- 18.8 外部割込み回路使用上の注意
- 18.9 外部割込み回路のサンプルプログラム

18.1 外部割込み回路の概要

外部割込み回路は、外部割込み端子に入力された信号のエッジを検出し、割込みコントローラに対して割込み要求を出力します。

■ 外部割込み回路の機能

外部割込み回路は、外部割込み端子に入力された信号の任意のエッジを検出し、割込みコントローラに対して割込み要求を発生する機能があります。この割込みによってスタンバイモードより復帰を行い、通常動作状態に移行できますので、外部割込み端子への信号の入力を契機にして動作モードの切換えが行えます。

18.2 外部割込み回路の構成

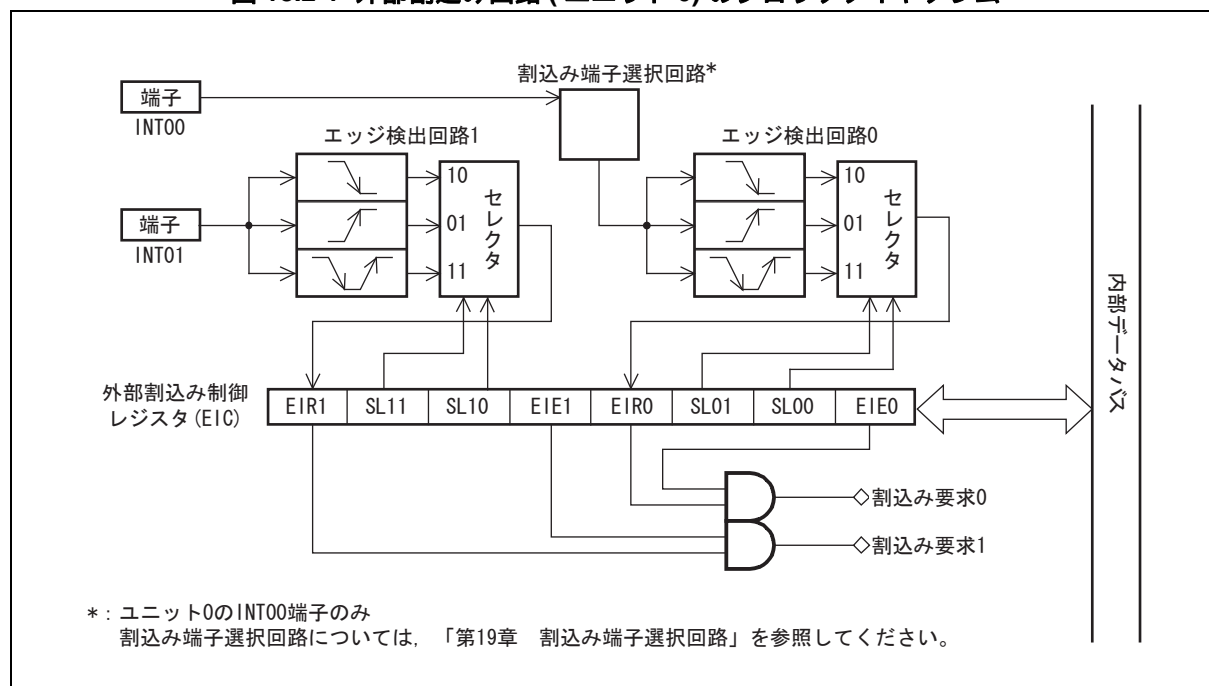
外部割込み回路は、以下のブロックで構成されています。

- エッジ検出回路
- 外部割込み制御レジスタ

■ 外部割込み回路のブロックダイアグラム

図 18.2-1 に、外部割込み回路 (ユニット 0) のブロックダイアグラムを示します。

図 18.2-1 外部割込み回路 (ユニット 0) のブロックダイアグラム



● エッジ検出回路

外部割込み回路の端子 (INT) に入力された信号のエッジ極性と割込み制御レジスタ (EIC) で選択されたエッジ極性が一致すると、対応する外部割込み要求フラグビット (EIR) が "1" に設定されます。

● 外部割込み制御レジスタ (EIC)

エッジの選択、割込み要求の許可と禁止、および割込み要求の確認などを行います。

18.3 外部割込み回路のチャネル

外部割込み回路のチャネルについて説明します。

■ 外部割込み回路のチャネル

MB95110B/M シリーズは、外部割込み回路を 4 ユニット搭載しています。

表 18.3-1 に、外部割込み回路の端子を、表 18.3-2 に、外部割込み回路のレジスタを示します。

表 18.3-1 外部割込み回路の端子

ユニット	端子名	端子機能 (チャネル)
0	INT00	外部割込み入力 ch.0
	INT01	外部割込み入力 ch.1
1	INT02	外部割込み入力 ch.2
	INT03	外部割込み入力 ch.3
2	INT04	外部割込み入力 ch.4
	INT05	外部割込み入力 ch.5
3	INT06	外部割込み入力 ch.6
	INT07	外部割込み入力 ch.7

表 18.3-2 外部割込み回路のレジスタ

ユニット	レジスタ名	レジスタ対応 (本マニュアル上の表記)
0	EIC00	EIC: 外部割込み制御レジスタ
1	EIC10	
2	EIC20	
3	EIC30	

以下の節では外部割込み回路のユニット 0 側のみの説明を行います。

ほかのユニットについても外部割込み回路のユニット 0 側と同様です。

18.4 外部割込み回路の端子

外部割込み回路に関連する端子および端子のブロックダイヤグラムを示します。

■ 外部割込み回路に関連する端子

外部割込み回路に関連する端子は INT00 ~ INT07 端子です。

● INT00 ~ INT07 端子

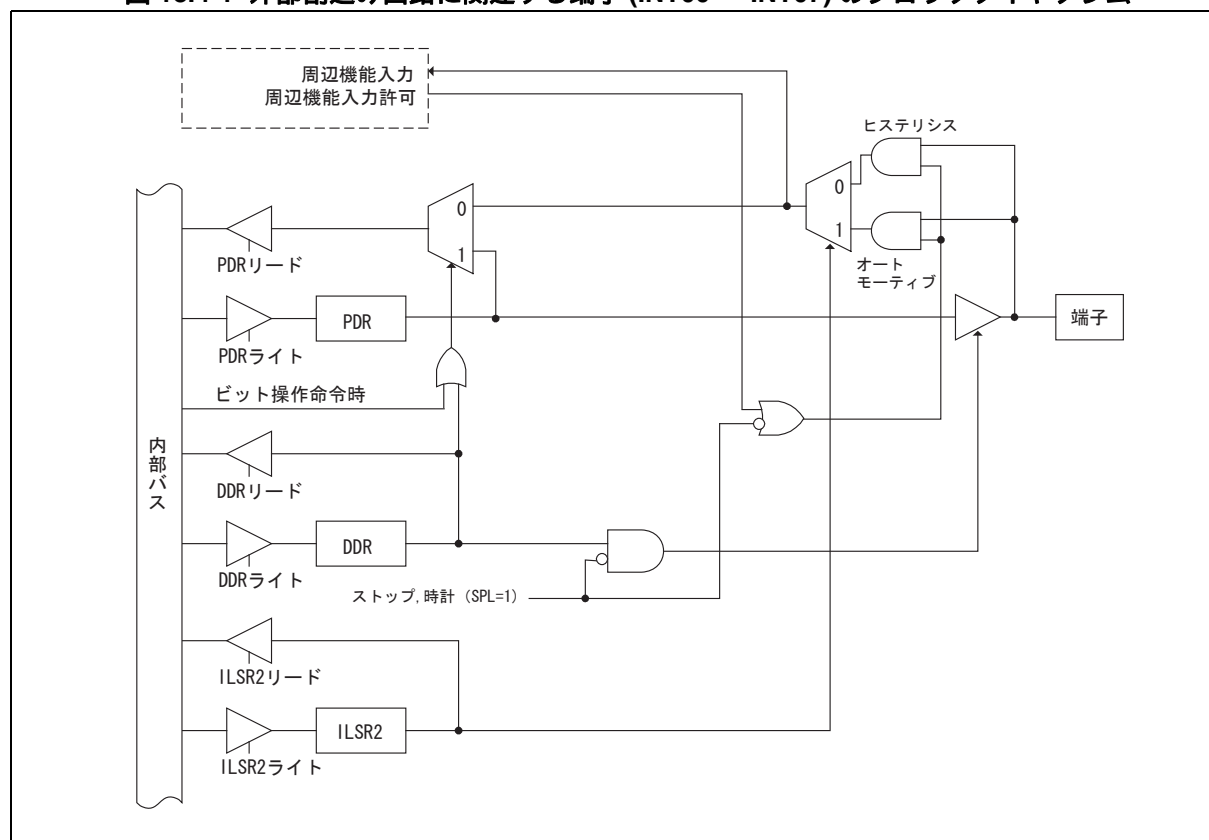
これらの端子は、外部割込み入力としての機能と汎用入出力ポートとしての機能を兼用しています。

INT00 ~ INT07 : INT00 ~ INT07 端子は、ポート方向レジスタ (DDR) によって対応する端子を入力ポートに設定し、外部割込み制御レジスタ (EIC) によって対応する外部割込み入力を許可すると、外部割込み入力端子 (INT00=INT07) として機能します。

端子の状態は、入力ポートに設定されているときは、いつでもポートデータレジスタ (PDR) から読み出せます。ただし、リードモディファイライト (RMW) 系命令では PDR の値を読み出します。

■ 外部割込み回路に関連する端子のブロックダイヤグラム

図 18.4-1 外部割込み回路に関連する端子 (INT00 ~ INT07) のブロックダイヤグラム



18.5 外部割込み回路のレジスタ

外部割込み回路のレジスタについて説明します。

■ 外部割込み回路のレジスタ一覧

図 18.5-1 に、外部割込み回路のレジスタを示します。

図 18.5-1 外部割込み回路のレジスタ

外部割込み制御レジスタ (EIC)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
EIC00 0048 _H	EIR1 R(RM1),W	SL11 R/W	SL10 R/W	EIE1 R/W	EIR0 R(RM1),W	SL01 R/W	SL00 R/W	EIE0 R/W	00000000 _B
EIC10 0049 _H	EIR1 R(RM1),W	SL11 R/W	SL10 R/W	EIE1 R/W	EIR0 R(RM1),W	SL01 R/W	SL00 R/W	EIE0 R/W	00000000 _B
EIC20 004A _H	EIR1 R(RM1),W	SL11 R/W	SL10 R/W	EIE1 R/W	EIR0 R(RM1),W	SL01 R/W	SL00 R/W	EIE0 R/W	00000000 _B
EIC30 004B _H	EIR1 R(RM1),W	SL11 R/W	SL10 R/W	EIE1 R/W	EIR0 R(RM1),W	SL01 R/W	SL00 R/W	EIE0 R/W	00000000 _B

R/W : リード / ライト可能 (読出し値は書込み値)
R(RM1),W : リード / ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は "1" 読出し)

18.5.1 外部割込み制御レジスタ (EIC00)

外部割込み制御レジスタ (EIC00) は、外部割込み入力に対するエッジ極性の選択と割込み制御を行うレジスタです。

■ 外部割込み制御レジスタ (EIC00)

図 18.5-2 外部割込み制御レジスタ (EIC00)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
EIC00 0048 _H	EIR1	SL11	SL10	EIE1	EIR0	SL01	SL00	EIE0	00000000 _B
EIC10 0049 _H									
EIC20 004A _H									
EIC30 004B _H	R(RM1), W	R/W	R/W	R/W	R(RM1), W	R/W	R/W	R/W	

EIE0	割込み要求許可ビット0	
0	割込み要求出力の禁止	
1	割込み要求出力の許可	

SL01	SL00	エッジ極性選択ビット0
0	0	エッジ検出なし
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

EIR0	外部割込み要求フラグビット0	
	読出し時	書込み時
0	指定エッジが入力されていない	このビットのクリア
1	指定エッジが入力された	変化なし、ほかへの影響なし

EIE1	割込み要求許可ビット1	
0	割込み要求出力の禁止	
1	割込み要求出力の許可	

SL11	SL10	エッジ極性選択ビット1
0	0	エッジ検出なし
0	1	立上りエッジ
1	0	立下りエッジ
1	1	両エッジ

EIR1	外部割込み要求フラグビット1	
	読出し時	書込み時
0	指定エッジが入力されていない	このビットのクリア
1	指定エッジが入力された	変化なし、ほかへの影響なし

R/W : リード/ライト可能 (読出し値は書込み値)
R(RM1), W : リード/ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は"1"読出し)
 : 初期値

表 18.5-1 外部割込み制御レジスタ (EIC00) の各ビットの機能説明

ビット名		機能
bit7	EIR1 : 外部割込み要求 フラグビット 1	<p>外部割込み端子 INT01 にエッジ極性選択ビット (SL11, SL10) で選択されたエッジが入力されたときに "1" に設定されるフラグです。</p> <ul style="list-style-type: none"> このビットと割込み要求許可ビット 1 (EIE1) が "1" のときに割込み要求を出力します。 書込み時は "0" でクリアされ, "1" の書込みは動作に影響を与えません。 リードモディファイライト (RMW) 系命令の読出し時には, "1" が読み出されます。
bit6, bit5	SL11, SL10 : エッジ極性選択 ビット 1	<p>外部割込み端子 INT01 に入力されるパルスの割込み要因となるエッジの極性を選択するビットです。</p> <ul style="list-style-type: none"> これらのビットが "00_B" のとき, エッジ検出は行われず, 割込み要求は発生しません。 これらのビットが "01_B" のときは立上りエッジ, "10_B" のときは立下りエッジ, "11_B" のときは立上りと立下りの両方での検出となります。
bit4	EIE1 : 割込み要求許可 ビット 1	<ul style="list-style-type: none"> 割込みコントローラへの割込み要求出力の許可 / 禁止を行うビットです。このビットと外部割込み要求フラグビット 1 (EIR1) が "1" のとき, 割込み要求を出力します。 外部割込み端子を使用する場合, ポート方向レジスタ (DDR) の対応するビットに "0" を書き込むことにより, 端子を入力に設定してください。 割込み要求許可ビットの状態にかかわらず, 外部割込み端子の状態はポートデータレジスタにより, 直接読み出せます。
bit3	EIR0 : 外部割込み要求 フラグビット 0	<p>外部割込み端子 INT00 にエッジ極性選択ビット (SL01, SL00) で選択されたエッジが入力されたときに "1" に設定されるフラグです。</p> <ul style="list-style-type: none"> このビットと割込み要求許可ビット 0 (EIE0) が "1" のときに割込み要求を出力します。 書込み時は "0" でクリアされ, "1" の書込みは動作に影響を与えません。 リードモディファイライト (RMW) 系命令の読出し時には, "1" が読み出されます。
bit2, bit1	SL01, SL00 : エッジ極性選択 ビット 0	<p>外部割込み端子 INT00 に入力されるパルスの割込み要因となるエッジの極性を選択するビットです。</p> <ul style="list-style-type: none"> これらのビットが "00_B" のとき, エッジ検出は行われず, 割込み要求は発生しません。 これらのビットが "01_B" のときは立上りエッジ, "10_B" のときは立下りエッジ, "11_B" のときは立上りと立下りの両方での検出となります。
bit0	EIE0 : 割込み要求許可 ビット 0	<p>割込みコントローラへの割込み要求出力の許可 / 禁止を行うビットです。このビットと外部割込み要求フラグビット 0 (EIR0) が "1" のとき, 割込み要求を出力します。</p> <ul style="list-style-type: none"> 外部割込み端子を使用する場合, ポート方向レジスタの対応するビットに "0" を書き込むことにより, 端子を入力に設定してください。 割込み要求許可ビットの状態にかかわらず, 外部割込み端子の状態はポートデータレジスタにより, 直接読み出せます。

18.6 外部割込み回路の割込み

外部割込み回路の割込み要因としては、外部割込み端子に入力された信号の指定エッジの検出があります。

■ 外部割込み回路動作時の割込み

外部割込み入力の指定エッジを検出すると、対応する外部割込み要求フラグビット (EIC : EIR0, EIR1) が "1" に設定されます。そのとき、対応する割込み要求許可ビットが許可 (EIC : EIE0, EIE1=1) されていると、割込みコントローラへ割込み要求が発生します。割込み処理ルーチンでは、対応する外部割込み要求フラグビットに "0" を書き込んで割込み要求をクリアしてください。

■ 外部割込み回路の割込みに関連するレジスタとベクタテーブル

表 18.6-1 外部割込み回路の割込みに関連するレジスタとベクタテーブル

割込み要因	割込み 要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
ch.0	IRQ0	ILR0	L00	FFFA _H	FFFB _H
ch.4					
ch.1	IRQ1	ILR0	L01	FFF8 _H	FFF9 _H
ch.5					
ch.2	IRQ2	ILR0	L02	FFF6 _H	FFF7 _H
ch.6					
ch.3	IRQ3	ILR0	L03	FFF4 _H	FFF5 _H
ch.7					

ch : チャンネル

全周辺機能の割込み要求番号 / ベクタテーブルについては「付録 B 割込み要因のテーブル」を参照してください。

18.7 外部割込み回路の動作説明と設定手順例

外部割込み回路の動作を説明します。

■ 外部割込み回路動作時の動作

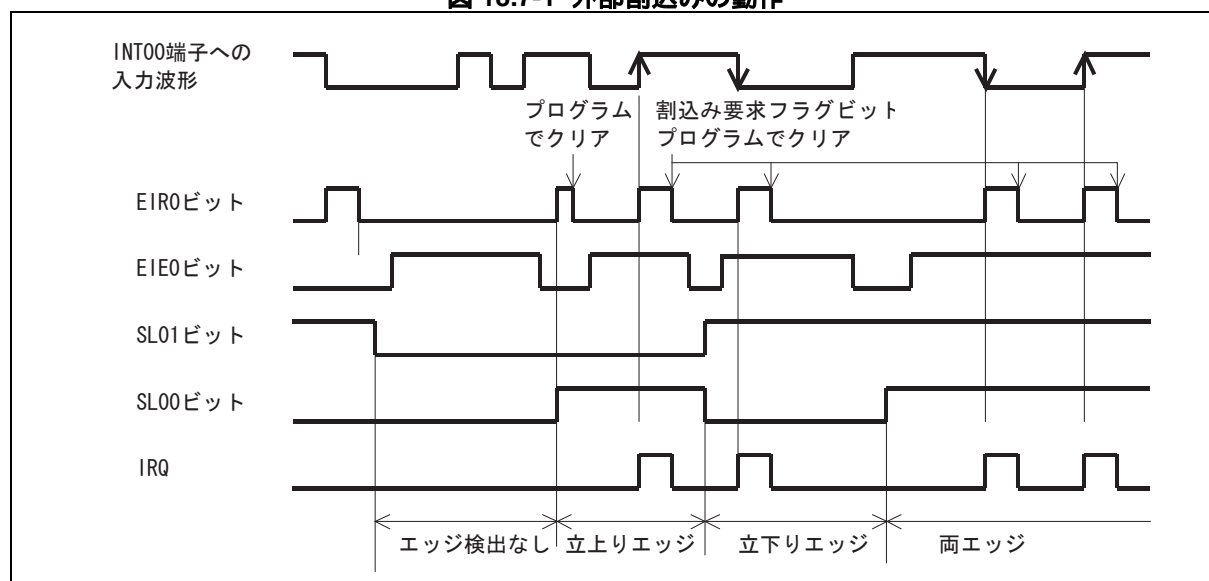
外部割込み端子 (INT00, INT01) より入力された信号のエッジの極性と外部割込み制御レジスタによって選択されたエッジの極性 (EIC : SL00, SL01, SL10, SL11) が一致すると、対応する外部割込み要求フラグビット (EIC : EIR0, EIR1) が "1" に設定されて割込み要求が発生します。

スタンバイモードからの復帰に外部割込みを使用しない場合は、必ず割込み許可ビットを "0" にしてください。

エッジ極性選択ビット (SL) を設定する場合は、誤って割込み要求が発生しないように割込み要求許可ビット (EIE) を "0" に設定してから行ってください。また、エッジ極性変更後は、割込み要求フラグビット (EIR) を "0" にクリアしてください。

図 18.7-1 に、外部割込みの動作を示します。

図 18.7-1 外部割込みの動作



■ 設定手順例

外部割込み回路の設定手順例を以下に示します。

● 初期設定

- 1) 割込みレベルの設定 (ILR0)
- 2) エッジ極性選択 (EIC:SL01, SL00)
- 3) 割込み要求許可 (EIC:EIE0=1)

● 割込み処理

- 1) 割込み要求フラグクリア (EIC:EIR0=0)
- 2) 任意の割込み処理

< 注意事項 >

外部割込み入力が入出力ポートと兼用になっていますので，外部割込み入力として使用する場合は，対応するポート方向レジスタ (DDR) のビットに"0" (入力) を設定してください。

18.8 外部割込み回路使用上の注意

外部割込み回路使用上の注意を説明します。

■ 外部割込み回路使用上の注意

- エッジ極性選択ビット (SL) を設定するには、割込み要求許可ビット (EIE) を "0" (割込み要求禁止) に設定してください。また、エッジ極性を設定後は、外部割込み要求フラグビット (EIR) を "0" (クリア) にしてください。
- 外部割込み要求フラグビットが "1" で割込み要求許可ビットが許可された状態では、割込み処理ルーチンから復帰できません。割込み処理ルーチン中での外部割込み要求フラグビットのクリアを必ず行ってください。

18.9 外部割込み回路のサンプルプログラム

外部割込み回路を動作させるためのサンプルプログラムを提供しています。

■ 外部割込み回路のサンプルプログラム

外部割込み回路のサンプルプログラムについては、「はじめに サンプルプログラム」を参照してください。

■ プログラム例以外の設定方法

● 検出レベルの種類と設定方法

検出レベルの種類は 4 種類：エッジ検出なし、立上り、立下り、両エッジ

検出レベルビット (EIC:SL01, SL00 または EIC:SL11, SL10) にて行います。

動作モード	検出レベルビット (SL01, SL00 または SL11, SL10)
エッジ検出なし	"00 _B " を設定
立上り検出にするには	"01 _B " を設定
立下り検出にするには	"10 _B " を設定
両エッジ	"11 _B " を設定

● 外部割込み端子を使用する方法

対応するデータ方向レジスタ (DDR0) を "0" に設定します。

動作	方向ビット (P00 ~ P07)	設定
INT00 端子を外部割込みに使用するには	DDR0:P00	"0" を設定
INT01 端子を外部割込みに使用するには	DDR0:P01	"0" を設定
INT02 端子を外部割込みに使用するには	DDR0:P02	"0" を設定
INT03 端子を外部割込みに使用するには	DDR0:P03	"0" を設定
INT04 端子を外部割込みに使用するには	DDR0:P04	"0" を設定
INT05 端子を外部割込みに使用するには	DDR0:P05	"0" を設定
INT06 端子を外部割込みに使用するには	DDR0:P06	"0" を設定
INT07 端子を外部割込みに使用するには	DDR0:P07	"0" を設定

● 割込み関連レジスタ

割込みレベルは下表の割込みレベル設定レジスタで設定します。

チャンネル	割込みレベル設定レジスタ	割込みベクタ
ch.0	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#0 アドレス : 0FFFA _H
ch.1	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#1 アドレス : 0FFF8 _H
ch.2	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#2 アドレス : 0FFF6 _H
ch.3	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#3 アドレス : 0FFF4 _H
ch.4	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#0 アドレス : 0FFFA _H
ch.5	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#1 アドレス : 0FFF8 _H
ch.6	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#2 アドレス : 0FFF6 _H
ch.7	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#3 アドレス : 0FFF4 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は、割込み許可ビット (EIC00:EIE0 または EIC00:EIE1) にて行います。

制御	割込み許可ビット (EIE0 または EIE1)
割込み要求を禁止するには	"0" を設定
割込み要求を許可するには	"1" を設定

割込み要求のクリアは、割込み要求ビット (EIC00:EIR0 または EIC00:EIR1) にて行います。

制御	割込み要求ビット (EIR0 または EIR1)
割込み要求をクリアするには	"0" を設定

第 19 章

割込み端子選択回路

割込み端子選択回路の機能と動作について説明します。

- 19.1 割込み端子選択回路の概要
- 19.2 割込み端子選択回路の構成
- 19.3 割込み端子選択回路の端子
- 19.4 割込み端子選択回路のレジスタ
- 19.5 割込み端子選択回路の動作説明
- 19.6 割込み端子選択回路使用上の注意

19.1 割込み端子選択回路の概要

割込み端子選択回路は、複数の周辺機能入力端子の中から割込み入力端子を選択します。

■ 割込み端子選択回路

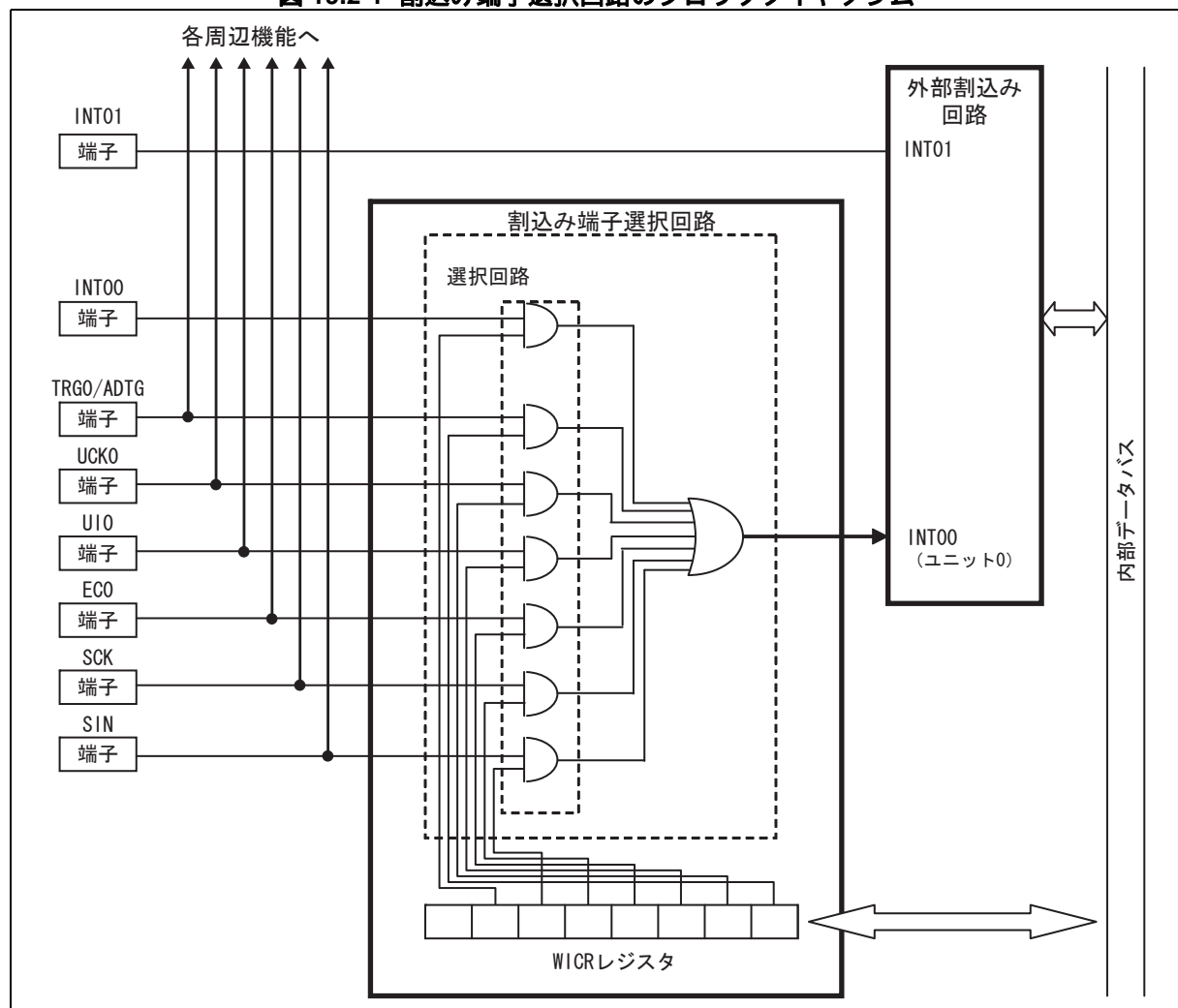
割込み端子選択回路は、複数の周辺機能入力 (TRG0/ADTG, UCK0, UI0, EC0, SCK, SIN, INT00) の中から割込み入力端子を選択します。各周辺機能端子の入力信号は、本回路により選択され、外部割込みの INT00 (ch.0) 入力として扱われます。これにより、各周辺機能端子の入力信号に外部割込み端子としての機能も持たせることができます。

19.2 割込み端子選択回路の構成

図 19.2-1 に、割込み端子選択回路のブロックダイヤグラムを示します。

■ 割込み端子選択回路のブロックダイヤグラム

図 19.2-1 割込み端子選択回路のブロックダイヤグラム



● WICR レジスタ (割込み端子選択回路制御レジスタ)

このレジスタにより、周辺機能入力端子からのどの入力をどの割込み端子として割込み回路へ出力するかを選択します。

● 選択回路

WICR レジスタにて選択された端子からの入力を外部割込み回路 (ch.0) の INT00 入力へ出力する回路です。

19.3 割込み端子選択回路の端子

割込み端子選択回路の端子を示します。

■ 割込み端子選択回路に関連する端子

割込み端子選択回路に関連する周辺機能端子として、TRG0/ADTG, UCK0, UI0, EC0, SCK, SIN, INT00 端子があります。これらの入力 (INT00 を除く) は、各周辺機能へも並行して接続されており、本機能とともに、同時に使用が可能です。各周辺機能と周辺機能入力端子との関係を表 19.3-1 に示します。

表 19.3-1 各周辺機能と周辺機能入力端子との関係

周辺機能入力端子名	周辺機能名
INT00	割込み端子選択回路
TRG0/ ADTG	割込み端子選択回路 16 ビット PPG タイマ (トリガ入力) 8/10 ビット A/D コンバータ (トリガ入力)
UCK0	割込み端子選択回路 UART/SIO (クロック入出力)
UI0	割込み端子選択回路 UART/SIO (データ入力)
EC0	割込み端子選択回路 8/16 ビット複合タイマ (イベント入力)
SCK	割込み端子選択回路 LIN-UART (クロック入出力)
SIN	割込み端子選択回路 LIN-UART (データ入力)

19.4.1 割込み端子選択回路制御レジスタ (WICR)

このレジスタにより，周辺機能入力端子からのどの入力をどの割込み端子として割込み回路へ出力するかを選択します。

■ 割込み端子選択回路制御レジスタ (WICR)

図 19.4-2 割込み端子選択回路制御レジスタ (WICR)

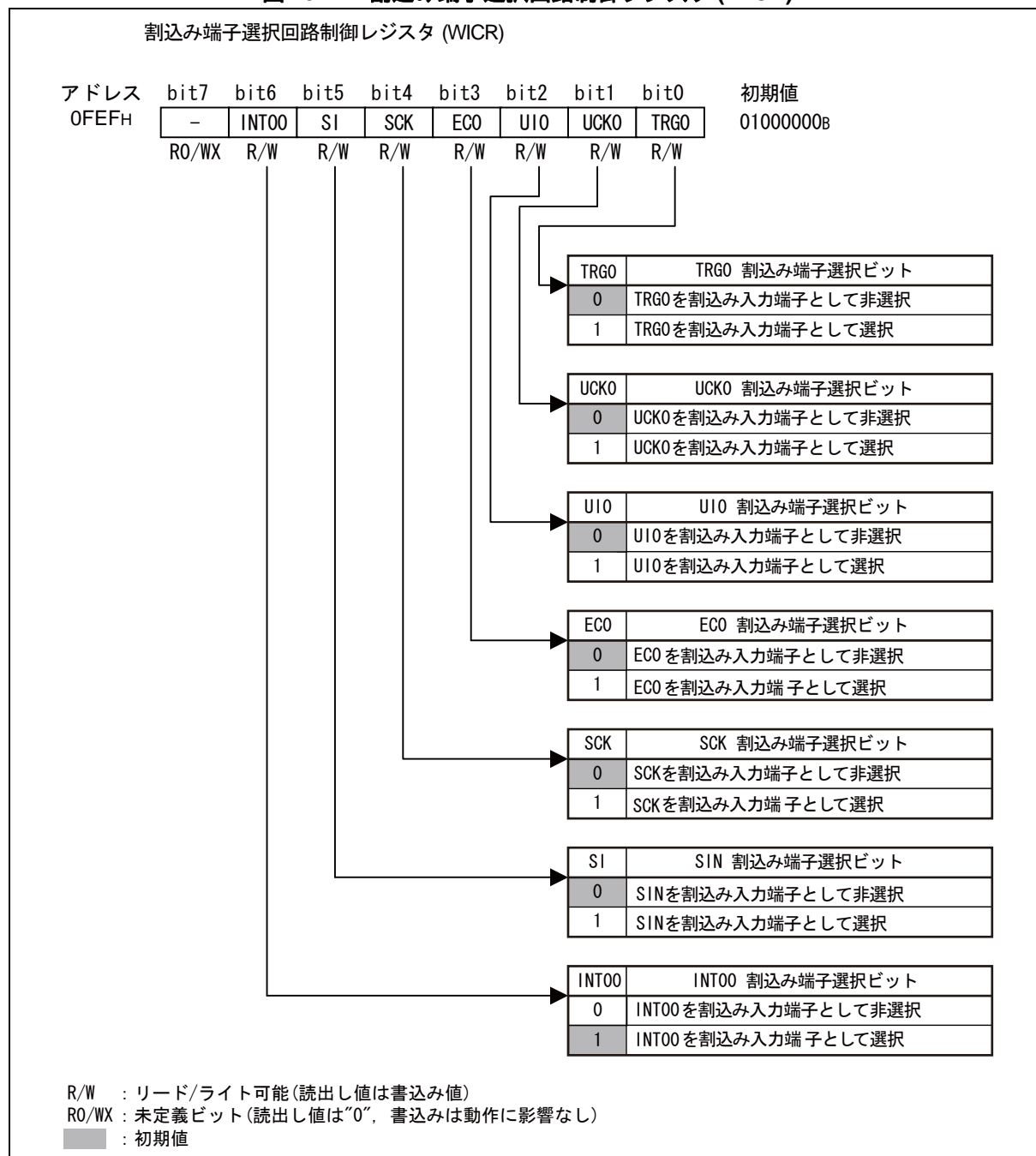


表 19.4-1 割込み端子選択回路制御レジスタ (WICR) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	未定義ビット	未定義ビットです。 • 読出し値は常に "0" です。 • 書込みは動作に影響を与えません。
bit6	INT00 : INT00 割込み端子 選択ビット	このビットにより, INT00 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合: INT00 端子は割込み入力端子として非選択となり, 本回路は INT00 端子への入力を "0" 固定として扱います。 "1" に設定した場合: INT00 端子は割込み入力端子として選択され, 本回路は INT00 端子への入力を外部割込み回路の INT00 (ch.0) へ出力します。このとき, 外部割込み回路の INT00 (ch.0) の動作が許可されていると, INT00 端子への入力信号により外部割込みが発生します。
bit5	SI : SIN 割込み端子選 択ビット	このビットにより, SIN 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合: SIN 端子は割込み入力端子として非選択となり, 本回路は SIN 端子への入力を "0" 固定として扱います。 "1" に設定した場合: SIN 端子は割込み入力端子として選択され, 本回路は SIN 端子への入力を外部割込み回路の INT00 (ch.0) へ出力します。このとき, 外部割込み回路の INT00 (ch.0) の動作が許可されていると, SIN 端子への入力信号により外部割込みが発生します。
bit4	SCK : SCK 割込み端子 選択ビット	このビットにより, SCK 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合: SCK 端子は割込み入力端子として非選択となり, 本回路は SCK 端子への入力を "0" 固定として扱います。 "1" に設定した場合: SCK 端子は割込み入力端子として選択され, 本回路は SCK 端子への入力を外部割込み回路の INT00 (ch.0) へ出力します。このとき, 外部割込み回路の INT00 (ch.0) の動作が許可されていると, SCK 端子への入力信号により外部割込みが発生します。
bit3	EC0 : EC0 割込み端子 選択ビット	このビットにより, EC0 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合: EC0 端子は割込み入力端子として非選択となり, 本回路は EC0 端子への入力を "0" 固定として扱います。 "1" に設定した場合: EC0 端子は割込み入力端子として選択され, 本回路は EC0 端子への入力を外部割込み回路の INT00 (ch.0) へ出力します。このとき, 外部割込み回路の INT00 (ch.0) の動作が許可されていると, EC0 端子への入力信号により外部割込みが発生します。
bit2	UI0 : UI0 割込み端子 選択ビット	このビットにより, UI0 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合: UI0 端子は割込み入力端子として非選択となり, 本回路は UI0 端子への入力を "0" 固定として扱います。 "1" に設定した場合: UI0 端子は割込み入力端子として選択され, 本回路は UI0 端子への入力を外部割込み回路の INT00 (ch.0) へ出力します。このとき, 外部割込み回路の INT00 (ch.0) の動作が許可されていると, UI0 端子への入力信号により外部割込みが発生します。

表 19.4-1 割込み端子選択回路制御レジスタ (WICR) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit1	UCK0 : UCK0 割込み端子 選択ビット	このビットにより、UCK0 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合：UCK0 端子は割込み入力端子として非選択となり、本回路は UCK0 端子への入力を "0" 固定として扱います。 "1" に設定した場合：UCK0 端子は割込み入力端子として選択され、本回路は UCK0 端子への入力を外部割込み回路の INT00 (ch.0) へ出力します。このとき、外部割込み回路の INT00 (ch.0) の動作が許可されていると、UCK0 端子への入力信号により外部割込みが発生します。
bit0	TRG0 : TRG0 割込み端子 選択ビット	このビットにより、TRG0 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合：TRG0 端子は割込み入力端子として非選択となり、本回路は TRG0 端子への入力を "0" 固定として扱います。 "1" に設定した場合：TRG0 端子は割込み入力端子として選択され、本回路は SCK 端子への入力を外部割込み回路の INT00 (ch.0) へ出力します。このとき、外部割込み回路の INT00 (ch.0) の動作が許可されていると、SCK 端子への入力信号により外部割込みが発生します。

MCU スタンバイモード時に、これらのビットが "1" かつ外部割込み回路の INT00 (ch.0) の動作が許可されている場合、選択された端子は入力許可状態となり、端子への有効エッジパルス入力により、MCU はスタンバイモードからウェイクアップします。スタンバイモードについては、「6.8 低消費電力モード (スタンバイモード) の動作」を参照してください。

< 注意事項 >

外部割込み回路の INT00 (ch.0) が動作許可されていない場合、これらのビットに "1" を書き込んでも、各周辺機能端子の入力信号で外部割込みは発生しません。

外部割込み回路の INT00 (ch.0) が動作許可されている場合、これらのビットを書き換えないでください。もし書き換えた場合、該当端子の入力レベルによっては、外部割込み回路が有効エッジを検出してしまうことがあります。

WICR (割込み端子選択回路制御レジスタ) により複数の割込み端子を同時に選択し、かつ外部割込み回路の INT00 (ch.0) の動作が許可 (外部割込み回路の EIC00 レジスタの SL01, SL00 ビットへ "00_B" 以外を設定し、有効エッジを選択するとともに、EIE0 ビットへ "1" を書き込んで割込みを許可する) されている場合、選択された端子はスタンバイモード時においても、割込み受付けのために入力許可状態となります。

19.5 割込み端子選択回路の動作説明

WICR(割込み端子選択回路制御レジスタ) の設定により , 割込み端子を選択します。

■ 割込み端子選択回路の動作

WICR(割込み端子選択回路制御レジスタ) の設定により , 外部割込み回路 (ch.0) の INT00 へ入力される入力端子を選択します。TRG0 端子を割込み端子として選択する場合の割込み端子選択回路と外部割込み回路 (ch.0) の設定手順を下記に示します。

- 1) ポート方向 (DDR) レジスタの対応するビットに "0" を書き込んで端子を入力に設定する
- 2) WICR(割込み端子選択回路制御レジスタ) により TRG0 端子を割込み入力端子として選択する
(WICR レジスタへ "01_H" を書き込む。このとき , 外部割込み回路は外部割込み回路の EIC00 レジスタの EIE0 ビットへ "0" を書き込んで割込み禁止にしておく)。
- 3) 外部割込み回路 (ch.0) に INT00 の動作を許可する
(外部割込み回路の EIC00 レジスタの SL01, SL00 ビットへ "00_B" 以外を設定し , 有効エッジを選択するとともに , EIE0 ビットへ "1" を書き込んで割込みを許可する)。
- 4) 以降の割込み動作は外部割込み回路と同等となる。

リセット解除後 , WICR(割込み端子選択回路制御レジスタ) は "40_H" に初期化され , INT00 ビットのみ割込み端子として選択された状態になります。INT00 端子以外の端子を外部割込み端子として使用する場合は , 本レジスタを書き換えた後に , 外部割込み回路の動作を許可してください。

< 注意事項 >

WICR(割込み端子選択回路制御レジスタ) により , 複数の割込み端子を同時に選択した場合 , それらの端子へ入力された信号のいずれかが "H" のとき , 外部割込み回路の INT00 (ch.0) への入力は "H" として扱われます (選択された端子に入力された信号の "OR" となります)。

19.6 割込み端子選択回路使用上の注意

割込み端子選択回路使用上の注意を以下に示します。

- WICR(割込み端子選択回路制御レジスタ) により複数の割込み端子を同時に選択し、かつ外部割込み回路の INT00 (ch.0) の動作が許可 (外部割込み回路の EIC00 レジスタの SL01, SL00 ビットへ "00_B" 以外を設定し、有効エッジを選択するとともに、EIE0 ビットへ "1" を書き込んで割込みを許可する) されている場合、選択された端子はスタンバイモード時においても、割込み受付けのために入力許可状態となります。
- WICR(割込み端子選択回路制御レジスタ) により、複数の割込み端子を同時に選択した場合、それらの端子へ入力された信号のいずれかが "H" レベルのとき、外部割込み回路の INT00 (ch.0) への入力は "H" レベルとして扱われます (選択された端子に入力された信号の "OR" となります)。

第20章

UART/SIO

UART/SIO の機能と動作について説明します。

- 20.1 UART/SIO の概要
- 20.2 UART/SIO の構成
- 20.3 UART/SIO のチャンネル
- 20.4 UART/SIO の端子
- 20.5 UART/SIO のレジスタ
- 20.6 UART/SIO の割込み
- 20.7 UART/SIO の動作説明と設定手順例
- 20.8 UART/SIO のサンプルプログラム

20.1 UART/SIO の概要

UART/SIO は、汎用のシリアルデータ通信インタフェースです。クロック同期（シンクロナス）またはクロック非同期（アシンクロナス）で、可変データ長のシリアルデータ転送ができます。転送フォーマットは、NRZ 方式で、転送レートは専用ボーレートジェネレータまたは外部クロック（クロック同期のとき）から設定できます。

■ UART/SIO の機能

UART/SIO は、ほかの CPU や周辺装置とシリアルデータの送受信（シリアル入出力）を行う機能があります。

- 全二重ダブルバッファがあり、全二重で双方向通信ができます。
- 同期転送モード（シンクロナス）と非同期転送モード（アシンクロナス）を選択できます。
- 専用のボーレートジェネレータによって最適なボーレートを選択できます。
- データ長は可変で、パリティなしの場合は 5 ビット～ 8 ビット、パリティありの場合は 6 ビット～ 9 ビットの設定ができます（表 20.1-1 を参照）。
- シリアルデータの方向（エンディアン）を選択できます。
- データ転送フォーマットは、NRZ (Non Return to Zero) 方式です。
- 2 種類の動作モード（動作モード 0, 1）があります。
動作モード 0 は、クロック非同期モード (UART) として動作します。
動作モード 1 は、クロック同期モード (SIO) として動作します。

表 20.1-1 UART/SIO の動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	5	6	非同期	1 ビットまたは 2 ビット
	6	7		
	7	8		
	8	9		
1	5	-	同期	-
	6	-		
	7	-		
	8	-		

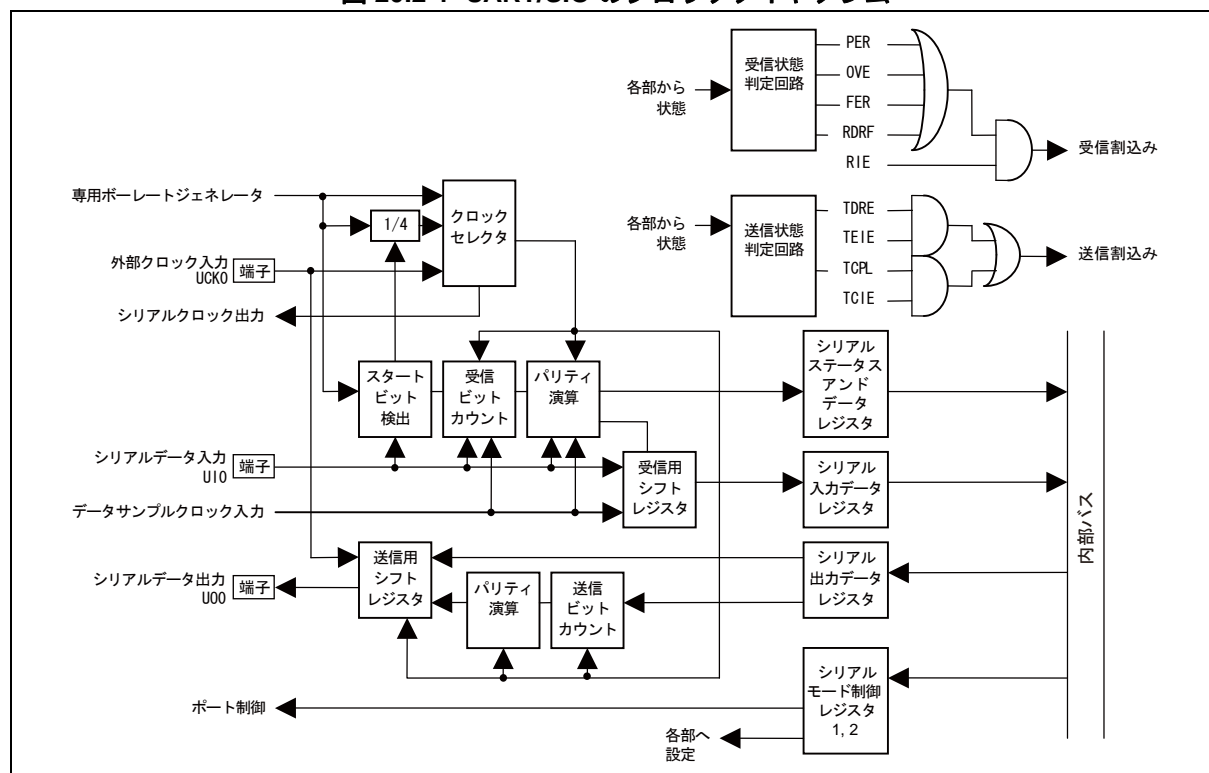
20.2 UART/SIO の構成

UART/SIO は、以下のブロックで構成されています。

- UART/SIO シリアルモード制御レジスタ 1 (SMC10)
- UART/SIO シリアルモード制御レジスタ 2 (SMC20)
- UART/SIO シリアルステータスアンドデータレジスタ (SSR0)
- UART/SIO シリアル入力データレジスタ (RDR0)
- UART/SIO シリアル出力データレジスタ (TDR0)

■ UART/SIO のブロックダイアグラム

図 20.2-1 UART/SIO のブロックダイアグラム



● UART/SIO シリアルモード制御レジスタ 1 (SMC10)

UART/SIO の動作モードを制御するレジスタです。シリアル方向 (エンディアン)、パリティの有無と極性、ストップビット長、動作モード (同期 / 非同期)、データ長およびシリアルクロックを設定します。

● UART/SIO シリアルモード制御レジスタ 2 (SMC20)

UART/SIO の動作モードを制御するレジスタです。シリアルクロック出力の許可 / 禁止、シリアルデータ出力の許可 / 禁止、送信受信の許可 / 禁止、受信エラーフラグクリアおよび割込みの許可 / 禁止を設定します。

● UART/SIO シリアルステータスアンドデータレジスタ (SSR0)

UART/SIO の送受信やエラーの状態を示します。

● UART/SIO シリアル入力データレジスタ (RDR0)

受信データを保持するレジスタです。シリアル入力に変換されてこのレジスタに格納されます。

● UART/SIO シリアル出力データレジスタ (TDR0)

送信データを設定するレジスタです。このレジスタに書き込まれたデータがシリアル変換されて出力されます。

■ 入力クロック

UART/SIO は、専用ボーレートジェネレータからの出力クロック (内部クロック)、または UCK0 端子からの入力信号 (外部クロック) を入力クロック (シリアルクロック) として使用します。

20.3 UART/SIO のチャネル

UART/SIO のチャネルについて説明します。

■ UART/SIO のチャネル

MB95110B/M シリーズは、UART/SIO を 1 チャネル搭載しています。

チャネルと端子およびレジスタの対応を表 20.3-1 および表 20.3-2 に示します。

表 20.3-1 UART/SIO の端子

チャネル	端子名	端子機能
0	UCK0	クロック入出力
	UO0	データ出力
	UI0	データ入力

表 20.3-2 UART/SIO のレジスタ

チャネル	レジスタ名	レジスタ対応 (本マニュアル上の表記)
0	SMC10	UART/SIO シリアルモード制御レジスタ 1
	SMC20	UART/SIO シリアルモード制御レジスタ 2
	SSR0	UART/SIO シリアルステータスアンドデータレジスタ
	TDR0	UART/SIO シリアル出力データレジスタ
	RDR0	UART/SIO シリアル入力データレジスタ

20.4 UART/SIO の端子

UART/SIO に関連する端子を示します。

■ UART/SIO に関連する端子

UART/SIO に関連する端子は、クロック入出力端子 (UCK0)、シリアルデータ出力端子 (UO0) およびシリアルデータ入力端子 (UI0) です。

UCK0 :

UART/SIO のクロック入出力端子です。

クロック出力を許可 (SMC20 : SCKE = 1) すると、対応するポート方向レジスタの値に関係なく、UART/SIO のクロック出力端子 (UCK0) として機能します。このとき、外部クロックは選択しないでください (SMC10 : CKS = 0 に設定)。

UART/SIO のクロック入力端子として使用する場合は、クロック出力を禁止 (SMC20 : SCKE = 0) し、対応するポート方向レジスタによって入力ポートに設定してください。このとき、必ず外部クロックを選択 (SMC10 : CKS = 0 に設定) してください。

UO0 :

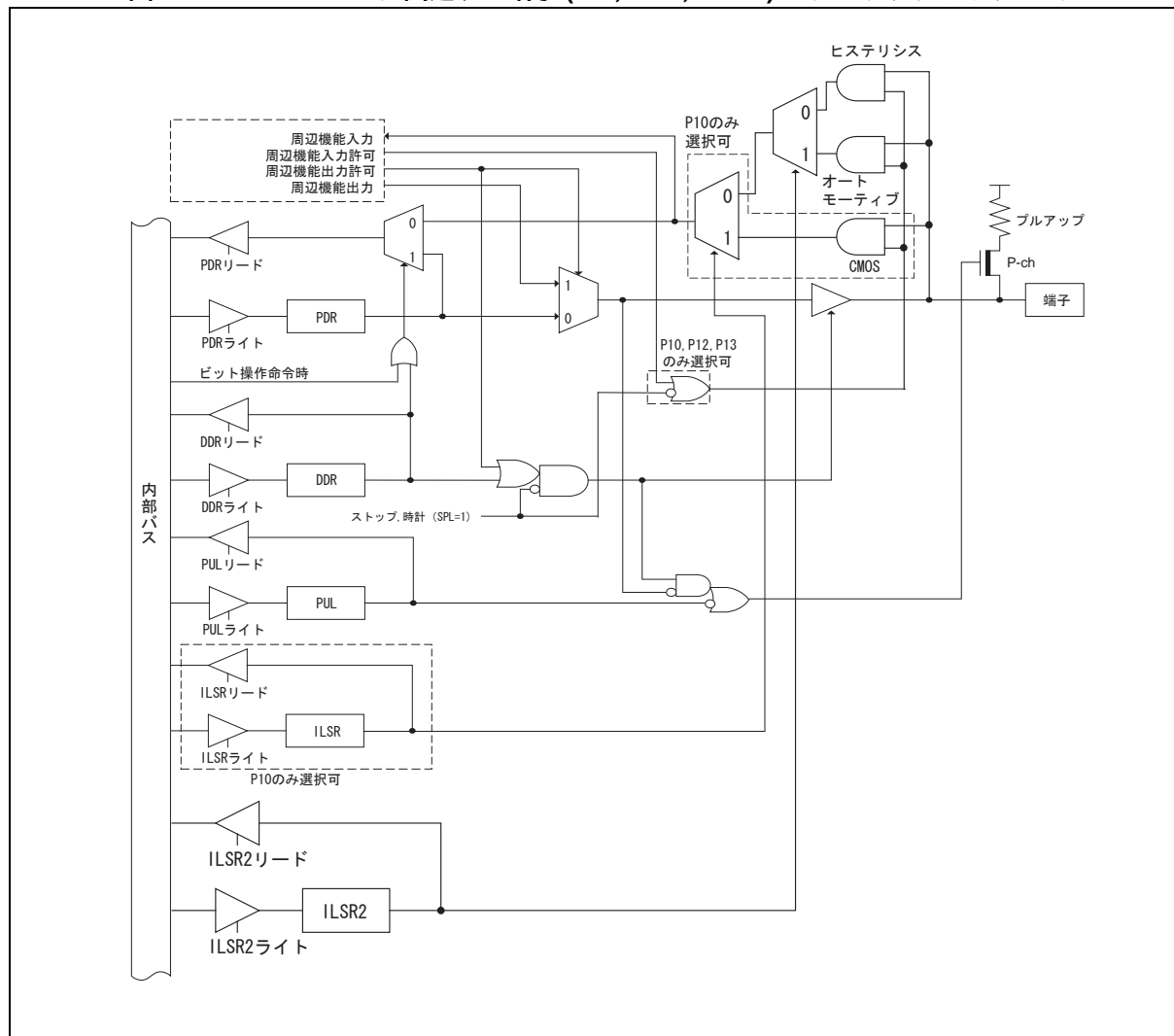
UART/SIO のシリアルデータ出力端子です。シリアルデータ出力を許可 (SMC20 : TXOE = 1) すると、対応するポート方向レジスタの値に関係なく、UART/SIO のシリアルデータ出力端子 (UO0) として機能します。

UI0 :

UART/SIO のシリアルデータ入力端子です。UART/SIO のシリアルデータ入力端子として使用する場合は、対応するポート方向レジスタによって入力ポートに設定してください。

■ UART/SIO に関連する端子のブロックダイアグラム

図 20.4-1 UART/SIO に関連する端子 (UI0, UO0, UCK0) のブロックダイアグラム



20.5 UART/SIO のレジスタ

UART/SIO に関連するレジスタは、UART/SIO シリアルモード制御レジスタ 1 (SMC10)、UART/SIO シリアルモード制御レジスタ 2 (SMC20)、UART/SIO シリアルステータスアンドデータレジスタ (SSR0)、UART/SIO シリアル出力データ (TDR0) および UART/SIO シリアル入力データレジスタ (RDR0) があります。

■ UART/SIO に関連するレジスタ

図 20.5-1 UART/SIO に関連するレジスタ

UART/SIO シリアルモード制御レジスタ 1 (SMC10)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
SMC10 0056 _H	BDS	PEN	TDP	SBL	CBL1	CBL0	CKS	MD	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
UART/SIO シリアルモード制御レジスタ 2 (SMC20)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
SMC20 0057 _H	SCKE	TXOE	RERC	RXE	TXE	RIE	TCIE	TEIE	00100000 _B
	R/W	R/W	R1/W	R/W	R/W	R/W	R/W	R/W	
UART/SIO シリアルステータスアンドデータレジスタ (SSR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
SSR0 0058 _H	-	-	PER	OVE	FER	RDRF	TCPL	TDRE	00000001 _B
	R0/WX	R0/WX	R/WX	R/WX	R/WX	R/WX	R(RM1), W	R/WX	
UART/SIO シリアル出力データレジスタ (TDR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
TDR0 0059 _H	TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
UART/SIO シリアル入力データレジスタ (RDR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
RDR0 005A _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
R/W : リード / ライト可能 (読出し値は書込み値) R(RM1), W : リード / ライト可能 (読出し値と書込み値が異なる , リードモディファイライト (RMW) 系 命令時は "1" 読出し) R/WX : リードオンリ (読出しは可能 , 書込みは動作に影響なし) R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし) R1/W : リード / ライト可能 (読出し値は常に "1")									

20.5.1 UART/SIO シリアルモード制御レジスタ 1 (SMC10)

UART/SIO シリアルモード制御レジスタ 1 (SMC10) は、UART/SIO の動作モードを制御します。シリアル方向 (エンディアン)、パリティの有無と極性、ストップビット長、動作モード (同期 / 非同期)、データ長およびシリアルクロックを設定します。

■ UART/SIO シリアルモード制御レジスタ 1 (SMC10)

図 20.5-2 UART/SIO シリアルモード制御レジスタ 1 (SMC10)

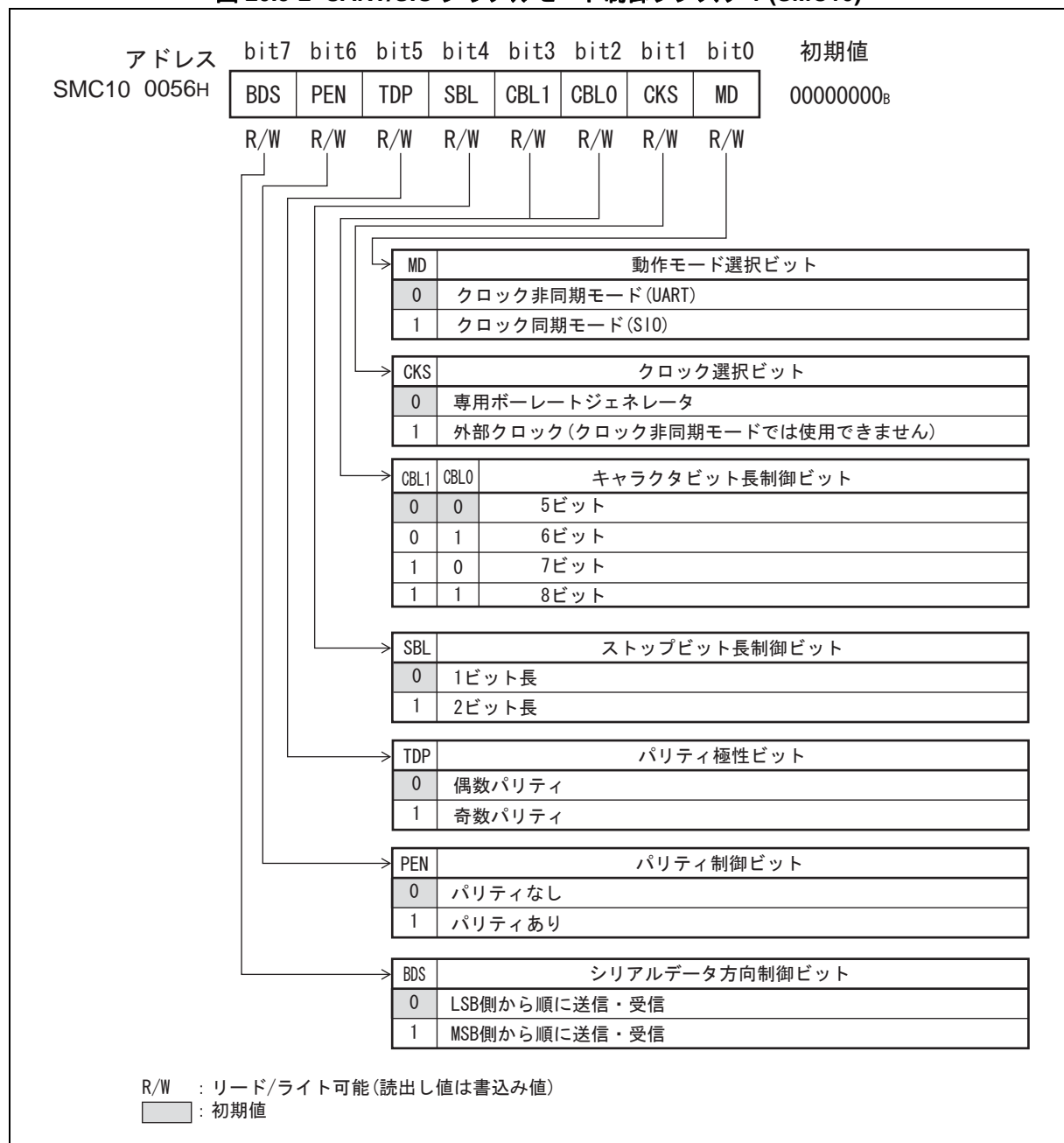


表 20.5-1 UART/SIO シリアルモード制御レジスタ 1 (SMC10) の各ビットの機能説明

ビット名		機能															
bit7	BDS: シリアルデータ 方向制御ビット	シリアルデータの方向 (エンディアン) を設定します。 "0" に設定した場合: シリアルデータレジスタの LSB 側から順に送信・受信します。 "1" に設定した場合: シリアルデータレジスタの MSB 側から順に送信・受信します。															
bit6	PEN: パリティ制御 ビット	クロック非同期モード時, パリティのあり・なしを設定します。 "0" に設定した場合: パリティなし "1" に設定した場合: パリティあり															
bit5	TDP: パリティ極性 ビット	偶数 / 奇数パリティを制御します。 "0" に設定した場合: 偶数パリティ "1" に設定した場合: 奇数パリティ															
bit4	SBL: ストップビット 長制御ビット	クロック非同期モード時のストップビット長を制御します。 "0" に設定した場合: ストップビット長は 1 になります。 "1" に設定した場合: ストップビット長は 2 になります。 (注意事項) 本ビットの制御は非同期モードの送信動作についてのみ有効です。 受信動作については, 本ビットに影響されず, ストップビット (1 ビット) を検出して受信を完了し, 受信データレジスタフルフラグが "1" に設定されます。															
bit3, bit2	CBL1, CBL0: キャラクタビット 長制御ビット	<p>キャラクタビット長を以下の表のように選択します。</p> <table border="1"> <thead> <tr> <th>CBL1</th><th>CBL0</th><th>キャラクタビット長</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>5</td></tr> <tr> <td>0</td><td>1</td><td>6</td></tr> <tr> <td>1</td><td>0</td><td>7</td></tr> <tr> <td>1</td><td>1</td><td>8</td></tr> </tbody> </table> <p>非同期モード / 同期モード共通に有効な設定です。</p>	CBL1	CBL0	キャラクタビット長	0	0	5	0	1	6	1	0	7	1	1	8
CBL1	CBL0	キャラクタビット長															
0	0	5															
0	1	6															
1	0	7															
1	1	8															
bit1	CKS: クロック選択 ビット	外部クロック / 専用ポーレートジェネレータを選択します。 "0" に設定した場合: 専用ポーレートジェネレータが選択されます。 "1" に設定した場合: 外部クロックが選択されます。 (注意事項) 本ビットを "1" に設定した場合は, 強制的に UCK0 端子の出力が禁止されます。 クロック非同期モード (UART) では外部クロックは使用できません。															
bit0	MD: 動作モード選択 ビット	クロック非同期モード (UART) / クロック同期モード (SIO) を選択します。 "0" に設定した場合: クロック非同期モード (UART) となります。 "1" に設定した場合: クロック同期モード (SIO) となります。															

< 注意事項 >

UART/SIO シリアルモード制御レジスタ 1(SMC10) を変更する場合, 送信・受信中の変更はしないでください。

20.5.2 UART/SIO シリアルモード制御レジスタ 2 (SMC20)

UART/SIO シリアルモード制御レジスタ 2 (SMC20) は、UART/SIO の動作モードを制御します。シリアルクロック出力の許可 / 禁止、シリアルデータ出力の許可 / 禁止、送信受信の許可 / 禁止、受信エラーフラグクリアおよび割込みの許可 / 禁止を設定します。

■ UART/SIO シリアルモード制御レジスタ 2 (SMC20)

図 20.5-3 UART/SIO シリアルモード制御レジスタ 2 (SMC20)

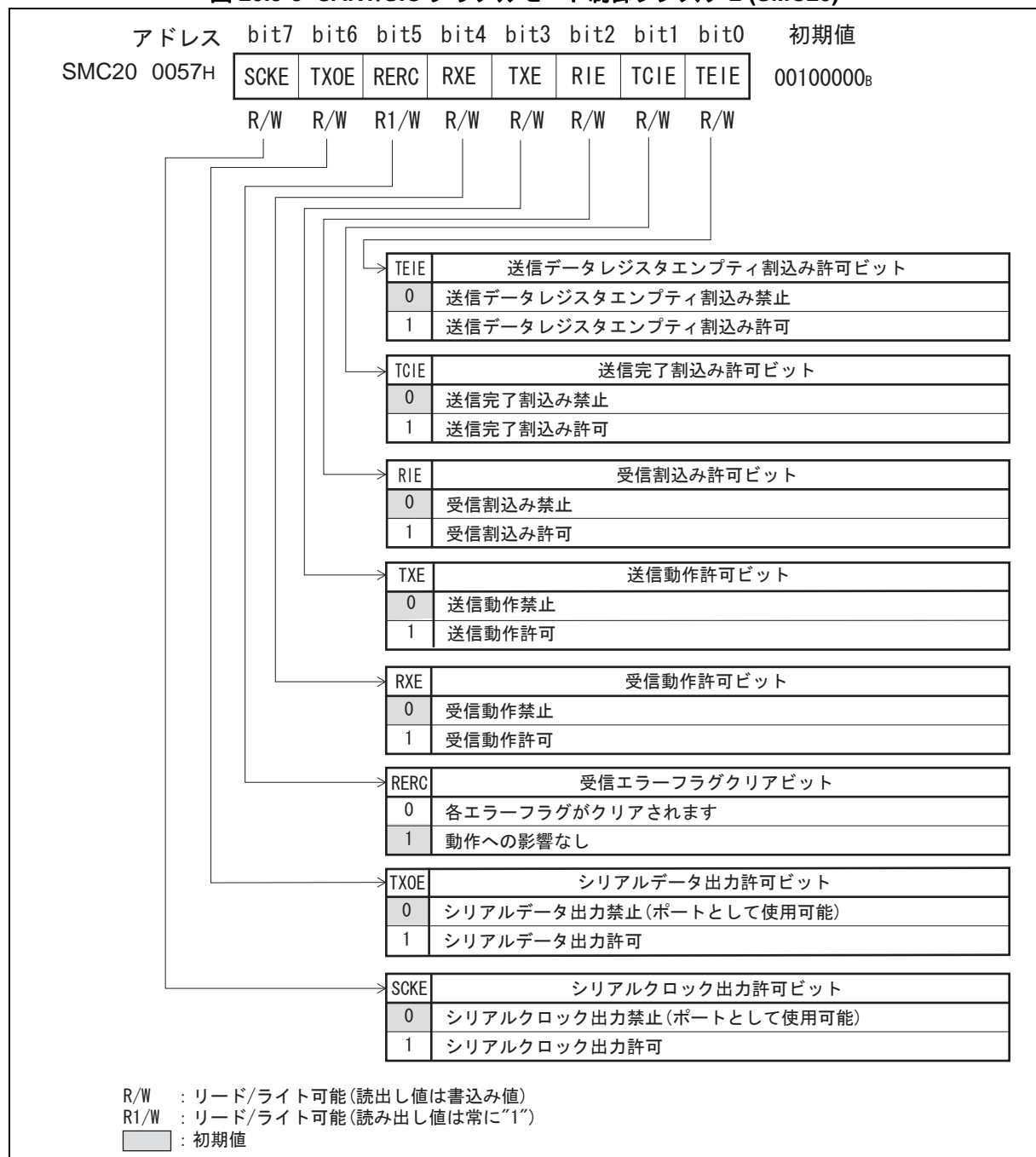


表 20.5-2 UART/SIO シリアルモード制御レジスタ 2 (SMC20) の各ビットの機能説明

ビット名		機能
bit7	SCKE: シリアルクロック 出力許可ビット	クロック同期モード時に、シリアルクロック (UCK0) 端子の入出力を制御します。 "0" に設定した場合：汎用ポートとして使用できます。 "1" に設定した場合：クロック出力許可となります。 (注意事項) CKS=1 のとき、本ビットを "1" に設定しても内部クロックは出力されません。 SMC10:MD が "0" のとき (非同期モード) は、本ビットを "1" に設定するとポートからの出力は常に "H" が出力されることとなります。
bit6	TXOE: シリアルデータ出力 許可ビット	シリアルデータ (UO 端子) の出力を制御します。 "0" に設定した場合：汎用ポートとして使用できます。 "1" に設定した場合：シリアルデータ出力許可となります。
bit5	RERC: 受信エラーフラグ クリアビット	"0" に設定した場合：SSR0 レジスタの各エラーフラグ (PER, OVE, FER) がクリアされます。 "1" に設定した場合：動作に影響を与えません。 このビットの読出しは必ず "1" となります。
bit4	RXE: 受信動作許可ビット	"0" に設定した場合：シリアルデータの受信を禁止します。 "1" に設定した場合：シリアルデータの受信を許可します。 受信動作中にこのビットを "0" にした場合、直ちに受信動作が禁止され、初期化されます。途中まで受信したデータはシリアル入力データレジスタには転送されません。 (注意事項) RXE に "0" を書き込んだとき、初期化されるのは受信動作です。 割込みフラグ (PER, OVE, FRE, RDRF) には影響しません。
bit3	TXE: 送信動作許可ビット	"0" に設定した場合：シリアルデータの送信を禁止します。 "1" に設定した場合：シリアルデータの送信を許可します。 送信動作中にこのビットを "0" に設定した場合、直ちに送信動作は禁止され、初期化されます。送信完了フラグ (TCPL) が "1" に設定され、送信データレジスタエンプティ (TDRE) も "1" に設定されます。
bit2	RIE: 受信割込み許可 ビット	"0" に設定した場合：受信割込みを禁止します。 "1" に設定した場合：受信割込みを許可します。 このビットが "1" (許可) のときに受信データレジスタフル (RDRF) ビットおよび各エラーフラグ (PER, OVE, FER, RDRF) のいずれかが "1" になると、直ちに受信割込みが発生します。
bit1	TCIE: 送信完了割込み許可 ビット	"0" に設定した場合：送信完了フラグによる割込みを禁止します。 "1" に設定した場合：送信完了フラグによる割込みを許可します。 このビットが "1" (許可) のときに送信完了フラグ (TCPL) ビットが "1" になると直ちに送信割込みが発生します。
bit0	TEIE: 送信データレジスタ エンプティ割込み 許可ビット	"0" に設定した場合：送信データレジスタエンプティによる割込みを禁止します。 "1" に設定した場合：送信データレジスタエンプティによる割込みを許可します。 このビットが "1" (許可) のときに送信データレジスタエンプティ (TDRE) ビットが "1" になると、直ちに送信割込みが発生します。

20.5.3 UART/SIO シリアルステータスアンドデータレジスタ (SSR0)

UART/SIO シリアルステータスアンドデータレジスタ (SSR0) は、UART/SIO の送受信やエラーの状態を示します。

■ UART/SIO シリアルステータスアンドデータレジスタ (SSR0)

図 20.5-4 UART/SIO シリアルステータスアンドデータレジスタ (SSR0)

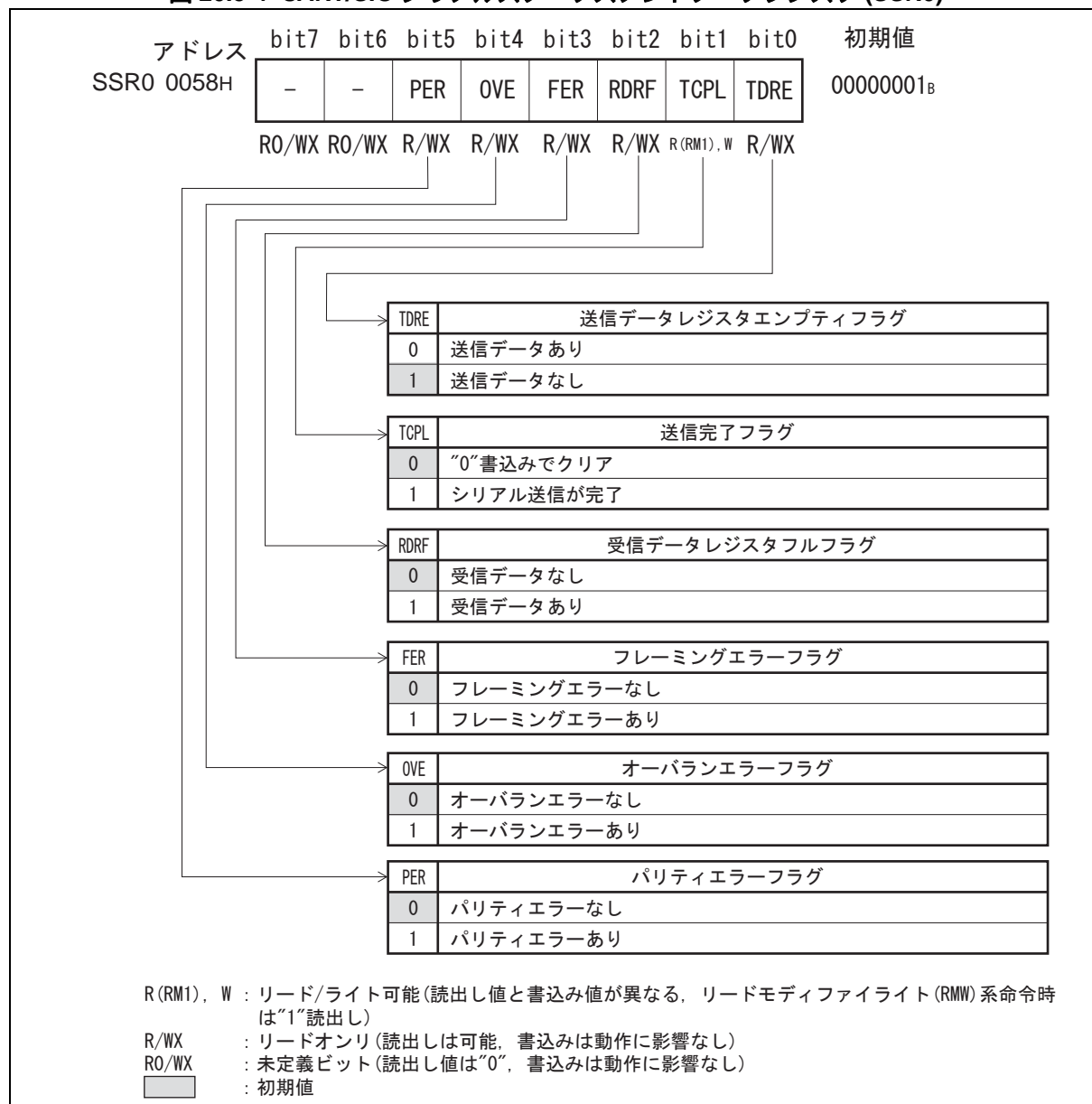


表 20.5-3 UART/SIO シリアルステータスアンドデータレジスタ (SSR0) の各ビットの機能説明

ビット名		機能
bit7, bit6	未定義ビット	未定義ビットです。 ・ このビットの読出し値は常に "0" です。 ・ このビットへの書込みは動作に影響を与えません。
bit5	PER: パリティエラー フラグ	受信データのパリティエラーを検出します。 ・ 受信時にパリティエラーが発生すると設定され、RERC ビットに "0" を書き込むことによってクリアされます。 ・ エラーの検出と RERC によるクリアが同時の場合は、エラーの設定が優先されます。
bit4	OVE: オーバランエラー フラグ	受信データのオーバランエラーを検出します。 ・ 受信時にオーバランエラーが発生すると設定され、RERC ビットに "0" を書き込むことによってクリアされます。 ・ エラーの検出と RERC によるクリアが同時の場合は、エラーの設定が優先されます。
bit3	FER: フレーミングエラー フラグ	受信データのフレーミングエラーを検出します。 ・ 受信時にフレーミングエラーが発生すると設定され、RERC ビットに "0" を書き込むことによってクリアされます。 ・ エラーの検出と RERC によるクリアが同時の場合は、エラーの設定が優先されます。
bit2	RDRF: 受信データレジスタ フルフラグ	シリアル入力データレジスタの状態を示すフラグです。 ・ シリアル入力データレジスタへ受信データがロードされると、"1" に設定されます。 ・ シリアル入力データレジスタのデータを読み出すと、"0" にクリアされます。
bit1	TCPL: 送信完了フラグ	データの送信状態を示すフラグです。 ・ シリアル送信が完了したとき、"1" に設定されます。ただし、連続して送信するデータがシリアル出力データレジスタにある場合、1 回の送信が完了しても、本ビットは "1" に設定されません。 ・ このビットに "0" を書き込むことでクリアされます。 ・ 設定とクリアが同時の場合は、設定が優先されます。 ・ このビットに "1" を書き込んでも、動作に影響を与えません。
bit0	TDRE: 送信データレジスタ エンプティフラグ	シリアル出力データレジスタの状態を示すフラグです。 ・ シリアル出力レジスタへ送信データを書き込むと、"0" に設定されます。 ・ 送信用シフトレジスタにロードされて送信が開始されると、"1" に設定されます。

20.5.4 UART/SIO シリアル入力データレジスタ (RDR0)

UART/SIO シリアル入力データレジスタ (RDR0) は、シリアルデータの入力 (受信) 用レジスタです。

■ UART/SIO シリアル入力データレジスタ (RDR0)

図 20.5-5 に、UART/SIO シリアル入力データレジスタ (RDR0) を示します。

図 20.5-5 UART/SIO シリアル入力データレジスタ (RDR0)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
RDR0 005A _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	

R/WX : リードオンリ (読出しは可能, 書込みは動作に影響なし)

受信したデータが格納されます。シリアルデータ入力端子 (UI0 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、このレジスタに格納されます。

受信データが正常にこのレジスタに設定されると、受信データレジスタフル (RDRF) フラグが "1" に設定されます。このとき、受信割込み要求が許可されていれば割込みが発生します。このレジスタの内容を読み出すことにより、RDRF フラグが "0" にクリアされます。

キャラクタビット長 (CBL1, CBL0) を 8 ビット未満に設定した場合、不要となる上位のビット (設定したビット長以外のビット) は "0" になります。

20.5.5 UART/SIO シリアル出力データレジスタ (TDR0)

UART/SIO シリアル出力データレジスタ (TDR0) は、シリアルデータの出力 (送信) 用レジスタです。

■ UART/SIO シリアル出力データレジスタ (TDR0)

図 20.5-6 に、UART/SIO シリアル出力データレジスタ (TDR0) を示します。

図 20.5-6 UART/SIO シリアル出力データレジスタ (TDR0)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
TDR0 0059 _H	TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書き込み値)

送信するデータを書き込みます。送信データレジスタエンプティ (TDRE) ビットが "1" の場合、書き込みができます。"0" の場合、書き込みは無視されます。

既に送信データが書き込まれて TDRE が "0" のときに、このレジスタを更新する場合は (シリアルモード制御レジスタ 2 の TXE が "1" または "0" のときにかかわらず) TXE に "0" を書き込むことにより送信動作が初期化され、TDRE が "1" となり、このレジスタの更新が可能になります。また、送信が開始されていないとき (TDR に送信データを書き込んで、TXE をまだ "1" に設定していないとき) に TXE に "0" を書き込む場合は、TCPL は "1" に設定されません。送信データが送信用シフトレジスタに転送され、シリアルデータに変換されてシリアルデータ出力端子から送信されます。

送信データが UART/SIO シリアル出力データレジスタ (TDR0) に書き込まれると、送信データレジスタエンプティビット (TDRE) は "0" に設定されます。送信用シフトレジスタに送信データの転送が終了すれば、送信データレジスタエンプティビット (TDRE) は "1" に設定され、次の送信用データを書き込むことができます。このとき、送信データレジスタエンプティ割込みが許可されていれば割込みが発生します。次の送信データの書き込みは、送信データレジスタエンプティの発生のあるときに行うか、送信データエンプティ (TDRE) ビットが "1" のときに行ってください。

キャラクタビット長 (CBL1, CBL0) を 8 ビット未満に設定した場合、上位のビット (設定したビット長以外のビット) は無視されます。

< 注意事項 >

シリアルステータスアンドデータレジスタの TDRE が "0" のとき、このレジスタのデータは更新できません。

既に送信データが書き込まれ、TDRE が "0" のときに、このレジスタを更新する場合は (シリアルモード制御レジスタ 2 の TXE が "1" または "0" のときにかかわらず) TXE に "0" を書き込むことにより送信動作が初期化され、TDRE が "1" となり、このレジスタの更新が可能になります。また、送信が開始されていないとき (TDR0 に送信データを書き込んで、TXE をまだ "1" に設定していないとき) に TXE に "0" を書き込む場合は、TCPL は "1" に設定されません。また、データを変更する場合は、TXE=0 を書き込むことにより、一度 TDRE を "1" にしてから書き込んでください。

20.6 UART/SIO の割込み

UART/SIO には、割込みに関連したエラーフラグビット (PER, OVE, FER), 受信データレジスタフルビット (RDRF), 送信データレジスタエンプティビット (TDRE) および送信完了フラグ (TCPL) の 6 つのビットがあります。

■ UART/SIO の割込み

表 20.6-1 に、UART/SIO の割込み制御ビットと割込み要因を示します。

表 20.6-1 UART/SIO の割込み制御ビットと割込み要因

項目	説明					
割込み要求フラグビット	SSR0 : TDRE	SSR0 : TCPL	SSR0 : RDRF	SSR0 : PER	SSR0 : OVE	SSR0 : FER
割込み要求許可ビット	SMC20 : TEIE	SMC20 : TCIE	SMC20 : RIE	SMC20 : RIE	SMC20 : RIE	SMC20 : RIE
割込み要因	送信データレジスタエンプティ	送信完了	受信データレジスタフル	パリティエラー	オーバランエラー	フレーミングエラー

■ 送信割込み

送信データがシリアル出力データレジスタ (TDR0) に書き込まれると、書き込まれたデータが送信用シフトレジスタに転送されます。次のデータの書込みが可能な状態になると、TDRE ビットが "1" に設定されます。送信データレジスタエンプティ割込み許可ビットが許可 (SMC20 : TEIE = 1) されていると、割込みコントローラへの割込み要求が発生します。また、すべての送信データの送信が完了すると、TCPL ビットが "1" に設定されます。このとき、送信完了割込み許可ビットが許可 (SMC20 : TCIE = 1) されていると、割込みコントローラへの割込み要求が発生します。

■ 受信割込み

ストップビットまで正常にデータが入力されると RDRF ビットが "1" に設定されます。また、オーバラン・パリティ・フレーミングエラーが発生した場合には、各エラーフラグビット (PER, OVE, FER) が "1" に設定されます。

これらのビットは、ストップビット検出時に設定され、受信割込み許可ビットが許可 (SMC20 : RIE = 1) されていると、割込みコントローラへの割込み要求が発生します。

全周辺機能の割込み要求番号 / ベクタテーブルについては、「第 8 章 割込み」を参照してください。

■ UART/SIO の割込みに関連するレジスタとベクタテーブル

表 20.6-2 UART/SIO の割込みに関連するレジスタとベクタテーブル

割込み要因	割込み要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
ch.0	IRQ4	ILR1	L04	FFF2 _H	FFF3 _H

20.7 UART/SIO の動作説明と設定手順例

UART/SIO には , シリアル通信機能 (動作モード 0, 1) があります。

■ UART/SIO の動作

● 動作モード

UART/SIO には , 2 種類の動作モードがあります。クロック同期 (SIO) とクロック非同期 (UART) を選択できます (表 20.7-1 を参照)。

表 20.7-1 UART/SIO の動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	5	6	非同期	1 ビットまたは 2 ビット
	6	7		
	7	8		
	8	9		
1	5	-	同期	-
	6	-		
	7	-		
	8	-		

■ 設定手順例

UART/SIO の設定手順例を以下に示します。

● 初期設定

- 1) ポートの入力設定 (DDR1)
- 2) 割込みレベルの設定 (ILR1)
- 3) プリスケアラ設定 (PSSR0)
- 4) ボーレート設定 (BRSR0)
- 5) クロック選択 (SMC10:CKS)
- 6) 動作モード設定 (SMC10:MD)
- 7) シリアルクロック出力の許可 / 禁止 (SMC20:SCKE)
- 8) 受信動作許可 (SMC20:RXE=1)
- 9) 割込み許可 (SMC20:RIE=1)

● 割込み処理

受信データの読出し (RDR0)

20.7.1 動作モード 0 の動作説明

動作モード 0 は、クロック非同期モード (UART) として動作します。

■ UART/SIO の動作モード 0 の動作説明

UART/SIO シリアルモード制御レジスタ 1(SMC10) の MD ビットを "0" に設定すると、クロック非同期モード (UART) が選択されます。

● ボーレート

シリアルクロックは、SMC10 レジスタの CKS ビットで選択します。このとき、専用ボーレートジェネレータを必ず選択してください。

ボーレートは専用ボーレートジェネレータの出力クロック周波数の 4 分周になります。UART は選択されたボーレートの - 2% から + 2% までの範囲で通信可能です。

専用ボーレートジェネレータによるボーレート算出式を以下に示します (専用ボーレートジェネレータについては、「第 21 章 UART/SIO 専用 ボーレート ジェネレータ」も参照)。

図 20.7-1 専用ボーレートジェネレータ使用時のボーレート算出

$$\text{ボーレート値} = \frac{\text{マシクロック (MCLK)}}{4 \times \begin{matrix} 1 \\ 2 \\ 4 \\ 8 \end{matrix} \times \begin{matrix} 2 \\ : \\ 255 \end{matrix}} \quad [\text{bps}]$$

UART プリスケアラ選択レジスタ (PSSR0) プリスケアラ選択 (PSS1, PSS0)

UART ボーレート設定レジスタ (BRSR0) ボーレート設定 (BRS7 ~ BRS0)

表 20.7-2 専用ボーレートジェネレータによる非同期時転送レートの例
(マシクロック：10MHz, 16MHz, 16.25MHz の場合)

専用ボーレートジェネレータの設定		UART 内部分周	トータル分周比 (PSS × BRS × 4)	ボーレート (10MHz ÷ トータル 分周比)	ボーレート (16MHz ÷ トータル 分周比)	ボーレート (16.25MHz ÷ トータル 分周比)
プリスケアラ 選択 PSS[1:0]	ボーレート カウンタ設定 BRS[7:0]					
1 (設定値 :0, 0)	20	4	80	125000	200000	203125
1 (設定値 :0, 0)	22	4	88	113636	181818	184659
1 (設定値 :0, 0)	44	4	176	56818	90909	92330
1 (設定値 :0, 0)	87	4	348	28736	45977	46695
1 (設定値 :0, 0)	130	4	520	19231	30769	31250
2 (設定値 :0, 1)	130	4	1040	9615	15385	15625
4 (設定値 :1, 0)	130	4	2080	4808	7692	7813
8 (設定値 :1, 1)	130	4	4160	2404	3846	3906

また，クロック非同期モードにおけるボーレート設定が可能な範囲は以下のとおりです。

表 20.7-3 クロック非同期モードにおけるボーレート設定可能範囲

PSS[1:0]	BRS[7:0]
00 _B ~ 11 _B	02 _H (2) ~ FF _H (255)

● 転送データフォーマット

UART は，NRZ(Non Return to Zero) 形式のデータのみを扱えます。図 20.7-2 に，転送データフォーマットを示します。

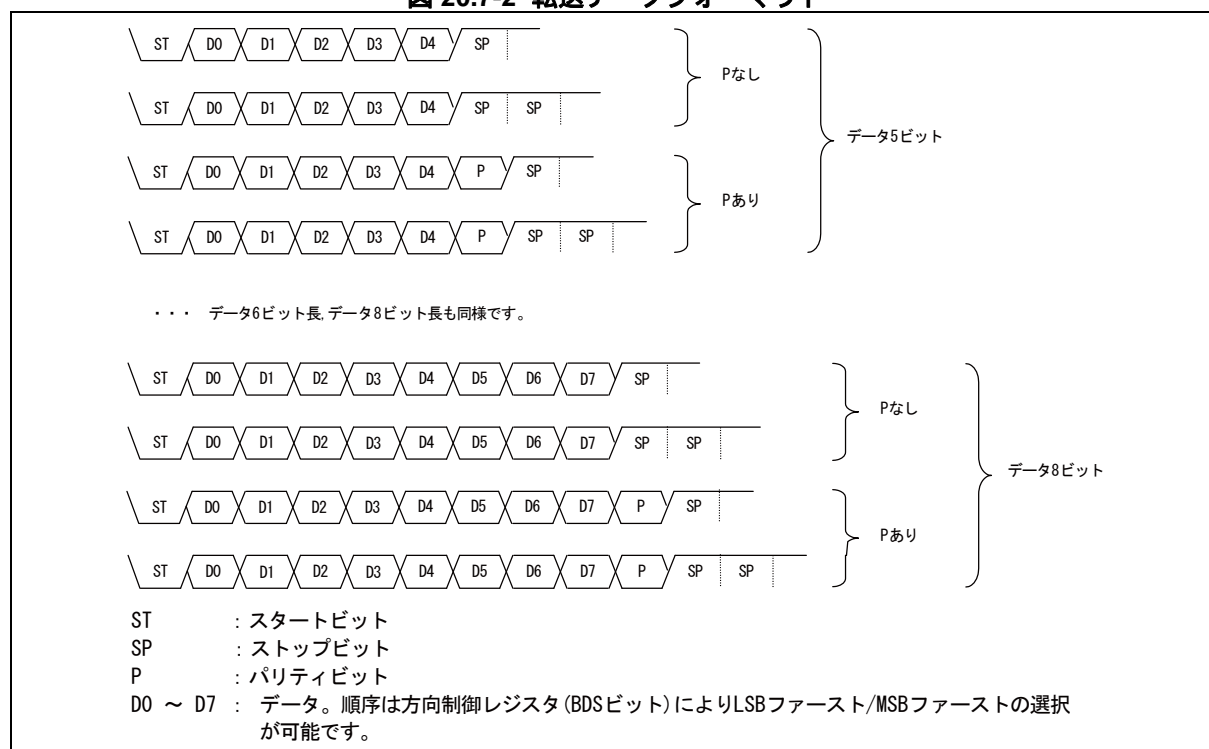
キャラクタビット長は，CBL1, CBL0 の設定により 5 ビット～ 8 ビットを選択できます。

ストップビット長は SBL の設定により 1 ビットもしくは 2 ビットに設定できます。

パリティの有無，パリティの極性は PEN, TDP により設定できます。

図 20.7-2 に示すように，転送データは必ずスタートビット ("L" レベル) より始まり，MSB ファーストもしくは LSB ファースト (BDS ビットで，LSB ファースト/MSB ファーストの選択可能) で指定されたデータビット長転送が行われ，ストップビット ("H" レベル) で終了します。アイドル時は "H" レベルになります。

図 20.7-2 転送データフォーマット



● クロック非同期モード (UART) の受信動作

UART/SIO シリアルモード制御レジスタ 1(SMC10) により、シリアルデータの方向 (エンディアン)、パリティの有無、パリティの極性、ストップビット長、キャラクタビット長およびクロックを選択します。

受信動作許可ビット (RXE) が "1" に設定されていると常に受信動作が行われます。

受信動作許可ビット (RXE) が "1" の場合、受信データのスタートビットを検出すると、UART/SIO シリアル制御レジスタ 1(SMC10) に設定されているデータフォーマットに従って 1 フレームのデータを受信します。

1 フレームのデータ受信が完了すると、受信データを UART/SIO シリアル入力データレジスタ (RDR0) に転送し、次のシリアルデータの受信が可能になります。

UART/SIO シリアル入力データレジスタ (RDR0) にデータが格納されると、受信データレジスタフル (RDRF) が "1" に設定されます。

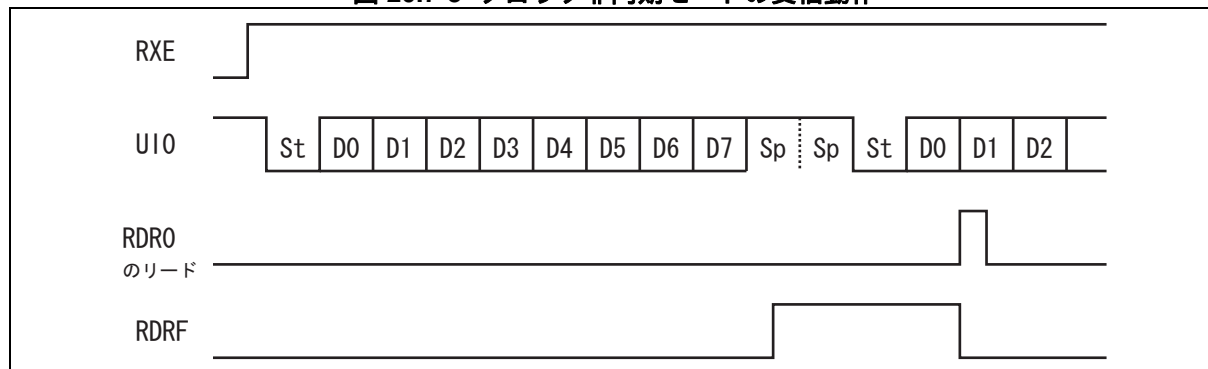
受信割込み許可ビット (RIE) が "1" に設定されている場合には、受信データレジスタフル (RDRF) が "1" に設定されると受信割込みが発生します。

受信データを読み出す場合は、UART/SIO シリアルステータスアンドデータレジスタの各エラーフラグ (PER, OVE, FER) を確認し、UART/SIO シリアル入力データレジスタ (RDR0) を読み出します。

受信データが UART/SIO シリアル入力データレジスタ (RDR0) から読み出されると、受信データレジスタフル (RDRF) が "0" にクリアされます。

なお、受信動作中に UART/SIO シリアルモード制御レジスタ 1(SMC10) が変更された場合の動作は保証されません。また、受信動作中に RXE ビットを "0" にした場合、直ちに受信動作が禁止され、初期化されます。途中まで受信したデータはシリアル入力データレジスタには転送されません。

図 20.7-3 クロック非同期モードの受信動作



● クロック非同期モード (UART) 時の受信エラー

以下の 3 つのエラー (PER, FER, OVE) があるときは、受信データは UART/SIO シリアル入力データレジスタ (RDR0) に転送されず、受信データレジスタフル (RDRF) も "1" に設定されません。

• パリティエラー (PER)

パリティ制御ビット (PEN) が "1" に設定されている場合、受信シリアルデータのパリティビットがパリティ極性ビット (TDP) と異なったとき、パリティエラー (PER) が "1" に設定されます。

• フレーミングエラー (FER)

設定されているキャラクタビット長 (CBL)、パリティ制御 (PEN) により、シリアルデータの受信を行った結果、シリアルデータの最初のストップビットの位置に "1" を検出しなかった場合、フレーミングエラー (FER) が "1" に設定されます。
なお、2 ビット目以降のストップビットに対してはチェックを行いません。

• オーバランエラー (OVE)

シリアルデータの受信が完了したとき、前回の受信データが読み出される前に次の受信が行われた場合、オーバランエラー (OVE) が "1" に設定されます。

また、各フラグは最初のストップビットの位置で設定されます。

図 20.7-4 受信エラーのセットタイミング



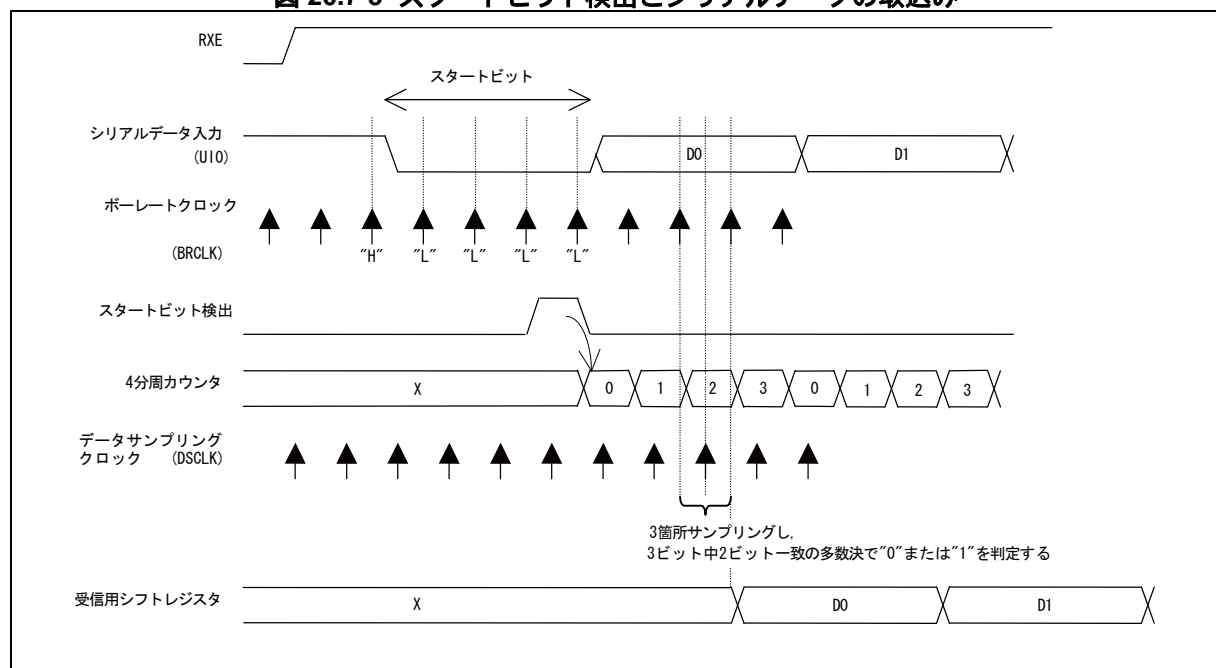
● 受信動作時のスタートビットの検出と受信データの確定

受信動作許可ビット (RXE) が "1" に設定されてから専用ボーレートジェネレータのクロック (BRCLK) によってシリアルデータ入力をサンプリングし、シリアル入力の立下りと連続した 3 回の "L" によりスタートビットは検出されます。したがって、BRCLK のサンプリングにおいて、最初に "H", "L", "L", "L" が検出されたとき、そのビットをスタートビットと見なします。

スタートビット検出から 4 分周回路を起動し、BRCLK の 4 周期ごとにシリアルデータを受信用シフトレジスタに取り込みます。

データの受信は、ボーレートクロック (BRCLK) とデータサンプリングクロック (DSCLK) の 3 箇所サンプリングして 3 ビット中 2 ビット一致の多数決で受信データを確定します。

図 20.7-5 スタートビット検出とシリアルデータの取込み



● クロック非同期モードの送信動作

UART/SIO シリアルモード制御レジスタ 1(SMC10) により、シリアルデータの方向 (エンディアン)、パリティの有無、パリティの極性、ストップビット長、キャラクタビット長およびクロックを選択します。

送信動作の起動は次の 2 種類の手順で行えます。

- 送信動作許可ビット (TXE) を "1" に設定してからシリアル出力データレジスタへ送信データを書き込むことによって送信を開始する。
- シリアル出力データレジスタに送信データを書き込んだ後、送信動作許可ビット (TXE) を "1" に設定することによって送信を開始する。

送信データは、送信データレジスタエンプティ (TDRE) が "1" になっていることを確認してから、UART/SIO シリアル出力データレジスタ (TDR0) に書き込みます。

送信データが UART/SIO シリアル出力データレジスタ (TDR0) に書き込まれると、送信データレジスタエンプティ (TDRE) が "0" に設定されます。

送信データが UART/SIO シリアル出力データレジスタ (TDR0) から送信用シフトレジスタに転送され、送信データレジスタエンプティ (TDRE) が "1" に設定されます。

送信割込み許可ビット (TIE) を "1" に設定している場合は、送信データレジスタエンプティ (TDRE) が "1" に設定されると送信割込みが発生します。これにより、割込み処理において次の送信データを UART/SIO シリアル出力データレジスタ (TDR0) に書き込むことができます。

シリアル送信が完了したことを送信割込みによって検知する場合は送信完了割込み許可ビットの設定を TEIE=0, TCIE=1 にしてください。送信が完了すると送信完了フラグ (TCPL) が "1" に設定されて送信割込みが発生します。

送信完了フラグ (TCPL) と連続で送信する場合の送信データレジスタエンプティフラグ (TDRE) は、以下の図 20.7-6 に示すように、最終ビットの送信が完了した位置 (データ長、パリティ許可、ストップビット長設定により異なる) において設定されます。

送信動作中に UART/SIO シリアルモード制御レジスタ 1(SMC10) が変更された場合の動作は保証されません。

図 20.7-6 クロック非同期モード (UART) の送信動作



TDRE は、前の送信データが送信シフトレジスタにない場合は、以下の図の位置で設定されます。

図 20.7-7 送信データレジスタエンプティフラグ (TDRE) のセットタイミング 1(TXE が "1" の場合)

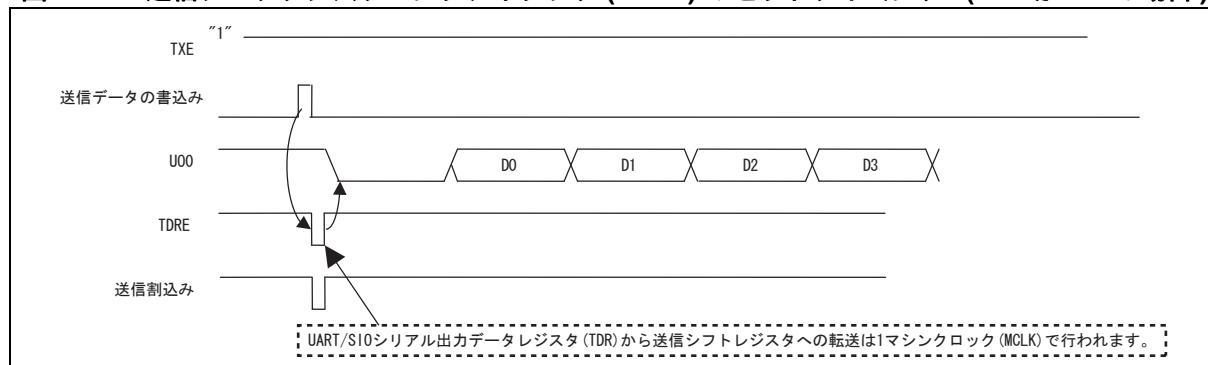
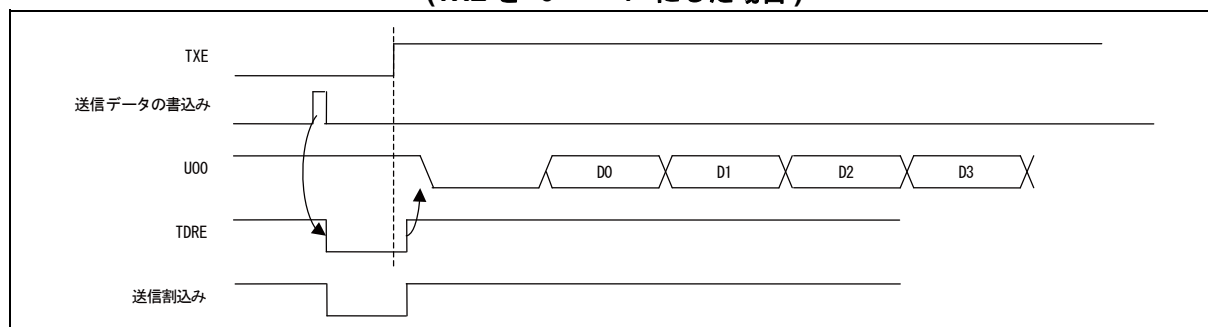


図 20.7-8 送信データレジスタエンプティフラグ (TDRE) のセットタイミング 2
(TXE を "0" "1" にした場合)



● 送受信同時動作

クロック非同期モード (UART) では、送信と受信は独立して動作できます。したがって、送信と受信が同時、または位相がずれて送信フレームと受信フレームが重なり合う場合であっても動作します。

20.7.2 動作モード 1 の動作説明

動作モード 1 は、クロック同期モードとして動作します。

■ UART/SIO の動作モード 1 の動作説明

UART/SIO シリアルモード制御レジスタ 1(SMC10) の MD ビットを "1" に設定するとクロック同期モード (SIO) が選択されます。

クロック同期モード (SIO) でのキャラクタビット長は 5 ビット ~ 8 ビットの変長になります。

ただし、パリティは禁止、ストップビットはなしになります。

シリアルクロックは、SMC10 レジスタの CKS ビットで選択します。専用ボーレートジェネレータか外部クロックかを選択します。SIO は選択されたシリアルクロックをシフトクロックとしてシフト動作を行います。

外部クロックを入力するときは、SCKE ビットは "0" にしてください。

専用ボーレートジェネレータの出力をシフトクロックとして出力するときは、SCKE ビットを "1" にしてください。この場合のシリアルクロックは、専用ボーレートジェネレータからのクロックを 2 分周して作られます。SIO モードにおけるボーレート設定が可能な範囲は以下のとおりです (専用ボーレートジェネレータについては、「第 21 章 UART/SIO 専用 ボーレート ジェネレータ」の章も参照)。

表 20.7-4 SIO モードにおけるボーレート設定可能範囲

PSS[1:0]	BRS[7:0]
00 _B ~ 11 _B	01 _H (1) ~ FF _H (255), 00 _H (256) (最速となる設定は 01 _H 最も遅い設定は 00 _H です)

図 20.7-9 に、外部クロックによるボーレート算出式を、図 20.7-10 に、専用ボーレートジェネレータ使用時のボーレート算出式を示します。

図 20.7-9 外部クロックによるボーレート算出式

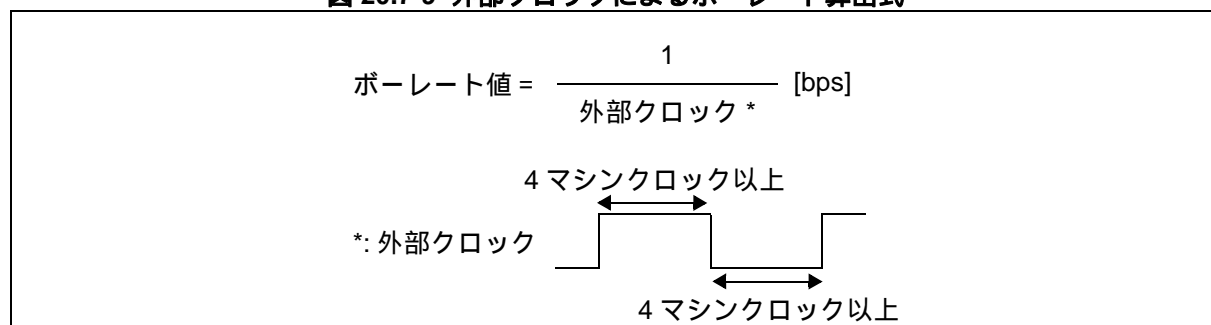


図 20.7-10 専用ボーレートジェネレータ使用時のボーレート算出式

$$\text{ボーレート値} = \frac{\text{マシクロック (MCLK)}}{2 \times \begin{matrix} 1 \\ 2 \\ 4 \\ 8 \end{matrix} \times \begin{matrix} 1 \\ : \\ 256 \end{matrix}} \quad [\text{bps}]$$

UART プリスケアラ選択レジスタ (PSSR0)
プリスケアラ選択 (PSS1, PSS0)

UART ボーレート設定レジスタ (BRSR0)
ボーレート設定 (BRS7 ~ BRS0)

● シリアルクロックについて

シリアルクロックは送信データの出力の制御に合わせて出力されます。そのため、受信のみ行う場合であっても、送信制御 (TXE=1) を設定してダミーの送信データをシリアル出力レジスタに書き込む必要があります。また、UCK0 のクロックの値は「データシート」を参照してください。

● UART/SIO 動作モード 1 受信動作

動作モード 1 の受信では、各レジスタを以下のように使用します。

図 20.7-11 動作モード 1 の受信時使用レジスタ

SMC10 (UART/SIO シリアルモード制御レジスタ 1)								ビット No. SMC10
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BDS	PEN	TDP	SBL	CBL1	CBL0	CKS	MD	
	x	x	x				1	
SMC20 (UART/SIO シリアルモード制御レジスタ 2)								ビット No. SMC20
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCKE	TXOE	RERC	RXE	TXE	RIE	TCIE	TEIE	
	0					x	x	
SSR0 (UART/SIO シリアルステータスアンドデータレジスタ)								ビット No. SSR0
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
-	-	PER	OVE	FER	RDRF	TCPL	TDRE	
x	x	x		x		x	x	
TDR0 (UART/SIO シリアル出力データレジスタ)								ビット No. TDR0
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0	
x	x	x	x	x	x	x	x	
RDR0 (UART/SIO シリアル入力データレジスタ)								ビット No. RDR0
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	

: 使用ビット
 x : 非使用ビット
 0 : "0" に設定
 1 : "1" に設定

受信動作は、シリアルクロックが外部クロック / 内部クロック のどちらかに設定されているかによって異なります。

< 外部クロックの場合 >

受信動作許可ビット (RXE) が "1" に設定されていると、常に外部クロックの立上りでシリアルデータを受信します。

< 内部クロックの場合 >

シリアルクロックは送信動作に合わせて出力されます。そのため、受信であっても送信動作を行わなければなりません。以下の 2 種類の手順で行えます。

- 送信動作許可ビット (TXE) を "1" に設定してから、UART/SIO シリアル出力データレジスタへ送信データを書き込むことによってシリアルクロックを発生させて受信を開始する。
- UART/SIO シリアル出力データレジスタに送信データを書き込んだ後、送信動作許可ビット (TXE) を "1" に設定することでシリアルクロックを発生させて受信を開始する。

受信用シフトレジスタに 5 ビット ~ 8 ビットのシリアルデータが受信されると、受信データを UART/SIO シリアル入力データレジスタ (RDR0) へ転送し、次のシリアルデータの受信を可能にします。

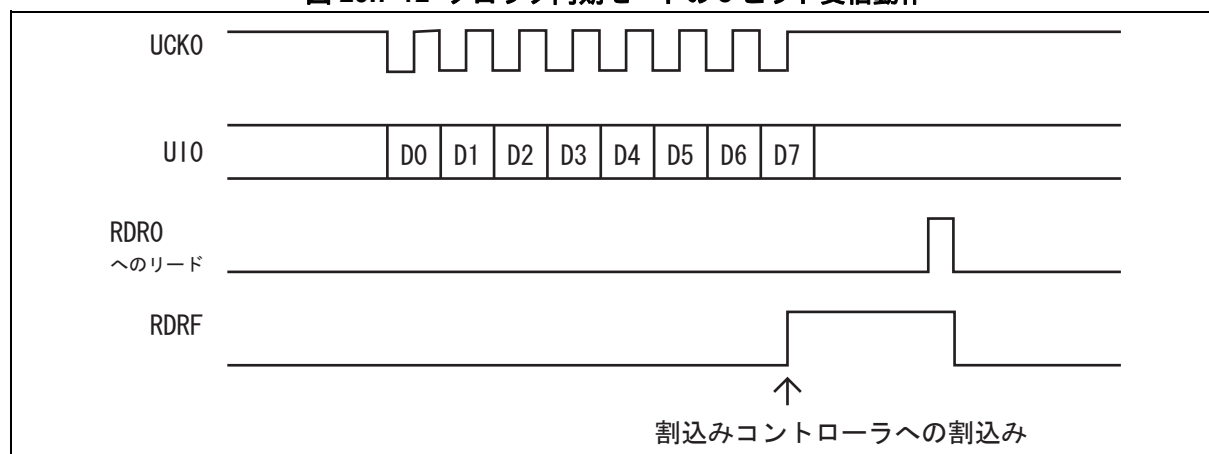
UART/SIO シリアル入力データレジスタにデータが格納されると、受信データレジスタフル (RDRF) が "1" に設定されます。

受信割込み許可ビット (RIE) が "1" に設定されている場合は、受信データレジスタフル (RDRF) が "1" に設定されると受信割込みが発生します。

受信データを読み出す場合は、UART/SIO シリアルステータスアンドデータレジスタのエラーフラグ (OVE) を確認し、UART/SIO シリアル入力データレジスタから読み出します。

受信データが UART/SIO シリアル入力データレジスタ (RDR0) から読み出されると、受信データレジスタフル (RDRF) が "0" にクリアされます。

図 20.7-12 クロック同期モードの 8 ビット受信動作



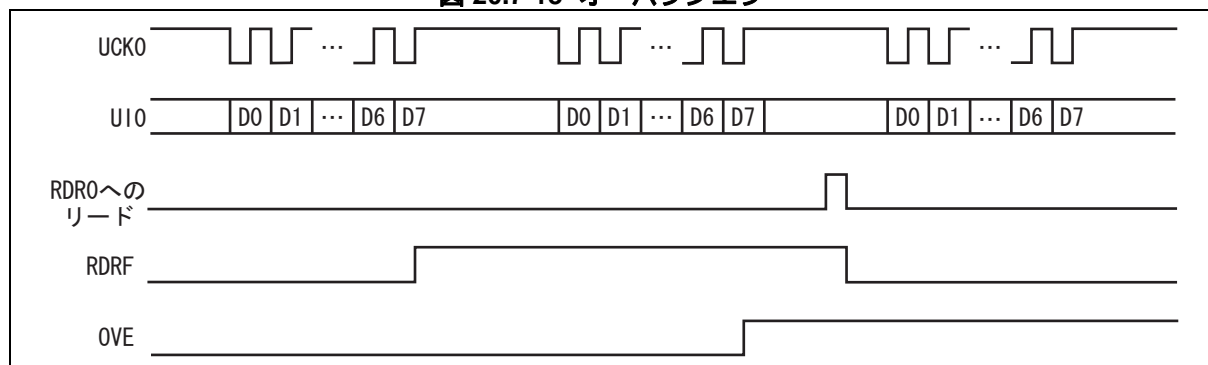
受信エラー時の動作

オーバランエラー (OVE) があるときは、受信データは UART/SIO シリアル入力データレジスタ (RDR0) には転送されません。

オーバランエラー (OVE)

シリアルデータの受信が完了したとき，前回の受信によって受信データレジスタフル(RDRF)が"1"に設定されていた場合，オーバランエラー(OVE)を"1"に設定します。

図 20.7-13 オーバランエラー



● UART/SIO 動作モード 1 送信動作

動作モード 1 の送信では、各レジスタを以下のように使用します。

図 20.7-14 動作モード 1 の送信時使用レジスタ

SMC10 (UART/SIO シリアルモード制御レジスタ 1)								ビット No.
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SMC10
BDS	PEN	TDP	SBL	CBL1	CBL0	CKS	MD	
	x	x	x				1	
SMC20 (UART/SIO シリアルモード制御レジスタ 2)								ビット No.
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SMC20
SCKE	TXOE	RERC	RXE	TXE	RIE	TCIE	TEIE	
	0					x	x	
SSR0 (UART/SIO シリアルステータスアンドデータレジスタ)								ビット No.
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SSR0
-	-	PER	OVE	FER	RDRF	TCPL	TDRE	
x	x	x		x		x	x	
TDR0 (UART/SIO シリアル出力データレジスタ)								ビット No.
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TDR0
TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0	
x	x	x	x	x	x	x	x	
RDR0 (UART/SIO シリアル入力データレジスタ)								ビット No.
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	RDR0
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	

: 使用ビット
 x : 非使用ビット
 0 : "0" に設定
 1 : "1" に設定

送信動作の起動は次の 2 種類の手順で行えます。

- 送信動作許可ビット (TXE) を "1" に設定してから、UART/SIO シリアル出力データレジスタへ送信データを書き込むことによって送信を開始する。
- UART/SIO シリアル出力データレジスタに送信データを書き込んだ後、送信動作許可ビット (TXE) を "1" に設定することによって送信を開始する。

送信データは、送信データレジスタエンプティ (TDRE) が "1" になっていることを確認してから、UART/SIO シリアル出力データレジスタ (TDR0) に書き込みます。

送信データが UART/SIO シリアル出力データレジスタ (TDR0) に書き込まれると送信データレジスタエンプティ (TDRE) が "0" に設定されます。

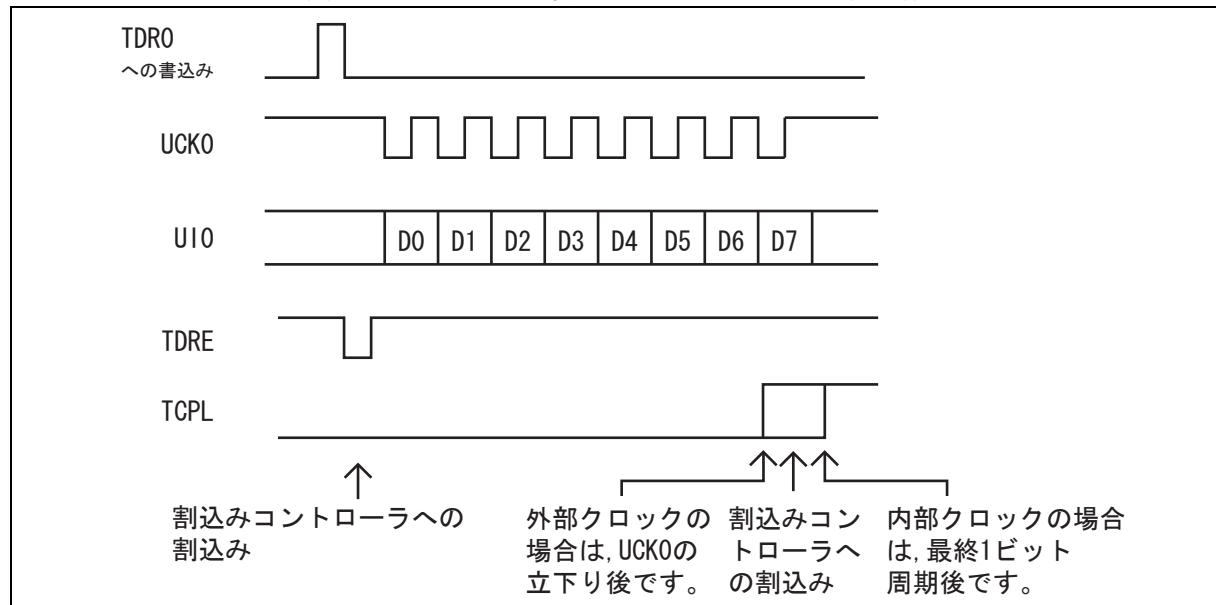
送信データが UART/SIO シリアル出力データレジスタ (TDR0) から送信用シフトレジスタに転送されてシリアル送信が開始されると、送信データレジスタエンプティ (TDRE) が "1" に設定されます。

外部クロックを使用する設定では、送信動作が起動した最初のシリアルクロックの立下りからシリアルデータが送信されます。

送信割り込み許可ビット (TIE) が "1" に設定されている場合は、送信データレジスタエンプティ (TDRE) が "1" に設定されると送信完了割り込みが発生します。このとき、次の送信データを UART/SIO シリアル出力データレジスタ (TDR0) に書き込むことができます。また、送信動作許可ビット (TXE) が "1" に設定されたままであれば、連続してシリアル送信を行うことができます。

シリアル送信が完了したことを送信完了割り込みによって検知する場合は、送信完了割り込み出力許可の設定を TEIE=0, TCIE=1 にしてください。送信が完了すると送信完了フラグ (TCPL) が "1" に設定されて送信完了割り込みが発生します。

図 20.7-15 クロック同期モードの 8 ビット送信動作



● 送受信同時動作

< 外部クロックの場合 >

送信と受信はそれぞれ独立して動作できます。したがって、送信と受信が同時、または位相がずれて重なり合う場合でも動作します。

< 内部クロックの場合 >

送信側がシリアルクロックを発生しているため、受信は送信の影響を受けます。

受信途中に送信が終了してしまった場合、受信側は停止した状態となります。受信は、送信側が再起動されたときに継続されます。

- シリアルクロックを出力および入力して使用する方法については、「20.4 UART/SIO の端子」を参照してください。

20.8 UART/SIO のサンプルプログラム

UART/SIO を動作させるためのサンプルプログラムを提供しています。

■ UART/SIO のサンプルプログラム

UART/SIO のサンプルプログラムについては、「はじめに サンプルプログラム」を参照してください。

■ プログラム例以外の設定方法

● 各動作モードを選択する方法

動作モード選択 (SMC10:MD) で行います。

動作モード		動作モード選択 (MD)
モード 0	クロック非同期モード (UART)	"0" を設定
モード 1	クロック同期モード (SIO)	"1" を設定

● 動作クロックの種類と選択方法

クロック選択ビット (SMC10:CKS) で行います。

クロック入力	クロック選択 (CKS)
専用ボーレートジェネレータを選択するには	"0" を設定
外部クロックを選択するには	"1" を設定

● UCK0 端子, UI0 端子, UO0 端子を使用する方法

下記の設定で行います。

	UART
UCK0 端子を入力にするには	DDR1:P12 = 0 SMC20:SCKE = 0
UCK0 端子を出力にするには	SMC20:SCKE = 1
UI0 端子を使用するには	DDR1:P10 = 0
UO0 端子を使用するには	SMC20:TXOE = 1

● UART の動作を許可 / 停止する方法

受信動作許可ビット (SMC20:RXE) で行います。

制御内容	受信動作許可ビット (RXE)
受信動作禁止 (停止)	"0" を設定する
受信動作許可	"1" を設定する

送信動作制御ビット (SMC20:TXE) で行います。

制御内容	送信動作制御ビット (TXE)
送信動作禁止 (停止)	"0" を設定する
送信動作許可	"1" を設定する

● パリティを設定する方法

パリティ制御 (SMC10:PEN), パリティ極性 (SMC10:TDP) で行います。

動作	パリティ制御 (PEN)	パリティ極性 (TDP)
パリティなしにするには	"0" を設定する	-
偶数パリティにするには	"1" を設定する	"0" を設定する
奇数パリティにするには	"1" を設定する	"1" を設定する

● データ長を設定する方法

データ長選択ビット (SMC10:CBL[1:0]) で行います。

動作	データ長選択ビット (CBL[1:0])
5 ビット長にするには	"00 _B " を設定する
6 ビット長にするには	"01 _B " を設定する
7 ビット長にするには	"10 _B " を設定する
8 ビット長にするには	"11 _B " を設定する

● STOP ビット長を選択する方法

STOP ビット長制御 (SMC10:SBL) で行います。

動作	STOP ビット長制御 (SBL)
STOP ビットを 1 ビット長にするには	"0" を設定する
STOP ビットを 2 ビット長にするには	"1" を設定する

● エラーフラグをクリアする方法

受信エラーフラグクリアビット (SMC20:RERC) で行います。

制御内容	受信エラーフラグクリアビット (RERC)
エラーフラグ PER, OVE, FER をクリアするには	"0" を設定する

● 転送方向の設定方法

シリアルデータ方向制御 (SMC10:BDS) で行います。

転送方向はどの動作モードでも, LSB ファースト /MSB ファーストの選択が可能です。

制御内容	シリアルデータ方向制御 (BDS)
LSB ファースト (最下位ビットから) にするには	"0" を設定する
MSB ファースト (最上位ビットから) にするには	"1" を設定する

● 受信完了フラグをクリアする方法

下記の設定で行います。

制御内容	方法
受信完了フラグをクリアするには	RDR0 レジスタを読み出す

初回の RDR0 レジスタの読出しは, 受信開始になります。

● 送信バッファエンプティフラグをクリアする方法

下記の設定で行います。

制御内容	方法
送信バッファエンプティフラグをクリアするには	TDR0 レジスタに書き込む

初回の TDR0 レジスタの書込みは, 送信開始になります。

● ボーレートを設定する方法

「20.7.1 動作モード 0 の動作説明」を参照してください

● 割込み関連レジスタ

割込みレベルは下表の割込みレベル設定レジスタで設定します。

	割込みレベル設定レジスタ	割込みベクタ
ch.0	割込みレベルレジスタ (ILR1) アドレス: 0007A _H	#4 アドレス: 0FFF2 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は、割込み要求許可ビット (SMC20:RIE), (SMC20:TCIE), (SMC20:TEIE) で行います。

	UART 受信	UART 送信	
	受信割込み許可ビット (RIE)	送信完了割込み許可ビット (TCIE)	送信データレジスタエンプティ割込み許可ビット (TEIE)
割込み要求を禁止するには	"0" を設定		
割込み要求を許可するには	"1" を設定		

割込み要求のクリアは、下記の設定にて行います。

	UART 受信	UART 送信
割込み要求をクリアするには	受信データレジスタフル (RDRF) はシリアル入力レジスタ RDR 0 を読み出すことでクリアします。 エラーフラグ (PER, OVE, FER) はエラーフラグクリアビット (RERC) に "0" を書き込むことで "0" になります。	送信データレジスタエンプティ (TDRE) はシリアル出力データレジスタ (TDR0) にデータを書き込むことで "0" になります。

第21章

UART/SIO 専用 ボーレート ジェネレータ

UART/SIO 専用ボーレートジェネレータの機能と動作について説明します。

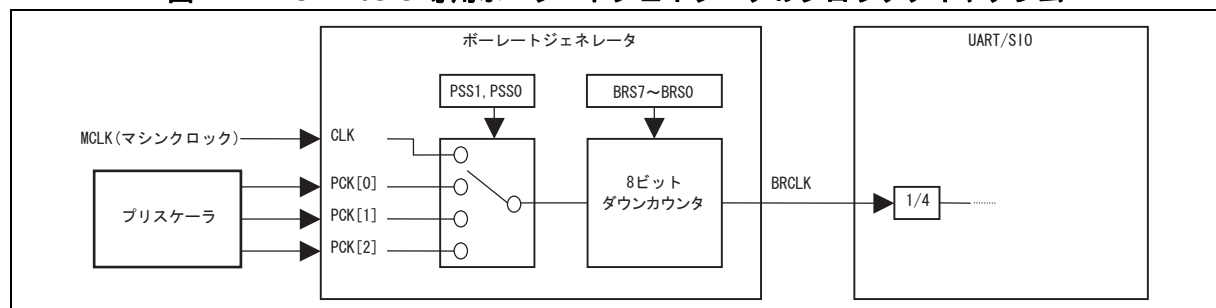
- 21.1 UART/SIO 専用ボーレートジェネレータの概要
- 21.2 UART/SIO 専用ボーレートジェネレータのチャンネル
- 21.3 UART/SIO 専用ボーレートジェネレータのレジスタ
- 21.4 UART/SIO 専用ボーレートジェネレータの動作説明

21.1 UART/SIO 専用ボーレートジェネレータの概要

UART/SIO 専用ボーレートジェネレータは、UART/SIO のボーレートを生成します。UART/SIO 専用ボーレートジェネレータプリスケアラ選択レジスタ (PSSR0) と UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0) から構成されます。

■ UART/SIO 専用ボーレートジェネレータのブロックダイアグラム

図 21.1-1 UART/SIO 専用ボーレートジェネレータのブロックダイアグラム



■ 入力クロック

UART/SIO 専用ボーレートジェネレータは、プリスケアラからの出力クロック、またはマシニングロックを入力クロックとして使用します。

■ 出力クロック

UART/SIO 専用ボーレートジェネレータは、UART/SIO にクロックを供給しています。

21.2 UART/SIO 専用ボーレートジェネレータのチャンネル

UART/SIO 専用ボーレートジェネレータのチャンネルについて説明します。

■ UART/SIO 専用ボーレートジェネレータのチャンネル

本シリーズは、UART/SIO 専用ボーレートジェネレータを 1 チャンネル搭載しています。

表 21.2-1 に、UART/SIO 専用ボーレートジェネレータのレジスタを示します。

表 21.2-1 UART/SIO 専用ボーレートジェネレータのレジスタ

チャンネル	レジスタ名	レジスタ対応 (本マニュアル上の表記)
0	PSSR0	UART/SIO 専用ボーレートジェネレータプリスケアラ選択レジスタ
	BRSR0	UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ

21.3 UART/SIO 専用ボーレートジェネレータのレジスタ

UART/SIO 専用ボーレートジェネレータに関連するレジスタには、UART/SIO 専用ボーレートジェネレータプリスケラ選択レジスタ (PSSR0) と UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0) があります。

■ UART/SIO 専用ボーレートジェネレータに関連するレジスタ

図 21.3-1 UART/SIO 専用ボーレートジェネレータに関連するレジスタ

UART/SIO 専用ボーレートジェネレータプリスケラ選択レジスタ (PSSR0)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PSSR0 0FBE _H	-	-	-	-	-	BRGE	PSS1	PSS0
	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R/W	R/W	R/W
初期値 00000000 _B								
UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
BRSR0 0FBF _H	BRS7	BRS6	BRS5	BRS4	BRS3	BRS2	BRS1	BRS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
R/W : リード / ライト可能 (読出し値は書込み値)								
R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし)								

21.3.1 UART/SIO 専用ボーレートジェネレータ プリスケアラ選択レジスタ (PSSR0)

UART/SIO 専用ボーレートジェネレータプリスケアラレジスタ (PSSR0) は、ボーレートクロックの出力とプリスケアラを制御するレジスタです。

■ UART/SIO 専用ボーレートジェネレータプリスケアラ選択レジスタ (PSSR0)

図 21.3-2 UART/SIO 専用ボーレートジェネレータプリスケアラ選択レジスタ (PSSR0)

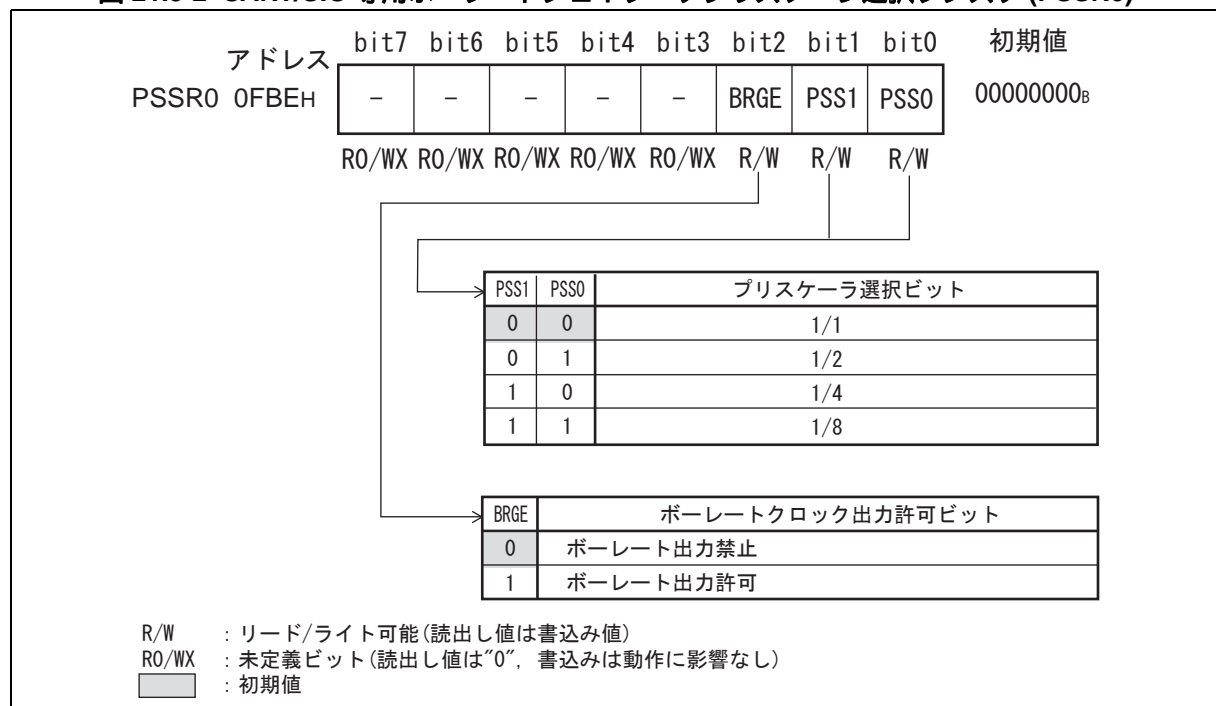


表 21.3-1 UART/SIO 専用ボーレートジェネレータプリスケアラ選択レジスタ (PSSR0)

ビット名		機能															
bit7 ~ bit3	未定義ビット	未定義ビットです。このビットからは必ず "0" が読み出されます。															
bit2	BRGE: ボーレートクロック 出力許可ビット	ボーレートクロック "BRCLK" の出力を許可します。 "1" に設定した場合: 8 ビットダウンカウンタに BRS[7:0] をロードして "BRCLK" が出力され, UART/SIO に供給されます。 "0" に設定した場合: "BRCLK" の出力を停止します。															
bit1, bit0	PSS1, PSS0: プリスケアラ選択 ビット	<table border="1"> <thead> <tr> <th>PSS1</th><th>PSS0</th><th>プリスケアラ選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1/1</td></tr> <tr> <td>0</td><td>1</td><td>1/2</td></tr> <tr> <td>1</td><td>0</td><td>1/4</td></tr> <tr> <td>1</td><td>1</td><td>1/8</td></tr> </tbody> </table>	PSS1	PSS0	プリスケアラ選択	0	0	1/1	0	1	1/2	1	0	1/4	1	1	1/8
PSS1	PSS0	プリスケアラ選択															
0	0	1/1															
0	1	1/2															
1	0	1/4															
1	1	1/8															

21.3.2 UART/SIO 専用ボーレートジェネレータボーレート 設定レジスタ (BRSR0)

UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0) は、ボーレートの設定を制御するレジスタです。

■ UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0)

図 21.3-3 UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
BRSR0 0FBF _H	BRS7	BRS6	BRS5	BRS4	BRS3	BRS2	BRS1	BRS0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値)

8 ビットダウンカウンタの周期を設定します。このレジスタにより任意のボーレートクロックを設定できます。このレジスタへの書込みは UART の動作停止中に行ってください。

クロック非同期モードでは、BRS[7:0] を "00_H", "01_H" に設定しないでください。

21.4 UART/SIO 専用ボーレートジェネレータの動作説明

UART/SIO 専用ボーレートジェネレータは、クロック非同期モードのボーレートジェネレータとして動作します。

■ ボーレート設定

シリアルクロックの選択は、UART/SIOのSMC10レジスタ (CKSビット) で行い、UART/SIO 専用ボーレートジェネレータを選択します。

CLK 非同期モード時は、CKS ビットで選択されたシフトクロックの 4 分周になり、選択されたボーレートの - 2% から + 2% までの範囲で転送可能です。UART/SIO 専用ボーレートジェネレータによるボーレート算出式を以下に示します。

図 21.4-1 UART/SIO 専用ボーレートジェネレータ使用時のボーレート算出

$$\text{ボーレート値} = \frac{\text{マシナクロック (MCLK)}}{4 \times \begin{matrix} 1 \\ 2 \\ 4 \\ 8 \end{matrix} \times \begin{matrix} 2 \\ : \\ 255 \end{matrix}} \quad [\text{bps}]$$

UART プリスケール選択レジスタ (PSSR0) プリスケール選択 (PSS1, PSS0)

UART ボーレート設定レジスタ (BRSR0) ボーレート設定 (BRS7 ~ BRS0)

表 21.4-1 ボーレートジェネレータによる非同期時転送レートの例
(マシナクロック：10MHz, 16MHz, 16.25MHz の場合)

UART/SIO 専用ボーレート ジェネレータの設定		UART 内部分周	トータル分周比 (PSS × BRS × 4)	ボーレート (10MHz ÷ トータル 分周比)	ボーレート (16MHz ÷ トータル 分周比)	ボーレート (16.25MHz ÷ トータル 分周比)
プリスケール 選択 PSS[1:0]	ボーレート カウンタ設定 BRS[7:0]					
1 (設定値 :0, 0)	20	4	80	125000	200000	203125
1 (設定値 :0, 0)	22	4	88	113636	181818	184659
1 (設定値 :0, 0)	44	4	176	56818	90909	92330
1 (設定値 :0, 0)	87	4	348	28736	45977	46695
1 (設定値 :0, 0)	130	4	520	19231	30769	31250
2 (設定値 :0, 1)	130	4	1040	9615	15385	15625
4 (設定値 :1, 0)	130	4	2080	4808	7692	7813
8 (設定値 :1, 1)	130	4	4160	2404	3846	3906

また、UART モードにおけるボーレート設定が可能な範囲は以下のとおりです。

表 21.4-2 UART モードにおけるボーレート設定可能範囲

PSS[1:0]	BRS[7:0]
00 _B ~ 11 _B	02 _H (2) ~ FF _H (255)

第22章

LIN-UART

LIN-UART の機能と動作について説明します。

- 22.1 LIN-UART の概要
- 22.2 LIN-UART の構成
- 22.3 LIN-UART の端子
- 22.4 LIN-UART のレジスタ
- 22.5 LIN-UART の割込み
- 22.6 LIN-UART のボーレート
- 22.7 LIN-UART の動作説明と設定手順例
- 22.8 LIN-UART 使用上の注意
- 22.9 LIN-UART のサンプルプログラム

22.1 LIN-UART の概要

LIN(Local Interconnect Network)-UART は、外部装置と同期通信もしくは非同期通信 (調歩同期) をするための汎用のシリアルデータ通信インタフェースです。双方向通信機能 (ノーマルモード), マスタ / スレーブ型通信機能 (マルチプロセッサモード : マスタ / スレーブ両方をサポート) に加えて LIN バスに対応するための特別な機能もサポートしています。

■ LIN-UART の機能

LIN-UART は、ほかの CPU や周辺装置とシリアルデータの送受信をする汎用シリアルデータ通信インタフェースで、表 22.1-1 に示す機能があります。

表 22.1-1 LIN-UART の機能

	機能
データバッファ	全二重ダブルバッファ
シリアル入力	5 回オーバーサンプリングを行い、サンプリング値の多数決により受信値を決定します (非同期モードのみ)。
転送モード	<ul style="list-style-type: none"> • クロック同期 (スタート / ストップ同期、またはスタート / ストップビット選択) • クロック非同期 (スタート / ストップビットを使用可能)
ボーレート	<ul style="list-style-type: none"> • 専用ボーレートジェネレータあり (15 ビットリロードカウンタから構成) • 外部クロック入力可能。また、外部クロックはリロードカウンタで調節可能
データ長	<ul style="list-style-type: none"> • 7 ビット (同期または LIN モード以外) • 8 ビット
信号方式	NRZ (Non Return to Zero)
スタートビットタイミング	非同期モード時は、スタートビット立下りエッジに同期
受信エラー検出	<ul style="list-style-type: none"> • フレーミングエラー • オーバランエラー • パリティエラー (動作モード 1 では不可)
割込み要求	<ul style="list-style-type: none"> • 受信割込み (受信完了、受信エラー検出、LIN Synch break 検出) • 送信割込み (送信データエンプティ) • TH0 への割込み要求 (LIN synch field 検出 : LSYN)
マスタ / スレーブ型通信機能 (マルチプロセッサモード)	1 (マスタ) 対 n (スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)
同期モード	シリアルクロック送信側 / 受信側選択機能
端子アクセス	シリアル入出力端子の状態を直接読出し可能
LIN バスオプション	<ul style="list-style-type: none"> • マスタデバイス動作 • スレーブデバイス動作 • LIN Synch break 検出 • LIN Synch break 生成 • 8/16 ビット複合タイマに接続している LIN Synch field のスタート / ストップエッジ検出
同期シリアルクロック	スタート / ストップビットで同期通信するために、SCK 端子に連続出力可能
クロック遅延オプション	クロックを遅らせるための特殊な同期クロックモード (シリアルペリフェラルインタフェース (SPI) に有効)

LIN-UART は 4 つの異なるモードで動作します。動作モードは、LIN-UART シリアルモードレジスタ (SMR) の MD0, MD1 ビットにより決定されます。モード 0 とモード 2 は双方向シリアル通信、モード 1 はマスタ / スレーブ通信、モード 3 は LIN マスタ / スレーブ通信に使用されます。

表 22.1-2 LIN-UART の動作モード

動作モード		データ長		同期方式	ストップビット長	データビットフォーマット
		パリティなし	パリティあり			
0	ノーマルモード	7 ビットまたは 8 ビット		非同期	1 ビット または 2 ビット	LSB ファースト MSB ファースト
1	マルチプロセッサモード	7 ビット または 8 ビット +1 *		非同期		
2	ノーマルモード	8 ビット		同期	なし, 1 ビット, 2 ビット	LSB ファースト
3	LIN モード	8 ビット		非同期	1 ビット	

: 設定不可

*: "+1" はマルチプロセッサモードで通信制御用に使用されるアドレス / データ選択ビット (AD) です。

LIN-UART シリアルモードレジスタ (SMR) の MD1 と MD0 ビットで、下記に示す LIN-UART の動作モードを決定します。

表 22.1-3 LIN-UART の動作モード

MD1	MD0	モード	種類
0	0	0	非同期 (ノーマルモード)
0	1	1	非同期 (マルチプロセッサモード)
1	0	2	同期 (ノーマルモード)
1	1	3	非同期 (LIN モード)

- モード 1 は、マルチプロセッサモードでマスタとスレーブのいずれの動作にも対応します。
- モード 3 は、通信フォーマットが 8 ビットデータ、パリティなし、ストップビット 1、LSB ファーストに固定されます。

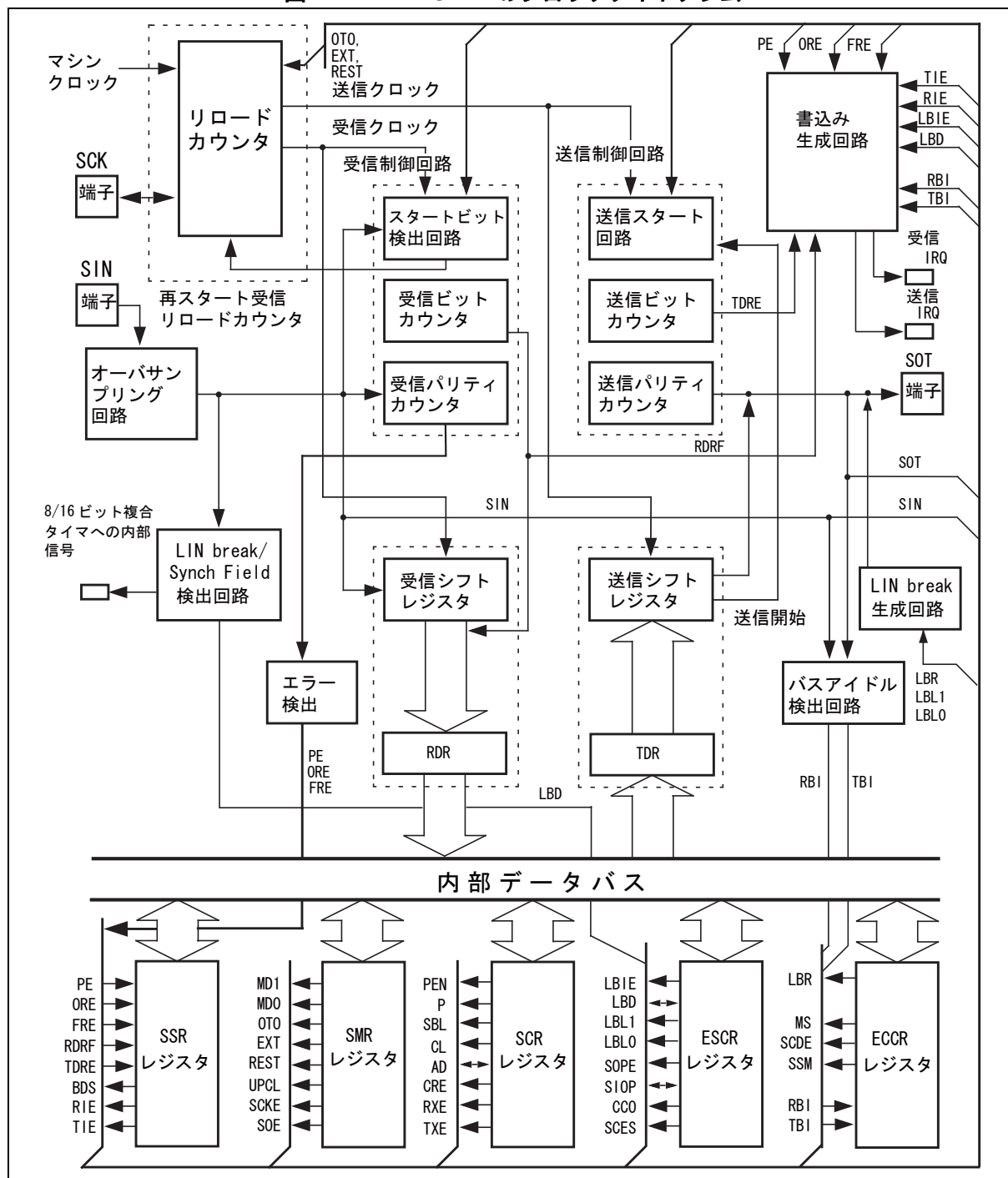
22.2 LIN-UART の構成

LIN-UART は以下のブロックで構成されます。

- リロードカウンタ
 - 受信制御回路
 - 受信シフトレジスタ
 - LIN-UART 受信データレジスタ (RDR)
 - 送信制御回路
 - 送信シフトレジスタ
 - LIN-UART 送信データレジスタ (TDR)
 - エラー検出回路
 - オーバサンプリング回路
 - 割込み生成回路
 - LIN synch break/Synch Field 検出回路
 - バスアイドル検出回路
 - LIN-UART シリアル制御レジスタ (SCR)
 - LIN-UART シリアルモードレジスタ (SMR)
 - LIN-UART シリアルステータスレジスタ (SSR)
 - LIN-UART 拡張ステータス制御レジスタ (ESCR)
 - LIN-UART 拡張通信制御レジスタ (ECCR)
-

■ LIN-UART のブロックダイアグラム

図 22.2-1 LIN-UART のブロックダイアグラム



● リロードカウンタ

専用ボーレートジェネレータとして機能する 15 ビットリロードカウンタです。リロード値に対する 15 ビットレジスタから構成され、外部クロックまたは内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値をボーレートジェネレータ 1, 0 (BGR1, BGR0) より読み出せます。

● 受信制御回路

受信ビットカウンタ、スタートビット検出回路、および受信パリティカウンタから構成されています。受信ビットカウンタは、受信データビットをカウントして、設定したデータ長に応じて 1 データの受信を完了すると LIN-UART 受信データレジスタにフラグを設定します。このとき、受信割込みが許可されていると受信割込み要求が発生します。スタートビット検出回路は、シリアル入力信号からスタートビットを検出する回路で、スタートビットを検出するとスタートビットの立下りエッジに同期してリロードカウンタに信号を送ります。受信パリティカウンタは、受信データのパリティを計算します。

● 受信シフトレジスタ

SIN 端子から入力された受信データをビットシフトしながら取り込み、受信が完了すると RDR レジスタに受信データを転送します。

● LIN-UART 受信データレジスタ (RDR)

受信データを保持します。シリアル入力データは変換され、LIN-UART 受信データレジスタに格納されます。

● 送信制御回路

送信ビットカウンタ、送信スタート回路、および送信パリティカウンタから構成されています。送信ビットカウンタは、送信データビットをカウントして、設定したデータ長に応じて 1 データの送信を完了すると、送信データレジスタにフラグを設定します。このとき、送信割込みが許可されていると送信割込み要求が発生します。送信スタート回路は、TDR のデータ書込みで送信動作を開始します。送信パリティカウンタは、パリティありの場合、送信するデータのパリティビットを生成します。

● 送信シフトレジスタ

LIN-UART 送信データレジスタ (TDR) に書き込まれたデータを送信シフトレジスタに転送し、ビットシフトしながら SOT 端子に出力します。

● LIN-UART 送信データレジスタ (TDR)

送信データを設定します。書き込まれたデータは、シリアルデータに変換されて出力されます。

● エラー検出回路

受信終了時において、エラーがあったかどうかを検出します。エラーが発生すると、対応するエラーフラグを設定します。

● オーバサンプリング回路

非同期モード動作では、5 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。また、同期モード動作では停止します。

● 割込み生成回路

すべての割込み要因を制御します。対応する割込み許可ビットが設定されていると、直ちに割込みが発生します。

● LIN synch break/Synch Field 検出回路

LIN マスタノードがメッセージヘッダを送信すると、LIN synch break を検出します。LIN synch break が検出されると、LBD フラグビットが設定されます。LIN Synch Field の 1 回目と 5 回目の立下りエッジを検出し、マスタノードが送信する実際のシリアルクロック同期を測定するために、8/16 ビット複合タイマへ内部信号を出力します。

● LIN synch break 生成回路

設定された長さの LIN synch break を生成します。

● バスアイドル検出回路

送受信が行われていないことを検出し、TBI, RBI フラグビットを生成します。

● LIN-UART シリアル制御レジスタ (SCR)

以下に動作機能を示します。

- パリティビット有無の設定
- パリティビット選択
- ストップビット長の設定
- データ長の設定
- モード 1 でのフレームデータ形式の選択
- エラーフラグのクリア
- 送信許可 / 禁止
- 受信許可 / 禁止

● LIN-UART シリアルモードレジスタ (SMR)

以下に動作機能を示します。

- LIN-UART 動作モード選択
- クロック入力ソースの選択
- 外部クロックが 1 対 1 接続またはリロードカウンタ接続であるかを選択
- 専用リロードタイマのリセット
- LIN-UART ソフトウェアリセット (レジスタの設定を維持)
- シリアルデータ端子への出力許可 / 禁止設定
- クロック端子への出力許可 / 禁止設定

● LIN-UART シリアルステータスレジスタ (SSR)

以下に動作機能を示します。

- 送受信やエラーの状態確認
- 転送方向 LSB ファースト / MSB ファーストの選択
- 受信割込み許可 / 禁止
- 送信割込み許可 / 禁止

● 拡張ステータス制御レジスタ (ESCR)

- LIN synch break 割込み許可 / 禁止
- LIN synch break 検出
- LIN synch break 長選択
- SIN, SOT 端子への直接アクセス
- LIN-UART 同期クロックモードでの連続クロック出力設定
- サンプリングクロックエッジ選択

● LIN-UART 拡張通信制御レジスタ (ECCR)

- バスアイドル検出
- 同期クロック設定
- LIN synch break 生成

■ 入力クロック

LIN-UART は、マシクロック、または SCK 端子からの入力信号を入力クロックとして使用します。

入力クロックは、LIN-UART の送受信クロックソースとして使用されます。

22.3 LIN-UART の端子

LIN-UART の端子を示します。

■ LIN-UART の端子

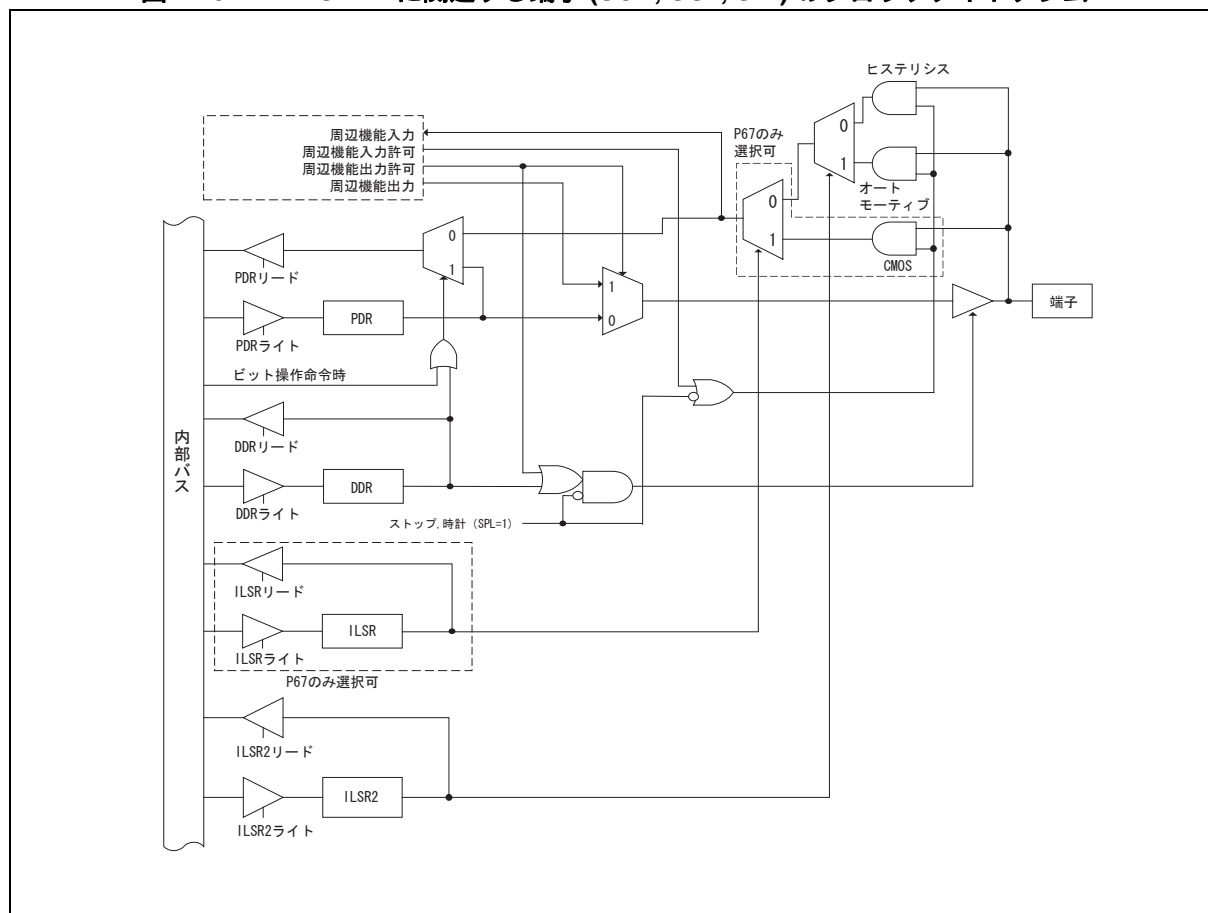
LIN-UART の端子は、汎用ポートと兼用になっています。表 22.3-1 に、LIN-UART の端子を示します。

表 22.3-1 LIN-UART の端子

端子名	端子機能	端子の使用に必要な設定
SIN	シリアルデータ入力	入力ポートに設定 (DDR：対応するビット = 0)
SOT	シリアルデータ出力	出力許可に設定 (SMR：SOE = 1)
SCK	シリアルクロック入出力	クロック入力時入力ポートに設定 (DDR：対応するビット = 0)
		クロック出力時出力許可に設定 (SMR：SCKE = 1)

■ LIN-UART に関連する端子のブロックダイアグラム

図 22.3-1 LIN-UART に関連する端子 (SCK, SOT, SIN) のブロックダイアグラム



22.4 LIN-UART のレジスタ

LIN-UART のレジスタ一覧を示します。

■ LIN-UART のレジスタ一覧

図 22.4-1 LIN-UART のレジスタ一覧

LIN-UART シリアル制御レジスタ (SCR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0050 _H	PEN	P	SBL	CL	AD	CRE	RXE	TXE
	R/W	R/W	R/W	R/W	R/W	R0,W	R/W	R/W
初期値 00000000 _B								
LIN-UART シリアルモードレジスタ (SMR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0051 _H	MD1	MD0	OTO	EXT	REST	UPCL	SCKE	SOE
	R/W	R/W	R/W	R/W	R0,W	R0,W	R/W	R/W
初期値 00000000 _B								
LIN-UART シリアルステータスレジスタ (SSR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0052 _H	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE
	R/WX	R/WX	R/WX	R/WX	R/WX	R/W	R/W	R/W
初期値 00001000 _B								
LIN-UART 受信データレジスタ / 送信データレジスタ (RDR/TDR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0053 _H	D7	D6	D5	D4	D3	D2	D1	D0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
LIN-UART 拡張ステータス制御レジスタ (ESCR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0054 _H	LBIE	LBD	LBL1	LBL0	SOPE	SIOP	CCO	SCES
	R/W	R(RM1),W	R/W	R/W	R/W	R(RM1),W	R/W	R/W
初期値 00000100 _B								
LIN-UART 拡張通信制御レジスタ (ECCR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0055 _H	予約	LBR	MS	SCDE	SSM	予約	RBI	TBI
	RX,W0	R0,W	R/W	R/W	R/W	RX,W0	R/WX	R/WX
初期値 000000XX _B								
LIN-UART ボーレートジェネレータレジスタ 1 (BGR1)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FBC _H	-	BGR14	BGR13	BGR12	BGR11	BGR10	BGR9	BGR8
	R0,WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
LIN-UART ボーレートジェネレータレジスタ 0 (BGR0)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FBD _H	BGR7	BGR6	BGR5	BGR4	BGR3	BGR2	BGR1	BGR0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
R/W : リード/ライト可能 (読出し値は書込み値)								
R(RM1),W : リード/ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は "1" 読出し)								
R/WX : リードオンリ (読出しは可能, 書込みは動作に影響なし)								
R0,W : ライトオンリ (書込みは可能, 読出し値は "0")								
R0,WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし)								
RX,W0 : 予約ビット (読出し値は不定, 書込み値は常に "0")								

22.4.1 LIN-UART シリアル制御レジスタ (SCR)

LIN-UART シリアル制御レジスタ (SCR) は、パリティの設定、ストップビット長やデータ長の選択、モード 1 でのフレームデータ形式の選択、受信エラーフラグのクリアおよび送受信動作の許可または禁止の設定を行います。

■ LIN-UART シリアル制御レジスタ (SCR)

図 22.4-2 LIN-UART シリアル制御レジスタ (SCR)

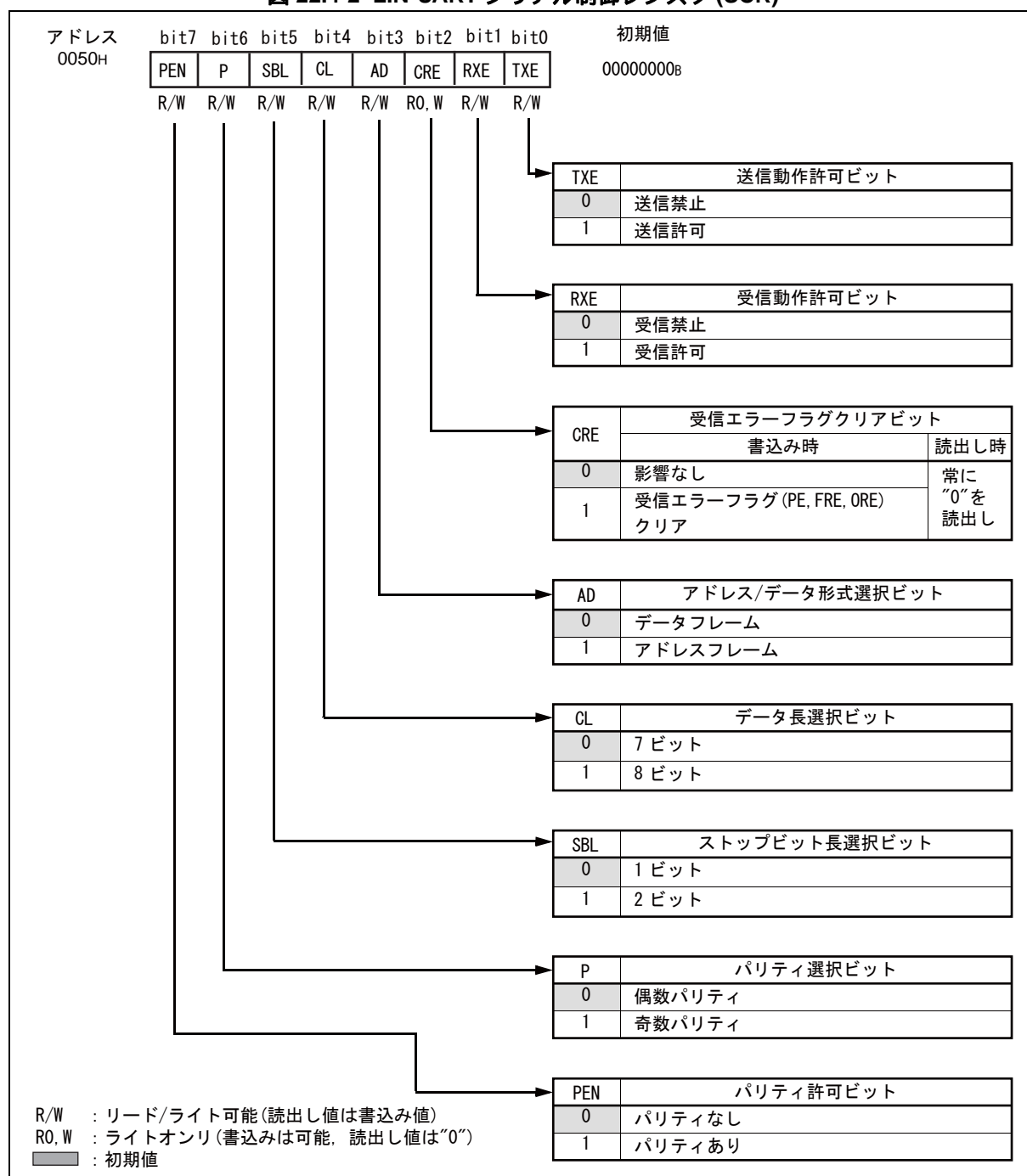


表 22.4-1 LIN-UART シリアル制御レジスタ (SCR) の各ビットの機能説明

ビット名		機能
bit7	PEN : パリティ許可ビット	パリティビットの付加 (送信時) と検出 (受信時) を行うかどうかを設定します。 (注意事項) パリティビットは動作モード 0 の場合、または動作モード 2 でスタート / ストップあり (ECCR : SSM=1) に設定した場合にのみ付加されます。 モード 3 (LIN) のときには "0" に固定されます。
bit6	P : パリティ選択ビット	パリティビットあり (SCR : PEN=1) に設定した場合に、奇数パリティ (1) か偶数パリティ (0) のいずれかに設定します。
bit5	SBL : ストップビット長選択ビット	動作モード 0, 1 (非同期) の場合、または動作モード 2 (同期) でスタート / ストップビットあり (ECCR : SSM=1) に設定した場合のストップビット (送信データのフレームエンドマーク) のビット長を設定します。 本ビットは、モード 3 (LIN) では "0" に固定されます。
bit4	CL : データ長選択ビット	送受信データのデータ長を指定します。本ビットは、モード 2, 3 では "1" に固定されます。
bit3	AD : アドレス / データ形式選択ビット	マルチプロセッサモード (モード 1) で、送受信するフレームのデータ形式を指定します。マスタ時は本ビットに書き込んで、スレーブ時は本ビットを読み出してください。マスタの場合、下記のような動作となります。 "0" に設定した場合 : データフレームに設定されます。 "1" に設定した場合 : アドレスデータのフレームに設定されます。 読み出しは、最後に受信したデータ形式の値になります。 (注意事項) 本ビットの使用にあたっては、「22.8 LIN-UART 使用上の注意」を参照してください。
bit2	CRE : 受信エラーフラグクリアビット	シリアルステータスレジスタ (SSR) の FRE, ORE, PE フラグをクリアするビットです。 "0" に設定した場合 : 影響ありません。 "1" に設定した場合 : エラーフラグがクリアされます。 本ビットを読み出した場合、常に "0" が読めます。 (注意事項) 受信動作禁止 (RXE=0) 後に受信エラーフラグをクリアしてください。受信動作を禁止せずに受信エラーフラグをクリアにすると、そのタイミングで受信をいったん中断し、その後再開します。このため、受信再開時に正常なデータを受信しない場合があります。
bit1	RXE : 受信動作許可ビット	LIN-UART の受信動作を許可または禁止します。 "0" に設定した場合 : データフレーム受信動作が禁止されます。 "1" に設定した場合 : データフレーム受信動作が許可されます。 モード 3 での LIN synch break 検出は影響されません。 (注意事項) 受信中に受信動作を禁止 (RXE=0) した場合には、直ちに受信動作が停止します。この場合、データは保証されません。
bit0	TXE : 送信動作許可ビット	LIN-UART の送信動作を許可または禁止します。 "0" に設定した場合 : データフレーム送信動作が禁止されます。 "1" に設定した場合 : データフレーム送信動作が許可されます。 (注意事項) 送信中に送信動作を禁止 (TXE=0) した場合には、直ちに送信動作が停止します。この場合、データは保証されません。

22.4.2 LIN-UART シリアルモードレジスタ (SMR)

LIN-UART シリアルモードレジスタ (SMR) は、動作モードの選択、ボーレートクロックの選択およびシリアルデータとクロックの端子への出力許可または禁止の設定を行います。

■ LIN-UART シリアルモードレジスタ (SMR)

図 22.4-3 LIN-UART シリアルモードレジスタ (SMR)

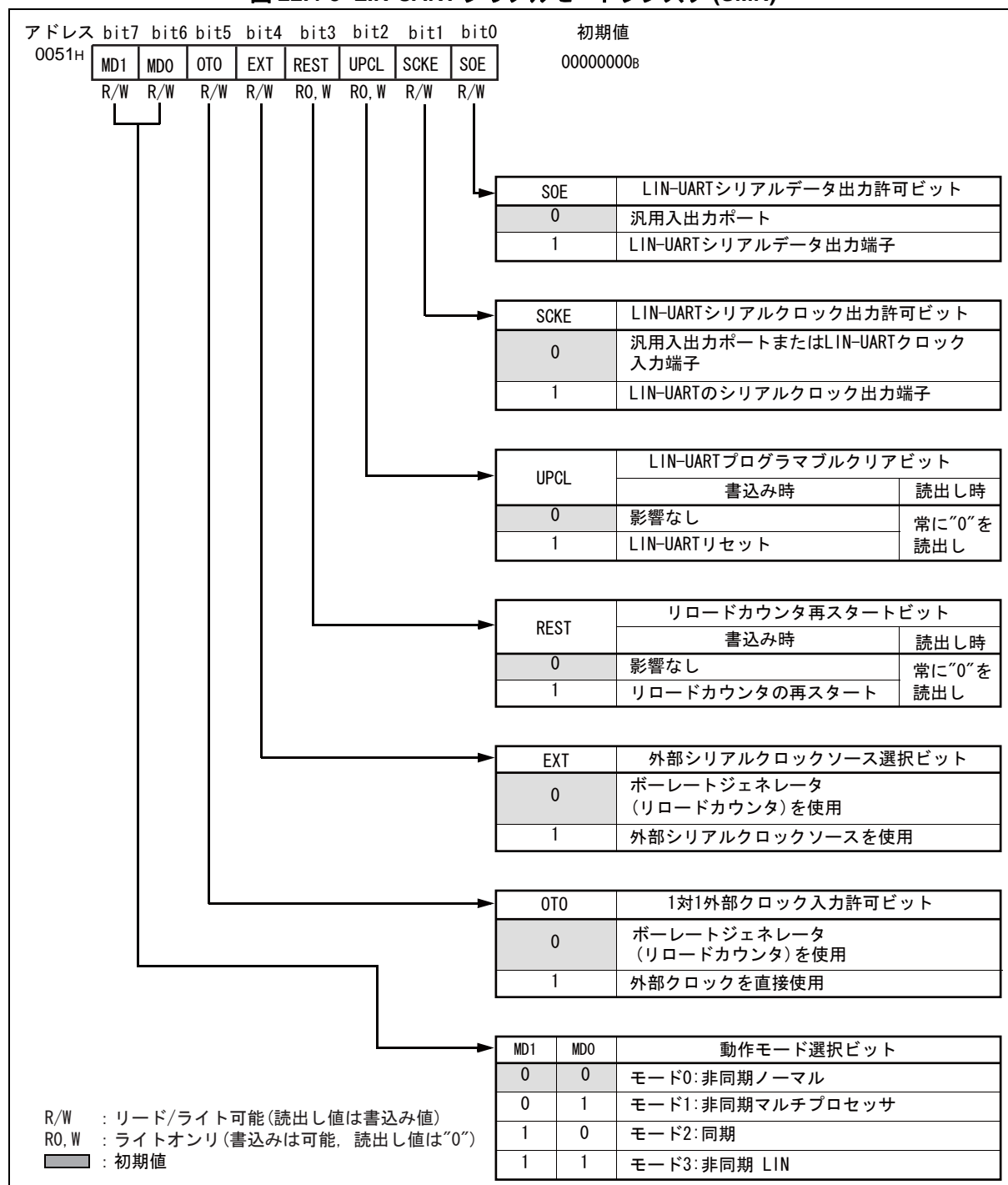


表 22.4-2 LIN-UART シリアルモードレジスタ (SMR) の各ビットの機能説明

ビット名		機能																				
bit7, bit6	MD1, MD0: 動作モード選択 ビット	動作モードを設定します。 (注意事項) 通信途中にモードを変更した場合, LIN-UART の送受信は中断され, 次の通信開始待ち状態となります。																				
		<table><tr><td>MD1</td><td>MD0</td><td>モード</td><td>種類</td></tr><tr><td>0</td><td>0</td><td>0</td><td>非同期 (ノーマルモード)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>非同期 (マルチプロセッサモード)</td></tr><tr><td>1</td><td>0</td><td>2</td><td>同期 (ノーマルモード)</td></tr><tr><td>1</td><td>1</td><td>3</td><td>非同期 (LIN モード)</td></tr></table>	MD1	MD0	モード	種類	0	0	0	非同期 (ノーマルモード)	0	1	1	非同期 (マルチプロセッサモード)	1	0	2	同期 (ノーマルモード)	1	1	3	非同期 (LIN モード)
		MD1	MD0	モード	種類																	
		0	0	0	非同期 (ノーマルモード)																	
		0	1	1	非同期 (マルチプロセッサモード)																	
		1	0	2	同期 (ノーマルモード)																	
1	1	3	非同期 (LIN モード)																			
bit5	OTO: 1 対 1 外部 クロック入力 許可ビット	"1" に設定した場合: LIN-UART シリアルクロックに外部クロックを直接使用することを許可します。 動作モード 2(同期) シリアルクロック受信側選択時 (ECCR:MS=1) に使用されます。 EXT=0 の場合, OTO ビットは "0" に固定されます。																				
bit4	EXT: 外部シリアル クロック ソース選択ビット	クロック入力を選択します。 "0" に設定した場合: 内部ポーレートジェネレータ (リロードカウンタ) のクロックを選択します。 "1" に設定した場合: 外部シリアルクロックソースを選択します。																				
bit3	REST: リロードカウンタ 再スタートビット	リロードカウンタを再スタートします。 "0" に設定した場合: 影響ありません。 "1" に設定した場合: リロードカウンタは再スタートします。 常に "0" が読み出されます。																				
bit2	UPCL : LIN-UART プログラマブルク リアビット (LIN-UART ソフトウェア リセット)	LIN-UART をリセットします。 "0" に設定した場合: 影響ありません。 "1" に設定した場合: LIN-UART を即時リセット (LIN-UART ソフトウェアリセット) します。ただし, レジスタの設定は維持されます。その際, 送受信は中断されます。 すべての送受信割込み要因 (TDRE, RDRF, LBD, PE, ORE, FRE) は解除されます。割込み禁止および送信禁止に設定した後, LIN-UART のリセットを行ってください。また, 受信データレジスタはクリア (RDR=00 _H) され, リロードカウンタは再スタートします。 本ビットを読み出した場合, 常に "0" が読み出されます。																				
bit1	SCKE: LIN-UART シリアルクロック 出力許可ビット	シリアルクロックの入出力ポートを制御します。 "0" に設定した場合: SCK 端子は汎用入出力ポート, またはシリアルクロック入力端子として機能します。 "1" に設定した場合: シリアルクロック出力端子となり, 動作モード 2 (同期) でクロックを出力します。 (注意事項) SCK 端子をシリアルクロック入力 (SCKE=0) として使用する場合は, 汎用入出力ポートの対応する DDR ビットを入力ポートに設定してください。また, クロック選択ビットによって外部クロックを選択 (EXT=1) してください。 SCK 端子がシリアルクロック出力 (SCKE=1) に設定されている場合は, 汎用入出力ポートの状態にかかわらず, シリアルクロック出力端子として機能します。																				
bit0	SOE: LIN-UART シリアルデータ 出力許可ビット	シリアルデータの出力を許可または禁止します。 "0" に設定した場合: SOT 端子は汎用入出力ポートとなります。 "1" に設定した場合: シリアルデータ出力端子 (SOT) となります。 シリアルデータ出力 (SOE=1) の場合, SOT 端子は汎用入出力ポートの状態にかかわらず, SOT 端子として機能します。																				

22.4.3 LIN-UART シリアルステータスレジスタ (SSR)

LIN-UART シリアルステータスレジスタ (SSR) は、送受信やエラーの状態の確認および割込みの許可または禁止の設定を行います。

■ LIN-UART シリアルステータスレジスタ (SSR)

図 22.4-4 LIN-UART シリアルステータスレジスタ (SSR)

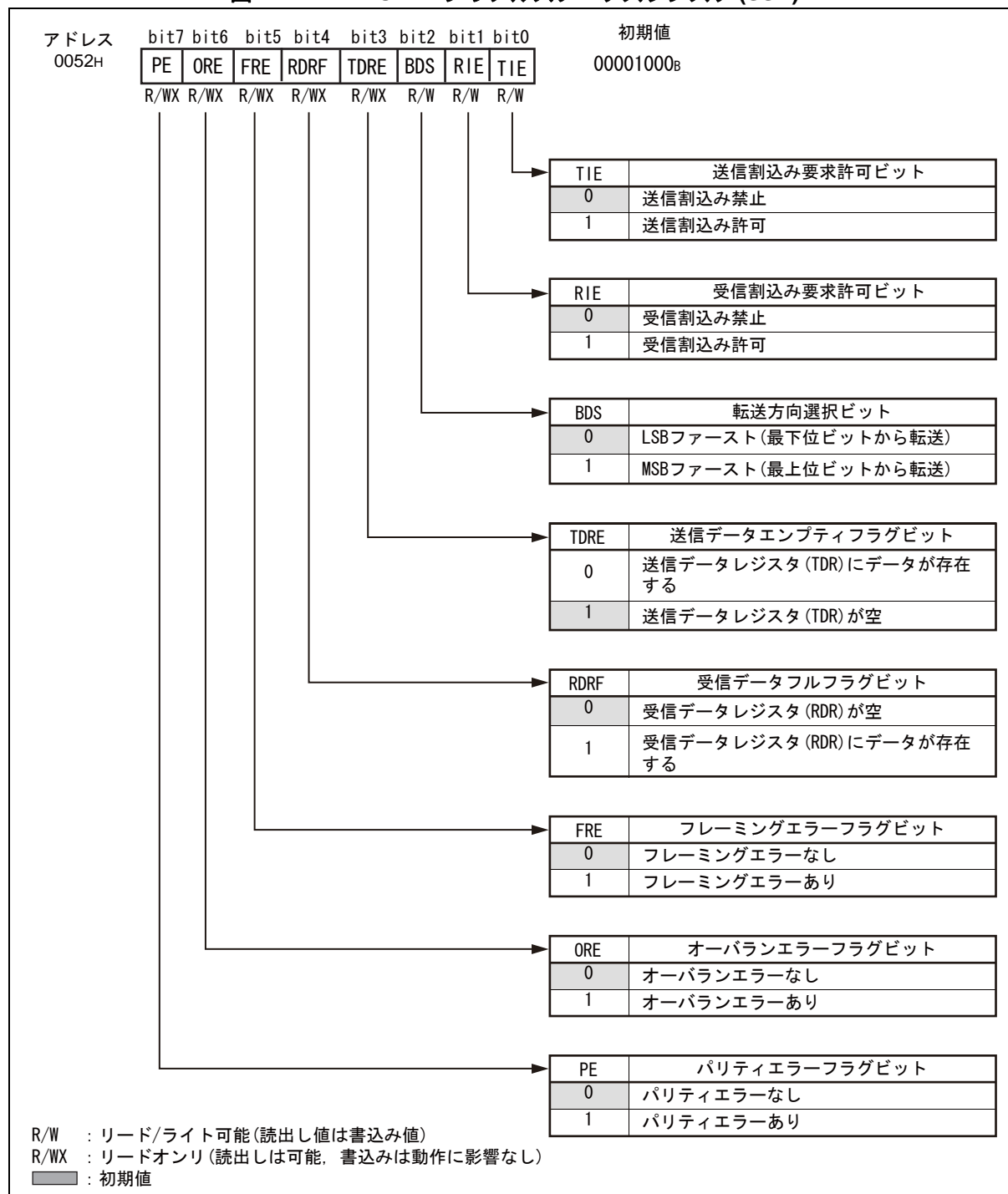


表 22.4-3 LIN-UART シリアルステータスレジスタ (SSR) の各ビットの機能説明

ビット名		機能
bit7	PE : パリティ エラーフラグビット	受信データのパリティエラーを検出します。 ・ PEN = 1 で受信時にパリティエラーが発生すると "1" に設定され、LIN-UART シリアル制御レジスタ (SCR) の CRE ビットに "1" を書き込むとクリアされます。 ・ PE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 ・ 本フラグが設定された場合は、受信データレジスタ (RDR) のデータは無効です。
bit6	ORE : オーバランエラー フラグビット	受信データのオーバランエラーを検出します。 ・ 受信時にオーバランが発生すると "1" に設定され、LIN-UART シリアル制御レジスタ (SCR) の CRE ビットに "1" を書き込むとクリアされます。 ・ ORE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 ・ 本フラグが設定された場合は、受信データレジスタ (RDR) のデータは無効です。
bit5	FRE : フレーミングエラー フラグビット	受信データのフレーミングエラーを検出します。 ・ 受信時にフレーミングエラーが発生すると "1" に設定され、LIN-UART シリアル制御レジスタ (SCR) の CRE ビットに "1" を書き込むとクリアされます。 ・ FRE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 ・ 本フラグが設定された場合は、受信データレジスタ (RDR) のデータは無効です。
bit4	RDRF : 受信データ フルフラグビット	受信データレジスタ (RDR) の状態を示すフラグです。 ・ RDR に受信データがロードされると "1" に設定され、受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 ・ RDRF ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。
bit3	TDRE : 送信データエンプティ フラグビット	送信データレジスタ (TDR) の状態を示すフラグです。 ・ TDR に送信データを書き込むと "0" となり、TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると "1" となり、TDR に有効なデータが存在していないことを示します。 ・ TDRE ビットと TIE ビットが "1" の場合、送信割込み要求を出力します。 ・ TDRE ビットが "1" のとき、拡張通信制御レジスタ (ECCR) の LBR ビットに "1" を設定すると TDRE ビットは "0" となり、LIN sync break 生成後は "1" になります。 (注意事項) 初期状態では、TDRE = 1 になっています。
bit2	BDS : 転送方向選択ビット	転送シリアルデータを最下位ビット側から先に転送するか (LSB ファースト、BDS=0)、最上位ビット側から先に転送するか (MSB ファースト、BDS=1) を選択します。 (注意事項) シリアルデータレジスタへの読み出し、書き込み時にデータの上位側と下位側を入れ替えるため、RDR レジスタへデータを書き込んだ後、BDS ビットを書き換えると、そのデータは無効になります。 BDS ビットはモード 3(LIN) では "0" に固定されます。
bit1	RIE : 受信割込み要求許可 ビット	割込みコントローラへの受信割込み要求出力を許可または禁止します。 RIE ビットと受信データフラグビット (RDRF) が "1" の場合、または 1 つ以上のエラーフラグビット (PE, ORE, FRE) が "1" の場合、受信割込み要求を出力します。
bit0	TIE : 送信割込み要求許可 ビット	割込みコントローラへの送信割込み要求出力の許可 / 禁止をするビットです。 TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。

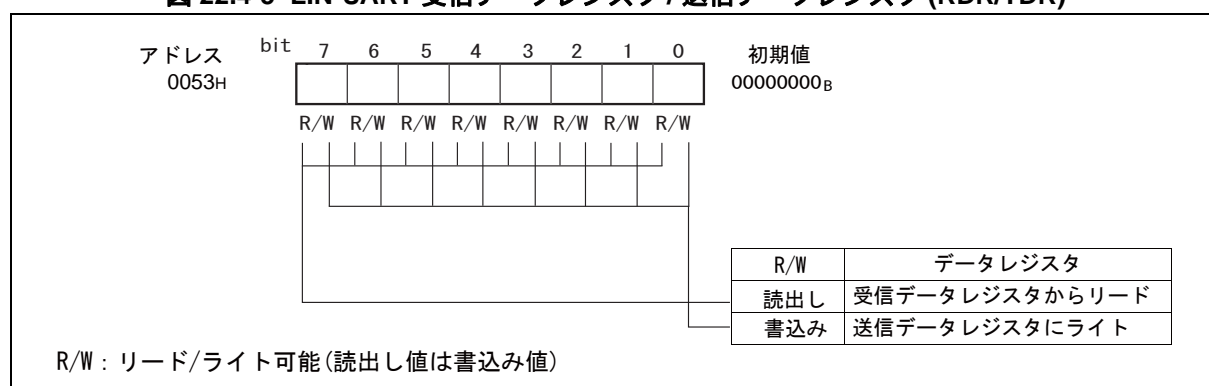
22.4.4 LIN-UART 受信データレジスタ / 送信データレジスタ (RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出した場合は、受信データレジスタとして機能し、書き込んだ場合は送信データレジスタとして機能します。

■ LIN-UART 受信データレジスタ (RDR/TDR)

図 22.4-5 に、LIN-UART 受信データレジスタ / 送信データレジスタ (RDR/TDR) を示します。

図 22.4-5 LIN-UART 受信データレジスタ / 送信データレジスタ (RDR/TDR)



■ LIN-UART 受信データレジスタ (RDR)

LIN-UART 受信データレジスタ (RDR) は、シリアルデータ受信用のデータバッファレジスタです。

シリアル入力端子 (SIN 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、LIN-UART 受信データレジスタ (RDR) に格納されます。

データ長が 7 ビットの場合は、上位 1 ビット (RDR:D7) は "0" となります。

受信データが、LIN-UART 受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR:RDRF) が "1" に設定されます。受信割込みが許可されている場合は (SSR:RIE=1)、受信割込み要求が発生します。

LIN-UART 受信データレジスタ (RDR) は、受信データフルフラグビット (SSR:RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR:RDRF) は、LIN-UART 受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。また、受信割込みが許可されていて、エラーが生じていない場合には受信割込みもクリアされます。

受信エラーが発生 (SSR:PE, ORE, FRE のいずれかが "1") した場合、LIN-UART 受信データレジスタ (RDR) のデータは無効となります。

■ LIN-UART 送信データレジスタ (TDR)

LIN-UART 送信データレジスタ (TDR) は、シリアルデータ送信用のデータバッファレジスタです。

送信動作が許可されている場合に (SCR:TXE=1), 送信するデータを LIN-UART 送信データレジスタ (TDR) に書き込むと、送信データが送信用シフトレジスタに転送されてシリアルデータに変換されて、シリアルデータ出力端子 (SOT 端子) から送出されます。

データ長が 7 ビットの場合、上位 1 ビット (TDR:D7) は無効データとなります。

送信データエンプティフラグ (SSR:TDRE) は、送信データが LIN-UART 送信データレジスタ (TDR) に書き込まれると "0" にクリアされます。

送信データエンプティフラグ (SSR:TDRE) は、送信用シフトレジスタへの転送が終了し、送信が開始されると "1" に設定されます。

送信データエンプティフラグ (SSR:TDRE) が "1" の場合は、次の送信用データを書き込みます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書き込みは、送信割込みの発生によるか、送信データエンプティフラグ (SSR:TDRE) が "1" の状態で行ってください。

< 注意事項 >

送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読み出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため、書き込み値と読み出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト (RMW) 系命令は使用できません。

22.4.5 LIN-UART 拡張ステータス制御レジスタ (ESCR)

LIN-UART 拡張ステータス制御レジスタ (ESCR) は、LIN synch break 割込み許可 / 禁止、LIN synch break 長選択、LIN synch break 検出、SIN, SOT 端子への直接アクセス、LIN-UART 同期クロックモードでの連続クロック出力およびサンプリングクロックエッジの設定があります。

■ LIN-UART 拡張ステータス制御レジスタ (ESCR) のビット構成

図 22.4-6 に LIN-UART 拡張ステータス制御レジスタ (ESCR) のビット構成を、表 22.4-4 に LIN-UART 拡張ステータス制御レジスタ (ESCR) の各ビットの機能説明を示します。

図 22.4-6 LIN-UART 拡張ステータス制御レジスタ (ESCR) のビット構成

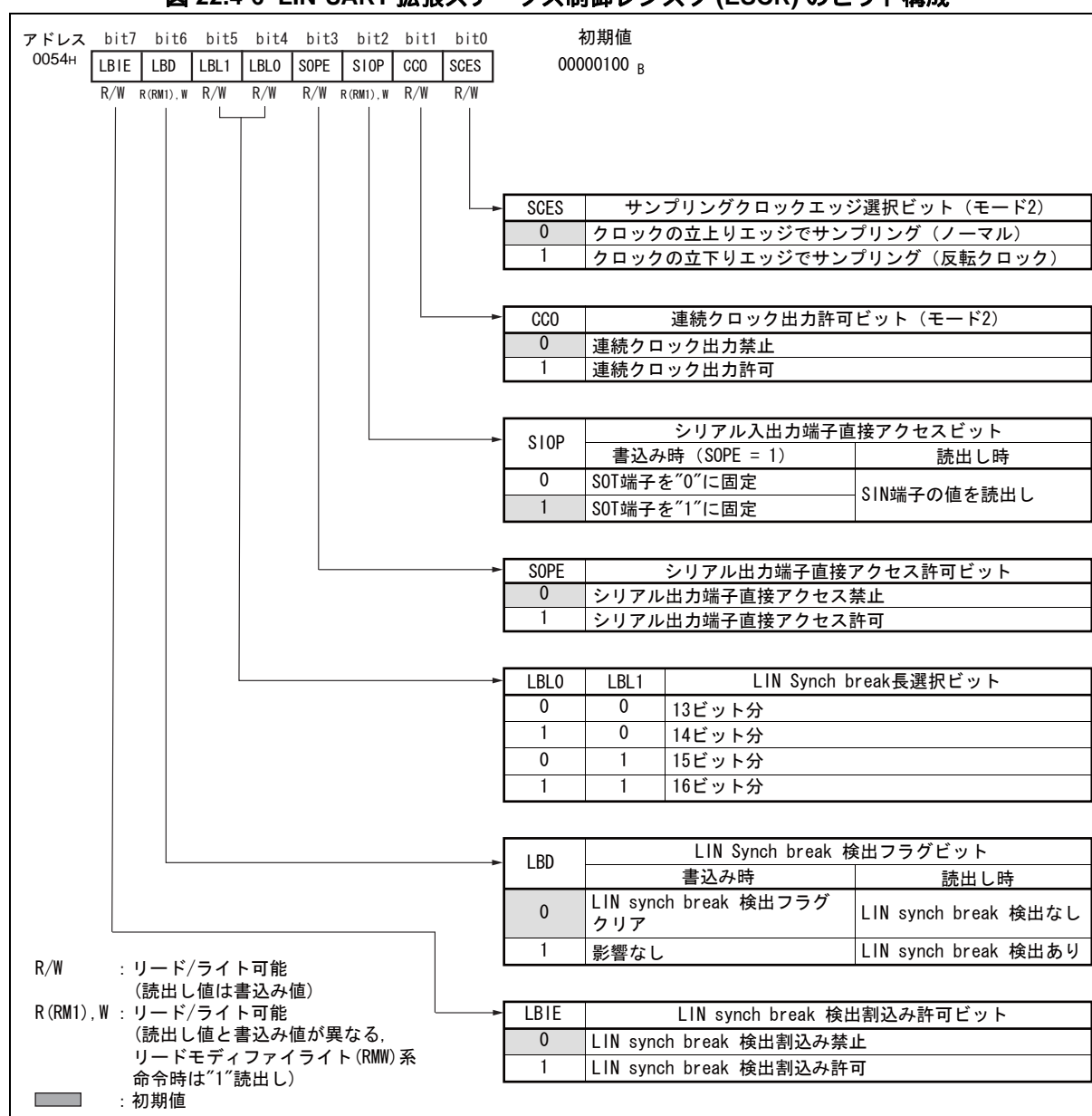


表 22.4-4 LIN-UART 拡張ステータス制御レジスタ (ESCR) の各ビットの機能説明

ビット名		機能
bit7	LBIE: LIN synch break 検出割込み 許可ビット	LIN synch break 検出割込みを許可 / 禁止するビットです。 LIN synch break 検出フラグ (LBD) が "1" のとき、割込みが許可 (LBIE=1) されると割込みを発生します。 モード 1, 2 では "0" に固定されます。
bit6	LBD: LIN synch break 検出フラグ ビット	LIN synch break を検出します。 動作モード 3 で LIN synch break が検出される (シリアル入力 11 ビット幅以上では "0" になる) と "1" に設定されます。また, "0" を書き込むと LBD ビットと割込みはクリアされます。リードモディファイライト (RMW) 系命令を実行すると常に "1" が読み出されますが LIN synch break の検出によるものではありません。 (注意事項) LIN synch break 検出を行う際には, LIN synch break 検出割込みを許可 (LBIE=1) に設定した後, 受信禁止 (SCR:RXE=0) に設定してください。
bit5, bit4	LBL1/LBL0: LIN synch break 長選択ビット	これらのビットは, LIN synch break の生成時間を何ビット分とするかを設定します。 受信 LIN synch break 長は常に 11 ビットです。
bit3	SOPE: シリアル出力端子 直接アクセス許可ビット *	SOT 端子への直接書き込みを許可または禁止します。 シリアルデータの出力が許可 (SMR:SOE=1) されているときに本ビットに "1" を設定すると, SOT 端子への直接書き込みを許可します。*
bit2	SIOP: シリアル入出力端子 直接 アクセスビット *	シリアル入出力端子への直接アクセスを制御します。 通常の読出し命令は, 常に SIN 端子の値を返します。 シリアル出力端子直接アクセス許可 (SOPE=1) のときに書き込みを行うと本ビット値が SOT 端子に反映されます。* (注意事項) ビット操作命令の場合は読出しサイクル内の SOT のビット値を返します。
bit1	CCO: 連続クロック出力許可ビット	SCK 端子からの連続シリアルクロック出力を許可または禁止します。 動作モード 2(同期) でシリアルクロック送信側のとき, 本ビットに "1" を設定すると, SCK 端子がクロック出力に設定されていると, SCK 端子からの連続シリアルクロック出力を許可します。 (注意事項) CCO ビットが "1" のとき, ECCR の SSM ビットを "1" にして使用してください。
bit0	SCES: サンプリングクロック エッジ 選択ビット	サンプリングエッジを選択します。動作モード 2(同期) シリアルクロック受信側のときに SCES を "1" に設定すると, サンプリングエッジが立上りエッジから立下りエッジへ切り換わります。 動作モード 2 のシリアルクロック送信側 (ECCR:MS=0) で SCK 端子がクロック出力のとき, 内部シリアルクロックと出力クロック信号が反転します。 動作モード 0, 1, 3 のときは "0" に設定してください。

* : SOPE と SIOP の相互作用説明

SOPE	SIOP	SIOP への書き込み	SIOP からの読出し
0	R/W	影響なし (ただし, 書き込み値は保持される)	SIN の値を返す
1	R/W	SOT へ "0" または "1" の書き込み	SIN の値を返す
1	RMW	SOT の値を読み出して "0" または "1" を書き込む	

22.4.6 LIN-UART 拡張通信制御レジスタ (ECCR)

LIN-UART 拡張通信制御レジスタ (ECCR) は、バスアイドル検出、同期クロック設定、および LIN Synch break の生成を行います。

■ LIN-UART 拡張通信制御レジスタ (ECCR) のビット構成

図 22.4-7 に LIN-UART 拡張通信制御レジスタ (ECCR) のビット構成を、表 22.4-5 に拡張通信制御レジスタ (ECCR) の各ビットの機能説明を示します。

図 22.4-7 LIN-UART 拡張通信制御レジスタ (ECCR) のビット構成

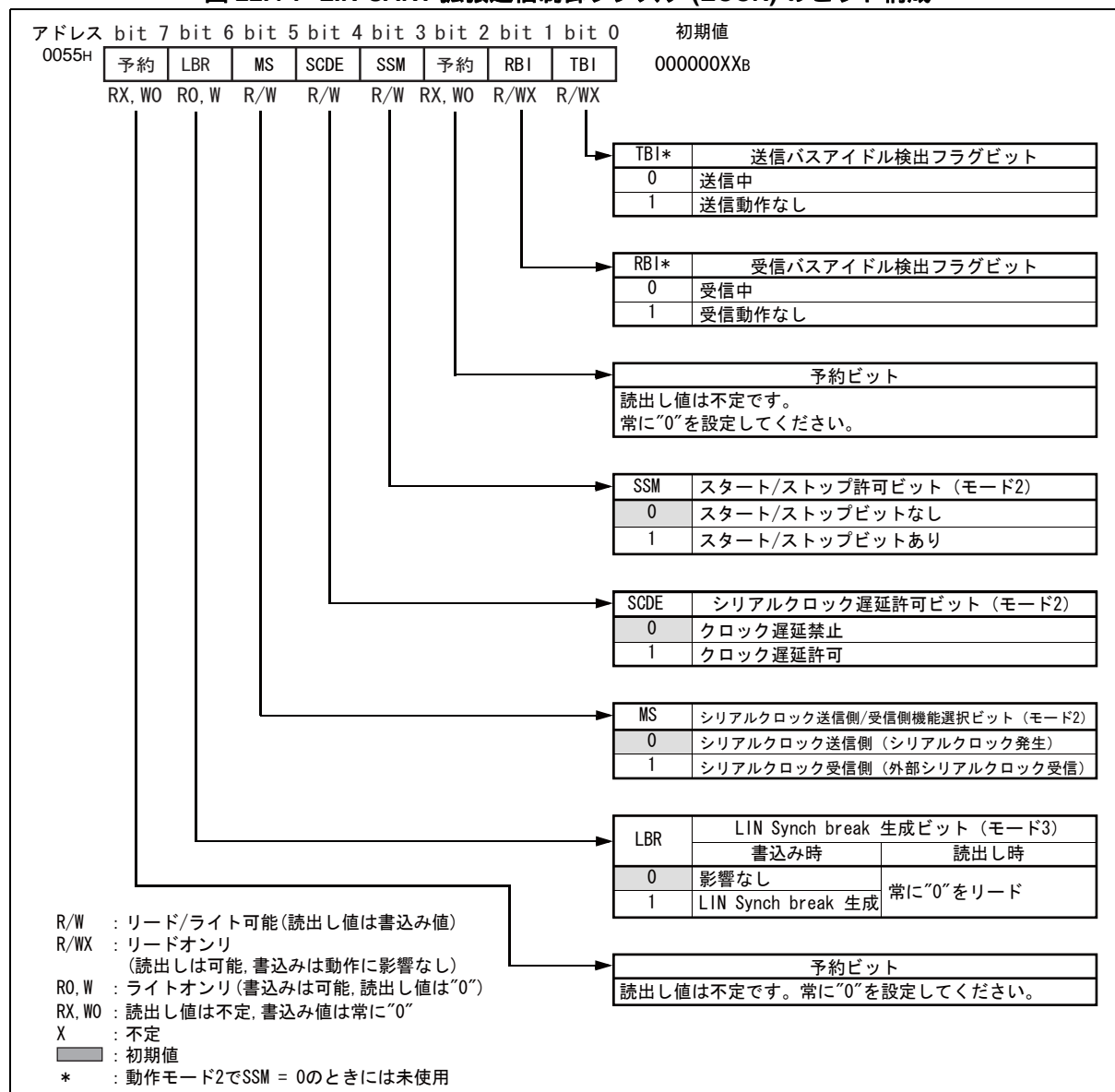


表 22.4-5 拡張通信制御レジスタ (ECCR) の各ビットの機能説明

ビット名		機能
bit7	予約ビット	読出し値は不定です。 常に "0" を設定してください。
bit6	LBR: LIN Synch break 生成ビット	モード 3 において、本ビットに "1" を設定すると ESCR の LBL0/ LBL1 ビットで設定された長さの LIN synch break を生成します。 モード 0, 1, 2 のときは "0" に設定してください。
bit5	MS: シリアルクロック 送信側 / 受信側選択ビット	モード 2 においてシリアルクロック送信側またはシリアルクロッ ク受信側を選択できます。 "0" のシリアルクロック送信側選択時は、同期クロックを生成しま す。 "1" のシリアルクロック受信側選択時は、外部シリアルクロックを 受信します。モード 0, 1, 3 のときは "0" に固定されます。 本ビットを変更する場合は、SCR: TXE ビットが "0" のときに行っ てください。 (注意事項) シリアルクロック受信側選択時は、クロックソースを 外部クロックに設定し、外部クロック入力を許可 (SMR:SCKE=0, EXT=1, OTO=1) にする必要があります。
bit4	SCDE: シリアルクロック遅延許可 ビット	モード 2 のシリアルクロック送信側動作時に、SCDE ビットを "1" に設定すると図 22.7-5 に示すような遅延したシリアルクロックを 出力します。本ビットはシリアルペリフェラルインタフェースに 有効です。 モード 0, モード 1, モード 3 のときは "0" に固定されます。
bit3	SSM: スタート / ストップビット モード許可ビット	モード 2 で本ビットが "1" に設定されているとスタート / ストップ ビットを同期データフォーマットに付加します。 モード 0, モード 1, モード 3 のときは "0" に固定されます。
bit2	予約ビット	読出し値は不定です。 常に "0" を設定してください。
bit1	RBI: 受信バスアイドル検出 フラグビット	SIN 端子が "H" レベルかつ受信動作をしていない場合に "1" になり ます。動作モード 2 で SSM=0 の場合は本ビットを使用しないでく ださい。
bit0	TBI: 送信バスアイドル検出 フラグビット	SOT 端子に送信動作がない場合は "1" になります。動作モード 2 で SSM=0 のときは本ビットを使用しないでください。

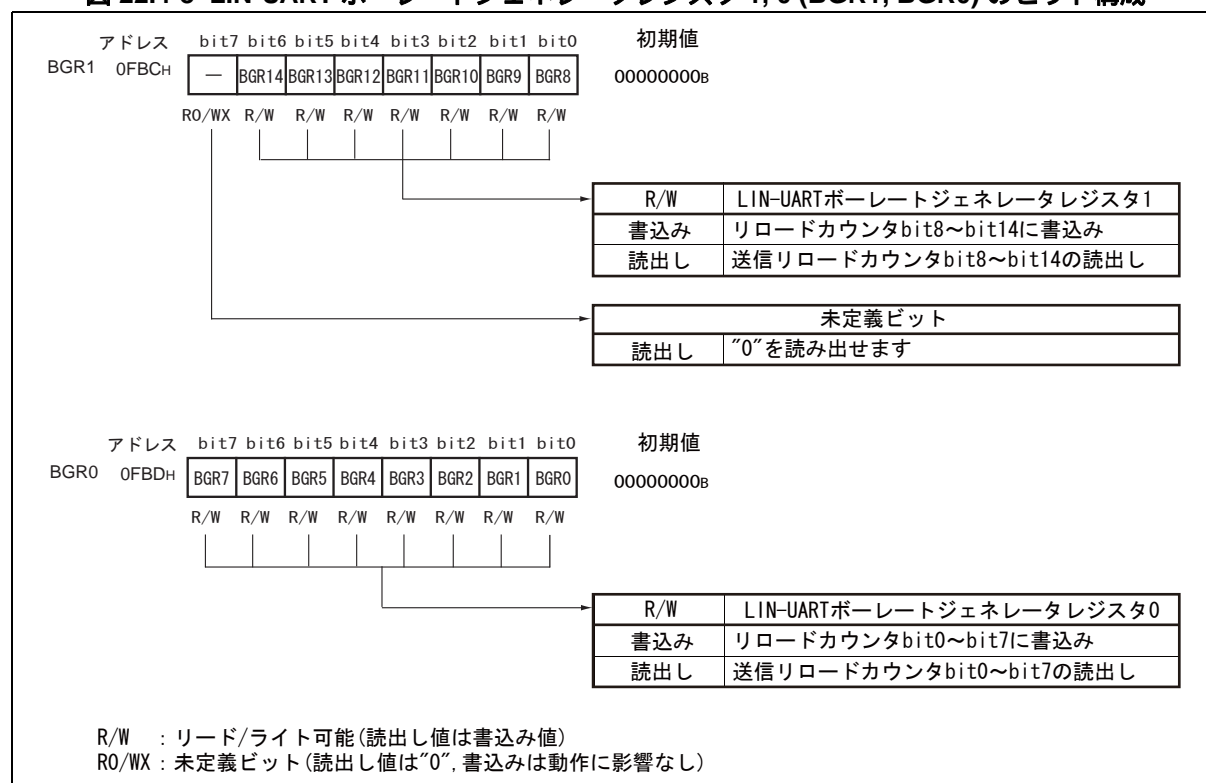
22.4.7 LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は、シリアルクロックの分周比を設定します。また、送信リロードカウンタのカウント値を読み出すことができます。

■ LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成

図 22.4-8 に、LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 22.4-8 LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成



LIN-UART ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。

BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウンタのリロード値の書込みと送信リロードカウンタ値の読出しが可能です。また、バイト・ワードアクセスできます。

LIN-UART ボーレートジェネレータレジスタにリロード値を書き込むとリロードカウンタはカウントを開始します。

< 注意事項 >

このレジスタへの書込みは、LIN-UART の動作停止中に行ってください。

22.5 LIN-UART の割込み

LIN-UART には、受信割込みと送信割込みがあり、次に示す要因で割込みを発生し、それぞれに割込み番号と割込みベクタが割り当てられています。また、8/16 ビット複合タイマの割込みを使用した LIN synch field エッジ検出割込み機能もあります。

- 受信割込み
受信データが受信データレジスタ (RDR) に設定された場合、または受信エラーが発生した場合。また、LIN synch break 検出時。
- 送信割込み
送信データが送信データレジスタ (TDR) から送信用シフトレジスタに転送され、送信が開始された場合。

■ 受信割込み

表 22.5-1 に、受信割込みの割込み制御ビットと割込み要因を示します。

表 22.5-1 受信割込みの割込み制御ビットと割込み要因

割込み要求 フラグビット	フラグ レジスタ	動作モード				割込み要因	割込み要因 許可ビット	割込み要求フラグの クリア
		0	1	2	3			
RDRF	SSR					受信データの RDR 書込み	SSR:RIE	受信データの読出し
ORE	SSR					オーバランエラー		受信エラーフラグクリアビット (SCR:CRE) への "1" の書込み
FRE	SSR					フレーミングエラー		
PE	SSR		×		×	パリティエラー		
LBD	ESCR	×	×	×		LIN synch break 検出	ESCR:LBIE	ESCR:LBD への "0" 書込み

: 使用ビット

× : 未使用ビット

: ECCR:SSM=1 のみ使用可能

● 受信割込み

以下に示す動作が受信モードで発生すると、LIN-UART シリアルステータスレジスタ (SSR) の各フラグビットは "1" に設定されます。

データ受信完了

受信データがシリアル入力シフトレジスタから LIN-UART 受信データレジスタ (RDR) へ転送された場合 (RDRF=1)

オーバランエラー

RDRF=1 で、RDR が CPU によって読出しされずに、次のシリアルデータを受信した場合 (ORE=1)

フレーミングエラー

ストップビット受信エラーが発生した場合 (FRE=1)

パリティエラー

パリティ検出エラーが発生した場合 (PE=1)

上記フラグビットのいずれかが "1" のとき、受信割込みが許可 (SSR:RIE=1) されていると、受信割込み要求が発生します。

RDRF フラグは、LIN-UART 受信データレジスタ (RDR) を読み出すと、自動的に "0" にクリアされます。エラーフラグは LIN-UART シリアル制御レジスタ (SCR) の受信エラーフラグクリアビット (CRE) に "1" を書き込むと、すべて "0" にクリアされます。

< 注意事項 >

CRE ビットは受信動作禁止 (RXE=0) 後に受信エラーフラグをクリアしてください。受信動作を禁止せずに受信エラーフラグをクリアにすると、そのタイミングで受信をいったん中断し、その後再開します。このため、受信再開時に正常なデータを受信しない場合があります。

● LIN synch break 割込み

動作モード 3 で、LIN スレーブ動作をする場合に機能します。

内部データバス (シリアル入力) が 11 ビットの間以上 "0" になると、拡張ステータス制御レジスタ (ESCR) の LIN synch break 検出フラグビット (LBD) は "1" に設定されます。LIN synch break 割込みと LBD フラグは、LBD フラグの "0" の書込みでクリアされます。LIN synch field で 8/16 ビット複合タイマ割込みが発生する前に LBD フラグをクリアしてください。

LIN synch break 検出を行う際には、受信禁止 (SCR:RXE=0) にする必要があります。

■ 送信割込み

表 22.5-2 に、送信割込みの割込み制御ビットと割込み要因を示します。

表 22.5-2 送信割込みの割込み制御ビットと割込み要因

割込み要求 フラグビット	フラグ レジスタ	動作モード				割込み要因	割込み要因 許可ビット	割込み要求フラグの クリア
		0	1	2	3			
TDRE	SSR					送信レジスタが空	SSR:TIE	送信データの書込み

: 使用ビット

● 送信割込み

送信データが LIN-UART 送信データレジスタ (TDR) から送信シフトレジスタに転送されて送信が開始されると、LIN-UART シリアルステータスレジスタ (SSR) の送信データレジスタエンプティフラグビット (TDRE) が "1" に設定されます。この場合、送信割込みが許可 (SSR:TIE=1) されていると、送信割込み要求が発生します。

< 注意事項 >

ハードウェアリセット/ソフトウェアリセット後の TDRE の初期値が "1" であるため、TIE ビットが "1" に設定されると、直ちに割込みが発生します。また、TDRE は、送信データレジスタ (TDR) にデータを書き込むことでのみクリアされます。

■ LIN synch field エッジ検出割込み (8/16 ビット複合タイマ割込み)

表 22.5-3 に、LIN synch field エッジ検出割込みの割込み制御ビットと割込み要因を示します。

表 22.5-3 LIN synch field エッジ検出割込みの割込み制御ビットと割込み要因

割込み要求 フラグビット	フラグ レジスタ	動作モード				割込み要因	割込み要因 許可ビット	割込み要求 フラグのクリア
		0	1	2	3			
IR	T00CR1	×	×	×		LIN synch field の 1 回目の立下りエッジ	T00CR1:IE	T00CR1:IR への "0" 書込み
IR	T00CR1	×	×	×		LIN synch field の 5 回目の立下りエッジ		

: 使用ビット

× : 未使用ビット

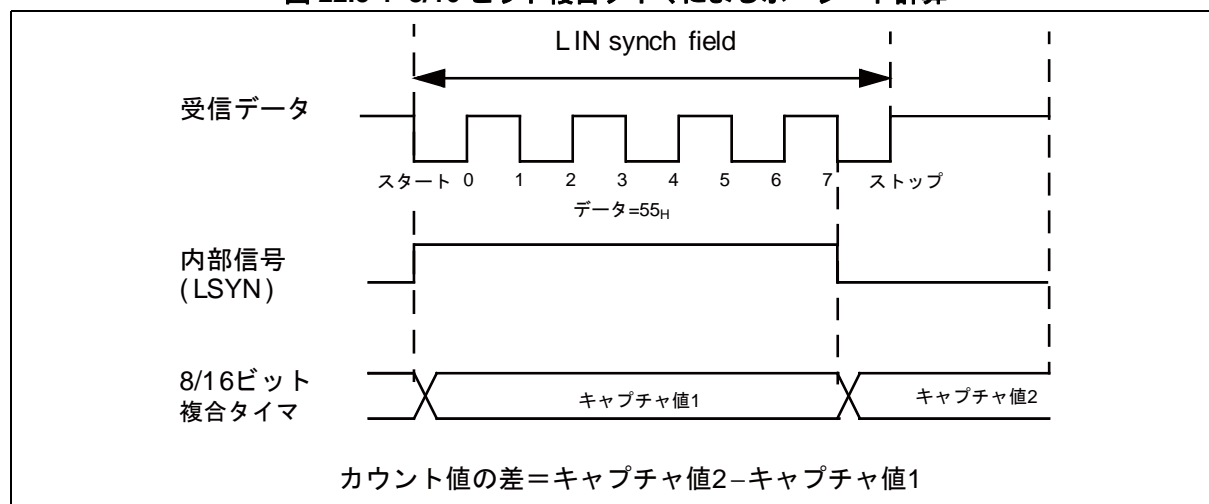
● LIN synch field エッジ検出割込み (8/16 ビット複合タイマ割込み)

動作モード 3 で、LIN スレーブ動作をする場合に機能します。

LIN synch break 検出後、内部信号 (LSYN) は LIN synch field の 1 回目の立下りエッジで "1" に設定され、5 回目の立下りエッジ後に "0" に設定されます。内部信号を 8/16 ビット複合タイマへ入力するように 8/16 ビット複合タイマ側で設定し、かつ両方のエッジを検出するように設定した場合、8/16 ビット複合タイマ割込みが許可されていると 8/16 ビット複合タイマの割込みが発生します。

8/16 ビット複合タイマで検出されたカウント値の差 (図 22.5-1 を参照) は、マスタのリアルクロック 8 ビット分に相当し、この値から新しいボーレートを計算できます。なお、新しいボーレートを設定した場合、設定した次のスタートビットの立下りエッジ検出から、新しいボーレート値が有効となります。

図 22.5-1 8/16 ビット複合タイマによるボーレート計算



■ LIN-UART の割込みに関連するレジスタとベクタテーブル

表 22.5-4 LIN-UART の割込みに関連するレジスタとベクタテーブル

割込み要因	割込み 要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
受信	IRQ7	ILR1	L07	FFEC _H	FFED _H
送信	IRQ8	ILR2	L08	FFEA _H	FFEB _H

22.5.1 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了 (SSR:RDRF) および受信エラーの発生 (SSR:PE, ORE, FRE) があります。

■ 受信割込み発生とフラグセットのタイミング

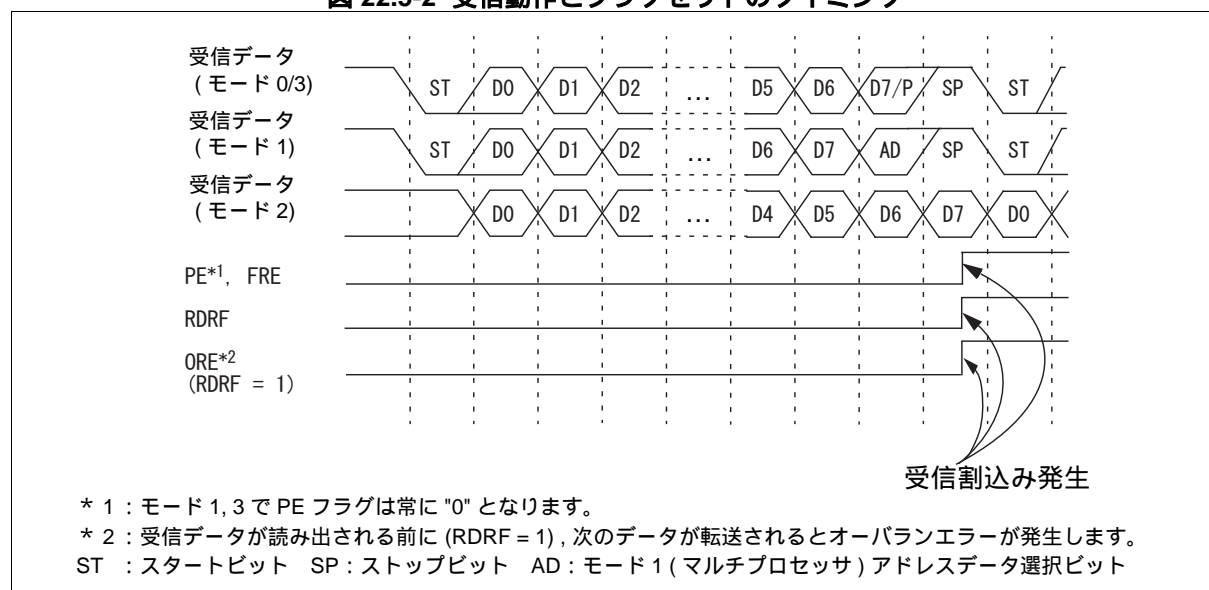
モード 0, 1, 2(SSM=1), 3 で最初のストップビットが検出、またはモード 2(SSM=0) で最終データビットが検出されることにより、受信データが受信データレジスタ (RDR) に格納されます。受信が完了したとき (SSR:RDRF=1), または受信エラーが発生 (SSR:PE, ORE, FRE=1) したときに各エラーフラグが設定されます。そのとき、受信割込みが許可 (SSR:RIE=1) されていると受信割込みが発生します。

< 注意事項 >

各モードで受信エラーが発生したときは、LIN-UART 受信データレジスタ (RDR) のデータは無効となります。

図 22.5-2 に、受信動作とフラグセットのタイミングを示します。

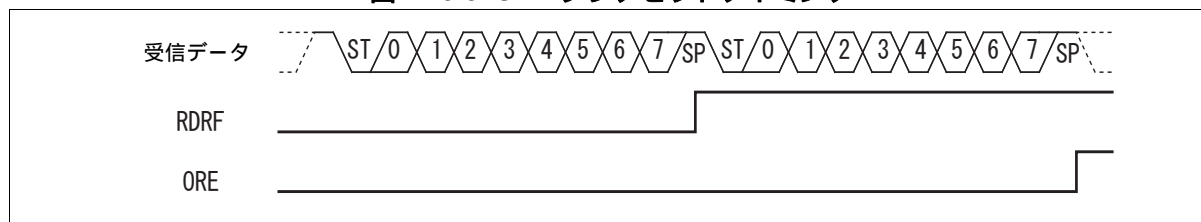
図 22.5-2 受信動作とフラグセットのタイミング



< 注意事項 >

図 22.5-2 はモード 0 におけるすべての受信動作を表していません。通信フォーマットが 7 ビットデータ、パリティあり (パリティ = "偶数パリティ" または "奇数パリティ"), ストップビット 1 と 8 ビットデータ、パリティなし、ストップビット 1 の例のみ示されています。

図 22.5-3 ORE フラグセットタイミング



22.5.2 送信割込み発生とフラグセットのタイミング

送信時の割込みは、送信データが LIN-UART 送信データレジスタ (TDR) から送信用シフトレジスタに転送され、送信が開始されると発生します。

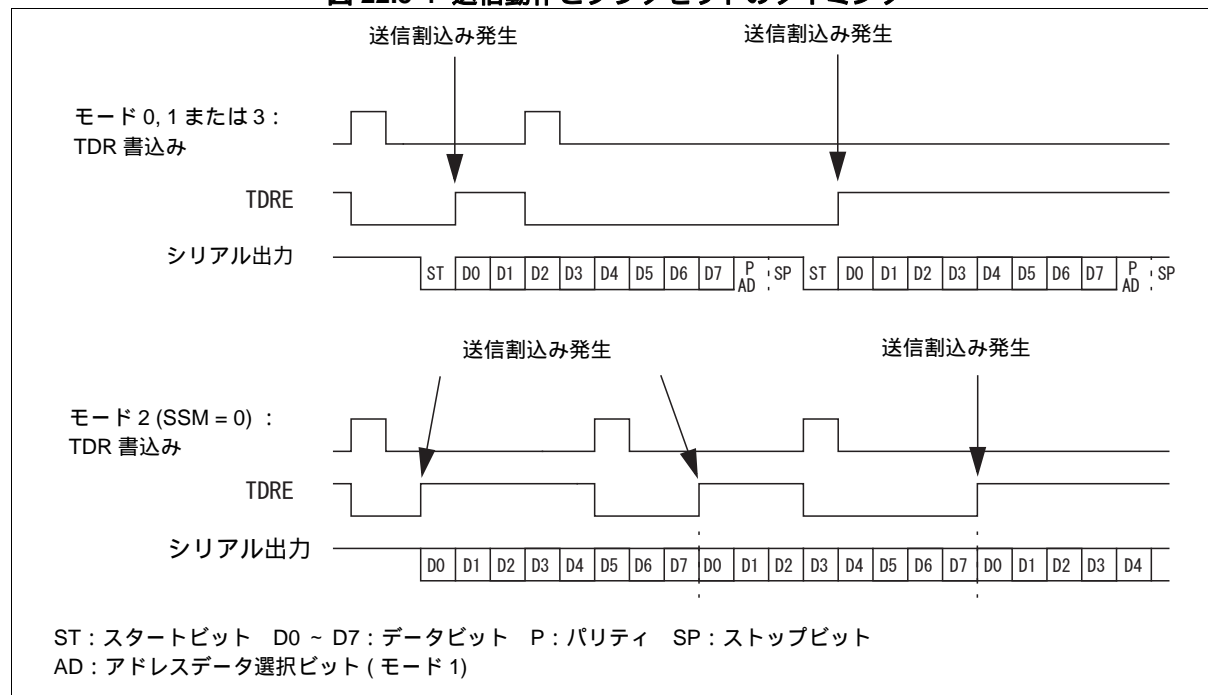
■ 送信割込み発生とフラグセットのタイミング

LIN-UART 送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送されて送信が開始されると、次のデータの書き込みが可能な状態 (SSR:TDRE=1) になります。そのとき、送信割込みが許可 (SSR:TIE=1) されていると、送信割込みが発生します。

TDRE ビットは読出しのみ可能です。LIN-UART 送信データレジスタ (TDR) へのデータ書き込みのみにより "0" にクリアされます。

図 22.5-4 に、送信動作とフラグセットのタイミングを示します。

図 22.5-4 送信動作とフラグセットのタイミング



< 注意事項 >

図 22.5-4 はモード 0 におけるすべての送信動作については説明していません。"8P1" (P=" 偶数パリティ " または " 奇数パリティ ") についてのみ示されています。

パリティビットはモード 3 の場合、もしくはモード 2 で SSM=0 の場合には送信されません。

■ 送信割込み要求発生タイミング

送信割込みが許可されている場合に (SSR:TIE=1), TDRE フラグが "1" に設定されると , 送信割込みが発生します。

< 注意事項 >

初期状態では , TDRE ビットが "1" になっていますので , 送信割込みを許可 (SSR:TIE=1) に設定すると , 直ちに送信割込みが発生します。TDRE ビットのクリアは , 送信データレジスタ (TDR) に新規データを書き込むことしかありませんので , 送信割込み許可のタイミングには注意してください。

全周辺機能の割込み要求番号 / ベクタテーブルについては「付録 B 割込み要因のテーブル」を参照してください。

22.6 LIN-UART のボーレート

LIN-UART の入力クロック (送受信クロックソース) は、次のいずれかを選択できます。

- マシンクロックをボーレートジェネレータに入力 (リロードカウンタ)
- 外部クロックをボーレートジェネレータに入力 (リロードカウンタ)
- 外部クロック (SCK 端子入力クロック) の直接使用

■ LIN-UART ボーレート選択

ボーレートは次の 3 種類の中から 1 種類を選択できます。図 22.6-1 に、LIN-UART ボーレート選択回路を示します。

- 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送信シリアルクロック受信シリアルクロックに対応しています。LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することによりボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

非同期モード、同期モード (シリアルクロック送信側) 時に使用します。

クロックソースの設定は、内部クロックとボーレートジェネレータクロック使用を選択 (SMR:EXT=0, OTO=0) してください。

- 専用ボーレートジェネレータ (リロードカウンタ) で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

非同期モード時に使用します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択 (SMR:EXT=1, OTO=0) してください。

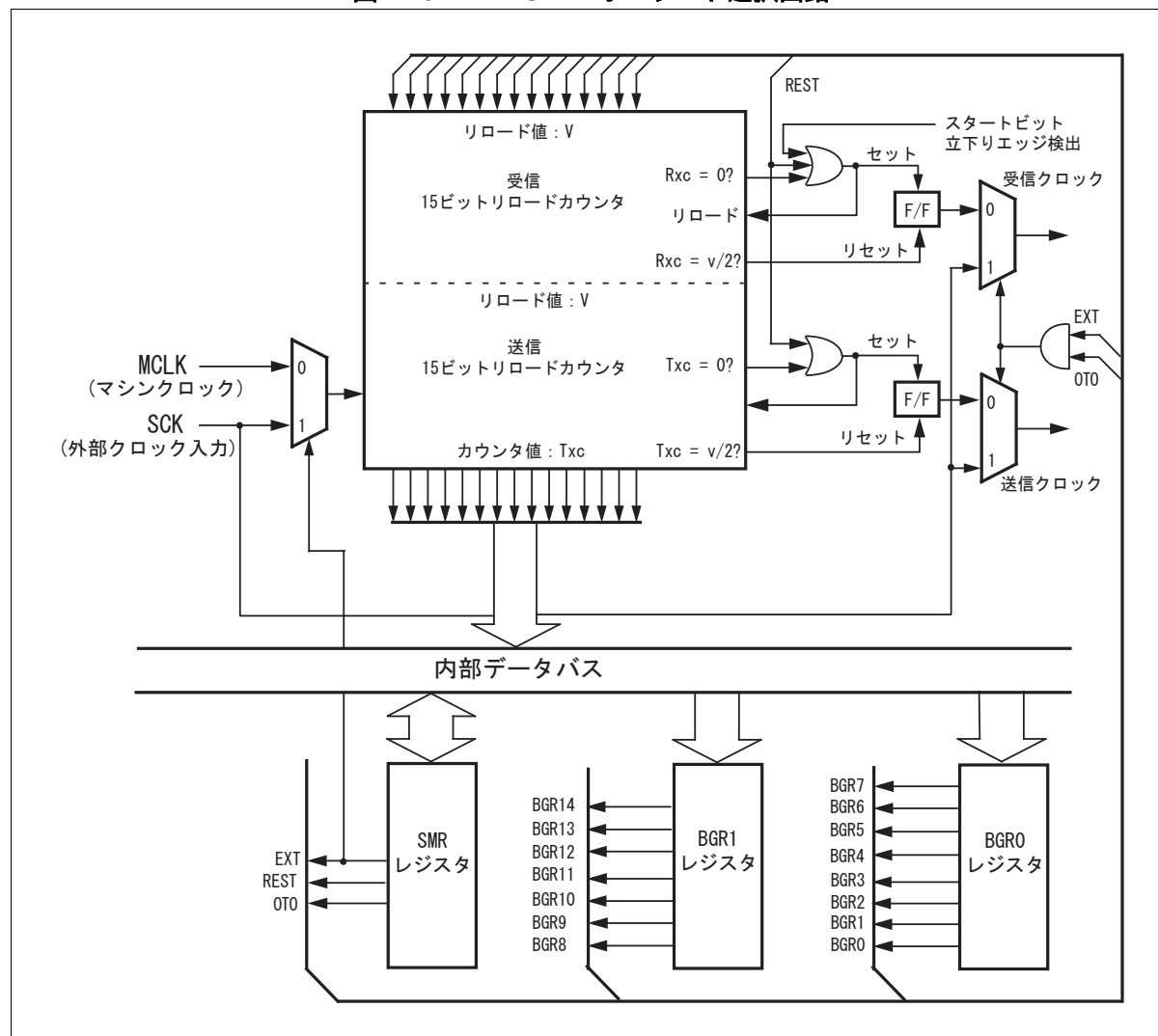
- 外部クロック (1 対 1 モード) によるボーレート

LIN-UART のクロック入力端子 (SCK) から入力されたクロックをそのままボーレートとして使用します (同期モード 2 スレーブ動作 (ECCR:MS=1))。

同期モード (シリアルクロック受信側) 時に使用します。

クロックソースの設定は、外部クロックと外部クロック直接使用を選択 (SMR:EXT=1, OTO=1) してください。

図 22.6-1 LIN-UART ボーレート選択回路



22.6.1 ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレートの計算式を以下に示します。

リロード値：

$$v = \left(\frac{\text{MCLK}}{b} \right) - 1$$

v: リロード値 b: ボーレート MCLK: マシナクロック, 外部クロック周波数

計算例

マシナクロック 10MHz, 内部クロック使用, ボーレートを 19200 bps に設定する場合, 次のようになります。

リロード値：

$$v = \left(\frac{10 \times 10^6}{19200} \right) - 1 = 519.83... \quad 520$$

よって, 実際のボーレートは下記のように計算できます。

$$b = \frac{\text{MCLK}}{(v + 1)} = \frac{10 \times 10^6}{521} = 19193.8579$$

< 注意事項 >

リロード値を "0" に設定するとリロードカウンタは停止します。そのため, 最低のリロード値は "1" にしてください。

非同期モードで送受信する際, 5回オーバーサンプリングして受信値を決定するため, リロード値を最低でも "4" に設定する必要があります。

■ 各クロック速度のリロード値とボーレート

表 22.6-1 に、リロード値とボーレートを示します。

表 22.6-1 リロード値とボーレート

ボー レート (bps)	8MHz (MCLK)		10MHz (MCLK)		16MHz (MCLK)		16.25MHz (MCLK)	
	リロード 値	周波数 偏差	リロード 値	周波数 偏差	リロード 値	周波数 偏差	リロード 値	周波数 偏差
2M	-	-	4	0	7	0	-	-
1M	7	0	9	0	15	0	-	-
500000	15	0	19	0	31	0	-	-
400800	-	-	-	-	-	-	-	-
250000	31	0	39	0	63	0	64	0
230400	-	-	-	-	68	- 0.64	-	-
153600	51	- 0.16	64	- 0.16	103	- 0.16	105	0.19
125000	63	0	79	0	127	0	129	0
115200	68	- 0.64	86	0.22	138	0.08	140	- 0.04
76800	103	0.16	129	0.16	207	- 0.16	211	0.19
57600	138	0.08	173	0.22	277	0.08	281	- 0.04
38400	207	0.16	259	0.16	416	0.08	422	- 0.04
28800	277	0.08	346	- 0.06	555	0.08	563	- 0.04
19200	416	0.08	520	0.03	832	- 0.04	845	- 0.04
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1559	< 0.01
9600	832	- 0.04	1041	0.03	1666	0.02	1692	0.02
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2256	< 0.01
4800	1666	0.02	2082	- 0.02	3332	< 0.01	3384	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	6770	< 0.01
1200	6666	< 0.01	8334	< 0.01	13332	< 0.01	13541	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	27082	< 0.01
300	26666	< 0.01	-	-	53332	< 0.01	54166	< 0.01

周波数偏差 (dev.) の単位は % です。MCLK はマシクロックです。

■ 外部クロック

LIN-UART シリアルモードレジスタ (SMR) の EXT ビットに "1" を書き込むと外部クロックが選択されます。ボーレートジェネレータで外部クロックは内部クロックと同じように使用できます。

同期モード 2 でスレーブ動作を使用する際に、1 対 1 外部クロック入力モード (SMR:OTO=1) を選択します。このモードでは、SCK に入力された外部クロックが LIN-UART のシリアルクロックに直接入力されます。

< 注意事項 >

外部クロック信号は LIN-UART で内部クロック (MCLK: マシナクロック) に同期します。したがって、外部クロックが内部クロックの半分の周期より高速である場合、分周不可能な外部クロックとなるため、不安定な信号状態になります。外部クロックの周期は内部クロックの半分の周期より高速にならないようにしてください。SCK のクロックの値は、「データシート」を参照してください。

■ 専用ボーレートジェネレータ (リロードカウンタ) の動作

図 22.6-2 に、専用ボーレートジェネレータ (リロードカウンタ) の動作を示します。

図 22.6-2 専用ボーレートジェネレータ (リロードカウンタ) の動作



< 注意事項 >

シリアルクロック信号の立下りエッジは、リロード値を 2 で割った値 ($(v+1)/2$) をカウントした後に発生します。

22.6.2 リロードカウンタ

専用ボーレートジェネレータとして機能する 15 ビットのリロードカウンタです。外部クロックまたは内部クロックより送受信クロックを生成します。

また、送信リロードカウンタのカウント値を LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) より読み出すことができます。

■ リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値を LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) より読み出すことができます。

● カウントの開始

LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

● 再スタート

リロードカウンタは下記の条件で再スタートされます。

送信 / 受信リロードカウンタ共通

- LIN-UART プログラマブルリセット (SMR:UPCL ビット)
- プログラマブル再スタート (SMR:REST ビット)

受信リロードカウンタ

非同期モードでのスタートビット立下りエッジ検出

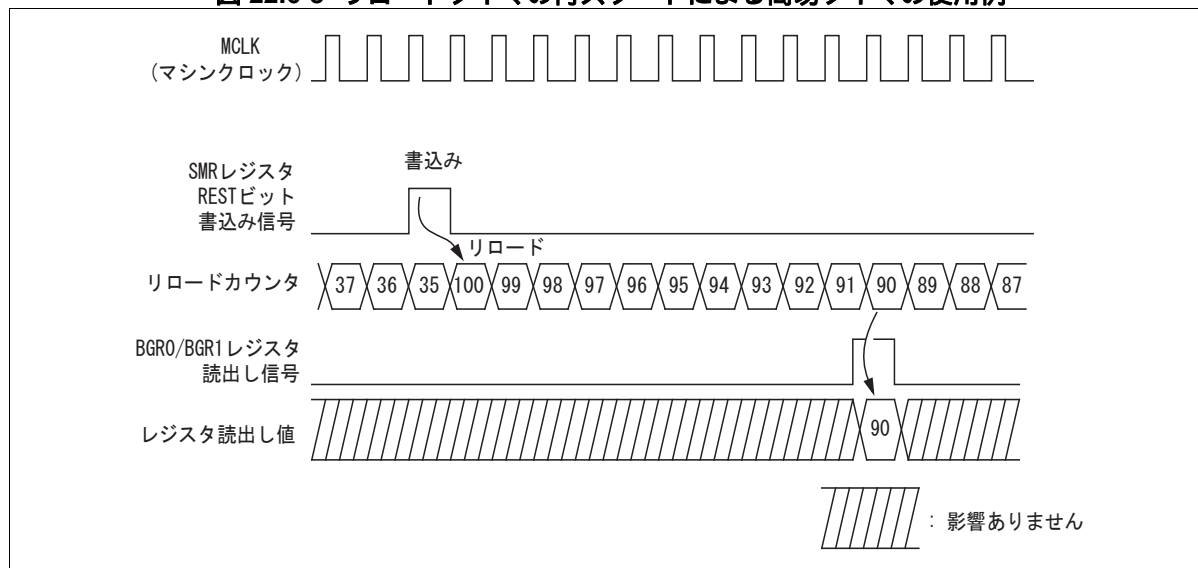
● 簡易タイマ機能

LIN-UART シリアルモードレジスタ (SMR) の REST ビットを "1" に設定すると、次のクロックサイクルで 2 つのリロードカウンタは再スタートします。

この機能により送信リロードカウンタを簡易的なタイマとして使用することが可能です。

図 22.6-3 に、リロードタイマの再スタートによる簡易タイマの使用例を示します (リロード値 100 の場合)。

図 22.6-3 リロードタイマの再スタートによる簡易タイマの使用例



この例では、再スタート後のマシンサイクル数 cyc は下式で求められます。

$$cyc = v - c + 1 = 100 - 90 + 1 = 11$$

v : リロード値, c : リロードカウンタの値

< 注意事項 >

SMR:UPCL ビットに "1" を書き込むことで LIN-UART をリセットした場合にも、リロードカウンタは再スタートします。

自動再スタート (受信リロードカウンタのみ)

非同期モードでスタートビット立下りエッジが検出されると、受信リロードカウンタが再スタートします。これは受信シフトレジスタを受信データに同期させるための機能です。

● カウンタのクリア

リセットにより LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のリロード値とリロードカウンタが "00_H" にクリアされてリロードカウンタは停止します。

LIN-UART リセット (SMR:UPCL への "1" 書込み) ではカウンタ値は一時 "00_H" にクリアされますが、リロード値は保持されていますのでリロードカウンタは再スタートします。

再スタートの設定 (SMR:REST への "1" 書込み) ではカウンタ値は "00_H" にクリアされずに再スタートします。

22.7 LIN-UART の動作説明と設定手順例

LIN-UART は、モード 0, 2 の双方向シリアル通信、モード 1 のマスタ/スレーブ通信、モード 3 の LIN マスタ/スレーブ通信で動作します。

■ LIN-UART の動作

● 動作モード

LIN-UART の動作モードにはモード 0 ~ 3 の 4 種類があり、表 22.7-1 に示すように CPU 間の接続方式やデータ転送方式を選択することができます。

表 22.7-1 LIN-UART の動作モード

動作モード		データ長		同期方式	ストップビット長	データビットフォーマット
		パリティなし	パリティあり			
0	ノーマルモード	7 ビットまたは 8 ビット		非同期	1 ビット または 2 ビット	LSB ファースト MSB ファースト
1	マルチプロセッサモード	7 ビットまたは 8 ビット + 1*		非同期		
2	ノーマルモード	8 ビット		同期	なし, 1 ビット, 2 ビット	
3	LIN モード	8 ビット		非同期	1 ビット	LSB ファースト

: 設定不可

*: "+1" はマルチプロセッサモードで通信制御用に使用されるアドレス / データ選択ビット (AD) です。

LIN-UART シリアルモードレジスタ (SMR) の MD1 と MD0 ビットで、下記に示す LIN-UART の動作モードを決定します。

表 22.7-2 LIN-UART の動作モード

MD1	MD0	モード	種類
0	0	0	非同期 (ノーマルモード)
0	1	1	非同期 (マルチプロセッサモード)
1	0	2	同期 (ノーマルモード)
1	1	3	非同期 (LIN モード)

< 注意事項 >

- モード 1 でマスタ/スレーブ接続されたシステムにおいて、マスタとスレーブいずれの動作にも対応しています。
- モード 3 では、通信フォーマットが 8 ビットデータ、パリティなし、ストップビット 1、LSB ファーストに固定されます。
- モード切換えを行った場合、すべての送受信動作は打ち切れ、次の動作待ち状態になります。

■ CPU 間接続方式

外部クロック 1 対 1 接続 (ノーマルモード) とマスタ / スレーブ型接続 (マルチプロセッサモード) のどちらかを選択できます。どちらの方式でも、データ長、パリティ有無、同期方式などは、すべての CPU 間で統一しておく必要があり、動作モードを次のように選択します。

- 1 対 1 接続の場合: 2 つの CPU 間で動作モード 0、動作モード 2 のいずれかの同じ方式を採用する必要があります。非同期方式では動作モード 0、同期方式では動作モード 2 を選択してください。また、動作モード 2 では 1 つの CPU 側をシリアルクロック送信側へ、もう 1 つの CPU 側をシリアルクロック受信側へ設定してください。
- マスタ / スレーブ型接続の場合: 動作モード 1 を選択します。マスタ / スレーブシステムとして使用してください。

■ 同期方式

非同期方式において、受信クロックは受信スタートビットの立下りエッジに同期します。同期方式では、シリアルクロック送信側のクロック信号またはシリアルクロック送信側として動作したときのクロック信号によって同期させることができます。

■ 信号方式

NRZ(Non Return to Zero) 形式です。

■ 送受信許可

LIN-UART は送信と受信の動作をそれぞれ SCR:TXE ビットと SCR:RXE ビットによって制御します。送信または受信を禁止に設定する場合は、下記のように行ってください。

- 受信を禁止する場合、受信動作中であれば受信が終了するのを待ち、受信データレジスタ RDR を読み出してから行ってください。
- 送信を禁止する場合、送信動作中であれば送信動作が終了するのを待ってから行ってください。

■ 設定手順例

LIN-UART の設定手順例を以下に示します。

● 初期設定

- 1) ポートの入力設定 (DDR6)
- 2) 割込みレベルの設定 (ILR1, ILR2)
- 3) データ形式設定、送受信動作許可 (SCR)
- 4) 動作モード、ボーレート選択、端子出力許可 (SMR)
- 5) ボーレートジェネレータ 1, 0 (BGR1, BGR0)

22.7.1 非同期モード (動作モード 0, 1) の動作

LIN-UART を動作モード 0 (ノーマルモード), または動作モード 1 (マルチプロセッサモード) で使用する場合, 転送方式は非同期となります。

■ 非同期モードの動作

● 送受信データフォーマット

送受信データは必ずスタートビット ("L" レベル) から始まり, 指定されたデータビット長の送受信が行われ, 少なくとも 1 ビットのストップビット ("H" レベル) で終了します。

ビット転送方向 (LSB ファーストまたは MSB ファースト) は LIN-UART シリアルステータスレジスタ (SSR) の BDS ビットで決定されます。パリティありの場合, パリティビットは常に最終データビットと最初のストップビットの間に置かれます。

動作モード 0 では, データ長は 7 ビットまたは 8 ビットを選択します。パリティは, あり / なしの選択ができます。また, ストップビット長 (1 または 2) が選択可能です。

動作モード 1 では, データ長は 7 ビットまたは 8 ビットで, パリティは付加されず, アドレス / データビットが付加されます。ストップビット長 (1 または 2) を選択できます。

送受信フレームのビット長計算式は, 以下のようになります。

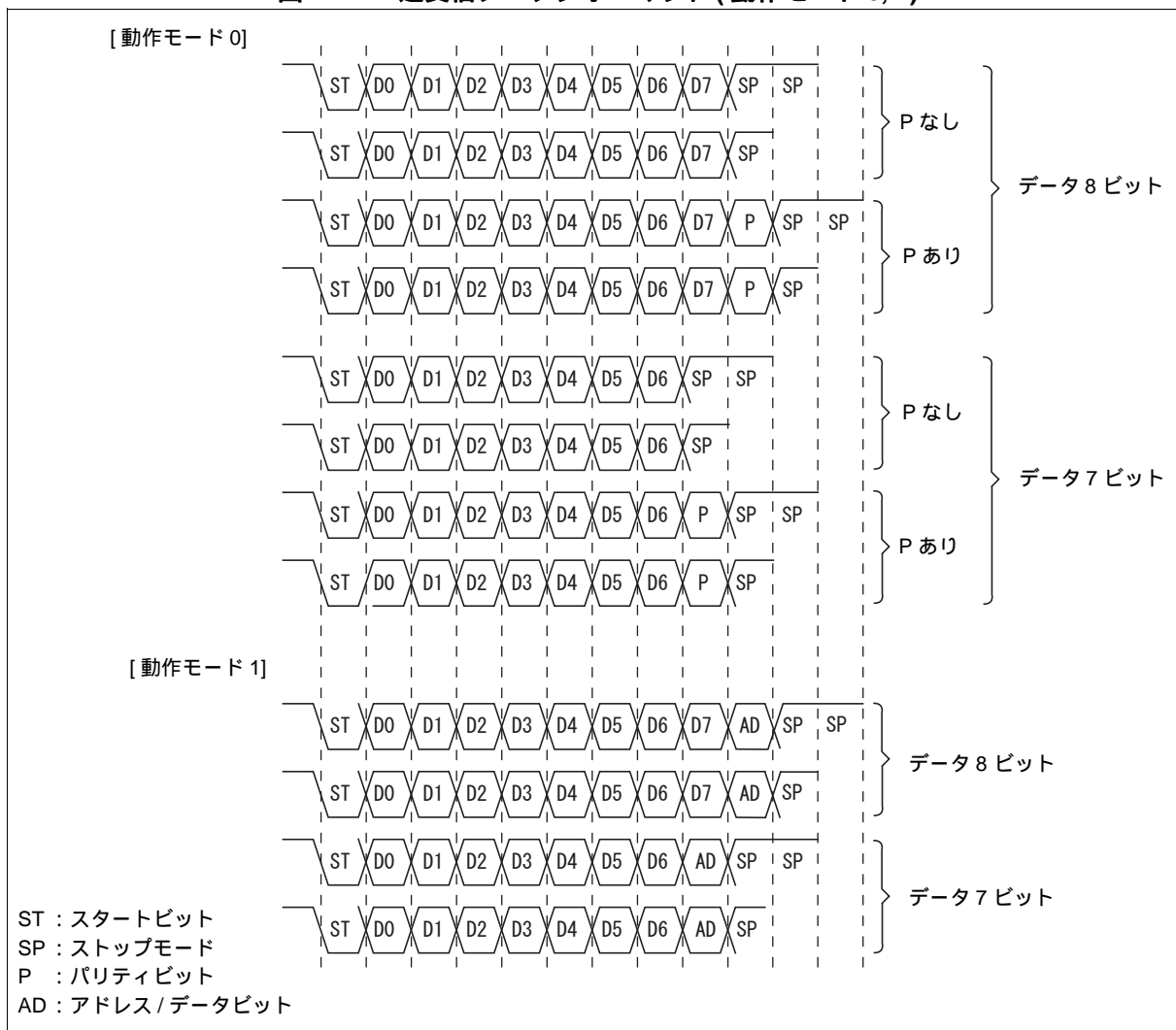
$$\text{長さ} = 1 + d + p + s$$

(d= データビット数 [7 または 8], p= パリティ [0 または 1],

s= ストップビットの数 [1 または 2])

図 22.7-1 に, 送受信データフォーマット (動作モード 0, 1) を示します。

図 22.7-1 送受信データフォーマット (動作モード 0, 1)



< 注意事項 >

LIN-UART シリアルステータスレジスタ (SSR) の BDS ビットを "1" (MSB ファースト) に設定すると、ビットは D7, D6, ...D1, D0(P) の順序で処理されます。

● 送信動作

LIN-UART シリアルステータスレジスタ (SSR) の送信データレジスタエンプティフラグビット (TDRE) が "1" であれば, LIN-UART 送信データレジスタ (TDR) に送信データを書き込むことができます。データを書き込むと TDRE フラグは "0" になります。このとき, 送信が許可されていれば (LIN-UART シリアル制御レジスタ (SCR) の TXE=1), データは送信シフトレジスタに書き込まれ, シリアルクロックの次のサイクルでスタートビットから順に送信が開始されます。

送信割込みが許可されている場合 (TIE=1), 送信データが LIN-UART 送信データレジスタ (TDR) から送信シフトレジスタに転送されると TDRE フラグが "1" に設定されて割込みが発生します。

データ長が 7 ビットに設定 (CL=0) されている場合, 転送方向選択ビット (BDS) の設定 (LSB ファーストまたは MSB ファースト) にかかわらず, TDR レジスタの bit7 が不使用ビットになります。

< 注意事項 >

送信データエンプティフラグビット (SSR:TDRE) の初期値は "1" であるため, 送信割込みが許可 (SSR:TIE=1) されると, 直ちに割込みが発生します。

● 受信動作

受信動作が許可 (SCR:RXE=1) されていると受信動作を行います。スタートビットを検出すると, LIN-UART シリアル制御レジスタ (SCR) で設定しているデータフォーマットに従って 1 フレームデータの受信が行われます。エラーが発生した場合にはエラーフラグ (SSR:PE, ORE, FRE) が設定されます。1 フレームの受信が完了すると, 受信データは受信シフトレジスタから LIN-UART 受信データレジスタ (RDR) へ転送され, 受信データレジスタフルフラグビット (SSR:RDRF) が "1" に設定されます。このとき, 受信割込み要求が許可 (SSR:RIE=1) されていると, 受信割込み要求を出力します。

受信データを読み出す際には, 1 フレームデータの受信完了後に, エラーフラグの状態を確認し, 正常に受信が行われていれば LIN-UART 受信データレジスタ (RDR) から受信データを読み出してください。受信エラーが発生している場合には, エラー処理を行ってください。

受信データの読出しで, 受信データレジスタフルフラグビット (SSR:RDRF) は "0" にクリアされます。

データ長が 7 ビットに設定 (CL=0) されている場合, 転送方向選択ビット (BDS) の設定 (LSB ファーストまたは MSB ファースト) にかかわらず, RDR レジスタの bit7 が不使用ビットになります。

< 注意事項 >

LIN-UART 受信データレジスタ (RDR) のデータは, 受信データレジスタフルフラグビット (SSR:RDRF) が "1" に設定され, エラーが発生しなかった (SSR:PE, ORE, FRE=0) 場合に有効となります。

● 入力クロック

内部クロックまたは外部クロックを使用します。ボーレートは、ボーレートジェネレータを選択 (SMR:EXT=0 または 1, OTO=0) してください。

● ストップビットと受信バスアイドルフラグ

送信時に、1 ビットまたは 2 ビットのストップビットを選択できます。2 ビットのストップビットを選択したときは、両方のストップビットが受信時に検出されます。

最初のストップビットが検出されると、受信データレジスタフルフラグ (SSR:RDRF) が "1" になります。その後、スタートビットが検出されない場合、受信バスアイドルフラグ (ECCR:RBI) が "1" になり、受信動作がないことを示します。

● エラー検出

モード 0 では、パリティエラー、オーバランエラー、フレームエラーが検出できます。

モード 1 では、オーバラン、フレームエラーが検出できます。パリティエラーは検出できません。

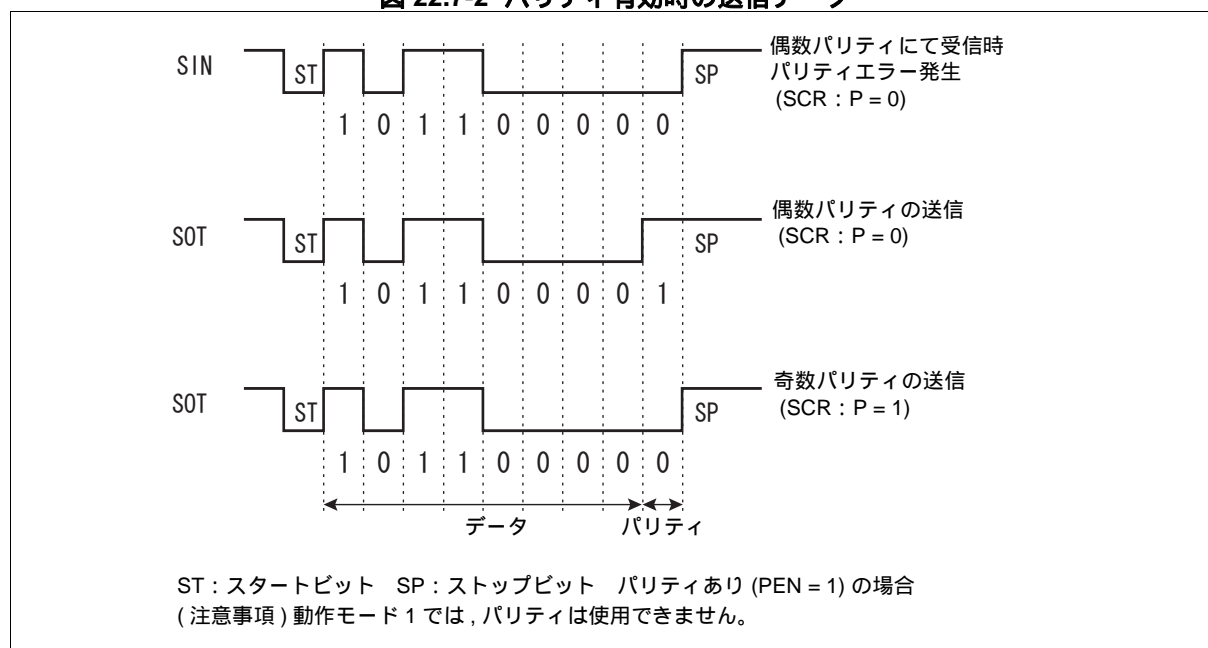
● パリティ

パリティビットの付加 (送信時)、検出 (受信時) を設定できます。

パリティ許可ビット (SCR:PEN) でパリティの有無を、パリティ選択ビット (SCR:P) で偶数 / 奇数パリティを選択できます。

動作モード 1 では、パリティを使用できません。

図 22.7-2 パリティ有効時の送信データ



● データ信号方式

NRZ データフォーマットです。

● データ転移方法

データビット転送方法を LSB ファーストまたは MSB ファーストに選択できます。

22.7.2 同期モード (動作モード 2) の動作

LIN-UART を動作モード 2 (ノーマルモード) で使用する場合 , 転送方式はクロック同期となります。

■ 同期モード (動作モード 2) の動作

● 送受信データフォーマット

同期モードでは 8 ビットデータを送受信し , スタートビットおよびストップビットの有無を選択 (ECCR:SSM) できます。また , スタート / ストップあり (ECCR:SSM=1) のとき , パリティビットの有無を選択 (SCR:PEN) できます。

図 22.7-3 に , 送受信データフォーマット (動作モード 2) を示します。

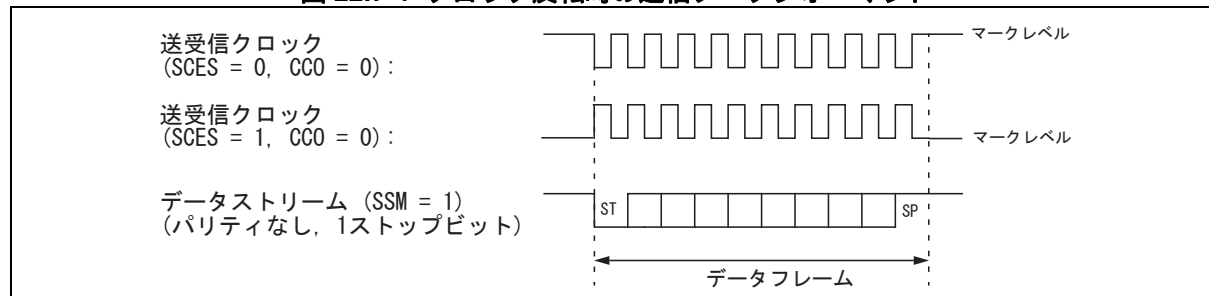
図 22.7-3 送受信データフォーマット (動作モード 2)



● クロック反転機能

LIN-UART 拡張ステータス制御レジスタ (ESCR) の SCES ビットが "1" の場合 , シリアルクロックは反転します。シリアルクロック受信側では LIN-UART は受信したシリアルクロックの立下りエッジでデータをサンプリングします。シリアルクロック送信側では SCES ビットが "1" のとき , マークレベルが "0" になることにご注意ください。

図 22.7-4 クロック反転時の送信データフォーマット



● スタート/ストップビット

LIN-UART 拡張通信制御レジスタ (ECCR) の SSM ビットが "1" の場合には、非同期モードのようにスタートビットとストップビットがデータフォーマットに付加されます。

● クロックの供給

クロック同期モード (ノーマル) では、送受信ビット数はクロックサイクル数と同じでなければなりません。スタート / ストップビットが許可されている場合は追加されたスタート / ストップビット分まで一致している必要があります。

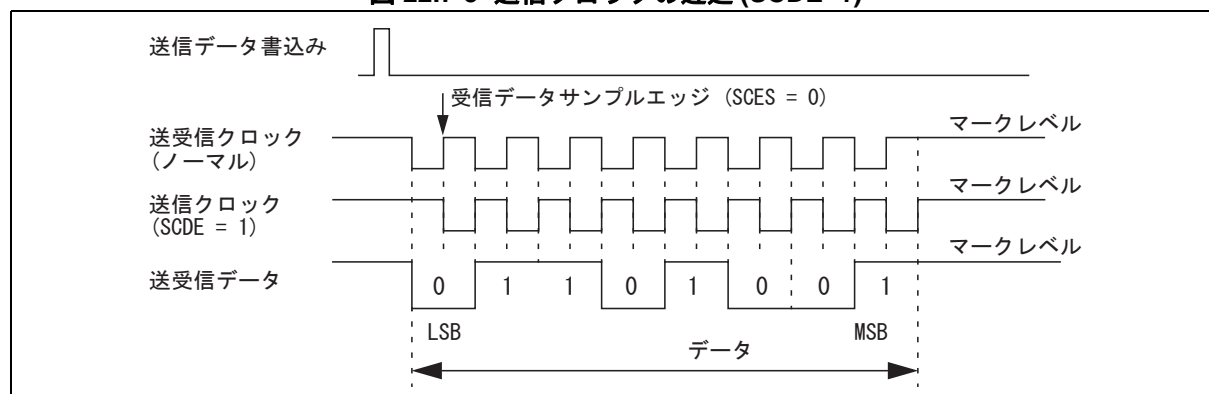
シリアルクロック送信側 (ECCR: MS = 0) でシリアルクロック出力許可 (SMR: SCKE = 1) を選択した場合は、送受信時には同期クロックが自動的に出力されます。シリアルクロック受信側 (ECCR: MS = 1) またはシリアルクロック出力禁止 (SMR: SCKE = 0) を選択した場合には、送受信データの各ビット分のクロックが外部から供給される必要があります。

送受信動作に関係ない場合にはクロック信号はマークレベル("H")に保たれる必要があります。

● クロックの遅延

ECCR の SCDE ビットを "1" に設定すると、図 22.7-5 に示すように遅延した送信クロックを出力します。本機能は、受信側のデバイスがクロックの立上りエッジ、または立下りエッジでデータをサンプリングする場合に必要となります。

図 22.7-5 送信クロックの遅延 (SCDE=1)



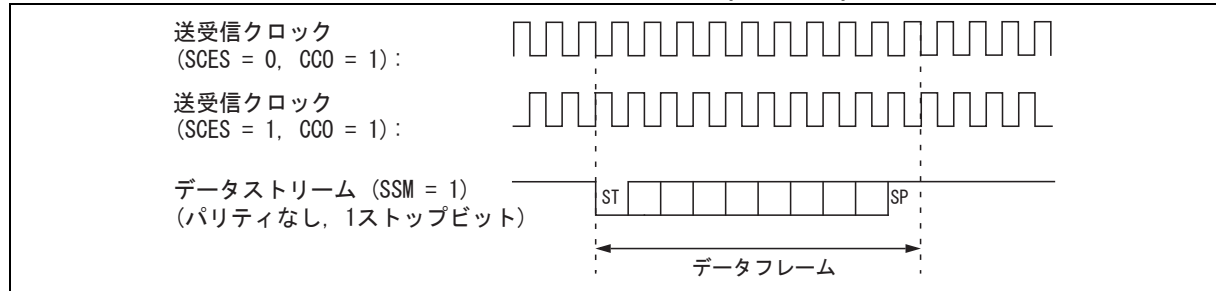
● クロックの反転

LIN-UART 拡張ステータスレジスタ (ESCR) の SCES ビットが "1" の場合、LIN-UART のクロックは反転し、受信データをクロックの立下りエッジでサンプリングします。このとき、シリアルデータがクロック立下りタイミングで有効な値になる必要があります。

● クロックの連続供給

ESCR の CCO ビットが "1" の場合、シリアルクロック送信側では、SCK 端子のシリアルクロック出力は連続供給されます。このモードでは、データフレームの開始と終了を明確にするために、スタートビット/ストップビットをデータフォーマットに付加してください (SSM = 1)。図 22.7-6 に、連続クロック供給 (モード 2) を示します。

図 22.7-6 連続クロック供給 (モード 2)



● エラー検出

スタートビット / ストップビットが有効でない場合 (ECCR:SSM=0) は、オーバランエラーのみが検出されます。

● 同期モードの通信設定

同期モードで通信を行うためには下記の設定が必要です。

- LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

専用ボーレトリロードカウンタを必要な値に設定してください。

- LIN-UART シリアルモードレジスタ (SMR)

MD1, MD0: "10_B" (モード 2)

SCKE: "1" ... 専用ボーレトリロードカウンタを使用

"0" ... 外部クロックを入力

SOE: "1" ... 送受信許可

"0" ... 受信のみ許可

- LIN-UART シリアル制御レジスタ (SCR)

RXE, TXE: どちらかのビットを "1" に設定します。

AD : アドレス/データ選択機能が使用されないため、本ビットの値は無効です。

CL : 自動的に 8 ビット長に設定されるため、本ビットの値は無効です。

CRE : "1" ... エラーフラグがクリアされるため、送受信は中断されます。

- SSM = 0 の場合

PEN, P, SBL: パリティビット、ストップビットが使用されないため、無効です。

- SSM = 1 の場合

PEN: "1" ... パリティビット付加 / 検出, "0" ... パリティビットなし

P : "1" ... 奇数, "0" ... 偶数

SBL: "1" ... ストップビット長 2, "0" ... ストップビット長 1

- LIN-UART シリアルステータスレジスタ (SSR)
 - BDS : "0" . . . LSB ファースト, "1" . . . MSB ファースト
 - RIE : "1" . . . 受信割込み許可, "0" . . . 受信割込み禁止
 - TIE : "1" . . . 送信割込み許可, "0" . . . 送信割込み禁止
- LIN-UART 拡張通信制御レジスタ (ECCR)
 - SSM : "0" . . . スタートビット / ストップビット不使用 (通常),
"1" . . . スタートビット / ストップビット使用 (拡張機能)
 - MS : "0" . . . シリアルクロック送信側 (シリアルクロック出力),
"1" . . . シリアルクロック受信側 (シリアルクロック送信側デバイスから
シリアルクロックを入力)

< 注意事項 >

通信を開始する際には, LIN-UART 送信データレジスタ (TDR) にデータを書き込んでください。

データを受信のみ行う場合は, シリアル出力を禁止 (SMR:SOE=0) に設定し, TDR にダミーデータを書き込んでください。

連続クロックとスタート / ストップビットを許可にすることで, 非同期モードのような双方向通信が可能となります。

22.7.3 LIN 機能 (動作モード 3) の動作

動作モード 3 において, LIN-UART は LIN マスタおよび LIN スレーブとして動作します。動作モード 3 では通信フォーマットは 8 ビットデータ, パリティなし, ストップビット 1, LSB ファーストに設定されます。

■ 非同期 LIN モード動作

● LIN マスタとしての動作

LIN モードではマスタがバス全体のボーレートを決定し, スレーブはマスタに同期します。

LIN-UART 拡張通信制御レジスタ (ECCR) の LBR ビットに "1" を書き込むと, SOT 端子から "L" レベルが 13 ビット ~ 16 ビット出力されます。これは LIN メッセージの開始を示す LIN synch break です。

LIN-UART シリアルステータスレジスタ (SSR) の TDRE フラグビットは "0" になり, break の後に "1" (初期値) になります。このとき SSR の TIE ビットが "1" であれば送信割込みを出力します。

送信される LIN synch break の長さは ESCR の LBL0/LBL1 ビットによって, 下表のように設定されます。

表 22.7-3 LIN break 長

LBL0	LBL1	break 長
0	0	13 ビット
1	0	14 ビット
0	1	15 ビット
1	1	16 ビット

Synch field は LIN break の後にバイトデータ 55_H として送信されます。送信割込みの発生を防ぐため, TDRE フラグが "0" の状態であっても ECCR の LBR ビットを "1" に設定した後に 55_H を TDR に書き込みます。

● LIN スレーブとしての動作

LIN スレーブモードでは LIN-UART はマスタのボーレートに同期する必要があります。受信が禁止設定 (RXE=0) でも LIN break 割込みが許可設定 (LBIE=1) であれば, LIN-UART は受信割込みを発生します。このとき, ESCR の LBD ビットが "1" になります。LBD ビットに "0" を書き込むと, 受信割込み要求フラグがクリアされます。

ボーレートの計算について, 例として LIN-UART の動作を以下に説明します。Synch field の最初の立下りエッジを LIN-UART が検出すると, 8/16 ビット複合タイマに入力される内部信号を "H" にして 8/16 ビット複合タイマをスタートさせます。この内部信号は 5 番目の立下りエッジで "L" になります。8/16 ビット複合タイマはインプットキャプチャモードに設定されている必要があります。また, 8/16 ビット複合タイマの割込みを許可設定および両エッジ検出に設定する必要があります。8/16 ビット複合タイマへの入力信号が "1" の時間がボーレートを 8 倍した値となります。

ボーレート設定値は下式で算出できます。

8/16 ビット複合タイマのカウンタがオーバーフローしていない場合

$$: \text{BGR 値} = (b - a) / 8 - 1$$

8/16 ビット複合タイマのカウンタがオーバーフローした場合

$$: \text{BGR 値} = (\text{max} + b - a) / 8 - 1$$

max : フリーランタイマの最大値

a : 1 度目の割込み後の TH0 データレジスタ値

b : 2 度目の割込み後の TH0 データレジスタ値

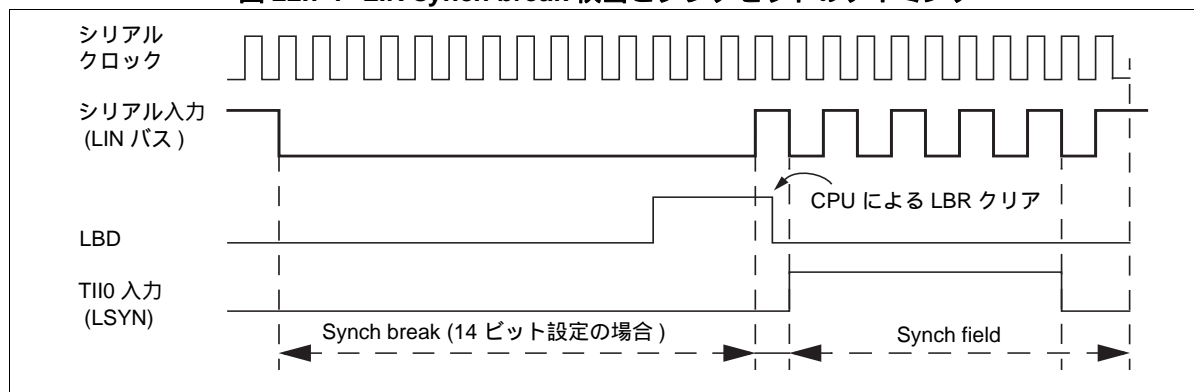
(注意事項) 上記のように LIN スレーブモード時, Synch field で新たに計算された BGR 値にボーレートの $\pm 15\%$ 以上の誤差が生じた場合は, ボーレートの設定は行わないでください。

8/16 ビット複合タイマのインプットキャプチャ機能の動作については, 「15.13 インプットキャプチャ機能の動作説明」を参照してください。

● LIN Synch Break 検出割込みとフラグ

スレーブモードにおいて, LIN synch break が検出されると ESCR の LIN break 検出フラグ (LBD) が "1" になります。LIN break 割込みが許可の場合 (LBIE=1) は割込みが発生します。

図 22.7-7 LIN synch break 検出とフラグセットのタイミング



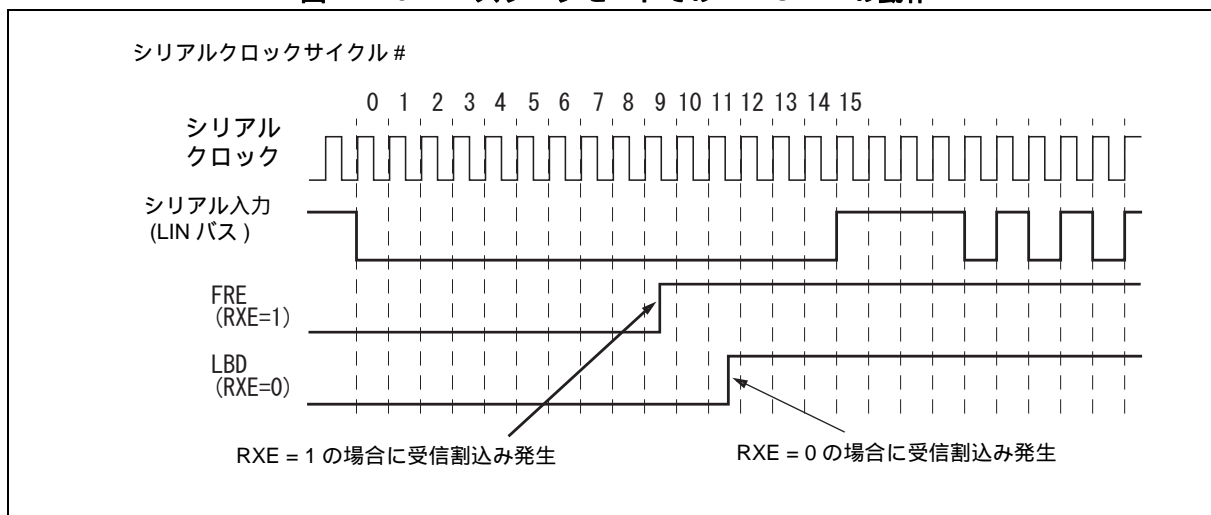
上図は LIN synch break 検出とフラグのタイミングを示しています。

SSR のデータフレーミングエラー (FRE) フラグビットは LIN break 割込みよりも 2 ビット早く受信割込みを発生させますので (通信フォーマットが 8 ビットデータ, パリティなし, ストップビット "1" の場合), LIN break を使用する場合には RXE=0 に設定してください。

LIN synch break 検出は動作モード 3 のみ機能します。

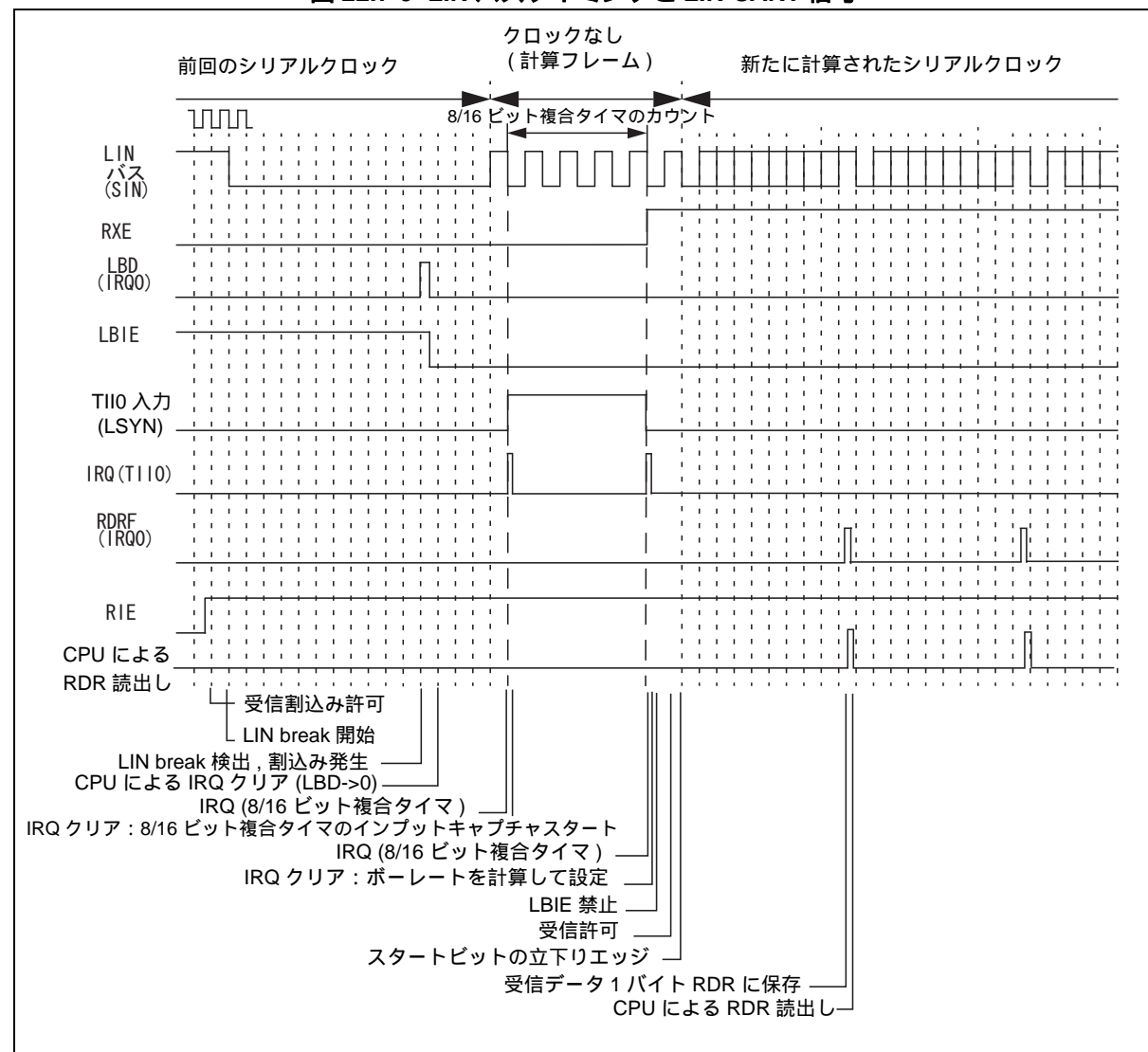
図 22.7-8 に, LIN スレーブモードでの LIN-UART の動作を示します。

図 22.7-8 LIN スレーブモードでの LIN-UART の動作



● LIN バスタイミング

図 22.7-9 LIN バスタイミングと LIN-UART 信号



22.7.4 シリアル端子直接アクセス

送信端子 (SOT) または受信端子 (SIN) へ直接アクセスできます。

■ LIN-UART 端子直接アクセス

LIN-UART では、プログラマがシリアル入出力端子に直接アクセスできます。

シリアル入力端子 (SIN) の状態をシリアル入出力端子直接アクセスビット (ESCR:SIOP) で読み出すことができます。

シリアル出力端子 (SOT) への直接書込みを可能 (ESCR:SOPE=1) にし、シリアル入出力端子直接アクセスビット (ESCR:SIOP) へ "0" または "1" を書き込んだ後、シリアル出力を許可 (SMR:SOE=1) にすると、シリアル出力端子 (SOT) の値を任意に設定できます。

LIN モードの場合は、送信したデータの読出し、または物理的に LIN バス線信号が間違っていたときのエラー処理に使用できます。

< 注意事項 >

送信動作中ではない (送信シフトレジスタが空) 場合のみ直接アクセス可能です。

送信を許可 (SMR:SOE=1) する前にシリアル出力端子直接アクセスビット (ESCR:SIOP) へ値を書き込んでください。これは、SIOP ビットが以前の値を保持しているため、期待しないレベルの信号が出力されることを防ぐためです。

通常読出しでは SIN 端子の値を読み出しますが、リードモディファイライト (RMW) 系命令では SIOP ビットは SOT 端子の値が読み出されます。

22.7.5 双方向通信機能 (ノーマルモード)

動作モード 0, 2 で、通常のシリアル双方向通信をすることができます。動作モード 0 は非同期通信、動作モード 2 は同期通信の選択ができます。

■ 双方向通信機能

LIN-UART をノーマルモード (動作モード 0, 2) で動作させるためには、図 22.7-10 に示す設定が必要です。

図 22.7-10 LIN-UART の動作モード 0, 2 の設定

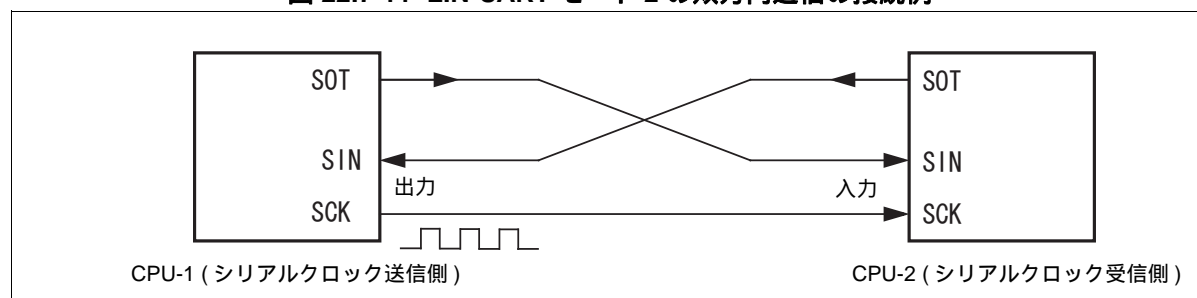
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR, SMR	PEN	P	SBL	CL	AD	CRE	RXE	TXE	MD1	MD0	OTO	EXT	REST	UPCL	SCKE	SOE
モード 0					x	0			0	0	0		0	0		
モード 2	回	回	回	+	x	0			1	0			0	0		
SSR, RDR/TDR	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE	比較データ設定 (書込み時) 受信データ保持 (読出し時)							
モード 0																
モード 2	回		回													
ESCR, ECCR	LBIE	LBD	LBL1	LBL0	SOPE	SIOP	CCO	SCES	予約	LBR	MS	SCDE	SSM	予約	RBI	TBI
モード 0	x	x	x	x			0	0	0	0	x	x	x	0		
モード 2	x	x	x	x			回		0	x				0	回	回

: 使用ビット
 x : 未使用ビット
 1 : "1" を設定
 0 : "0" を設定
 回 : SSM = 1 の場合に使用 (同期スタート / ストップビットモード)
 + : 自動的に正しく設定されるビット

● CPU 間接続

双方向通信では、図 22.7-11 に示すように、2 つの CPU を相互に接続します。

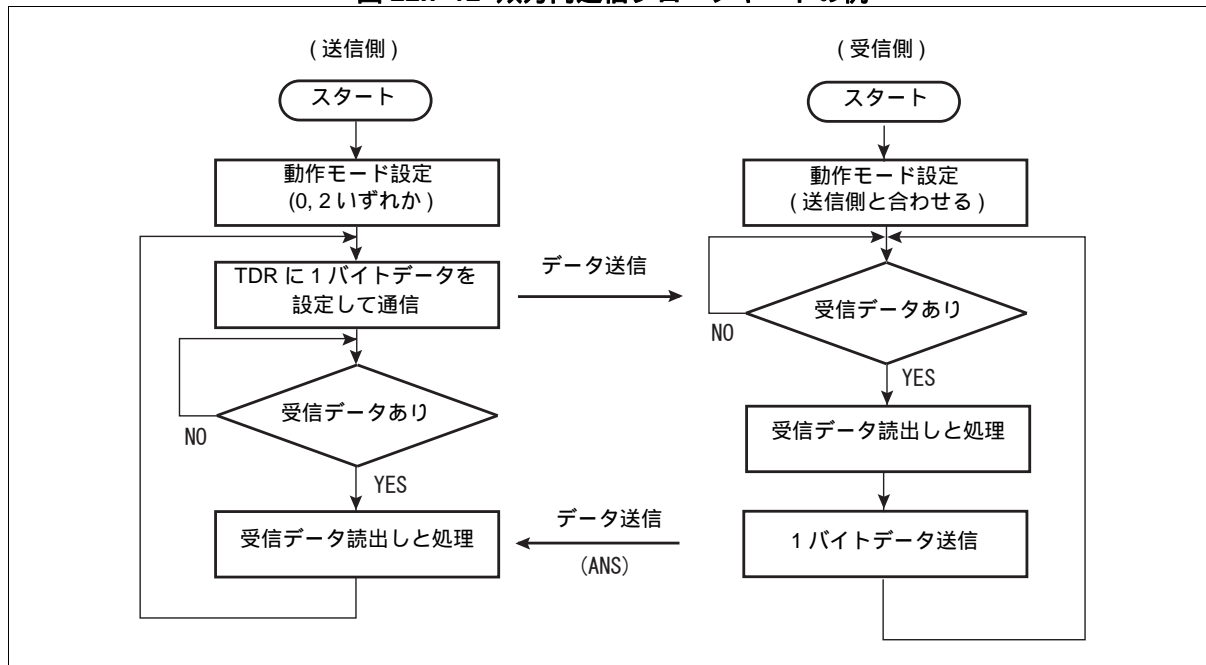
図 22.7-11 LIN-UART モード 2 の双方向通信の接続例



● 通信手順例

通信は、送信データが準備できたときに送信側から任意なタイミングで開始します。受信側で送信データを受け取ると、定期的に ANS(例では 1 バイトごと)を返します。図 22.7-12 に、双方向通信フローチャートの例を示します。

図 22.7-12 双方向通信フローチャートの例



22.7.6 マスタ/スレーブ型通信機能 (マルチプロセッサモード)

動作モード 1 で、複数 CPU のマスタ/スレーブモード接続による通信が可能です。
マスタまたはスレーブとして使用できます。

■ マスタ/スレーブ型通信機能

LIN-UART をマルチプロセッサモード (動作モード 1) で動作させるためには、図 22.7-13 に示す設定が必要です。

図 22.7-13 LIN-UART の動作モード 1 の設定

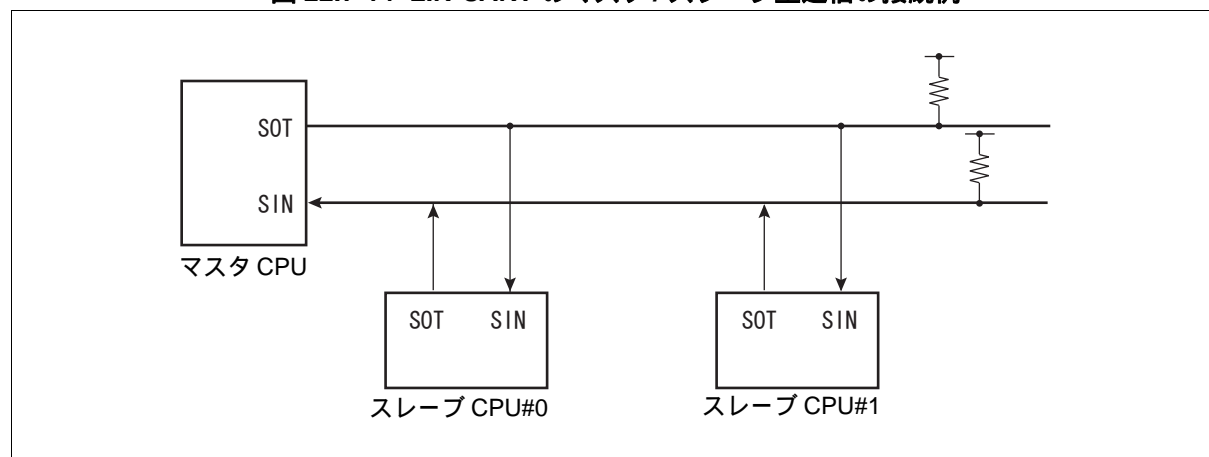
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR, SMR	PEN	P	SBL	CL	AD	CRE	RXE	TXE	MD1	MD0	OTO	EXT	REST	UPCL	SCKE	SOE
モード 1	+	x				0			0	1	0		0	0		
SSR, RDR/TDR	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE	比較データ設定 (書き込み時) 受信データ保持 (読み出し時)							
モード 1	x															
ESCR, ECCR	LBIE	LBD	LBL1	LBL0	SOPE	SIOP	CCO	SCES	予約	LBR	MS	SCDE	SSM	予約	RBI	TBI
モード 1	x	x	x	x			0	0	0	x	x	x	x	0		

: 使用ビット
 x : 未使用ビット
 1 : "1" を設定
 0 : "0" を設定
 + : 自動的に正しく設定されるビット

● CPU 間接続

マスタ/スレーブ型通信では、図 22.7-14 に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。LIN-UART はマスタまたはスレーブのどちらでも使用できます。

図 22.7-14 LIN-UART のマスタ/スレーブ型通信の接続例



● 機能選択

マスタ/スレーブ型通信では、表 22.7-4 に示すように動作モードとデータ転送方式を選択してください。

表 22.7-4 マスタ/スレーブ型通信機能の選択

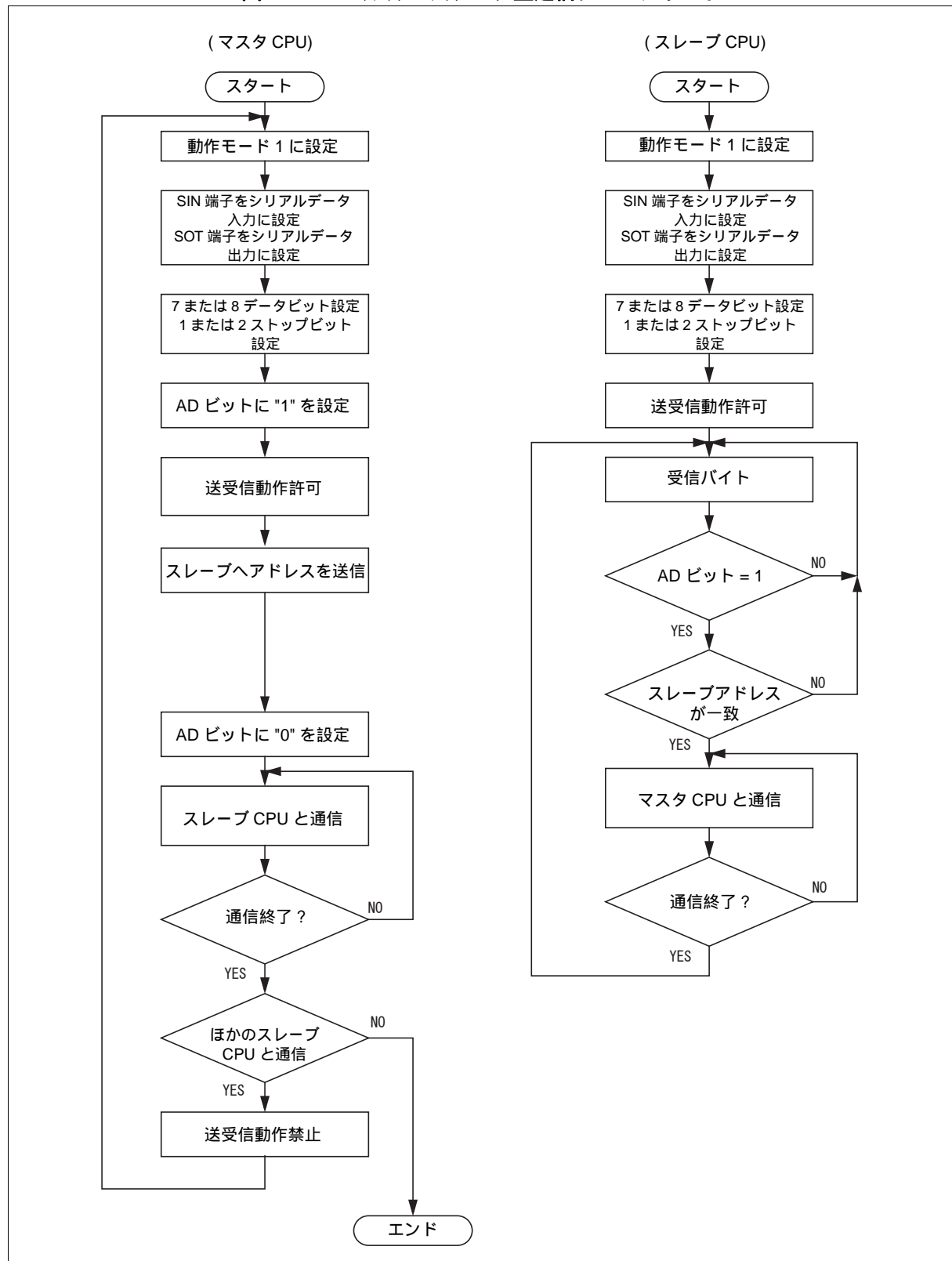
	動作モード		データ	パリティ	同期方式	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU					
アドレス送受信	モード 1 (AD ビット送受信)	モード 1 (AD ビット送受信)	AD=1 + 7 ビットまたは 8 ビットアドレス	なし	非同期	1 ビット または 2 ビット	LSB ファースト または MSB ファースト
データ送受信			AD=0 + 7 ビットまたは 8 ビットデータ				

● 通信手順

通信はマスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは AD ビットを "1" としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信をします。

図 22.7-15 に、マスタ/スレーブ型通信フローチャートを示します。

図 22.7-15 マスタ/スレーブ型通信フローチャート



22.7.7 LIN 通信機能

LIN-UART 通信で LIN デバイスは、LIN マスタシステムまたは LIN スレーブシステムに使用できます。

■ LIN マスタ/スレーブ型通信機能

LIN-UART の LIN 通信モード (動作モード 3) に必要な設定を図 22.7-16 に示します。

図 22.7-16 LIN-UART の動作モード 3(LIN) 設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR, SMR	PEN	P	SBL	CL	AD	CRE	RXE	TXE	MD1	MD0	OTO	EXT	REST	UPCL	SCKE	SOE
モード 3	+	x	+	+	x	0			1	1	0		0	0		
SSR, RDR/TDR	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE	比較データ設定 (書込み時) 受信データ保持 (読出し時)							
モード 3	x					+										
ESCR, ECCR	LBIE	LBD	LBL1	LBL0	SOPE	SIOP	CCO	SCES	予約	LBR	MS	SCDE	SSM	予約	RBI	TBI
モード 3							0	0	0		x	x	x	0		

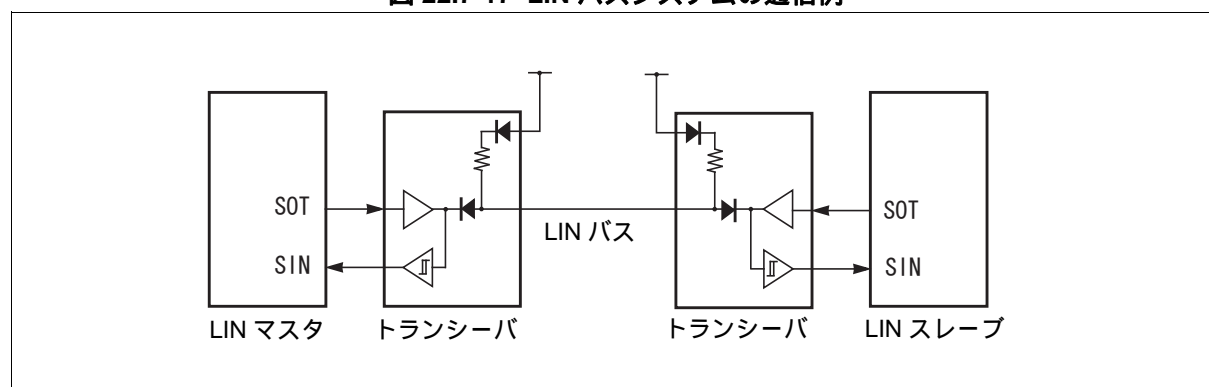
: 使用ビット
 x : 未使用ビット
 1 : "1" を設定
 0 : "0" を設定
 + : 自動的に正しく設定されるビット

● LIN デバイス接続

図 22.7-17 に、LIN バスシステムの通信例を示します。

LIN-UART は、LIN マスタまたは LIN スレーブとして動作することができます。

図 22.7-17 LIN バスシステムの通信例

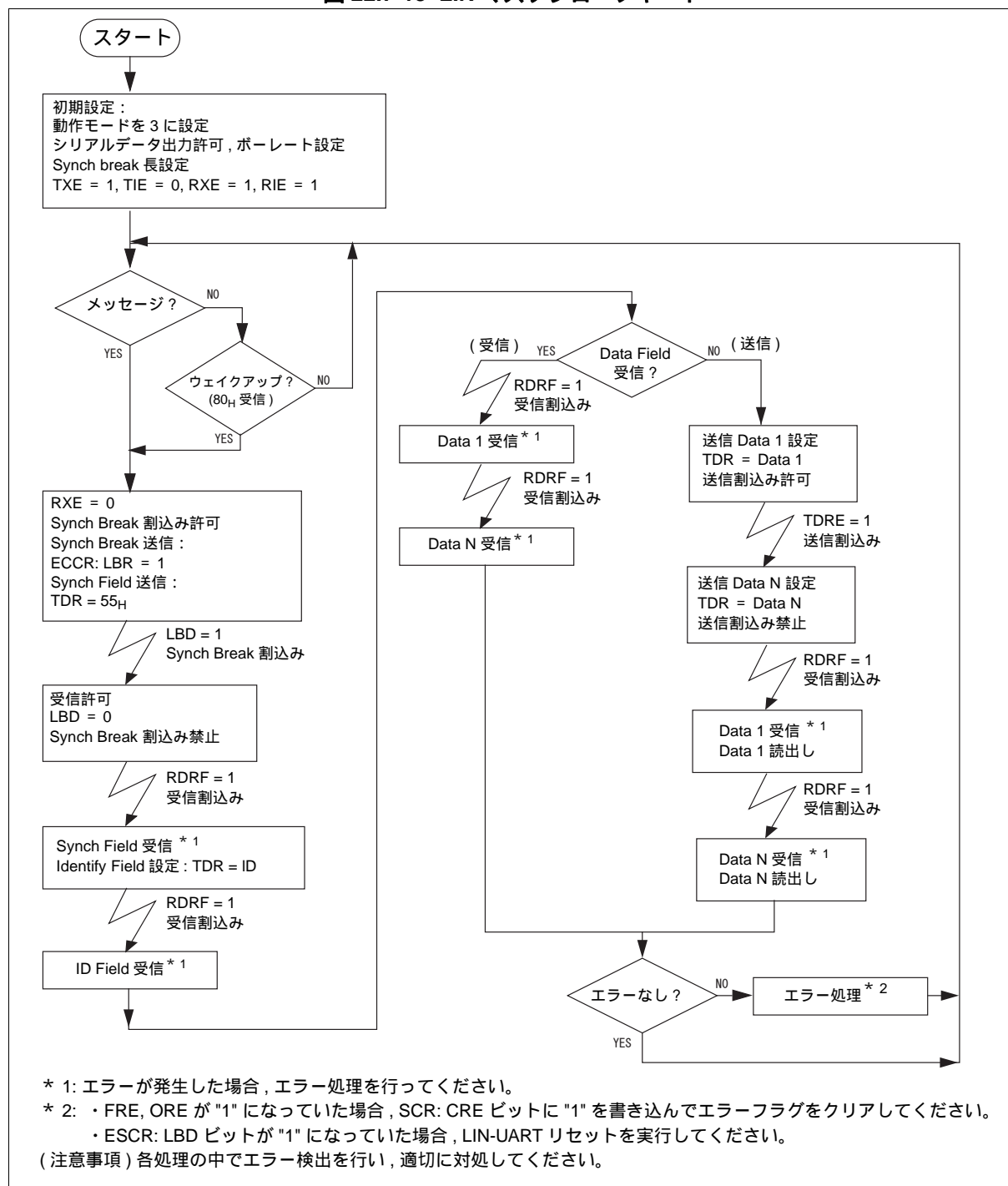


22.7.8 LIN-UART の LIN 通信フローチャート例 (動作モード3)

LIN-UART の LIN 通信フローチャート例を示します。

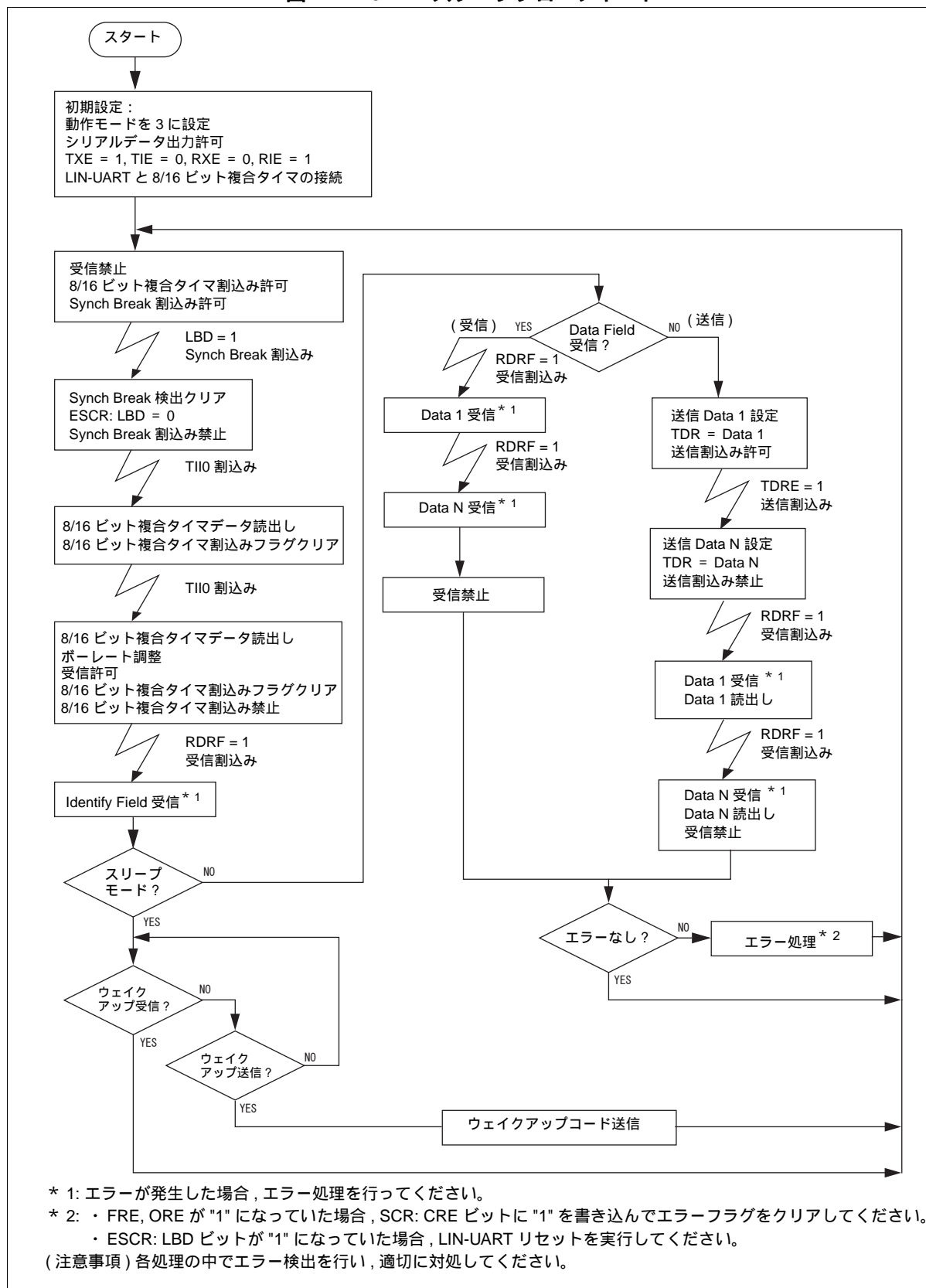
■ LIN マスタデバイス

図 22.7-18 LIN マスタフローチャート



■ LIN スレーブデバイス

図 22.7-19 LIN スレーブフローチャート



22.8 LIN-UART 使用上の注意

LIN-UART を使用する場合は注意点を示します。

■ LIN-UART 使用上の注意

● 動作許可

LIN-UART には送信、受信のそれぞれに対して LIN-UART シリアル制御レジスタ (SCR) に TXE(送信), RXE(受信) の動作許可ビットがあります。デフォルト (初期値) では、送受信とも動作禁止であるため、転送前に動作を許可する必要があります。また、必要に応じて動作禁止にして転送を中止することもできます。

● 通信モードの設定

通信モードの設定は、LIN-UART の動作停止中に行ってください。送受信中にモード設定をした場合、そのときに送受信されたデータは保証されません。

● 送信割込み許可のタイミング

送信データエンプティフラグビット (SSR:TDRE) はデフォルト (初期値) が "1" (送信データなし、送信データ書込み許可) であるため、送信割込み要求を許可 (SSR:TIE=1) すると、直ちに、送信割込み要求が発生します。これを避けるため、必ず送信データを設定してから TIE フラグを "1" にしてください。

● 動作設定の変更

スタート/ストップビットの付加またはデータフォーマットの変更など、設定を変更した後は LIN-UART をリセットしてください。

LIN-UART シリアルモードレジスタ (SMR) の設定と同時に LIN-UART のリセット (SMR:UPCL=1) を行っても、正しい動作設定は保証されません。そのため、LIN-UART シリアルモードレジスタ (SMR) のビット設定を行った後、再度 LIN-UART をリセット (SMR:UPCL=1) してください。

● LIN 機能の使用

LIN 機能はモード 3 で使用可能ですが、モード 3 では自動的に LIN フォーマットの設定 (8 ビット長、パリティなし、1 ストップビット、LSB ファースト) になります。

LIN break の送信ビット長は可変ですが、検出は 11 ビット長固定になっています。

● LIN スレーブ設定

LIN スレーブを開始するときは、LIN synch break の最小 13 ビット長を確実に検出するために、必ず最初の LIN synch break を受信する前にボーレートを設定してください。

● バスアイドル機能

バスアイドル機能は同期モード 2 では使用できません。

● AD ビット (LIN-UART シリアル制御レジスタ LIN-UART シリアル制御レジスタ (SCR): アドレス / データ形式選択ビット)

AD ビットを使用する際には下記の点に注意してください。

AD ビットは書き込み時には送信のアドレス / データ選択設定を行い、読出し時には最後に受信した AD ビットの値を読み出せます。内部的には送信・受信の AD ビット値は個別のレジスタに保存されています。

リードモディファイライト (RMW) 系命令使用時には送信 AD ビット値が読み出されません。したがって、SCR のほかのビットにビットアクセスした場合、AD ビットに間違っただけの値が書き込まれる可能性があります。

上記の理由により、AD ビットの設定は送信前の最後の SCR レジスタアクセス時に行う必要があります。もしくは、SCR 書き込み時には常にバイトアクセスすることで上記の問題を防ぐことができます。

● LIN-UART ソフトウェアリセット

LIN-UART シリアル制御レジスタ (SCR) の TXE ビットが "0" のときに、LIN-UART ソフトウェアリセット (SMR: UPCL = 1) を実行してください。

● Synch Break 検出

モード 3 (LIN モード) 時、シリアル入力が 11 ビット幅以上で "L" になると拡張ステータス制御レジスタ (ESCR) の LBD ビットは "1" になり (Synch Break 検出)、LIN-UART は Synch Field 待ちになります。このため、Synch Break 以外のところでシリアル入力が 11 ビット以上 "0" になった場合、LIN-UART は Synch Break が入力されたものと認識 (LBD = 1) して Synch Field 待ちになります。

この場合、LIN-UART リセット (SMR: UPCL = 1) を実行してください。

● フレーミングエラー対処方法

1) CRE は受信状態マシンをリセットし、SIN_n の次の立下りエッジが新しいバイトの受信を開始します (図 22.8-1)。

よってデータストリームの非同期化を防ぐために、半分のビット時間内でエラー受信後すぐに CRE ビットを設定するか (図 22.8-2)、またはエラー受信後、SIN_n がアイドル状態時にアプリケーション依存時間待ってください。

2) フレーミングエラーが起こり (ストップビット: SIN_n=0)、次のスタートビット (SIN_n= "0") がすぐ後に続く場合、そのスタートビットの立下りエッジの有無にかかわらずスタートビットと認識し、受信が開始されます。これはデータストリームに同期した状態で次にフレーミングエラーが検出されることにより、シリアルデータ入力 (SIN_n) が "L" の状態が続いていることを検出するのに使用されます (図 22.8-3 上)。この動作が必要ない場合は、フレーミングエラー後、一時的に受信を禁止してください (RXE=1 0 1)。これにより、シリアルデータ入力 (SIN_n) の立下りエッジが検出され、受信サンプリングポイントで "L" を検出するとスタートビットと認識し、受信が開始されます (図 22.8-3 下)。

図 22.8-1

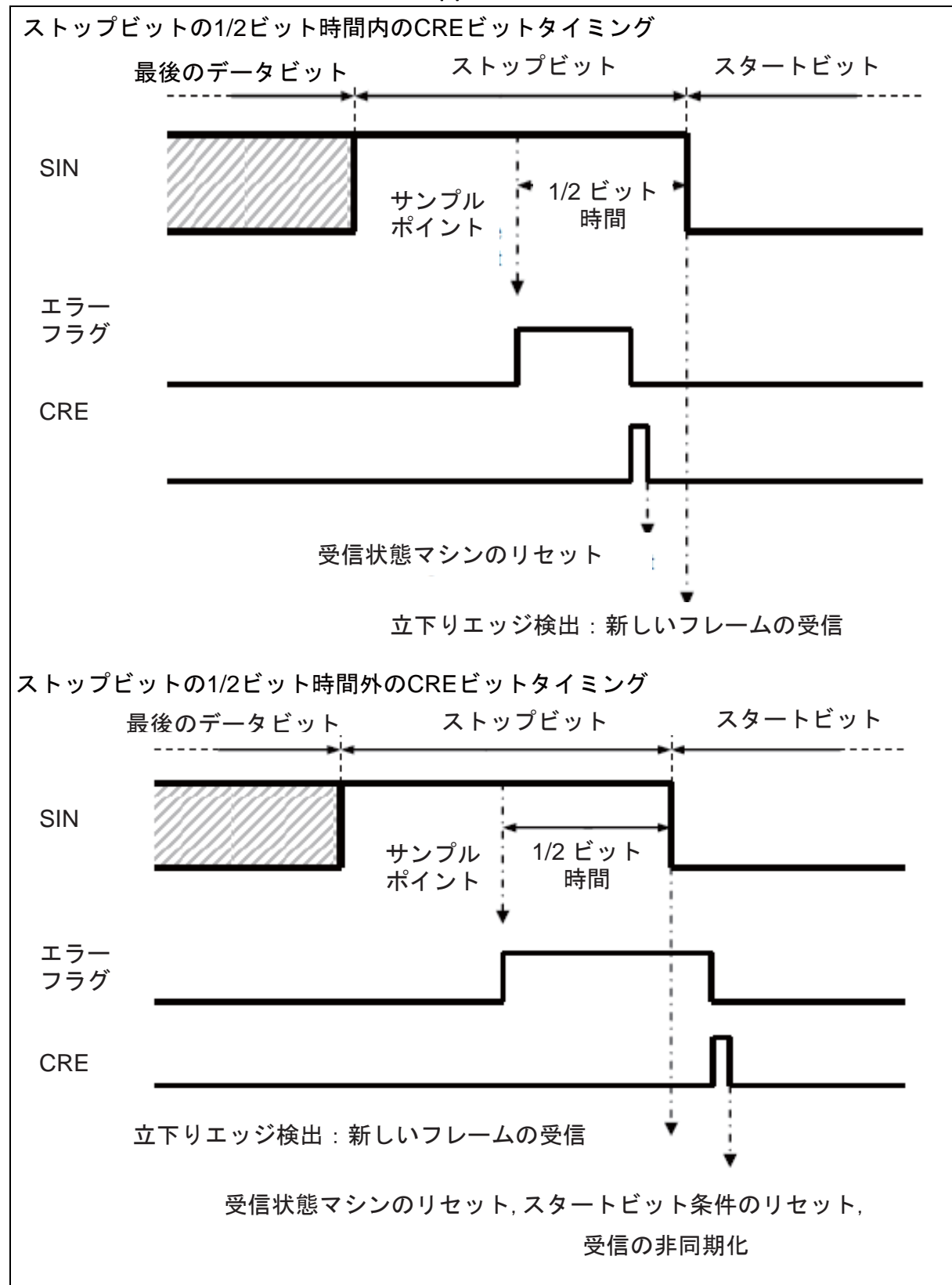


図 22.8-2

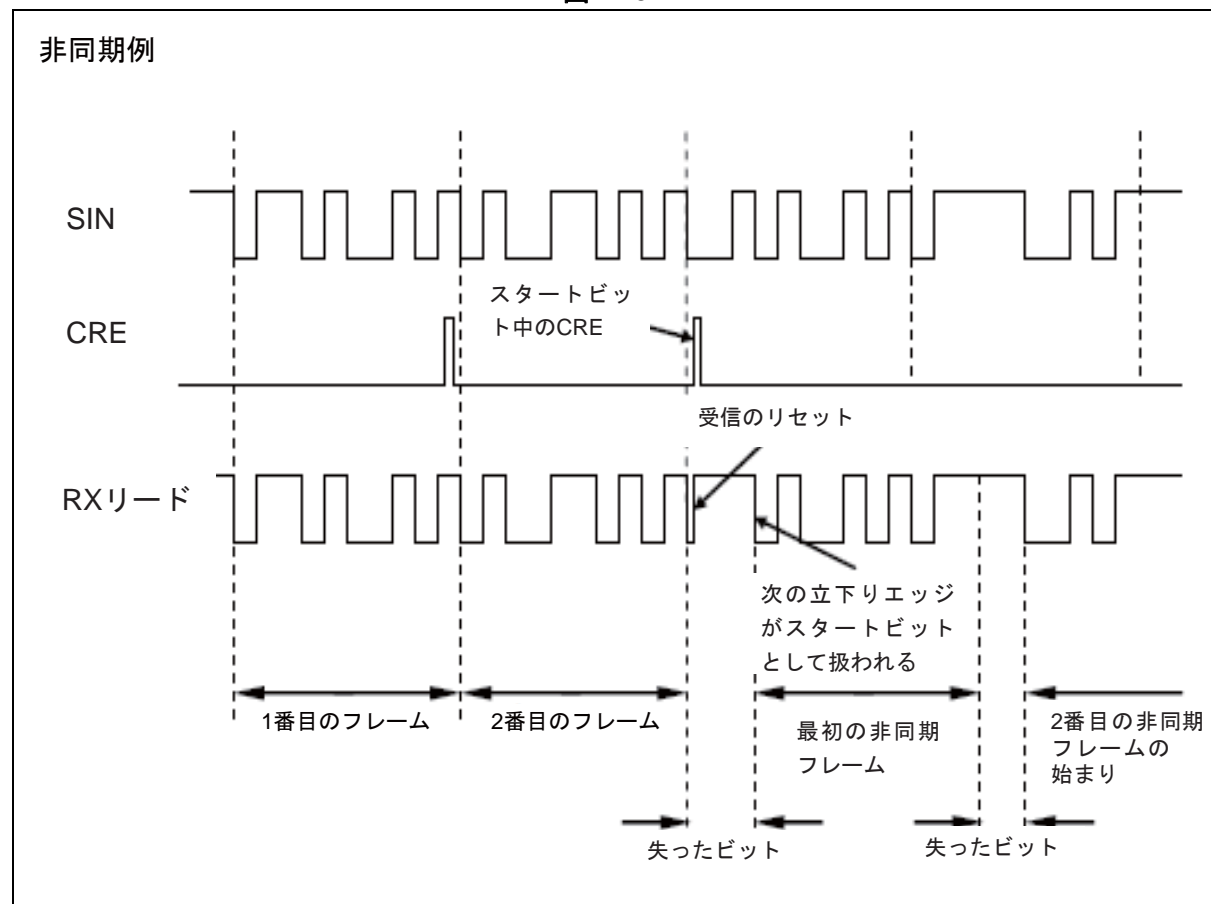
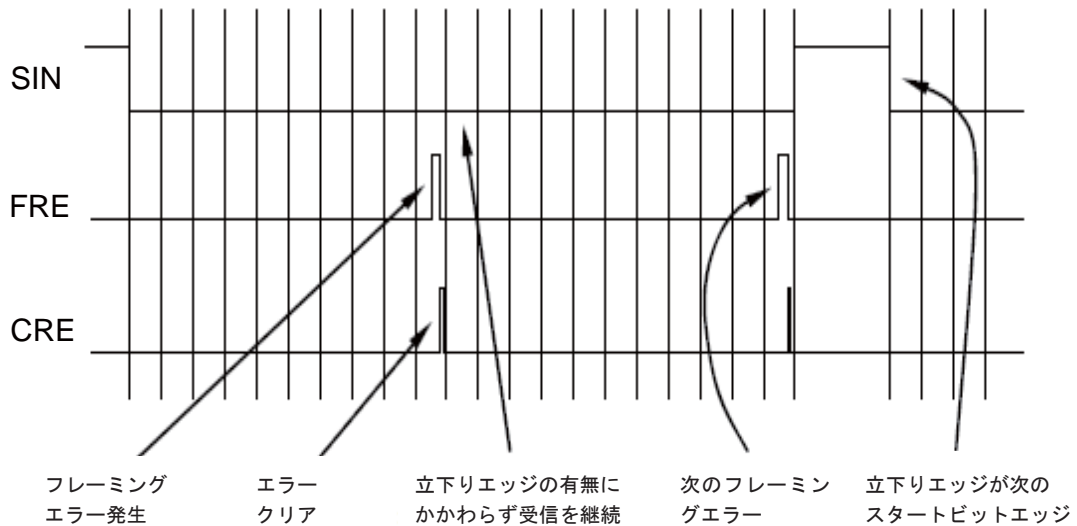


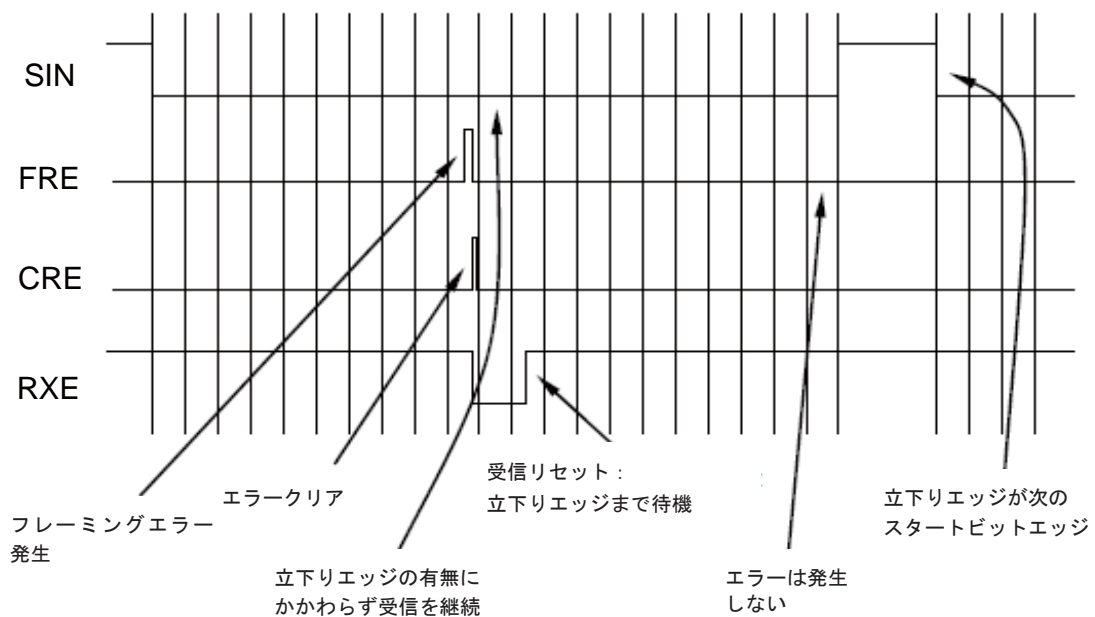
図 22.8-3

UART ドミナントバス動作

受信が常に許可される場合 (RXE=1)



受信が一時的に禁止される場合 (RXE=1→0→1)



22.9 LIN-UART のサンプルプログラム

LIN-UART を動作させるためのサンプルプログラムを提供しています。

■ LIN-UART のサンプルプログラム

LIN-UART のサンプルプログラムについては、「はじめに」の「 サンプルプログラム」を参照してください。

■ プログラム例以外の設定方法

● 各動作モードを選択する方法

動作モード選択 (SMR:MD[1:0]) で行います。

動作モード		動作モード選択 (MD[1:0])
モード 0	ノーマル (非同期)	"00 _B " を設定
モード 1	マルチプロセッサ	"01 _B " を設定
モード 2	ノーマル (同期)	"10 _B " を設定
モード 3	LIN	"11 _B " を設定

● 動作クロックの種類と選択方法

外部クロック選択ビット (SMR:EXT) で行います。

クロック入力	外部クロック選択ビット (EXT)
専用ボーレートジェネレータを選択するには	"0" を設定
外部クロックを選択するには	"1" を設定

● SCK 端子, SIN 端子, SOT 端子を制御する方法

下記の設定で行います。

クロック入力	LIN-UART
SCK 端子を入力にするには	DDR6:P65 = 0 SMR:SCKE = 0
SCK 端子を出力にするには	SMR:SCKE = 1
SIN 端子を使用するには	DDR6:P67 = 0
SOT 端子を使用するには	SMR:SOE = 1

● LIN-UART の動作を許可 / 禁止する方法

受信動作許可ビット (SCR:RXE) で行います。

制御内容	受信動作許可ビット (RXE)
受信動作禁止	"0" を設定
受信動作許可	"1" を設定

送信動作制御ビット (SCR:TXE) で行います。

制御内容	送信動作制御ビット (TXE)
送信動作禁止	"0" を設定
送信動作許可	"1" を設定

● LIN-UART のシリアルクロックに外部クロックを使用する方法

1 対 1 外部クロック許可ビット (SMR:OTO) で行います。

制御内容	受信動作許可ビット (OTO)
外部クロック許可	"1" を設定

● リロードカウンタを再スタートする方法

リロードカウンタ再スタートビット (SMR:REST) で行います。

制御内容	リロードカウンタ再スタートビット (REST)
リロードカウンタ再スタート	"1" を設定

● LIN-UART をリセットする方法

LIN-UART プログラマブルクリアビット (SMR:UPCL) で行います。

制御内容	LIN-UART プログラマブルクリアビット (UPCL)
LIN-UART ソフトウェアリセット	"1" を設定

● パリティを設定する方法

パリティ許可ビット (SCR:PEN), パリティ選択ビット (SCR:P) で行います。

動作	パリティ制御 (PEN)	パリティ極性 (P)
パリティなしにするには	"0" を設定	-
偶数パリティにするには	"1" を設定	"0" を設定
奇数パリティにするには	"1" を設定	"1" を設定

● データ長を設定する方法

データ長選択ビット (SCR:CL) で行います。

動作	データ長選択ビット (CL)
7 ビット長にするには	"0" を設定
8 ビット長にするには	"1" を設定

● STOP ビット長を選択する方法

STOP ビット長制御 (SCR:SBL) で行います。

動作	STOP ビット長制御 (SBL)
STOP ビットを 1 ビット長にするには	"0" を設定
STOP ビットを 2 ビット長にするには	"1" を設定

● エラーフラグをクリアする方法

受信エラーフラグクリアビット (SCR:CRE) で行います。

制御内容	受信エラーフラグクリアビット (CRE)
エラーフラグ (PE, ORE, FRE) を クリアするには	"0" を設定

● 転送方向の設定方法

転送方向選択ビット (SSR:BDS) で行います。

転送方向はどの動作モードでも、LSB ファースト /MSB ファーストの選択が可能です。

制御内容	シリアルデータ方向制御 (BDS)
LSB ファースト 転送 (最下位ビットから) にするには	"0" を設定
MSB ファースト 転送 (最上位ビットから) にするには	"1" を設定

● 受信完了フラグをクリアする方法

下記の設定で行います。

制御内容	方法
受信完了フラグをクリアするには	RDR レジスタを読み出す

初回の RDR レジスタの読出しは、受信開始になります。

● 送信バッファエンプティフラグをクリアする方法

下記の設定で行います。

制御内容	方法
送信バッファエンプティフラグをクリアするには	TDR レジスタに書き込む

初回の TDR レジスタの書き込みは、送信開始になります。

● データ形式 (アドレス / データ) を選択する方法 (モード 1 のみ)

アドレス / データ選択ビット (SCR:AD) で行います。

動作	アドレス / データ選択ビット (AD)
データフレームにするには	"0" を設定
アドレスフレームにするには	"1" を設定

送信時のみ有効です。受信時 AD ビットを無視します。

● ボーレートを設定する方法

「22.6 LIN-UART のボーレート」を参照してください。

● 割込み関連レジスタ

割込みレベルは下表の割込みレベル設定レジスタで設定します。

	割込みレベル設定レジスタ	割込みベクタ
受信	割込みレベルレジスタ (ILR1) アドレス : 0007A _H	#7 アドレス : 0FFFC _H
送信	割込みレベルレジスタ (ILR2) アドレス : 0007B _H	#8 アドレス : 0FFEA _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は、割込み要求許可ビット (SSR:RIE), (SSR:TIE) で行います。

動作	UART 受信	UART 送信
	割込み要求許可ビット (RIE)	割込み要求許可ビット (TIE)
割込み要求を禁止するには	"0" を設定	
割込み要求を許可するには	"1" を設定	

割込み要求のクリアは、下記の設定にて行います。

動作	UART 受信	UART 送信
割込み要求をクリアするには	受信データレジスタフル (RDRF) はシリアル入力レジスタ RDR を読み出すことでクリアします。	送信データレジスタエンプティ (TDRE) はシリアル出力データレジスタ (TDR) にデータを書き込むことで "0" になります。
	エラーフラグ (PE, ORE, FRE) はエラーフラグクリアビット (CRE) に "1" を書き込むことで "0" になります。	

第23章

I²C

I²C の機能と動作について説明します。

- 23.1 I²C の概要
- 23.2 I²C の構成
- 23.3 I²C のチャンネル
- 23.4 I²C のバスインタフェースの端子
- 23.5 I²C のレジスタ
- 23.6 I²C の割込み
- 23.7 I²C の動作説明と設定手順例
- 23.8 I²C 使用上の注意
- 23.9 I²C のサンプルプログラム

23.1 I²C の概要

I²C インタフェースは、Philips 社の I²C バス仕様をサポートするインタフェースです。マスタ/スレーブの送信と受信、アービトレーションロスト検出、スレーブアドレス/ジェネラルコールアドレス検出、スタート/ストップコンディションの発生と検出、バスエラー検出および MCU スタンバイウェイクアップ機能を提供します。

■ I²C の機能

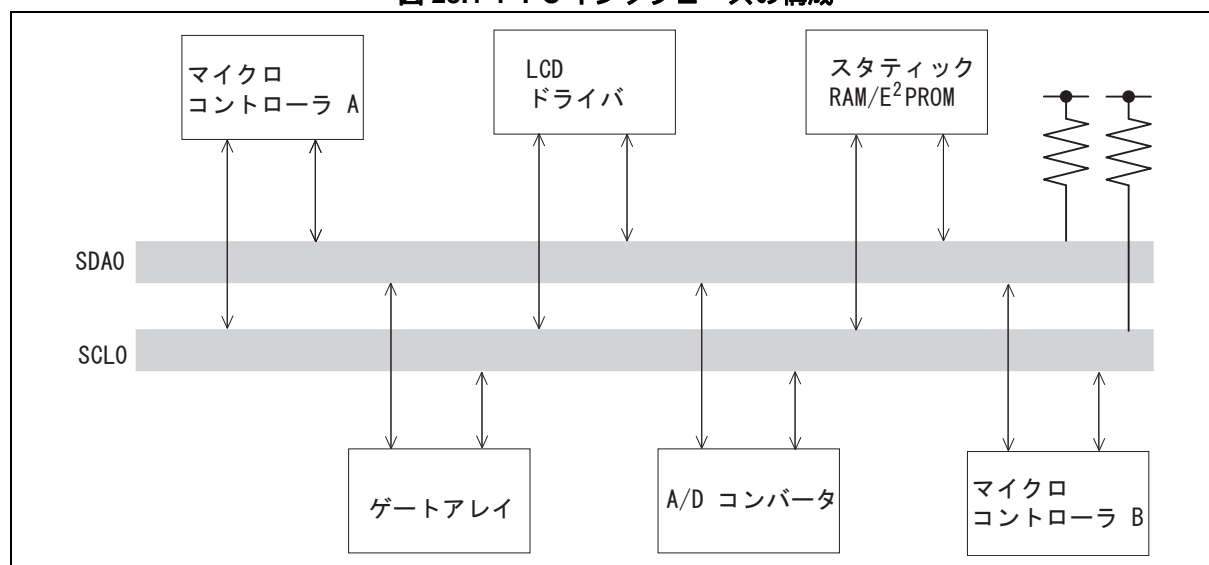
I²C インタフェースは双方向バスで、シリアルデータライン (SDA0) とシリアルクロックライン (SCL0) の 2 本のワイヤから構成されています。この 2 本のワイヤによってバスに接続される各装置は、互いに情報伝達が行われ、各装置にある固有のアドレスを認識することにより、それぞれの装置の機能に応じて送信装置および受信装置として動作が可能となります。装置間にはマスタとスレーブという関係が成り立ちます。

I²C インタフェースはバスのキャパシタンスの上限値が 400pF を超えなければ、バスに複数の装置を接続することが可能です。複数のマスタが同時にデータ転送を開始しようとした場合でも、データの破壊を防ぐために、衝突検出および通信調整手順を備えている本格的なマルチマスタバスです。

通信調整手順とは複数のマスタが同時にバスを制御しようとした場合に、1 つのマスタだけがバスを制御できるようにし、さらにメッセージが失われたり、内容が変更されたりしないようにする手順です。また、マルチマスタとはメッセージを失うことなく、複数のマスタが同時にバスを制御しようとすることです。

本 I²C インタフェースは、MCU スタンバイモードウェイクアップ機能を内蔵しています。

図 23.1-1 I²C インタフェースの構成



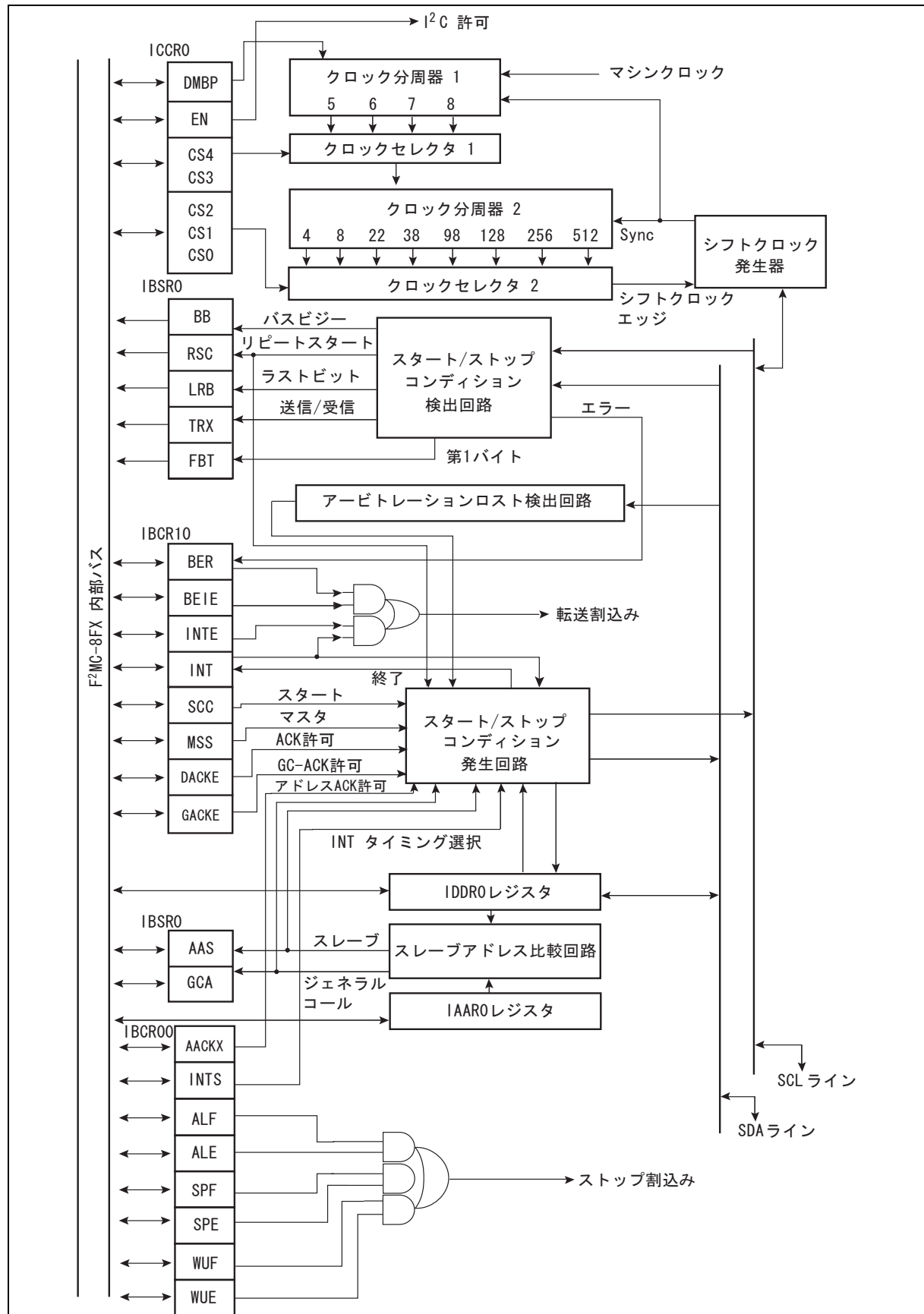
23.2 I²C の構成

I²C は、以下のブロックで構成されています。

- クロックセクタ
 - クロック分周器
 - シフトクロック発生器
 - スタート/ストップコンディション発生回路
 - スタート/ストップコンディション検出回路
 - アービトレーションロスト検出回路
 - スレーブアドレス比較回路
 - IBSR0 レジスタ
 - IBCR レジスタ (IBCR00, IBCR10)
 - ICCR0 レジスタ
 - IAAR0 レジスタ
 - IDDR0 レジスタ
-

■ I²C のブロックダイアグラム

図 23.2-1 I²C のブロックダイアグラム



● クロックセクタ・クロック分周器・シフトクロック発生器

この回路はマシナクロックを使用し、I²C バスのシフトクロックを生成します。

● スタート/ストップコンディション発生回路

バス開放時 (SCL0 と SDA0 が "H" レベルの場合)、スタートコンディションを送信することによってマスタは通信を開始します。SCL0="H" の場合に、SDA0 ラインを "H" "L" にするとスタートコンディションになります。マスタはストップコンディションを発生することによって通信を終了できます。ストップコンディションとは SCL0="H" の場合に、SDA0 ラインが "L" "H" になるときをいいます。

● スタート/ストップコンディション検出回路

この回路は、データ転送のスタート/ストップコンディションを検出します。

● アービトレーションロスト検出回路

このインタフェース回路はマルチマスタシステムに対応しています。複数のマスタが同時送信すると、アービトレーションロスト (SDA0 ラインが "L" レベルのときに論理レベル "1" を転送した場合) を発生します。アービトレーションロストを検出すると、IBCR00:ALF が "1" になり、マスタは自動的にスレーブに変わります。

● スレーブアドレス比較回路

スレーブアドレス比較回路は、スタートコンディション後、スレーブアドレスを受信して自己のスレーブアドレスと比較します。このアドレスは 7 ビットのデータで、その後部に 8 ビット目のデータ方向ビット (R/W) が続きます。受信したアドレスが自己のスレーブアドレスと一致した場合にアクノリッジを送信します。

● IBSR0 レジスタ

IBSR0 レジスタは I²C インタフェースのステータスを表します。

● IBCR レジスタ (IBCR00, IBCR10)

IBCR レジスタはオペレーティングモードの選択、割込みの許可/禁止、アクノリッジの許可/禁止、ジェネラルコールアクノリッジの許可/禁止およびMCUスタンバイモードウェイクアップ機能の許可/禁止時に使用されます。

● ICCR0 レジスタ

ICCR0 レジスタは I²C インタフェースの動作許可とシフトクロック周波数の選択に使用されます。

● IAAR0 レジスタ

IAAR0 レジスタはスレーブアドレスの設定に使用されます。

● IDDR0 レジスタ

IDDR0 レジスタは、送受信されるシフトデータ/アドレスを保持するレジスタです。送信ではこのレジスタに書かれたデータ/アドレスが MSB ファーストからバスに転送されます。

■ 入力クロック

I²C は、マシナクロックを入力クロック (シフトクロック) として使用します。

23.3 I²C のチャネル

I²C のチャネルについて説明します。

■ I²C のチャネル

MB95110B/M シリーズは、I²C を 1 チャネル搭載しています。

表 23.3-1 に I²C の端子を、表 23.3-2 に I²C のレジスタを示します。

表 23.3-1 I²C の端子

チャネル	端子名	端子機能
0	SCL0 SDA0	I ² C バス I/O

表 23.3-2 I²C のレジスタ

チャネル	レジスタ名	レジスタ対応 (本マニュアル上の表記)
0	IBCR00	I ² C バス制御レジスタ 0
	IBCR10	I ² C バス制御レジスタ 1
	IBSR0	I ² C バスステータスレジスタ
	IDDR0	I ² C データレジスタ
	IAAR0	I ² C アドレスレジスタ
	ICCR0	I ² C クロック制御レジスタ

23.4 I²C のバスインタフェースの端子

I²C のバスインタフェースの端子および端子のブロックダイヤグラムを示します。

■ I²C のバスインタフェースに関連する端子

I²C バスインタフェースに関連する端子には、SDA0 端子および SCL0 端子があります。

● SDA0 端子

SDA0 端子は、汎用入出力ポートとしての機能、外部割込み入力（ヒステリシス入力）としての機能、8 ビットシリアル I/O のシリアルデータ出力端子（N-ch オープンドレイン）としての機能および I²C のデータ I/O としての機能（SDA0）を兼用しています。

SDA0：SDA0 端子は、I²C が許可（ICCR0:EN=1）された場合、自動的にデータ入出力端子になり、SDA0 端子として機能します。

入力端子として使用する場合は、I²C の動作を許可し（ICCR0:EN=1）、対応するポート方向レジスタ（DDR）のビットに "0"（入力）を設定してください。

● SCL0 端子

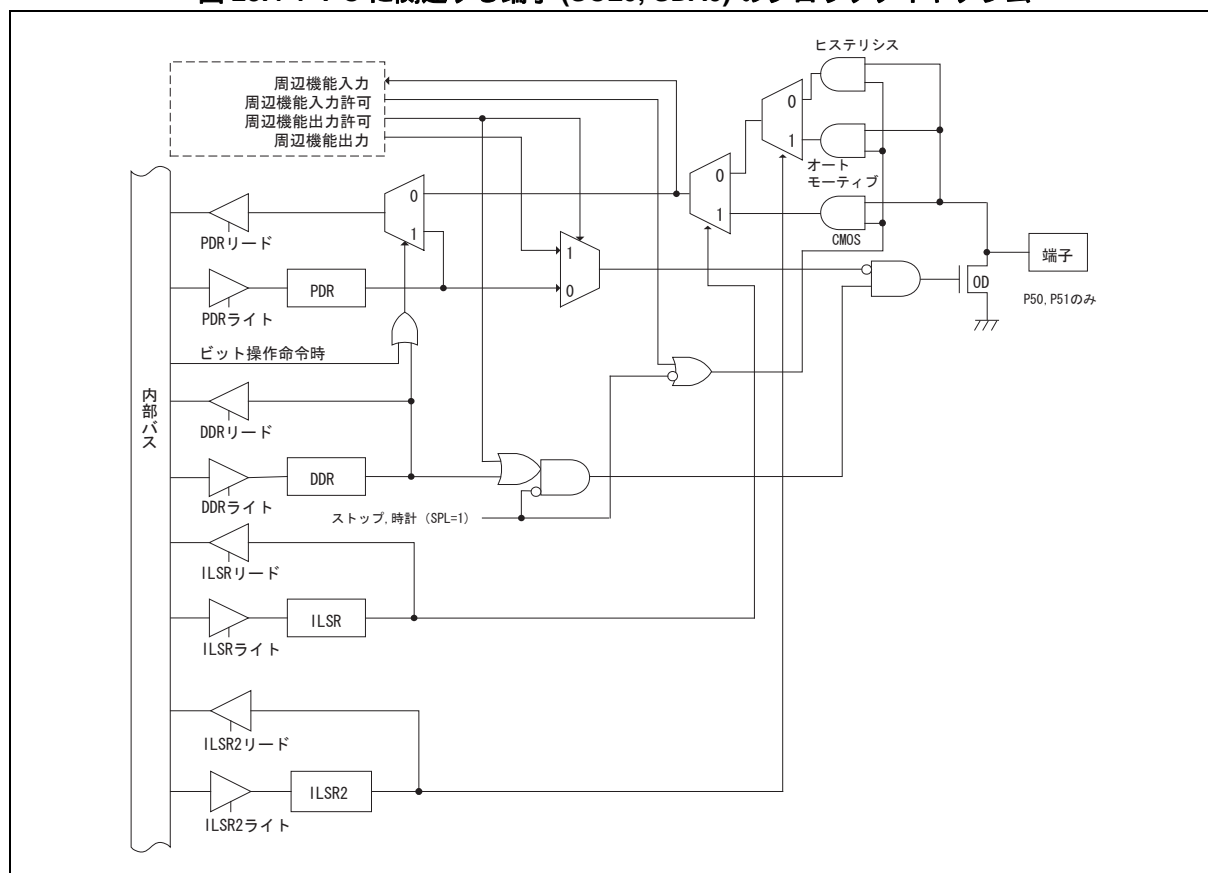
SCL0 端子は、N-ch オープンドレイン入出力ポート、外部割込み入力（ヒステリシス入力）としての機能、8 ビットシリアル I/O のシリアルデータ入力（ヒステリシス入力）機能または I²C のシリアルクロック I/O としての機能（SCL0）を兼用しています。

SCL0：SCL0 端子は、I²C が許可（ICCR0:EN=1）された場合、自動的にシフトクロック入出力端子になり、SCL0 端子として機能します。

入力端子として使用する場合は、I²C の動作を許可し（ICCR0:EN=1）、対応するポート方向レジスタ（DDR）のビットに "0"（入力）を設定してください。

■ I²C に関連する端子のブロックダイアグラム

図 23.4-1 I²C に関連する端子 (SCL0, SDA0) のブロックダイアグラム



23.5 I²C のレジスタ

I²C のレジスタについて説明します。

■ I²C のレジスタ図 23.5-1 I²C のレジスタ

I ² C バス制御レジスタ 0 (IBCR00)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
IBCR00 0060 _H	AACKX	INTS	ALF	ALE	SPF	SPE	WUF	WUE	00000000 _B
	R/W	R/W	R(RM1),W	R/W	R(RM1),W	R/W	R(RM1),W	R/W	
I ² C バス制御レジスタ 1 (IBCR10)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
IBCR10 0061 _H	BER	BEIE	SCC	MSS	DACKE	GACKE	INTE	INT	00000000 _B
	R(RM1),W	R/W	R0,W	R/W	R/W	R/W	R/W	R(RM1),W	
I ² C バスステータスレジスタ (IBSR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
IBSR0 0062 _H	BB	RSC	-	LRB	TRX	AAS	GCA	FBT	00000000 _B
	R/WX	R/WX	R0/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
I ² C データレジスタ (IDDR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
IDDR0 0063 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
I ² C アドレスレジスタ (IAAR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
IAAR0 0064 _H	-	A6	A5	A4	A3	A2	A1	A0	00000000 _B
	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
I ² C クロック制御レジスタ (ICCR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
ICCR0 0065 _H	DMBP	-	EN	CS4	CS3	CS2	CS1	CS0	00000000 _B
	R/W	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能 (読出し値は書込み値) R(RM1),W : リード / ライト可能 (読出し値と書込み値が異なる , リードモディファイライト (RMW) 系 命令時は "1" 読出し) R/WX : リードオンリ (読出しは可能 , 書込みは動作に影響なし) R0,W : ライトオンリ (書込みは可能 , 読出し値は "0") R0/WX : 未定義ビット (読出し値は "0" , 書込みは動作に影響なし)									

23.5.1 I²C バス制御レジスタ (IBCR00, IBCR10)

I²C バス制御レジスタはオペレーティングモードの選択, 割込み許可 / 禁止, アクノリッジの許可 / 禁止, ジェネラルコールアクノリッジの許可 / 禁止および MCU スタンバイウェイクアップ機能の許可 / 禁止時に使用されます。

■ I²C バス制御レジスタ 0 (IBCR00)

図 23.5-2 I²C バス制御レジスタ 0 (IBCR00)

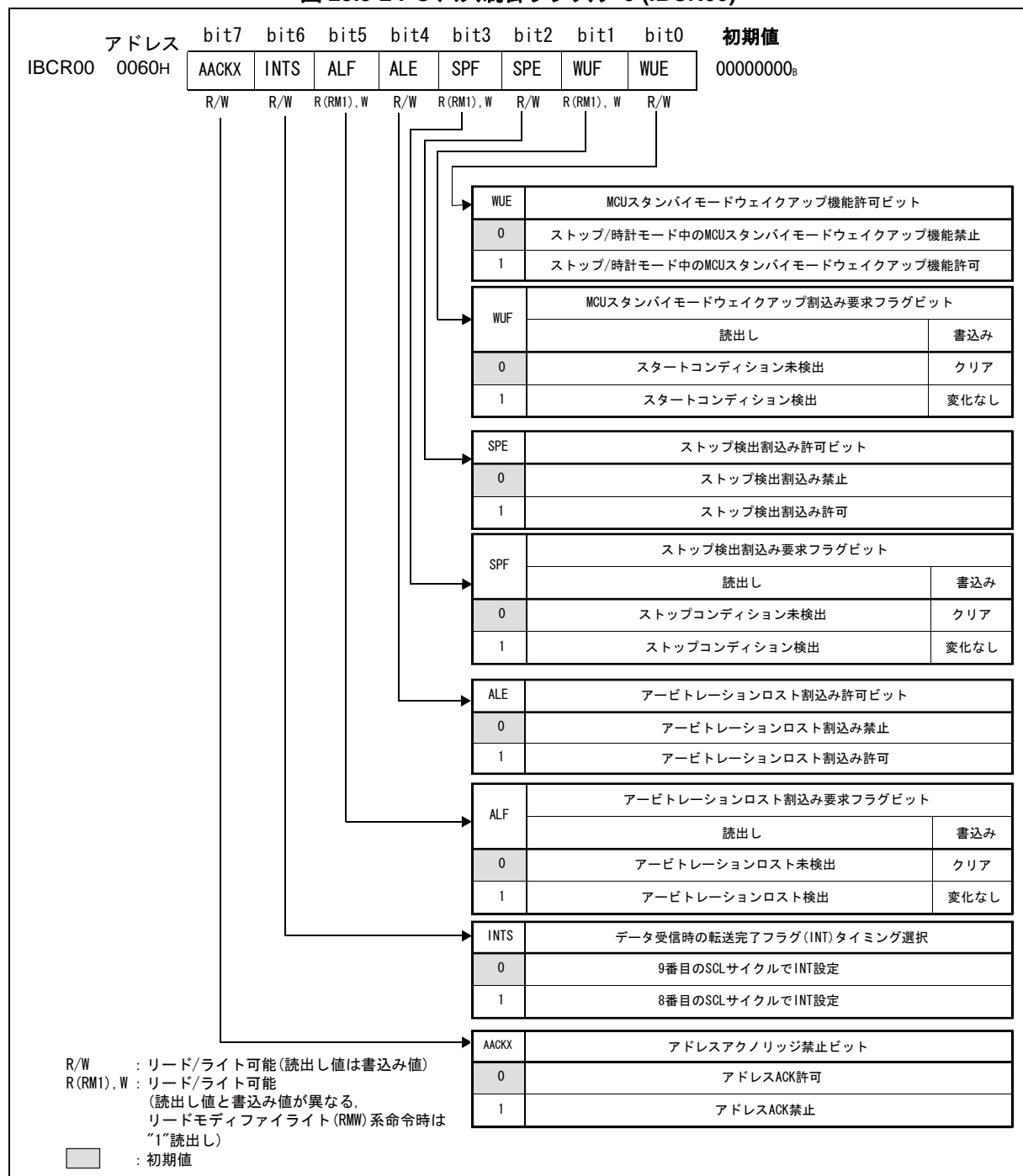


表 23.5-1 I²C バス制御レジスタ 0 (IBCR00) (1 / 3)

	ビット名	機能
bit7	AACKX: アドレス アクノリッジ禁止 ビット	<p>このビットは、第 1 バイト送信時のアドレス ACK を制御します。</p> <p>"0" に設定した場合：アドレス ACK が自動的に出力されます（スレーブアドレスと一致すると、アドレス ACK が自動的に返されます）。</p> <p>"1" に設定した場合：アドレス ACK は出力されません。</p> <p>このビットの書き換えは、次のどちらかの方法で行ってください。</p> <ul style="list-style-type: none"> - マスタモード時に、このビットに "1" を書き込んでください。 - バスビジービットが "0"(IBSR0:BB=0) であることを確認後、このビットを "0" にクリアしてください。 <p>(注意事項) IBCR10:INT ビットの割込み発生時に AACKX=1 かつ IBSR0:FBT=0 の場合、I²C のアドレスとスレーブアドレスが一致してもアドレス ACK は出力されませんが、アドレッシングされた場合と同様に 1 バイトのアドレス / データ転送終了ごとに割込みを発生しますので、IBCR10:INT ビットを "0" にクリアしてください。</p> <ul style="list-style-type: none"> ・ IBCR10:INT ビットの割込み発生時に AACKX=1 かつ IBSR0:FBT=1 の場合、スレーブモードとしてアドレッシングされた後に AACKX に "1" を書き込んだことが考えられますので、再度 AACKX に "0" を設定した後に通常の通信を続けるか、I²C の動作を禁止 (ICCR0:EN=0) した後に通信を再開するかしてください。
bit6	INTS: データ受信時の 転送完了フラグ (INT) タイミング 選択	<p>このビットは、データ受信時における転送完了割込み (IBCR10:INT) のタイミングを選択します。このビットの変更は IBSR0:TRX=0 かつ IBSR0:FBT=0 のときに行ってください。</p> <p>"0" に設定した場合：9 番目の SCL0 サイクルで転送完了割込み (IBCR10:INT) が設定されます。</p> <p>"1" に設定した場合：8 番目の SCL0 サイクルで転送完了割込み (IBCR10:INT) が設定されます。</p> <p>(注意事項) データ受信以外 (IBSR0:TRX=1 もしくは IBSR0:FBT=1) のとき、転送完了割込み (IBCR10:INT) は常に 9 番目の SCL0 サイクルで設定されます。</p> <ul style="list-style-type: none"> ・ データ ACK が受信データの内容に依存する場合 (SM バスで使われるパケットエラーチェックなど)、このビットに "1" を書き込む（例えば前の転送完了割込みにて）ことで最新の受信データを読み出せるようにした上で、データ ACK 許可ビット (IBCR10:DACE) の設定によりデータ ACK を制御してください。 ・ 最新のデータ ACK (IBSR0:LRB) の読出しは、ACK 受信後に行えます (IBSR0:LRB の読出しは、9 番目の SCL0 サイクルにおける転送終了割込みで行われる必要があります)。そのため、このビットが "1" のときに ACK を読み出す場合は、8 番目の SCL0 サイクルによる転送終了割込み中に、このビットに "0" を書き込んで、9 番目の SCL0 サイクルで、再度、転送終了割込みが発生するように設定する必要があります。

表 23.5-1 I²C バス制御レジスタ 0 (IBCR00) (2 / 3)

ビット名	機能
bit5 ALF: アービトレーション ロスト割込み要求 フラグビット	<p>このビットはアービトレーションロストの検出に使用します。</p> <ul style="list-style-type: none"> このビットと IBCR00:ALE ビットがともに "1" のとき、アービトレーションロスト割込み要求を発生します。 このビットは以下の条件で "1" になります。 <ul style="list-style-type: none"> マスタとしてデータ / アドレス送信中にアービトレーションロストが検出された場合。 ほかのシステムがバスを使用中に IBCR10:MSS ビットに "1" を書き込んだ場合。ただし、スレーブとして AACK または GACK を返した後、MSS ビットに "1" を書き込んだ場合は設定されません。 このビットは以下の条件で "0" になります。 <ul style="list-style-type: none"> IBSR0:BB=0 のときに IBCR00:ALF ビットに "0" を書き込んだ場合 転送終了フラグのクリアのために IBCR10:INT ビットに "0" を書き込んだ場合 このビットへ "1" の書き込みを行っても、ビットの値は変化せず、動作に影響を与えません。 リードモディファイライト (RMW) 系命令では "1" が読めます。
bit4 ALE: アービトレーション ロスト割込み許可 ビット	<p>このビットは、アービトレーションロスト割込みの許可 / 禁止を選択します。</p> <p>このビットと IBCR00:ALF ビットがともに "1" のとき、アービトレーションロスト割込み要求を発生します。</p> <p>"0" に設定した場合：アービトレーションロスト割込みは禁止されます。</p> <p>"1" に設定した場合：アービトレーションロスト割込みは許可されます。</p>
bit3 SPF: ストップ検出割込み 要求フラグビット	<p>このビットは、ストップコンディションの検出に使用します。</p> <ul style="list-style-type: none"> このビットと IBCR00:SPE ビットがともに "1" のとき、ストップ検出割込み要求を発生します。 このビットは、バスビジー中にストップコンディションが正当に検出された場合は "1" になります。 <p>"0" に設定した場合：クリアされます ("0" となります)。</p> <p>"1" に設定した場合：ビットの値は変化せず、動作に影響を与えません。</p> リードモディファイライト (RMW) 系命令では "1" が読めます。
bit2 SPE: ストップ検出割込み 許可ビット	<p>このビットは、ストップ検出割込みの許可 / 禁止を選択します。</p> <p>このビットと IBCR00:SPF ビットがともに "1" のとき、ストップ検出割込み要求を発生します。</p> <p>"0" に設定した場合：ストップ検出割込みは禁止されます。</p> <p>"1" に設定した場合：ストップ検出割込みは許可されます。</p>
bit1 WUF: MCU スタンバイモード ウェイクアップ 割込み要求 フラグビット	<p>このビットは、ストップ / 時計モード中の MCU スタンバイモードウェイクアップ検出に使用します。</p> <ul style="list-style-type: none"> このビットと IBCR00:WUE ビットがともに "1" のとき、ウェイクアップ割込み要求を発生します。 このビットは、ウェイクアップ機能の許可 (IBCR00:WUE=1) 時に、スタートコンディションが検出された場合は "1" になります。 <p>"0" に設定した場合：クリアされます ("0" となります)。</p> <p>"1" に設定した場合：ビットの値は変化せず、動作に影響を与えません。</p> リードモディファイライト (RMW) 系命令では "1" が読めます。

表 23.5-1 I²C バス制御レジスタ 0 (IBCR00) (3 / 3)

ビット名	機能
bit0 WUE: MCU スタンバイモード ウェイクアップ 機能許可ビット	<p>このビットは、ストップ/時計モード中の MCU スタンバイモードウェイクアップ機能の許可/禁止を選択します。</p> <p>"0" に設定した場合：ウェイクアップ機能は禁止されます。</p> <p>"1" に設定した場合：ウェイクアップ機能は許可されます。</p> <p>ストップ/時計モード中にこのビットが "1" で、かつスタートコンディションが検出された場合、I²C の動作開始のためにウェイクアップ割込み要求を発生します。</p> <p>(注意事項) このビットへの "1" の書込みは、MCU がストップ/時計モードに入る直前に行ってください。また、MCU がストップ/時計モードからウェイクアップした後、I²C の動作をすぐに再開できるように、できるだけ早くこのビットをクリア ("0" 書込み) してください。</p> <ul style="list-style-type: none"> ウェイクアップ割込み要求が発生した後、MCU は発振安定待ち時間の経過後にウェイクアップします。したがって、ウェイクアップ直後のデータの取逃しを避けるため、I²C 送信開始 (SDA0 の立下りエッジ検出) によるウェイクアップから 100μs (最小の発振安定待ち時間が 100μs と仮定した場合) 以降に、SCL0 がファーストサイクルとして立上り、第 1 ビットがデータとして受信されなければなりません。 MCU スタンバイモード中、本 I²C 機能のステータスフラグ、ステートマシンおよび I²C バス出力は、スタンバイモードに入る直前の状態を保持します。I²C バスシステム全体のハングアップを避けるため、スタンバイモードに入れる前に、IBSR0:BB=0 となっていることを確認してください。 ウェイクアップ機能は、IBSR0:BB=1 における MCU のストップ/時計モードへの遷移をサポートしていません。もしも IBSR0:BB=1 で MCU がストップ/時計モードへ遷移した場合、スタートコンディションを検出した段階でバスエラーとなります。 ウェイクアップ機能は MCU のストップ/時計モードのみ有効となります (例えば PLL ストップモードでは、発振安定待ち時間に加えて PLL 発振安定待ち時間が加わるため、ウェイクアップ後から通信開始までの時間がストップ/時計モード時に比べて PLL 発振安定待ち時間分長くなります)。

< 注意事項 >

IBCR00 レジスタの AACKX ビット、INTS ビットおよび WUE ビットは、I²C の動作が禁止 (ICCR0:EN=0) か、バスエラーが発生 (IBCR10:BER=1) した場合、各ビットの値が "0" になり、書込みができなくなります。

■ I²C バス制御レジスタ 1 (IBCR10)

図 23.5-3 I²C バス 制御レジスタ 1 (IBCR10)

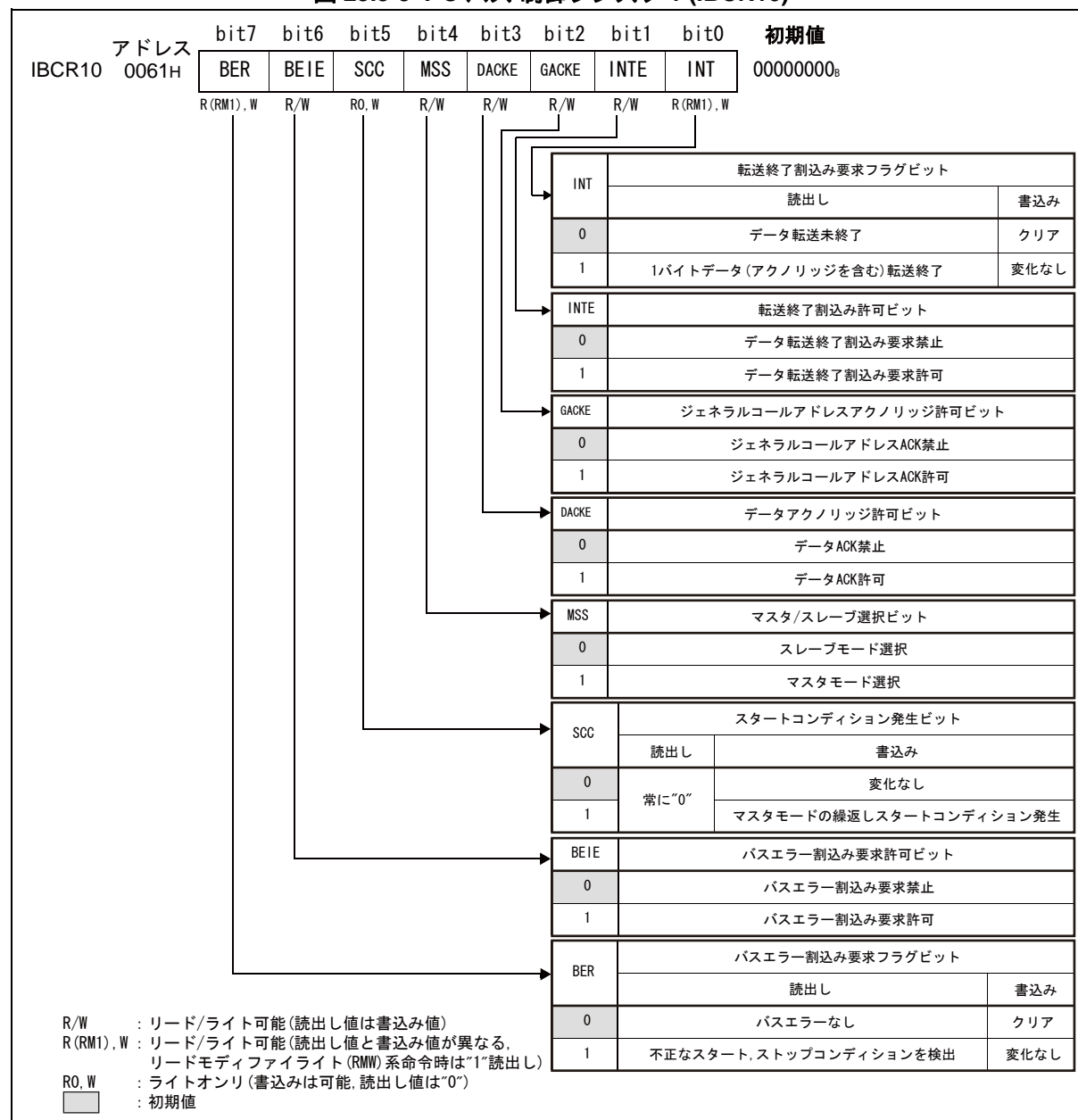


表 23.5-2 I²C バス制御レジスタ 1 (IBCR10) (1 / 2)

ビット名		機能
bit7	BER: バスエラー割込み 要求フラグビット	<p>このビットはバスエラーの検出に使用します。</p> <ul style="list-style-type: none"> このビットと IBCR10:BEIE ビットがともに "1" のとき、バスエラー割込み要求を発生します。 不正なスタート、ストップコンディションを検出した場合、このビットは "1" になります。 <p>"0" に設定した場合：クリアされます ("0" となります)。</p> <p>"1" に設定した場合：ビットの値は変化せず、動作に影響を与えません。</p> <ul style="list-style-type: none"> リードモディファイライト (RMW) 系命令では "1" が読めます。 このビットが "1" になった場合、ICCR0:EN も "0" になり、I²C の動作が禁止されデータ転送を終了します。
bit6	BEIE: バスエラー割込み 要求許可ビット	<p>このビットは、バスエラー割込みの許可 / 禁止を選択します。</p> <p>このビットと IBCR10:BER ビットがともに "1" のとき、バスエラー割込み要求を発生します。</p> <p>"0" に設定した場合：バスエラー割込みは禁止されます。</p> <p>"1" に設定した場合：バスエラー割込みは許可されます。</p>
bit5	SCC: スタート コンディション 発生ビット	<p>このビットは、マスタモード中に繰返しスタートコンディションを発生し、通信を再スタートさせられます。</p> <ul style="list-style-type: none"> マスタモード中にこのビットへ "1" 書込みを行った場合、繰返しスタートコンディションを発生します。 このビットへ "0" の書込みを行っても、動作に影響を与えません。 読出し動作では "0" が読めます。 <p>(注意事項)・ IBCR10:SCC=1 と IBCR10:MSS=0 を同時に設定しないでください。</p> <ul style="list-style-type: none"> IBCR10:INT=0 のときに、このビットへ "1" を書き込んだ場合、書込みは無視されます (スタートコンディションは発生しません)。また、IBCR10:INT=1 のときに、このビットへ "1" の書込みと、IBCR10:INT ビットの "0" の書込みを同時に行った場合、このビットが優先されてスタートコンディションを発生します。
bit4	MSS: マスタ / スレーブ 選択ビット	<p>このビットは、マスタモードかスレーブモードかを選択します。</p> <ul style="list-style-type: none"> I²C バスがアイドル状態 (IBSR0:BB=0) のときに、このビットに "1" を書き込むと、マスタモードが選択され、スタートコンディションの発生後にアドレス転送が開始されます。 I²C バスがビジー状態 (IBSR0:BB=1) のときにこのビットに "0" を書き込むと、スレーブモードが選択され、ストップコンディションの発生後にデータ転送を終了します。 マスタモードのデータ / アドレス転送中にアービトレーションロストが発生した場合、このビットは "0" にクリアされてスレーブモードになります。 <p>(注意事項)・ IBCR10:SCC=1 と IBCR10:MSS=0 を同時に設定しないでください。</p> <ul style="list-style-type: none"> IBCR10:INT=0 のときに、このビットへ "0" を書き込んだ場合、書込みは無視されます。また、IBCR10:INT=1 のときにこのビットへ "0" の書込みと、IBCR10:INT ビットへ "0" の書込みを同時に行った場合、このビットが優先されてストップコンディションを発生します。 スレーブ送受信中に MSS ビットに "1" を書き込んでも、IBCR00:ALF ビットは設定されません。スレーブ送受信中に MSS ビットに "1" を書き込まないでください。
bit3	DACKE: データ アクリッジ 許可ビット	<p>このビットは、データ受信時のデータアクリッジを制御します。</p> <p>"0" に設定した場合：データアクリッジ出力が禁止されます。</p> <p>"1" に設定した場合：データアクリッジ出力が許可されます。このとき、マスタモードでは、データアクリッジがデータ受信の 9 番目の SCL0 サイクルで出力されます。また、スレーブモードでは、アドレスアクリッジが既に出力されている場合のみ、データアクリッジがデータ受信の 9 番目の SCL0 サイクルで出力されます。</p>

表 23.5-2 I²C バス制御レジスタ 1 (IBCR10) (2 / 2)

ビット名		機能
bit2	GACKE: ジェネラルコール アドレス アクノリッジ許可 ビット	このビットは、ジェネラルコールアドレスアクノリッジを制御します。 "0" に設定した場合：ジェネラルコールアドレスアクノリッジ出力が禁止されます。 "1" に設定した場合：マスタ / スレーブモード中にジェネラルコールアドレス (00 _H) を受信すると、ジェネラルコールアドレスアクノリッジが出力 されます。
bit1	INTE: 転送終了割込み 許可ビット	このビットは、転送終了割込みの許可 / 禁止を選択します。 "0" に設定した場合：転送終了割込みは禁止されます。 "1" に設定した場合：転送終了割込みは許可されます。 このビットと IBCR10:INT ビットがともに "1" のとき、転送終了割込み要求を発生し ます。
bit0	INT: 転送終了割込み 要求フラグビット	このビットは転送終了の検出に使用します。 <ul style="list-style-type: none"> このビットと IBCR10:INTE ビットがともに "1" のとき、転送終了割込み要求を発生 します。 このビットは、以下の 4 つのいずれかのコンディションで、1 バイトのアドレス / データ転送が完了 (アクノリッジを含むかどうかは IBCR00:INTS の設定に依存する) した場合に "1" になります。 <ul style="list-style-type: none"> バスマスタモードの場合 スレーブとしてアドレッシングされている場合 ジェネラルコールアドレスを受信している場合 アービトレーションロストを検出している場合 このビットは下記条件で "0" になります。 <ul style="list-style-type: none"> このビットに "0" を書き込んだ場合 マスタモードで、繰返しスタートコンディション (IBCR10:SCC=1) もしくはストッ プコンディション (IBCR10:MSS=0) を発生させた場合 このビットへ "1" の書き込みを行っても、ビットの値は変化せず、動作に影響を与えま せん。 リードモディファイライト (RMW) 系命令では "1" が読めます。 このビットが "1" のとき、SCL0 ラインは "L" に保持されます。 このビットに "0" を書き込んでクリア ("0" になります) すると、SCL0 ラインは開放 されて次のバイトデータ送信が可能となります。 (注意事項)・このビットが "0" のときに IBCR10:SCC に "1" を書き込んだ場合、 IBCR10:SCC ビットの優先順位が高く、スタートコンディションを発生 します。 <ul style="list-style-type: none"> このビットが "0" のときに IBCR10:MSS に "0" を書き込んだ場合、 IBCR10:MSS ビットの優先順位が高く、ストップコンディションを発生 します。 データ受信時に IBCR00:INTS=1 であった場合、このビットは 1 バイト データ転送完了後 (アクノリッジを含みません) に "1" になります。そ れ以外の場合、このビットはアクノリッジを含む 1 バイトのデータ / ア ドレス送受信完了後に "1" になります。

< 注意事項 >

- 割込み要求フラグ (IBCR10:BER) に "0" の書き込みでクリアするとき、割込み要求許可
ビット (IBCR10:BEIE) を同時に書き換えしないでください。
- BER と BEIE ビットを除く IBCR10 のすべてのビットは、動作禁止 (ICCR0:EN=0)、も
しくはバスエラーの発生 (IBCR10:BER=1) により、"0" にクリアされます。

23.5.2 I²C バスステータスレジスタ (IBSR0)

IBSR0 レジスタは I²C インタフェースのステータスを示します。

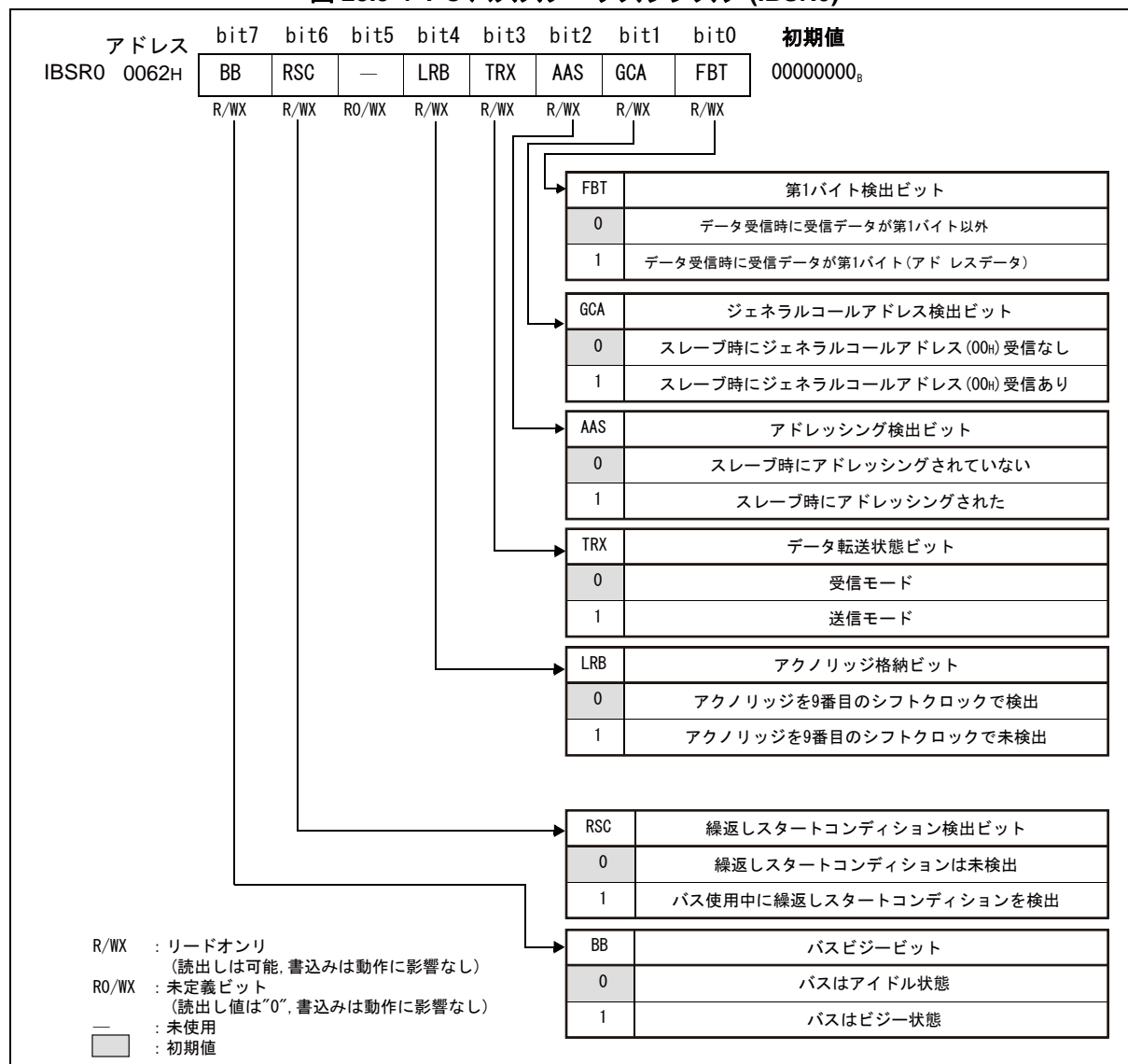
■ I²C バスステータスレジスタ (IBSR0)図 23.5-4 I²C バスステータスレジスタ (IBSR0)

表 23.5-3 I²C バスステータスレジスタ (IBSR0) (1 / 2)

ビット名		機能
bit7	BB: バスビジービット	このビットは、バスの状態を示します。 <ul style="list-style-type: none"> このビットは、スタートコンディションが検出された場合 "1" になります。 このビットは、ストップコンディションが検出された場合に "0" になります。
bit6	RSC: 繰返しスタート コンディション 検出ビット	このビットは、繰返しスタートコンディションの検出に使用します。 <ul style="list-style-type: none"> このビットは、繰返しスタートコンディションが検出された場合に "1" になります。 このビットは、下記の条件で "0" になります。 <ul style="list-style-type: none"> IBCR10:INT へ "0" を書き込んだ場合 スレーブモード時においてスレーブアドレスが IAAR0 の設定アドレスと一致しない場合 スレーブモード時においてスレーブアドレスが IAAR0 の設定アドレスと一致するが、IBCR00:AACKX=1 である場合 スレーブモード時においてジェネラルコールアドレスを受信したが、IBCR10:GACKE=0 である場合 ストップコンディションを検出した場合
bit5	未定義ビット	読出し値は常に "0" です。 書込みは動作に影響を与えません。
bit4	LRB: アクリッジ 格納ビット	このビットは、データバイト転送時に、9 番目のシフトクロックで SDA0 ラインの値を取り込みます。 <ul style="list-style-type: none"> このビットは、アクリッジが未検出のとき (SDA0=H) に "1" になります。 このビットは、下記の条件で "0" になります。 <ul style="list-style-type: none"> アクリッジを検出 (SDA0="L") した場合 スタートコンディションまたはストップコンディションを検出した場合 <p>(注意事項) 上記のことから、このビットの読出しは ACK 後に行う必要があります (9 番目の SCL0 サイクルにおける転送終了割込みにて読み出してください)。そのため、IBCR00:INTS ビットが "1" のときに ACK を読み出す場合は、8 番目の SCL0 サイクルによる転送終了割込み中に、IBCR00:INTS ビットに "0" を書き込んで、9 番目の SCL0 サイクルで再度転送終了割込みが発生するように設定する必要があります。</p>
bit3	TRX: データ転送状態 ビット	このビットデータ転送モードを示します。 <ul style="list-style-type: none"> このビットは、転送モードでデータ転送が行われた場合に "1" になります。 このビットは、下記の条件で "0" になります。 <ul style="list-style-type: none"> 受信モードでデータ転送が行われた場合 スレーブ送信モードで NACK を受信した場合
bit2	AAS: アドレッシング 検出ビット	このビットはスレーブモード時にアドレッシングされたことを示します。 <ul style="list-style-type: none"> このビットは、スレーブモード時にアドレッシングされた場合に "1" になります。 このビットは、スタートまたはストップコンディションが検出された場合に "0" になります。
bit1	GCA: ジェネラルコール アドレス検出 ビット	このビットはジェネラルコールアドレスの検出に使用します。 <ul style="list-style-type: none"> このビットは、下記の条件で "1" になります。 <ul style="list-style-type: none"> スレーブモードでジェネラルコールアドレス (00_H) を受信した場合 IBCR10:GACKE=1 のとき、マスタモードでジェネラルコールアドレス (00_H) を受信した場合 マスタモードで、2 バイト目のジェネラルコールアドレス送信中に、アービトレーションロストが検出された場合 このビットは、下記の条件で "0" になります。 <ul style="list-style-type: none"> スタートまたはストップコンディションが検出された場合 マスタモードで、2 バイト目のジェネラルコールアドレス送信中に、アービトレーションロストが検出されなかった場合

表 23.5-3 I²C バスステータスレジスタ (IBSR0) (2 / 2)

ビット名		機能
bit0	FBT: 第 1 バイト検出 ビット	<p>このビットは、第 1 バイトの検出に使用します。</p> <ul style="list-style-type: none">• このビットは、スタートコンディションが検出された場合に "1" になります。• このビットは、下記の条件で "0" になります。<ul style="list-style-type: none">- IBCR10:INT ビットに "0" を書き込んだ場合- スレーブモード時においてスレーブアドレスが IAAR0 の設定アドレスと一致しない場合- スレーブモード時においてスレーブアドレスが IAAR0 の設定アドレスと一致するが IBCR00:AACKX=1 である場合- スレーブモード時においてジェネラルコールアドレスを受信したが IBCR10:GACKE=0 である場合

23.5.3 I²C データレジスタ (IDDR0)

IDDR0 レジスタは、送信データ / アドレスの設定および受信データ / アドレスの保持に使用されます。

■ I²C データレジスタ (IDDR0)

図 23.5-5 I²C データレジスタ (IDDR0)

I ² C データレジスタ (IDDR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
IDDR0 0063 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値)

送信モード時、レジスタに書かれたデータ / アドレスが MSB ビットから SDA0 ラインにビットごとにシフトされます。このレジスタの書込み側はダブルバッファになっており、バスが使用中 (IBSR0:BB=1) の場合、書込みデータは、現在のデータ転送終了割込みのクリア時 (IBCR10:INT ビットへの "0" 書込み) または繰返しスタートコンディション発生時 (IBCR10:SCC ビットへの "1" 書込み) に、8 ビットのシフトレジスタにロードされます。シフトレジスタのデータはビットごとに SDA0 ラインにシフト出力されます。

なお、このレジスタへの書込みは現在のデータ転送には影響がありません。ただし、スレーブモード時は、アドレスの確定後にシフトレジスタへデータが転送されます。

転送終了割込みの間 (IBCR10:INT=1)、受信データ / アドレスをこのレジスタから読み出すことができます。ただし、読出し時はシリアル転送用のレジスタを直接読み出すため、受信データは IBCR10:INT=1 の場合のみ有効になります。

23.5.4 I²C アドレスレジスタ (IAAR0)

IAAR0 レジスタはスレーブアドレスの設定に使用されます。

■ I²C アドレスレジスタ (IAAR0)

図 23.5-6 I²C アドレスレジスタ (IAAR0)

I ² C アドレスレジスタ (IAAR0)									初期値
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
IAAR0 0064 _H	-	A6	A5	A4	A3	A2	A1	A0	00000000 _B
	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード/ライト可能 (読出し値は書き込み値)									
R0/WX : 未定義ビット (読出し値は "0", 書き込みは動作に影響なし)									
- : 未使用									

I²C アドレスレジスタ (IAAR0) は、スレーブアドレスの設定に使用します。スレーブ時に、マスタからのアドレスデータの受信後、IAAR0 レジスタの値との比較判定に使用されます。

23.5.5 I²C クロック制御レジスタ (ICCR0)

ICCR0 レジスタは、I²C 動作の許可とシフトクロック周波数の選択に使用されます。

■ I²C クロック制御レジスタ (ICCR0)

図 23.5-7 I²C クロック制御レジスタ (ICCR0)

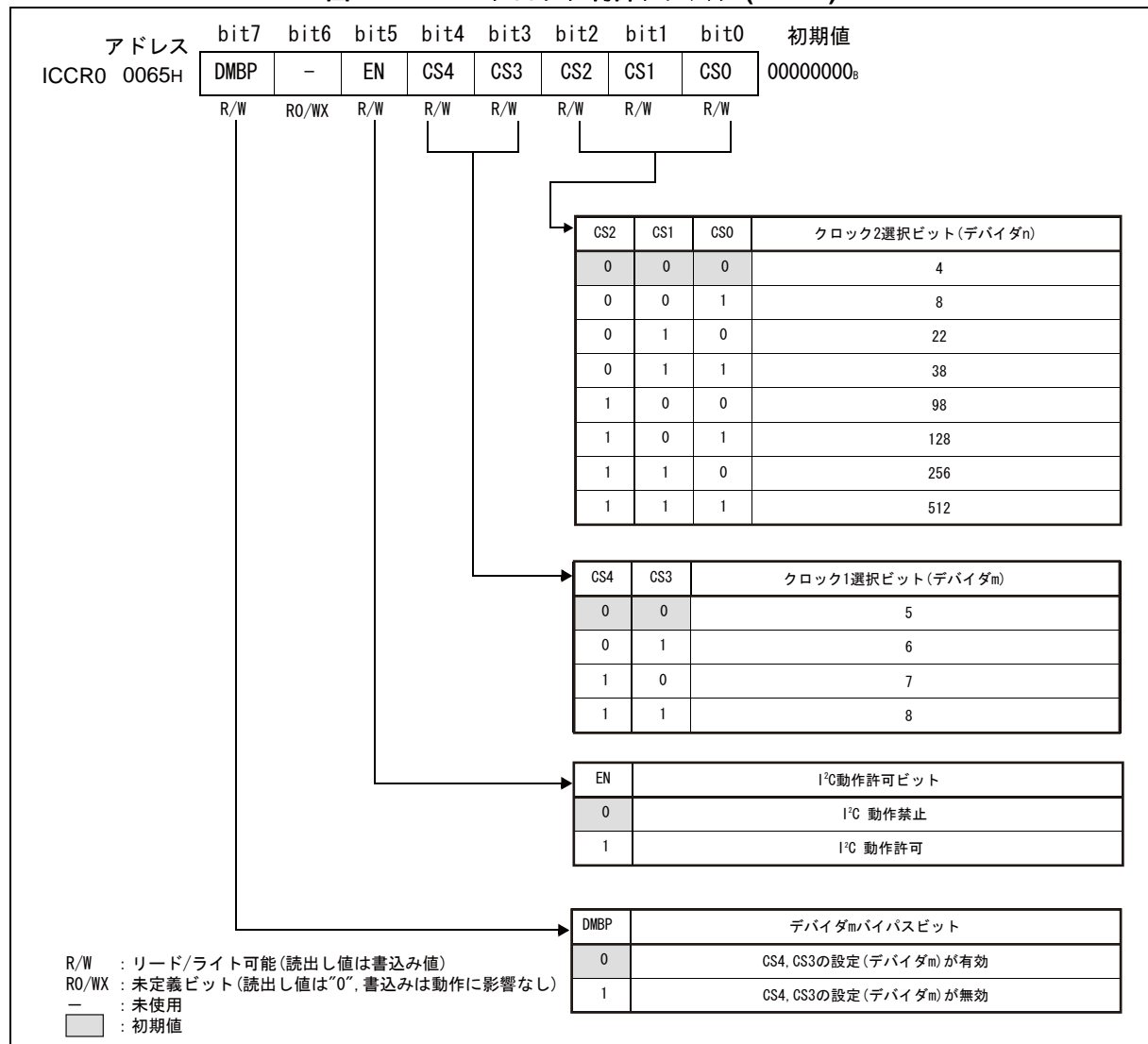


表 23.5-4 I²C クロック制御レジスタ (ICCR0)

ビット名		機能
bit7	DMBP: デバイダ m バイパス ビット	このビットは、シフトクロック周波数を発生させるためのデバイダ m のバイパスに使用されます。 "0" に設定した場合：CS3, CS4 で選択された値がデバイダ m の値になります (m = ICCR0:CS4, 3)。 "1" に設定した場合：デバイダ m をバイパスします。 (注意事項) デバイダ n = 4 (ICCR0:CS2~CS0 = 000 _B) のとき、このビットを "1" にしないでください。
bit6	未定義ビット	読出し値は常に "0" です。 書込みは動作に影響を与えません。
bit5	EN: I ² C 動作許可ビット	<ul style="list-style-type: none"> このビットは、I²C インタフェースの動作を許可するビットです。 "0" に設定した場合：I²C インタフェースの動作が禁止され、次のビットが "0" にクリアされます。 <ul style="list-style-type: none"> IBCR00 レジスタの AACKX, INTS および WUE ビット IBCR10 レジスタの BER および BEIE ビットを除くすべてのビット IBSR0 レジスタのすべてのビット "1" に設定した場合：I²C インタフェースの動作が許可されます。 このビットは、下記の条件で "0" になります。 <ul style="list-style-type: none"> このビットに "0" を書き込んだ場合 IBCR10:BER が "1" になった場合
bit4, bit3	CS4, CS3: クロック 1 選択ビット (デバイダ m)	これらのビットは、シフトクロックの周波数を設定します。 シフトクロック周波数 (F _{sck}) は次式のように設定されます。 $F_{sck} = \frac{\phi}{(m \times n + 2)}$ φ はマシンのクロックの周波数 (MCLK) となります。
bit2, bit1, bit0	CS2, CS1, CS0: クロック 2 選択ビット (デバイダ n)	

< 注意事項 >

スタンバイモードウェイクアップ機能を使用しない場合、MCU をストップ/時計モードに遷移させる前に、I²C の動作を禁止してください。

23.6 I²C の割込み

I²C インタフェースは、転送割込みとストップ割込みがあり、次に示す要因で割込みを発生します。

- 転送割込み
データ転送が終了した場合、またはバスエラーが発生した場合
- ストップ割込み
ストップコンディションを検出した場合、アービトレーションロストを検出した場合、またはストップ/時計モード中に本 I²C にアクセスがあった場合

■ 転送割込み

表 23.6-1 に、転送割込みの制御ビットと I²C の割込み要因について示します。

表 23.6-1 転送割込みの制御ビットと I²C の割込み要因

項目	転送終了	バスエラー
割込み要求 フラグビット	IBCR10:INT = 1	IBCR10:BER = 1
割込み要求 許可ビット	IBCR10:INTE = 1	IBCR10:BEIE = 1
割込み要因	データ転送終了	バスエラー発生

• 転送終了時の割込み

データ転送が終了して転送終了割込み要求許可ビットが許可 (IBCR10:INTE=1) されている場合、CPU に割込み要求を出力します。割込み処理ルーチン内で転送終了割込み要求フラグビット (IBCR10:INT) に "0" を書き込んで割込み要求をクリアしてください。IBCR10:INTE ビット値にかかわらず、データ転送を終了した場合は、IBCR10:INT ビットが "1" に設定されます。

• バスエラー時の割込み

以下の条件が成立した場合はバスエラーと判断され、I²C インタフェースは停止状態となります。

- マスタ時にストップコンディションを検出した場合。
- 第 1 バイト送受信中にスタートまたはストップコンディションを検出した場合。
- データ送受信 (スタート、データの 1 ビット目およびストップを除く) にスタートまたはストップを検出した場合。

この場合、バスエラー割込み要求許可ビットが許可 (IBCR10:BEIE=1) されていると CPU に割込み要求を出力します。割込み処理ルーチン内でバスエラー割込み要求フラグビット (IBCR10:BER) に "0" を書き込んで、割込み要求をクリアしてください。IBCR10:BEIE ビット値にかかわらず、バスエラーが発生した場合は、IBCR10:BER ビットが "1" に設定されます。

■ ストップ割込み

表 23.6-2 に、ストップ割込みの制御ビットと I²C の割込み要因について示します。

表 23.6-2 ストップ割込みの制御ビットと I²C の割込み要因

項目	ストップコンディション 検出	アービトレーション ロスト検出	MCU のストップ / 時計 モードに対する ウェイクアップ機能
割込み要求 フラグビット	IBCR00:SPF = 1	IBCR00:ALF = 1	IBCR00:WUF = 1
割込み要求 許可ビット	IBCR00:SPE = 1	IBCR00:ALE = 1	IBCR00:WUE = 1
割込み要因	ストップコンディション 検出	アービトレーション ロスト検出	スタートコンディション 検出

- ストップコンディション検出時の割込み

以下のすべての条件が成立しているときにストップコンディションが検出された場合、ストップコンディションは正常として扱われます。

- バスビジー中 (スタートコンディションが検出されている状態)
- IBCR10:MSS=0
- アクノリッジを含む 1 バイトのデータ転送後

この場合、ストップコンディション検出割込み要求許可ビットが許可 (IBCR00: SPE = 1) されていると CPU に割込み要求を出力します。割込み処理ルーチン内で IBCR00:SPF ビットに "0" を書き込んで、割込み要求をクリアしてください。

IBCR00:SPE ビット値にかかわらず、有効なストップコンディションが発生した場合、IBCR00:SPF ビットが "1" に設定されます。

- アービトレーションロスト検出時の割込み

アービトレーションロストが検出され、アービトレーションロスト検出割込み要求許可ビットが許可 (IBCR00: ALE = 1) されていると、CPU に割込み要求を出力します。バスがアイドル中にアービトレーションロスト割込み要求フラグビット (IBCR00:ALF) に "0" を書き込むかバスビジー中に割込み処理ルーチン内で IBCR10:INT ビットに "0" を書き込んで、割込み要求をクリアしてください。

IBCR00:ALE ビット値にかかわらず、アービトレーションロストが発生した場合、IBCR00:ALF ビットが "1" に設定されます。

- MCU のストップ / 時計モードに対するウェイクアップ機能時の割込み

MCU のストップ / 時計モードに対するウェイクアップ機能が許可 (IBCR00: WUE = 1) されており、スタートコンディションが検出されると、CPU に割込み要求を出力します。

割込み処理ルーチン内で MCU スタンバイモードウェイクアップ割込み要求フラグビット (IBCR00:WUF) に "0" を書き込んで、割込み要求をクリアしてください。

全周辺機能の割込み要因番号 / ベクタテーブルについては「付録 B 割込み要因のテーブル」を参照してください。

■ I²C の割込みに関連するレジスタとベクタテーブル

表 23.6-3 I²C の割込みに関連するレジスタとベクタテーブル

割込み要因	割込み 要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
ch.0	IRQ16	ILR4	L16	FFDA _H	FFDB _H

ch : チャンネル

23.7 I²C の動作説明と設定手順例

I²C の動作について説明します。

■ I²C の動作

● I²C インタフェース

I²C インタフェースは、シフトクロックに同期した 8 ビットデータのシリアルインタフェースです。Philips 社の I²C バス仕様に準拠しています。

● MCU スタンバイモードに対するウェイクアップ機能

MCU をストップ / 時計モードなどの低消費電力モードで動作させておいた場合でも、スタートコンディションの検出により、ウェイクアップさせることができるウェイクアップ機能があります。

■ 設定手順例

I²C の設定手順例を以下に示します。

● 初期設定

- 1) ポートの入力設定 (DDR0)
- 2) 割込みレベルの設定 (ILR2, ILR4)
- 3) スレーブアドレス設定 (IAAR0)
- 4) クロック選択, I²C 動作許可 (ICCR0)
- 5) バスエラー割込み要求許可 (IBCR00:BEIE=1)

● 割込み処理

- 1) 任意の処理
- 2) バスエラー割込み要求フラグクリア (IBCR00:BER=0)

23.7.1 I²C インタフェース

I²C インタフェースは、シフトクロックに同期した 8 ビットデータのシリアルインタフェースです。Philips 社の I²C バス仕様に準拠しています。

■ I²C のシステム

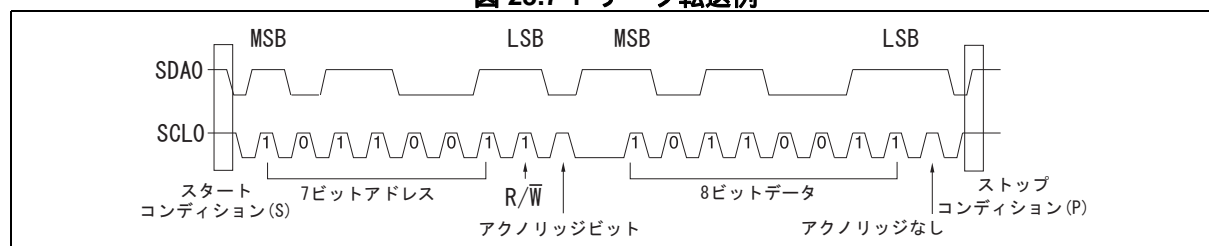
I²C バスシステムはデータ転送にシリアルデータライン (SDA0) とシリアルクロックライン (SCL0) を使用します。バスに接続された全装置はオープンドレイン、またはオープンコレクタ出力である必要があり、プルアップ抵抗を接続して使用します。

バスに接続された各デバイスには固有のアドレスがあり、アドレスは、ソフトウェアで設定が可能です。そして常に単純なマスタ/スレーブ関係が存在し、マスタはマスタトランスミッタ、またはマスタレシーバとして機能します。万一、複数のマスタが同時にデータ転送を開始しようとした場合でも、データ破壊を防ぐために衝突検出機能およびアービトレーション機能を備えた本格的なマルチマスタバスです。

■ I²C のプロトコル

図 23.7-1 にデータ転送に必要なフォーマットを示します。

図 23.7-1 データ転送例



スタートコンディション (S) 発生後、スレーブアドレスが送信されます。このアドレスは 7 ビット長のものに 8 ビット目のデータ方向ビット (R/W) が含まれたアドレスです。アドレスの後にデータが送信されます。データは 8 ビット長で、その後にアクノリッジビットがあります。

データは 8 ビット + アクノリッジの単位で連続させることにより同一スレーブアドレスに連続して送信することができます。

データ転送は常にマスタストップコンディション (P) で終了します。しかし、繰返しスタートコンディション (S) を行うことによって、ストップコンディションを発生せず別のスレーブを示すアドレスを送信することも可能です。

■ スタートコンディション

バスが開放されている状態 (SCL0 と SDA0 の両方が論理 "H" である) において、マスタはスタートコンディションを発生することによって送信を開始します。図 23.7-1 に示したとおり、SCL0="H" の場合に SDA0 ラインを "H" → "L" にするとスタートコンディションとなります。この場合、新しいデータ転送が始まり、マスタ/スレーブ動作を開始します。

スタートコンディションを発生させる条件として、次の 2 とおりがあります。

- I²C バスが使用されていない状態 (IBCR10:MSS=0, IBSR0:BB=0, IBCR10:INT=0, IBCR00:ALF=0) での IBCR10:MSS ビットに "1" の書込みを行った場合 (その後、IBSR0:BB が "1" に設定され、バスビジーを示します)。
- バスマスタ時の割込み状態 (IBCR10:MSS=1, IBSR0:BB=1, IBCR10:INT=1, IBCR00:ALF=0) での IBCR10:SCC ビットに "1" の書込みを行った場合 (これにより繰返しスタートコンディションを発生します)。

上記の条件以外での IBCR10:MSS=1 または IBCR10:SCC=1 の書込みは無視されます。ほかのシステムがバス使用中に、IBCR10:MSS ビットに "1" の書込みを行うと、IBCR00:ALF ビットが "1" に設定されます。

■ アドレッシング

● マスタモードにおいてスレーブアドレッシングをする場合

マスタモードでは、スタートコンディション発生後、IBSR0:BB=1, IBSR0:TRX=1 に設定され、スレーブアドレスの IDDR0 レジスタの内容を上位ビット MSB から出力します。このアドレスデータは、7 ビットのスレーブアドレスとデータの転送方向を示す R/W ビット (IDDR0 の bit0) の 8 ビットで構成されています。

アドレスデータ送信後、スレーブからアクノリッジを受信します。9 番目のクロックで SDA0 が "L" レベルになり、受信デバイスからアクノリッジビットを受信します (図 23.7-1 を参照)。この場合、R/W ビット (IDDR0:bit0) が論理的に反転し、SDA0 が "L" の場合は "1" として IBSR0:TRX ビットに格納されます。

● スレーブモードにおいてアドレッシングを受ける場合

スレーブモードではスタートコンディション検出後、IBSR0:BB=1, IBSR0:TRX=0 に設定され、マスタからの受信データを IDDR0 レジスタへ受信します。アドレスデータ受信後、IDDR0 レジスタと IAAR0 レジスタとの比較が行われ、一致している場合、IBSR0:AAS=1 に設定してマスタに対してアクノリッジを送信します。その後、受信データの bit0 (IDDR0 レジスタの bit0) を IBSR0:TRX ビットへ格納します。

■ データ転送

スレーブとしてアドレス指定されると、マスタが送った R/W ビットによって決定される方向で、バイトごとにデータ送受信ができます。

SDA0 ラインに出力される各バイトは 8 ビット固定です。図 23.7-1 に示したとおりアクノリッジクロックパルスが "H" の状態の場合に SDA0 ラインを "L" レベルの状態に安定させることで、受信装置はアクノリッジを送信側に伝えるようになっています。MSB を先頭に 1 ビットごとに 1 クロックパルスでデータを転送します。バイト転送ごとに、アクノリッジの送受信が行われる必要があります。そのため、1 つの完全なデータバイト転送は 9 つのクロックパルスが必要となります。

■ アクノリッジ

アクノリッジは、次に示す条件のもと、送信側データバイト転送の 9 番目のクロックに対して受信側から送信されます。

アドレスアクノリッジは下記条件で発生します。

- 受信アドレスが IAAR0 の設定アドレスと一致し、さらにアドレスアクノリッジ自動出力 (IBCR00:AACKX=0) の場合
- ジェネラルコールアドレス (00_H) を受信し、さらにジェネラルコールアドレスアクノリッジ出力許可 (IBCR10:GACKE=1) の場合

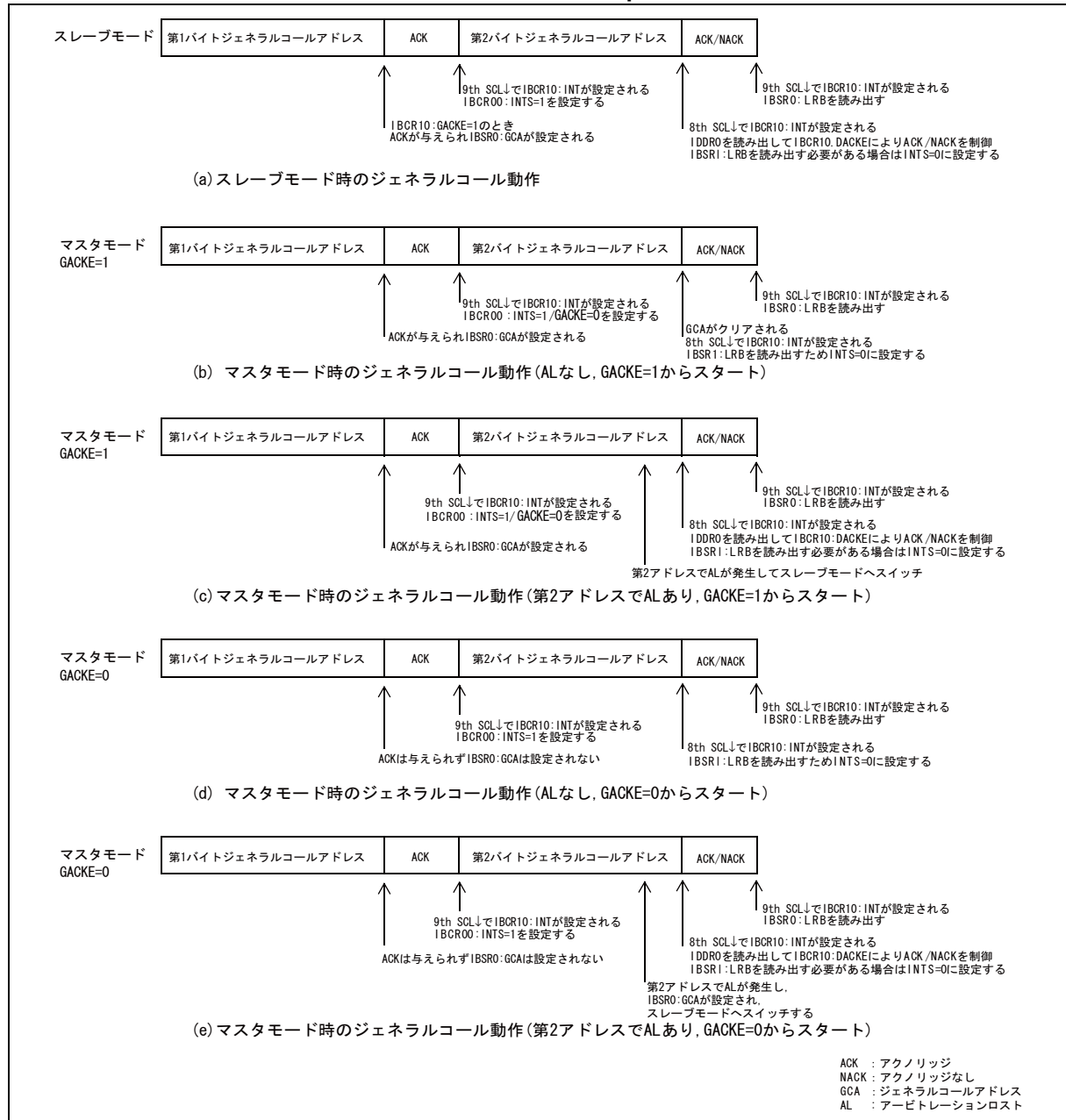
データを受信したときのデータアクノリッジビットは、IBCR10:DACKE ビットにより許可 / 禁止することができます。マスタモードでは IBCR10:DACKE=1 のときにデータアクノリッジが発生し、スレーブモードでは、アドレスアクノリッジが既に発生しており、さらに IBCR10:DACKE=1 のときにデータアクノリッジが発生します。また、受信したアクノリッジは、9 番目の SCL0 サイクルで IBSR0:LRB に保持されます。

- データ ACK が受信データの内容に依存する場合 (SM バスで使われるパケットエラーチェックなど)、IBCR00:INTS ビットに "1" を書き込む (例えば前の転送完了割込みにて) ことで最新の受信データを読み出せるようにした上で、データ ACK 許可ビット (IBCR10:DACKE) の設定によりデータ ACK を制御してください。
- 最新のデータ ACK (IBSR0:LRB) の読出しは、ACK 受信後に行えます (IBSR0:LRB の読出しは、9 番目の SCL0 サイクルにおける転送終了割込みで行われる必要があります)。そのため、IBCR00:INTS ビットが "1" のときに ACK を読み出す場合は、8 番目の SCL0 サイクルによる転送終了割込み中に、このビットに "0" を書き込んで、9 番目の SCL0 サイクルで、再度、転送終了割込みが発生するように設定する必要があります。

■ ジェネラルコールアドレス

ジェネラルコールアドレスは、スタートアドレスバイト (00_H) とそれに続く第 2 アドレスバイトから構成されています。ジェネラルコールアドレスを使用するためには、第 1 バイトのジェネラルコールアドレスに対するアクノリッジの前に、IBCR10:GACKE=1 を設定しておく必要があります。また、第 2 アドレスのアクノリッジは、下図に示されるような方法で制御できます。

図 23.7-2 General Call operation



本モジュールと外部デバイスがジェネラルコールアドレスを同時に発生した場合、第 2 アドレスバイト転送時にアービトレーションロストが検出されていないかどうかで、バスを獲得したかどうかを確認できます。もし、アービトレーションロストが検出された場合、本モジュールはスレーブモードとなり、マスタからのデータ受信を継続します。

■ ストップコンディション

ストップコンディションを発生させることによって、マスタはバスを開放して通信を終了します。SCL0 が "H" の場合に、SDA0 ラインを "L" → "H" にするとストップコンディションとなります。マスタモード時の通信終了（以後バスフリー）をバス接続装置に知らせるための信号です。また、マスタはストップコンディションを発生させずに、連続してスタートコンディションを発生できます。これを繰返しスタートコンディションとよびます。

バスマスタ時の割込み状態 (IBCR10: MSS=1 および IBSR0: BB=1 および IBCR10: INT=1 および IBCR00: ALF=0) で、IBCR10:MSS ビットへ "0" を書き込むとストップコンディションが発生してスレーブモードになります。上記以外での IBCR10:MSS ビットへの "0" の書き込みは無視されます。

■ アービトレーション

このインタフェース回路は複数のマスタを接続できる本格的なマルチマスタバスです。マスタ転送で、システム内のほかのマスタが同時にデータ転送をした場合、アービトレーションが発生します。

アービトレーションは、SCL0 ラインが "H" レベルの場合に SDA0 ラインで発生します。マスタは、自身の送信データが "1", SDA0 ライン上のデータが "L" レベルの場合、アービトレーションロストが発生したと見なし、データ出力をオフにして、IBCR00:ALF=1 に設定します。このとき、アービトレーションロスト割込みが許可 (IBCR00:ALE=1) されていると、割込みが発生します。IBCR00:ALF=1 に設定されると、IBCR10:MSS=0, IBSR0:TRX=0 となり、TRX がクリアされてスレーブ受信モードとなります。

もし、IBSR0:BB=0 のときに IBCR00:ALF が "1" に設定された場合、IBCR00:ALF は "0" の書き込みでのみクリアされます。また、IBSR0:BB=1 のときに IBCR00:ALF が "1" に設定された場合、IBCR00:ALF は IBCR10:INT を "0" にクリアすることでのみクリアされます。

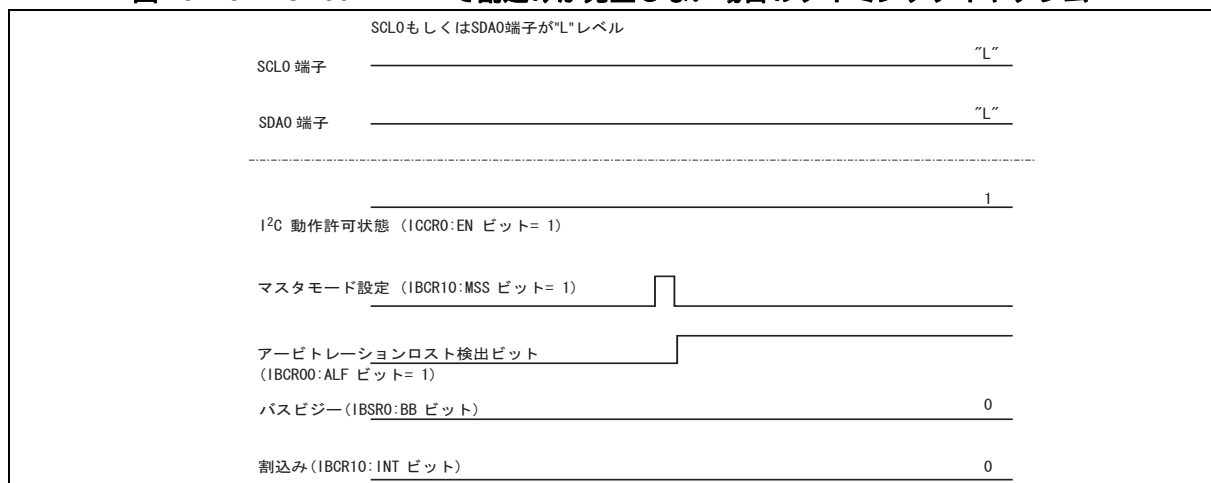
● IBSR0:BB=0 でアービトレーションロスト割込みが発生する条件

図 23.7-3 や 図 23.7-4 に示されるようなタイミングにて、プログラムによりスタートコンディションを発生させた場合 (IBCR10:MSS ビットに "1" を設定)、アービトレーションロスト検出 (IBCR00:ALF = 1) により割込みの発生 (IBCR10:INT ビット = 1) が抑止されます。

・ アービトレーションロストにより割込みが発生しない条件 1

スタートコンディションが検出されておらず (IBSR0:BB ビット = 0), SDA0 と SCL0 ラインの端子状態が "L" レベルとなっている状態で、プログラムによりスタートコンディションを発生 (IBCR10:MSS ビットに "1" を設定) させた場合。

図 23.7-3 IBCR00:ALF=1 で割込みが発生しない場合のタイミングダイアグラム

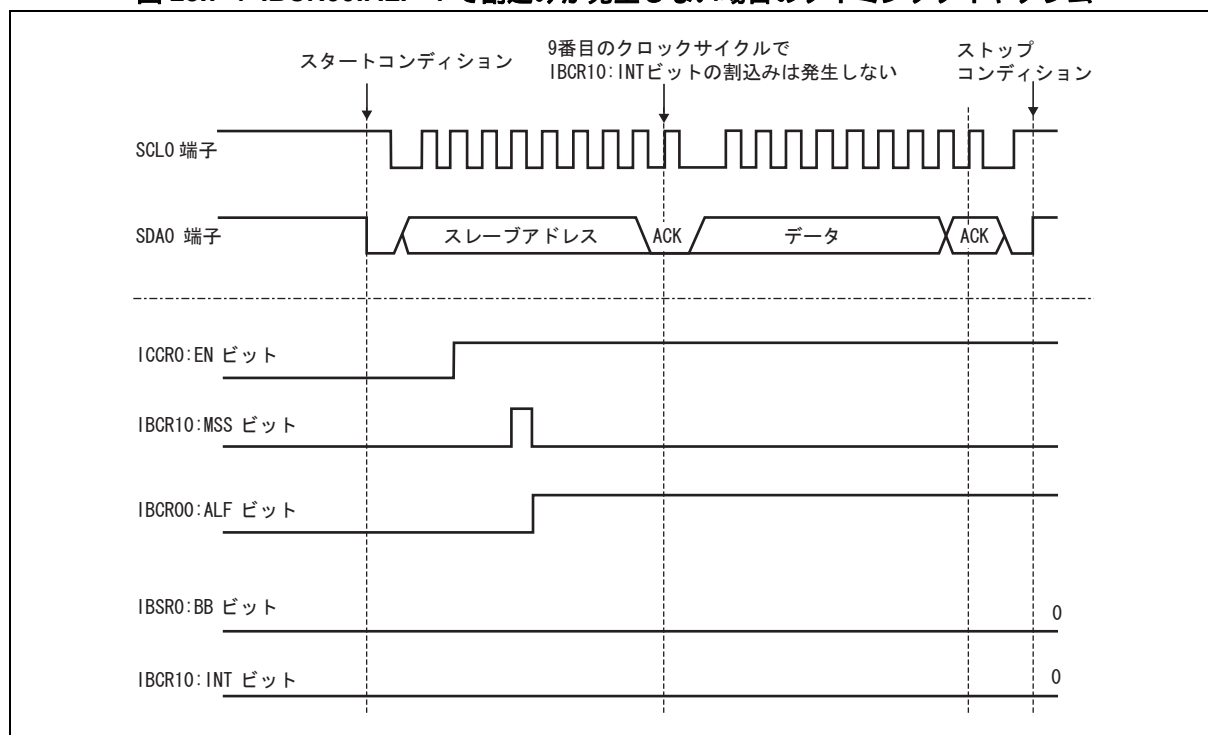


- ・ アービトレーションロストにより割込みが発生しない条件 2

I²C バスがほかのマスタにより使用されているとき、プログラムにより I²C の動作を許可 (ICCR0:EN ビットに "1" を設定) し、スタートコンディションを発生 (IBCR10:MSS ビットに "1" を設定) させた場合。

これは、図 23.7-4 に示すように、本 I²C の動作が禁止 (ICCR0:EN ビット = 0) のときに I²C バス上のほかのマスタが通信を開始した場合、本 I²C はスタートコンディションを検出できないためです (IBSR0:BB ビット = 0)。

図 23.7-4 IBCR00:ALF=1 で割込みが発生しない場合のタイミングダイアグラム



上記のような現象が発生し得る場合、下記のようなソフトウェアの設定手順に従ってください。

- 1) プログラムによりスタートコンディションを発生させる (IBCR10:MSS ビットに "1" を設定)。
- 2) アービトレーションロスト割込みで IBCR00:ALF と IBSR0:BB ビットを確認。

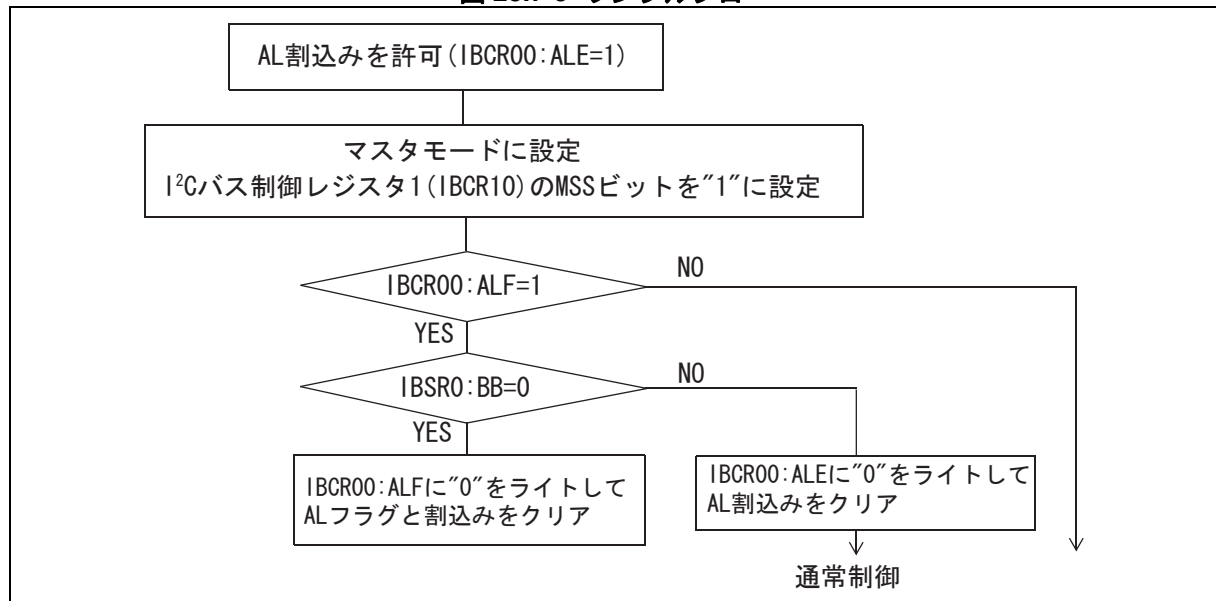
IBCR00:ALF=1 かつ IBSR0:BB=0 であった場合、IBCR00:ALF ビットを "0" にクリアします。

IBCR00:ALF=1 かつ IBSR0:BB=1 であった場合、IBCR00:ALE ビットを "0" にクリアして通常制御を行います (通常制御の INT 割込みにて、IBCR00:INT ビットへの "0" の書込みで IBCR00:ALF をクリアします)。

それ以外は、通常制御を行います (通常制御の INT 割込みにて、IBCR00:INT ビットへの "0" の書込みで IBCR00:ALF をクリアします)。

図 23.7-5 に、サンプルフローを示します。

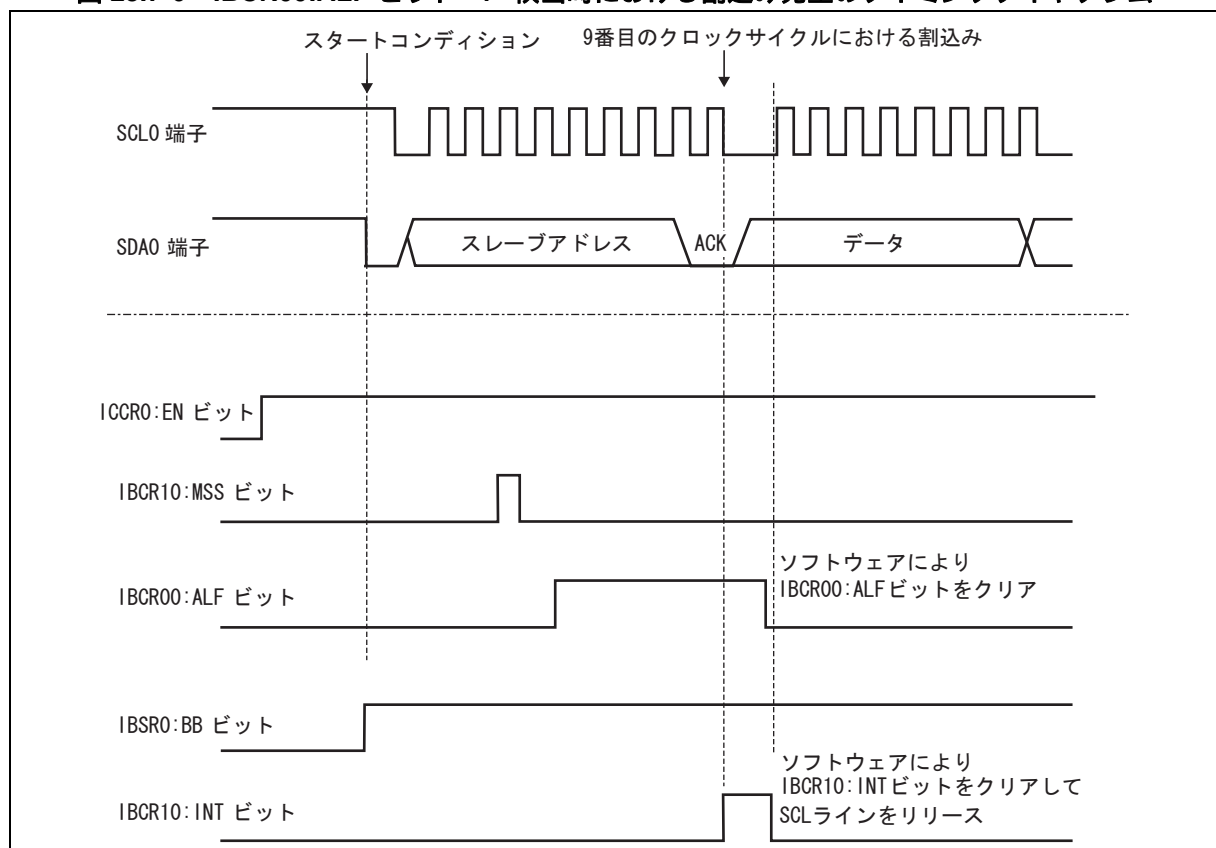
図 23.7-5 サンプルフロー



● "IBCR00:ALF ビット =1" の検出時における割込み (IBCR10:INT ビット =1) 発生例

バスビジー (IBSR0:BB ビット = 1) およびアービトラシヨンロストを検出したとき，プログラムによりスタートコンディションを発生させた場合 (IBCR10:MSSビットに"1"を設定)，"IBCR00:ALF ビット = 1" の検出により IBCR10:INT ビット割込みが発生します。

図 23.7-6 "IBCR00:ALF ビット =1" 検出時における割込み発生タイミングダイアグラム



23.7.2 MCU スタンバイモードに対するウェイクアップ機能

ウェイクアップ機能により、MCU のストップ/時計モード中に I²C マクロへアクセスすることが可能となります。

■ MCU スタンバイモードに対するウェイクアップ機能

本 I²C マクロは、MCU スタンバイモードウェイクアップ機能を内蔵しており、IBCR00:WUE ビットへ "1" を書き込むと動作を許可できます。

MCU がストップ/時計モード中で IBCR00:WUE ビットが "1" のとき、I²C バス上にスタートコンディションを検出すると、ウェイクアップ割込み要求フラグビット (IBCR00:WUF) が "1" に設定され、MCU をストップ/時計モードからウェイクアップさせるためのウェイクアップ割込み要求を発生します。

- MCU をストップ/時計モードに入れる直前に、IBCR00:WUE を "1" に設定してください。また、MCU がストップ/時計モードからウェイクアップした後、I²C の動作を直ちに再開できるように IBCR00:WUE をクリア ("0" 書込み) してください。
- このウェイクアップ機能は MCU のストップ/時計モードのみ有効となります。

< 注意事項 >

PLL ストップモードでは、発振安定待ち時間に加えて PLL 発振安定待ち時間が加わるため、ウェイクアップ後から通信開始までの時間が非常に長くなります。

図 23.7-7 通常の I²C 動作とウェイクアップ中の動作との比較

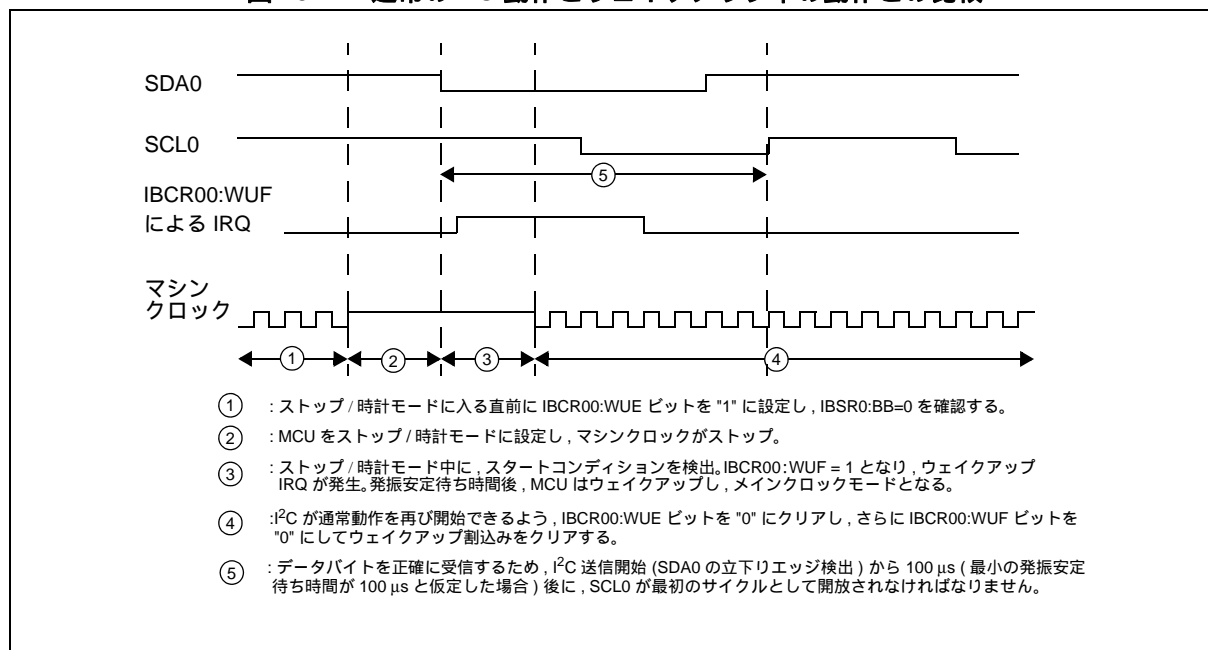
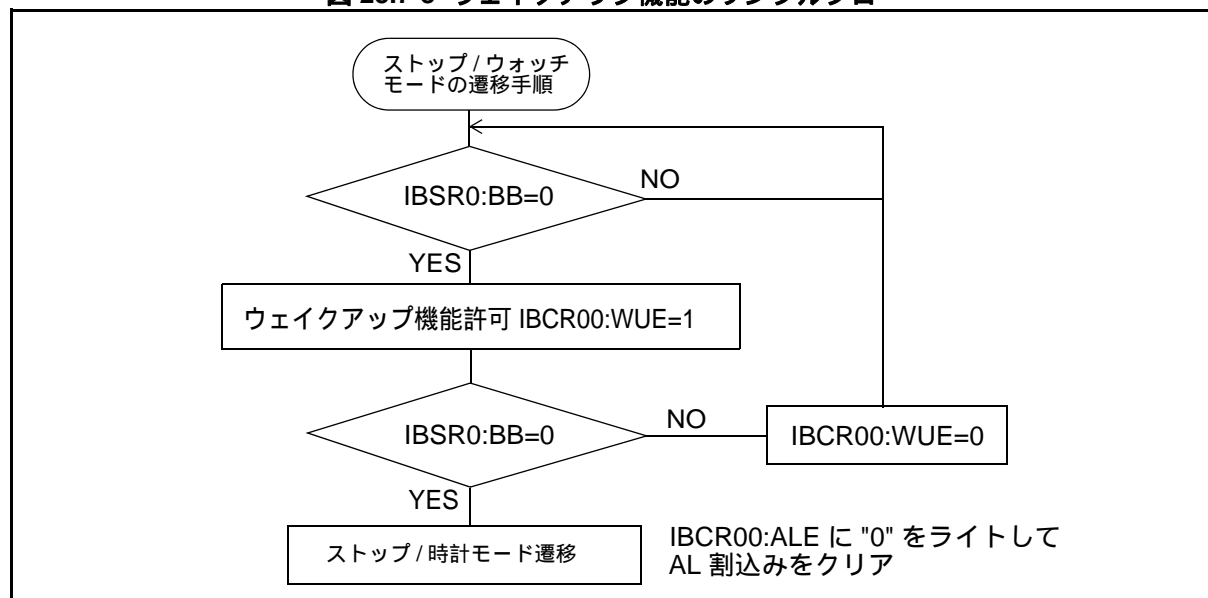


図 23.7-8 に、ウェイクアップ機能のサンプルフローを示します。

図 23.7-8 ウェイクアップ機能のサンプルフロー



23.8 I²C 使用上の注意

I²C インタフェースを使用するための注意点を示します。

■ I²C 使用上の注意

- I²C インタフェースのレジスタを設定する場合の注意
 - I²C バス制御レジスタ (IBCR00, IBCR10) を設定前に, I²C インタフェースの動作を許可する必要があります (ICCR0:EN)。
 - マスタスレーブ選択ビット (IBCR10:MSS) を設定する ("1" を書き込む) と, 転送が開始されます。
- シフトクロック周波数を設定する場合の注意
 - 表 23.5-4 の F_{sck} 式を使用して, m, n, DMBP の値を決めることにより, シフトクロック周波数を計算できます。
 - n の値が 4(ICCR0:CS2=CS1=CS=0) の場合は, "DMBP=1" は選択できません。
- 同時書き込み時の優先度の注意
 - 次バイト転送とストップコンディションの競合
IBCR10:INT がクリアされた状態で IBCR10:MSS に "0" を書き込むと, MSS ビットが優先されてストップコンディションが発生します。
 - 次バイト転送とスタートコンディションの競合
IBCR10:INT がクリアされた状態で IBCR10:SCC に "1" を書き込むと, SCC ビットが優先されてスタートコンディションが発生します。
- ソフトウェアによる設定の注意
 - 繰返しスタートコンディション (IBCR10:SCC=1) とスレーブモード (IBCR10:MSS=0) を同時に選択しないでください。
 - 割り込み要求フラグビット (IBCR10:BER/IBCR10:INT) が "1" で, 割り込み要求許可ビット (IBCR10:BEIE=1/IBCR10:INTE=1) が許可された状態では, 割り込み処理から復帰できません。IBCR10:BER/IBCR10:INT ビットのクリアは必ず行ってください。
 - I²C の動作が禁止された場合 (ICCR0:EN=0), 次のビットが "0" にクリアされます。
 - IBCR00 レジスタの ACCKX, INTS および WUE ビット
 - IBCR10 レジスタの BER および BEIE ビットを除くすべてのビット
 - IBSR0 レジスタのすべてのビット
- データアクノリッジに対する注意

スレーブモードでは, データアクノリッジは以下の条件で発生します。

 - 受信アドレスがアドレスレジスタ (IAAR0) の値と一致し, IBCR00:AACKX=0 の場合
 - ジェネラルコールアドレス (00_H) が受信され, IBCR10:GACKE=1 の場合

● 転送完了タイミング選択時の注意

- 転送完了タイミング選択 (IBCR00:INTS) は、データ受信時 (IBSR0:TRX=0 かつ IBSR0:FBT=0) のみ有効となります。
- データ受信時以外 (IBSR0:TRX=1 か IBSR0:FBT=1) では、転送完了割込み (IBCR10:INT) は常に 9 番目の SCL0 サイクルで発生します。
- データ ACK が受信データの内容に依存する場合 (SM バスで使われるパケットエラーチェックなど)、IBCR00:INTS ビットに "1" を書き込む (例えば前の転送完了割込みにて) ことで最新の受信データを読み出せるようにした上で、データ ACK 許可ビット (IBCR10:DACKE) の設定によりデータ ACK を制御してください。
- 最新のデータ ACK (IBSR0:LRB) の読出しは、ACK 受信後に行えます (IBSR0:LRB の読出しは、9 番目の SCL0 サイクルにおける転送終了割込みで行われる必要があります)。そのため、IBCR00:INTS ビットが "1" のときに ACK を読み出す場合は、8 番目の SCL0 サイクルによる転送終了割込み中に、IBCR00:INTS ビットに "0" を書き込んで 9 番目の SCL0 サイクルで、再度、転送終了割込みが発生するように設定する必要があります。

● MCU スタンバイモードウェイクアップ機能使用時の注意

- MCU をストップ / 時計モードに入れる直前に、IBCR00:WUE を "1" に設定してください。また、MCU がストップ / 時計モードからウェイクアップした後、I²C の動作をすぐに再開できるよう、IBCR00:WUE をクリア ("0" 書込み) してください。
- ウェイクアップ割込み要求が発生された後、MCU は発振安定待ち時間の経過後にウェイクアップします。したがって、ウェイクアップ直後のデータの取逃しを避けるため、I²C 送信開始 (SDA0 の立下りエッジ検出) によるウェイクアップから 100 μ s (最小の発振安定待ち時間が 100 μ s と仮定した場合) 以降に、SCL0 がファーストサイクルとして立ち上り、第 1 ビットがデータとして送信されるようにシステムを設計してください。
- MCU スタンバイモード中、本 I²C 機能のステータスフラグ、ステートマシンおよび I²C バス出力は、スタンバイモードに入る直前の状態を保持します。I²C バスシステム全体のハングアップを避けるため、スタンバイモードに入れる前に IBSR0:BB=0 となっていることを確認するようにしてください。
- ウェイクアップ機能は、IBSR0:BB=1 における MCU のストップ / 時計モードへの遷移をサポートしていません。もしも IBSR0:BB=1 で MCU がストップ / 時計モードへ遷移した場合、スタートコンディションを検出した段階でバスエラーとなります。
- PLL ストップモードでは、発振安定待ち時間に加えて PLL 発振安定待ち時間が加わるため、ウェイクアップ後から通信開始までの時間がストップ / 時計モード時に比べて PLL 発振安定待ち時間分長くなります。
- I²C の動作を確実にを行うため、I²C のウェイクアップ機能がほかのリソースを使ったウェイクアップ機能 (外部割込みなど) にかかわらず、ストップ / 時計モードから MCU がウェイクアップした後、IBCR00:WUE を "0" にクリアしてください。

23.9 I²C のサンプルプログラム

I²C を動作させるためのサンプルプログラムを提供しています。

■ I²C のサンプルプログラム

I²C のサンプルプログラムについては、「はじめに サンプルプログラム」を参照してください。

■ プログラム例以外の設定方法

● I²C 動作を許可 / 禁止する方法

I²C 動作許可ビット (ICCR0:EN) で行います。

制御内容	I ² C 動作許可ビット (EN)
I ² C 動作を禁止するには	"0" を設定する
I ² C 動作を許可するには	"1" を設定する

● I²C のマスタモード / スレーブモードを選択する方法

マスタ / スレーブ選択ビット (IBCR10:MSS) で行います。

制御内容	マスタ / スレーブ選択ビット (MSS)
マスタモードを選択するには	"1" を設定する
スレーブモードを選択するには	"0" を設定する

● シフトクロックの選択方法

クロック選択ビット (ICCR0: CS4/CS3/CS2/CS1/CS0) で選択します。

● シフトクロック周波数発生時、デバイダ m をバイパスさせるかを制御する方法

デバイダ m バイパスビット (ICCR0:DMBP) で行います。

制御内容	デバイダ m バイパスビット (DMBP)
デバイダ m をバイパスするには	"1" を設定する

● I²C のアドレスアクノリッジを制御する方法

アドレスアクノリッジ禁止ビット (IBCR00:AACKX) で行います。

制御内容	アドレスアクノリッジ禁止ビット (AACKX)
アドレスアクノリッジ出力を許可するには	"0" を設定する
アドレスアクノリッジ出力を禁止するには	"1" を設定する

● I²C のデータアクノリッジを制御する方法

データアクノリッジ許可ビット (IBCR10:DACE) で行います。

制御内容	データアクノリッジ許可ビット (DACE)
データアクノリッジ出力を許可するには	"1" を設定する
データアクノリッジ出力を禁止するには	"0" を設定する

● I²C のジェネラルコールアドレスアクノリッジを制御する方法

ジェネラルコールアドレスアクノリッジ許可ビット (IBCR10:GACE) で行います。

制御内容	ジェネラルコールアドレスアクノリッジ許可ビット (GACE)
ジェネラルコールアドレスアクノリッジ出力を許可するには	"1" を設定する
ジェネラルコールアドレスアクノリッジ出力を禁止するには	"0" を設定する

● I²C の通信を再スタートする方法

スタートコンディション発生ビット (IBCR10:SCC) で行います。

制御内容	スタートコンディション発生ビット (SCC)
通信を再スタートするには	"1" を設定する

● I²C のデータ受信時の転送完了フラグ (INT) タイミングを選択する方法

データ受信時の転送完了フラグ (INT) タイミング選択ビット (IBCR00:INTS) で行います。

制御内容	データ受信時の転送完了フラグ (INT) タイミング選択ビット (INTS)
9 番目の SCL0 サイクルで転送割込みをするには	"0" を設定する
8 番目の SCL0 サイクルで転送割込みをするには	"1" を設定する

● 割込み関連レジスタ

割込みレベルは、下表の割込みレベル設定レジスタで設定します。

チャンネル	割込みレベル設定レジスタ	割込みベクタ
ch.0	割込みレベルレジスタ (ILR2) アドレス : 0007B _H	#10 アドレス : 0FFE6 _H

● 割込みを許可 / 禁止 / クリアする方法

・ 転送割込み

(データ転送終了割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR10:INTE) にて行います。

制御内容	割込み要求許可ビット (INTE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR10:INT) にて行います。

制御内容	割込み要求フラグ (INT)
割込み要求をクリアするには	"0" を設定する

(バスエラー発生割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR10:BEIE) にて行います。

制御内容	割込み要求許可ビット (BEIE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR10:BER) にて行います。

制御内容	割込み要求フラグ (BER)
割込み要求をクリアするには	"0" を設定する

- ストップ割込み

(ストップコンディション検出割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR00:SPE) にて行います。

制御内容	割込み要求許可ビット (SPE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR00:SPF) にて行います。

制御内容	割込み要求フラグ (SPF)
割込み要求をクリアするには	"0" を設定する

(アービトレーションロスト検出割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR00:ALE) にて行います。

制御内容	割込み要求許可ビット (ALE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR00:ALF) にて行います。

制御内容	割込み要求フラグ (ALF)
割込み要求をクリアするには	"0" を設定する

(スタートコンディション検出割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR00:WUE) にて行います。

制御内容	割込み要求許可ビット (WUE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR00:WUF) にて行います。

制御内容	割込み要求フラグ (WUF)
割込み要求をクリアするには	"0" を設定する

第24章

8/10 ビット A/D コンバータ

8/10 ビット A/D コンバータの機能と動作について説明します。

- 24.1 8/10 ビット A/D コンバータの概要
- 24.2 8/10 ビット A/D コンバータの構成
- 24.3 8/10 ビット A/D コンバータの端子
- 24.4 8/10 ビット A/D コンバータのレジスタ
- 24.5 8/10 ビット A/D コンバータの割込み
- 24.6 8/10 ビット A/D コンバータの動作説明と設定手順例
- 24.7 8/10 ビット A/D コンバータ使用上の注意
- 24.8 8/10 ビット A/D コンバータのサンプルプログラム

24.1 8/10 ビット A/D コンバータの概要

8/10 ビット A/D コンバータは、10 ビット逐次比較型の 8/10 ビット A/D コンバータです。複数のアナログ入力端子から 1 つの入力信号を選択し、ソフトウェア、外部トリガおよび内部クロックによって起動できます。

■ A/D 変換機能

アナログ入力端子に入力されたアナログ電圧（入力電圧）を、10 ビットのデジタル値に A/D 変換します。

- 複数のアナログ入力端子から 1 つを選択できます。
- 変換速度はプログラマブルで設定可能です（使用電圧、周波数により選択）。
- A/D 変換が終了すると割込みを発生します。
- 変換終了は、ADC1 レジスタの ADI ビットで判断できます。

A/D 変換機能の起動には、以下の方法があります。

- ADC1 レジスタの AD ビットによる起動
- 外部端子 (ADTG) による連続起動
- 8/16 ビット複合タイマ出力 TO00 による連続起動

24.2 8/10ビット A/D コンバータの構成

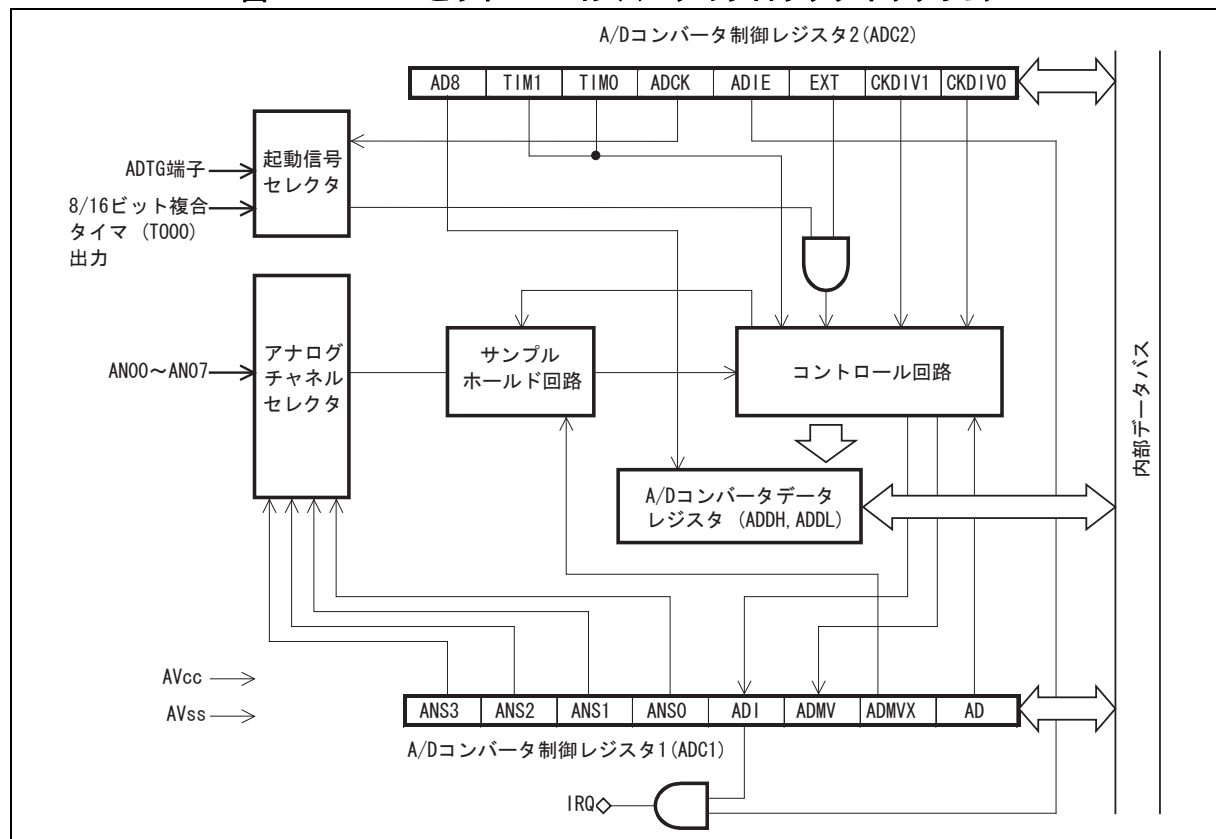
8/10ビット A/D コンバータは、以下のブロックで構成されています。

- クロックセクタ (A/D 変換起動用入力クロックセクタ)
- アナログチャネルセクタ
- サンプルホールド回路
- コントロール回路
- A/D コンバータデータレジスタ (ADDH, ADDL)
- A/D コンバータ制御レジスタ 1 (ADC1)
- A/D コンバータ制御レジスタ 2 (ADC2)

■ 8/10ビット A/D コンバータのブロックダイアグラム

図 24.2-1 に、8/10ビット A/D コンバータのブロックダイアグラムを示します。

図 24.2-1 8/10ビット A/D コンバータのブロックダイアグラム



- クロックセクタ

連続起動を許可 (ADC2:EXT=1) した状態で, A/D 変換クロックを選択します。

- アナログチャネルセクタ

複数のアナログ入力端子の中から 1 つを選択する回路です。

- サンプルホールド回路

アナログチャネルセクタで選択された入力電圧を保持する回路です。A/D 変換を起動した直後の入力電圧をサンプルホールドすることにより, A/D 変換中 (比較中) の入力電圧の変動の影響を受けずに変換できます。

- コントロール回路

A/D 変換機能では, 10 ビットの A/D コンバータデータレジスタの最上位ビットから最下位ビットに向かって, コンパレータからの信号を基に, 値を順次決定し, 変換が終了すると割込み要求フラグビット (ADC1:ADI) を設定します。

- A/D コンバータデータレジスタ (ADDH/ADDL)

10 ビットの A/D データの上位 2 ビットが ADDH レジスタに, 10 ビットの A/D データの下位 8 ビットが ADDL レジスタに格納されます。

AD 変換精度ビット (ADC2:AD8) を "1" にすると, 8 ビット精度となり, ADDL レジスタに 10 ビット A/D データの上位 8 ビットが格納されます。

- A/D コンバータ制御レジスタ 1 (ADC1)

各機能の許可と禁止, アナログ入力端子の選択, ステータスの確認および割込み制御を行うレジスタです。

- A/D コンバータ制御レジスタ 2 (ADC2)

入力クロックの選択, 割込みの許可と禁止, 機能の選択などを行うレジスタです。

■ 入力クロック

8/10 ビット A/D コンバータは, プリスケアラからの出力クロックを入力クロック (動作クロック) として使用します。

24.3 8/10 ビット A/D コンバータの端子

8/10 ビット A/D コンバータの端子について説明します。

■ 8/10 ビット A/D コンバータの端子

本シリーズは、アナログ入力端子を 8 チャンネル搭載しています。

アナログ入力端子は汎用入出力ポートと兼用しています。

- AN07 ~ AN00 端子

AN07 ~ AN00 : A/D 変換機能を使用するとき、この端子に変換したいアナログ電圧を入力します。これらの端子は、ポート方向レジスタ (DDR) の対応するビットに"0"を設定して、アナログ入力チャンネルセレクトビットによって選択 (ADC1 : ANS0 ~ ANS3) すると、アナログ入力端子として機能します。8/10 ビット A/D コンバータを使用する場合でも、アナログ入力として使用しない端子は、汎用入出力ポートとして使用できます。なお、アナログ入力端子の数はシリーズによって異なります。

- ADTG 端子

ADTG : A/D 変換機能を外部トリガで起動する場合に使用します。

- AVcc 端子

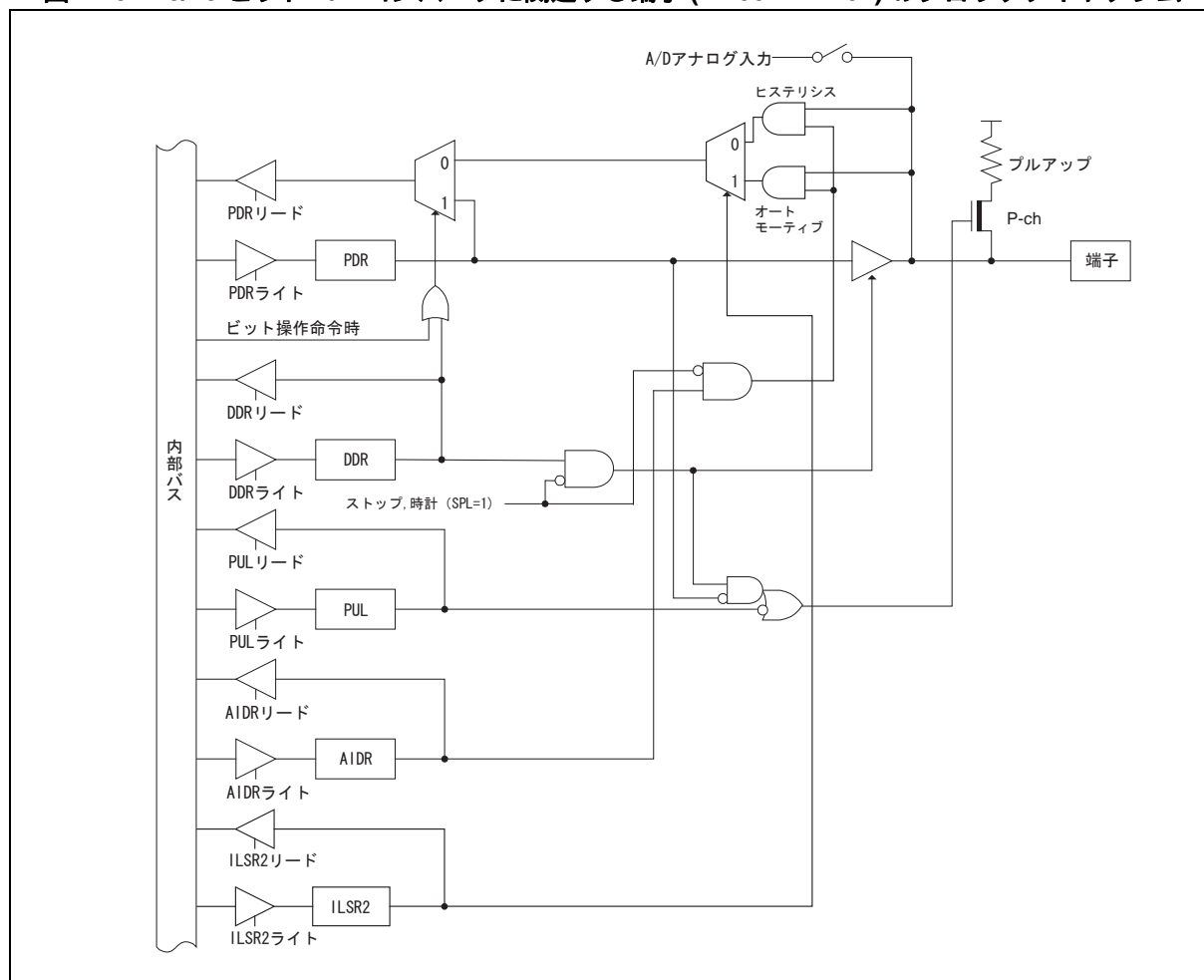
AVcc : 8/10 ビット A/D コンバータの電源端子です。Vcc と同電位で使用してください。また、A/D 変換の精度が求められる場合には、Vcc のノイズが AVcc にのらないように対策するか、別電源としてください。8/10 ビット A/D コンバータを使用しないときでも、この端子を電源に接続してください。

- AVss 端子

AVss : 8/10 ビット A/D コンバータのグランド端子です。Vss と同電位で使用してください。また、A/D 変換の精度が求められる場合には、Vss のノイズが AVss にのらないように対策してください。8/10 ビット A/D コンバータを使用しないときでも、この端子をグランド (GND) に接続してください。

■ 8/10 ビット A/D コンバータに関連する端子のブロックダイアグラム

図 24.3-1 8/10 ビット A/D コンバータに関連する端子 (AN00 ~ AN07) のブロックダイアグラム



24.4 8/10 ビット A/D コンバータのレジスタ

8/10 ビット A/D コンバータのレジスタについては、A/D コンバータ制御レジスタ 1 (ADC1), A/D コンバータ制御レジスタ 2 (ADC2), A/D コンバータデータレジスタ上位 (ADDH) および A/D コンバータデータレジスタ下位 (ADDL) があります。

■ 8/10 ビット A/D コンバータのレジスタ一覧

図 24.4-1 に、8/10 ビット A/D コンバータのレジスタを示します。

図 24.4-1 8/10 ビット A/D コンバータのレジスタ

8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006C _H	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	ADMVX	AD	00000000 _B
	R/W	R/W	R/W	R/W	R(RM1),W	R/WX	R/W	R0,W	

8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006D _H	AD8	TIM1	TIM0	ADCK	ADIE	EXT	CKDIV1	CKDIV0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

8/10 ビット A/D コンバータデータレジスタ上位 (ADDH)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006E _H	-	-	-	-	-	-	SAR9	SAR8	00000000 _B
	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R/WX	R/WX	

8/10 ビット A/D コンバータデータレジスタ下位 (ADDL)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006F _H	SAR7	SAR6	SAR5	SAR4	SAR3	SAR2	SAR1	SAR0	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	

R/W : リード / ライト可能 (読出し値は書込み値)

R(RM1),W : リード / ライト可能 (読出し値と書込み値が異なる , リードモディファイライト (RMW) 系命令時は "1" 読出し)

R/WX : リードオンリ (読出しは可能 , 書込みは動作に影響なし)

R0,W : ライトオンリ (書込みは可能 , 読出し値は "0")

R0/WX : 未定義ビット (読出し値は "0" , 書込みは動作に影響なし)

24.4.1 8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)

8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1) は、8/10 ビット A/D コンバータの各機能の許可と禁止の設定、アナログ入力端子の選択、および状態の確認を行うレジスタです。

■ 8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)

図 24.4-2 8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006CH	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	ADMVX	AD	00000000 _B
	R/W	R/W	R/W	R/W	R(RM1), W	R/WX	R/W	RO, W	

→

AD

0

1

A/D変換起動ビット
A/D変換起動しない
A/D変換起動する

→

ADMVX

0

1

電流遮断用アナログスイッチ制御ビット
変換中のみアナログスイッチON
常にアナログスイッチON

→

ADMV

0

1

変換中フラグビット
変換中ではない
変換中

→

ADI

0

1

割込み要求フラグビット
読出し時
書込み時
変換未終了
このビットのクリア
変換終了
変化なし、ほかへの影響なし

→

ANS3

ANS2

ANS1

ANS0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

アナログ入力チャネルセレクトビット (ANS3 ~ ANS0) により、本シリーズで使用可能なアナログチャネル以外は選択しないでください。

表 24.4-1 8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1) の各ビットの機能説明

ビット名		機能
bit7 ～ bit4	ANS3, ANS2, ANS1, ANS0 : アナログ 入力チャネル 選択ビット	AN00 ~ AN07 の中でどのアナログ入力端子を使用するかを選択します。 なお、アナログ入力端子の数はシリーズによって異なります。 ソフトウェア起動時 (ADC2 : EXT=0) は、A/D 変換を起動 (AD=1) するときに、同時に書き換えることができます。 (注意事項) ADMV ビットが "1" のときは、これらのビットを書き換えないでください。 アナログ入力端子として使わない端子は、汎用ポートとして使用できます。
bit3	ADI : 割込み要求 フラグビット	A/D 変換の終了を検出します。 <ul style="list-style-type: none"> A/D 変換機能時は A/D 変換の終了によって "1" に設定されます。 このビットおよび割込み要求許可ビット (ADC2 : ADIE) が "1" のとき、割込み要求が出力されます。 書込み時は "0" でこのビットがクリアされ、"1" では変化せずにほかへの影響はありません。 リードモディファイライト (RMW) 系命令の読出し時には "1" が読み出されます。
bit2	ADMV : 変換中フラグ ビット	A/D 変換機能時に変換中を示します。 変換中は、"1" に設定されます。 このビットは読出し専用です。書込み値は意味を持たず、動作に影響しません。
bit1	ADMVX : 電流遮断用 アナログ スイッチ 制御ビット	内部リファレンス電源切断用アナログスイッチを制御します。 A/D 起動直後にラッシュ電流が流れるため、AVR 端子の外部インピーダンスが高い場合、A/D 変換精度に影響がでる場合があります。このような場合、A/D 起動前にこのビットを "1" にすることで回避可能となります。また、消費電流を抑えるためにスタンバイモードに移移する前には "0" に設定してください。 なお、シリーズによっては AVR 端子がなく、内部で AVcc に接続されているものがあります。
bit0	AD : A/D 変換起動 ビット	A/D 変換機能をソフトウェアで起動します。 "1" を書き込むと A/D 変換機能が起動します。 (注意事項) このビットに "0" を書き込んでも A/D 変換機能の動作を停止することはできません。また、読出し値は常に "0" です。 EXT=1 の場合、本ビットによる A/D 変換起動は無効になります。 EXT=0 の場合、A/D 変換中に本ビットに "1" を書き込むと、A/D 変換は再起動します。

24.4.2 8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)

8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2) は、8/10 ビット A/D コンバータの機能選択、入力クロックの選択、割込みおよび状態の確認を行うレジスタです。

■ 8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)

図 24.4-3 8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)

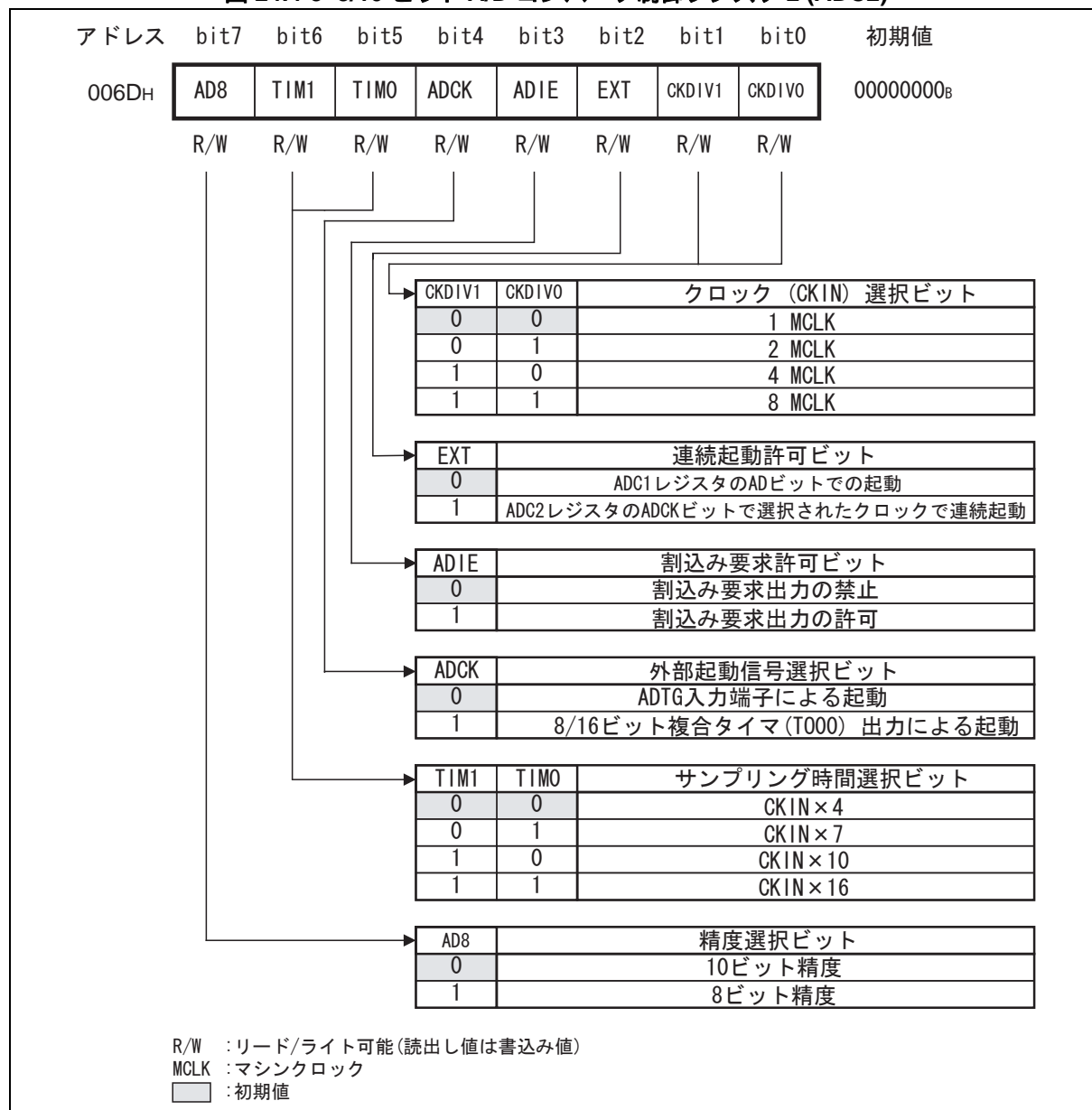


表 24.4-2 8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2) の各ビットの機能説明

ビット名		機能
bit7	AD8 : 精度選択ビット	A/D 変換の分解能を設定します。 "0" に設定した場合：10 ビット精度となります。 "1" に設定した場合：8 ビット精度となり、ADDL を読み出すことで 8 ビット分読み出せます。 (注意事項) 分解能によって、使用されるデータビットが異なります。 ビットの書換えは、必ず変換動作前の A/D 動作が停止している状態で行ってください。
bit6, bit5	TIM1, TIM0 : サンプリング 時間選択ビット	サンプリング時間を設定します。 • 使用する動作条件 (電圧, 周波数) によりサンプリング時間の選択を変更します。 • CKIN の値はクロック選択ビット (ADC2:CKDIV1, CKDIV0) によって決まります。 (注意事項) このビットの書換えは、必ず A/D 動作が停止している状態で行ってください。
bit4	ADCK : 外部起動信号 選択ビット	外部起動時 (ADC2:EXT=1) の起動信号を選択します。
bit3	ADIE : 割込み要求 許可ビット	割込みコントローラへの割込み出力の許可または禁止を設定します。 このビットと、割込み要求フラグビット (ADC1:ADI) が "1" のとき、割込み要求を出力します。
bit2	EXT : 連続起動許可 ビット	A/D 変換機能の起動をソフトウェア的に行うか、入力クロックの立上り検出で連続的に行うかを選択します。
bit1, bit0	CKDIV1, CKDIV0 : クロック 選択ビット	A/D 変換で使用するクロックを選択します。クロックは、プリスケアラにより生成されます。「第 6 章 クロック制御部」を参照してください。 • サンプリング時間もこの選択クロックにより可変となります。 • 使用する動作条件 (電圧, 周波数) により変更を行います。 (注意事項) このビットの書換えは、必ず A/D 動作が停止している状態で行ってください。

24.4.3 8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL)

8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL) は、10 ビット A/D 変換時に、A/D 変換の結果が格納されます。

10 ビットデータの上位 2 ビットが ADDH レジスタに、下位 8 ビットが ADDL レジスタに対応します。

■ 8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL)

図 24.4-4 8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL)

ADDH	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	-	-	-	-	-	-	SAR9	SAR8	00000000 _B
006E _H	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R/WX	R/WX	
ADDL	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
アドレス	SAR7	SAR6	SAR5	SAR4	SAR3	SAR2	SAR1	SAR0	00000000 _B
006F _H	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	

R/WX : リードオンリ (読出しは可能, 書込みは動作に影響なし)
R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし)

10 ビットの A/D データのうち、上位 2 ビットが ADDH レジスタの bit1, bit0 に対応し、下位 8 ビットが ADDL レジスタの bit15 ~ bit8 に対応します。

ADC2 レジスタの AD8 ビットを "1" にすると、8 ビット精度モードとなり、ADDL を読み出すことで 8 ビットデータを読み出せます。

本レジスタは読出し専用となっております。書込みは動作に影響を与えません。

8 ビット変換時、SAR8, SAR9 は "0" になります。

● A/D 変換機能

A/D 変換を起動すると、レジスタ設定による変換時間を経過後、変換結果のデータが確定し、このレジスタに格納されます。このため、A/D 変換終了後、次の A/D 変換が終了するまでにこのレジスタ (変換結果) の読出しおよび ADC1 レジスタの ADI (bit3) ビットに "0" 書込みを行い、A/D 変換終了後にフラグのクリアを行ってください。A/D 変換中のレジスタの値は前回変換した値となります。

24.5 8/10 ビット A/D コンバータの割込み

8/10 ビット A/D コンバータの割込み要因としては A/D 変換機能動作時の変換終了があります。

■ 8/10 ビット A/D コンバータ動作時の割込み

A/D 変換が終了すると、割込み要求フラグビット (ADC1 : ADI) が "1" に設定されます。そのとき、割込み要求許可ビットを許可 (ADC2 : ADIE=1) していると、割込みコントローラへ割込み要求が発生します。割込み処理ルーチンなどで ADI ビットに "0" を書き込んで、割込み要求をクリアしてください。

ADI ビットは、ADIE ビットの値に関係なく、A/D 変換が終了すると設定されます。

割込み要求フラグビット (ADC1 : ADI) が "1" で割込み要求許可 (ADC2 : ADIE=1) の状態では割込み処理から復帰できません。必ず割込み処理ルーチン内で、ADI ビットのクリアを行ってください。

■ 8/10 ビット A/D コンバータの割込みに関連するレジスタとベクタテーブル

表 24.5-1 8/10 ビット A/D コンバータの割込みに関連するレジスタとベクタテーブル

割込み要因	割込み 要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
8/10 ビット A/D	IRQ18	ILR4	L18	FFD6 _H	FFD7 _H

全周辺機能の割込み要求番号 / ベクタテーブルについては「付録 B 割込み要因のテーブル」を参照してください。

● 連続起動

A/D 変換機能の連続起動には、図 24.6-2 の設定が必要です。

図 24.6-2 A/D 変換機能 (連続起動時) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADC1	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	ADMVX	AD
								x
ADC2	AD8	TIM1	TIM0	ADCK	ADIE	EXT	CKDIV1	CKDIV0
						1		
ADDH	-	-	-	-	-	-	A/D 変換値保持	

: 使用ビット
 x : 未使用ビット
 1 : "1" を設定

連続起動が許可されると、選択された入力クロックの立上りエッジで A/D 変換が起動されて A/D 変換機能の動作を開始します。連続起動の禁止 (ADC2 : EXT = 0) によって連続起動は停止します。

■ A/D 変換機能の動作

8/10 ビット A/D コンバータの動作について説明します。

- 1) A/D 変換が起動されると、変換中のフラグビットが設定 (ADC1 : ADMV = 1) され、設定したアナログ入力端子がサンプルホールド回路に接続されます。
- 2) アナログ入力端子の電圧をサンプリング期間中にサンプルホールド回路内のサンプルホールド用コンデンサに取り込みます。この電圧は、A/D 変換が終了するまで保持されます。
- 3) サンプルホールド用コンデンサに取り込まれた電圧と、A/D 変換用の基準電圧をコントロール回路内のコンパレータで最上位ビット (MSB) から最下位ビット (LSB) まで比較し、結果を ADDH, ADDL レジスタへ転送します。
結果の転送が終わると、変換中フラグビットがクリア (ADC1 : ADMV = 0) され、割込み要求フラグビットが設定 (ADC1 : ADI = 1) されます。

< 注意事項 >

- A/D 変換機能時、ADDH, ADDL レジスタの内容は A/D 変換終了時に保持されます。したがって、A/D 変換中は前回変換した値が読み出されます。
- A/D 変換機能動作中、アナログ入力チャネルの再選択 (ADC1 : ANS3 ~ ANS0) は行わないでください。特に連続起動中は、連続起動を禁止 (ADC2 : EXT=0) してから行ってください。
- リセット、ストップまたは時計モードの起動により 8/10 ビット A/D コンバータは停止し、各レジスタは初期化されます。

■ 設定手順例

8/10 ビット A/D コンバータの設定手順例を以下に示します。

● 初期設定

- 1) ポートの入力設定 (DDR3)
- 2) 割込みレベルの設定 (ILR4)
- 3) A/D 入力許可 (ADC1:ANS0 ~ ANS3)
- 4) サンプリング時間設定 (ADC2:TIM1, TIM0)
- 5) クロック選択 (ADC2:CKDIV1, CKDIV0)
- 6) A/D 変換精度設定 (ADC2:AD8)
- 7) 動作モードの選択 (ADC2:EXT)
- 8) 起動トリガ選択 (ADC2:ADCK)
- 9) 割込み許可 (ADC2:ADIE=1)
- 10) A/D 起動 (ADC1:AD=1)

● 割込み処理

- 1) 割込み要求フラグクリア (ADC1:ADI=0)
- 2) 変換値の読出し (ADDH, ADDL)
- 3) A/D 起動 (ADC1:AD=1)

24.7 8/10 ビット A/D コンバータ使用上の注意

8/10 ビット A/D コンバータを使用するための注意点を説明します。

■ 8/10 ビット A/D コンバータ使用上の注意

● プログラムで設定する場合の注意

- A/D 変換機能時, ADDH, ADDL レジスタの内容は A/D 変換終了時に保持されます。したがって, A/D 変換中は前回変換した値が読み出されます。
- A/D 変換機能動作中, アナログ入力チャネルの再選択 (ADC1:ANS3 ~ ANS0) は行わないでください。特に連続起動中は, 連続起動を禁止 (ADC2:EXT=0) してから行ってください。
- リセット, ストップまたは時計モードの起動により 8/10 ビット A/D コンバータは停止し, 各レジスタは初期化されます。
- 割込み要求フラグビット (ADC1:ADI) が "1" で割込み要求許可 (ADC2:ADIE=1) の状態では, 割込み処理から復帰できません。必ず割込み処理ルーチン内で, ADI ビットのクリアを行ってください。

● 割込み要求についての注意

A/D 変換の再起動 (ADC1:AD=1) と終了が同時に発生した場合, 割込み要求フラグビット (ADC1:ADI) は設定されます。

● 誤差について

$|AVR - AV_{SS}|$ が小さくなるに従って, 相対的に誤差は大きくなります。

なお, シリーズによっては AVR 端子がなく, 内部で AV_{CC} に接続されています。

● 8/10 ビット A/D コンバータの電源とアナログ入力の投入順序, および切断順序について

8/10 ビット A/D コンバータの電源 (AV_{CC} , AV_{SS}) およびアナログ入力 (AN00 ~ AN07) の印加は, 必ずデジタル電源 (V_{CC}) の投入と同時に, もしくは投入の後で行ってください。

また, 電源切断時は, 8/10 ビット A/D コンバータの電源 (AV_{CC} , AV_{SS}) およびアナログ入力 (AN00 ~ AN07) の切断と同時に, 8/10 ビット A/D コンバータの電源 (AV_{CC} , AV_{SS}) およびアナログ入力切断後にデジタル電源 (V_{CC}) の切断を行ってください。

8/10 ビット A/D コンバータの電源投入時, および切断時においても AV_{CC} , AV_{SS} およびアナログ入力は, デジタル電源の電圧を超えないように注意してください。

● 変換時間について

A/D 変換機能の変換速度は, クロックモード, メインクロック原発振周波数やメインクロックの速度切換え (ギア機能) の影響を受けます。

例) サンプルング時間 = $CKIN \times (ADC2:TIM1/TIM0 \text{ 設定})$

コンペア時間 = $CKIN \times 10$ (固定値) + MCLK

AD 起動処理時間: 最小時 = MCLK + MCLK

最大時 = MCLK + CKIN

変換時間 = AD 起動処理時間 + サンプルング時間 + コンペア時間

- AD 起動のタイミングによって最大 1 CKIN - 1 MCLK 分の誤差が発生します。
- データシートの A/D 変換部の「サンプルング時間」「コンペア時間」の規格を満たすようなソフト設定をしてください。

24.8 8/10 ビット A/D コンバータのサンプルプログラム

8/10 ビット A/D コンバータを動作させるためのサンプルプログラムを提供しています。

■ 8/10 ビット A/D コンバータのサンプルプログラム

8/10 ビット A/D コンバータのサンプルプログラムについては、「はじめに」の「 サンプルプログラム」を参照してください。

■ プログラム例以外の設定方法

- 8/10 ビット A/D コンバータの動作クロックを選択する方法

動作クロックの選択は、クロック選択ビット (ADC2:CKDIV1/CKDIV0) で選択します。

- 8/10 ビット A/D コンバータのサンプリング時間を選択する方法

サンプリング時間の選択は、サンプリング時間選択ビット (ADC2:TIM1/TIM0) で選択します。

- 8/10 ビット A/D コンバータの内部リファレンス電源切断用アナログスイッチを制御する方法

内部リファレンス電源切断用アナログスイッチの制御は、アナログスイッチ制御ビット (ADC1:ADMVX) で行います。

制御内容	アナログスイッチ制御ビット (ADMVX)
内部リファレンス電源 OFF を指定するには	"0" を設定する
内部リファレンス電源 ON を指定するには	"1" を設定する

- 8/10 ビット A/D コンバータの起動方法を選択する方法

起動トリガの選択は、連続起動許可ビット (ADC2:EXT) で行います。

A/D 起動要因	連続起動許可ビット (EXT)
ソフトトリガを選択するには	"0" を設定する
入力クロックの立上り信号を選択するには	"1" を設定する

- ソフトトリガの発生方法

ソフトトリガは A/D 変換起動ビット (ADC1:AD) で行います。

動作	A/D 変換起動ビット (AD)
ソフトトリガを発生させるには	"1" を設定する

- 入力クロックでの起動方法

入力クロックの立上りで、起動トリガが発生します。

入力クロックの選択は、外部起動信号選択ビット (ADC2:ADCK) で行います。

入力クロック	外部起動信号選択ビット (ADCK)
ADTG 入力端子を選択するには	"0" を設定する
8/16 ビット複合タイマ (TO00) を選択するには	"1" を設定する

- 精度を選択する方法

変換結果の精度選択は精度選択ビット (ADC2:AD8) で行います。

動作モード	精度選択ビット (AD8)
10 ビット精度にするには	"0" を設定する
8 ビット精度にするには	"1" を設定する

- アナログ入力端子を使用する方法

アナログ入力端子の選択は、アナログ入力チャネルセレクトビット (ADC1:ANS3 ~ ANS0) で行います。

動作	アナログ入力チャネルセレクトビット (ANS3 ~ ANS0)
AN00 端子を使用するには	"0000 _B " を設定する
AN01 端子を使用するには	"0001 _B " を設定する
AN02 端子を使用するには	"0010 _B " を設定する
AN03 端子を使用するには	"0011 _B " を設定する
AN04 端子を使用するには	"0100 _B " を設定する
AN05 端子を使用するには	"0101 _B " を設定する
AN06 端子を使用するには	"0110 _B " を設定する
AN07 端子を使用するには	"0111 _B " を設定する

● 変換終了を確認する方法

変換終了を確認する方法は 2 つあります。

- 割込み要求フラグビット (ADC1:ADI) で確認する方法

割込み要求フラグビット (ADI)	意味
読み出した値が "0" の場合	A/D 変換終了割込み要求なし
読み出した値が "1" の場合	A/D 変換終了割込み要求あり

- 変換中フラグビット (ADC1:ADMV) で確認する方法

変換中フラグビット (ADMV)	設定
読み出した値が "0" の場合	A/D 変換終了 (停止中)
読み出した値が "1" の場合	A/D 変換中

● 割込み関連レジスタ

割込みレベルは下表の割込みレベル設定レジスタで設定します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
8/10 ビット A/D コンバータ	割込みレベルレジスタ (ILR4) アドレス : 0007D _H	#18 アドレス : 0FFD6 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は、割込み要求許可ビット (ADC2:ADIE) にて行います。

制御内容	割込み要求許可ビット (ADIE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求ビット (ADC1:ADI) にて行います。

制御内容	割込み要求ビット (ADI)
割込み要求をクリアするには	"0" を設定する または A/D を起動する

第25章

低電圧検出リセット回路

低電圧検出リセット回路の機能と動作について説明します。

- 25.1 低電圧検出リセット回路の概要
- 25.2 低電圧検出リセット回路の構成
- 25.3 低電圧検出リセット回路の端子
- 25.4 低電圧検出リセット回路の動作説明

25.1 低電圧検出リセット回路の概要

低電圧検出リセット回路は電源電圧を監視し、検出電圧よりも電源電圧が低下したときにリセット信号を発生する回路です (5V 品のみオプション)。

■ 低電圧検出リセット回路

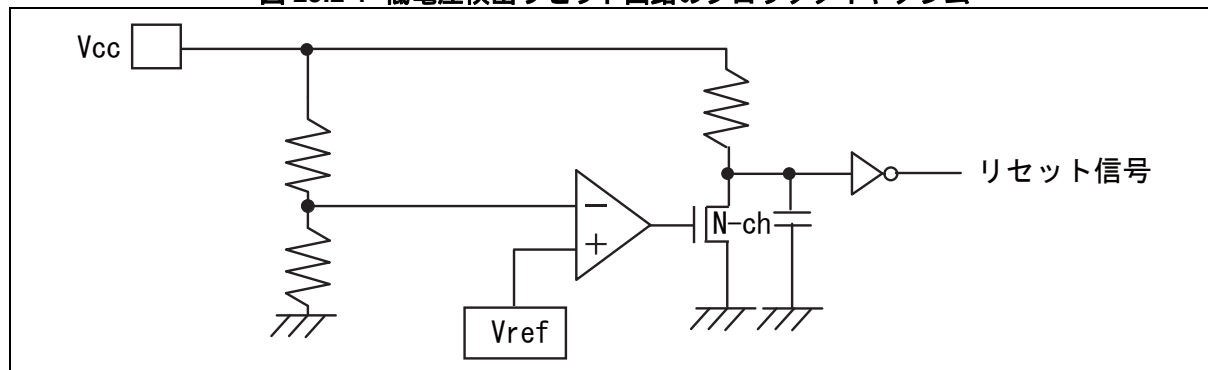
この回路は、電源電圧を監視し、検出電圧よりも電源電圧が低下したときにリセット信号を発生する回路です。5V 品のみオプションで選択可能となります。電気的特性の詳細は、データシートを参照してください。

25.2 低電圧検出リセット回路の構成

図 25.2-1 に、低電圧検出リセット回路のブロックダイヤグラムを示します。

■ 低電圧検出リセット回路のブロックダイヤグラム

図 25.2-1 低電圧検出リセット回路のブロックダイヤグラム



25.3 低電圧検出リセット回路の端子

低電圧検出リセット回路の端子の説明をします。

■ 低電圧検出リセット回路に関連する端子

- Vcc 端子

低電圧検出回路は本端子の電圧を監視します。

- Vss 端子

電圧検出の基準となる GND 端子です。

- $\overline{\text{RST}}$ 端子

低電圧検出リセット信号はマイコン内部と本端子へ出力されます。

ただし、クロックスーパバイザ機能を搭載している品種（詳細は、「1.2 MB95110B/M シリーズの品種構成」を参照してください）については、低電圧検出リセット信号はマイコン内部のみに発生し、本端子への出力は行われません。

25.4 低電圧検出リセット回路の動作説明

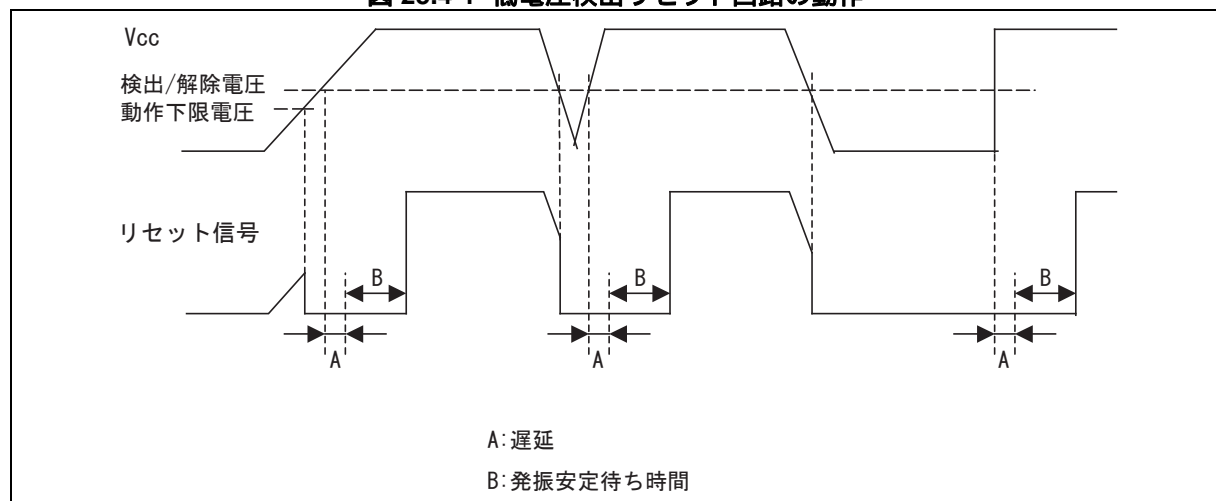
電源電圧が検出電圧よりも低下したときにリセット信号を発生します。

■ 低電圧検出リセット回路の動作

低電圧検出リセット回路は、電源電圧が検出電圧よりも低下したときにリセット信号を発生します。その後、解除電圧を検出すると、発振安定待ち時間分のリセット信号を出力してリセットを解除します。

電気的特性の詳細はデータシートを参照してください。

図 25.4-1 低電圧検出リセット回路の動作



■ スタンバイモード時の動作

低電圧検出リセット回路は、スタンバイモード時（ストップモード、スリープモード、サブクロックモード、時計モード）においても常に動作します。

第26章

クロックスーパーバイザ

クロックスーパーバイザの機能と動作について説明します。

- 26.1 クロックスーパーバイザの概要
- 26.2 クロックスーパーバイザの構成
- 26.3 クロックスーパーバイザのレジスタ
- 26.4 クロックスーパーバイザの動作説明
- 26.5 クロックスーパーバイザ使用上の注意

26.1 クロックスーパーバイザの概要

クロックスーパーバイザは、メインクロックおよびサブクロック (2 系統クロック品のみ) の発振を監視して発振停止となった場合に、内蔵の CR 発振回路で生成される CR クロックに切り換わることによって暴走することを防止します (5V 品のみオプション)。

■ クロックスーパーバイザの概要

- メインクロックおよびサブクロック発振を監視して、発振が停止したことを検出すると内部リセットを発生し、内蔵の CR クロックに切り換えます (サブクロックのクロックは CR クロックの 2 分周となります)。
リセット要因が、クロックスーパーバイザのリセットなのか、あるいは他のリセット要因によるものかはリセット要因レジスタ (RSRR) にて確認できます。
- メインクロックの発振停止が検出されるのは、メインクロックの立上りエッジが、CR クロックで 4 サイクルの間検出されなかった場合です。したがって、メインクロックの周期が CR クロックの 4 サイクル以上の場合、メインクロックの発振停止を検出してしまう可能性があります。
- サブクロックの発振停止が検出されるのは、サブクロックの立上りエッジが、CR クロックで 32 サイクルの間検出されなかった場合です。したがって、サブクロックの周期が CR クロックの 32 サイクル以上の場合、サブクロックの発振停止を検出してしまう可能性があります。
- メインクロックおよびサブクロックの監視は、それぞれ独立して禁止 (監視禁止) できます。
- メインクロックモード中にサブクロックが停止した場合は、すぐにリセットを発生せずにサブクロックモードへ遷移した後に発生します。
レジスタ設定によりリセット出力を禁止することが可能です。
- メインクロックおよびサブクロックのストップモード時はクロック停止となりますが、その間クロックの監視は禁止状態 (監視禁止) となります。
- 本機能は 5V 品のみオプションで選択可能です。

< 注意事項 >

CR クロックの周期などはデータシートを参照してください。

26.2 クロックスーパーバイザの構成

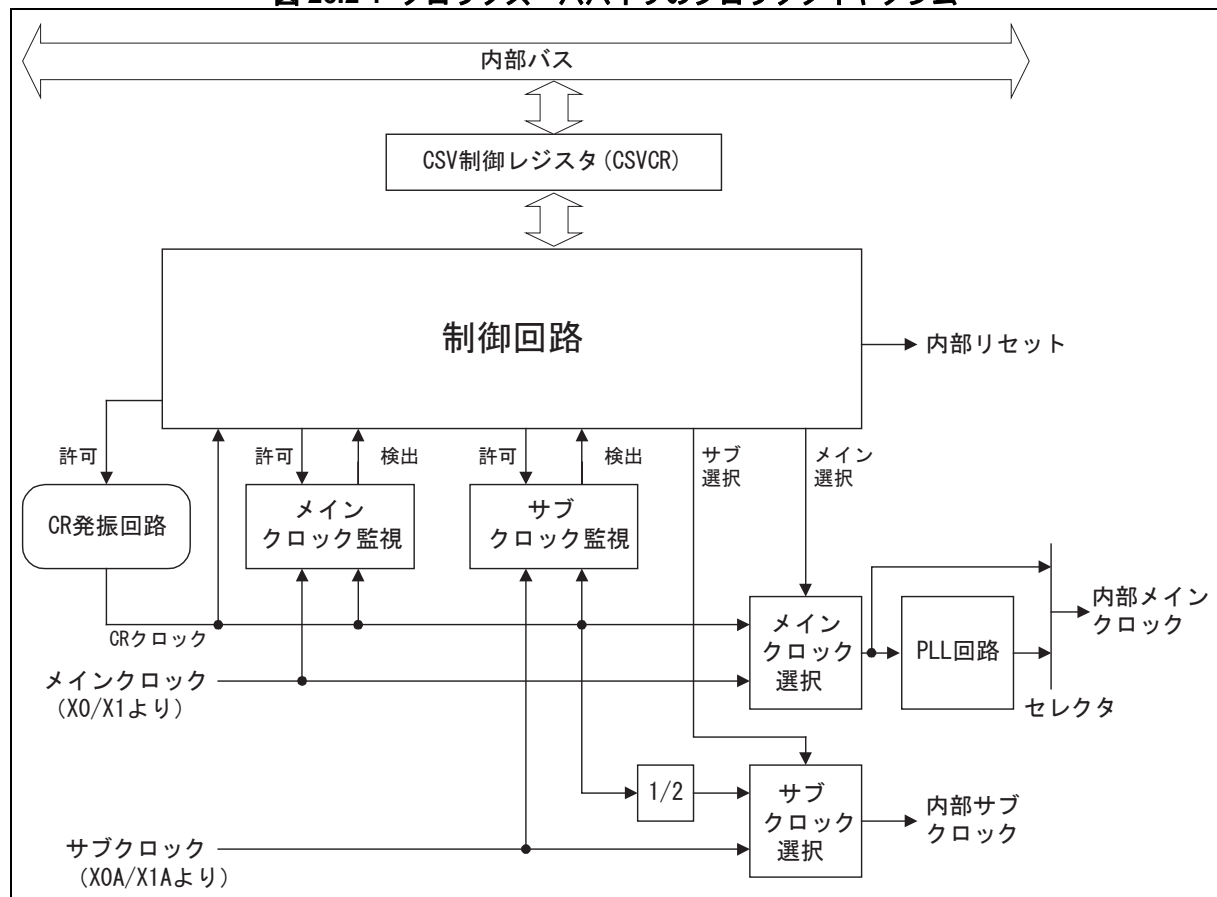
クロックスーパーバイザは、以下のブロックで構成されています。

- 制御回路
- CR 発振回路
- メインクロック監視
- サブクロック監視
- メインクロック選択
- サブクロック選択
- CSV 制御レジスタ (CSVCR)

■ クロックスーパーバイザのブロックダイアグラム

クロックスーパーバイザのブロックダイアグラムを図 26.2-1 に示します。

図 26.2-1 クロックスーパーバイザのブロックダイアグラム



- 制御回路

CSV 制御レジスタ (CSVCR) の情報により、各種クロックおよびリセットなどの制御を行います。

- CR 発振回路

内蔵 CR 発振回路です。制御回路の制御信号により発振 ON/OFF の制御が可能です。
クロック停止検出後の内部クロックとしても使用します。

- メインクロック監視

メインクロックの停止を監視します。

- サブクロック監視

サブクロックの停止を監視します。

- メインクロック選択

メインクロックの停止を検出したときに、CR クロックを内部メインクロックとして出力します。

- サブクロック選択

サブクロックの停止を検出したときに、CR クロックを分周したクロックを内部サブクロックとして出力します。

- CSV 制御レジスタ (CSVCR)

クロックの監視および CR クロックの制御や停止検出の情報を確認します。

26.3 クロックスーパーバイザのレジスタ

クロックスーパーバイザのレジスタについて説明します。

■ クロックスーパーバイザのレジスタ一覧

クロックスーパーバイザのレジスタを図 26.3-1 に示します。

図 26.3-1 クロックスーパーバイザのレジスタ

クロックスーパーバイザ制御レジスタ (CSVCR)								
bit	7	6	5	4	3	2	1	0
アドレス 000FEA _H	予約	MM	SM	RCE	MSVE	SSVE	SRST	予約
	R/W	R	R	R/W	R/W	R/W	R/W	R/W
R/W : リード / ライト可能								
R : リードオンリ								
								初期値 00011100 _B

26.3.1 クロックスーパーバイザ制御レジスタ (CSVCR)

クロックスーパーバイザ制御レジスタ (CSVCR) は、各機能の許可および状態の確認を行うレジスタです。

■ クロックスーパーバイザ制御レジスタ (CSVCR)

図 26.3-2 クロックスーパーバイザ制御レジスタ (CSVCR)

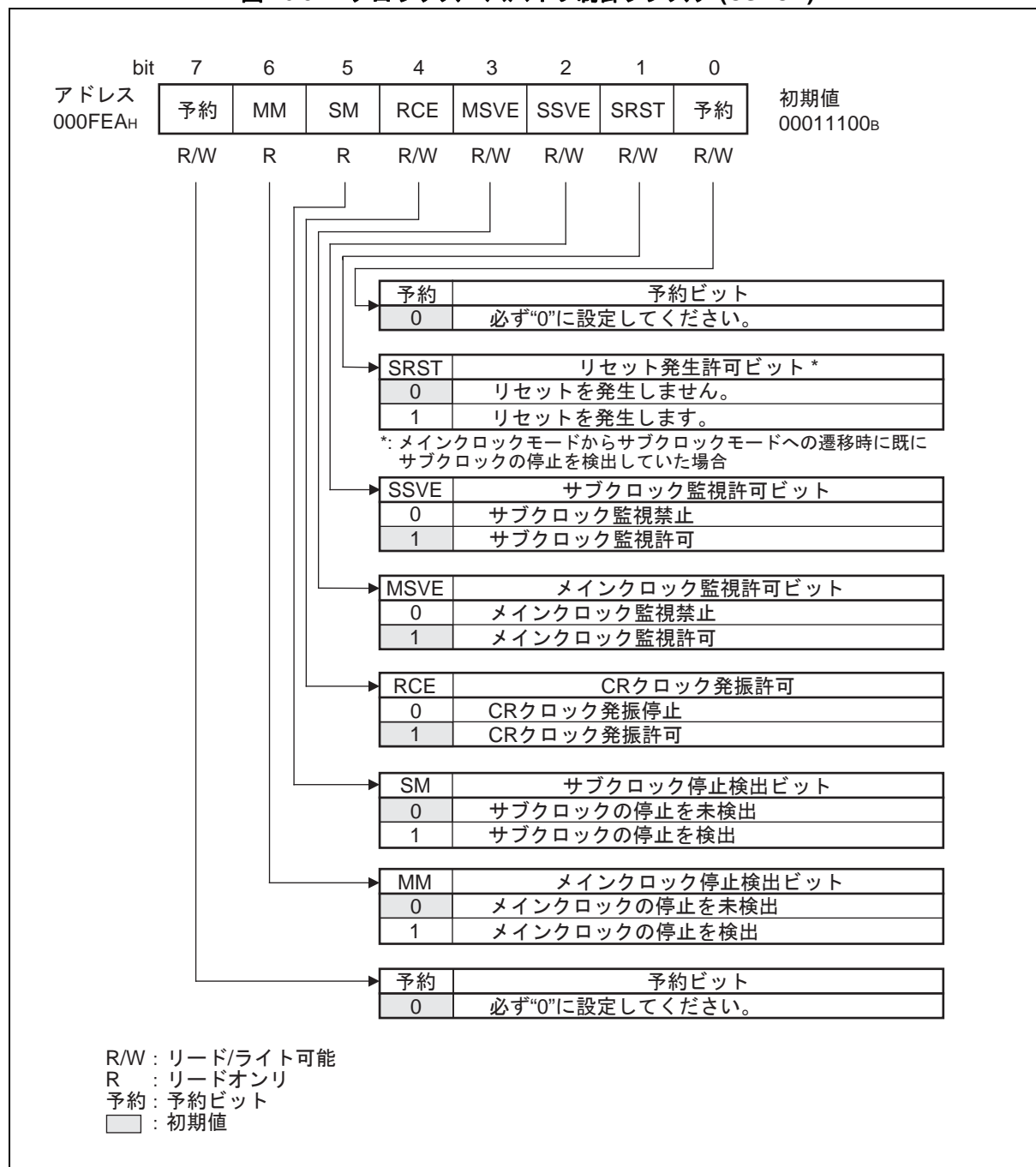


表 26.3-1 クロックスーパーバイザ制御レジスタ (CSVCR) の各ビットの機能説明

ビット名		機能
bit7	予約ビット	予約ビットです。 このビットへは必ず "0" を書き込んでください。また、読出し値は常に "0" です。
bit6	MM : メインクロック 停止検出ビット	読出し専用のビットでメインクロック発振の停止を検出したことを示すビットです。 "0" に設定された場合：メインクロック発振の停止を検出していない状態。 "1" に設定された場合：メインクロック発振の停止を検出した状態。 このビットへの "1" の書込みは動作に影響を与えません。
bit5	SM : サブクロック 停止検出ビット	読出し専用のビットでサブクロック発振の停止を検出したことを示すビットです。 "0" に設定された場合：サブクロック発振の停止を検出していない状態。 "1" に設定された場合：サブクロック発振の停止を検出した状態。 このビットへの "1" の書込みは動作に影響を与えません。
bit4	RCE: CR 発振許可 ビット	CR 発振を許可するビットです。 "0" に設定した場合：発振禁止 "1" に設定した場合：発振許可（初期値） このビットに "0" を書き込む際は、あらかじめクロック監視機能が禁止となっており、 かつ MM, SM ビットが "0" であることを確認してください。
bit3	MSVE: メインクロック 監視許可ビット	メインクロック発振の監視を許可するビットです。 "0" に設定した場合：メインクロック監視の禁止。 "1" に設定した場合：メインクロック監視の許可。 このビットはパワーオンリセットでのみ "1" に設定されます。
bit2	SSVE: サブクロック 監視許可ビット	サブクロック発振の監視を許可するビットです。 "0" に設定した場合：サブクロック監視の禁止。 "1" に設定した場合：サブクロック監視の許可。 このビットはパワーオンリセットでのみ "1" に設定されます。
bit1	SRST : リセット発生 許可ビット	サブモードへの遷移時にリセット出力を許可するビットです。 "0" に設定した場合：メインクロックモード中にサブクロックが停止している状態で、 サブクロックモードへ遷移した際にリセットを発生しません。 "1" に設定した場合：メインクロックモード中にサブクロックが停止している状態で、 サブクロックモードへ遷移した際にリセットを発生します。
bit0	予約ビット	予約ビットです。 このビットへは必ず "0" を書き込んでください。また、読出し値は常に "0" です。

< 注意事項 >

電源投入時、クロックスーパーバイザはメインクロックの発振安定待ち時間を経過した後、監視を開始します。したがって、メインクロックの発振安定待ち時間以上動作していないとクロックスーパーバイザは動作しません。

26.4 クロックスーパーバイザの動作説明

クロックスーパーバイザの動作を説明します。

■ クロックスーパーバイザの動作

クロックスーパーバイザはメインクロックおよびサブクロックの発振を監視し、一定期間のクロック停止を検出すると、動作クロックを CR クロックに切り換え、リセットを発生します。

以下に、各クロックモード時の動作について説明します。

● メインクロックモード時のメインクロック発振停止

メインクロックモード中にメインクロックの発振が停止と判断される条件は、メインクロックの立上りが CR クロックで 4 サイクルの期間検出されなかった場合です。

メインクロックの停止を検出するとリセットを発生し、メインクロックは CR クロックに切り換わります。

メインクロックの発振停止の検出を CR クロックで行っているため、メインクロックが低速 (CR クロックの 4 サイクル以上) になるとメインクロックの停止を検出してしまう可能性があります。

また、ストップモード時はメインクロックの検出は行いません。

● メインクロックモード時のサブクロック発振停止 (2 系統クロック品のみ)

メインクロックモード中にサブクロックの発振が停止と判断される条件は、サブクロックの立上りが CR クロックで 32 サイクルの期間検出されなかった場合です。

メインクロックモード中はサブクロックの停止を検出してもすぐにリセットを発生しませんが、サブクロックは CR クロックの 2 分周クロックへ切り換わります。

サブクロック発振の停止を検出した状態で、メインクロックモードからサブクロックモードへ遷移した場合は、クロックスーパーバイザ制御レジスタ (CSVCR) の SRST ビットの設定によりリセットを発生することが可能となります。

サブクロックの発振停止の検出を CR クロックで行っているため、サブクロックが低速 (CR クロックの 32 サイクル以上) になるとサブクロックの停止を検出してしまう可能性があります。

また、ストップモード時はサブクロックの検出は行いません。

● サブクロックモード時のサブクロック発振停止 (2 系統クロック品のみ)

サブクロックモード中にサブクロックの発振が停止と判断される条件は、サブクロックの立上りが CR クロックで約 32 サイクルの期間検出されなかった場合です。

サブクロックの停止を検出するとリセットを発生し、メインクロックモードとなります。このとき、サブクロックは CR クロックの 2 分周クロックへ切り換わります。

サブクロックの発振停止の検出を CR クロックで行っているため、サブクロックが低速 (CR クロックの 32 サイクル以上) になるとサブクロックの停止を検出してしまう可能性があります。

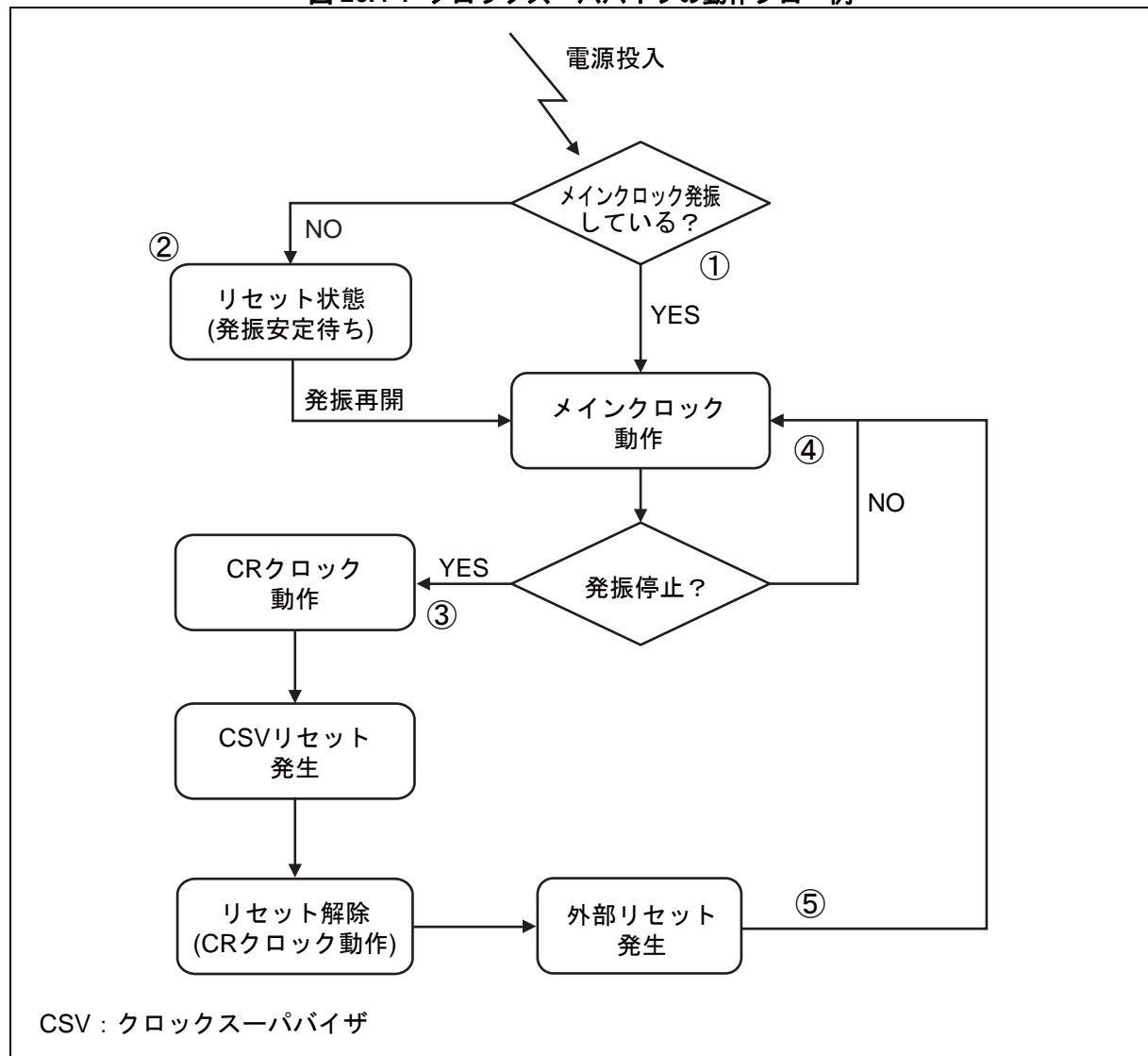
また、ストップモード時はサブクロックの検出は行いません。

● サブクロックモード時のメインクロック発振停止 (2 系統クロック品のみ)

サブクロックモード時は、メインクロックの発振は常に停止しているため、メインクロックの検出は行いません。

■ クロックスーパーバイザの動作フロー例

図 26.4-1 クロックスーパーバイザの動作フロー例



電源投入後は、メインクロックの発振による発振安定待ち時間が経過すると、メインクロック動作を開始します。

電源投入時にメインクロックが停止している場合は、リセット状態（発振安定待ち状態）で待機します。さらに、発振が再開して発振安定待ち時間が経過後すると、メインクロック動作に遷移します。

メインクロック動作中に発振停止を検出した場合は、動作クロックを CR クロックに切り換え、リセットを発生します。

メインクロック発振が継続している（発振が停止していない）場合は、メインクロック動作を継続します。

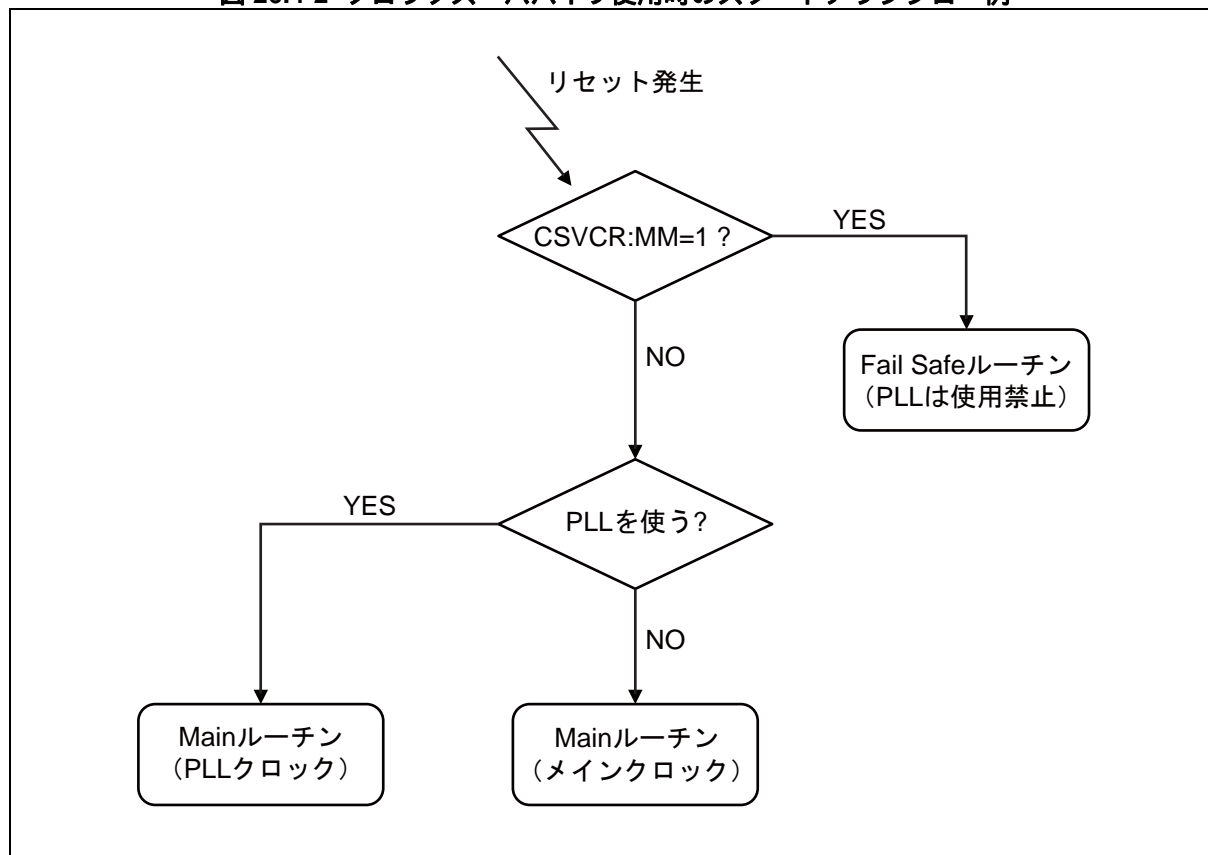
CRクロック動作中に外部リセットが発生した場合は、メインクロック動作に遷移します。ただし、このときに発振が停止していると、再度 CSV リセットを発生して CR クロック動作に戻ります。

■ クロックスーパーバイザ使用時のスタートアップフロー例

ユーザプログラムの先頭に、メインクロック停止検出ビット (CSVCR: MM) の判定を入れることにより、ユーザプログラムでの Fail Safe ルーチン制御が可能となります。

図 26.4-2 に、クロックスーパーバイザ使用時のスタートアップフロー例を示します。

図 26.4-2 クロックスーパーバイザ使用時のスタートアップフロー例



26.5 クロックスーパーバイザ使用上の注意

クロックスーパーバイザを使用する際の注意事項を説明します。

■ クロックスーパーバイザ使用上の注意

クロックスーパーバイザを使用する場合は、以下の点にご注意ください。

- 電源投入時のクロックスーパーバイザの動作について
電源投入後、クロックスーパーバイザはメインクロックの発振安定待ち時間が経過すると監視を開始します。したがって、メインクロックの発振安定待ち時間以上動作していないとクロックスーパーバイザは動作しません。
- CR クロックモードの遷移後について
CR クロックモード遷移後、PLL を "ON" にしないでください。
PLL 回路の入力周波数の下限値を下回るため、PLL の動作は保証されません。
- CR 発振禁止の設定について
CR クロックモード中では、CR 発振許可ビット (CSVCR: RCE) による CR 発振禁止の設定はしないでください。
内部クロックが停止するため、デッドロックを発生する恐れがあります。
- メインクロック停止検出ビットの初期化について
メインクロック停止検出ビット (CSVCR: MM) は、パワーオンリセットまたは外部リセットのみで初期化されます。ウォッチドッグリセット / ソフトウェアリセット / CSV リセットでは初期化されません。そのため、CR クロックモードでこれらのリセットが発生しても、CR クロックモードを継続します。

第27章

デュアルオペレーション フラッシュメモリ

480K ビットデュアルオペレーションフラッシュメモリの機能および動作について説明します。
(MB95F116MAW/F116NAW/F116MAS/F116NAS は対象外)

- 27.1 デュアルオペレーションフラッシュメモリの概要
- 27.2 フラッシュメモリのセクタ / バンク構成
- 27.3 フラッシュメモリのレジスタ
- 27.4 フラッシュメモリ自動アルゴリズム起動方法
- 27.5 自動アルゴリズム実行状態の確認
- 27.6 フラッシュメモリ書込み / 消去
- 27.7 デュアルオペレーションフラッシュの動作
- 27.8 フラッシュセキュリティ
- 27.9 デュアルオペレーションフラッシュメモリ使用上の注意

27.1 デュアルオペレーションフラッシュメモリの概要

デュアルオペレーションフラッシュメモリは、CPU メモリマップ上の 1000_H から FFFF_H に配置されています。フラッシュメモリインタフェース回路の機能により、CPU からのリードアクセスおよびプログラムアクセスができます。

デュアルオペレーションフラッシュは、上位バンク (16K バイト × 2 + 4K バイト × 4) と下位バンク (4K バイト × 3) で構成されており、バンクごとの消去 / 書込みと読出しの同時実行が可能です。

■ デュアルオペレーションフラッシュメモリの概要

フラッシュメモリへのデータ書込み / 消去の方法には、下記の方法があります。

- パラレルライタによる書込み / 消去
- シリアル専用ライタによる書込み / 消去
- プログラム実行による書込み / 消去

プログラム実行によるフラッシュメモリへの書込み / 消去は、フラッシュメモリインタフェース回路を介して CPU からの命令で行えるため、実装状態でプログラムやデータの書換えを効率よく行うことができます。

セクタ構成も最小 4K バイトと小セクタで、プログラム / データ領域として扱いやすい構成になっています。

データの書換え方法は、RAM 上でのプログラム実行だけでなく、デュアルオペレーションによりフラッシュメモリ上でもプログラム実行することができます。また、異なるバンク (上位バンク / 下位バンク) での消去 / 書込みと読出しの同時実行が可能です。デュアルオペレーションフラッシュでは、次の組合せが可能です。

上位バンク	下位バンク
読出し	
読出し	書込み / セクタ消去
書込み / セクタ消去	読出し
チップ消去	

一方のバンク書込み / セクタ消去中に、他方のバンクへの書込み / 消去はできません。

■ デュアルオペレーションフラッシュメモリの特長

- 60K バイト × 8 ビット (4K バイト × 4+16K バイト × 2+4K バイト × 3) セクタ構成
- 2 バンク構成による消去 / 書込みと読出しの同時実行
- 自動プログラムアルゴリズム (Embedded Algorithm)
- 消去一時停止 / 消去再開機能の搭載
- データポーリング, トグルビットによる書込み / 消去完了検出
- CPU 割込みによる書込み / 消去の完了検出
- JEDEC 標準規格コマンドと互換
- セクタごとの消去が可能 (セクタ組合せ自由)
- 書込み / 消去回数 (最小) 10,000 回
- フラッシュ読出しサイクルタイム (最小) 1 マシンサイクル

■ フラッシュメモリ書込み / 消去

- フラッシュメモリは、同一バンクによる書込みと読出しを同時に行うことはできません。
- フラッシュメモリにデータ書込み / 消去動作を行う際には、書込み / 消去するバンクとは異なるバンクでプログラムを実行すること、またはフラッシュメモリ上にあるプログラムをいったん RAM にコピーし、RAM にコピーしたプログラムを実行することにより、フラッシュメモリへの書込みを行うことができます。
- デュアルオペレーションフラッシュメモリにより、フラッシュメモリ上でのプログラム実行および割込みを用いた書込み制御が可能となります。また、書込みの際にプログラムを RAM 上へダウンロードして実行する必要もなく、ダウンロードの時間削減および RAM データの電源瞬断のケアも不要となります。

27.2 フラッシュメモリのセクタ/バンク構成

フラッシュメモリのセクタ/バンク構成を示します。

■ デュアルオペレーションフラッシュメモリのセクタおよびバンク構成

図 27.2-1 にデュアルオペレーションフラッシュメモリのセクタ構成を示します。図中アドレスは、各セクタの上位アドレスと下位アドレスを示します。

● セクタ構成

CPU からアクセスする場合、1000_H から FFFF_H に SA1 ~ SA9 が配置されています。

● バンク構成

上位バンク / 下位バンクの 2 つで構成され、それぞれ下位バンク :SA1 ~ SA3, 上位バンク :SA4 ~ SA9 となります。

図 27.2-1 デュアルオペレーションフラッシュメモリのセクタ構成

フラッシュメモリ	CPU アドレス	ライタアドレス *	
SA1 (4K バイト)	1000 _H	71000 _H	↑
	1FFF _H	71FFF _H	
SA2 (4K バイト)	2000 _H	72000 _H	↓
	2FFF _H	72FFF _H	
SA3 (4K バイト)	3000 _H	73000 _H	↓
	3FFF _H	73FFF _H	
SA4 (16K バイト)	4000 _H	74000 _H	↑
	7FFF _H	77FFF _H	
SA5 (16K バイト)	8000 _H	78000 _H	
	BFFF _H	7BFFF _H	
SA6 (4K バイト)	C000 _H	7C000 _H	↑
	CFFF _H	7CFFF _H	
SA7 (4K バイト)	D000 _H	7D000 _H	↓
	DFFF _H	7DFFF _H	
SA8 (4K バイト)	E000 _H	7E000 _H	↓
	FFFF _H	7EFFF _H	
SA9 (4K バイト)	F000 _H	7F000 _H	↓
	FFFF _H	7FFFF _H	

* : ライタアドレスとは、フラッシュメモリにパラレルライタでデータを書き込む場合、CPU アドレスに対応するアドレスです。
パラレルライタを使用して書込み / 消去を行う場合、このライタアドレスで書込み / 消去を行います。

27.3 フラッシュメモリのレジスタ

フラッシュメモリのレジスタを示します。

■ フラッシュメモリのレジスタ

図 27.3-1 フラッシュメモリのレジスタ

フラッシュメモリステータスレジスタ (FSR)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0072 _H	-	-	RDYIRQ	RDY	予約	IRQEN	WRE	SSEN	000X0000 _B
	R0/WX	R0/WX	R(RM1),W	R/WX	R/W0	R/W	R/W	R/W	
フラッシュメモリセクタ書込み制御レジスタ (SWRE0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0073 _H	-	-	-	-	-	-	SA9E	SA8E	00000000 _B
	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R/W	R/W	
フラッシュメモリセクタ書込み制御レジスタ (SWRE1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0074 _H	SA7E	SA6E	SA5E	SA4E	SA3E	SA2E	SA1E	予約	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W0	
R/W : リード / ライト可能 (読出し値は書込み値) R(RM1),W : リード / ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は "1" 読出し) R/WX : リードオンリ (読出しは可能, 書込みは動作に影響なし) R/W0 : 予約ビット (書込み値は "0", 読出し値は書込み値) R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし) X : 不定									

27.3.1 フラッシュメモリステータスレジスタ (FSR)

図 27.3-2 に、フラッシュメモリステータスレジスタ (FSR) を示します。

■ フラッシュメモリステータスレジスタ (FSR)

図 27.3-2 フラッシュメモリステータスレジスタ (FSR)

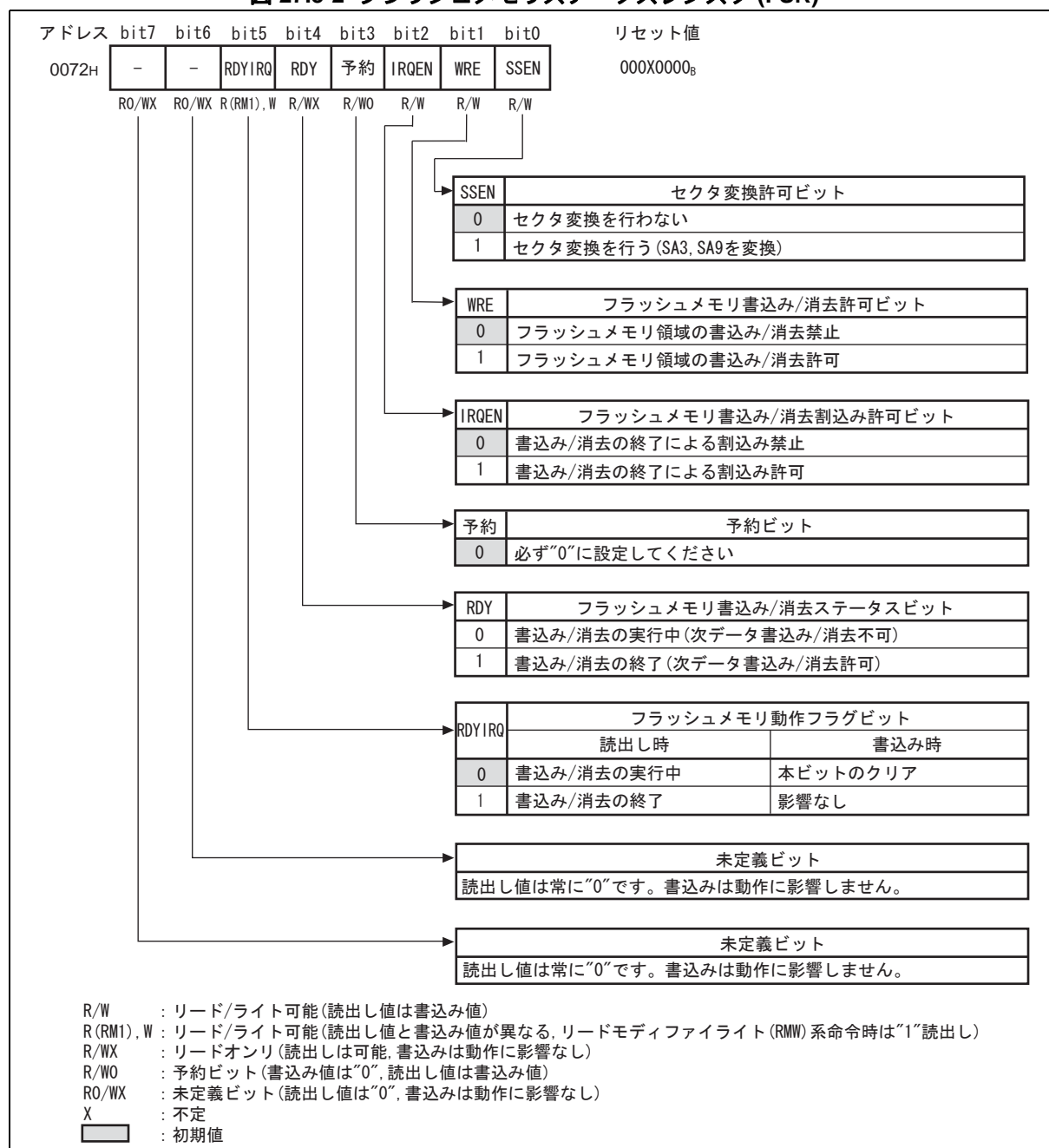


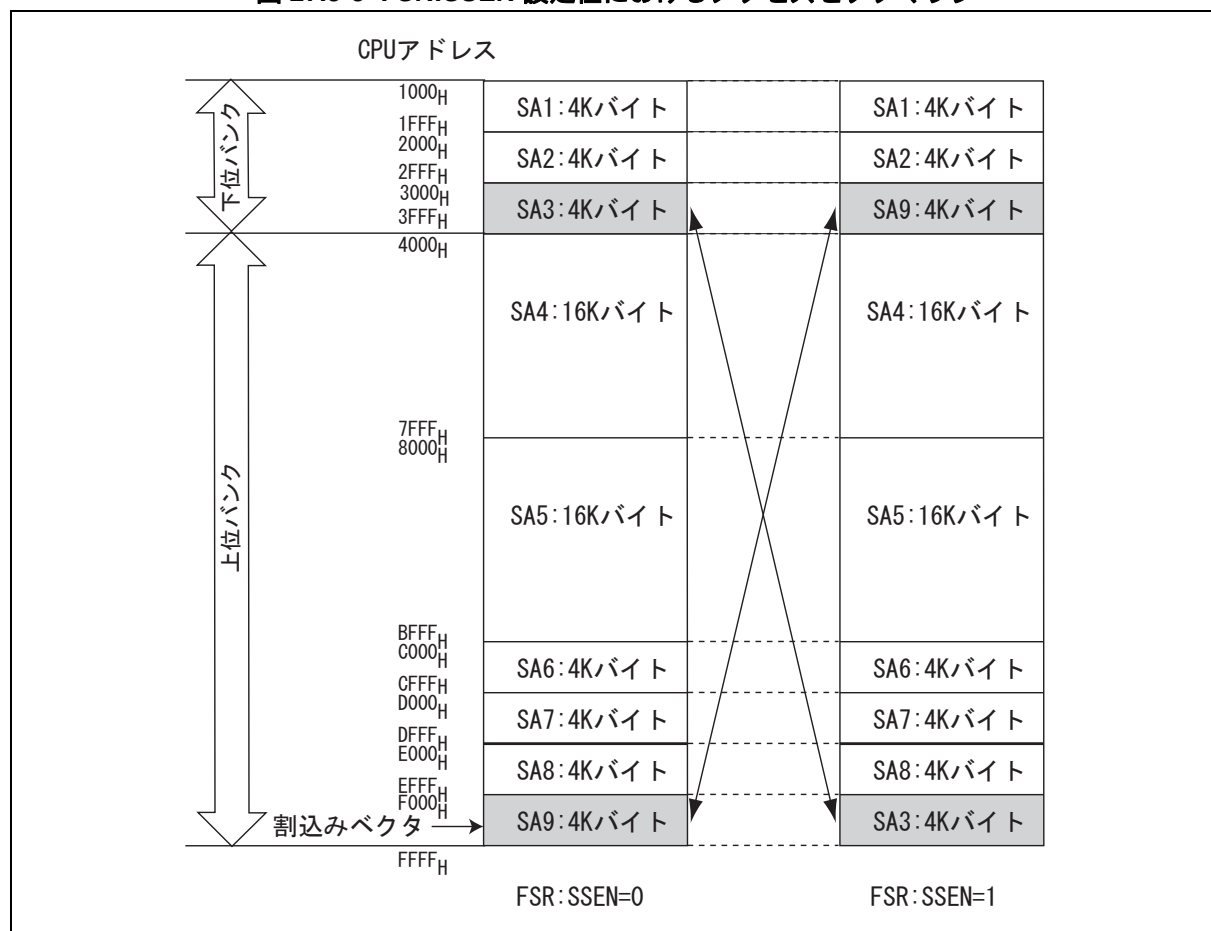
表 27.3-1 フラッシュメモリステータスレジスタ (FSR) の機能 (1 / 2)

ビット名		機能
bit7, bit6	未定義ビット	読出し値は常に "0" です。書込みは動作に影響を与えません。
bit5	RDYIRQ: フラッシュメモリ 動作フラグビット	<p>フラッシュメモリの動作状態を示します。 フラッシュメモリの書込み / 消去が終了した場合に、フラッシュメモリ自動アルゴリズム終了のタイミングで、RDYIRQ ビットが "1" に設定されます。</p> <ul style="list-style-type: none"> フラッシュメモリ書込み / 消去の終了による割込みを許可している場合は (FSR: IRQEN=1), RDYIRQ ビットが "1" に設定されると割込み要求が発生します。 フラッシュメモリ書込み / 消去の終了後に RDYIRQ ビットが "0" の場合は、フラッシュメモリへの書込み / 消去はできません。 <p>"0" に設定した場合: クリアされます。 "1" に設定した場合: 影響しません。 リードモディファイライト (RMW) 系命令を使用した場合は、必ず "1" が読み出されます。</p>
bit4	RDY: フラッシュメモリ 書込み / 消去 ステータスビット	<p>フラッシュメモリの書込み / 消去の状態を示します。</p> <ul style="list-style-type: none"> RDY ビットが "0" の場合は、フラッシュメモリへの書込み / 消去はできません。 RDY ビットが "0" の場合でも、読出し / リセットコマンド、セクタ消去一時停止コマンドは受け付けることができます。書込み / 消去動作を終了すると、RDY ビットは "1" に設定されます。 書込み / 消去コマンド発行終了後、RDY ビットが "0" になるまで 2 マシンクロック (MCLK) の遅延があります。書込み / 消去コマンド発行終了後に、NOP を 2 回入れるなどをしてから本ビットを読み出すようにしてください。
bit3	予約: 予約ビット	必ず "0" を設定してください。
bit2	IRQEN: フラッシュメモリ 書込み / 消去 割込み許可ビット	<p>フラッシュメモリの書込み / 消去の終了による割込み要求発生を許可または禁止します。</p> <p>"0" に設定した場合: フラッシュメモリ動作フラグビットが "1" に設定された場合でも (FSR: RDYIRQ=1), 割込み要求は発生しません。</p> <p>"1" に設定した場合: フラッシュメモリ動作フラグビットが "1" に設定された場合に (FSR: RDYIRQ=1), 割込み要求が発生します。</p>
bit1	WRE: フラッシュメモリ 書込み / 消去 許可ビット	<p>フラッシュメモリ領域への書込み / 消去を許可または禁止します。 WRE ビットはフラッシュメモリの書込み / 消去のコマンドを起動する前に設定してください。</p> <p>"0" に設定した場合: 書込み / 消去コマンドを入力しても、書込み / 消去の信号は発生しません。</p> <p>"1" に設定した場合: 書込み / 消去コマンド入力後、フラッシュメモリへの書込み / 消去ができます。</p> <ul style="list-style-type: none"> 書込み / 消去を行わない場合は、誤ってフラッシュメモリに書き込んだり、消去を行ったりしないように、WRE ビットを "0" に設定してください。 フラッシュメモリに書き込む際には、FSR:WRE に "1" を設定して書込み許可してからフラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) の設定を行ってください。FSR:WRE が書込み禁止 ("0") の場合、フラッシュメモリ書込みコントロールレジスタ (SWRE0/SWRE1) において書込み許可としても、フラッシュメモリに書込み動作は行われません。

表 27.3-1 フラッシュメモリステータスレジスタ (FSR) の機能 (2 / 2)

ビット名	機能
bit0 SSEN: セクタ変換許可 ビット	<p>割込みベクタが存在する領域のセクタを、上位バンクの SA9 と下位バンクの SA3 とで、入れ替えます。</p> <p>"0" に設定した場合: アドレス 3000_H ~ 3FFF_H に SA3, アドレス F000_H ~ FFFF_H に SA9 がマッピングされます。割込みベクタは SA9 に存在します。</p> <p>"1" に設定した場合: アドレス 3000_H ~ 3FFF_H に SA9, アドレス F000_H ~ FFFF_H に SA3 がマッピングされます。割込みベクタは SA3 に存在します。</p> <p>図 27.3-3 に、FSR:SSEN 設定値におけるアクセスセクタマップを示します。</p>

図 27.3-3 FSR:SSEN 設定値におけるアクセスセクタマップ



27.3.2 フラッシュメモリセクタ書込み制御レジスタ
(SWRE0/SWRE1)

フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) は、フラッシュメモリインタフェースにあるレジスタで、フラッシュメモリの誤書込み防止機能の設定を行う際に使用します。

■ フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1)

フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) は、各セクタ (SA1 ~ SA9) に対応した書込み許可 / 禁止設定ビットです。初期値は "0" で、書込み禁止の状態です。"1" を書き込むことにより対応するセクタの書込みを許可します。また、"0" を書き込むことにより、誤書込み防止が機能します。よって、"0" を書き込んでから "1" の書込みを行ってもそのセクタに書込みを行うことはできません。再度書き込む必要がある場合はリセットをする必要があります。

図 27.3-4 フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1)

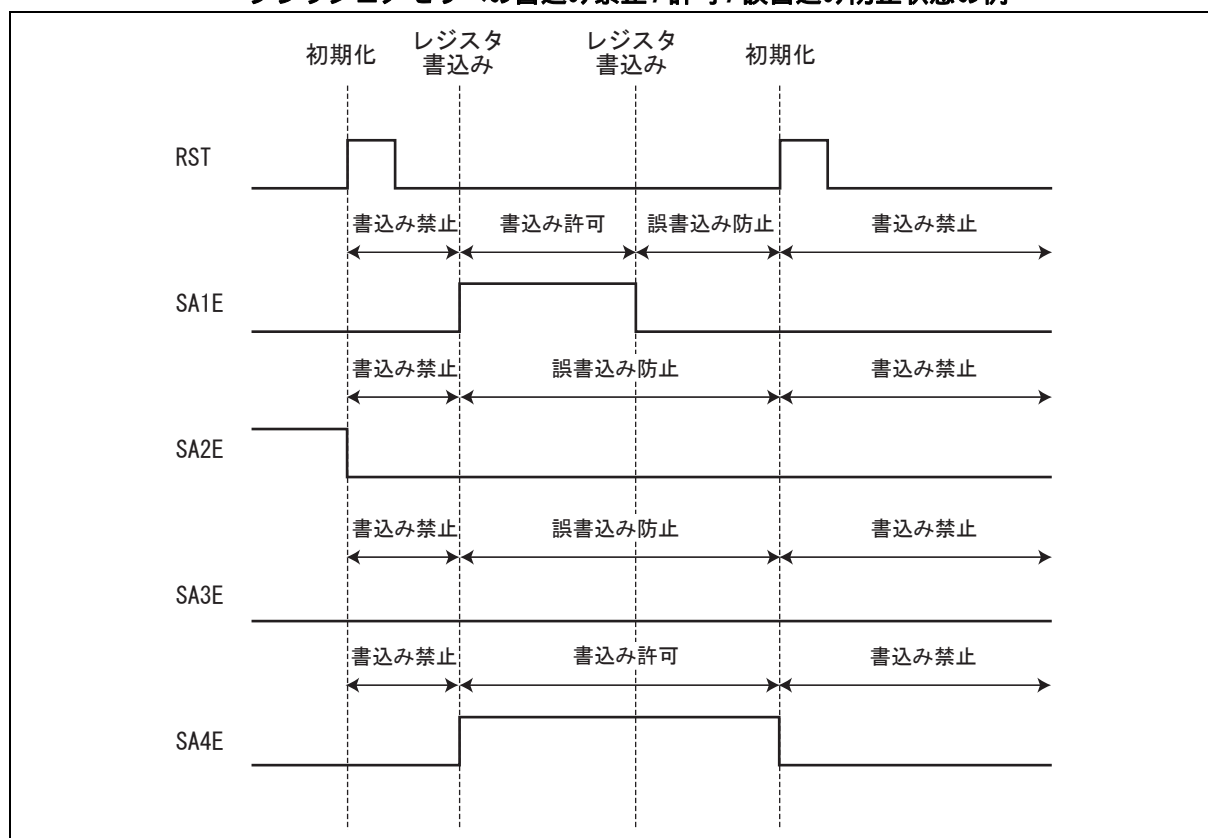
SWRE0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス 0073 _H	-	-	-	-	-	-	SA9E	SA8E	00000000 _B
	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R/W	R/W	
SWRE1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
アドレス 0074 _H	SA7E	SA6E	SA5E	SA4E	SA3E	SA2E	SA1E	予約	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W1	

R/W : リード / ライト可能 (読出し値は書込み値)
R/W1 : 予約ビット (書込み値は "1", 読出し値は書込み値)
R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし)

書込みは、必ずワード書込みで行ってください。ビット操作命令での設定は禁止となります。

表 27.3-2 フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) の機能

レジスタ名	ビット名		機能																	
SWRE0	bit7 ～ bit2	-: 未定義ビット	読出し値は常に "0" です。書込みは動作に影響を与えません。																	
	bit1, bit0		フラッシュメモリの各セクタに対応した誤書込み機能設定ビットです。"1" の書込みにより対応したセクタに書込みが許可されます。また, "0" の書込みにより対応したセクタは, 誤書込み防止機能が働きます。また, リセットにより初期化されて "0" (書込み禁止) となります。																	
SWRE1	bit15 ～ bit9	SA9E ~ SA1E: 書込み機能設定ビット	書込み機能設定ビットのフラッシュセクタ対応表																	
			<table><tr><th>ビット名</th><th>フラッシュ対応セクタ</th></tr><tr><td>SA9E</td><td>SA9</td></tr><tr><td>SA8E</td><td>SA8</td></tr><tr><td>SA7E</td><td>SA7</td></tr><tr><td>SA6E</td><td>SA6</td></tr><tr><td>SA5E</td><td>SA5</td></tr><tr><td>SA4E</td><td>SA4</td></tr><tr><td>SA3E</td><td>SA3</td></tr><tr><td>SA2E</td><td>SA2</td></tr><tr><td>SA1E</td><td>SA1</td></tr></table>	ビット名	フラッシュ対応セクタ	SA9E	SA9	SA8E	SA8	SA7E	SA7	SA6E	SA6	SA5E	SA5	SA4E	SA4	SA3E	SA3	SA2E
ビット名	フラッシュ対応セクタ																			
SA9E	SA9																			
SA8E	SA8																			
SA7E	SA7																			
SA6E	SA6																			
SA5E	SA5																			
SA4E	SA4																			
SA3E	SA3																			
SA2E	SA2																			
SA1E	SA1																			
			<p>書込み禁止 : "0" の状態。フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) に "0" を書き込んでいない状態で各セクタに対応したレジスタを書込み許可 ("1") にすることが可能です (リセット後の状態)。</p> <p>書込み許可 : "1" の状態。対応したセクタにデータを書き込むことが可能です。</p> <p>誤書込み防止 : "0" の状態。フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) に "0" を書き込んだ状態で各セクタに対応したレジスタに "1" を書き込んでも書込み許可 ("1") にすることはできません。</p>																	
	bit8	予約 : 予約ビット	必ず "1" を設定してください。																	

図 27.3-5 フラッシュメモリセクタ書き込み制御レジスタ (SWRE0/SWRE1) における
フラッシュメモリへの書き込み禁止 / 許可 / 誤書き込み防止状態の例**書き込み禁止：**

"0" の状態。フラッシュメモリセクタ書き込み制御レジスタ (SWRE0/SWRE1) に "0" を書き込んでいない状態で各セクタに対応したレジスタを書込み許可 ("1") にすることが可能です (リセット後の状態)。

書き込み許可：

"1" の状態。対応したセクタにデータを書き込むことが可能です。

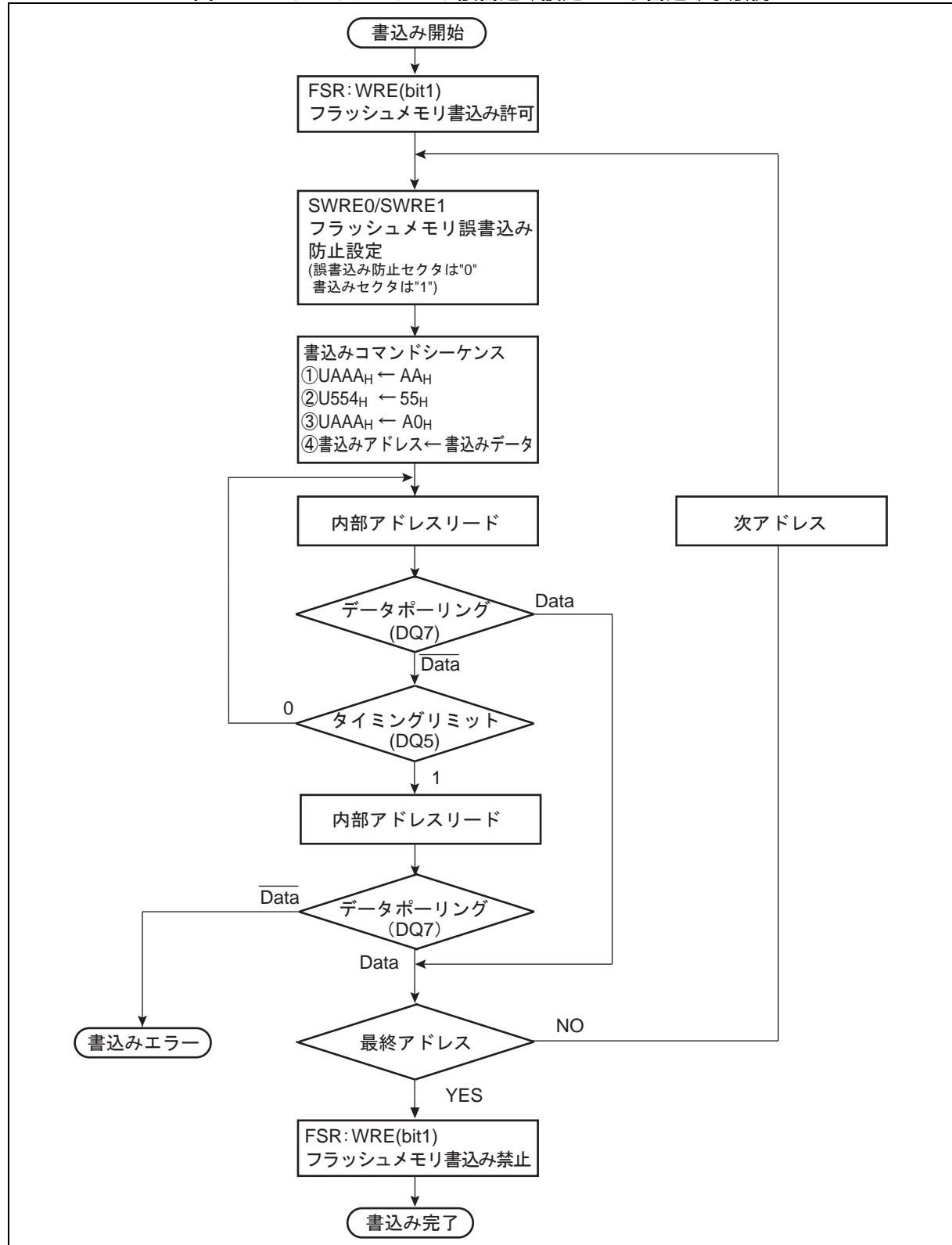
誤書き込み防止：

"0" の状態。フラッシュメモリセクタ書き込み制御レジスタ (SWRE0/SWRE1) に "0" を書き込んだ状態で各セクタに対応したレジスタに "1" を書き込んでも書き込み許可 ("1") にすることはできません。

■ フラッシュメモリセクタ書き込み制御レジスタ (SWRE0/SWRE1) 設定フロー

FSR:WRE ビットを設定して書き込みをするセクタには "1" を、誤書き込み防止セクタには "0" をそれぞれフラッシュメモリセクタ書き込み制御レジスタ (SWRE0/SWRE1) に設定してください。

図 27.3-6 フラッシュメモリ誤書き込み設定および書き込み手順例



■ FSR:WRE の設定について

フラッシュメモリに書き込む際には、FSR:WRE に "1" を設定して書き込み許可にしてからフラッシュメモリセクタ書き込み制御レジスタ (SWRE0/SWRE1) の設定を行ってください。FSR:WRE が書き込み禁止 ("0") の場合、フラッシュメモリセクタ書き込み制御レジスタ (SWRE0/SWRE1) で書き込み許可としても、フラッシュメモリに書き込み動作は行われません。

27.4 フラッシュメモリ自動アルゴリズム起動方法

フラッシュメモリの自動アルゴリズムを起動するコマンドには、読出し/リセット、書込み、チップ消去、セクタ消去の 4 種類があり、セクタ消去については一時停止と再開の制御ができます。

■ コマンドシーケンス表

表 27.4-1 に、コマンドシーケンス表を示します。

表 27.4-1 コマンドシーケンス表

コマンド シーケンス	バス ライト サイク ル	1st バス ライトサイクル		2nd バス ライトサイクル		3rd バス ライトサイクル		4th バス ライトサイクル		5th バス ライトサイクル		6th バス ライトサイクル	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読出し/ リセット*	1	F _X XX _H	F0 _H	-	-	-	-	-	-	-	-	-	-
読出し/ リセット*	4	UAAA _H	AA _H	U554 _H	55 _H	UAAA _H	F0 _H	RA	RD	-	-	-	-
書込み	4	UAAA _H	AA _H	U554 _H	55 _H	UAAA _H	A0 _H	PA	PD	-	-	-	-
チップ 消去	6	XAAA _H	AA _H	X554 _H	55 _H	XAAA _H	80 _H	XAAA _H	AA _H	X554 _H	55 _H	XAAA _H	10 _H
セクタ 消去	6	UAAA _H	AA _H	X554 _H	55 _H	UAAA _H	80 _H	UAAA _H	AA _H	U554 _H	55 _H	SA	30 _H
セクタ消去一時停止		アドレス "UXXX _H ", データ "B0 _H " 入力で、セクタ消去中の消去一時停止											
セクタ消去再開		アドレス "UXXX _H ", データ "30 _H " 入力で、セクタ消去中の消去一時停止後、消去開始											

- ・ RA: 読出しアドレス
- ・ PA: 書込みアドレス
- ・ SA: セクタアドレス (セクタ内の任意の 1 アドレスを指定)
- ・ RD: 読出しデータ
- ・ PD: 書込みデータ
- ・ U : RA, PA, SA と同じ上位 4 ビット
- ・ F_X : FF/FE
- ・ X : 任意のアドレス

*: 2 種類の読出し/リセットコマンドは、どちらもフラッシュメモリを読出しモードにリセットできます。

< 注意事項 >

- ・ 表中のアドレスは、CPU メモリマップ上の値です。アドレスおよびデータはすべて 16 進数で表記しています。ただし、"X" は任意の値です。
- ・ 表中のアドレス "U" は任意ではなくアドレス (bit15 ~ bit12) の 4 ビットは RA, PA, SA と同じ値にしてください。
例: RA=C48E_H の場合 U=C, PA=1024_H の場合 U=1
SA=3000_H の場合 U=3,
- ・ チップ消去コマンドが受け付けられるのは、全セクタを書込み許可している場合のみです。フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) に 1 セクタでも "0" を設定 (書込み禁止/誤書込み防止) している場合、チップ消去コマンドは無視されます。

■ コマンド発行時の注意点

コマンドシーケンス表のコマンドを発行する際には下記の点に注意してください。

各セクタの書込み許可の設定は 1 回目のコマンド発行前に行ってください。

コマンドを発行する際のアドレス上位 U (bit15 ~ bit12) は, 1 回目のコマンド発行時から RA, PA, SA と同じにしてください。

上記の対策を行わなかった場合は, 正常にコマンドが認識されませんので, リセットにてフラッシュメモリ内のコマンドシーケンスを初期化する必要があります。

27.5 自動アルゴリズム実行状態の確認

フラッシュメモリでは、書込み / 消去のフローを自動アルゴリズムで行うため、フラッシュメモリ内部の動作状態をハードウェアシーケンスフラグによって確認できます。

■ ハードウェアシーケンスフラグ

● ハードウェアシーケンスフラグの概要

ハードウェアシーケンスフラグは、次の 4 ビットの出力で構成されます。

- データポーリングフラグ (DQ7)
- トグルビットフラグ (DQ6)
- タイミングリミット超過フラグ (DQ5)
- セクタ消去タイマフラグ (DQ3)

ハードウェアシーケンスフラグにより、書込み / チップ・セクタ消去の終了、消去コードライトを行えるかを確認できます。

ハードウェアシーケンスフラグの参照は、コマンドシーケンス設定後にフラッシュメモリ内部の対象セクタのアドレスにリードアクセスすることで行えます。ただし、ハードウェアシーケンスフラグはコマンド発行された側のバンクのみに出力されます。表 27.5-1 に、ハードウェアシーケンスフラグのビット割当てを示します。

表 27.5-1 ハードウェアシーケンスフラグのビット割当て

ビット No.	7	6	5	4	3	2	1	0
ハードウェアシーケンスフラグ	DQ7	DQ6	DQ5	-	DQ3	-	-	-

- 自動書込み / チップ・セクタ消去が実行中か、終了しているかを判断するには、ハードウェアシーケンスフラグを確認するかフラッシュメモリステータスレジスタのフラッシュメモリ書込み / 消去ステータスビット (FSR: RDY) を確認してください。書込み / 消去の終了後は、読出し / リセット状態に戻ります。
- 書込み / 消去プログラムを作成する場合には、DQ7, DQ6, DQ5, DQ3 のフラグで自動書込み / 消去の終了を確認後、データの読出しの処理を行ってください。
- 2 回目以降のセクタ消去コードライトが有効であるかどうかについても、ハードウェアシーケンスフラグによって確認できます。

● ハードウェアシーケンスフラグの説明

表 27.5-2 に、ハードウェアシーケンスフラグ機能の一覧を示します。

表 27.5-2 ハードウェアシーケンスフラグ機能の一覧

状態		DQ7	DQ6	DQ5	DQ3
正常動作時の 状態変化	書込み 書込み完了 (書込みアドレッシング時)	$\overline{\text{DQ7}}$ DATA: 7	Toggle DATA: 6	0 DATA: 5	0 DATA: 3
	チップ・セクタ消去 消去完了	0 1	Toggle Stop	0 1	1
	セクタ消去ウェイト 消去開始	0	Toggle	0	0 1
	消去 セクタ消去一時停止 (消去中のセクタ)	0 1	Toggle 1	0	1 0
	セクタ消去一時停止 消去再開 (消去中のセクタ)	1 0	1 Toggle	0	0 1
	セクタ消去一時停止中 (消去中ではないセクタ)	DATA: 7	DATA: 6	DATA: 5	DATA: 3
異常動作	書込み	$\overline{\text{DQ7}}$	Toggle	1	0
	チップ・セクタ消去	0	Toggle	1	1

27.5.1 データポーリングフラグ (DQ7)

データポーリングフラグ (DQ7) は、自動アルゴリズム実行が進行中もしくは終了状態であることをデータポーリング機能によって知らせるハードウェアシーケンスフラグです。

■ データポーリングフラグ (DQ7)

表 27.5-3 に、データポーリングフラグの状態遷移 (正常動作時の状態変化) を、表 27.5-4 に、データポーリングフラグの状態遷移 (異常動作時の状態変化) を示します。

表 27.5-3 データポーリングフラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み 書込み完了	チップ・ セクタ消去 消去完了	セクタ消去 ウェイト 消去開始	セクタ消去 セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ7	$\overline{\text{DQ7}}$ DATA: 7	0 1	0	0 1	1 0	DATA: 7

表 27.5-4 データポーリングフラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ・セクタ消去
DQ7	$\overline{\text{DQ7}}$	0

● 書込みの場合

自動書込みアルゴリズム実行中にリードアクセスした場合、フラッシュメモリは最後に書き込まれたデータの bit7 を反転させた値を DQ7 に出力します。

自動書込みアルゴリズム終了時にリードアクセスを行った場合、フラッシュメモリはリードアクセスを行ったアドレスの読出し値の bit7 を DQ7 に出力します。

● チップ消去 / セクタ消去の場合

チップ消去 / セクタ消去の自動アルゴリズム実行中に現在消去しているセクタをリードアクセスすると、フラッシュメモリの bit7 は "0" を出力します。チップ消去 / セクタ消去が終了すると、フラッシュメモリの bit7 は "1" を出力します。

● セクタ消去一時停止の場合

- ・セクタ消去一時停止状態でリードアクセスを行った場合、フラッシュメモリは、リードアドレスが消去中のセクタであれば DQ7 に "1" を出力します。消去中のセクタでなければ、リードアドレスの読出し値の bit7 (DATA: 7) を DQ7 に出力します。
- ・データポーリングフラグ (DQ7) をトグルビットフラグ (DQ6) とともに参照することで、セクター一時停止状態であるか、どのセクタが消去中であるかを判定することができます。

< 注意事項 >

自動アルゴリズムを起動した場合は、指定したアドレスへのリードアクセスは無視されません。データの読出しは、データポーリングフラグ (DQ7) が "1" に設定された後に可能になります。自動アルゴリズム終了後のデータの読出しは、データポーリング終了を確認したリードアクセスの後に行ってください。

27.5.2 トグルビットフラグ (DQ6)

トグルビットフラグ (DQ6) は、自動アルゴリズム実行が進行中、もしくは終了状態であることをトグルビット機能によって知らせるハードウェアシーケンスフラグです。

トグルビットフラグ (DQ6)

表 27.5-5 に、トグルビットフラグの状態遷移（正常動作時の状態変化）を、表 27.5-6 に、トグルビットフラグの状態遷移（異常動作時の状態変化）を示します。

表 27.5-5 トグルビットフラグの状態遷移（正常動作時の状態変化）

動作状態	書込み 書込み完了	チップ・ セクタ消去 消去完了	セクタ消去 ウェイト 消去開始	セクタ消去 セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ6	Toggle DATA: 6	Toggle Stop	Toggle	Toggle 1	1 Toggle	DATA: 6

表 27.5-6 トグルビットフラグの状態遷移（異常動作時の状態変化）

動作状態	書込み	チップ・セクタ消去
DQ6	Toggle	Toggle

- 書込みとチップ消去 / セクタ消去の場合
 - ・自動書込みアルゴリズムまたはチップ消去 / セクタ消去の自動アルゴリズムを実行中にリードアクセスを連続して行った場合、フラッシュメモリは、読出しを行うごとに "1" と "0" を交互にトグル出力します。
 - ・自動書込みアルゴリズムおよびチップ消去 / セクタ消去の自動アルゴリズムが終了した後にリードアクセスを連続して行った場合、フラッシュメモリは読出しを行うごとにリードアドレスの読出し値の bit6 (DATA: 6) を出力します。
- セクタ消去一時停止の場合

セクタ消去一時停止状態でリードアクセスを行った場合、フラッシュメモリは、リードアドレスが消去中のセクタであるならば "1" を出力します。消去中のセクタでなければ、リードアドレスの読出し値の bit6 (DATA: 6) を出力します。

< 注意事項 >

デュアルオペレーションフラッシュメモリ (フラッシュメモリ書込み制御プログラムをフラッシュメモリ上で実行する) を用いる場合、トグルビットフラグ (DQ6) を使用して書込み / 消去中の状態を確認することができません。「27.9 デュアルオペレーションフラッシュメモリ使用上の 注意」記載の注意事項を参照の上、プログラムを作成してください。

なお、フラッシュメモリ書込み制御プログラムを RAM 上で実行する場合は、本注意事項は該当しません。

27.5.3 タイミングリミット超過フラグ (DQ5)

タイミングリミット超過フラグ (DQ5) は、自動アルゴリズムの実行がフラッシュメモリ内部の規定時間 (書込み / 消去に要する時間) を超えてしまったことを知らせるハードウェアシーケンスフラグです。

■ タイミングリミット超過フラグ (DQ5)

表 27.5-7 に、タイミングリミット超過フラグの状態遷移 (正常動作時の状態変化) を、表 27.5-8 に、タイミングリミット超過フラグの状態遷移 (異常動作時の状態変化) を示します。

表 27.5-7 タイミングリミット超過フラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み 書込み完了	チップ・ セクタ消去 消去完了	セクタ消去 ウェイト 消去開始	セクタ消去 セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ5	0 DATA: 5	0 1	0	0	0	DATA: 5

表 27.5-8 タイミングリミット超過フラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ・セクタ消去
DQ5	1	1

● 書込みとチップ消去 / セクタ消去の場合

書込みまたはチップ消去 / セクタ消去の自動アルゴリズム起動後にリードアクセスを行った場合、規定時間 (書込み / 消去に要する時間) 内であれば "0" を、規定時間を超えている場合は "1" を出力します。

タイミングリミット超過フラグ (DQ5) は、自動アルゴリズムが実行中か終了状態かにかかわらず、書込み / 消去の成功または失敗の判定を行うことができます。タイミングリミット超過フラグ (DQ5) が "1" を出力した場合、データポーリング機能またはトグルビット機能により自動アルゴリズムが実行中であれば、書込みが失敗していると判断できます。

例えば、"0" が書き込まれているフラッシュメモリアドレスに "1" を書き込もうとした場合は、フラッシュメモリはロックされて自動アルゴリズムは終了せず、データポーリングフラグ (DQ7) から有効なデータが出力されません。また、トグルビットフラグ (DQ6) はトグル動作を終了せず、タイムリミットを超えてしまい、タイミングリミット超過フラグ (DQ5) は "1" を出力します。タイミングリミット超過フラグ (DQ5) が "1" を出力した場合は、フラッシュメモリが不良ではなく、正しく使用されなかったことを示していますので、リセットコマンドを実行してください。

27.5.4 セクタ消去タイマフラグ (DQ3)

セクタ消去タイマフラグ (DQ3) は、セクタ消去コマンド起動後、セクタ消去ウェイト期間中であるか否かを知らせるハードウェアシーケンスフラグです。

■ セクタ消去タイマフラグ (DQ3)

表 27.5-9 に、セクタ消去タイマフラグの状態遷移（正常動作時の状態変化）を、表 27.5-10 に、セクタ消去タイマフラグの状態遷移（異常動作時の状態変化）を示します。

表 27.5-9 セクタ消去タイマフラグの状態遷移（正常動作時の状態変化）

動作状態	書込み 書込み完了	チップ・ セクタ消去 消去完了	セクタ消去 ウェイト 消去開始	セクタ消去 セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ3	0 DATA: 3	1	0 1	1 0	0 1	DATA: 3

表 27.5-10 セクタ消去タイマフラグの状態遷移（異常動作時の状態変化）

動作状態	書込み	チップ・セクタ消去
DQ3	0	1

● セクタ消去の場合

- セクタ消去コマンド起動後にリードアクセスを行った場合に、セクタ消去ウェイト期間中であれば "0" を出力します。セクタ消去ウェイト期間を超えている場合は "1" を出力します。
- データポーリング機能やトグルビット機能により消去アルゴリズムが実行中を示している場合 (DQ7=0, DQ6がトグル出力)、セクタ消去タイマフラグ (DQ3) が "1" であれば、セクタ消去を行っています。続けて消去一時停止以外のコマンドを設定した場合は、消去が終了されるまで無視されます。
- セクタ消去タイマフラグ (DQ3) が "0" であった場合、フラッシュメモリはセクタ消去コマンドを受け付けることができます。セクタ消去コマンドを書き込む場合は、セクタ消去タイマフラグ (DQ3) が "0" であることを確認してください。セクタ消去タイマ (DQ3) が "1" であった場合、一時停止のセクタ消去コマンドが受け付けられない場合があります。

● セクタ消去一時停止の場合

セクタ消去一時停止状態でリードアクセスを行った場合、フラッシュメモリは、リードアドレスが消去中のセクタであるならば "1" を出力します。消去中のセクタでなければ、リードアドレスの読出し値の bit3 (DATA: 3) を出力します。

27.6 フラッシュメモリ書込み / 消去

自動アルゴリズムを起動するコマンドを入力し、フラッシュメモリに読出し / リセット、書込み、チップ消去、セクタ消去、セクタ消去一時停止およびセクタ消去再開のそれぞれの動作を行う手順を説明します。

■ フラッシュメモリ書込み / 消去の詳細説明

自動アルゴリズムは、読出し / リセット、書込み、チップ消去、セクタ消去、セクタ消去一時停止および消去再開のコマンドシーケンスを CPU からフラッシュメモリに書き込むことにより起動することができます。CPU からフラッシュメモリへのコマンドシーケンスの書込みは、必ず連続して行ってください。また、自動アルゴリズムはデータポーリング機能により終了状態を確認することができます。正常終了後は読出し / リセット状態に戻ります。

各動作について、下記の順に説明します。

- 読出し / リセット状態にする
- データを書き込む
- 全データを消去する（チップ全消去）
- 任意のデータを消去する（セクタ消去）
- セクタ消去を一時停止する
- セクタ消去を再開する

27.6.1 フラッシュメモリを讀出し/リセット状態にする

讀出し/リセットコマンドを入力し、フラッシュメモリを讀出し/リセット状態にする手順について説明します。

■ フラッシュメモリを讀出し/リセット状態にする

- フラッシュメモリを讀出し / リセット状態にするには、コマンドシーケンス表の讀出し/リセットコマンドを CPU からフラッシュメモリへ連続してコードを送ってください。
- 讀出し / リセットコマンドには 1 回と 4 回のバス動作を行う 2 通りのコマンドシーケンスがありますが、これらに違いはありません。
- 讀出し/リセット状態はフラッシュメモリの初期状態ですので、電源投入後、コマンドの正常終了後は常に讀出し / リセット状態になります。讀出し / リセット状態は、コマンドの入力待ち状態でもあります。
- 讀出し / リセット状態では、フラッシュメモリへリードアクセスを行うことによりデータを読み出すことができます。マスク ROM と同様に CPU からのプログラムアクセスができます。
- フラッシュメモリへリードアクセスを行う場合は、讀出し / リセットコマンドは必要ありません。コマンドが正常に終了しなかった場合は、自動アルゴリズムを初期化するために、讀出し / リセットコマンドを使用してください。

27.6.2 フラッシュメモリヘータを書き込む

書込みコマンドを入力し、フラッシュメモリヘータを書き込む手順について説明します。

■ フラッシュメモリヘータの書込み

- フラッシュメモリのデータ書込み自動アルゴリズムを起動するためには、コマンドシーケンス表の書込みコマンドをCPUからフラッシュメモリへ連続して送ってください。
- 4 サイクル目に目的のアドレスへのデータ書込みが終了した場合、自動アルゴリズムが起動されて自動書込みを開始します。

● アドレッシング方法

書込みはどのようなアドレスの順番でも、セクタの境界を越えても行えます。1 回の書込みコマンドによって書き込まれるデータは 1 バイトのみです。

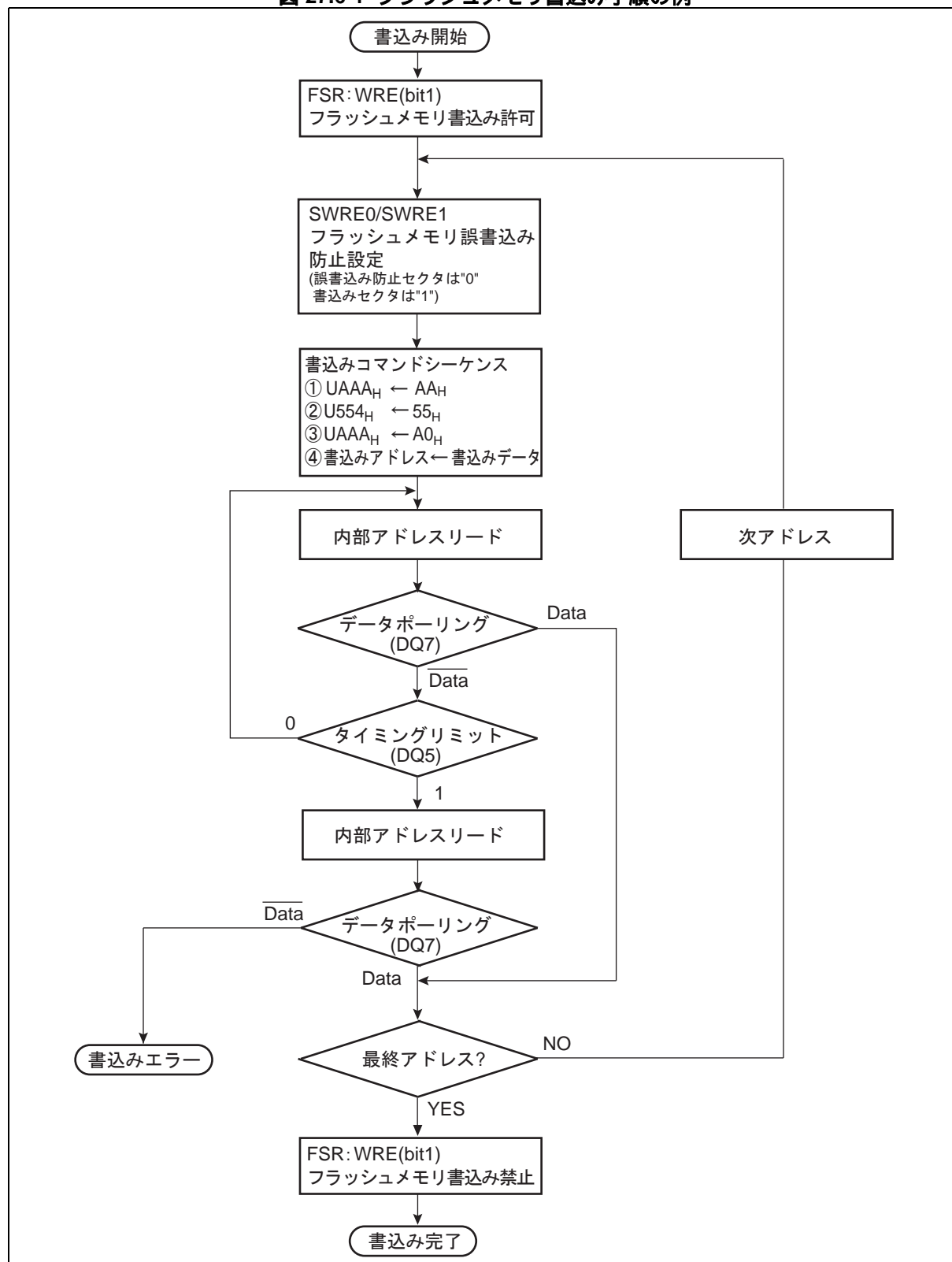
● データ書込み上の注意

- 書込みによって、ビットデータを "0" から "1" に戻すことはできません。ビットデータ "0" にビットデータ "1" を書き込むと、データポーリング機能 (DQ7)、またはトグル動作 (DQ6) が終了せず、フラッシュメモリ素子が不良と判定され、書込み規定時間を超えるため、タイミングリミット超過フラグ (DQ5) がエラーと判定します。読出し / リセット状態でデータを読み出した場合、ビットデータは "0" のままです。ビットデータを "0" から "1" に戻すには、フラッシュメモリの消去を行ってください。
- 自動書込み実行中は、すべてのコマンドが無視されます。
- 書込み中にハードウェアリセットが起動された場合は、書込みアドレスのデータは保証されません。チップ消去あるいはセクタ消去からやり直してください。

■ フラッシュメモリ書込み手順

- 図 27.6-1 に、フラッシュメモリ書込み手順の例を示します。ハードウェアシーケンスフラグを用いることでフラッシュメモリ内部の自動アルゴリズムの状態を判定することができます。ここでは、フラッシュメモリへの書込み終了の確認にデータポーリングフラグ (DQ7) を用いています。
- フラグチェックのために読み出すデータは、最後に書込みを行ったアドレスからの読出しとなります。
- データポーリングフラグ (DQ7) は、タイミングリミット超過フラグ (DQ5) と同時に変化するので、タイミングリミット超過フラグ (DQ5) が "1" であった場合でもデータポーリングフラグビット (DQ7) を確認してください。
- トグルビットフラグ (DQ6) も、タイミングリミット超過フラグビット (DQ5) が "1" に変化すると同時にトグル動作を止めますので、トグルビットフラグ (DQ6) を確認してください。

図 27.6-1 フラッシュメモリ書込み手順の例



27.6.3 フラッシュメモリの全データを消去する (チップ消去)

チップ消去コマンドを発行し、フラッシュメモリの全データを消去する手順について説明します。

■ フラッシュメモリのデータを消去する (チップ消去)

- フラッシュメモリからすべてのデータを消去するためには、コマンドシーケンス表のチップ消去コマンドを CPU からフラッシュメモリへ連続して送ってください。
- チップ消去コマンドは 6 回のバス動作で行われ、6 サイクル目の書込みが完了した時点でチップ消去動作を開始します。
- チップ消去では、消去前にユーザがフラッシュメモリに書込みを行う必要はありません。自動消去アルゴリズム実行中には、フラッシュメモリは自動的にすべてのセルを消去する前に "0" を自動的に書き込んでから消去します。

■ チップ消去の際の注意点

- チップ消去コマンドが受け付けられるのは、全セクタを書込み許可にしている場合のみです。フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) に 1 セクタでも "0" を設定 (書込み禁止 / 誤書込み防止) している場合、チップ消去コマンドは無視されます。
- 消去中にハードウェアリセットが発生したフラッシュメモリのデータは保証されません。

27.6.4 フラッシュメモリの任意のデータを消去する (セクタ消去)

セクタ消去コマンドを入力し、フラッシュメモリの任意のセクタ消去を行う手順について説明します。セクタごとの消去が可能であり、複数のセクタを同時に指定することもできます。

■ フラッシュメモリの任意のデータを消去する (セクタ消去)

フラッシュメモリの任意のセクタを消去するためには、コマンドシーケンス表のセクタ消去コマンドを CPU からフラッシュメモリへ連続して送ってください。

● セクタ指定方法

- セクタ消去コマンドは 6 回のバス動作で行われます。6 サイクル目のアドレスを目的のセクタ内のアドレスに指定し、データとしてセクタ消去コード (30_H) を書き込むことにより最小 50 μ s のセクタ消去ウェイトが開始します。
- 複数のセクタ消去を行う場合は、上記に続き消去する目的のセクタ内のアドレスに消去コード (30_H) を書き込みます。

● 複数のセクタを指定する場合の注意

- 最後のセクタ消去コードの書込みから最小 50 μ s のセクタ消去ウェイト期間終了により消去が開始します。
- 複数のセクタを同時に消去する場合は、消去セクタのアドレスと消去コード (コマンドシーケンス 6 サイクル目) を 50 μ s 以内に入力してください。50 μ s を超えて消去コードを入力した場合は、セクタ消去ウェイト期間終了により受け付けられません。
- 連続したセクタ消去コードの書込みが有効であるかどうかは、セクタ消去タイマフラグ (DQ3) によって確認できます。
- セクタ消去タイマフラグ (DQ3) を読み出す場合のアドレスには、消去しようとしているセクタを指定してください。

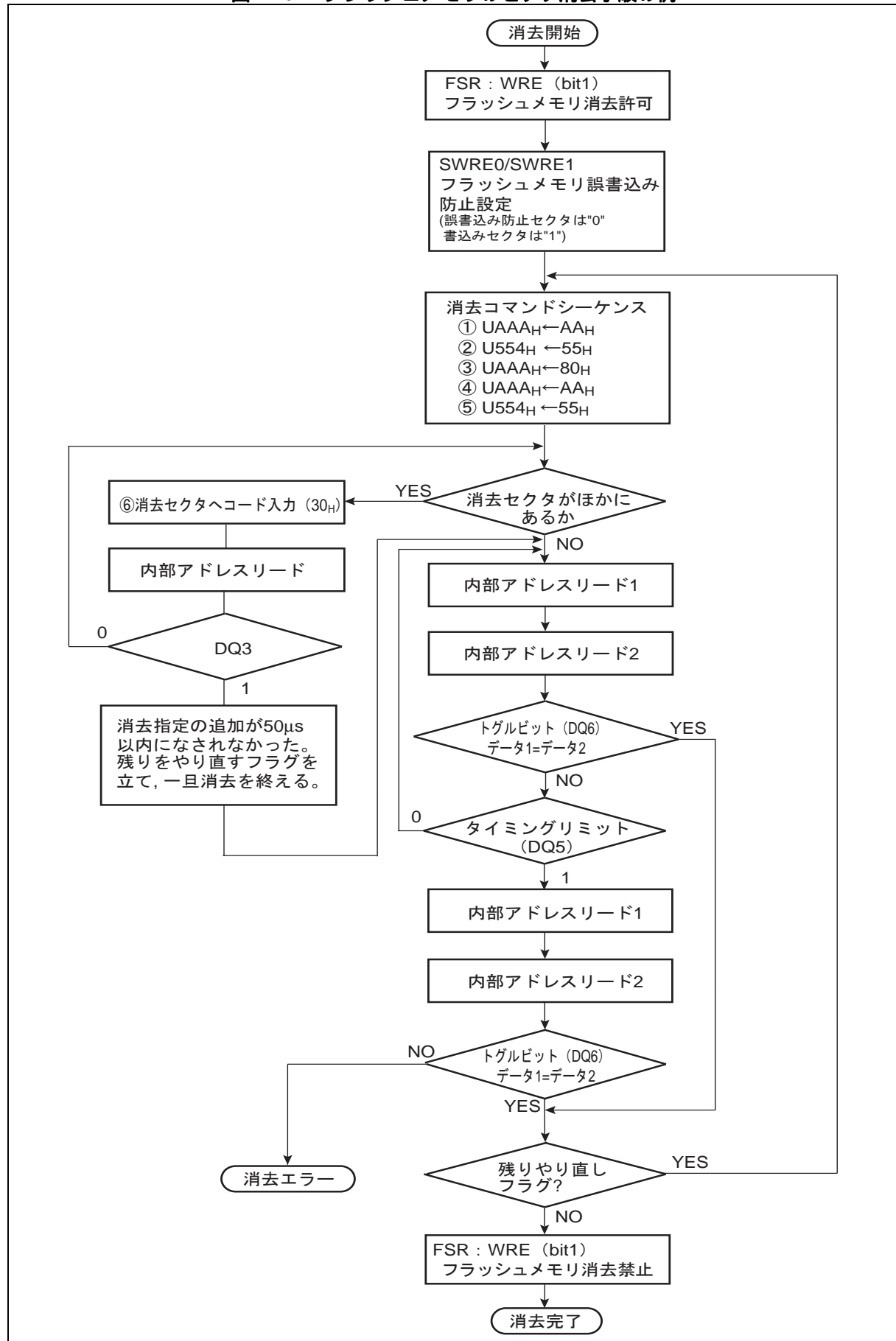
■ フラッシュメモリのセクタ消去手順

- ハードウェアシーケンスフラグを用いることでフラッシュメモリ内部の自動アルゴリズムの状態を判定できます。図 27.6-2 に、フラッシュメモリのセクタ消去手順の例を示します。ここでは、消去終了の確認にトグルビットフラグ (DQ6) を用いています。
- トグルビットフラグ (DQ6) は、タイミングリミット超過フラグ (DQ5) が "1" に変化するのと同時にトグル動作を終了します。タイミングリミット超過フラグ (DQ5) が "1" の場合でも、トグルビットフラグ (DQ6) を確認してください。
- データポーリングフラグ (DQ7) は、タイミングリミット超過フラグ (DQ5) と同時に変化するので、データポーリングフラグ (DQ7) を確認してください。

■ セクタ消去の際の注意点

消去中にハードウェアリセットが発生した場合、消去されたセクタのデータは保証されません。再度、セクタ消去を行ってください。

図 27.6-2 フラッシュメモリのセクタ消去手順の例



27.6.5 フラッシュメモリのセクタ消去を一時停止する

セクタ消去一時停止コマンドを入力し、フラッシュメモリセクタ消去の一時停止を行う手順について説明します。消去中でないセクタからデータを読み出すことが可能です。

■ フラッシュメモリのセクタ消去を一時停止する

- フラッシュメモリのセクタ消去を一時停止するには、コマンドシーケンス表のセクタ消去一時停止コマンドを CPU からフラッシュメモリへ送ってください。
- セクタ消去一時停止コマンドは、セクタ消去中に消去を一時停止し、消去中でないセクタからデータを読み出すことができます。
- セクタ消去一時停止コマンドは、消去ウェイト時間を含むセクタ消去中のみ有効で、チップ消去中や書込み中は無視されます。
- セクタ消去一時停止コマンドは、消去一時停止コード (B0_H) を書き込むことで実行されます。このときのアドレスは、消去指定したセクタ内の任意のアドレスを設定してください。消去一時停止中に再度、消去一時停止コマンドを実行した場合、再度入力したコマンドは無視されます。
- セクタ消去ウェイト期間中に、セクタ消去一時停止コマンドを入力した場合、直ちにセクタ消去ウェイトを終了し、消去動作を中断して消去停止状態になります。
- セクタ消去ウェイト期間後のセクタ消去中に消去一時停止コマンドを入力した場合、最大 20 μ s 後に消去一時停止状態になります。

■ 注意

一時停止コマンドを発行する場合は、セクタ消去コマンド発行後、20ms 以上経過してから発行するか、セクタ消去再開コマンドの発行後、20ms 以上経過してから発行してください。

27.6.6 フラッシュメモリのセクタ消去を再開する

セクタ消去再開コマンドを入力し、一時停止したフラッシュメモリセクタ消去を再開する手順について説明します。

■ フラッシュメモリのセクタ消去を再開する

- 一時停止したセクタ消去を再開させるには、コマンドシーケンス表のセクタ消去再開コマンドを CPU からフラッシュメモリへ送ってください。
- セクタ消去再開コマンドは、セクタ消去一時停止コマンドによるセクタ消去一時停止状態からセクタ消去を再開するためのコマンドです。セクタ消去再開コマンドは消去再開コード (30_H) の書込みを行うことで実行されますが、アドレスは消去指定したセクタ内の任意のアドレスを指定します。
- セクタ消去中のセクタ消去再開コマンドの入力は無視されます。

27.7 デュアルオペレーションフラッシュの動作

デュアルオペレーションフラッシュを使用する際には、次の点について特に注意が必要です。

- 上位バンクの書換え時における割込み発生
- フラッシュメモリステータスレジスタのセクタ変換許可ビット (FSR:SSEN) の設定手順

■ 上位バンクの書換え時における割込み発生

デュアルオペレーションフラッシュは、2 つのバンクで構成されていますが、従来のフラッシュ同様、同一バンクでの消去 / 書込みと読出しの実行は行えません。

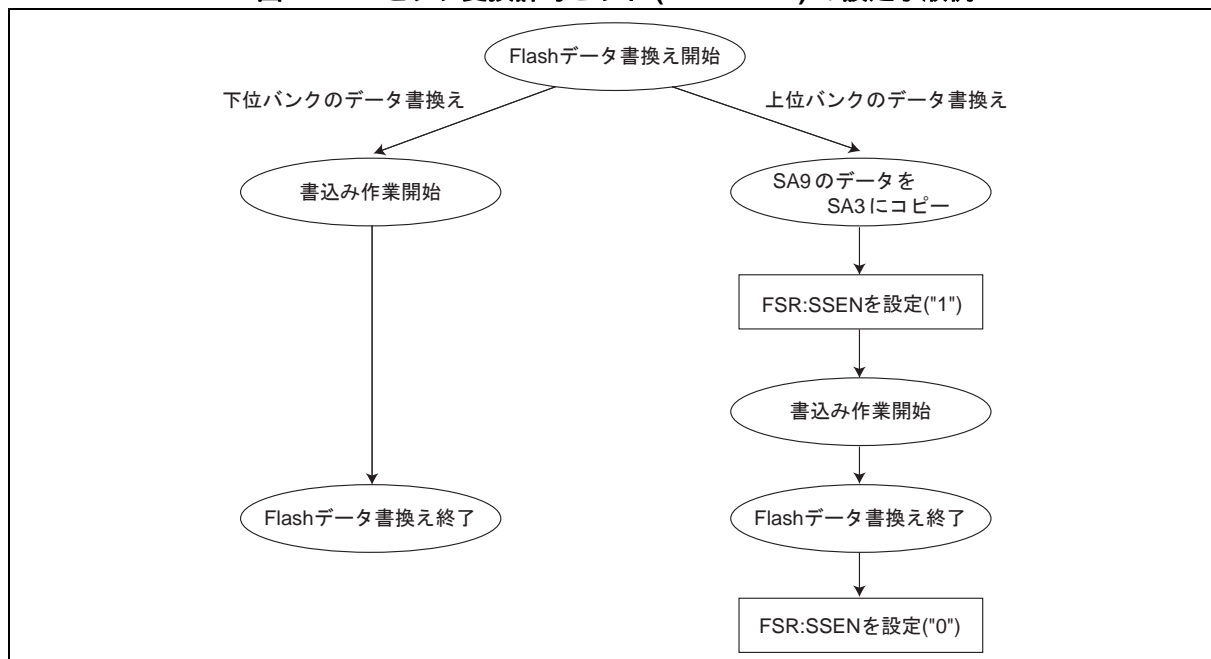
SA9 には割込みベクタがあるため、上位バンク書込み時に割込みが発生した場合には CPU からの割込みベクタを正常に読み出せません。上位バンクの書換えを行う際にはセクタ変換許可ビットを "1" に設定 (FSR:SSEN=1) する必要があります。そのため、割込み発生時は、SA3 に割込みベクタのデータを読みにいきますので、セクタ変換許可ビット (FSR:SSEN) 設定前に SA3 と SA9 に同じデータをコピーしておく必要があります。

■ セクタ変換許可ビット (FSR:SSEN) の設定手順

図 27.7-1 に、セクタ変換許可ビット (FSR:SSEN) の設定手順例を示します。

上位バンクのデータを書き換える際には、FSR:SSEN ビットを "1" に設定する必要があります。また、フラッシュメモリへの書込み中にセクタ変換許可ビット (FSR:SSEN) の設定変更は禁止です。セクタ変換許可ビット (FSR:SSEN) の設定は必ずフラッシュメモリへの書込み開始前または終了後に行ってください。また、FSR:SSEN ビットを設定する際には、割込み許可を禁止とし、セクタ変換許可ビット (FSR:SSEN) 設定後、割込みを許可するようにしてください。

図 27.7-1 セクタ変換許可ビット (FSR:SSEN) の設定手順例



■ 書込み / 消去中の動作について

フラッシュメモリへの書込み / 消去中に割込みが発生した場合、割込みルーチン内でフラッシュメモリへの書込みは禁止されています。

書込み / 消去ルーチンが複数存在する場合、その書込み / 消去ルーチンが完了してからほかの書込み / 消去ルーチンを実行するようにしてください。

フラッシュメモリへの書込み / 消去中に、書込み / 消去中のモード（クロックモードおよびスタンバイモード）から状態遷移することは禁止されています。書込み / 消去終了後に状態遷移するようにしてください。

27.8 フラッシュセキュリティ

フラッシュセキュリティコントローラ機能により、フラッシュメモリの内容を外部端子から読み出されることを防止できます。

■ フラッシュセキュリティ

フラッシュメモリのアドレス (4000_H) に保護コード "01_H" が書き込まれると、フラッシュメモリへのアクセスが制限され、いずれの外部端子からもフラッシュメモリへの読出し / 書込みはできなくなります。フラッシュメモリが一度保護されると、チップ消去を行うまで、機能のロックを解除することはできません。

なお、例外として、アドレス 5554_H, AAAA_H のみ読出しが可能となります。

保護コードは、フラッシュプログラミングの終わりにコーディングしてください。これは、プログラミング中の不要な保護を回避するためです。

一度保護されたフラッシュメモリを再度プログラムするには、チップ消去操作を行う必要があります。

27.9 デュアルオペレーションフラッシュメモリ使用上の注意

デュアルオペレーションフラッシュメモリを使用するにあたっての注意点を示します。

■ トグルビットフラグ (DQ6) に関する制限事項

デュアルオペレーションフラッシュメモリ (フラッシュメモリ書込み制御プログラムをフラッシュメモリ上で実行する) を用いる場合、トグルビットフラグ (DQ6) を使用して書込み / 消去中の状態を確認することができません。このため、フラッシュメモリへの書込み、セクタ消去実行後のフラッシュメモリ内部動作状態は、図 27.6-1 および図 27.6-2 の例を参考にデータポーリングフラグ (DQ7) を用いて確認してください。

なお、フラッシュ書込み制御プログラムを RAM 上で実行する場合は、本注意事項は該当しません。

■ F²MC-8FX のソフトウェア開発サポート環境 (MB95FV100D および MB2146-09) での注意

- 下位バンク (1000_H ~ 3FFF_H) への書込み / 消去はできません。
- チップ消去は行わないでください。

第28章

256K ビット フラッシュメモリ

256K ビットフラッシュメモリの機能および動作について説明します。

(MB95F116MAW/F116NAW/F116MAS/F116NAS のみ対象)

28.1 256K ビットフラッシュメモリの概要

28.2 フラッシュメモリのセクタ構成

28.3 フラッシュメモリのレジスタ

28.4 フラッシュメモリ自動アルゴリズム起動方法

28.5 自動アルゴリズム実行状態の確認

28.6 フラッシュメモリ書込み / 消去

28.7 フラッシュセキュリティ

28.1 256K ビットフラッシュメモリの概要

256K ビットフラッシュメモリは、CPU メモリマップ上の 8000_H から FFFF_H に配置されています。フラッシュメモリインタフェース回路の機能により、CPU からのリードアクセスおよびプログラムアクセスができます。

■ 256K ビットフラッシュメモリの概要

フラッシュメモリへのデータ書込み / 消去の方法には、下記の方法があります。

- パラレルライタによる書込み / 消去
- シリアル専用ライタによる書込み / 消去
- プログラム実行による書込み / 消去

プログラム実行によるフラッシュメモリへの書込み / 消去は、フラッシュメモリインタフェース回路を介して CPU からの命令で行えるため、実装状態でプログラムやデータの書換えを効率よく行うことができます。

■ 256K ビットフラッシュメモリの特長

- 32K バイト × 8 ビットセクタ構成
- 自動プログラムアルゴリズム (Embedded Algorithm)
- データポーリング、トグルビットによる書込み / 消去完了検出
- CPU 割込みによる書込み / 消去の完了検出
- JEDEC 標準規格コマンドと互換
- 書込み / 消去回数 (最小) 10,000 回

■ フラッシュメモリ書込み / 消去

- フラッシュメモリは、書込みと読出しを同時に行うことはできません。
- フラッシュメモリにデータ書込み / 消去動作を行う際には、フラッシュメモリ上にあるプログラムをいったん RAM にコピーし、RAM にコピーしたプログラムを実行することにより、フラッシュメモリへの書込みを行うことができます。

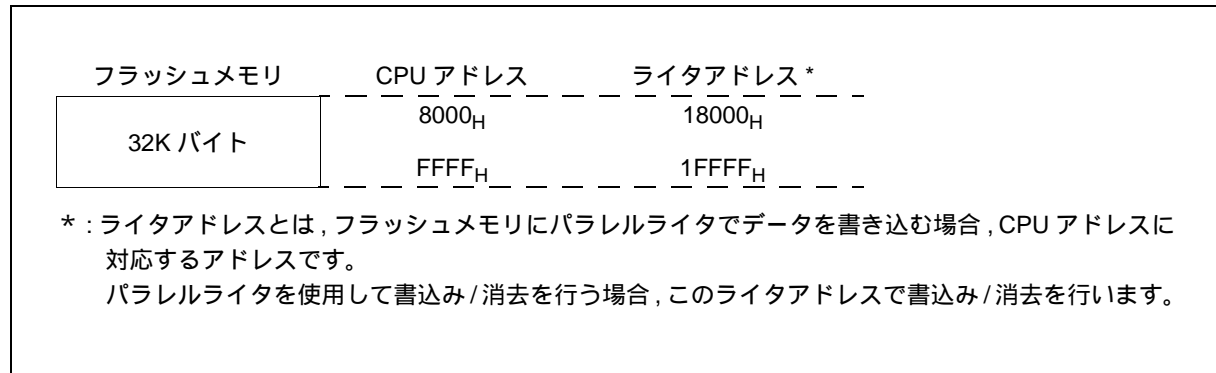
28.2 フラッシュメモリのセクタ構成

フラッシュメモリのセクタ構成を示します。

■ 256K ビットフラッシュメモリのセクタ構成

図 28.2-1 に 256K ビットフラッシュメモリのセクタ構成を示します。図中アドレスは、各セクタの上位アドレスと下位アドレスを示します。

図 28.2-1 256K ビットフラッシュメモリのセクタ構成



28.3 フラッシュメモリのレジスタ

フラッシュメモリのレジスタを示します。

■ フラッシュメモリのレジスタ

図 28.3-1 フラッシュメモリのレジスタ

フラッシュメモリステータスレジスタ (FSR)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0072 _H	-	-	RDYIRQ	RDY	予約	IRQEN	WRE	予約	000X0000 _B
	R0/WX	R0/WX	R(RM1),W	R/WX	R/W0	R/W	R/W	R/W0	
R/W : リード / ライト可能 (読出し値は書込み値)									
R(RM1),W : リード / ライト可能 (読出し値と書込み値が異なる , リードモディファイライト (RMW) 系命令時は "1" 読出し)									
R/WX : リードオンリ (読出しは可能 , 書込みは動作に影響なし)									
R/W0 : 予約ビット (書込み値は "0", 読出し値は書込み値)									
R0/WX : 未定義ビット (読出し値は "0", 書込みは動作に影響なし)									
X : 不定									

28.3.1 フラッシュメモリステータスレジスタ (FSR)

フラッシュメモリステータスレジスタ (FSR) の機能を図 28.3-2 に示します。

■ フラッシュメモリステータスレジスタ (FSR)

図 28.3-2 フラッシュメモリステータスレジスタ (FSR)

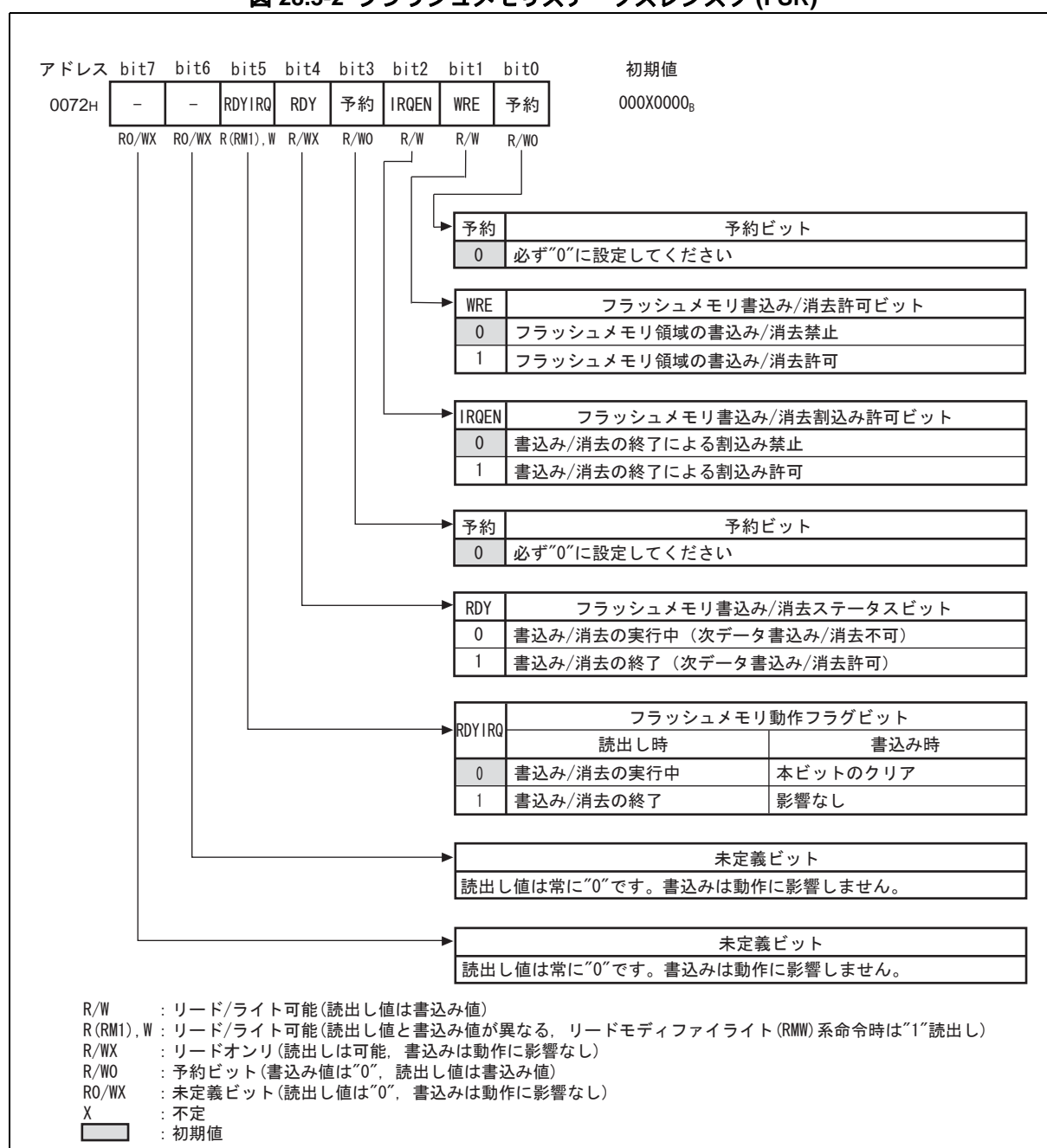


表 28.3-1 フラッシュメモリステータスレジスタ (FSR) の機能

ビット名		機能
bit7, bit6	未定義ビット	読出し値は常に "0" です。書込みは動作に影響を与えません。
bit5	RDYIRQ: フラッシュメモリ 動作フラグビット	<p>フラッシュメモリの動作状態を示します。 フラッシュメモリの書込み / 消去が終了した場合に、フラッシュメモリ自動アルゴリズム終了のタイミングで、RDYIRQ ビットが "1" に設定されます。</p> <ul style="list-style-type: none"> フラッシュメモリ書込み / 消去の終了による割込みを許可している場合は (FSR: IRQEN=1), RDYIRQ ビットが "1" に設定されると割込み要求が発生します。 フラッシュメモリ書込み / 消去の終了後に RDYIRQ ビットが "0" の場合は、フラッシュメモリへの書込み / 消去はできません。 <p>"0" に設定した場合: クリアされます。 "1" に設定した場合: 影響しません。 リードモディファイライト (RMW) 系命令を使用した場合は、必ず "1" が読み出されます。</p>
bit4	RDY: フラッシュメモリ 書込み / 消去 ステータスビット	<p>フラッシュメモリの書込み / 消去の状態を示します。</p> <ul style="list-style-type: none"> RDY ビットが "0" の場合は、フラッシュメモリへの書込み / 消去はできません。 RDY ビットが "0" の場合でも、読出し / リセットコマンドは受け付けることができます。書込み / 消去動作を終了すると、RDY ビットは "1" に設定されます。 書込み / 消去コマンド発行終了後、RDY ビットが "0" になるまで 2 マシンクロック (MCLK) の遅延があります。書込み / 消去コマンド発行終了後に、NOP を 2 回入れるなどをしてから本ビットを読み出すようにしてください。
bit3	予約: 予約ビット	必ず "0" を設定してください。
bit2	IRQEN: フラッシュメモリ 書込み / 消去 割込み許可ビット	<p>フラッシュメモリの書込み / 消去の終了による割込み要求発生を許可または禁止します。</p> <p>"0" に設定した場合: フラッシュメモリ動作フラグビットが "1" に設定された場合でも (FSR: RDYIRQ=1), 割込み要求は発生しません。</p> <p>"1" に設定した場合: フラッシュメモリ動作フラグビットが "1" に設定された場合に (FSR: RDYIRQ=1), 割込み要求が発生します。</p>
bit1	WRE: フラッシュメモリ 書込み / 消去 許可ビット	<p>フラッシュメモリ領域への書込み / 消去を許可または禁止します。 WRE ビットはフラッシュメモリの書込み / 消去のコマンドを起動する前に設定してください。</p> <p>"0" に設定した場合: 書込み / 消去コマンドを入力しても、書込み / 消去の信号は発生しません。</p> <p>"1" に設定した場合: 書込み / 消去コマンド入力後、フラッシュメモリへの書込み / 消去ができます。</p> <p>書込み / 消去を行わない場合は、誤ってフラッシュメモリに書き込んだり、消去を行ったりしないように、WRE ビットを "0" に設定してください。</p>
bit0	予約: 予約ビット	必ず "0" を設定してください。

28.4 フラッシュメモリ自動アルゴリズム起動方法

フラッシュメモリの自動アルゴリズムを起動するコマンドには、読出し / リセット、書込み、チップ消去の 3 種類があります。

■ コマンドシーケンス表

表 28.4-1 に、フラッシュメモリの書込み/消去時に使用するコマンドの一覧を示します。

表 28.4-1 コマンドシーケンス表

コマンド シーケンス	バス ライト サイク ル	1st バス ライトサイクル		2nd バス ライトサイクル		3rd バス ライトサイクル		4th バス ライトサイクル		5th バス ライトサイクル		6th バス ライトサイクル	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読出し / リセット*	1	F _X XX _H	F0 _H	-	-	-	-	-	-	-	-	-	-
	4	UAAA _H	AA _H	U554 _H	55 _H	UAAA _H	F0 _H	RA	RD	-	-	-	-
書込み	4	UAAA _H	AA _H	U554 _H	55 _H	UAAA _H	A0 _H	PA	PD	-	-	-	-
チップ 消去	6	XAAA _H	AA _H	X554 _H	55 _H	XAAA _H	80 _H	XAAA _H	AA _H	X554 _H	55 _H	XAAA _H	10 _H

- ・ RA : 読出しアドレス
- ・ PA : 書込みアドレス
- ・ RD : 読出しデータ
- ・ PD : 書込みデータ
- ・ U : RA, PA と同じ上位 4 ビット
- ・ F_X : FF/FE
- ・ X : 任意のアドレス

*: 2 種類の読出し / リセットコマンドは、どちらもフラッシュメモリを読出しモードにリセットできます。

< 注意事項 >

- ・ 表中のアドレスは、CPU メモリマップ上の値です。アドレスおよびデータはすべて 16 進数で表記しています。ただし、"X" は任意の値です。
- ・ 表中のアドレス "U" は任意ではなくアドレス (bit15 ~ bit12) の 4 ビットは RA, PA と同じ値にしてください。

例 : RA=C48E_H の場合 U=C, PA=1024_H の場合 U=1

■ コマンド発行時の注意点

コマンドシーケンス表のコマンドを発行する際には下記の点に注意してください。

コマンドを発行する際のアドレス上位 U (bit15 ~ bit12) は、1 回目のコマンド発行時から RA, PA と同じにしてください。

上記の対策を行わなかった場合は、正常にコマンドが認識されませんので、リセットにてフラッシュメモリ内のコマンドシーケンスを初期化する必要があります。

28.5 自動アルゴリズム実行状態の確認

フラッシュメモリでは、書込み / 消去のフローを自動アルゴリズムで行うため、フラッシュメモリ内部の動作状態をハードウェアシーケンスフラグによって確認できます。

■ ハードウェアシーケンスフラグ

● ハードウェアシーケンスフラグの概要

ハードウェアシーケンスフラグは、次の 3 ビットの出力で構成されます。

- データポーリングフラグ (DQ7)
- トグルビットフラグ (DQ6)
- タイミングリミット超過フラグ (DQ5)

ハードウェアシーケンスフラグにより、書込み / チップ消去の終了、消去コードライトを行えるかを確認できます。

ハードウェアシーケンスフラグの参照は、コマンドシーケンス設定後にフラッシュメモリ内部の対象セクタのアドレスにリードアクセスすることで行えます。

表 28.5-1 にハードウェアシーケンスフラグのビット割当てを示します。

表 28.5-1 ハードウェアシーケンスフラグのビット割当て

ビット No.	7	6	5	4	3	2	1	0
ハードウェアシーケンスフラグ	DQ7	DQ6	DQ5	-	-	-	-	-

- 自動書込み / チップ消去が実行中か、終了しているかを判断するには、ハードウェアシーケンスフラグを確認するかフラッシュメモリステータスレジスタのフラッシュメモリ書込み / 消去ステータスビット (FSR: RDY) を確認してください。書込み / 消去の終了後は、読出し / リセット状態に戻ります。
- 書込み / 消去プログラムを作成する場合には、DQ7, DQ6, DQ5 のフラグで自動書込み / 消去の終了を確認後、データの読出しの処理を行ってください。

● ハードウェアシーケンスフラグの説明

表 28.5-2 に、ハードウェアシーケンスフラグ機能の一覧を示します。

表 28.5-2 ハードウェアシーケンスフラグ機能の一覧

状態		DQ7	DQ6	DQ5
正常動作時の 状態変化	書込み 書込み完了 (書込みアドレッシング時)	$\overline{\text{DQ7}}$ DATA: 7	Toggle DATA: 6	0 DATA: 5
	チップ消去 消去完了	0 1	Toggle Stop	0 1
異常動作	書込み	$\overline{\text{DQ7}}$	Toggle	1
	チップ消去	0	Toggle	1

28.5.1 データポーリングフラグ (DQ7)

データポーリングフラグ (DQ7) は、自動アルゴリズム実行が進行中もしくは終了状態であることをデータポーリング機能によって知らせるハードウェアシーケンスフラグです。

■ データポーリングフラグ (DQ7)

表 28.5-3 と表 28.5-4 に、データポーリングフラグの状態遷移を示します。

表 28.5-3 データポーリングフラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み 書込み完了	チップ消去 消去完了
DQ7	$\overline{\text{DQ7}}$ DATA: 7	0 1

表 28.5-4 データポーリングフラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ消去
DQ7	$\overline{\text{DQ7}}$	0

● 書込みの場合

自動書込みアルゴリズム実行中にリードアクセスした場合、フラッシュメモリは最後に書き込まれたデータの bit7 を反転させた値を DQ7 に出力します。

自動書込みアルゴリズム終了時にリードアクセスを行った場合、フラッシュメモリはリードアクセスを行ったアドレスの読出し値の bit7 を DQ7 に出力します。

● チップ消去の場合

チップ消去の自動アルゴリズム実行中に現在消去しているセクタをリードアクセスすると、フラッシュメモリの bit7 は "0" を出力します。チップ消去が終了すると、フラッシュメモリの bit7 は "1" を出力します。

< 注意事項 >

自動アルゴリズムを起動した場合は、指定したアドレスへのリードアクセスは無視されません。データの読出しは、データポーリングフラグ (DQ7) が "1" に設定された後に、可能になります。自動アルゴリズム終了後のデータの読出しは、データポーリング終了を確認したリードアクセスの後に行ってください。

28.5.2 トグルビットフラグ (DQ6)

トグルビットフラグ (DQ6) は、自動アルゴリズム実行が進行中、もしくは終了状態であることをトグルビット機能によって知らせるハードウェアシーケンスフラグです。

■ トグルビットフラグ (DQ6)

表 28.5-5 と表 28.5-6 に、トグルビットフラグの状態遷移を示します。

表 28.5-5 トグルビットフラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み 書込み完了	チップ消去 消去完了
DQ6	Toggle DATA: 6	Toggle Stop

表 28.5-6 トグルビットフラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ消去
DQ6	Toggle	Toggle

● 書込みとチップ消去の場合

- ・自動書込みアルゴリズムまたはチップ消去の自動アルゴリズムを実行中にリードアクセスを連続して行った場合、フラッシュメモリは、読出しを行うごとに "1" と "0" を交互にトグル出力します。
- ・自動書込みアルゴリズムおよびチップ消去の自動アルゴリズムが終了した後にリードアクセスを連続して行った場合、フラッシュメモリは読出しを行うごとにリードアドレスの読出し値の bit6 (DATA: 6) を出力します。

28.5.3 タイミングリミット超過フラグ (DQ5)

タイミングリミット超過フラグ (DQ5) は、自動アルゴリズムの実行がフラッシュメモリ内部の規定時間 (書込み / 消去に要する時間) を超えてしまったことを知らせるハードウェアシーケンスフラグです。

■ タイミングリミット超過フラグ (DQ5)

表 28.5-7 と表 28.5-8 に、タイミングリミット超過フラグの状態遷移を示します。

表 28.5-7 タイミングリミット超過フラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み 書込み完了	チップ消去 消去完了
	DQ5 0 DATA: 5	0 1

表 28.5-8 タイミングリミット超過フラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ消去
DQ5	1	1

● 書込みとチップ消去の場合

書込みまたはチップ消去の自動アルゴリズム起動後にリードアクセスを行った場合、規定時間 (書込み / 消去に要する時間) 内であれば "0" を、規定時間を超えている場合は "1" を出力します。

タイミングリミット超過フラグ (DQ5) は、自動アルゴリズムが実行中か終了状態にかかわらず、書込み / 消去の成功または失敗の判定を行うことができます。タイミングリミット超過フラグ (DQ5) が "1" を出力した場合、データポーリング機能またはトグルビット機能により自動アルゴリズムが実行中であれば、書込みが失敗していると判断できます。

例えば、"0" が書き込まれているフラッシュメモリアドレスに "1" を書き込もうとした場合は、フラッシュメモリはロックされて自動アルゴリズムは終了せず、データポーリングフラグ (DQ7) から有効なデータが出力されません。また、トグルビットフラグ (DQ6) はトグル動作を終了せず、タイムリミットを超えてしまい、タイミングリミット超過フラグ (DQ5) は "1" を出力します。タイミングリミット超過フラグ (DQ5) が "1" を出力した場合は、フラッシュメモリが不良ではなく、正しく使用されなかったことを示していますので、リセットコマンドを実行してください。

28.6 フラッシュメモリ書込み / 消去

自動アルゴリズムを起動するコマンドを入力し、フラッシュメモリに読出し / リセット、書込み、チップ消去のそれぞれの動作を行う手順を説明します。

■ フラッシュメモリ書込み / 消去の詳細説明

自動アルゴリズムは、読出し / リセット、書込み、チップ消去のコマンドシーケンスを CPU からフラッシュメモリに書き込むことにより起動することができます。CPU からフラッシュメモリへのコマンドシーケンスの書込みは、必ず連続して行ってください。また、自動アルゴリズムはデータポーリング機能により終了状態を確認することができます。正常終了後は読出し / リセット状態に戻ります。

各動作について、下記の順に説明します。

- 読出し / リセット状態にする
- データを書き込む
- 全データを消去する（チップ全消去）

28.6.1 フラッシュメモリを讀出し/リセット状態にする

讀出し/リセットコマンドを入力し、フラッシュメモリを讀出し/リセット状態にする手順について説明します。

■ フラッシュメモリを讀出し/リセット状態にする

- フラッシュメモリを讀出し / リセット状態にするには、コマンドシーケンス表の讀出し/リセットコマンドを CPU からフラッシュメモリへ連続してコードを送ってください。
- 讀出し / リセットコマンドには 1 回と 4 回のバス動作を行う 2 通りのコマンドシーケンスがありますが、これらに違いはありません。
- 讀出し/リセット状態はフラッシュメモリの初期状態ですので、電源投入後、コマンドの正常終了後は常に讀出し / リセット状態になります。讀出し / リセット状態は、コマンドの入力待ち状態でもあります。
- 讀出し / リセット状態では、フラッシュメモリへリードアクセスを行うことによりデータを読み出すことができます。マスク ROM と同様に CPU からのプログラムアクセスができます。
- フラッシュメモリへリードアクセスを行う場合は、讀出し / リセットコマンドは必要ありません。コマンドが正常に終了しなかった場合は、自動アルゴリズムを初期化するために、讀出し / リセットコマンドを使用してください。

28.6.2 フラッシュメモリヘデータを書込む

書込みコマンドを入力し、フラッシュメモリヘデータを書き込む手順について説明します。

■ フラッシュメモリヘデータの書込み

- フラッシュメモリのデータ書込み自動アルゴリズムを起動するためには、コマンドシーケンス表の書込みコマンドをCPUからフラッシュメモリへ連続して送ってください。
- 4 サイクル目に目的のアドレスへのデータ書込みが終了した場合、自動アルゴリズムが起動されて自動書込みを開始します。

● アドレッシング方法

書込みはどのようなアドレスの順番でも、セクタの境界を超えても行えます。1 回の書込みコマンドによって書き込まれるデータは 1 バイトのみです。

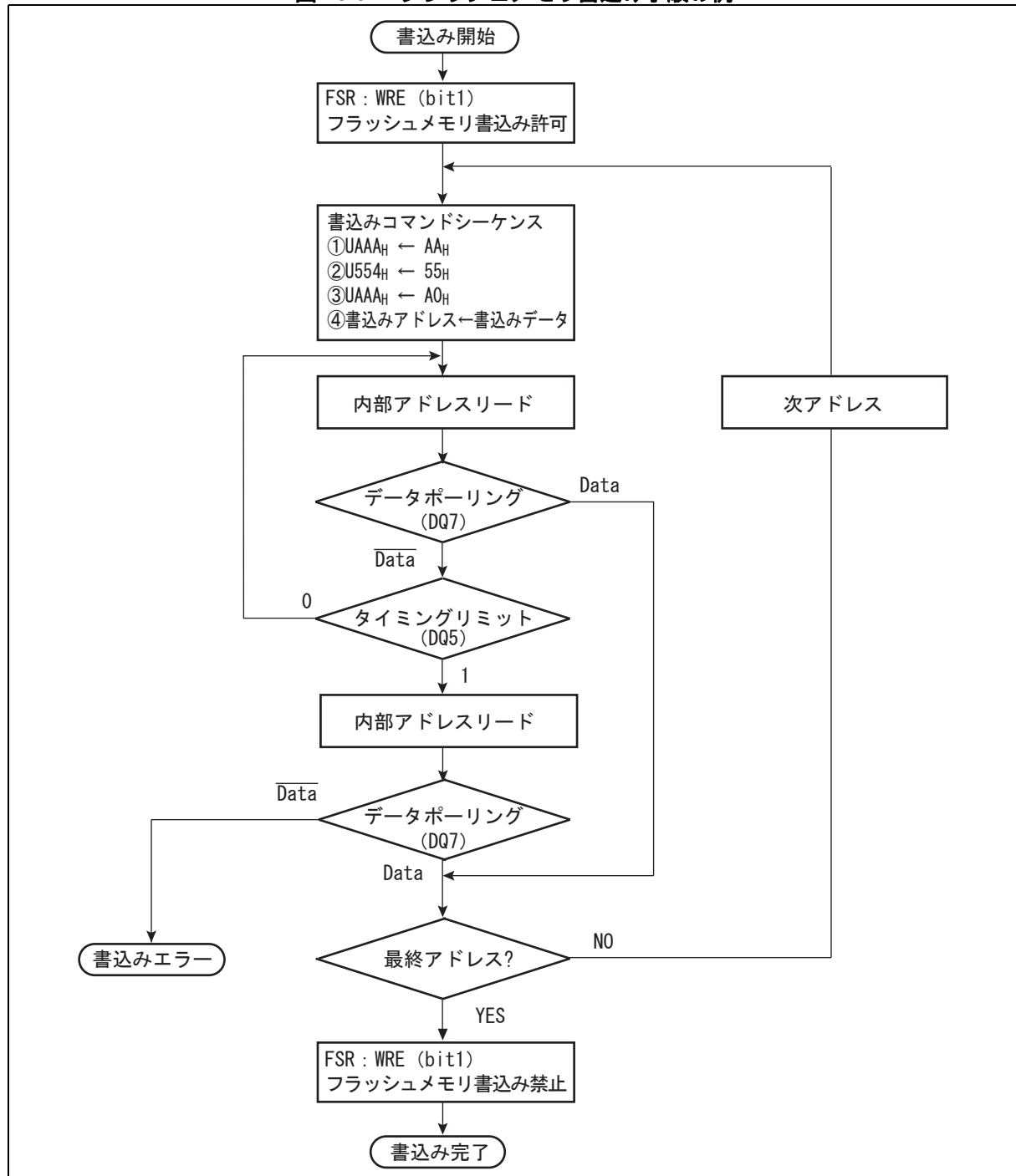
● データ書込み上の注意

- 書込みによって、ビットデータを "0" から "1" に戻すことはできません。ビットデータ "0" にビットデータ "1" を書き込むと、データポーリング機能 (DQ7)、またはトグル動作 (DQ6) が終了せず、フラッシュメモリ素子が不良と判定され、書込み規定時間を超えるため、タイミングリミット超過フラグ (DQ5) がエラーと判定します。読出し / リセット状態でデータを読み出した場合、ビットデータは "0" のままです。ビットデータを "0" から "1" に戻すには、フラッシュメモリの消去を行ってください。
- 自動書込み実行中は、すべてのコマンドが無視されます。
- 書込み中にハードウェアリセットが起動された場合は、書込みアドレスのデータは保証されません。チップ消去からやり直してください。

■ フラッシュメモリ書込み手順

- 図 28.6-1 にフラッシュメモリ書込み手順の例を示します。ハードウェアシーケンスフラグを用いることでフラッシュメモリ内部の自動アルゴリズムの状態を判定することができます。ここでは、フラッシュメモリへの書込み終了の確認にデータポーリングフラグ (DQ7) を用いています。
- フラグチェックのために読み出すデータは、最後に書込みを行ったアドレスからの読出しとなります。
- データポーリングフラグ (DQ7) は、タイミングリミット超過フラグ (DQ5) と同時に変化するので、タイミングリミット超過フラグ (DQ5) が "1" であった場合でもデータポーリングフラグ (DQ7) を確認してください。
- トグルビットフラグ (DQ6) も、タイミングリミット超過フラグビット (DQ5) が "1" に変化すると同時にトグル動作を止めますので、トグルビットフラグ (DQ6) を確認してください。

図 28.6-1 フラッシュメモリ書込み手順の例



28.6.3 フラッシュメモリの全データを消去する (チップ消去)

チップ消去コマンドを発行し、フラッシュメモリの全データを消去する手順について説明します。

■ フラッシュメモリのデータを消去する (チップ消去)

- フラッシュメモリからすべてのデータを消去するためには、コマンドシーケンス表のチップ消去コマンドを CPU からフラッシュメモリへ連続して送ってください。
- チップ消去コマンドは 6 回のバス動作で行われ、6 サイクル目の書込みが完了した時点でチップ消去動作を開始します。
- チップ消去では、消去前にユーザがフラッシュメモリに書込みを行う必要はありません。自動消去アルゴリズム実行中には、フラッシュメモリは自動的にすべてのセルを消去する前に "0" を自動的に書き込んでから消去します。

■ チップ消去の際の注意点

消去中にハードウェアリセットが発生したフラッシュメモリのデータは保証されません。

28.7 フラッシュセキュリティ

フラッシュセキュリティコントローラ機能により、フラッシュメモリの内容を外部端子から読み出されることを防止できます。

■ フラッシュセキュリティ

フラッシュメモリのアドレス (8000_H) に保護コード 01_H が書き込まれると、フラッシュメモリへのアクセスが制限され、いずれの外部端子からもフラッシュメモリへの読出し / 書込みはできなくなります。フラッシュメモリが一度保護されると、チップ消去を行うまで、機能のロックを解除することはできません。

なお、例外として、アドレス 5554_H, 2AAA_H のみ読出しが可能となります。

保護コードは、フラッシュプログラミングの終わりにコーディングしてください。これは、プログラミング中の不要な保護を回避するためです。

一度保護されたフラッシュメモリを再度プログラムするには、チップ消去操作を行う必要があります。

第29章

シリアル書込み接続例

シリアル書込み接続例について説明します。

29.1 フラッシュメモリ品シリアル書込み接続の基本構成

29.2 シリアル書込み時の接続例

29.3 フラッシュマイコンプログラマとの最小限の接続例

管理番号 : CM26-00124-1

固有箇所 : 584, 585

29.1 フラッシュメモリ品シリアル書込み接続の基本構成

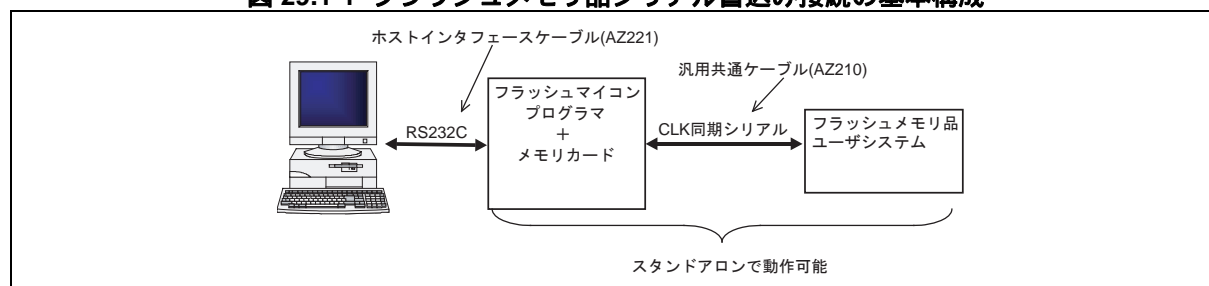
MB95F116MA(S, W)/MB95F116NA(S, W)/MB95F118B(S, W)/M(S, W)/N(S, W)/J(S, W)では、フラッシュ ROM のシリアルオンボード書込み (富士通標準) をサポートしています。その仕様について以下に説明します。

■ フラッシュメモリ品シリアル書込み接続の基本構成

富士通標準シリアルオンボード書込みには、横河デジタルコンピュータ株式会社製フラッシュマイコンプログラマを使用します。

図 29.1-1 に、フラッシュメモリ品シリアル書込み接続の基本構成を示します。

図 29.1-1 フラッシュメモリ品シリアル書込み接続の基本構成



< 注意事項 >

フラッシュマイコンプログラマ (AF220/AF210/AF120/AF110) の機能・操作方法および接続用汎用共通ケーブル (AZ210)、コネクタについては、横河デジタルコンピュータ株式会社にお問い合わせください。

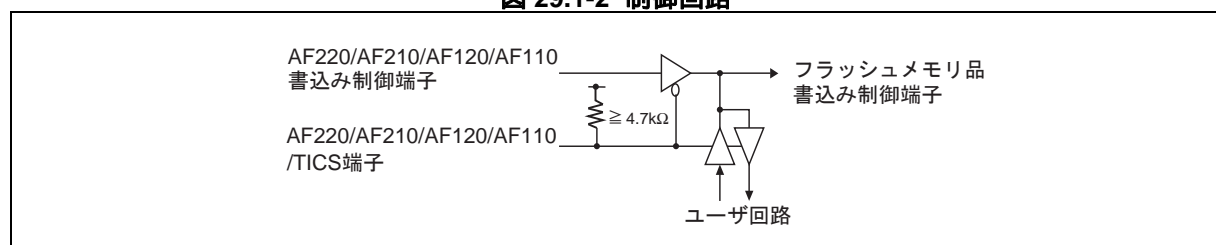
表 29.1-1 富士通標準シリアルオンボード書込みに使用する端子

端子	機能	補足説明
MOD, P13	モード端子	MOD="H", P13="L" に設定することで、シリアル書込みモードになります。
X0, X1	発振用端子	シリアル書込みモード時の CPU 内部動作クロックは、発振周波数の 2 分周になります。 なお、シリアル書込みを行う場合には、1MHz 以上の発振周波数を入力する必要がありますので注意してください。
$\overline{\text{RST}}$	リセット端子	-
P10/UI0	シリアルデータ入力端子	P10/UI0="L" 設定によってクロック同期通信を用いたシリアル書込みモードになります。この "L" 入力は、フラッシュマイコンプログラムの TTXD 端子にて制御されますので、P10/UI0 端子のプルダウン処理は必要ありません。
P11/UO0	シリアルデータ出力端子	-
P12/UCK0	シリアルクロック入力端子	P12/UCK0="H" 設定によってシリアル書込みモードになります。この "H" 入力は、フラッシュマイコンプログラムの TCK 端子にて制御されますので、P12/UCK0 端子のプルアップ処理は必要ありません。
V _{CC}	電源電圧供給端子	MB95F118BS, BW の場合、書込み電圧 V _{CC} =2.7V ~ 3.6V はユーザシステムから供給します。 MB95F118M(S,W)/N(S,W)/J(S,W) の場合、書込み電圧 V _{CC} =4.5V ~ 5.5V はユーザシステムから供給します。
V _{SS}	GND 端子	フラッシュマイコンプログラムの GND と共通にします。

なお、UI0, UO0, UCK0 端子をユーザシステムでも使用してシリアル書込み時にユーザ回路と切り離したい場合には、図 29.1-2 の制御回路が必要となります。

(フラッシュマイコンプログラムの /TICS 信号により、シリアル書込み中はユーザ回路を切り離すことができます。詳細は、図 29.1-2 の接続例を参照してください。)

図 29.1-2 制御回路



● 発振クロック周波数とシリアルクロック入力周波数について

フラッシュメモリ品の入力可能なシリアルクロック周波数は以下の計算式により求めます。したがって、使用の発振クロック周波数によって、シリアルクロック入力周波数をフラッシュマイコンプログラマの設定にて変更してください。

$$\text{入力可能なシリアルクロック周波数} = 0.125 \times \text{発振クロック周波数}$$

例：

発振クロック周波数	マイコンの入力可能な最大シリアルクロック周波数	AF220/AF210/AF120/AF110 の設定可能な最大シリアルクロック周波数	AF200 の設定可能な最大シリアルクロック周波数
4MHz 時	500kHz	500kHz	500kHz
8MHz 時	1MHz	850kHz	500kHz
10MHz 時	1.25MHz	1.25MHz	500kHz

表 29.1-2 フラッシュマイコンプログラマ システム構成 (横河ディジタルコンピュータ株式会社製)

型 格		機 能	
本 体	AF220/AC4P	イーサネットインタフェース内蔵モデル	/100V ~ 220V 電源アダプタ
	AF210/AC4P	スタンダードモデル	/100V ~ 220V 電源アダプタ
	AF120/AC4P	単キー イーサネットインタフェース内蔵モデル	/100V ~ 220V 電源アダプタ
	AF110/AC4P	単キーモデル	/100V ~ 220V 電源アダプタ
AZ221		ライタ専用 PC/AT 用 RS232C ケーブル	
AZ210		標準ターゲットプローブ (a) 長さ：1m	
FF201		富士通製フラッシュマイコン用コントロールモジュール	
AZ290		リモートコントローラ	
/P2		2M バイト PC Card (Option)	フラッシュメモリ容量 ~ 128K バイト対応
/P4		4M バイト PC Card (Option)	フラッシュメモリ容量 ~ 512K バイト対応

お問い合わせ先：横河ディジタルコンピュータ株式会社 電話：042-333-6224

< 注意事項 >

AF200 フラッシュマイコンプログラマにつきましては終息製品ですが、コントロールモジュール FF201 を用いることで対応可能です。シリアル書込み接続例に関しても、次項に示す接続例にて対応可能です。

29.2 シリアル書込み時の接続例

ユーザシステムにて、MOD="L" に設定されているモード端子には、AF220/AF210/AF120/AF110 の TAUX3 より MOD="H" が入力されてシリアル書込みモードになります (シリアル書込みモード：MOD="H", P12="H", P13="L")。

■ シリアル書込み時の接続例

図 29.2-1 に、フラッシュメモリ品シリアル書込み接続例を示します。

P10/UI0 と接続されているフラッシュマイコンプログラムの TTXD 端子は、データ転送を開始するまでの期間 "L" 出力されます。この P10/UI0="L" 設定によってクロック同期通信を用いたシリアル書込みモードになります。

なお、シリアル書込み時にはユーザ電源が必要になります。

図 29.2-1 フラッシュメモリ品シリアル書込み接続例

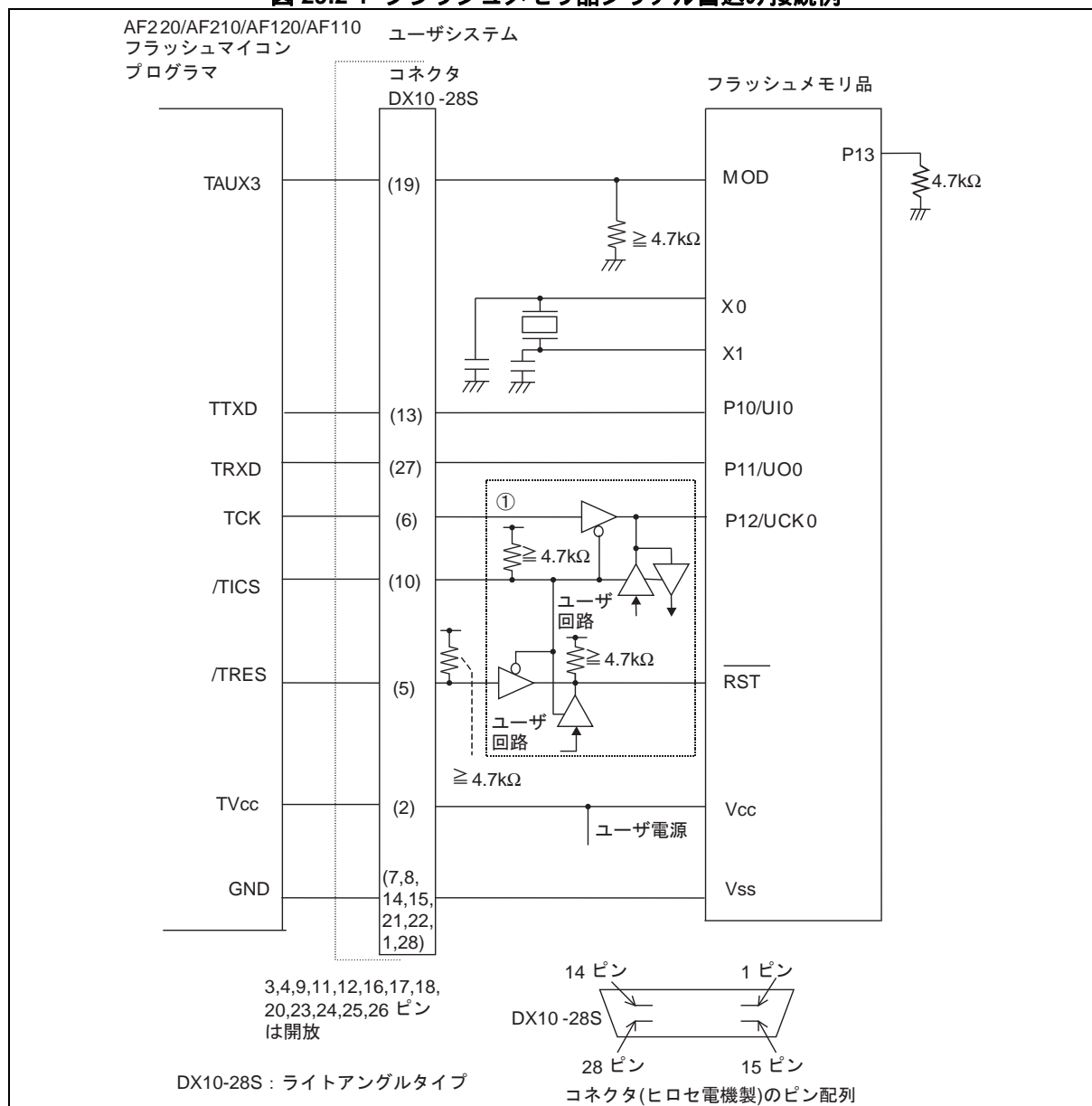
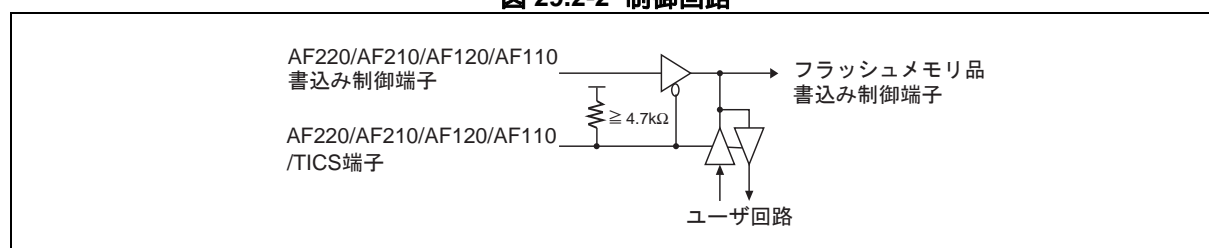


図 29.2-1 に示した の回路は、UCK0 端子と $\overline{\text{RST}}$ 端子をシリアル書き込み時にユーザ回路と切り離したい場合に必要です(シリアル書き込み時に、フラッシュマイコンプログラムの /TICS 信号は "L" 出力し、ユーザ回路と切り離すことができます)。

ユーザ回路と切り離す必要のない場合には、 の回路と /TICS の接続は必要ありません。図 29.3-1 の接続例を参照してください。

UI0, UO0 端子をユーザシステムでも使用し、シリアル書き込み時にユーザ回路と切り離したい場合には、UCK0 端子と同様に下図の制御回路が必要となります(フラッシュマイコンプログラムの /TICS 信号により、シリアル書き込み中はユーザ回路を切り離すことができます。詳細は、図 29.2-1 の接続例を参照)。

図 29.2-2 制御回路



AF220/AF210/AF120/AF110 との接続はユーザ電源が OFF の状態で行ってください。

< 注意事項 >

上記接続例のプルアップ抵抗、プルダウン抵抗の値は一例ですので、お客様のシステムに合わせて変更していただいて構いません。ノイズなどの影響により、MOD 端子などの入力レベル変動の可能性がある場合には、コンデンサなどのノイズ対策を行うことを推奨いたします。

29.3 フラッシュマイコンプログラマとの最小限の接続例

シリアル書き込み時に、各端子を図 29.3-1 のように設定することにより、MOD とフラッシュマイコンプログラマとの接続は必要ありません (シリアル書き込みモード: MOD="H", P12="H", P13="L")。

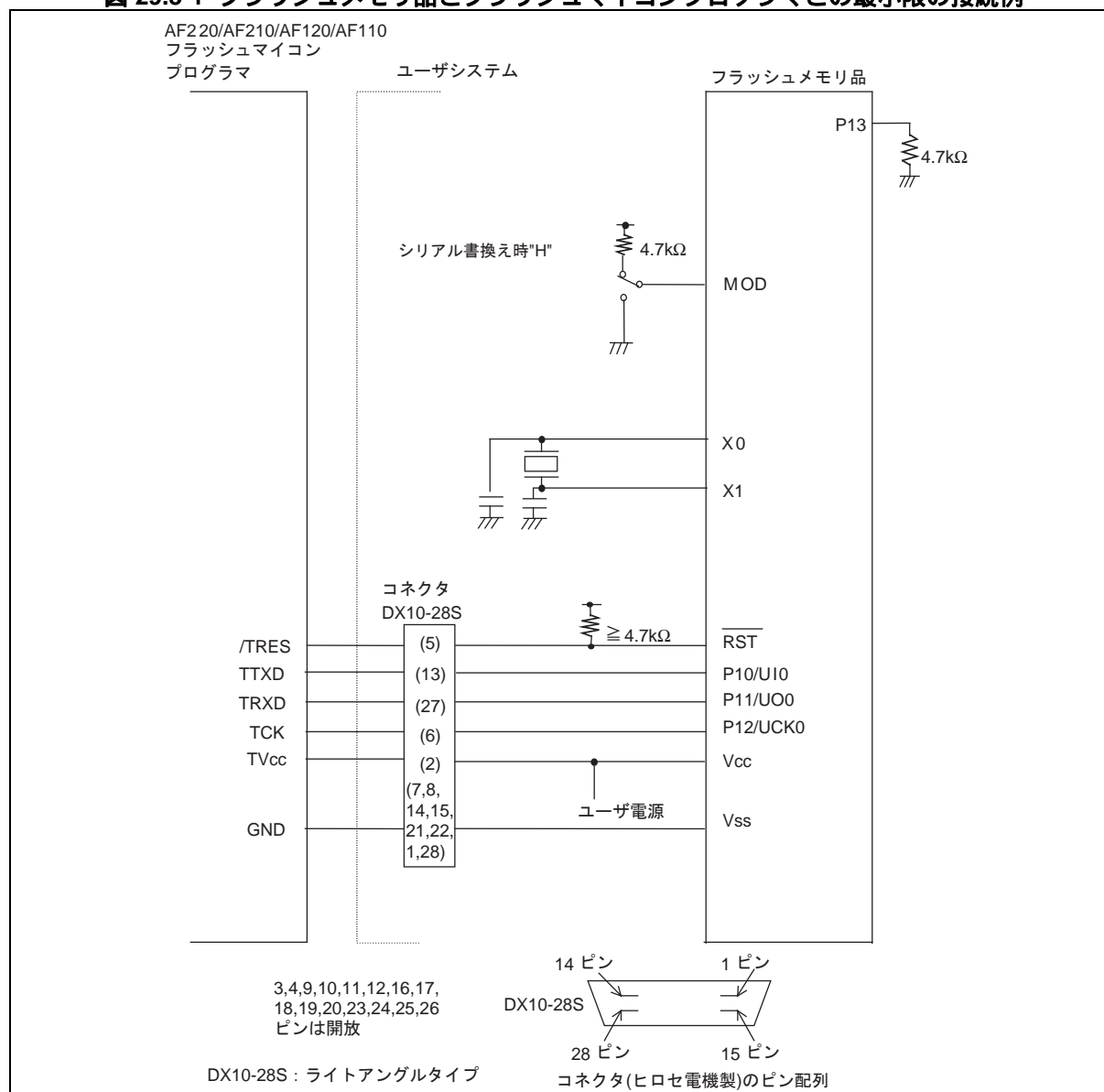
■ フラッシュマイコンプログラマとの最小限の接続例

図 29.3-1 に、フラッシュメモリ品とフラッシュマイコンプログラマとの最小限の接続例を示します。

P10/UI0 と接続されているフラッシュマイコンプログラマの TTXD 端子は、データ転送を開始するまでの期間 "L" 出力されます。この P10/UI0="L" 設定によってクロック同期通信を用いたシリアル書き込みモードになります。

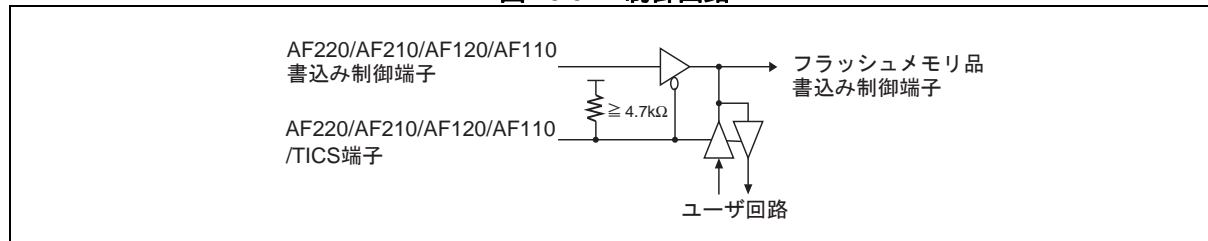
なお、シリアル書き込み時にはユーザ電源が必要になります。

図 29.3-1 フラッシュメモリ品とフラッシュマイコンプログラマとの最小限の接続例



UI0, UO0, UCK0 端子をユーザシステムでも使用し、シリアル書き込み時にユーザ回路と切り離したい場合には、下図の制御回路が必要となります(フラッシュマイコンプログラムの /TICS 信号により、シリアル書き込み中はユーザ回路を切り離すことができます。詳細は、図 29.2-1 の接続例を参照)。

図 29.3-2 制御回路



AF220/AF210/AF120/AF110 との接続はユーザ電源が OFF の状態で行ってください。

< 注意事項 >

上記接続例のプルアップ抵抗、プルダウン抵抗の値は一例ですので、お客様のシステムに合わせて変更していただいて構いません。ノイズなどの影響により、MOD 端子などの入力レベル変動の可能性がある場合には、コンデンサなどのノイズ対策を行うことを推奨いたします。

I/O マップ, 割込み一覧, メモリマップ, 端子状態, 命令概要, マスクオプション, パラレルライターによる Flash マイコンの書込みについて説明します。

付録 A I/O マップ

付録 B 割込み要因のテーブル

付録 C メモリマップ

付録 D MB95110B/M シリーズの端子状態

付録 E 命令概要

付録 F マスクオプション

付録 G パラレルライターによる Flash マイコンの書込み

付録 A I/O マップ

MB95110B/M シリーズで使用している I/O マップについて説明します。

■ I/O マップ

付表 A-1 MB95110B/M シリーズ (1 / 5)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0000 _H	PDR0	ポート 0 データレジスタ	R/W	00000000 _B
0001 _H	DDR0	ポート 0 方向レジスタ	R/W	00000000 _B
0002 _H	PDR1	ポート 1 データレジスタ	R/W	00000000 _B
0003 _H	DDR1	ポート 1 方向レジスタ	R/W	00000000 _B
0004 _H	(使用禁止)			
0005 _H	WATR	発振安定待ち時間設定レジスタ	R/W	11111111 _B
0006 _H	PLLC	PLL 制御レジスタ	R/W	00000000 _B
0007 _H	SYCC	システムクロック制御レジスタ	R/W	1010x011 _B
0008 _H	STBC	スタンバイ制御レジスタ	R/W	00000000 _B
0009 _H	RSRR	リセット要因レジスタ	R	xxxxxxxx _B
000A _H	TBTC	タイムベースタイマ制御レジスタ	R/W	00000000 _B
000B _H	WPCR	時計プリスケラ制御レジスタ	R/W	00000000 _B
000C _H	WDTC	ウォッチドッグタイマ制御レジスタ	R/W	00000000 _B
000D _H	(使用禁止)			
000E _H	PDR2	ポート 2 データレジスタ	R/W	00000000 _B
000F _H	DDR2	ポート 2 方向レジスタ	R/W	00000000 _B
0010 _H	PDR3	ポート 3 データレジスタ	R/W	00000000 _B
0011 _H	DDR3	ポート 3 方向レジスタ	R/W	00000000 _B
0012 _H , 0013 _H	(使用禁止)			
0014 _H	PDR5	ポート 5 データレジスタ	R/W	00000000 _B
0015 _H	DDR5	ポート 5 方向レジスタ	R/W	00000000 _B
0016 _H	PDR6	ポート 6 データレジスタ	R/W	00000000 _B
0017 _H	DDR6	ポート 6 方向レジスタ	R/W	00000000 _B
0018 _H ~ 0029 _H	(使用禁止)			
002A _H	PDRG	ポート G データレジスタ	R/W	00000000 _B
002B _H	DDRG	ポート G 方向レジスタ	R/W	00000000 _B
002C _H	(使用禁止)			
002D _H	PUL1	ポート 1 プルアップ制御レジスタ	R/W	00000000 _B
002E _H	PUL2	ポート 2 プルアップ制御レジスタ	R/W	00000000 _B
002F _H	PUL3	ポート 3 プルアップ制御レジスタ	R/W	00000000 _B

付表 A-1 MB95110B/M シリーズ (2 / 5)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0030 _H ~ 0034 _H		(使用禁止)		
0035 _H	PULG	ポート G プルアップ制御レジスタ	R/W	00000000 _B
0036 _H	T01CR1	8/16 ビット複合タイマ 01 制御ステータスレジスタ 1 ch.0	R/W	00000000 _B
0037 _H	T00CR1	8/16 ビット複合タイマ 00 制御ステータスレジスタ 1 ch.0	R/W	00000000 _B
0038 _H	T11CR1	8/16 ビット複合タイマ 11 制御ステータスレジスタ 1 ch.1	R/W	00000000 _B
0039 _H	T10CR1	8/16 ビット複合タイマ 10 制御ステータスレジスタ 1 ch.1	R/W	00000000 _B
003A _H	PC01	8/16 ビット PPG タイマ 01 制御レジスタ ch.0	R/W	00000000 _B
003B _H	PC00	8/16 ビット PPG タイマ 00 制御レジスタ ch.0	R/W	00000000 _B
003C _H	PC11	8/16 ビット PPG タイマ 01 制御レジスタ ch.1	R/W	00000000 _B
003D _H	PC10	8/16 ビット PPG タイマ 00 制御レジスタ ch.1	R/W	00000000 _B
003E _H ~ 0041 _H		(使用禁止)		
0042 _H	PCNTH0	16 ビット PPG 状態制御レジスタ上位 ch.0	R/W	00000000 _B
0043 _H	PCNTL0	16 ビット PPG 状態制御レジスタ下位 ch.0	R/W	00000000 _B
0044 _H ~ 0047 _H		(使用禁止)		
0048 _H	EIC00	外部割込み制御レジスタ ch.0, ch.1	R/W	00000000 _B
0049 _H	EIC10	外部割込み制御レジスタ ch.2, ch.3	R/W	00000000 _B
004A _H	EIC20	外部割込み制御レジスタ ch.4, ch.5	R/W	00000000 _B
004B _H	EIC30	外部割込み制御レジスタ ch.6, ch.7	R/W	00000000 _B
004C _H ~ 004F _H		(使用禁止)		
0050 _H	SCR	LIN-UART シリアル制御レジスタ	R/W	00000000 _B
0051 _H	SMR	LIN-UART シリアルモードレジスタ	R/W	00000000 _B
0052 _H	SSR	LIN-UART シリアルステータスレジスタ	R/W	00001000 _B
0053 _H	RDR/TDR	LIN-UART 受信 / 送信データレジスタ	R/W	00000000 _B
0054 _H	ESCR	LIN-UART 拡張ステータス制御レジスタ	R/W	00000100 _B
0055 _H	ECCR	LIN-UART 拡張通信制御レジスタ	R/W	000000XX _B
0056 _H	SMC10	UART/SIO シリアルモード制御レジスタ 1 ch.0	R/W	00000000 _B
0057 _H	SMC20	UART/SIO シリアルモード制御レジスタ 2 ch.0	R/W	00100000 _B
0058 _H	SSR0	UART/SIO シリアルステータスアンドデータレジスタ ch.0	R/W	00000001 _B
0059 _H	TDR0	UART/SIO シリアル出力データレジスタ ch.0	R/W	00000000 _B
005A _H	RDR0	UART/SIO シリアル入力データレジスタ ch.0	R	00000000 _B
005B _H ~ 005F _H		(使用禁止)		
0060 _H	IBCR00	I ² C バス制御レジスタ 0 ch.0	R/W	00000000 _B
0061 _H	IBCR10	I ² C バス制御レジスタ 1 ch.0	R/W	00000000 _B

付表 A-1 MB95110B/M シリーズ (3 / 5)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0062 _H	IBSR0	I ² C バスステータスレジスタ ch.0	R	00000000 _B
0063 _H	IDDR0	I ² C データレジスタ ch.0	R/W	00000000 _B
0064 _H	IAAR0	I ² C アドレスレジスタ ch.0	R/W	00000000 _B
0065 _H	ICCR0	I ² C クロック制御レジスタ ch.0	R/W	00000000 _B
0066 _H ~ 006B _H	(使用禁止)			
006C _H	ADC1	8/10 ビット A/D コンバータ制御レジスタ 1	R/W	00000000 _B
006D _H	ADC2	8/10 ビット A/D コンバータ制御レジスタ 2	R/W	00000000 _B
006E _H	ADDH	8/10 ビット A/D コンバータデータレジスタ上位	R/W	00000000 _B
006F _H	ADDL	8/10 ビット A/D コンバータデータレジスタ下位	R/W	00000000 _B
0070 _H	WCSR	時計カウンタ制御レジスタ	R/W	00000000 _B
0071 _H	(使用禁止)			
0072 _H	FSR	フラッシュメモリステータスレジスタ	R/W	000x0000 _B
0073 _H	SWRE0	フラッシュメモリセクタ書込み制御レジスタ 0	R/W	00000000 _B
0074 _H	SWRE1	フラッシュメモリセクタ書込み制御レジスタ 1	R/W	00000000 _B
0075 _H	(使用禁止)			
0076 _H	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	00000000 _B
0077 _H	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	00000000 _B
0078 _H	-	レジスタバンクポインタ (RP), ダイレクトバンクポインタ (DP) のミラー	-	-
0079 _H	ILR0	割込みレベル設定レジスタ 0	R/W	11111111 _B
007A _H	ILR1	割込みレベル設定レジスタ 1	R/W	11111111 _B
007B _H	ILR2	割込みレベル設定レジスタ 2	R/W	11111111 _B
007C _H	ILR3	割込みレベル設定レジスタ 3	R/W	11111111 _B
007D _H	ILR4	割込みレベル設定レジスタ 4	R/W	11111111 _B
007E _H	ILR5	割込みレベル設定レジスタ 5	R/W	11111111 _B
007F _H	(使用禁止)			
0F80 _H	WRARH0	ワイルドレジスタアドレス設定レジスタ上位 ch.0	R/W	00000000 _B
0F81 _H	WRARL0	ワイルドレジスタアドレス設定レジスタ下位 ch.0	R/W	00000000 _B
0F82 _H	WRDR0	ワイルドレジスタデータ設定レジスタ ch.0	R/W	00000000 _B
0F83 _H	WRARH1	ワイルドレジスタアドレス設定レジスタ上位 ch.1	R/W	00000000 _B
0F84 _H	WRARL1	ワイルドレジスタアドレス設定レジスタ下位 ch.1	R/W	00000000 _B
0F85 _H	WRDR1	ワイルドレジスタデータ設定レジスタ ch.1	R/W	00000000 _B
0F86 _H	WRARH2	ワイルドレジスタアドレス設定レジスタ上位 ch.2	R/W	00000000 _B
0F87 _H	WRARL2	ワイルドレジスタアドレス設定レジスタ下位 ch.2	R/W	00000000 _B
0F88 _H	WRDR2	ワイルドレジスタデータ設定レジスタ ch.2	R/W	00000000 _B
0F89 _H ~ 0F91 _H	(使用禁止)			
0F92 _H	T01CR0	8/16 ビット複合タイマ 01 制御ステータスレジスタ 0 ch.0	R/W	00000000 _B
0F93 _H	T00CR0	8/16 ビット複合タイマ 00 制御ステータスレジスタ 0 ch.0	R/W	00000000 _B

付表 A-1 MB95110B/M シリーズ (4 / 5)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0F94 _H	T01DR	8/16 ビット複合タイマ 01 データレジスタ ch.0	R/W	00000000 _B
0F95 _H	T00DR	8/16 ビット複合タイマ 00 データレジスタ ch.0	R/W	00000000 _B
0F96 _H	TMCR0	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0	R/W	00000000 _B
0F97 _H	T11CR0	8/16 ビット複合タイマ 11 制御ステータスレジスタ 0 ch.1	R/W	00000000 _B
0F98 _H	T10CR0	8/16 ビット複合タイマ 10 制御ステータスレジスタ 0 ch.1	R/W	00000000 _B
0F99 _H	T11DR	8/16 ビット複合タイマ 11 データレジスタ ch.1	R/W	00000000 _B
0F9A _H	T10DR	8/16 ビット複合タイマ 10 データレジスタ ch.1	R/W	00000000 _B
0F9B _H	TMCR1	8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1	R/W	00000000 _B
0F9C _H	PPS01	8/16 ビット PPG タイマ 01 周期設定バッファレジスタ ch.0	R/W	11111111 _B
0F9D _H	PPS00	8/16 ビット PPG タイマ 00 周期設定バッファレジスタ ch.0	R/W	11111111 _B
0F9E _H	PDS01	8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ ch.0	R/W	11111111 _B
0F9F _H	PDS00	8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ ch.0	R/W	11111111 _B
0FA0 _H	PPS11	8/16 ビット PPG タイマ 01 周期設定バッファレジスタ ch.1	R/W	11111111 _B
0FA1 _H	PPS10	8/16 ビット PPG タイマ 00 周期設定バッファレジスタ ch.1	R/W	11111111 _B
0FA2 _H	PDS11	8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ ch.1	R/W	11111111 _B
0FA3 _H	PDS10	8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ ch.1	R/W	11111111 _B
0FA4 _H	PPGS	8/16 ビット PPG 起動レジスタ	R/W	00000000 _B
0FA5 _H	REVC	8/16 ビット PPG 出力反転レジスタ	R/W	00000000 _B
0FA6 _H ~ 0FA9 _H	(使用禁止)			
0FAA _H	PDCRH0	16 ビット PPG ダウンカウンタレジスタ上位 ch.0	R	00000000 _B
0FAB _H	PDCRL0	16 ビット PPG ダウンカウンタレジスタ下位 ch.0	R	00000000 _B
0FAC _H	PCSRH0	16 ビット PPG 周期設定バッファレジスタ上位 ch.0	R/W	11111111 _B
0FAD _H	PCSRL0	16 ビット PPG 周期設定バッファレジスタ下位 ch.0	R/W	11111111 _B
0FAE _H	PDUTH0	16 ビット PPG デューティ設定バッファレジスタ上位 ch.0	R/W	11111111 _B
0FAF _H	PDUTL0	16 ビット PPG デューティ設定バッファレジスタ下位 ch.0	R/W	11111111 _B
0FB0 _H ~ 0FBB _H	(使用禁止)			
0FBC _H	BGR1	LIN-UART ボーレートジェネレータレジスタ 1	R/W	00000000 _B
0FBD _H	BGR0	LIN-UART ボーレートジェネレータレジスタ 0	R/W	00000000 _B
0FBE _H	PSSR0	UART/SIO 専用ボーレートジェネレータ プリスケラ選択レジスタ ch.0	R/W	00000000 _B
0FBF _H	BRSR0	UART/SIO 専用ボーレートジェネレータ ボーレート設定レジスタ ch.0	R/W	00000000 _B

付表 A-1 MB95110B/M シリーズ (5 / 5)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0FC0 _H ~ 0FC2 _H		(使用禁止)		
0FC3 _H	AIDRL	A/D 入力禁止レジスタ下位	R/W	00000000 _B
0FC4 _H ~ 0FE2 _H		(使用禁止)		
0FE3 _H	WCDR	時計カウンタデータレジスタ	R/W	00111111 _B
0FE4 _H ~ 0FE6 _H		(使用禁止)		
0FE7 _H	ILSR2	入力レベル選択レジスタ 2	R/W	00000000 _B
0FE8 _H , 0FE9 _H		(使用禁止)		
0FEA _H	CSVCR	クロックスーパーバイザ制御レジスタ	R/W	00011100 _B
0FEB _H ~ 0FED _H		(使用禁止)		
0FEE _H	ILSR	入力レベル選択レジスタ	R/W	00000000 _B
0FEF _H	WICR	割込み端子選択回路制御レジスタ	R/W	01000000 _B
0FF0 _H ~ 0FFF _H		(使用禁止)		

付録 B 割込み要因のテーブル

MB95110B/M シリーズで使用している割込み要因のテーブルについて説明します。

■ 割込み要因のテーブル

割込み動作につきましては「第 8 章 割込み」を参照してください。

付表 B-1 MB95110B/M シリーズ

割込み要因	割込み 要求番号	ベクタテーブルの アドレス		割込みレベル 設定レジスタ のビット名	同一レベル 優先順位 (同時発生時)
		上位	下位		
(リセットベクタ)		FFFE _H	FFFF _H	-	<div>高い</div> <div>↑</div> <div>↓</div> <div>低い</div>
(モードデータ)		-	FFFD _H	-	
外部割込み ch.0	IRQ0	FFFA _H	FFFB _H	L00 [1:0]	
外部割込み ch.4					
外部割込み ch.1	IRQ1	FFF8 _H	FFF9 _H	L01 [1:0]	
外部割込み ch.5					
外部割込み ch.2	IRQ2	FFF6 _H	FFF7 _H	L02 [1:0]	
外部割込み ch.6					
外部割込み ch.3	IRQ3	FFF4 _H	FFF5 _H	L03 [1:0]	
外部割込み ch.7					
UART/SIO ch.0	IRQ4	FFF2 _H	FFF3 _H	L04 [1:0]	
8/16 ビット複合タイマ ch.0 (下位)	IRQ5	FFF0 _H	FFF1 _H	L05 [1:0]	
8/16 ビット複合タイマ ch.0 (上位)	IRQ6	FFEE _H	FFEF _H	L06 [1:0]	
LIN-UART (受信)	IRQ7	FFEC _H	FFED _H	L07 [1:0]	
LIN-UART (送信)	IRQ8	FFEA _H	FFEB _H	L08 [1:0]	
8/16 ビット PPG ch.1 (下位)	IRQ9	FFE8 _H	FFE9 _H	L09 [1:0]	
8/16 ビット PPG ch.1 (上位)	IRQ10	FFE6 _H	FFE7 _H	L10 [1:0]	
(未使用)	IRQ11	FFE4 _H	FFE5 _H	L11 [1:0]	
8/16 ビット PPG ch.0 (下位)	IRQ12	FFE2 _H	FFE3 _H	L12 [1:0]	
8/16 ビット PPG ch.0 (上位)	IRQ13	FFE0 _H	FFE1 _H	L13 [1:0]	
8/16 ビット複合タイマ ch.1 (上位)	IRQ14	FFDE _H	FFDF _H	L14 [1:0]	
16 ビット PPG ch.0	IRQ15	FFDC _H	FFDD _H	L15 [1:0]	
I ² C ch.0	IRQ16	FFDA _H	FFDB _H	L16 [1:0]	
(未使用)	IRQ17	FFD8 _H	FFD9 _H	L17 [1:0]	
8/10 ビット A/D	IRQ18	FFD6 _H	FFD7 _H	L18 [1:0]	
タイムベースタイマ	IRQ19	FFD4 _H	FFD5 _H	L19 [1:0]	
時計プリスケラ / カウンタ	IRQ20	FFD2 _H	FFD3 _H	L20 [1:0]	
(未使用)	IRQ21	FFD0 _H	FFD1 _H	L21 [1:0]	
8/16 ビット複合タイマ ch.1 (下位)	IRQ22	FFCE _H	FFCF _H	L22 [1:0]	
フラッシュメモリ	IRQ23	FFCC _H	FFCD _H	L23 [1:0]	

付録 C メモリマップ

MB95110B/M シリーズのメモリマップを示します。

■ メモリマップ

付図 C-1 メモリマップ

MB95FV100D-101 MB95FV100D-103		MB95F118BS MB95F118BW		MB95F116MAS MB95F116NAS MB95F116MAW MB95F116NAW MB95F118MS MB95F118NS MB95F118JS MB95F118MW MB95F118NW MB95F118JW		MB95116B		MB95117M	
0000 _H	I/O	0000 _H	I/O	0000 _H	I/O	0000 _H	I/O	0000 _H	I/O
0080 _H	RAM 3.75K バイト	0080 _H	RAM 2K バイト	0080 _H	RAM	0080 _H	RAM 1K バイト	0080 _H	RAM 2K バイト
0100 _H	レジスタ	0100 _H	レジスタ	0100 _H	レジスタ	0100 _H	レジスタ	0100 _H	レジスタ
0200 _H		0200 _H		0200 _H		0200 _H		0200 _H	
		0880 _H	アクセス禁止	Address #1	アクセス禁止	0480 _H	アクセス禁止	0880 _H	アクセス禁止
0F80 _H	拡張 I/O	0F80 _H	拡張 I/O	0F80 _H	拡張 I/O	0F80 _H	拡張 I/O	0F80 _H	拡張 I/O
1000 _H		1000 _H		Address #2		1000 _H		1000 _H	アクセス禁止
							アクセス禁止	4000 _H	
	Flash 60K バイト		Flash 60K バイト		Flash 60K バイト	8000 _H			ROM 48K バイト
							ROM 32K バイト		
FFFF _H		FFFF _H		FFFF _H		FFFF _H		FFFF _H	

Flash : フラッシュメモリ
ROM : マスク ROM

MB95110B/M シリーズ

付録
付録 C メモリマップ

	フラッシュメモリ	RAM	アドレス #1	アドレス #2
MB95F118MS/F118NS	60K バイト	2K バイト	0880 _H	1000 _H
MB95F118MW/F118NW				
MB95F118JS/F118JW				
MB95F116MAS/F116NAS	32K バイト	1K バイト	0480 _H	8000 _H
MB95F116MAW/F116NAW				

付録 D MB95110B/M シリーズの端子状態

付表 D-1 に、各モードにおける端子状態を示します。

■ 各モードにおける端子状態

付表 D-1 各モードにおける端子状態 (1 / 2)

端子名	通常動作	スリープモード	ストップモード		時計モード		リセット中
			SPL=0	SPL=1	SPL=0	SPL=1	
X0	発振回路入力	発振回路入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	発振回路入力
X1	発振回路出力	発振回路入力	"H"	"H"	"H"	"H"	発振回路出力
MOD	モード入力	モード入力	モード入力	モード入力	モード入力	モード入力	モード入力
RST	リセット入力	リセット入力	リセット入力	リセット入力	リセット入力	リセット入力	リセット入力
P00/INT00	I/O ポート / 周辺機能入出力	I/O ポート / 周辺機能入出力	I/O ポート / 周辺機能入出力	Hi-Z 入力遮断 (ただし、外部割込み許可の場合、外部割込み入力可能)	I/O ポート / 周辺機能入出力	Hi-Z 入力遮断 (ただし、外部割込み許可の場合、外部割込み入力可能)	Hi-Z 入力可能 ^{*1} (ただし、機能しない)
P01/INT01							
P02/INT02							
P03/INT03							
P04/INT04							
P05/INT05							
P06/INT06							
P07/INT07							
P10/UI0	I/O ポート / 周辺機能入出力	I/O ポート / 周辺機能入出力	I/O ポート / 周辺機能入出力	Hi-Z (ただし、プルアップの設定は有効) 入力遮断	I/O ポート / 周辺機能入出力	Hi-Z (ただし、プルアップの設定は有効) 入力遮断	Hi-Z 入力可能 ^{*1} (ただし、機能しない)
P11/U00							
P12/UCK0							
P13/TRG0/ADTG							
P14/PPG0							
P15							
P20/PPG00	I/O ポート / 周辺機能入出力	I/O ポート / 周辺機能入出力	I/O ポート / 周辺機能入出力	Hi-Z (ただし、プルアップの設定は有効) 入力遮断	I/O ポート / 周辺機能入出力	Hi-Z (ただし、プルアップの設定は有効) 入力遮断	Hi-Z 入力可能 ^{*1} (ただし、機能しない)
P21/PPG01							
P22/TO00							
P23/TO01							
P24/EC0							

付表 D-1 各モードにおける端子状態 (2 / 2)

端子名	通常動作	スリープ モード	ストップモード		時計モード		リセット中
			SPL=0	SPL=1	SPL=0	SPL=1	
P30/AN00	I/O ポート / アナログ 入力	I/O ポート / アナログ 入力	I/O ポート / アナログ 入力	Hi-Z (ただし、 プルアップ の設定は 有効) 入力遮断	I/O ポート / アナログ 入力	Hi-Z (ただし、 プルアップ の設定は 有効) 入力遮断	Hi-Z 入力不可 ^{*2}
P31/AN01							
P32/AN02							
P33/AN03							
P34/AN04							
P35/AN05							
P36/AN06							
P37/AN07							
P50/SCL0	I/O ポート / 周辺機能 入出力	I/O ポート / 周辺機能 入出力	I/O ポート / 周辺機能 入出力	Hi-Z (ただし、 プルアップ の設定は 有効) 入力遮断	I/O ポート / 周辺機能 入出力	Hi-Z (ただし、 プルアップ の設定は 有効) 入力遮断	Hi-Z 入力可能 (ただし、機 能しない)
P51/SDA0							
P60/PPG10	I/O ポート / 周辺機能 入出力	I/O ポート / 周辺機能 入出力	I/O ポート / 周辺機能 入出力	Hi-Z 入力遮断	I/O ポート / 周辺機能 入出力	Hi-Z 入力遮断	Hi-Z 入力可能 ^{*1} (ただし、機 能しない)
P61/PPG11							
P62/TO10							
P63/TO11							
P64/EC1							
P65/SCK							
P66/SOT							
P67/SIN							
PG0/C ^{*4}	I/O 入出力 ポート	I/O 入出力 ポート	I/O 入出力 ポート	Hi-Z 入力遮断	I/O 入出力 ポート	Hi-Z 入力遮断	Hi-Z 入力可能 ^{*1} (ただし、機 能しない)
PG1/X0A ^{*3}							
PG2/X1A ^{*3}							

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC: SPL)

Hi-Z : ハイインピーダンス

*1 : " 入力可能 " とは、入力機能が可能な状態であることを意味するので、プルアップ、プルダウン処理をするか、外部からの入力によりリークの発生を防ぐ必要があります。出力ポートとして使用している場合にはほかのポートと同じです。

*2 : " 入力不可 " とは、端子からのすぐの入力ゲート動作が禁止状態にあることを意味します。

*3 : 2 系統クロック品はサブクロック入力およびサブクロック出力となります。

*4 : 5V 品は C 端子となります。

付録 E 命令概要

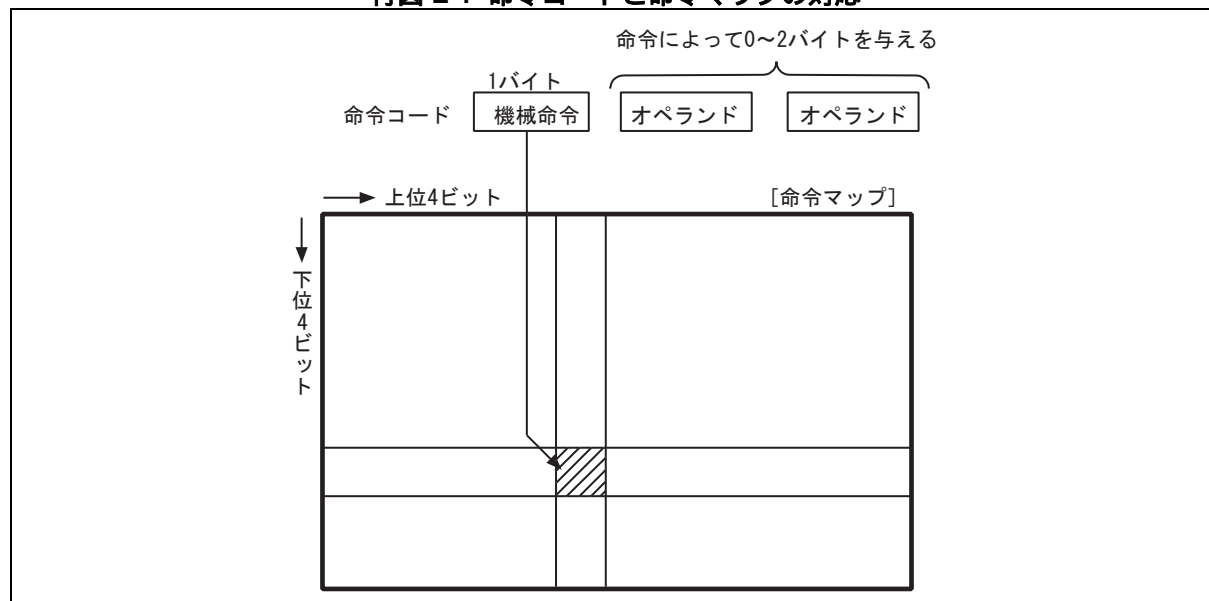
F²MC-8FX に使用している命令について説明します。

■ F²MC-8FX の命令の概要

F²MC-8FX には、140 種類の 1 バイト機械命令 (マップとしては 256 バイト) があり、命令とそれに続くオペランドによって命令コードを構成します。

付図 E-1 に命令コードと命令マップの対応について示します。

付図 E-1 命令コードと命令マップの対応



- 命令は転送系、演算系、分岐系、その他の 4 つに分類されます。
- アドレッシングには各種の方法があり、命令の選択とオペランド指定により 10 種類のアドレッシングを選択できます。
- ビット操作命令を備えており、リードモディファイライト動作が可能です。
- 特殊な動作を指示する命令があります。

■ 命令の表示記号の説明

付表 E-1 に、この付録 E の命令コードの説明で使用している記号の説明を示します。

付表 E-1 命令一覧表の記号の説明

表 記	意 味
dir	ダイレクトアドレス (8 ビット長)
off	オフセット (8 ビット長)
ext	エクステンドアドレス (16 ビット長)
#vct	ベクタテーブル番号 (3 ビット長)
#d8	イミディエートデータ (8 ビット長)
#d16	イミディエートデータ (16 ビット長)
dir:b	ビットダイレクトアドレス (8 ビット長 :3 ビット長)
rel	分岐相対アドレス (8 ビット長)
@	レジスタ間接 (例 :@A,@IX,@EP)
A	アキュムレータ (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
AH	アキュムレータの上位 8 ビット (8 ビット長)
AL	アキュムレータの下位 8 ビット (8 ビット長)
T	テンポリアキュムレータ (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
TH	テンポリアキュムレータの上位 8 ビット (8 ビット長)
TL	テンポリアキュムレータの下位 8 ビット (8 ビット長)
IX	インデックスレジスタ (16 ビット長)
EP	エクストラポインタ (16 ビット長)
PC	プログラムカウンタ (16 ビット長)
SP	スタックポインタ (16 ビット長)
PS	プログラムステータス (16 ビット長)
dr	アキュムレータまたはインデックスレジスタのいずれか (16 ビット長)
CCR	コンディションコードレジスタ (8 ビット長)
RP	レジスタバンクポインタ (5 ビット長)
DP	ダイレクトバンクポインタ (3 ビット長)
Ri	汎用レジスタ (8 ビット長, i=0 ~ 7)
×	× が即値データそのものであることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
(×)	× の中身がアクセスの対象であることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
((×))	× の中身が示すアドレスがアクセスの対象であることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)

■ 命令一覧表の項目の説明

付表 E-2 命令一覧表の項目の説明

項 目	説 明
MNEMONIC	命令のアセンブル記述を表します。
~	命令のサイクル数を示します。1 命令サイクルは 1 マシンサイクルです。 (注意事項) 命令のサイクル数は、直前の命令によって 1 サイクル延期される場合があります。また、I/O 領域へのアクセスでは、命令のサイクル数が延長される場合があります。
#	命令のバイト数を示します。
動作	命令の動作を示します。
TL, TH, AH	TL, TH, AH の各命令実行時の内容の変化 (A から T への自動転送) を示します。欄内の記号は以下のものを、それぞれ示します。 ・ - は変化なし ・ dH は動作に記述したデータの上位 8 ビット ・ AL と AH はその命令実行直前の AL と AH の内容になること ・ 00 は 00 になること
N, Z, V, C	それぞれに対応するフラグが変化する命令を示します。欄内の記号は以下のものを、それぞれ表します。 ・ - : 変化しないこと ・ + : 変化すること ・ R : "0" になること ・ S : "1" になること
OP CODE	命令のコードを示します。該当命令が複数のコードを占める場合は、次のような記載規約に則っています。 【例】48 ~ 4F これは 48, 49, 4F を示します。

E.1 アドレッシング

F²MC-8FX には、次の 10 種類のアドレッシングがあります。

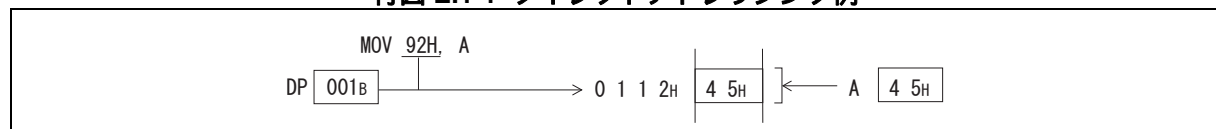
- ダイレクトアドレッシング
- エクステンドアドレッシング
- ビットダイレクトアドレッシング
- インデックスアドレッシング
- ポインタアドレッシング
- 汎用レジスタアドレッシング
- イミディエートアドレッシング
- ベクタアドレッシング
- 相対アドレッシング
- インヘレントアドレッシング

■ アドレッシングの説明

● ダイレクトアドレッシング

命令表中で "dir" と示したアドレッシングで、ダイレクト領域 "0000_H" ~ "047F_H" をアクセスする際に使用します。このアドレッシングでは、オペランドアドレスが "00_H" ~ "7F_H" の場合、"0000_H" ~ "007F_H" にアクセスします。また、オペランドアドレスが "80_H" ~ "FF_H" の場合、ダイレクトバンクポインタ DP の設定により "0080_H" ~ "047F_H" にアクセスがマッピングできます。付図 E.1-1 に例を示します。

付図 E.1-1 ダイレクトアドレッシング例

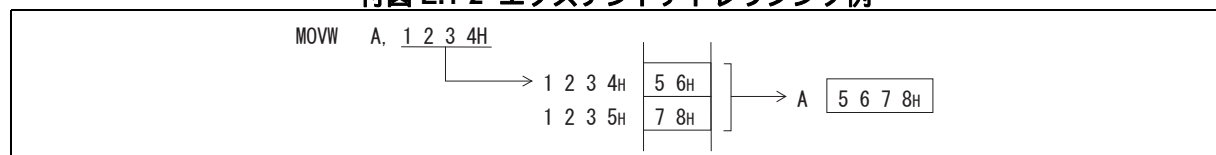


● エクステンドアドレッシング

命令表の中で "ext" と示したアドレッシングで、64K バイト全体の領域をアクセスするときに使用します。このアドレッシングでは、第 1 オペランドでアドレスの上位 1 バイトを、第 2 オペランドでアドレスの下位 1 バイトを指定します。

付図 E.1-2 に例を示します。

付図 E.1-2 エクステンドアドレッシング例

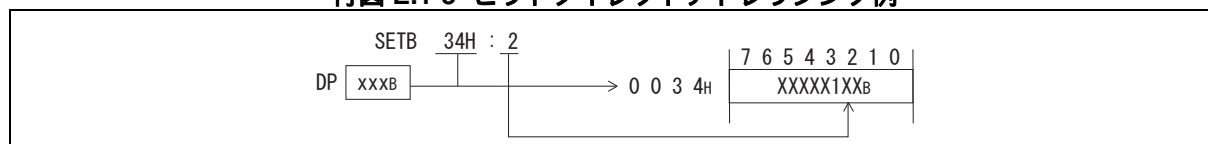


● ビットダイレクトアドレッシング

命令表中で "dir:b" と示したアドレッシングで、ダイレクト領域 "0000_H" ~ "047F_H" をビット単位でアクセスする際に使用します。このアドレッシングでは、オペランドアドレスが "00_H" ~ "7F_H" の場合、"0000_H" ~ "007F_H" にアクセスします。また、オペランドアドレスが "80_H" ~ "FF_H" の場合、ダイレクトバンクポインタ DP の設定により "0080_H" ~ "047F_H" にアクセスがマッピングできます。指定したアドレス内のビットの位置は命令コードの下位 3 ビットの値で指定します。

付図 E.1-3 に例を示します。

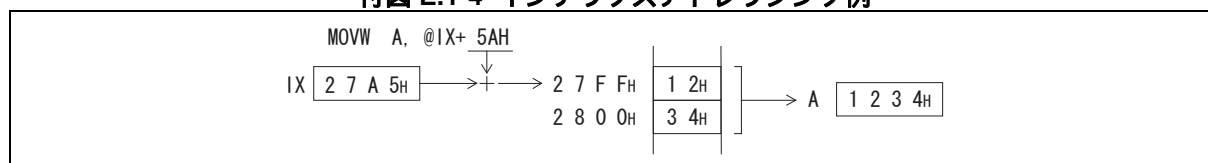
付図 E.1-3 ビットダイレクトアドレッシング例



● インデックスアドレッシング

命令表の中で "@IX + off" と示したアドレッシングで、64K バイト全体の領域をアクセスするときに使用します。このアドレッシングでは、第 1 オペランドの内容を符号拡張した上で IX(インデックスレジスタ) に加算してその結果をアドレスとします。付図 E.1-4 に例を示します。

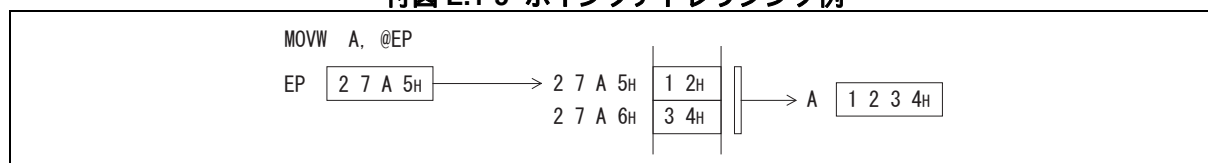
付図 E.1-4 インデックスアドレッシング例



● ポインタアドレッシング

命令表の中で "@EP" と示したアドレッシングで、64K バイト全体の領域をアクセスするときに使用します。このアドレッシングでは、EP(エクストラポインタ)の内容をアドレスとします。付図 E.1-5 に例を示します。

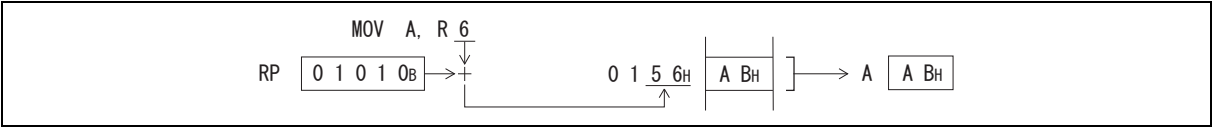
付図 E.1-5 ポインタアドレッシング例



● 汎用レジスタアドレッシング

命令表の中で "Ri" と示したアドレッシングで、汎用レジスタ領域のレジスタバンクをアクセスするときに使用します。このアドレッシングでは、アドレスの上位 1 バイトは "01" に固定し、下位 1 バイトを RP(レジスタバンクポインタ)の内容とオペコードの下位 3 ビットから作成し、このアドレスに対してアクセスを行います。付図 E.1-6 に例を示します。

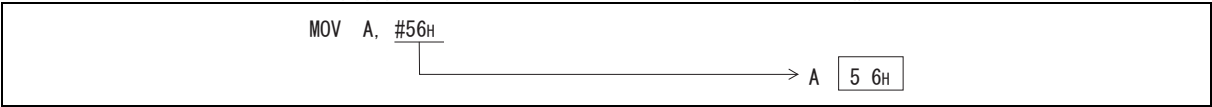
付図 E.1-6 汎用レジスタアドレッシング例



● イミディエートアドレッシング

命令表の中で "#d8" と示したアドレッシングで、即値データを必要とするときに使用します。このアドレッシングでは、オペランドがそのまま即値データになります。バイト / ワードの指定はオペコードにより決まります。付図 E.1-7 に例を示します。

付図 E.1-7 イミディエートアドレッシング例



● ベクタアドレッシング

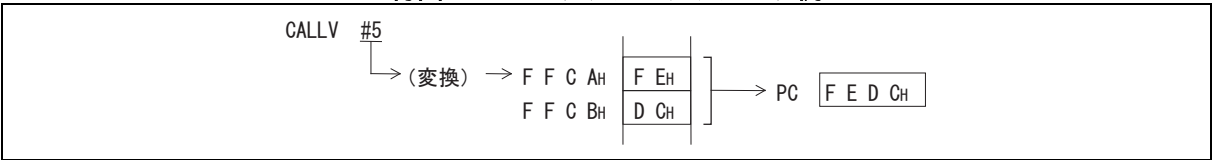
命令表の中で "#vct" と示したアドレッシングで、テーブル内に登録したサブルーチンアドレスに分岐するときに使用します。このアドレッシングでは、オペコード内に "#vct" の情報を含み、付表 E.1-1 に示す対応でテーブルのアドレスを作成します。

付表 E.1-1 "#vct" に対応したベクタテーブルアドレス

#vct	ベクタテーブルアドレス (ジャンプ先上位アドレス : 下位アドレス)
0	FFC0 _H : FFC1 _H
1	FFC2 _H : FFC3 _H
2	FFC4 _H : FFC5 _H
3	FFC6 _H : FFC7 _H
4	FFC8 _H : FFC9 _H
5	FFCA _H : FF CB _H
6	FFCC _H : FF CD _H
7	FFCE _H : FF CF _H

付図 E.1-8 に例を示します。

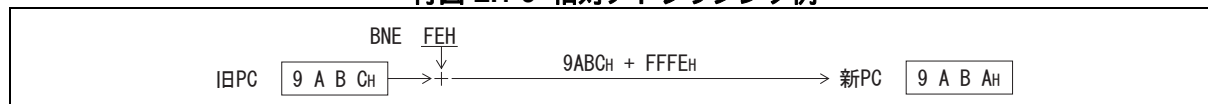
付図 E.1-8 ベクタアドレッシング例



● 相対アドレッシング

命令表の中で "rel" と示したアドレッシングで、PC(プログラムカウンタ)の前後 128 バイトの領域に分岐するときに使用します。このアドレッシングでは、オペランドの内容を PC に符号付きで加算し、その結果を PC に格納します。付図 E.1-9 に例を示します。

付図 E.1-9 相対アドレッシング例

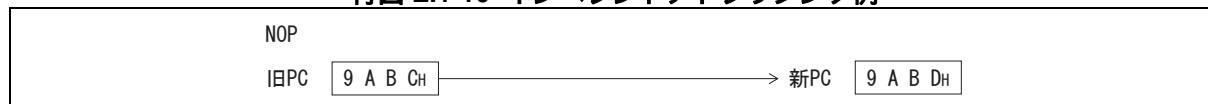


この例では、BNE のオペコードが格納されているアドレスへジャンプするので、結果として無限ループになります。

● インヘレントアドレッシング

命令表の中でオペランドを持たないアドレッシングで、オペコードで決まる動作を行うときに使用します。このアドレッシングでは、動作が命令ごとに異なります。付図 E.1-10 に例を示します。

付図 E.1-10 インヘレントアドレッシング例



E.2 特殊な命令について

アドレッシング以外の特殊な命令について説明します。

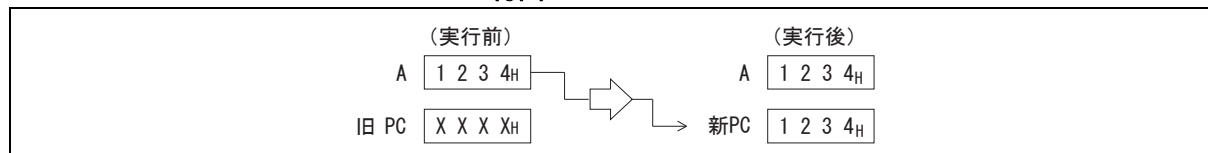
■ 特殊な命令について

● JMP @A

この命令は、A(アキュムレータ)の内容をアドレスとしてPC(プログラムカウンタ)へ分岐するというものです。N個のジャンプ先をテーブル上に並べておき、その内容のいずれか1つを選択してAに転送します。この命令を実行することでN分岐処理が行えます。

付図 E.2-1 に概要図を示します。

付図 E.2-1 JMP @A

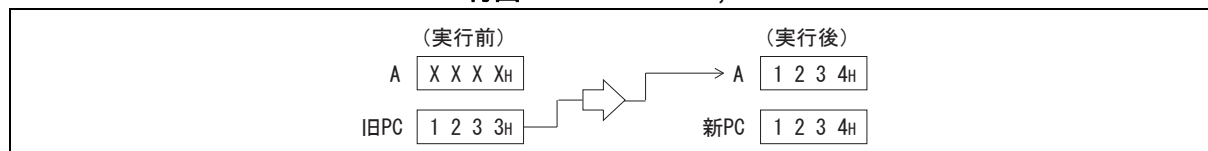


● MOVW A,PC

この命令は、"JMP @A" と反対の動作を行うものです。すなわち、PC の内容を A に格納するものです。メインルーチン内でこの命令を実行しておき、特定のサブルーチン呼び出すような設定において、そのサブルーチン内で A の内容が決められた値になっていることを確認することができます。予想できない部分からの分岐でないことが識別でき、暴走判断に使用することができます。

付図 E.2-2 に概要図を示します。

付図 E.2-2 MOVW A,PC



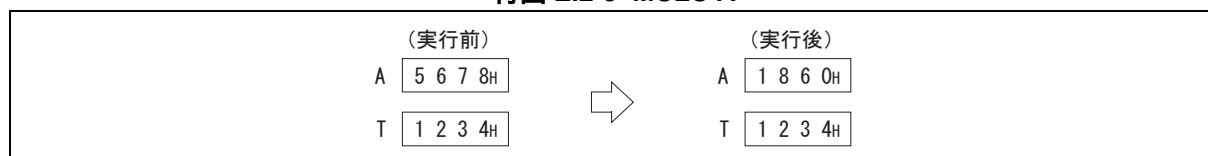
この命令を実行したときの A の内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、付図 E.2-2 では A に格納した値 "1234_H" は「MOVW A,PC」の次のオペコードが格納されているアドレスに一致します。

● MULU A

この命令は、AL(アキュムレータの下位 8 ビット)と TL(テンポラリアキュムレータの下位 8 ビット)を符号なしで掛け合わせ、16 ビット長の結果を A に格納します。T(テンポラリアキュムレータ)の内容は変化しません。演算に関して、実行前の AH(アキュムレータの上位 8 ビット)、TH(テンポラリアキュムレータの上位 8 ビット)の内容は使用していません。フラグは変化しないので、乗算の結果によって分岐するときには注意が必要です。

付図 E.2-3 に概要図を示します。

付図 E.2-3 MULU A

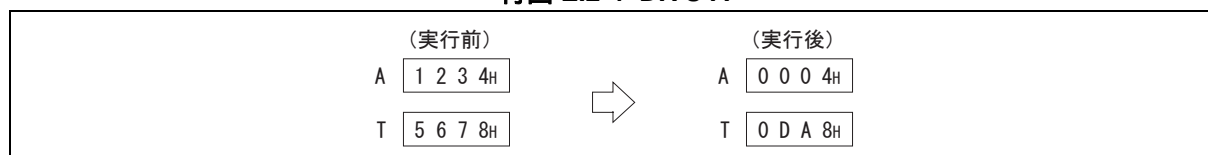


● DIVU A

この命令は、T の 16 ビットを A の 16 ビットで符号なしデータとして割り、結果を 16 ビットとして A に、余りも 16 ビットとして T に格納するものです。実行前の A の値が "0" の場合、ゼロ除算が実行されたことを示すために Z フラグが "1" になります。その他のフラグは変化しないので除算の結果によって分岐するときには注意が必要です。

付図 E.2-4 に概要図を示します。

付図 E.2-4 DIVU A

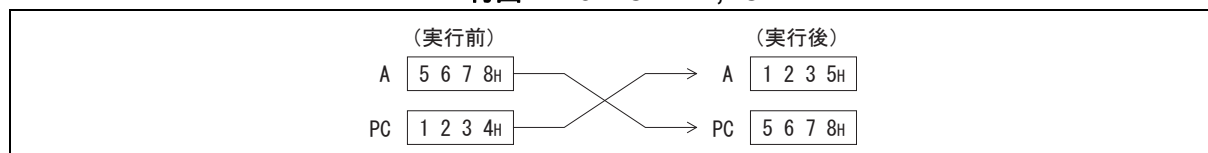


● XCHW A,PC

この命令は、A と PC の内容を交換するもので、結果として実行前の A の内容が示す番地へ分岐します。実行後の A は、「XCHW A,PC」のオペコードが格納されているアドレスの次のアドレスの値になります。この命令は、特にメインルーチンでテーブルを指定し、サブルーチンで使用するときに有効です。

付図 E.2-5 に概要図を示します。

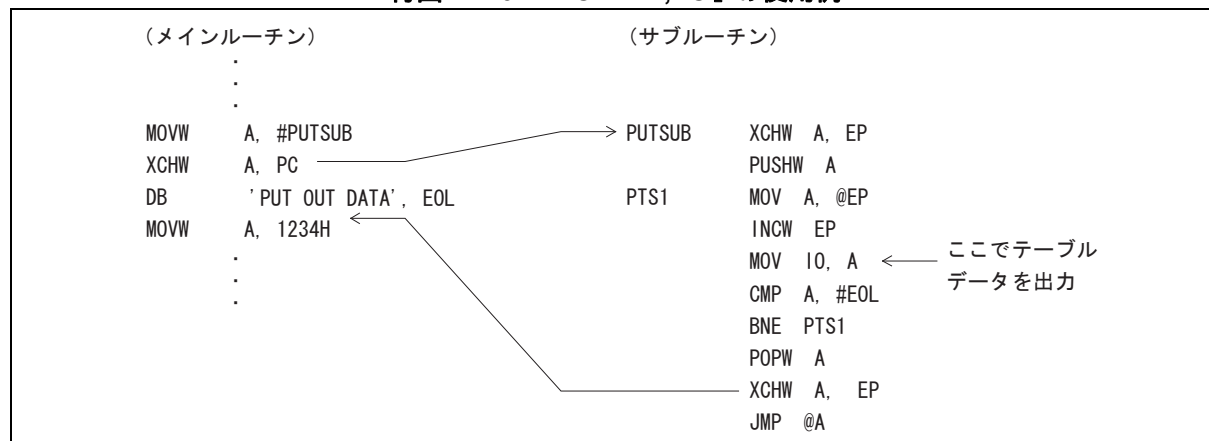
付図 E.2-5 XCHW A,PC



この命令を実行したときの A の内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、付図 E.2-5 では A に格納した値 "1235_H" は「XCHW A,PC」の次のオペコードが格納されているアドレスに一致します。そのため、"1234_H" ではなく "1235_H" となっています。

付図 E.2-6 にアセンブラ表記例を示します。

付図 E.2-6 「XCHW A,PC」の使用例

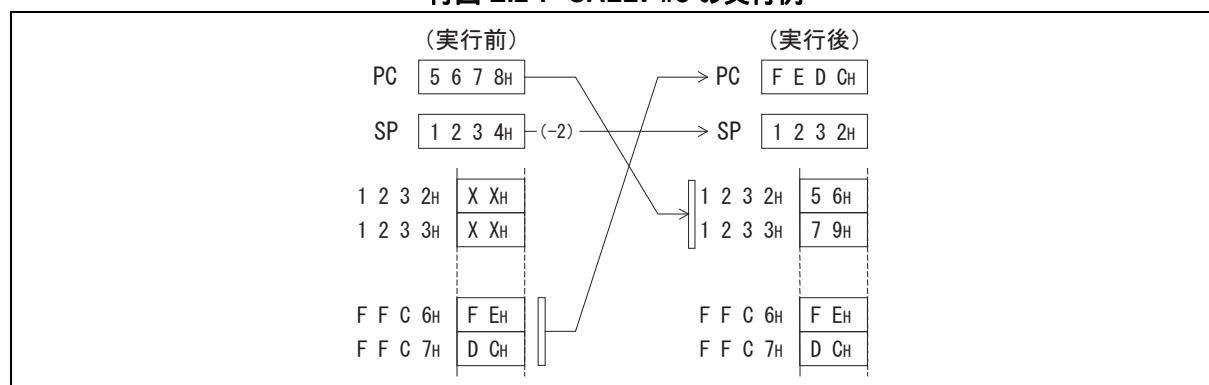


● CALLV #vct

テーブル内に登録したサブルーチンアドレスに分岐するときに使用します。リターンアドレス (PC の内容) を SP (スタックポインタ) が示すアドレスへ退避した後、ベクタアドレッシングによってベクタテーブルに記載したアドレスへ分岐します。1 バイトの命令ですので、頻繁に使用するサブルーチンに対してこの命令を使用することで、プログラム全体のサイズを縮小することができます。

付図 E.2-7 に概要図を示します。

付図 E.2-7 CALLV #3 の実行例



この命令を実行したときにスタック領域に退避される PC の内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、付図 E.2-7 ではスタック (1232_H, 1233_H) に退避された値 "5679_H" は「CALLV #vct」の次のオペコードが格納されているアドレス (リターンアドレス) に一致します。

付表 E.2-1 ベクタテーブル

ベクタ用途 (コール命令)	ベクタテーブルのアドレス	
	上位	下位
CALLV #7	FFCE _H	FFCF _H
CALLV #6	FFCC _H	FFCD _H
CALLV #5	FFCA _H	FFCB _H
CALLV #4	FFC8 _H	FFC9 _H
CALLV #3	FFC6 _H	FFC7 _H
CALLV #2	FFC4 _H	FFC5 _H
CALLV #1	FFC2 _H	FFC3 _H
CALLV #0	FFC0 _H	FFC1 _H

E.3 ビット操作命令 (SETB, CLRB)

周辺機能のレジスタには、ビット操作命令に対して、通常の読出し動作と異なる動作をするビットがあります。

■ リードモディファイライト動作

ビット操作命令では、レジスタまたは RAM の指定ビットのみを "1" に設定 (SETB) したり、"0" にクリア (CLRB) したりできます。しかし、CPU は 8 ビット単位でデータを取り扱うため、実際の動作としては、8 ビットのデータを読み出し、指定されたビットを変更し、元のアドレスに書き戻す、という一連の動作 (リードモディファイライト動作) を行います。

付表 E.3-1 にビット操作命令時のバス動作を示します。

付表 E.3-1 ビット操作命令時のバス動作

CODE	MNEMONIC	～	サイクル	アドレスバス	データバス	RD	WR	RMW
A0 ～ A7	CLRB dir:b	4	1	N+2	次の命令	1	0	1
			2	dir アドレス	データ	1	0	1
A8 ～ AF	SETB dir:b		3	dir アドレス	データ	0	1	0
			4	N+3	次の次の命令	1	0	0

■ ビット操作命令実行時の読出し先

一部の I/O ポートや割込み要求フラグビットでは、通常読出しによる読出し先と、リードモディファイライト時の読出し先が異なります。

● I/O ポート (ビット操作時)

I/O ポートの中には、通常読出し時は I/O 端子の値が読み出され、ビット操作時はポートデータレジスタの値が読み出されるものがあります。これは、端子の入出力方向や端子の状態にかかわらず、ポートデータレジスタの、ほかのビットの不用意な変化を防止するためです。

● 割込み要求フラグビット (ビット操作時)

割込み要求フラグビットは、通常読出し時は割込み要求の確認用フラグビットとして機能しますが、ビット操作時は常に "1" が読み出されます。これは、ほかのビットをビット操作したときに、割込み要求フラグビットへの "0" の書込みによって、フラグが不用意にクリアされるのを防止するためです。

E.4 F²MC-8FX 命令一覧表

付表 E.4-1 ~ 付表 E.4-4 に、F²MC-8FX で使用している命令の一覧を示します。

■ 転送系命令

付表 E.4-1 転送系の命令一覧 (1 / 2)

	MNEMONIC	~	#	動作	TL	TH	AH	N	Z	V	C	OPCODE
1	MOV dir, A	3	2	(dir) (A)	-	-	-	-	-	-	-	45
2	MOV @IX + off, A	3	2	((IX) + off) (A)	-	-	-	-	-	-	-	46
3	MOV ext, A	4	3	(ext) (A)	-	-	-	-	-	-	-	61
4	MOV @EP, A	2	1	((EP)) (A)	-	-	-	-	-	-	-	47
5	MOV Ri, A	2	1	(Ri) (A)	-	-	-	-	-	-	-	48 ~ 4F
6	MOV A, #d8	2	2	(A) d8	AL	-	-	+	+	-	-	04
7	MOV A, dir	3	2	(A) (dir)	AL	-	-	+	+	-	-	05
8	MOV A, @IX + off	3	2	(A) ((IX) - off)	AL	-	-	+	+	-	-	06
9	MOV A, ext	4	3	(A) (ext)	AL	-	-	+	+	-	-	60
10	MOV A, @A	2	1	(A) ((A))	AL	-	-	+	+	-	-	92
11	MOV A, @EP	2	1	(A) ((EP))	AL	-	-	+	+	-	-	07
12	MOV A, Ri	2	1	(A) (Ri)	AL	-	-	-	+	-	-	08 ~ 0F
13	MOV dir, #d8	4	3	(dir) d8	-	-	-	-	-	-	-	85
14	MOV @IX + off, #d8	4	3	((IX) + off) d8	-	-	-	-	-	-	-	86
15	MOV @EP, #d8	3	2	((EP)) d8	-	-	-	-	-	-	-	87
16	MOV Ri, #d8	3	2	(Ri) d8	-	-	-	-	-	-	-	88 ~ 8F
17	MOVW dir, A	4	2	(dir) (AH), (dir + 1) (AL)	-	-	-	-	-	-	-	D5
18	MOVW @IX + off, A	4	2	((IX) + off) (AH), ((IX) + off + 1) (AL)	-	-	-	-	-	-	-	D6
19	MOVW ext, A	5	3	(ext) (AH), (ext + 1) (AL)	-	-	-	-	-	-	-	D4
20	MOVW @EP, A	3	1	((EP)) (AH), ((EP) + 1) (AL)	-	-	-	-	-	-	-	D7
21	MOVW EP, A	1	1	(EP) (A)	-	-	-	-	-	-	-	E3
22	MOVW A, #d16	3	3	(A) d16	AL	AH	dH	+	+	-	-	E4
23	MOVW A, dir	4	2	(AH) (dir), (AL) (dir + 1)	AL	AH	dH	+	+	-	-	C5
24	MOVW A, @IX + off	4	2	(AH) ((IX) + off), (AL) ((IX) + off + 1)	AL	AH	dH	-	+	-	-	C6
25	MOVW A, ext	5	3	(AH) (ext), (AL) (ext + 1)	AL	AH	dH	+	+	-	-	C4
26	MOVW A, @A	3	1	(AH) ((A)), (AL) ((A) + 1)	AL	AH	dH	+	+	-	-	93
27	MOVW A, @EP	3	1	(AH) ((EP)), (AL) ((EP) + 1)	AL	AH	dH	-	+	-	-	C7
28	MOVW A, EP	1	1	(A) (EP)	-	-	dH	-	-	-	-	F3
29	MOVW EP, #d16	3	3	(EP) d16	-	-	-	-	-	-	-	E7
30	MOVW IX, A	1	1	(IX) (A)	-	-	-	-	-	-	-	E2
31	MOVW A, IX	1	1	(A) (IX)	-	-	dH	-	-	-	-	F2
32	MOVW SP, A	1	1	(SP) (A)	-	-	-	-	-	-	-	E1
33	MOVW A, SP	1	1	(A) (SP)	-	-	dH	-	-	-	-	F1
34	MOV @A, T	2	1	((A)) (T)	-	-	-	-	-	-	-	82
35	MOVW @A, T	3	1	((A)) (TH), ((A) + 1) (TL)	-	-	-	-	-	-	-	83
36	MOVW IX, #d16	3	3	(IX) d16	-	-	-	-	-	-	-	E6
37	MOVW A, PS	1	1	(A) (PS)	-	-	dH	-	-	-	-	70
38	MOVW PS, A	1	1	(PS) (A)	-	-	-	+	+	-	+	71
39	MOVW SP, #d16	3	3	(SP) d16	-	-	-	-	-	-	-	E5
40	SWAP	1	1	(AH) (AL)	-	-	AL	-	-	-	-	10

付表 E.4-1 転送系の命令一覧 (2 / 2)

	MNEMONIC	~	#	動作	TL	TH	AH	N	Z	V	C	OPCODE
41	SETB dir : b	4	2	(dir) : b 1	-	-	-	-	-	-	-	A8 ~ AF
42	CLRB dir : b	4	2	(dir) : b 0	-	-	-	-	-	-	-	A0 ~ A7
43	XCH A, T	1	1	(AL) (TL)	AL	-	-	-	-	-	-	42
44	XCHW A, T	1	1	(A) (T)	AL	AH	dH	-	-	-	-	43
45	XCHW A, EP	1	1	(A) (EP)	-	-	dH	-	-	-	-	F7
46	XCHW A, IX	1	1	(A) (IX)	-	-	dH	-	-	-	-	F6
47	XCHW A, SP	1	1	(A) (SP)	-	-	dH	-	-	-	-	F5
48	MOVW A, PC	2	1	(A) (PC)	-	-	dH	-	-	-	-	F0

< 注意事項 >

A へのバイト転送動作時の T への自動転送は、TL AL となります。

複数オペランド命令でのオペランドは、MNEMONIC で表示された順に格納されるものとします。

■ 演算系命令

付表 E.4-2 演算系の命令一覧 (1 / 2)

	MNEMONIC	~	#	動作	TL	TH	AH	N	Z	V	C	OPCODE
1	ADDC A, Ri	2	1	(A) (A) + (Ri) + C	-	-	-	+	+	+	+	28 ~ 2F
2	ADDC A, #d8	2	2	(A) (A) + d8 + C	-	-	-	+	+	+	+	24
3	ADDC A, dir	3	2	(A) (A) + (dir) + C	-	-	-	+	+	+	+	25
4	ADDC A, @IX + off	3	2	(A) (A) + ((IX) + off) + C	-	-	-	+	+	+	+	26
5	ADDC A, @EP	2	1	(A) (A) + ((EP)) + C	-	-	-	+	+	+	+	27
6	ADDCW A	1	1	(A) (A) + (T) + C	-	-	dH	+	+	+	+	23
7	ADDC A	1	1	(AL) (AL) + (TL) + C	-	-	-	+	+	+	+	22
8	SUBC A, Ri	2	1	(A) (A) - (Ri) - C	-	-	-	+	+	+	+	38 ~ 3F
9	SUBC A, #d8	2	2	(A) (A) - d8 - C	-	-	-	+	+	+	+	34
10	SUBC A, dir	3	2	(A) (A) - (dir) - C	-	-	-	+	+	+	+	35
11	SUBC A, @IX + off	3	2	(A) (A) - ((IX) + off) - C	-	-	-	+	+	+	+	36
12	SUBC A, @EP	2	1	(A) (A) - ((EP)) - C	-	-	-	+	+	+	+	37
13	SUBCW A	1	1	(A) (T) - (A) - C	-	-	dH	+	+	+	+	33
14	SUBC A	1	1	(AL) (TL) - (AL) - C	-	-	-	+	+	+	+	32
15	INC Ri	3	1	(Ri) (Ri) + 1	-	-	-	+	+	+	-	C8 ~ CF
16	INCW EP	1	1	(EP) (EP) + 1	-	-	-	-	-	-	-	C3
17	INCW IX	1	1	(IX) (IX) + 1	-	-	-	-	-	-	-	C2
18	INCW A	1	1	(A) (A) + 1	-	-	dH	+	+	-	-	C0
19	DEC Ri	3	1	(Ri) (Ri) - 1	-	-	-	+	+	+	-	D8 ~ DF
20	DECW EP	1	1	(EP) (EP) - 1	-	-	-	-	-	-	-	D3
21	DECW IX	1	1	(IX) (IX) - 1	-	-	-	-	-	-	-	D2
22	DECW A	1	1	(A) (A) - 1	-	-	dH	+	+	-	-	D0
23	MULU A	8	1	(A) (AL) × (TL)	-	-	dH	-	-	-	-	01
24	DIVU A	17	1	(A) (T) / (A), MOD (T)	dL	dH	dH	-	+	-	-	11
25	ANDW A	1	1	(A) (A) (T)	-	-	dH	+	+	R	-	63
26	ORW A	1	1	(A) (A) (T)	-	-	dH	+	+	R	-	73
27	XORW A	1	1	(A) (A) (T)	-	-	dH	+	+	R	-	53
28	CMP A	1	1	(TL) - (AL)	-	-	-	+	+	+	+	12
29	CMPW A	1	1	(T) - (A)	-	-	-	+	+	+	+	13

付表 E.4-2 演算系の命令一覧 (2 / 2)

	MNEMONIC	~	#	動作	TL	TH	AH	N	Z	V	C	OPCODE
30	RORC A	1	1	$\supseteq C \quad A \quad \sqsubset$	-	-	-	+	+	-	+	0302
31	ROLCA	1	1	$\sqsubset C \quad A \quad \supseteq$	-	-	-	+	+	-	+	
32	CMP A, #d8	2	2	(A) - d8	-	-	-	+	+	+	+	14
33	CMP A, dir	3	2	(A) - (dir)	-	-	-	+	+	+	+	15
34	CMP A, @EP	2	1	(A) - ((EP))	-	-	-	+	+	+	+	17
35	CMP A, @IX + off	3	2	(A) - ((IX) + off)	-	-	-	+	+	+	+	16
36	CMP A, Ri	2	1	(A) - (Ri)	-	-	-	+	+	+	+	18 ~ 1F
37	DAA	1	1	decimal adjust for addition	-	-	-	+	+	+	+	84
38	DAS	1	1	decimal adjust for subtraction	-	-	-	+	+	+	+	94
39	XOR A	1	1	(A) (AL) (TL)	-	-	-	+	+	R	-	52
40	XOR A, #d8	2	2	(A) (AL) d8	-	-	-	+	+	R	-	54
41	XOR A, dir	3	2	(A) (AL) (dir)	-	-	-	+	+	R	-	55
42	XOR A, @EP	2	1	(A) (AL) ((EP))	-	-	-	+	+	R	-	57
43	XOR A, @IX + off	3	2	(A) (AL) ((IX) + off)	-	-	-	+	+	R	-	56
44	XOR A, Ri	2	1	(A) (AL) (Ri)	-	-	-	+	+	R	-	58 ~ 5F
45	AND A	1	1	(A) (AL) (TL)	-	-	-	+	+	R	-	62
46	AND A, #d8	2	2	(A) (AL) d8	-	-	-	+	+	R	-	64
47	AND A, dir	3	2	(A) (AL) (dir)	-	-	-	+	+	R	-	65
48	AND A, @EP	2	1	(A) (AL) ((EP))	-	-	-	+	+	R	-	67
49	AND A, @IX + off	3	2	(A) (AL) ((IX) + off)	-	-	-	+	+	R	-	66
50	AND A, Ri	2	1	(A) (AL) (Ri)	-	-	-	+	+	R	-	68 ~ 6F
51	OR A	1	1	(A) (AL) (TL)	-	-	-	+	+	R	-	72
52	OR A, #d8	2	2	(A) (AL) d8	-	-	-	+	+	R	-	74
53	OR A, dir	3	2	(A) (AL) (dir)	-	-	-	+	+	R	-	75
54	OR A, @EP	2	1	(A) (AL) ((EP))	-	-	-	+	+	R	-	77
55	OR A, @IX + off	3	2	(A) (AL) ((IX) + off)	-	-	-	+	+	R	-	76
56	OR A, Ri	2	1	(A) (AL) (Ri)	-	-	-	+	+	R	-	78 ~ 7F
57	CMP dir, #d8	4	3	(dir) - d8	-	-	-	+	+	+	+	95
58	CMP @EP, #d8	3	2	((EP)) - d8	-	-	-	+	+	+	+	97
59	CMP @IX + off, #d8	4	3	((IX) + off) - d8	-	-	-	+	+	+	+	96
60	CMP Ri, #d8	3	2	(Ri) - d8	-	-	-	+	+	+	+	98 ~ 9F
61	INCW SP	1	1	(SP) (SP) + 1	-	-	-	-	-	-	-	C1
62	DECW SP	1	1	(SP) (SP) - 1	-	-	-	-	-	-	-	D1

■ 分岐系命令

付表 E.4-3 分岐系の命令一覧

	MNEMONIC	~	#	動作	TL	TH	AH	N	Z	V	C	OPCODE
1	BZ/BEQ rel(分岐時)	4	2	if Z = 1 then PC PC + rel	-	-	-	-	-	-	-	FD
	BZ/BEQ rel(非分岐時)	2										
2	BNZ/BNE rel(分岐時)	4	2	if Z = 0 then PC PC + rel	-	-	-	-	-	-	-	FC
	BNZ/BNE rel(非分岐時)	2										
3	BC/BLO rel(分岐時)	4	2	if C = 1 then PC PC + rel	-	-	-	-	-	-	-	F9
	BC/BLO rel(非分岐時)	2										
4	BNC/BHS rel(分岐時)	4	2	if C = 0 then PC PC + rel	-	-	-	-	-	-	-	F8
	BNC/BHS rel(非分岐時)	2										
5	BN rel(分岐時)	4	2	if N = 1 then PC PC + rel	-	-	-	-	-	-	-	FB
	BN rel(非分岐時)	2										
6	BP rel(分岐時)	4	2	if N = 0 then PC PC + rel	-	-	-	-	-	-	-	FA
	BP rel(非分岐時)	2										
7	BLT rel(分岐時)	4	2	if V N = 1 then PC PC + rel	-	-	-	-	-	-	-	FF
	BLT rel(非分岐時)	2										
8	BGE rel(分岐時)	4	2	if V N = 0 then PC PC + rel	-	-	-	-	-	-	-	FE
	BGE rel(非分岐時)	2										
9	BBC dir : b, rel	5	3	if (dir : b) = 0 then PC PC + rel	-	-	-	-	+	-	-	B0 ~ B7
10	BBS dir : b, rel	5	3	if (dir : b) = 1 then PC PC + rel	-	-	-	-	+	-	-	B8 ~ BF
11	JMP @A	3	1	(PC) (A)	-	-	-	-	-	-	-	E0
12	JMP ext	4	3	(PC) ext	-	-	-	-	-	-	-	21
13	CALLV #vct	7	1	vector call	-	-	-	-	-	-	-	E8 ~ EF
14	CALL ext	6	3	subroutine call	-	-	-	-	-	-	-	31
15	XCHW A, PC	3	1	(PC) (A), (A) (PC) + 1	-	-	dH	-	-	-	-	F4
16	RET	6	1	return from subroutine	-	-	-	-	-	-	-	20
17	RETI	8	1	return from interrupt	-	-	-			restore		30

■ その他命令

付表 E.4-4 その他の命令一覧

	MNEMONIC	~	#	動作	TL	TH	AH	N	Z	V	C	OPCODE
1	PUSHW A	4	1	((SP)) (A), (SP) (SP) - 2	-	-	-	-	-	-	-	40
2	POPW A	3	1	(A) ((SP)), (SP) (SP) + 2	-	-	dH	-	-	-	-	50
3	PUSHW IX	4	1	((SP)) (IX), (SP) (SP) - 2	-	-	-	-	-	-	-	41
4	POPW IX	3	1	(IX) ((SP)), (SP) (SP) + 2	-	-	-	-	-	-	-	51
5	NOP	1	1	No operation	-	-	-	-	-	-	-	00
6	CLRC	1	1	(C) 0	-	-	-	-	-	-	R	81
7	SETC	1	1	(C) 1	-	-	-	-	-	-	S	91
8	CLRI	1	1	(I) 0	-	-	-	-	-	-	-	80
9	SETI	1	1	(I) 1	-	-	-	-	-	-	-	90

E.5 命令マップ

付表 E.5-1 に、F²MC-8FX の命令マップを示します。

■ 命令マップ

付表 E.5-1 F²MC-8FX の命令マップ

H L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SWAP	RET	RETI	PUSHW A	POPW A	MOV A, ext	MOVW A, PS	CLRI	SETI	CLRB dir: 0	BBC dir: 0, rel	INCW A	DECW A	JMP @A	MOVW A, PC
1	MULU A	DIVU A	JMP addr16	CALL addr16	PUSHW IX	POPW IX	MOV ext, A	MOVW PS, A	CLRC	SETC	CLRB dir: 1	BBC dir: 1, rel	INCW SP	DECW SP	MOVW SP, A	MOVW A, SP
2	ROLU A	CMP A	ADDC A	SUBC A	XCH A, T	XOR A	AND A	OR A	MOV @A, T	MOV A, @A	CLRB dir: 2	BBC dir: 2, rel	INCW IX	DECW IX	MOVW IX, A	MOVW A, IX
3	RORC A	CMPW A	ADDCW A	SUBCW A	XCHW A, T	XORW A	ANDW A	ORW A	MOVW @A, T	MOVW A, @A	CLRB dir: 3	BBC dir: 3, rel	INCW EP	DECW EP	MOVW EP, A	MOVW A, EP
4	MOV A, #d8	CMP A, #d8	ADDC A, #d8	SUBC A, #d8	MOV A, #d8	XOR A, #d8	AND A, #d8	OR A, #d8	DAA	DAS	CLRB dir: 4	BBC dir: 4, rel	MOVW A, ext	MOVW ext, A	MOVW A, #d16	MOVW A, PC
5	MOV A, dir	CMP A, dir	ADDC A, dir	SUBC A, dir	MOV dir, A	XOR A, dir	AND A, dir	OR A, dir	MOV dir, #d8	CMP dir, #d8	CLRB dir: 5	BBC dir: 5, rel	MOVW A, dir	MOVW dir, A	MOVW SP, #d16	MOVW A, SP
6	MOV A, @IX+d	CMP A, @IX+d	ADDC A, @IX+d	SUBC A, @IX+d	MOV @IX+d, A	XOR A, @IX+d	AND A, @IX+d	OR A, @IX+d	MOV @IX+d, #d8	CMP @IX+d, #d8	CLRB dir: 6	BBC dir: 6, rel	MOVW A, @IX+d	MOVW @IX+d, A	MOVW IX, #d16	MOVW A, IX
7	MOV A, @EP	CMP A, @EP	ADDC A, @EP	SUBC A, @EP	MOV @EP, A	XOR A, @EP	AND A, @EP	OR A, @EP	MOV @EP, #d8	CMP @EP, #d8	CLRB dir: 7	BBC dir: 7, rel	MOVW A, @EP	MOVW @EP, A	MOVW EP, #d16	MOVW A, EP
8	MOV A, R0	CMP A, R0	ADDC A, R0	SUBC A, R0	MOV R0, A	XOR A, R0	AND A, R0	OR A, R0	MOV R0, #d8	CMP R0, #d8	SETB dir: 0	BBS dir: 0, rel	INC R0	DEC R0	CALLV #0	BNC rel
9	MOV A, R1	CMP A, R1	ADDC A, R1	SUBC A, R1	MOV R1, A	XOR A, R1	AND A, R1	OR A, R1	MOV R1, #d8	CMP R1, #d8	SETB dir: 1	BBS dir: 1, rel	INC R1	DEC R1	CALLV #1	BC rel
A	MOV A, R2	CMP A, R2	ADDC A, R2	SUBC A, R2	MOV R2, A	XOR A, R2	AND A, R2	OR A, R2	MOV R2, #d8	CMP R2, #d8	SETB dir: 2	BBS dir: 2, rel	INC R2	DEC R2	CALLV #2	BP rel
B	MOV A, R3	CMP A, R3	ADDC A, R3	SUBC A, R3	MOV R3, A	XOR A, R3	AND A, R3	OR A, R3	MOV R3, #d8	CMP R3, #d8	SETB dir: 3	BBS dir: 3, rel	INC R3	DEC R3	CALLV #3	BN rel
C	MOV A, R4	CMP A, R4	ADDC A, R4	SUBC A, R4	MOV R4, A	XOR A, R4	AND A, R4	OR A, R4	MOV R4, #d8	CMP R4, #d8	SETB dir: 4	BBS dir: 4, rel	INC R4	DEC R4	CALLV #4	BNZ rel
D	MOV A, R5	CMP A, R5	ADDC A, R5	SUBC A, R5	MOV R5, A	XOR A, R5	AND A, R5	OR A, R5	MOV R5, #d8	CMP R5, #d8	SETB dir: 5	BBS dir: 5, rel	INC R5	DEC R5	CALLV #5	BZ rel
E	MOV A, R6	CMP A, R6	ADDC A, R6	SUBC A, R6	MOV R6, A	XOR A, R6	AND A, R6	OR A, R6	MOV R6, #d8	CMP R6, #d8	SETB dir: 6	BBS dir: 6, rel	INC R6	DEC R6	CALLV #6	BGE rel
F	MOV A, R7	CMP A, R7	ADDC A, R7	SUBC A, R7	MOV R7, A	XOR A, R7	AND A, R7	OR A, R7	MOV R7, #d8	CMP R7, #d8	SETB dir: 7	BBS dir: 7, rel	INC R7	DEC R7	CALLV #7	BLT rel

付録 F マスクオプション

付表 F-1 に、マスクオプションの一覧を示します。

■ マスクオプション一覧表

付表 F-1 マスクオプション一覧表 1

No.	品種名	MB95116B	MB95F118BS	MB95F118BW	MB95FV100D-101
	指定方法	マスク発注時に指定	設定不可	設定不可	設定不可
1	クロックモード選択 ・ 1 系統クロックモード ・ 2 系統クロックモード	選択可能	1 系統 クロックモード	2 系統 クロックモード	MCU ボード上の スイッチで切換え
2	発振安定待ち時間の選択 メインクロック発振安定 待ち時間の初期値を選択 できます。	選択可能 1: $(2^2 - 2)/F_{CH}$ 2: $(2^{12} - 2)/F_{CH}$ 3: $(2^{13} - 2)/F_{CH}$ 4: $(2^{14} - 2)/F_{CH}$	$(2^{14} - 2)/F_{CH}$ の発振安定待ち 時間に固定	$(2^{14} - 2)/F_{CH}$ の発振安定待ち 時間に固定	$(2^{14} - 2)/F_{CH}$ の 発振安定待ち時間 に固定

F_{CH} : メインクロック

MB95110B/M シリーズ

付表 F-2 マスクオプション一覧表 2

No.	品種名	MB95117M	MB95F116MAS MB95F116NAS MB95F118MS MB95F118NS MB95F118JS	MB95F116MAW MB95F116NAW MB95F118MW MB95F118NW MB95F118JW	MB95FV100D-103
	指定方法	設定不可	設定不可	設定不可	設定不可
1	クロックモード選択 ・ 1 系統クロックモード ・ 2 系統クロックモード	マスク発注時に指定	1 系統 クロックモード	2 系統 クロックモード	MCU ボード上の スイッチで切換え
2	低電圧検出リセット ・ 低電圧検出リセットあり ・ 低電圧検出リセットなし	マスク発注時に指定	型格で指定	型格で指定	MCU ボード上の スイッチで切換え
3	クロックスーパーバイザ ・ クロックスーパーバイザあり ・ クロックスーパーバイザなし	マスク発注時に指定	型格で指定	型格で指定	MCU ボード上の スイッチで切換え
4	リセット出力 ・ リセット出力あり ・ リセット出力なし	マスク発注時に指定	型格で指定	型格で指定	MCU ボード上のスイッチによりクロックスーパーバイザありを選択した場合、リセット出力なしとなり、クロックスーパーバイザなしを選択した場合、リセット出力ありとなります。
5	発振安定待ち時間	$(2^{14} - 2) / F_{CH}$ の発振安定待ち時間に固定	$(2^{14} - 2) / F_{CH}$ の発振安定待ち時間に固定	$(2^{14} - 2) / F_{CH}$ の発振安定待ち時間に固定	$(2^{14} - 2) / F_{CH}$ の発振安定待ち時間に固定

F_{CH} : メインクロック

付録 G パラレルライターによる Flash マイコンの書込み

パラレルライターによる Flash マイコンの書込みについて説明します。

■ パラレルライターによる Flash マイコンの書込みについて

付表 G-1 パラレルライターとアダプタ

パッケージ	適合アダプタ型格	パラレルライター
	フラッシュサポートグループ株式会社	
FPT-52P-M01	開発中	AF9708(Ver 02.35G 以上)
FPT-48P-M26	TEF110-118F37AP	AF9709/B(Ver 02.35G 以上)
LCC-48P-M09	TEF110-118F41AP	AF9723+AF9834(Ver 02.08E 以上)

問い合わせ先

フラッシュサポートグループ株式会社 TEL:053-428-8380

■ セクタ構成

付図 G-1 に、CPU アドレスとライタアドレスを示します。

付図 G-1 CPU アドレスとライタアドレス

・ MB95F116MAW/F116NAW/F116MAS/F116NAS 以外

フラッシュメモリ	CPU アドレス	ライタアドレス *
SA1 (4K バイト)	1000 _H	71000 _H
	1FFF _H	71FFF _H
SA2 (4K バイト)	2000 _H	72000 _H
	2FFF _H	72FFF _H
SA3 (4K バイト)	3000 _H	73000 _H
	3FFF _H	73FFF _H
SA4 (16K バイト)	4000 _H	74000 _H
	7FFF _H	77FFF _H
SA5 (16K バイト)	8000 _H	78000 _H
	BFFF _H	7BFFF _H
SA6 (4K バイト)	C000 _H	7C000 _H
	CFFF _H	7CFFF _H
SA7 (4K バイト)	D000 _H	7D000 _H
	DFFF _H	7DFFF _H
SA8 (4K バイト)	E000 _H	7E000 _H
	FFFF _H	7EFFF _H
SA9 (4K バイト)	F000 _H	7F000 _H
	FFFF _H	7FFFF _H

・ MB95F116MAW/F116NAW/F116MAS/F116NAS

フラッシュメモリ	CPU アドレス	ライタアドレス
32K バイト	8000 _H	78000 _H
	FFFF _H	7FFFF _H

* : ライタアドレスとは、フラッシュメモリにパラレルライタでデータ書込みを行う場合、CPU アドレスに対応するアドレスです。
パラレルライタを使用して書込み / 消去を行う場合は、このライタアドレスで書込み / 消去を行います。

■ 書込み方法

- 1) パラレルライタのタイプコードを "17226" に設定してください (MB95F118BS, BW の場合)。
パラレルライタのタイプコードを "17222" に設定してください (MB95F118M(S,W)/N(S,W)/J(S,W) の場合)。
- 2) プログラムデータをパラレルライタの 71000_H ~ 7FFFF_H にロードしてください。
- 3) パラレルライタで書き込んでください。

索引

Numerics

16 ビット

16 ビット PPG タイマ	284
16 ビット PPG タイマ使用上の注意	302
16 ビット PPG タイマのサンプル プログラム	303
16 ビット PPG タイマの端子	288
16 ビット PPG タイマのチャンネル	287
16 ビット PPG タイマのブロック ダイアグラム	285
16 ビット PPG タイマのレジスタ	289
16 ビット PPG タイマの割込みに関連する レジスタとベクタテーブル	297
16 ビット PPG タイマ割込み	297
16 ビット PPG に関連する端子のブロックダイア グラム	288
16 ビット PPG モードの設定	277
16 ビット PPG モードの動作	278
16 ビットデータのメモリ上の配置	47
16 ビット PPG 周期設定バッファレジスタ	
16 ビット PPG 周期設定バッファレジスタ 上位, 下位 (PCSRH0, PCSRL0)	291
16 ビット PPG 状態制御レジスタ	
16 ビット PPG 状態制御レジスタ, 下位 (PCNTL0)	295
16 ビット PPG 状態制御レジスタ, 上位 (PCNTH0)	293
16 ビット PPG ダウンカウンタレジスタ	
16 ビット PPG ダウンカウンタレジスタ 上位, 下位 (PDCRH0, PDCRL0)	290
16 ビット PPG デューティ設定バッファレジスタ	
16 ビット PPG デューティ設定バッファレジスタ 上位, 下位 (PDUTH0, PDUTL0)	292
256K ビット	
256K ビットフラッシュメモリの概要	564
256K ビットフラッシュメモリのセクタ構成	565
256K ビットフラッシュメモリの特長	564
2 系統クロック品	
サブ PLL クロックモードの動作 (MB95F116MAW/F116NAW を除く 2 系統クロック品)	69
サブクロックモードの動作 (2 系統クロック品)	69
8/10 ビット	
8/10 ビット A/D コンバータ使用上の注意	505
8/10 ビット A/D コンバータ動作時の割込み	501
8/10 ビット A/D コンバータに関連する端子の ブロックダイアグラム	494
8/10 ビット A/D コンバータのサンプル プログラム	506
8/10 ビット A/D コンバータの端子	493
8/10 ビット A/D コンバータのブロック ダイアグラム	491

8/10 ビット A/D コンバータのレジスタ一覧	495
8/10 ビット A/D コンバータの割込みに関連する レジスタとベクタテーブル	501
8/10 ビット A/D コンバータ変換機能の動作	502
8/10 ビット A/D コンバータ制御レジスタ	
8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)	496
8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)	498
8/10 ビット A/D コンバータデータレジスタ	
8/10 ビット A/D コンバータデータレジスタ 上位 / 下位 (ADDH, ADDL)	500
8/16 ビット	
8/16 ビット PPG 使用上の注意	279
8/16 ビット PPG タイマのサンプルプログラム	280
8/16 ビット PPG に関連する端子のブロック ダイアグラム	260
8/16 ビット PPG の概要	256
8/16 ビット PPG の端子	260
8/16 ビット PPG のチャンネル	259
8/16 ビット PPG のブロックダイアグラム	257
8/16 ビット PPG のレジスタ一覧	262
8/16 ビット PPG の割込み	271
8/16 ビット PPG の割込みに関連するレジスタと ベクタテーブル	271
8/16 ビット複合タイマ使用上の注意	254
8/16 ビット複合タイマに関連する端子	220
8/16 ビット複合タイマに関連する端子のブロック ダイアグラム	221
8/16 ビット複合タイマに関連するレジスタ	222
8/16 ビット複合タイマのチャンネル	219
8/16 ビット複合タイマのブロックダイアグラム	217
8/16 ビット複合タイマの割込みに関連する レジスタとベクタテーブル	236
LIN synch field エッジ検出割込み (8/16 ビット複合タイマ割込み)	401
8/16 ビット PPG 起動レジスタ	
8/16 ビット PPG 起動レジスタ (PPGS)	269
8/16 ビット PPG 出力反転レジスタ	
8/16 ビット PPG 出力反転レジスタ (REVC)	270
8/16 ビット PPG タイマ 00/01 周期設定バッファ レジスタ	
8/16 ビット PPG タイマ 00/01 周期設定バッファ レジスタ (PPS01), (PPS00)	267
8/16 ビット PPG タイマ 00/01 デューティ設定バッファ レジスタ	
8/16 ビット PPG タイマ 00/01 デューティ設定 バッファレジスタ (PDS01), (PDS00)	268
8/16 ビット PPG タイマ 00 制御レジスタ	
8/16 ビット PPG タイマ 00 制御レジスタ ch.0 (PC00)	265

8/16 ビット PPG タイマ 01 制御レジスタ	
8/16 ビット PPG タイマ 01 制御レジスタ	
ch.0 (PC01)	263
8/16 ビット複合タイマ 00/01 制御ステータス	
レジスタ	
8/16 ビット複合タイマ 00/01 制御ステータス	
レジスタ 0 (T00CR0/T01CR0)	223
8/16 ビット複合タイマ 00/01 制御ステータス	
レジスタ 1 (T00CR1/T01CR1)	226
8/16 ビット複合タイマ 00/01 タイマモード制御	
レジスタ	
8/16 ビット複合タイマ 00/01 タイマモード制御	
レジスタ (TMCR0)	229
8/16 ビット複合タイマ 00/01 データレジスタ	
8/16 ビット複合タイマ 00/01 データレジスタ	
(T00DR/T01DR)	232
8FX	
F ² MC-8FX のソフトウェア開発サポート環境	
(MB95FV100D および MB2146-09) での注意	
.....	561
8 ビット	
8 ビット PPG 独立モードの動作	273
8 ビット独立モードの設定	273
8 ビットプリスケラ + 8 ビット PPG モードの	
設定	275
8 ビットプリスケラ + 8 ビット PPG モードの	
動作	275

A

A/D コンバータ	
8/10 ビット A/D コンバータ使用上の注意	
.....	505
8/10 ビット A/D コンバータ動作時の割込み	
.....	501
8/10 ビット A/D コンバータに関連する端子の	
ブロックダイアグラム	494
8/10 ビット A/D コンバータのサンプル	
プログラム	506
8/10 ビット A/D コンバータの端子	493
8/10 ビット A/D コンバータのブロック	
ダイアグラム	491
8/10 ビット A/D コンバータのレジスタ一覧	
.....	495
8/10 ビット A/D コンバータの割込みに関連する	
レジスタとベクタテーブル	501
8/10 ビット A/D コンバータ変換機能の動作	
.....	502
A/D 変換	
A/D 変換機能	490
A/D 変換機能の動作	503
ADC	
8/10 ビット A/D コンバータ制御レジスタ 1	
(ADC1)	496
8/10 ビット A/D コンバータ制御レジスタ 2	
(ADC2)	498
ADDH	
8/10 ビット A/D コンバータデータレジスタ	
上位 / 下位 (ADDH, ADDL)	500
ADDL	
8/10 ビット A/D コンバータデータレジスタ	
上位 / 下位 (ADDH, ADDL)	500

B

BGR	
LIN-UART ボーレートジェネレータレジスタ 1, 0	
(BGR1, BGR0) のビット構成	398
BRSR	
UART/SIO 専用ボーレートジェネレータ	
ボーレート設定レジスタ (BRSR0)	372

C

CCR	
コンディショニングコードレジスタ (CCR) の構成	
.....	43
CPU	
CPU 間接続方式	416
スタンバイモードは CPU が割込みを受け付け	
ない場合も解除されます	76
CPU 間接続方式	
CPU 間接続方式	416
CSVCR	
クロックスーパーバイザ制御レジスタ (CSVCR)	
.....	520

D

DP	
ダイレクトバンクポインタ (DP) の構成	41
DQ3	
セクタ消去タイマフラグ (DQ3)	548
DQ5	
タイミングリミット超過フラグ (DQ5)	547, 575
DQ6	
トグルビットフラグ (DQ6)	546, 574
トグルビットフラグ (DQ6) に関する制限事項	561
DQ7	
データポーリングフラグ (DQ7)	544, 573

E

ECCR	
LIN-UART 拡張通信制御レジスタ (ECCR) の ビット構成	396
EIC	
外部割込み制御レジスタ (EIC00)	313
ESCR	
LIN-UART 拡張ステータス制御レジスタ (ESCR) のビット構成	394

F

F ² MC	
F ² MC-8FX のソフトウェア開発サポート環境 (MB95FV100D および MB2146-09) での 注意	561
F ² MC-8FX	
F ² MC-8FX の命令の概要	602
Flash マイコン	
パラレルライタによる Flash マイコンの書込みに ついて	621
FPT-48P-M26	
FPT-48P-M26 の外形寸法図	14
FPT-52P-M01	
FPT-52P-M01 の外形寸法図	13
FSR	
FSR:WRE の設定について	539
セクタ変換許可ビット (FSR:SSEN) の設定手順	558
フラッシュメモリステータスレジスタ (FSR)	532, 567

I

I/O ポート	
I/O ポートの概要	112
I/O マップ	
I/O マップ	592
I ² C	
I ² C の機能	448
I ² C のシステム	474
I ² C のチャンネル	452

I ² C のバスインタフェースに関連する端子	453
I ² C 使用上の注意	483
I ² C に関連する端子のブロックダイアグラム	454
I ² C のサンプルプログラム	485
I ² C の動作	473
I ² C のブロックダイアグラム	450
I ² C のプロトコル	474
I ² C のレジスタ	455
I ² C の割込みに関連するレジスタとベクタ テーブル	472
I ² C アドレスレジスタ	
I ² C アドレスレジスタ (IAAR0)	467
I ² C クロック制御レジスタ	
I ² C クロック制御レジスタ (ICCR0)	468
I ² C データレジスタ	
I ² C データレジスタ (IDDR0)	466
I ² C バスステータスレジスタ	
I ² C バスステータスレジスタ (IBSR0)	463
I ² C バス制御レジスタ	
I ² C バス制御レジスタ 0 (IBCR00)	456
I ² C バス制御レジスタ 1 (IBCR10)	460
IAAR	
I ² C アドレスレジスタ (IAAR0)	467
IBCR	
I ² C バス制御レジスタ 0 (IBCR00)	456
I ² C バス制御レジスタ 1 (IBCR10)	460
IBSR	
I ² C バスステータスレジスタ (IBSR0)	463
ICCR	
I ² C クロック制御レジスタ (ICCR0)	468
IDDR	
I ² C データレジスタ (IDDR0)	466
ILR	
割込みレベル設定レジスタ (ILR0 ~ ILR5) の 構成	104

L

LCC-48P-M09	
LCC-48P-M09 の外形寸法図	15
LIN	
LIN スレーブデバイス	436
LIN マスタ / スレーブ型通信機能	434
LIN マスタデバイス	435
LIN synch field	
LIN synch field エッジ検出割込み (8/16 ビット複合タイマ割込み)	401
LIN-UART	
LIN-UART 拡張ステータス制御レジスタ (ESCR) のビット構成	394
LIN-UART 拡張通信制御レジスタ (ECCR) の ビット構成	396
LIN-UART 受信データレジスタ (RDR)	392
LIN-UART 受信データレジスタ (RDR/TDR)	392
LIN-UART 使用上の注意	437
LIN-UART シリアルステータスレジスタ (SSR)	390
LIN-UART シリアル制御レジスタ (SCR)	386
LIN-UART 送信データレジスタ (TDR)	393

LIN-UART 端子直接アクセス	428
LIN-UART に関連する端子のブロック ダイアグラム	384
LIN-UART の機能	376
LIN-UART のサンブルプログラム	442
LIN-UART の端子	383
LIN-UART の動作	415
LIN-UART のブロックダイアグラム	379
LIN-UART のレジスタ一覧	385
LIN-UART の割込みに関連するレジスタと ベクタテーブル	402
LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成	398
LIN-UART ボーレート選択	407
LIN-UART 拡張ステータス制御レジスタ LIN-UART 拡張ステータス制御レジスタ (ESCR) のビット構成	394
LIN-UART 拡張通信制御レジスタ LIN-UART 拡張通信制御レジスタ (ECCR) の ビット構成	396
LIN-UART 受信データレジスタ LIN-UART 受信データレジスタ (RDR)	392
LIN-UART 受信データレジスタ (RDR/TDR)	392
LIN-UART シリアルステータスレジスタ LIN-UART シリアルステータスレジスタ (SSR)	390
LIN-UART シリアルモードレジスタ LIN-UART シリアルモードレジスタ (SMR)	388
LIN-UART 送信データレジスタ LIN-UART 送信データレジスタ (TDR)	393
LIN-UART ボーレートジェネレータレジスタ LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成	398
LIN モード 非同期 LIN モード動作	425

M

MB2146-09 F ² MC-8FX のソフトウェア開発サポート環境 (MB95FV100D および MB2146-09) での注意	561
MB95110B/M シリーズ MB95110B/M シリーズの全体ブロック ダイアグラム	9
MB95110B/M シリーズの端子配列図	10
MB95110B/M シリーズの特長	2
MB95110B/M シリーズの品種構成	4
MB95F116MAW サブ PLL クロックモードの動作 (MB95F116MAW/F116NAW を除く 2 系統 クロック品)	69
MB95FV100D F ² MC-8FX のソフトウェア開発サポート環境 (MB95FV100D および MB2146-09) での注意	561
MCU スタンバイモード MCU スタンバイモードに対するウェイクアップ 機能	481

MDSE PWM モード (PCNTH0 レジスタの MDSE:bit5=0)	298
ワンショットモード (PCNTH0 レジスタの MDSE:bit5=1)	300

N

NOP 命令 スタンバイモード設定を行う命令の直後に NOP 命令を 3 命令以上入れてください	76
--	----

P

PC00 8/16 ビット PPG タイマ 00 制御レジスタ ch.0 (PC00)	265
PC01 8/16 ビット PPG タイマ 01 制御レジスタ ch.0 (PC01)	263
PCNTH 16 ビット PPG 状態制御レジスタ, 上位 (PCNTH0)	293
PCNTH0 レジスタ PWM モード (PCNTH0 レジスタの MDSE:bit5=0)	298
ワンショットモード (PCNTH0 レジスタの MDSE:bit5=1)	300
PCNTL 16 ビット PPG 状態制御レジスタ, 下位 (PCNTL0)	295
PCSRH 16 ビット PPG 周期設定バッファレジスタ 上位, 下位 (PCSRH0, PCSRL0)	291
PCSRL 16 ビット PPG 周期設定バッファレジスタ 上位, 下位 (PCSRH0, PCSRL0)	291
PDCRH 16 ビット PPG ダウンカウンタレジスタ 上位, 下位 (PDCRH0, PDCRL0)	290
PDCRL 16 ビット PPG ダウンカウンタレジスタ 上位, 下位 (PDCRH0, PDCRL0)	290
PDS 8/16 ビット PPG タイマ 00/01 デューティ設定 バッファレジスタ (PDS01), (PDS00)	268
PDUTH 16 ビット PPG デューティ設定バッファレジスタ 上位, 下位 (PDUTH0, PDUTL0)	292
PDUTL 16 ビット PPG デューティ設定バッファレジスタ 上位, 下位 (PDUTH0, PDUTL0)	292
PLLC PLL 制御レジスタ (PLLC) の構成	60
PLL クロック PLL クロックの発振安定待ち時間	57
PLL 制御レジスタ PLL 制御レジスタ (PLLC) の構成	60
PPG 16 ビット PPG に関連する端子のブロック ダイアグラム	288
16 ビット PPG モードの設定	277

16 ビット PPG モードの動作	278
8/16 ビット PPG 使用上の注意	279
8/16 ビット PPG に関連する端子のブロック ダイアグラム	260
8/16 ビット PPG の概要	256
8/16 ビット PPG の端子	260
8/16 ビット PPG のチャンネル	259
8/16 ビット PPG のブロックダイアグラム	257
8/16 ビット PPG のレジスタ一覧	262
8/16 ビット PPG の割込み	271
8/16 ビット PPG の割込みに関連するレジスタと ベクタテーブル	271
8 ビット PPG 独立モードの動作	273
8 ビットプリスケラ + 8 ビット PPG モードの 設定	275
8 ビットプリスケラ + 8 ビット PPG モードの 動作	275
PPGS	
8/16 ビット PPG 起動レジスタ (PPGS)	269
PPG タイマ	
16 ビット PPG タイマ	284
16 ビット PPG タイマ使用上の注意	302
16 ビット PPG タイマのサンプル プログラム	303
16 ビット PPG タイマの端子	288
16 ビット PPG タイマのチャンネル	287
16 ビット PPG タイマのブロック ダイアグラム	285
16 ビット PPG タイマのレジスタ	289
16 ビット PPG タイマの割込みに関連する レジスタとベクタテーブル	297
16 ビット PPG タイマ割込み	297
8/16 ビット PPG タイマのサンプル プログラム	280
PPS	
8/16 ビット PPG タイマ 00/01 周期設定バッファ レジスタ (PPS01), (PPS00)	267
PSSR	
UART/SIO 専用ボーレートジェネレータ プリスケラ選択レジスタ (PSSR0)	371
PWC	
インターバルタイマ機能, インプットキャプチャ 機能または PWC 機能の場合	252
PWC タイマ	
PWC タイマ機能	215
PWC タイマ機能の動作	247
PWM タイマ	
PWM タイマ機能 (周期可変モード)	214
PWM タイマ機能 (周期可変モード) の動作	245
PWM タイマ機能 (周期固定モード)	214
PWM タイマ機能 (周期固定モード) の動作	243
PWM モード	
PWM モード (PCNTH0 レジスタの MDSE:bit5=0)	298
R	
RAM	
RAM 内容のリセットによる影響	94

RDR	
LIN-UART 受信データレジスタ (RDR)	392
LIN-UART 受信データレジスタ (RDR/TDR)	392
UART/SIO シリアル入力データレジスタ (RDR0)	345
REVC	
8/16 ビット PPG 出力反転レジスタ (REVC)	270
RP	
レジスタバンクポインタ (RP) の構成	40
RSRR	
リセット要因レジスタ (RSRR) の構成	96
リセット要因レジスタ (RSRR) の状態	98
S	
SCR	
LIN-UART シリアル制御レジスタ (SCR)	386
SMC	
UART/SIO シリアルモード制御レジスタ 1 (SMC10)	339
UART/SIO シリアルモード制御レジスタ 2 (SMC20)	341
SMR	
LIN-UART シリアルモードレジスタ (SMR)	388
SSEN	
セクタ変換許可ビット (FSR:SSEN) の設定手順	558
SSR	
LIN-UART シリアルステータスレジスタ (SSR)	390
UART/SIO シリアルステータスアンドデータ レジスタ (SSR0)	343
STBC	
スタンバイ制御レジスタ (STBC)	66
SWRE	
フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1)	535
フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) 設定フロー	538
SYCC	
システムクロック制御レジスタ (SYCC) の構成	58
T	
T00CR	
8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 0 (T00CR0/T01CR0)	223
8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 1 (T00CR1/T01CR1)	226
T00DR	
8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR)	232
T01CR	
8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 0 (T00CR0/T01CR0)	223
8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 1 (T00CR1/T01CR1)	226

T01DR	
8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR)	232
TBTC	
タイムベースタイマ制御レジスタ (TBTC)	154
TDR	
LIN-UART 受信データレジスタ (RDR/TDR)	392
LIN-UART 送信データレジスタ (TDR)	393
UART/SIO シリアル出力データレジスタ (TDR0)	346
TMCR	
8/16 ビット複合タイマ 00/01 タイマモード制御 レジスタ (TMCR0)	229

U

UART/SIO	
UART/SIO に関連する端子	336
UART/SIO に関連する端子のブロック ダイアグラム	337
UART/SIO に関連するレジスタ	338
UART/SIO の機能	332
UART/SIO のサンプルプログラム	362
UART/SIO のチャンネル	335
UART/SIO の動作	348
UART/SIO の動作モード 0 の動作説明	349
UART/SIO の動作モード 1 の動作説明	356
UART/SIO のブロックダイアグラム	333
UART/SIO の割込み	347
UART/SIO の割込みに関連するレジスタと ベクタテーブル	347
UART/SIO シリアル出力データレジスタ UART/SIO シリアル出力データレジスタ (TDR0)	346
UART/SIO シリアルステータスアンドデータ レジスタ UART/SIO シリアルステータスアンドデータ レジスタ (SSR0)	343
UART/SIO シリアル入力データレジスタ UART/SIO シリアル入力データレジスタ (RDR0)	345
UART/SIO シリアルモード制御レジスタ UART/SIO シリアルモード制御レジスタ 1 (SMC10)	339
UART/SIO シリアルモード制御レジスタ 2 (SMC20)	341
UART/SIO 専用ボーレートジェネレータ UART/SIO 専用ボーレートジェネレータに関連す るレジスタ	370
UART/SIO 専用ボーレートジェネレータの チャンネル	369
UART/SIO 専用ボーレートジェネレータの ブロックダイアグラム	368
UART/SIO 専用ボーレートジェネレータプリスケ ーラ選択レジスタ UART/SIO 専用ボーレートジェネレータプリス ケーラ選択レジスタ (PSSR0)	371
UART/SIO 専用ボーレートジェネレータボーレート 設定レジスタ UART/SIO 専用ボーレートジェネレータ ボーレート設定レジスタ (BRSR0)	372

W

WATR	
発振安定待ち時間設定レジスタ (WATR) の構成	63
WCDR	
時計カウンタデータレジスタ (WCDR)	192
WCSR	
時計カウンタ制御レジスタ (WCSR)	193
WDTC	
ウォッチドッグタイマ制御レジスタ (WDTC)	168
WICR	
割込み端子選択回路制御レジスタ (WICR)	326
WPCR	
時計プリスケラ制御レジスタ (WPCR)	178
WRAR	
ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)	208
WRDR	
ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)	207
WRE	
FSR:WRE の設定について	539
WREN	
ワイルドレジスタアドレス比較許可レジスタ (WREN)	209
WROR	
ワイルドレジスタデータテスト設定レジスタ (WROR)	210

あ

アービトレーション	
アービトレーション	478
アクノリッジ	
アクノリッジ	476
アドレッシング	
アドレッシング	475
アドレッシングの説明	605

い

移行	
スタンバイモード設定前にクロックモードの移行が完了していることを確認してください	76
スタンバイモードの移行と復帰の概要	75
割込み要求によりスタンバイモードへの移行が抑止されることがあります	76
一時停止	
フラッシュメモリのセクタ消去を一時停止する	556
インターバル	
インターバル機能動作時の割込み	156
インターバルタイマ	
インターバルタイマ機能	150, 174
インターバルタイマ機能 (フリーランモード)	214
インターバルタイマ機能 (フリーランモード) の動作	241
インターバルタイマ機能 (連続モード)	214
インターバルタイマ機能 (連続モード) の動作	239
インターバルタイマ機能 (ワンショットモード)	214
インターバルタイマ機能 (ワンショットモード) の動作	237
インターバルタイマ機能, インプットキャプチャ機能または PWC 機能の場合	252
インターバルタイマ機能動作時の割込み (時計割込み)	180
インターバルタイマ機能の動作 (時計プリスケアラ)	182
インタフェース	
I ² C のバスインタフェースに関連する端子	453
インプットキャプチャ	
インターバルタイマ機能, インプットキャプチャ機能または PWC 機能の場合	252
インプットキャプチャ機能	215
インプットキャプチャ機能の動作	249

う

ウェイクアップ	
MCU スタンバイモードに対するウェイクアップ機能	481
ウォッチドッグタイマ	
ウォッチドッグタイマ機能	164
ウォッチドッグタイマ使用上の注意	172
ウォッチドッグタイマの動作	170

ウォッチドッグタイマのブロックダイアグラム	165
ウォッチドッグタイマのレジスタ	167
ウォッチドッグタイマ制御レジスタ	
ウォッチドッグタイマ制御レジスタ (WDTC)	168

え

エッジ検出割込み	
LIN synch field エッジ検出割込み (8/16 ビット複合タイマ割込み)	401
演算系命令	
演算系命令	615
演算結果	
演算結果を示すビット	43

か

外形寸法図	
FPT-48P-M26 の外形寸法図	14
FPT-52P-M01 の外形寸法図	13
LCC-48P-M09 の外形寸法図	15
外部クロック	
外部クロック	411
外部割込み回路	
外部割込み回路に関連する端子	311
外部割込み回路に関連する端子のブロックダイアグラム	311
外部割込み回路の機能	308
外部割込み回路のサンプルプログラム	319
外部割込み回路の使用上の注意	318
外部割込み回路のチャンネル	310
外部割込み回路のブロックダイアグラム	309
外部割込み回路のレジスタ一覧	312
外部割込み回路の割込みに関連するレジスタとベクタテーブル	315
外部割込み回路動作時	
外部割込み回路動作時の動作	316
外部割込み回路動作時の割込み	315
外部割込み制御レジスタ	
外部割込み制御レジスタ (EIC00)	313
カウンタ	
時計カウンタ	188
リロードカウンタの機能	413
書換え	
上位バンクの書換え時における割込み発生	558
書込み	
書込み / 消去中の動作について	559
書込み方法	622
パラレルライタによる Flash マイコンの書込みについて	621
フラッシュメモリ書込み / 消去	529, 564
フラッシュメモリ書込み / 消去の詳細説明	549, 576
フラッシュメモリヘデータの書込み	551, 578
書込み手順	
フラッシュメモリ書込み手順	551, 578

く

クロック

PLL クロックの発振安定待ち時間	57
外部クロック	411
各クロック速度のリロード値とボーレート	410
クロック発振回路	84
サブ PLL クロックモードの動作 (MB95F116MAW/F116NAW を除く 2 系統 クロック品)	69
サブクロックモードの動作 (2 系統クロック品)	69
出力クロック	87, 152, 176, 368
入力クロック	87, 152, 166, 176, 190, 218, 258, 286, 334, 368, 382, 451, 492
クロックスーパーバイザ	
クロックスーパーバイザ使用時のスタートアップ フロー例	524
クロックスーパーバイザ使用上の注意	525
クロックスーパーバイザの概要	516
クロックスーパーバイザの動作	522
クロックスーパーバイザの動作フロー例	523
クロックスーパーバイザのブロックダイアグラム	517
クロックスーパーバイザのレジスター一覧	519
クロックスーパーバイザ制御レジスタ クロックスーパーバイザ制御レジスタ (CSVCR)	520
クロック制御部	
クロック制御部の概要	50
クロック制御部のブロックダイアグラム	51
クロック速度	
各クロック速度のリロード値とボーレート	410
クロックモード	
クロックモード	53
クロックモードとスタンバイモードの組合せ	55
クロックモードの状態遷移図	70
スタンバイモード設定前にクロックモードの 移行が完了していることを 確認してください	76
発振安定待ち時間とクロックモード・スタンバイ モードの遷移	57
クロックモードの影響を受けない周辺機能	53

こ

コマンド

コマンドシーケンス表	540, 569
コマンド発行時の注意点	541, 570
コンディションコードレジスタ コンディションコードレジスタ (CCR) の構成	43

さ

再開

フラッシュメモリのセクタ消去を再開する	557
---------------------------	-----

サブ PLL クロックモード

サブ PLL クロックモードの動作 (MB95F116MAW/F116NAW を除く 2 系統 クロック品)	69
--	----

サブクロック

サブクロックのストップモード時の動作	197
--------------------------	-----

サブクロックモード

サブクロックモードの動作 (2 系統クロック品)	69
--------------------------------	----

サンプルプログラム

16 ビット PPG タイマのサンプル プログラム	303
8/10 ビット A/D コンバータのサンプル プログラム	506
8/16 ビット PPG タイマのサンプル プログラム	280
I ² C のサンプルプログラム	485
LIN-UART のサンプルプログラム	442
UART/SIO のサンプルプログラム	362
外部割込み回路のサンプルプログラム	319
時計カウンタのサンプルプログラム	199
時計プリスケアラのサンプルプログラム	185

し

シーケンス

コマンドシーケンス表	540, 569
------------------	----------

ジェネラルコール

ジェネラルコールアドレス	477
--------------------	-----

システムクロック制御レジスタ

システムクロック制御レジスタ (SYCC) の構成	58
---------------------------------	----

周期可変モード

PWM タイマ機能 (周期可変モード)	214
PWM タイマ機能 (周期可変モード) の動作	245

周期固定モード

PWM タイマ機能 (周期固定モード)	214
PWM タイマ機能 (周期固定モード) の動作	243

周辺機能

クロックモードの影響を受けない 周辺機能	53
周辺機能からの割込み要求	102

受信

受信割込み	347, 399
受信割込み発生とフラグセットのタイミング	403

出力クロック

出力クロック	87, 152, 176, 368
--------------	-------------------

消去

書込み / 消去中の動作について	559
セクタ消去の際の注意点	554
チップ消去の際の注意点	553, 580
フラッシュメモリ書込み / 消去	529, 564
フラッシュメモリ書込み / 消去の詳細説明	549, 576
フラッシュメモリのセクタ消去を一時停止する	556

フラッシュメモリのセクタ消去を再開する	557
フラッシュメモリのデータを消去する （チップ消去）	553, 580
フラッシュメモリの任意のデータを消去する （セクタ消去）	554
消去手順	
フラッシュメモリのセクタ消去手順	554
状態遷移図	
クロックモードの状態遷移図	70
スタンバイモードの状態遷移図	77
シリアル書込み	
シリアル書込み時の接続例	587
フラッシュメモリ品シリアル書込み接続の 基本構成	584
シングルチップモード	
シングルチップモード	36
信号方式	
信号方式	416
す	
スタートアップ	
クロックスーパーバイザ使用時のスタートアップ フロー例	524
スタートコンディション	
スタートコンディション	475
スタック	
割込み処理開始時のスタック動作	109
割込み処理のスタック領域	110
割込み復帰時のスタック動作	109
スタンバイ制御レジスタ	
スタンバイ制御レジスタ (STBC)	66
スタンバイモード	
MCU スタンバイモードに対するウェイクアップ 機能	481
クロックモードとスタンバイモードの組合せ	55
スタンバイモード	54
スタンバイモード時の端子の状態	75
スタンバイモード時の動作	513
スタンバイモード設定前にクロックモードの 移行が完了していることを 確認してください	76
スタンバイモード設定を行う命令の直後に NOP 命令を 3 命令以上入れてください	76
スタンバイモードの移行と復帰の概要	75
スタンバイモードの状態遷移図	77
スタンバイモードは CPU が割込みを 受け付けられない場合も解除されます	76
発振安定待ち時間とクロックモード・スタンバイ モードの遷移	57
割込み要求によりスタンバイモードへの移行 が抑止されることがあります	76
ストップコンディション	
ストップコンディション	478
ストップモード	
サブクロックのストップモード時の動作	197
ストップモードの動作	81
メインクロックのストップモード時の動作	197

ストップ割込み	
ストップ割込み	471
スリープモード	
スリープモードの動作	80
スレーブ	
LIN マスタ / スレーブ型通信機能	434
マスタ / スレーブ型通信機能	431
スレーブデバイス	
LIN スレーブデバイス	436

せ

セクタ	
256K ビットフラッシュメモリのセクタ構成	565
セクタ構成	622
デュアルオペレーションフラッシュメモリの セクタおよびバンク構成	530
セクタ消去	
セクタ消去の際の注意点	554
フラッシュメモリのセクタ消去手順	554
フラッシュメモリのセクタ消去を一時停止する	556
フラッシュメモリのセクタ消去を再開する	557
フラッシュメモリの任意のデータを消去する （セクタ消去）	554
セクタ消去タイマフラグ	
セクタ消去タイマフラグ (DQ3)	548
セクタ変換許可ビット	
セクタ変換許可ビット (FSR:SSEN) の 設定手順	558
設定手順	
設定手順	171
設定手順例	
設定手順例	160, 183, 197, 272, 301, 317, 348, 416, 473, 504
設定フロー	
フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) 設定フロー	538
遷移	
発振安定待ち時間とクロックモード・スタンバイ モードの遷移	57
全体ブロックダイアグラム	
MB95110B/M シリーズの全体ブロック ダイアグラム	9
専用ポーレートジェネレータ	
専用ポーレートジェネレータ （リロードカウンタ）の動作	412
専用レジスタ	
専用レジスタの機能	38
専用レジスタの構成	38
そ	
送受信許可	
送受信許可	416
送信	
送信割込み	347, 400
送信割込み発生とフラグセットの タイミング	405
送信割込み要求発生タイミング	406

双方向通信	
双方向通信機能	429
その他命令	
その他命令	617
ソフトウェア開発サポート環境	
F ² MC-8FX のソフトウェア開発サポート環境	
(MB95FV100D および MB2146-09) での	
注意	561

た

タイマ	
タイマ 00 割込み	235
タイマ 01 割込み	235
タイミング	
受信割込み発生とフラグセットのタイミング	403
送信割込み発生とフラグセットのタイミング	405
送信割込み要求発生タイミング	406
タイミングリミット超過フラグ	
タイミングリミット超過フラグ (DQ5)	547, 575
タイムベースタイマ	
タイムベースタイマ使用上の注意	161
タイムベースタイマのクリア	158
タイムベースタイマの動作	158
タイムベースタイマの動作例	159
タイムベースタイマのブロックダイアグラム	151
タイムベースタイマのレジスタ	153
タイムベースタイマの割込みに関連する	
レジスタとベクタテーブル	157
タイムベースタイマ制御レジスタ	
タイムベースタイマ制御レジスタ (TBTC)	154
タイムベースタイマモード	
タイムベースタイマモードの動作	82
ダイレクトバンクポインタ	
ダイレクトバンクポインタ (DP) の構成	41
レジスタバンクポインタ・ダイレクトバンク	
ポインタのミラーアドレス	40
多重割込み	
多重割込み	107
端子	
16 ビット PPG タイマの端子	288
16 ビット PPG に関連する端子の	
ブロックダイアグラム	288
8/10 ビット A/D コンバータに関連する端子の	
ブロックダイアグラム	494
8/10 ビット A/D コンバータの端子	493
8/16 ビット PPG に関連する端子のブロック	
ダイアグラム	260
8/16 ビット PPG の端子	260
8/16 ビット複合タイマに関連する端子	220
8/16 ビット複合タイマに関連する端子のブロック	
ダイアグラム	221
I ² C のバスインタフェースに関連する端子	453
I ² C に関連する端子のブロック	
ダイアグラム	454
LIN-UART に関連する端子のブロック	
ダイアグラム	384

LIN-UART の端子	383
UART/SIO に関連する端子	336
UART/SIO に関連する端子のブロック	
ダイアグラム	337
外部割込み回路に関連する端子	311
外部割込み回路に関連する端子のブロック	
ダイアグラム	311
スタンバイモード時の端子の状態	75
端子機能説明	16
端子接続について	26
低電圧検出リセット回路に関連する端子	512
ポート 0 の端子	113
ポート 1 の端子	118
ポート 2 の端子	124
ポート 3 の端子	129
ポート 5 の端子	134
ポート 6 の端子	139
ポート G の端子	144
リセット中の端子の状態	95
割込み端子選択回路に関連する端子	324
端子直接アクセス	
LIN-UART 端子直接アクセス	428
端子配列図	
MB95110B/M シリーズの端子配列図	10

ち

チップ消去	
チップ消去の際の注意点	553, 580
フラッシュメモリのデータを消去する	
(チップ消去)	553, 580
チャネル	
16 ビット PPG タイマのチャネル	287
8/16 ビット PPG のチャネル	259
8/16 ビット複合タイマのチャネル	219
I ² C のチャネル	452
UART/SIO 専用ボーレートジェネレータの	
チャネル	369
UART/SIO のチャネル	335
外部割込み回路のチャネル	310
注意	
注意	556

て

低電圧検出リセット回路	
低電圧検出リセット回路	510
低電圧検出リセット回路に関連する端子	512
低電圧検出リセット回路の動作	513
低電圧検出リセット回路のブロック	
ダイアグラム	511
データ転送	
データ転送	475
データポーリングフラグ	
データポーリングフラグ (DQ7)	544, 573
適用アドレス	
ワイルドレジスタ適用アドレス	211
デバイス	
デバイス使用上の注意	24
デバッグ	
デバッグ時の注意	24

デュアルオペレーション	
デュアルオペレーションフラッシュメモリ	
の概要	528
デュアルオペレーションフラッシュメモリ	
のセクタおよびバンク構成	530
デュアルオペレーションフラッシュメモリ	
の特長	529
転送	
データ転送	475
転送系命令	
転送系命令	614
転送割込み	
転送割込み	470

と

同期方式	
同期方式	416
同期モード	
同期モード (動作モード 2) の動作	421
動作モード	
UART/SIO の動作モード 0 の動作説明	349
UART/SIO の動作モード 1 の動作説明	356
同期モード (動作モード 2) の動作	421
特殊な命令	
特殊な命令について	609
独立モード	
8 ビット PPG 独立モードの動作	273
8 ビット独立モードの設定	273
トグルビットフラグ	
トグルビットフラグ (DQ6)	546, 574
トグルビットフラグ (DQ6) に関する制限事項	561
時計カウンタ	
時計カウンタ	188
時計カウンタのサンプルプログラム	199
時計カウンタの設定手順	196
時計カウンタのブロックダイアグラム	189
時計カウンタのレジスタ	191
時計カウンタの割込み	195
時計カウンタの割込みに関連するレジスタと	
ベクタテーブル	195
時計カウンタ制御レジスタ	
時計カウンタ制御レジスタ (WCSR)	193
時計カウンタデータレジスタ	
時計カウンタデータレジスタ (WCDR)	192
時計プリスケアラ	
インターバルタイマ機能の動作	
(時計プリスケアラ)	182
時計プリスケアラ使用上の注意	184
時計プリスケアラのクリア	182
時計プリスケアラのサンプルプログラム	185
時計プリスケアラの動作例	182
時計プリスケアラのブロックダイアグラム	175
時計プリスケアラのレジスタ	177
時計プリスケアラの割込み	180
時計プリスケアラの割込みに関連する	
レジスタとベクタテーブル	181
時計プリスケアラ制御レジスタ	
時計プリスケアラ制御レジスタ (WPCR)	178

時計モード	
時計モードの動作	83
時計割込み	
インターバルタイマ機能動作時の割込み	
(時計割込み)	180

に

入出力回路形式	
入出力回路形式	19
入力クロック	
入力クロック	87, 152, 166, 176, 190, 218, 258, 286, 334, 368, 382, 451, 492

は

ハードウェア	
ハードウェア接続例	212
ハードウェアシーケンスフラグ	
ハードウェアシーケンスフラグ	542, 571
ハードウェアトリガ	
ハードウェアトリガ	301
配置	
16 ビットデータのメモリ上の配置	47
バスインタフェース	
I ² C のバスインタフェースに関連する端子	453
パッケージ	
パッケージと品種対応	8
発振安定待ち時間	
PLL クロックの発振安定待ち時間	57
発振安定待ち時間	56
発振安定待ち時間とクロックモード・	
スタンバイモードの遷移	57
発振安定待ち時間設定レジスタ	
発振安定待ち時間設定レジスタ (WATR) の構成	63
発振回路	
クロック発振回路	84
パラレルライタ	
パラレルライタによる Flash マイコンの書込みに	
ついて	621
バンク	
上位バンクの書換え時における	
割込み発生	558
デュアルオペレーションフラッシュメモリの	
セクタおよびバンク構成	530
汎用レジスタ	
汎用レジスタの構成	45
汎用レジスタの特長	46
汎用レジスタ領域	
(アドレス :0100 _H ~ 01FF _H)	32
ひ	
ビット操作命令	
ビット操作命令実行時の読出し先	613
非同期 LIN モード	
非同期 LIN モード動作	425

非同期モード	
非同期モードの動作	417
表示記号	
命令の表示記号の説明	603
品種間の相違点	
品種間の相違点と品種選択時の注意事項	7
品種構成	
MB95110B/M シリーズの品種構成	4
品種対応	
パッケージと品種対応	8

ふ

複合タイマ	
8/16 ビット複合タイマ使用上の注意	254
8/16 ビット複合タイマに関連する端子	220
8/16 ビット複合タイマに関連する端子の ブロックダイアグラム	221
8/16 ビット複合タイマに関連するレジスタ	222
8/16 ビット複合タイマのチャンネル	219
8/16 ビット複合タイマのブロック ダイアグラム	217
8/16 ビット複合タイマの割込みに関連する レジスタとベクタテーブル	236
LIN synch field エッジ検出割込み (8/16 ビット複合タイマ割込み)	401
復帰	
スタンバイモードの移行と復帰の概要	75
フラグセット	
受信割込み発生とフラグセットのタイミング	403
送信割込み発生とフラグセットのタイミング	405
フラッシュセキュリティ	
フラッシュセキュリティ	560, 581
フラッシュマイコンプログラマ	
フラッシュマイコンプログラマとの最小限の 接続例	589
フラッシュメモリ	
256K ビットフラッシュメモリの概要	564
256K ビットフラッシュメモリのセクタ構成	565
256K ビットフラッシュメモリの特長	564
デュアルオペレーションフラッシュメモリの 概要	528
デュアルオペレーションフラッシュメモリの セクタおよびバンク構成	530
デュアルオペレーションフラッシュメモリの 特長	529
フラッシュメモリ書込み / 消去	529, 564
フラッシュメモリ書込み / 消去の 詳細説明	549, 576
フラッシュメモリ書込み手順	551, 578
フラッシュメモリのセクタ消去手順	554
フラッシュメモリのセクタ消去を一時停止する	556
フラッシュメモリのセクタ消去を再開する	557
フラッシュメモリのデータを消去する (チップ消去)	553, 580

フラッシュメモリの任意のデータを消去する (セクタ消去)	554
フラッシュメモリのレジスタ	531, 566
フラッシュメモリヘデータの書込み	551, 578
フラッシュメモリを読み出し / リセット 状態にする	550, 577
フラッシュメモリステータスレジスタ	
フラッシュメモリステータスレジスタ (FSR)	532, 567
フラッシュメモリセクタ書込み制御レジスタ	
フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1)	535
フラッシュメモリセクタ書込み制御レジスタ (SWRE0/SWRE1) 設定フロー	538
フラッシュメモリ品	
フラッシュメモリ品シリアル書込み接続の 基本構成	584
フリーランモード	
インターバルタイマ機能 (フリーランモード)	214
インターバルタイマ機能 (フリーランモード) の 動作	241
プリスケアラ	
8 ビットプリスケアラ + 8 ビット PPG モードの 設定	275
8 ビットプリスケアラ + 8 ビット PPG モードの 動作	275
時計プリスケアラのブロックダイアグラム	175
プリスケアラ	86
プリスケアラの動作	88
プリスケアラのブロックダイアグラム	87
プログラム	
プログラム例以外の設定方法	185, 199, 280, 303, 319, 362, 442, 485, 506
ブロックダイアグラム	
16 ビット PPG タイマのブロックダイアグラム	285
16 ビット PPG に関連する端子の ブロックダイアグラム	288
8/10 ビット A/D コンバータに関連する端子の ブロックダイアグラム	494
8/10 ビット A/D コンバータの ブロックダイアグラム	491
8/16 ビット PPG に関連する端子の ブロックダイアグラム	260
8/16 ビット PPG のブロックダイアグラム	257
8/16 ビット複合タイマに関連する端子の ブロックダイアグラム	221
8/16 ビット複合タイマのブロック ダイアグラム	217
I ² C に関連する端子のブロック ダイアグラム	454
LIN-UART に関連する端子のブロック ダイアグラム	384
LIN-UART のブロックダイアグラム	379
MB95110B/M シリーズの全体ブロック ダイアグラム	9
UART/SIO 専用ボーレートジェネレータの ブロックダイアグラム	368
UART/SIO に関連する端子のブロック ダイアグラム	337

UART/SIO のブロックダイアグラム	333
ウォッチドッグタイマのブロック ダイアグラム	165
外部割込み回路に関連する端子のブロックダイア グラム	311
外部割込み回路のブロックダイアグラム	309
クロックスーパーバイザのブロック ダイアグラム	517
クロック制御部のブロックダイアグラム	51
タイムベースタイマのブロック ダイアグラム	151
低電圧検出しセット回路のブロック ダイアグラム	511
時計カウンタのブロックダイアグラム	189
時計プリスケアラのブロック ダイアグラム	175
プリスケアラのブロックダイアグラム	87
ポート 0 のブロックダイアグラム	114
ポート 1 のブロックダイアグラム	119
ポート 2 のブロックダイアグラム	125
ポート 3 のブロックダイアグラム	130
ポート 5 のブロックダイアグラム	135
ポート 6 のブロックダイアグラム	140
ポート G のブロックダイアグラム	145
ワイルドレジスタ機能のブロック ダイアグラム	203
割込み端子選択回路のブロック ダイアグラム	323
プロトコル I ² C のプロトコル	474
分岐系命令 分岐系命令	617

へ

ベクタテーブル 16 ビット PPG タイマの割込みに関連する レジスタとベクタテーブル	297
8/10 ビット A/D コンバータの割込みに関連する レジスタとベクタテーブル	501
8/16 ビット PPG の割込みに関連するレジスタと ベクタテーブル	271
8/16 ビット複合タイマの割込みに関連する レジスタとベクタテーブル	236
I ² C の割込みに関連するレジスタとベクタ テーブル	472
LIN-UART の割込みに関連するレジスタとベクタ テーブル	402
UART/SIO の割込みに関連するレジスタとベクタ テーブル	347
外部割込み回路の割込みに関連するレジスタと ベクタテーブル	315
タイムベースタイマの割込みに関連するレジスタ とベクタテーブル	157
時計カウンタの割込みに関連するレジスタと ベクタテーブル	195
時計プリスケアラの割込みに関連するレジスタと ベクタテーブル	181
ベクタテーブル領域 (アドレス :FFC0 _H ~ FFFF _H)	32

ほ

ポート 0 ポート 0 の構成	113
ポート 0 の端子	113
ポート 0 の動作	116
ポート 0 のブロックダイアグラム	114
ポート 0 のレジスタの機能	115
ポート 1 ポート 1 の構成	118
ポート 1 の端子	118
ポート 1 の動作	121
ポート 1 のブロックダイアグラム	119
ポート 1 のレジスタの機能	120
ポート 2 ポート 2 の構成	124
ポート 2 の端子	124
ポート 2 の動作	127
ポート 2 のブロックダイアグラム	125
ポート 2 のレジスタの機能	126
ポート 3 ポート 3 の構成	129
ポート 3 の端子	129
ポート 3 の動作	132
ポート 3 のブロックダイアグラム	130
ポート 3 のレジスタの機能	131
ポート 5 ポート 5 の構成	134
ポート 5 の端子	134
ポート 5 の動作	137
ポート 5 のブロックダイアグラム	135
ポート 5 のレジスタの機能	136
ポート 6 ポート 6 の構成	139
ポート 6 の端子	139
ポート 6 の動作	142
ポート 6 のブロックダイアグラム	140
ポート 6 のレジスタの機能	141
ポート G ポート G の構成	144
ポート G の端子	144
ポート G の動作	147
ポート G のブロックダイアグラム	145
ポート G のレジスタの機能	146
ボーレート LIN-UART ボーレート選択	407
各クロック速度のリロード値と ボーレート	410
ボーレート設定	373
ボーレートの計算	409
ボーレートジェネレータ UART/SIO 専用ボーレートジェネレータに 関連するレジスタ	370
UART/SIO 専用ボーレートジェネレータの チャンネル	369
UART/SIO 専用ボーレートジェネレータの ブロックダイアグラム	368

ま

マスタ LIN マスタ / スレーブ型通信機能	434
----------------------------------	-----

マスタ/スレーブ型通信機能	431
マスタ/スレーブ	
LIN マスタ/スレーブ型通信機能	434
マスタ/スレーブ型通信機能	431
マスタデバイス	
LIN マスタデバイス	435

み

ミラーアドレス	
レジスタバンクポインタ・ダイレクトバンク	
ポインタのミラーアドレス	40

め

命令	
F ² MC-8FX の命令の概要	602
スタンバイモード設定を行う命令の直後に	
NOP 命令を 3 命令以上入れてください	76
命令一覧表の項目の説明	604
命令の表示記号の説明	603
命令マップ	
命令マップ	618
メイン PLL クロックモード	
メイン PLL クロックモードの動作	69
メインクロック	
メインクロックのストップモード時の動作	
.....	197
メインクロックモード	
メインクロックモードの動作	69
メモリ	
16 ビットデータのメモリ上の配置	47
メモリ空間	
メモリ空間の構成	30
メモリマップ	
メモリマップ	31, 33, 598

も

モード	
16 ビット PPG モードの設定	277
16 ビット PPG モードの動作	278
8 ビット PPG 独立モードの動作	273
8 ビット独立モードの設定	273
8 ビットプリスケラ + 8 ビット PPG モードの	
設定	275
8 ビットプリスケラ + 8 ビット PPG モードの	
動作	275
MCU スタンバイモードに対するウェイクアップ	
機能	481
PWM タイマ機能 (周期可変モード)	214
PWM タイマ機能 (周期可変モード) の	
動作	245
PWM タイマ機能 (周期固定モード)	214
PWM タイマ機能 (周期固定モード) の動作	
.....	243
PWM モード (PCNTH0 レジスタの	
MDSE:bit5=0)	298
UART/SIO の動作モード 0 の動作説明	349
UART/SIO の動作モード 1 の動作説明	356

インターバルタイマ機能 (フリーランモード)	
.....	214
インターバルタイマ機能 (フリーランモード) の	
動作	241
インターバルタイマ機能 (連続モード)	214
インターバルタイマ機能 (連続モード) の	
動作	239
インターバルタイマ機能	
(ワンショットモード)	214
インターバルタイマ機能 (ワンショットモード)	
の動作	237
クロックモード	53
クロックモードとスタンバイモードの組合せ	
.....	55
クロックモードの状態遷移図	70
サブ PLL クロックモードの動作	
(MB95F116MAW/F116NAW を除く	
2 系統クロック品)	69
サブクロックのストップモード時の動作	197
サブクロックモードの動作	
(2 系統クロック品)	69
シングルチップモード	36
スタンバイモード	54
スタンバイモード設定前にクロックモードの	
移行が完了していることを	
確認してください	76
スタンバイモードの移行と復帰の概要	75
ストップモードの動作	81
スリープモードの動作	80
タイムベースタイマモードの動作	82
同期モード (動作モード 2) の動作	421
発振安定待ち時間とクロックモード・	
スタンバイモードの遷移	57
非同期 LIN モード動作	425
非同期モードの動作	417
メイン PLL クロックモードの動作	69
メインクロックのストップモード時の動作	
.....	197
メインクロックモードの動作	69
割込み要求によりスタンバイモードへの移行が	
抑止されることがあります	76
ワンショットモード (PCNTH0 レジスタの	
MDSE:bit5=1)	300

よ

読出し	
フラッシュメモリを讀出し / リセット	
状態にする	550, 577

り

リードモディファイライト	
リードモディファイライト動作	613
リセット	
RAM 内容のリセットによる影響	94
低電圧検出リセット回路	510
低電圧検出リセット回路のブロック	
ダイアグラム	511
フラッシュメモリを讀出し / リセット	
状態にする	550, 577
リセット出力	93

リセット使用上の注意	99
リセット中の時間	93
リセット中の端子の状態	95
リセット動作の概要	94
リセット要因	92
リセット要因レジスタ	
リセット要因レジスタ (RSRR) の構成	96
リセット要因レジスタ (RSRR) の状態	98
リロードカウンタ	
リロードカウンタの機能	413
専用ボーレートジェネレータ (リロードカウンタ) の動作	412
リロード値	
各クロック速度のリロード値とボーレート	410

れ

レジスタバンクポインタ	
レジスタバンクポインタ (RP) の構成	40
レジスタバンクポインタ・ダイレクトバンク ポインタのミラーアドレス	40
連続モード	
インターバルタイマ機能 (連続モード)	214
インターバルタイマ機能 (連続モード) の動作	239

わ

ワイルドレジスタ	
ワイルドレジスタ機能	202
ワイルドレジスタ機能のブロック ダイアグラム	203
ワイルドレジスタ適用アドレス	211
ワイルドレジスタに関連するレジスタ	205
ワイルドレジスタの設定順序	211
ワイルドレジスタ番号	206
ワイルドレジスタアドレス設定レジスタ	
ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)	208
ワイルドレジスタアドレス比較許可レジスタ	
ワイルドレジスタアドレス比較許可レジスタ (WREN)	209
ワイルドレジスタデータ設定レジスタ	
ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)	207
ワイルドレジスタデータテスト設定レジスタ	
ワイルドレジスタデータテスト設定レジスタ (WROR)	210
割込み	
16 ビット PPG タイマの割込みに関連する レジスタとベクタテーブル	297
16 ビット PPG タイマ割込み	297
8/10 ビット A/D コンバータ動作時の割込み	501
8/10 ビット A/D コンバータの割込みに関連する レジスタとベクタテーブル	501
8/16 ビット PPG の割込み	271
8/16 ビット PPG の割込みに関連するレジスタと ベクタテーブル	271
8/16 ビット複合タイマの割込みに関連する レジスタとベクタテーブル	236

I ² C の割込みに関連するレジスタと ベクタテーブル	472
LIN synch field エッジ検出割込み (8/16 ビット複合タイマ割込み)	401
LIN-UART の割込みに関連するレジスタと ベクタテーブル	402
UART/SIO の割込み	347
UART/SIO の割込みに関連するレジスタと ベクタテーブル	347
インターバル機能動作時の割込み	156
インターバルタイマ機能動作時の割込み (時計割込み)	180
外部割込み回路動作時の割込み	315
外部割込み回路の割込みに関連するレジスタと ベクタテーブル	315
受信割込み	347, 399
受信割込み発生とフラグセットの タイミング	403
上位バンクの書換え時における 割込み発生	558
スタンバイモードは CPU が割込みを受け付け ない場合も解除されます	76
ストップ割込み	471
送信割込み	347, 400
送信割込み発生とフラグセットのタイミング	405
送信割込み要求発生タイミング	406
タイマ 00 割込み	235
タイマ 01 割込み	235
タイムベースタイマの割込みに関連するレジスタ とベクタテーブル	157
多重割込み	107
転送割込み	470
時計カウンタの割込み	195
時計カウンタの割込みに関連するレジスタと ベクタテーブル	195
時計プリスケアラの割込み	180
時計プリスケアラの割込みに関連するレジスタと ベクタテーブル	181
割込み処理開始時のスタック動作	109
割込み処理時間	108
割込み処理のスタック領域	110
割込み動作時の処理	105
割込みの受付を制御するビット	44
割込みの概要	102
割込み復帰時のスタック動作	109
割込み要因のテーブル	597
割込み端子選択回路	
割込み端子選択回路	322
割込み端子選択回路に関連する端子	324
割込み端子選択回路に関連するレジスタ	325
割込み端子選択回路の動作	329
割込み端子選択回路のブロックダイアグラム	323
割込み端子選択回路制御レジスタ	
割込み端子選択回路制御レジスタ (WICR)	326
割込み要求	
周辺機能からの割込み要求	102
割込み要求によりスタンバイモードへの移行が 抑止されることがあります	76

索引

割込みレベル設定レジスタ	
割込みレベル設定レジスタ (ILR0 ~ ILR5) の	
構成	104
ワンショットモード	
インターバルタイマ機能	
(ワンショットモード)	214
インターバルタイマ機能 (ワンショットモード)	
の動作	237
ワンショットモード (PCNTH0 レジスタの	
MDSE:bit5=1)	300

レジスタ索引

A

ADC1	A/D コンバータ制御レジスタ 1	496
ADC2	A/D コンバータ制御レジスタ 2	498
ADDH	A/D コンバータデータレジスタ上位	500
ADDL	A/D コンバータデータレジスタ下位	500
AIDRL	A/D 入力禁止レジスタ下位	112

B

BGR0	LIN-UART ボーレートジェネレータ レジスタ 0	398
BGR1	LIN-UART ボーレートジェネレータ レジスタ 1	398
BRSR0	UART/SIO 専用ボーレートジェネレータ ボーレート設定レジスタ ch.0	372

C

CSVCR	クロックスーパーバイザ制御レジスタ	520
-------	----------------------------	-----

D

DDR0	ポート 0 方向レジスタ	112
DDR1	ポート 1 方向レジスタ	112
DDR2	ポート 2 方向レジスタ	112
DDR3	ポート 3 方向レジスタ	112
DDR5	ポート 5 方向レジスタ	112
DDR6	ポート 6 方向レジスタ	112
DDRG	ポート G 方向レジスタ	112

E

ECCR	LIN-UART 拡張通信制御レジスタ	396
EIC00	外部割込み制御レジスタ ch.0/ch.1	313
EIC10	外部割込み制御レジスタ ch.2/ch.3	313
EIC20	外部割込み制御レジスタ ch.4/ch.5	313
EIC30	外部割込み制御レジスタ ch.6/ch.7	313
ESCR	LIN-UART 拡張ステータス制御レジスタ	394

F

FSR	フラッシュメモリステータスレジスタ	532
FSR	フラッシュメモリステータス レジスタ	567

I

IAAR0	I ² C アドレスレジスタ ch.0	467
IBCR00	I ² C バス制御レジスタ 0 ch.0	456
IBCR10	I ² C バス制御レジスタ 1 ch.0	460
IBSR0	I ² C バスステータスレジスタ ch.0	463
ICCR0	I ² C クロック制御レジスタ ch.0	468
IDDR0	I ² C データレジスタ ch.0	466
ILR0	割込みレベル設定レジスタ 0	104
ILR1	割込みレベル設定レジスタ 1	104
ILR2	割込みレベル設定レジスタ 2	104
ILR3	割込みレベル設定レジスタ 3	104
ILR4	割込みレベル設定レジスタ 4	104
ILR5	割込みレベル設定レジスタ 5	104
ILSR	入力レベル選択レジスタ	112
ILSR2	入力レベル選択レジスタ 2	112

P

PC00	8/16 ビット PPG タイマ 00 制御レジスタ ch.0	265
PC01	8/16 ビット PPG タイマ 01 制御レジスタ ch.0	263
PC10	8/16 ビット PPG タイマ 00 制御レジスタ ch.1	265
PC11	8/16 ビット PPG タイマ 01 制御レジスタ ch.1	263
PCNTH0	16 ビット PPG 状態制御レジスタ上位 ch.0	293
PCNTL0	16 ビット PPG 状態制御レジスタ下位 ch.0	295
PCSRH0	16 ビット PPG 周期設定バッファレジスタ 上位 ch.0	291
PCSRL0	16 ビット PPG 周期設定バッファレジスタ 下位 ch.0	291
PDCRH0	16 ビット PPG ダウンカウンタレジスタ 上位 ch.0	290
PDCRL0	16 ビット PPG ダウンカウンタレジスタ 下位 ch.0	290
PDR0	ポート 0 データレジスタ	112
PDR1	ポート 1 データレジスタ	112
PDR2	ポート 2 データレジスタ	112
PDR3	ポート 3 データレジスタ	112
PDR5	ポート 5 データレジスタ	112
PDR6	ポート 6 データレジスタ	112
PDRG	ポート G データレジスタ	112
PDS00	8/16 ビット PPG タイマ 00 デューティ 設定バッファレジスタ ch.0	268
PDS01	8/16 ビット PPG タイマ 01 デューティ 設定バッファレジスタ ch.0	268
PDS10	8/16 ビット PPG タイマ 00 デューティ 設定バッファレジスタ ch.1	268
PDS11	8/16 ビット PPG タイマ 01 デューティ 設定バッファレジスタ ch.1	268
PDUTH0	16 ビット PPG デューティ設定バッファ レジスタ上位 ch.0	292

PDUTL0	16 ビット PPG デューティ設定バッファ レジスタ下位 ch.0	292
PLLC	PLL 制御レジスタ	60
PPGS	8/16 ビット PPG 起動レジスタ	269
PPS00	8/16 ビット PPG タイマ 00 周期設定 バッファレジスタ ch.0	267
PPS01	8/16 ビット PPG タイマ 01 周期設定 バッファレジスタ ch.0	267
PPS10	8/16 ビット PPG タイマ 00 周期設定 バッファレジスタ ch.1	267
PPS11	8/16 ビット PPG タイマ 01 周期設定 バッファレジスタ ch.1	267
PSSR0	UART/SIO 専用ボーレートジェネレータ プリスケラ選択レジスタ ch.0	371
PUL1	ポート 1 プルアップ制御レジスタ	112
PUL2	ポート 2 プルアップ制御レジスタ	112
PUL3	ポート 3 プルアップ制御レジスタ	112
PULG	ポート G プルアップ制御レジスタ	112

R

RDR/TDR	LIN-UART 受 / 送信データレジスタ	392
RDR0	UART/SIO シリアル入力データレジスタ ch.0	345
REVC	8/16 ビット PPG 出力反転レジスタ	270
RSRR	リセット要因レジスタ	96

S

SCR	LIN-UART シリアル制御レジスタ	386
SMC10	UART/SIO シリアルモード制御レジスタ 1 ch.0	339
SMC20	UART/SIO シリアルモード制御レジスタ 2 ch.0	341
SMR	LIN-UART シリアルモードレジ スタ	388
SSR	LIN-UART シリアルステータスレジスタ	390
SSR0	UART/SIO シリアルステータスアンド データレジスタ ch.0	343
STBC	スタンバイ制御レジスタ	66
SWRE0	フラッシュメモリセクタ書込み制御 レジスタ 0	535
SWRE1	フラッシュメモリセクタ書込み制御 レジスタ 1	535
SYCC	システムクロック制御レジスタ	58

T

T00CR0	8/16 ビット複合タイマ 00 制御ステータス レジスタ 0 ch.0	223
T00CR1	8/16 ビット複合タイマ 00 制御ステータス レジスタ 1 ch.0	226

T00DR	8/16 ビット複合タイマ 00 データレジスタ ch.0	232
T01CR0	8/16 ビット複合タイマ 01 制御ステータス レジスタ 0 ch.0	223
T01CR1	8/16 ビット複合タイマ 01 制御ステータス レジスタ 1 ch.0	226
T01DR	8/16 ビット複合タイマ 01 データレジスタ ch.0	232
T10CR0	8/16 ビット複合タイマ 10 制御ステータス レジスタ 0 ch.1	223
T10CR1	8/16 ビット複合タイマ 10 制御ステータス レジスタ 1 ch.1	226
T10DR	8/16 ビット複合タイマ 10 データレジスタ ch.1	232
T11CR0	8/16 ビット複合タイマ 11 制御ステータス レジスタ 0 ch.1	223
T11CR1	8/16 ビット複合タイマ 11 制御ステータス レジスタ 1 ch.1	226
T11DR	8/16 ビット複合タイマ 11 データレジスタ ch.1	232
TBTC	タイムベースタイマ制御レジスタ	154
TDR0	UART/SIO シリアル出力データレジスタ ch.0	346
TMCR0	8/16 ビット複合タイマ 00/01 タイマモード 制御レジスタ ch.0	229
TMCR1	8/16 ビット複合タイマ 00/01 タイマモード 制御レジスタ ch.1	229

W

WATR	発振安定待ち時間設定レジスタ	63
WCDR	時計カウンタデータレジスタ	192
WCSR	時計カウンタ制御レジスタ	193
WDTC	ウォッチドックタイマ制御レジスタ	168
WICR	割込み端子選択回路制御レジスタ	326
WPCR	時計プリスケラ制御レジスタ	178
WRARH0	ワイルドレジスタアドレス設定レジスタ 上位 ch.0	208
WRARH1	ワイルドレジスタアドレス設定レジスタ 上位 ch.1	208
WRARH2	ワイルドレジスタアドレス設定レジスタ 上位 ch.2	208
WRARL0	ワイルドレジスタアドレス設定レジスタ 下位 ch.0	208
WRARL1	ワイルドレジスタアドレス設定レジスタ 下位 ch.1	208
WRARL2	ワイルドレジスタアドレス設定レジスタ 下位 ch.2	208
WRDR0	ワイルドレジスタデータ設定レジスタ ch.0	207
WRDR1	ワイルドレジスタデータ設定レジスタ ch.1	207
WRDR2	ワイルドレジスタデータ設定レジスタ ch.2	207
WREN	ワイルドレジスタアドレス比較許可 レジスタ	209
WROR	ワイルドレジスタデータテスト設定 レジスタ	210

端子機能索引

A

ADTG	A/D コンバータのトリガ入力端子	493
AN00	A/D コンバータのアナログ入力端子 ch.0	493
AN01	A/D コンバータのアナログ入力端子 ch.1	493
AN02	A/D コンバータのアナログ入力端子 ch.2	493
AN03	A/D コンバータのアナログ入力端子 ch.3	493
AN04	A/D コンバータのアナログ入力端子 ch.4	493
AN05	A/D コンバータのアナログ入力端子 ch.5	493
AN06	A/D コンバータのアナログ入力端子 ch.6	493
AN07	A/D コンバータのアナログ入力端子 ch.7	493
AV _{CC}	A/D コンバータの電源端子	493
AV _{SS}	A/D コンバータのグランド端子	493

E

EC0	8/16 ビット複合タイマ 00/01 クロック入力端子 ch.0	220
EC1	8/16 ビット複合タイマ 00/01 クロック入力端子 ch.1	221

I

INT00	外部割込み入力端子 ch.0	311
INT01	外部割込み入力端子 ch.1	311
INT02	外部割込み入力端子 ch.2	311
INT03	外部割込み入力端子 ch.3	311
INT04	外部割込み入力端子 ch.4	311
INT05	外部割込み入力端子 ch.5	311
INT06	外部割込み入力端子 ch.6	311
INT07	外部割込み入力端子 ch.7	311

M

MOD	モード端子	36
-----	-------------	----

P

PPG0	16 ビット PPG 出力端子 ch.0	288
PPG00	8/16 ビット PPG00 出力端子 ch.0	260
PPG01	8/16 ビット PPG01 出力端子 ch.0	260
PPG10	8/16 ビット PPG00 出力端子 ch.1	261

PPG11	8/16 ビット PPG01 出力端子 ch.1	261
-------	--------------------------------	-----

R

RST	リセット端子	92
-----	--------------	----

S

SCK	LIN-UART のクロック入出力端子	383
SCL0	I ² C のクロック入出力端子 ch.0	453
SDA0	I ² C のデータライン端子 ch.0	453
SIN	LIN-UART のシリアルデータ入力端子	383
SOT	LIN-UART のシリアルデータ出力端子	383

T

TO00	8/16 ビット複合タイマ 00 出力端子 ch.0	220
TO01	8/16 ビット複合タイマ 01 出力端子 ch.0	220
TO10	8/16 ビット複合タイマ 00 出力端子 ch.1	221
TO11	8/16 ビット複合タイマ 01 出力端子 ch.1	221
TRG0	16 ビット PPG トリガ入力端子 ch.0	288

U

UCK0	UART/SIO のクロック入出力端子 ch.0	336
UI0	UART/SIO のデータ入力端子 ch.0	336
UO0	UART/SIO のデータ出力端子 ch.0	336

割込みベクタ索引

I

IRQ0	外部割込み ch.0	315
IRQ0	外部割込み ch.4	315
IRQ1	外部割込み ch.1	315
IRQ1	外部割込み ch.5	315
IRQ2	外部割込み ch.2	315
IRQ2	外部割込み ch.6	315
IRQ3	外部割込み ch.3	315
IRQ3	外部割込み ch.7	315
IRQ4	UART/SIO ch.0	347
IRQ5	8/16 ビット複合タイマ ch.0(下位)	236
IRQ6	8/16 ビット複合タイマ ch.0(上位)	236
IRQ7	LIN-UART(受信)	402
IRQ8	LIN-UART(送信)	402
IRQ9	8/16 ビット PPG ch.1(下位)	271
IRQ10	8/16 ビット PPG ch.1(上位)	271
IRQ12	8/16 ビット PPG ch.0(上位)	271
IRQ13	8/16 ビット PPG ch.0(下位)	271
IRQ14	8/16 ビット複合タイマ ch.1(上位)	236
IRQ15	16 ビット PPG ch.0	297
IRQ16	I ² C ch.0	472
IRQ18	8/10 ビット A/D	501
IRQ19	タイムベースタイマ	157
IRQ20	時計プリスケアラ / カウンタ	181, 195
IRQ22	8/16 ビット複合タイマ ch.1(下位)	236
IRQ23	フラッシュメモリ	597

CM26-10109-4

富士通マイクロエレクトロニクス・CONTROLLER MANUAL

F²MC[®]-8FX

8 ビット・マイクロコントローラ

MB95110B/M Series

ハードウェアマニュアル

2009 年 10 月第 4 版発行

発行

富士通マイクロエレクトロニクス株式会社

編集

マーケティング統括部 プロモーション推進部
