



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

正誤表

MB95330Hシリーズハードウェアマニュアル 第1版(CM26-10126-1)に対する正誤表です。

F²MC-8FX

8ビット・マイクロコントローラ

MB95330Hシリーズ

ハードウェアマニュアル

2012. 05. 11

※ : 訂正箇所

			訂正内容																																																																																								
2012/05/11	82	6. 12	<p>「表6. 12-1 プリスケーラの生成するカウントクロックソース」を以下の で示すように訂正。</p> <p>(誤)</p> <p>表6. 12-1 プリスケーラの生成するカウントクロックソース</p> <table><tr><th>カウントクロック ソース周波数</th><th colspan="2">周波数 (F_{CH} = 10 MHz, MCLK = 10 MHzの時)</th><th colspan="2">周波数 (F_{CH} = 16 MHz, MCLK = 16 MHzの時)</th><th colspan="2">周波数 (F_{CH} = 16.25 MHz, MCLK = 16.25 MHzの時)</th></tr><tr><td>MCLK/2</td><td>MCLK/2</td><td>(5 MHz)</td><td>MCLK/2</td><td>(8 MHz)</td><td>MCLK/2</td><td>(8.125 MHz)</td></tr><tr><td>MCLK/4</td><td>MCLK/4</td><td>(2.5 MHz)</td><td>MCLK/4</td><td>(4 MHz)</td><td>MCLK/4</td><td>(4.0625 MHz)</td></tr><tr><td>MCLK/8</td><td>MCLK/8</td><td>(1.25 MHz)</td><td>MCLK/8</td><td>(2 MHz)</td><td>MCLK/8</td><td>(2.0313 MHz)</td></tr><tr><td>MCLK/16</td><td>MCLK/16</td><td>(0.625 MHz)</td><td>MCLK/16</td><td>(1 MHz)</td><td>MCLK/16</td><td>(1.0156 MHz)</td></tr><tr><td>MCLK/32</td><td>MCLK/32</td><td>(0.3125 MHz)</td><td>MCLK/32</td><td>(0.5 MHz)</td><td>MCLK/32</td><td>(0.5078 MHz)</td></tr><tr><td>F_{CH}/2⁷</td><td>F_{CH}/2⁷</td><td>(78 kHz)</td><td>F_{CH}/2⁷</td><td>(125 kHz)</td><td>F_{CH}/2⁷</td><td>(127 kHz)</td></tr><tr><td>F_{CH}/2⁸</td><td>F_{CH}/2⁸</td><td>(39 kHz)</td><td>F_{CH}/2⁸</td><td>(62.5 kHz)</td><td>F_{CH}/2⁸</td><td>(63.5 kHz)</td></tr></table> <p>(正)</p> <p>表6. 12-1 プリスケーラの生成するカウントクロックソース (F_{CH})</p> <table><tr><th>カウントクロック ソース周波数</th><th>周波数 (F_{CH} = MHz, MCLK = 10 MHz)</th><th>周波数 (F_{CH} = MHz, MCLK = 16 MHz)</th><th>周波数 (F_{CH} = MHz, MCLK = 16.25 MHz)</th></tr><tr><td>MCLK/2</td><td>5 MHz</td><td>8 MHz</td><td>8.125 MHz</td></tr><tr><td>MCLK/4</td><td>2.5 MHz</td><td>4 MHz</td><td>4.0625 MHz</td></tr><tr><td>MCLK/8</td><td>1.25 MHz</td><td>2 MHz</td><td>2.0313 MHz</td></tr><tr><td>MCLK/16</td><td>0.625 MHz</td><td>1 MHz</td><td>1.0156 MHz</td></tr><tr><td>MCLK/32</td><td>0.3125 MHz</td><td>0.5 MHz</td><td>0.5078 MHz</td></tr><tr><td>F_{CH}/2⁷</td><td> 156.25 kHz</td><td> 250 kHz</td><td> 253.9 kHz</td></tr><tr><td>F_{CH}/2⁸</td><td> 78.125 kHz</td><td> 125 kHz</td><td> 126.95 kHz</td></tr></table>	カウントクロック ソース周波数	周波数 (F _{CH} = 10 MHz, MCLK = 10 MHzの時)		周波数 (F _{CH} = 16 MHz, MCLK = 16 MHzの時)		周波数 (F _{CH} = 16.25 MHz, MCLK = 16.25 MHzの時)		MCLK/2	MCLK/2	(5 MHz)	MCLK/2	(8 MHz)	MCLK/2	(8.125 MHz)	MCLK/4	MCLK/4	(2.5 MHz)	MCLK/4	(4 MHz)	MCLK/4	(4.0625 MHz)	MCLK/8	MCLK/8	(1.25 MHz)	MCLK/8	(2 MHz)	MCLK/8	(2.0313 MHz)	MCLK/16	MCLK/16	(0.625 MHz)	MCLK/16	(1 MHz)	MCLK/16	(1.0156 MHz)	MCLK/32	MCLK/32	(0.3125 MHz)	MCLK/32	(0.5 MHz)	MCLK/32	(0.5078 MHz)	F _{CH} /2 ⁷	F _{CH} /2 ⁷	(78 kHz)	F _{CH} /2 ⁷	(125 kHz)	F _{CH} /2 ⁷	(127 kHz)	F _{CH} /2 ⁸	F _{CH} /2 ⁸	(39 kHz)	F _{CH} /2 ⁸	(62.5 kHz)	F _{CH} /2 ⁸	(63.5 kHz)	カウントクロック ソース周波数	周波数 (F _{CH} = MHz, MCLK = 10 MHz)	周波数 (F _{CH} = MHz, MCLK = 16 MHz)	周波数 (F _{CH} = MHz, MCLK = 16.25 MHz)	MCLK/2	5 MHz	8 MHz	8.125 MHz	MCLK/4	2.5 MHz	4 MHz	4.0625 MHz	MCLK/8	1.25 MHz	2 MHz	2.0313 MHz	MCLK/16	0.625 MHz	1 MHz	1.0156 MHz	MCLK/32	0.3125 MHz	0.5 MHz	0.5078 MHz	F _{CH} /2 ⁷	 156.25 kHz	 250 kHz	 253.9 kHz	F _{CH} /2 ⁸	 78.125 kHz	 125 kHz	 126.95 kHz
カウントクロック ソース周波数	周波数 (F _{CH} = 10 MHz, MCLK = 10 MHzの時)		周波数 (F _{CH} = 16 MHz, MCLK = 16 MHzの時)		周波数 (F _{CH} = 16.25 MHz, MCLK = 16.25 MHzの時)																																																																																						
MCLK/2	MCLK/2	(5 MHz)	MCLK/2	(8 MHz)	MCLK/2	(8.125 MHz)																																																																																					
MCLK/4	MCLK/4	(2.5 MHz)	MCLK/4	(4 MHz)	MCLK/4	(4.0625 MHz)																																																																																					
MCLK/8	MCLK/8	(1.25 MHz)	MCLK/8	(2 MHz)	MCLK/8	(2.0313 MHz)																																																																																					
MCLK/16	MCLK/16	(0.625 MHz)	MCLK/16	(1 MHz)	MCLK/16	(1.0156 MHz)																																																																																					
MCLK/32	MCLK/32	(0.3125 MHz)	MCLK/32	(0.5 MHz)	MCLK/32	(0.5078 MHz)																																																																																					
F _{CH} /2 ⁷	F _{CH} /2 ⁷	(78 kHz)	F _{CH} /2 ⁷	(125 kHz)	F _{CH} /2 ⁷	(127 kHz)																																																																																					
F _{CH} /2 ⁸	F _{CH} /2 ⁸	(39 kHz)	F _{CH} /2 ⁸	(62.5 kHz)	F _{CH} /2 ⁸	(63.5 kHz)																																																																																					
カウントクロック ソース周波数	周波数 (F _{CH} = MHz, MCLK = 10 MHz)	周波数 (F _{CH} = MHz, MCLK = 16 MHz)	周波数 (F _{CH} = MHz, MCLK = 16.25 MHz)																																																																																								
MCLK/2	5 MHz	8 MHz	8.125 MHz																																																																																								
MCLK/4	2.5 MHz	4 MHz	4.0625 MHz																																																																																								
MCLK/8	1.25 MHz	2 MHz	2.0313 MHz																																																																																								
MCLK/16	0.625 MHz	1 MHz	1.0156 MHz																																																																																								
MCLK/32	0.3125 MHz	0.5 MHz	0.5078 MHz																																																																																								
F _{CH} /2 ⁷	 156.25 kHz	 250 kHz	 253.9 kHz																																																																																								
F _{CH} /2 ⁸	 78.125 kHz	 125 kHz	 126.95 kHz																																																																																								
2012/05/11	82	6. 12	<p>「表6. 12-2 プリスケーラの生成するカウントクロックソース (F_{CRH})」を「表6. 12-1 プリスケーラの生成するカウントクロックソース (F_{CH})」の後に追加。</p> <table><tr><th>カウントクロック ソース周波数</th><th>周波数 (F_{CRH} = 1 MHz, MCLK = 1 MHz)</th><th>周波数 (F_{CRH} = 8 MHz, MCLK = 8 MHz)</th><th>周波数 (F_{CRH} = 10 MHz, MCLK = 10 MHz)</th><th>周波数 (F_{CRH} = 12.5 MHz, MCLK = 12.5 MHz)</th></tr><tr><td>MCLK/2</td><td>500 kHz</td><td>4 MHz</td><td>5 MHz</td><td>6.25 MHz</td></tr><tr><td>MCLK/4</td><td>250 kHz</td><td>2 MHz</td><td>2.5 MHz</td><td>3.125 MHz</td></tr><tr><td>MCLK/8</td><td>1.25 kHz</td><td>1 MHz</td><td>1.25 MHz</td><td>1.5625 MHz</td></tr><tr><td>MCLK/16</td><td>62.5 kHz</td><td>0.5 MHz</td><td>0.625 MHz</td><td>0.78125 MHz</td></tr><tr><td>MCLK/32</td><td>31.25 kHz</td><td>0.25 MHz</td><td>0.3125 MHz</td><td>0.390625 MHz</td></tr><tr><td>F_{CRH}/2⁶</td><td>15.625 kHz</td><td>125 kHz</td><td>156.25 kHz</td><td>195.3125 kHz</td></tr><tr><td>F_{CRH}/2⁷</td><td>7.8125 kHz</td><td>62.5 kHz</td><td>78.125 kHz</td><td>97.65625 kHz</td></tr></table>	カウントクロック ソース周波数	周波数 (F _{CRH} = 1 MHz, MCLK = 1 MHz)	周波数 (F _{CRH} = 8 MHz, MCLK = 8 MHz)	周波数 (F _{CRH} = 10 MHz, MCLK = 10 MHz)	周波数 (F _{CRH} = 12.5 MHz, MCLK = 12.5 MHz)	MCLK/2	500 kHz	4 MHz	5 MHz	6.25 MHz	MCLK/4	250 kHz	2 MHz	2.5 MHz	3.125 MHz	MCLK/8	1.25 kHz	1 MHz	1.25 MHz	1.5625 MHz	MCLK/16	62.5 kHz	0.5 MHz	0.625 MHz	0.78125 MHz	MCLK/32	31.25 kHz	0.25 MHz	0.3125 MHz	0.390625 MHz	F _{CRH} /2 ⁶	15.625 kHz	125 kHz	156.25 kHz	195.3125 kHz	F _{CRH} /2 ⁷	7.8125 kHz	62.5 kHz	78.125 kHz	97.65625 kHz																																																
カウントクロック ソース周波数	周波数 (F _{CRH} = 1 MHz, MCLK = 1 MHz)	周波数 (F _{CRH} = 8 MHz, MCLK = 8 MHz)	周波数 (F _{CRH} = 10 MHz, MCLK = 10 MHz)	周波数 (F _{CRH} = 12.5 MHz, MCLK = 12.5 MHz)																																																																																							
MCLK/2	500 kHz	4 MHz	5 MHz	6.25 MHz																																																																																							
MCLK/4	250 kHz	2 MHz	2.5 MHz	3.125 MHz																																																																																							
MCLK/8	1.25 kHz	1 MHz	1.25 MHz	1.5625 MHz																																																																																							
MCLK/16	62.5 kHz	0.5 MHz	0.625 MHz	0.78125 MHz																																																																																							
MCLK/32	31.25 kHz	0.25 MHz	0.3125 MHz	0.390625 MHz																																																																																							
F _{CRH} /2 ⁶	15.625 kHz	125 kHz	156.25 kHz	195.3125 kHz																																																																																							
F _{CRH} /2 ⁷	7.8125 kHz	62.5 kHz	78.125 kHz	97.65625 kHz																																																																																							

日付	ページ	項目	訂正内容
2012/05/11	209	14. 5. 1	<p>「表14. 5-1 8/16 ビット複合タイマ00/01制御ステータスレジスタ0 (T00CR0/T01CR0) の各ビットの機能説明」にIFEビットの機能説明に以下の記述を追加。</p> <p>タイマ動作中(T00CR1/T01CR1:STA=1), このビットへの書き込み動作は無効になります。このビットを書き換える前に、タイマが停止していることを確認してください。</p>
2012/05/11	212	14. 5. 2	<p>「表14. 5-2 8/16 ビット複合タイマ10/11制御ステータスレジスタ0 (T10CR0/T11CR0) の各ビットの機能説明」にIFEビットの機能説明に以下の記述を追加。</p> <p>タイマ動作中(T10CR1/T11CR1:STA=1), このビットへの書き込み動作は無効になります。このビットを書き換える前に、タイマが停止していることを確認してください。</p>
2012/05/11	309	17. 4. 5	<p>「表17. 4-4 LIN-UART拡張ステータス制御レジスタ(ESCR)の各ビットの機能」のSCESビットの機能説明に以下の記述を追加。</p> <p>本ビットに“1”を設定している場合、ソフトウェアリセットは禁止です。 本ビットを変更する前に、送受信を禁止してください。</p>
2012/05/11	314	17. 5	「■受信割込み」の<注意事項>を削除。
2012/05/11	352	17. 8	<p>「■LIN-UART使用上の注意」の「●動作設定の変更」を以下の■で示すように訂正。</p> <p>(誤)</p> <p>スタート/ ストップビットの付加やデータ形式の変更など、動作設定を変更した後はLIN-UART をリセットしてください。</p> <p>LIN-UART シリアルモードレジスタ(SMR)の設定と同時に、LIN-UART のリセット(SMR:UPCL = 1)を行っても、動作設定が正しいことを保証するものではありません。したがって、LIN-UARTシリアルモードレジスタ(SMR)の設定を行った後は、再度LIN-UARTをリセットしてください。</p> <p>(正)</p> <p>サンプリングクロックエッジ選択ビット(ESCR:SCES)が“0”のときに、以下のビットを変更する場合、送受信を禁止にしてビットを変更し、変更後にLIN-UARTのソフトウェアリセットを実行してください。</p> <ul style="list-style-type: none"> ● シリアル制御レジスタ(SCR) <ul style="list-style-type: none"> パリティ許可ビット(PEN), ストップビット長選択ビット(SBL), データ長選択ビット(CL) ● シリアルモードレジスタ(SMR) <ul style="list-style-type: none"> 動作モード選択ビット(MD1, MD0) ● 拡張ステータス制御レジスタ(ESCR) <ul style="list-style-type: none"> 連続クロック出力許可ビット(CCO) ● 拡張通信制御レジスタ(ECCR) <ul style="list-style-type: none"> シリアルクロック送信側/受信側選択ビット(MS), シリアルクロック遅延許可ビット(SCDE), スタート/ストップ許可ビット(SSM) <p>LIN-UARTのソフトウェアリセット(SMR:UPCL=1)は、シリアルモードレジスタ(SMR)の設定を変更した後、再度レジスタにアクセスして行ってください。</p> <p>この順番で動作設定の変更が行なわれなかった場合は、正しい動作が保証されません。</p> <p>LIN break fieldの送信ビット長は可変ですが、検出は11ビット長固定になっています。</p>

日付	ページ	項目	訂正内容
2012/05/11	352	17.8	<p>「■LIN-UART使用上の注意」において、「●動作設定の変更」の後に「●サンプリングクロックエッジ選択ビット (ESCR:SCES) の変更」を追加。</p> <p>●サンプリングクロックエッジ選択ビット (ESCR:SCES) の変更 SCESビットに“1”を設定している場合、ソフトウェアリセットは禁止です。</p> <ul style="list-style-type: none"> SCESビットを“0”から“1”に変更する場合 送受信を禁止し、ソフトウェアリセットを実行した (SCR:UPCL=1) 後、SCESビットを“1”に変更してください。 SCESビットを“1”から“0”に変更する場合 送受信を禁止し、SCESビットを“0”に変更した後、ソフトウェアリセットを実行してください (SCR:UPCL=1)。
2012/05/11	353	17.8	<p>「■LIN-UART使用上の注意」において、「●Synch Break検出」の後に「●フレーミングエラー対処方法」を追加。</p> <p>●フレーミングエラー対処方法 フレーミングエラーが起こり (ストップビット : SIN = “0”), 次のスタートビット (SIN = “0”) がすぐ後に続く場合, そのスタートビットの立下りエッジの有無にかかわらずスタートビットと認識し, 受信が開始されます。これはデータストリームに同期した状態で次にフレーミングエラーが検出されることにより, シリアルデータ入力 (SIN) が“L”の状態が続いていることを検出するのに使用されます (図 17.8-1上)。この動作が必要ない場合は, フレーミングエラー後, 一時的に受信を禁止してください (RXE = 1→0→1)。これにより, シリアルデータ入力 (SIN) の立下りエッジが検出され, 受信サンプリングポイントで“L”を検出するとスタートビットと認識し, 受信が開始されます (図 17.8-1下)。</p>

日付	ページ	項目	訂正内容
2012/05/11	353	17.8	<p>「■LIN-UART使用上の注意」の「●フレーミングエラー対処方法」に、以下の図を「図16. 8-1 UARTドミナントバス動作」として追加。</p> <p>受信が常に許可される場合(RXE = 1)</p> <p>フレーミングエラー発生 エラークリア 立下りエッジの有無にかかわらず受信を継続 次のフレーミングエラー 立下りエッジが次のスタートビットエッジ</p> <p>受信が一時的に禁止される場合(RXE = 1→0→1)</p> <p>フレーミングエラー発生 エラークリア 受信リセット：立下りエッジまで待機 立下りエッジが次のスタートビットエッジ</p> <p>立下りエッジの有無にかかわらず受信を継続 エラーは発生しない</p>

日付	ページ	項目	訂正内容																																																																																								
2012/05/11	474	23. 5. 1	<p>「図23. 5-2 16ビットリロードタイマ状態制御レジスタ上位(TMCSRH1)」のカウンタクロック選択ビット(CSL2:0)のカウンタクロック設定を以下の■で示すように訂正。</p> <p>(誤)</p> <table><tr><th>CSL2</th><th>CSL1</th><th>CSL0</th><th colspan="2">カウンタクロック選択ビット</th></tr><tr><th></th><th></th><th></th><th>動作モード</th><th>カウンタクロック</th></tr><tr><td>0</td><td>0</td><td>0</td><td rowspan="7">内部クロック</td><td>MCLK/2</td></tr><tr><td>0</td><td>0</td><td>1</td><td>MCLK/4</td></tr><tr><td>0</td><td>1</td><td>0</td><td>MCLK/8</td></tr><tr><td>0</td><td>1</td><td>1</td><td>MCLK/16</td></tr><tr><td>1</td><td>0</td><td>0</td><td>MCLK/32</td></tr><tr><td>1</td><td>0</td><td>1</td><td>$F_{CH}/2^7$</td></tr><tr><td>1</td><td>1</td><td>0</td><td>$F_{CH}/2^8$</td></tr><tr><td>1</td><td>1</td><td>1</td><td>イベントカウンタ</td><td>TI1端子</td></tr></table> <p>(正)</p> <table><tr><th>CSL2</th><th>CSL1</th><th>CSL0</th><th colspan="2">カウンタクロック選択ビット</th></tr><tr><th></th><th></th><th></th><th>動作モード</th><th>カウンタクロック</th></tr><tr><td>0</td><td>0</td><td>0</td><td rowspan="7">内部クロック</td><td>1 MCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>MCLK/2</td></tr><tr><td>0</td><td>1</td><td>0</td><td>MCLK/4</td></tr><tr><td>0</td><td>1</td><td>1</td><td>MCLK/8</td></tr><tr><td>1</td><td>0</td><td>0</td><td>MCLK/16</td></tr><tr><td>1</td><td>0</td><td>1</td><td>MCLK/32</td></tr><tr><td>1</td><td>1</td><td>0</td><td>MCLK/32または$F_{CH}/2^7$</td></tr><tr><td>1</td><td>1</td><td>1</td><td>イベントカウンタ</td><td>TI1端子</td></tr></table>	CSL2	CSL1	CSL0	カウンタクロック選択ビット					動作モード	カウンタクロック	0	0	0	内部クロック	MCLK/2	0	0	1	MCLK/4	0	1	0	MCLK/8	0	1	1	MCLK/16	1	0	0	MCLK/32	1	0	1	$F_{CH}/2^7$	1	1	0	$F_{CH}/2^8$	1	1	1	イベントカウンタ	TI1端子	CSL2	CSL1	CSL0	カウンタクロック選択ビット					動作モード	カウンタクロック	0	0	0	内部クロック	1 MCLK	0	0	1	MCLK/2	0	1	0	MCLK/4	0	1	1	MCLK/8	1	0	0	MCLK/16	1	0	1	MCLK/32	1	1	0	MCLK/32または $F_{CH}/2^7$	1	1	1	イベントカウンタ	TI1端子
CSL2	CSL1	CSL0	カウンタクロック選択ビット																																																																																								
			動作モード	カウンタクロック																																																																																							
0	0	0	内部クロック	MCLK/2																																																																																							
0	0	1		MCLK/4																																																																																							
0	1	0		MCLK/8																																																																																							
0	1	1		MCLK/16																																																																																							
1	0	0		MCLK/32																																																																																							
1	0	1		$F_{CH}/2^7$																																																																																							
1	1	0		$F_{CH}/2^8$																																																																																							
1	1	1	イベントカウンタ	TI1端子																																																																																							
CSL2	CSL1	CSL0	カウンタクロック選択ビット																																																																																								
			動作モード	カウンタクロック																																																																																							
0	0	0	内部クロック	1 MCLK																																																																																							
0	0	1		MCLK/2																																																																																							
0	1	0		MCLK/4																																																																																							
0	1	1		MCLK/8																																																																																							
1	0	0		MCLK/16																																																																																							
1	0	1		MCLK/32																																																																																							
1	1	0		MCLK/32または $F_{CH}/2^7$																																																																																							
1	1	1	イベントカウンタ	TI1端子																																																																																							
2012/05/11	741	31. 2	<p>「図31. 2-1 システム構成レジスタ(SYSC)」のPGSELビットの内容を以下の■で示すように訂正。</p> <p>(誤)</p> <table><tr><th>PGSEL</th><th>PG1/PG0 機能選択ビット</th></tr><tr><td>0</td><td>PG1/PG0端子をサブクロック発振端子として選択</td></tr><tr><td>1</td><td>PG1/PG0端子を汎用入出力ポートとして選択</td></tr></table> <p>(正)</p> <table><tr><th>PGSEL</th><th>PG1/PG2機能選択ビット</th></tr><tr><td>0</td><td>PG1/PG2端子をサブクロック発振端子として選択</td></tr><tr><td>1</td><td>PG1/PG2端子を汎用入出力ポートとして選択</td></tr></table>	PGSEL	PG1/PG0 機能選択ビット	0	PG1/PG0端子をサブクロック発振端子として選択	1	PG1/PG0端子を汎用入出力ポートとして選択	PGSEL	PG1/PG2機能選択ビット	0	PG1/PG2端子をサブクロック発振端子として選択	1	PG1/PG2端子を汎用入出力ポートとして選択																																																																												
PGSEL	PG1/PG0 機能選択ビット																																																																																										
0	PG1/PG0端子をサブクロック発振端子として選択																																																																																										
1	PG1/PG0端子を汎用入出力ポートとして選択																																																																																										
PGSEL	PG1/PG2機能選択ビット																																																																																										
0	PG1/PG2端子をサブクロック発振端子として選択																																																																																										
1	PG1/PG2端子を汎用入出力ポートとして選択																																																																																										
2012/05/11	742	31. 2	<p>「表31. 2-1 SYSCレジスタの各ビットの機能」のPGSELビットの名前を以下の■で示すように訂正。</p> <p>(誤)</p> <p>PG1/PG0機能選択ビット</p> <p>(正)</p> <p>PG1/PG2機能選択ビット</p>																																																																																								

日付	ページ	項目	訂正内容
2012/05/11	742	31.2	<p>「表31.2-1 SYSCレジスタの各ビットの機能」のPGSELビットの内容を以下の■で示すように訂正。</p> <p>(誤)</p> <p>このビットは、PG1/PG0端子の機能を選択するために使用します。 “0”に設定すると、PG1/PG0端子はサブクロック発振端子として選択されます。 サブクロック発振は、サブクロック発振許可ビット(SYCC2:S0SCE)により許可または禁止されます。 “1”に設定すると、PG1/PG0端子は汎用入出力ポートとして選択されます。</p> <p>(正)</p> <p>このビットは、PG1/PG2端子の機能を選択するために使用します。 “0”に設定すると、PG1/PG2端子はサブクロック発振端子として選択されます。 サブクロック発振は、サブクロック発振許可ビット(SYCC2:S0SCE)により許可または禁止されます。 “1”に設定すると、PG1/PG2端子は汎用入出力ポートとして選択されます。</p>