



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

F²MC[®]-8FX
8 ビット・マイクロコントローラ
MB95330H シリーズ
ハードウェアマニュアル

F²MC[®]-8FX

8 ビット・マイクロコントローラ

**MB95330H シリーズ
ハードウェアマニュアル**

富士通セミコンダクター株式会社

はじめに

■ 本書の目的と対象読者

富士通セミコンダクター製品につきまして，平素より格別のご愛読を賜り厚くお礼申し上げます。

MB95330H シリーズは，ASIC (Application Specific IC) 対応が可能なオリジナル 8 ビット・ワンチップ・マイクロコントローラである F²MC-8FX ファミリの汎用品の 1 つとして開発された製品です。MB95330H シリーズは，携帯機器をはじめ民生機器から産業機器まで，幅広い用途でご利用いただけます。

本書は，実際に MB95330H シリーズマイクロコントローラを使って製品を設計する技術者を対象に，その機能や動作について記載していますので，ぜひご一読ください。

なお，各種命令の詳細については，「F²MC-8FX プログラミングマニュアル」を参照してください。

■ 商標

F²MC は，FUJITSU Flexible Microcontroller の略で富士通セミコンダクター株式会社の登録商標です。

本書に記載されている社名および製品名などの固有名詞は，各社の商標または登録商標です。

■ サンプルプログラム

富士通セミコンダクター株式会社は，F²MC-8FX ファミリマイクロコントローラの周辺機器を動作させるためのサンプルプログラムを無償で提供いたします。サンプルプログラムを使用し，富士通マイクロコントローラの動作仕様や使用方法の確認にお役立てください。

サンプルプログラムは，予告なく変更される場合がありますのでご注意ください。これらのソフトウェアは，標準的な動作や使い方を示したものですので，お客様のシステム上でご使用の際には十分に評価した上でご使用ください。富士通セミコンダクター株式会社は，これらサンプルプログラムの使用に起因する損害などについては一切責任を負いません。

- 本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。
- 本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。したがって、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。
- 本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。
- 本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。
- 半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないように、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。
- 本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。
- 本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

目次

第 1 章	概要	1
1.1	MB95330H シリーズの特長	2
1.2	MB95330H シリーズの品種構成	5
1.3	品種間の相違点と品種選択時の注意事項	7
1.4	MB95330H シリーズのブロックダイアグラム	8
1.5	端子配列図	9
1.6	パッケージ外形寸法図	12
1.7	端子機能説明	15
1.8	入出力回路形式	19
第 2 章	デバイス使用上の注意	23
2.1	デバイス使用上の注意	24
第 3 章	メモリ空間	27
3.1	メモリ空間	28
3.1.1	特定用途の領域	30
3.2	メモリマップ	31
第 4 章	メモリアクセスモード	33
4.1	メモリアクセスモード	34
第 5 章	CPU	35
5.1	専用レジスタ	36
5.1.1	レジスタバンクポインタ (RP)	39
5.1.2	ダイレクトバンクポインタ (DP)	40
5.1.3	コンディションコードレジスタ (CCR)	42
5.2	汎用レジスタ	44
5.3	16 ビットデータのメモリ上の配置	46
第 6 章	クロック制御部	47
6.1	クロック制御部の概要	48
6.2	発振安定待ち時間	55
6.3	システムクロック制御レジスタ (SYCC)	57
6.4	発振安定待ち時間設定レジスタ (WATR)	59
6.5	スタンバイ制御レジスタ (STBC)	62
6.6	システムクロック制御レジスタ 2 (SYCC2)	65
6.7	クロックモード	67
6.8	低消費電力モード (スタンバイモード) の動作	71
6.8.1	スタンバイモード使用上の注意	72
6.8.2	スリープモード	74
6.8.3	ストップモード	75
6.8.4	タイムベースタイマモード	76
6.8.5	時計モード	78
6.9	クロック発振回路	79

6.10	プリスケーラの概要	80
6.11	プリスケーラの構成	81
6.12	プリスケーラの動作	82
6.13	プリスケーラ使用上の注意	83
第 7 章	リセット	85
7.1	リセット動作	86
7.2	リセット要因レジスタ (RSRR)	90
7.3	リセット使用上の注意	93
第 8 章	割込み	95
8.1	割込み	96
8.1.1	割込みレベル設定レジスタ (ILR0 ~ ILR5)	98
8.1.2	割込み動作時の処理	99
8.1.3	多重割込み	102
8.1.4	割込み処理時間	103
8.1.5	割込み処理時のスタック動作	104
8.1.6	割込み処理のスタック領域	105
第 9 章	I/O ポート	107
9.1	I/O ポートの概要	108
9.2	ポート 0	109
9.2.1	ポート 0 のレジスタ	115
9.2.2	ポート 0 の動作説明	116
9.3	ポート 1	119
9.3.1	ポート 1 のレジスタ	123
9.3.2	ポート 1 の動作説明	124
9.4	ポート 6	126
9.4.1	ポート 6 のレジスタ	130
9.4.2	ポート 6 の動作説明	131
9.5	ポート F	133
9.5.1	ポート F のレジスタ	135
9.5.2	ポート F の動作	136
9.6	ポート G	138
9.6.1	ポート G のレジスタ	140
9.6.2	ポート G の動作説明	141
第 10 章	タイムベースタイマ	143
10.1	タイムベースタイマの概要	144
10.2	タイムベースタイマの構成	145
10.3	タイムベースタイマのレジスタ	147
10.3.1	タイムベースタイマ制御レジスタ (TBTC)	148
10.4	タイムベースタイマの割込み	151
10.5	タイムベースタイマの動作説明と設定手順例	153
10.6	タイムベースタイマ使用上の注意	156
第 11 章	ハードウェア/ソフトウェアウォッチドッグタイマ	157
11.1	ウォッチドッグタイマの概要	158
11.2	ウォッチドッグタイマの構成	160

11.3	ウォッチドッグタイマのレジスタ	162
11.3.1	ウォッチドッグタイマ制御レジスタ (WDTC)	163
11.4	ウォッチドッグタイマの動作説明と設定手順例	165
11.5	ウォッチドッグタイマ使用上の注意	168
第 12 章	時計プリスケアラ	169
12.1	時計プリスケアラの概要	170
12.2	時計プリスケアラの構成	171
12.3	時計プリスケアラのレジスタ	173
12.3.1	時計プリスケアラ制御レジスタ (WPCR)	174
12.4	時計プリスケアラの割込み	176
12.5	時計プリスケアラの動作説明と設定手順例	177
12.6	時計プリスケアラ使用上の注意	179
12.7	時計プリスケアラの設定例	180
第 13 章	ワイルドレジスタ機能	181
13.1	ワイルドレジスタ機能の概要	182
13.2	ワイルドレジスタ機能の構成	183
13.3	ワイルドレジスタ機能のレジスタ	185
13.3.1	ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)	187
13.3.2	ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)	188
13.3.3	ワイルドレジスタアドレス比較許可レジスタ (WREN)	189
13.3.4	ワイルドレジスタデータテスト設定レジスタ (WROR)	190
13.4	ワイルドレジスタ機能の動作説明	191
13.5	一般的なハードウェア接続例	192
第 14 章	8/16 ビット複合タイマ	193
14.1	8/16 ビット複合タイマの概要	194
14.2	8/16 ビット複合タイマの構成	196
14.3	8/16 ビット複合タイマのチャンネル	200
14.4	8/16 ビット複合タイマの端子	201
14.5	8/16 ビット複合タイマのレジスタ	206
14.5.1	8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)	208
14.5.2	8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 0 (T10CR0/T11CR0)	211
14.5.3	8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)	214
14.5.4	8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1 (T10CR1/T11CR1)	217
14.5.5	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0 (TMCR0)	220
14.5.6	8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1 (TMCR1)	223
14.5.7	8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR)	226
14.5.8	8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR)	229
14.6	8/16 ビット複合タイマの割込み	232
14.7	インターバルタイマ機能 (ワンショットモード) の動作説明	235
14.8	インターバルタイマ機能 (連続モード) の動作説明	238
14.9	インターバルタイマ機能 (フリーランモード) の動作説明	241
14.10	PWM タイマ機能 (周期固定モード) の動作説明	244
14.11	PWM タイマ機能 (周期可変モード) の動作説明	247
14.12	PWC タイマ機能の動作説明	250
14.13	インプットキャプチャ機能の動作説明	254
14.14	ノイズフィルタの動作説明	257

14.15 動作中の各モードでの状態.....	258
14.16 8/16 ビット複合タイマの使用上の注意.....	260
第 15 章 外部割込み回路.....	261
15.1 外部割込み回路の概要.....	262
15.2 外部割込み回路の構成.....	263
15.3 外部割込み回路のチャネル.....	264
15.4 外部割込み回路の端子.....	265
15.5 外部割込み回路のレジスタ.....	269
15.5.1 外部割込み制御レジスタ (EIC10).....	270
15.6 外部割込み回路の割込み.....	272
15.7 外部割込み回路の動作説明と設定手順例.....	273
15.8 外部割込み回路使用上の注意.....	275
15.9 外部割込み回路の設定例.....	276
第 16 章 割込み端子選択回路.....	279
16.1 割込み端子選択回路の概要.....	280
16.2 割込み端子選択回路の構成.....	281
16.3 割込み端子選択回路の端子.....	282
16.4 割込み端子選択回路のレジスタ.....	283
16.4.1 割込み端子選択回路制御レジスタ (WICR).....	284
16.5 割込み端子選択回路の動作.....	287
16.6 割込み端子選択回路使用上の注意.....	288
第 17 章 LIN-UART.....	289
17.1 LIN-UART の概要.....	290
17.2 LIN-UART の構成.....	292
17.3 LIN-UART の端子.....	297
17.4 LIN-UART のレジスタ.....	299
17.4.1 LIN-UART シリアル制御レジスタ (SCR).....	300
17.4.2 LIN-UART シリアルモードレジスタ (SMR).....	302
17.4.3 LIN-UART シリアルステータスレジスタ (SSR).....	304
17.4.4 LIN-UART 受信データレジスタ /LIN-UART 送信データレジスタ (RDR/TDR).....	306
17.4.5 LIN-UART 拡張制御ステータスレジスタ (ESCR).....	308
17.4.6 LIN-UART 拡張通信制御レジスタ (ECCR).....	310
17.4.7 LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0).....	312
17.5 LIN-UART の割込み.....	313
17.5.1 受信割込み発生とフラグセットのタイミング.....	317
17.5.2 送信割込み発生とフラグセットのタイミング.....	319
17.6 LIN-UART のボーレート.....	321
17.6.1 ボーレート設定.....	323
17.6.2 リロードカウンタ.....	327
17.7 LIN-UART の動作説明と LIN-UART 設定手順例.....	329
17.7.1 非同期モード (動作モード 0, 1) の動作.....	331
17.7.2 同期モード (動作モード 2) の動作.....	336
17.7.3 LIN 機能 (動作モード 3) の動作.....	340
17.7.4 シリアル端子直接アクセス.....	343
17.7.5 双方向通信機能 (ノーマルモード).....	344
17.7.6 マスタ / スレーブ型通信機能 (マルチプロセッサモード).....	346

17.7.7	LIN 通信機能.....	349
17.7.8	LIN-UART の LIN 通信フローチャートの例 (動作モード 3)	350
17.8	LIN-UART 使用上の注意.....	352
17.9	LIN-UART の設定例.....	354
第 18 章 8/10 ビット A/D コンバータ		359
18.1	8/10 ビット A/D コンバータの概要	360
18.2	8/10 ビット A/D コンバータの構成	361
18.3	8/10 ビット A/D コンバータの端子	363
18.4	8/10 ビット A/D コンバータのレジスタ	367
18.4.1	8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)	368
18.4.2	8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)	370
18.4.3	8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDDH, ADDL)	372
18.5	8/10 ビット A/D コンバータの割込み.....	373
18.6	8/10 ビット A/D コンバータの動作説明と設定手順例	374
18.7	8/10 ビット A/D コンバータ使用上の注意	377
18.8	8/10 ビット A/D コンバータの設定例.....	379
第 19 章 低電圧検出リセット回路.....		383
19.1	低電圧検出リセット回路の概要	384
19.2	低電圧検出リセット回路の構成	385
19.3	低電圧検出リセット回路の端子	386
19.4	低電圧検出リセット回路の動作説明	387
第 20 章 クロックスーパーバイザカウンタ		389
20.1	クロックスーパーバイザカウンタの概要.....	390
20.2	クロックスーパーバイザカウンタの構成.....	391
20.3	クロックスーパーバイザカウンタのレジスタ	393
20.3.1	クロック監視データレジスタ (CMDR).....	394
20.3.2	クロック監視制御レジスタ (CMCR)	396
20.4	クロックスーパーバイザカウンタの動作説明	398
20.5	クロックスーパーバイザカウンタ使用上の注意.....	405
第 21 章 8/16 ビット PPG.....		407
21.1	8/16 ビット PPG の概要	408
21.2	8/16 ビット PPG の構成	409
21.3	8/16 ビット PPG のチャンネル	411
21.4	8/16 ビット PPG の端子	412
21.5	8/16 ビット PPG のレジスタ (ch. 0)	415
21.5.1	8/16 ビット PPG タイマ 01 制御レジスタ ch. 0 (PC01).....	416
21.5.2	8/16 ビット PPG タイマ 00 制御レジスタ ch.0 (PC00).....	418
21.5.3	8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS01), (PPS00).....	420
21.5.4	8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00)	421
21.5.5	8/16 ビット PPG 起動レジスタ (PPGS).....	422
21.5.6	8/16 ビット PPG 出力反転レジスタ (REVC).....	423
21.6	8/16 ビット PPG の割込み.....	424
21.7	8/16 ビット PPG の動作説明と設定手順例.....	425
21.7.1	8 ビット PPG 独立モード	426

21.7.2	8ビットプリスケラ + 8ビット PPG モード	428
21.7.3	16ビット PPG モード	431
21.8	8/16ビット PPG 使用上の注意	434
21.9	8/16ビット PPG の設定例	435
第 22 章	16ビット PPG タイマ	439
22.1	16ビット PPG タイマの概要	440
22.2	16ビット PPG タイマの構成	441
22.3	16ビット PPG タイマのチャンネル	443
22.4	16ビット PPG タイマの端子	444
22.5	16ビット PPG タイマのレジスタ	446
22.5.1	16ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH1, PDCRL1)	447
22.5.2	16ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH1, PCSRL1)	448
22.5.3	16ビット PPG デューティ設定バッファレジスタ上位, 下位 (PDUTH1, PDUTL1)	449
22.5.4	16ビット PPG 状態制御レジスタ上位, 下位 (PCNTH1, PCNTL1)	450
22.6	16ビット PPG タイマ割込み	454
22.7	16ビット PPG タイマの動作説明と設定手順例	455
22.8	16ビット PPG タイマ使用上の注意	459
22.9	16ビット PPG タイマのサンプル設定	460
第 23 章	16ビットリロードタイマ	465
23.1	16ビットリロードタイマの概要	466
23.2	16ビットリロードタイマの構成	468
23.3	16ビットリロードタイマのチャンネル	470
23.4	16ビットリロードタイマの端子	471
23.5	16ビットリロードタイマのレジスタ	473
23.5.1	16ビットリロードタイマ状態制御レジスタ上位 (TMCSRH1)	474
23.5.2	16ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1)	476
23.5.3	16ビットリロードタイマ タイマレジスタ上位 (TMRH1)/ 下位 (TMRL1)	478
23.5.4	16ビットリロードタイマリロードレジスタ上位 (TMRLRH1)/ 下位 (TMRLRL1)	479
23.6	16ビットリロードタイマの割込み	480
23.7	16ビットリロードタイマの動作説明と設定手順例	481
23.7.1	内部クロックモード	483
23.7.2	イベントカウントモード	487
23.8	16ビットリロードタイマ使用上の注意	489
23.9	16ビットリロードタイマの設定例	490
第 24 章	マルチパルスジェネレータ	493
24.1	マルチパルスジェネレータの概要	494
24.2	マルチパルスジェネレータのブロックダイアグラム	498
24.3	マルチパルスジェネレータの端子	508
24.4	マルチパルスジェネレータのレジスタ	512
24.4.1	出力制御レジスタ (OPCUR, OPCLR)	514
24.4.2	出力データレジスタ (OPDUR, OPDLR)	518
24.4.3	出力データバッファレジスタ (OPDBRH, OPDBRL)	523
24.4.4	入力制御レジスタ (IPCUR, IPCLR)	527
24.4.5	コンペアクリアレジスタ (CPCUR, CPCLR)	531

24.4.6	タイマバッファレジスタ (TMBUR, TMBLR).....	533
24.4.7	タイマ制御状態レジスタ (TCSR).....	534
24.4.8	ノイズキャンセル制御レジスタ (NCCR)	536
24.5	マルチパルスジェネレータの割込み	538
24.6	マルチパルスジェネレータの動作	541
24.6.1	位置検出の動作	543
24.6.2	データ書込み制御ユニットの動作.....	546
24.6.3	出力データバッファレジスタの動作	551
24.6.4	出力データレジスタへのデータ転送動作	553
24.6.5	DTTI 入力制御の動作	570
24.6.6	ノイズ除去機能の動作	573
24.6.7	16 ビットタイマの動作	574
24.7	マルチパルスジェネレータ使用上の注意	579
24.8	マルチパルスジェネレータのサンプルプログラム.....	582
第 25 章	UART/SIO	585
25.1	UART/SIO の概要	586
25.2	UART/SIO の構成	587
25.3	UART/SIO のチャンネル	589
25.4	UART/SIO の端子	590
25.5	UART/SIO のレジスタ	593
25.5.1	UART/SIO シリアルモード制御レジスタ 1 (SMC10)	594
25.5.2	UART/SIO シリアルモード制御レジスタ 2 (SMC20)	596
25.5.3	UART/SIO シリアルステータスアンドデータレジスタ (SSR0)	598
25.5.4	UART/SIO シリアル入力データレジスタ (RDR0).....	600
25.5.5	UART/SIO シリアル出力データレジスタ (TDR0).....	601
25.6	UART/SIO の割込み	603
25.7	UART/SIO の動作説明と設定手順例	604
25.7.1	動作モード 0 の動作説明	605
25.7.2	動作モード 1 の動作説明	612
25.8	UART/SIO の設定例	619
第 26 章	UART/SIO 専用 ボーレート ジェネレータ	623
26.1	UART/SIO 専用ボーレートジェネレータの概要	624
26.2	UART/SIO 専用ボーレートジェネレータのチャンネル	625
26.3	UART/SIO 専用ボーレートジェネレータのレジスタ	626
26.3.1	UART/SIO 専用ボーレートジェネレータプリスケラ選択レジスタ (PSSR0)	627
26.3.2	UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0).....	628
26.4	UART/SIO 専用ボーレートジェネレータの動作説明	629
第 27 章	I²C	631
27.1	I ² C の概要	632
27.2	I ² C の構成	633
27.3	I ² C のチャンネル	637
27.4	I ² C のバスインタフェースの端子	638
27.5	I ² C のレジスタ	640
27.5.1	I ² C バス制御レジスタ (IBCR00, IBCR10).....	641
27.5.2	I ² C バスステータスレジスタ (IBSR0).....	648
27.5.3	I ² C データレジスタ (IDDR0).....	651

27.5.4	I ² C アドレスレジスタ (IAAR0).....	652
27.5.5	I ² C クロック制御レジスタ (ICCR0)	653
27.6	I ² C の割込み	655
27.7	I ² C の動作説明と設定手順例.....	658
27.7.1	I ² C インタフェース	659
27.7.2	MCU スタンバイモードに対するウェイクアップ機能.....	668
27.8	I ² C 使用上の注意.....	670
27.9	I ² C の設定例	672
第 28 章	デュアルオペレーションフラッシュメモリ	677
28.1	デュアルオペレーションフラッシュメモリの概要.....	678
28.2	デュアルオペレーションフラッシュメモリのセクタ / バンク構成	680
28.3	デュアルオペレーションフラッシュメモリのレジスタ	681
28.3.1	フラッシュメモリステータスレジスタ 2 (FSR2).....	682
28.3.2	フラッシュメモリステータスレジスタ (FSR).....	685
28.3.3	フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0)	688
28.3.4	フラッシュメモリステータスレジスタ 3(FSR3).....	691
28.4	フラッシュメモリ自動アルゴリズム起動方法	698
28.5	自動アルゴリズム実行状態の確認.....	700
28.5.1	データポーリングフラグ (DQ7)	702
28.5.2	トグルビットフラグ (DQ6)	704
28.5.3	タイミングリミット超過フラグ (DQ5)	705
28.5.4	セクタ消去タイマフラグ (DQ3)	706
28.6	フラッシュメモリ書込み / 消去	707
28.6.1	フラッシュメモリを読み出し / リセット状態にする	708
28.6.2	フラッシュメモリヘータを書き込む	709
28.6.3	フラッシュメモリの全データを消去する (チップ消去).....	711
28.6.4	フラッシュメモリの任意のデータを消去する (セクタ消去)	712
28.6.5	フラッシュメモリのセクタ消去を一時停止する	714
28.6.6	フラッシュメモリのセクタ消去を再開する	715
28.7	デュアルオペレーションフラッシュメモリの動作.....	716
28.8	フラッシュセキュリティ	718
28.9	デュアルオペレーションフラッシュメモリ使用上の注意.....	719
第 29 章	シリアル書込み接続例	721
29.1	シリアル書込み接続の基本構成	722
29.2	シリアル書込み接続例.....	724
第 30 章	不揮発性レジスタ (NVR) の機能.....	727
30.1	NVR インタフェースの概要	728
30.2	NVR インタフェースの構成	729
30.3	NVR インタフェースのレジスタ	730
30.3.1	メイン CR クロックトリミングレジスタ (上位) (CRTH)	731
30.3.2	メイン CR クロックトリミングレジスタ (下位) (CRTL).....	733
30.3.3	ウォッチドッグタイマ選択 ID レジスタ (WDTH, WDTL)	734
30.4	メイン CR クロックトリミング使用上の注意.....	736
30.5	NVR の使用上の注意	738

第 31 章 システム構成コントローラ	739
31.1 システム構成レジスタ (SYSC) の概要.....	740
31.2 システム構成レジスタ (SYSC).....	741
31.3 コントローラ使用上の注意.....	744
付録	745
付録 A I/O マップ	746
付録 B 割込み要因一覧表.....	753
付録 C メモリマップ	754
付録 D MB95330H シリーズの端子状態	755
付録 E 命令概要	758
E.1 アドレッシング	761
E.2 特殊な命令について.....	765
E.3 ビット操作命令 (SETB, CLRB).....	769
E.4 F2MC-8FX 命令一覧表.....	770
E.5 命令マップ	774
付録 F マスクオプション	776
索引	777
レジスタ索引.....	797
端子機能索引.....	801
割込みベクタ索引	803

本版での主な変更内容

ページ	変更内容 (詳細は本文を参照してください。)
-	初版

第1章

概要

MB95330H シリーズの特長や基本的な仕様について説明します。

- 1.1 MB95330H シリーズの特長
- 1.2 MB95330H シリーズの品種構成
- 1.3 品種間の相違点と品種選択時の注意事項
- 1.4 MB95330H シリーズのブロックダイアグラム
- 1.5 端子配列図
- 1.6 パッケージ外形寸法図
- 1.7 端子機能説明
- 1.8 入出力回路形式

1.1 MB95330H シリーズの特長

MB95330H シリーズは、コンパクトな命令セットに加え、多様な周辺機能を内蔵した汎用ワンチップマイクロコントローラです。

■ MB95330H シリーズ の特長

● F² MC-8FX CPU コア

コントローラに最適な命令体系

- 乗除算命令
- 16 ビット算術演算
- ビットテストによるブランチ命令
- ビット操作命令, その他

● クロック

- 選択可能なメインクロックソース
メイン発振クロック (最大 16.25 MHz, 最大マシナクロック周波数: 8.125 MHz)
外部クロック (最大 32.5 MHz, 最大マシナクロック周波数: 16.25 MHz)
メイン CR クロック (1/8/10/12.5 MHz \pm 2%, 最大マシナクロック周波数: 12.5 MHz)
- 選択可能なサブクロックソース
サブ発振クロック (32.768 kHz)
外部クロック (32.768 kHz)
サブ CR クロック (標準: 100 kHz, 最小: 50 kHz, 最大: 200 kHz)

● タイマ

- 8/16 ビット複合タイマ \times 2 チャンネル
- 8/16 ビット PPG \times 3 チャンネル
- 16 ビット PPG \times 1 チャンネル (マルチパルスジェネレータと連動して、または独立して動作可能)
- 16 ビットリロードタイマ \times 1 チャンネル (マルチパルスジェネレータと連動して、または独立して動作可能)
- タイムベースタイマ \times 1 チャンネル
- 時計プリスケラ \times 1 チャンネル

● UART/SIO

- 全二重ダブルバッファ
- クロック同期シリアルデータ転送 (SIO) およびクロック非同期 (UART) シリアルデータ転送が可能

● I²C

- ウェイクアップ機能内蔵

- マルチパルスジェネレータ (MPG)
 - 16 ビットリロードタイマ × 1 チャンネル
 - 16 ビット PPG タイマ × 1 チャンネル
 - 波形シーケンサ (バッファおよびコンペアクリア機能付き 16 ビットタイマを含む)
- LIN-UART
 - 全二重ダブルバッファ
 - クロック同期シリアルデータ転送およびクロック非同期シリアルデータ転送が可能
- 外部割込み
 - エッジ検出による割込み (立上りエッジ, 立下りエッジまたは両エッジから選択可能)
 - 各種の低消費電力 (スタンバイ) モードからの解除としても使用可能
- 8/10 ビット A/D コンバータ
 - 8 ビットまたは 10 ビット分解能の選択が可能
- 低電力消費モード (スタンバイモード)
 - ストップモード
 - スリープモード
 - 時計モード
 - タイムベースタイマモード
- I/O ポート
 - MB95F332H/F333H/F334H (最大ポート数: 28)
 - 汎用入出力ポート (N-ch オープンドレイン): 3 本
 - 汎用入出力ポート (CMOS I/O): 25 本
 - MB95F332K/F333K/F334K (最大ポート数: 29)
 - 汎用入出力ポート (N-ch オープンドレイン): 4 本
 - 汎用入出力ポート (CMOS I/O): 25 本
- オンチップデバッグ
 - 1 線式シリアル制御
 - シリアル書込み対応 (非同期モード)
- ハードウェア / ソフトウェアウォッチドッグタイマ
 - ハードウェアウォッチドッグタイマ内蔵
- 低電圧検出リセット回路
 - 低電圧検出器内蔵
- クロックスーパーバイザカウンタ
 - クロックスーパーバイザカウンタ機能内蔵

- ポート入力電圧レベルを変更可能
 - CMOS 入力レベル / ヒステリシス入力レベル
- デュアルオペレーションフラッシュメモリ
 - 消去 / 書込み動作および読出し動作が、異なるバンク (上位バンク / 下位バンク) で同時に実行可能
- フラッシュメモリセキュリティ機能
 - フラッシュメモリ内容の保護

MB95330H シリーズ

1.2 MB95330H シリーズの品種構成

表 1.2-1 は、MB95330H シリーズの品種構成です。

■ MB95330H シリーズの品種構成

表 1.2-1 MB95330H シリーズ (1 / 2) の品種構成

品種 項目	MB95F332H	MB95F333H	MB95F334H	MB95F332K	MB95F333K	MB95F334K
分類	フラッシュメモリ品					
クロック スーパーバイザ カウンタ	メインクロックの発振を監視					
ROM 容量	8K バイト	12K バイト	20K バイト	8K バイト	12K バイト	20K バイト
RAM 容量	240 バイト	496 バイト	1008 バイト	240 バイト	496 バイト	1008 バイト
低電圧 検出リセット	なし			あり		
リセット入力	専用のリセット入力あり			ソフトウェアにより選択		
CPU 機能	基本命令数 : 136 命令ビット長 : 8 ビット 命令長 : 1 ~ 3 バイト データビット長 : 1, 8, 16 ビット 最小命令実行時間 : 61.5 ns (マシクロック周波数 = 16.25 MHz 時) 割込み処理時間 : 0.6 μs (マシクロック周波数 = 16.25 MHz 時)					
汎用入出力	I/O ポート (最大) : 28 本 CMOS 入出力 : 25 本 N-ch オープンドレイン : 3 本			I/O ポート (最大) : 29 本 CMOS 入出力 : 25 本 N-ch オープンドレイン : 4 本		
タイムベース タイマ	割込み周期 : 0.256 ms ~ 8.3 s (外部クロック = 4 MHz 時)					
ハードウェア / ソフトウェア ウォッチドッ グタイマ	リセット発生周期 メイン発振クロック 10 MHz 時 : 105 ms (最小) サブ CR クロックをハードウェアウォッチドッグタイマのソースクロックとして使用可能					
ワイルドレジ スタ	3 バイト分のデータ置換え可能					
LIN-UART	専用リロードタイマによって広範囲の通信速度の選択が可能 クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能 LIN 機能は LIN マスタまたは LIN スレーブとして使用可能					
8/10 ビット A/D コンバータ	8 チャンネル 8 ビットまたは 10 ビット分解能の選択が可能					
8/16 ビット 複合タイマ	2 チャンネル タイマは 8 ビットタイマ × 2 チャンネル, または 16 ビットタイマ × 1 チャンネルとして構成可能 タイマ機能, PWC 機能, PWM 機能およびインプットキャプチャ機能内蔵 カウントクロック : 内部クロック (7 種類) および外部クロックから選択可能 方形波出力可能					

表 1.2-1 MB95330H シリーズ (2 / 2) の品種構成

項目 \ 品種	MB95F332H	MB95F333H	MB95F334H	MB95F332K	MB95F333K	MB95F334K
外部割込み	10 チャンネル エッジ検出による割込み (立上りエッジ, 立下りエッジまたは両エッジから選択可能) 各種スタンバイモードからの解除として使用可能					
オンチップデバッグ	1 線式シリアル制御 シリアル書込み対応 (非同期モード)					
UART/SIO	1 チャンネル UART/SIO のデータ転送可能 全二重ダブルバッファ, 可変データ長 (5/6/7/8 ビット), ボーレートジェネレータ内蔵, エラー検出機能 NRZ 方式転送フォーマット LSB ファーストおよび MSB ファーストのデータ転送が使用可能 クロック非同期 (UART) またはクロック同期 (SIO) のシリアルデータ転送が使用可能					
I ² C	1 チャンネル マスタ / スレーブ送受信 バスエラー機能, アービトレーション機能, 転送方向検出機能, ウェイクアップ機能 スタートコンディションの繰り返し発生および検出機能					
8/16 ビット PPG	3 チャンネル タイマ 1 チャンネルにつき 8 ビットタイマ × 2 チャンネルまたは, 16 ビットタイマ × 1 チャンネルとして使用可能 カウンタ動作クロック: 8 種類のクロックソースから選択可能					
16 ビット PPG	PWM モードおよびワンショットモードが利用可能 カウンタ動作クロック: 8 種類のクロックソースから選択可能 外部トリガ起動対応 マルチパルスジェネレータと連動して, または独立して動作可能					
16 ビットリロードタイマ	2 つのクロックモードとカウンタ動作モードが使用可能 方形波出力可能 カウントクロック: 内部クロック 7 種類および外部クロックから選択可能 2 つのカウンタ動作モード: リロードモード, ワンショットモード マルチパルスジェネレータと連動して, または独立して動作可能					
マルチパルスジェネレータ	16 ビット PPG タイマ: 1 チャンネル 16 ビットリロードタイマ動作: トグル出力, シングルショット出力選択可 イベントカウンタ: 1 チャンネル 波形シーケンサ (バッファおよびコンペアクリア機能付き 16 ビットタイマを含む)					
時計プリスケアラ	8 種類のインターバル時間から選択可能					
フラッシュメモリ	自動プログラミング, Embedded Algorithm 書込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート アルゴリズム完了を示すフラグ 書込み / 消去回数: 100000 回 データ保持期間: 20 年間 フラッシュ内容を保護するフラッシュセキュリティ機能					
スタンバイモード	スリープモード, ストップモード, 時計モード, タイムベースタイマモード					
パッケージ	FPT-32P-M30 DIP-32P-M06 LCC-32P-M19					

MB95330H シリーズ

1.3 品種間の相違点と品種選択時の注意事項

MB95330H シリーズの品種間の相違点と品種選択時の注意事項について説明します。

■ 品種間の相違点と品種選択時の注意事項

- ・消費電流

オンチップデバッグ機能を使用する場合は、フラッシュメモリの消去 / 書込み時の消費電流を考慮してください。

消費電流の詳細については、MB95330H シリーズデータシートの「■ 電気的特性」を参照してください。

- ・パッケージ

各パッケージの詳細は、「1.6 パッケージ外形寸法図」を参照してください。

- ・動作電圧

動作電圧は、オンチップデバッグ機能の使用 / 未使用により異なります。動作電圧の詳細については、MB95330H シリーズデータシートの「■ 電気的特性」を参照してください。

- ・オンチップデバッグ機能

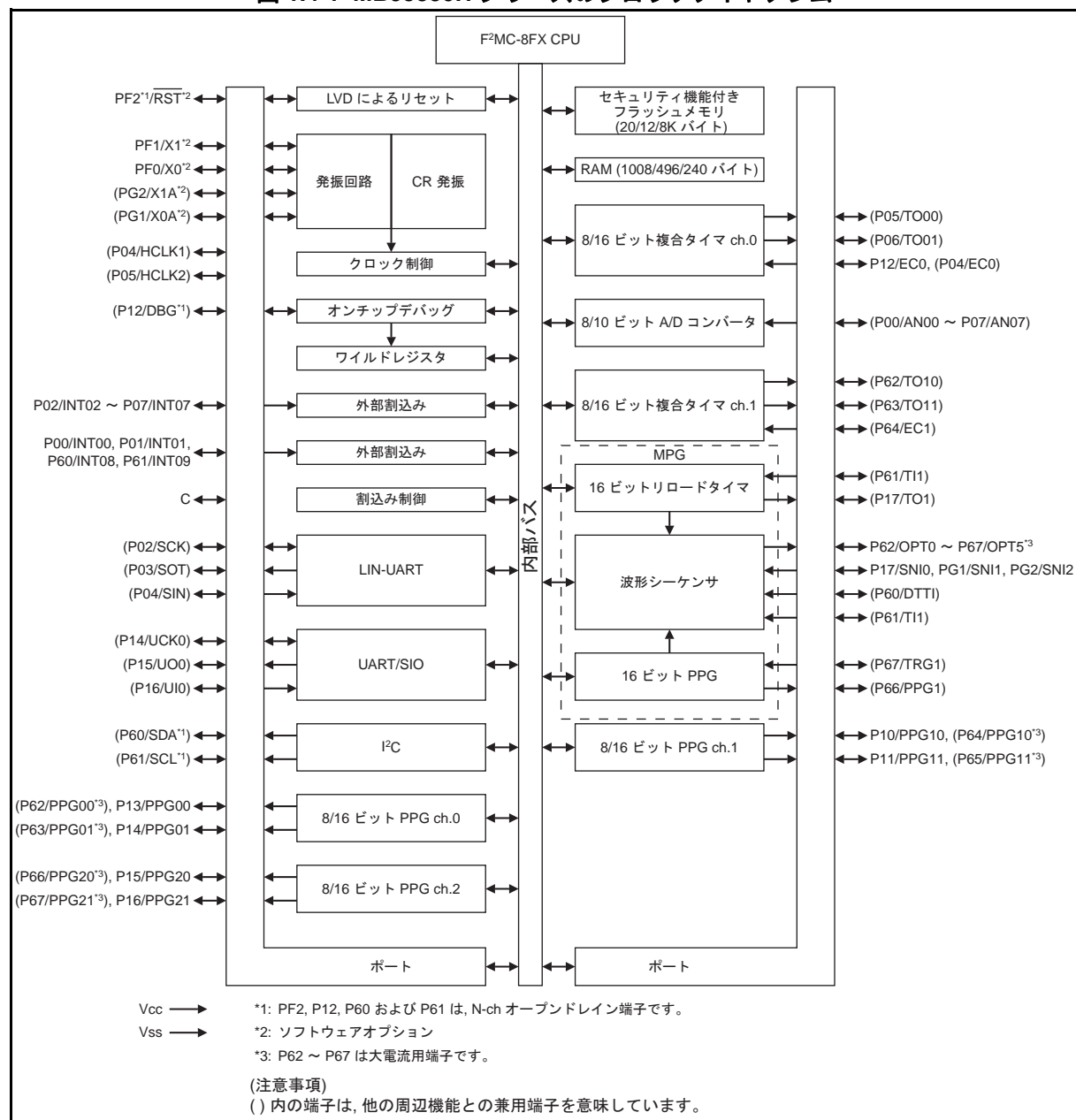
オンチップデバッグファンクションと評価ツールの接続には、 V_{CC} 、 V_{SS} 、およびシリアル通信との接続が必要です。

1.4 MB95330H シリーズのブロックダイアグラム

MB95330H シリーズのブロックダイアグラムを図 1.4-1 に示します。

■ MB95330H シリーズのブロックダイアグラム

図 1.4-1 MB95330H シリーズのブロックダイアグラム



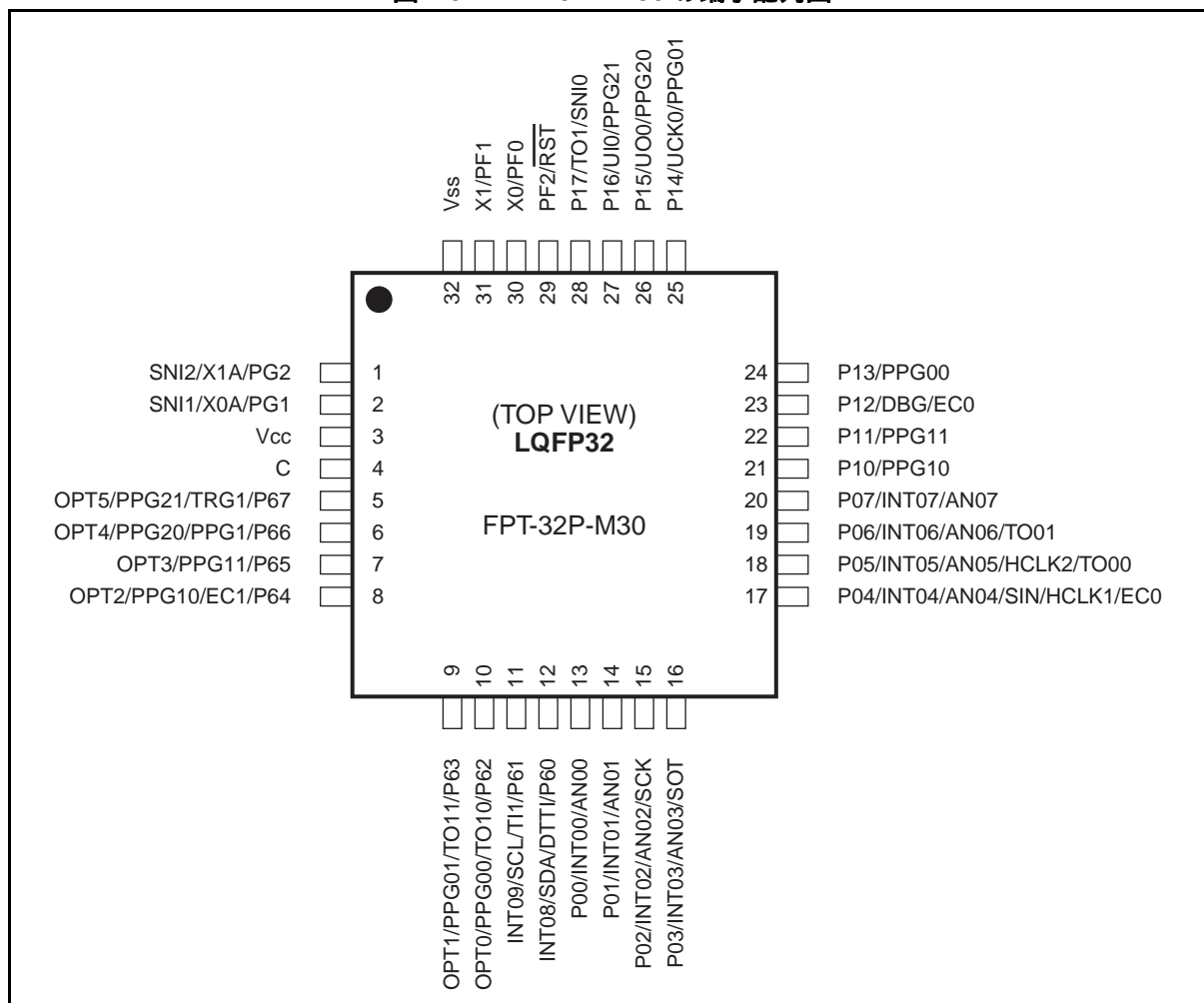
MB95330H シリーズ

1.5 端子配列図

図 1.5-1, 図 1.5-2 および図 1.5-3 に, MB95330H シリーズの 端子配列図を示します。

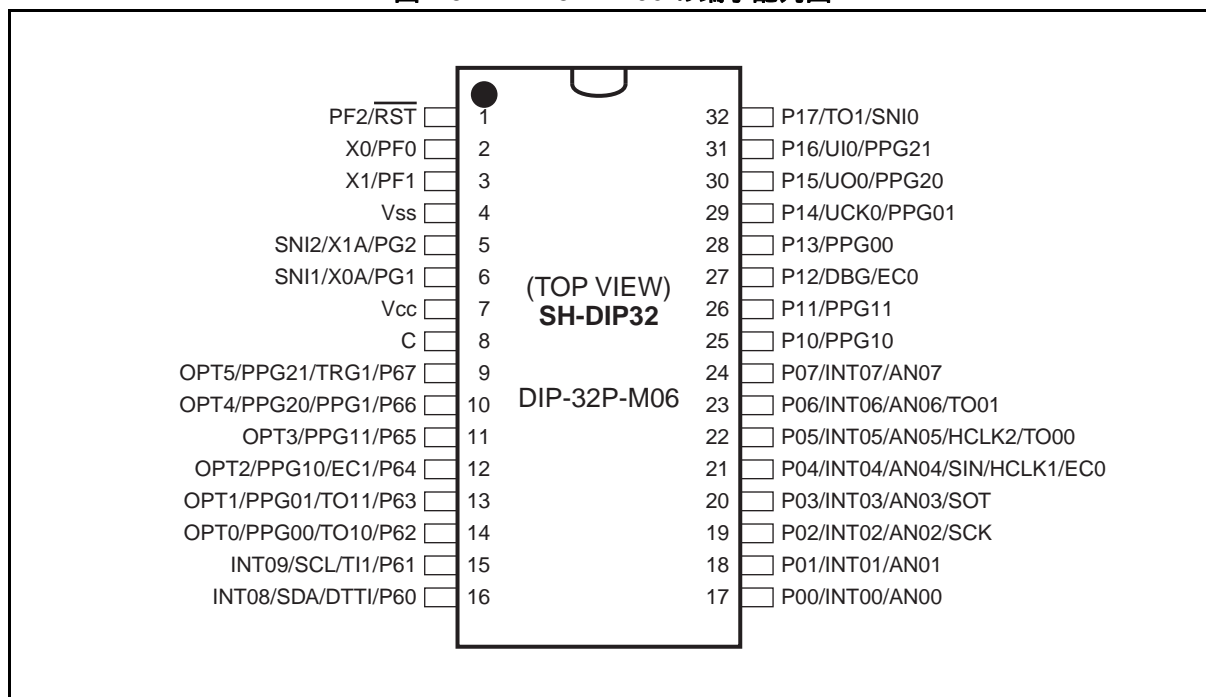
■ FPT-32P-M30 の端子配列図

図 1.5-1 FPT-32P-M30 の端子配列図



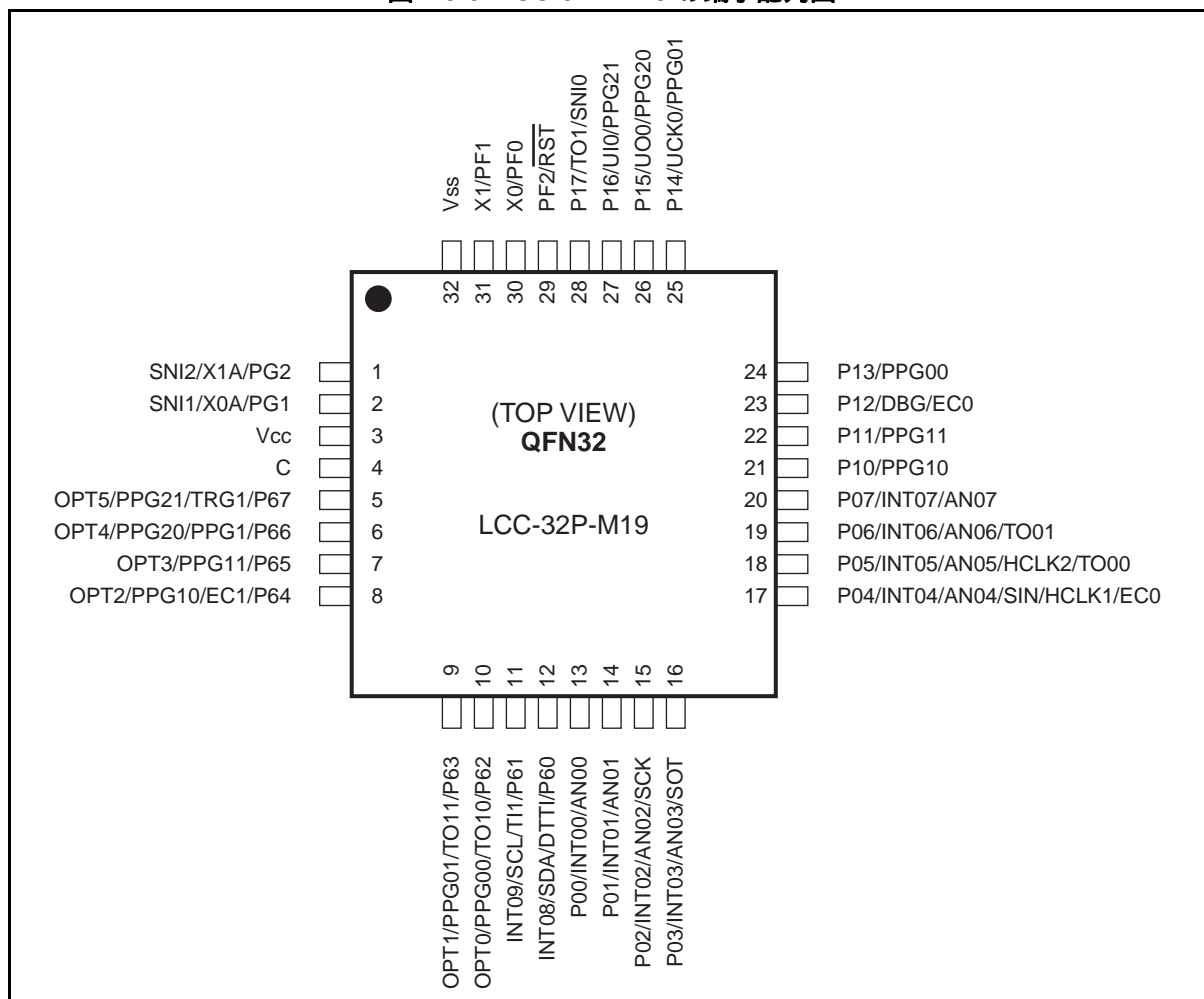
■ DIP-32P-M06 の端子配列図

図 1.5-2 DIP-32P-M06 の端子配列図



■ LCC-32P-M19 の端子配列図

図 1.5-3 LCC-32P-M19 の端子配列図

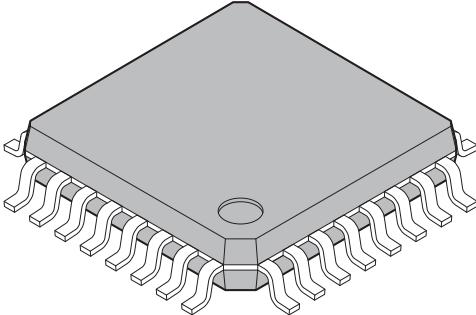


1.6 パッケージ外形寸法図

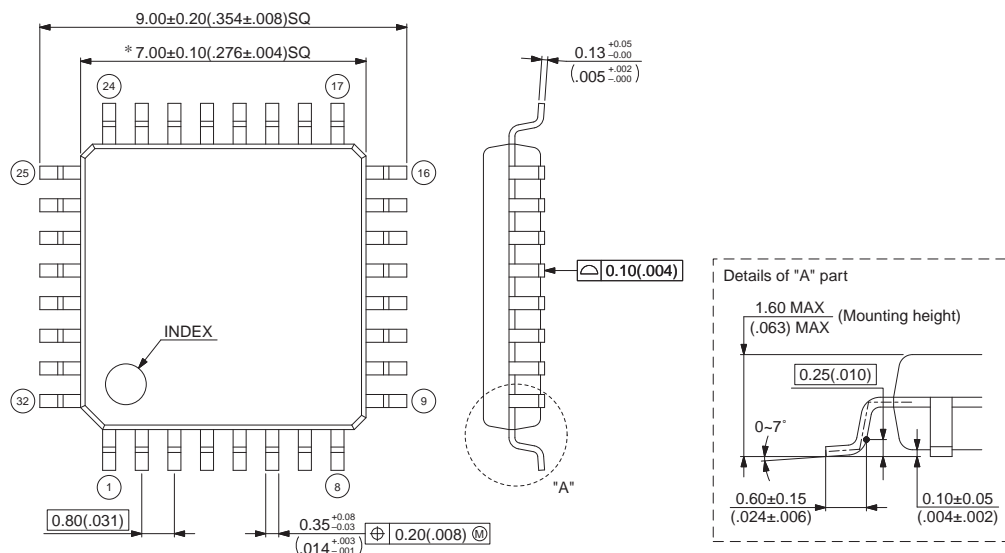
MB95330H シリーズには、3 種類のパッケージが用意されています。

■ FPT-32P-M30 の外形寸法図

図 1.6-1 FPT-32P-M30 の外形寸法

<p>プラスチック・LQFP, 32 ピン</p>  <p>(FPT-32P-M30)</p>	リードピッチ	0.80 mm
	パッケージ幅× パッケージ長さ	7.00 × 7.00 mm
	リード形状	ガルウィング
	封止方法	プラスチックモールド
	取付け高さ	1.60 mm Max.

プラスチック・LQFP, 32 ピン
(FPT-32P-M30)



注 1) * 印寸法はレジン残りを含まず。
注 2) 端子幅および端子厚さはメッキ厚を含む。
注 3) 端子幅はタイバ切断残りを含まず。

© 2009 FUJITSU MICROELECTRONICS LIMITED F32051S-c-1-1

単位 : mm (inches)
注意 : 括弧内の値は参考値です。

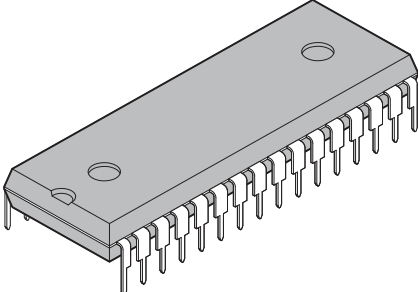
最新の外形寸法図については、下記の URL にてご確認ください。

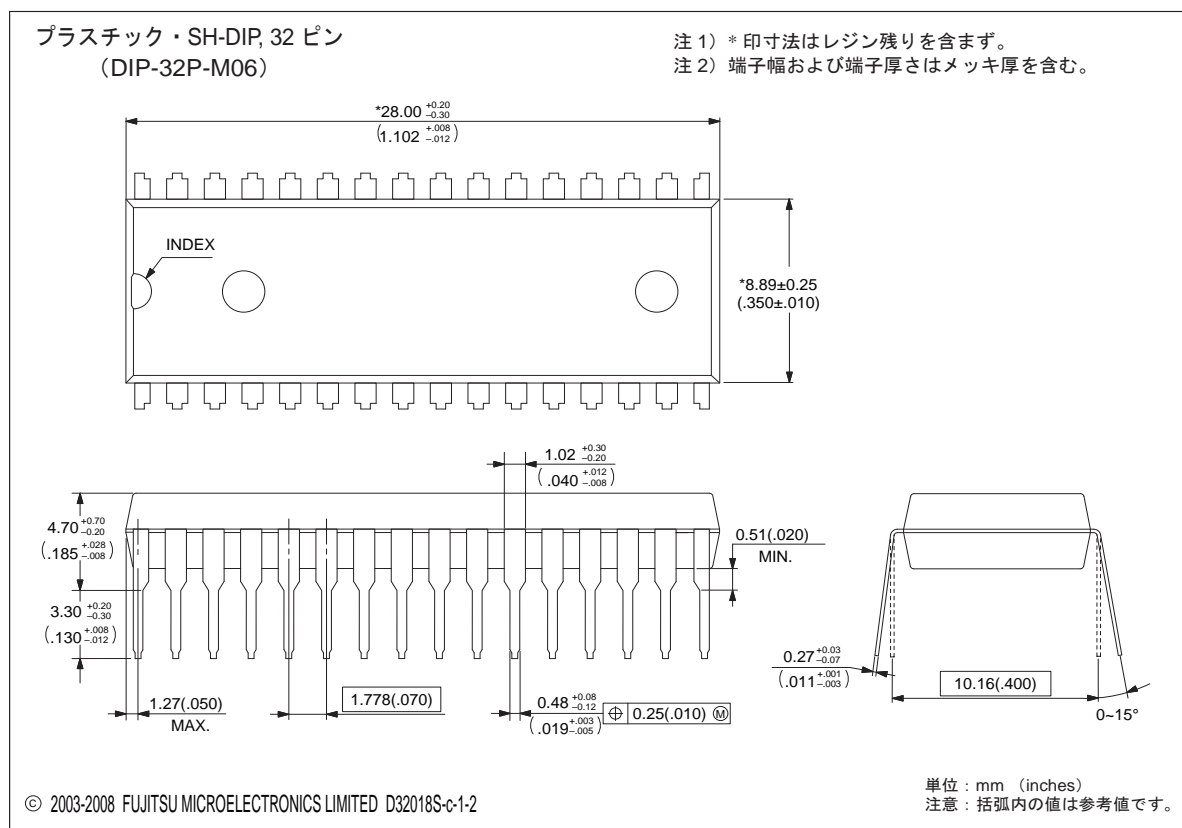
<http://edevic.fujitsu.com/package/jp-search/>

MB95330H シリーズ

■ DIP-32P-M06 の外形寸法図

図 1.6-2 DIP-32P-M06 の外形寸法

<p>プラスチック・SH-DIP, 32 ピン</p>  <p>(DIP-32P-M06)</p>	リードピッチ	1.778mm
	ロースペース	10.16mm
	封止方法	プラスチックモールド

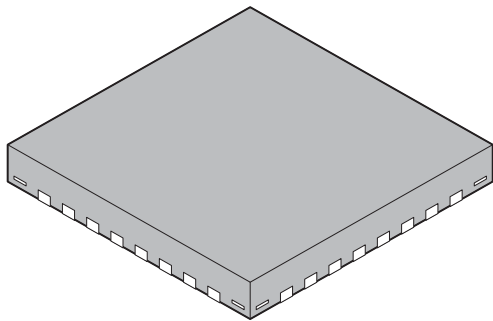


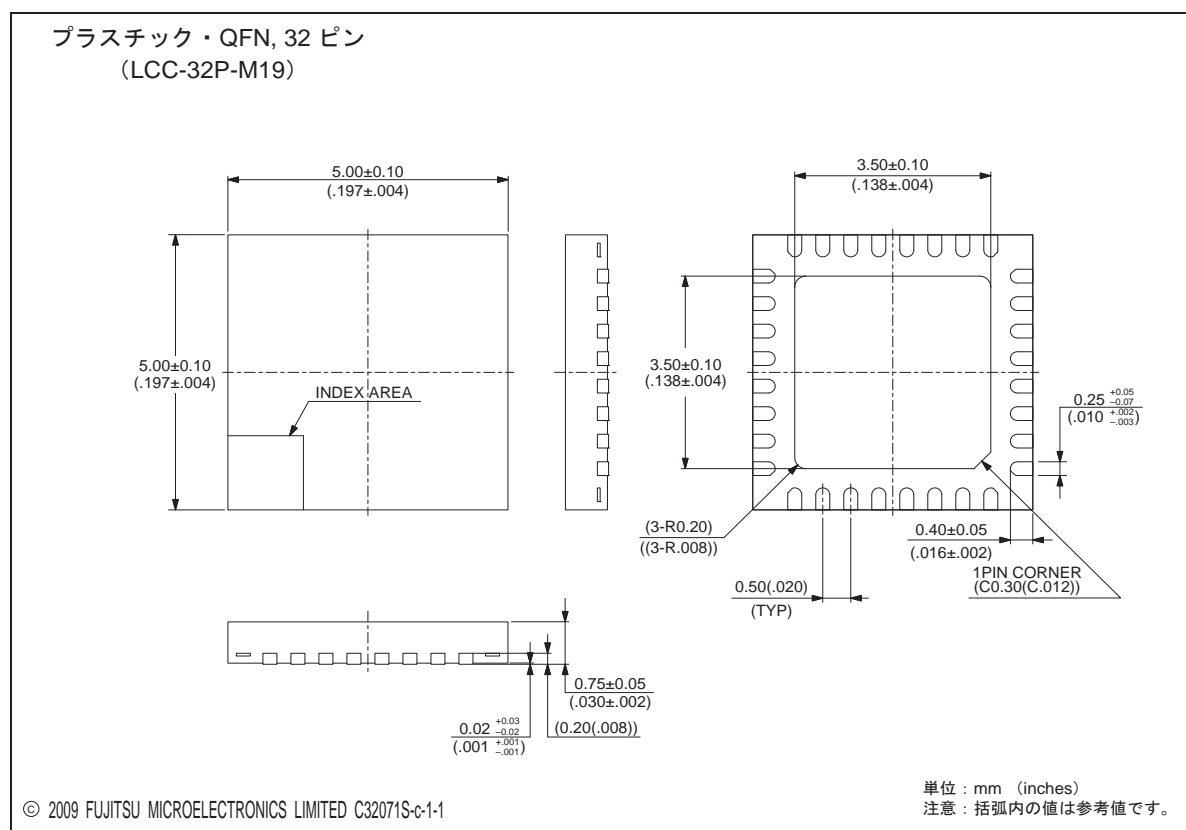
最新の外形寸法図については、下記の URL にてご確認ください。

<http://edevice.fujitsu.com/package/jp-search/>

■ LCC-32P-M19 の外形寸法図

図 1.6-3 LCC-32P-M19 の外形寸法

<p>プラスチック・QFN, 32 ピン</p>  <p>(LCC-32P-M19)</p>	リードピッチ	0.50 mm
	パッケージ幅× パッケージ長さ	5.00 mm × 5.00 mm
	封止方法	プラスチックモールド
	取付け高さ	0.80 mm Max.
	質量	0.06 g



最新の外形寸法図については、下記の URL にてご確認ください。

<http://edevice.fujitsu.com/package/jp-search/>

MB95330H シリーズ

1.7 端子機能説明

表 1.7-1 に MB95330H シリーズの端子機能説明を示します。下記表の「入出力回路形式」欄に表示されているアルファベットは、表 1.8-1 の「分類」欄のアルファベットに対応します。

■ 端子機能説明

表 1.7-1 端子機能説明 (1 / 4)

端子番号		端子名	入出力回路形式 ^{*4}	機能
LQFP32 ^{*1} & QFN32 ^{*2}	SH-DIP32 ^{*3}			
1	5	PG2	C	汎用入出力ポートです。
		X1A		サブクロック用入出力発振端子です。
		SNI2		MPG 波形シーケンサの位置検出機能用トリガ入力端子です。
2	6	PG1	C	汎用入出力ポートです。
		X0A		サブクロック用入力発振端子です。
		SNI1		MPG 波形シーケンサの位置検出機能用トリガ入力端子です。
3	7	V _{CC}	—	電源端子です。
4	8	C	—	コンデンサ接続端子です。
5	9	P67	D	汎用入出力ポートです。 大電流用端子です。
		PPG21		8/16 ビット PPG ch. 2 出力端子です。
		TRG1		16 ビット PPG ch. 1 トリガ入力端子です。
		OPT5		MPG 波形シーケンサ出力端子です。
6	10	P66	D	汎用入出力ポートです。 大電流用端子です。
		PPG20		8/16 ビット PPG ch. 2 出力端子です。
		PPG1		16 ビット PPG ch. 1 出力端子です。
		OPT4		MPG 波形シーケンサ出力端子です。
7	11	P65	D	汎用入出力ポートです。 大電流用端子です。
		PPG11		8/16 ビット PPG ch. 1 出力端子です。
		OPT3		MPG 波形シーケンサ出力端子です。

表 1.7-1 端子機能説明 (2 / 4)

端子番号		端子名	入出力 回路形 式 ^{*4}	機能
LQFP32 ^{*1} & QFN32 ^{*2}	SH-DIP32 ^{*3}			
8	12	P64	D	汎用入出力ポートです。 大電流用端子です。
		EC1		8/16 ビット複合タイマ ch. 1 クロック入力端子です。
		PPG10		8/16 ビット PPG ch. 1 出力端子です。
		OPT2		MPG 波形シーケンサ出力端子です。
9	13	P63	D	汎用入出力ポートです。 大電流用端子です。
		TO11		8/16 ビット複合タイマ ch. 1 出力端子です。
		PPG01		8/16 ビット PPG ch. 0 出力端子です。
		OPT1		MPG 波形シーケンサ出力端子です。
10	14	P62	D	汎用入出力ポートです。 大電流用端子です。
		TO10		8/16 ビット複合タイマ ch. 1 出力端子です。
		PPG00		8/16 ビット PPG ch. 0 出力端子です。
		OPT0		MPG 波形シーケンサ出力端子です。
11	15	P61	I	汎用入出力ポートです。
		INT09		外部割込み入力端子です。
		SCL		I ² C クロック入出力端子です。
		TI1		16 ビットリロードタイマ ch. 1 入力端子です。
12	16	P60	I	汎用入出力ポートです。
		INT08		外部割込み入力端子です。
		SDA		I ² C データ入出力端子です。
		DTTI		MPG 波形シーケンサ入力端子です。
13	17	P00	E	汎用入出力ポートです。
		INT00		外部割込み入力端子です。
		AN00		A/D コンバータアナログ入力端子です。
14	18	P01	E	汎用入出力ポートです。
		INT01		外部割込み入力端子です。
		AN01		A/D コンバータアナログ入力端子です。

MB95330H シリーズ

表 1.7-1 端子機能説明 (3 / 4)

端子番号		端子名	入出力 回路形 式 ^{*4}	機能
LQFP32 ^{*1} & QFN32 ^{*2}	SH-DIP32 ^{*3}			
15	19	P02	E	汎用入出力ポートです。
		INT02		外部割込み入力端子です。
		AN02		A/D コンバータアナログ入力端子です。
		SCK		LIN-UART クロック入出力端子です。
16	20	P03	E	汎用入出力ポートです。
		INT03		外部割込み入力端子です。
		AN03		A/D コンバータアナログ入力端子です。
		SOT		LIN-UART データ出力端子です。
17	21	P04	F	汎用入出力ポートです。
		INT04		外部割込み入力端子です。
		AN04		A/D コンバータアナログ入力端子です。
		SIN		LIN-UART データ入力端子です。
		HCLK1		外部クロック入力端子です。
		EC0		8/16 ビット複合タイマ ch.0 クロック入力端子です。
18	22	P05	E	汎用入出力ポートです。
		INT05		外部割込み入力端子です。
		AN05		A/D コンバータアナログ入力端子です。
		HCLK2		外部クロック入力端子です。
		TO00		8/16 ビット複合タイマ ch.0 出力端子です。
19	23	P06	E	汎用入出力ポートです。
		INT06		外部割込み入力端子です。
		AN06		A/D コンバータアナログ入力端子です。
		TO01		8/16 ビット複合タイマ ch.0 出力端子です。
20	24	P07	E	汎用入出力ポートです。
		INT07		外部割込み入力端子です。
		AN07		A/D コンバータアナログ入力端子です。
21	25	P10	G	汎用入出力ポートです。
		PPG10		8/16 ビット PPG ch.1 出力端子です。
22	26	P11	G	汎用入出力ポートです。
		PPG11		8/16 ビット PPG ch.1 出力端子です。

表 1.7-1 端子機能説明 (4 / 4)

端子番号		端子名	入出力回路形式 ^{*4}	機能
LQFP32 ^{*1} & QFN32 ^{*2}	SH-DIP32 ^{*3}			
23	27	P12	H	汎用入出力ポートです。
		DBG		DBG 入力端子です。
		EC0		8/16 ビット複合タイマ ch. 0 クロック入力端子です。
24	28	P13	G	汎用入出力ポートです。
		PPG00		8/16 ビット PPG ch. 0 出力端子です。
25	29	P14	G	汎用入出力ポートです。
		UCK0		UART/SIO ch. 0 クロック入出力端子です。
		PPG01		8/16 ビット PPG ch. 0 出力端子です。
26	30	P15	G	汎用入出力ポートです。
		UO0		UART/SIO ch. 0 データ出力端子です。
		PPG20		8/16 ビット PPG ch. 2 出力端子です。
27	31	P16	J	汎用入出力ポートです。
		UI0		UART/SIO ch. 0 データ入力端子です。
		PPG21		8/16 ビット PPG ch. 2 出力端子です。
28	32	P17	G	汎用入出力ポートです。
		TO1		16 ビットリロードタイマ ch. 1 出力端子です。
		SNIO		MPG 波形シーケンサの位置検出機能用トリガ入力端子です。
29	1	PF2	A	汎用入出力ポートです。
		$\overline{\text{RST}}$		リセット端子です。 MB95F332H/F333H/F334H では専用リセット端子です。
30	2	PF0	B	汎用入出力ポートです。
		X0		メインクロック入力発振端子です。
31	3	PF1	B	汎用入出力ポートです。
		X1		メインクロック入出力発振端子です。
32	4	V _{SS}	-	電源 (GND) 端子です。

1: パッケージコード : FPT-32P-M30

2: パッケージコード : LCC-32P-M19

3: パッケージコード : DIP-32P-M06

4: 入出力回路形式については 1.8 " 入出力回路形式 " を参照してください。

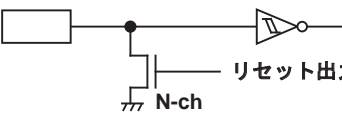
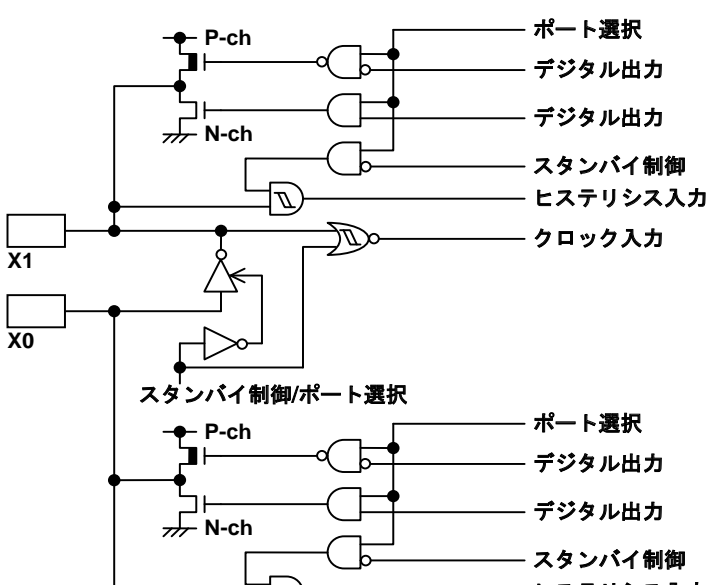
MB95330H シリーズ

1.8 入出力回路形式

表 1.8-1 に入出力回路形式を示します。表 1.8-1 の「分類」欄のアルファベットは、表 1.7-1 の「入出力回路形式」欄のアルファベットに対応しています。

■ 入出力回路形式

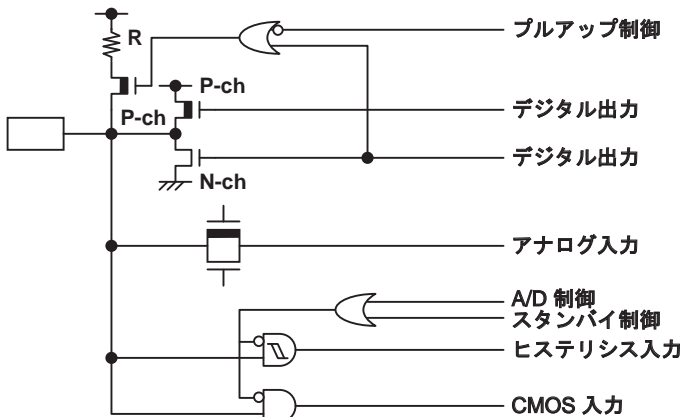
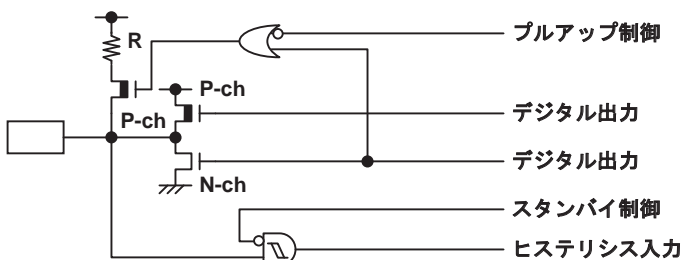
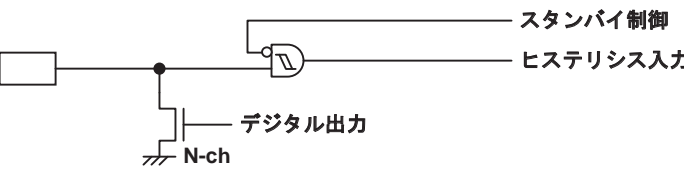
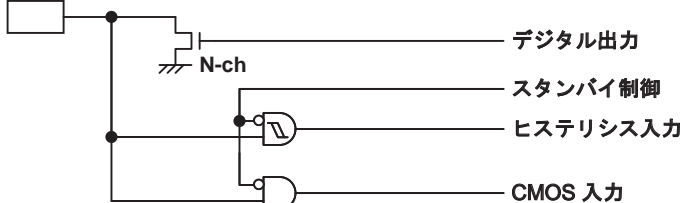
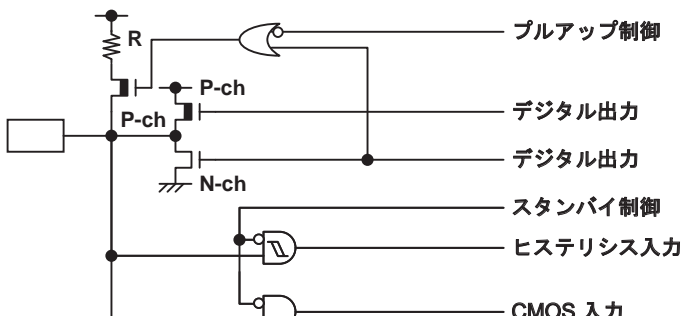
表 1.8-1 入出力回路形式 (1 / 3)

分類	回路	備考
A	 <p>リセット入力/ヒステリシス入力</p> <p>リセット出力/デジタル出力</p> <p>N-ch</p>	<ul style="list-style-type: none"> • N-ch オープンドレイン出力 • ヒステリシス入力 • リセット出力
B	 <p>P-ch</p> <p>N-ch</p> <p>X1</p> <p>X0</p> <p>ポート選択</p> <p>デジタル出力</p> <p>デジタル出力</p> <p>スタンバイ制御</p> <p>ヒステリシス入力</p> <p>クロック入力</p> <p>スタンバイ制御/ポート選択</p> <p>P-ch</p> <p>N-ch</p> <p>ポート選択</p> <p>デジタル出力</p> <p>デジタル出力</p> <p>スタンバイ制御</p> <p>ヒステリシス入力</p>	<ul style="list-style-type: none"> • 発振回路 • 高速側 帰還抵抗：約 1 MΩ • CMOS 出力 • ヒステリシス入力

分類	回路	備考
C		<ul style="list-style-type: none"> 発振回路 低速側 帰還抵抗：約 10 MΩ CMOS 出力 ヒステリシス入力 プルアップ制御あり
D		<ul style="list-style-type: none"> CMOS 出力 ヒステリシス入力
E		<ul style="list-style-type: none"> CMOS 出力 ヒステリシス入力 プルアップ制御あり

MB95330H シリーズ

表 1.8-1 入出力回路形式 (3 / 3)

分類	回路	備考
F	 <p>プルアップ制御 デジタル出力 デジタル出力 アナログ入力 A/D 制御 スタンバイ制御 ヒステリシス入力 CMOS 入力</p>	<ul style="list-style-type: none"> CMOS 出力 ヒステリシス入力 CMOS 入力 プルアップ制御あり
G	 <p>プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> ヒステリシス入力 CMOS 出力 プルアップ制御あり
H	 <p>スタンバイ制御 ヒステリシス入力 デジタル出力 N-ch</p>	<ul style="list-style-type: none"> N-ch オープンドレイン出力 ヒステリシス入力
I	 <p>デジタル出力 N-ch スタンバイ制御 ヒステリシス入力 CMOS 入力</p>	<ul style="list-style-type: none"> N-ch オープンドレイン出力 ヒステリシス入力 CMOS 入力
J	 <p>プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力 CMOS 入力</p>	<ul style="list-style-type: none"> CMOS 出力 ヒステリシス入力 CMOS 入力 プルアップ制御あり

第2章

デバイス使用上の注意

MB95330H シリーズを使用する際の注意事項について説明します。

2.1 デバイス使用上の注意

2.1 デバイス使用上の注意

デバイスの電源電圧と端子の処理などについての注意事項を示します。

■ デバイス使用上の注意

● ラッチアップの防止

デバイスの使用時には、印加電圧が最大電圧定格を超えないようにしてください。

CMOS IC では、中耐圧・高耐圧以外の入出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合、または MB95330H シリーズのデータシート内の「■ 電気的特性」の「1. 絶対最大定格」に示す電源電圧の定格範囲外の電圧が V_{CC} 端子または V_{SS} 端子に印加された場合、ラッチ - アップ現象が発生することがあります。

ラッチアップ現象が発生すると電源電流が激増し、素子の熱破壊する恐れがあります。

● 供給電圧の安定

供給電圧は、安定させてください。

電源電圧が急激に変動すると、たとえ変動が V_{CC} 電源電圧の動作保証範囲内であっても誤動作を生じることがあります。

電圧安定化の基準として商用周波数 (50 Hz/60 Hz) での V_{CC} リップル (p-p 値) は標準 V_{CC} 値の 10% 以下に、また電源の切換え時などの瞬時変化においては、過度変動率が 0.1 V/ms 以下になるよう電圧変動を抑えてください。

● 外部クロック使用時の注意

外部クロック使用時ににおいて、パワーオンリセット、サブクロックモードまたはストップモードの解除時には、発振安定待ち時間が発生します。

■ 端子接続について

● 未使用端子の処理

入力に用いる未使用端子を開放のままにしておくと、誤操作およびラッチアップ現象による永久破壊の原因となることがあります。使用していない入力端子は、 $2\text{ k}\Omega$ 以上の抵抗を介してプルアップまたはプルダウンの処理をしてください。使用していない入出力端子は、出力状態に設定して開放とするか、あるいは、入力状態に設定し入力端子と同じ処理をしてください。使用していない出力端子は、開放としてください。

● 電源端子

不要輻射の低減、グラウンドレベルの上昇によるストロブ信号の誤動作の防止、総出力電流規格を遵守などのために、必ずすべての V_{CC} 端子と V_{SS} 端子をデバイスの外部で電源とグラウンドに接続してください。また、電流供給源と本デバイスの V_{CC} 端子と V_{SS} 端子は低インピーダンスで接続してください。

本デバイスの近くで、 V_{CC} 端子と V_{SS} 端子の間に、 $0.1\text{ }\mu\text{F}$ 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします

•DBG 端子

DBG 端子を外部のプルアップ抵抗に直接接続してください。

ノイズによってデバイスが意図せずにデバッグモードに入るのを防止するため、プリント基板のレイアウトを設計するときはDBG 端子から V_{CC} 端子または V_{SS} 端子への距離を最小限にしてください。

パワーオン後、リセット出力が解除されるまでは、DBG 端子が "L" レベルのままにならないようにしてください。

• \overline{RST} 端子

\overline{RST} を外部のプルアップ抵抗に直接接続してください。

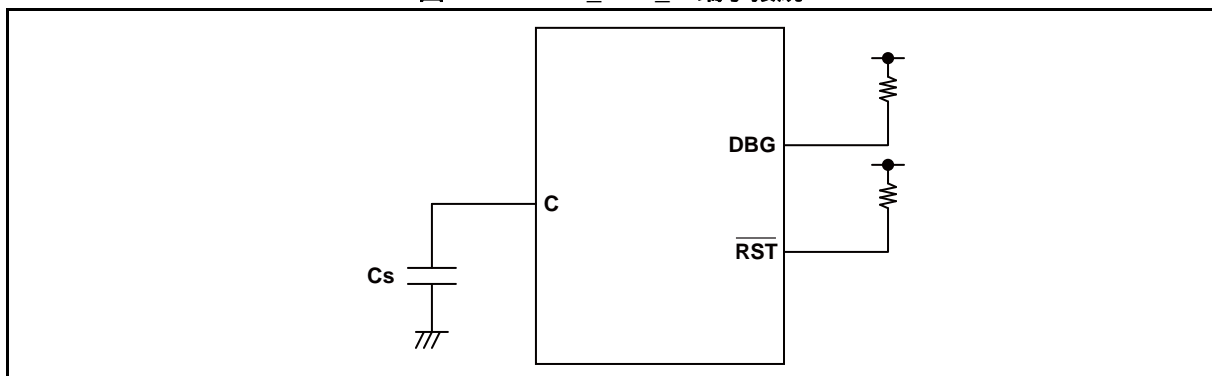
ノイズによってデバイスが意図せずにリセットモードに入るのを防止するため、プリント基板のレイアウトを設計するときは \overline{RST} 端子と V_{CC} 端子または V_{SS} 端子への距離を最小限にしてください。

パワーオン後、 $\overline{RST}/PF2$ 端子はリセット入出力端子と同じに機能します。また、リセット出力はSYSC レジスタのRSTOE ビットによって許可でき、リセット入力機能または汎用入出力機能はSYSC レジスタのRSTEN ビットによって選択できます。

•C 端子

セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子のバスパスコンデンサは、 C_S より大きい容量値のコンデンサを使用してください。平滑コンデンサ C_S への接続は、下図を参照してください。ノイズによってデバイスが意図せずに不明なモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、C 端子から C_S への距離および C_S から V_{SS} 端子への距離を最小限にしてください。

図 2.1-1 DBG \overline{RST} C 端子接続



•シリアル通信に関する注意事項

デバイスは、ノイズによる異常なデータを受信する場合がありますので、シリアル通信用のボードレイアウト設計を行う際には、ノイズを最小限としてください。さらに、シリアル通信の正常な動作を確実にするために、シリアルデータにチェックビット（パリティなど）を追加することを推奨します。

第3章

メモリ空間

メモリ空間について説明します。

- 3.1 メモリ空間
- 3.2 メモリマップ

3.1 メモリ空間

MB95330H シリーズのメモリ空間は 20 K バイトで、I/O 領域、データ領域、プログラム領域によって構成されています。メモリ空間には、汎用レジスタやベクタテーブルなど、特定の用途に使用される領域があります。

■ メモリ空間の構成

● I/O 領域 (アドレス : 0000_H ~ 007F_H)

- この領域には、内蔵する周辺機能の制御レジスタ、データレジスタが配置されています。
- I/O 領域はメモリ空間の一部に割り当てられているため、メモリにアクセスする場合と同様にアクセスできます。また、ダイレクトアドレッシング命令を用いることで、より高速にアクセスできます。

● 拡張 I/O 領域 (アドレス : 0F80_H ~ 0FFF_H)

- この領域には、内蔵する周辺機能の制御レジスタ、データレジスタなどが配置されています。
- 拡張 I/O 領域はメモリ空間の一部に割り当てられている、メモリにアクセスする場合と同様にアクセスできます。

● データ領域

- 内部データ領域としてスタティック RAM がデータ領域内に内蔵されています。
- 内部 RAM 容量は、品種によって異なります。
- 0090_H ~ 00FF_H は、ダイレクトアドレッシング命令を用いることで、高速にアクセスできます。
- MB95F334H/F334K のアドレス 0100_H ~ 047F_H は、拡張ダイレクトアドレッシング領域です。ダイレクトバンクポイントの設定により、ダイレクトアドレッシング命令による高速アクセスが可能となります。
- MB95F333H/F333K のアドレス 0100_H ~ 027F_H は、拡張ダイレクトアドレッシング領域です。ダイレクトバンクポイントの設定により、ダイレクトアドレッシング命令による高速アクセスが可能となります。
- MB95F332H/F332K のアドレス 0100_H ~ 017F_H は、拡張ダイレクトアドレッシング領域です。ダイレクトバンクポイントの設定により、ダイレクトアドレッシング命令による高速アクセスが可能となります。
- MB95F333H/F333K/F334H/F334K のアドレス 0100_H ~ 01FF_H は、汎用レジスタ領域として使用することができます。
- MB95F332H/F332K のアドレス 0100_H ~ 017F_H は、汎用レジスタ領域として使用することができます。

● プログラム領域

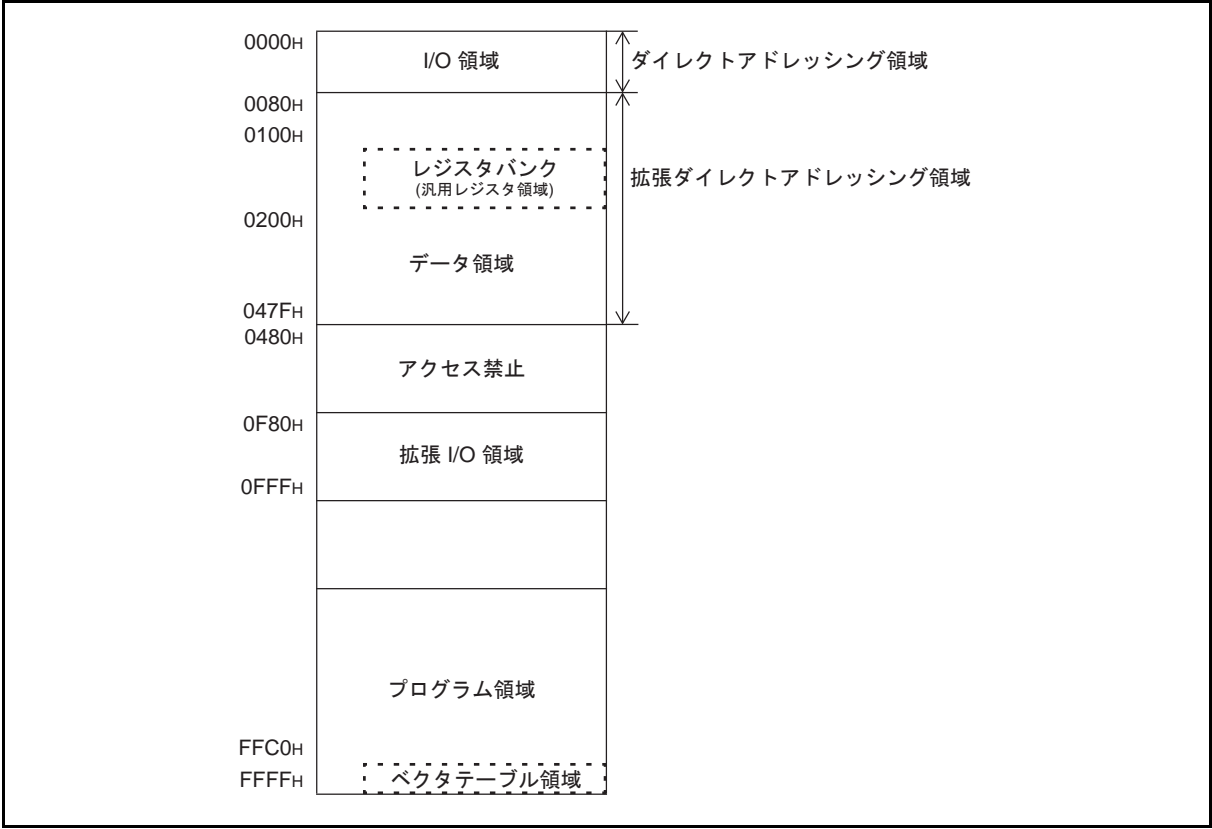
- 内部プログラム領域として ROM が内蔵されています。
- 内部 ROM 容量は、品種によって異なります。
- FFC0_H ~ FFFF_H は、ベクタテーブルとして使用します。

MB95330H シリーズ

- FFBC_H ~ FFBF_H は、不揮発性レジスタのデータ保存に使用します。

■ メモリマップ

図 3.1-1 メモリマップ



3.1.1 特定用途の領域

特定の用途の領域には、汎用レジスタ領域とベクタテーブル領域があります。

■ 汎用レジスタ領域 (アドレス : MB95F333H/F333K/F334H/F334K 内の 0100_H ~ 01FF_H) (アドレス : MB95F332H/F332K の 0100_H ~ 017F_H)

- 8ビットの演算や転送などに使用する補助的レジスタが配置されています。
- RAM領域の一部に割り当てられており、通常のRAMとして使用することもできます。
- 汎用レジスタとして使用すると、汎用レジスタアドレッシングによって、短い命令で高速にアクセスすることができます。

詳細は、「5.1.1 レジスタバンクポインタ (RP)」および「5.2 汎用レジスタ」を参照してください。

■ 不揮発性レジスタデータ領域 (アドレス : FFBC_H ~ FFBF_H)

- FFBC_H ~ FFBF_H までの領域は不揮発性レジスタのデータの保存用として使用します。詳細は、「第30章 不揮発性レジスタ (NVR) の機能」を参照してください。

■ ベクタテーブル領域 (アドレス : FFC0_H ~ FFFF_H)

- ベクタコール命令 (CALLV)、割り込み、およびリセットのベクタテーブルとして使用します。
- ROM領域の最上部に割り当てられており、それぞれのベクタテーブルのアドレスに対応する処理ルーチンの開始アドレスをデータとして設定します。

「第8章 割り込み」の表 8.1-1 に、ベクタコール命令、割り込み、およびリセットに対応して参照されるベクタテーブルのアドレスを示します。

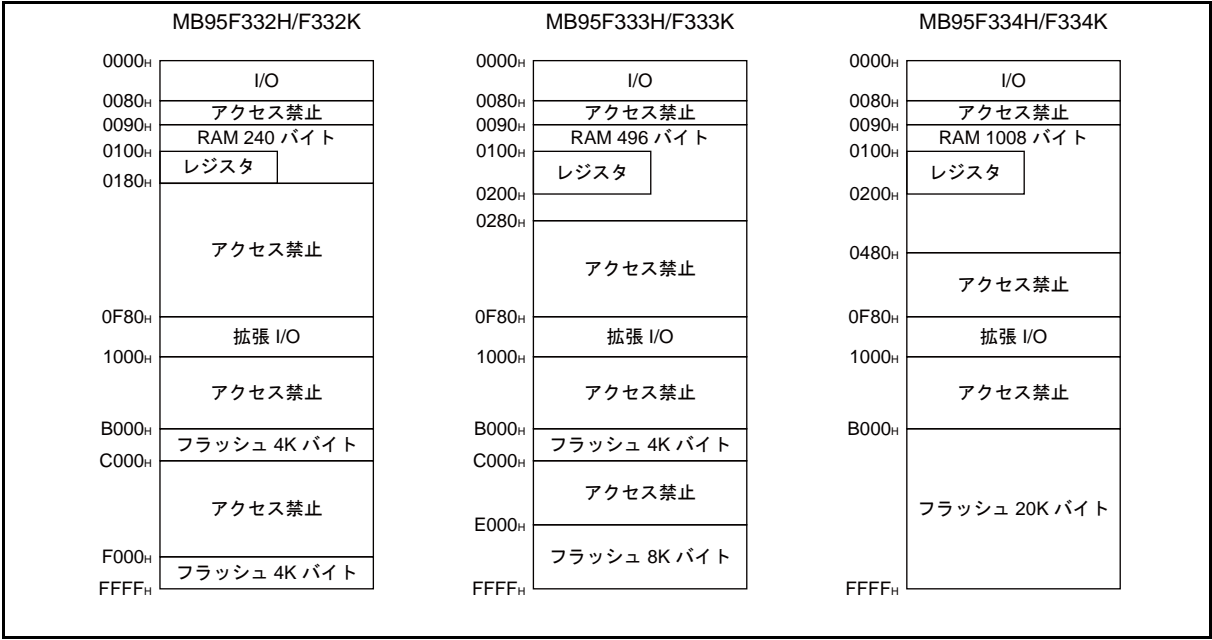
詳細は「第7章 リセット」、「第8章 割り込み」、および「付録」の「E.2 特殊な命令について」「■ 特殊な命令について ● CALLV #vct」を参照してください。

MB95330H シリーズ
3.2 メモリマップ

MB95330H シリーズのメモリマップを示します。

■ メモリマップ

図 3.2-1 メモリマップ



品種名	パラメータ	フラッシュメモリ	RAM
MB95F332H/F332K		8 K バイト	240 バイト
MB95F333H/F333K		12 K バイト	496 バイト
MB95F334H/F334K		20K バイト	1008 バイト

第4章

メモリアクセスモード

メモリアクセスモードについて説明します。

4.1 メモリアクセスモード

4.1 メモリアクセスモード

MB95330H シリーズ のメモリアクセスは、シングルチップモードのみです。

■ シングルチップモード

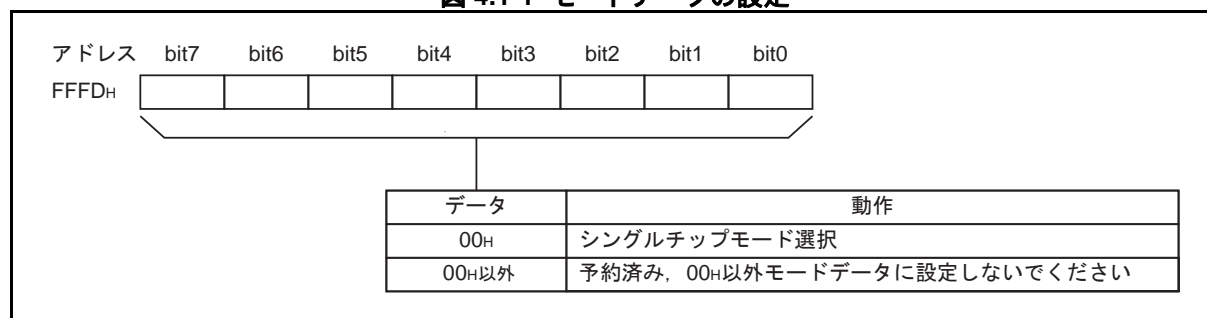
シングルチップモードでは、内部の RAM および ROM のみが使用され、外部バスアクセスは行いません。

● モードデータ

モードデータは、CPU のメモリアクセスモードを決定するデータです。

モードデータアドレスは、"FFFD_H" に固定されます。内部 ROM のモードデータは必ず"00_H" に設定してシングルチップモードを選択してください。

図 4.1-1 モードデータの設定



リセット解除後に、CPU は最初にモードデータをフェッチ（取り出）します。

CPU はモードデータの次に、リセットベクタをフェッチ（取り出）します。リセットベクタで設定されたアドレスから命令の実行を開始します。

第5章

CPU

CPU の機能と動作について説明します。

- 5.1 専用レジスタ
- 5.2 汎用レジスタ
- 5.3 16 ビットデータのメモリ上の配置

5.1 専用レジスタ

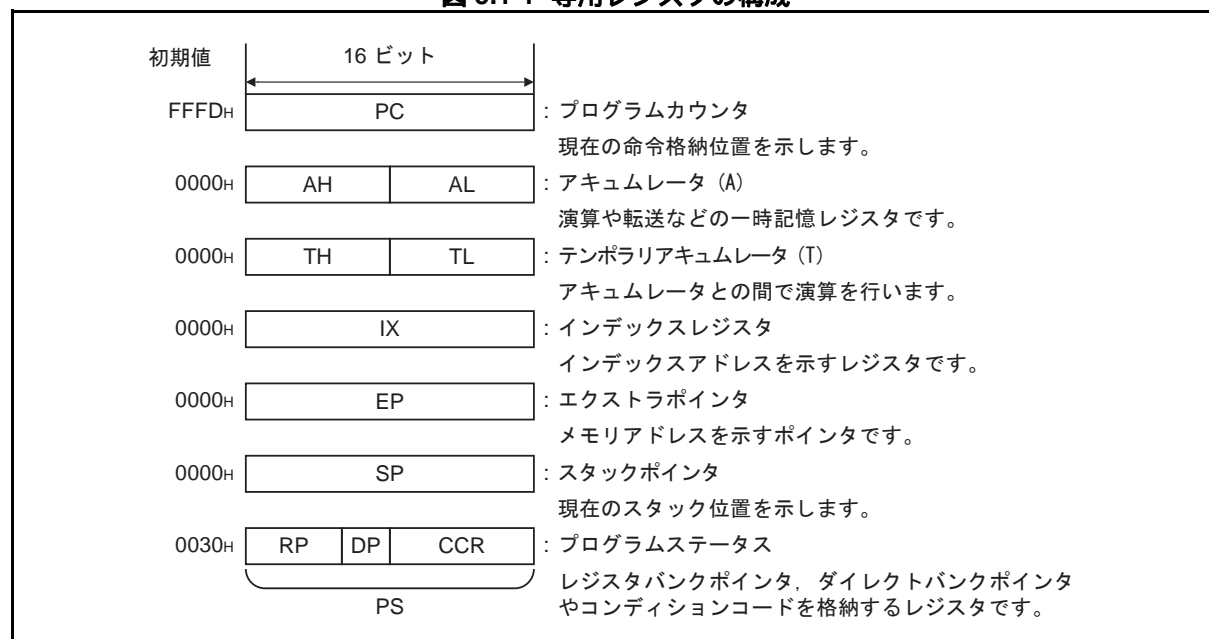
CPU には、プログラムカウンタ (PC), 2 つの演算用レジスタ (A, T), 3 つのアドレスポインタ (IX, EP, SP), およびプログラムステータス (PS) の専用レジスタがあります。各レジスタは、16 ビット長です。PS レジスタは、レジスタバンクポインタ (RP), ダイレクトポインタ (DP), およびコンディションコードレジスタ (CCR) から構成されています。

■ 専用レジスタの構成

CPU 内の専用レジスタは、7 つの 16 ビットレジスタから構成されています。アキュムレータ (A) およびテンポラリアキュムレータ (T) については、下位 8 ビットのみを使用できます。

図 5.1-1 に、専用レジスタの構成を示します。

図 5.1-1 専用レジスタの構成



■ 専用レジスタの機能

● プログラムカウンタ (PC)

プログラムカウンタは、CPU により現在実行されている命令のメモリアドレスを示す 16 ビットのカウンタです。プログラムカウンタは、命令の実行、割込み、リセットなどによりその内容が更新されます。リセット直後の初期値は、モードデータの読み出しアドレス (FFFD_H) です。

● アキュムレータ (A)

アキュムレータは、16 ビット長の演算用レジスタで、メモリー上のデータやテンポラリアキュムレータ (T) などほかのレジスタ内のデータと各種の演算および転送処理を行います。アキュムレータ内のデータは、ワード長 (16 ビット) としてもバイト長 (8 ビット) としても扱えます。バイト長データの演算処理や転送処理では、アキュムレータの下位 8 ビット (AL) のみが使用され、上位 8 ビット (AH) は変化しません。リセット直後の初期値は "0000_H" です。

● テンポラリアキュムレータ (T)

テンポラリアキュムレータは、16 ビット長の演算用補助レジスタで、アキュムレータ (A) 内のデータと各種の演算を行います。テンポラリアキュムレータ内のデータは、アキュムレータ (A) に対する演算がワード長 (16 ビット) の場合はワード長で、バイト長 (8 ビット) の場合はバイト長で扱われます。バイト長演算が行われると、テンポラリアキュムレータの下位 8 ビット (TL) のみが使用され、上位 8 ビット (TH) は使われません。MOV 命令を使用してアキュムレータ (A) にデータを転送する場合、アキュムレータに格納されていたデータは自動的にテンポラリアキュムレータへと転送されます。バイト長のデータを転送する場合は、テンポラリアキュムレータの上位 8 ビット (TH) は変化しません。リセット後の初期値は "0000_H" です。

● インデックスレジスタ (IX)

インデックスレジスタは、インデックスアドレスを保持するための 16 ビット長のレジスタで、1 バイト分、オフセット (-128 ~ +127) して使用します。インデックスアドレスにオフセット値を加えることにより、データアクセスのためのメモリアドレスが生成されます。リセット後の初期値は "0000_H" です。

● エクストラポインタ (EP)

エクストラポインタは、データアクセスのためのメモリアドレスを示す値を保持する 16 ビット長のレジスタです。リセット後の初期値は "0000_H" です。

● スタックポインタ (SP)

スタックポインタは、割込みやサブルーチン呼び出しが生じたとき、スタックの退避 / 復帰命令によって参照されるアドレスを保持する 16 ビット長のレジスタです。プログラムの実行中、スタックポインタの値は、スタックに退避された最新データのアドレスとなっています。リセット後の初期値は "0000_H" です。

● プログラムステータス (PS)

プログラムステータスは、16 ビット長の制御レジスタです。上位 8 ビットは、レジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) から構成され、下位 8 ビットは、コンディションコードレジスタ (CCR) となっています。

上位 8 ビットのうち、上位 5 ビットはレジスタバンクポインタで、汎用レジスタバンクのアドレスを保持するために使用します。下位 3 ビットはダイレクトバンクポインタで、ダイレクトアドレッシングにより高速にアクセスされる領域を示します。

下位 8 ビットはコンディションコードレジスタ (CCR) で、CPU の状態を表す各種フラグで構成されています。

プログラムステータスにアクセス可能な命令は、MOVW A,PS と MOVW PS,A です。プログラムステータスレジスタ内のレジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) は、ミラーアドレス (0078_H) をアクセスすることによっても読み書きすることができます。

なお、コンディションコードレジスタ (CCR) は、プログラムステータスレジスタの一部であり、コンディションコードレジスタのみのアクセスはできません。

専用レジスタの詳しい使用方法については、「F²MC-8FX プログラミングマニュアル」を参照してください。

MB95330H シリーズ

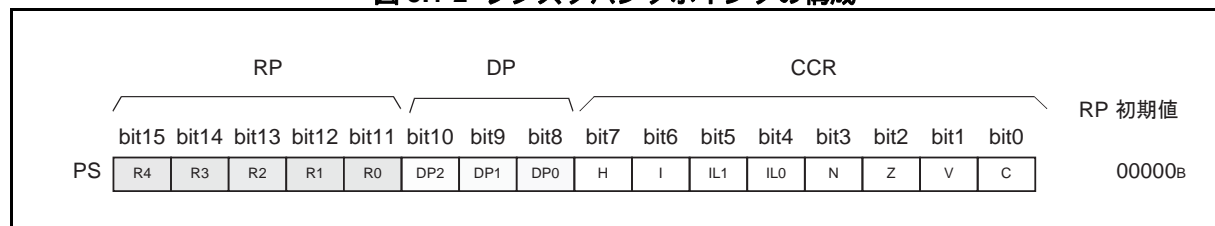
5.1.1 レジスタバンクポインタ (RP)

プログラムステータス (PS) の bit15 ~ bit11 であるレジスタバンクポインタ (RP) は、現在使用している汎用レジスタバンクのアドレスを示し、汎用レジスタアドレッシング時に実アドレスに変換されます。

■ レジスタバンクポインタ (RP) の構成

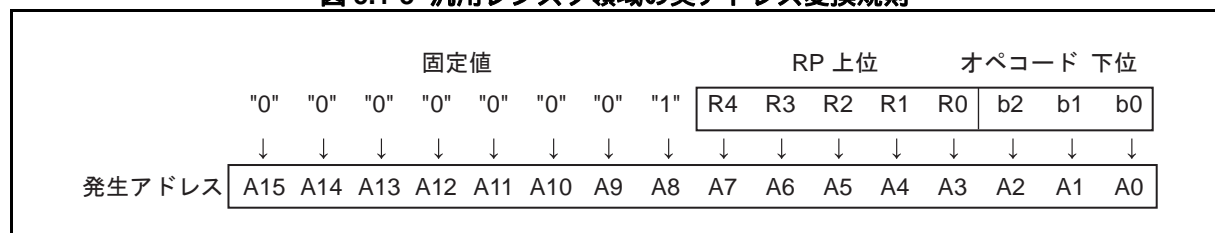
図 5.1-2 に、レジスタバンクポインタの構成を示します。

図 5.1-2 レジスタバンクポインタの構成



レジスタバンクポインタは、現在使用されているレジスタバンクのアドレスを示します。レジスタバンクポインタの内容は、図 5.1-3 に示す規則にしたがって、実アドレスに変換されます。

図 5.1-3 汎用レジスタ領域の実アドレス変換規則



レジスタバンクポインタは、RAM 領域の中で汎用レジスタとして使用するレジスタバンクを指定します。レジスタバンクは全部で 32 個あります。カレントレジスタバンクは、レジスタバンクポインタの上位 5 ビットに 0 ~ 31 の値を設定することにより指定されます。1 つのレジスタバンクには、8 つの 8 ビット長の汎用レジスタがあり、オペコードの下位 3 ビットで選択されます。

このレジスタバンクポインタによって、"0100_H" ~ "01FF_H" (最大) までは、汎用レジスタ領域として使用することができます。ただし、一部の製品には、汎用レジスタ領域として使用可能な領域のサイズに制限があります。レジスタバンクポインタのリセット後の初期値は "0000_H" です。

■ レジスタバンクポインタおよびダイレクトバンクポインタのミラーアドレス

レジスタバンクポインタ (RP) およびダイレクトバンクポインタ (DP) の値は、「MOVW A,PS」命令によってプログラムステータス (PS) レジスタにアクセスすることにより、書き込むことができます。読出しは、「MOVW PS,A」命令によってプログラムステータス (PS) にアクセスすることにより行うことができます。また、レジスタバンクポインタのミラーアドレス "0078_H" にアクセスすることによっても、両ポインタを直接書き込み / 読出しすることが可能です。

5.1.2 ダイレクトバンクポインタ (DP)

プログラムステータス (PS) の bit10 ~ bit8 であるダイレクトバンクポインタ (DP) は、ダイレクトアドレッシングでアクセスする領域を指定するためのものです。

■ ダイレクトバンクポインタ (DP) の構成

図 5.1-4 に、ダイレクトバンクポインタの構成を示します。

図 5.1-4 ダイレクトバンクポインタの構成



"0000_H ~ 007F_H" および "0080_H ~ 047F_H" の領域は、ダイレクトアドレッシングによりアクセスすることが可能です。ダイレクトバンクポインタの値に関わらず 0000_H ~ 007F_H へのアクセスはオペランドで指定します。0080_H ~ 047F_H へのアクセスは、ダイレクトバンクポインタの値とオペランドにより指定します。

表 5.1-1 に、ダイレクトバンクポインタ (DP) とアクセス領域の関係を、表 5.1-2 にダイレクトアドレッシング命令一覧を示します。

表 5.1-1 ダイレクトバンクポインタとアクセス領域

ダイレクトバンクポインタ (DP[2:0])	オペランドで指定され た dir	アクセス領域
XXX _B (マッピングに影響しません)	0000 _H ~ 007F _H	0000 _H ~ 007F _H
000 _B (初期値)	0080 _H ~ 00FF _H	0080 _H ~ 00FF _H ^{*1}
001 _B		0100 _H ~ 017F _H
010 _B		0180 _H ~ 01FF _H ^{*2}
011 _B		0200 _H ~ 027F _H
100 _B		0280 _H ~ 02FF _H ^{*3}
101 _B		0300 _H ~ 037F _H
110 _B		0380 _H ~ 03FF _H
111 _B		0400 _H ~ 047F _H

*1: MB95F332H/F332K では、使用可能なアクセス領域は "017F_H" となっています。

*2: MB95F333H/F333K では、使用可能なアクセス領域は "027F_H" までとなります。

*3: MB95F334H/F334K では、使用可能なアクセス領域は "047F_H" までとなります。

表 5.1-2 ダイレクトアドレッシング命令一覧

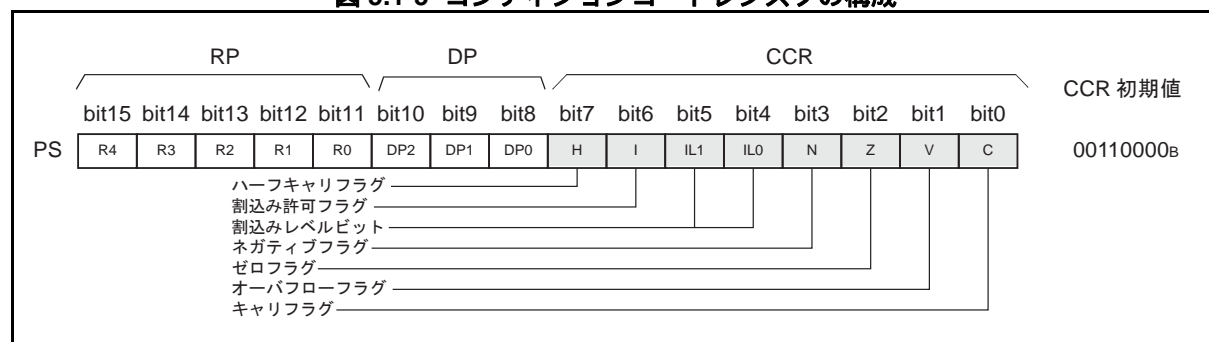
適用可能な命令
CLRB dir:bit
SETB dir:bit
BBC dir:bit,rel
BBS dir:bit,rel
MOV A,dir
CMP A,dir
ADDC A,dir
SUBC A,dir
MOV dir,A
XOR A,dir
AND A,dir
OR A,dir
MOV dir,#imm
CMP dir,#imm
MOVW A,dir
MOVW dir,A

5.1.3 コンディションコードレジスタ (CCR)

プログラムステータス (PS) レジスタの下位 8 ビットであるコンディションコードレジスタ (CCR) は、演算結果や転送データに関する情報を示すビット (H, N, Z, V, C) と、割込み要求の受付を制御するためのビット (I, IL1, IL0) によって構成されます。

■ コンディションコードレジスタ (CCR) の構成

図 5.1-5 コンディションコードレジスタの構成



コンディションコードレジスタは、プログラムステータス (PS) レジスタの一部であり、そのためコンディションコードレジスタに独立してアクセスすることはできません。

■ 演算結果を示すビット

● ハーフキャリフラグ (H)

このフラグは、演算の結果、bit3 から bit4 への繰上げ (キャリ) や bit4 から bit3 への借越し (ボロー) が発生した場合に "1" になります。発生しなかった場合には、"0" になります。このフラグは 10 進補正命令用であるため、加減算以外の演算には使用しないでください。

● ネガティブフラグ (N)

このフラグは、演算の結果、最上位ビットの値が "1" となった場合に "1" になり、"0" となった場合に "0" になります。

● ゼロフラグ (Z)

このフラグは、演算の結果が "0" であれば "1" になり、演算の結果が "1" であれば "0" になります。

● オーバフローフラグ (V)

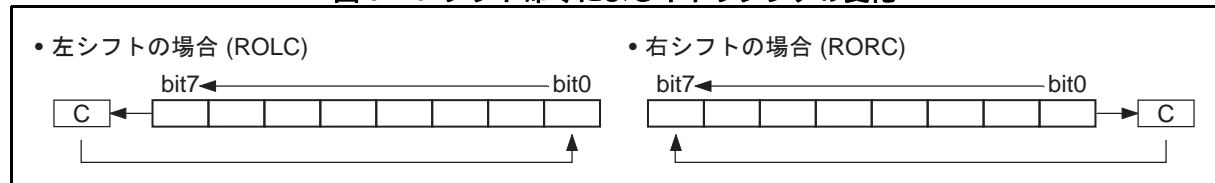
このフラグは、演算に用いたオペランドを 2 の補数で表現される整数とみなした場合に演算の結果、オーバーフローが発生したかどうかを示します。オーバーフローが発生した場合、オーバーフローフラグは "1" に、オーバーフローが発生しなかった場合は "0" になります。

● キャリフラグ (C)

このフラグは、演算の結果、bit7 からの繰上げ（キャリ）や bit7 への借越し（ボロー）が発生した場合に "1" になります。発生しなかった場合には、"0" になります。また、シフト命令の実行時には、シフトアウトした値がこのフラグに設定されます。

図 5.1-6 に、シフト命令によるキャリフラグの変化を示します。

図 5.1-6 シフト命令によるキャリフラグの変化



■ 割込みの受付を制御するビット

● 割込み許可フラグ (I)

このフラグが "1" のときは割込みが許可され、CPU は割込みを受け付けます。"0" のときは割込みが禁止され、CPU は割込みを受け付けません。

リセット後の初期値は "0" です。

このフラグは、SETI 命令で "1" になり、CLRI 命令で "0" になります。

● 割込みレベルビット (IL1, IL0)

これらのビットは、CPU が現在受け付けている割込みのレベルを示します。

割込みレベルは、各周辺機能の割込み要求 (IRQ00 ~ IRQ23) に対応する割込みレベル設定レジスタ (ILR0 ~ ILR5) の値と比較されます。

割込み許可フラグが許可 (CCR:I=1) 状態であり、割込み要求の割込みレベルがこれらのビットが示す値より小さい場合のみ、CPU はその割込み要求を処理します。表 5.1-3 は、割込みレベルの優先度を示したものです。リセット後の初期値は "11_B" になります。

表 5.1-3 割込みレベル

IL1	IL0	割込みレベル	優先度
0	0	0	高い
0	1	1	<div style="text-align: center;"> ↑↓ </div>
1	0	2	
1	1	3	
			低い (割込みなし)

CPU が割込み処理中でないとき（メインプログラム実行中）は、割込みレベルビット (IL1, IL0) は通常、"11_B" となっています。

割込みの詳細については、「8.1 割込み」を参照してください。

5.2 汎用レジスタ

汎用レジスタは、8 ビット× 8 個を 1 バンクとするメモリブロックです。最大 32 バンクまで使用できます。レジスタバンクの指定には、レジスタバンクポインタ (RP) を使用します。

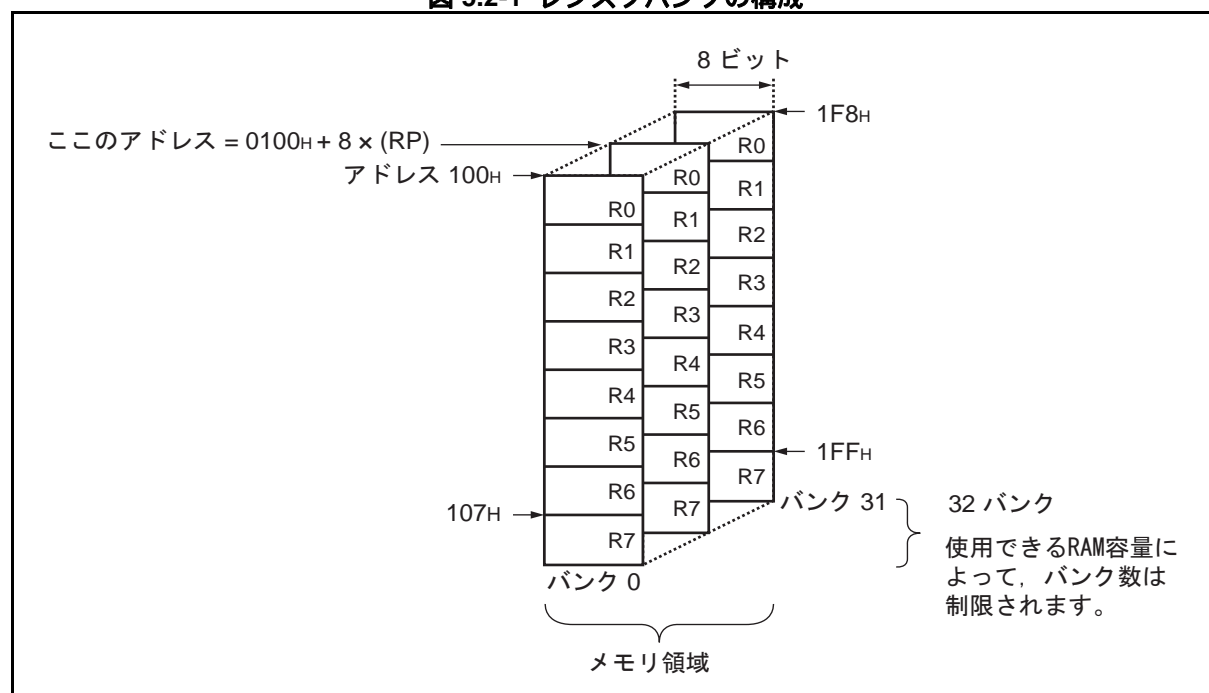
レジスタバンクは、割込み処理、ベクタコール処理、およびサブルーチンの呼出しに使用すると有効です。

■ 汎用レジスタの構成

- 汎用レジスタは 8 ビット長のレジスタで、汎用レジスタ領域 (RAM 上) のレジスタバンク内にあります。
- 1 バンクあたり 8 つのレジスタ (R0 ~ R7) があり、最大 32 バンクまで使用できます。
- 現在使用しているレジスタバンクはレジスタバンクポインタ (RP) で指定され、オペコードの下位 3 ビットが汎用レジスタ 0(R0) ~ 汎用レジスタ 7(R7) を示します。

図 5.2-1 に、レジスタバンクの構成を示します。

図 5.2-1 レジスタバンクの構成



各品種で使用可能な汎用レジスタ領域については、「3.1.1 特定用途の領域」を参照してください。

■ 汎用レジスタの特長

汎用レジスタには、以下のような特長があります。

- 短い命令による RAM へ的高速アクセス(汎用レジスタアドレッシング)が可能です。
- レジスタバンクのブロックにレジスタをまとめることで、データの保護と、機能によるレジスタの分類が容易になります。

個々の割込み処理ルーチンやベクタコール (CALLV #0 ~ #7) 処理ルーチンに対し、専用の汎用レジスタバンクを割り当てることができます。例えば、「2 番目の割込みには必ず 4 番目のレジスタバンクを割り当てる」という使い方ができます。

割込み処理ルーチンの先頭で専用レジスタバンクを指定するだけで、割込み前に汎用レジスタに格納されていたデータを、そのレジスタバンクに保存できます。これによって、汎用レジスタのデータをスタックに退避する必要がなくなり、CPU は高速に割込みを受け付けることができるようになります。

< 注意事項 >

レジスタバンクを指定するためにレジスタバンクポインタ (RP) を変更するときには、コンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) の値が変更されないようにするために、割込み処理ルーチンのプログラムに、以下の処理のいずれかを入れてください。

- RP の値を書き込む前に、割込みレベルビットを読み出し、その値を保存する。
 - RP のミラーアドレス "0078_H" に新しい値を直接書き込んでください。
 - RAM サイズが 240 バイトである製品では、汎用レジスタとして使用可能な領域は "0100_H" ~ "017F_H" であり、RAM サイズが 496 バイトである製品の半分となっています。したがって C コンパイラなどのプログラム開発ツールを用いて汎用レジスタ領域を設定する際には、汎用レジスタとして使用する領域がインストールされた RAM のサイズを超えていないことを確認してください。
-

5.3 16 ビットデータのメモリ上の配置

16 ビットデータのメモリ上の格納状態について説明します。

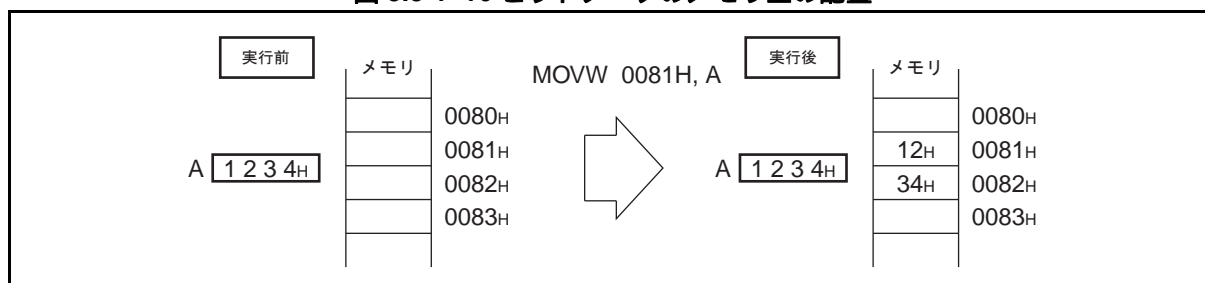
■ 16 ビットデータのメモリ上の配置

● RAM での 16 ビットデータの格納状態

メモリに 16 ビットデータを書き込む場合、アドレス値の小さい方にデータの上位バイトが、その次のアドレスにデータの下位バイトがそれぞれ格納されます。16 ビットデータの読出し時も同様に扱われます。

図 5.3-1 に、メモリ上の 16 ビットデータの配置を示します。

図 5.3-1 16 ビットデータのメモリ上の配置



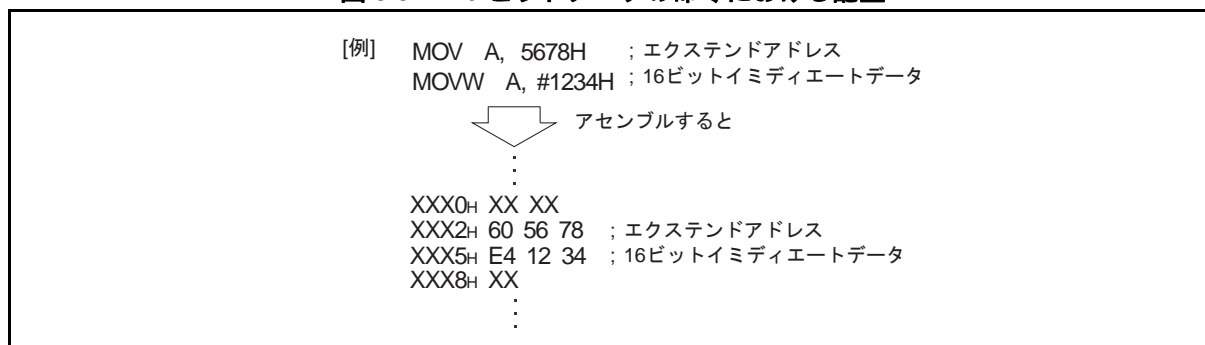
● オペランドにより指定された 16 ビットデータの格納状態

命令内のオペランドで 16 ビットデータを指定した場合も、オペコード（命令）に近いアドレスに上位バイトが、その次のアドレスに下位バイトが格納されます。

これはオペランドがメモリアドレスを示す場合でも、16 ビットのイミディエート（即値）データの場合でも同じです。

図 5.3-2 に、命令での 16 ビットデータの配置を示します。

図 5.3-2 16 ビットデータの命令における配置



● スタックにおける 16 ビットデータの格納状態

割込み時にスタックに退避される 16 ビット長のレジスタのデータも、オペランドにより指定された 16 ビットデータと同様に、アドレス値の小さい方に上位バイトが格納されます。

第6章

クロック制御部

クロック制御部の機能と動作について説明します。

- 6.1 クロック制御部の概要
- 6.2 発振安定待ち時間
- 6.3 システムクロック制御レジスタ (SYCC)
- 6.4 発振安定待ち時間設定レジスタ (WATR)
- 6.5 スタンバイ制御レジスタ (STBC)
- 6.6 システムクロック制御レジスタ 2 (SYCC2)
- 6.7 クロックモード
- 6.8 低消費電力モード (スタンバイモード) の動作
- 6.9 クロック発振回路
- 6.10 プリスケーラの概要
- 6.11 プリスケーラの構成
- 6.12 プリスケーラの動作
- 6.13 プリスケーラ使用上の注意

6.1 クロック制御部の概要

F²MC-8FX ファミリは、消費電力の最適な制御を行うクロック制御部を搭載しています。このクロック制御部は外部メインクロックと外部サブクロックの両方をサポートしています。

クロック制御部はクロック発振の許可 / 停止、内部回路へのクロック信号供給の許可 / 停止、クロックソースの選択、および内蔵 CR 発振器と周波数分周回路の制御を行います。

■ クロック制御部の概要

クロック制御部はクロック発振の許可 / 停止、内部回路へのクロック供給の許可 / 停止、クロックソースの選択、および内蔵 CR 発振器と周波数分周回路の制御を行います。

クロック制御部ではクロックモードの設定、スタンバイモードの設定、リセット動作に従い内部クロックを制御します。クロックモードにより内部動作クロックの選択が行われ、スタンバイモードによりクロック発振および信号供給の許可 / 停止を行います。

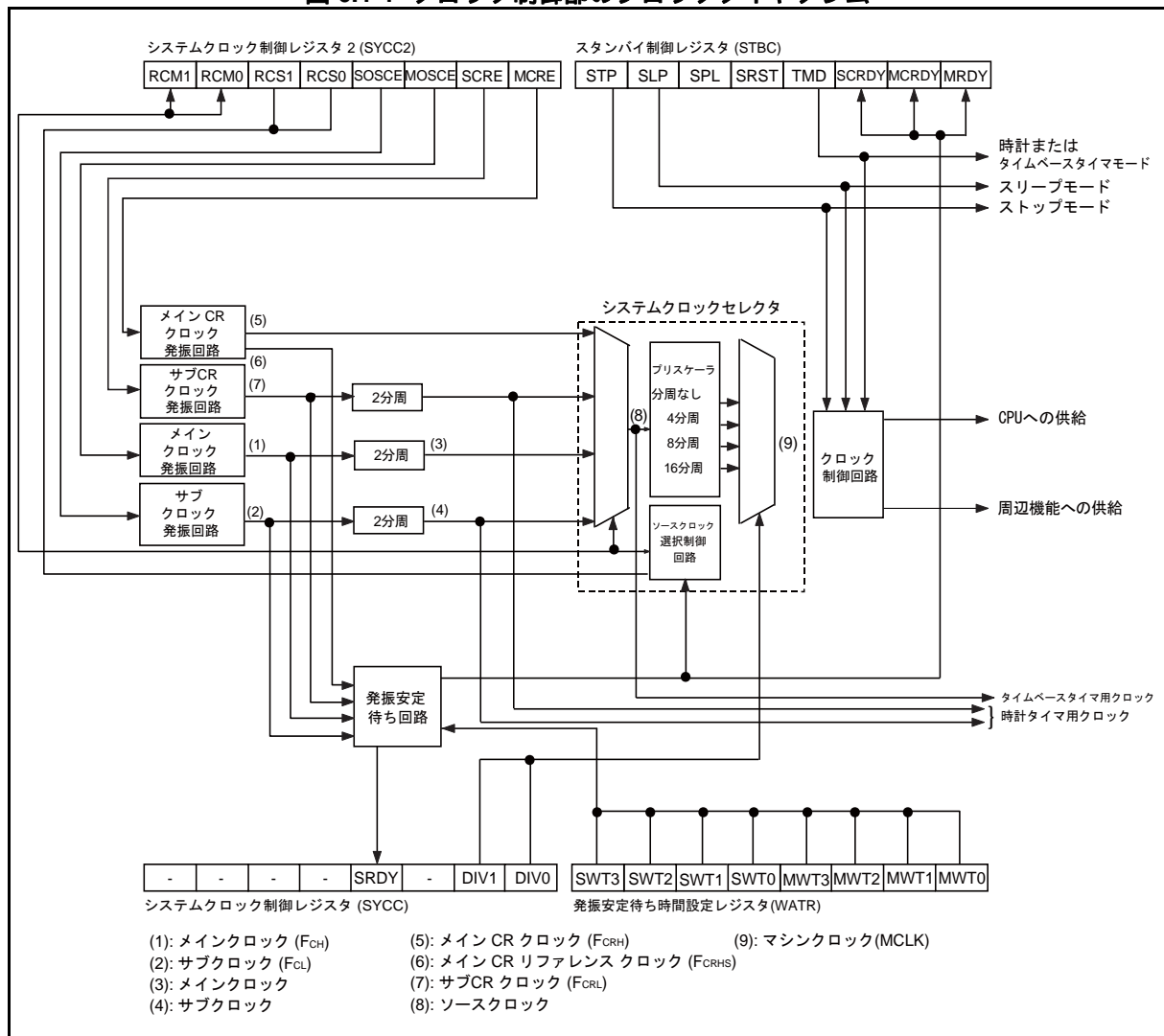
クロック制御部はクロックモード、およびスタンバイモードの組み合わせに応じた最適な消費電力と機能を選択します。

本デバイスには 4 種類のソースクロックがあります。これらはメイン発振クロックを 2 分周したメインクロック、サブ発振クロックを 2 分周したサブクロック、メイン CR クロック、およびサブ CR クロックの 4 種類です。

■ クロック制御部のブロックダイアグラム

図 6.1-1 にクロック制御部のブロックダイアグラムを示します。

図 6.1-1 クロック制御部のブロックダイアグラム



クロック制御部は、以下のブロックで構成されています。

● メインクロック発振回路

このブロックはメインクロックの発振回路です。

● サブクロック発振回路

このブロックはサブクロックの発振回路です。

● メイン CR 発振回路

このブロックはメイン CR クロックの発振回路です。

● サブ CR 発振回路

このブロックはサブ CR クロックの発振回路です。

● システムクロックセレクタ

このブロックはクロックモードに対応して、メインクロック、サブクロック、メインCRクロック、およびサブCRクロックの4種類のソースクロックの中から1種類のクロックが選択されます。選択されたソースクロックはプリスケアラにより分周され、クロック制御回路へ供給されます。この分周されたクロックを「マシクロック」とよびます。

● クロック制御回路

CPU および各周辺機能へのマシクロックの供給を、選択されているスタンバイモードまたは発振安定待ち時間に対応して制御します。

● 発振安定待ち回路

このブロックからは、14 種類の発振安定信号のうち 1 種類をメインクロック用発振安定信号として、または 15 種類の発振安定信号のうちの 1 種類を、サブクロック用発振安定待ち時間信号として出力します。

● システムクロック制御レジスタ (SYCC)

このレジスタは、マシクロックの分周比を選択するのに使用します。

● スタンバイ制御レジスタ (STBC)

このレジスタはRUN状態からスタンバイモードへの遷移、ストップモード、タイムベースタイマモードまたは時計モードの端子状態の設定、およびソフトウェアリセットの発生を制御するために使用します。

● システムクロック制御レジスタ 2 (SYCC2)

このレジスタは現在のクロックモードの表示、クロックモードの選択、およびメインクロック、メインCRクロック、サブクロック、サブCRクロックの発振を許可/停止します。

● 発振安定待ち時間設定レジスタ (WATR)

このレジスタはメインクロックとサブクロックの発振安定待ち時間を設定するのに使用します。

MB95330H シリーズ

■ クロックモード

メインクロックモード、メイン CR クロックモード、サブクロックモード、およびサブ CR クロックモードの 4 種類のクロックモードがあります。

表 6.1-1 にクロックモードとマシクロック (CPU と周辺機能の動作クロック) との関係を示します。

表 6.1-1 クロックモードとマシクロックの選択

クロックモード	マシクロック
メインクロックモード	マシクロックはメインクロック (メインクロックの 2 分周) から生成されます。
メイン CR クロックモード	マシクロックはメイン CR クロックより生成されます。
サブクロックモード	マシクロックはサブクロック (サブクロックの 2 分周) から生成されます。
サブ CR クロックモード	マシクロックはサブ CR クロックより生成されます。

選択されたクロックの周波数の分周は、どのクロックモードでも可能です。また、メイン CR クロックを使用するモードにおいてはクロック周波数を選択することもできます。

■ クロックモードの影響を受けない周辺機能

下記に示す周辺機能はクロックモード、分周、または CR 通倍率の設定による影響を受けません。表 6.1-2 にクロックモードの影響を受けない周辺機能を示します。

表 6.1-2 クロックモードの影響を受けない周辺機能

周辺機能	動作クロック
ウォッチドッグタイマ	メインクロック (タイムベースタイマ出力の選択時) サブクロック (時計プリスケアラの出力選択時)

上記以外の周辺機能ではタイムベースタイマ、または時計プリスケアラをカウントクロックとして選択可能です。詳細については、各周辺機能の説明で確認してください。

■ スタンバイモード

選択されたスタンバイモードによりクロック発振の許可/停止, および内部回路へのクロック供給の許可 / 停止を選択できます。タイムベースタイマモードおよび時計モードを除き, クロックモードの設定とは別にスタンバイモードを設定することが可能です。

表 6.1-3 にスタンバイモードとクロック供給の状態との関係を示します。

表 6.1-3 スタンバイモードとクロック供給の状態

スタンバイモード	クロック供給の状態
スリープモード	CPU へのクロック供給が停止します。その結果 CPU は動作を停止しますが, ほかの周辺機能は動作を継続します。
タイムベース・タイマモード	タイムベースタイマおよび時計プリスケアラへのみクロック信号を供給し, 他の回路へのクロック供給は停止します。その結果, タイムベースタイマ, 時計プリスケアラ, 外部割込み, および低電圧検出しセット (オプション) を除くすべての機能は停止します。 タイムベースタイマモードはメインクロックモード, およびメイン CR クロックモードにおいて使用可能です。
時計モード	メインクロック発振は停止します。時計プリスケアラへのみクロック信号を供給し, 他の回路へのクロック供給は停止します。その結果, 時計プリスケアラ, 外部割込み, および低電圧検出しセット (オプション) を除くすべての機能は停止します。 時計モードはサブクロックモードおよびサブ CR クロックモードにおいて使用されるスタンバイモードです。
ストップモード	メインクロック発振およびサブクロック発振を停止し, すべての回路へのクロック供給を停止します。その結果, 外部割込み, および低電圧検出しセット (オプション) を除くすべての機能は停止します。

< 注意事項 >

特別な設定を行うことで, 表 6.1-3 以外にクロックが供給される場合があります。

例えば, メインクロックモードでストップモードにする場合, SYCC2:SOSCE と SYCC2:SCRE とに "1" が書かれていれば, 時計プリスケアラが動作します。

また, ハードウェアウォッチドッグタイマを起動した場合は, スタンバイモードでもウォッチドッグタイマが動作します。

MB95330H シリーズ

■ クロックモードとスタンバイモードの組合せ

表 6.1-4と表 6.1-5にクロックモードとスタンバイモードの組合わせ, および各種クロックモードとスタンバイモードの組合わせを有する異なる内部回路の動作状態をそれぞれ示します。

表 6.1-4 スタンバイモードとクロックモードの組合せおよび内部動作状態 (1)

機能	RUN				スリープ			
	メイン クロック モード	メイン CR クロック モード	サブ クロック モード	サブ CR クロック モード	メイン クロック モード	メイン CR クロック モード	サブ クロック モード	サブ CR クロック モード
メイン クロック	動作	停止 *1	停止		動作	停止 *1	停止	
メイン CR クロック	停止 *2	動作	停止		停止 *2	動作	停止	
サブクロック	動作 *3		動作	動作 *3	動作 *3		動作	動作 *3
サブ CR クロック	動作 *4		動作 *4	動作	動作 *4		動作 *4	動作
CPU	動作		動作		停止		停止	
ROM	動作		動作		値保持		値保持	
RAM								
I/O ポート	動作		動作		出力保持		出力保持	
タイムベース タイマ	動作		停止		動作		停止	
時計プリス ケアラ	動作 *3, *4		動作		動作 *3*4		動作	
外部割込み	動作		動作		動作		動作	
ハードウェア ウォッチドッ グタイマ	動作		動作		動作 *5		動作 *5	
ソフトウェア ウォッチドッ グタイマ	動作		動作		停止		停止	
低電圧検出 リセット	動作		動作		動作		動作	
その他の周辺 機能	動作		動作		動作		動作	

*1: システムクロック制御レジスタ 2(SYCC2:MOSCE) のメインクロック発振許可ビットを "1" に設定すると, メインクロックが動作します。

*2: システムクロック制御レジスタ 2(SYCC2:MCRE) のメイン CR クロック発振許可ビットを "1" に設定すると, メイン CR クロックが動作します。

*3: システムクロック制御レジスタ 2(SYCC2:SOSCE) のサブクロック発振許可ビットを "1" に設定すると, このモジュールが動作します。

*4: システムクロック制御レジスタ 2(SYCC2:SCRE) のサブ CR クロック発振許可ビットを "1" に設定すると, このモジュールが動作します。

*5: スタンバイモード中の不揮発性レジスタによりハードウェアウォッチドッグタイマが禁止されると, ハードウェアウォッチドッグタイマが停止します。

表 6.1-5 スタンバイモードとクロックモードの組合せおよび内部動作状態 (2)

機能	タイムベースタイマ		時計プリスケアラ		ストップ			
	メイン クロック モード	メイン CR クロック モード	サブ クロック モード	サブ CR クロック モード	メイン クロック モード	メイン CR クロック モード	サブ クロック モード	サブ CR クロック モード
メイン クロック	動作	停止 *1	停止		停止			
メイン CR クロック	停止 *2	動作	停止		停止			
サブクロック	動作 *3		動作	動作 *3	動作 *3		停止	
サブ CR クロック	動作 *4		動作 *4	動作	動作 *4		停止	
CPU	停止		停止		停止			
ROM	値保持		値保持		値保持			
RAM								
I/O ポート	出力保持 /Hi-Z		出力保持		出力保持 /Hi-Z			
タイムベース タイマ	動作		停止		停止			
時計プリス ケアラ	動作 *3, *4		動作		動作 *3, *4		停止	
外部割込み	動作		動作		動作			
ハードウェア ウォッチドッ グタイマ	動作 *5		動作 *5		動作 *5			
ソフトウェア ウォッチドッ グタイマ	停止		停止		停止			
低電圧検出 リセット	動作		動作		動作			
その他の周辺 機能	停止		停止		停止			

*1: システムクロック制御レジスタ 2(SYCC2:MOSCE) のメインクロック発振許可ビットを "1" に設定すると、メインクロックが動作します。

*2: システムクロック制御レジスタ 2(SYCC2:MCRE) のメイン CR クロック発振許可ビットを "1" に設定すると、メイン CR クロックが動作します。

*3: システムクロック制御レジスタ 2(SYCC2:SOSCE) のサブクロック発振許可ビットを "1" に設定すると、このモジュールが動作します。

*4: システムクロック制御レジスタ 2(SYCC2:SCRE) のサブ CR クロック発振許可ビットを "1" に設定すると、このモジュールが動作します。

*5: スタンバイモード中の不揮発性レジスタによりハードウェアウォッチドッグタイマが禁止されると、ハードウェアウォッチドッグタイマが停止します。

MB95330H シリーズ

6.2 発振安定待ち時間

発振安定待ち時間とは、発振回路が発振を停止した状態から発振器が固有の周波数で安定し、発振状態を再開するまでの時間です。クロック制御部は発振開始後に発振クロック周期を所定の回数までカウントすることにより、発振安定待ち時間を確保します。発振安定待ち時間中、クロック制御部は内部回路へのクロック供給を停止します。

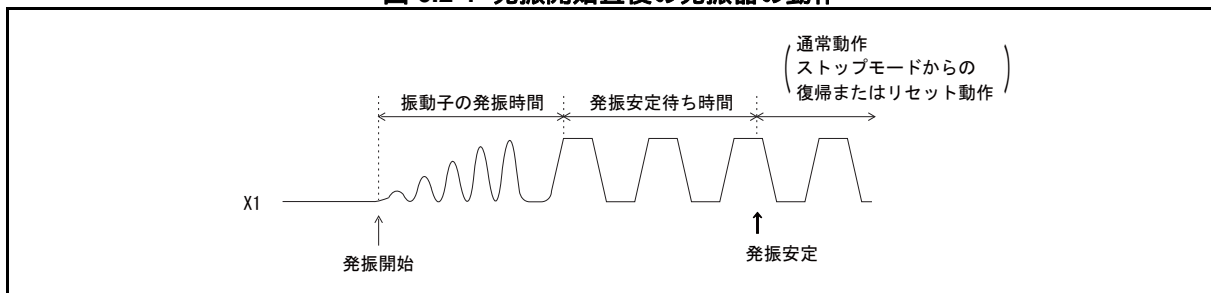
■ 発振安定待ち時間

クロック制御部は、発振開始後に発振クロック周期を所定の回数までカウントすることにより、発振安定待ち時間を確保します。発振安定待ち時間中、クロック制御部は内部回路へのクロック供給を停止します。

電源投入時、またはリセット、スタンバイモード時の割込み、ソフトウェア動作によるクロックモードの変更により、発振停止状態から発振を開始する状態遷移の要求が発生した場合、クロック制御部は他のクロックモードへ遷移する前に、自動的にメインクロックまたはサブクロックの発振安定待ち時間の経過を待ちます。

図 6.2-1 に発振開始直後の発振器の動作を示します。

図 6.2-1 発振開始直後の発振器の動作



メインクロック、サブクロック、メイン CR クロック、およびサブ CR クロックの発振安定待ち時間は専用カウンタを使用してカウントされます。カウント値は発振安定待ち時間設定レジスタ (WATR) で設定可能です。発振器の特性に合わせて指定してください。

パワーオンリセットの場合、発振安定待ち時間は初期値に固定されます。

表 6.2-1 に発振安定待ち時間の長さを示します。

表 6.2-1 発振安定待ち時間

クロック	リセット要因	発振安定待ち時間
メインクロック	パワーオンリセット	初期値: $(2^{14}-2)/F_{CH} \cdot F_{CH}$ はメインクロック周波数
	パワーオンリセット以外	レジスタ設定値 (WATR: MWT3, MWT2, MWT1, MWT0)
サブクロック	パワーオンリセット	初期値: $(2^{15}-2)/F_{CL}$ F_{CL} はサブクロック周波数
	パワーオンリセット以外	レジスタ設定値 (WATR: SWT3, SWT2, SWT1, SWT0)

メインクロックの発振安定待ち時間が終了した後に、サブクロックの発振安定待ち時間測定が開始されます。

■ CR クロックの発振安定待ち時間

発振器の発振安定待ち時間と同様，スタンバイモード時の割込みやソフトウェア動作によるクロックモードの変更により，CR 発振停止状態から CR 発振を開始する状態遷移の要求が発生すると，クロック制御部は自動的に CR 発振安定待ち時間の経過を待ちます。

表 6.2-2 に CR 発振安定待ち時間を示します。

表 6.2-2 CR 発振安定待ち時間

	CR 発振安定待ち時間
メイン CR クロック	$2^8/F_{CRH}^*$
サブ CR クロック	$2^5/F_{CRL}$

*: F_{CRH} : 1MHz

■ 発振安定待ち時間とクロックモード・スタンバイモードの遷移

モード状態の遷移が発生すると，クロック制御部は必要に応じて自動で発振安定待ち時間の経過を待ちます。モード状態の遷移が発生する状況によってはクロック制御部は，モード状態の遷移が発生していても発振安定待ち時間の経過を待たない場合があります。

状態遷移の詳細については，「6.7 クロックモード」および「6.8 低消費電力モード（スタンバイモード）の動作」を参照してください。

MB95330H シリーズ

6.3 システムクロック制御レジスタ (SYCC)

システムクロック制御レジスタ(SYCC)はマシンのクロックの分周比の選択に使用され、またサブクロック発振安定の条件を示します。

■ システムクロック制御レジスタ (SYCC) の構成

図 6.3-1 システムクロック制御レジスタ (SYCC) の構成

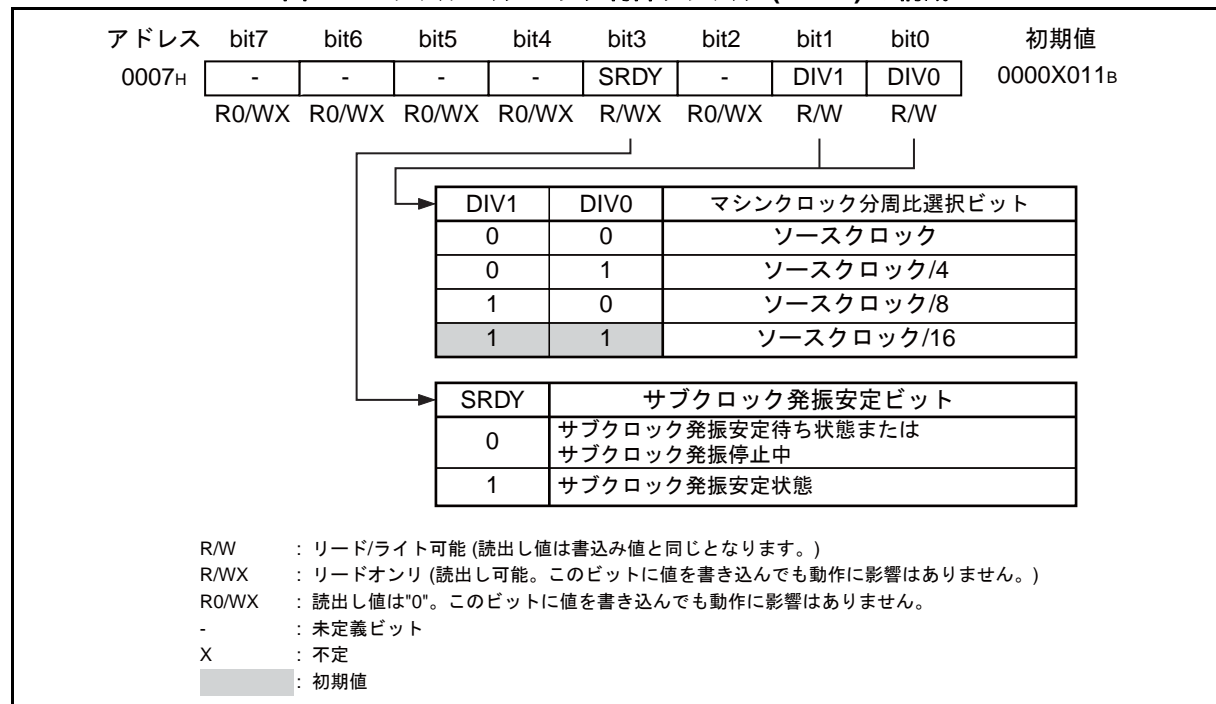


表 6.3-1 システムクロック制御レジスタ (SYCC) の各ビットの機能説明

ビット名		機能															
bit7 ~ bit4, bit2	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。															
bit3	SRDY: サブクロック発振安定ビット	<p>サブクロックの発振が安定したかどうかを示すビットです。</p> <ul style="list-style-type: none"> ・ SRDY ビットが "1" のとき、サブクロックの発振安定待ち時間が経過したことを示します。 ・ SRDY ビットが "0" のとき、クロック制御部がサブクロックの発振安定待ち状態であることを、またはサブクロック発振を停止したことを示します。 <p>このビットは読出し専用です。値を書き込んでも動作に影響はありません。</p>															
bit1, bit0	DIV1, DIV0: マシクロック分周比選択ビット	<p>・ ソースクロックに対するマシクロックの分周比を選択するビットです。</p> <p>・ マシクロックはこれらビットで設定された分周比により、ソースクロックから生成されます。</p> <table border="1"> <thead> <tr> <th>DIV1</th><th>DIV0</th><th>マシクロック分周比</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>ソースクロック (分周なし)</td></tr> <tr> <td>0</td><td>1</td><td>ソースクロック /4</td></tr> <tr> <td>1</td><td>0</td><td>ソースクロック /8</td></tr> <tr> <td>1</td><td>1</td><td>ソースクロック /16</td></tr> </tbody> </table>	DIV1	DIV0	マシクロック分周比	0	0	ソースクロック (分周なし)	0	1	ソースクロック /4	1	0	ソースクロック /8	1	1	ソースクロック /16
DIV1	DIV0	マシクロック分周比															
0	0	ソースクロック (分周なし)															
0	1	ソースクロック /4															
1	0	ソースクロック /8															
1	1	ソースクロック /16															

6.4 発振安定待ち時間設定レジスタ (WATR)

発振安定待ち時間を設定するレジスタです。

■ 発振安定待ち時間設定レジスタ (WATR) の構成

図 6.4-1 発振安定待ち時間設定レジスタ (WATR) の構成

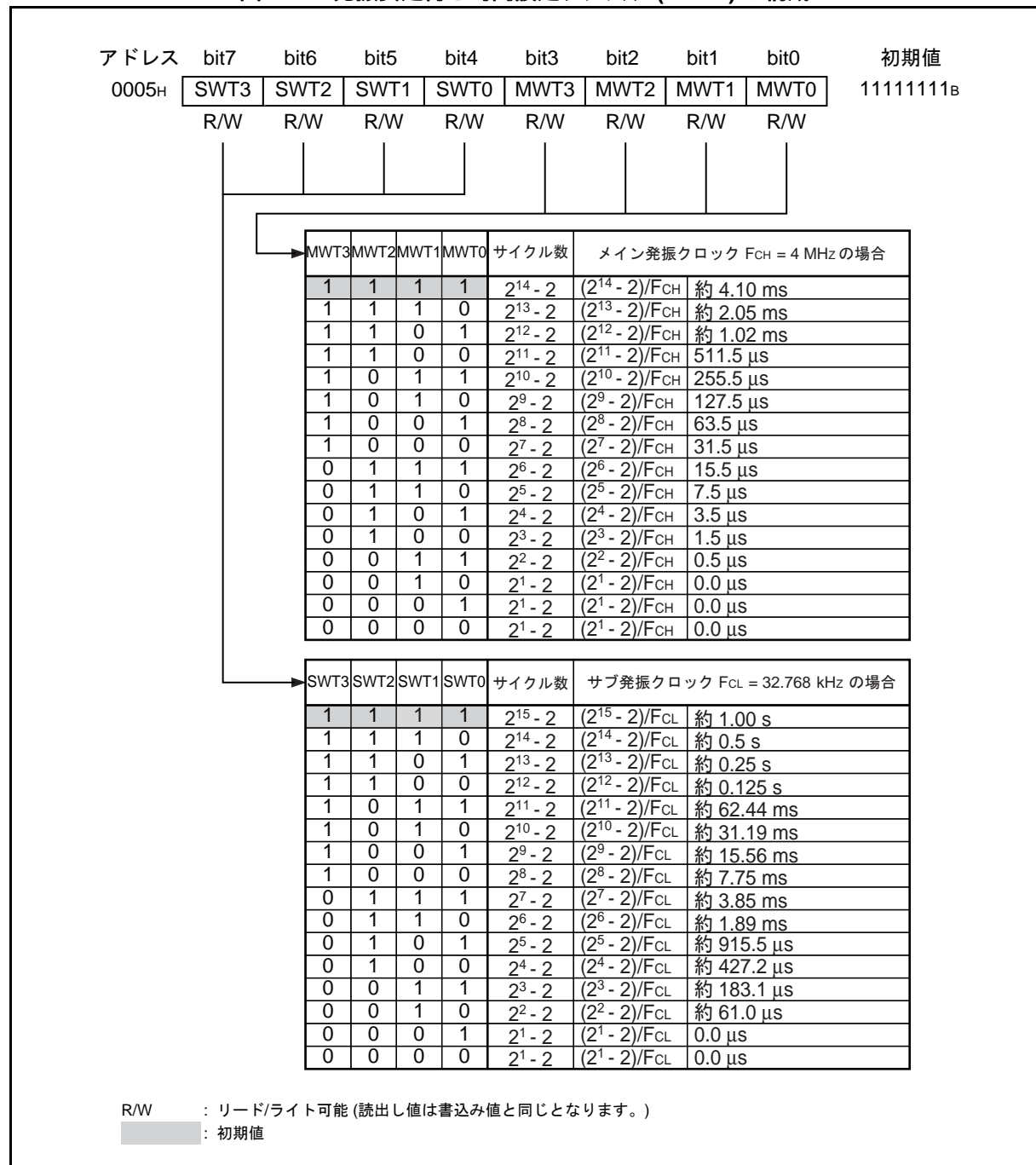


表 6.4-1 発振安定待ち時間設定レジスタ (WATR) の各ビットの機能説明 (1 / 2)

ビット名		機能	
bit7 ～ bit4	SWT3, SWT2, SWT1, SWT0: サブクロック発振安定待ち時間選択ビット	下記のビットはサブクロック発振安定待ち時間を設定するビットです。	
		SWT3, SWT2, SWT1, SWT0	サイクル数 サブクロック F _{CL} =32.768kHz の場合
		1111 _B	2 ¹⁵ -2 (2 ¹⁵ -2)/F _{CL} 約 1.0 s
		1110 _B	2 ¹⁴ -2 (2 ¹⁴ -2)/F _{CL} 約 0.5 s
		1101 _B	2 ¹³ -2 (2 ¹³ -2)/F _{CL} 約 0.25 s
		1100 _B	2 ¹² -2 (2 ¹² -2)/F _{CL} 約 0.125 s
		1011 _B	2 ¹¹ -2 (2 ¹¹ -2)/F _{CL} 約 62.44 ms
		1010 _B	2 ¹⁰ -2 (2 ¹⁰ -2)/F _{CL} 約 31.19 ms
		1001 _B	2 ⁹ -2 (2 ⁹ -2)/F _{CL} 約 15.56 ms
		1000 _B	2 ⁸ -2 (2 ⁸ -2)/F _{CL} 約 7.75 ms
		0111 _B	2 ⁷ -2 (2 ⁷ -2)/F _{CL} 約 3.85 ms
		0110 _B	2 ⁶ -2 (2 ⁶ -2)/F _{CL} 約 1.89 ms
		0101 _B	2 ⁵ -2 (2 ⁵ -2)/F _{CL} 約 915.5 μs
		0100 _B	2 ⁴ -2 (2 ⁴ -2)/F _{CL} 約 427.2 μs
		0011 _B	2 ³ -2 (2 ³ -2)/F _{CL} 約 183.1 μs
		0010 _B	2 ² -2 (2 ² -2)/F _{CL} 約 61.0 μs
		0001 _B	2 ¹ -2 (2 ¹ -2)/F _{CL} 0.0 μs
		0000 _B	2 ¹ -2 (2 ¹ -2)/F _{CL} 0.0 μs
上記表のサイクル数は最小サブクロック発振安定待ち時間です。最大値は、上記表のサイクル数に 1/F _{CL} を加えたものです。			
(注意事項) これらのビットを、サブクロック発振安定待ち時間中には書き換えないでください。書き換える場合はシステムクロック制御レジスタのサブクロック発振安定ビット (SYCC:SRDY) が "1" に設定されているときか、メインクロックモード、メイン CR クロックモード、またはサブ CR クロックモードの状態の時にを行います。また、メインクロックモード、メイン CR クロックモード、またはサブ CR クロックモードにおいて、システムクロック制御レジスタ 2 のサブクロック発振停止ビット (SYCC2:SOSCE) が "0" に設定され、サブクロックが停止している時にもこれらのビットは書き換え可能です。			

表 6.4-1 発振安定待ち時間設定レジスタ (WATR) の各ビットの機能説明 (2 / 2)

ビット名		機能		
bit3 ~ bit0	MWT3, MWT2, MWT1, MWT0: メインクロック発振 安定待ち時間選択 ビット	メインクロック発振安定待ち時間を設定するビットです。		
		MWT3, MWT2, MWT1, MWT0	サイクル数	メインクロック $F_{CH}=4\text{MHz}$ の場合
		1111 _B	$2^{14}-2$	$(2^{14}-2)/F_{CH}$ 約 4.10 ms
		1110 _B	$2^{13}-2$	$(2^{13}-2)/F_{CH}$ 約 2.05 ms
		1101 _B	$2^{12}-2$	$(2^{12}-2)/F_{CH}$ 約 1.02 ms
		1100 _B	$2^{11}-2$	$(2^{11}-2)/F_{CH}$ 511.5 μs
		1011 _B	$2^{10}-2$	$(2^{10}-2)/F_{CH}$ 255.5 μs
		1010 _B	2^9-2	$(2^9-2)/F_{CH}$ 127.5 μs
		1001 _B	2^8-2	$(2^8-2)/F_{CH}$ 63.5 μs
		1000 _B	2^7-2	$(2^7-2)/F_{CH}$ 31.5 μs
		0111 _B	2^6-2	$(2^6-2)/F_{CH}$ 15.5 μs
		0110 _B	2^5-2	$(2^5-2)/F_{CH}$ 7.5 μs
		0101 _B	2^4-2	$(2^4-2)/F_{CH}$ 3.5 μs
		0100 _B	2^3-2	$(2^3-2)/F_{CH}$ 1.5 μs
		0011 _B	2^2-2	$(2^2-2)/F_{CH}$ 0.5 μs
		0010 _B	2^1-2	$(2^1-2)/F_{CH}$ 0.0 μs
		0001 _B	2^1-2	$(2^1-2)/F_{CH}$ 0.0 μs
		0000 _B	2^1-2	$(2^1-2)/F_{CH}$ 0.0 μs
		<p>上記表のサイクル数は最小メインクロック発振安定待ち時間です。最大値は上記表のサイクル数に $1/F_{CH}$ を加えたものです。</p> <p>(注意事項) これらのビットをメインクロック発振安定待ち時間中には書き換えないでください。書き換える場合はスタンバイ制御レジスタのメインクロック発振安定ビット (STBC:MRDY) を "1" に設定されているときか、メイン CR クロックモード、サブクロックモード、サブ CR クロックモードの状態の時にを行います。また、メイン CR クロックモード、サブクロックモード、またはサブ CR クロックモードのシステムクロック制御レジスタ 2 のメインクロック発振停止ビット (SYCC2:MOSCE) が "0" に設定され、メインクロックが停止しているときにもこれらのビットは書き換え可能です。</p>		

■ WATR レジスタの設定上の注意事項

低電圧検出しセット機能を搭載しないデバイスでデュアルオペレーションフラッシュ機能を使用する場合、メインクロック発振安定待ち時間を必ず 90 μs 以上に設定 (メインクロック周波数 F_{CH} が 4MHz であるとき、WATR:MWT[3:0] を "1010_B" 以上に設定) してください。

上記の設定は、下記の製品に適用します。

MB95F332H/F333H/F334H

メインクロック発振安定待ち時間が 90 μs 以内に終了した場合にフラッシュの書込み / 消去動作を行うと、誤動作となる場合があります。

6.5 スタンバイ制御レジスタ (STBC)

スタンバイ制御レジスタ (STBC) は、RUN状態からスリープモード、ストップモード、タイムベースタイマモード、または時計モードへの遷移、ストップモード、タイムベースタイマモード、および時計モードの端子状態の設定、およびソフトウェアリセットの発生制御を行います。

■ スタンバイ制御レジスタ (STBC)

図 6.5-1 スタンバイ制御レジスタ (STBC)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0008H	STP	SLP	SPL	SRST	TMD	SCRDY	MCRDY	MRDY	00000XXX ₈
	R0,W	R0,W	R/W	R0,W	R0,W	R/WX	R/WX	R/WX	

MRDY	メインクロック発振安定ビット		
0	メインクロックの発振安定待ち状態、またはメインクロック発振が停止されたことを示します		
1	メインクロックの発振が安定したことを示します		

MCRDY	メインCRクロック発振安定ビット		
0	メインCRクロックの発振安定待ち状態、またはメインCRクロック発振が停止されたことを示します		
1	メインCRクロック発振が安定したことを示します		

SCRDY	サブCRクロック発振安定ビット		
0	サブCRクロックの発振安定待ち状態、またはサブCRクロック発振が停止されたことを示します		
1	サブCRクロック発振が安定したことを示します		

TMD	時計ビット		
	読出し時	書込み時	
	0	常に"0"を読み出します 動作に影響はありません	
	1	-	メインクロックモード/ メインCRクロックモード/ タイムベースタイマモード に遷移します

SRST	ソフトウェアリセットビット		
	読出し時	書込み時	
	0	常に"0"を読み出します 動作に影響はありません	
	1	-	3マシクロックのリセット信号を発生します

SPL	端子状態設定ビット		
0	ストップモード、タイムベースタイマモードまたは時計モード時、外部端子を直前の状態に保持します		
1	ストップモード、タイムベースタイマモードまたは時計モード時、外部端子をハイインピーダンスにします		

SLP	スリープビット		
	読出し時	書込み時	
	0	常に"0"を読み出します 動作に影響はありません	
	1	-	スリープモードに遷移します

STP	ストップビット		
	読出し時	書込み時	
	0	常に"0"を読み出します 動作に影響はありません	
	1	-	ストップモードに遷移します

R/W : リード/ライト可能(読出し値は書込み値と同じとなります。)
R/WX : リードオンリ (読出し可能。このビットに値を書き込んでも動作に影響はありません。)
R0,W : ライトオンリ(書込み可能。読出し時の値は"0"となります。)
- : 未定義ビット
X : 不定
: 初期値

表 6.5-1 スタンバイ制御レジスタ (STBC) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	STP: ストップビット	<p>ストップモードへの遷移を設定するビットです。 "0" に設定した場合：このビットに意味はありません。 "1" に設定した場合：デバイスはストップモードに遷移します。 このビットを読み出すと、その値は必ず "0" となります。</p> <p>(注意事項) 割込み要求が発生した後はこのビットへの "1" の書込みは無視されます。詳細は、「6.8.1 スタンバイモード使用上の注意」を参照してください。</p>
bit6	SLP: スリープビット	<p>スリープモードへの遷移を設定するビットです。 "0" に設定した場合：このビットに意味はありません。 "1" に設定した場合：デバイスはスリープモードに遷移します。 このビットを読み出すと、その値は必ず "0" となります。</p> <p>(注意事項) 割込み要求が発生した後はこのビットへの "1" の書込みは無視されます。詳細は、「6.8.1 スタンバイモード使用上の注意」を参照してください。</p>
bit5	SPL: 端子状態設定ビット	<p>ストップモード、タイムベースタイマモード、および時計モードの外部端子の状態を設定するビットです。 "0" に設定した場合：外部端子の状態 (レベル) はストップモード、タイムベースタイマモード、および時計モードに保持されます。 "1" に設定した場合：外部端子はストップモード、タイムベースタイマモード、および時計モードでハインピーダンスになります。(プルアップ設定レジスタにてプルアップ抵抗への接続を選択した端子は、プルアップ状態になります)。</p>
bit4	SRST: ソフトウェアリセットビット	<p>ソフトウェアリセットを設定するビットです。 "0" に設定した場合：動作に影響はありません。 "1" に設定した場合：3 マシンクロックリセット信号を発生します。 このビットを読み出すと、その値は必ず "0" となります。</p>
bit3	TMD: 時計ビット	<p>タイムベースタイマモード、または時計モードへの遷移を設定するビットです。</p> <ul style="list-style-type: none"> メインクロックモード、またはメイン CR クロックモード時にこのビットに "1" を書き込むと、デバイスはタイムベースタイマモードに遷移します。 サブクロックモード、またはサブ CR クロックモードでこのビットに "1" を書き込むと、デバイスは時計モードに遷移します。 このビットに "0" を書き込んでも動作に影響を与えません。 このビットを読み出すと、その値は必ず "0" となります。 <p>(注意事項) 割込み要求が発生した後はこのビットへの "1" の書込みは無視されます。詳細は、「6.8.1 スタンバイモード使用上の注意」を参照してください。</p>

表 6.5-1 スタンバイ制御レジスタ (STBC) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit2	SCRDY: サブ CR クロック 発振安定ビット	<p>サブ CR クロックの発振が安定したかどうかを示すビットです。</p> <ul style="list-style-type: none"> • SCRDY ビットが "1" のとき、サブ CR クロックの発振安定待ち時間が経過したことを示します。 • SCRDY ビットが "0" のとき、クロック制御部はサブ CR クロック発振安定待ち時間状態であることを、またはサブ CR クロック発振を停止したことを示します。 <p>このビットは読出し専用です。このビットに値を書き込んでも動作に影響はありません。</p>
bit1	MCRDY: メイン CR クロ ック発振安定ビット	<p>メイン CR クロックの発振が安定したかどうかを示すビットです。</p> <ul style="list-style-type: none"> • MCRDY ビットが "1" のとき、メイン CR クロックの発振安定待ち時間が経過したことを示します。 • MCRDY ビットが "0" のとき、クロック制御部はメイン CR クロ ックの発振安定待ち状態であることを、またはメイン CR クロック発振を停止したことを示します。 <p>このビットは読出し専用です。このビットに値を書き込んでも動作に影響はありません。</p>
bit0	MRDY: メインクロック発 振安定ビット	<p>メインクロックの発振が安定したかどうかを示すビットです。</p> <ul style="list-style-type: none"> • MRDY ビットが "1" のとき、メインクロックの発振安定待ち時間が経過したことを示します。 • MRDY ビットが "0" のとき、クロック制御部はメインクロックの発振安定待ち状態であることを、またはメインクロック発振を停止したことを示します。 <p>このビットは読出し専用で、値を書き込んでも動作に影響はありません。</p>

< 注意事項 >

- スタンバイモードを設定する前に、システムクロック制御レジスタ2におけるクロックモードモニタビット (SYCC2:RCM1, RCM0) とクロックモード設定ビット (SYCC2:RCS1, RCS0) の値を比較して、クロックモードへの遷移が完了していることを確認してください。
- ストップビット (STP)、スリープビット (SLP)、ソフトウェアリセットビット (SRST)、および時計ビット (TMD) の中から、2 つ以上のビットに対し同時に "1" を書き込んだ場合の優先順位は下記のとおりです。
 - (1) ソフトウェアリセットビット (SRST)
 - (2) ストップビット (STP)
 - (3) 時計ビット (TMD)
 - (4) スリープビット (SLP)

スタンバイモードが解除されるとデバイスは通常動作状態に戻ります。

6.6 システムクロック制御レジスタ 2 (SYCC2)

システムクロック制御レジスタ 2(SYCC2) は、現在のクロックモードの表示および切り換えを行い、またサブクロック、サブCR クロック、メインクロック、およびメインCR クロックの発振を制御するレジスタです。

■ システムクロック制御レジスタ 2 (SYCC2) の構成

図 6.6-1 システムクロック制御レジスタ 2 (SYCC2) の構成

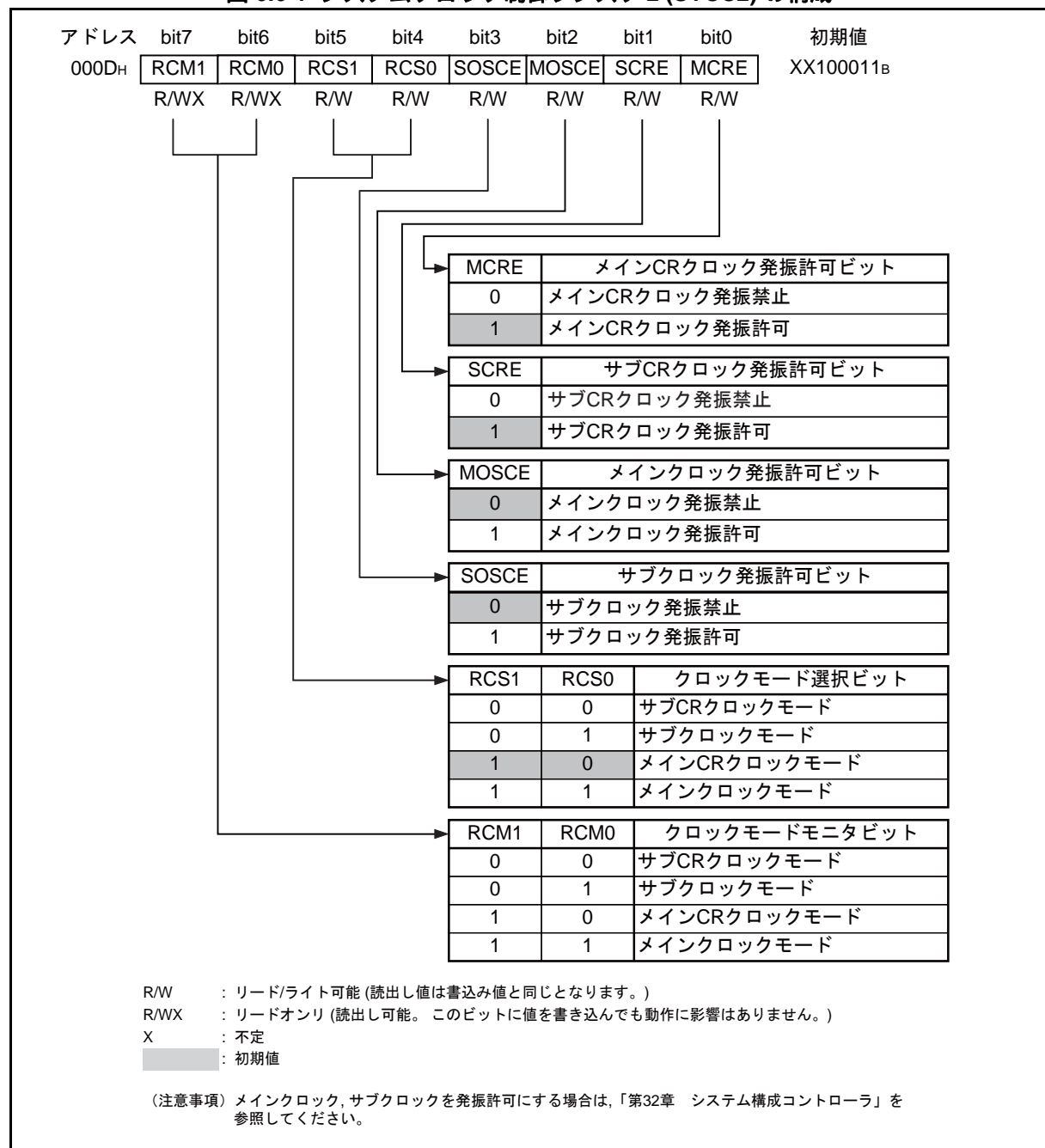


表 6.6-1 システムクロック制御レジスタ (SYCC2) の各ビットの機能説明

ビット名		機能
bit7, bit6	RCM1, RCM0: クロックモードモニタビット	現在のクロックモードを示すビットです。 "00 _B ": サブ CR クロックモードを示します。 "01 _B ": サブクロックモードを示します。 "10 _B ": メイン CR クロックモードを示します。 "11 _B ": メインクロックモードを示します。 これらのビットは読み出し専用です。値を書き込んでも動作に影響はありません。
bit5, bit4	RCS1, RCS0: クロックモード選択ビット	現在のクロックモードを示すビットです。 "00 _B " に設定した場合: サブ CR クロックモードへ遷移します。 "01 _B " に設定した場合: サブクロックモードへ遷移します。 "10 _B " に設定した場合: メイン CR クロックモードへ遷移します。 "11 _B " に設定した場合: メインクロックモードへ遷移します。 <ul style="list-style-type: none"> システム構成レジスタによりメインクロック発振が禁止されている場合、これらのビットへの "11_B" の書込みは無視され、それらの値は変化しません。 システム構成レジスタによりサブクロック発振が禁止されている場合、これらのビットへの "01_B" の書込みは無視され、それらの値は変化しません。
bit3	SOSCE: サブクロック発振許可ビット	サブクロックを許可または禁止するビットです。 "0" に設定した場合: サブクロック発振は禁止されます。 "1" に設定した場合: サブクロック発振は許可されます。 <ul style="list-style-type: none"> RCS ビットが "01_B" に設定された場合、このビットは "1" になります。 RCS または RCM ビットが "01_B" に設定された場合、このビットへの "0" 書込みは無視され、その値は変化しません。 システム構成レジスタによりサブクロック発振が禁止されている場合、このビットへの "1" の書込みは無視され、その値は変化しません。
bit2	MOSCE: メインクロック発振許可ビット	メインクロックを許可または禁止するビットです。 "0" に設定した場合: メインクロック発振は禁止されます。 "1" に設定した場合: メインクロック発振は許可されます。 <ul style="list-style-type: none"> RCS ビットが "11_B" の場合、このビットは "1" になります。 RCS または RCM ビットが "11_B" の場合、このビットへの "0" の書込みは無視され、その値は変化しません。 RCM ビットが "11_B" から他の値に変更されたとき、このビットは "0" になります。 RCM1 ビットが "0" の場合、このビットへの "1" の書込みは無視されます。 システム構成レジスタによりメインクロック発振が禁止されている場合、これらのビットへの "1" の書込みは無視され、それらの値は変化しません。
bit1	SCRE: サブ CR クロック発振許可ビット	サブ CR クロックを許可または禁止するビットです。 "0" に設定した場合: サブ CR クロック発振は禁止されます。 "1" に設定した場合: サブ CR クロック発振は許可されます。 <ul style="list-style-type: none"> RCS ビットが "00_B" の場合、このビットは "1" になります。 RCS または RCM ビットが "00_B" の場合、このビットへの "0" の書込みは無視され、その値は変化しません。 ハードウェアウォッチドッグタイマが使用されると、ビットは "1" に設定されます。
bit0	MCRE: メイン CR クロック発振許可ビット	メイン CR クロックを許可または禁止するビットです。 "0" に設定した場合: メイン CR クロック発振は禁止されます。 "1" に設定した場合: メイン CR クロック発振は許可されます。 <ul style="list-style-type: none"> RCS ビットが "10_B" の場合、このビットは "1" になります。 RCS または RCM ビットが "10_B" の場合、このビットへの "0" の書込みは無視され、その値は変化しません。 RCM ビットが "10_B" から他の値に変更されたとき、このビットは "0" になります。 RCM1 ビットが "0" の場合、このビットへの "1" の書込みは無視されます。

MB95330H シリーズ

6.7 クロックモード

クロックモードには、メインクロックモード、サブクロックモード、メインCRクロックモード、およびサブCRクロックモードの4種類があります。システムクロック制御レジスタ2 (SYCC2) の設定によってモードの切り替えを行います。

■ メインクロックモードの動作

メインクロックモードではCPUと周辺機能のマシニングロックとして、メインクロックを使用します。

タイムベースタイマはメインクロックで動作します。

時計プリスケアラはサブクロックで動作します。

メインクロックモードで動作中にスタンバイモードを設定すると、スリープモード、ストップモードまたはタイムベースタイマモードに遷移できます。

リセット後はリセット前のクロックモードに関係なく、デバイスは常にメインCRクロックモードになります。

■ サブクロックモードの動作

サブクロックモードではメインクロック発振*が停止され、サブクロックがCPUと周辺機能のマシニングロックとして使用されます。タイムベースタイマはメインクロックを使用しているため停止しています。

サブクロックモードで動作中にスタンバイモードを設定すると、スリープモード、ストップモードまたは時計モードへ移行できます。

■ メインCRクロックモードの動作

メインCRクロックモードではCPUと周辺機能のマシニングロックとして、メインCRクロックを使用します。タイムベースタイマおよびウォッチドッグタイマはメインクロックで動作します。

時計プリスケアラはサブクロックで動作します。

メインCRクロックモードで動作中にスタンバイモードを設定すると、スリープモード、ストップモードまたはタイムベースタイマモードへ移行できます。

■ サブCRクロックモードの動作

サブCRクロックモードではメインクロック発振*が停止され、サブCRクロックがCPUと周辺機能のマシニングロックとして使用されます。このモードではメインクロックの動作を必要とするタイムベースタイマは動作しません。時計プリスケアラは、サブCRクロックで動作します。

サブCRクロックモードで動作中にスタンバイモードを設定すると、スリープモード、ストップモードまたは時計モードへ移行できます。

*: クロックモードがメインクロックモード、またはメインCRクロックモードから他のクロックモードに遷移すると、メインクロックおよびメインCRクロックは自動的に禁止されます (SYCC2: MOSCE を "0", または SYCC2: MCRE を "0" に設定)。新しいクロックモードがサブクロックモードまたはサブCRクロックモードの場合、メインクロックおよびメインCRクロックをSYCC2: MOSCEあるいはSYCC2: MCREに "1" を書き込むことで、許可することができません。

■ クロックモードの状態遷移図

クロックモードには、メインクロックモード、サブクロックモード、メインCRクロックモード、サブCRクロックモードの4種類があります。このデバイスではシステムクロック制御レジスタ2 (SYCC2) の設定によって、モード間の切り替えを行うことができます。

図 6.7-1 クロックモードの状態遷移図

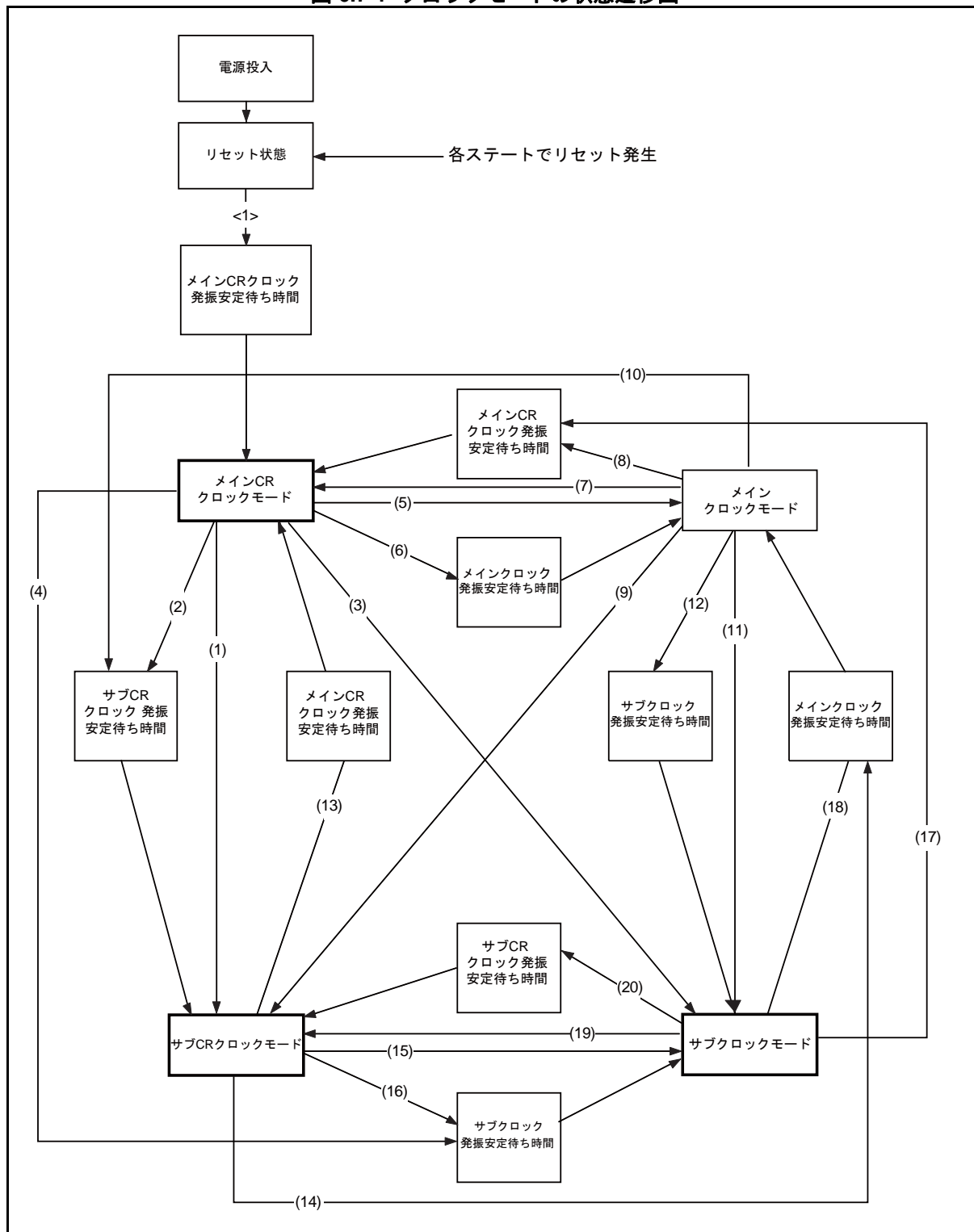


表 6.7-1 クロックモードの状態遷移表 (1 / 2)

	現在の状態	次の状態	説明
<1>	リセット状態	メイン CR クロック	リセット後にデバイスは、メイン CR クロック発振安定待ち時間の経過を待ってからメイン CR クロックモードに遷移します。リセットが任意のクロックモードによるウォッチドッグリセット、ソフトウェアリセット、または外部リセットの場合でも、デバイスはサブ CR クロックとメイン CR クロック発振安定待ち時間の経過を待ちます。
(1)	メイン CR クロック	サブ CR クロック	システムクロック制御レジスタ 2 のシステムクロック選択ビット (SYCC2:RCS1, RCS0) を "00 _B " に設定すると、デバイスはサブ CR クロックモードに遷移します。
(2)			ただし、システムクロック制御レジスタ 2 のサブ CR クロック発振許可ビット (SYCC2:SCRE) の設定によりサブ CR が停止していた場合、デバイスはサブ CR クロック発振安定待ち時間の経過を待ってからサブ CR クロックモードに遷移します。サブ CR クロック発振があらかじめ許可されている場合、またはスタンバイ制御レジスタのサブ CR クロック発振安定ビット (STBC:SCRDY) が "1" に設定されている場合、デバイスはシステムクロック選択ビット (SYCC2:RCS1, RCS0) が "00 _B " に設定された直後にサブ CR クロックモードに遷移します。
(3)		サブクロック	システムクロック制御レジスタ 2 のシステムクロック選択ビット (SYCC2:RCS1, RCS0) に "01 _B " を設定すると、デバイスはサブクロック発振安定待ち時間の経過を待ってからサブクロックモードに遷移します。
(4)			システムクロック制御レジスタ 2 のサブクロック発振許可ビット (SYCC2:SOSCE) の設定によりサブクロックが発振している場合、デバイスはサブクロック発振安定待ち時間の経過を待ちません。サブクロック発振があらかじめ許可されている場合、およびシステムクロック制御レジスタのサブクロック発振安定ビット (SYCC:SRDY) が "1" に設定されている場合は、デバイスはシステムクロック選択ビット (SYCC2:RCS1, RCS0) が "01 _B " に設定された直後、サブクロックモードに遷移します。
(5)		メインクロック	システムクロック制御レジスタ 2 のシステムクロック選択ビット (SYCC2:RCS1, RCS0) を "11 _B " に設定すると、デバイスはメインクロック発振安定待ち時間の経過を待ってからメインクロックモードに遷移します。
(6)			システムクロック制御レジスタ 2 のメインクロック発振許可ビット (SYCC2: MOSCE) の設定によりメインクロックが発振している場合、デバイスはメインクロック発振安定待ち時間の経過を待ちません。メインクロック発振があらかじめ許可されている場合、およびスタンバイ制御レジスタのメインクロック発振安定ビット (STBC:MRDY) が "1" に設定されている場合は、デバイスはシステムクロック選択ビット (SYCC2:RCS1, RCS0) が "11 _B " に設定された直後、メインクロックモードに遷移します。

表 6.7-1 クロックモードの状態遷移表 (2 / 2)

	現在の状態	次の状態	説明
(7)	メインクロック	メイン CR クロック	システムクロック制御レジスタ 2 のシステムクロック選択ビット (SYCC2:RCS1, RCS0) を "10 _B " に設定すると、デバイスはメイン CR クロック発振安定待ち時間の経過を待ってからメイン CR クロックモードに遷移します。 システムクロック制御レジスタ 2 のメインクロック発振許可ビット (SYCC2:MCRE) の設定によりメイン CR クロックが発振している場合、デバイスはメイン CR クロック発振安定待ち時間の経過を待ちません。メイン CR クロック発振があらかじめ許可されている場合、およびスタンバイ制御レジスタのメイン CR クロック発振安定ビット (STBC:MCRDY) が "1" に設定されている場合は、デバイスはシステムクロック選択ビット (SYCC2:RCS1, RCS0) が "10 _B " に設定された直後、メイン CR クロックモードに遷移します。
(8)			
(9)			
(10)			
(11)			
(12)			
(13)	サブ CR クロック	メイン CR クロック	システムクロック制御レジスタ 2 のシステムクロック選択ビット (SYCC2:RCS1, RCS0) を "10 _B " に設定すると、デバイスはメイン CR クロック発振安定待ち時間の経過を待ってからメイン CR クロックモードに遷移します。
(14)		メインクロック	システムクロック制御レジスタ 2 のシステムクロック選択ビット (SYCC2:RCS1, RCS0) を "11 _B " に設定すると、デバイスはメインクロック発振安定待ち時間の経過を待ってからメインクロックモードに遷移します。
(15)		サブクロック	(3) および (4) と同様
(16)			
(17)	サブクロック	メイン CR クロック	(13) と同様
(18)		メインクロック	(14) と同様
(19)		サブ CR クロック	(1) および (2) と同様
(20)			

MB95330H シリーズ

6.8 低消費電力モード (スタンバイモード) の動作

スタンバイモードには、スリープモード、ストップモード、タイムベースタイマモード、時計モードの 4 種類があります。

■ スタンバイモードの遷移と復帰の概要

スタンバイモードには、スリープモード、ストップモード、タイムベースタイマモード、時計モードの 4 種類があります。スタンバイ制御レジスタ (STBC) の設定によって、デバイスはスタンバイモードに遷移します。

スタンバイモードの解除は、割込みまたはリセットにより行われます。通常動作に遷移する前に、デバイスは必要に応じて自動的に発振安定待ち時間の経過を待ちます。

リセットによりクロックモードがスタンバイモードから復帰する場合は、デバイスはメイン CR クロックモードに戻ります。割込みによりクロックモードがスタンバイモードから復帰する場合は、スタンバイモードに遷移する前にデバイスは元のクロックモードに復帰します。

■ スタンバイモード時の端子の状態

スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) によって、ストップモード、タイムベースタイマモード、または時計モード時の I/O ポートまたは周辺機能端子の状態を直前の状態保持、または I/O ポートまたは周辺機能端子をハイインピーダンスに設定できます。

スタンバイモード時のすべての端子の状態については、「付録 D MB95330H シリーズの端子状態」を参照してください。

6.8.1 スタンバイモード使用上の注意

スタンバイ制御レジスタ (STBC) をスタンバイモードに設定した場合でも、周辺機能から割り込み要求が発生しているときには、スタンバイモードに遷移しません。デバイスが割り込みに応答してスタンバイモードから通常動作状態へ復帰する場合は、割り込み要求が受け付けられるかどうかによって復帰後の動作が異なります。

■ スタンバイモード設定を行う命令の直後に NOP 命令を 3 命令以上入れてください。

スタンバイ制御レジスタに設定した後、デバイスはスタンバイモードへ移行するまでに 4 マシンクロック周期が必要となります。その間 CPU はプログラムを実行します。スタンバイモードへの遷移時にプログラムの実行を回避するためには、NOP 命令を 3 命令以上入れてください。

デバイスがスタンバイモードへ遷移するように設定した命令の後に、NOP 以外の命令を配置してもデバイスは正常に動作します。その場合、下記の 2 つのイベントが起こり得ます。スタンバイモード解除後に実行するはずの命令がスタンバイモードへ遷移する前に実行される可能性があります。次に、デバイスが命令実行の途中でスタンバイモードに入り、スタンバイモード解除後に同じ命令の実行が再開されることもあります (命令実行サイクル数の増加)。

■ スタンバイモード設定前にクロックモードの遷移が完了していることを確認してください。

スタンバイモードの設定前に、システムクロック制御レジスタにおけるクロックモードモニタビット (SYCC2:RCM1, RCM0) とクロックモード設定ビット (SYCC2:RCS1, RCS0) の値を比較して、クロックモードの遷移が完了していることを確認してください。

■ 割り込み要求によりスタンバイモードへの遷移が抑止されることがあります。

スタンバイモードの設定を行う時に割り込みレベルが "11_B" より強い割り込み要求が発生していると、デバイスはスタンバイ制御レジスタへの書き込みを無視し、設定されたスタンバイモードへの遷移はしないで命令の実行を続けます。割り込み要求の処理後にもデバイスはスタンバイモードへ遷移しません。

CPU のコンディションコードレジスタにおける割り込み許可フラグ (CCR:I) および割り込みレベルビット (CCR:IL1, IL0) によって割り込みが禁止されている場合にも、同様の動作が実行されます。

■ スタンバイモードは CPU が割り込みを受け付けられない場合も解除されます。

スタンバイモード中に割り込みレベルが "11_B" より強い割り込み要求が発生すると、デバイスは CPU のコンディションコードレジスタ (CCR) における割り込み許可フラグ (CCR:I)、および割り込みレベルビット (CCR:IL1, IL0) の設定に関係なくスタンバイモードから解除されます。

スタンバイモードからの解除後、CPU のコンディションコードレジスタ (CCR) の設定により割り込みを受け付けられる状態のときは、デバイスは割り込みを処理します。もし CCR の設定が割り込みを受け付けられない場合、デバイスはスタンバイモードに遷移する前に実行した次の命令から実行を再開します。

■ スタンバイモードの状態遷移図

図 6.8-1 にスタンバイモードの状態遷移図を示します。

図 6.8-1 スタンバイモードの状態遷移図

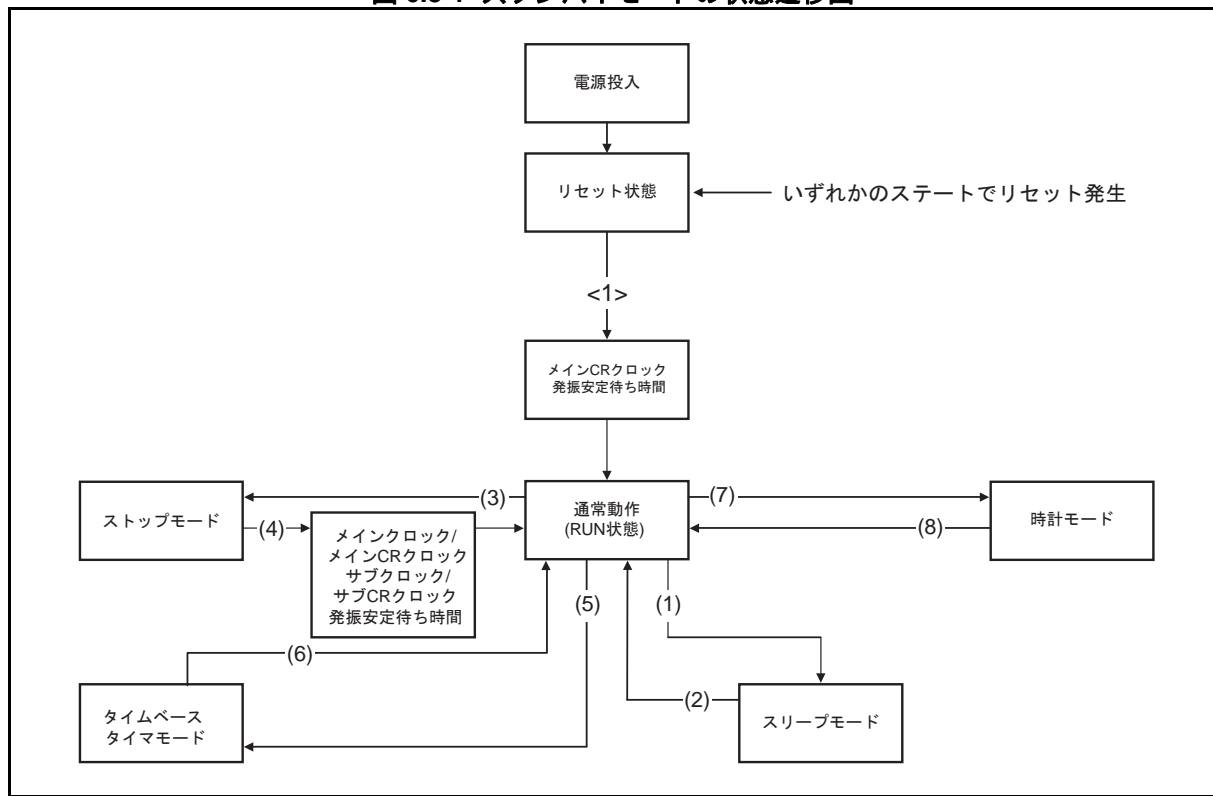


表 6.8-1 状態遷移表 (スタンバイモードへの遷移と解除)

	状態遷移	説明
<1>	リセット状態後の通常動作	リセット後、デバイスがメイン CR クロックモードに遷移します。 パワーオンリセット、ウォッチドッグリセット、ソフトウェアリセット、外部リセットの場合、デバイスは常にサブ CR クロックとメイン CR クロック発振安定待ち時間の経過を待ちます。
(1)	スリープモード	スタンバイ制御レジスタのスリープビット (STBC:SLP) に "1" を書き込むと、デバイスはスリープモードに遷移します。
(2)		デバイスは周辺機能からの割り込みにより RUN 状態に復帰します。
(3)	ストップモード	スタンバイ制御レジスタのストップビット (STBC:STP) に "1" を書き込むと、デバイスはストップモードに遷移します。
(4)		外部割り込みにより、現在のクロックモードに応じて必要な発振安定待ち時間の経過を待ってからデバイスは RUN 状態に復帰します。
(5)	タイムベースタイマモード	メインクロックモードまたはメイン CR クロックモード中のスタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むと、デバイスはタイムベースモードに遷移します。
(6)		
(7)	時計モード	サブクロックモードまたはサブ CR クロックモードのスタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むと、デバイスは時計モードに遷移します。
(8)		

6.8.2 スリープモード

スリープモードでは CPU とウォッチドッグタイマの動作は停止となります。

■ スリープモードの動作

スリープモードでは CPU とウォッチドッグタイマの動作クロックは停止となります。CPU はデバイスがスリープモードへ遷移する直前に存在しているレジスタと RAM の内容を保持して停止しますが、ウォッチドッグタイマを除く周辺機能は動作を続けます。

ハードウェアウォッチドッグタイマの場合、不揮発性レジスタ機能によってスタンバイモードが許可された時、スリープモードでサブ CR クロックは停止せず、ハードウェアウォッチドッグタイマは動作します。詳細は、「第 30 章 不揮発性レジスタ (NVR) の機能」を参照してください。

● スリープモードへの遷移

スタンバイ制御レジスタのスリープビット (STBC:SLP) を "1" に設定すると、デバイスはスリープモードに入ります。

● スリープモードの解除

リセットまたは周辺機能からの割込みによって、デバイスはスリープモードから解除されます。

6.8.3 ストップモード

ストップモードでは、メインクロック、メイン CR クロック、およびサブクロックは停止となります。

■ ストップモードの動作

ストップモードでは、メインクロック、メイン CR クロック、およびサブクロックは停止となります。このモードでは、デバイスはストップモードへ遷移する直前にレジスタと RAM の内容を保持しつつ、外部割込みと低電圧検出しセットを除くすべての機能を停止します。

ハードウェアウォッチドッグタイマの場合、不揮発性レジスタ機能によってスタンバイモードが許可された時、ストップモードでサブ CR クロックは停止せず、ハードウェアウォッチドッグタイマは動作します。詳細は「第 30 章 不揮発性レジスタ (NVR) の機能」を参照してください。

● ストップモードへの遷移

スタンバイ制御レジスタのストップビット (STBC:STP) に "1" を書き込むと、デバイスはストップモードに入ります。このとき、スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が "0" の場合、外部端子の状態は保持され、SPL ビットが "1" の場合には外部端子の状態はハイインピーダンスになります (プルアップ設定レジスタでプルアップ抵抗を選択している端子はプルアップ状態になります)。

メインクロックモードまたはメイン CR クロックモードの場合、割込みによるストップモード解除後にメインクロック発振安定を待っている間、タイムベースタイマ割込み要求が発生することがあります。タイムベースタイマの割込みインターバル時間がメインクロック発振安定待ち時間より短い場合、ストップモードへ遷移する前にタイムベースタイマからの割込み要求出力を禁止して、予期せぬ割込みを発生させないことを推奨します。

また、デバイスがサブクロックモードまたはサブ CR モードからストップモードへ遷移する前に、時計プリスケラからの割込み要求出力を禁止することも推奨します。

● ストップモードの解除

ストップモードはリセットまたは外部割込みによって解除されます。どのクロックモードも、スタンバイモードにおいて、ハードウェアウォッチドッグタイマか不揮発性レジスタ機能によって許可された場合、サブ CR クロックは停止せず、ウォッチドッグタイマおよび時計プリスケラはストップモードで動作します。また、時計プリスケラからの割込みによりデバイスはストップモードから解除されます。詳細は、「第 30 章 不揮発性レジスタ (NVR) の機能」を参照してください。

< 注意事項 >

デバイスが割込みによってストップモードから解除された場合、動作途中でストップモードとなった周辺機能はストップモードに遷移した時点の動作から再開します。そのため、インターバルタイマにおける初回のインターバル時間などの周辺機能設定が不定になります。デバイスをストップモードから解除した後は必要に応じて周辺機能を初期化してください。

6.8.4 タイムベースタイマモード

タイムベースタイマモードではメインクロック発振, サブクロック発振, タイムベースタイマ, および時計プリスケアラのみ動作します。このモードでは CPU と周辺機能の動作クロックは停止となります。

■ タイムベースタイマの動作

タイムベースタイマモードは, タイムベースタイマへのクロック供給を除きメインクロックの供給を停止させるモードです。このモードではデバイスはタイムベースタイマモードへ遷移する直前に存在しているレジスタと RAM の内容を保持しつつ, タイムベースタイマ, 外部割込みと低電圧検出しセットを除くすべての機能を停止します。

システムクロック制御レジスタ 2 のサブクロック発振許可ビットおよびサブ CR クロック発振許可ビット (SYCC2:SOSCE, SCRE) の設定により, それぞれサブクロック発振およびサブ CR クロック発振をそれぞれ許可または禁止することができます。サブクロックが発振する場合, 時計プリスケアラが動作します。

ハードウェアウォッチドッグタイマの場合, 不揮発性レジスタ機能によってスタンバイモードが許可された時, タイムベースタイマモードでサブ CR クロックは停止せず, ハードウェアウォッチドッグタイマは動作します。詳細は, 「第 30 章 不揮発性レジスタ (NVR) の機能」を参照してください。

● タイムベースタイマモードへの遷移

システムクロック制御レジスタ 2 のシステムクロックモニタビット (SYCC2:RCM1, RCM0) が "10_B" または "11_B" の場合, スタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むことによりデバイスはタイムベースタイマモードに遷移します。

タイムベースタイマモードへの遷移はデバイスのクロックモードがメインクロックモード, またはメイン CR クロックモードのときのみ可能です。

デバイスがタイムベースタイマモードに遷移したとき, スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が "0" の場合, 外部端子の状態を保持し, SPL ビットが "1" の場合には外部端子の状態はハイインピーダンスになります (プルアップ設定レジスタでプルアップ抵抗を選択している端子はプルアップ状態になります)。

● タイムベースタイマモードからの解除

リセット, タイムベースタイマ割込み, 外部割込みにより, デバイスはタイムベースタイマモードから解除されます。

システムクロック制御レジスタ 2 (SYCC2) のサブクロック発振許可ビット (SOSCE) とサブ CR クロック発振許可ビット (SCRE) の設定により, サブクロック発振およびサブ CR クロック発振を許可または禁止することができます。サブクロックが発振する場合, 時計プリスケアラからの割込みによりデバイスはタイムベースタイマモードから解除されます。

< 注意事項 >

デバイスが割込みによってタイムベースタイマモードから解除された場合、動作途中でタイムベースタイマモードとなった周辺機能は、タイムベースタイマモードに遷移した時点の動作から再開します。そのため、インターバルタイマにおける初回のインターバル時間などの周辺機能設定が不定になります。デバイスをタイムベースタイマモードから解除した後は必要に応じて周辺機能を初期化してください。

6.8.5 時計モード

時計モードではサブクロック, サブ CR クロック, および時計プリスケアラのみが動作します。このモードでは CPU と周辺機能の動作クロックは停止となります。

■ 時計モードの動作

時計モードでは, デバイスは時計モードへ遷移する直前にレジスタと RAM の内容を保持しつつ, デバイスは時計プリスケアラ, 外部割込みと低電圧検出リセットを除くすべての機能を停止します。

ハードウェアウォッチドッグタイマの場合, 不揮発性レジスタによってスタンバイモードが許可された時, 時計モードでサブ CR クロックは停止せず, ハードウェアウォッチドッグタイマは動作します。詳細は, 「第 30 章 不揮発性レジスタ (NVR) の機能」を参照してください。

● 時計モードへの遷移

システムクロック制御レジスタ 2 のシステムクロックモニタビット (SYCC2:RCM1, RCM0) が "00_B" または "01_B" の場合, スタンバイ制御レジスタの時計ビット (STBC:TMD) に "1" を書き込むことによりデバイスは時計モードに遷移します。

時計モードへの遷移はデバイスのクロックモードがサブクロックモード, またはサブ CR クロックモードのときのみ遷移できます。

デバイスが時計モードに遷移したとき, スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "0" の場合, 外部端子の状態を保持し, SPL ビットが "1" の場合には外部端子の状態はハイインピーダンスになります (プルアップ設定レジスタでプルアップ抵抗を選択している端子はプルアップ状態になります)。

● 時計モードからの解除

リセット, 時計割込み, または外部割込みによりデバイスは時計モードから解除されます。

< 注意事項 >

デバイスが割込みによって時計モードから解除された場合, 動作途中で時計モードとなった周辺機能は, 時計モードに遷移した時点の動作から再開します。そのため, インターバルタイマにおける初回のインターバル時間などの周辺機能設定が不定になります。デバイスをタイムベースタイマモードから解除した後では, 必要に応じて周辺機能を初期化してください。

MB95330H シリーズ

6.9 クロック発振回路

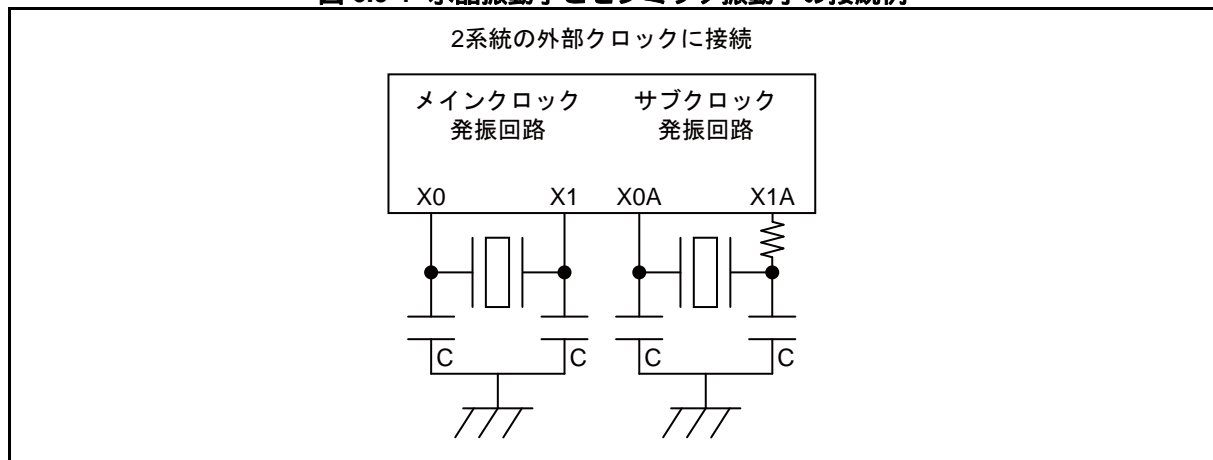
クロック発振回路はクロック発振端子に振動子を接続するか、またはクロック信号を入力することによって内部クロックを生成します。

■ クロック発振回路

● 水晶振動子とセラミック振動子の場合

図 6.9-1 のようにして水晶振動子またはセラミック振動子を接続してください。

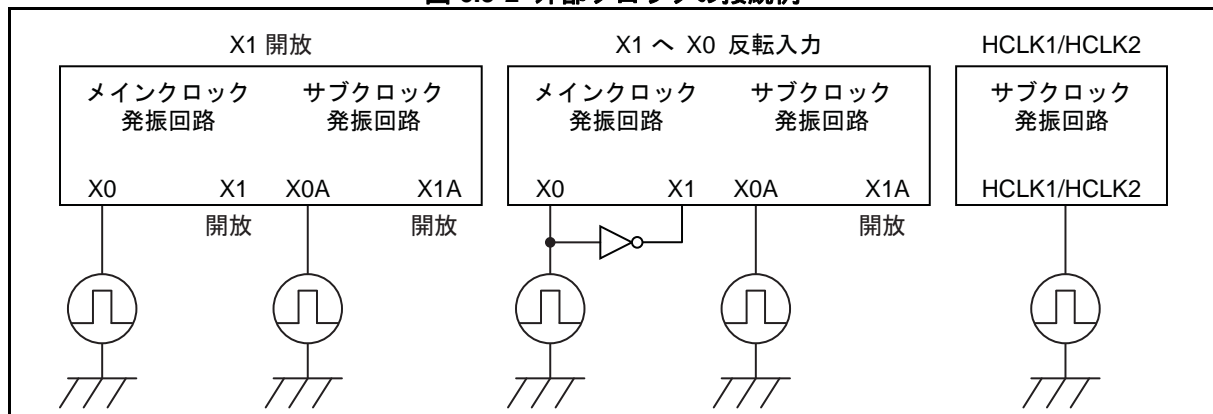
図 6.9-1 水晶振動子とセラミック振動子の接続例



● 外部クロックの場合

図 6.9-2 に示すように、外部クロックを X0 端子に接続してください。X1 端子は開放にしておくか、X0 端子の反転クロックを X1 端子に供給してください。(本シリーズのデータシートを参照。) また、サブクロックを外部クロックから供給する場合、外部クロックは X0A 端子に接続し、X1A 端子は開放にしてください。また、クロック信号は外部クロック入力端子 HCLK1/HCLK2 に供給可能です。

図 6.9-2 外部クロックの接続例



6.10 プリスケーラの概要

プリスケーラは、マシナクロック (MCLK) とタイムベースタイマから出力されるカウンタクロックより、各種周辺機能へ供給するカウンタクロックソースを生成します。

■ プリスケーラ

プリスケーラは CPU の動作するマシナクロック (MCLK) とタイムベースタイマから出力されるカウンタクロック ($F_{CH}/2^7$, $F_{CH}/2^8$, $F_{CRH}/2^6$ または $F_{CRH}/2^7$) より、各種周辺機能へ供給するカウンタクロックソースを生成します。このカウンタクロックソースはプリスケーラで分周されたクロック、またはバッファされたクロックです。下記の周辺機能はこのプリスケーラによって分周されたクロック周波数をカウンタクロックソースとして使用しています。

なお、本プリスケーラには制御用のレジスタはなく、マシナクロック (MCLK) およびタイムベースタイマのカウンタクロック ($F_{CH}/2^7$, $F_{CH}/2^8$, $F_{CRH}/2^6$ または $F_{CRH}/2^7$) にて常に動作します。

- 8/16 ビット複合タイマ
- 8/10 ビット A/D コンバータ

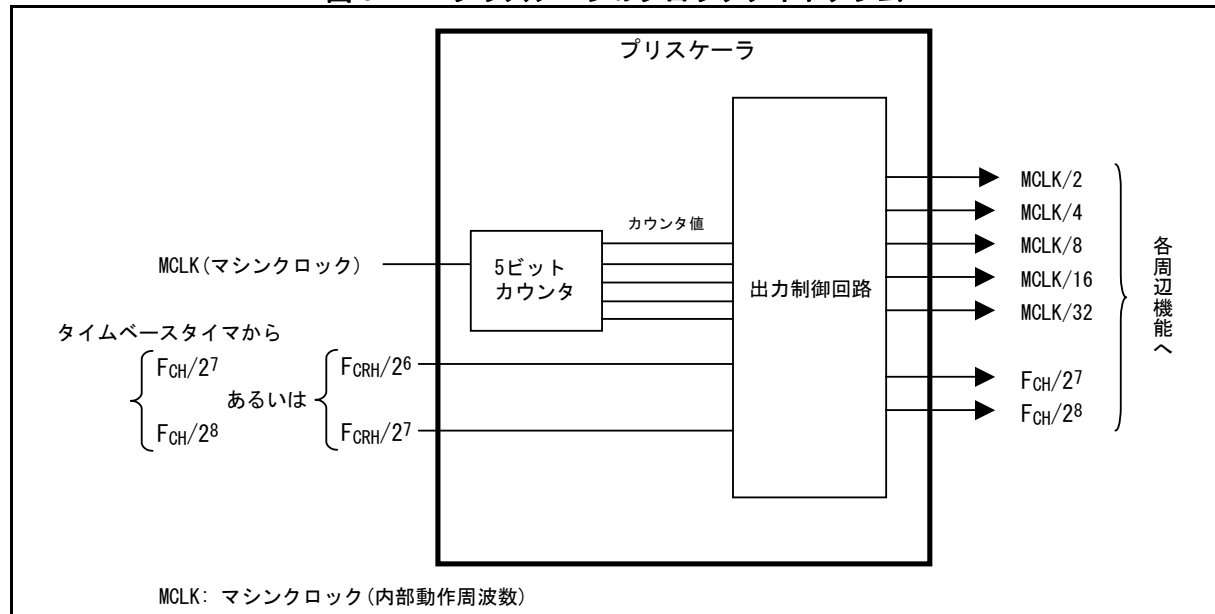
MB95330H シリーズ

6.11 プリスケーラの構成

図 6.11-1 に、プリスケーラのブロックダイアグラムを示します。

■ プリスケーラのブロックダイアグラム

図 6.11-1 プリスケーラのブロックダイアグラム



- 5ビットカウンタ

本カウンタは、マシンクロック (MCLK) をカウントし、出力制御回路へカウンタ値を出力します。

- 出力制御回路

本回路は、5ビットカウンタ値に基づき、マシンクロック (MCLK) を2分周、4分周、8分周、16分周、32分周したクロックを各周辺機能へ供給する回路です。この回路はタイムベースタイマ ($F_{CH}/2^7$, $F_{CH}/2^8$, $F_{CRH}/2^6$ または $F_{CRH}/2^7$) からのクロックをバッファリングして各周辺機能へ供給します。

■ 入力クロック

プリスケーラはマシンクロック、またはタイムベースタイマの出力クロックを入力クロックとして使用します。

■ 出力クロック

プリスケーラは 8/16 ビット複合タイマおよび 8/10 ビット A/D コンバータにクロックを供給しています。

6.12 プリスケアラの動作

プリスケアラは、各周辺機能へ供給するカウントクロックソースを生成します。

■ プリスケアラの動作

プリスケアラは、マシナクロック (MCLK) を分周して生成される周波数のクロック、およびタイムベースタイマ ($F_{CH}/2^7$, $F_{CH}/2^8$, $F_{CRH}/2^6$ または $F_{CRH}/2^7$) のバッファ信号からカウントクロックソースを生成し、各周辺機能へ供給します。このプリスケアラはマシナクロックとタイムベースタイマからのクロックが供給されている間は動作を継続します。

表 6.12-1 にプリスケアラの生成するカウントクロックソースを示します。

表 6.12-1 プリスケアラの生成するカウントクロックソース

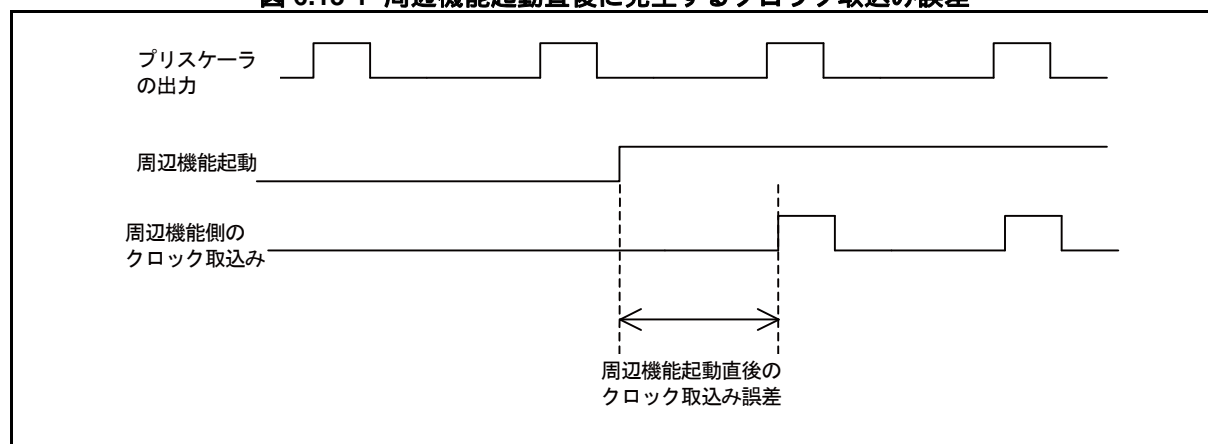
カウントクロック ソース周波数	周波数 ($F_{CH}=10\text{ MHz}$, MCLK=10 MHz の時)		周波数 ($F_{CH}=16\text{ MHz}$, MCLK=16 MHz の時)		周波数 ($F_{CH}=16.25\text{ MHz}$, MCLK=16.25 MHz の時)	
MCLK/2	MCLK/2	(5 MHz)	MCLK/2	(8 MHz)	MCLK/2	(8.125 MHz)
MCLK/4	MCLK/4	(2.5 MHz)	MCLK/4	(4 MHz)	MCLK/4	(4.0625 MHz)
MCLK/8	MCLK/8	(1.25 MHz)	MCLK/8	(2 MHz)	MCLK/8	(2.0313 MHz)
MCLK/16	MCLK/16	(0.625 MHz)	MCLK/16	(1 MHz)	MCLK/16	(1.0156 MHz)
MCLK/32	MCLK/32	(0.3125 MHz)	MCLK/32	(0.5 MHz)	MCLK/32	(0.5078 MHz)
$F_{CH}/2^7$	$F_{CH}/2^7$	(78 kHz)	$F_{CH}/2^7$	(125 kHz)	$F_{CH}/2^7$	(127 kHz)
$F_{CH}/2^8$	$F_{CH}/2^8$	(39 kHz)	$F_{CH}/2^8$	(62.5 kHz)	$F_{CH}/2^8$	(63.5 kHz)

6.13 プリスケアラ使用上の注意

プリスケアラ使用上の注意を示します。

プリスケアラは、マシンのクロックとタイムベースタイマから発生するクロックにより動作し、これらのクロックが供給されている間は動作を継続します。したがって、周辺機能が起動した直後の動作は、プリスケアラの出力値に応じて、周辺機能のクロック取込みに、最大1クロックソース分の誤差が発生します。

図 6.13-1 周辺機能起動直後に発生するクロック取込み誤差



以下の周辺機能は、プリスケアラのカウント値の影響を受けます。

- 8/16 ビット複合タイマ
- 8/10 ビット A/D コンバータ

第7章

リセット

リセットの動作について説明します。

- 7.1 リセット動作
- 7.2 リセット要因レジスタ (RSRR)
- 7.3 リセット使用上の注意

7.1 リセット動作

リセット要因が発生すると、CPUは現在実行中の処理を直ちに中断してリセット解除待ち状態になります。リセットが解除されると、CPUは内部ROMからモードデータとリセットベクタを読み出します（モードフェッチ）。電源投入時、またはデバイスがサブクロックモード、サブCRクロックモードおよびストップモードのリセットから解除されると、CPUは発振安定待ち時間が経過した後にモードフェッチを行います。

■ リセット要因

リセットには、4つのリセット要因があります。

表 7.1-1 リセット要因

リセット要因	リセット条件
外部リセット	外部リセット端子に "L" レベルを入力する。
ソフトウェアリセット	スタンバイ制御レジスタのソフトウェアリセットビット (STBC:SRST) を "1" に設定する。
ウォッチドッグリセット	ウォッチドッグタイマのオーバーフロー。
パワーオンリセット / 低電圧検出リセット	電源の投入、または、供給電圧が検出電圧より低下する。（オプション）

● 外部リセット

外部リセット端子 ($\overline{\text{RST}}$) を "L" レベルにすることによって、外部リセットが発生します。外部から入力されたリセット信号は、内部のノイズフィルタを通してマイコンの動作クロックに非同期で受け付けられ、内部回路を初期化するためにマシクロックに同期した内部リセット信号が発生します。したがって、内部回路の初期化のためにマイコンの動作クロックが必要です。ただし、外部クロックで動作するためには、外部クロック信号が入力されなければいけません。外部端子 (I/O ポートおよび周辺機能を含む) は非同期でリセットされます。また、外部リセット入力には、パルス幅の標準値があります。値が標準値を下回る場合は、リセット信号が受け付けられないことがあります。なお、規格値はデータシートに記載していますので、規格値を満足するように外部のリセット回路を設計してください。

● ソフトウェアリセット

スタンバイ制御レジスタのソフトウェアリセットビット (STBC:SRST) を "1" に設定することで、ソフトウェアリセットが発生します。

● ウォッチドッグリセット

ウォッチドッグタイマの起動後、所定時間にウォッチドッグタイマのクリアが行われないときには、ウォッチドッグリセットが発生します。

● パワーオンリセット / 低電圧検出リセット (オプション)

電源投入によって、パワーオンリセットを発生します。

低電圧検出リセット回路は、一部の製品でのみ使用可能です。詳しくは、「1.2 MB95330H シリーズの品種構成」を参照してください。

低電圧検出リセット回路は、電源電圧が定められた電圧より低下したときにリセットを発生します。

低電圧検出リセットの論理機能はパワーオンリセットと同じです。本マニュアルにおけるパワーオンリセットに関するすべての記述は、低電圧検出リセットにも適応されます。

低電圧検出リセットの詳細については「第 19 章 低電圧検出リセット回路」を参照してください。

■ リセット中の時間

ソフトウェアリセットまたはウォッチドッグリセットの場合、リセット中の時間は3つのマシクロック周期から構成されます。1つはリセット前に選択したマシクロック周波数のマシクロック周期です。残りの2つは、リセット後の初期マシクロック周波数（メインクロック周波数の $1/32$ ）の周期です。ただし、このリセット時間は RAM アクセス中のリセットを抑止する RAM アクセス保護機能により、リセット前に選択した周波数のマシクロック周期によって延長されることがあります。また、メインクロック発振安定スタンバイモードの場合、発振安定待ち時間分リセット時間はさらに延長されます。外部リセットおよびリセットの両方は RAM アクセス保護機能およびメインクロック発振安定待ち時間の影響を受けます。

パワーオンリセットおよび低電圧検出リセットの場合、発振安定待ち時間中は、リセット状態が継続します。

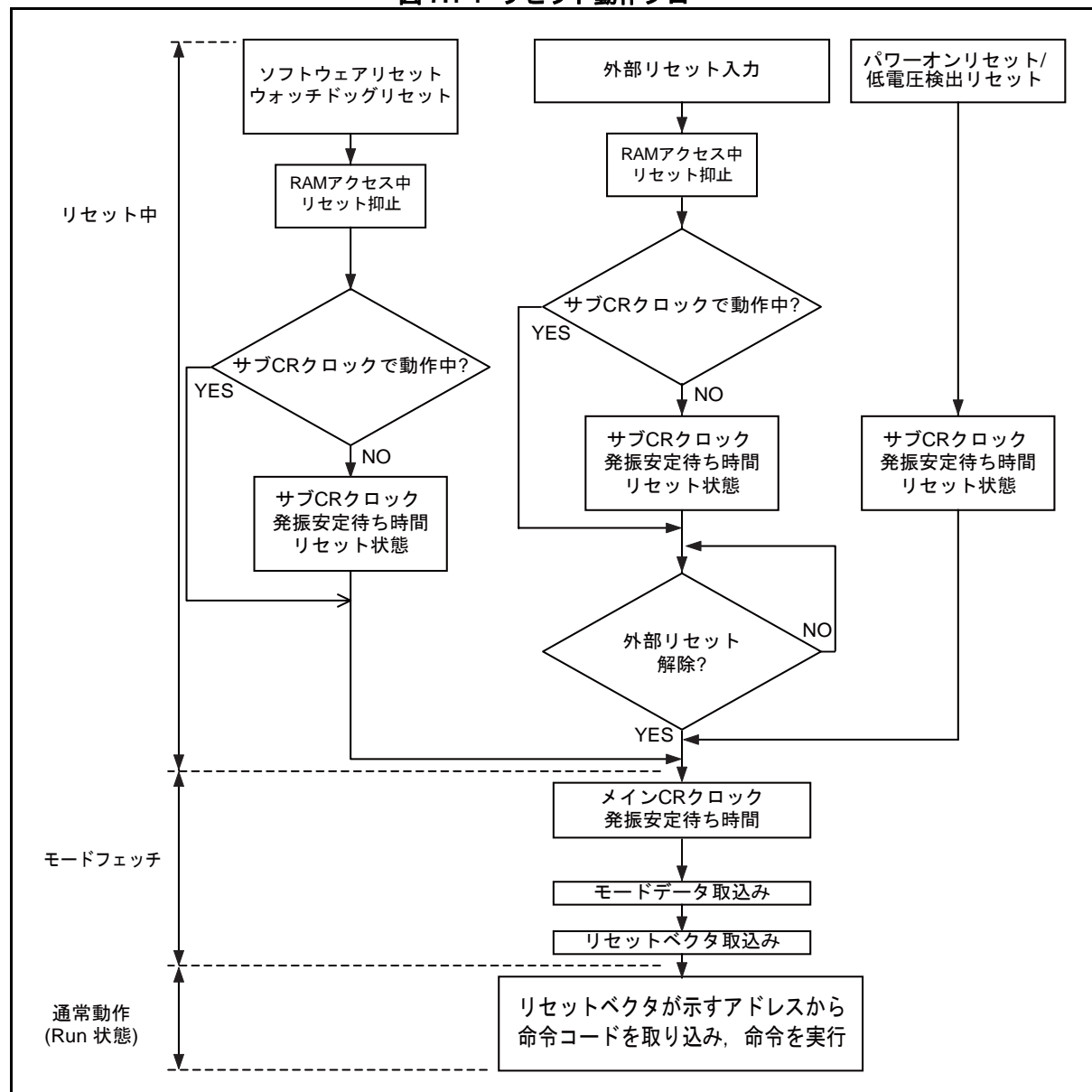
■ リセット出力

リセット端子は、リセット入力機能が有効であり、かつリセット出力機能が有効である場合、リセット中に "L" レベルを出力します。ただし、外部リセットの場合はリセット端子には "L" レベルを出力する機能はありません。

リセット入力機能、リセット出力機能設定については、「第 31 章 システム構成コントローラ」を参照してください。

■ リセット動作の概要

図 7.1-1 リセット動作フロー



任意のリセットで、CPU はモードフェッチをメイン CR クロック発振安定待ち時間が経過した後に実行します。

■ RAM 内容のリセットによる影響

リセットが発生した場合、CPUは現在実行中の命令の動作を中断し、リセット状態になります。ただし、RAM アクセス中は、RAM アクセスの保護のためにRAM アクセスの終了後にマシンのクロックに同期して内部リセット信号を発生します。この機能は2バイトのデータの書き込み中、ワードデータの書き込み動作がリセットにより割り込まれるのを防止します。

■ リセット中の端子の状態

リセットが発生するとI/Oポートまたは周辺機能端子は、リセット解除後ソフトウェアによる設定が行われるまで、ハイインピーダンスになります。

< 注意事項 >

デバイスの誤作動防止ため、リセット中はハイインピーダンスとなる端子に対してプルアップ抵抗を接続してください。

リセット中の全端子の状態の詳細については「付録 D MB95330H シリーズの端子状態」を参照してください。

7.2 リセット要因レジスタ (RSRR)

リセット要因レジスタは、発生したリセットの要因を示します。

■ リセット要因レジスタ (RSRR) の構成

図 7.2-1 リセット要因レジスタ (RSRR) の構成

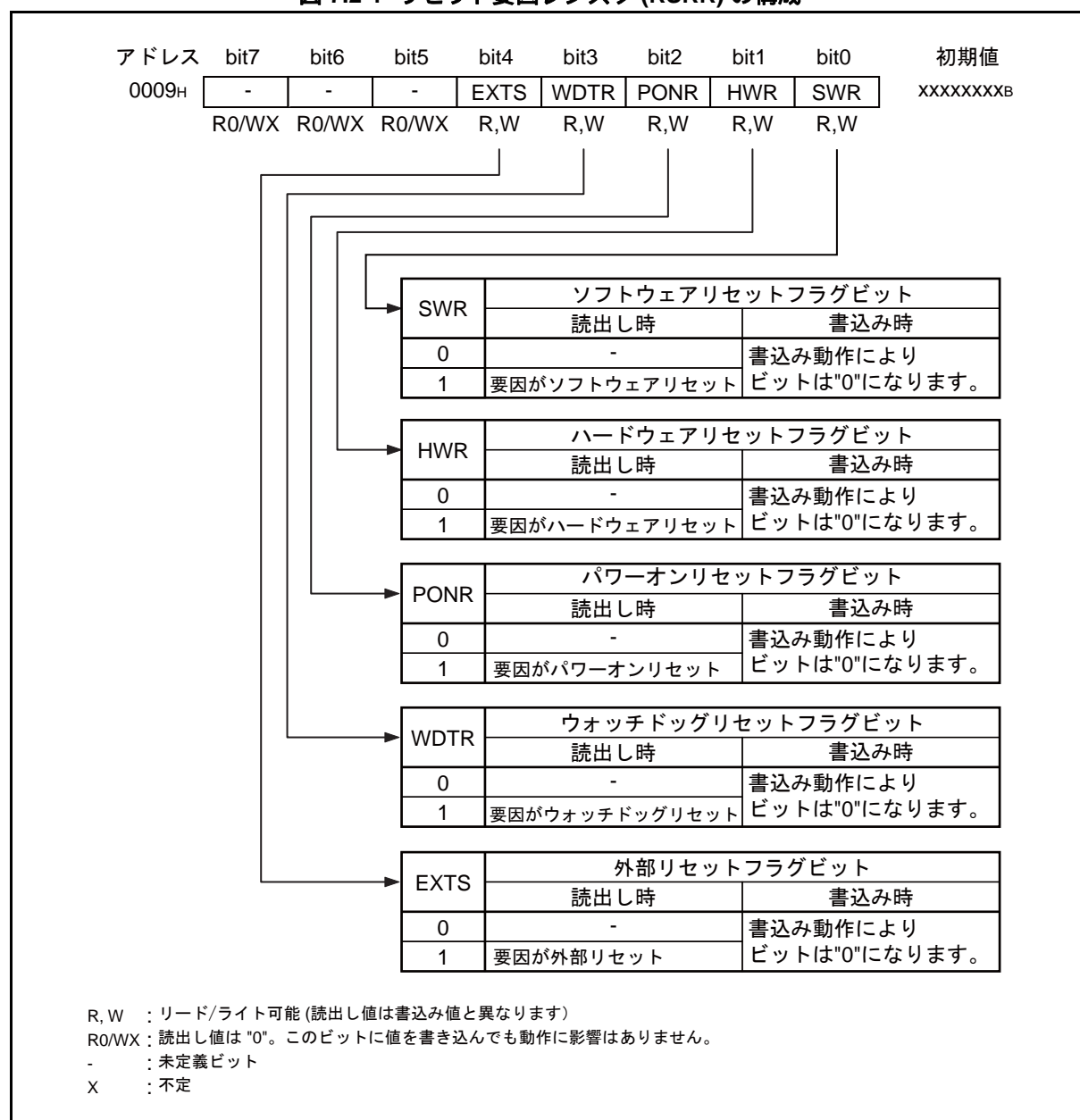


表 7.2-1 リセット要因レジスタ (RSRR) の各ビットの機能説明

ビット名		機能
bit7 ~ bit5	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。
bit4	EXTS: 外部リセットフラグ ビット	このビットが "1" になると、外部リセットが発生したことを示します。 それ以外では、リセット発生前の値を保持します。 ・ 読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。
bit3	WDTR: ウォッチドッグリ セットフラグビット	このビットが "1" になると、ウォッチドッグリセットが発生したことを示します。 それ以外では、リセット発生前の値を保持します。 ・ 読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。
bit2	PONR: パワーオンリセット フラグビット	このビットが "1" になると、パワーオンリセット / 低電圧検出リセット (オプ ション) が発生したことを示します。 それ以外では、リセット発生前の値を保持します。 ・ 低電圧検出リセット機能のありなしは品種の選択により決定します。 ・ 読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。
bit1	HWR: ハードウェアリセッ トフラグビット	このビットが "1" になると、ソフトウェアリセット以外のリセットが発生し たことを示します。したがって、bit2 ~ bit5 のいずれかのビットが "1" にな ると、このビットも "1" になります。 それ以外では、リセット発生前の値を保持します。 ・ 読出し動作または書込み動作 (0 または 1) により、ビットは "0" になります。
bit0	SWR: ソフトウェアリセッ トフラグビット	このビットが "1" になると、ソフトウェアリセットが発生したことを示しま す。 それ以外では、リセット発生前の値を保持します。 ・ 読出し動作、書込み動作 (0 または 1) またはパワーオンリセットにより、 ビットは "0" になります。

< 注意事項 >

リセット要因レジスタを読み出すとその内容がクリアされてしまうため、レジスタの内容を演算に使用する前に RAM に保存してください。

■ リセット要因レジスタ (RSRR) の状態

表 7.2-2 リセット要因レジスタの状態

リセット要因	—	—	EXTS	WDTR	PONR	HWR	SWR
パワーオンリセット / 低電圧検出 リセット (オプション)	—	—	×	×	1	1	0
ソフトウェアリセット	—	—	△	△	△	△	1
ウォッチドッグリセット	—	—	△	1	△	1	△
外部リセット	—	—	1	△	△	1	△

1: フラグセット

△: 前の状態を保持

×: 不定

EXTS: このビットが "1" に設定されたときには、外部リセットが発生したことを示しています。

WDTR: このビットが "1" に設定されたときには、ウォッチドッグリセットが発生したことを示しています。

PONR: このビットが "1" に設定されたときには、パワーオンリセットまたは低電圧検出リセット (オプション) が発生したことを示しています。

HWR: このビットが "1" に設定されたときには、外部リセット、ウォッチドッグリセット、パワーオンリセット、低電圧検出リセット (オプション) のリセットのうちの 1 つが発生したことを示しています。

SWR: このビットが "1" に設定されたときには、ソフトウェアリセットが発生したことを示しています。

7.3 リセット使用上の注意

リセット使用上の注意を示します。

■ リセット使用上の注意

● リセットの要因によるレジスタおよびビットの初期化について

リセットが発生しても、初期化されないレジスタやビットがあります。

- リセット要因の種類により、リセット要因レジスタ(RSRR)のどのビットを初期化するか決定されます。
- クロック制御部の発振安定待ち時間設定レジスタ (WATR) を初期化するには、パワーオンリセットを行います。ほかの方法で初期化することはできません。

第8章

割込み

割込みについて説明します。

8.1 割込み

8.1 割込み

割込みについて説明します。

■ 割込みの概要

F²MC-8FX ファミリには、周辺機能に関連する 24 本の割込み要求入力があり、それぞれ独立に割込みレベルを設定できます。

周辺機能で割込み要求が発生した場合、この割込み要求は割込みコントローラに出力されます。割込みコントローラは、その割込み要求の割込みレベルを判定し、CPU に割込みの発生を伝えます。CPU は割込み受付け状態に従って割込み動作を行います。割込み要求によりデバイスはスタンバイモードから解除され、命令実行を再開します。

■ 周辺機能からの割込み要求

表 8.1-1 に、各周辺機能の割込み要求を示します。CPU が割込み要求を受け付けると、割込み要求に対応する割込みベクタテーブルアドレスを分岐先アドレスとして、割込み処理ルーチンへ分岐します。

各割込み要求の割込み処理優先順位は、割込みレベル設定レジスタ (ILR0 ~ ILR5) により、割込み処理の優先順位を 4 段階に設定することができます。

割込み処理ルーチンで割込みが処理されている間、同一、またはそれ以下のレベルの割込み要求が発生した場合は、現在の割込み処理ルーチンが終了した後に、処理が実行されます。また、複数の割込み要求が同一割込みレベルに設定された場合、IRQ00 が最優先順位になります。

表 8.1-1 割り込み要求と割り込みベクタ

割り込み要求	ベクタテーブルのアドレス		割り込みレベル設定 レジスタのビット 名	同一レベルの割り込み要求の 優先順位 (同時発生時)
	上位	下位		
IRQ00	FFFA _H	FFFB _H	L00 [1:0]	<div>高い</div> <div>↑</div> <div>↓</div> <div>低い</div>
IRQ01	FFF8 _H	FFF9 _H	L01 [1:0]	
IRQ02	FFF6 _H	FFF7 _H	L02 [1:0]	
IRQ03	FFF4 _H	FFF5 _H	L03 [1:0]	
IRQ04	FFF2 _H	FFF3 _H	L04 [1:0]	
IRQ05	FFF0 _H	FFF1 _H	L05 [1:0]	
IRQ06	FFEE _H	FFEF _H	L06 [1:0]	
IRQ07	FFEC _H	FFED _H	L07 [1:0]	
IRQ08	FFEA _H	FFEB _H	L08 [1:0]	
IRQ09	FFE8 _H	FFE9 _H	L09 [1:0]	
IRQ10	FFE6 _H	FFE7 _H	L10 [1:0]	
IRQ11	FFE4 _H	FFE5 _H	L11 [1:0]	
IRQ12	FFE2 _H	FFE3 _H	L12 [1:0]	
IRQ13	FFE0 _H	FFE1 _H	L13 [1:0]	
IRQ14	FFDE _H	FFDF _H	L14 [1:0]	
IRQ15	FFDC _H	FFDD _H	L15 [1:0]	
IRQ16	FFDA _H	FFDB _H	L16 [1:0]	
IRQ17	FFD8 _H	FFD9 _H	L17 [1:0]	
IRQ18	FFD6 _H	FFD7 _H	L18 [1:0]	
IRQ19	FFD4 _H	FFD5 _H	L19 [1:0]	
IRQ20	FFD2 _H	FFD3 _H	L20 [1:0]	
IRQ21	FFD0 _H	FFD1 _H	L21 [1:0]	
IRQ22	FFCE _H	FFCF _H	L22 [1:0]	
IRQ23	FFCC _H	FFCD _H	L23 [1:0]	

割り込み要因については、「付録 B 割り込み要因一覧表」を参照してください。

8.1.1 割り込みレベル設定レジスタ (ILR0 ~ ILR5)

割り込みレベル設定レジスタ (ILR0 ~ ILR5) には、各周辺機能からの割り込み要求に対応した 2 ビットのデータが 24 組が割り当てられています。これら 2 ビットのデータ (割り込みレベル設定ビット) を使用して、割り込み要求の割り込みレベルを設定します。

■ 割り込みレベル設定レジスタ (ILR0 ~ ILR5) の構成

図 8.1-1 割り込みレベル設定レジスタの構成

レジスタ	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
ILR0	00079H	L03	[1:0]	L02	[1:0]	L01	[1:0]	L00	[1:0]	R/W 11111111 _B
ILR1	0007AH	L07	[1:0]	L06	[1:0]	L05	[1:0]	L04	[1:0]	R/W 11111111 _B
ILR2	0007BH	L11	[1:0]	L10	[1:0]	L09	[1:0]	L08	[1:0]	R/W 11111111 _B
ILR3	0007CH	L15	[1:0]	L14	[1:0]	L13	[1:0]	L12	[1:0]	R/W 11111111 _B
ILR4	0007DH	L19	[1:0]	L18	[1:0]	L17	[1:0]	L16	[1:0]	R/W 11111111 _B
ILR5	0007EH	L23	[1:0]	L22	[1:0]	L21	[1:0]	L20	[1:0]	R/W 11111111 _B


割り込みレベル設定レジスタは、各割り込み要求に対し 2 ビットずつのデータを割り当てられています。これらレジスタの割り込みレベル設定ビットの値が、割り込み処理における割り込み要求の優先順位を表します。(割り込みレベル: 0 ~ 3)

割り込みレベル設定ビットは、コンディションコードレジスタの割り込みレベルビット (CCR: IL1, IL0) と比較されます。

割り込み要求の割り込みレベル 3 を設定した場合、CPU は割り込み要求を受け付けません。

表 8.1-2 に、割り込みレベル設定ビットと割り込みレベルとの関係を示します。

表 8.1-2 割り込みレベル設定ビットと割り込みレベルとの関係

LXX[1:0]	割り込みレベル	優先順位
00	0	高い
01	1	
10	2	
11	3	
		低い (割り込みなし)

XX:00 ~ 23 割り込み要求の番号

メインプログラム実行中は、コンディションコードレジスタの割り込みレベルビット (CCR: IL1, IL0) は、"11_B" です。

MB95330H シリーズ

8.1.2 割込み動作時の処理

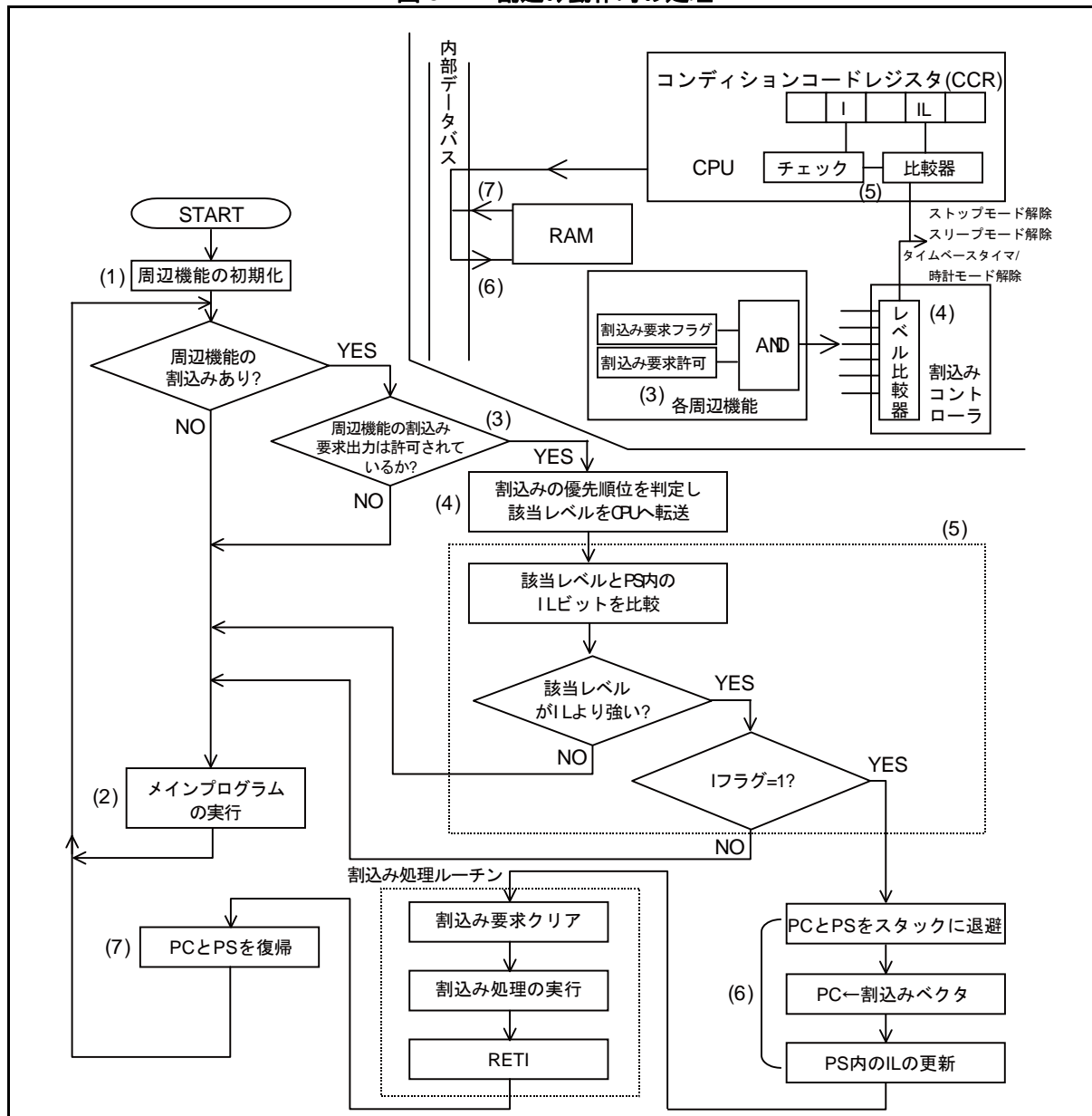
周辺機能により割込み要求が発生すると、割込みコントローラはその割込み要求の割込みレベルを CPU に通知します。CPU が割込みを受け付けられる状態になっていると、現在実行中のプログラムを一時中断し、割込み処理ルーチンを実行します。

■ 割込み動作時の処理

割込み処理の手順は、周辺機能の割込み要因発生、メインプログラムの実行、割込み要求フラグビットの設定、割込み要求許可ビットの判定、割込みレベル (ILR0 ~ ILR5 および CCR:IL1, IL0) の判定、同一割込みレベルの同時要求の確認、割込み許可フラグ (CCR:I) の判定、という順で行われます。

図 8.1-2 に割込み動作時の処理を示します。

図 8.1-2 割り込み動作時の処理



- (1) リセット直後は、すべての割込み要求は禁止状態になっています。周辺機能の初期化プログラムで、割込みを発生する各周辺機能を初期化して、該当する割込みレベル設定レジスタ (ILR0 ~ ILR5) に割込みレベルを設定してから周辺機能を動作させます。割込みレベルは、0, 1, 2, 3 のいずれかを設定できます。レベル 0 が最も優先され、レベル 1 がその次に優先されます。周辺機能にレベル 3 を設定した場合は、該当する周辺機能の割込みは禁止されます。
- (2) メインプログラム (多重割込みの場合は、割込み処理ルーチン) を実行します。
- (3) 周辺機能で割込み要因が発生したとき、周辺機能の割込み要求フラグビットが "1" に設定されます。このとき、周辺機能の割込み要求許可ビットが許可されていると、周辺機能の割込み要求が割込みコントローラへ出力されます。
- (4) 割込みコントローラは、各周辺機能からの割込み要求を常に監視しており、現在発生している割込み要求の割込みレベルの中から、最も優先された割込みレベルを CPU に伝達します。このとき、同一の割込みレベルで同時に要求があった場合の優先順位も、割込みコントローラにて比較されます。
- (5) CPU は受け取った割込みレベルがコンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) に設定されているレベルより優先度が高い (割込みレベル番号が低い) 場合、CPU は割込み許可フラグ (CCR:I) の内容をチェックし、割込み許可 (CCR:I=1) になっていれば割込みを受け付けます。
- (6) CPU は、プログラムカウンタ (PC) およびプログラムステータス (PS) の内容をスタックに退避し、該当する割込みベクタテーブルアドレスから割込み処理ルーチンの先頭アドレスを取り込み、コンディションコードレジスタの割込みレベルビット (CCR:IL1, IL0) の値を受け付けた割込みレベルの値に変更した後、割込み処理ルーチンを実行しはじめます。
- (7) CPU は最後に、RETI 命令を実行し、スタックに退避しておいたプログラムカウンタ (PC) およびプログラムステータス (PS) の値を復帰して、割込みの直前に実行した命令の次の命令から処理を実行します。

< 注意事項 >

周辺機能の割込み要求フラグビットは、割込み要求が受け付けられても自動的に "0" になりません。したがって、割込み処理ルーチンでプログラム (割込み要求ビットフラグビットへの "0" の書込み) を使用して "0" にする必要があります。

低消費電力モード (スタンバイモード) は、割込みによって解除されます。詳細は、「6.8 低消費電力モード (スタンバイモード) の動作」を参照してください。

8.1.3 多重割り込み

周辺機能からの複数の割り込み要求に対し、割り込みレベル設定レジスタ (ILR0 ~ ILR5) に異なる割り込みレベルを設定することにより、多重割り込みを行います。

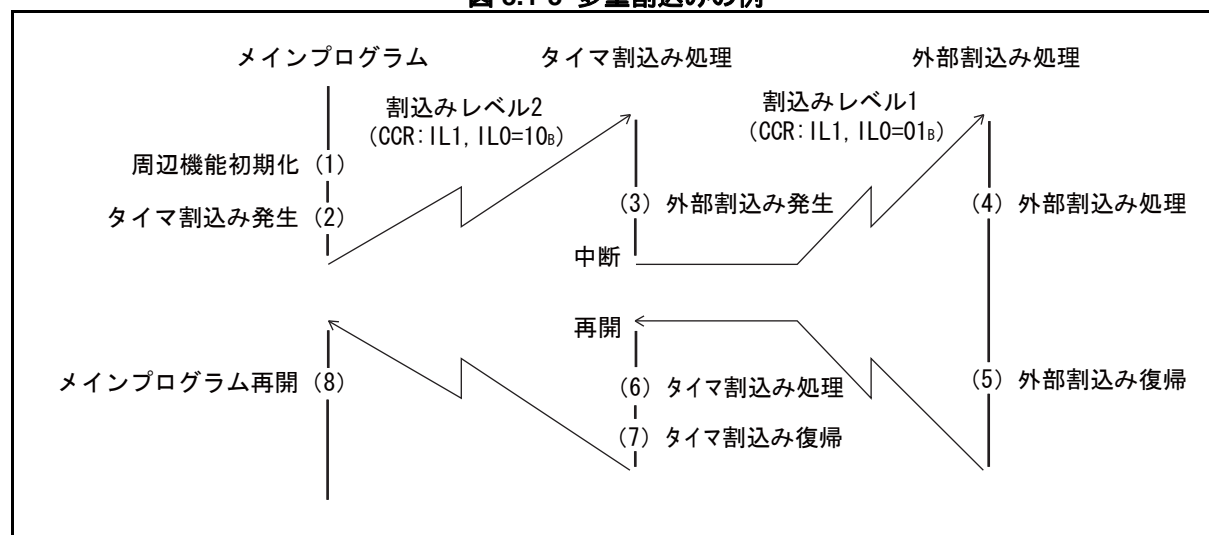
■ 多重割り込み

割り込み処理ルーチン実行中に、優先レベルの高い割り込みレベルに設定された割り込み要求が発生すると、CPU は現在の割り込み処理を中断して、順位の優先される割り込み要求を受け付けます。割り込み要求の割り込みレベルは 0 ~ 3 まで設定できますが、レベル 3 に設定した場合、CPU は割り込み要求を受け付けません。

[例：多重割り込み]

多重割り込み処理の例として、タイマ割り込みより外部割り込みを優先させる場合を想定し、タイマ割り込みのレベルを 2 に、外部割り込みレベルを 1 に設定します。このとき、タイマ割り込み処理中に外部割り込みが発生すると、図 8.1-3 のに示す処理を行います。

図 8.1-3 多重割り込みの例



- タイマ割り込み処理中、コンディションコードレジスタの割り込みレベルビット (CCR: IL1, IL0) は、タイマ割り込みに対応する割り込みレベル設定レジスタ (ILR0 ~ ILR5) の値と同じ値 (上記の例ではレベル 2) になります。このとき、タイマ割り込みの割り込みレベル (上記の例ではレベル 1) より優先されるレベルの割り込み要求が発生すると、その割り込みが先に処理されます。
- タイマ割り込み中に多重割り込みを一時的に禁止したい場合は、コンディションコードレジスタの割り込み許可フラグ (CCR:I) を "0" にするか、または、割り込みレベルビット (CCR:IL1, IL0) を "00_B" にします。
- 割り込み処理の終了後に割り込み復帰命令 (RETI) が実行されると、プログラムカウンタ (PC) およびプログラムステータス (PS) の値が復帰され、CPU は割り込まれたプログラムを実行しはじめます。また、コンディションコードレジスタ (CCR) の値は、プログラムステータス (PS) が復帰されることにより、割り込み前の値となります。

MB95330H シリーズ

8.1.4 割り込み処理時間

割り込み要求の発生後に CPU が割り込み処理ルーチンに移行するまでには、割り込み要求が発生してから実行中の命令が終了するまでの時間と、割り込みハンドリング時間 (割り込み処理準備に要する時間) の合計時間を必要とします。割り込み処理時間は、最大 26 マシンクロック周期となります。

■ 割り込み処理時間

割り込み要求が発生して割り込み処理ルーチンが実行される前に、CPU は、割り込み要求サンプル待ち時間および割り込みハンドリング時間が必要です。

● 割り込み要求サンプル待ち時間

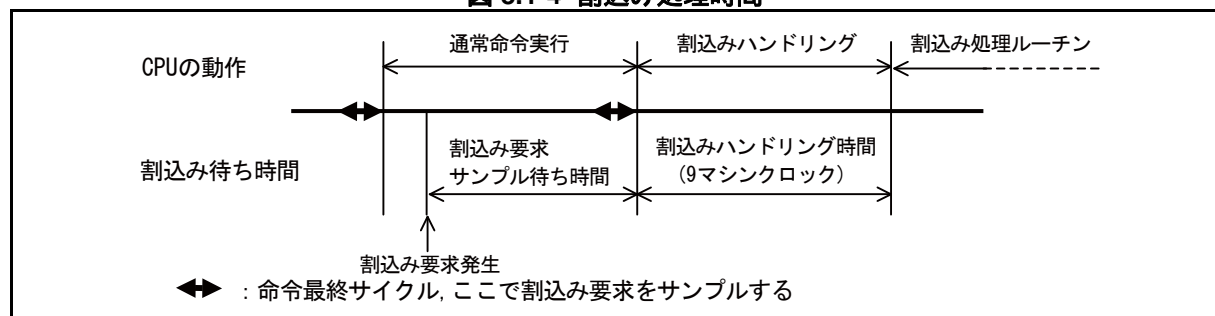
割り込み要求が発生しているかどうかは、各命令の最後のサイクルで割り込み要求をサンプリングして判断します。そのため、CPU は命令実行中には割り込み要求を認識できません。このサンプリング待ち時間は、最も実行サイクルの長い DIVU 命令 (17 マシンクロック周期) の実行開始直後に割り込み要求が発生した場合に最大となります。

● 割り込みハンドリング時間

CPU は割り込みを受け付けた後、以下の割り込み処理準備を行うために、9 マシンクロック周期を必要とします。

- ・ プログラムカウンタ (PC) およびプログラムステータス (PS) の値をスタックに退避する。
- ・ 割り込み処理ルーチンの先頭アドレス (割り込みベクタ) を PC に設定する。
- ・ プログラムステータス (PS) 内の割り込みレベルビット (PS:CCR:IL1, IL0) を更新する。

図 8.1-4 割り込み処理時間



最も実行サイクルの長い DIVU 命令 (17 マシンクロック周期) の実行開始直後に割り込み要求が発生した場合、割り込み処理時間は 26 マシンクロック周期となります。

マシンクロック周期は、クロックモードおよびメインクロック速度の切換え (ギア機能) によって変化します。詳細は、「第 6 章 クロック制御部」を参照してください。

8.1.5 割込み処理時のスタック動作

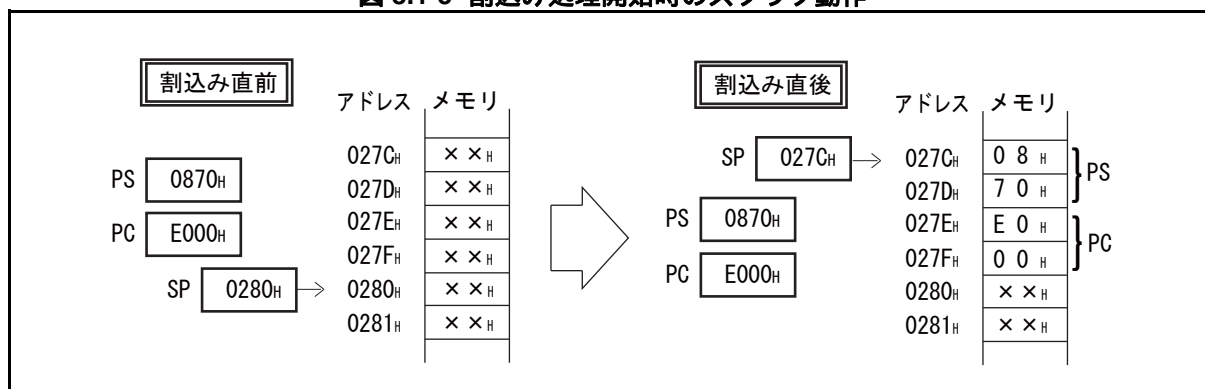
割込み処理時のレジスタ内容の退避および復帰について説明します。

■ 割込み処理開始時のスタック動作

割込みが受け付けられると、CPU は現在のプログラムカウンタ (PC) およびプログラムステータス (PS) の内容を自動的にスタックに退避します。

図 8.1-5 に、割込み処理開始時のスタック動作を説明します。

図 8.1-5 割込み処理開始時のスタック動作



■ 割込みからの復帰時のスタック動作

CPU が割込み処理終了時に割込み復帰命令 (RETI) を実行すると、最初にプログラムステータス (PS) の値、次いでプログラムカウンタ (PC) の値をスタックから復帰させます。復帰するときの順序は 2 つの値をスタックに退避する順序とは逆の順序になります。復帰後、PS および PC は割込み処理開始直前の状態に戻ります。

< 注意事項 >

アキュムレータ (A) の値とテンポラリアキュムレータ (T) の値は自動的にスタックに退避されないため、PUSHW および POPW 命令で A, T の値を退避、復帰させてください。

MB95330H シリーズ

8.1.6 割り込み処理のスタック領域

割り込み処理の実行には、RAM 上のスタック領域を使用します。スタックポインタ (SP) にはスタック領域の先頭アドレスがあります。

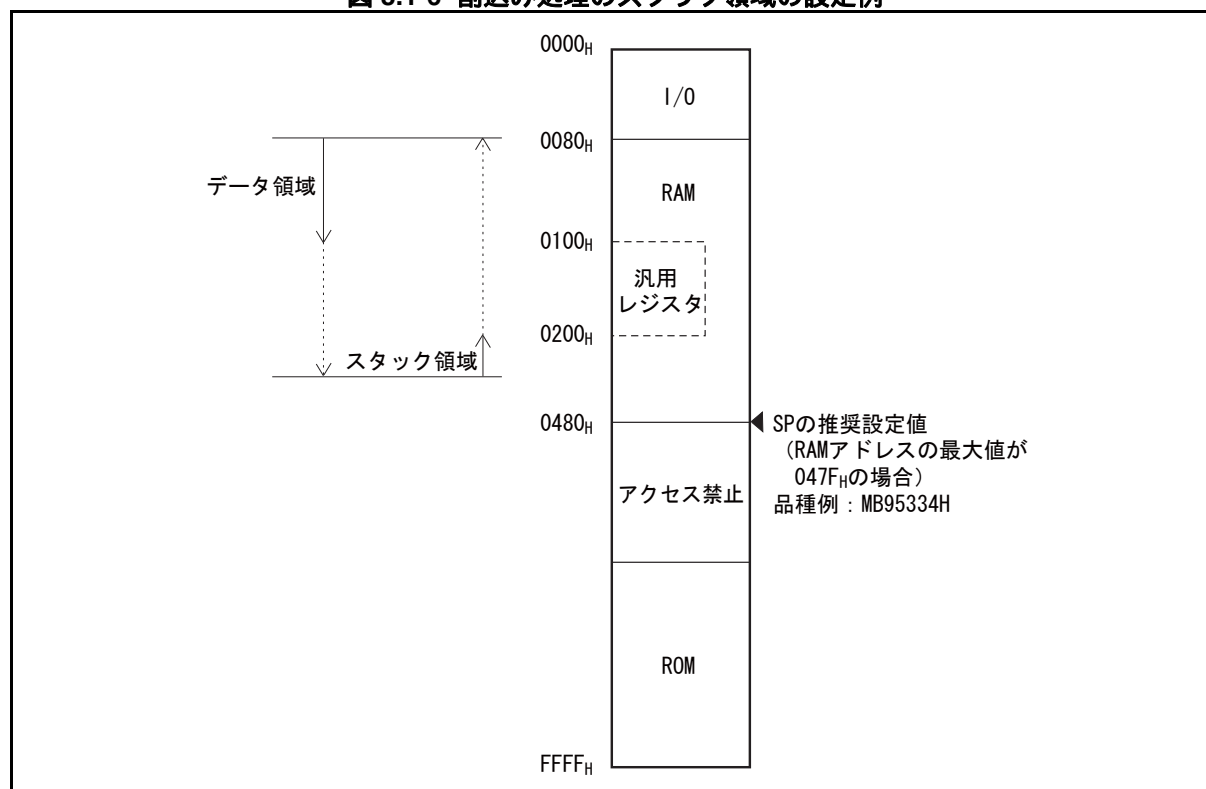
■ 割り込み処理のスタック領域

スタック領域は、サブルーチンコール命令 (CALL) またはベクタコール命令 (CALLV) を実行するときのプログラムカウンタ (PC) の退避や復帰、PUSHW、POPW 命令による一時的なレジスタ類の退避や復帰にも使われます。

- スタック領域は、データ領域とともに RAM 上に確保されます。
- スタックポインタ (SP) は、RAM アドレスの最大値を示すよう初期化し、データ領域は、RAM アドレスの小さい方から配置してください。

図 8.1-6 に、割り込み処理のスタック領域の設定例を説明します。

図 8.1-6 割り込み処理のスタック領域の設定例



< 注意事項 >

スタック領域は、アドレス値の大きいほうから小さい方に向かって割り込み、サブルーチンコール、PUSHW 命令などにより使用されます。領域を開放する場合は、小さい方から大きい方に向かって、復帰命令 (RETI, RET)、POPW 命令などにより開放されます。多重割り込みやサブルーチンコールにより使用されるスタック領域のアドレス値が小さくなった場合、スタック領域をデータ領域や汎用レジスタ領域に重ねないでください。これら 2 つの領域にはほかのデータが保持されています。

第9章

I/O ポート

I/O ポートの機能と動作について説明します。

- 9.1 I/O ポートの概要
- 9.2 ポート 0
- 9.3 ポート 1
- 9.4 ポート 6
- 9.5 ポート F
- 9.6 ポート G

9.1 I/O ポートの概要

I/O ポートは、汎用入出力端子を制御するときに使用します。

■ I/O ポートの概要

I/O ポートは、ポートデータレジスタ (PDR) によって、CPU からデータを出力したり、入力された信号を CPU に取り込んだりする機能があります。また、ポート方向レジスタ (DDR) によって I/O 端子の入出力の方向をビット単位で任意に設定することができます。

表 9.1-1 にポートレジスタ一覧を示します。

表 9.1-1 ポートレジスタ一覧

レジスタ名称		リード / ライト	初期値
ポート 0 データレジスタ	PDR0	R, RM/W	00000000 _B
ポート 0 方向レジスタ	DDR0	R/W	00000000 _B
ポート 1 データレジスタ	PDR1	R, RM/W	00000000 _B
ポート 1 方向レジスタ	DDR1	R/W	00000000 _B
ポート 6 データレジスタ	PDR6	R, RM/W	00000000 _B
ポート 6 方向レジスタ	DDR6	R/W	00000000 _B
ポート F データレジスタ	PDRF	R, RM/W	00000000 _B
ポート F 方向レジスタ	DDRF	R/W	00000000 _B
ポート G データレジスタ	PDRG	R, RM/W	00000000 _B
ポート G 方向レジスタ	DDRG	R/W	00000000 _B
ポート 0 プルアップ制御レジスタ	PUL0	R/W	00000000 _B
ポート 1 プルアップ制御レジスタ	PUL1	R, RM/W	00000000 _B
ポート G プルアップ制御レジスタ	PULG	R/W	00000000 _B
A/D 入力禁止レジスタ (下位)	AIDRL	R/W	00000000 _B
入力レベル選択レジスタ	ILSR	R/W	00000000 _B

R/W: リード / ライト可能 (読出し値は書込み値)

R, RM/W: リード / ライト可能 (読出し値は書込み値と異なります。書込み値は、リードモディファイライト (RMW) 系命令によって、読み出されます。)

MB95330H シリーズ

9.2 ポート 0

ポート 0 は、汎用入出力ポートです。
汎用入出力ポートとしての機能を中心に説明します。
周辺機能の詳細については、それぞれの章を参照してください。

■ ポート 0 の構成

ポート 0 は以下の要素から構成されます。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 0 データレジスタ (PDR0)
- ポート 0 方向レジスタ (DDR0)
- ポート 0 プルアップ制御レジスタ (PUL0)
- A/D 入力禁止レジスタ下位 (AIDRL)
- 入力レベル選択レジスタ (ILSR)

■ ポート 0 の端子

ポート 0 には、8 本の入出力端子があります。

表 9.2-1 にポート 0 の端子を示します。

表 9.2-1 ポート 0 の端子

端子名	機能	兼用周辺機能	入出力形式			
			入力	出力	OD	PU
P00/INT00/ AN00	P00 汎用入出力	INT00 外部割込み入力	ヒステリシス / アナログ	CMOS	-	○
		AN00 アナログ入力				
P01/INT01/ AN01	P01 汎用入出力	INT01 外部割込み入力	ヒステリシス / アナログ	CMOS	-	○
		AN01 アナログ入力				
P02/INT02/ AN02/SCK	P02 汎用入出力	INT02 外部割込み入力	ヒステリシス / アナログ	CMOS	-	○
		AN02 アナログ入力				
		LIN-UART のクロック入出力				
P03/INT03/ AN03/SOT	P03 汎用入出力	INT03 外部割込み入力	ヒステリシス / アナログ	CMOS	-	○
		AN03 アナログ入力				
		LIN-UART のデータ出力				
P04/INT04/ AN04/SIN/ HCLK1 ^{*1} / EC0	P04 汎用入出力	INT04 外部割込み入力	ヒステリシス / CMOS/ アナログ	CMOS	-	○
		AN04 アナログ入力				
		LIN-UART のデータ入力				
		外部クロック入力				
		8/16 ビット複合タイマ ch.0 クロック入力				
P05/INT05/ AN05/ HCLK2 ^{*2} / TO00	P05 汎用入出力	INT05 外部割込み入力	ヒステリシス / アナログ	CMOS	-	○
		AN05 アナログ入力				
		外部クロック入力				
		8/16 ビット複合タイマ ch.0 出力				
P06/INT06/ AN06/TO01	P06 汎用入出力	INT06 外部割込み入力	ヒステリシス / アナログ	CMOS	-	○
		AN06 アナログ入力				
		8/16 ビット複合タイマ ch.1 出力				
P07/INT07/ AN07	P07 汎用入出力	INT07 外部割込み入力	ヒステリシス / アナログ	CMOS	-	○
		AN07 アナログ入力				

OD: オープンドレイン, PU: プルアップ

*1: 外部クロック入力を選択されると (SYSC:EXCK[1:0]=01_B), その他の機能は選択できません。

*2: 外部クロック入力を選択されると (SYSC:EXCK[1:0]=10_B), その他の機能は選択できません。

■ ポート0のブロックダイヤグラム

図 9.2-1 P00 および P01 のブロックダイヤグラム

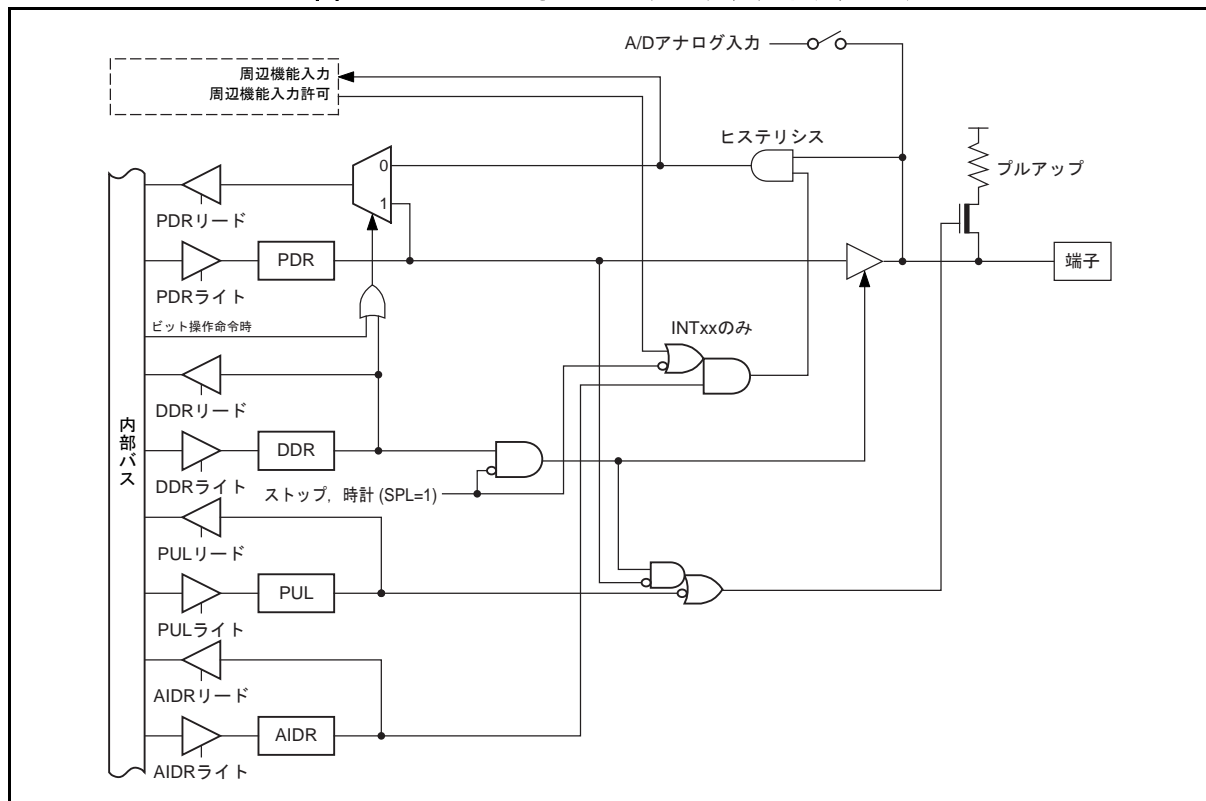


図 9.2-3 P04 のブロックダイアグラム

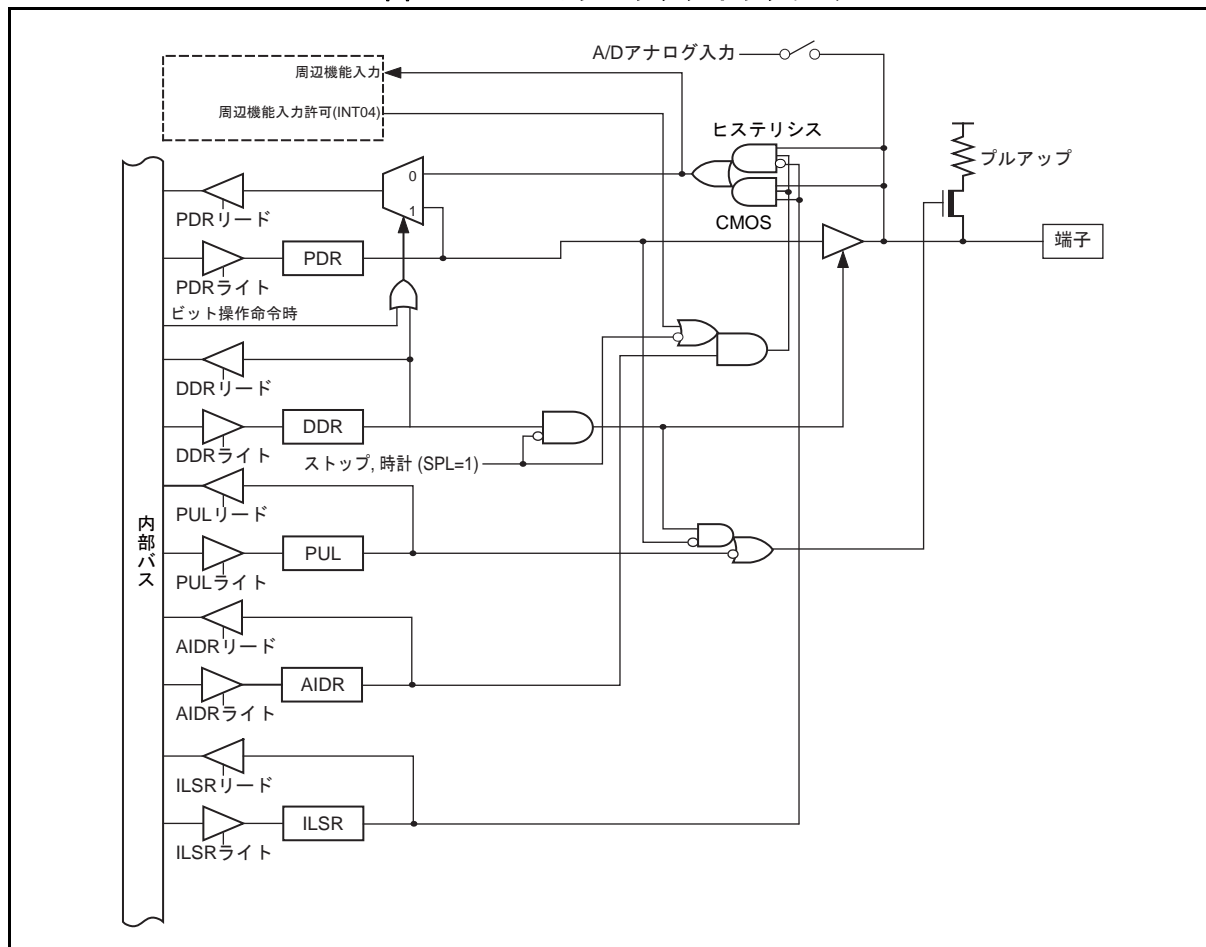
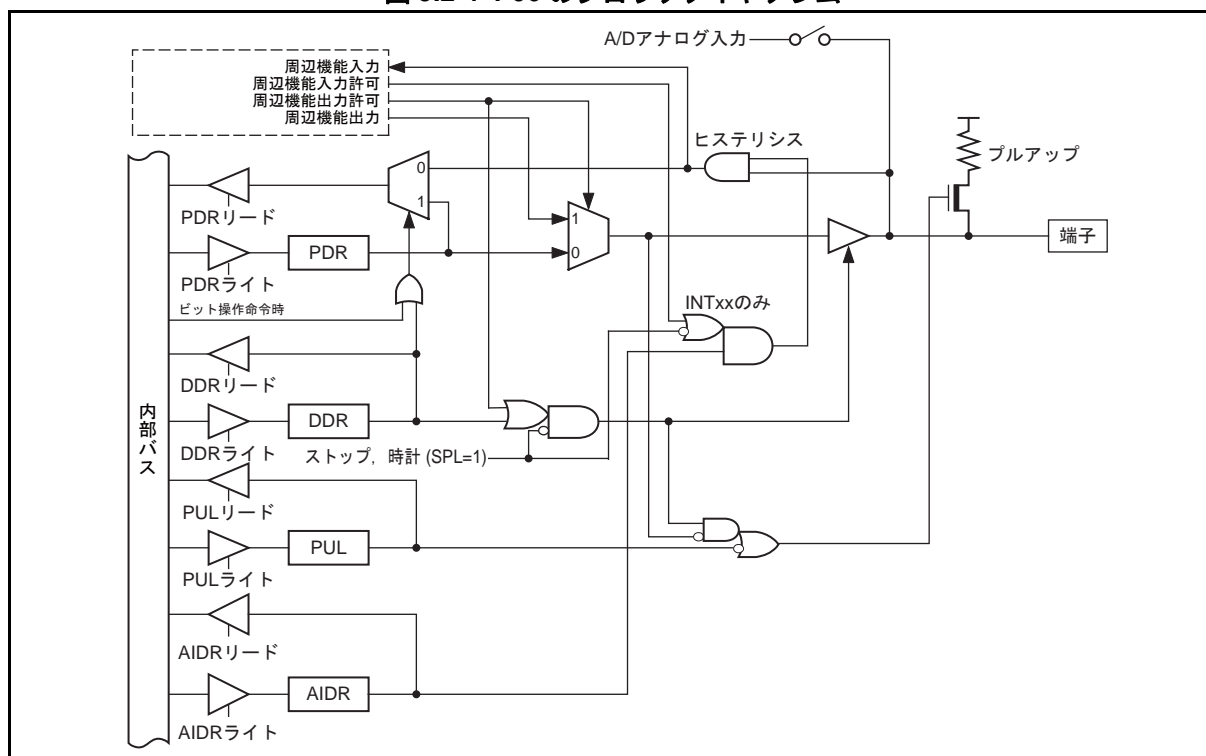


図 9.2-4 P06 のブロックダイアグラム



The diagram illustrates the control logic for the A/D converter. It features an internal bus (内部バス) that interfaces with several control registers: PDR (Programmable Data Register), DDR (Data Direction Register), PUL (Pull-up Register), and AIDR (Analog Input Data Register). Each register has associated read and write signals. The PDR register is controlled by a multiplexer (0/1) that selects between different control signals. The output of the A/D converter is connected to a terminal (端子) through a pull-up resistor (プルアップ). The logic also includes an interrupt signal (INTxxのみ) and a hysteresis (ヒステリシス) signal. The A/D analog input (A/Dアナログ入力) is connected to the A/D converter's input.

MB95330H シリーズ

9.2.1 ポート0のレジスタ

ポート0に関するレジスタについて説明します。

■ ポート0のレジスタの機能

表 9.2-2 に、ポート0のレジスタの機能を示します。

表 9.2-2 ポート0のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読出し	書込み時
PDR0	0	端子状態が "L" レベル	PDR の値が "0"	出力ポート時は, "L" レベルを出力
	1	端子状態が "H" レベル	PDR の値が "1"	出力ポート時は, "H" レベルを出力
DDR0	0	ポート入力許可		
	1	ポート出力許可		
PUL0	0	プルアップ禁止		
	1	プルアップ許可		
AIDRL	0	アナログ入力許可		
	1	ポート入力許可		
ILSR	0	ヒステリシス入力レベル選択		
	1	CMOS 入力レベル選択		

表 9.2-3 に、ポート0の端子と各レジスタビットとの関係を示します。

表 9.2-3 ポート0におけるレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	P07	P06	P05	P04	P03	P02	P01	P00
PDR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR0								
PUL0								
AIDRL								
ILSR	-	-	-	bit4	-	-	-	-

9.2.2 ポート0の動作説明

ポート0の動作について説明します。

■ ポート0の動作

● 出力ポートとしての動作

- 端子に対応するDDRレジスタのビットを"1"に設定すると、その端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、その端子からPDRレジスタの値が外部端子に出力されます。
- PDRレジスタにデータを書き込むと、その値は出力ラッチに保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDRレジスタを読み出すと、PDRレジスタの値が読み出されます。

● 入力ポートとしての動作

- 端子に対応するDDRレジスタのビットを"0"に設定すると、その端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- アナログ入力兼用端子を入力ポートとして使用している時は、A/D入力禁止レジスタ下位(AIDRL)の対応するビットを"1"に設定してください。
- PDRレジスタにデータを書き込むと、その値は出力ラッチに保持されますが、入力ポートとして設定した端子へは出力されません。
- PDRレジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト(RMW)系命令を使って、PDRレジスタを読み出している場合は、PDRレジスタの値を読み出します。

● 周辺機能出力端子としての動作

- 端子に対応する周辺機能に出力許可ビットを設定し、周辺出力機能を許可すると、その端子は、周辺機能出力端子となります。
- 周辺機能出力を許可した場合でも、PDRレジスタによって端子の値を読み出すことができます。したがって、PDRレジスタの読出し動作により、周辺機能の出力値を読み出すことができます。ただし、リードモディファイライト(RMW)系命令を使ってPDRレジスタを読み出す場合には、PDRレジスタの値を読み出します。

● 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応するDDRレジスタのビットを"0"に設定します。
- アナログ入力兼用端子をその他の周辺機能入力端子として使用する場合は、入力ポートの動作と同様に、その端子を入力ポートとして設定してください。
- 周辺機能がその端子を入力端子として使用しているかどうかに関係なく、PDRレジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト(RMW)系命令では、PDRレジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタのすべてのビットが "0" に初期化され、ポート入力が許可された状態になります。アナログ入力と兼用となる端子については、A/D 入力禁止レジスタ下位 (AIDRL) が "0" に初期化されるため、ポート入力は禁止された状態になります。

● ストップモードおよび時計モードの動作

- デバイスがストップモードもしくは時計モードに移行した時点で、スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定されると、DDR レジスタの値に関係なく強制的に端子はハイインピーダンス状態になります。入力開放によるリークを防ぐため入力は、入力は "L" レベルに固定され、遮断されます。ただし、外部割込み (INT07 ~ INT00) による割込み入力が許可されている場合、入力可能になり入力は遮断されません。
- 端子状態設定ビットが "0" の場合は、ポート入出力または周辺機能入出力状態のままになり、出力レベルは維持されます。

● アナログ入力端子としての動作

- アナログ入力端子に対応する DDR レジスタのビットに "0" を、AIDRL レジスタのその端子に対応するビットに "0" を設定してください。
- ほかの周辺機能と兼用されている端子で、それらの周辺機能の出力は禁止されます。PUL レジスタの対応するビットを "0" に設定してください。

● 外部割込み入力端子としての動作

- 外部割込み入力端子に対応する DDR レジスタのビットを "0" に設定します。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子の値は常に外部割込み回路に入力されます。端子を割込み以外の機能に使用する場合は、その端子に対応する外部割込み機能を禁止にします。

● プルアップ制御レジスタの動作

PUL レジスタのビットに "1" を設定すると、プルアップ抵抗は端子に内部接続されます。端子出力が "L" レベルのときは、PUL レジスタの値にかかわらずに、プルアップ抵抗は切断されます。

● 入力レベル選択レジスタの動作

- ILSR レジスタの bit4 を "1" に設定すると、P04 の入力レベルのみが、ヒステリシス入力レベルから、CMOS 入力レベルへ変わります。ILSR レジスタの bit4 を "0" に設定すると、P04 の入力レベルは、ヒステリシス入力レベルとなります。
- P04 以外の端子については、CMOS 入力レベルの選択はできず、ヒステリシス入力レベルのみを選択できます。
- P04 の入力レベルを切り換える場合には、周辺機能 (LIN-UART/外部割込み/8/16ビット複合タイマ ch.0 クロック入力 / 外部クロックの入力) が停止していることを確認してください。

表 9.2-4 に、ポート 0 の端子状態を示します。

表 9.2-4 ポート 0 の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	入出力ポート / 周辺機能入出力	Hi-Z (プルアップの設定は有効) 入力遮断 (外部割込み機能許可の場合、 外部割込み入力可能)	Hi-Z 入力不可 *

SPL : スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z : ハイインピーダンス

* : "入力不可" とは、端子と隣接する入力ゲートの動作が禁止状態にあることを意味します。

MB95330H シリーズ

9.3 ポート1

ポート1は、汎用入出力ポートです。
汎用入出力ポートとしての機能を中心に説明します。
周辺機能の詳細については、それぞれの章を参照ください。

■ ポート1の構成

ポート1は以下の要素から構成されます。

- ・ 汎用入出力端子 / 周辺機能入出力端子
- ・ ポート1 データレジスタ (PDR1)
- ・ ポート1 方向レジスタ (DDR1)
- ・ ポート1 プルアップ制御レジスタ (PUL1)
- ・ 入力レベル選択レジスタ (ILSR)

■ ポート1の端子

ポート1には8本の入出力端子があります。

表 9.3-1 にポート1の端子を示します。

表 9.3-1 ポート1の端子

端子名	機能	兼用周辺機能	入出力形式			
			入力	出力	OD	PU
P10/PPG10	P10 汎用入出力	8/16 ビット PPG ch.1 出力	ヒステリシス	CMOS	-	○
P11/PPG11	P11 汎用入出力	8/16 ビット PPG ch.1 出力	ヒステリシス	CMOS	-	○
P12/DBG/ ECO	P12 汎用入出力	DBG 入力端子	ヒステリシス	CMOS	○	-
		8/16 ビット複合タイマ ch.0 クロック入力				
P13/PPG00	P13 汎用入出力	8/16 ビット PPG ch.0 出力	ヒステリシス	CMOS	-	○
P14/UCK0/ PPG01	P14 汎用入出力	UART/SIO ch.0 クロック入出力	ヒステリシス	CMOS	-	○
		8/16 ビット PPG ch.0 出力				
P15/UO0/ PPG20	P15 汎用入出力	UART/SIO ch.0 データ出力	ヒステリシス	CMOS	-	○
		8/16 ビット PPG ch.2 出力				
P16/UI0/ PPG21	P16 汎用入出力	UART/SIO ch.0 データ入力	ヒステリシス / CMOS	CMOS	-	○
		8/16 ビット PPG ch.2 出力				
P17/TO1/ SN10	P17 汎用入出力	8/16 ビットリロードタイマ ch.1 出力	ヒステリシス	CMOS	-	○
		MPG 波形シーケンサの位置検出機能のトリガ入力				

OD: オープンドレイン, PU: プルアップ

■ ポート1のブロックダイアグラム

図 9.3-1 P10, P11, P13, P15 のブロックダイアグラム

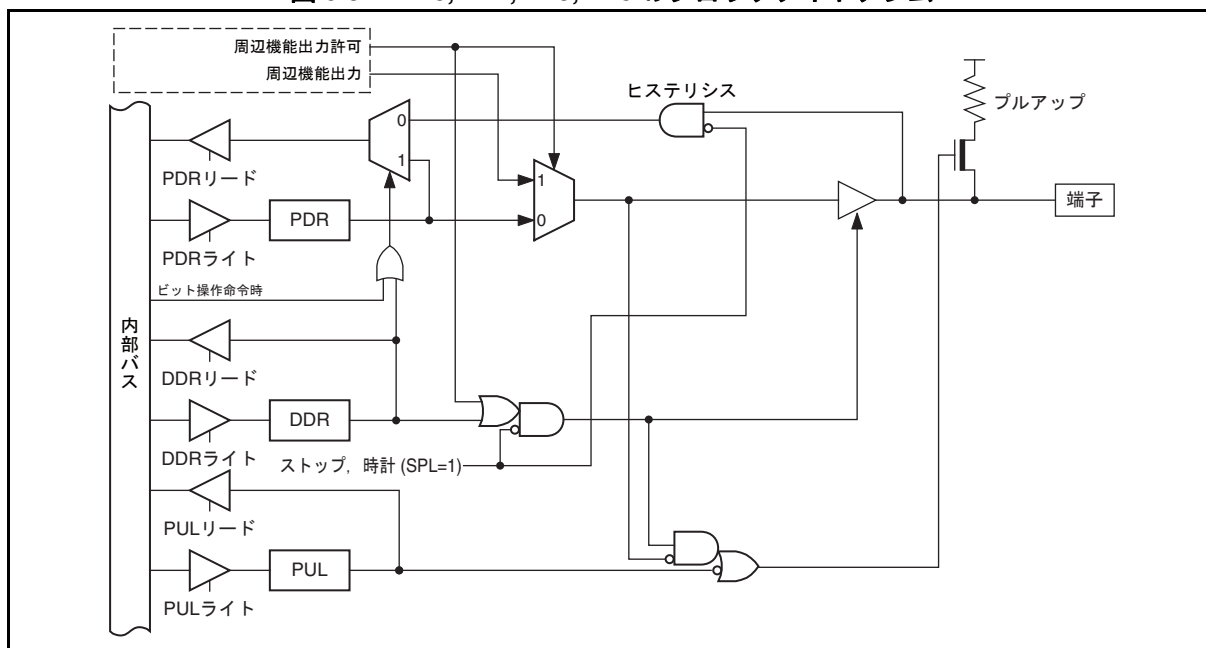
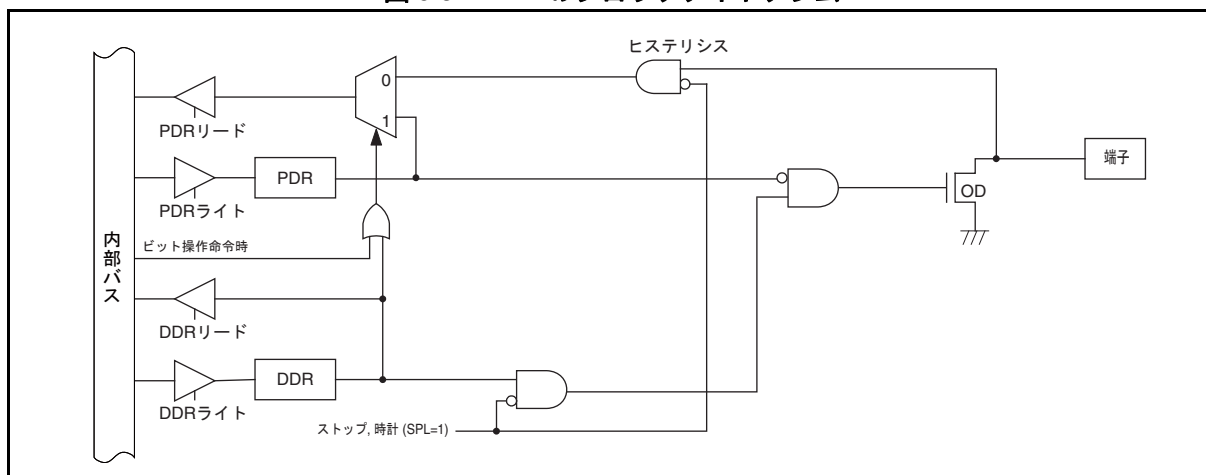


図 9.3-2 P12 のブロックダイアグラム



内部バス

周辺機能入力
周辺機能入力許可
周辺機能出力許可
周辺機能出力

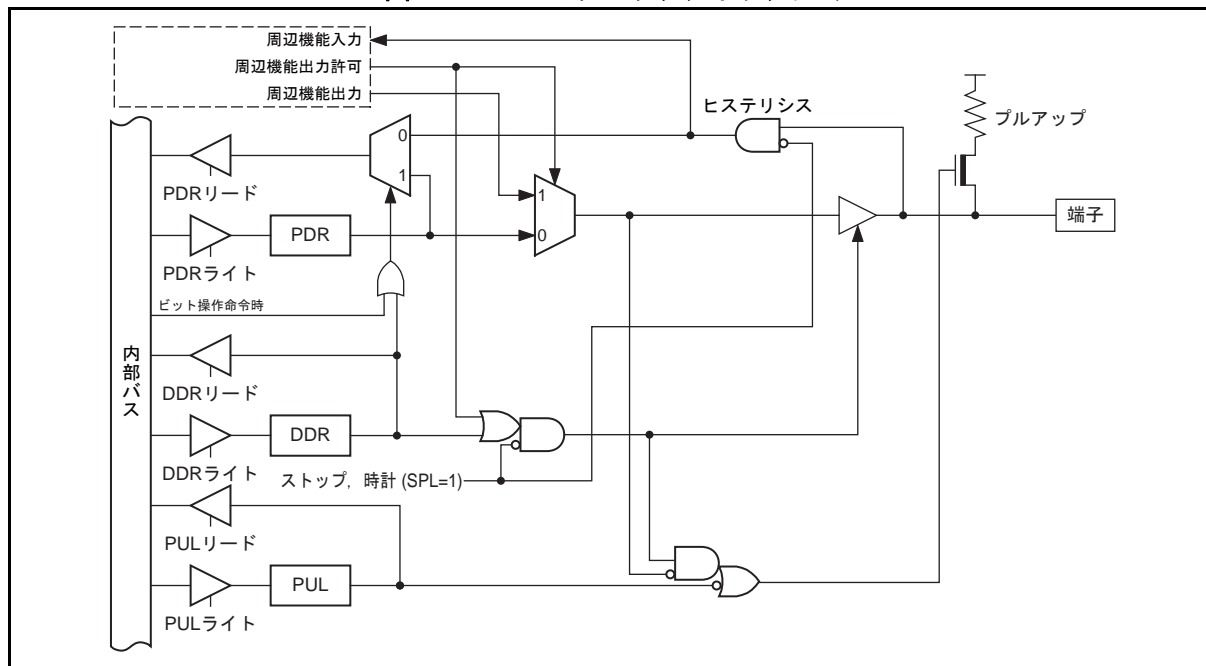
PDRリード
PDR
PDRライト
ビット操作命令時
DDRリード
DDR
DDRライト
ストップ, 時計 (SPL=1)
PULリード
PUL
PULライト

0
1
1
0

プルアップ
端子

Figure 1 is a detailed block diagram of the internal circuit of the 74VHC125. It illustrates the internal logic components and their interconnections. On the left, the '内部バス' (Internal Bus) provides inputs for PDRリード, PDRライト, ビット操作命令時, DDRリード, DDRライト, PULリード, PULライト, ILSRリード, and ILSRライト. These inputs are connected to various internal blocks including PDR, DDR, PUL, and ILSR. The diagram also shows the output driver section, which includes a CMOS output stage and a PULアップ (pull-up) circuit. Control signals like '周辺機能入力' (Peripheral Function Input) and '周辺機能出力' (Peripheral Function Output) are shown at the top. The circuit includes multiple logic gates (AND, OR, NOT) and multiplexers (0, 1) to manage the data flow and control signals. A hysteresis (ヒステリシス) block is also present in the output driver section. The final output is connected to a '端子' (Terminal) through a pull-up resistor.

図 9.3-5 P17 のブロックダイアグラム



MB95330H シリーズ

9.3.1 ポート1のレジスタ

ポート1に関するレジスタについて説明します。

■ ポート1のレジスタの機能

表 9.3-2 にポート1のレジスタの機能を示します。

表 9.3-2 ポート1のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読み出し	書込み時
PDR1	0	端子状態が "L" レベル	PDR の値が "0"	出力ポート時は, "L" レベルを出力
	1	端子状態が "H" レベル	PDR の値が "1"	出力ポート時は, "H" レベルを出力 *
DDR1	0	ポート入力許可		
	1	ポート出力許可		
PUL1	0	プルアップ禁止		
	1	プルアップ許可		
ILSR	0	ヒステリシス入力レベル選択		
	1	CMOS 入力レベル選択		

*: N-ch オープンドレインでは, Hi-Z になります。

表 9.3-3 に, ポート1の端子と各レジスタのビットとの関係を示します。

表 9.3-3 ポート1におけるレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	P17	P16	P15	P14	P13	P12	P11	P10
PDR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR1								
PUL1	bit7	bit6	bit5	bit4	bit3	bit2*	bit1	bit0
ILSR	-	bit3	-	-	-	-	-	-

*: P12 にはプルアップ機能はありませんが, PUL1 レジスタの bit2 にアクセスできます。
PUL1 レジスタの bit2 設定は, ポート P12 の動作に影響しません。

9.3.2 ポート 1 の動作説明

ポート 1 の動作について説明します。

■ ポート 1 の動作

● 出力ポートとしての動作

- 端子に対応する DDR レジスタのビットを "1" に設定すると、端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、PDR レジスタの値が外部端子に出力されます。
- PDR レジスタにデータを書き込むと、その値は出力ラッチに保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDR レジスタを読み出すと、PDR レジスタの値が読み出せます。

● 入力ポートとしての動作

- 端子に対応する DDR レジスタのビットを "0" に設定すると、その端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- PDR レジスタにデータを書き込むと、その値が出力ラッチに保持されますが、入力ポートとして設定した端子へは出力されません。
- PDR レジスタを読み出すと、端子の値が読み出されます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR レジスタを読み出している場合は、PDR レジスタの値を読み出します。

● 周辺機能出力端子としての動作

- 端子に対応する周辺機能に出力許可ビットを設定し、周辺出力機能を許可すると、その端子は、周辺機能出力端子となります。
- 周辺機能の出力を許可した場合でも、PDR レジスタから端子の値を読み出すことができます。したがって、PDR レジスタの読出し動作により、周辺機能の出力値を読み出すことができます。ただし、リードモディファイライト (RMW) 系命令を使用して PDR レジスタを読み出す場合には、PDR レジスタの値を読み出します。

● 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応する DDR レジスタのビットを "0" に設定します。
- 周辺機能が入力端子として使用しているかどうかに関係なく、PDR レジスタを読み出すと端子の値が読み出せます。ただし、リードモディファイライト (RMW) 系命令では、PDR レジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタのすべてのビットが "0" に初期化され、ポート入力が許可されます。

● ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL) が "1" に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDR レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するため "L" レベルに固定され、遮断されます。ただし、外部割込み回路の外部割込み制御レジスタ (EIC) と割込み端子選択回路の割込み端子選択制御レジスタ (WICR) による P14/UCK0/PPG01 と P16/UI0/PPG21 の割込み入力が許可されている場合、入力可能になり入力は遮断されません。
- 端子状態設定ビットが "0" の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

● 入力レベル選択レジスタの動作

- ILSR レジスタの bit3 を "1" に設定すると、P16 の入力レベルのみが、ヒステリシス入力レベルから、CMOS 入力レベルへ変わります。ILSR レジスタの bit3 を "0" に設定すると、P16 の入力レベルは、ヒステリシス入力レベルとなります。
- P16 以外の端子については、CMOS 入力レベルの選択はできず、ヒステリシス入力レベルのみを選択できます。
- P16 の入力レベルを切り換える場合には、周辺機能 (UART/SIO/PPG) が停止していることを確認してください。

表 9.3-4 に、ポート 1 の端子状態を示します。

表 9.3-4 ポート 1 の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	入出力ポート / 周辺機能入出力	Hi-Z 入力遮断	Hi-Z 入力可能* (ただし、機能しない)

SPL: スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL)

Hi-Z: ハイインピーダンス

*: "入力可能" とは、入力機能が可能な状態であることを意味します。リセット解除後にポートを内部プルアップに設定するか出力端子として設定することを推奨します。

9.4 ポート 6

ポート 6 は、汎用入出力ポートです。
汎用入出力ポートとしての機能を中心に説明します。
周辺機能の詳細については、それぞれの章を参照ください。

■ ポート 6 の構成

ポート 6 は、以下の要素から構成されています。

- 汎用入出力端子 / 周辺機能入出力端子
- ポート 6 データレジスタ (PDR6)
- ポート 6 方向レジスタ (DDR6)
- 入力レベル選択レジスタ (ILSR)

■ ポート 6 の端子

ポート 6 には、8 本の入出力端子があります。

表 9.4-1 にポート 6 の端子を示します。

表 9.4-1 ポート 6 の端子 (1 / 2)

端子名	機能	兼用周辺機能	入出力形式			
			入力	出力	OD	PU
P60/INT08/ SDA/DTT1	P60 汎用入出力 I/O	INT08 外部割込み入力	ヒステリシス / CMOS	CMOS	○	-
		I ² C データ入出力				
		MPG 波形シーケンサ入力				
P61/INT09/ SCL/T11	P61 汎用入出力 I/O	INT09 外部割込み入力	ヒステリシス / CMOS	CMOS	○	-
		I ² C クロック入出力				
		16 ビットリロードタイマ ch.1 入力				
P62/TO10/ PPG00/ OPT0	P62 汎用入出力 I/O	高電流出力ポート	ヒステリシス	CMOS	-	-
		8/16 ビット複合タイマ ch.1 出力				
		8/16 ビット PPG ch.0 出力				
		MPG 波形シーケンサ出力				
P63/TO11/ PPG01/ OPT1	P63 汎用入出力 I/O	高電流出力ポート	ヒステリシス	CMOS	-	-
		8/16 ビット複合タイマ ch.1 出力				
		8/16 ビット PPG ch.0 出力				
		MPG 波形シーケンサ出力				
P64/EC1/ PPG10/ OPT2	P64 汎用入出力 I/O	高電流出力ポート	ヒステリシス	CMOS	-	-
		8/16 ビット複合タイマ ch.1 クロック入力				
		8/16 ビット PPG ch.1 出力				
		MPG 波形シーケンサ出力				
P65/PPG11/ OPT3	P65 汎用入出力 I/O	高電流出力ポート	ヒステリシス	CMOS	-	-
		8/16 ビット PPG ch.1 出力				
		MPG 波形シーケンサ出力				

MB95330H シリーズ

表 9.4-1 ポート6の端子 (2 / 2)

端子名	機能	兼用周辺機能	入出力形式			
			入力	出力	OD	PU
P66/PPG20/ PPG1/OPT4	P66 汎用入出力 I/O	高電流出力ポート	ヒステリシス	CMOS	-	-
		8/16 ビット PPG ch.2 出力				
		16 ビット PPG ch.1 出力				
		MPG 波形シーケンサ出力				
P67/PPG21/ TRG1/OPT5	P67 汎用入出力 I/O	高電流出力ポート	ヒステリシス	CMOS	-	-
		8/16 ビット PPG ch.2 出力				
		16 ビット PPG ch.1 トリガ入力				
		MPG 波形シーケンサ出力				

OD: オープンドレイン, PU: プルアップ

■ ポート6のブロックダイアグラム

図 9.4-1 P60 および P61 のブロックダイアグラム

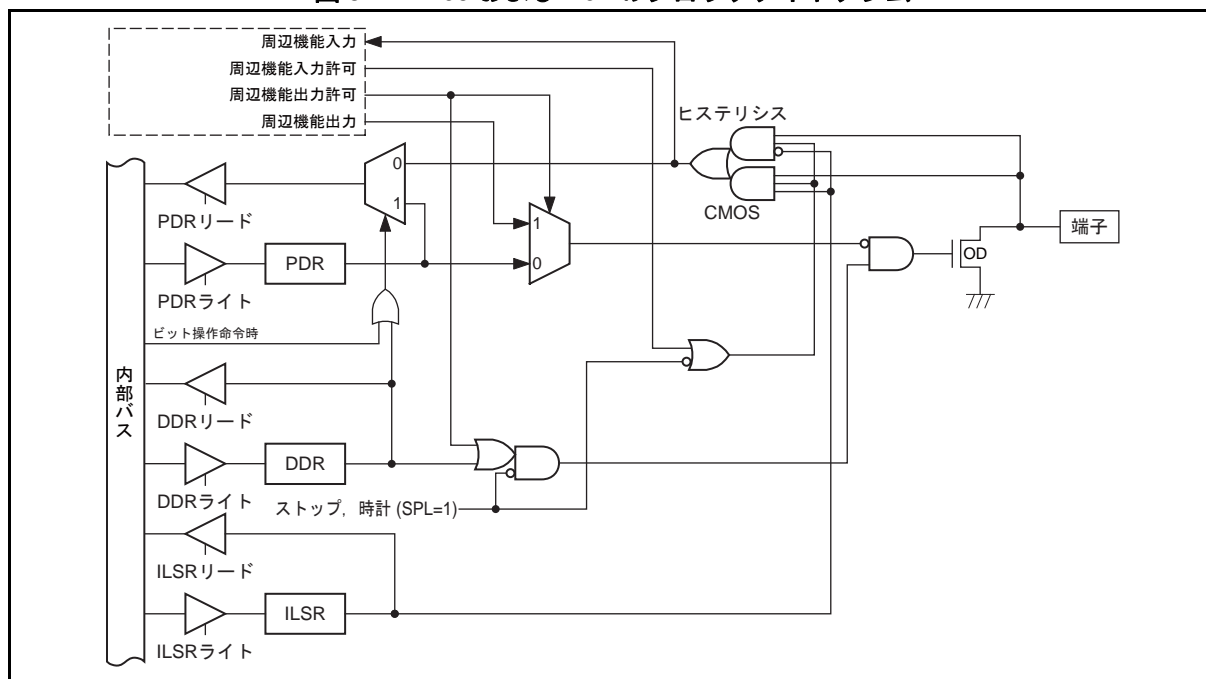


図 9.4-2 P62, P63, P65, および P66 のブロックダイアグラム

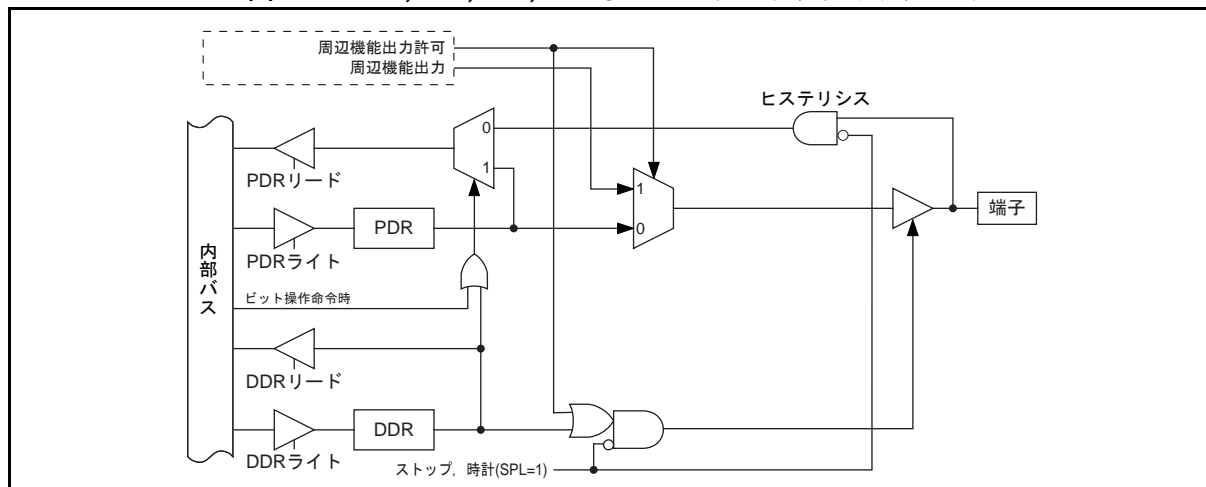
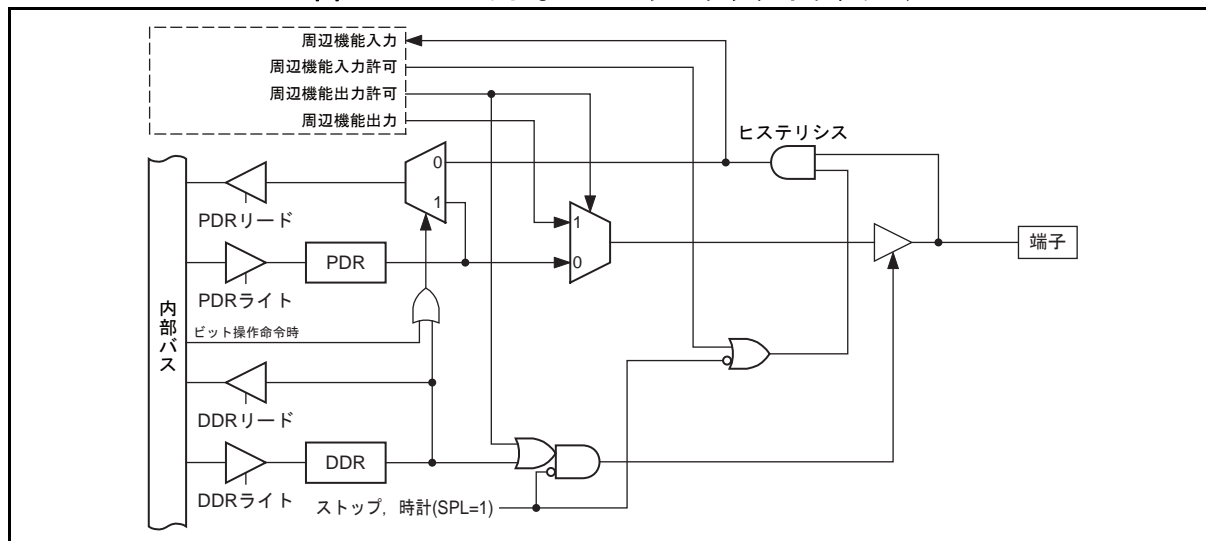


図 9.4-3 P64 および P67 のブロックダイアグラム



9.4.1 ポート 6 のレジスタ

ポート 6 に関するレジスタについて説明します。

■ ポート 6 のレジスタの機能

表 9.4-2 にポート 6 のレジスタの機能を示します。

表 9.4-2 ポート 6 のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読み出し	書込み時
PDR6	0	端子状態が "L" レベル	PDR の値が "0"	出力ポート時は, "L" レベルを出力
	1	端子状態が "H" レベル	PDR の値が "1"	出力ポート時は, "H" レベルを出力 *
DDR6	0	ポート入力許可		
	1	ポート出力許可		
ILSR	0	ヒステリシス入力レベル選択		
	1	CMOS 入力レベル選択		

*: N-ch オープンドレインでは, Hi-Z になります。

表 9.4-3 に, ポート 6 端子と各レジスタのビットの関係を示します。

表 9.4-3 ポート 6 におけるレジスタと端子との関係

	関連するレジスタビットと端子との関係							
端子名	P67	P66	P65	P64	P63	P62	P61	P60
PDR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DDR6								
ILSR	-	-	-	-	-	-	bit1	bit0

MB95330H シリーズ

9.4.2 ポート6の動作説明

ポート6の動作について説明します。

■ ポート6の動作

● 出力ポートとしての動作

- 端子に対応するDDRレジスタのビットを"1"に設定すると、その端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、PDRレジスタの値が外部端子に出力されます。
- PDRレジスタにデータを書き込むと、その値は出力ラッチに保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDRレジスタを読み出すと、PDRの値が読み出せます。

● 入力ポートとしての動作

- 端子に対応するDDRレジスタのビットを"0"に設定すると、その端子は入力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- PDRレジスタにデータを書き込むと、その値が出力ラッチに保持されますが、入力ポートとして設定した端子へは出力されません。
- PDRレジスタを読み出すと、端子の値が読み出せます。ただし、リードモディファイライト(RMW)系命令を使用してPDRレジスタを読み出している場合は、PDRレジスタの値を読み出します。

● 周辺機能出力端子としての動作

- 端子に対応する周辺機能に出力許可ビットを設定し、周辺出力機能を許可すると、その端子は、周辺機能出力端子となります。
- 周辺機能の出力を許可した場合でも、PDRレジスタから端子の値を読み出すことができます。したがって、PDRレジスタの読出し動作により、周辺機能の出力値を読み出すことができます。ただし、リードモディファイライト(RMW)系命令を使用してPDRレジスタを読み出す場合には、PDRレジスタの値を読み出します。

● 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応するDDRレジスタのビットを"0"に設定します。
- 周辺機能が入力端子として使用しているかどうかに関係なく、PDRレジスタを読み出すと端子の値が読み出されます。ただし、リードモディファイライト(RMW)系命令では、PDRレジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタのすべてのビットが "0" に初期化され、ポート入力が許可された状態になります。

● ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDR レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するため "L" レベルに固定され、遮断されます。ただし、外部割込み回路の外部割込み制御レジスタ (EIC) と割込み端子選択回路の割込み端子選択制御レジスタ (WICR) による P60/INT08/SDA/DTTI, P61/INT09/SCL/TI1, OPT2/PPG10/EC1/P64, OPT5/PPG21/TRG1/P67 割込み入力が許可されている場合、入力可能になり入力は遮断されません。
- 端子状態設定ビットが "0" の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

● 入力レベル選択レジスタの動作

- ILSR レジスタの bit0, bit1 を "1" に設定すると、P60/61 の入力レベルのみが、ヒステリシス入力レベルから、CMOS 入力レベルへ変わります。ILSR レジスタの bit0, bit1 を "0" に設定すると、P60/61 の入力レベルは、ヒステリシス入力レベルとなります。
- P60/61 以外の端子については、CMOS 入力レベルの選択はできず、ヒステリシス入力レベルのみを選択できます。
- P60/61 の入力レベルを切り換える場合には、周辺機能 (外部割込み I²C/MPG/16 ビットリロ - ドタイマ) が停止していることを確認してください。

表 9.4-4 に、ポート6の端子状態を示します。

表 9.4-4 ポート6の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	I/O ポート / 周辺機能 入出力	Hi-Z 入力遮断	Hi-Z 入力可能 * (ただし、機能しない)

SPL: スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL)

Hi-Z: ハイインピーダンス

*: "入力可能" とは、入力機能が可能な状態であることを意味します。リセット解除後にポートを内部プルアップに設定するか出力端子として設定することを推奨します。

MB95330H シリーズ

9.5 ポート F

ポート F は、汎用入出力ポートです。
汎用入出力ポートとしての機能を中心に説明します。
周辺機能の詳細については、それぞれの章を参照ください。

■ ポート F の構成

- ポート F は、以下の要素から構成されます。
- 汎用入出力端子 / 周辺機能入出力端子
 - ポート F データレジスタ (PDRF)
 - ポート F 方向レジスタ (DDRF)

■ ポート F の端子

ポート F には、3 本の入出力端子があります。
表 9.5-1 に、ポート F の端子を示します。

表 9.5-1 ポート F の端子

端子名	機能	兼用周辺機能	入出力形式			
			入力	出力	OD	PU
PF0/X0*1	PF0 汎用入出力	メインクロック用入力発振端子	ヒステリシス	CMOS	-	-
PF1/X1*1	PF1 汎用入出力	メインクロック用入力発振端子	ヒステリシス	CMOS	-	-
PF2/ $\overline{\text{RST}}$ *2	PF2 汎用入出力	外部リセット端子	ヒステリシス	CMOS	○	-

OD : オープンドレイン , PU: プルアップ

*1 : メイン発振クロック入力を選択された場合 (SYSC:PFSEL=0), ポート機能は使用できません。

*2 : 外部リセットが選択された場合 (SYSC:RSTEN=1), ポート機能は使用できません。
この端子は、MB95F332H/F333H/F334H の専用リセット端子です。

■ ポート F のブロックダイヤグラム

図 9.5-1 PF0 および PF1 のブロックダイヤグラム

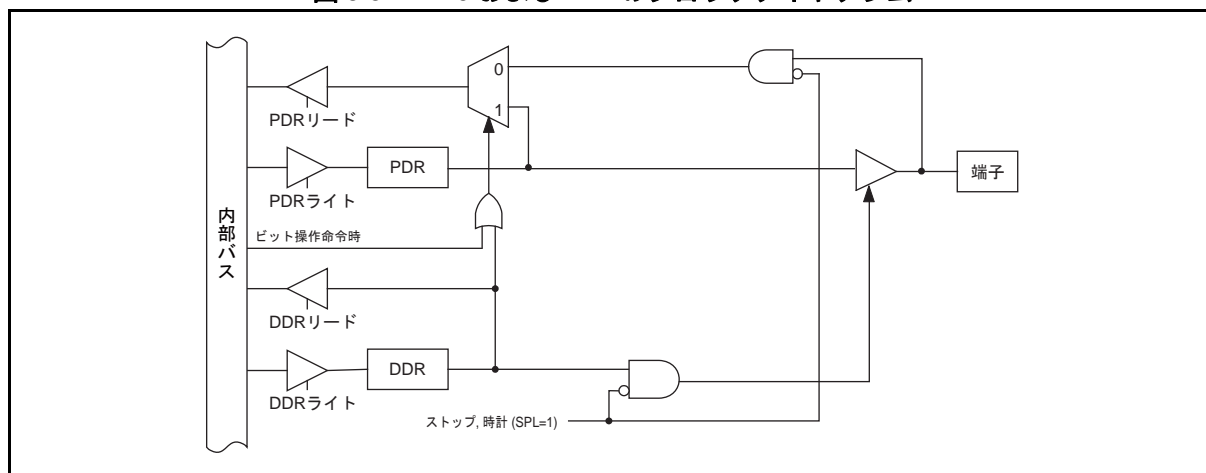
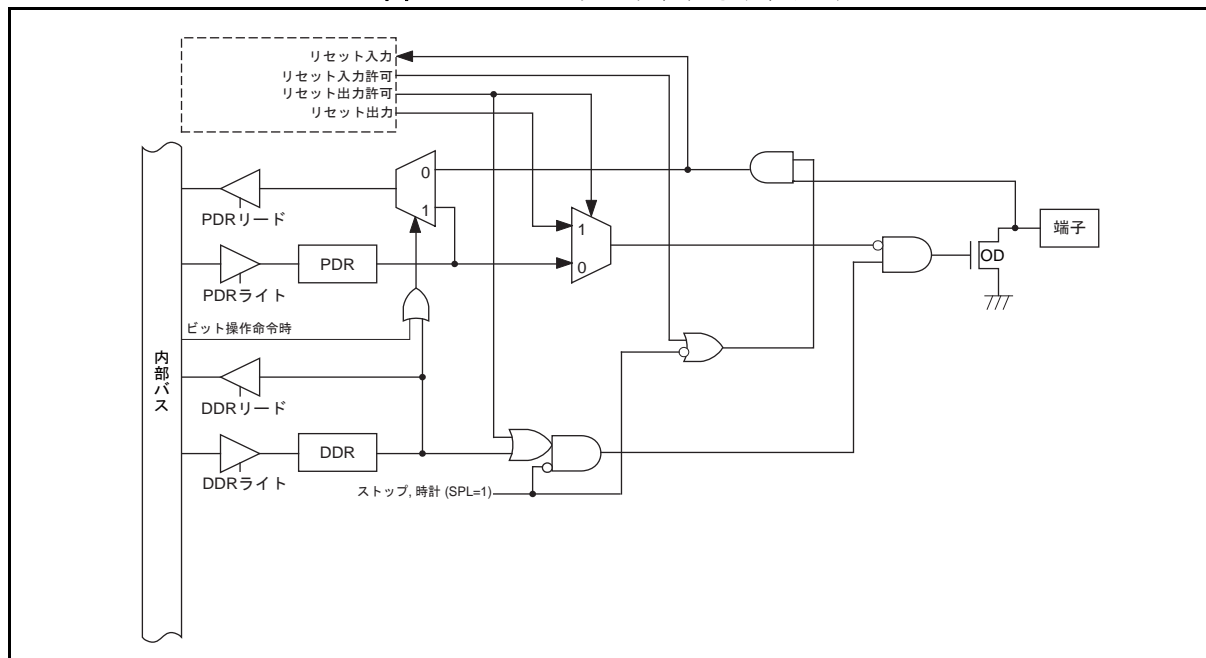


図 9.5-2 PF2 のブロックダイヤグラム



MB95330H シリーズ
9.5.1 ポートFのレジスタ

ポートFに関するレジスタについて説明します。

■ ポートFのレジスタの機能

表 9.5-2 にポートFのレジスタの機能を示します。

表 9.5-2 ポートFのレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読み出し	書込み時
PDRF	0	端子状態が "L" レベル	PDR の値が "0"	出力ポート時は, "L" レベルを出力
	1	端子状態が "H" レベル	PDR の値が "1"	出力ポート時は, "H" レベルを出力 *
DDRF	0	ポート入力許可		
	1	ポート出力許可		

*: N-ch オープンドレインでは, Hi-Z になります。

表 9.5-3 に, ポートFの端子と各レジスタのビットとの関係を示します。

表 9.5-3 ポートFでのレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	-	-	-	-	-	PF2*	PF1	PF0
PDRF	-	-	-	-	-	bit2	bit1	bit0
DDRF								

*: PF2/ $\overline{\text{RST}}$ は, MB95F332H/F333H/F334H の専用リセット端子です。

9.5.2 ポート F の動作

ポート F の動作について説明します。

■ ポート F の動作

● 出力ポートとしての動作

- 端子に対応する DDR レジスタのビットを "1" に設定すると、端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、PDR レジスタの値が外部端子に出力されます。
- PDR レジスタにデータを書き込むと、出力ラッチにその値が保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDR レジスタを読み出すと、PDR の値が読み出せます。

● 入力ポートとしての動作

- 端子に対応する DDR レジスタのビットを "0" に設定すると、端子は入力ポートになります。
- PDR レジスタにデータを書き込むと、出力ラッチにその値が保持されますが、入力ポートとして設定した端子へは出力されません。
- PDR レジスタを読み出すと、端子の値が読み出せます。ただし、リードモディファイライト (RMW) 系命令では、PDR レジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDR レジスタのすべてのビットが "0" に初期化され、ポート入力が許可された状態になります。

● ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が "1" に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDR レジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するため "L" レベルに固定され、遮断されます。
- 端子状態指定ビットが "0" の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

表 9.5-4 に、ポート F の端子状態を示します。

表 9.5-4 ポート F の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	入出力ポート	Hi-Z 入力遮断	Hi-Z 入力可能 *1 (ただし、機能しない) "L" 出力 *2

SPL: スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL)

Hi-Z: ハイインピーダンス

*1: " 入力可能 " とは、入力機能が可能な状態であることを意味します。リセット解除後にポートを内部プルアップに設定するか出力端子として設定することを推奨します。

*2: パワーオンリセット時の PF2 のみ

9.6 ポート G

ポート G は、汎用入出力ポートです。
汎用入出力ポートとしての機能を中心に説明します。
周辺機能の詳細については、それぞれの章を参照ください。

■ ポート G の構成

ポート G は、以下の要素から構成されます。

- ・ 汎用入出力端子 / 周辺機能入出力端子
- ・ ポート G データレジスタ (PDRG)
- ・ ポート G 方向レジスタ (DDRG)
- ・ ポート G プルアップ制御レジスタ (PULG)

■ ポート G の端子

ポート G には、2 本の入出力端子があります。

表 9.6-1 にポート G の端子を示します。

表 9.6-1 ポート G の端子

端子名	機能	兼用周辺機能	入出力形式			
			入力	出力	OD	PU
PG1/X0A [*] / SNI1	PG1 汎用入出力	サブクロック用発振端子	ヒステリシス	CMOS	-	○
		MPG 波形シーケンサの位置検出機能のトリガ入力				
PG2/X1A [*] / SNI2	PG2 汎用入出力	サブクロック用発振端子	ヒステリシス	CMOS	-	○
		MPG 波形シーケンサの位置検出機能のトリガ入力				

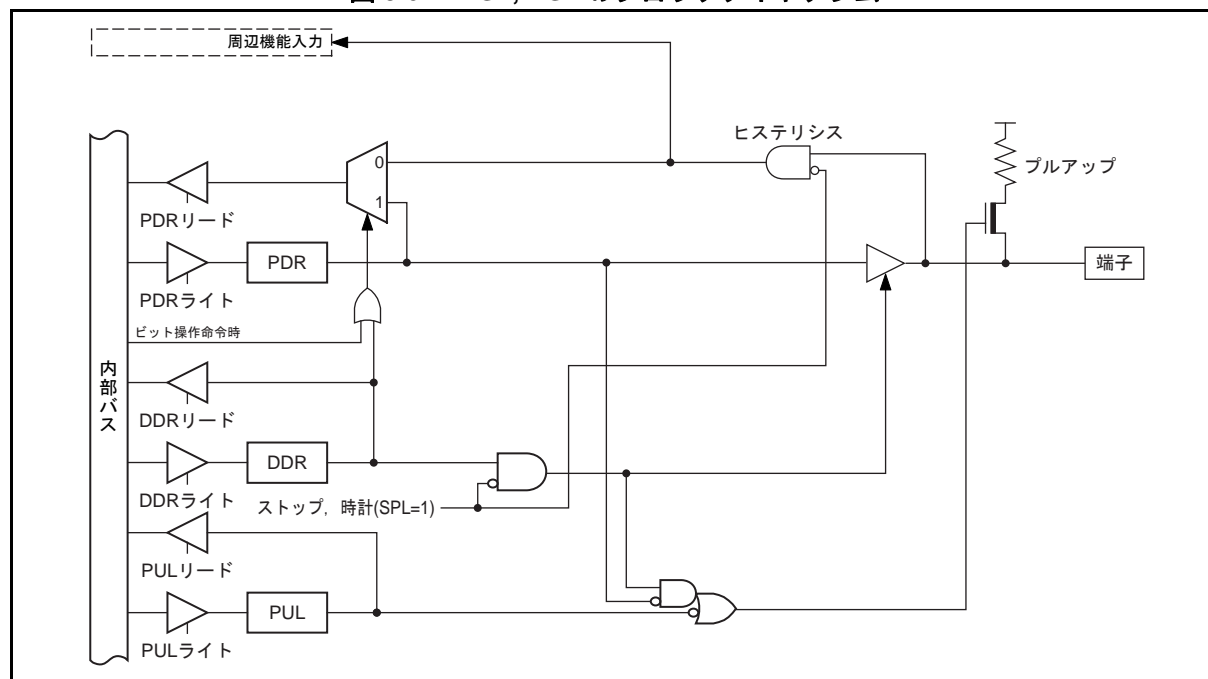
OD: オープンドレイン, PU: プルアップ

*: サブ発振クロックが選択された場合 (SYSC:PGSEL=0), ポート機能は使用できません。

MB95330H シリーズ

■ ポートGのブロックダイヤグラム

図 9.6-1 PG1, PG2 のブロックダイヤグラム



9.6.1 ポート G のレジスタ

ポート G に関するレジスタについて説明します。

■ ポート G のレジスタの機能

表 9.6-2 は、ポート G のレジスタの機能を示します。

表 9.6-2 ポート G のレジスタの機能

レジスタ略称	データ	読出し時	リードモディファイライト (RMW) 系命令による読み出し	書込み時
PDRG	0	端子状態が "L" レベル	PDR の値が "0"	出力ポート時は, "L" レベルを出力
	1	端子状態が "H" レベル	PDR の値が "1"	出力ポート時は, "H" レベルを出力
DDRG	0	ポート入力許可		
	1	ポート出力許可		
PULG	0	ブルアップ禁止		
	1	ブルアップ許可		

表 9.6-3 に、ポート G の端子と各レジスタのビットとの関係を示します。

表 9.6-3 ポート G のレジスタと端子との関係

	関連するレジスタのビットと端子との関係							
端子名	-	-	-	-	-	PG2	PG1	-
PDRG	-	-	-	-	-	bit2	bit1	-
DDRG								
PULG								

MB95330H シリーズ

9.6.2 ポートGの動作説明

ポートGの動作について説明します。

■ ポートGの動作

● 出力ポートとしての動作

- 端子に対応するDDRレジスタのビットを"1"に設定すると、端子は出力ポートになります。
- 端子を兼用する周辺機能においては、その出力を禁止してください。
- 端子が出力ポートとして使用されている時は、PDRレジスタの値が外部端子に出力されます。
- PDRレジスタにデータを書き込むと、出力ラッチにその値が保持され、そのまま出力ポートとして設定した端子へ出力されます。
- PDRレジスタを読み出すと、PDRの値が読み出せます。

● 入力ポートとしての動作

- 端子に対応するDDRレジスタのビットを"0"に設定すると、その端子は入力ポートになります。
- PDRレジスタにデータを書き込むと、出力ラッチにその値が保持されますが、入力ポートとして設定した端子へは出力されません。
- PDRレジスタを読み出すと、端子の値が読み出せます。ただし、リードモディファイライト (RMW) 系命令では、PDRレジスタの値を読み出します。

● 周辺機能入力端子としての動作

- 端子を入力ポートとして設定するには、周辺機能の入力端子に対応するDDRレジスタのビットを"0"に設定します。
- 周辺機能が入力端子として使用しているかどうかに関係なく、PDRレジスタを読み出すと端子の値が読み出せます。ただし、リードモディファイライト (RMW) 系命令では、PDRレジスタの値を読み出します。

● リセット時の動作

CPU がリセットされると、DDRレジスタのすべてのビットが"0"に初期化され、ポート入力が許可された状態になります。

● ストップモードおよび時計モード時の動作

- スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL) が"1"に設定され、デバイスがストップモードもしくは時計モードに移行すると、DDRレジスタの値に関係なく端子は強制的にハイインピーダンスになります。入力開放によるリークを防止するため"L"レベルに固定され、遮断されます。
- 端子状態指定ビットが"0"の場合は、ポート入出力の状態または周辺機能入出力の状態は変更されず、出力レベルは維持されます。

● プルアップ制御レジスタの動作

PUL レジスタのビットに "1" を設定すると、プルアップ抵抗は端子に内部接続されます。端子出力が "L" レベルのときは、PUL レジスタの値にかかわらずに、プルアップ抵抗は切断されます。

表 9.6-4 に、ポート G の端子状態を示します。

表 9.6-4 ポート G の端子状態

動作状態	通常動作 スリープ ストップ (SPL=0) 時計 (SPL=0)	ストップ (SPL=1) 時計 (SPL=1)	リセット時
端子状態	入出力ポート	Hi-Z 入力遮断	Hi-Z 入力可能* (ただし、機能しない)

SPL: スタンバイ制御レジスタの端子状態設定ビット (STBC:SPL)

Hi-Z: ハイインピーダンス

※: "入力可能" とは、入力機能が可能な状態であることを意味します。リセット解除後にポートを内部プルアップに設定するか出力端子として設定することを推奨します。

第10章

タイムベースタイマ

タイムベースタイマの機能と動作について説明します。

- 10.1 タイムベースタイマの概要
- 10.2 タイムベースタイマの構成
- 10.3 タイムベースタイマのレジスタ
- 10.4 タイムベースタイマの割込み
- 10.5 タイムベースタイマの動作説明と設定手順例
- 10.6 タイムベースタイマ使用上の注意

10.1 タイムベースタイマの概要

タイムベースタイマは、メインクロックの 2 分周またはメイン CR クロックに同期してカウントダウンする 24 ビットのフリーランカウンタです。クロックは、SYCC2 レジスタの RCM1 ビットおよび RCM0 ビットによって選択することができます。このタイムベースタイマには、一定のインターバル時間で繰り返し割り込み要求を発生させるインターバルタイマ機能があります。

■ インターバルタイマ機能

インターバルタイマ機能は、メインクロックの 2 分周またはメイン CR クロックをカウンタクロックとして一定のインターバル時間で繰り返し割り込み要求を発生させる機能です。

- タイムベースタイマのカウンタがカウントダウンを行い、選択したインターバル時間が経過するごとに割り込み要求を発生させます。
- インターバル時間の長さは、次の 16 種類の中から選択できます。

表 10.1-1 に、タイムベースタイマのインターバル時間を示します。

表 10.1-1 タイムベースタイマのインターバル時間

	メイン CR クロックを使用した場合の インターバル時間 ($2^n \times 1/F_{CRH}^{*1}$)	メインクロックを使用した場合の インターバル時間 ($2^n \times 2/F_{CH}^{*2}$)
n=9	64 μ s	256 μ s
n=10	128 μ s	512 μ s
n=11	256 μ s	1.024 ms
n=12	512 μ s	2.048 ms
n=13	1.024 ms	4.096 ms
n=14	2.048 ms	8.192 ms
n=15	4.096 ms	16.384 ms
n=16	8.192 ms	32.768 ms
n=17	16.384 ms	65.536 ms
n=18	32.768 ms	131.072 ms
n=19	65.536 ms	262.144 ms
n=20	131.072 ms	524.288 ms
n=21	262.144 ms	1.049 s
n=22	524.288 ms	2.097 s
n=23	1.049 s	4.194 s
n=24	2.097 s	8.389 s

*1: $1/F_{CRH} = 0.125 \mu$ s, $F_{CRH} = 8$ MHz 時

*2: $2/F_{CH} = 0.5 \mu$ s, $F_{CH} = 4$ MHz 時

MB95330H シリーズ

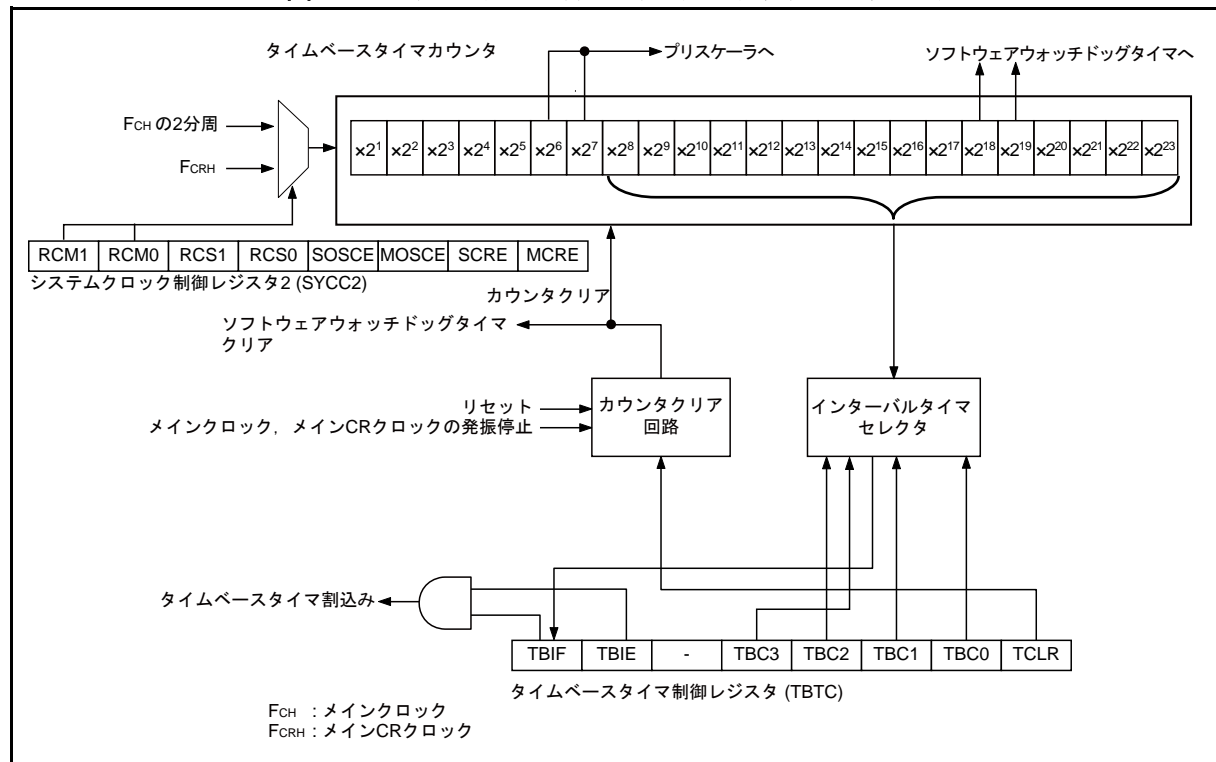
10.2 タイムベースタイマの構成

タイムベースタイマは、以下のブロックから構成されています。

- タイムベースタイマカウンタ
- カウンタクリア回路
- インターバルタイマセクタ
- タイムベースタイマ制御レジスタ (TBTC)

■ タイムベースタイマのブロックダイアグラム

図 10.2-1 タイムベースタイマのブロックダイアグラム



● タイムベースタイマカウンタ

メインクロックの 2 分周またはメイン CR クロックをカウントクロックとする 24 ビットのダウンカウンタです。

● カウンタクリア回路

タイムベースタイマのカウンタのクリアを制御する回路です。

● インターバルタイマセレクト

24 ビットのタイムベースタイマカウンタの中の 16 ビットからインターバルタイマ用の 1 ビットを選択する回路です。

● タイムベースタイマ制御レジスタ (TBTC)

インターバル時間の選択, カウンタのクリア, 割込み制御およびタイムベースタイマのステータス確認を行うレジスタです。

■ 入力クロック

タイムベースタイマは, メインクロックを 2 分周またはメイン CR クロックを入力クロック (カウントクロック) として使用します。

■ 出力クロック

タイムベースタイマは, メインクロック, ソフトウェアウォッチドッグタイマ, プリスケアラにクロックを供給しています。

10.3 タイムベースタイマのレジスタ

図 10.3-1 に、タイムベースタイマのレジスタを示します。

■ タイムベースタイマのレジスタ

図 10.3-1 タイムベースタイマのレジスタ

タイムベースタイマ制御レジスタ (TBTC)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
000AH	TBIF	TBIE	-	TBC3	TBC2	TBC1	TBC0	TCLR	00000000B
	R(RM1),W	R/W	R0/WX	R/W	R/W	R/W	R/W	R0,W	
R/W : リード/ライト可能 (読出し値は書込み値と同じとなります。)									
R(RM1),W : リード/ライト可能 (読出し値は書込み値と異なります。リードモディファイライト (RMW)系命令時では"1"が読み出されます。)									
R0,W : ライトオンリ (書込み可能。読出し時の値は"0"となります。)									
R0/WX : 読出し値は"0"。このビットに値を書き込んでも動作に影響はありません。									
- : 未定義ビット									

10.3.1 タイムベースタイマ制御レジスタ (TBTC)

タイムベースタイマ制御レジスタ (TBTC) は、インターバル時間の選択、カウンタのクリア、割込み制御およびタイムベースタイマの状態確認を行います。

■ タイムベースタイマ制御レジスタ (TBTC)

図 10.3-2 タイムベースタイマ制御レジスタ (TBTC)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
000A _H	TBIF	TBIE	-	TBC3	TBC2	TBC1	TBC0	TCLR	00000000 _B
	R(RM1),W	R/W	R0/WX	R/W	R/W	R/W	R/W	R0,W	

TCLR	タイムベースタイマ初期化ビット
	読出し時
	書込み時
0	常に"0"が読み出されます
1	タイムベースタイマのカウンタをクリアします

TBC3	TBC2	TBC1	TBC0	インターバル時間 (メインクロック F _{CH} = 4 MHz の場合)	インターバル時間 (メインCRK ロック F _{CRH} = 8 MHz の場合)
0	1	0	0	2 ⁹ x 2/F _{CH} (256 μs)	2 ⁹ x 1/F _{CRH} (64 μs)
0	0	0	0	2 ¹⁰ x 2/F _{CH} (512 μs)	2 ¹⁰ x 1/F _{CRH} (128 μs)
0	1	0	1	2 ¹¹ x 2/F _{CH} (1.024 ms)	2 ¹¹ x 1/F _{CRH} (256 μs)
0	0	0	1	2 ¹² x 2/F _{CH} (2.048 ms)	2 ¹² x 1/F _{CRH} (512 μs)
0	1	1	0	2 ¹³ x 2/F _{CH} (4.096 ms)	2 ¹³ x 1/F _{CRH} (1.024 ms)
0	0	1	0	2 ¹⁴ x 2/F _{CH} (8.192 ms)	2 ¹⁴ x 1/F _{CRH} (2.048 ms)
0	1	1	1	2 ¹⁵ x 2/F _{CH} (16.384 ms)	2 ¹⁵ x 1/F _{CRH} (4.096 ms)
0	0	1	1	2 ¹⁶ x 2/F _{CH} (32.768 ms)	2 ¹⁶ x 1/F _{CRH} (8.192 ms)
1	0	0	0	2 ¹⁷ x 2/F _{CH} (65.536 ms)	2 ¹⁷ x 1/F _{CRH} (16.384 ms)
1	0	0	1	2 ¹⁸ x 2/F _{CH} (131.072 ms)	2 ¹⁸ x 1/F _{CRH} (32.768 ms)
1	0	1	0	2 ¹⁹ x 2/F _{CH} (262.144 ms)	2 ¹⁹ x 1/F _{CRH} (65.536 ms)
1	0	1	1	2 ²⁰ x 2/F _{CH} (524.288 ms)	2 ²⁰ x 1/F _{CRH} (131.072 ms)
1	1	0	0	2 ²¹ x 2/F _{CH} (1.049 s)	2 ²¹ x 1/F _{CRH} (262.144 ms)
1	1	0	1	2 ²² x 2/F _{CH} (2.197 s)	2 ²² x 1/F _{CRH} (524.288 ms)
1	1	1	0	2 ²³ x 2/F _{CH} (4.194 s)	2 ²³ x 1/F _{CRH} (1.049 s)
1	1	1	1	2 ²⁴ x 2/F _{CH} (8.389 s)	2 ²⁴ x 1/F _{CRH} (2.097 s)

TBIE	タイムベースタイマ割込み要求許可ビット
0	割込み要求出力を禁止します
1	割込み要求出力を許可します

TBIF	タイムベースタイマ割込み要求フラグビット
	読出し時
	書込み時
0	インターバル時間の未経過
1	インターバル時間の経過

R/W : リード/ライト可能 (読出し値は書込み値と同じとなります。)

R(RM1),W : リード/ライト可能 (読出し値は書込み値と異なります。リードモディファイライト (RMW) 系命令時では"1"が読み出されます。)

R0,W : ライトオンリ (書込み可能。読出し時の値は"0"となります。)

R0/WX : 読出し値は"0"。このビットに値を書き込んでも動作に影響はありません。

- : 未定義ビット

初期値

表 10.3-1 タイムベースタイマ制御レジスタ (TBTC) の各ビットの機能 (1 / 2)

ビット名		機能
bit7	TBIF: タイムベースタイマ割込み要求フラグビット	タイムベースタイマにより選択したインターバル時間が経過すると、"1" に設定されるフラグです。 このビットとタイムベースタイマ割込み要求許可ビット (TBIE) が "1" のとき、割込み要求を出力します。 "0" に設定した場合：このビットはクリアされます。 "1" に設定した場合：動作に影響を与えません。 リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、常に "1" が読み出されます。
bit6	TBIE: タイムベースタイマ割込み要求許可ビット	割込みコントローラへの割込み要求の出力を許可 / 禁止するビットです。 "0" に設定した場合：タイムベースタイマの割込み要求の出力を禁止します。 "1" に設定した場合：タイムベースタイマの割込み要求の出力を許可します。 このビットとタイムベースタイマ割込み要求フラグビット (TBIF) が "1" のとき、割込み要求を出力します。
bit5	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。

表 10.3-1 タイムベースタイマ制御レジスタ (TBTC) の各ビットの機能 (2 / 2)

ビット名		機能					
bit4 ~ bit1	TBC3 ~ TBC0: インターバル時間 選択ビット	このビットによりインターバル時間を選択することができます。					
		TBC3	TBC2	TBC1	TBC0	インターバル時間 (メインクロックが $F_{CH}=4\text{MHz}$ の時)	インターバル時間 (メイン CR クロック が $F_{CRH}=8\text{MHz}$ の時)
		0	1	0	0	$2^9 \times 2/F_{CH}$ (256 μs)	$2^9 \times 1/F_{CRH}$ (64 μs)
		0	0	0	0	$2^{10} \times 2/F_{CH}$ (512 μs)	$2^{10} \times 1/F_{CRH}$ (128 μs)
		0	1	0	1	$2^{11} \times 2/F_{CH}$ (1.024 ms)	$2^{11} \times 1/F_{CRH}$ (256 μs)
		0	0	0	1	$2^{12} \times 2/F_{CH}$ (2.048 ms)	$2^{12} \times 1/F_{CRH}$ (512 μs)
		0	1	1	0	$2^{13} \times 2/F_{CH}$ (4.096 ms)	$2^{13} \times 1/F_{CRH}$ (1.024 ms)
		0	0	1	0	$2^{14} \times 2/F_{CH}$ (8.192 ms)	$2^{14} \times 1/F_{CRH}$ (2.048 ms)
		0	1	1	1	$2^{15} \times 2/F_{CH}$ (16.384 ms)	$2^{15} \times 1/F_{CRH}$ (4.096 ms)
		0	0	1	1	$2^{16} \times 2/F_{CH}$ (32.768 ms)	$2^{16} \times 1/F_{CRH}$ (8.192 ms)
		1	0	0	0	$2^{17} \times 2/F_{CH}$ (65.536 ms)	$2^{17} \times 1/F_{CRH}$ (16.384 ms)
		1	0	0	1	$2^{18} \times 2/F_{CH}$ (131.072 ms)	$2^{18} \times 1/F_{CRH}$ (32.768 ms)
		1	0	1	0	$2^{19} \times 2/F_{CH}$ (262.144 ms)	$2^{19} \times 1/F_{CRH}$ (65.536 ms)
		1	0	1	1	$2^{20} \times 2/F_{CH}$ (524.288 ms)	$2^{20} \times 1/F_{CRH}$ (131.072 ms)
		1	1	0	0	$2^{21} \times 2/F_{CH}$ (1.049 s)	$2^{21} \times 1/F_{CRH}$ (262.144 ms)
		1	1	0	1	$2^{22} \times 2/F_{CH}$ (2.097 s)	$2^{22} \times 1/F_{CRH}$ (524.288 ms)
		1	1	1	0	$2^{23} \times 2/F_{CH}$ (4.194 s)	$2^{23} \times 1/F_{CRH}$ (1.049 s)
		1	1	1	1	$2^{24} \times 2/F_{CH}$ (8.389 s)	$2^{24} \times 1/F_{CRH}$ (2.097 s)
bit0	TCLR: タイムベースタイ マ初期化ビット	<p>このビットによりタイムベースタイマのカウンタをクリアすることができます。</p> <p>"0" に設定した場合：無視され、動作に影響はありません。</p> <p>"1" に設定した場合：全カウンタビットが "1" に初期化されます。</p> <p>このビットを読み出すと、常に "0" となります。</p> <p>(注意事項) タイムベースタイマの出力が、ウォッチドッグタイマのカウントクロックとして選択されている時には、タイムベースタイマをクリアするために、このビットを使うとソフトウェアウォッチタイマもクリアされます。</p>					

10.4 タイムベースタイマの割り込み

タイムベースタイマにより選択したインターバル時間が経過すると、割り込み要求が発生します (インターバルタイマ機能)。

■ インターバル機能動作時の割り込み

タイムベースタイマカウンタが内部カウントクロックでカウントダウンし、選択されたタイムベースタイマカウンタがアンダフローすると、タイムベースタイマの割り込み要求フラグビット (TBTC:TBIF) が "1" に設定されます。TBIF ビットが "1" のとき、タイムベースタイマの割り込み要求許可ビットを許可 (TBTC:TBIE=1) にしていると、割り込み要求 (IRQ19) が発生し、割り込みコントローラへ送られます。

- TBIE ビットの値に関係なく、選択されたビットがアンダフローすると TBIF ビットは、"1" に設定されます。
- TBIF ビットが "1" に設定されているときには、TBIE ビットを禁止から許可 (0 → 1) にすると、直ちに割り込み要求が発生します。
- カウンタクリア (TBTC:TCLR=1) とタイムベースタイマカウンタのアンダフローが同時に発生した場合は、TBIF ビットは "1" に設定されません。
- 割り込み処理ルーチンでは TBIF ビットに "0" を書き込んで割り込み要求をクリアしてください。

< 注意事項 >

リセット解除後に割り込み要求出力を許可 (TBTC:TBIE=1) する場合は、必ず TBIF ビットを同時にクリア (TBTC:TBIF=0) してください。

表 10.4-1 タイムベースタイマの割り込み

項目	説明
割り込みの条件	TBTC:TBC3 ~ TBC0 で設定したインターバル時間が経過した。
割り込みフラグ	TBTC:TBIF
割り込み許可	TBTC:TBIE

■ タイムベースタイマの割り込みに関連するレジスタとベクタテーブルのアドレス

表 10.4-2 タイムベースタイマの割り込みに関連するレジスタとベクタテーブルの
アドレス

割り込み要因	割り込み要求 番号	割り込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
タイムベース タイマ	IRQ19	ILR4	L19	FFD4 _H	FFD5 _H

各周辺機能のそれぞれの割り込み要求番号およびベクタテーブルのアドレスについては
「付録 B 割り込み要因一覧表」を参照してください。

10.5 タイムベースタイマの動作説明と設定手順例

タイムベースタイマのインターバルタイマ機能の動作について説明します。

■ タイムベースタイマの動作

タイムベースタイマのカウンタは、リセット後 "FFFFFF_H" に初期化され、メインクロックの 2 分周に同期してカウントを開始します。

タイムベースタイマは、メインクロックが発振している限り、カウントダウンを続けます。メインクロックが停止すると、カウンタは停止し、"FFFFFF_H" に初期化されます。

図 10.5-1 に、インターバルタイマ機能の設定を示します。

図 10.5-1 インターバルタイマ機能の設定

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
000AH TBTC	TBIF	TBIE	-	TBC3	TBC2	TBC1	TBC0	TCLR
	0	1		⊙	⊙	⊙	⊙	0

⊙: 使用ビット
 1: "1"を設定
 0: "0"を設定

タイムベースタイマ制御レジスタのタイムベースタイマ初期化ビット (TBTC:TCLR) に "1" を設定すると、タイムベースタイマのカウンタは "FFFFFF_H" に初期化され、カウントダウンを継続します。選択されたインターバル時間が経過すると、タイムベースタイマ制御レジスタのタイムベースタイマ割込み要求フラグビット (TBTC:TBIF) が "1" になります。つまり、最後にカウンタがクリアされた時間を基準にして、選択されたインターバル時間ごとに割込み要求を発生します。

■ タイムベースタイマのクリア

タイムベースタイマの出力をほかの周辺機能で使用している際にタイムベースタイマをクリアすると、カウント時間が変化するなど動作に影響を与えます。

タイムベースタイマ初期化ビット (TBTC:TCLR) を使ってカウンタをクリアする場合は、このクリアによって予期せぬ影響が及ばないようにその他の周辺機能の設定を必要に応じて変更してください。

なお、タイムベースタイマの出力がウォッチドッグタイマのカウントクロックとして選択されているときにタイムベースタイマがクリアされると、同時にウォッチドッグタイマもクリアされます。

タイムベースタイマは、タイムベースタイマ初期化ビット (TBTC:TCLR) によってクリアされるだけでなく、メインクロックが停止し、発振安定待ち時間が必要になった時にもクリアされます。タイムベースタイマは、以下の状況でクリアされます。

- デバイスが、メインクロックモードまたはメイン CR クロックモードからストップモードへ遷移したとき
- デバイスが、メインクロックモードまたはメイン CR クロックモードからサブクロックモードまたはサブ CR クロックモードへ遷移したとき
- 電源投入時
- 低電圧検出リセット発生時

■ タイムベースタイマの動作例

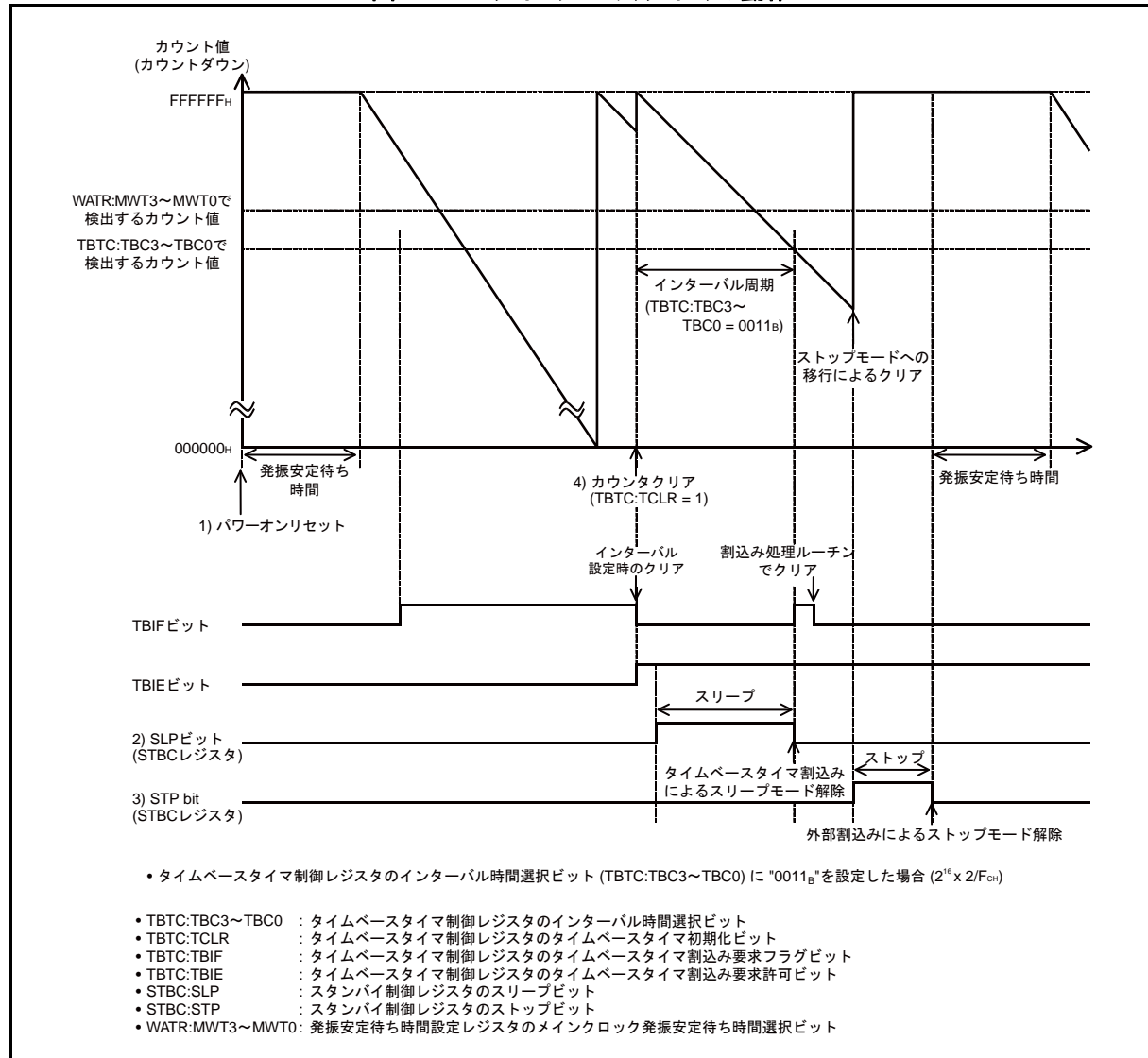
図 10.5-2 に次に示す条件下についての動作例を示します。

- 1) パワーオンリセットが発生した場合
- 2) デバイスが、メインクロックモードもしくはメイン CR クロックモードにおいてインターバルタイマ機能の動作中に、スリープモードへ遷移した場合
- 3) デバイスが、メインクロックモードまたはメイン CR クロックモード中に、ストップモードへ遷移したとき
- 4) カウンタクリアの要求が発生した場合

デバイスがタイムベースタイマモードに遷移した場合、スリープモードに遷移した際と同様の動作が実行されます。

クロックモードがサブクロックモード、サブ CR クロックモード、メインクロックモードまたはメイン CR クロックモード時のストップモードでは、タイマ動作はクリアされ、メインクロックが停止するために、タイマは動作を停止します。

図 10.5-2 タイムベースタイマの動作



■ 設定手順例

タイムベースタイマの設定手順例を以下に示します。

● 初期設定

- 1 割込み禁止を設定 (TBTC:TBIE = 0)
- 2 インターバル時間を設定 (TBTC:TBC3 ~ TBC0)
- 3 割込み許可を設定 (TBTC:TBIE = 1)
- 4 カウンタをクリア (TBTC:TCLR = 1)

● 割込み処理

- 1 割込み要求フラグをクリア (TBTC:TBIF = 0)
- 2 カウンタをクリア (TBTC:TCLR = 1)

10.6 タイムベースタイマ使用上の注意

タイムベースタイマの使用に関する注意を示します。

■ タイムベースタイマ使用上の注意

● プログラムで設定する場合

タイムベースタイマ割込み要求フラグビット (TBTC:TBIF) が "1" に設定され、割込み要求許可ビットが許可された (TBTC:TBIE=1) 状態では、タイマは、割込み処理から復帰できません。割込み処理ルーチン内で TBIF ビットのクリアを必ず行ってください。

● タイムベースタイマのクリアについて

タイムベースタイマは、タイムベースタイマ初期化ビットによるクリア (TBTC:TCLR=1) 以外に、メインクロックの発振安定待ち時間が必要となる場合にクリアされます。ソフトウェアウォッチドッグタイマ (WDTC:CS1, CS0 = 00_B または CS1, CS0 = 01_B) のカウントクロックとしてタイムベースタイマが選択されている場合、タイムベースタイマがクリアされるとソフトウェアウォッチドッグタイマもクリアされます。

● タイムベースタイマからクロックを供給される周辺機能について

メインクロックの原発振が停止するモードでは、カウンタはクリアされ、タイムベースタイマは動作を停止します。また、タイムベースタイマの出力をほかの周辺機能で使用している際にタイムベースタイマのカウンタをクリアすると、動作周期が変化するなど、周辺機能の動作に影響を与えます。

なお、タイムベースタイマのカウンタがクリアされた後、タイムベースタイマから出力されたソフトウェアウォッチドッグタイマ用のクロックは、初期状態となります。ただし、ソフトウェアウォッチドッグタイマが初期状態に戻ると同時に、ソフトウェアウォッチドッグタイマのカウンタもクリアされるため、ソフトウェアウォッチドッグタイマは通常な周期で動作します。

第11章

ハードウェア/ソフトウェア ウォッチドッグタイマ

ウォッチドッグタイマの機能と動作について説明します。

- 11.1 ウォッチドッグタイマの概要
- 11.2 ウォッチドッグタイマの構成
- 11.3 ウォッチドッグタイマのレジスタ
- 11.4 ウォッチドッグタイマの動作説明と設定手順例
- 11.5 ウォッチドッグタイマ使用上の注意

11.1 ウォッチドッグタイマの概要

ウォッチドッグタイマは、プログラム暴走対策用のカウンタです。

■ ウォッチドッグタイマ機能

ウォッチドッグタイマは、プログラム暴走対策用のカウンタです。ウォッチドッグタイマが一度起動すると、一定時間内で定期的にウォッチドッグタイマのカウンタをクリアし続ける必要があります。プログラムが無限ループに陥るなどして、一定時間以上クリアされない場合、ウォッチドッグリセットが発生します。

● ソフトウェア/ハードウェアウォッチドッグタイマのカウントクロック

- ソフトウェアウォッチドッグタイマでは、タイムベースタイマの出力、時計プリスケアラの出力、またはサブ CR タイマの出力がカウントクロックとして選択できます。
- ハードウェアウォッチドッグタイマでは、サブ CR タイマの出力のみがカウントクロックとして使用できます。

● ソフトウェア/ハードウェアウォッチドッグタイマの起動

- ソフトウェア / ハードウェアウォッチドッグタイマは、フラッシュメモリ上にあるアドレス $FFBE_H$, $FFBF_H$ の値にしたがって起動され、ウォッチドッグタイマ選択 ID レジスタ $WDTH/WDTL(0FEB_H/0FEC_H)$ へコピーされます。
- ソフトウェア起動の場合 (ソフトウェアウォッチドッグ)、ウォッチドッグタイマ機能を開始するためには、ウォッチドッグタイマレジスタ (WDTC) を設定しなければなりません。
- ハードウェア起動の場合 (ハードウェアウォッチドッグ)、リセット後にウォッチドッグタイマは自動的に起動します。ウォッチドッグタイマは、フラッシュメモリ上にあるアドレス $FFBE_H$, $FFBF_H$ の値にしたがって、ストップモードで停止または実行します。この状態がウォッチドッグタイマ選択 ID レジスタ $WDTH/WDTL(0FEB_H/0FEC_H)$ へコピーされます。ウォッチドッグタイマ選択 ID についての詳細は、「第 30 章 不揮発性レジスタ (NVR) の機能」を参照してください。
- 表 11.1-1 に、ウォッチドッグタイマのインターバル時間を示します。ウォッチドッグタイマのカウンタがクリアされない場合、最小時間～最大時間の間にウォッチドッグリセットが発生します。インターバル時間の最小時間内にウォッチドッグタイマのカウンタをクリアしてください。

表 11.1-1 ウォッチドッグタイマのインターバル時間

カウントクロックの種類	カウントクロック 切換えビット CS[1:0], CSP	インターバル時間	
		最短時間	最長時間
タイムベースタイマ出力 (メインクロックが 4MHz の時)	000 _B (SWWDT)	524 ms	1.05 s
	010 _B (SWWDT)	262 ms	524 ms
時計プリスケアラ出力 (サブクロックが 32.768kHz の時)	100 _B (SWWDT)	500 ms	1.00 s
	110 _B (SWWDT)	250 ms	500 ms
サブ CR タイマ (サブ CR クロックが 50kHz ~ 200kHz の時)	XX1 _B (SWWDT) または HWWDT*	328 ms	2.62 s

*: CS[1:0]=00_B, CSP=1(読取り専用)

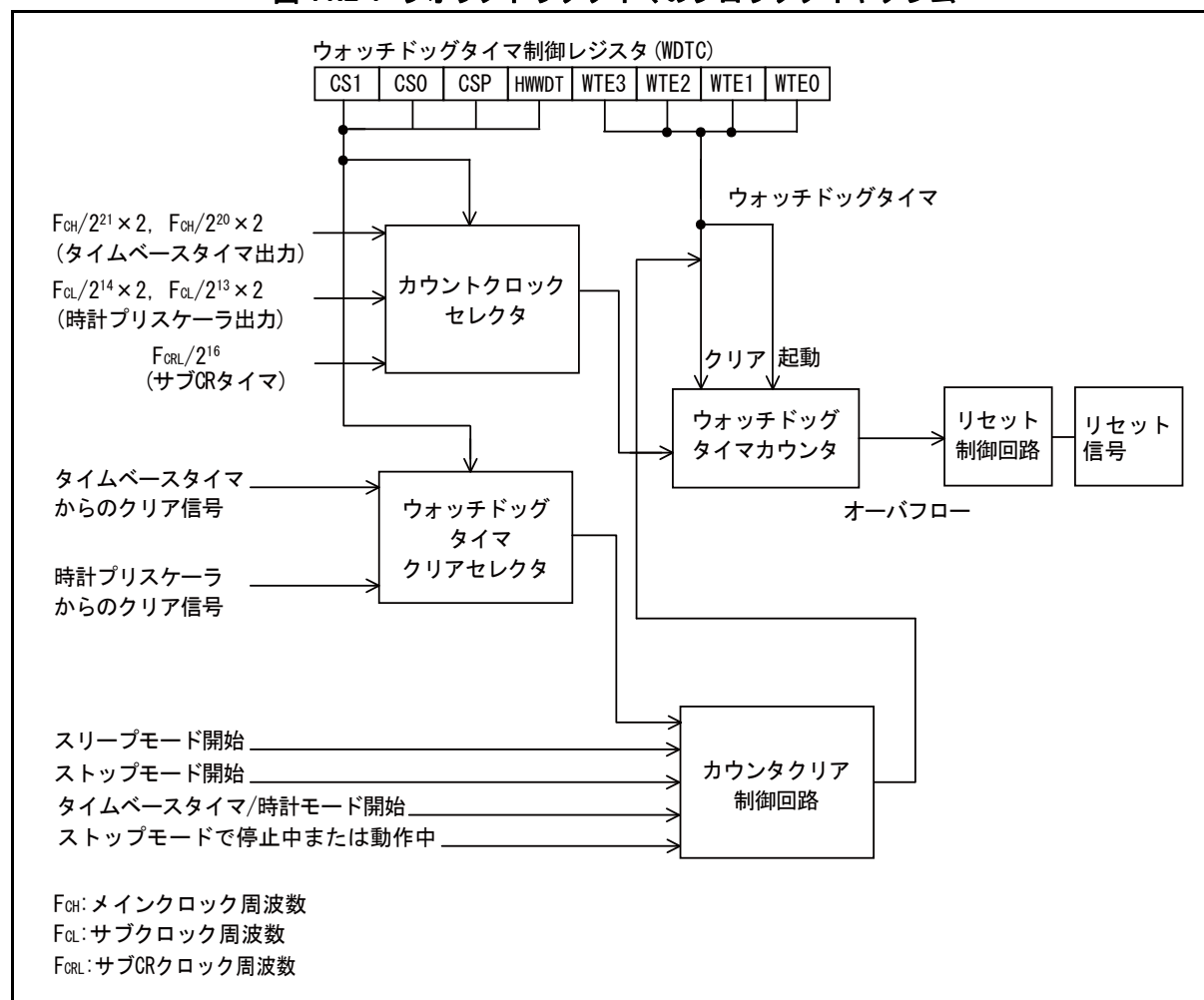
11.2 ウォッチドッグタイマの構成

ウォッチドッグタイマは、以下のブロックで構成されています。

- カウントクロックセクタ
- ウォッチドッグタイマカウンタ
- リセット制御回路
- ウォッチドッグタイマクリアセクタ
- カウンタクリア制御回路
- ウォッチドッグタイマ制御レジスタ (WDTC)

■ ウォッチドッグタイマのブロックダイアグラム

図 11.2-1 ウォッチドッグタイマのブロックダイアグラム



- カウントクロックセクタ

このセクタは、ウォッチドッグタイマカウンタのカウントクロックを選択します。

- ウォッチドッグタイマカウンタ

このカウンタは、タイムベースタイマの出力、時計プリスケアラの出力またはサブ CR タイマの出力をカウントクロックとする 1 ビットのカウンタです。

- リセット制御回路

この回路は、ウォッチドッグタイマカウンタのオーバフローによってリセット信号を発生させます。

- ウォッチドッグタイマクリアセクタ

ウォッチドッグタイマクリア信号を選択します。

- カウンタクリア制御回路

ウォッチドッグタイマカウンタのクリアと動作停止を制御する回路です。

- ウォッチドッグタイマ制御レジスタ (WDTC)

ウォッチドッグタイマカウンタの起動とクリア、およびカウントクロックの選択を設定するレジスタです。

■ 入力クロック

ウォッチドッグタイマは、タイムベースタイマの出力クロック、時計プリスケアラからの出力クロック、またはサブ CR タイマからの出力クロックを入力クロック（カウントクロック）として使用します。

11.3 ウォッチドッグタイマのレジスタ

図 11.3-1 に、ウォッチドッグタイマのレジスタを示します。

■ ウォッチドッグタイマのレジスタ

図 11.3-1 ウォッチドッグタイマのレジスタ

ウォッチドッグタイマ制御レジスタ (WDTC)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
000C _H	CS1	CS0	CSP	HWWDTC	WTE3	WTE2	WTE1	WTE0	
ソフトウェア	R/W	R/W	R/W	R0/WX	R0,W	R0,W	R0,W	R0,W	00000000 _B
ハードウェア	R0/WX	R0/WX	R1/WX	R1/WX	R0,W	R0,W	R0,W	R0,W	00110000 _B

R/W: リード / ライト可能 (読出し値は書込み値と同じとなります。)
R0,W: ライトオンリ (書込み可能。読出値は "0" となります。)
R0/WX: 読出し値は "0"。このビットに値を書き込んでも動作に影響はありません。
R1/WX: 読出し値は "1"。このビットに値を書き込んでも動作に影響はありません。

MB95330H シリーズ

11.3.1 ウォッチドッグタイマ制御レジスタ (WDTC)

ウォッチドッグタイマ制御レジスタ (WDTC) は、ウォッチドッグタイマの起動とクリアを行うレジスタです。

■ ウォッチドッグタイマ制御レジスタ (WDTC)

図 11.3-2 ウォッチドッグタイマ制御レジスタ (WDTC)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
000CH	CS1	CS0	CSP	HWWDTC	WTE3	WTE2	WTE1	WTE0	
ソフトウェア	R/W	R/W	R/W	R0/WX	R0,W	R0,W	R0,W	R0,W	00000000 _B
ハードウェア	R0/WX	R0/WX	R1/WX	R1/WX	R0,W	R0,W	R0,W	R0,W	00110000 _B

WTE3	WTE2	WTE1	WTE0	ウォッチドッグ制御ビット
0	1	0	1	<ul style="list-style-type: none"> ウォッチドッグタイマを起動 (リセット後1回目の書き込みのとき) ウォッチドッグタイマをクリア (ソフトウェア: リセット後2回目以降の書き込みのとき, ハードウェア: リセット後1回目以降の書き込みのとき)
上記以外				動作に影響しません

HWWDTC	ハードウェアウォッチドッグタイマ起動ビット
1	ハードウェアウォッチドッグタイマ起動
0	ハードウェアウォッチドッグタイマ停止 (ソフトウェアウォッチドッグタイマを起動可能)

CS1	CS0	CSP	カウントクロック切換えビット
0	0	0	タイムベースタイマの出力周期 ($2^{21}/F_{CH}$)
0	1	0	タイムベースタイマの出力周期 ($2^{20}/F_{CH}$)
1	0	0	時計ブリスケーラの出力周期 ($2^{14}/F_{CL}$)
1	1	0	時計ブリスケーラの出力周期 ($2^{13}/F_{CL}$)
X	X	1	サブCRタイマの出力周期 ($2^{16}/F_{CRL}$)

R/W : リード/ライト可能(読出し値は書き込み値と同じとなります。)
R0,W : ライトオンリ(書き込み可能。読出し時の値は"0"となります。)
R0/WX : 読出し値は"0"。このビットに値を書き込んでも動作に影響はありません。
R1/WX : 読出し値は"1"。このビットに値を書き込んでも動作に影響はありません。
X : Don't care
: ソフトウェアウォッチドッグタイマを使用する場合の初期値
FCH : メインクロック
FCL : サブクロック
FCRL : サブCRクロック

表 11.3-1 ウォッチドッグタイマ制御レジスタ (WDTC) の各ビットの機能

ビット名		機能			
bit7, bit6	CS1, CS0: カウントクロック切 換えビット	ウォッチドッグタイマのカウントクロックを選択するビットです。			
bit5	CSP: カウントクロック選 択サブ CR セレクタ のビット	CS1	CS0	CSP	カウントクロック切換えビット
		0	0	0	タイムベースタイマの出力周期 ($2^{21}/F_{CH}$)
		0	1	0	タイムベースタイマの出力周期 ($2^{20}/F_{CH}$)
		1	0	0	時計プリスケアラの出力周期 ($2^{14}/F_{CL}$)
		1	1	0	時計プリスケアラの出力周期 ($2^{13}/F_{CL}$)
		X	X	1	サブ CR タイマの出力周期 ($2^{16}/F_{CRL}$)
<ul style="list-style-type: none">ウォッチドッグ制御ビットによってウォッチドッグタイマを起動すると同時に、これらのビットに書き込んでください。ウォッチドッグタイマを起動後には変更できません。 (注意事項) サブクロックモードでタイムベースタイマが停止するため、時計プリスケアラの出力を常に選択してください。					
bit4	HWWDT: ハードウェアウォッ チドッグタイマ起動 ビット	ハードウェアウォッチドッグタイマの開始・停止を確認するのに使用されるリードオンリのビットです。 "1": ハードウェアウォッチドッグタイマは起動されています。 "0": ハードウェアウォッチドッグタイマは停止されています (ソフトウェアウォッチドッグタイマは起動できます)。			
bit3 ~ bit0	WTE3, WTE2, WTE1, WTE0: ウォッチドッグ制御 ビット	ウォッチドッグタイマを制御するビットです。 "0101 _B " に設定した場合: ウォッチドッグタイマを起動 (リセット後の 1 回目の書込み) またはクリア (リセット後の 2 回目の書込み) します。 "0101 _B " 以外に設定した場合: 動作に影響はありません。 • これらのビットを読み出すと、その値は常に "0000 _B " になります。			

< 注意事項 >

リードモディファイライト (RMW) 系命令は使用できません。

11.4 ウォッチドッグタイマの動作説明と設定手順例

ウォッチドッグタイマは、ウォッチドッグタイマカウンタのオーバフローによってウォッチドッグリセットが発生します。

■ ウォッチドッグタイマの動作

● ウォッチドッグタイマの起動方法

ソフトウェアウォッチドッグの場合

- ウォッチドッグタイマ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) に、リセット後、1 回目の "0101_B" を書き込むとウォッチドッグタイマは起動します。このとき、ウォッチドッグタイマ制御レジスタのカウントクロック切換えビット (WDTC:CS1, CS0, CSP) を同時に指定します。
- ウォッチドッグタイマを一度起動すると、リセット以外にその動作を止める方法はありません。

ハードウェアウォッチドッグの場合

- "A596H" 以外の任意の値をフラッシュメモリのアドレス FFBE_H と FFBF_H に書き込むことで、ハードウェアウォッチドッグタイマを起動できます。
フラッシュメモリの FFBE_H と FFBF_H のデータは、ウォッチドッグタイマ選択 ID レジスタ WDTL/WDTH(0FEB_H/0FEC_H) にコピーされます。
"A597H" をフラッシュメモリのアドレス FFBE_H と FFBF_H に書き込むと、スタンバイモード以外でハードウェアウォッチドッグタイマが有効になります。"A596H" と "A597H" 以外の値を書き込むと、全てのモードでハードウェアウォッチドッグタイマが有効になります。ウォッチドッグタイマ選択 ID についての詳細は、「第 30 章 不揮発性レジスタ (NVR) の機能」を参照してください。
- リセット後に動作を開始します。
- CS1, CS0, および CSP は、"001_B" で固定されたリードオンリビットです。
- リセットによりタイマはクリアされ、リセットが解除された後に動作は再開します。

● ウォッチドッグタイマのクリア

- ウォッチドッグタイマのカウンタがインターバル時間内にクリアされない場合、カウンタはオーバフローし、ウォッチドッグリセットが発生します。
- ウォッチドッグタイマ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) に、"0101_B" を書き込むと、ハードウェアウォッチドッグタイマのカウンタはクリアされます。ウォッチドッグタイマ制御レジスタのウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) への、2 回目以降の、"0101_B" の書込みによって、ソフトウェアウォッチドッグタイマのカウンタはクリアされます。
- ウォッチドッグタイマは、カウントクロックとして選択しているタイマ(タイムベースタイマまたは時計プリスケラ)がクリアされると同時にクリアされます。

● スタンバイモード時の動作

ウォッチドッグタイマは、選択されたクロックモードに関係なく、スタンバイモード（スリープ/ストップ/タイムベースタイマ/時計）に入ると、ウォッチドッグタイマカウンタをクリアして、動作を停止します。ただし、スタンバイモードで実行中のハードウェアウォッチドッグタイマにおけるハードウェアの起動を選択する場合を除きます。スタンバイモードを解除すると、タイマは動作を再開しますが、スタンバイモードで実行中のハードウェアウォッチドッグタイマでハードウェアの起動を選択している場合は再開しません。

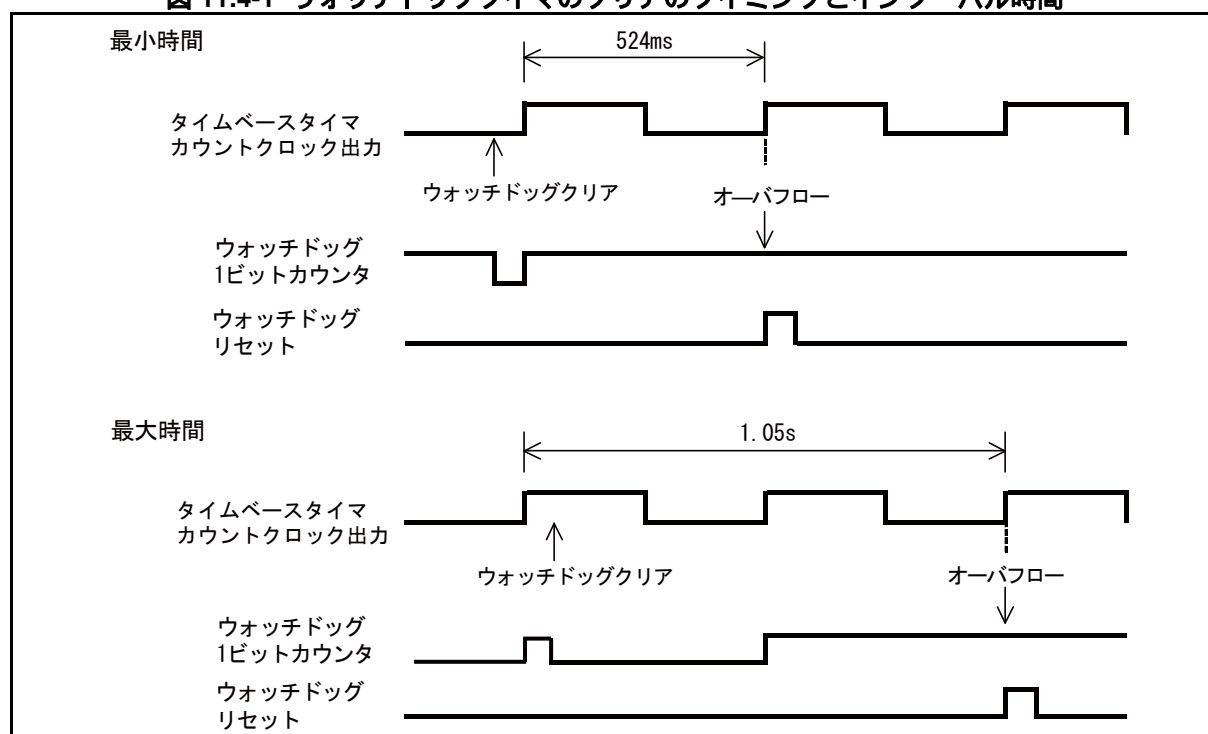
< 注意事項 >

ウォッチドッグタイマは、カウントクロックとして選択されているタイマ（タイムベースタイマまたは時計プリスケアラ）と同時にクリアされます。このため、ウォッチドッグタイマのカウントクロックとして選択されたタイマを、選択されたインターバル時間内で繰り返しクリアするようなソフトウェアにプログラムされると、ウォッチドッグタイマとして機能しなくなります。

● インターバル時間

インターバル時間は、ウォッチドッグタイマをクリアするタイミングによって変化します。図 11.4-1 に、タイムベースタイマ出力 $F_{CH}/2^{21}$ (F_{CH} : メインクロック) がカウントクロックとして選択された場合（メインクロック = 4MHz）の、ウォッチドッグタイマのクリアのタイミングとインターバル時間との関係を示します。

図 11.4-1 ウォッチドッグタイマのクリアのタイミングとインターバル時間



● サブクロックモード時の動作

サブクロックモードでウォッチドッグリセットが発生した場合、タイマは発振安定待ち時間の経過後にメインクロックモードで動作を開始します。この発振安定待ち時間中リセット信号が出力されます。

■ 設定手順例

以下に、ソフトウェアウォッチドッグタイマの設定手順を示します。

- 1) カウントクロックを選択 (WDTC:CS1, CS0, CSP)
- 2) ウォッチドッグタイマの起動 (WDTC:WTE3 ~ WTE0 = 0101_B)
- 3) ウォッチドッグタイマのクリア (WDTC:WTE3 ~ WTE0 = 0101_B)

以下に、ハードウェアウォッチドッグタイマの設定手順を示します。

- 1) フラッシュメモリ上にあるアドレス FFBE_H および FFBF_H へ "A597_H" (スタンバイモード以外でハードウェアウォッチドッグタイムが有効になる) もしくは "A596_H" および "A597_H" 以外の値 (すべてのモードでハードウェアウォッチドッグタイマが有効になる) を書き込みます。この書込みは、ウォッチドッグタイマ選択 ID レジスタ WDTL/WDTH (0FEB_H/0FEC_H) へコピーされます。ウォッチドッグタイマ選択 ID についての詳細は、「第 30 章 不揮発性レジスタ (NVR) の機能」を参照してください。
- 2) ウォッチドッグタイマのクリア (WDTC:WTE3 ~ WTE0 = 0101_B)

11.5 ウォッチドッグタイマ使用上の注意

ウォッチドッグタイマの使用に関する注意を示します。

■ ウォッチドッグタイマ使用上の注意

● ウォッチドッグタイマの停止について

ソフトウェアウォッチドッグの場合

ウォッチドッグタイマは、一度起動すると、リセットが発生するまで停止できません。

● カウントクロックの選択について

ソフトウェアウォッチドッグの場合

カウントクロック切換えビット (WDTC:CS1, CS0, CSP) は、ウォッチドッグタイマ起動後に、ウォッチドッグ制御ビット (WDTC:WTE3 ~ WTE0) を "0101_B" にしたときのみ書換え可能です。カウントクロック切換えビットは、ビット操作命令では設定はできません。また、一度タイマが起動すると、ビット設定を変更することができません。

サブクロックモードでは、メインクロックの発振が停止するため、タイムベースタイマは動作しません。

ウォッチドッグタイマをサブクロックモードで動作させるためには、あらかじめカウントクロックに時計プリスケラを選択し "WDTC:CS1, CS0, CSP" を "100_B" または "110_B" または "XX1_B" に設定する必要があります。

● ウォッチドッグタイマのクリアについて

ウォッチドッグタイマのカウントクロックに使用しているカウンタ (タイムベースタイマ、時計プリスケラまたはサブ CR タイマ) をクリアすると、同時にウォッチドッグタイマのカウンタもクリアされます。

ウォッチドッグタイマがスリープモード、ストップモード、または時計モードに遷移すると、ウォッチドッグタイマのカウンタはクリアされます。ただし、スタンバイモードで実行中に、ハードウェアウォッチドッグタイマでハードウェアの起動を選択する場合を除きます。

● プログラム作成上の注意

メインループの中で、繰り返しウォッチドッグタイマをクリアするようなプログラムを作成する場合、割込み処理時間を含むメインループの処理時間が、ウォッチドッグタイマインターバル時間の最小時間以下となるように設定してください。

● ハードウェアウォッチドッグ (スタンバイモードで実行するタイマ)

ハードウェアウォッチドッグタイマは、ストップモード、スリープモード、タイムベースタイマモード、または時計モードでは停止しません。したがって、内部クロックが停止しても、ウォッチドッグタイマは、CPU によってクリアされることはありません (スリープモード、ストップモード、時計モード、またはタイムベースタイマモード)。

定期的にデバイスをスタンバイモードから解除し、ウォッチドッグタイマをクリアします。ただし、発振安定待ち時間設定レジスタの設定に応じて、ウォッチドッグリセットは、CPU がサブクロックモードまたはサブ CR クロックモード中のストップモードから復帰した後に発生することがあります。

サブクロックを選択する際にはサブクロックの安定待ち時間の設定にも留意してください。

第12章

時計プリスケラ

時計プリスケラの機能と動作について説明します。

- 12.1 時計プリスケラの概要
- 12.2 時計プリスケラの構成
- 12.3 時計プリスケラのレジスタ
- 12.4 時計プリスケラの割込み
- 12.5 時計プリスケラの動作説明と設定手順例
- 12.6 時計プリスケラ使用上の注意
- 12.7 時計プリスケラの設定例

12.1 時計プリスケアラの概要

時計プリスケアラは、サブクロックまたはサブ CR クロックの 2 分周に同期してカウントダウンする 16 ビットのフリーランカウンタです。このプリスケアラには、一定のインターバル時間で繰り返し割り込み要求を発生させるインターバルタイマ機能があります。

■ インターバルタイマ機能

インターバルタイマ機能とは、サブクロックの 2 分周またはサブ CR クロックの 2 分周をカウントクロックとして、一定の時間間隔で繰り返し割り込み要求を発生させる機能です。

- 時計プリスケアラのカウンタがカウントダウンを行い、選択したインターバル時間が経過するごとに割り込み要求を発生します。
- インターバル時間は、次の 8 種類の中から選択できます。

表 12.1-1 に、時計プリスケアラのインターバル時間を示します。

表 12.1-1 時計プリスケアラのインターバル時間

	インターバル時間 (サブ CR クロック) ($2^n \times 2/F_{CRL}^{*1}$)	インターバル時間 (サブクロック) ($2^n \times 2/F_{CL}^{*2}$)
n=10	20.48 ms	62.5 ms
n=11	40.96 ms	125 ms
n=12	81.92 ms	250 ms
n=13	163.84 ms	500 ms
n=14	327.68 ms	1 s
n=15	655.36 ms	2 s
n=16	1.311 s	4 s
n=17	2.621 s	8 s

*1: $F_{CRL}=100$ kHz の場合、 $2/F_{CRL}=20$ μ s

*2: $F_{CL}=32.768$ kHz の場合、 $2/F_{CL}=61.035$ μ s

< 注意事項 >

サブ CR の周波数の精度については、MB95330H シリーズ のデータシートを参照してください。

MB95330H シリーズ

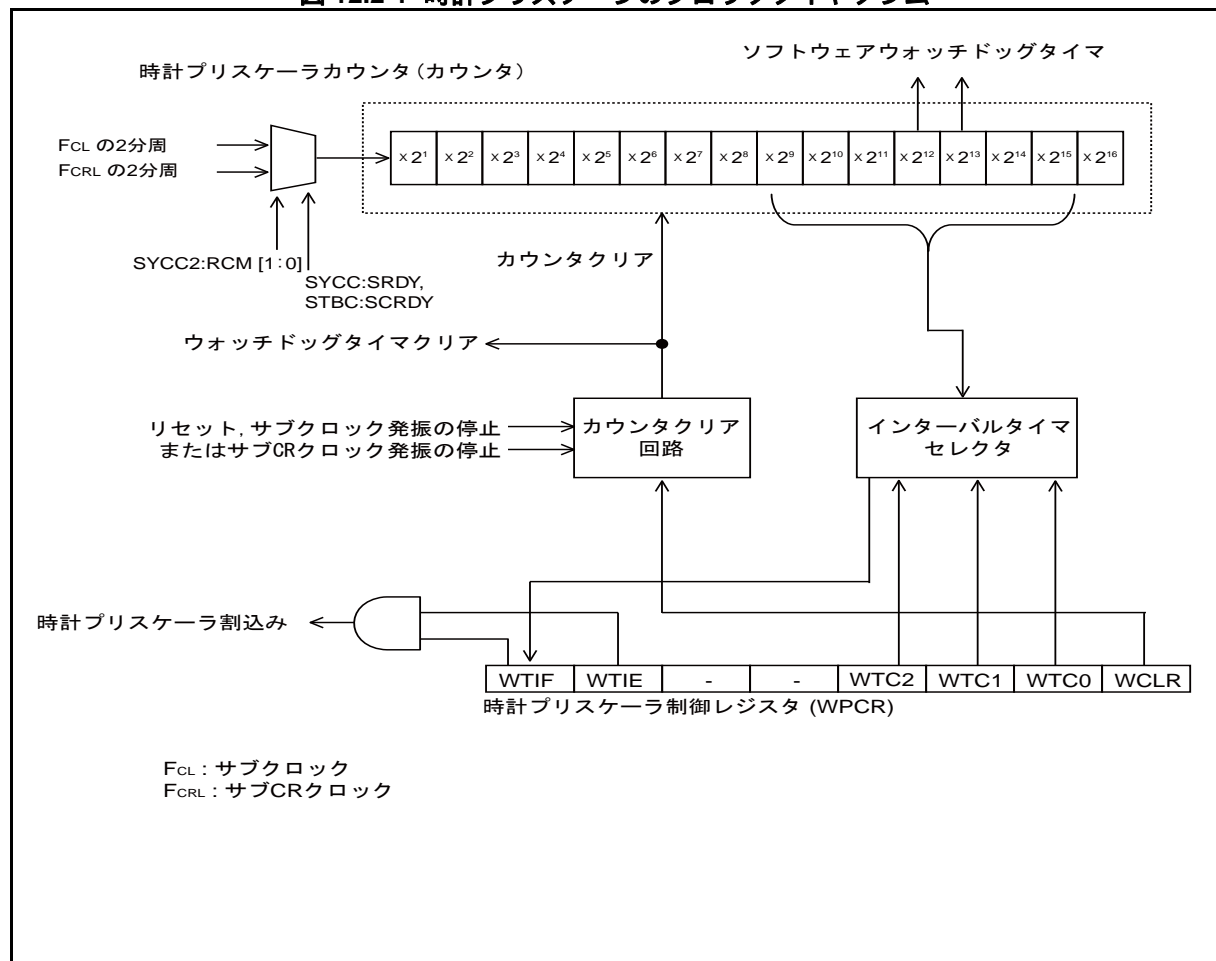
12.2 時計プリスケアラの構成

時計プリスケアラは、以下のブロックから構成されています。

- 時計プリスケアラカウンタ
- カウンタクリア回路
- インターバルタイマセクタ
- 時計プリスケアラ制御レジスタ (WPCR)

■ 時計プリスケアラのブロックダイアグラム

図 12.2-1 時計プリスケアラのブロックダイアグラム



● 時計プリスケラカウンタ (カウンタ)

サブクロックまたはサブ CR クロックの 2 分周をカウントクロックとする 16 ビットのダウンカウンタです。

● カウンタクリア回路

時計プリスケラのクリアを制御する回路です。

● インターバルタイマセクタ

時計プリスケラカウンタ中にある 16 ビットの内の 8 ビットから、インターバルタイマ用の 1 ビットを選択する回路です。

● 時計プリスケラ制御レジスタ (WPCR)

インターバル時間の選択、カウンタのクリア、割込み制御および状態の確認を行うレジスタです。

■ 入力クロック

時計プリスケラは、サブクロックまたはサブ CR クロックを 2 分周したクロックを入力クロック (カウントクロック) として使用します。

■ 出力クロック

時計プリスケラは、ソフトウェアウォッチドッグタイマにクロックを供給します。

MB95330H シリーズ

12.3 時計プリスケアラのレジスタ

図 12.3-1 に、時計プリスケアラのレジスタを示します。

■ 時計プリスケアラのレジスタ

図 12.3-1 時計プリスケアラのレジスタ

時計プリスケアラ制御レジスタ (WPCR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
000B _H	WTIF	WTIE	-	-	WTC2	WTC1	WTC0	WCLR
	R(RM1),W	R/W	R0/WX	R0/WX	R/W	R/W	R/W	R0,W
初期値 00000000 _B								
R/W: リード / ライト可能 (読出し値は書込み値と同じとなります。) R(RM1),W: リード / ライト可能 (読出し値は書込み値と異なります。リードモディファイライト (RMW) 系命令では, "1" が読み出されます。) R0, W: ライトオンリ (書込み可能。読出し時の値は "0" となります。) R0/WX: 読出し値は "0"。このビットに値を書き込んでも動作に影響はありません。 -: 未定義ビット								

12.3.1 時計プリスケアラ制御レジスタ (WPCR)

時計プリスケアラ制御レジスタ (WPCR) は、インターバル時間の選択、カウンタのクリア、割込み制御および時計プリスケアラの状態確認を行うレジスタです。

■ 時計プリスケアラ制御レジスタ (WPCR)

図 12.3-2 時計プリスケアラ制御レジスタ (WPCR)

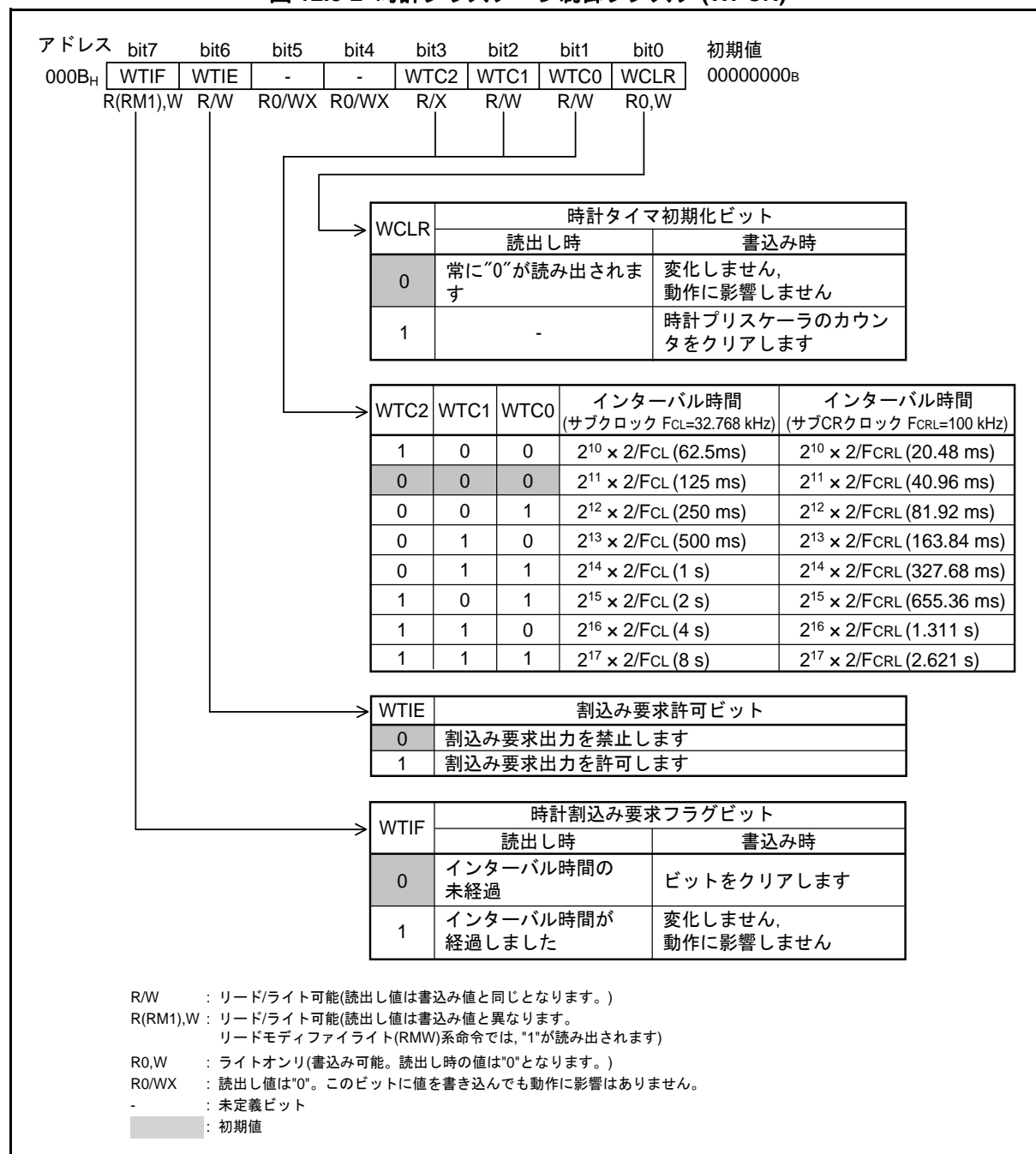


表 12.3-1 時計プリスケアラ制御レジスタ (WPCR) の各ビットの機能

ビット名		機能																																													
bit7	WTIF: 時計割込み要求フ ラグビット	時計プリスケアラにより選択したインターバル時間が経過すると、このビットは "1" になります。 • このビットと割込み要求許可ビット (WTIE) が "1" に設定されたとき、割込み要求が発生します。 "0" に設定した場合：このビットは "0" になります。 "1" に設定した場合：無視され、動作に影響しません。 • リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、常に "1" が読み出されます。																																													
bit6	WTIE: 割込み要求許可 ビット	このビットは割込みコントローラへの割込み要求出力を許可または禁止します。 "0" に設定した場合：時計プリスケアラの割込み要求出力を禁止します。 "1" に設定した場合：時計プリスケアラの割込み要求出力を許可します。 このビットと時計割込み要求フラグビット (WTIF) が "1" に設定されたとき、割込み要求が出力されます。																																													
bit5, bit4	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。																																													
bit3 ~ bit1	WTC2 ~ WTC0 時計割込みイン ターバル時間選択 ビット	これらのビットはインターバル時間を選択します。 <table><tr><th>WTC2</th><th>WTC1</th><th>WTC0</th><th>インターバル時間 (サブクロック F_{CL}=32.768kHz の場合)</th><th>インターバル時間 (サブ CR クロック F_{CRL}=100kHz の場合)</th></tr><tr><td>1</td><td>0</td><td>0</td><td>2¹⁰ × 2/F_{CL} (62.5 ms)</td><td>2¹⁰ × 2/F_{CRL} (20.48 ms)</td></tr><tr><td>0</td><td>0</td><td>0</td><td>2¹¹ × 2/F_{CL} (125. ms)</td><td>2¹¹ × 2/F_{CRL} (40.96 ms)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>2¹² × 2/F_{CL} (250. ms)</td><td>2¹² × 2/F_{CRL} (81.92 ms)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>2¹³ × 2/F_{CL} (500. ms)</td><td>2¹³ × 2/F_{CRL} (163.84 ms)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>2¹⁴ × 2/F_{CL} (1 s)</td><td>2¹⁴ × 2/F_{CRL} (327.68 ms)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>2¹⁵ × 2/F_{CL} (2 s)</td><td>2¹⁵ × 2/F_{CRL} (655.36 ms)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>2¹⁶ × 2/F_{CL} (4 s)</td><td>2¹⁶ × 2/F_{CRL} (1.311 s)</td></tr><tr><td>1</td><td>1</td><td>1</td><td>2¹⁷ × 2/F_{CL} (8 s)</td><td>2¹⁷ × 2/F_{CRL} (2.621 s)</td></tr></table>	WTC2	WTC1	WTC0	インターバル時間 (サブクロック F _{CL} =32.768kHz の場合)	インターバル時間 (サブ CR クロック F _{CRL} =100kHz の場合)	1	0	0	2 ¹⁰ × 2/F _{CL} (62.5 ms)	2 ¹⁰ × 2/F _{CRL} (20.48 ms)	0	0	0	2 ¹¹ × 2/F _{CL} (125. ms)	2 ¹¹ × 2/F _{CRL} (40.96 ms)	0	0	1	2 ¹² × 2/F _{CL} (250. ms)	2 ¹² × 2/F _{CRL} (81.92 ms)	0	1	0	2 ¹³ × 2/F _{CL} (500. ms)	2 ¹³ × 2/F _{CRL} (163.84 ms)	0	1	1	2 ¹⁴ × 2/F _{CL} (1 s)	2 ¹⁴ × 2/F _{CRL} (327.68 ms)	1	0	1	2 ¹⁵ × 2/F _{CL} (2 s)	2 ¹⁵ × 2/F _{CRL} (655.36 ms)	1	1	0	2 ¹⁶ × 2/F _{CL} (4 s)	2 ¹⁶ × 2/F _{CRL} (1.311 s)	1	1	1	2 ¹⁷ × 2/F _{CL} (8 s)	2 ¹⁷ × 2/F _{CRL} (2.621 s)
WTC2	WTC1	WTC0	インターバル時間 (サブクロック F _{CL} =32.768kHz の場合)	インターバル時間 (サブ CR クロック F _{CRL} =100kHz の場合)																																											
1	0	0	2 ¹⁰ × 2/F _{CL} (62.5 ms)	2 ¹⁰ × 2/F _{CRL} (20.48 ms)																																											
0	0	0	2 ¹¹ × 2/F _{CL} (125. ms)	2 ¹¹ × 2/F _{CRL} (40.96 ms)																																											
0	0	1	2 ¹² × 2/F _{CL} (250. ms)	2 ¹² × 2/F _{CRL} (81.92 ms)																																											
0	1	0	2 ¹³ × 2/F _{CL} (500. ms)	2 ¹³ × 2/F _{CRL} (163.84 ms)																																											
0	1	1	2 ¹⁴ × 2/F _{CL} (1 s)	2 ¹⁴ × 2/F _{CRL} (327.68 ms)																																											
1	0	1	2 ¹⁵ × 2/F _{CL} (2 s)	2 ¹⁵ × 2/F _{CRL} (655.36 ms)																																											
1	1	0	2 ¹⁶ × 2/F _{CL} (4 s)	2 ¹⁶ × 2/F _{CRL} (1.311 s)																																											
1	1	1	2 ¹⁷ × 2/F _{CL} (8 s)	2 ¹⁷ × 2/F _{CRL} (2.621 s)																																											
bit0	WCLR: 時計タイマ初期化 ビット	このビットは時計プリスケアラのカウンタをクリアします。 "0" に設定した場合：無視され、動作に影響しません。 "1" に設定した場合：全カウンタのビットが "1" に初期化されます。 このビットを読み出すと、常に "0" となります。 (注意事項) 時計プリスケアラの出力がソフトウェアウォッチドッグタイマのカウントクロックとして選択されているときには、このビットで時計プリスケアラがクリアされるとソフトウェアウォッチドッグタイマもクリアされます。																																													

12.4 時計プリスケアラの割込み

時計プリスケアラで選択されたインターバル時間が経過すると、割込み要求が発生します (インターバルタイマ機能)。

■ インターバルタイマ機能動作時の割込み (時計割込み)

サブクロックモード使用時のストップモード以外のモードでは、時計プリスケアラ用カウンタがサブクロック原発振でカウントアップし、設定したインターバルタイマ時間が経過すると、時計割込み要求フラグビットが "1" に設定 (WPCR:WTIF=1) されます。そのとき、割込み要求許可ビットが許可 (WPCR:WTIE=1) されている場合、時計プリスケアラから割込みコントローラへ割込み要求 (IRQ20) が出力されます。

- WTIF ビットは、WTIE ビットの値に関係なく、時計割込みインターバル時間選択ビットで設定した時間が経過すると "1" に設定されます。
- WTIF ビットが "1" に設定された場合、WTIE ビットを禁止状態から許可状態 (WPCR:WTIE=0 → 1) に変化させると、直ちに割込み要求が発生します。
- 選択されたビットがオーバーフローすると同時にカウンタがクリア (WPCR:WCLR=1) した場合は、WTIF ビットは "1" に設定されません。
- 割込み処理ルーチンで WTIF ビットに "0" を書き込み、割込み要求を "0" にクリアしてください。

< 注意事項 >

リセット解除後に、割込み要求出力を許可 (WPCR:WTIE=1) する場合は、必ず同時に WTIF ビットをクリアしてください。

■ 時計プリスケアラの割込み

表 12.4-1 時計プリスケアラの割込み

項目	説明
割込みの条件	WPCR: WTC2 ~ WTC0 で設定したインターバル時間が経過した。
割込みフラグ	WPCR:WTIF
割込み許可	WPCR:WTIE

■ 時計プリスケアラの割込みに関連するレジスタとベクタテーブルのアドレス

表 12.4-2 時計プリスケアラの割込みに関連するレジスタとベクタテーブルのアドレス

割込み要因	割込み要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
時計プリスケアラ	IRQ20	ILR5	L20	FFD2 _H	FFD3 _H

各周辺機能のそれぞれの割込み要求番号およびベクタテーブルのアドレスについては「付録 B 割込み要因一覧表」を参照してください。

12.5 時計プリスケアラの動作説明と設定手順例

時計プリスケアラは、インターバルタイマ機能として動作します。

■ インターバルタイマ機能の動作 (時計プリスケアラ)

時計プリスケアラカウンタは、サブクロックが発振している間、サブクロックの 2 分周をカウントクロックとしてカウントダウンを続けます。

カウントがクリア (WPCR:WCLR = 1) されると、カウンタは "FFFF_H" からカウントダウンを開始し、"0000_H" に達すると、"FFFF_H" に戻ってカウントを継続します。カウントダウン中に、割込みインターバル時間選択ビットで設定した時間が経過すると、サブクロックモードが使われているストップモード以外の場合、時計割込み要求フラグビット (WPCR:WTIF) が "1" に設定されます。すなわち、カウンタが最後にクリアされた時間を基準にして、選択されたインターバル時間ごとに時計割込み要求が発生します。

■ 時計プリスケアラのクリア

時計プリスケアラをクリアすると、時計プリスケアラの出力を使用している他の周辺機能は、カウント時間が変化するなど動作に影響を受けます。

時計プリスケアラ初期化ビット (WPCR:WCLR) によってカウンタをクリアする場合は、カウンタのクリアにより予期せぬ影響を及ぼさないようにその他の周辺機能の設定を必要に応じて変更してください。

なお、時計プリスケアラの出力をカウントクロックとして選択しているとき、時計プリスケアラがクリアされると、ウォッチドッグタイマもクリアされます。

時計プリスケアラは、時計プリスケアラ初期化ビット (WPCR:WCLR) によるクリアに加え、サブクロックが停止し、発振安定待ち時間が必要になるとクリアされます。時計プリスケアラは、以下の状況でクリアされます。

- デバイスが、サブクロックモードまたはサブ CR クロックモードからストップモードへ移行したとき
- メインクロックモード、またはメイン CR クロックモードにおいて、システムクロック制御レジスタ 2 のサブクロック発振許可ビット (SYCC2:SOSCE または SCRE) を "0" に設定したとき

また、リセットが発生した場合、時計プリスケアラのカウンタはクリアされ、動作を停止します。

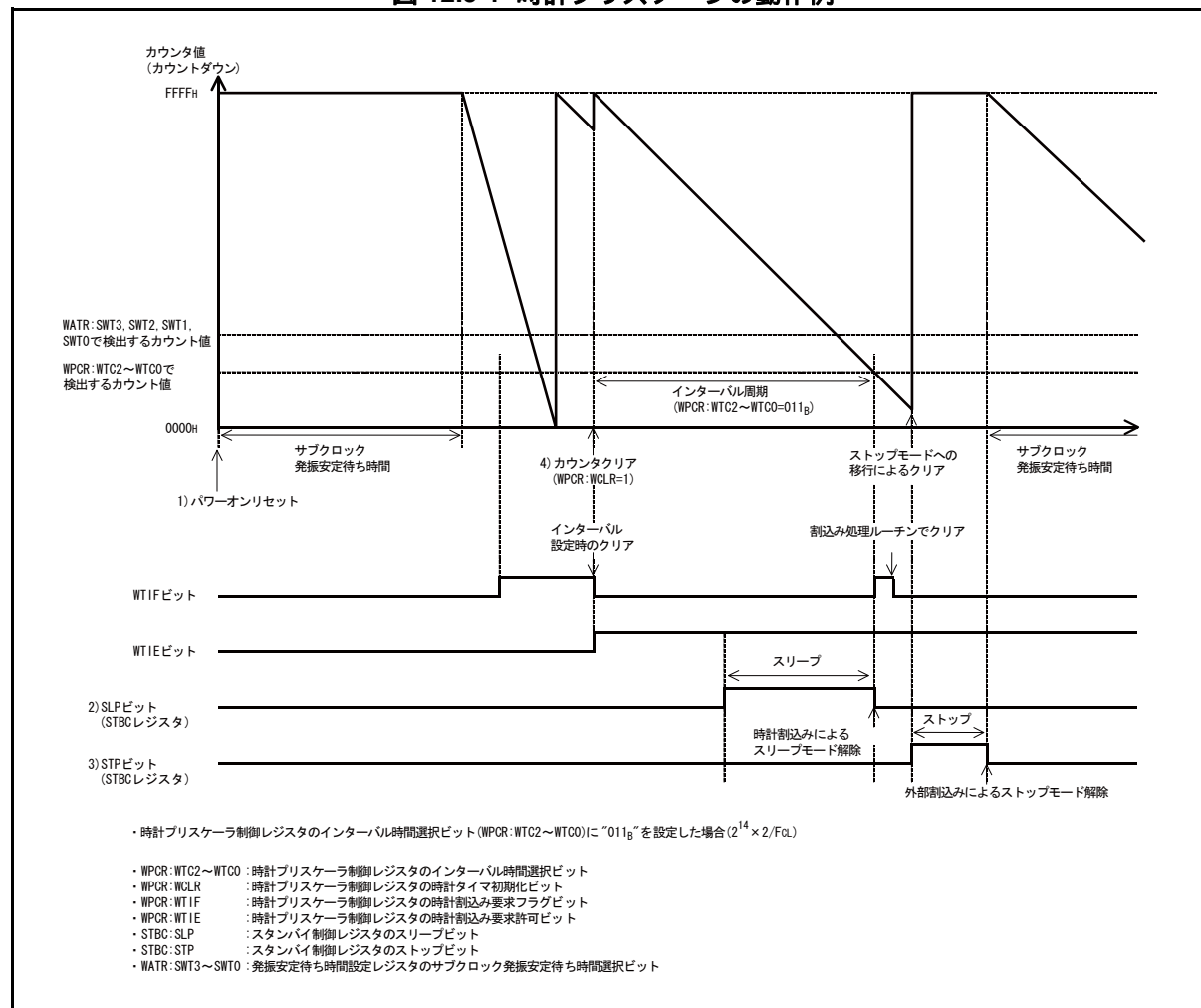
■ 時計プリスケアラの動作例

図 12.5-1 に、下記の条件下においての動作例を示します。

- 1) パワーオンリセットが発生した場合
- 2) デバイスが、サブクロックモードもしくはサブ CR クロックモードにおいてインターバルタイマ機能の動作中に、スリープモードへ移行した場合
- 3) デバイスが、サブクロックモードもしくはサブ CR クロックモードにおいてインターバルタイマ機能の動作中に、ストップモードへ移行した場合
- 4) カウンタクリアの要求が発生した場合

時計モードへの移行は、スリープモードへの移行と同じ動作で行います。

図 12.5-1 時計プリスケアラの動作例



■ 設定手順例

以下に、時計プリスケアラの設定手順例を示します。

● 初期設定

- 1) 割込みレベルの設定 (ILR5)
- 2) インターバル時間の設定 (WPCR:WTC2 ~ WTC0)
- 3) 割込み許可の設定 (WPCR:WTIE = 1)
- 4) カウンタをクリア (WPCR:WCLR = 1)

● 割込み処理

- 1) 割込み要求フラグをクリア (WPCR:WTIF = 0)
- 2) 割込みの処理

12.6 時計プリスケラ使用上の注意

時計プリスケラの使用に関する注意点を示します。

■ 時計プリスケラ使用上の注意

- プログラムで割込みを設定する場合

時計割込み要求フラグビット (WPCR:WTIF) が "1" に設定され、割込み要求 (WPCR:WTIE=1) が許可されている場合には、時計プリスケラは割込み処理から復帰できません。必ず割込みルーチン内で WTIF ビットをクリアしてください。

- 時計プリスケラのクリアについて

ソフトウェアウォッチドッグタイマのカウントクロックとして時計プリスケラを選択 (WDTC:CS1, CS0, CSP=100_B または 110_B) した場合、時計プリスケラをクリアするとソフトウェアウォッチドッグタイマもクリアされます。

- 時計割込みについて

メインクロックストップモードでは、時計プリスケラはカウント動作を行い、時計プリスケラの割込み (IRQ20) も発生します。

- 時計プリスケラからクロックを供給される周辺機能について

時計プリスケラのカウンタをクリアすると、時計プリスケラの出力を使用している他の周辺機能は、動作周期が変化するなど周辺機能の動作に影響を受けます。

なお、時計プリスケラのカウンタがクリアされた後、時計プリスケラから出力されたソフトウェアウォッチドッグタイマ用のクロックは、初期状態となります。ソフトウェアウォッチドッグタイマのクロックが初期状態に戻ると同時に、ソフトウェアウォッチドッグタイマのカウンタが同時にクリアされるため、ソフトウェアウォッチドッグタイマは正常な周期で動作します。

12.7 時計プリスケアラの設定例

時計プリスケアラの設定例を示します。

■ 設定方法の例

● 時計プリスケアラを初期化する方法

時計タイマ初期化ビット (WPCR:WCLR) で行います。

制御内容	時計タイマ初期化ビット (WCLR)
時計プリスケアラを初期化するには	"1" に設定する

● インターバル時間の選択方法

時計割込みインターバル時間選択ビット (WPCR:WTC2 ~ WTC0) でインターバル時間を選択します。

● 割込み関連レジスタ

下表の割込みレベルレジスタを使って、割込みレベルを選択します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
時計プリスケアラ	割込みレベルレジスタ (ILR5) アドレス : 0007E _H	#20 アドレス : 0FFD2 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み要求許可フラグ、時計割込み要求フラグ

割込みを許可するには、割込み要求許可ビット (WPCR:WTIE) にて行います。

制御内容	割込み要求許可ビット (WTIE)
割込み要求を禁止するには	"0" に設定する
割込み要求を許可するには	"1" に設定する

割込み要求をクリアするには、時計割込み要求フラグ (WPCR:WTIF) にて行います。

制御内容	時計割込み要求フラグ (WTIF)
割込み要求をクリアするには	"0" を設定する

第13章

ワイルドレジスタ機能

ワイルドレジスタの機能と動作について説明します。

- 13.1 ワイルドレジスタ機能の概要
- 13.2 ワイルドレジスタ機能の構成
- 13.3 ワイルドレジスタ機能のレジスタ
- 13.4 ワイルドレジスタ機能の動作説明
- 13.5 一般的なハードウェア接続例

13.1 ワイルドレジスタ機能の概要

ワイルドレジスタ機能を使うことで、内蔵レジスタに設定したアドレスと修正データで、プログラムのバグにパッチをあてることができます。

ワイルドレジスタの機能について説明します。

■ ワイルドレジスタ機能

ワイルドレジスタは、3 本のワイルドレジスタデータ設定レジスタ、3 本のワイルドレジスタアドレス設定レジスタ、1 バイトのアドレス比較許可レジスタおよび 1 バイトのワイルドレジスタデータテスト設定レジスタから構成されます。これらのレジスタに修正したいアドレスとデータを設定すると、ROM データはレジスタに設定した修正データに置き換えることができます。最大 3 つの異なるアドレスのデータを修正することができます。

ワイルドレジスタの機能を使用して、マスク生成後にプログラムのデバッグをすることと、プログラムの不良箇所にパッチをあてることができます。

MB95330H シリーズ

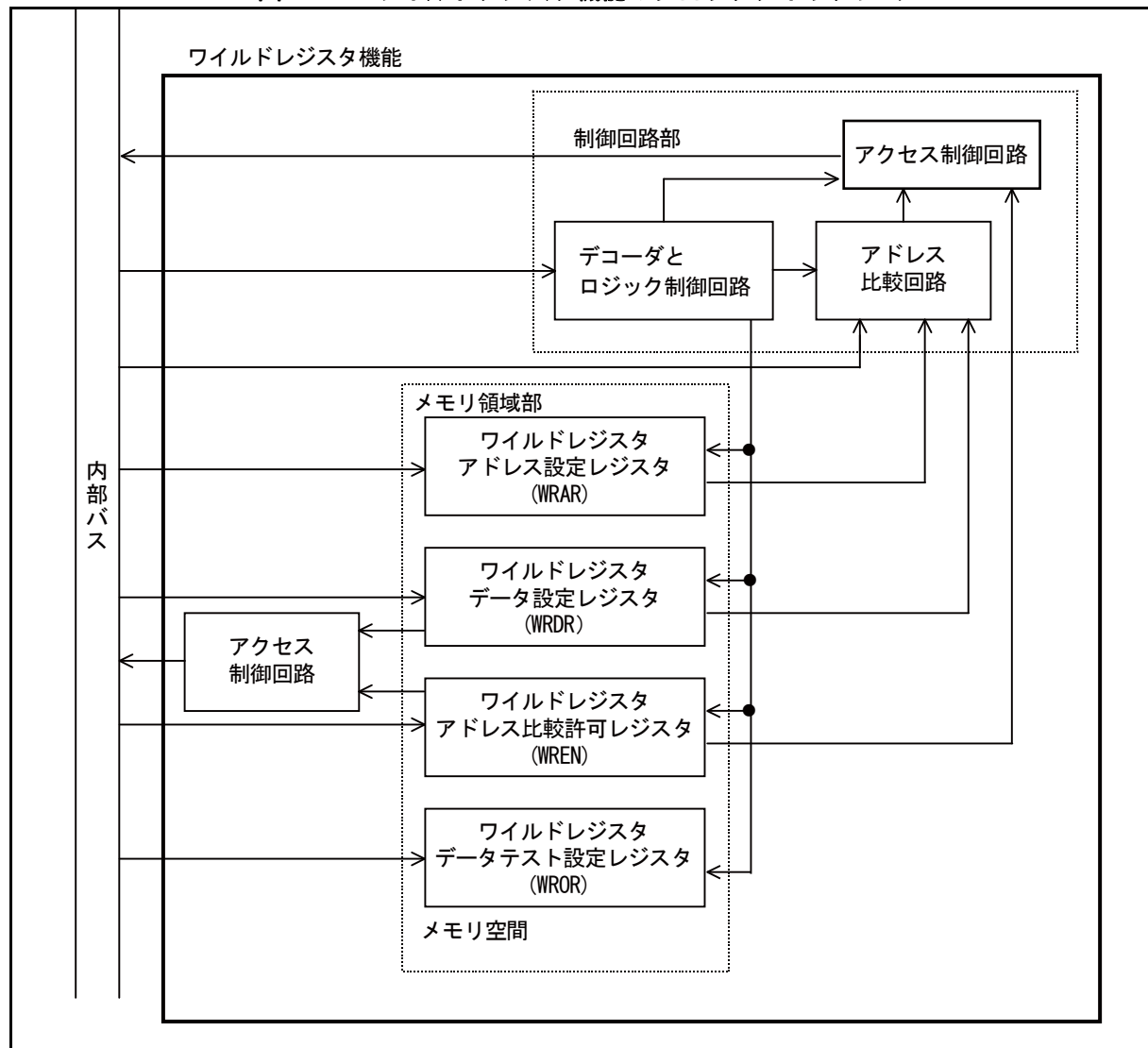
13.2 ワイルドレジスタ機能の構成

ワイルドレジスタのブロックダイアグラムを示します。ワイルドレジスタは、以下のブロックで構成されます。

- メモリ領域部
 - ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)
 - ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)
 - ワイルドレジスタアドレス比較許可レジスタ (WREN)
 - ワイルドレジスタデータテスト設定レジスタ (WROR)
- 制御回路部

■ ワイルドレジスタ機能のブロックダイアグラム

図 13.2-1 ワイルドレジスタ機能のブロックダイアグラム



● メモリ領域部

メモリ領域部は、ワイルドレジスタデータ設定レジスタ (WRDR)、ワイルドレジスタアドレス設定レジスタ (WRAR)、ワイルドレジスタアドレス比較許可レジスタ (WREN) およびワイルドレジスタデータテスト設定レジスタ (WROR) より構成されています。ワイルドレジスタ機能を使用して、置き換えたいアドレスおよびデータを設定します。ワイルドレジスタアドレス比較許可レジスタ (WREN) は、ワイルドレジスタデータ設定レジスタ (WRDR) に対応するワイルドレジスタ機能を許可にします。また、ワイルドレジスタデータテスト設定レジスタ (WROR) は、ワイルドレジスタデータ設定レジスタ (WRDR) に対応する通常読出し機能を有効にします。

● 制御回路部

この回路は、ワイルドレジスタアドレス設定レジスタ (WRAR) に設定されているアドレスと実際のアドレスデータとを比較します。一致している場合には、制御回路部は、ワイルドレジスタデータ設定レジスタ (WRDR) からデータバスへデータを出力します。制御回路部は、ワイルドレジスタアドレス比較許可レジスタ (WREN) により動作を制御する回路です。

MB95330H シリーズ

13.3 ワイルドレジスタ機能のレジスタ

ワイルドレジスタ機能のレジスタには，ワイルドレジスタデータ設定レジスタ (WRDR)，ワイルドレジスタアドレス設定レジスタ (WRAR)，ワイルドレジスタアドレス比較許可レジスタ (WREN) およびワイルドレジスタデータテスト設定レジスタ (WROR) があります。

■ ワイルドレジスタ機能のレジスタ

図 13.3-1 ワイルドレジスタ機能のレジスタ

ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
WRDR0 0F82 _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
WRDR1 0F85 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR2 0F88 _H									

ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)

アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
WRAR0 0F80 _H , 0F81 _H	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8	00000000 _B
WRAR1 0F83 _H , 0F84 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRAR2 0F86 _H , 0F87 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ワイルドレジスタアドレス比較許可レジスタ (WREN)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0076 _H	-	-	予約	予約	予約	EN2	EN1	EN0	00000000 _B
	R0/WX	R0/WX	R0/W0	R0/W0	R0/W0	R/W	R/W	R/W	

ワイルドレジスタデータテスト設定レジスタ (WROR)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0077 _H	-	-	予約	予約	予約	DRR2	DRR1	DRR0	00000000 _B
	R0/WX	R0/WX	R0/W0	R0/W0	R0/W0	R/W	R/W	R/W	

R/W: リード / ライト可能 (読出し値は書込み値と同じとなります。)

R0/WX: 読出し値は "0"。このビットに値を書き込んでも動作に影響はありません。

R0/W0: 読出し値は "0" です。書込み値は "0" です。

-: 未定義ビット

■ ワイルドレジスタ番号

ワイルドレジスタ番号は、各ワイルドレジスタアドレス設定レジスタ (WRAR) および各ワイルドレジスタデータ設定レジスタ (WRDR) に割当てられます。

表 13.3-1 ワイルドレジスタアドレス設定レジスタおよびワイルドレジスタデータ設定レジスタに対応するワイルドレジスタ番号

ワイルドレジスタ番号	ワイルドレジスタアドレス 設定レジスタ (WRAR)	ワイルドレジスタデータ 設定レジスタ (WRDR)
0	WRAR0	WRDR0
1	WRAR1	WRDR1
2	WRAR2	WRDR2

MB95330H シリーズ

13.3.1 ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)

ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2) を使用して、ワイルドレジスタ機能により修正するデータを指定します。

■ ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)

図 13.3-2 ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)

WRDR0									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F82 _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F85 _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRDR2									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F88 _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W: リード / ライト可能 (読出し値は書込み値と同じとなります。)

表 13.3-2 ワイルドレジスタデータ設定レジスタにおけるビットの機能

ビット名		機能
bit7 ~ bit0	RD7 ~ RD0 ワイルドレジスタデータ設定ビット	<p>これらのビットはワイルドレジスタ機能により修正されるデータを指定します。</p> <ul style="list-style-type: none"> これらのビットを使い、ワイルドレジスタアドレス設定レジスタ (WRAR) で割り当てられたアドレスで修正データを設定します。それぞれのワイルドレジスタ番号に対応したアドレスにてデータが許可になります。 これらのビットの読出しは、ワイルドレジスタデータテスト設定レジスタ (WROR) で対応するデータテスト設定ビットを "1" に設定した場合のみ許可となります。

13.3.2 ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)

ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2) を使用して、ワイルドレジスタ機能により修正するアドレスを設定します。

■ ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)

図 13.3-3 ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)

WRAR0									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0F80 _H	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F81 _H	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRAR1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0F83 _H	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F84 _H	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
WRAR2									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0F86 _H	RA15	RA14	RA13	RA12	RA11	RA10	RA9	RA8	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F87 _H	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W: リード / ライト可能 (読出し値は書込み値と同じとなります。)									

表 13.3-3 ワイルドレジスタアドレス設定レジスタ (WRAR) の各ビットの機能

ビット名		機能
bit15 ~ bit0	RA15 ~ RA0 ワイルドレジスタアドレス設定ビット	ワイルドレジスタ機能により修正するアドレスを設定します。 修正データに割り当てられたアドレスを設定します。アドレスは、ワイルドレジスタアドレス設定レジスタに対応するワイルドレジスタ番号に従って設定されます。

MB95330H シリーズ

13.3.3 ワイルドレジスタアドレス比較許可レジスタ (WREN)

ワイルドレジスタアドレス比較許可レジスタ (WREN) は、それぞれのワイルドレジスタ番号に対応して、ワイルドレジスタ機能の動作を許可 / 禁止します。

■ ワイルドレジスタアドレス比較許可レジスタ (WREN)

図 13.3-4 ワイルドレジスタアドレス比較許可レジスタ (WREN)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0076 _H	-	-	予約	予約	予約	EN2	EN1	EN0	00000000 _B
	R0/WX	R0/WX	R0/W0	R0/W0	R0/W0	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値と同じとなります。)
 R0/WX : 読出し値は "0"。このビットに値を書き込んでも動作に影響はありません。
 R0/W0 : 読出し値は "0" です。書込み値は "0" です。
 - : 未定義ビット

表 13.3-4 ワイルドレジスタアドレス比較許可レジスタ (WREN) におけるビットの機能

ビット名		機能
bit7, bit6	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。
bit5 ~ bit3	予約ビット	予約ビットです。 • 読出し時の値は "0" です。 • これらのビットは常に "0" を設定してください。
bit2 ~ bit0	EN2, EN1, EN0: ワイルドレジスタ アドレス比較許可 ビット	ワイルドレジスタの動作を許可 / 禁止にします。 • EN0 はワイルドレジスタ番号 0 に対応します。 • EN1 はワイルドレジスタ番号 1 に対応します。 • EN2 はワイルドレジスタ番号 2 に対応します。 "0" に設定する場合 : ワイルドレジスタ機能の動作を禁止にします。 "1" に設定する場合 : ワイルドレジスタ機能の動作を許可にします。

13.3.4 ワイルドレジスタデータテスト設定レジスタ (WROR)

ワイルドレジスタデータテスト設定レジスタ (WROR) は、対応するワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2) より読出しデータを許可 / 禁止します。

■ ワイルドレジスタデータテスト設定レジスタ (WROR)

図 13.3-5 ワイルドレジスタデータテスト設定レジスタ (WROR)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0077 _H	-	-	予約	予約	予約	DRR2	DRR1	DRR0	00000000 _B
	R0/WX	R0/WX	R0/W0	R0/W0	R0/W0	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値と同じとなります。)
 R0/WX : 読出し値は "0"。このビットに値を書き込んでも動作に影響はありません。
 R0/W0 : 読出し値は "0" です。書込み値は "0" です。
 - : 未定義ビット

表 13.3-5 ワイルドレジスタデータテスト設定レジスタにおけるビットの機能

ビット名	機能
bit7, bit6	未定義ビット
bit5 ~ bit3	予約ビット 読出し時の値は "0" です。 これらのビットは常に "0" を設定してください。
bit2 ~ bit0	DRR2, DRR1, DRR0: ワイルドレジスタデータテスト設定ビット 対応するワイルドレジスタデータ設定レジスタの読出しを許可 / 禁止にします。 • DRR0 は、ワイルドレジスタデータ設定レジスタ (WRDR0) からの読出しを許可 / 禁止にします。 • DRR1 は、ワイルドレジスタデータ設定レジスタ (WRDR1) からの読出しを許可 / 禁止にします。 • DRR2 は、ワイルドレジスタデータ設定レジスタ (WRDR2) からの読出しを許可 / 禁止にします。 "0" に設定する場合 : 読出しを禁止にします。 "1" に設定する場合 : 読出しを許可にします。

13.4 ワイルドレジスタ機能の動作説明

ワイルドレジスタ機能の設定順序について説明します。

■ ワイルドレジスタ機能の設定順序

ワイルドレジスタ機能を使用する前に、ユーザプログラム内にある、外部メモリ（例えば、E²PROM や FRAM）からワイルドレジスタに設定する値を読み出すプログラムを準備する必要があります。以下に、ワイルドレジスタの設定方法を示します。

本節では、外部メモリとデバイス間の通信方法については説明しません。

- ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2) に、変更する内蔵の ROM コードのアドレスを書き込みます。
- アドレスが書き込まれたワイルドレジスタアドレス設定レジスタに対応するワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2) に、新しいコードを書き込みます。
- ワイルドレジスタアドレス比較許可レジスタ (WREN) のワイルドレジスタ番号に対応する EN ビットに、"1" を書き込み、ワイルドレジスタ機能を許可にします。

表 13.4-1 は、ワイルドレジスタ機能のレジスタ設定順序を示します。

表 13.4-1 ワイルドレジスタ機能のレジスタ設定手順

ステップ	動作	動作例
1	ある一定の通信方法を通じて、外部周辺機能より、置換データを読み出します。	変更する内蔵 ROM コードがアドレス F011 _H にあり、変更するデータが B5 _H にある場合、変更する内蔵 ROM コードは 3 つになります。
2	置換アドレスをワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2) へ書き込みます。	ワイルドレジスタアドレス設定レジスタ (WRAR0 = F011 _H , WRAR1 = ..., WRAR2 = ...) を設定します。
3	ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2) に新しい ROM コードを書き込みます（内蔵 ROM コードを置き換えます）。	ワイルドレジスタデータ設定レジスタ (WRDR0 = B5 _H , WRDR1 = ..., WRDR2 = ...) を設定します。
4	ワイルドレジスタアドレス比較許可レジスタ (WREN) のワイルドレジスタ番号に対応する EN ビットを許可にします。	ワイルドレジスタ番号 0 のワイルドレジスタ機能を許可するには、アドレス比較許可レジスタ (WREN) の bit0 に "1" を設定します。もし、アドレスがワイルドレジスタアドレス設定レジスタ (WRAR) に設定されている値と一致すれば、ワイルドレジスタデータ設定レジスタ (WRDR) の値は、内蔵 ROM コードに置き換えられます。複数の内蔵 ROM コードを置き換える際は、それぞれの内蔵 ROM コードに対応するワイルドレジスタアドレス比較許可レジスタ (WREN) の EN ビットを許可してください。

■ ワイルドレジスタ機能適用アドレス

ワイルドレジスタ機能が適用できるアドレス空間は、"0078_H" を除くすべての空間です。

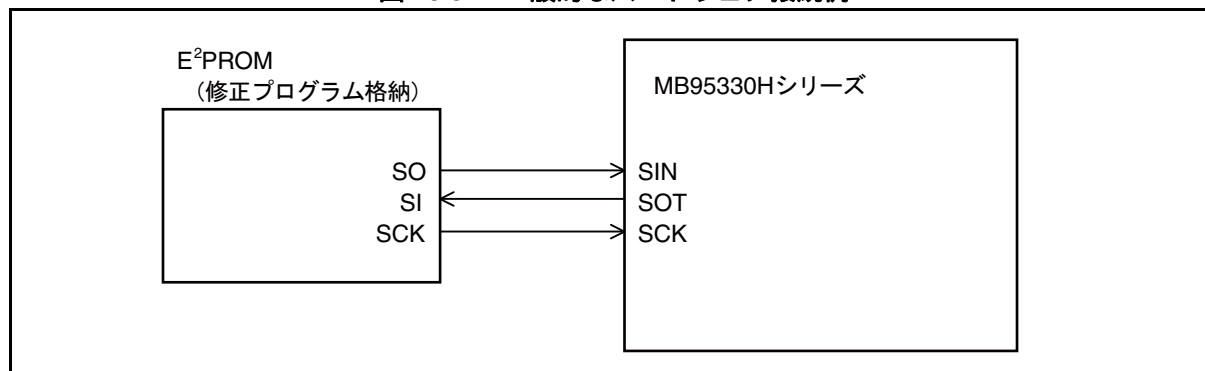
アドレス "0078_H" はレジスタバンクポインタおよびダイレクトバンクポインタのミラーアドレスとなっているため、このアドレスにパッチをあてることはできません。

13.5 一般的なハードウェア接続例

以下に、ワイルドレジスタ機能を使用するときのハードウェア間の一般的な接続について例示します。

■ ハードウェア接続例

図 13.5-1 一般的なハードウェア接続例



第14章

8/16 ビット複合タイマ

8/16 ビット複合タイマの機能と動作について説明します。

- 14.1 8/16 ビット複合タイマの概要
- 14.2 8/16 ビット複合タイマの構成
- 14.3 8/16 ビット複合タイマのチャンネル
- 14.4 8/16 ビット複合タイマの端子
- 14.5 8/16 ビット複合タイマのレジスタ
- 14.6 8/16 ビット複合タイマの割込み
- 14.7 インターバルタイマ機能 (ワンショットモード) の動作説明
- 14.8 インターバルタイマ機能 (連続モード) の動作説明
- 14.9 インターバルタイマ機能 (フリーランモード) の動作説明
- 14.10 PWM タイマ機能 (周期固定モード) の動作説明
- 14.11 PWM タイマ機能 (周期可変モード) の動作説明
- 14.12 PWC タイマ機能の動作説明
- 14.13 インพุットキャプチャ機能の動作説明
- 14.14 ノイズフィルタの動作説明
- 14.15 動作中の各モードでの状態
- 14.16 8/16 ビット複合タイマの使用上の注意

14.1 8/16 ビット複合タイマの概要

8/16 ビット複合タイマは、2つの8ビットカウンタで構成されています。2つの8ビットタイマとして使用することも、2つのカウンタをカスケード接続して1つの16ビットタイマとして使用することもできます。

8/16 ビット複合タイマには、以下の機能があります。

- インターバルタイマ機能
- PWM タイマ機能
- PWC タイマ機能 (パルス幅測定)
- インプットキャプチャ機能

■ インターバルタイマ機能 (ワンショットモード)

インターバルタイマ機能 (ワンショットモード) が選択されると、タイマが起動した時点でカウンタは 00_H からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 00/01 データレジスタの値と一致すると、タイマ出力が反転し、割込み要求が発生して、カウント動作が停止します。

■ インターバルタイマ機能 (連続モード)

インターバルタイマ機能 (連続モード) が選択されると、タイマが起動した時点でカウンタは 00_H からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 00/01 データレジスタの値と一致すると、タイマ出力が反転し、割込み要求が発生して、カウンタは再び 00_H からカウントします。この連続動作の結果、タイマは方形波を出力します。

■ インターバルタイマ機能 (フリーランモード)

インターバルタイマ機能 (フリーランモード) が選択されると、カウンタは 00_H からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 00/01 データレジスタの値と一致すると、タイマ出力が反転し、割込み要求が発生します。このような条件下で、カウント動作を継続し、カウント値が FF_H に達すると、再度 00_H からカウント動作を開始します。この連続動作の結果、タイマは方形波を出力します。

■ PWM タイマ機能 (周期固定モード)

PWM タイマ機能 (周期固定モード) が選択されると、周期固定で "H" パルス幅可変の PWM 信号が生成されます。この周期は、8 ビット動作モードでは FF_H に、16 ビット動作モードでは $FFFF_H$ に固定されます。カウントクロックを選択することで時間が決定されます。"H" パルス幅はレジスタを設定して指定します。

■ PWM タイマ機能 (周期可変モード)

PWM タイマ機能 (周期可変モード) が選択されると、2つの8ビットカウンタを使用して、周期と "L" パルス幅をレジスタで指定することにより、任意の周期とデューティの8ビット PWM 信号を生成します。

この動作モードでは、2つの8ビットカウンタが別々に使用されるため、複合タイマは16ビットカウンタとして動作することはできません。

MB95330H シリーズ

■ PWC タイマ機能

PWC タイマ機能が選択されると、外部入力パルスの幅および周期を測定できます。

この動作モードでは、外部入力信号のカウント開始エッジを検出した直後に、カウンタは "00_H" からカウント動作を開始します。この後、カウント終了エッジが検出されると、カウンタは、カウント値をレジスタに転送し、割込みを発生させます。

■ インプットキャプチャ機能

インプットキャプチャ機能が選択されると、外部入力信号のエッジを検出した直後に、カウンタ値をレジスタに格納します。

この機能には、カウント動作にフリーランモードとクリアモードがあります。

クリアモードでは、カウンタは "00_H" からカウント動作を開始し、エッジを検出すると、カウンタの値をレジスタに転送して割込みを発生させます。その後、カウンタは、00_H からカウントを再開します。

フリーランモードでは、カウンタはエッジを検出した時点で、カウンタ値をレジスタに転送して割込みを発生させます。この後、クリアモードの場合とは異なり、カウンタは、00_H にクリアすることなく、そのままカウント動作を継続します。

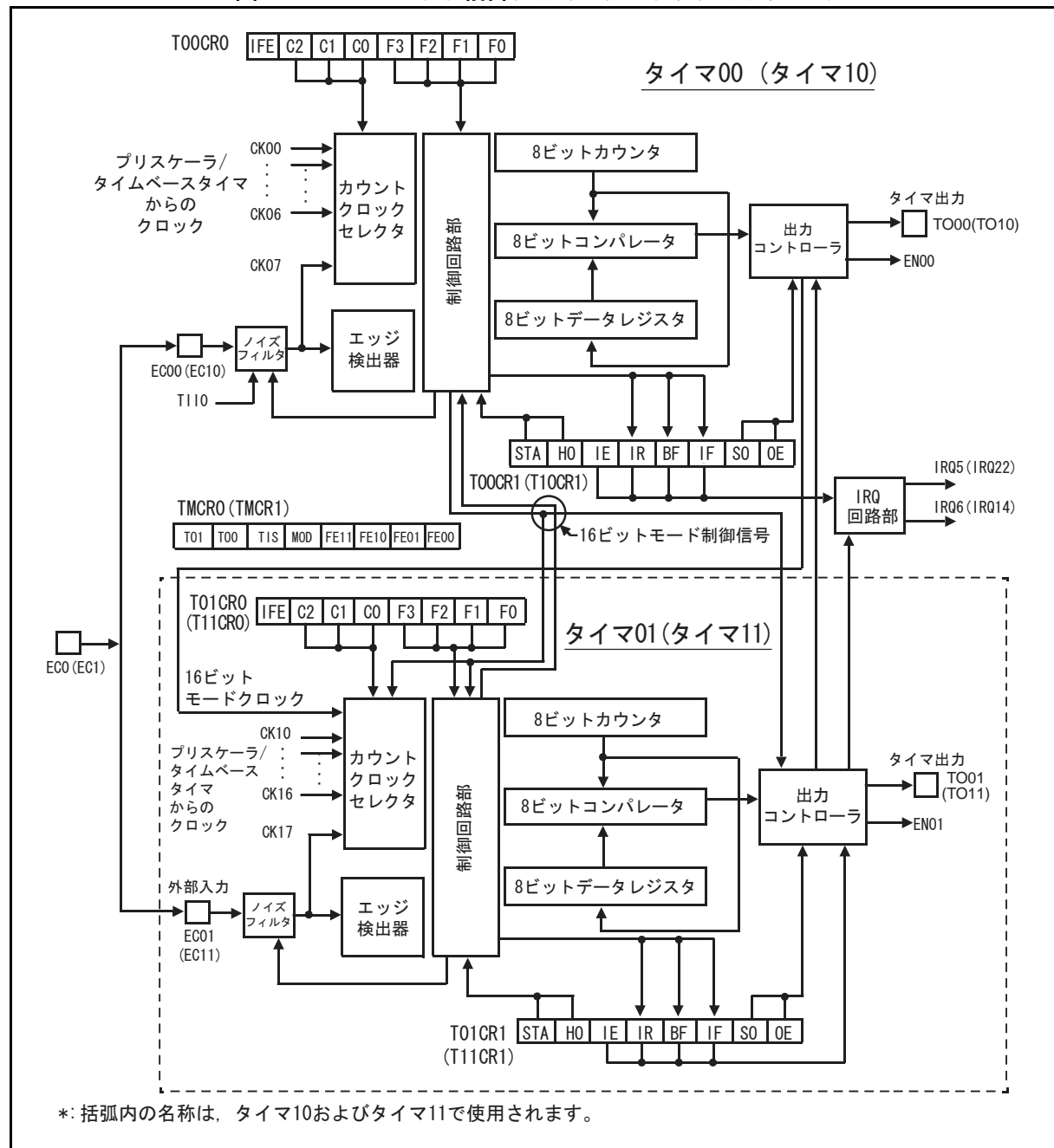
14.2 8/16 ビット複合タイマの構成

8/16 ビット複合タイマは、以下のブロックで構成されています。

- 8 ビットカウンタ × 2 チャンネル
 - 8 ビットコンパレータ (テンポラリラッチを含む) × 2 チャンネル
 - 8/16 ビット複合タイマ 00/01 データレジスタ × 2 チャンネル
(T00DR/T01DR) (T10DR/T11DR)
 - 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 × 2 チャンネル
(T00CR0/T01CR0), (T10CR0/T11CR0)
 - 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 × 2 チャンネル
(T00CR1/T01CR1), (T10CR1/T11CR1)
 - 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCR0), (TMCR1)
 - アウトプットコントローラ × 2 チャンネル
 - 制御ロジック × 2 チャンネル
 - カウントクロックセクタ × 2 チャンネル
 - エッジ検出器 × 2 チャンネル
 - ノイズフィルタ × 2 チャンネル
-

■ 8/16 ビット複合タイマのブロックダイアグラム

図 14.2-1 8/16 ビット複合タイマのブロックダイアグラム



● 8 ビットカウンタ

各種タイマ動作の基本となるカウンタです。2つの8ビットカウンタとして、または1つの16ビットカウンタとして使用することができます。

● 8 ビットコンパレータ

8/16 ビット複合タイマデータレジスタの値とカウンタの値を比較するコンパレータです。8/16 ビット複合タイマデータレジスタの値を一時的に格納するラッチを内蔵しています。

- 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR)[8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR)]

このレジスタは、インターバルタイマ動作またはPWM タイマ動作時にカウントされた最大値の書込みおよびPWCタイマ動作またはインプットキャプチャ動作時のカウント値の読出しを行います。

- 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)
[タイマ 10/11 の 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 0 (T10CR0/T11CR0)]

タイマ動作モードの選択や、カウントクロックの選択、および IF フラグ割込みの許可または禁止を行うレジスタです。

- 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)
[タイマ 10/11 の 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1 (T10CR1/T11CR1)]

割込みフラグの制御、タイマ出力の制御、およびタイマ動作の制御を行うレジスタです。

- 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCR0)
[タイマ 10/11 の 8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ (TMCR1)]

ノイズフィルタ機能の選択、8 ビットまたは 16 ビット動作モードの選択、タイマ 00 信号入力の選択、およびタイマ出力値の表示を行うレジスタです。

- アウトプットコントローラ

このアウトプットコントローラは、タイマ出力を制御します。端子出力が許可されているとき、タイマ出力は外部端子に出力されます。

- 制御回路部

この制御回路部は、タイマ動作を制御します。

- カウントクロックセクタ

このセクタは、カウンタの動作クロック信号をプリスケアラの出力信号（マシニングクロックの分周信号およびタイムベースタイマの出力信号）から選択します。

- エッジ検出器

エッジ検出器は、PWC タイマ動作やインプットキャプチャ動作時のイベントとして使用される外部入力信号のエッジを選択します。

- ノイズフィルタ

このフィルターは、外部入力信号のノイズフィルタとして動作します。"H" パルスノイズ除去、"L" パルスノイズ除去、または "H"/"L" パルスノイズ除去から選択することができます。

- TII0 内部端子 (LIN-UART に内部接続, ch.0 のみで使用可能)

TII0 端子はタイマ 00 の信号入力端子として機能しますが, チップ内部で LIN-UART に接続されています。その使用方法については「第 17 章 LIN-UART」を参照してください。なお, ch.1 の TII0 端子は内部で "0" に固定されています。

■ 入力クロック

8/16 ビット複合タイマは, プリスケアラからの出力クロックを入力クロック (カウントクロック) として使用します。

14.3 8/16 ビット複合タイマのチャンネル

8/16 ビット複合タイマのチャンネルについて説明します。

■ 8/16 ビット複合タイマのチャンネル

MB95330H シリーズには、8/16 ビット複合タイマが 2 チャンネル搭載されています。

1 チャンネル内には、8 ビットカウンタが 2 つあり、それらは 2 つの 8 ビットタイマとして、または 1 つの 16 ビットタイマとして使用することもできます。

表 14.3-1 はそれぞれのチャンネルと外部端子および表 14.3-2 はそれぞれのチャンネルのレジスタを示します。

表 14.3-1 8/16 ビット複合タイマのチャンネルと対応する外部端子

チャンネル	端子名	端子機能
0	TO00	タイマ 00 出力
	TO01	タイマ 01 出力
	EC0	タイマ 00 入力およびタイマ 01 入力
1	TO10	タイマ 10 出力
	TO11	タイマ 11 出力
	EC1	タイマ 10 入力およびタイマ 11 入力

表 14.3-2 8/16 ビット複合タイマのチャンネルと対応するレジスタ

チャンネル	レジスタ略称	対応するレジスタ (本マニュアルにおける名称)
0	T00CR0	8/16 ビット複合タイマ 00 制御ステータスレジスタ 0
	T01CR0	8/16 ビット複合タイマ 01 制御ステータスレジスタ 0
	T00CR1	8/16 ビット複合タイマ 00 制御ステータスレジスタ 1
	T01CR1	8/16 ビット複合タイマ 01 制御ステータスレジスタ 1
	T00DR	8/16 ビット複合タイマ 00 データレジスタ
	T01DR	8/16 ビット複合タイマ 01 データレジスタ
	TMCR0	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ
1	T10CR0	8/16 ビット複合タイマ 10 制御ステータスレジスタ 0
	T11CR0	8/16 ビット複合タイマ 11 制御ステータスレジスタ 0
	T10CR1	8/16 ビット複合タイマ 10 制御ステータスレジスタ 1
	T11CR1	8/16 ビット複合タイマ 11 制御ステータスレジスタ 1
	T10DR	8/16 ビット複合タイマ 10 データレジスタ
	T11DR	8/16 ビット複合タイマ 11 データレジスタ
	TMCR1	8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ

本章の以下に続く節では、8/16 ビット複合タイマの ch.0 の詳細のみを説明します。

ch.0 および ch.1 は同じものです。端子名とレジスタ略称とにある 2 桁の数字は、チャンネルとタイマに対応します。最初の数字はチャンネル、2 番目の数字はタイマを示します。

14.4 8/16 ビット複合タイマの端子

8/16 ビット複合タイマの端子について説明します。

■ 8/16 ビット複合タイマの端子

8/16 ビット複合タイマの外部端子は、TO00, TO01, TO10, TO11, EC0, EC1 です。TH0 はチップ内部接続用です。

● TO00 端子

TO00:

TO00 端子は、8 ビット動作時には、タイマ 00 のタイマ出力端子として、また 16 ビット動作時にはタイマ 00 とタイマ 01 のタイマ出力端子として機能します。インターバルタイマ機能時、PWM タイマ機能時、または PWC タイマ機能時に出力を許可 (T00CR1:OE=1) されているときには、ポート方向レジスタ (DDR0:bit5) の設定に関係なく自動的に出力端子となり、タイマ出力 TO00 端子として機能します。

インプットキャプチャ機能の使用時に出力が許可されると、出力は不定となります。

● TO01 端子

TO01:

TO01 端子は、8 ビット動作時のタイマ 01 のタイマ出力端子になります。インターバルタイマ機能時、PWM タイマ機能 (周期固定モード) 時、または PWC タイマ機能時に出力を許可 (T01CR1:OE=1) すると、ポート方向レジスタ (DDR0:bit6) の設定に関係なく自動的に出力端子となり、タイマ出力 TO01 端子として機能します。

16 ビット動作時は、PWM タイマ機能 (周期可変モード) またはインプットキャプチャ機能の使用時に出力を許可すると、出力は不定となります。

● EC0 端子

EC0 端子は、EC00 内部端子および EC01 内部端子に接続しています。

EC00 内部端子

EC0 端子は、インターバルタイマ機能または PWM タイマ機能が選択されている時には、タイマ 00 の外部カウンタクロック入力端子として機能し、PWC タイマ機能またはインプットキャプチャ機能が選択されているときには、タイマ 00 の信号入力端子として機能します。PWC タイマ機能またはインプットキャプチャ機能が選択されているときには、外部カウンタクロック入力端子として設定できません。

この入力機能を使用するときには、EC0 端子に対応するポート方向レジスタのビットを "0" に設定して、入力ポートにしてください。

EC01 内部端子

EC0 端子は、インターバルタイマ機能または PWM タイマ機能が選択されている時には、タイマ 01 の外部カウンタクロック入力端子として機能し、PWC タイマ機能またはインプットキャプチャ機能が選択されている時には、タイマ 01 の信号入力端子として機能します。PWC タイマ機能またはインプットキャプチャ機能が選択されているときには、外部カウンタクロック入力端子として設定できません。

16 ビット動作時には、この端子の入力機能は使用されません。PWM タイマ機能（周期可変モード）が選択されているときには、この端子の入力機能は使用可能です。

この入力機能を使用するときには、EC0 端子に対応するポート方向レジスタのビットを "0" に設定して、入力ポートにしてください。

● TO10 端子

TO10:

TO10 端子は、8 ビット動作時には、タイマ 10 のタイマ出力端子として、また 16 ビット動作時にはタイマ 10 とタイマ 11 のタイマ出力端子として機能します。インターバルタイマ機能時、PWM タイマ機能時、または PWC タイマ機能時に出力を許可 (T10CR1:OE=1) されているときには、ポート方向レジスタ (DDR6:bit2) の設定に関係なく自動的に出力端子となり、タイマ出力 TO10 端子として機能します。

インプットキャプチャ機能の使用時に出力が許可されると、出力は不定となります。

● TO11 端子

TO11:

TO11 端子は、8 ビット動作時のタイマ 11 のタイマ出力端子になります。インターバルタイマ機能時、PWM タイマ機能（周期固定モード）時、または PWC タイマ機能時に出力を許可 (T11CR1:OE=1) すると、ポート方向レジスタ (DDR6:bit3) の設定に関係なく自動的に出力端子となり、タイマ出力 TO11 端子として機能します。

16 ビット動作時は、PWM タイマ機能（周期可変モード）またはインプットキャプチャ機能の使用時に出力を許可すると、出力は不定となります。

● EC1 端子

EC1 端子は、EC10 内部端子および EC11 内部端子に接続しています。

EC10 内部端子：

EC1 端子は、インターバルタイマ機能または PWM タイマ機能が選択されている時には、タイマ 10 の外部カウントクロック入力端子として機能し、PWC タイマ機能またはインプットキャプチャ機能が選択されているときには、タイマ 10 の信号入力端子として機能します。PWC タイマ機能またはインプットキャプチャ機能が選択されているときには、外部カウントクロック入力端子として設定できません。

この入力機能を使用するときには、EC1 端子に対応するポート方向レジスタのビットを "0" に設定して、入力ポートにしてください。

EC11 内部端子：

EC1 端子は、インターバルタイマ機能または PWM タイマ機能が選択されている時には、タイマ 11 の外部カウントクロック入力端子として機能し、PWC タイマ機能またはインプットキャプチャ機能が選択されている時には、タイマ 11 の信号入力端子として機能します。PWC タイマ機能またはインプットキャプチャ機能が選択されているときには、外部カウントクロック入力端子として設定できません。

16 ビット動作時には、この端子の入力機能は使用されません。PWM タイマ機能（周期可変モード）が選択されているときには、この端子の入力機能は使用可能です。この入力機能を使用するときには、EC1 端子に対応するポート方向レジスタのビットを "0" に設定して、入力ポートにしてください。

■ 8/16 ビット複合タイマに関連する端子のブロックダイヤグラム

図 14.4-1 8/16 ビット複合タイマの EC0 端子 (P12/EC0/DBG) のブロックダイヤグラム

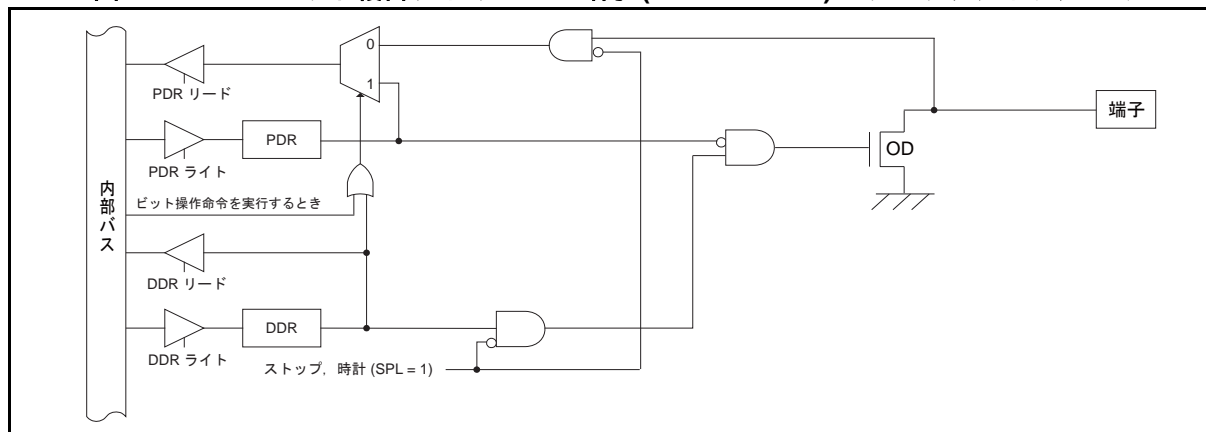


図 14.4-2 8/16 ビット複合タイマの EC0 端子 (P04/INT04/AN04/SIN/HCLK1/EC0) のブロックダイヤグラム

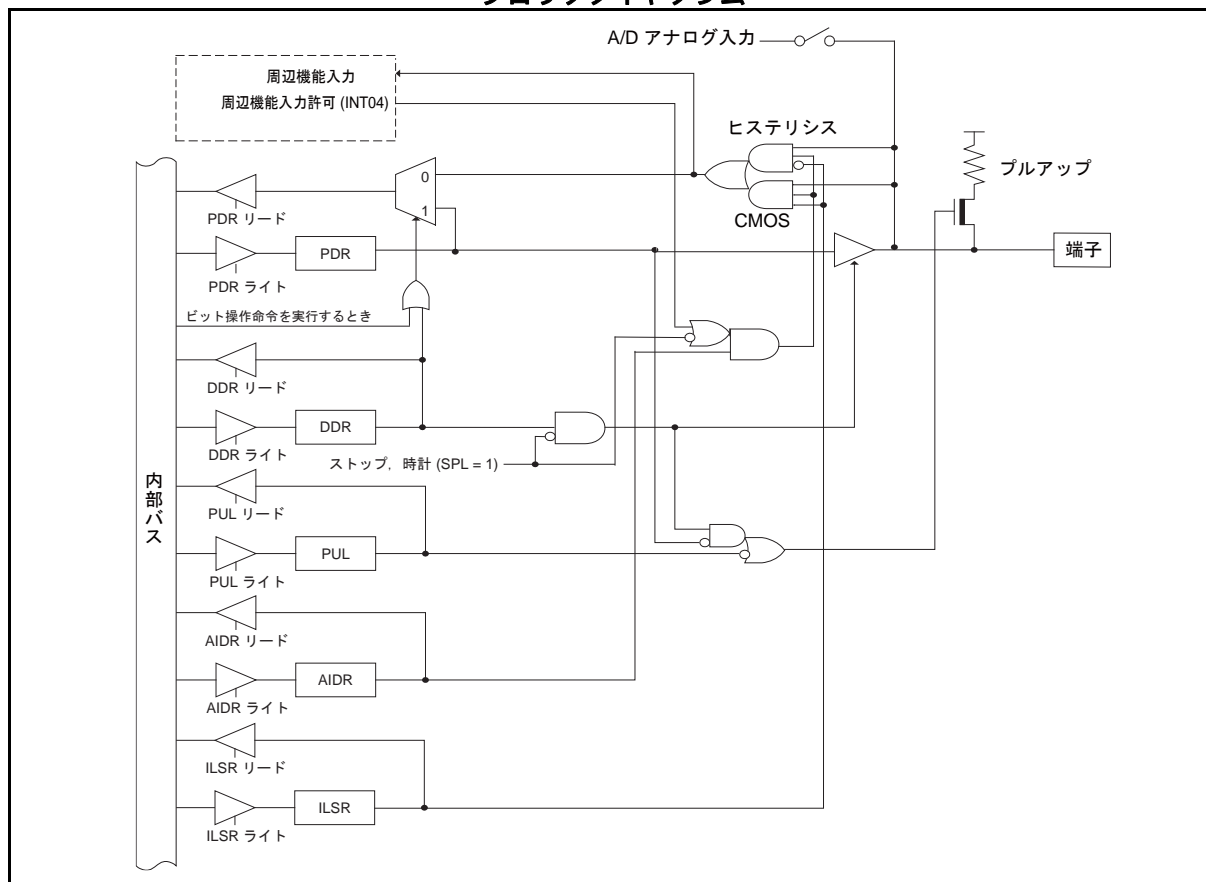


図 14.4-3 8/16 ビット複合タイマの TO00 端子 (P05/INT05/AN05/TO00/HCLK2) の
ブロックダイアグラム

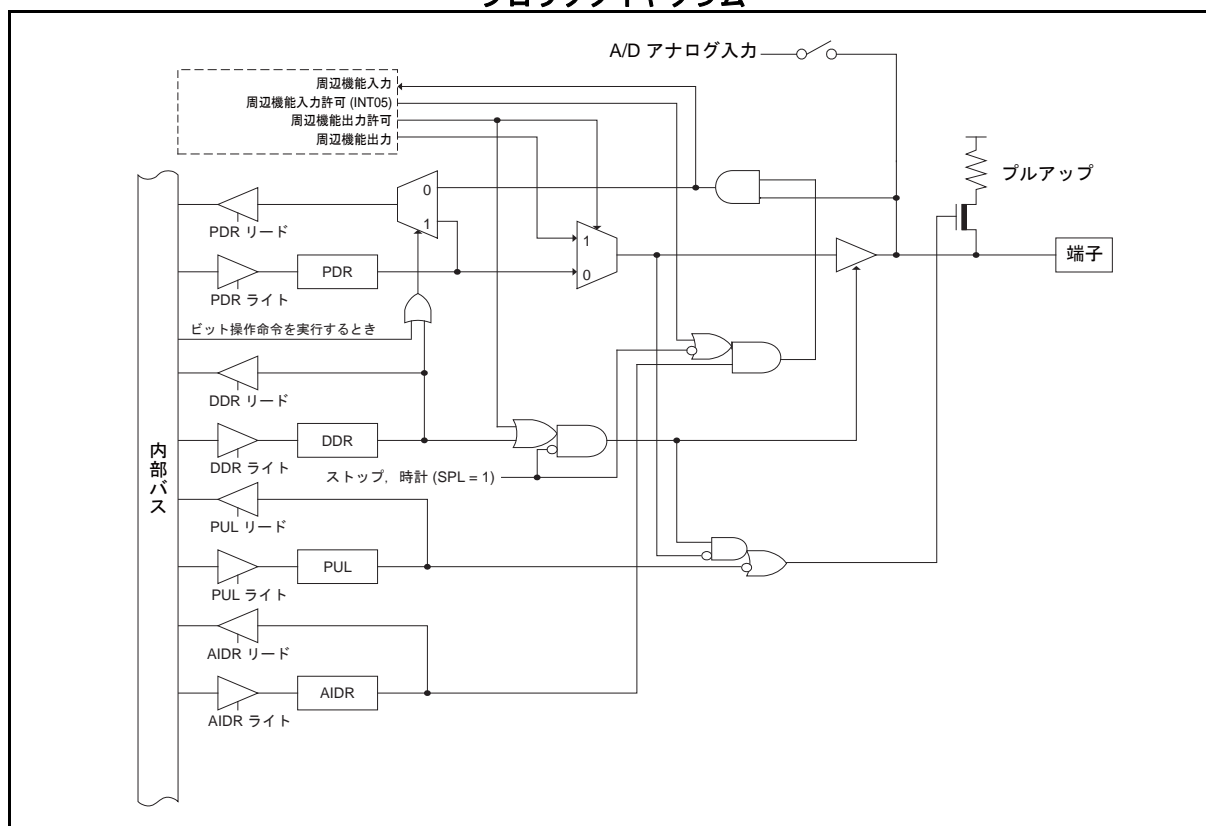


図 14.4-4 8/16 ビット複合タイマの TO01 端子 (P06/INT06/AN06/TO01) の
ブロックダイアグラム

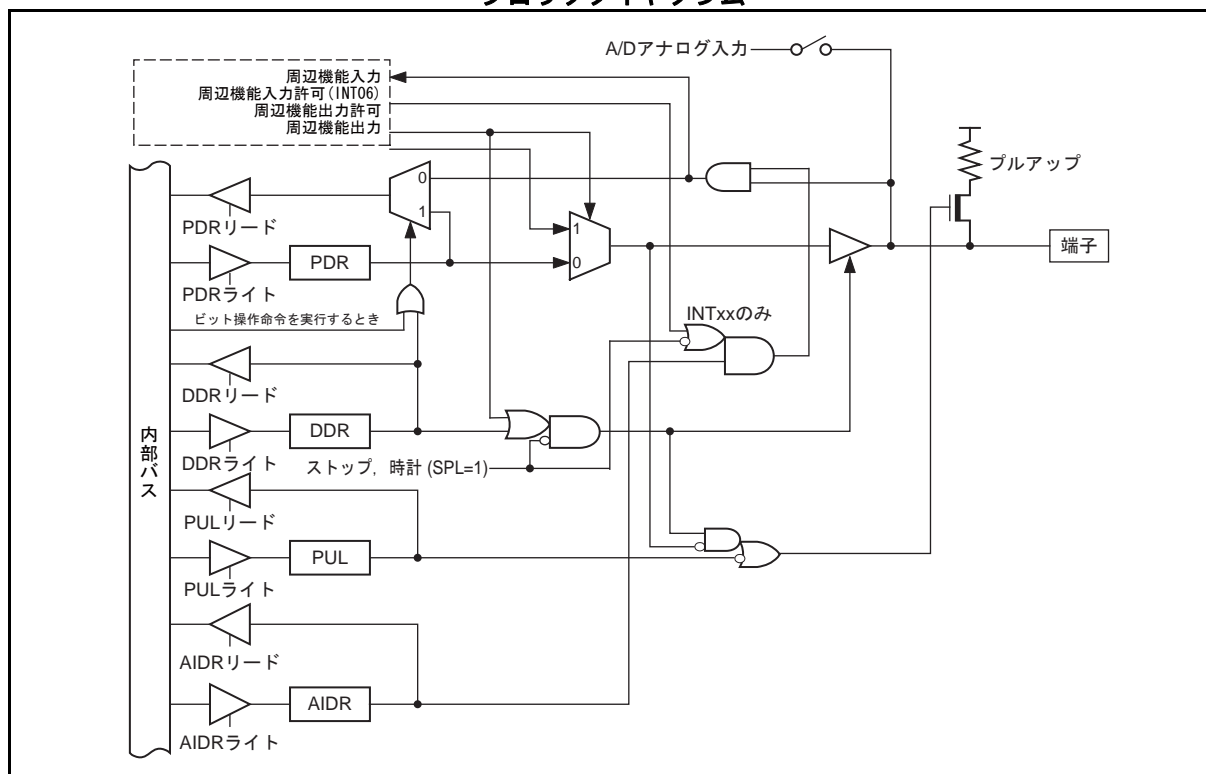


図 14.4-5 8/16 ビット複合タイマの TO10 端子および TO11 端子 (P62/TO10/PPG00/OPT0 および P63/TO11/PPG01/OPT1) のブロックダイアグラム

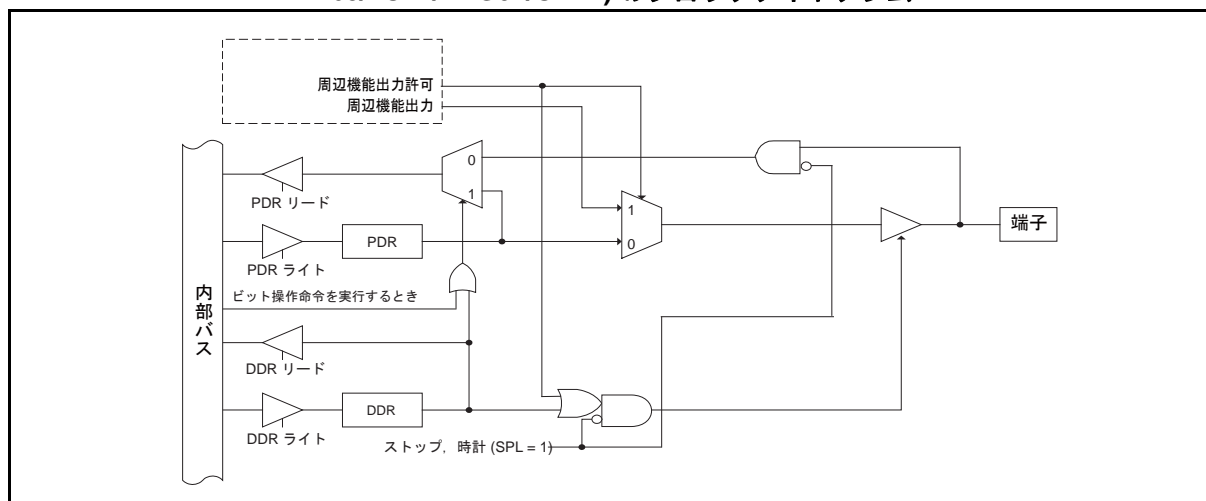
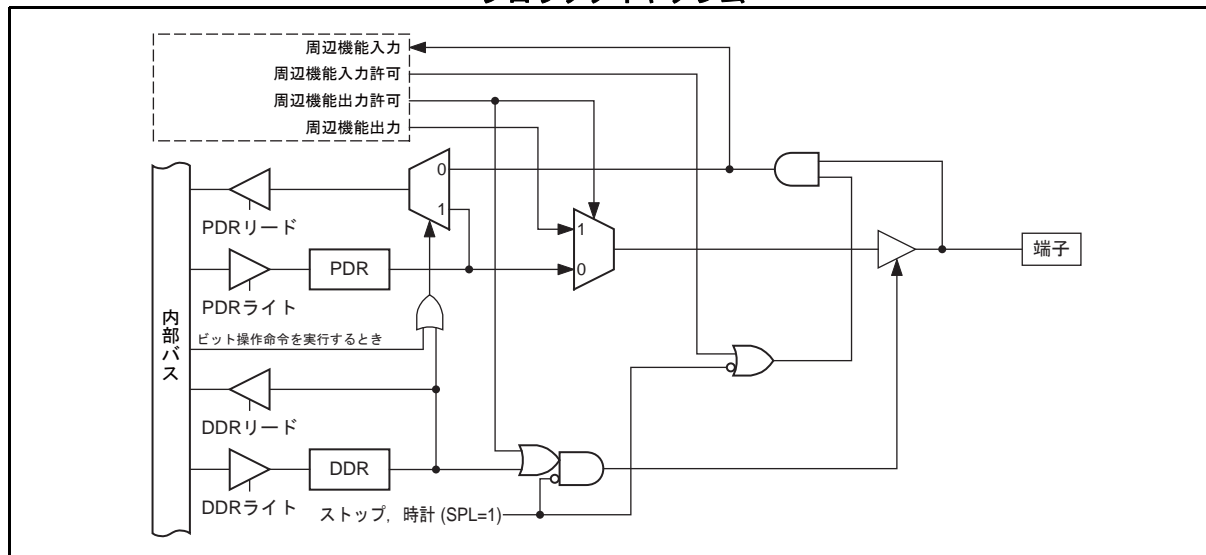


図 14.4-6 8/16 ビット複合タイマの EC1 端子 (P64/EC1/PPG10/OPT2) のブロックダイアグラム



14.5 8/16 ビット複合タイマのレジスタ

8/16 ビット複合タイマのレジスタについて説明します。

■ 8/16 ビット複合タイマ 0 のレジスタ

図 14.5-1 8/16 ビット複合タイマ 0 のレジスタ

8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T01CR0 0F92 _H	IFE	C2	C1	C0	F3	F2	F1	F0	00000000 _B
T00CR0 0F93 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T01CR1 0036 _H	STA	HO	IE	IR	BF	IF	SO	OE	00000000 _B
T00CR1 0037 _H	R/W	R/W	R/W	R(RM1),W	R/WX	R(RM1),W	R/W	R/W	
8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T01DR 0F94 _H	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	00000000 _B
T00DR 0F95 _H	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	
8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ (TMCR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F96 _H	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00	00000000 _B
	R/WX	R/WX	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能 (読出し値は書込み値と同じとなります。) R(RM1),W : リード / ライト可能 (読出し値は書込み値と異なります。リードモディファイライト (RMW) 系命令では, "1" が読み出されます。) R/WX : リードオンリ (読出し可能。このビットに値を書き込んでも動作に影響はありません。) R,W : リード / ライト可能 (読出し値は書込み値と異なります。)									

■ 8/16 ビット複合タイマ 1 のレジスタ

図 14.5-2 8/16 ビット複合タイマ 1 のレジスタ

8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 0 (T10CR0/T11CR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T11CR0 0F97 _H	IFE	C2	C1	C0	F3	F2	F1	F0	00000000 _B
T10CR0 0F98 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1 (T10CR1/T11CR1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T11CR1 0038 _H	STA	HO	IE	IR	BF	IF	SO	OE	00000000 _B
T10CR1 0039 _H	R/W	R/W	R/W	R(RM1),W	R/WX	R(RM1),W	R/W	R/W	
8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T11DR 0F99 _H	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	00000000 _B
T10DR 0F9A _H	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	
8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ (TMCR1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0F9B _H	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00	00000000 _B
	R/WX	R/WX	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能 (読出し値は書き込み値と同じとなります。) R(RM1),W : リード / ライト可能 (読出し値は書き込み値と異なります。リードモディファイライト (RMW) 系命令では, "1" が読み出されます。) R/WX : リードオンリ (読出し可能。このビットに値を書き込んでも動作に影響はありません。) R,W : リード / ライト可能 (読出し値は書き込み値と異なります。)									

14.5.1 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)

8/16 ビット複合タイマ 00/01 制御ステータスレジスタ (T00CR0/T01CR0) は、タイマの動作モードの選択、カウントクロックの選択およびIF フラグ割込みの許可または禁止を行います。T00CR0 レジスタはタイマ 00 に、T01CR0 レジスタはタイマ 01 に対応します。

■ 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)

図 14.5-3 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0)

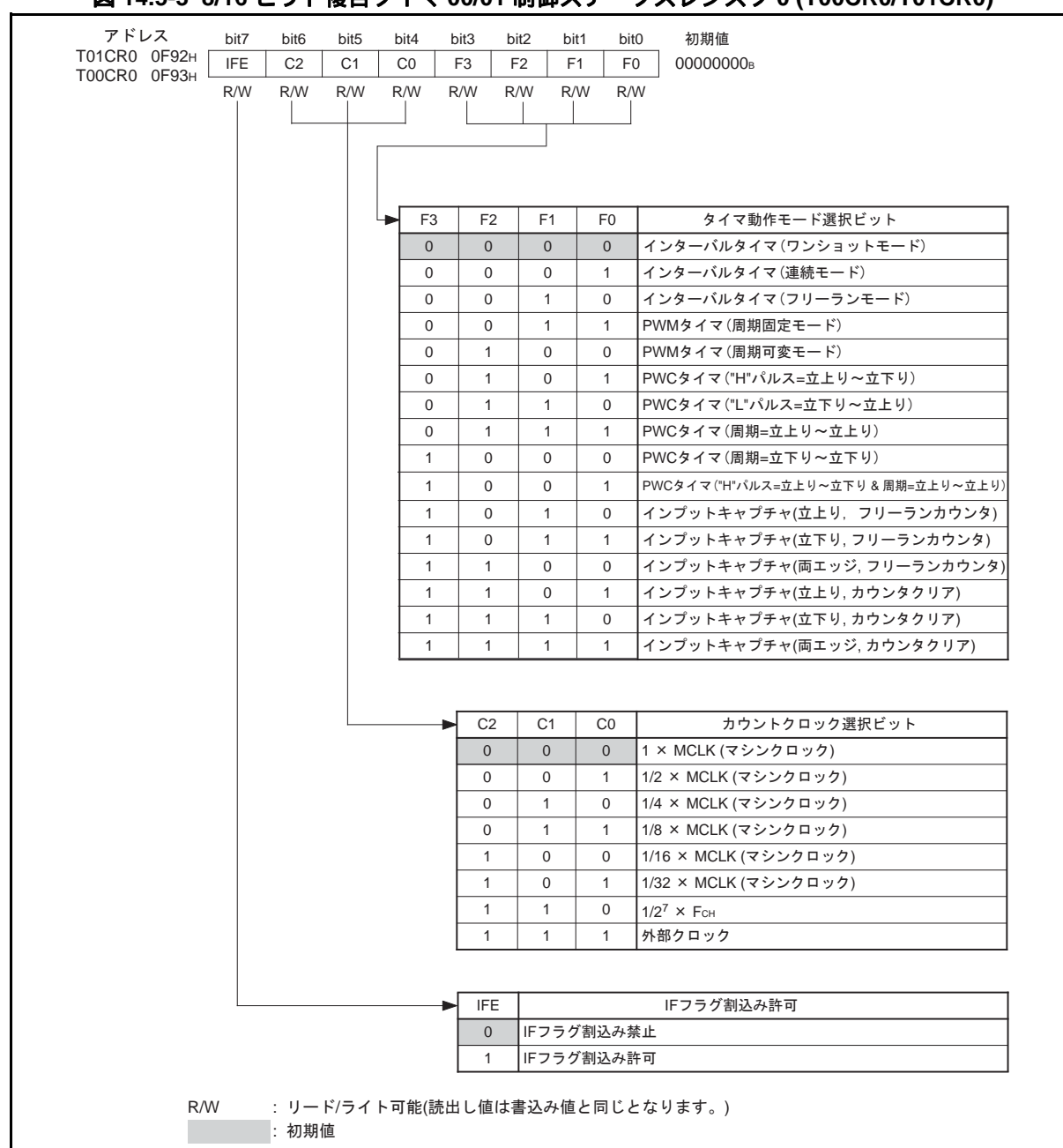


表 14.5-1 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0) の各ビットの機能説明 (1 / 2)

ビット名		機能																																				
bit7	IFE: IF フラグインタラ プトイネーブル	このビットは IF フラグ割込みを許可または禁止します。 "0" に設定した場合 :IF フラグ割込みは禁止されます。 "1" に設定した場合 :IE ビット (T00CR1/T01CR1:IE) と、IF フラグ (T00CR1/T01CR1:IF) の両方 を "1" に設定したと き、IF フラグ割込み要求が出力されます。																																				
bit6 ~ bit4	C2, C1, C0: カウントクロック 選択ビット	これらのビットは、カウントクロックを選択します。 ・ カウントクロックはプリスケアラにより生成されます。「6.12 プリ スケアラの動作」を参照してください。 ・ タイマ動作中 (T00CR1/T01CR1:STA=1) のとき、これらのビットへの 書込み動作は無効になります。 ・ 16 ビット動作時には T01CR0 (タイマ 01) のクロック選択は無効に なります。 ・ PWC 機能またはインプットキャプチャ機能のとき、これらのビットは "111 _B " に設定できません。使用中の PWC 機能またはインプット キャプチャ機能で "111 _B " を書き込むと、これらのビットは "000 _B " にリセットされます。 また、これらのビットが "111 _B " の状態でインプットキャプチャ動作 モードに遷移した場合も "000 _B " にリセットされます。 <table><tr><th>C2</th><th>C1</th><th>C0</th><th>カウントクロック</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1 × MCLK (マシニングロック)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1/2 × MCLK (マシニングロック)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1/4 × MCLK (マシニングロック)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1/8 × MCLK (マシニングロック)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1/16 × MCLK (マシニングロック)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1/32 × MCLK (マシニングロック)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1/2⁷ × F_{CH}</td></tr><tr><td>1</td><td>1</td><td>1</td><td>外部クロック</td></tr></table>	C2	C1	C0	カウントクロック	0	0	0	1 × MCLK (マシニングロック)	0	0	1	1/2 × MCLK (マシニングロック)	0	1	0	1/4 × MCLK (マシニングロック)	0	1	1	1/8 × MCLK (マシニングロック)	1	0	0	1/16 × MCLK (マシニングロック)	1	0	1	1/32 × MCLK (マシニングロック)	1	1	0	1/2 ⁷ × F _{CH}	1	1	1	外部クロック
C2	C1	C0	カウントクロック																																			
0	0	0	1 × MCLK (マシニングロック)																																			
0	0	1	1/2 × MCLK (マシニングロック)																																			
0	1	0	1/4 × MCLK (マシニングロック)																																			
0	1	1	1/8 × MCLK (マシニングロック)																																			
1	0	0	1/16 × MCLK (マシニングロック)																																			
1	0	1	1/32 × MCLK (マシニングロック)																																			
1	1	0	1/2 ⁷ × F _{CH}																																			
1	1	1	外部クロック																																			

表 14.5-1 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 0 (T00CR0/T01CR0) の各ビットの機能説明 (2 / 2)

ビット名		機能																																																																																					
bit3 ~ bit0	F3, F2, F1, F0: タイマ動作モード 選択ビット	タイマ動作モードを設定するビットです。																																																																																					
		• PWM タイマ機能 (周期可変モード ; F3, F2, F1, F0=0100 _B) は , T00CR0(タイマ 00) または T01CR0(タイマ 01) のいずれか一方のレジスタから設定します。この場合 , 一方のタイマ動作を作動した場合に (T00CR1/T01CR1:STA= 1), 自動的に他方のタイマの F3, F2, F1 および F0 ビットを 0100 _B となります。																																																																																					
		• 16 ビット動作モードを選択 (TMCR0:MOD=1) した状態で , 複合タイマが PWM タイマ機能 (周期可変モード) で動作を開始 (T00CR1/ T01CR1:STA=1) すると , MOD ビットは自動的に "0" になります。																																																																																					
		• タイマ動作中 (T00CR1/T01CR1:STA=1) のとき , これらのビットへの書込み動作は無効になります。																																																																																					
		<table><tr><th>F3</th><th>F2</th><th>F1</th><th>F0</th><th>タイマ動作モード選択ビット</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>インターバルタイマ (ワンショットモード)</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>インターバルタイマ (連続モード)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>インターバルタイマ (フリーランモード)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>PWM タイマ (周期固定モード)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>PWM タイマ (周期可変モード)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>PWC タイマ (H パルス = 立上り ~ 立下り)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>PWC タイマ (L パルス = 立下り ~ 立上り)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>PWC タイマ (周期 = 立上り ~ 立上り)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>PWC タイマ (周期 = 立下り ~ 立下り)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>PWC タイマ (H パルス = 立上がり ~ 立下り ; 周期 = 立上り ~ 立上り)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>インプットキャプチャ (立上り , フリーランカウンタ)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>インプットキャプチャ (立下り , フリーランカウンタ)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>インプットキャプチャ (両エッジ , フリーランカウンタ)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>インプットキャプチャ (立上り , カウンタクリア)</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>インプットキャプチャ (立下り , カウンタクリア)</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>インプットキャプチャ (両エッジ , カウンタクリア)</td></tr></table>	F3	F2	F1	F0	タイマ動作モード選択ビット	0	0	0	0	インターバルタイマ (ワンショットモード)	0	0	0	1	インターバルタイマ (連続モード)	0	0	1	0	インターバルタイマ (フリーランモード)	0	0	1	1	PWM タイマ (周期固定モード)	0	1	0	0	PWM タイマ (周期可変モード)	0	1	0	1	PWC タイマ (H パルス = 立上り ~ 立下り)	0	1	1	0	PWC タイマ (L パルス = 立下り ~ 立上り)	0	1	1	1	PWC タイマ (周期 = 立上り ~ 立上り)	1	0	0	0	PWC タイマ (周期 = 立下り ~ 立下り)	1	0	0	1	PWC タイマ (H パルス = 立上がり ~ 立下り ; 周期 = 立上り ~ 立上り)	1	0	1	0	インプットキャプチャ (立上り , フリーランカウンタ)	1	0	1	1	インプットキャプチャ (立下り , フリーランカウンタ)	1	1	0	0	インプットキャプチャ (両エッジ , フリーランカウンタ)	1	1	0	1	インプットキャプチャ (立上り , カウンタクリア)	1	1	1	0	インプットキャプチャ (立下り , カウンタクリア)	1	1	1	1	インプットキャプチャ (両エッジ , カウンタクリア)
		F3	F2	F1	F0	タイマ動作モード選択ビット																																																																																	
		0	0	0	0	インターバルタイマ (ワンショットモード)																																																																																	
		0	0	0	1	インターバルタイマ (連続モード)																																																																																	
		0	0	1	0	インターバルタイマ (フリーランモード)																																																																																	
		0	0	1	1	PWM タイマ (周期固定モード)																																																																																	
		0	1	0	0	PWM タイマ (周期可変モード)																																																																																	
		0	1	0	1	PWC タイマ (H パルス = 立上り ~ 立下り)																																																																																	
		0	1	1	0	PWC タイマ (L パルス = 立下り ~ 立上り)																																																																																	
		0	1	1	1	PWC タイマ (周期 = 立上り ~ 立上り)																																																																																	
		1	0	0	0	PWC タイマ (周期 = 立下り ~ 立下り)																																																																																	
		1	0	0	1	PWC タイマ (H パルス = 立上がり ~ 立下り ; 周期 = 立上り ~ 立上り)																																																																																	
		1	0	1	0	インプットキャプチャ (立上り , フリーランカウンタ)																																																																																	
		1	0	1	1	インプットキャプチャ (立下り , フリーランカウンタ)																																																																																	
		1	1	0	0	インプットキャプチャ (両エッジ , フリーランカウンタ)																																																																																	
1	1	0	1	インプットキャプチャ (立上り , カウンタクリア)																																																																																			
1	1	1	0	インプットキャプチャ (立下り , カウンタクリア)																																																																																			
1	1	1	1	インプットキャプチャ (両エッジ , カウンタクリア)																																																																																			

MB95330H シリーズ

14.5.2 8/16 ビット複合タイマ 10/11 制御ステータス レジスタ 0 (T10CR0/T11CR0)

8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 0 (T10CR0/T11CR0) は、タイマの動作モードの選択、カウントクロックの選択およびIF フラグ割込みの許可または禁止を行います。T10CR0 レジスタはタイマ 10 に、T11CR0 レジスタはタイマ 11 に対応します。

■ 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 0 (T10CR0/T11CR0)

図 14.5-4 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 0 (T10CR0/T11CR0)

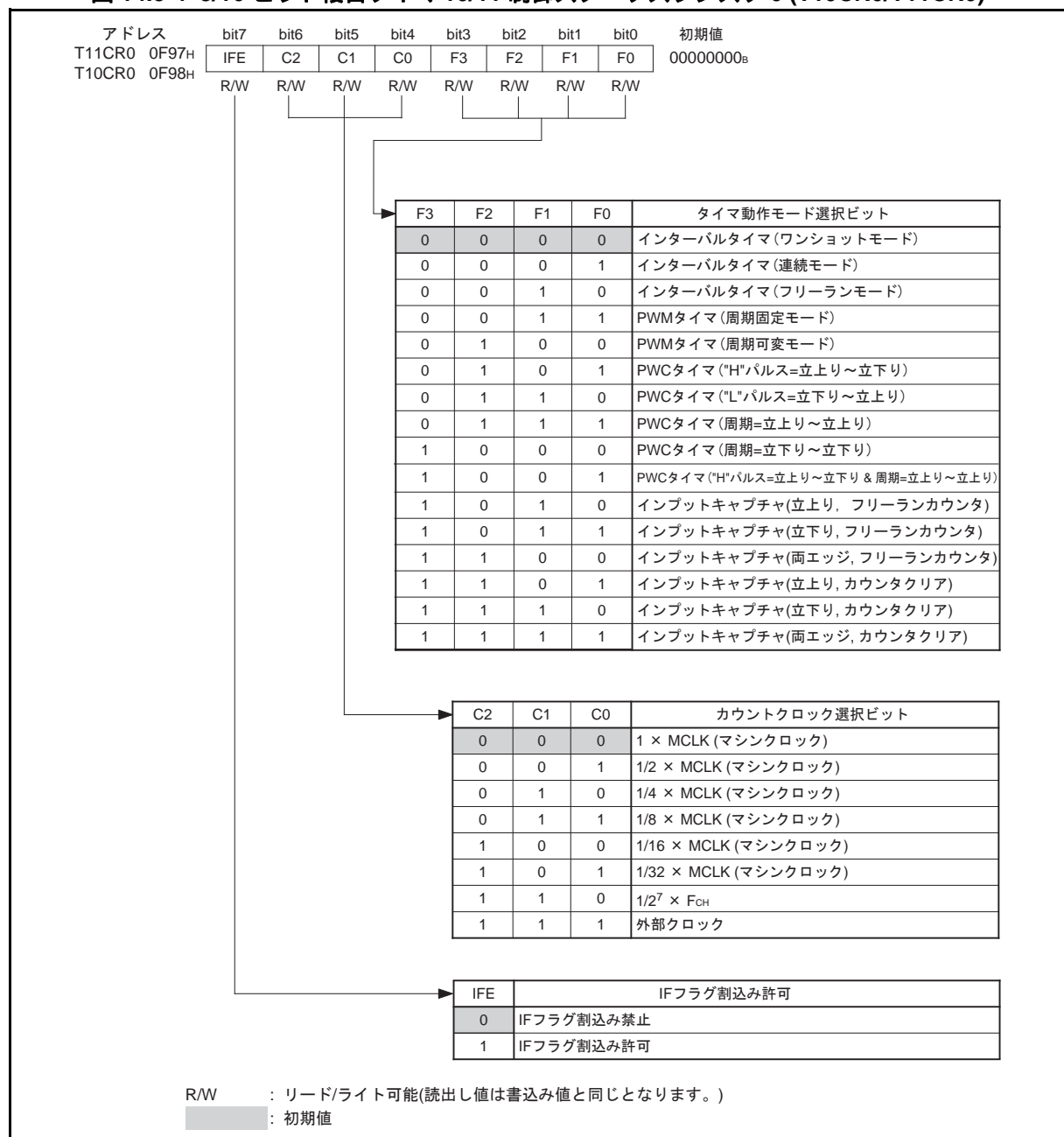


表 14.5-2 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 0 (T10CR0/T11CR0) の各ビットの機能説明 (1 / 2)

ビット名		機能																																				
bit7	IFE: IF フラグインタラ プトイネーブル	このビットは IF フラグ割込みを許可または禁止します。 "0" に設定した場合 :IF フラグ割込みは禁止されます。 "1" に設定した場合 :IE ビット (T10CR1/T11CR1:IE) と , IF フラグ (T10CR1/T11CR1:IF) の両方 を "1" に設定したと き , IF フラグ割込み要求が出力されます。																																				
bit6 ~ bit4	C2, C1, C0: カウントクロック 選択ビット	これらのビットは , カウントクロックを選択します。 • カウントクロックはプリスケアラにより生成されます。「6.12 プリ スケアラの動作」を参照してください。 • タイマ動作中 (T10CR1/T11CR1:STA=1) のとき , これらのビットへの 書込み動作は無効になります。 • 16 ビット動作時には T11CR0 (タイマ 11) のクロック選択は無効に なります。 • PWC 機能またはインプットキャプチャ機能のとき , これらのビットは "111 _B " に設定できません。使用中の PWC 機能またはインプット キャプチャ機能で "111 _B " を書き込むと , これらのビットは "000 _B " にリセットされます。 また , これらのビットが "111 _B " の状態でインプットキャプチャ動作 モードに遷移した場合も "000 _B " にリセットされます。 <table><tr><td>C2</td><td>C1</td><td>C0</td><td>カウントクロック</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1 × MCLK (マシニングロック)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1/2 × MCLK (マシニングロック)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1/4 × MCLK (マシニングロック)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1/8 × MCLK (マシニングロック)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1/16 × MCLK (マシニングロック)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1/32 × MCLK (マシニングロック)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1/2⁷ × F_{CH}</td></tr><tr><td>1</td><td>1</td><td>1</td><td>外部クロック</td></tr></table>	C2	C1	C0	カウントクロック	0	0	0	1 × MCLK (マシニングロック)	0	0	1	1/2 × MCLK (マシニングロック)	0	1	0	1/4 × MCLK (マシニングロック)	0	1	1	1/8 × MCLK (マシニングロック)	1	0	0	1/16 × MCLK (マシニングロック)	1	0	1	1/32 × MCLK (マシニングロック)	1	1	0	1/2 ⁷ × F _{CH}	1	1	1	外部クロック
C2	C1	C0	カウントクロック																																			
0	0	0	1 × MCLK (マシニングロック)																																			
0	0	1	1/2 × MCLK (マシニングロック)																																			
0	1	0	1/4 × MCLK (マシニングロック)																																			
0	1	1	1/8 × MCLK (マシニングロック)																																			
1	0	0	1/16 × MCLK (マシニングロック)																																			
1	0	1	1/32 × MCLK (マシニングロック)																																			
1	1	0	1/2 ⁷ × F _{CH}																																			
1	1	1	外部クロック																																			

表 14.5-2 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 0 (T10CR0/T11CR0) の各ビットの機能説明 (2 / 2)

ビット名		機能																																																																																					
bit3 ~ bit0	F3, F2, F1, F0: タイマ動作モード 選択ビット	タイマ動作モードを設定するビットです。																																																																																					
		• PWM タイマ機能 (周期可変モード ; F3, F2, F1, F0=0100 _B) は , T10CR0(タイマ 10) または T11CR0(タイマ 11) のいずれか一方のレジスタから設定します。この場合 , 一方のタイマ動作を作動した場合に (T10CR1/T11CR1:STA=1), 自動的に他方のタイマの F3, F2, F1 および F0 ビットを 0100 _B となります。																																																																																					
		• 16 ビット動作モードを選択 (TMCRI:MOD=1) した状態で , 複合タイマが PWM タイマ機能 (周期可変モード) で動作を開始 (T10CR1/T11CR1:STA=1) すると , MOD ビットは自動的に "0" になります。																																																																																					
		• タイマ動作中 (T10CR1/T11CR1:STA=1) のとき , これらのビットへの書込み動作は無効になります。																																																																																					
		<table><tr><th>F3</th><th>F2</th><th>F1</th><th>F0</th><th>タイマ動作モード選択ビット</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>インターバルタイマ (ワンショットモード)</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>インターバルタイマ (連続モード)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>インターバルタイマ (フリーランモード)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>PWM タイマ (周期固定モード)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>PWM タイマ (周期可変モード)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>PWC タイマ (H パルス = 立上り ~ 立下り)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>PWC タイマ (L パルス = 立下り ~ 立上り)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>PWC タイマ (周期 = 立上り ~ 立上り)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>PWC タイマ (周期 = 立下り ~ 立下り)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>PWC タイマ (H パルス = 立上がり ~ 立下り ; 周期 = 立上り ~ 立上り)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>インプットキャプチャ (立上り , フリーランカウンタ)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>インプットキャプチャ (立下り , フリーランカウンタ)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>インプットキャプチャ (両エッジ , フリーランカウンタ)</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>インプットキャプチャ (立上り , カウンタクリア)</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>インプットキャプチャ (立下り , カウンタクリア)</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>インプットキャプチャ (両エッジ , カウンタクリア)</td></tr></table>	F3	F2	F1	F0	タイマ動作モード選択ビット	0	0	0	0	インターバルタイマ (ワンショットモード)	0	0	0	1	インターバルタイマ (連続モード)	0	0	1	0	インターバルタイマ (フリーランモード)	0	0	1	1	PWM タイマ (周期固定モード)	0	1	0	0	PWM タイマ (周期可変モード)	0	1	0	1	PWC タイマ (H パルス = 立上り ~ 立下り)	0	1	1	0	PWC タイマ (L パルス = 立下り ~ 立上り)	0	1	1	1	PWC タイマ (周期 = 立上り ~ 立上り)	1	0	0	0	PWC タイマ (周期 = 立下り ~ 立下り)	1	0	0	1	PWC タイマ (H パルス = 立上がり ~ 立下り ; 周期 = 立上り ~ 立上り)	1	0	1	0	インプットキャプチャ (立上り , フリーランカウンタ)	1	0	1	1	インプットキャプチャ (立下り , フリーランカウンタ)	1	1	0	0	インプットキャプチャ (両エッジ , フリーランカウンタ)	1	1	0	1	インプットキャプチャ (立上り , カウンタクリア)	1	1	1	0	インプットキャプチャ (立下り , カウンタクリア)	1	1	1	1	インプットキャプチャ (両エッジ , カウンタクリア)
		F3	F2	F1	F0	タイマ動作モード選択ビット																																																																																	
		0	0	0	0	インターバルタイマ (ワンショットモード)																																																																																	
		0	0	0	1	インターバルタイマ (連続モード)																																																																																	
		0	0	1	0	インターバルタイマ (フリーランモード)																																																																																	
		0	0	1	1	PWM タイマ (周期固定モード)																																																																																	
		0	1	0	0	PWM タイマ (周期可変モード)																																																																																	
		0	1	0	1	PWC タイマ (H パルス = 立上り ~ 立下り)																																																																																	
		0	1	1	0	PWC タイマ (L パルス = 立下り ~ 立上り)																																																																																	
		0	1	1	1	PWC タイマ (周期 = 立上り ~ 立上り)																																																																																	
		1	0	0	0	PWC タイマ (周期 = 立下り ~ 立下り)																																																																																	
		1	0	0	1	PWC タイマ (H パルス = 立上がり ~ 立下り ; 周期 = 立上り ~ 立上り)																																																																																	
		1	0	1	0	インプットキャプチャ (立上り , フリーランカウンタ)																																																																																	
		1	0	1	1	インプットキャプチャ (立下り , フリーランカウンタ)																																																																																	
		1	1	0	0	インプットキャプチャ (両エッジ , フリーランカウンタ)																																																																																	
		1	1	0	1	インプットキャプチャ (立上り , カウンタクリア)																																																																																	
1	1	1	0	インプットキャプチャ (立下り , カウンタクリア)																																																																																			
1	1	1	1	インプットキャプチャ (両エッジ , カウンタクリア)																																																																																			

14.5.3 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)

8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1) は、割り込みフラグの制御、タイマ出力の制御およびタイマ動作を制御します。T00CR1 はタイマ 00 に、T01CR1 はタイマ 01 に対応します。

■ 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)

図 14.5-5 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1 (T00CR1/T01CR1)

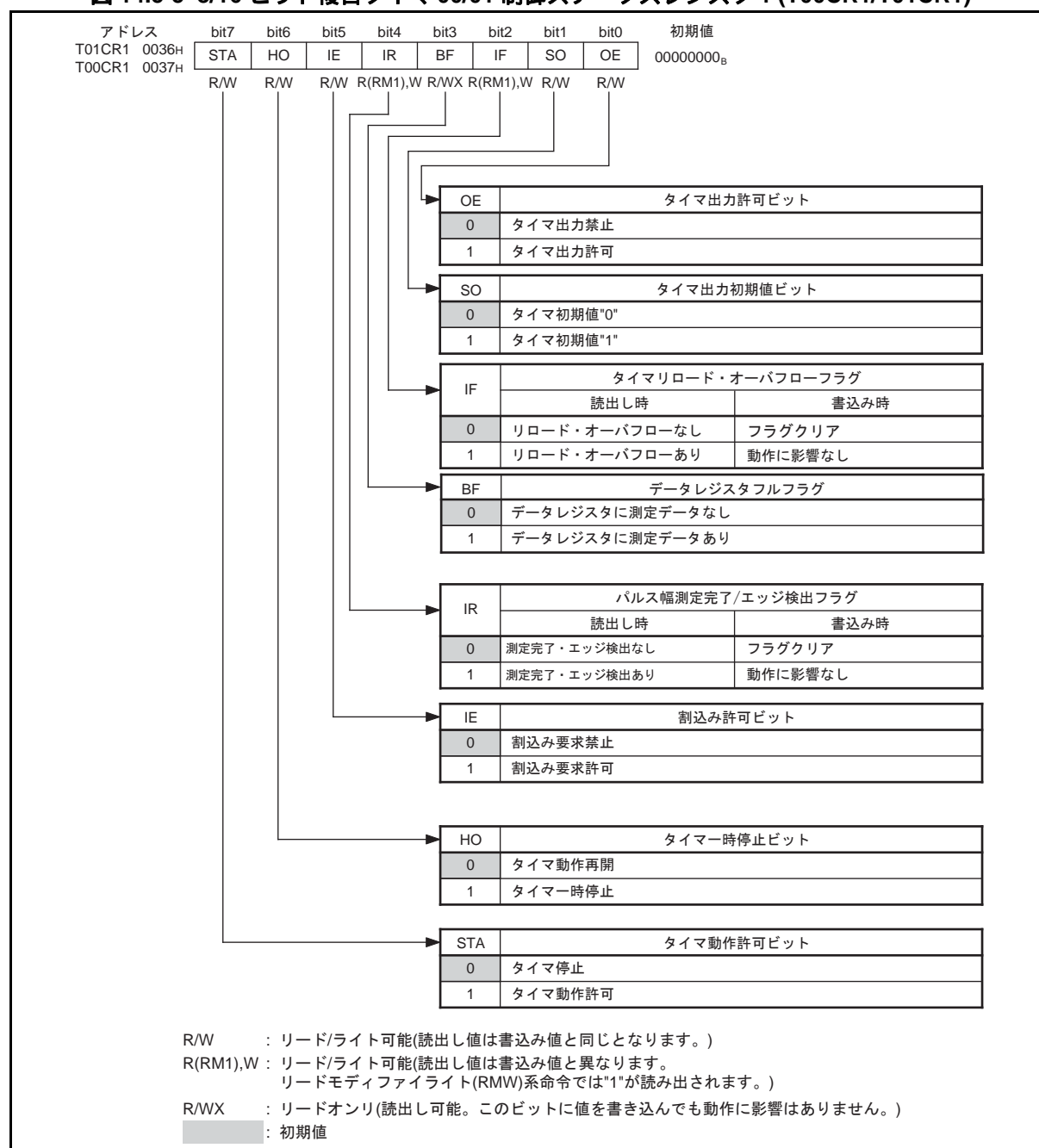


表 14.5-3 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1(T00CR1/T01CR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	STA: タイマ動作許可 ビット	<p>タイマ動作を許可または禁止するビットです。</p> <p>"0" に設定した場合：タイマ動作は停止し、カウント値は 00_H になります。</p> <ul style="list-style-type: none"> PWM タイマ機能 (周期可変モード) (T00CR0/T01CR0:F3, F2, F1, F0 = 0100_B) のときは、T00CR1 (タイマ 00) または T01CR1 (タイマ 01) のどちらかのレジスタからの STA ビットを使いタイマ動作を許可または禁止することができます。この場合、一方のレジスタの STA ビットを "0" に設定した場合、他方のレジスタの STA ビットは自動的に同じ値に設定されます。 16 ビット動作 (TMCR0:MOD=1) のときには、T00CR1(タイマ 00) レジスタの STA ビットによりタイマ動作の許可または停止を行ってください。この場合、一方のタイマの STA ビットを "0" に設定した場合、他方のタイマの STA ビットは自動的に同じ値に設定されます。 <p>"1" に設定した場合：カウント値 "00_H" からタイマ動作を開始します。</p> <ul style="list-style-type: none"> カウントクロック選択ビット (T00CR0/T01CR0:C2, C1, C0), タイマ動作モード選択ビット (T00CR0/T01CR0:F3, F2, F1, F0), タイマ出力初期値ビット (T00CR1/T01CR1:SO), 8 ビット /16 ビット動作モード選択ビット (TMCR0:MOD) およびフィルタ機能選択ビット (TMCR0:FE11, FE10, FE01, FE00) の設定は、このビットを "1" に設定する前に行ってください。
bit6	HO: タイマー時停止 ビット	<p>タイマ動作を一時停止または再開するビットです。</p> <ul style="list-style-type: none"> タイマ動作中にこのビットに "1" を書き込むと、タイマ動作は一時停止します。 タイマ動作が許可されている状態 (T00CR1/T01CR1:STA=1) でこのビットに "0" を書き込むと、タイマ動作は再開します。 PWM タイマ機能 (周期可変モード) (T00CR0/T01CR0:F3, F2, F1, F0 = 0100_B) が使用されている時、T00CR1 (タイマ 00) または T01CR1 (タイマ 01) のいずれかのレジスタの HO ビットによりタイマー時停止許可または動作再開が可能です。この場合、一方のレジスタの HO ビットを "0" または "1" に設定した場合、他方のレジスタの HO ビットは自動的に同じ値に設定されます。 16 ビット動作 (TMCR0:MOD=1) のときは、T00CR1(タイマ 00) の HO ビットによりタイマー時停止・動作再開を行ってください。この場合、一方のレジスタの HO ビットを "0" または "1" に設定した場合、他方のレジスタの HO ビットは自動的に同じ値に設定されます。
bit5	IE: 割込み要求許可 ビット	<p>割込み要求出力を許可または禁止を行うビットです。</p> <p>"0" に設定した場合： 割込み要求を禁止します。</p> <p>"1" に設定した場合： パルス幅測定完了 / エッジ検出フラグ (T00CR1/T01CR1:IR) またはタイマリロード / オーバフローフラグ (T00CR1/T01CR1:IF) が "1" のときに、割込み要求を出力します。</p> <p>ただし、タイマリロード / オーバフローフラグ (T00CR1/T01CR1:IF) からの割込み要求は、IF フラグ割込み許可ビット (T00CR0/T01CR0:IFE) も "1" に設定しないと出力されません。</p>
bit4	IR: パルス幅測定完了 / エッジ検出フラグ	<p>パルス幅測定の完了またはエッジが検出されたことを示すビットです。</p> <ul style="list-style-type: none"> PWC タイマ機能が使用されているときに、パルス幅測定の完了直後にこのビットは "1" に設定されます。 インプットキャプチャ機能が使用されているとき、エッジが検出された直後にこのビットは "1" に設定されます。 選択された複合タイマの機能が、PWC タイマ機能やインプットキャプチャ機能以外るとき、このビットは "0" に設定されます。 リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、常に "1" が読み出されます。 16 ビット動作のとき、T01CR1(タイマ 01) レジスタの IR ビットは "0" に設定されます。 このビットに "0" を書き込むと、このビットは "0" になります。 "1" を書き込んで、無視されます。

表 14.5-3 8/16 ビット複合タイマ 00/01 制御ステータスレジスタ 1(T00CR1/T01CR1) の各ビットの機能説明 (2 / 2)

ビット名		機能
bit3	BF: データレジスタフルフラグ	<ul style="list-style-type: none"> • PWC タイマ機能が使用されているときには、パルス幅測定の完了直後にカウント値が 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に格納されると、このビットは "1" に設定されます。 • 8 ビット動作のとき、8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) を読み出すとこのビットは "0" になります。 • このビットが "1" に設定されると、8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) は、データを保持します。このビットが "1" のとき、次のエッジが検出されてもカウント値は 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に転送されず、次の測定結果が喪失されます。ただし、例外として T00CR0/T01CR0 レジスタにおける F3 ~ F0 ビットが "1001_B" に設定されているときは、BF ビットが "1" の状態でも "H" パルスの測定結果が 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に転送されます。ただし、周期の測定結果は 8/16 ビット複合タイマ 00/01 データレジスタに転送されません。したがって、周期測定を行うためには周期が終了する前に "H" パルス測定の結果を読み出す必要があります。また、"H" パルス測定の結果または周期測定の結果は次の "H" パルスが終了する前に読み出さないと喪失されます。 • 16 ビット動作のとき、T00CR1(タイマ 00) レジスタの BF ビットは、T01DR(タイマ 01) レジスタを読み出すと "0" になります。 • 16 ビット動作のとき、T01CR1(タイマ 01) レジスタの BF ビットは "0" になります。 • PWC タイマ機能以外のタイマ機能が選択されているとき、このビットは "0" になります。 • このビットに値を書き込んでも動作に影響はありません。
bit2	IF: タイマリロード・オーバーフローフラグ	<p>カウント値の一致およびカウンタのオーバーフローを検出するのに使用するビットです。</p> <ul style="list-style-type: none"> • インターバルタイマ機能 (ワンショットまたは連続モード) または PWM タイマ機能 (周期可変モード) のとき、8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値とカウント値が一致すると、このビットは "1" になります。 • インプットキャプチャ機能または PWC 機能が使用されているときには、カウンタがオーバーフローするとこのビットは "1" になります。 • リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、常に "1" が読み出されます。 • このビットに "0" を書き込むと、このビットは "0" になります。 • このビットに "1" を書き込んでも、動作に影響を与えません。 • PWM 機能 (周期可変モード) が選択されると、このビットは "0" になります。 • 16 ビット動作のとき、T01CR1(タイマ 01) レジスタの IF ビットは "0" になります。
bit1	SO: タイマ出力初期値ビット	<p>このビットに値を書き込むことによりタイマ出力 (TMCRO:TO1/TO0) 初期値が設定されます。このビットの値は、タイマ動作許可ビット (T00CR1/T01CR1:STA) が "0" から "1" に変化したときタイマ出力に反映されます。</p> <ul style="list-style-type: none"> • 16 ビット動作モード (TMCRO:MOD=1) で、T00CR1(タイマ 00) レジスタの SO ビットによりタイマ出力初期値を設定してください。この場合、他方のレジスタの SO ビットの値は動作に影響を与えません。 • タイマ動作中 (T00CR1:STA=1 または T01CR1:STA=1), このビットへの書込みは無効になります。ただし、16 ビット動作モードではタイマ動作中でも T01CR1(タイマ 01) レジスタの SO ビットへ値を書込むことができますが、書き込まれた値はタイマ出力に直接的な影響を与えることはありません。 • PWM タイマ機能 (周期固定モードまたは周期可変モード)、またはインプットキャプチャ機能が使用されているときに、このビットの値は動作に影響を与えません。
bit0	OE: タイマ出力許可ビット	<p>タイマ出力を許可または禁止するビットです。</p> <p>"0" に設定した場合： タイマ出力は外部端子には送られません。この場合、外部端子は汎用ポートとして機能します。</p> <p>"1" に設定した場合： タイマ出力 (TMCRO:TO1/TO0) が外部端子に送られます。</p>

MB95330H シリーズ

14.5.4 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1 (T10CR1/T11CR1)

8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1 (T10CR1/T11CR1) は、割り込みフラグの制御、タイマ出力の制御およびタイマ動作を制御します。T10CR1 はタイマ 10 に、T11CR1 はタイマ 11 に対応します。

■ 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1 (T10CR1/T11CR1)

図 14.5-6 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1 (T10CR1/T11CR1)

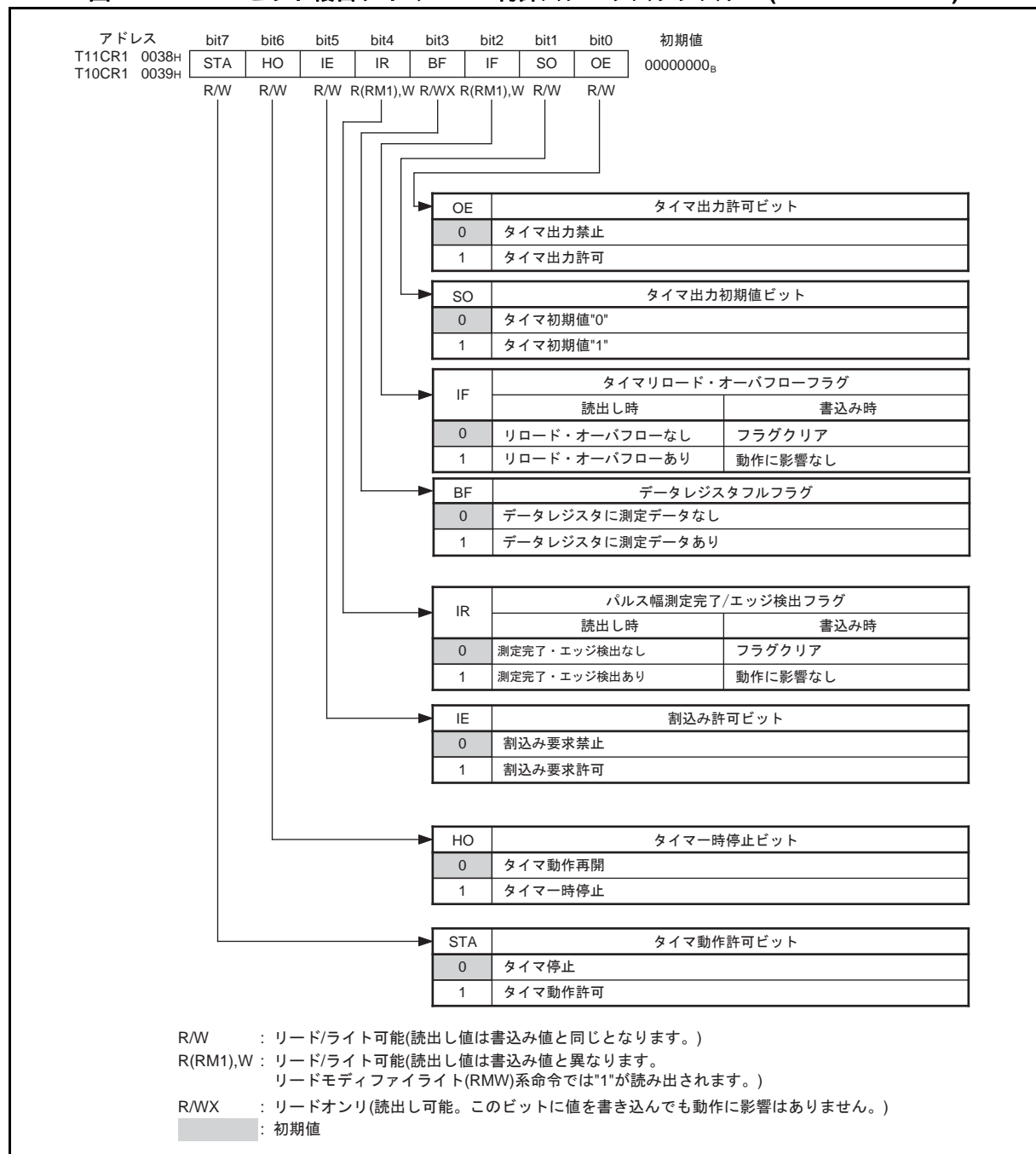


表 14.5-4 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1(T10CR1/T11CR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	STA: タイマ動作許可 ビット	<p>タイマ動作を許可または禁止するビットです。</p> <p>"0" に設定した場合：タイマ動作は停止し、カウント値は 00_H になります。</p> <ul style="list-style-type: none"> PWM タイマ機能 (周期可変モード) (T10CR0/T11CR0:F3, F2, F1, F0 = 0100_B) のときは、T10CR1 (タイマ 10) または T11CR1 (タイマ 11) のどちらかのレジスタからの STA ビットを使いタイマ動作を許可または禁止することができます。この場合、一方のレジスタの STA ビットを "0" に設定した場合、他方のレジスタの STA ビットは自動的に同じ値に設定されます。 16 ビット動作 (TMCR1:MOD=1) のときには、T10CR1 (タイマ 10) レジスタの STA ビットによりタイマ動作の許可または停止を行ってください。この場合、一方のタイマの STA ビットを "0" に設定した場合、他方のタイマの STA ビットは自動的に同じ値に設定されます。 <p>"1" に設定した場合：カウント値 "00_H" からタイマ動作を開始します。</p> <ul style="list-style-type: none"> カウントクロック選択ビット (T10CR0/T11CR0:C2, C1, C0), タイマ動作モード選択ビット (T10CR0/T11CR0:F3, F2, F1, F0), タイマ出力初期値ビット (T10CR1/T11CR1:SO), 8 ビット /16 ビット動作モード選択ビット (TMCR1:MOD) およびフィルタ機能選択ビット (TMCR1:FE11, FE10, FE01, FE00) の設定は、このビットを "1" に設定する前に行ってください。
bit6	HO: タイマー時停止 ビット	<p>タイマ動作を一時停止または再開するビットです。</p> <ul style="list-style-type: none"> タイマ動作中にこのビットに "1" を書き込むと、タイマ動作は一時停止します。 タイマ動作が許可されている状態 (T10CR1/T11CR1:STA=1) でこのビットに "0" を書き込むと、タイマ動作は再開します。 PWM タイマ機能 (周期可変モード) (T10CR0/T11CR0:F3, F2, F1, F0 = 0100_B) が使用されている時、T10CR1 (タイマ 10) または T11CR1 (タイマ 11) のいずれかのレジスタの HO ビットによりタイマー時停止許可または動作再開が可能です。この場合、一方のレジスタの HO ビットを "0" または "1" に設定した場合、他方のレジスタの HO ビットは自動的に同じ値に設定されます。 16 ビット動作 (TMCR1:MOD=1) のときは、T10CR1 (タイマ 10) の HO ビットによりタイマー時停止・動作再開を行ってください。この場合、一方のレジスタの HO ビットを "0" または "1" に設定した場合、他方のレジスタの HO ビットは自動的に同じ値に設定されます。
bit5	IE: 割込み要求許可 ビット	<p>割込み要求出力を許可または禁止を行うビットです。</p> <p>"0" に設定した場合： 割込み要求を禁止します。</p> <p>"1" に設定した場合： パルス幅測定完了 / エッジ検出フラグ (T10CR1/T11CR1:IR) またはタイマリロード / オーバフローフラグ (T10CR1/T11CR1:IF) が "1" のときに、割込み要求を出力します。</p> <p>ただし、タイマリロード / オーバフローフラグ (T10CR1/T11CR1:IF) からの割込み要求は、IF フラグ割込み許可ビット (T10CR0/T11CR0:IFE) も "1" に設定しないと出力されません。</p>
bit4	IR: パルス幅測定完了 / エッジ検出フラグ	<p>パルス幅測定の完了またはエッジが検出されたことを示すビットです。</p> <ul style="list-style-type: none"> PWC タイマ機能が使用されているときに、パルス幅測定の完了直後にこのビットは "1" に設定されます。 インプットキャプチャ機能が使用されているとき、エッジが検出された直後にこのビットは "1" に設定されます。 選択された複合タイマの機能が、PWC タイマ機能やインプットキャプチャ機能以外るとき、このビットは "0" に設定されます。 リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、常に "1" が読み出されます。 16 ビット動作のとき、T11CR1 (タイマ 11) レジスタの IR ビットは "0" に設定されます。 このビットに "0" を書き込むと、このビットは "0" になります。 "1" を書き込んで、無視されます。

表 14.5-4 8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1(T10CR1/T11CR1) の各ビットの機能説明 (2 / 2)

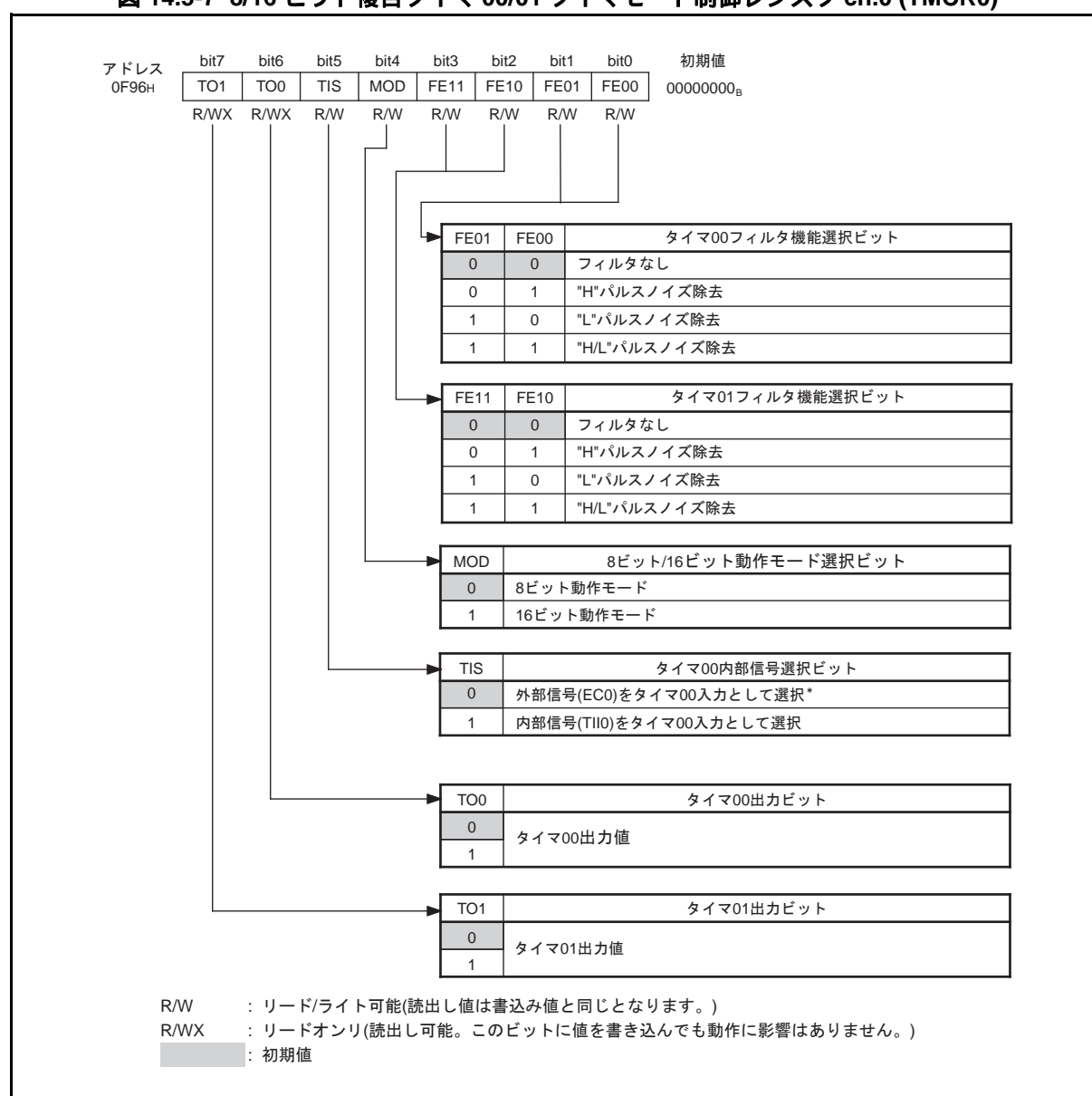
ビット名		機能
bit3	BF: データレジスタフルフラグ	<ul style="list-style-type: none"> • PWC タイマ機能が使用されているときには、パルス幅測定の完了直後にカウント値が 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) に格納されると、このビットは "1" に設定されます。 • 8 ビット動作のとき、8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) を読み出すとこのビットは "0" になります。 • このビットが "1" に設定されると、8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) は、データを保持します。このビットが "1" のとき、次のエッジが検出されてもカウント値は 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) に転送されず、次の測定結果が喪失されます。ただし、例外として T10CR0/T11CR0 レジスタにおける F3 ~ F0 ビットが "1001_B" に設定されているときは、BF ビットが "1" の状態でも "H" パルスの測定結果が 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) に転送されます。ただし、周期の測定結果は 8/16 ビット複合タイマ 10/11 データレジスタに転送されません。したがって、周期測定を行うためには周期が終了する前に "H" パルス測定の結果を読み出す必要があります。また、"H" パルス測定の結果または周期測定の結果は次の "H" パルスが終了する前に読み出さないと喪失されます。 • 16 ビット動作のとき、T10CR1(タイマ 10) レジスタの BF ビットは、T11DR(タイマ 11) レジスタを読み出すと "0" になります。 • 16 ビット動作のとき、T11CR1(タイマ 11) レジスタの BF ビットは "0" になります。 • PWC タイマ機能以外のタイマ機能が選択されているとき、このビットは "0" になります。 • このビットに値を書き込んでも動作に影響はありません。
bit2	IF: タイマリロード・オーバーフローフラグ	<p>カウント値の一致およびカウンタのオーバーフローを検出するのに使用するビットです。</p> <ul style="list-style-type: none"> • インターバルタイマ機能 (ワンショットまたは連続モード) または PWM タイマ機能 (周期可変モード) のとき、8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値とカウント値が一致すると、このビットは "1" になります。 • インプットキャプチャ機能または PWC 機能が使用されているときには、カウンタがオーバーフローするとこのビットは "1" になります。 • リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、常に "1" が読み出されます。 • このビットに "0" を書き込むと、このビットは "0" になります。 • このビットに "1" を書き込んでも、動作に影響を与えません。 • PWM 機能 (周期可変モード) が選択されると、このビットは "0" になります。 • 16 ビット動作のとき、T11CR1(タイマ 11) レジスタの IF ビットは "0" になります。
bit1	SO: タイマ出力初期値ビット	<p>このビットに値を書き込むことによりタイマ出力 (TMC1:TO1/TO0) 初期値が設定されます。このビットの値は、タイマ動作許可ビット (T10CR1/T11CR1:STA) が "0" から "1" に変化したときタイマ出力に反映されます。</p> <ul style="list-style-type: none"> • 16 ビット動作モード (TMC1:MOD=1) で、T10CR1(タイマ 10) レジスタの SO ビットによりタイマ出力初期値を設定してください。この場合、他方のレジスタの SO ビットの値は動作に影響を与えません。 • タイマ動作中 (T10CR1:STA=1 または T11CR1:STA=1)、このビットへの書込みは無効になります。ただし、16 ビット動作モードではタイマ動作中でも T11CR1(タイマ 11) レジスタの SO ビットへ値を書込むことができますが、書き込まれた値はタイマ出力に直接的な影響を与えることはありません。 • PWM タイマ機能 (周期固定モードまたは周期可変モード)、またはインプットキャプチャ機能が使用されているときに、このビットの値は動作に影響を与えません。
bit0	OE: タイマ出力許可ビット	<p>タイマ出力を許可または禁止するビットです。</p> <p>"0" に設定した場合： タイマ出力は外部端子には送られません。この場合、外部端子は汎用ポートとして機能します。</p> <p>"1" に設定した場合： タイマ出力 (TMC1:TO1/TO0) が外部端子に送られます。</p>

14.5.5 8/16 ビット複合タイマ 00/01 タイマモード制御 レジスタ ch.0 (TMCR0)

8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0 (TMCR0) は、フィルタ機能の選択、8 ビットまたは 16 ビット動作モードの選択、タイマ 00 への信号入力の選択、およびタイマ出力値の表示を行います。このレジスタはタイマ 00 とタイマ 01 の両方に対応します。

■ 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0 (TMCR0)

図 14.5-7 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0 (TMCR0)



*: SYSC レジスタを設定することによって、EC0 入力を P12 または P04 に割当てることができます。詳細は、「第 31 章 システム構成コントローラ」を参照してください。

表 14.5-5 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0 (TMCR0) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	TO1: タイマ 01 出力 ビット	<p>タイマ 01 の出力値を示すビットです。タイマ動作を開始 (T00CR1/T01CR1:STA = 1) すると、選択したタイマ機能に応じてこのビット値は変化します。</p> <ul style="list-style-type: none"> このビットに値を書き込んでも動作に影響はありません。 16 ビット動作が選択された場合、PWM タイマ機能 (周期可変モード) またはインプットキャプチャ機能のとき、このビットの値は不定となります。 インターバルタイマ機能または PWC タイマ機能のとき、タイマ動作を停止 (T00CR1/T01CR1:STA=0) すると、このビットは最後の値を保持します。 PWM タイマ機能 (周期可変モード) が選択された状態で、タイマ動作を停止 (T00CR1/T01CR1:STA=0) すると、このビットは最後の値を保持します。 タイマ動作モード選択ビット (T00CR0/T01CR0:F3, F2, F1, F0) をタイマ動作停止中に変更したとき、このビットは、過去に同じタイマ動作を行ったことがある場合にはそのタイマ動作の最後の値を示し、そうでない場合には初期値 "0" となります。
bit6	TO0: タイマ 00 出力 ビット	<p>タイマ 00 の出力値を示すビットです。タイマ動作を開始 (T00CR1/T01CR1:STA = 1) すると、選択したタイマ機能に応じてこのビット値は変化します。</p> <ul style="list-style-type: none"> このビットに値を書き込んでも動作に影響はありません。 インプットキャプチャ機能のとき、このビットの値は不定になります。 インターバルタイマ機能、PWM タイマ機能 (周期可変モード) または PWC タイマ機能のとき、タイマ動作を停止 (T00CR1/T01CR1:STA=0) すると、このビットは最後の値を保持します。 PWM タイマ機能 (周期可変モード) のとき、タイマ動作を停止 (T00CR1/T01CR1:STA=0) すると、このビットは最後の値を保持します。 タイマ動作モード選択ビット (T00CR0/T01CR0:F3, F2, F1, F0) をタイマ動作停止中に変更したとき、このビットは、過去に同じタイマ動作を行ったことがある場合にはそのタイマ動作の最後の値を示し、そうでない場合には初期値 "0" となります。
bit5	TIS: タイマ 00 内部信号 選択ビット	<p>このビットは、PWC タイマ機能またはインプットキャプチャ機能が選択されているときに、タイマ 00 の信号入力を選択します。</p> <p>"0" に設定した場合： 外部信号 (EC0) がタイマ 00 の信号入力として選択されます。</p> <p>"1" に設定した場合： 内部信号 (TH0) がタイマ 00 の信号入力として選択されます。</p> <p>SYSC レジスタを設定することによって、EC0 入力を P12 または P04 に割当てることができます。詳細は、「第 31 章システム構成コントローラ」の「31.2 システム構成レジスタ (SYSC)」を参照してください</p>
bit4	MOD: 8 ビット /16 ビット動 作モード選択ビット	<p>8 ビットまたは 16 ビット動作モードを選択するビットです。</p> <p>"0" に設定した場合：タイマ 00 とタイマ 01 は 8 ビットタイマとして動作します。</p> <p>"1" に設定した場合：タイマ 00 とタイマ 01 は 16 ビットタイマとして動作します。</p> <ul style="list-style-type: none"> このビットが "1" の状態で、PWM タイマ機能 (周期可変モード) のタイマ動作を開始 (T00CR1/T01CR1:STA = 1) すると、このビットは自動的に "0" になります。 タイマ動作中 (T00CR1:STA=1 または T01CR1:STA=1) のとき、このビットへの書き込みアクセスは無効になります。

表 14.5-5 8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0 (TMCR0) の各ビットの機能説明 (2 / 2)

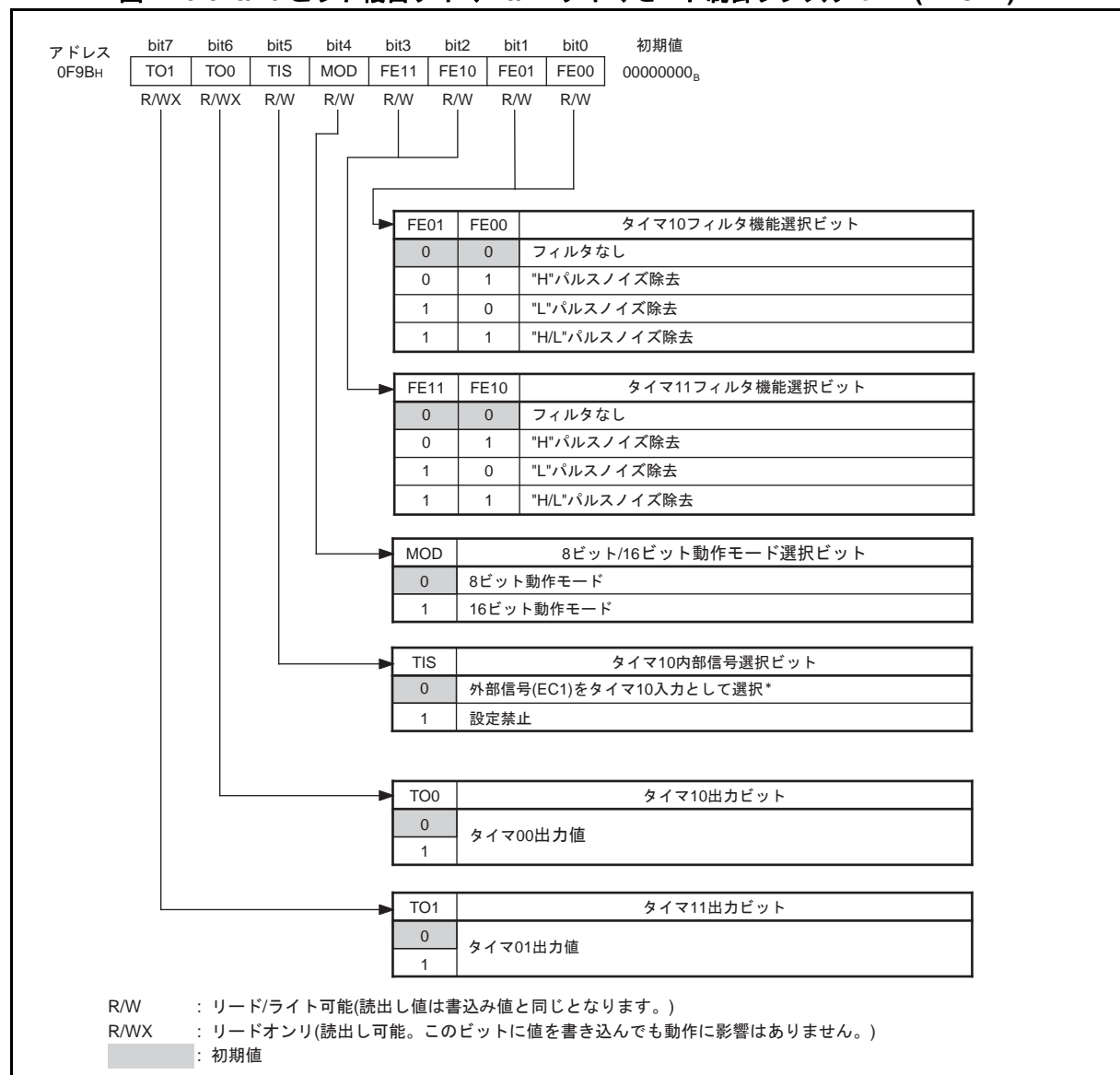
ビット名		機能															
bit3, bit2	FE11, FE10: タイマ 01 フィルタ機能選択ビット	<p>このビットは、PWC タイマ機能またはインプットキャプチャ機能が選択されているとき、タイマ 01 への外部信号 (EC0) に対するフィルタ機能を選択します。</p> <table><tr><th>FE11</th><th>FE10</th><th>タイマ 01 フィルタ機能</th></tr><tr><td>0</td><td>0</td><td>フィルタなし</td></tr><tr><td>0</td><td>1</td><td>"H" パルスノイズ除去</td></tr><tr><td>1</td><td>0</td><td>"L" パルスノイズ除去</td></tr><tr><td>1</td><td>1</td><td>"H/L" パルスノイズ除去</td></tr></table> <ul style="list-style-type: none">タイマ動作中 (T00CR1:STA=1), このビットへの書込みアクセスは無効になります。インターバルタイマ機能または PWM タイマ機能が選択されているときには、これらのビットに設定しても動作に影響しません (フィルタ機能は動作しません)。	FE11	FE10	タイマ 01 フィルタ機能	0	0	フィルタなし	0	1	"H" パルスノイズ除去	1	0	"L" パルスノイズ除去	1	1	"H/L" パルスノイズ除去
		FE11	FE10	タイマ 01 フィルタ機能													
0	0	フィルタなし															
0	1	"H" パルスノイズ除去															
1	0	"L" パルスノイズ除去															
1	1	"H/L" パルスノイズ除去															
bit1, bit0	FE01, FE00: タイマ 00 フィルタ機能選択ビット	<ul style="list-style-type: none">このビットは、PWC タイマ機能またはインプットキャプチャ機能が選択されているとき、タイマ 00 への外部信号 (EC0) に対するフィルタ機能を選択します。タイマ動作中 (T00CR1:STA=1) のとき、このビット <table><tr><th>FE01</th><th>FE00</th><th>タイマ 00 フィルタ機能</th></tr><tr><td>0</td><td>0</td><td>フィルタなし</td></tr><tr><td>0</td><td>1</td><td>"H" パルスノイズ除去</td></tr><tr><td>1</td><td>0</td><td>"L" パルスノイズ除去</td></tr><tr><td>1</td><td>1</td><td>"H/L" パルスノイズ除去</td></tr></table> <p>への書込みアクセスは無効になります。</p> <ul style="list-style-type: none">インターバルタイマ機能または PWM タイマ機能が選択されているときには、これらのビットに設定しても動作に影響しません (フィルタ機能は動作しません)。	FE01	FE00	タイマ 00 フィルタ機能	0	0	フィルタなし	0	1	"H" パルスノイズ除去	1	0	"L" パルスノイズ除去	1	1	"H/L" パルスノイズ除去
		FE01	FE00	タイマ 00 フィルタ機能													
0	0	フィルタなし															
0	1	"H" パルスノイズ除去															
1	0	"L" パルスノイズ除去															
1	1	"H/L" パルスノイズ除去															

14.5.6 8/16 ビット複合タイマ 10/11 タイマモード制御 レジスタ ch.1 (TMCR1)

8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1 (TMCR1) は、フィルタ機能の選択、8 ビットまたは 16 ビット動作モードの選択、タイマ 10 への信号入力の選択、およびタイマ出力値の表示を行います。このレジスタはタイマ 10 とタイマ 11 の両方に対応します。

■ 8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1 (TMCR1)

図 14.5-8 8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1 (TMCR1)



*: EC1 入力は、P64 に指定されています。

表 14.5-6 8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1 (TMCR1) の各ビットの機能説明 (1 / 2)

ビット名		機能
bit7	TO1: タイマ 11 出力 ビット	<p>タイマ 11 の出力値を示すビットです。タイマ動作を開始 (T10CR1/T11CR1:STA = 1) すると、選択したタイマ機能に応じてこのビット値は変化します。</p> <ul style="list-style-type: none"> このビットに値を書き込んでも動作に影響はありません。 16 ビット動作が選択された場合、PWM タイマ機能 (周期可変モード) またはインพุットキャプチャ機能のとき、このビットの値は不定となります。 インターバルタイマ機能または PWC タイマ機能のとき、タイマ動作を停止 (T10CR1/T11CR1:STA=0) すると、このビットは最後の値を保持します。 PWM タイマ機能 (周期可変モード) が選択された状態で、タイマ動作を停止 (T10CR1/T11CR1:STA=0) すると、このビットは最後の値を保持します。 タイマ動作モード選択ビット (T10CR0/T11CR0:F3, F2, F1, F0) をタイマ動作停止中に変更したとき、このビットは、過去に同じタイマ動作を行ったことがある場合にはそのタイマ動作の最後の値を示し、そうでない場合には初期値 "0" となります。
bit6	TO0: タイマ 10 出力 ビット	<p>タイマ 10 の出力値を示すビットです。タイマ動作を開始 (T10CR1/T11CR1:STA = 1) すると、選択したタイマ機能に応じてこのビット値は変化します。</p> <ul style="list-style-type: none"> このビットに値を書き込んでも動作に影響はありません。 インพุットキャプチャ機能のとき、このビットの値は不定となります。 インターバルタイマ機能、PWM タイマ機能 (周期可変モード) または PWC タイマ機能のとき、タイマ動作を停止 (T10CR1/T11CR1:STA=0) すると、このビットは最後の値を保持します。 PWM タイマ機能 (周期可変モード) のとき、タイマ動作を停止 (T10CR1/T11CR1:STA=0) すると、このビットは最後の値を保持します。 タイマ動作モード選択ビット (T10CR0/T11CR0:F3, F2, F1, F0) をタイマ動作停止中に変更したとき、このビットは、過去に同じタイマ動作を行ったことがある場合にはそのタイマ動作の最後の値を示し、そうでない場合には初期値 "0" となります。
bit5	TIS: タイマ 10 内部信号 選択ビット	<p>このビットは、PWC タイマ機能またはインพุットキャプチャ機能が選択されているときに、タイマ 10 の信号入力を選択します。</p> <p>"0" に設定した場合： 外部信号 (EC1) がタイマ 10 の信号入力として選択されます。</p> <p>"1" に設定した場合： TIS への "1" 書込みは禁止です。 〔 TIS への "1" 書込みによりタイマ 10 への信号入力が内部信号 (TH0) として選択されますが、ch.1 の TH0 端子は内部的に "0" に固定されているため〕</p> <p>EC1 入力は、P64 に指定されています。</p>
bit4	MOD: 8 ビット /16 ビット 動作モード選択ビット	<p>8 ビットまたは 16 ビット動作モードを選択するビットです。</p> <p>"0" に設定した場合： タイマ 10 とタイマ 11 は 8 ビットタイマとして動作します。</p> <p>"1" に設定した場合： タイマ 10 とタイマ 11 は 16 ビットタイマとして動作します。</p> <ul style="list-style-type: none"> このビットが "1" の状態で、PWM タイマ機能 (周期可変モード) のタイマ動作を開始 (T10CR1/T11CR1:STA = 1) すると、このビットは自動的に "0" になります。 タイマ動作中 (T10CR1:STA=1 または T11CR1:STA=1) のとき、このビットへの書込みアクセスは無効になります。

表 14.5-6 8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1 (TMCR1) の各ビットの機能説明 (2 / 2)

ビット名		機能															
bit3, bit2	FE11, FE10: タイマ 11 フィルタ 機能選択ビット	このビットは、PWC タイマ機能またはインプットキャプチャ機能が選択されているとき、タイマ 11 への外部信号 (EC1) に対するフィルタ機能を選択します。															
		<table><tr><td>FE11</td><td>FE10</td><td>タイマ 11 フィルタ機能</td></tr><tr><td>0</td><td>0</td><td>フィルタなし</td></tr><tr><td>0</td><td>1</td><td>"H" パルスノイズ除去</td></tr><tr><td>1</td><td>0</td><td>"L" パルスノイズ除去</td></tr><tr><td>1</td><td>1</td><td>"H/L" パルスノイズ除去</td></tr></table>	FE11	FE10	タイマ 11 フィルタ機能	0	0	フィルタなし	0	1	"H" パルスノイズ除去	1	0	"L" パルスノイズ除去	1	1	"H/L" パルスノイズ除去
		FE11	FE10	タイマ 11 フィルタ機能													
		0	0	フィルタなし													
		0	1	"H" パルスノイズ除去													
		1	0	"L" パルスノイズ除去													
1	1	"H/L" パルスノイズ除去															
<ul style="list-style-type: none">タイマ動作中 (T10CR1:STA=1), このビットへの書込みアクセスは無効になります。インターバルタイマ機能または PWM タイマ機能が選択されているときには、これらのビットに設定しても動作に影響しません (フィルタ機能は動作しません)。																	
bit1, bit0	FE01, FE00: タイマ 10 フィルタ 機能選択ビット	<ul style="list-style-type: none">このビットは、PWC タイマ機能またはインプットキャプチャ機能が選択されているとき、タイマ 10 への外部信号 (EC1) に対するフィルタ機能を選択します。タイマ動作中 (T10CR1:STA=1) のとき、このビットへの書込みアク															
		<table><tr><td>FE01</td><td>FE00</td><td>タイマ 10 フィルタ機能</td></tr><tr><td>0</td><td>0</td><td>フィルタなし</td></tr><tr><td>0</td><td>1</td><td>"H" パルスノイズ除去</td></tr><tr><td>1</td><td>0</td><td>"L" パルスノイズ除去</td></tr><tr><td>1</td><td>1</td><td>"H/L" パルスノイズ除去</td></tr></table>	FE01	FE00	タイマ 10 フィルタ機能	0	0	フィルタなし	0	1	"H" パルスノイズ除去	1	0	"L" パルスノイズ除去	1	1	"H/L" パルスノイズ除去
		FE01	FE00	タイマ 10 フィルタ機能													
		0	0	フィルタなし													
		0	1	"H" パルスノイズ除去													
		1	0	"L" パルスノイズ除去													
1	1	"H/L" パルスノイズ除去															
<p>セスは無効になります。</p> <ul style="list-style-type: none">インターバルタイマ機能または PWM タイマ機能が選択されているときには、これらのビットに設定しても動作に影響しません (フィルタ機能は動作しません)。																	

14.5.7 8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR)

8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR) は、インターバルタイマ動作または PWM タイマ動作時にカウント最大値を設定するレジスタです。また、PWC タイマ動作またはインプットキャプチャ動作時のカウント値の読出しを行います。T00DR レジスタはタイマ 00 に、T01DR レジスタはタイマ 01 に対応します。

■ 8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR)

図 14.5-9 8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T01DR 0F94 _H	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	00000000 _B
T00DR 0F95 _H	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	

R,W: リード / ライト可能 (読出し値は書込み値と異なります。)

● インターバルタイマ機能

8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR) を使用してインターバル時間を設定します。タイマが動作を開始 (T00CR1/T01CR1:STA=1) すると、このレジスタの値は 8 ビットコンパレータのラッチに転送され、カウントが開始されます。カウント値と 8 ビットコンパレータのラッチの中にある値とが一致すると、このレジスタの値は再びラッチに転送され、カウント値が "00_H" に戻ってカウントを継続します。

このレジスタを読み出すと、現在のカウント値は、このレジスタから読み出すことができます。

16 ビット動作のときは、データの上位を T01DR、下位を T00DR に設定してください。また、書込みまたは読出しは T01DR、T00DR の順番で行ってください。

● PWM タイマ機能 (周期固定)

8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR) を使用して "H" パルス幅時間を設定します。タイマが動作を開始 (T00CR1/T01CR1:STA=1) すると、このレジスタの値は 8 ビットコンパレータのラッチに転送され、タイマ出力 "H" からカウントが開始されます。カウント値とラッチに転送された値が一致すると、タイマ出力は "L" になり、カウント値が "FF_H" に達するまでカウント動作を継続します。オーバフローが発生すると、このレジスタの値は再び 8 ビットコンパレータのラッチに転送され、次のカウントサイクルを実行します。

このレジスタから、現在の値を読み出せます。16 ビット動作のときは、データの上位を T01DR、下位を T00DR に設定してください。また、書込みまたは読出しは T01DR、T00DR の順番で行ってください。

● PWM タイマ機能 (周期可変)

8/16 ビット複合タイマ 00 データレジスタ (T00DR) で, "L" パルス幅時間を, 8/16 ビット複合タイマ 01 データレジスタ (T01DR) で, 周期を設定します。タイマが動作を開始 (T00CR1/T01CR1:STA=1)すると, それぞれレジスタの値は8ビットコンパレータのラッチに転送され, タイマ出力 "L" から 2 つのカウンタの動作が開始されます。ラッチに転送された T00DR の値がタイマ 00 カウンタの値と一致すると, タイマ出力は "H" になり, ラッチに転送された T01DR の値がタイマ 01 カウンタの値と一致するまでカウント動作を継続します。8 ビットコンパレータのラッチに転送された T01DR の値がタイマ 01 カウンタの値と一致すると, T00DR および T01DR レジスタの値は再びラッチに転送され, 次の PWM 周期のカウント動作を継続します。

このレジスタから, 現在のカウンタ値を読み出すことができます。

16 ビット動作モードのときは, データの上位を T01DR, 下位を T00DR に設定してください。また, 読出しは T01DR, T00DR の順番で行ってください。

● PWC タイマ機能

8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR) を使用して, PWC 測定結果を読み出します。PWC 測定が完了するとカウンタ値がこのレジスタに転送されて BF ビットが "1" になります。

8/16 ビット複合タイマ 00/01 データレジスタを読むと, BF ビットは "0" になります。BF ビットが "1" のとき, 8/16 ビット複合タイマ 00/01 データレジスタへのデータ転送は行われません。

例外として, T00CR0/T01CR0 レジスタにおける F3 ~ F0 ビットが 1001_B に設定されている状態では, BF ビットが "1" に設定されていても, "H" パルスの測定結果は 8/16 ビット複合タイマ 00/01 データレジスタに転送され, 周期の測定結果は 8/16 ビット複合タイマ 00/01 データレジスタに転送されません。したがって, 周期測定を行うためには周期が完了する前に "H" パルス測定の結果を読み出す必要があります。また, "H" パルス測定結果または周期測定結果は次の "H" パルスが終了する前に読み出さないと喪失されます。

8/16 ビット複合タイマ 00/01 データレジスタを読み込んでいるときに, BF ビットを誤ってクリアしないように注意してください。

8/16 ビット複合タイマ 00/01 データレジスタに新たなデータを書き込むと, 格納された測定データが新たなデータと入れ替わります。したがって, データをレジスタに書き込まないでください。16 ビット動作モードのときは, データの上位を T01DR, 下位を T00DR に設定してください。また, 読出しは T01DR, T00DR の順番で行ってください。

● インプットキャプチャ機能

8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR) は, インプットキャプチャ結果の読出しに使用します。指定されたエッジが検出されると, カウンタ値が 8/16 ビット複合タイマ 00/01 データレジスタに転送されます。

8/16 ビット複合タイマ 00/01 データレジスタに新たなデータを書き込むと, 格納された測定データが新たなデータと入れ替わります。したがって, データをレジスタに書き込まないでください。16 ビット動作モードのときは, データの上位を T01DR, 下位を T00DR に設定してください。また, 読出しは T01DR, T00DR の順番で行ってください。

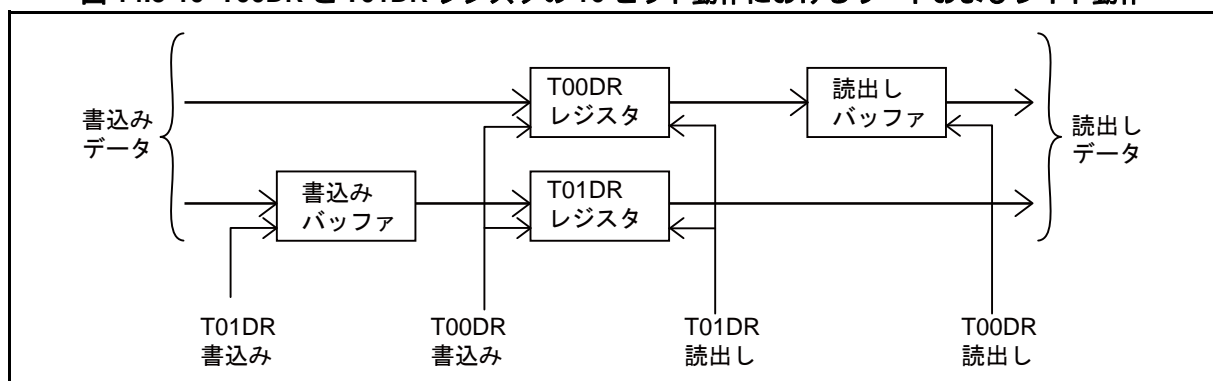
● 読出し、書込み動作について

T00DR と T01DR の 16 ビット動作時および PWM タイマ機能（周期可変）時の読出し、書込み動作は以下のように行われます。

- T01DR からの読出し： 同レジスタの読出し動作に加えて、T00DR の値が内部の読出しバッファへ格納する動作も同時に行われます。
- T00DR からの読出し： 内部の読出しバッファからの読出し動作が行われます。
- T01DR への書込み： 内部の書込みバッファへの書込み動作が行われます。
- T00DR への書込み： 同レジスタの書込み動作に加え、内部の書込みバッファの値が T01DR へ格納する動作も同時に行われます。

図 14.5-10 に、T00DR と T01DR レジスタの 16 ビット動作における読み書き動作を示します。

図 14.5-10 T00DR と T01DR レジスタの 16 ビット動作におけるリードおよびライト動作



MB95330H シリーズ

14.5.8 8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR)

8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR) は、インターバルタイマ動作または PWM タイマ動作時にカウント最大値を設定するレジスタです。また、PWC タイマ動作またはインプットキャプチャ動作時のカウント値の読出しを行います。T10DR レジスタはタイマ 10 に、T11DR レジスタはタイマ 11 に対応します。

■ 8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR)

図 14.5-11 8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
T11DR 0F99 _H	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	00000000 _B
T10DR 0F9A _H	R,W	R,W	R,W	R,W	R,W	R,W	R,W	R,W	

R,W: リード / ライト可能 (読出し値は書込み値と異なります。)

● インターバルタイマ機能

8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR) を使用してインターバル時間を設定します。タイマが動作を開始 (T10CR1/T11CR1:STA=1) すると、このレジスタの値は 8 ビットコンパレータのラッチに転送され、カウントが開始されます。カウント値と 8 ビットコンパレータのラッチの中にある値とが一致すると、このレジスタの値は再びラッチに転送され、カウント値が "00_H" に戻ってカウントを継続します。

このレジスタを読み出すと、現在のカウント値は、このレジスタから読み出すことができます。

16 ビット動作のときは、データの上位を T11DR、下位を T10DR に設定してください。また、書込みまたは読出しは T11DR、T10DR の順番で行ってください。

● PWM タイマ機能 (周期固定)

8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR) を使用して "H" パルス幅時間を設定します。タイマが動作を開始 (T10CR1/T11CR1:STA=1) すると、このレジスタの値は 8 ビットコンパレータのラッチに転送され、タイマ出力 "H" からカウントが開始されます。カウント値とラッチに転送された値が一致すると、タイマ出力は "L" になり、カウント値が "FF_H" に達するまでカウント動作を継続します。オーバフローが発生すると、このレジスタの値は再び 8 ビットコンパレータのラッチに転送され、次のカウントサイクルを実行します。

このレジスタから、現在の値を読み出せます。16 ビット動作のときは、データの上位を T11DR、下位を T10DR に設定してください。また、書込みまたは読出しは T11DR、T10DR の順番で行ってください。

● PWM タイマ機能 (周期可変)

8/16 ビット複合タイマ 10 データレジスタ (T10DR) で, "L" パルス幅時間を, 8/16 ビット複合タイマ 11 データレジスタ (T11DR) で, 周期を設定します。タイマが動作を開始 (T10CR1/T11CR1:STA=1)すると, それぞれレジスタの値は8ビットコンパレータのラッチに転送され, タイマ出力 "L" から 2 つのカウンタの動作が開始されます。ラッチに転送された T10DR の値がタイマ 10 カウンタの値と一致すると, タイマ出力は "H" になり, ラッチに転送された T11DR の値がタイマ 11 カウンタの値と一致するまでカウント動作を継続します。8 ビットコンパレータのラッチに転送された T11DR の値がタイマ 11 カウンタの値と一致すると, T10DR および T11DR レジスタの値は再びラッチに転送され, 次の PWM 周期のカウント動作を継続します。

このレジスタから, 現在のカウント値を読み出すことができます。

16 ビット動作のときは, データの上位を T11DR, 下位を T10DR に設定してください。また, 読出しは T11DR, T10DR の順番で行ってください。

● PWC タイマ機能

8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR) を使用して, PWC 測定結果を読み出します。PWC 測定が完了するとカウンタ値がこのレジスタに転送されて BF ビットが "1" になります。

8/16 ビット複合タイマ 10/11 データレジスタを読むと, BF ビットは "0" になります。BF ビットが "1" のとき, 8/16 ビット複合タイマ 10/11 データレジスタへのデータ転送は行われません。

例外として, T10CR0/T11CR0 レジスタにおける F3 ~ F0 ビットが 1001_B に設定されている状態では, BF ビットが "1" に設定されていても, "H" パルスの測定結果は 8/16 ビット複合タイマ 10/11 データレジスタに転送され, 周期の測定結果は 8/16 ビット複合タイマ 10/11 データレジスタに転送されません。したがって, 周期測定を行うためには周期が完了する前に "H" パルス測定の結果を読み出す必要があります。また, "H" パルス測定結果または周期測定結果は次の "H" パルスが終了する前に読み出さないと喪失されます。

8/16 ビット複合タイマ 10/11 データレジスタを読み込んでいるときに, BF ビットを誤ってクリアしないように注意してください。

8/16 ビット複合タイマ 10/11 データレジスタに新たなデータを書き込むと, 格納された測定データが新たなデータと入れ替わります。したがって, データをレジスタに書き込まないでください。16 ビット動作モードのときは, データの上位を T11DR, 下位を T10DR に設定してください。また, 読出しは T10DR, T11DR の順番で行ってください。

● インプットキャプチャ機能

8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR) は, インプットキャプチャ結果の読出しに使用します。指定されたエッジが検出されると, カウンタ値が 8/16 ビット複合タイマ 10/11 データレジスタに転送されます。

8/16 ビット複合タイマ 10/11 データレジスタに新たなデータを書き込むと, 格納された測定データが新たなデータと入れ替わります。したがって, データをレジスタに書き込まないでください。16 ビット動作モードのときは, データの上位を T11DR, 下位を T10DR に設定してください。また, 読出しは T11DR, T10DR の順番で行ってください。

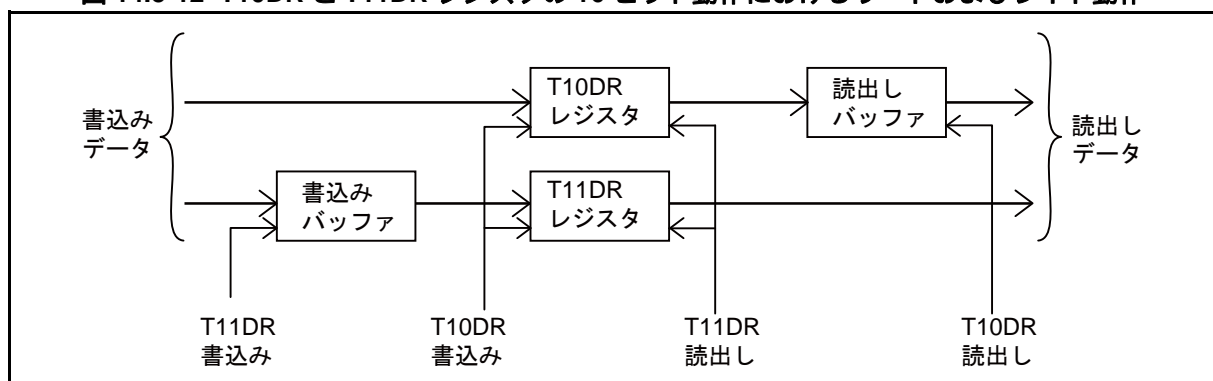
● 読出し、書込み動作について

T10DR と T11DR の 16 ビット動作時および PWM タイマ機能（周期可変）時の読出し、書込み動作は以下のように行われます。

- T11DR からの読出し： 同レジスタの読出し動作に加えて、T10DR の値が内部の読出しバッファへ格納する動作も同時に行われます。
- T10DR からの読出し： 内部の読出しバッファからの読出し動作が行われます。
- T11DR への書込み： 内部の書込みバッファへの書込み動作が行われます。
- T10DR への書込み： 同レジスタの書込み動作に加え、内部の書込みバッファの値が T11DR へ格納する動作も同時に行われます。

図 14.5-12 に、T10DR と T11DR レジスタの 16 ビット動作における読み書き動作を示します。

図 14.5-12 T10DR と T11DR レジスタの 16 ビット動作におけるリードおよびライト動作



14.6 8/16 ビット複合タイマの割込み

8/16 ビット複合タイマは、以下の割込みを発生します。それぞれの割込みには、割込み番号と割込みベクタが割り当てられます。

- タイマ 00 割込み
- タイマ 01 割込み
- タイマ 10 割込み
- タイマ 11 割込み

■ タイマ 00 の割込み

表 14.6-1 に、タイマ 00 の割込みおよびそのソースを示します。

表 14.6-1 タイマ 00 の割込み

項目	説明		
割込み発生条件	インターバルタイマ動作または PWM タイマ動作 (周期可変モード) のときの比較一致	PWC タイマ動作またはインプットキャプチャ動作のときのオーバフロー	PWC タイマ動作のときの測定完了またはインプットキャプチャ動作のときのエッジ検出
割込みフラグ	T00CR1:IF	T00CR1:IF	T00CR1:IR
割込み許可	T00CR1:IE と T00CR0:IFE	T00CR1:IE と T00CR0:IFE	T00CR1:IE

■ タイマ 01 の割込み

表 14.6-2 に、タイマ 01 の割込みおよびそのソースを示します。

表 14.6-2 タイマ 01 の割込み

項目	説明		
割込み発生条件	インターバルタイマ動作または PWM タイマ動作 (周期可変モード) のときの比較一致。16 ビット動作モード時を除く。	PWC タイマ動作またはインプットキャプチャ動作のときのオーバフロー。16 ビット動作モード時を除く。	PWC タイマ動作のときの測定完了またはインプットキャプチャ動作のときのエッジ検出。16 ビット動作モード時を除く。
割込みフラグ	T01CR1:IF	T01CR1:IF	T01CR1:IR
割込み許可	T01CR1:IE と T01CR0:IFE	T01CR1:IE と T01CR0:IFE	T01CR1:IE

■ タイマ 10 の割込み

表 14.6-3 に、タイマ 10 の割込みおよびそのソースを示します。

表 14.6-3 タイマ 10 の割込み

項目	説明		
割込み発生の条件	インターバルタイマ動作または PWM タイマ動作 (周期可変モード) のときの比較一致	PWC タイマ動作またはインプットキャプチャ動作のときのオーバフロー	PWC タイマ動作のときの測定完了またはインプットキャプチャ動作のときのエッジ検出
割込みフラグ	T10CR1:IF	T10CR1:IF	T10CR1:IR
割込み許可	T10CR1:IE と T10CR0:IFE	T10CR1:IE と T10CR0:IFE	T10CR1:IE

■ タイマ 11 の割込み

表 14.6-4 に、タイマ 11 の割込みおよびそのソースを示します。

表 14.6-4 タイマ 11 の割込み

項目	説明		
割込み発生の条件	インターバルタイマ動作または PWM タイマ動作 (周期可変モード) のときの比較一致。16 ビット動作モード時を除く。	PWC タイマ動作またはインプットキャプチャ動作のときのオーバフロー。16 ビット動作モード時を除く。	PWC タイマ動作のときの測定完了またはインプットキャプチャ動作のときのエッジ検出。16 ビット動作モード時を除く。
割込みフラグ	T11CR1:IF	T11CR1:IF	T11CR1:IR
割込み許可	T11CR1:IE と T11CR0:IFE	T11CR1:IE と T11CR0:IFE	T11CR1:IE

■ 8/16 ビット複合タイマの割り込みに関連するレジスタとベクタテーブルのアドレス

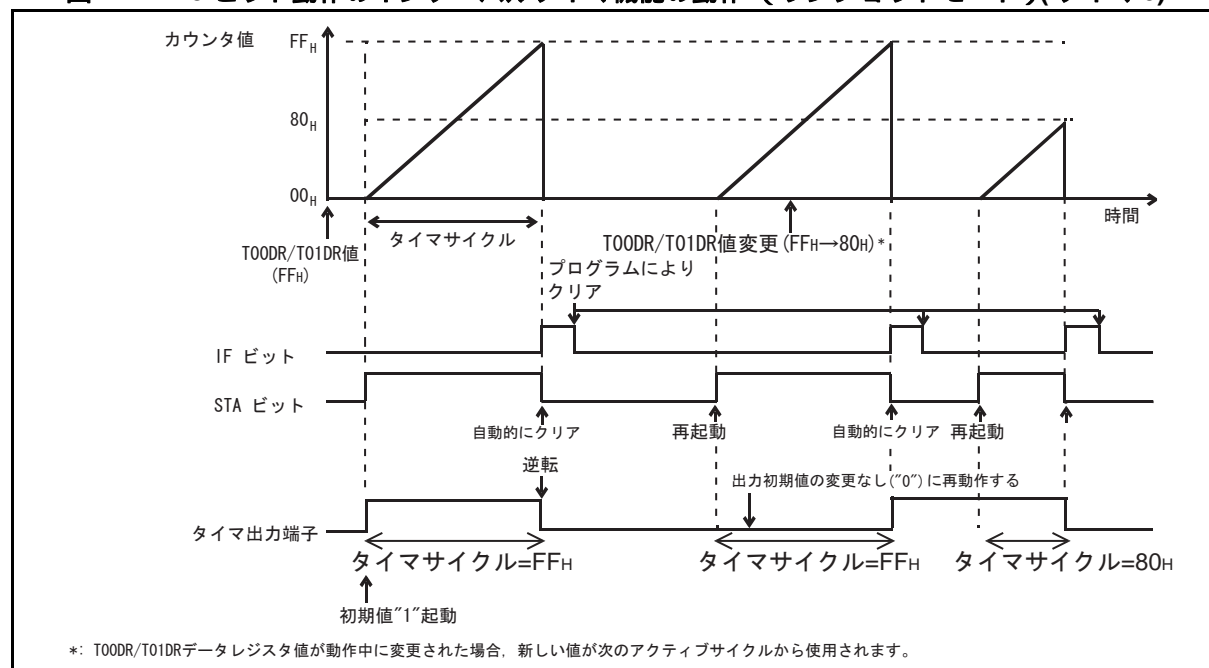
表 14.6-5 8/16 ビット複合タイマの割り込みに関連するレジスタとベクタテーブルのアドレス

割り込み要因	割り込み要求番号	割り込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
8/16 ビット複合タイマ ch. 0(下位)/ タイマ 00	IRQ05	ILR1	L05	FFF0 _H	FFF1 _H
8/16 ビット複合タイマ ch. 0(上位)/ タイマ 01	IRQ06	ILR1	L06	FFEE _H	FFEF _H
8/16 ビット複合タイマ ch. 1(下位)/ タイマ 10	IRQ22	ILR5	L22	FFCE _H	FFCF _H
8/16 ビット複合タイマ ch. 1(上位)/ タイマ 11	IRQ14	ILR3	L14	FFDE _H	FFDF _H

ch.: チャンネル

各周辺機能のそれぞれの割り込み要求番号およびベクタテーブルのアドレスについては「付録 B 割り込み要因一覧表」を参照してください。

図 14.7-2 8 ビット動作のインターバルタイマ機能の動作 (ワンショットモード)(タイマ 0)



■ インターバルタイマ機能 (ワンショットモード) の動作 (タイマ 1)

インターバルタイマ機能 (ワンショットモード) として動作させるには、図 14.7-3 のレジスタ設定が必要です。

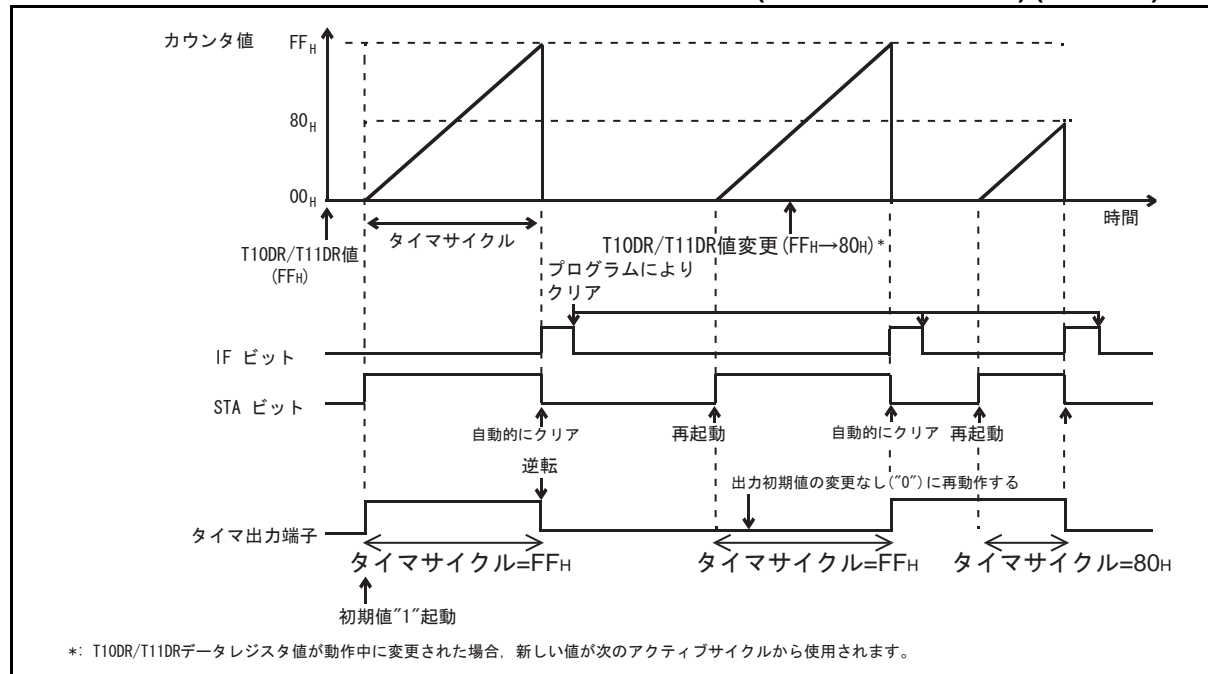
図 14.7-3 インターバルタイマ機能 (ワンショットモード) の設定 (タイマ 1)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T10CR0/T11CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	0	0	0	0
T10CR1/T11CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	x	x	○	○	○
TMCR1	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	x	○	○	○	○	○
T10DR/T11DR	インターバル時間 (カウンタコンペア値) の設定							
	○: 使用ビット							
	x: 未使用ビット							
	1: "1" に設定							
	0: "0" に設定							

インターバルタイマ機能 (ワンショットモード) では、タイマ動作を許可 (T10CR1/T11CR1:STA=1) すると、選択されたカウントクロック信号の立上りエッジでカウンタが "00_H" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値と一致すると、タイマ出力 (TMCR1:TO0/TO1) が反転して、割込みフラグ (T10CR1/T11CR1:IF) が "1" に、スタートビット (T10CR1/T11CR1:STA) が "0" になり、カウント動作が停止します。

8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値は、カウント動作開始時にコンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。図 14.7-4 に、8 ビット動作でのインターバルタイマ機能 (タイマ 1) の動作を示します。

図 14.7-4 8 ビット動作のインターバルタイマ機能の動作 (ワンショットモード) (タイマ 1)



14.8 インターバルタイマ機能 (連続モード) の動作説明

8/16 ビット複合タイマのインターバルタイマ機能 (連続モードの動作) を説明します。

■ インターバルタイマ機能 (連続モード) の動作 (タイマ 0)

インターバルタイマ機能 (連続モード) として動作させるには、レジスタを図 14.8-1 に示すように設定する必要があります。

図 14.8-1 インターバルタイマ機能の設定 (連続モード時) (タイマ 0)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	0	0	0	1
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	x	x	○	○	○
TMCR0	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	x	○	○	○	○	○
T00DR/T01DR	インターバル時間 (カウンタコンペア値) の設定							

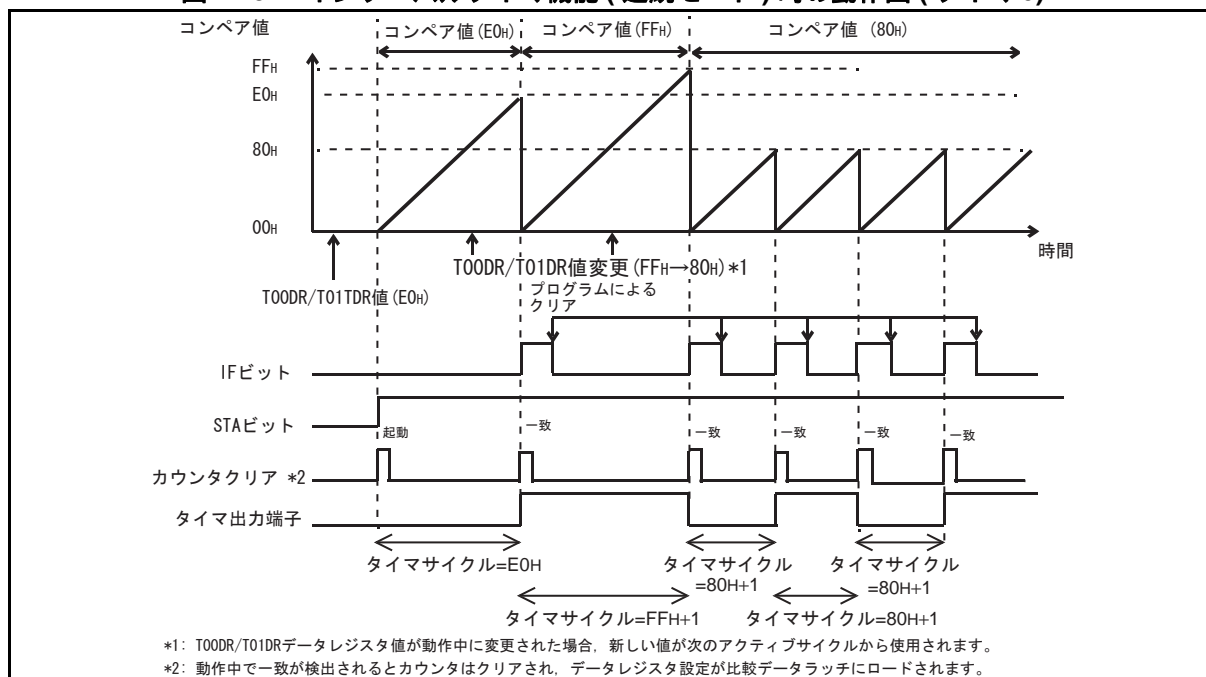
○: 使用ビット
x: 未使用ビット
1: "1" に設定
0: "0" に設定

インターバルタイマ機能 (連続モード) では、タイマ動作を許可 (T00CR1/T01CR1:STA=1) すると、選択されたカウントクロック信号の立上りエッジでカウンタが "00_H" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値と一致すると、タイマ出力ビット (TMCR0:TO0/TO1) が反転し、割込みフラグ (T00CR1/T01CR1:IF) が "1" になり、カウンタは "00_H" に戻り再びカウント動作を開始します。この連続動作の結果、タイマは方形波を出力します。

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値は、カウント動作を開始したとき、またはカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

タイマ動作を停止すると、タイマ出力ビット (TMCR0:TO0/TO1) は最後の値を保持します。

図 14.8-2 インターバルタイマ機能 (連続モード) 時の動作図 (タイマ 0)



■ インターバルタイマ機能 (連続モード) の動作 (タイマ 1)

インターバルタイマ機能 (連続モード) として動作させるには、レジスタを図 14.8-3 に示すように設定する必要があります。

図 14.8-3 インターバルタイマ機能の設定 (連続モード時) (タイマ 1)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T10CR0/T11CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	0	0	0	1
T10CR1/T11CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	x	x	○	○	○
TMCR1	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	x	○	○	○	○	○
T10DR/T11DR	インターバル時間 (カウンタコンペア値) の設定							
	○: 使用ビット							
	x: 未使用ビット							
	1: "1" に設定							
	0: "0" に設定							

インターバルタイマ機能 (連続モード) では、タイマ動作を許可 (T10CR1/T11CR1:STA=1) すると、選択されたカウントクロック信号の立上りエッジでカウンタが "00_H" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値と一致すると、タイマ出力ビット (TMCR1:TO0/TO1) が反転し、割込みフラグ (T10CR1/T11CR1:IF) が "1" になり、カウンタは "00_H" に戻り再びカウント動作を開始します。この連続動作の結果、タイマは方形波を出力します。

8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値は、カウント動作を開始したとき、またはカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

タイマ動作を停止すると、タイマ出力ビット (TMCR1:TO0/TO1) は最後の値を保持します。

図 14.8-4 インターバルタイマ機能 (連続モード) 時の動作図 (タイマ 1)

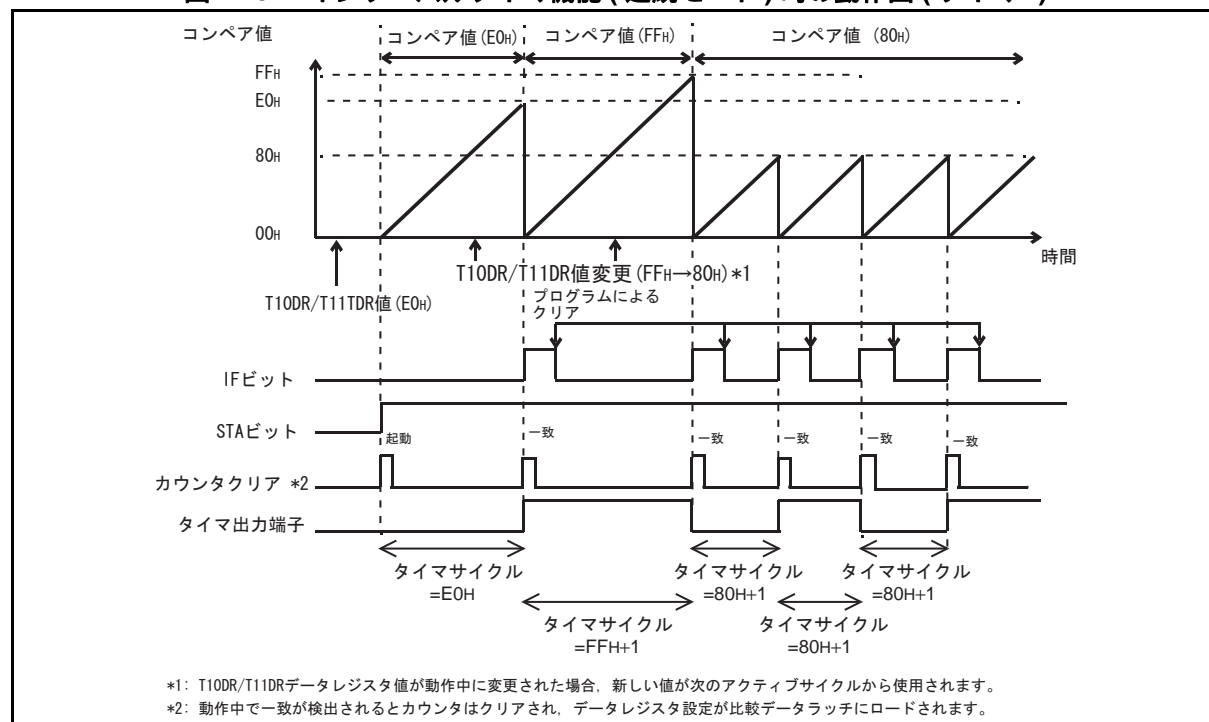
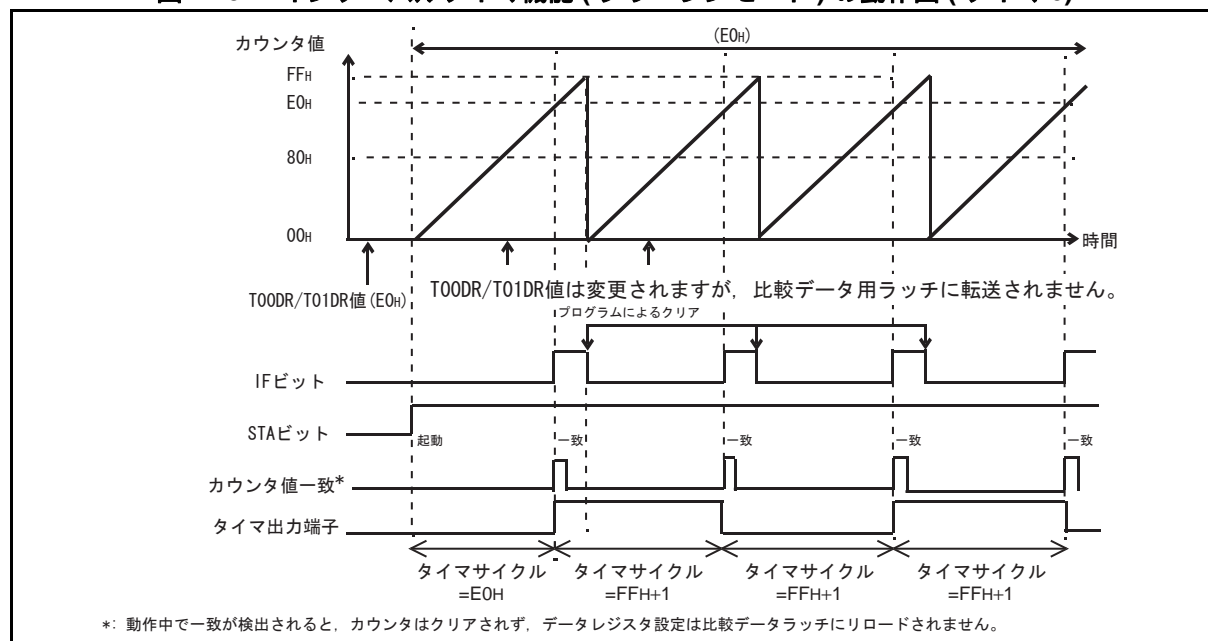


図 14.9-2 インターバルタイマ機能 (フリーランモード) の動作図 (タイマ 0)



■ インターバルタイマ機能 (フリーランモード) の動作 (タイマ1)

インターバルタイマ機能（フリーランモード）として動作させるには、図 14.9-3 のレジスタ設定が必要です。

図 14.9-3 インターバルタイマ機能 (フリーランモード) の設定 (タイマ1)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T10CR0/T11CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	0	0	1	0
T10CR1/T11CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	x	x	○	○	○
TMCr1	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	x	○	○	○	○	○
T10DR/T11DR	インターバル時間 (カウンタコンペア値) の設定							

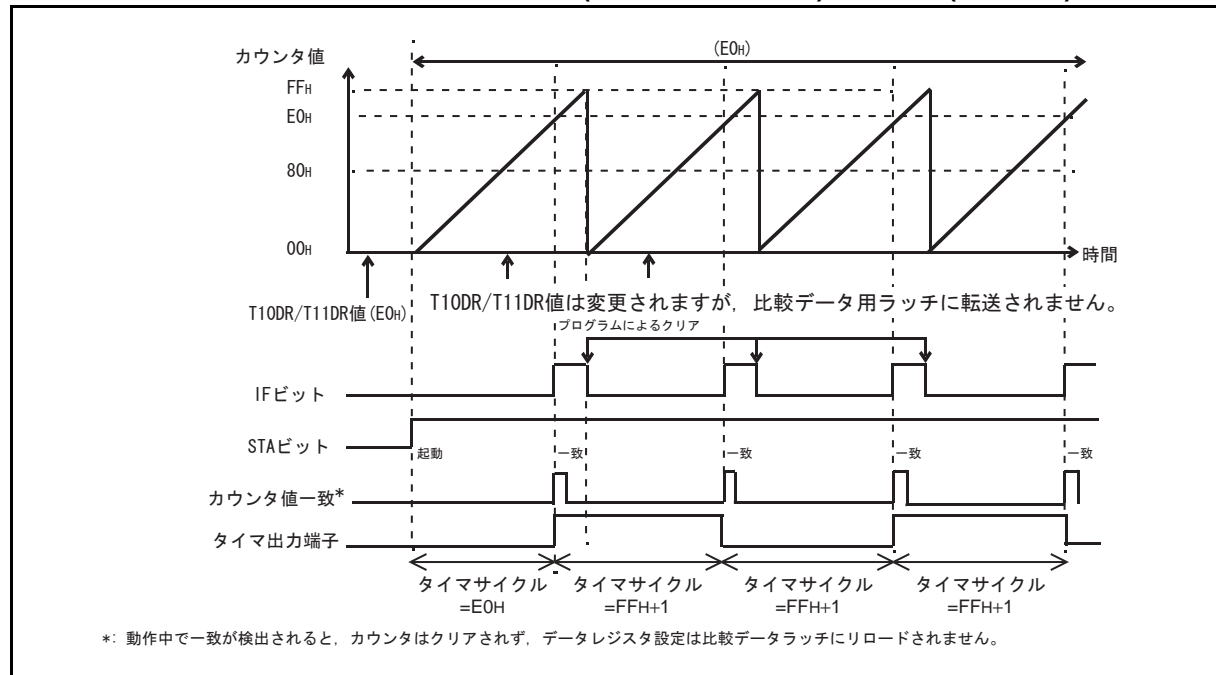
○: 使用ビット
x: 未使用ビット
1: "1" を設定
0: "0" を設定

インターバルタイマ機能（フリーランモード）では、タイマ動作を許可 (T10CR1/T11CR1:STA=1) すると、選択されたカウントクロック信号の立上りエッジでカウンタが "00_H" からカウント動作を開始します。カウンタの値が 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値と一致すると、タイマ出力ビット (TMCr1:TO0/TO1) が反転して割込みフラグ (T10CR1/T11CR1:IF) が "1" になります。上記の設定でカウント動作を継続し、カウント値が "FF_H" に達すると、カウンタは再度 "00_H" からカウント動作を継続します。この連続動作の結果、タイマは方形波を出力します。

8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値は、カウンタがカウント動作を開始したとき、またはカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ（比較データ格納用ラッチ）に転送されます。

タイマ動作を停止すると、タイマ出力ビット (TMCRI:TO0/TO1) は最後の値を保持します。

図 14.9-4 インターバルタイマ機能 (フリーランモード) の動作図 (タイマ 1)



14.10 PWM タイマ機能 (周期固定モード) の動作説明

8/16 ビット複合タイマの PWM タイマ機能 (周期固定モード) の動作を説明します。

■ PWM タイマ機能 (周期固定モード) の動作 (タイマ 0)

PWM タイマ機能 (周期固定モード) として動作させるには、図 14.10-1 のレジスタ設定が必要です。

図 14.10-1 PWM タイマ機能 (周期固定モード) の設定 (タイマ 0)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	0	0	1	1
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	x	x	x	x	x	x
TMCR0	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	x	○	○	○	○	○
T00DR/T01DR	"H" パルス幅 (コンペア値) の設定							

○: 使用ビット

x: 未使用ビット

1: "1" を設定

0: "0" を設定

PWM タイマ機能 (周期固定モード) では、周期固定で "H" パルス幅可変 PWM 信号をタイマ出力端子 (TO00/TO01) から出力します。この周期は、8 ビット動作モードでは "FF_H"、16 ビット動作モードでは "FFFF_H" に固定されます。選択したカウントクロックにより時間が決定されます。"H" パルス幅は 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値により指定します。

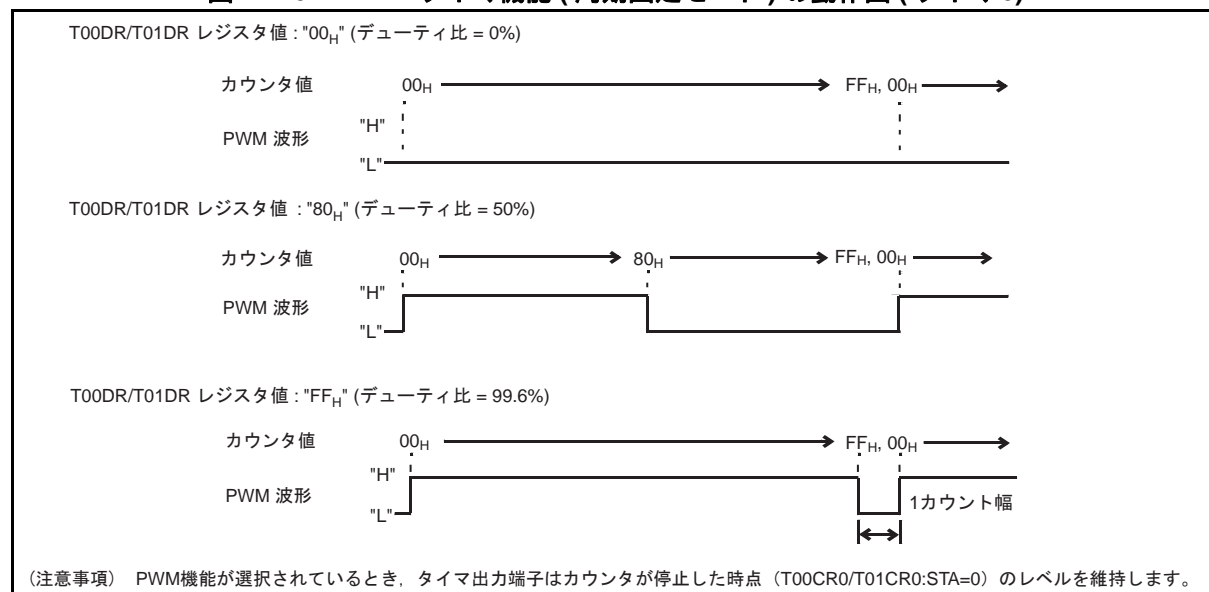
この機能では割込みフラグ (T00CR1/T01CR1:IF) には影響しません。また、各周期は常に "H" パルス出力から始まるので、タイマ出力初期値設定ビット (T00CR1/T01CR1:SO) は動作に影響を与えません。

8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値は、カウンタがカウント動作を開始したとき、またはカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

タイマ動作を停止すると、タイマ出力ビット (TMCR0:TO0/TO1) は最後の値を保持します。

タイマ起動 (STA ビットに "1" を書き込む) 直後の出力波形では、"H" パルスが、T00DR/T01DR レジスタの設定値よりも、1 カウントクロック少なくなります。

図 14.10-2 PWM タイマ機能 (周期固定モード) の動作図 (タイマ 0)



■ PWM タイマ機能 (周期固定モード) の動作 (タイマ 1)

PWM タイマ機能 (周期固定モード) として動作させるには、図 14.10-3 のレジスタ設定が必要です。

図 14.10-3 PWM タイマ機能 (周期固定モード) の設定 (タイマ 1)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T10CR0/T11CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	0	0	1	1
T10CR1/T11CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	×	×	×	×	×	×
TMCR1	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	×	○	○	○	○	○
T10DR/T11DR	"H" パルス幅 (コンペア値) の設定							

○: 使用ビット
 ×: 未使用ビット
 1: "1" を設定
 0: "0" を設定

PWM タイマ機能 (周期固定モード) では、周期固定で "H" パルス幅可変 PWM 信号をタイマ出力端子 (TO10/TO11) から出力します。この周期は、8 ビット動作モードでは "FF_H"、16 ビット動作モードでは "FFFF_H" に固定されます。選択したカウントクロックにより時間が決定されます。"H" パルス幅は 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値により指定します。

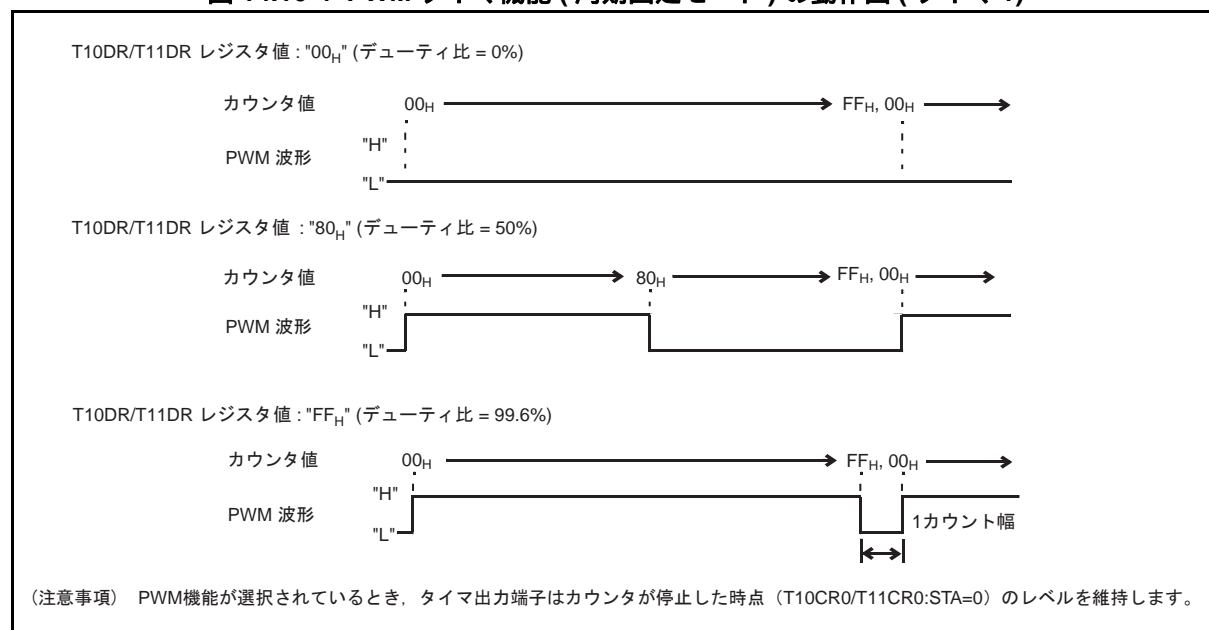
この機能では割込みフラグ (T10CR1/T11CR1:IF) には影響しません。また、各周期は常に "H" パルス出力から始まるので、タイマ出力初期値設定ビット (T10CR1/T11CR1:SO) は動作に影響を与えません。

8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値は、カウンタがカウント動作を開始したとき、またはカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

タイマ動作を停止すると、タイマ出力ビット (TMCRI:TO0/TO1) は最後の値を保持します。

タイマ起動 (STA ビットに "1" を書き込む) 直後の出力波形では、"H" パルスが、T10DR/T11DR レジスタの設定値よりも、1 カウントクロック少なくなります。

図 14.10-4 PWM タイマ機能 (周期固定モード) の動作図 (タイマ 1)



14.11 PWM タイマ機能 (周期可変モード) の動作説明

8/16 ビット複合タイマの PWM タイマ機能 (周期可変モード) の動作を説明します。

■ PWM タイマ機能 (周期可変モード) の動作 (タイマ 0)

PWM タイマ機能 (周期可変モード) として動作させるには、図 14.11-1 のレジスタ設定が必要です。

図 14.11-1 PWM タイマ機能 (周期可変モード) の設定 (タイマ 0)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	0	1	0	0
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	x	x	○	x	x
TMCRO	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	x	x	○	○	○	○
T00DR	"L" パルス幅 (コンペア値) の設定							
T01DR	PWM 波形 (コンペア値) の周期を設定							

○: 使用ビット
x: 未使用ビット
1: "1" を設定
0: "0" を設定

PWM タイマ機能 (周期可変モード) では、タイマ 00 とタイマ 01 の両方を使用します。任意の周期と任意のデューティとの PWM 信号がタイマ出力端子 (TO00) から出力されます。8/16 ビット複合タイマ 01 データレジスタ (T01DR) で周期を指定し、8/16 ビット複合タイマ 00 データレジスタ (T00DR) で "L" パルス幅時間を指定します。

この機能では、2つの8ビットカウンタを使用するため、複合タイマは16ビットカウンタを構成できません。

タイマ動作を許可 (T00CR1:STA=1 または T01CR1:STA=1 のいずれかの設定で可能に) すると、モードビット (TMCRO:MOD) は "0" になります。また、最初の周期は常に "L" パルス出力から始まるので、タイマ初期値設定ビット (T00CR1/T01CR1:SO) は動作に影響を与えません。

割込みフラグ (T00CR1/T01CR1:IF) は、その割込みフラグに対応する8ビットカウンタが、8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) の値と一致したときに設定されます。

8/16 ビット複合タイマ 00/01 データレジスタの値はカウンタがカウント動作を開始したとき、またはそれぞれのカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

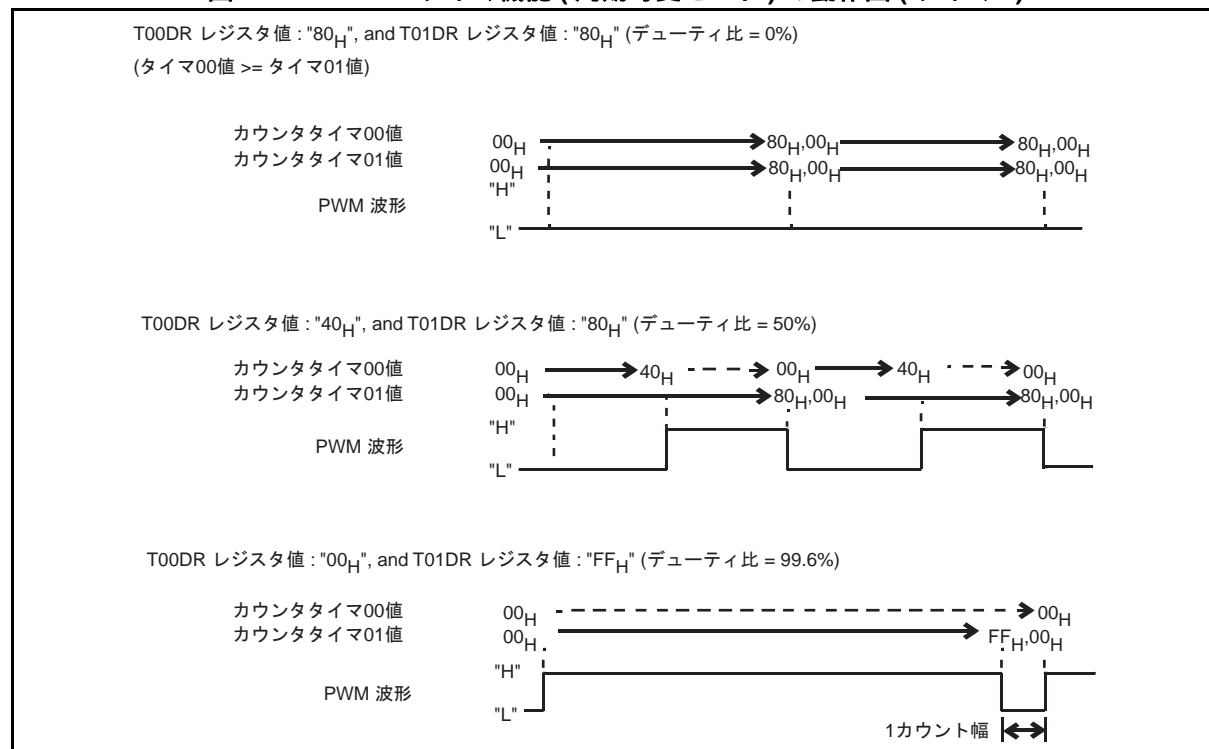
"L" パルス幅の設定値が周期の設定値より大きい場合は "H" は出力されません。

カウントクロックの選択は、タイマ 00 とタイマ 01 の両方に対してそれぞれ行う必要があります。この際、2つのタイマに対し異なるカウントクロックを選択することを禁止します。

タイマ動作を停止したとき、タイマ出力ビット (TMCr0:TO0) は最後の出力値を保持します。

動作中に 8/16 ビット複合タイマ 00/01 データレジスタを書き換えた場合、書き込まれたデータは同期一致が検出された次のサイクルより有効となります。

図 14.11-2 PWM タイマ機能 (周期可変モード) の動作図 (タイマ 0)



■ PWM タイマ機能 (周期可変モード) の動作 (タイマ 1)

PWM タイマ機能 (周期可変モード) として動作させるには、図 14.11-3 のレジスタ設定が必要です。

図 14.11-3 PWM タイマ機能 (周期可変モード) の設定 (タイマ 1)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T10CR0/T11CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	0	1	0	0
T10CR1/T11CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	×	×	○	×	×
TMCr1	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	×	×	○	○	○	○
T10DR	"L" パルス幅 (コンペア値) の設定							
T11DR	PWM 波形 (コンペア値) の周期を設定							

○: 使用ビット
×: 未使用ビット
1: "1" を設定
0: "0" を設定

PWM タイマ機能 (周期可変モード) では、タイマ 10 とタイマ 11 の両方を使用します。任意の周期と任意のデューティとの PWM 信号がタイマ出力端子 (TO10) から出力されます。8/16 ビット複合タイマ 11 データレジスタ (T11DR) で周期を指定し、8/16 ビット複合タイマ 10 データレジスタ (T10DR) で "L" パルス幅時間を指定します。

この機能では、2つの8ビットカウンタを使用するため、複合タイマは16ビットカウンタを構成できません。

タイマ動作を許可 (T10CR1:STA=1 または T11CR1:STA=1 のいずれかの設定で可能に) すると、モードビット (TMCR1:MOD) は "0" になります。また、最初の周期は常に "L" パルス出力から始まるので、タイマ初期値設定ビット (T10CR1/T11CR1:SO) は動作に影響を与えません。

割込みフラグ (T10CR1/T11CR1:IF) は、その割込みフラグに対応する 8 ビットカウンタが、8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) の値と一致したときに設定されます。

8/16 ビット複合タイマ 10/11 データレジスタの値はカウンタがカウント動作を開始したとき、またはそれぞれのカウンタ値の比較一致を検出したときに、コンパレータ内部の一時格納用のラッチ (比較データ格納用ラッチ) に転送されます。

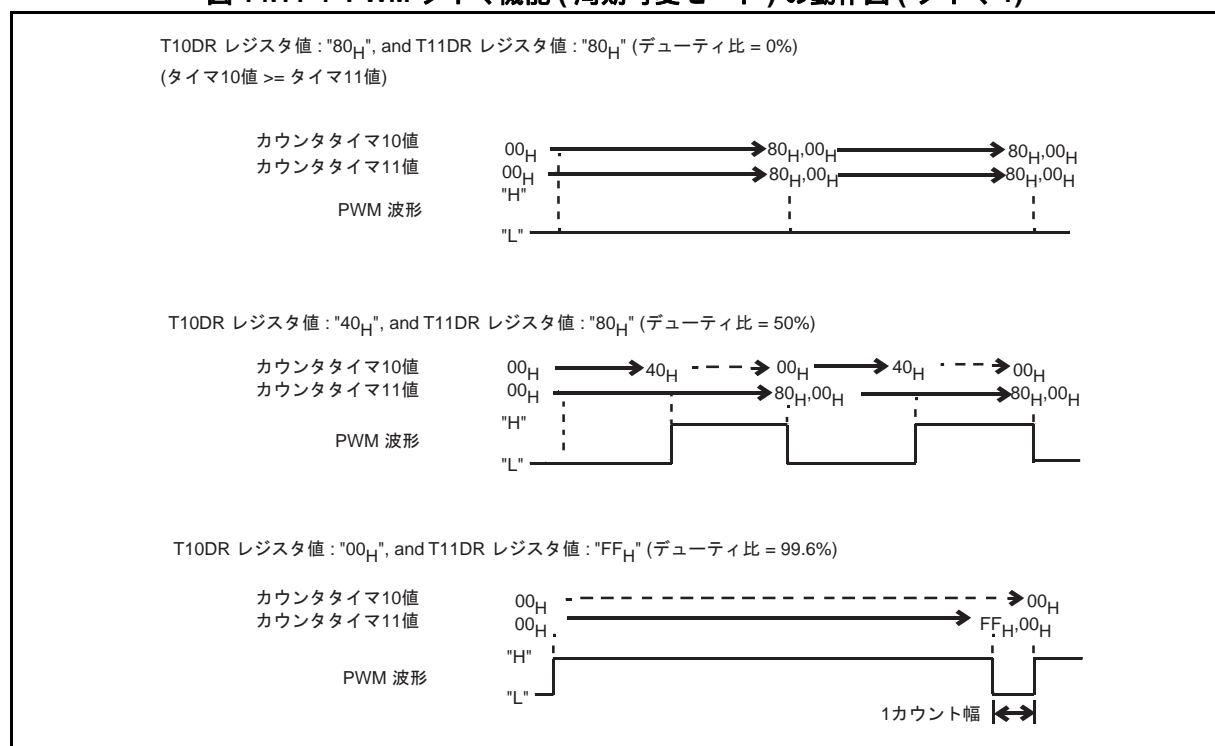
"L" パルス幅の設定値が周期の設定値より大きい場合は "H" は出力されません。

カウントクロックの選択は、タイマ 10 とタイマ 11 の両方に対してそれぞれ行う必要があります。この際、2つのタイマに対し異なるカウントクロックを選択することを禁止します。

タイマ動作を停止したとき、タイマ出力ビット (TMCR1:TO0) は最後の出力値を保持します。

動作中に 8/16 ビット複合タイマ 10/11 データレジスタを書き換えた場合、書き込まれたデータは同期一致が検出された次のサイクルより有効となります。

図 14.11-4 PWM タイマ機能 (周期可変モード) の動作図 (タイマ 1)



14.12 PWC タイマ機能の動作説明

8/16 ビット複合タイマの PWC タイマ機能の動作を説明します。

■ PWC タイマ機能の動作 (タイマ 0)

PWC タイマ機能として動作させるには、図 14.12-1 のレジスタ設定が必要です。

図 14.12-1 PWC タイマ機能の設定 (タイマ 0)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	○	○	○	○
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	○	○	○	○	x
TMCR0	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	○	○	○	○	○	○
T00DR/T01DR	パルス幅測定値を保持							

○: 使用ビット

x: 未使用ビット

1: "1" を設定

PWC タイマ機能を選択しているときには、外部入力パルスの幅および周期を測定することができます。カウント開始・終了のエッジはタイマ動作モード選択ビット (T00CR0/T01CR0 :F3, F2, F1, F0) により選択します。

この機能の動作では、外部入力信号の指定されたカウント開始エッジを検出した直後に、カウンタは "00_H" からカウント動作を開始します。指定されたカウント終了エッジを検出すると、カウンタ値が 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に転送され、割込みフラグ (T00CR1/T01CR1 :IR) とバッファフルフラグ (T00CR1/T01CR1 :BF) を "1" にします。バッファフルフラグは、8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) が読み出されたとき、"0" になります。

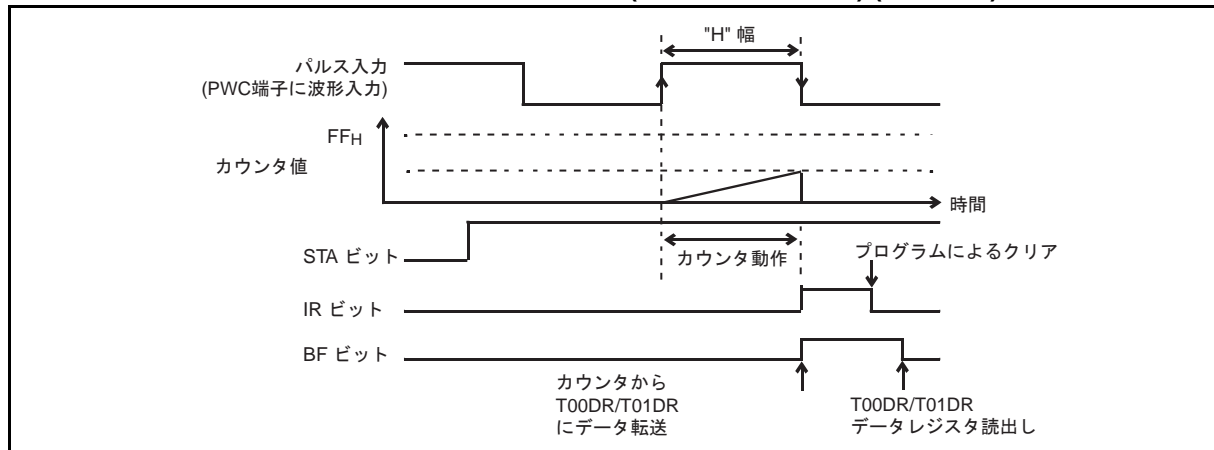
バッファフルフラグが "1" の場合、8/16 ビット複合タイマ 00/01 データレジスタはデータを保持します。この間に次のエッジが検出されても、カウンタ値は 8/16 ビット複合タイマ 00/01 データレジスタに転送されないで、次の測定結果を喪失します。

例外として、T00CR0/T01CR0 レジスタにおける F3 ~ F0 ビットが 1001_B に設定されているときは、BF ビットが "1" 状態でも "H" パルスの測定結果は 8/16 ビット複合タイマ 00/01 データレジスタに転送されますが、周期の測定結果は 8/16 ビット複合タイマ 00/01 データレジスタに転送されません。したがって、周期測定を行うためには周期が終了する前に "H" パルス測定の結果を読み出す必要があります。また、"H" パルス測定の結果および周期測定の結果は、次の "H" パルスが終了する前に読み出さないと喪失します。

カウンタの値を超える時間を測定する場合は、カウンタオーバフローの回数をソフトウェアでカウントすることにより、カウンタの値を超えた時間を求めることができます。すなわち、カウンタがオーバフローすると、割込みフラグ (T00CR1/T01CR1: IF) が "1" になりますので、この割込み処理ルーチンによりオーバフローの回数をカウントします。また、オーバフローによりタイマ出力は反転します。タイマ出力の初期値は、タイマ出力初期値ビット (T00CR1/T01CR1: SO) により設定できます。

タイマ動作を停止したとき、タイマ出力ビット (TMCR0:T00/T01) は最後の値を保持します。

図 14.12-2 PWC タイマの動作図 (H パルス幅測定例) (タイマ 0)



■ PWC タイマ機能の動作 (タイマ 1)

PWC タイマ機能として動作させるには、図 14.12-3 のレジスタ設定が必要です。

図 14.12-3 PWC タイマ機能の設定 (タイマ 1)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T10CR0/T11CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	○	○	○	○
T10CR1/T11CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	○	○	○	○	x
TMCR1	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	○	○	○	○	○	○	○	○
T10DR/T11DR	パルス幅測定値を保持							

○: 使用ビット

x: 未使用ビット

1: "1" を設定

PWC タイマ機能を選択しているときには、外部入力パルスの幅および周期を測定することができます。カウント開始・終了のエッジはタイマ動作モード選択ビット (T10CR0/T11CR0 : F3, F2, F1, F0) により選択します。

この機能の動作では、外部入力信号の指定されたカウント開始エッジを検出した直後に、カウンタは "00_H" からカウント動作を開始します。指定されたカウント終了エッジを検出すると、カウンタ値が 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) に転送され、割込みフラグ (T10CR1/T11CR1 : IR) とバッファフルフラグ (T10CR1/T11CR1 : BF) を "1" にします。バッファフルフラグは、8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) が読み出されたとき、"0" になります。

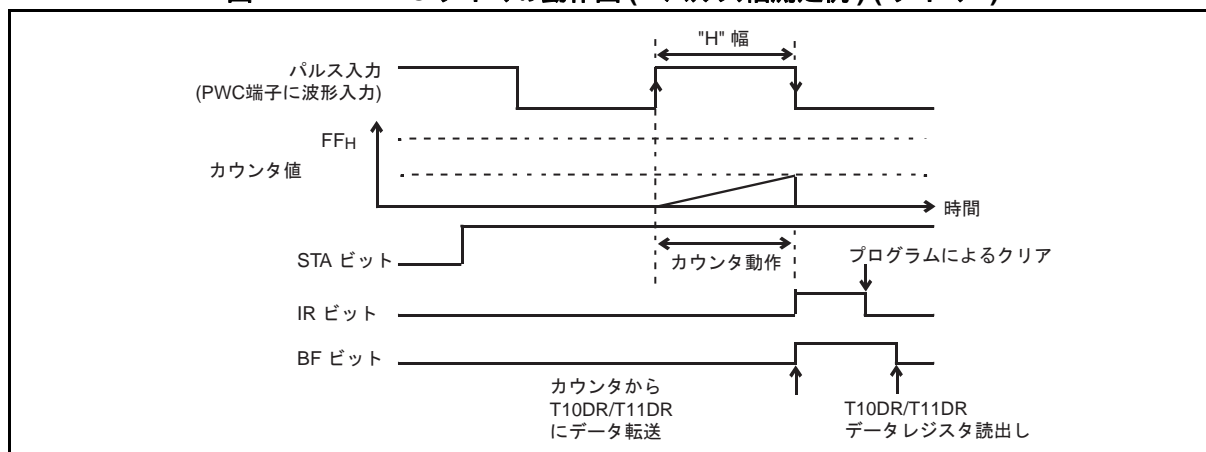
バッファフルフラグが "1" の場合、8/16 ビット複合タイマ 10/11 データレジスタはデータを保持します。この間に次のエッジが検出されても、カウンタ値は 8/16 ビット複合タイマ 10/11 データレジスタに転送されないため、次の測定結果を喪失します。

例外として、T10CR0/T11CR0 レジスタにおける F3 ~ F0 ビットが 1001_B に設定されているときは、BF ビットが "1" 状態でも "H" パルスの測定結果は 8/16 ビット複合タイマ 10/11 データレジスタに転送されますが、周期の測定結果は 8/16 ビット複合タイマ 10/11 データレジスタに転送されません。したがって、周期測定を行うためには周期が終了する前に "H" パルス測定の結果を読み出す必要があります。また、"H" パルス測定の結果および周期測定の結果は、次の "H" パルスが終了する前に読み出さないと喪失します。

カウンタの値を超える時間を測定する場合は、カウンタオーバフローの回数をソフトウェアでカウントすることにより、カウンタの値を超えた時間を求めることができます。すなわち、カウンタがオーバフローすると、割込みフラグ (T10CR1/T11CR1: IF) が "1" になりますので、この割込み処理ルーチンによりオーバフローの回数をカウントします。また、オーバフローによりタイマ出力は反転します。タイマ出力の初期値は、タイマ出力初期値ビット (T10CR1/T11CR1: SO) により設定できます。

タイマ動作を停止したとき、タイマ出力ビット (TMC1:TO0/TO1) は最後の値を保持します。

図 14.12-4 PWC タイマの動作図 (H パルス幅測定例) (タイマ 1)



14.13 インพุットキャプチャ機能の動作説明

8/16 ビット複合タイマのインพุットキャプチャ機能の動作を説明します。

■ インพุットキャプチャ機能の動作 (タイマ 0)

インพุットキャプチャ機能として動作させるには、図 14.13-1 のレジスタ設定が必要です。

図 14.13-1 インพุットキャプチャ機能の設定 (タイマ 0)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T00CR0/T01CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	○	○	○	○
T00CR1/T01CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	○	x	○	x	x
TMCRO	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	x	x	○	○	○	○	○	○
T00DR/T01DR	パルス幅測定値を保持							

○: 使用ビット

x: 未使用ビット

1: "1" を設定

インพุットキャプチャ機能が選択されると、外部信号入力のエッジ検出の直後に、カウンタの値を、8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に格納します。検出するエッジは、タイマ動作モード選択ビット (T00CR0/T01CR0 : F3, F2, F1, F0) により選択します。

この機能には、フリーランモードとクリアモードがあり、タイマ動作モード選択ビットにより選択します。

クリアモードでは、カウンタは "00_H" からカウント動作を開始します。エッジを検出すると、カウンタの値を 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に転送して割込みフラグ (T00CR1/T01CR1 : IR) が "1" になり、再び "00_H" からカウント動作を開始します。

フリーランモードでは、エッジが検出されると、カウンタの値を 8/16 ビット複合タイマ 00/01 データレジスタ (T00DR/T01DR) に転送して、割込みフラグ (T00CR1/T01CR1 : IR) が "1" になります。この場合には、カウンタはクリアされることなく、そのままカウント動作を継続します。

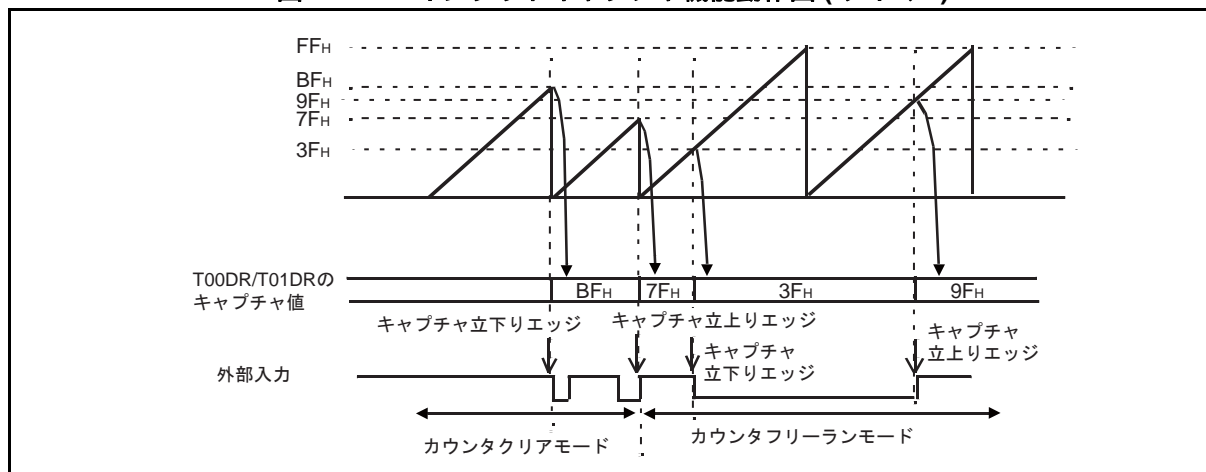
この機能は、バッファフルフラグ (T00CR1/T01CR1 : BF) に影響を与えません。

カウンタの値を超える時間を測定する場合は、カウンタオーバフローの回数をソフトウェアでカウントすることにより、カウンタの値を超えた時間を求めることができます。すなわち、カウンタがオーバフローすると、割込みフラグ (T00CR1/T01CR1 : IF) が "1" になりますので、この割込み処理ルーチンによりオーバフローの回数をカウントします。また、オーバフローによりタイマ出力は反転します。タイマ出力の初期値は、タイマ出力初期値ビット (T00CR1/T01CR1 : SO) により設定することができます。

< 注意事項 >

インพุットキャプチャ機能の使用上の注意については、「14.16 8/16 ビット複合タイマの使用上の注意」を参照してください。

図 14.13-2 インพุットキャプチャ機能動作図 (タイマ 0)



■ インพุットキャプチャ機能の動作 (タイマ 1)

インพุットキャプチャ機能として動作させるには、図 14.13-3 のレジスタ設定が必要です。

図 14.13-3 インพุットキャプチャ機能の設定 (タイマ 1)

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
T10CR0/T11CR0	IFE	C2	C1	C0	F3	F2	F1	F0
	○	○	○	○	○	○	○	○
T10CR1/T11CR1	STA	HO	IE	IR	BF	IF	SO	OE
	1	○	○	○	x	○	x	x
TMCR1	TO1	TO0	TIS	MOD	FE11	FE10	FE01	FE00
	x	x	○	○	○	○	○	○
T10DR/T11DR	パルス幅測定値を保持							

○: 使用ビット

x: 未使用ビット

1: "1" を設定

インพุットキャプチャ機能が選択されると、外部信号入力のエッジ検出の直後に、カウンタの値を、8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) に格納します。検出するエッジは、タイマ動作モード選択ビット (T10CR0/T11CR0: F3, F2, F1, F0) により選択します。

この機能には、フリーランモードとクリアモードがあり、タイマ動作モード選択ビットにより選択します。

クリアモードでは、カウンタは "00_H" からカウント動作を開始します。エッジを検出すると、カウンタの値を 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) に

転送して割込みフラグ (T10CR1/T11CR1 : IR) が "1" になり、再び "00_H" からカウント動作を開始します。

フリーランモードでは、エッジが検出されると、カウンタの値を 8/16 ビット複合タイマ 10/11 データレジスタ (T10DR/T11DR) に転送して、割込みフラグ (T10CR1/T11CR1 : IR) が "1" になります。この場合には、カウンタはクリアされることなく、そのままカウント動作を継続します。

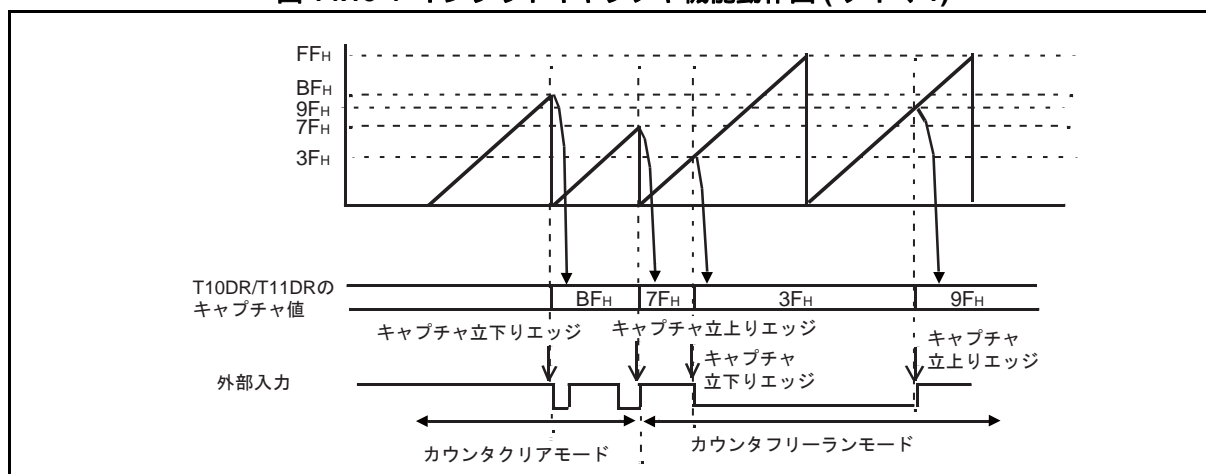
この機能は、バッファフルフラグ (T10CR1/T11CR1 : BF) に影響を与えません。

カウンタの値を超える時間を測定する場合は、カウンタオーバフローの回数をソフトウェアでカウントすることにより、カウンタの値を超えた時間を求めることができます。すなわち、カウンタがオーバフローすると、割込みフラグ (T10CR1/T11CR1 : IF) が "1" になりますので、この割込み処理ルーチンによりオーバフローの回数をカウントします。また、オーバフローによりタイマ出力は反転します。タイマ出力の初期値は、タイマ出力初期値ビット (T10CR1/T11CR1 : SO) により設定することができます。

< 注意事項 >

インพุットキャプチャ機能の使用上の注意については、「14.16 8/16 ビット複合タイマの使用上の注意」を参照してください。

図 14.13-4 インพุットキャプチャ機能動作図 (タイマ 1)

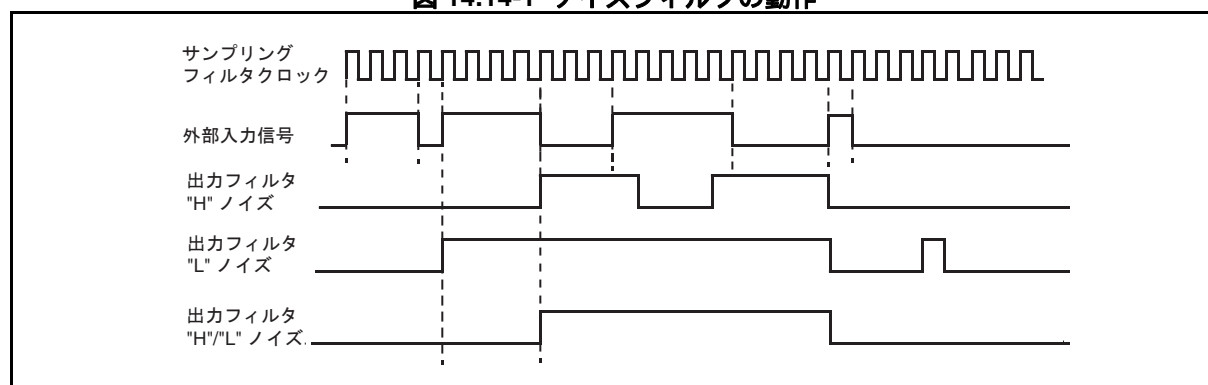


14.14 ノイズフィルタの動作説明

8/16 ビット複合タイマのノイズフィルタの動作を説明します。

インプットキャプチャ機能またはPWC タイマ機能が選択されているときには、外部入力端子 (EC0/EC1) からの信号のパルスノイズをノイズフィルタにより除去することができます。TMCR0/TMCR1 レジスタのビット (TMCR0/TMCR1 : FE11, FE10, FE01, FE00) を設定することにより "H" パルスノイズ除去, "L" パルスノイズ除去または "H/L" パルスノイズ除去から選択することができます。除去できる最大のパルス幅は 3 マシンクロック周期です。ノイズフィルタ機能が作動中の場合、信号入力に 4 マシンクロック周期の遅れが発生します。

図 14.14-1 ノイズフィルタの動作



14.15 動作中の各モードでの状態

8/16 ビット複合タイマの動作中に、マイコンの時計モード、ストップモードへの移行があったとき、または一時停止 (T00CR1/T01CR1/T10CR1/T11CR1:HO=1) の要求があったときの動作を説明します。

■ インターバルタイマ機能、インプットキャプチャ機能または PWC 機能が選択された場合

図 14.15-1 に、8/16 ビット複合タイマの動作中に、マイコンが時計モード、ストップモードへ移行したとき、または一時停止の要求があったときのカウンタ値の変化を示します。

マイコンがストップモードまたは時計モードに移行すると、カウンタは値を保持して動作を停止します。ストップモードまたは時計モードが割込みによって解除されると、カウンタは保持した値から動作を再開します。このため、初回のインターバル時間や初期外部クロックのカウンタ数は正しい値ではありません。マイコンがストップモードまたは時計モードから解除された後には、必ずカウンタ値を初期化してください。

図 14.15-1 スタンバイモードまたは一時停止時のカウンタの動作 (PWM タイマ機能以外)

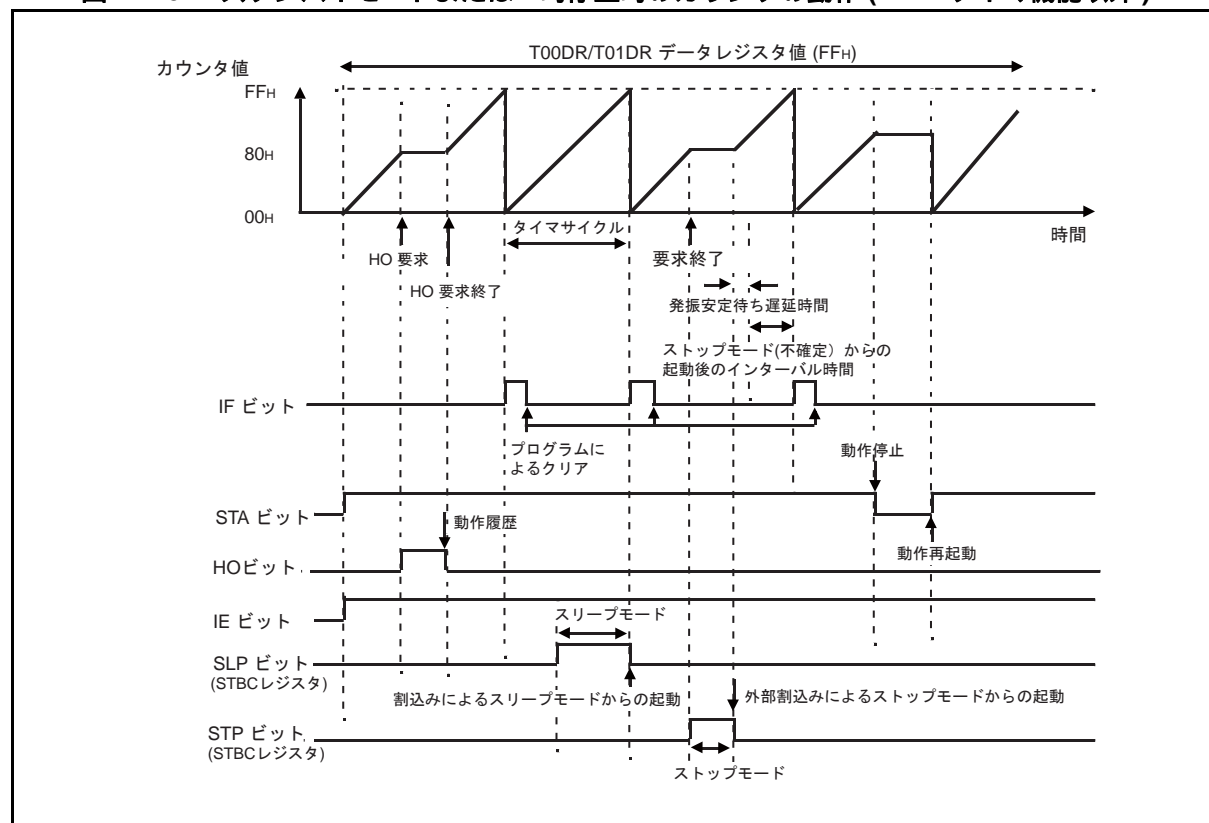
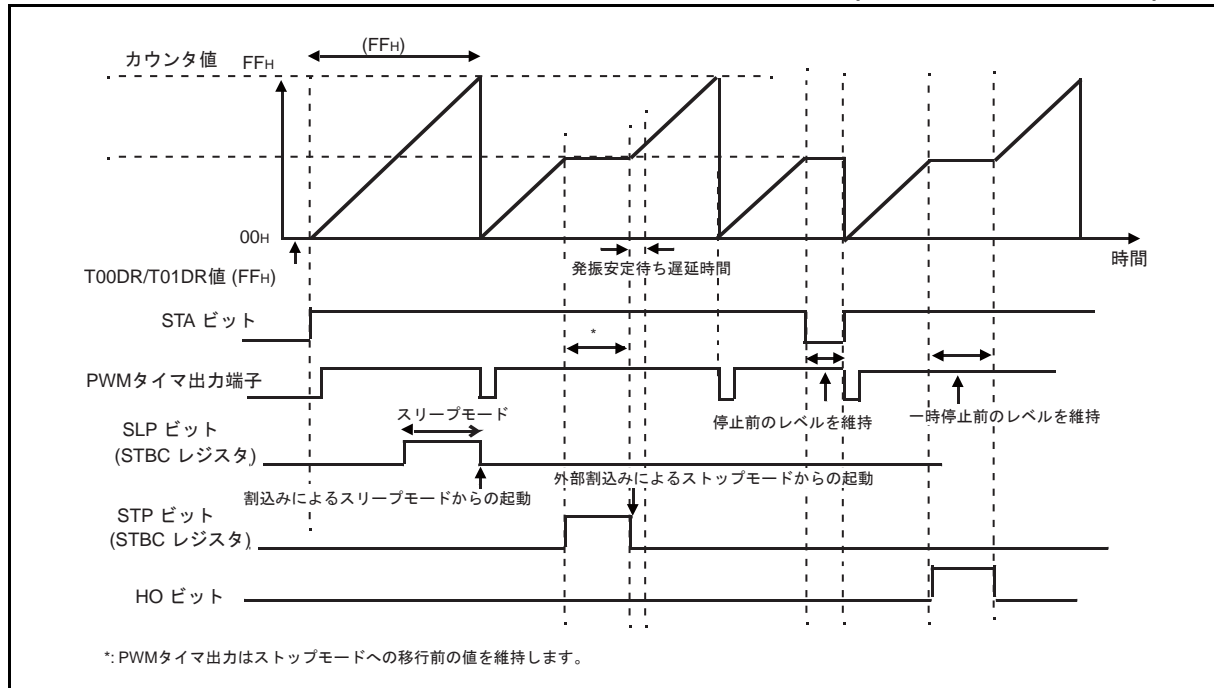


図 14.15-2 スタンバイモードおよび一時停止時のカウンタの動作 (PWM タイマ機能のとき)



14.16 8/16 ビット複合タイマの使用上の注意

8/16 ビット複合タイマの使用に関する注意事項を示します。

■ 8/16 ビット複合タイマの使用上の注意

- タイマ動作モード選択ビット (T00CR0/T01CR0/T10CR0/T11CR0:F3, F2, F1, F0) によりタイマ機能を変更する場合は、あらかじめタイマ動作を停止 (T00CR1/T01CR1/T10CR1/T11CR1:STA=0) してから、割込みフラグ (T00CR1/T01CR1/T10CR1/T11CR1:IF, IR), 割込み許可ビット (T00CR1/T01CR1/T10CR1/T11CR1:IE, T00CR0/T01CR0/T10CR0/T11CR0:IFE) およびバッファフルフラグ (T00CR1/T01CR1/T10CR1/T11CR1:BF) をクリアしてください。
- 外部入力信号 H レベル入力中に、両エッジ検出を選択してインプットキャプチャタイマを起動した場合 (T00CR0/T01CR0 の F3 ~ F0 ビットを 1100_B, 1111_B に設定した場合), 最初の立下りエッジは無視されます。また, タイマカウンタ値のデータレジスタ (T00DR/T01DR) への転送は行われず, 割込みフラグ (T00CR1/T01CR1:IR) はセットされません。
 - カウンタクリアモードでは最初の立下りエッジでカウンタはクリアされず, データレジスタへのデータの転送は行われません。次の立上りエッジよりキャプチャ動作を開始します。
 - カウンタフリーランモードでは最初の立下りエッジでデータレジスタへのデータ転送は行われません。次の立上りエッジよりキャプチャ動作を開始します。
- PWM 周期可変モードの 8 ビット動作 (TMCR0/TMCR1:MOD=0) において, カウンタ動作中に 8/16 ビット複合タイマ 00/10 データレジスタ (T00DR/T10DR) を変更する場合, 8/16 ビット複合タイマ 01/11 データレジスタ (T01DR/T11DR) を設定した後に, 8/16 ビット複合タイマ 00/10 データレジスタ (T00DR/T10DR) を設定してください。

第15章

外部割込み回路

外部割込み回路の機能と動作について説明します。

- 15.1 外部割込み回路の概要
- 15.2 外部割込み回路の構成
- 15.3 外部割込み回路のチャンネル
- 15.4 外部割込み回路の端子
- 15.5 外部割込み回路のレジスタ
- 15.6 外部割込み回路の割込み
- 15.7 外部割込み回路の動作説明と設定手順例
- 15.8 外部割込み回路使用上の注意
- 15.9 外部割込み回路の設定例

15.1 外部割込み回路の概要

外部割込み回路は、外部割込み端子に入力された信号のエッジを検出し、割込みコントローラへ割込み要求を出力します。

■ 外部割込み回路の機能

外部割込み回路は、外部割込み端子に入力された信号の任意のエッジを検出し、割込みコントローラに対して割込み要求を発生する機能があります。この割込み要求によって、マイクロコントローラをスタンバイモードより復帰を行い、通常の動作状態に戻すことができます。そのため、デバイスの動作モードは、外部割込み端子に信号が入力されたときに変更可能となります。

MB95330H シリーズ

15.2 外部割込み回路の構成

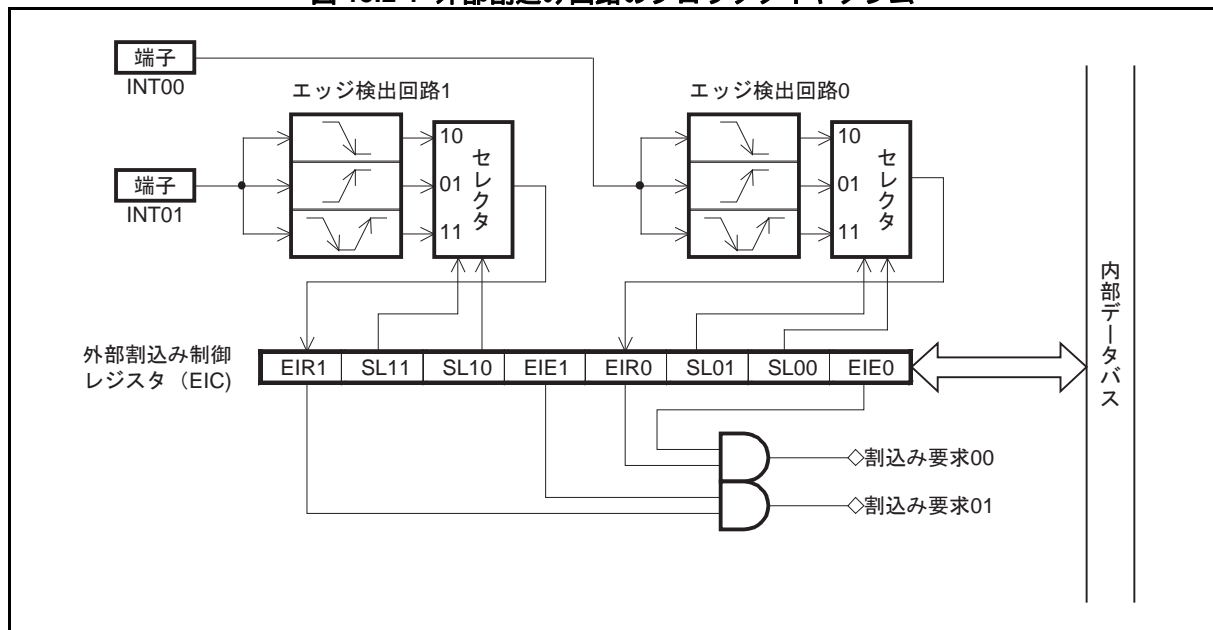
外部割込み回路は、以下のブロックで構成されています。

- エッジ検出回路
- 外部割込み制御レジスタ

■ 外部割込み回路のブロックダイアグラム

図 15.2-1 に、外部割込み回路のブロックダイアグラムを示します。

図 15.2-1 外部割込み回路のブロックダイアグラム



● エッジ検出回路

外部割込み回路端子 (INT) への信号入時に検出されたエッジの極性が、割込み制御レジスタ (EIC) で選択されているエッジの極性と一致すると、対応する外部割込み要求フラグビット (EIR) は "1" に設定されます。

● 外部割込み制御レジスタ (EIC)

このレジスタは、エッジの選択、割込み要求の許可または禁止、割込み要求の確認などを行うために使用します。

15.3 外部割込み回路のチャネル

外部割込み回路のチャネルについて説明します。

■ 外部割込み回路のチャネル

MB95330H シリーズには、外部割込み回路を 5 ユニット搭載しています。

表 15.3-1 に外部割込み回路の端子、表 15.3-2 にそのレジスタを示します。

表 15.3-1 外部割込み回路の端子

ユニット	端子名	端子機能
0	INT00	外部割込み入力 ch.0
	INT01	外部割込み入力 ch.1
1	INT02	外部割込み入力 ch.2
	INT03	外部割込み入力 ch.3
2	INT04	外部割込み入力 ch.4
	INT05	外部割込み入力 ch.5
3	INT06	外部割込み入力 ch.6
	INT07	外部割込み入力 ch.7
4	INT08	外部割込み入力 ch.8
	INT09	外部割込み入力 ch.9

表 15.3-2 外部割込み回路のレジスタ

ユニット	レジスタ略称	対応するレジスタ (本マニュアルにおける名称)
0	EIC00	EIC: 外部割込み制御レジスタ
1	EIC10	
2	EIC20	
3	EIC30	
4	EIC01	

以下の節では、外部割込み回路のユニット 0 の詳細のみを、説明します。

外部割込み回路の他のユニットについては、ユニット 0 の詳細と同じです。

MB95330H シリーズ

15.4 外部割込み回路の端子

外部割込み回路の端子および端子のブロックダイヤグラムを示します。

■ 外部割込み回路に関連する端子

MB95330H シリーズでは、外部割込み回路の端子は、INT00 ~ INT09 となります。

● INT00 ~ INT09 の端子

これらの端子は、外部割込み入力端子および汎用 I/O ポートとしての機能を兼用しています。

INT00 ~ INT09: INT00 ~ INT09 の端子は、ポート方向レジスタ (DDR) によって対応する端子を入力ポートに設定し、外部割込み制御レジスタ (EIC) によって対応する外部割込み入力を許可すると、外部割込み入力端子 (INT00 ~ INT09) として機能します。

端子が入力ポートとして設定されている場合、その端子の状態は、常にポートデータレジスタ (PDR) から読み出すことができます。ただし、リードモディファイライト (RMW) 系命令では、PDR の値が読み出されます。

■ 外部割込み回路に関連する端子のブロックダイアグラム

図 15.4-1 外部割込み回路の端子 INT00, INT01 (P00/INT00/AN00, P01/INT01/AN01) のブロックダイアグラム

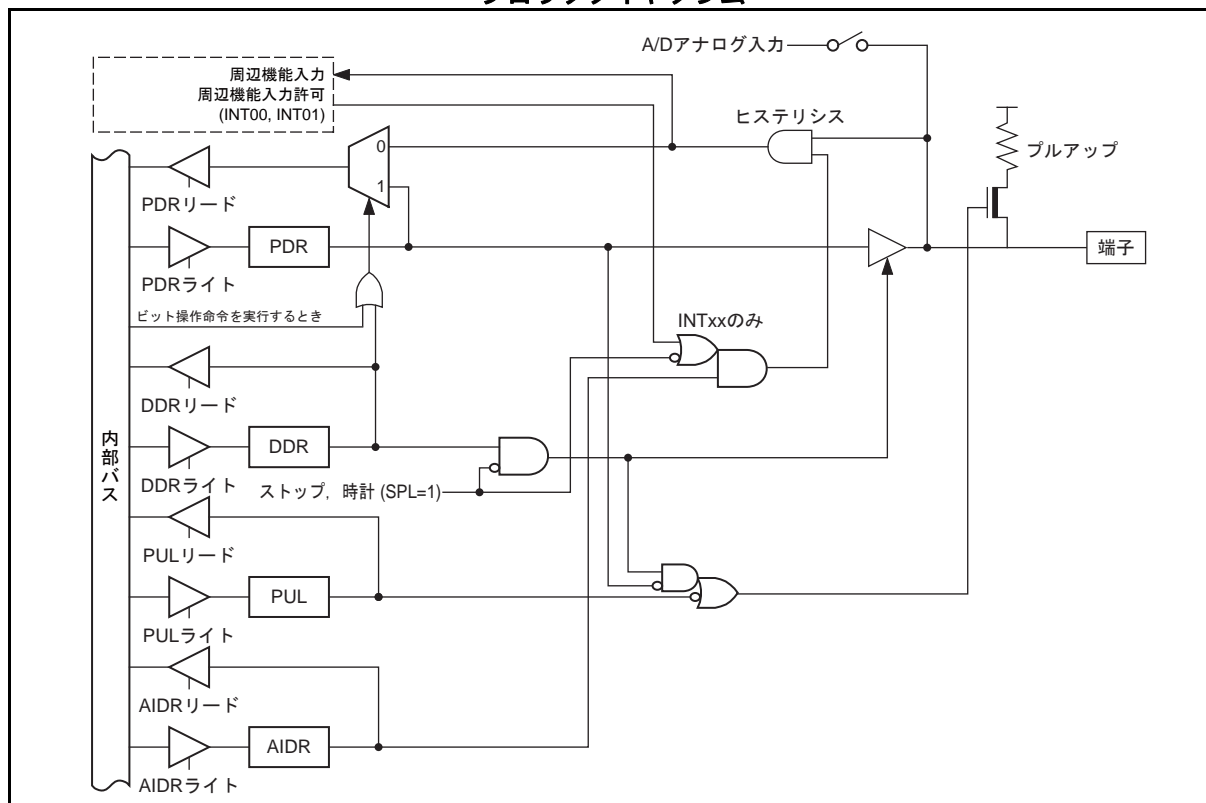


図 15.4-2 外部割込み回路の端子 INT02, INT03, INT05 (P02/INT02/AN02/SCK, P03/INT03/AN03/SOT, P05/INT05/AN05/TO00/HCLK2) のブロックダイアグラム

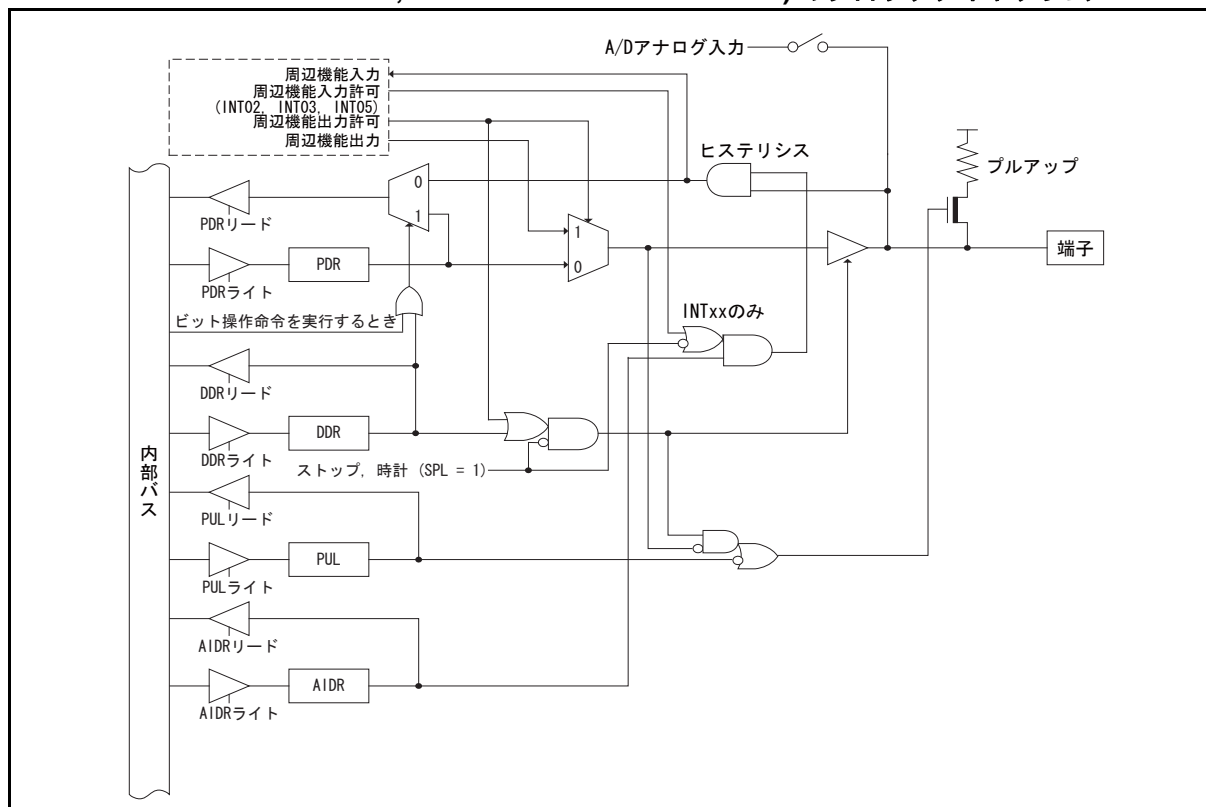


図 15.4-3 外部割込み回路の端子 INT04 (P04/INT04/AN04/SIN /HCLK1/EC0) の
ブロックダイアグラム

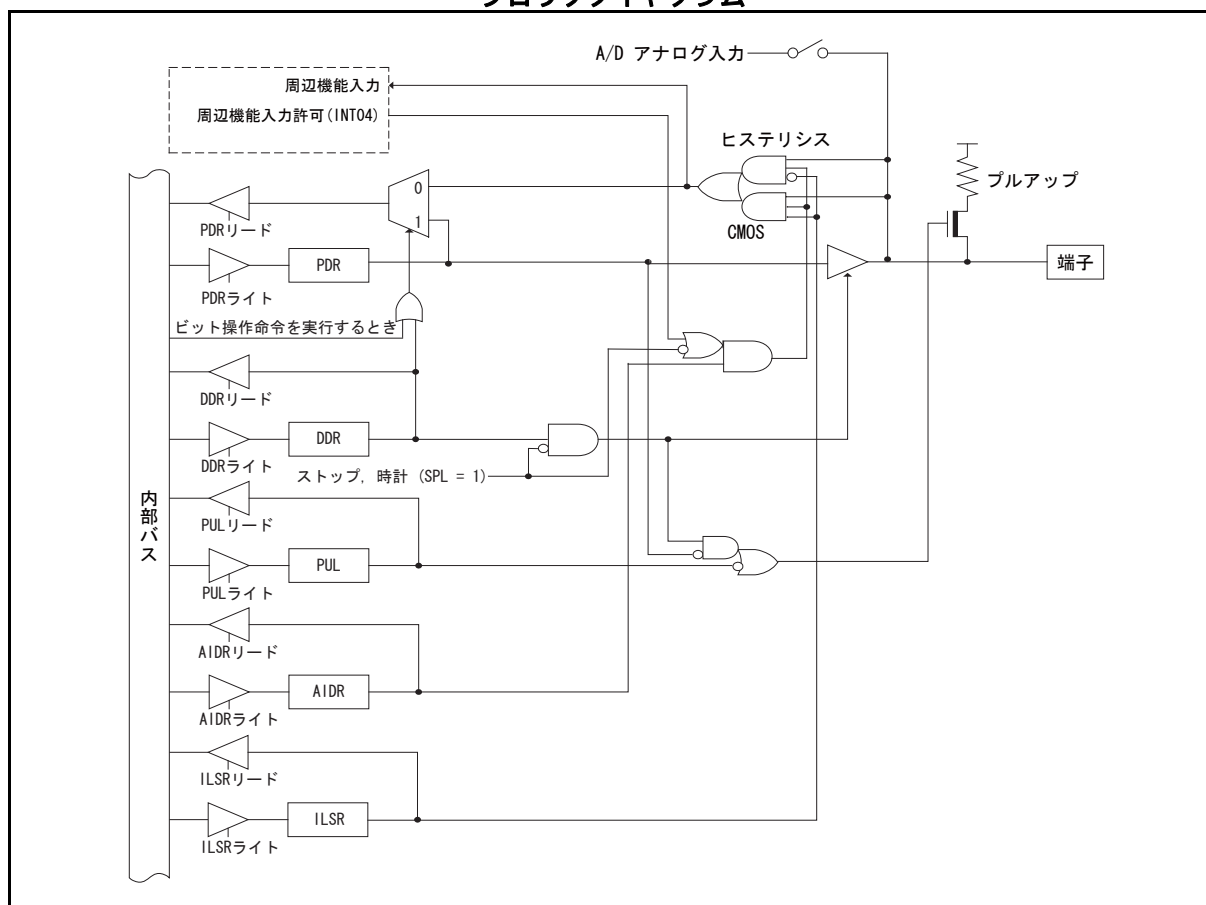


図 15.4-4 外部割込み回路の端子 INT06 (P06/INT06/AN06/TO01) のブロックダイアグラム

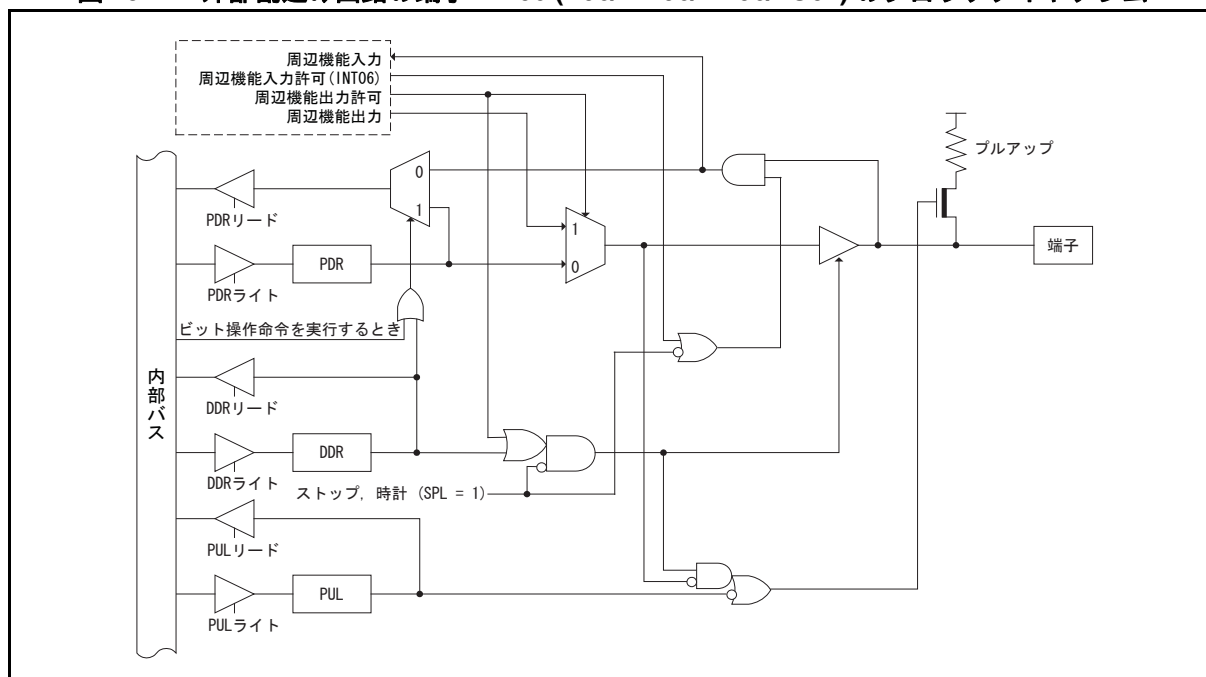


図 15.4-5 外部割込み回路の端子 INT07 (P07/INT07/AN07) のブロックダイアグラム

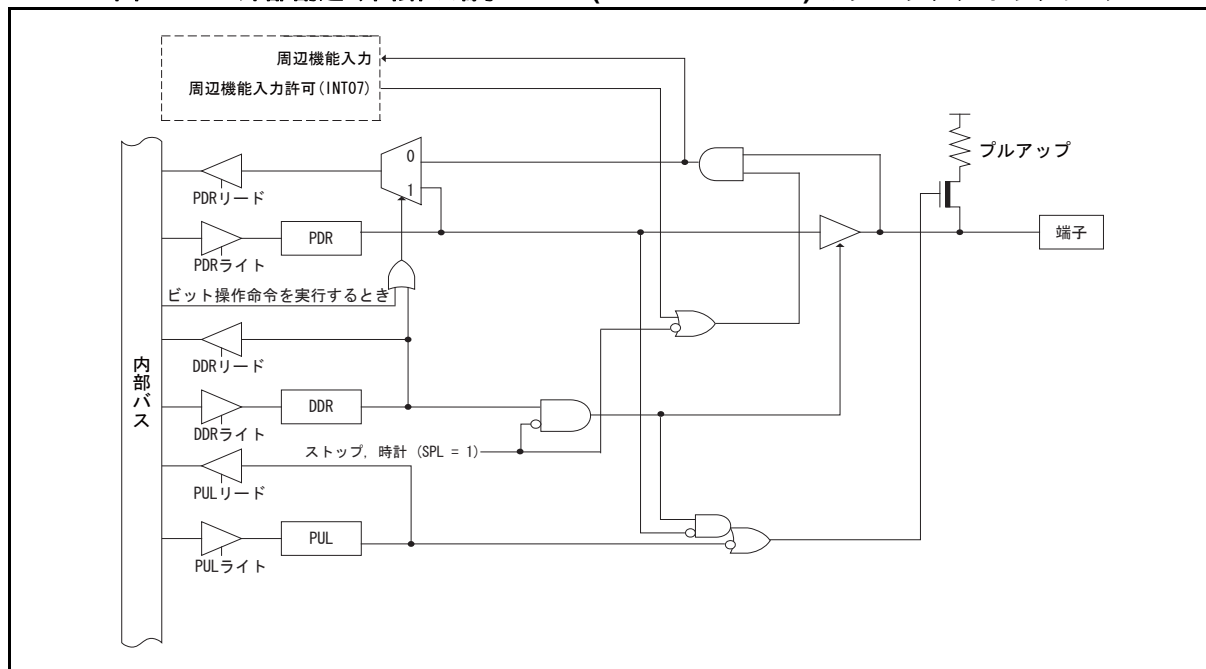
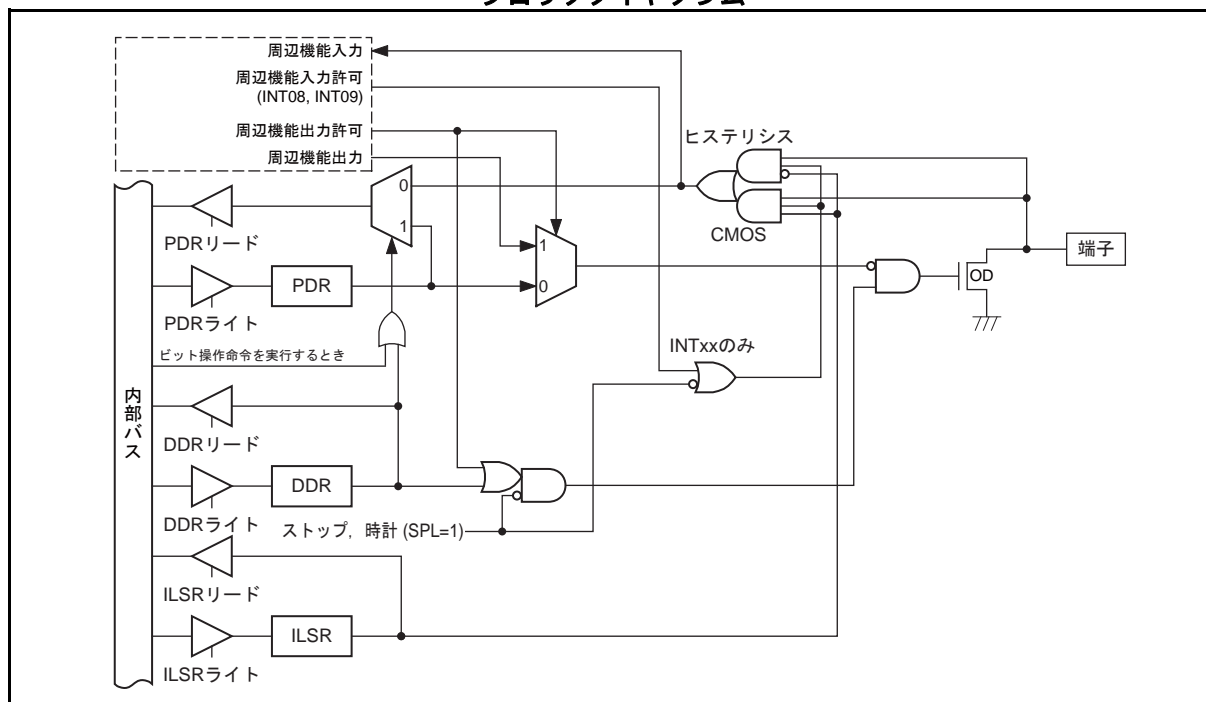


図 15.4-6 外部割込み回路の端子 INT08, INT09 (P60/INT08/SDA/DTTI, P61/INT09/SCL/TI1) のブロックダイアグラム



MB95330H シリーズ

15.5 外部割込み回路のレジスタ

外部割込み回路のレジスタについて説明します。

■ 外部割込み回路のレジスタ

図 15.5-1 に、外部割込み回路のレジスタを示します。

図 15.5-1 外部割込み回路のレジスタ

外部割込み制御レジスタ (EIC)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
EIC00 0048 _H	EIR1	SL11	SL10	EIE1	EIR0	SL01	SL00	EIE0	00000000 _B
	R(RM1),W	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
EIC10 0049 _H	EIR1	SL11	SL10	EIE1	EIR0	SL01	SL00	EIE0	00000000 _B
	R(RM1),W	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
EIC20 004A _H	EIR1	SL11	SL10	EIE1	EIR0	SL01	SL00	EIE0	00000000 _B
	R(RM1),W	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
EIC30 004B _H	EIR1	SL11	SL10	EIE1	EIR0	SL01	SL00	EIE0	00000000 _B
	R(RM1),W	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
EIC01 004C _H	EIR1	SL11	SL10	EIE1	EIR0	SL01	SL00	EIE0	00000000 _B
	R(RM1),W	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	

R/W: リード / ライト可能 (読出し値は書き込み値と同じとなります。)
R(RM1), W: リード / ライト可能 (読出し値は書き込み値と異なります。リードモディファイライト (RMW) 系命令では, "1" が読み出されます。)

15.5.1 外部割込み制御レジスタ (EIC10)

外部割込み制御レジスタ (EIC00) は、外部割込み入力に対するエッジ極性の選択と、割込みを制御します。アドレスを除き、ほかのユニットのEICレジスタ(EIC01, EIC10, EIC20 および EIC30) の設定は、EIC00 の設定と同一です。

■ 外部割込み制御レジスタ (EIC00)

図 15.5-2 外部割込み制御レジスタ (EIC00)

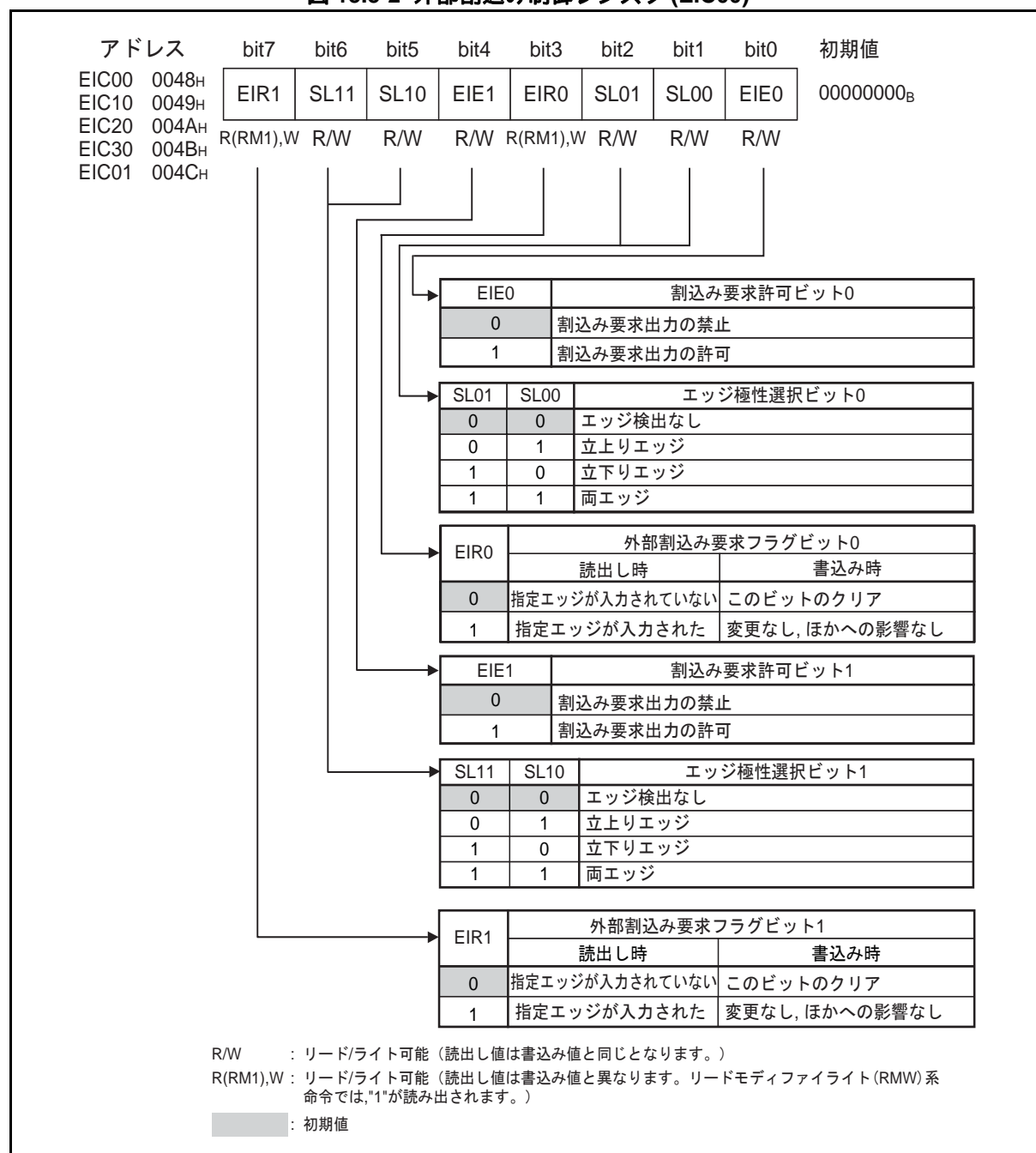


表 15.5-1 外部割込み制御レジスタ (EIC00) の各ビットの機能

ビット名		機能
bit7	EIR1: 外部割込み要求フラグビット 1	このフラグは、エッジ極性選択ビット (SL11, SL10) により選択されているエッジが、外部割込み端子 INT01 に入力された場合に "1" となります。 ・このビットと割込み要求許可ビット 1 (EIE1) が "1" になったとき、割込み要求が出力されます。 ・"0" に設定すると、このビットはクリアされます。"1" に設定しても動作に影響はありません。 ・リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、"1" となります。
bit6, bit5	SL11, SL10: エッジ極性選択ビット 1	外部割込み端子 INT01 に入力されるパルス割込み要因となるエッジの極性を選択するビットです。 ・これらのビットが "00 _B " のとき、エッジ検出は実行されず、割込み要求は発生しません。 ・これらのビットが "01 _B " のとき、立上りエッジが検出されます。"10 _B " の場合には、立下りエッジが検出されます。"11 _B " の場合には、両方のエッジが検出されます。
bit4	EIE1: 割込み要求許可ビット 1	このビットは、割込みコントローラへの割込み要求の出力を許可または禁止するために使用します。このビットと外部割込み要求フラグビット 1 (EIR1) が "1" のとき、割込み要求が出力されます。 ・外部割込み端子を使用する場合は、ポート方向レジスタ (DDR) の対応するビットに "0" を書き込み、その端子を入力ポートとして設定してください。 ・外部割込み端子の状態は、割込み要求許可ビットの状態にかかわらず、ポートデータレジスタから直接読み出すことができます。
bit3	EIR0: 外部割込み要求フラグビット 0	このフラグは、エッジ極性選択ビット (SL01, SL00) により選択されているエッジが、外部割込み端子 INT00 に入力された場合に "1" となります。 ・このビットと割込み要求許可ビット 0 (EIE0) が "1" になったとき、割込み要求が出力されます。 ・"0" に設定すると、このビットはクリアされます。"1" を書き込んでも動作に影響はありません。 ・リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、"1" が読み出されます。
bit2, bit1	SL01, SL00: エッジ極性選択ビット 0	外部割込み端子 INT00 に入力されるパルス割込み要因となるエッジの極性を選択するビットです。 ・これらのビットが "00 _B " のとき、エッジ検出は実行されず、割込み要求は発生しません。 ・これらのビットが "01 _B " の場合、立上りエッジが検出されます。"10 _B " の場合には、立下りエッジが検出されます。"11 _B " の場合には、両方のエッジが検出されます。
bit0	EIE0: 割込み要求許可ビット 0	このビットは、割込みコントローラへの割込み要求の出力を許可または禁止します。このビットと外部割込み要求フラグビット 0 (EIR0) が "1" のとき、割込み要求が出力されます。 ・外部割込み端子を使用する場合は、ポート方向レジスタ (DDR) の対応するビットを "0" に設定すると、その端子を入力ポートとして設定してください。 ・外部割込み端子の状態は、割込み要求許可ビットの状態にかかわらず、ポートデータレジスタから直接読み出すことができます。

15.6 外部割込み回路の割込み

外部割込み回路の割込み要因としては、外部割込み端子に入力された信号の指定エッジの検出があります。

■ 外部割込み回路の動作中の割込み

外部割込み入力指定されたエッジが検出された場合、対応する外部割込み要求フラグビット (EIC:EIR0, EIR1) が "1" に設定されます。このとき、その外部割込み要求フラグビットに対応する割込み要求許可ビット (EIC:EIE0, EIE1 = 1) が許可されていれば、割込みコントローラへの割込み要求が発生します。割込み処理ルーチンでは、対応する外部割込み要求フラグビットに "0" を書き込んで割込み要求をクリアしてください。

■ 外部割込み回路の割込みに関連するレジスタとベクタテーブルのアドレス

表 15.6-1 外部割込み回路の割込みに関連するレジスタとベクタテーブルのアドレス

割込み要因	割込み要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
外部割込み ch. 0	IRQ00	ILR0	L00	FFFA _H	FFFB _H
外部割込み ch. 4					
外部割込み ch. 1	IRQ01	ILR0	L01	FFF8 _H	FFF9 _H
外部割込み ch. 5					
外部割込み ch. 2	IRQ02	ILR0	L02	FFF6 _H	FFF7 _H
外部割込み ch. 6					
外部割込み ch. 3	IRQ03	ILR0	L03	FFF4 _H	FFF5 _H
外部割込み ch. 7					
外部割込み ch. 8	IRQ21	ILR5	L21	FFD0 _H	FFD1 _H
外部割込み ch. 9					

ch.: チャンネル

各周辺機能のそれぞれの割込み要求番号およびベクタテーブルのアドレスについては「付録 B 割込み要因一覧表」を参照してください。

15.7 外部割込み回路の動作説明と設定手順例

外部割込み回路の動作について説明します。

■ 外部割込み回路の動作

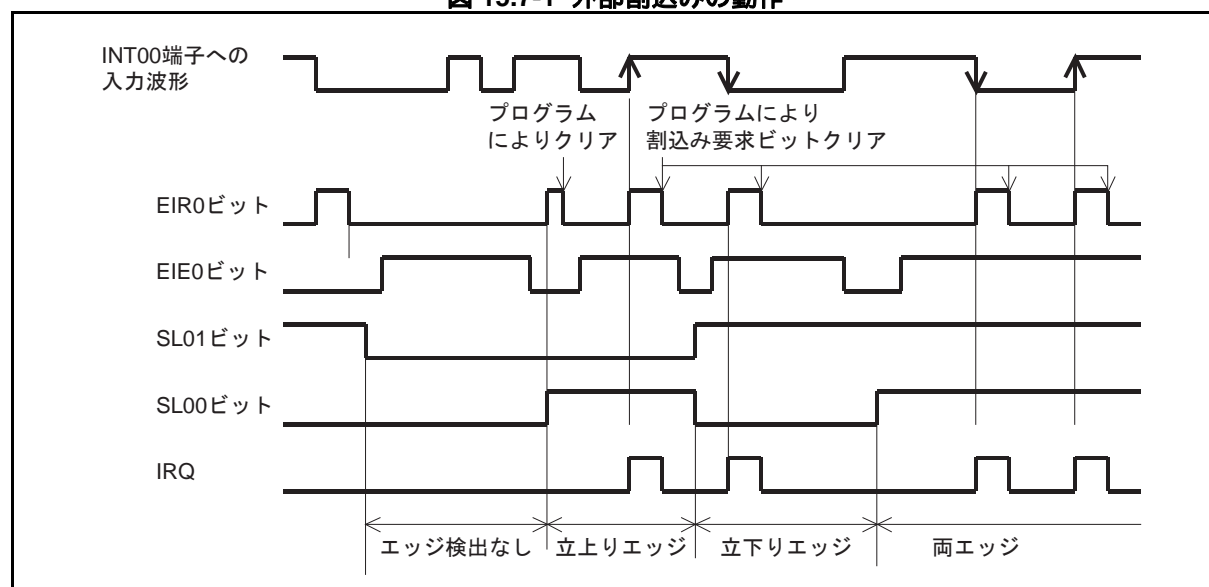
外部割込み端子(INT00, INT01)より入力された信号のエッジの極性が、外部割込み制御レジスタ (EIC:SL00, SL01, SL10, SL11) により選択されているエッジの極性と一致した場合は、対応する外部割込み要求フラグビット (EIC:EIR0, EIR1) が "1" となり、割込み要求が発生します。

デバイスのスタンバイモードからの復帰に外部割込みを使用しない場合は、必ず割込み要求許可ビットを "0" に設定してください。

エッジ極性選択ビット (SL) を設定するには、誤って割込み要求が発生することがないように、割込み要求許可ビット (EIE) を "0" に設定してください。また、エッジ極性を変更した後は、割込み要求フラグビット (EIR) を "0" にクリアしてください。

図 15.7-1 に、INT00 端子を外部割込み入力に設定した際の動作を示します。

図 15.7-1 外部割込みの動作



■ 設定手順例

以下に、外部割込み回路の設定手順例を示します。

● 初期設定

- 1) 割込みレベルを設定する。(ILR0)
- 2) エッジ極性を選択する。(EIC:SL01, SL00)
- 3) 割込み要求を許可する。(EIC:EIE0 = 1)

● 割込み処理

- 1) 割込み要求フラグをクリアする。(EIC:EIR0 = 0)
- 2) 割込みを処理する。

< 注意事項 >

外部割込み入力ポートは、I/O ポートと同一の端子を共用しています。したがって、この端子を外部割込み入力ポートとして使用する場合は、その端子に対応するポート方向レジスタ (DDR) 内のビットを "0" (入力) に設定してください。

15.8 外部割込み回路使用上の注意

外部割込み回路の使用に関する注意事項を示します。

■ 外部割込み回路使用上の注意

- エッジ極性選択ビット (SL) を設定する際には、割込み要求許可ビット (EIE) を "0" (割込み要求を禁止する) に設定してください。また、エッジ極性を設定した後は、外部割込み要求フラグビット (EIR) を "0" にクリアしてください。
- 外部割込み要求フラグビットが "1" で、割込み要求許可ビットが許可となっている場合は、デバイスを割込み処理ルーチンから復帰させることはできません。割込み処理ルーチンでは、必ず外部割込み要求フラグビットをクリアしてください。

15.9 外部割込み回路の設定例

外部割込み回路の設定例を示します。

■ 設定方法の例

● 検出レベルと設定方法

検出レベルには、エッジ検出なし、立上りエッジ、立下りエッジ、両エッジの 4 つのレベルがあります。

検出レベルビット (EIC:SL01, SL00 または EIC:SL11, SL10) で行います。

動作モード	検出レベルビット (SL01, SL00)
エッジ検出なし	"00 _B " に設定
立上りエッジの検出	"01 _B " に設定
立下りエッジの検出	"10 _B " に設定
両エッジの検出	"11 _B " に設定

● 外部割込み端子の使用方法

データ方向レジスタ (DDR0 または DDR6) の対応するビットに "0" を設定します。

動作	方向ビット (P00 ~ P07, P60, P61)	設定
INT00 端子を外部割込みに使用	DDR0: P00	"0" に設定
INT01 端子を外部割込みに使用	DDR0: P01	"0" に設定
INT02 端子を外部割込みに使用	DDR0: P02	"0" に設定
INT03 端子を外部割込みに使用	DDR0: P03	"0" に設定
INT04 端子を外部割込みに使用	DDR0: P04	"0" に設定
INT05 端子を外部割込みに使用	DDR0: P05	"0" に設定
INT06 端子を外部割込みに使用	DDR0: P06	"0" に設定
INT07 端子を外部割込みに使用	DDR0: P07	"0" に設定
INT08 端子を外部割込みに使用	DDR6: P60	"0" に設定
INT09 端子を外部割込みに使用	DDR6: P61	"0" に設定

● 割込み関連レジスタ

割込みレベルは、下表に示された割込みレベル設定レジスタで設定します。

チャンネル	割込みレベル設定レジスタ	割込みベクタ
ch. 0	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#0 アドレス : 0FFFA _H
ch. 1	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#1 アドレス : 0FFF8 _H
ch. 2	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#2 アドレス : 0FFF6 _H
ch. 3	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#3 アドレス : 0FFF4 _H
ch. 4	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#0 アドレス : 0FFFA _H
ch. 5	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#1 アドレス : 0FFF8 _H
ch. 6	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#2 アドレス : 0FFF6 _H
ch. 7	割込みレベルレジスタ (ILR0) アドレス : 00079 _H	#3 アドレス : 0FFF4 _H
ch. 8	割込みレベルレジスタ (ILR5) アドレス : 0007E _H	#21 アドレス : 0FFD0 _H
ch. 9	割込みレベルレジスタ (ILR5) アドレス : 0007E _H	#21 アドレス : 0FFD0 _H

● 割込み要求を許可 / 禁止 / クリアする方法

割込み要求は、割込み要求許可ビット (EIC00:EIE0 または EIE1) により、許可 / 禁止します。

動作	割込み要求許可ビット (EIE0 または EIE1)
割込み要求を禁止するには	"0" に設定
割込み要求を許可するには	"1" に設定

割込み要求は、割込み要求ビット (EIC00:EIR0 または EIR1) により、クリアします。

動作	割込み要求ビット (EIR0 または EIR1)
割込み要求をクリアするには	"0" に設定

第 16 章

割込み端子選択回路

割込み端子選択回路の機能と動作について説明します。

- 16.1 割込み端子選択回路の概要
- 16.2 割込み端子選択回路の構成
- 16.3 割込み端子選択回路の端子
- 16.4 割込み端子選択回路のレジスタ
- 16.5 割込み端子選択回路の動作
- 16.6 割込み端子選択回路使用上の注意

16.1 割込み端子選択回路の概要

割込み端子選択回路は、複数の周辺機能入力端子の中から割込み入力端子を選択します。

■ 割込み端子選択回路

割込み端子選択回路は、複数の周辺機能入力 (TRG1, UCK0, UI0, EC1 および INT00) の中から割込み入力端子を選択します。各周辺機能端子の入力信号は、本回路により選択され、外部割込みの INT00 (ch.0) 入力として扱われます。これにより、各周辺機能端子の入力信号に外部割込み端子としての機能も持たせることができます。

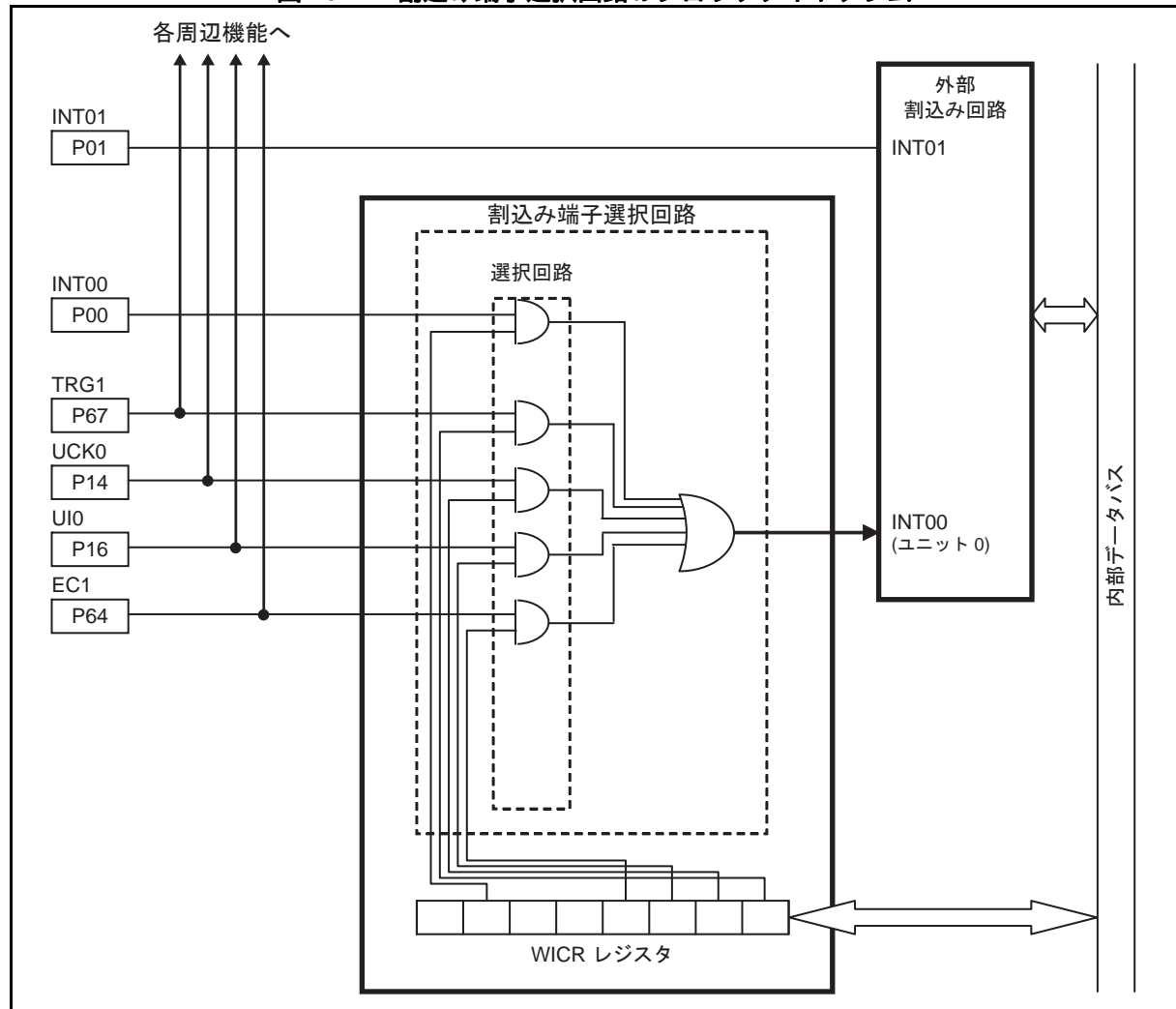
MB95330H シリーズ

16.2 割込み端子選択回路の構成

図 16.2-1 に、割込み端子選択回路のブロックダイヤグラムを示します。

■ 割込み端子選択回路のブロックダイヤグラム

図 16.2-1 割込み端子選択回路のブロックダイヤグラム



- WICR レジスタ (割込み端子選択回路制御レジスタ)
このレジスタにより、割込み回路へ出力する周辺機能入力端子と、割込み端子を選択します。
- 選択回路
WICR レジスタにて選択された端子からの入力を外部割込み回路 (ch. 0) の INT00 入力へ出力する回路です。

16.3 割込み端子選択回路の端子

割込み端子選択回路の端子を示します。

■ 割込み端子選択回路の端子

割込み端子選択回路の周辺機能端子として、TRG1, UCK0, UI0, EC1 および INT00 端子があります。これらの入力 (INT00 を除く) は、各周辺機能へも並行して接続されており、本機能とともに、同時に使用が可能です。各周辺機能と周辺機能入力端子の対応を表 16.3-1 に示します。

表 16.3-1 各周辺機能と周辺機能入力端子の対応

周辺機能入力端子名	周辺機能名
INT00	割込み端子選択回路
TRG1	16 ビット PPG タイマ (トリガ入力)
UCK0	UART/SIO (クロック入出力)
UI0	UART/SIO (データ入力)
EC1	8/16 ビット複合タイマ (イベント入力)

16.4 割込み端子選択回路のレジスタ

図 16.4-1 に、割込み端子選択回路のレジスタを示します。

■ 割込み端子選択回路のレジスタ

図 16.4-1 割込み端子選択回路のレジスタ

割込み端子選択回路制御レジスタ (WICR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FEF _H	-	INT00	-	-	EC1	UI0	UCK0	TRG1
	R0/WX	R/W	R0/WX	R0/WX	R/W	R/W	R/W	R/W
	初期値 01000000 _B							
R/W	: リード / ライト可能 (読出し値は書込み値)							
R0/WX	: 読出し値は "0", 書込みは動作に影響なし							
-	: 未定義ビット							

16.4.1 割込み端子選択回路制御レジスタ (WICR)

このレジスタにより，周辺機能入力端子からのどの入力をどの割込み端子として割込み回路へ出力するかを選択します。

■ 割込み端子選択回路制御レジスタ (WICR)

図 16.4-2 割込み端子選択回路制御レジスタ (WICR)

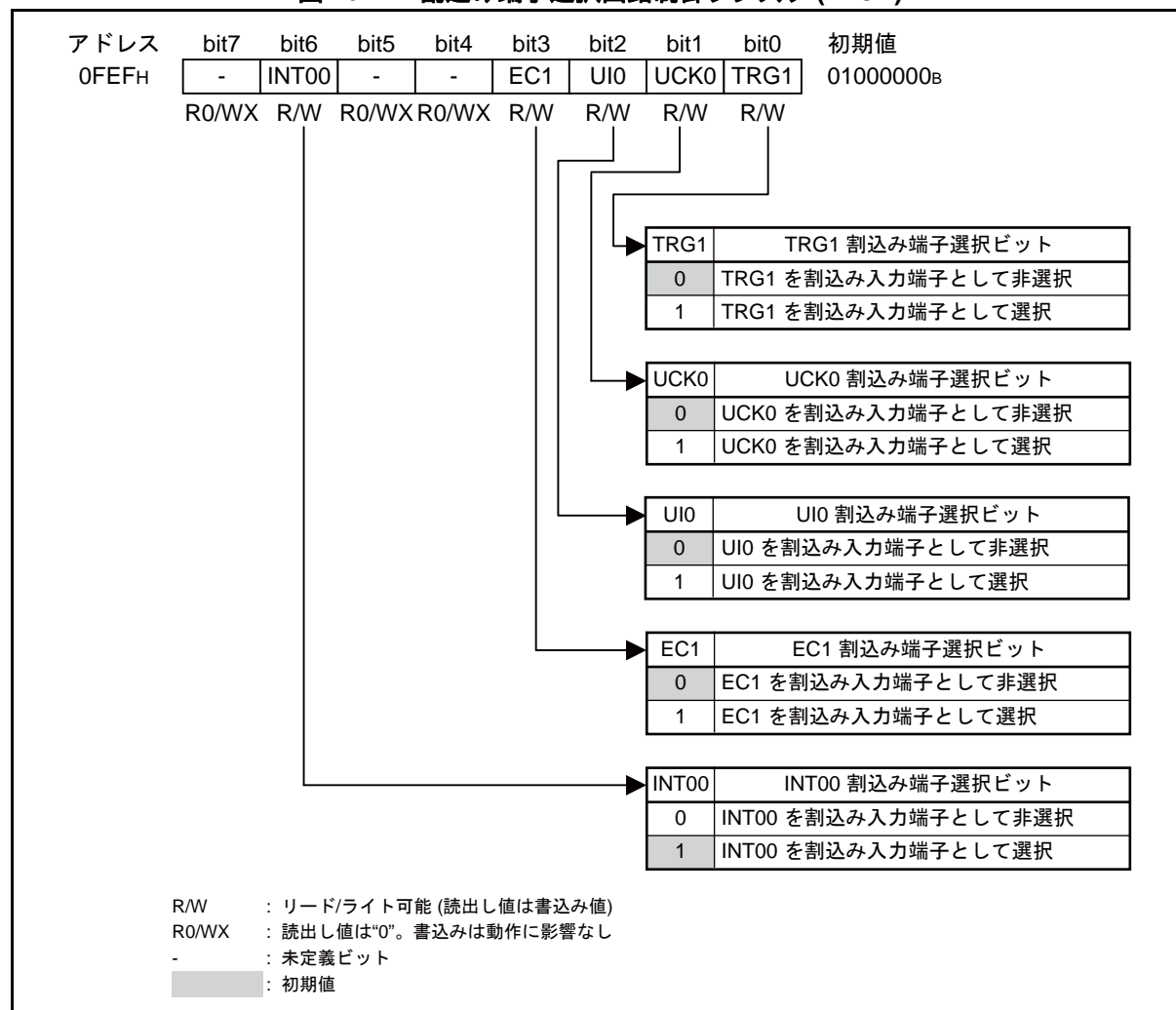


表 16.4-1 割込み端子選択回路制御レジスタ (WICR) の各ビットの機能説明

ビット名		機能
bit7	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。
bit6	INT00 : INT00 割込み端子選択ビット	このビットにより、INT00 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合：INT00 端子は割込み入力端子として非選択となり、本回路は INT00 端子への入力を "0" 固定として扱います。 "1" に設定した場合：INT00 端子は割込み入力端子として選択され、本回路は INT00 端子への入力を外部割込み回路の INT00 (ch. 0) へ出力します。このとき、外部割込み回路の INT00 (ch. 0) の動作が許可されていると、INT00 端子への入力信号により外部割込みが発生します。
bit5, bit4	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。
bit3	EC1 : EC1 割込み端子選択ビット	このビットにより、EC1 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合：EC1 端子は割込み入力端子として選択されなくなり、本回路は EC1 端子への入力を "0" 固定として扱います。 "1" に設定した場合：EC1 端子は割込み入力端子として選択され、本回路は EC1 端子への入力を外部割込み回路の INT00 (ch. 0) へ出力します。このとき、外部割込み回路の INT00 (ch. 0) の動作が許可されていると、EC1 端子への入力信号により外部割込みが発生します。
bit2	UI0 : UI0 割込み端子選択ビット	このビットにより、UI0 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合：UI0 端子は割込み入力端子として非選択となり、本回路は UI0 端子への入力を "0" 固定として扱います。 "1" に設定した場合：UI0 端子は割込み入力端子として選択され、本回路は UI0 端子への入力を外部割込み回路の INT00 (ch. 0) へ出力します。このとき、外部割込み回路の INT00 (ch. 0) の動作が許可されていると、UI0 端子への入力信号により外部割込みが発生します。
bit1	UCK0 : UCK0 割込み端子選択ビット	このビットにより、UCK0 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合：UCK0 端子は割込み入力端子として非選択となり、本回路は UCK0 端子への入力を "0" 固定として扱います。 "1" に設定した場合：UCK0 端子は割込み入力端子として選択され、本回路は UCK0 端子への入力を外部割込み回路の INT00 (ch. 0) へ出力します。このとき、外部割込み回路の INT00 (ch. 0) の動作が許可されていると、UCK0 端子への入力信号により外部割込みが発生します。
bit0	TRG1 : TRG1 割込み端子選択ビット	このビットにより、TRG1 端子を割込み入力端子として選択するかどうかの設定を行います。 "0" に設定した場合：TRG1 端子は割込み入力端子として選択されなくなり、本回路は TRG1 端子への入力を "0" 固定として扱います。 "1" に設定した場合：TRG1 端子は割込み入力端子として選択され、本回路は TRG1 端子への入力を外部割込み回路の INT00 (ch. 0) へ出力します。このとき、外部割込み回路の INT00 (ch. 0) の動作が許可されていると、TRG1 端子への入力信号により外部割込みが発生します。

MCU スタンバイモード時に、これらのビットが "1" に設定されており、かつ外部割込み回路の INT00 (ch.0) の動作が許可されている場合、選択された端子は入力動作の実行が許可された状態となります。端子への有効エッジパルス入力により、MCU はスタンバイモードからウェイクアップします。スタンバイモードについては、「6.8 低消費電力モード (スタンバイモード) の動作」を参照してください。

< 注意事項 >

外部割込み回路の INT00 (ch. 0) が動作許可されていない場合，これらのビットに "1" を書き込んでも，各周辺機能端子の入力信号で外部割込みは発生しません。

外部割込み回路の INT00 (ch. 0) が動作許可されている場合，これらのビットを書き換えないでください。もし書き換えた場合，該当端子の入力レベルによっては，外部割込み回路が有効エッジを検出してしまうことがあります。

WICR (割込み端子選択回路制御レジスタ) により複数の割込み端子を同時に選択し，かつ外部割込み回路の INT00 (ch. 0) の動作が許可 (外部割込み回路の EIC00 レジスタの SL01, SL00 ビットへ "00_B" 以外を設定) されている場合，選択された端子はスタンバイモード時においても，割込み受付けのために入力許可状態となります。

16.5 割込み端子選択回路の動作

WICR (割込み端子選択回路制御レジスタ) の設定により、割込み端子を選択します。

■ 割込み端子選択回路の動作

WICR (割込み端子選択回路制御レジスタ) の設定により、外部割込み回路 (ch. 0) の INT00 へ入力される入力端子を選択します。TRG1 端子を割込み端子として選択する場合の、割込み端子選択回路と外部割込み回路 (ch. 0) の設定手順を下記に示します。

- 1) ポート方向 (DDR) レジスタの対応するビットに "0" を書き込んで端子を入力に設定する
- 2) WICR (割込み端子選択回路制御レジスタ) により TRG1 端子を割込み入力端子として選択する (WICR レジスタへ "01_H" を書き込む。このとき、外部割込み回路は外部割込み回路の EIC00 レジスタの EIE0 ビットへ "0" を書き込んで割込み禁止にしておく)
- 3) 外部割込み回路 (ch. 0) に INT00 の動作を許可する
(外部割込み回路の EIC00 レジスタの SL01, SL00 ビットへ "00_B" 以外を設定し、有効エッジを選択するとともに、EIE0 ビットへ "1" を書き込んで割込みを許可する)
- 4) 以降の割込み動作は外部割込み回路と同等となる

リセット解除後、WICR (割込み端子選択回路制御レジスタ) は "40_H" に初期化され、INT00 ビットのみ割込み端子として選択された状態になります。INT00 端子以外の端子を外部割込み端子として使用する場合は、本レジスタを書き換えた後に、外部割込み回路の動作を許可してください。

16.6 割込み端子選択回路使用上の注意

割込み端子選択回路使用上の注意を示します。

- WICR (割込み端子選択回路制御レジスタ) により複数の割込み端子を同時に選択し、かつ外部割込み回路の INT00 (ch. 0) の動作が許可 (外部割込み回路の EIC00 レジスタの SL01, SL00 ビットへ "00_B" 以外を設定し、有効エッジを選択するとともに、EIE0 ビットへ "1" を書き込んで割込みを許可する) されている場合、選択された端子はスタンバイモード時においても、割込み受付けのために入力許可状態となります。
- WICR (割込み端子選択回路制御レジスタ) により、複数の割込み端子を同時に選択した場合、それらの端子へ入力された信号のいずれかが "H" のとき、外部割込み回路の INT00 (ch. 0) への入力は "H" として扱われます (選択された端子に入力された信号の "OR" となります)。

第17章

LIN-UART

LIN-UART の機能と動作について説明します。

- 17.1 LIN-UART の概要
- 17.2 LIN-UART の構成
- 17.3 LIN-UART の端子
- 17.4 LIN-UART のレジスタ
- 17.5 LIN-UART の割込み
- 17.6 LIN-UART のボーレート
- 17.7 LIN-UART の動作説明と LIN-UART 設定手順例
- 17.8 LIN-UART 使用上の注意
- 17.9 LIN-UART の設定例

17.1 LIN-UART の概要

LIN (Local Interconnect Network) -UART は、外部装置と同期通信もしくは非同期通信 (調歩同期) をするための汎用のシリアルデータ通信インタフェースです。双方向通信機能 (ノーマルモード) とマスタ / スレーブ型通信機能 (マルチプロセッサモード : マスタ動作とスレーブ動作の両方をサポート) に加え、LIN バスに対応するための特別な機能もサポートします。

■ LIN-UART の機能

LIN-UART は、ほかの CPU や周辺装置とシリアルデータを送受信するための汎用シリアルデータ通信インタフェースです。表 17.1-1 に、LIN-UART の機能を示します。

表 17.1-1 LIN-UART の機能

	機能
データバッファ	全二重ダブルバッファ
シリアル入力	LIN-UART は、受信したデータを 5 回オーバーサンプリングし、サンプリング値の多数決により受信値を決定します (非同期モードのみ)。
転送モード	<ul style="list-style-type: none"> ・ クロック同期 (スタート / ストップ同期、またはスタート / ストップビット) ・ クロック非同期 (スタート / ストップビットを使用可能)
ボーレート	<ul style="list-style-type: none"> ・ 専用ボーレートジェネレータあり (15 ビットのリロードカウンタで構成されている) ・ 外部クロック入力可能。リロードカウンタにより調整できます。
データ長	<ul style="list-style-type: none"> ・ 7 ビット (同期モードまたは LIN モード以外) ・ 8 ビット
信号方式	NRZ (Non Return to Zero)
スタートビットタイミング	非同期モード時は、スタートビット立下りエッジに同期
受信エラー検出	<ul style="list-style-type: none"> ・ フレーミングエラー ・ オーバランエラー ・ パリティエラー (動作モード 1 では対応されません)
割込み要求	<ul style="list-style-type: none"> ・ 受信割込み (受信完了、受信エラー検出、LIN synch break 検出) ・ 送信割込み (送信データエンプティ) ・ TH0 への割込み要求 (LIN synch field 検出 : LSYN)
マスタ / スレーブ型通信機能 (マルチプロセッサモード)	1 (マスタ) - n (スレーブ) 間の通信が可能 (マスタとスレーブシステムの両方をサポート)
同期モード	シリアルクロックの送信側 / 受信側
端子アクセス	シリアル入出力端子の状態を直接読出し可能
LIN バスオプション	<ul style="list-style-type: none"> ・ マスタデバイス動作 ・ スレーブデバイス動作 ・ LIN synch break 検出 ・ LIN synch break 生成 ・ 8/16 ビット複合タイマに接続している LIN synch field のスタート / ストップエッジの検出
同期シリアルクロック	スタート / ストップビットを用いて同期通信するために、SCK 端子に連続出力可能
クロック遅延オプション	クロックを遅らせるための特殊な同期クロックモード (特殊ペリフェラルインタフェース (SPI) に有効)

MB95330H シリーズ

LIN-UART は 4 つの異なるモードで動作します。動作モードは、LIN-UART シリアルモードレジスタ (SMR) の MD0, MD1 ビットにより選択されます。動作モード 0 と動作モード 2 は双方向シリアル通信、動作モード 1 はマスタ / スレーブ型通信、動作モード 3 は LIN マスタ / スレーブ型通信に使用します。

表 17.1-2 LIN-UART の動作モード

動作モード		データ長		同期方式	ストップビット長	データビットフォーマット
		パリティなし	パリティあり			
0	ノーマルモード	7 ビットまたは 8 ビット		非同期	1 ビットまたは 2 ビット	LSB ファースト MSB ファースト
1	マルチプロセッサモード	7 ビットまたは 8 ビット +1*	-	非同期		
2	ノーマルモード	8 ビット		同期	なし, 1 ビット, 2 ビット	
3	LIN モード	8 ビット	-	非同期	1 ビット	LSB ファースト

∴ 使用不可

*: 「+1」は、マルチプロセッサモードで通信制御に使用されるアドレス / データ選択ビット (AD)

LIN-UART シリアルモードレジスタ (SMR) の MD0 と MD1 ビットで、以下の LIN-UART の動作モードを選択します。

表 17.1-3 LIN-UART の動作モード

MD1	MD0	モード	種類
0	0	0	非同期 (ノーマルモード)
0	1	1	非同期 (マルチプロセッサモード)
1	0	2	同期 (ノーマルモード)
1	1	3	非同期 (LIN モード)

- 動作モード 1 は、マルチプロセッサモードにおけるマスタとスレーブのいずれの動作にも対応します。
- 動作モード 3 は、通信フォーマットが 8 ビットデータ、パリティなし、1 ストップビット、LSB ファーストに固定されます。

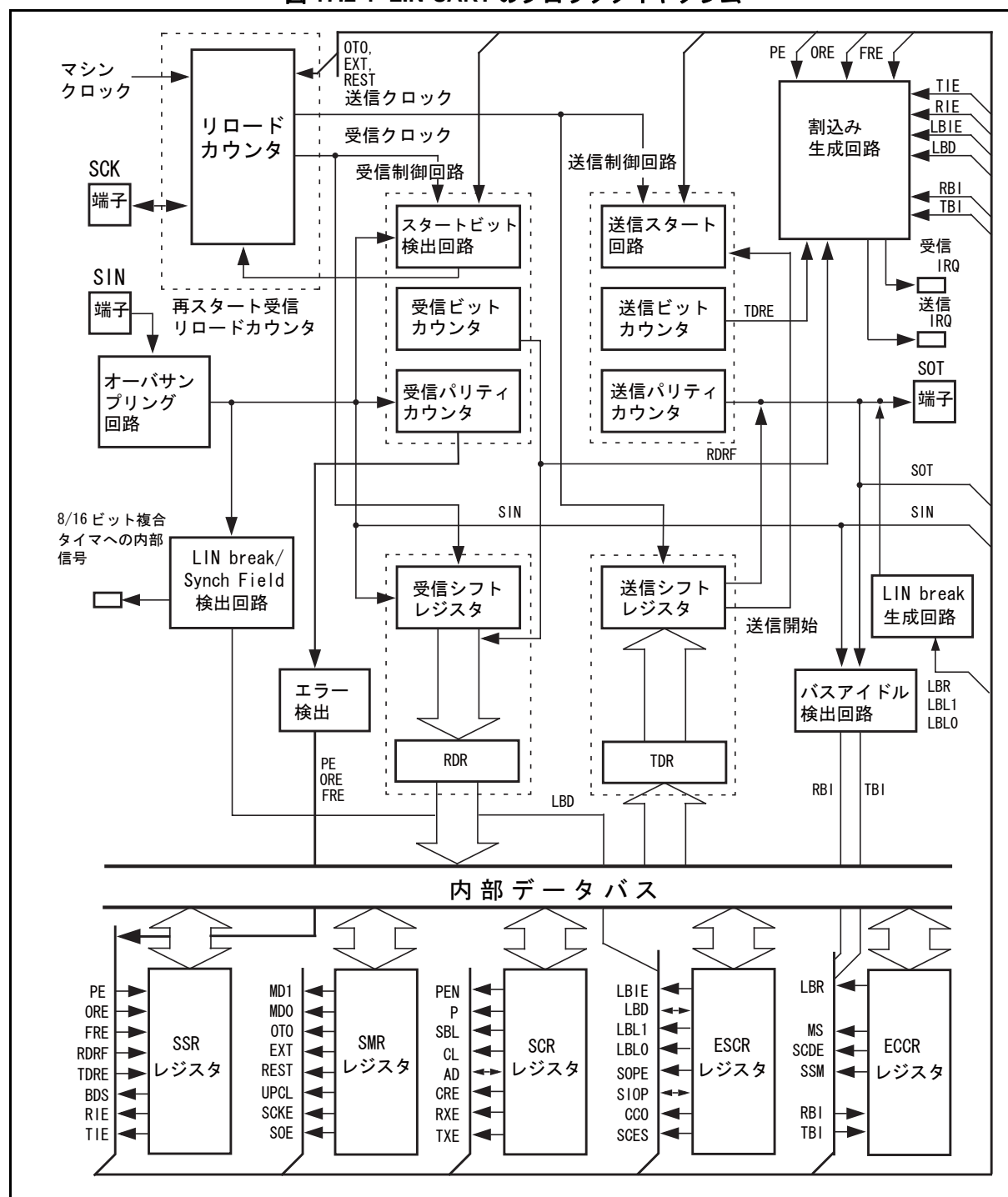
17.2 LIN-UART の構成

LIN-UART は以下のブロックで構成されています。

- リロードカウンタ
 - 受信制御回路
 - 受信シフトレジスタ
 - LIN-UART 受信データレジスタ (RDR)
 - 送信制御回路
 - 送信シフトレジスタ
 - LIN-UART 送信データレジスタ (TDR)
 - エラー検出回路
 - オーバサンプリング回路
 - 割込み生成回路
 - LIN synch break/synch field 検出回路
 - バスアイドル検出回路
 - LIN-UART シリアル制御レジスタ (SCR)
 - LIN-UART シリアルモードレジスタ (SMR)
 - LIN-UART シリアルステータスおよびデータレジスタ (SSR)
 - LIN-UART 拡張制御ステータスレジスタ (ESCR)
 - LIN-UART 拡張通信制御レジスタ (ECCR)
-

■ LIN-UART のブロックダイアグラム

図 17.2-1 LIN-UART のブロックダイアグラム



● リロードカウンタ

このブロックは、専用ボーレートジェネレータとして機能する 15 ビットのリロードカウンタで、リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックから送受信クロックを生成します。送信リロードカウンタのカウント値は、ボーレートジェネレータ 1, 0(BGR1, BGR0) より読み出すことができます。

● 受信制御回路

このブロックは、受信ビットカウンタ、スタートビット検出回路、および受信パリティカウンタから構成されています。受信ビットカウンタは、受信データビットをカウントし、指定されたデータ長に応じて 1 データの受信を完了すると LIN-UART 受信データレジスタにフラグを設定します。このとき受信割込みが許可されている場合には、受信割込み要求が発生します。スタートビット検出回路は、シリアル入力信号におけるスタートビットを検出します。スタートビットが検出されると、この回路はスタートビットの立下りエッジに同期して、リロードカウンタに信号を送信します。受信パリティカウンタは、受信データのパリティを計算します。

● 受信シフトレジスタ

SIN 端子から入力された受信データをビットシフトしながら取り込み、受信が完了すると RDR レジスタに受信データを転送します。

● LIN-UART 受信データレジスタ (RDR)

このレジスタは、受信データを保持します。シリアル入力データは変換され、LIN-UART 受信データレジスタに格納されます。

● 送信制御回路

このブロックは、送信ビットカウンタ、送信スタート回路、および送信パリティカウンタから構成されています。送信ビットカウンタは、送信データビットをカウントし、指定されたデータ長に応じて 1 データの送信を完了すると、送信データレジスタのフラグを設定します。このとき送信割込みが許可されている場合には、送信割込み要求が発生します。送信スタート回路は、TDR にデータが書き込まれると送信を開始します。送信パリティカウンタは、データがパリティありの場合、送信するデータのパリティビットを生成します。

● 送信シフトレジスタ

LIN-UART 送信データレジスタ (TDR) に書き込まれたデータは、送信シフトレジスタに転送されます。そして送信シフトレジスタは、データをビットシフトしながら SOT 端子に出力します。

● LIN-UART 送信データレジスタ (TDR)

送信データを設定します。このレジスタに書き込まれたデータは、シリアルデータに変換されて出力されます。

● エラー検出回路

この回路は、受信終了時に発生するエラーを検出します。エラーが発生すると、対応するエラーフラグを設定します。

● オーバサンプリング回路

非同期モード動作では、オーバサンプリング回路は受信したデータを 5 回オーバサンプリングし、サンプリング値の多数決により受信値を決定します。また、同期モードでは動作を停止します。

● 割込み生成回路

この回路は、すべての割込み要因を制御します。対応する割込み許可ビットが設定されている場合は、直ちに割込みが発生します。

● LIN synch break/synch field 検出回路

この回路は、LIN マスタノードがメッセージヘッダを送信すると、LIN synch break を検出します。LIN synch break が検出されると、LBD フラグが設定されます。LIN synch field の 1 回目と 5 回目の立下りエッジを検出し、マスタノードが送信する実際のシリアルクロック同期を測定するために、8/16 ビット複合タイマへ内部信号を出力します。

● LIN synch break 生成回路

この回路は、設定された長さの LIN synch break を生成します。

● バスアイドル検出回路

この回路は、送受信が行われていないことを検出すると、TBI フラグビットまたは RBI フラグビットにそれぞれ "1" を設定します。

● LIN-UART シリアル制御レジスタ (SCR)

以下に動作機能を示します。

- パリティビットの有無の設定
- パリティビットの選択
- ストップビット長の設定
- データ長の設定
- 動作モード 1 でのフレームデータ形式の選択
- エラーフラグのクリア
- 送信の許可 / 禁止
- 受信の許可 / 禁止

● LIN-UART シリアルモードレジスタ (SMR)

以下に動作機能を示します。

- LIN-UART 動作モードの選択
- クロック入力ソースの選択
- 外部クロックへの 1 対 1 接続またはリロードカウンタ接続の選択
- 専用リロードタイマのリセット
- LIN-UART ソフトウェアリセット (レジスタ設定の維持)
- シリアルデータ端子への出力の許可 / 禁止
- クロック端子への出力の許可 / 禁止

● LIN-UART シリアルステータスレジスタ (SSR)

以下に動作機能を示します。

- 送受信やエラーの状態確認
- 転送方向 (LSB ファーストまたは MSB ファースト) の選択
- 受信割込みの許可 / 禁止
- 送信割込みの許可 / 禁止

● 拡張制御ステータスレジスタ (ESCR)

以下に動作機能を示します

- LIN synch break 割込みの許可 / 禁止
- LIN synch break 検出
- LIN synch break 長の選択
- SIN 端子, SOT 端子への直接アクセス
- LIN-UART 同期クロックモードにおける連続クロック出力の設定
- サンプリングクロックエッジの選択

● LIN-UART 拡張通信制御レジスタ (ECCR)

以下に動作機能を示します。

- バスアイドル検出
- 同期クロックの設定
- LIN synch break 生成

■ 入力クロック

LIN-UART は, マシンクロックまたは SCK 端子からの入力信号を, 入力クロックとして使用します。

入力クロックは, LIN-UART の送受信クロックソースとして使用されます。

MB95330H シリーズ

17.3 LIN-UART の端子

LIN-UART の端子について説明します。

■ LIN-UART の端子

LIN-UART の端子は、汎用ポートとしても使用されます。表 17.3-1 に、LIN-UART 端子の機能と、使用時の設定を示します。

表 17.3-1 LIN-UART の端子

端子名	端子機能	端子を使用するために必要となる設定
SIN	シリアルデータ入力	入力ポートに設定する。 (DDR: 対応するビット = 0)
SOT	シリアルデータ出力	出力を許可する。 (SMR:SOE = 1)
SCK	シリアルクロック入出力	この端子をクロック入力に使用の場合は、 入力ポートに設定する。 (DDR: 対応するビット = 0)
		この端子をクロック出力端子として使用の場合は、 出力を許可する。 (SMR:SCKE = 1)

■ LIN-UART に関連する端子のブロックダイアグラム

図 17.3-1 LIN-UART の端子 SCK, SOT(P02/INT02/AN02/SCK, P03/INT03/AN03/SOT) のブロックダイアグラム

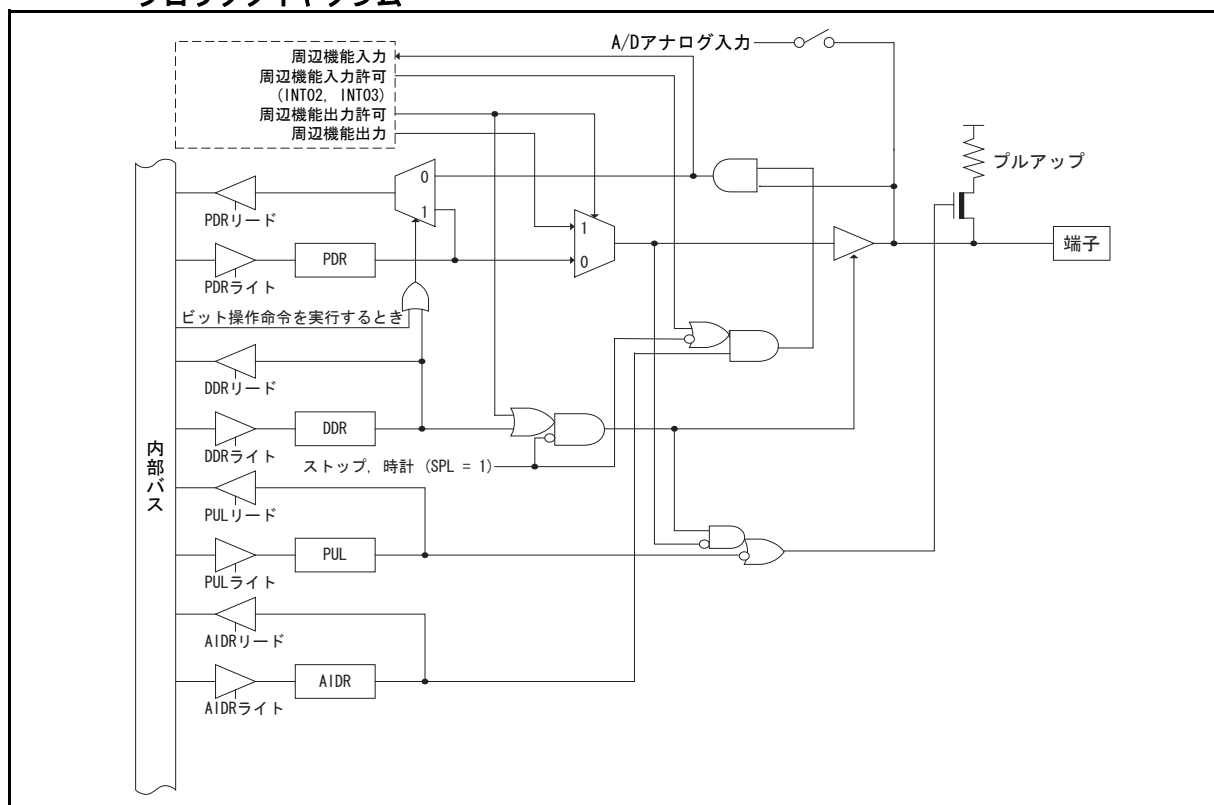
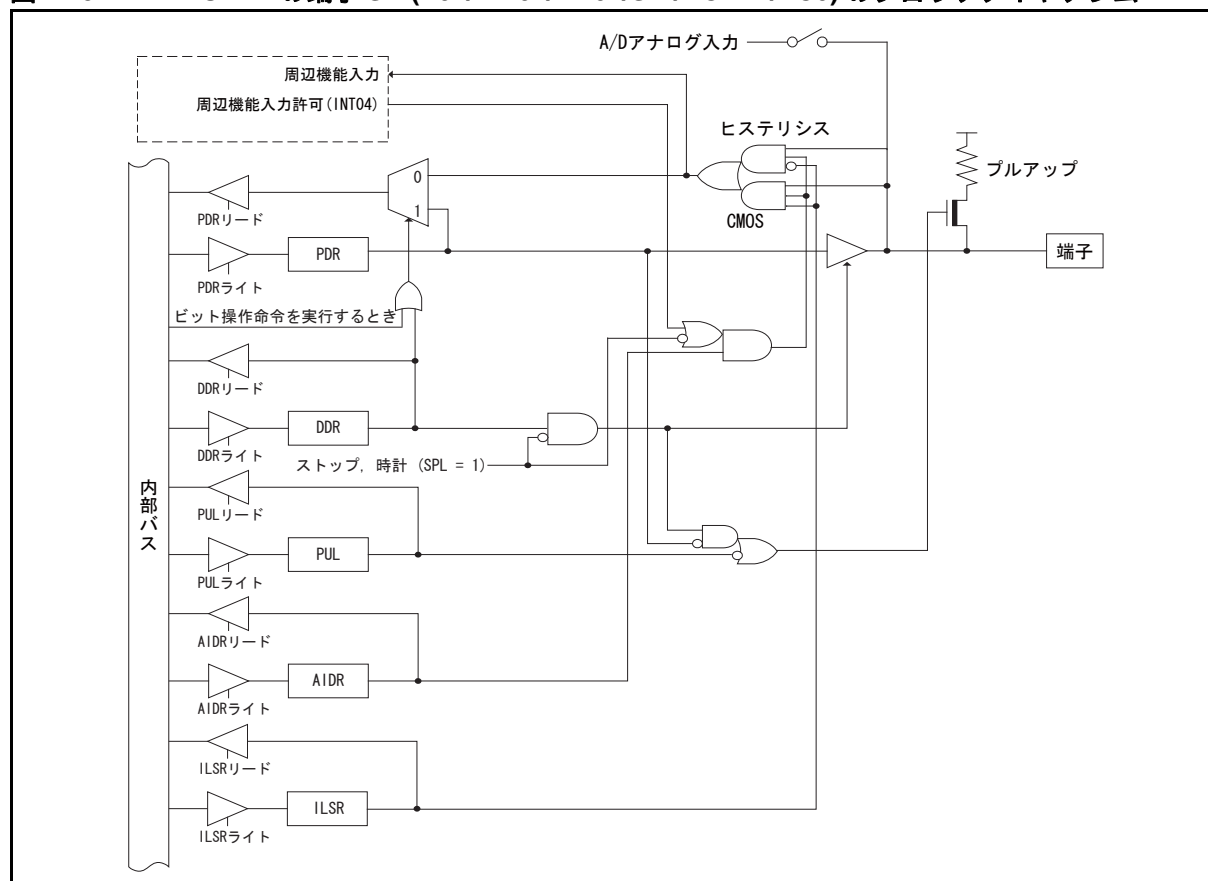


図 17.3-2 LIN-UART の端子 SIN(P04/INT04/AN04/SIN/HCLK1/EC0) のブロックダイアグラム



MB95330H シリーズ

17.4 LIN-UART のレジスタ

LIN-UART のレジスタ一覧を示します。

■ LIN-UART のレジスタ

図 17.4-1 LIN-UART のレジスタ

LIN-UART シリアル制御レジスタ (SCR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0050 _H	PEN	P	SBL	CL	AD	CRE	RXE	TXE
	R/W	R/W	R/W	R/W	R/W	R0,W	R/W	R/W
初期値 00000000 _B								
LIN-UART シリアルモードレジスタ (SMR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0051 _H	MD1	MD0	OTO	EXT	REST	UPCL	SCKE	SOE
	R/W	R/W	R/W	R/W	R0,W	R0,W	R/W	R/W
初期値 00000000 _B								
LIN-UART シリアルステータスレジスタ (SSR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0052 _H	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE
	R/WX	R/WX	R/WX	R/WX	R/WX	R/W	R/W	R/W
初期値 00001000 _B								
LIN-UART 受信データレジスタ / 送信データレジスタ (RDR/TDR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0053 _H								
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
LIN-UART 拡張制御ステータスレジスタ (ESCR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0054 _H	LBIE	LBD	LBL1	LBL0	SOPE	SIOP	CCO	SCES
	R/W	R(RM1),W	R/W	R/W	R/W	R(RM1),W	R/W	R/W
初期値 00000100 _B								
LIN-UART 拡張通信制御レジスタ (ECCR)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0055 _H	予約	LBR	MS	SCDE	SSM	予約	RBI	TBI
	RX,W0	R0,W	R/W	R/W	R/W	RX,W0	R/WX	R/WX
初期値 000000XX _B								
LIN-UART ボーレートジェネレータレジスタ 1(BGR1)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FBC _H	-							
	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
LIN-UART ボーレートジェネレータレジスタ 0(BGR0)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FBD _H								
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
R/W: リード / ライト可能 (読出し値は書き込み値と同じとなります。)								
R(RM1), W: リード / ライト可能 (読出し値は書き込み値と異なります。リードモディファイライト (RMW) 系命令では, "1" が読み出されます。)								
R/WX: リードオンリ (読出し可能。このビットに値を書き込んでも動作に影響はありません。)								
R0, W: ライトオンリ (書き込み可能。読出し時の値は "0" となります。)								
R0/WX: 読出し値は "0"。このビットに値を書き込んでも動作に影響はありません。								
RX, W0: 読出し値は未定義で、書き込み値は "0" となります。								

17.4.1 LIN-UART シリアル制御レジスタ (SCR)

LIN-UART シリアル制御レジスタ (SCR) は、パリティの設定、ストップビット長やデータ長の選択、モード 1 におけるフレームデータ形式の選択、受信エラーフラグのクリア、および送受信動作の許可 / 禁止の設定を行うためのレジスタです。

■ LIN-UART シリアル制御レジスタ (SCR)

図 17.4-2 LIN-UART シリアル制御レジスタ (SCR)

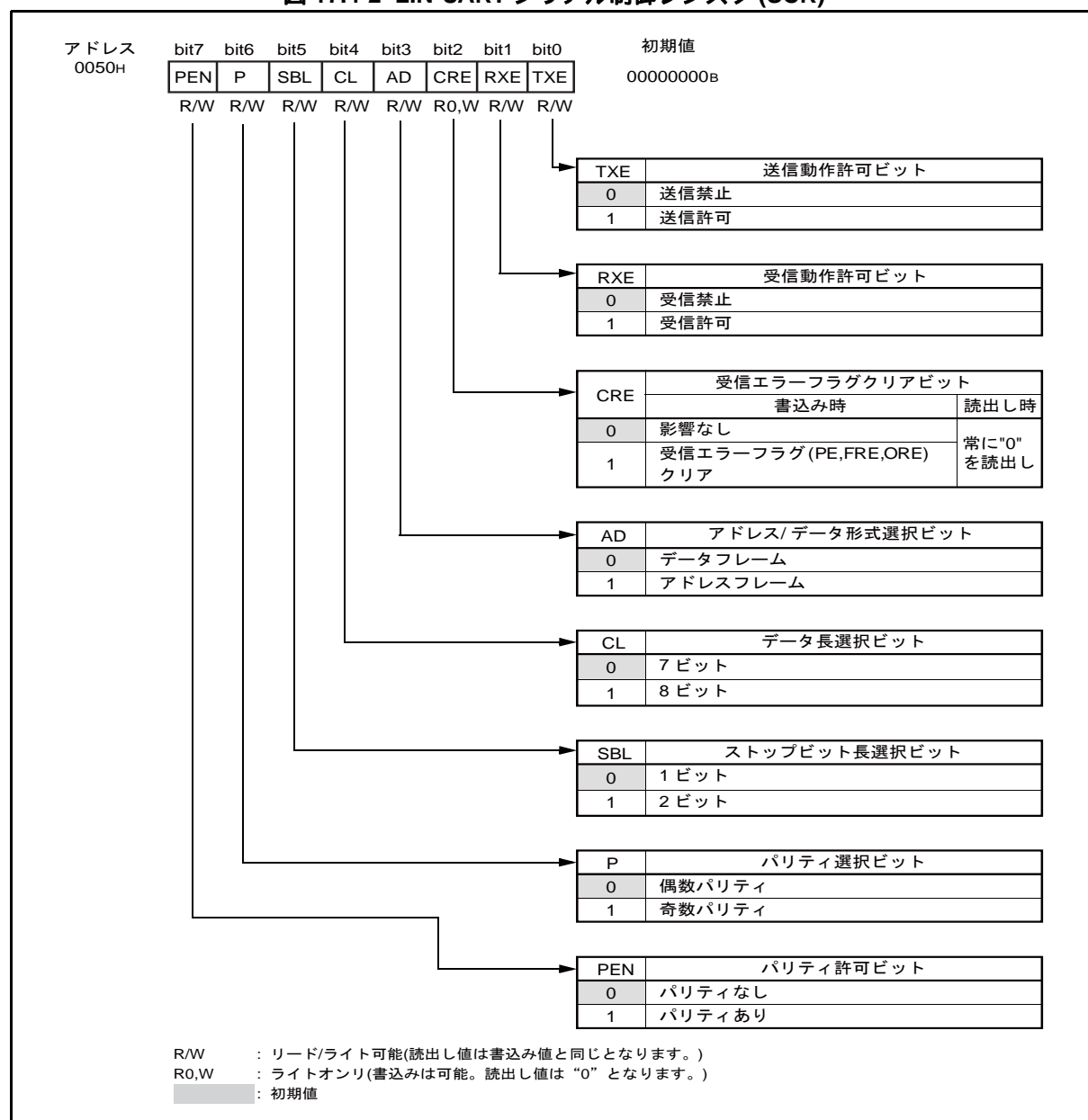


表 17.4-1 LIN-UART シリアル制御レジスタ (SCR) の各ビットの機能

ビット名		機能
bit7	PEN: パリティ許可ビット	このビットは、パリティビットの付加（送信時）と検出（受信時）を行うかどうかを指定します。 (注意事項)パリティビットは動作モード 0 の場合、または動作モード 2 で、同期データ形式にスタート / ストップビットあり (ECCR:SSM=1) に設定した場合にのみ付加されます。 このビットは、動作モード 3(LIN) では "0" に固定されます。
bit6	P: パリティ選択ビット	パリティビットあり (SCR : PEN=1) に設定した場合に、奇数パリティ (1) か偶数パリティ (0) のいずれかに設定します。
bit5	SBL: ストップビット長選択ビット	このビットは、動作モード 0, 1(非同期) の場合、または動作モード 2(同期) でスタート / ストップビットあり (ECCR:SSM=1) に設定した場合の、ストップビット（送信データのフレームエンドマーク）のビット長を設定します。 このビットは、動作モード 3(LIN) では "0" に固定されます。 (注意事項)受信時は、常にストップビットの 1 ビット目だけを検出します。
bit4	CL: データ長選択ビット	送受信データのデータ長を指定します。このビットは、動作モード 2, 動作モード 3 では "1" に固定されます。
bit3	AD: アドレス / データ形式選択ビット	このビットは、マルチプロセッサモード（動作モード 1）で、送受信するフレームのデータ形式を指定します。このビットの値は、マスタモード時に書き込んで、スレーブモード時は読み出してください。マスタモードの動作は、以下のようになります。 "0" に設定した場合：データフレームに設定されます "1" に設定した場合：アドレスデータのフレームに設定されます。 読み出し値は、最後に受信したデータ形式となります。 (注意事項)このビットの使用方法については、「17.8 LIN-UART 使用上の注意」を参照してください。
bit2	CRE: 受信エラーフラグクリアビット	このビットは、シリアルステータスレジスタ (SSR) の FRE, ORE, PE フラグをクリアします。 "0" に設定した場合：動作に影響はありません。 "1" に設定した場合：エラーフラグがクリアされます。 このビットを読み出すと、その値は常に "0" となります。
bit1	RXE: 受信動作許可ビット	このビットは、LIN-UART の受信を許可または禁止します。 "0" に設定した場合：データフレーム受信が禁止されます。 "1" に設定した場合：データフレーム受信が許可されます。 動作モード 3 における LIN synch break 検出は、このビットの設定に影響されません。 (注意事項)受信中にデータフレーム受信が禁止 (RXE=0) された場合には、直ちに受信動作が停止します。この場合、データの整合性は保証されません。
bit0	TXE: 送信動作許可ビット	このビットは、LIN-UART の送信を許可または禁止します。 "0" に設定した場合：データフレーム送信が禁止されます。 "1" に設定した場合：データフレーム送信が許可されます。 (注意事項)送信中にデータフレーム送信が禁止 (TXE=0) された場合には、直ちに送信動作が停止します。この場合、データの整合性は保証されません。

17.4.2 LIN-UART シリアルモードレジスタ (SMR)

LIN-UART シリアルモードレジスタ (SMR) は、動作モードの選択、ボーレートクロックの選択、およびシリアルデータとクロック端子への出力許可または禁止の設定を行うためのレジスタです。

■ LIN-UART シリアルモードレジスタ (SMR)

図 17.4-3 LIN-UART シリアルモードレジスタ (SMR)

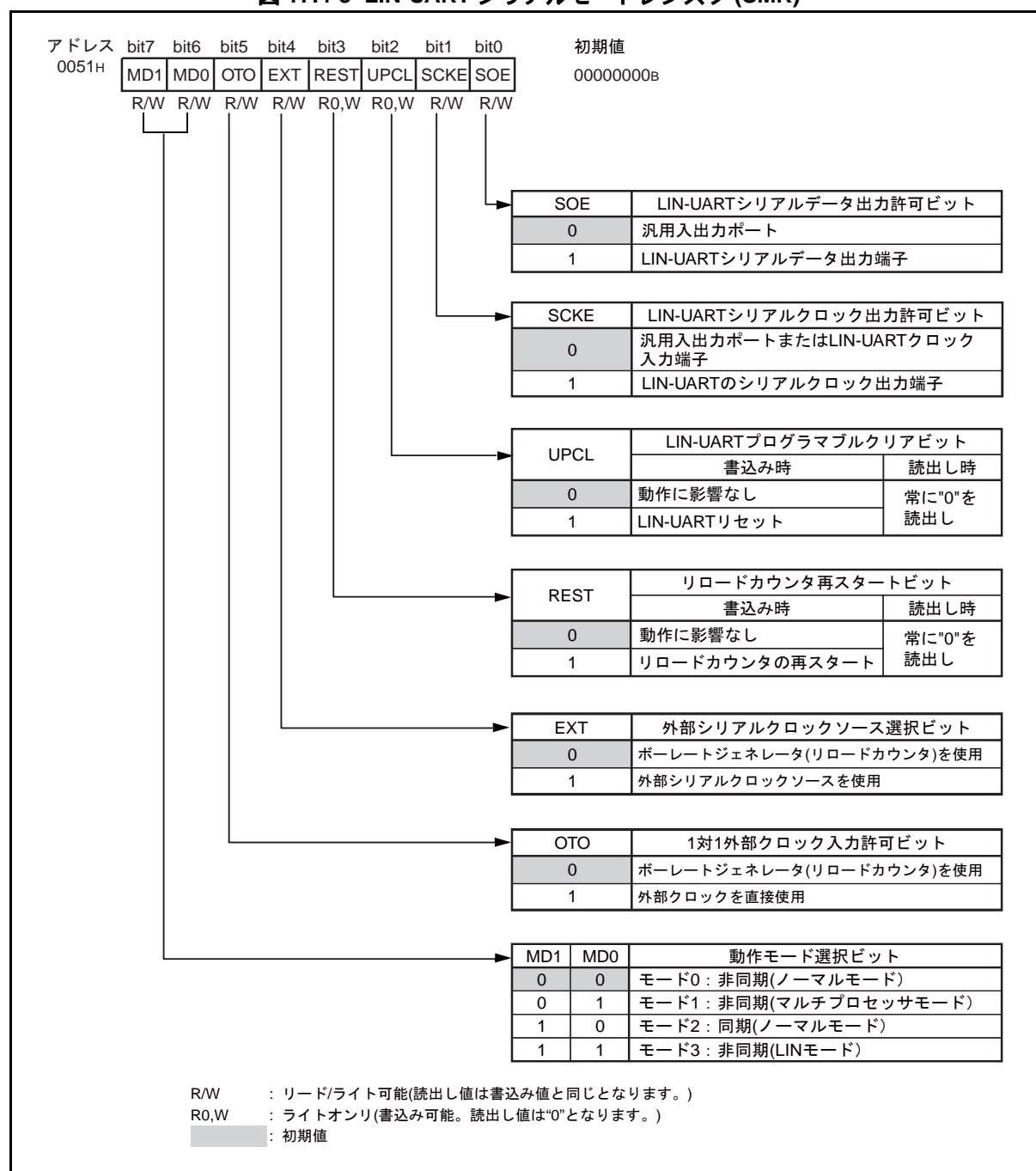


表 17.4-2 LIN-UART シリアルモードレジスタ (SMR) の各ビットの機能

ビット名		機能																				
bit7, bit6	MD1, MD0: 動作モード選択ビット	<p>これらのビットは、動作モードを設定します。 (注意事項) 通信中にモードを変更した場合、LIN-UART の送受信は一時停止し、LIN-UART は次の通信の開始待ち状態となります。</p> <table><tr><td>MD1</td><td>MD0</td><td>モード</td><td>種類</td></tr><tr><td>0</td><td>0</td><td>0</td><td>非同期 (ノーマルモード)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>非同期 (マルチプロセッサモード)</td></tr><tr><td>1</td><td>0</td><td>2</td><td>同期 (ノーマルモード)</td></tr><tr><td>1</td><td>1</td><td>3</td><td>非同期 (LIN モード)</td></tr></table>	MD1	MD0	モード	種類	0	0	0	非同期 (ノーマルモード)	0	1	1	非同期 (マルチプロセッサモード)	1	0	2	同期 (ノーマルモード)	1	1	3	非同期 (LIN モード)
MD1	MD0	モード	種類																			
0	0	0	非同期 (ノーマルモード)																			
0	1	1	非同期 (マルチプロセッサモード)																			
1	0	2	同期 (ノーマルモード)																			
1	1	3	非同期 (LIN モード)																			
bit5	OTO: 1 対 1 外部クロック 入力許可ビット	<p>"1" に設定した場合: LIN-UART シリアルクロックとして外部クロックを直接使用することを許可します。 動作モード 2(非同期) に、シリアルクロックの受信側が選択されている場合 (ECCR:MS = 1) は、外部クロックに使用されます。 EXT=0 の場合、OTO ビットは "0" に固定されます。</p>																				
bit4	EXT: 外部シリアルクロック ソース選択ビット	<p>このビットは、クロック入力を選択します。 "0" に設定した場合: 内部ポーレートジェネレータ (リロードカウンタ) のクロックを選択します。 "1" に設定した場合: 外部シリアルクロックソースを選択します。</p>																				
bit3	REST: リロードカウンタ再 スタートビット	<p>このビットは、リロードカウンタを再スタートします。 "0" に設定した場合: 動作に影響はありません。 "1" に設定した場合: リロードカウンタを再スタートします。 このビットを読み出すと、その値は常に "0" となります。</p>																				
bit2	UPCL: LIN-UART プログラ マブルクリアビット (LIN-UART ソフト ウェアリセット)	<p>このビットは、LIN-UART をリセットします。 "0" に設定した場合: 動作に影響はありません。 "1" に設定した場合: LIN-UART を即時リセットします (LIN-UART ソフトウェアリセット)。ただし、レジスタ設定は維持されます。このとき、送受信は一時停止します。すべての送受信割込み要因 (TDRE, RDRF, LBD, PE, ORE, FRE) は解除されます。 割込みおよび送信を禁止に設定した後は、LIN-UART をリセットしてください。 また、LIN-UART のリセット後は、受信データレジスタが解除され (RDR = 00_H)、リロードカウンタが再スタートします。 このビットを読み出すと、その値は常に "0" となります。</p>																				
bit1	SCKE: LIN-UART シリアル クロック出力許可 ビット	<p>このビットは、シリアルクロックの入出力ポートを制御します。 "0" に設定した場合: SCK 端子は、汎用入出力ポートまたはシリアルクロック入力端子として機能します。 "1" に設定した場合: SCK 端子は、シリアルクロック出力端子として機能し、動作モード 2(同期) でクロックを出力します。 (注意事項) SCK 端子をシリアルクロック入力端子として使用する場合は (SCKE = 0)、SCK と同じ端子を使用する汎用入出力ポートに対応する DDR レジスタのビットを入力ポートに設定してください。 また、外部シリアルクロックソース選択ビットによって外部クロックを選択 (EXT=1) してください。 SCK 端子が、シリアルクロック出力端子として設定されている場合 (SCKE=1)、SCK と同じ端子を使用する汎用入出力ポートの状態にかかわらず、シリアルクロック出力端子として機能します。</p>																				
bit0	SOE: LIN-UART シリアル データ出力許可ビッ ト	<p>このビットは、シリアルデータの出力を許可または禁止します。 "0" に設定した場合 :SOT 端子は汎用入出力ポートとなります。 "1" に設定した場合 :SOT 端子はシリアルデータ出力端子 (SOT) となります。 SOT 端子は、シリアルデータ出力として設定されている場合 (SOE=1)、SOT と同じ端子を使用する汎用入出力ポートの状態にかかわらず、シリアルデータ出力端子 (SOT) として機能します。</p>																				

17.4.3 LIN-UART シリアルステータスレジスタ (SSR)

LIN-UART シリアルステータスレジスタ (SSR) は、送受信やエラーの状態の確認、および割込みの許可または禁止の設定を行うためのレジスタです。

■ LIN-UART シリアルステータスレジスタ (SSR)

図 17.4-4 LIN-UART シリアルステータスレジスタ (SSR)

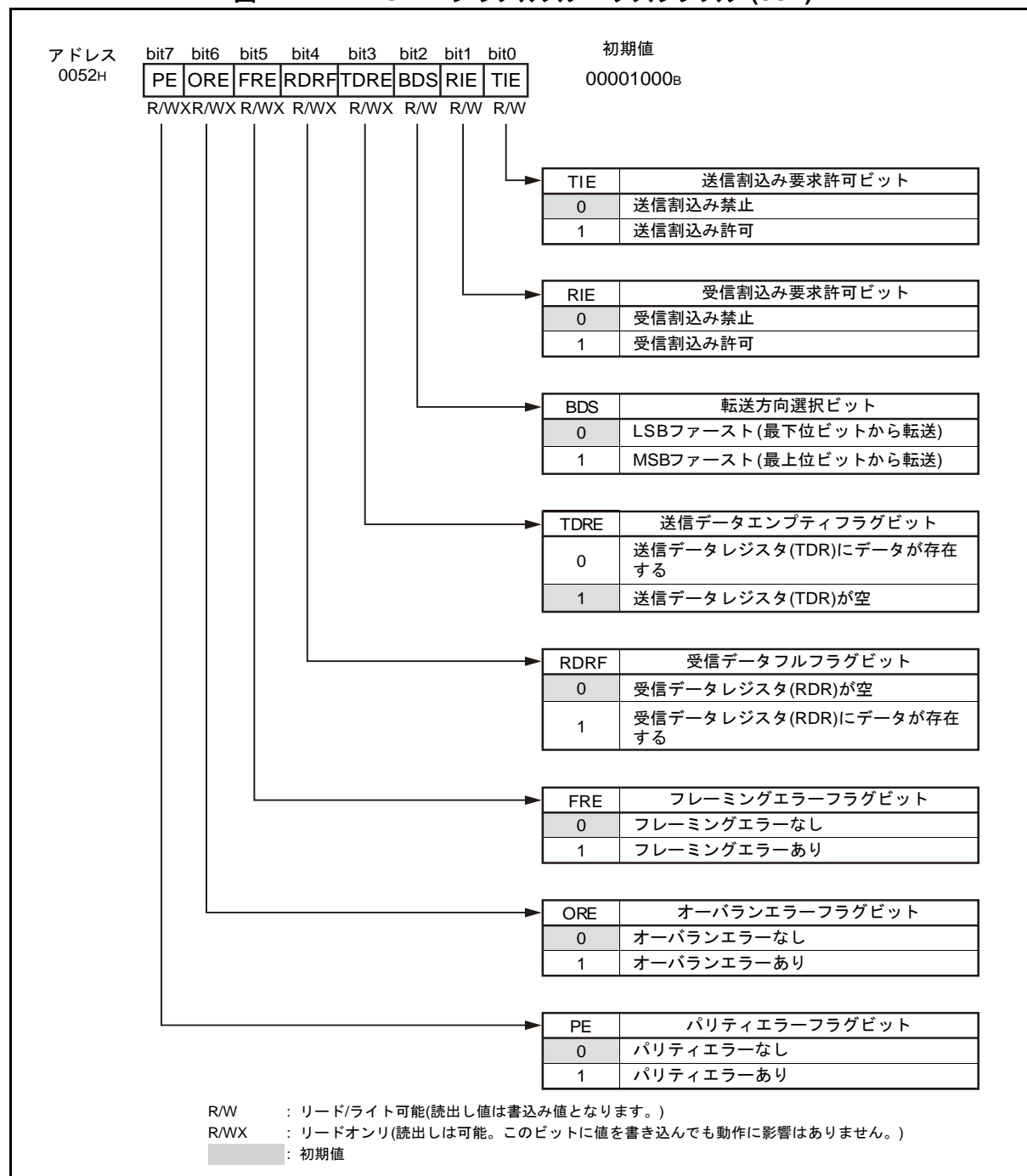


表 17.4-3 シリアルステータスレジスタ (SSR) の各ビットの機能

ビット名		機能
bit7	PE: パリティエラーフラグビット	<p>受信データのパリティエラーを検出します。</p> <ul style="list-style-type: none"> PE = 1 で受信中にパリティエラーが発生すると "1" に設定され、LIN-UART シリアル制御レジスタ (SCR) の CRE ビットを "1" に設定するとクリアされます。 PE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 このフラグが設定された場合は、LIN-UART 受信データレジスタ (RDR) のデータは無効となります。
bit6	ORE: オーバランエラーフラグビット	<p>受信データのオーバランエラーを検出します。</p> <ul style="list-style-type: none"> 受信中にオーバランが発生すると "1" に設定され、LIN-UART シリアル制御レジスタ (SCR) の CRE ビットを "1" に設定するとクリアされます。 ORE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 このフラグが設定された場合は、LIN-UART 受信データレジスタ (RDR) のデータは無効となります。
bit5	FRE: フレーミングエラーフラグビット	<p>このビットは、受信データのフレーミングエラーを検出します。</p> <ul style="list-style-type: none"> 受信中にフレーミングエラーが発生すると "1" に設定され、LIN-UART シリアル制御レジスタ (SCR) の CRE ビットを "1" に設定するとクリアされます。 FRE ビットと RIE ビットが "1" の場合、受信割込み要求を出力します。 このフラグが設定された場合は、LIN-UART 受信データレジスタ (RDR) のデータは無効となります。
bit4	RDRF: 受信データフルフラグビット	<p>このフラグは、LIN-UART 受信データレジスタ (RDR) の状態を示します。</p> <ul style="list-style-type: none"> RDR に受信データがロードされると "1" に設定され、LIN-UART 受信データレジスタ (RDR) を読み出すと "0" にクリアされます。 RDRF ビットと RIE ビットが "1" の場合、受信割込み要求が出力されます。
bit3	TDRE: 送信データエンプティフラグビット	<p>このフラグは、LIN-UART 送信データレジスタ (TDR) の状態を示します。</p> <ul style="list-style-type: none"> TDR を送信データに設定すると "0" となり、TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされてデータ転送が開始すると "1" となり、TDR に有効なデータが存在しないことを示します。 TDRE ビットと TIE ビットが "1" の場合、送信割込み要求を出力します。 TDRE ビットが "1" のときに、LIN-UART 拡張通信制御レジスタ (ECCR) の LBR ビットに "1" を設定すると、TDRE ビットは "0" になります。LIN synch break 生成後、TDRE ビットは "1" に戻ります。 <p>(注意事項) TDRE の初期値は "1" です。</p>
bit2	BDS: 転送方向選択ビット	<p>このビットは、シリアルデータを最下位ビット側から先に転送するか (LSB ファースト、BDS=0)、最上位ビット側から先に転送するか (MSB ファースト、BDS=1) を選択します。</p> <p>(注意事項) シリアルデータレジスタのデータの書込み / 読み出し時には、上位側と下位側のデータが入れ替わります。このため、RDR レジスタにデータを書き込んだ後に BDS ビットを変更すると、RDR レジスタのデータは無効になります。</p> <p>動作モード 3(LIN) では、BDS ビットは "0" に固定されます。</p>
bit1	RIE: 受信割込み要求許可ビット	<p>このビットは、割込みコントローラへの受信割込み要求の出力を許可または禁止します。</p> <p>RIE ビットと受信データフルフラグビット (RDRF) が "1" の場合、または 1 つ以上のエラーフラグビット (PE, ORE, FRE) が "1" の場合は、受信割込み要求を出力します。</p>
bit0	TIE: 送信割込み要求許可ビット	<p>このビットは、割込みコントローラへの送信割込み要求の出力を許可または禁止します。</p> <p>TIE ビットと TDRE ビットが "1" の場合、送信割込み要求を出力します。</p>

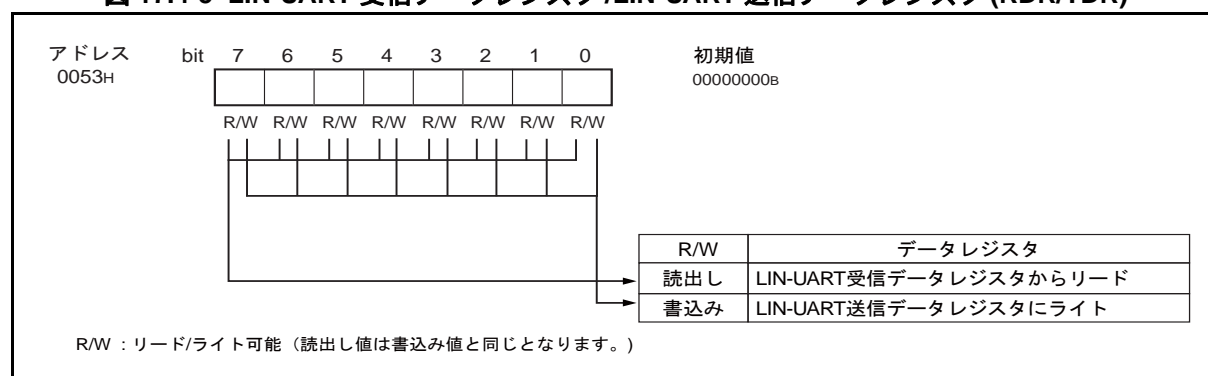
17.4.4 LIN-UART 受信データレジスタ /LIN-UART 送信データレジスタ (RDR/TDR)

LIN-UART 受信データレジスタと LIN-UART 送信データレジスタは、同一アドレスに配置されています。読出し時には受信データレジスタとして機能し、書込み時には送信データレジスタとして機能します。

■ LIN-UART 受信データレジスタ (RDR)

図 17.4-5 に、LIN-UART 受信データレジスタ /LIN-UART 送信データレジスタのビット構成を示します。

図 17.4-5 LIN-UART 受信データレジスタ /LIN-UART 送信データレジスタ (RDR/TDR)



LIN-UART 受信データレジスタ (RDR) は、シリアルデータ受信用のデータバッファレジスタです。

シリアル入力端子 (SIN 端子) に送信されたシリアル入力データ信号が、シフトレジスタで変換され、その変換データが LIN-UART 受信データレジスタ (RDR) に格納されます。

データ長が 7 ビットの場合は、上位 1 ビット (RDR:D7) は "0" となります。

受信データが、LIN-UART 受信データレジスタ (RDR) に格納されると、受信データフルフラグビット (SSR:RDRF) が "1" に設定されます。受信割込みが許可されている場合 (SSR:RIE = 1) には、受信割込み要求が発生します。

LIN-UART 受信データレジスタ (RDR) は、受信データフルフラグビット (SSR:RDRF) が "1" の状態で読み出してください。受信データフルフラグビット (SSR:RDRF) は、LIN-UART 受信データレジスタ (RDR) を読み出すと自動的に "0" にクリアされます。また、受信割込みが許可されていて、エラーが生じていない場合には受信割込みもクリアされます。

受信エラーが発生 (SSR:PE, ORE, FRE のいずれかが "1") した場合、LIN-UART 受信データレジスタ (RDR) のデータは無効となります。

■ LIN-UART 送信データレジスタ (TDR)

LIN-UART 送信データレジスタ (TDR) は、シリアルデータ送信用のデータバッファレジスタです。

送信が許可されている場合 (SCR:TXE=1) に、送信するデータを LIN-UART 送信データレジスタ (TDR) に書き込むと、送信データは送信シフトレジスタに転送され、シリアルデータに変換されて、シリアルデータ出力端子 (SOT 端子) から送出されます。

データ長が 7 ビットの場合、上位 1 ビット (TDR:D7) のデータは無効となります。

送信データエンプティフラグ (SSR:TDRE) は、送信データが LIN-UART 送信データレジスタ (TDR) に書き込まれると "0" にクリアされます。

送信データエンプティフラグ (SSR:TDRE) は、データが送信シフトレジスタに転送され、データ送信が開始すると "1" に設定されます。

送信データエンプティフラグ (SSR:TDRE) が "1" になると、次の送信データを TDR に書き込むことができます。送信割込みが許可されている場合には、送信割込みが発生します。TDR への次の送信データの書き込みは、送信割込みの発生後、または、送信データエンプティフラグ (SSR:TDRE) が "1" になったときに行ってください。

< 注意事項 >

LIN-UART 送信データレジスタは書き込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため、書き込み値と読出し値が異なります。したがって、INC 命令や DEC 命令などのリードモディファイライト (RMW) 系命令は使用できません。

17.4.5 LIN-UART 拡張制御ステータスレジスタ (ESCR)

LIN-UART 拡張制御ステータスレジスタ (ESCR) は、LIN synch break 割込み許可 / 禁止、LIN synch break 長選択、LIN synch break 検出、SIN および SOT 端子への直接アクセス、LIN-UART 同期クロックモードでの連続クロック出力、およびサンプリングクロックエッジを設定します。

■ LIN-UART 拡張制御ステータスレジスタ (ESCR)

図 17.4-6 に、LIN-UART 拡張制御ステータスレジスタ (ESCR) のビット構成を、表 17.4-4 に、各ビットの機能の一覧を示します。

図 17.4-6 LIN-UART 拡張制御ステータスレジスタ (ESCR)

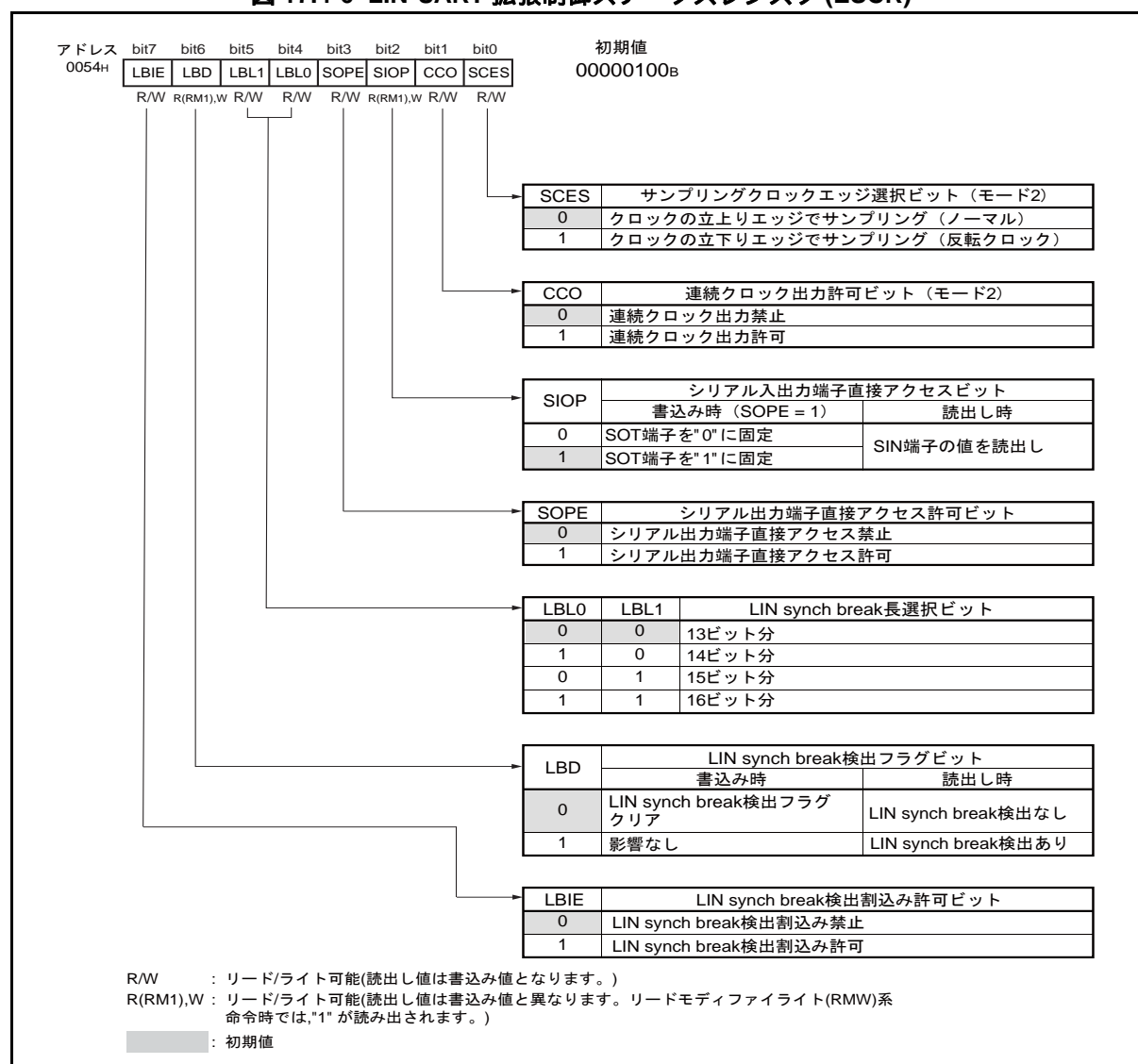


表 17.4-4 LIN-UART 拡張制御ステータスレジスタ (ESCR) の各ビットの機能

ビット名		機能
bit7	LBIE: LIN synch break 検出 割込み許可ビット	このビットは、LIN synch break 検出割込みを許可または禁止します。 LIN synch break 検出フラグ (LBD) が "1" で、割込みが許可されている (LBIE=1) と、割込みが発生します。 動作モード 1、動作モード 2 では "0" に固定されます。
bit6	LBD: LIN synch break 検出 フラグビット	このビットは、LIN synch break を検出します。 動作モード 3 で LIN synch break が検出される (シリアル入力が 11 ビット幅以上では "0" になる) と、"1" に設定されます。LBD ビットを "0" に設定すると、LBD ビットと割込みはクリアされます。リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、常に "1" が読み出されますが、これは LIN synch break が検出されたことを示すものではありません。 (注意事項) LIN synch break 検出を行う際には、LIN synch break 検出割込みを許可 (LBIE=1) に設定した後、受信禁止 (SCR:RXE=0) に設定してください。
bit5, bit4	LBL1/LBL0: LIN synch break 長選 択ビット	これらのビットは、LIN synch break 生成時間を何ビット分とするかを設定します。 受信 LIN synch break 長は常に 11 ビットです。
bit3	SOPE: シリアル出力端子直 接アクセス許可ビッ ト*	このビットは、SOT 端子への直接書き込みを許可または禁止します。 シリアルデータ出力が許可されている (SMR:SOE = 1) 状態で、このビットに "1" を設定すると、SOT 端子への直接書き込みが可能となります。*
bit2	SIOP: シリアル入出力端子 直接アクセスビット *	このビットは、シリアル入出力端子への直接アクセスを制御します。 通常の読出し命令で SIOP ビットを読み出すと、常に SIN 端子の値を返します。 シリアル出力端子への直接アクセスが許可されている場合 (SOPE=1) は、このビットに値に設定すると、その値は SOT 端子に反映されます。* (注意事項) ビット操作命令を使用した場合は、SIOP ビットは、読出しサイクル内の SOT 端子のビット値を返します。
bit1	CCO: 連続クロック出力許 可ビット	このビットは、SCK 端子からの連続シリアルクロック出力を許可または禁止します。 シリアルクロック送信側が選択されている動作モード 2(同期) で、CCO ビットに "1" を設定すると、SCK 端子がクロック出力端子として使用されている場合に、SCK 端子からの連続シリアルクロック出力が可能となります。 (注意事項) CCO ビットが "1" のときは、ECCR レジスタの SSM ビットを "1" に設定してください。
bit0	SCES: サンプリングクロッ クエッジ選択ビット	このビットは、サンプリングエッジを選択します。シリアルクロック受信側が選択されている動作モード 2(同期) で、SCES ビットに "1" を設定すると、サンプリングエッジが立上りエッジから立下りエッジへと切り換わります。 シリアルクロック送信側が選択されている動作モード 2(同期) で (ECCR:MS = 0)、SCK 端子がクロック出力端子として使用されている場合、内部シリアルクロック信号と出力クロック信号は反転します。 動作モード 0/1/3 では、このビットを "0" に設定してください。

*: SOPE と SIOP の相互作用

SOPE	SIOP	SIOP への書き込み	SIOP の読出し
0	R/W	影響なし (ただし書き込み値は保持されます)	SIN の値を返します
1	R/W	"0" または "1" を SOT に書き込みます	SIN の値を返します
1	RMW	SOT の値を読み出し、"0" または "1" を書き込みます	

17.4.6 LIN-UART 拡張通信制御レジスタ (ECCR)

LIN-UART 拡張通信制御レジスタ (ECCR) は、バスアイドル検出、同期クロック設定、および LIN synch break の生成を行うためのレジスタです。

■ LIN-UART 拡張通信制御レジスタ (ECCR)

図 17.4-7 に、LIN-UART 拡張通信制御レジスタ (ECCR) のビット構成を、表 17.4-5 に、各ビットの機能の一覧を示します。

図 17.4-7 LIN-UART 拡張通信制御レジスタ (ECCR)

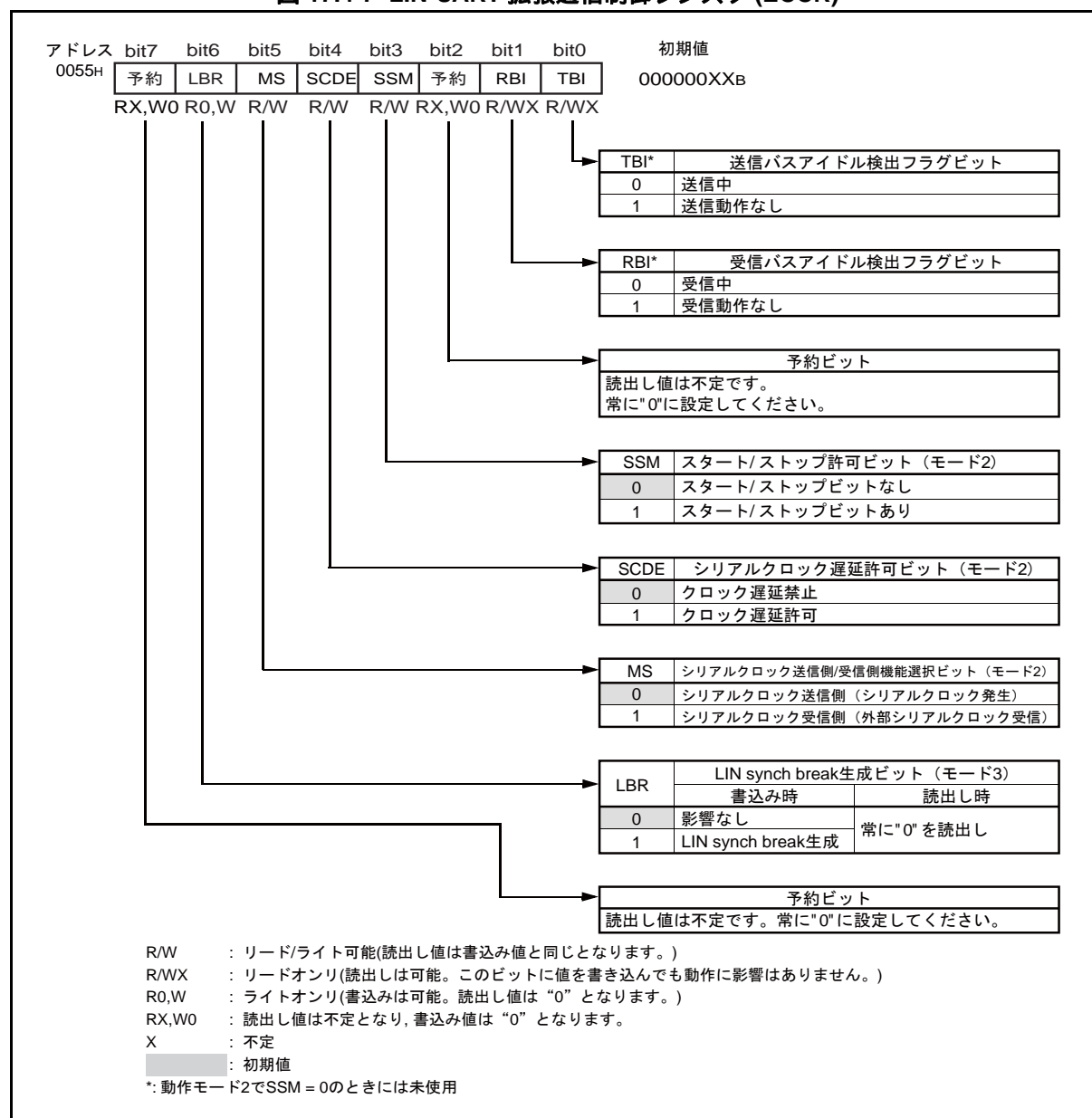


表 17.4-5 LIN-UART 拡張通信制御レジスタ (ECCR) の各ビットの機能

ビット名		機能
bit7	予約ビット	読出し値は不定です。 このビットは常に "0" を設定してください。
bit6	LBR: LIN synch break 生成 ビット	動作モード 3 において、このビットに "1" が設定されている場合は、ESCR レジスタの LBL0/LBL1 ビットで指定された長さの LIN synch break が生成されます。 動作モード 0/1/2 では、このビットを "0" に設定してください。
bit5	MS: シリアルクロック送信側 / 受信側選択 ビット	このビットは、動作モード 2 において、シリアルクロックの送信側 / 受信側を選択します。 送信側 (MS = 0) が選択されている場合、LIN-UART は同期クロックを生成します。 受信側 (MS = 1) が選択されている場合、LIN-UART は外部シリアルクロックを受信します。動作モード 0/1/3 では、このビットは "0" に固定されます。 このビットの変更は、SCR:TXE ビットが "0" の場合にのみ行ってください。 (注意事項)シリアルクロック受信側選択時は、クロックソースを外部クロックに設定し、外部クロック入力を許可 (SMR:SCKE=0, EXT=1, OTO=1) にする必要があります。
bit4	SCDE: シリアルクロック遅延許可ビット	シリアルクロック送信側が選択されている動作モード 2 で、SCDE ビットに "1" を設定すると、図 17.7-5 に示すような遅延したシリアルクロックが出力されます。遅延したシリアルクロックを出力するこの機能は、シリアルペリフェラルインタフェース (SPI) に有効です。 このビットは、動作モード 0/1/3 では "0" に固定されます。
bit3	SSM: スタート / ストップ ビットモード許可 ビット	動作モード 2 で、このビットに "1" を設定すると、同期データ形式にスタート / ストップビットが付加されます。 動作モード 0/1/3 では、このビットは "0" に固定されます。
bit2	予約ビット	読出し値は不定です。 このビットは常に "0" を設定してください。
bit1	RBI: 受信バスアイドル検出フラグビット	SIN 端子が "H" レベルで、かつ受信動作をしていない場合、このビットは "1" になります。動作モード 2 で SSM=0 の場合は、このビットを使用しないでください。
bit0	TBI: 送信バスアイドル検出フラグビット	SOT 端子に送信動作がない場合、このビットは "1" になります。動作モード 2 で SSM=0 の場合は、このビットを使用しないでください。

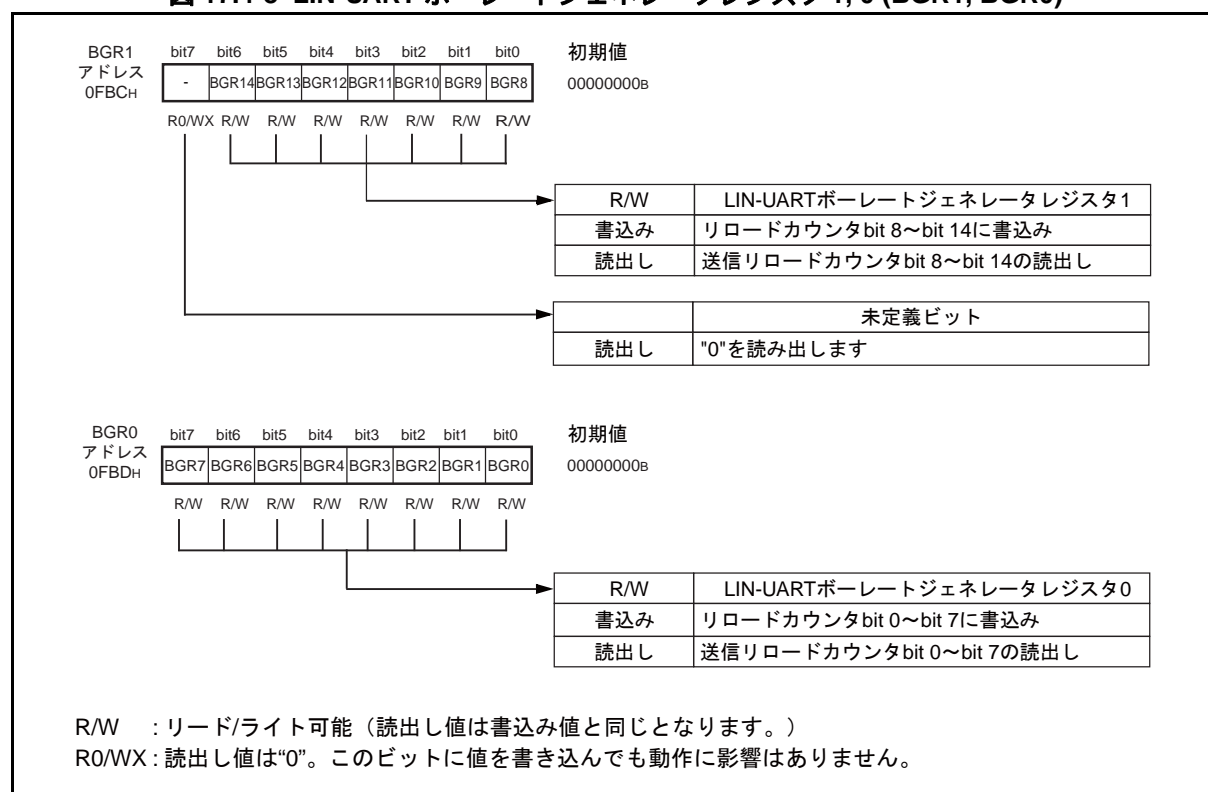
17.4.7 LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) は、シリアルクロックの分周比を設定します。また、送信リロードカウンタのカウンタ値を読み出すことができます。

■ LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)

図 17.4-8 に、LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) のビット構成を示します。

図 17.4-8 LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)



LIN-UART ボーレートジェネレータレジスタは、シリアルクロックの分周比を設定します。
BGR1 は上位ビット、BGR0 は下位ビットに対応します。BGR1 および BGR0 は、カウンタのリロード値を書き込みと、送信リロードカウンタの値を読み出すことができます。また、BGR1 と BGR0 は、バイトアクセスおよびワードアクセスが可能です。
LIN-UARTボーレートジェネレータレジスタにリロード値を設定すると、リロードカウンタはカウントを開始します。

< 注意事項 >

このレジスタへの書込みは、LIN-UART の動作停止中にのみ行ってください。

MB95330H シリーズ

17.5 LIN-UART の割込み

LIN-UART には、受信割込みと送信割込みがあり、以下の要因で発生します。各割込みには、割込み番号と割込みベクタが割り当てられています。また、8/16 ビット複合タイマの割込みを使用した LIN synch field エッジ検出割込み機能もあります。

- 受信割込み

LIN-UART 受信データレジスタ (RDR) に受信データが設定された場合、受信エラーが発生した場合、また、LIN synch break が検出されたときに発生します。

- 送信割込み

送信データが LIN-UART 送信データレジスタ (TDR) から送信シフトレジスタに転送され、データ送信が開始した場合に発生します。

■ 受信割込み

表 17.5-1 に、受信割込みの制御ビットと割込み要因を示します。

表 17.5-1 受信割込みの割込み制御ビットと割込み要因

割込み要求 フラグ ビット	フラグ レジスタ	動作モード				割込み要因	割込み要因 許可ビット	割込み要求フラグの クリア
		0	1	2	3			
RDRF	SSR	○	○	○	○	受信データの RDR への書込み	SSR:RIE	受信データの読出し
ORE	SSR	○	○	○	○	オーバランエラー		受信エラーフラグクリアビット (SCR:CRE) への "1" の書込み
FRE	SSR	○	○	△	○	フレーミングエラー		
PE	SSR	○	×	△	×	パリティエラー		
LBD	ESCR	×	×	×	○	LIN synch break 検出	ESCR:LBIE	ESCR:LBD への "0" の書込み

○ : 使用ビット

×

△ : ECCR:SSM = 1 の場合のみ使用可能

- 受信割込み

以下に示す動作のいずれかが受信モードで発生すると、その動作に対応する LIN-UART シリアルステータスレジスタ (SSR) のビットに "1" が設定されます。

データ受信完了

受信データが、LIN-UART シリアル入力シフトレジスタから LIN-UART 受信データレジスタ (RDR) へ転送された場合 (RDRF=1)

オーバランエラー

RDRF = 1 の状態で、CPU が RDR レジスタを読み出す前に次のシリアルデータを受信した場合 (ORE = 1)

フレーミングエラー

ストップビット受信エラーが発生した場合 (FRE=1)

パリティエラー

パリティ検出エラーが発生した場合 (PE=1)

上記フラグビットのいずれかが "1" のとき、受信割込みが許可 (SSR:RIE=1) されている場合は、受信割込み要求が発生します。

RDRF フラグは、LIN-UART 受信データレジスタ (RDR) を読み出すと、自動的に "0" にクリアされます。エラーフラグはすべて、LIN-UART シリアル制御レジスタ (SCR) の受信エラーフラグクリアビット (CRE) に "1" に設定すると、"0" にクリアされます。

< 注意事項 >

CRE フラグは書き込み専用で、"1" がフラグに書き込まれた後、1 クロックサイクルの間 "1" を保持します。

● LIN synch break 割込み

動作モード 3 で、LIN-UART が LIN スレーブ動作を実行する場合は、LIN synch break 割込みが機能します。

内部データバス (シリアル入力) が 11 ビットの間以上 "0" になると、LIN-UART 拡張制御ステータスレジスタ (ESCR) の LIN synch break 検出フラグビット (LBD) が "1" に設定されます。LIN synch break 割込みと LBD フラグは、LBD フラグに "0" に設定するとクリアされます。LIN synch field 内で 8/16 ビット複合タイマ割込みが発生する前に、LBD フラグをクリアしてください。

LIN synch break 検出を行うには、受信禁止 (SCR:RXE=0) にする必要があります。

■ 送信割込み

表 17.5-2 に、送信割込みの制御ビットと割込み要因を示します。

表 17.5-2 送信割込みの割込み制御ビットと割込み要因

割込み要求 フラグ ビット	フラグ レジスタ	動作モード				割込み要因	割込み要因許可 ビット	割込み要求フラグの クリア
		0	1	2	3			
TDRE	SSR	○	○	○	○	送信レジスタが空 になった	SSR:TIE	送信データの書き込み

○: 使用ビット

● 送信割込み

送信データが LIN-UART 送信データレジスタ (TDR) から送信シフトレジスタに転送され、データ送信が開始すると、LIN-UART シリアルステータスレジスタ (SSR) の送信データレジスタエンプティフラグビット (TDRE) に "1" が設定されます。このとき、送信割込みが許可されている場合 (SSR:TIE = 1) には、送信割込み要求が発生します。

< 注意事項 >

ハードウェアリセット/ソフトウェアリセット後の TDRE の初期値は "1" であるため、TIE ビットが "1" に設定されると、直ちに割込みが発生します。TDRE は、LIN-UART 送信データレジスタ (TDR) にデータを書き込むことでのみクリアされます。

■ LIN Synch Field エッジ検出割り込み (8/16 ビット複合タイマ割り込み)

表 17.5-3 に、LIN synch field エッジ検出割り込みの制御ビットと割り込み要因を示します。

表 17.5-3 LIN Synch Field エッジ検出割り込みの割り込み制御ビットと割り込み要因

割り込み要求 フラグビット	フラグ レジスタ	動作モード				割り込み要因	割り込み要因 許可ビット	割り込み要求フラグの クリア
		0	1	2	3			
IR	T00CR1	×	×	×	○	LIN synch field の 1 回目の 立下りエッジ	T00CR1:IE	T00CR1:IR への "0" の書込み
IR	T00CR1	×	×	×	○	LIN synch field の 5 回目の 立下りエッジ		

○: 使用ビット

×: 未使用ビット

● LIN synch field エッジ検出割り込み (8/16 ビット複合タイマ割り込み)

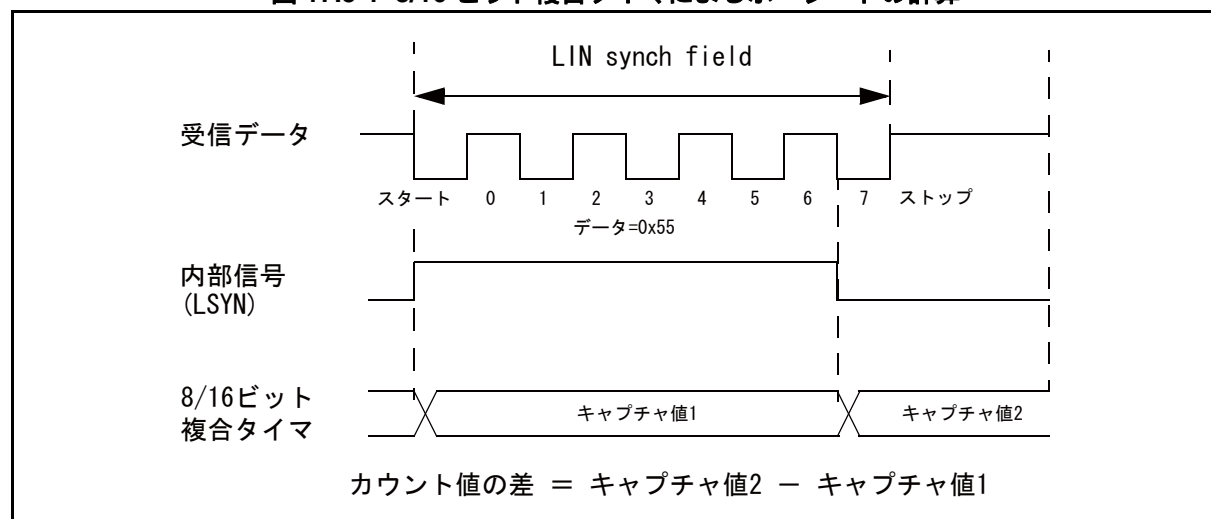
動作モード 3 で、LIN-UART が LIN スレーブ動作を実行する場合は、LIN synch field エッジ検出割り込みが機能します。

LIN synch break 検出後、内部信号 (LSYN) は LIN synch field の 1 回目の立下りエッジで "1" に設定され、5 回目の立下りエッジ後に "0" に設定されます。内部信号を 8/16 ビット複合タイマへ入力するように 8/16 ビット複合タイマ側で設定し、かつ両方のエッジを検出するように設定した場合、8/16 ビット複合タイマ割り込みが許可されていると 8/16 ビット複合タイマ割り込みが発生します。

8/16 ビット複合タイマで検出されたカウント値の差 (図 17.5-1 を参照) は、マスタシリアルクロックの 8 ビット分に相当します。この値から新しいボーレートを計算することができます。

ボーレートを設定した後、設定された次のスタートビットで検出された立下りエッジから、新しいボーレート値が有効となります。

図 17.5-1 8/16 ビット複合タイマによるボーレートの計算



■ LIN-UART の割り込みに関連するレジスタとベクタテーブルのアドレス

表 17.5-4 LIN-UART の割り込みに関連するレジスタとベクタテーブルのアドレス

割り込み要因	割り込み要求番号	割り込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
LIN-UART (受信)	IRQ07	ILR1	L07	FFEC _H	FFED _H
LIN-UART (送信)	IRQ08	ILR2	L08	FFEA _H	FFEB _H

各周辺機能のそれぞれの割り込み要求番号およびベクタテーブルのアドレスについては「付録 B 割り込み要因一覧表」を参照してください。

17.5.1 受信割込み発生とフラグセットのタイミング

受信が完了したとき (SSR:RDRF), または受信エラーが発生した場合 (SSR:PE, ORE, FRE) に, 受信割込みが発生します。

■ 受信割込み発生とフラグセットのタイミング

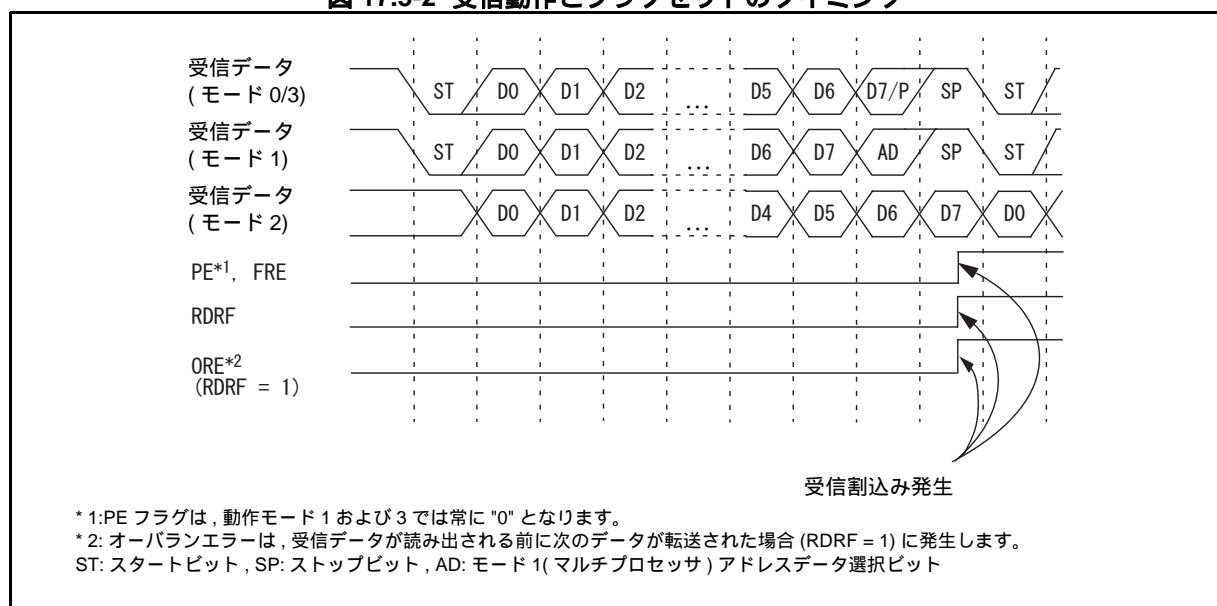
動作モード 0, 1, 2(SSM=1), 3 で最初のストップビットが検出された場合, または動作モード 2(SSM=0) で最終データビットが検出された場合に, 受信データが LIN-UART 受信データレジスタ (RDR) に格納されます。受信が完了した場合 (SSR:RDRF=1), または受信エラーが発生した場合 (SSR:PE, ORE, FRE=1) に, 各エラーフラグが設定されます。エラーフラグが設定された場合に, 受信割込みが許可されている (SSR:RIE = 1) と, 受信割込みが発生します。

< 注意事項 >

各動作モードで, 受信エラーが発生した場合は, LIN-UART 受信データレジスタ (RDR) のデータは無効となります。

図 17.5-2 に, 受信動作とフラグセットのタイミングを示します。

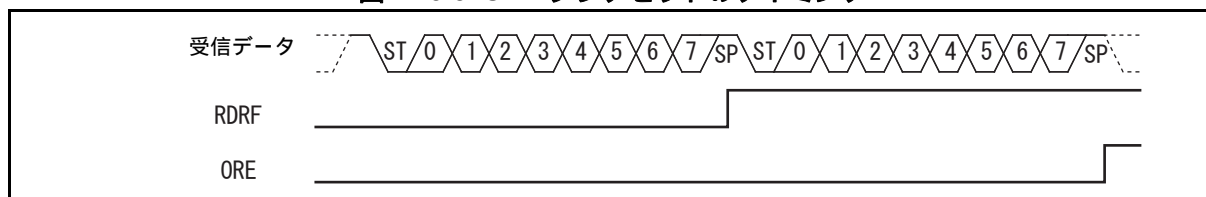
図 17.5-2 受信動作とフラグセットのタイミング



< 注意事項 >

図 17.5-2 は, 動作モード 0 におけるすべての受信動作を示すものではありません。受信動作例では, 通信フォーマットが 7 ビットデータ, パリティあり (パリティビット = "偶数パリティ" または "奇数パリティ"), ストップビット 1 と 8 ビットデータ, パリティなし, ストップビット 1 の例のみ示されています。

図 17.5-3 ORE フラグセットのタイミング



17.5.2 送信割込み発生とフラグセットのタイミング

送信割込みは、送信データが LIN-UART 送信データレジスタ (TDR) から送信シフトレジスタに転送され、データ送信が開始した場合に発生します。

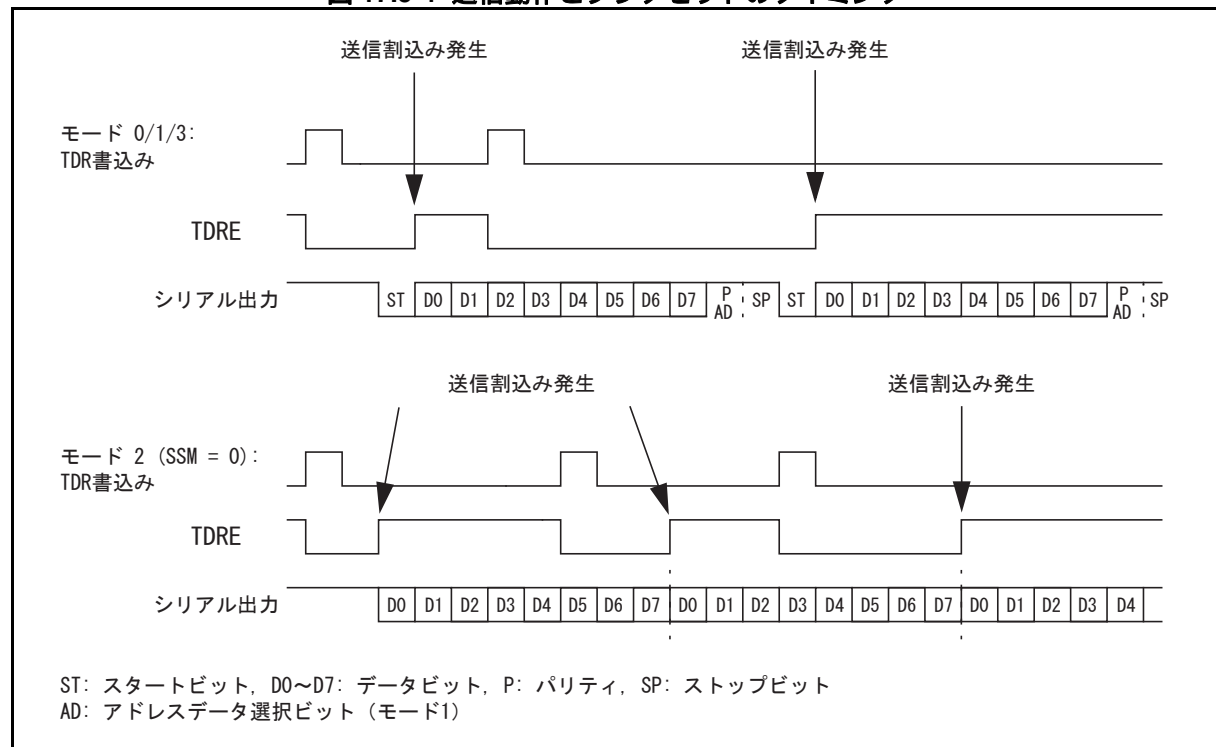
■ 送信割込み発生とフラグセットのタイミング

LIN-UART 送信データレジスタ (TDR) に書き込まれたデータが送信シフトレジスタに転送され、そのデータの送信が開始すると、TDR レジスタへの次のデータの書き込みが可能な状態 (SSR:TDRE=1) になります。データ送信が開始する場合、送信割込みが許可されている場合 (SSR:TIE = 1) には、送信割込みが発生します。

TDRE ビットは読出し専用です。LIN-UART 送信データレジスタ (TDR) にデータが書き込まれた場合にのみ、"0" にクリアされます。

図 17.5-4 に、送信動作とフラグセットのタイミングを示します。

図 17.5-4 送信動作とフラグセットのタイミング



< 注意事項 >

図 17.5-4 は、動作モード 0 におけるすべての送信動作を示すものではありません。8 ビットデータ、パリティあり (" 偶数パリティ " または " 奇数パリティ "), ストップビット 1 による送信動作例を示しています。

パリティビットは動作モード 3 の場合、もしくは動作モード 2 で SSM = 0 の場合には送信されません。

■ 送信割込み要求発生タイミング

送信割込みが許可されている場合 (SSR:TIE=1) に、TDRE フラグに "1" が設定されると、送信割込みが発生します。

< 注意事項 >

初期状態では、TDRE ビットが "1" になっていますので、送信割込みが許可 (SSR:TIE=1) されると、直ちに送信割込みが発生します。TDRE ビットのクリアは、送信データレジスタ (TDR) に新規データを書き込むことしかありませんので、送信割込み許可のタイミングには注意してください。

各周辺機能の割込み要求番号およびベクタテーブルアドレスについては、「付録 B 割込み要因一覧表」を参照してください。

17.6 LIN-UART のボーレート

LIN-UART の入力クロック (送受信クロックソース) は、次の中からいずれかを選択することができます。

- マシンクロックをボーレートジェネレータ (リロードカウンタ) に入力
- 外部クロックをボーレートジェネレータ (リロードカウンタ) に入力
- 外部クロック (SCK 端子入力クロック) を直接使用

■ LIN-UART ボーレート選択

ボーレートは、次の 3 種類の中から 1 種類を選択することができます。図 17.6-1 に、ボーレート選択回路を示します。

- 専用ボーレートジェネレータ (リロードカウンタ) で内部クロックを分周して得られるボーレート

内部リロードカウンタは 2 つあり、それぞれ送信シリアルクロックと受信シリアルクロックに対応しています。LIN-UART ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択します。

リロードカウンタは、BGR1 と BGR0 に設定された値で内部クロックを分周します。

このボーレートは、非同期モードと同期モード (シリアルクロック送信側) 時に使用します。

クロックソースの設定は、内部クロックとボーレートジェネレータクロック使用を選択 (SMR:EXT=0, OTO=0) してください。

- 専用ボーレートジェネレータ (リロードカウンタ) で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

LIN-UART ボーレートジェネレータレジスタ 1,0 (BGR1, BGR0) で 15 ビットのリロード値を設定することにより、ボーレートを選択します。

リロードカウンタは、BGR1 と BGR0 に設定された値で外部クロックを分周します。

このボーレートは、非同期モード時に使用します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択 (SMR:EXT=1, OTO=0) してください。

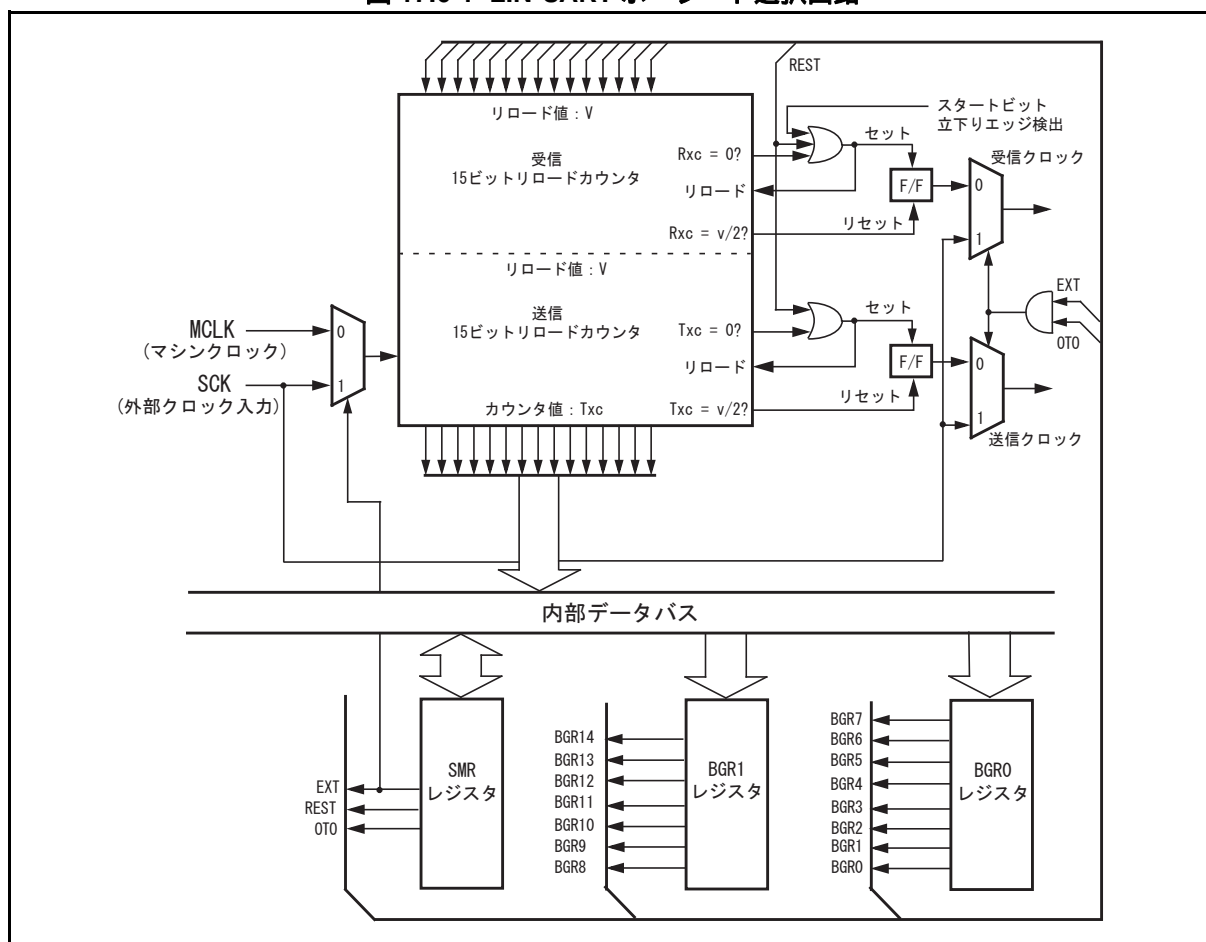
- 外部クロック (1 対 1 モード) によるボーレート

LIN-UART のクロック入力端子 (SCK) から入力されたクロックをそのままボーレートとして使用します (動作モード 2 スレーブ動作 (同期) (ECCR:MS=1))。

このクロックは、同期モード (シリアルクロック受信側) 時に使用します。

クロックソースを設定する場合は、外部クロックと、外部クロック直接使用を選択 (SMR:EXT = 1, OTO = 1) してください。

図 17.6-1 LIN-UART ポーレート選択回路



17.6.1 ボーレート設定

ボーレート設定と、シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) で設定します。

ボーレート計算式を以下に示します。

リロード値：

$$v = \left(\frac{\text{MCLK}}{b} \right) - 1$$

v: リロード値, b: ボーレート, MCLK: マシナクロック, または外部クロック周波数

計算例

マシナクロック 10MHz, 内部クロック使用, ボーレートを 19200 bps に設定する場合, 次のようになります。

リロード値：

$$v = \left(\frac{10 \times 10^6}{19200} \right) - 1 = 519.83... \quad 520$$

よって, 実際のボーレートは以下のように計算できます。

$$b = \frac{\text{MCLK}}{(v + 1)} = \frac{10 \times 10^6}{521} = 19193.8579$$

< 注意事項 >

リロードカウンタは, リロード値に "0" が設定されると停止します。このため, 最小のリロード値は "1" としてください。

非同期モードで送受信する場合は, 受信値を決定するために 5 回オーバーサンプリングしなければならないため, リロード値は最小でも "4" に設定する必要があります。

■ 各クロック速度のリロード値とボーレート

表 17.6-1 に、各クロック速度のリロード値とボーレートを示します。

表 17.6-1 リロード値とボーレート

ボー レート	8 MHz (MCLK)		10 MHz (MCLK)		16 MHz (MCLK)		16.25 MHz (MCLK)	
	リロード 値	周波数偏差	リロード 値	周波数偏差	リロード 値	周波数偏差	リロード 値	周波数偏差
2M	-	-	4	0	7	0	-	-
1M	7	0	9	0	15	0	-	-
500000	15	0	19	0	31	0	-	-
400800	-	-	-	-	-	-	-	-
250000	31	0	39	0	63	0	64	0
230400	-	-	-	-	68	- 0.64	-	-
153600	51	- 0.16	64	- 0.16	103	- 0.16	105	0.19
125000	63	0	79	0	127	0	129	0
115200	68	- 0.64	86	0.22	138	0.08	140	- 0.04
76800	103	0.16	129	0.16	207	- 0.16	211	0.19
57600	138	0.08	173	0.22	277	0.08	281	- 0.04
38400	207	0.16	259	0.16	416	0.08	422	- 0.04
28800	277	0.08	346	- 0.06	555	0.08	563	- 0.04
19200	416	0.08	520	0.03	832	- 0.04	845	- 0.04
10417	767	< 0.01	959	< 0.01	1535	< 0.01	1559	< 0.01
9600	832	- 0.04	1041	0.03	1666	0.02	1692	0.02
7200	1110	< 0.01	1388	< 0.01	2221	< 0.01	2256	< 0.01
4800	1666	0.02	2082	- 0.02	3332	< 0.01	3384	< 0.01
2400	3332	< 0.01	4166	< 0.01	6666	< 0.01	6770	< 0.01
1200	6666	< 0.01	8334	< 0.01	13332	< 0.01	13541	< 0.01
600	13332	< 0.01	16666	< 0.01	26666	< 0.01	27082	< 0.01
300	26666	< 0.01	-	-	53332	< 0.01	54166	< 0.01

周波数偏差 (dev.) の単位は % です。MCLK はマシンクロックです。

■ 外部クロック

LIN-UART シリアルモードレジスタ (SMR) の EXT ビットを "1" に設定すると外部クロックが選択されます。ボーレートジェネレータでは、外部クロックは内部クロックと同じように使用することができます。

動作モード 2(同期)でスレーブ動作を使用する場合は、1 対 1 外部クロック入力モード (SMR:OTO=1) を選択します。このモードでは、SCK に入力された外部クロックが LIN-UART シリアルクロックに直接入力されます。

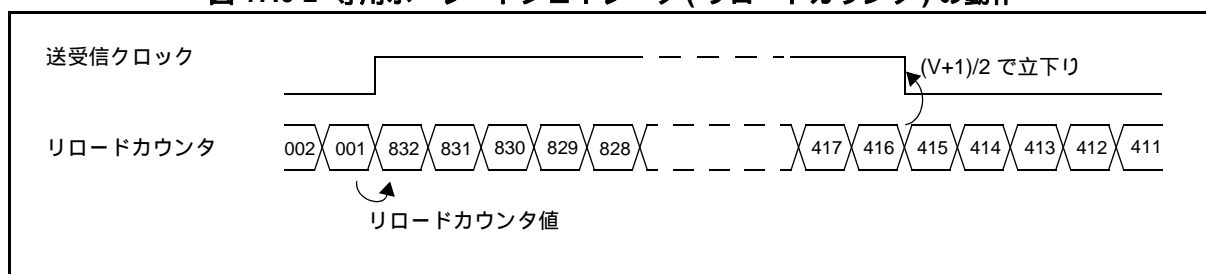
< 注意事項 >

外部クロック信号は LIN-UART で、内部クロック (MCLK: マシナクロック) に同期します。したがって、外部クロックの周期が内部クロックの周期の半分より高速である場合、外部クロックが分周不可能となるため、外部クロック信号は不安定な状態になります。SCK クロックの値は MB95330H シリーズのデータシートを参照してください。

■ 専用ボーレートジェネレータ (リロードカウンタ) の動作

図 17.6-2 に、リロード値 "832" を用いた 2 つのリロードカウンタの動作例を示します。

図 17.6-2 専用ボーレートジェネレータ (リロードカウンタ) の動作



< 注意事項 >

シリアルクロック信号の立下りエッジは、リロード値を 2 で割った値 $[(V+1)/2]$ をカウントした後に発生します。

MB95330H シリーズ

17.6.2 リロードカウンタ

専用ボーレートジェネレータとして機能する 15 ビットのリロードカウンタです。外部クロックまたは内部クロックより、送受信クロックを生成します。

また、送信リロードカウンタのカウント値を LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) より読み出すことができます。

■ リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタの2種類があります。リロードカウンタは、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値を LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) より読み出すことができます。

● カウントの開始

LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0) にリロード値を書き込むと、リロードカウンタはカウントを開始します。

● 再スタート

リロードカウンタは以下の条件で再スタートします。

送信 / 受信リロードカウンタ共通の条件

- LIN-UART プログラマブルリセット (SMR:UPCL ビット)
- プログラマブル再スタート (SMR:REST ビット)

受信リロードカウンタの条件

- 非同期モードでの、スタートビット立下りエッジの検出

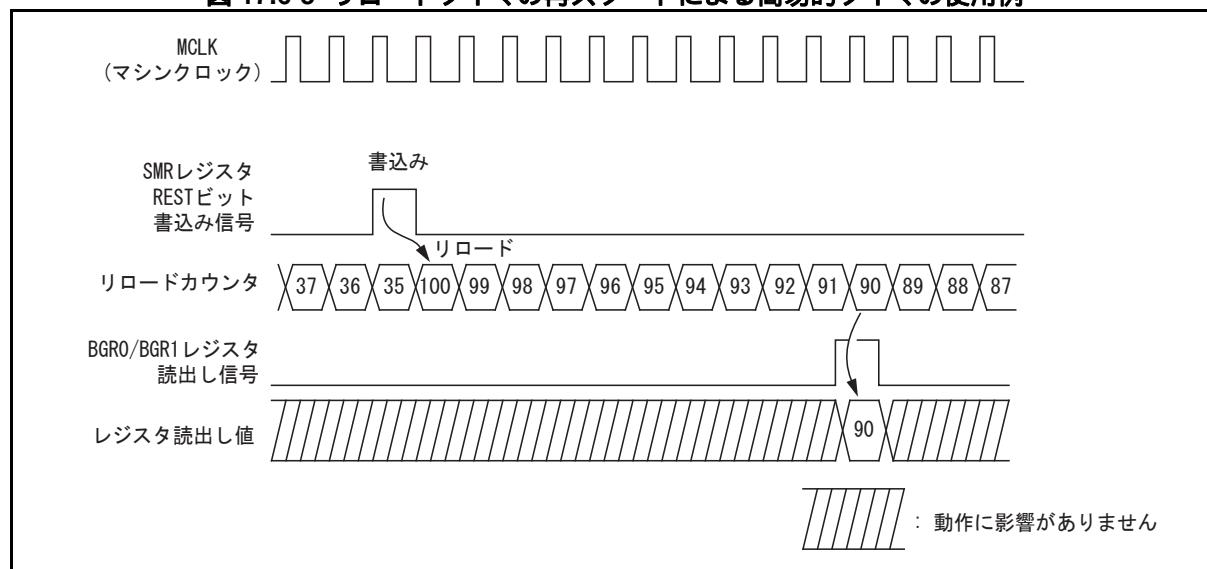
● 簡易タイマ機能

LIN-UART シリアルモードレジスタ (SMR) の REST ビットを "1" に設定すると、次のクロックサイクルで 2 つのリロードカウンタは再スタートします。

この機能により、送信リロードカウンタを簡易的なタイマとして使用することが可能です。

図 17.6-3 に、この機能の使用例を示します (リロード値が 100 の場合)。

図 17.6-3 リロードタイマの再スタートによる簡易的タイマの使用例



この例における再スタート後のマシニングロックサイクル数 "cyc" は、以下の式で求められます。

$$\text{cyc} = v - c + 1 = 100 - 90 + 1 = 11$$

v: リロード値, c: リロードカウンタ値

< 注意事項 >

SMR:UPCL ビットを "1" に設定することにより LIN-UART をリセットした場合にも、送信リロードカウンタは再スタートします。

自動再スタート (受信リロードカウンタのみ)

非同期モードでスタートビット立下りエッジが検出されると、受信リロードカウンタが再スタートします。この自動再スタート機能は、受信シフトレジスタを受信データに同期させるためのものです。

● カウンタのクリア

リセットすると、LIN-UART ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) のリロード値とリロードカウンタは "00_H" にクリアされ、リロードカウンタは停止します。

LIN-UART リセット (SMR:UPCL への "1" の書込み) により、カウンタ値は一時的に "00_H" にクリアされますが、リロード値は保持されているため、リロードカウンタは再スタートします。

再スタートの設定 (SMR:REST への "1" の書込み) では、リロードカウンタは、カウンタ値を "00_H" にクリアすることなく、再スタートします。

17.7 LIN-UART の動作説明と LIN-UART 設定手順例

LIN-UART は、動作モード 0/2 の双方向シリアル通信、動作モード 1 のマスタ/スレーブ通信、動作モード 3 の LIN マスタ/スレーブ通信で動作します。

■ LIN-UART の動作

● 動作モード

LIN-UART には、4 種類の動作モード (0 ~ 3) があり、表 17.7-1 に示すように、それぞれ CPU 間の接続方式やデータ転送方式が異なります。

表 17.7-1 LIN-UART の動作モード

動作モード		データ長		同期方式	ストップビット長	データビットフォーマット
		パリティなし	パリティあり			
0	ノーマルモード	7 ビットまたは 8 ビット		非同期	1 ビットまたは 2 ビット	LSB ファースト MSB ファースト
1	マルチプロセッサモード	7 ビットまたは 8 ビット +1*	-	非同期		
2	ノーマルモード	8 ビット		同期	なし, 1 ビット, 2 ビット	LSB ファースト
3	LIN モード	8 ビット	-	非同期	1 ビット	

∴ 使用不可

*: 「+1」は、マルチプロセッサモードにおける通信制御に使用されるアドレス / データ選択ビット (AD)

LIN-UART シリアルモードレジスタ (SMR) の MD0 と MD1 ビットにより、以下の LIN-UART の動作モードを選択します。

表 17.7-2 LIN-UART の動作モード

MD1	MD0	モード	種類
0	0	0	非同期 (ノーマルモード)
0	1	1	非同期 (マルチプロセッサモード)
1	0	2	同期 (ノーマルモード)
1	1	3	非同期 (LIN モード)

< 注意事項 >

- 動作モード 1 でマスタ/スレーブ接続されたシステムにおいて、マスタとスレーブいずれの動作にも対応しています。
- 動作モード 3 では、通信フォーマットは 8 ビットデータ、パリティなし、1 ストップビット、LSB ファーストに固定されます。
- 動作モードを切り換えた場合、すべての送受信動作は中止され、LIN-UART は次の送受信待ち状態になります。

■ CPU 間接続方式

CPU 間接続方式として、外部クロック 1 対 1 接続（ノーマルモード）とマスタ/スレーブ型接続（マルチプロセッサモード）のいずれかを選択することができます。どちらの方式でも、CPU はデータ長、パリティ設定、同期方式などをすべての CPU 間で統一しておく必要があります。CPU の動作モードは、次のように選択します。

- 1 対 1 接続： 2 つの CPU 間で動作モード 0、動作モード 2 のいずれかの同じ方式を採用する必要があります。非同期方式では動作モード 0、同期方式では動作モード 2 を選択してください。また、動作モード 2 では 1 つの CPU 側をシリアルクロック送信側へ、もう 1 つの CPU 側をシリアルクロック受信側へ設定してください。
- マスタ/スレーブ接続：動作モード 1 を選択します。CPU をマスタ/スレーブシステムとして使用してください。

■ 同期方式

非同期方式では、受信クロックは受信スタートビットの立下りエッジに同期します。同期方式では、受信クロックはシリアルクロック送信側のクロック信号、または送信側として動作する LIN-UART のクロック信号に同期させることができます。

■ 信号方式

NRZ(Non Return to Zero) 形式です。

■ 送受信許可

LIN-UART は、SCR:TXE ビットと SCR:RXE ビットによって、それぞれ送信と受信の動作を制御します。送信または受信を禁止するには、次の操作を実行します。

- 受信動作中に受信を禁止する場合、受信が終了するのを待ち、受信データレジスタ (RDR) を読み出してから、受信を禁止します。
- 送信動作中に送信を禁止する場合、送信が終了するのを待ってから、送信を禁止します。

■ 設定手順例

以下に、LIN-UART の設定手順例を示します。

● 初期設定

- 1) ポート入力 (DDR0) を設定します。
- 2) 割込みレベル (ILR1, ILR2) を設定します。
- 3) データ形式を設定し、送受信動作を許可します (SCR)。
- 4) 動作モードとボーレートを選択し、端子出力を許可します (SMR)。
- 5) ボーレートジェネレータ 1, 0 (BGR1, BGR0) を設定します。

17.7.1 非同期モード (動作モード 0, 1) の動作

LIN-UART を動作モード 0 (ノーマルモード), または動作モード 1 (マルチプロセッサモード) で使用する場合, 転送方式は非同期となります。

■ 非同期モードの動作

● 送受信データ形式

送受信データは必ずスタートビット ("L" レベル) で始まり, その後に指定されたデータビット長の送受信が行なわれ, 最後に少なくとも 1 ビットのストップビット ("H" レベル) で終了します。

ビット転送方向 (LSB ファーストまたは MSB ファースト) は, LIN-UART シリアルステータスレジスタ (SSR) の BDS ビットで決定されます。パリティありの場合は, パリティビットは常に最終データビットと最初のストップビットの間に配置されます。

動作モード 0 では, データ長は 7 ビットまたは 8 ビットです。パリティありを選択することができます。ストップビット長は, 1 ビットまたは 2 ビットから選択できます。

動作モード 1 では, データ長は 7 ビットまたは 8 ビットです。アドレス / データビットが付加され, パリティは付加されません。ストップビット長は, 1 ビットまたは 2 ビットから選択できます。

送受信フレームのビット長に関する式を, 以下に示します。

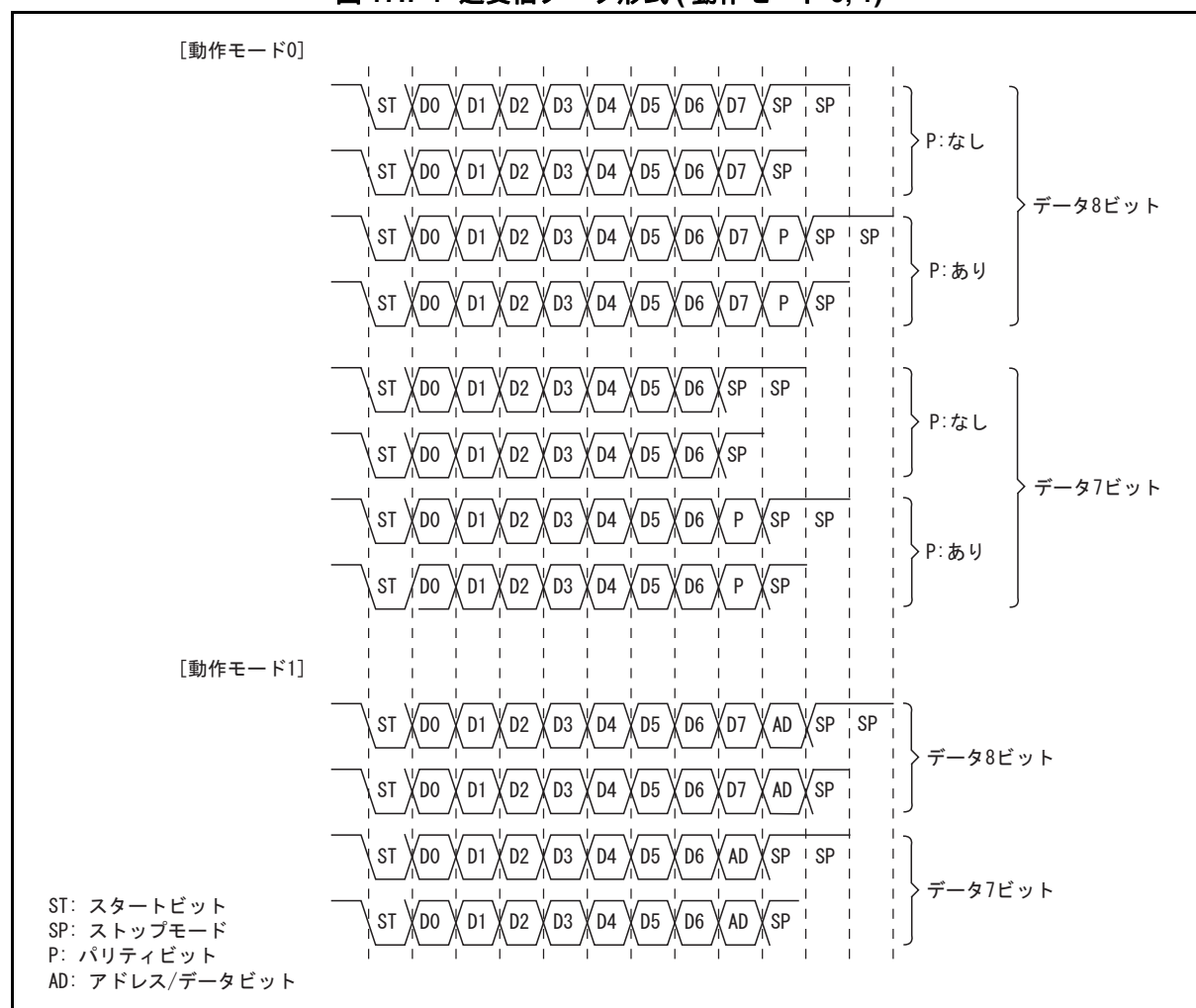
$$\text{長さ} = 1 + d + p + s$$

(d = データビット数 [7 または 8], p = パリティ [0 または 1],

s = ストップビット数 [1 または 2])

図 17.7-1 に, 非同期モード (動作モード 0 または 1) における送受信データ形式を示します。

図 17.7-1 送受信データ形式 (動作モード 0, 1)



< 注意事項 >

LIN-UART シリアルステータスレジスタ (SSR) の BDS ビットを "1" (MSB ファースト) に設定すると、ビットは D7, D6, ...D1, D0(P) の順序で処理されます。

● 送信

LIN-UART シリアルステータスレジスタ (SSR) の送信データレジスタエンプティフラグビット (TDRE) が "1" の場合には、LIN-UART 送信データレジスタ (TDR) に送信データを書き込むことができます。データを書き込むと、TDRE フラグは "0" となります。TDRE フラグが "0" になったときに送信が許可されていれば (SCR:TXE = 1), TDR に書き込まれたデータは送信シフトレジスタに書き込まれ、シリアルクロックの次のサイクルでスタートビットから順に送信が開始します。

送信割込みが許可されている場合 (TIE = 1) に、送信データが LIN-UART 送信データレジスタ (TDR) から送信シフトレジスタに転送されると、TDRE フラグが "1" に設定され、割込みが発生します。

データ長が 7 ビットに設定 (CL=0) されている場合、転送方向選択ビット (BDS) の設定 (LSB ファーストまたは MSB ファースト) にかかわらず、TDR レジスタの bit7 が不使用ビットになります。

< 注意事項 >

送信データエンプティフラグビット (SSR:TDRE) の初期値は "1" であるため、送信割込みが許可 (SSR:TIE=1) されると、直ちに割込みが発生します。

● 受信

受信が許可されていると (SCR:RXE=1), 受信動作を行います。スタートビットを検出すると、LIN-UART シリアル制御レジスタ (SCR) で定義されているデータ形式に従って 1 フレームデータの受信が行われます。エラーが発生した場合には、エラーフラグ (SSR:PE, ORE, FRE) が設定されます。1 フレームデータの受信が完了すると、受信データは受信シフトレジスタから LIN-UART 受信データレジスタ (RDR) へ転送され、受信データレジスタフルフラグビット (SSR:RDRF) が "1" に設定されます。このとき、受信割込み要求が既に許可 (SSR:RIE=1) されていれば、受信割込み要求が出力されます。

受信データを読み出す際には、まずエラーフラグの状態を調べて正常に受信が行われたことを確認し、受信が正常であれば、LIN-UART 受信データレジスタ (RDR) からデータを読み出してください。受信エラーが発生している場合には、エラー処理を行ってください。

受信データを読み出すと、受信データレジスタフルフラグビット (SSR:RDRF) がクリアされます。

データ長が 7 ビットに設定 (CL=0) されている場合、転送方向選択ビット (BDS) の設定 (LSB ファーストまたは MSB ファースト) にかかわらず、RDR レジスタの bit7 が不使用ビットになります。

< 注意事項 >

LIN-UART 受信データレジスタ (RDR) のデータは、受信データレジスタフルフラグビット (SSR:RDRF) が "1" に設定され、エラーが発生しなかった (SSR:PE, ORE, FRE=0) 場合に有効となります。

● 入力クロック

内部クロックまたは外部クロックを使用します。ボーレートについては、ボーレートジェネレータを選択してください (SMR:EXT=0 または 1, OTO=0)。

● ストップビットと受信バスアイドルフラグ

送信では、ストップビット数を 1 ビットまたは 2 ビットから選択することができます。2 ビットを選択した場合には、両方のストップビットが受信中に検出されます。

最初のストップビットが検出されると、受信データレジスタフルフラグ (SSR:RDRF) が "1" になります。その後スタートビットが検出されなければ、受信バスアイドルフラグ (ECCR:RBI) が "1" になり、受信動作がないことを示します。

● エラー検出

動作モード 0 では、パリティエラー、オーバランエラー、およびフレームエラーを検出することができます。

動作モード 1 では、オーバランエラーとフレームエラーを検出することができます。ただし、パリティエラーは検出できません。

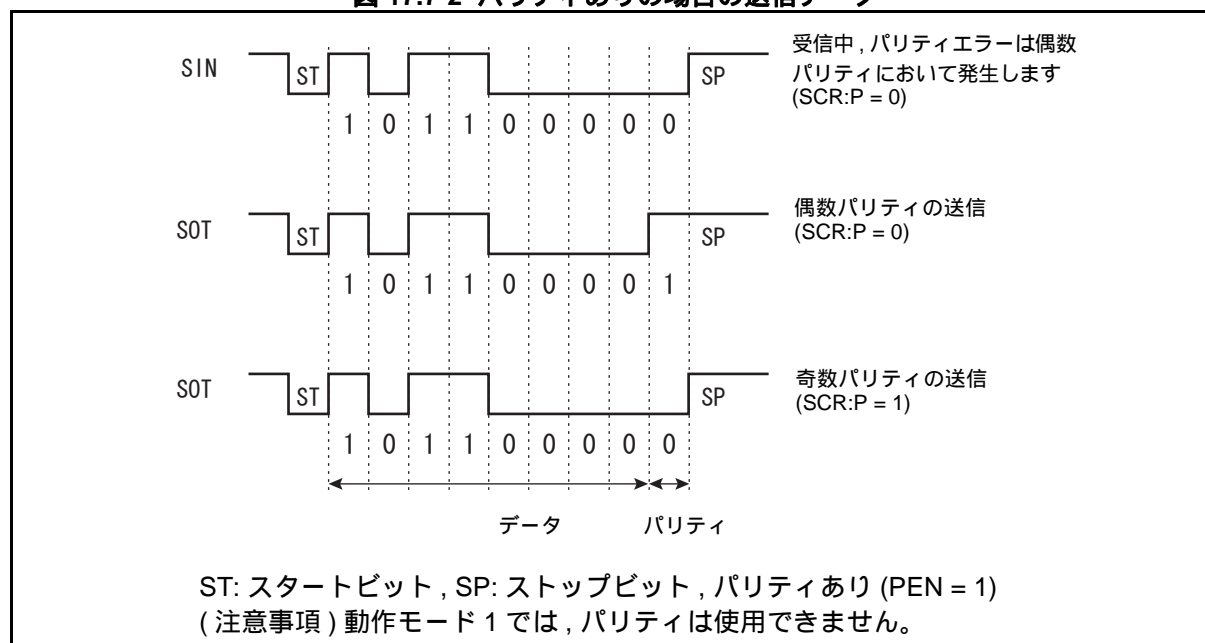
● パリティ

パリティビットの付加 (送信時) と検出 (受信時) の設定が可能です。

パリティ許可ビット (SCR:PEN) でパリティの有無を、パリティ選択ビット (SCR:P) で奇数 / 偶数パリティを選択できます。

動作モード 1 では、パリティは使用できません。

図 17.7-2 パリティありの場合の送信データ



● データ信号方式

NRZ データ形式です。

- データビット転送方式

データビット転送方式は、LSB ファーストまたは MSB ファーストが選択できます。

17.7.2 同期モード (動作モード 2) の動作

LIN-UART を動作モード 2(ノーマルモード) で使用する場合 , 転送方式はクロック同期転送となります。

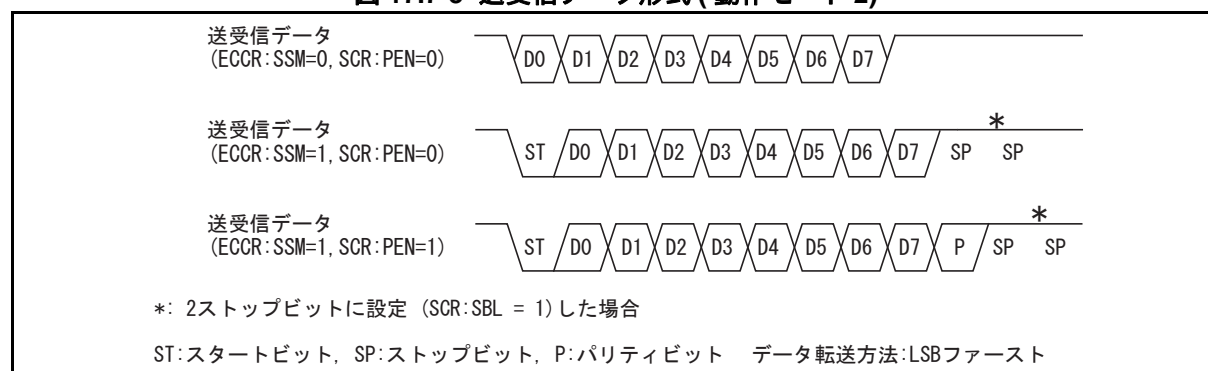
■ 同期モード (動作モード 2) の動作

● 送受信データ形式

同期モードでは , 8 ビットデータが送受信されます。データフォーマットは , スタートビットとストップビットの有無を選択することができます (ECCR:SSM)。また , スタート / ストップビットありの場合 (ECCR:SSM=1) は , パリティビットの有無も選択することができます (SCR:PEN)。

図 17.7-3 に , 同期モード (動作モード 2) におけるデータ形式を示します。

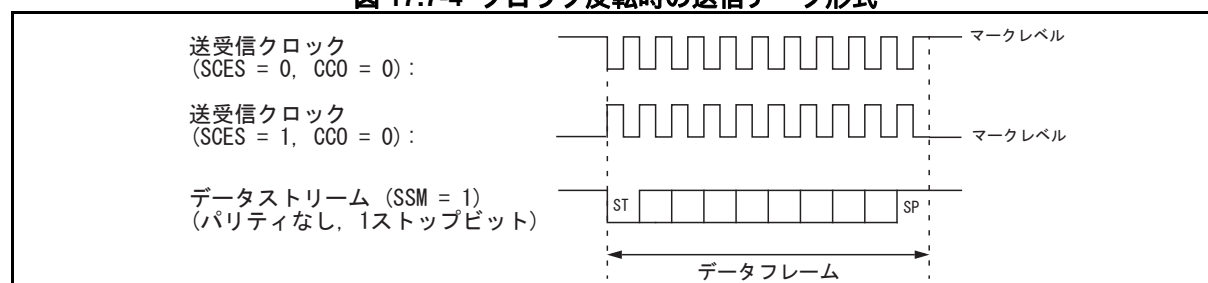
図 17.7-3 送受信データ形式 (動作モード 2)



● クロック反転機能

LIN-UART 拡張制御ステータスレジスタ (ECCR) の SCES ビットが "1" の場合 , シリアルクロックは反転します。シリアルクロック受信側が選択されている場合 , LIN-UART は受信したシリアルクロックの立下りエッジでデータをサンプリングします。シリアルクロック送信側が選択されている場合は , SCES ビットが "1" のとき , マークレベルが "0" になります。

図 17.7-4 クロック反転時の送信データ形式



● スタート / ストップビット

LIN-UART 拡張通信制御レジスタ (ECCR) の SSM ビットが "1" の場合は , 非同期モードと同様にスタートビットとストップビットがデータ形式に付加されます。

● クロックの供給

クロック同期モード (ノーマル) では, 送受信データビット数はクロックサイクル数と同じでなければなりません。スタート / ストップビットが許可されている場合は追加されたスタート / ストップビット分まで一致している必要があります。

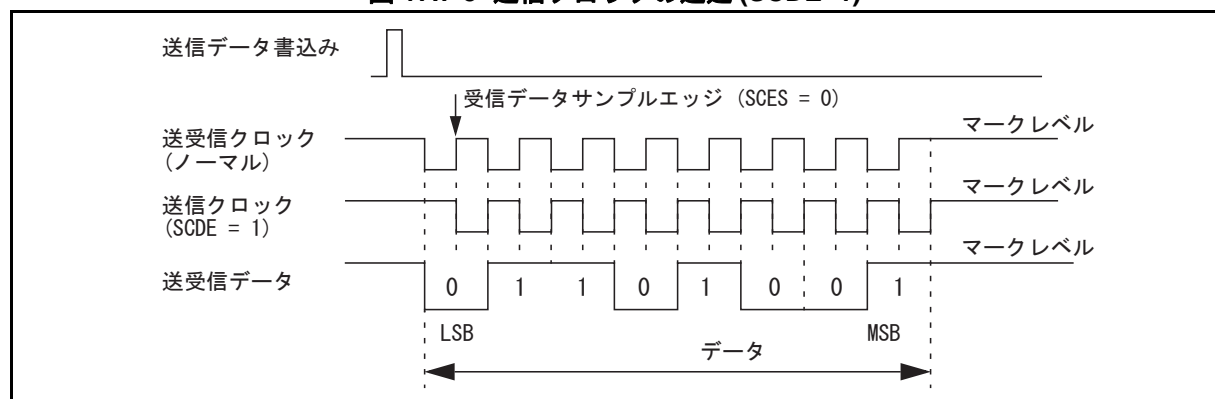
シリアルクロック送信側が選択されており (ECCR:MS = 0), シリアルクロック出力が許可されている (SMR:SCKE = 1) 場合は, 送受信中に同期クロックが自動的に出力されます。シリアルクロック受信側 (ECCR:MS = 1) が選択されているか, シリアルクロック出力が禁止されている (SMR:SCKE = 0) 場合は, 送受信データビット数と等しいクロックサイクルが, 外部クロック端子から供給される必要があります。

シリアルデータが送受信動作に関係ない場合には, クロック信号をマークレベル ("H") に保つ必要があります。

● クロックの遅延

ECCR の SCDE ビットに "1" を設定すると, 図 17.7-5 に示すような遅延した送信クロックが出力されます。この機能は, 受信側のデバイスが, シリアルクロックの立上りエッジまたは立下りエッジでデータをサンプリングする際に必要となります。

図 17.7-5 送信クロックの遅延 (SCDE=1)



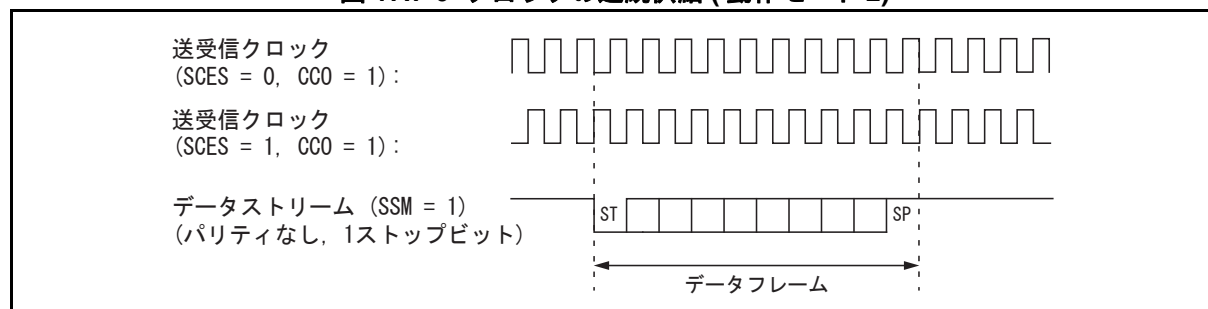
● クロックの反転

LIN-UART 拡張ステータスレジスタ (ESCR) の SCES ビットが "1" の場合, LIN-UART のクロックは反転し, 受信データは LIN-UART クロックの立下りエッジでサンプリングされます。このとき, LIN-UART クロックのエッジで送信 / 受信データの値が有効となる必要があります。

● クロックの連続供給

ESCR レジスタの CCO ビットが "1" のとき、シリアルクロック送信側に、SCK 端子からのシリアルクロック出力が連続供給されます。この場合は、データフレームの開始と終了を明確にするために、スタートビットとストップビットをデータ形式 (SSM = 1) に付加してください。図 17.7-6 に、クロックの連続供給動作 (動作モード 2) を示します。

図 17.7-6 クロックの連続供給 (動作モード 2)



● エラー検出

スタートビット / ストップビットが有効でない (ECCR:SSM=0) 場合は、オーバランエラーのみが検出されます。

● 同期モードの通信設定

同期モードで通信を行うためには、以下の設定が必要です。

- LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)
専用ボーレトリロードカウンタに必要な値を設定します。
- LIN-UART シリアルモードレジスタ (SMR)
MD1, MD0: "10_B" (モード 2)
SCKE : "1" - 専用ボーレトリロードカウンタを使用します
 : "0" - 外部クロックを入力します
SOE : "1" - 送受信を許可します
 : "0" - 受信のみを許可します
- LIN-UART シリアル制御レジスタ (SCR)
RXE, TXE: いずれかのビットを "1" に設定します。
AD : アドレス/データ形式選択機能は使用されないため、このビットの値は動作に影響を与えません。
CL : ビット長は自動的に 8 ビットに設定されるため、このビットの値は動作に影響を与えません。
CRE : "1" に設定した場合: エラーフラグがクリアされます。
- SSM = 0 の場合:
PEN, P, SBL: パリティビット、ストップビットも使用しないため、これら 3 ビットの値は動作に影響を与えません。

- SSM = 1 の場合 :

PEN : "1": パリティビットを付加 / 検出する "0": パリティビットを使用しない

P : "1": 奇数パリティ "0": 偶数パリティ

SBL : "1": ストップビット長 2 "0": ストップビット長 1

- LIN-UART シリアルステータスレジスタ (SSR)

BDS : "0" - LSB ファースト, "1" - MSB ファースト

RIE : "1" - 受信割込みを許可, "0" - 受信割込みを禁止

TIE : "1" - 送信割込みを許可, "0" - 送信割込みを禁止

- LIN-UART 拡張通信制御レジスタ (ECCR)

SSM : "0" - スタート / ストップビットを使用しない (通常)

: "1" - スタート / ストップビットを使用する (拡張機能)

MS : "0" - シリアルクロック送信側 (シリアルクロック出力)

: "1" - シリアルクロック受信側 (シリアルクロック送信側のデバイスからのシリアルクロックを入力)

< 注意事項 >

通信を開始するには, LIN-UART 送信データレジスタ (TDR) にデータを書き込んでください。

データのみを受信する場合は, シリアル出力を禁止 (SMR:SOE=0) してから, TDR レジスタにダミーデータを書き込んでください。

連続クロック出力を許可し, スタート/ストップビットを許可することにより, 非同期モードの場合と同様の双方向通信が可能となります。

17.7.3 LIN 機能 (動作モード 3) の動作

動作モード 3 において, LIN-UART は LIN マスタおよび LIN スレーブとして動作します。動作モード 3 では, 通信フォーマットは 8 ビットデータ, パリティなし, ストップビット 1, LSB ファーストに設定されます。

■ 非同期 LIN モード動作

● LIN マスタとしての動作

LIN モードでは, マスタがバス全体のボーレートを決定し, スレーブはマスタに同期します。

LIN-UART 拡張通信制御レジスタ (ECCR) の LBR ビットを "1" に設定すると, SOT 端子から "L" レベルが 13 ビット ~ 16 ビット出力されます。これらのビットは, LIN メッセージの開始を示す LIN synch break です。

ここで LIN-UART シリアルステータスレジスタ (SSR) の TDRE フラグビットは "0" になります。LIN synch break 後, TDRE ビットは "1" (初期値) になります。このとき SSR の TIE ビットが "1" であれば, 送信割込みが出力されます。

送信される LIN synch break の長さは ESCR の LBL0/LBL1 ビットによって, 下表のように設定されます。

表 17.7-3 LIN Synch Break 長

LBL0	LBL1	Synch break 長
0	0	13 ビット
1	0	14 ビット
0	1	15 ビット
1	1	16 ビット

LIN synch field は, LIN synch break の後にバイトデータ 0x55 として送信されます。送信割込みの発生を防ぐため, TDRE フラグビットが "0" であっても, ECCR の LBR ビットを "1" に設定した後で 0x55 を TDR に書き込みます。

● LIN スレーブとしての動作

LIN スレーブモードでは, LIN-UART はマスタのボーレートに同期する必要があります。受信が禁止 (RXE=0) されていても, LIN break 割込みが許可 (LBIE=1) されていれば, LIN-UART は受信割込みを発生します。受信割込みが発生するとき, ESCR の LBD ビットは "1" になります。

LBD ビットを "0" に設定すると, 受信割込み要求フラグがクリアされます。

以下では, LIN-UART の動作を例として, ボーレートの計算について説明します。LIN-UART が synch field の最初の立下りエッジを検出すると, 8/16 ビット複合タイマに入力される内部信号を "H" にして, 8/16 ビット複合タイマをスタートさせます。この内部信号は 5 回目の立下りエッジで "L" になります。8/16 ビット複合タイマは, インพุットキャプチャモードに設定されている必要があります。また, 8/16 ビット複合タイマ割込みを許可し, 両エッジを検出するように設定する必要があります。8/16 ビット複合タイマに入力信号が入力される時間は, ボーレートを 8 倍した値となります。

ボーレート設定は、以下の式で算出することができます。

8/16 ビット複合タイマのカウンタがオーバーフローしていない場合

$$: \text{BGR 値} = (b - a) / 8 - 1$$

8/16 ビット複合タイマのカウンタがオーバーフローした場合

$$: \text{BGR 値} = (\text{max} + b - a) / 8 - 1$$

最大: フリーランタイムの最大値

a: 1 回目の割込み後の TH0 データレジスタ値

b: 2 回目の割込み後の TH0 データレジスタ値

< 注意事項 >

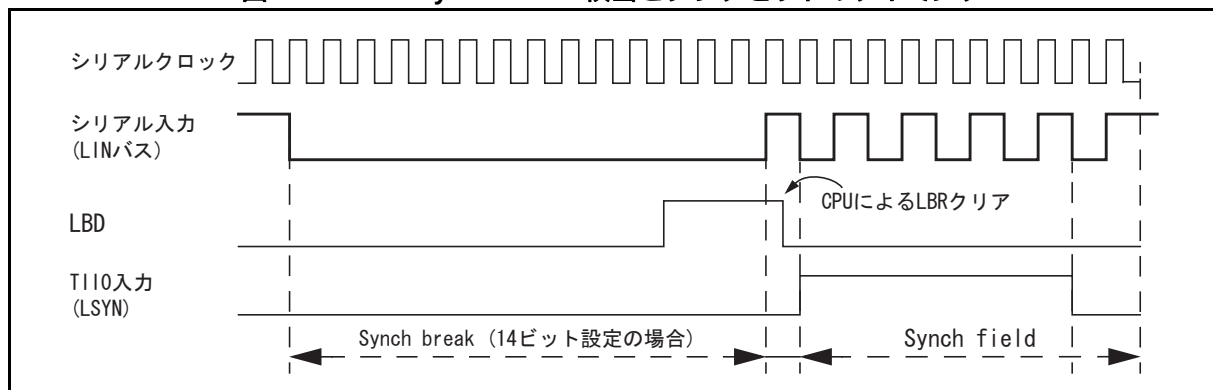
上記のように LIN スレーブモード時、Synch field で新たに計算された BGR 値にボーレートの $\pm 15\%$ 以上の誤差が生じた場合は、ボーレートの設定は行わないでください。

8/16 ビット複合タイマのインプットキャプチャ機能の動作については、「14.13 インプットキャプチャ機能の動作説明」を参照してください。

● LIN synch break 検出割込みとフラグ

スレーブモードにおいて LIN synch break が検出されると、ESCR の LIN break 検出 (LBD) フラグに "1" が設定されます。LIN break 割込みが許可されている場合 (LBIE = 1) は、割込みが発生します。

図 17.7-7 LIN Synch Break 検出とフラグセットのタイミング



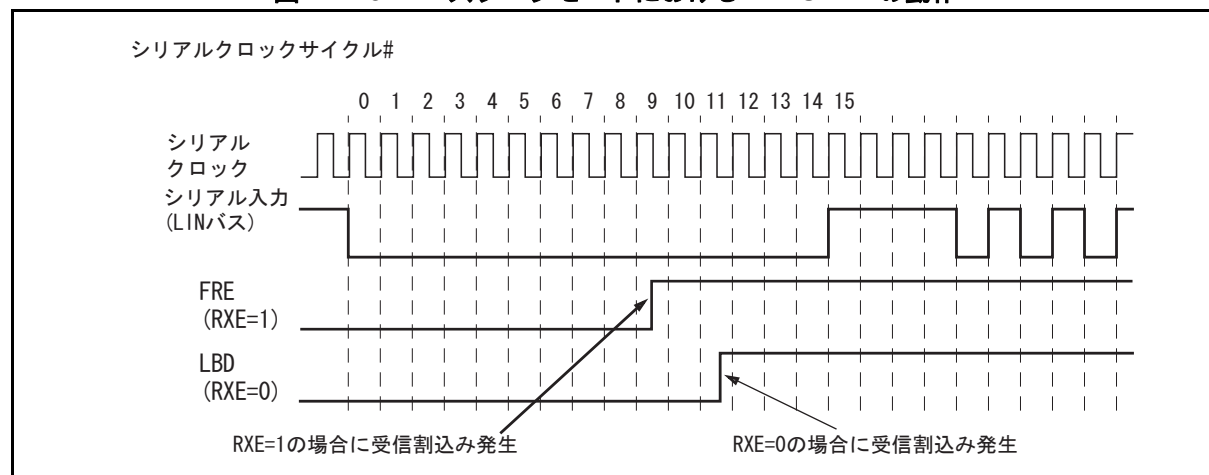
上図は LIN synch break 検出とフラグのタイミングを示しています。

SSR のデータフレーミングエラー (FRE) フラグビットは、LIN break 割込みよりも 2 ビット前に受信割込みを生成する (通信フォーマットが 8 ビットデータ、パリティなし、1 ストップビットである場合) ため、LIN break を使用する場合は、RXE を "0" に設定してください。

LIN synch break 検出は、動作モード 3 のみで機能します。

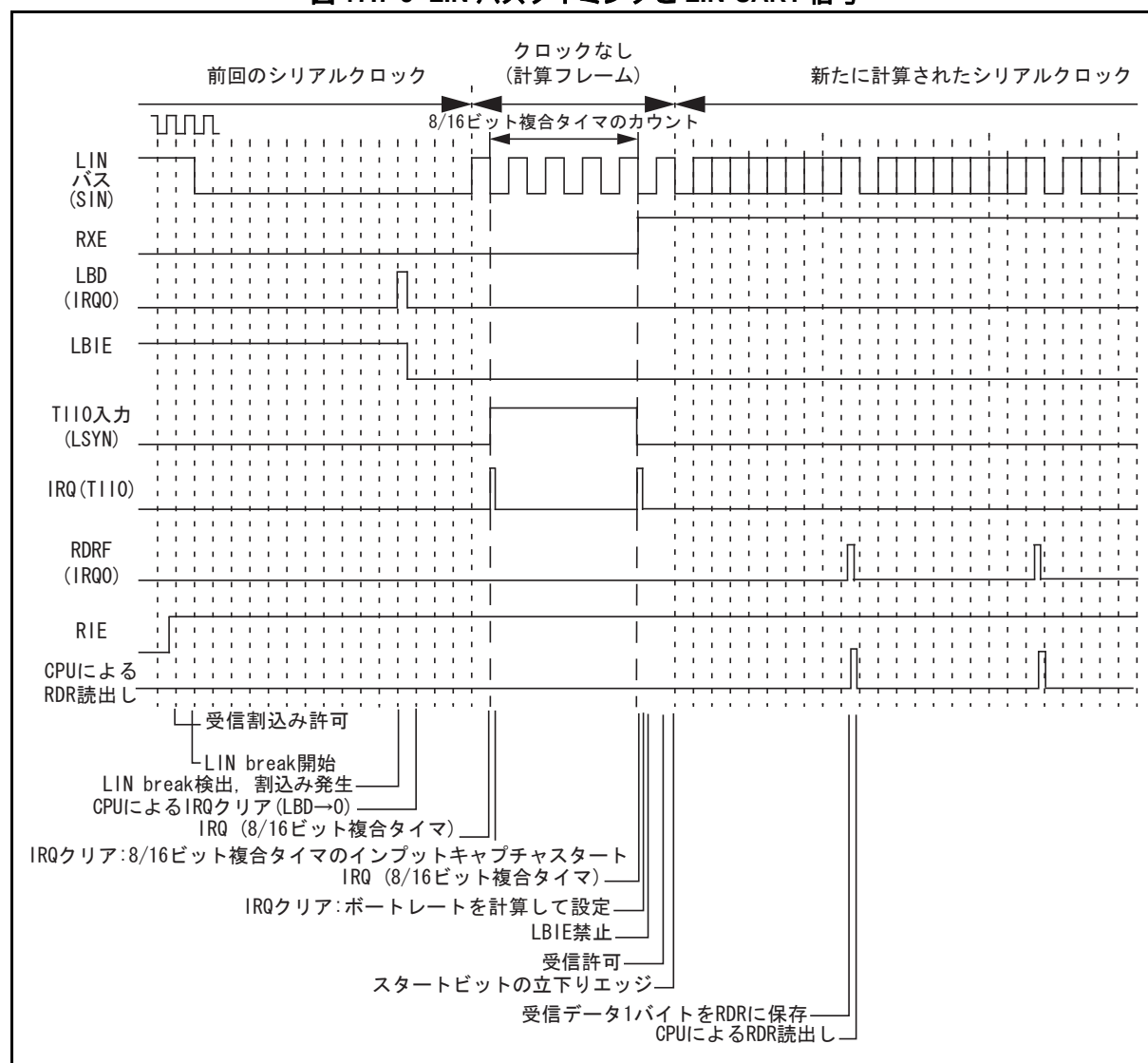
図 17.7-8 に、LIN スレーブモードにおける LIN-UART の動作を示します。

図 17.7-8 LIN スレープモードにおける LIN-UART の動作



● LIN バスタイミング

図 17.7-9 LIN バスタイミングと LIN-UART 信号



17.7.4 シリアル端子直接アクセス

送信端子 (SOT) および受信端子 (SIN) には、直接アクセスすることができます。

■ LIN-UART 端子直接アクセス

LIN-UART では、プログラマがシリアル入出力端子に直接アクセスすることが可能です。

シリアル入力端子 (SIN) の状態は、シリアル入出力端子直接アクセスビット (ESCR:SIOP) により読み出すことができます。

シリアル出力端子 (SOT) への直接書込みを可能 (ESCR:SOPE=1) にし、シリアル入出力端子直接アクセスビット (ESCR:SIOP) へ "0" または "1" を書き込んだ後、シリアル出力を許可 (SMR:SOE=1) にすると、シリアル出力端子 (SOT) の値を任意に設定できます。

LIN モードでは、送信したデータの読出しおよび、物理的な LIN バス線信号エラーが発生した場合のエラー処理にこの機能を使用できます。

< 注意事項 >

送信動作中ではない (送信シフトレジスタが空である) 場合のみ、直接アクセスが可能です。

送信を許可 (SMR:SOE=1) する前に、シリアル出力端子直接アクセスビット (ESCR:SIOP) に値を書き込んでください。これは、SIOP ビットが以前の値を保持しているために、予期せぬレベルの信号が出力されることを防ぐためです。

SIOP ビットに対しては、通常の読出しでは SIN 端子の値が読み出されますが、リードモディファイライト (RMW) 系命令では SOT 端子の値が読み出されます。

17.7.5 双方向通信機能 (ノーマルモード)

動作モード 0, 動作モード 2 では, 通常の双方向通信を行うことができます。動作モード 0 では非同期モード, 動作モード 2 では同期モードを選択できます。

■ 双方向通信機能

LIN-UART をノーマルモード (動作モード 0, 動作モード 2) で動作させるためには, 図 17.7-10 に示す設定が必要です。

図 17.7-10 LIN-UART の動作モード 0, 動作モード 2 の設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR, SMR	PEN	P	SBL	CL	AD	CRE	RXE	TXE	MD1	MD0	OTO	EXT	REST	UPCL	SCKE	SOE
モード 0	⊙	⊙	⊙	⊙	×	0	⊙	⊙	0	0	0	⊙	0	0	⊙	⊙
モード 2	⊕	⊕	⊕	+	×	0	⊙	⊙	1	0	⊙	⊙	0	0	⊙	⊙

	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE	変換データをセット (書込み時) 受信データを保持 (読み込み時)							
モード 0	⊙	⊙	⊙	⊙	⊙	⊙	⊙	⊙								
モード 2	⊕	⊙	⊕	⊙	⊙	⊙	⊙	⊙								

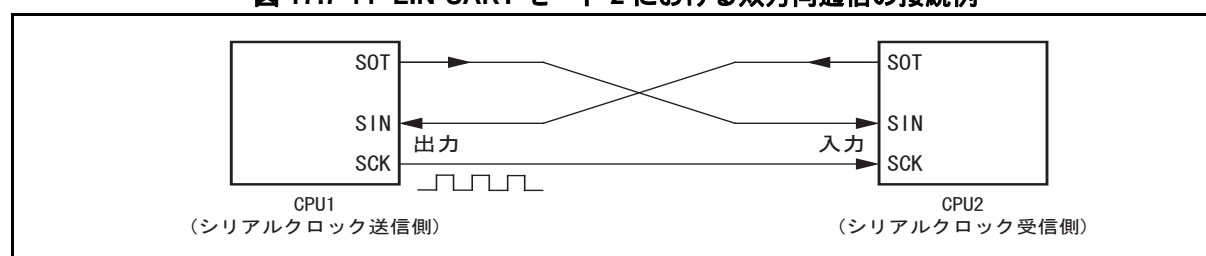
	LBIE	LBD	LBL1	LBL0	SOPE	SIOP	CCO	SCES	予約	LBR	MS	SCDE	SSM	予約	RBI	TBI
モード 0	×	×	×	×	⊙	⊙	0	0	0	0	×	×	×	0	⊙	⊙
モード 2	×	×	×	×	⊙	⊙	⊕	⊙	0	×	⊙	⊙	⊙	0	⊕	⊕

⊙ : 使用ビット
 × : 未使用ビット
 1 : "1" に設定
 0 : "0" に設定
 ⊕ : SSM = 1 (同期スタート / ストップビットモード) の場合に使用
 + : 自動的に正しい値が設定されます

● CPU 間接続

双方向通信を使用する場合は, 図 17.7-11 に示すように 2 つの CPU を接続します。

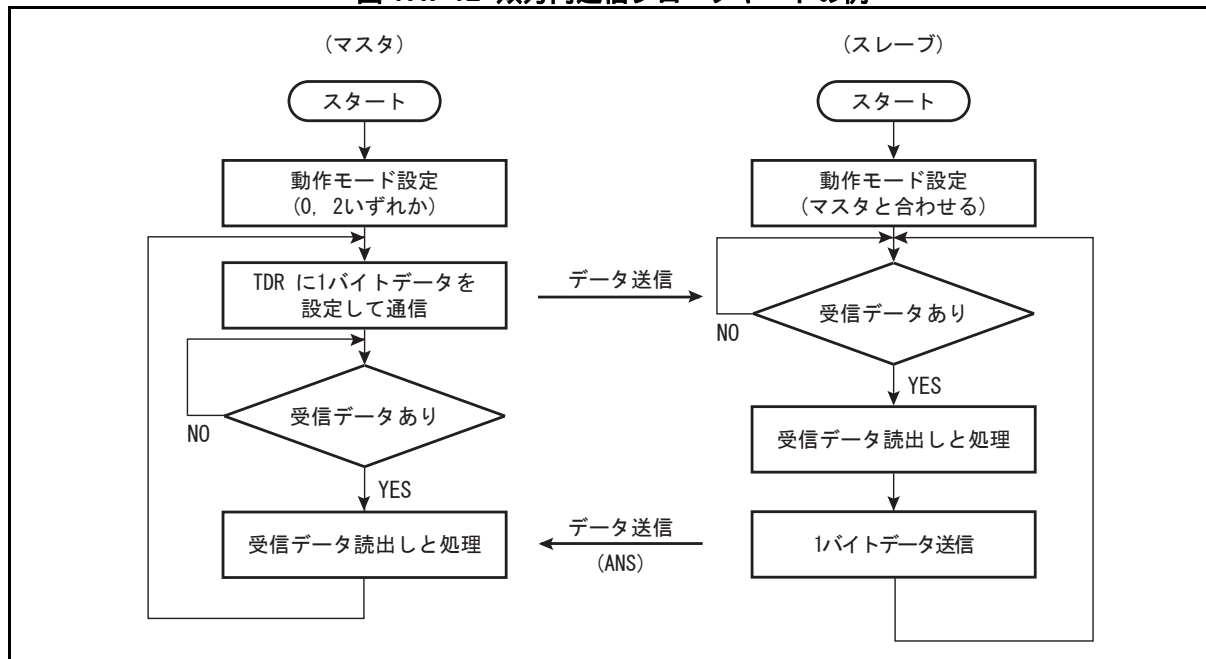
図 17.7-11 LIN-UART モード 2 における双方向通信の接続例



● 通信手順例

通信は送信側から、送信データの準備が完了次第開始されます。受信側は送信データを受け取った後に、定期的に ANS(例では 1 バイトごと) を返します。図 17.7-12 に、双方向通信のフローチャート例を示します。

図 17.7-12 双方向通信フローチャートの例



17.7.6 マスタ/スレーブ型通信機能 (マルチプロセッサモード)

動作モード 1 では、複数 CPU のマスタ/スレーブモード接続による通信が可能です。
LIN-UART はマスタまたはスレーブとして使用できます。

■ マスタ/スレーブ型通信機能

LIN-UART をマルチプロセッサモード (動作モード 1) で動作させるためには、図 17.7-13 に示す設定が必要です。

図 17.7-13 LIN-UART の動作モード 1 の設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR, SMR	PEN	P	SBL	CL	AD	CRE	RXE	TXE	MD1	MD0	OTO	EXT	REST	UPCL	SCKE	SOE
モード 1	+	×	⊙	⊙	⊙	0	⊙	⊙	0	1	0	⊙	0	0	⊙	⊙

	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE	比較データをセット (書き込み時) 受信データを保持 (読出し時)							
SSR, RDR1/TDR																
モード 1	×	⊙	⊙	⊙	⊙	⊙	⊙	⊙								

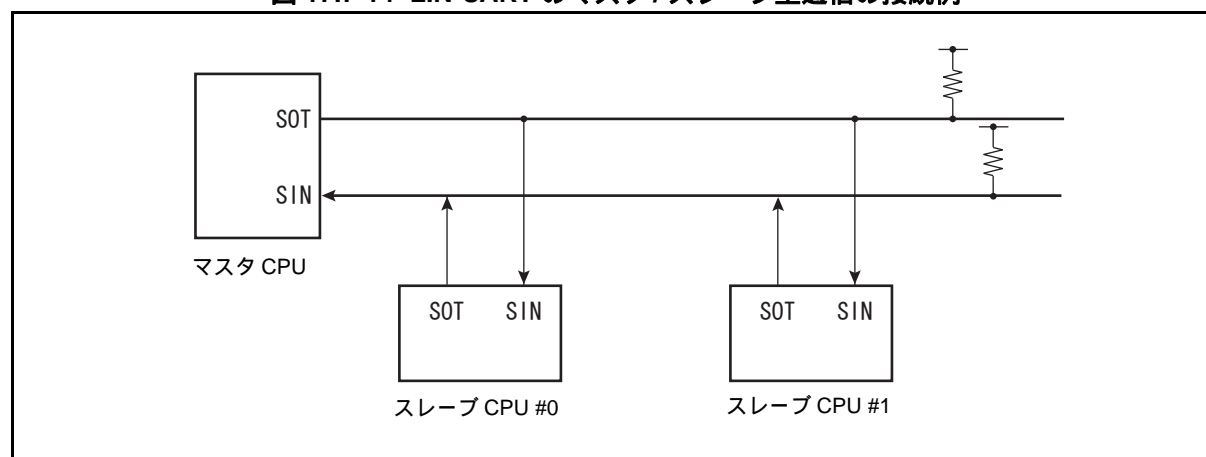
	LBIE	LBD	LBL1	LBL0	SOPE	SIOP	CCO	SCES	予約	LBR	MS	SCDE	SSM	予約	RBI	TBI
ESCR, ECCR																
モード 1	×	×	×	×	⊙	⊙	0	0	0	×	×	×	×	0	⊙	⊙

⊙ : 使用ビット
 × : 未使用ビット
 1 : "1" に設定
 0 : "0" に設定
 + : 自動的に正しい値が設定されます

● CPU 間接続

マスタ/スレーブ型通信では、通信システムは図 17.7-14 に示すように、1 つのマスタ CPU と複数のスレーブ CPU が 2 本の共通通信ラインで接続された構成となります。
LIN-UART はマスタまたはスレーブのどちらとしても使用することができます。

図 17.7-14 LIN-UART のマスタ/スレーブ型通信の接続例



● 機能の選択

マスタ/スレーブ型通信では、表 17.7-4 に示すように動作モードとデータ転送方式を選択してください。

表 17.7-4 マスタ/スレーブ型通信機能の選択

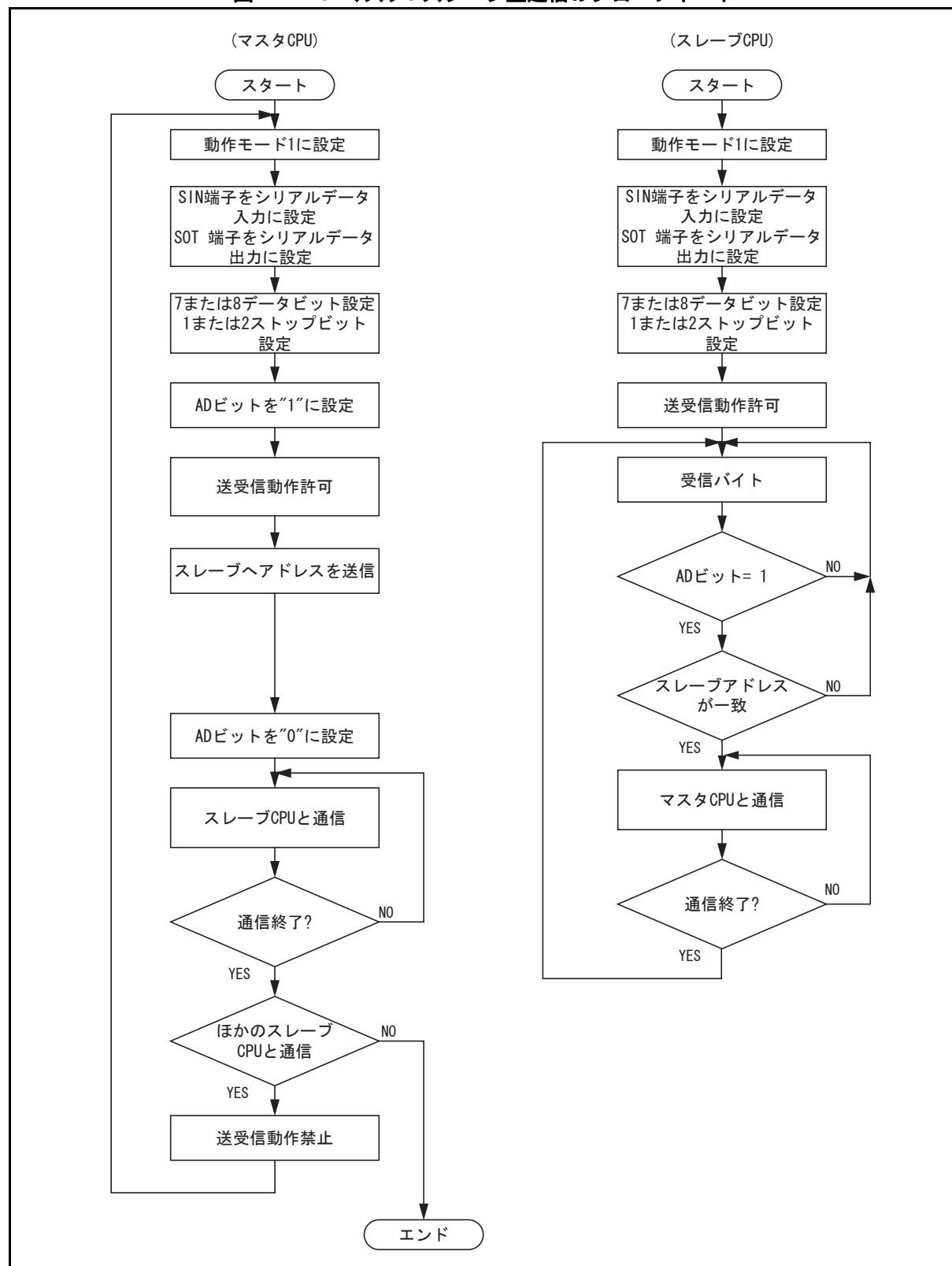
	動作モード		データ	パリティ	同期方式	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU					
アドレス送受信	モード 1 (送受信 AD ビット)	モード 1 (送受信 AD ビット)	AD = 1 + 7 ビットまたは 8 ビットアドレス	なし	非同期	1 ビット または 2 ビット	LSB ファースト または MSB ファースト
データ送受信			AD = 0 + 7 ビットまたは 8 ビットデータ				

● 通信手順

マスタ/スレーブ型通信は、マスタ CPU がアドレスデータを送信すると開始します。アドレスデータとは、AD ビットを "1" としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信をします。

図 17.7-15 に、マスタ/スレーブ型通信（マルチプロセッサモード）のフローチャートを示します。

図 17.7-15 マスタ/スレーブ型通信のフローチャート



MB95330H シリーズ

17.7.7 LIN 通信機能

LIN-UART 通信は、LIN デバイスを LIN マスタシステムまたは LIN スレーブシステムに使用できます。

■ LIN マスタ/スレーブ型通信機能

図 17.7-16 に、LIN-UART の LIN 通信モード (動作モード 3) に必要な設定を示します。

図 17.7-16 LIN-UART の動作モード 3(LIN) の設定

	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCR, SMR	PEN	P	SBL	CL	AD	CRE	RXE	TXE	MD1	MD0	OTO	EXT	REST	UPCL	SCKE	SOE
モード 3 →	+	x	+	+	x	0	⊙	⊙	1	1	0	⊙	0	0	⊙	⊙

	PE	ORE	FRE	RDRF	TDRE	BDS	RIE	TIE	変換データをセット (書き込み時) 受信データを保持 (読み込み時)							
SSR, RDR/TDR																
モード 3 →	x	⊙	⊙	⊙	⊙	+	⊙	⊙								

	LBIE	LBD	LBL1	LBL0	SOPE	SIOP	CCO	SCES	予約	LBR	MS	SCDE	SSM	予約	RBI	TBI
ESCR, ECCR																
モード 3 →	⊙	⊙	⊙	⊙	⊙	⊙	0	0	0	⊙	x	x	x	0	⊙	⊙

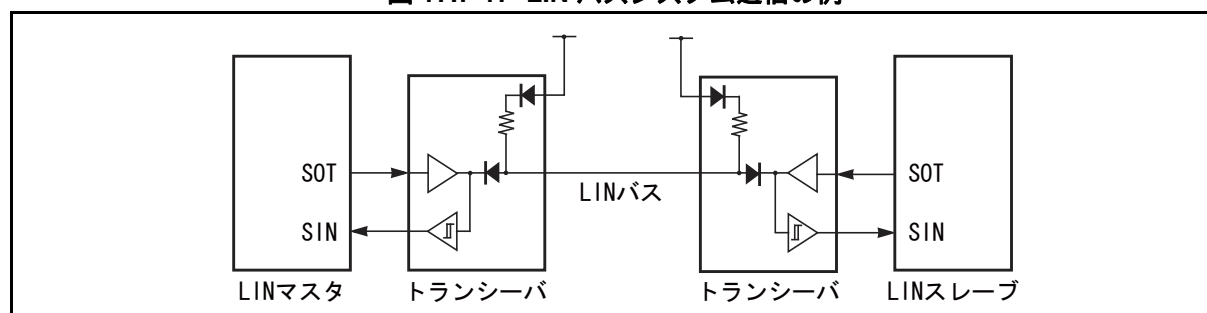
⊙ : 使用ビット
 x : 未使用ビット
 1 : "1" に設定
 0 : "0" に設定
 + : 自動的に正しい値が設定されます

● LIN デバイス接続

図 17.7-17 に、LIN バスシステムの通信例を示します。

LIN-UART は、LIN マスタまたは LIN スレーブとして動作することができます。

図 17.7-17 LIN バスシステム通信の例

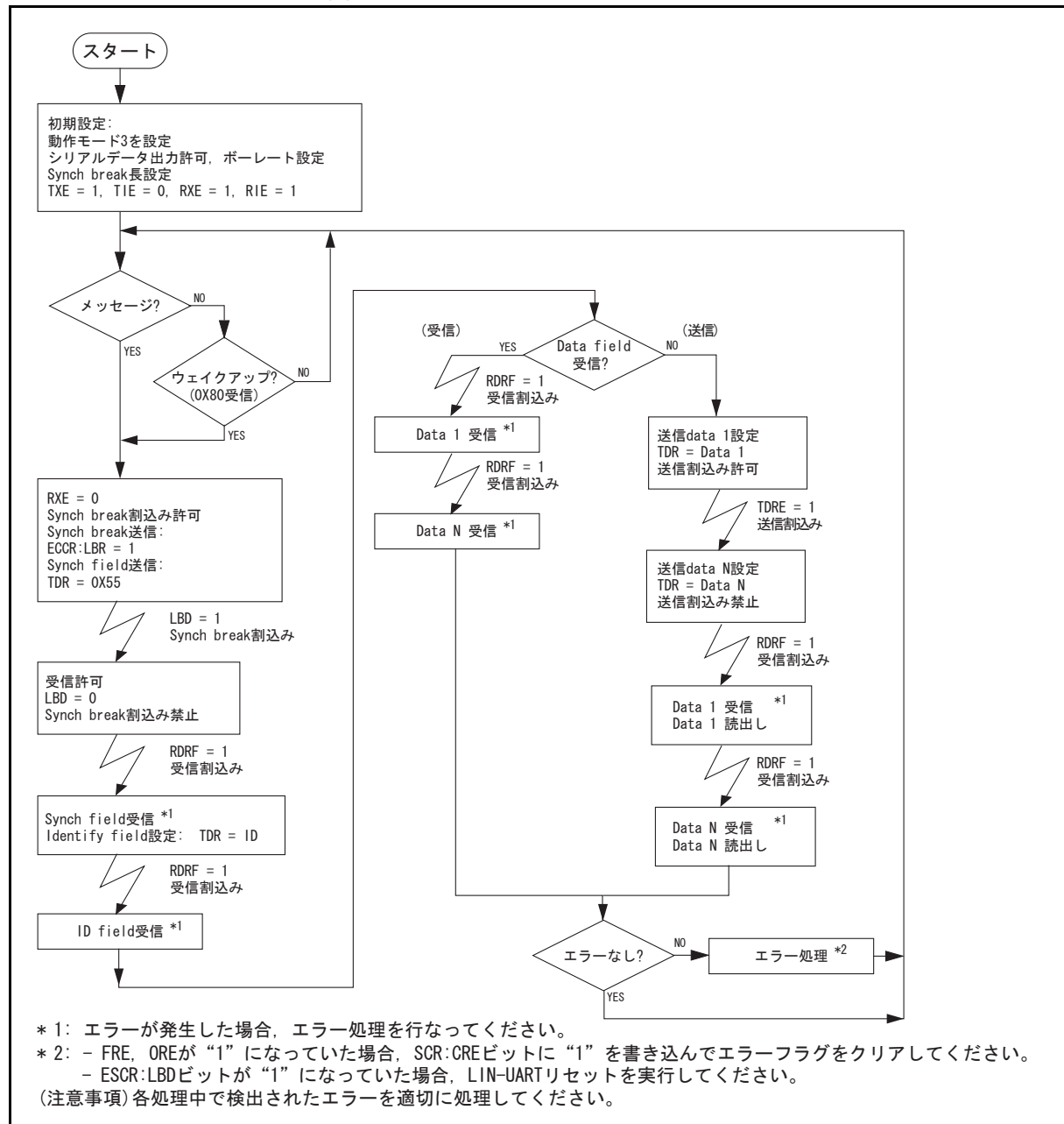


17.7.8 LIN-UART の LIN 通信フローチャートの例 (動作モード 3)

LIN-UART の LIN 通信フローチャート例を示します。

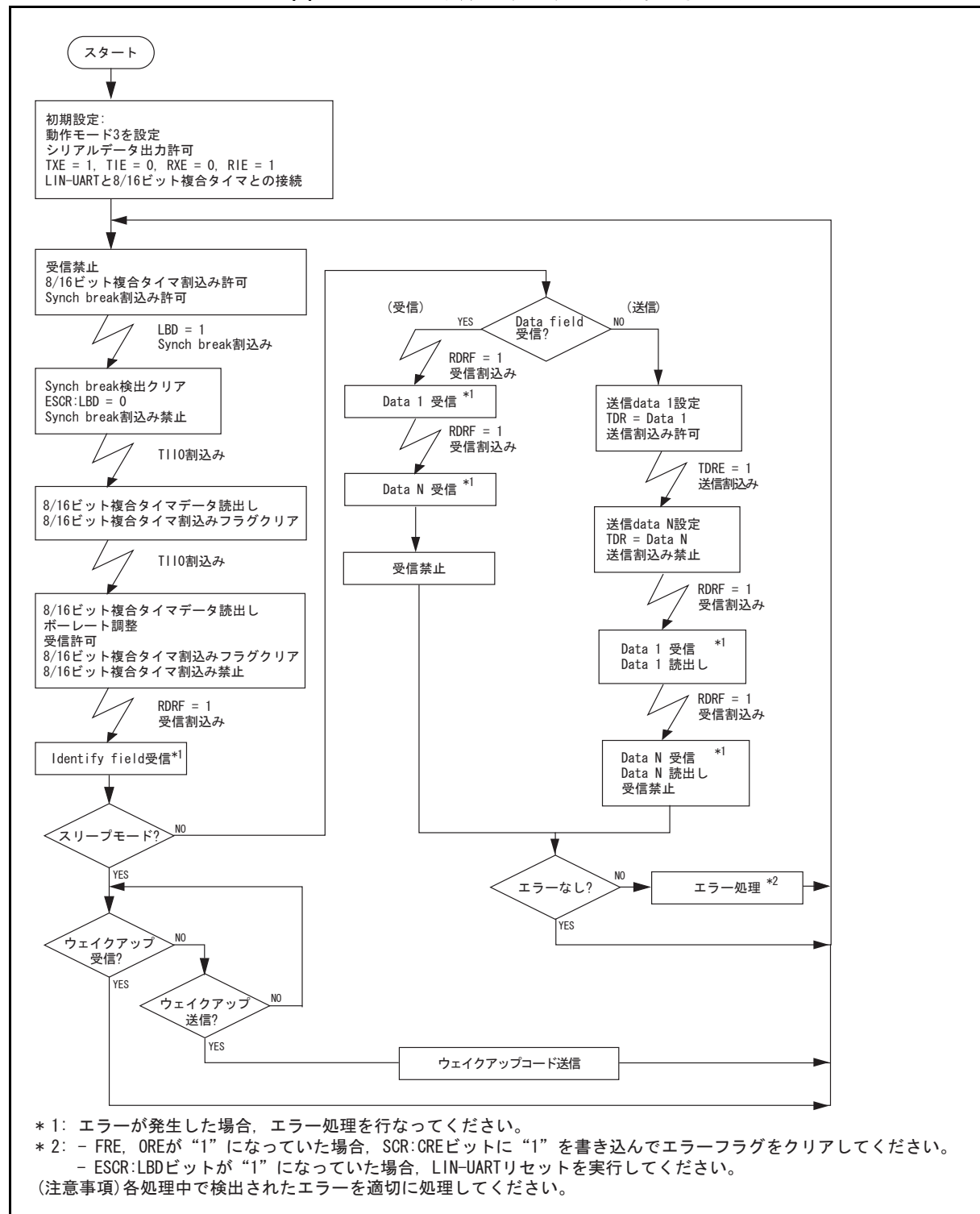
■ LIN マスタデバイス

図 17.7-18 LIN マスタのフローチャート



■ LIN スレーブデバイス

図 17.7-19 LIN スレーブのフローチャート



17.8 LIN-UART 使用上の注意

LIN-UART を使用する場合の注意点を示します。

■ LIN-UART 使用上の注意

● 動作の許可

LIN-UART には、それぞれ送信と受信を許可するための TXE ビットと RXE ビットが、LIN-UART シリアル制御レジスタ (SCR) にあります。デフォルト (初期値) では、送受信ともに禁止されているため、転送開始前には動作を許可する必要があります。また、必要に応じて動作禁止にして転送を中止することもできます。

● 通信モードの設定

通信モードの設定は、LIN-UART の動作停止中に行ってください。送信または受信中に通信モードを設定した場合は、モード設定時に送受信中であったデータは保証されません。

● 送信割込み許可のタイミング

送信データエンプティフラグビット (SSR:TDRE) はデフォルト (初期) 値が "1" (送信データなし、送信データ書込み許可) であるため、送信割込み要求が許可 (SSR:TIE=1) されると、直ちに送信割込み要求が発生します。送信割込み要求が発生するのを防ぐため、送信データ設定後には必ず TIE フラグビットを "1" に設定してください。

● 動作設定の変更

スタート/ストップビットの付加やデータ形式の変更など、動作設定を変更した後は LIN-UART をリセットしてください。

LIN-UART シリアルモードレジスタ (SMR) の設定と同時に、LIN-UART のリセット (SMR:UPCL = 1) を行っても、動作設定が正しいことを保証するものではありません。したがって、LIN-UART シリアルモードレジスタ (SMR) の設定を行った後は、再度 LIN-UART をリセットしてください。

● LIN 機能の使用

LIN 機能は動作モード 3 で使用可能です。このモードでは、通信フォーマットは 8 ビット長、パリティなし、1 ストップビット、LSB ファーストに固定されます。

LIN synch break の送信ビット長は可変ですが、検出ではビット長は 11 ビット固定となります。

● LIN スレーブ設定

LIN スレーブを開始するときは、LIN synch break の最小 13 ビット長を確実に検出するために、必ず最初の LIN synch break を受信する前にボーレートを設定してください。

● バスアイドル機能

バスアイドル機能は、同期モード (動作モード 2) では使用できません。

● AD ビット (LIN-UART シリアル制御レジスタ (SCR): アドレス / データ形式選択ビット)

AD ビットを使用する際には下記の点に注意してください。

AD ビットに書き込まれた値により、アドレス / データのどちらを送信するかが選択されます。AD ビットを読み出すと、最後に受信した AD ビットの値が読み出されます。マイクロコントローラの内部では、受信した AD ビット値と送信した AD ビット値が個別のレジスタに保存されます。

リードモディファイライト (RMW) 系命令を使用した場合は、送信した AD ビット値が読み出されます。このため、SCR レジスタのほかのビットにビットアクセスした場合、AD ビットに誤った値が書き込まれる可能性があります。

上記の理由により、AD ビットの設定は送信前の SCR レジスタへの最後のアクセス時に行う必要があります。SCR レジスタへの値の書き込み時には常にバイトアクセスすることで、上記の問題を防ぐことができます。

● LIN-UART ソフトウェアリセット

LIN-UART シリアル制御レジスタ (SCR) の TXE ビットが "0" のときに、LIN-UART ソフトウェアリセット (SMR:UPCL = 1) を実行してください。

● Synch Break 検出

動作モード 3 (LIN モード) 時に、シリアル入力が 11 ビット幅以上で "L" になると、拡張制御ステータスレジスタ (ESCR) の LBD ビットが "1" になり (synch break 検出)、LIN-UART は synch field 待ちとなります。このため、synch break 以外のところでシリアル入力が 11 ビット以上 "0" になった場合、LIN-UART は synch break が入力されたものと認識 (LBD = 1) し、synch field 待ちとなります。

この場合、LIN-UART リセット (SMR:UPCL = 1) を実行してください。

17.9 LIN-UART の設定例

LIN-UART の設定例を示します。

■ 設定方法の例

● 動作モードの選択方法

動作モード選択ビット (SMR:MD[1:0]) で行います。

動作モード		動作モード選択ビット (MD[1:0])
モード 0	非同期 (ノーマルモード)	"00 _B " に設定
モード 1	非同期 (マルチプロセッサモード)	"01 _B " に設定
モード 2	同期 (ノーマルモード)	"10 _B " に設定
モード 3	非同期 (LIN モード)	"11 _B " に設定

● 動作クロックの種類と動作クロックの選択方法

外部クロック選択ビット (SMR:EXT) で行います。

クロック入力	外部クロック選択ビット (EXT)
専用ボーレートジェネレータを選択するには	"0" に設定
外部クロックを選択するには	"1" に設定

● SCK 端子, SIN 端子, SOT 端子の制御方法

下記の設定で行います。

	LIN-UART
SCK 端子を入力端子として設定するには	DDR0:P02 = 0 SMR:SCKE = 0
SCK 端子を出力端子として設定するには	SMR:SCKE = 1
SIN 端子を使用するには	DDR0:P04 = 0
SOT 端子を使用するには	SMR:SOE = 1

● LIN-UART 動作の許可 / 禁止方法

受信動作許可ビット (SCR:RXE) で行います。

制御内容	受信動作許可ビット (RXE)
受信を禁止するには	"0" に設定
受信を許可するには	"1" に設定

送信動作制御ビット (SCR:TXE) で行います。

制御内容	送信動作制御ビット (TXE)
送信を禁止するには	"0" に設定
送信を許可するには	"1" に設定

● LIN-UART のシリアルクロックとして外部クロックを使用する方法

1 対 1 外部クロック入力許可ビット (SMR:OTO) で行います。

制御内容	1 対 1 外部クロック入力許可ビット (OTO)
外部クロックを許可するには	"1" に設定

● リロードカウンタの再スタート方法

リロードカウンタ再スタートビット (SMR:REST) で行います。

制御内容	リロードカウンタ再スタートビット (REST)
リロードカウンタを再スタートするには	"1" に設定

● LIN-UART の再スタート

LIN-UART プログラマブルクリアビット (SMR:UPCL) で行います。

制御内容	LIN-UART プログラマブルクリアビット (UPCL)
ソフトウェアリセットにより LIN-UART をリセットするには	"1" に設定

● パリティの設定方法

パリティ許可ビット (SCR:PEN) と、パリティ選択ビット (SCR:P) で行います。

動作	パリティ制御 (PEN)	パリティ極性 (P)
パリティなしにするには	"0" に設定	-
偶数パリティを使用するには	"1" に設定	"0" に設定
奇数パリティを使用するには	"1" に設定	"1" に設定

● データ長の設定方法

データ長選択ビット (SCR:CL) で行います。

動作	データ長選択ビット (CL)
ビット長を 7 ビットにするには	"0" に設定
ビット長を 8 ビットにするには	"1" に設定

● ストップビット長の選択方法

ストップビット長選択ビット (SCR:SBL) で行います。

動作	ストップビット長選択ビット (SBL)
ストップビット長を 1 ビットにするには	"0" に設定
ストップビット長を 2 ビットにするには	"1" に設定

● エラーフラグのクリア方法

受信エラーフラグクリアビット (SCR:CRE) で行います。

制御内容	受信エラーフラグクリアビット (CRE)
エラーフラグ (PE, ORE, FRE) をクリアするには	"1" に設定

● 転送方向の設定方法

転送方向選択ビット (SSR:BDS) で行います。

転送方向はどの動作モードでも、LSB ファーストと MSB ファーストの選択が可能です。

制御内容	転送方向選択ビット (BDS)
LSB ファーストを選択するには (最下位ビットから転送)	"0" に設定
MSB ファーストを選択するには (最上位ビットから転送)	"1" に設定

● 受信完了フラグのクリア方法

下記の設定で行います。

制御内容	方法
受信完了フラグをクリアするには	RDR レジスタを読み出す

RDR レジスタが読み出されると、受信が開始します。

● 送信バッファエンプティフラグのクリア方法

下記の設定で行います。

制御内容	方法
送信バッファエンプティフラグをクリアするには	TDR レジスタにデータを書き込む

TDR レジスタにデータが書き込まれると、送信が開始します。

● データ形式 (アドレス / データ) の選択方法 (モード 1 のみ)

アドレス / データ形式選択ビット (SCR:AD) で行います。

動作	アドレス / データ形式選択ビット (AD)
データフレームを選択するには	"0" に設定
アドレスフレームを選択するには	"1" に設定

この設定は、送信においてのみ有効です。受信では AD ビットは無視されます。

● ボーレートの設定方法

「17.6 LIN-UART のボーレート」を参照してください。

● 割込み関連レジスタ

割込みレベルは、下表に示す割込みレベル設定レジスタで設定します。

	割込みレベル設定レジスタ	割込みベクタ
受信	割込みレベルレジスタ (ILR1) アドレス : 0007A _H	#7 アドレス : 0FFEC _H
送信	割込みレベルレジスタ (ILR2) アドレス : 0007B _H	#8 アドレス : 0FFEA _H

● 割込みの許可 / 禁止 / クリア方法

割込み要求許可フラグ, 割込み要求フラグ

割込み要求許可ビット (SSR:RIE), (SSR:TIE) を使用して, それぞれ受信 / 送信割込みを許可します。

	UART 受信	UART 送信
	受信割込み許可ビット (RIE)	送信割込み許可ビット (TIE)
割込み要求を禁止するには	"0" に設定	
割込み要求を許可するには	"1" に設定	

割込み要求をクリアするには, 下記の設定で行います。

	UART 受信	UART 送信
割込み要求をクリアするには	<p>受信データレジスタフルフラグビット (RDRF) は, LIN-UART シリアル入力レジスタ (RDR) を読み出すことによりクリアされます。</p> <p>エラーフラグ (PE, ORE, FRE) は, エラーフラグクリアビット (CRE) を "1" に設定することにより, "0" になります。</p>	<p>送信データレジスタエンプティフラグビット (TDRE) は, LIN-UART シリアル出力データレジスタ (TDR) にデータを書き込むことにより, "0" に設定されます。</p>

第18章

8/10 ビット A/D コンバータ

8/10 ビット A/D コンバータの機能と動作について説明します。

- 18.1 8/10 ビット A/D コンバータの概要
- 18.2 8/10 ビット A/D コンバータの構成
- 18.3 8/10 ビット A/D コンバータの端子
- 18.4 8/10 ビット A/D コンバータのレジスタ
- 18.5 8/10 ビット A/D コンバータの割込み
- 18.6 8/10 ビット A/D コンバータの動作説明と設定手順例
- 18.7 8/10 ビット A/D コンバータ使用上の注意
- 18.8 8/10 ビット A/D コンバータの設定例

18.1 8/10 ビット A/D コンバータの概要

8/10 ビット A/D コンバータは、10 ビット逐次比較型の 8/10 ビット A/D コンバータです。複数のアナログ入力端子から 1 つの入力信号を選択し、ソフトウェアと内部クロックによって起動できます。

■ A/D 変換機能

A/D コンバータは、アナログ入力端子から入力されたアナログ電圧（入力電圧）を、8 ビットまたは 10 ビットのデジタル値に変換します。

- 入力信号は、複数のアナログ入力端子から選択することができます。
- 変換速度は、プログラマブルで設定可能です（動作電圧と周波数によって選択可能です）。
- A/D 変換が完了すると割込みが発生します。
- 変換完了は、ADC1 レジスタの ADI ビットで判断できます。

A/D 変換機能を起動するには、以下のいずれかの方法を使用します。

- ADC1 レジスタの AD ビットによる起動
- 8/16 ビット複合タイマ出力 TO00 による連続起動

MB95330H シリーズ

18.2 8/10 ビット A/D コンバータの構成

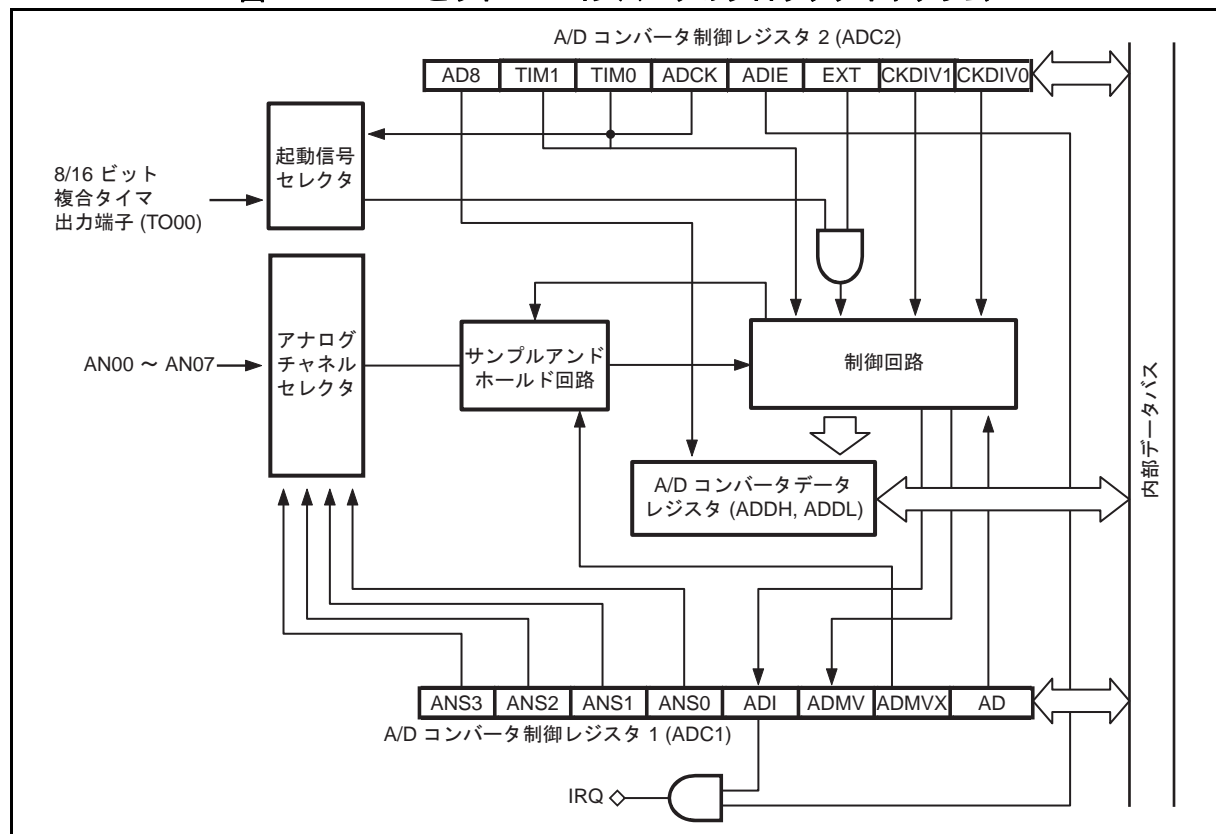
8/10 ビット A/D コンバータは、以下のブロックで構成されています。

- クロックセクタ (A/D 変換起動用入力クロックセクタ)
- アナログチャネルセクタ
- サンプルアンドホールド回路
- 制御回路
- A/D コンバータデータレジスタ (ADDH, ADDL)
- A/D コンバータ制御レジスタ 1 (ADC1)
- A/D コンバータ制御レジスタ 2 (ADC2)

■ 8/10 ビット A/D コンバータのブロックダイアグラム

図 18.2-1 に、8/10 ビット A/D コンバータのブロックダイアグラムを示します。

図 18.2-1 8/10 ビット A/D コンバータのブロックダイアグラム



● クロックセクタ

このセクタは、連続起動を許可 (ADC2: EXT=1) した状態で、A/D 変換クロックを選択します。

● アナログチャネルセクタ

このセクタは、複数のアナログ入力端子から入力チャネルを選択する回路です。

● サンプルアンドホールド回路

アナログチャネルセクタで選択された入力電圧を保持する回路です。この回路は、A/D 変換を起動した直後の入力電圧をサンプルホールドすることにより、A/D 変換中 (比較中) の入力電圧の変動の影響を受けずに変換できます。

● 制御回路

A/D 変換機能では、コンパレータからの電圧比較信号を基に、10 ビットの A/D データレジスタの値を、最上位ビット (MSB) から最下位ビット (LSB) に向かって順に決定します。A/D 変換が完了すると、A/D 変換機能は割込み要求フラグビット (ADC1: ADI) を "1" に設定します。

● A/D コンバータデータレジスタ (ADDH/ADDL)

10 ビットの A/D データの上位 2 ビットが ADDH レジスタに、下位 8 ビットが ADDL レジスタに格納されます。

AD 変換精度ビット (ADC2: AD8) を "1" にすると、AD 変換精度は 8 ビット精度となり、ADDL レジスタに 10 ビット A/D データの上位 8 ビットが格納されます。

● A/D コンバータ制御レジスタ 1 (ADC1)

A/D コンバータの各機能の許可と禁止、アナログ入力端子の選択、ステータスの確認を行うためのレジスタです。

● A/D コンバータ制御レジスタ 2 (ADC2)

入力クロックの選択、割込みの許可と禁止、複数の A/D 変換機能の制御を行うためのレジスタです。

■ 入力クロック

8/10 ビット A/D コンバータは、プリスケアラからの出力クロックを入力クロック (動作クロック) として使用します。

MB95330H シリーズ

18.3 8/10 ビット A/D コンバータの端子

8/10 ビット A/D コンバータの端子について説明します。

■ 8/10 ビット A/D コンバータの端子

MB95330H シリーズ は、アナログ入力端子を 8 チャンネル搭載しています。

アナログ入力端子は、汎用入出力ポートとしても使用されます。

● AN07 端子 ~ AN00 端子

AN07 ~ AN00: A/D 変換機能を使用する場合は、これらの端子に変換したいアナログ電圧を入力します。AN07 ~ AN00 の端子は、その端子に対応するポート方向レジスタ (DDR) の端子ビットを "0" に設定して、アナログ入力端子選択ビット (ADC1: ANS0 ~ ANS3) がその端子を示す値に設定されている場合は、アナログ入力端子として機能します。アナログ入力端子として使用されていない端子は、8/10 ビット A/D コンバータが使用されている場合も汎用入出力ポートとして使用することができます。

■ 8/10 ビット A/D コンバータの端子ブロックダイアグラム

図 18.3-1 8/10 ビット A/D コンバータの端子 AN00, AN01(P00/INT00/AN00, P01/INT01/AN01) ブロックダイアグラム

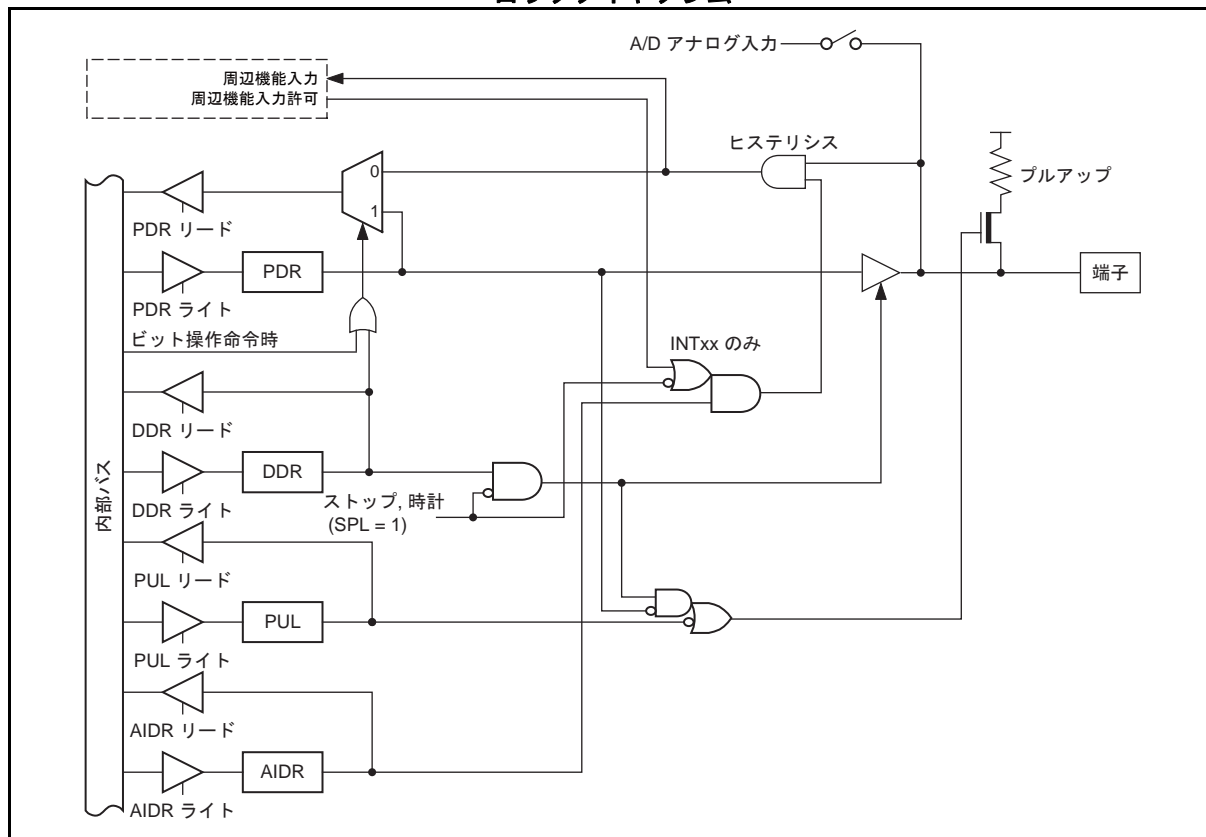


図 18.3-2 8/10 ビット A/D コンバータの端子 AN02, AN03, AN05(P02/INT02/AN02/SCK, P03/INT03/AN03/SOT, P05/INT05/AN05/TO00/HCLK2) ブロックダイアグラム

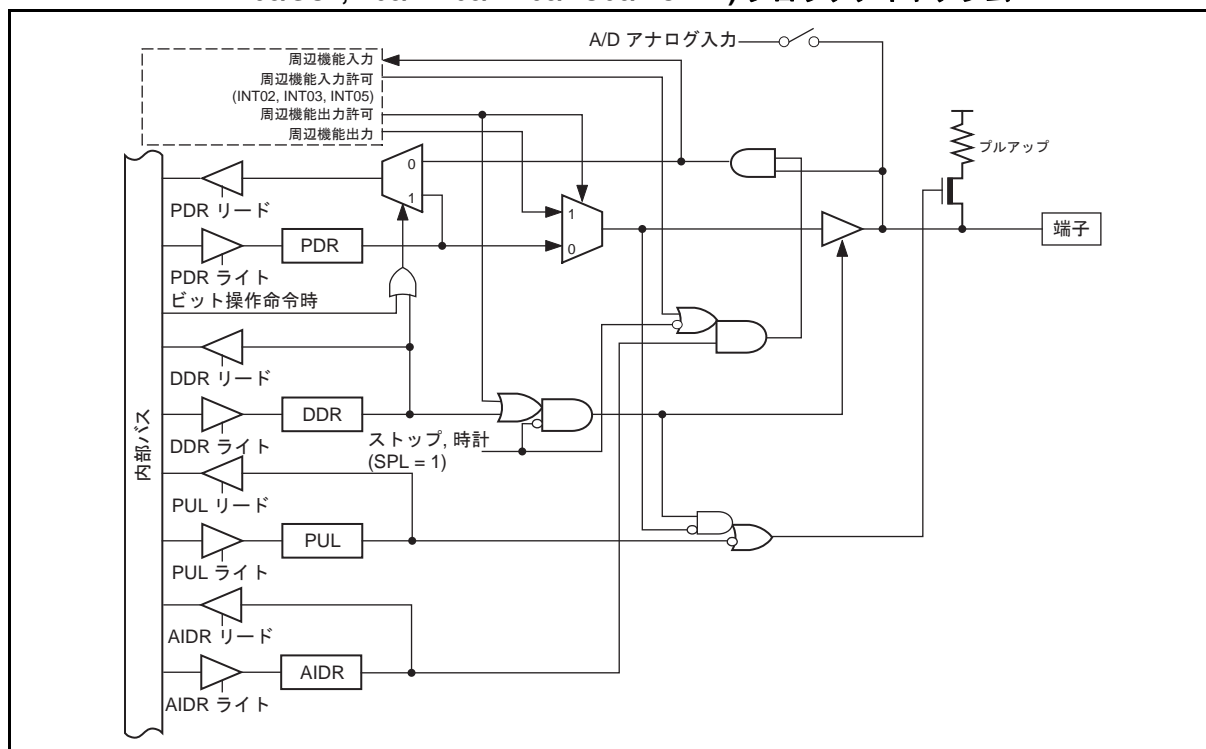
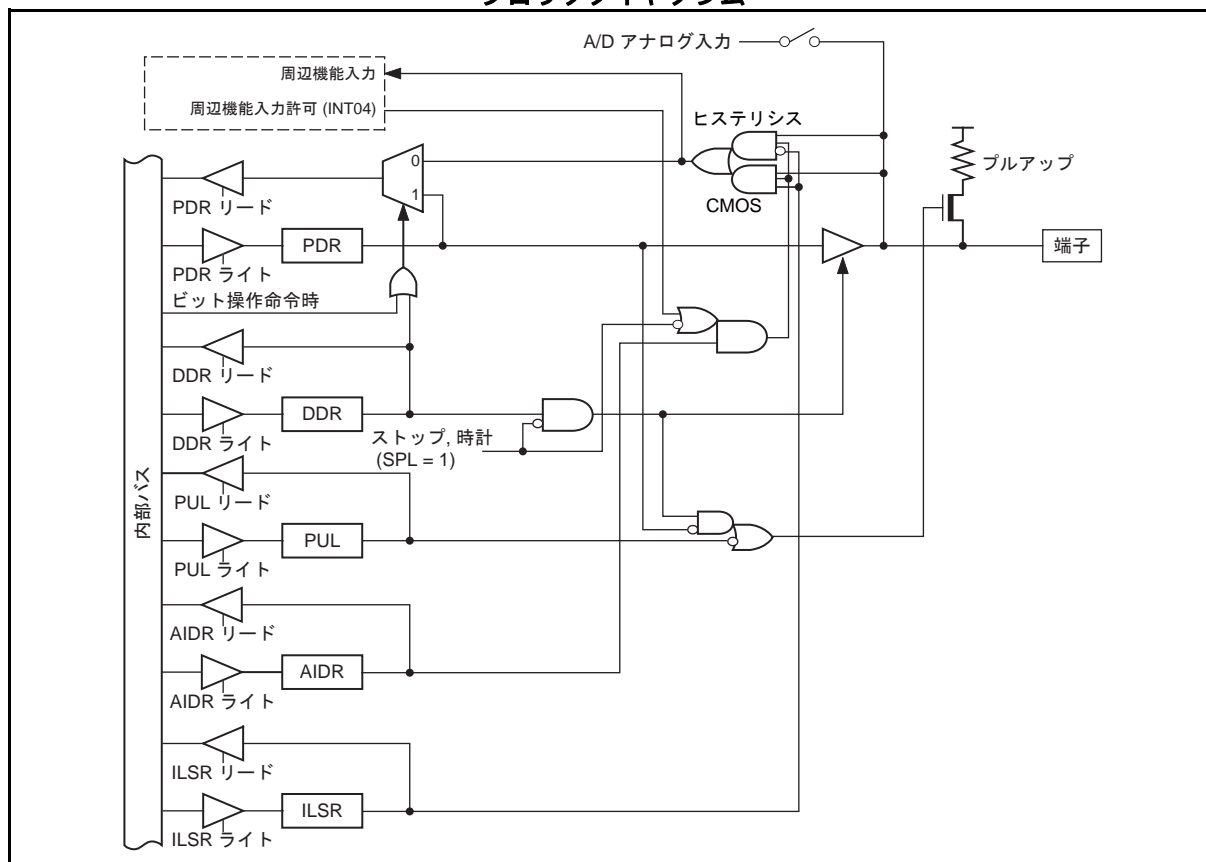


図 18.3-3 8/10 ビット A/D コンバータの端子 AN04 (P04/INT04/AN04/SIN/HCLK1/EC0) ブロックダイアグラム



The diagram illustrates the internal logic of the A/D converter peripheral circuit. On the left, the internal bus is connected to several registers: PDR (Programmable Data Register), DDR (Data Direction Register), PUL (Pulse Width Register), and AIDR (Analog Input Data Register). Each register has a read and a write control signal. The PDR and AIDR are also connected to the peripheral function input (周辺機能入力) and the interrupt input (INT07). The A/D analog input is connected to the hysteresis (ヒステリシス) and the output terminal. The output terminal is also connected to a pull-up resistor (プルアップ) and the output of a logic gate. The logic gates combine signals from the registers, the interrupt input, and the output of the hysteresis block to generate the final output and the interrupt signal (INTxxのみ).

MB95330H シリーズ

18.4 8/10 ビット A/D コンバータのレジスタ

8/10 ビット A/D コンバータには、A/D コンバータ制御レジスタ 1 (ADC1), A/D コンバータ制御レジスタ 2 (ADC2), A/D コンバータデータレジスタ上位 (ADDH), A/D コンバータデータレジスタ下位 (ADDL) の 4 つのレジスタがあります。

■ 8/10 ビット A/D コンバータのレジスタ

図 18.4-1 に、8/10 ビット A/D コンバータのレジスタを示します。

図 18.4-1 8/10 ビット A/D コンバータのレジスタ

8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006C _H	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	ADMVX	AD	00000000 _B
	R/W	R/W	R/W	R/W	R(RM1), W	R/WX	R/W	R0,W	

8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006D _H	AD8	TIM1	TIM0	ADCK	ADIE	EXT	CKDIV1	CKDIV0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

8/10 ビット A/D コンバータデータレジスタ上位 (ADDH)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006E _H	-	-	-	-	-	-	SAR9	SAR8	00000000 _B
	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R/WX	R/WX	

8/10 ビット A/D コンバータデータレジスタ下位 (ADDL)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006F _H	SAR7	SAR6	SAR5	SAR4	SAR3	SAR2	SAR1	SAR0	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	

R/W : リード / ライト可能 (読出し値は書込み値)

R(RM1), W : リード / ライト可能 (読出し値と書込み値が異なる , リードモディファイライト (RMW) 系
命令時は "1" 読出し)

R/WX : リードオンリ (読出しは可能 , 書込みは動作に影響なし)

R0, W : ライトオンリ (書込みは可能 , 読出し値は "0")

R0/WX : 読出し値は "0" , 書込みは動作に影響なし

- : 未定義ビット

18.4.1 8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)

8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1) は、8/10 ビット A/D コンバータの各機能の許可 / 禁止、アナログ入力端子の選択、およびコンバータの状態の確認を行うためのレジスタです。

■ 8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)

図 18.4-2 8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
006CH	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	ADMVX	AD	00000000B
	R/W	R/W	R/W	R/W	R(RM1),W	R/WX	R/W	R0,W	

→

AD

A/D 変換起動ビット

0

A/D 変換起動しない

1

A/D 変換起動する

→

ADMVX

電流遮断用アナログスイッチ制御ビット

0

変換中のみアナログスイッチ ON

1

常にアナログスイッチ ON

→

ADMV

変換中フラグビット

0

変換中ではない

1

変換中

→

ADI

割込み要求フラグビット

読出し時

書込み時

0

変換未終了

このビットのクリア

1

変換終了

"1" を書き込んでも ADI とほかのビットに影響はありません。

→

ANS3

ANS2

ANS1

ANS0

アナログ入力端子選択ビット

0

0

0

0

AN00 端子

0

0

0

1

AN01 端子

0

0

1

0

AN02 端子

0

0

1

1

AN03 端子

0

1

0

0

AN04 端子

0

1

0

1

AN05 端子

0

1

1

0

AN06 端子

0

1

1

1

AN07 端子

R/W

: リード/ライト可能 (読出し値は書込み値と同じとなります。)

R(RM1),W

: リード/ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は "1" 読出し)

R/WX

: リードオンリ (読出し可能。このビットに値を書き込んでも動作に影響はありません。)

R0,W

: ライトオンリ (書込み可能。読出し値は "0" となります。)

: 初期値

表 18.4-1 8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1) の各ビットの機能

ビット名		機能
bit7 ~ bit4	ANS3, ANS2, ANS1, ANS0: アナログ入力端子選 択ビット	これらのビットは, AN00 ~ AN07 から使用されるアナログ入力端子を選択しま す。 ソフトウェアにより A/D 変換が起動 (AD = 1) された場合は (ADC2: EXT = 0), これ らのビットを同時に変更することができます。 (注意事項)ADMV ビットが "1" の場合は, これらのビットを変更しないでくださ い。 アナログ入力端子として使わない端子は, 汎用ポートとして使用でき ます。
bit3	ADI: 割込み要求フラグ ビット	このビットは, A/D 変換の完了を検出します。 • A/D 変換機能を使用している場合は, このビットは A/D 変換の完了直後に "1" に 設定されます。 • このビットと割込み要求許可ビット (ADC2: ADIE) が "1" になったとき, 割込み 要求が出力されます。 • このビットに "0" を書き込むと, このビットはクリアされます。このビットに "1" を書き込んでこのビットは変化せず, 他のビットにも影響はありませ ん。 • リードモディファイライト (RMW) 系命令によりこのビットを読み出すと, "1" が読み出されます。
bit2	ADMV: 変換中フラグビット	このビットは, A/D 変換実行中であることを示します。 A/D 変換中, このビットの値は "1" となります。 このビットは読み出し専用です。このビットに値を書き込んで意味はなく, 動作に 影響はありません。
bit1	ADMVX: 電流遮断用アナログ スイッチ制御ビット	このビットは, 内部リファレンス電源を遮断するためのアナログスイッチを制御 します。 A/D 変換開始直後にはラッシュ電流が流れるため, Vcc 端子の外部インピーダン スが高い場合は, A/D 変換精度に影響が生じることがあります。A/D 変換起動前に このビットを "1" にすることにより, この影響を回避することができます。また, 消費電流を抑えるため, スタンバイモードに移行する前にはこのビットを "0" に 設定してください。
bit0	AD: A/D 変換起動ビット	このビットは, ソフトウェアにより A/D 変換機能を起動します。 このビットを "1" に設定すると, A/D 変換機能が起動します。 (注意事項) このビットに "0" を書き込んで, A/D 変換機能の動作を停止させる ことはできません。読み出し値は常に "0" となります。 EXT = 1 のとき, このビットによる A/D 変換の起動は禁止されます。 EXT = 0 の状態で, A/D 変換実行中にこのビットに "1" を書き込むと, A/D 変換は 再起動します。

18.4.2 8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)

8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2) は、8/10 ビット A/D コンバータの各機能の制御、入力クロックの選択、および割込みの許可 / 禁止を行うためのレジスタです。

■ 8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)

図 18.4-3 8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)

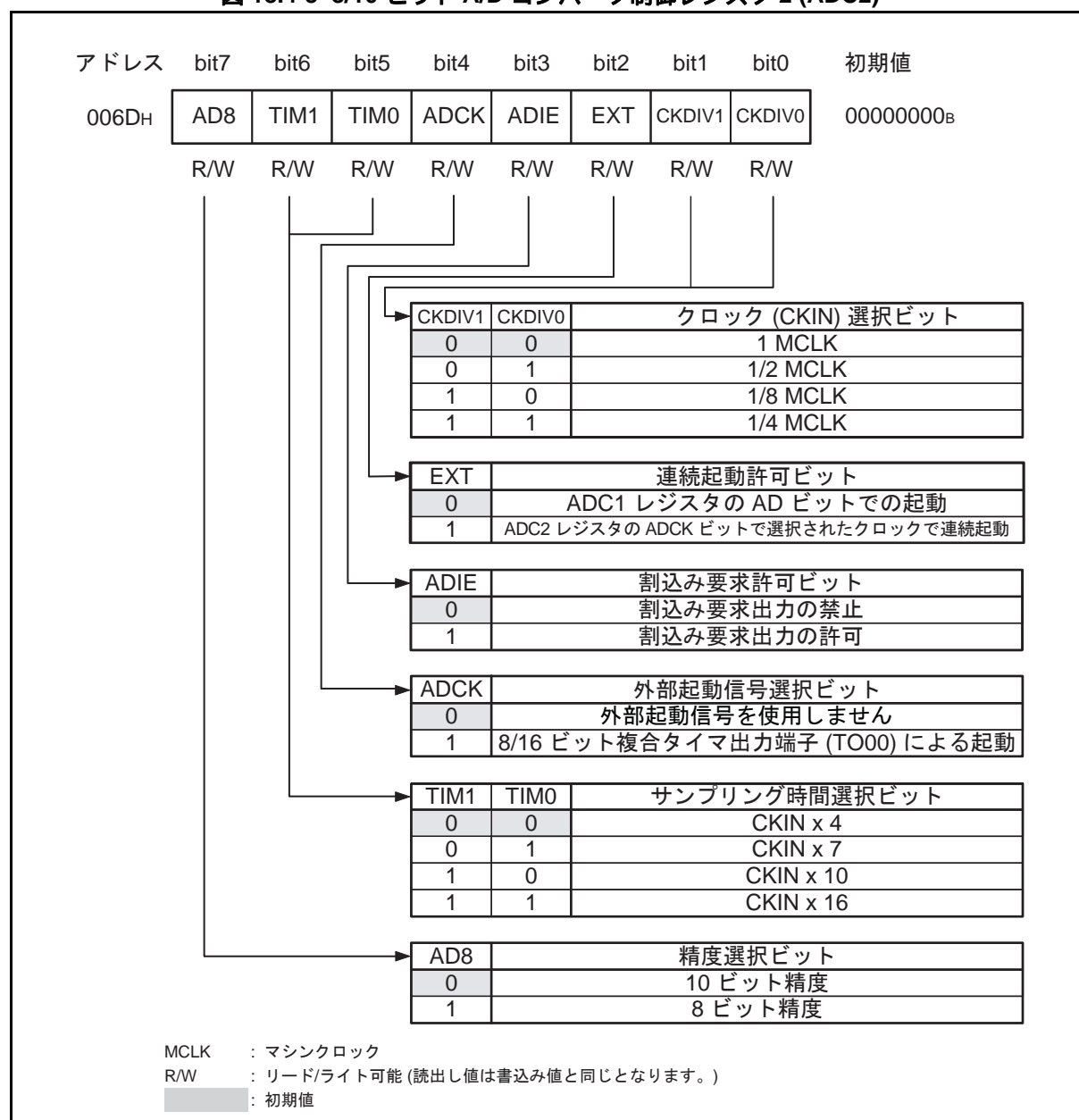


表 18.4-2 8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2) の各ビットの機能

ビット名		機能
bit7	AD8: 精度選択ビット	このビットは、A/D 変換の分解能を選択します。 "0" に設定した場合：10 ビット精度が選択されます。 "1" に設定した場合：8 ビット精度が選択されます。ADDL レジスタを読み出すことにより、8 ビットデータを取得することができます。 (注意事項) 選択された分解能によって、使用するデータビットが異なります。 このビットの変更は、A/D コンバータの動作が停止しているときにのみ行ってください。
bit6, bit5	TIM1, TIM0: サンプリング時間選択ビット	これらのビットは、サンプリング時間を設定します。 ・動作条件 (電圧と周波数) に従ってサンプリング時間を変更してください。 ・CKIN の値はクロック選択ビット (ADC2: CKDIV1, CKDIV0) によって決まります。 (注意事項) これらのビットの変更は、A/D コンバータの動作が停止しているときにのみ行ってください。
bit4	ADCK: 外部起動信号選択ビット	このビットは、外部起動時の起動信号を選択します (ADC2: EXT = 1)。
bit3	ADIE: 割込み要求許可ビット	このビットは、割込みコントローラへの割込みの出力を許可または禁止します。 ・このビットと割込み要求フラグビット (ADC1: ADI) が "1" のとき、割込み要求が出力されます。
bit2	EXT: 連続起動許可ビット	このビットは、A/D 変換機能の起動をソフトウェアによって行うか、入力クロックの立上りエッジ検出で連続的に行うかを選択します。
bit1, bit0	CKDIV1, CKDIV0: クロック選択ビット	これらのビットは、A/D 変換に使用するクロックを選択します。入力クロックはプリスケラにより生成されます。詳細については、第 6 章 クロック制御部を参照してください。 ・サンプリング時間は、これらのビットで選択されたクロックによって異なります。 ・動作条件 (電圧と周波数) に従って、これらのビットを変更してください。 (注意事項) これらのビットの変更は、A/D コンバータの動作が停止しているときにのみ行ってください。

18.4.3 8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL)

8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL) は、10 ビット A/D 変換中に、10 ビット A/D 変換結果を格納します。

10 ビットデータの上位 2 ビットが ADDH レジスタに、下位 8 ビットが ADDL レジスタに格納されます。

■ 8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL)

図 18.4-4 8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL)

ADDH	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス 006E _H	-	-	-	-	-	-	SAR9	SAR8	00000000 _B
	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R/WX	R/WX	
ADDL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス 006F _H	SAR7	SAR6	SAR5	SAR4	SAR3	SAR2	SAR1	SAR0	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
R/WX	: リードオンリ (読出しは可能, 書込みは動作に影響なし)								
R0/WX	: 読出し値は "0", 書込みは動作に影響なし								
-	: 未定義ビット								

10 ビットの A/D データのうち、上位 2 ビットが ADDH レジスタの bit1 と bit0 に対応し、下位 8 ビットが ADDL レジスタの bit7 ~ bit0 に対応します。

ADC2 レジスタの AD8 ビットに "1" が設定されている場合は、8 ビット精度が選択されます。ADDL レジスタを読み出すことにより、8 ビットデータを取得することができます。

これらのレジスタは読出し専用です。データを書き込んでも動作に影響はありません。

8 ビット精度が選択された A/D 変換では、ADDH レジスタの SAR8 と SAR9 は "0" になります。

● A/D 変換機能

A/D 変換を起動すると、レジスタ設定による変換時間の経過後に変換結果が確定し、ADDH レジスタと ADDL のレジスタに格納されます。A/D 変換完了後、次の A/D 変換が完了する前に、A/D データレジスタ (変換結果) を読み出し、ADC1 レジスタの ADI フラグビット (bit 3) をクリアしてください。A/D 変換中、ADDH レジスタと ADDL レジスタの値は、前回の

A/D 変換結果となります。

18.5 8/10 ビット A/D コンバータの割込み

8/10 ビット A/D コンバータの割込み要因には、A/D 変換機能動作時の変換終了があります。

■ 8/1 ビット A/D コンバータ動作中の割込み

A/D 変換が完了すると、割込み要求フラグビット (ADC1: ADI) が "1" になります。このとき割込み要求許可ビットが許可になっていると (ADC2: ADIE = 1), 割込みコントローラへの割込み要求が発生します。割込み要求をクリアするには、割込み処理ルーチンなどで ADI ビットに "0" を書き込んでください。

ADI ビットは、ADIE ビットの値に関係なく、A/D 変換が完了すると "1" に設定されます。

割込み要求フラグビット (ADC1: ADI) が "1" で、割込み要求が許可されている場合 (ADC2: ADIE = 1) は、CPU は割込み処理から復帰することができません。必ず割込み処理ルーチン内で ADI ビットをクリアしてください。

■ 8/10 ビット A/D コンバータの割込みに関連するレジスタとベクタテーブルのアドレス

表 18.5-1 8/10 ビット A/D コンバータの割込みに関連するレジスタとベクタテーブルのアドレス

割込み要因	割込み 要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
8/10 ビット A/D コンバータ	IRQ18	ILR4	L18	FFD6 _H	FFD7 _H

周辺機能のそれぞれの割込み要求番号およびベクタテーブルのアドレスについては「付録 B 割込み要因一覧表」を参照してください。

18.6 8/10 ビット A/D コンバータの動作説明と設定手順例

8/10 ビット A/D コンバータは、ADC2 レジスタの EXT ビットにより A/D 変換のソフトウェア起動または連続起動を選択できます。

■ 8/10 ビット A/D コンバータ変換機能の動作

● ソフトウェア起動

ソフトウェアにより A/D 変換機能を起動するには、図 18.6-1 の設定が必要です。

図 18.6-1 A/D 変換機能 (ソフトウェア起動) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADC1	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	ADMVX	AD
	⊙	⊙	⊙	⊙	⊙	⊙	⊙	1
ADC2	AD8	TIM1	TIM0	ADCK	ADIE	EXT	CKDIV1	CKDIV0
	⊙	⊙	⊙	×	⊙	0	⊙	⊙
ADDH	-	-	-	-	-	-	A/D 変換値を保持	
ADDL	A/D 変換値を保持							

⊙: 使用ビット
×: 未使用ビット
1: "1" に設定
0: "0" に設定

A/D 変換機能が起動されると、A/D 変換が開始します。また、変換中においても A/D 変換機能を再起動することができます。

● 連続起動

A/D 変換機能を連続起動するには、図 18.6-2 の設定が必要です。

図 18.6-2 A/D 変換機能 (連続起動) の設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ADC1	ANS3	ANS2	ANS1	ANS0	ADI	ADMV	ADMVX	AD
	⊙	⊙	⊙	⊙	⊙	⊙	⊙	×
ADC2	AD8	TIM1	TIM0	ADCK	ADIE	EXT	CKDIV1	CKDIV0
	⊙	⊙	⊙	⊙	⊙	1	⊙	⊙
ADDH	-	-	-	-	-	-	A/D 変換値を保持	
ADDL	A/D 変換値保持							

⊙：使用ビット
×：未使用ビット
1："1" に設定

連続起動が許可されると、選択された入力クロックの立上りエッジで A/D 変換機能が起動され、A/D 変換が開始します。連続起動が禁止されると (ADC2: EXT = 0)、連続起動動作は停止します。

■ A/D 変換機能の動作

8/10 ビット A/D コンバータの動作について説明します。

- 1) A/D 変換が開始すると、変換フラグビットが設定され (ADC1: ADMV = 1)、選択されたアナログ入力端子がサンプルアンドホールド回路に接続されます。
- 2) アナログ入力端子の電圧をサンプリング期間中にサンプルアンドホールド回路内のサンプルアンドホールド用コンデンサに取り込みます。この電圧は、A/D 変換が終了するまで保持されます。
- 3) サンプルアンドホールド用コンデンサに取り込まれた電圧と、A/D 変換用のリファレンス電圧をコントロール回路内のコンパレータで最上位ビット (MSB) から最下位ビット (LSB) まで比較し、結果を ADDH レジスタと ADDL レジスタへ転送します。
結果の転送が終わると、変換中フラグビットがクリア (ADC1: ADMV = 0) され、割込み要求フラグビットが "1" に設定 (ADC1: ADI = 1) されます。

< 注意事項 >

- ADDH レジスタと ADDL レジスタの内容は、A/D 変換終了時まで保持されます。したがって、A/D 変換中は前回変換した値が読み出されます。
- A/D 変換機能の使用中は、アナログ入力端子 (ADC1: ANS3 ~ ANS0) を変更しないでください。特に連続起動中は、アナログ入力端子を変更する前に連続起動を禁止 (ADC2: EXT = 0) してください。
- リセットモード、ストップモード、または時計モードを開始すると、A/D コンバータは停止し、ADMV ビットは "0" にクリアされます。

■ 設定手順例

以下に、8/10 ビット A/D コンバータの設定手順例を示します。

● 初期設定

- 1) 入力ポート (DDR0) を設定します。
- 2) 割込みレベル (ILR4) を設定します。
- 3) A/D 入力を許可します (ADC1: ANS0 ~ ANS3)。
- 4) サンプリング時間を設定します (ADC2: TIM1, TIM0)。
- 5) クロックを選択します (ADC2: CKDIV1, CKDIV0)。
- 6) A/D 変換精度を設定します (ADC2: AD8)。
- 7) 動作モードを選択します (ADC2: EXT)。
- 8) 起動トリガを選択します (ADC2: ADCK)。
- 9) 割込みを許可します (ADC2: ADIE=1)。
- 10) A/D 変換機能を起動します (ADC1: AD = 1)。

● 割込み処理

- 1) 割込み要求フラグをクリアします (ADC1: ADI=0)。
- 2) 変換値を読み出します (ADDH, ADDL)。
- 3) A/D 変換を起動します (ADC1: AD = 1)。

18.7 8/10 ビット A/D コンバータ使用上の注意

8/10 ビット A/D コンバータを使用するための注意点を示します。

■ 8/10 ビット A/D コンバータ使用上の注意

● プログラムによる 8/10 ビット A/D コンバータの設定に関する注意事項

- A/D 変換機能時，ADDH, ADDL レジスタの内容は A/D 変換終了時まで保持されます。したがって，A/D 変換中は前回変換した値が読み出されます。
- A/D 変換機能の使用中は，アナログ入力端子 (ADC1: ANS3 ~ ANS0) を変更しないでください。特に連続起動中は，アナログ入力端子を変更する前に連続起動を禁止 (ADC2: EXT = 0) してください。
- リセットモード，ストップモード，または時計モードを開始すると，A/D コンバータは停止し，ADMV ビットは "0" にクリアされます。
- 割込み要求フラグビット (ADC1: ADI) が "1" で，割込み要求が許可されている場合 (ADC2: ADIE = 1) は，CPU は割込み処理から復帰することができません。必ず割込み処理ルーチン内で ADI ビットをクリアしてください。

● 割込み要求に関する注意事項

A/D 変換の再起動 (ADC1: AD = 1) と A/D 変換の完了が同時に発生した場合は，割込み要求フラグビット (ADC1: ADI) が "1" に設定されます。

● 誤差について

$|V_{CC} - V_{SS}|$ が小さくなるに従い，それに比例して A/D 変換の誤差は増大します。

● 8/10 ビット A/D コンバータのアナログ入力順序

アナログ入力 (AN00 ~ AN07) とデジタル電源 (V_{CC}) を同時に投入するか，またはデジタル電源投入後にアナログ入力を投入してください。

デジタル電源 (V_{CC}) は，アナログ入力 (AN00 ~ AN07) と同時に切断するか，またはアナログ入力 (AN00 ~ AN07) 切断後に切断してください。

8/10 ビット A/D コンバータの電源投入 / 切断時には，アナログ入力電圧がデジタル電源の電圧を超えないように注意してください。

● 変換時間

A/D 変換の変換速度は，クロックモード，メインクロック発振周波数，メインクロックの速度切換え（ギア機能）に影響されます。

例： サンプルング時間 = $CKIN \times (ADC2: TIM1/TIM0 \text{ 設定})$

比較（コンペア）時間 = $CKIN \times 10 \text{ (固定値)} + MCLK$

A/D コンバータ起動時間：最短時間 = $MCLK + MCLK$

最長時間 = $MCLK + CKIN$

変換時間 = A/D コンバータ起動時間 + サンプルング時間 + 比較時間

- A/D 変換が開始した時間によって，変換時間には最大 (1 CKIN - 1 MCLK) の誤差が生じる可能性があります。
- ソフトウェアで A/D コンバータを設定する場合は，その設定が MB95330H シリーズのデータシートに記載された A/D コンバータの「サンプリング時間」と「コンペア時間」の仕様を満たしていることを確認してください。

18.8 8/10 ビット A/D コンバータの設定例

8/10 ビット A/D コンバータの設定例を示します。

■ 設定例

- 8/10 ビット A/D コンバータの動作クロックを選択する方法

動作クロックの選択には、クロック選択ビット (ADC2: CKDIV1/CKDIV0) を使用します。

- 8/10 ビット A/D コンバータのサンプリング時間を選択する方法

サンプリング時間の選択には、サンプリング時間選択ビット (ADC2: TIM1/TIM0) を使用します。

- 8/10- ビット A/D コンバータの内部リファレンス電源切断用アナログスイッチを制御する方法

内部リファレンス電源切断用アナログスイッチの制御には、電源切断用アナログスイッチ制御ビット (ADC1: ADMVX) を使用します。

動作	電流遮断用アナログスイッチ制御ビット (ADMVX)
内部リファレンス電源を切断するには	"0" を設定する
内部リファレンス電源を投入するには	"1" を設定する

- 8/10 ビット A/D 変換機能の起動方法を選択する方法

起動トリガの選択には、連続起動許可ビット (ADC2: EXT) を使用します。

A/D 変換起動要因	連続起動許可ビット (EXT)
ソフトウェアトリガを選択するには	"0" を設定する
入力クロックの立上り信号を選択するには	"1" を設定する

- ・ ソフトウェアトリガの発生方法

A/D 変換起動ビット (ADC1: AD) を使用して、ソフトウェアトリガを発生させます。

動作	A/D 変換起動ビット (AD)
ソフトウェアトリガを発生させるには	"1" を設定する

- 入力クロックを用いた A/D 変換機能の起動方法

入力クロックの立上りエッジで、起動トリガが発生します。

入力クロックの選択には、外部起動信号選択ビット (ADC2: ADCK) を使用します。

入力クロック	外部起動信号選択ビット (ADCK)
外部起動信号を使用しない	"0" を設定する
8/16 ビット複合タイマ出力端子 (TO00) を選択するには	"1" を設定する

- A/D 変換精度を選択する方法

変換結果精度の選択には、精度選択ビット (ADC2: AD8) を使用します。

動作モード	精度選択ビット (AD8)
10 ビット精度にするには	"0" を設定する
8 ビット精度にするには	"1" を設定する

- アナログ入力端子を使用する方法

アナログ入力端子の選択には、アナログ入力端子選択ビット (ADC1: ANS3 ~ ANS0) を使用します。

動作	アナログ入力端子選択ビット (ANS3 ~ ANS0)
AN00 端子を使用するには	"0000 _B " に設定する
AN01 端子を使用するには	"0001 _B " に設定する
AN02 端子を使用するには	"0010 _B " に設定する
AN03 端子を使用するには	"0011 _B " に設定する
AN04 端子を使用するには	"0100 _B " に設定する
AN05 端子を使用するには	"0101 _B " に設定する
AN06 端子を使用するには	"0110 _B " に設定する
AN07 端子を使用するには	"0111 _B " に設定する

● 変換完了を確認する方法

変換が完了したかどうかを確認する方法は、2 通りあります。

- ・ 割込み要求フラグビット (ADC1: ADI) で確認する方法

割込み要求フラグビット (ADI)	意味
読出し値が "0" の場合	A/D 変換完了割込み要求なし
読出し値が "1" の場合	A/D 変換完了割込み要求あり

- ・ 変換フラグビット (ADC1: ADMV) で確認する方法

変換フラグビット (ADMV)	意味
読出し値が "0" の場合	A/D 変換完了 (停止)
読出し値が "1" の場合	A/D 変換実行中

● 割込み関連レジスタ

下表の割込みレベル設定レジスタを用いて、割込みレベルを設定します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
8/10- ビット A/D コンバータ	割込みレベルレジスタ (ILR4) アドレス : 0007D _H	#18 アドレス : 0FFD6 _H

● 割込みを許可 / 禁止 / クリアする方法

割込みを許可するには、割込み要求許可ビット (ADC2: ADIE) を使用します。

動作	割込み要求許可ビット (ADIE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求をクリアするには、割込み要求ビット (ADC1: ADI) を使用します。

動作	割込み要求ビット (ADI)
割込み要求をクリアするには	ビットを "1" に設定するか、または、A/D 変換機能を起動する

第19章

低電圧検出リセット回路

低電圧検出リセット回路の機能と動作について説明します。(低電圧検出リセット回路を使用できるのは、MB95F332K/F333K/F334Kのみです。)

- 19.1 低電圧検出リセット回路の概要
- 19.2 低電圧検出リセット回路の構成
- 19.3 低電圧検出リセット回路の端子
- 19.4 低電圧検出リセット回路の動作説明

19.1 低電圧検出リセット回路の概要

低電圧検出リセット回路は、電源電圧を監視し、電源電圧が低電圧検出の電圧レベルより低くなった場合に、リセット信号を発生します (MB95F332K/F333K/F334K のみで使用可能)。

■ 低電圧検出リセット回路

低電圧検出リセット回路は、電源電圧を監視し、電源電圧が検出電圧レベルより低下したときにリセット信号を発生します。この回路は、MB95F332K/F333K/F334K のみ使用可能です。

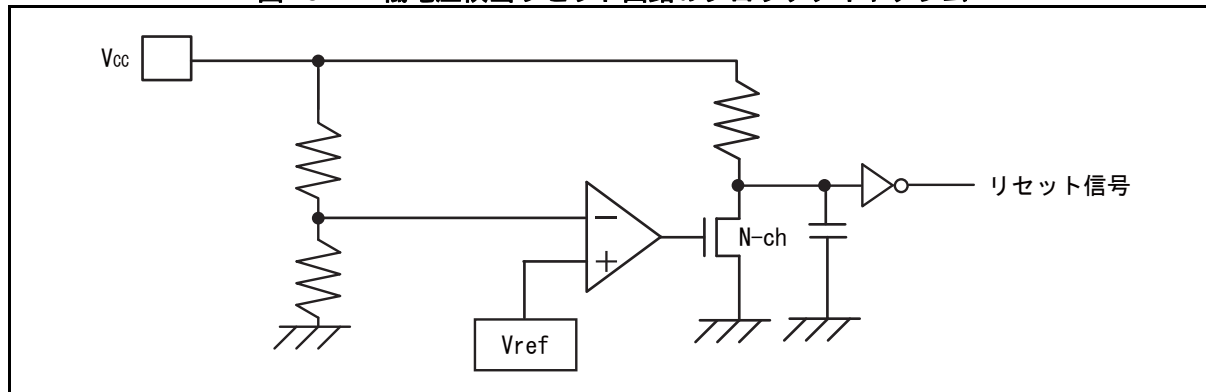
電気的特性の詳細は、MB95330H シリーズのデータシートを参照してください。

19.2 低電圧検出リセット回路の構成

図 19.2-1 に、低電圧検出リセット回路のブロックダイヤグラムを示します。

■ 低電圧検出リセット回路のブロックダイヤグラム

図 19.2-1 低電圧検出リセット回路のブロックダイヤグラム



19.3 低電圧検出しリセット回路の端子

低電圧検出しリセット回路の端子について説明します。

■ 低電圧検出しリセット回路の端子

- V_{CC} 端子

低電圧検出しリセット回路は、本端子の電圧を監視します。

- V_{SS} 端子

この端子は、電圧検出の基準となる GND 端子です。

- \overline{RST} 端子

低電圧検出しリセット信号はマイコン内部と本端子へ出力されます。

MB95330H シリーズ

19.4 低電圧検出リセット回路の動作説明

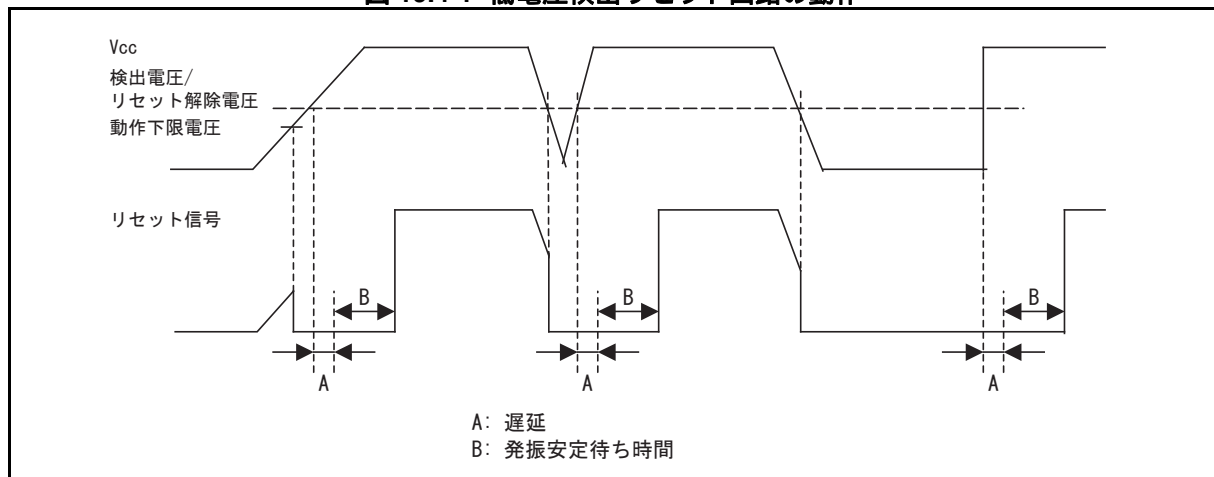
低電圧検出リセット回路は、電源電圧が検出電圧よりも低下したときにリセット信号を発生します。

■ 低電圧検出リセット回路の動作

低電圧検出リセット回路は、電源電圧が検出電圧レベルよりも低下したときにリセット信号を発生します。その後、解除電圧を検出すると、発振安定待ち時間分のリセット信号を継続して出力し、リセットを解除します。

電気的特性の詳細は、MB95330H シリーズのデータシートを参照してください。

図 19.4-1 低電圧検出リセット回路の動作



■ スタンバイモード時の動作

低電圧検出リセット回路は、スタンバイモード（ストップモード、スリープモード、サブクロックモード、時計モード）においても常に動作します。

第20章

クロックスーパーバイザ カウンタ

クロックスーパーバイザカウンタの機能と動作について説明します。

- 20.1 クロックスーパーバイザカウンタの概要
- 20.2 クロックスーパーバイザカウンタの構成
- 20.3 クロックスーパーバイザカウンタのレジスタ
- 20.4 クロックスーパーバイザカウンタの動作説明
- 20.5 クロックスーパーバイザカウンタ使用上の注意

20.1 クロックスーパーバイザカウンタの概要

クロックスーパーバイザカウンタは、外部クロック周波数を調べて、外部クロックの異常状態を検出することができます。

■ クロックスーパーバイザカウンタの概要

クロックスーパーバイザカウンタは、外部クロック周波数を調べて、外部クロックの異常状態を検出することができます。

クロックスーパーバイザカウンタは、8つのオプションから選ばれたタイムベースタイマのインターバル時間内で、動作を自動的に許可 / 禁止し、外部クロック入力に基づいてカウンタをカウントアップします。

このモジュールのカウントクロックは、メイン発振クロックとサブ発振クロックのどちらかを選択することができます。

< 注意事項 >

クロックスーパーバイザカウンタは、メイン CR クロックモードで、(スタンバイモードで動作する) ハードウェアウォッチドッグタイマとともに動作する必要があります。

上記以外の場合、このカウンタは外部クロックの異常状態を正しく検出することはできず、外部クロックが停止するとハングアップしてしまいます。

(スタンバイモードで動作する) ハードウェアウォッチドッグタイマについては、「第 11 章 ハードウェア / ソフトウェアウォッチドッグタイマ」を参照してください。

MB95330H シリーズ

20.2 クロックスーパーバイザカウンタの構成

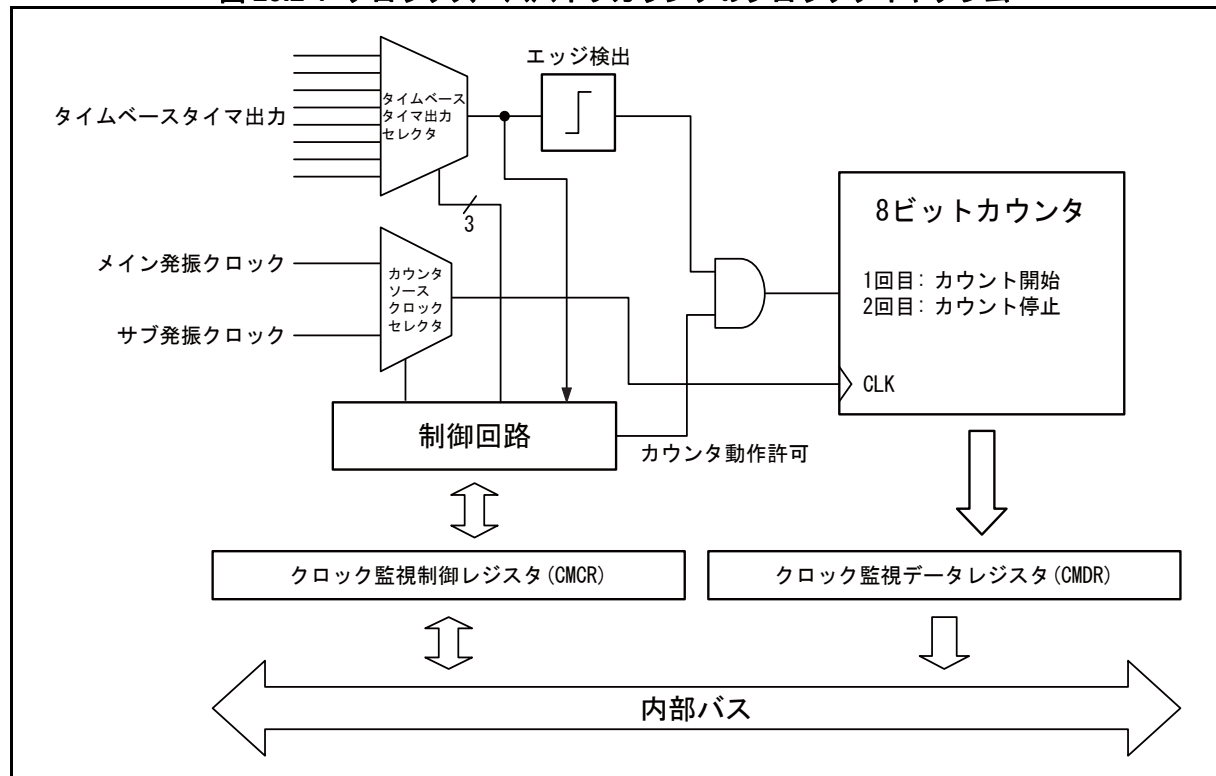
クロックスーパーバイザカウンタは、以下のブロックで構成されています。

- 制御回路
- クロック監視制御レジスタ (CMCR)
- クロック監視データレジスタ (CMDR)
- タイムベースタイマ出力セクタ
- カウンタソースクロックセクタ

■ クロックスーパーバイザカウンタのブロックダイアグラム

図 20.2-1 に、クロックスーパーバイザカウンタのブロックダイアグラムを示します。

図 20.2-1 クロックスーパーバイザカウンタのブロックダイアグラム



● 制御回路

このブロックは、クロック監視制御レジスタ (CMCR) の設定に基づき、カウンタの開始と停止、カウンタクロックソースとカウンタ許可期間を制御します。

● クロック監視制御レジスタ (CMCR)

このレジスタは、カウンタソースクロックの選択、8 種類の異なるタイムベースタイムインターバルからのカウンタ許可期間の選択、カウンタの開始、およびカウンタが動作中かどうかの確認を行います。

● クロック監視データレジスタ (CMDR)

このレジスタブロックは、カウンタ停止後にカウンタ値を読み出すために使用します。ソフトウェアにより、このレジスタの内容に従い、外部クロック周波数が正しいかどうかを判断することができます。

● タイムベースタイムインターバルセクタ

このブロックは、8 種類のタイムベースタイムインターバルからカウンタ許可期間を選択するために使用します。

● カウンタソースクロックセクタ

このブロックは、メイン発振クロックとサブ発振クロックからカウンタソースクロックを選択するために使用します。

20.3 クロックスーパーバイザカウンタのレジスタ

クロックスーパーバイザカウンタのレジスタについて説明します。

■ クロックスーパーバイザカウンタのレジスタ

図 20.3-1 に、クロックスーパーバイザカウンタのレジスタを示します。

図 20.3-1 クロックスーパーバイザカウンタのレジスタ

クロック監視データレジスタ (CMDR)									初期値
0FEAH	bit7 CMDR7	bit6 CMDR6	bit5 CMDR5	bit4 CMDR4	bit3 CMDR3	bit2 CMDR2	bit1 CMDR1	bit0 CMDR0	00000000b
リード/ライト	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
クロック監視制御レジスタ (CMCR)									初期値
0FE9H	bit7 -	bit6 -	bit5 予約	bit4 CMCSEL	bit3 TBTSEL2	bit2 TBTSEL1	bit1 TBTSEL0	bit0 CMCEN	00000000b
リード/ライト	R0/WX	R0/WX	R/W0	R/W	R/W	R/W	R/W	R/W	
R/W : リード/ライト可能 (読出し値は書き込み値と同じとなります。)									
R/WX : リードオンリ (読出し可能。このビットに値を書き込んでも動作に影響はありません。)									
R0/WX : 読出し値は"0"です。このビットに値を書き込んでも動作に影響はありません。									
R/W0 : 書き込み値は"0"です。読出し値は書き込み値と同じとなります。									
- : 未定義ビット									

20.3.1 クロック監視データレジスタ (CMDR)

クロック監視データレジスタ (CMDR) は、クロックスーパーバイザカウンタの停止後にカウンタ値を読み出すため使用します。ソフトウェアにより、このレジスタの内容に従い、外部クロック周波数が正しいかどうかを判断することができます。

■ クロック監視データレジスタ (CMDR)

図 20.3-2 クロック監視データレジスタ (CMDR)

クロック監視データレジスタ (CMDR)									初期値
0FEAh	bit7 CMDR7	bit6 CMDR6	bit5 CMDR5	bit4 CMDR4	bit3 CMDR3	bit2 CMDR2	bit1 CMDR1	bit0 CMDR0	00000000 _B
リード/ライト	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
R/WX : リードオンリ (読出し可能。このビットに値を書き込んでも動作に影響はありません。)									

クロック監視データレジスタ (CMDR) は、クロックスーパーバイザカウンタの停止後にカウンタ値を読み出すため使用します。

- カウンタ値は、このクロック監視データレジスタ (CMDR) から読み出すことができます。ソフトウェアは、読み出したカウンタ値と選択されているタイムベースタイムインターバルに従い、外部クロック周波数が正しいかどうかを確認することができます。

表 20.3-1 クロック監視データレジスタ (CMDR) の各ビットの機能

ビット名		機能
bit7 ~ bit0	CMDR7 ~ CMDR0	CMDR レジスタは、カウンタ停止後のクロックスーパーバイザカウンタの値を示すデータレジスタです。 以下のいずれかのイベントが生じると、このレジスタはクリアされます。 <ul style="list-style-type: none">• リセット• ソフトウェアにより CMCEN ビットが "0" から "1" に変更。• カウンタ動作中に、ソフトウェアにより CMCEN ビットが "1" から "0" に変更。• 外部クロックの停止後、選択されているタイムベースタイマクロックの立下りエッジを 2 回検出 (図 20.5-2 を参照してください)。

< 注意事項 >

カウンタが動作している間 (CMCEN = 1) は、このレジスタの値は "0" です。

20.3.2 クロック監視制御レジスタ (CMCR)

クロック監視制御レジスタ (CMCR) は、カウンタソースクロックの選択、カウンタ許可期間とするタイムベースタイマインターバルの選択、カウンタの開始、およびカウンタが動作中かどうかの確認を行うために使用します。

■ クロック監視制御レジスタ (CMCR)

図 20.3-3 クロック監視制御レジスタ (CMCR)

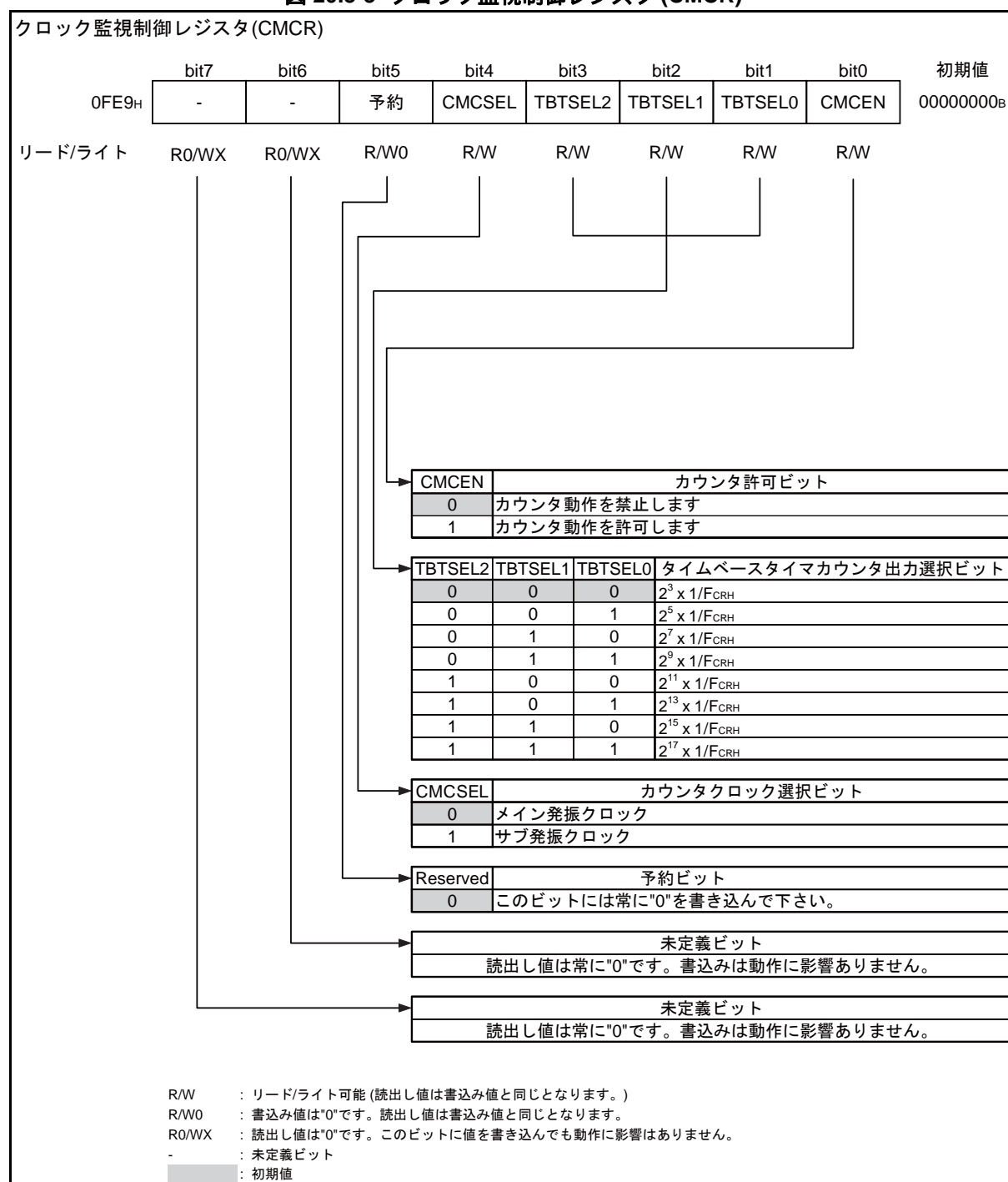


表 20.3-2 クロック監視制御レジスタ (CMCR) の各ビットの機能

ビット名		機能																																				
bit7, bit6	未定義ビット	未定義ビットです。 読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。																																				
bit5	予約ビット	予約ビットです。 このビットには常に "0" を書き込んで下さい。読出し値は常に "0" となります。																																				
bit4	CMCSEL: カウンタクロック 選択ビット	カウンタクロックソースを選択します。 "0" に設定した場合： 外部メイン発振クロックを、カウンタのソースクロックとして選択します。 "1" に設定した場合： 外部サブ発振クロックを、カウンタのソースクロックとして選択します。																																				
bit3 ~ bit1	TBTSEL2, TBTSEL1, TBTSEL0: タイムベースタイマ カウンタ出力選択 ビット	タイムベースタイマのインターバルを選択します。 クロックスーパーバイザカウンタの動作は、これらのビットによって選択されたタイムベースタイマの出力にしたがって、許可または禁止されます。 選択されたインターバルの最初の立上りエッジでカウンタ動作が許可され、2 回目の立上りエッジでカウンタ動作が禁止されます。																																				
		<table><tr><th>TBTSEL2</th><th>TBTSEL1</th><th>TBTSEL0</th><th>タイムベースタイマカウンタ 出力選択ビット</th></tr><tr><td>0</td><td>0</td><td>0</td><td>$2^3 \times 1/F_{CRH}$</td></tr><tr><td>0</td><td>0</td><td>1</td><td>$2^5 \times 1/F_{CRH}$</td></tr><tr><td>0</td><td>1</td><td>0</td><td>$2^7 \times 1/F_{CRH}$</td></tr><tr><td>0</td><td>1</td><td>1</td><td>$2^9 \times 1/F_{CRH}$</td></tr><tr><td>1</td><td>0</td><td>0</td><td>$2^{11} \times 1/F_{CRH}$</td></tr><tr><td>1</td><td>0</td><td>1</td><td>$2^{13} \times 1/F_{CRH}$</td></tr><tr><td>1</td><td>1</td><td>0</td><td>$2^{15} \times 1/F_{CRH}$</td></tr><tr><td>1</td><td>1</td><td>1</td><td>$2^{17} \times 1/F_{CRH}$</td></tr></table>	TBTSEL2	TBTSEL1	TBTSEL0	タイムベースタイマカウンタ 出力選択ビット	0	0	0	$2^3 \times 1/F_{CRH}$	0	0	1	$2^5 \times 1/F_{CRH}$	0	1	0	$2^7 \times 1/F_{CRH}$	0	1	1	$2^9 \times 1/F_{CRH}$	1	0	0	$2^{11} \times 1/F_{CRH}$	1	0	1	$2^{13} \times 1/F_{CRH}$	1	1	0	$2^{15} \times 1/F_{CRH}$	1	1	1	$2^{17} \times 1/F_{CRH}$
		TBTSEL2	TBTSEL1	TBTSEL0	タイムベースタイマカウンタ 出力選択ビット																																	
		0	0	0	$2^3 \times 1/F_{CRH}$																																	
		0	0	1	$2^5 \times 1/F_{CRH}$																																	
		0	1	0	$2^7 \times 1/F_{CRH}$																																	
		0	1	1	$2^9 \times 1/F_{CRH}$																																	
		1	0	0	$2^{11} \times 1/F_{CRH}$																																	
		1	0	1	$2^{13} \times 1/F_{CRH}$																																	
		1	1	0	$2^{15} \times 1/F_{CRH}$																																	
1	1	1	$2^{17} \times 1/F_{CRH}$																																			
		クロックスーパーバイザカウンタの動作を許可または禁止します。 "0" に設定した場合： カウンタを停止し、CMDR レジスタをクリアします。 "1" に設定した場合： カウンタの動作を許可します。カウンタは、タイムベースタイマインターバルの最初の立上りエッジを検出した時点で動作を開始します。同じインターバルの 2 回目の立上りエッジを検出すると、動作を停止します。 カウンタが停止すると、このビットが自動的に "0" に設定されます。																																				

< 注意事項 >

- CMCEN = 1 のときに、CMCSEL ビットを変更しないでください。
- CMCEN = 1 のときに、TBTSEL[2:0] ビットを変更しないでください。

20.4 クロックスーパーバイザカウンタの動作説明

クロックスーパーバイザカウンタの動作について説明します。

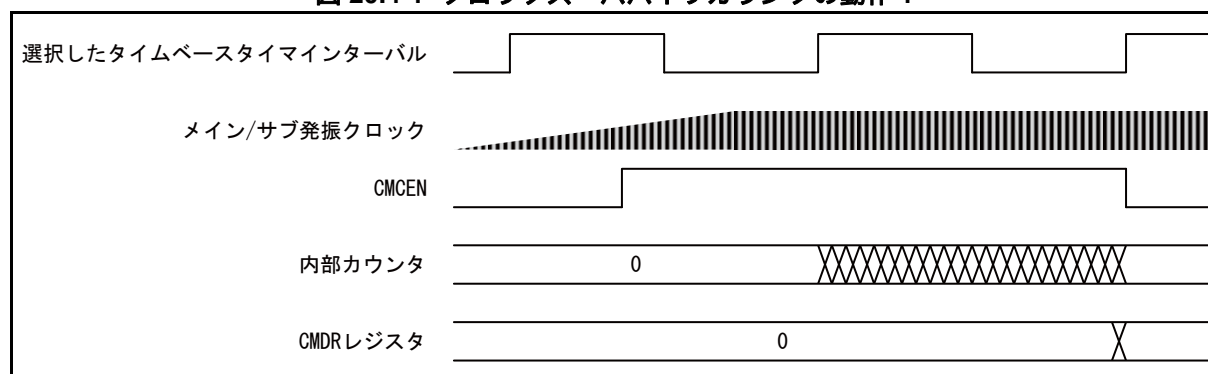
■ クロックスーパーバイザカウンタ

● クロックスーパーバイザカウンタの動作 1

ソフトウェアによってクロックスーパーバイザカウンタの動作が許可されると(CMCEN = 1), クロックスーパーバイザカウンタは, TBTSEL [2:0] ビットによって 8 種類から選択されたタイムベースタイムインターバルで動作します。選択されたタイムベースタイムインターバルの2つの立上りエッジの間, 内部カウンタは外部クロックによりクロックが供給されます。

このモジュールのカウントクロックとして, メイン発振クロックとサブ発振クロックとのどちらかを選択することができます。

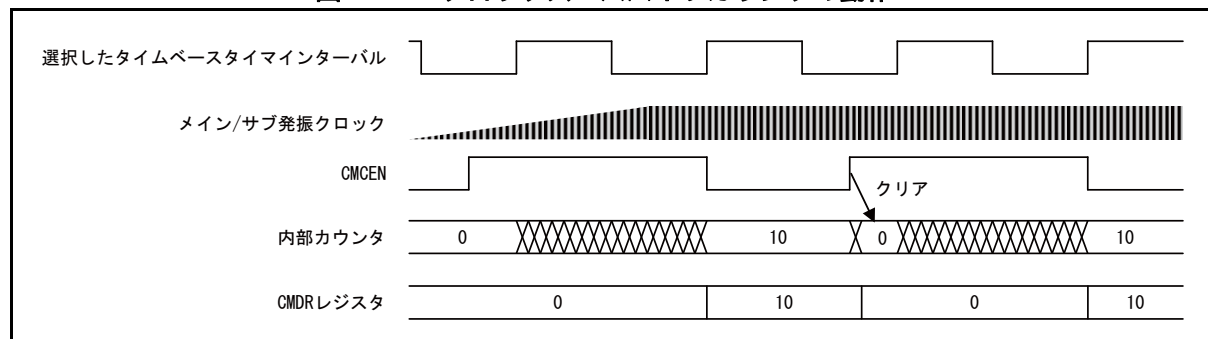
図 20.4-1 クロックスーパーバイザカウンタの動作 1



● クロックスーパーバイザカウンタの動作 2

CMCEN ビットが "0" から "1" に変わると, CMDR レジスタがクリアされます。

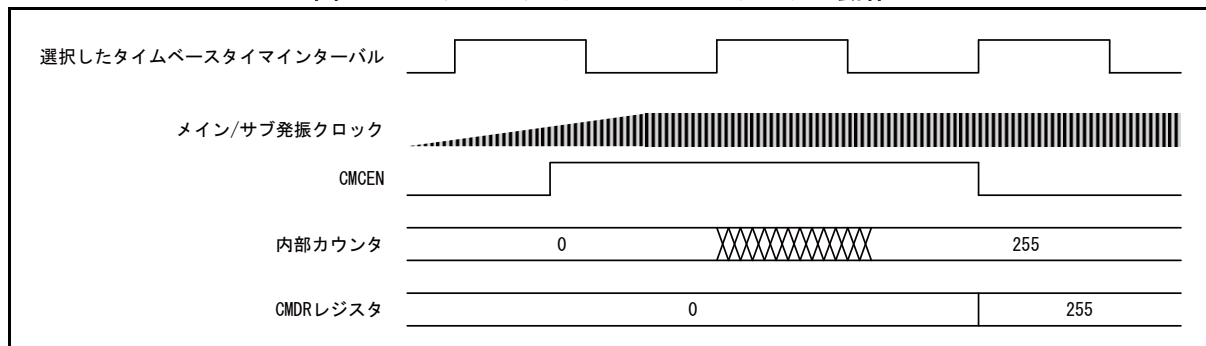
図 20.4-2 クロックスーパーバイザカウンタの動作 2



● クロックスーパーバイザカウンタの動作 3

カウント値が "255" に達すると、カウンタは停止します。それ以上カウントを続けることはできません。

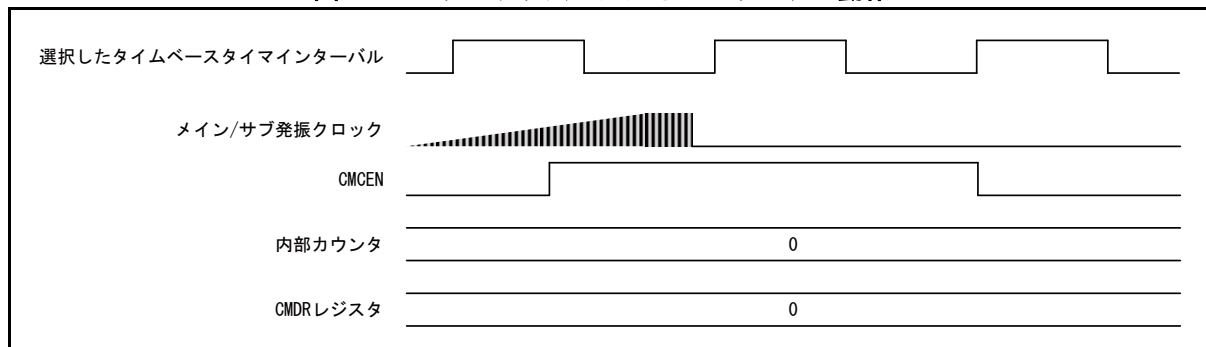
図 20.4-3 クロックスーパーバイザカウンタの動作 3



● クロックスーパーバイザカウンタの動作 4

選択されている外部クロックが停止すると、カウンタはカウントを停止します。このとき、選択されている外部クロックが異常状態にあることをソフトウェアにより検出することができます。

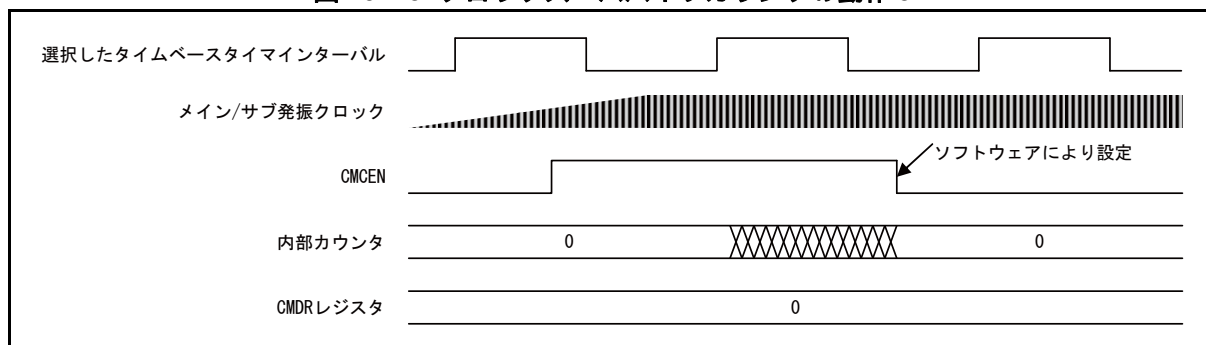
図 20.4-4 クロックスーパーバイザカウンタの動作 4



● クロックスーパーバイザカウンタの動作 5

カウンタの動作中に CMCEN に "0" が設定されると、カウンタはソフトウェアにより "0" にクリアされます。

図 20.4-5 クロックスーパーバイザカウンタの動作 5



■ タイムベースタイムインターバルとクロックスーパーバイザカウンタ値の対応表

表 20.4-1 は、様々な外部クロックを測定するための各種のメイン CR クロック周波数に対し、適切なタイムベースタイムインターバルを示したものです。

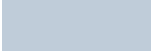
表 20.4-1 TBTSEL 設定に対するカウンタ値の表

メイン CR (F_{CRH}) [MHz]	メイン / サブ水 晶発振 [MHz]	メイン CR 誤差	測定 誤差	TBTSEL2 ~ TBTSEL0							
				000 _B	001 _B	010 _B	011 _B	100 _B	101 _B	110 _B	111 _B
				$(2^3 \times 1/F_{CRH})$	$(2^5 \times 1/F_{CRH})$	$(2^7 \times 1/F_{CRH})$	$(2^9 \times 1/F_{CRH})$	$(2^{11} \times 1/F_{CRH})$	$(2^{13} \times 1/F_{CRH})$	$(2^{15} \times 1/F_{CRH})$	$(2^{17} \times 1/F_{CRH})$
1	0.03277	+5%	-1	0	0	0	6	30	126	510	2044
		-5%	+1	1	1	3	9	36	142	566	2261
	0.5	+5%	-1	0	6	29	120	486	1949	7800	31206
		-5%	+1	3	9	34	135	539	2156	8624	34493
	1	+5%	-1	2	14	59	242	974	3899	15602	62414
		-5%	+1	5	17	68	270	1078	4312	17247	68986
	4	+5%	-1	14	59	242	974	3899	15602	62414	249659
		-5%	+1	17	68	270	1078	4312	17247	68986	275942
	6	+5%	-1	21	90	364	1461	5850	23404	93621	374490
		-5%	+1	26	102	405	1617	6468	25870	103478	413912
	10	+5%	-1	37	151	608	2437	9751	39008	156037	624151
		-5%	+1	43	169	674	2695	10779	43116	172464	689853
	20	+5%	-1	75	303	1218	4875	19503	78018	312075	1248303
		-5%	+1	85	337	1348	5390	21558	86232	344927	1379706
	32.5	+5%	-1	122	494	1979	7922	31694	126779	507122	2028494
		-5%	+1	137	548	2190	8758	35032	140127	560506	2242022
8	0.03277	+5%	-1	0	0	0	0	2	14	62	254
		-5%	+1	1	1	1	2	5	18	71	283
	0.5	+5%	-1	0	0	2	14	59	242	974	3899
		-5%	+1	1	2	5	17	68	270	1078	4312
	1	+5%	-1	0	0	6	29	120	486	1949	7800
		-5%	+1	1	3	9	34	135	539	2156	8624
	4	+5%	-1	0	6	29	120	486	1949	7800	31206
		-5%	+1	3	9	34	135	539	2156	8624	34493
	6	+5%	-1	1	10	44	181	730	2924	11701	46810
		-5%	+1	4	13	51	203	809	3234	12935	51739
	10	+5%	-1	3	18	75	303	1218	4875	19503	78018
		-5%	+1	6	22	85	337	1348	5390	21558	86232
	20	+5%	-1	8	37	151	608	2437	9751	39008	156037
		-5%	+1	11	43	169	674	2695	10779	43116	172464
	32.5	+5%	-1	14	60	246	989	3960	15846	63389	253560
		-5%	+1	18	69	274	1095	4379	17516	70064	280253

MB95330H シリーズ

表 20.4-1 TBTSEL 設定に対するカウンタ値の表

メイン CR (F _{CRH}) [MHz]	メイン / サブ水 晶発振 [MHz]	メイン CR 誤差	測定 誤差	TBTSEL2 ~ TBTSEL0							
				000 _B	001 _B	010 _B	011 _B	100 _B	101 _B	110 _B	111 _B
				(2 ³ × 1/F _{CRH})	(2 ⁵ × 1/F _{CRH})	(2 ⁷ × 1/F _{CRH})	(2 ⁹ × 1/F _{CRH})	(2 ¹¹ × 1/F _{CRH})	(2 ¹³ × 1/F _{CRH})	(2 ¹⁵ × 1/F _{CRH})	(2 ¹⁷ × 1/F _{CRH})
10	0.03277	+5%	-1	0	0	0	0	2	11	50	203
		-5%	+1	1	1	1	1	4	15	57	227
	0.5	+5%	-1	0	0	2	11	47	194	779	3119
		-5%	+1	1	1	4	14	54	216	863	3450
	1	+5%	-1	0	0	5	23	96	389	1559	6240
		-5%	+1	1	2	7	27	108	432	1725	6899
	4	+5%	-1	0	5	23	96	389	1559	6240	24965
		-5%	+1	2	7	27	108	432	1725	6899	27595
	6	+5%	-1	1	8	35	145	584	2339	9361	37448
		-5%	+1	3	11	41	162	647	2587	10348	41392
	10	+5%	-1	2	14	59	242	974	3899	15602	62414
		-5%	+1	5	17	68	270	1078	4312	17247	68986
	20	+5%	-1	6	29	120	486	1949	7800	31206	124829
		-5%	+1	9	34	135	539	2156	8624	34493	137971
	32.5	+5%	-1	11	48	197	791	3168	12677	50711	202848
		-5%	+1	14	55	219	876	3504	14013	56051	224203
12.5	0.03277	+5%	-1	0	0	0	0	1	9	39	162
		-5%	+1	1	1	1	1	3	12	46	181
	0.5	+5%	-1	0	0	1	8	38	155	623	2495
		-5%	+1	1	1	3	11	44	173	690	2760
	1	+5%	-1	0	0	3	18	77	311	1247	4992
		-5%	+1	1	2	6	22	87	345	1380	5519
	4	+5%	-1	0	3	18	77	311	1247	4992	19971
		-5%	+1	2	6	22	87	345	1380	5519	22076
	6	+5%	-1	0	6	28	116	467	1871	7488	29958
		-5%	+1	3	9	33	130	518	2070	8279	33113
	10	+5%	-1	2	11	47	194	779	3119	12482	49931
		-5%	+1	4	14	54	216	863	3450	13798	55189
	20	+5%	-1	5	23	96	389	1559	6240	24965	99863
		-5%	+1	7	27	108	432	1725	6899	27595	110377
	32.5	+5%	-1	8	38	157	632	2534	10141	40568	162278
		-5%	+1	11	44	176	701	2803	11211	44841	179362

 : 推奨設定



 : カウンタ値は "0" または "255" になります。

表 20.4-1 は、以下の式により計算されています。

$$\text{カウンタ値} = \frac{\left\{ \begin{array}{l} 2^2 \times 1/F_{\text{Osc}} (\text{TBTSEL}=000) \\ 2^2 \times 1/F_{\text{Osc}} (\text{TBTSEL}=001) \\ 2^2 \times 1/F_{\text{Osc}} (\text{TBTSEL}=010) \\ 2^2 \times 1/F_{\text{Osc}} (\text{TBTSEL}=011) \\ 2^{11} \times 1/F_{\text{Osc}} (\text{TBTSEL}=100) \\ 2^{13} \times 1/F_{\text{Osc}} (\text{TBTSEL}=101) \\ 2^{15} \times 1/F_{\text{Osc}} (\text{TBTSEL}=110) \\ 2^{17} \times 1/F_{\text{Osc}} (\text{TBTSEL}=111) \end{array} \right\} \times \text{メイン/サブ発振クロック周波数}}{2} \pm 1 \text{ (測定誤差)}$$

*値の小数を切り捨ててください。

選択したタイムベースタイムインターバル 

この間では、上記の式の値はメイン/サブ発振クロックによりカウントされます。

発振が安定するまでクロックスーパーバイザカウンタを待機させるために、タイムベースタイマ割込みを使用する場合は、以下の条件を満たすようにしてください。

タイムベースタイマインターバル > メイン / サブ発振安定時間 × 1.05

例 : $F_{CH} = 4 \text{ MHz}$, $F_{CRH} = 1 \text{ MHz}$, $MWT[3:0] = 1111$ (WATR レジスタ内)

$$\text{タイムベースタイマインターバル} > \frac{(2^{14} - 2)}{4 \times 10^6} \times 1.05 = (4.3) [\text{ms}]$$



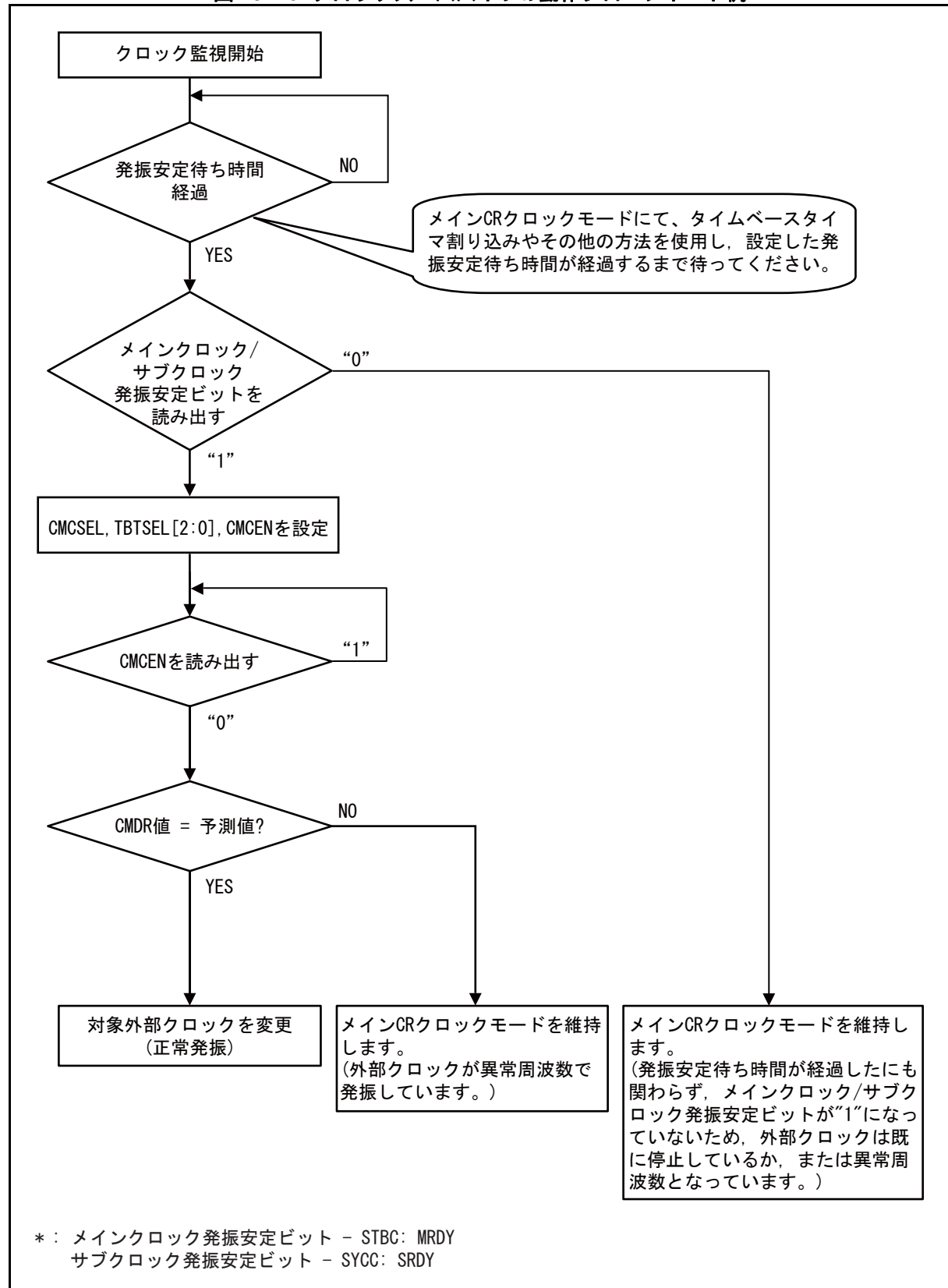
$$TBC[3:0] = 0110 (2^{13} \times 1/F_{CRH})$$

< 注意事項 >

- タイムベースタイマインターバルの設定については、「10.1 タイムベースタイマの概要」を参照してください。
 - メイン / サブ発振安定時間の設定については、「6.4 発振安定待ち時間設定レジスタ (WATR)」を参照してください。
-

■ クロックスーパーバイザの動作フローチャート例

図 20.4-6 クロックスーパーバイザの動作フローチャート例



20.5 クロックスーパーバイザカウンタ使用上の注意

クロックスーパーバイザカウンタを使用する際の注意事項を示します。

■ クロックスーパーバイザカウンタの使用上の注意

● 制限事項

- クロックスーパーバイザカウンタは、メイン CR クロックモードで、(スタンバイモードで動作する) ハードウェアウォッチドッグタイマとともに動作する必要があります。そうしないと、外部クロックの異常状態を正しく検出することはできず、外部クロックが停止するとハングアップしてしまいます。(スタンバイモードで動作する) ハードウェアウォッチドッグタイマについては、「第 11 章 ハードウェア/ソフトウェアウォッチドッグタイマ」を参照してください。
- メイン CR クロックモードのみを使用してください。それ以外のクロックモードは使用しないでください。
- タイムベースタイマが停止すると、内部カウンタは動作を停止します。クロックスーパーバイザカウンタが外部クロックによりカウントしている間は、タイムベースタイマをクリアしないでください。
- タイムベースタイムインターバルとしては、クロックスーパーバイザカウンタの動作に対し十分に長いものを選択してください。タイムベースタイマのインターバルについては、表 20.4-1 を参照してください。
- CMDR レジスタは、CMCEN = 0 のときに読み出してください(クロックスーパーバイザカウンタの動作中 (CMCEN = 1) は、CMDR の値は "0" のままです)。
- クロックスーパーバイザカウンタを使用する場合は、必ずマシンのクロックサイクルが選択されたタイムベースタイムインターバルの半分よりも短くなるようにしてください。マシンのクロックサイクルが選択されたタイムベースタイムインターバルの半分よりも長いと、クロックスーパーバイザカウンタの停止後も CMCEN が "1" のままとなることがあります。

下の表 20.5-1 に、各 TBTSEL 設定に対する適切なクロックギア設定を示します。

表 20.5-1 各 TBTSEL に対する適切なクロックギア設定

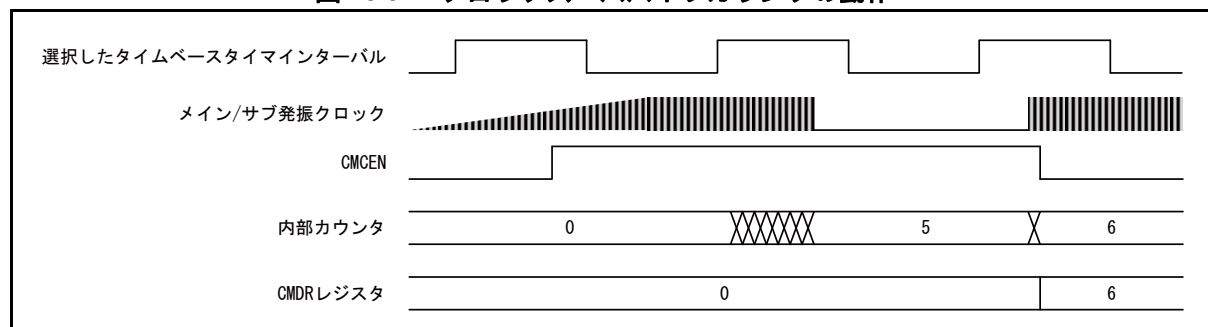
DIV (クロックギア設定)	TBTSEL2 ~ TBTSEL0		
	000 _B	001 _B	010 _B - 111 _B
	$2^3 \times 1/F_{CRH}$	$2^5 \times 1/F_{CRH}$	$2^7 \times 1/F_{CRH} \sim 2^{17} \times 1/F_{CRH}$
00 ($1 \times 1/F_{CRH}$)	○	○	○
01 ($4 \times 1/F_{CRH}$)	×	○	○
10 ($8 \times 1/F_{CRH}$)	×	○	○
11 ($16 \times 1/F_{CRH}$)	×	×	○

○: 推奨

×: 使用禁止

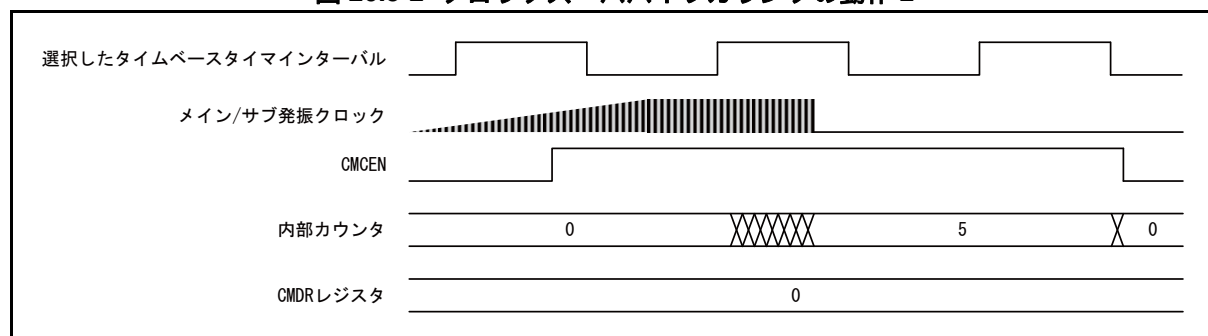
- クロックスーパーバイザカウンタの動作中に外部クロックが停止し、選択されたタイムベースタイムインターバルの 2 回目の立上りエッジ後に再開した場合は、CMCEN は外部クロック再開後に "0" になります。

図 20.5-1 クロックスーパーバイザカウンタの動作 1



- クロックスーパーバイザカウンタの動作中に外部クロックが停止した場合、選択されたタイムベースタイムインターバルにおいて 2 回目の立上りエッジ後に立下リエッジが検出されると、CMCEN が "0" になります。カウンタも同じ立下リエッジでクリアされます。

図 20.5-2 クロックスーパーバイザカウンタの動作 2



第21章

8/16 ビット PPG

8/16 ビット PPG の機能と動作について説明します。

- 21.1 8/16 ビット PPG の概要
- 21.2 8/16 ビット PPG の構成
- 21.3 8/16 ビット PPG のチャンネル
- 21.4 8/16 ビット PPG の端子
- 21.5 8/16 ビット PPG のレジスタ (ch. 0)
- 21.6 8/16 ビット PPG の割込み
- 21.7 8/16 ビット PPG の動作説明と設定手順例
- 21.8 8/16 ビット PPG 使用上の注意
- 21.9 8/16 ビット PPG の設定例

21.1 8/16 ビット PPG の概要

8/16 ビット PPG は、8 ビットのリロードタイマモジュールです。タイマ動作に応じたパルス出力制御により PPG 出力を行います。また、カスケード接続 (8 ビット + 8 ビット) により 16 ビット PPG として動作できます。

■ 8/16 ビット PPG の概要

以下に 8/16 ビット PPG の機能概要を示します。

- 8 ビット PPG 独立モード

2 つの (PPG タイマ 00, PPG タイマ 01) の 8 ビット PPG として動作できます。

- 8 ビットプリスケアラ + 8 ビット PPG モード

PPG タイマ 01 の PPG 出力の両エッジ検出パルスを PPG タイマ 00 のダウンカウンタへ入力することにより、PPG タイマ 00 に任意周期の 8 ビット PPG 出力が可能です。

- 16 ビット PPG モード

カスケード接続 (PPG タイマ 01 (上位 8 ビット) + PPG タイマ 00 (下位 8 ビット)) により 16 ビット PPG 出力として動作できます。

- PPG 出力動作

任意周期、デューティ比のパルス波を出力します。

外付け回路により D/A コンバータとしても使用できます。

- 出力反転モード

PPG の出力値を反転できます。

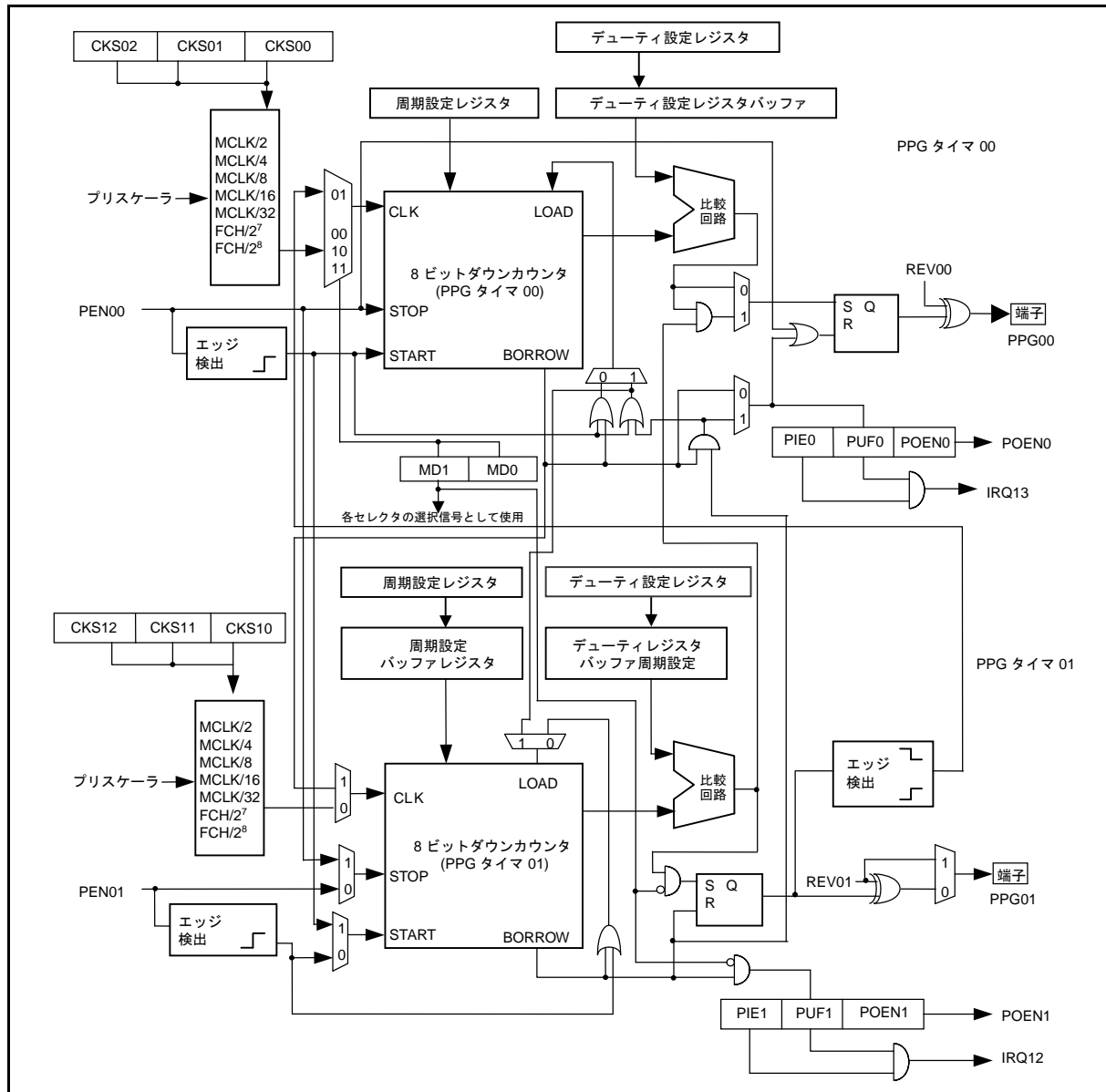
21.2 8/16 ビット PPG の構成

8/16 ビット PPG のブロックダイアグラムを示します。

■ 8/16 ビット PPG のブロックダイアグラム

図 21.2-1 に、8/16 ビット PPG のブロックダイアグラムを示します。

図 21.2-1 8/16 ビット PPG のブロックダイアグラム



● カウントクロックセクタ

8 種類の内部カウントクロックから 8 ビットダウンカウンタのカウントダウン用クロックを選択します。

● 8 ビットダウンカウンタ

カウントクロックセクタで選択されたカウントクロックでカウントダウンします。

● 比較回路

8 ビットダウンカウンタの値が 8/16 ビット PPG 周期設定バッファレジスタの値から 8/16 ビット PPG デューティ設定バッファレジスタの値に一致するまで出力を "H" レベルに保ちます。

その後、カウンタ値が "1" になるまで出力を "L" レベルに保った後、8 ビットダウンカウンタは 8/16 ビット PPG 周期設定の値からカウントを続けます。

● 8/16 ビット PPG タイマ 01 制御レジスタ (PC01)

8/16 ビット PPG タイマの PPG タイマ 01 側の動作条件を設定します。

● 8/16 ビット PPG タイマ 00 制御レジスタ (PC00)

8/16 ビット PPG タイマの動作モードと PPG タイマ 00 側の動作条件を設定します。

● 8/16 ビット PPG タイマ 01/00 周期設定バッファレジスタ ch. 0 (PPS01), ch.0 (PPS00)

8/16 ビット PPG タイマの周期用コンペア値を設定します。

● 8/16 ビット PPG タイマ 01/00 デューティ設定バッファレジスタ ch.0 (PDS01), ch.0 (PDS00)

8/16 ビット PPG タイマの "H" 幅用コンペア値を設定します。

● 8/16 ビット PPG 起動レジスタ

8/16 ビット PPG タイマの起動または停止を設定します。

● 8/16 ビット PPG 出力反転レジスタ

8/16 ビット PPG タイマの出力を初期レベルも含めて反転させます。

■ 入力クロック

8/16 ビット PPG は、プリスケラからの出力クロックを入力クロック (カウントクロック) として使用します。

MB95330H シリーズ

21.3 8/16 ビット PPG のチャンネル

8/16 ビット PPG のチャンネルについて説明します。

■ 8/16 ビット PPG のチャンネル

MB95330H シリーズの 8/16 ビット PPG は 3 チャンネルを搭載しており、それぞれ PPG タイマ 00 と PPG タイマ 01 の 8 ビットの PPG から構成されています。それぞれ、2 つの 8 ビット PPG として、または 1 つの 16 ビット PPG として使用できます。

表 21.3-1 に各チャンネルの端子、表 21.3-2 に各チャンネルのレジスタを示します。

表 21.3-1 8/16 ビット PPG の端子

チャンネル	端子名	端子機能
0	PPG00	PPG タイマ 00 (8 ビット PPG (00), 16 ビット PPG)
	PPG01	PPG タイマ 01 (8 ビット PPG (01), 8 ビットプリスケラ)
1	PPG10	PPG タイマ 00 (8 ビット PPG (10), 16 ビット PPG)
	PPG11	PPG タイマ 01 (8 ビット PPG (11), 8 ビットプリスケラ)
2	PPG20	PPG タイマ 00 (8 ビット PPG (20), 16 ビット PPG)
	PPG21	PPG タイマ 01 (8 ビット PPG (21), 8 ビットプリスケラ)

表 21.3-2 8/16 ビット PPG のレジスタ

チャンネル	レジスタ略称	レジスタ対応 (本マニュアル上の表記)
0	PC01	8/16 ビット PPG タイマ 01 制御レジスタ
	PC00	8/16 ビット PPG タイマ 00 制御レジスタ
	PPS01	8/16 ビット PPG タイマ 01 周期設定バッファレジスタ
	PPS00	8/16 ビット PPG タイマ 00 周期設定バッファレジスタ
	PDS01	8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ
	PDS00	8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ
1	PC11	8/16 ビット PPG タイマ 01 制御レジスタ
	PC10	8/16 ビット PPG タイマ 00 制御レジスタ
	PPS11	8/16 ビット PPG タイマ 01 周期設定バッファレジスタ
	PPS10	8/16 ビット PPG タイマ 00 周期設定バッファレジスタ
	PDS11	8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ
	PDS10	8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ
2	PC21	8/16 ビット PPG タイマ 01 制御レジスタ
	PC20	8/16 ビット PPG タイマ 00 制御レジスタ
	PPS21	8/16 ビット PPG タイマ 01 周期設定バッファレジスタ
	PPS20	8/16 ビット PPG タイマ 00 周期設定バッファレジスタ
	PDS21	8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ
	PDS20	8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ
共通	PPGS	8/16 ビット PPG 起動レジスタ
	REVC	8/16 ビット PPG 出力反転レジスタ

以下に、8/16 ビット PPG の ch.0 側についてのみ詳細を説明します。

21.4 8/16 ビット PPG の端子

8/16 ビット PPG の端子について説明します。

■ 8/16 ビット PPG の端子

● PPG00 端子と PPG01 端子

この端子は汎用入出力ポートとしての機能と、8/16 ビット PPG 出力としての機能を兼用しています。

PPG00, PPG01 : この端子に PPG 波形が出力されます。8/16 ビット PPG タイマ 00/01 制御レジスタで出力を許可 (PC00: POEN0=1, PC01: POEN1=1) することにより、PPG 波形を出力できます。

■ 8/16 ビット PPG に関連する端子のブロックダイアグラム

図 21.4-1 8/16 ビット PPG の端子 PPG00, PPG10, PPG11, PPG20 (PPG00/P13, PPG10/P10, PPG11/P11, PPG20/P15) のブロックダイアグラム

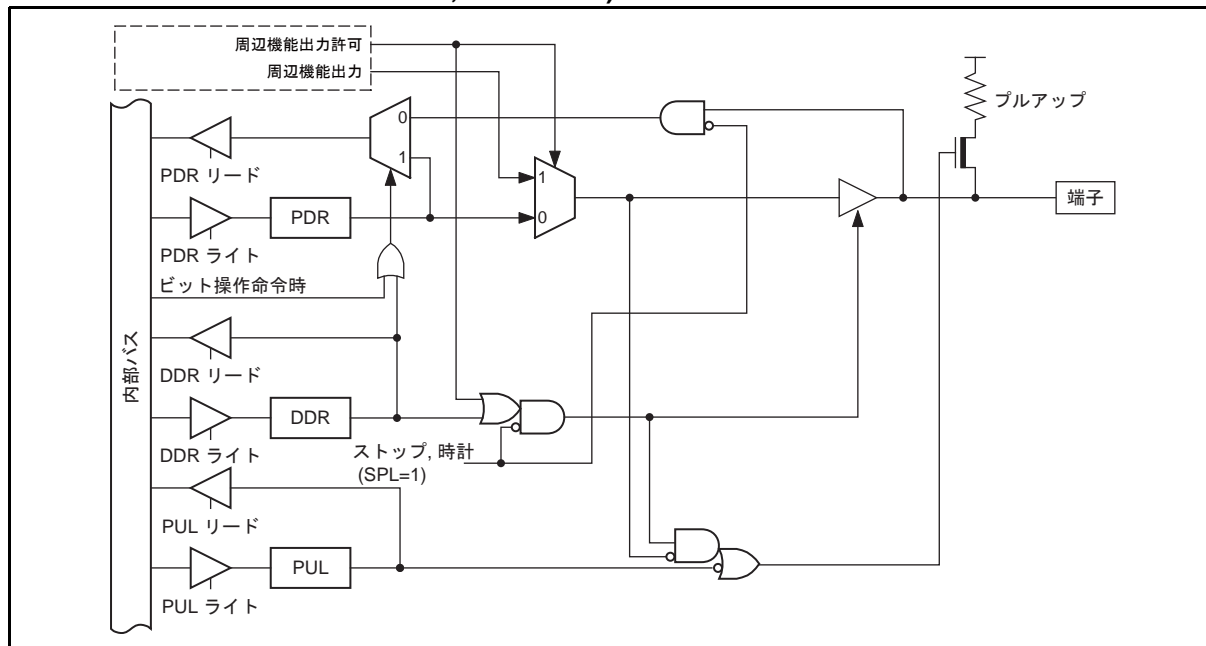


図 21.4-2 8/16 ビット PPG の端子 PPG01 (PPG01/P14) のブロックダイアグラム

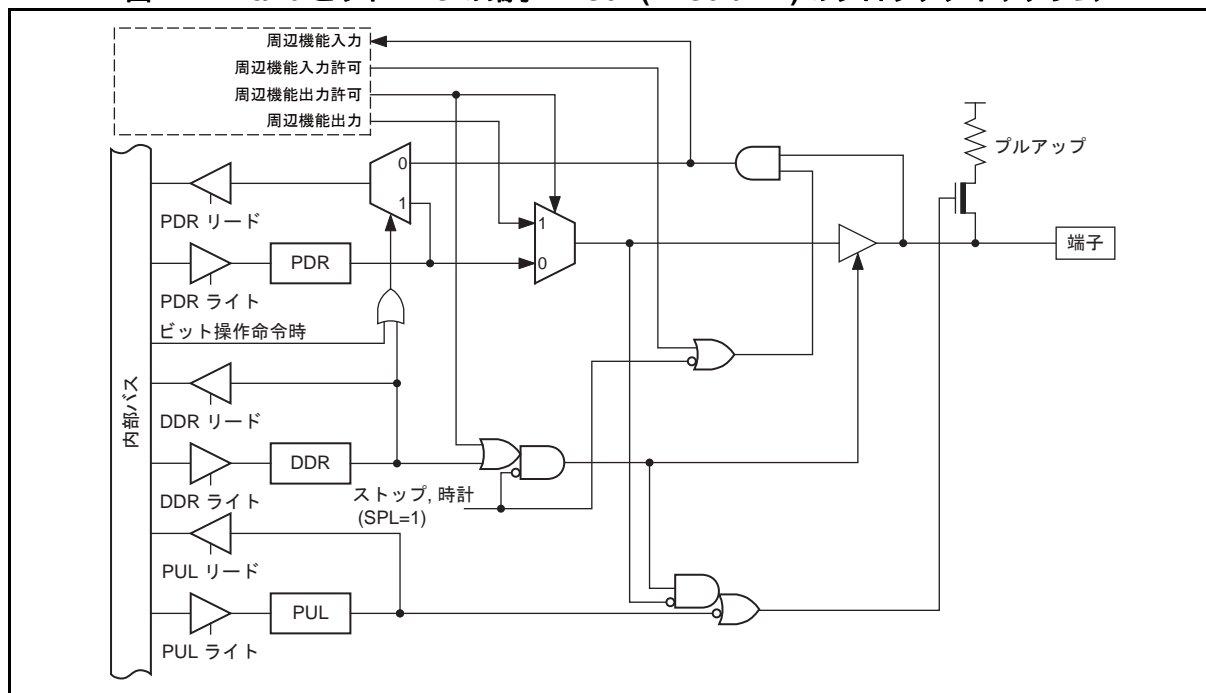
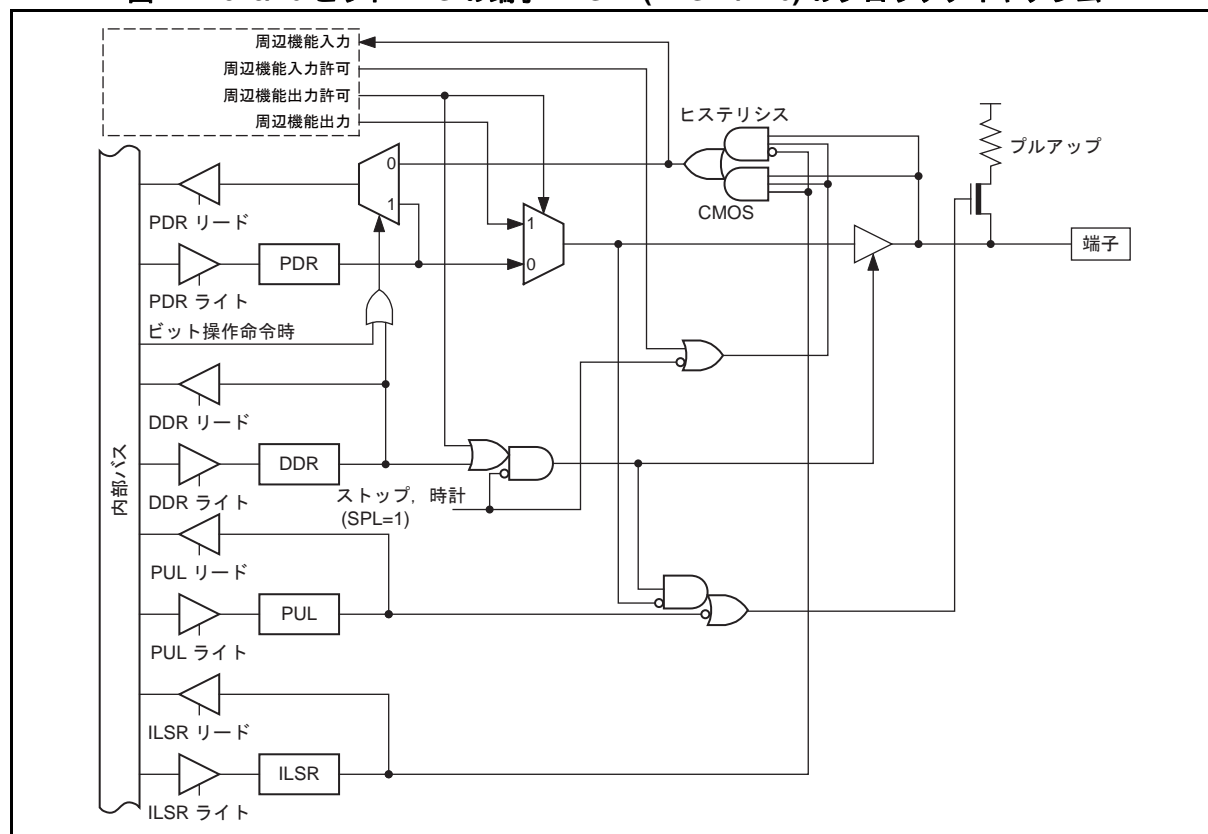


図 21.4-3 8/16 ビット PPG の端子 PPG21 (PPG21/P16) のブロックダイアグラム



21.5 8/16 ビット PPG のレジスタ (ch. 0)

8/16 ビット PPG のレジスタ (ch. 0) を説明します。

■ 8/16 ビット PPG のレジスタ

8/16 ビット PPG のレジスタを図 21.5-1 に示します。

図 21.5-1 8/16 ビット PPG のレジスタ

8/16 ビット PPG タイマ 01 制御レジスタ (PC01)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
003A _H	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
	R0/WX	R0/WX	R/W	R(RM1), W	R/W	R/W	R/W	R/W
								初期値
								00000000 _B
8/16 ビット PPG タイマ 00 制御レジスタ (PC00)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
003B _H	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	R/W	R/W	R/W	R(RM1), W	R/W	R/W	R/W	R/W
								初期値
								00000000 _B
8/16 ビット PPG タイマ 01 周期設定バッファレジスタ (PPS01)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0F9C _H	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								初期値
								11111111 _B
8/16 ビット PPG タイマ 00 周期設定バッファレジスタ (PPS00)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0F9D _H	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								初期値
								11111111 _B
8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ (PDS01)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0F9E _H	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								初期値
								11111111 _B
8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ (PDS00)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0F9F _H	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								初期値
								11111111 _B
8/16 ビット PPG 起動レジスタ (PPGS)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FA4 _H	-	-	PEN21	PEN20	PEN11	PEN10	PEN01	PEN00
	R0/WX	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W
								初期値
								00000000 _B
8/16 ビット PPG 出力反転レジスタ (REVC)								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FA5 _H	-	-	REV21	REV20	REV11	REV10	REV01	REV00
	R0/WX	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W
								初期値
								00000000 _B
R/W : リード / ライト可能 (読出し値は書込み値) R(RM1), W : リード / ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系 命令時は "1" 読出し) R0/WX : 読出し値は "0", 書込みは動作に影響なし - : 未定義ビット								

21.5.1 8/16 ビット PPG タイマ 01 制御レジスタ ch. 0 (PC01)

8/16 ビット PPG タイマ 01 制御レジスタ ch. 0 (PC01) は, PPG タイマ 01 側の動作条件を設定します。

■ 8/16 ビット PPG タイマ 01 制御レジスタ ch. 0 (PC01)

図 21.5-2 8/16 ビット PPG タイマ 01 制御レジスタ ch. 0 (PC01)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PC01 003AH	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10	00000000 _B
PC11 003CH									
PC21 003EH									
	R0/WX	R0/WX	R/W	R(RM1),W	R/W	R/W	R/W	R/W	

表 21.5-1 8/16 ビット PPG タイマ 01 制御レジスタ ch. 0 (PC01)

ビット名		機能
bit7, bit6	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。
bit5	PIE1: 割込み要求許可ビット	PPG タイマ 01 の割込みを制御します。 "0" に設定した場合：PPG タイマ 01 割込み禁止。 "1" に設定した場合：PPG タイマ 01 割込み許可。 カウンタボロー検出ビット (PUF1) が "1" で、かつ PIE1 ビットが "1" の場合、割込み要求 (IRQ) を出力します。
bit4	PUF1: PPG 周期ダウンカウンタのカウンタボロー検出フラグビット	PPG タイマ 01 の PPG 周期ダウンカウンタのカウンタボロー検出フラグです。 ・ 8 ビット PPG モード時および 8 ビットプリスケアラモード時にカウンタボローが発生した場合、このビットは "1" となります。 ・ 16 ビット PPG モード時は、カウンタボローが発生してもこのビットは "1" になりません。 ・ このビットに "1" を書き込んでも、動作に影響を与えません。 ・ "0" の書込みによりクリアされます。 ・ リードモディファイライト (RMW) 系命令時は "1" が読み出されます。 "0" に設定した場合：カウンタボロー未検出 "1" に設定した場合：カウンタボロー検出
bit3	POEN1: 出力許可ビット	PPG タイマ 01 の端子の出力許可または禁止を設定します。 "0" に設定した場合：PPG タイマ 01 端子を汎用ポートとして使用します。 "1" に設定した場合：PPG タイマ 01 端子を PPG 出力端子として使用します。 16 ビット PPG 動作モード時にこのビットを "1" に設定した場合、PPG タイマ 01 端子は出力固定となります (REV01 の設定値を出力。REV01= "0" の場合は "L" 出力)。
bit2 ~ bit0	CKS12, CKS11, CKS10: 動作クロック選択ビット	8 ビットダウンカウンタ PPG タイマ 01 の動作クロックを選択します。 ・ 動作クロックは、プリスケアラより生成されます。「第 6 章 クロック制御部」を参照してください。 ・ 16 ビット PPG 動作モードの場合、本ビットの設定は動作に関係ありません。 "000 _B " に設定した場合：MCLK "001 _B " に設定した場合：MCLK/2 "010 _B " に設定した場合：MCLK/4 "011 _B " に設定した場合：MCLK/8 "100 _B " に設定した場合：MCLK/16 "101 _B " に設定した場合：MCLK/32 "110 _B " に設定した場合： $F_{CH}/2^7$ "111 _B " に設定した場合： $F_{CH}/2^8$ (注意事項) サブクロックを使用している場合、タイムベースタイマが停止するため、"110 _B "、"111 _B " の選択は禁止です。

21.5.2 8/16 ビット PPG タイマ 00 制御レジスタ ch.0 (PC00)

8/16 ビット PPG タイマ 00 制御レジスタ ch. 0 (PC00) は, PPG タイマ 00 側の動作条件と動作モードを設定します。

■ 8/16 ビット PPG タイマ 00 制御レジスタ ch. 0 (PC00)

図 21.5-3 8/16 ビット PPG タイマ 00 制御レジスタ ch. 0 (PC00)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PC00 003B _H	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00	00000000 _B
PC10 003D _H									
PC20 003F _H									
	R/W	R/W	R/W	R(RM1),W	R/W	R/W	R/W	R/W	

CKS02

CKS01

CKS00

動作クロック選択ビット

0	0	0	MCLK
0	0	1	MCLK/2
0	1	0	MCLK/4
0	1	1	MCLK/8
1	0	0	MCLK/16
1	0	1	MCLK/32
1	1	0	F _{CH} /2 ⁷
1	1	1	F _{CH} /2 ⁸

POEN0

出力許可ビット

0	出力禁止 (汎用ポート)
1	出力許可

PUF0

PPG 周期ダウカウンタのカウンタポロー検出フラグビット

	読出し時	書込み時
0	カウンタポロー未検出	フラグクリア
1	カウンタポロー検出	動作に影響しません

PIE0

割込み要求許可ビット

0	割込み禁止
1	割込み許可

MD1

MD0

動作モード選択ビット

0	0	8 ビット PPG 独立モード
0	0	8 ビットプリスケラ + 8 ビット PPG モード
1	0	16 ビット PPG モード
1	1	

初期値

MCLK

F_{CH}

R/W

R(RM1),W

(RMW) 系命令時は “1” 読出し)

表 21.5-2 8/16 ビット PPG0 制御レジスタ (PC0)

ビット名		機能
bit7, bit6	MD1, MD0: 動作モード 選択ビット	PPG の動作モードを選択します。 カウント動作中には、本ビットの設定を変更しないでください。 "00 _B " の書込み : 8 ビット PPG 独立モード "01 _B " の書込み : 8 ビットプリスケラ + 8 ビット PPG モード "1x _B " の書込み : 16 ビット PPG モード
bit5	PIE0: 割込み要求許可ビット	PPG タイマ 00 の割込みを制御します。 ・ 16 ビット PPG 動作モードの場合、本ビットを設定してください。 "0" の書込み : PPG タイマ 00 割込み禁止。 "1" の書込み : PPG タイマ 00 割込み許可。 ・ カウンタボロー検出ビット (PUF0) が "1" で、かつ PIE0 ビットが "1" の場合、割込み要求 (IRQ) を出力します。
bit4	PUF0: PPG 周期ダウンカウンタのカウンタボロー検出 フラグビット	PPG タイマ 00 の PPG 周期ダウンカウンタのカウンタボロー検出フラグです。 ・ 16 ビット PPG 動作モード時はこのビットのみ有効です (PC01: PUF1 は動作しません)。 (注意事項) 8 ビットモード時は、カウンタボロー検出を常に有効にします。 ・ このビットへの "1" の書込みは動作に影響を与えません。 ・ "0" の書込みによりクリアされます。 ・ リードモディファイライト (RMW) 系命令時は "1" が読み出されます。 "0" の書込み : PPG タイマ 00 カウンタボロー未検出 "1" の書込み : PPG タイマ 00 カウンタボロー検出
bit3	POEN0: 出力許可ビット	PPG タイマ 00 の端子の出力許可または 禁止を設定します。 "0" の書込み : PPG タイマ 00 端子は汎用ポートとして使用します。 "1" の書込み : PPG タイマ 00 端子は PPG 出力端子として使用します。 16 ビット PPG 動作モードの場合、PPG タイマ 00 端子より出力されますので、このビットにより制御します。
bit2 ~ bit0	CKS02, CKS01, CKS00: 動作クロック選択ビット	8 ビットダウンカウンタ PPG タイマ 00 の動作クロックを選択します。 ・ 動作クロックは、プリスケラより生成されます。「第 6 章 クロック制御部」を参照してください。 ・ 8 ビットプリスケラ + 8 ビット PPG モードの場合、PPG タイマ 00 のカウント動作クロックは PPG タイマ 01 の PPG 出力の両エッジ検出パルスとなります。そのため、本ビットの設定は動作に関係ありません。 ・ 16 ビット PPG 動作モードの場合、本ビットを設定してください。 "000 _B " に設定した場合 : MCLK "001 _B " に設定した場合 : MCLK/2 "010 _B " に設定した場合 : MCLK/4 "011 _B " に設定した場合 : MCLK/8 "100 _B " に設定した場合 : MCLK/16 "101 _B " に設定した場合 : MCLK/32 "110 _B " に設定した場合 : $F_{CH}/2^7$ "111 _B " に設定した場合 : $F_{CH}/2^8$ (注意事項) サブクロックを使用している場合、タイムベースタイマが停止するため、"110 _B ", "111 _B " の選択は禁止です。

21.5.3 8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS01), (PPS00)

8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS01), (PPS00) は , PPG 出力の周期を設定します。

■ 8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS01), (PPS00)

図 21.5-4 8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS01), (PPS00)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PPS01 0F9C _H	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	11111111 _B
PPS11 0FA0 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PPS21 0FA6 _H									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PPS00 0F9D _H	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0	11111111 _B
PPS10 0FA1 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PPS20 0FA7 _H									
R/W : リード / ライト可能 (読出し値は書込み値)									

PPG 出力周期を設定するためのレジスタです。

- 16 ビット PPG モードの場合, PPS01 が上位 8 ビット, PPS00 が下位 8 ビットです。
- 16 ビット PPG モードの場合, 上位, 下位の順番に書き込んでください。上位のみの書込みの場合は前回の書込み値が次のロードで再度使用されます。
- 8 ビットモード: 周期は最大 255 (FF_H) × 入力クロックの周期となります。
- 16 ビットモード: 周期は最大 65535 (FFFF_H) × 入力クロックの周期となります。
- リセットで初期化されます。
- 8 ビット PPG 独立モードまたは 8 ビットプリスケアラモード + 8 ビット PPG モードで使用する場合, 周期を "00_H" または "01_H" に設定しないでください。
- 16 ビット PPG モードで使用する場合, 周期を "0000_H" または "0001_H" に設定しないでください。
- 動作中に周期設定を変更した場合, 次の PPG 周期から変更した設定が有効となります。

21.5.4 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00)

8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00) は、PPG 出力のデューティを設定します。

■ 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00)

図 21.5-5 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS01), (PDS00)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PDS01 0F9E _H	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0	11111111 _B
PDS11 0FA2 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDS21 0FAA _H									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
PDS00 0F9F _H	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0	11111111 _B
PDS10 0FA3 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PDS20 0FAB _H									

R/W : リード / ライト可能 (読出し値は書込み値)

PPG 出力のデューティ (通常極性の場合は "H" パルス幅) を設定するためのレジスタです。

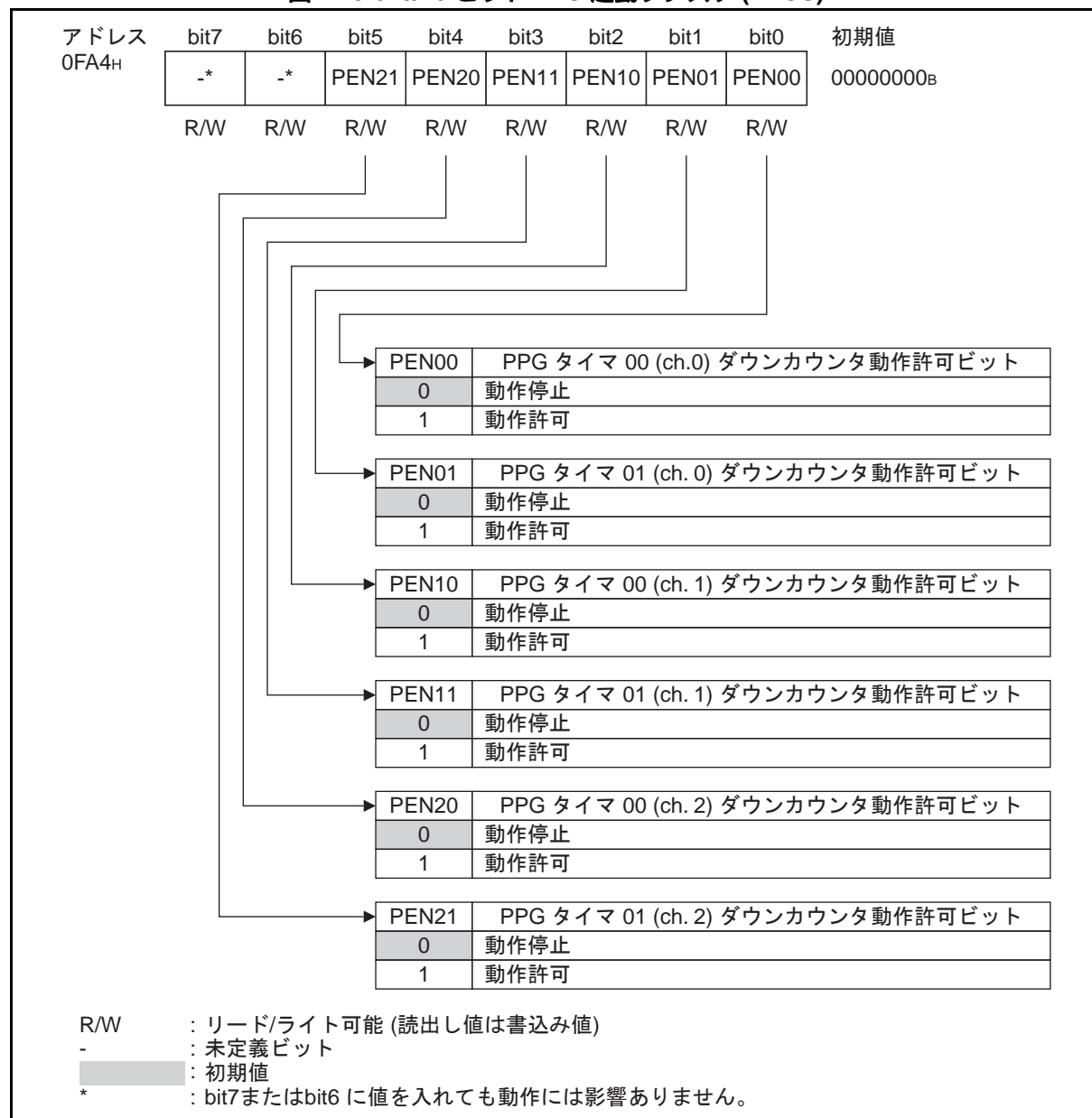
- 16 ビット PPG モードの場合、PDS01 が上位 8 ビット、PDS00 が下位 8 ビットです。
- 16 ビット PPG モードの場合、上位、下位の順番に書き込んでください。上位のみの書込みの場合は前回の書込み値が次のロードで再度使用されます。PDS00 の書込みにより PDS01 も反映されます。
- リセットで初期化されます。
- デューティを 0% にする場合は、"00_H" を設定してください。
- デューティを 100% にする場合は、8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPS00, PPS01) と同じ値を設定してください。
- 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS) に 8/16 ビット PPG 周期設定バッファレジスタ (PPS) の設定値より大きな値を設定すると、PPG 出力は通常極性 (8/16 ビット PPG 出力反転レジスタの出力レベル反転ビットが "0" の場合) で "L" 出力になります。
- 動作中にデューティ設定を変更した場合、次の PPG 周期から変更した値が有効となります。

21.5.5 8/16 ビット PPG 起動レジスタ (PPGS)

8/16 ビット PPG 起動レジスタ (PPGS) は、ダウンカウンタを起動または停止します。各チャンネルの動作許可ビットが PPGS レジスタに配置されていますので、PPG 各チャンネルの同時起動が可能です。

■ 8/16 ビット PPG 起動レジスタ (PPGS)

図 21.5-6 8/16 ビット PPG 起動レジスタ (PPGS)

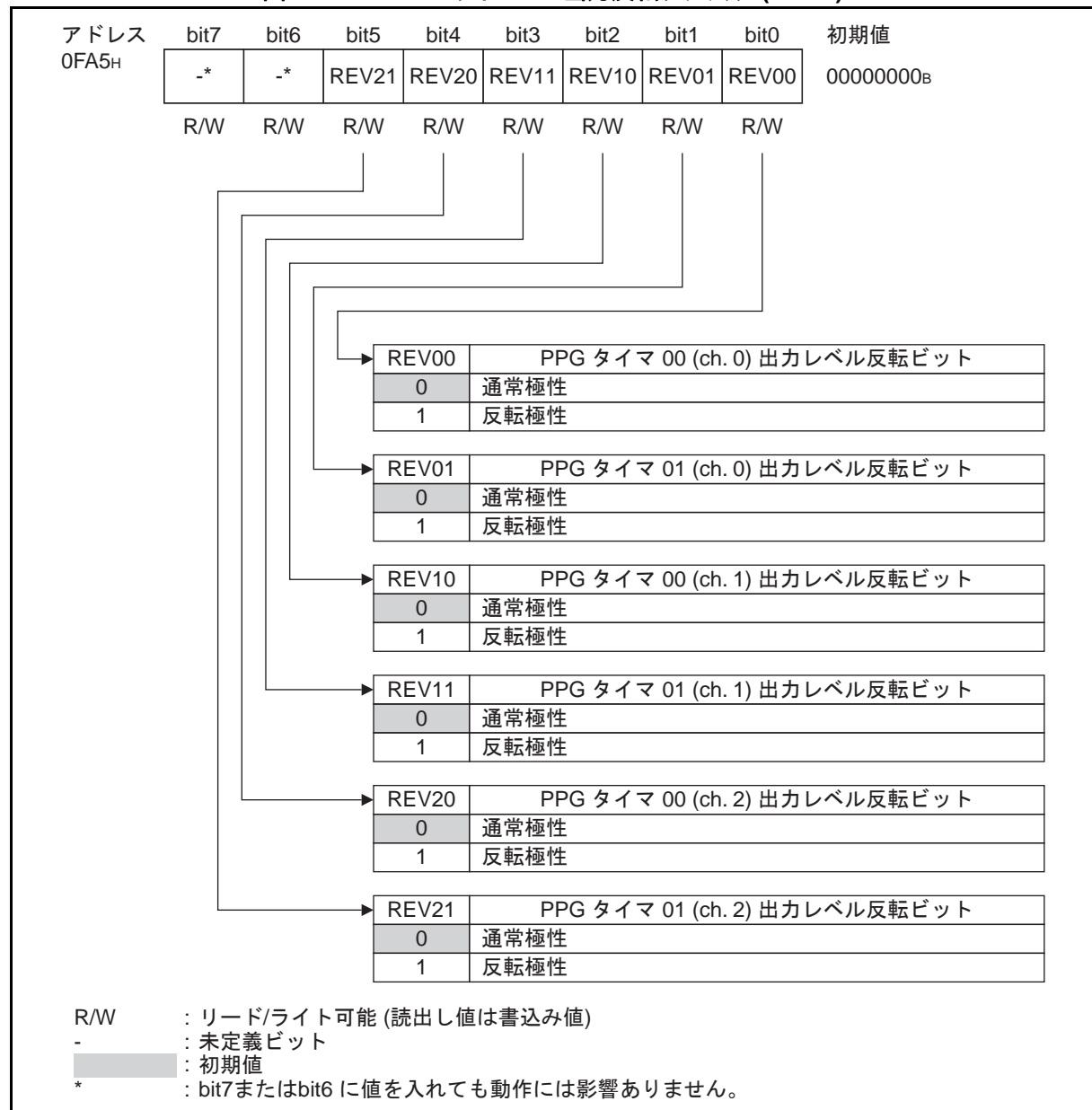


21.5.6 8/16 ビット PPG 出力反転レジスタ (REVC)

8/16 ビット PPG 出力反転レジスタ (REVC) は、PPG 出力を初期レベルも含めて反転させます。

■ 8/16 ビット PPG 出力反転レジスタ (REVC)

図 21.5-7 8/16 ビット PPG 出力反転レジスタ (REVC)



21.6 8/16 ビット PPG の割込み

8/16 ビット PPG は、カウンタボロー検出時に割込み要求を出力します。

■ 8/16 ビット PPG の割込み

表 21.6-1 に、8/16 ビット PPG の割込み制御ビットと割込み要因を示します。

表 21.6-1 8/16 ビット PPG の割込み制御ビットと割込み要因

項目	説明	
	PPG タイマ 01 (8 ビット PPG, 8 ビットプリスケラ)	PPG タイマ 00 (8 ビット PPG, 16 ビット PPG)
割込み要求フラグビット	PC01 の PUF1 ビット	PC00 の PUF0 ビット
割込み要求許可ビット	PC01 の PIE1 ビット	PC00 の PIE0 ビット
割込み要因	PPG 周期ダウンカウンタのカウントボロー	

8/16 ビット PPG では、ダウンカウンタのカウントボローにより、8/16 ビット PPG タイマ 00/01 制御レジスタ (PC) のカウントボロー検出フラグビット (PUF) に "1" が設定されます。割込み要求許可ビット (PIE=1) を許可にしている場合、割込み要求を割込みコントローラへ出力します。

16 ビット PPG モードの場合、8/16 ビット PPG タイマ 00 制御レジスタ (PC00) が有効となります。

■ 8/16 ビット PPG の割込みに関連するレジスタとベクタテーブルのアドレス

表 21.6-2 8/16 ビット PPG の割込みに関連するレジスタとベクタテーブルのアドレス

割込み要因	割込み要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
8/16 ビット PPG ch. 0 (下位)	IRQ13	ILR3	L13	FFE2 _H	FFE3 _H
8/16 ビット PPG ch. 0 (上位)	IRQ12	ILR3	L12	FFE0 _H	FFE1 _H
8/16 ビット PPG ch. 1 (下位)	IRQ09	ILR2	L09	FFE8 _H	FFE9 _H
8/16 ビット PPG ch. 1 (上位)	IRQ10	ILR2	L10	FFE6 _H	FFE7 _H
8/16 ビット PPG ch. 2 (下位)	IRQ15	ILR3	L15	FFDC _H	FFDD _H
8/16 ビット PPG ch. 2 (上位)	IRQ11	ILR2	L11	FFE4 _H	FFE5 _H

ch.: チャネル

各周辺機能のそれぞれの割込み要求番号およびベクタテーブルのアドレスについては「付録 B 割込み要因一覧表」を参照してください。

21.7 8/16 ビット PPG の動作説明と設定手順例

8/16 ビット PPG の動作について説明します。

■ 設定手順例

以下に、8/16 ビット PPG ch. 0 の設定手順例を示します。

● 初期設定

- 1) ポートの出力設定 (DDR1)
- 2) 割込みレベルの設定 (ILR3)
- 3) 動作クロック選択, 出力許可, 割込み許可 (PC01)
- 4) 動作クロック選択, 出力許可, 割込み許可, 動作モード選択 (PC00)
- 5) 周期設定 (PPS)
- 6) デューティ設定 (PDS)
- 7) 出力反転設定 (REVC)
- 8) PPG 起動 (PPGS)

● 割込み処理

- 1) 任意の割込み処理
- 2) 割込み要求フラグクリア (PC01: PUF1, PC00: PUF0)
- 3) PPG 起動 (PPGS)

21.7.1 8 ビット PPG 独立モード

2 チャンネル (PPG タイマ 00, PPG タイマ 01) の 8 ビット PPG として動作するモードです。

■ 8 ビット PPG 独立モードの設定

8 ビット PPG 独立モードとして動作させるには、レジスタを図 21.7-1 のように設定してください。

図 21.7-1 8 ビット PPG 独立モード

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PC01	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
			⊙	⊙	⊙	⊙	⊙	⊙
PC00	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	0	0	⊙	⊙	⊙	⊙	⊙	⊙
PPS01	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	PPG タイマ 01 の PPG 出力周期を設定							
PPS00	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	PPG タイマ 00 の PPG 出力周期を設定							
PDS01	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	PPG タイマ 01 の PPG 出力デューティを設定							
PDS00	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	PPG タイマ 00 の PPG 出力デューティを設定							
PPGS	-	-	PEN21	PEN20	PEN11	PEN10	PEN01	PEN00
	*	*	*	*	*	*	⊙	⊙
REVC	-	-	REV21	REV20	REV11	REV10	REV01	REV00
	*	*	*	*	*	*	⊙	⊙

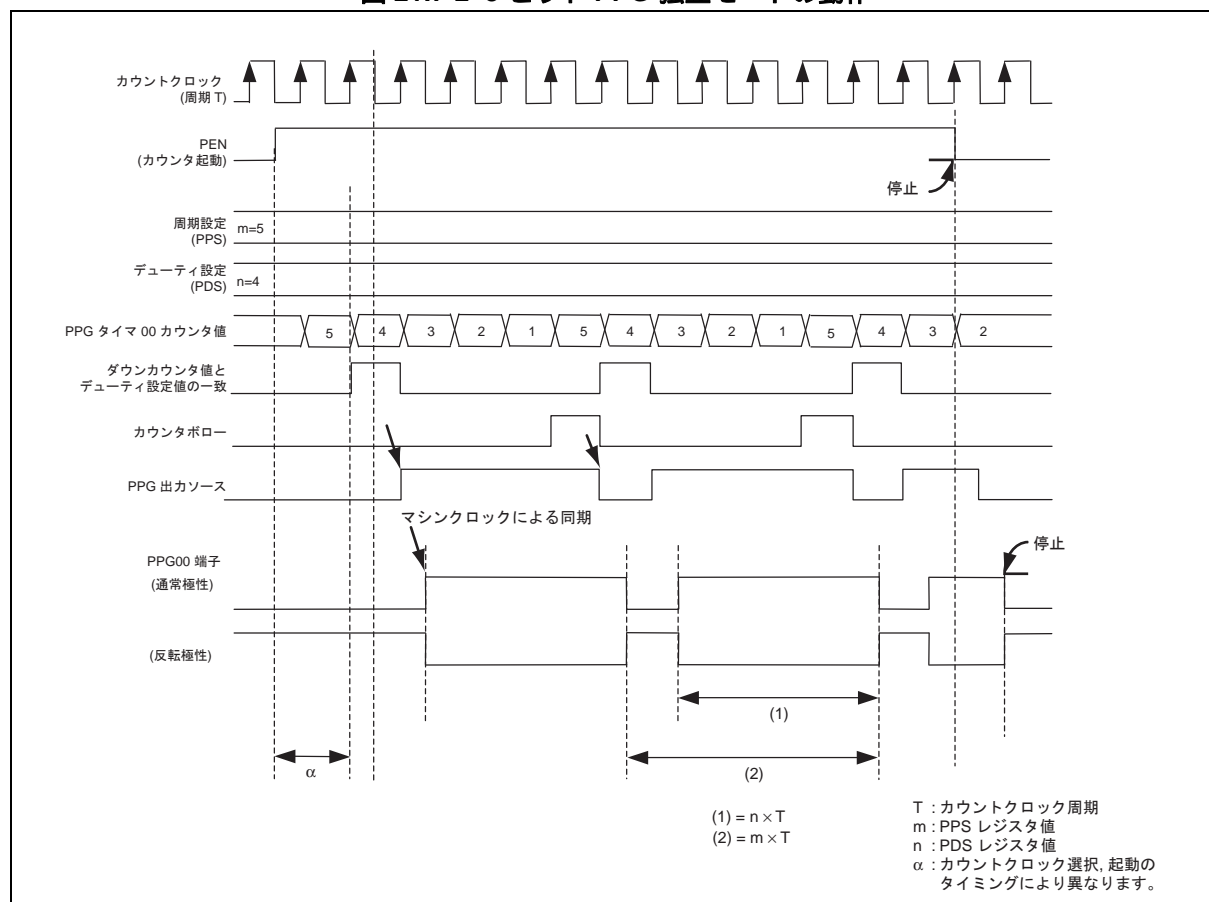
⊙ : 使用ビット
 0 : "0" に設定
 * : 搭載するチャンネル数によります。

■ 8 ビット PPG 独立モードの動作

- 8/16 ビット PPG タイマ 00 制御レジスタ (PC00) の動作モード選択ビット (MD1, MD0) を "00_B" に設定すると本モードとなります。
- 8/16 ビット PPG 起動レジスタ (PPGS) の対応するパリティ制御ビット (PEN) に "1" を設定すると、8/16 ビット PPG 周期設定バッファレジスタ (PPS) の値をロードして、ダウナカウント動作が開始されます。カウント値が "1" に達したとき、再び周期設定レジスタの値がロードされ、カウント動作が繰り返されます。
- ダウナカウンタの値と 8/16 ビット PPG タイマ 00/01 デューティ設定バッファレジスタ (PDS) の値が一致したとき、カウントクロックに同期して PPG 出力に "H" を出力します。デューティ設定値分 "H" を出力した後、PPG 出力に "L" を出力します。ただし、PPG 出力反転ビットが "1" の場合、PPG 出力は上記の説明の逆になります。

図 21.7-2 に、8 ビット PPG 独立モードの動作を示します。

図 21.7-2 8 ビット PPG 独立モードの動作



デューティを 50% にする場合の例

PPS が "04_H" の場合, PDS を "02_H" に設定すると, PPG 出力がデューティ比 50% になります (PPS 設定値 /2 を PDS に設定)。

21.7.2 8 ビットプリスケラ + 8 ビット PPG モード

PPG タイマ 01 の PPG 出力の両エッジ検出パルスを PPG タイマ 00 のダウンカウンタのカウントクロックとすることで、PPG タイマ 00 に任意周期の 8 ビット PPG 出力が可能となるモードです。

■ 8 ビットプリスケラ + 8 ビット PPG モードの設定

8 ビットプリスケラ + 8 ビット PPG モードとして動作させるには、レジスタを図 21.7-3 のように設定してください。

図 21.7-3 8 ビットプリスケラ + 8 ビット PPG モードの設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PC01	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
			⊙	⊙	⊙	⊙	⊙	⊙
PC00	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	0	1	⊙	⊙	⊙	x	x	x
PPS01	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	PPG タイマ 01 の PPG 出力周期を設定							
PPS00	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	PPG タイマ 00 の PPG 出力周期を設定							
PDS01	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	PPG タイマ 01 の PPG 出力デューティを設定							
PDS00	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	PPG タイマ 00 の PPG 出力デューティを設定							
PPGS	-	-	PEN21	PEN20	PEN11	PEN10	PEN01	PEN00
	*	*	*	*	*	*	⊙	⊙
REVC	-	-	REV21	REV20	REV11	REV10	REV01	REV00
	*	*	*	*	*	*	⊙	⊙

⊙ : 使用ビット
 0 : "0" に設定
 1 : "1" に設定
 x : 設定無効
 * : 搭載するチャンネル数によります。

■ 8 ビットプリスケラ + 8 ビット PPG モードの動作

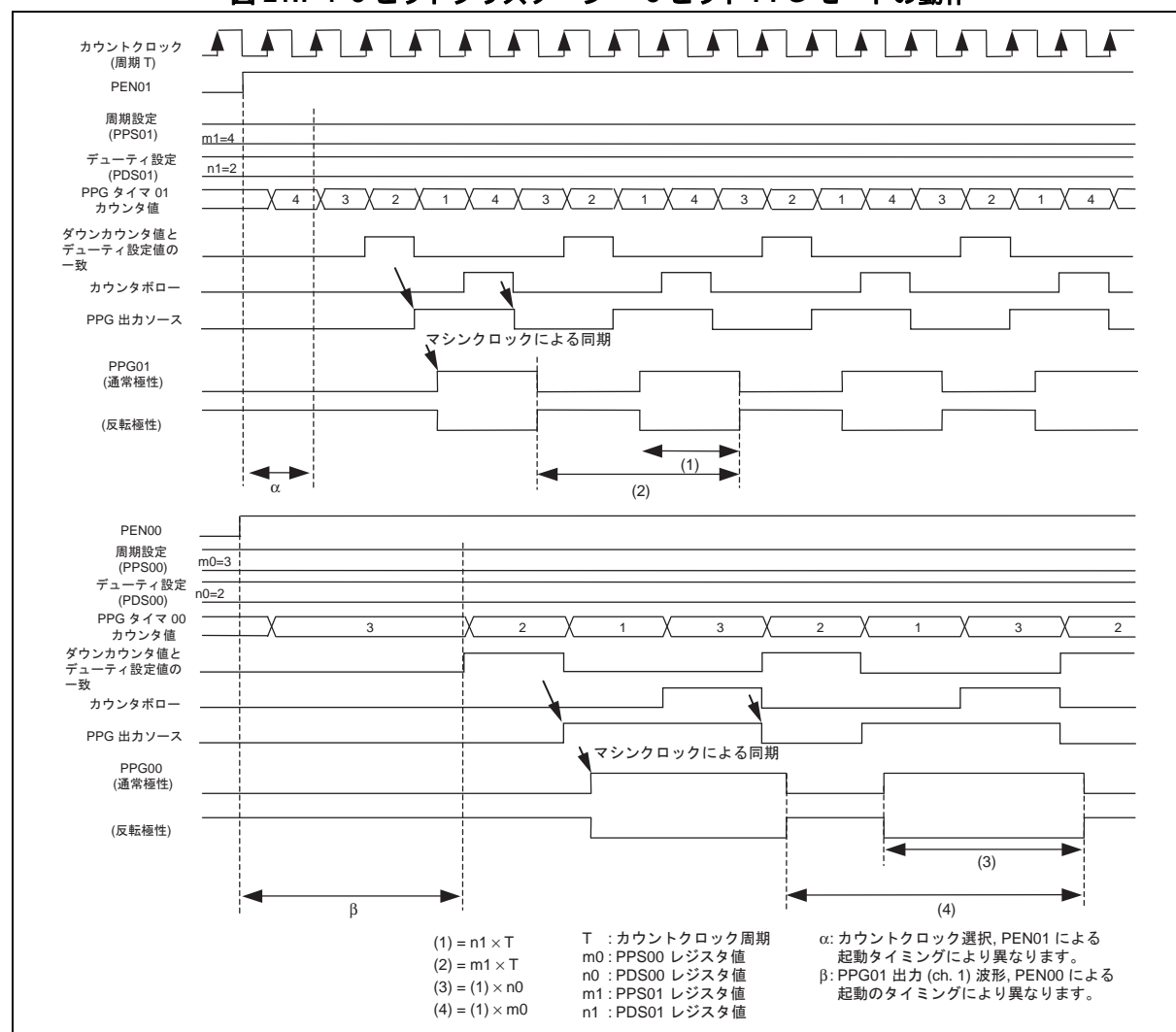
- 8/16 ビット PPG タイマ 00 制御レジスタ (PC00) の動作モード選択ビット (MD1, MD0) を "01_B" に設定すると本モードとなります。PPG タイマ 01 を 8 ビットプリスケラとして使用し、PPG タイマ 00 を 8 ビット PPG として使用します。
- 8 ビットプリスケラ (PPG タイマ 01) は、PPG タイマ 00 (ch.1) ダウンカウンタ動作許可ビット (PEN01) を "1" に設定したとき、8/16 ビット PPG タイマ 01 周期設定バッファレジスタ (PPS01) の値をロードしてダウンカウンタ動作を開始します。ダウンカウンタの値と 8/16 ビット PPG タイマ 01 デューティ設定バッファレジスタ (PDS01) の値が一致したとき、カウントクロックに同期して PPG01 出力に "H" が設定され、デューティ設定値分 "H" を出力した後、PPG01 出力に "L" が設定されます。

出力反転ビット (REV01) が "0" であればこのままの極性, "1" であれば反転して PPG 端子に出力されます。

- 8 ビット PPG (PPG タイマ 00) は, PPG 動作許可ビット (PEN00) に "1" を設定したとき, 8/16 ビット PPG タイマ 00 周期設定バッファレジスタ (PPS00) の値をロードしてダウンカウント動作を開始します (カウントクロックは PPG タイマ 01 が動作許可状態になった後の PPG01 出力の両エッジ検出パルス)。カウント値が "1" に達したとき, 再び 8/16 ビット PPG タイマ 00 周期設定バッファレジスタの値をロードし, カウント動作を繰り返します。ダウンカウンタの値と 8/16 ビット PPG タイマ 00 デューティ設定バッファレジスタ (PDS00) の値が一致したとき, カウントクロックに同期して PPG00 出力を "H" に設定し, デューティ設定値分 "H" を出力した後, PPG00 出力を "L" にリセットします。出力反転ビット (REV00) が "0" であればこのままの極性, "1" であれば反転して PPG00 端子に出力されます。
- 8 ビットプリスケアラ (PPG タイマ 01) の出力のデューティは 50% となるように設定してください。
- PPG タイマ 00 を起動し, 8 ビットプリスケアラ (PPG タイマ 01) が停止している場合, PPG タイマ 00 はカウント動作を行いません。
- 8 ビットプリスケアラ (PPG タイマ 01) のデューティ設定を 0%, または 100% にした場合, 8 ビットプリスケアラ (PPG タイマ 01) の出力はトグルしないため, PPG タイマ 00 はカウント動作を行いません。

図 21.7-4 に, 8 ビットプリスケアラ + 8 ビット PPG モードの動作を示します。

図 21.7-4 8 ビットプリスケラ + 8 ビット PPG モードの動作



MB95330H シリーズ

21.7.3 16 ビット PPG モード

PPG タイマ 01 を上位 , PPG タイマ 00 を下位に割り当てることで 16 ビット PPG として動作するモードです。

■ 16 ビット PPG モードの設定

16 ビット PPG モードとして動作させるには、レジスタを図 21.7-5 のように設定してください。

図 21.7-5 16 ビット PPG モードの設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
PC01	-	-	PIE1	PUF1	POEN1	CKS12	CKS11	CKS10
			⊙	⊙	⊙	⊙	⊙	⊙
PC00	MD1	MD0	PIE0	PUF0	POEN0	CKS02	CKS01	CKS00
	0	0/1	⊙	⊙	⊙	⊙	⊙	⊙
PPS01	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	PPG タイマ 01 の PPG 出力周期を設定 (上位 8 ビット)							
PPS00	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	PPG タイマ 00 の PPG 出力周期を設定 (下位 8 ビット)							
PDS01	DH7	DH6	DH5	DH4	DH3	DH2	DH1	DH0
	PPG タイマ 01 の PPG 出力デューティを設定 (上位 8 ビット)							
PDS00	DL7	DL6	DL5	DL4	DL3	DL2	DL1	DL0
	PPG タイマ 00 の PPG 出力デューティを設定 (下位 8 ビット)							
PPGS	-	-	PEN21	PEN20	PEN11	PEN10	PEN01	PEN00
	*	*	*	*	*	*	×	⊙
REVC	-	-	REV21	REV20	REV11	REV10	REV01	REV00
	*	*	*	*	*	*	×	⊙

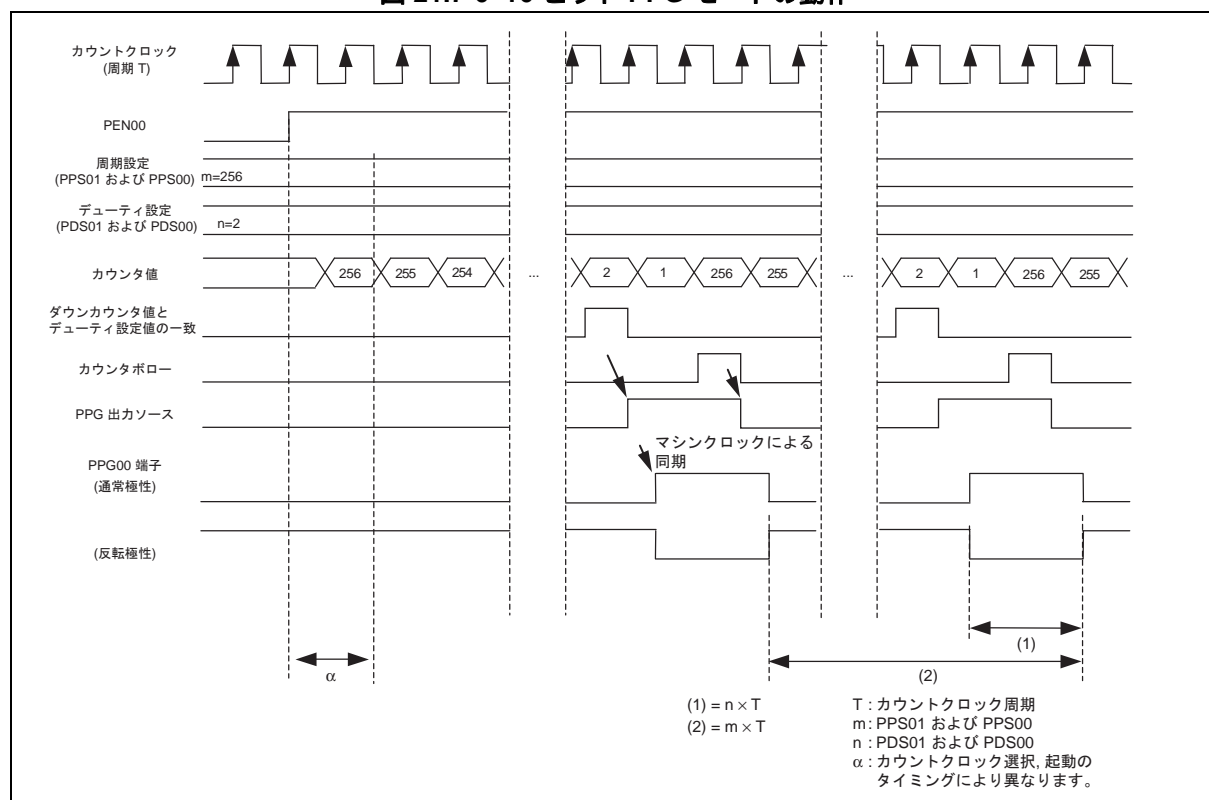
⊙ : 使用ビット
 0 : "0" に設定
 1 : "1" に設定
 × : 設定無効
 * : 搭載するチャンネル数によります。

■ 16 ビット PPG モードの動作

- PPG タイマ 00 制御レジスタ (PC00) の動作モード選択ビット (MD1, MD0) を "10_B" または "11_B" に設定すると本モードとなります。
- 16 ビット PPG モードの場合, 8 ビットダウンカウンタ (PPG タイマ 00) と 8 ビットダウンカウンタ (PPG タイマ 01) は, PPG 動作許可ビット (PEN00) を "1" に設定した場合, 8/16 ビット PPG タイマ 00/01 周期設定バッファレジスタ (PPG タイマ 01 には PPS01, PPG タイマ 00 には PPS00) の値をロードして, ダウンカウント動作を開始します。カウント値が "1" に達したとき, 再び周期設定レジスタの値がロードされ, カウント動作が繰り返されます。
- ダウンカウンタの値と 8/16 ビット PPG タイマデューティ設定バッファレジスタの値が (PPG タイマ 01 は PDS01, PPG タイマ 00 は PDS00 の値がともに) 一致したとき, カウントクロックに同期して PPG00 端子に "H" を設定し, デューティ設定値分 "H" を出力した後, PPG00 端子を "L" に設定します。出力反転ビット (REV00) が "0" であればこのままの極性で PPG00 端子に出力され, "1" が設定されていれば反転して PPG00 端子 (ch. 00 のみ。ch. 1 は初期値 REV01 が "0" なら "L", "1" なら "H") に出力されます。

図 21.7-6 に, 16 ビット PPG モードの動作を示します。

図 21.7-6 16 ビット PPG モードの動作



■ 設定手順例

以下に、8/16 ビット PPG ch. 0 の設定手順例を示します。

● 初期設定

- 1) ポートの出力設定 (DDR1)
- 2) 割込みレベルの設定 (ILR3)
- 3) 動作クロック選択, 出力許可, 割込み許可 (PC01)
- 4) 動作クロック選択, 出力許可, 割込み許可, 動作モード選択 (PC00)
- 5) 周期設定 (PPS)
- 6) デューティ設定 (PDS)
- 7) 出力反転設定 (REVC)
- 8) PPG 起動 (PPGS)

● 割込み処理

- 1) 任意の割込み処理
- 2) 割込み要求フラグクリア (PC01: PUF1, PC00: PUF0)
- 3) PPG 起動 (PPGS)

21.8 8/16 ビット PPG 使用上の注意

8/16 ビット PPG 使用上の注意を以下に示します。

■ 8/16 ビット PPG 使用上の注意

● 動作上の注意

PPG の起動時とカウントクロックのタイミングによって、起動後 1 周期目の PPG 出力の周期に誤差が生じる可能性があり、その誤差はカウントクロックの選択により異なります。2 周期目以降は正常に出力されます。

● 割込みに関する注意

割込み許可ビット (PIE1/PIE0) に "1" を設定している場合、8/16 ビット PPG タイマ 01/00 制御レジスタ (PC01/PC00) の割込み要求フラグビット (PUF1/PUF0) が "1" に設定されると、PPG 割込みが発生します。割込みルーチン内では、割込み要求フラグビット (PUF1/PUF0) は必ず "0" にクリアしてください。

21.9 8/16 ビット PPG の設定例

8/16 ビット PPG の設定例を以下に示します。

■ 設定例

● PPG 動作を許可 / 停止する方法

PPG タイマ 00 の場合は , PPG 動作許可ビット (PPGS: PEN00, PEN10 または PEN20) で行います。

動作	PPG 動作許可ビット (PEN00, PEN10 または PEN20)
PPG 動作を停止させるには	"0" を設定する
PPG 動作を許可するには	"1" を設定する

PPG 動作許可は PPG を起動する前にしてください。

PPG タイマ 01 の場合は , PPG 動作許可ビット (PPGS: PEN01, PEN11 または PEN21) で行います。

動作	PPG 動作許可ビット (PEN01, PEN11 または PEN21)
PPG 動作を停止させるには	"0" を設定する
PPG 動作を許可するには	"1" を設定する

PPG 動作許可は PPG を起動する前にしてください。

● PPG の動作モードを設定する方法

動作モード選択ビット (PC00: MD [1:0]) で行います。

● 動作クロックの選択方法

ch.1 は , 動作クロック選択ビット (PC01: CKS12/CKS11/CKS10) で選択します。

ch. 0 は , 動作クロック選択ビット (PC00: CKS02/CKS01/CKS00) で選択します。

● PPG 出力端子を許可 / 禁止する方法

出力許可ビット (PC00: POEN0 または PC01: POEN1) で行います。

動作	出力許可ビット (POEN0 または POEN1)
PPG 出力を許可するには	"1" を設定する
PPG 出力を禁止するには	"0" を設定する

● PPG 出力を反転させる方法

PPG タイマ 00 の場合は, 出力レベル反転ビット (REVC: REV00, REV10 または REV20) で行います。

動作	出力レベル反転ビット (REV00, REV10 または REV20)
PPG 出力を反転するには	"1" を設定する

PPG タイマ 01 の場合は, 出力レベル反転ビット (REVC: REV01, REV11 または REV21) で行います。

動作	出力レベル反転ビット (REV01, REV11 または REV21)
PPG 出力を反転するには	"1" を設定する

● 割込み関連レジスタ

割込みレベルは, 下表の割込みレベル設定レジスタで設定します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
ch. 0 (下位)	割込みレベルレジスタ (ILR3) アドレス : 0007C _H	#12 アドレス : 0FFE2 _H
ch. 0 (上位)	割込みレベルレジスタ (ILR3) アドレス : 0007C _H	#13 アドレス : 0FFE0 _H
ch. 1 (下位)	割込みレベルレジスタ (ILR2) アドレス : 0007B _H	#09 アドレス : 0FFE8 _H
ch. 1 (上位)	割込みレベルレジスタ (ILR2) アドレス : 0007B _H	#10 アドレス : 0FFE6 _H
ch. 2 (下位)	割込みレベルレジスタ (ILR3) アドレス : 0007C _H	#15 アドレス : 0FFDC _H
ch. 2 (上位)	割込みレベルレジスタ (ILR2) アドレス : 0007B _H	#11 アドレス : 0FFE4 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み要求許可フラグ, 割込み要求フラグ

割込み許可または禁止の設定は, 割込み要求許可ビット (PC00: PIE0 または PC01: PIE1) にて行います。

動作	割込み要求許可ビット (PIE0 または PIE1)
割込み要求を禁止するには	"0" を設定する

動作	割込み要求許可ビット (PIE0 または PIE1)
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (PC00: PUF0 または PC01: PUF1) にて行います。

動作	割込み要求フラグ (PUF0 または PUF1)
割込み要求をクリアするには	"0" を設定する

第22章

16 ビット PPG タイマ

16 ビット PPG タイマの機能と動作について説明します。

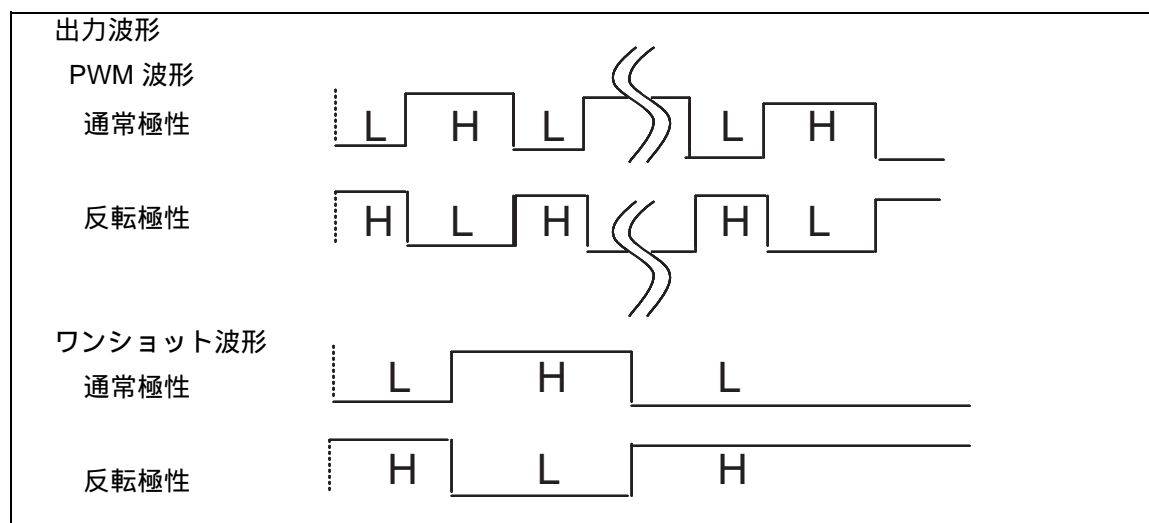
- 22.1 16 ビット PPG タイマの概要
- 22.2 16 ビット PPG タイマの構成
- 22.3 16 ビット PPG タイマのチャンネル
- 22.4 16 ビット PPG タイマの端子
- 22.5 16 ビット PPG タイマのレジスタ
- 22.6 16 ビット PPG タイマ割込み
- 22.7 16 ビット PPG タイマの動作説明と設定手順例
- 22.8 16 ビット PPG タイマ使用上の注意
- 22.9 16 ビット PPG タイマのサンプル設定

22.1 16 ビット PPG タイマの概要

16 ビット PPG タイマは、PWM (Pulse Width Modulation) 出力や、ワンショット (の矩形波) 出力を行えます。その出力波形の周期とデューティはソフトウェアで自由に変更できます。さらに、スタートトリガの発生、出力波形の立上り / 立下りエッジにおいて割込みを発生できます。

■ 16 ビット PPG タイマ

16 ビット PPG タイマは、PWM 出力やワンショット出力を行えます。レジスタの設定により出力波形を反転させることができます (通常極性 反転極性)。



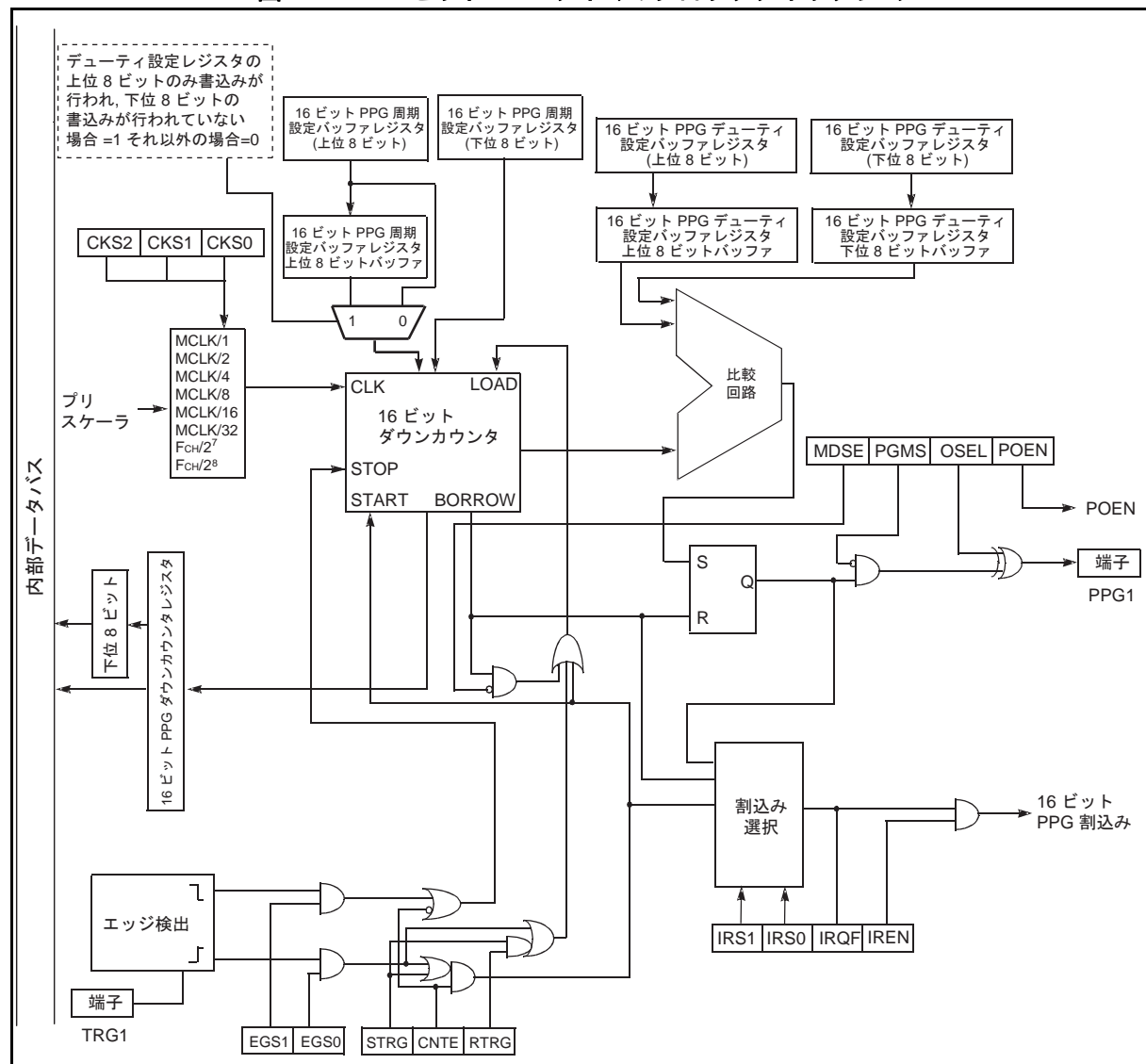
- カウント動作クロックは、8 種類 (MCLK/1, MCLK/2, MCLK/4, MCLK/8, MCLK/16, MCLK/32, $F_{CH}/2^7$, $F_{CH}/2^8$) の中から選択できます (MCLK: マシンクロック, F_{CH} : メインクロック)。
- 割込み発生は下記の 4 条件の中から選択できます。
 - PPG タイマのスタートトリガ発生
 - 16 ビットダウンカウンタのカウンタボロー発生 (設定した周期が一致)
 - 通常極性での PPG 立上りエッジまたは反転極性での PPG 立下りエッジ
 - カウンタボロー、または通常極性での PPG 立上りエッジまたは反転極性での PPG 立下りエッジ

22.2 16ビット PPG タイマの構成

16ビット PPG タイマのブロックダイアグラムを示します。

■ 16ビット PPG タイマのブロックダイアグラム

図 22.2-1 16ビット PPG タイマのブロックダイアグラム



● カウントクロックセクタ

8種類の内部カウントクロックから16ビットダウンカウンタのカウントダウン用クロックを選択します。

● 16ビットダウンカウンタ

カウントクロックセクタで選択されたカウントクロックでカウントダウンします。

● 比較回路

16 ビットダウンカウンタの値が 16 ビット PPG 周期設定バッファレジスタの値から 16 ビット PPG デューティ設定バッファレジスタの値に一致するまで出力を "H" に保ちます。

その後、カウンタ値が "1" に一致するまで出力を "L" に保った後、16 ビットダウンカウンタは 16 ビット PPG 周期設定バッファレジスタの値からカウントを続けます。

● 16 ビット PPG ダウンカウンタレジスタ上位、下位 (PDCRH1, PDCRL1)

16 ビット PPG タイマの 16 ビットダウンカウンタの値を読み出します。

● 16 ビット PPG 周期設定バッファレジスタ上位、下位 (PCSRH1, PCSRL1)

16 ビット PPG タイマの周期用コンペア値を設定します。

● 16 ビット PPG デューティ設定バッファレジスタ上位、下位 (PDUTH1, PDUTL1)

16 ビット PPG タイマの "H" 幅用コンペア値の設定を行います。

● 16 ビット PPG 状態制御レジスタ上位、下位 (PCNTH1, PCNTL1)

16 ビット PPG タイマの動作モードや動作条件を設定します。

■ 入力クロック

16 ビット PPG タイマは、プリスケラからの出力クロックを入力クロック (カウントクロック) として使用します。

MB95330H シリーズ

22.3 16 ビット PPG タイマのチャンネル

16 ビット PPG タイマのチャンネルについて説明します。

■ 16 ビット PPG タイマのチャンネル

MB95330H シリーズは、16 ビット PPG タイマを 1 チャンネル搭載しています。
16 ビット PPG タイマの端子とレジスタを表 22.3-1 および表 22.3-2 にそれぞれ示します。

表 22.3-1 16 ビット PPG タイマの端子

チャンネル	端子名	端子機能
1	PPG1	PPG1 出力
	TRG1	トリガ 1 入力

表 22.3-2 16 ビット PPG タイマのレジスタ

チャンネル	レジスタ略称	レジスタ対応 (本マニュアル上の表記)
1	PDCRH1	16 ビット PPG ダウンカウンタレジスタ (上位)
	PDCRL1	16 ビット PPG ダウンカウンタレジスタ (下位)
	PCSRH1	16 ビット PPG 周期設定バッファレジスタ (上位)
	PCSRL1	16 ビット PPG 周期設定バッファレジスタ (下位)
	PDUTH1	16 ビット PPG デューティ設定バッファレジスタ (上位)
	PDUTL1	16 ビット PPG デューティ設定バッファレジスタ (下位)
	PCNTH1	16 ビット PPG 状態制御レジスタ (上位)
	PCNTL1	16 ビット PPG 状態制御レジスタ (下位)

22.4 16 ビット PPG タイマの端子

16 ビット PPG タイマの端子について説明します。

■ 16 ビット PPG タイマの端子

16 ビット PPG タイマの端子は、PPG1 端子、TRG1 端子です。

● PPG1 端子

この端子は汎用入出力ポートとしての機能と、16 ビット PPG タイマ出力としての機能を兼用しています。

PPG01 : この端子に PPG 波形が出力されます。16 ビット PPG 状態制御レジスタで出力を許可 (PCNTL1: POEN=1) することにより、PPG 波形を出力できます。

● TRG1 端子

TRG1 : 16 ビット PPG タイマをハードウェアトリガで起動させる場合に使用します。

■ 16 ビット PPG タイマに関連する端子のブロックダイアグラム

図 22.4-1 16 ビット PPG の端子 PPG1(P66/PPG20/PPG1/OPT4) のブロックダイアグラム

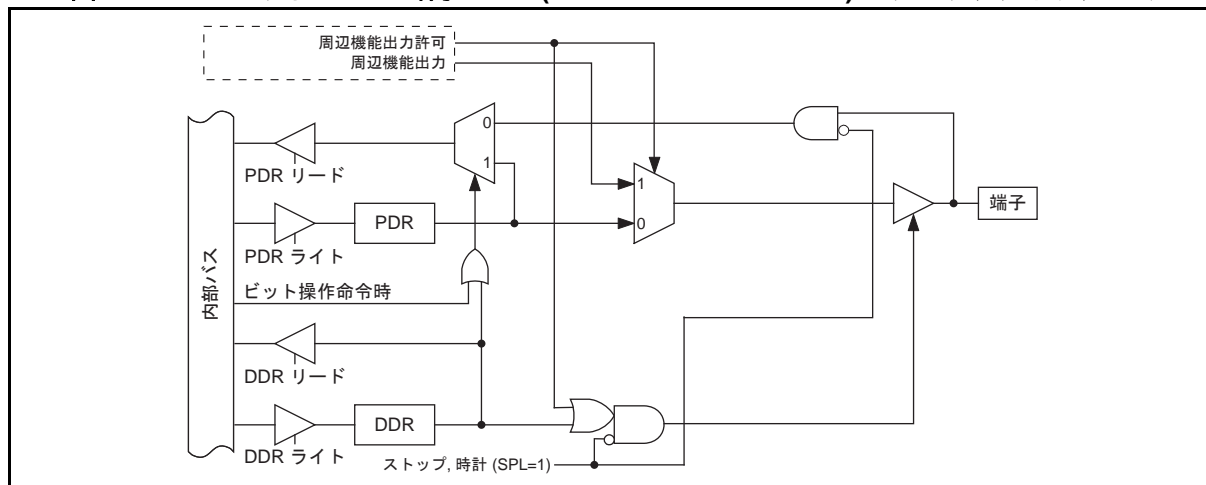
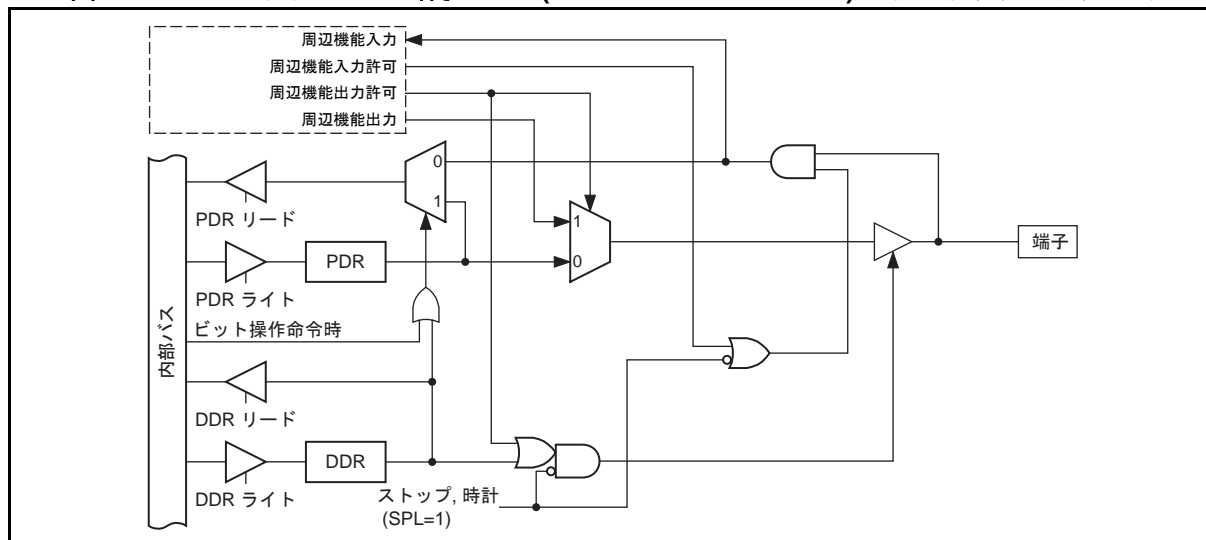


図 22.4-2 16 ビット PPG の端子 TRG1(P67/PPG21/TRG1/OPT5) のブロックダイアグラム



22.5 16 ビット PPG タイマのレジスタ

16 ビット PPG タイマのレジスタ一覧を示します。

■ 16 ビット PPG タイマのレジスタ

図 22.5-1 16 ビット PPG タイマのレジスタ

16 ビット PPG ダウンカウンタレジスタ (上位) PDCRH1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0FB0 _H	DC15	DC14	DC13	DC12	DC11	DC10	DC09	DC08	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
16 ビット PPG ダウンカウンタレジスタ (下位) PDCRL1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FB1 _H	DC07	DC06	DC05	DC04	DC03	DC02	DC01	DC00	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
16 ビット PPG 周期設定バッファレジスタ (上位) PCSRH1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0FB2 _H	CS15	CS14	CS13	CS12	CS11	CS10	CS09	CS08	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
16 ビット PPG 周期設定バッファレジスタ (下位) PCSRL1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FB3 _H	CS07	CS06	CS05	CS04	CS03	CS02	CS01	CS00	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
16 ビット PPG デューティ設定バッファレジスタ (上位) PDUTH1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0FB4 _H	DU15	DU14	DU13	DU12	DU11	DU10	DU09	DU08	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
16 ビット PPG デューティ設定バッファレジスタ (下位) PDUTL1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FB5 _H	DU07	DU06	DU05	DU04	DU03	DU02	DU01	DU00	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
16 ビット PPG 状態制御レジスタ (上位) PCNTH1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0044 _H	CNTE	STRG	MDSE	RTRG	CKS2	CKS1	CKS0	PGMS	00000000 _B
	R/W	R0,W	R/W	R/W	R/W	R/W	R/W	R/W	
16 ビット PPG 状態制御レジスタ (下位) PCNTL1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0045 _H	EGS1	EGS0	IREN	IRQF	IRS1	IRS0	POEN	OSEL	00000000 _B
	R/W	R/W	R/W	R(RM1), W	R/W	R/W	R/W	R/W	
R/W : リード/ライト可能 (読出し値は書込み値) R(RM1), W : リード/ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は "1" 読出し) R/WX : リードオンリ (読出しは可能, 書込みは動作に影響なし) R0,W : ライトオンリ (書込みは可能, 読出し値は "0")									

MB95330H シリーズ

22.5.1 16 ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH1, PDCRL1)

16 ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH1, PDCRL1) は, 16 ビット PPG ダウンカウンタのカウンタ値を読み出すための 16 ビットレジスタです。

■ 16 ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH1, PDCRL1)

図 22.5-2 16 ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH1, PDCRL1)

16 ビット PPG ダウンカウンタレジスタ (上位) PDCRH1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FB0 _H	DC15	DC14	DC13	DC12	DC11	DC10	DC09	DC08	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
16 ビット PPG ダウンカウンタレジスタ (下位) PDCRL1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FB1 _H	DC07	DC06	DC05	DC04	DC03	DC02	DC01	DC00	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
R/WX	: リードオンリ (読出しは可能, 書込みは動作に影響なし)								

このレジスタは, 16 ビットダウンカウンタのカウンタ値を読み出すために使用する 16 ビットレジスタで, このレジスタの初期値はすべて "0" です。

このレジスタから読み出す場合, 必ず下記のいずれかの方法でアクセスしてください。

- 「MOVW」命令を使用する (PDCRH1 レジスタアドレスに対して 16 ビットアクセス命令を使用する)。
- 「MOV」命令を使用して PDCRH1 PDCRL1 の順番で読出しを行う (PDCRH1 の読出しにより, ダウンカウンタ下位 8 ビットの値が PDCRL1 に自動的に格納される)。

このレジスタは, 読出し専用レジスタです。書込みは動作に影響を与えません。

< 注意事項 >

「MOV」命令を使用して PDCRL1 PDCRH1 の順番で読み出した場合, PDCRL1 は前回読み出したときの値が読み出されるので 16 ビットダウンカウンタの値は正しく読めません。

22.5.2 16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH1, PCSRL1)

16 ビット PPG 周期設定バッファレジスタは, PPG で生成される出力パルスの周期を設定します。

■ 16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH1, PCSRL1)

図 22.5-3 16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH1, PCSRL1)

16 ビット PPG 周期設定バッファレジスタ (上位) PCSRH1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0FB2 _H	CS15	CS14	CS13	CS12	CS11	CS10	CS09	CS08	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
16 ビット PPG 周期設定バッファレジスタ (下位) PCSRL1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FB3 _H	CS07	CS06	CS05	CS04	CS03	CS02	CS01	CS00	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能 (読出し値は書き込み値)									

このレジスタは, PPG で生成する出力パルスの周期を設定するために使用する 16 ビットレジスタで, ダウンカウンタにはこのレジスタに設定された値がロードされます。

このレジスタに書き込む場合, 必ず下記のいずれかの方法でアクセスしてください。

- 「MOVW」命令を使用する (PCSRH1 レジスタアドレスに対して 16 ビットアクセス命令を使用してアクセスする)。
- 「MOV」命令を使用して PCSRH1 PCSRL1 の順番で書き込む。
PCSRH1 にデータを書き込んだ後 (PCSRL1 にデータ書き込み以前に) ダウンカウンタのロードが発生した場合, ダウンカウンタには前回書き込まれた PCSRH1, PCSRL1 の値がロードされます。カウントの途中で PCSRH1, PCSRL1 の値を変更した場合, 次のダウンカウンタのロードにより, 変更した値が有効となります。
- PCSRH1=00_H, PCSRL1=00_H, もしくは PCSRH1=01_H, PCSRL1=01_H を設定しないでください。

< 注意事項 >

「MOV」命令を使用して PCSRL1 PCSRH1 の順番でデータを書き込んだ後, ダウンカウンタのロードが発生した場合, ダウンカウンタには前回書き込まれた PCSRH1 の値と新たに書き込まれた PCSRL1 の値がロードされます。正しい周期が設定できませんので注意してください。

MB95330H シリーズ

22.5.3 16 ビット PPG デューティ設定バッファレジスタ上位, 下位 (PDUTH1, PDUTL1)

16 ビット PPG デューティ設定バッファレジスタは, PPG で生成する出力パルスのデューティ比を制御します。

■ 16 ビット PPG デューティ設定バッファレジスタ上位, 下位 (PDUTH1, PDUTL1)

図 22.5-4 16 ビット PPG デューティ設定バッファレジスタ上位, 下位 (PDUTH1, PDUTL1)

16 ビット PPG デューティ設定バッファレジスタ (上位) PDUTH1									
アドレス	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初期値
0FB4 _H	DU15	DU14	DU13	DU12	DU11	DU10	DU09	DU08	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
16 ビット PPG デューティ設定バッファレジスタ (下位) PDUTL1									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FB5 _H	DU07	DU06	DU05	DU04	DU03	DU02	DU01	DU00	11111111 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能 (読出し値は書き込み値)									

これらのレジスタは, PPG で生成される出力パルスのデューティ比を制御するために使用する 16 ビットレジスタです。ダウンカウンタのロードタイミングで 16 ビット PPG デューティ設定バッファレジスタからデューティ設定レジスタへデータが転送されます。

このレジスタに書き込む場合, 必ず下記のいずれかの方法でアクセスしてください。

- ・「MOVW」命令を使用する (PDUTH1 レジスタアドレスに対して 16 ビットアクセス命令を使用してアクセスする)。
- ・「MOV」命令を使用して PDUTH1 PDUTL1 の順番で書き込む。
PDUTH1 にデータを書き込んだ後 (PDUTL1 にデータ書き込み以前に) ダウンカウンタのロードが発生した場合, 16 ビット PPG デューティ設定バッファレジスタの値はデューティ設定レジスタには転送されません。

16 ビットデューティ設定レジスタへの設定値と出力パルスの関係は, 下記ようになります。

- ・ 16 ビット PPG 周期設定バッファレジスタとデューティ設定レジスタに同じ値を設定すると, 通常極性の場合は常に "H" を出力し, 反転極性の場合は常に "L" を出力します。
- ・ デューティ設定レジスタに "00_B" を設定した場合, 通常極性の場合は常に "L" を出力し, 反転極性の場合は常に "H" を出力します。
- ・ 16 ビット PPG 周期設定バッファレジスタより大きい値をデューティ設定レジスタに設定すると, 通常極性の場合は常に "L" を出力し, 反転極性の場合は常に "H" を出力します。

22.5.4 16 ビット PPG 状態制御レジスタ上位, 下位 (PCNTH1, PCNTL1)

16 ビット PPG 状態制御レジスタは, 16 ビット PPG タイマの許可/禁止, ソフトウェアトリガ, 再トリガ制御割込みおよび出力極性に関する動作状態を設定します。また, 動作状態のチェックにも使用できます。

■ 16 ビット PPG 状態制御レジスタ上位 (PCNTH1)

図 22.5-5 16 ビット PPG 状態制御レジスタ, 上位 (PCNTH1)

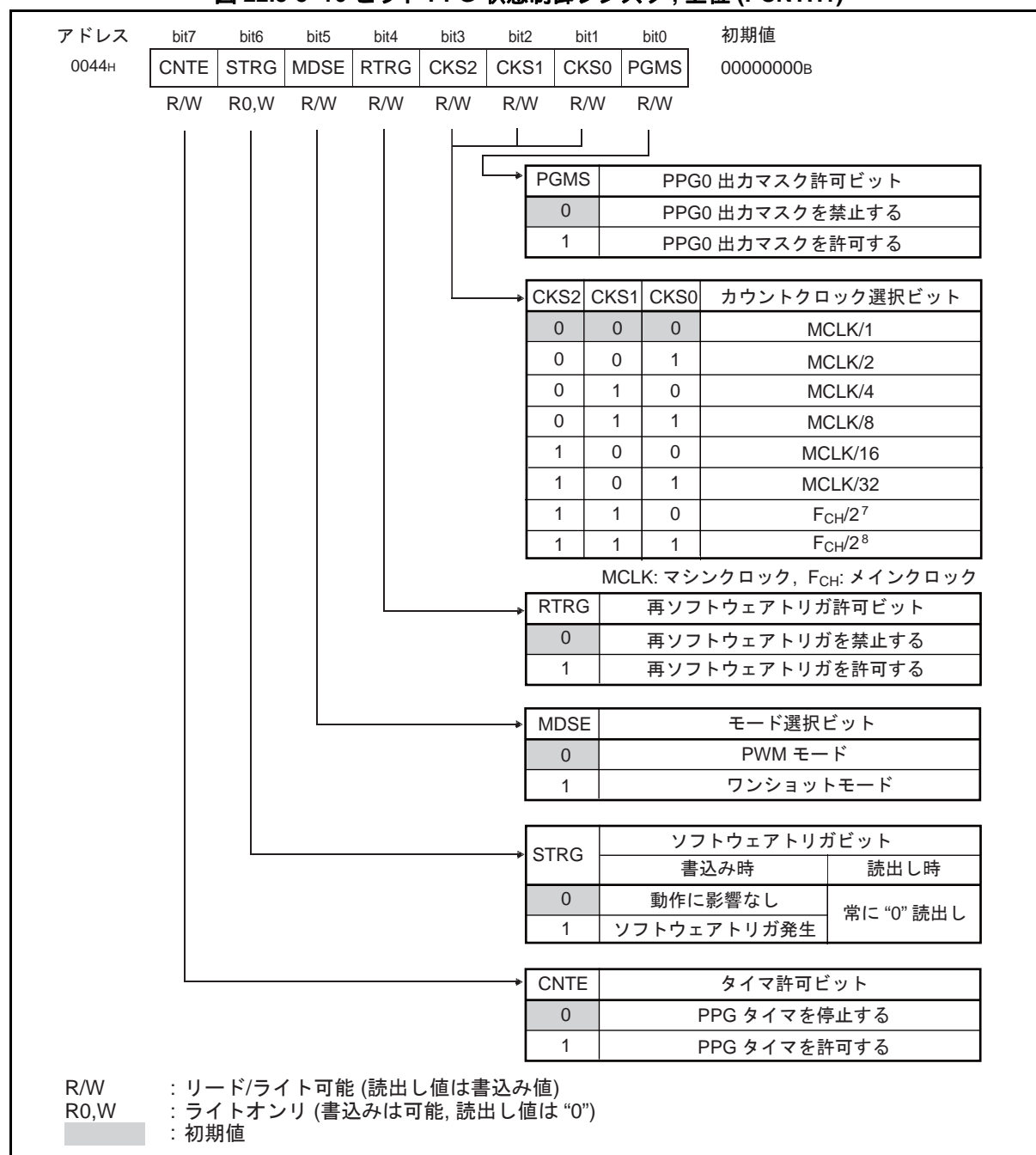


表 22.5-1 16 ビット PPG 状態制御レジスタ, 上位 (PCNTH1)

ビット名		機能
bit7	CNTE: タイマ許可ビット	このビットは、PPG タイマ動作の許可 / 停止を設定します。 "0" に設定した場合：PPG 動作が直ちに停止し、PPG1 出力は初期レベルを出力します (OSEL=0 で "L" 出力, OSEL=1 で "H" 出力)。 "1" に設定した場合：PPG 動作が "許可" になり、PPG 動作がトリガによって開始されるのを待つ状態になります。
bit6	STRG: ソフトウェアトリガビット	このビットは、PPG タイマをソフトウェアで起動させます。 "1" に設定した場合：CNTE ビット =1 のとき、PPG タイマが起動します。 このビットからは必ず "0" が読み出されます。
bit5	MDSE: モード選択ビット	このビットは、PPG の動作モードを設定します。 "0" に設定した場合：PPG は PWM モードで動作します。 "1" に設定した場合：PPG はワンショットモードで動作します。 (注意事項)動作中は変更禁止です。
bit4	RTRG: ソフトウェア再トリガ許可ビット	このビットは、動作中に PPG のソフトウェア再トリガ機能の許可 / 禁止を設定します。 "0" に設定した場合：ソフトウェア再トリガ機能は "禁止" になります。 "1" に設定した場合：ソフトウェア再トリガ機能は "許可" になります。
bit3 ~ bit1	CKS2~CKS0: カウントクロック 択 ビット	これらのビットは、16 ビット PPG タイマの動作クロックを選択します。 カウントクロックは、プリスケアラにより生成されます。「6.12 プリスケアラの動作」を参照してください。 (注意事項)サブクロックモードの場合、タイムベースタイマ (TBT) が停止しているため $F_{CH}/2^7$, $F_{CH}/2^8$ 選択時は動作しません。
bit0	PGMS: PPG 出力マスク許可 ビット	このビットは、モード設定 (MDSE: bit5)、周期設定 (PCSRH1, PCSRL1) またはデューティ設定 (PDUTH1, PDUTL1) とは無関係に特定レベルへ PPG1 出力をマスクするために使用します。 "0" に設定した場合：PPG1 出力はマスクされません。 "1" に設定した場合：PPG1 出力はマスクされます。PPG0 出力は、極性設定が "通常" (PCNTL1: OSEL=0) の場合は必ず "L" にマスクされます。 極性設定が "反転" (PCNTL1: OSEL=1) の場合、PPG0 出力は必ず "H" にマスクされます。

■ 16 ビット PPG 状態制御レジスタ, 下位 (PCNTL1)

図 22.5-6 16 ビット PPG 状態制御レジスタ, 下位 (PCNTL1)

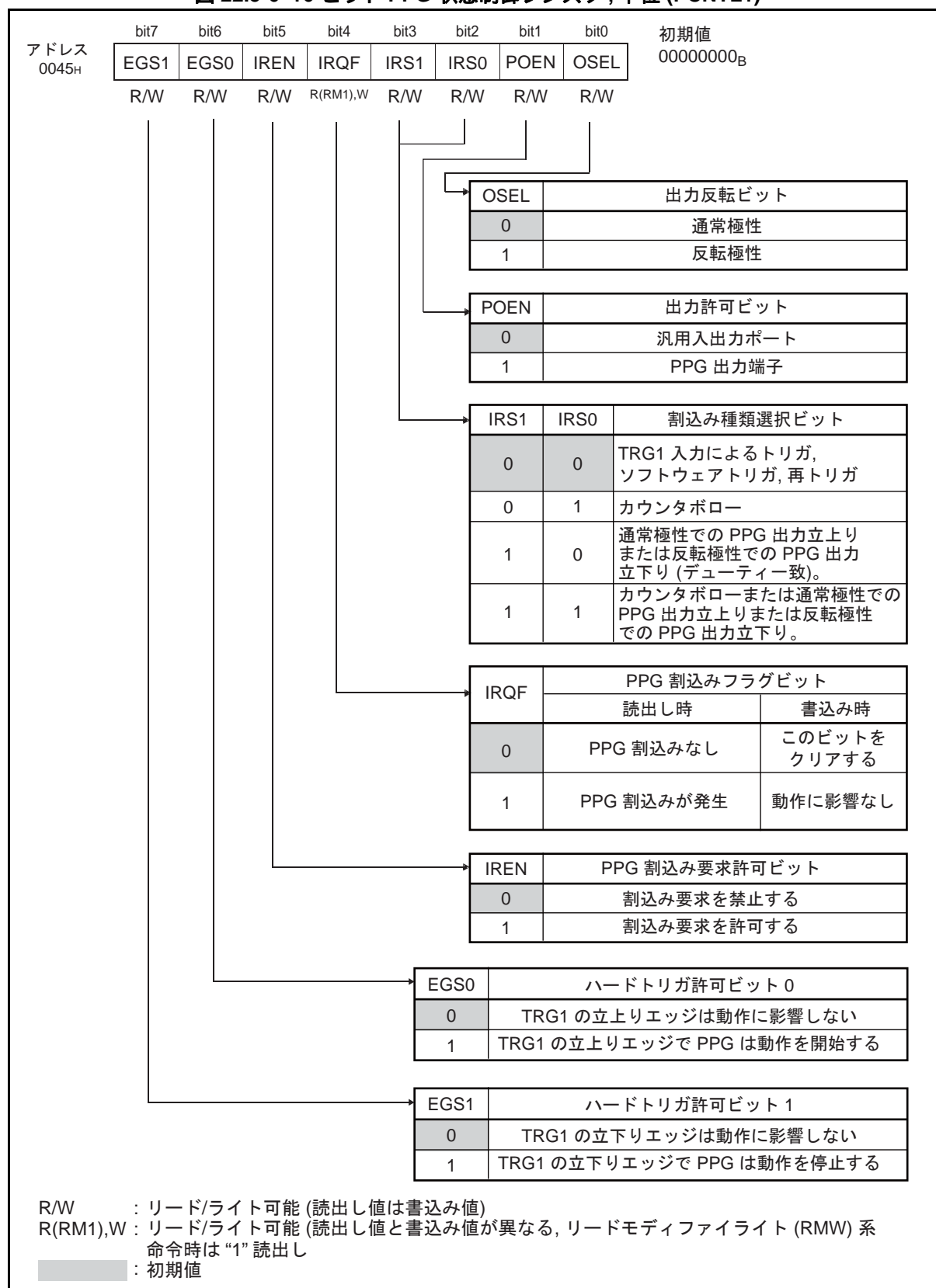


表 22.5-2 16 ビット PPG 状態制御レジスタ, 下位 (PCNTL1)

ビット名		機能															
bit7	EGS1: ハードトリガ 許可 ビット 1	このビットは TRG1 入力の立下りエッジによる動作停止, 無効を選択します。 "0" に設定した場合: TRG1 の立下りエッジは動作に影響しません。 "1" に設定した場合: TRG1 の立下りエッジにより動作が停止されます。															
bit6	EGS0: ハードトリガ 許可 ビット 0	このビットは TRG1 入力の立上りエッジによる動作開始, 無効を選択します。 "0" に設定した場合: TRG1 の立上りエッジは動作に影響しません。 "1" に設定した場合: TRG1 の立上りエッジにより動作が開始されます。															
bit5	IREN: PPG 割込み要求 許可 ビット	このビットは, 割込みコントローラへの PPG 割込み要求を許可または禁止します。 "0" に設定した場合: 割込み要求を禁止します。 "1" に設定した場合: 割込み要求を許可します。															
bit4	IRQF: PPG 割込みフラグ ビット	このビットは, PPG 割込みが発生したとき, "1" に設定されます。 "0" に設定した場合: このビットはクリアされます。 "1" に設定した場合: 動作に影響を与えません。 リードモディファイライト (RMW) 系命令時には, 必ず "1" が読み出されます。															
bit3, bit2	IRS1, IRS0: 割込み種類選択ビット	このビットは, PPG タイマの割込み発生要因を選択します。 <table border="1"> <thead> <tr> <th>IRS1</th><th>IRS0</th><th>割込みの種類</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>入力によるトリガ, ソフトウェアトリガ, 再トリガ</td></tr> <tr> <td>0</td><td>1</td><td>カウンタボロー</td></tr> <tr> <td>1</td><td>0</td><td>通常極性での PPG 出力立上りまたは反転極性での PPG 出力立下り。</td></tr> <tr> <td>1</td><td>1</td><td>カウンタボローまたは通常極性での PPG 出力立上り, 反転極性での PPG 出力立下り。</td></tr> </tbody> </table>	IRS1	IRS0	割込みの種類	0	0	入力によるトリガ, ソフトウェアトリガ, 再トリガ	0	1	カウンタボロー	1	0	通常極性での PPG 出力立上りまたは反転極性での PPG 出力立下り。	1	1	カウンタボローまたは通常極性での PPG 出力立上り, 反転極性での PPG 出力立下り。
IRS1	IRS0	割込みの種類															
0	0	入力によるトリガ, ソフトウェアトリガ, 再トリガ															
0	1	カウンタボロー															
1	0	通常極性での PPG 出力立上りまたは反転極性での PPG 出力立下り。															
1	1	カウンタボローまたは通常極性での PPG 出力立上り, 反転極性での PPG 出力立下り。															
bit1	POEN: 出力許可ビット	このビットは, PPG 出力端子からの出力を許可または禁止します。 "0" に設定した場合: 端子は汎用ポートとして機能します。 "1" に設定した場合: 端子は PPG タイマ出力端子として機能します。															
bit0	OSEL: 出力反転ビット	このビットは, PPG 出力端子の極性を選択します。 "0" に設定した場合: PPG 出力は, 初期状態で "L" を出力し, 16 ビットダウンカウンタ値がデューティ設定レジスタ値と一致したとき "H" を出力し, ダウンカウンタのボローによって "L" を出力します (通常極性)。 "1" に設定した場合: PPG 出力は反転します (反転極性)。															

22.6 16 ビット PPG タイマ割込み

16 ビット PPG タイマは、以下の場合に割込み要求を発生できます。

- トリガ発生またはカウンタボローが発生した場合
- 通常極性で PPG 立上りが発生した場合
- 反転極性で PPG 立下りが発生した場合

これらの割込み動作は PCNTL レジスタの IRS1: bit3 と IRS0: bit2 で設定されます。

■ 16 ビット PPG タイマ割込み

表 22.6-1 に、16 ビット PPG タイマの割込み制御ビットと割込み要因を示します。

表 22.6-1 16 ビット PPG タイマの割込み制御ビットと割込み要因

項目	説明
割込みフラグビット	PCNTL1: IRQF
割込み要求許可ビット	PCNTL1: IREN
割込み種類選択ビット	PCNTL1: IRS1, IRS0
割込み要因	PCNTL1: IRS1, IRS0=00 _B 16 ビットダウンカウンタの TRG1 端子入力によるハードウェアトリガ、ソフトウェアトリガ、再トリガ
	PCNTL1: IRS1, IRS0=01 _B 16 ビットダウンカウンタのカウントボロー
	PCNTL1: IRS1, IRS0=10 _B 通常極性での PPG1 出力立上りエッジまたは反転極性での PPG1 出力立下りエッジ。
	PCNTL1: IRS1, IRS0=11 _B 16 ビットダウンカウンタのカウントボロー、または通常極性での PPG1 出力立上りエッジ、または反転極性での PPG1 出力立下りエッジ

16 ビット PPG タイマでは、16 ビット PPG 状態制御レジスタ (PCNTL1) の IRQF: bit4 に "1" が設定され、割込み要求が許可されると (PCNTL1 レジスタの IREN: bit5=1)、割込み要求が割込みコントローラへ出力されます。

■ 16 ビット PPG タイマの割込みに関連するレジスタとベクタテーブルのアドレス

表 22.6-2 16 ビット PPG タイマの割込みに関連するレジスタとベクタテーブルのアドレス

割込み要因	割込み要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
16 ビット PPG タイマ ch. 1*	IRQ17	ILR4	L17	FFD8 _H	FFD9 _H

ch: チャンネル

*: 16 ビット PPG タイマ ch.1 は MPG(位置検出 / コンペアー致)と同じ割込み要求番号とベクタテーブルを使用します。

各周辺機能のそれぞれの割込み要求番号およびベクタテーブルのアドレスについては「付録 B 割込み要因一覧表」を参照してください。

22.7 16 ビット PPG タイマの動作説明と設定手順例

16 ビット PPG タイマは、PWM モードまたはワンショットモードで動作します。また、16 ビット PPG タイマでは再トリガを使用できます。

■ PWM モード (PCNTH レジスタの MDSE: bit5=0)

PWM モードの場合、ソフトウェアトリガ、または TRG1 端子入力によるハードウェアトリガを入力すると、16 ビットダウンカウンタは、16 ビット PPG 周期設定バッファレジスタ (PCSRH1, PCSRL1) の値をロードしてダウンカウントを開始します。カウント値が "1" に達すると、16 ビット PPG 周期設定バッファレジスタ (PCSRH1, PCSRL1) の値をリロードし、ダウンカウント動作を繰り返します。

PPG 出力は、初期状態では "L" を出力しています。16 ビットダウンカウンタの値とデューティ設定レジスタの値が一致したとき、カウントクロックに同期して "H" を出力してデューティ設定値分 "H" 出力した後に "L" を出力します (OSEL=1 に設定している場合は逆のレベルが出力されます)。

再トリガ無効に設定されている場合 (RTRG=0)、ダウンカウンタは既に動作している状態でのソフトウェアトリガ (STRG=1) を無視します。

ダウンカウンタが動作していない状態から有効なトリガ入力によりダウンカウンタが動作し始めるまでの時間の最大は、下記ようになります。

ソフトウェアトリガの場合：1 カウントクロック周期 + 2 マシンクロック周期

TRG1 端子入力によるハードウェアトリガの場合：1 カウントクロック周期 + 3 マシンクロック周期

最小は、

ソフトウェアトリガの場合：2 マシンクロック周期

TRG1 端子入力によるハードウェアトリガの場合：3 マシンクロック周期

ダウンカウンタが動作している状態から有効再トリガ入力によりダウンカウンタが再度、動作し始めるまでの時間の最大は、下記ようになります。

ソフトウェアトリガの場合：1 カウントクロック周期 + 2 マシンクロック周期

TRG1 端子入力によるハードウェアトリガの場合：1 カウントクロック周期 + 3 マシンクロック周期

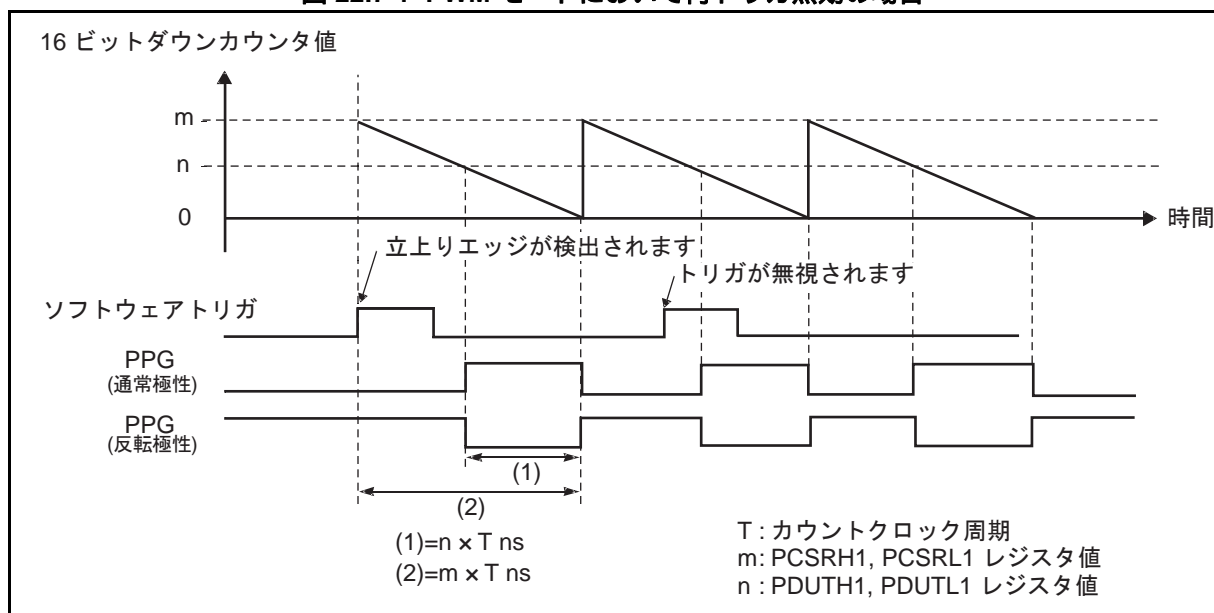
最小は、

ソフトウェアトリガの場合：2 マシンクロック周期

TRG1 端子入力によるハードウェアトリガの場合：3 マシンクロック周期

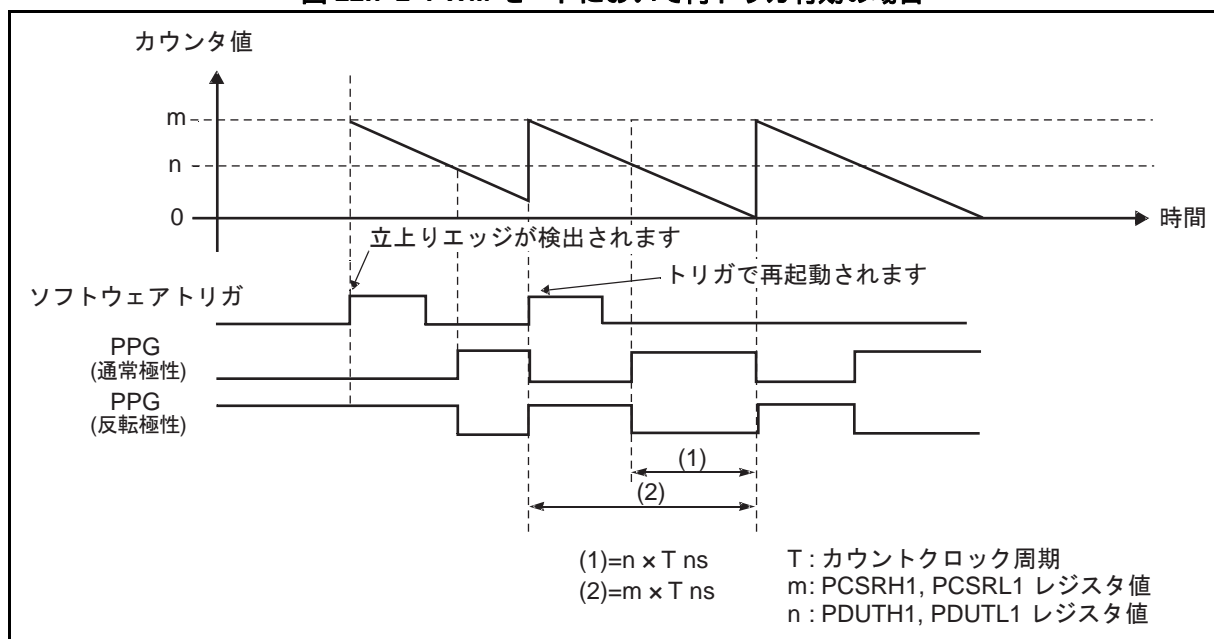
- 再トリガを無効にする (PCNTH1 レジスタの RTRG: bit4=0)

図 22.7-1 PWM モードにおいて再トリガ無効の場合



- 再トリガを有効にする (PCNTH1 レジスタの RTRG: bit4=1)

図 22.7-2 PWM モードにおいて再トリガ有効の場合



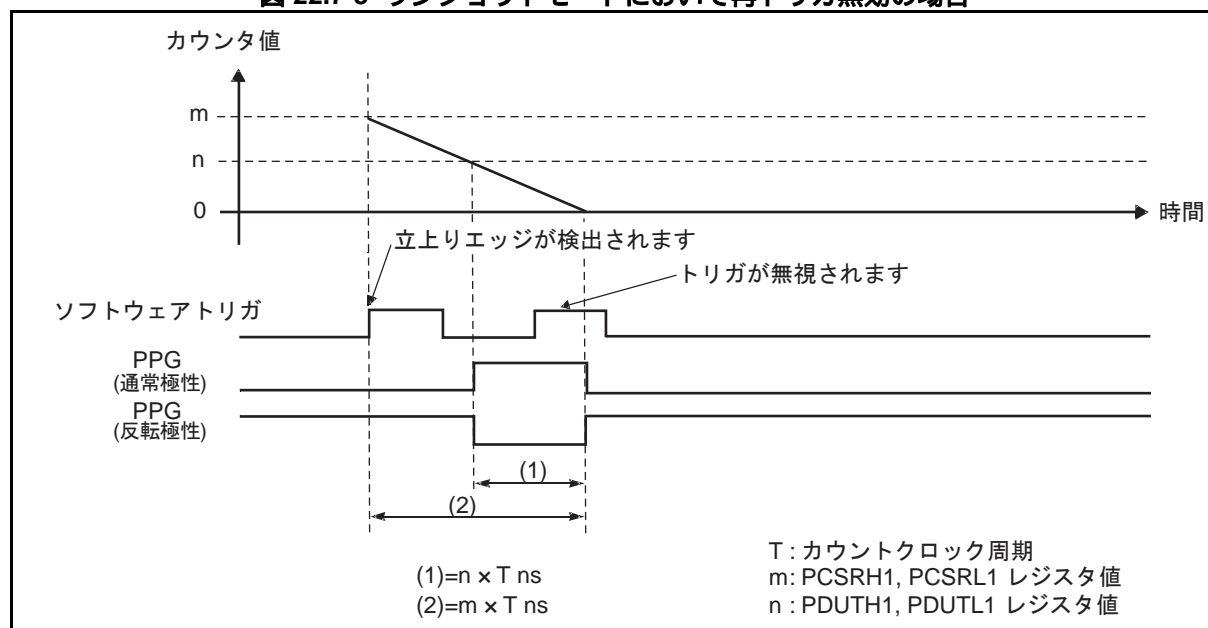
■ ワンショットモード (PCNTH1 レジスタの MDSE: bit5=1)

ワンショットモードの場合、有効なトリガ入力により指定された幅の単一パルスを出
力できます。再トリガを有効にすると、カウンタ動作中に有効なトリガを検出した
場合、ダウンカウンタに値がリロードされます。

PPG0 出力は、初期状態では "L" を出力しています。16 ビットダウンカウンタの値と
デューティ設定レジスタの値が一致したときに "H" を出力し、カウンタが "1" に達し
たときに "L" を出力します (OSEL=1 に設定している場合は逆のレベルが出力されま
す)。

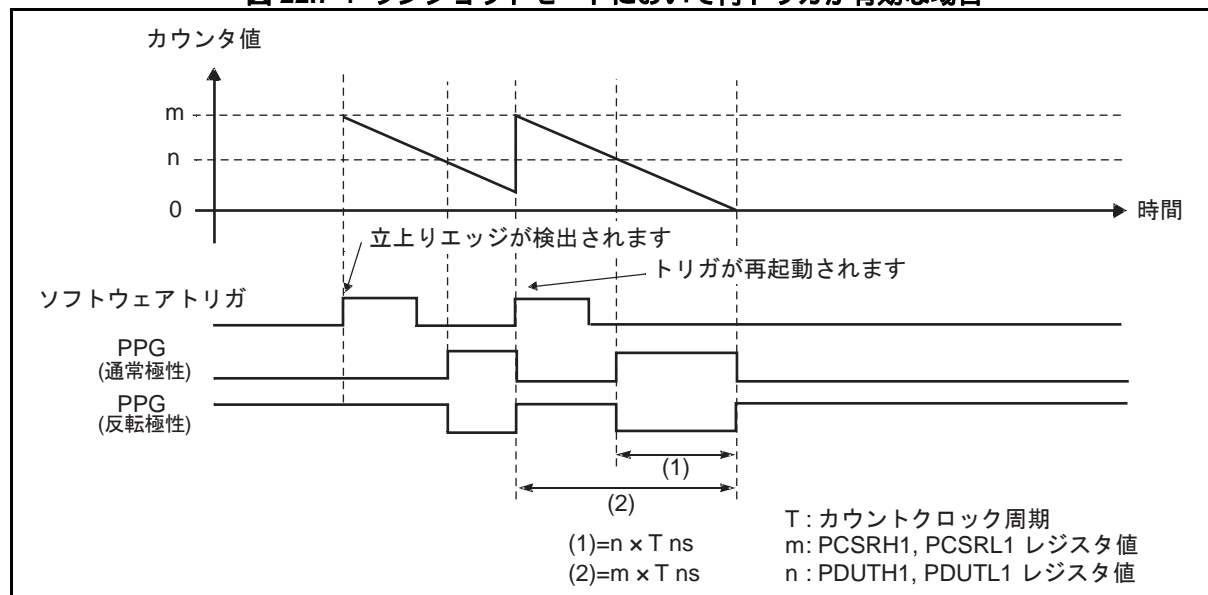
● 再トリガを無効にする (PCNTH1 レジスタの RTRG: bit4=0)

図 22.7-3 ワンショットモードにおいて再トリガ無効の場合



● 再トリガを有効にする (PCNTH1 レジスタの RTRG: bit4=1)

図 22.7-4 ワンショットモードにおいて再トリガが有効な場合



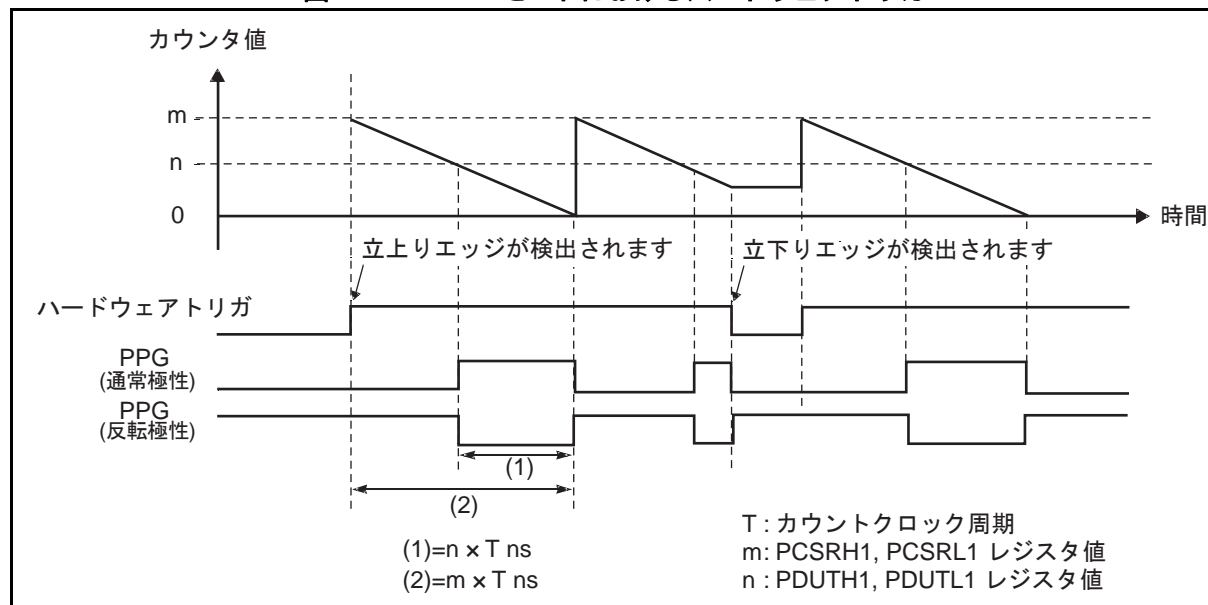
■ ハードウェアトリガ

TRG1 入力端子に信号を入力して PPG を起動させることを、ハードウェアトリガといいます。EGS1, EGS0 を "11_B" に設定して TRG1 入力によるハードウェアトリガを使用した場合、PPG は立上りエッジで動作を開始し、立下りエッジが検出されると動作を停止します。

また、PPG タイマは次の立上りエッジで最初から動作を開始します。

TRG1 入力によるハードウェアトリガの場合、RTRG ビットによる再トリガ設定にかかわらず、有効 TRG1 入力によるハードウェアトリガによって、再トリガされます。

図 22.7-5 PWM モードにおけるハードウェアトリガ



■ 設定手順例

以下に、16 ビット PPG タイマの設定手順例を示します。

● 初期設定

- 1) 割込みレベルの設定 (ILR4)
- 2) ハードウェアトリガ許可, 割込み許可, 割込みの種類選択, 出力の許可 (PCNTL1)
- 3) カウントクロック選択, モード選択, タイマ動作許可 (PCNTH1)
- 4) 周期設定 (PCSRH1, PCSRL1)
- 5) デューティ設定 (PDUTH1, PDUNT1)
- 6) ソフトウェアトリガで PPG 起動 (PCNTH1: STRG=1)

● 割込み処理

- 1) 任意の割込み処理
- 2) 割込み要求フラグクリア (PCNTL1: IRQF)

22.8 16 ビット PPG タイマ使用上の注意

16 ビット PPG タイマ使用上の注意を以下に示します。

■ 16 ビット PPG タイマ使用上の注意

● プログラム設定上の注意

周期とデューティ設定を同じ値に設定している場合、再トリガは行わないでください。再トリガした場合、PPG 出力は再トリガ後、通常極性にて 1 カウントクロック分 "L" が出力された後、"H" 固定となります。

マイコンをスタンバイモードに遷移させた場合、TRG1 端子設定が変化して誤動作する可能性があります。このため、タイマ許可ビットを禁止 (PCNTH1: CNTE=0) にするか、ハードウェアトリガ許可ビットを禁止 (PCNTL1: EGS1, EGS0=00_B) に設定してください。

周期とデューティ設定を同じ値に設定している場合、デューティ一致による割込みは一度しか発生しません。また、周期よりデューティ設定が大きい値の場合、デューティ一致による割込みは発生しません。

カウント動作中に、ソフトウェアによる再トリガ許可 (PCNTH1: RTRG=1)、割込み要因選択が再トリガ (PCNTL1: IRS1, IRS0=00_B) の状態で、タイマ許可ビットの禁止設定 (PCNTH1: CNTE=0) とソフトウェアトリガ (PCNTH1: STRG=1) を同時に設定しないでください。もし行った場合、タイマは停止しますが再トリガの発生により割込みフラグビットが設定される場合があります。

22.9 16 ビット PPG タイマのサンプル設定

16 ビット PPG タイマを動作させるためのサンプル設定を示します。

■ 設定例

● PPG の動作モードを設定する方法

動作モード選択ビット (PCNTH1: MDSE) で行います。

動作モード	動作モード選択ビット (MDSE)
PWM モード	"0" を設定する
ワンショットモード	"1" を設定する

● 動作クロックの選択方法

動作クロック選択ビット (PCNTH1: CKS2/CKS1/CKS0) でクロックを選択します。

● PPG 出力端子を許可 / 禁止する方法

出力許可ビット (PCNTL1: POEN) で行います。

動作	出力許可ビット (POEN)
PPG 出力を許可するには	"1" を設定する
PPG 出力を禁止するには	"0" を設定する

● PPG 動作を許可 / 禁止する方法

タイマ許可ビット (PCNTH1: CNTE) で行います。

動作	タイマ許可ビット (CNTE)
PPG 動作を禁止するには	"0" を設定する
PPG 動作を許可するには	"1" を設定する

PPG 動作許可は PPG を起動する前にしてください。

● PPG 動作をソフトウェアで起動する方法

ソフトウェアトリガビット (PCNTH1: STRG) で行います。

動作	ソフトウェアトリガビット (STRG)
PPG 動作をソフトウェアで起動する方法	"1" を設定する

● ソフトウェアトリガの再トリガ機能を許可 / 禁止する方法

再トリガ許可ビット (PCNTH1: RTRG) で行います。

動作	再トリガ許可ビット (RTRG)
再トリガ機能を許可するには	"1" を設定する
再トリガ機能を禁止するには	"0" を設定する

● トリガ入力の立上りによる動作を開始 / 停止する方法

ハードウェアトリガ許可ビット (PCNTL1: EGS0) で行います。

動作	ハードウェアトリガ許可ビット (EGS0)
立上りエッジで動作を開始するには	"1" を設定する
立上りエッジで動作を停止するには	"0" を設定する

● トリガ入力の立下りによる動作を開始 / 停止する方法

ハードウェアトリガ許可ビット (PCNTL1: EGS1) で行います。

動作	ハードウェアトリガ許可ビット (EGS1)
立下りエッジで動作を開始するには	"1" を設定する
立下りエッジで動作を停止するには	"0" を設定する

● PPG 出力を反転する方法

出力反転ビット (PCNTL1: OSEL) で行います。

動作	出力反転ビット (OSEL)
PPG 出力を反転するには	"1" を設定する

● PPG 出力を "H" または "L" 固定する方法

PPG 出力マスク許可ビット (PCNTH1: PGMS) と出力反転ビット (PCNTL1: OSEL) で行います。

動作	PPG 出力マスク許可ビット (PGMS)	出力反転ビット (OSEL)
出力を "H" 固定するには	"1" を設定する	"1" を設定する
出力を "L" 固定するには	"1" を設定する	"0" を設定する

● 割込みの発生要因を選択する方法

割込み選択ビット (PCNTL1: IRS1/IRS0) で割込みの発生要因を選択します。

割込み要因	割込み種類選択ビット (IRS1/IRS0)
入力によるトリガ, ソフトウェアトリガ, 再トリガ	"00 _B " を設定する
カウンタボロー	"01 _B " を設定する
通常極性での PPG 出力立上りまたは反転極性での PPG 出力立下り。	"10 _B " を設定する
カウンタボローまたは通常極性での PPG 出力立上り, 反転極性での PPG 出力立下り。	"11 _B " を設定する

● 割込みに関連するレジスタ

割込みレベルは, 下表の割込みレベル設定レジスタで設定します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
ch. 1	割込みレベルレジスタ (ILR4) アドレス: 0007D _H	#17 アドレス: 0FFD8 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は, 割込み要求許可ビット (PCNTL1: IREN) にて行います。

動作	割込み要求許可ビット (IREN)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (PCNTL1: IRQF) にて行います。

動作	割込み要求フラグ (IRQF)
割込み要求をクリアするには	"0" を設定する

16 ビットリロードタイマ

16 ビットリロードタイマの機能と動作について説明します。

- 23.1 16 ビットリロードタイマの概要
- 23.2 16 ビットリロードタイマの構成
- 23.3 16 ビットリロードタイマのチャンネル
- 23.4 16 ビットリロードタイマの端子
- 23.5 16 ビットリロードタイマのレジスタ
- 23.6 16 ビットリロードタイマの割込み
- 23.7 16 ビットリロードタイマの動作説明と設定手順例
- 23.8 16 ビットリロードタイマ使用上の注意
- 23.9 16 ビットリロードタイマの設定例

23.1 16 ビットリロードタイマの概要

16 ビットリロードタイマは、2 つのクロックモードにおいて 2 つのカウンタ動作モードが選択できます。

16 ビットリロードタイマのアンダフローが発生した場合に割込みを発生させることにより、インターバルタイマとして利用できます。

■ 16 ビットリロードタイマの動作モード

16 ビットリロードタイマの動作モードを表 23.1-1 に示します。

表 23.1-1 16 ビットリロードタイマの動作モード

クロックモード	カウンタ動作モード	トリガ動作モード
内部クロックモード	リロードモード	ソフトウェアトリガ動作 外部トリガ入力動作 外部ゲート入力動作
	ワンショットモード	
イベントカウントモード (外部クロックモード)	リロードモード	ソフトウェアトリガ動作
	ワンショットモード	

■ 内部クロックモード

タイマ状態制御レジスタ上位 (TMCSRHI) のカウントクロック設定ビット (CSL2 ~ CSL0) に "111_B" 以外を設定した場合は、内部クロックモードになります。

内部クロックモード時には、以下の 3 種類のトリガ動作モードを選択できます。

● ソフトウェアトリガ動作

タイマ状態制御レジスタ下位 (TMCSRL1) のカウント許可ビット (CNTE) に "1" が設定されている場合に、ソフトウェアトリガビット (TRG) を "1" に設定すると、カウントを開始します。

● 外部トリガ入力動作

タイマ状態制御レジスタ下位 (TMCSRL1) のカウント許可ビット (CNTE) に "1" が設定されている場合に、動作モード選択ビット (MOD2 ~ MOD0) によって設定されている有効エッジ (立上り, 立下り, 両エッジから設定可能) が TI1 端子へ入力されると、カウントを開始します。

● 外部ゲート入力動作

タイマ状態制御レジスタ下位 (TMCSRL1) のカウント許可ビット (CNTE) に "1" が設定されている場合に、動作モード選択ビット (MOD2 ~ MOD0) によって設定されている有効なトリガ入力レベル ("L" または "H" を設定可能) が TI1 端子へ入力されると、カウントを開始します。

■ イベントカウントモード (外部クロックモード)

タイマ状態制御レジスタ上位 (TMCSRHI) のカウントクロック設定ビット (CSL2 ~ CSL0) に "111_B" を設定した場合は、動作モード選択ビット (MOD2 ~ MOD0) によって設定されているトリガ入力の有効エッジ (立上り, 立下り, 両エッジから設定可能) が TI1 端子へ入力されると、カウントを開始します。一定周期の外部クロックを入力する

場合は、インターバルタイマとしても使用できます。

■ カウンタ動作モード

● リロードモード

16 ビットダウンカウンタでアンダフロー ("0000_H" "FFFF_H") が発生しているとき、16 ビットリロードレジスタ (TMRLRH1/TMRLRL1) の値を 16 ビットダウンカウンタへロードし、カウントを継続します。また、アンダフローにより割込み要求が出力されるため、インターバルタイマとして使用できます。

● ワンショットモード

16 ビットダウンカウンタでアンダフローが発生した場合に割込みが生成されます。カウンタ動作中、カウンタが進行中であることを示す矩形波が TO1 端子から出力されます。

23.2 16 ビットリロードタイマの構成

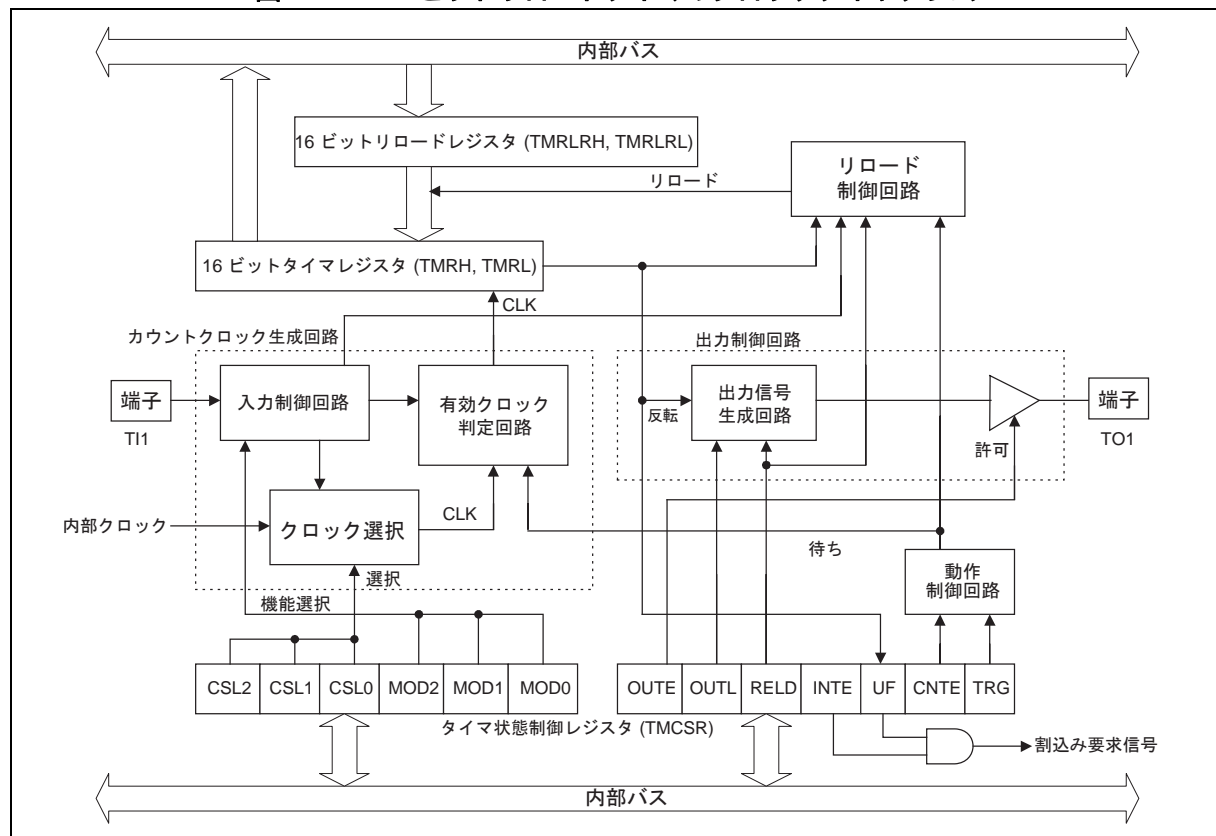
16 ビットリロードタイマは、以下のブロックで構成されています。

- カウントクロック生成回路
- リロード制御回路
- 出力制御回路
- 動作制御回路
- 16 ビットタイマレジスタ (TMRH1, TMRL1)
- 16 ビットリロードレジスタ (TMRLRH1, TMRLRL1)
- タイマ状態制御レジスタ (TMCSRH1, TMCSRL1)

■ 16 ビットリロードタイマのブロックダイアグラム

16 ビットリロードタイマのブロックダイアグラムを図 23.2-1 に示します。

図 23.2-1 16 ビットリロードタイマのブロックダイアグラム



- カウントクロック生成回路

内部クロックまたは TI1 端子の入力信号から 16 ビットリロードタイマ用のカウントクロックを生成します。

- リロード制御回路

タイマ起動またはアンダフロー発生時にリロード動作を制御します。

- 出力制御回路

16 ビットダウンカウンタのアンダフローによる TO1 端子出力の反転制御と、TO1 端子出力の許可 / 禁止を制御します。

- 動作制御回路

16 ビットダウンカウンタの起動 / 停止を制御します。

- 16 ビットタイマレジスタ (TMRH1, TMRL1)

TMRH と TMRL が 16 ビットダウンカウンタを形成します。このレジスタの読出しは、現在のカウンタ値となります。

- 16 ビットリロードレジスタ (TMRLRH1, TMRLRL1)

16 ビットダウンカウンタへのロード値を設定するレジスタです。16 ビットリロードレジスタの設定値を 16 ビットダウンカウンタにロードし、ダウンカウントします。

- タイマ状態制御レジスタ (TMCSRH1, TMCSRL1)

このレジスタは 16 ビットリロードタイマのカウントクロック動作モード、クロック選択、割込みなどを制御するとともに、現在の動作状態を示します。

■ 入力クロック

16 ビットリロードタイマは、プリスケアラからの出力クロックまたは TI1 端子からの入力信号を入力クロック（カウントクロック）として使用します。

23.3 16 ビットリロードタイマのチャネル

16 ビットリロードタイマのチャネルについて説明します。

■ 16 ビットリロードタイマのチャネル

MB95330H シリーズは、16 ビットリロードタイマを 1 チャネル搭載しています。
16 ビットリロードタイマの端子とレジスタを表 23.3-1 および表 23.3-2 にそれぞれ示します。

表 23.3-1 16 ビットリロードタイマの端子

チャネル	端子名	端子機能
1	TO1	タイマ出力
	TI1	タイマ入力

表 23.3-2 16 ビットリロードタイマのレジスタ

チャネル	レジスタ略称	該当レジスタ (本マニュアル上の表記)
1	TMCSRH1	16 ビットリロードタイマ状態制御レジスタ (上位)
	TMCSRL1	16 ビットリロードタイマ状態制御レジスタ (下位)
	TMRH1	16 ビットリロードタイマタイマレジスタ (上位)
	TMRL1	16 ビットリロードタイマタイマレジスタ (下位)
	TMRLRH1	16 ビットリロードタイマリロードレジスタ (上位)
	TMRLRL1	16 ビットリロードタイマリロードレジスタ (下位)

MB95330H シリーズ

23.4 16 ビットリロードタイマの端子

16 ビットリロードタイマの端子および端子のブロックダイヤグラムを示します。

■ 16 ビットリロードタイマの端子

16 ビットリロードタイマの端子は TI1 端子と TO1 端子です。

● TI1 端子

この端子は、汎用入出力ポート、およびカウンタに対する外部パルス入力端子 (TI1) として使用されます。

TI1 : カウンタ動作時に、この端子に入力されたパルスの任意エッジをカウントします。
カウンタ動作で TI1 端子として使用するときは、ポート方向レジスタ (DDR6) を "0" に設定して入力ポートにしてください。

● TO1 端子

この端子は、汎用入出力ポート、および 16 ビットリロードタイマの出力端子 (TO1) として使用されます。

TO1 : 16 ビットリロードタイマの波形が出力されます。

この端子を 16 ビットリロードタイマの TO1 端子として使用するとき、タイマ出力を許可 (TMCSRL1:OUTE = 1) すると、ポート方向レジスタ (DDR1) の設定に関わらず自動的に出力が実行され、端子はタイマ出力の TO1 端子としての機能を果たします。

■ 16 ビットリロードタイマに関連する端子のブロックダイアグラム

図 23.4-1 16 ビットリロードタイマの端子 TI1 (P61/INT09/SCL/TI1) のブロックダイアグラム

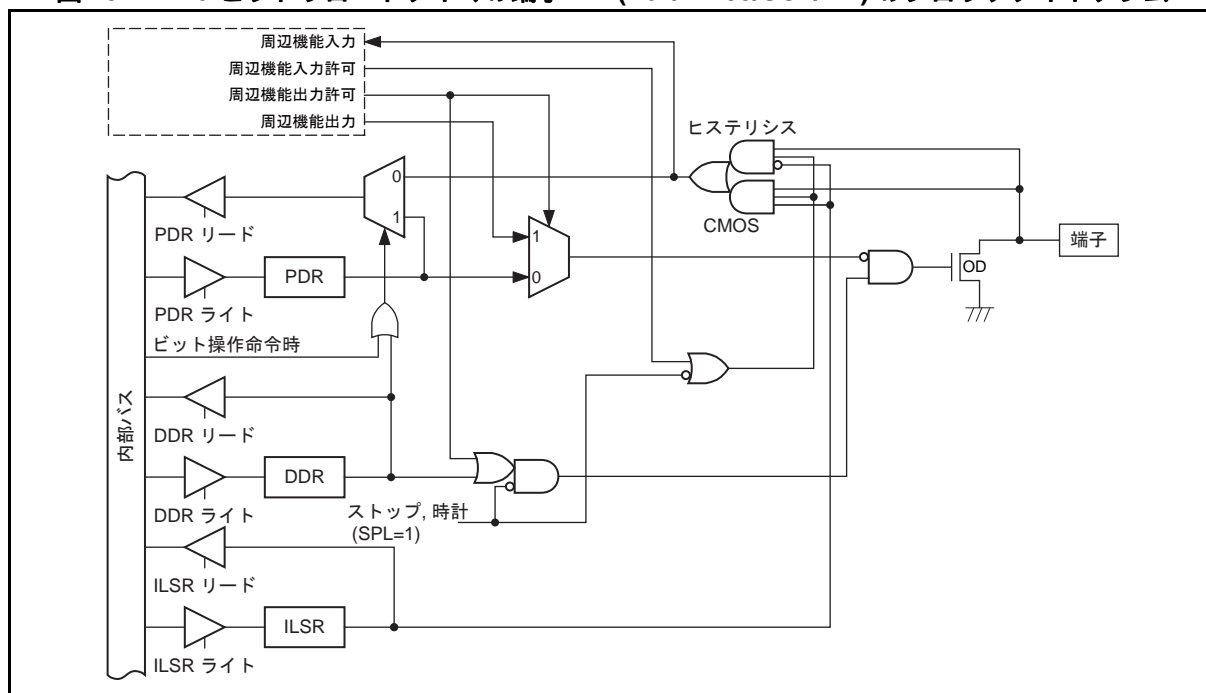
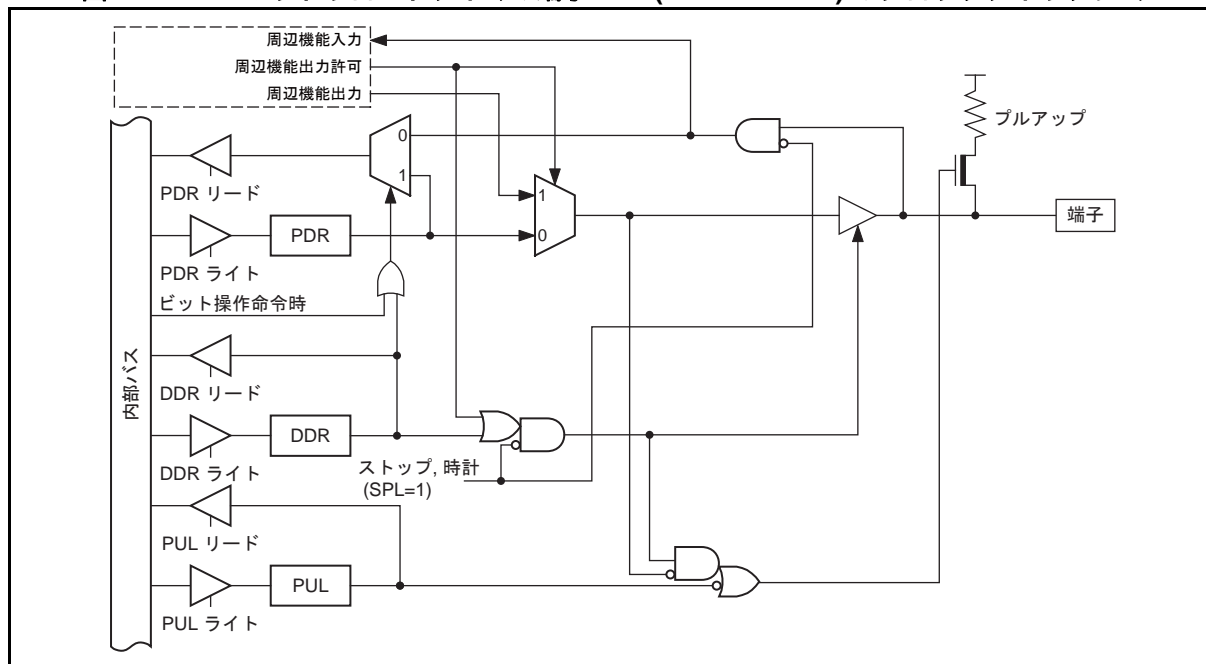


図 23.4-2 16 ビットリロードタイマの端子 TO1 (P17/TO1/SNI0) のブロックダイアグラム



MB95330H シリーズ

23.5 16ビットリロードタイマのレジスタ

16ビットリロードタイマのレジスタを説明します。

■ 16ビットリロードタイマのレジスタ

16ビットリロードタイマのレジスタを図23.5-1に示します。

図23.5-1 16ビットリロードタイマのレジスタ

16ビットリロードタイマ状態制御レジスタ(上位) TMCSRH1								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0040 _H	-	-	CSL2	CSL1	CSL0	MOD2	MOD1	MOD0
	R0/WX	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
16ビットリロードタイマ状態制御レジスタ(下位) TMCSRL1								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0041 _H	-	OUTE	OUTL	RELD	INTE	UF	CNTE	TRG
	R0/WX	R/W	R/W	R/W	R/W	R(RM1),W	R/W	R0,W
初期値 00000000 _B								
16ビットリロードタイマタイマレジスタ(上位) TMRH1								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FA8 _H	D15	D14	D13	D12	D11	D10	D9	D8
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
16ビットリロードタイマタイマレジスタ(下位) TMRL1								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FA9 _H	D7	D6	D5	D4	D3	D2	D1	D0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
16ビットリロードタイマリロードレジスタ(上位) TMRLRH1								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FA8 _H	D15	D14	D13	D12	D11	D10	D9	D8
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
16ビットリロードタイマリロードレジスタ(下位) TMRLRL1								
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0FA9 _H	D7	D6	D5	D4	D3	D2	D1	D0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値 00000000 _B								
R/W : リード/ライト可能(読出し値は書込み値) R(RM1), W : リード/ライト可能(読出し値と書込み値が異なる, リードモディファイライト(RMW)系命令時の読出し値は"1") R0,W : ライトオンリ(書込み可能。読出し時の値は"0"となります。) R0/WX : 読出し値は"0", 書込みは動作に影響なし - : 未定義ビット								
(注意事項) TMRH1 と TMRLRH1 は同一アドレスに割り当てられています。 TMRL1 と TMRLRL1 は同一アドレスに割り当てられています。								

23.5.1 16 ビットリロードタイマ状態制御レジスタ上位 (TMCSRH1)

16 ビットリロードタイマ状態制御レジスタ (TMCSRH1) は、16 ビットリロードタイマの動作モードと動作条件を設定します。

■ 16 ビットリロードタイマ状態制御レジスタ上位 (TMCSRH1)

図 23.5-2 16 ビットリロードタイマ状態制御レジスタ上位 (TMCSRH1)

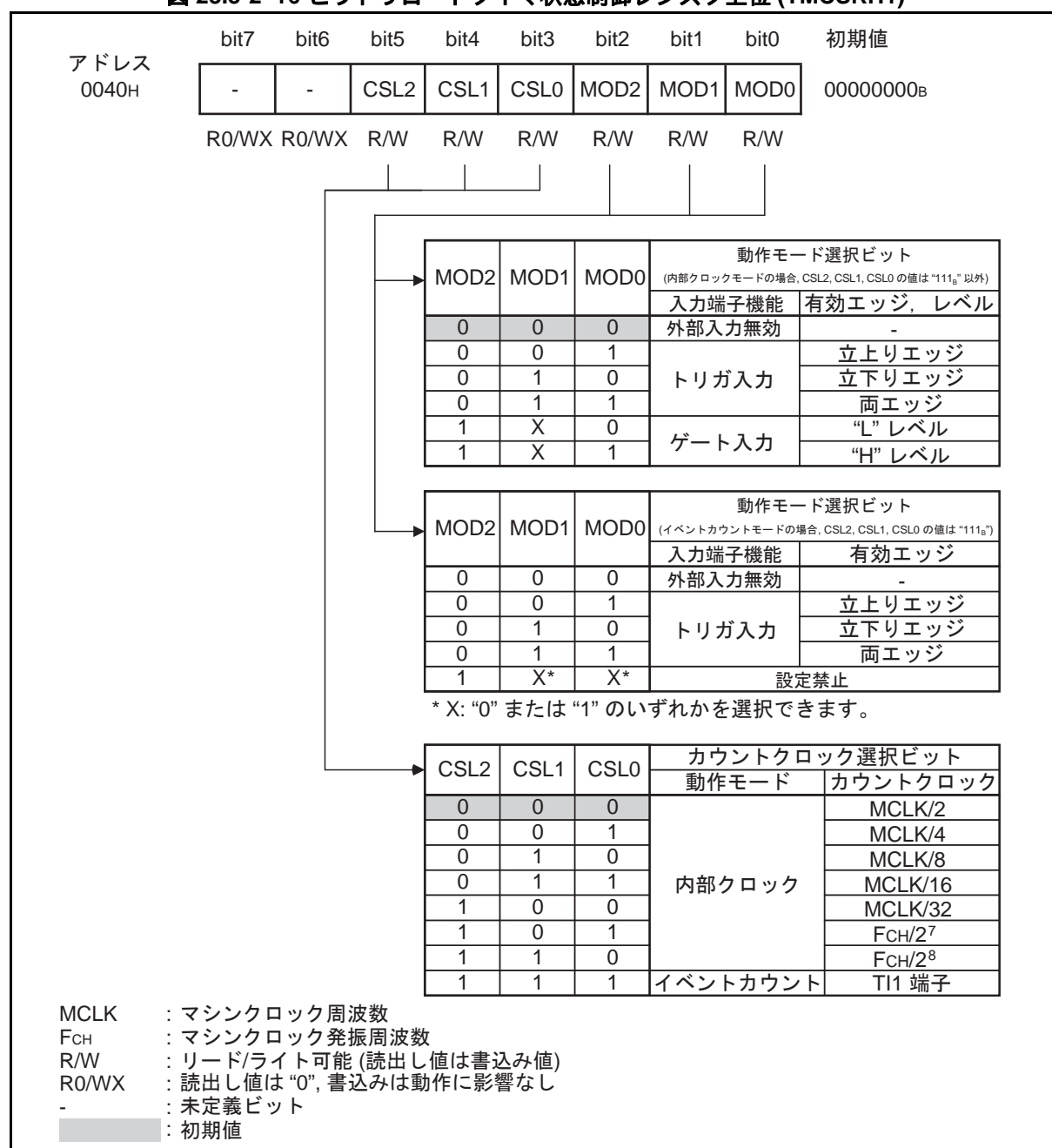


表 23.5-1 16 ビットリロードタイマ状態制御レジスタ上位 (TMCSRH1)

ビット名		機能
bit7, bit6	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。
bit5 ~ bit3	CSL2, CSL1, CSL0: カウントクロック選 択ビット	16 ビットリロードタイマのカウントクロックを選択します。 "111 _B " 以外の値を書き込んだ場合 : 内部クロックをカウントします (内部クロックモード)。内部クロックは、プリスケアラにより生成されます。「6.12 プリスケアラの動作」を参照してください。 "111 _B " を書き込んだ場合 : 外部イベントクロックのエッジをカウントします (イベントカウントモード)。
bit2 ~ bit0	MOD2, MOD1, MOD0: 動作モード選択ビッ ト	16 ビットリロードタイマの動作条件を設定します。 <ul style="list-style-type: none"> 内部クロックモード (CSL2 ~ CSL0 の値が "111_B" 以外) <p>MOD2 ビットで入力端子の機能を選択します。 MOD2 ビットが "0" の場合 <ul style="list-style-type: none"> TI1 端子はトリガ入力として機能します。 検出するエッジを MOD1 および MOD0 ビットで選択します。 エッジが検出されると、16 ビットリロードタイマリロードレジスタに設定した値が 16 ビットリロードタイマタイマレジスタ (TMR) にリロードされ、TMR がカウント動作を開始します。 MOD2 ビットが "1" の場合 <ul style="list-style-type: none"> TI1 端子はゲート入力として機能します。 MOD1 ビットへの設定は無効です。 MOD0 ビットを使用して、有効とする信号レベル ("H" または "L") を選択します。 <p>有効な信号レベルが入力されている間のみ、TMR のカウント動作が行われます。</p> <p>(注意事項) MOD2 ~ MOD0 が "000_B" の場合は外部入力が無効となります。その場合、TRG ビットを使用して、ソフトウェアにより動作を起動することができます。</p> </p> イベントカウントモード (CSL2 ~ CSL0=111_B) <ul style="list-style-type: none"> MOD2 ビットは常に "0" に固定されます。 外部イベントクロックは TI1 端子から入力されます。 検出するエッジを MOD1 および MOD0 ビットで選択します。

23.5.2 16 ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1)

16 ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1) には, 16 ビットリロードタイマの動作条件の設定, カウント動作の許可/禁止の設定, 割込み制御, および割込み要求状態の確認をする機能があります。

■ 16 ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1)

図 23.5-3 16 ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1)

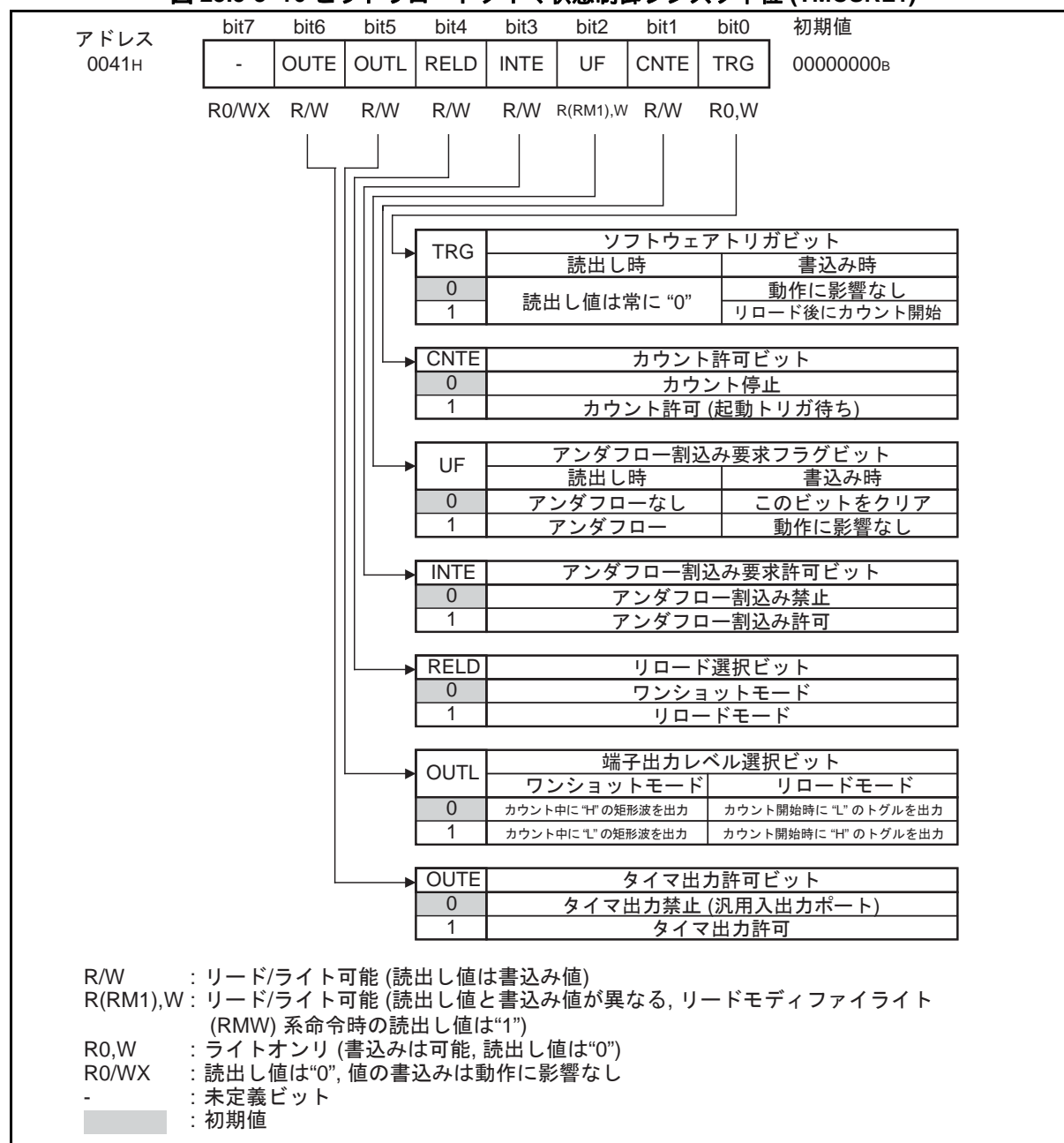


表 23.5-2 16 ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1)

ビット名		機能
bit7	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。
bit6	OUTE: タイマ出力許可ビット	16 ビットリロードタイマの TO1 端子機能を設定します。 書込み値が "0" の場合 :端子は汎用入出力ポートとして機能します。 書込み値が "1" の場合 :端子は 16 ビットリロードタイマの TO1 端子として機能します。
bit5	OUTL: 端子出力レベル選択ビット	16 ビットリロードタイマの出力端子の出力レベルを設定します。 <ul style="list-style-type: none"> ワンショットモードを選択した場合 (RELD=0) "0" に設定した場合 :16 ビットリロードタイマのカウント動作中に "H" の矩形波を出力します。 "1" に設定した場合 :16 ビットリロードタイマのカウント動作中に "L" の矩形波を出力します。 リロードモードを選択した場合 (RELD=1) "0" に設定した場合 :16 ビットリロードタイマの起動時に "L" を出力し、アンダフロー発生のためにトグルします。 "1" に設定した場合 :16 ビットリロードタイマの起動時に "H" を出力し、アンダフロー発生のためにトグルします。
bit4	RELD: リロード選択ビット	アンダフロー発生時のリロード動作を設定します。 "0" に設定した場合 :アンダフローが発生すると、カウント動作を停止します (ワンショットモード)。 "1" に設定した場合 :アンダフローが発生すると、16 ビットリロードレジスタにあらかじめ設定された値が 16 ビットタイマレジスタにロードされ、カウント動作を継続します (リロードモード)。
bit3	INTE: アンダフロー割込み要求許可ビット	アンダフロー割込みを許可、または禁止することができます。 "0" を書き込んだ場合 :割込み要求を禁止します。 "1" を書き込んだ場合 :割込み要求を許可します。
bit2	UF: アンダフロー割込み要求フラグビット	16 ビットリロードタイマでアンダフローが発生したことを示します。 "0" を書き込んだ場合 :UF ビットがクリアされます。 "1" を書き込んだ場合 :書込みは無効となります。 ・リードモディファイライト系命令では、常に "1" が読み出されます。
bit1	CNTE: カウント許可ビット	16 ビットリロードタイマの動作を許可 / 禁止することができます。 "0" に設定した場合 :カウント動作を停止します。 "1" に設定した場合 :起動トリガ待ち状態となります。起動トリガが入力されると、16 ビットタイマレジスタがカウント動作を開始します。
bit0	TRG: ソフトウェアトリガビット	ソフトウェアにより 16 ビットリロードタイマを起動することができます。 TRG ビットは、タイマ動作が許可されている場合 (CNTE=1) にのみ有効です。 "0" に設定した場合 :動作に影響しません。 "1" に設定した場合 :16 ビットリロードレジスタに設定した値が 16 ビットタイマレジスタにリロードされ、16 ビットタイマレジスタが次のカウントクロック入力からカウント動作を開始します。 (注意事項) CNTE ビットと同時に "1" を設定しても動作に影響はありません。 ・ 読出し値 : 常に "0" になります。ただし、"1" の書込みでタイマ起動後、タイマカウント動作が実際に開始されるまでは、"1" が読み出されます。

23.5.3 16 ビットリロードタイマ タイマレジスタ上位 (TMRH1)/ 下位 (TMRL1)

16 ビットリロードタイマ タイマレジスタ上位 (TMRH1) および下位 (TMRL1) は、16 ビットダウンカウンタのカウント値を読み出します。

■ 16 ビットリロードタイマ タイマレジスタ上位 (TMRH1)/ 下位 (TMRL1)

図 23.5-4 16 ビットリロードタイマ タイマレジスタ上位 (TMRH1)/ 下位 (TMRL1)

TMRH1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	D15	D14	D13	D12	D11	D10	D9	D8	00000000 _B
0FA8 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
TMRL1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
0FA9 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W	: リード / ライト可能 (読出し値は書き込み値)								

16 ビットタイマレジスタは 16 ビットダウンカウンタのカウント値を読み出します。
カウント開始時にカウントが許可 (TMCSRL1:CNT=1) されている場合、16 ビットリロードレジスタに書き込まれた値はこのレジスタへリロードされ、カウントダウンを開始します。

< 注意事項 >

- このレジスタはカウント中でもカウント値を読み出すことが可能です。読み出すときは、ワード転送命令を使用するか、上位 下位の順に読出しを行ってください。上位を読み出した時点で下位の値を保持するような回路構成となっています。
- このレジスタは読出し専用のレジスタであり、16 ビットリロードレジスタと同一のアドレスに配置されています。したがって、このレジスタへの書き込みは 16 ビットリロードレジスタへの書き込みとなります。

MB95330H シリーズ

23.5.4 16 ビットリロードタイマリロードレジスタ上位 (TMRLRH1)/ 下位 (TMRLRL1)

16 ビットリロードタイマリロードレジスタ上位 (TMRLRH1)/ 下位 (TMRLRL1) は , 16 ビットダウンカウンタへのリロード値を設定するレジスタです。16 ビットリロードレジスタに設定された値が , 16 ビットダウンカウンタにリロードされ , ダウンカウントを実行します。

■ 16 ビットリロードタイマリロードレジスタ上位 (TMRLRH1)/ 下位 (TMRLRL1)

図 23.5-5 16 ビットリロードタイマリロードレジスタ上位 (TMRLRH1)/ 下位 (TMRLRL1)

TMRLRH1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	D15	D14	D13	D12	D11	D10	D9	D8	00000000 _B
0FA8 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
TMRLRL1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
0FA9 _H	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W	: リード / ライト可能 (読出し値は書込み値)								

16 ビットダウンカウンタへのリロード値を設定するレジスタです。

16 ビットリロードタイマリロードレジスタに設定された値が , 起動時もしくはアンダフロー発生時に 16 ビットダウンカウンタにリロードされ , ダウンカウントを実行します (カウンタ動作中の書込みも可能)。

< 注意事項 >

- このレジスタはカウント中でも値を書き込むことが可能です。書込み時はワード転送命令を使用するか, 上位 下位の順に書込みを行ってください。下位を書き込んだ時点で上位の値を有効にするような回路構成となっています。
- このレジスタは書込み専用のレジスタであり , 16 ビットタイマレジスタと同一のアドレスに配置されています。したがって , このレジスタからの読出しは 16 ビットタイマレジスタからの読出しとなります。

23.6 16 ビットリロードタイマの割込み

16 ビットリロードタイマは、16 ビットダウンカウンタでのアンダフロー発生時に割込み要求を出力します。

■ 16 ビットリロードタイマの割込み

16 ビットリロードタイマの割込み制御ビットと割込み要因を表 23.6-1 に示します。

表 23.6-1 16 ビットリロードタイマの割込み制御ビットと割込み要因

項目	説明
割込み要求フラグビット	TMCSRL1 レジスタの UF ビット
割込み要求許可ビット	TMCSRL1 レジスタの INTE ビット
割込み要因	ダウンカウンタ (TMRH1/TMRL1) のアンダフロー

16 ビットリロードタイマは、16 ビットダウンカウンタにアンダフローが発生すると ("0000_H" "FFFF_H"), 16 ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1) のアンダフロー割込み要求フラグビット (UF) を "1" に設定します。アンダフロー割込み要求許可ビットが許可 (INTE=1) に設定されている場合、割込み要求が割込みコントローラに出力されます。

■ 16 ビットリロードタイマの割込みのレジスタとベクタテーブルのアドレス

表 23.6-2 16 ビットリロードタイマの割込みのレジスタとベクタテーブルのアドレス

割込み要因	割込み要求番号	割込みレベル設定レジスタ		ベクタテーブルアドレス	
		レジスタ	設定ビット	上位	下位
16 ビットリロードタイマ ch.1*	IRQ16	ILR4	L16	FFDA _H	FFDB _H

ch: チャンネル

* 16 ビットリロードタイマ ch.1 は、I²C および MPG(書込みタイミング/コンペアー致)と同じ割込み要求番号とベクタテーブルを使用します。

各周辺機能のそれぞれの割込み要求番号およびベクタテーブルのアドレスについては「付録 B 割込み要因一覧表」を参照してください。

23.7 16 ビットリロードタイマの動作説明と設定手順例

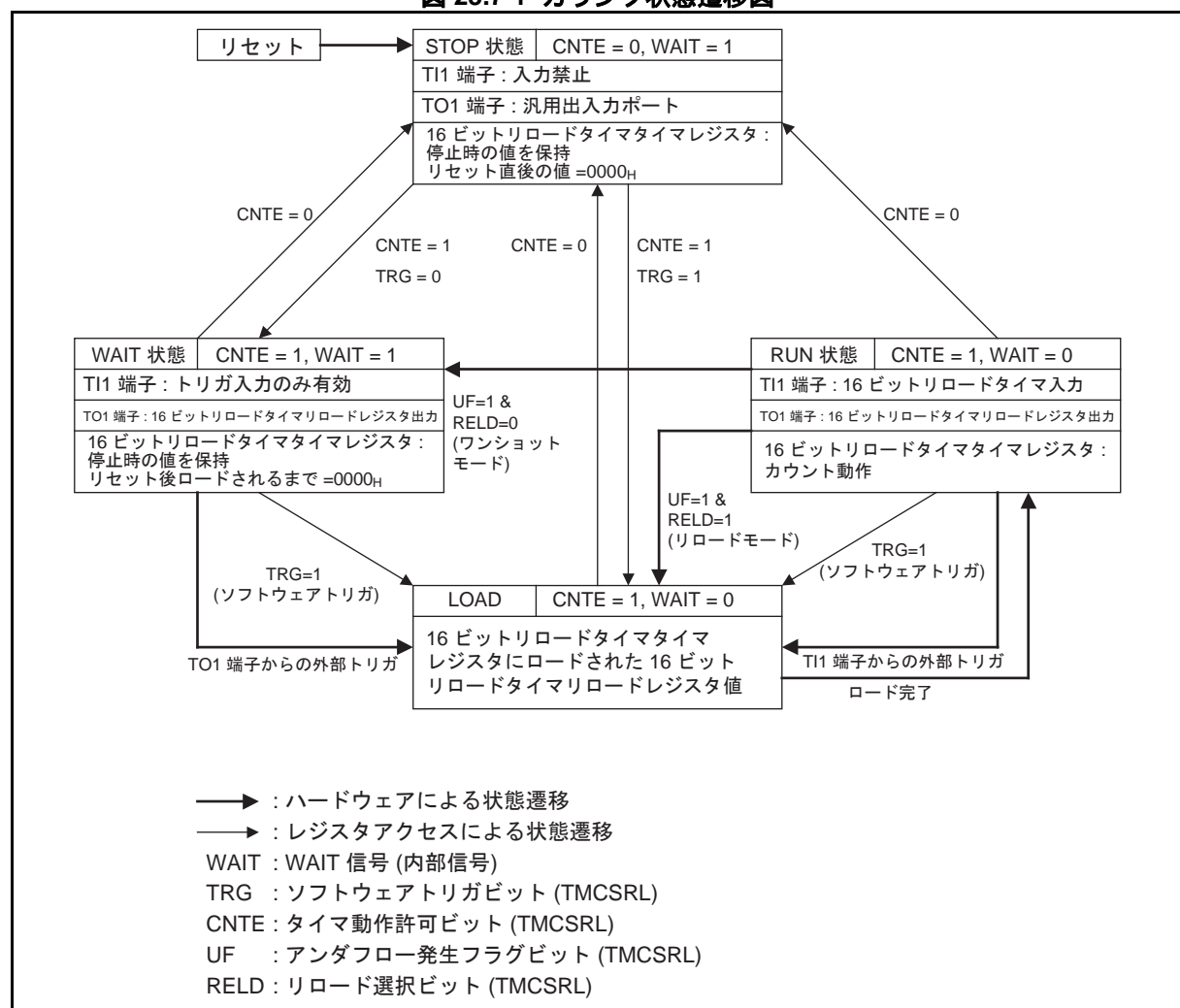
16 ビットリロードタイマカウンタの動作状態について説明します。

■ カウンタの動作状態

カウンタの状態は、16 ビットリロードタイマ状態制御レジスタ (TMCSRL1) のカウンタ許可ビット (CNTE) の値と内部信号の起動トリガ待ち信号値 (WAIT) で決まります。STOP 状態 (停止状態)、WAIT 状態 (起動トリガ待ち状態) および RUN 状態 (動作状態) の設定が可能です。

これらのカウンタの状態遷移を図 23.7-1 に示します。

図 23.7-1 カウンタ状態遷移図



■ 設定手順例

16 ビットリロードタイマの設定手順例を下に示します。

● 初期設定

- 1) 割込みレベルの設定 (ILR4)
- 2) リロード値の設定 (TMR1)
- 3) クロックの選択 (TMCSRH1:CSL2 ~ CSL0)
- 4) 動作モードの選択 (TMCSRH1:MOD2 ~ MOD0)
- 5) 出力を許可 (TMCSRL1:OUTE = 1)
- 6) 出力レベルの選択 (TMCSRL1:OUTL)
- 7) リロードの選択 (TMCSRL1:RELD)
- 8) カウントを許可 (TMCSRL1:CNTEN = 1)
- 9) ソフトウェアトリガの実行 (TMCSRL1:TRG = 1)
- 10) アンダフロー割込みを許可 (TMCSRL1:INTE = 1)

● 割込み処理

- 1) アンダフロー割込み要求フラグのクリア (TMCSRL1:UF=0)
- 2) アンダフロー割込みを禁止 (TMCSRL1:INTE = 0)
- 3) 任意の割込み処理
- 4) アンダフロー割込みを許可 (TMCSRL1:INTE = 1)

23.7.1 内部クロックモード

このモードでは，16 ビットダウンカウンタは内部カウントクロックと同期している間カウントダウンし，アンダフローが発生 ("0000_H" "FFFF_H") するたびに割込み要求を割込みコントローラに出力します。また，TO1 端子はトグル波形を出力できます。

■ 内部クロックモードの設定

インターバルタイマとして動作させるには，レジスタを図 23.7-2 のように設定してください。

図 23.7-2 内部クロックモードの設定

TMCSRH1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	-	-	CSL2	CSL1	CSL0	MOD2	MOD1	MOD0
			"111 _B " 以外			0	⊙	⊙
TMCSRL1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	-	OUTE	OUTL	RELD	INTE	UF	CNTE	TRG
	0	⊙	⊙	⊙	⊙	⊙	1	⊙
TMRLRH1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D15	D14	D13	D12	D11	D10	D9	D8
	カウンタの初期値 (リロード値) を設定 (上位)							
TMRLRL1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	D7	D6	D5	D4	D3	D2	D1	D0
	カウンタの初期値 (リロード値) を設定 (下位)							

⊙ : 使用ビット
 0 : "0" に設定
 1 : "1" に設定

■ 内部クロックモード (リロードモード) の動作

カウント許可ビット (CNTE) に "1" を設定してカウントを許可している場合，ソフトウェアトリガビット (TRG) に "1" を設定するか，または外部トリガによってタイマが開始されると，16 ビットリロードレジスタ (TMRLR1) に設定した値が 16 ビットダウンカウンタにリロードされ，ダウンカウントが開始されます。カウント許可ビット (CNTE) とソフトウェアトリガビット (TRG) を同時に "1" に設定し，カウント動作を許可すると，同時にカウントを開始します。

リロード選択ビット (RELD) が "1" の場合，16 ビットカウンタでアンダフローが発生すると ("0000_H" "FFFF_H"), 16 ビットリロードレジスタ (TMRLR1) の値が 16 ビットダウンカウンタにリロードされ，カウントが継続します。アンダフロー割込み要求フラグビット (UF) が "1" の場合，アンダフロー割込み要求許可ビット (INTE) を "1" に設定すると，割込み要求が出力されます。

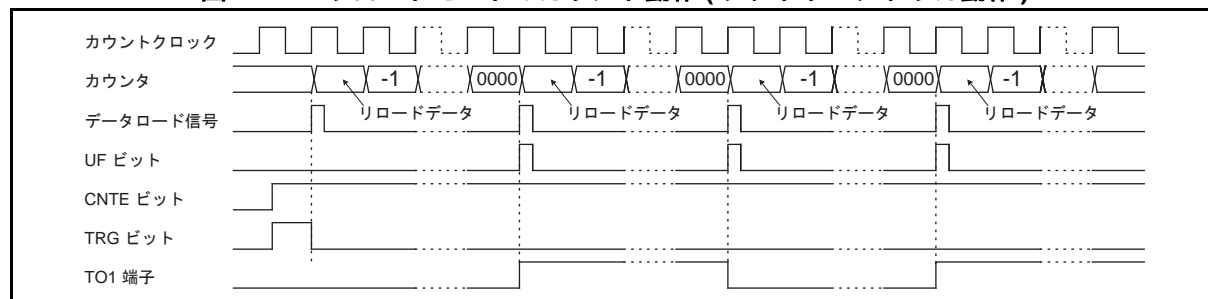
TO1 端子は，アンダフローの発生ごとに反転するトグル波形を出力できます。

● ソフトウェアトリガ動作

カウント許可ビット (CNTE) の設定が "1" の場合に、ソフトウェアトリガビット (TRG) に "1" を設定すると、カウントを開始します。

リロードモード時のソフトウェアトリガ動作を図 23.7-3 に示します。

図 23.7-3 リロードモードのカウント動作 (ソフトウェアトリガ動作)



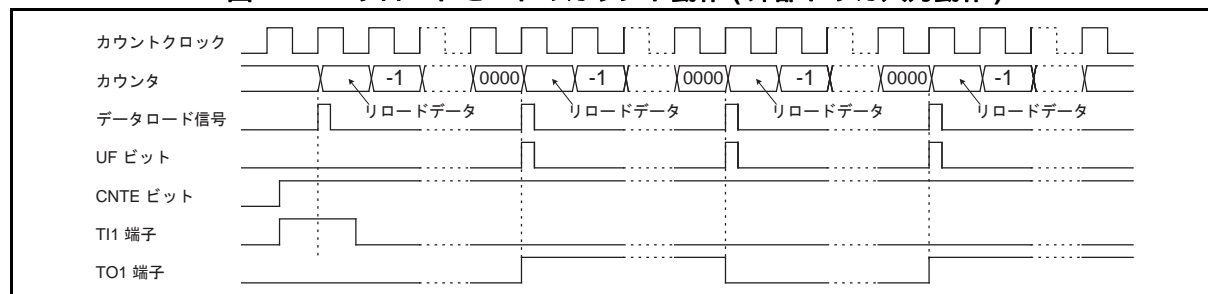
● 外部トリガ入力動作

カウント許可ビット (CNTE) の設定が "1" の場合に、動作モード選択ビット (MOD2 ~ MOD0) で設定しているトリガ入力の有効エッジ (立上り, 立下り, 両エッジから選択可能) が TI1 端子に入力されると、カウントを開始します。

なお、ソフトウェアトリガによるタイマ起動も、外部トリガによる起動と同様に有効となります。

リロードモード時における外部トリガ入力動作を図 23.7-4 に示します。

図 23.7-4 リロードモードのカウント動作 (外部トリガ入力動作)



● ゲート入力動作

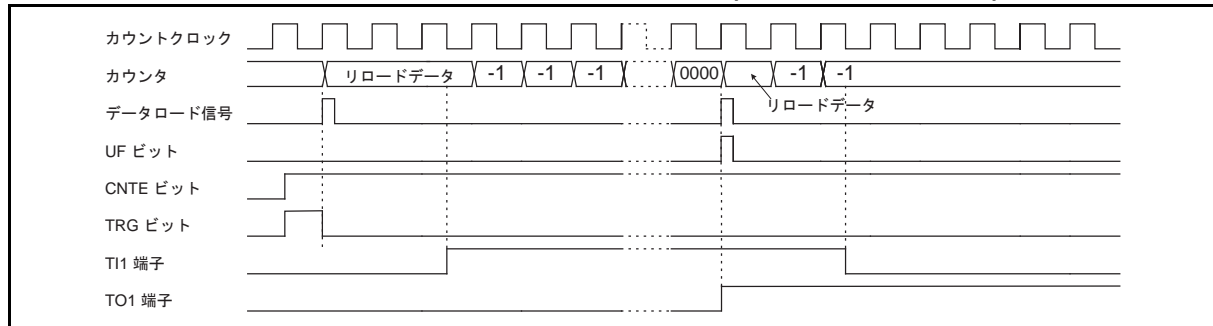
カウント許可ビット (CNTE) の設定が "1" の場合に、ソフトウェアトリガビット (TRG) も "1" に設定すると、カウントを開始します。

動作モード選択ビット (MOD2 ~ MOD0) で設定されたゲート入力の有効レベル ("L" または "H" が設定可能) が TI1 端子に入力されている間、タイマはカウントを継続します。

なお、ソフトウェアトリガによるタイマ起動も、外部トリガによる起動と同様に有効となります。

リロードモード時におけるゲート入力動作を図 23.7-5 に示します。

図 23.7-5 リロードモードのカウンタ動作 (外部ゲート入力動作)



■ 内部クロックモード (ワンショットモード) の動作

カウンタ許可ビット (CNTE) の設定が "1" の場合に、ソフトウェアトリガビット (TRG) に "1" が設定されるか、動作モード選択ビット (MOD2 ~ MOD0) で選択された有効エッジ (立上り, 立下り, 両エッジから選択可能) が TI1 端子に入力されると、16 ビットリロードレジスタに設定した値が 16 ビットダウンカウンタにリロードされ、ダウンカウントを開始します。カウンタ許可ビット (CNTE) とソフトウェアトリガビット (TRG) が同時に "1" に設定され、カウンタ動作が許可されると、同時にカウントを開始します。

リロード選択ビット (RELD) が "0" の場合、16 ビットカウンタでアンダフローが発生すると ("0000_H" ~ "FFFF_H"), 16 ビットカウンタは "FFFF_H" の状態でカウントを停止します。このとき、アンダフロー割込み要求フラグビット (UF) が "1" に設定され、アンダフロー割込み要求許可ビット (INTE) が "1" の場合、割込み要求を出力します。

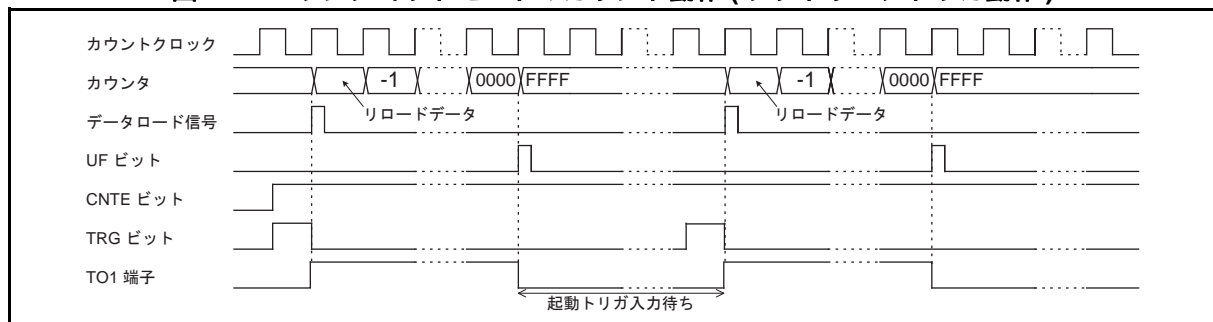
TO1 端子からは、カウント中を示す矩形波を出力できます。

● ソフトウェアトリガ動作

カウンタ許可ビット (CNTE) の設定が "1" の場合に、ソフトウェアトリガビット (TRG) が "1" に設定されると、カウントを開始します。

ワンショットモード時におけるソフトウェアトリガ動作を図 23.7-6 に示します。

図 23.7-6 ワンショットモードのカウンタ動作 (ソフトウェアトリガ動作)

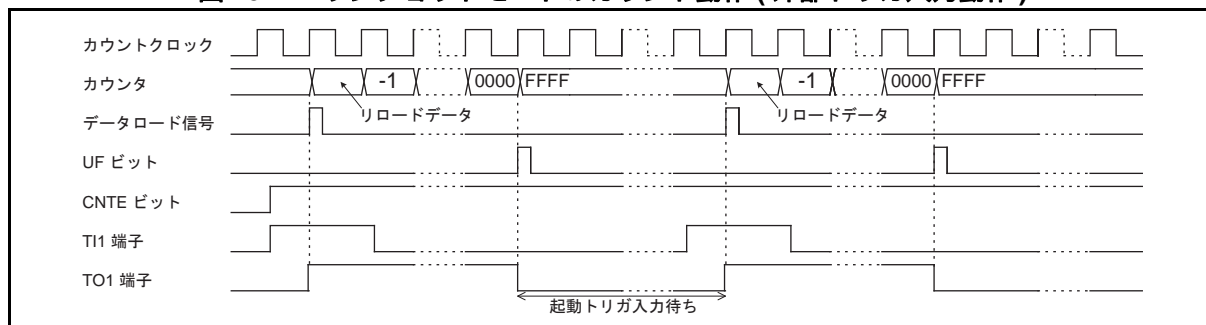


● 外部トリガ入力

カウント許可ビット (CNTE) の設定が "1" の場合に、動作モード選択ビット (MOD2 ~ MOD0) で設定しているトリガ入力の有効エッジ (立上り, 立下り, 両エッジから設定可能) が TI1 端子に入力されると、カウントを開始します。

ワンショットモード時における外部トリガ入力動作を図 23.7-7 に示します。

図 23.7-7 ワンショットモードのカウント動作 (外部トリガ入力動作)



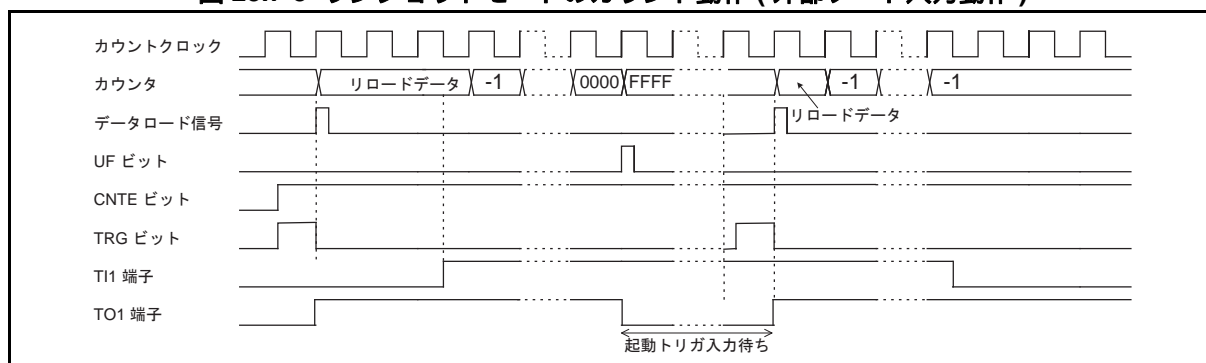
● ゲート入力動作

カウント許可ビット (CNTE) の設定が "1" の場合に、ソフトウェアトリガビット (TRG) が "1" に設定されると、カウントを開始します。

動作モード選択ビット (MOD2 ~ MOD0) で設定しているトリガ入力の許可レベル ("L" または "H" が設定可能) が TI1 端子に入力されている間、タイマはカウントを継続します。

ワンショットモード時における外部ゲート入力動作を図 23.7-8 に示します。

図 23.7-8 ワンショットモードのカウント動作 (外部ゲート入力動作)



23.7.2 イベントカウントモード

このモードでは，TI1 端子に入力されたパルスで有効エッジが検出されるごとに 16 ビットダウンカウンタをダウンカウントし，アンダフローが発生すると ("0000_H" "FFFF_H"), 割込みコントローラに割込み要求を出力します。また，TO1 端子からトグル波形または矩形波を出力できます。

■ イベントカウントモードの設定

イベントカウンタとして動作させるには，レジスタを図 23.7-9 のように設定してください。

図 23.7-9 イベントカウントモードの設定

図 23.7-9 タイマ/カウンタレジスタの設定

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TMCSRH1	-	-	CSL2	CSL1	CSL0	MOD2	MOD1	MOD0
			1	1	1	⊙	⊙	⊙

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TMCSRL1	-	OUTE	OUTL	RELD	INTE	UF	CNTE	TRG
		⊙	⊙	⊙	⊙	⊙	1	⊙

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TMRLRH1	D15	D14	D13	D12	D11	D10	D9	D8
	カウンタの初期値 (リロード値) を設定 (上位)							

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TMRLRL1	D7	D6	D5	D4	D3	D2	D1	D0
	カウンタの初期値 (リロード値) を設定 (下位)							

⊙ : 使用ビット

1 : "1" を設定

■ イベントカウントモード

カウント許可ビット (CNTE) の設定が "1" の場合に，ソフトウェアトリガビット (TRG) に "1" を設定すると，16 ビットリロードレジスタ (TMRLRH1/TMRLRL1) に設定した値が 16 ビットカウンタにリロードされます。TI1 端子に入力されたパルス (外部カウントクロック) の有効エッジ (立上り，立下り，両エッジから選択可能) を検出するごとにカウントします。

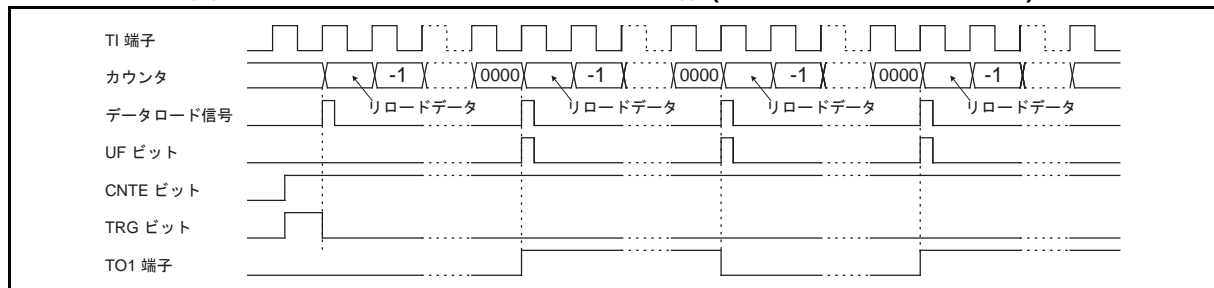
● リロードモードの動作

リロード選択ビット (RELD) が "1" の場合，16 ビットカウンタにアンダフローが発生すると ("0000_H" "FFFF_H"), 16 ビットリロードレジスタ (TMRLRH1/TMRLRL1) に設定した値が 16 ビットカウンタにリロードされ，カウントを継続します。

16 ビットカウンタにアンダフローが発生すると ("0000_H" "FFFF_H"), タイマ状態制御レジスタ下位 (TMCSRL1) のアンダフロー割込み要求フラグビット (UF) に "1" が設定されます。アンダフロー割込み許可ビット (INTE) に "1" を設定している場合は割込み要求を出力します。

TO1 端子からは、アンダフローの発生ごとに反転するトグル波形を出力できます。リロードモードにおけるカウント動作を図 23.7-10 に示します。

図 23.7-10 リロードモードのカウント動作 (イベントカウントモード)



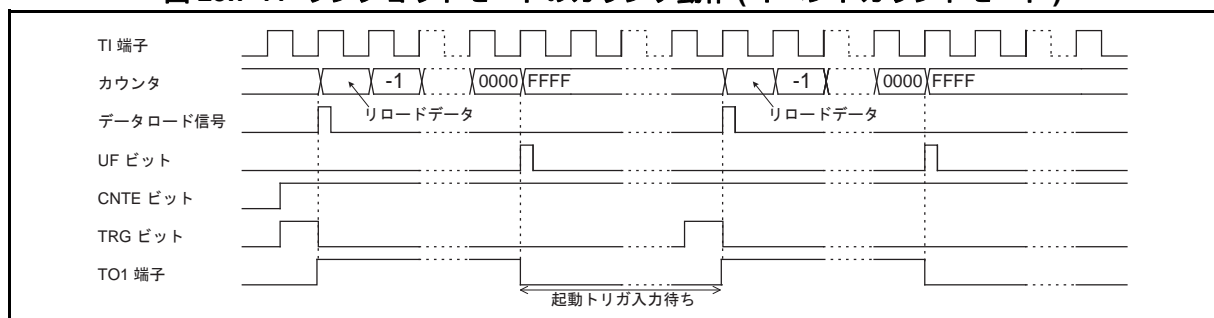
● ワンショットモードの動作

リロード選択ビット (RELD) が "0" の場合、16 ビットカウンタでアンダフローが発生すると ("0000_H" "FFFF_H"), 16 ビットカウンタの値は "FFFF_H" の状態で停止します。

タイマ状態制御レジスタ下位 (TMCSRL1) のアンダフロー要求フラグビット (UF) に "1" が設定され、アンダフロー割込み許可ビット (INTE) の設定が "1" の場合には割込み要求を出力します。

TO1 端子はカウント中を示す矩形波を出力します。ワンショットモード時におけるカウント動作を図 23.7-11 に示します。

図 23.7-11 ワンショットモードのカウント動作 (イベントカウントモード)



23.8 16 ビットリロードタイマ使用上の注意

16 ビットリロードタイマを使用する上での注意事項について説明します。

■ 16 ビットリロードタイマ使用上の注意

● プログラム設定上の注意

- 16 ビットタイマレジスタはカウント中でも値を読み出すことが可能です。読出し時はワード転送命令を使用するか、上位 下位の順に読出しを行ってください。
- 16 ビットリロードレジスタはカウント中でも値を書き込むことが可能です。書込み時はワード転送命令を使用するか、上位 下位の順に書込みを行ってください。

● 割込みに関する注意

アンダフロー割込み要求許可ビット (INTE) の設定が "1" の場合、タイマ状態制御レジスタ下位 (TMCSSL1) のアンダフロー割込み要求フラグビット (UF) に "1" を設定すると、割込み処理から復帰できません。アンダフロー割込み要求フラグビット (UF) は必ず "0" にしてください。

23.9 16 ビットリロードタイマの設定例

16 ビットリロードタイマの設定例を以下に示します。

■ 設定例

● カウントクロックの選択方法

カウントクロック選択ビット (TMCSR1:CSL[2:0]) を使用します。

動作	カウントクロック選択ビット (CSL[2:0])
内部クロックを選択するには	ビットを "111 _B " 以外に設定
外部イベントクロックを選択するには	ビットを "111 _B " に設定

● 内部クロックモード時の動作条件の選択方法

条件設定には、動作モード選択ビット (TMCSR1:MOD[2:0]) を使用します。

動作条件	動作モード選択ビット (MOD[2:0])
TI1 端子からのトリガ入力 (立上りエッジ)	ビットを "001 _B " に設定
TI1 端子からのトリガ入力 (立下りエッジ)	ビットを "010 _B " に設定
TI1 端子からのトリガ入力 (両エッジ)	ビットを "011 _B " に設定
TI1 端子からのゲート入力 ("L" レベル)	ビットを "1x0 _B " に設定
TI1 端子からのゲート入力 ("H" レベル)	ビットを "1x1 _B " に設定

● イベントカウントモード時の動作条件の選択方法

条件設定には、動作モード選択ビット (TMCSR1:MOD[1:0]) を使用します。

動作条件	動作モード選択ビット (MOD[1:0])
立上りエッジ	ビットを "01 _B " に設定
立下りエッジ	ビットを "10 _B " に設定
両エッジ	ビットを "11 _B " に設定

MOD2 の設定は、"0" または "1" にかかわらず、動作に影響を与えません。

● リロードタイマのカウンタ動作を許可 / 停止する方法

タイマのカウンタ許可ビット (TMCSR1:CNTE) を使用します。

動作	動作許可ビット (CNTE)
リロードタイマを停止	ビットを "0" に設定
リロードタイマのカウンタ動作を許可	ビットを "1" に設定

停止した状態からは再開できません。動作の許可は起動前か起動と同時にしてください。

● タイマをリロードするモード (リロード / ワンショット) を設定する方法

モード選択ビット (TMCSR1:RELD) を使用します。

動作モード	モード選択ビット (RELD)
ワンショットモードを選択	ビットを "0" に設定
リロードモードを選択	ビットを "1" に設定

● 出力レベルを反転させる方法

出力レベルを下表のように指定します。

設定には、端子出力レベル選択ビット (TMCSR1:OUTL) を使用します。

出力レベル	端子出力レベル選択ビット (OUTL)
リロードモードでのカウンタ開始時に "L" のトグル出力をさせる	ビットを "0" に設定
リロードモードでのカウンタ開始時に "H" のトグル出力をさせる	ビットを "1" に設定
ワンショットモードでのカウンタ中に "H" の矩形波を出力させる	ビットを "0" に設定
ワンショットモードでのカウンタ中に "L" の矩形波を出力させる	ビットを "1" に設定

● TI1 端子を外部イベント入力端子、または外部トリガ入力端子にする方法

データ方向指定ビット (DDR6:P61) に "0" を設定します。

端子	制御ビット	
TI1 端子	データ方向レジスタ DDR6	方向ビット (P61)

● TO1 端子を許可 / 禁止する方法

タイマ出力許可ビット (TMCSR1:OUTE) を使用します。

動作	タイマ出力許可ビット (TMCSR1:OUTE)
TO1 端子を許可	ビットを "1" に設定
TO1 端子を禁止	ビットを "0" に設定

● 起動トリガの生成方法

・ ソフトトリガの生成方法

ソフトウェアトリガビット (TMCSR1:TRG) を使用します。

ソフトウェアトリガビット (TRG) に "1" を書き込むとトリガが発生します。

動作の許可と起動を同時に行うためには、カウント許可ビット (TMCSR1:CNTE) とソフトトリガビット (TMCSR1:TRG) を同時に設定します。

・ 外部トリガの生成方法

各リロードタイマに対応するトリガ端子に、動作モード選択ビットで指定したエッジが入力されると、外部トリガが発生します。

タイマ	トリガ端子
リロードタイマ	TI1

● 割込み関連レジスタ

割込みレベルは下表の割込みレベルレジスタで設定します。

	割込みレベル設定ビット	割込みベクタ
リロードタイマ ch.1	割込みレベルレジスタ (ILR4) アドレス : 0007D _H	#16 アドレス : 0FFDA _H

● 割込みを許可する方法

割込み要求許可ビット、割込み要求フラグ

割込み許可の設定には、割込み要求許可ビット (TMCSR1:INTE) を使用します。

動作	割込み要求許可ビット (INTE)
割込み要求を禁止	ビットを "0" に設定
割込み要求を許可	ビットを "1" に設定

割込み要求のクリアには、割込み要求ビット (TMCSR1:UF) を使用します。

動作	割込み要求ビット (UF)
割込み要求をクリアする	ビットを "0" に設定

第24章

マルチパルスジェネレータ

マルチパルスジェネレータの仕様と動作について説明します。

- 24.1 マルチパルスジェネレータの概要
- 24.2 マルチパルスジェネレータのブロックダイアグラム
- 24.3 マルチパルスジェネレータの端子
- 24.4 マルチパルスジェネレータのレジスタ
- 24.5 マルチパルスジェネレータの割込み
- 24.6 マルチパルスジェネレータの動作
- 24.7 マルチパルスジェネレータ使用上の注意
- 24.8 マルチパルスジェネレータのサンプルプログラム

24.1 マルチパルスジェネレータの概要

マルチパルスジェネレータは、16 ビット PPG タイマ、16 ビットリロードタイマ、および波形シーケンサで構成されます。波形シーケンサを使用することにより、マルチパルスジェネレータ (SNI2 ~ SNI0) の入力信号に応じて、16 ビット PPG タイマ出力信号がマルチパルスジェネレータ出力 (OPT5 ~ OPT0) に送られます。また緊急の場合は、OPT5 ~ OPT0 出力信号を DTTI 入力によってハードウェア的に終了させることができます。OPT5 ~ OPT0 出力信号は PPG 信号と同期して、望ましくないグリッチを除去します。

16 ビット PPG タイマおよび 16 ビットリロードタイマの詳細については、それぞれ「第 22 章 16 ビット PPG タイマ」および「第 23 章 16 ビットリロードタイマ」を参照してください。

■ 波形シーケンサの機能

● 出力信号制御

波形シーケンサを使用すると、マルチパルスジェネレータ出力 (OPT5 ~ OPT0) で、16 ビット PPG 波形出力と DC チョップパ波形出力を生成できます。

- マルチパルスジェネレータの位置検出入力 (SNI2 ~ SNI0) から入力信号の有効エッジが検出された場合、16 ビットリロードタイマでアンダフローが発生した場合、または OPDBRH0/OPDBRL0 レジスタへ書込みがされた場合、出力データバッファレジスタ (OPDBRHx, OPDBRLx) のいずれかのデータが出力データレジスタ上位 (OPDUR) および出力データレジスタ下位 (OPDLR) へロードされます。
- 出力データレジスタ (OPDUR, OPDLR) は、OPT 出力端子 (OPT5 ~ OPT0) へ出力される 16 ビット PPG タイマ出力を決定します。出力データレジスタ (OPDUR, OPDLR) にロードされる出力データバッファレジスタ (OPDBRHx, OPDBRLx) のデータに応じて、さまざまな組み合わせの OPT 出力 (OPT5 ~ OPT0) が得られます。
- 出力データレジスタ (OPDUR, OPDLR) および 12 対の出力データバッファレジスタ (OPDBRHx, OPDBRLx) に設定されているシーケンスに応じて、16 ビット PPG タイマ出力からマルチパルスジェネレータ出力 (OPT5 ~ OPT0) への信号送出を制御したり、PPG タイマ出力信号を 1 つの OPT 出力から他の OPT 出力へ切り換えることができます。また 16 ビットリロードタイマは、OPT 出力の切換え時に遅延を挿入することもできます。
- OPDBRHx/OPDBRLx レジスタから OPDUR/OPDLR レジスタへのデータ転送の組み合わせを、表 24.1-1 に示します。

表 24.1-1 OPDBRHx/OPDBRLx レジスタから OPDUR/OPDLR レジスタへのデータ転送

組合せ	OPDBRHx/OPDBRLx レジスタから OPDUR/OPDLR レジスタへのデータ転送
1	ソフトウェアによる OPDBRHx/OPDBRLx への書き込みが行われた後の、OPDBRHx/OPDBRLx から OPDUR/OPDLR へのデータ転送
2	16 ビットリロードタイマのアンダフローにより起動
3	位置検出入力 (SNI2 ~ SNI0) により起動
4	16 ビットリロードタイマ のアンダフローにより起動 16 ビットタイマは位置検出比較回路により開始
5	16 ビットリロードタイマのアンダフローまたは位置検出入力により起動

- 波形シーケンサは、位置を検出できなかった場合にモータの速度を測定したり、OPT 出力を禁止にしたりするために使用できる 16 ビットタイマを内蔵しています。
- DTTI 端子入力による強制的停止制御
外部端子制御は、DTTI 端子入力を通じて実行できます。(端子レベルは各端子またはソフトウェアで設定できます。) DTTI 入力には、選択可能なノイズフィルタが存在します。DTTI 端子のノイズフィルタのノイズ幅を表 24.1-2 に示します。

表 24.1-2 ノイズフィルタのノイズ幅

選択	DTTI 端子と SNI2 ~ SNI0 端子のノイズ幅
1	4 マシンサイクルノイズを除去する
2	8 マシンサイクルノイズを除去する
3	16 マシンサイクルノイズを除去する
4	32 マシンサイクルノイズを除去する

● 出力信号と PPG との間の同期化

シーケンサ状態遷移時におけるショートパルス (またはグリッチ) の発生を回避するには、書き込みタイミング (WTO) を遅延させ、次に来る PPG 出力波形のエッジと同期化させる必要があります。詳細は、図 24.1-1 と図 24.1-2 を参照してください。この機能は、ソフトウェアで許可または禁止にできます。この機能を禁止したり同期化対象の PPG エッジの極性を選択したりするには、入力制御レジスタ上位 (IPCUR) の WTS1 ビットと WTS0 ビットを使用します。

図 24.1-1 PPG 立上がりエッジの同期化

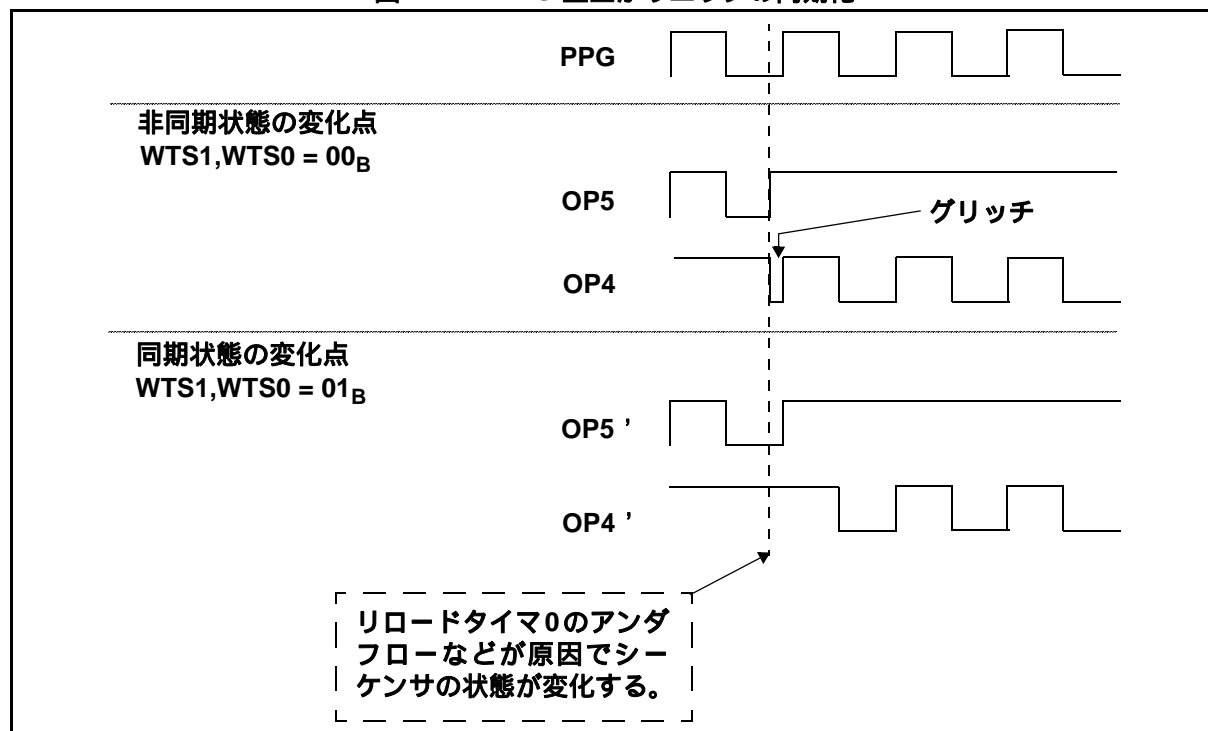
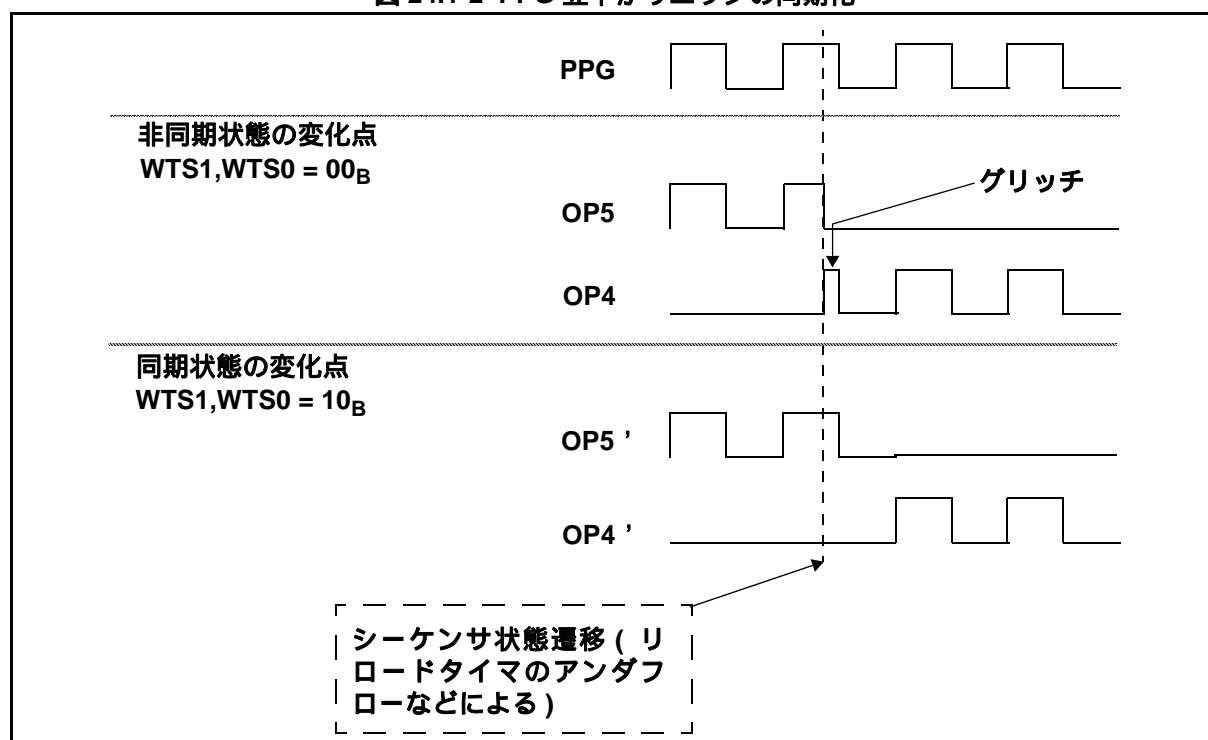


図 24.1-2 PPG 立下がりエッジの同期化



< 注意事項 >

PPG 同期モードから他の PPG 同期モードへの切り換え (例: 立上がりエッジ同期から立下りエッジ同期, あるいはその逆) は禁止です。いずれの同期モードも, このような切換えで遷移することはできません。

● 入力位置検出制御

マルチパルスジェネレータ入力端子 (SNI2 ~ SNI0) の入力信号を使用して、直流モータのロータ位置を検出します。SNI2 ~ SNI0 の各入力端子にはノイズフィルタが存在します。このノイズフィルタのノイズ幅を表 24.1-2 に示します。入力位置検出回路の条件を以下に示します。

- SNI2 ~ SNI0 の各入力では、立上りエッジ、立下りエッジまたは両エッジの 3 種類のエッジいずれかを選択できます。
- SNI2 ~ SNI0 入力のレベルは、出力データレジスタ上位 (OPDUR: RDA2 ~ RDA0) の RDA2 ~ RDA0 ビットと比較されます。

上記の条件が満たされると、OPDBRHx/OPDBRLx レジスタと OPDUR/OPDLR レジスタ間のデータ転送に対する書込みタイミング信号が生成されます。

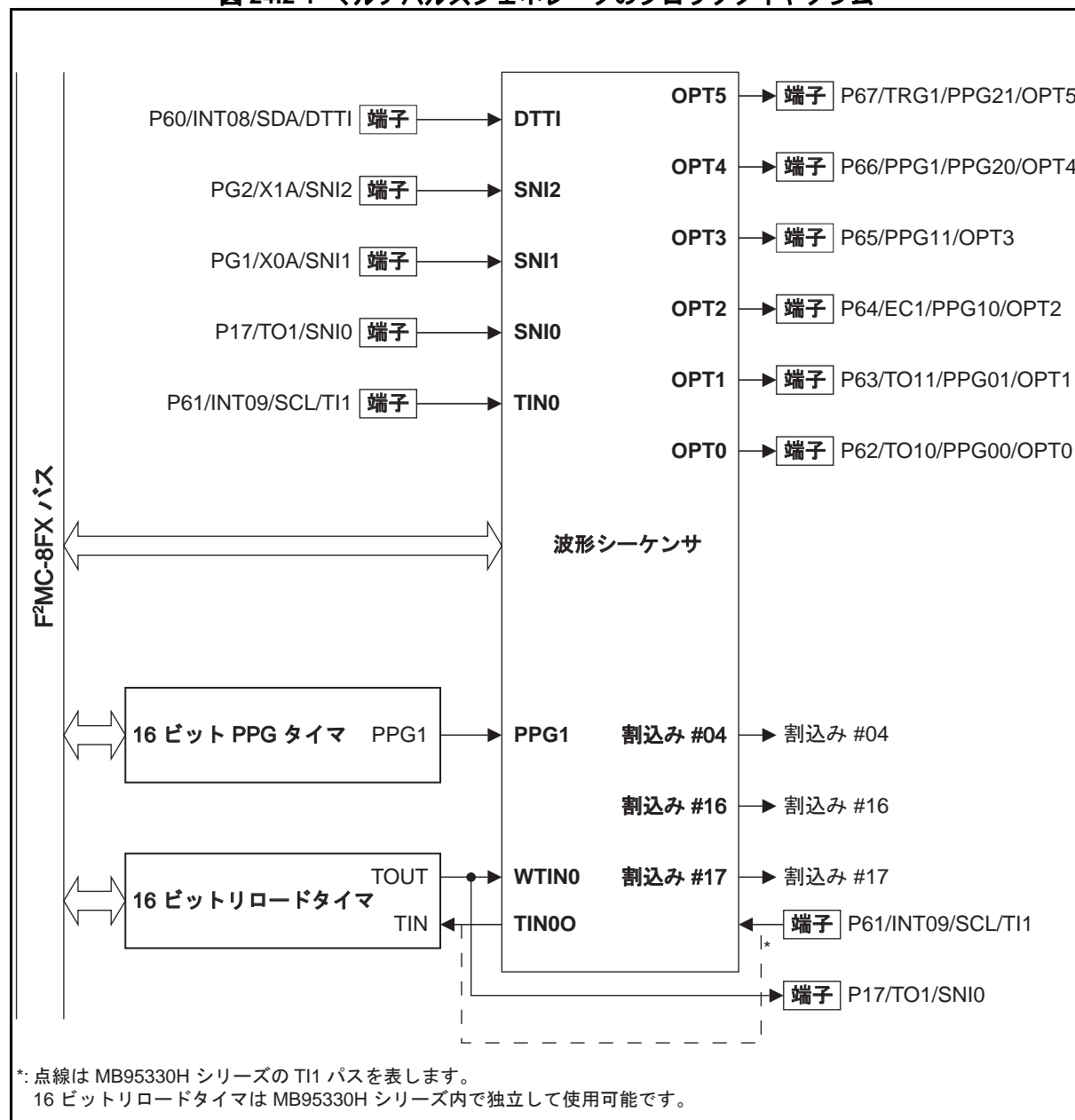
また、各入力 (SNI2 ~ SNI0) のエッジ検出を許可または禁止できます。

24.2 マルチパルスジェネレータのブロックダイアグラム

マルチパルスジェネレータのブロックダイアグラムを図 24.2-1 に示します。また、波形シーケンサのブロックダイアグラムを図 24.2-2 に示します。

■ マルチパルスジェネレータのブロックダイアグラム

図 24.2-1 マルチパルスジェネレータのブロックダイアグラム



● 16 ビット PPG タイマ

16 ビット PPG タイマは、波形シーケンサ用の PPG 信号を供給するために使用されます。16 ビット PPG タイマの詳細については、「第 22 章 16 ビット PPG タイマ」を参照してください。

- 16 ビットリロードタイマ

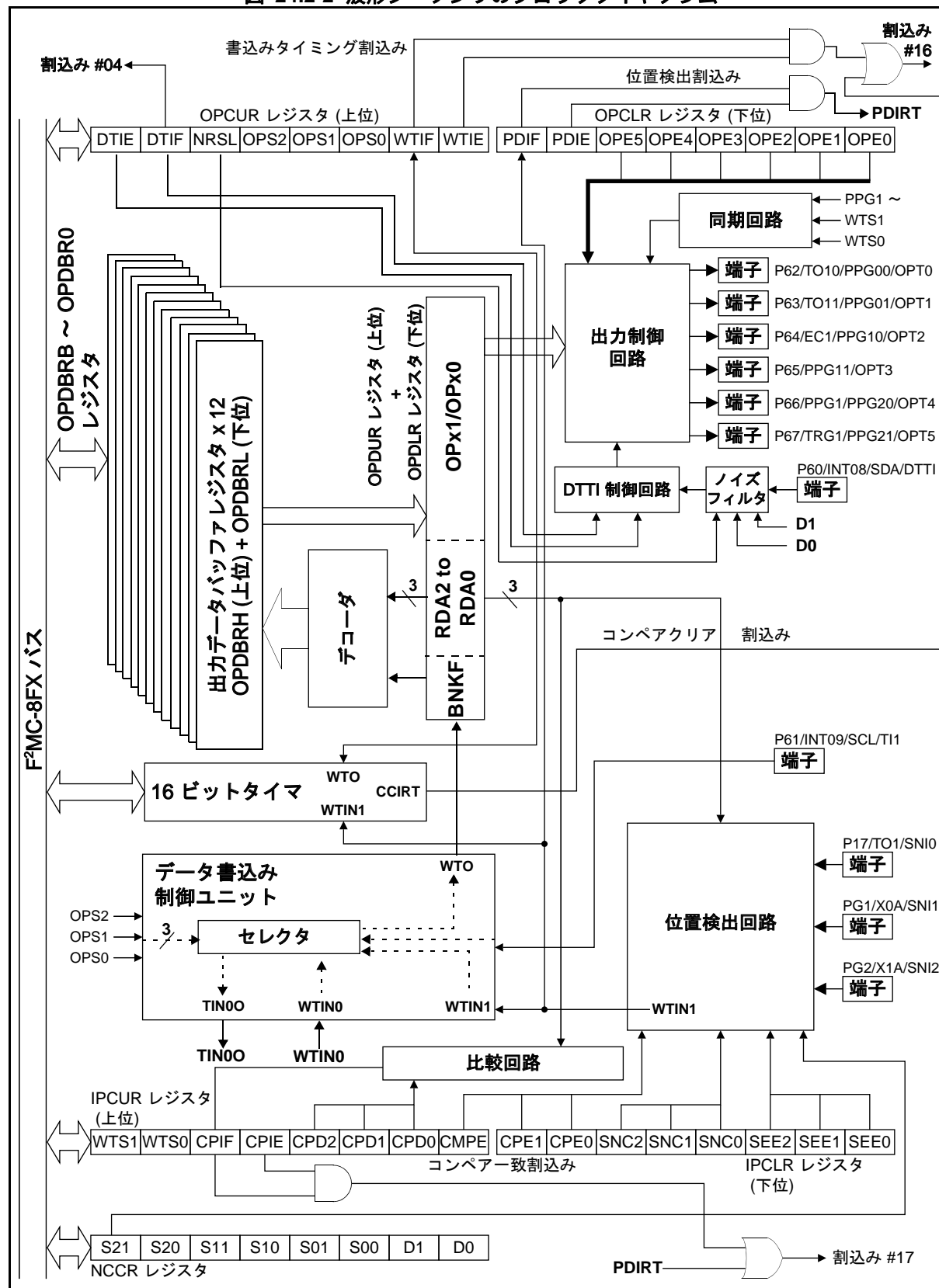
16 ビットリロードタイマは、波形シーケンサ用のインターバルタイマとして使用されます。16 ビットリロードタイマの詳細については、「第 23 章 16 ビットリロードタイマ」を参照してください。

- 波形シーケンサ

波形シーケンサは、さまざまな波形を生成できるマルチパルスジェネレータのコアです。波形シーケンサのブロックダイアグラムを図 24.2-2 に示します。

■ 波形シーケンサのブロックダイアグラム

図 24.2-2 波形シーケンサのブロックダイアグラム



● 16 ビットタイマ

16 ビットタイマは、モータ速度を検査するインターバルタイマとして使用します。また直流センサレスモータを制御するときの異常検出タイマとしても使用します。16 ビットタイマの詳細を図 24.2-3 に示します。

● 比較回路

比較回路は、モータ方向を変更する際に出力データレジスタ上位 (OPDUR) の RDA2 ~ RDA0 ビットを入力制御レジスタ上位 (IPCUR) の CPD2 ~ CPD0 ビットと比較するために使用します。比較の結果、一致が検出されると、コンペア一致割込みが生成されます。

● データ書込み制御ユニット

データ書込み制御ユニットは、出力データバッファレジスタ 上位 (OPDBRHx) および出力データバッファレジスタ下位 (OPDBRLx) から出力データレジスタ 上位 (OPDUR) および出力データレジスタ下位 (OPDLR) へデータを転送するための書込み信号 (WTO) を生成します。詳細については、図 24.2-4 を参照してください。

● デコーダ

デコーダは、出力データレジスタにロードされる出力データバッファレジスタ (OPDBRHB/OPDBRLB ~ OPDBRH0/OPDBRL0) を選択するために使用する出力データレジスタ上位 (OPUDR) の BNKF ビットおよび RDA2 ~ RDA0 ビットをデコードするために使用します。

● DTTI 制御

DTTI 制御は、緊急の場合にマルチパルスジェネレータ出力を停止するために使用します。DTTI 入力のレベル "0" がトリガとなります。

● ノイズフィルタ

ノイズフィルタは、入力信号 (4 種類のサンプリングクロックの中から選択される) のノイズを除去するために使用します。

● 出力制御ユニット

出力制御ユニットは、マルチパルスジェネレータ出力端子 (OPT5 ~ OPT0) への PPG 信号を許可または禁止するために使用します。

● 位置検出回路

位置検出回路は、位置入力端子 (SNI2 ~ SNI0) のエッジ / レベルを検出するために使用します。詳細については、図 24.2-5 を参照してください。

● 同期回路

同期回路は、OPT5 ~ OPT0 出力を PPG 信号と同期化するために使用します。

● ノイズキャンセル制御レジスタ (NCCR)

ノイズキャンセル制御レジスタ (NCCR) は、4 種類のサンプリングクロックの中からいずれかを選択するために使用します (選択されたサンプリングクロックは、ノイズフィルタでノイズの除去に使用されます)。

● 出力制御レジスタ上位 (OPCUR) および出力制御レジスタ下位 (OPCLR)

出力制御レジスタ上位 (OPCUR) および出力制御レジスタ下位 (OPCLR) は、書込みタイミング割込みおよびフラグと位置検出割込みおよびフラグの許可、データ転送方式の設定、OPT5 ~ OPT0 端子と DTTI 端子を許可する制御設定に使用します。

● 出力データバッファレジスタ (OPDBRHx, OPDBRLx)

出力データバッファレジスタは、12 対のレジスタ (OPDBRHB/OPDBRLB ~ OPDBRH0/OPDBRL0) から構成されています。OPDBRHx は上位バイトレジスタで、OPDBRLx は下位バイトレジスタです。OPDBRHx/OPDBRLx レジスタの値は BNKF によって設定され、データ書込み制御ユニットで生成された書込み信号の立上がりエッジで、RDA2 ~ RDA0 ビットが OPDUR/OPDLR レジスタにロードされます。

● 出力データレジスタ上位 (OPDUR) および出力データレジスタ下位 (OPDLR)

出力データレジスタ上位 (OPDUR) および出力データレジスタ下位 (OPDLR) は、OPT5 ~ OPT0 端子への出力データを格納するために使用します。

● タイマバッファレジスタ上位 (TMBUR) およびタイマバッファレジスタ下位 (TMBLR)

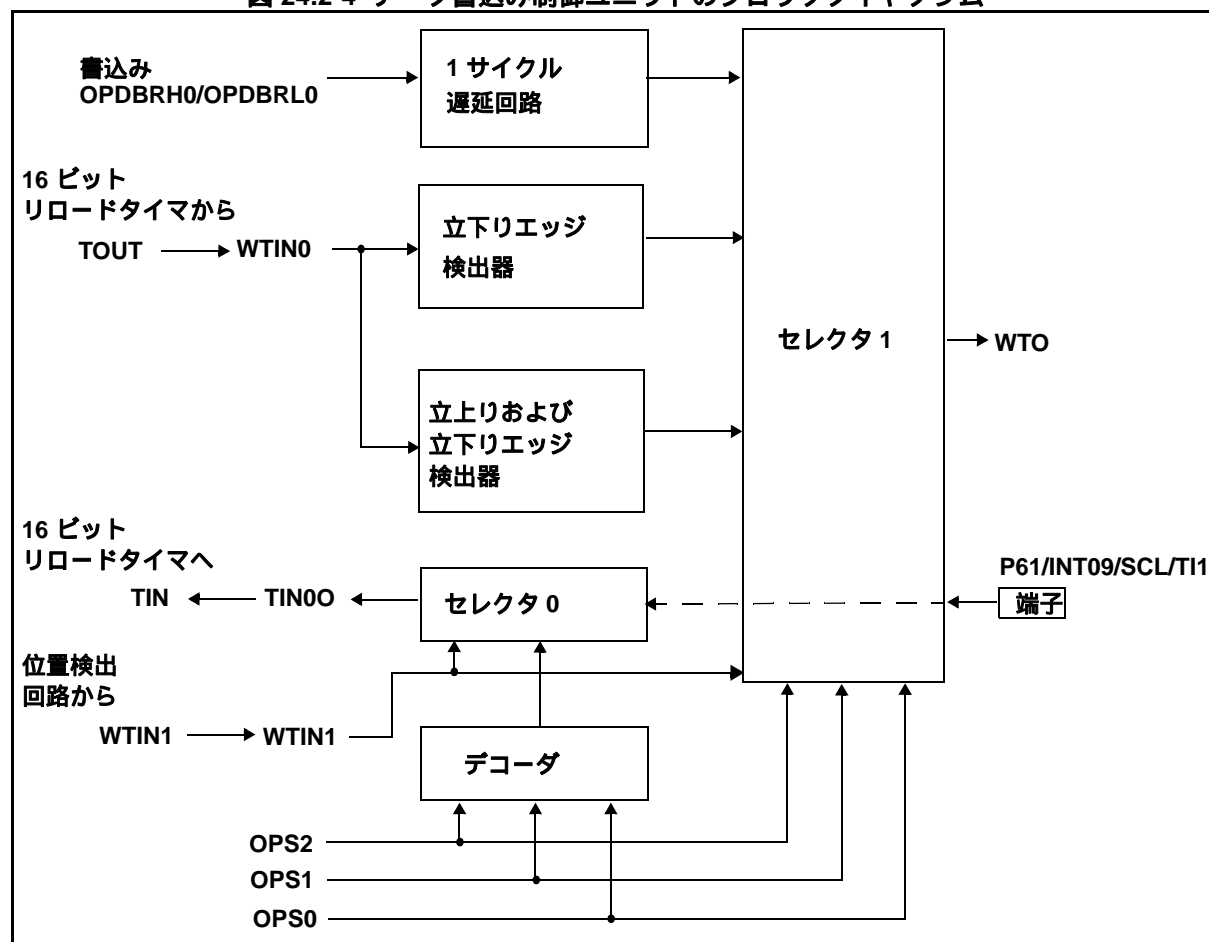
タイマバッファレジスタ上位 (TMBUR) およびタイマバッファレジスタ下位 (TMBLR) は、書き込みタイミング割込みまたは位置検出割込みが発生したときの 16 ビットアップカウンタの値を格納するために使用します。

● タイマ制御状態レジスタ (TCSR)

タイマ制御状態レジスタ (TCSR) は、クロック周波数や割込み許可 / 禁止など、16 ビットタイマの動作を制御するために使用します。

■ データ書き込み制御ユニットのブロックダイアグラム

図 24.2-4 データ書き込み制御ユニットのブロックダイアグラム



● 1 サイクル遅延回路

1 サイクル遅延回路は、出力データバッファレジスタ 0 (OPDBRH0, OPDBRL0) へ書き込みされたときにトリガ信号を 1 マシンサイクル遅延させるために使用します。

● セクタ 0

セクタ 0 は、16 ビットリロードタイマのカウンタを許可にするために、位置検出回路の WTIN1 か外部端子 (P61/INT09/SCL/TI1) のいずれかを選択するために使用します。

● セレクタ 1

セレクタ 1 は、書込みタイミング信号 (WTO) を生成するために、書込み OPDBRHx/OPDBRLx または 16 ビットリロードタイマからの TOUT, あるいは位置検出回路の WTIN1 を選択するために使用します。

● 立下りエッジ検出器

立下りエッジ検出器は、16 ビットリロードタイマ出力 (TOUT) の立下りエッジを検出するために使用します。

● 立上り / 立下りエッジ検出器

立上り / 立下りエッジ検出器は、16 ビットリロードタイマ出力 (TOUT) の立上り / 立下りエッジを検出するために使用します。

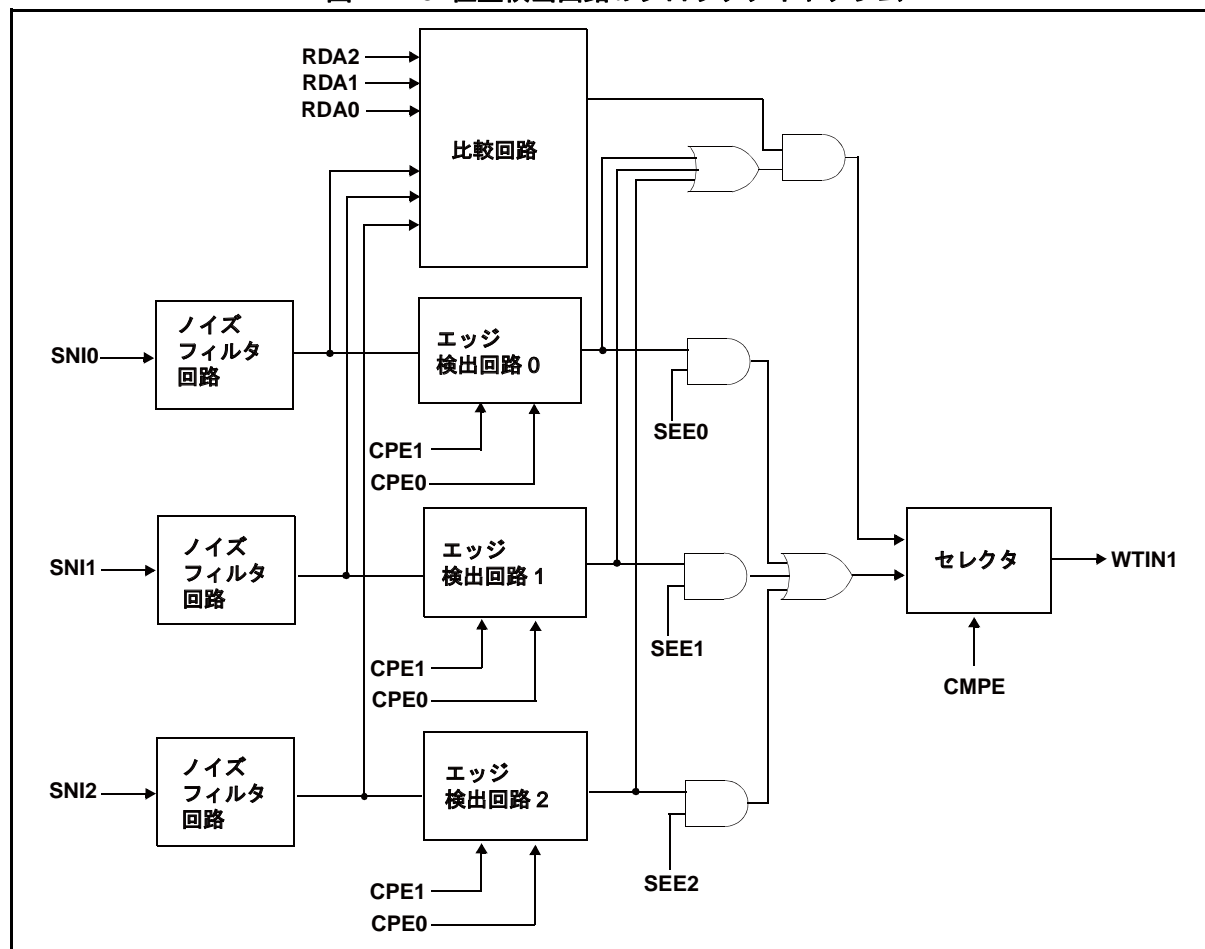
下記のモードでタイマアンダフロートリガが使用されるとき、OPS2 ~ OPS0 ビットによって選択されたトリガエッジにより、WTIN0 信号が生成されます。

表 24.2-1 WTIN0 のための TOUT トリガエッジ選択

OPS2	OPS1	OPS0	WTIN0 のための TOUT トリガエッジ
0	0	0	-
0	0	1	立上りおよび立下り
0	1	0	-
0	1	1	立下り
1	0	0	立上りおよび立下り
1	0	1	立上りおよび立下り
1	1	0	-
1	1	1	立下り

■ 位置検出回路のブロックダイアグラム

図 24.2-5 位置検出回路のブロックダイアグラム



● 比較回路

比較回路は、位置検出入力 (SNI2 ~ SNI0) のレベルと、出力データレジスタ上位 (OPDUR) の RDA2 ~ RDA0 ビットとを比較するために使用されます。セクタが選択されている場合、一致が検出されるとデータ書込みタイミング出力信号が生成されます。

● エッジ検出回路 0, 1, 2

エッジ検出回路 0, 1, 2 は同じ機能回路です。

エッジ検出回路は、位置入力 (SNI2 ~ SNI0) のエッジと、3 つの異なるエッジ設定とを比較するために使用されます。セクタが選択されている場合、SNI2 ~ SNI0 入力のいずれかで有効エッジが検出されると、データ書込みタイミング出力信号が生成されます。

● ノイズフィルタ

ノイズフィルタは、入力信号 (4 種類のサンプリングクロックの中から選択される) のノイズを除去するために使用されます。

- セレクタ

セレクタは、データ書込み制御ユニットへのデータ書込みタイミング出力信号を生成するため、エッジ検出回路または比較回路のいずれかを選択します。

24.3 マルチパルスジェネレータの端子

マルチパルスジェネレータの端子について説明します。また端子のブロックダイアグラムも示します。

■ マルチパルスジェネレータの端子

マルチパルスジェネレータは、P62/OPT0 ~ P67/OPT5, P17/SNI0, PG1/SNI1, PG2/SNI2, P60/INT08/SDA/DTTI および P61/INT09/SCL/TI1 を使用します。

● P62/OPT0 ~ P67/OPT5 端子

P62/OPT0 ~ P67/OPT5 端子は、汎用入出力ポート (P62 ~ P67) またはマルチパルスジェネレータの波形出力として機能します。

波形出力ビットを許可 (OPCLR: OPE5 ~ OPE0 = 111111_B) すると、ポートデータ方向レジスタ (DDR6: bit7 ~ bit2) の値に関わらず、P62/OPT0 ~ P67/OPT5 端子は自動的に出力端子として設定され、OPT5 ~ OPT0 端子として機能します。

● P17/SNI0, PG1/SNI1, PG2/SNI2 端子

P17/SNI0, PG1/SNI1, および PG2/SNI2 端子は、汎用入出力ポート (P17, PG1, および PG2) またはマルチパルスジェネレータの位置検出入力として機能できます。

P17/SNI0, PG1/SNI1, および PG2/SNI2 端子は、SNI2 ~ SNI0 端子として使用する場合、データ方向レジスタで入力ポートとして設定してください (DDR6: bit7 = 0 および DDRG: bit2, bit1 = 00)。

● P60/INT08/SDA/DTTI 端子

P60/INT08/SDA/DTTI 端子は、汎用入出力ポート (P60), 外部割込み (INT8) またはマルチパルスジェネレータの DTTI 入力として機能できます。

P60/INT08/SDA/DTTI 端子は、DTTI 端子として使用する場合、データ方向レジスタで入力ポートとして設定してください (DDR6: bit0 = 0)。

● P61/INT09/SCL/TI1 端子

P61/INT09/SCL/TI1 端子は、汎用入出力ポート (P61), 外部割込み (INT9) またはマルチパルスジェネレータ用 16 ビットリロードタイマの入力として機能できます。

P61/INT09/SCL/TI1 端子は、TI1 端子として使用する場合、データ方向レジスタで入力ポートとして設定してください (DDR6: bit1 = 0)。

MB95330H シリーズ

■ マルチパルスジェネレータ端子のブロックダイアグラム

図 24.3-1 マルチパルスジェネレータの端子 OPT0, OPT1, OPT3, OPT4 (P62/TO10/PPG00/OPT0, P63/TO11/PPG01/OPT1, P65/PPG11/OPT3, P66/PPG1/PPG20/OPT4) のブロックダイアグラム

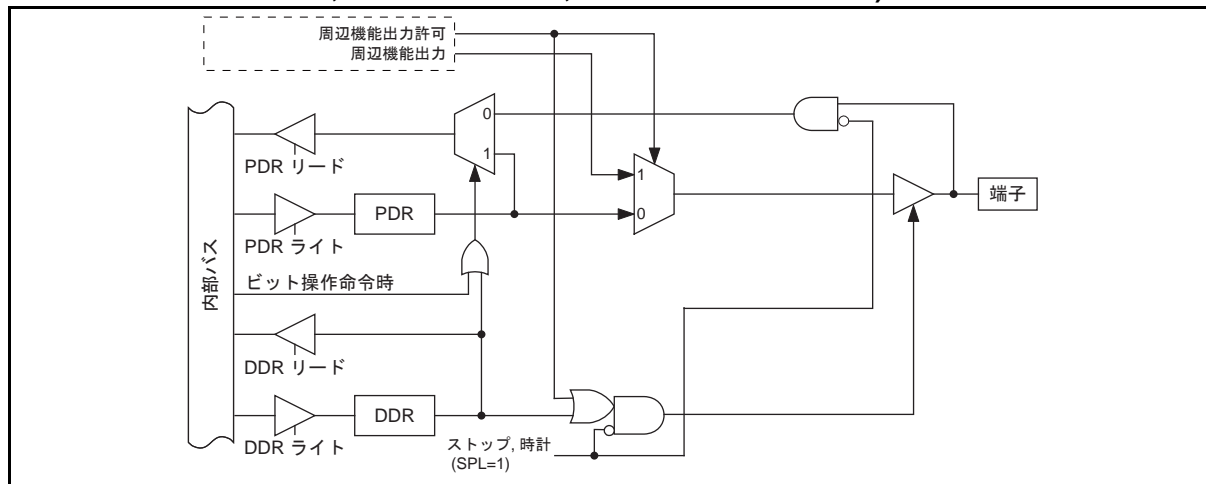


図 24.3-2 マルチパルスジェネレータの端子 OPT2, OPT5 (P64/EC1/PPG10/OPT2 および P67/TRG1/PPG21/OPT5) のブロックダイアグラム

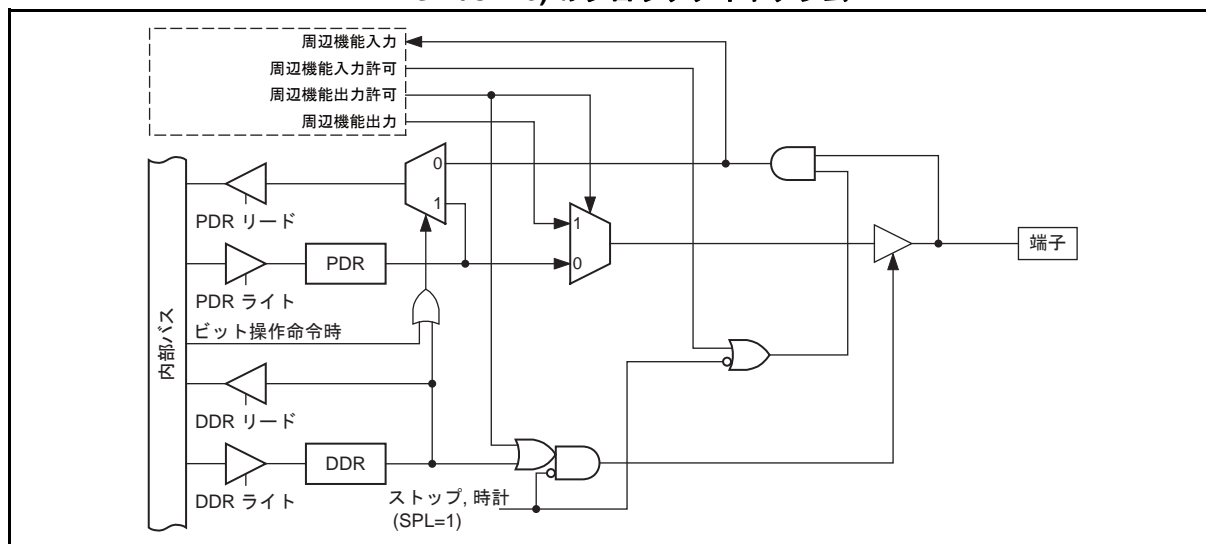


図 24.3-3 マルチパルスジェネレータの端子 DTTI および TI1(P60/INT08/SDA/DTTI および P61/INT09/SCL/TI1) のブロックダイアグラム

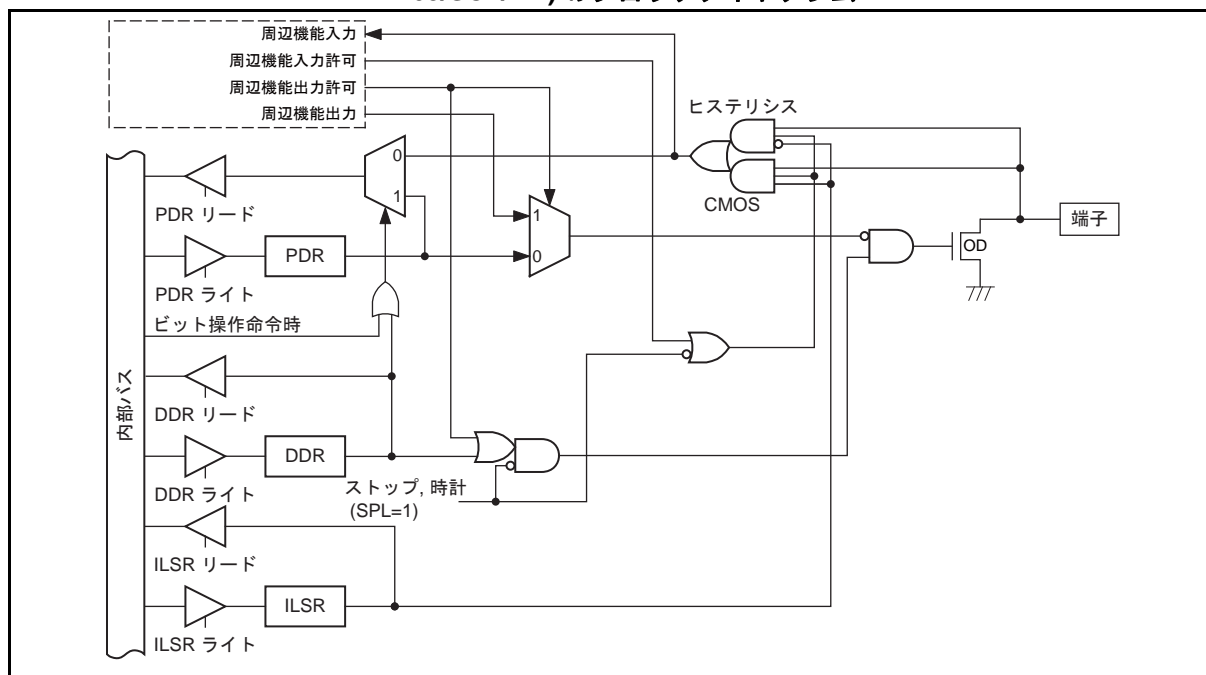


図 24.3-4 マルチパルスジェネレータの端子 SNI1 および SNI2 (PG1/X0A/SNI1 および PG2/X1A/SNI2) のブロックダイアグラム

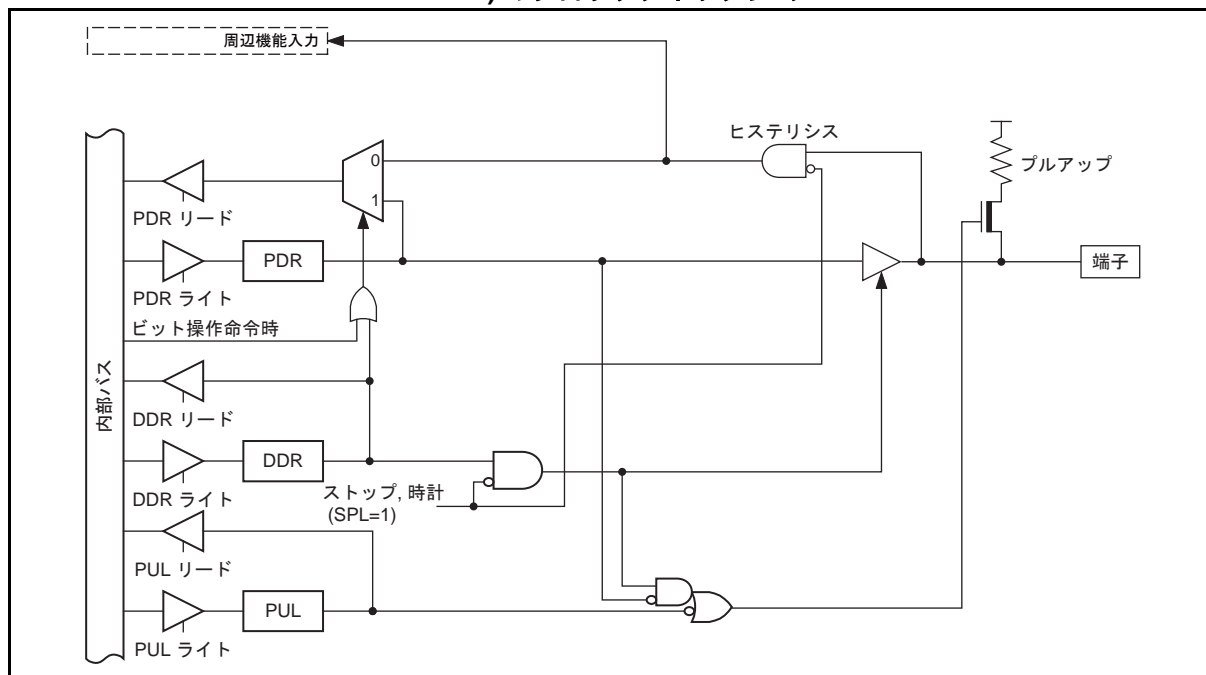
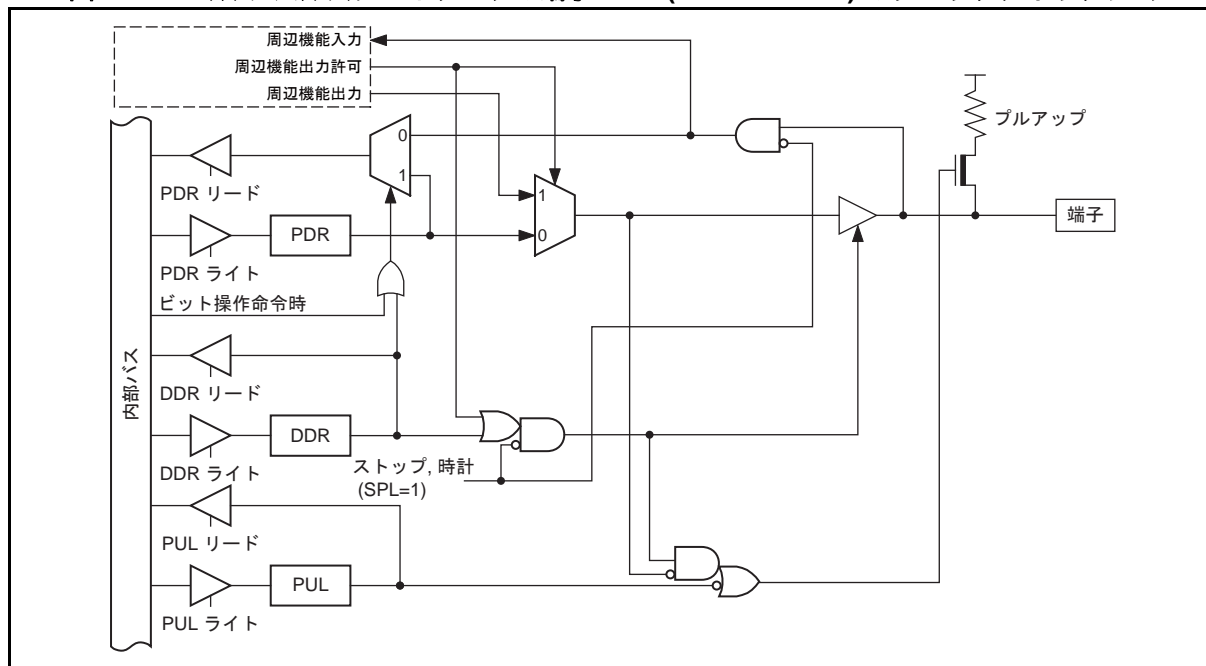


図 24.3-5 マルチパルスジェネレータの端子 SNI0 (P17/TO1/SNI0) のブロックダイヤグラム



24.4 マルチパルスジェネレータのレジスタ

マルチパルスジェネレータのレジスタについて説明します。

■ マルチパルスジェネレータのレジスタ

図 24.4-1 マルチパルスジェネレータのレジスタ

出力制御レジスタ (上位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
OPCUR	0066 _H	DTIE	DTIF	NRSL	OPS2	OPS1	OPS0	WTIF	WTIE	00000000 _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
出力制御レジスタ (下位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
OPCLR	0067 _H	PDIF	PDIE	OPE5	OPE4	OPE3	OPE2	OPE1	OPE0	00000000 _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
出力データレジスタ (上位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
OPDUR	0FDC _H	BNKF	RDA2	RDA1	RDA0	OP51	OP50	OP41	OP40	0000XXXX _B
		R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
出力データレジスタ (下位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
OPDLR	0FDD _H	OP31	OP30	OP21	OP20	OP11	OP10	OP01	OP00	XXXXXXXX _B
		R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
出力データバッファレジスタ (上位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
OPDBRHB	0FC4 _H	BNKF	RDA2	RDA1	RDA0	OP51	OP50	OP41	OP40	00000000 _B
OPDBRH0	0FDA _H									
(偶数アドレス)		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
出力データバッファレジスタ (下位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
OPDBRLB	0FC5 _H	OP31	OP30	OP21	OP20	OP11	OP10	OP01	OP00	00000000 _B
OPDBRL0	0FDB _H									
(奇数アドレス)		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能 (読出し値は書込み値) R/WX : リードオンリ (読出しは可能, 書込みは動作に影響なし) X : 不定										

(続き)

MB95330H シリーズ

(続く)

入力制御レジスタ (上位)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
IPCUR 0068 _H	WTS1	WTS0	CPIF	CPIE	CPD2	CPD1	CPD0	CMPE	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

入力制御レジスタ (下位)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
IPCLR 0069 _H	CPE1	CPE0	SNC2	SNC1	SNC0	SEE2	SEE1	SEE0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

コンペアクリアレジスタ (上位)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CPCUR 0FDE _H	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

コンペアクリアレジスタ (下位)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CPCLR 0FDF _H	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00	XXXXXXXX _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

タイマバッファレジスタ (上位)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
TMBUR 0FE2 _H	T15	T14	T13	T12	T11	T10	T09	T08	XXXXXXXX _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	

タイマバッファレジスタ (下位)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
TMBLR 0FE3 _H	T07	T06	T05	T04	T03	T02	T01	T00	XXXXXXXX _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	

タイマ制御状態レジスタ

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
TCSR 006B _H	TCLR	MODE	ICLR	ICRE	TMEN	CLK2	CLK1	CLK0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ノイズキャンセル制御レジスタ

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
NCCR 006A _H	S21	S20	S11	S10	S01	S00	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値)
R/WX : リードオンリ (読出しは可能 , 書込みは動作に影響なし)
X : 不定

24.4.1 出力制御レジスタ (OPCUR, OPCLR)

出力制御レジスタは、2つの8ビットレジスタ (OPCUR, OPCLR) で構成されており、書き込みタイミングの割込みおよびフラグと位置検出の割込みおよびフラグの許可、データ転送方式の設定、OPT5 ~ OPT0 端子と DTTI 端子の制御設定に使用します。OPCUR は上位バイトレジスタで、OPCLR は下位バイトレジスタです。

■ 出力制御レジスタ上位 (OPCUR)

図 24.4-2 出力制御レジスタ上位 (OPCUR)

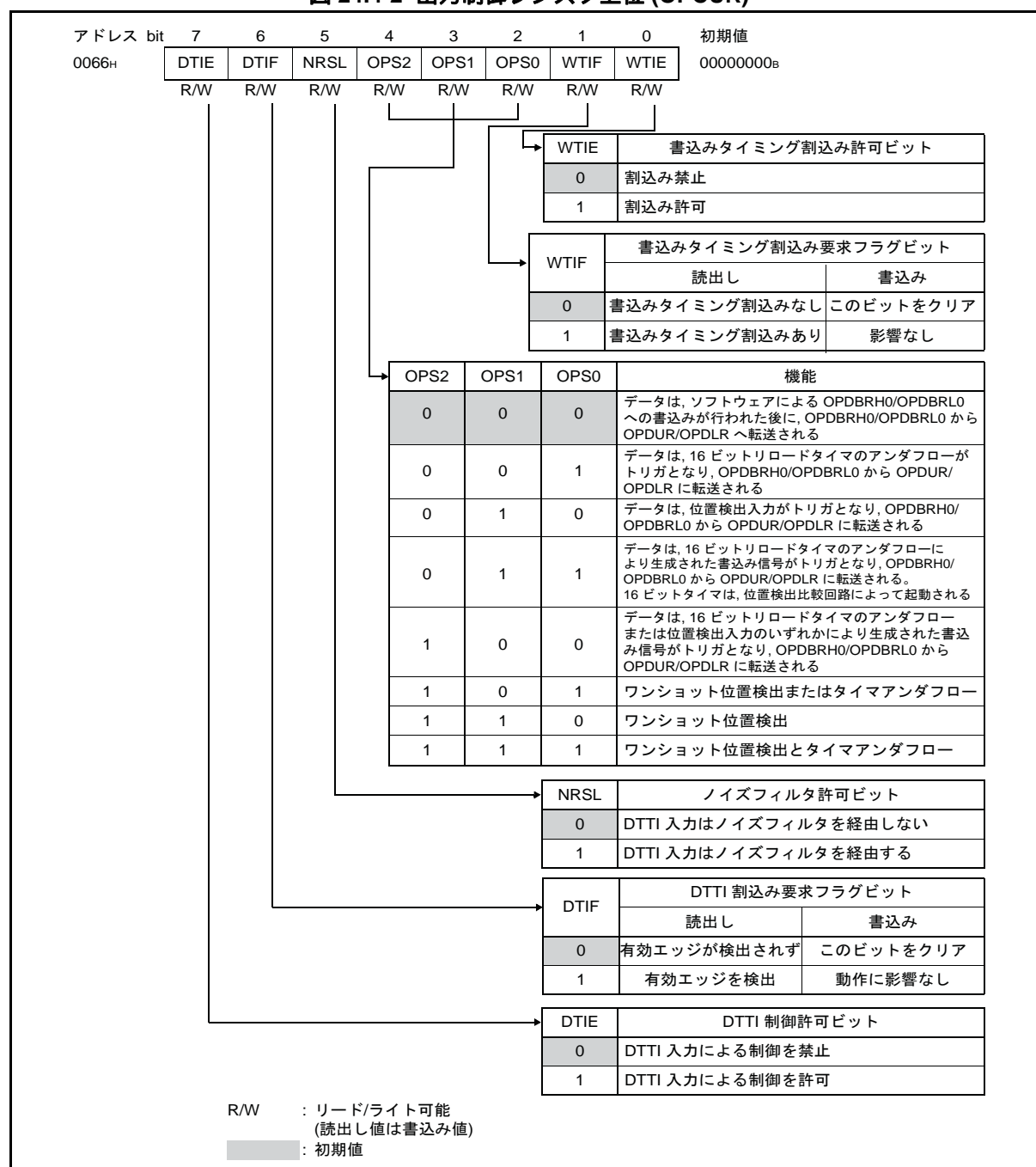


表 24.4-1 出力制御レジスタ上位 (OPCUR) ビット

ビット名		機能
bit7	DTIE: DTTI 制御許可ビット	<ul style="list-style-type: none"> DTTI 端子の入力許可ビットです。 このビットは、DTTI 端子による OPT5 ~ OPT0 端子の出力レベルの制御を可能にします。ソフトウェアは、PORTx の PDRx の各 OPTx 端子に対してインアクティブレベルを設定できます。
bit6	DTIF: DTTI 割込み要求フラグビット	<ul style="list-style-type: none"> DTTI 割込み要求フラグです。 このビットは、DTTI 入力割込み要求フラグです。このビットは、DTTI の立下がりエッジが検出され、DTTI 制御許可ビット (DTIE) に "1" が設定されていると必ず設定されます。 このビットに "1" が設定された場合、割込みが生成されます。"0" を書き込むことで、このビットはクリアされます。"1" を書き込んでも動作に影響を与えません。 リードモディファイライト動作時は、必ず "1" が読み出されます。
bit5	NRSL: ノイズフィルタ許可ビット	<ul style="list-style-type: none"> このビットは、DTTI 端子入力が有効である場合にノイズ除去機能を選択するために使用されます。 ノイズ除去回路は、アクティブレベルが入力されたとき内部 n- ビットカウンタを開始します ("n" の値は、ノイズキャンセル制御レジスタの D1, D0 ビットの設定に応じて、2, 3, 4 または 5 をとることができます)。カウンタでオーバーフローが発生するまでアクティブレベルが保持されると、回路は DTTI 端子からの入力を受け付けます。したがって、除去可能なノイズのパルス幅は約 2ⁿ マシンサイクルです。 <p>(注意事項)ノイズ除去回路が有効の場合でも、内部クロックが停止しているモード (STOP モードなど) 時の入力は無効です。</p>
bit4 ~ bit2	OPS2 ~ OPS0: データ転送方式選択ビット	<ul style="list-style-type: none"> OPTx 端子の出力タイミング制御選択ビットです。 これらのビットは、OPDUR/OPDLR レジスタ書き込みタイミング制御動作モードを選択します。データは、選択された動作モードによって制御される書き込みタイミングで、出力データバッファレジスタから出力データレジスタへ転送されます。
bit1	WTIF: 書き込みタイミング割込み要求フラグビット	<ul style="list-style-type: none"> 書き込みタイミング割込み要求フラグです。 書き込み信号により設定される出力タイミングスイッチの割込み要求フラグです。出力データレジスタ上位 (OPDUR) の BNKF: RDA2 ~ RDA0 ビットで指定される OPDBRHx/OPDBRLx レジスタのデータは、書き込み信号の立上りエッジで OPDUR/OPDLR へ転送され、WTIF ビットは "1" に設定されます。 このビットに "1" が設定され、かつ書き込みタイミング割込み許可ビット (WTIE) も "1" が設定されると、割込みが生成されます。"0" を書き込むことで、このビットはクリアされます。"1" を書き込んでも動作に影響を与えません。 リードモディファイライト動作時は、必ず "1" が読み出されます。
bit0	WTIE: 書き込みタイミング割込み許可ビット	<ul style="list-style-type: none"> 書き込みタイミングの割込みを許可するビットです。 このビットに "1" が設定され、かつ書き込みタイミング割込み要求フラグビット (WTIF) も "1" が設定されると、割込みが生成されます。

MB95330H シリーズ

表 24.4-2 出力制御レジスタ下位 (OPCLR) ビット

ビット名		機能
bit7	PDIF: 位置検出割込み要求 フラグビット	<ul style="list-style-type: none">位置検出割込み要求フラグです。このビットは、位置検出に対する割込み要求フラグです。CMPE が "1" に設定されていて、SNI2 ~ SNI0 ビットが RDA2 ~ RDA0 ビットと比較され一致した場合、あるいは CMPE が "0" に設定されていて、SNI2 ~ SNI0 端子で有効エッジが検出された場合、このビットは "1" に設定されます。このビットに "1" が設定され、かつ位置検出割込み許可ビット (PDIE) でも "1" が設定されると、割込みが生成されます。"0" を書き込んだ場合、このビットはクリアされます。"1" を書き込んでも動作に影響を与えません。リードモディファイライト動作時は、必ず "1" が読み出されます。
bit6	PDIE: 位置検出割込み許可 ビット	<ul style="list-style-type: none">位置検出の割込みを許可するビットです。このビットに "1" が設定され、かつ位置検出割込み要求フラグ (PDIF) にも "1" が設定されると、割込みが生成されます。
bit5 ~ bit0	OPE5 ~ OPE0: OPT5 ~ OPE0 出力許 可ビット	<ul style="list-style-type: none">OPT5 ~ OPE0 端子の出力許可ビットです。これらのビットが設定されると、OPT5 ~ OPT0 端子への出力が可能になります。

24.4.2 出力データレジスタ (OPDUR, OPDLR)

出力データレジスタは、2 つの 8 ビットタイマレジスタ (OPDUR, OPDLR) で構成されており、OPT5 ~ OPT0 端子への出力データを格納しています。OPDUR は上位バイトレジスタで、OPDLR は下位バイトレジスタです。

このレジスタは、2 つの 8 ビットレジスタで、出力データレジスタ値の読出しに使用されます。

このレジスタを読み出す場合、必ず下記のいずれかの方法でアクセスしてください。

- 「MOVW」命令を使用する (OPDUR レジスタアドレスを読み出すための 16 ビットアクセス命令を使用する)。
- 「MOV」命令を使用して、まず OPDUR を、次に OPDLR を読み出します (OPDUR が読み出されると、OPDR の下位ビットが自動的に OPDLR にコピーされます)。

■ 出力データレジスタ上位 (OPDUR)

図 24.4-4 出力データレジスタ上位 (OPDUR)

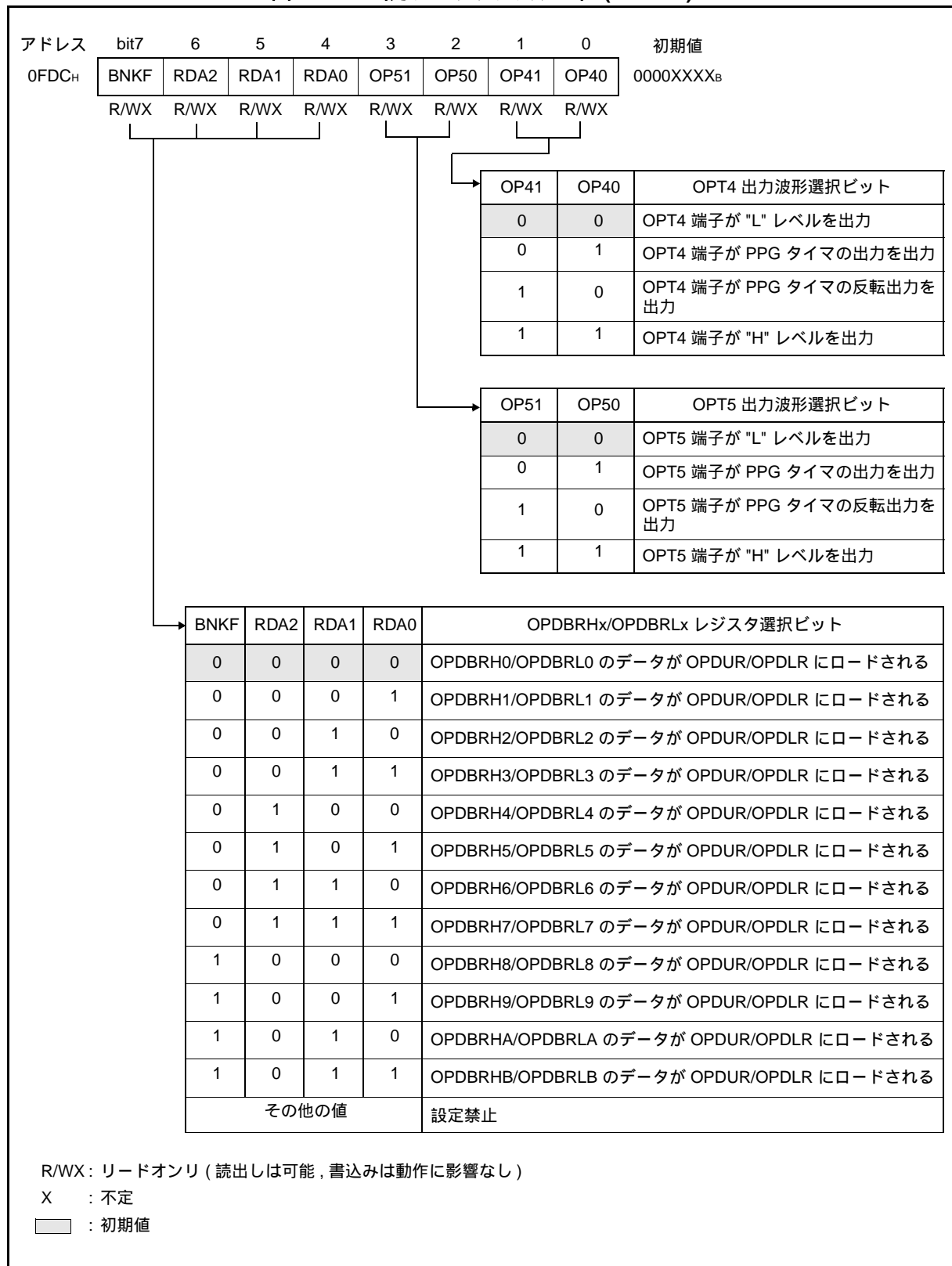


表 24.4-3 出力データレジスタ上位 (OPDUR) ビット

ビット名		機能
bit7 ~ bit4	BNKF, RDA2 ~ RDA0: OPDBRHx/OPDBRLx レジスタ選択ビット	• これらのビットは ,OPDBRHx/OPDBRLx レジスタのアドレスを示します。また OPDUR/OPDLR レジスタにロードされる出力データバッファレジスタ値を決定 します。
bit3, bit2	OP51, OP50: OPT5 出力波形選択 ビット	• これらのビットは , OPT5 端子への出力波形の種類を選択します。
bit1, bit0	OP41, OP40: OPT4 出力波形選択 ビット	• これらのビットは , OPT4 端子への出力波形の種類を選択します。

■ 出力データレジスタ下位 (OPDLR)

図 24.4-5 出力データレジスタ下位 (OPDLR)

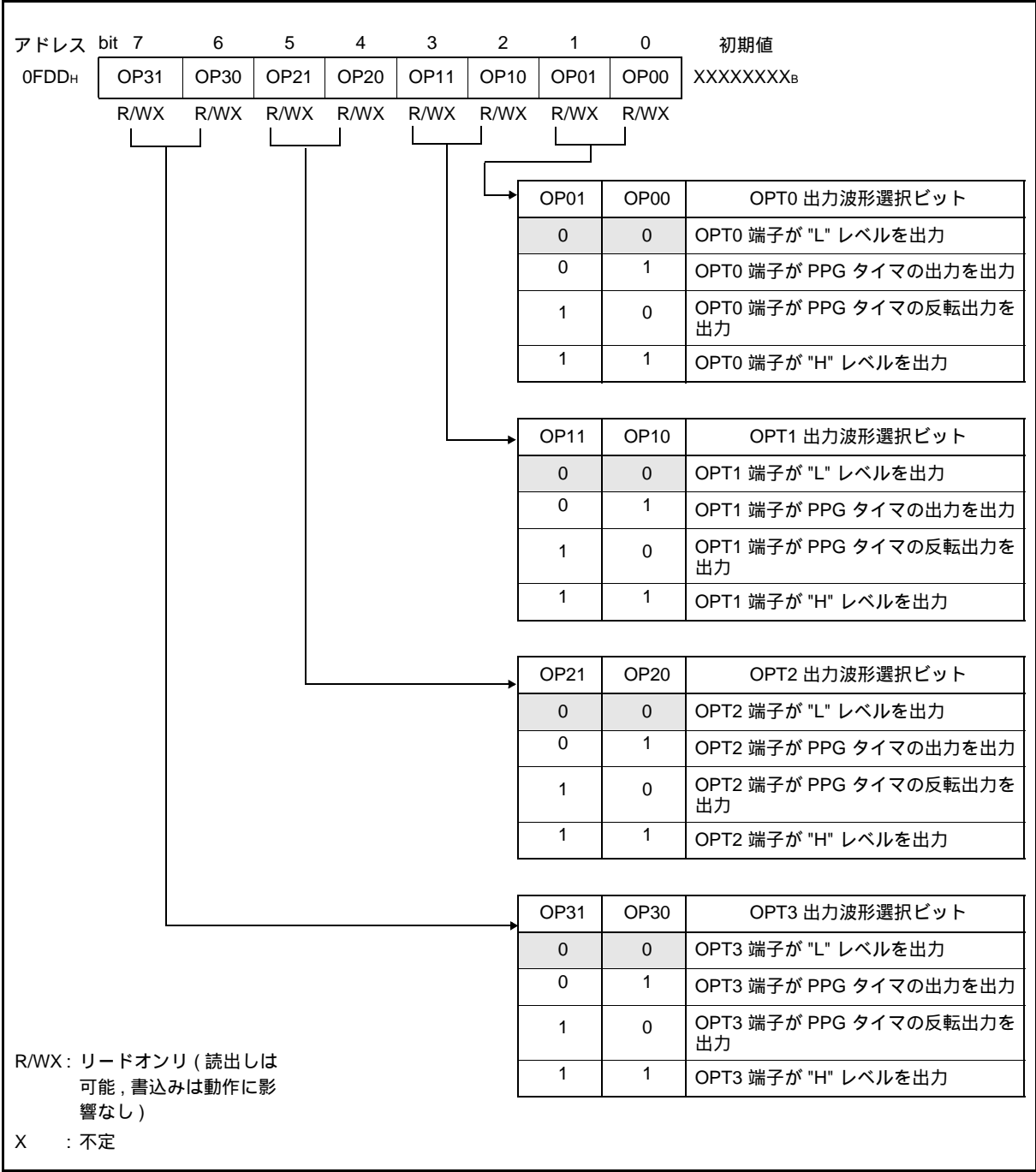


表 24.4-4 出力データレジスタ下位 (OPDLR) ビット

ビット名		機能
bit7, bit6	OP31, OP30: OPT3 出力波形選択 ビット	• これらのビットは , OPT3 端子への出力波形の種類を選択します。
bit5, bit4	OP21, OP20: OPT2 出力波形選択 ビット	• これらのビットは , OPT2 端子への出力波形の種類を選択します。
bit3, bit2	OP11, OP10: OPT1 出力波形選択 ビット	• これらのビットは , OPT1 端子への出力波形の種類を選択します。
bit1, bit0	OP01, OP00: OPT0 出力波形選択 ビット	• これらのビットは , OPT0 端子への出力波形の種類を選択します。

MB95330H シリーズ

24.4.3 出力データバッファレジスタ (OPDBRH, OPDBRL)

出力データバッファレジスタは，12 対のレジスタ (OPDBRHB/OPDBRLB ~ OPDBRH0/OPDBRL0) から構成されています。OPDBRHx は上位バイトレジスタで，OPDBRLx は下位バイトレジスタです。OPDBRHx/OPDBRLx レジスタの値は BNKF によって設定され，データ書込み制御ユニットで生成された書込み信号の立上がりエッジで，RDA2 ~ RDA0 ビットが OPDUR/OPDLR レジスタにロードされます。

■ 出力データバッファレジスタ上位 (OPDBRH)

図 24.4-6 出力データバッファレジスタ上位 (OPDBRH)

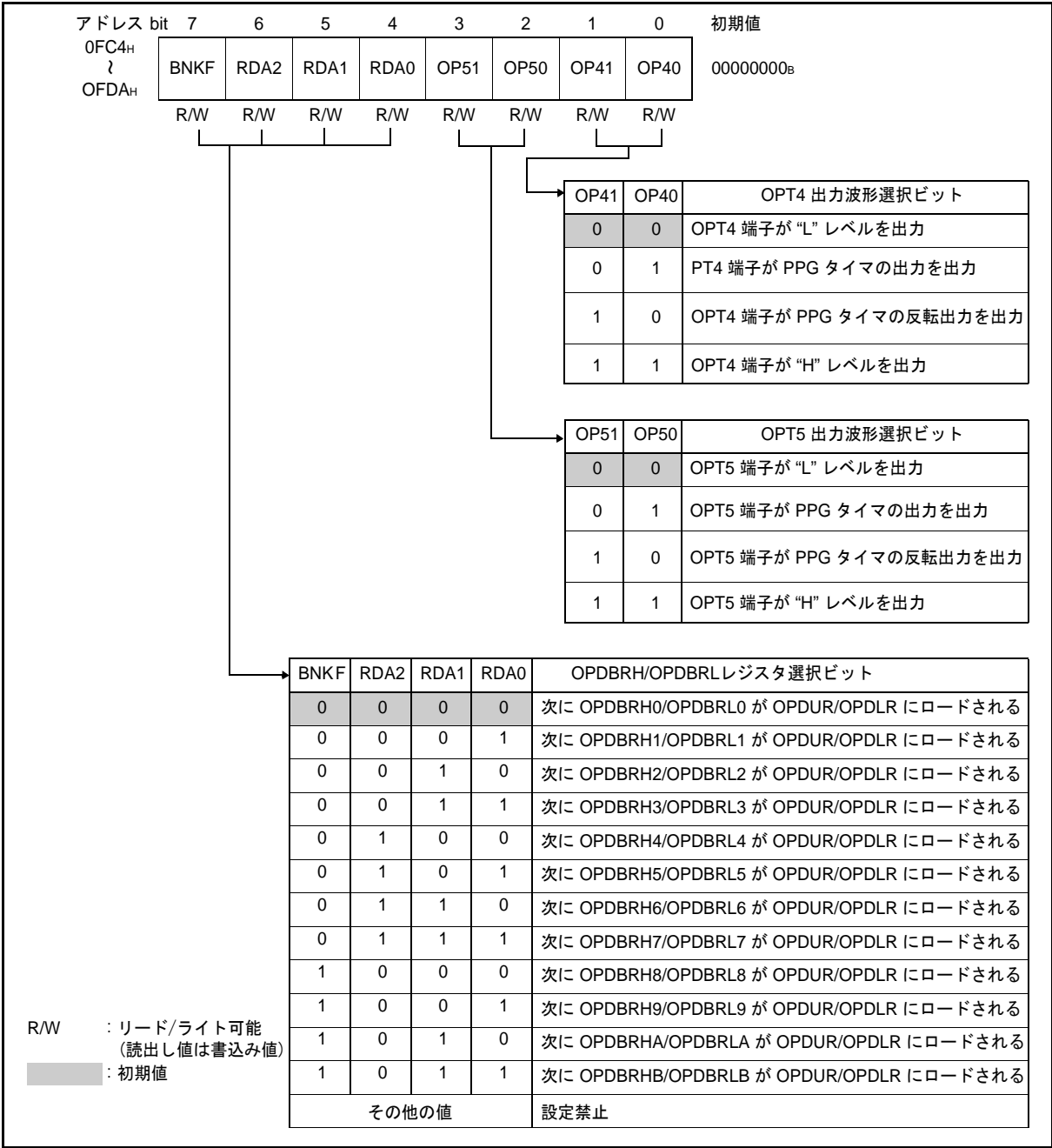


表 24.4-5 出力データバッファレジスタ上位 (OPDBRH) ビット

ビット名		機能
bit7 ~ bit4	BNKF, RDA2 ~ RDA0: OPDBRH/OPDBRL レジスタ選択ビット	• これらのビットは, OPDBRHx/OPDBRLx レジスタの選択に使用します。選択されたレジスタの値は, OPDUR/OPDLR レジスタにロードされます。
bit3, bit2	OP51, OP50: OPT5 出力波形選択 ビット	• これらのビットは 出力波形の種類を選択します。 この波形は, 指定した出力データバッファレジスタの値が OPDUR/OPDLR レジスタへロードされた後, OPT5 端子へ出力されます。
bit1, bit0	OP41, OP40: OPT4 出力波形選択 ビット	• これらのビットは 出力波形の種類を選択します。 この波形は, 指定した出力データバッファレジスタの値が OPDUR/OPDLR レジスタへロードされた後, OPT4 端子へ出力されます。

■ 出力データバッファレジスタ下位 (OPDBRL)

図 24.4-7 出力データバッファレジスタ下位 (OPDBRL)

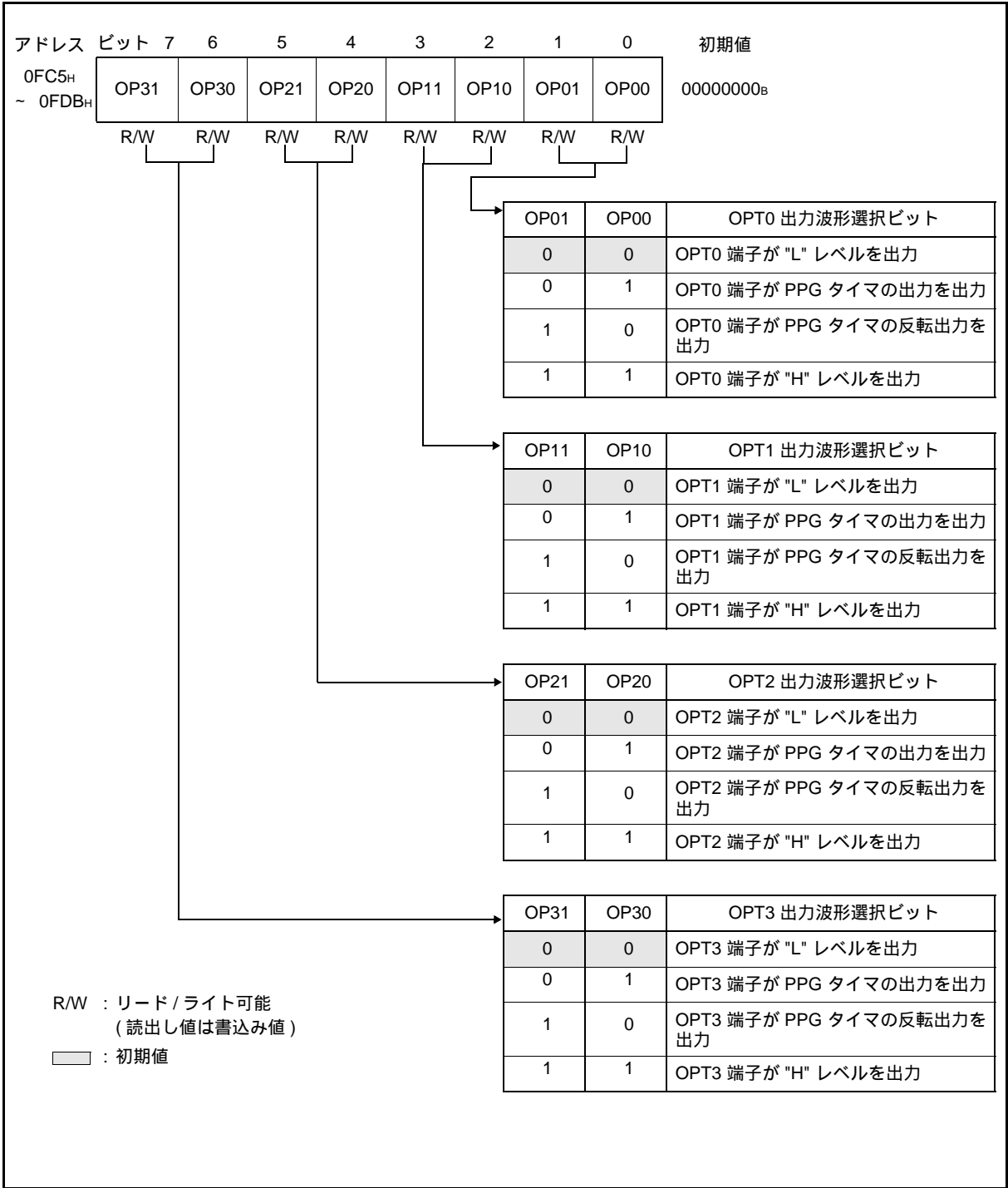


表 24.4-6 出力データバッファレジスタ下位 (OPDBRL) ビット

ビット名		機能
bit7, bit6	OP31, OP30: OPT3 出力 波形選択ビット	• これらのビットは 出力波形の種類を選択します。 この波形は、指定した出力データバッファレジスタの値が OPDUR/OPDLR レジスタへロードされた後、OPT3 端子へ出力されます。
bit5, bit4	OP21, OP20: OPT2 出力 波形選択ビット	• これらのビットは 出力波形の種類を選択します。 この波形は、指定した出力データバッファレジスタの値が OPDUR/OPDLR レジスタへロードされた後、OPT2 端子へ出力されます。
bit3, bit2	OP11, OP10: OPT1 出力 波形選択ビット	• これらのビットは 出力波形の種類を選択します。 この波形は、指定した出力データバッファレジスタの値が OPDUR/OPDLR レジスタへロードされた後、OPT1 端子へ出力されます。
bit1, bit0	OP01, OP00: OPT0 出力 波形選択ビット	• これらのビットは 出力波形の種類を選択します。 この波形は、指定した出力データバッファレジスタの値が OPDUR/OPDLR レジスタへロードされた後、OPT0 端子へ出力されます。

MB95330H シリーズ

24.4.4 入力制御レジスタ (IPCUR, IPCLR)

入力制御レジスタは、2 つの 8 ビットレジスタで構成されており、位置検出入力 of 制御をします。IPCUR は上位バイトレジスタで、IPCLR は下位バイトレジスタです。

■ 入力制御レジスタ上位 (IPCUR)

図 24.4-8 入力制御レジスタ上位 (IPCUR)

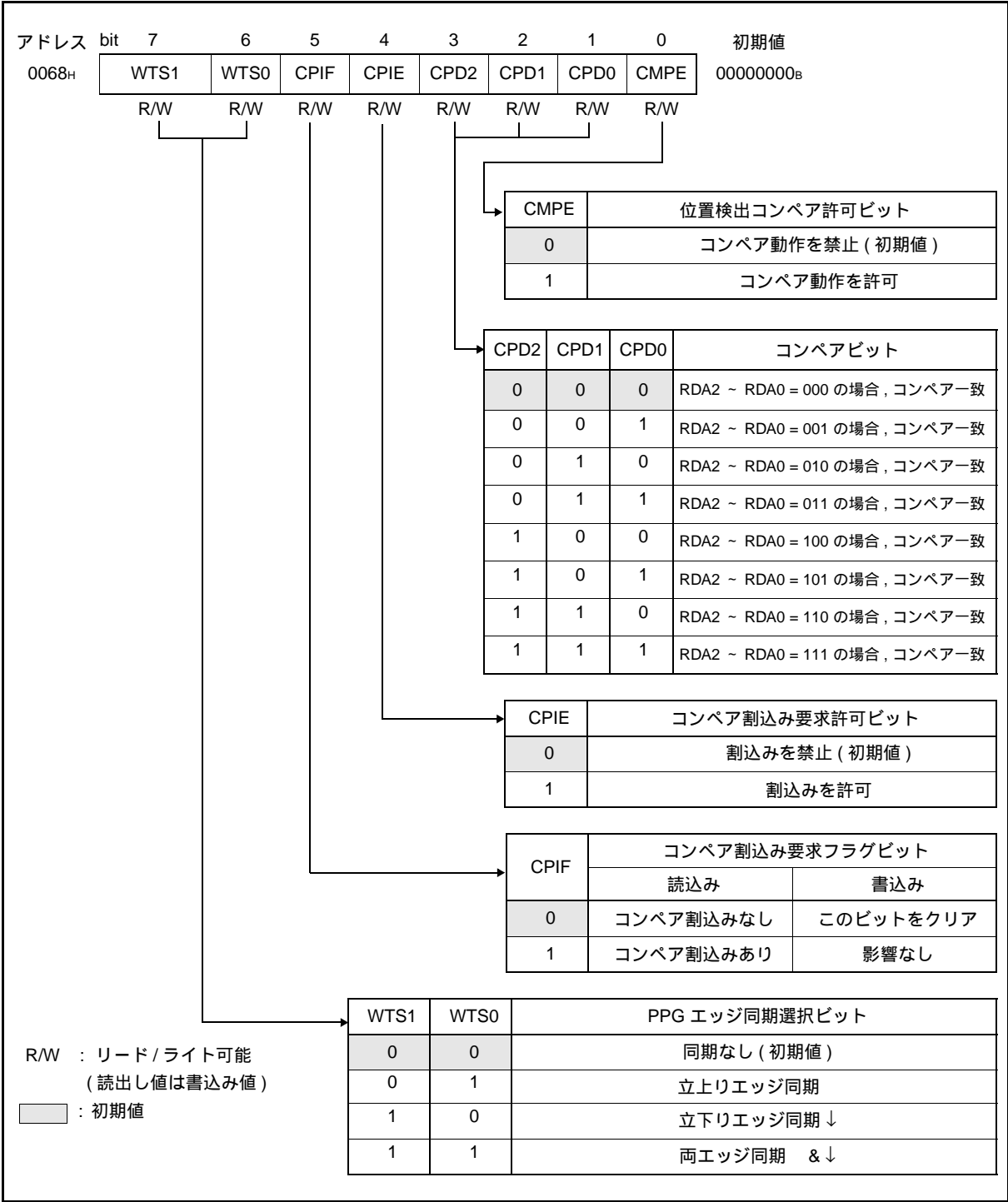


表 24.4-7 入力制御レジスタ上位 (IPCUR) ビット

ビット名		機能
bit7, bit6	WTS1, WTS0: PPG エッジ同期選択 ビット	<ul style="list-style-type: none"> これらのビットは、次の PPG 信号と書き込みタイミングとの同期エッジを選択します。
bit5	CPIF: コンペア割込み要求 フラグビット	<ul style="list-style-type: none"> コンペア割込み要求フラグです。 比較回路に対してコンペア割込みを要求するフラグです。RDA2 ~ RDA0 ビットが CPD2 ~ CPD0 ビットと比較され一致すると、このビットは "1" に設定されます。 コンペア割込み要求許可ビット (CPIE) が "1" に設定されていると、割込みが生成されます。 "0" を書き込むことで、このビットはクリアされます。"1" を書き込んでも動作に影響を与えません。 リードモディファイライト動作時は、必ず "1" が読み出されます。
bit4	CPIE: コンペア割込み要求 許可ビット	<ul style="list-style-type: none"> コンペア割込みを許可するビットです。 このビットが "1" に設定され、かつコンペア割込み要求フラグ (CPIF) も "1" に設定されると、割込みが生成されます。
bit3 ~ bit1	CPD2 ~ CPD0: コンペアビット	<ul style="list-style-type: none"> これらのビットは、出力データレジスタの RDA2 ~ RDA0 ビットと比較されます。これらのビットの値が RDA2 ~ RDA0 ビットの値と一致すると、コンペア割込み要求フラグビット (CPIF) が "1" に設定されます。
bit0	CMPE: 位置検出コンペア許 可ビット	<ul style="list-style-type: none"> このビットは、位置検出のコンペア動作を許可します。

■ 入力制御レジスタ下位 (IPCLR)

図 24.4-9 入力制御レジスタ下位 (IPCLR)

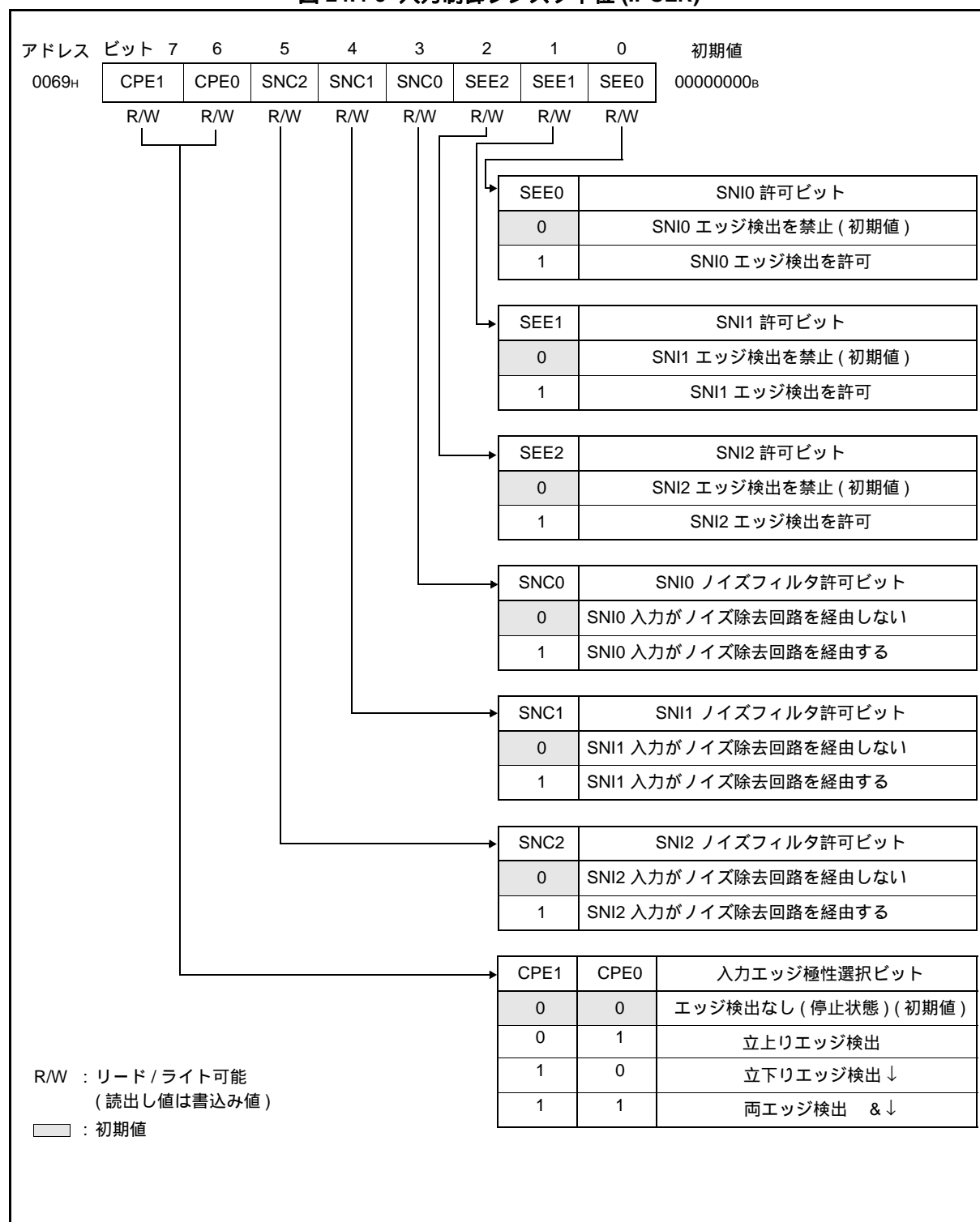


表 24.4-8 入力制御レジスタ下位 (IPCLR) ビット

ビット名		機能
bit7, bit6	CPE1, CPE0: 入力エッジ極性選択 ビット	<ul style="list-style-type: none"> 入力エッジ極性を選択するビットです。 これらのビットは、位置検出の入力エッジ極性を選択します。位置検出は、これらのビットに設定された入力エッジ極性に従って動作します。
bit5 ~ bit3	SNC2 ~ SNC0: SNI2 ~ SNI0 ノイズ フィルタ許可ビット	<ul style="list-style-type: none"> これらのビットは、SNI2 ~ SNI0 端子入力があるときにノイズ除去機能を選択します。 ノイズ除去回路は、アクティブレベルが入力されたとき内部 n- ビットカウンタを開始します ("n" の値は、ノイズキャンセル制御レジスタの S21,S20, S11,S10 および S01,S00 ビットの設定に応じて、2, 3, 4 または 5 をとることができます)。カウンタでオーバーフローが発生するまでアクティブレベルが保持されると、回路は SNI2 ~ SNI0 端子からの入力を受け付けます。したがって、除去可能なノイズのパルス幅は約 2ⁿ マシンサイクルです。 (注意事項)ノイズ除去回路が有効の場合でも、入力は内部クロックが停止しているモード (STOP モードなど) の時は無効です。
bit2 ~ bit0	SEE2 ~ SEE0: SNI2 ~ SNI0 許可 ビット	<ul style="list-style-type: none"> SNI2 ~ SNI0 端子のエッジ検出を許可するビットです。 これらのビットに "1" が設定されると、SNI2 ~ SNI0 端子のエッジ検出が許可されます。 これらのビットは、入力制御レジスタ上位の CMPE ビットに "0" を設定する前に設定してください。

MB95330H シリーズ

24.4.5 コンペアクリアレジスタ (CPCUR, CPCLR)

コンペアクリアレジスタ (CPCR) は 2 つの 8 ビットレジスタ (CPCUR, CPCLR) で構成されています。CPCUR は上位バイトレジスタで、CPCLR は下位バイトレジスタです。

これらのレジスタの値が 16 ビットタイマのカウント値と一致すると、16 ビットタイマは "0000_H" にリセットされます。

■ コンペアクリアレジスタ (CPCUR, CPCLR)

このレジスタは、2 つの 8 ビットレジスタで構成されており、コンペアクリアレジスタ値の保持に使用されます。

このレジスタの読出しや書込みをする場合、必ず下記のいずれかの方法でアクセスしてください。

- 「MOVW」命令を使用する (16 ビットアクセス命令を使用して、CPCHR レジスタアドレスに対する読出しまたは書込みを行う)。
- 「MOV」命令を使用して CPCHR CPCLR の順番で読出しまたは書込みを行う。

コンペアクリアレジスタは 16 ビットレジスタで、16 ビットタイマのカウント値を比較するために使用します。このレジスタの初期値は不定なため、動作開始前に値を設定する必要があります。

< 注意事項 >

これらのレジスタへアクセスする場合は、ワードアクセス命令をご使用ください。
このレジスタが 16 ビットタイマのカウント値と一致すると、16 ビットタイマは "0000_H" にリセットされ、コンペアクリア割込み要求フラグが設定されます。また、割込み動作が許可されている場合、割込み要求が CPU に送られます。
コンペアクリアレジスタ上位 (CPCUR) およびコンペアクリアレジスタ下位 (CPCLR) にタイマカウンタ値と同じ値がロードされると、同じカウンタ値が次回発生するまでコンペア動作は行われません。

図 24.4-10 コンペアクリアレジスタ (CPCUR, CPCLR)

コンペアクリアレジスタ (上位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CPCUR	0FDE _H	CL15	CL14	CL13	CL12	CL11	CL10	CL09	CL08	XXXXXXXX _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
コンペアクリアレジスタ (下位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
CPCLR	0FDF _H	CL07	CL06	CL05	CL04	CL03	CL02	CL01	CL00	XXXXXXXX _B
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W	: リード / ライト可能 (読出し値は書込み値)									
X	: 不定									

MB95330H シリーズ

24.4.6 タイマバッファレジスタ (TMBUR, TMBLR)

タイマバッファレジスタは、2 つの 8 ビットレジスタ (TMBUR, TMBLR) で構成されており、16 ビットタイマのカウント値を読み出すために使用します。TMBUR は上位バイトレジスタで、TMBLR は下位バイトレジスタです。

■ タイマバッファレジスタ (TMBUR, TMBLR)

このレジスタは 2 つの 8 ビットレジスタで構成されており、タイマバッファレジスタ値の保持に使用されます。

このレジスタを読み出す場合、必ず下記のいずれかの方法でアクセスしてください。

- 「MOVW」命令を使用する (16 ビットアクセス命令を使用して TMBUR レジスタアドレスを読み出す)。
- 「MOV」命令を使用して TMBUR TMBLR の順番で読出しまたは書込みを行う。

タイマバッファレジスタ上位/タイマバッファレジスタ下位は、書込みタイミングまたは位置検出トリガが生成された時点の 16 ビットタイマのカウント値を格納します。この後、カウンタは "0000_H" にクリアされます。

< 注意事項 >

TMBUR/TMBLR へアクセスするときは、ワードアクセス命令のみをご使用ください。

図 24.4-11 タイマバッファレジスタ (TMBUR, TMBLR)

タイマバッファレジスタ (上位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
TMBUR	0FE2 _H	T15	T14	T13	T12	T11	T10	T09	T08	XXXXXXXX _B
		R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
タイマバッファレジスタ (下位)										
	アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
TMBLR	0FE3 _H	T07	T06	T05	T04	T03	T02	T01	T00	XXXXXXXX _B
		R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
R/WX	: リードオンリ (読出しは可能 , 書込みは動作に影響なし)									
X	: 不定									

24.4.7 タイマ制御状態レジスタ (TCSR)

タイマ制御状態レジスタ (TCSR) は、16 ビットタイマの動作を制御するために使用します。

■ タイマ制御状態レジスタ (TCSR)

図 24.4-12 タイマ制御状態レジスタ (TCSR)

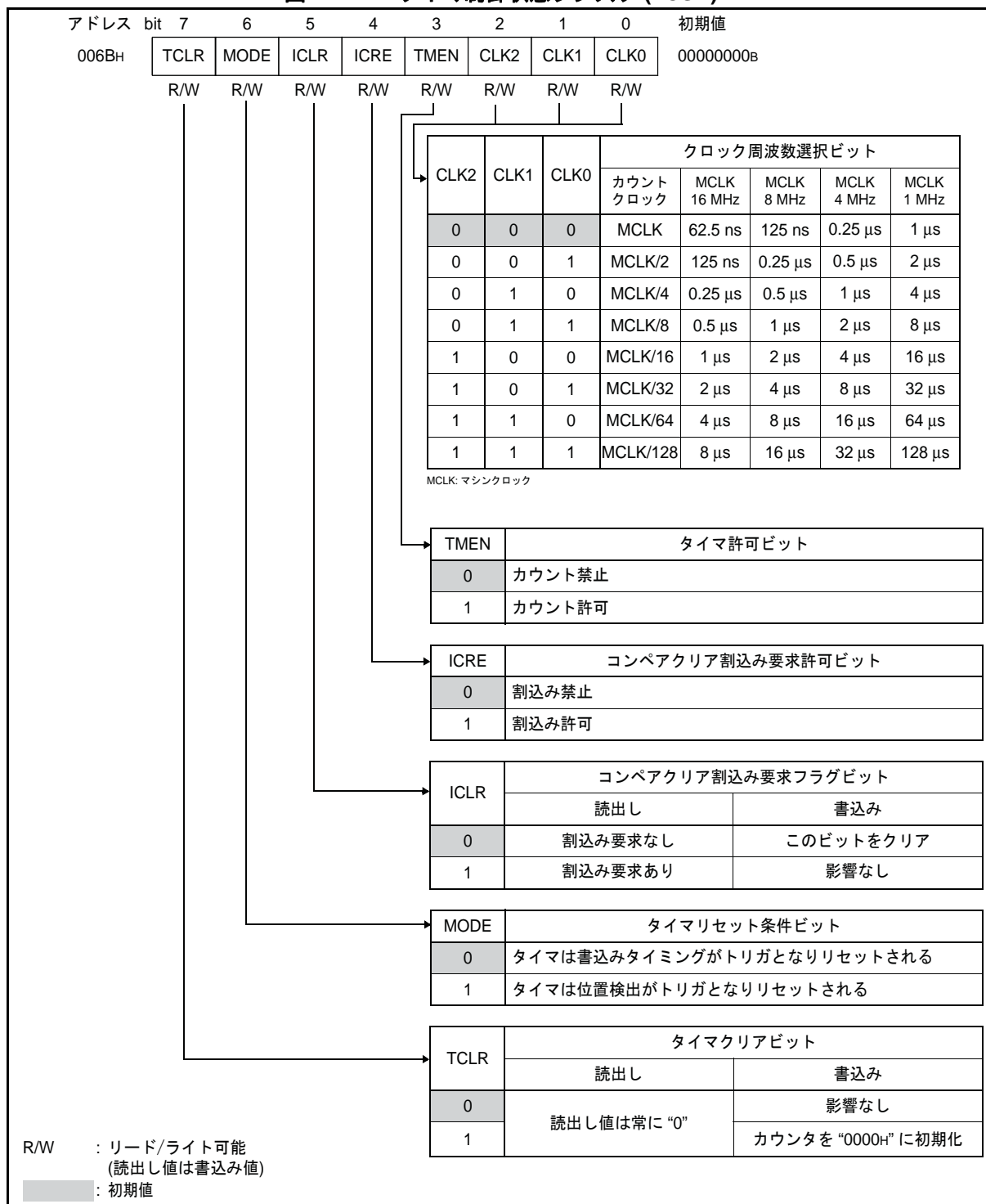


表 24.4-9 タイマ制御状態レジスタ (TCSR)

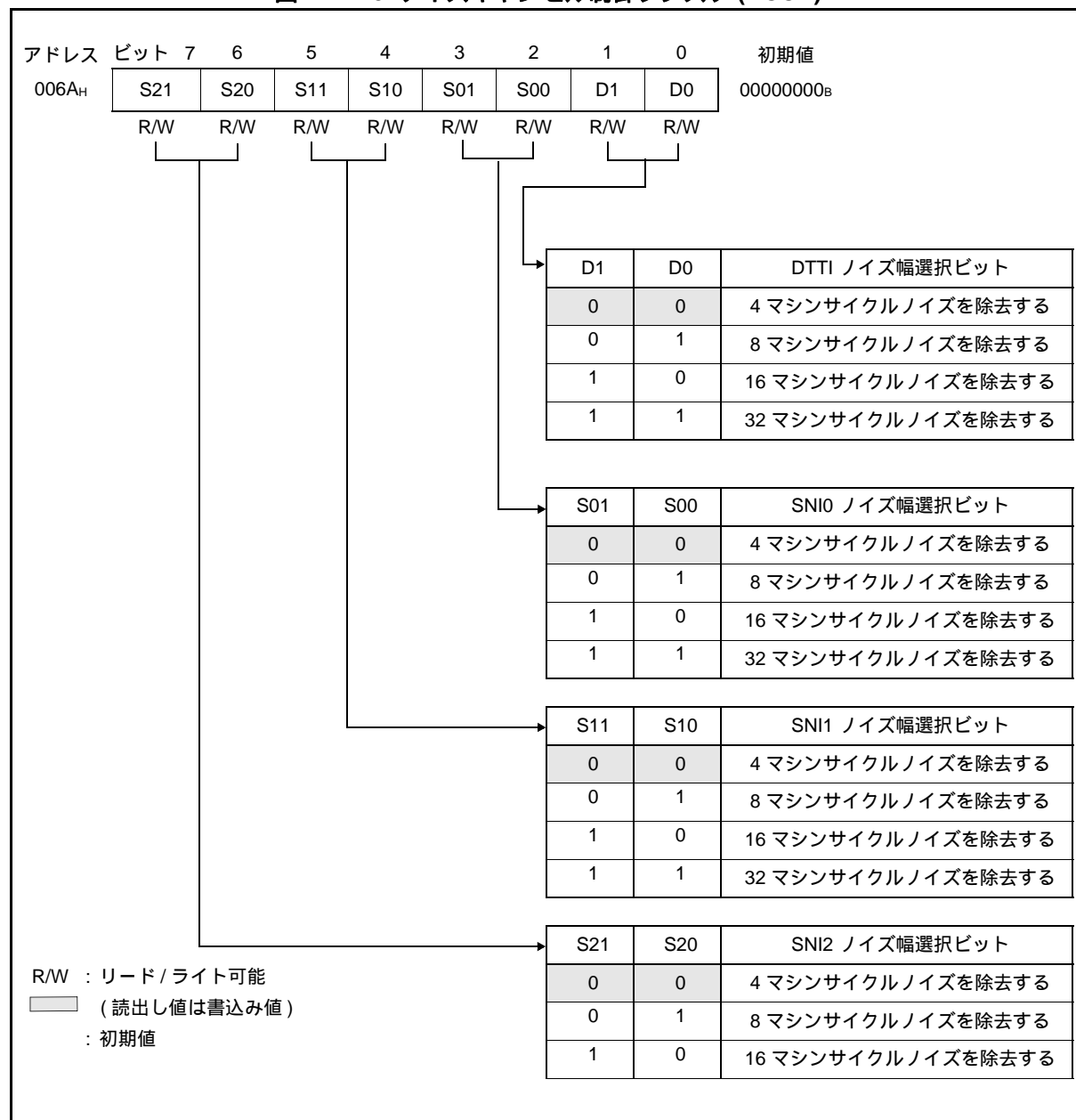
ビット名		機能
bit7	TCLR: タイマクリアビット	<ul style="list-style-type: none"> 読出し値は常に "0" です。 このビットに "1" を書き込むと、カウンタは "0000_H" へ初期化されます。 "0" を書き込んで動作に影響を与えません。
bit6	MODE: タイマリセット条件 ビット	<ul style="list-style-type: none"> このビットは、16 ビットタイマのリセット条件を設定します。 "0" の場合、16 ビットタイマは書き込みタイミング信号でリセットされます。 "1" の場合、16 ビットタイマは位置検出信号でリセットされます。 (注意事項)タイマ値のリセットは、タイマ値の変更時点で行われます。
bit5	ICLR: コンペアクリア割込 み要求フラグビット	<ul style="list-style-type: none"> このビットはコンペアクリアの割込み要求フラグです。 コンペアクリアレジスタと 16 ビットタイマ値が一致すると、カウンタがクリアされ、このビットには "1" が設定されます。 コンペアクリア割込み要求許可ビット (bit12: ICRE) に "1" が設定されると、割込みが生成されます。 "0" を書き込むと、このビットはクリアされます。 "1" を書き込んで動作に影響を与えません。 リードモディファイライト動作時は、常に "1" が読み出されます。
bit4	ICRE: コンペアクリア割込 み要求許可ビット	<ul style="list-style-type: none"> コンペアクリアの割込み要求許可ビットです。 このビットが "1" の場合で、コンペアクリア割込み要求フラグビット (bit13: ICLR) に "1" が設定されると、割込みが生成されます。
bit3	TMEN: タイマ許可ビット	<ul style="list-style-type: none"> このビットは、16 ビットタイマのカウントを許可または禁止します。 このビットに "1" を書き込むと、16 ビットタイマのカウントが許可されます。 このビットに "0" を書き込むと、16 ビットタイマのカウントが禁止されます。 (注意事項) 16 ビットタイマが禁止されている場合は、出力コンペア動作も禁止になります。
bit2 ~ bit0	CLK2 ~ CLK0: クロック周波数選択 ビット	<ul style="list-style-type: none"> 16 ビットタイマのカウントクロックを選択するためのビットです。 (注意事項)これらのビットが更新されると直ちにクロックが変更されるので、ビットの変更はタイマ停止状態の間に行うことを推奨します。

24.4.8 ノイズキャンセル制御レジスタ (NCCR)

ノイズキャンセル制御レジスタ (NCCR) は、DTTI 端子および SNIx 端子で除去するノイズパルス幅を制御するために使用します。

■ ノイズキャンセル制御レジスタ (NCCR)

図 24.4-13 ノイズキャンセル制御レジスタ (NCCR)



MB95330H シリーズ

表 24.4-10 ノイズキャンセル制御レジスタ (NCCR) ビット

ビット名		機能
bit7, bit6	S21, S20: ノイズ幅選択ビット	• これらのビットは , SNI2 端子の除去対象ノイズパルス幅を指定します。
bit5, bit4	S11, S10: ノイズ幅選択ビット	• これらのビットは , SNI1 端子の除去対象ノイズパルス幅を指定します。
bit3, bit2	S01, S00: ノイズ幅選択ビット	• これらのビットは , SNI0 端子の除去対象ノイズパルス幅を指定します。
bit1, bit0	D1, D0: ノイズ幅選択ビット	• これらのビットは , DTTI 端子の除去対象ノイズパルス幅を指定します。

24.5 マルチパルスジェネレータの割込み

マルチパルスジェネレータは、以下の場合に割込み要求を生成できます。

- 書込みタイミング出力がデータ書込み制御ユニットで生成された
 - 有効な位置検出入力が検出された
 - 入力制御レジスタ上位(IPCUR)のCPD2 ~ CPD0と出力データレジスタ下位 (OPDUR) の RDA2 ~ RDA0 の間でコンペア一致が検出された
 - 16 ビットタイマでコンペアクリアが生成された
 - DTTI が下位信号レベルに変化した
-

■ マルチパルスジェネレータの割込み

マルチパルスジェネレータで生成される割込みには、以下の 5 種類があります。

- 書込みタイミング割込み
- コンペアクリア割込み
- 位置検出割込み
- コンペア一致割込み
- DTTI 割込み

コンペアクリア割込みは書込みタイミング割込みと、コンペア一致割込みは位置検出割込みと割込みベクタを共用します。

● 書込みタイミング割込み

出力制御レジスタ上位 (OPCUR) の WTIE ビットに "1" が設定されている場合、データ書込み制御回路によって書込みタイミングが生成されると、この書込みタイミング割込みが生成され、12 対の出力データバッファレジスタ (OPDBRHB/OPDBRLB ~ OPDBRH0/OPDBRL0) のいずれかから、出力データレジスタ (OPDUR, OPDLR) ヘデータが送られます。

この割込みが生成されると、出力制御レジスタ上位 (OPCUR:WTIF) の書込みタイミング割込み要求フラグビットが "1" に設定されます。

● コンペアクリア割込み

タイマ制御状態レジスタ (TCSR) の ICRE ビットに "1" が設定されている場合、16 ビットタイマ値とコンペア値が一致すると、コンペアクリア割込みが生成されます。

この割込みが生成されると、タイマ制御状態レジスタ (TCSR) の ICLR ビットが "1" に設定されます。

● 位置検出タイミング割込み

出力制御レジスタ下位 (OPCLR) の PDIE ビットが "1" に設定されている場合、位置検出回路によって書込みタイミングが出力されると、この位置検出割込みが生成され、12 対の出力データバッファレジスタ (OPDBRHB/OPDBRLB ~ OPDBRH0/OPDBRL0) のいずれかから、出力データレジスタ (OPDUR, OPDLR) ヘデータが送られます。書込みタイミング出力が生成されるのは、位置入力 (SNI2 ~ SNI0) のレベルと出力データレジスタ上位 (OPDUR) の RDA2 ~ RDA0 ビットとの間でコンペア一致が検出された場合、または 3 つの異なるエッジ設定のいずれかが設定されている位置入力 (SNI2 ~ SNI0) でエッジが検出された場合です。

この割込みが生成されると、出力制御レジスタ下位 (OPCLR) の PDIF ビットに "1" が設定されます。

● コンペア一致割込み

入力制御レジスタ上位 (IPCUR) の CPIC ビットに "1" が設定されている場合、出力データレジスタ上位 (OPDUR) の RDA2 ~ RDA0 ビットが入力制御レジスタ上位 (IPCUR) の CPD2 ~ CPD0 ビットと一致すると、コンペア一致割込みが生成されます。

この割込みが生成されると、入力制御レジスタ上位 (IPCUR) の CPIF ビットが "1" に設定されます。

● DTTI 割込み

出力制御レジスタ上位 (OPCUR) の DTIE ビットが "1" に設定されている場合、DTTI 端子で "L" レベル入力検出されると DTTI 割込みが生成されます。

この割込みが生成されると、出力制御レジスタ上位 (OPCUR) の DTIF ビットが "1" に設定されます。

■ マルチパルスジェネレータの割込み要因

IRQ04 : この割込みは、DTTI 割込みが発生すると生成されます。

DTTI 割込みは、出力制御レジスタ上位 (OPCUR) の DTIE ビットが "1" に設定されており、DTTI 端子で "L" レベル入力検出されると生成されます。

IRQ16 : この割込みは、書込みタイミング割込みまたはコンペアクリア割込みのいずれかが発生すると生成されます。

出力制御レジスタ上位 (OPCUR) の DTIE ビットが "1" に設定されている場合に、データ書込み制御回路から書込みタイミング信号が生成されると、書込みタイミング割込みが生成されます。

コンペアクリア割込みが生成されるのは、タイマ制御状態レジスタ (TCSR) の ICSR ビットが "1" に設定されている場合に、16 ビットタイマのカウント値がコンペアクリアレジスタ (CPCUR, CPCLR) と一致したときです。

IRQ17：この割込みは，位置検出割込みまたはコンペアー致割込みのいずれかが発生すると生成されます。

出力制御レジスタ上位 (OPCUR) の PDIE ビットが "1" に設定されている場合に，SNI2 ~ SNI0 で有効エッジが検出されると，位置検出割込みが生成されません。

コンペアー致割込みが生成されるのは，入力制御レジスタ上位 (IPCUR) の CPIE ビットが "1" に設定されている場合に，入力制御レジスタ上位 (IPCUR) の CPD2 ~ CPD0 ビットの値が，出力データレジスタ上位 (OPDUR) の RDA2 ~ RDA0 ビットの値と一致したときです。

■ マルチパルスジェネレータの割込みに関連するレジスタとベクタテーブルのアドレス

表 24.5-1 マルチパルスジェネレータの割込みに関連するレジスタとベクタテーブルのアドレス

割込み要因	割込み 要求番号	割込みレベルセットレジスタ		ベクタテーブルのアドレス	
		レジスタ名	ビット名	下位	上位
MPG(DTTI)	IRQ04	ILR1	L04	FFF3 _H	FFF2 _H
MPG(書込みタイ ミングまたは コンペアクリア)	IRQ16	ILR4	L16	FFDB _H	FFDA _H
MPG(位置検出ま たはコンペアー致)	IRQ17	ILR4	L17	FFD9 _H	FFD8 _H

各周辺機能のそれぞれの割込み要求番号およびベクタテーブルのアドレスについては「付録 B 割込み要因一覧表」を参照してください。

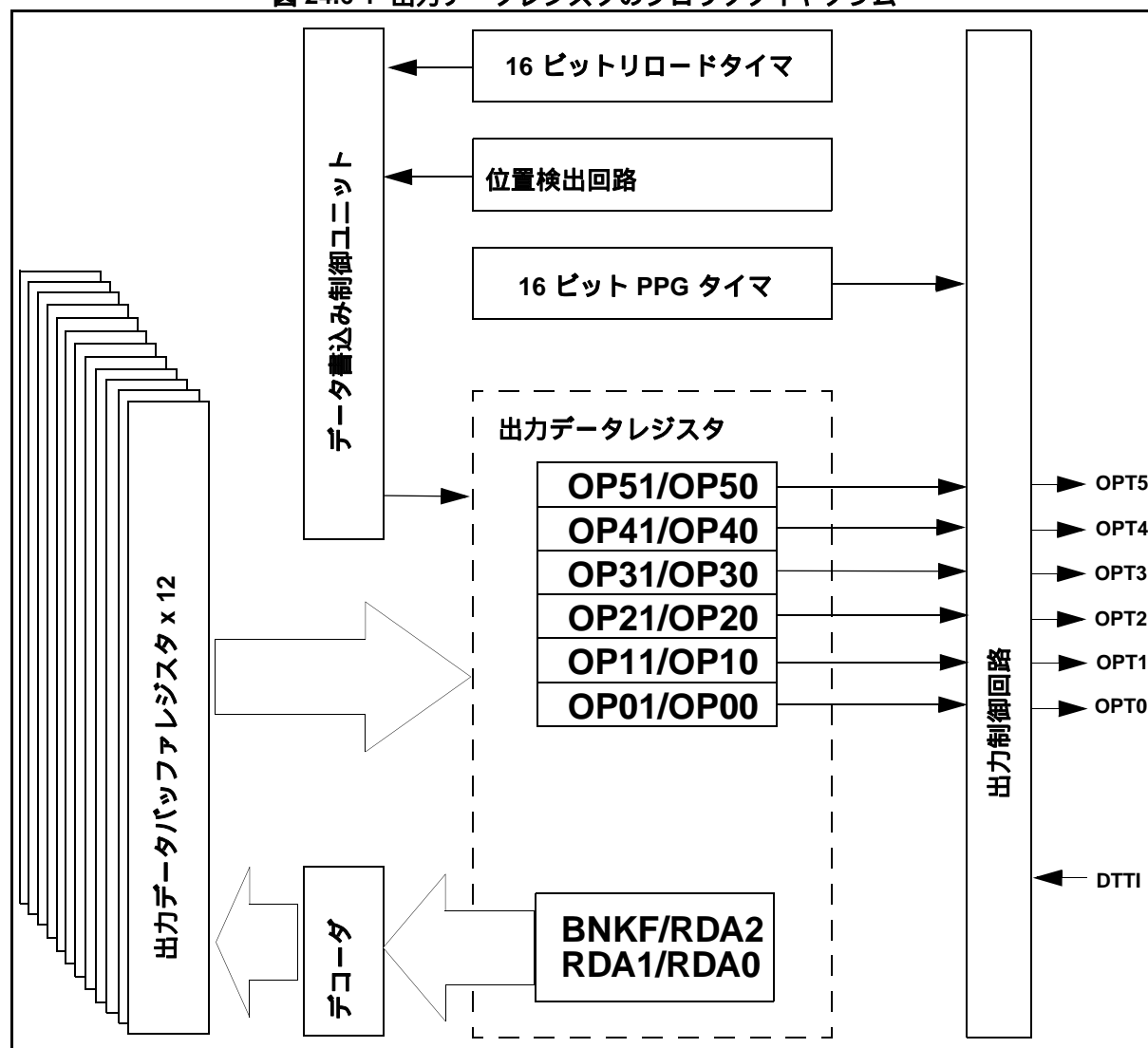
MB95330H シリーズ

24.6 マルチパルスジェネレータの動作

マルチパルスジェネレータの動作について説明します。OPTx 端子は，出力データレジスタ (OPDUR, OPDLR) の OPx1/OPx0 ビットの設定に従って，対応する種類の波形 ("H", "L" または PPG 出力) を出力します。詳しくは，表 24.6-1 を参照してください。

■ 出力データレジスタのブロックダイアグラム

図 24.6-1 出力データレジスタのブロックダイアグラム



■ 出力データレジスタ (OPDUR, OPDLR)

出力データレジスタ (OPDUR, OPDLR) の値は、データ書込み制御ユニットで生成された書込みタイミング信号 (WTO) に従って、出力データバッファレジスタ (OPDBRHB/OPDBRLB ~ OPDBRH0/OPDBRL0) から受取られます。また、OPTx 出力波形は更新されます。さらに、出力レベルは DTTI 端子入力により強制的に固定されます。

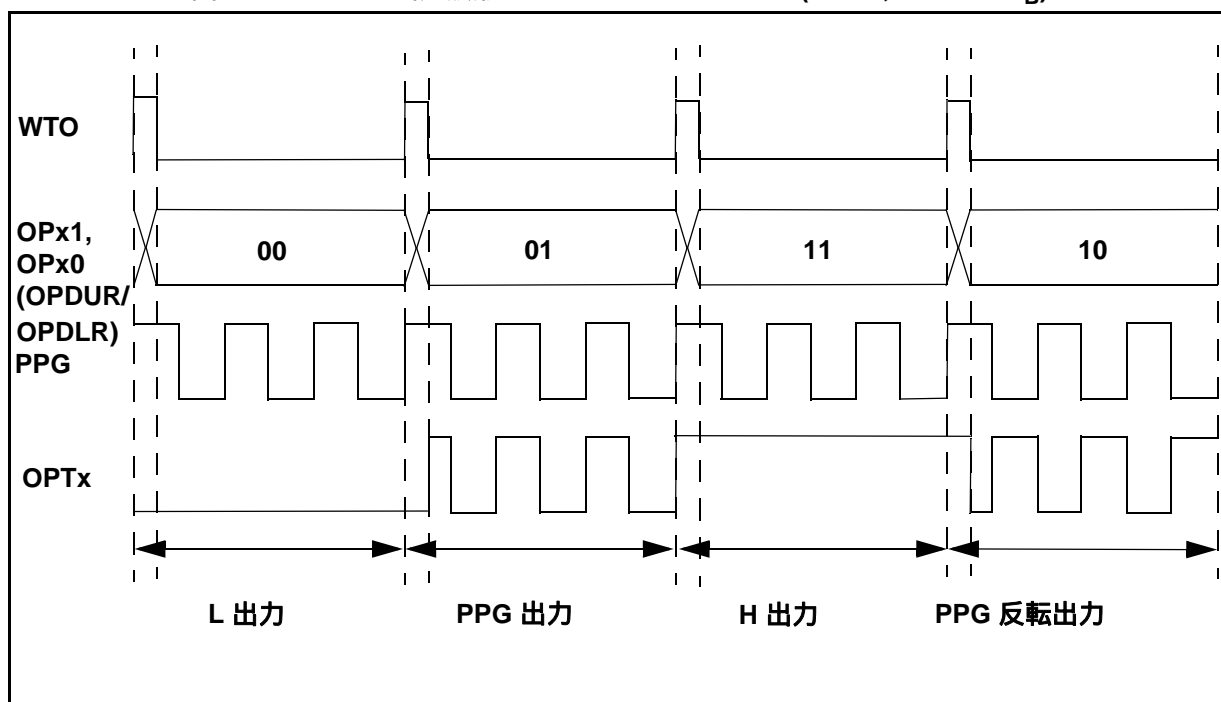
表 24.6-1 出力データレジスタ (OPDUR, OPDLR)

OPx1,OPx0 設定	OPTx 出力
OPx1,OPx0 = 0,0	下位レベル
OPx1,OPx0 = 0,1	16 ビット PPG タイマ出力
OPx1,OPx0 = 1,0	16 ビット PPG タイマ反転出力
OPx1,OPx0 = 1,1	上位レベル

OPTx 出力波形タイミングダイアグラムを図 24.6-2 に示します。動作についての説明は「24.6.1 位置検出の動作」を参照してください。

■ OPTx 出力波形タイミングダイアグラム (WTS1,WTS0 = 00_B)

図 24.6-2 OPTx 出力波形タイミングダイアグラム (WTS1,WTS0 = 00_B)



MB95330H シリーズ

24.6.1 位置検出の動作

位置検出回路の動作について説明します。有効な位置が検出されると、データ書込みタイミング出力 (WTIN1) がデータ書込み制御ユニットに対して生成されます。また出力制御レジスタ (OPCLR: PDIE) が "1" に設定されている場合、位置検出割込みが生成されます。

■ 位置検出の動作

WTIN1 信号は、以下の条件が満たされると位置検出回路で生成されます。

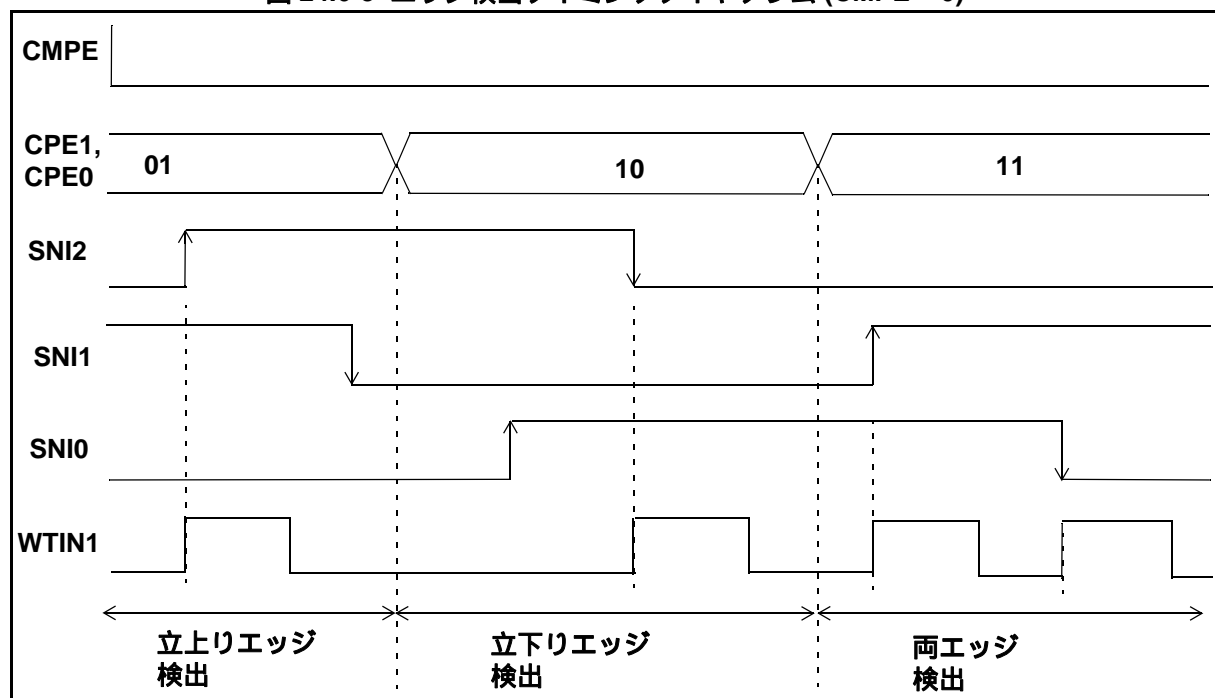
- SNI2 ~ SNI0 端子と RDA2 ~ RDA0 ビットの間でコンペア一致が検出された (このコンペア一致のトリガは、SNI2 ~ SNI0 端子の有効エッジ)
- 対応する SEEx ビットにより、SNIx で有効エッジが検出された

入力制御レジスタ上位 (IPCUR) の CMPE ビットが "0" に設定されると、SEE2 ~ SEE0 によって許可された SNIx 端子のエッジ検出のみが、位置検出のためのエッジ検出動作を行います。たとえば、SEE0 ビットのみが "1" に設定されている場合で、SNI0 端子への入力エッジが有効な場合、データ書込み出力信号は SNI0 端子で有効エッジが検出されたときのみ生成されます。CMPE = 0 のときのエッジ検出のタイミングダイアグラムについては、図 24.6-3 を参照してください。

入力制御レジスタ上位 (IPCUR) の CMPE ビットが "1" に設定されると、SNI2 ~ SNI0 が RDA2 ~ RDA0 ビットと比較されます。この比較は、SNI2 ~ SNI0 端子のいずれかのエッジが変化するとトリガされます。CMPE = 1 のときのエッジ検出のタイミングダイアグラムについては、図 24.6-4 を参照してください。

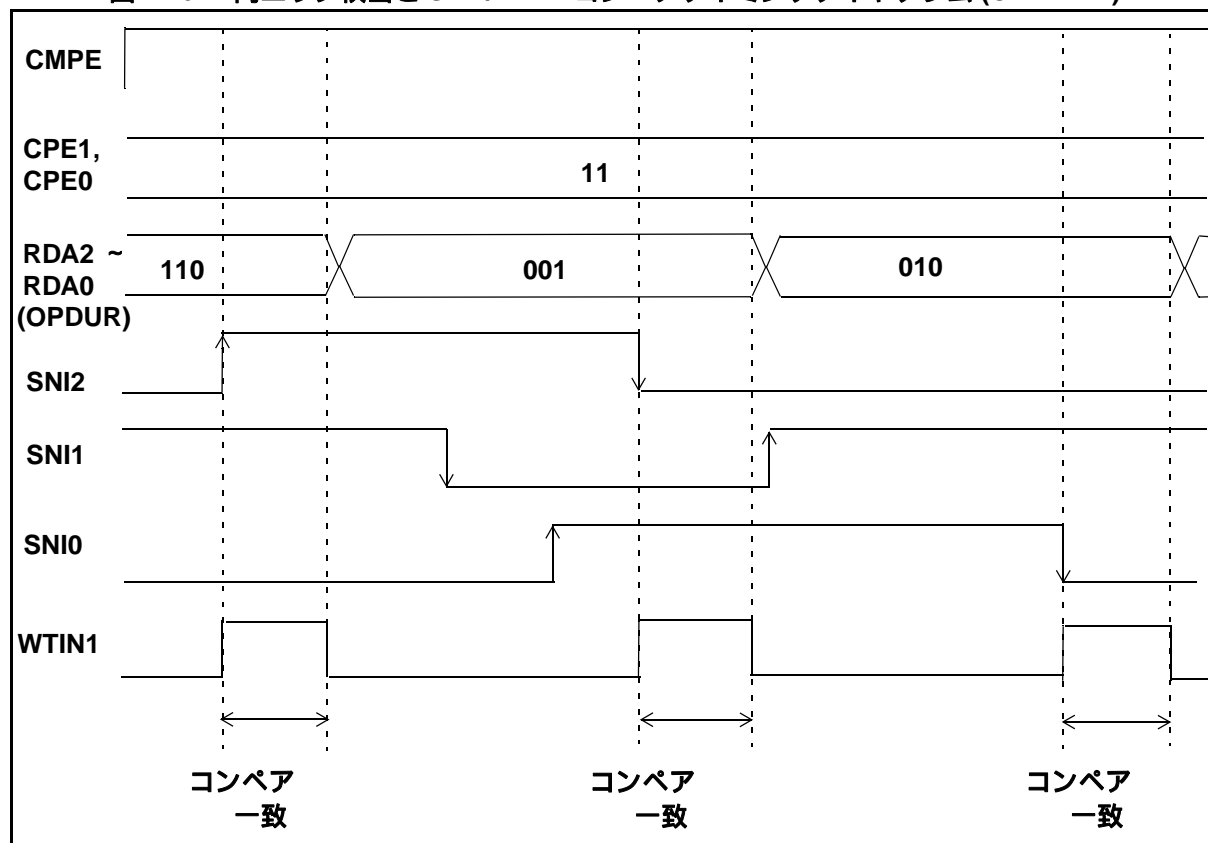
■ エッジ検出タイミングダイアグラム (CMPE = 0)

図 24.6-3 エッジ検出タイミングダイアグラム (CMPE = 0)



■ 両エッジ検出と SNIx/RDAx コンペアタイミングダイアグラム (CMPE = 1)

図 24.6-4 両エッジ検出と SNIx/RDAx コンペアタイミングダイアグラム (CMPE = 1)



■ WTIN1 出力条件とレジスタ設定

表 24.6-2 WTIN1 出力状態とレジスタ設定

CMPE	CPE1	CPE0	SEEx	WTIN1 出力状態
0	0	0	0	出力なし (初期値)
0	X	X	0	出力なし
0	0	0	1	出力なし
0	0	1	1	SNIx 立上りエッジを検出する
0	1	0	1	SNIx 立下がりエッジを検出する
0	1	1	1	SNIx 両エッジを検出する
1	0	0	X	設定禁止
1	0	1	X	SNIx 立上りエッジと SNIx/RDAx コンペア一致を検出する
1	1	0	X	SNIx 立下りエッジと SNIx/RDAx コンペア一致を検出する
1	1	1	X	SNIx 両エッジと SNIx/RDAx コンペア一致を検出する

< 注意事項 >

CMPE = 1 のとき , SEEx には "0" を設定してください。SEEx に "1" を設定することは推奨しません。

24.6.2 データ書込み制御ユニットの動作

データ書込み制御ユニットは、出力データバッファレジスタ (OPDBRHx, OPDBRLx) から出力データレジスタ (OPDUR, OPDLR) へデータを転送するために必要となる書込みタイミング出力 (WTO) を生成します。

■ データ書込み制御ユニットの動作

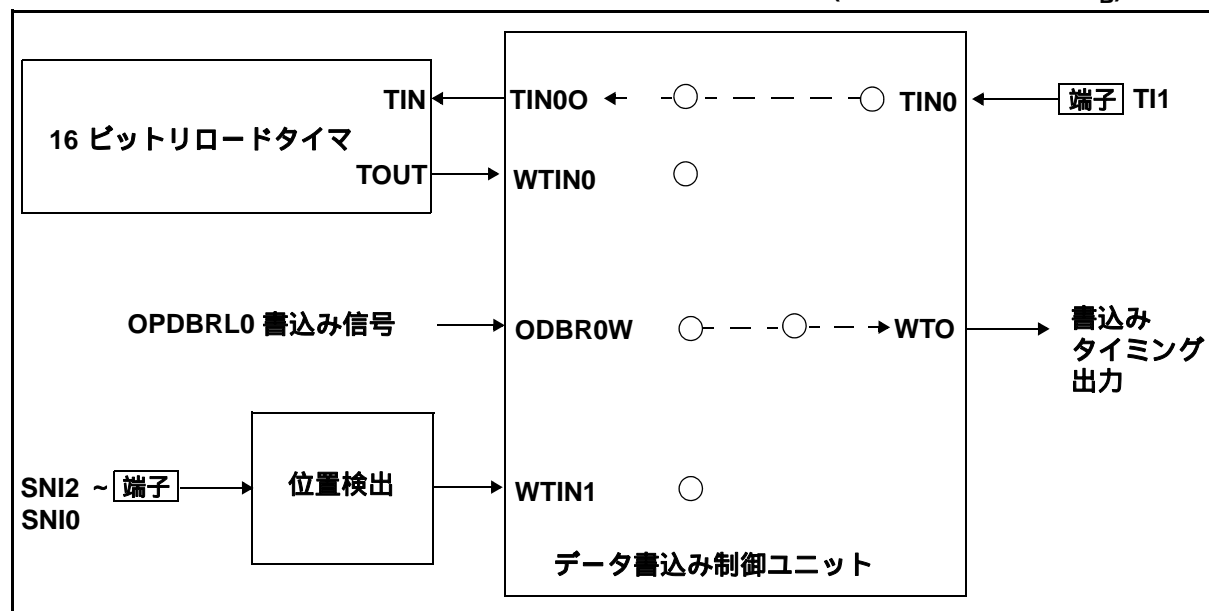
書込みタイミング出力 (WTO) は、以下の場合に生成されます。

- ソフトウェアによって出力データバッファレジスタ 0 (OPDBRH0, OPDBRL0) に値が書き込まれた
- 16 ビットリロードタイマのアンダフローによりトリガされた
- 16 ビットリロードタイマのアンダフローによりトリガされた (16 ビットタイマは位置検出比較回路により開始)
- 位置検出入力 (SNI2 ~ SNI0) によってトリガされた (16 ビットリロードタイマが遅延を発生)
- 16 ビットリロードタイマのアンダフローまたは位置検出入力によりトリガされた

WTO の生成要因は、出力制御レジスタ上位 (OPCUR) の OPS2 ~ OPS0 ビットの値を設定することで定義されます。

■ OPDBRH0/OPDBRL0 の信号フローダイアグラム (OPS2 ~ OPS0 = 000_B)

図 24.6-5 OPDBRH0/OPDBRL0 の信号フローダイアグラム (OPS2 ~ OPS0 = 000_B)

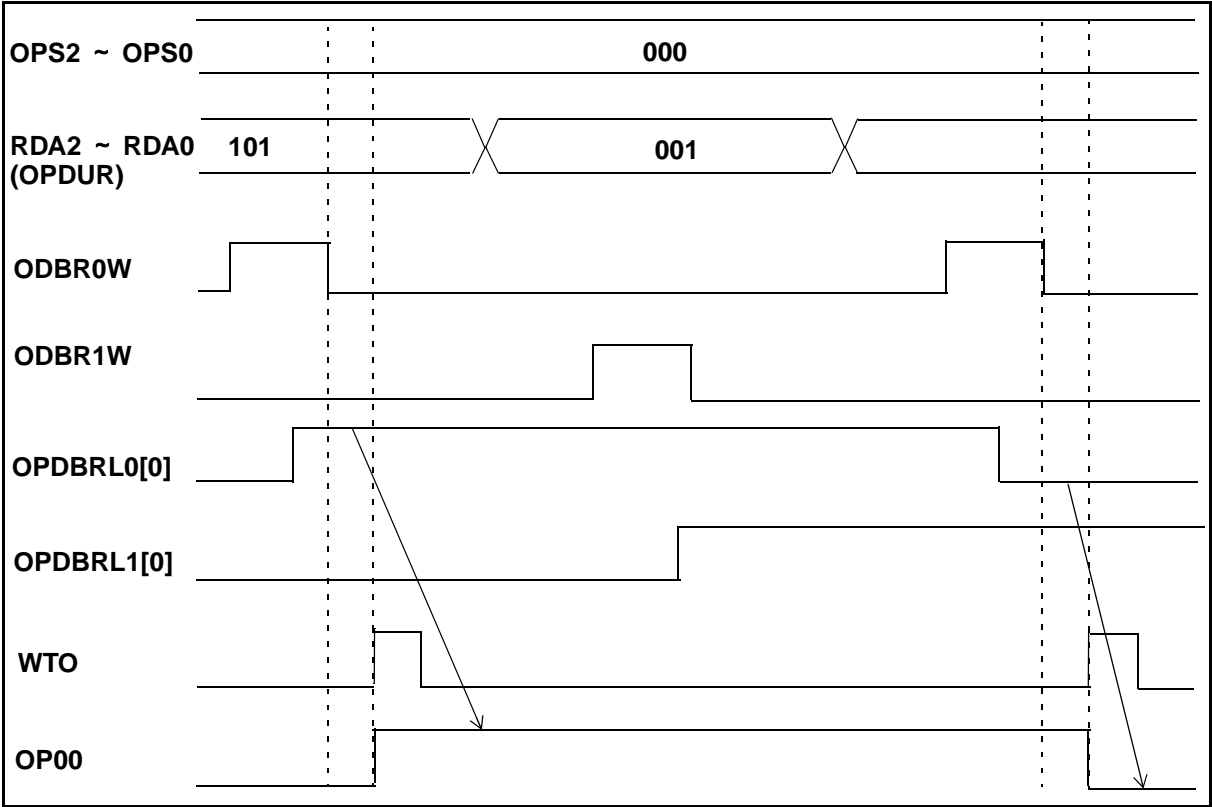


書込みタイミング出力信号は、OPDBRH0/OPDBRL0 レジスタに値が書き込まれるたびにデータ書込み制御ユニットから生成されます。また OPDBRH0/OPDBRL0 のデータは 1 サイクル後に出力データレジスタ (OPDUR, OPDLR) へ転送されます。

MB95330H シリーズ

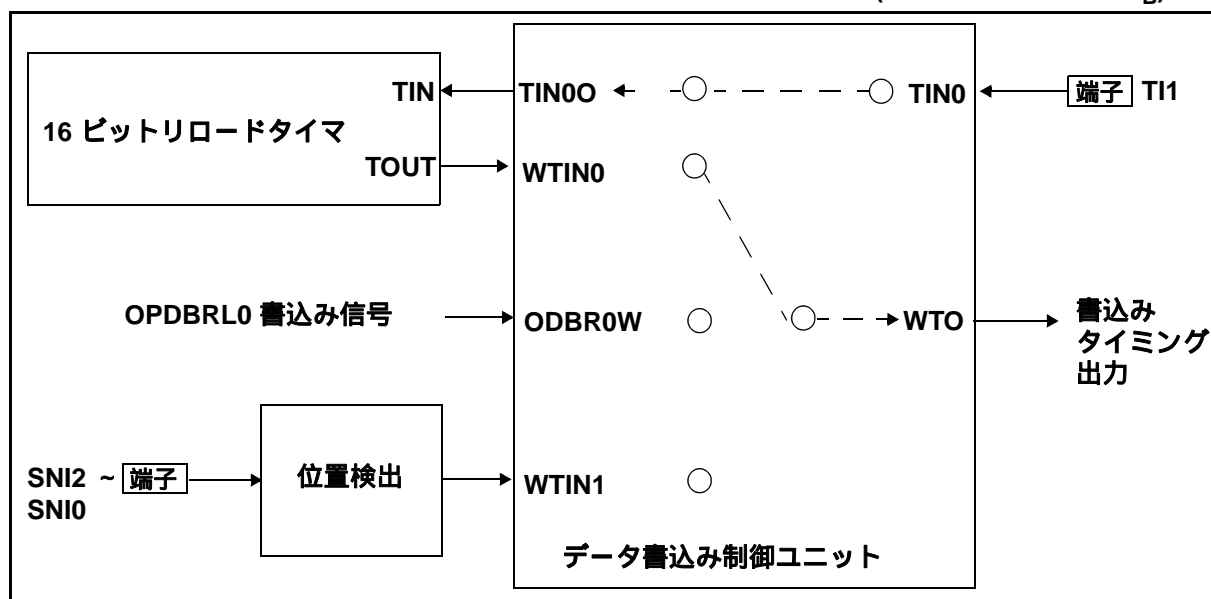
■ 出力データレジスタ (OPDUR, OPDLR) 書込みタイミングダイアグラム (OPS2 ~ OPS0 = 000_B)

図 24.6-6 出力データレジスタ (OPDUR, OPDLR) 書込みタイミングダイアグラム
(OPS2 ~ OPS0 = 000_B)



■ リロードタイマアンダフローの信号フローダイアグラム (OPS2 ~ OPS0 = 001_B)

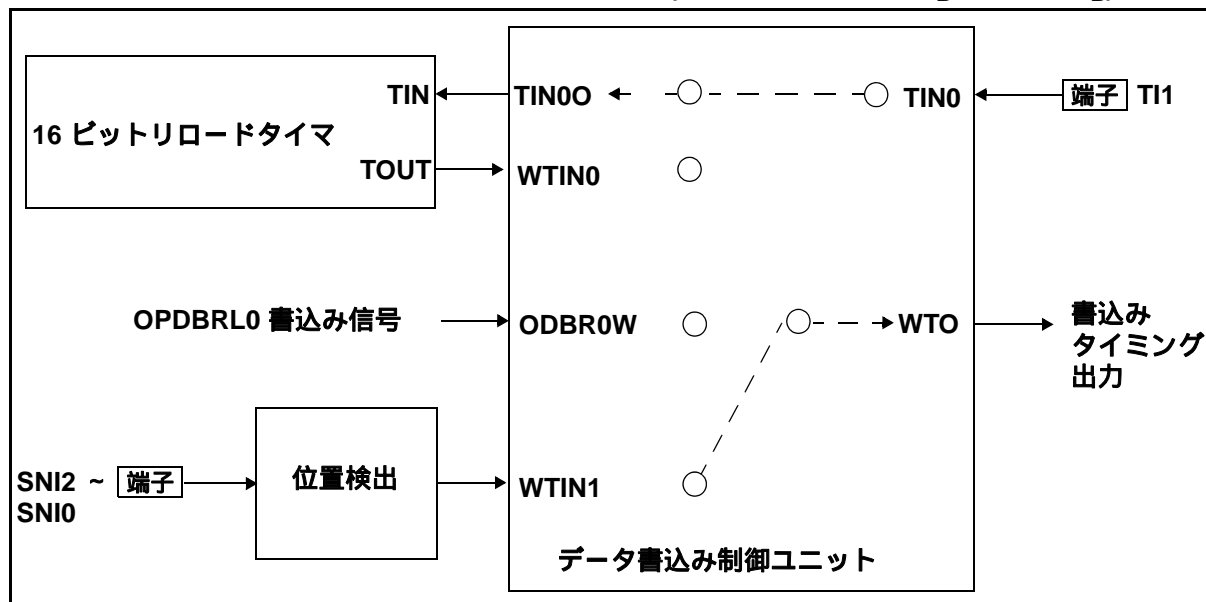
図 24.6-7 リロードタイマアンダフローの信号フローダイアグラム (OPS2 ~ OPS0 = 001_B)



16 ビットリロードタイマは, TIN 入力およびソフトウェアの両方でトリガでき, この設定で書き込み信号を生成します。書き込み信号は, 16 ビットリロードタイマのアンダフローで制御されます。

■ 位置検出の信号フローダイアグラム (OPS2 ~ OPS0 = 010_B または 110_B)

図 24.6-8 位置検出の信号フローダイアグラム (OPS2 ~ OPS0 = 010_B または 110_B)

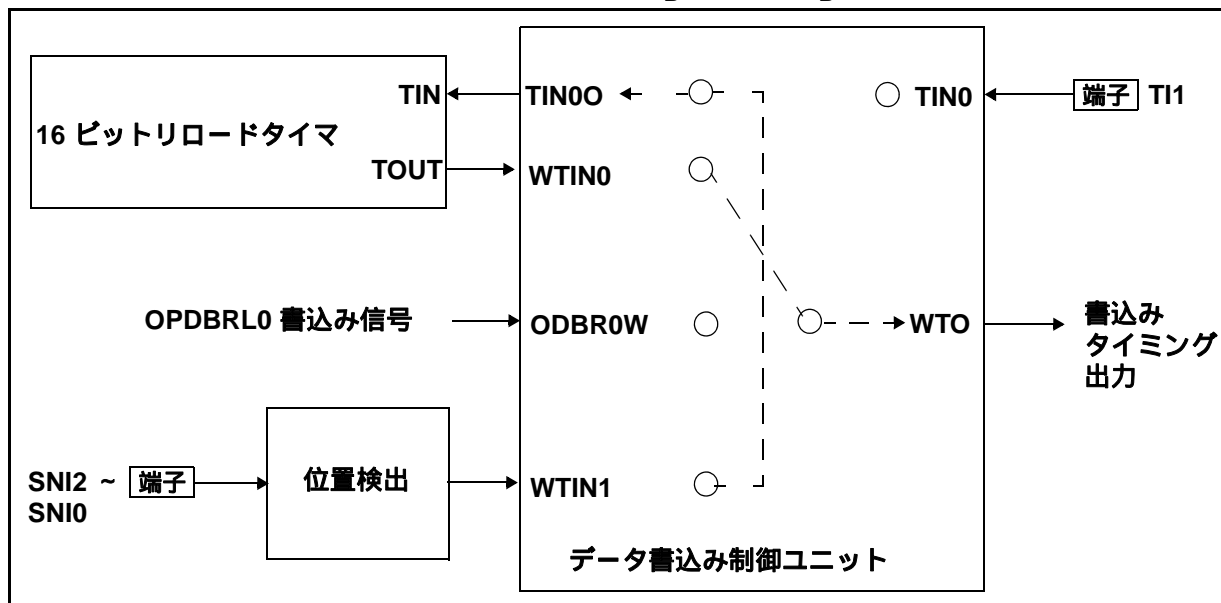


書き込み信号は, コンペアー一致または位置検出の有効エッジ入力で生成されます。

MB95330H シリーズ

■ リロードタイマおよび位置検出の信号フローダイアグラム (OPS2 ~ OPS0 = 011_B または 111_B)

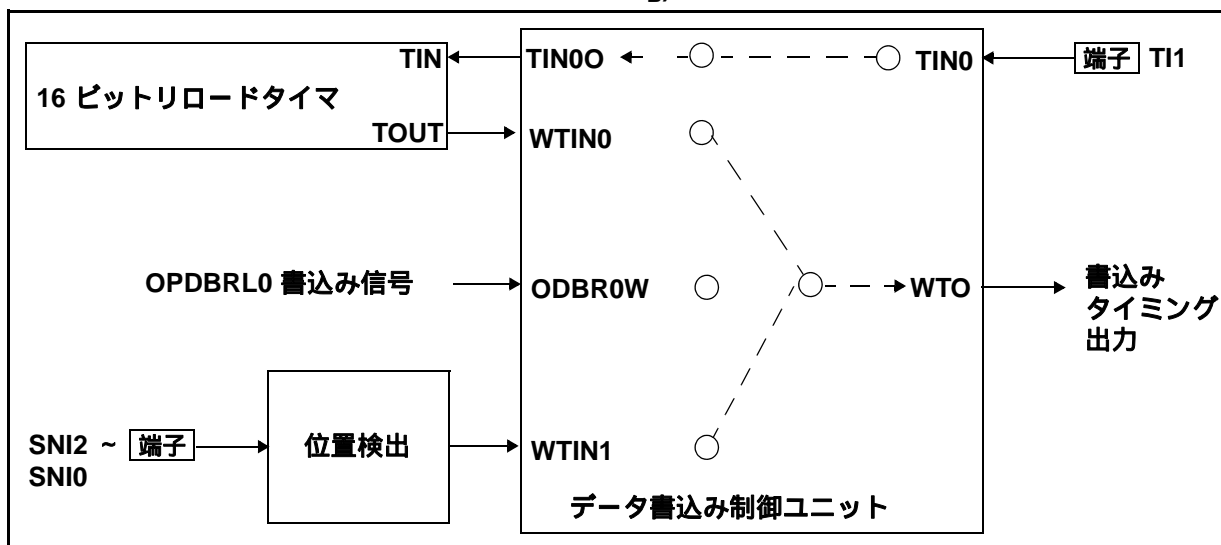
図 24.6-9 リロードタイマと位置検出の信号フローダイアグラム
(OPS2 ~ OPS0 = 011_B または 111_B)



この設定の場合、16 ビットリロードタイマはコンペアー一致または位置検出回路の有効エッジ入力で起動されます。その後、16 ビットリロードタイマでアンダフローが発生するたびに書き込み信号が生成されます。コンペアー一致は、SNI2 ~ SNI0 端子の有効エッジの変化がトリガとなります。

■ リロードタイマまたは位置検出の信号フローダイアグラム (OPS2 ~ OPS0 = 100_B または 101_B)

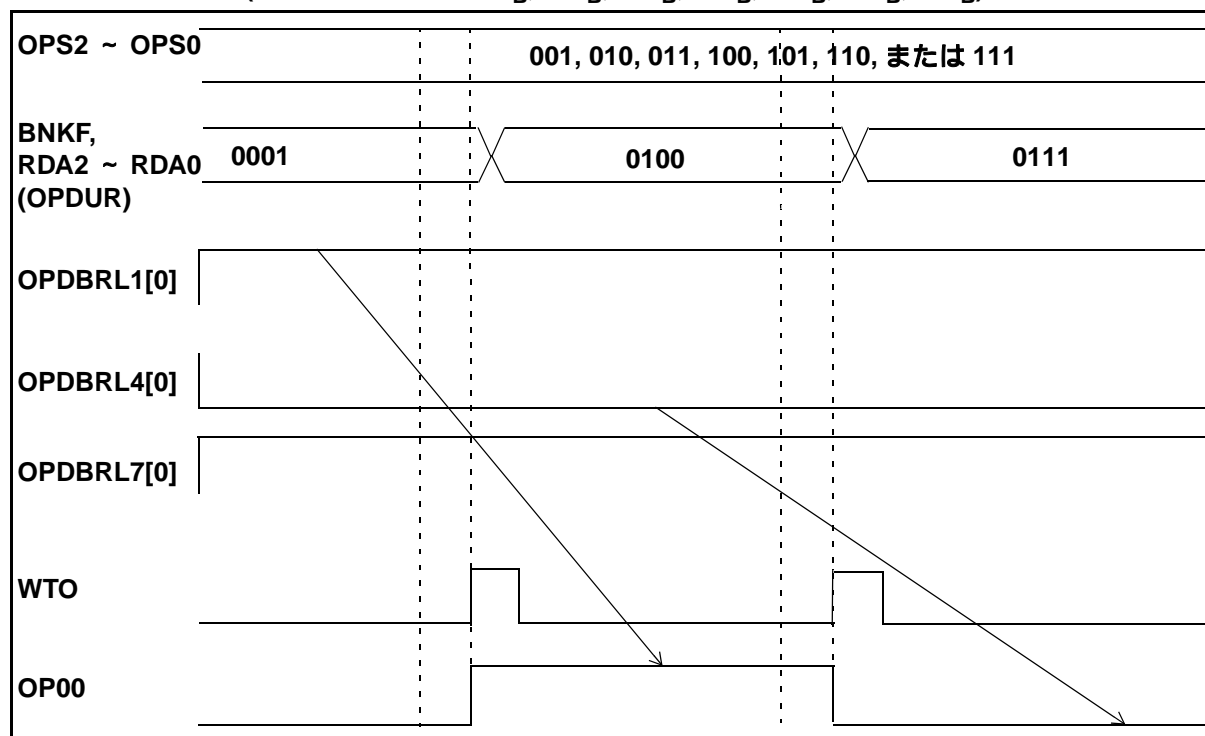
図 24.6-10 リロードタイマまたは位置検出の信号フローダイアグラム (OPS2 ~ OPS0 = 100_B または 101_B)



この設定の場合、書き込み信号はコンペアー一致または位置検出の有効エッジ入力で生成されるか、16 ビットリロードタイマでアンダフローが発生するたびに生成されます。コンペアー一致は、SNI2 ~ SNI0 端子の有効エッジの変化がトリガとなります。

■ 出力データレジスタ (OPDUR, OPDLR) 書込みタイミングダイアグラム
(OPS2 ~ OPS0 = 001_B, 010_B, 011_B, 100_B, 101_B, 110_B, 111_B)

図 24.6-11 出力データレジスタ (OPDUR, OPDLR) 書込みタイミングダイアグラム
(OPS2 ~ OPS0 = 001_B, 010_B, 011_B, 100_B, 101_B, 110_B, 111_B)



MB95330H シリーズ

24.6.3 出力データバッファレジスタの動作

出力データバッファレジスタ (OPDBRH, OPDBRL) は , 12 対のレジスタで構成されています。出力データレジスタ (OPDUR, OPDLR) にさまざまな OPDBRH/OPDBRL レジスタの値をロードすると , マルチパルスジェネレータ出力 (OPT5 ~ OPT0) からさまざまな種類の波形が出力されます。

■ 出力データバッファレジスタの動作

BNKF によりアドレスが指定される出力データバッファレジスタ (OPDBRH, OPDBRL) のデータ (RDA2 ~ RDA0 ビット) は , データ書込み制御ユニットで生成される書込みタイミングで出力データレジスタ (OPDUR, OPDLR) へ転送されます。

出力データバッファレジスタ上位 (OPDBRH) の BNKF および RDA2 ~ RDA0 ビットは出力データレジスタ (OPDUR, OPDLR) へのデータ転送順序を決定し , OPx1/OPx0 ビットは出力波形の形状を決定します。出力波形は , 書込みタイミング (WTO) が生成されるごとに自動的に更新されます。

出力データバッファレジスタ (OPDBRH, OPDBRL) の設定例を表 24.6-3 に示します。

表 24.6-3 出力データバッファレジスタ (OPDBRH, OPDBRL)

No.	0	1	2	3	4	5	6	7	8	9	A
BNKF	0	0	0	0	0	1	0	X	X	0	1
RDA2	1	1	0	0	1	0	0	X	X	1	0
RDA1	0	0	1	0	1	1	1	X	X	0	1
RDA0	0	1	1	1	0	0	0	X	X	0	1
OP51	0	0	0	1	0	0	0	X	X	0	0
OP50	0	0	1	1	0	0	0	X	X	0	1
OP41	1	0	0	0	0	1	0	X	X	0	0
OP40	1	1	0	0	0	1	0	X	X	1	0
OP31	0	0	0	0	0	0	1	X	X	0	0
OP30	0	0	0	0	1	0	1	X	X	0	0
OP21	0	0	0	0	1	0	0	X	X	0	0
OP20	1	0	0	0	1	1	0	X	X	0	0
OP11	0	0	1	0	0	0	0	X	X	0	1
OP10	0	0	1	0	0	0	1	X	X	0	1
OP01	0	1	0	0	0	0	0	X	X	1	0
OP00	0	1	0	1	0	0	0	X	X	1	0
OPBDR 番号のシーケンス	4	5	3	1	6	A	2	X	X	4	B
OPT5 出力	L	L	PPG	H	L	L	L	X	X	L	PPG
OPT4 出力	H	PPG	L	L	L	H	L	X	X	PPG	L
OPT3 出力	L	L	L	L	PPG	L	H	X	X	L	L
OPT2 出力	PPG	L	L	L	H	PPG	L	X	X	L	L

表 24.6-3 出力データバッファレジスタ (OPDBRH, OPDBRL)

No.	0	1	2	3	4	5	6	7	8	9	A
OPT1 出力	L	L	H	L	L	L	PPG	X	X	L	H
OPT0 出力	L	H	L	PPG	L	L	L	X	X	H	L

出力データバッファレジスタ 0 (OPDBRH0, OPDBRL0) (No. 0) を, 表 24.6-3 のように設定すると, 出力データレジスタ (OPDUR, OPDLR) の値は初期化されます。以下のシーケンスは, 生成される書込みタイミングに従って動作を開始します。

No.4->No.6->No.2->No.3->No.1->No.5->No.A->No.B->No.9->(No.4 に戻って再循環)

データは, 出力データレジスタ (OPDUR, OPDLR) へ順次転送されます。出力データバッファレジスタ (OPDBRH, OPDBRL) は, 設定されていない場合は使用されません (表 24.6-3 の No.7 および No.8 を参照)。

MB95330H シリーズ

24.6.4 出力データレジスタへのデータ転送動作

出力データバッファレジスタ (OPDBRHx, OPDBRLx) から出力データレジスタ (OPDUR, OPDLR) へ自動でデータを転送をする際には、8 つの方式 (以降の項で説明) を使用できます。各方式は、出力制御レジスタ上位 (OPCUR) の OPS2 ~ OPS0 ビットを設定することによって選択します。

■ 出力データレジスタへのデータ転送動作

出力データバッファレジスタ (OPDBRHB/OPDBRLB ~ OPDBRH0/OPDBRL0) から出力データレジスタ (OPDUR, OPDLR) へのデータ転送には、以下に示す 8 つの方式を使用できます。

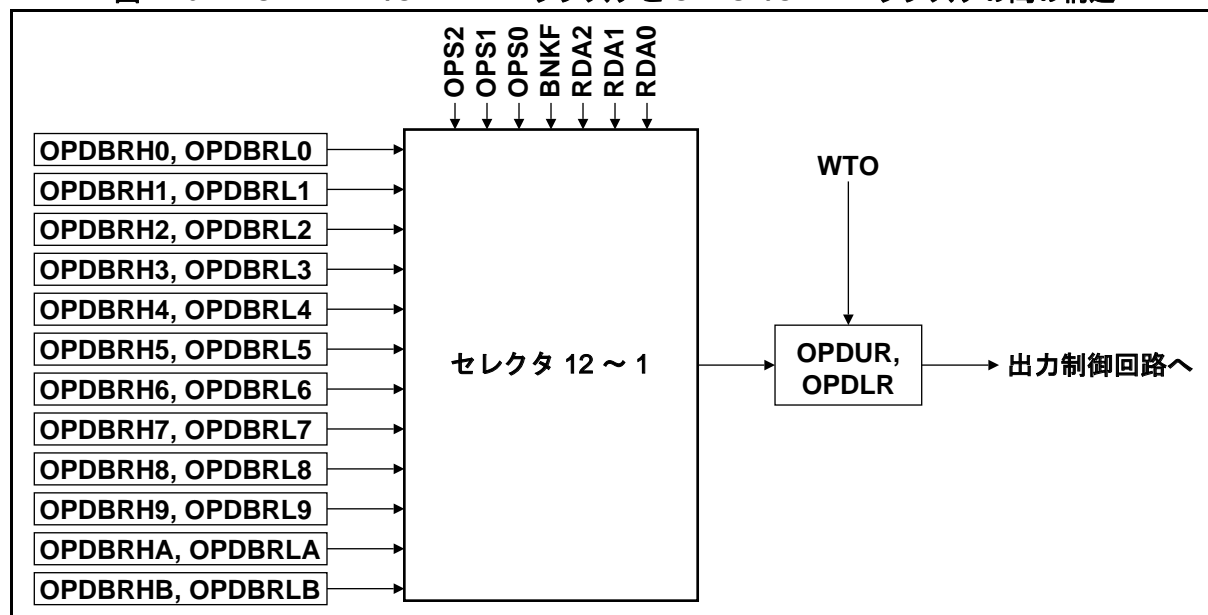
- OPDBRH0 および OPDBRL0 書込み
- 16 ビットリロードタイマアンダフロー
- 位置検出
- 位置検出と 16 ビットリロードタイマアンダフロー
- 位置検出または 16 ビットリロードタイマアンダフロー
- ワンショット位置検出
- ワンショット位置検出と 16 ビットリロードタイマアンダフロー
- ワンショット位置検出または 16 ビットリロードタイマアンダフロー

出力データレジスタ上位 (OPDUR) の BNKF, RDA2 ~ RDA0 ビットにより選択された出力データバッファレジスタ (OPDBRHx, OPDBRLx) 値は、データ書込み制御回路において書込み信号が生成されると、出力データレジスタ (OPDUR, OPDLR) へ転送されます。ただし、OPS2 ~ OPS0=000_B の場合は、BNKF, RDA2 ~ RDA0 ビットの値とは無関係に、必ず OPDBRH0 および OPDBRL0 の値が出力データレジスタ (OPDUR, OPDLR) へ転送されます。OPDBRHB/OPDBRLB ~ OPDBRH0/OPDBRL0 レジスタと OPDUR/OPDLR レジスタの間の構造を図 24.6-2 に示します。

< 注意事項 >

データ転送方式を変更すると、次に選択されるデータバッファレジスタは、常にデータ出力レジスタの BNKF, RDA2 ~ RDA0 ビットで指定されます。これは、BNKF および RDA2 ~ RDA0 ビットが無視される「OPDBRH0/OPDBRL0 書込み」方式には適用されません。この方式では、BNKF および RDA2 ~ RDA0 ビットは無視されます。出力データレジスタへアクセスする場合は、ワードアクセス命令をご使用ください。

図 24.6-12 OPDBRHX/OPDBRLX レジスタと OPDUR/OPDLR レジスタの間の構造



MB95330H シリーズ

24.6.4.1 「OPDBRH0/OPDBRL0 書込み」方式

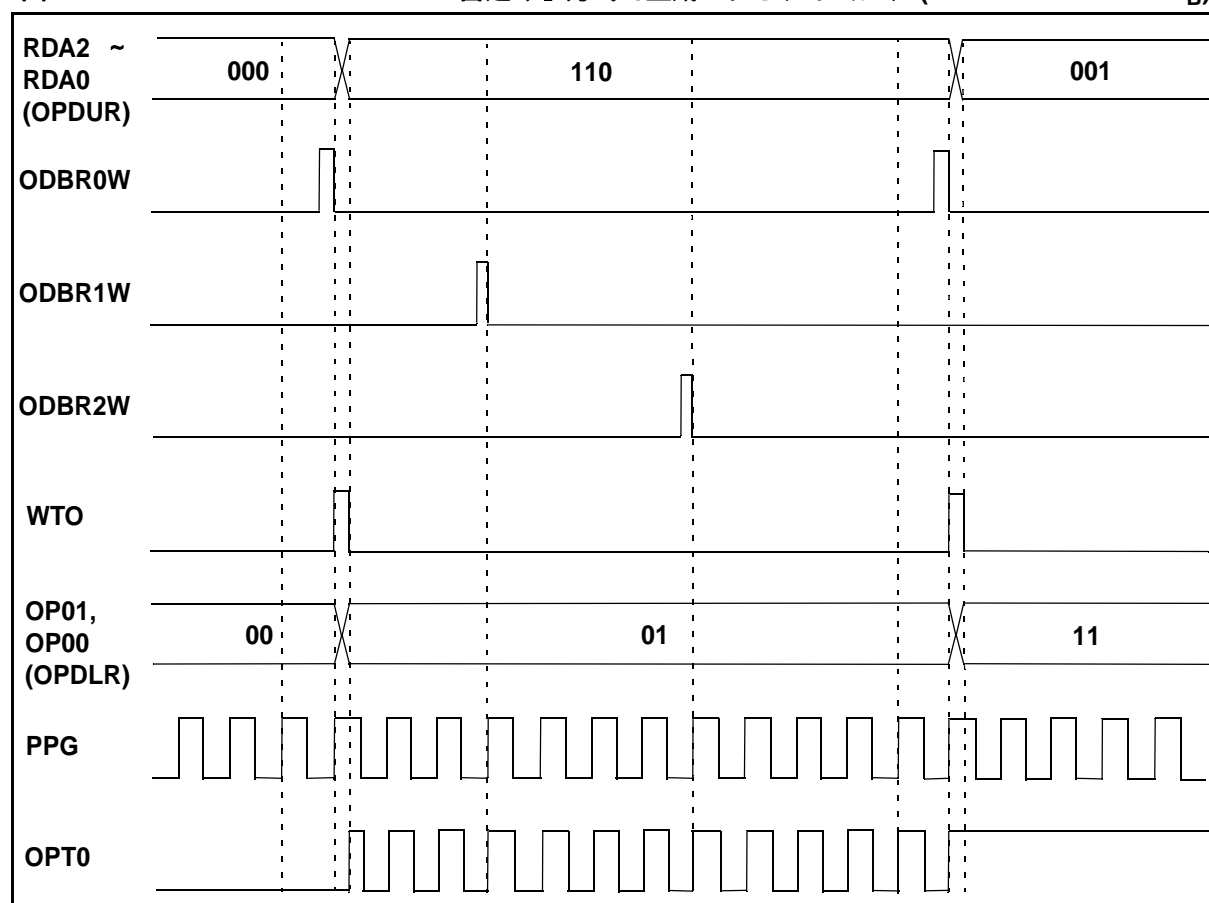
OPDBRH0/OPDBRL0書込みによってトリガされる, 出力端子 OPTx のタイミング更新を図 24.6-13 に示します。

< 注意事項 >

この動作時は, 出力データバッファレジスタ 0 に対してワードアクセス命令をご使用ください。下位レジスタまたは上位レジスタへバイトアクセスしても転送動作は開始しません。リロードタイマは, この動作モードで自由に使用できます。

■ 「OPDBRH0/OPDBRL0 書込み」方式で生成されるタイミング (OPS2 ~ OPS0 = 000_B)

図 24.6-13 「OPDBRH0/OPDBRL0 書込み」方式で生成されるタイミング (OPS2 ~ OPS0 = 000_B)

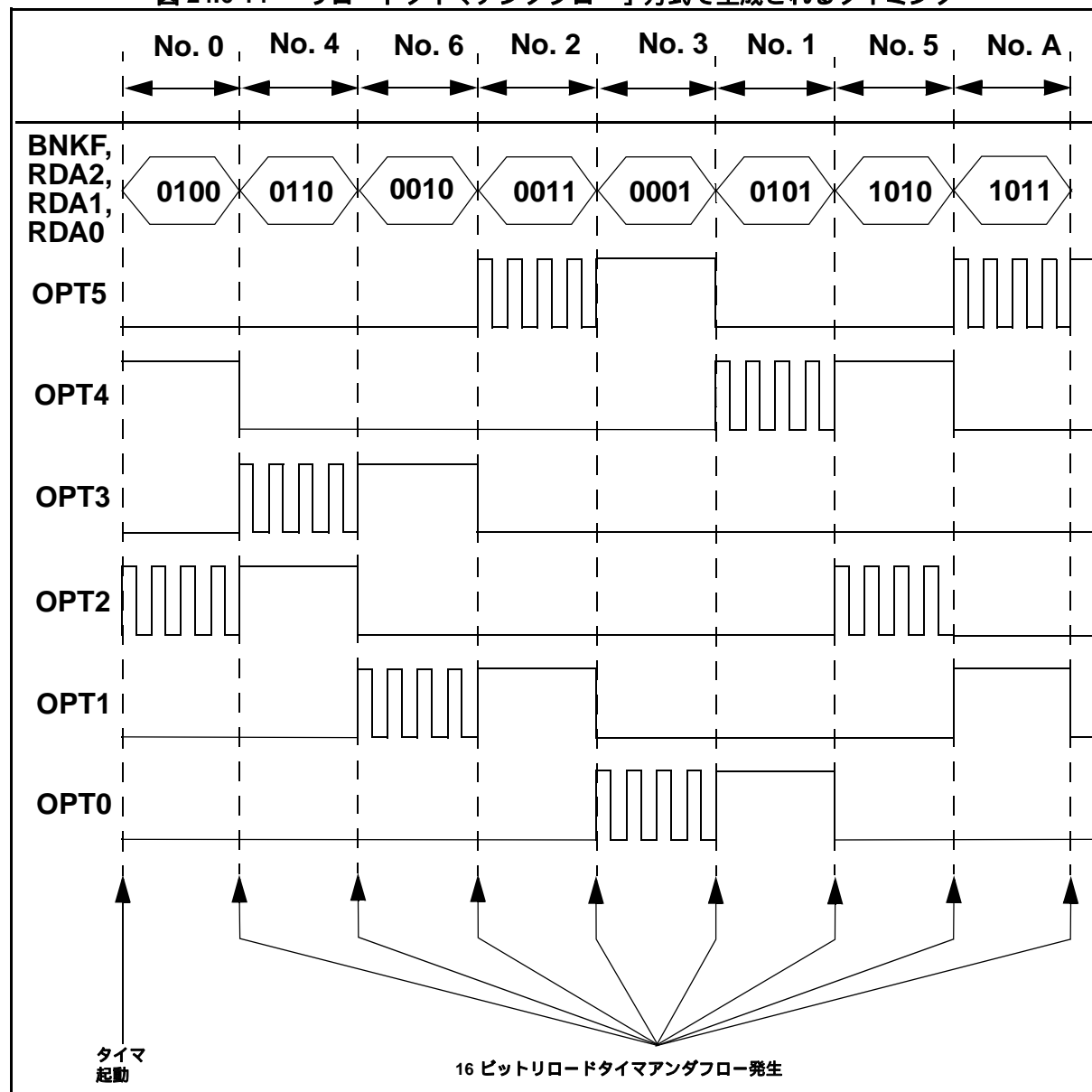


24.6.4.2 「16 ビットリロードタイマアンダフロー」方式

16 ビットリロードタイマアンダフローによってトリガされる，出力端子 OPTx のタイミング更新を図 24.6-14 および図 24.6-15 に示します。

■「リロードタイマアンダフロー」方式で生成されるタイミング

図 24.6-14 「リロードタイマアンダフロー」方式で生成されるタイミング



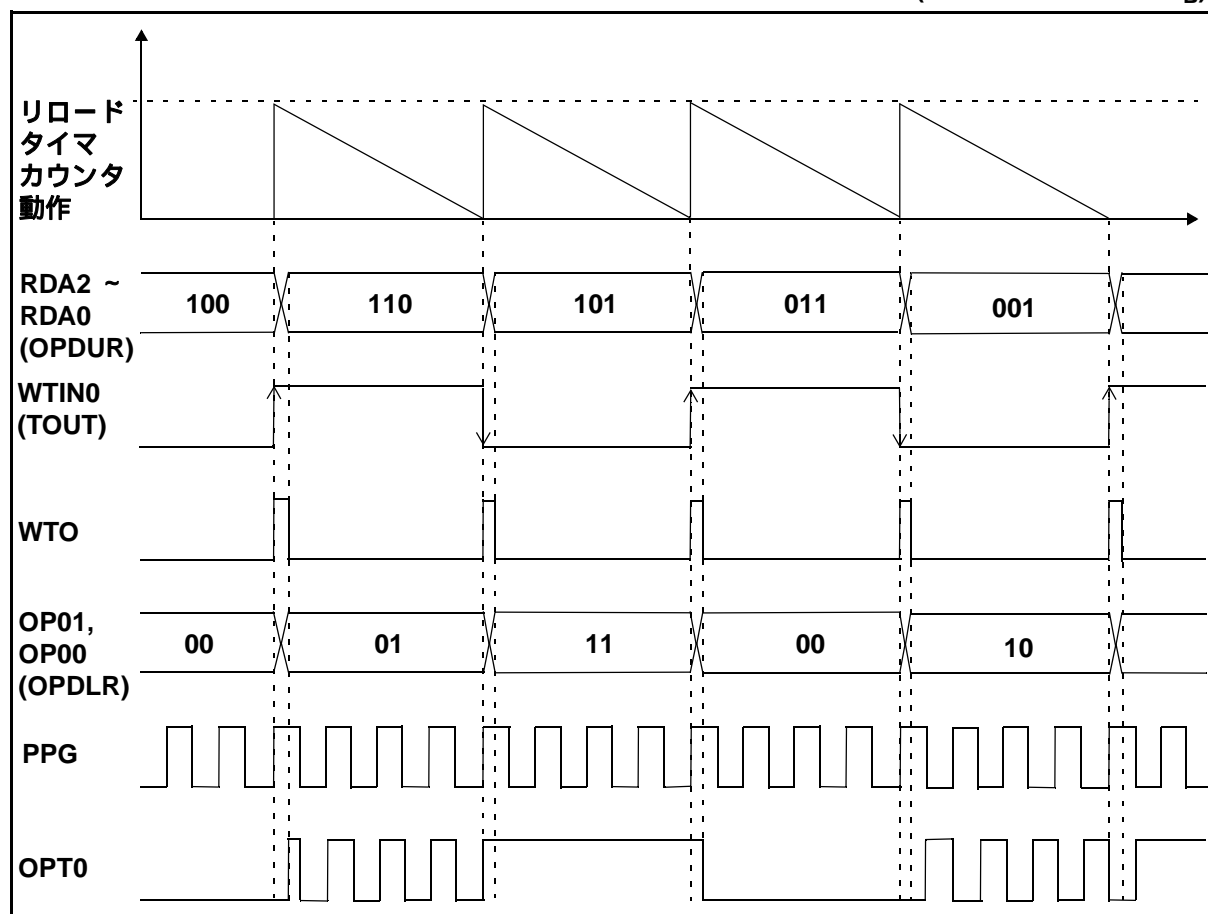
MB95330H シリーズ

BNKF, RDA2 ~ RDA0 ビットにより指定される出力データバッファレジスタ (OPDBRHx, OPDBRLx) から出力データレジスタ (OPDUR, OPDLR) へのデータ転送は, 図 24.6-15 に示されているように, 16 ビットリロードタイマのアンダフローが生成されるたびに自動的に更新されます。

この方式を使用するには, リロードタイマを「リロードモード」で使用する必要があります。16 ビットリロードタイマを起動するには, ソフトウェアトリガを使用する必要があります。16 ビットリロードタイマは, 更新時間の事前設定および連続制御動作を実行するために必要となります。

■「リロードタイマアンダフロー」方式で生成されるタイミング (OPS2 ~ OPS0 = 001_B)

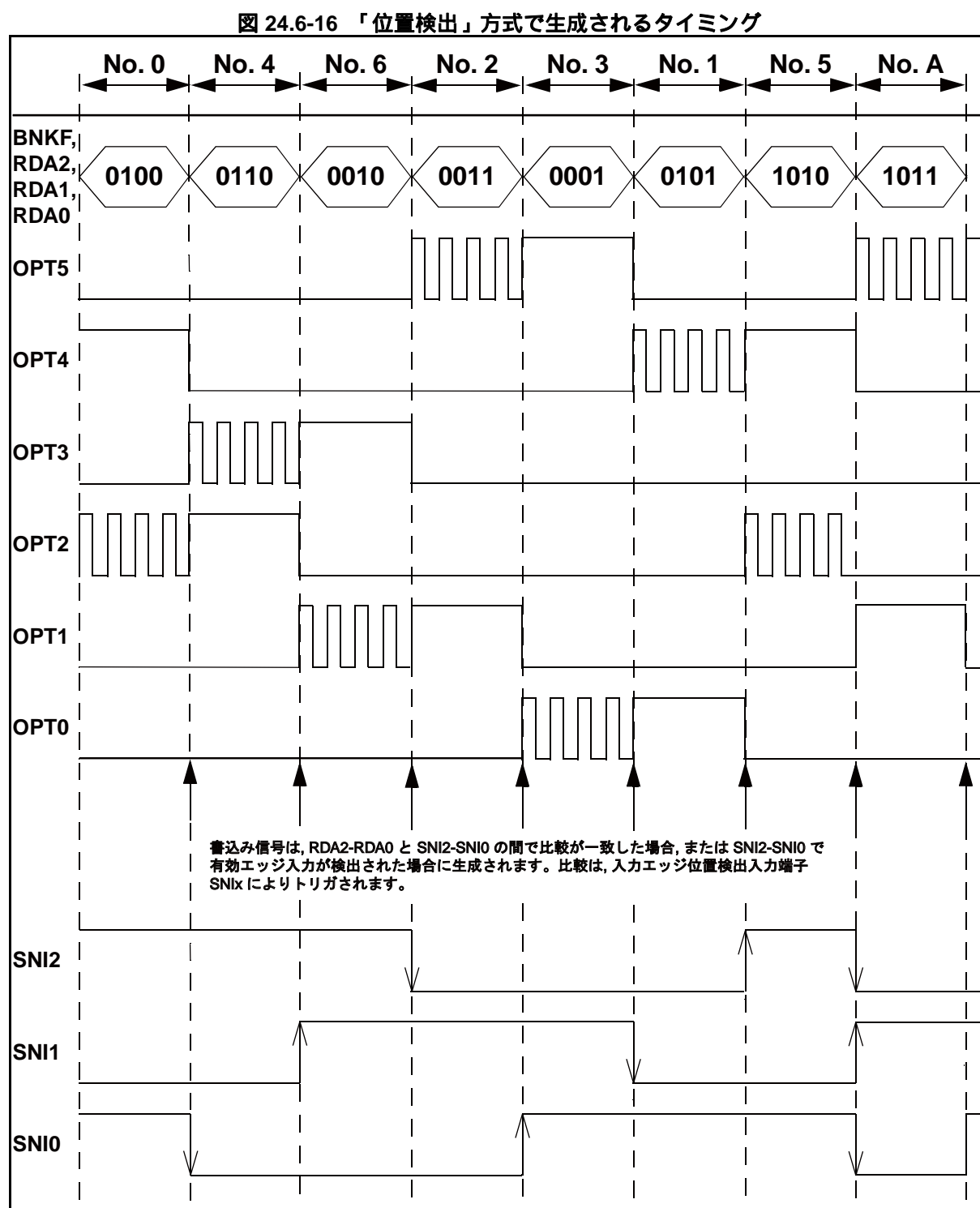
図 24.6-15 「リロードタイマアンダフロー」方式で生成されるタイミング (OPS2 ~ OPS0 = 001_B)



24.6.4.3 「位置検出」方式

位置検出の SNIx 入力端子によってトリガされる出力タイミング更新を図 24.6-16 および図 24.6-17 に示します。

■「位置検出」方式で生成されるタイミング



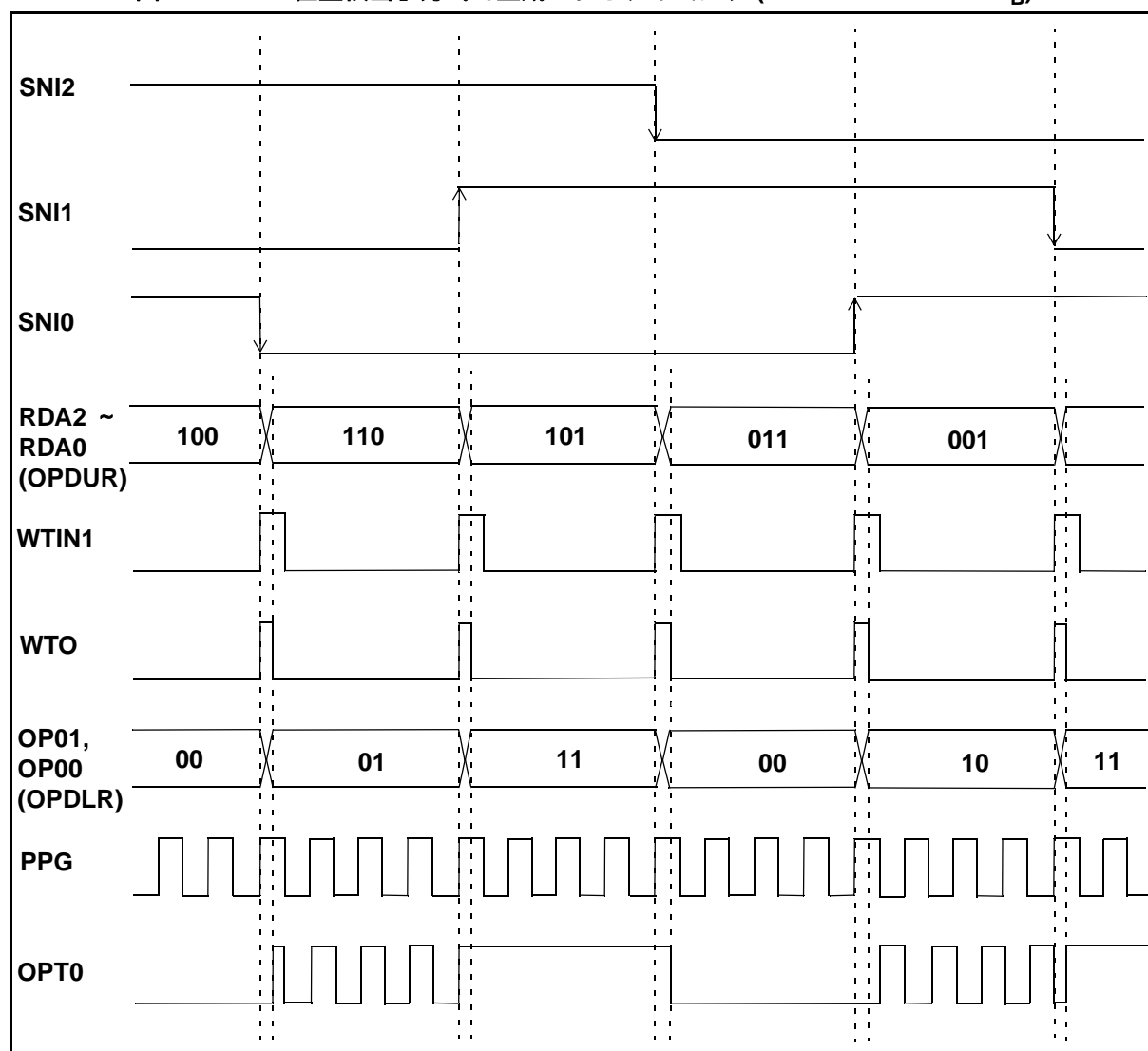
SNI2 端子と RDA2 ビット, SNI1 端子と RDA1 ビット, SNI0 端子と RDA0 ビット間の比較は, 位置検出がされるごとに行われます。

OPTx 出力波形は, 図 24.6-17 のように SNIx 端子への有効エッジ入力に従って更新されます。BNKF, RDA2 ~ RDA0 ビットにより指定される出力データバッファレジスタ (OPDBRHx, OPDBRLx) のデータは, 出力データレジスタ (OPDUR, OPDLR) に転送されます。SNI2 ~ SNI0 端子が RDA2 ~ RDA0 ビットの値と比較され一致すると, 出力データが自動的に更新されます。

リロードタイマは, この動作モードで使用できます。

■「位置検出」方式で生成されるタイミング (OPS2 ~ OPS0 = 010_B)

図 24.6-17 「位置検出」方式で生成されるタイミング (OPS2 ~ OPS0 = 010_B)

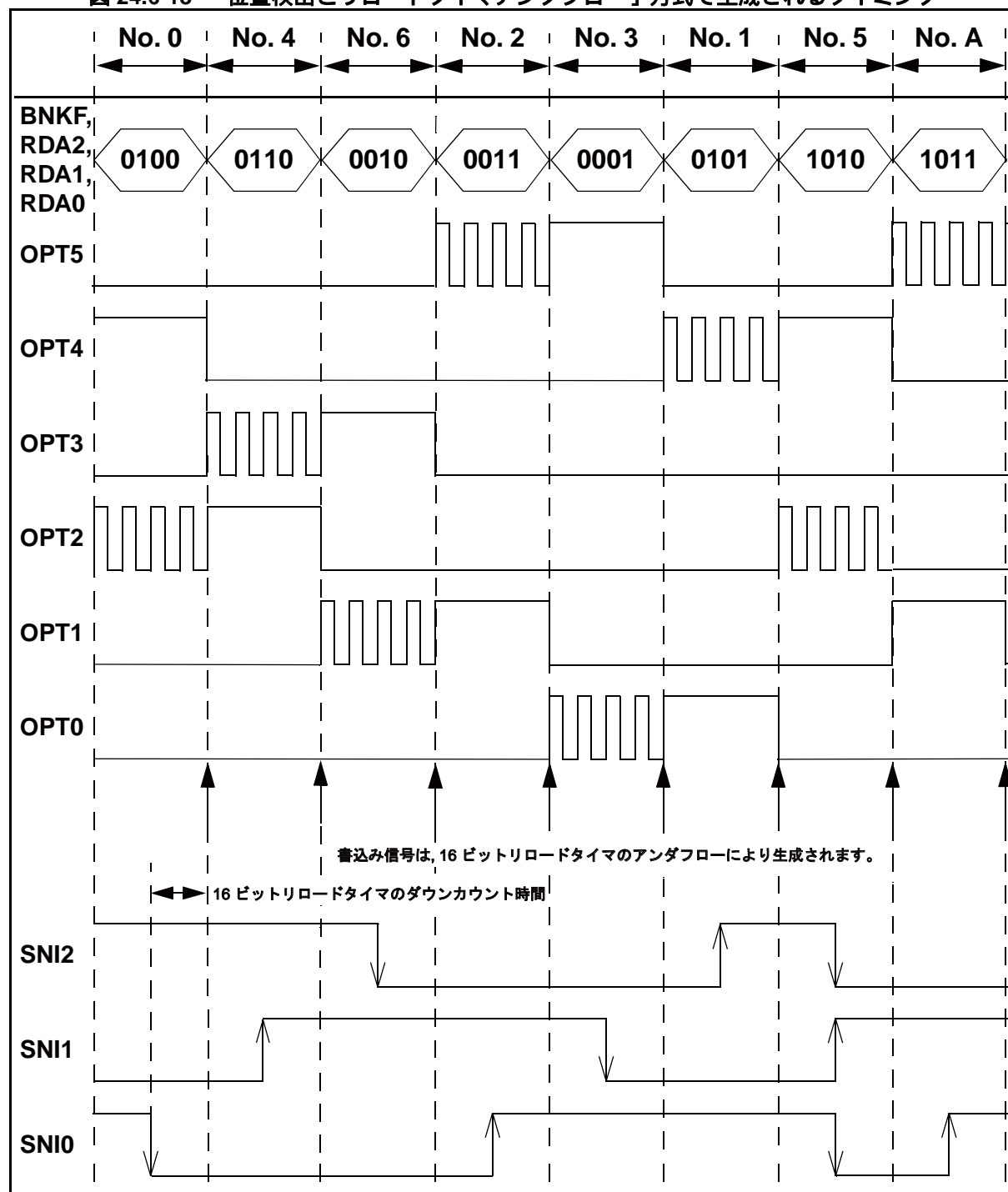


24.6.4.4 「位置検出とリロードタイマアンダフロー」方式

「位置検出とリロードタイマアンダフロー」方式の動作時における出力タイミング更新を図 24.6-18 および図 24.6-19 に示します。

■ 「位置検出とリロードタイマアンダフロー」方式で生成されるタイミング

図 24.6-18 「位置検出とリロードタイマアンダフロー」方式で生成されるタイミング



MB95330H シリーズ

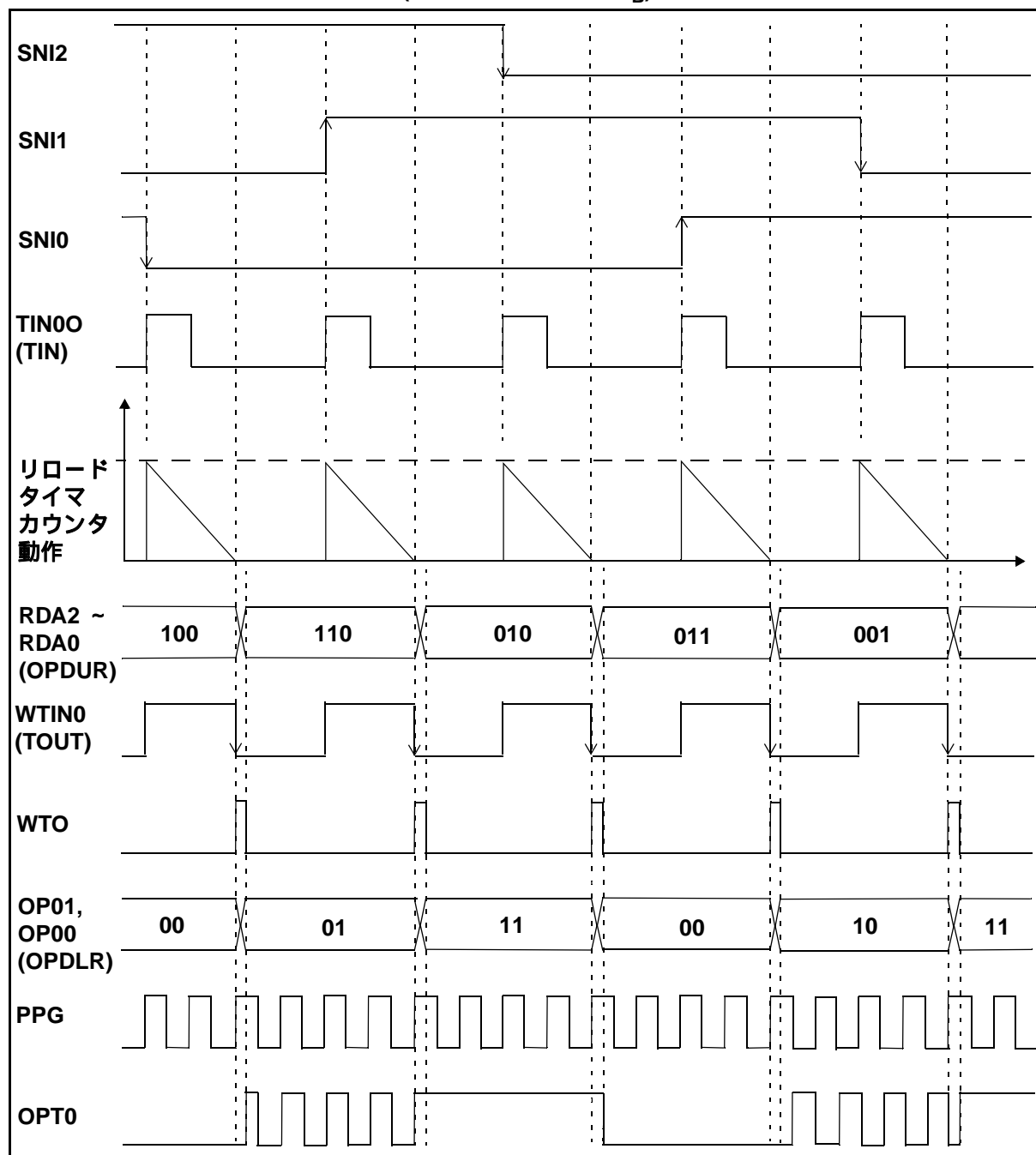
位置検出ごとに、各 SNI_x 端子と RDA_x ビットのペア (SNI2 と RDA2, SNI1 と RDA1, SNI0 と RDA0) に対する比較が実行されます。コンペアー一致により 16 ビットリロードタイマが起動します。16 ビットリロードタイマのアンダフローにより、書込み信号が生成されます。

SNI_x 端子の有効エッジ入力に従って出力される OPT_x 端子出力波形は、図 24.6-19 に示されているとおりです。16 ビットリロードタイマは、SNI2 ~ SNI0 端子と RDA2 ~ RDA0 ビットの値とが比較され、一致すると起動します。RDA2 ~ RDA0 ビットで指定された出力データバッファレジスタ (OPDBRH_x, OPDBRL_x) から出力データレジスタ (OPDUR, OPDLR) へのデータ転送は、16 ビットリロードタイマのアンダフローがトリガとなります。出力データの動作は自動的に更新されます。

この方式を使用するには、リロードタイマは「ワンショットモード」で使用する必要があります。TIN00 は、2 マシンサイクルより長くする必要があります。

■ 「位置検出とリロードタイマアンダフロー」方式で生成されるタイミング
(OPS2 ~ OPS0 = 011_B)

図 24.6-19 「位置検出とリロードタイマアンダフロー」方式で生成されるタイミング
(OPS2 ~ OPS0 = 011_B)



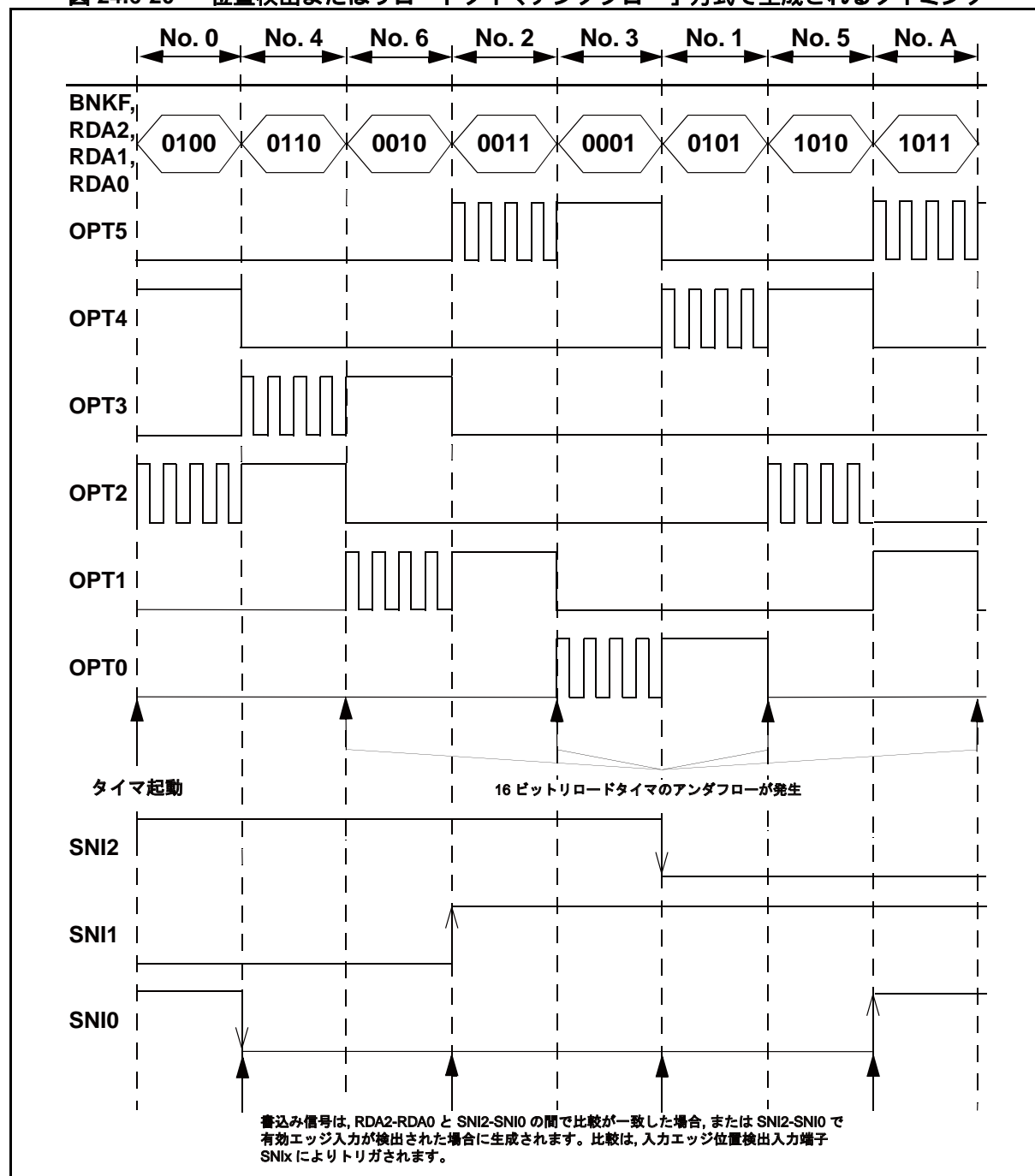
MB95330H シリーズ

24.6.4.5 「位置検出またはタイマアンダフロー」方式

「位置検出またはリロードタイマアンダフロー」方式の動作時における出力タイミング更新を図 24.6-20 および図 24.6-21 に示します。この方式は、OPS2 ~ OPS0 = 100_B の設定により選択されます。

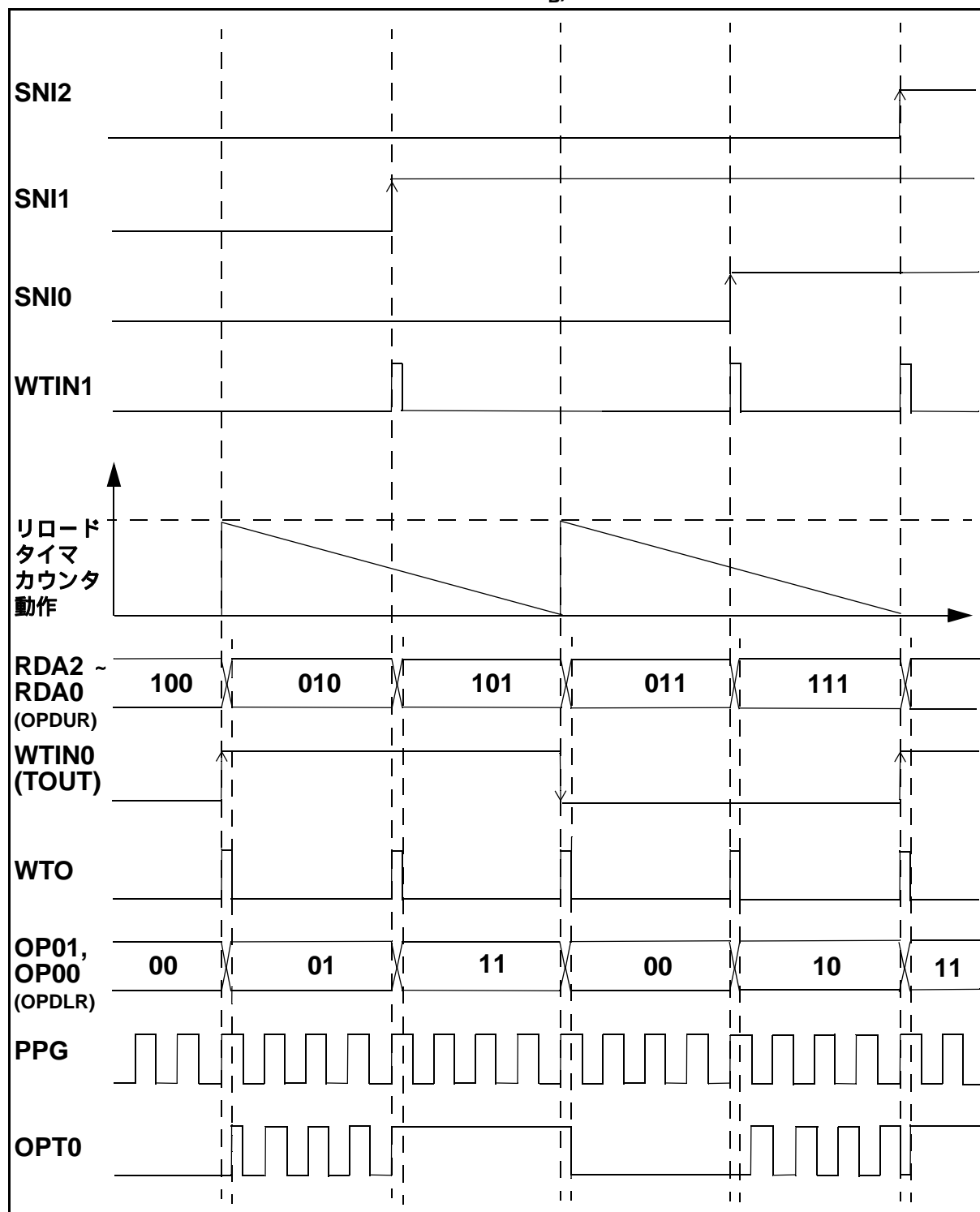
■ 「位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング

図 24.6-20 「位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング



■ 「位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング
(OPS2 ~ OPS0 = 100_B)

図 24.6-21 「位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング (OPS2 ~ OPS0 = 100_B)



MB95330H シリーズ

24.6.4.6 「ワンショット位置検出」方式

「ワンショット位置検出」方式において入力端子 SNIx がトリガとなる出力タイミング更新を図 24.6-22 に示します。

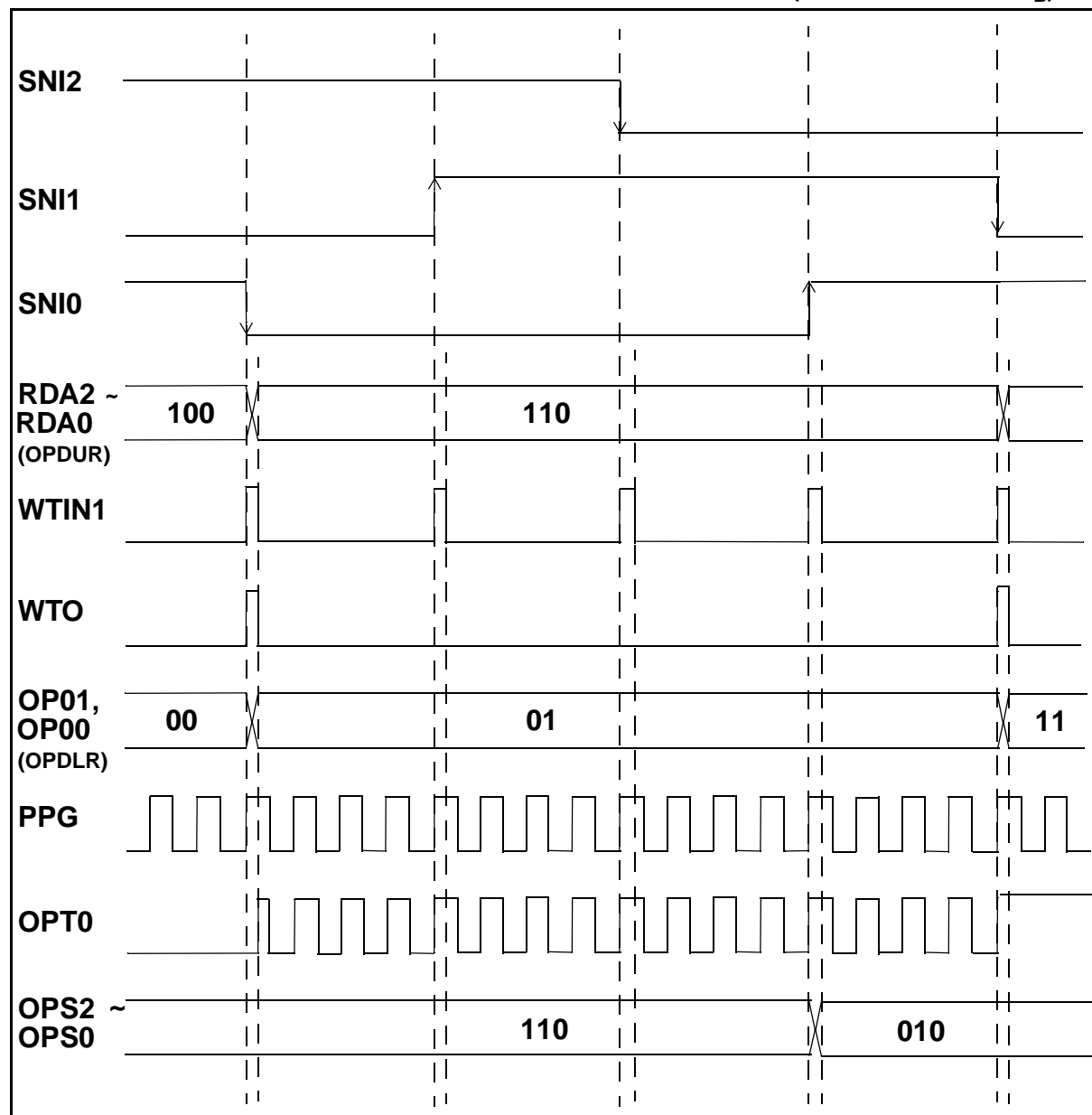
■「ワンショット位置検出」方式

最初の有効位置が検出されてから動作モードが変更されるまでに位置検出が認識されない点を除き、「位置検出」方式の動作と同じです。OPTx 出力波形を図 24.6-22 に示します。

リロードタイマは、この動作モードで自由に使用できます。

■「ワンショット位置検出」方式で生成されるタイミング ($\text{OPS2} \sim \text{OPS0} = 110_{\text{B}}$)

図 24.6-22 「ワンショット位置検出」方式で生成されるタイミング ($\text{OPS2} \sim \text{OPS0} = 110_{\text{B}}$)



24.6.4.7 「ワンショット位置検出とリロードタイマアンダフロー」方式

「ワンショット位置検出とリロードタイマアンダフロー」方式の動作時における出力タイミング更新を図 24.6-23 に示します。

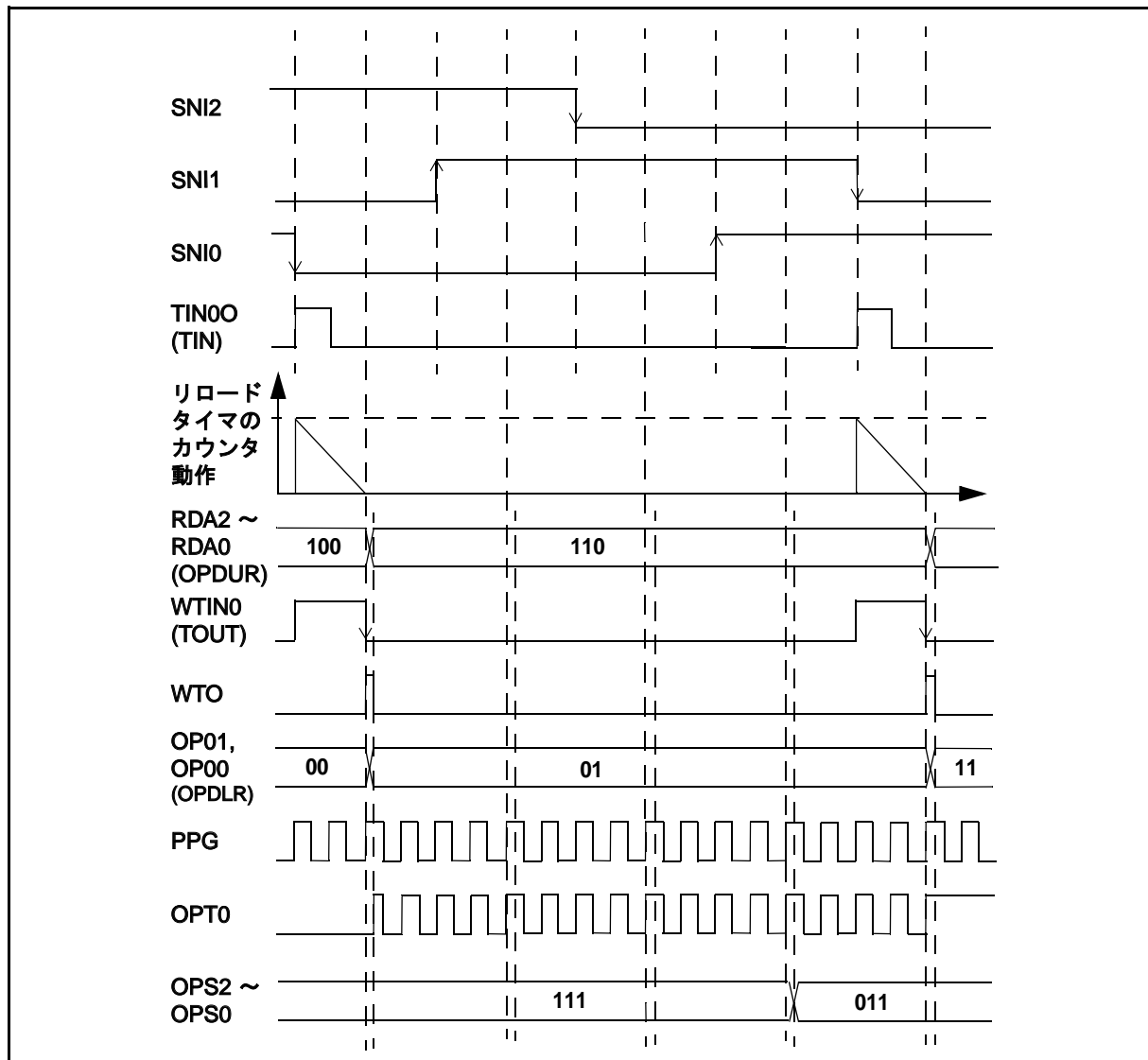
■「ワンショット位置検出とリロードタイマアンダフロー」方式

最初の有効位置が検出されてから動作モードが変更されるまでに位置検出が認識されない点を除き、「位置検出とリロードタイマアンダフロー」方式の動作と同じです。OPTx 端子出力波形を図 24.6-23 に示します。

この方式を使用するには、リロードタイマは「ワンショットモード」で使用する必要があります。TIN00 は、2 マシンサイクルより長くする必要があります。

■「ワンショット位置検出とリロードタイマアンダフロー」方式で生成されるタイミング (OPS2 ~ OPS0 = 111_B)

図 24.6-23 「ワンショット位置検出とリロードタイマアンダフロー」方式で生成されるタイミング
(OPS2 ~ OPS0 = 111_B)



24.6.4.8 「ワンショット位置検出またはリロードタイマアンダフロー」方式

「ワンショット位置検出またはリロードタイマアンダフロー」方式の動作時における出力タイミング更新を図 24.6-24 に示します。この方式は、OPS2 ~ OPS0 = 101_B の設定により選択されます。

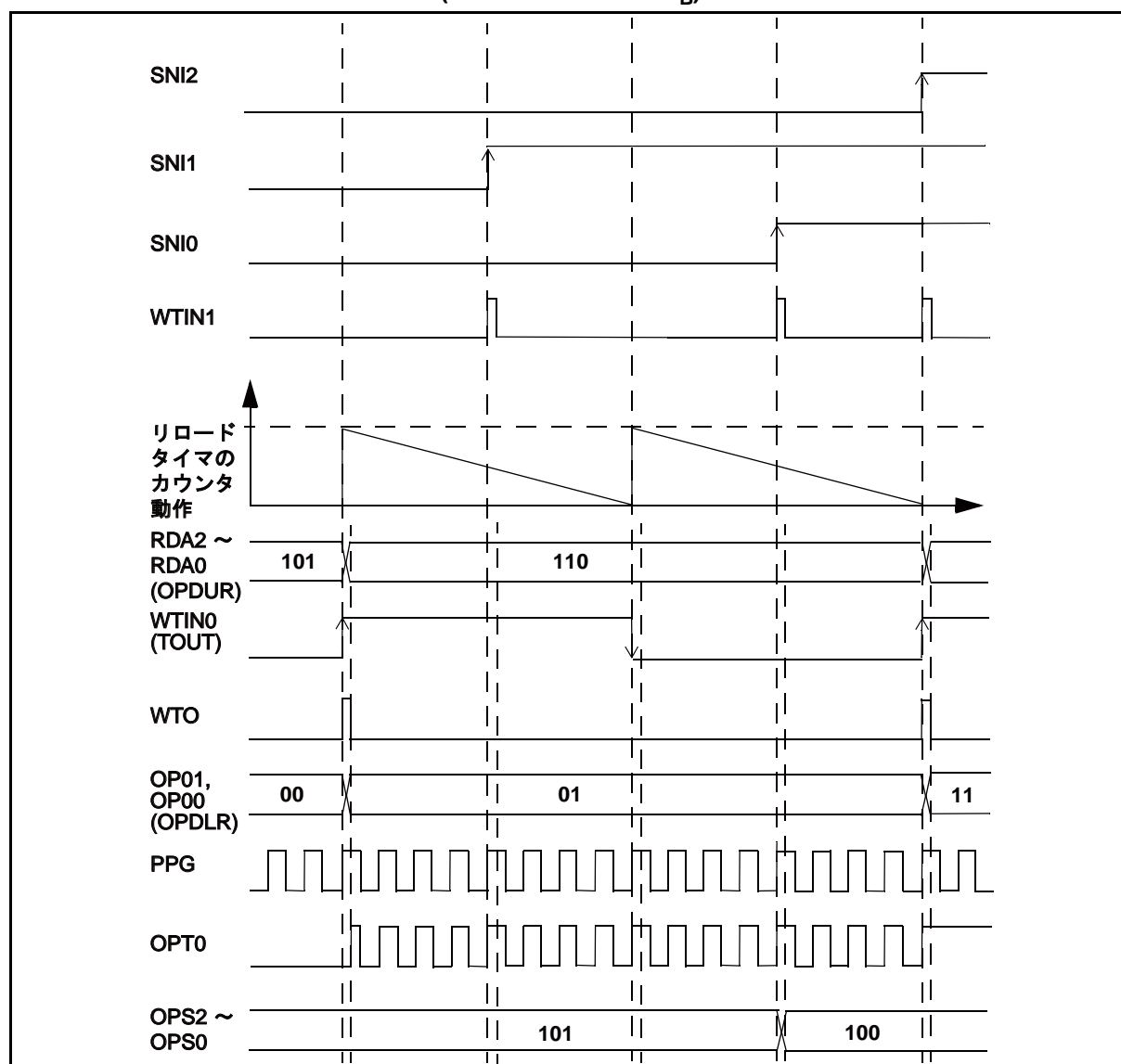
■「ワンショット位置検出またはリロードタイマアンダフロー」方式

最初の有効位置が検出されてから動作モードが変更されるまでに位置検出が認識されない点を除き「位置検出または 16 ビットリロードタイマアンダフロー」方式の動作と同じです。OPTx 端子出力波形を図 24.6-24 に示します。

■「ワンショット位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング (OPS2 ~ OPS0 = 101_B)

MB95330H シリーズ

図 24.6-24 「ワンショット位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング
(OPS2 ~ OPS0 = 101_B)



24.6.5 DTTI 入力制御の動作

DTTI 入力制御回路の動作について説明します。

■ DTTI 入力制御の動作

DTTI 回路は、PORTx と多重化される OPTx 端子への PDRx (PORTx データレジスタ) 値の出力を制御します。OPTx は OPEx が "1" に設定されると有効になります。動作モードは、出力制御レジスタ上位 (OPCUR) の DTIE ビット (bit15) によって許可されます。

< 注意事項 >

DTTI 回路が有効になる前に、OPTx 端子と多重化される PORTx が、データ方向レジスタにより出力ポートとして設定されていることを確認してください。

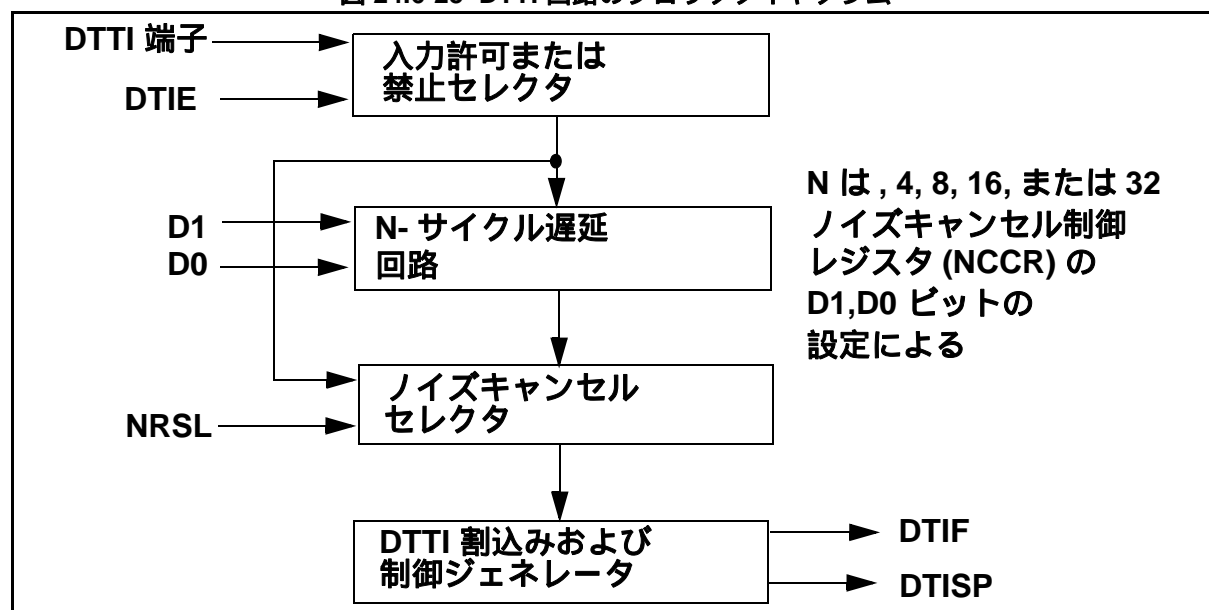
出力制御レジスタ上位 (OPCUR) の DTIE ビットが "1" に設定されると、OPT5 ~ OPT0 端子の波形出力は DTTI 端子の有効レベルで有効になります。DTTI 端子が "L" レベル入りに設定されると、OPTx 出力はインアクティブレベルに固定されます。ソフトウェアは、PORTx の PDRx に対する各 OPTx 端子をインアクティブレベルに設定できます。その後 OPTx 端子は、PORTx の PDRx に書き込まれたデータで動作します。

出力が DTTI 端子の入力によりインアクティブレベルに固定されている間でもタイマは動作を継続し、位置検出機能は停止せず、出力データバッファレジスタ (OPDBRHx, OPDBRLx) から出力データレジスタ (OPDUR, OPDLR) へのデータ転送は継続され、波形が生成されます。しかし、OPT5 ~ OPT0 端子へ波形は出力されません。

DTTI 回路のブロックダイアグラムを図 24.6-25 に示し、D1,D0 が "00_B" に設定されている時の DTTI 回路のタイミングダイアグラムを図 24.6-26 に示します。

■ DTTI 回路のブロックダイアグラム

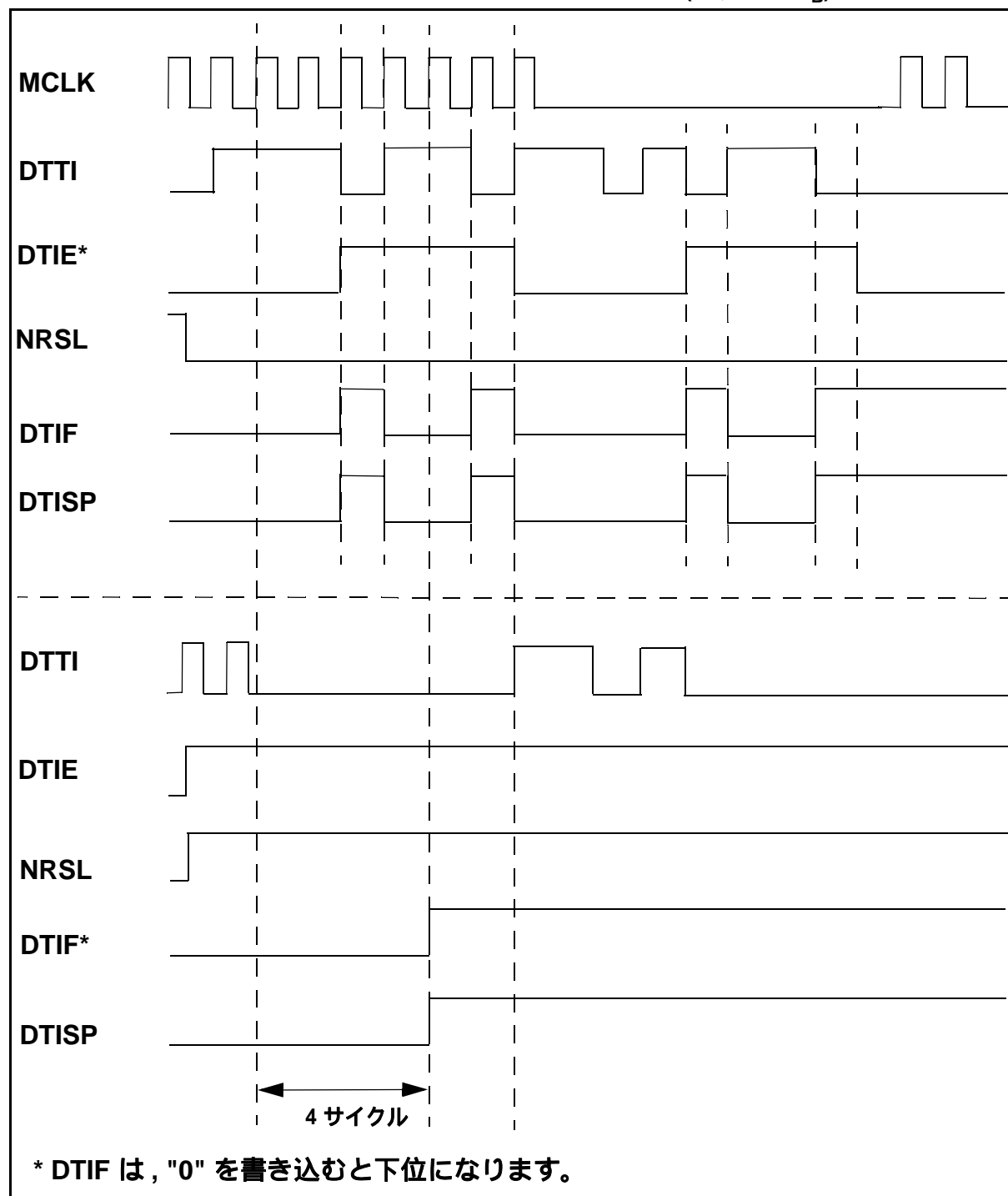
図 24.6-25 DTTI 回路のブロックダイアグラム



MB95330H シリーズ

■ DTTI 回路のタイミングダイアグラム (D1, D0 = 00_B)

図 24.6-26 DTTI 回路のタイミングダイアグラム (D1, D0 = 00_B)



< 注意事項 >

ノイズ除去後, DTTI が認識されてから DTISP が有効になるまでの時間は, 最も遅くて 2 サイクル, 最速で 1 サイクルです。

■ DTTI と OPTx 出力の関係

表 24.6-4 DTTI と OPTx 出力の関係

NRSL	DTIE	DTTI	機能
X	0	X	DTTI は OPTx に影響を与えません。(初期値)
0	1	0	DTTI が有効になります。ノイズフィルタは有効になりません。DTTI 端子の "L" 入力は, PDR _x で設定されているインアクティブレベルの出力をトリガします。DTTI 割込みが生成されます。
0	1	1	DTTI は OPTx に影響を与えません。
1	1	0	DTTI が有効になります。ノイズフィルタは有効になります。DTTI 端子の "L" 入力, PDR _x で設定されているインアクティブレベルの出力をトリガとします。DTTI 割込みが生成されます。
1	1	1	DTTI は OPTx に影響を与えません。

MB95330H シリーズ

24.6.6 ノイズ除去機能の動作

SNIx 端子および DTTI 端子のノイズ除去機能について説明します。

■ ノイズ除去機能の動作

● DTTI 端子のノイズ除去機能

出力制御レジスタ上位 (OPCUR) の NRSL ビット (bit12) に "1" を設定すると、DTTI 端子入力のノイズ除去機能を使用できます。ノイズ除去機能が選択されると、ノイズ除去回路は、出力端子をインアクティブレベルに固定するタイミングを約 4, 8, 16 または 32 マシンクロックだけ遅延させます。

< 注意事項 >

DTTI 入力制御回路は周辺機能のマシンクロックを使用するため、DTTI 入力が有効になった場合でも、発振が停止するモード (STOP モードなど) 時には入力は無効になります。

● SNI2 ~ SNI0 端子のノイズ除去機能

入力制御レジスタ下位 (IPCLR) の SNC2 ~ SNC0 ビット (bit5 ~ bit3) に "1" を設定すると、SNI2 ~ SNI0 端子入力のノイズ除去機能を使用できます。ノイズ除去機能が選択されると、ノイズ除去回路は入力を約 4 マシンクロックだけ遅延させます。ノイズ除去回路は周辺クロックを使用するので、SNIx 入力が有効になった場合でも、発振が停止するモード (STOP モードなど) 時は入力が無効になります。

● 設定可能なノイズ除去回路

除去されるノイズのパルス幅は、4, 8, 16 または 32 マシンサイクル未満になるように設定することが可能です。すなわち、16 MHz マシンクロック時、回路は $0.25\mu\text{s}$ ~ $2\mu\text{s}$ の幅のパルスをフィルタリングできます。SNIx 端子と DTTI 端子のノイズ除去回路を設定するための制御は分離されています。ノイズキャンセル制御レジスタを図 24.4-13 に示します。

24.6.7 16 ビットタイマの動作

16 ビットタイマはバッファ機能とコンペアクリア機能を持っており，モータ速度検査タイムアウトや異常検出タイムアウトとして使用します。16 ビットタイマは，リセットが完了しカウント有効ビットが設定された後，カウンタ値 "0000_H" からカウントアップを開始します。

■ 16 ビットタイマの動作

カウンタ値は，以下の条件でクリアされます。

- オーバフローが発生した
- コンペアクリアレジスタ (CPCUR, CPCLR) との一致が検出された
- 動作中にタイマ制御状態レジスタ (TCSR) の TCLR ビットに "1" が書き込まれた
- 書込みタイミング信号が生成され，タイマ制御状態レジスタ (TCSR) の MODE ビットが "0" に設定された
- 位置検出信号が生成され，タイマ制御状態レジスタ (TCSR) の MODE ビットが "1" に設定された
- リセットされた

コンペアクリアレジスタとの一致でカウンタがクリアされると，割込みが生成されません。タイマオーバフローが発生しても，割込みは生成されません。

< 注意事項 >

コンペアクリアレジスタやタイマバッファレジスタへアクセスする場合は，ワードアクセス命令を使用してください。

図 24.6-27 オーバフローによるカウンタクリア

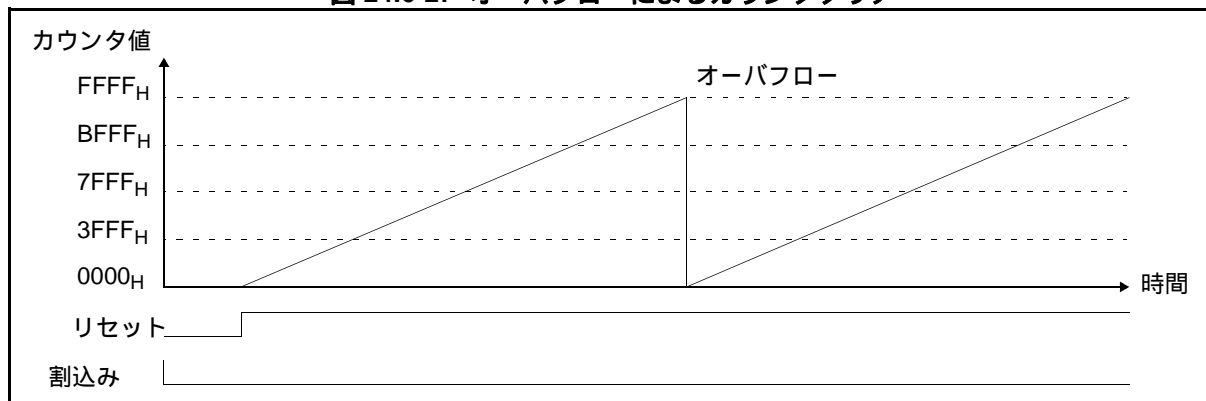
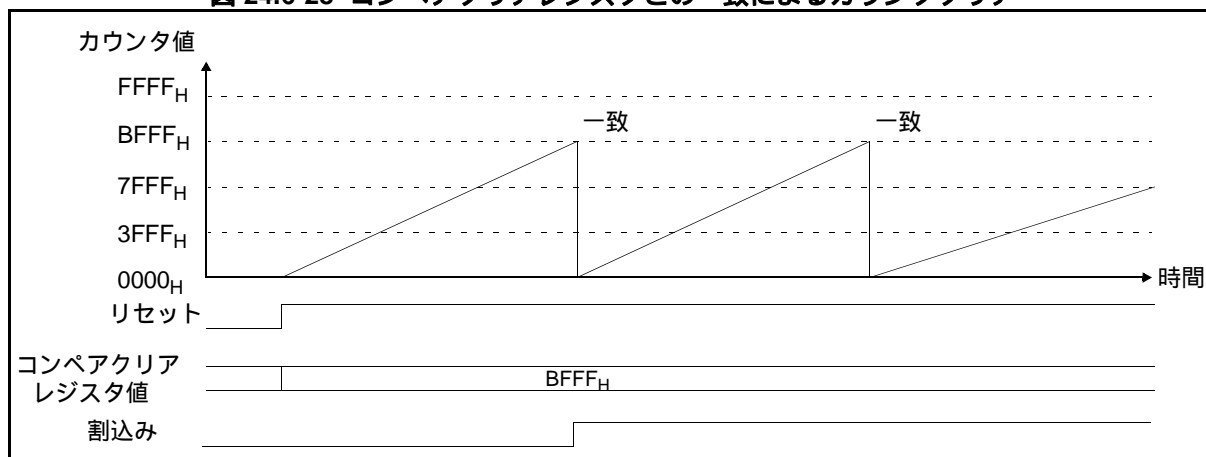


図 24.6-28 コンペアクリアレジスタとの一致によるカウンタクリア



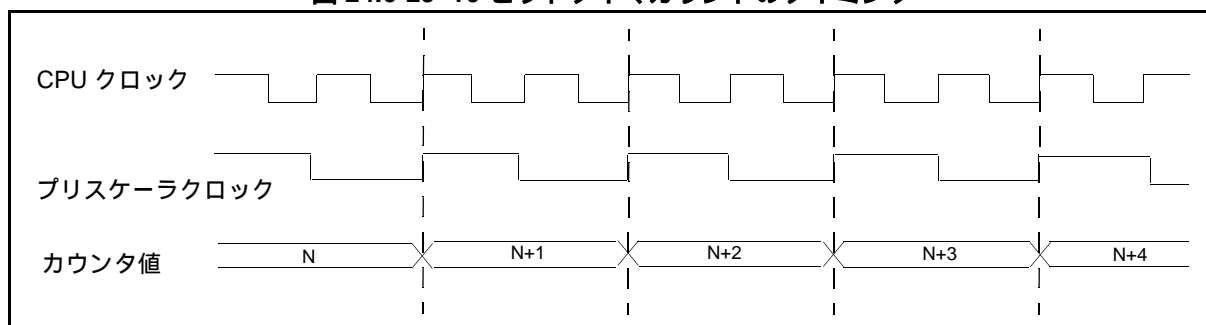
■ 16 ビットタイマのタイミング

16 ビットタイマの値は、プリスケールクロックに基づくタイミングで増加し、立上りエッジでカウントアップします。

< 注意事項 >

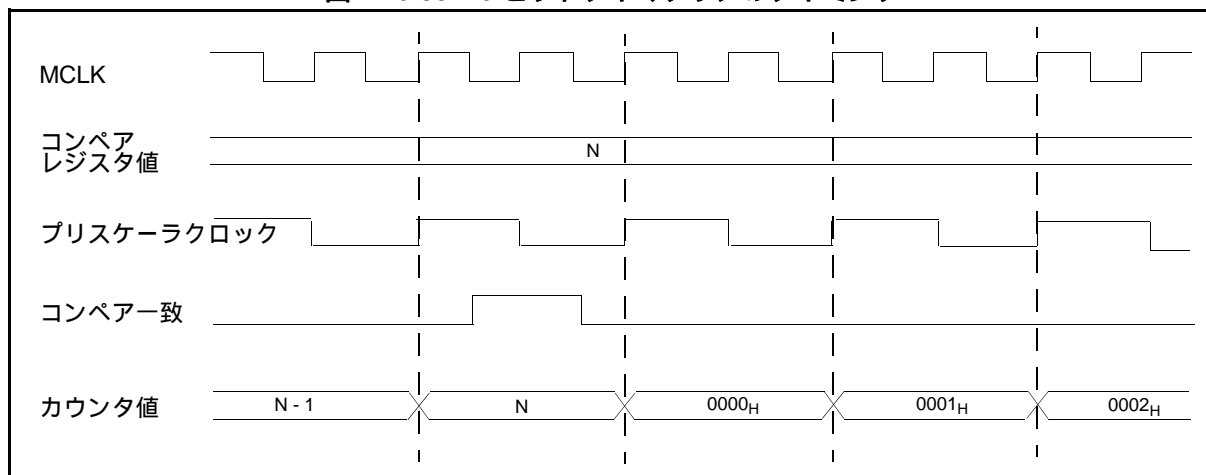
プリスケールクロックが変化する前に、TMEN ビット "0" を設定してタイマカウンタを無効にする必要があります。

図 24.6-29 16 ビットタイマカウントのタイミング



カウンタは、リセットされたとき、ソフトウェアクリア (TCLR) が行われたとき、コンペアクリアレジスタとの一致が検出されたとき、書込みタイミング信号または位置検出信号が生成されるとクリアされます。リセットが発生した場合は、カウンタは即座にクリアされます。コンペアクリアレジスタとの一致、ソフトウェアクリア (TCLR)、書込みタイミング信号または位置検出信号が生成された場合は、カウントタイミングと同期してクリアされます。

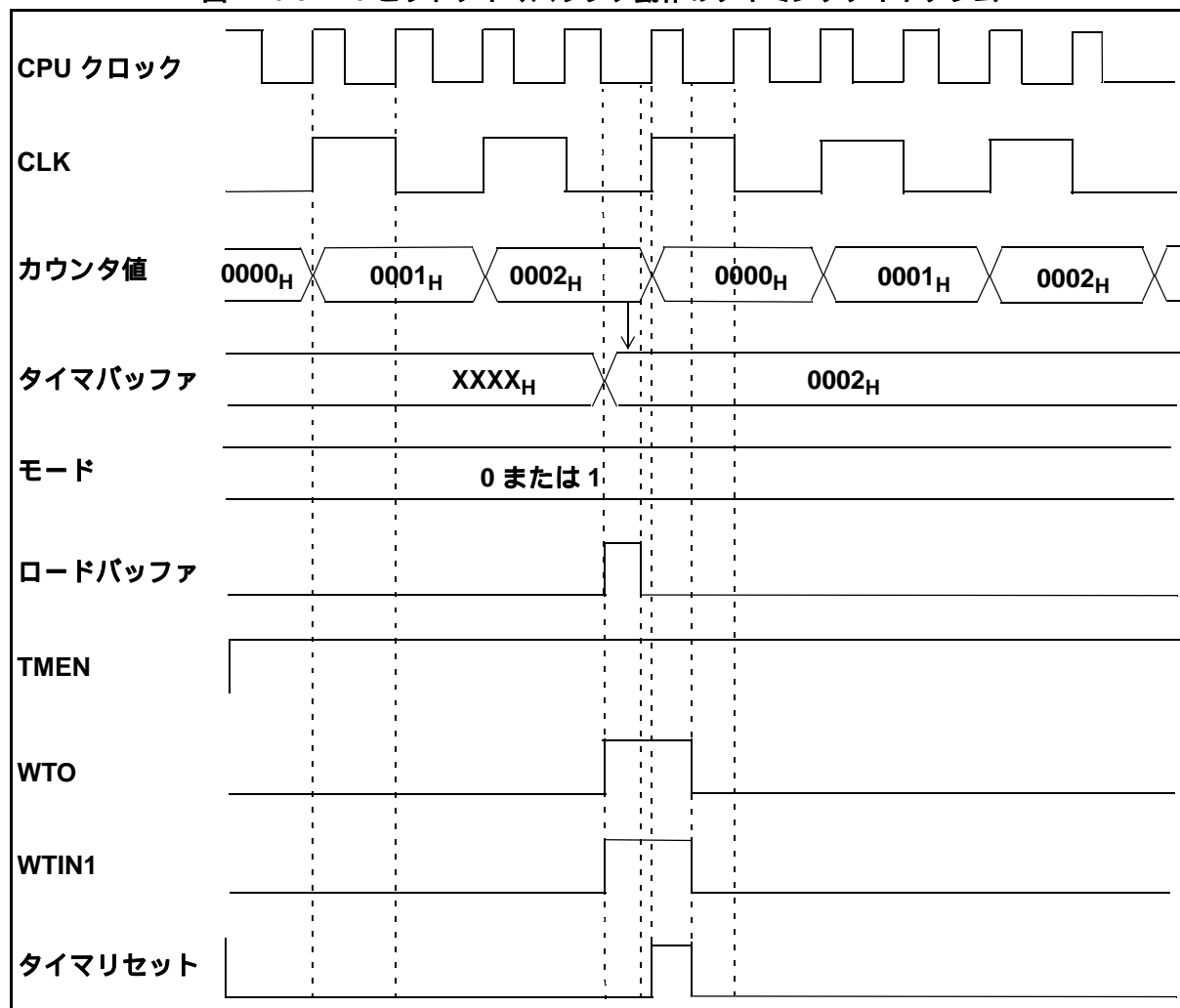
図 24.6-30 16 ビットタイマクリアのタイミング



MB95330H シリーズ

■ 16 ビットタイマバッファ動作のタイミングダイアグラム

図 24.6-31 16 ビットタイマバッファ動作のタイミングダイアグラム



■ マルチパルスジェネレータの 16 ビットタイマの使用

16 ビットタイマは、書込みタイミング割込みフラグまたは位置検出割込みフラグが設定されるとリセットされます（タイマ制御状態レジスタ (TCSR) の MODE ビットで選択可能）。

16 ビットタイマは、タイマ制御状態レジスタ (TCSR) の TMEN ビットで起動または停止できます。タイマオーバフロー割込みは存在しません。16 ビットタイマは、再起動されるたびに現カウンタ値がバッファにラッチされ、速度が計算されます。

カウンタ値がコンペアクリアレジスタ (CPCUR, CPCLR) と一致すると、CPU への割込みが発生し、タイマはリセットされます。

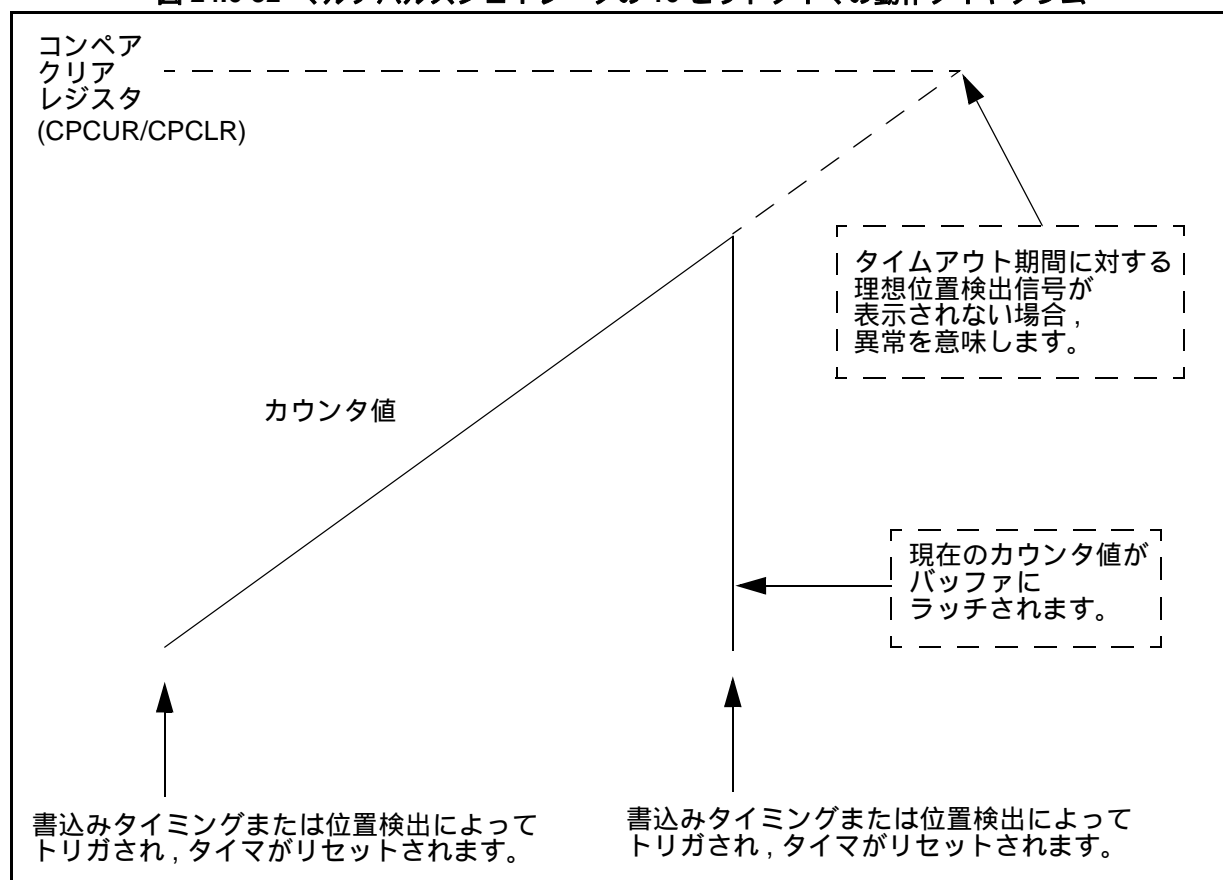
< 注意事項 >

コンペアクリアレジスタ上位 (CPCUR) およびコンペアクリアレジスタ下位 (CPCLR) にタイマカウンタ値と同じ値がロードされると、同じカウンタ値が次回発生するまで比較動作は行われません。

コンペアクリア割込みは書込みタイミング割込みと、コンペアー一致割込みは位置検出割込みと割込みベクタを共用します。

■ マルチパルスジェネレータの 16 ビットタイマの動作ダイアグラム

図 24.6-32 マルチパルスジェネレータの 16 ビットタイマの動作ダイアグラム



MB95330H シリーズ

24.7 マルチパルスジェネレータ使用上の注意

マルチパルスジェネレータを使用する上での注意事項を示します。

■ 波形シーケンサ使用上の注意

● 設定プログラム使用上の注意

- ある PPG 同期モードから別の PPG 同期モードへの切換え（たとえば、立上りエッジ同期 (PCUR: WTS1, WTS0 = 01_B) から立下りエッジ同期 (PCUR: WTS1, WTS0 = 10_B) への切換え、またはその逆）は、禁止されています。よって、同期モード (PCUR: WTS1, WTS0 = 00_B) はいずれも、このような切換え点にすることはできません。
- データ転送方式を変更すると、選択される次のデータバッファレジスタは、必ず出力データレジスタ上位 (OPDUR) の BNKF, RDA2 ~ RDA0 ビットで指定されます。これは、BNKF, RDA2 ~ RDA0 ビットが無視される「OPDBRH0/OPDBRL0 書込み」方式 (PCUR: OPS2 ~ OPS0 = 000_B) には適用されません。「OPDBRH0/OPDBRL0 書込み」方式では、BNKF および RDA2 ~ RDA0 ビットは無視されます。
- 出力データレジスタ (OPDUR, OPDLR) へアクセスする際には、ワードアクセスをご使用ください。このとき、「MOVW」命令を使用して OPDUR および OPDLR へアクセスするか、「MOV」命令を使用して最初に OPDUR、次に OPDLR へアクセスしてください。
- データ転送に「OPDBRH0/OPDBRL0 書込み」方式 (PCUR: OPS2 ~ OPS0 = 000_B) を使用する場合は、出力データバッファレジスタ 0 に対してワードアクセス命令をご使用ください。下位レジスタまたは上位レジスタにバイトアクセスしても転送動作は開始しません。
- 「16 ビットリロードタイマアンダフロー」方式 (PCUR: OPS2 ~ OPS0 = 010_B) を使用するには、16 ビットリロードタイマは「リロードモード」である必要があります。16 ビットリロードタイマを起動するには、ソフトウェアトリガを使用する必要があります。16 ビットリロードタイマは、更新時間の事前設定および連続制御動作を実行するために必要となります。
- 「位置検出とタイマアンダフロー」方式 (PCUR: OPS2 ~ OPS0 = 011_B または 111_B) を使用するには、16 ビットリロードタイマは「ワンショットモード」である必要があります。TIN00 は、2 マシンサイクルより長くなければなりません。
- DTTI 回路が有効になる (PCUR: DTIE = 1) 前に、OPTx と多重化されている PORTx がデータ方向レジスタ (DDRx) で出力ポートとして設定されていることを確認してください。
- DTTI 入力制御回路は周辺クロックを使用するため、DTTI 入力が有効になった場合でも (PCUR: DTIE = 1)、入力は発振が停止するモード (STOP モードなど) 時には無効になります。
- ノイズ除去後、DTTI が認識されてから DTISP が有効になるまでの時間は、最も遅くて 2 サイクル、最速で 1 サイクルです。
- ノイズ除去機能が無効になっている (PCUR: NRSL = 0) 場合は、必ずノイズキャンセル制御レジスタ (NCCR) の D1 および D0 ビットを更新してください。

- ・ ノイズ除去機能が無効になっている (IPCLR: SNC2 ~ SNC0 = 000_B) 場合は、必ずノイズキャンセル制御レジスタ (NCCR) の S21, S20, S11, S10, S01 および S00 ビットを更新してください。

● 割込みに関する注意

- ・ 出力制御レジスタ上位 (OPCUR) の DTIF ビットが "1" に設定されたままになっていると、割込み処理から復帰できません。DTIF ビットは必ずクリアしてください。
- ・ 出力制御レジスタ上位 (OPCUR) の WTIF ビットが "1" に設定されたままになっていると、割込み処理から復帰できません。WTIF ビットは必ずクリアしてください。
- ・ 出力制御レジスタ下位 (OPCLR) の PDIF ビットが "1" に設定されたままになっていると、割込み処理から復帰できません。PDIF ビットは必ずクリアしてください。
- ・ 入力制御レジスタ上位 (IPCUR) の CPIF ビットが "1" に設定されたままになっていると、割込み処理から復帰できません。CPIF ビットは必ずクリアしてください。
- ・ 上記割込みは割込みベクタをほかのリソースと共用するので、割込みが使用されている場合は、割込み要因を割込み処理ルーチンで注意深く確認する必要があります。

■ 16 ビットタイマ使用上の注意

● 設定プログラム使用上の注意

- ・ コンペアクリアレジスタ (CPCUR, CPCLR) およびタイマバッファレジスタ (TMBUR, TMBLR) へアクセスする際には、ワードアクセスをご使用ください。
- ・ プリスケールクロックを切り換える場合は、タイマ制御状態レジスタ (TCSR) の TMEN ビットに "0" を設定し、事前にタイマカウンタを無効にしておかなければなりません。タイマ制御状態レジスタ (TCSR) の CLK2, CLK1 および CLK0 の更新は、タイマがカウントしていない間に行ってください。
- ・ コンペアクリアレジスタ上位 (CPCUR) およびコンペアクリアレジスタ下位 (CPCLR) にタイマカウンタ値と同じ値がロードされた場合は、比較動作は次の同じタイマカウンタ値まで行われません。

● 割込みに関する注意

- ・ タイマ制御状態レジスタ (TCSR) の ICLR ビットに "1" が設定されており、かつ割込み要求が許可になっている (TCSR: ICRE = 1) と、CPU は割込み処理から復帰できません。ICLR ビットは必ずクリアしてください。
- ・ 16 ビットタイマは割込みベクタをほかのリソースと共用するので、割込みが使用されている場合は、割込み要因を割込み処理ルーチンで注意深く確認しなければなりません。

● 端子の占有に関する注意

- 16 ビット PPG の許可状態に関わらず、マルチパルスジェネレータ (MPG) が許可されているとき、P66 は MPG 出力として使用されます。P17 は MPG 入力と 16 ビットリロードタイマ間で共有されます。よって、リソース出力の衝突を避けるため、上記 3 つのモジュールのうち 1 つのみを許可することが重要です。MPG が許可されているときは、16 ビット PPG のリソース出力を禁止 (PCNTL1:POEN = 0) し、さらに 16 ビットリロードタイマのリソース出力も禁止 (TMCSRL.OUTE = 0) します。

● 機能の衝突に関する注意

- 16 ビット PPG および 16 ビットリロードタイマは、マルチパルスジェネレータ (MPG) の一部分を構成するものです。MPG が許可されているとき、2 つのモジュールは MPG のために使用されるため、MPG から独立して機能することはできません。他のアプリケーションのために 16 ビット PPG または 16 ビットリロードタイマを使用する場合は、事前に MPG を無効にする必要があります。


```

MOVW  PCSR1,A      ;PPG 出力の周期を設定
MOVW  A,#003CH
MOVW  PDUT1,A      ;PPG 出力のデューティ比を設定
MOVW  A,#0110000000000110B
MOVW  PCNT1,A      ; 正常極性における PPG 出力を許可
                        ;16 ビット PPG タイマを許可
                        ;PPG をソフトウェアトリガ
                        ;PWM モードを選択
                        ; 割込みフラグをクリア , カウンタ開始

MOVW  A,#0103H
MOVW  OPCR,A      ;OPT0 と OPT1 出力を許可
                        ;データ転送用 OPDBRH0/OPDBRL0 書込み方式を
                        ;設定
                        ; 書込みタイミング割込みを許可
                        ; 割込みフラグをクリア

MOVW  A,#0009H
MOVW  OPDBR0,A    ;PPG 出力として OPT0 端子を設定
                        ;反転 PPG 出力として OPT1 端子を設定
                        ;データ転送開始

SETI                      ; 割込みを許可
LOOP:  MOV  A,#00H      ; 無限ループ
        MOV  A,#01H;
        JMP  LOOP;

;----- 割込みプログラム -----
WARI:

        CLRB  WTIF      ; 割込み要求フラグをクリア
        ; ;
        ; ユーザ処理
        ; ;
        RETI          ; 割込みから復帰

CODE  ENDS

;----- ベクタ設定 -----
VECT  CSEG  ABS
        ORG  OFFDAH      ; 割込み #16 (10H) 用ベクタを設定
        DW  WARI
        ORG  OFFFCH      ; リセットベクタを設定
        DW  0000H      ; シングルチップモードを設定
        DW  START
VECT  ENDS

```

END START
END

第25章

UART/SIO

UART/SIO の機能と動作について説明します。

- 25.1 UART/SIO の概要
- 25.2 UART/SIO の構成
- 25.3 UART/SIO のチャンネル
- 25.4 UART/SIO の端子
- 25.5 UART/SIO のレジスタ
- 25.6 UART/SIO の割込み
- 25.7 UART/SIO の動作説明と設定手順例
- 25.8 UART/SIO の設定例

25.1 UART/SIO の概要

UART/SIO は、汎用のシリアルデータ通信インタフェースです。クロック同期 (シンクロナス) またはクロック非同期 (アシンクロナス) で、可変データ長のシリアルデータ転送ができます。転送フォーマットは、NRZ 方式で、転送レートは専用ボーレートジェネレータまたは外部クロック (クロック同期モードのとき) から設定できます。

■ UART/SIO の機能

UART/SIO は、ほかの CPU や周辺装置とシリアルデータの送受信 (シリアル入出力) を行う機能があります。

- 全二重ダブルバッファがあり、全二重で双方向通信ができます。
- 同期転送モード (シンクロナス) と非同期転送モード (アシンクロナス) を選択できます。
- 専用のボーレートジェネレータによって最適なボーレートを選択できます。
- データ長は可変で、パリティなしの場合は 5 ビット ~ 8 ビット、パリティありの場合は 6 ビット ~ 9 ビットの設定ができます (表 25.1-1 を参照)。
- シリアルデータの方向 (エンディアン) を選択できます。
- データ転送フォーマットは、NRZ (Non Return to Zero) 方式です。
- 2 種類の動作モード (動作モード 0, 1) があります。

動作モード 0 は、クロック非同期モード (UART) として動作します。

動作モード 1 は、クロック同期モード (SIO) として動作します。

表 25.1-1 UART/SIO の動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	5	6	非同期	1 ビットまたは 2 ビット
	6	7		
	7	8		
	8	9		
1	5	-	同期	-
	6	-		
	7	-		
	8	-		

MB95330H シリーズ

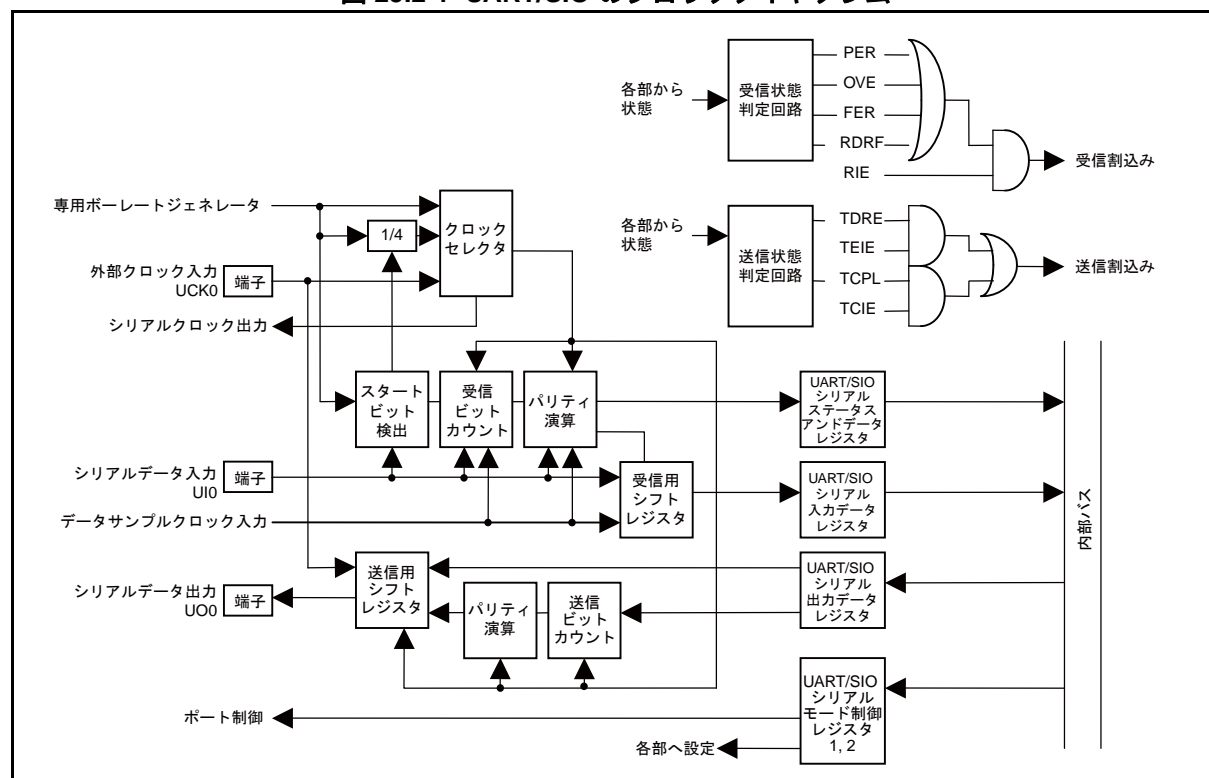
25.2 UART/SIO の構成

UART/SIO は、以下のブロックで構成されています。

- UART/SIO シリアルモード制御レジスタ 1 (SMC10)
- UART/SIO シリアルモード制御レジスタ 2 (SMC20)
- UART/SIO シリアルステータスアンドデータレジスタ (SSR0)
- UART/SIO シリアル入力データレジスタ (RDR0)
- UART/SIO シリアル出力データレジスタ (TDR0)

■ UART/SIO のブロックダイアグラム

図 25.2-1 UART/SIO のブロックダイアグラム



● UART/SIO シリアルモード制御レジスタ 1 (SMC10)

UART/SIO の動作モードを制御するレジスタです。シリアルデータの方向 (エンディアン), パリティの有無と極性, ストップビット長, 動作モード (同期 / 非同期), データ長およびシリアルクロックを設定します。

● UART/SIO シリアルモード制御レジスタ 2 (SMC20)

UART/SIO の動作モードを制御するレジスタです。シリアルクロック出力の許可 / 禁止, シリアルデータ出力の許可 / 禁止, 送信受信の許可 / 禁止, 受信エラーフラグクリアおよび割込みの許可 / 禁止を設定します。

● UART/SIO シリアルステータスアンドデータレジスタ (SSR0)

UART/SIO の送受信やエラーの状態を示します。

● UART/SIO シリアル入力データレジスタ (RDR0)

受信データを保持するレジスタです。シリアル入力に変換されてこのレジスタに格納されます。

● UART/SIO シリアル出力データレジスタ (TDR0)

送信データを設定するレジスタです。このレジスタに書き込まれたデータがシリアル変換されて出力されます。

■ 入力クロック

UART/SIO は, 専用ボーレートジェネレータからの出力クロック (内部クロック), または UCK0 端子からの入力信号 (外部クロック) を入力クロック (シリアルクロック) として使用します。

MB95330H シリーズ

25.3 UART/SIO のチャネル

UART/SIO のチャネルについて説明します。

■ UART/SIO のチャネル

MB95330H シリーズは、UART/SIO を 1 チャネル搭載しています。

UART/SIO の端子とレジスタを表 25.3-1 および表 25.3-2 にそれぞれ示します。

表 25.3-1 UART/SIO の端子

チャネル	端子名	端子機能
0	UCK0	クロック入出力
	UO0	データ出力
	UI0	データ入力

表 25.3-2 UART/SIO のレジスタ

チャネル	レジスタ略称	レジスタ対応 (本マニュアル上の表記)
0	SMC10	UART/SIO シリアルモード制御レジスタ 1
	SMC20	UART/SIO シリアルモード制御レジスタ 2
	SSR0	UART/SIO シリアルステータスアンドデータレジスタ
	TDR0	UART/SIO シリアル出力データレジスタ
	RDR0	UART/SIO シリアル入力データレジスタ

25.4 UART/SIO の端子

UART/SIO の端子を示します。

■ UART/SIO の端子

UART/SIO の端子は、クロック入出力端子 (UCK0)、シリアルデータ出力端子 (UO0) およびシリアルデータ入力端子 (UI0) です。

● UCK0

UART/SIO のクロック入出力端子です。

クロック出力を許可 (SMC20 : SCKE = 1) すると、対応するポート方向レジスタの値に関係なく、UART/SIO のクロック出力端子 (UCK0) として機能します。このとき、外部クロックは選択しないでください (SMC10 : CKS = 0 に設定)。

UART/SIO のクロック入力端子として使用する場合は、クロック出力を禁止 (SMC20 : SCKE = 0) し、対応するポート方向レジスタによって入力ポートに設定してください。このとき、必ず外部クロックを選択 (SMC10 : CKS = 0 に設定) してください。

● UO0

UART/SIO のシリアルデータ出力端子です。シリアルデータ出力を許可 (SMC20 : TXOE = 1) すると、対応するポート方向レジスタの値に関係なく、UART/SIO のシリアルデータ出力端子 (UO0) として機能します。

● UI0

UART/SIO のシリアルデータ入力端子です。UART/SIO のシリアルデータ入力端子として使用する場合は、対応するポート方向レジスタによって入力ポートに設定してください。

■ UART/SIO に関連する端子のブロックダイアグラム

図 25.4-1 UART/SIO の端子 UO0 (P15/UO0/PPG20) のブロックダイアグラム

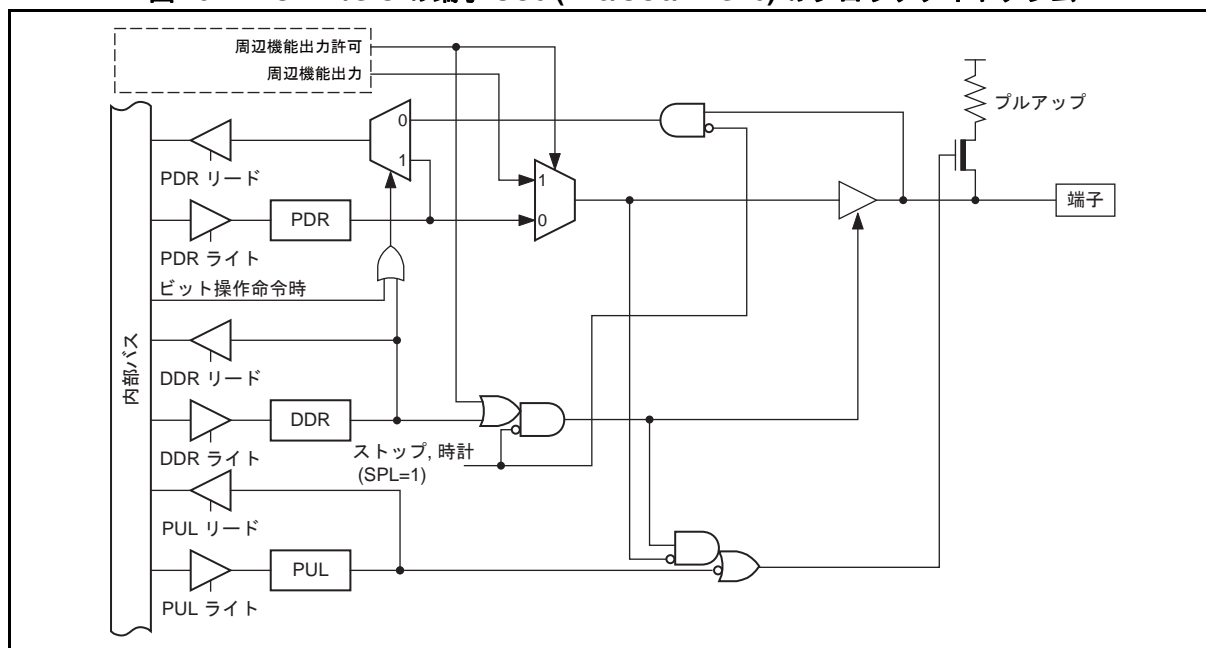


図 25.4-2 UART/SIO の端子 UCK0 (P14/UCK0/PPG01) のブロックダイアグラム

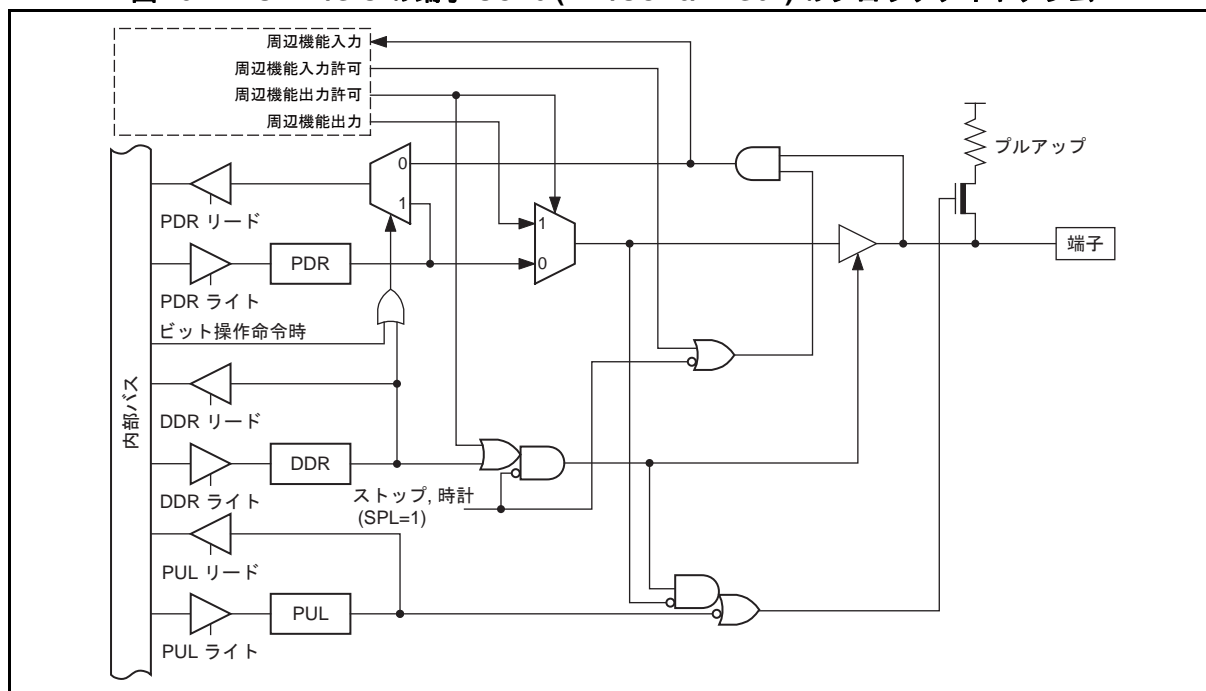
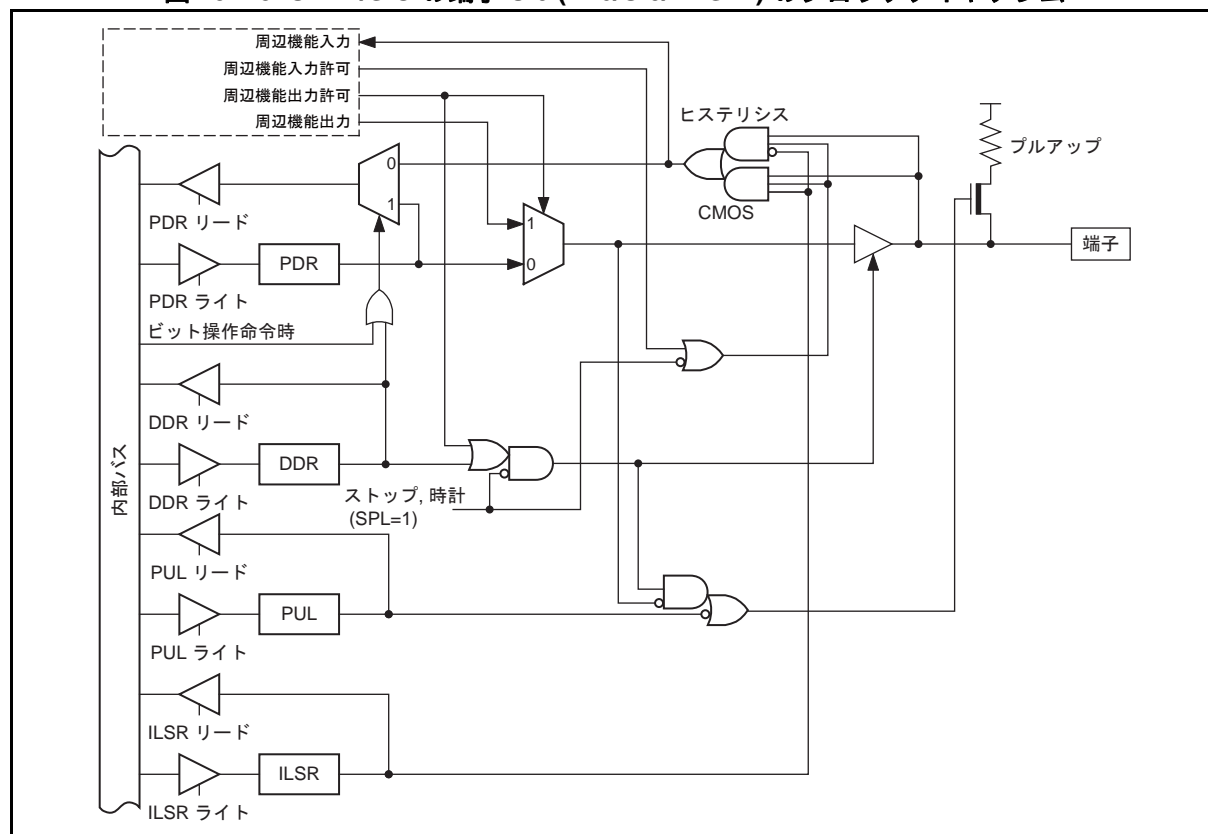


図 25.4-3 UART/SIO の端子 UI0 (P16/UI0/PPG21) のブロックダイアグラム



MB95330H シリーズ

25.5 UART/SIO のレジスタ

UART/SIO のレジスタは , UART/SIO シリアルモード制御レジスタ 1 (SMC10), UART/SIO シリアルモード制御レジスタ 2 (SMC20), UART/SIO シリアルステータスアンドデータレジスタ (SSR0) , UART/SIO シリアル出力データレジスタ (TDR0) および UART/SIO シリアル入力データレジスタ (RDR0) があります。

■ UART/SIO のレジスタ

図 25.5-1 UART/SIO のレジスタ

UART/SIO シリアルモード制御レジスタ 1 (SMC10)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0056 _H	BDS	PEN	TDP	SBL	CBL1	CBL0	CKS	MD	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
UART/SIO シリアルモード制御レジスタ 2 (SMC20)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0057 _H	SCKE	TXOE	RERC	RXE	TXE	RIE	TCIE	TEIE	00100000 _B
	R/W	R/W	R1/W	R/W	R/W	R/W	R/W	R/W	
UART/SIO シリアルステータスアンドデータレジスタ (SSR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0058 _H	-	-	PER	OVE	FER	RDRF	TCPL	TDRE	00000001 _B
	R0/WX	R0/WX	R/WX	R/WX	R/WX	R/WX	R(RM1), W	R/WX	
UART/SIO シリアル出力データレジスタ (TDR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0059 _H	TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
UART/SIO シリアル入力データレジスタ (RDR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
005A _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
R/W : リード / ライト可能 (読出し値は書き込み値) R(RM1),W : リード / ライト可能 (読出し値と書き込み値が異なる , リードモディファイライト (RMW) 系命令時は "1" 読出し) R/WX : リードオンリ (読出しは可能 , 書き込みは動作に影響なし) R0/WX : 読出し値は "0" , 書き込みは動作に影響なし R1/W : リード / ライト可能 (読出し値は "1") - : 未定義ビット									

25.5.1 UART/SIO シリアルモード制御レジスタ 1 (SMC10)

UART/SIO シリアルモード制御レジスタ 1 (SMC10) は , UART/SIO の動作モードを制御します。シリアルデータの方向 (エンディアン), パリティの有無と極性 , ストップビット長 , 動作モード (同期 / 非同期), データ長およびシリアルクロックを設定します。

■ UART/SIO シリアルモード制御レジスタ 1 (SMC10)

図 25.5-2 UART/SIO シリアルモード制御レジスタ 1 (SMC10)

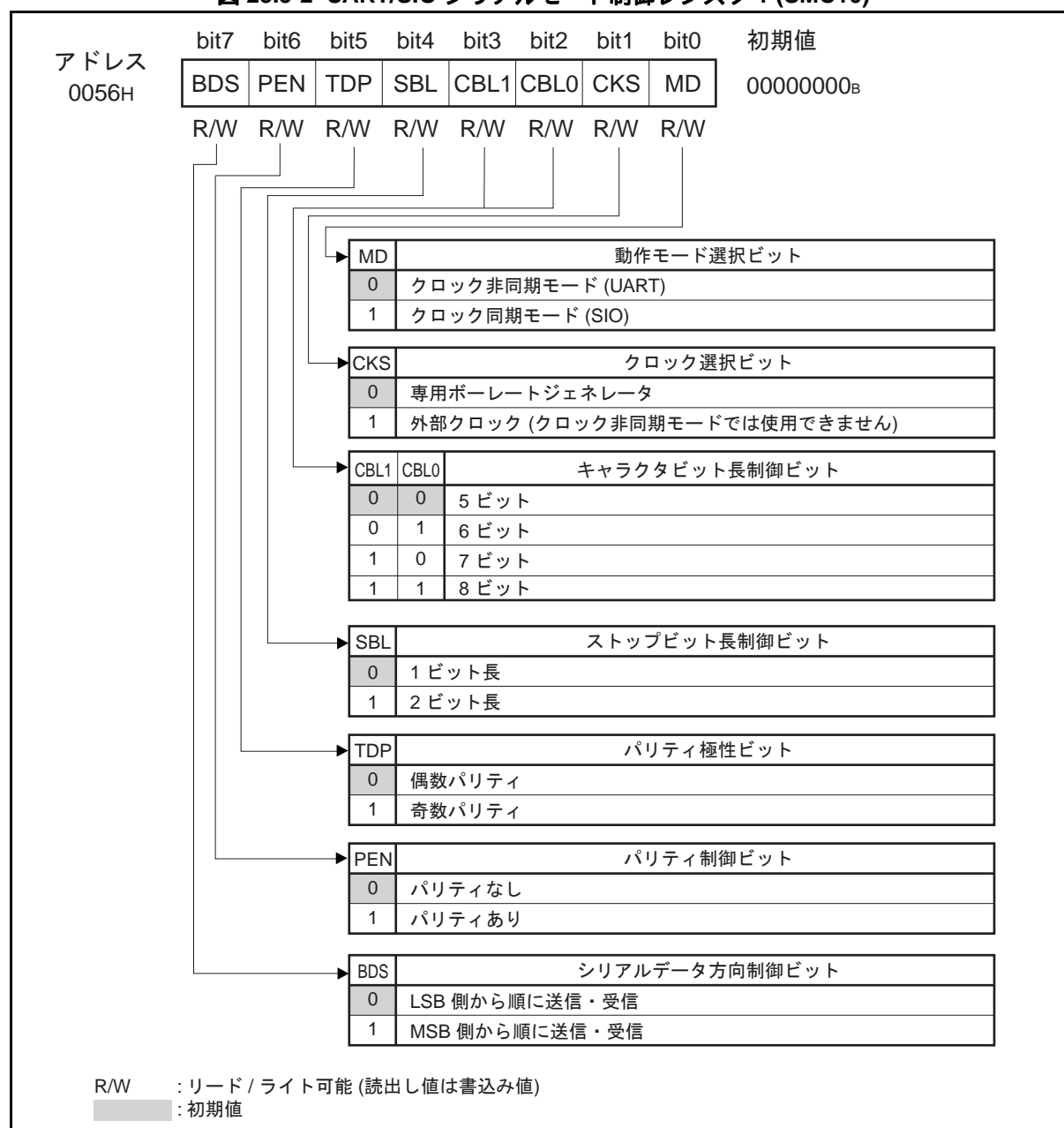


表 25.5-1 UART/SIO シリアルモード制御レジスタ 1 (SMC10) の各ビットの機能説明

ビット名		機能															
bit7	BDS: シリアルデータ 方向 制御ビット	シリアルデータの方向 (エンディアン) を設定します。 "0" に設定した場合: シリアルデータレジスタの LSB 側から順に送信・受信します。 "1" に設定した場合: シリアルデータレジスタの MSB 側から順に送信・受信します。															
bit6	PEN: パリティ制御 ビット	クロック非同期モード時, パリティのあり・なしを設定します。 "0" に設定した場合: パリティなし "1" に設定した場合: パリティあり															
bit5	TDP: パリティ極性 ビット	偶数 / 奇数パリティを制御します。 "0" に設定した場合: 偶数パリティ "1" に設定した場合: 奇数パリティ															
bit4	SBL: ストップビット 長制 御ビット	クロック非同期モード時のストップビット長を制御します。 "0" に設定した場合: ストップビット長は 1 になります。 "1" に設定した場合: ストップビット長は 2 になります。 (注意事項)本ビットの設定はクロック非同期モードの送信動作についてのみ有効です。 受信動作については, 本ビットに影響されず, ストップビット (1 ビット) を検出して受信を完了し, 受信データレジスタフルフラグが "1" に設定されます。															
bit3, bit2	CBL1, CBL0: キャラクタビット長 制御ビット	<p>キャラクタビット長を以下の表のように選択します。</p> <table border="1"> <thead> <tr> <th>CBL1</th><th>CBL0</th><th>キャラクタビット長</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>5</td></tr> <tr> <td>0</td><td>1</td><td>6</td></tr> <tr> <td>1</td><td>0</td><td>7</td></tr> <tr> <td>1</td><td>1</td><td>8</td></tr> </tbody> </table> <p>非同期モード / 同期モード共通に有効な設定です。</p>	CBL1	CBL0	キャラクタビット長	0	0	5	0	1	6	1	0	7	1	1	8
CBL1	CBL0	キャラクタビット長															
0	0	5															
0	1	6															
1	0	7															
1	1	8															
bit1	CKS: クロック選択 ビット	外部クロック / 専用ポーレートジェネレータを選択します。 "0" に設定した場合: 専用ポーレートジェネレータが選択されます。 "1" に設定した場合: 外部クロックが選択されます。 (注意事項)本ビットを "1" に設定した場合は, 強制的に UCK0 端子の出力が禁止されます。 クロック非同期モード (UART) では外部クロックは使用できません。															
bit0	MD: 動作モード選択ビッ ト	クロック非同期モード (UART) / クロック同期モード (SIO) を選択します。 "0" に設定した場合: クロック非同期モード (UART) となります。 "1" に設定した場合: クロック同期モード (SIO) となります。															

< 注意事項 >

UART/SIO シリアルモード制御レジスタ 1 (SMC10) を変更する場合, 送信・受信中の変更はしないでください。

25.5.2 UART/SIO シリアルモード制御レジスタ 2 (SMC20)

UART/SIO シリアルモード制御レジスタ 2 (SMC20) は、UART/SIO の動作モードを制御します。シリアルクロック出力の許可 / 禁止、シリアルデータ出力の許可 / 禁止、送信受信の許可 / 禁止、受信エラーフラグクリアおよび割込みの許可 / 禁止を設定します。

■ UART/SIO シリアルモード制御レジスタ 2 (SMC20)

図 25.5-3 UART/SIO シリアルモード制御レジスタ 2 (SMC20)

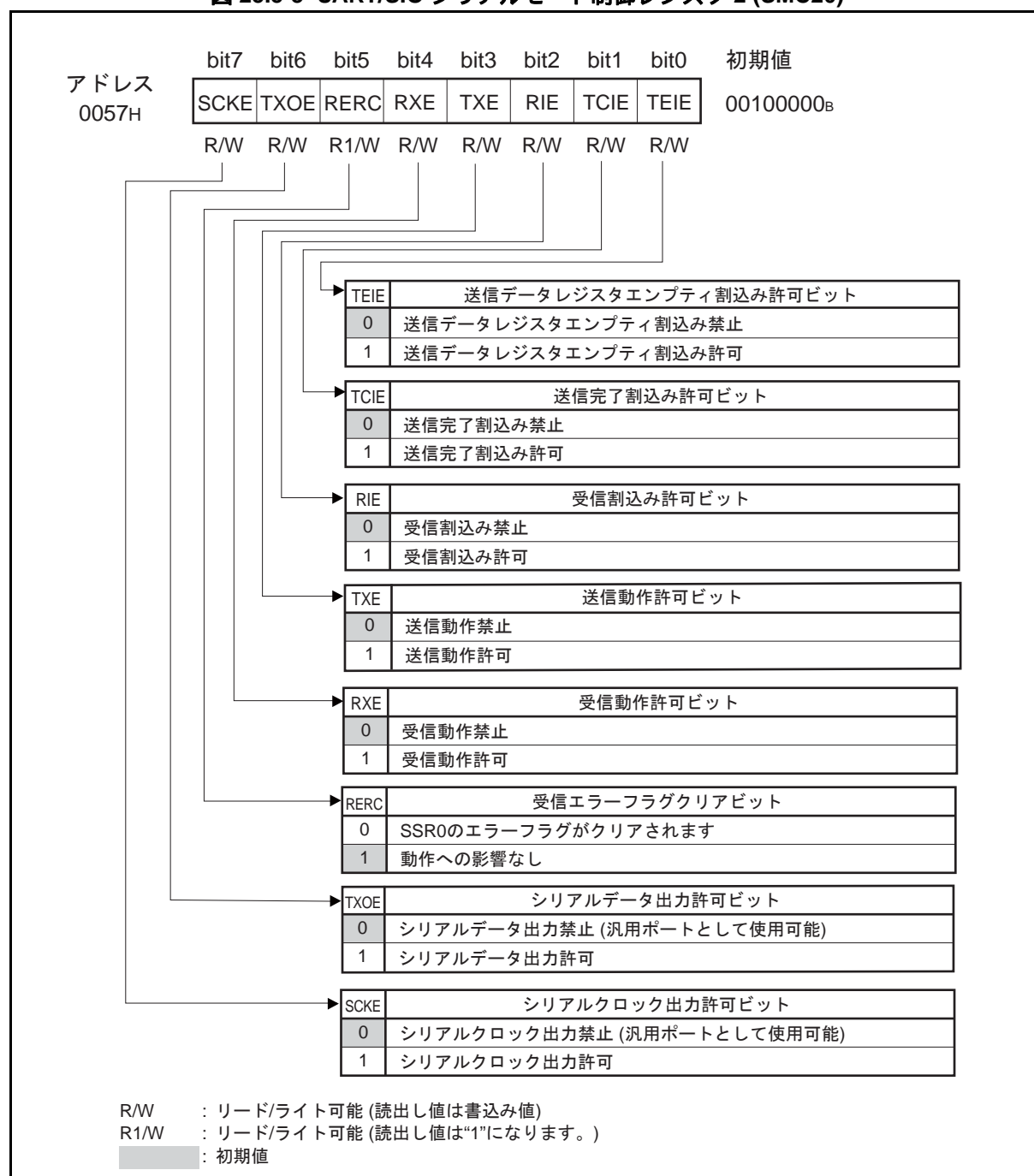


表 25.5-2 UART/SIO シリアルモード制御レジスタ 2 (SMC20) の各ビットの機能説明

ビット名		機能
bit7	SCKE: シリアルクロック出力許可ビット	クロック同期モード時に、シリアルクロック (UCK0) 端子の入出力を制御します。 "0" に設定した場合：汎用ポートとして使用できます。 "1" に設定した場合：クロック出力許可となります。 (注意事項)CKS=1 のとき、本ビットを "1" に設定しても内部クロックは出力されません。 SMC10:MD が "0" のとき (非同期モード) は、本ビットを "1" に設定するとポートからの出力は常に "H" が出力されることになります。
bit6	TXOE: シリアルデータ出力許可ビット	シリアルデータ (UO0 端子) の出力を制御します。 "0" に設定した場合：汎用ポートとして使用できます。 "1" に設定した場合：シリアルデータ出力許可となります。
bit5	RERC: 受信エラーフラグクリアビット	"0" に設定した場合：SSR0 レジスタの各エラーフラグ (PER, OVE, FER) がクリアされます。 "1" に設定した場合：受信エラーフラグをクリアします。 このビットの読出しは必ず "1" となります。
bit4	RXE: 受信動作許可ビット	"0" に設定した場合：シリアルデータの受信を禁止します。 "1" に設定した場合：シリアルデータの受信を許可します。 受信動作中にこのビットを "0" にした場合、直ちに受信動作が禁止され、初期化されます。途中で受信したデータは UART/SIO シリアル入力データレジスタには転送されません。 (注意事項)RXE に "0" を書き込んだとき、初期化されるのは受信動作です。エラーフラグ (PER, OVE, FER, RDRF) には影響しません。
bit3	TXE: 送信動作許可ビット	"0" に設定した場合：シリアルデータの送信を禁止します。 "1" に設定した場合：シリアルデータの送信を許可します。 送信動作中にこのビットを "0" に設定した場合、直ちに送信動作は禁止され、初期化されます。送信完了フラグ (TCPL) が "1" に設定され、送信データレジスタエンプティ (TDRE) も "1" に設定されます。
bit2	RIE: 受信割込み許可ビット	"0" に設定した場合：受信割込みを禁止します。 "1" に設定した場合：受信割込みを許可します。 このビットが "1" (許可) のときに受信データレジスタフル (RDRF) ビットおよび各エラーフラグ (PER, OVE, FER, RDRF) のいずれかが "1" になると、直ちに受信割込みが発生します。
bit1	TCIE: 送信完了割込み許可ビット	"0" に設定した場合：送信完了フラグによる割込みを禁止します。 "1" に設定した場合：送信完了フラグによる割込みを許可します。 このビットが "1" (許可) のときに送信完了フラグ (TCPL) ビットが "1" になると直ちに送信割込みが発生します。
bit0	TEIE: 送信データレジスタエンプティ割込み許可ビット	"0" に設定した場合：送信データレジスタエンプティによる割込みを禁止します。 "1" に設定した場合：送信データレジスタエンプティによる割込みを許可します。 このビットが "1" (許可) のときに送信データレジスタエンプティ (TDRE) ビットが "1" になると、直ちに送信割込みが発生します。

25.5.3 UART/SIO シリアルステータスアンドデータレジスタ (SSR0)

UART/SIO シリアルステータスアンドデータレジスタ (SSR0) は、UART/SIO の送受信やエラーの状態を示します。

■ UART/SIO シリアルステータスアンドデータレジスタ (SSR0)

図 25.5-4 UART/SIO シリアルステータスアンドデータレジスタ (SSR0)

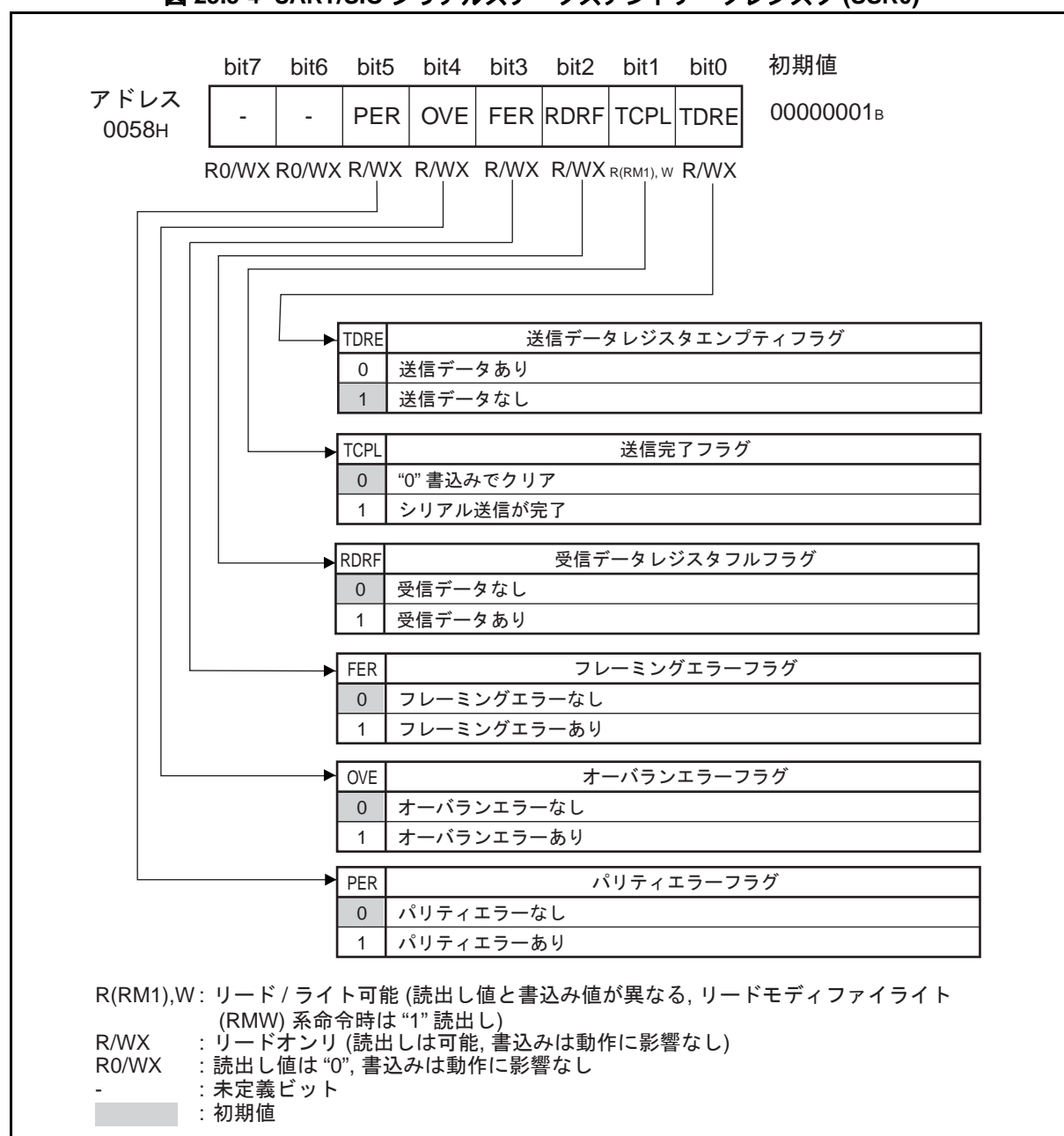


表 25.5-3 UART/SIO シリアルステータスアンドデータレジスタ (SSR0) の各ビットの機能説明

ビット名		機能
bit7, bit6	未定義ビット	読出し値は常に "0" です。このビットへの書き込みは動作に影響を与えません。
bit5	PER: パリティエラー フラグ	受信データのパリティエラーを検出します。 <ul style="list-style-type: none"> 受信時にパリティエラーが発生すると設定され、RERC ビットに "0" を書き込むことによってクリアされます。 エラーの検出と RERC によるクリアが同時の場合は、エラーフラグの設定が優先されます。
bit4	OVE: オーバーランエラー フラグ	受信データのオーバーランエラーを検出します。 <ul style="list-style-type: none"> 受信時にオーバーランエラーが発生すると設定され、RERC ビットに "0" を書き込むことによってクリアされます。 エラーの検出と RERC によるクリアが同時の場合は、エラーフラグの設定が優先されます。
bit3	FER: フレーミングエラー フラグ	受信データのフレーミングエラーを検出します。 <ul style="list-style-type: none"> 受信時にフレーミングエラーが発生すると設定され、RERC ビットに "0" を書き込むことによってクリアされます。 エラーの検出と RERC によるクリアが同時の場合は、エラーフラグの設定が優先されます。
bit2	RDRF: 受信データレジスタ フルフラグ	UART/SIO シリアル入力データレジスタの状態を示すフラグです。 <ul style="list-style-type: none"> シリアル入力データレジスタへ受信データがロードされると、"1" に設定されます。 シリアル入力データレジスタのデータを読み出すと、"0" にクリアされます。
bit1	TCPL: 送信完了フラグ	データの送信状態を示すフラグです。 <ul style="list-style-type: none"> シリアル送信が完了したとき、"1" に設定されます。ただし、連続して送信するデータが UART/SIO シリアル出力データレジスタにある場合、1 回の送信が完了しても、本ビットは "1" に設定されません。 このビットに "0" を書き込むことでクリアされます。 設定とクリアが同時の場合は、設定が優先されます。 このビットに "1" を書き込んでも、動作に影響を与えません。
bit0	TDRE: 送信データレジスタ エンプティフラグ	UART/SIO シリアル出力データレジスタの状態を示すフラグです。 <ul style="list-style-type: none"> シリアル出力レジスタへ送信データを書き込むと、"0" に設定されます。 送信用シフトレジスタにロードされて送信が開始されると、"1" に設定されます。

25.5.4 UART/SIO シリアル入力データレジスタ (RDR0)

UART/SIO シリアル入力データレジスタ (RDR0) は、シリアルデータの入力 (受信) 用レジスタです。

■ UART/SIO シリアル入力データレジスタ (RDR0)

図 25.5-5 に、UART/SIO シリアル入力データレジスタ (RDR0) のビット構成を示します。

図 25.5-5 UART/SIO シリアル入力データレジスタ (RDR0)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
005A _H	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	00000000 _B
	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
R/WX : リードオンリ (読出しは可能, 書込みは動作に影響なし)									

受信したデータが格納されます。シリアルデータ入力端子 (UI0 端子) に送られてきたシリアルデータ信号がシフトレジスタで変換されて、このレジスタに格納されます。

受信データが正常にこのレジスタに設定されると、受信データレジスタフル (RDRF) フラグが "1" に設定されます。このとき、受信割込み要求が許可されていれば割込みが発生します。プログラムによる RDRF ビットチェックまたは割込みでこのレジスタに格納された受信データが示されていれば、このレジスタの内容を読み出すことにより、RDRF フラグが "0" にクリアされます。

キャラクタビット長 (CBL1, CBL0) を 8 ビット未満に設定した場合、不要となる上位のビット (設定したビット長以外のビット) は "0" になります。

MB95330H シリーズ

25.5.5 UART/SIO シリアル出力データレジスタ (TDR0)

UART/SIO シリアル出力データレジスタ (TDR0) は、シリアルデータの出力 (送信) 用レジスタです。

■ UART/SIO シリアル出力データレジスタ (TDR0)

図 25.5-6 に、UART/SIO シリアル出力データレジスタ (TDR0) のビット構成を示します。

図 25.5-6 UART/SIO シリアル出力データレジスタ (TDR0)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0059 _H	TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W : リード / ライト可能 (読出し値は書込み値)

送信するデータを書き込みます。送信データレジスタエンプティ (TDRE) ビットが "1" の場合、書込みができます。"0" の場合、書込みは無視されます。

既に送信データが書き込まれて TDRE が "0" のときに、このレジスタを更新する場合は (UART/SIO シリアルモード制御レジスタの TXE が "1" または "0" のときにかかわらず) TXE に "0" を書き込むことにより送信動作が初期化され、TDRE が "1" となり、このレジスタの更新が可能になります。また、送信が開始されていないとき (TDR0 に送信データを書き込んで、TXE をまだ "1" に設定していないとき) に TXE に "0" を書き込む場合は、TCPL は "1" に設定されません。送信データが送信用シフトレジスタに転送され、シリアルデータに変換されてシリアルデータ出力端子から送信されます。

送信データが UART/SIO シリアル出力データレジスタ (TDR0) に書き込まれると、送信データレジスタエンプティビット (TDRE) は "0" に設定されます。送信用シフトレジスタに送信データの転送が終了すれば、送信データレジスタエンプティビット (TDRE) は "1" に設定され、次の送信用データを書き込むことができます。このとき、送信データレジスタエンプティ割込みが許可されていれば割込みが発生します。次の送信データの書込みは、送信データレジスタエンプティの発生のあるときに行うか、送信データエンプティ (TDRE) ビットが "1" のときに行ってください。

キャラクタビット長 (CBL1, CBL0) を 8 ビット未満に設定した場合、上位のビット (設定したビット長以外のビット) は無視されます。

< 注意事項 >

UART/SIO シリアルステータスアンドデータレジスタの TDRE が "0" のとき、このレジスタのデータは更新できません。

既に送信データが書き込まれ、TDRE が "0" のときに、このレジスタを更新する場合は (UART/SIO シリアルモード制御レジスタ 2 の TXE が "1" または "0" のときにかかわらず) TXE に "0" を書き込むことにより送信動作が初期化され、TDRE が "1" となり、このレジスタの更新が可能になります。

また、送信が開始されていないとき (TDR に送信データを書き込んで、TXE をまだ "1" に設定していないとき) に TXE に "0" を書き込む場合は、TCPL は "1" に設定されません。データを変更する場合は、TXE に "0" を書き込むことにより、一度 TDRE を "1" にしてから書き込んでください。

25.6 UART/SIO の割込み

UART/SIO には、割込みに関連したエラーフラグビット (PER, OVE, FER), 受信データレジスタフルビット (RDRF), 送信データレジスタエンプティビット (TDRE) および送信完了フラグ (TCPL) の 6 つのビットがあります。

■ UART/SIO の割込み

表 25.6-1 に、UART/SIO の割込み制御ビットと割込み要因を示します。

表 25.6-1 UART/SIO の割込み制御ビットと割込み要因

項目	説明					
割込み要求フラグビット	SSR0 : TDRE	SSR0 : TCPL	SSR0 : RDRF	SSR0 : PER	SSR0 : OVE	SSR0 : FER
割込み要求許可ビット	SMC20 : TEIE	SMC20 : TCIE	SMC20 : RIE	SMC20 : RIE	SMC20 : RIE	SMC20 : RIE
割込み要因	送信データレジスタエンプティ	送信完了	受信データフル	パリティエラー	オーバランエラー	フレーミングエラー

■ 送信割込み

送信データが UART/SIO シリアル出力データレジスタ (TDR0) に書き込まれると、書き込まれたデータが送信シフトレジスタに転送されます。次のデータの書き込みが可能な状態になると、TDRE ビットが "1" に設定されます。このとき、送信データレジスタエンプティ割込み許可ビットが許可 (SMC20 : TEIE = 1) されていると、割込みコントローラへの割込み要求が発生します。

また、すべての送信データの送信が完了すると、TCPL ビットが "1" に設定されます。このとき、送信完了割込み許可ビットが許可 (SMC20 : TCIE = 1) されていると、割込みコントローラへの割込み要求が発生します。

■ 受信割込み

データがストップビットまで正常に入力されると RDRF ビットが "1" に設定されます。また、オーバラン、パリティ、またはフレーミングエラーが発生した場合には、各エラーフラグビット (PER, OVE, FER) が "1" に設定されます。

これらのビットは、ストップビット検出時に設定され、受信割込み許可ビットが許可 (SMC20 : RIE = 1) されていると、割込みコントローラへの割込み要求が発生します。

■ UART/SIO の割込みに関連するレジスタとベクタテーブルのアドレス

表 25.6-2 UART/SIO の割込みに関連するレジスタとベクタテーブルのアドレス

割込み要因	割込み要求番号	割込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
UART/SIO ch. 0*	IRQ04	ILR1	L04	FFF2 _H	FFF3 _H

ch. : チャンネル

* UART/SIO ch. 0 は MPG(DTTI) と同じ割込み要求番号とベクタテーブルを使用します。

各周辺機能のそれぞれの割込み要求番号およびベクタテーブルのアドレスについては「付録 B 割込み要因一覧表」を参照してください。

25.7 UART/SIO の動作説明と設定手順例

UART/SIO には、シリアル通信機能 (動作モード 0,1) があります。

■ UART/SIO の動作

● 動作モード

UART/SIO には、2 種類の動作モードがあります。クロック同期モード (SIO) とクロック非同期モード (UART) を選択できます (表 25.7-1 を参照)。

表 25.7-1 UART/SIO の動作モード

動作モード	データ長		同期モード	ストップビット長
	パリティなし	パリティあり		
0	5	6	非同期	1 ビットまたは 2 ビット
	6	7		
	7	8		
	8	9		
1	5	-	同期	-
	6	-		
	7	-		
	8	-		

■ 設定手順例

UART/SIO の設定手順例を以下に示します。

● 初期設定

- 1) ポートの入力設定 (DDR1)
- 2) 割込みレベルの設定 (ILR1)
- 3) プリスケアラ設定 (PSSR0)
- 4) ボーレート設定 (BRSR0)
- 5) クロック選択 (SMC10:CKS)
- 6) 動作モード設定 (SMC10:MD)
- 7) シリアルクロック出力の許可 / 禁止 (SMC20:SCKE)
- 8) 受信動作許可 (SMC20:RXE = 1)
- 9) 割込み許可 (SMC20:RIE = 1)

● 割込み処理

受信データの読出し (RDR0)

25.7.1 動作モード 0 の動作説明

動作モード 0 は、クロック非同期モード (UART) として動作します。

■ UART/SIO の動作モード 0 の動作説明

UART/SIO シリアルモード制御レジスタ 1 (SMC10) の MD ビットを "0" に設定すると、クロック非同期モード (UART) が選択されます。

● ボーレート

シリアルクロックは、SMC10 レジスタの CKS ビットで選択します。このとき、専用ボーレートジェネレータを必ず選択してください。

ボーレートは専用ボーレートジェネレータの出力クロック周波数の 4 分周になります。UART は選択されたボーレートの - 2% から + 2% までの範囲で通信可能です。

専用ボーレートジェネレータによるボーレート算出式を以下に示します (専用ボーレートジェネレータについては、「第 26 章 UART/SIO 専用 ボーレート ジェネレータ」も参照)。

図 25.7-1 専用ボーレートジェネレータ使用時のボーレート算出

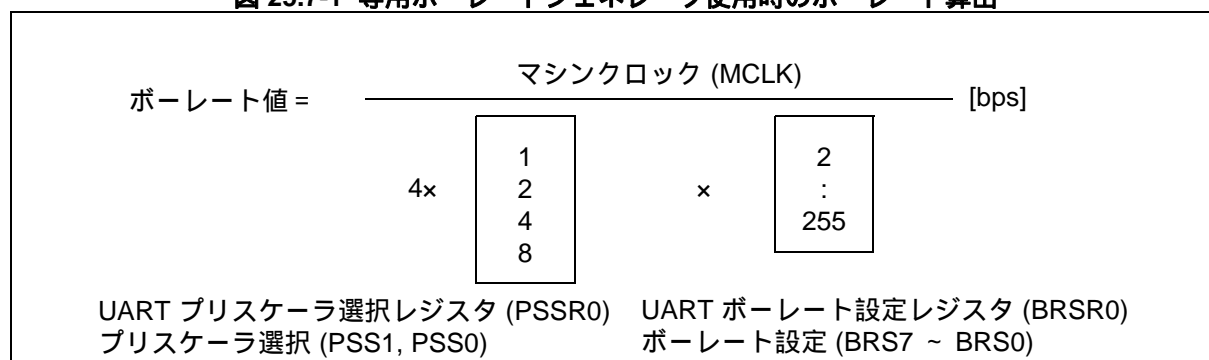


表 25.7-2 専用ボーレートジェネレータによる非同期時転送レートの例
(クロックギア：4/F_{CH}, マシクロック：10MHz, 16MHz, 16.25MHz の場合)

専用ボーレートジェネレータの設定		UART 内 部分周	トータル分周比 (PSS × BRS × 4)	ボーレート (10MHz ÷ トータル 分周 比)	ボーレート (16MHz ÷ トータル 分周 比)	ボーレート (16.25MHz ÷ トータル 分周 比)
プリスケラ選択 PSS[1:0]	ボーレートカウン タ設定 BRS[7:0]					
1 (設定値 : 0, 0)	20	4	80	125000	200000	203125
1 (設定値 : 0, 0)	22	4	88	113636	181818	184659
1 (設定値 : 0, 0)	44	4	176	56818	90909	92330
1 (設定値 : 0, 0)	87	4	348	28736	45977	46695
1 (設定値 : 0, 0)	130	4	520	19231	30769	31250
2 (設定値 : 0, 1)	130	4	1040	9615	15385	15625
4 (設定値 : 1, 0)	130	4	2080	4808	7692	7813
8 (設定値 : 1, 1)	130	4	4160	2404	3846	3906

また、クロック非同期モードにおけるボーレート設定が可能な範囲は以下のとおりです。

表 25.7-3 クロック非同期モードにおけるボーレート設定可能範囲

PSS[1:0]	BRS[7:0]
"00 _B ~ 11 _B	02 _H (2) ~ FF _H (255)

● 転送データフォーマット

UART は、NRZ (Non Return to Zero) 形式のデータのみを扱えます。図 25.7-2 に、転送データフォーマットを示します。

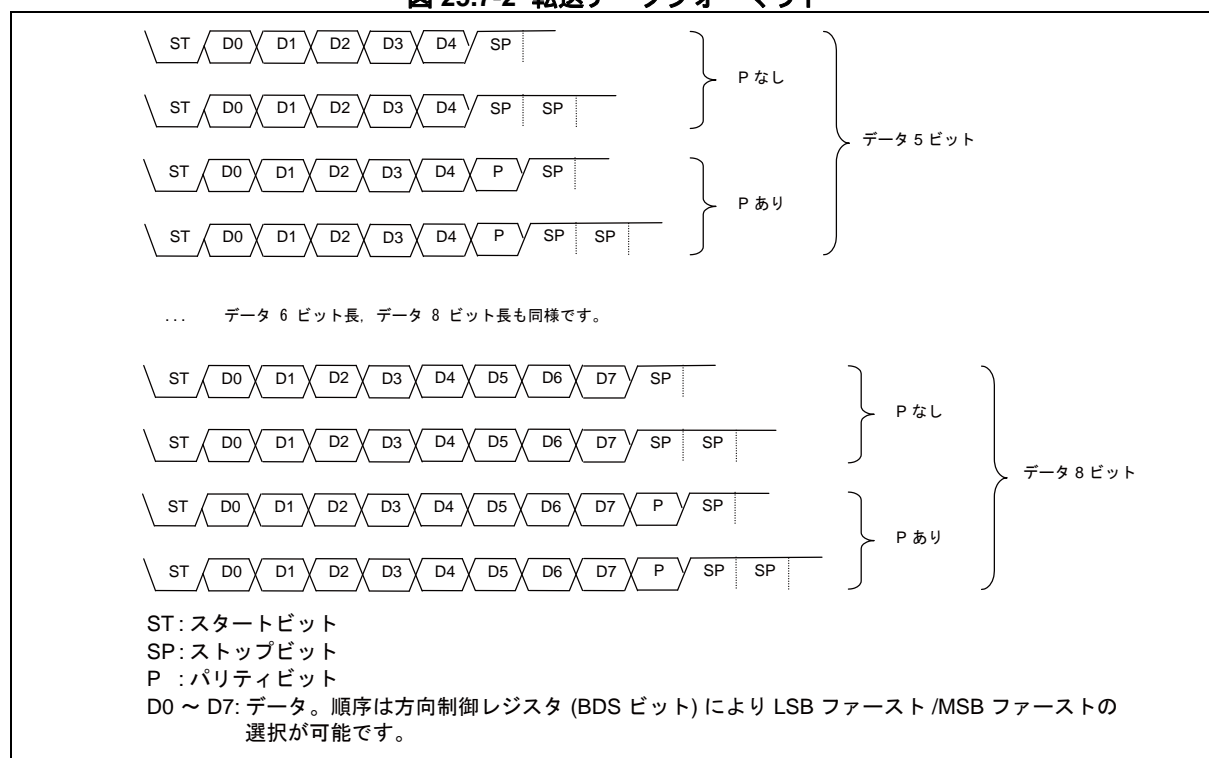
キャラクタビット長は、CBL1, CBL0 の設定により 5 ビット ~ 8 ビットを選択できます。

ストップビット長は SBL の設定により 1 ビットもしくは 2 ビットに設定できます。

パリティの有無、パリティの極性は PEN, TDP により設定できます。

図 25.7-2 に示すように、転送データは必ずスタートビット ("L" レベル) より始まり、MSB ファーストもしくは LSB ファースト (BDS ビットで、LSB ファースト /MSB ファーストの選択可能) で指定されたデータビット長転送が行われ、ストップビット ("H" レベル) で終了します。アイドル時は "H" レベルになります。

図 25.7-2 転送データフォーマット



● クロック非同期モード (UART) の受信動作

UART/SIO シリアルモード制御レジスタ 1 (SMC10) により、シリアルデータの方角 (エンディアン)、パリティの有無、パリティの極性、ストップビット長、キャラクタビット長およびクロックを選択します。

受信動作許可ビット (RXE) が "1" に設定されていると常に受信動作が行われます。

受信動作許可ビット (RXE) が "1" の場合、受信データのスタートビットを検出すると、UART/SIO シリアルモード制御レジスタ 1 (SMC10) に設定されているデータフォーマットに従って 1 フレームのデータを受信します。

1 フレームのデータ受信が完了すると、受信データを UART/SIO シリアル入力データレジスタ (RDR0) に転送し、次のシリアルデータの受信が可能になります。

UART/SIO シリアル入力データレジスタ (RDR0) にデータが格納されると、受信データレジスタフル (RDRF) ビットが "1" に設定されます。

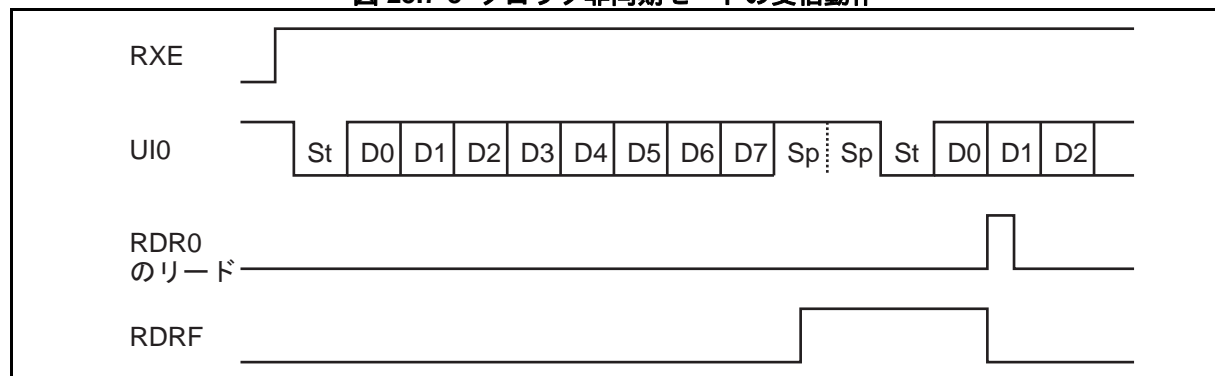
受信割込み許可ビット (RIE) が "1" に設定されている場合は、受信データレジスタフル (RDRF) ビットが "1" に設定されると受信割込みが発生します。

受信データを読み出す場合は、UART/SIO シリアルステータスアンドデータレジスタの各エラーフラグ (PER, OVE, FER) を確認し、UART/SIO シリアル入力データレジスタ (RDR0) を読み出します。

受信データが UART/SIO シリアル入力データレジスタ (RDR0) から読み出されると、受信データレジスタフル (RDRF) ビットが "0" にクリアされます。

なお、受信動作中に UART/SIO シリアルモード制御レジスタ 1 (SMC10) が変更された場合の動作は保証されません。また、受信動作中に RXE ビットを "0" にした場合、直ちに受信動作が禁止され、初期化されます。途中まで受信したデータはシリアル入力データレジスタには転送されません。

図 25.7-3 クロック非同期モードの受信動作



● クロック非同期モード (UART) 時の受信エラー

以下の 3 つのエラー (PER, FER, OVE) があるときは、受信データは UART/SIO シリアル入力データレジスタ (RDR0) に転送されず、受信データレジスタフル (RDRF) ビットも "1" に設定されません。

• パリティエラー (PER)

パリティ制御ビット (PEN) が "1" に設定されている場合、受信シリアルデータのパリティビットがパリティ極性ビット (TDP) と異なったとき、パリティエラー (PER) ビットが "1" に設定されます。

• フレーミングエラー (FER)

設定されているキャラクタビット長 (CBL), パリティ制御 (PEN) により、シリアルデータの受信を行った結果、シリアルデータの最初のストップビットの位置に "1" を検出しなかった場合、フレーミングエラー (FER) ビットが "1" に設定されます。
なお、2 ビット目以降のストップビットに対してはチェックを行いません。

• オーバランエラー (OVE)

シリアルデータの受信が完了したとき、前回の受信データが読み出される前に次の受信が行われた場合、オーバランエラー (OVE) ビットが "1" に設定されます。

また、各フラグは最初のストップビットの位置で設定されます。

図 25.7-4 受信エラーのセットタイミング



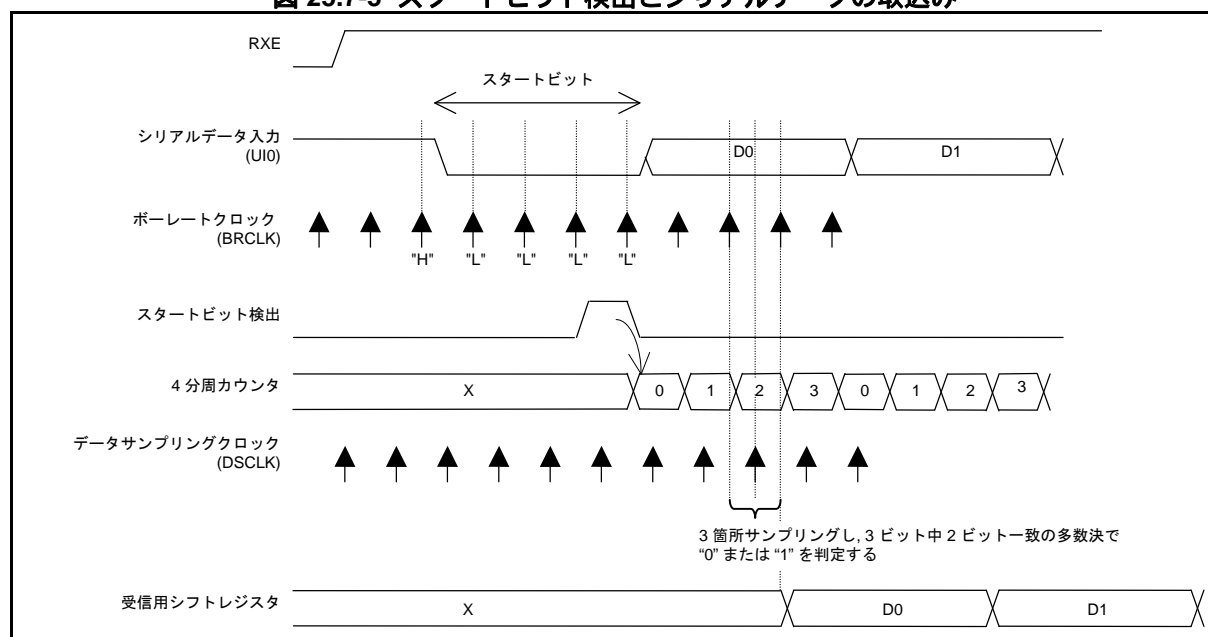
● 受信動作時のスタートビットの検出と受信データの確定

受信動作許可ビット (RXE) が "1" に設定されてから専用ボーレートジェネレータのクロック (BRCLK) によってシリアルデータ入力をサンプリングし、シリアル入力の立下りと連続した 3 回の "L" によりスタートビットは検出されます。したがって、BRCLK のサンプリングにおいて、最初に "H", "L", "L", "L" が検出されたとき、そのビットをスタートビットとみなします。

スタートビット検出から 4 分周回路を起動し、BRCLK の 4 周期ごとにシリアルデータを受信用シフトレジスタに取り込みます。

データの受信は、ボーレートクロック (BRCLK) とデータサンプリングクロック (DSCLK) の 3 箇所サンプリングして 3 ビット中 2 ビット一致の多数決で受信データを確定します。

図 25.7-5 スタートビット検出とシリアルデータの取込み



● クロック非同期モードの送信動作

UART/SIO シリアルモード制御レジスタ 1 (SMC10) により、シリアルデータの方角 (エンディアン)、パリティの有無、パリティの極性、ストップビット長、キャラクタビット長およびクロックを選択します。

送信動作の起動は次の 2 種類の手順で行えます。

- 送信動作許可ビット (TXE) を "1" に設定してからシリアル出力データレジスタへ送信データを書き込むことによって送信を開始する。
- UART/SIO シリアル出力データレジスタに送信データを書き込んだ後、送信動作許可ビット (TXE) を "1" に設定することによって送信を開始する。

送信データは、送信データレジスタエンプティ (TDRE) ビットが "1" になっていることを確認してから、UART/SIO シリアル出力データレジスタ (TDR0) に書き込みます。

送信データが UART/SIO シリアル出力データレジスタ (TDR0) に書き込まれると送信データレジスタエンプティ (TDRE) ビットが "0" に設定されます。

送信データが UART/SIO シリアル出力データレジスタ (TDR0) から送信用シフトレジスタに転送され、送信データレジスタエンプティ (TDRE) が "1" に設定されます。

送信割込み許可ビット (TIE) を "1" に設定している場合は、送信データレジスタエンプティ (TDRE) ビットが "1" に設定されると送信割込みが発生します。これにより、割込み処理において次の送信データを UART/SIO シリアル出力データレジスタ (TDR0) に書き込むことができます。

シリアル送信が完了したことを送信割込みによって検知する場合は送信完了割込み許可ビットの設定を TEIE=0, TCIE=1 にしてください。送信が完了すると送信完了フラグ (TCPL) が "1" に設定されて送信割込みが発生します。

送信完了フラグ (TCPL) と連続で送信する場合の送信データレジスタエンプティフラグ (TDRE) は、以下の図 25.7-6 に示すように、最終ビットの送信が完了した位置 (データ長、パリティ許可、ストップビット長設定により異なる) において設定されます。

送信動作中に UART/SIO シリアルモード制御レジスタ 1 (SMC10) が変更された場合の動作は保証されません。

図 25.7-6 クロック非同期モード (UART) の送信動作



TDRE フラグは、前の送信データが送信シフトレジスタにない場合は、以下の図の位置で設定されます。

図 25.7-7 送信データレジスタエンプティフラグ (TDRE) のセットタイミング 1 (TXE が "1" の場合)

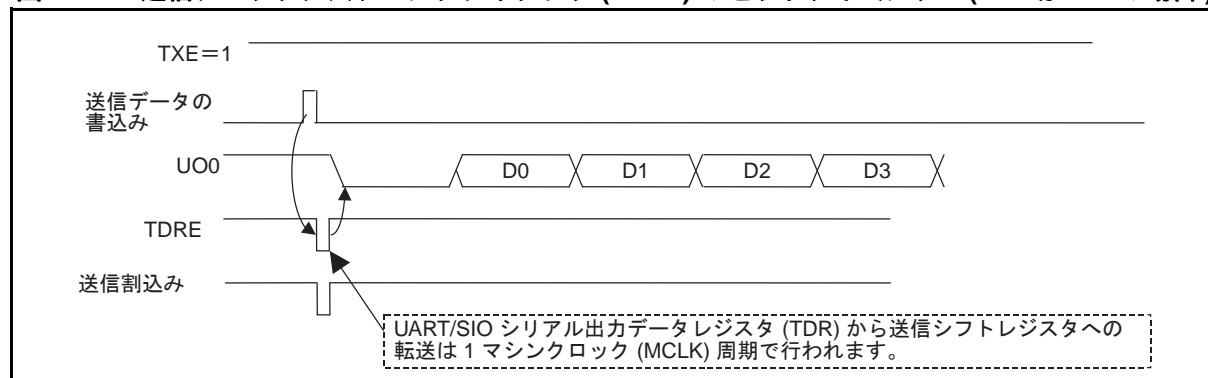
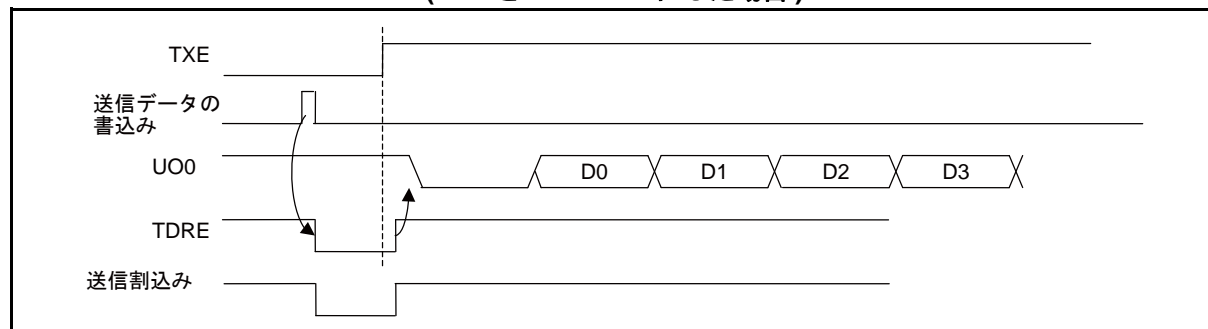


図 25.7-8 送信データレジスタエンプティフラグ (TDRE) のセットタイミング 2 (TXE を "0" "1" にした場合)



● 送受信同時動作

クロック非同期モード (UART) では、送信と受信は独立して動作できます。したがって、送信と受信が同時、または位相がずれて送信フレームと受信フレームが重なり合う場合であっても動作します。

25.7.2 動作モード 1 の動作説明

動作モード 1 は、クロック同期モードとして動作します。

■ UART/SIO の動作モード 1 の動作説明

UART/SIO シリアルモード制御レジスタ 1 (SMC10) の MD ビットを "1" に設定するとクロック同期モード (SIO) が選択されます。

クロック同期モード (SIO) でのキャラクタビット長は 5 ビット ~ 8 ビットの変長になります。

ただし、パリティは禁止、ストップビットはなしになります。

シリアルクロックは、SMC10 レジスタの CKS ビットで選択します。専用ボーレートジェネレータか外部クロックかを選択します。SIO は選択されたシリアルクロックをシフトクロックとしてシフト動作を行います。

外部クロックを入力するときは、SCKE ビットは "0" にしてください。

専用ボーレートジェネレータの出力をシフトクロックとして出力するときは、SCKE ビットを "1" にしてください。この場合のシリアルクロックは、専用ボーレートジェネレータからのクロックを 2 分周して作られます。SIO モードにおけるボーレート設定が可能な範囲は以下のとおりです (専用ボーレートジェネレータについては、「第 26 章 UART/SIO 専用 ボーレート ジェネレータ」も参照)。

表 25.7-4 SIO モードにおけるボーレート設定可能範囲

PSS[1:0]	BRS[7:0]
00 _B ~ 11 _B	01 _H (1) ~ FF _H (255), 00 _H (256) (最速となる設定は 01 _H 最も遅い設定は 00 _H です。)

外部クロックによるボーレート算出式と、専用ボーレートジェネレータ使用時のボーレート算出式を以下に示します。

図 25.7-9 外部クロックによるボーレート算出式

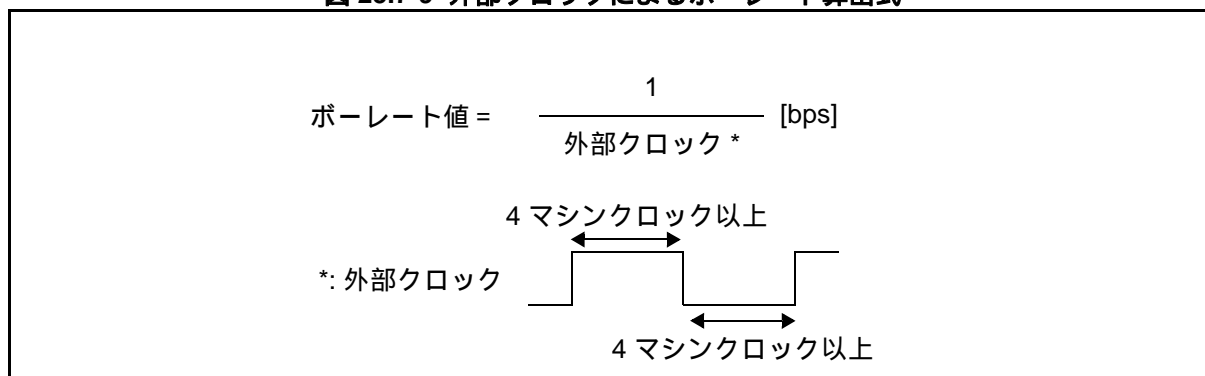


図 25.7-10 専用ボーレートジェネレータ使用時のボーレート算出式

$$\text{ボーレート値} = \frac{\text{マシクロック (MCLK)}}{2 \times \begin{matrix} 1 \\ 2 \\ 4 \\ 8 \end{matrix} \times \begin{matrix} 1 \\ \vdots \\ 256 \end{matrix}} \quad [\text{bps}]$$

UART プリスケアラ選択レジスタ (PSSR0) UART ボーレート設定レジスタ (BRSR0)
プリスケアラ選択 (PSS1, PSS0) ボーレート設定 (BRS7 ~ BRS0)

● シリアルクロックについて

シリアルクロックは送信データの出力制御に合わせて出力されます。そのため、受信のみ行う場合であっても、送信制御 (TXE=1) を設定してダミーの送信データを UART/SIO シリアル出力レジスタに書き込む必要があります。また、UCK0 のクロック値は MB95330H シリーズの「データシート」を参照してください。

● UART/SIO 動作モード 1 受信動作

動作モード 1 の受信では、各レジスタを以下のように使用します。

図 25.7-11 動作モード 1 の受信時使用レジスタ

SMC10 (UART/SIO シリアルモード制御レジスタ 1)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
BDS	PEN	TDP	SBL	CBL1	CBL0	CKS	MD
⊙	x	x	x	⊙	⊙	⊙	1
SMC20 (UART/SIO シリアルモード制御レジスタ 2)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCKE	TXOE	RERC	RXE	TXE	RIE	TCIE	TEIE
⊙	0	⊙	⊙	⊙	⊙	x	x
SSR0 (UART/SIO シリアルステータスアンドデータレジスタ)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-	-	PER	OVE	FER	RDRF	TCPL	TDRE
x	x	x	⊙	x	⊙	x	x
TDR0 (UART/SIO シリアル出力データレジスタ)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0
x	x	x	x	x	x	x	x
RDR0 (UART/SIO シリアル入力データレジスタ)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
⊙	⊙	⊙	⊙	⊙	⊙	⊙	⊙

⊙ : 使用ビット
 x : 未使用ビット
 1 : "1" に設定
 0 : "0" に設定

受信動作は、シリアルクロックが外部クロック / 内部クロックのどちらかに設定されているかによって異なります。

<<外部クロックの場合>>

受信動作許可ビット (RXE) が "1" に設定されていると、常に外部クロックの立上りエッジでシリアルデータを受信します。

<<内部クロックの場合>>

シリアルクロックは送信動作に合わせて出力されます。そのため、受信であっても送信動作を行わなければなりません。以下の 2 種類の手順で行えます。

- 送信動作許可ビット (TXE) を "1" に設定してから、UART/SIO シリアル出力データレジスタへ送信データを書き込むことによってシリアルクロックを発生させて受信を開始する。

- UART/SIO シリアル出力データレジスタに送信データを書き込んだ後，送信動作許可ビット (TXE) を "1" に設定することでシリアルクロックを発生させて受信を開始する。

受信用シフトレジスタに 5 ビット～ 8 ビットのシリアルデータが受信されると，受信データを UART/SIO シリアル入力データレジスタ (RDR0) へ転送し，次のシリアルデータの受信を可能にします。

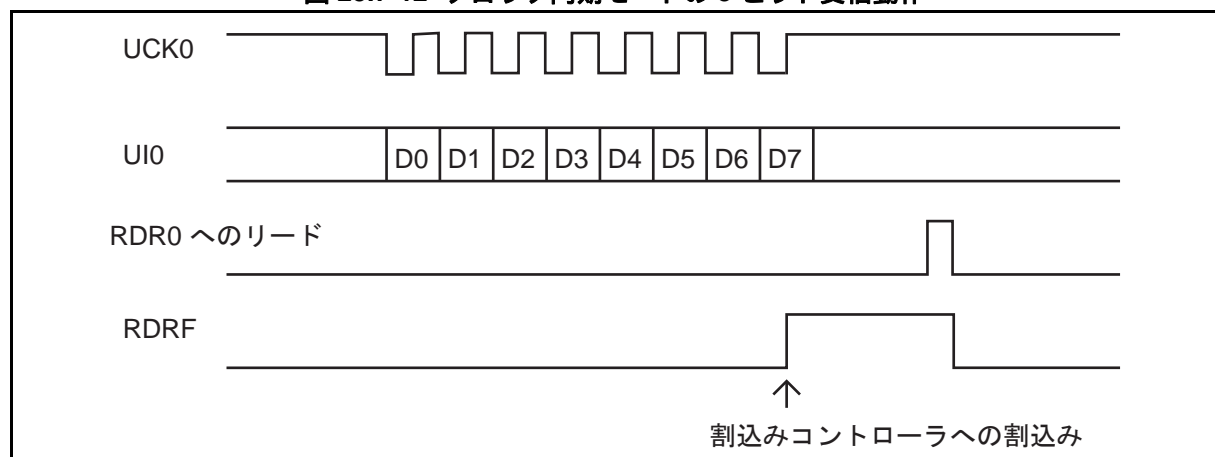
UART/SIO シリアル入力データレジスタにデータが格納されると，受信データレジスタフル (RDRF) ビットが "1" に設定されます。

受信割込み許可ビット (RIE) が "1" に設定されている場合は，受信データレジスタフル (RDRF) ビットが "1" に設定されると受信割込みが発生します。

受信データを読み出す場合は，UART/SIO シリアルステータスアンドデータレジスタのエラーフラグ (OVE) を確認し，UART/SIO シリアル入力データレジスタから読み出します。

受信データが UART/SIO シリアル入力データレジスタ (RDR0) から読み出されると，受信データレジスタフル (RDRF) ビットが "0" にクリアされます。

図 25.7-12 クロック同期モードの 8 ビット受信動作

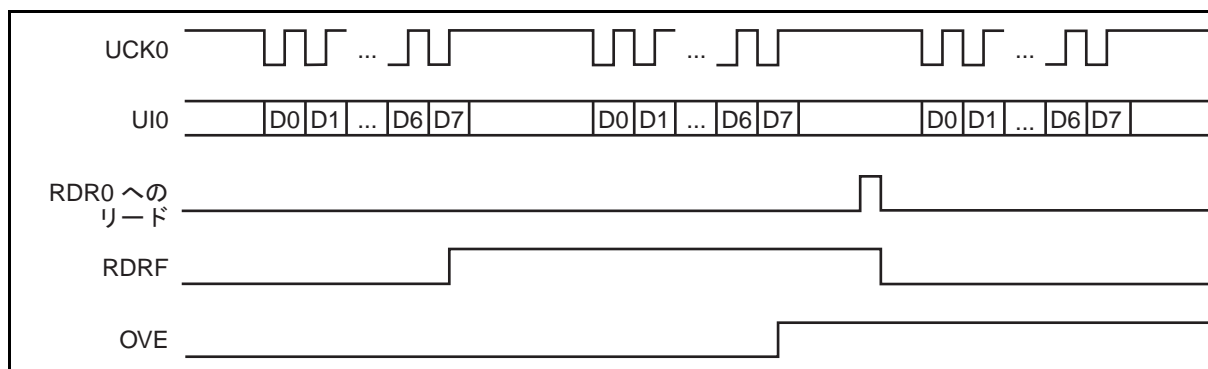


受信エラー時の動作

オーバランエラー (OVE) があるときは，受信データは UART/SIO シリアル入力データレジスタ (RDR0) には転送されません。

オーバランエラー (OVE)

シリアルデータの受信が完了したとき，前回の受信によって受信データレジスタフル (RDRF) ビットが "1" に設定されていた場合，オーバランエラー (OVE) を "1" に設定します。



● UART/SIO 動作モード 1 送信動作

動作モード 1 の送信では、各レジスタを以下のように使用します。

図 25.7-13 動作モード 1 の送信時使用レジスタ

SMC10 (UART/SIO シリアルモード制御レジスタ 1)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
BDS	PEN	TDP	SBL	CBL1	CBL0	CKS	MD
⊙	x	x	x	⊙	⊙	⊙	1
SMC20 (UART/SIO シリアルモード制御レジスタ 2)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCKE	TXOE	RERC	RXE	TXE	RIE	TCIE	TEIE
⊙	0	⊙	⊙	⊙	⊙	x	x
SSR0 (UART/SIO シリアルステータスアンドデータレジスタ)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-	-	PER	OVE	FER	RDRF	TCPL	TDRE
x	x	x	⊙	x	⊙	x	x
TDR0 (UART/SIO シリアル出力データレジスタ)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0
x	x	x	x	x	x	x	x
RDR0 (UART/SIO シリアル入力データレジスタ)							
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
⊙	⊙	⊙	⊙	⊙	⊙	⊙	⊙

⊙ : 使用ビット
 x : 未使用ビット
 1 : "1" に設定
 0 : "0" に設定

送信動作の起動は次の 2 種類の手順で行えます。

- 送信動作許可ビット (TXE) を "1" に設定してから、UART/SIO シリアル出力データレジスタへ送信データを書き込むことによって送信を開始する。
- UART/SIO シリアル出力データレジスタに送信データを書き込んだ後、送信動作許可ビット (TXE) を "1" に設定することによって送信を開始する。

送信データは、送信データレジスタエンプティ (TDRE) ビットが "1" になっていることを確認してから、UART/SIO シリアル出力データレジスタ (TDR0) に書き込みます。

送信データが UART/SIO シリアル出力データレジスタ (TDR0) に書き込まれると送信データレジスタエンプティ (TDRE) ビットが "0" に設定されます。

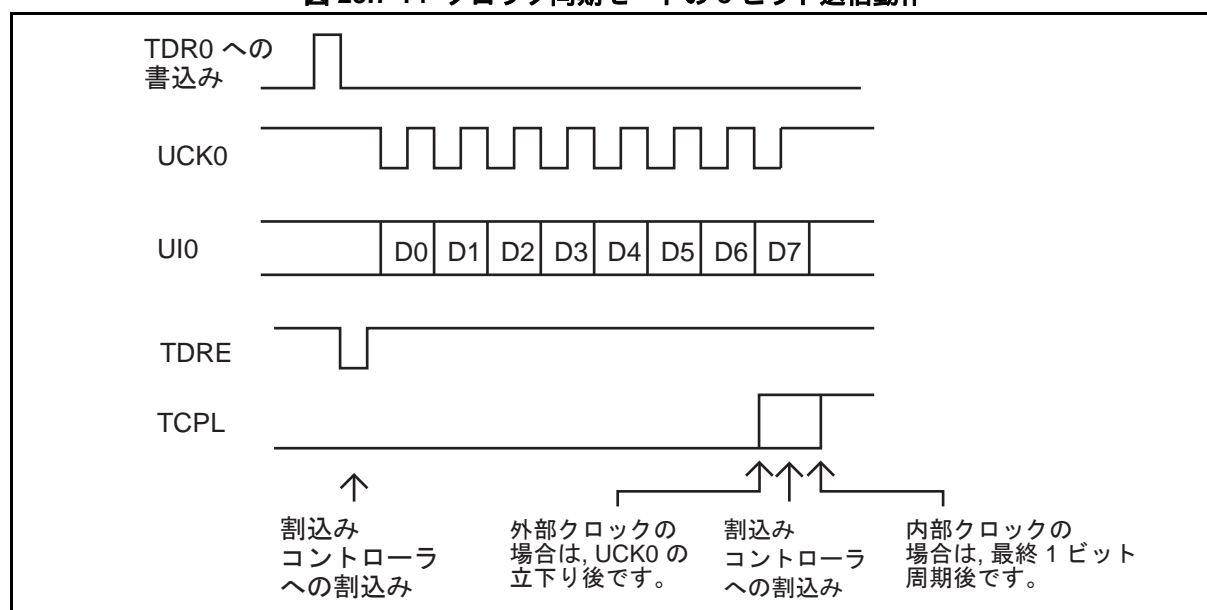
送信データが UART/SIO シリアル出力データレジスタ (TDR0) から送信用シフトレジスタに転送されてシリアル送信が開始されると、送信データレジスタエンプティ (TDRE) ビットが "1" に設定されます。

外部クロックを使用する設定では、送信動作が起動した最初のシリアルクロックの立下りからシリアルデータが送信されます。

送信割込み許可ビット (TIE) が "1" に設定されている場合は、送信データレジスタエンプティ (TDRE) が "1" に設定されると送信完了割込みが発生します。このとき、次の送信データを UART/SIO シリアル出力データレジスタ (TDR0) に書き込むことができます。また、送信動作許可ビット (TXE) が "1" に設定されたままであれば、連続してシリアル送信を行うことができます。

シリアル送信が完了したことを送信完了割込みによって検知する場合は、送信完了割込み出力許可の設定を TEIE=0, TCIE=1 にしてください。送信が完了すると送信完了フラグ (TCPL) が "1" に設定されて送信完了割込みが発生します。

図 25.7-14 クロック同期モードの 8 ビット送信動作



● 送受信同時動作

< < 外部クロックの場合 > >

送信と受信はそれぞれ独立して動作できます。したがって、送信と受信が同時、または位相がずれて重なり合う場合でも動作します。

< < 内部クロックの場合 > >

送信側がシリアルクロックを発生しているため、受信は送信の影響を受けます。

受信途中に送信が終了してしまった場合、受信側は停止した状態となります。受信は、送信側が再起動されたときに継続されます。

- シリアルクロックを出力および入力して使用する方法については、「25.4 UART/SIO の端子」を参照してください。

25.8 UART/SIO の設定例

UART/SIO の設定例を示します。

■ 設定例

● 各動作モードを選択する方法

動作モード選択ビット (SMC10:MD) で行います。

動作モード		動作モード選択 (MD)
動作 モード 0	クロック非同期モード (UART)	"0" を設定
動作 モード 1	クロック同期モード (SIO)	"1" を設定

● 動作クロックの種類と選択方法

クロック選択ビット (SMC10:CKS) で行います。

クロック入力	クロック選択 (CKS)
専用ポーレートジェネレータを選択するには	"0" を設定
外部クロックを選択するには	"1" を設定

● UCK0 端子, UI0 端子, UO0 端子を使用する方法

下記の設定で行います。

	UART
UCK0 端子を入力として設定にするには	DDR1:P14 = 0 SMC20:SCKE = 0
UCK0 端子を出力として設定にするには	SMC20:SCKE = 1
UI0 端子を使用するには	DDR1:P16 = 0
UO0 端子を使用するには	SMC20:TXOE = 1

● UART の動作を許可 / 停止する方法

受信動作許可ビット (SMC20:RXE) で行います。

動作	受信動作許可ビット (RXE)
受信動作を禁止 (停止) するには	"0" を設定する
受信動作を許可するには	"1" を設定する

送信動作制御ビット (SMC20:TXE) で行います。

動作	送信動作制御ビット (TXE)
送信動作を禁止 (停止) するには	"0" を設定する
送信動作を許可するには	"1" を設定する

● パリティを設定する方法

パリティ制御 (SMC10:PEN), パリティ極性 (SMC10:TDP) で行います。

動作	パリティ制御 (PEN)	パリティ極性 (TDP)
パリティなしにするには	"0" を設定する	-
偶数パリティにするには	"1" を設定する	"0" を設定する
奇数パリティにするには	"1" を設定する	"1" を設定する

● データ長を設定する方法

データ長選択ビット (SMC10:CBL[1:0]) で行います。

動作	データ長選択ビット (CBL[1:0])
5 ビット長にするには	"00 _B " を設定する
6 ビット長にするには	"01 _B " を設定する
7 ビット長にするには	"10 _B " を設定する
8 ビット長にするには	"11 _B " を設定する

● ストップビット長を選択する方法

ストップビット長制御 (SMC10:SBL) で行います。

動作	ストップビット長制御 (SBL)
ストップビットを 1 ビット長にするには	"0" を設定する

動作	ストップビット長制御 (SBL)
ストップビットを 2 ビット長にするには	"1" を設定する

● エラーフラグをクリアする方法

受信エラーフラグクリアビット (SMC20:RERC) で行います。

動作	受信エラーフラグクリアビット (RERC)
エラーフラグ (PER, OVE, FER) をクリアするには	"0" を設定する

● 転送方向の設定方法

シリアルデータ方向制御ビット (SMC10:BDS) で行います。

転送方向はどの動作モードでも、LSB ファースト /MSB ファーストの選択が可能です。

動作	シリアルデータ方向制御 (BDS)
LSB ファースト転送 (最下位ビットから) にするには	"0" を設定する
MSB ファースト転送 (最上位ビットから) にするには	"1" を設定する

● 受信完了フラグをクリアする方法

下記の設定で行います。

動作	方法
受信完了フラグをクリアするには	RDR0 レジスタを読み出す

初回の RDR0 レジスタの読出しは、受信開始になります。

● 送信バッファエンプティフラグをクリアする方法

下記の設定で行います。

動作	方法
送信バッファエンプティフラグをクリアするには	TDR0 レジスタに書き込む

初回の TDR0 レジスタの書込みは、送信開始になります。

● ボーレートを設定する方法

「25.7.1 動作モード 0 の動作説明」を参照してください。

● 割込み関連レジスタ

割込みレベルは下表の割込みレベル設定レジスタで設定します。

チャンネル	割込みレベル設定レジスタ	割込みベクタ
ch. 0	割込みレベルレジスタ (ILR1) アドレス : 0007A _H	#4 アドレス : 0FFF2 _H

● 割込みを許可 / 禁止 / クリアする方法

割込み許可の設定は、割込み要求許可ビット (SMC20:RIE, SMC20:TCIE, SMC20:TEIE) で行います。

	UART 受信	UART 送信	
	受信割込み許可ビット (RIE)	送信完了割込み許可ビット (TCIE)	送信データレジスタ エンプティ割込み許可ビット (TEIE)
割込み要求を 禁止するには	"0" を設定		
割込み要求を 許可するには	"1" を設定		

割込み要求のクリアは、下記の設定にて行います。

	UART 受信	UART 送信
割込み要求 をクリアす るには	受信データレジスタフルビット (RDRF) は UART/SIO シリアル入力レジスタ (RDR 0) を読み出すことでクリアします。	送信データレジスタエ ンプティビット (TDRE) は UART/SIO シリアル 出力データレジスタ (TDR0) にデータを書き 込むことで "0" になり ます。
	エラーフラグ (PER, OVE, FER) はエラーフ ラグクリアビット (RERC) に "0" を書き込 むことで "0" になります。	

第26章

UART/SIO 専用 ボーレート ジェネレータ

UART/SIO 専用ボーレートジェネレータの機能と動作について説明します。

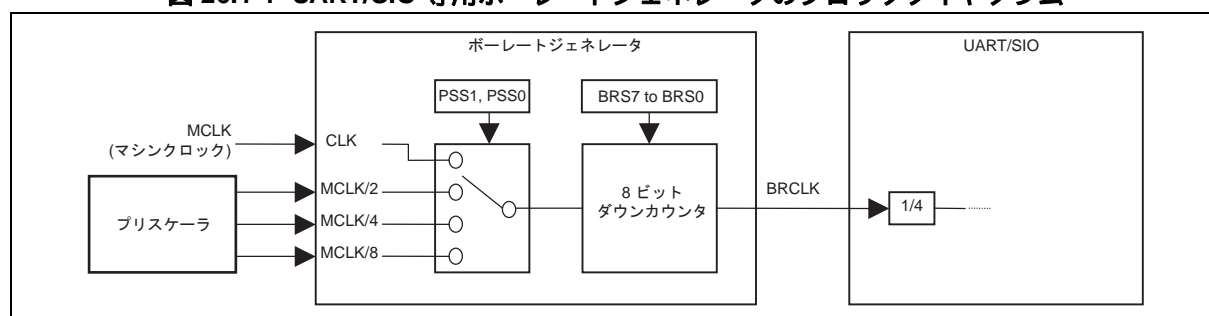
- 26.1 UART/SIO 専用ボーレートジェネレータの概要
- 26.2 UART/SIO 専用ボーレートジェネレータのチャンネル
- 26.3 UART/SIO 専用ボーレートジェネレータのレジスタ
- 26.4 UART/SIO 専用ボーレートジェネレータの動作説明

26.1 UART/SIO 専用ポーレートジェネレータの概要

UART/SIO 専用ポーレートジェネレータは、UART/SIO のポーレートを発生します。UART/SIO 専用ポーレートジェネレータプリスケアラ選択レジスタ (PSSR0) と UART/SIO 専用ポーレートジェネレータポーレート設定レジスタ (BRSR0) から構成されます。

■ UART/SIO 専用ポーレートジェネレータのブロックダイアグラム

図 26.1-1 UART/SIO 専用ポーレートジェネレータのブロックダイアグラム



■ 入力クロック

UART/SIO 専用ポーレートジェネレータは、プリスケアラからの出力クロック、またはマシンクロックを入力クロックとして使用します。

■ 出力クロック

UART/SIO 専用ポーレートジェネレータは、UART/SIO にクロックを供給しています。

26.2 UART/SIO 専用ボーレートジェネレータのチャンネル

UART/SIO 専用ボーレートジェネレータのチャンネルについて説明します。

■ UART/SIO 専用ボーレートジェネレータのチャンネル

MB95330H シリーズは、UART/SIO 専用ボーレートジェネレータを 1 チャンネル搭載しています。

表 26.2-1 に、UART/SIO 専用ボーレートジェネレータのレジスタを示します。

表 26.2-1 UART/SIO 専用ボーレートジェネレータのレジスタ

チャンネル	レジスタ略称	レジスタ対応 (本マニュアル上の表記)
0	PSSR0	UART/SIO 専用ボーレートジェネレータプリスケアラ選択レジスタ
	BRSR0	UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ

26.3 UART/SIO 専用ボーレートジェネレータのレジスタ

UART/SIO 専用ボーレートジェネレータのレジスタには, UART/SIO 専用ボーレートジェネレータプリスケラ選択レジスタ (PSSR0) と UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0) があります。

■ UART/SIO 専用ボーレートジェネレータのレジスタ

図 26.3-1 UART/SIO 専用ボーレートジェネレータのレジスタ

UART/SIO 専用ボーレートジェネレータプリスケラ選択レジスタ (PSSR0)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FBE _H	-	-	-	-	-	BRGE	PSS1	PSS0	00000000 _B
	R0/WX	R0/WX	R0/WX	R0/WX	R0/WX	R/W	R/W	R/W	

UART/SIO 専用ボーレートジェネレータボーレート設定レジスタ (BRSR0)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FBF _H	BRS7	BRS6	BRS5	BRS4	BRS3	BRS2	BRS1	BRS0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

R/W

: リード / ライト可能 (読出し値は書込み値)

R0/WX

: 読出し値は "0", 書込みは動作に影響なし

-

: 未定義ビット

26.3.1 UART/SIO 専用ボーレートジェネレータプリスケール選択レジスタ (PSSR0)

UART/SIO 専用ボーレートジェネレータプリスケール選択レジスタ (PSSR0) は、ボーレートクロックの出力とプリスケールを制御するレジスタです。

■ UART/SIO 専用ボーレートジェネレータプリスケール選択レジスタ (PSSR0)

図 26.3-2 UART/SIO 専用ボーレートジェネレータ プリスケール選択レジスタ (PSSR0)

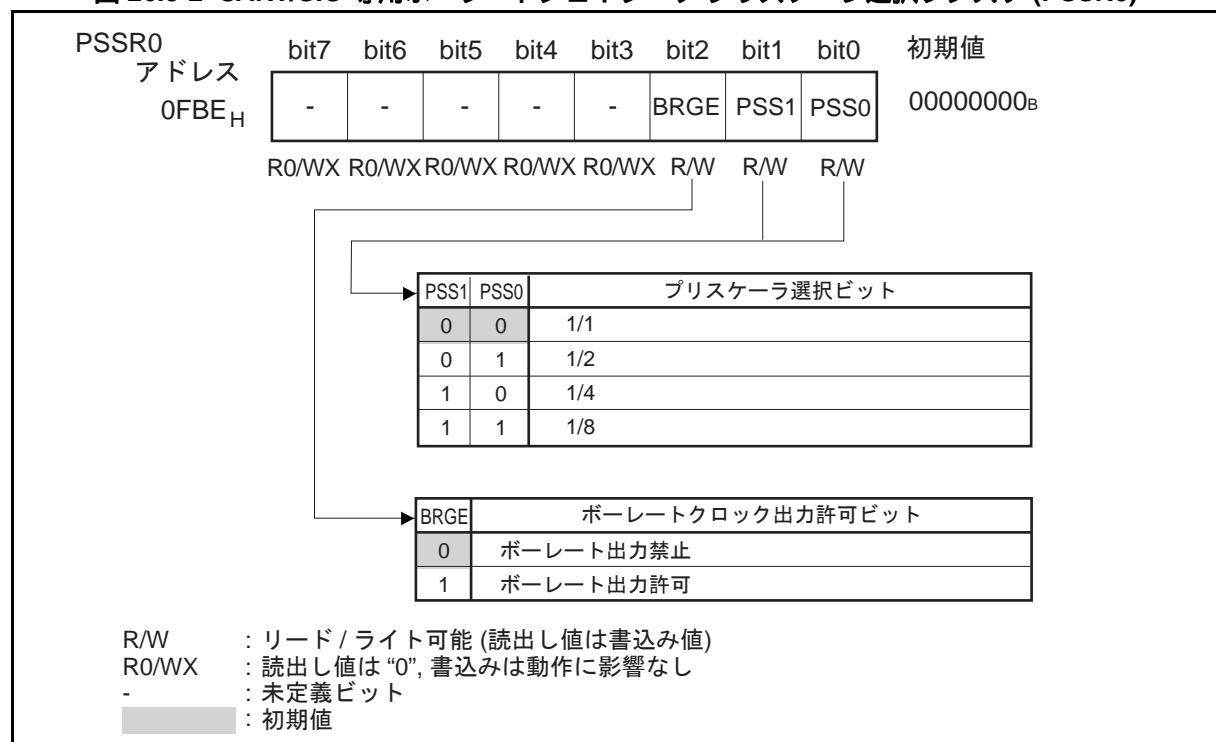


表 26.3-1 UART/SIO 専用ボーレートジェネレータプリスケール選択レジスタ (PSSR0)

ビット名		機能															
bit7 ~ bit3	未定義ビット	未定義ビットです。このビットからは必ず "0" が読み出されます。															
bit2	BRGE: ボーレートクロック 出力許可ビット	ボーレートクロック "BRCLK" の出力を許可します。 "1" に設定した場合: 8 ビットダウンカウンタに BRS[7:0] をロードして "BRCLK" が出力され, UART/SIO に供給されます。 "0" に設定した場合: "BRCLK" の出力を停止します。															
bit1, bit0	PSS1, PSS0: プリスケール選択 ビット	<table border="1"> <thead> <tr> <th>PSS1</th><th>PSS0</th><th>プリスケール選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>1/1</td></tr> <tr> <td>0</td><td>1</td><td>1/2</td></tr> <tr> <td>1</td><td>0</td><td>1/4</td></tr> <tr> <td>1</td><td>1</td><td>1/8</td></tr> </tbody> </table>	PSS1	PSS0	プリスケール選択	0	0	1/1	0	1	1/2	1	0	1/4	1	1	1/8
PSS1	PSS0	プリスケール選択															
0	0	1/1															
0	1	1/2															
1	0	1/4															
1	1	1/8															

26.3.2 UART/SIO 専用ポーレートジェネレータポーレート 設定レジスタ (BRSR0)

UART/SIO 専用ポーレートジェネレータポーレート設定レジスタ (BRSR0) は、ポー
レートの設定を制御するレジスタです。

■ UART/SIO 専用ポーレートジェネレータポーレート設定レジスタ (BRSR0)

図 26.3-3 UART/SIO 専用ポーレートジェネレータポーレート設定レジスタ (BRSR0)

アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0FBF _H	BRS7	BRS6	BRS5	BRS4	BRS3	BRS2	BRS1	BRS0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W	: リード / ライト可能 (読出し値は書込み値)								

8 ビットダウンカウンタの周期を設定します。このレジスタにより任意のポーレート
クロックを設定できます。このレジスタへの書込みは UART の動作停止中に行って
ください。

クロック非同期モードでは、BRS[7:0] を "00_H" または "01_H" に設定しないでください。

26.4 UART/SIO 専用ボーレートジェネレータの動作説明

UART/SIO 専用ボーレートジェネレータは、クロック非同期モードのボーレートジェネレータとして動作します。

■ ボーレート設定

シリアルクロックの選択は、UART/SIO の SMC10 レジスタ (CKS ビット) で行い、UART/SIO 専用ボーレートジェネレータを選択します。

CLK 非同期モード時は、CKS ビットで選択されたシフトクロックの 4 分周になり、選択されたボーレートの - 2% から + 2% までの範囲で転送可能です。UART/SIO 専用ボーレートジェネレータによるボーレート算出式を以下に示します。

図 26.4-1 UART/SIO 専用ボーレートジェネレータ使用時のボーレート算出式

$$\text{ボーレート値} = \frac{\text{マシニングクロック (MCLK)}}{4 \times \begin{matrix} 1 \\ 2 \\ 4 \\ 8 \end{matrix}} \times \begin{matrix} 2 \\ : \\ 255 \end{matrix} \quad [\text{bps}]$$

UART 専用ボーレートジェネレータプリ
スケーラ選択レジスタ (PSSR0)
プリスケーラ選択 (PSS1, PSS0)

UART 専用ボーレートジェネレータ
ボーレート設定レジスタ (BRSR0)
ボーレート設定 (BRS7 ~ BRS0)

表 26.4-1 ボーレートジェネレータによる非同期時転送レートの例
(マシニングクロック : 10MHz, 16MHz, 16.25MHz の場合)

UART/SIO 専用ボーレートジェネレータの設定		UART 内 部分周	トータル分周比 (PSS × BRS × 4)	ボーレート (10MHz ÷ トータル分周 比)	ボーレート (16MHz ÷ トータル分周 比)	ボーレート (16.25MHz ÷ トータル分周 比)
プリスケーラ選択 PSS[1:0]	ボーレートカウン タ設定 BRS[7:0]					
1 (設定値 : 0, 0)	20	4	80	125000	200000	203125
1 (設定値 : 0, 0)	22	4	88	113636	181818	184659
1 (設定値 : 0, 0)	44	4	176	56818	90909	92330
1 (設定値 : 0, 0)	87	4	348	28736	45977	46695
1 (設定値 : 0, 0)	130	4	520	19231	30769	31250
2 (設定値 : 0, 1)	130	4	1040	9615	15385	15625
4 (設定値 : 1, 0)	130	4	2080	4808	7692	7813
8 (設定値 : 1, 1)	130	4	4160	2404	3846	3906

また、UART モードにおけるボーレート設定が可能な範囲は以下のとおりです。

表 26.4-2 UART モードにおけるボーレート設定可能範囲

PSS[1:0]	BRS[7:0]
00 _B ~ 11 _B	02 _H (2) ~ FF _H (255)

第27章

I²C

I²C の機能と動作について説明します。

- 27.1 I²C の概要
- 27.2 I²C の構成
- 27.3 I²C のチャンネル
- 27.4 I²C のバスインタフェースの端子
- 27.5 I²C のレジスタ
- 27.6 I²C の割込み
- 27.7 I²C の動作説明と設定手順例
- 27.8 I²C 使用上の注意
- 27.9 I²C の設定例

27.1 I²C の概要

I²C インタフェースは、Philips 社の I²C バス仕様をサポートするインタフェースです。マスタ/スレーブモードの送信と受信、アービトレーションロスト検出、スレーブアドレス/ゼネラルコールアドレス検出、スタート/ストップ条件の発生と検出、バスエラー検出および MCU スタンバイウェイクアップ機能を提供します。

■ I²C の機能

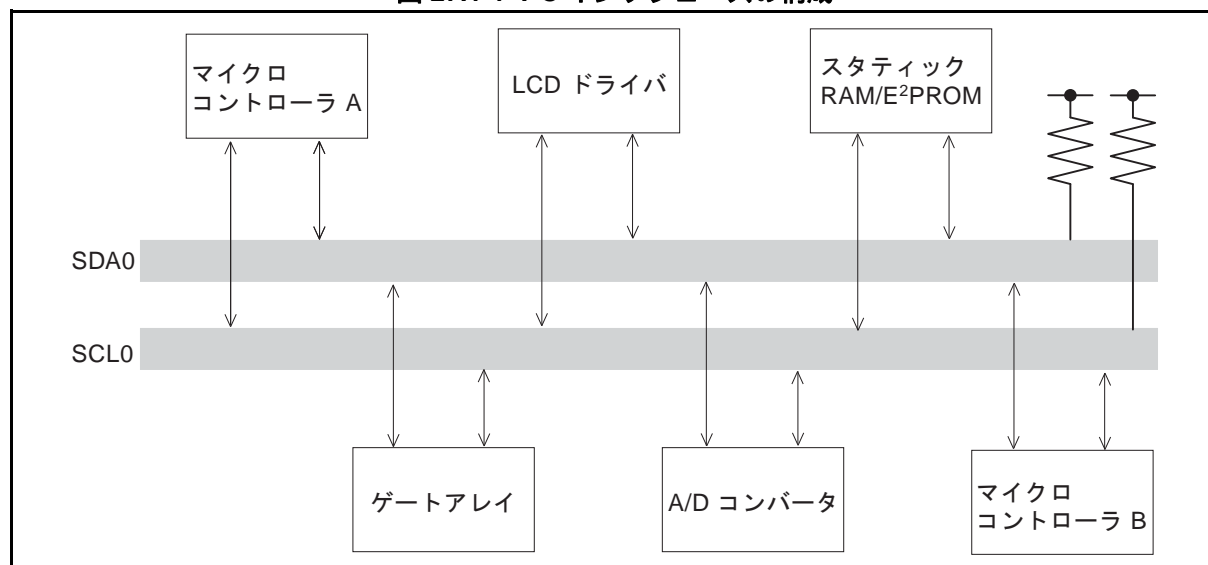
I²C インタフェースは双方向バスで、シリアルデータライン (SDA) とシリアルクロックライン (SCL) の 2 本のワイヤから構成されています。この 2 本のワイヤによってバスに接続される各装置は、互いに情報伝達が行われ、各装置にある固有のアドレスを認識することにより、それぞれの装置の機能に応じて送信装置および受信装置として動作が可能となります。装置間にはマスタとスレーブという関係が成り立ちます。

I²C インタフェースはバスのキャパシタンスの上限値が 400pF を超えなければ、バスに複数の装置を接続することが可能です。複数のマスタが同時にデータ転送を開始しようとした場合でも、データの破壊を防ぐために、衝突検出および通信調整手順を備えている本格的なマルチマスタバスです。

通信調整手順とは複数のマスタが同時にバスを制御しようとした場合に、1 つのマスタだけがバスを制御できるようにし、さらにメッセージが失われたり、内容が変更されたりしないようにする手順です。また、マルチマスタとはメッセージを失うことなく、複数のマスタが同時にバスを制御しようとすることです。

本 I²C インタフェースは、MCU スタンバイモードウェイクアップ機能を内蔵しています。

図 27.1-1 I²C インタフェースの構成



MB95330H シリーズ

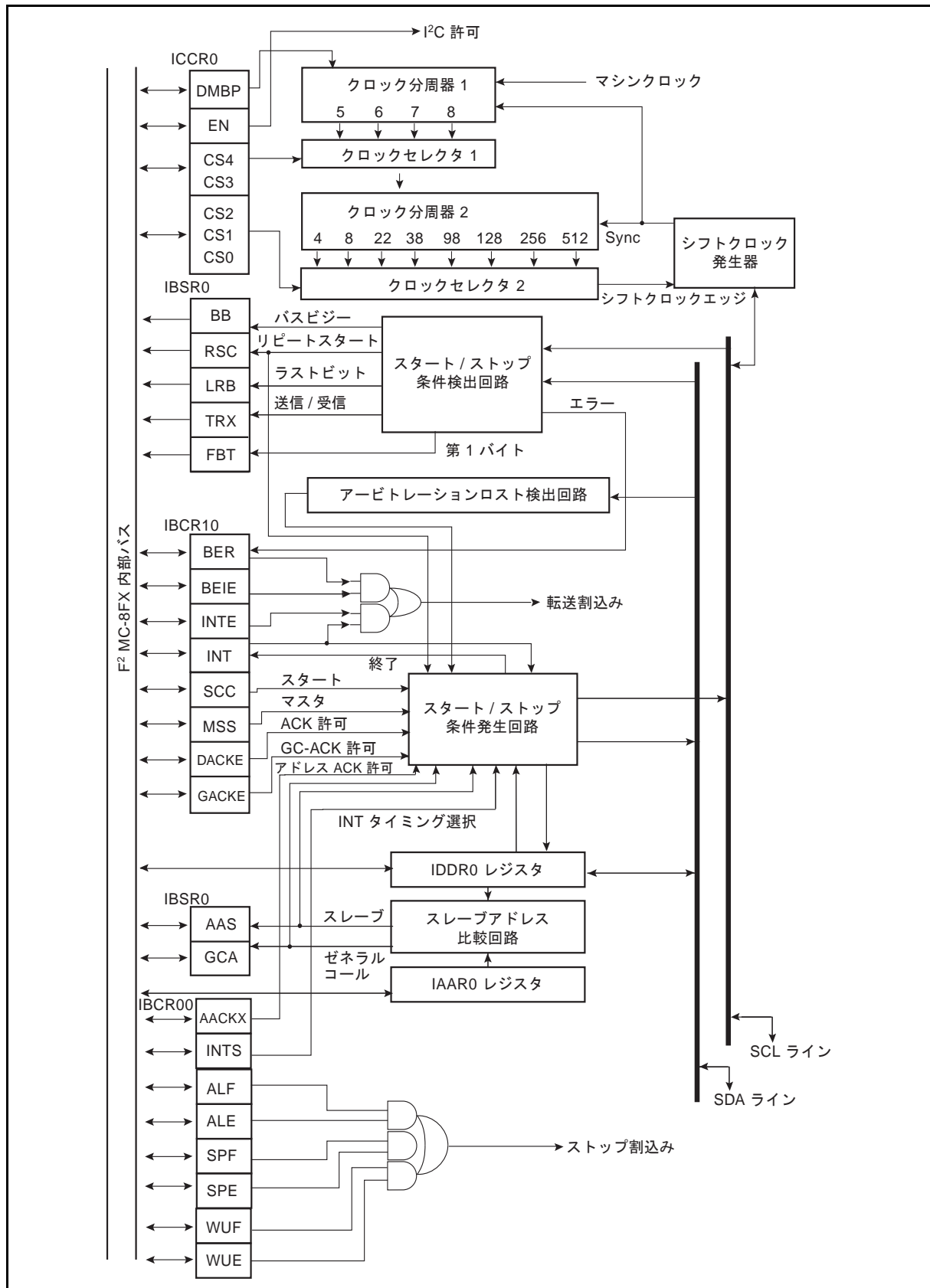
27.2 I²C の構成

I²C は、以下のブロックで構成されています。

- クロックセクタ
 - クロック分周器
 - シフトクロック発生器
 - スタート/ストップ条件発生回路
 - スタート/ストップ条件検出回路
 - アービトレーションロスト検出回路
 - スレーブアドレス比較回路
 - IBSR0 レジスタ
 - IBCR レジスタ (IBCR00, IBCR10)
 - ICCR0 レジスタ
 - IAAR0 レジスタ
 - IDDR0 レジスタ
-

■ I²C のブロックダイアグラム

図 27.2-1 I²C のブロックダイアグラム



● クロックセクタ・クロック分周器・シフトクロック発生器

この回路はマシクロックを使用し、I²C バスのシフトクロックを発生します。

● スタート / ストップ条件発生回路

バス開放時 (SCL と SDA が "H" レベルの場合)、スタート条件を送信することによってマスタは通信を開始します。SCL="H" の場合に、SDA ラインを "H" → "L" にするとスタート条件になります。マスタはストップ条件を発生することによって通信を終了できます。SCL="H" の場合に、SDA ラインが "L" → "H" にするとストップ条件になります。

● スタート / ストップ条件検出回路

この回路は、データ転送のスタート / ストップ条件を検出します。

● アービトレーションロスト検出回路

このインタフェース回路はマルチマスタシステムに対応しています。複数のマスタが同時送信すると、アービトレーションロスト (SDA ラインが "L" レベルのときに論理レベル "1" を送信した場合) が発生します。アービトレーションロストを検出すると、IBCR00:ALF が "1" になり、マスタは自動的にスレーブに変わります。

● スレーブアドレス比較回路

スレーブアドレス比較回路は、スタート条件後、スレーブアドレスを受信して自己のスレーブアドレスと比較します。このアドレスは 7 ビットのデータで、その後部に 8 ビット目のデータ方向ビット (R/W) が続きます。受信したアドレスが自己のスレーブアドレスと一致した場合にアクノリッジを送信します。

● IBSR0 レジスタ

IBSR0 レジスタは I²C インタフェースのステータスを表します。

● IBCR レジスタ (IBCR00, IBCR10)

IBCR レジスタはオペレーティングモードの選択、割込みの許可 / 禁止、アクノリッジの許可 / 禁止、ゼネラルコールアクノリッジの許可 / 禁止および MCU スタンバイモードウェイクアップ機能の許可 / 禁止時に使用されます。

● ICCR0 レジスタ

ICCR0 レジスタは I²C インタフェースの動作許可とシフトクロック周波数の選択に使用されます。

● IAAR0 レジスタ

IAAR0 レジスタはスレーブアドレスの設定に使用されます。

● IDDR0 レジスタ

IDDR0 レジスタは、送受信されるシフトデータ / アドレスを保持するレジスタです。送信ではこのレジスタに書かれたデータ / アドレスが MSB ファーストからバスに転送されます。

■ 入力クロック

I²C は、マシクロックを入力クロック (シフトクロック) として使用します。

MB95330H シリーズ

27.3 I²C のチャンネル

I²C のチャンネルについて説明します。

■ I²C のチャンネル

MB95330H シリーズは、I²C を 1 チャンネル搭載しています。

I²C の端子とレジスタを、表 27.3-1 および表 27.3-2 にそれぞれ示します。

表 27.3-1 I²C の端子

チャンネル	端子名	端子機能
0	SCL SDA	I ² C バス I/O

表 27.3-2 I²C のレジスタ

チャンネル	レジスタ略称	レジスタ対応 (本マニュアル上の表記)
0	IBCR00	I ² C バス制御レジスタ 0
	IBCR10	I ² C バス制御レジスタ 1
	IBSR0	I ² C バスステータスレジスタ
	IDDR0	I ² C データレジスタ
	IAAR0	I ² C アドレスレジスタ
	ICCR0	I ² C クロック制御レジスタ

27.4 I²C のバスインタフェースの端子

I²C のバスインタフェースの端子および端子のブロックダイアグラムを示します。

■ I²C のバスインタフェースの端子

I²C バスインタフェースの端子には、SDA 端子および SCL 端子があります。

● SDA 端子

SDA 端子は、汎用入出力ポートとしての機能、外部割込み入力（ヒステリシス入力）としての機能、8 ビットシリアル I/O のシリアルデータ出力端子（N-ch オープンドレイン）としての機能および I²C のデータ I/O 端子としての機能（SDA）を兼用しています。

SDA : SDA 端子は、I²C インタフェースの動作が許可（ICCR0:EN=1）された場合、自動的にデータ入出力端子になり、SDA 端子として機能します。

入力端子として使用する場合は、I²C の動作を許可し（ICCR0:EN=1）、対応するポート方向レジスタ（DDR）の bit0 に "0"（入力）を設定してください。

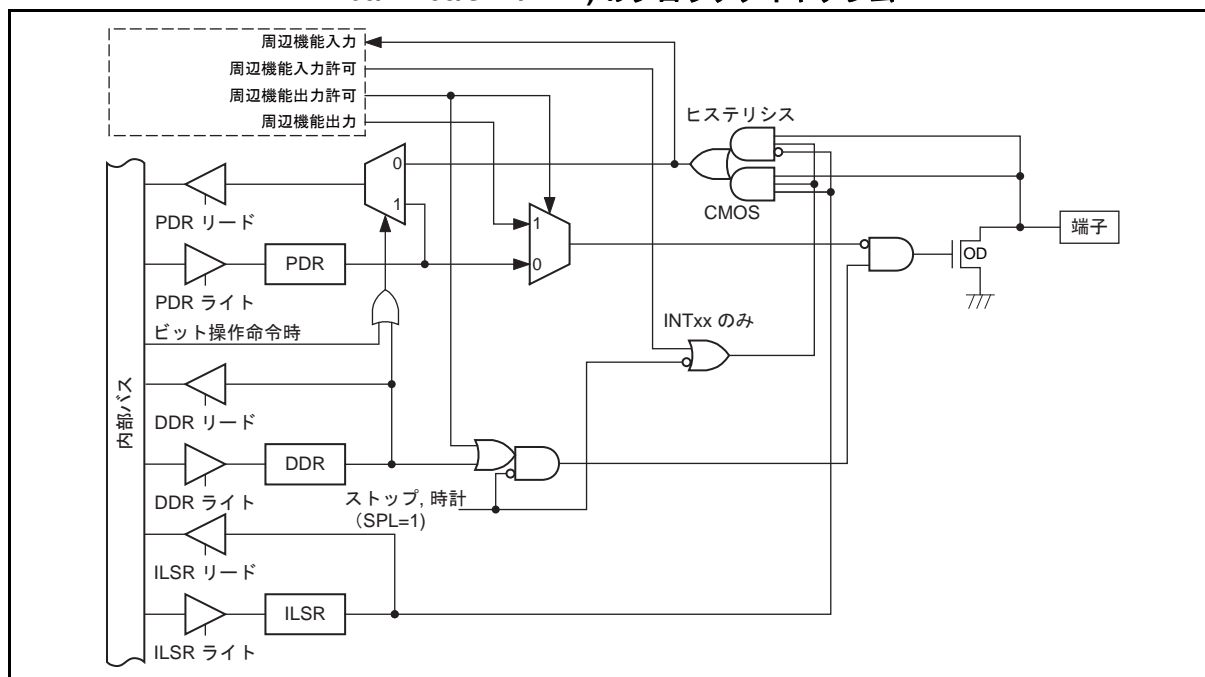
● SCL 端子

SCL 端子は、N-ch オープンドレイン入出力ポート、外部割込み入力（ヒステリシス入力）としての機能、8 ビットシリアル I/O のシリアルデータ入力（ヒステリシス入力）機能または I²C のシリアルクロック I/O 端子としての機能（SCL）を兼用しています。

SCL : SCL 端子は、I²C インタフェースの動作が許可（ICCR0:EN=1）された場合、自動的にシフトクロック入出力端子になり、SCL 端子として機能します。

入力端子として使用する場合は、I²C の動作を許可し（ICCR0:EN=1）、対応するポート方向レジスタ（DDR）の bit1 に "0"（入力）を設定してください。

MB95330H シリーズ

■ I²C バスインタフェースに関連する端子のブロックダイアグラム図 27.4-1 I²C バスインタフェースに関連する端子 SCL, SDA (P61/INT09/SCL/TI1, P60/INT08/SDA/DTTI) のブロックダイアグラム

27.5 I²C のレジスタ

I²C のレジスタについて説明します。

■ I²C のレジスタ

図 27.5-1 I²C のレジスタ

I ² C バス制御レジスタ 0 (IBCR00)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0060 _H	AACKX	INTS	ALF	ALE	SPF	SPE	WUF	WUE	00000000 _B
	R/W	R/W	R(RM1),W	R/W	R(RM1),W	R/W	R(RM1),W	R/W	
I ² C バス制御レジスタ 1 (IBCR10)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0061 _H	BER	BEIE	SCC	MSS	DACKE	GACKE	INTE	INT	00000000 _B
	R(RM1),W	R/W	R0,W	R/W	R/W	R/W	R/W	R(RM1),W	
I ² C バスステータスレジスタ (IBSR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0062 _H	BB	RSC	-	LRB	TRX	AAS	GCA	FBT	00000000 _B
	R/WX	R/WX	R0/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
I ² C データレジスタ (IDDR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0063 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
I ² C アドレスレジスタ (IAAR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0064 _H	-	A6	A5	A4	A3	A2	A1	A0	00000000 _B
	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
I ² C クロック制御レジスタ (ICCR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0065 _H	DMBP	-	EN	CS4	CS3	CS2	CS1	CS0	00000000 _B
	R/W	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能 (読出し値は書込み値)									
R(RM1),W : リード / ライト可能 (読出し値と書込み値が異なる , リードモディファイライト (RMW) 命令時は "1" 読出し)									
R0,W : ライトオンリ (書込みは可能 , 読出し値は "0")									
R/WX : リードオンリ (読出しは可能 , 書込みは動作に影響なし)									
R0/WX : 読出し値は "0" , 書込みは動作に影響なし									
- : 未定義ビット									

27.5.1 I²C バス制御レジスタ (IBCR00, IBCR10)

I²C バス制御レジスタはオペレーティングモードの選択，割込み許可 / 禁止，アクノリッジの許可 / 禁止，ゼネラルコールアクノリッジの許可 / 禁止および MCU スタンバイウェイクアップ機能の許可 / 禁止時に使用されます。

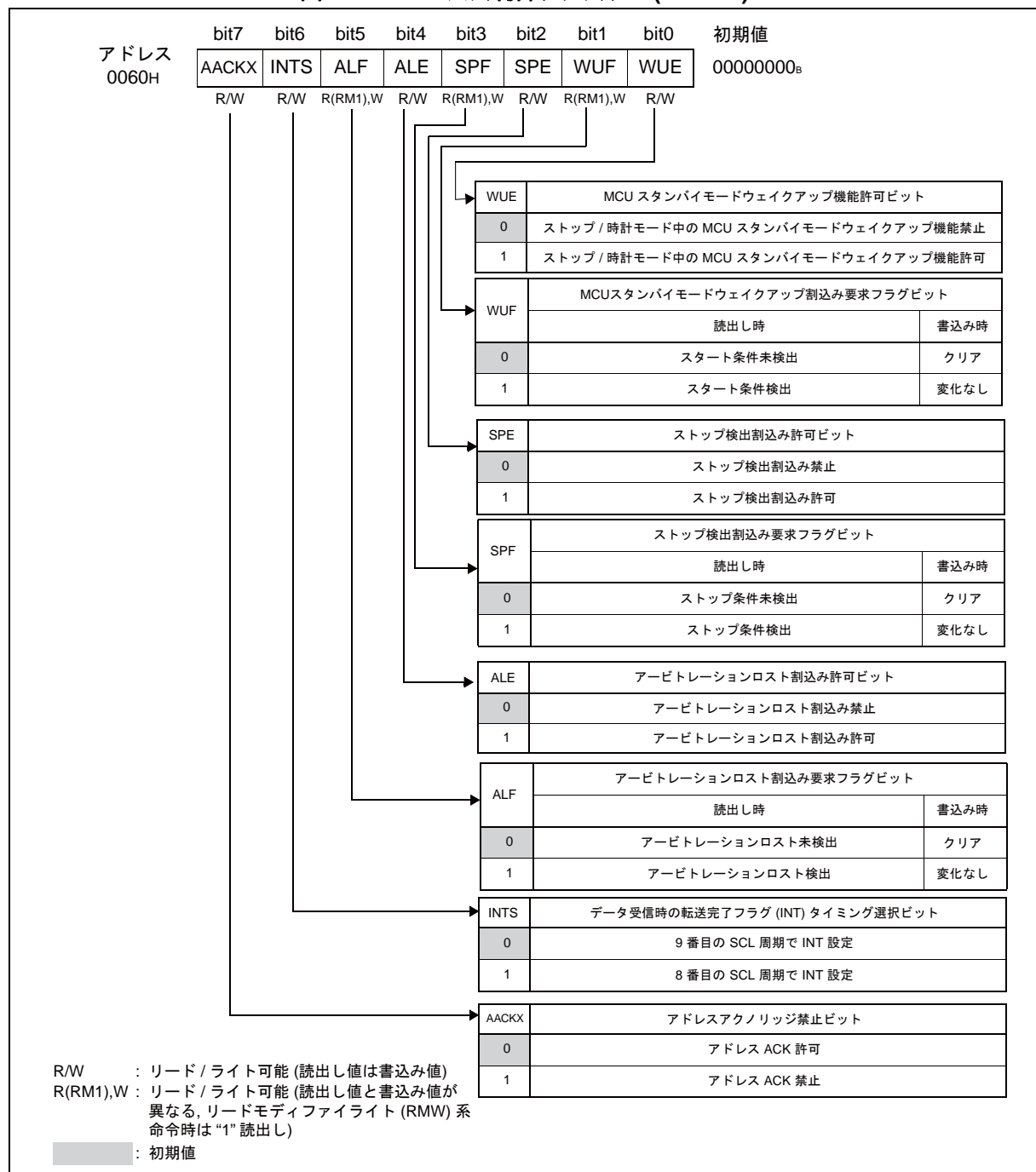
■ I²C バス制御レジスタ 0 (IBCR00)図 27.5-2 I²C バス制御レジスタ 0 (IBCR00)

表 27.5-1 I²C バス制御レジスタ 0 (IBCR00) (1 / 3)

ビット名		機能
bit7	AACKX: アドレス アクノリッ ジ禁止ビット	<p>このビットは、第 1 バイト送信時のアドレス ACK を制御します。</p> <p>"0" を書き込んだ場合: アドレス ACK が自動的に出力されます (スレーブアドレスと一致すると、アドレス ACK が自動的に返されます)。</p> <p>"1" を書き込んだ場合: アドレス ACK は出力されません。</p> <p>このビットへは、次のどちらかの方法で "1" を書き込んでください。</p> <ul style="list-style-type: none"> - マスタモード時に、このビットに "1" を書き込んでください。 - バスビジービットが "0" (IBSR0:BB=0) であることを確認後、このビットを "0" にクリアしてください。 <p>(注意事項)・IBCR10:INT ビットの割込み発生時に AACKX=1 かつ IBSR0:FBT=0 の場合、I²C のアドレスとスレーブアドレスが一致してもアドレス ACK は出力されませんが、アドレッシングされた場合と同様に 1 バイトのアドレス / データ転送終了ごとに割込みを発生しますので、IBCR10:INT ビットを "0" にクリアしてください。</p> <ul style="list-style-type: none"> ・ IBCR10:INT ビットの割込み発生時に AACKX=1 かつ IBSR0:FBT=1 の場合、スレーブモードとしてアドレッシングされた後に AACKX に "1" を書き込んだことが考えられますので、再度 AACKX に "0" を設定した後に通常の通信を続けるか、I²C の動作を禁止 (ICCR0:EN=0) した後に通信を再開するかしてください。
bit6	INTS: データ受信時の転送 完了フラグ (INT) タイ ミング選択ビット	<p>このビットは、データ受信時における転送完了割込み (IBCR10:INT) のタイミングを選択します。このビットの変更は IBSR0:TRX=0 かつ IBSR0:FBT=0 のときに行ってください。</p> <p>"0" を書き込んだ場合: 9 番目の SCL 周期で転送完了割込み (IBCR10:INT) が設定されます。</p> <p>"1" を書き込んだ場合: 8 番目の SCL 周期で転送完了割込み (IBCR10:INT) が設定されます。</p> <p>(注意事項)・データ受信時 (IBSR0:TRX=1 もしくは IBSR0:FBT=1) 以外、転送完了割込み (IBCR10:INT) は常に 9 番目の SCL 周期で設定されます。</p> <ul style="list-style-type: none"> ・ データ ACK が受信データの内容に依存する場合 (SM バスで使われるパケットエラーチェックなど)、このビットに "1" を書き込む (例えば前の転送完了割込みにて) ことで最新の受信データを読み出せるようにした上で、データ ACK 許可ビット (IBCR10:DACK) の設定によりデータ ACK を制御してください。 ・ 最新のデータ ACK (IBSR0:LRB) の読出しは、ACK 受信後に行えます (IBSR0:LRB の読出しは、9 番目の SCL 周期における転送終了割込みで行われる必要があります)。そのため、このビットが "1" のときに ACK を読み出す場合は、8 番目の SCL 周期による転送終了割込み中に、このビットに "0" を書き込んで、9 番目の SCL 周期で、再度、転送終了割込みが発生するよう設定する必要があります。
bit5	ALF: アービトレーション ロスト割込み要求フ ラグビット	<p>このビットはアービトレーションロストの検出に使用します。</p> <ul style="list-style-type: none"> ・ このビットと IBCR00:ALE ビットがともに "1" のとき、アービトレーションロスト割込み要求を発生します。 ・ このビットは以下の条件で "1" になります。 <ul style="list-style-type: none"> - マスタとしてデータ / アドレス送信中にアービトレーションロストが検出された場合。 - ほかのシステムがバスを使用中に IBCR10:MSS ビットに "1" を書き込んだ場合。ただし、スレーブとして AACK または GACK を返した後、MSS ビットに "1" を書き込んだ場合は設定されません。 ・ このビットは以下の条件で "0" になります。 <ul style="list-style-type: none"> - IBSR0:BB=0 のときに IBCR00:ALF ビットに "0" を書き込んだ場合 - 転送終了フラグのクリアのために IBCR10:INT ビットに "0" を書き込んだ場合 ・ このビットへ "1" の書込みを行っても、ビットの値は変化せず、動作に影響を与えません。 ・ リードモディファイライト (RMW) 命令では "1" が読み出せます。

表 27.5-1 I²C バス制御レジスタ 0 (IBCR00) (2 / 3)

ビット名		機能
bit4	ALE: アービトレーション ロスト割込み許可 ビット	このビットは、アービトレーションロスト割込みの許可 / 禁止を選択します。 このビットと IBCR00:ALF ビットがともに "1" のとき、アービトレーションロスト 割込み要求を発生します。 "0" を書き込んだ場合 : アービトレーションロスト割込みは禁止されます。 "1" を書き込んだ場合 : アービトレーションロスト割込みは許可されます。
bit3	SPF: ストップ検出割込み 要求フラグビット	このビットは、ストップ条件の検出に使用します。 • このビットと IBCR00:SPE ビットがともに "1" のとき、ストップ検出割込み要求 を発生します。 • このビットは、バスビジー中にストップ条件が正当に検出された場合は "1" にな ります。 "0" を書き込んだ場合 : クリアされます ("0" となります)。 "1" を書き込んだ場合 : ビットの値は変化せず、動作に影響を与えません。 • リードモディファイライト (RMW) 命令では "1" が読み出せます。
bit2	SPE: ストップ検出割込み 許可ビット	このビットは、ストップ検出割込みの許可 / 禁止を選択します。 このビットと IBCR00:SPF ビットがともに "1" のとき、ストップ検出割込み要求を 発生します。 "0" を書き込んだ場合 : ストップ検出割込みは禁止されます。 "1" を書き込んだ場合 : ストップ検出割込みは許可されます。
bit1	WUF: MCU スタンバイモー ドウェイクアップ割 込み要求フラグビッ ト	このビットは、ストップ / 時計モード中の MCU スタンバイモードウェイクアップ 検出に使用します。 • このビットと IBCR00:WUE ビットがともに "1" のとき、ウェイクアップ割込み要 求を発生します。 • このビットは、ウェイクアップ機能の許可 (IBCR00:WUE=1) 時に、スタート条件 が検出された場合は "1" になります。 "0" を書き込んだ場合 : クリアされます ("0" となります)。 "1" を書き込んだ場合 : ビットの値は変化せず、動作に影響を与えません。 • リードモディファイライト (RMW) 命令では "1" が読み出せます。

表 27.5-1 I²C バス制御レジスタ 0 (IBCR00) (3 / 3)

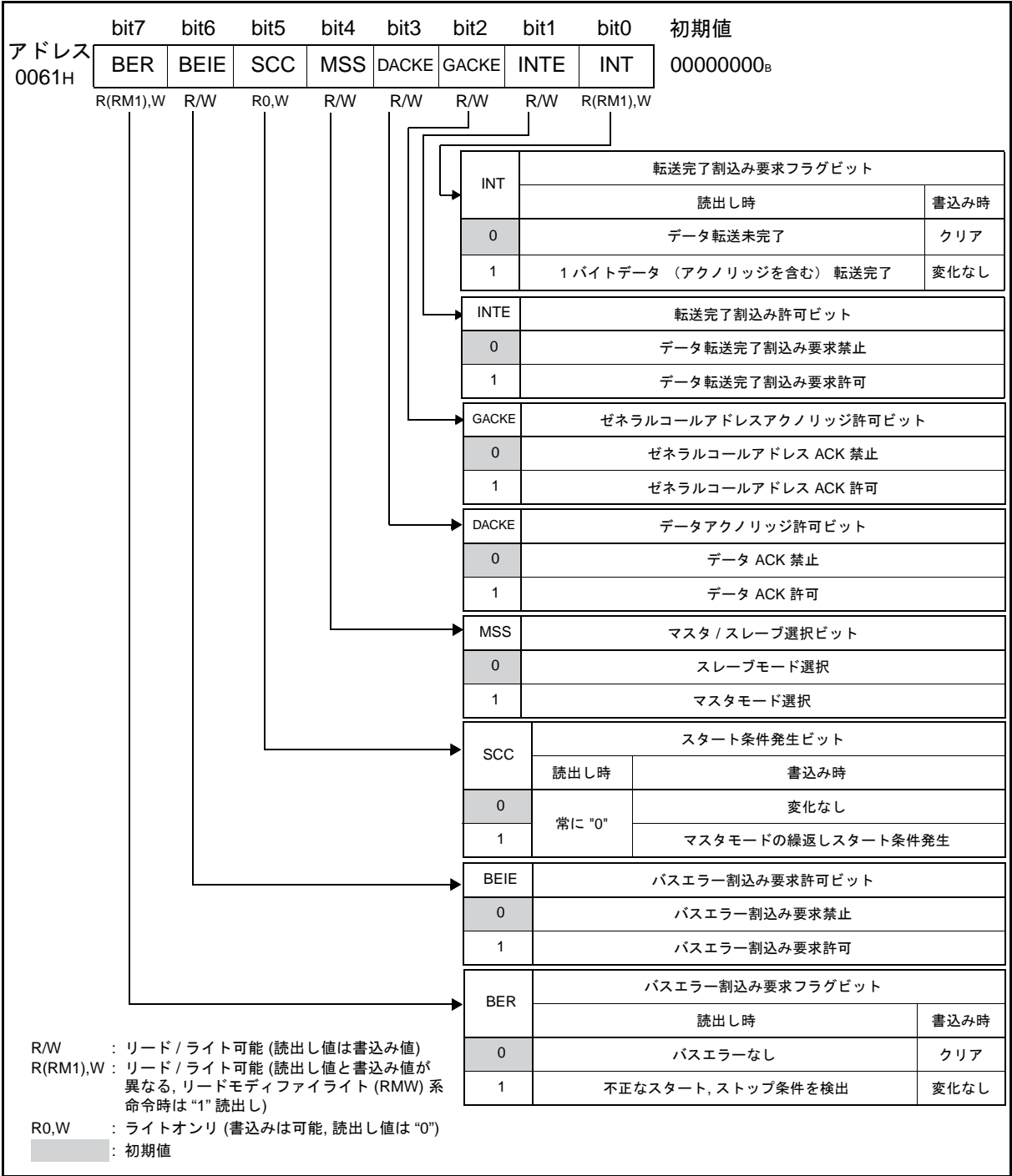
ビット名	機能
bit0 WUE: MCU スタンバイモードウェイクアップ機能許可ビット	<p>このビットは、ストップ / 時計モード中の MCU スタンバイモードウェイクアップ機能の許可 / 禁止を選択します。</p> <p>"0" を書き込んだ場合 : ウェイクアップ機能は禁止されます。</p> <p>"1" を書き込んだ場合 : ウェイクアップ機能は許可されます。</p> <p>ストップ / 時計モード中にこのビットが "1" で、かつスタート条件が検出された場合、I²C の動作開始のためにウェイクアップ割込み要求を発生します。</p> <p>(注意事項) ・このビットへの "1" の書込みは、MCU がストップ / 時計モードに入る直前に行ってください。また、MCU がストップ / 時計モードからウェイクアップした後、I²C の動作をすぐに再開できるように、できるだけ早くこのビットをクリア ("0" 書込み) してください。</p> <ul style="list-style-type: none"> ・ウェイクアップ割込み要求が発生した後、MCU は発振安定待ち時間の経過後にウェイクアップします。したがって、ウェイクアップ直後のデータの取り逃しを避けるため、I²C 送信開始 (SDA の立下りエッジ検出) によるウェイクアップから 100μs (最小の発振安定待ち時間が 100μs と仮定した場合) 以降に、SCL が最初の周期として立ち上がり、第 1 ビットがデータとして受信されなければなりません。 ・MCU スタンバイモード中、本 I²C 機能のステータスフラグ、ステートマシンおよび I²C バス出力は、スタンバイモードに入る直前の状態を保持します。I²C バスシステム全体のハングアップを避けるため、スタンバイモードに入れる前に、IBSR0:BB=0 となっていることを確認してください。 ・ウェイクアップ機能は、IBSR0:BB=1 における MCU のストップ / 時計モードへの遷移をサポートしていません。もしも IBSR0:BB=1 で MCU がストップ / 時計モードへ遷移した場合、スタート条件を検出した段階でバスエラーとなります。 ・ウェイクアップ機能は MCU のストップ / 時計モードのみ有効となります。

< 注意事項 >

IBCR00 レジスタの AACKX ビット、INTS ビットおよび WUE ビットは、I²C の動作が禁止 (ICCR0:EN=0) か、バスエラーが発生 (IBCR10:BER=1) した場合、各ビットの値が "0" になり、書込みができなくなります。

■ I²C バス制御レジスタ 1 (IBCR10)

図 27.5-3 I²C バス制御レジスタ 1 (IBCR10)



R/W

: リード / ライト可能 (読出し値は書込み値)

R(RM1),W

: リード / ライト可能 (読出し値と書込み値が異なる, リードモディファイライト (RMW) 系命令時は "1" 読出し)

R0,W

: ライトオンリ (書込みは可能, 読出し値は "0")

: 初期値

表 27.5-2 I²C バス制御レジスタ 1 (IBCR10) (1 / 2)

ビット名		機能
bit7	BER: バスエラー割込み要求フラグビット	<p>このビットはバスエラーの検出に使用します。</p> <ul style="list-style-type: none"> このビットと IBCR10:BEIE ビットがともに "1" のとき、バスエラー割込み要求が発生します。 不正なスタート、ストップ条件を検出した場合、このビットは "1" になります。 "0" を書き込んだ場合：クリアされます ("0" となります)。 "1" を書き込んだ場合：ビットの値は変化せず、動作に影響を与えません。 リードモディファイライト (RMW) 命令では "1" が読み出せます。 このビットが "1" になった場合、ICCR0:EN も "0" になり、I²C インタフェースの動作が禁止され、データ転送を終了します。
bit6	BEIE: バスエラー割込み要求許可ビット	<p>このビットは、バスエラー割込みの許可 / 禁止を選択します。</p> <p>このビットと IBCR10:BER ビットがともに "1" のとき、バスエラー割込み要求が発生します。</p> <ul style="list-style-type: none"> "0" を書き込んだ場合：バスエラー割込みは禁止されます。 "1" を書き込んだ場合：バスエラー割込みは許可されます。
bit5	SCC: スタート条件発生ビット	<p>このビットは、マスタモード中に繰返しスタート条件が発生し、通信を再スタートさせます。</p> <ul style="list-style-type: none"> マスタモード中にこのビットへ "1" 書き込みを行った場合、繰返しスタート条件が発生します。 このビットへ "0" の書き込みを行っても、動作に影響を与えません。 読出し動作では "0" が読み出せます。 <p>(注意事項)・IBCR10:SCC=1 と IBCR10:MSS=0 を同時に設定しないでください。</p> <ul style="list-style-type: none"> IBCR10:INT=0 のときに、このビットへ "1" を書き込んだ場合、書き込みは無視されます (スタート条件は発生しません)。また、IBCR10:INT=1 のときに、このビットへ "1" の書き込みと、IBCR10:INT ビットの "0" の書き込みを同時に行った場合、このビットが優先されてスタート条件が発生します。
bit4	MSS: マスタ / スレーブ選択ビット	<p>このビットは、マスタモードかスレーブモードかを選択します。</p> <ul style="list-style-type: none"> I²C バスがアイドル状態 (IBSR0:BB=0) のときに、このビットに "1" を書き込むと、マスタモードが選択され、スタート条件の発生後にアドレス転送が開始されます。 I²C バスがビジー状態 (IBSR0:BB=1) のときにこのビットに "0" を書き込むと、スレーブモードが選択され、ストップ条件の発生後にデータ転送を終了します。 マスタモードのデータ / アドレス転送中にアービトラージョンロストが発生した場合、このビットは "0" にクリアされてスレーブモードになります。 <p>(注意事項)・IBCR10:SCC=1 と IBCR10:MSS=0 を同時に設定しないでください。</p> <ul style="list-style-type: none"> IBCR10:INT=0 のときに、このビットへ "0" を書き込んだ場合、書き込みは無視されます。また、IBCR10:INT=1 のときにこのビットへ "0" の書き込みと、IBCR10:INT ビットへ "0" の書き込みを同時に行った場合、このビットが優先されてストップ条件が発生します。 スレーブモードで送受信中に MSS ビットに "1" を書き込んでも、IBCR00:ALF ビットは設定されません。スレーブモードで送受信中に MSS ビットに "1" を書き込まないでください。
bit3	DACKE: データアクノリッジ許可ビット	<p>このビットは、データ受信時のデータアクノリッジを制御します。</p> <ul style="list-style-type: none"> "0" を書き込んだ場合：データアクノリッジ出力は禁止されます。 "1" を書き込んだ場合：データアクノリッジ出力は許可されます。このとき、マスタモードでは、データアクノリッジがデータ受信の 9 番目の SCL 周期で出力されます。また、スレーブモードでは、アドレスアクノリッジが既に出力されている場合のみ、データアクノリッジがデータ受信の 9 番目の SCL 周期で出力されます。

MB95330H シリーズ

表 27.5-2 I²C バス制御レジスタ 1 (IBCR10) (2 / 2)

ビット名		機能
bit2	GACKE: ゼネラルコールアド レスアクノリッジ許 可ビット	このビットは、ゼネラルコールアドレスアクノリッジを制御します。 "0" を書き込んだ場合 :ゼネラルコールアドレスアクノリッジ出力が禁止されま す。 "1" を書き込んだ場合 :マスタ / スレーブモード中にゼネラルコールアドレス (00 _H) を受信すると、ゼネラルコールアドレスアクノリッジが出力されま す。
bit1	INTE: 転送完了割込み許可 ビット	このビットは、転送完了割込みの許可 / 禁止を選択します。 "0" を書き込んだ場合 :転送完了割込みは禁止されます。 "1" を書き込んだ場合 :転送完了割込みは許可されます。 このビットと IBCR10:INT ビットがともに "1" のとき、転送完了割込み要求を発生 します。
bit0	INT: 転送完了割込み要求 フラグビット	このビットは転送完了の検出に使用します。 <ul style="list-style-type: none"> このビットと IBCR10:INTE ビットがともに "1" のとき、転送完了割込み要求を発生 します。 このビットは、以下の 4 つのいずれかの条件で、1 バイトのアドレス / データ転送 が完了 (アクノリッジを含むかどうかは IBCR00:INTS の設定に依存する) した場 合に "1" になります。 <ul style="list-style-type: none"> バスマスタモードの場合 スレーブとしてアドレッシングされている場合 ゼネラルコールアドレスを受信している場合 アービトレーションロストを検出している場合 このビットは以下の条件で "0" になります。 <ul style="list-style-type: none"> このビットに "0" を書き込んだ場合 マスタモードで、繰返しスタート条件 (IBCR10:SCC=1) もしくはストップ条件 (IBCR10:MSS=0) を発生させた場合 このビットへ "1" の書込みを行っても、ビットの値は変化せず、動作に影響を与 えません。 リードモディファイライト (RMW) 命令では "1" が読み出せます。 このビットが "1" のとき、SCL ラインは "L" に保持されます。 このビットに "0" を書き込んでクリアすると (値が "0" になります)、SCL ライン は開放されて次のバイトデータ送信が可能となります。 <p>(注意事項)・このビットが "0" のときに IBCR10:SCC に "1" を書き込んだ場合、 IBCR10:SCC ビットが優先されてスタート条件を発生します。 <ul style="list-style-type: none"> このビットが "0" のときに IBCR10:MSS に "0" を書き込んだ場合、 IBCR10:MSS ビットが優先されてストップ条件を発生します。 データ受信時に IBCR00:INTS=1 であった場合、このビットは 1 バイト データ転送完了後 (アクノリッジを含みません) に "1" になります。そ れ以外の場合、このビットはアクノリッジを含む 1 バイトのデータ / ア ドレス送受信完了後に "1" になります。 </p>

< 注意事項 >

- 割込み要求フラグ (IBCR10:BER) に "0" を書き込んでクリアするとき、割込み要求許
可ビット (IBCR10:BEIE) を同時に書き換えないでください。
- BER ビット BEIE ビットを除く IBCR10 のすべてのビットは、動作禁止
(ICCR0:EN=0)、もしくはバスエラーの発生 (IBCR10:BER=1) により、"0" にクリアされ
ます。

27.5.2 I²C バスステータスレジスタ (IBSR0)

IBSR0 レジスタは I²C インタフェースのステータスを示します。

■ I²C バスステータスレジスタ (IBSR0)

図 27.5-4 I²C バスステータスレジスタ (IBSR0)

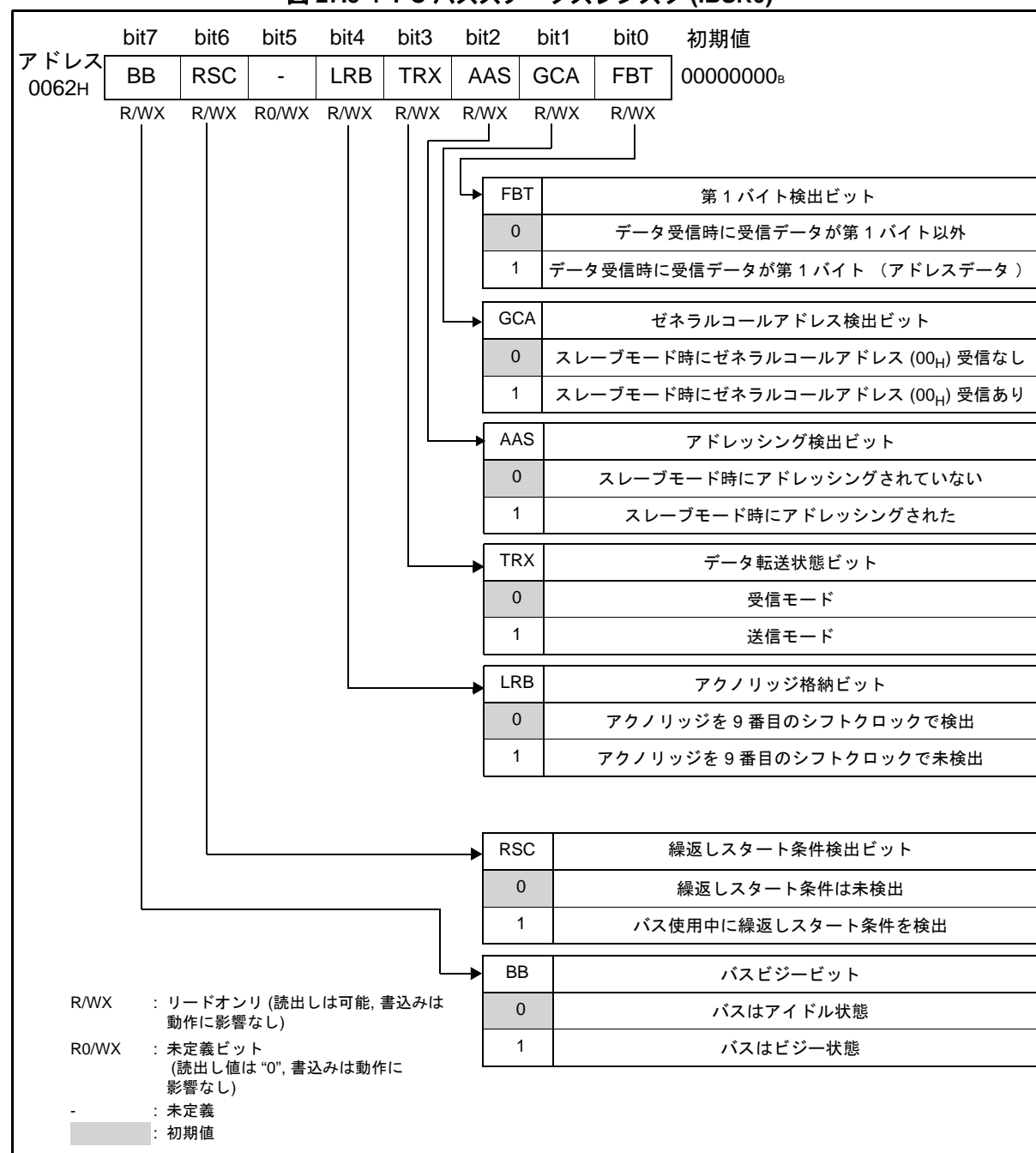


表 27.5-3 I²C バスステータスレジスタ (IBSR0) (1 / 2)

ビット名		機能
bit7	BB: バスビジービット	このビットは、バスの状態を示します。 <ul style="list-style-type: none"> このビットは、スタート条件が検出された場合に "1" になります。 このビットは、ストップ条件が検出された場合に "0" になります。
bit6	RSC: 繰返しスタート条件 検出ビット	このビットは、繰返しスタート条件の検出に使用します。 <ul style="list-style-type: none"> このビットは、繰返しスタート条件が検出された場合に "1" になります。 このビットは以下の条件で "0" になります。 <ul style="list-style-type: none"> IBCR10:INT へ "0" を書き込んだ場合 スレーブモード時においてスレーブアドレスが IAAR0 の設定アドレスと一致しない場合 スレーブモード時においてスレーブアドレスが IAAR0 の設定アドレスと一致するが IBCR00:AACKX=1 である場合 スレーブモード時においてゼネラルコールアドレスを受信したが、IBCR10:GACKE=0 である場合 ストップ条件を検出した場合
bit5	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。
bit4	LRB: アクリッジ 格納 ビット	このビットは、データバイト転送時に、9 番目のシフトクロックで SDA ラインの値を取り込みます。 <ul style="list-style-type: none"> このビットは、アクリッジが未検出のとき (SDA= "H") に "1" になります。 このビットは以下の条件で "0" になります。 <ul style="list-style-type: none"> アクリッジを検出 (SDA= "L") した場合 スタート条件またはストップ条件を検出した場合 (注意事項)上記のことから、このビットの読出しは ACK の後に行う必要があります (9 番目の SCL 周期における転送完了割込みにて値を読み出してください)。そのため、IBCR00:INTS ビットが "1" のときに ACK を読み出す場合は、8 番目の SCL 周期による転送完了割込み中に、IBCR00:INTS ビットに "0" を書き込んで、9 番目の SCL 周期で再度転送完了割込みが発生するように設定する必要があります。
bit3	TRX: データ転送状態ビ ット	このビットはデータ転送モードを示します。 <ul style="list-style-type: none"> このビットは、転送モードでデータ転送が行われた場合に "1" になります。 このビットは以下の条件で "0" になります。 <ul style="list-style-type: none"> 受信モードでデータ転送が行われた場合 スレーブ送信モードで NACK を受信した場合
bit2	AAS: アドレッシング検出 ビット	このビットはスレーブモード時に MCU がアドレッシングされたことを示します。 <ul style="list-style-type: none"> このビットは、スレーブモード時に MCU がアドレッシングされた場合に "1" になります。 このビットは、スタートまたはストップ条件が検出された場合に "0" になります。
bit1	GCA: ゼネラルコール アド レス検出ビット	このビットはゼネラルコールアドレスの検出に使用します。 <ul style="list-style-type: none"> このビットは以下の条件で "1" になります。 <ul style="list-style-type: none"> スレーブモードでゼネラルコールアドレス (00_H) を受信した場合 IBCR10:GACKE=1 のとき、マスタモードでゼネラルコールアドレス (00_H) を受信した場合 マスタモードで、2 バイト目のゼネラルコールアドレス送信中に、アービトレーションロストが検出された場合 このビットは以下の条件で "0" になります。 <ul style="list-style-type: none"> スタート条件またはストップ条件を検出した場合 マスタモードで、2 バイト目のゼネラルコールアドレス送信中に、アービトレーションロストが検出されなかった場合

表 27.5-3 I²C バスステータスレジスタ (IBSR0) (2 / 2)

ビット名		機能
bit0	FBT: 第 1 バイト検出ビット	<p>このビットは、第 1 バイトの検出に使用します。</p> <ul style="list-style-type: none">• このビットは、スタート条件が検出された場合に "1" になります。• このビットは以下の条件で "0" になります。<ul style="list-style-type: none">- IBCR10:INT ビットに "0" を書き込んだ場合- スレーブモード時においてスレーブアドレスが IAAR0 の設定アドレスと一致しない場合- スレーブモード時においてスレーブアドレスが IAAR0 の設定アドレスと一致するが IBCR00:AACKX=1 である場合- スレーブモード時においてゼネラルコールアドレスを受信したが IBCR10:GACKE=0 である場合

MB95330H シリーズ

27.5.3 I²C データレジスタ (IDDR0)

IDDR0 レジスタは、送信データ / アドレスの設定および受信データ / アドレスの保持に使用されます。

■ I²C データレジスタ (IDDR0)

図 27.5-5 I²C データレジスタ (IDDR0)

I ² C データレジスタ (IDDR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0063 _H	D7	D6	D5	D4	D3	D2	D1	D0	00000000 _B
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W : リード / ライト可能 (読出し値は書込み値)									

送信モード時、レジスタに書かれたデータ / アドレスが MSB ビットから SDA ラインにビットごとにシフトされます。このレジスタの書込み側はダブルバッファになっており、バスが使用中 (IBSR0:BB=1) の場合、書込みデータは、現在のデータ転送完了割込みのクリア時 (IBCR10:INT ビットへの "0" 書込み) または繰返しスタート条件発生時 (IBCR10:SCC ビットへの "1" 書込み) に、8 ビットのシフトレジスタにロードされます。シフトレジスタのデータはビットごとに SDA ラインにシフト出力されます。

なお、このレジスタへの書込みは現在のデータ転送には影響がありません。ただし、スレーブモード時は、アドレスの確定後にシフトレジスタへデータが転送されます。

転送終了割込みの間 (IBCR10:INT=1)、受信データ / アドレスをこのレジスタから読み出すことができます。ただし、読出し時はシリアル転送用のレジスタを直接読み出すため、受信データは IBCR10:INT=1 の場合のみ有効になります。

27.5.4 I²C アドレスレジスタ (IAAR0)

IAAR0 レジスタはスレーブアドレスの設定に使用されます。

■ I²C アドレスレジスタ (IAAR0)

図 27.5-6 I²C アドレスレジスタ (IAAR0)

I ² C アドレスレジスタ (IAAR0)									
アドレス	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
0064 _H	-	A6	A5	A4	A3	A2	A1	A0	00000000 _B
	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W	: リード / ライト可能 (読出し値は書込み値)								
R0/WX	: 読出し値は "0", 書込みは動作に影響なし								
-	: 未定義ビット								

I²C アドレスレジスタ (IAAR0) は , スレーブアドレスの設定に使用します。スレーブモード時に, マスタからのアドレスデータの受信後, IAAR0 レジスタの値との比較判定に使用されます。

MB95330H シリーズ

27.5.5 I²C クロック制御レジスタ (ICCR0)

ICCR0 レジスタは , I²C 動作の許可とシフトクロック周波数の選択に使用されます。

■ I²C クロック制御レジスタ (ICCR0)

図 27.5-7 I²C クロック制御レジスタ (ICCR0)

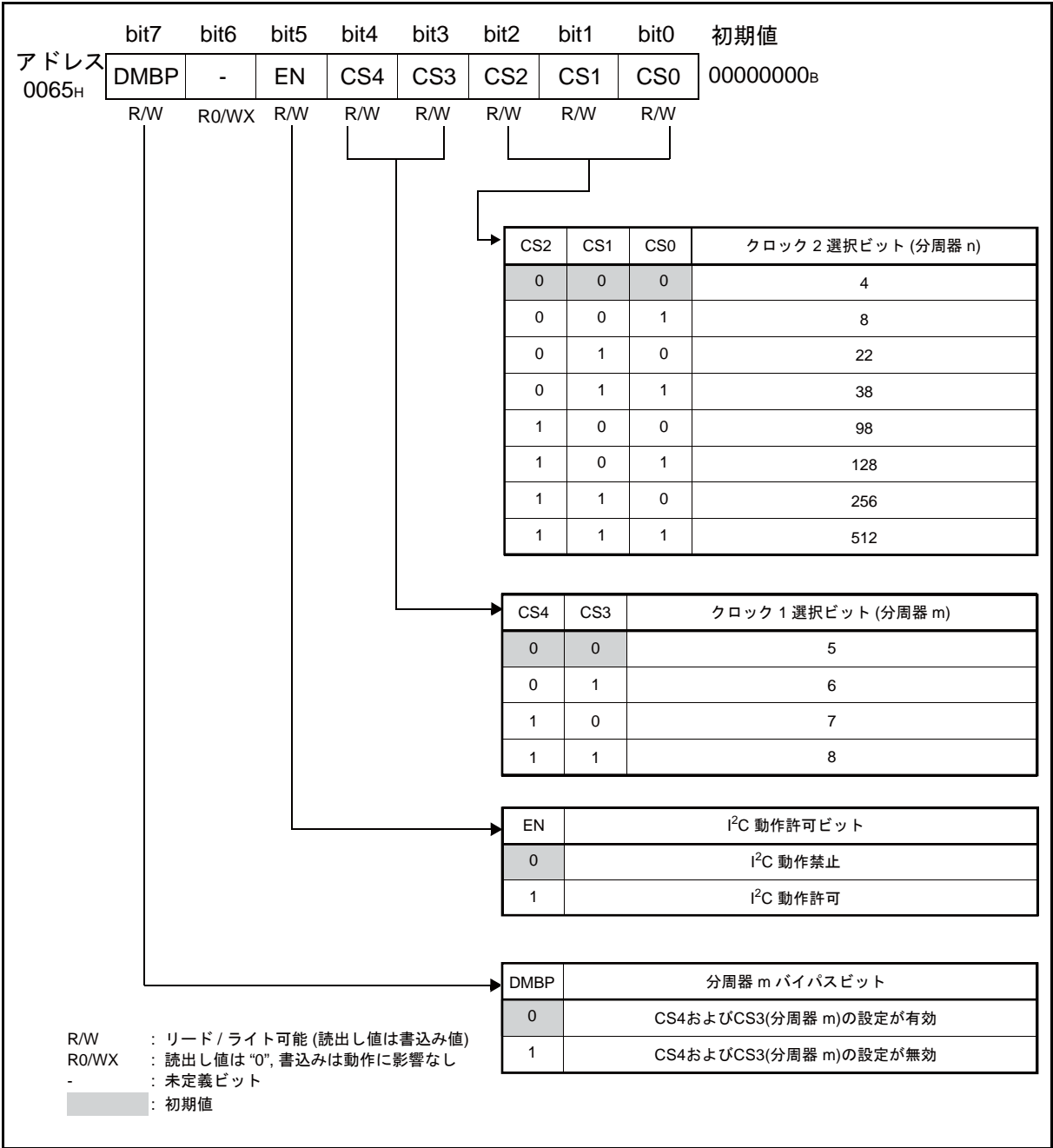


表 27.5-4 I²C クロック制御レジスタ (ICCR0)

ビット名		機能
bit7	DMBP: 分周器 m バイパス ビット	このビットは、シフトクロック周波数を発生させるための分周器 m のバイパスに使用されます。 "0" を書き込んだ場合 : CS3, CS4 で選択された値が分周器 m の値になります (m = ICCR0:CS4, CS3)。 "1" を書き込んだ場合 : 分周器 m をバイパスします。 (注意事項) 分周器 n = 4 (ICCR0:CS2~CS0 = 000 _B) のとき、このビットを "1" にしないでください。
bit6	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。
bit5	EN: I ² C 動作許可ビット	<ul style="list-style-type: none"> このビットは、I²C インタフェースの動作を許可するビットです。 "0" を書き込んだ場合 : I²C インタフェースの動作が禁止され、次のビットが "0" にクリアされます。 <ul style="list-style-type: none"> IBCR00 レジスタの AACKX, INTS および WUE ビット IBCR10 レジスタの BER および BEIE ビットを除くすべてのビット IBSR0 レジスタのすべてのビット "1" を書き込んだ場合 : I²C インタフェースの動作が許可されます。 このビットは以下の条件で "0" になります。 <ul style="list-style-type: none"> このビットに "0" を書き込んだ場合 IBCR10:BER が "1" になった場合
bit4, bit3	CS4, CS3: クロック 1 選択ビッ ト (分周器 m)	これらのビットは、シフトクロックの周波数を設定します。 シフトクロック周波数 (F _{sck}) は次式のように設定されます。 $F_{sck} = \frac{\phi}{(m \times n + 2)}$ φ はマシニングクロックの周波数 (MCLK) となります。
bit2 ~ bit0	CS2, CS1, CS0: クロック 2 選択ビッ ト (分周器 n)	

< 注意事項 >

スタンバイモードウェイクアップ機能を使用しない場合、MCU をストップ / 時計モードに遷移させる前に、I²C の動作を禁止してください。

MB95330H シリーズ

27.6 I²C の割込み

I²C インタフェースは、転送割込みとストップ割込みがあり、次に示す要因で割込みを発生します。

- 転送割込み
データ転送が完了した場合、またはバスエラーが発生した場合
- ストップ割込み
ストップ条件を検出した場合、アービトレーションロストを検出した場合、またはストップ/時計モード中に本 I²C インタフェースにアクセスがあった場合

■ 転送割込み

表 27.6-1 に、転送割込みの制御ビットと I²C の割込み要因について示します。

表 27.6-1 転送割込みの制御ビットと I²C の割込み要因

項目	転送完了	バスエラー
割込み要求 フラグビット	IBCR10:INT = 1	IBCR10:BER = 1
割込み要求許可ビット	IBCR10:INTE = 1	IBCR10:BEIE = 1
割込み要因	データ転送完了	バスエラー発生

- 転送完了時の割込み
データ転送が完了して転送完了割込み要求許可ビットが許可 (IBCR10:INTE=1) されている場合、CPU に割込み要求を出力します。割込み処理ルーチン内で転送完了割込み要求フラグビット (IBCR10:INT) に "0" を書き込んで割込み要求をクリアしてください。IBCR10:INTE ビット値にかかわらず、データ転送を完了した場合は、IBCR10:INT ビットが "1" に設定されます。
- バスエラー時の割込み
以下の条件が成立した場合はバスエラーと判断され、I²C インタフェースは停止状態となります。
 - マスタ時にストップ条件を検出した場合。
 - 第 1 バイト送受信中にスタートまたはストップ条件を検出した場合。
 - データ送受信 (スタート、1 番目のデータおよびストップビットを除く) にスタートまたはストップ条件を検出した場合。

この場合、バスエラー割込み要求許可ビットが許可 (IBCR10:BEIE=1) されていると CPU に割込み要求を出力します。割込み処理ルーチン内でバスエラー割込み要求フラグビット (IBCR10:BER) に "0" を書き込んで、割込み要求をクリアしてください。IBCR10:BEIE ビット値にかかわらず、バスエラーが発生した場合は、IBCR10:BER ビットが "1" に設定されます。

■ ストップ割込み

表 27.6-2 に、ストップ割込みの制御ビットと I²C の割込み要因 (トリガイメント) について示します。

表 27.6-2 ストップ割込みの制御ビットと I²C の割込み要因

項目	ストップ条件検出	アービトレーションロスト検出	MCU のストップ / 時計モードに対するウェイクアップ機能
割込み要求フラグビット	IBCR00:SPF = 1	IBCR00:ALF = 1	IBCR00:WUF = 1
割込み要求許可ビット	IBCR00:SPE = 1	IBCR00:ALE = 1	IBCR00:WUE = 1
割込み要因	ストップ条件検出	アービトレーションロストを検出している場合	スタート条件検出

- ストップ条件検出時の割込み

以下のすべての条件が成立しているときにストップ条件が検出された場合、ストップ条件は正常として扱われます。

- バスビジー中 (スタート条件が検出されている状態)
- IBCR10:MSS=0
- アクノリッジを含む 1 バイトのデータ転送後

この場合、ストップ条件検出割込み要求許可ビットが許可 (IBCR00:SPE = 1) されていると CPU に割込み要求を出力します。割込み処理ルーチン内で IBCR00:SPF ビットに "0" を書き込んで、割込み要求をクリアしてください。

IBCR00:SPE ビット値にかかわらず、有効なストップ条件が発生した場合、IBCR00:SPF ビットが "1" に設定されます。

- アービトレーションロスト検出時の割込み

アービトレーションロストが検出され、アービトレーションロスト検出割込み要求許可ビットが許可 (IBCR00:ALE = 1) されていると、CPU に割込み要求を出力します。バスがアイドル中にアービトレーションロスト割込み要求フラグビット (IBCR00:ALF) に "0" を書き込むかバスビジー中に割込み処理ルーチン内で IBCR10:INT ビットに "0" を書き込んで、割込み要求をクリアしてください。

IBCR00:ALE ビット値にかかわらず、アービトレーションロストが発生した場合、IBCR00:ALF ビットが "1" に設定されます。

- MCU のストップ / 時計モードに対するウェイクアップ機能時の割込み

MCU のストップ / 時計モードに対するウェイクアップ機能が許可 (IBCR00:WUE = 1) されており、スタート条件が検出されると、CPU に割込み要求を出力します。

割込み処理ルーチン内で MCU スタンバイモードウェイクアップ割込み要求フラグビット (IBCR00:WUF) に "0" を書き込んで、割込み要求をクリアしてください。

MB95330H シリーズ

■ I²C の割り込みのレジスタとベクタテーブルのアドレス

表 27.6-3 I²C の割り込みのレジスタとベクタテーブルのアドレス

割り込み要因	割り込み要求番号	割り込みレベル設定レジスタ		ベクタテーブルのアドレス	
		レジスタ	設定ビット	上位	下位
I ² C	IRQ16	ILR4	L16	FFDA _H	FFDB _H

※: I²C は、16 ビットリロードタイマ ch.1 および MPG(書込みタイミング / コンペアー致) と同じ割り込み要求番号とベクタテーブルを使用します。
各周辺機能のそれぞれの割り込み要求番号およびベクタテーブルのアドレスについては「付録 B 割り込み要因一覧表」を参照してください。

27.7 I²C の動作説明と設定手順例

I²C の動作について説明します。

■ I²C の動作

● I²C インタフェース

I²C インタフェースは、シフトクロックに同期した 8 ビットデータのシリアルインタフェースです。Philips 社の I²C バス仕様に準拠しています。

● MCU スタンバイモードに対するウェイクアップ機能

MCU をストップ / 時計モードなどの低消費電力モードで動作させておいた場合でも、スタート条件の検出により、ウェイクアップさせることができるウェイクアップ機能があります。

■ 設定手順例

I²C の設定手順例を以下に示します。

● 初期設定

- 1) ポートの入力設定 (DDR6)
- 2) 割込みレベルの設定 (ILR4)
- 3) スレーブアドレス設定 (IAAR0)
- 4) クロック選択, I²C 動作許可 (ICCR0)
- 5) バスエラー割込み要求許可 (IBCR00:BEIE=1)

● 割込み処理

- 1) 任意の処理
- 2) バスエラー割込み要求フラグクリア (IBCR00:BER=0)

27.7.1 I²C インタフェース

I²C インタフェースは、シフトクロックに同期した 8 ビットデータのシリアルインタフェースです。Philips 社の I²C バス仕様に準拠しています。

■ I²C のシステム

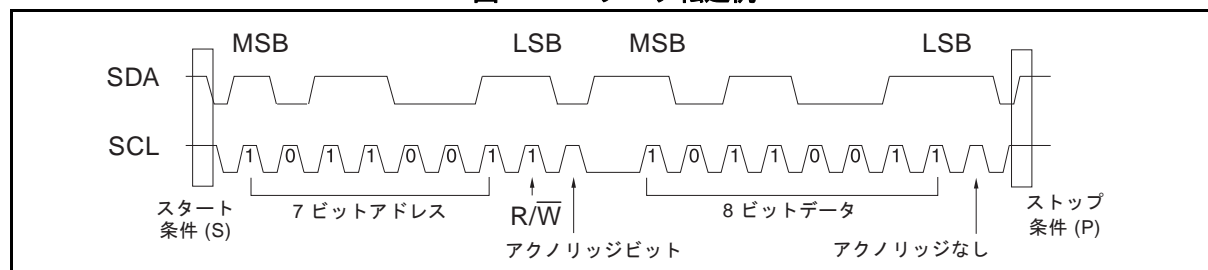
I²C バスシステムはデータ転送にシリアルデータライン (SDA) とシリアルクロックライン (SCL) を使用します。バスに接続された全装置はオープンドレイン、またはオープンコレクタ出力である必要があり、プルアップ抵抗を接続して使用します。

バスに接続された各デバイスには固有のアドレスがあり、アドレスは、ソフトウェアで設定が可能です。そして常に単純なマスタ/スレーブ関係が存在し、マスタはマスタトランスミッタ、またはマスタレシーバとして機能します。万一、複数のマスタが同時にデータ転送を開始しようとした場合でも、データ破壊を防ぐために衝突検出機能およびアービトレーション機能を備えた本格的なマルチマスタバスです。

■ I²C のプロトコル

図 27.7-1 にデータ転送に必要なフォーマットを示します。

図 27.7-1 データ転送例



スタート条件 (S) 発生後、スレーブアドレスが送信されます。このアドレスは 7 ビット長で、8 ビット目にデータ方向ビット (R/W) があります。アドレスの後にデータが送信されます。データは 8 ビット長で、その後にアクノリッジビットがあります。

データは 8 ビット + アクノリッジの単位で連続させることにより同スレーブアドレスに連続して送信することができます。

データ転送は常にマスタストップ条件 (P) で終了します。しかし、繰返しスタート条件 (S) を行うことによって、ストップ条件を発生せず別のスレーブを示すアドレスを送信することも可能です。

■ スタート条件

バスが開放されている状態 (SCL と SDA の両方が論理 "H" である) において、マスタはスタート条件を発生することによって送信を開始します。図 27.7-1 に示したとおり、SCL="H" の場合に SDA ラインを "H" → "L" にするとスタート条件となります。この場合、新しいデータ転送が始まり、マスタ / スレーブ動作を開始します。

スタート条件を発生させる条件として、次の 2 とおりがあります。

- I²C バスが使用されていない状態 (IBCR10:MSS = 0, IBSR0:BB = 0, IBCR10:INT = 0, IBCR00:ALF=0) での IBCR10:MSS ビットへの "1" の書込みを行った場合 (その後、IBSR0:BB が "1" に設定され、バスビジーを示します)。
- バスマスタ時の割込み状態 (IBCR10:MSS=1, IBSR0:BB=1, IBCR10:INT=1, IBCR00:ALF=0) での IBCR10:SCC ビットへの "1" の書込みを行った場合 (これにより繰返しスタート条件を発生します)。

上記の条件以外での IBCR10:MSS=1 または IBCR10:SCC=1 の書込みは無視されます。ほかのシステムがバス使用中に、IBCR10:MSS ビットへの "1" の書込みを行うと、IBCR00:ALF ビットが "1" に設定されます。

■ アドレッシング

● マスタモードにおいてスレーブアドレッシングをする場合

マスタモードでは、スタート条件発生後、IBSR0:BB=1, IBSR0:TRX=1 に設定され、スレーブアドレスの IDDR0 レジスタの内容を上位ビット MSB からバスに出力します。このアドレスデータは、7 ビットのスレーブアドレスとデータの転送方向を示す R/ \overline{W} ビット (IDDR0 の bit0) の 8 ビットで構成されています。

アドレスデータ送信後、スレーブからアクノリッジを受信します。9 番目のクロック周期で SDA が "L" レベルになり、受信デバイスからアクノリッジビットを受信します (図 27.7-1 を参照)。この場合、R/ \overline{W} ビット (IDDR0:bit0) が論理的に反転し、SDA が "L" の場合は "1" として IBSR0:TRX ビットに格納されます。

● スレーブモードにおいてアドレッシングを受ける場合

スレーブモードではスタート条件検出後、IBSR0:BB=1, IBSR0:TRX=0 に設定され、マスタからの受信データを IDDR0 レジスタへ格納します。アドレスデータ受信後、IDDR0 レジスタと IAAR0 レジスタとの比較が行われ、一致している場合、IBSR0:AAS=1 に設定し、マスタに対してアクノリッジを送信します。その後、受信データの bit0 (IDDR0 レジスタの bit0) を IBSR0:TRX ビットへ格納します。

■ データ転送

スレーブとしてアドレス指定されると、マスタが送った R/ \overline{W} ビットによって決定される方向で、バイトごとにデータ送受信ができます。

SDA ラインに出力される各バイトは 8 ビット固定です。図 27.7-1 に示したとおりアクノリッジクロックパルスが "H" の状態の場合に SDA ラインを "L" レベルの状態に安定させることで、受信装置はアクノリッジを送信側に伝えるようになっています。MSB を先頭に 1 ビットごとに 1 クロックパルスでデータを転送します。バイト転送ごとに、アクノリッジの送受信が行われる必要があります。そのため、1 つの完全なデータバイト転送は 9 つのクロックパルスが必要となります。

■ アクノリッジ

アクノリッジは、次に示す条件のもと、送信側データバイト転送の 9 番目のクロックサイクルに対して受信側から送信されます。

アドレスアクノリッジは下記条件で発生します。

- 受信アドレスが IAAR0 の設定アドレスと一致し、さらにアドレスアクノリッジ自動出力 (IBCR00:AACKX=0) の場合
- ゼネラルコールアドレス (00_H) を受信し、さらにゼネラルコールアドレスアクノリッジ出力許可 (IBCR10:GACKE=1) の場合

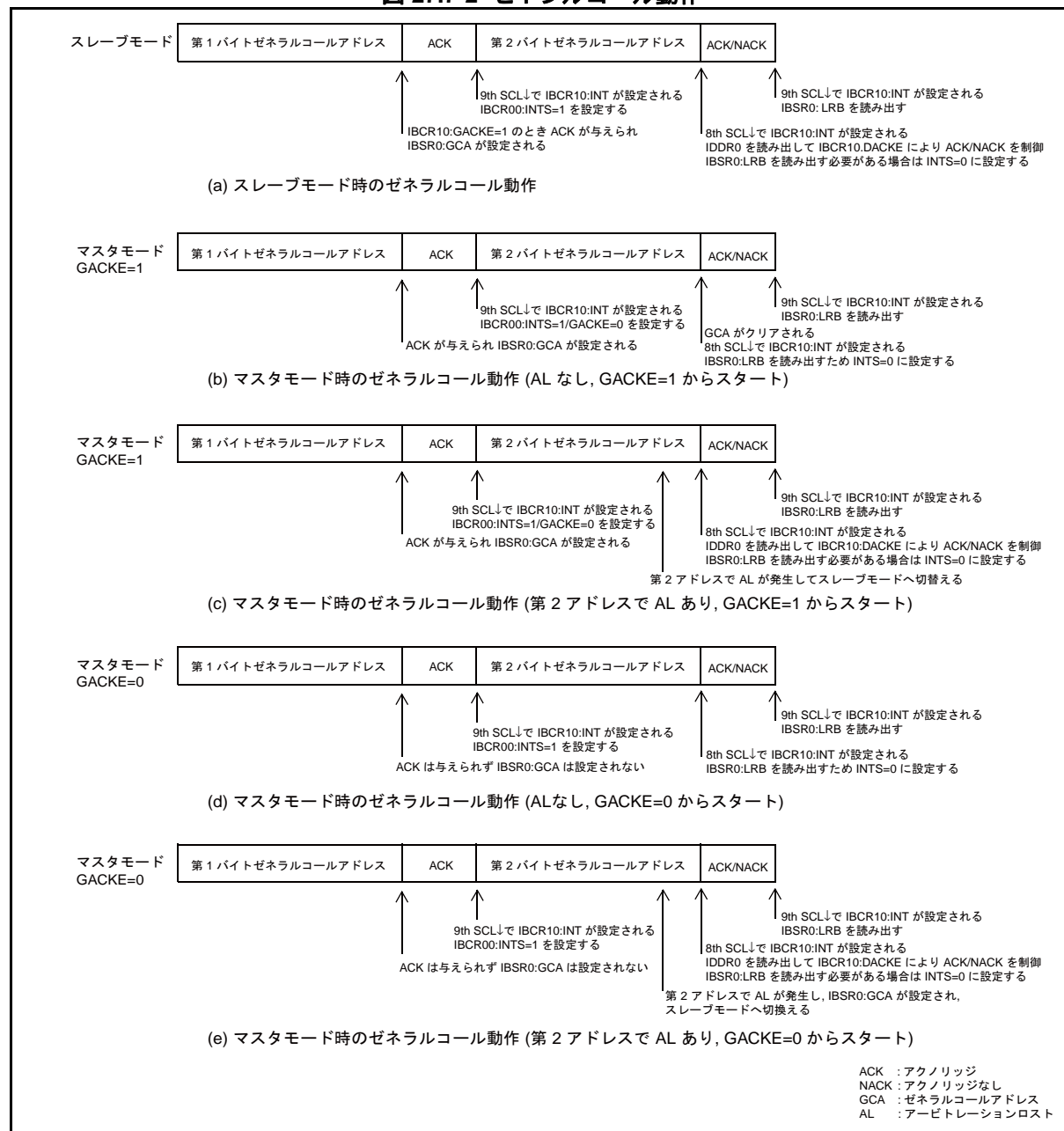
データを受信したときのデータアクノリッジビットは、IBCR10:DACKE ビットにより許可 / 禁止することができます。マスタモードでは IBCR10:DACKE=1 のときにデータアクノリッジが発生し、スレーブモードでは、アドレスアクノリッジが既に発生しており、かつ IBCR10:DACKE=1 の場合に、データアクノリッジが発生します。また、受信したアクノリッジは、9 番目の SCL 周期で IBSR0:LRB に保持されます。

- データ ACK が受信データの内容に依存する場合 (SM バスで使われるパケットエラーチェックなど)、IBCR00:INTS ビットに "1" を書き込む (例えば前の転送完了割込みにて) ことで最新の受信データを読み出せるようにした上で、データ ACK 許可ビット (IBCR10:DACKE) の設定によりデータ ACK を制御してください。
- 最新のデータ ACK (IBSR0:LRB) の読出しは、ACK 受信後に行えます (IBSR0:LRB の読出しは、9 番目の SCL 周期における転送終了割込みで行われる必要があります)。そのため、IBCR00:INTS ビットが "1" のときに ACK を読み出す場合は、8 番目の SCL 周期による転送終了割込み中に、このビットに "0" を書き込んで、9 番目の SCL 周期で、再度、転送終了割込みが発生するように設定する必要があります。

■ ゼネラルコールアドレス

ゼネラルコールアドレスは、スタートアドレスバイト (00_H) とそれに続く第 2 アドレスバイトから構成されています。ゼネラルコールアドレスを使用するためには、第 1 バイトのゼネラルコールアドレスに対するアクノリッジの前に、IBCR10:GACKE=1 を設定しておく必要があります。また、第 2 アドレスバイトのアクノリッジは、下図に示されるような方法で制御できます。

図 27.7-2 ゼネラルコール動作



本モジュールと他のデバイスがゼネラルコールアドレスを同時に送信した場合、第 2 アドレスバイト転送時にアービトレーションロストが検出されていないかどうかで、バスを獲得したかどうかを確認できます。もし、アービトレーションロストが検出された場合、本モジュールはスレーブモードとなり、マスタからのデータ受信を継続します。

■ ストップ条件

ストップ条件を発生させることによって、マスタはバスを開放して通信を終了します。SCL が "H" の場合に、SDA ラインを "L" → "H" にするとストップ条件となります。マスタモード時の通信終了（以後バスフリー）をバス上のデバイスに知らせるための信号です。また、マスタはストップ条件を発生させずに、連続してスタート条件を発生できます。これを繰返しスタート条件とよびます。

バスマスタ時の割込み状態 (IBCR10:MSS=1 および IBSR0:BB=1 および IBCR10:INT=1 および IBCR00:ALF=0) で、IBCR10:MSS ビットへ "0" を書き込むとストップ条件が発生してスレーブモードになります。上記以外での IBCR10:MSS ビットへの "0" の書込みは無視されます。

■ アービトレーション

このインタフェース回路は複数のマスタを接続できる本格的なマルチマスタバスです。マスタ転送で、システム内のほかのマスタが同時にデータ転送をした場合、アービトレーションが発生します。

アービトレーションは、SCL ラインが "H" レベルの場合に SDA ラインで発生します。マスタは、自身の送信データが "1"、SDA ライン上のデータが "L" レベルの場合、アービトレーションロストが発生したとみなし、データ出力をオフにして、IBCR00:ALF=1 に設定します。このとき、アービトレーションロスト割込みが許可 (IBCR00:ALE=1) されていると、割込みが発生します。IBCR00:ALF=1 に設定されると、IBCR10:MSS=0、IBSR0:TRX=0 となり、TRX がクリアされてスレーブ受信モードとなります。

もし、IBSR0:BB=0 のときに IBCR00:ALF が "1" に設定された場合、IBCR00:ALF は "0" の書込みでのみクリアされます。また、IBSR0:BB=1 のときに IBCR00:ALF が "1" に設定された場合、IBCR00:ALF は IBCR10:INT を "0" にクリアすることでのみクリアされます。

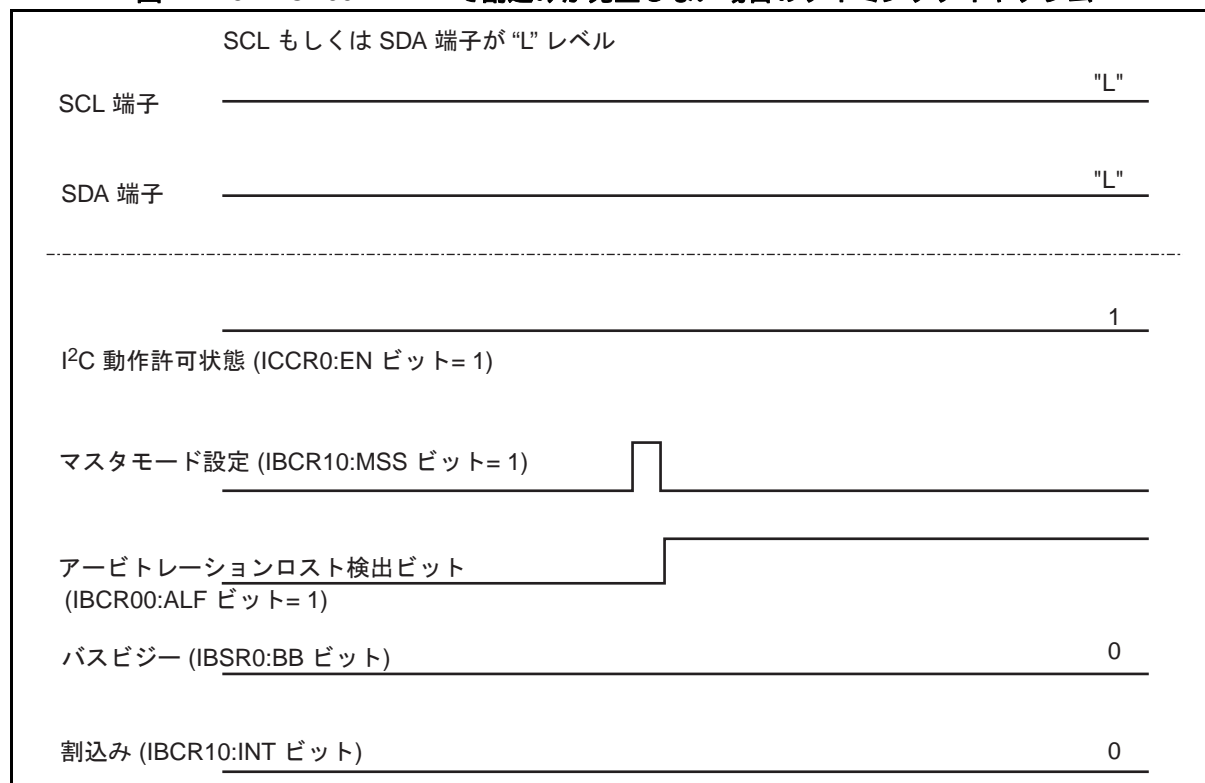
● IBSR0:BB=0 でアービトレーションロスト割込みが発生する条件

図 27.7-3 や 図 27.7-4 に示されるようなタイミングにて、プログラムによりスタート条件を発生させた場合 (IBCR10:MSS ビットに "1" を設定)、アービトレーションロスト検出 (IBCR00:ALF = 1) により割込みの発生 (IBCR10:INT ビット = 1) が抑止されます。

・ アービトレーションロストにより割込みが発生しない条件 1

スタート条件が検出されておらず (IBSR0:BB ビット = 0)、SDA と SCL ラインの端子状態が "L" レベルとなっている状態で、プログラムによりスタート条件を発生 (IBCR10:MSS ビットに "1" を設定) させた場合。

図 27.7-3 IBCR00:ALF=1 で割込みが発生しない場合のタイミングダイアグラム

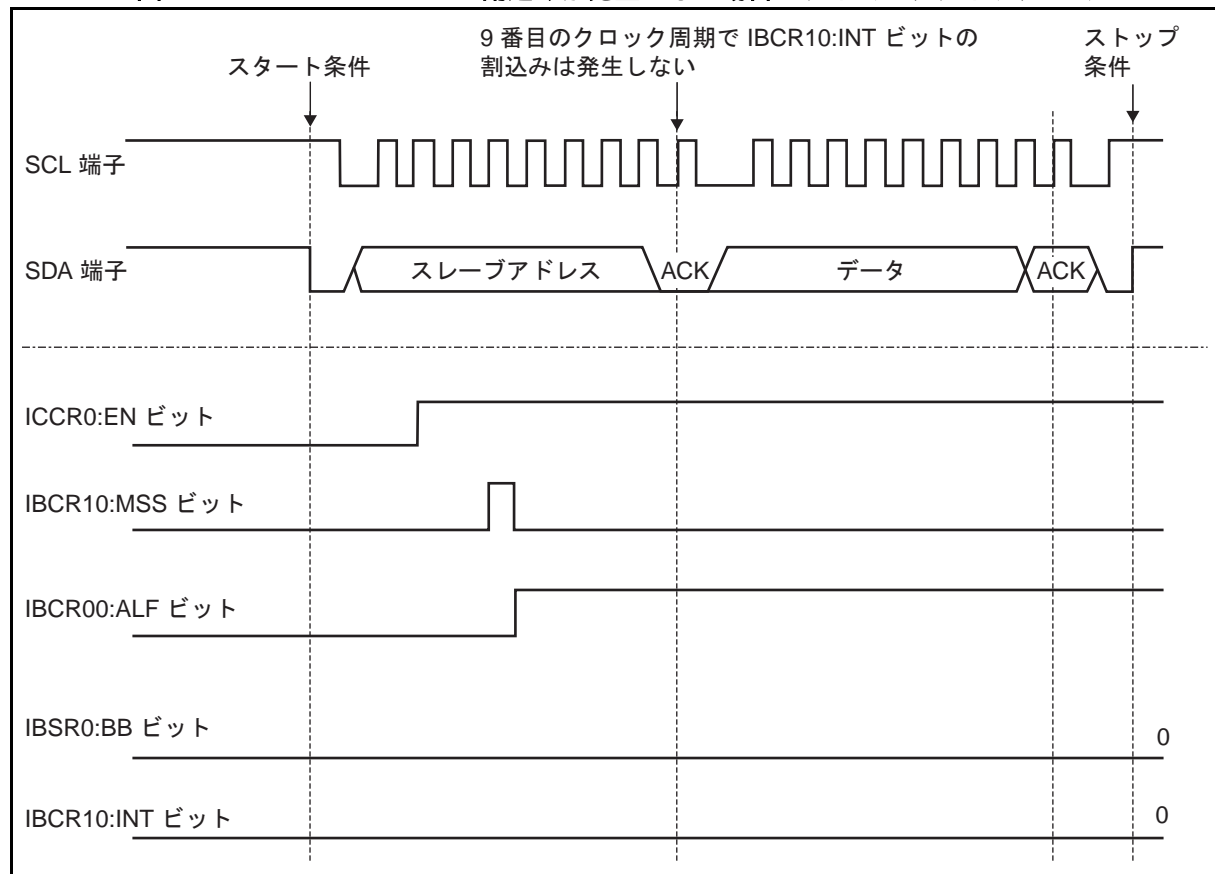


- ・ アービトレーションロストにより割込みが発生しない条件 2

I²C バスがほかのマスタにより使用されているとき、プログラムにより I²C の動作を許可 (ICCR0:EN ビットに "1" を設定) し、スタート条件を発生 (IBCR10:MSS ビットに "1" を設定) させた場合。

これは、図 27.7-4 に示すように、本 I²C の動作が禁止 (ICCR0:EN ビット = 0) のときに I²C バス上のほかのマスタが通信を開始した場合、本 I²C はスタート条件を検出できないためです (IBSR0:BB ビット = 0)。

図 27.7-4 IBCR00:ALF=1 で割込みが発生しない場合のタイミングダイアグラム



上記のような現象が発生し得る場合、下記のようなソフトウェアの設定手順に従ってください。

- 1) プログラムによりスタート条件を発生させる (IBCR10:MSS ビットに "1" を設定)。
- 2) アービトレーションロスト割込みで IBCR00:ALF と IBSR0:BB ビットを確認。

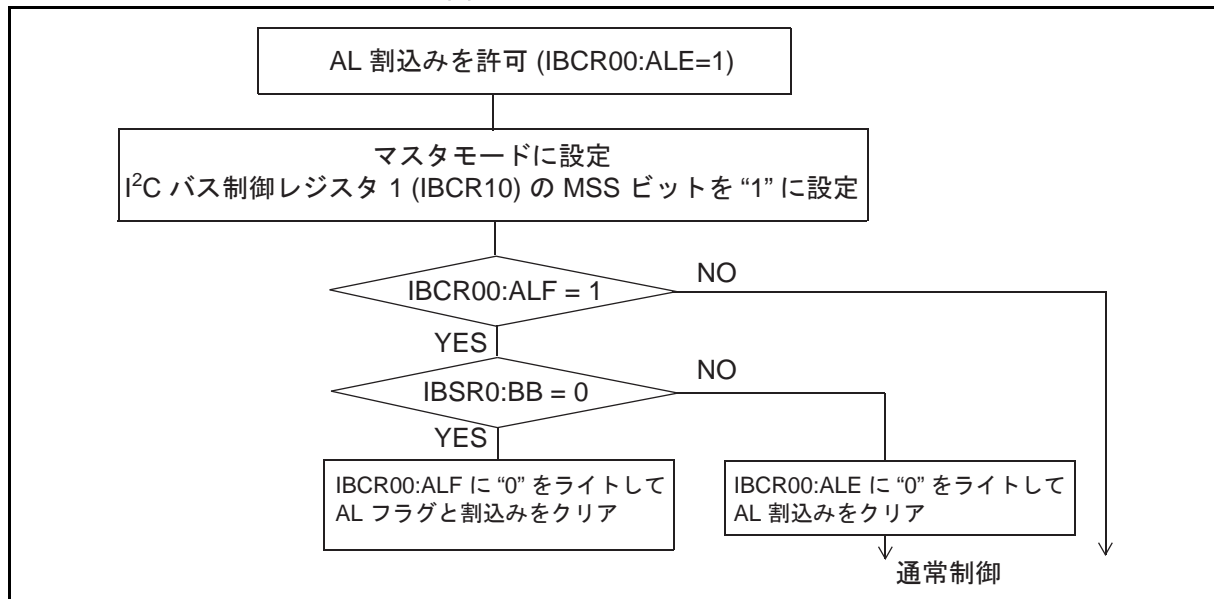
IBCR00:ALF=1 かつ IBSR0:BB=0 であった場合、IBCR00:ALF ビットを "0" にクリアします。

IBCR00:ALF=1 かつ IBSR0:BB=1 であった場合、IBCR00:ALE ビットを "0" にクリアして通常制御を行います (通常制御の INT 割込みにて、IBCR00:INT ビットへの "0" の書込みで IBCR00:ALF をクリアします)。

それ以外は、通常制御を行います (通常制御の INT 割込みにて、IBCR00:INT ビットへの "0" の書込みで IBCR00:ALF をクリアします)。

図 27.7-5 に、サンプルフローを示します。

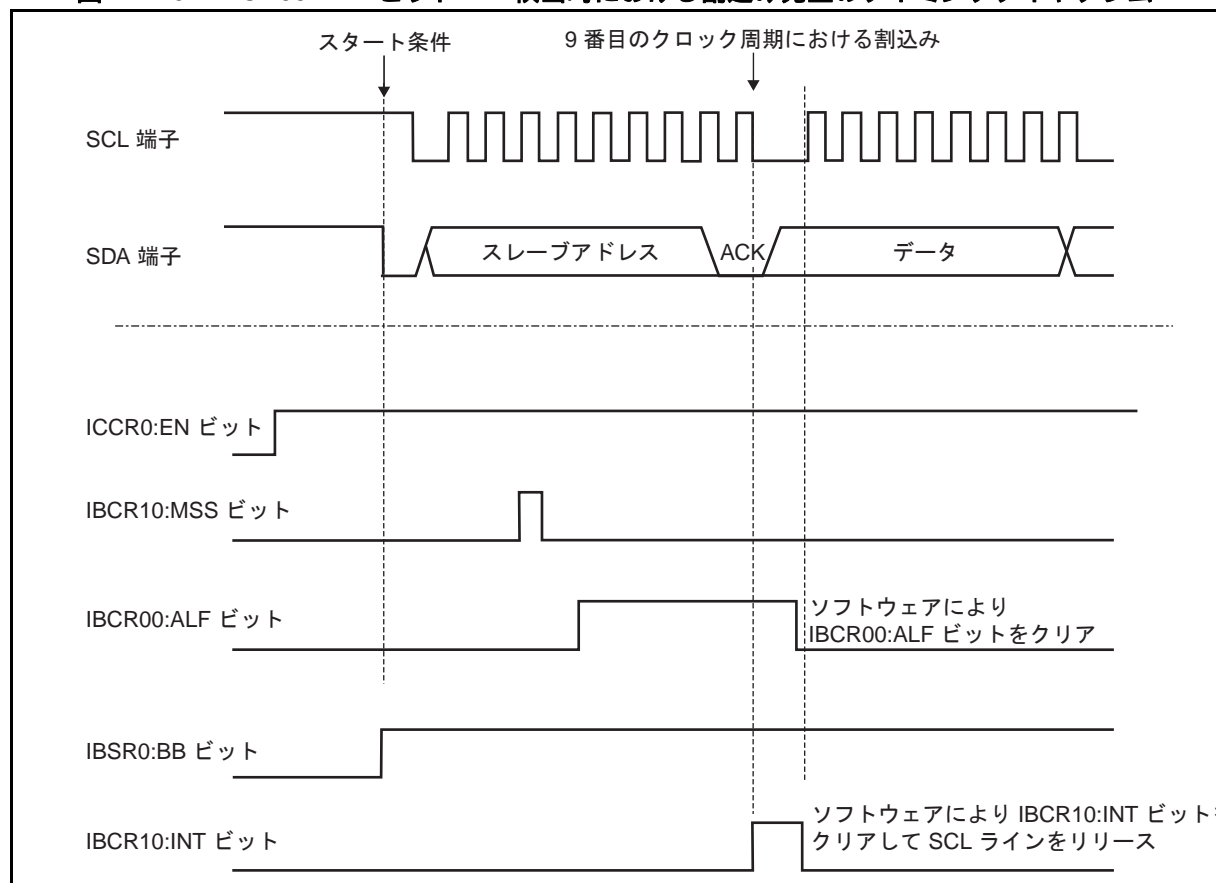
図 27.7-5 サンプルフロー 1



● "IBCR00:ALF ビット = 1" の検出時における割込み (IBCR10:INT ビット = 1) 発生例

バスビジー (IBSR0:BB ビット = 1) およびアービトレーションロストを検出したとき，プログラムによりスタート条件を発生させた場合 (IBCR10:MSS ビットに "1" を設定)，"IBCR00:ALF ビット = 1" の検出により IBCR10:INT ビット割込みが発生します。

図 27.7-6 "IBCR00:ALF ビット =1" 検出時における割り込み発生タイミングダイアグラム



27.7.2 MCU スタンバイモードに対するウェイクアップ機能

ウェイクアップ機能により，MCU のストップ / 時計モード中に I²C マクロへアクセスすることが可能となります。

■ MCU スタンバイモードに対するウェイクアップ機能

本 I²C マクロは，MCU スタンバイモードウェイクアップ機能を内蔵しており，IBCR00:WUE ビットへ "1" を書き込むと動作を許可できます。

MCU がストップ / 時計モード中で IBCR00:WUE ビットが "1" のとき，I²C バス上にスタート条件を検出すると，ウェイクアップ割込み要求フラグビット (IBCR00:WUF) が "1" に設定され，MCU をストップ / 時計モードからウェイクアップさせるためのウェイクアップ割込み要求を発生します。

- MCU をストップ / 時計モードに入れる直前に，IBCR00:WUE を "1" に設定してください。また，MCU がストップ / 時計モードからウェイクアップした後，I²C の動作を直ちに再開できるように IBCR00:WUE をクリア ("0" 書込み) してください。
- このウェイクアップ機能は MCU のストップ / 時計モードのみ有効となります。

< 注意事項 >

PLL ストップモードでは，発振安定待ち時間に加えて PLL 発振安定待ち時間が加わるため，ウェイクアップ後から通信開始までの時間が非常に長くなります。

図 27.7-7 通常の I²C 動作とウェイクアップ中の動作との比較

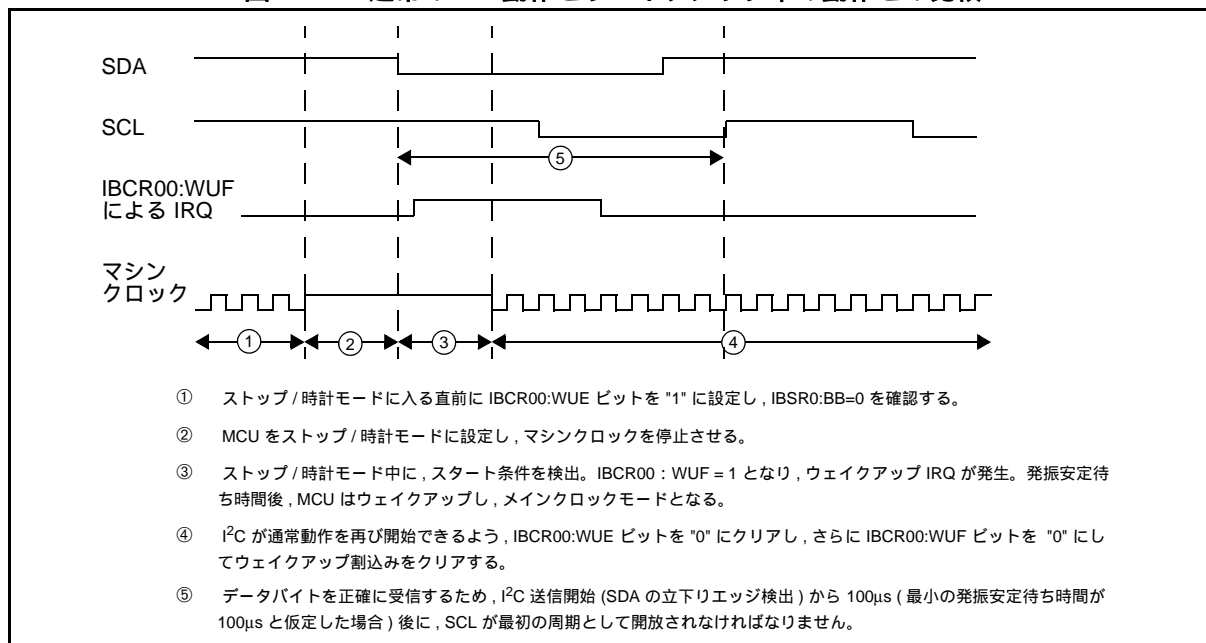
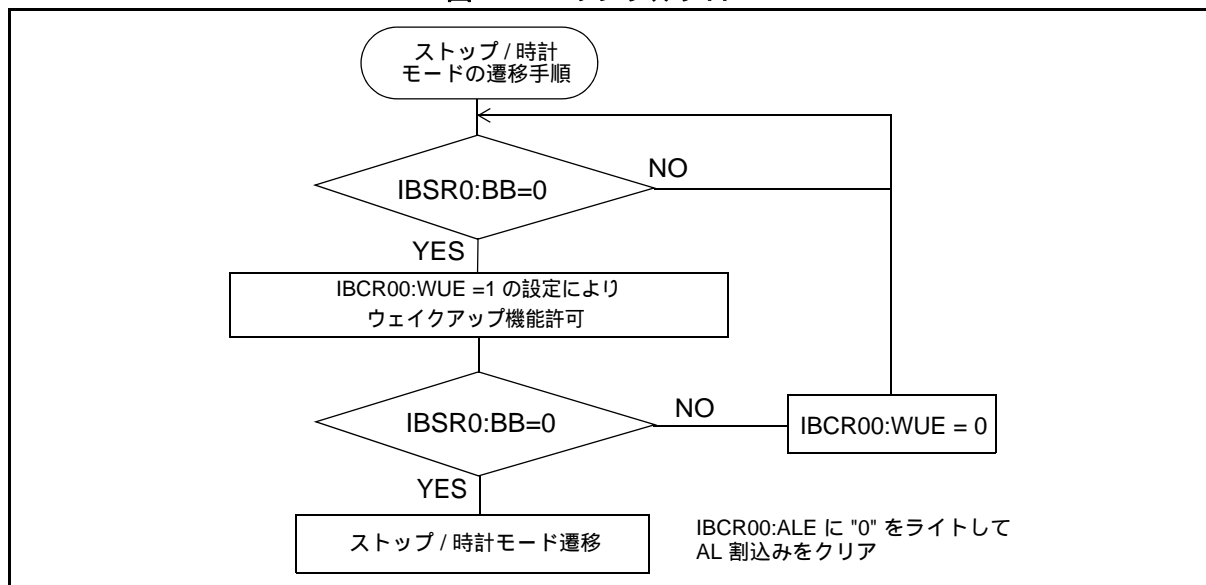


図 27.7-8 に、ウェイクアップ機能のサンプルフローを示します。

図 27.7-8 サンプルフロー 2



27.8 I²C 使用上の注意

I²C 使用上の注意を示します。

■ I²C 使用上の注意

● I²C インタフェースのレジスタ設定時の注意

- I²C バス制御レジスタ (IBCR00, IBCR10) を設定前に , I²C インタフェースの動作を許可する必要があります (ICCR0:EN)。
- マスタ / スレーブ選択ビット (IBCR10:MSS) を設定する ("1" を書き込む) と , 転送が開始されます。

● シフトクロック周波数を設定する場合の注意

- 表 27.5-4 の F_{sck} 式を使用して , m, n, DMBP の値を決めることにより , シフトクロック周波数を計算できます。
- n の値が 4 (ICCR0:CS2=CS1=CS=0) の場合は , "DMBP=1" は選択できません。

● 同時書き込み時の優先度の注意

- 次バイト転送とストップ条件の競合
IBCR10:INT がクリアされた状態で IBCR10:MSS に "0" を書き込むと , MSS ビットが優先されてストップ条件が発生します。
- 次バイト転送とスタート条件の競合
IBCR10:INT がクリアされた状態で IBCR10:SCC に "1" を書き込むと , SCC ビットが優先されてスタート条件が発生します。

● ソフトウェアによる設定の注意

- 繰返しスタート条件 (IBCR10:SCC=1) とスレーブモード (IBCR10:MSS=0) を同時に選択しないでください。
- 割込み要求フラグビット (IBCR10:BER/IBCR10:INT) が "1" で , 割込み要求許可ビット (IBCR10:BEIE=1/IBCR10:INTE=1) が許可された状態では , 割込み処理から復帰できません。 IBCR10:BER/IBCR10:INT ビットのクリアは必ず行ってください。
- I²C の動作が禁止された場合 (ICCR0:EN=0), 次のビットが "0" にクリアされます。
 - IBCR00 レジスタの AACKX, INTS および WUE ビット
 - IBCR10 レジスタの BER および BEIE ビットを除くすべてのビット
 - IBSR0 レジスタのすべてのビット

● データアクノリッジに対する注意

スレーブモードでは , データアクノリッジは以下の条件で発生します。

- 受信アドレスがアドレスレジスタ (IAAR0) の値と一致し , IBCR00:AACKX=0 の場合
- ゼネラルコールアドレス (00_H) が受信され , IBCR10:GACKE=1 の場合

● 転送完了タイミング選択時の注意

- 転送完了タイミング選択ビット (IBCR00:INTS) は、データ受信時 (IBSR0:TRX=0 か IBSR0:FBT=0) のみ有効となります。
- データ受信時以外 (IBSR0:TRX=1 か IBSR0:FBT=1) では、転送完了割込み (IBCR10:INT) は常に 9 番目の SCL 周期で発生します。
- データ ACK が受信データの内容に依存する場合 (SM バスで使われるパケットエラーチェックなど)、IBCR00:INTS ビットに "1" を書き込む (例えば前の転送完了割込みにて) ことで最新の受信データを読み出せるようにした上で、データ ACK 許可ビット (IBCR10:DACKE) の設定によりデータ ACK を制御してください。
- 最新のデータ ACK (IBSR0:LRB) の読出しは、ACK 受信後に行えます (IBSR0:LRB の読出しは、9 番目の SCL 周期における転送終了割込みで行われる必要があります)。そのため、IBCR00:INTS ビットが "1" のときに ACK を読み出す場合は、8 番目の SCL 周期による転送終了割込み中に、IBCR00:INTS ビットに "0" を書き込んで 9 番目の SCL 周期で、再度、転送終了割込みが発生するように設定する必要があります。

● MCU スタンバイモードウェイクアップ機能使用上の注意

- MCU をストップ / 時計モードに入れる直前に、IBCR00:WUE を "1" に設定してください。また、MCU がストップ / 時計モードからウェイクアップした後、I²C の動作を直ちに再開できるように IBCR00:WUE をクリア ("0" 書き込み) してください。
- ウェイクアップ割込み要求が発生された後、MCU は発振安定待ち時間の経過後にウェイクアップします。したがって、ウェイクアップ直後のデータの取逃しを避けるため、I²C 送信開始 (SDA の立下りエッジ検出) によるウェイクアップから 100μs (最小の発振安定待ち時間が 100μs と仮定した場合) 以降に、SCL が最初の周期として立ち上がり、第 1 ビットがデータとして送信されるようにシステムを設計してください。
- MCU スタンバイモード中、本 I²C 機能のステータスフラグ、ステートマシンおよび I²C バス出力は、スタンバイモードに入る直前の状態を保持します。I²C バスシステム全体のハングアップを避けるため、スタンバイモードに入れる前に、IBSR0:BB=0 となっていることを確認してください。
- ウェイクアップ機能は、IBSR0:BB=1 における MCU のストップ / 時計モードへの遷移をサポートしていません。もしも IBSR0:BB=1 で MCU がストップ / 時計モードへ遷移した場合、スタート条件を検出した段階でバスエラーとなります。
- I²C インタフェースの動作を確実にを行うため、I²C のウェイクアップ機能がほかのリソースを使ったウェイクアップ機能 (外部割込みなど) にかかわらず、ストップ / 時計モードから MCU がウェイクアップした後、IBCR00:WUE を "0" にクリアしてください。

27.9 I²C の設定例

I²C インタフェースの設定例を示します。

■ 設定例

- I²C 動作を許可 / 禁止する方法

I²C 動作許可ビット (ICCR0:EN) で行います。

動作	I ² C 動作許可ビット (EN)
I ² C 動作を禁止させるには	"0" を設定する
I ² C 動作を許可するには	"1" を設定する

- I²C のマスタモード / スレーブモードを選択する方法

マスタ / スレーブ選択ビット (IBCR10:MSS) で行います。

動作	マスタ / スレーブ選択ビット (MSS)
マスタモードを選択するには	"1" を設定する
スレーブモードを選択するには	"0" を設定する

- シフトクロックの選択方法

クロック選択ビット (ICCR0. CS4/CS3/CS2/CS1/CS0) で選択します。

- シフトクロック周波数発生時, 分周器 m をバイパスさせるかを制御する方法

分周器 m バイパスビット (ICCR0:DMBP) で行います。

動作	分周器 m バイパスビット (DMBP)
分周器 m をバイパスするには	"1" を設定する

● I²C のアドレスアクノリッジを制御する方法

アドレスアクノリッジ禁止ビット (IBCR00:AACKX) で行います。

動作	アドレスアクノリッジ禁止ビット (AACKX)
アドレスアクノリッジ出力を許可するには	"0" を設定する
アドレスアクノリッジ出力を禁止するには	"1" を設定する

● I²C のデータアクノリッジを制御する方法

データアクノリッジ許可ビット (IBCR10:DACKE) で行います。

動作	データアクノリッジ許可ビット (DACKE)
データアクノリッジ出力を許可するには	"1" を設定する
データアクノリッジ出力を禁止するには	"0" を設定する

● I²C のゼネラルコールアドレスアクノリッジを制御する方法

ゼネラルコールアドレスアクノリッジ許可ビット (IBCR10:GACKE) で行います。

動作	ゼネラルコールアドレスアクノリッジ許可ビット (GACKE)
ゼネラルコールアドレスアクノリッジ出力を許可するには	"1" を設定する
ゼネラルコールアドレスアクノリッジ出力を禁止するには	"0" を設定する

● I²C の通信を再スタートする方法

スタート条件発生ビット (IBCR10:SCC) で行います。

動作	スタート条件発生ビット (SCC)
通信を再スタートするには	"1" を設定する

● I²C のデータ受信時の転送完了フラグ (INT) タイミングを選択する方法

データ受信時の転送完了フラグ (INT) タイミング選択ビット (IBCR00:INTS) で行います。

動作	データ受信時の転送完了フラグ (INT) タイミング 選択ビット (INTS)
9 番目の SCL 周期で転送割込みを発生させるには	"0" を設定する
8 番目の SCL 周期で転送割込みを発生させるには	"1" を設定する

● 割込み関連レジスタ

割込みレベルは、下表の割込みレベル設定レジスタで設定します。

割込み要因	割込みレベル設定レジスタ	割込みベクタ
ch. 0	割込みレベルレジスタ (ILR4) アドレス : 0007D _H	#16 アドレス : 0FFDA _H

● 割込みを許可 / 禁止 / クリアする方法

• 転送割込み

(データ転送完了割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR10:INTE) にて行います。

動作	割込み要求許可ビット (INTE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR10:INT) にて行います。

動作	割込み要求フラグ (INT)
割込み要求をクリアするには	"0" を設定する

(バスエラー発生割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR10:BEIE) にて行います。

動作	割込み要求許可ビット (BEIE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR10:BER) にて行います。

動作	割込み要求フラグ (BER)
割込み要求をクリアするには	"0" を設定する

- ストップ割込み

(ストップ条件検出割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR00:SPE) にて行います。

動作	割込み要求許可ビット (SPE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR00:SPF) にて行います。

動作	割込み要求フラグ (SPF)
割込み要求をクリアするには	"0" を設定する

(アービトレーションロスト検出割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR00:ALE) にて行います。

動作	割込み要求許可ビット (ALE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR00:ALF) にて行います。

動作	割込み要求フラグ (ALF)
割込み要求をクリアするには	"0" を設定する

(スタート条件検出割込み)

割込み許可の設定は、割込み要求許可ビット (IBCR00:WUE) にて行います。

動作	割込み要求許可ビット (WUE)
割込み要求を禁止するには	"0" を設定する
割込み要求を許可するには	"1" を設定する

割込み要求のクリアは、割込み要求フラグ (IBCR00:WUF) にて行います。

動作	割込み要求フラグ (WUF)
割込み要求をクリアするには	"0" を設定する

第28章

デュアルオペレーション フラッシュメモリ

64/96/160K ビットデュアルオペレーションフラッシュメモリの機能および動作について説明します。

- 28.1 デュアルオペレーションフラッシュメモリの概要
- 28.2 デュアルオペレーションフラッシュメモリのセクタ / バンク構成
- 28.3 デュアルオペレーションフラッシュメモリのレジスタ
- 28.4 フラッシュメモリ自動アルゴリズム起動方法
- 28.5 自動アルゴリズム実行状態の確認
- 28.6 フラッシュメモリ書込み / 消去
- 28.7 デュアルオペレーションフラッシュメモリの動作
- 28.8 フラッシュセキュリティ
- 28.9 デュアルオペレーションフラッシュメモリ使用上の注意

28.1 デュアルオペレーションフラッシュメモリの概要

デュアルオペレーションフラッシュメモリは、CPU メモリマップ上の B000_H ~ BFFF_H および F000_H ~ FFFF_H, B000_H ~ BFFF_H および E000_H ~ FFFF_H, あるいは B000_H ~ FFFF_H に配置されています。フラッシュメモリインタフェース回路の機能により、CPU からフラッシュメモリへのリードアクセスおよびプログラムアクセスができます。

デュアルオペレーションフラッシュは、上位バンク (16/8/4K バイト × 1) * と下位バンク (2K バイト × 2) で構成されており、従来のフラッシュ品では行えなかったバンクごとの消去 / 書込みと読出しの同時実行が可能です。

*: 16 K バイト × 1(MB95F334H/F334K)

8 K バイト × 1(MB95F333H/F333K)

4 K バイト × 1(MB95F332H/F332K)

■ デュアルオペレーションフラッシュメモリの概要

フラッシュメモリへのデータ書込み / 消去の方法には、下記の方法があります。

- シリアル専用ライタによる書込み / 消去
- プログラム実行による書込み / 消去

デュアルオペレーションフラッシュメモリへの書込み / 消去は、フラッシュメモリインタフェース回路を介して CPU からの命令で行えるため、実装状態でプログラムコードやデータの書換えを効率よく行うことができます。

セクタ構成も最小 2K バイトと小セクタで、プログラム / データ領域として扱いやすい構成になっています。

データの書換え方法は、RAM 上でのプログラム実行だけでなく、デュアルオペレーションによりフラッシュメモリ上でもプログラム実行することができます。また、異なるバンク (上位バンク / 下位バンク) での消去 / 書込みと読出しの同時実行が可能です。

デュアルオペレーションフラッシュでは、次の組合せが可能です。

上位バンク	下位バンク
読出し	
読出し	書込み / セクタ消去
書込み / セクタ消去	読出し
チップ消去	

一方のバンク書込み / セクタ消去中に、他方のバンクへの書込み / 消去はできません。

■ デュアルオペレーションフラッシュメモリの特長

- セクタ構成 : 8 K バイト × 8 ビット (2 K バイト × 2 + 4 K バイト) /
12 K バイト × 8 ビット (2 K バイト × 2 + 8 K バイト) /
20 K バイト × 8 ビット (2 K バイト × 2 + 16 K バイト)
- 2 バンク構成による消去 / 書込みと読出しの同時実行
- 自動プログラムアルゴリズム (Embedded Algorithm)
- 消去一時停止 / 消去再開機能の搭載
- データポーリング、トグルビットによる書込み / 消去完了検出
- CPU 割込みによる書込み / 消去の完了検出
- セクタごとの消去が可能 (セクタ組合せ自由)
- JEDEC 標準規格コマンドと互換
- 消去 / 書込み回数 100,000 回
- フラッシュ読出しサイクルタイム (最小) 1 マシンサイクル

■ フラッシュメモリ書込み / 消去

- フラッシュメモリは、同一バンクによる書込みと読出しを同時に行うことはできません。
- フラッシュメモリにデータ書込み / 消去動作を行う際には、ほかのバンクに書込み / 読込みプログラムを退避させるか、またはフラッシュメモリ上にあるプログラムをいったん RAM にコピーし、RAM にコピーしたプログラムを実行してください。
- デュアルオペレーションフラッシュメモリにより、フラッシュメモリ上でのプログラム実行および割込みを用いた書込み制御が可能となります。また、書込みの際にプログラムを RAM 上へダウンロードして実行する必要もなく、ダウンロードの時間削減および RAM データの電源瞬断のケアも不要となります。

28.2 デュアルオペレーションフラッシュメモリのセクタ/ バンク構成

デュアルオペレーションフラッシュメモリのセクタ/バンク構成を示します。

■ デュアルオペレーションフラッシュメモリのセクタ/バンク構成

図 28.2-1 にデュアルオペレーションフラッシュメモリのセクタ構成を示します。図中アドレ
スは、各セクタの上位アドレスと下位アドレスを示します。

● バンク構成

デュアルオペレーションフラッシュメモリの下位バンクは SA0 と SA1 で、上位バンク
は SA2 です。

図 28.2-1 デュアルオペレーションフラッシュメモリのセクタ/バンク構成

フラッシュメモリ (8 K バイト)	フラッシュメモリ (12 K バイト)	フラッシュメモリ (20 K バイト)	CPU アドレス	
SA0: 2 K バイト	SA0: 2 K バイト	SA0: 2 K バイト	B000 _H B7FF _H	下位 バンク
SA1: 2 K バイト	SA1: 2 K バイト	SA1: 2K バイト	B800 _H BFFF _H	
未使用	未使用	SA2: 16 K バイト	C000 _H	上位 バンク
			DFFF _H E000 _H	
	EFFF _H F000 _H			
SA2: 8 K バイト	FFFF _H			
SA2: 4 K バイト				

28.3.1 フラッシュメモリステータスレジスタ 2 (FSR2)

図 28.3-2 に、フラッシュメモリステータスレジスタ (FSR) のビット構成を示します。

■ フラッシュメモリステータスレジスタ 2 (FSR2)

図 28.3-2 フラッシュメモリステータスレジスタ 2 (FSR2)

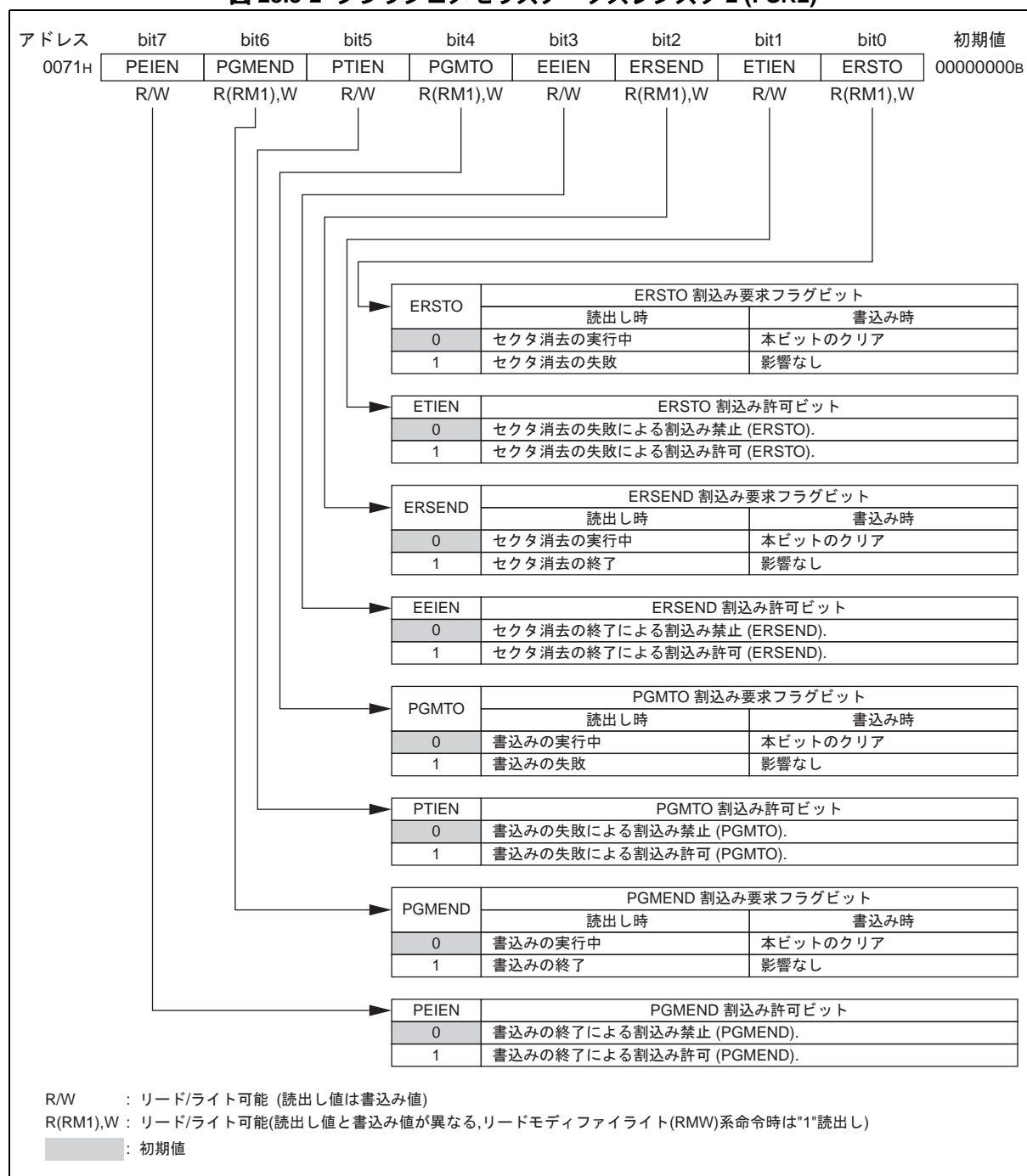


表 28.3-1 フラッシュメモリステータスレジスタ 2 (FSR2) の機能 (1 / 2)

ビット名		機能
bit7	PEIEN: PGMEND 割込み許可 ビット	このビットは、フラッシュメモリ書込みの完了により発生する割込み要求の発生を許可、あるいは禁止します。 書込み "0": フラッシュメモリ書込みが完了している時 (FSR2: PGMEND=1) でも、割込み要求の発生を禁止します。 書込み "1": フラッシュメモリ書込みが完了している時 (FSR2: PGMEND=1)、割込み要求の発生を許可します。
bit6	PGMEND: PGMEND 割込み要求 フラグビット	このビットはフラッシュメモリ書込みの完了を示します。 フラッシュメモリ書込みが完了すると、PGMEND ビットに、フラッシュメモリ自動化アルゴリズムの終了した時点で、"1" が設定されます。 ・フラッシュメモリ書込み完了による割込みが許可されている場合は (FSR2: PEIEN=1)、PGMEND ビットに "1" が設定されると、割込み要求が発生します。 ・フラッシュメモリ書込みが完了後、PGMEND ビットに "0" が設定されると、フラッシュメモリ書込みは禁止されます。 ・フラッシュメモリ書込みが失敗した場合 (FSR3: HANG=1)、このビットは "0" にクリアされます。 "0" に設定した場合: このビットはクリアされます。 "1" に設定した場合: 動作に影響はありません。 リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、必ず "1" が読み出されます。
bit5	PTIEN: PGMTO 割込み許可 ビット	このビットは、フラッシュメモリ書込みの失敗による割込み要求の発生を許可または禁止します。 "0" に設定した場合: フラッシュメモリ書込みが失敗した場合 (FSR2: PGMTO=1)、割込み要求の発生を禁止します。 "1" に設定した場合: フラッシュメモリ書込みが失敗した場合 (FSR2: PGMTO=1)、割込み要求の発生を許可します。
bit4	PGMTO: PGMTO 割込み要求 フラグビット	このビットは、フラッシュメモリ書込みが失敗したことを示します。 フラッシュメモリ書込みが失敗すると、フラッシュメモリ自動化アルゴリズムの失敗時に、PGMTO ビットに "1" が設定されます。 ・フラッシュメモリ書込みに失敗した場合、割込み要求の発生が許可されていると (FSR2: PTIEN=1)、PGMTO ビットに "1" が設定されると、割込み要求が発生します。 ・フラッシュメモリ書込みが完了した場合、PGMTO ビットに "1" が設定されると、フラッシュメモリが禁止されます。 "0" に設定した場合: このビットはクリアされます。 "1" に設定した場合: 動作に影響はありません。 ・リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、必ず "1" が読み出されます。
bit3	EEIEN: ERSEND 割込み許可 ビット	このビットは、フラッシュメモリセクタ消去の完了による割込み要求の発生を許可、あるいは禁止します。 "0" に設定した場合: フラッシュメモリセクタ消去が完了した時 (FSR2: ERSEND=1) の割込み要求の発生を禁止します。 "1" に設定した場合: フラッシュメモリセクタ消去が完了した時に (FSR2: ERSEND=1)、割込み要求の発生を許可します。

表 28.3-1 フラッシュメモリステータスレジスタ 2 (FSR2) の機能 (2 / 2)

ビット名		機能
bit2	ERSEND: ERSEND 割込み要求 フラグビット	<p>このビットはフラッシュメモリセクタ消去の完了を示します。 フラッシュメモリセクタ消去が完了すると、ERSEND ビットは、フラッシュメモリ自動化アルゴリズムの完了で、"1" に設定されます。</p> <ul style="list-style-type: none"> フラッシュメモリセクタ消去の完了時に、割込み要求の発生が許可されていた場合 (FSR2: EEIEN=1), ERSEND ビットに "1" が設定されると、割込み要求が発生します。 フラッシュメモリセクタ消去の完了時に、ERSEND ビットに "0" が設定されていると、フラッシュメモリセクタ消去が禁止されます。 フラッシュメモリセクタ消去に失敗した場合に (FSR3: HANG=1), このビットは "0" にクリアされます。 <p>"0" に設定した場合：このビットはクリアされます。 "1" に設定した場合：動作に影響はありません。 ・リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、必ず "1" が読み出されます。</p>
bit1	ETIEN: ERSTO 割込み許可 ビット	<p>このビットは、フラッシュメモリセクタ消去の失敗による割込み要求の発生を許可、あるいは禁止します。</p> <p>"0" に設定した場合：フラッシュメモリセクタ消去に失敗した場合 (FSR2: ERSTO=1), 割込み要求の発生を禁止します。 "1" に設定した場合：フラッシュメモリセクタ消去に失敗した時 (FSR2: ERSTO=1), 割込み要求の発生を許可します。</p>
bit0	ERSTO: ERSTO 割込み要求 フラグビット	<p>このビットは、フラッシュメモリセクタ消去が失敗したことを示します。 フラッシュメモリセクタ消去に失敗すると、ERSTO ビットはフラッシュメモリ自動化アルゴリズムの失敗で、"1" に設定されます。</p> <ul style="list-style-type: none"> フラッシュメモリセクタ消去の失敗したときに割込み要求の発生が許可されている場合、(FSR2: ETIEN=1)ERSTO ビットが "1" に設定されると、割込み要求が発生します。 フラッシュメモリセクタ消去の完了後、ERSTO ビットが "1" に設定されると、フラッシュメモリセクタ消去が禁止されます。 <p>"0" に設定した場合：このビットはクリアされます。 "1" に設定した場合：動作に影響はありません。 ・リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、必ず "1" が読み出されます。</p>

28.3.2 フラッシュメモリステータスレジスタ (FSR)

図 28.3-3 に、フラッシュメモリステータスレジスタ (FSR) のビット構成を示します。

■ フラッシュメモリステータスレジスタ (FSR)

図 28.3-3 フラッシュメモリステータスレジスタ (FSR)

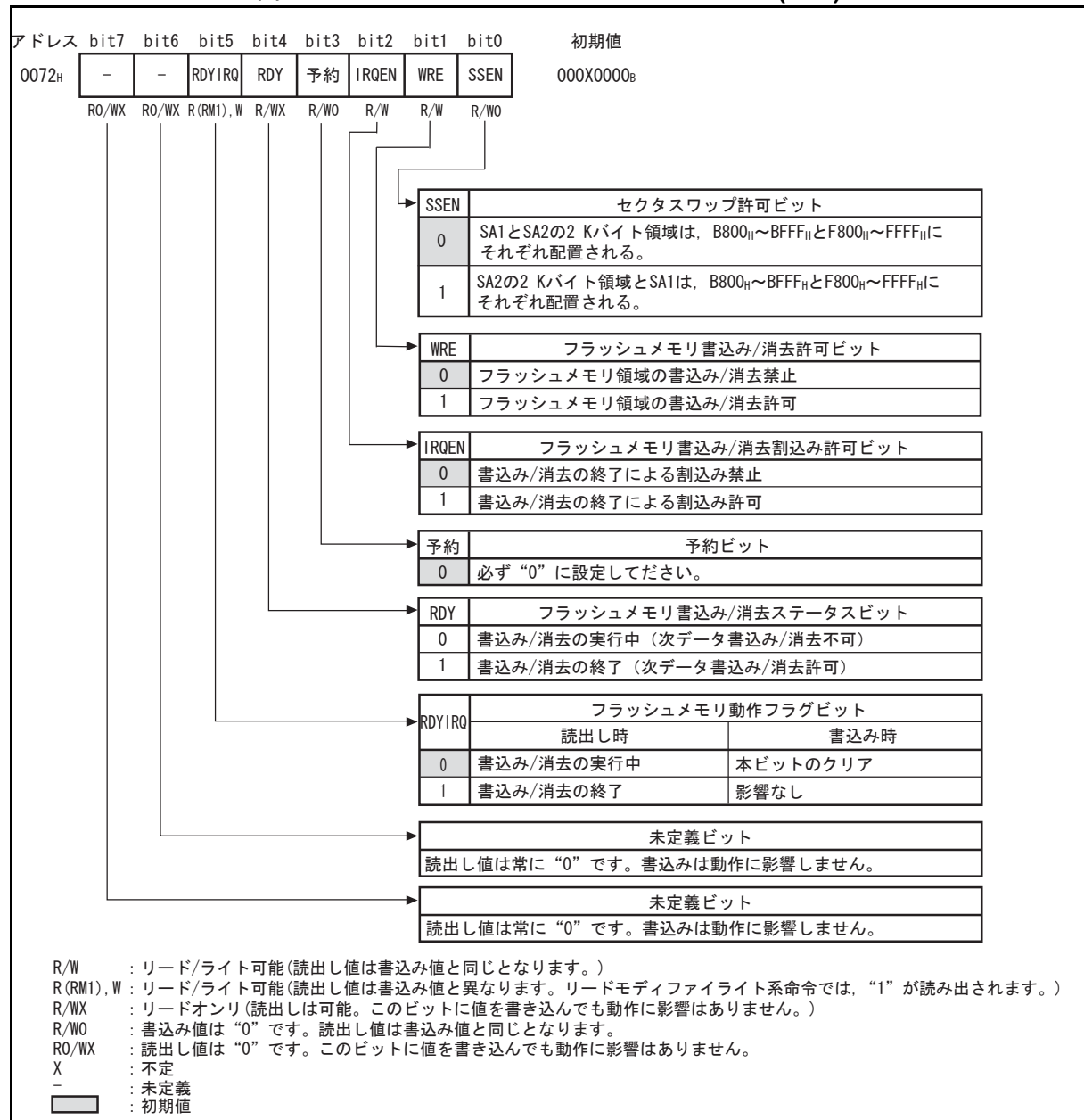
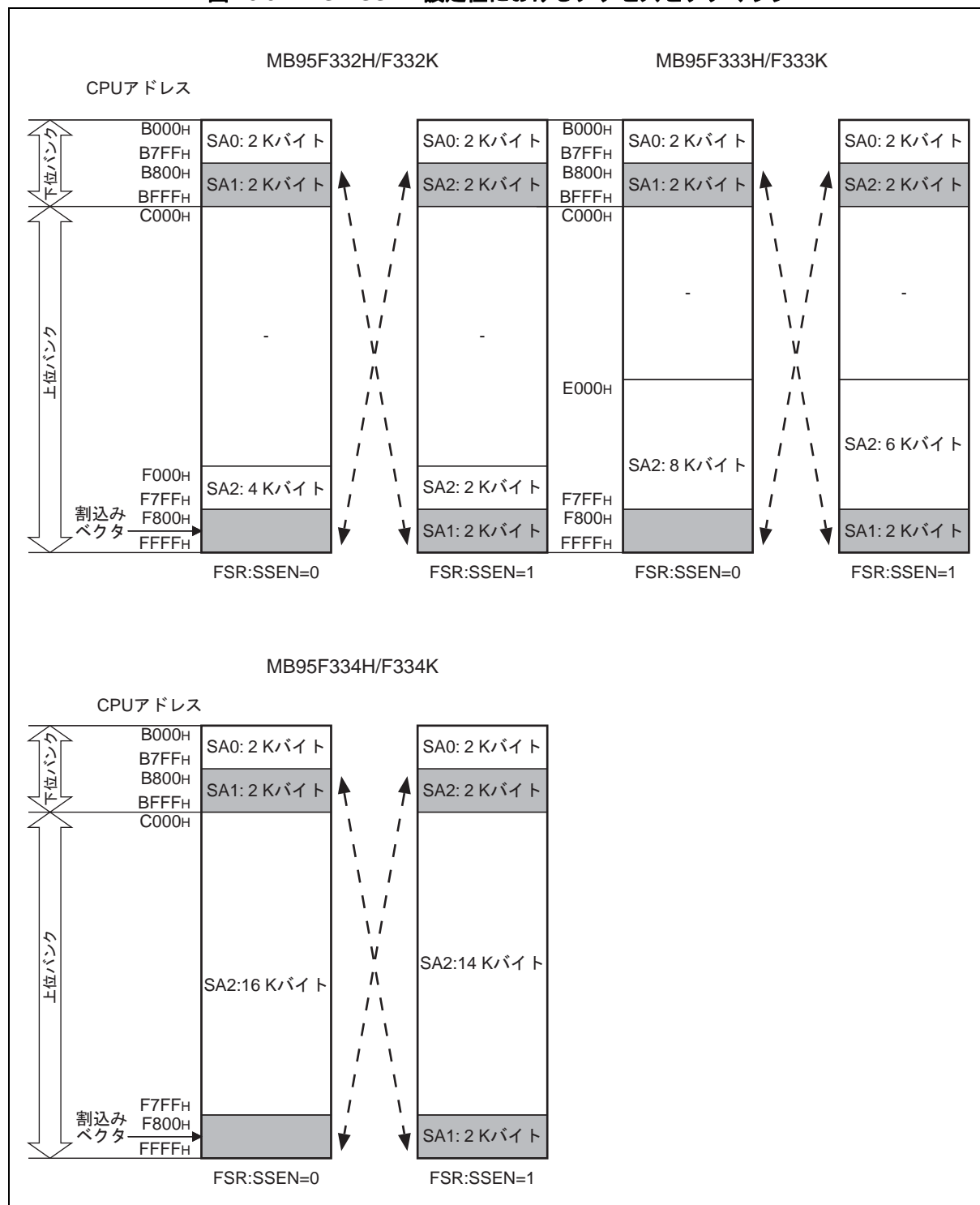


表 28.3-2 フラッシュメモリステータスレジスタ (FSR) の機能

ビット名		機能
bit7, bit6	未定義ビット	読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。
bit5	RDYIRQ: フラッシュメモリ 動作フラグビット	<p>このビットは、フラッシュメモリの動作状態を示します。 フラッシュメモリの書込み / 消去が完了すると、フラッシュメモリの自動アルゴリズムが終了した時点で RDYIRQ ビットに "1" が設定されます。</p> <ul style="list-style-type: none"> フラッシュメモリ書込み / 消去の完了による割込みが許可されている場合は (FSR: IRQEN=1), RDYIRQ ビットに "1" が設定されると、割込み要求が発生します。 フラッシュメモリ書込み / 消去の完了後, RDYIRQ ビットに "0" を設定すると、フラッシュメモリへの書込み / 消去は禁止されます。 <p>"0" に設定した場合: このビットはクリアされます。 "1" に設定した場合: 動作に影響はありません。 リードモディファイライト (RMW) 系命令によりこのビットを読み出すと、必ず "1" が読み出されます。</p>
bit4	RDY: フラッシュメモリ 書込み / 消去ステータスビット	<p>このビットは、フラッシュメモリの書込み / 消去状態を示します。</p> <ul style="list-style-type: none"> RDY ビットが "0" の場合は、フラッシュメモリへのデータの書込み / 消去は禁止されます。 RDY ビットが "0" の場合でも、読出し / リセットコマンドを受け付けることができます。書込みまたは消去が終了すると、RDY ビットに "1" が設定されます。 書込み / 消去コマンドの発行後, RDY ビットが "0" となるまでに 2 マシンクロック (MCLK) サイクルの遅延があります。書込み / 消去コマンドの発行後は、この 2 マシンクロックサイクルが経過するのを待ってから (NOP 命令を 2 個挿入するなど), このビットを読み出してください。
bit3	予約ビット	このビットは必ず "0" を設定してください。
bit2	IRQEN: フラッシュメモリ書込み / 消去割込み許可ビット	<p>このビットは、フラッシュメモリの書込み / 消去の完了による割込み要求の発生を許可または禁止します。</p> <p>"0" に設定した場合: フラッシュメモリ動作フラグビット (FSR:RDYIRQ) が "1" であっても、割込み要求は発生しません。 "1" に設定した場合: フラッシュメモリ動作フラグビット (FSR:RDYIRQ) が "1" の場合、割込み要求が発生します。</p>
bit1	WRE: フラッシュメモリ 書込み / 消去許可ビット	<p>このビットは、フラッシュメモリ領域の書込み / 消去を許可または禁止します。 WRE ビットはフラッシュメモリの書込み / 消去コマンドを起動前に設定してください。</p> <p>"0" に設定した場合: 書込み / 消去コマンドを入力しても、書込み / 消去の信号は生成しません。 "1" に設定した場合: 書込み / 消去コマンド入力後、フラッシュメモリへの書込み / 消去ができます。</p> <ul style="list-style-type: none"> フラッシュメモリに書込み / 消去を行わない場合は、誤ってフラッシュメモリに書き込んだり、消去を行ったりしないように、WRE ビットを "0" に設定してください。 フラッシュメモリに書き込む際には、FSR:WRE を "1" に設定して書込み許可にしてからデータが書き込まれるフラッシュメモリのセクタにしたがって、フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) の設定を行ってください。フラッシュメモリ書込みが禁止されている場合 (FSR:WRE = 0) は、フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) のセクタに対応したビットが "1" に設定されて書込みが許可されていても、フラッシュメモリへのセクタへの書込みアクセスは行えません。
bit0	SSEN: セクタスワップ許可ビット	<p>本ビットは、上位バンクの SA2 の 2K バイトアドレス領域をスワップするために使用します。本アドレスエリア内にはデュアルオペレーションモード時の下位バンクの SA1 用の割込みベクタが含まれています。</p> <p>"0" に設定した場合: SA1 は B000_H ~ BFFF_H に、SA2 の 2K バイトアドレス領域は F800_H ~ FFFF_H にマッピングされます。 "1" に設定した場合: SA2 の 2K バイトアドレス領域は F800_H ~ BFFF_H に、SA1 は F800_H ~ FFFF_H にマッピングされます。</p>

図 28.3-4 FSR:SSEN 設定値におけるアクセスセクタマップ



28.3.3 フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0)

フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) は、フラッシュメモリインタフェースにあるレジスタで、フラッシュメモリの誤書込み防止機能の設定を行う際に使用します。

■ フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0)

フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) は、各セクタ (SA0 ~ SA2) に対応した書込み許可 / 禁止設定ビットです。初期値は "0" で、書込み禁止の状態です。SWRE0 の SAxE ビットに "1" を書き込むことによりビットに対応するセクタの書込みを許可します。また、"0" を書き込むことにより、誤書込み防止が機能します。"0" を書き込んでから "1" の書込みを行っても、そのビットに対応するセクタへのデータを書き込むことはできません。再度書き込む場合はリセットをする必要があります。

図 28.3-5 フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0)

SWRE0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値
アドレス	予約	予約	予約	予約	予約	SA2E	SA1E	SA0E	00000000 _B
0073 _H	R/W0	R/W0	R/W0	R/W0	R/W0	R/W	R/W	R/W	

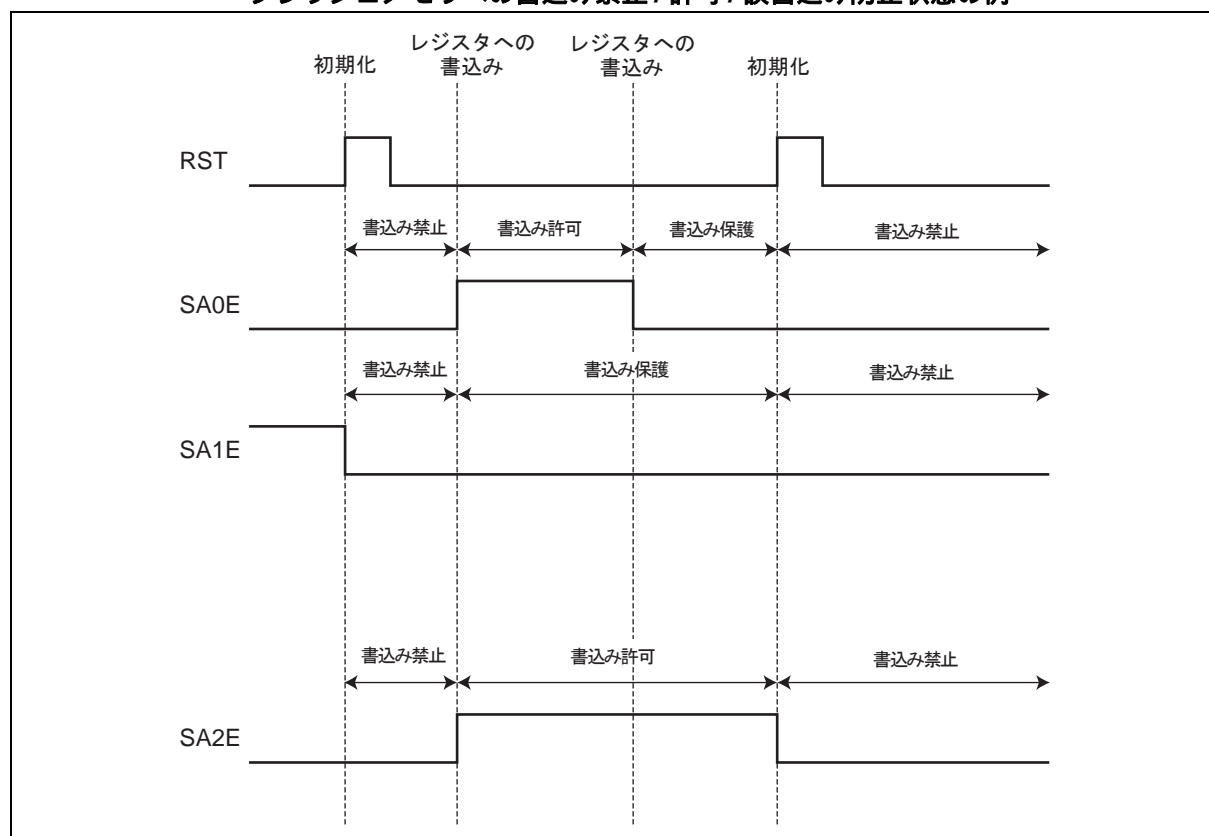
R/W : リード / ライト可能 (読出し値は書込み値と同じとなります。)
R/W0 : 書込み値は "0" です。読出し値は書込み値と同じとなります。

SWRE0 への書込みは、必ずバイト書込みで行ってください。ビット操作命令での設定は禁止となります。

表 28.3-3 フラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) の機能

ビット名		機能						
bit7 ～ bit3	予約ビット	必ず "0" を設定してください。						
bit2 ～ bit0	SA2E ～ SA0E: 書き込み機能設定ビット	フラッシュメモリの各セクタに対応した誤書き込み機能設定ビットです。"1" の書き込みによりビットに対応したセクタに書き込みが許可されます。また, "0" の書き込みによりビットに対応したセクタは, 誤書き込み防止機能が働きます。また, リセットにより初期化されて "0" (書き込み禁止) となります。						
		書き込み機能設定ビットと対応するフラッシュメモリセクタの表 <table><tr><th>ビット名</th><th>フラッシュメモリの対応セクタ</th></tr><tr><td>SA2E</td><td>SA2</td></tr><tr><td>SA1E</td><td>SA1</td></tr><tr><td>SA0E</td><td>SA0</td></tr></table> <p>書き込み禁止 : "0" の状態。フラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) の SAxE ビットに "0" を書き込んでいない状態で各セクタに対応した SAxE ビットを書込み許可 ("1") にすることが可能です (リセット後の状態)。</p> <p>書き込み許可 : "1" の状態。対応したセクタにデータを書き込むことが可能です。</p> <p>誤書き込み防止 : "0" の状態。フラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) の SAxE ビットに "0" を書き込んだ状態で各セクタに対応した SAxE ビットに "1" を書き込んでも書き込み許可 ("1") にすることはできません。</p>	ビット名	フラッシュメモリの対応セクタ	SA2E	SA2	SA1E	SA1
ビット名	フラッシュメモリの対応セクタ							
SA2E	SA2							
SA1E	SA1							
SA0E	SA0							

図 28.3-6 フラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) における
フラッシュメモリへの書き込み禁止 / 許可 / 誤書き込み防止状態の例



書き込み禁止：

"0" の状態。フラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) の SAxE ビットに "0" を書き込んでいない状態で各セクタに対応した SAxE ビットを書込み許可 ("1") にすることが可能です (リセット後の状態)。

書き込み許可：

"1" の状態。対応したセクタにデータを書き込むことが可能です。

誤書き込み防止：

"0" の状態。フラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) の SAxE ビットに "0" を書き込んだ状態で各セクタに対応した SAxE ビットに "1" を書き込んででも書き込み許可 ("1") にすることはできません。

■ SWRE0 レジスタ設定上の注意

FSR: SSEN が "0" である場合、フラッシュメモリの SA0(B000_H ~ B7FF_H), あるいは SA1(B800_H ~ BFFF_H) へのデータ書き込み / データ消去を行うには、最初に、SWRE0 レジスタの SA0E と SA1E の両方に "1" を設定してください。

FSR: SSEN が "1" 時にデータ書き込み / データ消去を行うには、最初に、SWRE0 レジスタの SA0E, SA1E, SA2E に "1" を設定してください。

フラッシュメモリのセクタマップの詳細に関しては、図 28.3-4 を参照してください。

28.3.4 フラッシュメモリステータスレジスタ 3(FSR3)

図 28.3-7 に、フラッシュメモリステータスレジスタ 3(FSR3) のビット構成を示します。

■ フラッシュメモリステータスレジスタ 3(FSR3)

図 28.3-7 フラッシュメモリステータスレジスタ 3(FSR3)

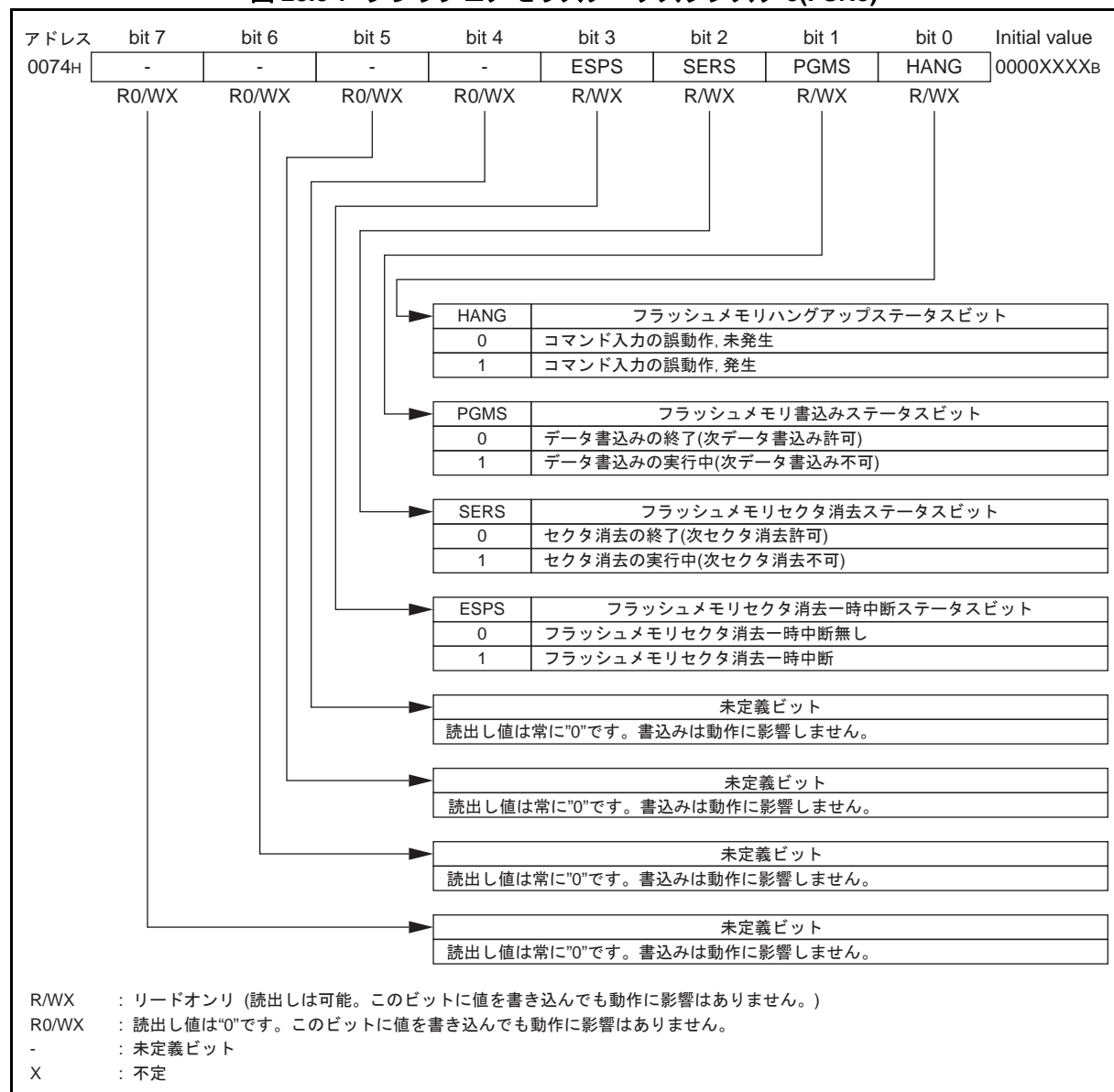


表 28.3-4 フラッシュメモリステータスレジスタ 3(FSR3) の機能

ビット名		機能
bit7 ~ bit4	未定義ビット	読出し値は常に "0" です。このビットに値を書き込んでも動作に影響はありません。
bit3	ESPS: フラッシュメモリ・ セクタ消去一時中断 ステータスビット	このビットは、フラッシュメモリの消去一時中断状態を示します。 <ul style="list-style-type: none"> ESPS ビットが "1" に設定されていると、フラッシュメモリ・セクタ消去が一時中断されていることを示します。 ESPS ビットが "0" に設定されていると、フラッシュメモリ・セクタ消去は一時中断されていないことを示します。 セクタ消去一時中断コマンド発行終了後、ESPS ビットが "1" になるまで 2 マシンクロック (MCLK) の遅延があります。セクタ消去一時中断コマンド発行終了後に、NOP を 2 回入れるなどをしてから本ビットを読み出すようにしてください。
bit2	SERS: フラッシュメモリ・ セクタ消去ステータ スビット	このビットは、フラッシュメモリのセクタ消去ステータスを示します。 <ul style="list-style-type: none"> SERS ビットが "1" に設定されていると、セクタ消去実行中を示します。 SERS ビットが "0" に設定されていると、セクタ消去終了を示します。 セクタ消去コマンド発行終了後、SERS ビットが "1" になるまで 2 マシンクロック (MCLK) の遅延があります。セクタ消去コマンド発行終了後に、NOP を 2 回入れるなどをしてから本ビットを読み出すようにしてください。
bit1	PGMS: フラッシュメモリ 書込みステータス ビット	このビットは、フラッシュメモリ書込みステータスを示しています。 <ul style="list-style-type: none"> PGMS ビットが "1" に設定されていると、フラッシュメモリへのデータ書込み中を示します。 PGMS ビットが "0" に設定されているフラッシュメモリへのデータ書込み完了を示します。 書込みコマンド発行終了後、PGMS ビットが "1" になるまで 2 マシンクロック (MCLK) の遅延があります。書込みコマンド発行終了後に、NOP を 2 回入れるなどをしてから本ビットを読み出すようにしてください。 <u>マシン・クロック (MCLK) サイクルが 1 μs より長い場合、PGMS はアサートされません。本ビットは、1 μs より短いマシンサイクル (MCLK) で使用してください。</u>
bit0	HANG: フラッシュメモリ ハングアップステー タスビット	このビットは、フラッシュメモリの誤動作の有無を示します。 <ul style="list-style-type: none"> HANG ビットが "1" に設定されていると、コマンド入力の誤動作を示します。 HANG ビットが "0" に設定されていると、それまでコマンド入力の誤動作がないことを示します。 リセット命令の発行と HANG ビットが "1" に設定される間には、2 マシン (MCLK) サイクル・クロックの遅延があります。 リセットコマンド発行終了後、HANG ビットが "0" になるまで 2 マシンクロック (MCLK) の遅延があります。リセットコマンド発行終了後に、NOP を 2 回入れるなどをしてから本ビットを読み出すようにしてください。

■ フラッシュメモリステータスレジスタ 2, フラッシュメモリステータスレジスタ 3, および RDY ビット (FRS: bit4)

図 28.3-8 FSR2 : PGMEND (フラッシュメモリ書き込み中)

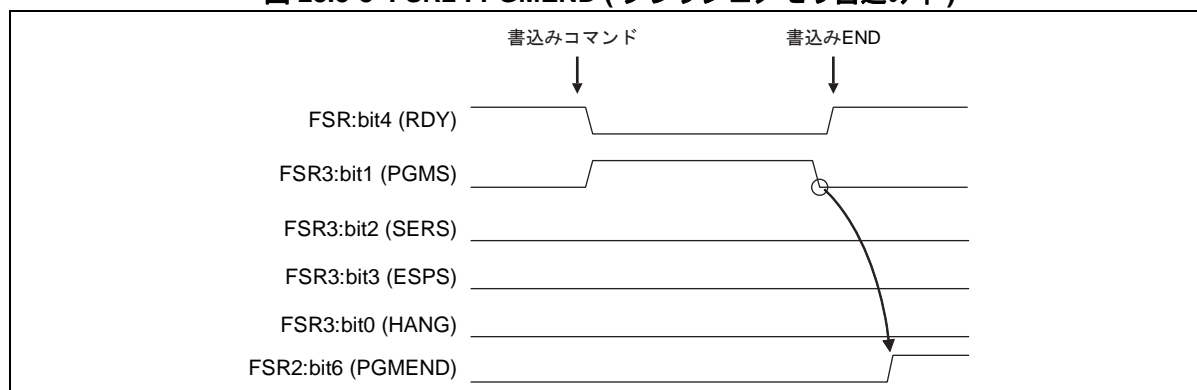


図 28.3-9 FSR2:PGMTO (フラッシュメモリ書き込みエラー時)

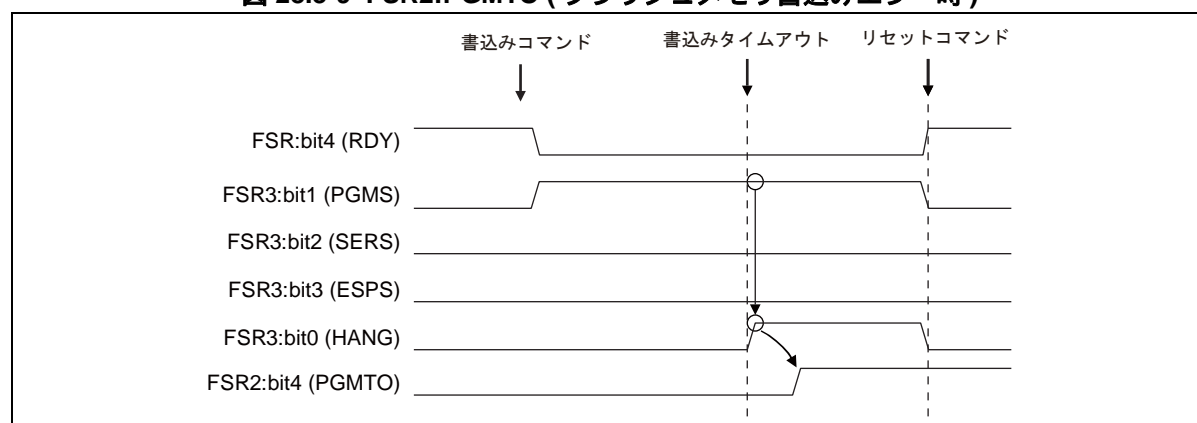


図 28.3-10 FSR2:ERSEND (フラッシュメモリセクタ消去中)

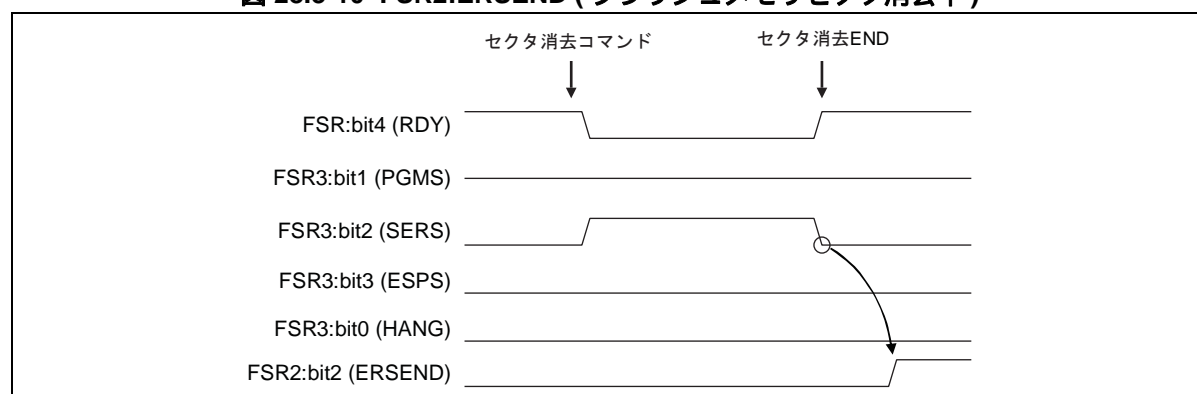


図 28.3-11 FSR2:ERSTO (フラッシュメモリセクタ消去エラー時)

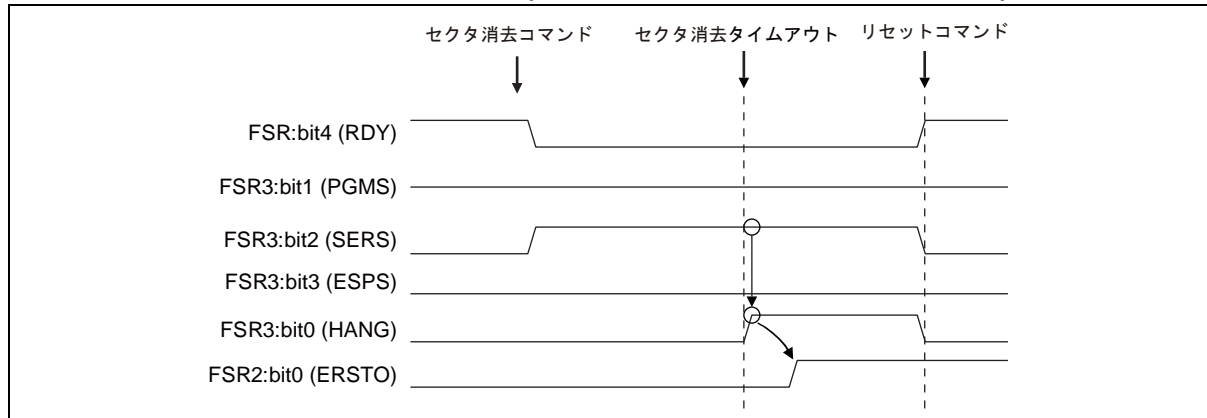


図 28.3-12 FSR2:PGMEND, FSR2:ERSEND

(フラッシュメモリセクタ消去一時停止中かつフラッシュメモリ書き込み中)

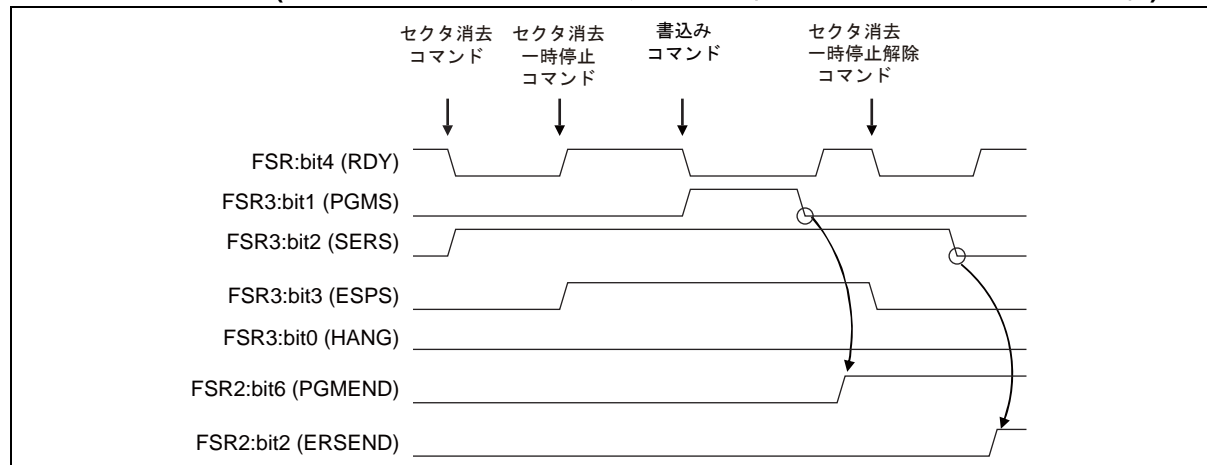


図 28.3-13 FSR2:PGMTO, FSR2:ERSEND

(フラッシュメモリセクタ消去一時停止中のフラッシュメモリ書き込み失敗時)

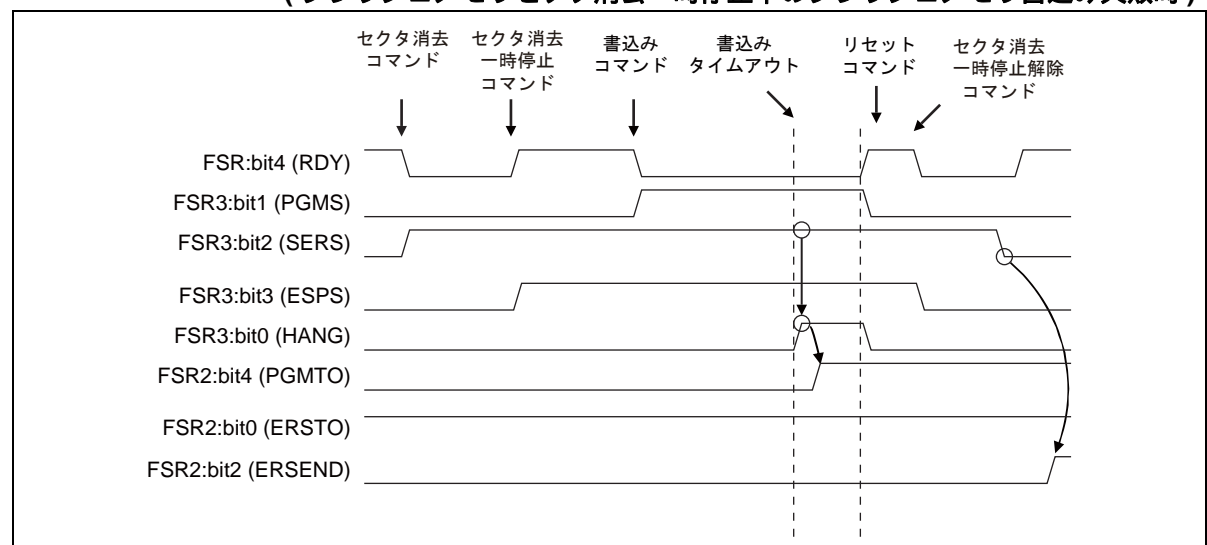


図 28.3-14 FSR2: ERSEND
(フラッシュメモリセクタ消去中)

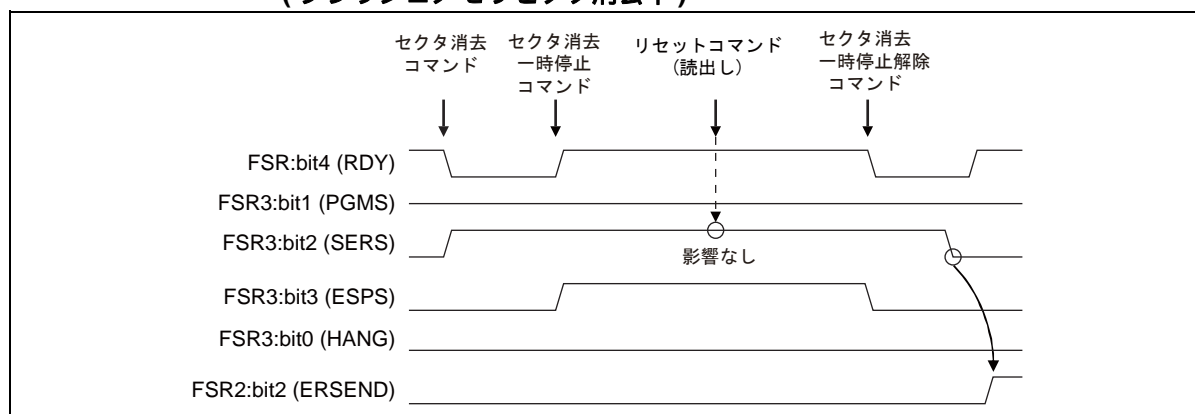
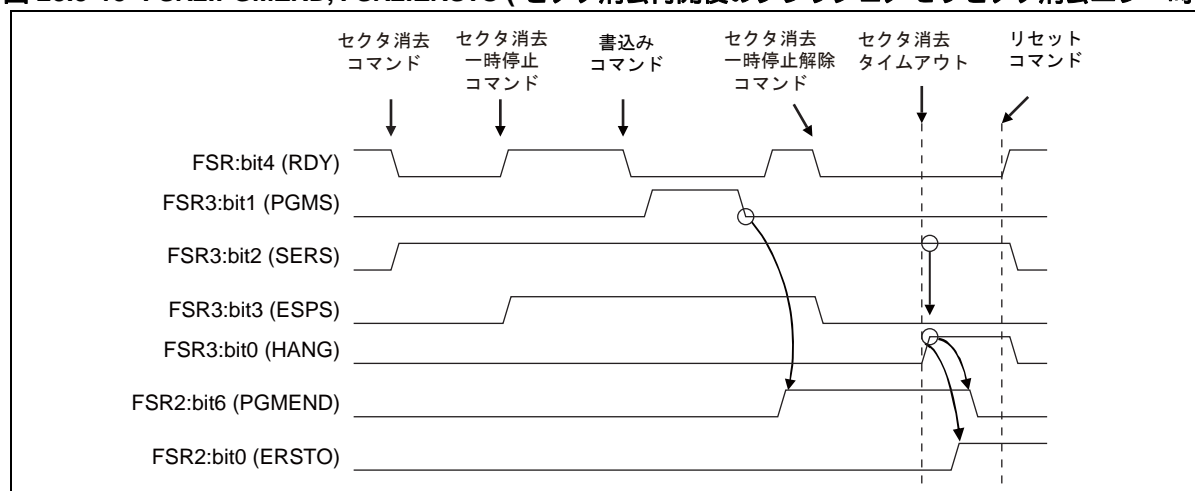


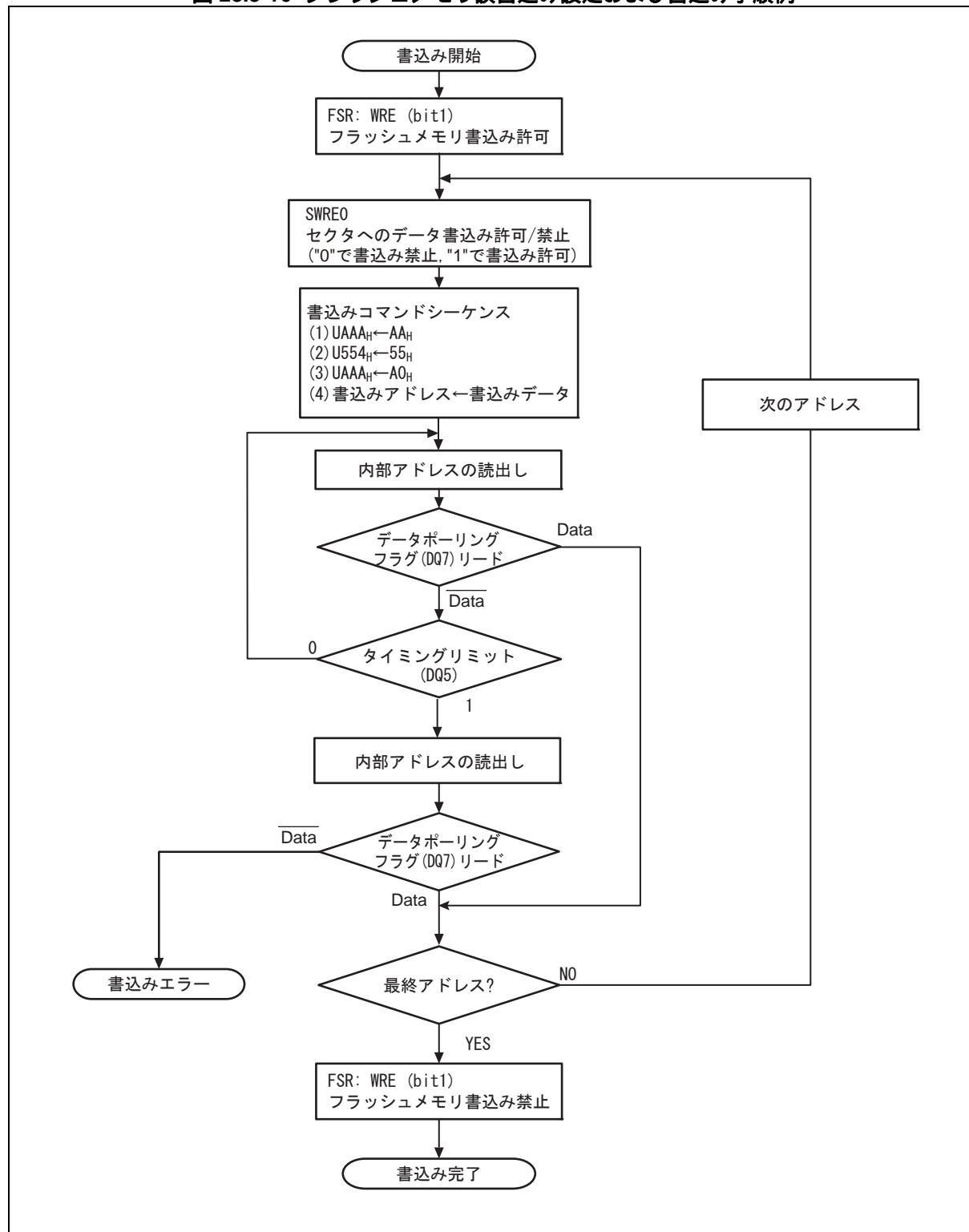
図 28.3-15 FSR2:PGMEND, FSR2:ERSTO (セクタ消去再開後のフラッシュメモリセクタ消去エラー時)



■ フラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) 設定フロー

FSR:WRE に "1" を設定してフラッシュメモリの書き込みを可能にし、フラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) のセクタに対応するビットに "1" または "0" を設定することで、それぞれ書き込みの許可 / 禁止ができます。

図 28.3-16 フラッシュメモリ誤書き込み設定および書き込み手順例



■ FSR:WRE 上の注意事項

フラッシュメモリに書き込む際には、FSR:WRE に "1" を設定して書き込み許可にしてからフラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) の設定を行ってください。FSR:WRE が書き込み禁止 ("0") の場合、フラッシュメモリセクタ書き込み制御レジスタ 0 (SWRE0) で書き込み許可としても、フラッシュメモリのセクタへの書き込み動作は行われません。

28.4 フラッシュメモリ自動アルゴリズム起動方法

フラッシュメモリの自動アルゴリズムを起動するコマンドには、読出し/リセット、書込み、チップ消去、セクタ消去の 4 種類があり、セクタ消去については一時停止と再開の制御ができます。

■ コマンドシーケンス表

表 28.4-1 に、フラッシュメモリの書込み/消去時に使用するコマンドの一覧を示します。

表 28.4-1 コマンドシーケンス表

コマンド シーケンス	バス ライト サイク ル	1st バス ライトサイクル		2nd バス ライトサイクル		3rd バス ライトサイクル		4th バス ライトサイクル		5th バス ライトサイクル		6th バス ライトサイクル	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読出し / リセット*	1	F _X XX _H	F0 _H	-	-	-	-	-	-	-	-	-	-
	4	UAAA _H	AA _H	U554 _H	55 _H	UAAA _H	F0 _H	RA	RD	-	-	-	-
書込み	4	UAAA _H	AA _H	U554 _H	55 _H	UAAA _H	A0 _H	PA	PD	-	-	-	-
チップ 消去	6	XAAA _H	AA _H	X554 _H	55 _H	XAAA _H	80 _H	XAAA _H	AA _H	X554 _H	55 _H	XAAA _H	10 _H
セクタ 消去	6	UAAA _H	AA _H	X554 _H	55 _H	UAAA _H	80 _H	UAAA _H	AA _H	U554 _H	55 _H	SA	30 _H
セクタ消去一時停止		アドレス "UXXX _H " にデータ "B0 _H " を入力することで、セクタ消去を一時停止											
セクタ消去再開		アドレス "UXXX _H " にデータ "30 _H " を入力することで、消去を再開											

RA : 読出しアドレス

PA : 書込みアドレス

SA : セクタアドレス (セクタ内の任意の 1 アドレスを指定)

RD : 読出しデータ

PD : 書込みデータ

U : 上位 4 ビットは RA, PA, および SA と同じ

F_X : FF/FE

X : 任意のアドレス

*: 2 種類の読出し / リセットコマンドは、どちらもフラッシュメモリを読出しモードにリセットできます。

< 注意事項 >

- 表中のアドレスは、CPU メモリマップ上の値です。アドレスおよびデータはすべて 16 進数で表記しています。ただし、"X" は任意の値です。
- 表中のアドレス "U" は任意ではなくアドレスの上位 4 ビット (bit 15 ~ bit 12) を表します。その値は RA, PA, および SA の上位 4 ビットと同じでなければなりません。
例 : RA=C48E_H の場合 U=C, PA=1024_H の場合 U=1
SA=3000_H の場合 U=3,
- チップ消去コマンドが受け付けられるのは、全セクタを書込み許可している場合のみです。フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) に 1 セクタでも "0" を設定 (セクタ書込み禁止) している場合、チップ消去コマンドは無視されます。

■ コマンド発行時の注意点

コマンドシーケンス表のコマンドを発行する際には下記の点に注意してください。

- 各セクタの書込み許可の設定は 1 回目のコマンド発行前に行ってください。
- コマンドを発行する際のアドレス上位 4 ビット, U (bit15 ~ bit12) は, 1 回目のコマンド発行時から RA, PA, SA の上位 4 ビットと同じにしてください。

上記の対策を行わなかった場合は, 正常にコマンドが認識されませんので, リセットにてフラッシュメモリ内のコマンドシーケンスを初期化する必要があります。

28.5 自動アルゴリズム実行状態の確認

フラッシュメモリでは、書込み/消去のフローを自動アルゴリズムで行うため、フラッシュメモリ内部の動作状態をハードウェアシーケンスフラグによって確認できます。

■ ハードウェアシーケンスフラグ

● ハードウェアシーケンスフラグの概要

ハードウェアシーケンスフラグは、次の 4 ビットの出力で構成されます。

- データポーリングフラグ (DQ7)
- トグルビットフラグ (DQ6)
- タイミングリミット超過フラグ (DQ5)
- セクタ消去タイマフラグ (DQ3)

ハードウェアシーケンスフラグにより、書込み / チップ・セクタ消去コマンドの終了、消去コードライトを行えるかを確認できます。

ハードウェアシーケンスフラグの参照は、コマンドシーケンス設定後にフラッシュメモリ内部の対象セクタのアドレスにリードアクセスすることで行えます。ただし、ハードウェアシーケンスフラグはコマンド発行された側のバンクのみに出力されます。

表 28.5-1 に、ハードウェアシーケンスフラグのビット割当てを示します。

表 28.5-1 ハードウェアシーケンスフラグのビット割当て

ビット No.	7	6	5	4	3	2	1	0
ハードウェアシーケンスフラグ	DQ7	DQ6	DQ5	-	DQ3	-	-	-

- 自動書込み / チップ・セクタ消去コマンドが実行中か、終了しているかを判断するには、ハードウェアシーケンスフラグを確認するかフラッシュメモリステータスレジスタのフラッシュメモリ書込み / 消去ステータスビット (FSR: RDY) を確認してください。書込み / 消去の終了後は、読出し / リセット状態に戻ります。
- 書込み / 消去プログラムを作成する場合には、DQ3, DQ5, DQ6, DQ7 のフラグで自動書込み / 消去の終了を確認後、データの読出しの処理を行ってください。
- 2 回目以降のセクタ消去コードライトが有効であるかどうかについても、ハードウェアシーケンスフラグによって確認できます。

● ハードウェアシーケンスフラグの説明

表 28.5-2 に、ハードウェアシーケンスフラグ機能の一覧を示します。

表 28.5-2 ハードウェアシーケンスフラグ機能の一覧

状態		DQ7	DQ6	DQ5	DQ3
正常動作時の 状態変化	書込み 書込み完了 (書込みアドレッシング時)	$\overline{\text{DQ7}}$ DATA: 7	Toggle DATA: 6	0 DATA: 5	0 DATA: 3
	チップ・セクタ消去 消去完了	0 1	Toggle Stop	0 1	1
	セクタ消去ウェイト 消去開始	0	Toggle	0	0 1
	消去 セクタ消去一時停止 (消去中のセクタ)	0 1	Toggle 1	0	1 0
	セクタ消去一時停止 消去再開 (消去中のセクタ)	1 0	1 Toggle	0	0 1
	セクタ消去一時停止中 (消去中ではないセクタ)	DATA: 7	DATA: 6	DATA: 5	DATA: 3
異常動作	書込み	$\overline{\text{DQ7}}$	Toggle	1	0
	チップ・セクタ消去	0	Toggle	1	1

28.5.1 データポーリングフラグ (DQ7)

データポーリングフラグ (DQ7) は、自動アルゴリズム実行が進行中もしくは終了状態であることをデータポーリング機能によって知らせるハードウェアシーケンスフラグです。

■ データポーリングフラグ (DQ7)

表 28.5-3 に、データポーリングフラグの状態遷移（正常動作時の状態変化）を、表 28.5-4 に、データポーリングフラグの状態遷移（異常動作時の状態変化）を示します。

表 28.5-3 データポーリングフラグの状態遷移（正常動作時の状態変化）

動作状態	書込み 書込み完了	チップ・ セクタ消去 消去完了	セクタ消去 ウェイト 消去開始	セクタ消去 セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ7	$\overline{\text{DQ7}}$ DATA: 7	0 1	0	0 1	1 0	DATA: 7

表 28.5-4 データポーリングフラグの状態遷移（異常動作時の状態変化）

動作状態	書込み	チップ・セクタ消去
DQ7	$\overline{\text{DQ7}}$	0

- 書込みの場合
自動書込みアルゴリズム実行中にリードアクセスした場合、フラッシュメモリは最後に書き込まれたデータの bit7 を反転させた値を DQ7 に出力します。
自動書込みアルゴリズム終了時にリードアクセスを行った場合、フラッシュメモリはリードアクセスを行ったアドレスの読出し値の bit7 を DQ7 に出力します。
- チップ消去 / セクタ消去の場合
チップ消去 / セクタ消去の自動アルゴリズム実行中に現在消去しているセクタをリードアクセスすると、フラッシュメモリの bit7 は "0" を出力します。チップ消去 / セクタ消去が終了すると、フラッシュメモリの bit7 は "1" を出力します。

● セクタ消去一時停止の場合

- ・セクタ消去一時停止状態でリードアクセスを行った場合、フラッシュメモリは、リードアドレスが消去中のセクタであれば DQ7 に "1" を出力します。消去中のセクタでなければ、リードアドレスの読出し値の bit7 (DATA: 7) を DQ7 に出力します。
- ・データポーリングフラグ (DQ7) をトグルビットフラグ (DQ6) とともに参照することで、セクター一時停止状態であるか、どのセクタが消去中であるかを判定することができます。

< 注意事項 >

自動アルゴリズムを起動した場合は、指定したアドレスへのリードアクセスは無視されます。データの読出しは、データポーリングフラグ (DQ7) が "1" に設定された後に可能になります。自動アルゴリズム終了後のデータの読出しは、データポーリング終了を確認したリードアクセスの後に行ってください。

28.5.2 トグルビットフラグ (DQ6)

トグルビットフラグ (DQ6) は、自動アルゴリズム実行が進行中、もしくは終了状態であることをトグルビット機能によって知らせるハードウェアシーケンスフラグです。

■ トグルビットフラグ (DQ6)

表 28.5-5 に、トグルビットフラグの状態遷移（正常動作時の状態変化）を、表 28.5-6 に、トグルビットフラグの状態遷移（異常動作時の状態変化）を示します。

表 28.5-5 トグルビットフラグの状態遷移（正常動作時の状態変化）

動作状態	書込み 書込み完了	チップ・ セクタ消去 消去完了	セクタ消去 ウェイト 消去開始	セクタ消去 セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ6	Toggle DATA: 6	Toggle Stop	Toggle	Toggle 1	1 Toggle	DATA: 6

表 28.5-6 トグルビットフラグの状態遷移（異常動作時の状態変化）

動作状態	書込み	チップ・セクタ消去
DQ6	Toggle	Toggle

● 書込みとチップ消去 / セクタ消去の場合

- ・自動書込みアルゴリズムまたはチップ消去 / セクタ消去の自動アルゴリズムを実行中にリードアクセスを連続して行った場合、フラッシュメモリは、読出しを行うごとに "1" と "0" を交互にトグル出力します。
- ・自動書込みアルゴリズムおよびチップ消去 / セクタ消去の自動アルゴリズムが終了した後にリードアクセスを連続して行った場合、フラッシュメモリは読出しを行うごとにリードアドレスの読出し値の bit6 (DATA: 6) を出力します。

● セクタ消去一時停止の場合

セクタ消去一時停止状態でリードアクセスを行った場合、フラッシュメモリは、リードアドレスが消去中のセクタであるならば "1" を出力します。消去中のセクタでなければ、リードアドレスの読出し値の bit6 (DATA: 6) を出力します。

< 注意事項 >

デュアルオペレーションフラッシュメモリ（フラッシュメモリ書込み制御プログラムをフラッシュメモリ上で実行する）を用いる場合、トグルビットフラグ (DQ6) を使用して書込み/消去中の状態を確認することができません。「28.9 デュアルオペレーションフラッシュメモリ使用上の注意」記載の注意事項を参照の上、プログラムを作成してください。

なお、フラッシュメモリ書込み制御プログラムを RAM 上で実行する場合は、本注意事項は該当しません。

MB95330H シリーズ

28.5.3 タイミングリミット超過フラグ (DQ5)

タイミングリミット超過フラグ (DQ5) は、自動アルゴリズムの実行がフラッシュメモリ内部の規定時間 (書込み / 消去に要する時間) を超えてしまったことを知らせるハードウェアシーケンスフラグです。

■ タイミングリミット超過フラグ (DQ5)

表 28.5-7 に、タイミングリミット超過フラグの状態遷移 (正常動作時の状態変化) を、表 28.5-8 に、タイミングリミット超過フラグの状態遷移 (異常動作時の状態変化) を示します。

表 28.5-7 タイミングリミット超過フラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み 書込み完了	チップ・ セクタ消去 消去完了	セクタ消去 ウェイト 消去開始	セクタ消去 セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ5	0 DATA: 5	0 1	0	0	0	DATA: 5

表 28.5-8 タイミングリミット超過フラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ・セクタ消去
DQ5	1	1

● 書込みとチップ消去 / セクタ消去の場合

書込みまたはチップ消去 / セクタ消去の自動アルゴリズム起動後にリードアクセスを行った場合、規定時間 (書込み / 消去に要する時間) 内であれば "0" を、規定時間を超えている場合は "1" を出力します。

タイミングリミット超過フラグ (DQ5) は、自動アルゴリズムが実行中か終了状態にかかわらず、書込み / 消去の成功または失敗の判定を行うことができます。タイミングリミット超過フラグ (DQ5) が "1" を出力した場合、データポーリング機能またはトグルビット機能により自動アルゴリズムが実行中であれば、書込みが失敗していると判断できます。

例えば、"0" が書き込まれているフラッシュメモリアドレスに "1" を書き込もうとした場合は、フラッシュメモリはロックされて自動アルゴリズムは終了せず、データポーリングフラグ (DQ7) から有効なデータが出力されません。また、トグルビットフラグ (DQ6) はトグル動作を終了せず、自動アルゴリズムも終了せずに、タイムリミットを超えてしまい、タイミングリミット超過フラグ (DQ5) は "1" を出力します。タイミングリミット超過フラグ (DQ5) が "1" を出力した場合は、フラッシュメモリが不良ではなく、正しく使用されなかったことを示していますので、リセットコマンドを実行してください。

28.5.4 セクタ消去タイマフラグ (DQ3)

セクタ消去タイマフラグ (DQ3) は、セクタ消去コマンド起動後、セクタ消去ウェイト期間中であるか否かを知らせるハードウェアシーケンスフラグです。

■ セクタ消去タイマフラグ (DQ3)

表 28.5-9 に、セクタ消去タイマフラグの状態遷移 (正常動作時の状態変化) を、表 28.5-10 に、セクタ消去タイマフラグの状態遷移 (異常動作時の状態変化) を示します。

表 28.5-9 セクタ消去タイマフラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み 書込み完了	チップ・ セクタ消去 消去完了	セクタ消去 ウェイト 消去開始	セクタ消去 セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ3	0 DATA: 3	1	0 1	1 0	0 1	DATA: 3

表 28.5-10 セクタ消去タイマフラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ・セクタ消去
DQ3	0	1

● セクタ消去の場合

- セクタ消去コマンド起動後にリードアクセスを行った場合に、セクタ消去ウェイト期間中であれば "0" を出力します。セクタ消去ウェイト期間を超えている場合は "1" を出力します。
- データポーリング機能やトグルビット機能により消去アルゴリズムが実行中を示している場合 (DQ7=0, DQ6がトグル出力)、セクタ消去タイマフラグ (DQ3) が "1" であれば、セクタ消去を行っています。続けて消去一時停止以外のコマンドを設定した場合は、消去が終了されるまで無視されます。
- セクタ消去タイマフラグ (DQ3) が "0" であった場合、フラッシュメモリはセクタ消去コマンドを受け付けることができます。セクタ消去コマンドを書き込む場合は、セクタ消去タイマフラグ (DQ3) が "0" であることを確認してください。セクタ消去タイマ (DQ3) が "1" であった場合、一時停止のセクタ消去コマンドが受け付けられない場合があります。

● セクタ消去一時停止の場合

セクタ消去一時停止状態でリードアクセスを行った場合、フラッシュメモリは、リードアドレスが消去中のセクタであるならば "1" を出力します。消去中のセクタでなければ、リードアドレスの読出し値の bit3 (DATA: 3) を出力します。

MB95330H シリーズ

28.6 フラッシュメモリ書込み / 消去

自動アルゴリズムを起動するコマンドを入力し、フラッシュメモリに読出し / リセット、書込み、チップ消去、セクタ消去、セクタ消去一時停止およびセクタ消去再開のそれぞれの動作を行う手順を説明します。

■ フラッシュメモリ書込み / 消去

自動アルゴリズムは、読出し / リセット、書込み、チップ消去、セクタ消去、セクタ消去一時停止およびセクタ消去再開のコマンドシーケンスを CPU からフラッシュメモリに書き込むことにより起動することができます。CPU からフラッシュメモリへのコマンドシーケンスのコマンドの書込みは、必ず連続して行ってください。また、自動アルゴリズムはデータポーリング機能により終了状態を確認することができます。正常終了後は読出し / リセット状態に戻ります。

各動作について、下記の順に説明します。

- 読出し / リセット状態にする
- データを書き込む
- 全データを消去する（チップ消去）
- 任意のデータを消去する（セクタ消去）
- セクタ消去を一時停止する
- セクタ消去を再開する

28.6.1 フラッシュメモリを讀出し/リセット状態にする

讀出し/リセットコマンドを入力し、フラッシュメモリを讀出し/リセット状態にする手順について説明します。

■ フラッシュメモリを讀出し/リセット状態にする

- フラッシュメモリを讀出し/リセット状態にするには、コマンドシーケンス表の讀出し/リセットコマンドを CPU からフラッシュメモリへ連続して送ってください。
- 讀出し/リセットコマンドには 1 回と 4 回のバス動作を行う 2 通りのコマンドシーケンスがありますが、これらに違いはありません。
- 讀出し/リセット状態はフラッシュメモリの初期状態ですので、電源投入後、コマンドの正常終了後は常に讀出し/リセット状態になります。讀出し/リセット状態は、コマンドの入力待ち状態でもあります。
- 讀出し/リセット状態では、フラッシュメモリへリードアクセスを行うことによりデータを讀み出すことができます。マスク ROM と同様に CPU からのプログラムアクセスができます。
- フラッシュメモリへリードアクセスを行う場合は、讀出し/リセットコマンドは必要ありません。コマンドが正常に終了しなかった場合は、自動アルゴリズムを初期化するために、讀出し/リセットコマンドを使用してください。

MB95330H シリーズ

28.6.2 フラッシュメモリヘータを書き込む

書込みコマンドを入力し、フラッシュメモリヘータを書き込む手順について説明します。

■ フラッシュメモリヘータの書込み

- フラッシュメモリのデータ書込み自動アルゴリズムを起動するためには、コマンドシーケンス表の書込みコマンドをCPUからフラッシュメモリへ連続して送ってください。
- 4 サイクル目に目的のアドレスへのデータ書込みが終了した場合、自動アルゴリズムが起動されて自動書込みを開始します。

● アドレッシング方法

書込みはどのようなアドレスの順番でも、セクタの境界を越えても行えます。1 回の書込みコマンドによって書き込まれるデータは 1 バイトのみです。

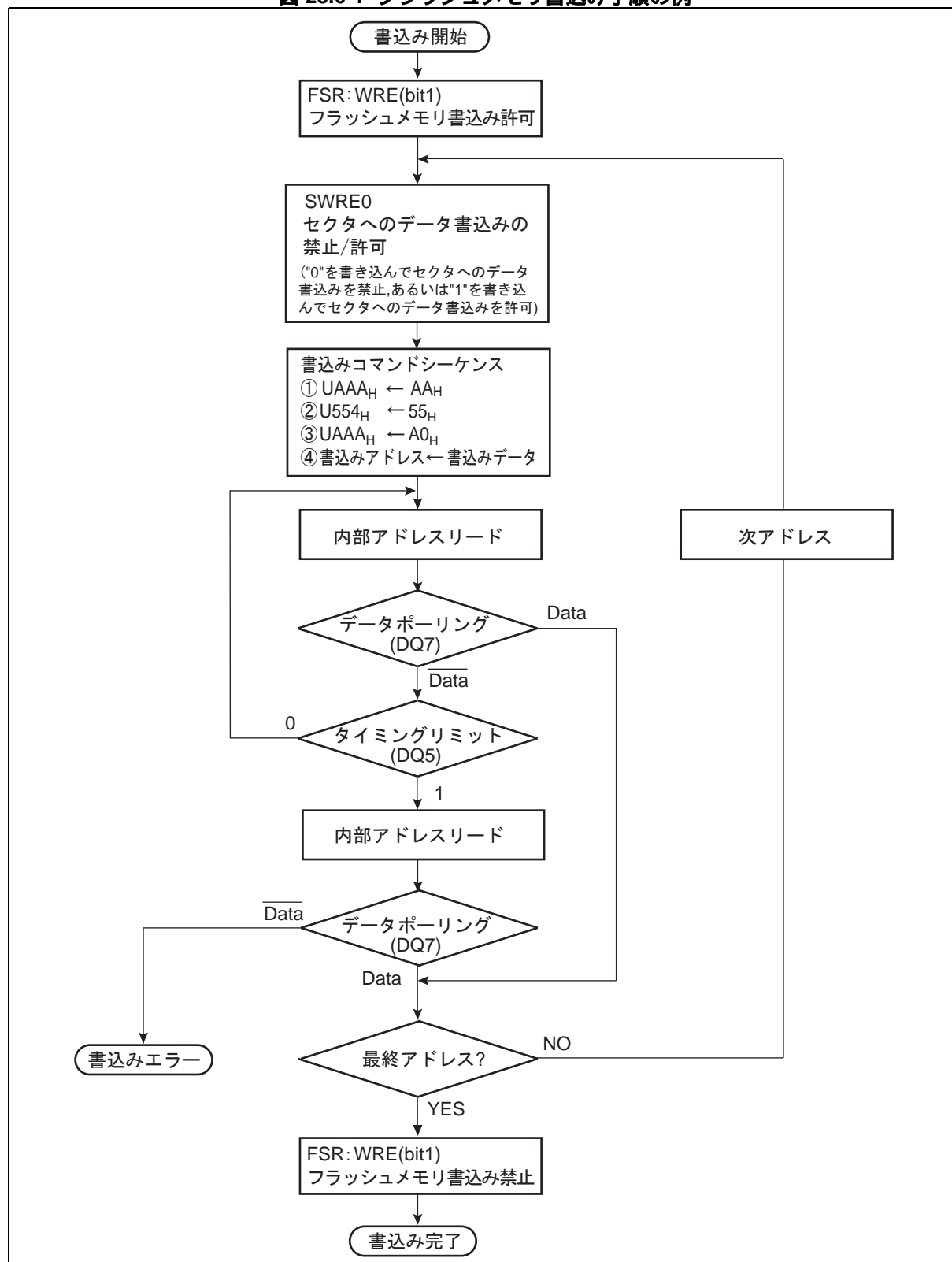
● データ書込み上の注意

- 書込みによって、ビットデータを "0" から "1" に戻すことはできません。ビットデータ "0" にビットデータ "1" を書き込むと、データポーリング機能 (DQ7)、またはトグル動作 (DQ6) が終了せず、フラッシュメモリ素子が不良と判定され、自動アルゴリズムの実行時間が書込み規定時間を超えるため、タイミングリミット超過フラグ (DQ5) がエラーと判定します。
読出し / リセット状態でデータを読み出した場合、ビットデータは "0" のままです。ビットデータを "0" から "1" に戻すには、フラッシュメモリの消去を行ってください。
- 自動書込み実行中は、すべてのコマンドが無視されます。
- 書込み中にハードウェアリセットが起動された場合は、書込みアドレスのデータは保証されません。チップ消去コマンドからやり直してください。

■ フラッシュメモリ書込み手順

- 図 28.6-1 に、フラッシュメモリ書込み手順の例を示します。ハードウェアシーケンスフラグを用いることでフラッシュメモリ内部の自動アルゴリズムの状態を判定することができます。ここでは、フラッシュメモリへの書込み終了の確認にデータポーリングフラグ (DQ7) を用いています。
- フラグチェックのために読み出すデータは、最後に書込みを行ったアドレスからの読出しとなります。
- データポーリングフラグ (DQ7) は、タイミングリミット超過フラグ (DQ5) と同時に変化するので、タイミングリミット超過フラグ (DQ5) が "1" であった場合でもデータポーリングフラグビット (DQ7) を確認してください。
- トグルビットフラグ (DQ6) も、タイミングリミット超過フラグビット (DQ5) が "1" に変化すると同時にトグル動作を止めますので、DQ5 が "1" に変化した後に、トグルビットフラグ (DQ6) を確認してください。

図 28.6-1 フラッシュメモリ書込み手順の例



MB95330H シリーズ

28.6.3 フラッシュメモリの全データを消去する (チップ消去)

チップ消去コマンドを発行し、フラッシュメモリの全データを消去する手順について説明します。

■ フラッシュメモリのデータを消去する (チップ消去)

- フラッシュメモリからすべてのデータを消去するためには、コマンドシーケンス表のチップ消去コマンドを CPU からフラッシュメモリへ連続して送ってください。
- チップ消去コマンドは 6 回のバス動作で行われ、書込みコマンドの 6 サイクル目が完了した時点でチップ消去動作を開始します。
- チップ消去では、消去前にユーザがフラッシュメモリに書込みを行う必要はありません。自動消去アルゴリズム実行中には、フラッシュメモリはデータを消去する前にフラッシュメモリのすべてのセルに "0" を自動的に書き込んでから消去します。

■ チップ消去の際の注意点

- チップ消去コマンドが受け付けられるのは、全セクタを書込み許可にしている場合のみです。フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) に 1 セクタでも "0" を設定 (セクタ書込み禁止) している場合、チップ消去コマンドは無視されます。
- 消去中にハードウェアリセットが発生したフラッシュメモリのデータの整合性は保証されません。

28.6.4 フラッシュメモリの任意のデータを消去する (セクタ消去)

セクタ消去コマンドを入力し、フラッシュメモリの任意のセクタ消去を行う手順について説明します。セクタごとの消去が可能であり、複数のセクタを同時に指定することもできます。

■ フラッシュメモリの任意のデータを消去する (セクタ消去)

フラッシュメモリの任意のセクタを消去するためには、コマンドシーケンス表のセクタ消去コマンドを CPU からフラッシュメモリへ連続して送ってください。

● セクタ指定方法

- セクタ消去コマンドは 6 回のバス動作で行われます。消去されるセクタ内のアドレスを 6 サイクル目のアドレスとして指定し、データとしてセクタ消去コード (30_H) を書き込むことにより最小 50 μ s のセクタ消去ウェイトが開始します。
- 複数のセクタ消去を行う場合は、上記に続き消去する最初のセクタのアドレスにセクタ消去コードを書き込んだ後に、消去する目的のセクタ内のアドレスに消去コード (30_H) を書き込みます。

● 複数のセクタを指定する場合の注意

- 最後のセクタ消去コードの書込みから最小 50 μ s のセクタ消去ウェイト期間終了により消去が開始します。
- 複数のセクタを同時に消去する場合は、セクタのアドレスと消去コード (コマンドシーケンス 6 サイクル目) を最小 50 μ s のセクタ消去ウェイト期間以内に入力してください。50 μ s を超えて消去コードを入力した場合は、セクタ消去ウェイト期間終了により受け付けられません。
- 連続したセクタ消去コードの書込みが有効であるかどうかは、セクタ消去タイマフラグ (DQ3) によって確認できます。
- セクタ消去タイマフラグ (DQ3) を読み出す場合のアドレスには、消去しようとしているセクタを指定してください。

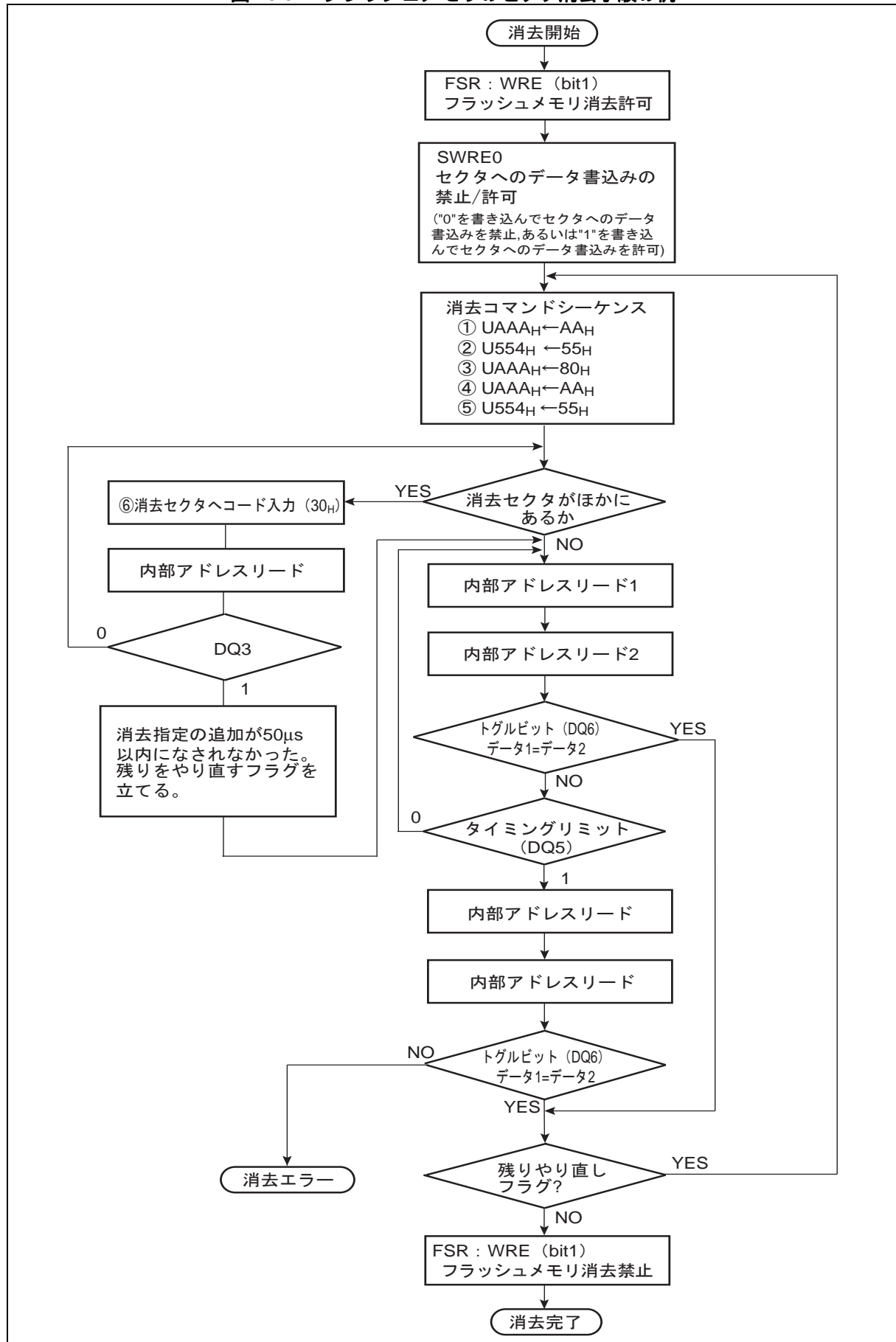
■ フラッシュメモリのセクタ消去手順

- ハードウェアシーケンスフラグを用いることでフラッシュメモリ内部の自動アルゴリズムの状態を判定できます。図 28.6-2 に、フラッシュメモリのセクタ消去手順の例を示します。ここでは、消去終了の確認にトグルビットフラグ (DQ6) を用いています。
- トグルビットフラグ (DQ6) は、タイミングリミット超過フラグ (DQ5) が "1" に変化するのと同時にトグル動作を終了します。タイミングリミット超過フラグ (DQ5) が "1" の場合でも、トグルビットフラグ (DQ6) を確認してください。
- データポーリングフラグ (DQ7) は、タイミングリミット超過フラグ (DQ5) と同時に変化するので、タイミングリミット超過フラグ (DQ5) が "1" の場合は、データポーリングフラグ (DQ7) を確認してください。

■ セクタ消去の際の注意点

消去中にハードウェアリセットが発生した場合、フラッシュメモリのデータの整合性は保証されません。再度、セクタ消去を行ってください。

図 28.6-2 フラッシュメモリのセクタ消去手順の例



28.6.5 フラッシュメモリのセクタ消去を一時停止する

セクタ消去一時停止コマンドを入力し、フラッシュメモリセクタ消去の一時停止を行う手順について説明します。消去中でないセクタからデータを読み出すことが可能です。

■ フラッシュメモリのセクタ消去を一時停止する

- フラッシュメモリのセクタ消去を一時停止するには、コマンドシーケンス表のセクタ消去一時停止コマンドを CPU からフラッシュメモリへ送ってください。
- セクタ消去一時停止コマンドは、セクタ消去中に消去を一時停止し、消去中でないセクタからデータを読み出すことができます。
- セクタ消去一時停止コマンドは、消去ウェイト時間を含むセクタ消去中のみ有効で、チップ消去中や書込み中は無視されます。
- セクタ消去一時停止コマンドは、セクタ消去一時停止コード (B0_H) を書き込むことで実行されます。このときのアドレスは、消去指定したセクタ内の任意のアドレスを設定してください。消去一時停止中に再度、セクタ消去一時停止コマンドを実行した場合、再度入力したコマンドは無視されます。
- セクタ消去ウェイト期間中に、セクタ消去一時停止コマンドを入力した場合、直ちにセクタ消去ウェイトを終了し、消去動作を中断して消去停止状態になります。
- セクタ消去ウェイト期間後のセクタ消去中に消去一時停止コマンドを入力した場合、最大 20 μ s 後に消去一時停止状態になります。

■ 注意

セクタ消去一時中止命令を発行する場合は、セクタ消去命令、あるいは消去再開命令発行後から 20ms 期間をあけてください。

MB95330H シリーズ

28.6.6 フラッシュメモリのセクタ消去を再開する

セクタ消去再開コマンドを入力し、一時停止したフラッシュメモリセクタ消去を再開する手順について説明します。

■ フラッシュメモリのセクタ消去を再開する

- 一時停止したセクタ消去を再開させるには、コマンドシーケンス表のセクタ消去再開コマンドを CPU からフラッシュメモリへ送ってください。
- セクタ消去再開コマンドは、セクタ消去一時停止コマンドによるセクタ消去一時停止状態からセクタ消去を再開するためのコマンドです。セクタ消去再開コマンドは消去再開コード (30_H) の書込みを行うことで実行されますが、アドレスは消去指定したセクタ内の任意のアドレスを指定します。
- セクタ消去中のセクタ消去再開コマンドの入力は無視されます。

28.7 デュアルオペレーションフラッシュメモリの動作

デュアルオペレーションフラッシュを使用するには、次の点について特に注意が必要です。

- 上位バンクの書換え時における割込み発生
- フラッシュメモリステータスレジスタのセクタスワップ許可ビット (FSR:SSEN) の設定手順

■ 上位バンクの書換え時における割込み発生

デュアルオペレーションフラッシュは、2 つのバンクで構成されていますが、従来のフラッシュ同様、同一バンクでの消去 / 書込みと読出しの実行は行えません。

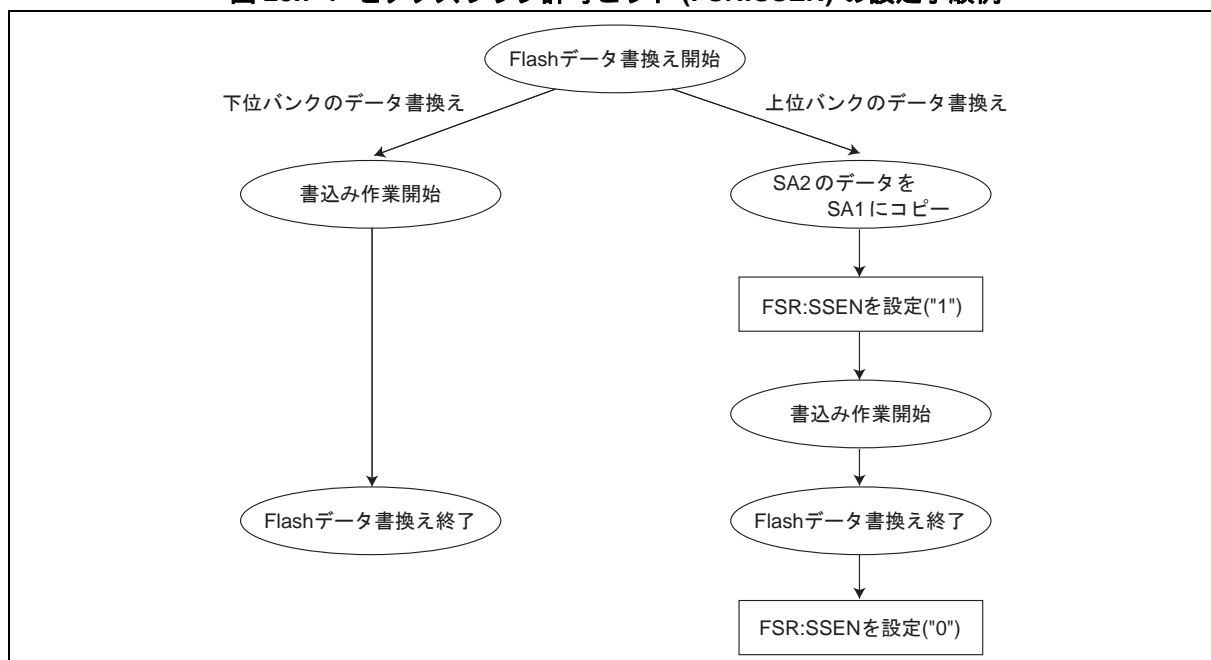
SA2 には割込みベクタがあるため、上位バンク書込み時に割込みが発生した場合には CPU からの割込みベクタを正常に読み出せません。上位バンクの書換えを行う際にはセクタスワップ許可ビットを "1" に設定 (FSR:SSEN=1) する必要があります。割込み発生時は割込みベクタのデータを SA1 に読みに行くため、セクタスワップ許可ビット (FSR:SSEN) を 1 に設定する前に、SA2 のデータを SA1 にコピーしておく必要があります。

■ セクタスワップ許可ビット (FSR:SSEN) の設定手順

図 28.7-1 に、セクタスワップ許可ビット (FSR:SSEN) の設定手順例を示します。

上位バンクのデータを書き換える際には、FSR:SSEN ビットを "1" に設定する必要があります。また、フラッシュメモリへの書込み中にセクタスワップ許可ビット (FSR:SSEN) の設定変更は禁止です。セクタスワップ許可ビット (FSR:SSEN) の設定は必ずフラッシュメモリへの書込み開始前または終了後に行ってください。また、FSR:SSEN ビットを設定する際には、割込みを禁止とし、セクタスワップ許可ビット (FSR:SSEN) 設定後、割込みを許可するようにしてください。

図 28.7-1 セクタスワップ許可ビット (FSR:SSEN) の設定手順例



■ 書込み / 消去中の動作について

フラッシュメモリへの書込み / 消去中に割込みが発生した場合、割込みルーチン内でフラッシュメモリへの書込みは禁止されています。

書込み / 消去ルーチンが複数存在する場合、その書込み / 消去ルーチンが完了してからほかの書込み / 消去ルーチンを実行するようにしてください。

フラッシュメモリへの書込み / 消去中に、書込み / 消去中のモード（クロックモードおよびスタンバイモード）から状態遷移することは禁止されています。書込み / 消去終了後に状態遷移するようにしてください。

■ デュアルオペレーションフラッシュメモリの割込みに関連するレジスタとベクタテーブルアドレス

表 28.7-1 デュアルオペレーションフラッシュメモリの割込みに関連するレジスタとベクタテーブルアドレス

割込み要因	割込み要求番号	割込みレベル設定レジスタ		ベクタテーブルアドレス	
		Register	Setting bit	Upper	Lower
フラッシュメモリ	IRQ23	ILR5	L23	FFCC _H	FFCD _H

割込み要求番号と周辺機能のベクタテーブルアドレスは、「付録 B 割込み要因一覧表」を参照してください。

28.8 フラッシュセキュリティ

フラッシュセキュリティコントローラ機能により、フラッシュメモリの内容を外部端子から読み出されることを防止できます。

■ フラッシュセキュリティ

フラッシュメモリのアドレス (FFFC_H) に保護コード "01_H" が書き込まれると、フラッシュメモリへのアクセスが制限され、いずれの外部端子からもフラッシュメモリへの読出し / 書込みはできなくなります。フラッシュメモリが一度保護されると、チップ消去コマンドを行うまで、機能のロックを解除することはできません。

保護コードは、フラッシュプログラミングの終わりにコーディングしてください。これは、プログラミング中の不要な保護を回避するためです。

一度保護されたフラッシュメモリを再度プログラムするには、チップ消去操作を行う必要があります。

28.9 デュアルオペレーションフラッシュメモリ使用上の注意

デュアルオペレーションフラッシュメモリを使用するにあたっての注意点を示します。

■ トグルビットフラグ (DQ6) に関する制限事項

デュアルオペレーションフラッシュメモリ (フラッシュメモリ書込み制御プログラムをフラッシュメモリ上で実行する) を用いる場合、トグルビットフラグ (DQ6) を使用して書込み / 消去中の状態を確認することができません。このため、フラッシュメモリへの書込み、消去実行後のフラッシュメモリ内部動作状態は、図 28.6-1 および図 28.6-2 の例を参考にデータポーリングフラグ (DQ7) を用いて確認してください。

なお、フラッシュ書込み制御プログラムを RAM 上で実行する場合は、本注意事項は該当しません。

第29章

シリアル書込み接続例

シリアル書込み接続例を示します。

29.1 シリアル書込み接続の基本構成

29.2 シリアル書込み接続例

29.1 シリアル書込み接続の基本構成

MB95330Hシリーズは、フラッシュメモリのシリアルオンボード書込みをサポートしています。本節では、構成について説明します。

■ シリアル書込み接続の基本構成

シリアルオンボード書込みには、富士通セミコンダクター株式会社製の BGM アダプタ MB2146-08-E を使用します。

表 29.1-1 に、シリアル書込み接続の基本構成を示します。

図 29.1-1 シリアル書込み接続の基本構成

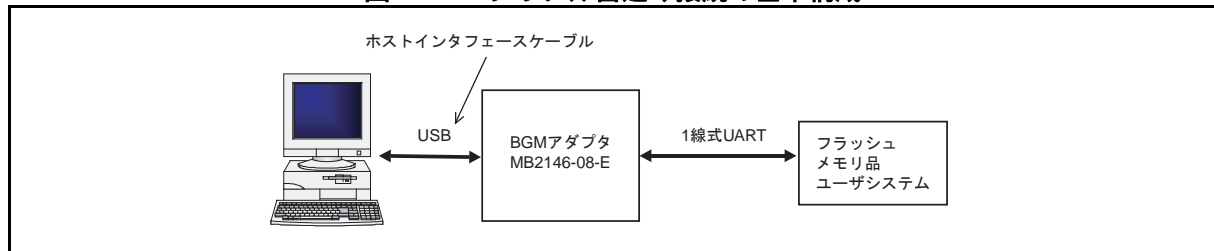


表 29.1-1 標準シリアルオンボード書込みに使用する端子

端子	機能	説明
V _{CC}	電源電圧供給端子	書込み電圧 (4.5 V ~ 5.5 V) は、ユーザーシステムから供給されます。
V _{SS}	GND 端子	フラッシュマイコンプログラムの GND と兼用となっています。
C	コンデンサ接続	バイパスコンデンサに接続してから、グラウンドに接続します。
RST	リセット	RST 端子は、V _{CC} に設定 (プルアップ) されます。
DBG	1 線式 UART 設定シリアル書込みモード	DBG 端子は、プログラムの 1 線式 UART 通信を提供します。 特定のタイミングで DBG 端子と V _{CC} 端子に電圧が供給されると、シリアル書込みモードが設定されます。 (そのタイミングについては、図 29.2-2 を参照してください。)

● 発振クロック周波数

UART クロックは、内部 CR クロックにより提供されます。UART ボーレートは、実行するフラッシュメモリ操作によって、31250 bps または 62500 bps に設定する必要があります。

29.2 シリアル書込み接続例

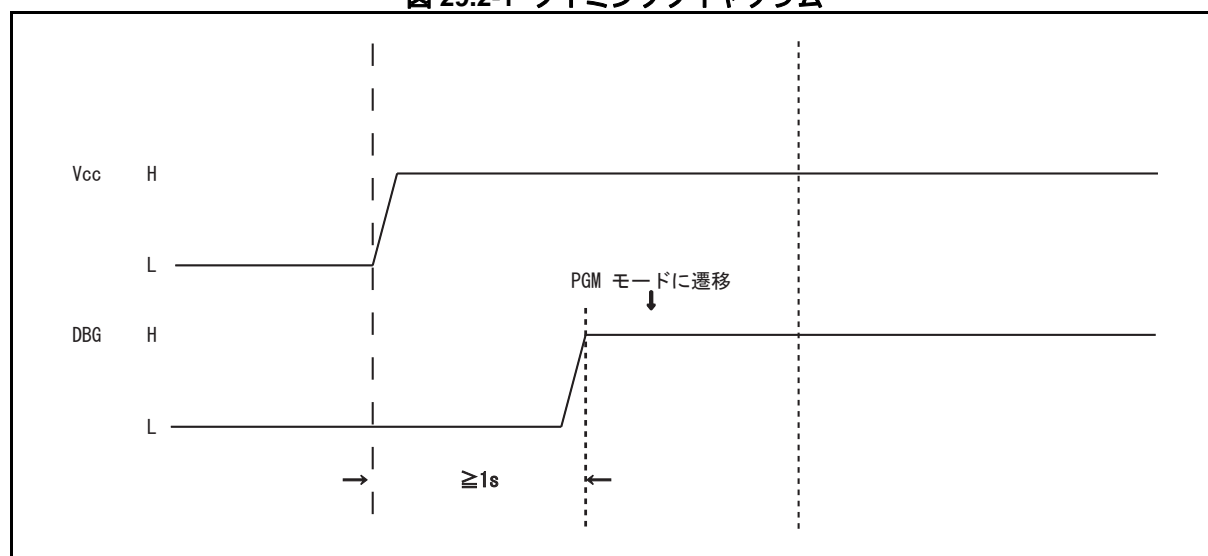
マイクロコントローラは、次のタイミングで PGM モードに遷移します。

■ MCU の PGM モードへの遷移

マイクロコントローラは、次のタイミングで PGM モードに遷移します。

シリアルプログラマは、 V_{CC} 入力に従って、DBG 端子を制御します。

図 29.2-1 タイミングダイヤグラム

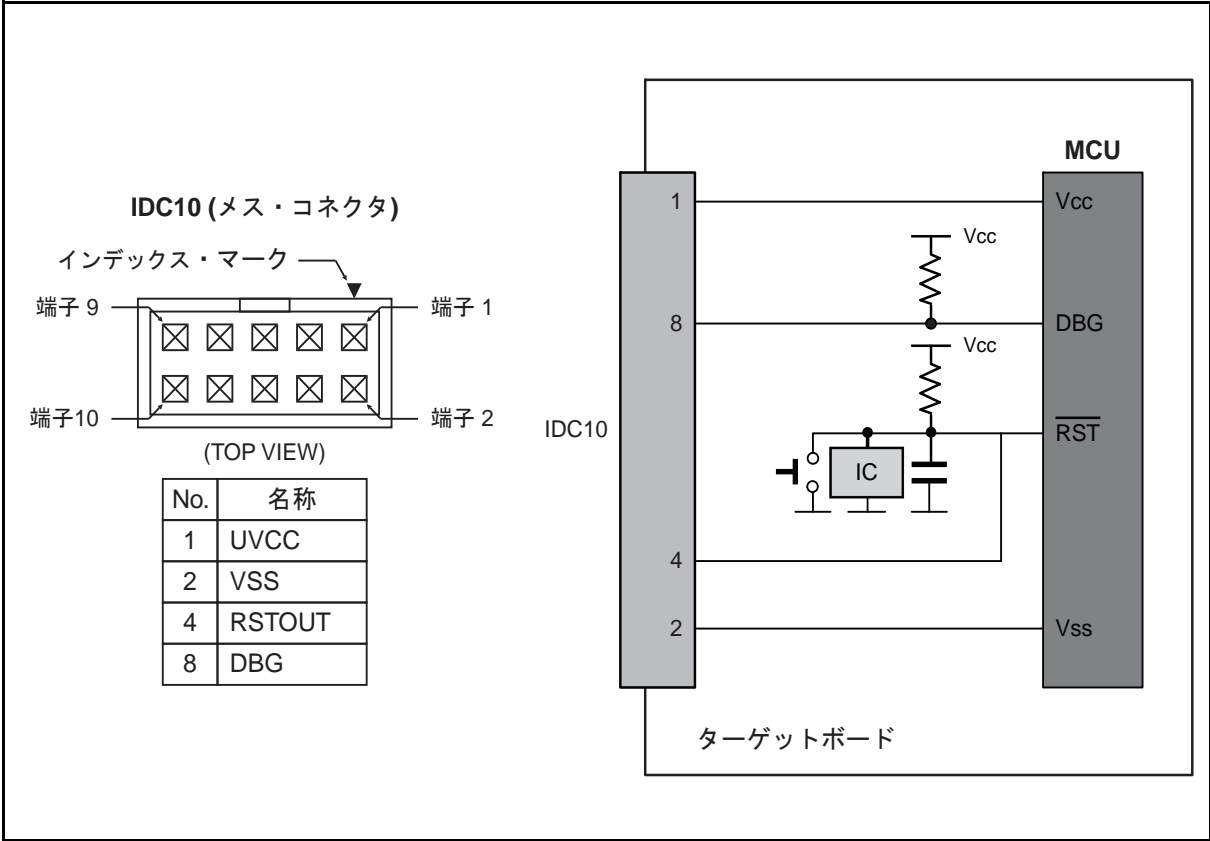


MB95330H シリーズ

■ シリアル書込み接続の例

図 29.2-2 は、フラッシュメモリ品でのシリアル書込みのための接続例を示したものです。
電源は、プログラマから、V_{CC} 端子を介してアダプタに供給されます。

図 29.2-2 シリアル書込み接続例



第 30 章

不揮発性レジスタ (NVR) の 機能

NVR インタフェースの機能と動作について説明します。

- 30.1 NVR インタフェースの概要
- 30.2 NVR インタフェースの構成
- 30.3 NVR インタフェースのレジスタ
- 30.4 メイン CR クロックトリミング使用上の注意
- 30.5 NVR の使用上の注意

30.1 NVR インタフェースの概要

システム情報やオプション設定を格納する NVR(不揮発性レジスタ)領域は、フラッシュメモリにおける予約領域です。リセット後、NVR フラッシュ領域のデータは読み出され、NVR I/O 領域のレジスタに格納されます。MB95330H シリーズでは、NVR インタフェースを用いて以下のデータを保存します。

- メイン CR クロックの周波数選択 (2 ビット)
- メイン CR クロックのコアストリミング値 (5 ビット)
- メイン CR クロックのファイントリミング値 (5 ビット)
- ウォッチドッグタイマ選択 ID(16 ビット)

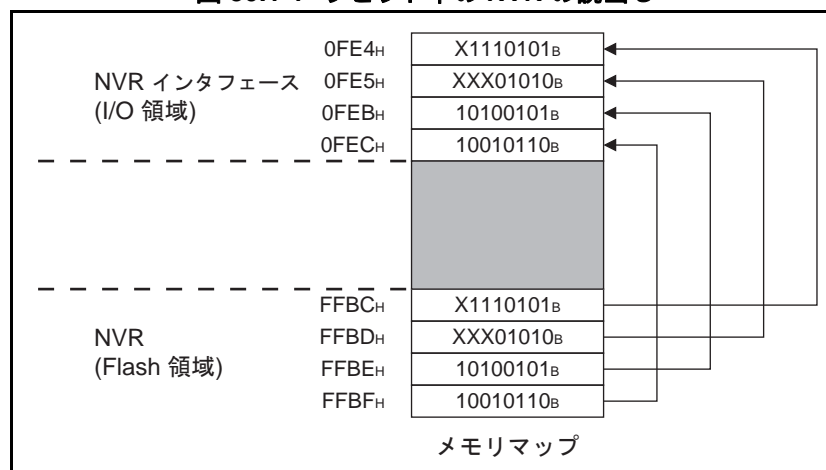
■ NVR インタフェースの機能

NVR インタフェースには、以下のような機能があります。

1. NVR インタフェースはリセット後、NVR フラッシュ領域からすべてのデータを取り出し、NVR I/O 領域のレジスタに格納します (下の図 30.1-1 と図 30.2-1 を参照)。
2. NVR インタフェースにより、ユーザーは、周波数選択ビットを設定して、メイン CR クロックの周波数 (1 MHz/8 MHz/10 MHz/12.5MHz) を選択することができます。
3. NVR インタフェースにより、ユーザーは、CR トリミング設定の初期値を確認することができます。
4. NVR インタフェースにより、ユーザーは、16 ビットのウォッチドッグタイマ選択 ID を変更し、ハードウェアウォッチドッグタイマまたはソフトウェアウォッチドッグタイマを選択することができます (CPU の稼働中は、ウォッチドッグタイマ選択 ID を変更することはできません)。

図 30.1-1 に、リセット中の NVR の読出しを示します。

図 30.1-1 リセット中の NVR の読出し



MB95330H シリーズ

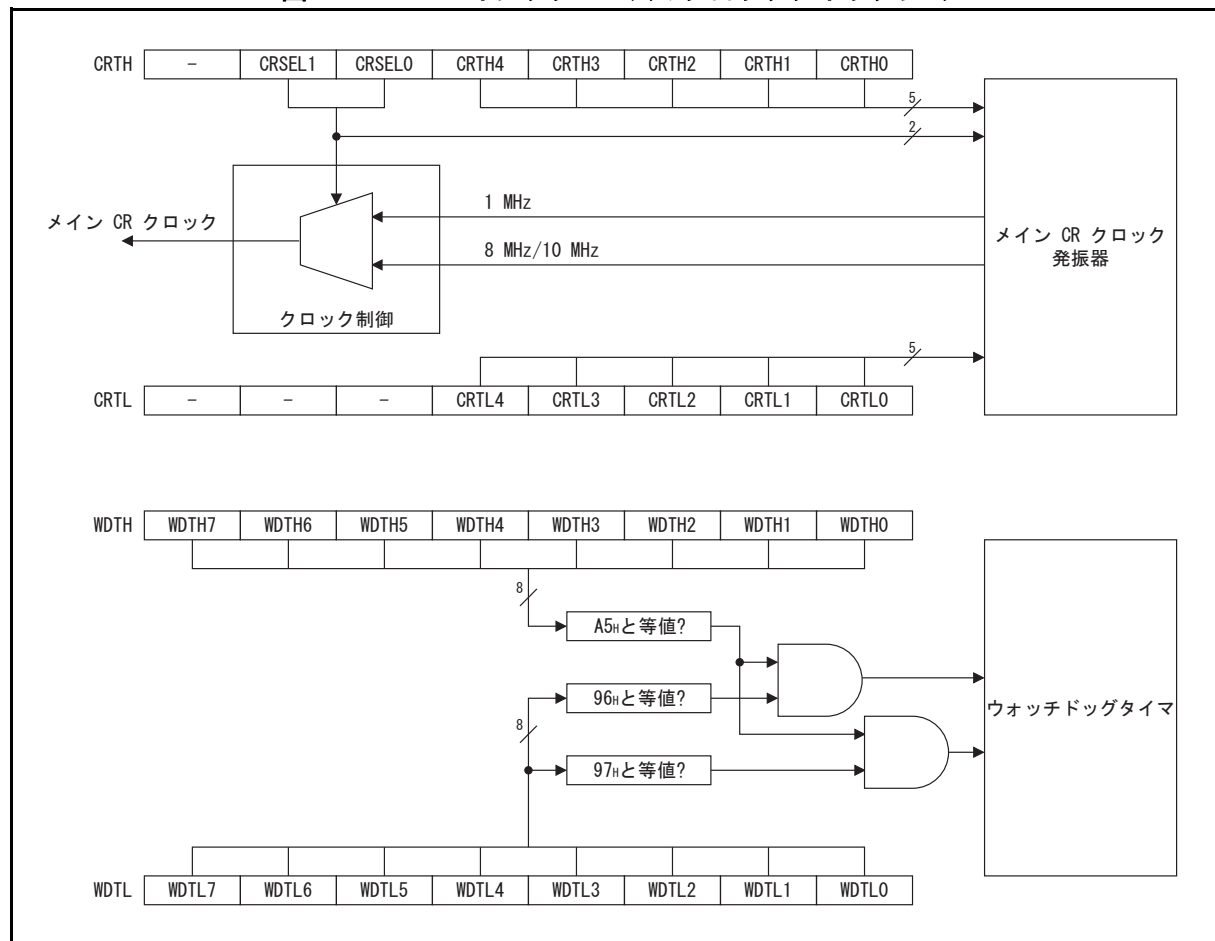
30.2 NVR インタフェースの構成

NVR インタフェースは、以下のブロックで構成されています。

- メイン CR クロック周波数選択 (CRSEL)
- メイン CR クロックのトリミング (CRTH と CRTL)
- ウォッチドッグタイマ選択 ID (WDTH と WDTL)

■ NVR インタフェースのブロックダイアグラム

図 30.2-1 NVR インタフェースのブロックダイアグラム



30.3 NVR インタフェースのレジスタ

NVR インタフェースのレジスタ一覧を示します。

■ NVR インタフェースのレジスタ

図 30.3-1 NVR インタフェースのレジスタ

CRTH	アドレス 0FE4 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値 0XXXXXXXX _B
		—	CRSEL1	CRSEL0	CRTH4	CRTH3	CRTH2	CRTH1	CRTH0	
		R0/WX	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
CRTL	アドレス 0FE5 _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値 00XXXXX _B
		—	—	CRTL5	CRTL4	CRTL3	CRTL2	CRTL1	CRTL0	
		R0/WX	R0/WX	R/W	R/W	R/W	R/W	R/W	R/W	
WDTH	アドレス 0FEB _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値 XXXXXXXX _B
		WDTH7	WDTH6	WDTH5	WDTH4	WDTH3	WDTH2	WDTH1	WDTH0	
		R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	
WDTL	アドレス 0FEC _H	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初期値 XXXXXXXX _B
		WDTL7	WDTL6	WDTL5	WDTL4	WDTL3	WDTL2	WDTL1	WDTL0	
		R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	R/WX	

R/W : リード/ライト可能 (読出し値は書き込み値と同じとなります。)
R/WX : リードオンリ (読出し可能。このビットに値を書き込んでも動作に影響はありません。)
R0/WX : 読出し値は"0"。このビットに値を書き込んでも動作に影響はありません。
- : 未定義ビット
X : 不定

MB95330H シリーズ

30.3.1 メイン CR クロックトリミングレジスタ (上位)
(CRTH)

図 30.3-2 に , メイン CR クロックトリミングレジスタ (上位)(CRTH) を示します。

■ メイン CR クロックトリミングレジスタ (上位)(CRTH)

図 30.3-2 メイン CR クロックトリミングレジスタ (上位)(CRTH)

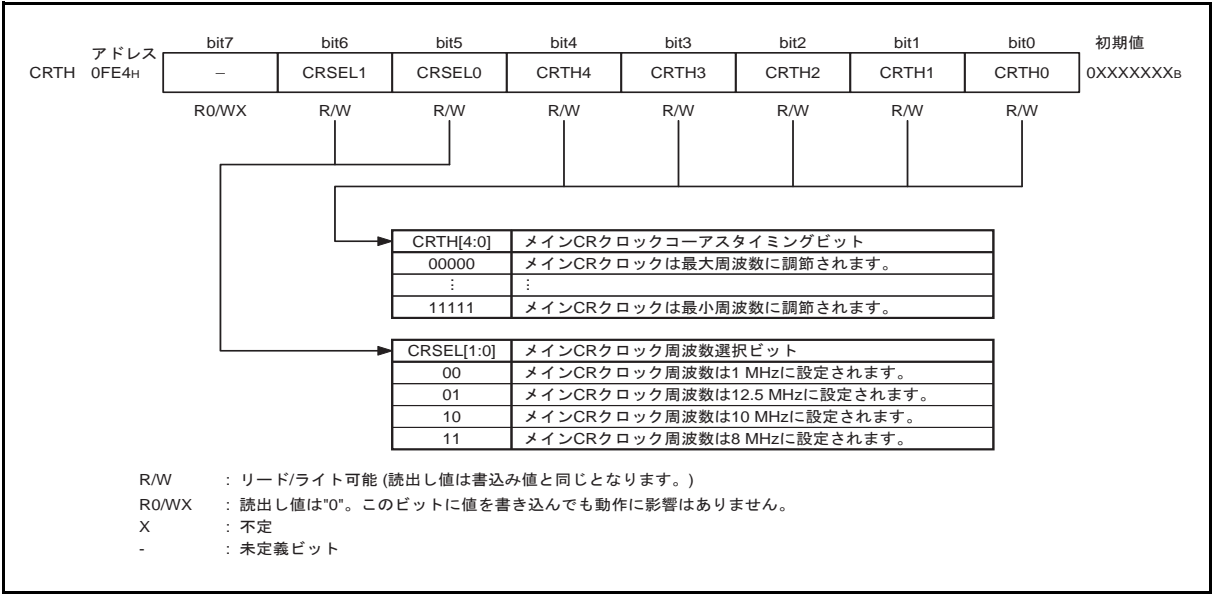


表 30.3-1 メイン CR クロックトリミングレジスタ (上位)(CRTH) の各ビットの機能

ビット名		機能										
bit7	未定義ビット	読出し値は常に "0" です。このビットへの書込みは動作に影響を与えません。										
bit6, bit5	CRSEL1, CRSEL0: メイン CR クロック 周波数選択ビット	<p>これらのビットはリセット後、フラッシュアドレス FFBC_H(bit6, bit5) からロードされます。これらのビットの初期値は、NVR フラッシュ領域にプリロードされた値により決まります。 メイン CR クロックの周波数は、CRSEL[1:0] の値を変更することにより選択することができます。</p> <table><tr><th>CRSEL[1:0]</th><th>メイン CR クロック周波数</th></tr><tr><td>00_B</td><td>1 MHz</td></tr><tr><td>01_B</td><td>12.5 MHz</td></tr><tr><td>10_B</td><td>10 MHz</td></tr><tr><td>11_B</td><td>8 MHz</td></tr></table> <p>メイン CR 周波数選択の変更に関する注意事項については、「30.5 NVR の使用上の注意」を参照してください。</p>	CRSEL[1:0]	メイン CR クロック周波数	00 _B	1 MHz	01 _B	12.5 MHz	10 _B	10 MHz	11 _B	8 MHz
CRSEL[1:0]	メイン CR クロック周波数											
00 _B	1 MHz											
01 _B	12.5 MHz											
10 _B	10 MHz											
11 _B	8 MHz											
bit4 ~ bit0	CRTH4 ~ CRTH0: メイン CR コアース トリミングビット	<p>これらのビットはリセット後、フラッシュアドレス FFBC_H(bit4 ~ bit0) からロードされます。これらのビットの初期値は、NVR フラッシュ領域にプリロードされた値により決まります。 コアーストリミングでは、メイン CR クロック周波数を粗調整することができ、コアーストリミング値を大きくすると、メイン CR クロック周波数は小さくなります。下の表を参照してください。</p> <table><tr><th>CRTH [4:0]</th><th>メイン CR クロック周波数</th></tr><tr><td>00000_B</td><td>最大</td></tr><tr><td>:</td><td>:</td></tr><tr><td>11111_B</td><td>最小</td></tr></table> <p>メイン CR クロックトリミングの詳細と、メイン CR クロックの値の変更に関する注意事項については、それぞれ「30.4 メイン CR クロックトリミング使用上の注意」と「30.5 NVR の使用上の注意」を参照してください。</p>	CRTH [4:0]	メイン CR クロック周波数	00000 _B	最大	:	:	11111 _B	最小		
CRTH [4:0]	メイン CR クロック周波数											
00000 _B	最大											
:	:											
11111 _B	最小											

MB95330H シリーズ

30.3.2 メイン CR クロックトリミングレジスタ (下位)
(CRTL)

図 30.3-3 に、メイン CR クロックトリミングレジスタ (下位)(CRTL) を示します。

■ メイン CR クロックトリミングレジスタ (下位)(CRTL)

図 30.3-3 メイン CR クロックトリミングレジスタ (下位)(CRTL)

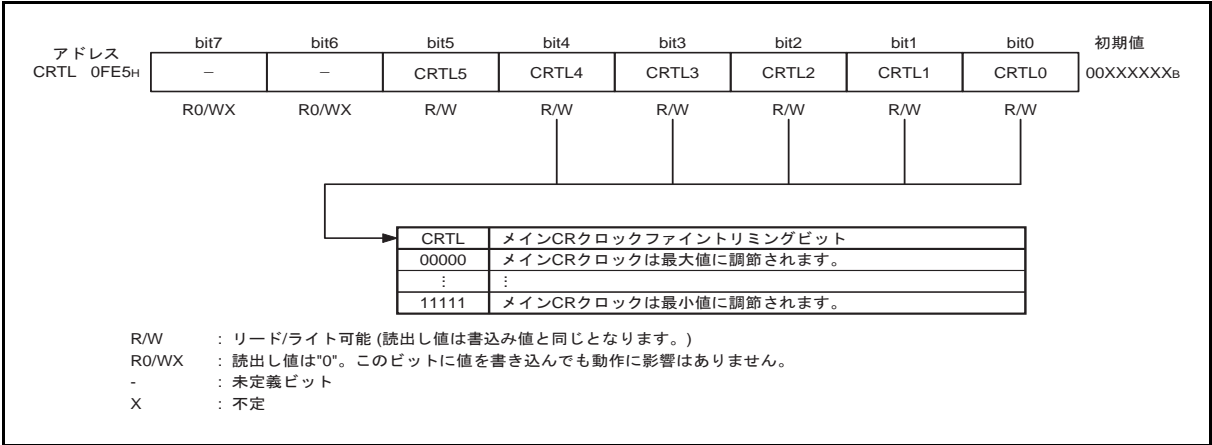


表 30.3-2 メイン CR クロックトリミングレジスタ (下位)(CRTL) の各ビットの機能

ビット名		機能
bit7, bit6	未定義ビット	読出し値は常に "0" です。このビットへの書き込みは動作に影響を与えません。
bit5 ~ bit0	CRTL5 ~ CRTL0: メイン CR ファイン トリミングビット	<div> <div>これらのビットはリセット後、フラッシュアドレス FFBD_H(bit5 ~ bit0) からロードされます。これらのビットの初期値は、NVR フラッシュ領域にプリロードされた値により決まります。</div> <div>ファイントリミングでは、メイン CR クロック周波数を微調整することができます。</div> <div>ファイントリミング値を大きくすると、メイン CR クロック周波数は小さくなります。</div> <div> <div>CRTL [5:0]</div> <div>メイン CR クロック周波数</div> </div> <div> <div>00000_B</div> <div>最大</div> </div> <div> <div>⋮</div> <div>⋮</div> </div> <div> <div>11111_B</div> <div>最小</div> </div> <div>メイン CR クロックトリミングの詳細と、メイン CR クロックの値の変更に關する注意事項については、それぞれ「30.4 メイン CR クロックトリミング使用上の注意」と「30.5 NVR の使用上の注意」を参照してください。</div> </div>

30.3.3 ウォッチドッグタイマ選択 ID レジスタ (WDTH, WDTL)

図 30.3-4 に , ウォッチドッグタイマ選択 ID レジスタ (WDTH, WDTL) を示します。

■ ウォッチドッグタイマ選択 ID レジスタ (WDTH, WDTL)

図 30.3-4 ウォッチドッグタイマ選択 ID レジスタ (WDTH, WDTL)

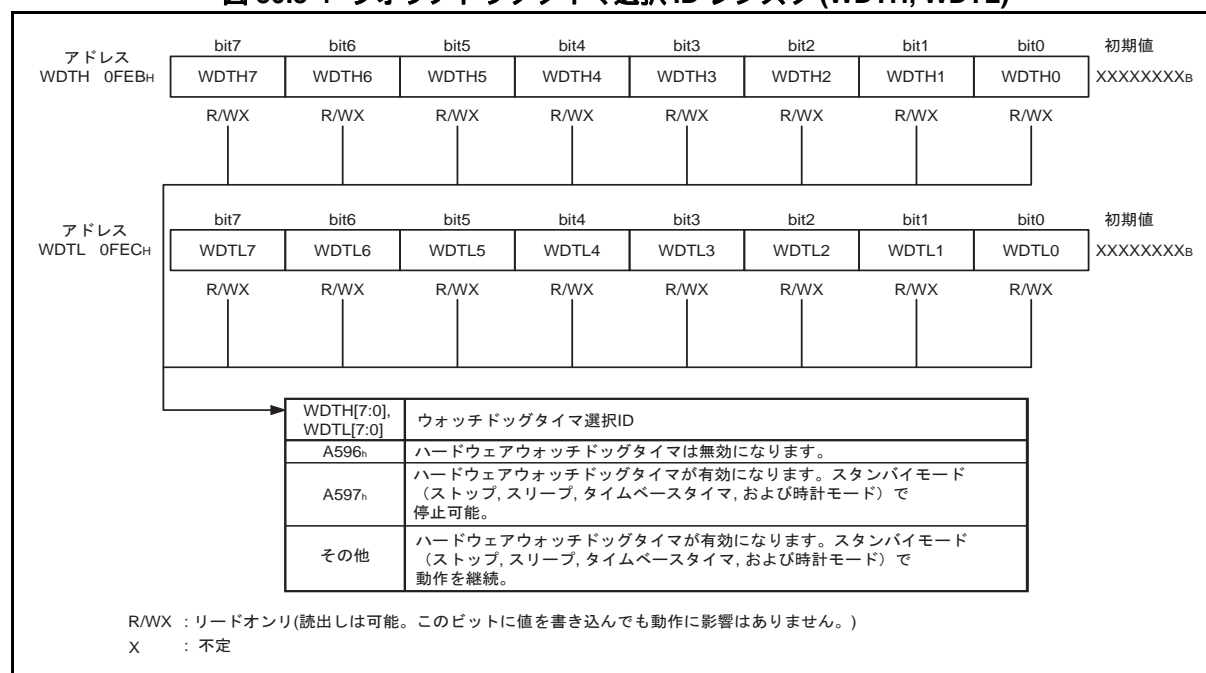


表 30.3-3 ウォッチドッグタイマ ID レジスタ (上位)(WDTH) の各ビットの機能

ビット名		機能
bit7 ~ bit0	WDTH7 to WDTH0: ウォッチドッグタイマ選択 ID (上位)	これらのビットはリセット後、フラッシュアドレス FFBE _H (bit7 ~ bit0) からロードされます。これらのビットの初期値は、NVR フラッシュ領域にプリロードされた値により決まります。 CPU の稼働中は、このレジスタを変更することはできません。 ウォッチドッグタイマ選択については、表 30.3-5 を参照してください。 NVR 値の書込みに関する注意事項については、「30.5 NVR の使用上の注意」を参照してください。

表 30.3-4 ウォッチドッグタイマ ID レジスタ (下位)(WDTL) の各ビットの機能

ビット名		機能
bit7 ~ bit0	WDTL7 to WDTL0: ウォッチドッグタイマ選択 ID (下位)	これらのビットはリセット後、フラッシュアドレス FFBF _H (bit7 ~ bit0) からロードされます。これらのビットの初期値は、NVR フラッシュ領域にプリロードされた値により決まります。 CPU の稼働中は、このレジスタを変更することはできません。 ウォッチドッグタイマ選択については、表 30.3-5 を参照してください。 NVR 値の書込みに関する注意事項については、「30.5 NVR の使用上の注意」を参照してください。

表 30.3-5 ウォッチドッグタイマ選択 ID

WDTH[7:0], WDTL[7:0]	機能
A596 _H	ハードウェアウォッチドッグタイマは無効になりソフトウェアウォッチドッグタイマは有効になります。
A597 _H	ハードウェアウォッチドッグタイマが選択されソフトウェアウォッチドッグタイマは無効になります。 スタンバイモード(ストップ、スリープ、タイムベースタイマ、および時計モード)で停止可能。
上記以外	ハードウェアウォッチドッグタイマが選択されソフトウェアウォッチドッグタイマは無効になります。 スタンバイモード(ストップ、スリープ、タイムベースタイマ、および時計モード)で動作を継続。

30.4 メイン CR クロックトリミング使用上の注意

メイン CR クロックトリミング使用上の注意を示します。

ハードウェアリセット後, 11 ビットの CR クロックトリミング値は, NVR フラッシュ領域から NVR I/O 領域のレジスタへとロードされます。

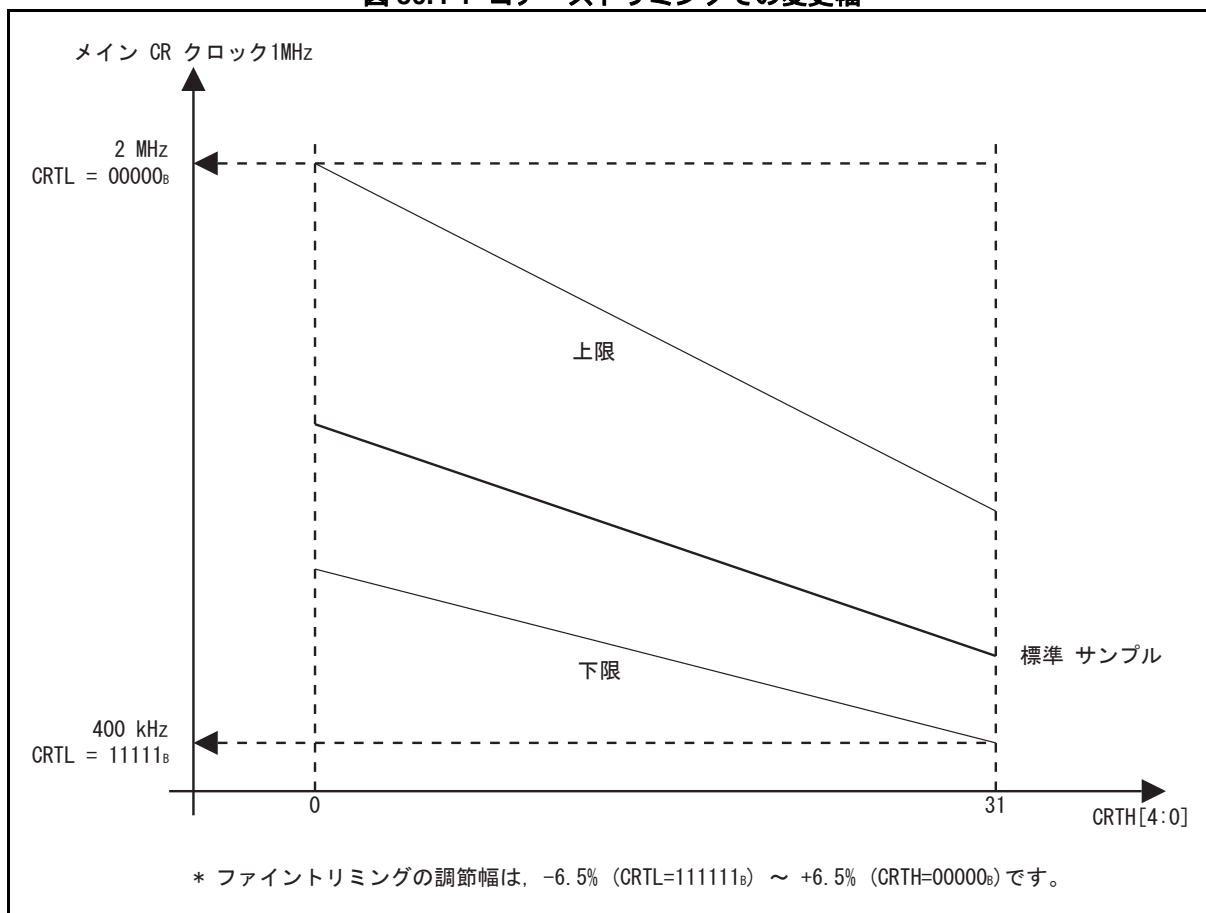
表 30.4-1 に, CR トリミングの変更幅を示します。

表 30.4-1 CR トリミングの変更幅

機能	コーストリミング値 CRTH[4:0]	ファイントリミング値 CRTL[4:0]
周波数が最小となる値	11111 _B	11111 _B
周波数が最大となる値	00000 _B	00000 _B
変更幅	-20 kHz ~ -50 kHz	-1.6 kHz ~ -8 kHz

図 30.4-1 に、コアーストリミングでの変更幅と CR 周波数の関係を示します。

図 30.4-1 コアーストリミングでの変更幅



30.5 NVR の使用上の注意

NVR の使用上の注意を示します。

■ メイン CR 周波数の変更に関する注意事項

1. メイン CR クロックの周波数は、CRTH:CRSEL1, CRSEL0 の各ビットにそれぞれの値を書き込むことで選択することができます。ただし、クロック周波数の変更処理後には、不安定な発振が一定の時間生じます。この発振を回避するために、以下のような対策を講じることを強く推奨します。まず最初に CPU クロックソースを、メイン CR クロックから別のクロック (メインクロック / サブクロック / サブ CR クロック) に切り換え、次にメイン CR パラメータを変更し、そのあとで再びメイン CR クロックに戻します。
2. ここで、変更値が NVR フラッシュ領域には書き込まれないことに留意してください。CRTH および CRTL レジスタを変更すると、その変更値は、フラッシュライタにより NVR フラッシュ領域に書き込まれます。

■ フラッシュ消去およびトリミング値に関する注意事項

1. フラッシュ消去操作では、すべての NVR データが消去されます。
フラッシュライタは、元のシステム設定を保持するために、以下の処理を実行します。
 - (1) CRTH:CRTH[4:0] および CRTL:CRTL[5:0] のデータのバックアップを作成します。
 - (2) フラッシュを消去します。
 - (3) CRTH:CRTH[4:0] および CRTL:CRTL[5:0] のすべてのデータを、NVR フラッシュ領域に復元します。CRTH:CRTH[4:0] および CRTL:CRTL[5:0] に新しいデータが存在する場合は、フラッシュライタが新しいデータを NVR フラッシュ領域に書き込みます。
2. トリミング値は、本デバイスが出荷される前にプリセットされています。プリセットされたトリミング値が出荷後に変更された場合、変更されたトリミング値に基づいた使用に対し、デバイスの正常な動作を保証しません。
3. ユーザープログラムコードによりフラッシュ操作が実行された場合は、元のトリミングデータもユーザープログラムコードにより NVR フラッシュ領域に復元する必要があります。そうしなければ、出荷前にデバイスにプリセットされたトリミング値は、フラッシュ消去操作により消去されてしまいます。

第31章

システム構成コントローラ

システム構成コントローラ (本章では「コントローラ」とよびます) の機能と動作について説明します。

31.1 システム構成レジスタ (SYSC) の概要

31.2 システム構成レジスタ (SYSC)

31.3 コントローラ使用上の注意

31.1 システム構成レジスタ (SYSC) の概要

コントローラは、SYSC レジスタで構成されています。この SYSC レジスタは、クロックおよびリセットシステムを構成設定し、8/16 ビット PPG 出力ポートを選択するための 8 ビットのレジスタです。

■ SYSC の機能

- PF2/ $\overline{\text{RST}}$ 端子のポート / リセット機能の選択
- RST 端子のリセット出力の許可 / 禁止
- PG1/X0A/SNI1 端子および PG2/X1A/SNI2 端子のポート / 発振機能の選択
- PF0/X0 端子および PF1/X1 端子のポート / 発振機能の選択
- HCLK1 端子および HCLK2 端子の外部クロック入力機能の選択
- 8/16 ビット複合タイマへの外部カウントクロック入力端子として EC0 入力端子を選択
- P10, P11, P13 ~ P16, P62 ~ P67 から 8/16 ビット PPG 出力ポートを選択

31.2 システム構成レジスタ (SYSC)

SYSC レジスタについて詳しく説明します。

■ システム構成レジスタ (SYSC)

図 31.2-1 システム構成レジスタ (SYSC)

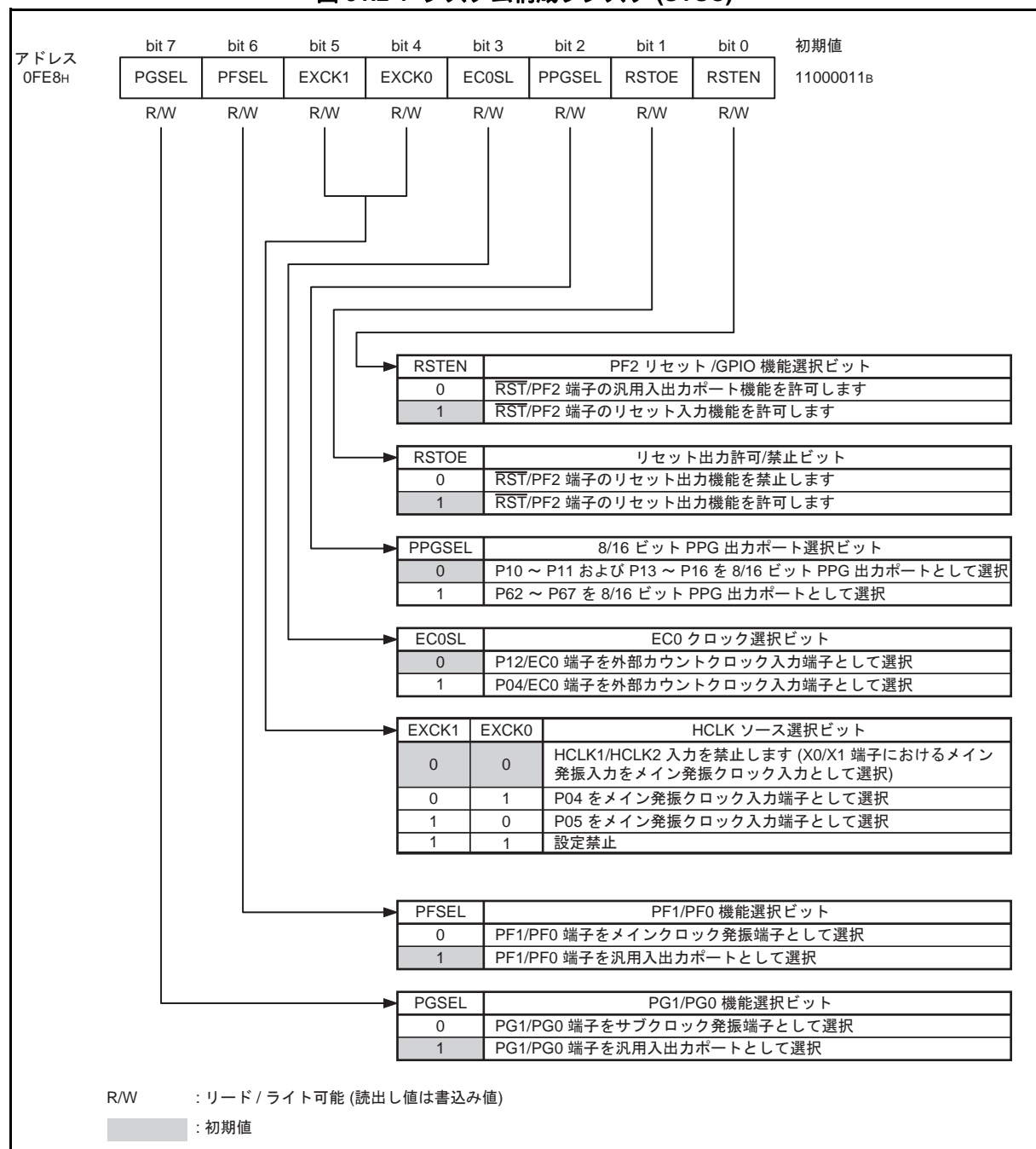


表 31.2-1 SYSC レジスタの各ビットの機能 (1 / 2)

ビット名		機能															
bit7	PGSEL: PG1/PG0 機能選択ビット	このビットは、PG1/PG0 端子の機能を選択するために使用します。 "0" に設定すると、PG1/PG0 端子はサブクロック発振端子として選択されます。 サブクロック発振は、サブクロック発振許可ビット (SYCC2:SOSCE) により許可または禁止されます。 "1" に設定すると、PG1/PG0 端子は汎用入出力ポートとして選択されます。															
bit6	PFSEL: PF1/PF0 機能選択ビット	このビットは、PF1/PF0 端子の機能を選択するために使用します。 "0" に設定すると、PF1/PF0 端子はメインクロック発振端子として選択されます。 メインクロック発振は、メインクロック発振許可ビット (SYCC2:MOSCE) により許可または禁止されます。 "1" に設定すると、PF1/PF0 端子は汎用入出力ポートとして選択されます。															
bit5, bit4	EXCK[1:0]: HCLK ソース選択 ビット	<p>このビットは、メイン発振クロックとして使用される外部クロック入力端子を選択するために使用します。 メイン発振クロックは、以下に示すように X0/X1 端子、HCLK1 入力、または HCLK2 入力におけるメイン発振入力により、選択されます。</p> <table border="1"> <thead> <tr> <th>EXCK1</th><th>EXCK0</th><th>HCLK 入力端子の選択</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>HCLK1/HCLK2 入力は禁止されます (X0/X1 端子におけるメイン発振入力が、メイン発振クロック入力として選択されます)。</td></tr> <tr> <td>0</td><td>1</td><td>P04 が、HCLK1 のメイン発振クロック入力端子として選択されます。</td></tr> <tr> <td>1</td><td>0</td><td>P05 が、HCLK2 のメイン発振クロック入力端子として選択されます。</td></tr> <tr> <td>1</td><td>1</td><td>設定禁止</td></tr> </tbody> </table>	EXCK1	EXCK0	HCLK 入力端子の選択	0	0	HCLK1/HCLK2 入力は禁止されます (X0/X1 端子におけるメイン発振入力が、メイン発振クロック入力として選択されます)。	0	1	P04 が、HCLK1 のメイン発振クロック入力端子として選択されます。	1	0	P05 が、HCLK2 のメイン発振クロック入力端子として選択されます。	1	1	設定禁止
EXCK1	EXCK0	HCLK 入力端子の選択															
0	0	HCLK1/HCLK2 入力は禁止されます (X0/X1 端子におけるメイン発振入力が、メイン発振クロック入力として選択されます)。															
0	1	P04 が、HCLK1 のメイン発振クロック入力端子として選択されます。															
1	0	P05 が、HCLK2 のメイン発振クロック入力端子として選択されます。															
1	1	設定禁止															
bit3	ECOSL: EC0 クロック選択 ビット	このビットは、8/16 ビット複合タイマへの外部カウントクロック入力端子として、EC0 入力端子を選択するために使用します (EC0 入力機能を使用するには、8/16 ビット複合タイマに対応するレジスタビットを許可しなければなりません。 詳細については、「第 14 章 8/16 ビット複合タイマ」を参照してください)。 "0" に設定すると、P12/EC0 端子が外部カウントクロック入力端子として選択されます。 "1" に設定すると、P04/EC0 端子が外部カウントクロック入力端子として選択されます。															
bit2	PPGSL: 8/16 ビット PPG 出力ポート選択ビット	<p>このビットは、8/16 ビット PPG 出力ポートを選択するために使用します。 "0" に設定すると、P10 ~ P11 端子と P13 ~ P16 端子が 8/16 ビット PPG 出力ポートとして選択されます。 "1" に設定すると、P62 ~ P67 端子が 8/16 ビット PPG 出力ポートとして選択されます。</p> <table border="1"> <thead> <tr> <th>PPG ch.</th><th>PPGSEL = 0</th><th>PPGSEL = 1</th></tr> </thead> <tbody> <tr> <td>ch. 0</td><td>P13 ~ P14</td><td>P62 ~ P63</td></tr> <tr> <td>ch. 1</td><td>P10 ~ P11</td><td>P64 ~ P65</td></tr> <tr> <td>ch. 2</td><td>P15 ~ P16</td><td>P66 ~ P67</td></tr> </tbody> </table>	PPG ch.	PPGSEL = 0	PPGSEL = 1	ch. 0	P13 ~ P14	P62 ~ P63	ch. 1	P10 ~ P11	P64 ~ P65	ch. 2	P15 ~ P16	P66 ~ P67			
PPG ch.	PPGSEL = 0	PPGSEL = 1															
ch. 0	P13 ~ P14	P62 ~ P63															
ch. 1	P10 ~ P11	P64 ~ P65															
ch. 2	P15 ~ P16	P66 ~ P67															

MB95330H シリーズ

表 31.2-1 SYSC レジスタの各ビットの機能 (2 / 2)

ビット名		機能
bit1	RSTOE: リセット出力許可 / 禁止ビット	<p>このビットは、リセット入力機能が許可されている場合に、$\overline{\text{RST}}/\text{PF2}$ 端子のリセット出力機能を許可または禁止するために使用します。SYSC:RSTEN の設定によりリセット入力機能が禁止されている場合は、このビットの設定にかかわらず、リセット出力機能は禁止されます。</p> <p>このレジスタのリセット入力許可 / 禁止ビット (bit 0, SYSC:RSTEN) を参照してください。</p> <p>"0" に設定すると、$\overline{\text{RST}}/\text{PF2}$ 端子のリセット出力機能は禁止となります。</p> <p>"1" に設定すると、$\overline{\text{RST}}/\text{PF2}$ 端子のリセット出力機能は許可となります。</p>
bit0	RSTEN: PF2 リセット/GPIO 機能選択ビット	<p>このビットは、$\overline{\text{RST}}/\text{PF2}$ 端子のリセット入力機能を許可または禁止するために使用します。MB95F332H/F333H/F334H では、このビットの設定に関係なく、リセット入力機能は常に許可されます。</p> <p>"0" に設定すると、$\overline{\text{RST}}/\text{PF2}$ 端子のリセット入力機能は禁止となり、汎用入出力ポート機能が許可となります。</p> <p>"1" に設定すると、$\overline{\text{RST}}/\text{PF2}$ 端子のリセット入力機能は許可となり、汎用入出力ポート機能が禁止となります。</p> <p>このビットを変更する前に、PDRF レジスタの bit 2 を "1" に設定してください。</p>

< 注意事項 >

リセット後にリセット入出力機能を維持するために、RSTEN (SYSC:bit 0) および RSTOE (SYSC:bit 1) は、電源投入後に "1" に初期化されます。その他のリセットでは、これらのビットは初期化されません。

システムにおいてリセット入出力機能を使用する必要がある場合は、安定した動作を維持するために、リセット後の初期化プログラムルーチンにおいて SYSC:RSTEN を "1" に初期化することを強く推奨します。リセット入出力機能が許可されている場合には、ウォッチドッグリセットを含むすべての種類のリセットが使用可能です。

31.3 コントローラ使用上の注意

コントローラの使用上の注意を示します。

■ コントローラ使用上の注意

- EC0 および HCLK の入力端子の設定

P04 は EC0 および HCLK の入力端子として選択することが可能ですが、予期せぬ結果が生じる恐れがあるため、P04 を EC0 と HCLK の両方の入力端子として同時に設定しないでください。

- MPG 機能使用時に PPGSEL を "0" に設定

MPG 機能が使用されている間、P62 ~ P67 は MPG 出力ポートとして使用されます。このとき、PPG 機能を使用する必要がある場合は、PPGSEL ビットを "0" に設定して、PPG 出力ポートを P10 ~ P11 および P13 ~ P16 に切換えてください。

I/O マップ, 割込み一覧, メモリマップ, 端子状態,
およびマスクオプションを示します。

付録 A I/O マップ

付録 B 割込み要因一覧表

付録 C メモリマップ

付録 D MB95330H シリーズの端子状態

付録 E 命令概要

付録 F マスクオプション

付録 A I/O マップ

MB95330H シリーズで使用している I/O マップを示します。

■ I/O マップ

表 A-1 I/O マップ (1 / 6)

アドレス	レジスタ略称	レジスタ名	R/W	初期値
0000 _H	PDR0	ポート 0 データレジスタ	R/W	00000000 _B
0001 _H	DDR0	ポート 0 方向レジスタ	R/W	00000000 _B
0002 _H	PDR1	ポート 1 データレジスタ	R/W	00000000 _B
0003 _H	DDR1	ポート 1 方向レジスタ	R/W	00000000 _B
0004 _H		(使用禁止)		
0005 _H	WATR	発振安定待ち時間設定レジスタ	R/W	11111111 _B
0006 _H		(使用禁止)		
0007 _H	SYCC	システムクロック制御レジスタ	R/W	0000X011 _B
0008 _H	STBC	スタンバイ制御レジスタ	R/W	00000XXX _B
0009 _H	RSRR	リセット要因レジスタ	R	XXXXXXXX _B
000A _H	TBTC	タイムベースタイマ制御レジスタ	R/W	00000000 _B
000B _H	WPCR	時計プリスケラ制御レジスタ	R/W	00000000 _B
000C _H	WDTC	ウォッチドッグタイマ制御レジスタ	R/W	00XX0000 _B
000D _H	SYCC2	システムクロック制御レジスタ 2	R/W	XX100011 _B
000E _H ~ 0015 _H		(使用禁止)		
0016 _H	PDR6	ポート 6 データレジスタ	R/W	00000000 _B
0017 _H	DDR6	ポート 6 方向レジスタ	R/W	00000000 _B
0018 _H ~ 0027 _H		(使用禁止)		
0028 _H	PDRF	ポート F データレジスタ	R/W	00000000 _B
0029 _H	DDRF	ポート F 方向レジスタ	R/W	00000000 _B
002A _H	PDRG	ポート G データレジスタ	R/W	00000000 _B
002B _H	DDRG	ポート G 方向レジスタ	R/W	00000000 _B
002C _H	PUL0	ポート 0 プルアップ制御レジスタ	R/W	00000000 _B
002D _H	PUL1	ポート 1 プルアップ制御レジスタ	R/W	00000000 _B
002E _H ~ 0034 _H		(使用禁止)		
0035 _H	PULG	ポート G プルアップ制御レジスタ	R/W	00000000 _B
0036 _H	T01CR1	8/16 ビット複合タイマ 01 状態制御レジスタ 1 ch. 0	R/W	00000000 _B
0037 _H	T00CR1	8/16 ビット複合タイマ 00 状態制御レジスタ 1 ch. 0	R/W	00000000 _B
0038 _H	T11CR1	8/16 ビット複合タイマ 11 状態制御レジスタ 1 ch. 1	R/W	00000000 _B

表 A-1 I/O マップ (2 / 6)

アドレス	レジスタ略称	レジスタ名	R/W	初期値
0039 _H	T10CR1	8/16 ビット複合タイマ 10 状態制御レジスタ 1 ch. 1	R/W	00000000 _B
003A _H	PC01	8/16 ビット PPG タイマ 01 制御レジスタ	R/W	00000000 _B
003B _H	PC00	8/16 ビット PPG タイマ 00 制御レジスタ	R/W	00000000 _B
003C _H	PC11	8/16 ビット PPG タイマ 11 制御レジスタ	R/W	00000000 _B
003D _H	PC10	8/16 ビット PPG タイマ 10 制御レジスタ	R/W	00000000 _B
003E _H	PC21	8/16 ビット PPG タイマ 21 制御レジスタ	R/W	00000000 _B
003F _H	PC20	8/16 ビット PPG タイマ 20 制御レジスタ	R/W	00000000 _B
0040 _H	TMCSRH1	16 ビットリロードタイマ状態制御レジスタ上位 ch. 1	R/W	00000000 _B
0041 _H	TMCSRL1	16 ビットリロードタイマ状態制御レジスタ下位 ch. 1	R/W	00000000 _B
0042 _H , 0043 _H		(使用禁止)		
0044 _H	PCNTH1	16 ビット PPG 状態制御レジスタ上位 ch. 1	R/W	00000000 _B
0045 _H	PCNTL1	16 ビット PPG 状態制御レジスタ下位 ch. 1	R/W	00000000 _B
0046 _H , 0047 _H		(使用禁止)		
0048 _H	EIC00	外部割込み回路制御レジスタ ch. 0/ch. 1	R/W	00000000 _B
0049 _H	EIC10	外部割込み回路制御レジスタ ch. 2/ch. 3	R/W	00000000 _B
004A _H	EIC20	外部割込み回路制御レジスタ ch. 4/ch. 5	R/W	00000000 _B
004B _H	EIC30	外部割込み回路制御レジスタ ch. 6/ch. 7	R/W	00000000 _B
004C _H	EIC01	外部割込み回路制御レジスタ ch. 8/ch. 9	R/W	00000000 _B
004D _H ~ 004F _H		(使用禁止)		
0050 _H	SCR	LIN-UART シリアル制御レジスタ	R/W	00000000 _B
0051 _H	SMR	LIN-UART シリアルモードレジスタ	R/W	00000000 _B
0052 _H	SSR	LIN-UART シリアルステータスレジスタ	R/W	00001000 _B
0053 _H	RDR/TDR	LIN-UART 受信 / 送信データレジスタ	R/W	00000000 _B
0054 _H	ESCR	LIN-UART 拡張状態制御レジスタ	R/W	00000100 _B
0055 _H	ECCR	LIN-UART 拡張通信制御レジスタ	R/W	000000XX _B
0056 _H	SMC10	UART/SIO シリアルモード制御レジスタ 1 ch. 0	R/W	00000000 _B
0057 _H	SMC20	UART/SIO シリアルモード制御レジスタ 2 ch. 0	R/W	00100000 _B
0058 _H	SSR0	UART/SIO シリアルステータスアンドデータレジスタ ch. 0	R/W	00000001 _B
0059 _H	TDR0	UART/SIO シリアル出力データレジスタ ch. 0	R/W	00000000 _B
005A _H	RDR0	UART/SIO シリアル入力データレジスタ ch. 0	R	00000000 _B
005B _H ~ 005F _H		(使用禁止)		
0060 _H	IBCR00	I ² C バス制御レジスタ 0	R/W	00000000 _B
0061 _H	IBCR10	I ² C バス制御レジスタ 1	R/W	00000000 _B
0062 _H	IBSR0	I ² C バスステータスレジスタ	R/W	00000000 _B
0063 _H	IDDR0	I ² C データレジスタ	R/W	00000000 _B

表 A-1 I/O マップ (3 / 6)

アドレス	レジスタ略称	レジスタ名	R/W	初期値
0064 _H	IAAR0	I ² C アドレスレジスタ	R/W	00000000 _B
0065 _H	ICCR0	I ² C クロック制御レジスタ	R/W	00000000 _B
0066 _H	OPCUR	16 ビット MPG 出力制御レジスタ (上位)	R/W	00000000 _B
0067 _H	OPCLR	16 ビット MPG 出力制御レジスタ (下位)	R/W	00000000 _B
0068 _H	IPCUR	16 ビット MPG 入力制御レジスタ (上位)	R/W	00000000 _B
0069 _H	IPCLR	16 ビット MPG 入力制御レジスタ (下位)	R/W	00000000 _B
006A _H	NCCR	16 ビット MPG ノイズ除去制御レジスタ	R/W	00000000 _B
006B _H	TCSR	16 ビット MPG タイマ状態制御レジスタ	R/W	00000000 _B
006C _H	ADC1	8/10- ビット A/D コンバータ制御レジスタ 1	R/W	00000000 _B
006D _H	ADC2	8/10- ビット A/D コンバータ制御レジスタ 2	R/W	00000000 _B
006E _H	ADDH	8/10- ビット A/D コンバータデータレジスタ (上位)	R/W	00000000 _B
006F _H	ADDL	8/10- ビット A/D コンバータデータレジスタ (下位)	R/W	00000000 _B
0070 _H		(使用禁止)		
0071 _H	FSR2	フラッシュメモリステータスレジスタ 2	R/W	00000000 _B
0072 _H	FSR	フラッシュメモリステータスレジスタ	R/W	000X0000 _B
0073 _H	SWRE0	フラッシュメモリセクタ書込み制御レジスタ 0	R/W	00000000 _B
0074 _H	FSR3	フラッシュメモリステータスレジスタ 3	R	0000XXXX _B
0075 _H		(使用禁止)		
0076 _H	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	00000000 _B
0077 _H	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	00000000 _B
0078 _H		レジスタバンクポイント (RP) とダイレクトバンクポイント (DP) のミラー		
0079 _H	ILR0	割込みレベル設定レジスタ 0	R/W	11111111 _B
007A _H	ILR1	割込みレベル設定レジスタ 1	R/W	11111111 _B
007B _H	ILR2	割込みレベル設定レジスタ 2	R/W	11111111 _B
007C _H	ILR3	割込みレベル設定レジスタ 3	R/W	11111111 _B
007D _H	ILR4	割込みレベル設定レジスタ 4	R/W	11111111 _B
007E _H	ILR5	割込みレベル設定レジスタ 5	R/W	11111111 _B
007F _H		(使用禁止)		
0F80 _H	WRARH0	ワイルドレジスタアドレス設定レジスタ (上位) ch. 0	R/W	00000000 _B
0F81 _H	WRARL0	ワイルドレジスタアドレス設定レジスタ (下位) ch. 0	R/W	00000000 _B
0F82 _H	WRDR0	ワイルドレジスタデータ設定レジスタ ch. 0	R/W	00000000 _B
0F83 _H	WRARH1	ワイルドレジスタアドレス設定レジスタ (上位) ch. 1	R/W	00000000 _B
0F84 _H	WRARL1	ワイルドレジスタアドレス設定レジスタ (下位) ch. 1	R/W	00000000 _B
0F85 _H	WRDR1	ワイルドレジスタデータ設定レジスタ ch. 1	R/W	00000000 _B
0F86 _H	WRARH2	ワイルドレジスタアドレス設定レジスタ (上位) ch. 2	R/W	00000000 _B
0F87 _H	WRARL2	ワイルドレジスタアドレス設定レジスタ (下位) ch. 2	R/W	00000000 _B
0F88 _H	WRDR2	ワイルドレジスタデータ設定レジスタ ch. 2	R/W	00000000 _B
0F89 _H ~ 0F91 _H		(使用禁止)		
0F92 _H	T01CR0	8/16 ビット複合タイマ 01 状態制御レジスタ 0 ch. 0	R/W	00000000 _B

表 A-1 I/O マップ (4/6)

アドレス	レジスタ略称	レジスタ名	R/W	初期値
0F93 _H	T00CR0	8/16 ビット複合タイマ 00 状態制御レジスタ 0 ch. 0	R/W	00000000 _B
0F94 _H	T01DR	8/16 ビット複合タイマ 01 データレジスタ ch. 0	R/W	00000000 _B
0F95 _H	T00DR	8/16 ビット複合タイマ 00 データレジスタ ch. 0	R/W	00000000 _B
0F96 _H	TMCR0	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch. 0	R/W	00000000 _B
0F97 _H	T11CR0	8/16 ビット複合タイマ 11 状態制御レジスタ 0 ch. 1	R/W	00000000 _B
0F98 _H	T10CR0	8/16 ビット複合タイマ 10 状態制御レジスタ 0 ch. 1	R/W	00000000 _B
0F99 _H	T11DR	8/16 ビット複合タイマ 11 データレジスタ ch. 1	R/W	00000000 _B
0F9A _H	T10DR	8/16 ビット複合タイマ 10 データレジスタ ch. 1	R/W	00000000 _B
0F9B _H	TMCR1	8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch. 1	R/W	00000000 _B
0F9C _H	PPS01	8/16 ビット PPG01 周期設定バッファレジスタ ch. 0	R/W	11111111 _B
0F9D _H	PPS00	8/16 ビット PPG00 周期設定バッファレジスタ ch. 0	R/W	11111111 _B
0F9E _H	PDS01	8/16 ビット PPG01 デューティ設定バッファレジスタ ch. 0	R/W	11111111 _B
0F9F _H	PDS00	8/16 ビット PPG00 デューティ設定バッファレジスタ ch. 0	R/W	11111111 _B
0FA0 _H	PPS11	8/16 ビット PPG11 周期設定バッファレジスタ ch. 1	R/W	11111111 _B
0FA1 _H	PPS10	8/16 ビット PPG10 周期設定バッファレジスタ ch. 1	R/W	11111111 _B
0FA2 _H	PDS11	8/16 ビット PPG11 デューティ設定バッファレジスタ ch. 1	R/W	11111111 _B
0FA3 _H	PDS10	8/16 ビット PPG10 デューティ設定バッファレジスタ ch. 1	R/W	11111111 _B
0FA4 _H	PPGS	8/16 ビット PPG 起動レジスタ	R/W	00000000 _B
0FA5 _H	REVC	8/16 ビット PPG 出力反転レジスタ	R/W	00000000 _B
0FA6 _H	PPS21	8/16 ビット PPG21 周期設定バッファレジスタ ch. 2	R/W	11111111 _B
0FA7 _H	PPS20	8/16 ビット PPG20 周期設定バッファレジスタ ch. 2	R/W	11111111 _B
0FA8 _H	TMRH1	16 ビットタイマレジスタ (上位) ch. 1	R/W	00000000 _B
	TMRLRH1	16 ビットリロードレジスタ (上位) ch. 1		
0FA9 _H	TMRL1	16 ビットタイマレジスタ (下位) ch. 1	R/W	00000000 _B
	TMRLRL1	16 ビットリロードレジスタ (下位) ch. 1		
0FAA _H	PDS21	8/16 ビット PPG21 デューティ設定バッファレジスタ ch. 2	R/W	11111111 _B
0FAB _H	PDS20	8/16 ビット PPG20 デューティ設定バッファレジスタ ch. 2	R/W	11111111 _B
0FAC _H ~ 0FAF _H		(使用禁止)		
0FB0 _H	PDCRH1	16 ビット PPG ダウンカウンタレジスタ (上位) ch. 1	R	00000000 _B
0FB1 _H	PDCRL1	16 ビット PPG ダウンカウンタレジスタ (下位) ch. 1	R	00000000 _B
0FB2 _H	PCSRH1	16 ビット PPG 周期設定バッファレジスタ (上位) ch. 1	R/W	11111111 _B
0FB3 _H	PC SRL1	16 ビット PPG 周期設定バッファレジスタ (下位) ch. 1	R/W	11111111 _B
0FB4 _H	PDUTH1	16 ビット PPG デューティ設定バッファレジスタ (上位) ch. 1	R/W	11111111 _B

表 A-1 I/O マップ (5 / 6)

アドレス	レジスタ略称	レジスタ名	R/W	初期値
0FB5 _H	PDUTL1	16 ビット PPG デューティ設定バッファレジスタ (下位) ch. 1	R/W	11111111 _B
0FB6 _H ~ 0FBB _H		(使用禁止)		
0FBC _H	BGR1	LIN-UART ボーレートジェネレータレジスタ 1	R/W	00000000 _B
0FBD _H	BGR0	LIN-UART ボーレートジェネレータレジスタ 0	R/W	00000000 _B
0FBE _H	PSSR0	UART/SIO プリスケラ選択レジスタ ch. 0	R/W	00000000 _B
0FBF _H	BRSR0	UART/SIO ボーレート設定レジスタ ch. 0	R/W	00000000 _B
0FC0 _H ~ 0FC2 _H		(使用禁止)		
0FC3 _H	AIDRL	A/D 入力禁止レジスタ (下位)	R/W	00000000 _B
0FC4 _H	OPDBRH0	16 ビット MPG 出力データバッファレジスタ (上位) ch. 0	R/W	00000000 _B
0FC5 _H	OPDBRL0	16 ビット MPG 出力データバッファレジスタ (下位) ch. 0	R/W	00000000 _B
0FC6 _H	OPDBRH1	16 ビット MPG 出力データバッファレジスタ (上位) ch. 1	R/W	00000000 _B
0FC7 _H	OPDBRL1	16 ビット MPG 出力データバッファレジスタ (下位) ch. 1	R/W	00000000 _B
0FC8 _H	OPDBRH2	16 ビット MPG 出力データバッファレジスタ (上位) ch. 2	R/W	00000000 _B
0FC9 _H	OPDBRL2	16 ビット MPG 出力データバッファレジスタ (下位) ch. 2	R/W	00000000 _B
0FCA _H	OPDBRH3	16 ビット MPG 出力データバッファレジスタ (上位) ch. 3	R/W	00000000 _B
0FCB _H	OPDBRL3	16 ビット MPG 出力データバッファレジスタ (下位) ch. 3	R/W	00000000 _B
0FCC _H	OPDBRH4	16 ビット MPG 出力データバッファレジスタ (上位) ch. 4	R/W	00000000 _B
0FCD _H	OPDBRL4	16 ビット MPG 出力データバッファレジスタ (下位) ch. 4	R/W	00000000 _B
0FCE _H	OPDBRH5	16 ビット MPG 出力データバッファレジスタ (上位) ch. 5	R/W	00000000 _B
0FCF _H	OPDBRL5	16 ビット MPG 出力データバッファレジスタ (下位) ch. 5	R/W	00000000 _B
0FD0 _H	OPDBRH6	16 ビット MPG 出力データバッファレジスタ (上位) ch. 6	R/W	00000000 _B
0FD1 _H	OPDBRL6	16 ビット MPG 出力データバッファレジスタ (下位) ch. 6	R/W	00000000 _B
0FD2 _H	OPDBRH7	16 ビット MPG 出力データバッファレジスタ (上位) ch. 7	R/W	00000000 _B
0FD3 _H	OPDBRL7	16 ビット MPG 出力データバッファレジスタ (下位) ch. 7	R/W	00000000 _B
0FD4 _H	OPDBRH8	16 ビット MPG 出力データバッファレジスタ (上位) ch. 8	R/W	00000000 _B

表 A-1 I/O マップ (6 / 6)

アドレス	レジスタ略称	レジスタ名	R/W	初期値
0FD5 _H	OPDBRL8	16 ビット MPG 出力データバッファレジスタ (下位) ch. 8	R/W	00000000 _B
0FD6 _H	OPDBRH9	16 ビット MPG 出力データバッファレジスタ (上位) ch. 9	R/W	00000000 _B
0FD7 _H	OPDBRL9	16 ビット MPG 出力データバッファレジスタ (下位) ch. 9	R/W	00000000 _B
0FD8 _H	OPDBRHA	16 ビット MPG 出力データバッファレジスタ (上位) ch. A	R/W	00000000 _B
0FD9 _H	OPDBRLA	16 ビット MPG 出力データバッファレジスタ (下位) ch. A	R/W	00000000 _B
0FDA _H	OPDBRHB	16 ビット MPG 出力データバッファレジスタ (上位) ch. B	R/W	00000000 _B
0FDB _H	OPDBRLB	16 ビット MPG 出力データバッファレジスタ (下位) ch. B	R/W	00000000 _B
0FDC _H	OPDUR	16 ビット MPG 出力データレジスタ (上位)	R	0000XXXX _B
0FDD _H	OPDLR	16 ビット MPG 出力データレジスタ (下位)	R	XXXXXXXX _B
0FDE _H	CPCHR	16 ビット MPG コンペアクリアレジスタ (上位)	R/W	XXXXXXXX _B
0FDF _H	CPCLR	16 ビット MPG コンペアクリアレジスタ (下位)	R/W	XXXXXXXX _B
0FE0 _H , 0FE1 _H		(使用禁止)		
0FE2 _H	TMBUR	16 ビット MPG タイマバッファレジスタ (上位)	R	XXXXXXXX _B
0FE3 _H	TMBLR	16 ビット MPG タイマバッファレジスタ (下位)	R	XXXXXXXX _B
0FE4 _H	CRTH	メイン CR クロックトリミングレジスタ (上位)	R/W	0XXXXXXXX _B
0FE5 _H	CRTL	メイン CR クロックトリミングレジスタ (下位)	R/W	00XXXXXXXX _B
0FE6 _H , 0FE7 _H		(使用禁止)		
0FE8 _H	SYSC	システム構成レジスタ	R/W	11000011 _B
0FE9 _H	CMCR	クロック監視制御レジスタ	R/W	00000000 _B
0FEA _H	CMDR	クロック監視データレジスタ	R	00000000 _B
0FEB _H	WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	R	XXXXXXXX _B
0FEC _H	WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	R	XXXXXXXX _B
0FED _H		(使用禁止)		
0FEE _H	ILSR	入力レベル選択レジスタ	R/W	00000000 _B
0FEF _H	WICR	割込み端子制御レジスタ	R/W	01000000 _B
0FF0 _H ~ 0FFF _H		(使用禁止)		

- **R/W アクセス表記**

R/W : リード / ライト可能
R : リードオンリ
W : ライトオンリ

- **初期値表記**

0 : このビットの初期値は "0" です。
1 : このビットの初期値は "1" です。
X : このビットの初期値は不定です。

< 注意事項 >

「(使用禁止)」となっているアドレスには書き込まないでください。「(使用禁止)」のアドレスを読み出すと、未定義の値が返されます。

付録 B 割込み要因一覧表

MB95330H シリーズで使用している割込み要因一覧表を示します。

■ 割込み要因一覧表

割込み動作については、「第 5 章 CPU」を参照してください。

表 B-1 MB95330H シリーズ

割込み要因	割込み 要求番号	ベクタテーブルの アドレス		割込みレベル 設定レジスタ のビット名	同一レベルの 割込み要因の 優先順位 (同時発生時)
		上位	下位		
外部割込み ch. 0, ch. 4	IRQ00	FFFA _H	FFFB _H	L00 [1:0]	<div>高</div> <div>↑</div> <div>↓</div> <div>低</div>
外部割込み ch. 1, ch. 5	IRQ01	FFF8 _H	FFF9 _H	L01 [1:0]	
外部割込み ch. 2, ch. 6	IRQ02	FFF6 _H	FFF7 _H	L02 [1:0]	
外部割込み ch. 3, ch. 7	IRQ03	FFF4 _H	FFF5 _H	L03 [1:0]	
UART/SIO ch.0, MPG (DTTI)	IRQ04	FFF2 _H	FFF3 _H	L04 [1:0]	
8/16 ビット複合タイマ ch. 0 (下位)	IRQ05	FFF0 _H	FFF1 _H	L05 [1:0]	
8/16 ビット複合タイマ ch. 0 (上位)	IRQ06	FFEE _H	FFEF _H	L06 [1:0]	
LIN-UART (受信)	IRQ07	FFEC _H	FFED _H	L07 [1:0]	
LIN-UART (送信)	IRQ08	FFEA _H	FFEB _H	L08 [1:0]	
8/16 ビット PPG ch. 1 (下位)	IRQ09	FFE8 _H	FFE9 _H	L09 [1:0]	
8/16 ビット PPG ch. 1 (下位)	IRQ10	FFE6 _H	FFE7 _H	L10 [1:0]	
8/16 ビット PPG ch. 2 (上位)	IRQ11	FFE4 _H	FFE5 _H	L11 [1:0]	
8/16 ビット PPG ch. 0 (上位)	IRQ12	FFE2 _H	FFE3 _H	L12 [1:0]	
8/16 ビット PPG ch. 0 (下位)	IRQ13	FFE0 _H	FFE1 _H	L13 [1:0]	
8/16 ビット複合タイマ ch. 1 (上位)	IRQ14	FFDE _H	FFDF _H	L14 [1:0]	
8/16 ビット PPG ch. 2 (下位)	IRQ15	FFDC _H	FFDD _H	L15 [1:0]	
16 ビットリロードタイマ ch. 1, MPG (書き込みタイミング / コンペアクリア), I ² C	IRQ16	FFDA _H	FFDB _H	L16 [1:0]	
16 ビット PPG タイマ ch. 1, MPG (位置検出 / コンペア一致)	IRQ17	FFD8 _H	FFD9 _H	L17 [1:0]	
8/10 ビット A/D コンバータ	IRQ18	FFD6 _H	FFD7 _H	L18 [1:0]	
タイムベースタイマ	IRQ19	FFD4 _H	FFD5 _H	L19 [1:0]	
時計プリスケラ	IRQ20	FFD2 _H	FFD3 _H	L20 [1:0]	
外部割込み ch. 8, ch. 9	IRQ21	FFD0 _H	FFD1 _H	L21 [1:0]	
8/16 ビット複合タイマ ch. 1 (下位)	IRQ22	FFCE _H	FFCF _H	L22 [1:0]	
フラッシュメモリ	IRQ23	FFCC _H	FFCD _H	L23 [1:0]	

付録 C メモリマップ

MB95330H シリーズのメモリマップを示します。

■ メモリマップ

図 C-1 各製品のメモリマップ

MB95F332H/F332K	MB95F333H/F333K	MB95F334H/F334K
0000 _H I/O	0000 _H I/O	0000 _H I/O
0080 _H アクセス禁止	0080 _H アクセス禁止	0080 _H アクセス禁止
0090 _H RAM 240 バイト	0090 _H RAM 496 バイト	0090 _H RAM 1008 バイト
0100 _H レジスタ	0100 _H レジスタ	0100 _H レジスタ
0180 _H アクセス禁止	0200 _H アクセス禁止	0200 _H アクセス禁止
0F80 _H 拡張 I/O	0F80 _H 拡張 I/O	0F80 _H 拡張 I/O
1000 _H アクセス禁止	1000 _H アクセス禁止	1000 _H アクセス禁止
B000 _H フラッシュメモリ 4K バイト	B000 _H フラッシュメモリ 4K バイト	B000 _H フラッシュメモリ 20K バイト
C000 _H アクセス禁止	C000 _H アクセス禁止	
F000 _H フラッシュメモリ 4K バイト	E000 _H フラッシュメモリ 8K バイト	
FFFF _H	FFFF _H	FFFF _H

品種名	パラメータ	フラッシュメモリ	RAM
MB95F332H/F332K		8 K バイト	240 バイト
MB95F333H/F333K		12 K バイト	496 バイト
MB95F334H/F334K		20 K バイト	1008 バイト

付録 D MB95330H シリーズの端子状態

表 D-1 に各モードでの MB95330H シリーズの端子状態を示します。

■ 各モードにおける端子状態

表 D-1 各モードにおける端子状態 (1 / 3)

端子名	通常動作	スリープモード	ストップモード		時計モード		リセット時
			SPL=0	SPL=1	SPL=0	SPL=1	
PF0/X0	発振入力	発振入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	—
	入出力ポート *4	入出力ポート *4	- 前の状態保持 - 入力遮断 *2*4	- Hi-Z - 入力遮断 *2*4	- 前の状態保持 - 入力遮断 *2*4	- Hi-Z - 入力遮断 *2*4	- Hi-Z - 入力許可 *1 (ただし機能しません)
PF1/X1	発振入力	発振入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	—
	入出力ポート *4	入出力ポート *4	- 前の状態保持 - 入力遮断 *2*4	- Hi-Z - 入力遮断 *2*4	- 前の状態保持 - 入力遮断 *2*4	- Hi-Z - 入力遮断 *2*4	- Hi-Z - 入力許可 *1 (ただし機能しません)
PG1/X0A/ SNI1	発振入力	発振入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	—
	入出力ポート *4/ 周辺機能入出力	入出力ポート *4/ 周辺機能入出力	- 前の状態保持 - 入力遮断 *2*4	- Hi-Z (ただし プルアップ制御の設定は有効) - 入力遮断 *2*4	- 前の状態保持 - 入力遮断 *2*4	- Hi-Z (ただし プルアップ制御の設定は有効) - 入力遮断 *2*4	- Hi-Z - 入力許可 *1 (ただし機能しません)
PG2/X1A/ SNI2	発振入力	発振入力	Hi-Z	Hi-Z	Hi-Z	Hi-Z	—
	入出力ポート *4/ 周辺機能入出力	入出力ポート *4/ 周辺機能入出力	- 前の状態保持 - 入力遮断 *2*4	- Hi-Z (ただし プルアップ制御の設定は有効) - 入力遮断 *2*4	- 前の状態保持 - 入力遮断 *2*4	- Hi-Z (ただし プルアップ制御の設定は有効) - 入力遮断 *2*4	- Hi-Z - 入力許可 *1 (ただし機能しません)
PF2/RST	機能入出力	リセット入力	リセット入力	リセット入力	リセット入力	リセット入力	リセット入力 *3
P60/INT08/ SDA/DTTI	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2 (ただし外部割込み許可の場合、外部割込み入力可能)	- Hi-Z - 入力遮断 *2 (ただし外部割込み許可の場合、外部割込み入力可能)	- 前の状態保持 - 入力遮断 *2 (ただし外部割込み許可の場合、外部割込み入力可能)	- Hi-Z - 入力遮断 *2 (ただし外部割込み許可の場合、外部割込み入力可能)	- Hi-Z - 入力許可 *1 (ただし機能しません)
P61/INT09/ SCL/TI1			- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	
P62/TO10/ PPG00/OPT0	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- Hi-Z - 入力許可 *1 (ただし機能しません)
P63/TO11/ PPG01/OPT1			- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	
P64/EC1/ PPG10/OPT2	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2 (ただし外部割込み許可の場合、外部割込み入力可能)	- Hi-Z - 入力遮断 *2 (ただし外部割込み許可の場合、外部割込み入力可能)	- 前の状態保持 - 入力遮断 *2 (ただし外部割込み許可の場合、外部割込み入力可能)	- Hi-Z - 入力遮断 *2 (ただし外部割込み許可の場合、外部割込み入力可能)	- Hi-Z - 入力許可 *1 (ただし機能しません)
P65/PPG11/ OPT3			- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	
P66/PPG1/ PPG20/OPT4	入出力ポート / 周辺機能入出力	入出力ポート / 周辺機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- Hi-Z - 入力許可 *1 (ただし機能しません)

表 D-1 各モードにおける端子状態 (2 / 3)

端子名	通常動作	スリープモード	ストップモード		時計モード		リセット時
			SPL=0	SPL=1	SPL=0	SPL=1	
P67/TRG1/ PPG21/OPT5	入出力 ポート / 周辺機能 入出力	入出力 ポート / 周辺機能 入出力	- 前の状態保持 - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- 前の状態保持 - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z - 入力許可 *1 (ただし機能 しません)
P10/PPG10	入出力 ポート / 周辺機能 入出力	入出力 ポート / 周辺機能 入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2	- Hi-Z - 入力許可 *1 (ただし機能 しません)
P11/PPG11							
P12/DBG/ EC0	入出力 ポート / 周辺 機能入出力	入出力 ポート / 周辺 機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z - 入力遮断 *2	- Hi-Z - 入力許可 *1 (ただし機能 しません)
P13/PPG00	入出力 ポート / 周辺 機能入出力	入出力 ポート / 周辺 機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2	- Hi-Z - 入力許可 *1 (ただし機能 しません)
P14/UCK0/ PPG01	入出力 ポート / 周辺機能 入出力	入出力 ポート / 周辺機能 入出力	- 前の状態保持 - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- 前の状態保持 - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z - 入力許可 *1 (ただし機能 しません)
P15/UO0/ PPG20	入出力 ポート / 周辺 機能入出力	入出力 ポート / 周辺 機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2	- Hi-Z - 入力許可 *1 (ただし機能 しません)
P16/UI0/ PPG21	入出力 ポート / 周辺機能 入出力	入出力 ポート / 周辺機能 入出力	- 前の状態保持 - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- 前の状態保持 - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2 (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z - 入力許可 *1 (ただし機能 しません)
P17/TO1/ SNI0	入出力 ポート / 周辺 機能入出力	入出力 ポート / 周辺 機能入出力	- 前の状態保持 - 入力遮断 *2	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2	- 前の状態保持 - 入力遮断 *2	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 *2	- Hi-Z - 入力許可 *1 (ただし機能 しません)

MB95330H シリーズ

表 D-1 各モードにおける端子状態 (3 / 3)

端子名	通常動作	スリープモード	ストップモード		時計モード		リセット時
			SPL=0	SPL=1	SPL=0	SPL=1	
P00/INT00/ AN00	入出力 ポート / 周辺 機能入出力 / アナログ入力	入出力 ポート / 周辺 機能入出力 / アナログ入力	- 前の状態保持 - 入力遮断 ^{*2} (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 ^{*2} (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- 前の状態保持 - 入力遮断 ^{*2} (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z (ただし プルアップ制 御の設定は有 効) - 入力遮断 ^{*2} (ただし外部 割込み許可の 場合、外部割 込み入力可能)	- Hi-Z - 入力遮断 ^{*2}
P01/INT01/ AN01							
P02/INT02/ AN02/SCK							
P03/INT03/ AN03/SOT							
P04/INT04/ AN04/SIN/ HCLK1/EC0							
P05/INT05/ AN05/ HCLK2/ TO00							
P06/INT06/ AN06/TO01							
P07/INT07/ AN07							

SPL: スタンバイ制御レジスタの端子状態指定ビット (STBC:SPL)

Hi-Z: ハイインピーダンス

*1: 「入力許可」とは、入力機能が許可されている状態であることを意味します。入力機能が許可されている間、外部入力によるリークを回避するためにプルアップまたはプルダウン処理を行う必要があります。端子を出力ポートとして使用した場合、その端子状態は他のポートの端子状態と同じです。

*2: 「入力遮断」とは、端子からの直接の入力ゲート動作が禁止されていることを意味します。

*3: PF2/RST がリセット端子として設定されている場合の端子状態

*4: これらの端子が GPIO として設定されている場合の端子状態

付録 E 命令概要

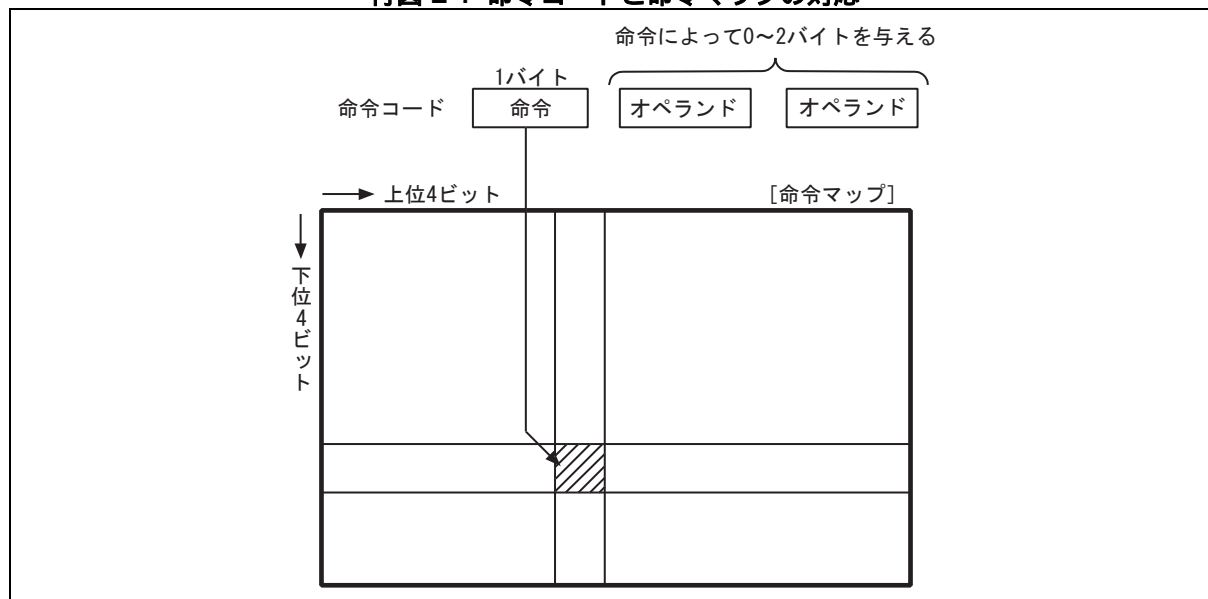
F²MC-8FX に使用している命令について説明します。

■ F²MC-8FX の命令の概要

F²MC-8FX には、140 種類の 1 バイト命令（マップとしては 256 バイト）があり、命令とそれに続くオペランドによって命令コードを構成します。

付図 E-1 に命令コードと命令マップの対応について示します。

付図 E-1 命令コードと命令マップの対応



- 命令は転送系、演算系、分岐系、その他の4つに分類されます。
- アドレッシングには各種の方法があり、命令の選択とオペランド指定により10種類のアドレッシングを選択できます。
- ビット操作命令を備えており、リードモディファイライト動作が可能です。
- 特殊な動作を指示する命令があります。

■ 命令の表示記号の説明

付表 E-1 に、この付録 E の命令コードの説明で使用している記号の説明を示します。

付表 E-1 命令一覧表の記号の説明

表 記	意 味
dir	ダイレクトアドレス (8 ビット長)
off	オフセット (8 ビット長)
ext	エクステンドアドレス (16 ビット長)
#vct	ベクタテーブル番号 (3 ビット長)
#d8	イミディエートデータ (8 ビット長)
#d16	イミディエートデータ (16 ビット長)
dir:b	ビットダイレクトアドレス (8 ビット長 :3 ビット長)
rel	分岐相対アドレス (8 ビット長)
@	レジスタ間接 (例 :@A,@IX,@EP)
A	アキュムレータ (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
AH	アキュムレータの上位 8 ビット (8 ビット長)
AL	アキュムレータの下位 8 ビット (8 ビット長)
T	テンポラリアキュムレータ (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
TH	テンポラリアキュムレータの上位 8 ビット (8 ビット長)
TL	テンポラリアキュムレータの下位 8 ビット (8 ビット長)
IX	インデックスレジスタ (16 ビット長)
EP	エクストラポインタ (16 ビット長)
PC	プログラムカウンタ (16 ビット長)
SP	スタックポインタ (16 ビット長)
PS	プログラムステータス (16 ビット長)
dr	アキュムレータまたはインデックスレジスタのいずれか (16 ビット長)
CCR	コンディションコードレジスタ (8 ビット長)
RP	レジスタバンクポインタ (5 ビット長)
DP	ダイレクトバンクポインタ (3 ビット長)
Ri	汎用レジスタ (8 ビット長, i=0 ~ 7)
×	× が即値データそのものであることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
(×)	× の中身がアクセスの対象であることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)
((×))	× の中身が示すアドレスがアクセスの対象であることを示す (使用する命令によって 8 ビット長か 16 ビット長かが決まる)

■ 命令一覧表の項目の説明

付表 E-2 命令一覧表の項目の説明

項 目	説 明
MNEMONIC	命令のアセンブル記述を表します。
~	命令のサイクル数を示します。1 命令サイクルは 1 マシンサイクルです。 (注意事項) 命令のサイクル数は、直前の命令によって 1 サイクル延期される場合があります。また、I/O 領域へのアクセスでは、命令のサイクル数が延長される場合があります。
#	命令のバイト数を示します。
動作	命令の動作を示します。
TL, TH, AH	TL, TH, AH の各命令実行時の内容の変化 (A から T への自動転送) を示します。欄内の記号は以下のものを、それぞれ示します。 ・ - は変化なし ・ dH は動作に記述したデータの上位 8 ビット ・ AL と AH はその命令実行直前の AL と AH の内容になること ・ 00 は 00 になること
N, Z, V, C	それぞれに対応するフラグが変化する命令を示します。欄内の記号は以下のものを、それぞれ表します。 ・ - : 変化しないこと ・ + : 変化すること ・ R : "0" になること ・ S : "1" になること
OP CODE	命令のコードを示します。該当命令が複数のコードを占める場合は、次のような記載規約に則っています。 【例】 48 ~ 4F これは 48, 49, 4F を示します。

F²MC-8FX には、次の 10 種類のアドレッシングがあります。

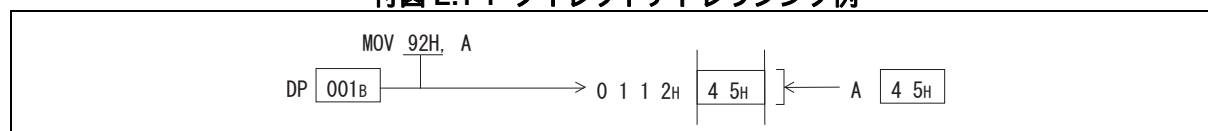
- ダイレクトアドレッシング
- エクステンドアドレッシング
- ビットダイレクトアドレッシング
- インデックスアドレッシング
- ポインタアドレッシング
- 汎用レジスタアドレッシング
- イミディエートアドレッシング
- ベクタアドレッシング
- 相対アドレッシング
- インヘレントアドレッシング

■ アドレッシングの説明

● ダイレクトアドレッシング

命令表中で "dir" と示したアドレッシングで、ダイレクト領域 "0000_H" ~ "047F_H" をアクセスする際に使用します。このアドレッシングでは、オペランドアドレスが "00_H" ~ "7F_H" の場合、"0000_H" ~ "007F_H" にアクセスします。また、オペランドアドレスが "80_H" ~ "FF_H" の場合、ダイレクトバンクポインタ DP の設定により "0080_H" ~ "047F_H" にアクセスがマッピングできます。付図 E.1-1 に例を示します。

付図 E.1-1 ダイレクトアドレッシング例

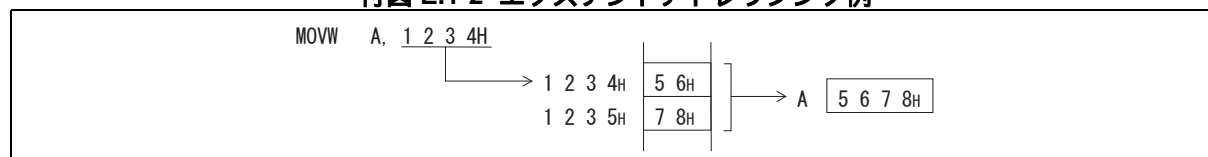


● エクステンドアドレッシング

命令表の中で "ext" と示したアドレッシングで、64K バイト全体の領域をアクセスするときに使用します。このアドレッシングでは、第 1 オペランドでアドレスの上位 1 バイトを、第 2 オペランドでアドレスの下位 1 バイトを指定します。

付図 E.1-2 に例を示します。

付図 E.1-2 エクステンドアドレッシング例

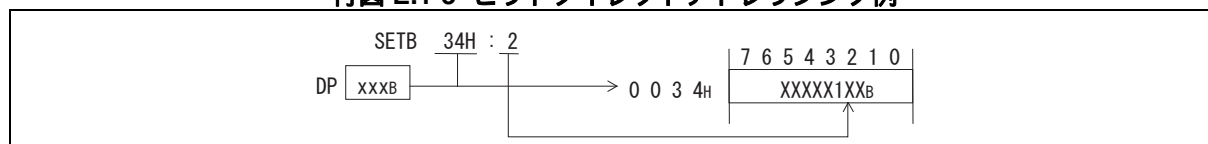


● ビットダイレクトアドレッシング

命令表中で "dir:b" と示したアドレッシングで、ダイレクト領域 "0000_H" ~ "047F_H" をビット単位でアクセスする際に使用します。このアドレッシングでは、オペランドアドレスが "00_H" ~ "7F_H" の場合、"0000_H" ~ "007F_H" にアクセスします。また、オペランドアドレスが "80_H" ~ "FF_H" の場合、ダイレクトバンクポインタ DP の設定により "0080_H" ~ "047F_H" にアクセスがマッピングできます。指定したアドレス内のビットの位置は命令コードの下位 3 ビットの値で指定します。

付図 E.1-3 に例を示します。

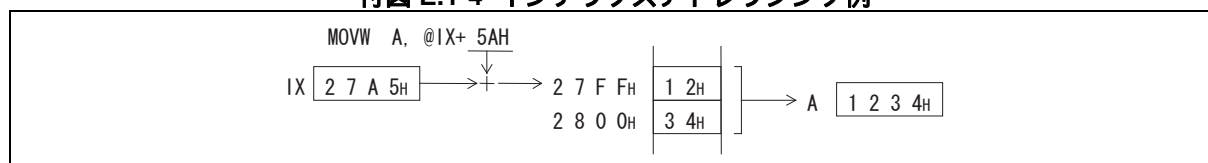
付図 E.1-3 ビットダイレクトアドレッシング例



● インデックスアドレッシング

命令表の中で "@IX + off" と示したアドレッシングで、64K バイト全体の領域をアクセスするときに使用します。このアドレッシングでは、第 1 オペランドの内容を符号拡張した上で IX(インデックスレジスタ) に加算してその結果をアドレスとします。付図 E.1-4 に例を示します。

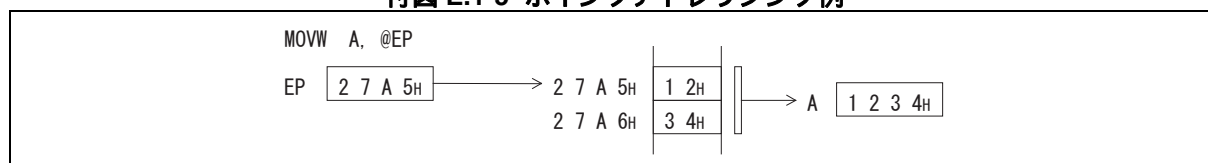
付図 E.1-4 インデックスアドレッシング例



● ポインタアドレッシング

命令表の中で "@EP" と示したアドレッシングで、64K バイト全体の領域をアクセスするときに使用します。このアドレッシングでは、EP(エクストラポインタ) の内容をアドレスとします。付図 E.1-5 に例を示します。

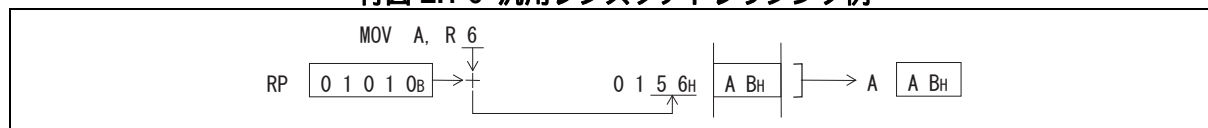
付図 E.1-5 ポインタアドレッシング例



● 汎用レジスタアドレッシング

命令表の中で "Ri" と示したアドレッシングで、汎用レジスタ領域のレジスタバンクをアクセスするときに使用します。このアドレッシングでは、アドレスの上位 1 バイトは "01" に固定し、下位 1 バイトを RP(レジスタバンクポインタ) の内容とオペコードの下位 3 ビットから作成し、このアドレスに対してアクセスを行います。付図 E.1-6 に例を示します。

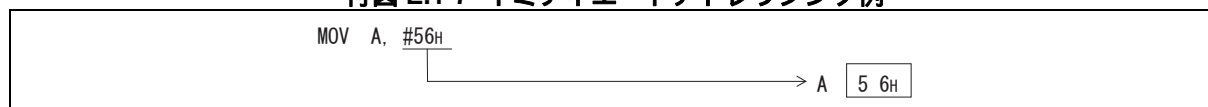
付図 E.1-6 汎用レジスタアドレッシング例



● イミディエートアドレッシング

命令表の中で "#d8" と示したアドレッシングで、即値データを必要とするときに使用します。このアドレッシングでは、オペランドがそのまま即値データになります。バイト / ワードの指定はオペコードにより決まります。付図 E.1-7 に例を示します。

付図 E.1-7 イミディエートアドレッシング例



● ベクタアドレッシング

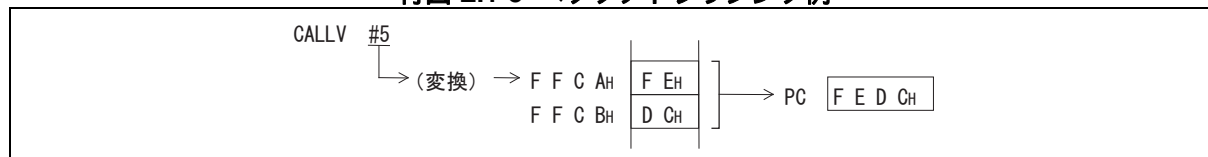
命令表の中で "#vct" と示したアドレッシングで、テーブル内に登録したサブルーチンアドレスに分岐するときに使用します。このアドレッシングでは、オペコード内に "#vct" の情報を含み、付表 E.1-1 に示す対応でテーブルのアドレスを作成します。

付表 E.1-1 "#vct" に対応したベクタテーブルアドレス

#vct	ベクタテーブルアドレス (ジャンプ先上位アドレス: 下位アドレス)
0	FFC0 _H : FFC1 _H
1	FFC2 _H : FFC3 _H
2	FFC4 _H : FFC5 _H
3	FFC6 _H : FFC7 _H
4	FFC8 _H : FFC9 _H
5	FFCA _H : FFCB _H
6	FFCC _H : FFCD _H
7	FFCE _H : FFCE _H

付図 E.1-8 に例を示します。

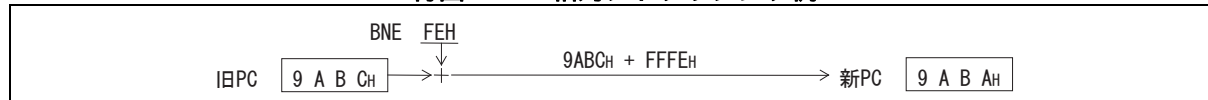
付図 E.1-8 ベクタアドレッシング例



● 相対アドレッシング

命令表の中で "rel" と示したアドレッシングで、PC(プログラムカウンタ)の前後 128 バイトの領域に分岐するときに使用します。このアドレッシングでは、オペランドの内容を PC に符号付きで加算し、その結果を PC に格納します。付図 E.1-9 に例を示します。

付図 E.1-9 相対アドレッシング例

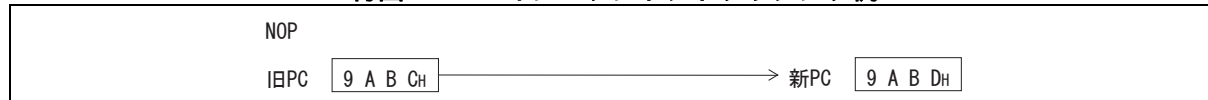


この例では、BNE のオペコードが格納されているアドレスへジャンプするので、結果として無限ループになります。

● インヘレントアドレッシング

命令表の中でオペランドを持たないアドレッシングで、オペコードで決まる動作を行うときに使用します。このアドレッシングでは、動作が命令ごとに異なります。付図 E.1-10 に例を示します。

付図 E.1-10 インヘレントアドレッシング例



MB95330H シリーズ

E.2 特殊な命令について

アドレッシング以外の特殊な命令について説明します。

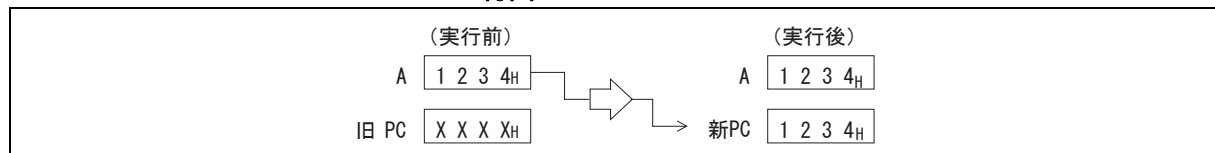
■ 特殊な命令について

● JMP @A

この命令は、A(アキュムレータ)の内容をアドレスとしてPC(プログラムカウンタ)へ分岐するというものです。N個のジャンプ先をテーブル上に並べておき、その内容のいずれか1つを選択してAに転送します。この命令を実行することでN分岐処理が行えます。

付図 E.2-1 に概要図を示します。

付図 E.2-1 JMP @A

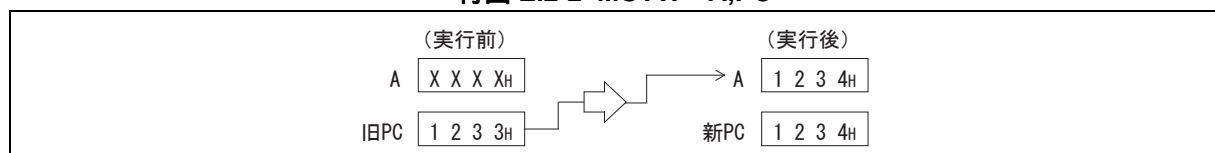


● MOVW A,PC

この命令は、"JMP @A" と反対の動作を行うものです。すなわち、PC の内容を A に格納するものです。メインルーチン内でこの命令を実行しておき、特定のサブルーチン呼び出すような設定において、そのサブルーチン内で A の内容が決められた値になっていることを確認することができます。予想できない部分からの分岐でないことが識別でき、暴走判断に使用することができます。

付図 E.2-2 に概要図を示します。

付図 E.2-2 MOVW A,PC



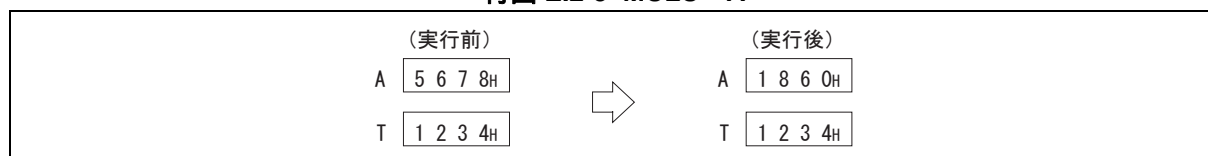
この命令を実行したときの A の内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、付図 E.2-2 では A に格納した値 "1234_H" は「MOVW A,PC」の次のオペコードが格納されているアドレスに一致します。

● MULU A

この命令は、AL(アキュムレータの下位 8 ビット)と TL(テンポラリアキュムレータの下位 8 ビット)を符号なしで掛け合わせ、16 ビット長の結果を A に格納します。T(テンポラリアキュムレータ)の内容は変化しません。演算に関して、実行前の AH(アキュムレータの 8 上位ビット)、TH(テンポラリアキュムレータの上位 8 ビット)の内容は使用していません。フラグは変化しないので、乗算の結果によって分岐するときには注意が必要です。

付図 E.2-3 に概要図を示します。

付図 E.2-3 MULU A

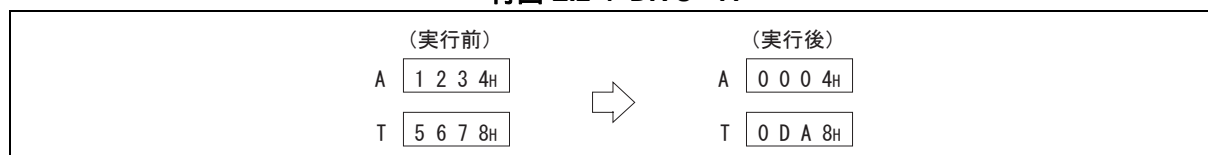


● DIVU A

この命令は、T の 16 ビットを A の 16 ビットで符号なしデータとして割り、結果を 16 ビットとして A に、余りも 16 ビットとして T に格納するものです。実行前の A の値が "0" の場合、ゼロ除算が実行されたことを示すために Z フラグが "1" になります。その他のフラグは変化しないので除算の結果によって分岐するときには注意が必要です。

付図 E.2-4 に概要図を示します。

付図 E.2-4 DIVU A

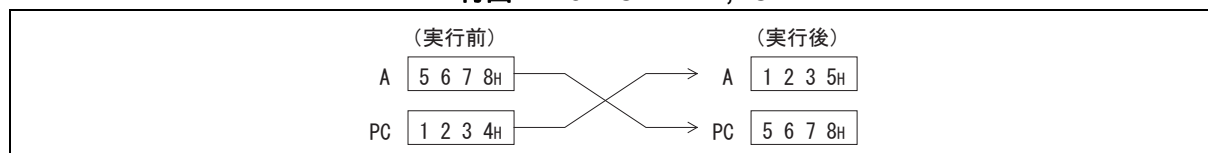


● XCHW A,PC

この命令は、A と PC の内容を交換するもので、結果として実行前の A の内容が示す番地へ分岐します。実行後の A は、「XCHW A,PC」のオペコードが格納されているアドレスの次のアドレスの値になります。この命令は、特にメインルーチンでテーブルを指定し、サブルーチンで使用するときに有効です。

付図 E.2-5 に概要図を示します。

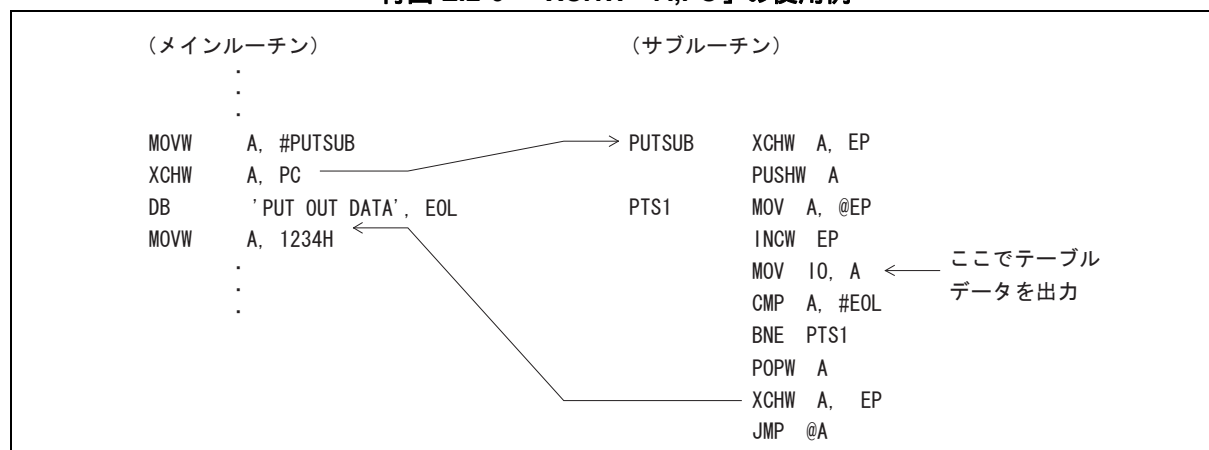
付図 E.2-5 XCHW A,PC



この命令を実行したときの A の内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、付図 E.2-5 では A に格納した値 "1235_H" は「XCHW A,PC」の次のオペコードが格納されているアドレスに一致します。そのため、"1234_H"ではなく"1235_H"となっています。

付図 E.2-6 にアセンブラ表記例を示します。

付図 E.2-6 「XCHW A,PC」の使用例

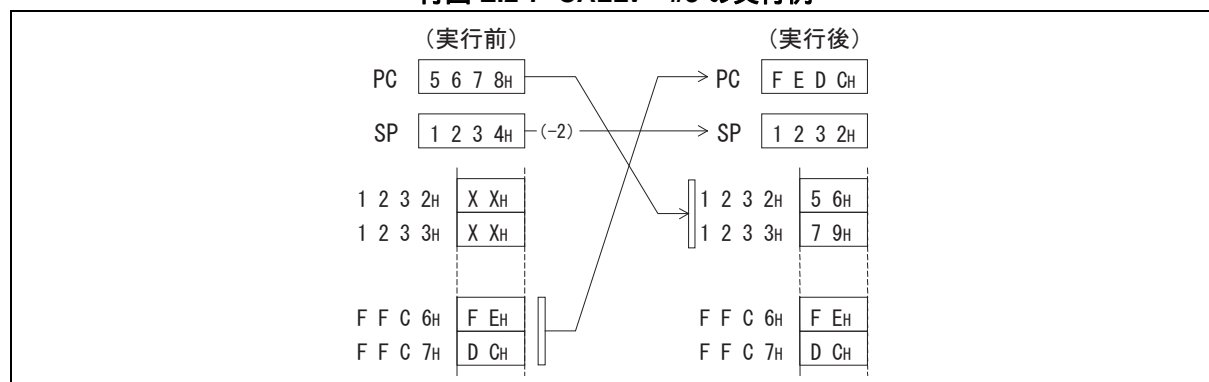


● CALLV #vct

テーブル内に登録したサブルーチンアドレスに分岐するときに使用します。リターンアドレス(PCの内容)をSP(スタックポインタ)が示すアドレスへ退避した後、ベクタアドレッシングによってベクタテーブルに記載したアドレスへ分岐します。1バイトの命令ですので、頻繁に使用するサブルーチンに対してこの命令を使用することで、プログラム全体のサイズを縮小することができます。

付図 E.2-7 に概要図を示します。

付図 E.2-7 CALLV #3の実行例



この命令を実行したときにスタック領域に退避されるPCの内容は、この命令のオペコードが格納されているアドレスではなく、次の命令が格納されているアドレスと同じ値になります。したがって、付図 E.2-7 ではスタック(1232_H, 1233_H)に退避された値"5679_H"は「CALLV #vct」の次のオペコードが格納されているアドレス(リターンアドレス)に一致します。

付表 E.2-1 ベクタテーブル

ベクタ用途 (コール命令)	ベクタテーブルのアドレス	
	上位	下位
CALLV #7	FFCE _H	FFCF _H
CALLV #6	FFCC _H	FFCD _H
CALLV #5	FFCA _H	FFCB _H
CALLV #4	FFC8 _H	FFC9 _H
CALLV #3	FFC6 _H	FFC7 _H
CALLV #2	FFC4 _H	FFC5 _H
CALLV #1	FFC2 _H	FFC3 _H
CALLV #0	FFC0 _H	FFC1 _H

E.3 ビット操作命令 (SETB, CLRB)

周辺機能のレジスタには、ビット操作命令に対して、通常の読出し動作と異なる動作をするビットがあります。

■ リードモディファイライト動作

ビット操作命令では、レジスタまたは RAM の指定ビットのみを "1" に設定 (SETB) したり、"0" にクリア (CLRB) したりできます。しかし、CPU は 8 ビット単位でデータを取り扱うため、実際の動作としては、8 ビットのデータを読み出し、指定されたビットを変更し、元のアドレスに書き戻す、という一連の動作 (リードモディファイライト動作) を行います。

付表 E.3-1 にビット操作命令時のバス動作を示します。

付表 E.3-1 ビット操作命令時のバス動作

CODE	MNEMONIC	～	サイクル	アドレスバス	データバス	RD	WR	RMW
A0 ～ A7	CLRB dir:b	4	1	N+2	次の命令	1	0	1
			2	dir アドレス	データ	1	0	1
A8 ～ AF	SETB dir:b		3	dir アドレス	データ	0	1	0
			4	N+3	次の次の命令	1	0	0

■ ビット操作命令実行時の読出し先

一部の I/O ポートや割込み要求フラグビットでは、通常読出しによる読出し先と、リードモディファイライト時の読出し先が異なります。

● I/O ポート (ビット操作時)

I/O ポートの中には、通常読出し時は I/O 端子の値が読み出され、ビット操作時はポートデータレジスタの値が読み出されるものがあります。これは、端子の入出力方向や端子の状態にかかわらず、ポートデータレジスタの、ほかのビットの不用意な変化を防止するためです。

● 割込み要求フラグビット (ビット操作時)

割込み要求フラグビットは、通常読出し時は割込み要求の確認用フラグビットとして機能しますが、ビット操作時は常に "1" が読み出されます。これは、ほかのビットをビット操作したときに、割込み要求フラグビットへの "0" の書込みによって、フラグが不用意にクリアされるのを防止するためです。

E.4 F²MC-8FX 命令一覧表

付表 E.4-1 ~ 付表 E.4-4 に、F²MC-8FX で使用している命令の一覧を示します。

■ 転送系命令

付表 E.4-1 転送系の命令一覧 (1 / 2)

	MNEMONIC	~	#	動 作	TL	TH	AH	N	Z	V	C	OPCODE
1	MOV dir, A	3	2	(dir) (A)	-	-	-	-	-	-	-	45
2	MOV @IX + off, A	3	2	((IX) + off) (A)	-	-	-	-	-	-	-	46
3	MOV ext, A	4	3	(ext) (A)	-	-	-	-	-	-	-	61
4	MOV @EP, A	2	1	((EP)) (A)	-	-	-	-	-	-	-	47
5	MOV Ri, A	2	1	(Ri) (A)	-	-	-	-	-	-	-	48 ~ 4F
6	MOV A, #d8	2	2	(A) d8	AL	-	-	+	+	-	-	04
7	MOV A, dir	3	2	(A) (dir)	AL	-	-	+	+	-	-	05
8	MOV A, @IX + off	3	2	(A) ((IX) + off)	AL	-	-	+	+	-	-	06
9	MOV A, ext	4	3	(A) (ext)	AL	-	-	+	+	-	-	60
10	MOV A, @A	2	1	(A) ((A))	AL	-	-	+	+	-	-	92
11	MOV A, @EP	2	1	(A) ((EP))	AL	-	-	+	+	-	-	07
12	MOV A, Ri	2	1	(A) (Ri)	AL	-	-	+	+	-	-	08 ~ 0F
13	MOV dir, #d8	4	3	(dir) d8	-	-	-	-	-	-	-	85
14	MOV @IX + off, #d8	4	3	((IX) + off) d8	-	-	-	-	-	-	-	86
15	MOV @EP, #d8	3	2	((EP)) d8	-	-	-	-	-	-	-	87
16	MOV Ri, #d8	3	2	(Ri) d8	-	-	-	-	-	-	-	88 ~ 8F
17	MOVW dir, A	4	2	(dir) (AH), (dir + 1) (AL)	-	-	-	-	-	-	-	D5
18	MOVW @IX + off, A	4	2	((IX) + off) (AH), ((IX) + off + 1) (AL)	-	-	-	-	-	-	-	D6
19	MOVW ext, A	5	3	(ext) (AH), (ext + 1) (AL)	-	-	-	-	-	-	-	D4
20	MOVW @EP, A	3	1	((EP)) (AH), ((EP) + 1) (AL)	-	-	-	-	-	-	-	D7
21	MOVW EP, A	1	1	(EP) (A)	-	-	-	-	-	-	-	E3
22	MOVW A, #d16	3	3	(A) d16	AL	AH	dH	+	+	-	-	E4
23	MOVW A, dir	4	2	(AH) (dir), (AL) (dir + 1)	AL	AH	dH	+	+	-	-	C5
24	MOVW A, @IX + off	4	2	(AH) ((IX) + off), (AL) ((IX) + off + 1)	AL	AH	dH	+	+	-	-	C6
25	MOVW A, ext	5	3	(AH) (ext), (AL) (ext + 1)	AL	AH	dH	+	+	-	-	C4
26	MOVW A, @A	3	1	(AH) ((A)), (AL) ((A) + 1)	AL	AH	dH	+	+	-	-	93
27	MOVW A, @EP	3	1	(AH) ((EP)), (AL) ((EP) + 1)	AL	AH	dH	+	+	-	-	C7
28	MOVW A, EP	1	1	(A) (EP)	-	-	dH	-	-	-	-	F3
29	MOVW EP, #d16	3	3	(EP) d16	-	-	-	-	-	-	-	E7
30	MOVW IX, A	1	1	(IX) (A)	-	-	-	-	-	-	-	E2
31	MOVW A, IX	1	1	(A) (IX)	-	-	dH	-	-	-	-	F2
32	MOVW SP, A	1	1	(SP) (A)	-	-	-	-	-	-	-	E1
33	MOVW A, SP	1	1	(A) (SP)	-	-	dH	-	-	-	-	F1
34	MOV @A, T	2	1	((A)) (T)	-	-	-	-	-	-	-	82
35	MOVW @A, T	3	1	((A)) (TH), ((A) + 1) (TL)	-	-	-	-	-	-	-	83
36	MOVW IX, #d16	3	3	(IX) d16	-	-	-	-	-	-	-	E6
37	MOVW A, PS	1	1	(A) (PS)	-	-	dH	-	-	-	-	70
38	MOVW PS, A	1	1	(PS) (A)	-	-	-	+	+	+	+	71
39	MOVW SP, #d16	3	3	(SP) d16	-	-	-	-	-	-	-	E5
40	SWAP	1	1	(AH) (AL)	-	-	AL	-	-	-	-	10

付表 E.4-1 転送系の命令一覧 (1 / 2)

	MNEMONIC	~	#	動 作	TL	TH	AH	N	Z	V	C	OPCODE
41	SETB dir : b	4	2	(dir) : b 1	-	-	-	-	-	-	-	A8 ~ AF
42	CLRB dir : b	4	2	(dir) : b 0	-	-	-	-	-	-	-	A0 ~ A7
43	XCH A, T	1	1	(AL) (TL)	AL	-	-	-	-	-	-	42
44	XCHW A, T	1	1	(A) (T)	AL	AH	dH	-	-	-	-	43
45	XCHW A, EP	1	1	(A) (EP)	-	-	dH	-	-	-	-	F7
46	XCHW A, IX	1	1	(A) (IX)	-	-	dH	-	-	-	-	F6
47	XCHW A, SP	1	1	(A) (SP)	-	-	dH	-	-	-	-	F5
48	MOVW A, PC	2	1	(A) (PC)	-	-	dH	-	-	-	-	F0

< 注意事項 >

A へのバイト転送動作時の T への自動転送は、TL AL となります。
複数オペランド命令でのオペランドは、MNEMONIC で表示された順に格納されるものとします。

■ 演算系命令

付表 E.4-2 演算系の命令一覧 (1 / 2)

	MNEMONIC	~	#	動 作	TL	TH	AH	N	Z	V	C	OPCODE
1	ADDC A, Ri	2	1	(A) (A) + (Ri) + C	-	-	-	+	+	+	+	28 ~ 2F
2	ADDC A, #d8	2	2	(A) (A) + d8 + C	-	-	-	+	+	+	+	24
3	ADDC A, dir	3	2	(A) (A) + (dir) + C	-	-	-	+	+	+	+	25
4	ADDC A, @IX + off	3	2	(A) (A) + ((IX) + off) + C	-	-	-	+	+	+	+	26
5	ADDC A, @EP	2	1	(A) (A) + ((EP)) + C	-	-	-	+	+	+	+	27
6	ADDCW A	1	1	(A) (A) + (T) + C	-	-	dH	+	+	+	+	23
7	ADDC A	1	1	(AL) (AL) + (TL) + C	-	-	-	+	+	+	+	22
8	SUBC A, Ri	2	1	(A) (A) - (Ri) - C	-	-	-	+	+	+	+	38 ~ 3F
9	SUBC A, #d8	2	2	(A) (A) - d8 - C	-	-	-	+	+	+	+	34
10	SUBC A, dir	3	2	(A) (A) - (dir) - C	-	-	-	+	+	+	+	35
11	SUBC A, @IX + off	3	2	(A) (A) - ((IX) + off) - C	-	-	-	+	+	+	+	36
12	SUBC A, @EP	2	1	(A) (A) - ((EP)) - C	-	-	-	+	+	+	+	37
13	SUBCW A	1	1	(A) (T) - (A) - C	-	-	dH	+	+	+	+	33
14	SUBC A	1	1	(AL) (TL) - (AL) - C	-	-	-	+	+	+	+	32
15	INC Ri	3	1	(Ri) (Ri) + 1	-	-	-	+	+	+	-	C8 ~ CF
16	INCW EP	1	1	(EP) (EP) + 1	-	-	-	-	-	-	-	C3
17	INCW IX	1	1	(IX) (IX) + 1	-	-	-	-	-	-	-	C2
18	INCW A	1	1	(A) (A) + 1	-	-	dH	+	+	-	-	C0
19	DEC Ri	3	1	(Ri) (Ri) - 1	-	-	-	+	+	+	-	D8 ~ DF
20	DECW EP	1	1	(EP) (EP) - 1	-	-	-	-	-	-	-	D3
21	DECW IX	1	1	(IX) (IX) - 1	-	-	-	-	-	-	-	D2
22	DECW A	1	1	(A) (A) - 1	-	-	dH	+	+	-	-	D0
23	MULU A	8	1	(A) (AL) × (TL)	-	-	dH	-	-	-	-	01
24	DIVU A	17	1	(A) (T) / (A), MOD (T)	dL	dH	dH	-	+	-	-	11
25	ANDW A	1	1	(A) (A) (T)	-	-	dH	+	+	R	-	63
26	ORW A	1	1	(A) (A) (T)	-	-	dH	+	+	R	-	73
27	XORW A	1	1	(A) (A) (T)	-	-	dH	+	+	R	-	53
28	CMP A	1	1	(TL) - (AL)	-	-	-	+	+	+	+	12
29	CMPW A	1	1	(T) - (A)	-	-	-	+	+	+	+	13

付表 E.4-2 演算系の命令一覧 (1 / 2)

	MNEMONIC	~	#	動 作	TL	TH	AH	N	Z	V	C	OPCODE
30	RORC A	1	1	$\xrightarrow{C} A \xleftarrow{C}$	-	-	-	+	+	-	+	03
31	ROLC A	1	1	$\xleftarrow{C} A \xrightarrow{C}$	-	-	-	+	+	-	+	02
32	CMP A, #d8	2	2	(A) - d8	-	-	-	+	+	+	+	14
33	CMP A, dir	3	2	(A) - (dir)	-	-	-	+	+	+	+	15
34	CMP A, @EP	2	1	(A) - ((EP))	-	-	-	+	+	+	+	17
35	CMP A, @IX + off	3	2	(A) - ((IX) + off)	-	-	-	+	+	+	+	16
36	CMP A, Ri	2	1	(A) - (Ri)	-	-	-	+	+	+	+	18 ~ 1F
37	DAA	1	1	decimal adjust for addition	-	-	-	+	+	+	+	84
38	DAS	1	1	decimal adjust for subtraction	-	-	-	+	+	+	+	94
39	XOR A	1	1	(A) (AL) (TL)	-	-	-	+	+	R	-	52
40	XOR A, #d8	2	2	(A) (AL) d8	-	-	-	+	+	R	-	54
41	XOR A, dir	3	2	(A) (AL) (dir)	-	-	-	+	+	R	-	55
42	XOR A, @EP	2	1	(A) (AL) ((EP))	-	-	-	+	+	R	-	57
43	XOR A, @IX + off	3	2	(A) (AL) ((IX) + off)	-	-	-	+	+	R	-	56
44	XOR A, Ri	2	1	(A) (AL) (Ri)	-	-	-	+	+	R	-	58 ~ 5F
45	AND A	1	1	(A) (AL) (TL)	-	-	-	+	+	R	-	62
46	AND A, #d8	2	2	(A) (AL) d8	-	-	-	+	+	R	-	64
47	AND A, dir	3	2	(A) (AL) (dir)	-	-	-	+	+	R	-	65
48	AND A, @EP	2	1	(A) (AL) ((EP))	-	-	-	+	+	R	-	67
49	AND A, @IX + off	3	2	(A) (AL) ((IX) + off)	-	-	-	+	+	R	-	66
50	AND A, Ri	2	1	(A) (AL) (Ri)	-	-	-	+	+	R	-	68 ~ 6F
51	OR A	1	1	(A) (AL) (TL)	-	-	-	+	+	R	-	72
52	OR A, #d8	2	2	(A) (AL) d8	-	-	-	+	+	R	-	74
53	OR A, dir	3	2	(A) (AL) (dir)	-	-	-	+	+	R	-	75
54	OR A, @EP	2	1	(A) (AL) ((EP))	-	-	-	+	+	R	-	77
55	OR A, @IX + off	3	2	(A) (AL) ((IX) + off)	-	-	-	+	+	R	-	76
56	OR A, Ri	2	1	(A) (AL) (Ri)	-	-	-	+	+	R	-	78 ~ 7F
57	CMP dir, #d8	4	3	(dir) - d8	-	-	-	+	+	+	+	95
58	CMP @EP, #d8	3	2	((EP)) - d8	-	-	-	+	+	+	+	97
59	CMP @IX + off, #d8	4	3	((IX) + off) - d8	-	-	-	+	+	+	+	96
60	CMP Ri, #d8	3	2	(Ri) - d8	-	-	-	+	+	+	+	98 ~ 9F
61	INCW SP	1	1	(SP) (SP) + 1	-	-	-	-	-	-	-	C1
62	DECW SP	1	1	(SP) (SP) - 1	-	-	-	-	-	-	-	D1

■ 分岐系命令

付表 E.4-3 分岐系の命令一覧

	MNEMONIC	～	#	動 作	TL	TH	AH	N	Z	V	C	OPCODE
1	BZ/BEQ	rel(分岐時)	4 2	if Z = 1 then PC PC + rel	-	-	-	-	-	-	-	FD
	BZ/BEQ	rel(非分岐時)	2									
2	BNZ/BNE	rel(分岐時)	4 2	if Z = 0 then PC PC + rel	-	-	-	-	-	-	-	FC
	BNZ/BNE	rel(非分岐時)	2									
3	BC/BLO	rel(分岐時)	4 2	if C = 1 then PC PC + rel	-	-	-	-	-	-	-	F9
	BC/BLO	rel(非分岐時)	2									
4	BNC/BHS	rel(分岐時)	4 2	if C = 0 then PC PC + rel	-	-	-	-	-	-	-	F8
	BNC/BHS	rel(非分岐時)	2									
5	BN	rel(分岐時)	4 2	if N = 1 then PC PC + rel	-	-	-	-	-	-	-	FB
	BN	rel(非分岐時)	2									
6	BP	rel(分岐時)	4 2	if N = 0 then PC PC + rel	-	-	-	-	-	-	-	FA
	BP	rel(非分岐時)	2									
7	BLT	rel(分岐時)	4 2	if V N = 1 then PC PC + rel	-	-	-	-	-	-	-	FF
	BLT	rel(非分岐時)	2									
8	BGE	rel(分岐時)	4 2	if V N = 0 then PC PC + rel	-	-	-	-	-	-	-	FE
	BGE	rel(非分岐時)	2									
9	BBC	dir : b, rel	5 3	if (dir : b) = 0 then PC PC + rel	-	-	-	-	+	-	-	B0 ~ B7
10	BBS	dir : b, rel	5 3	if (dir : b) = 1 then PC PC + rel	-	-	-	-	+	-	-	B8 ~ BF
11	JMP	@A	3 1	(PC) (A)	-	-	-	-	-	-	-	E0
12	JMP	ext	4 3	(PC) ext	-	-	-	-	-	-	-	21
13	CALLV	#vct	7 1	vector call	-	-	-	-	-	-	-	E8 ~ EF
14	CALL	ext	6 3	subroutine call	-	-	-	-	-	-	-	31
15	XCHW	A, PC	3 1	(PC) (A), (A) (PC) + 1	-	-	dH	-	-	-	-	F4
16	RET		6 1	return from subroutine	-	-	-	-	-	-	-	20
17	RETI		8 1	return from interrupt	-	-	-			restore		30

■ その他の命令

付表 E.4-4 その他の命令一覧

	MNEMONIC	～	#	動 作	TL	TH	AH	N	Z	V	C	OPCODE
1	PUSHW	A	4 1	((SP)) (A), (SP) (SP) - 2	-	-	-	-	-	-	-	40
2	POPW	A	3 1	(A) ((SP)), (SP) (SP) + 2	-	-	dH	-	-	-	-	50
3	PUSHW	IX	4 1	((SP)) (IX), (SP) (SP) - 2	-	-	-	-	-	-	-	41
4	POPW	IX	3 1	(IX) ((SP)), (SP) (SP) + 2	-	-	-	-	-	-	-	51
5	NOP		1 1	No operation	-	-	-	-	-	-	-	00
6	CLRC		1 1	(C) 0	-	-	-	-	-	-	R	81
7	SETC		1 1	(C) 1	-	-	-	-	-	-	S	91
8	CLRI		1 1	(I) 0	-	-	-	-	-	-	-	80
9	SETI		1 1	(I) 1	-	-	-	-	-	-	-	90

E.5 命令マップ

付表 E.5-1 に、F²MC-8FX の命令マップを示します。

■ 命令マップ

付表 E.5-1 F²MC-8FX の命令マップ

H L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SWAP	RET	RETI	PUSHW A	POPW A	MOV A, ext	MOVW A, PS	CLRI	SETI	CLRB dir: 0	BBC dir: 0, rel	INCW A	DECW A	JMP @A	MOVW A, PC
1	MULU A	DIVU A	JMP addr16	CALL addr16	PUSHW IX	POPW IX	MOV ext, A	MOVW PS, A	CLRC	SETC	CLRB dir: 1	BBC dir: 1, rel	INCW SP	DECW SP	MOVW SP, A	MOVW A, SP
2	ROLC A	CMP A	ADDC A	SUBC A	XCH A, T	XOR A	AND A	OR A	MOV @A, T	MOV A, @A	CLRB dir: 2	BBC dir: 2, rel	INCW IX	DECW IX	MOVW IX, A	MOVW A, IX
3	RORC A	CMPW A	ADDCW A	SUBCW A	XCHW A, T	XORW A	ANDW A	ORW A	MOVW @A, T	MOVW A, @A	CLRB dir: 3	BBC dir: 3, rel	INCW EP	DECW EP	MOVW EP, A	MOVW A, EP
4	MOV A, #d8	CMP A, #d8	ADDC A, #d8	SUBC A, #d8	/	XOR A, #d8	AND A, #d8	OR A, #d8	DAA	DAS	CLRB dir: 4	BBC dir: 4, rel	MOVW A, ext	MOVW ext, A	MOVW A, #d16	MOVW A, PC
5	MOV A, dir	CMP A, dir	ADDC A, dir	SUBC A, dir		XOR A, dir	AND A, dir	OR A, dir	MOV dir, #d8	CMP dir, #d8	CLRB dir: 5	BBC dir: 5, rel	MOVW A, dir	MOVW dir, A	MOVW SP, #d16	MOVW A, SP
6	MOV A, @IX+d	CMP A, @IX+d	ADDC A, @IX+d	SUBC A, @IX+d	MOV @IX+d, A	XOR A, @IX+d	AND A, @IX+d	OR A, @IX+d	MOV @IX+d, #d8	CMP @IX+d, #d8	CLRB dir: 6	BBC dir: 6, rel	MOVW A, @IX+d	MOVW @IX+d, A	MOVW IX, #d16	MOVW A, IX
7	MOV A, @EP	CMP A, @EP	ADDC A, @EP	SUBC A, @EP	MOV @EP, A	XOR A, @EP	AND A, @EP	OR A, @EP	MOV @EP, #d8	CMP @EP, #d8	CLRB dir: 7	BBC dir: 7, rel	MOVW A, @EP	MOVW @EP, A	MOVW EP, #d16	MOVW A, EP
8	MOV A, R0	CMP A, R0	ADDC A, R0	SUBC A, R0	MOV R0, A	XOR A, R0	AND A, R0	OR A, R0	MOV R0, #d8	CMP R0, #d8	SETB dir: 0	BBS dir: 0, rel	INC R0	DEC R0	CALLV #0	BNC rel
9	MOV A, R1	CMP A, R1	ADDC A, R1	SUBC A, R1	MOV R1, A	XOR A, R1	AND A, R1	OR A, R1	MOV R1, #d8	CMP R1, #d8	SETB dir: 1	BBS dir: 1, rel	INC R1	DEC R1	CALLV #1	BC rel
A	MOV A, R2	CMP A, R2	ADDC A, R2	SUBC A, R2	MOV R2, A	XOR A, R2	AND A, R2	OR A, R2	MOV R2, #d8	CMP R2, #d8	SETB dir: 2	BBS dir: 2, rel	INC R2	DEC R2	CALLV #2	BP rel
B	MOV A, R3	CMP A, R3	ADDC A, R3	SUBC A, R3	MOV R3, A	XOR A, R3	AND A, R3	OR A, R3	MOV R3, #d8	CMP R3, #d8	SETB dir: 3	BBS dir: 3, rel	INC R3	DEC R3	CALLV #3	BN rel
C	MOV A, R4	CMP A, R4	ADDC A, R4	SUBC A, R4	MOV R4, A	XOR A, R4	AND A, R4	OR A, R4	MOV R4, #d8	CMP R4, #d8	SETB dir: 4	BBS dir: 4, rel	INC R4	DEC R4	CALLV #4	BNZ rel
D	MOV A, R5	CMP A, R5	ADDC A, R5	SUBC A, R5	MOV R5, A	XOR A, R5	AND A, R5	OR A, R5	MOV R5, #d8	CMP R5, #d8	SETB dir: 5	BBS dir: 5, rel	INC R5	DEC R5	CALLV #5	BZ rel
E	MOV A, R6	CMP A, R6	ADDC A, R6	SUBC A, R6	MOV R6, A	XOR A, R6	AND A, R6	OR A, R6	MOV R6, #d8	CMP R6, #d8	SETB dir: 6	BBS dir: 6, rel	INC R6	DEC R6	CALLV #6	BGE rel
F	MOV A, R7	CMP A, R7	ADDC A, R7	SUBC A, R7	MOV R7, A	XOR A, R7	AND A, R7	OR A, R7	MOV R7, #d8	CMP R7, #d8	SETB dir: 7	BBS dir: 7, rel	INC R7	DEC R7	CALLV #7	BLT rel

付録 F マスクオプション

MB95330H シリーズのマスクオプションの一覧を表 F-1 に示します。

■ マスクオプション一覧

表 F-1 マスクオプション一覧

No.	品名	MB95F332H MB95F333H MB95F334H	MB95F332K MB95F333K MB95F334K
	選択可能 / 固定	固定	
1	低電圧検出リセット • 低電圧検出リセットあり • 低電圧検出リセットなし	低電圧検出リセットなし	低電圧検出リセットあり
2	リセット • 専用リセット入力あり • 専用リセット入力なし	専用リセット入力あり	専用リセット入力なし

索引

Numerics

11 制御ステータスレジスタ

8/16 ビット複合タイマ 10/11 制御ステータス レジスタ 1 (T10CR1/T11CR1)	217
---	-----

16 ビット PPG

16 ビット PPG 状態制御レジスタ上位 (PCNTH1)	450
16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH1, PCSRL1)	448
16 ビット PPG 状態制御レジスタ, 下位 (PCNTL1)	452
16 ビット PPG デューティ設定バッファレジスタ 上位, 下位 (PDUTH1, PDUTL1)	449
16 ビット PPG モードの設定	431
16 ビット PPG モードの動作	432

16 ビット PPG タイマ

16 ビット PPG タイマに関連する端子の ブロックダイアグラム	445
16 ビット PPG タイマのチャンネル	443
16 ビット PPG タイマのブロックダイアグラム	441
16 ビット PPG タイマのレジスタ	446
16 ビット PPG タイマの割込みに関連する レジスタとベクタテーブルのアドレス	454
16 ビット PPG タイマ割込み	454
16 ビット PPG タイマ	440
16 ビット PPG タイマの端子	444
16 ビット PPG ダウンカウンタレジスタ上位, 下位 (PDCRH1, PDCRL1)	447

16 ビットタイマ

16 ビットタイマ使用上の注意	580
16 ビットタイマのタイミング	576
16 ビットタイマの動作	574
16 ビットタイマのブロックダイアグラム	503
16 ビットタイマバッファ動作のタイミングダイ ヤグラム	577
マルチパルスジェネレータの 16 ビットタイマの 使用	578
マルチパルスジェネレータの 16 ビットタイマの 動作ダイアグラム	578

16 ビットリロードタイマ

16 ビットリロードタイマ タイマレジスタ上位 (TMRH1)/ 下位 (TMRL1)	478
16 ビットリロードタイマ使用上の注意	489
16 ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1)	476
16 ビットリロードタイマ状態制御レジスタ上位 (TMCSRH1)	474
16 ビットリロードタイマに関連する端子のブ ロックダイアグラム	472
16 ビットリロードタイマの端子	471
16 ビットリロードタイマのチャンネル	470
16 ビットリロードタイマの動作モード	466
16 ビットリロードタイマのブロックダイアグラ ム	468
16 ビットリロードタイマのレジスタ	473

16 ビットリロードタイマの割込み	480
16 ビットリロードタイマの割込みのレジスタと ベクタテーブルのアドレス	480
16 ビットリロードタイマリロードレジスタ上位 (TMRLRH1)/ 下位 (TMRLRL1)	479
16 ビットリロードタイマ状態制御レジスタ 16 ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1)	476
16 ビットリロードタイマ状態制御レジスタ上位 (TMCSRH1)	474
16 ビットデータ 16 ビットデータのメモリ上の配置	46
8 ビット PPG モード 8 ビットプリスケラ + 8 ビット PPG モードの動作	428
8 ビットプリスケラ 8 ビットプリスケラ + 8 ビット PPG モードの動作	428
8/10 ビット A/D コンバータ 8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)	368
8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)	370
8/10 ビット A/D コンバータ使用上の注意	377
8/10 ビット A/D コンバータ動作中の割込み	373
8/10 ビット A/D コンバータの端子	363
8/10 ビット A/D コンバータの端子ブロックダイ ヤグラム	364
8/10 ビット A/D コンバータのブロックダイヤ グラム	361
8/10 ビット A/D コンバータのレジスタ	367
8/10 ビット A/D コンバータの割込みに関連する レジスタとベクタテーブルのアドレス	373
8/10 ビット A/D コンバータ変換機能の動作	374
8/10 ビット A/D コンバータデータレジスタ 8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDH, ADDL)	372
8/16 ビット PPG 8/16 ビット PPG 起動レジスタ (PPGS)	422
8/16 ビット PPG 出力反転レジスタ (REVC)	423
8/16 ビット PPG タイマ 00 制御レジスタ ch. 0 (PC00)	418
8/16 ビット PPG タイマ 00/01 周期設定バッファ レジスタ (PPS01), (PPS00)	420
8/16 ビット PPG タイマ 00/01 デューティ設定 バッファレジスタ (PDS01), (PDS00)	421
8/16 ビット PPG タイマ 01 制御レジスタ ch. 0 (PC01)	416
8/16 ビット PPG に関連する 端子のブロックダイアグラム	413
8/16 ビット PPG の概要	408
8/16 ビット PPG の端子	412
8/16 ビット PPG のチャンネル	411
8/16 ビット PPG のブロックダイアグラム	409

8/16 ビット PPG のレジスタ	415
8/16 ビット PPG の割込み	424
8/16 ビット PPG の割込みに関連する レジスタとベクタテーブルのアドレス	424
8/16 ビット複合タイマ	
8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 0 (T00CR0/T01CR0)	208
8/16 ビット複合タイマ 00/01 タイマモード制御 レジスタ ch.0 (TMCRO)	220
8/16 ビット複合タイマ 0 のレジスタ	206
8/16 ビット複合タイマ 1 のレジスタ	207
8/16 ビット複合タイマの端子	201
8/16 ビット複合タイマに関連する端子の ブロックダイアグラム	203
8/16 ビット複合タイマの使用上の注意	260
8/16 ビット複合タイマのチャンネル	200
8/16 ビット複合タイマのブロック ダイアグラム	197
8/16 ビット複合タイマの割込みに関連する レジスタとベクタテーブルのアドレス	234
8/16 ビット複合タイマ 00/01 制御ステータス レジスタ 1 (T00CR1/T01CR1)	214
LIN Synch Field エッジ検出割込み (8/16 ビット複合タイマ割込み)	315
8/16 ビット複合タイマ 00/01 データレジスタ 8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR)	226
8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 8/16 ビット複合タイマ 10/11 制御ステータス レジスタ 0 (T10CR0/T11CR0)	211
8/16 ビット複合タイマ 10/11 制御ステータス レジスタ 1 (T10CR1/T11CR1)	217
8/16 ビット複合タイマ 10/11 タイマモード制御 レジスタ 8/16 ビット複合タイマ 10/11 タイマモード制御レ ジスタ ch.1 (TMCRI)	223
8/16 ビット複合タイマ 10/11 データレジスタ 8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR)	229
8 ビット PPG モード	
8 ビットプリスケラ + 8 ビット PPG モードの 設定	428
8 ビット PPG 独立モード	
8 ビット PPG 独立モードの動作	426
8 ビット PPG 独立モードの設定	426

A

A/D コンバータ

8/10 ビット A/D コンバータ使用上の注意	377
8/10 ビット A/D コンバータ動作中の割込み	373
8/10 ビット A/D コンバータの端子	363
8/10 ビット A/D コンバータの端子ブロック ダイアグラム	364
8/10 ビット A/D コンバータのブロックダイア グラム	361
8/10 ビット A/D コンバータのレジスタ	367
8/10 ビット A/D コンバータの割込みに関連する レジスタとベクタテーブルのアドレス	373
8/10 ビット A/D コンバータ変換機能の動作	374

A/D 変換

A/D 変換機能	360
A/D 変換機能の動作	375

ADC

8/10 ビット A/D コンバータ制御レジスタ 1 (ADC1)	368
8/10 ビット A/D コンバータ制御レジスタ 2 (ADC2)	370

ADDDH, ADDL

8/10 ビット A/D コンバータデータレジスタ上位 / 下位 (ADDDH, ADDL)	372
---	-----

B

BGR

LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	312
---	-----

BRSR

UART/SIO 専用ボーレートジェネレータボーレ ート設定レジスタ (BRSR0)	628
---	-----

C

CCR

コンディショニングコードレジスタ (CCR) の 構成	42
--------------------------------------	----

CMCR

クロック監視制御レジスタ (CMCR)	396
---------------------------	-----

CMDR

クロック監視データレジスタ (CMDR)	394
----------------------------	-----

CPCLR

コンペアクリアレジスタ (CPCUR, CPCLR)	531
-------------------------------------	-----

CPCUR

コンペアクリアレジスタ (CPCUR, CPCLR)	531
-------------------------------------	-----

CPU

CPU 間接続方式	330
スタンバイモードは CPU が割込みを受け付け ない場合も解除されます。	72

CPU 間接続方式

CPU 間接続方式	330
-----------------	-----

CRTH

メイン CR クロックトリミングレジスタ (上位) (CRTH)	731
---	-----

CRTL	
メイン CR クロックトリミングレジスタ (下位)(CRTL)	733
CR クロック	
CR クロックの発振安定待ち時間	56
CR 周波数	
メイン CR 周波数の変更に関する 注意事項	738

D

DIP-32P-M06	
DIP-32P-M06 の外形寸法図	13
DP	
ダイレクトバンクポインタ (DP) の構成	40
DQ3	
セクタ消去タイマフラグ (DQ3)	706
DQ5	
タイミングリミット超過フラグ (DQ5)	705
DQ6	
トグルビットフラグ (DQ6)	704
トグルビットフラグ (DQ6) に関する 制限事項	719
DQ7	
データポーリングフラグ (DQ7)	702
DTTI	
DTTI 回路のタイミングダイヤグラム (D1,D0=00 _B)	571
DTTI 回路のブロックダイヤグラム	570
DTTI と OPTx 出力の関係	572
DTTI 入力制御の動作	570

E

ECCR	
LIN-UART 拡張通信制御レジスタ (ECCR)	310
EIC	
外部割込み制御レジスタ (EIC00)	270
ESCR	
LIN-UART 拡張制御ステータスレジスタ (ESCR)	308

F

F ² MC-8FX	
F ² MC-8FX の命令の概要	758
FPT-32P-M30	
FPT-32P-M30 の外形寸法図	12
FSR	
FSR:WRE 上の注意事項	697
セクタスワップ許可ビット (FSR:SEN) の 設定手順	716
フラッシュメモリステータスレジスタ (FSR)	685
フラッシュメモリステータスレジスタ 2 (FSR2)	682
フラッシュメモリステータスレジスタ 3 (FSR3)	691

I

I/O マップ	
I/O マップ	746
I/O ポート	
I/O ポートの概要	108
I ² C	
I ² C アドレスレジスタ (IAAR0)	652
I ² C クロック制御レジスタ (ICCR0)	653
I ² C 使用上の注意	670
I ² C データレジスタ (IDDR0)	651
I ² C の機能	632
I ² C のシステム	659
I ² C のチャンネル	637
I ² C の動作	658
I ² C のバスインタフェースの端子	638
I ² C のブロックダイヤグラム	634
I ² C のプロトコル	659
I ² C のレジスタ	640
I ² C の割込みのレジスタと ベクタテーブルのアドレス	657
I ² C バスインタフェースに関連する端子の ブロックダイヤグラム	639
I ² C バスステータスレジスタ (IBSR0)	648
I ² C バス制御レジスタ 0 (IBCR00)	641
I ² C バス制御レジスタ 1 (IBCR10)	645
IAAR	
I ² C アドレスレジスタ (IAAR0)	652
IBCR	
I ² C バス制御レジスタ 0 (IBCR00)	641
I ² C バス制御レジスタ 1 (IBCR10)	645
IBSR	
I ² C バスステータスレジスタ (IBSR0)	648
ICCR	
I ² C クロック制御レジスタ (ICCR0)	653
IDDR	
I ² C データレジスタ (IDDR0)	651
ILR	
割込みレベル設定レジスタ (ILR0 ~ ILR5) の 構成	98
IPCLR	
入力制御レジスタ下位 (IPCLR)	529
IPCUR	
入力制御レジスタ上位 (IPCUR)	527

L

LCC-32P-M19	
LCC-32P-M19 の外形寸法図	14
LIN Synch Field	
LIN Synch Field エッジ検出割込み (8/16 ビット複合タイマ割込み)	315
LIN-UART	
LIN-UART 使用上の注意	352
LIN-UART 端子直接アクセス	343
LIN-UART に関連する端子の ブロックダイヤグラム	297
LIN-UART の機能	290
LIN-UART の端子	297
LIN-UART の動作	329
LIN-UART のブロックダイヤグラム	293
LIN-UART のレジスタ	299

LIN-UART の割込みに関連するレジスタと ベクタテーブルのアドレス	316
LIN-UART ボーレート選択	321
LIN-UART 拡張制御ステータスレジスタ LIN-UART 拡張制御ステータスレジスタ (ESCR)	308
LIN-UART 拡張通信制御レジスタ LIN-UART 拡張通信制御レジスタ (ECCR)	310
LIN-UART 受信データレジスタ LIN-UART 受信データレジスタ (RDR)	306
LIN-UART シリアルステータスレジスタ LIN-UART シリアルステータスレジスタ (SSR)	304
LIN-UART シリアル制御レジスタ LIN-UART シリアル制御レジスタ (SCR)	300
LIN-UART シリアルモードレジスタ LIN-UART シリアルモードレジスタ (SMR)	302
LIN-UART 送信データレジスタ LIN-UART 送信データレジスタ (TDR)	307
LIN-UART ボーレートジェネレータレジスタ LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	312
LIN スレーブデバイス LIN スレーブデバイス	351
LIN マスタ / スレーブ型通信 LIN マスタ / スレーブ型通信機能	349
LIN マスタデバイス LIN マスタデバイス	350

M

MB95330H シリーズ MB95330H シリーズの特長	2
MB95330H シリーズの品種構成	5
MB95330H シリーズのブロックダイアグラム	8
MCU MCU スタンバイモードに対するウェイクアップ 機能	668
MCU の PGM モードへの遷移	724
MDSE PWM モード (PCNTH レジスタの MDSE: bit5=0)	455
ワンショットモード (PCNTH1 レジスタの MDSE: bit5=1)	457

N

NCCR ノイズキャンセル制御レジスタ (NCCR)	536
NOP 命令 スタンバイモード設定を行う命令の直後に NOP 命令を 3 命令以上入れてください。	72
NVR インタフェース NVR インタフェースの機能	728
NVR インタフェースのブロック ダイアグラム	729
NVR インタフェースのレジスタ	730

O

OPCLR 出力制御レジスタ下位 (OPCLR)	516
OPCUR 出力制御レジスタ上位 (OPCUR)	514
OPDBLR 出力データバッファレジスタ下位 (OPDBLR)	525
OPDBR 「OPDBRH0/OPDBRL0 書込み」方式で生成される タイミング (OPS2 ~ OPS0=000 _B)	555
OPDBRH OPDBRH0/OPDBRL0 の信号フローダイアグラム (OPS2 ~ OPS0 = 000 _B)	546
出力データバッファレジスタ上位 (OPDBRH)	523
OPDBRL OPDBRH0/OPDBRL0 の信号フローダイアグラム (OPS2 ~ OPS0 = 000 _B)	546
OPDLR 出力データレジスタ (OPDLR, OPDLR)	542
出力データレジスタ (OPDLR, OPDLR) 書込み タイミングダイアグラム (OPS2 ~ OPS0=001 _B , 010 _B , 011 _B , 100 _B , 101 _B , 110 _B , 111 _B)	550
出力データレジスタ (OPDLR, OPDLR) 書込みタ イミングダイアグラム (OPS2 ~ OPS0=000 _B)	547
OPDR 出力データレジスタ下位 (OPDLR)	521
出力データレジスタ上位 (OPDLR)	519
OPDUR 出力データレジスタ (OPDUR, OPDLR)	542
出力データレジスタ (OPDUR, OPDLR) 書込み タイミングダイアグラム (OPS2 ~ OPS0=001 _B , 010 _B , 011 _B , 100 _B , 101 _B , 110 _B , 111 _B)	550
出力データレジスタ (OPDUR, OPDLR) 書込みタ イミングダイアグラム (OPS2 ~ OPS0=000 _B)	547
OPS OPDBRH0/OPDBRL0 の信号フローダイアグラム (OPS2 ~ OPS0 = 000 _B)	546
位置検出の信号フローダイアグラム (OPS2 ~ OPS0=010 _B または 110 _B)	548
出力データレジスタ (OPDUR, OPDLR) 書込みタ イミングダイアグラム (OPS2 ~ OPS0=000 _B)	547
出力データレジスタ (OPDUR, OPDLR) 書込み タイミングダイアグラム (OPS2 ~ OPS0=001 _B , 010 _B , 011 _B , 100 _B , 101 _B , 110 _B , 111 _B)	550
リロードタイマアンダフローの信号フローダイ アグラム (OPS2 ~ OPS0 = 001 _B)	548
リロードタイマおよび位置検出の信号フローダイ アグラム (OPS2 ~ OPS0 = 011 _B または 111 _B)	549
リロードタイマまたは位置検出の信号フローダイ アグラム (OPS2 ~ OPS0 = 100 _B または 101 _B)	549

「OPDBRH0/OPDBRL0 書込み」方式で生成される タイミング (OPS2 ~ OPS0=000 _B)	555
「位置検出とリロードタイマアンダフロー」方式 で生成されるタイミング (OPS2 ~ OPS0=011 _B)	562
「位置検出またはリロードタイマアンダフロー」 方式で生成されるタイミング (OPS2 ~ OPS0=100 _B)	564
「位置検出」方式で生成されるタイミング (OPS2 ~ OPS0 = 010 _B)	559
「リロードタイマアンダフロー」方式で生成され るタイミング (OPS2 ~ OPS0 = 001 _B)	557
「ワンショット位置検出とリロードタイマアンダ フロー」方式で生成される タイミング (OPS2 ~ OPS0 = 111 _B)	566
「ワンショット位置検出またはリロードタイマア ンダフロー」方式で生成される タイミング (OPS2 ~ OPS0 = 101 _B)	568
「ワンショット位置検出」方式で生成される タイミング (OPS2 ~ OPS0=110 _B)	565
OPTx	
DTTI と OPTx 出力の関係	572
OPTx 出力波形タイミングダイアグラム (WTS1, WTS0=00 _B)	542
P	
PC	
8/16 ビット PPG タイマ 00 制御レジスタ ch. 0 (PC00)	418
8/16 ビット PPG タイマ 01 制御レジスタ ch. 0 (PC01)	416
PCNTH	
16 ビット PPG 状態制御レジスタ上位 (PCNTH1)	450
PWM モード (PCNTH レジスタの MDSE: bit5=0)	455
ワンショットモード (PCNTH1 レジスタの MDSE: bit5=1)	457
PCNTL	
16 ビット PPG 状態制御レジスタ, 下位 (PCNTL1)	452
PCSRH	
16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH1, PCSRL1)	448
PCSRL	
16 ビット PPG 周期設定バッファレジスタ上位, 下位 (PCSRH1, PCSRL1)	448
PDCRH	
16 ビット PPG ダウンカウンタレジスタ上位, 下 位 (PDCRH1, PDCRL1)	447
PDCRL	
16 ビット PPG ダウンカウンタレジスタ上位, 下 位 (PDCRH1, PDCRL1)	447
PDS	
8/16 ビット PPG タイマ 00/01 デューティ設定バッ ファレジスタ (PDS01), (PDS00)	421
PDUTH	
16 ビット PPG デューティ設定バッファレジスタ 上位, 下位 (PDUTH1, PDUTL1)	449

PDUTL	
16 ビット PPG デューティ設定バッファレジスタ 上位, 下位 (PDUTH1, PDUTL1)	449
PGM モード	
MCU の PGM モードへの遷移	724
PPG	
8/16 ビット PPG に関連する 端子のブロックダイアグラム	413
8/16 ビット PPG の概要	408
8/16 ビット PPG の端子	412
8/16 ビット PPG のチャネル	411
8/16 ビット PPG のブロックダイアグラム	409
8/16 ビット PPG の割込み	424
PPGS	
8/16 ビット PPG 起動レジスタ (PPGS)	422
PPG タイマ	
16 ビット PPG タイマ	440
PPS	
8/16 ビット PPG タイマ 00/01 周期設定バッファレ ジスタ (PPS01), (PPS00)	420
PSSR	
UART/SIO 専用ボーレートジェネレータプリス ケール選択レジスタ (PSSR0)	627
PWC 機能	
インターバルタイマ機能, インพุット キャプチャ機能または PWC 機能が選択 された場合	258
PWC タイマ	
PWC タイマ機能	195
PWC タイマ機能の動作 (タイマ 0)	250
PWC タイマ機能の動作 (タイマ 1)	252
PWM モード	
PWM モード (PCNTH レジスタの MDSE: bit5=0)	455
PWM タイマ	
PWM タイマ機能 (周期可変モード)	194
PWM タイマ機能 (周期可変モード) の動作 (タイマ 0)	247
PWM タイマ機能 (周期可変モード) の動作 (タイマ 1)	248
PWM タイマ機能 (周期固定モード)	194
PWM タイマ機能 (周期固定モード) の動作 (タイマ 0)	244
PWM タイマ機能 (周期固定モード) の動作 (タイマ 1)	245
R	
RAM	
RAM 内容のリセットによる影響	88
RDR	
LIN-UART 受信データレジスタ (RDR)	306
UART/SIO シリアル入力データレジスタ (RDR0)	600
REVC	
8/16 ビット PPG 出力反転レジスタ (REVC)	423
RP	
レジスタバンクポインタ (RP) の構成	39
RSRR	
リセット要因レジスタ (RSRR) の構成	90
リセット要因レジスタ (RSRR) の状態	92

S

SCR

LIN-UART シリアル制御レジスタ (SCR)300

SIO

UART/SIO シリアル出力データレジスタ
(TDR0)601

UART/SIO シリアルステータスアンドデータ
レジスタ (SSR0)598

UART/SIO シリアル入力データレジスタ
(RDR0)600

UART/SIO シリアルモード制御レジスタ 1
(SMC10)594

UART/SIO シリアルモード制御レジスタ 2
(SMC20)596

UART/SIO 専用ボーレートジェネレータの
チャンネル625

UART/SIO 専用ボーレートジェネレータの
ブロックダイアグラム624

UART/SIO 専用ボーレートジェネレータの
レジスタ626

UART/SIO 専用ボーレートジェネレータプリス
ケーラ選択レジスタ (PSSR0)627

UART/SIO 専用ボーレートジェネレータボーレ
ート設定レジスタ (BRSR0)628

UART/SIO に関連する端子の
ブロックダイアグラム591

UART/SIO の機能586

UART/SIO の端子590

UART/SIO のチャンネル589

UART/SIO の動作604

UART/SIO の動作モード 0 の動作説明605

UART/SIO の動作モード 1 の動作説明612

UART/SIO のブロックダイアグラム587

UART/SIO のレジスタ593

UART/SIO の割込み603

UART/SIO の割込みに関連するレジスタと
ベクタテーブルのアドレス603

SMC

UART/SIO シリアルモード制御レジスタ 1
(SMC10)594

UART/SIO シリアルモード制御レジスタ 2
(SMC20)596

SMR

LIN-UART シリアルモードレジスタ
(SMR)302

SNiX/RDAx コンペアタイミングダイアグラム

両エッジ検出と SNIx/RDAx コンペアタイミング
ダイアグラム (CMPE=1)544

SSEN

セクタスワップ許可ビット (FSR:SSEN) の
設定手順716

SSR

LIN-UART シリアルステータスレジスタ
(SSR)304

UART/SIO シリアルステータスアンドデータ
レジスタ (SSR0)598

STBC

スタンバイ制御レジスタ (STBC)62

SWRE

SWRE0 レジスタ設定上の注意690

フラッシュメモリセクタ書込み制御レジスタ 0
(SWRE0)688

フラッシュメモリセクタ書込み制御レジスタ 0
(SWRE0) 設定フロー696

SYCC

システムクロック制御レジスタ (SYCC) の
構成57

システムクロック制御レジスタ 2 (SYCC2) の
構成65

Synch Field

LIN Synch Field エッジ検出割込み
(8/16 ビット複合タイマ割込み)315

SYSC

SYSC の機能740

T

T00CR

8/16 ビット複合タイマ 00/01 制御ステータス
レジスタ 0 (T00CR0/T01CR0)208

8/16 ビット複合タイマ 00/01 制御ステータス
レジスタ 1 (T00CR1/T01CR1)214

T00DR

8/16 ビット複合タイマ 00/01 データレジスタ ch.0
(T00DR/T01DR)226

T01CR

8/16 ビット複合タイマ 00/01 制御ステータス
レジスタ 0 (T00CR0/T01CR0)208

8/16 ビット複合タイマ 00/01 制御ステータス
レジスタ 1 (T00CR1/T01CR1)214

T01DR

8/16 ビット複合タイマ 00/01 データレジスタ ch.0
(T00DR/T01DR)226

T10CR

8/16 ビット複合タイマ 10/11 制御ステータス
レジスタ 0 (T10CR0/T11CR0)211

T10CR1

8/16 ビット複合タイマ 10/11 制御ステータス
レジスタ 1 (T10CR1/T11CR1)217

T10DR

8/16 ビット複合タイマ 10/11 データレジスタ ch.1
(T10DR/T11DR)229

T11CR

8/16 ビット複合タイマ 10/11 制御ステータス
レジスタ 0 (T10CR0/T11CR0)211

T11CR1

8/16 ビット複合タイマ 10/11 制御ステータス
レジスタ 1 (T10CR1/T11CR1)217

T11DR

8/16 ビット複合タイマ 10/11 データレジスタ ch.1
(T10DR/T11DR)229

TBTC

タイムベースタイマ制御レジスタ
(TBTC)148

TCSR

タイマ制御状態レジスタ (TCSR)534

TDR

LIN-UART 送信データレジスタ (TDR)307

UART/SIO シリアル出力データレジスタ
(TDR0)601

TMBLR	
タイマバッファレジスタ (TMBUR, TMBLR)	533
TMBUR	
タイマバッファレジスタ (TMBUR, TMBLR)	533
TMCR	
8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0 (TMCR0)	220
8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1 (TMCR1)	223
TMCSRH1	
16 ビットリロードタイマ状態制御レジスタ上位 (TMCSRH1)	474
TMCSRL1	
16 ビットリロードタイマ状態制御レジスタ下位 (TMCSRL1)	476
TMRH	
16 ビットリロードタイマ タイマレジスタ上位 (TMRH1)/ 下位 (TMRL1)	478
TMRL	
16 ビットリロードタイマ タイマレジスタ上位 (TMRH1)/ 下位 (TMRL1)	478
TMRLRH	
16 ビットリロードタイマリロードレジスタ上位 (TMRLRH1)/ 下位 (TMRLRL1)	479
TMRLRL	
16 ビットリロードタイマリロードレジスタ上位 (TMRLRH1)/ 下位 (TMRLRL1)	479
U	
UART	
UART/SIO シリアル出力データレジスタ (TDR0)	601
UART/SIO シリアルステータスアンドデータレジスタ (SSR0)	598
UART/SIO シリアル入力データレジスタ (RDR0)	600
UART/SIO シリアルモード制御レジスタ 1 (SMC10)	594
UART/SIO シリアルモード制御レジスタ 2 (SMC20)	596
UART/SIO 専用ポーレートジェネレータのチャンネル	625
UART/SIO 専用ポーレートジェネレータのブロックダイアグラム	624
UART/SIO 専用ポーレートジェネレータのレジスタ	626
UART/SIO 専用ポーレートジェネレータプリスケラ選択レジスタ (PSSR0)	627
UART/SIO 専用ポーレートジェネレータポーレート設定レジスタ (BRSR0)	628
UART/SIO に関連する端子のブロックダイアグラム	591
UART/SIO の機能	586
UART/SIO の端子	590
UART/SIO のチャンネル	589
UART/SIO の動作	604
UART/SIO の動作モード 0 の動作説明	605
UART/SIO の動作モード 1 の動作説明	612
UART/SIO のブロックダイアグラム	587

UART/SIO のレジスタ	593
UART/SIO の割込み	603
UART/SIO の割込みに関連するレジスタとベクタテーブルのアドレス	603
UART/SIO	
UART/SIO 専用ポーレートジェネレータのブロックダイアグラム	624
UART/SIO の機能	586
UART/SIO のチャンネル	589
UART/SIO の動作	604
UART/SIO のブロックダイアグラム	587

W

WATR	
WATR レジスタの設定上の注意事項	61
発振安定待ち時間設定レジスタ (WATR) の構成	59
WDTC	
ウォッチドッグタイマ制御レジスタ (WDTC)	163
WDTH	
ウォッチドッグタイマ選択 ID レジスタ (WDTH, WDTL)	734
WDTL	
ウォッチドッグタイマ選択 ID レジスタ (WDTH, WDTL)	734
WICR	
割込み端子選択回路制御レジスタ (WICR)	284
WPCR	
時計プリスケラ制御レジスタ (WPCR)	174
WRAR	
ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)	188
WRDR	
ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)	187
WRE	
FSR:WRE 上の注意事項	697
WREN	
ワイルドレジスタアドレス比較許可レジスタ (WREN)	189
WROR	
ワイルドレジスタデータテスト設定レジスタ (WROR)	190
WTIN	
WTIN1 出力条件とレジスタ設定	544
WTS	
OPTx 出力波形タイミングダイアグラム (WTS1, WTS0=00 _B)	542

あ

アービトレーション	
アービトレーション	663
アクリリッジ	
アクリリッジ	661
アドレッシング	
アドレッシングの説明	761
アドレッシング	660
アンダフロー	
「位置検出とリロードタイマアンダフロー」方式で生成されるタイミング	560
「位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング	563
「位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング (OPS2 ~ OPS0=100 _B)	564
「リロードタイマアンダフロー」方式で生成されるタイミング	556
「リロードタイマアンダフロー」方式で生成されるタイミング (OPS2 ~ OPS0 = 001 _B)	557
「ワンショット位置検出とリロードタイマアンダフロー」方式	566
「ワンショット位置検出とリロードタイマアンダフロー」方式で生成される タイミング (OPS2 ~ OPS0 = 111 _B)	566
「ワンショット位置検出またはリロードタイマアンダフロー」方式	568
「ワンショット位置検出またはリロードタイマアンダフロー」方式で生成される タイミング (OPS2 ~ OPS0 = 101 _B)	568

い

位置検出

位置検出の信号フローダイアグラム (OPS2 ~ OPS0=010 _B または 110 _B)	548
位置検出の動作	543
「位置検出とリロードタイマアンダフロー」方式で生成されるタイミング	560
「位置検出とリロードタイマアンダフロー」方式で生成されるタイミング (OPS2 ~ OPS0=011 _B)	562
「位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング	563
「位置検出またはリロードタイマアンダフロー」方式で生成されるタイミング (OPS2 ~ OPS0=100 _B)	564
「位置検出」方式で生成されるタイミング	558
「位置検出」方式で生成されるタイミング (OPS2 ~ OPS0 = 010 _B)	559
「ワンショット位置検出とリロードタイマアンダフロー」方式	566
「ワンショット位置検出とリロードタイマアンダフロー」方式で生成される タイミング (OPS2 ~ OPS0 = 111 _B)	566
「ワンショット位置検出またはリロードタイマアンダフロー」方式	568
「ワンショット位置検出またはリロードタイマアンダフロー」方式で生成される タイミング (OPS2 ~ OPS0 = 101 _B)	568
「ワンショット位置検出」方式	565

「ワンショット位置検出」方式で生成されるタイミング (OPS2 ~ OPS0=110 _B)	565
位置検出回路	
位置検出回路のブロックダイアグラム	506
一時停止	
フラッシュメモリのセクタ消去を一時停止する	714
イベントカウントモード	
イベントカウントモード	487
イベントカウントモード (外部クロックモード)	466
イベントカウントモードの設定	487
インターバル	
タイムベースタイムインターバルとクロックスーパーバイザカウンタ値の対応表	400
インターバル機能	
インターバル機能動作時の割込み	151
インターバルタイマ	
インターバルタイマ機能	144, 170
インターバルタイマ機能 (フリーランモード)	194
インターバルタイマ機能 (フリーランモード) の動作 (タイマ 0)	241
インターバルタイマ機能 (フリーランモード) の動作 (タイマ 1)	242
インターバルタイマ機能 (連続モード)	194
インターバルタイマ機能 (連続モード) の動作 (タイマ 0)	238
インターバルタイマ機能 (連続モード) の動作 (タイマ 1)	239
インターバルタイマ機能 (ワンショットモード)	194
インターバルタイマ機能 (ワンショットモード) の動作 (タイマ 0)	235
インターバルタイマ機能 (ワンショットモード) の動作 (タイマ 1)	236
インターバルタイマ機能、インプットキャプチャ機能または PWC 機能が選択された場合	258
インターバルタイマ機能動作時の割込み (時計割込み)	176
インターバルタイマ機能の動作 (時計プリスケアラ)	177
インタフェース	
I ² C のバスインタフェースの端子	638
I ² C バスインタフェースに関連する端子のブロックダイアグラム	639
インプットキャプチャ	
インターバルタイマ機能、インプットキャプチャ機能または PWC 機能が選択された場合	258
インプットキャプチャ機能の動作 (タイマ 0)	254
インプットキャプチャ機能の動作 (タイマ 1)	255
インプットキャプチャ機能	
インプットキャプチャ機能	195

う

ウェイクアップ機能	
MCU スタンバイモードに対するウェイクアップ機能	668
ウォッチドッグタイマ	
ウォッチドッグタイマ機能	158
ウォッチドッグタイマ使用上の注意	168
ウォッチドッグタイマの動作	165
ウォッチドッグタイマのブロックダイアグラム	160
ウォッチドッグタイマのレジスタ	162
ウォッチドッグタイマ制御レジスタ	
ウォッチドッグタイマ制御レジスタ (WDTC)	163
ウォッチドッグタイマ選択 ID レジスタ	
ウォッチドッグタイマ選択 ID レジスタ (WDTH, WDTL)	734

え

エッジ検出タイミングダイアグラム	
エッジ検出タイミングダイアグラム (CMPE = 0)	543
エッジ検出割込み	
LIN Synch Field エッジ検出割込み (8/16 ビット複合タイマ割込み)	315
演算系命令	
演算系命令	771

か

外形寸法図	
DIP-32P-M06 の外形寸法図	13
FPT-32P-M30 の外形寸法図	12
LCC-32P-M19 の外形寸法図	14
外部クロック	
外部クロック	325
外部クロックモード	
イベントカウントモード (外部クロックモード)	466
外部割込み回路	
外部割込み回路に関連する端子	265
外部割込み回路に関連する端子のブロックダイアグラム	266
外部割込み回路の機能	262
外部割込み回路のチャネル	264
外部割込み回路の動作	273
外部割込み回路の動作中の割込み	272
外部割込み回路のブロックダイアグラム	263
外部割込み回路のレジスタ	269
外部割込み回路の割込みに関連するレジスタとベクタテーブルのアドレス	272
外部割込み制御レジスタ	
外部割込み制御レジスタ (EIC00)	270
カウンタ	
カウンタ動作モード	467
カウンタの動作状態	481
カウンタ動作	
カウンタ動作モード	467
書換え	
上位バンクの書換え時における	

割込み発生	716
書込み	
書込み / 消去中の動作について	717
出力データレジスタ (OPDUR, OPDLR) 書込みタイミングダイアグラム (OPS2 ~ OPS0=001B,010B,011B,100B,101B,110B,111B)	550
フラッシュメモリ書込み / 消去	679, 707
フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0)	688
フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) 設定フロー	696
フラッシュメモリヘデータの書込み	709
出力データレジスタ (OPDUR, OPDLR) 書込みタイミングダイアグラム (OPS2 ~ OPS0=000 _B)	547
書込み手順	
フラッシュメモリ書込み手順	709

き

機能	
I ² C の機能	632
UART/SIO の機能	586
基本構成	
シリアル書込み接続の基本構成	722

く

クロック	
CR クロックの発振安定待ち時間	56
外部クロック	325
各クロック速度のリロード値とボーレート	324
クロック発振回路	79
内部クロックモード (リロードモード) の動作	483
内部クロックモード (ワンショットモード) の動作	485
内部クロックモードの設定	483
入力クロック	362, 410, 442, 469, 588, 636
クロック監視制御レジスタ	
クロック監視制御レジスタ (CMCR)	396
クロック監視データレジスタ	
クロック監視データレジスタ (CMDR)	394
クロックスーパーバイザ	
クロックスーパーバイザの動作フローチャート例	404
タイムベースタイムインターバルとクロックスーパーバイザカウンタ値の対応表	400
クロックスーパーバイザカウンタ	
クロックスーパーバイザカウンタ	398
クロックスーパーバイザカウンタの概要	390
クロックスーパーバイザカウンタの使用上の注意	405
クロックスーパーバイザカウンタのブロックダイアグラム	391
クロックスーパーバイザカウンタのレジスタ	393
クロック制御部	
クロック制御部の概要	48
クロック制御部のブロックダイアグラム	49

クロック速度	
各クロック速度のリロード値と	
ポーレート	324
クロック発振回路	
クロック発振回路	79
クロックモード	
クロックモード	51
クロックモードとスタンバイモードの	
組合せ	53
クロックモードの影響を受けない	
周辺機能	51
クロックモードの状態遷移図	68
スタンバイモード設定前にクロックモードの	
遷移が完了していることを確認して	
ください。	72
発振安定待ち時間とクロックモード・	
スタンバイモードの遷移	56
内部クロックモード	
(リロードモード)の動作	483
内部クロックモード	
(ワンショットモード)の動作	485
内部クロックモードの設定	483

こ

コマンド	
コマンドシーケンス表	698
コマンド発行時の注意点	699
コンディションコードレジスタ	
コンディションコードレジスタ (CCR) の	
構成	42
コントローラ	
コントローラ使用上の注意	744
コンペアクリアレジスタ	
コンペアクリアレジスタ (CPCUR, CPCLR)	531

さ

再開	
フラッシュメモリのセクタ消去を	
再開する	715
サブ CR クロックモード	
サブ CR クロックモードの動作	67
サブクロックモード	
サブクロックモードの動作	67
サンプルプログラム	
マルチパルスジェネレータのサンプルプログラム	582

し

シーケンス	
コマンドシーケンス表	698
システム	
I ² C のシステム	659
システムクロック制御レジスタ	
システムクロック制御レジスタ (SYCC) の	
構成	57
システムクロック制御レジスタ 2 (SYCC2) の	
構成	65

システム構成コントローラ	
システム構成レジスタ (SYSC)	741
周期可変モード	
PWM タイマ機能 (周期可変モード)	194
PWM タイマ機能 (周期可変モード) の動作	
(タイマ 0)	247
PWM タイマ機能 (周期可変モード) の動作	
(タイマ 1)	248
周期固定モード	
PWM タイマ機能 (周期固定モード)	194
PWM タイマ機能 (周期固定モード) の動作	
(タイマ 0)	244
PWM タイマ機能 (周期固定モード) の動作	
(タイマ 1)	245
周辺機能	
クロックモードの影響を受けない	
周辺機能	51
周辺機能からの割込み要求	96
受信割込み	
受信割込み	313, 603
受信割込み発生とフラグセットの	
タイミング	317
出力クロック	
出力クロック	81, 146, 172, 624
出力制御レジスタ下位	
出力制御レジスタ下位 (OPCLR)	516
出力制御レジスタ上位	
出力制御レジスタ上位 (OPCUR)	514
出力データバッファレジスタ	
出力データバッファレジスタの動作	551
出力データバッファレジスタ下位	
出力データバッファレジスタ下位 (OPDBRL)	525
出力データバッファレジスタ上位	
出力データバッファレジスタ上位 (OPDBRH)	523
出力データレジスタ	
出力データレジスタ (OPDUR, OPDLR)	542
出力データレジスタのブロックダイヤグラム	541
出力データレジスタへのデータ転送動作	553
出力データレジスタ下位	
出力データレジスタ下位 (OPDLR)	521
出力データレジスタ上位	
出力データレジスタ上位 (OPDUR)	519
消去	
書込み / 消去中の動作について	717
セクタ消去の際の注意点	712
チップ消去の際の注意点	711
フラッシュ消去およびトリミング値に関する	
注意事項	738
フラッシュメモリ書込み / 消去	679, 707
フラッシュメモリのセクタ消去を	
一時停止する	714
フラッシュメモリのセクタ消去を	
再開する	715
フラッシュメモリのデータを消去する	
(チップ消去)	711
フラッシュメモリの任意のデータを消去する	
(セクタ消去)	712
消去手順	
フラッシュメモリのセクタ消去手順	712

状態遷移図	
クロックモードの状態遷移図	68
スタンバイモードの状態遷移図	73
シリアル書込み接続	
シリアル書込み接続の基本構成	722
シングルチップモード	
シングルチップモード	34
信号フローダイアグラム	
OPDBRH0/OPDBRL0 の信号フローダイアグラム	
(OPS2 ~ OPS0 = 000 _B)	546
位置検出の信号フローダイアグラム (OPS2 ~	
OPS0=010 _B または 110 _B)	548
信号方式	
信号方式	330

す

スタート条件	
スタート条件	660
スタック	
割込みからの復帰時のスタック動作	104
割込み処理開始時のスタック動作	104
割込み処理のスタック領域	105
スタンバイ制御レジスタ	
スタンバイ制御レジスタ (STBC)	62
スタンバイモード	
MCU スタンバイモードに対するウェイクアップ	
機能	668
クロックモードとスタンバイモードの	
組合せ	53
スタンバイモード	52
スタンバイモード時の端子の状態	71
スタンバイモード時の動作	387
スタンバイモード設定前にクロックモードの	
遷移が完了していることを確認して	
ください。	72
スタンバイモード設定を行う命令の直後に NOP	
命令を 3 命令以上入れてください。	72
スタンバイモードの状態遷移図	73
スタンバイモードの遷移と復帰の概要	71
スタンバイモードは CPU が割込みを受け付け	
ない場合も解除されます。	72
発振安定待ち時間とクロックモード・	
スタンバイモードの遷移	56
割込み要求によりスタンバイモードへの遷移が	
抑止されることがあります。	72
ストップ	
ストップ条件	663
ストップモード	
ストップモードの動作	75
ストップ割込み	
ストップ割込み	656
スリープモード	
スリープモードの動作	74
スレープデバイス	
LIN スレープデバイス	351

せ

制御ステータスレジスタ	
8/16 ビット複合タイマ 10/11 制御ステータス	
レジスタ 0 (T10CR0/T11CR0)	211

セクタ	
デュアルオペレーションフラッシュメモリの	
セクタ / バンク構成	680
セクタ消去	
セクタ消去の際の注意点	712
フラッシュメモリのセクタ消去手順	712
フラッシュメモリのセクタ消去を	
一時停止する	714
フラッシュメモリのセクタ消去を	
再開する	715
フラッシュメモリの任意のデータを消去する	
(セクタ消去)	712
セクタ消去タイマフラグ	
セクタ消去タイマフラグ (DQ3)	706
セクタスワップ許可ビット	
セクタスワップ許可ビット (FSR:SSEN) の	
設定手順	716
設定	
イベントカウントモードの設定	487
ボーレート設定	629
設定順序	
ワイルドレジスタ機能の設定順序	191
設定手順例	
設定手順例	155, 167, 178, 274, 330
ゼネラルコールアドレス	
ゼネラルコールアドレス	662
専用ボーレートジェネレータ	
UART/SIO 専用ボーレートジェネレータの	
チャンネル	625
UART/SIO 専用ボーレートジェネレータの	
ブロックダイアグラム	624
UART/SIO 専用ボーレートジェネレータの	
レジスタ	626
UART/SIO 専用ボーレートジェネレータプリス	
ケラ選択レジスタ (PSSR0)	627
UART/SIO 専用ボーレートジェネレータボーレ	
ート設定レジスタ (BRSR0)	628
専用ボーレートジェネレータ	
(リロードカウンタ) の動作	326
専用レジスタ	
専用レジスタの機能	37
専用レジスタの構成	36

そ

送受信許可	
送受信許可	330
送信割込み	
送信割込み	314, 603
送信割込み発生とフラグセットの	
タイミング	319
送信割込み要求発生タイミング	320
双方向通信	
双方向通信機能	344
その他命令	
その他命令	773

た

タイマ 00	
タイマ 00 割込み	232

タイマ 01	
タイマ 01 の割込み	232
タイマ 10	
タイマ 10 割込み	233
タイマ 11	
タイマ 11 の割込み	233
タイマ制御状態レジスタ	
タイマ制御状態レジスタ (TCSR)	534
タイマバッファレジスタ	
タイマバッファレジスタ (TMBUR, TMBLR)	533
タイマモード制御レジスタ	
8/16 ビット複合タイマ 10/11 タイマモード制御	
レジスタ ch.1 (TMCR1)	223
タイミング	
受信割込み発生とフラグセットの	
タイミング	317
送信割込み発生とフラグセットの	
タイミング	319
タイミングリミット超過フラグ	
タイミングリミット超過フラグ (DQ5)	705
タイムベースタイマ	
タイムベースタイムインターバルとクロック	
スーパーバイザカウンタ値の対応表	400
タイムベースタイマ使用上の注意	156
タイムベースタイマのクリア	153
タイムベースタイマの動作	76, 153
タイムベースタイマの動作例	154
タイムベースタイマのブロック	
ダイアグラム	145
タイムベースタイマのレジスタ	147
タイムベースタイマの割込みに関連する	
レジスタとベクタテーブルのアドレス	152
タイムベースタイムインターバル	
タイムベースタイムインターバルとクロック	
スーパーバイザカウンタ値の対応表	400
タイムベースタイマ制御レジスタ	
タイムベースタイマ制御レジスタ	
(TBTC)	148
ダイアグラム	
DTTI 回路のタイミングダイアグラム	
(D1,D0=00 _B)	571
OPTx 出力波形タイミングダイアグラム	
(WTS1,WTS0=00 _B)	542
出力データレジスタ (OPDUR, OPDLR) 書込みタ	
イミングダイアグラム (OPS2 ~ OPS0=000 _B)	547
出力データレジスタ (OPDUR, OPDLR) 書込み	
タイミングダイアグラム (OPS2 ~	
OPS0=001 _B ,010 _B ,011 _B ,100 _B ,101 _B ,110 _B ,111 _B)	550
リロードタイマアンダフローの信号フローダイア	
グラム (OPS2 ~ OPS0 = 001 _B)	548
リロードタイマおよび位置検出の信号フローダイ	
アグラム (OPS2 ~ OPS0 = 011 _B または 111 _B)	549
リロードタイマまたは 位置検出の信号フローダイ	
アグラム (OPS2 ~ OPS0 = 100 _B または 101 _B)	549
ダイレクトバンクポインタ	
ダイレクトバンクポインタ (DP) の構成	40

レジスタバンクポインタおよびダイレクト	
バンクポインタのミラーアドレス	39
多重割込み	
多重割込み	102
端子	
16 ビットリロードタイマに関連する端子の	
ブロックダイアグラム	472
16 ビットリロードタイマの端子	471
16 ビット PPG タイマの端子	444
16 ビット PPG タイマに関連する端子の	
ブロックダイアグラム	445
8/10 ビット A/D コンバータの端子ブロック	
ダイアグラム	364
8/10 ビット A/D コンバータの端子	363
8/16 ビット PPG に関連する	
端子のブロックダイアグラム	413
8/16 ビット PPG の端子	412
I ² C のバスインタフェースの端子	638
UART/SIO の端子	590
割込み端子選択回路の端子	282
割込み端子選択回路の動作	287
端子機能説明	
端子機能説明	15
端子状態	
各モードにおける端子状態	755
端子接続	
端子接続について	24
端子直接アクセス	
LIN-UART 端子直接アクセス	343
端子配列図	
FPT-32P-M30 の端子配列図	9
LCC-32P-M19 の端子配列図	11
DIP-32P-M06 の端子配列図	10

ち

チップ消去	
チップ消去の際の注意点	711
フラッシュメモリのデータを消去する	
(チップ消去)	711
チャンネル	
16 ビットリロードタイマのチャンネル	470
16 ビット PPG タイマのチャンネル	443
8/16 ビット PPG のチャンネル	411
I ² C のチャンネル	637
UART/SIO 専用ポーレートジェネレータの	
チャンネル	625
UART/SIO のチャンネル	589

て

低電圧検出リセット回路	
低電圧検出リセット回路	384
低電圧検出リセット回路の端子	386
低電圧検出リセット回路の動作	387
低電圧検出リセット回路のブロック	
ダイアグラム	385
データ書込み制御ユニット	
データ書込み制御ユニットの動作	546
データ書込み制御ユニットのブロックダイア	
グラム	504

データ転送	
データ転送	660
データポーリングフラグ	
データポーリングフラグ (DQ7)	702
データレジスタ	
8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR)	226
8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR)	229
デバイス	
デバイス使用上の注意	24
デュアルオペレーション	
デュアルオペレーションフラッシュメモリの概要	678
デュアルオペレーションフラッシュメモリのセクタ / バンク構成	680
デュアルオペレーションフラッシュメモリの特長	679
デュアルオペレーションフラッシュメモリ	
デュアルオペレーションフラッシュメモリのレジスタ	681
転送	
出力データレジスタへのデータ転送動作	553
データ転送	660
転送系命令	
転送系命令	770
転送割込み	
転送割込み	655
と	
同期方式	
同期方式	330
同期モード	
同期モード (動作モード 2) の動作	336
動作	
カウンタ動作モード	467
動作モード	
16 ビットリロードタイマの動作モード	466
UART/SIO の動作モード 0 の動作説明	605
UART/SIO の動作モード 1 の動作説明	612
カウンタ動作モード	467
同期モード (動作モード 2) の動作	336
特殊な命令	
特殊な命令について	765
トグルビットフラグ	
トグルビットフラグ (DQ6)	704
トグルビットフラグ (DQ6) に関する制限事項	719
時計プリスケアラ	
インターバルタイマ機能の動作 (時計プリスケアラ)	177
時計プリスケアラ使用上の注意	179
時計プリスケアラのクリア	177
時計プリスケアラの動作例	177
時計プリスケアラのブロックダイヤグラム	171
時計プリスケアラのレジスタ	173
時計プリスケアラの割込み	176
時計プリスケアラの割込みに関連するレジスタとベクタテーブルのアドレス	176

時計プリスケアラ制御レジスタ	
時計プリスケアラ制御レジスタ (WPCR)	174
時計モード	
時計モードの動作	78
時計割込み	
インターバルタイマ機能動作時の割込み (時計割込み)	176
トリミング値	
フラッシュ消去およびトリミング値に関する注意事項	738

な

内部クロック	
内部クロックモード (リロードモード) の動作	483
内部クロックモード (ワンショットモード) の動作	485
内部クロックモードの設定	483
内部クロックモード	
内部クロックモード	466

に

入出力回路	
入出力回路形式	19
入力クロック	
入力クロック	81, 146, 161, 172, 199, 296, 362, 410, 442, 469, 588, 624, 636

入力制御	
DTTI 入力制御の動作	570
入力制御レジスタ下位	
入力制御レジスタ下位 (IPCLR)	529
入力制御レジスタ上位	
入力制御レジスタ上位 (IPCUR)	527

の

ノイズキャンセル制御レジスタ	
ノイズキャンセル制御レジスタ (NCCR)	536
ノイズ除去機能	
ノイズ除去機能の動作	573

は

ハードウェアシーケンスフラグ	
ハードウェアシーケンスフラグ	700
ハードウェア接続例	
ハードウェア接続例	192
ハードウェアトリガ	
ハードウェアトリガ	458
波形シーケンサ	
波形シーケンサ使用上の注意	579
波形シーケンサの機能	494
波形シーケンサのブロックダイヤグラム	500
発振安定待ち時間	
CR クロックの発振安定待ち時間	56
発振安定待ち時間	55

発振安定待ち時間とクロックモード・スタンバイモードの遷移	56
発振安定待ち時間設定レジスタ	
発振安定待ち時間設定レジスタ (WATR) の構成	59
発振回路	
クロック発振回路	79
バンク	
上位バンクの書換え時における割込み発生	716
デュアルオペレーションフラッシュメモリのセクタ / バンク構成	680
汎用レジスタ	
汎用レジスタの構成	44
汎用レジスタの特長	45
汎用レジスタ領域 (アドレス : MB95F333H / F333K / F334H / F334K 内の 0100 _H ~ 01FF _H) (アドレス : MB95F332H / F332K の 0100 _H ~ 017F _H)	30

ひ

ビット操作命令	
ビット操作命令実行時の読出し先	769
非同期 LIN モード	
非同期 LIN モード動作	340
非同期モード	
非同期モードの動作	331
表示記号	
命令の表示記号の説明	759
品種構成	
MB95330H シリーズの品種構成	5

ふ

不揮発性レジスタ	
不揮発性レジスタデータ領域 (アドレス : FFBC _H ~ FFBF _H)	30
複合タイマ	
8/16 ビット複合タイマ 00/01 データレジスタ ch.0 (T00DR/T01DR)	226
8/16 ビット複合タイマ 0 のレジスタ	206
8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 0 (T10CR0/T11CR0)	211
8/16 ビット複合タイマ 10/11 制御ステータスレジスタ 1 (T10CR1/T11CR1)	217
8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1 (TMCR1)	223
8/16 ビット複合タイマ 10/11 データレジスタ ch.1 (T10DR/T11DR)	229
8/16 ビット複合タイマ 1 のレジスタ	207
8/16 ビット複合タイマに関連する端子のブロックダイアグラム	203
8/16 ビット複合タイマの使用上の注意	260
8/16 ビット複合タイマのチャネル	200
8/16 ビット複合タイマのブロックダイアグラム	197
8/16 ビット複合タイマの割込みに関連するレジスタとベクタテーブルのアドレス	234
LIN Synch Field エッジ検出割込み (8/16 ビット複合タイマ割込み)	315

フラグセット	
受信割込み発生とフラグセットのタイミング	317
送信割込み発生とフラグセットのタイミング	319
フラッシュ消去	
フラッシュ消去およびトリミング値に関する注意事項	738
フラッシュセキュリティ	
フラッシュセキュリティ	718
フラッシュメモリ	
デュアルオペレーションフラッシュメモリの概要	678
デュアルオペレーションフラッシュメモリのセクタ / バンク構成	680
デュアルオペレーションフラッシュメモリの特長	679
デュアルオペレーションフラッシュメモリのレジスタ	681
フラッシュメモリ書込み / 消去	679, 707
フラッシュメモリ書込み手順	709
フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0)	688
フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) 設定フロー	696
フラッシュメモリのセクタ消去手順	712
フラッシュメモリのセクタ消去を一時停止する	714
フラッシュメモリのセクタ消去を再開する	715
フラッシュメモリのデータを消去する (チップ消去)	711
フラッシュメモリの任意のデータを消去する (セクタ消去)	712
フラッシュメモリヘデータの書込み	709
フラッシュメモリを讀出し / リセット状態にする	708
フラッシュメモリステータスレジスタ	
フラッシュメモリステータスレジスタ (FSR)	685
フラッシュメモリステータスレジスタ 2 (FSR2)	682
フラッシュメモリステータスレジスタ 2, フラッシュメモリステータスレジスタ 3, および RDY ビット (FRS: bit4)	693
フラッシュメモリステータスレジスタ 3 (FSR3)	691
フリーランモード	
インターバルタイマ機能 (フリーランモード)	194
インターバルタイマ機能 (フリーランモード) の動作 (タイマ 0)	241
インターバルタイマ機能 (フリーランモード) の動作 (タイマ 1)	242
8 ビットプリスケラ	
8 ビットプリスケラ + 8 ビット PPG モードの設定	428
プリスケラ	
UART/SIO 専用ボーレートジェネレータプリスケラ選択レジスタ (PSSR0)	627
プリスケラ	80
プリスケラの動作	82
プリスケラのブロックダイアグラム	81

フローチャート	
クロックスーパーバイザの動作	
フローチャート例	404
ブロックダイアグラム	
16 ビットタイマのブロックダイアグラム	503
16 ビットリロードタイマに関連する端子の	
ブロックダイアグラム	472
16 ビットリロードタイマのブロックダイアグラ	
ム	468
16 ビット PPG タイマに関連する端子のブロック	
ダイアグラム	445
16 ビット PPG タイマのブロックダイアグラム	
	441
8/10 ビット A/D コンバータの端子ブロック	
ダイアグラム	364
8/10 ビット A/D コンバータのブロックダイア	
グラム	361
8/16 ビット PPG に関連する	
端子のブロックダイアグラム	413
8/16 ビット PPG のブロックダイアグラム	409
8/16 ビット複合タイマに関連する端子の	
ブロックダイアグラム	203
8/16 ビット複合タイマのブロック	
ダイアグラム	197
DTTI 回路のブロックダイアグラム	570
I ² C のブロックダイアグラム	634
I ² C バスインタフェースに関連する端子の	
ブロックダイアグラム	639
LIN-UART に関連する端子の	
ブロックダイアグラム	297
LIN-UART のブロックダイアグラム	293
MB95330H シリーズのブロックダイアグラム	
	8
NVR インタフェースのブロック	
ダイアグラム	729
UART/SIO 専用ポーレートジェネレータの	
ブロックダイアグラム	624
UART/SIO に関連する端子の	
ブロックダイアグラム	591
UART/SIO のブロックダイアグラム	587
位置検出回路のブロックダイアグラム	
	506
ウォッチドッグタイマのブロック	
ダイアグラム	160
外部割込み回路に関連する端子のブロック	
ダイアグラム	266
外部割込み回路のブロックダイアグラム	263
クロックスーパーバイザカウンタのブロック	
ダイアグラム	391
クロック制御部のブロックダイアグラム	49
出力データレジスタのブロックダイアグラム	
	541
タイムベースタイマのブロック	
ダイアグラム	145
低電圧検出リセット回路の	
ブロックダイアグラム	385
データ書込み制御ユニットのブロックダイアグラ	
ム	504
時計プリスケアラのブロック	
ダイアグラム	171
波形シーケンサのブロックダイアグラム	500
プリスケアラのブロックダイアグラム	81
ポート 0 のブロックダイアグラム	111

ポート 1 のブロックダイアグラム	120
ポート 6 のブロックダイアグラム	128
ポート F のブロックダイアグラム	134
ポート G のブロックダイアグラム	139
マルチパルスジェネレータ端子の	
ブロックダイアグラム	509
マルチパルスジェネレータのブロックダイア	
グラム	498
ワイルドレジスタ機能のブロック	
ダイアグラム	183
割込み端子選択回路の	
ブロックダイアグラム	281
分岐系命令	
分岐系命令	773

へ

ベクタテーブル	
16 ビットリロードタイマの割込みのレジスタと	
ベクタテーブルのアドレス	480
16 ビット PPG タイマの割込みに関連する	
レジスタとベクタテーブルのアドレス	454
8/10 ビット A/D コンバータの割込みに関連する	
レジスタとベクタテーブルのアドレス	373
8/16 ビット PPG の割込みに関連する	
レジスタとベクタテーブルのアドレス	424
8/16 ビット複合タイマの割込みに	
関連するレジスタとベクタテーブルの	
アドレス	234
I ² C の割込みのレジスタと	
ベクタテーブルのアドレス	657
LIN-UART の割込みに関連するレジスタと	
ベクタテーブルのアドレス	316
UART/SIO の割込みに関連するレジスタと	
ベクタテーブルのアドレス	603
外部割込み回路の割込みに関連するレジスタとベ	
クタテーブルのアドレス	272
タイムベースタイマの割込みに関連する	
レジスタとベクタテーブル	152
時計プリスケアラの割込みに関連するレジスタと	
ベクタテーブル	176
ベクタテーブル領域	
(アドレス :FFC0 _H ~ FFFF _H)	30
マルチパルスジェネレータの割込みに関連する	
レジスタとベクタテーブルのアドレス	540

ほ

ポート 0	
ポート 0 の構成	109
ポート 0 の端子	110
ポート 0 の動作	116
ポート 0 のブロックダイアグラム	111
ポート 0 のレジスタの機能	115
ポート 1	
ポート 1 の構成	119
ポート 1 の端子	119
ポート 1 の動作	124
ポート 1 のブロックダイアグラム	120
ポート 1 のレジスタの機能	123
ポート 6	
ポート 6 の構成	126

ポート 6 の端子	126
ポート 6 の動作	131
ポート 6 のブロックダイアグラム	128
ポート 6 のレジスタの機能	130
ポート F	
ポート F の構成	133
ポート F の端子	133
ポート F の動作	136
ポート F のブロックダイアグラム	134
ポート F のレジスタの機能	135
ポート G	
ポート G の構成	138
ポート G の端子	138
ポート G の動作	141
ポート G のブロックダイアグラム	139
ポート G のレジスタの機能	140
ポーレート	
LIN-UART ポーレート選択	321
UART/SIO 専用ポーレートジェネレータの ブロックダイアグラム	624
各クロック速度のリロード値と ポーレート	324
ポーレート設定	629
ポーレートの計算	323
ポーレートジェネレータ	
専用ポーレートジェネレータ (リロードカウンタ) の動作	326

ま

マスタ/スレーブ型通信	
LIN マスタ/スレーブ型通信機能	349
マスタ/スレーブ型通信機能	346
マスタデバイス	
LIN マスタデバイス	350
マルチパルスジェネレータ	
マルチパルスジェネレータ端子の ブロックダイアグラム	509
マルチパルスジェネレータの 16 ビットタイマの 使用	578
マルチパルスジェネレータの 16 ビットタイマの 動作ダイアグラム	578
マルチパルスジェネレータの概要	494
マルチパルスジェネレータのサンプルプログラム	582
マルチパルスジェネレータの端子	508
マルチパルスジェネレータのブロックダイアグラ ム	498
マルチパルスジェネレータのレジスタ	512
マルチパルスジェネレータの割込みに関連する レジスタとベクタテーブルのアドレス	540
マルチパルスジェネレータの割込み要因	539
マルチパルスジェネレータの動作ダイアグラム マルチパルスジェネレータの 16 ビットタイマの 動作ダイアグラム	578

み

ミラーアドレス	
レジスタバンクポインタおよびダイレクト バンクポインタのミラーアドレス	39

め

命令	
F ² MC-8FX の命令の概要	758
命令一覧表の項目の説明	760
命令の表示記号の説明	759
スタンバイモード設定を行う命令の直後に NOP 命令を 3 命令以上入れてください。	72
命令マップ	
命令マップ	775
メイン CR クロックトリミングレジスタ	
メイン CR クロックトリミングレジスタ (下位)(CTRL)	733
メイン CR クロックトリミングレジスタ (上位)(CRTH)	731
メイン CR クロックモード	
メイン CR クロックモードの動作	67
メイン CR 周波数	
メイン CR 周波数の変更に関する注意事項	738
メインクロックモード	
メインクロックモードの動作	67
メモリ空間	
メモリ空間の構成	28
メモリマップ	
メモリマップ	29, 31, 754

も

モード	
イベントカウントモード	487
イベントカウントモードの設定	487
カウンタ動作モード	467
シングルチップモード	34
内部クロックモード	466
内部クロックモード (リロードモード) の動作	483
内部クロックモード (ワンショットモード) の動作	485
内部クロックモードの設定	483

よ

読出し	
フラッシュメモリを読出し / リセット 状態にする	708

り

リードモディファイライト	
リードモディファイライト動作	769
リセット	
RAM 内容のリセットによる影響	88
フラッシュメモリを読出し / リセット 状態にする	708
リセット出力	87
リセット使用上の注意	93
リセット中の時間	87
リセット中の端子の状態	89
リセット動作の概要	88
リセット要因	86

リセット要因レジスタ	
リセット要因レジスタ (RSRR) の構成	90
リセット要因レジスタ (RSRR) の状態	92
両エッジ検出	
両エッジ検出と SNIx/RDAx コンペアタイミング	
ダイヤグラム (CMPE=1)	544
リロードカウンタ	
専用ポーレートジェネレータ	
(リロードカウンタ) の動作	326
リロードカウンタの機能	327
リロードタイマ	
16 ビットリロードタイマ使用上の注意	489
16 ビットリロードタイマ状態制御レジスタ下位	
(TMCSRL1)	476
16 ビットリロードタイマ状態制御レジスタ上位	
(TMCSRH1)	474
16 ビットリロードタイマに関連する端子の	
ブロックダイヤグラム	472
16 ビットリロードタイマの端子	471
16 ビットリロードタイマのチャネル	470
16 ビットリロードタイマの動作モード	466
16 ビットリロードタイマのブロックダイヤ	
グラム	468
16 ビットリロードタイマの割込み	480
リロードタイマアンダフローの信号フローダイ	
グラム (OPS2 ~ OPS0 = 001 _B)	548
リロードタイマおよび位置検出の信号フロー	
ダイヤグラム (OPS2 ~ OPS0 = 011 _B または 111 _B)	549
リロードタイマまたは位置検出の信号フロー	
ダイヤグラム (OPS2 ~ OPS0 = 100 _B または 101 _B)	549
「位置検出とリロードタイマアンダフロー」方式	
で生成されるタイミング (OPS2 ~	
OPS0=011 _B)	562
「リロードタイマアンダフロー」方式で生成され	
るタイミング	556
「リロードタイマアンダフロー」方式で生成され	
るタイミング (OPS2 ~ OPS0 = 001 _B)	557
リロード値	
各クロック速度のリロード値と	
ポーレート	324
リロードモード	
内部クロックモード	
(リロードモード) の動作	483

れ

レジスタ

16 ビットリロードタイマ タイマレジスタ上位	
(TMCRH1)/ 下位 (TMRL1)	478
16 ビットリロードタイマ状態制御レジスタ下位	
(TMCSRL1)	476
16 ビットリロードタイマ状態制御レジスタ上位	
(TMCSRH1)	474
16 ビットリロードタイマのレジスタ	473
16 ビットリロードタイマの割込みのレジスタと	
ベクタテーブルのアドレス	480
16 ビットリロードタイマリロードレジスタ上位	
(TMRLRH1)/ 下位 (TMRLRL1)	479
16 ビット PPG タイマのレジスタ	446

16 ビット PPG 周期設定バッファレジスタ上位,	
下位 (PCSRH1, PCSRL1)	448
16 ビット PPG 状態制御レジスタ, 下位 (PCNTL1)	
	452
16 ビット PPG 状態制御レジスタ上位 (PCNTH1)	
	450
16 ビット PPG タイマの割込みに関連する	
レジスタとベクタテーブルのアドレス	454
16 ビット PPG ダウンカウンタレジスタ上位,	
下位 (PDCRH1, PDCRL1)	447
16 ビット PPG デューティ設定バッファレジスタ	
上位, 下位 (PDUTH1, PDUTL1)	449
8/10 ビット A/D コンバータ制御レジスタ 1	
(ADC1)	368
8/10 ビット A/D コンバータ制御レジスタ 2	
(ADC2)	370
8/16 ビット PPG 起動レジスタ (PPGS)	422
8/16 ビット PPG 出力反転レジスタ	
(REVC)	423
8/16 ビット PPG タイマ 00 制御レジスタ ch. 0	
(PC00)	418
8/16 ビット PPG タイマ 00/01 周期設定バッファ	
レジスタ (PPS01), (PPS00)	420
8/16 ビット PPG タイマ 00/01 デューティ設定	
バッファレジスタ (PDS01), (PDS00)	421
8/16 ビット PPG タイマ 01 制御レジスタ ch. 0	
(PC01)	416
8/16 ビット PPG のレジスタ	415
8/16 ビット PPG の割込みに関連するレジスタと	
ベクタテーブルのアドレス	424
8/16 ビット複合タイマ 00/01 制御ステータス	
レジスタ 0 (T00CR0/T01CR0)	208
8/16 ビット複合タイマ 00/01 制御ステータス	
レジスタ 1 (T00CR1/T01CR1)	214
8/16 ビット複合タイマ 00/01 タイマモード制御	
レジスタ ch.0 (TMCR0)	220
8/16 ビット複合タイマ 00/01 データレジスタ ch.0	
(T00DR/T01DR)	226
8/16 ビット複合タイマ 10/11 制御ステータス	
レジスタ 0 (T10CR0/T11CR0)	211
8/16 ビット複合タイマ 10/11 制御ステータス	
レジスタ 1 (T10CR1/T11CR1)	217
8/16 ビット複合タイマ 10/11 タイマモード制御	
レジスタ ch.1 (TMCR1)	223
8/16 ビット複合タイマ 10/11 データレジスタ ch.1	
(T10DR/T11DR)	229
I ² C アドレスレジスタ (IAAR0)	652
I ² C クロック制御レジスタ (ICCR0)	653
I ² C データレジスタ (IDDR0)	651
I ² C のレジスタ	640
I ² C の割込みのレジスタと	
ベクタテーブルのアドレス	657
I ² C バスステータスレジスタ (IBSR0)	648
I ² C バス制御レジスタ 0 (IBCR00)	641
I ² C バス制御レジスタ 1 (IBCR10)	645
LIN-UART 拡張制御ステータスレジスタ (ESCR)	
	308
LIN-UART 拡張通信制御レジスタ (ECCR)	310
LIN-UART 受信データレジスタ (RDR)	306
LIN-UART シリアルステータスレジスタ	
(SSR)	304
LIN-UART シリアル制御レジスタ (SCR)	300

LIN-UART シリアルモードレジスタ (SMR)	302
LIN-UART 送信データレジスタ (TDR)	307
LIN-UART ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)	312
PWM モード (PCNTH レジスタの MDSE: bit5=0)	455
UART/SIO シリアル出力データレジスタ (TDR0)	601
UART/SIO シリアルステータスアンドデータ レジスタ (SSR0)	598
UART/SIO シリアル入力データレジスタ (RDR0)	600
UART/SIO シリアルモード制御レジスタ 1 (SMC10)	594
UART/SIO シリアルモード制御レジスタ 2 (SMC20)	596
UART/SIO 専用ボーレートジェネレータの レジスタ	626
UART/SIO 専用ボーレートジェネレータプリス ケーラ選択レジスタ (PSSR0)	627
UART/SIO 専用ボーレートジェネレータボーレー ト設定レジスタ (BRSR0)	628
UART/SIO のレジスタ	593
UART/SIO の割込みに関連するレジスタと ベクタテーブルのアドレス	603
ウォッチドッグタイマ制御レジスタ (WDTC)	163
ウォッチドッグタイマ選択 ID レジスタ (WDTH, WDTL)	734
外部割込み制御レジスタ (EIC00)	270
クロック監視制御レジスタ (CMCR)	396
クロック監視データレジスタ (CMDR)	394
コンペアクリアレジスタ (CPCUR, CPCLR)	531
システムクロック制御レジスタ (SYCC) の 構成	57
システムクロック制御レジスタ 2 (SYCC2) の 構成	65
出力制御レジスタ下位 (OPCLR)	516
出力制御レジスタ上位 (OPCUR)	514
出力データバッファレジスタ下位 (OPDBLR)	525
出力データバッファレジスタ上位 (OPDBRH)	523
出力データレジスタ (OPDUR, OPDLR)	542
出力データレジスタ (OPDUR, OPDLR) 書込みタ イミングダイヤグラム (OPS2 ~ OPS0=001 _B , 010 _B , 011 _B , 100 _B , 101 _B , 110 _B , 111 _B)	550
出力データレジスタ (OPDUR, OPDLR) 書込みタ イミングダイヤグラム (OPS2 ~ OPS0=000 _B)	547
出力データレジスタ下位 (OPDLR)	521
出力データレジスタ上位 (OPDUR)	519
出力データレジスタのブロックダイヤグラム	541
スタンバイ制御レジスタ (STBC)	62
タイマ制御状態レジスタ (TCSR)	534
タイマバッファレジスタ (TMBUR, TMBLR)	533
時計プリスケラ制御レジスタ (WPCR)	174
入力制御レジスタ下位 (IPCLR)	529

入力制御レジスタ上位 (IPCUR)	527
ノイズキャンセル制御レジスタ (NCCR)	536
発振安定待ち時間設定レジスタ (WATR) の 構成	59
フラッシュメモリステータスレジスタ 2, フラッシュメモリステータスレジスタ 3, および RDY ビット (FRS: bit4)	693
フラッシュメモリステータスレジスタ 3 (FSR3)	691
フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0)	688
フラッシュメモリセクタ書込み制御レジスタ 0 (SWRE0) 設定フロー	696
マルチパルスジェネレータの割込みに関連する レジスタとベクタテーブルのアドレス	540
メイン CR クロックトリミングレジスタ (下位)(CRTL)	733
メイン CR クロックトリミングレジスタ (上位)(CRTH)	731
リセット要因レジスタ (RSRR) の構成	90
リセット要因レジスタ (RSRR) の状態	92
ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)	188
ワイルドレジスタアドレス比較許可レジスタ (WREN)	189
ワイルドレジスタデータ設定レジスタ (WRDR0 ~ WRDR2)	187
ワイルドレジスタデータテスト設定レジスタ (WROR)	190
割込み端子選択回路制御レジスタ (WICR)	284
割込み端子選択回路のレジスタ	283
割込みレベル設定レジスタ (ILR0 ~ ILR5) の 構成	98
ワンショットモード (PCNTH1 レジスタの MDSE: bit5=1)	457
レジスタバンクポインタ	
レジスタバンクポインタ (RP) の構成	39
レジスタバンクポインタおよびダイレクト バンクポインタのミラーアドレス	39
連続モード	
インターバルタイマ機能 (連続モード)	194
インターバルタイマ機能 (連続モード) の動作 (タイマ 0)	238
インターバルタイマ機能 (連続モード) の動作 (タイマ 1)	239

わ

ワイルドレジスタ	
ワイルドレジスタ機能	182
ワイルドレジスタ機能適用アドレス	191
ワイルドレジスタ機能の設定順序	191
ワイルドレジスタ機能のブロック	
ダイヤグラム	183
ワイルドレジスタ機能のレジスタ	185
ワイルドレジスタ番号	186
ワイルドレジスタアドレス設定レジスタ	
ワイルドレジスタアドレス設定レジスタ (WRAR0 ~ WRAR2)	188

ワイルドレジスタアドレス比較許可レジスタ	
ワイルドレジスタアドレス比較許可レジスタ	
(WREN)	189
ワイルドレジスタデータ設定レジスタ	
ワイルドレジスタデータ設定レジスタ	
(WRDR0 ~ WRDR2)	187
ワイルドレジスタデータテスト設定レジスタ	
ワイルドレジスタデータテスト設定レジスタ	
(WROR)	190
割込み	
16 ビットリロードタイマの割込み	480
16 ビットリロードタイマの割込みのレジスタと	
ベクタテーブルのアドレス	480
16 ビット PPG タイマの割込みに関連する	
レジスタとベクタテーブルのアドレス	454
16 ビット PPG タイマ割込み	454
8/10 ビット A/D コンバータ動作中の割込み	
.....	373
8/10 ビット A/D コンバータの割込みに関連する	
レジスタとベクタテーブルのアドレス	373
8/16 ビット PPG の割込み	424
8/16 ビット PPG の割込みに関連する	
レジスタとベクタテーブルのアドレス	424
8/16 ビット複合タイマの割込みに関連する	
レジスタとベクタテーブルのアドレス	234
I ² C の割込みのレジスタと	
ベクタテーブルのアドレス	657
LIN Synch Field エッジ検出割込み	
(8/16 ビット複合タイマ割込み)	315
LIN-UART の割込みに関連するレジスタと	
ベクタテーブルのアドレス	316
UART/SIO の割込み	603
UART/SIO の割込みに関連するレジスタと	
ベクタテーブルのアドレス	603
インターバル機能動作時の割込み	151
インターバルタイマ機能動作時の割込み	
(時計割込み)	176
外部割込み回路の動作中の割込み	272
外部割込み回路の割込みに関連するレジスタと	
ベクタテーブルのアドレス	272
周辺機能からの割込み要求	96
受信割込み	313, 603
受信割込み発生とフラグセットの	
タイミング	317
上位バンクの書換え時における	
割込み発生	716
スタンバイモードは CPU が割込みを受け付け	
ない場合も解除されます。	72
ストップ割込み	656
送信割込み	314, 603
送信割込み発生とフラグセットの	
タイミング	319
送信割込み要求発生タイミング	320
タイマ 00 割込み	232
タイマ 01 の割込み	232
タイマ 10 割込み	233
タイマ 11 の割込み	233
タイムベースタイマの割込みに関連する	
レジスタとベクタテーブル	152
多重割込み	102
転送割込み	655
時計プリスケアラの割込み	176

時計プリスケアラの割込みに関連するレジスタと	
ベクタテーブル	176
マルチパルスジェネレータの割込みに関連する	
レジスタとベクタテーブルのアドレス	540
マルチパルスジェネレータの割込み要因	539
マルチパルスジェネレータの割込み	538
割込みからの復帰時のスタック動作	104
割込み処理開始時のスタック動作	104
割込み処理時間	103
割込み処理のスタック領域	105
割込み端子選択回路	280
割込み端子選択回路制御レジスタ (WICR)	284
割込み端子選択回路の端子	282
割込み端子選択回路の動作	287
割込み端子選択回路の	
ブロックダイアグラム	281
割込み端子選択回路のレジスタ	283
割込み動作時の処理	99
割込みの受け付けを制御するビット	43
割込みの概要	96
割込み要因一覧表	753
割込み要求によりスタンバイモードへの遷移が	
抑止されることがあります。	72
割込み端子選択回路	
割込み端子選択回路使用上の注意	288
割込み端子選択回路制御レジスタ (WICR)	284
割込み端子選択回路の概要	280
割込み端子選択回路の端子	282
割込み端子選択回路の動作	287
割込み端子選択回路の	
ブロックダイアグラム	281
割込み端子選択回路のレジスタ	283
割込みレベル設定レジスタ	
割込みレベル設定レジスタ (ILR0 ~ ILR5) の	
構成	98
ワンショット位置検出	
「ワンショット位置検出とリロードタイマアンダ	
フロー」方式	566
「ワンショット位置検出とリロードタイマアンダ	
フロー」方式で生成されるタイミング	
(OPS2 ~ OPS0 = 111 _B)	566
「ワンショット位置検出またはリロードタイマア	
ンダフロー」方式	568
「ワンショット位置検出またはリロードタイマア	
ンダフロー」方式で生成される タイミング	
(OPS2 ~ OPS0 = 101 _B)	568
「ワンショット位置検出」方式	565
「ワンショット位置検出」方式で生成されるタイ	
ミング (OPS2 ~ OPS0=110 _B)	565
ワンショットモード	
インターバルタイマ機能	
(ワンショットモード)	194
インターバルタイマ機能 (ワンショットモード)	
の動作 (タイマ 0)	235
インターバルタイマ機能 (ワンショットモード)	
の動作 (タイマ 1)	236
内部クロックモード	
(ワンショットモード) の動作	485
ワンショットモード (PCNTH1 レジスタの MDSE:	
bit5=1)	457

レジスタ索引

A

ADC1	8/10 ビット A/D コンバータ制御 レジスタ 1.....	368
ADC2	8/10 ビット A/D コンバータ制御 レジスタ 2.....	370
ADDH	8/10 ビット A/D コンバータデータレジスタ 上位.....	372
ADDL	8/10 ビット A/D コンバータデータレジスタ 下位.....	372
AIDRL	A/D 入力禁止レジスタ下位.....	108

B

BGR0	LIN-UART ボーレートジェネレータ レジスタ 0.....	312
BGR1	LIN-UART ボーレートジェネレータ レジスタ 1.....	312
BRSR0	UART/SIO 専用ボーレートジェネレータ ボーレート設定レジスタ.....	628

C

CMCR	クロック監視制御レジスタ.....	396
CMDR	クロック監視データレジスタ.....	394
CPCUR/CPCLR	コンペアクリアレジスタ.....	531
CRTH	メイン CR クロックトリミングレジスタ (上位).....	731
CRTL	メイン CR クロックトリミングレジスタ (下位).....	733

D

DDR0	ポート 0 方向レジスタ.....	108
DDR1	ポート 1 方向レジスタ.....	108
DDR6	ポート 6 方向レジスタ.....	108
DDRF	ポート F 方向レジスタ.....	108
DDRG	ポート G 方向レジスタ.....	108

E

ECCR	LIN-UART 拡張通信制御レジスタ.....	310
EIC00	外部割込み制御レジスタ ch.0/ch.1.....	270
EIC01	外部割込み制御レジスタ ch.8/ch.9.....	270
EIC10	外部割込み制御レジスタ ch.2/ch.3.....	270
EIC20	外部割込み制御レジスタ ch.4/ch.5.....	270
EIC30	外部割込み制御レジスタ ch.6/ch.7.....	270
ESCR	LIN-UART 拡張制御ステータス レジスタ.....	308

F

FRS	フラッシュメモリステータスレジスタ 2, フラッシュメモリステータスレジスタ 3, および RDY ビット.....	693
FSR	フラッシュメモリステータス レジスタ.....	685

FSR3	フラッシュメモリステータス レジスタ 3.....	691
------	------------------------------	-----

I

IAAR0	I ² C アドレスレジスタ ch. 0.....	652
IAAR1	I ² C アドレスレジスタ ch. 1.....	652
IBCR00	I ² C バス制御レジスタ 0 ch. 0.....	641
IBCR10	I ² C バス制御レジスタ 1 ch. 0.....	645
IBSR0	I ² C バスステータスレジスタ ch. 0.....	648
ICCR0	I ² C クロック制御レジスタ ch. 0.....	653
IDDR0	I ² C データレジスタ ch. 0.....	651
ILR0	割込みレベル設定レジスタ 0.....	98
ILR1	割込みレベル設定レジスタ 1.....	98
ILR2	割込みレベル設定レジスタ 2.....	98
ILR3	割込みレベル設定レジスタ 3.....	98
ILR4	割込みレベル設定レジスタ 4.....	98
ILR5	割込みレベル設定レジスタ 5.....	98
ILSR	入力レベル選択レジスタ.....	108
IPCLR	入力制御レジスタ下位.....	529
IPCUR	入力制御レジスタ上位.....	527

N

NCCR	ノイズキャンセル制御レジスタ.....	536
------	---------------------	-----

O

OPCLR	出力制御レジスタ下位.....	516
OPCUR	出力制御レジスタ上位.....	514
OPDBLR0	出力データバッファレジスタ 下位 0.....	525
OPDBLR1	出力データバッファレジスタ 下位 1.....	525
OPDBLR2	出力データバッファレジスタ 下位 2.....	525
OPDBLR3	出力データバッファレジスタ 下位 3.....	525
OPDBLR4	出力データバッファレジスタ 下位 4.....	525
OPDBLR5	出力データバッファレジスタ 下位 5.....	525
OPDBLR6	出力データバッファレジスタ 下位 6.....	525
OPDBLR7	出力データバッファレジスタ 下位 7.....	525
OPDBLR8	出力データバッファレジスタ 下位 8.....	525
OPDBLR9	出力データバッファレジスタ 下位 9.....	525
OPDBLRA	出力データバッファレジスタ 下位 A.....	525
OPDBLRB	出力データバッファレジスタ 下位 B.....	525
OPDBUR0	出力データバッファレジスタ 上位 0.....	523
OPDBUR1	出力データバッファレジスタ 上位 1.....	523
OPDBUR2	出力データバッファレジスタ 上位 2.....	523

OPDBUR3出力データバッファレジスタ	
上位 3.....	523
OPDBUR4出力データバッファレジスタ	
上位 4.....	523
OPDBUR5出力データバッファレジスタ	
上位 5.....	523
OPDBUR6出力データバッファレジスタ	
上位 6.....	523
OPDBUR7出力データバッファレジスタ	
上位 7.....	523
OPDBUR8出力データバッファレジスタ	
上位 8.....	523
OPDBUR9出力データバッファレジスタ	
上位 9.....	523
OPDBURA出力データバッファレジスタ	
上位 A.....	523
OPDBURB出力データバッファレジスタ	
上位 B.....	523
OPDLR 出力制御レジスタ下位.....	521
OPDUR 出力データレジスタ上位.....	519

P

PC00 8/16 ビット PPG タイマ 00 制御レジスタ	ch. 0.....	418
PC01 8/16 ビット PPG タイマ 01 制御レジスタ	ch. 0.....	416
PC10 8/16 ビット PPG タイマ 00 制御レジスタ	ch. 1.....	418
PC11 8/16 ビット PPG タイマ 01 制御レジスタ	ch. 1.....	416
PC20 8/16 ビット PPG タイマ 00 制御レジスタ	ch. 2.....	418
PC21 8/16 ビット PPG タイマ 01 制御レジスタ	ch. 2.....	416
PCNTH1 16 ビット PPG 状態制御レジスタ	上位.....	450
PCNTL1 16 ビット PPG 状態制御レジスタ	下位.....	452
PCSRH1 16 ビット PPG 周期設定バッファ	レジスタ上位.....	448
PCSRL1 16 ビット PPG 周期設定バッファ	レジスタ下位.....	448
PDCRH1 16 ビット PPG ダウンカウンタレジスタ	(上位).....	447
PDCRL1 16 ビット PPG ダウンカウンタレジスタ	(下位).....	447
PDR0 ポート 0 データレジスタ.....		108
PDR1 ポート 1 データレジスタ.....		108
PDR6 ポート 6 データレジスタ.....		108
PDRF ポート F データレジスタ.....		108
PDRG ポート G データレジスタ.....		108
PDS00 8/16 ビット PPG タイマ 00 デューティ	設定バッファレジスタ ch. 0.....	421
PDS01 8/16 ビット PPG タイマ 01 デューティ	設定バッファレジスタ ch. 0.....	421
PDS10 8/16 ビット PPG タイマ 10 デューティ	設定バッファレジスタ ch. 1.....	421
PDS11 8/16 ビット PPG タイマ 11 デューティ	設定バッファレジスタ ch. 1.....	421
PDS20 8/16 ビット PPG タイマ 20 デューティ	設定バッファレジスタ ch. 2.....	421
PDS21 8/16 ビット PPG タイマ 21 デューティ	設定バッファレジスタ ch. 2.....	421

PDUTH1 16 ビット PPG デューティ設定バッファ	レジスタ上位.....	449
PDUTL1 16 ビット PPG デューティ設定バッファ	レジスタ下位.....	449
PPGS 8/16 ビット PPG 起動レジスタ.....		422
PPS00 8/16 ビット PPG タイマ 00	周期設定バッファレジスタ ch. 0.....	420
PPS01 8/16 ビット PPG タイマ 01	周期設定バッファレジスタ ch. 0.....	420
PPS10 8/16 ビット PPG タイマ 10	周期設定バッファレジスタ ch. 1.....	420
PPS11 8/16 ビット PPG タイマ 11	周期設定バッファレジスタ ch. 1.....	420
PPS20 8/16 ビット PPG タイマ 20	周期設定バッファレジスタ ch. 2.....	420
PPS21 8/16 ビット PPG タイマ 21	周期設定バッファレジスタ ch. 2.....	420
PSSR0 UART/SIO 専用ボーレートジェネレータ	プリスケール選択レジスタ.....	627
PUL0 ポート 0 プルアップ制御レジスタ.....		108
PUL1 ポート 1 プルアップ制御レジスタ.....		108
PULG ポート G プルアップ制御レジスタ.....		108

R

RDR/TDR LIN-UART 受信 / 送信	データレジスタ.....	306
RDR0 UART/SIO シリアル入力データレジスタ	ch. 0.....	600
REVC 8/16 ビット PPG 出力反転	レジスタ.....	423
RSRR リセット要因レジスタ.....		90

S

SCR LIN-UART シリアル制御レジスタ.....		300
SMC10 UART/SIO シリアルモード制御レジスタ 1	ch. 0.....	594
SMC20 UART/SIO シリアルモード制御レジスタ 2	ch. 0.....	596
SMR LIN-UART シリアルモードレジスタ.....		302
SSR LIN-UART シリアルステータス	レジスタ.....	304
SSR0 UART/SIO シリアルステータスアンド	データレジスタ ch. 0.....	598
STBC スタンバイ制御レジスタ.....		62
SYCC システムクロック制御レジスタ.....		57
SYCC2 システムクロック制御レジスタ 2.....		65
SYSC システム構成レジスタ.....		741

T

T00CR0 8/16 ビット複合タイマ 00	制御ステータスレジスタ 0 ch.0.....	208
T00CR1 8/16 ビット複合タイマ 00	制御ステータスレジスタ 1 ch.0.....	214
T00DR 8/16 ビット複合タイマ 00	データレジスタ ch.0.....	226
T01CR0 8/16 ビット複合タイマ 01	制御ステータスレジスタ 0 ch.0.....	208
T01CR1 8/16 ビット複合タイマ 01	制御ステータスレジスタ 1 ch.0.....	214
T01DR 8/16 ビット複合タイマ 01	データレジスタ ch.0.....	226
T10CR0 8/16 ビット複合タイマ 10	制御ステータスレジスタ 0 ch.1.....	211

MB95330H シリーズ

T10CR1	8/16 ビット複合タイマ 10 制御ステータスレジスタ 1 ch.1	217
T10DR	8/16 ビット複合タイマ 10 データレジスタ ch.1	229
T11CR0	8/16 ビット複合タイマ 11 制御ステータスレジスタ 0 ch.1	211
T11CR1	8/16 ビット複合タイマ 11 制御ステータスレジスタ 1 ch.1	217
T11DR	8/16 ビット複合タイマ 11 データレジスタ ch.1	229
TBTC	タイマベースタイマ制御レジスタ (TBTC)	148
TCSR	タイマ制御状態レジスタ	534
TDR0	UART/SIO シリアル出力データレジスタ ch. 0	601
TMBUR/TMBLR	タイマバッファレジスタ	533
TMCR0	8/16 ビット複合タイマ 00 タイマモード制御レジスタ ch.0	220
TMCR0	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.1	220
TMCR0	8/16 ビット複合タイマ 01 タイマモード制御レジスタ ch.0	220
TMCR1	8/16 ビット複合タイマ 10 タイマモード制御レジスタ ch.1	223
TMCR1	8/16 ビット複合タイマ 11 タイマモード制御レジスタ ch.1	223
TMCSRH1	16 ビットリロードタイマ状態制御 レジスタ (上位) ch.1	474
TMCSRL1	16 ビットリロードタイマ状態制御 レジスタ下位 ch.1	476
TMRH1	16 ビットリロードタイマタイマレジスタ 上位 ch.1	478
TMRL1	16 ビットリロードタイマタイマレジスタ 下位 ch.1	478

TMRLRH1	16 ビットリロードタイマリロード レジスタ上位 ch.1	479
TMRLRL1	16 ビットリロードタイマリロード レジスタ下位 ch.1	479

W

WATR	発振安定待ち時間設定レジスタ	59
WDTC	ウォッチドックタイマ制御レジスタ ...	163
WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	734
WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	734
WPCR	時計プリスケラ制御レジスタ	174
WRARH0	ワイルドレジスタアドレス設定 レジスタ上位 ch.0	188
WRARH1	ワイルドレジスタアドレス設定 レジスタ上位 ch.1	188
WRARH2	ワイルドレジスタアドレス設定 レジスタ上位 ch.2	188
WRARL0	ワイルドレジスタアドレス設定 レジスタ下位 ch.0	188
WRARL1	ワイルドレジスタアドレス設定 レジスタ下位 ch.1	188
WRARL2	ワイルドレジスタアドレス設定 レジスタ下位 ch.2	188
WRDR0	ワイルドレジスタデータ設定レジスタ ch.0	187
WRDR1	ワイルドレジスタデータ設定レジスタ ch.1	187
WRDR2	ワイルドレジスタデータ設定レジスタ ch.2	187
WREN	ワイルドレジスタアドレス比較 許可レジスタ	189
WROR	ワイルドレジスタデータテスト設定 レジスタ	190

端子機能索引

A

AN00	A/D コンバータアナログ入力端子 ch. 0.....	363
AN01	A/D コンバータアナログ入力端子 ch. 1.....	363
AN02	A/D コンバータアナログ入力端子 ch. 2.....	363
AN03	A/D コンバータアナログ入力端子 ch. 3.....	363
AN04	A/D コンバータアナログ入力端子 ch. 4.....	363
AN05	A/D コンバータアナログ入力端子 ch. 5.....	363
AN06	A/D コンバータアナログ入力端子 ch. 6.....	363
AN07	A/D コンバータアナログ入力端子 ch. 7.....	363

E

EC0	8/16 ビット複合タイマ 00/01 クロック 入力端子 ch.0.....	201
EC1	8/16 ビット複合タイマ 10/11 クロック 入力端子 ch.1.....	202

I

INT00	外部割込み入力端子 ch.0.....	265
INT01	外部割込み入力端子 ch.1.....	265
INT02	外部割込み入力端子 ch.2.....	265
INT03	外部割込み入力端子 ch.3.....	265
INT04	外部割込み入力端子 ch.4.....	265
INT05	外部割込み入力端子 ch.5.....	265
INT06	外部割込み入力端子 ch.6.....	265
INT07	外部割込み入力端子 ch.7.....	265
INT08	外部割込み入力端子 ch.8.....	265
INT09	外部割込み入力端子 ch.9.....	265

O

OPT0	MPG 波形シーケンサ出力端子.....	508
OPT1	MPG 波形シーケンサ出力端子.....	508
OPT2	MPG 波形シーケンサ出力端子.....	508
OPT3	MPG 波形シーケンサ出力端子.....	508
OPT4	MPG 波形シーケンサ出力端子.....	508
OPT5	MPG 波形シーケンサ出力端子.....	508

P

PPG00	8/16 ビット PPG タイマ 00 出力 端子 ch. 0.....	411
PPG01	8/16 ビット PPG タイマ 01 出力 端子 ch. 0.....	411
PPG1	16 ビット PPG 出力端子 ch. 1 です。	444

PPG10	8/16 ビット PPG タイマ 10 出力 端子 ch. 1.....	411
PPG11	8/16 ビット PPG タイマ 11 出力 端子 ch. 1.....	411
PPG20	8/16 ビット PPG タイマ 20 出力 端子 ch. 2.....	411
PPG21	8/16 ビット PPG タイマ 21 出力 端子 ch. 2.....	411

R

$\overline{\text{RST}}$	リセット端子.....	386
-------------------------	-------------	-----

S

SCK	LIN-UART のシリアルクロック 入出力端子.....	297
SCL	I ² C のクロック入出力端子.....	638
SDA	I ² C のデータライン端子.....	638
SIN	LIN-UART のシリアルデータ入力 端子.....	297
SNIO	MPG 波形シーケンサの位置検出機能の ための入力端子をトリガします.....	508
SNI1	MPG 波形シーケンサの位置検出機能の ための入力端子をトリガします.....	508
SNI2	MPG 波形シーケンサの位置検出機能の ための入力端子をトリガします.....	508
SOT	LIN-UART のシリアルデータ出力 端子.....	297

T

TI1	16 ビットリロードタイマ入力端子 ch.1	471
TO00	8/16 ビット複合タイマ 00 出力端子 ch.0.....	201
TO01	8/16 ビット複合タイマ 01 出力端子 ch.0.....	201
TO1	16 ビットリロードタイマ出力端子 ch.1.....	471
TO10	8/16 ビット複合タイマ 10 出力端子 ch.0.....	202
TO11	8/16 ビット複合タイマ 10 出力端子 ch.0.....	202
TRG1	16 ビット PPG トリガ入力端子 ch. 1 です。.....	444

U

UCK0	UART/SIO のクロック入出力端子 ch. 0.....	590
UI0	UART/SIO のシリアルデータ入力端子 ch. 0.....	590
UO0	UART/SIO のシリアルデータ出力端子 ch. 0.....	590

割込みベクタ索引

I

IRQ00	外部割込み ch.0.....	272
IRQ00	外部割込み ch.4.....	272
IRQ01	外部割込み ch.1.....	272
IRQ01	外部割込み ch.5.....	272
IRQ02	外部割込み ch.2.....	272
IRQ02	外部割込み ch.6.....	272
IRQ03	外部割込み ch.3.....	272
IRQ03	外部割込み ch.7.....	272
IRQ04	MPG (DTTI)	539
IRQ04	UART/SIO ch. 0.....	603
IRQ05	8/16 ビット複合タイマ ch.0(下位)	234
IRQ06	8/16 ビット複合タイマ ch.0(上位) ...	234
IRQ06	8/16 ビット複合タイマ ch.0(上位)	234
IRQ07	LIN-UART(受信).....	316
IRQ08	LIN-UART(送信).....	316
IRQ09	8/16 ビット PPG ch. 1 下位	424

IRQ10	8/16 ビット PPG ch. 1 上位	424
IRQ11	8/16 ビット PPG ch. 2 上位	424
IRQ12	8/16 ビット PPG ch.0 上位	424
IRQ13	8/16 ビット PPG ch.0 下位	424
IRQ15	8/16 ビット PPG ch. 2 下位	424
IRQ16	16 ビットリロードタイマ ch.1	480
IRQ16	I ² C ch.0	657
IRQ16	MPG (書込みタイミングまたはコンペア一致).....	539
IRQ17	16 ビット PPG ch. 1	454
IRQ17	MPG (位置検出またはコンペア一致)	540
IRQ18	8/10 ビット A/D コンバータ	373
IRQ19	タイムベースタイマ	152
IRQ20	時計プリスケラ	176
IRQ21	外部割込み ch.8.....	272
IRQ21	外部割込み ch.9.....	272
IRQ23	フラッシュメモリ	717

CM26-10126-1

FUJITSU SEMICONDUCTOR - CONTROLLER MANUAL

F²MC[®]-8FX

8 ビット・マイクロコントローラ

MB95330H シリーズ

ハードウェアマニュアル

2010 年 4 月 初版発行

発行

富士通セミコンダクター株式会社

編集

企画部 プロモーション推進部
