

# Spansion® 模拟和微控制器产品



---

本文档包含有关 Spansion 模拟和微控制器产品的信息。尽管本文档内有原来开发该产品规格的公司名称“富士通”或“Fujitsu”，该产品将由 Spansion 提供给现有客户和新客户。

## 规格的延续

本文档内容并不因产品供应商的改变而有任何修改。文档内容的其他更新，均为改善文档而进行，并已记录在文档更改摘要。日后如有需要更改文档，其更改内容也将记录在文档更改摘要。

## 型号的延续

Spansion 将继续提供型号以“MB”开始的现有产品。如欲订购该类产品，敬请使用本文档内列出的产品型号。

## 查询更多信息

如欲查询更多关于 Spansion 存储器、模拟产品和微控制器产品及其解决方案的信息，请联系您当地的销售办事处。

## 勘误表

本文档为MB95330H系列硬件手册第一版(CM26-10126-1Z)的勘误表。

F<sup>2</sup>MC-8FX  
8位微控制器  
MB95330H系列  
硬件手册

2012.05.11

日期	页码	章节	描述																																																																																								
2012/05/11	80	6.12	<p>“表6.12-1 预分频器生成的计数时钟源” 应按下图阴影部分进行修正。</p> <p>(错误)</p> <p><b>表 6.12-1 预分频器生成的计数时钟源</b></p> <table><tr><th>计数时钟源频率</th><th colspan="2">频率 (F<sub>CH</sub> = 10 MHz, MCLK = 10 MHz)</th><th colspan="2">频率 (F<sub>CH</sub> = 16 MHz, MCLK = 16 MHz)</th><th colspan="2">频率 (F<sub>CH</sub> = 16.25 MHz, MCLK = 16.25 MHz)</th></tr><tr><td>MCLK/2</td><td>MCLK/2</td><td>(5 MHz)</td><td>MCLK/2</td><td>(8 MHz)</td><td>MCLK/2</td><td>(8.125 MHz)</td></tr><tr><td>MCLK/4</td><td>MCLK/4</td><td>(2.5 MHz)</td><td>MCLK/4</td><td>(4 MHz)</td><td>MCLK/4</td><td>(4.0625 MHz)</td></tr><tr><td>MCLK/8</td><td>MCLK/8</td><td>(1.25 MHz)</td><td>MCLK/8</td><td>(2 MHz)</td><td>MCLK/8</td><td>(2.0313 MHz)</td></tr><tr><td>MCLK/16</td><td>MCLK/16</td><td>(0.625 MHz)</td><td>MCLK/16</td><td>(1 MHz)</td><td>MCLK/16</td><td>(1.0156 MHz)</td></tr><tr><td>MCLK/32</td><td>MCLK/32</td><td>(0.3125 MHz)</td><td>MCLK/32</td><td>(0.5 MHz)</td><td>MCLK/32</td><td>(0.5078 MHz)</td></tr><tr><td>F<sub>CH</sub>/2<sup>7</sup></td><td>F<sub>CH</sub>/2<sup>7</sup></td><td>(78 kHz)</td><td>F<sub>CH</sub>/2<sup>7</sup></td><td>(125 kHz)</td><td>F<sub>CH</sub>/2<sup>7</sup></td><td>(127 kHz)</td></tr><tr><td>F<sub>CH</sub>/2<sup>8</sup></td><td>F<sub>CH</sub>/2<sup>8</sup></td><td>(39 kHz)</td><td>F<sub>CH</sub>/2<sup>8</sup></td><td>(62.5 kHz)</td><td>F<sub>CH</sub>/2<sup>8</sup></td><td>(63.5 kHz)</td></tr></table> <p>(正确)</p> <p><b>表 6.12-1预分频器生成的计数时钟源(F<sub>CH</sub>)</b></p> <table><tr><th>计数时钟源频率</th><th>频率 (F<sub>CH</sub> = 20 MHz, MCLK = 10 MHz)</th><th>频率 (F<sub>CH</sub> = 32 MHz, MCLK = 16 MHz)</th><th>频率 (F<sub>CH</sub> = 32.5 MHz, MCLK = 16.25 MHz)</th></tr><tr><td>MCLK/2</td><td>5 MHz</td><td>8 MHz</td><td>8.125 MHz</td></tr><tr><td>MCLK/4</td><td>2.5 MHz</td><td>4 MHz</td><td>4.0625 MHz</td></tr><tr><td>MCLK/8</td><td>1.25 MHz</td><td>2 MHz</td><td>2.0313 MHz</td></tr><tr><td>MCLK/16</td><td>0.625 MHz</td><td>1 MHz</td><td>1.0156 MHz</td></tr><tr><td>MCLK/32</td><td>0.3125 MHz</td><td>0.5 MHz</td><td>0.5078 MHz</td></tr><tr><td>F<sub>CH</sub>/2<sup>7</sup></td><td>156.25 kHz</td><td>250 kHz</td><td>253.9 kHz</td></tr><tr><td>F<sub>CH</sub>/2<sup>8</sup></td><td>78.125 kHz</td><td>125 kHz</td><td>126.95 kHz</td></tr></table>	计数时钟源频率	频率 (F <sub>CH</sub> = 10 MHz, MCLK = 10 MHz)		频率 (F <sub>CH</sub> = 16 MHz, MCLK = 16 MHz)		频率 (F <sub>CH</sub> = 16.25 MHz, MCLK = 16.25 MHz)		MCLK/2	MCLK/2	(5 MHz)	MCLK/2	(8 MHz)	MCLK/2	(8.125 MHz)	MCLK/4	MCLK/4	(2.5 MHz)	MCLK/4	(4 MHz)	MCLK/4	(4.0625 MHz)	MCLK/8	MCLK/8	(1.25 MHz)	MCLK/8	(2 MHz)	MCLK/8	(2.0313 MHz)	MCLK/16	MCLK/16	(0.625 MHz)	MCLK/16	(1 MHz)	MCLK/16	(1.0156 MHz)	MCLK/32	MCLK/32	(0.3125 MHz)	MCLK/32	(0.5 MHz)	MCLK/32	(0.5078 MHz)	F <sub>CH</sub> /2 <sup>7</sup>	F <sub>CH</sub> /2 <sup>7</sup>	(78 kHz)	F <sub>CH</sub> /2 <sup>7</sup>	(125 kHz)	F <sub>CH</sub> /2 <sup>7</sup>	(127 kHz)	F <sub>CH</sub> /2 <sup>8</sup>	F <sub>CH</sub> /2 <sup>8</sup>	(39 kHz)	F <sub>CH</sub> /2 <sup>8</sup>	(62.5 kHz)	F <sub>CH</sub> /2 <sup>8</sup>	(63.5 kHz)	计数时钟源频率	频率 (F <sub>CH</sub> = 20 MHz, MCLK = 10 MHz)	频率 (F <sub>CH</sub> = 32 MHz, MCLK = 16 MHz)	频率 (F <sub>CH</sub> = 32.5 MHz, MCLK = 16.25 MHz)	MCLK/2	5 MHz	8 MHz	8.125 MHz	MCLK/4	2.5 MHz	4 MHz	4.0625 MHz	MCLK/8	1.25 MHz	2 MHz	2.0313 MHz	MCLK/16	0.625 MHz	1 MHz	1.0156 MHz	MCLK/32	0.3125 MHz	0.5 MHz	0.5078 MHz	F <sub>CH</sub> /2 <sup>7</sup>	156.25 kHz	250 kHz	253.9 kHz	F <sub>CH</sub> /2 <sup>8</sup>	78.125 kHz	125 kHz	126.95 kHz
计数时钟源频率	频率 (F <sub>CH</sub> = 10 MHz, MCLK = 10 MHz)		频率 (F <sub>CH</sub> = 16 MHz, MCLK = 16 MHz)		频率 (F <sub>CH</sub> = 16.25 MHz, MCLK = 16.25 MHz)																																																																																						
MCLK/2	MCLK/2	(5 MHz)	MCLK/2	(8 MHz)	MCLK/2	(8.125 MHz)																																																																																					
MCLK/4	MCLK/4	(2.5 MHz)	MCLK/4	(4 MHz)	MCLK/4	(4.0625 MHz)																																																																																					
MCLK/8	MCLK/8	(1.25 MHz)	MCLK/8	(2 MHz)	MCLK/8	(2.0313 MHz)																																																																																					
MCLK/16	MCLK/16	(0.625 MHz)	MCLK/16	(1 MHz)	MCLK/16	(1.0156 MHz)																																																																																					
MCLK/32	MCLK/32	(0.3125 MHz)	MCLK/32	(0.5 MHz)	MCLK/32	(0.5078 MHz)																																																																																					
F <sub>CH</sub> /2 <sup>7</sup>	F <sub>CH</sub> /2 <sup>7</sup>	(78 kHz)	F <sub>CH</sub> /2 <sup>7</sup>	(125 kHz)	F <sub>CH</sub> /2 <sup>7</sup>	(127 kHz)																																																																																					
F <sub>CH</sub> /2 <sup>8</sup>	F <sub>CH</sub> /2 <sup>8</sup>	(39 kHz)	F <sub>CH</sub> /2 <sup>8</sup>	(62.5 kHz)	F <sub>CH</sub> /2 <sup>8</sup>	(63.5 kHz)																																																																																					
计数时钟源频率	频率 (F <sub>CH</sub> = 20 MHz, MCLK = 10 MHz)	频率 (F <sub>CH</sub> = 32 MHz, MCLK = 16 MHz)	频率 (F <sub>CH</sub> = 32.5 MHz, MCLK = 16.25 MHz)																																																																																								
MCLK/2	5 MHz	8 MHz	8.125 MHz																																																																																								
MCLK/4	2.5 MHz	4 MHz	4.0625 MHz																																																																																								
MCLK/8	1.25 MHz	2 MHz	2.0313 MHz																																																																																								
MCLK/16	0.625 MHz	1 MHz	1.0156 MHz																																																																																								
MCLK/32	0.3125 MHz	0.5 MHz	0.5078 MHz																																																																																								
F <sub>CH</sub> /2 <sup>7</sup>	156.25 kHz	250 kHz	253.9 kHz																																																																																								
F <sub>CH</sub> /2 <sup>8</sup>	78.125 kHz	125 kHz	126.95 kHz																																																																																								
2012/05/11	80	6.12	<p>“表6.12-1 预分频器生成的计数时钟源(F<sub>CH</sub>)”下添加“表6.12-2 预分频器生成的计数时钟源(F<sub>CRH</sub>)”。</p> <table><tr><th>计数时钟源频率</th><th>频率 (F<sub>CRH</sub> = 1 MHz, MCLK = 1 MHz)</th><th>频率 (F<sub>CRH</sub> = 8 MHz, MCLK = 8 MHz)</th><th>频率 (F<sub>CRH</sub> = 10 MHz, MCLK = 10 MHz)</th><th>频率 (F<sub>CRH</sub> = 12.5 MHz, MCLK = 12.5 MHz)</th></tr><tr><td>MCLK/2</td><td>500 kHz</td><td>4 MHz</td><td>5 MHz</td><td>6.25 MHz</td></tr><tr><td>MCLK/4</td><td>250 kHz</td><td>2 MHz</td><td>2.5 MHz</td><td>3.125 MHz</td></tr><tr><td>MCLK/8</td><td>1.25 kHz</td><td>1 MHz</td><td>1.25 MHz</td><td>1.5625 MHz</td></tr><tr><td>MCLK/16</td><td>62.5 kHz</td><td>0.5 MHz</td><td>0.625 MHz</td><td>0.78125 MHz</td></tr><tr><td>MCLK/32</td><td>31.25 kHz</td><td>0.25 MHz</td><td>0.3125 MHz</td><td>0.390625 MHz</td></tr><tr><td>F<sub>CRH</sub>/2<sup>6</sup></td><td>15.625 kHz</td><td>125 kHz</td><td>156.25 kHz</td><td>195.3125 kHz</td></tr><tr><td>F<sub>CRH</sub>/2<sup>7</sup></td><td>7.8125 kHz</td><td>62.5 kHz</td><td>78.125 kHz</td><td>97.65625 kHz</td></tr></table>	计数时钟源频率	频率 (F <sub>CRH</sub> = 1 MHz, MCLK = 1 MHz)	频率 (F <sub>CRH</sub> = 8 MHz, MCLK = 8 MHz)	频率 (F <sub>CRH</sub> = 10 MHz, MCLK = 10 MHz)	频率 (F <sub>CRH</sub> = 12.5 MHz, MCLK = 12.5 MHz)	MCLK/2	500 kHz	4 MHz	5 MHz	6.25 MHz	MCLK/4	250 kHz	2 MHz	2.5 MHz	3.125 MHz	MCLK/8	1.25 kHz	1 MHz	1.25 MHz	1.5625 MHz	MCLK/16	62.5 kHz	0.5 MHz	0.625 MHz	0.78125 MHz	MCLK/32	31.25 kHz	0.25 MHz	0.3125 MHz	0.390625 MHz	F <sub>CRH</sub> /2 <sup>6</sup>	15.625 kHz	125 kHz	156.25 kHz	195.3125 kHz	F <sub>CRH</sub> /2 <sup>7</sup>	7.8125 kHz	62.5 kHz	78.125 kHz	97.65625 kHz																																																
计数时钟源频率	频率 (F <sub>CRH</sub> = 1 MHz, MCLK = 1 MHz)	频率 (F <sub>CRH</sub> = 8 MHz, MCLK = 8 MHz)	频率 (F <sub>CRH</sub> = 10 MHz, MCLK = 10 MHz)	频率 (F <sub>CRH</sub> = 12.5 MHz, MCLK = 12.5 MHz)																																																																																							
MCLK/2	500 kHz	4 MHz	5 MHz	6.25 MHz																																																																																							
MCLK/4	250 kHz	2 MHz	2.5 MHz	3.125 MHz																																																																																							
MCLK/8	1.25 kHz	1 MHz	1.25 MHz	1.5625 MHz																																																																																							
MCLK/16	62.5 kHz	0.5 MHz	0.625 MHz	0.78125 MHz																																																																																							
MCLK/32	31.25 kHz	0.25 MHz	0.3125 MHz	0.390625 MHz																																																																																							
F <sub>CRH</sub> /2 <sup>6</sup>	15.625 kHz	125 kHz	156.25 kHz	195.3125 kHz																																																																																							
F <sub>CRH</sub> /2 <sup>7</sup>	7.8125 kHz	62.5 kHz	78.125 kHz	97.65625 kHz																																																																																							
2012/05/11	206	14.5.1	<p>“表14.5-1 8/16位多功能定时器00/01状态控制寄存器0 (T00CR0/T01CR0)位功能”的IFE位的功能描述添加以下内容。</p> <p>定时器运行 (T00CR1/T01CR1:STA = 1)时, 该位写操作无效。修改该位前须保证定时器已经停止运行。</p>																																																																																								

日期	页码	章节	描述
2012/05/11	208	14.5.2	<p>“表14.5-2 8/16位多功能定时器10/11状态控制寄存器0 (T10CR0/T11CR0)位功能”的IFE位的功能描述添加以下内容。</p> <p>定时器运行 (T10CR1/T11CR1:STA = 1)时, 该位写操作无效。修改该位前须保证定时器已经停止运行。</p>
2012/05/11	307	17.4.5	<p>“表17.4-4 LIN-UART扩展状态扩展寄存器(ESCR)的位功能”的SCES位的功能描述添加以下内容。</p> <p>该位置"1", 禁止执行软件复位。</p> <p>修改该位前禁止接收和发送操作。</p>
2012/05/11	312	17.5	删除“■接收中断”后面的注。
2012/05/11	349	17.8	<p>“■LIN-UART的使用注意事项”项下“●修改运行设置”中的内容应修正为如下阴影部分的内容。</p> <p>(错误)</p> <p>修改运行设置后, 例如增加启/停位或改变数据格式等, 复位LIN-UART。</p> <p>即使设置LIN-UART串行模式控制器(SMR)和复位LIN-UART (SMR:UPCL = 1)同时进行, 也未必能保证运行设置的正确性。因此设置LIN-UART串行模式寄存器(SMR)之后, 再次复位LIN-UART。</p> <p>(正确)</p> <p>采样时钟边沿选择位(ESCR:SCES)置"0", 修改下面列出的任何一个位之前, 禁止接收和发送操作。修改这些位后, 使用软件复位复位LIN-UART。</p> <ul style="list-style-type: none"> <li>• 串行控制寄存器(SCR)</li> <li>极性使能位(PEN), 停止位长度选择位(SBL), 数据长度选择位(CL)</li> <li>• 串行模式寄存器(SMR)</li> <li>工作模式选择位(MD[1:0])</li> <li>• 扩展状态扩展寄存器(ESCR)</li> <li>连续时钟输出使能位(CCO)</li> <li>• 扩展通信控制寄存器(ECCR)</li> <li>串行时钟发送/接收端选择位(MS), 串行时钟延迟使能位(SCDE), 启/停位模式使能位(SSM)</li> </ul> <p>如果要使用软件复位(SMR:UPCL = 1)去复位LIN-UART, 须先完成修改SMR寄存器的设置, 再去访问该寄存器。</p> <p>如果没有按照上述步骤修改操作设置, 则不能保证芯片的正常运行。</p> <p>即使LIN break field的发送位长是变化的, LIN break field的检测位长始终固定在11位。</p>
2012/05/11	349	17.8	<p>“■LIN-UART的使用注意事项”项下“●修改运行设置”后面添加“●修改采样时钟边沿选择位(ESCR:SCES)”。</p> <p>●修改采样时钟边沿选择位 (ESCR:SCES)</p> <p>SCES位置"1", 禁止执行LIN-UART软件复位。</p> <ul style="list-style-type: none"> <li>• SCES位从"0"修改到"1"</li> </ul> <p>禁止接收和发送操作, 执行一次LIN-UART软件复位(SMR:UPCL = 1)后, 把SCES位从"0"修改到"1"。</p> <ul style="list-style-type: none"> <li>• SCES位从"1"修改到"0"</li> </ul> <p>禁止接收和发送操作, 把SCES位从"1"修改到"0"后, 执行一次LIN-UART软件复位(SMR:UPCL = 1)。</p>
2012/05/11	349	17.8	<p>“■LIN-UART的使用注意事项”项下“●Synch break检测”后添加“●帧错误处理”。</p> <p>●帧错误处理</p> <p>如果帧错误发生(停止位: SIN = "0")且下一个起始位立即发生(SIN = "0"), 该起始位被识别, 与起始位的下降沿和接收的启动无关。数据流同步时检测到下一个帧错误(见图 17.8-1 "始终使能接收(RXE=1)时"), 该顺序用于检测串行数据输入(SIN)的连续"L"状态。</p> <p>如果没必要进行操作, 接收到帧错误后(RXE = 1→0→1)暂时禁止数据接收。所以, 检测到串行数据输入(SIN)的下降沿, 接收采样点处检测到"L"时可识别起始位, 接收启动 (见图17.8-1 "暂时禁止接收 (RXE=1→0→1)")。</p>

日期	页码	章节	描述
2012/05/11	351	17.8	<p>“●帧错误处理”添加下图“图 17.8-1 UART支配的总线操作”。</p> <p>始终使能接收时(RXE=1)</p> <p>帧错误发生时      错误清零      即使没有下降沿时, 接收也在进行      发生下一个帧错误      下降沿是下一个起始位的边沿</p> <p>暂时禁止接收时(RXE=1→0→1)</p> <p>帧错误发生时      错误清零      即使没有下降沿时, 接收也在进行      复位接收等待下降沿      没有错误发生      下降沿是下一个起始位的边沿</p>

日期	页码	章节	描述																																																																																		
2012/05/11	466	23.5.1	<p>“图 23.5-2 16位多功能控制状态寄存器高位 (TMCSRHI)”的计数时钟选择位(CSL[2:0])的计数时钟设置应按下图阴影部分进行修正。</p> <p>(错误)</p> <table><tr><th rowspan="2">CSL2</th><th rowspan="2">CSL1</th><th rowspan="2">CSL0</th><th colspan="2">计数时钟选择位</th></tr><tr><th>工作模式</th><th>计数时钟</th></tr><tr><td>0</td><td>0</td><td>0</td><td rowspan="7">内部时钟</td><td>MCLK/2</td></tr><tr><td>0</td><td>0</td><td>1</td><td>MCLK/4</td></tr><tr><td>0</td><td>1</td><td>0</td><td>MCLK/8</td></tr><tr><td>0</td><td>1</td><td>1</td><td>MCLK/16</td></tr><tr><td>1</td><td>0</td><td>0</td><td>MCLK/32</td></tr><tr><td>1</td><td>0</td><td>1</td><td>F<sub>CH</sub>/2<sup>7</sup></td></tr><tr><td>1</td><td>1</td><td>0</td><td>F<sub>CH</sub>/2<sup>8</sup></td></tr><tr><td>1</td><td>1</td><td>1</td><td>事件计数</td><td>TI1引脚</td></tr></table> <p>(修正)</p> <table><tr><th rowspan="2">CSL2</th><th rowspan="2">CSL1</th><th rowspan="2">CSL0</th><th colspan="2">计数时钟选择位</th></tr><tr><th>工作模式</th><th>计数时钟</th></tr><tr><td>0</td><td>0</td><td>0</td><td rowspan="7">内部时钟</td><td>1 MCLK</td></tr><tr><td>0</td><td>0</td><td>1</td><td>MCLK/2</td></tr><tr><td>0</td><td>1</td><td>0</td><td>MCLK/4</td></tr><tr><td>0</td><td>1</td><td>1</td><td>MCLK/8</td></tr><tr><td>1</td><td>0</td><td>0</td><td>MCLK/16</td></tr><tr><td>1</td><td>0</td><td>1</td><td>MCLK/32</td></tr><tr><td>1</td><td>1</td><td>0</td><td>MCLK/64或F<sub>CH</sub>/2<sup>7</sup></td></tr><tr><td>1</td><td>1</td><td>1</td><td>事件计数</td><td>TI1引脚</td></tr></table>	CSL2	CSL1	CSL0	计数时钟选择位		工作模式	计数时钟	0	0	0	内部时钟	MCLK/2	0	0	1	MCLK/4	0	1	0	MCLK/8	0	1	1	MCLK/16	1	0	0	MCLK/32	1	0	1	F <sub>CH</sub> /2 <sup>7</sup>	1	1	0	F <sub>CH</sub> /2 <sup>8</sup>	1	1	1	事件计数	TI1引脚	CSL2	CSL1	CSL0	计数时钟选择位		工作模式	计数时钟	0	0	0	内部时钟	1 MCLK	0	0	1	MCLK/2	0	1	0	MCLK/4	0	1	1	MCLK/8	1	0	0	MCLK/16	1	0	1	MCLK/32	1	1	0	MCLK/64或F <sub>CH</sub> /2 <sup>7</sup>	1	1	1	事件计数	TI1引脚
CSL2	CSL1	CSL0	计数时钟选择位																																																																																		
			工作模式	计数时钟																																																																																	
0	0	0	内部时钟	MCLK/2																																																																																	
0	0	1		MCLK/4																																																																																	
0	1	0		MCLK/8																																																																																	
0	1	1		MCLK/16																																																																																	
1	0	0		MCLK/32																																																																																	
1	0	1		F <sub>CH</sub> /2 <sup>7</sup>																																																																																	
1	1	0		F <sub>CH</sub> /2 <sup>8</sup>																																																																																	
1	1	1	事件计数	TI1引脚																																																																																	
CSL2	CSL1	CSL0	计数时钟选择位																																																																																		
			工作模式	计数时钟																																																																																	
0	0	0	内部时钟	1 MCLK																																																																																	
0	0	1		MCLK/2																																																																																	
0	1	0		MCLK/4																																																																																	
0	1	1		MCLK/8																																																																																	
1	0	0		MCLK/16																																																																																	
1	0	1		MCLK/32																																																																																	
1	1	0		MCLK/64或F <sub>CH</sub> /2 <sup>7</sup>																																																																																	
1	1	1	事件计数	TI1引脚																																																																																	
2012/05/11	717	31.2	<p>“图 31.2-1 系统设定寄存器 (SYSC)”中的PGSEL位应按下图阴影部分进行修正。</p> <p>(错误)</p> <table><tr><th>PGSEL</th><th>PG1/PG0功能选择位</th></tr><tr><td>0</td><td>PG1/PG0引脚选作副时钟振荡器引脚</td></tr><tr><td>1</td><td>PG1/PG0引脚选作通用I/O口</td></tr></table> <p>(修正)</p> <table><tr><th>PGSEL</th><th>PG1/PG2功能选择位</th></tr><tr><td>0</td><td>PG1/PG2引脚选作副时钟振荡器引脚</td></tr><tr><td>1</td><td>PG1/PG2引脚选作通用I/O口</td></tr></table>	PGSEL	PG1/PG0功能选择位	0	PG1/PG0引脚选作副时钟振荡器引脚	1	PG1/PG0引脚选作通用I/O口	PGSEL	PG1/PG2功能选择位	0	PG1/PG2引脚选作副时钟振荡器引脚	1	PG1/PG2引脚选作通用I/O口																																																																						
PGSEL	PG1/PG0功能选择位																																																																																				
0	PG1/PG0引脚选作副时钟振荡器引脚																																																																																				
1	PG1/PG0引脚选作通用I/O口																																																																																				
PGSEL	PG1/PG2功能选择位																																																																																				
0	PG1/PG2引脚选作副时钟振荡器引脚																																																																																				
1	PG1/PG2引脚选作通用I/O口																																																																																				
2012/05/11	718	31.2	<p>“表 31.2-1 SYSC寄存器的各位功能”中PGSEL位的名称应按下图阴影部分进行修正。</p> <p>(错误)</p> <p>PG1/PG0功能选择位</p> <p>(正确)</p> <p>PG1/PG2功能选择位</p>																																																																																		

日期	页码	章节	描述
2012/ 05/11	718	31.2	<p>“表 31.2-1 SYSC寄存器的各位功能”中PGSEL位的详情应按照下面阴影部分进行修正。</p> <p>(错误) 该位可选择PG1/PG0引脚功能。 若该位清"0", PG1/PG0引脚选作副时钟振荡器引脚, 副时钟振荡使能位(SYCC2:SOSCE)可使能/禁止副时钟振荡。 若该位置"1", PG1/PG0引脚选作通用I/O口。</p> <p>(修正) 该位可选择PG1/PG2引脚功能。 若该位置"0", PG1/PG2引脚选作副时钟振荡器引脚, 副时钟振荡使能位(SYCC2:SOSCE)可使能/禁止副时钟振荡。 若该位置"1", PG1/PG2引脚选作通用I/O口。</p>