



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

正誤表

F²MC-16LX

16ビット・マイクロコントローラ

MB90570 Series

ハードウェアマニュアル

[旧正誤表データも、本正誤表に含みます。]

2009. 1. 16

ページ	項目	訂正内容																
10	表1. 6-1	<div>表中の 部分を訂正。</div> <table><tr><th>端子番号</th><th>端子名</th><th>回路形式</th><th>機能説明</th></tr><tr><td>92/93</td><td>X0/X1</td><td>A</td><td>高速発振用端子です。</td></tr><tr><td>74/73</td><td>X0A/X1A</td><td>B</td><td>低速発振用端子です。</td></tr><tr><td></td><td></td><td></td><td></td></tr></table>	端子番号	端子名	回路形式	機能説明	92/93	X0/X1	A	高速発振用端子です。	74/73	X0A/X1A	B	低速発振用端子です。				
端子番号	端子名	回路形式	機能説明															
92/93	X0/X1	A	高速発振用端子です。															
74/73	X0A/X1A	B	低速発振用端子です。															
14	表 1. 7-1	<div>表中の分類Bの備考記述を で示したように訂正。</div> <div>・ 低速用発振帰還抵抗=約10MΩ</div>																
19	1. 8節	<div>ページの終わりに下記の記述を追加。</div> <div>○ PLLクロックモード動作中の注意について</div> <div>本マイコンでPLLクロックを選択しているときに発振子が外れたり、またはクロック入力 が停止した場合、本マイコンはPLL内部の自励発振回路の自走周波数で動作を継続し続ける 場合があります。この動作は保証外の動作です。</div>																
81	5. 1節	<div>「■ マシニングクロックの切換え」の注意事項に の記述を追加。</div> <div><注意事項></div> <div>電源を投入した場合、またはハードウェアスタンバイモード、ストップモードを解除した 場合は、サブクロック発振安定待ち時間(約2秒)が発生します。この間に、メインクロック モードからサブクロックモードに切り替えた場合は、発振安定時間が発生します。</div> <div>クロックモードを切り替えた場合、切替えが完了するまでは、ほかのクロックモードおよ び低消費電力モードへの切替えを行わないでください。切替えの完了はクロック選択レジ スタ (CKSCR) のMCMビットおよびSCMビットを参照して確認してください。</div>																
86	5. 3. 2項	<div>【ビット15】SCMの3行目～5行目の記述を以下のように訂正。</div> <div>SCS=1で、かつSCM=1ならば、メインクロック発振安定待ち時間中であることを示します。</div> <div>↓</div> <div>SCS=0で、かつSCM=1ならば、メインクロックからサブクロックへの移行期間中であることを あらわします。また、SCS=1で、かつSCM=0ならば、サブクロックからメインクロックへの移行期 間中であることをあらわします。</div>																
89	5. 4節	<div>ページの終わりに注意事項を追加。</div> <div><注意事項></div> <div>クロックモードを切り替えた場合、切替えが完了するまでは、ほかのクロックモードおよ び低消費電力モードへの切替えを行わないでください。切替えの完了はクロック選択レジ スタ (CKSCR) のMCMビットおよびSCMビットを参照して確認してください。</div>																

ページ	項目	訂正内容
92	6.1節	<p>ページの終わりに注意事項を追加。</p> <p><注意事項></p> <p>クロックモードを切り替えた場合、切替えが完了するまでは、ほかのクロックモードおよび低消費電力モードへの切替えを行わないでください。切替えの完了はクロック選択レジスタ (CKSCR) のMCMビットおよびSCMビットを参照して確認してください。</p>
106	6.3節	<p>ページの終わりに注意事項を追加。</p> <p><注意事項></p> <p>クロックモードを切り替えた場合、切替えが完了するまでは、ほかのクロックモードおよび低消費電力モードへの切替えを行わないでください。切替えの完了はクロック選択レジスタ (CKSCR) のMCMビットおよびSCMビットを参照して確認してください。</p>
231	15.2.2項	<p>ページの終わりに注意事項を追加。</p> <p><注意事項></p> <p>複数の外部割込み要求出力が許可 (ENIR:EN7~EN0=1) されている場合、CPUが割込みを受け付けたビット (ER7~ER0の”1”にセットされているビット) だけを”0”にクリアするようにしてください。それ以外のビットを無条件にクリアすることは避けてください。</p>
272	表19.3-2	<p>表中の記述を で示したように訂正。</p> <p>内部タイマ (8ビットPPGタイマch1または16ビットPPGタイマ)</p>
283	19.4節	<p>「■ 内部クロック」の記述を で示したように訂正。</p> <p>(2行目) ……場合は、8ビットPPGタイマch1または16ビットPPGタイマがボーレートのクロックソースとして使用されます。</p> <p>(7行目) N:PPGのカウントクロックソース 分周値</p> <p>(8行目) n:PPGのリロード値</p> <p>(9行目) ……ボーレートとPPGのリロード値 (10進数) の…</p> <p>(表タイトル) ボーレートとPPGのリロード値 (非同期)</p> <p>(表中) PPGのリロード値</p> <p>(表の下) ボーレートクロックソースとして内部タイマ (8ビットPPGタイマch1または16ビットPPGタイマ) を選択した場合には、8ビットPPGタイマch1または16ビットPPGタイマの出力PPG1は本コントローラ内部で既に接続されています。したがって、8ビットPPGタイマch1または16ビットPPGタイマの外部端子PPG1から本UARTの外部クロック入力端子SCK0へ外部で接続する必要はありません。また、PPG1の出力端子を…</p> <p>「■ 外部クロック」の最終行の記述を で示したように訂正。</p> <p>ただし、f は最大2MHzまでです。</p>

ページ	項目	訂正内容
285	19. 5. 1項	<p>「■ 受信動作」の終わりに下記の記述を追加</p> <p>○ スタートビット検出方法 スタートビットを検出するには、以下のように設定してください。</p> <ul style="list-style-type: none"> ・通信期間直前は通信線を必ず”H”（マークレベルを付加）にしてください。 ・通信線が”H”（マークレベル）の期間に、受信許可 (RXE=H) にしてください。 ・非通信期間中（マークレベルを除く）は、受信許可 (RXE=H) にしないでください。正しいデータが受信できません。 ・ストップビット検出後 (RDRFフラグが”1”にセットされた後)、通信線が”H”（マークレベル）の間に受信禁止 (RXE=L) にしてください。  <p>図1. 正常動作</p> <p>以下の例のようなタイミングで受信許可に設定しますとマイコン側で入力データ (SIN) が正しく認識されませんので注意してください。</p> <ul style="list-style-type: none"> ・通信線が”L”の期間に、受信許可 (RXE=H) に設定した場合の動作例  <p>図2. 異常動作</p>
304	20. 3. 1項	<p>「■ 外部シフトクロックモード」の2行目～3行目の記述を で示したように訂正。</p> <p>転送速度はDCから1/(8マシンサイクル)まで可能です。例えば、”1マシンサイクル=62.5ns”のとき、2MHzまで可能です。</p>
351	25. 2節	<p>【ビット8】MIの＜注意事項＞の記述を以下のように訂正。</p> <p>ROMミラー機能を起動している場合、00バンクの”004000_H～00FFFF_H”番地へ、”FF4000_H～FFFF_H”番地がミラーされますので、”FF3FFF_H”番地以下のROMアドレスでは、ROMのミラー機能を設定しても00バンクにミラーされません。</p>

ページ	項目	訂正内容
453	付録 B	<p>「表 B. 9-20 XCH Ri, ea命令 (第 1 バイト=7E_H)」を変更</p> <p>(誤)</p> <p>項目「A」</p> <p>+Aの行 「W2+d16, A」</p> <p>(正)</p> <p>項目「A0」</p> <p>+Aの行 「@RW2+d16」</p>