



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

#### 商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

#### オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

#### 詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

#### サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM<sup>TM</sup>、SRAM、Traveo<sup>TM</sup> マイクロコントローラー、業界唯一の PSoC<sup>®</sup> プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense<sup>®</sup> 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth<sup>®</sup> Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

## 正誤表

MB90560/565 Series ハードウェアマニュアル 第5版(CM44-10107-5)に対する正誤表です。

F<sup>2</sup>MC-16LX

16ビット・マイクロコントローラ

MB90560/565 Series

ハードウェアマニュアル

2011. 8. 2

※ : 訂正箇所

日付	ページ	項目	誤	正
-	4	表 1. 2-1	パッケージ 欄	SH-DIP (FPT-64P-M01) SH-DIP64 (DIP-64P-M01)
-	5	表 1. 2-2	パッケージ 欄	MB90F568, MB90567, MB90568はQFP-64 (FPT-64P-M09) / QFP-64 (FPT-64P-M06) のみ。 PGA-256, SH-DIP (FPT-64P-M01) は削除
2009/ 4/2	5	表 1. 2-2	動作電圧欄	3V±10% (最大マシナクロック8MHz時) 3.3V±0.3V (最大マシナクロック8MHz時) [mcu_doc0338]
-	7	1. 4節	表題項目	DIP-64P-M01 (MB90565シリーズではサポートしていません)
-	9	図 1. 4-3	図中左下	*MB90565シリーズではN.C. になります。 *MB90565シリーズではサポートしていません。
-	10	1. 5節	表題項目	DIP-64P-M01 (MB90565シリーズではサポートしていません)
-	16	表 1. 7-1	分類 A 欄	発振帰還抵抗 (R <sub>f</sub> ) 内蔵 発振帰還抵抗 約1MΩ
-	17	表 1. 7-1	分類 E 欄	回路上に R (抵抗) が記載。 回路上の R (抵抗) を削除。 備考欄に IOL=12Ma を追記。
-	18	1. 8節	ページの終わりに追加	○ N.C. 端子の処理 N.C. (内部接続) 端子は、必ず開放にして使用してください。
-	20	1. 8節	ポート 0.1 からの出力 が不定になる 場合	…なお、降圧回路を内蔵していない品種 では、降圧回路の発振安定待ち時間があり ませんので、不定を出力しません。 (対象品種: MB90561/A, MB90562/A) …なお、降圧回路を内蔵していない品種で は、降圧回路の発振安定待ち時間がありま せんので、不定を出力しません。 (対象品種: MB90F568, MB90567/8, MB90561/A, MB90562/A)
-	21	1. 8節	ページの終わりに追加	○ PLLクロックモード動作中の注意について 本マイコンでPLLクロックを選択しているときに発振子が外れたり、あるいはクロック入力が停止した場合、本マイコンはPLL内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証外の動作です。
-	27	図 2. 3-1	品種欄	MB90561 MB90562 MB90F562 MB90V560, MB90V565 MB90561/A MB90562/A MB90F562/B MB90V560
-	27	図 2. 3-1	アドレス#1 欄 MB90567	FF8000h FE8000h
-	27	図 2. 3-1	アドレス#1 欄 MB90568	FF0000h FE0000h

日付	ページ	項目	誤	正
-	27	図 2.3-1	アドレス#1 欄 MB90F568	FE0000 <sub>H</sub>
-	27	図 2.3-1	アドレス#1 欄 MB90V560	FE0000 <sub>H</sub> *
-	47	図 2.7-12		ILM2～ILM0(bit15～13)に網掛け。
-	58	2.9.4項	表題項目	・プリフィックスコードや割込み/ホールド抑止命令の実行中は、割込み/ホールド要求を受け付けません。 ・割込み/ホールド命令の前にプリフィックスコードをおいた場合、…
-	58	2.9.4項	■ プリフィックスコードと割込み/ホールド抑止命令	■ プリフィックスコードと割込み抑止命令
-	58	表 2.9-6	表題	表 2.9-6 プリフィックスコードと割込み抑止命令
-	58	表 2.9-6	表中右上	割込み抑止命令
-	58	表 2.9-6	表中左	割込み要求を受付けない命令
-	58	2.9.4項	○ 割込み/ホールドの抑止	○割込みの抑止 図 2.9-1 に示すように、プリフィックスコードや割込み命令の実行中は、割込み要求が発生しても、受け付けられません。受け付けられない場合、割込み処理が行われるのは、プリフィックスコードや割込み抑止命令以降、初めてプリフィックスコードや割込み命令以外の命令が実行された後になります。
-	58	図 2.9-1	図題	図 2.9-1 割込みの抑止
-	58	図 2.9-1	図中上	割込み抑止命令
-	59	2.9.4項	○ プリフィックスコードの効果遅延	割込み抑止命令の前にプリフィックスコードを設定した場合、プリフィックスコードの効果は、割込み抑止命令後の命令に対して有効となります。
-	59	図 2.9-2	図題	図2.9-2 割込み抑止命令とプリフィックスコード
-	59	図 2.9-2	図中上	割込み抑止命令
-	65	3.1節	○ パワーオンリセット	… MB90V560/MB90F562, MB90V565/MB90F568 の発振安定待ち時間は $2^{18}/\text{HCLK}$ (約65.54ms: 発振クロック 4MHz 時), MB90562, MB90568の発振安定待ち時間は $2^{17}/\text{HCLK}$ (約32.77ms: 4MHz 発振時) 固定になります。…

日付	ページ	項目	誤	正
-	66	表 3.2-1	パワーオン リセット欄 MB90V560/MB90F562:2 <sup>18</sup> /HCLK (約 65.54ms) MB90V565/MB90F568:2 <sup>18</sup> /HCLK (約 65.54ms) MB90562, MB90568:2 <sup>17</sup> /HCLK (約32.77ms)	MB90V560, MB90F562/B:2 <sup>18</sup> /HCLK (約 65.54ms) MB90561/A, MB90562/A, :2 <sup>17</sup> /HCLK (約32.77ms) MB90567/8, MB90F568:2 <sup>17</sup> /HCLK (約32.77ms)
	66	図 3.2-1	図中上 対象 品種	MB90V560, MB90F562/B
-	66	図 3.2-1	図中下 対象 品種	MB90561/A, MB90562/A, MB90567/8, MB90F568
-	73	3.6節	リセットに よる各端子 の状態	リセットにより各端子の状態は、モード 端子 (MD2~MD0) の設定によって異なり ます。 内部ベクタモード設定時 (MD2="0", MD1="1", MD0="1") ポート0~6はハイ インピーダンス出力となります。モード データは内蔵ROM(またはフラッシュメ モリ)から読み出されます。
-	73	3.6節	■モ ー ド データ 読み出し後 の端子状態	モードデータ読み出し後の端子状態 は、モードデータレジスタのバスモ ード設定ビット (M1, M0) によって設定さ れます。 ○シングルチップモード設定時(モード データレジスタ:M1, M0 ビット="00b") ポート0~6はハイインピーダンス出力 となります。 モードデータは内蔵ROM(またはフラッ シュメモリ)から読み出されます。
-	81	表 4.3-1	bit13/bit1 2 の 行 の 機 能欄	「・ストップモードを・・・を設定します。」の文章の後に、以下の記述を追加。  PLLストップモードからPLLクロックモードに復帰する場合の発振安定待ち時間 は、2 <sup>14</sup> /HCLK 以上必要ですので、PLLストップモードに移行する場合、本ビットには "10b"または"11b"を設定してください。
-	81	表 4.3-1	bit10 の 行 の機能欄	「・PLLクロックの発振安定待ち時間は、 ・・・」 「・メインクロックモードからPLLクロッ クモードに切り替えた場合の発振安 定待ち時間は、・・・」
-	82	4.4節	「■ ク ロックモ ードの遷 移」の注 意事項に 追加	クロックモードを切り替えた場合、切替えが完了するまでは、他のクロックモードお よび低消費電力モードへの切替えを行わないようにしてください。切替えの完了は クロック選択レジスタ (CKSCR) のMCMビットを参照して確認してください。
-	84	4.5節	「■ 発振 安定待ち 時間」の 本文を訂 正	メインクロックからPLLクロックへ切り 替えた場合、PLL発振安定待ち時間の 間、CPUはメインクロックで動作したあ とに、PLLクロックに切り替わります。 メインクロックからPLLクロックに切り 替えた場合、発振安定待ち時間の間、CPU はメインクロックで動作しています。発 振安定待ち時間が経過すると、PLLクロ ックに切り替わります。
-	89	5.1節	「■ スタ ンバイモ ード」の注 意事項	MB90560/565シリーズには、ハードウェアスタンバイ機能用の端子がないためストッ プモードは使用できません。の文を削除。

日付	ページ	項目		誤	正
-	89	5.1節	「■ スタンバイモード」の注意事項に追加	マシニングクロックの切替え後、周辺機能（リソース）を設定する場合は、クロック選択レジスタ（CKSCR）のマシニングクロック表示ビット（MCM）により、マシニングクロックが切り替わったことを確認したあとに設定してください。切替えが完了する前に、他のクロックモードおよび低消費電力モードへの切替えを行った場合、切り替わらない場合があります。	
-	93	5.3節	ページの終わりに追加	<p>&lt;注意事項&gt;</p> <p>ストップモード、タイムベースタイマモード時に、周辺機能とポートを兼用している端子をハイインピーダンスに設定する場合は、周辺機能の出力を禁止に設定した後、低消費電力モード制御レジスタ（LPMCR）のSTPビットを“1”またはTMDビットを“0”に設定してください。対象となる端子を以下に示します。</p> <p>対象端子：P21/T00, P23/T01, P30/RT00, P31/RT01, P32/RT02, P33/RT03, P34/RT04, P35/RT05, P37/SOT0</p>	
-	96	表 5.5-1	表の見出し	「クロック」	
-	96	表 5.5-1	表下	* 1:タイムベースタイマ, および外部割込み	
-	96	5.5節	ページの終わりに追加	<p>&lt;注意事項&gt;</p> <p>ストップモード、タイムベースタイマモード時に、周辺機能とポートを兼用している端子をハイインピーダンスに設定する場合は、周辺機能の出力を禁止に設定した後、低消費電力モード制御レジスタ（LPMCR）のSTPビットを“1”またはTMDビットを“0”に設定してください。対象となる端子を以下に示します。</p> <p>対象端子：P21/T00, P23/T01, P30/RT00, P31/RT01, P32/RT02, P33/RT03, P34/RT04, P35/RT05, P37/SOT0</p>	
-	97	5.5.1項	○ ホールド機能	ホールド機能の記述を全て削除。	
-	99	5.5.2項	ページの終わりに追加	<p>&lt;注意事項&gt;</p> <p>タイムベースタイマモード時に、周辺機能とポートを兼用している端子をハイインピーダンスに設定する場合は、周辺機能の出力を禁止に設定した後、低消費電力モード制御レジスタ（LPMCR）のTMDビットを“0”に設定してください。</p> <p>対象となる端子を以下に示します。</p> <p>対象端子：P21/T00, P23/T01, P30/RT00, P31/RT01, P32/RT02, P33/RT03, P34/RT04, P35/RT05, P37/SOT0</p>	
-	100	5.5.2項	○ タイムベースタイマ割込みによる解除	タイムベースタイマ割込みによりタイムベースタイマモードを解除する場合は、割込みレベルが7より強いタイムベースタイマ、および外部割込みによる割込み要求（割込み制御レジスタ ICR：IL2, IL1, IL0=“000 <sub>B</sub> ”～“110 <sub>B</sub> ”）が必要です。	タイムベースタイマ割込みによりタイムベースタイマモードを解除する場合は、割込みレベルが7より強いタイムベースタイマ割込みによる割込み要求（割込み制御レジスタ ICR：IL2, IL1, IL0=“000 <sub>B</sub> ”～“110 <sub>B</sub> ”）が必要です。
-	101	5.5.3項	ページの終わりに追加	<p>&lt;注意事項&gt;</p> <p>ストップモード時に、周辺機能とポートを兼用している端子をハイインピーダンスに設定する場合は、周辺機能の出力を禁止に設定した後、低消費電力モード制御レジスタ（LPMCR）のSTPビットを“1”に設定してください。</p> <p>対象となる端子を以下に示します。</p> <p>対象端子：P21/T00, P23/T01, P30/RT00, P31/RT01, P32/RT02, P33/RT03, P34/RT04, P35/RT05, P37/SOT0</p>	
-	102	5.5.3項	「■ ストップモードの解除」の本文に追加	ストップモードから復帰する場合は、発振クロック（HCLK）が停止しているため、メインクロック発振安定待ち時間を経て、ストップモードが解除されます。	

日付	ページ	項目		誤	正
-	102	5.5.3項	「■ ス ト ッ プ モードの 解除」の本 文に追加	ストップモードから復帰する場合は、発振クロック (HCLK) が停止しているため、メイ ンクロック発振安定待ち時間を経て、ストップモードが解除されます。	
-	102	5.5.3項	ページの 終わりに 追加	<注意事項> PLLストップモード中は、メインクロックおよびPLL通倍回路が停止しているため、PLL ストップモードから復帰する場合は、メインクロック発振安定待ち時間およびPLLク ロック発振安定待ち時間を確保する必要があります。この場合の発振安定待ち時間 は、クロック選択レジスタの発振安定待ち時間選択ビット (CKSCR:WS1, WS0) に設定さ れた値に従い、メインクロック発振安定待ち時間およびPLLクロック発振安定待ち時 間を同時にカウントしますので、CKSCR:WS1, WS0ビットには、発振安定待ち時間の長い 方に合わせて値を設定してください。ただし、PLLクロック発振安定待ち時間は 2 <sup>14</sup> /HCLK以上必要ですので、CKSCR:WS1, WS0ビットには、“10 <sub>B</sub> ”または“11 <sub>B</sub> ”を設定してく ださい。	
-	103	図5.6-1	矢印の説 明文	「発振安定待ち」(3箇所)	「発振安定待ち終了」
-	103	図5.6-1	楕円の中 の文	「メイン発振待ち」	「メインクロック発振安定待ち」
-	103	図5.6-1	楕円の中 の文	「PLL発振待ち」	「メインクロック発振安定待ち」
-	104	5.7節	ページの 終わりに 追加	<注意事項> ストップモード、タイムベースタイマモード時に、周辺機能とポートを兼用して いる端子をハイインピーダンスに設定する場合は、周辺機能の出力を禁止に設定 した後、低消費電力モード制御レジスタ (LPMCR) のSTPビットを“1”またはTMDビ ットを“0”に設定してください。対象となる端子を以下に示します。 対象端子：P21/T00, P23/T01, P30/RT00, P31/RT01, P32/RT02, P33/RT03, P34/RT04, P35/RT05, P37/SOT0	
-	104	表 5.7-1	見出し項 目	ストップモード	ストップモード/タイムベースタイマ モード
-	105	5.8節	「■ スタ ン バ イ モードへ の遷移と 割込み」の 次に挿入	■ スタンバイモードへ遷移する場合の注意 ストップモード、タイムベースタイマモード時に、周辺機能とポートを兼用している 端子をハイインピーダンスに設定する場合は、以下の手順に従って設定してくださ い。 1) 周辺機能の出力を禁止します。 2) 低消費電力モード制御レジスタ (LPMCR) のSPLビットを“1”に、STPビットを“1” またはTMDビットを“0”に設定します。	
-	106	5.8節	「■ 発振 安定待ち 時間」の本 文の訂正 と追加	CPUがメインクロックで動作している場合 は、PLLクロックが停止しているため、動作 クロックをメインクロックからPLLクロッ クに切り替えた場合は、PLLクロック発振 安定待ち時間をとります。	メインクロックモード中は、PLL通倍回 路が停止しているため、PLLクロック モードに移行する場合は、PLLクロック 発振安定待ち時間を確保する必要があ ります。
-	106	5.8節	「■ 発振 安定待ち 時間」の本 文の訂正 と追加	PLLストップモード中は、メインクロックおよびPLL通倍回路が停止しているため、PLL ストップモードから復帰する場合は、メインクロック発振安定待ち時間およびPLLク ロック発振安定待ち時間を確保する必要があります。この場合の発振安定待ち時間 は、クロック選択レジスタの発振安定待ち時間選択ビット (CKSCR:WS1, WS0) に設定さ れた値に従い、メインクロック発振安定待ち時間およびPLLクロック発振安定待ち時 間を同時にカウントしますので、CKSCR:WS1, WS0ビットには、発振安定待ち時間の長い 方に合わせて値を設定してください。ただし、PLLクロック発振安定待ち時間は 2 <sup>14</sup> /HCLK以上必要ですので、CKSCR:WS1, WS0ビットには、“10 <sub>B</sub> ”または“11 <sub>B</sub> ”を設定してく ださい。	

日付	ページ	項目		誤	正
-	106	5.8節	ページの終わりに追加	<p>■ クロックモードの切替え</p> <p>クロックモードを切り替えた場合、切替えが完了するまでは、他のクロックモードおよび低消費電力モードへの切替えを行わないようにしてください。切替えの完了はクロック選択レジスタ(CKSCR)のMCMビットを参照して確認してください。</p> <p>切替えが完了する前に、他のクロックモードおよび低消費電力モードへの切替えを行った場合、切り替わらない場合があります。</p>	
-	150	7.1節	<注意事項>	MB90560/565シリーズでは、シングルチップモードを設定してください。シングルチップモードを設定する場合は、MD2～MD0端子を"001b"に、モードデータレジスタのバスモード設定ビット(M1, M0)は"10b"に、設定して下さい。	MB90560/565シリーズでは、シングルチップモードを設定してください。シングルチップモードを設定する場合は、MD2～MD0端子を"011b"に、モードデータレジスタのバスモード設定ビット(M1, M0)は"00b"に、設定して下さい。
-	156	8.1節	■ 入出力ポート機能	● ポート1: 入出力ポート/リソース(外部割込み入力端子) 兼用	● ポート1: 入出力ポート/リソース(外部割込み入力端子, フリーランタイムクロック入力) 兼用
-	172	8.5.2項	ページの終わりに追加	<p>&lt;注意事項&gt;</p> <p>ストップモード、タイムベースタイマモード時に、周辺機能とポートを兼用している端子をハイインピーダンスに設定する場合は、周辺機能の出力を禁止に設定した後、低消費電力モード制御レジスタ(LPMCR)のSTPビットを"1"またはTMDビットを"0"に設定してください。対象となる端子を以下に示します。</p> <p>対象端子：P21/T00, P23/T01</p>	
-	177	8.6.2項	ページの終わりに追加	<p>&lt;注意事項&gt;</p> <p>ストップモード、タイムベースタイマモード時に、周辺機能とポートを兼用している端子をハイインピーダンスに設定する場合は、周辺機能の出力を禁止に設定した後、低消費電力モード制御レジスタ(LPMCR)のSTPビットを"1"またはTMDビットを"0"に設定してください。対象となる端子を以下に示します。</p> <p>対象端子：P30/RT00, P31/RT01, P32/RT02, P33/RT03, P34/RT04, P35/RT05, P37/SOT0</p>	
-	181	表 8.7-3	表中右下	DDR4の初期値 00000000b	DDR4の初期値 X0000000b
-	200	表 9.3-1	bit11の行の機能欄	<p>「・"1"を設定した場合は、・・・」の次に以下の項目を追加。</p> <p>・リードモディファイライト系の命令でリードした場合は、"1"が読み出されます。</p>	
-	200	表 9.3-1		・ストップモードへの遷移、タイムベースタイマ初期化ビット・・・	・TBOFビットは、"0"の書込み、ストップモードへの遷移、メインクロックモードからPLLクロックモードへの遷移、タイムベースタイマ初期化ビット・・・
-	202	9.5節	■ 発振安定待ち時間用タイマ機能	タイムベースタイマは、発振クロックの・・・	タイムベースタイマは、メインクロックの・・・
-	203	表 9.5-1	各欄	「発振クロック」(3箇所)	「メインクロック」
-	203	表 9.5-1	各欄	「ウォッチドッグリセット」の項の「カウンタクリア」の欄 "○" → "×" に訂正	
-	203	表 9.5-1	各欄	「ストップモードの解除」の項の「発振安定待ち時間」の欄 " (メインクロックモード復帰時)" を削除	
-	203	表 9.5-1	各欄	「タイムベースタイマモードの解除」の項の「発振安定待ち時間」の欄 "なし" に訂正	

日付	ページ	項目		誤	正
-	203	表 9.5-1	各欄	「スリープモードの解除」の項の「発振安定待ち時間」の欄 “なし” に訂正	
-	248	12.1節	●カウン トクロ ックは、 次の8 種類か ら設定で きます。	$\Phi$ , $\Phi/2$ , $\Phi/4$ , $\Phi/8$ , $\Phi/16$ , $\Phi/32$ , $\Phi/64$ , $\Phi/128$ $\Phi$ : マシンクロック周波数	$1/\Phi$ , $2^1/\Phi$ , $2^2/\Phi$ , $2^3/\Phi$ , $2^4/\Phi$ , $2^5/\Phi$ , $2^6/\Phi$ , $2^7/\Phi$ $\Phi$ : マシンクロック周波数
-	260	図12.3-9	図中上	CLK2～CLK0: カウントロック $\Phi$ , $\Phi/2$ , $\Phi/4$ , $\Phi/8$ , $\Phi/16$ , $\Phi/32$ , $\Phi/64$ , $\Phi/128$	CLK2～CLK0: カウントロック $1/\Phi$ , $2^1/\Phi$ , $2^2/\Phi$ , $2^3/\Phi$ , $2^4/\Phi$ , $2^5/\Phi$ , $2^6/\Phi$ , $2^7/\Phi$
-	262	12.3.2項	ページの 終わりに 追加	<注意事項> コンペアレジスタを書き換える場合は、コンペア割込みのルーチン内で行う か、コンペア動作禁止の状態で行い、コンペア一致と書き込みが同時に発生しない ようにしてください。	
-	276	図12.3-18	図中上	PC02～PC00: 動作クロック設定ビット $\Phi$ , $\Phi/2$ , $\Phi/4$ , $\Phi/8$ , $\Phi/16$	PC02～PC00: 動作クロック設定ビット $1/\Phi$ , $2^1/\Phi$ , $2^2/\Phi$ , $2^3/\Phi$ , $2^4/\Phi$
-	276	図12.3-18	図中下	PC12～PC10: 動作クロック設定ビット $\Phi$ , $\Phi/2$ , $\Phi/4$ , $\Phi/8$ , $\Phi/16$	PC12～PC10: 動作クロック設定ビット $1/\Phi$ , $2^1/\Phi$ , $2^2/\Phi$ , $2^3/\Phi$ , $2^4/\Phi$
-	281	図12.3-23	図中 中央	DCK2～DCK0: 動作クロック設定ビット $\Phi$ , $\Phi/2$ , $\Phi/4$ , $\Phi/8$ , $\Phi/16$ , $\Phi/32$ , $\Phi/64$	DCK2～DCK0: 動作クロック設定ビット $1/\Phi$ , $2^1/\Phi$ , $2^2/\Phi$ , $2^3/\Phi$ , $2^4/\Phi$ , $2^5/\Phi$ , $2^6/\Phi$
-	287	12.4.2項	■アウト プット コンパ アのタイ ミング	コンペアレジスタ設定中は、カウンタ値とのコンペア動作を行いません。の文を削除	
-	287	図12.4-7	全て	図12.4-7の図とタイトルを削除	
-	287	12.4.2項	ページの 終わりに 追加	<注意事項> コンペアレジスタを書き換える場合は、コンペア割込みのルーチン内で行う か、コンペア動作禁止の状態で行い、コンペア一致と書き込みが同時に発生しない ようにしてください。	
-	304	表13.1-1	ボーレー トの欄	・内部クロック (16ビットリロードタイマ …)	・内部クロック (16ビットリロードタイマ 0, 1…)
-	306	図13.2-1	図中左上	クロックセクタへの入力、16ビット リロードタイマ	クロックセクタへの入力、16ビット リロードタイマ0, 1
-	307	13.2節	○クロッ クセレ クタ	専用ボーレートジェネレータ、外部入力 クロック (SCK0/SCK1端子入力のクロッ ク)、内部クロック (16ビットリロードタイ マ…	専用ボーレートジェネレータ、外部入力 クロック (SCK0/SCK1端子入力のクロッ ク)、内部クロック (16ビットリロードタイ マ0, 1…
-	312	図13.4-3	CS2 ～ CS0 の “110 <sub>B</sub> ” のクロッ ク 設 定 ビットの 欄	内部クロック (16ビットリロードタイマ) によるボーレート	内部クロック (16ビットリロードタイマ 0, 1) によるボーレート

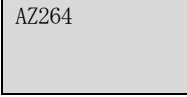
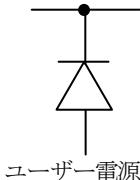
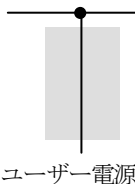


日付	ページ	項目	誤	正
-	313	表13.4-2	bit5 ～ 3:CS2 ～ CS0: クロック設定ビットの機能欄	・クロック入力は、外部クロック (SCK0 /SCK1端子入力), 内部クロック (16ビットリロードタイマ), 専用ボーレート…
-	324	13.6節	表題項目	内部クロック (16ビットリロードタイマ0, 1)
-	324	13.6節	○内部クロックによるボーレートの設定	16ビットリロードタイマ0, 1から供給される内部クロックを、同期の場合はそのまま、非同期の場合は16分周して、ボーレートとして使用します。リロードタイマ値の設定によってボーレートを設定できます。
-	325	図13.6-1	図中左	16ビットリロードタイマ0, 1
-	328	13.6.2項	項題	13.6.2 内部クロック (16ビットリロードタイマ0, 1)によるボーレート
-	328	13.6.2項	表題項目	UARTの転送クロックとして、16ビットリロードタイマから供給される内部クロックを設定した場合の…
-	328	図13.6-2	図題	図13.6-2 内部クロック (16ビットリロードタイマ0, 1)によるボーレート選択回路
-	328	図13.6-2	図中左	16ビットリロードタイマ0, 1出力(プリスケラ分周値と…)
-	328	13.6-2項	○ボーレート計算式	N:16ビットリロードタイマ0, 1のプリスケラによる分周比 n:16ビットリロードタイマ0, 1のリロード値
-	329	表13.6-4	表下	N:16ビットリロードタイマ0, 1のプリスケラによる分周比

日付	ページ	項目	誤	正
-	334	13. 7. 1項 ページ の 終 わ り に 追 加	<div>○ スタートビット検出方法 スタートビットを検出するには、以下のように設定してください。<ul style="list-style-type: none"><li>・ 通信期間直前は通信線を必ず“H”（マークレベルを付加）にしてください。</li><li>・ 通信線が“H”（マークレベル）の期間に、受信許可 (RXE=H) にしてください。</li><li>・ 非通信期間中（マークレベルを除く）は、受信許可 (RXE=H) にしないでください。正しいデータが受信できません。</li><li>・ ストップビット検出後 (RDRFフラグが“1”にセットされた後)、通信線が“H”（マークレベル）の間に受信禁止 (RXE=L) にしてください。</li></ul></div> <div></div> <div>以下の例のようなタイミングで受信許可に設定しますとマイコン側で入力データ (SIN) が正しく認識されませんので注意してください。<ul style="list-style-type: none"><li>・ 通信線が“L”の期間に、受信許可 (RXE=H) に設定した場合の動作例</li></ul></div> <div></div>	

日付	ページ	項目		誤	正
-	353	14. 4. 1項	注 意 事 項 の 記 述 を 訂 正	リードモディファイライト系命令の読み出し時には“1”が読み出されます。複数の外部割込み要求出力が許可 (ENIR:EN7~ENO=1) されている場合, CPUが割込みを受け付けたビット (ER7~ER0の“1”にセットされているビット) だけを“0”にクリアするようにしてください。それ以外のビットを無条件にクリアすることは避けてください。	
-	383	表16. 4-1	bit9 の 行 の機能欄	<p>「・A/D変換動作を起動するビットです。」の次に以下の項目を追加。</p> <ul style="list-style-type: none"> <li>・“0”を設定した場合は, 動作に影響しません。</li> <li>・バイト/ワード命令では“1”が読み出されます。</li> <li>・リードモディファイライト系命令では“0”が読み出されます。</li> </ul>	
-	385	表16. 4-2	bit5, bit4 , bit3	・A/D変換中は, 変換中のチャンネル番号が読み出されます。停止変換モードでの一時停止中は, 直前に変換したチャンネルの番号が読み出されます。	・A/D 変換中は, 変換中のチャンネル番号が読み出されます。停止変換モードでの一時停止中は, 本ビットに値を設定した場合でも, A/D変換が開始されるまでは, 設定した値ではなく, 前回にA/D変換したチャンネルの番号が読み出されます。リセット時は, “000 <sub>b</sub> ”に初期化されます。
-	416	18. 2節	表中: 品 種 名	MB90561	MB90561/A
-	416	18. 2節	表中: 品 種 名	MB90562	MB90562/A
-	416	18. 2節	表中: 品 種 名	MB90F562	MB90F562/B
-	416	18. 2節	表中: 品 種 名	品 種 名 「MB90V565」 の欄全体を削除。	
-	416	18. 2節	表中: アド レス1	MB90V560:FF0000 <sub>H</sub>	MB90V560:FE0000 <sub>H</sub>
-	418	19. 1節	■ 512K ビット (64K バ イト) フ ラ ッ シュ メ モ リ の特長	● 書込み/消去回数 1万回保証	● 書込み/消去回数 (最小) 10,000回
-	421	表19. 3-1	bit3, 1の 機能	・必ず“1”を設定してください。	・必ず“0”を設定してください。

日付	ページ	項目	誤	正
2009/ 4/2	435	図19.6-2	図全体	<p>「図 19.6-2 セクタ消去手順の例」を、以下の 11/13</p>

日付	ページ	項目		誤	正
-	443	20章	章題	第20章 F <sup>3</sup> MC-16LX MB90F562/F568 シリアル書込み接続例	第21章 F <sup>3</sup> MC-16LX MB90F562/B/F568 シリアル書込み接続例
2009/4/2	446	表20. 1-2	型 格 AZ246 の行	以下の  で示す行を削除。 <div style="border: 1px solid black; padding: 5px; width: fit-content;">             AZ264      電源レギュレータ              (MB90F568 : 3V製品にフラッシュマイコンプログラマから電源供給する場合に必要です。)           </div>	
2009/4/2	450 451	図20. 3-2	全て	「図 20. 3-2 MB90F568 内部ベクタモードでのシリアル書込み接続例 (ライタ電源から供給時)」を削除。	
2009/4/2	452	図20. 4-1	図中左下	TVpp1	TVcc
2009/4/2	452	図20. 4-1	図中左下		
2009/4/2	455	図20. 5-2	全て	「図 20. 5-2 フラッシュマイコンプログラマとの最小限の接続例 (ライタ電源から供給時)」を削除。	
2009/1/16	523	付録 B		「表 B. 9-20 XCH Ri, ea命令 (第1バイト=7EH)」を変更  (誤)  項目「A」  +Aの行 「W2+d16, A」  (正)  項目「A0」  +Aの行 「@RW2+d16」	

## 19.8 フラッシュセキュリティ機能

---

フラッシュセキュリティ機能はフラッシュメモリの内容を保護することができます。

---

### ■ フラッシュセキュリティ機能

フラッシュメモリの所定のアドレスはフラッシュセキュリティコントローラ（512Kビットフラッシュメモリ：FF0001）にアサインされます。“フラッシュメモリのセキュリティビットに保護コード“01H”を書き込むとフラッシュメモリへのアクセスを制限できます。フラッシュメモリを一度保護すると、チップ消去を行うまで保護された状態を解除することはできません。保護された状態を解除しない限り、外部端子からフラッシュメモリのデータを読み出し/書き込みすることはできません。

この機能は、フラッシュメモリに格納される自己完結型プログラムやデータのセキュリティを必要とするアプリケーションに適しています。対象のアプリケーションがプログラムの一部をマイコンの外側に位置づけることを条件としている場合、フラッシュセキュリティコントローラの本来の機能を使用することはできません。この理由から、外部ベクタフェッチモードは保護コードを設定した時に使用することはできません。

スタンダードパラレルプログラマによるフラッシュマイコンのプログラミングには、独自のセットアップが必要です。例えば、ミナトエレクトロニクス株式会社からのプログラムでは、デバイスチェックをOFFにする必要があります。保護コード書き込みは、通常フラッシュプログラミングの最後に行うことが推奨されます。これはプログラミング中の不必要な保護を防ぎます。

一度保護されたフラッシュメモリに再プログラミングするには、チップ消去を行う必要があります。

# 第 20 章

---

## 1M ビットフラッシュ メモリ

この章では、1M ビットフラッシュメモリの機能および動作について説明します。

- 20.1 1M ビットフラッシュメモリの概要
- 20.2 フラッシュメモリ全体のブロックダイアグラムとセクタ構成
- 20.3 フラッシュメモリの書込み／消去モード
- 20.4 フラッシュメモリ制御ステータスレジスタ（FMCS）
- 20.5 フラッシュメモリ自動アルゴリズム起動方法
- 20.6 自動アルゴリズム実行状態の確認
- 20.7 フラッシュメモリ書込み／消去の詳細説明
- 20.8 1M ビットフラッシュメモリ使用上の注意
- 20.9 フラッシュメモリにおけるリセットベクタアドレス
- 20.10 1M ビットフラッシュメモリのプログラム例

## 20.1 1M ビットフラッシュメモリの概要

---

フラッシュメモリへのデータ書込み / 消去の方法には、以下の 3 通りの方法があります。

1. パラレルライタの使用
2. シリアル専用ライタの使用
3. プログラム実行による書込み / 消去

本章では、「3. プログラム実行による書込み / 消去」について解説します。

---

### ■ 1M ビットフラッシュメモリの概要

1M ビットフラッシュメモリは、CPU メモリマップ上の  $FE_H \sim FF_H$  バンクに配置されています。フラッシュメモリインタフェース回路の機能により、CPU からのリードアクセスおよびプログラムアクセスができます。

フラッシュメモリへの書込み / 消去は、フラッシュメモリインタフェース回路を介して CPU からの命令で行えるため、実装状態での書換えができ、プログラムやデータの改善を効率よく行うことができます。

### ■ 1M ビットフラッシュメモリの特長

- 128K ワード × 8 / 64K ワード × 16 ビット (16K+8k × 2+32K+64K) セクタ構成
- 自動プログラムアルゴリズム (Embedded Alogrithm<sup>TM</sup>: MBM29LV200 と同様)
- 消去一時停止 / 消去再開機能の搭載
- データポーリング、トグルビットによる書込み / 消去完了検出
- CPU 割込みによる書込み / 消去の完了検出
- セクタごとの消去が可能 (セクタ組み合わせ自由)
- 書込み / 消去回数 (最小) 10,000 回

Embedded Alogrithm<sup>TM</sup> は Advanced Micro Device 社の商標です。

---

< 注意 >      マニファクチャコードとデバイスコードの読出し機能はありません。  
また、これらのコードは、コマンドによってもアクセスできません。

---

### ■ フラッシュメモリ書込み / 消去

- フラッシュメモリは書込み / 消去と読出しを同時に行うことはできません。
- フラッシュメモリにデータの書込み / 消去を行う場合には、フラッシュメモリ上にあるプログラムをいったん RAM にコピーし、RAM にコピーしたプログラムを実行することにより、フラッシュメモリへの書込みを行うことができます。



# ー メ モ ー

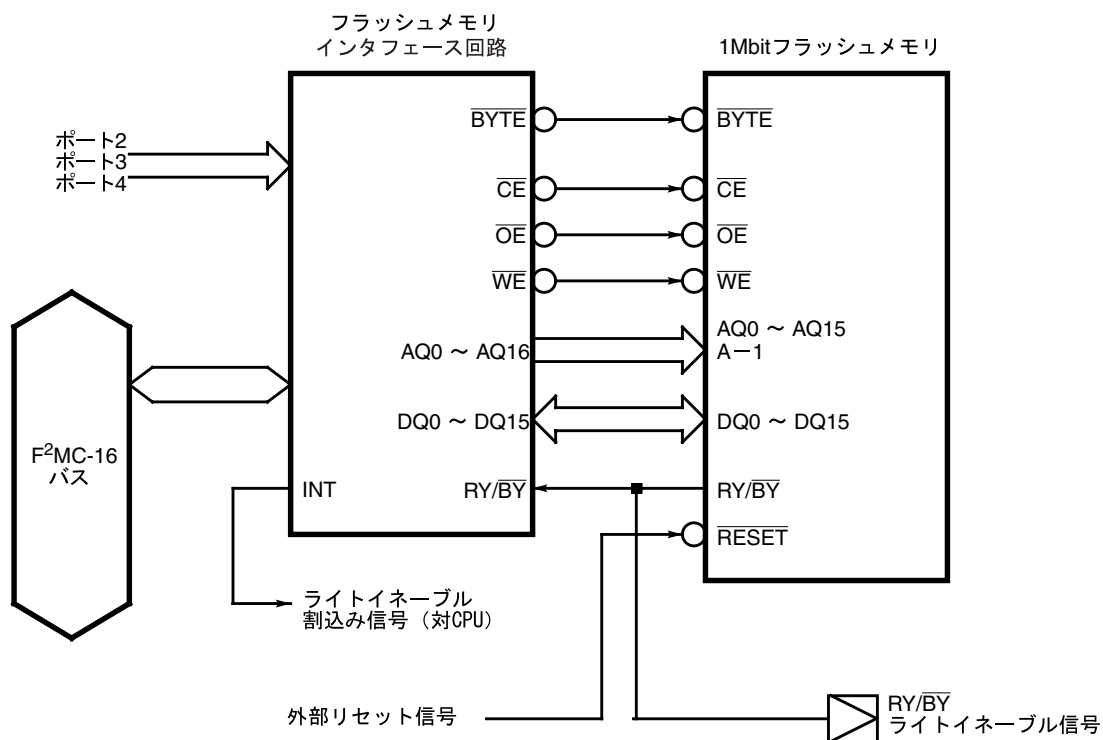
## 20.2 フラッシュメモリ全体のブロックダイアグラムとセクタ構成

フラッシュメモリのブロックダイアグラムとセクタ構成を示します。

### ■ 1M ビットフラッシュメモリのブロックダイアグラム

図 20.2-1 に 1M ビットフラッシュメモリのブロックダイアグラムを示します。

図 20.2-1 1M ビットフラッシュメモリのブロックダイアグラム



● 1M ビットフラッシュメモリのセクタ構成

図 20.2-2 に、1M ビットフラッシュメモリのセクタ構成を示します。図中アドレスには、各セクタの上位アドレスと下位アドレスを示します。

CPU からアクセスする場合 FE バンクレジスタに SA0、FF バンクレジスタに SA1 ~ SA4 が配置されています。

図 20.2-2 1M ビットフラッシュメモリのセクタ構成

フラッシュメモリ	CPUアドレス	ライターアドレス*
SA4 (16Kバイト)	FFFFFFFH	7FFFFFFH
	FFC000H	7C000H
SA3 (8Kバイト)	FFBFFFH	7BFFFH
	FFA000H	7A000H
SA2 (8Kバイト)	FF9FFFH	79FFFH
	FF8000H	78000H
SA1 (32Kバイト)	FF7FFFH	77FFFH
	FF0000H	70000H
SA0 (64Kバイト)	FEFFFFH	6FFFFH
	FE0000H	60000H

\* : ライターアドレスとは、フラッシュメモリにパラレルライターでデータの書込みを行う場合、CPUアドレスに相当するアドレスです。汎用ライターを使用し書込み／消去を行う場合は、このライターアドレスで書込み／消去を行います。

## 20.3 フラッシュメモリの書込み／消去モード

1M ビットフラッシュメモリのアクセスは、フラッシュメモリモードとその他モードの 2 種類の方法で行われます。フラッシュメモリモードの場合、外部端子から直接書込み／消去を行います。その他モードの場合、内部バスを介して CPU から書込み／消去を行います。モードの選択はモード外部端子で行います。

### ■ フラッシュメモリモード

- リセット信号が発生している間にモード端子を "111" にセットした場合、CPU は停止します。フラッシュメモリインターフェイス回路は直接ポート 0,2,3,4 に接続されていますので外部端子で制御できます。
- フラッシュメモリモードの場合、MCU が外部端子の標準フラッシュメモリと同様の動作を行いますので、フラッシュメモリプログラムを使用して書込み／消去を行ってください。
- フラッシュメモリモードの場合、フラッシュメモリ自動アルゴリズムでサポートされる全ての動作を使用できます。

### ■ その他モード

- フラッシュメモリは、CPU メモリ空間の  $FE_H \sim FF_H$  バンクに配置されていますので、マスク ROM と同様にフラッシュメモリインターフェイス回路を介して CPU から読出しアクセスおよびプログラムアクセスを行うことができます。
- フラッシュメモリへの書込み／消去は、フラッシュメモリインターフェイス回路を介して CPU からの命令で行うことができます。このため、このモードでは MCU が対象ボードにはんだ付けされていても再書込みが可能です。
- セクタプロテクトを行うことはできません。

### ■ フラッシュメモリの制御信号

表 20.3-1 にフラッシュメモリモードでのフラッシュメモリ制御信号を示します。

- フラッシュメモリ制御信号と MBM29LV200 の外部端子には、1 対 1 の対応関係が存在します。セクタプロテクトで必要となる  $V_{ID}$  (12V) 端子は、MBM29LV200 における  $A9, \overline{RESET}, \overline{OE}$  の代わりに、MD0,MD1,MD2 となります。
- フラッシュメモリモードの場合、外部データバス幅は 8 ビットに制限されており、1 バイトのアクセスしか許可されません。また、DQ15 ~ DQ8 はサポートされていません。 $\overline{BYTE}$  端子を "0" に設定してください。

表 20.3-1 フラッシュメモリ制御信号

MB90FXXX			MBM29LV200
端子番号	通常機能	フラッシュメモリモード	
1～8	P20～P27	AQ0～AQ7	A-1, A0～A6
9	P30	AQ16	A15
10	P31	$\overline{\text{CE}}$	$\overline{\text{CE}}$
12	P32	$\overline{\text{OE}}$	$\overline{\text{OE}}$
13	P33	$\overline{\text{WE}}$	$\overline{\text{WE}}$
16	P36	$\overline{\text{BYTE}}$	$\overline{\text{BYTE}}$
17	P37	RY/ $\overline{\text{BY}}$	RY/ $\overline{\text{BY}}$
18～22	P40～P44	AQ8～AQ12	A7～A11
24～26	P45～P47	AQ13～AQ15	A12～A14
49	MD0	MD0	A9 (V <sub>ID</sub> )
50	MD1	MD1	$\overline{\text{RESET}}$ (V <sub>ID</sub> )
51	MD2	MD2	$\overline{\text{OE}}$ (V <sub>ID</sub> )
85～92	P00～P07	DQ0～DQ7	DQ0～DQ7
77	$\overline{\text{RST}}$	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$
使用不可			DQ8～DQ15

## 20.4 フラッシュメモリ制御ステータスレジスタ (FMCS)

フラッシュメモリ制御ステータスレジスタ (FMCS) の機能を図 20.4-1 に示します。

### ■ フラッシュメモリ制御ステータスレジスタ (FMCS)

図 20.4-1 フラッシュメモリ制御ステータスレジスタ (FMCS)

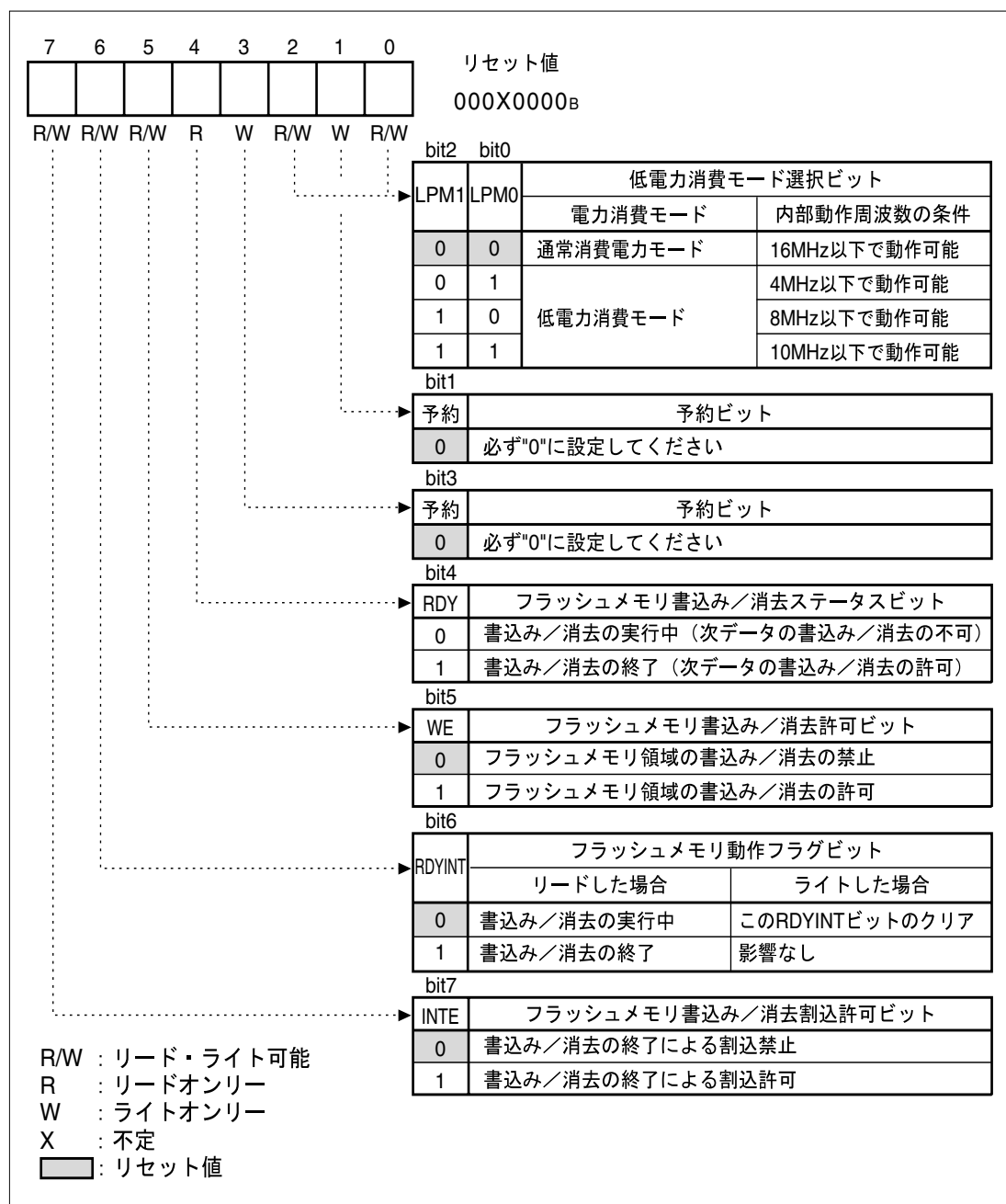


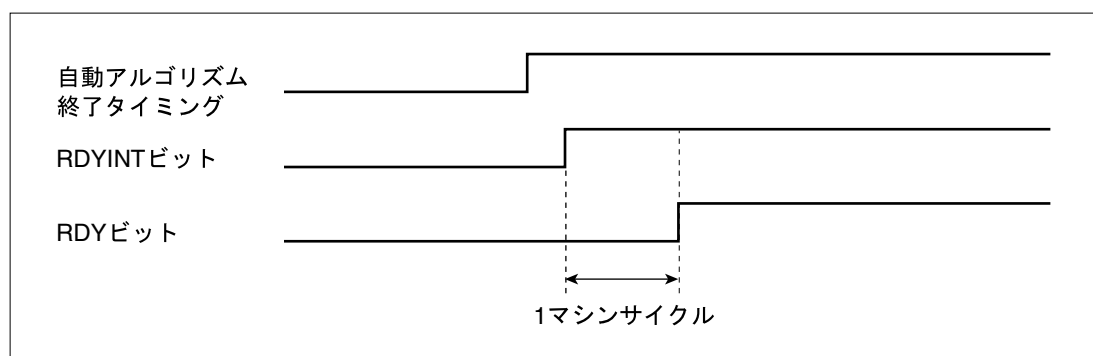
表 20.4-1 フラッシュメモリ制御ステータスレジスタ (FMCS) の機能

ビット名		機 能
bit2 bit0	LPM1, LPM0: 低電力消費モード選択 ビット	フラッシュメモリ本体の消費電力を制御します。 <ul style="list-style-type: none"> <li>フラッシュメモリへのアクセスタイムが動作周波数によって大きく異なるため、CPU の内部動作周波数の条件を参照して設定してください。</li> </ul>
bit1 bit3	予約：予約ビット	必ず "0" に設定してください。
bit4	RDY: フラッシュメモリ書込み / 消去ステータスビット	フラッシュメモリの書込み / 消去の状態を示します。 <ul style="list-style-type: none"> <li>この RDY ビットが "0" の場合は、フラッシュメモリへの書込み / 消去はできません。</li> <li>この RDY ビットが "0" の場合でも、読出し / リセットコマンド、セクタ消去一時停止などのサスペンドコマンドは受付けることができます。書込み / 消去動作を終了すると、この RDY ビットは "1" にセットされます。</li> </ul>
bit5	WE: フラッシュメモリ書込み / 消去許可ビット	フラッシュメモリ領域への書込み / 消去を許可または禁止します。この WE ビットはフラッシュメモリの書込み / 消去のコマンドを起動する前に設定してください。 <b>"0" に設定した場合</b> ：FE, FF バンクへの書込み / 消去コマンドを入力しても書込み / 消去の信号は発生しません。 <b>"1" に設定した場合</b> ：FE, FF バンクへの書込み / 消去コマンド入力後、フラッシュメモリへの書込み / 消去ができます。 <ul style="list-style-type: none"> <li>書込み / 消去を行わない場合は、誤ってフラッシュメモリに書き込んだり、消去を行わないように、この WE ビットを "0" に設定してください。</li> </ul>
bit6	RDYINT: フラッシュメモリ動作 フラグビット	フラッシュメモリの動作状態を示します。 フラッシュメモリの書込み / 消去が終了した場合にフラッシュメモリ自動アルゴリズム終了のタイミングで、この RDYINT ビットに "1" がセットされます。 <ul style="list-style-type: none"> <li>フラッシュメモリ書込み / 消去の終了による割込みを許可に設定している場合は (FMCS: INTE=1), この RDYINT ビットに "1" がセットされると割込要求が発生します。</li> <li>この RDYINT ビットが "0" の場合は、フラッシュメモリへの書込み / 消去はできません。</li> </ul> <b>"0" に設定した場合</b> ：クリアされます。 <b>"1" に設定した場合</b> ：影響しません。 リードモディファイライト (RMW) 命令を使用した場合は、必ず "1" が読み出されます。
bit7	INTE: フラッシュメモリ書込み / 消去割込許可ビット	フラッシュメモリの書込み / 消去の終了による割込み要求発生を許可または禁止します。 <b>"1" に設定した場合</b> ：フラッシュメモリ動作フラグビットを "1" に設定した場合に (FMCS: RDYINT=1), 割込要求が発生します。

< 参照 >      コマンドシーケンスは「20.5 フラッシュメモリ自動アルゴリズム起動方法」を参照してください。

---

< 注意 >      フラッシュメモリ動作フラグビット (RDYINT) とフラッシュメモリ書込み / 消去ステータスビット (RDY) は同時には変化しません。どちらかのビットで書込み / 消去の終了を判定するようにプログラムを作成してください。





## 20.5 フラッシュメモリ自動アルゴリズム起動方法

フラッシュメモリの自動アルゴリズムを起動するコマンドには、読出し／リセット、書込み、チップ消去の 4 種類があり、セクタ消去については一時停止と再開の制御ができます。

### ■ コマンドシーケンス表

表 20.5-1 に、フラッシュメモリの書込み / 消去時に使用するコマンドの一覧を示します。コマンドレジスタに書き込むデータはすべてバイト長ですが、ワードアクセスで書き込んでください。ワードアクセスで書き込んだ場合の上位バイトのデータは無視されます。

表 20.5-1 コマンドシーケンス表

コマンド シーケンス	バスライト アクセス	1stバスライト サイクル		2ndバスライト サイクル		3rdバスライト サイクル		4thバスライト サイクル		5thバスライト サイクル		6thバスライト サイクル	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読出し／ リセット*	1	FxXXXX	XXF0	—	—	—	—	—	—	—	—	—	—
読出し／ リセット*	4	FxAAAA	XXAA	Fx5554	XX55	FxAAAA	XXF0	RA	RD	—	—	—	—
書込み プログラム	4	FxAAAA	XXAA	Fx5554	XX55	FxAAAA	XXA0	PA (even)	PD (word)	—	—	—	—
チップ 消去	6	FxAAAA	XXAA	Fx5554	XX55	FxAAAA	XX80	FxAAAA	XXAA	Fx5554	XX55	FxAAAA	XX10
セクタ 消去	6	FxAAAA	XXAA	Fx5554	XX55	FxAAAA	XX80	FxAAAA	XXAA	Fx5554	XX55	SA (even)	XX30
セクタ消去一時停止		Address "FxXXXX"Data (xxB0h) の入力で、セクタ消去中の消去一時停止											
セクタ消去再開		Address "FxXXXX"Data (xx30h) の入力で、セクタ消去中の消去一時停止後、消去開始											
Auto Select	3	FxAAAA	XXAA	Fx5554	XX55	FxAAAA	XX90	—	—	—	—	—	—

#### < 注意 >

- ・ 表中のアドレス Fx は、FF、FE を意味します。アドレスを操作する場合はアクセス対象バンクの値に設定してください。
- ・ 表中のアドレスは、CPU メモリマップ上の値です。アドレスおよびデータはすべて 16 進数で表記しています。ただし "X" は任意の値です。
- ・ RA: 読出しアドレス
- ・ PA: 書込みアドレス、偶数アドレスのみ指定可
- ・ SA: セクタアドレス
- ・ RD: 読出しデータ
- ・ PD: 書込みデータ、ワードデータのみ指定可
- \* : 2 種類の読出し / リセットコマンドは、フラッシュメモリを読出しモードにリセットすることができます。

## 第 20 章 1M ビットフラッシュ メモリ

表 20.5-1 における AutoSelect はセクタ保護の状態を知るためのコマンドです。

表 20.5-1 のコマンドと共に，下記のようにアドレスを設定する必要があります。

**表 20.5-2 AutoSelect 時のアドレス設定**

	AQ13 ~ AQ16	AQ7	AQ2	AQ1	AQ0	DQ7 ~ DQ0
セクタ 保護	セクタ アドレス	L	H	L	L	CODE *

\* : 保護されたセクタアドレスでの出力は "01<sub>H</sub>"

保護されていないセクタアドレスでの出力は "00<sub>H</sub>"

## 20.6 自動アルゴリズム実行状態の確認

フラッシュメモリは、書込み／消去のフローを自動アルゴリズムで行うため、フラッシュメモリ内部の動作状態をハードウェアシーケンスによって確認できます。

### ■ ハードウェアシーケンスフラグ

#### ● ハードウェアシーケンスフラグの概要

ハードウェアシーケンスフラグは、次の 5 ビットの出力で構成されます。

- データポーリングフラグ (DQ7)
- トグルビットフラグ (DQ6)
- タイミングリミット超過フラグ (DQ5)
- セクタ消去タイマフラグ (DQ3)
- トグルビット 2 フラグ (DQ2)

ハードウェアシーケンスフラグにより、書込み／チップ・セクタ消去の終了、消去コードライトができるかを確認することができます。

ハードウェアシーケンスフラグを参照するには、コマンドシーケンス設定後にフラッシュメモリ内部の対象セクタのアドレスにリードアクセスすることで参照できます。表 20.6-1 にハードウェアシーケンスフラグのビット割当てを示します。

表 20.6-1 ハードウェアシーケンスフラグのビット割当て

ビット No.	7	6	5	4	3	2	1	0
ハードウェアシーケンスフラグ	DQ7	DQ6	DQ5	-	DQ3	DQ2	-	-

- 自動書込み／チップ・セクタ消去が実行中か、終了しているか判断するためには、ハードウェアシーケンスフラグを確認するか、またはフラッシュメモリ制御ステータスレジスタのフラッシュメモリ書込み／消去ステータスビット (FMCS: RDY) を確認してください。書込み／消去の終了後は、読出し／リセット状態に戻ります。
- 書込み／消去プログラムを作成する場合には、DQ7、DQ6、DQ5、DQ3、DQ2 のフラグで自動書込み／消去の終了を確認後に、データの読出しの処理を行ってください。
- 2回目以降のセクタ消去コードライトが有効であるかについても、ハードウェアシーケンスフラグによって確認することができます。

● ハードウェアシーケンスフラグの説明

表 20.6-2 に、ハードウェアシーケンスフラグ機能の一覧を示します。

表 20.6-2 ハードウェアシーケンスフラグ機能の一覧

状 態		DQ7	DQ6	DQ5	DQ3	DQ2
正常動作時の状態変化	書込み 書込完了 (書込みアドレス指時)	$\overline{\text{DQ7}}$ DATA: 7	Toggle DATA: 6	0 DATA: 5	0 DATA: 3	1 DATA: 2
	チップ・セクタ消去 消去完了	0 1	Toggle Stop	0 1	1	Toggle Stop
	セクタ消去ウェイト 消去開始	0	Toggle	0	0 1	Toggle
	消去 セクタ消去一時停止 (消去中のセクタ)	0 1	Toggle 1	0	1 0	Toggle
	セクタ消去一時停止 消去再開 (消去中のセクタ)	1 0	1 Toggle	0	0 1	Toggle
	セクタ消去一時停止中 (消去中ではないセクタ)	DATA: 7	DATA: 6	DATA: 5	DATA: 3	DATA: 2
異常動作	書込み	$\overline{\text{DQ7}}$	Toggle	1	0	1
	チップ・セクタ消去	0	Toggle	1	1	*

\* : DQ5 が "1" の場合 (タイミングリミット超過), 書込み / 消去中セクタへの連続的な読出しに対して DQ2 はトグル動作を行い, 他のセクタへの読出しに対してはトグル動作を行いません。

## 20.6.1 データポーリングフラグ (DQ7)

データポーリングフラグ (DQ7) は、自動アルゴリズム実行が進行中もしくは終了状態であることをデータポーリング機能によって知らせるハードウェアシーケンスフラグです。

### ■ データポーリングフラグ (DQ7)

表 20.6-3 と表 20.6-4 に、データポーリングフラグの状態遷移を示します。

表 20.6-3 データポーリングフラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み→ 書込完了	チップ・ セクタ消去 → 消去完了	セクタ消去 ウェイト→ 消去開始	セクタ消去→ セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止→ 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ7	$\overline{\text{DQ7}}$ DATA: 7	0 1	0	0 1	1 0	DATA: 7

表 20.6-4 データポーリングフラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ・セクタ 消去
DQ7	$\overline{\text{DQ7}}$	0

#### ● 書込みの場合

- 自動書込アルゴリズム実行中にリードアクセスした場合、最後に書込まれたデータのビット 7 を反転させた値を出力します。
- 自動書込アルゴリズム終了時にリードアクセスを行った場合、フラッシュメモリはリードアクセスを行ったアドレスのビット 7 を出力します。

#### ● チップ消去／セクタ消去の場合

- チップ消去／セクタ消去のアルゴリズム実行中に現在消去しているセクタをリードアクセスすると、フラッシュメモリのビット 7 は "0" を出力します。チップ消去／セクタ消去が終了すると、フラッシュメモリのビット 7 は "1" を出力します。

● セクタ消去一時停止の場合

- セクタ消去一時停止状態でリードアクセスを行った場合、フラッシュメモリはリードアドレスが消去中のセクタであれば、“1” を出力します。消去中のセクタでなければ、リードアドレスの読出し値のビット 7 (DATA: 7) を出力します。
- トグルビットフラグ (DQ6) とともに参照することで、セクター一時停止状態であるか、どのセクタが消去中であるかを判定することができます。

---

< 注意 >	自動アルゴリズムを起動した場合は、指定したアドレスへのリードアクセスは無視されます。データの読出しは、データポーリングフラグ (DQ7) が “1” にセットされた後、可能になります。自動アルゴリズム終了後のデータの読出しは、データポーリング終了を確認したリードアクセスのあとに行ってください。
--------	---

---

## 20.6.2 トグルビットフラグ (DQ6)

トグルビットフラグ (DQ6) は、自動アルゴリズム実行が進行中、もしくは終了状態であることをトグルビット機能によって知らせるハードウェアシーケンスフラグです。

### ■ トグルビットフラグ (DQ6)

表 20.6-5 と表 20.6-6 に、トグルビットフラグの状態遷移を示します。

表 20.6-5 トグルビットフラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み→ 書込完了	チップ・ セクタ消去 → 消去完了	セクタ消去 ウェイト→ 消去開始	セクタ消去→ セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止→ 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ6	Toggle DATA: 6	Toggle Stop	Toggle	Toggle 1	1 Toggle	DATA: 6

表 20.6-6 トグルビットフラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ・セクタ 消去
DQ6	Toggle	Toggle

#### ● 書込みとチップ消去／セクタ消去の場合

- 自動書込みアルゴリズムおよびチップ消去／セクタ消去のアルゴリズム実行中に、リードアクセスを連続して行った場合、フラッシュメモリは、リードを行うごとに "1" と "0" を交互にトグル出力します。
- 自動書込みアルゴリズムおよびチップ消去／セクタ消去のアルゴリズムが終了したあとに、リードアクセスを連続して行った場合、フラッシュメモリはリードを行うごとにリードアドレスの読出し値のビット 6 (DATA: 6) を出力します。

#### ● セクタ消去一時停止の場合

セクタ消去一時停止状態でリードアクセスを行った場合、フラッシュメモリはリードアドレスが消去中のセクタであるならば、"1" を出力します。消去中のセクタでなければ、リードアドレスの読出し値のビット 6 (DATA: 6) を出力します。

#### < 参考 >

書込みを行うセクタが書換え保護されている場合は、約 2 $\mu$ s 間トグル出力を行ったあと、データを書き換えることなくトグル出力を終了します。  
消去を行う全てのセクタが書換え保護されている場合、トグルビットフラグ (DQ6) は、約 100 $\mu$ s の間トグル出力を行ったあと、データを書き換えることなく読出し／リセット状態に戻ります。

## 20.6.3 タイミングリミット超過フラグ (DQ5)

タイミングリミット超過フラグ (DQ5) は、自動アルゴリズムの実行がフラッシュメモリ内部に規定時間（書込み／消去に要する時間）を越えてしまったことを知らせるハードウェアシーケンスフラグです。

### ■ タイミングリミット超過フラグ (DQ5)

表 20.6-7 と表 20.6-8 に、タイミングリミット超過フラグの状態遷移を示します。

表 20.6-7 タイミングリミット超過フラグの状態遷移（正常動作時の状態変化）

動作状態	書込み→ 書込完了	チップ・ セクタ消去 → 消去完了	セクタ消去 ウェイト→ 消去開始	セクタ消去→ セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止→ 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ5	0 DATA: 5	0 1	0	0	0	DATA: 5

表 20.6-8 タイミングリミット超過フラグの状態遷移（異常動作時の状態変化）

動作状態	書込み	チップ・セクタ 消去
DQ5	1	1

#### ● 書込みとチップ消去／セクタ消去の場合

- 書込み，またはチップ消去／セクタ消去の自動アルゴリズム起動後にリードアクセスを行った場合，規定時間（書込み／消去に要する時間）内であれば "0" を，規定時間を越えている場合は "1" を出力します。
- タイミングリミット超過フラグ (DQ5) は，自動アルゴリズムが実行中か終了状態にかかわらず，書込み／消去の成功または，失敗の判定を行うことができます。タイミングリミット超過フラグ (DQ5) が "1" を出力した場合，データポーリング機能，またはトグルビット機能により自動アルゴリズムが実行中であれば，書込みが失敗していると判断することができます。
- 例えば "0" が書き込まれているフラッシュメモリアドレスを "1" に設定した場合は，フラッシュメモリはロックされ，自動アルゴリズムは終了せず，データポーリングフラグ(DQ7)から有効なデータが出力されません。またトグルビットフラグ(DQ6)はトグル動作を終了せず，タイムリミットを越えてしまい，タイミングリミット超過フラグ (DQ5) は "1" を出力します。タイミングリミット超過フラグ (DQ5) が "1" を出力した場合は，フラッシュメモリが不良ではなく，正しく使用されなかったことを示していますので，リセットコマンドを実行してください。



## 20.6.4 セクタ消去タイマフラグ (DQ3)

セクタ消去タイマフラグ (DQ3) は、セクタ消去コマンド起動後セクタ消去ウェイト期間中であるか否かを知らせるハードウェアシーケンスフラグです。

### ■ セクタ消去タイマフラグ (DQ3)

表 20.6-9 と表 20.6-10 に、セクタ消去タイマフラグの状態遷移を示します。

表 20.6-9 セクタ消去タイマフラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み→ 書込完了	チップ・ セクタ消去 → 消去完了	セクタ消去 ウェイト→ 消去開始	セクタ消去→ セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止→ 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ3	0 DATA: 3	1	0 1	1 0	0 1	DATA: 3

表 20.6-10 セクタ消去タイマフラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ・セクタ 消去
DQ3	0	1

#### ● セクタ消去の場合

- セクタ消去コマンド起動後にリードアクセスを行った場合に、セクタ消去ウェイト期間中であれば "0" を出力します。セクタ消去ウェイト期間を越えている場合は "1" を出力します。
- データポーリング機能やトグルビット機能により消去アルゴリズムが実行中を示している場合 (DQ=0, DQ6 がトグル出力), セクタ消去タイマフラグ (DQ3) が "1" であれば、セクタ消去を行っています。続けて消去一時停止以外のコマンドを設定した場合は、消去が終了されるまで無視されます。
- セクタ消去タイマフラグ (DQ3) が "0" であった場合、フラッシュメモリはセクタ消去コマンドを受け付けることができます。セクタ消去コマンドを書き込む場合は、セクタ消去タイマフラグ (DQ3) が "0" であることを確認してください。セクタ消去タイマ (DQ3) が "1" であった場合、一時停止のセクタ消去コマンドが受け付けられない場合があります。

#### ● セクタ消去一時停止の場合

- セクタ消去一時停止状態でリードアクセスを行った場合、フラッシュメモリはリードアドレスが、消去中のセクタであるならば "1" を出力します。消去中のセクタでなければ、リードアドレスの読出し値のビット 3 (DATA: 3) を出力します。

## 20.6.5 トグルビット 2 フラグ (DQ2)

トグルビット 2 フラグ (DQ2) は、セクタ消去一時停止中であることをトグルビット機能によって知らせるフラグです。

### ■ トグルビット 2 フラグ (DQ2)

表 20.6-11 と表 20.6-12 に、トグルビット 2 フラグの状態遷移を示します。

表 20.6-11 トグルビット 2 フラグの状態遷移 (正常動作時の状態変化)

動作状態	書込み→ 書込完了	チップ・ セクタ消去 → 消去完了	セクタ消去 ウェイト→ 消去開始	セクタ消去→ セクタ消去 一時停止 (消去中の セクタ)	セクタ消去 一時停止→ 消去再開 (消去中の セクタ)	セクタ消去 一時停止中 (消去中では ないセクタ)
DQ2	1 DATA:2	Toggle Stop	Toggle	Toggle	Toggle	DATA: 2

表 20.6-12 トグルビット 2 フラグの状態遷移 (異常動作時の状態変化)

動作状態	書込み	チップ・セクタ 消去
DQ2	1	*

\* : DQ5 が "1" の場合 (タイミングリミット超過), 書込み / 消去中セクタへの連続的な読出しに対して DQ2 はトグル動作を行い, 他のセクタへの読出しに対してはトグル動作を行いません。

#### ● セクタ消去動作の場合

- チップ消去 / セクタ消去のアルゴリズム実行中に、リードアクセスを連続して行った場合、フラッシュメモリは、リードを行うごとに "1" と "0" を交互にトグル出力します。
- チップ消去 / セクタ消去のアルゴリズムが終了したあとに、リードアクセスを連続して行った場合、フラッシュメモリは、リードを行うごとにリードアドレスの読出し値のビット 2 (DATA:2) を出力します。

## ● セクタ消去一時停止の場合

- セクタ消去一時停止状態でリードアクセスを連続して行った場合、フラッシュメモリは、リードアドレスが消去中のセクタであるならば、“1” と “0” を交互にトグル出力します。消去中のセクタでなければ、リードアドレスの読出し値のビット 2 (DATA:2) を出力します。
- セクタ消去一時停止状態で書込みを行う場合、消去一時停止していないセクタからリードアクセスを連続して行くと、“1” を出力します。
- トグルフラグ 2 ビット (DQ2) は、トグルビットフラグ (DQ6) とともに使用し、消去一時停止中であるかを検出するために使用します。  
(DQ2 はトグル動作を行います、DQ6 はトグル動作を行いません。)
- トグルフラグ 2 ビット (DQ2) は、消去しているセクタからのリードアクセスがあった場合、トグル動作を行いますので、消去しているセクタの検出にも使用できます。

---

< 参考 >	消去を行う全てのセクタが書換え保護されている場合、トグルビット 2 フラグ (DQ2) は、約 100 $\mu$ s の間トグル出力を行ったあと、データを書き換えることなく読出し / リセット状態に戻ります。
--------	---

---

## 20.7 フラッシュメモリ書込み／消去の詳細説明

---

自動アルゴリズムを起動するコマンドを入力し，フラッシュメモリに読出し／リセット，書込み，チップ消去，セクタ消去，セクタ消去一時停止，セクタ消去再開を行う手順を説明します。

---

### ■ フラッシュメモリ書込み／消去の詳細説明

自動アルゴリズムは，読出し／リセット，書込み，チップ消去，セクタ消去，セクタ消去一時停止，セクタ消去再開のコマンドシーケンスを CPU からフラッシュメモリに書き込むことにより起動することができます。CPU からフラッシュメモリへの書込みは，必ず連続して行ってください。また，自動アルゴリズムはデータ・ポーリング機能により終了状態を確認することができます。正常終了後は読出し／リセット状態に戻ります。

各動作について，下記の順に説明します。

- 読出し／リセット状態にする
- データを書込む
- 全データを消去する（チップ全消去）
- 任意のデータを消去する（セクタ消去）
- セクタ消去を一時停止する
- セクタ消去を再開する

## 20.7.1 フラッシュメモリを讀出し／リセット状態にする

---

讀出し／リセットコマンドを入力し、フラッシュメモリを讀出し／リセット状態にする手順について説明します。

---

### ■ フラッシュメモリを讀出し／リセット状態にする

- フラッシュメモリを讀出し／リセット状態にするには、コマンドシーケンス表の讀出し／リセットコマンドを CPU からフラッシュメモリへ連続して送ってください。
- 讀出し／リセットコマンドには 1 回と 3 回のバス動作を行う 2 通りのコマンドシーケンスがありますが、違いはありません。
- 讀出し／リセット状態はフラッシュメモリの初期状態ですので、電源投入後、コマンドの正常終了後は常に讀出し／リセット状態になります。讀出し／リセット状態は、コマンドの入力待ち状態でもあります。
- 讀出し／リセット状態では、フラッシュメモリへ、リードアクセスを行うことによりデータを読み出すことができます。マスク ROM と同様に CPU からのプログラムアクセスができます。フラッシュメモリへ、リードアクセスを行う場合は、讀出し／リセットコマンドは必要ありません。コマンドが正常に終了しなかった場合は、自動アルゴリズムを初期化するために、讀出し／リセットコマンドを使用してください。

## 20.7.2 フラッシュメモリヘデータを書込む

書込みコマンドを入力し、フラッシュメモリヘデータを書込む手順について説明します。

### ■ フラッシュメモリヘデータを書込む

- フラッシュメモリのデータ書込み自動アルゴリズムを起動するためには、コマンドシーケンス表の書込みコマンドをCPUからフラッシュメモリへ連続して送ってください。
- 4 サイクル目に目的のアドレスへのデータ書込みが終了した場合、自動アルゴリズムが起動され自動書込みを開始します。

#### ● アドレス指定方法

- 書込みデータサイクルで指定する書込みアドレスは、偶数アドレスのみ設定できます。奇数アドレスを設定した場合は、正しく書込むことができません。偶数アドレスへワードデータ単位で書込みを行ってください。
- 書込みはどのようなアドレスの順番でも、セクタの境界を越えても行えます。1 回の書込みコマンドによって書き込まれるデータは 1 ワードのみです。

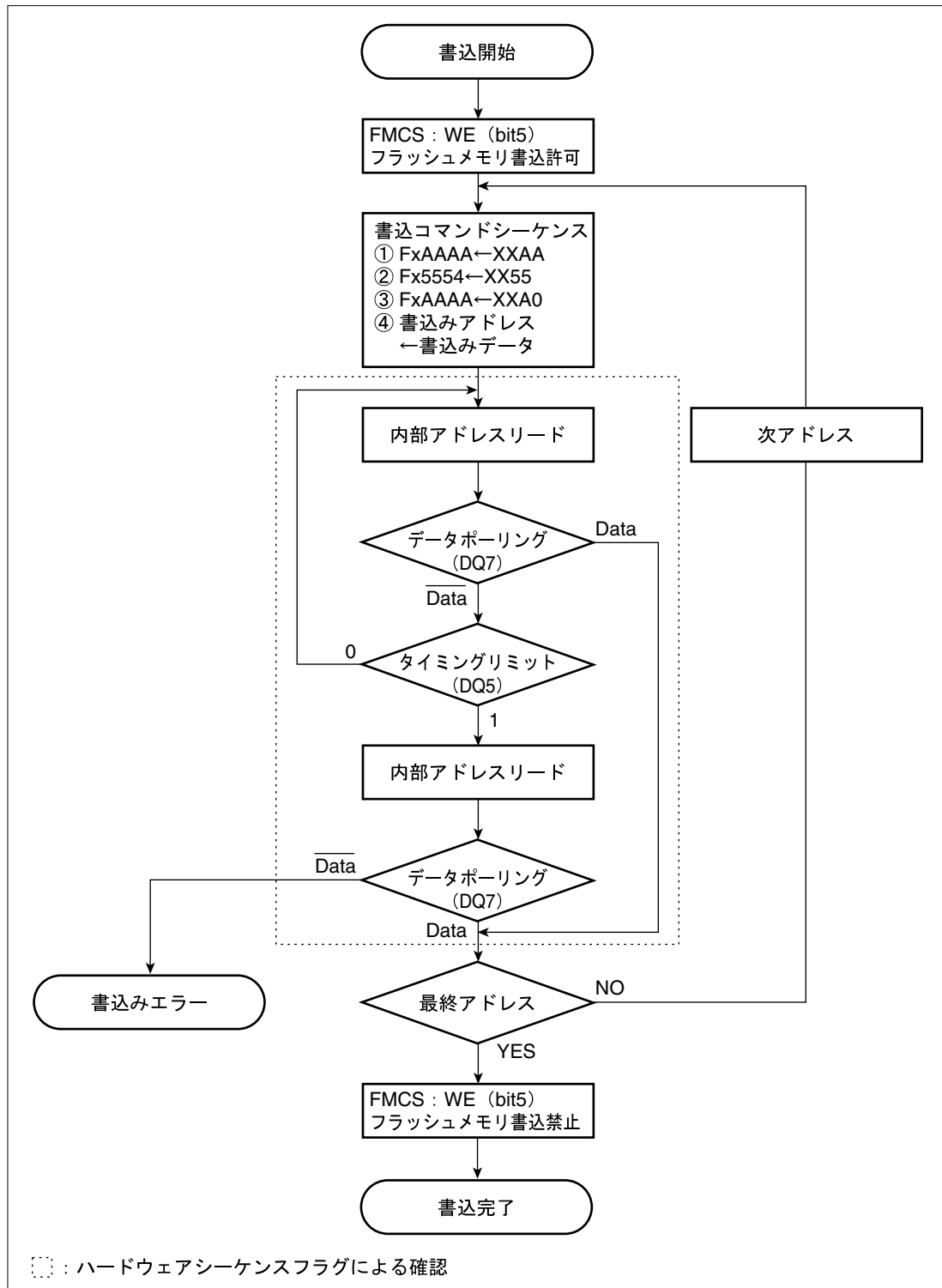
#### ● データ書込み上の注意

- 書込みによって、ビットデータを "0" から "1" に戻すことはできません。ビットデータ "0" にビットデータ "1" を書き込むと、データポーリングアルゴリズム (DQ7) または、トグル動作 (DQ6) が終了せず、フラッシュメモリ素子が不良と判定され、書込規定時間を超えてタイミングリミット超過フラグ (DQ5) がエラーと判定します。
- 読出し / リセット状態でデータを読出した場合、ビットデータは "0" のままです。ビットデータを "0" から "1" に戻すには、フラッシュメモリの消去を行ってください。
- 自動書込み実行中は、全てのコマンドが無視されます。書込中にハードウェアリセットが起動された場合は、書込みアドレスのデータは保証されません。

### ■ フラッシュメモリ書込手順

- 図 20.7-1 にフラッシュメモリ書込手順の例を示します。ハードウェアシーケンスフラグを用いることでフラッシュメモリ内部の自動アルゴリズムの状態を判定することができます。ここでは、フラッシュメモリへの書込終了の確認にデータポーリングフラグ (DQ7) を用いています。
- フラグチェックのために読込むデータは、最後に書込みを行ったアドレスからの読込みとなります。
- データポーリングフラグ (DQ7) は、タイミングリミット超過フラグ (DQ5) と同時に変化するので、タイミングリミット超過フラグ (DQ5) が "1" であった場合でもデータポーリングフラグビット (DQ7) を確認してください。
- トグルビットフラグ (DQ6) も、タイミングリミット超過フラグビット (DQ5) が "1" に変化すると同時にトグル動作を止めますので、トグルビットフラグ (DQ6) を確認してください。

図 20.7-1 フラッシュメモリ書込手順の例



### 20.7.3 フラッシュメモリの全データを消去する（チップ消去）

---

チップ消去コマンドを入力し、フラッシュメモリの全データを消去する手順について説明します。

---

#### ■ フラッシュメモリのデータを消去する（チップ消去）

- フラッシュメモリから全てのデータを消去するためには、コマンドシーケンス表のチップ消去コマンドを CPU からフラッシュメモリへ連続して送ってください。
- チップ消去コマンドは 6 回のバス動作で行われ、6 サイクル目の書込みが完了した時点でチップ消去動作を開始します。
- チップ消去では、消去前にユーザがフラッシュメモリに書込みを行う必要はありません。自動消去アルゴリズム実行中に、フラッシュメモリは全てのセルを消去する前に "0" を自動的に書き込んでから消去します。



## 20.7.4 フラッシュメモリの任意のデータを消去する (セクタ消去)

セクタ消去コマンドを入力し、フラッシュメモリの任意のセクタを消去する（セクタ消去）手順について説明します。セクタごとの消去が可能であり、複数のセクタを同時に指定することもできます。

### ■ フラッシュメモリの任意のデータを消去する（セクタ消去）

フラッシュメモリの任意のセクタを消去するためには、コマンドシーケンス表のセクタ消去コマンドを CPU からフラッシュメモリへ連続して送ってください。

#### ● セクタ指定方法

- セクタ消去コマンドは 6 回のバス動作で行われます。6 サイクル目のアドレスを目的のセクタ内の偶数アドレスに設定し、データにセクタ消去コード（30<sub>H</sub>）を書き込むことにより 50 $\mu$ s のセクタ消去ウェイトが開始します。
- 複数のセクタ消去を行う場合は、上記に続き消去する目的のセクタ内のアドレスに消去コード（30<sub>H</sub>）を書き込みます。

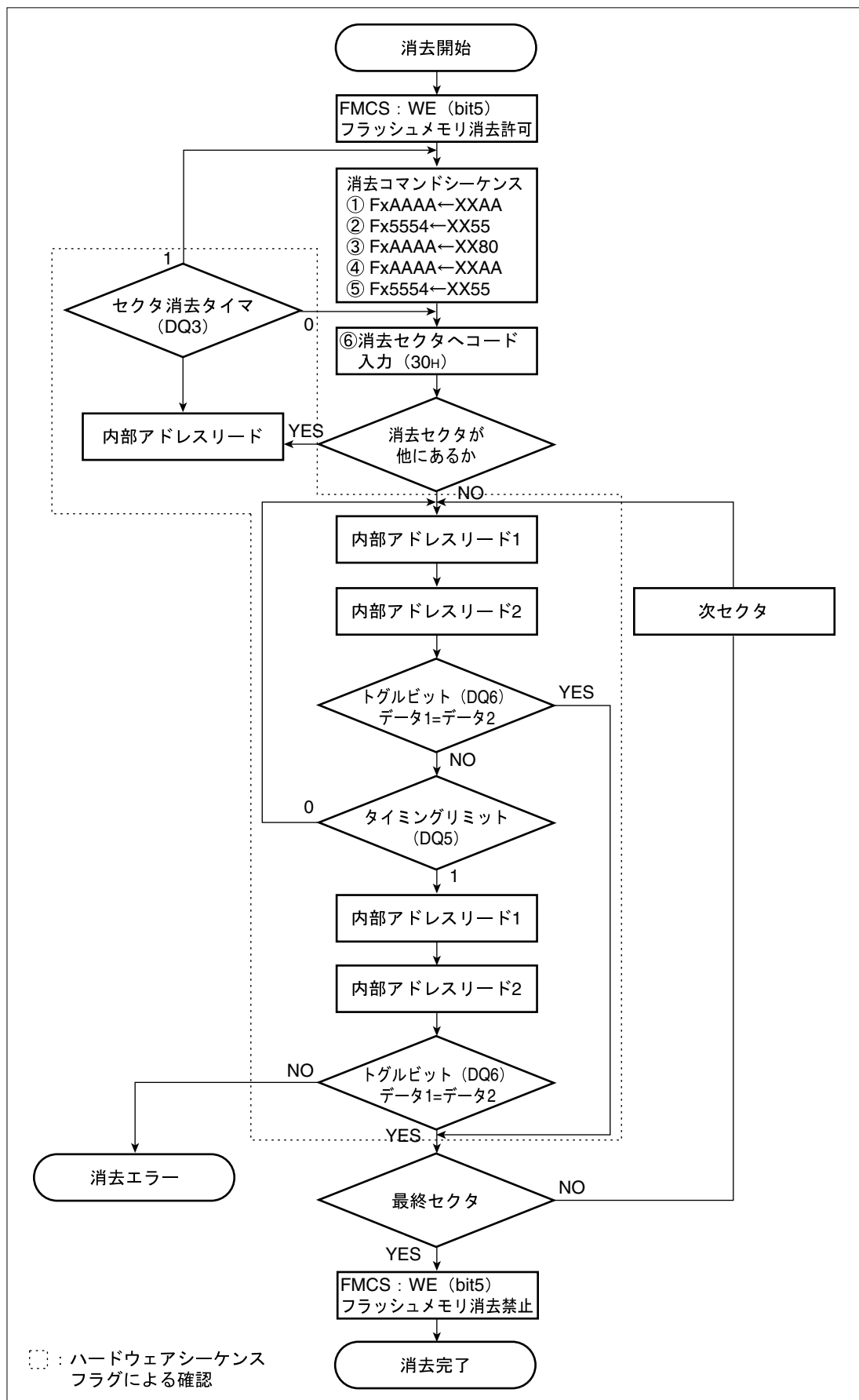
#### ● 複数のセクタを指定する場合の注意

- 最後のセクタ消去コードの書込みから 50 $\mu$ s のセクタ消去ウェイト期間終了により消去が開始します。
- 複数のセクタを同時に消去する場合は、消去セクタのアドレスと消去コード（コマンドシーケンス 6 サイクル目）を 50 $\mu$ s 以内に入力してください。50 $\mu$ s 以降に消去コードを入力した場合は、受け付けられません。
- 連続したセクタ消去コードの書込みが有効であるかは、セクタ消去タイマフラグ（DQ3）によって確認することができます。
- セクタ消去タイマフラグ（DQ3）をリードする場合のアドレスは、消去しようとしているセクタを指定してください。

### ■ フラッシュメモリのセクタ消去手順

- ハードウェアシーケンスフラグを用いることでフラッシュメモリ内部の自動アルゴリズムの状態を判定することができます。図 20.7-2 にフラッシュメモリセクタ消去手順の例を示します。ここでは、消去終了の確認にトグルビットフラグ（DQ6）を用いています。
- トグルビットフラグ（DQ6）は、タイミングリミット超過フラグ（DQ5）が "1" に変化するのと同時にトグル動作を終了します。タイミングリミット超過フラグ（DQ5）が "1" の場合でも、トグルビットフラグ（DQ6）を確認してください。
- データポーリングフラグ（DQ7）は、タイミングリミット超過フラグ（DQ5）と同時に変化するので、データポーリングフラグ（DQ7）を確認してください。

図 20.7-2 フラッシュメモリのセクタ消去手順の例



## 20.7.5 フラッシュメモリのセクタ消去を一時停止する

---

セクタ消去一時停止コマンドを入力し、フラッシュメモリセクタ消去の一時停止を行う手順について説明します。消去中でないセクタから、データを読出すことができます。

---

### ■ フラッシュメモリのセクタ消去を一時停止する

- フラッシュメモリのセクタ消去を一時停止するためには、コマンドシーケンス表のセクタ消去一時停止コマンドをCPUからフラッシュメモリへ連続して送ってください。
- セクタ消去一時停止コマンドは、セクタ消去中に消去を一時停止し、消去中でないセクタからデータを読み出すことができます。セクタ消去一時停止状態では、読出しのみが可能で書込みはできません。
- セクタ消去一時停止コマンドは、消去ウェイト時間を含むセクタ消去中のみ有効で、チップ消去中や書込み中は無視されます。
- セクタ消去一時停止コマンドは、消去一時停止コード (B0<sub>H</sub>) を書き込むことで実行されます。このときのアドレスは、フラッシュメモリ内の任意のアドレスを設定してください。消去一時停止中に再度、消去一時停止コマンドを実行した場合、再度入力したコマンドは無視されます。
- セクタ消去ウェイト期間中に、セクタ消去一時停止コマンドを入力した場合、直ちにセクタ消去ウェイトを終了し、消去動作を中断して消去停止状態になります。
- セクタ消去ウェイト期間後のセクタ消去中に消去一時停止コマンドを入力した場合、最大 15 $\mu$ s 後に、消去一時停止状態になります。

## 20.7.6 フラッシュメモリのセクタ消去を再開する

---

セクタ消去再開コマンドを入力し、一時停止したフラッシュメモリセクタ消去を再開する手順について説明します。

---

### ■ フラッシュメモリのセクタ消去を再開する

- 一時停止したセクタ消去を再開させるためには、コマンドシーケンス表のセクタ消去再開コマンドを CPU からフラッシュメモリへ連続して送ってください。
- セクタ消去再開コマンドは、セクタ消去一時停止コマンドによるセクタ消去一時停止状態から、セクタ消去を再開するためのコマンドです。セクタ消去再開コマンドは消去再開コード (30<sub>H</sub>) の書込みを行うことで実行されますが、アドレスはフラッシュメモリ内の任意のアドレスを指定します。
- セクタ消去中のセクタ消去再開コマンドの入力は無視されます。

## 20.8 1M ビットフラッシュメモリ使用上の注意

1M ビットフラッシュメモリ使用上の注意を示します。

### ■ フラッシュメモリ使用場の注意

#### ● ハードウェアリセット ( $\overline{\text{RST}}$ ) の入力

- 読出し中で自動アルゴリズムが起動していない場合、ハードウェアリセットを入力するには、 $\text{L}$  レベル幅を最低  $500_{\text{ns}}$  に設定してください。ハードウェアリセット起動後、フラッシュメモリからデータを読み出すまでに、最低  $500_{\text{ns}}$  が必要です。
- 書込み / 消去中で自動アルゴリズムが起動している場合、ハードウェアリセットを入力するには  $\text{L}$  レベル幅を最低  $50_{\text{ns}}$  に設定してください。フラッシュメモリを初期化するために実行中の動作を停止した後、データを読み出すまでに  $20_{\mu\text{s}}$  が必要です。
- 書込み中にハードウェアリセットをした場合、書込まれているデータは不定となります。消去中にハードウェアリセットをした場合、消去されているセクタは使用できない場合があります。

#### ● ソフトウェアリセット、ウォッチドックタイマリセット、ハードウェアスタンバイの取り消し

- CPU アクセスでフラッシュメモリの書込み/消去中に、自動アルゴリズムがアクティブ状態でリセット条件が発生した場合、CPU が暴走する可能性があります。それは、リセット条件により、フラッシュメモリユニットが初期化されずに自動アルゴリズムが続行し、リセット離脱後に CPU がシーケンスを開始した場合、フラッシュメモリユニットが読出し状態になることが妨げられる場合があるからです。
- リセット条件は、フラッシュメモリの書込み / 消去中に禁止されている必要があります。

#### ● フラッシュメモリへのプログラムアクセス

- 自動アルゴリズムを動作している場合は、フラッシュメモリへの読出しアクセスは禁止されます。
- CPU のメモリアクセスモードが内蔵 ROM モードにセットされている場合、プログラム領域を RAM などの別の領域に切り替えた後、書込み / 消去を開始してください。割込みベクタを含むセクタ ( $\text{SA6}$ ) が消去された場合、書込み / 消去割込み処理を実行できません。同じ理由で、自動アルゴリズムを動作している場合は、フラッシュメモリ以外全ての割込みソースは無効となります。

#### ● ホールド機能

- CPU がホールド要求を受け付けた場合、フラッシュメモリユニットの書込み信号  $\overline{\text{WE}}$  は歪曲され、不正な書込みによる不正な書込み / 消去が可能になります。ホールド要求の受付が許可 (EPCR の HDE ビットが "1" をセット) された場合、コントロールステータスレジスタ (FMCS) の  $\overline{\text{WE}}$  ビットを "0" に設定してください。

## 第 20 章 1M ビットフラッシュ メモリ

- 拡張インテリジェント I/O サービス (EI<sup>2</sup>OS)

- フラッシュメモリインターフェース回路から CPU に発行された書込み/消去割込みは、EI<sup>2</sup>OS には受け付けられません。

- $V_{ID}$  の適用

- セクタプロテクトに必要な  $V_{ID}$  の適用は、供給電圧がオンの場合常に開始し、終了する必要があります。

## 20.9 フラッシュメモリにおけるリセットベクタアドレス

MB90FXXX は、ハードワイヤードリセットベクタをサポートします。

内部ベクタモードでのアドレス FFFFDC<sub>H</sub> ~ FFFFDH<sub>H</sub> への全ての読出しアクセスは、ハードワイヤードロジックにより決められた値を読み出します。しかしフラッシュメモリモードの場合、これらのアドレスのアクセスを行うことができますのでこれらのアドレスへの書込みは意味がありません。フラッシュメモリモードではなく CPU アクセスでフラッシュメモリをプログラミングする場合、ソフトウェアポーリング用にこれらのアドレスを読み出さないように注意してください。さもなければ、フラッシュメモリはハードウェアシーケンスフラグ値の代わりに固定リセットベクタ値を返します。

### ■ フラッシュメモリにおけるリセットベクタアドレス

表 20.9-1 に、リセットベクタとモードデータの事前に決められた値を示します。

表 20.9-1 リセットベクタアドレス

リセットベクタ	FFA000 <sub>H</sub>
モードデータ	00 <sub>H</sub>

< 注意 > リセットベクタとモードデータは決められた値が設定されていますので、フラッシュメモリに書込むプログラム中のリセットベクタ値とモードデータ値は動作に影響しませんが同一のプログラムをマスク ROM で使用した場合、異なる動作をする場合がありますので、フラッシュメモリにも同一の値を書込む事を推奨します。

## 20.10 1M ビットフラッシュメモリのプログラム例

1M ビットフラッシュメモリのプログラム例を掲載します。

### ■ 1M ビットフラッシュメモリのプログラム例

```

NAME      FLASHWE
TITLE     FLASHWE

;-----
;1Mbit-FLASH サンプルプログラム
;1:FLASHにあるプログラム(アドレス FFBC00H セクタ SA3)を
;   RAM(アドレス 000700H)に転送する。
;2:RAM上でプログラムを実行する。
;3:PDR1の値をFLASH(アドレス FE0000H セクタ SA0)に書き込む。
;4:書込んだ値(アドレス FE0000H セクタ SA0)を読み出しPDR2に出力する。
;5:書込んだセクタ(SA0)を消去する。
;6:消去データ確認の出力
; 条件
;   ・RAM転送バイト数: 100H(256 バイト)
;   ・書込み, 消去の終了判定
;       DQ5(タイミングリミット超過フラグ)での判定
;       DQ6(トグルビットフラグ)での判定
;       RDY(FMCS)での判定
;   ・エラー時の処理
;       P00 ~ P07 に "H" を出力する
;       リセットコマンド発行
;-----
;
RESOUS    IOSEG ABS=00          ;"RESOUS" I/O セグメントの定義
          ORG     0000H
PDR0      RB      1
PDR1      RB      1
PDR2      RB      1
PDR3      RB      1
          ORG     0010H
DDR0      RB      1
DDR1      RB      1
DDR2      RB      1
DDR3      RB      1
          ORG     00A1H
CKSCR     RB      1
          ORG     00AEH
FMCS      RB      1
          ORG     006FH
ROMM      RB      1
RESOUS    ENDS
;
SSTA      SSEG
          RW      0127H
STA_T     RW      1
SSTA      ENDS

```



```

;
DATA    DSEG    ABS=0FFH          ;FLASH コマンドアドレス
        ORG     5554H
COMADR2  RW      1
        ORG     0AAAAH
COMADR1  RW      1
DATA     ENDS
;-----
; メインプログラム (SA1)
;-----
CODE     CSEG
START:
;-----
; 初期化
;-----
MOV      CKSCR,#0BAH      ; 3 通倍に設定
MOV      RP,#0
MOV      A,#!STA_T
MOV      SSB,A
MOVW     A,#STA_T
MOVW     SP,A
MOV      ROMM,#00H        ; ミラー OFF
MOV      PDR0,#00H        ; エラー確認用
MOV      DDR0,#0FFH
MOV      PDR1,#00H        ; データ入力用ポート
MOV      DDR1,#00H
MOV      PDR2,#00H        ; データ出力用ポート
MOV      DDR2,#0FFH
;-----
; RAM (700H 番地) に "FLASH 書込消去プログラム (FFBC00H)" を転送する
;-----
MOVW     A,#0700H          ; 転送先 RAM 領域
MOVW     A,#0BC00H          ; 転送元アドレス (プログラムのある位置)
MOVW     RW0,#100H          ; 転送するバイト数
MOVS     ADB,PCB            ; FFBC00H から 000700H へ 100H 転送
CALLLP   000700H            ; 転送したプログラムのあるアドレスへジャンプ
;-----
; データ出力
;-----
OUT      MOV     A,#0FEH
        MOV     ADB,A
        MOVW    RW2,#0000H
        MOVW    A,@RW2+00
        MOV     PDR2,A
END      JMP     *
CODE     ENDS
;-----
; FLASH 書込消去プログラム (SA3)
;-----
RAMPRG   CSEG    ABS=0FFH
        ORG     0BC00H
;-----
; 初期化

```

## 第 20 章 1M ビットフラッシュ メモリ

```

;-----
MOVW    RW0,#0500H    ;RW0: 入力データ確保用 RAM 空間 00:0500 ~
MOVW    RW2,#0000H    ;RW2: フラッシュメモリ書込アドレス FD:0000 ~
MOV     A,#00H        ;DTB 変更
MOV     DTB,A        ;@RW0 用バンク指定
MOV     A,#0FEH       ;ADB 変更 1
MOV     ADB,A        ; 書込みモード指定アドレス用バンク指定
MOV     PDR3,#00H     ; スイッチ初期化
MOV     DDR3,#00H
;
WAIT1    BBC     PDR3:0,WAIT1    ;PDR3:0 "H" で書込みスタート
;
;-----
; 書込み (SA0)
;-----
MOV     A,PDR1
MOVW    @RW0+00,A    ;RAM に PDR1 データを確保
MOV     FMCS,#20H    ; 書込モード設定
MOVW    ADB:COMADR1,#00AAH ;フラッシュ書込みコマンド 1
MOVW    ADB:COMADR2,#0055H ;フラッシュ書込みコマンド 2
MOVW    ADB:COMADR1,#00A0H ;フラッシュ書込みコマンド 3
;
MOVW    A,@RW0+00    ; 入力データ (RW0) をフラッシュメモリ (RW2) に
; 書込む
;
MOVW    @RW2+00,A
WRITE    ; 待ち時間チェック
;-----
; タイムリミット超過チェック - フラグが立ちトグル動作中である場合
; ERROR
;-----
MOVW    A,@RW2+00
AND     A,#20H        ;DQ5 タイムリミットチェック
BZ      NTOW          ; タイムリミットオーバー
MOVW    A,@RW2+00    ;AH
MOVW    A,@RW2+00    ;AL
XORW    A            ;AH AL の XOR ( 値が違えば "1" )
AND     A,#40H        ;DQ6 トグルビットは違っているか
BNZ     ERROR        ; 違えば ERROR へ
;-----
; 書込終了チェック (FMCS-RDY)
;-----
NTOW     MOVW    A,FMCS
AND     A,#10H        ;FMCS RDY ビット (4bit) 抽出
BZ      WRITE        ; 書込み終了か?
MOV     FMCS,#00H     ; 書込みモード解除
;-----
; 書込データ出力
;-----
MOVW    RW2,#0000H    ; 書込みデータ出力
MOVW    A,@RW2+00
MOV     PDR2,A
;

```

```

WAIT2   BBC     PDR3:1,WAIT2   ;PDR3:1 "H" でセクタ消去スタート
;
;-----
; セクタ消去 (SA0)
;-----
        MOV     @RW2+00,#0000H; アドレス初期化
        MOV     FMCS,#20H      ; 消去モード設定
        MOVW    ADB:COMADR1,#00AAH ; フラッシュ消去コマンド 1
        MOVW    ADB:COMADR2,#0055H ; フラッシュ消去コマンド 2
        MOVW    ADB:COMADR1,#0080H ; フラッシュ消去コマンド 3
        MOVW    ADB:COMADR1,#00AAH ; フラッシュ消去コマンド 4
        MOVW    ADB:COMADR2,#0055H ; フラッシュ消去コマンド 5
        MOV     @RW2+00,#0030H; 消すセクタに消去コマンド発行 6
ELS      ; 待ち時間チェック
;-----
; タイムリミット超過チェック - フラグが立ちトグル動作中である場合
; ERROR
;-----
        MOVW    A,@RW2+00
        AND     A,#20H          ; DQ5 タイムリミットチェック
        BZ      NTOE            ; タイムリミットオーバー
        MOVW    A,@RW2+00      ; AH 書込動作中は、DQ6 から
        MOVW    A,@RW2+00      ; AL リード毎 "H/L" が交互出力される
        XORW    A              ; AH と AL の XOR (DQ6 の値が違えば
                                ; "1" 書込動作中である)
        AND     A,#40H          ; DQ6 トグルビットは "H" か
        BNZ     ERROR          ; "H" なら ERROR へ
;-----
; 消去終了チェック (FMCS-RDY)
;-----
NTOE     MOVW    A,FMCS         ;
        AND     A,#10H          ; FMCS RDY ビット (4bit) 抽出
        BZ      ELS            ; セクタ消去終了か?
        MOV     FMCS,#00H      ; FLASH 消去モード解除
        RETP     ; メインプログラムに戻る
;-----
; エラー
;-----
ERROR     MOV     ADB:COMADR1,#0F0H
                                ; リセットコマンド (読出しが可能になる)
        MOV     FMCS,#00H      ; FLASH モード解除
        MOV     PDR0,#0FFH     ; エラー処理の確認
        RETP     ; メインプログラムに戻る
RAMPRG   ENDS
;-----
VECT     CSEG    ABS=0FFH
        ORG     0FFDCH
        DSL     START
        DB      00H
VECT     ENDS
;
        END     START

```

