



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

#### 商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更はありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

#### オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

#### 詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

#### サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM<sup>TM</sup>、SRAM、Traveo<sup>TM</sup> マイクロコントローラー、業界唯一の PSoC<sup>®</sup> プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense<sup>®</sup> 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth<sup>®</sup> Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

## 正誤表

MB90550A/B Series ハードウェアマニュアル 第6版(CM44-10103-6)に対する正誤表です。

F<sup>2</sup>MC-16LX

16ビット・マイクロコントローラ

MB90550A/B Series

ハードウェアマニュアル

2009. 4. 2

※ : 訂正箇所

日付	ページ	項目	訂正内容																													
2009/4/2	104	5. 4. 5	<p>「表 5. 4-3 外部データバス16ビットモード時の各端子状態」の右端に、以下の で示す列を追加。</p> <table><tr><th>端子名</th><th>リセット解除直後の内ROMアクセス時</th><th>外ROMアクセス後に内ROMアクセス時</th></tr><tr><td>P07 ~ P00 (AD07~AD00) , P17 ~ P10 (AD15~AD08)</td><td>出力Hi-Z/入力可</td><td>出力Hi-Z/入力可</td></tr><tr><td>P27 ~ P20 (A23~A16)</td><td>出力状態*1</td><td>直前のアドレスを保持</td></tr><tr><td>P37 (CLK)</td><td>CLK出力</td><td>CLK出力</td></tr><tr><td>P36 (RDY)</td><td rowspan="3">出力Hi-Z/入力可</td><td rowspan="3">出力Hi-Z/入力可</td></tr><tr><td>P35 (HAK)</td></tr><tr><td>P34 (HRQ)</td></tr><tr><td>P33 (WRH)</td><td rowspan="3">"H"出力</td><td rowspan="3">"H"出力</td></tr><tr><td>P32 (WR)</td></tr><tr><td>P31 (RD)</td></tr><tr><td>P30 (ALE)</td><td>"L"出力</td><td>"L"出力</td></tr><tr><td>P47 ~ P40, P55 ~ P50, P67 ~ P60, P87 ~ P80, P97 ~ P90, PA4 ~ PA0</td><td rowspan="2">出力Hi-Z/入力可</td><td rowspan="2">出力Hi-Z/入力可</td></tr><tr><td>P77 ~ P70</td></tr></table>	端子名	リセット解除直後の内ROMアクセス時	外ROMアクセス後に内ROMアクセス時	P07 ~ P00 (AD07~AD00) , P17 ~ P10 (AD15~AD08)	出力Hi-Z/入力可	出力Hi-Z/入力可	P27 ~ P20 (A23~A16)	出力状態*1	直前のアドレスを保持	P37 (CLK)	CLK出力	CLK出力	P36 (RDY)	出力Hi-Z/入力可	出力Hi-Z/入力可	P35 (HAK)	P34 (HRQ)	P33 (WRH)	"H"出力	"H"出力	P32 (WR)	P31 (RD)	P30 (ALE)	"L"出力	"L"出力	P47 ~ P40, P55 ~ P50, P67 ~ P60, P87 ~ P80, P97 ~ P90, PA4 ~ PA0	出力Hi-Z/入力可	出力Hi-Z/入力可	P77 ~ P70
端子名	リセット解除直後の内ROMアクセス時	外ROMアクセス後に内ROMアクセス時																														
P07 ~ P00 (AD07~AD00) , P17 ~ P10 (AD15~AD08)	出力Hi-Z/入力可	出力Hi-Z/入力可																														
P27 ~ P20 (A23~A16)	出力状態*1	直前のアドレスを保持																														
P37 (CLK)	CLK出力	CLK出力																														
P36 (RDY)	出力Hi-Z/入力可	出力Hi-Z/入力可																														
P35 (HAK)																																
P34 (HRQ)																																
P33 (WRH)	"H"出力	"H"出力																														
P32 (WR)																																
P31 (RD)																																
P30 (ALE)	"L"出力	"L"出力																														
P47 ~ P40, P55 ~ P50, P67 ~ P60, P87 ~ P80, P97 ~ P90, PA4 ~ PA0	出力Hi-Z/入力可	出力Hi-Z/入力可																														
P77 ~ P70																																

[mcu\_doc0318]

[mcu\_doc0318]

日付	ページ	項目	訂正内容																													
2009/4/2	105	5. 4. 5	「表 5. 4-4 外部データバス8ビットモード時の各端子状態」の右端に、以下の で示す列を追加。																													
			<table><tr><th>端子名</th><th>リセット解除直後の内ROMアクセス時</th><th>外ROMアクセス後に内ROMアクセス時</th></tr><tr><td>P07 ~ P00 (AD07~AD00)</td><td>出力Hi-Z/入力可</td><td>出力Hi-Z/入力可</td></tr><tr><td>P17 ~ P10 (AD15~AD08) , P23 ~ P20 (A23~ A16)</td><td>出力状態</td><td>直前のアドレスを保持</td></tr><tr><td>P37 (CLK)</td><td>CLK出力</td><td>CLK出力</td></tr><tr><td>P36 (RDY)</td><td rowspan="4">出力Hi-Z/入力可</td><td rowspan="4">出力Hi-Z/入力可</td></tr><tr><td>P35 (HAK)</td></tr><tr><td>P34 (HRQ)</td></tr><tr><td>P33</td></tr><tr><td>P32 (WR)</td><td rowspan="2">”H”出力</td><td rowspan="2">”H”出力</td></tr><tr><td>P31 (RD)</td></tr><tr><td>P30 (ALE)</td><td>”L”出力</td><td>”L”出力</td></tr><tr><td>P27 ~ P24, P47 ~ P40, P55 ~ P50, P67 ~ P60, P87 ~ P80, P97 ~ P90, PA4 ~ PA0</td><td rowspan="2">出力Hi-Z/入力可</td><td rowspan="2">出力Hi-Z/入力可</td></tr><tr><td>P77 ~ P70</td></tr></table>	端子名	リセット解除直後の内ROMアクセス時	外ROMアクセス後に内ROMアクセス時	P07 ~ P00 (AD07~AD00)	出力Hi-Z/入力可	出力Hi-Z/入力可	P17 ~ P10 (AD15~AD08) , P23 ~ P20 (A23~ A16)	出力状態	直前のアドレスを保持	P37 (CLK)	CLK出力	CLK出力	P36 (RDY)	出力Hi-Z/入力可	出力Hi-Z/入力可	P35 (HAK)	P34 (HRQ)	P33	P32 (WR)	”H”出力	”H”出力	P31 (RD)	P30 (ALE)	”L”出力	”L”出力	P27 ~ P24, P47 ~ P40, P55 ~ P50, P67 ~ P60, P87 ~ P80, P97 ~ P90, PA4 ~ PA0	出力Hi-Z/入力可	出力Hi-Z/入力可	P77 ~ P70
			端子名	リセット解除直後の内ROMアクセス時	外ROMアクセス後に内ROMアクセス時																											
			P07 ~ P00 (AD07~AD00)	出力Hi-Z/入力可	出力Hi-Z/入力可																											
			P17 ~ P10 (AD15~AD08) , P23 ~ P20 (A23~ A16)	出力状態	直前のアドレスを保持																											
			P37 (CLK)	CLK出力	CLK出力																											
			P36 (RDY)	出力Hi-Z/入力可	出力Hi-Z/入力可																											
			P35 (HAK)																													
			P34 (HRQ)																													
			P33																													
			P32 (WR)	”H”出力	”H”出力																											
			P31 (RD)																													
			P30 (ALE)	”L”出力	”L”出力																											
			P27 ~ P24, P47 ~ P40, P55 ~ P50, P67 ~ P60, P87 ~ P80, P97 ~ P90, PA4 ~ PA0	出力Hi-Z/入力可	出力Hi-Z/入力可																											
			P77 ~ P70																													
2009/1/6	447	付録 B	「表 B. 9-20 XCH Ri, ea命令（第1バイト=7E <sub>H</sub> ）」を変更																													
			(誤)																													
			項目「A」																													
			+Aの行 「W2+d16, A」																													
			(正)																													
			項目「A0」																													
			+Aの行 「@RW2+d16」																													
			[mcu_doc0318]																													