



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

#### 商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

#### オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

#### 詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

#### サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM<sup>TM</sup>、SRAM、Traveo<sup>TM</sup> マイクロコントローラー、業界唯一の PSoC<sup>®</sup> プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense<sup>®</sup> 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth<sup>®</sup> Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

# 主な変更内容の一覧

## ■ 対象資料

	旧版
資料名	F <sup>2</sup> MC-16LX 16 ビット マイクロコントローラ MB90480/485 シリーズ ハードウェアマニュアル
ドキュメントコード	CM44-10121-6
発行年月	2007 年 3 月

	新版
資料名	F <sup>2</sup> MC-16LX 16 ビット マイクロコントローラ MB90480/485 シリーズ ハードウェアマニュアル
ドキュメントコード	CM44-10121-7
発行年月	2008 年 7 月

## ■ 主な変更内容

次ページ以降に記載いたします。

## ■ 発行

2008 年 9 月発行

富士通マイクロエレクトロニクス株式会社

編集 マーケティング統括部ビジネス推進部

# 本版での主な変更内容

ページ	変更内容 ( 詳細は本文を参照してください。 )
566 ~ 626	「付録 D 命令」全体を変更

変更箇所は、本文中のページ左側の によって示しています。

## < 参考 > 5 版 6 版での主な変更内容

ページ	変更内容 ( 詳細は本文を参照してください。 )
	型格を変更 (MB90483B MB90483C) シリーズ名を変更 (MB90480 シリーズ MB90480/485 シリーズ)
i	■ ライセンスを追加
11	表 1.5-1 端子機能 (1 / 5) の端子名 D00 ~ D07 および D08 ~ D15 の機能を変更 ( 出力端子 入出力端子 )
90	図 3.11-2 遅延割込み発生モジュールの動作を変更 (ICR <sub>XX</sub> IL) (ICR <sub>XX</sub> ILM) (NTA INTA)
151	図 7.3-1 アクセス領域と物理アドレスの関係を変更 ( アクセスなし アクセス禁止 )
289	[bit2] UF( タイマ割込み要求フラグ ) を変更 ( $\mu$ DMA $\mu$ DMAC)
340	■ 外部に接続する周辺装置の条件を変更 (( 暫定値 ) の記述を削除)
376	■ シリアルモードコントロールステータスレジスタ 0/1(SMCS0/SMCS1) の図を変更 ( * 1 および * 2 の記述を削除 )
509	図 25.5-2 パルス幅測定動作 ( 単発測定モード / "H" 幅測定 ) を変更 図 25.5-3 パルス幅測定動作 ( 連続測定モード / "H" 幅測定 ) を変更
550	< 注意事項 > を追加
554	図 A-1 メモリマップを変更 ( アクセス無 アクセス禁止 )
555	表 A-1 各品種のアドレス #1, アドレス #2 およびアドレス #3 の対応を変更
556	図 A-2 MB90F489B メモリマップを変更 ( アクセス無 アクセス禁止 )
557	図 A-3 MB90483C メモリマップを追加

変更箇所は、本文中のページ左側の によって示しています。

# 本版での主な変更内容

ページ	変更内容 ( 詳細は本文を参照してください。 )
	型格を変更 (MB90483B MB90483C) シリーズ名を変更 (MB90480 シリーズ MB90480/485 シリーズ)
i	■ ライセンスを追加
11	表 1.5-1 端子機能 (1 / 5) の端子名 D00 ~ D07 および D08 ~ D15 の機能を変更 ( 出力端子 入出力端子 )
90	図 3.11-2 遅延割込み発生モジュールの動作を変更 (ICR <sub>XX</sub> IL) (ICR <sub>XX</sub> ILM) (NTA INTA)
151	図 7.3-1 アクセス領域と物理アドレスの関係を変更 ( アクセスなし アクセス禁止 )
289	[bit2] UF( タイマ割込み要求フラグ ) を変更 ( $\mu$ DMA $\mu$ DMAC)
340	■ 外部に接続する周辺装置の条件を変更 (( 暫定値 ) の記述を削除)
376	■ シリアルモードコントロールステータスレジスタ 0/1(SMCS0/SMCS1) の図を変更 ( * 1 および * 2 の記述を削除 )
509	図 25.5-2 パルス幅測定動作 ( 単発測定モード / "H" 幅測定 ) を変更 図 25.5-3 パルス幅測定動作 ( 連続測定モード / "H" 幅測定 ) を変更
550	< 注意事項 > を追加
554	図 A-1 メモリマップを変更 ( アクセス無 アクセス禁止 )
555	表 A-1 各品種のアドレス #1, アドレス #2 およびアドレス #3 の対応を変更
556	図 A-2 MB90F489B メモリマップを変更 ( アクセス無 アクセス禁止 )
557	図 A-3 MB90483C メモリマップを追加

変更箇所は、本文中のページ左側の によって示しています。

# 本版での主な変更内容

ページ	変更内容（詳細は本文を参照してください。）
-	マニュアル全体を変更 ( $\mu$ DMA $\mu$ DMAC) (2M ビットフラッシュメモリ 2M/3M ビットフラッシュメモリ) (MB90F481/F482/F488B MB90F481B/F482B/F488B/F489B)
4	表 1.1-2 MB90485 シリーズ品種構成一覧 を変更 (MB90F489B および MB90483B の型格を追加) (品種構成 の行を追加) 表 1.1-3 MB90480/485 シリーズパッケージと品種対応 を変更 (MB90483B および MB90F489B の型格を追加)
5	図 1.2-1 MB90480/485 シリーズのブロックダイアグラム を変更
9	図 1.4-1 MB90480/485 シリーズの端子配列図 (QFP-100) を変更 ( ( 注意事項 ) を変更 )
10	図 1.4-2 MB90480/485 シリーズの端子配列図 (LQFP-100) を変更 ( ( 注意事項 ) を変更 )
45	表 3.2-2 割込み要因と割込みベクタ, 割込み制御レジスタ を変更 (*2: リロードタイマアンダフロー割込みを許可 (TMCSR レジスタの INTE ビット = 1) から禁止 (TMCSR レジスタの INTE ビット = 0) にする場合は, 割込み制御レジスタ (ICR12) の IL2 ~ IL0 ビット = "111 <sub>B</sub> " として割込みを禁止にしてから INTE ビットに "0" を書き込んでください。の文を追加)
71	図 3.6-7 $\mu$ DMAC の処理手順 を変更
92	● パワーオンリセットを変更 (MB90F488B MB90F488B/F489B)
111	図 5.3-2 PLL 出力選択レジスタ (PLLOS) の構成を変更 (-----X0 <sub>B</sub> -----00 <sub>B</sub> ) (PLL 出力選択ビット PLL 出力 2 倍選択ビット) (予約ビット PLL 入力分周選択ビット) 表 5.3-2 PLL 出力選択レジスタ (PLLOS) の各ビットの機能 を変更 (読み出し値は常に "1" です。 ・読み出し値は不定です。)
112	表 5.3-2 PLL 出力選択レジスタ (PLLOS) の各ビットの機能 を変更 ( ・読み出し値は常に "1" です。 ・読み出し値は不定です。)
139	表 6.7-1 シングルチップモード時の端子状態 を変更 (*3: 入力遮断とは, 端子の入力ゲートの動作を禁止する状態を示し, 出力 Hi-Z は端子駆動用トランジスタを駆動禁止状態にし, 端子をハイインピーダンスにすることを意味します。 *2: 入力遮断状態では, 入力はマスクされ "L" レベルが内部に伝わります。出力 Hi-Z は端子駆動用トランジスタを駆動禁止状態にし, 端子をハイインピーダンスにすることを意味します。)

ページ	変更内容（詳細は本文を参照してください。）
140	表 6.7-2 外部バス 16 ビットデータバスモードおよびマルチプレクス 16 ビット外部バスモードの端子状態 を変更 (*6: 入力遮断とは端子の入力ゲートの動作を禁止する状態を示し、出力 Hi-Z は端子駆動用トランジスタを駆動禁止状態にし、端子をハイインピーダンスにすることを意味します。 *5: 入力遮断状態では、入力はマスクされ "L" レベルが内部に伝わります。出力 Hi-Z は端子駆動用トランジスタを駆動禁止状態にし、端子をハイインピーダンスにすることを意味します。)
141	表 6.7-3 外部バス 8 ビットデータバスモードおよびマルチプレクス 8 ビット外部バスモードの端子状態 を変更 (*6: 入力遮断とは端子の入力ゲートの動作を禁止する状態を示し、出力 Hi-Z は端子駆動用トランジスタを駆動禁止状態にし、端子をハイインピーダンスにすることを意味します。 *5: 入力遮断状態では、入力はマスクされ "L" レベルが内部に伝わります。出力 Hi-Z は端子駆動用トランジスタを駆動禁止状態にし、端子をハイインピーダンスにすることを意味します。)
142	表 6.7-4 外部バス 16 ビットデータバスモードおよびノンマルチプレクス 16 ビット外部バスモードの端子状態 を変更 (*6: 入力遮断とは端子の入力ゲートの動作を禁止する状態を示し、出力 Hi-Z は端子駆動用トランジスタを駆動禁止状態にし、端子をハイインピーダンスにすることを意味します。 *5: 入力遮断状態では、入力はマスクされ "L" レベルが内部に伝わります。出力 Hi-Z は端子駆動用トランジスタを駆動禁止状態にし、端子をハイインピーダンスにすることを意味します。)
195	■ ウォッチドッグタイマの動作 を変更 ( < 注意事項 > を変更 )
217	[bit3] SCLR を変更 ( < 注意事項 > を追加 )
224	12.4 16 ビット入出力タイマの割込み の 要約 を変更
289	[bit3] INTE( タイマ割込み要求許可 ) を変更 ( < 注意事項 > を追加 ) [bit2] UF( タイマ割込み要求フラグ ) を変更 ( < 注意事項 > を追加 )
302	■ 16 ビットリロードタイマのプログラム例 を変更
306	● 割込みを許可する方法 を変更 ( < 注意事項 > を追加 )
334	■ 割込み /DTP 許可レジスタ (ENIR:ENable Interrupt Request Register) を変更 ( < 注意事項 > を追加 )
335	■ 割込み /DTP 要因レジスタ (EIRR:External Interrupt Request Register) を変更 ( < 注意事項 > を変更 )
357	● 単発モード を変更 ( < 注意事項 > を追加 )
364	■ アナログ入力端子の扱い を変更 ( ● A/D 変換の再起動について を追加 )

ページ	変更内容（詳細は本文を参照してください。）
398	[bit5, bit4, bit3] CS2, CS1, CS0:Clock Select を変更 ( ・ 同期転送時のクロック分周比 1/1(CS2 ~ CS0=000 <sub>B</sub> ) の使用は禁止です。 ・ 同期転送時に専用ポーレートジェネレータを使用する場合, 以下の設定をしないでください。 1) CS2 ~ CS0 = 000 <sub>B</sub> 2) CS2 ~ CS0 = 001 <sub>B</sub> , DIV3 ~ DIV0 = 0000 <sub>B</sub> )
406	[bit11, bit10, bit9, bit8] DIV3, DIV2, DIV1, DIV0 を変更 ( < 注意事項 > を変更 )
410	表 19.5-2 同期転送クロック分周比 を変更 (CLK 同期 の値を変更) ( : マシクロック ( 内部周波数 f=16MHz), DIV=1 で算出    ϕ: マシクロック ( 内部周波数 f=16MHz), DIV=2 で算出 ) ( < 注意事項 > を変更 )
411	表 19.5-4 ポーレートとリロード値の関係 ( マシクロック =7.3728MHz) を変更 ( < 注意事項 > を追加 )
421	● 同期転送時のクロック設定 を変更 ( 同期転送時のクロック分周比 1/1(CS2-CS0=000 <sub>B</sub> ) の使用は, 禁止です。 ・ 同期転送時に専用ポーレートジェネレータを使用する場合, 以下の設定をしないでください。 1) CS2 ~ CS0 = 000 <sub>B</sub> 2) CS2 ~ CS0 = 001 <sub>B</sub> , DIV3 ~ DIV0 = 0000 <sub>B</sub> ・ 同期転送時に内部タイマ (PPG1) を使用する場合, 以下の設定をしないでください。 N = 1, n = 0)
454	図 22.1-2 ROM ミラー機能選択レジスタ (ROMM) を変更 ( ビット構成図 を変更 )
455	■ ROMM(ROM ミラー機能選択レジスタ) を変更 ( ビット構成図 を変更 ) [bit9] MS を変更 ( < 注意事項 > を追加 )
458	■ 2M/3M ビットフラッシュメモリの特長 を変更 ( ・ 3M: 384K ワード× 8/192K ワード× 16 ビット (16K+8K+8K+32K+64K+64K+64K+64K+64K) セクタ構成 の記述を追加 )
459	図 23.2-1 2M/3M ビットフラッシュメモリのセクタ構成 を変更
481	表 23.7-1 フラッシュセキュリティビットのアドレス を変更 (MB90F489B の型格を追加 )
485	表 24.1-1 使用する端子の機能 を変更 ( 書込み電圧 (V <sub>CC</sub> =3.3V ± 5%) をユーザシステムから供給する場合にはフラッシュマイコンプログラマとの接続は必要ありません。 書込み電圧 (V <sub>CC</sub> =3.3V ± 5%))
555	付表 A-1 各品種のアドレス #1, アドレス #2 およびアドレス #3 の対応 を変更 (MB90488B, MB90483B および MB90F489B の型格を追加 ) ( * 1 および * 2 を追加 )

ページ	変更内容（詳細は本文を参照してください。）
556	付図 A-2 MB90F489B メモリマップを追加
563	付表 C-1 割込み要因と割込みベクタおよび割込み制御レジスタとの対応を変更