



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcn にアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディングカンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB90590G シリーズは、FULL-CAN および FLASH ROM を搭載し、自動車用および産業向けに設計された、汎用のサイプレス 16 ビットマイクロコントローラです。V2.0 パート A およびパート B に準拠した 2 チャネルのオンボード CAN インタフェースを備え、非常に柔軟性のあるメッセージ・バッファリング機能をサポートしています。そのため、通常のフル CAN より多くの機能が利用可能です。

F²MC-16LX CPU コアの命令体系は、F²MC ファミリの AT アーキテクチャを継承するとともに、高級言語対応命令の追加やアドレッシングモードの拡張、乗除算命令の強化、ビット処理命令の充実化を図っています。さらに、32 ビットアキュムレータの搭載により、ロングワードデータの処理も可能となっています。

周辺リソースとしては 8/10 ビット A/D コンバータ、UART (SCI)、I/O 拡張シリアルインタフェース、8/16 ビット PPG タイマ、入出力タイマ (インプットキャプチャ (ICU)、アウトプットコンペア (OCU))、ステッピングモータコントローラ、サウンドジェネレータなどを内蔵しています。

特 長

- クロック
 - PLL クロック通倍回路内蔵
 - 原発振の 2 分周もしくは原発振の 1 通倍～4 通倍
 - 最小命令実行時間、62.5 ns (原発振 4 MHz, PLL クロック 4 通倍, V_{CC} = 5.0 V 動作時)
- コントローラ用途に最適な命令体系
 - 豊富なデータタイプ (ビット、バイト、ワード、ロングワード)
 - 豊富なアドレッシングモード (23 種類)
 - 符号付き乗除算命令、RETI 命令機能強化
 - 32 ビットアキュムレータの採用による高精度演算の強化
- プログラムパッチ機能 (2 アドレスポインタ分あり)
- 高級言語 (C 言語) / マルチタスクに対応する命令体系
 - システムスタックポインタの採用
 - 各種ポインタ間接命令の強化
 - パレルシフト命令
- 実行速度の向上: 4 バイトの命令キュー
- 強力な割込み機能: 8 レベル、34 要因の強力な割込み機能
- CPU に依存しない自動データ転送機能
 - 拡張インテリジェント I/O サービス機能 (EI²OS): 最大 10 チャネル
- 内蔵 ROM 容量と ROM タイプ
 - マスク ROM: 256 K/384 K バイト
 - フラッシュ ROM: 256 K/384 K バイト
 - 内蔵 RAM 容量: 6 K/8 K バイト
- フラッシュ ROM
 - 自動プログラミング機能、Embedded Algorithm をサポート
 - 書き込みコマンド / 消去コマンド / 消去 - 中断コマンド / 再開コマンド
 - アルゴリズム完了フラグ
 - 固定ブート・セクタを示すためのハードワイヤード・リセット・ベクタを使用可能
 - ブロック毎の消去が可能
 - 外部プログラミング電圧によるブロック保護
- 低消費電力 (スタンバイ) モード
 - スリープモード (CPU 動作クロックを停止するモード)
 - ストップモード (原発振を停止するモード)
 - CPU 間欠動作モード
 - 時計モード
 - ハードウェアスタンバイモード
- プロセス: CMOS テクノロジー (0.5μm プロセス)
- I/O ポート
 - 汎用入出力: 78 本
- タイマ
 - ウォッチドッグタイマ: 1 チャネル
 - 8/16 ビット PPG タイマ: 8 / 16 ビット × 6 チャネル
 - 16 ビットリロードタイマ: 2 チャネル
- 16 ビット入出力タイマ
 - 16 ビットフリーランタイマ: 1 チャネル
 - インプットキャプチャ: 6 チャネル
 - アウトプットコンペア: 6 チャネル
- I/O 拡張シリアルインタフェース: 1 チャネル
- UART (3 チャネル)
 - 全二重ダブルバッファ (8 ビット長) 付き
 - クロック非同期またはクロック同期 (スタート / ストップビットあり) 転送が使用可能
- ステッピングモータコントローラ (4 チャネル)
- 外部割込み回路 (8 チャネル)
 - 外部入力による拡張インテリジェント I/O サービス (EI²OS) の起動、および外部割込み発生用のモジュール
- 遅延割込み発生モジュール: タスク切換え用の割込み要求を発生
- 8/10 ビット A/D コンバータ (8 チャネル)
 - 8/10 ビットの分解能切換え可能
 - 外部トリガ入力による起動が可能

- FULL-CAN インタフェース : 2 チャンネル
バージョン 2.0 パート A およびパート B 準拠
柔軟性のあるメッセージバッファリング機能 (メールボックス
と FIFO バッファリングの併用が可能)
- サウンドジェネレータ
- 18 ビットタイムベースカウンタ
- 時計タイマ : 1 チャンネル
- 外部バスインタフェース : 最大 16M バイトのアドレス空間を
使用可能

Contents

特 長	1
1. 品種構成	4
2. 端子配列図	6
3. 端子機能説明	7
4. 入出力回路形式	11
5. デバイスの取り扱いについて	13
6. ブロックダイアグラム	17
7. メモリマップ	18
8. I/Oマ ップ	19
9. CANコ ントローラ	27
10. 割込み要因と割込みベクタ , 割込み制御レジスタ	33
11. 電气的特性	35
11.1 絶対最大定格	35
11.2 推奨動作条件	37
11.3 直流規格	38
11.4 交流規格	40
11.5 A/D コンバータ	47
11.6 A/D コンバータの用語の定義	48
11.7 A/D 変換部の注意事項	50
11.8 フラッシュメモリ	50
12. 特性例	51
13. オーダ型格	52
14. パッケージ・外形寸法図	53
15. 本版での主な変更内容	54
改訂履歴	54
セールス , ソリューションおよび法律情報	55

1. 品種構成

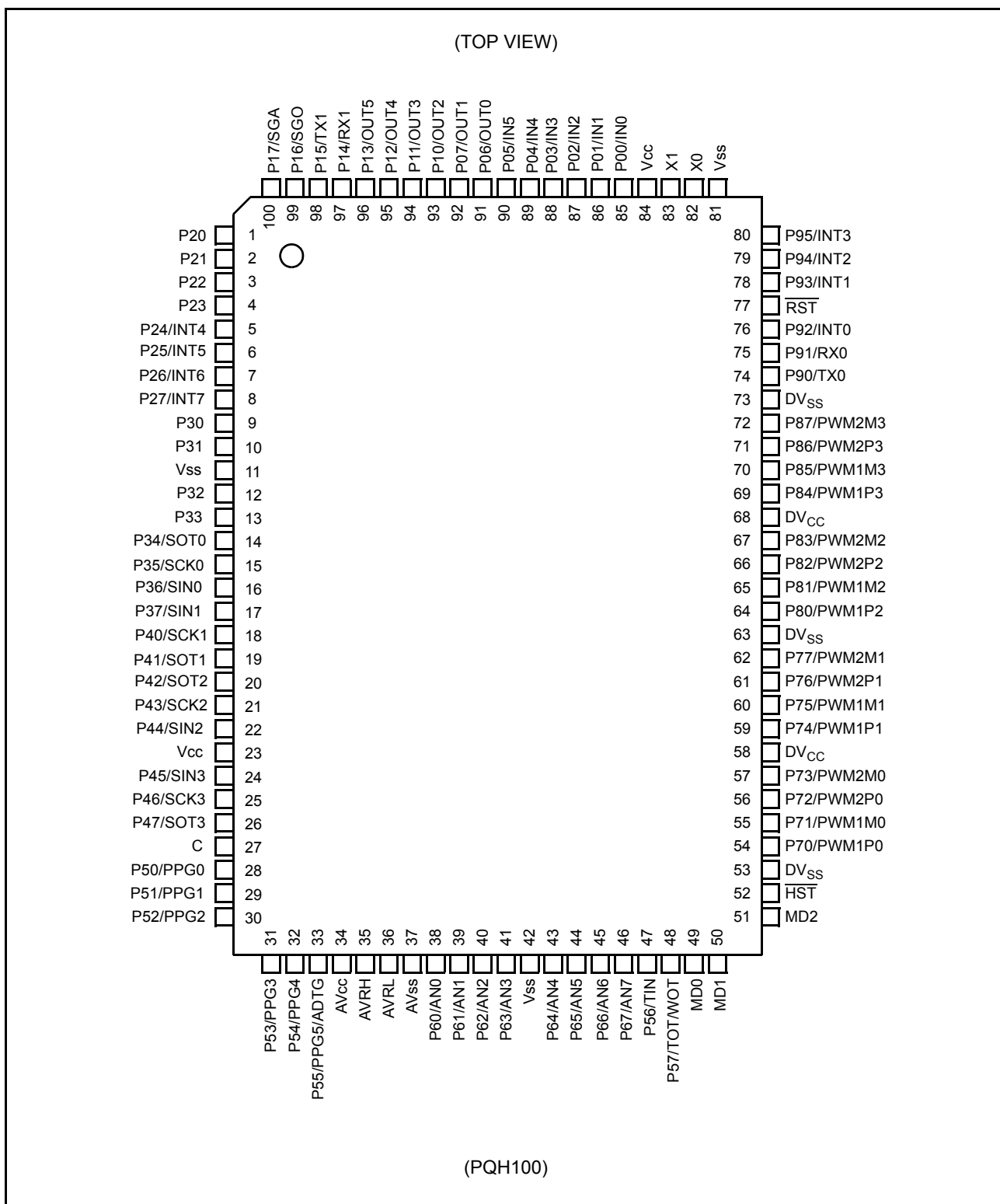
項目 \ 品名		MB90591G/594G	MB90F591G/F594G	MB90V590G
分類		量産品 (マスク ROM)	量産品 (フラッシュ ROM)	評価・エバ品
ROM 容量		384/256 K バイト	384/256 K バイト ブートブロック ハードワイヤードリセット ベクタ	なし
RAM 容量		8/6 K バイト	8/6 K バイト	8 K バイト
エミュレータ専用電源*1		—		なし
CPU 機能		基本命令数 : 340 命令 命令ビット長 : 8 ビット, 16 ビット 命令長 : 1 バイト ~ 7 バイト データビット長 : 1 ビット, 8 ビット, 16 ビット 最小命令実行時間 : 62.5 ns (マシクロック 16 MHz 時) 割込み処理時間 : 1.5 μ s (マシクロック 16 MHz 時, 最小値)		
UART (3 チャンネル)		クロック同期転送 (500 Kbps/1M/2 Mbps) クロック非同期転送 (4808/5208/9615/10417/19230/38460/62500/500000 bps : マシクロック 16MHz 時) 双方向シリアル通信機能, マスタ / スレーブ型接続による通信可能		
8/10 ビット A/D コンバータ		変換精度 : 8/10 ビット切換え可能 入力本数 : 8 本 単発変換モード (選択したチャンネルを 1 回のみ変換) スキャン変換モード (連続した複数のチャンネルを変換, 最大 8 チャンネルプログラム可能) 連続変換モード (選択したチャンネルを繰り返し変換) 停止変換モード (選択したチャンネルの変換, 一時停止を繰り返す)		
8/16 ビット PPG タイマ (6 channels)		チャンネル数 : 6 (8 / 16 ビット \times 6 チャンネル) 8 ビットまたは 16 ビットの PPG 動作 任意周期, 任意デューティのパルス波出力可能 パルス周期 : f_{sys} , $f_{sys}/2^1$, $f_{sys}/2^2$, $f_{sys}/2^3$, $f_{sys}/2^4$, 128 μ s (原発振 4 MHz, f_{sys} = マシクロック 16 MHz 時, f_{osc} = 発振クロック周波数)		
16 ビットリロードタイマ		チャンネル数 : 2 動作クロック周波数 : $f_{sys}/2^1$, $f_{sys}/2^3$, $f_{sys}/2^5$ (f_{sys} = マシクロック周波数) 外部イベントカウント可能		
16 ビット 入出力 タイマ	16-bit アウトプット コンペア	チャンネル数 : 6 (8/16 ビット \times 6 チャンネル) 端子入力要因 : コンペアレジスタの一致信号による		
	インプット キャプチャ	チャンネル数 : 6 端子入力 (立上り, 立下り, 両エッジ) によるレジスタの書換え		

項目	品名	MB90591G/594G	MB90F591G/F594G	MB90V590G
CAN インタフェース	チャンネル数：2 CAN 規格バージョン 2.0 パート A および B 準拠 エラー発生時は自動的に再伝送 リモートフレームに応答した自動伝送 データおよび ID 用の、優先順位のある 16 個のメッセージバッファ 複数のメッセージをサポート アクセプタンス・フィルタリングの柔軟な構成： フルビットコンペア / フルビットマスク / パーシャルビットマスク 2 個 最大 1 Mbps をサポート CAN ビットタイミング設定 MB90(F)59xG:TSEG2≥RSJW			
ステッピングモータ コントローラ (4 チャンネル)	各チャンネルあたり 4 本の高電流出力 各チャンネルは 8 ビット PWM と同期			
外部割込み回路	入力本数：8 本 立上りエッジ, 立下りエッジ, “H” レベルおよび “L” レベル入力により起動			
サウンドジェネレータ	8 ビット PWM は 8 ビットリロードカウンタからトーン周波数に混合 PWM 周波数：62.5K, 31.2K, 15.6K, 7.8kHz (マシニングクロック 16MHz 時) トーン周波数：PWM 周波数 / 2 / (リロード値 + 1)			
I/O 拡張シリアル インタフェース	クロック同期転送 (31.25K/62.5K/125K/500K/1Mbps : マシニングクロック 16MHz 時) LSB ファースト / MSB ファースト			
時計タイマ	システムクロックによる直接動作 秒 / 分 / 時レジスタの読み出し / 書き込みが可能			
ウォッチドッグタイマ	リセット発生周期：3.58 ms, 14.33 ms, 57.23 ms, 458.75 ms (原発振 4 MHz 時, 最小値)			
フラッシュメモリ	自動プログラミング, Embedded Algorithm, 書き込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート アルゴリズムの完了を示すフラグ フラッシュメモリの固定ブートセクタを示すために, ハード・ワイヤード・リセット・ベクタが使用可能 ブートブロック構成 各ブロックで消去を実行可能 外部プログラミング電圧によるブロック保護 ミナトエレクトロニクス製のフラッシュライタ			
低消費電力(スタンバイ) モード	スリープ / ストップ / CPU 間欠動作 / 時計タイマ / ハードウェアスタンバイ			
プロセス	CMOS			
動作電源電圧 *2	5 V±10 % (MB90V590G, MB90F594G, MB90594G) 5 V±5 % (MB90F591G, MB90591G)			
パッケージ	QFP-100			PGA-256

*1:エバリュエーションポッドMB2145-507をご使用いただく際のディップスイッチS2の設定です。詳細につきましてはMB2145-507 ハードウェアマニュアル (2.7 エミュレータ専用電源端子) を参照してください。

*2: 使用周波数などの条件によって異なります (「11. 電気的特性」を参照)。

2. 端子配列図



3. 端子機能説明

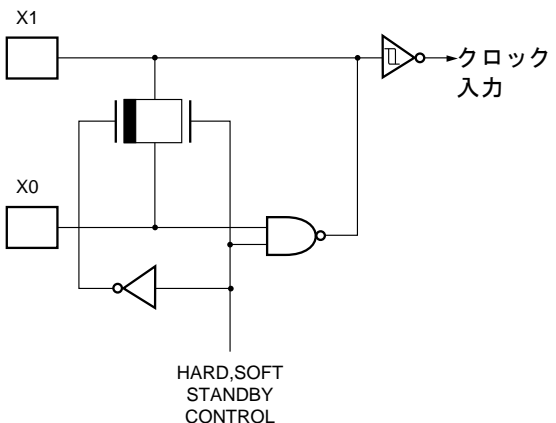
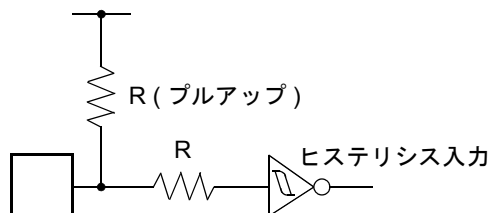
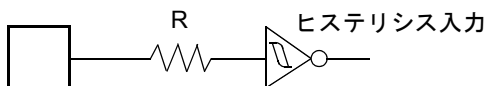
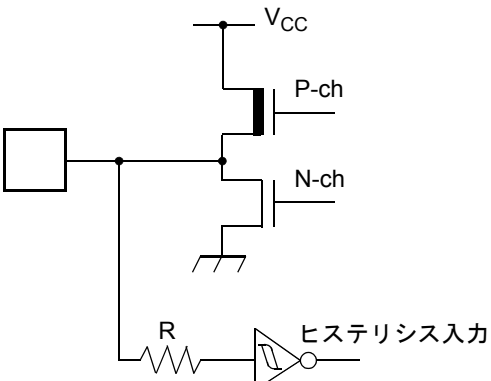
端子番号	端子名	回路形式	機能説明
82	X0	A	水晶発振用端子です。
83	X1		
77	$\overline{\text{RST}}$	B	外部リセット要求入力です。
52	$\overline{\text{HST}}$	C	ハードウェアスタンバイ入力端子です。
85 ~ 90	P00 ~ P05	D	汎用の入出力ポートです。
	IN0 ~ IN5		インプットキャプチャの入力端子です。
91 ~ 96	P06, P07, P10 ~ P13	D	汎用の入出力ポートです。
	OUT0 ~ OUT5		アウトプットコンペアの出力端子です。 この機能はポートディレクションレジスタの対応するビットに“1”を設定することにより有効となります。
97	P14	D	汎用の入出力ポートです。
	RX1		CAN インタフェース 1 の RX 入力端子です。
98	P15	D	汎用の入出力ポートです。
	TX1		CAN インタフェース 1 の TX 出力端子です。 この機能はポートディレクションレジスタの対応するビットに“1”を設定することにより有効となります。
99	P16	D	汎用の入出力ポートです。
	SGO		サウンドジェネレータの SGO 出力端子です。 この機能はポートディレクションレジスタの対応するビットに“1”を設定することにより有効となります。
100	P17	D	汎用の入出力ポートです。
	SGA		サウンドジェネレータの SGA 出力端子です。 この機能はポートディレクションレジスタの対応するビットに“1”を設定することにより有効となります。
1 ~ 4	P20 ~ P23	D	汎用の入出力ポートです。
5 ~ 8	P24 ~ P27	D	汎用の入出力ポートです。
	INT4 ~ INT7		INT4 から INT7 の外部割込み要求入力端子です。
9, 10	P30, P31	D	汎用の入出力ポートです。
12, 13	P32, P33	D	汎用の入出力ポートです。
14	P34	D	汎用の入出力ポートです。
	SOT0		UART 0 の SOT 出力端子です。 この機能はポートディレクションレジスタの対応するビットに“1”を設定することにより有効となります。
15	P35	D	汎用の入出力ポートです。
	SCK0		UART 0 の SCK 入出力端子です。 この機能はポートディレクションレジスタの対応するビットに“1”を設定することにより有効となります。
16	P36	D	汎用の入出力ポートです。
	SIN0		UART 0 の SIN 入力端子です。

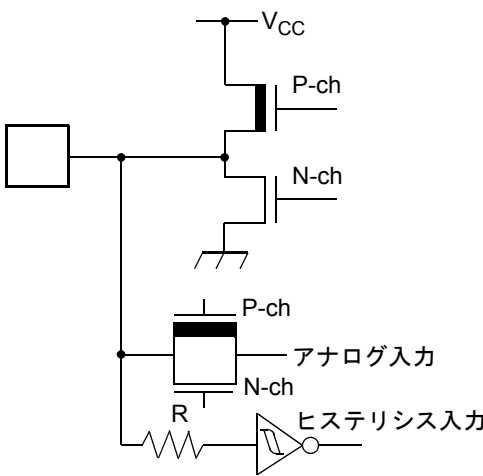
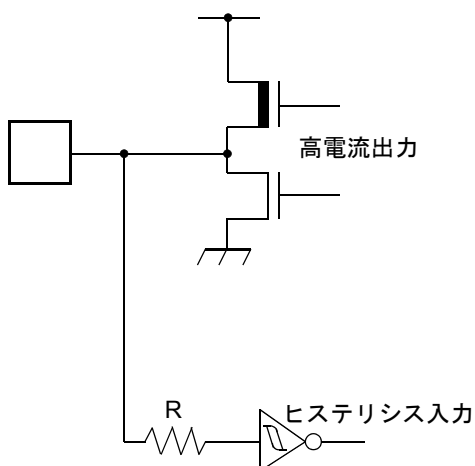
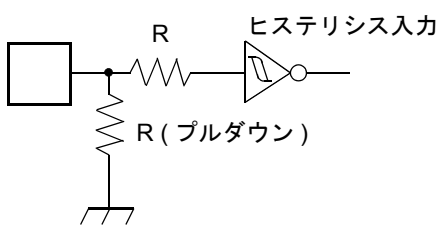
端子番号	端子名	回路形式	機能説明
17	P37	D	汎用の入出力ポートです。
	SIN1		UART 1 の SIN 入力端子です。
18	P40	D	汎用の入出力ポートです。
	SCK1		UART 1 の SCK 入出力端子です。
19	P41	D	汎用の入出力ポートです。
	SOT1		UART1 の SOT 出力端子です。
20	P42	D	汎用の入出力ポートです。
	SOT2		UART2 の SOT 出力端子です。
21	P43	D	汎用の入出力ポートです。
	SCK2		UART2 の SCK 入出力端子です。
22	P44	D	汎用の入出力ポートです。
	SIN2		UART2 の SIN 入力端子です。
24	P45	D	汎用の入出力ポートです。
	SIN3		シリアルデータの SIN 入力端子です。
25	P46	D	汎用の入出力ポートです。
	SCK3		シリアルデータの SCK 入出力端子です。
26	P47	D	汎用の入出力ポートです。
	SOT3		シリアルデータの SOT 出力端子です。
28 ~ 33	P50 ~ P55	D	汎用の入出力ポートです。
	PPG0 ~ PPG5, ADTG		PPG タイマの出力端子です。 ADTG (端子番号 33) は、A/D コンバータの外部トリガ入力端子と兼用しています。
38 ~ 41	P60 ~ P63	E	汎用の入出力ポートです。
	AN0 ~ AN3		A/D コンバータの入力端子です。
43 ~ 46	P64 ~ P67	E	汎用の入出力ポートです。
	AN4 ~ AN7		A/D コンバータの入力端子です。
47	P56	D	汎用の入出力ポートです。
	TIN		16 ビットリロードタイマの TIN 入力端子です。
48	P57	D	汎用の入出力ポートです。
	TOT/WOT		16 ビットリロードタイマの TOT 出力および時計タイマの WOT 出力端子です。 これらの機能は、周辺ブロックにある 3 つのフラグのうちの 1 つを設定することにより、有効となります。
54 ~ 57	P70 ~ P73	F	汎用の入出力ポートです。
	PWM1P0, PWM1M0, PWM2P0, PWM2M0		ステッピングモータコントローラのチャンネル 0 の出力端子です。

端子番号	端子名	回路形式	機能説明
59 ~ 62	P74 ~ P77	F	汎用の入出力ポートです。
	PWM1P1, PWM1M1, PWM2P1, PWM2M1		ステッピングモータコントローラのチャンネル 1 の出力端子です。
64 ~ 67	P80 ~ P83	F	汎用の入出力ポートです。
	PWM1P2, PWM1M2, PWM2P2, PWM2M2		ステッピングモータコントローラのチャンネル 2 の出力端子です。
69 ~ 72	P84 ~ P87	F	汎用の入出力ポートです。
	PWM1P3, PWM1M3, PWM2P3, PWM2M3		ステッピングモータコントローラのチャンネル 3 の出力端子です。
74	P90	D	汎用の入出力ポートです。
	TX0		CAN インタフェースのチャンネル 0 の TX 出力端子です。
75	P91	D	汎用の入出力ポートです。
	RX0		CAN インタフェースのチャンネル 0 の RX 入力端子です。
76	P92	D	汎用の入出力ポートです。
	INT0		INT0 の外部割込み要求入力端子です。
78	P93	D	汎用の入出力ポートです。
	INT1		INT1 の外部割込み要求入力端子です。
79	P94	D	汎用の入出力ポートです。
	INT2		INT2 の外部割込み要求入力端子です。
80	P95	D	汎用の入出力ポートです。
	INT3		INT3 の外部割込み要求入力端子です。
58, 68	DV _{CC}	—	高電流出力バッファ（端子番号 54 ~ 72）用の電源端子です。
53, 63, 73	DV _{SS}	—	高電流出力バッファ（端子番号 54 ~ 72）用の接地レベルです。
34	AV _{CC}	電源	アナログ回路の電源です。 この電源の投入 / 切断は必ず V _{CC} に AV _{CC} 以上の電位が印加してある状態で行ってください。
37	AV _{SS}	電源	アナログ回路の接地レベルです。
35	AVRH	電源	アナログ回路の基準電圧入力です。 この端子の投入 / 切断は必ず AV _{CC} に AVRH 以上の電位が印加してある状態で行ってください。
36	AVRL	電源	アナログ回路の基準電圧入力です。
49, 50	MD0, MD1	C	動作モード指定用入力端子です。 V _{CC} あるいは V _{SS} に直接つないで使用してください。
51	MD2	G	動作モード指定用入力端子です。 V _{CC} あるいは V _{SS} に直接つないで使用してください。

端子番号	端子名	回路形式	機能説明
27	C	—	電源安定化の容量端子です。 外部に 0.1 μ F 程度のセラミックコンデンサを接続してください。
23, 84	V _{CC}	電源	デジタル回路の電源 (5.0 V) 入力端子です。
11, 42, 81	V _{SS}	電源	デジタル回路の接地レベル電源 (0.0 V) 入力端子です。

4. 入出力回路形式

回路形式	回路	備考
A		<ul style="list-style-type: none"> ■ 発振帰還抵抗 約 1 MΩ
B		<ul style="list-style-type: none"> ■ プルアップ付きヒステリシス入力 ■ プルアップ抵抗値 約 50 kΩ
C		<ul style="list-style-type: none"> ■ ヒステリシス入力
D		<ul style="list-style-type: none"> ■ CMOS レベル出力 ■ ヒステリシス入力

回路形式	回路	備考
E		<ul style="list-style-type: none"> ■ CMOS レベル出力 ■ ヒステリシス入力 ■ アナログ入力
F		<ul style="list-style-type: none"> ■ CMOS レベル出力 (高電流出力) ■ ヒステリシス入力
G		<ul style="list-style-type: none"> ■ プルダウン付きヒステリシス入力 ■ プルダウン抵抗値 約 50 kΩ ■ フラッシュ品にはプルダウンなし

5. デバイスの取り扱いについて

(1) 最大定格を超えることのないよう注意してください (ラッチアップの防止)。

CMOS IC では、入力端子や出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合、または $V_{CC} \sim V_{SS}$ 間に定格を超える電圧が印加された場合に、ラッチアップ現象を生じることがあります。

ラッチアップ現象が起きると電源電流が激増し、素子の熱破壊に至る場合がありますので、使用に際しては、最大定格を超えることのないよう十分注意してください。

また、アナログ電源投入時、および切断時においてもアナログ電源電圧 (AV_{CC} , AV_{RH}) とアナログ入力電圧は、デジタル電源電圧 (V_{CC}) を超えることのないよう十分注意してください。

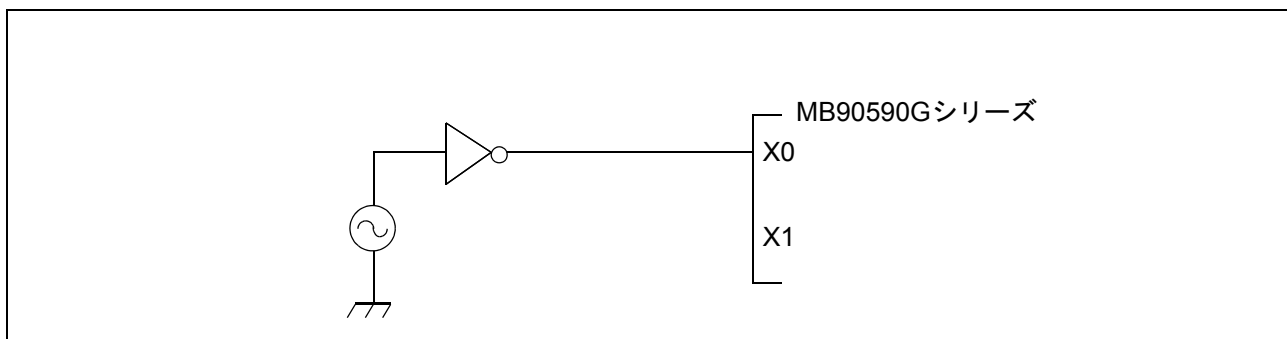
(2) 未使用端子の処理について

使用していない端子を開放のままにしておくとは誤動作およびラッチアップによる永久破損の原因になることがありますので、 $2\text{ k}\Omega$ 以上の抵抗を介して、pull up または pull down などの処理をしてください。また、使用していない入出力端子については出力状態にして開放とするか、入力状態の場合は入力端子と同じ処置をしてください。

(3) 外部クロック使用時の注意について

外部のクロックを使用する場合は、X0 端子のみを駆動して X1 端子は開放してください。

外部クロック使用例

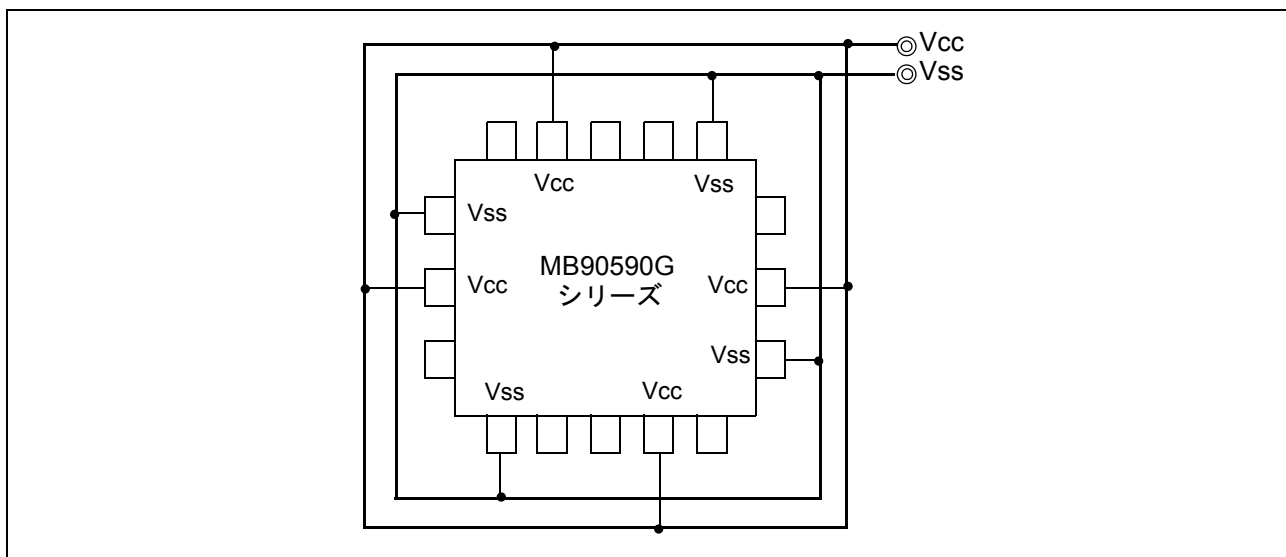


(4) 電源端子について (Vcc/Vss)

V_{CC}, V_{SS} が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するために、同電位にすべき端子はデバイス内部で接続してありますが、不要輻射の低減、グラウンドレベルの上昇によるストロブ信号の誤動作防止、総出力電流規格を守るなどのために、必ずそれらすべてを外部で電源、およびグラウンドに接続してください(下図を参照)。

また電流供給源からできる限り低インピーダンスでこのデバイスの V_{CC}, V_{SS} に接続するように配慮してください。

さらに、このデバイスの近くで、V_{CC} と V_{SS} の間に 0.1 μ F 程度のコンデンサをバイパスコンデンサとして接続することをお薦めします。



(5) プルアップ/プルダウン抵抗について

MB90590G シリーズは内蔵のプルアップ/プルダウン抵抗器をサポートしていません。必要に応じて外付けしてください。

(6) 水晶発振回路について

X0, X1 端子の近辺のノイズはこのデバイスの誤動作の元となります。X0, X1 端子および水晶振動子 (あるいはセラミック振動子) さらにグラウンドへのバイパスコンデンサはできる限り近くなるように、またその配線は、ほかの配線とできる限り交差しないようにプリント基板を設計してください。

また、X0, X1 端子の回りをグラウンドで囲むようなプリント基板アートワークは、安定した動作を期待できますので、強くお薦めします。

(7) A/D コンバータの電源、アナログ入力の投入順序について

A/D コンバータ、D/A コンバータの電源 (AV_{CC}, AVR_H, AVR_L, DV_{CC}, DV_{SS}) およびアナログ入力 (AN0 ~ AN7) の印加は必ずデジタル電源 (V_{CC}) の投入後に行ってください。

また、電源切断時はA/Dコンバータの電源およびアナログ入力の遮断の後で、デジタル電源の遮断を行ってください。その際、AVR_H, DV_{CC} は AV_{CC} を超えないように投入・切断を行ってください (アナログ電源とデジタル電源を同時に投入、遮断することは問題ありません)。

(8) A/D コンバータ未使用時の端子処理について

A/D コンバータを使用しないときは、AV_{CC} = V_{CC}, AV_{SS} = AVR_H = V_{SS} に接続してください。

(9) N.C. 端子の処理について

N.C. (内部接続) 端子は、必ず開放にして使用してください。

(10) 電源投入時の注意点

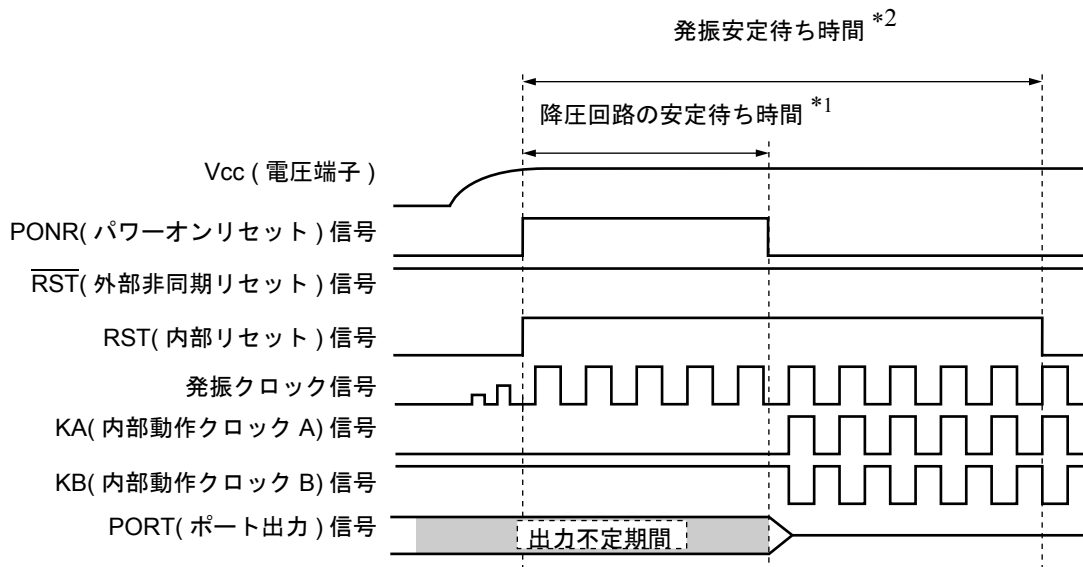
内部に内蔵している降圧回路の誤動作を防ぐために、電源投入時における電圧の立ち上がり時間は、50 μ s (0.2 V ~ 2.7 V の間) 以上を確保してください。

(11) ポート 0, 1 からの出力が不定になる場合 (MB90F594G/MB90F591G/591G 以外)

電源を投入後, 降圧回路の発振安定待ち時間 (パワーオンリセット中) に $\overline{\text{RST}}$ 端子が “H” の場合, ポート 0, 1 から不定を出力します。 $\overline{\text{RST}}$ 端子が “L” の場合, ポート 0, 1 はハイ・インピーダンス状態になります。

タイミングは, 下図のようになりますので注意してください。

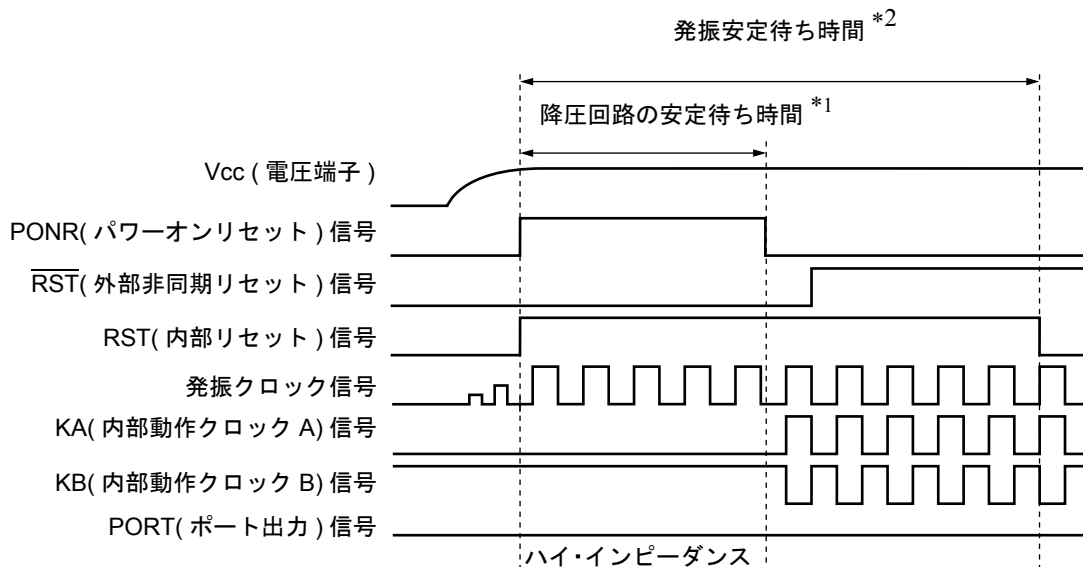
ポート 0, 1 が不定出力になるタイミングチャート ($\overline{\text{RST}}$ 端子が “H” の場合)



*1: 降圧回路の発振安定待ち時間 $2^{17} / \text{発振クロック周波数}$ (発振クロック周波数 16MHz の場合, 約 8.19ms)

*2: 発振安定待ち時間 $2^{18} / \text{発振クロック周波数}$ (発振クロック周波数 16MHz の場合, 約 16.38ms)

ポート 0, 1 がハイ・インピーダンス状態になるタイミングチャート ($\overline{\text{RST}}$ 端子が “L” の場合)



*1: 降圧回路の発振安定待ち時間 $2^{17} / \text{発振クロック周波数}$ (発振クロック周波数 16MHz の場合, 約 8.19ms)

*2: 発振安定待ち時間 $2^{18} / \text{発振クロック周波数}$ (発振クロック周波数 16MHz の場合, 約 16.38ms)

(12) 初期化について

デバイス内には、パワーオンリセットによってのみ初期化される内蔵レジスタ類があります。これらの初期化を期待する場合は電源の再投入を行ってください。

(13) 「DIV A, Ri」, 「DIVW A, RWi」命令の使用上の注意

符号付乗除算命令 「DIV A, Ri」, 「DIVW A, RWi」命令は、対応するバンクレジスタ (DTB, ADB, USB, SSB) の値を “00_H” に設定し、使用してください。

対応するバンクレジスタ (DTB, ADB, USB, SSB) の値を “00_H” 以外に設定した場合、命令実行結果により得られる余りは、命令オペランドのレジスタに格納されません。

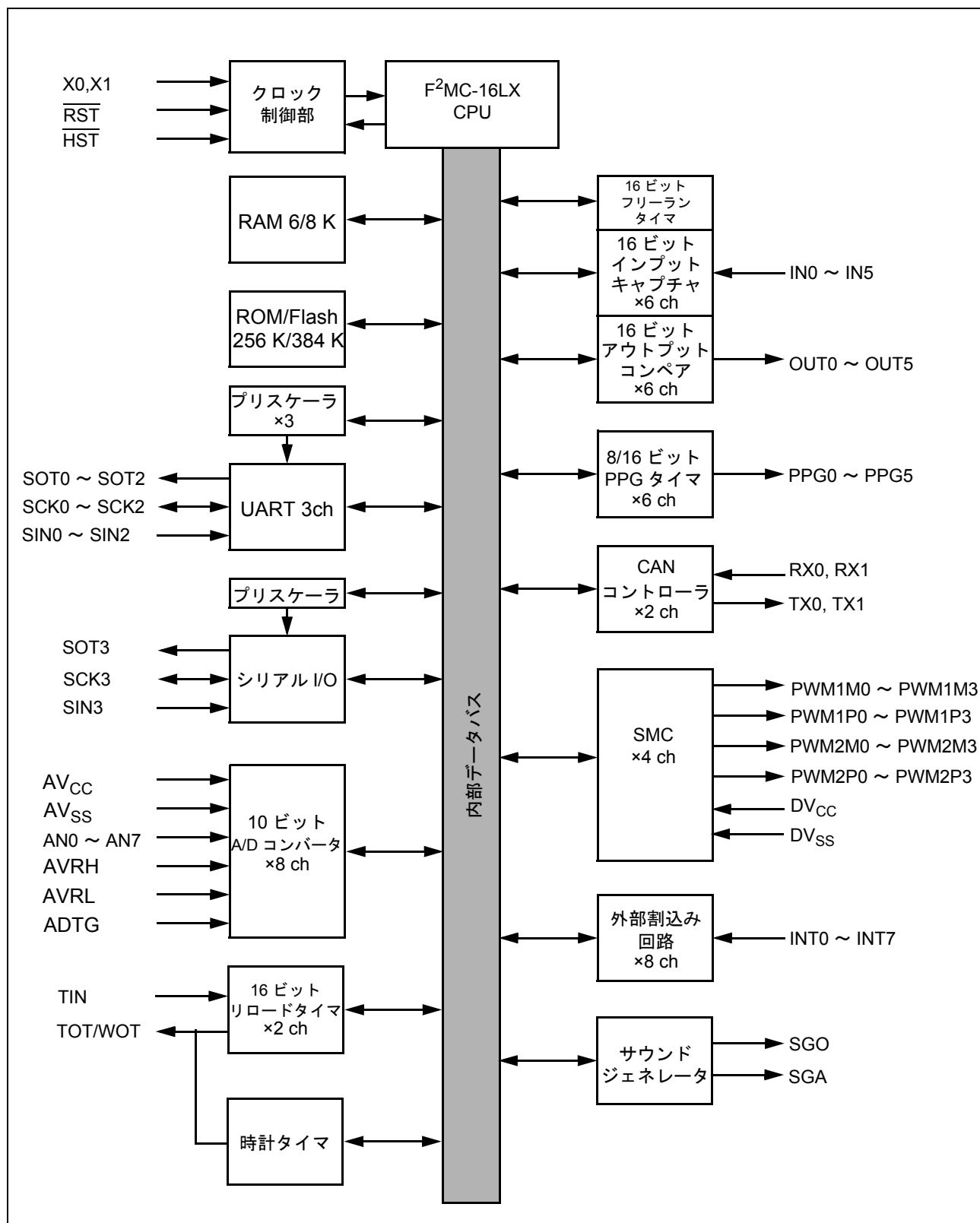
(14) REALOS を使用する場合

REALOS を使用する場合は、拡張インテリジェント I/O サービス (EI²OS) が使用できません。

(15) PLL クロックモード動作中の注意について

本マイコンで PLL クロックを選択しているときに発振子が外れたり、あるいはクロック入力が停止した場合、本マイコンは PLL 内部の自励発振回路の自走周波数で動作を継続し続ける場合があります。この動作は保証外の動作です。

6. ブロックダイアグラム



7. メモリマップ

MB90V590G		MB90594G/F594G		MB90591G/ F591G	
FFFFFF _H FF0000 _H	ROM (FF バンク)	FFFFFF _H FF0000 _H	ROM (FF バンク)	FFFFFF _H FF0000 _H	ROM (FF バンク)
FEFFFF _H FE0000 _H	ROM (FE バンク)	FEFFFF _H FE0000 _H	ROM (FE バンク)	FEFFFF _H FE0000 _H	ROM (FE バンク)
FDFFFF _H FD0000 _H	ROM (FD バンク)	FDFFFF _H FD0000 _H	ROM (FD バンク)	FDFFFF _H FD0000 _H	ROM (FD バンク)
FCFFFF _H FC0000 _H	ROM (FC バンク)	FCFFFF _H FC0000 _H	ROM (FC バンク)	FCFFFF _H FC0000 _H	
FBFFFF _H FB0000 _H	ROM (FB バンク)			FBFFFF _H FB0000 _H	ROM (FB バンク)
FAFFFF _H FA0000 _H	ROM (FA バンク)			FAFFFF _H FA0000 _H	ROM (FA バンク)
F9FFFF _H F90000 _H	ROM (F9 バンク)			F9FFFF _H F90000 _H	ROM (F9 バンク)
00FFFF _H 004000 _H	ROM (FF バンクのイ メージ)	00FFFF _H 004000 _H	ROM (FF バンクの イメージ)	00FFFF _H 004000 _H	ROM (FF バンクの イメージ)
0028FF _H 002100 _H	RAM 2K			0028FF _H 002100 _H	RAM 2K
0020FF _H				0020FF _H	
001FFF _H 001900 _H	周辺	001FFF _H 001900 _H	周辺	001FFF _H 001900 _H	周辺
0018FF _H	RAM 6K	0018FF _H	RAM 6K	0018FF _H	RAM 6K
000100 _H		000100 _H		000100 _H	
0000BF _H 000000 _H	周辺	0000BF _H 000000 _H	周辺	0000BF _H 000000 _H	周辺

(注意事項) 00 バンクの上に FF バンクの ROM データがイメージで見えるようになっていますが、これは C コンパイラのスモールモデルを有効に生かすためです。FF バンクの下位 16 ビットアドレスと 00 バンクの下位 16 ビットアドレスは同じになるようにしてありますので、ポインタで far 指定を宣言しなくとも ROM 内のテーブルを参照することができます。たとえば、00C000_H をアクセスした場合に、実際には、FFC000_H の ROM の内容がアクセスされることになります。ここで、FF バンクの ROM 領域は、48 K バイトを超えますので、00 バンクのイメージにすべての領域を見せることができません。したがって、FF4000_H ~ FFFFFFF_H の ROM データは 004000_H ~ 00FFFF_H のイメージに見えますので、ROM データテーブルは FF4000_H ~ FFFFFFF_H の領域に格納することを推奨します。

8. I/O マップ

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
00 _H	ポート 0 データレジスタ	PDR0	R/W	ポート 0	XXXXXXXX _B
01 _H	ポート 1 データレジスタ	PDR1	R/W	ポート 1	XXXXXXXX _B
02 _H	ポート 2 データレジスタ	PDR2	R/W	ポート 2	XXXXXXXX _B
03 _H	ポート 3 データレジスタ	PDR3	R/W	ポート 3	XXXXXXXX _B
04 _H	ポート 4 データレジスタ	PDR4	R/W	ポート 4	XXXXXXXX _B
05 _H	ポート 5 データレジスタ	PDR5	R/W	ポート 5	XXXXXXXX _B
06 _H	ポート 6 データレジスタ	PDR6	R/W	ポート 6	XXXXXXXX _B
07 _H	ポート 7 データレジスタ	PDR7	R/W	ポート 7	XXXXXXXX _B
08 _H	ポート 8 データレジスタ	PDR8	R/W	ポート 8	XXXXXXXX _B
09 _H	ポート 9 データレジスタ	PDR9	R/W	ポート 9	-- XXXXXX _B
0A _H ~ 0F _H	(予約領域)				
10 _H	ポート 0 方向レジスタ	DDR0	R/W	ポート 0	00000000 _B
11 _H	ポート 1 方向レジスタ	DDR1	R/W	ポート 1	00000000 _B
12 _H	ポート 2 方向レジスタ	DDR2	R/W	ポート 2	00000000 _B
13 _H	ポート 3 方向レジスタ	DDR3	R/W	ポート 3	00000000 _B
14 _H	ポート 4 方向レジスタ	DDR4	R/W	ポート 4	00000000 _B
15 _H	ポート 5 方向レジスタ	DDR5	R/W	ポート 5	00000000 _B
16 _H	ポート 6 方向レジスタ	DDR6	R/W	ポート 6	00000000 _B
17 _H	ポート 7 方向レジスタ	DDR7	R/W	ポート 7	00000000 _B
18 _H	ポート 8 方向レジスタ	DDR8	R/W	ポート 8	00000000 _B
19 _H	ポート 9 方向レジスタ	DDR9	R/W	ポート 9	-- 000000 _B
1A _H	(予約領域)				
1B _H	アナログ入力許可レジスタ	ADER	R/W	ポート 6, A/D	11111111 _B
1C _H ~ 1F _H	(予約領域)				
20 _H	シリアルモードコントロール レジスタ 0	UMC0	R/W	UART0	00000100 _B
21 _H	シリアルステータスレジスタ 0	USR0	R/W		00010000 _B
22 _H	シリアル入力データレジスタ 0 / シリアル出力データレジスタ 0	UIDR0/UODR0	R/W		XXXXXXXX _B
23 _H	転送速度データレジスタ 0	URD0	R/W		0000000X _B
24 _H	シリアルモードコントロール レジスタ 1	UMC1	R/W	UART1	00000100 _B
25 _H	シリアルステータスレジスタ 1	USR1	R/W		00010000 _B
26 _H	シリアル入力データレジスタ 1 / シリアル出力データレジスタ 1	UIDR1/UODR1	R/W		XXXXXXXX _B
27 _H	転送速度データレジスタ 1	URD1	R/W		0000000X _B

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
28 _H	シリアルモードコントロール レジスタ 2	UMC2	R/W	UART2	00000100 _B
29 _H	シリアルステータスレジスタ 2	USR2	R/W		00010000 _B
2A _H	シリアル入力データレジスタ 2 / シリアル出力データレジスタ 2	UIDR2/UODR2	R/W		XXXXXXXX _B
2B _H	転送速度データレジスタ 2	URD2	R/W		0000000X _B
2C _H	シリアルモードコントロール レジスタ (下位)	SMCS	R/W	I/O 拡張シリアル インタフェース	____0000 _B
2D _H	シリアルモードコントロール レジスタ (上位)	SMCS	R/W		00000010 _B
2E _H	シリアルデータレジスタ	SDR	R/W		XXXXXXXX _B
2F _H	エッジセクタ	SES	R/W		______0 _B
30 _H	割込み許可レジスタ	ENIR	R/W	外部割込み回路	00000000 _B
31 _H	割込み要因レジスタ	EIRR	R/W		XXXXXXXX _B
32 _H	要求レベル設定レジスタ	ELVR	R/W		00000000 _B
33 _H	要求レベル設定レジスタ	ELVR	R/W		00000000 _B
34 _H	A/D 制御ステータスレジスタ 0	ADCS0	R/W	A/D コンバータ	00000000 _B
35 _H	A/D 制御ステータスレジスタ 1	ADCS1	R/W		00000000 _B
36 _H	A/D データレジスタ 0	ADCR0	R		XXXXXXXX _B
37 _H	A/D データレジスタ 1	ADCR1	R/W		000010XX _B
38 _H	PPG0 動作モード制御レジスタ	PPGC0	R/W	16 ビット PPG タイマ 0, 1	0_000__1 _B
39 _H	PPG1 動作モード制御レジスタ	PPGC1	R/W		0_000001 _B
3A _H	PPG0, 1 出力端子制御レジスタ	PPG01	R/W		00000000 _B
3B _H	(使用禁止)				
3C _H	PPG2 動作モード制御レジスタ	PPGC2	R/W	16 ビット PPG タイマ 2, 3	0_000__1 _B
3D _H	PPG3 動作モード制御レジスタ	PPGC3	R/W		0_000001 _B
3E _H	PPG2, 3 出力端子制御レジスタ	PPG23	R/W		00000000 _B
3F _H	(使用禁止)				
40 _H	PPG4 動作モード制御レジスタ	PPGC4	R/W	16 ビット PPG タイマ 4, 5	0_000__1 _B
41 _H	PPG5 動作モード制御レジスタ	PPGC5	R/W		0_000001 _B
42 _H	PPG4, 5 出力端子制御レジスタ	PPG45	R/W		00000000 _B
43 _H	(使用禁止)				
44 _H	PPG6 動作モード制御レジスタ	PPGC6	R/W	16 ビット PPG タイマ 6, 7	0_000__1 _B
45 _H	PPG7 動作モード制御レジスタ	PPGC7	R/W		0_000001 _B
46 _H	PPG6, 7 出力端子制御レジスタ	PPG67	R/W		00000000 _B
47 _H	(使用禁止)				

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
48 _H	PPG8 動作モード制御レジスタ	PPGC8	R/W	16 ビット PPG タイマ 8, 9	0_000__1 _B
49 _H	PPG9 動作モード制御レジスタ	PPGC9	R/W		0_000001 _B
4A _H	PPG8, 9 出力端子制御レジスタ	PPG89	R/W		00000000 _B
4B _H	(使用禁止)				
4C _H	PPGA 動作モード制御レジスタ	PPGCA	R/W	16 ビット PPG タイマ A, B	0_000__1 _B
4D _H	PPGB 動作モード制御レジスタ	PPGCB	R/W		0_000001 _B
4E _H	PPGA, B 出力端子制御レジスタ	PPGAB	R/W		00000000 _B
4F _H	(使用禁止)				
50 _H	タイマコントロール ステータスレジスタ 0 (下位)	TMCSR0	R/W	16 ビットリロード タイマ 0	00000000 _B
51 _H	タイマコントロール ステータスレジスタ 0 (上位)	TMCSR0	R/W		____0000 _B
52 _H	タイマコントロール ステータスレジスタ 1 (下位)	TMCSR1	R/W	16 ビットリロード タイマ 1	00000000 _B
53 _H	タイマコントロール ステータスレジスタ 1 (上位)	TMCSR1	R/W		____0000 _B
54 _H	インプットキャプチャコントロール ステータスレジスタ 0, 1	ICS01	R/W	インプット キャプチャ 0, 1	00000000 _B
55 _H	インプットキャプチャコントロール ステータスレジスタ 2, 3	ICS23	R/W	インプット キャプチャ 2, 3	00000000 _B
56 _H	インプットキャプチャコントロール ステータスレジスタ 4, 5	ICS45	R/W	インプット キャプチャ 4, 5	00000000 _B
57 _H	(使用禁止)				
58 _H	アウトプットコンペアコントロール ステータスレジスタ 0	OCS0	R/W	アウトプット コンペア 0, 1	0000__00 _B
59 _H	アウトプットコンペアコントロール ステータスレジスタ 1	OCS1	R/W		___00000 _B
5A _H	アウトプットコンペアコントロール ステータスレジスタ 2	OCS2	R/W	アウトプット コンペア 2, 3	0000__00 _B
5B _H	アウトプットコンペアコントロール ステータスレジスタ 3	OCS3	R/W		___00000 _B
5C _H	アウトプットコンペアコントロール ステータスレジスタ 4	OCS4	R/W	アウトプット コンペア 4, 5	0000__00 _B
5D _H	アウトプットコンペアコントロール ステータスレジスタ 5	OCS5	R/W		___00000 _B
5E _H	サウンド制御レジスタ (下位)	SGCR	R/W	サウンド ジェネレータ	00000000 _B
5F _H	サウンド制御レジスタ (上位)	SGCR	R/W		0_000000 _B
60 _H	時計タイマ制御レジスタ (下位)	WTCR	R/W	時計タイマ	000__000 _B
61 _H	時計タイマ制御レジスタ (上位)	WTCR	R/W		00000000 _B

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
62 _H	PWM 制御レジスタ 0	PWC0	R/W	ステッピング モータ コントローラ 0	00000__0 _B
63 _H	(使用禁止)				
64 _H	PWM 制御レジスタ 1	PWC1	R/W	ステッピング モータ コントローラ 1	00000__0 _B
65 _H	(使用禁止)				
66 _H	PWM 制御レジスタ 2	PWC2	R/W	ステッピング モータ コントローラ 2	00000__0 _B
67 _H	(使用禁止)				
68 _H	PWM 制御レジスタ 3	PWC3	R/W	ステッピング モータ コントローラ 3	00000__0 _B
69 _H ~ 6C _H	(使用禁止)				
6D _H	シリアル I/O プリスケアラレジスタ	CDCR	R/W	シリアル I/O	0XXX1111 _B
6E _H	タイマコントロールステータス レジスタ	TCCS	R/W	16 ビット フリーランタイム	00000000 _B
6F _H	ROM ミラー機能選択レジスタ	ROMM	W	ROM ミラー機能 選択モジュール	XXXXXXXX1 _B
70 _H ~ 7F _H	(予約領域：CAN 0 インタフェース)				
80 _H ~ 8F _H	(予約領域：CAN 1 インタフェース)				
90 _H ~ 9D _H	(使用禁止)				
9E _H	プログラムアドレス検出 コントロール / ステータスレジスタ	PACSR	R/W	アドレス一致 検出機能	00000000 _B
9F _H	遅延割込み要因発生 / 解除レジスタ	DIRR	R/W	遅延割込み発生 モジュール	-----0 _B
A0 _H	低消費電力モード制御レジスタ	LPMCR	R/W	消費電力 (スタンバイ) モード	00011000 _B
A1 _H	クロック選択レジスタ	CKSCR	R/W		11111100 _B
A2 _H ~ A7 _H	(使用禁止)				
A8 _H	ウォッチドッグタイマ制御レジスタ	WDTC	R/W	ウォッチドッグタイマ	XXXXX111 _B
A9 _H	タイムベースタイマ制御レジスタ	TBTC	R/W	タイムベースタイマ	1--00100 _B
AA _H ~ AD _H	(使用禁止)				
AE _H	フラッシュメモリコントロール ステータスレジスタ (Flash 品のみ, 他は予約領域)	FMCS	R/W	フラッシュメモリ	000X0000 _B
AF _H	(使用禁止)				

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
B0 _H	割込み制御レジスタ 00	ICR00	R/W	割込み コントローラ	00000111 _B
B1 _H	割込み制御レジスタ 01	ICR01	R/W		00000111 _B
B2 _H	割込み制御レジスタ 02	ICR02	R/W		00000111 _B
B3 _H	割込み制御レジスタ 03	ICR03	R/W		00000111 _B
B4 _H	割込み制御レジスタ 04	ICR04	R/W		00000111 _B
B5 _H	割込み制御レジスタ 05	ICR05	R/W		00000111 _B
B6 _H	割込み制御レジスタ 06	ICR06	R/W		00000111 _B
B7 _H	割込み制御レジスタ 07	ICR07	R/W		00000111 _B
B8 _H	割込み制御レジスタ 08	ICR08	R/W		00000111 _B
B9 _H	割込み制御レジスタ 09	ICR09	R/W		00000111 _B
BA _H	割込み制御レジスタ 10	ICR10	R/W		00000111 _B
BB _H	割込み制御レジスタ 11	ICR11	R/W		00000111 _B
BC _H	割込み制御レジスタ 12	ICR12	R/W		00000111 _B
BD _H	割込み制御レジスタ 13	ICR13	R/W		00000111 _B
BE _H	割込み制御レジスタ 14	ICR14	R/W		00000111 _B
BF _H	割込み制御レジスタ 15	ICR15	R/W		00000111 _B
C0 _H ～ FF _H	(外部領域)				
1900 _H	リロードレジスタ L	PRLL0	R/W	16 ビット PPG タイマ 0/1	XXXXXXXX _B
1901 _H	リロードレジスタ H	PRLH0	R/W		XXXXXXXX _B
1902 _H	リロードレジスタ L	PRLL1	R/W		XXXXXXXX _B
1903 _H	リロードレジスタ H	PRLH1	R/W		XXXXXXXX _B
1904 _H	リロードレジスタ L	PRLL2	R/W	16 ビット PPG タイマ 2/3	XXXXXXXX _B
1905 _H	リロードレジスタ H	PRLH2	R/W		XXXXXXXX _B
1906 _H	リロードレジスタ L	PRLL3	R/W		XXXXXXXX _B
1907 _H	リロードレジスタ H	PRLH3	R/W		XXXXXXXX _B
1908 _H	リロードレジスタ L	PRLL4	R/W	16 ビット PPG タイマ 4/5	XXXXXXXX _B
1909 _H	リロードレジスタ H	PRLH4	R/W		XXXXXXXX _B
190A _H	リロードレジスタ L	PRLL5	R/W		XXXXXXXX _B
190B _H	リロードレジスタ H	PRLH5	R/W		XXXXXXXX _B
190C _H	リロードレジスタ L	PRLL6	R/W	16 ビット PPG タイマ 6/7	XXXXXXXX _B
190D _H	リロードレジスタ H	PRLH6	R/W		XXXXXXXX _B
190E _H	リロードレジスタ L	PRLL7	R/W		XXXXXXXX _B
190F _H	リロードレジスタ H	PRLH7	R/W		XXXXXXXX _B
1910 _H	リロードレジスタ L	PRLL8	R/W	16 ビット PPG タイマ 8/9	XXXXXXXX _B
1911 _H	リロードレジスタ H	PRLH8	R/W		XXXXXXXX _B
1912 _H	リロードレジスタ L	PRLL9	R/W		XXXXXXXX _B
1913 _H	リロードレジスタ H	PRLH9	R/W		XXXXXXXX _B

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
1914 _H	リロードレジスタ L	PRLLA	R/W	16 ビット PPG タイマ A/B	XXXXXXXX _B
1915 _H	リロードレジスタ H	PRLHA	R/W		XXXXXXXX _B
1916 _H	リロードレジスタ L	PRLLB	R/W		XXXXXXXX _B
1917 _H	リロードレジスタ H	PRLHB	R/W		XXXXXXXX _B
1918 _H ~ 191F _H	(予約領域)				
1920 _H	インプットキャプチャレジスタ 0(下位)	IPCP0	R	インプット キャプチャ 0/1	XXXXXXXX _B
1921 _H	インプットキャプチャレジスタ 0(上位)	IPCP0	R		XXXXXXXX _B
1922 _H	インプットキャプチャレジスタ 1(下位)	IPCP1	R		XXXXXXXX _B
1923 _H	インプットキャプチャレジスタ 1(上位)	IPCP1	R		XXXXXXXX _B
1924 _H	インプットキャプチャレジスタ 2(下位)	IPCP2	R	インプット キャプチャ 2/3	XXXXXXXX _B
1925 _H	インプットキャプチャレジスタ 2(上位)	IPCP2	R		XXXXXXXX _B
1926 _H	インプットキャプチャレジスタ 3(下位)	IPCP3	R		XXXXXXXX _B
1927 _H	インプットキャプチャレジスタ 3(上位)	IPCP3	R		XXXXXXXX _B
1928 _H	インプットキャプチャレジスタ 4(下位)	IPCP4	R	インプット キャプチャ 4/5	XXXXXXXX _B
1929 _H	インプットキャプチャレジスタ 4(上位)	IPCP4	R		XXXXXXXX _B
192A _H	インプットキャプチャレジスタ 5(下位)	IPCP5	R		XXXXXXXX _B
192B _H	インプットキャプチャレジスタ 5(上位)	IPCP5	R		XXXXXXXX _B
192C _H ~ 192F _H	(予約領域)				
1930 _H	アウトプットコンペアレジスタ 0 (下位)	OCCP0	R/W	アウトプット コンペア 0/1	XXXXXXXX _B
1931 _H	アウトプットコンペアレジスタ 0 (上位)	OCCP0	R/W		XXXXXXXX _B
1932 _H	アウトプットコンペアレジスタ 1 (下位)	OCCP1	R/W		XXXXXXXX _B
1933 _H	アウトプットコンペアレジスタ 1 (上位)	OCCP1	R/W		XXXXXXXX _B
1934 _H	アウトプットコンペアレジスタ 2 (下位)	OCCP2	R/W	アウトプット コンペア 2/3	XXXXXXXX _B
1935 _H	アウトプットコンペアレジスタ 2 (上位)	OCCP2	R/W		XXXXXXXX _B
1936 _H	アウトプットコンペアレジスタ 3 (下位)	OCCP3	R/W		XXXXXXXX _B
1937 _H	アウトプットコンペアレジスタ 3 (上位)	OCCP3	R/W		XXXXXXXX _B

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
1938 _H	アウトプットコンペアレジスタ 4 (下位)	OCCP4	R/W	アウトプット コンペア 4/5	XXXXXXXX _B
1939 _H	アウトプットコンペアレジスタ 4 (上位)	OCCP4	R/W		XXXXXXXX _B
193A _H	アウトプットコンペアレジスタ 5 (下位)	OCCP5	R/W		XXXXXXXX _B
193B _H	アウトプットコンペアレジスタ 5 (上位)	OCCP5	R/W		XXXXXXXX _B
193C _H ～ 193F _H	(予約領域)				
1940 _H	タイマレジスタ 0 / リロードレジスタ 0 (下位)	TMR0/TMRLR0	R/W	16 ビット リロードタイマ 0	XXXXXXXX _B
1941 _H	タイマレジスタ 0 / リロードレジスタ 0 (上位)	TMR0/TMRLR0	R/W		XXXXXXXX _B
1942 _H	タイマレジスタ 1 / リロードレジスタ 1 (下位)	TMR1/TMRLR1	R/W	16 ビット リロードタイマ 1	XXXXXXXX _B
1943 _H	タイマレジスタ 1 / リロードレジスタ 1 (上位)	TMR1/TMRLR1	R/W		XXXXXXXX _B
1944 _H	タイマデータレジスタ (下位)	TCDT	R/W	16 ビット フリーランタイマ	00000000 _B
1945 _H	タイマデータレジスタ (上位)	TCDT	R/W		00000000 _B
1946 _H	周波数データレジスタ	SGFR	R/W	サウンド ジェネレータ	XXXXXXXX _B
1947 _H	振幅データレジスタ	SGAR	R/W		XXXXXXXX _B
1948 _H	減衰率レジスタ	SGDR	R/W		XXXXXXXX _B
1949 _H	トーンカウントレジスタ	SGTR	R/W		XXXXXXXX _B
194A _H	秒データサブレジスタ (下位)	WTBR	R/W	時計タイマ	XXXXXXXX _B
194B _H	秒データサブレジスタ (中位)	WTBR	R/W		XXXXXXXX _B
194C _H	秒データサブレジスタ (上位)	WTBR	R/W		___XXXX _B
194D _H	秒データレジスタ	WTSR	R/W		__000000 _B
194E _H	分データレジスタ	WTMR	R/W	時計タイマ	__000000 _B
194F _H	時間データレジスタ	WTHR	R/W		___00000 _B
1950 _H	PWM1 コンペアレジスタ 0	PWC10	R/W	ステッピングモータ コントローラ 0	XXXXXXXX _B
1951 _H	PWM2 コンペアレジスタ 0	PWC20	R/W		XXXXXXXX _B
1952 _H	PWM1 選択レジスタ 0	PWS10	R/W		__000000 _B
1953 _H	PWM2 選択レジスタ 0	PWS20	R/W		_0000000 _B
1954 _H	PWM1 コンペアレジスタ 1	PWC11	R/W	ステッピングモータ コントローラ 1	XXXXXXXX _B
1955 _H	PWM2 コンペアレジスタ 1	PWC21	R/W		XXXXXXXX _B
1956 _H	PWM1 選択レジスタ 1	PWS11	R/W		__000000 _B
1957 _H	PWM2 選択レジスタ 1	PWS21	R/W		_0000000 _B

アドレス	レジスタ名称	レジスタ略称	読み込み / 書き込み	リソース名	初期値
1958 _H	PWM1 コンペアレジスタ 2	PWC12	R/W	ステッピングモータ コントローラ 2	XXXXXXXX _B
1959 _H	PWM2 コンペアレジスタ 2	PWC22	R/W		XXXXXXXX _B
195A _H	PWM1 選択レジスタ 2	PWS12	R/W		__000000 _B
195B _H	PWM2 選択レジスタ 2	PWS22	R/W		_0000000 _B
195C _H	PWM1 コンペアレジスタ 3	PWC13	R/W	ステッピングモータ コントローラ 3	XXXXXXXX _B
195D _H	PWM2 コンペアレジスタ 3	PWC23	R/W		XXXXXXXX _B
195E _H	PWM1 選択レジスタ 3	PWS13	R/W		__000000 _B
195F _H	PWM2 選択レジスタ 3	PWS23	R/W		_0000000 _B
1960 _H ～ 19FF _H	(予約領域)				
1A00 _H ～ 1AFF _H	(CAN 0 インタフェース)				
1B00 _H ～ 1BFF _H	(CAN 1 インタフェース)				
1C00 _H ～ 1CFF _H	(CAN 0 インタフェース)				
1D00 _H ～ 1DFF _H	(CAN 1 インタフェース)				
1E00 _H ～ 1FFF _H	(予約領域)				
1FF0 _H	プログラムアドレス検出レジスタ 0 (下位)	PADR0	R/W	アドレス一致 検出機能	XXXXXXXX _B
1FF1 _H	プログラムアドレス検出レジスタ 0 (中位)	PADR0	R/W		XXXXXXXX _B
1FF2 _H	プログラムアドレス検出レジスタ 0 (上位)	PADR0	R/W		XXXXXXXX _B
1FF3 _H	プログラムアドレス検出レジスタ 1 (下位)	PADR1	R/W		XXXXXXXX _B
1FF4 _H	プログラムアドレス検出レジスタ 1 (中位)	PADR1	R/W		XXXXXXXX _B
1FF5 _H	プログラムアドレス検出レジスタ 1 (上位)	PADR1	R/W		XXXXXXXX _B
1FF6 _H ～ 1FFF _H	(予約領域)				

■ 読み込み / 書き込みについての説明

R/W : リード・ライト可
R : リードオンリ
W : ライトオンリ

■ 初期値についての説明

0 : このビットの初期値は“0”です。
1 : このビットの初期値は“1”です。
X : このビットの初期値は不定です。
_ : このビットは未使用です。初期値は不定です。

(注意事項) アドレス 0000_H ~ 00FF_H は予約領域です。このアドレスに読み取りアクセスすると、“X”の読み取りが行われます。ただし、このアドレスへの書き込みアクセスは行わないでください。

9. CAN コントローラ

CAN コントローラの特徴：

- CAN 規格バージョン 2.0, パート A および B 準拠
 - 標準フレームフォーマットおよび拡張フレームフォーマットでの送信 / 受信機能をサポート
- リモートフレームを受信することによるデータ・フレーム送信機能をサポート
- 16 本「のメッセージ送信 / 受信バッファ
 - 29 ビット ID および 8 バイトデータ
 - マルチレベルメッセージバッファ構成
- 各メッセージバッファにおいて, ID アクセプタンスマスクとしてフルビットコンペア, フルビットマスク, アクセプタンスレジスタ 0/ アクセプタンスレジスタ 1 を提供
 - 標準フレームフォーマットまたは拡張フレームフォーマットでの 2 個のアクセプタンスマスクレジスタ
- ビット伝送速度は 10 Kbps から 2 Mbps の範囲内でプログラミング可能 (入力クロックが 16 MHz の場合)

コントロールレジスタ一覧

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
000070 _H	000080 _H	メッセージバッファレジスタ	BVALR	R/W	00000000 00000000 _B
000071 _H	000081 _H				
000072 _H	000082 _H	送信要求レジスタ	TREQR	R/W	00000000 00000000 _B
000073 _H	000083 _H				
000074 _H	000084 _H	送信無効レジスタ	TCANR	W	00000000 00000000 _B
000075 _H	000085 _H				
000076 _H	000086 _H	送信完了レジスタ	TCR	R/W	00000000 00000000 _B
000077 _H	000087 _H				
000078 _H	000088 _H	受信完了レジスタ	RCR	R/W	00000000 00000000 _B
000079 _H	000089 _H				
00007A _H	00008A _H	リモート要求受信レジスタ	RRTRR	R/W	00000000 00000000 _B
00007B _H	00008B _H				
00007C _H	00008C _H	受信オーバランレジスタ	ROVRR	R/W	00000000 00000000 _B
00007D _H	00008D _H				
00007E _H	00008E _H	受信割込み許可レジスタ	RIER	R/W	00000000 00000000 _B
00007F _H	00008F _H				
001C00 _H	001D00 _H	コントロールステータスレジスタ	CSR	R/W, R	00---000 0----0-1 _B
001C01 _H	001D01 _H				
001C02 _H	001D02 _H	最終イベント表示レジスタ	LEIR	R/W	----- 000-0000 _B
001C03 _H	001D03 _H				
001C04 _H	001D04 _H	受信 / 送信エラーカウンタレジスタ	RTEC	R	00000000 00000000 _B
001C05 _H	001D05 _H				
001C06 _H	001D06 _H	ビットタイミングレジスタ	BTR	R/W	-1111111 11111111 _B
001C07 _H	001D07 _H				

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
001C08 _H	001D08 _H	IDE レジスタ	IDER	R/W	XXXXXXXX XXXXXXXX _B
001C09 _H	001D09 _H				
001C0A _H	001D0A _H	送信 RTR レジスタ	TRTRR	R/W	00000000 00000000 _B
001C0B _H	001D0B _H				
001C0C _H	001D0C _H	リモートフレーム受信待機 レジスタ	RFWTR	R/W	XXXXXXXX XXXXXXXX _B
001C0D _H	001D0D _H				
001C0E _H	001D0E _H	送信要求許可レジスタ	TIER	R/W	00000000 00000000 _B
001C0F _H	001D0F _H				
001C10 _H	001D10 _H	アクセプタンスマスク選択 レジスタ	AMSR	R/W	XXXXXXXX XXXXXXXX _B
001C11 _H	001D11 _H				XXXXXXXX XXXXXXXX _B
001C12 _H	001D12 _H				
001C13 _H	001D13 _H				XXXXXXXX XXXXXXXX _B
001C14 _H	001D14 _H	アクセプタンスマスク レジスタ 0	AMR0	R/W	XXXXXXXX XXXXXXXX _B
001C15 _H	001D15 _H				XXXXXX--- XXXXXXXX _B
001C16 _H	001D16 _H				
001C17 _H	001D17 _H				XXXXXX--- XXXXXXXX _B
001C18 _H	001D18 _H	アクセプタンスマスク レジスタ 1	AMR1	R/W	XXXXXXXX XXXXXXXX _B
001C19 _H	001D19 _H				XXXXXX--- XXXXXXXX _B
001C1A _H	001D1A _H				
001C1B _H	001D1B _H				XXXXXX--- XXXXXXXX _B

メッセージバッファ一覧 (ID レジスタ)

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
001A20 _H	001B20 _H	ID レジスタ 0	IDR0	R/W	XXXXXXXX XXXXXXXX _B
001A21 _H	001B21 _H				
001A22 _H	001B22 _H				XXXXXX--- XXXXXXXX _B
001A23 _H	001B23 _H				
001A24 _H	001B24 _H	ID レジスタ 1	IDR1	R/W	XXXXXXXX XXXXXXXX _B
001A25 _H	001B25 _H				
001A26 _H	001B26 _H				XXXXXX--- XXXXXXXX _B
001A27 _H	001B27 _H				
001A28 _H	001B28 _H	ID レジスタ 2	IDR2	R/W	XXXXXXXX XXXXXXXX _B
001A29 _H	001B29 _H				
001A2A _H	001B2A _H				XXXXXX--- XXXXXXXX _B
001A2B _H	001B2B _H				
001A2C _H	001B2C _H	ID レジスタ 3	IDR3	R/W	XXXXXXXX XXXXXXXX _B
001A2D _H	001B2D _H				
001A2E _H	001B2E _H				XXXXXX--- XXXXXXXX _B
001A2F _H	001B2F _H				
001A30 _H	001B30 _H	ID レジスタ 4	IDR4	R/W	XXXXXXXX XXXXXXXX _B
001A31 _H	001B31 _H				
001A32 _H	001B32 _H				XXXXXX--- XXXXXXXX _B
001A33 _H	001B33 _H				
001A34 _H	001B34 _H	ID レジスタ 5	IDR5	R/W	XXXXXXXX XXXXXXXX _B
001A35 _H	001B35 _H				
001A36 _H	001B36 _H				XXXXXX--- XXXXXXXX _B
001A37 _H	001B37 _H				
001A38 _H	001B38 _H	ID レジスタ 6	IDR6	R/W	XXXXXXXX XXXXXXXX _B
001A39 _H	001B39 _H				
001A3A _H	001B3A _H				XXXXXX--- XXXXXXXX _B
001A3B _H	001B3B _H				
001A3C _H	001B3C _H	ID レジスタ 7	IDR7	R/W	XXXXXXXX XXXXXXXX _B
001A3D _H	001B3D _H				
001A3E _H	001B3E _H				XXXXXX--- XXXXXXXX _B
001A3F _H	001B3F _H				
001A40 _H	001B40 _H	ID レジスタ 8	IDR8	R/W	XXXXXXXX XXXXXXXX _B
001A41 _H	001B41 _H				
001A42 _H	001B42 _H				XXXXXX--- XXXXXXXX _B
001A43 _H	001B43 _H				

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
001A44 _H	001B44 _H	ID レジスタ 9	IDR9	R/W	XXXXXXXX XXXXXXXX _B
001A45 _H	001B45 _H				
001A46 _H	001B46 _H				XXXXXX--- XXXXXXXX _B
001A47 _H	001B47 _H				
001A48 _H	001B48 _H	ID レジスタ 10	IDR10	R/W	XXXXXXXX XXXXXXXX _B
001A49 _H	001B49 _H				
001A4A _H	001B4A _H				XXXXXX--- XXXXXXXX _B
001A4B _H	001B4B _H				
001A4C _H	001B4C _H	ID レジスタ 11	IDR11	R/W	XXXXXXXX XXXXXXXX _B
001A4D _H	001B4D _H				
001A4E _H	001B4E _H				XXXXXX--- XXXXXXXX _B
001A4F _H	001B4F _H				
001A50 _H	001B50 _H	ID レジスタ 12	IDR12	R/W	XXXXXXXX XXXXXXXX _B
001A51 _H	001B51 _H				
001A52 _H	001B52 _H				XXXXXX--- XXXXXXXX _B
001A53 _H	001B53 _H				
001A54 _H	001B54 _H	ID レジスタ 13	IDR13	R/W	XXXXXXXX XXXXXXXX _B
001A55 _H	001B55 _H				
001A56 _H	001B56 _H				XXXXXX--- XXXXXXXX _B
001A57 _H	001B57 _H				
001A58 _H	001B58 _H	ID レジスタ 14	IDR14	R/W	XXXXXXXX XXXXXXXX _B
001A59 _H	001B59 _H				
001A5A _H	001B5A _H				XXXXXX--- XXXXXXXX _B
001A5B _H	001B5B _H				
001A5C _H	001B5C _H	ID レジスタ 15	IDR15	R/W	XXXXXXXX XXXXXXXX _B
001A5D _H	001B5D _H				
001A5E _H	001B5E _H				XXXXXX--- XXXXXXXX _B
001A5F _H	001B5F _H				

メッセージバッファ一覧 (DLC レジスタおよびデータレジスタ)

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
001A60 _H	001B60 _H	DLC レジスタ 0	DLCR0	R/W	----XXXX _B
001A61 _H	001B61 _H				
001A62 _H	001B62 _H	DLC レジスタ 1	DLCR1	R/W	----XXXX _B
001A63 _H	001B63 _H				

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
001A64 _H	001B64 _H	DLC レジスタ 2	DLCR2	R/W	----XXXX _B
001A65 _H	001B65 _H				
001A66 _H	001B66 _H	DLC レジスタ 3	DLCR3	R/W	----XXXX _B
001A67 _H	001B67 _H				
001A68 _H	001B68 _H	DLC レジスタ 4	DLCR4	R/W	----XXXX _B
001A69 _H	001B69 _H				
001A6A _H	001B6A _H	DLC レジスタ 5	DLCR5	R/W	----XXXX _B
001A6B _H	001B6B _H				
001A6C _H	001B6C _H	DLC レジスタ 6	DLCR6	R/W	----XXXX _B
001A6D _H	001B6D _H				
001A6E _H	001B6E _H	DLC レジスタ 7	DLCR7	R/W	----XXXX _B
001A6F _H	001B6F _H				
001A70 _H	001B70 _H	DLC レジスタ 8	DLCR8	R/W	----XXXX
001A71 _H	001B71 _H				
001A72 _H	001B72 _H	DLC レジスタ 9	DLCR9	R/W	----XXXX _B
001A73 _H	001B73 _H				
001A74 _H	001B74 _H	DLC レジスタ 10	DLCR10	R/W	----XXXX _B
001A75 _H	001B75 _H				
001A76 _H	001B76 _H	DLC レジスタ 11	DLCR11	R/W	----XXXX _B
001A77 _H	001B77 _H				
001A78 _H	001B78 _H	DLC レジスタ 12	DLCR12	R/W	----XXXX _B
001A79 _H	001B79 _H				
001A7A _H	001B7A _H	DLC レジスタ 13	DLCR13	R/W	----XXXX _B
001A7B _H	001B7B _H				
001A7C _H	001B7C _H	DLC レジスタ 14	DLCR14	R/W	----XXXX _B
001A7D _H	001B7D _H				
001A7E _H	001B7E _H	DLC レジスタ 15	DLCR15	R/W	----XXXX _B
001A7F _H	001B7F _H				
001A80 _H ～ 001A87 _H	001B80 _H ～ 001B87 _H	データレジスタ 0 (8 バイト)	DTR0	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001A88 _H ～ 001A8F _H	001B88 _H ～ 001B8F _H	データレジスタ 1 (8 バイト)	DTR1	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001A90 _H ～ 001A97 _H	001B90 _H ～ 001B97 _H	データレジスタ 2 (8 バイト)	DTR2	R/W	XXXXXXXX _B ～ XXXXXXXX _B

アドレス		レジスタ名称	レジスタ略称	読み込み / 書き込み	初期値
CAN0	CAN1				
001A98 _H ～ 001A9F _H	001B98 _H ～ 001B9F _H	データレジスタ 3 (8 バイト)	DTR3	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AA0 _H ～ 001AA7 _H	001BA0 _H ～ 001BA7 _H	データレジスタ 4 (8 バイト)	DTR4	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AA8 _H ～ 001AAF _H	001BA8 _H ～ 001BAF _H	データレジスタ 5 (8 バイト)	DTR5	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AB0 _H ～ 001AB7 _H	001BB0 _H ～ 001BB7 _H	データレジスタ 6 (8 バイト)	DTR6	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AB8 _H ～ 001ABF _H	001BB8 _H ～ 001BBF _H	データレジスタ 7 (8 バイト)	DTR7	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AC0 _H ～ 001AC7 _H	001BC0 _H ～ 001BC7 _H	データレジスタ 8 (8 バイト)	DTR8	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AC8 _H ～ 001ACF _H	001BC8 _H ～ 001BCF _H	データレジスタ 9 (8 バイト)	DTR9	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AD0 _H ～ 001AD7 _H	001BD0 _H ～ 001BD7 _H	データレジスタ 10 (8 バイト)	DTR10	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AD8 _H ～ 001ADF _H	001BD8 _H ～ 001BDF _H	データレジスタ 11 (8 バイト)	DTR11	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AE0 _H ～ 001AE7 _H	001BE0 _H ～ 001BE7 _H	データレジスタ 12 (8 バイト)	DTR12	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AE8 _H ～ 001AEF _H	001BE8 _H ～ 001BEF _H	データレジスタ 13 (8 バイト)	DTR13	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AF0 _H ～ 001AF7 _H	001BF0 _H ～ 001BF7 _H	データレジスタ 14 (8 バイト)	DTR14	R/W	XXXXXXXX _B ～ XXXXXXXX _B
001AF8 _H ～ 001AFF _H	001BF8 _H ～ 001BFF _H	データレジスタ 15 (8 バイト)	DTR15	R/W	XXXXXXXX _B ～ XXXXXXXX _B

10. 割り込み要因と割り込みベクタ, 割り込み制御レジスタ

割り込み要因	EI ² OS 対応	割り込みベクタ		割り込み制御レジスタ	
		番号	アドレス	番号	アドレス
リセット	N/A	# 08	FFFFDC _H	—	—
INT9 命令	N/A	# 09	FFFFD8 _H	—	—
例外処理	N/A	# 10	FFFFD4 _H	—	—
タイムベースタイマ	N/A	# 11	FFFFD0 _H	ICR00	0000B0 _H
外部割り込み (INT0 ~ INT7)	*1	# 12	FFFFCC _H		
CAN 0 RX	N/A	# 13	FFFFC8 _H	ICR01	0000B1 _H
CAN 0 TX/NS	N/A	# 14	FFFFC4 _H		
CAN 1 RX	N/A	# 15	FFFFC0 _H	ICR02	0000B2 _H
CAN 1 TX/NS	N/A	# 16	FFFFBC _H		
8/16 ビット PPG タイマ 0/1	N/A	# 17	FFFFB8 _H	ICR03	0000B3 _H
8/16 ビット PPG タイマ 2/3	N/A	# 18	FFFFB4 _H		
8/16 ビット PPG タイマ 4/5	N/A	# 19	FFFFB0 _H	ICR04	0000B4 _H
8/16 ビット PPG タイマ 6/7	N/A	# 20	FFFFAC _H		
8/16 ビット PPG タイマ 8/9	N/A	# 21	FFFFA8 _H	ICR05	0000B5 _H
8/16 ビット PPG タイマ A/B	N/A	# 22	FFFFA4 _H		
16 ビットリロードタイマ 0	*1	# 23	FFFFA0 _H	ICR06	0000B6 _H
16 ビットリロードタイマ 1	*1	# 24	FFFF9C _H		
インプットキャプチャ 0/1	*1	# 25	FFFF98 _H	ICR07	0000B7 _H
アウトプットコンペア 0/1	*1	# 26	FFFF94 _H		
インプットキャプチャ 2/3	*1	# 27	FFFF90 _H	ICR08	0000B8 _H
アウトプットコンペア 2/3	*1	# 28	FFFF8C _H		
インプットキャプチャ 4/5	*1	# 29	FFFF88 _H	ICR09	0000B9 _H
アウトプットコンペア 4/5	*1	# 30	FFFF84 _H		
8/10 ビット A/D コンバータ	*1	# 31	FFFF80 _H	ICR10	0000BA _H
16 ビットフリーランタイマ / 時計タイマ	N/A	# 32	FFFF7C _H		
シリアル I/O	*1	# 33	FFFF78 _H	ICR11	0000BB _H
サウンドジェネレータ	N/A	# 34	FFFF74 _H		
UART 0 受信完了	*2	# 35	FFFF70 _H	ICR12	0000BC _H
UART 0 送信完了	*1	# 36	FFFF6C _H		
UART 1 受信完了	*2	# 37	FFFF68 _H	ICR13	0000BD _H
UART 1 送信完了	*1	# 38	FFFF64 _H		
UART 2 受信完了	*2	# 39	FFFF60 _H	ICR14	0000BE _H
UART 2 送信完了	*1	# 40	FFFF5C _H		
フラッシュメモリ	N/A	# 41	FFFF58 _H	ICR15	0000BF _H
遅延割り込み発生モジュール	N/A	# 42	FFFF54 _H		

(注意) N/A: 割り込み要求フラグは EI²OS 割り込みクリア信号によりクリアされません。

*1: 割り込み要求フラグは EI²OS 割り込みクリア信号によりクリアされます。

*2: 割り込み要求フラグは EI²OS 割り込みクリア信号によりクリアされます。停止機能が使用可能です。

(注意事項) :

- 一つの割込み番号に対して 2 個の割込み要因がある周辺モジュールの場合は、EI²OS 割込みクリア信号により両方の割込み要求フラグがクリアされます。
- EI²OS 実行後、同じ割込み番号に割り当てられているすべての割込みフラグに対して EI²OS クリア信号を発生します。一つの割込みフラグが EI²OS を開始し、その間にハードウェアイベントにより他の割込みフラグがセットされると、このイベントが生じた EI²OS クリア信号によりこのフラグがクリアされ、以後のイベントは無効となります。そのため、この割込み番号に対しては EI²OS を使用しないでください。
- EI²OS の有効時に、同じ割込み制御レジスタ (ICR) 内の 2 個の割込み信号のどちらかが割込み処理されると EI²OS が実行されます。これは、異なった割込み要因が、各割込み要因に固有でなければならないはずの同じ EI²OS 記述子を共用することを意味しています。そのため、一方の割込み要因が EI²OS を使用するときは、他方の割込み要因を禁止してください。

11. 電気的特性

11.1 絶対最大定格

 $(V_{SS} = AV_{SS} = 0.0\text{ V})$

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧	V_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	
	AV_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	$V_{CC} = AV_{CC}$ *1
	AVRH, AVRL	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	$AV_{CC} \geq AVRH/L$, $AVRH \geq AVRL$ *1
	DV_{CC}	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	$V_{CC} \geq DV_{CC}$
入力電圧	V_I	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	*2
出力電圧	V_O	$V_{SS} - 0.3$	$V_{SS} + 6.0$	V	*2
最大クランプ電流	I_{CLAMP}	- 2.0	+ 2.0	mA	*6
最大総クランプ電流	$\Sigma I_{CLAMP} $	—	20	mA	*6
“L” レベル最大出力電流	I_{OL1}	—	15	mA	通常出力 *3
“L” レベル平均出力電流	I_{OLAV1}	—	4	mA	通常出力 *4
“L” レベル最大出力電流	I_{OL2}	—	40	mA	高電流出力 *3
“L” レベル平均出力電流	I_{OLAV2}	—	30	mA	高電流出力 *4
“L” レベル最大総出力電流	ΣI_{OL1}	—	100	mA	全通常出力の合計
	ΣI_{OL2}	—	330	mA	全高電流出力の合計
“L” レベル平均総出力電流	ΣI_{OLAV1}	—	50	mA	全通常出力の合計 *5
	ΣI_{OLAV2}	—	250	mA	全高電流出力の合計 *5
“H” レベル最大出力電流	I_{OH1}	—	- 15	mA	通常出力 *3
“H” レベル平均出力電流	I_{OHAV1}	—	- 4	mA	通常出力 *4
“H” レベル最大出力電流	I_{OH2}	—	- 40	mA	高電流出力 *3
“H” レベル平均出力電流	I_{OHAV2}	—	- 30	mA	高電流出力 *4
“H” レベル最大総出力電流	ΣI_{OH1}	—	- 100	mA	全通常出力の合計
	ΣI_{OH2}	—	- 330	mA	全高電流出力の合計
“H” レベル平均総出力電流	ΣI_{OHAV1}	—	- 50	mA	全通常出力の合計 *5
	ΣI_{OHAV2}	—	- 250	mA	全高電流出力の合計 *5
消費電力	P_D	—	500	mW	MB90F591G/MB90F594G
		—	400	mW	MB90591G/MB90594G
動作温度	T_A	- 40	+ 85	°C	
保存温度	T_{STG}	- 55	+ 150	°C	

*1: AV_{CC} , AVRH, AVRL, DV_{CC} は V_{CC} を超えないよう注意してください。 また, AVRH, AVRL は AV_{CC} を, AVRL は AVRH を超えないよう注意してください。

*2: V_I , V_O は $V_{CC} + 0.3\text{ V}$ を超えてはいけません。 V_I は定格電圧を超えてはいけません。ただし、外部の部品を使用して入力への電流または入力からの電流の最大値を制限する場合は、 V_I 定格に代って I_{CLAMP} 定格が適用されます。

*3: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*4: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します（平均値とは、動作電流 × 動作率のことです）。

*5: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します（平均値とは、動作電流 × 動作率のことです）。

*6:

■ 該当端子：P00 ～ P07, P10 ～ P17, P20 ～ P27, P30 ～ P37, P40 ～ P47, P50 ～ P57, P60 ～ P67, P70 ～ P77, P80 ～ P87, P90 ～ P95

■ 推奨動作条件内でご使用ください。

■ 直流電圧（電流）でご使用ください。

■ + B 信号とマイコンの間には、必ず制限抵抗を接続し + B 信号を印加してください。

■ + B 入力時にマイコン端子に入力される電流が、瞬時・定常を問わず規格値以下になるように制限抵抗の設定してください。

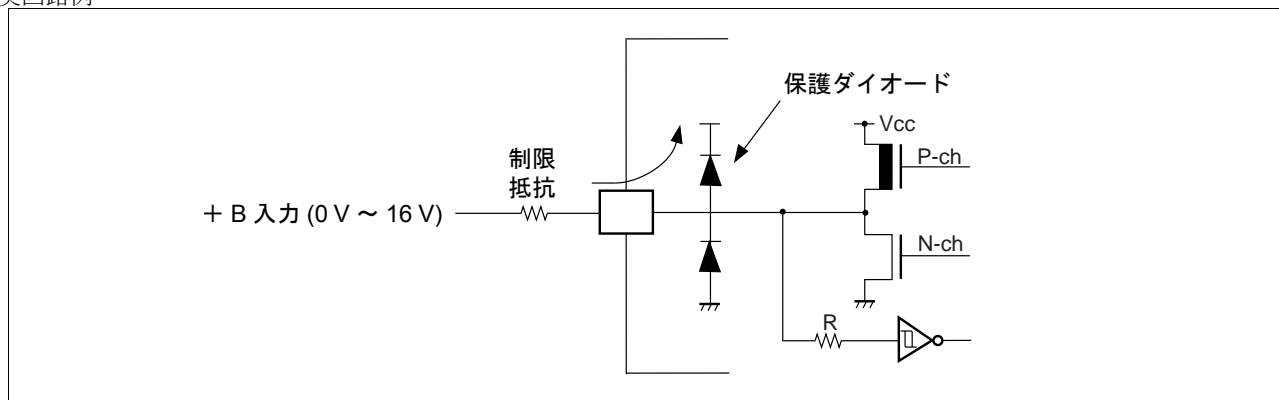
■ 低消費電力モードなどマイコンの駆動電流が少ない動作状態では、+ B 入力電位が保護ダイオードを通して V_{CC} 端子の電位を上昇させ、他の機器へ影響を及ぼす可能性がありますのでご注意ください。

■ 電源投入時に + B 入力がある場合は、端子から電源が供給されているため、パワーオンリセットが動作しない電源電圧になる可能性がありますのでご注意ください。

■ + B 入力端子は、オープン状態にならないようにご注意ください。

■ A/D 入力端子を除くアナログ系入出力端子（LCD 駆動端子、コンパレータ入力端子など）は、+ B 入力できませんのでご注意ください。

■ 推奨回路例



<注意事項> 絶対最大定格を超えるストレス（電圧、電流、温度など）の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

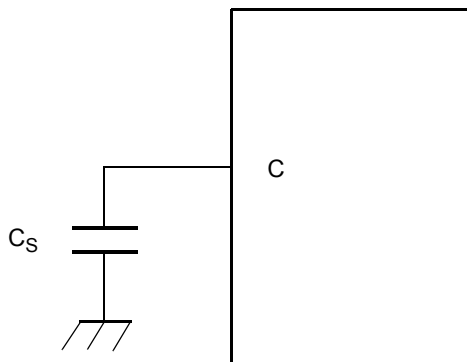
11.2 推奨動作条件
 $(V_{SS} = AV_{SS} = 0.0\text{ V})$

項目	記号	規格値			単位	備考	
		最小	標準	最大			
電源電圧	V_{CC}, AV_{CC}	4.5	5.0	5.5	V	通常動作時	MB90V590G
		3.0	—	5.5	V	ストップ動作の状態保持	MB90F594G
		4.75	5.0	5.25	V	通常動作時	MB90F591G
		3.0	—	5.25	V	ストップ動作の状態保持	MB90591G
平滑コンデンサ	C_S	0.022	0.1	1.0	μF	*	
動作温度	T_A	- 40	—	+ 85	$^{\circ}\text{C}$		

* : セラミックコンデンサ, または同程度の周波数特性のコンデンサを使用してください。 V_{CC} 端子の平滑コンデンサは C_S よりも大きい容量値のものを使用してください。

＜注意事項＞ 推奨動作条件は, 半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は, すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると, 信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目, 使用条件, 論理の組合せでの使用は, 保証していません。記載されている以外の条件での使用をお考えの場合は, 必ず事前に営業部門までご相談ください。

■ C 端子接続図


11.3 直流規格

(MB90V590G, MB90F594G, MB90594G: $V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)
(MB90F591G/591G: $V_{CC} = 5.0 \text{ V} \pm 5\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル 入力電圧	V _{IHS}	CMOS ヒステリシス 入力端子	—	0.8 V _{CC}	—	V _{CC} + 0.3	V	
	V _{IHM}	MD 入力端子	—	V _{CC} − 0.3	—	V _{CC} + 0.3	V	
“L” レベル 入力電圧	V _{ILS}	CMOS ヒステリシス 入力端子	—	V _{SS} − 0.3	—	0.5V _{CC}	V	
	V _{ILM}	MD 入力端子	—	V _{SS} − 0.3	—	V _{SS} + 0.3	V	
	V _{ILR}	$\overline{\text{RST}}$, $\overline{\text{HST}}$	—	V _{SS} − 0.3	—	0.2V _{CC}	V	
“H” レベル 出力電圧	V _{OH1}	通常出力端子	V _{CC} = 4.5V, I _{OH1} = − 4.0mA	V _{CC} − 0.5	—	—	V	
	V _{OH2}	高電流出力端子	V _{CC} = 4.5V, I _{OH2} = − 30.0mA	V _{CC} − 0.5	—	—	V	
“L” レベル 出力電圧	V _{OL1}	通常出力端子	V _{CC} = 4.5V, I _{OL1} = 4.0mA	—	—	0.4	V	
	V _{OL2}	高電流出力端子	V _{CC} = 4.5V, I _{OL2} = 30.0mA	—	—	0.5	V	
入力リーク 電流	I _{IL}	—	V _{CC} = 5.5V, V _{SS} < V _I < V _{CC}	−5	—	5	μA	
アナログ 入力リーク 電流	I _{IAL}	AN0 ~ AN7	V _{CC} = 5.5V, AV _{SS} < V _I < AV _{CC}	−1	—	1	μA	
電源電流 *	I _{CC}	V _{CC}	V _{CC} = 5.0 V±10%, 内部 16 MHz 動作 , 通常動作時	—	37	60	mA	MB90594G
				—	50	80	mA	MB90F594G
				—	50	80	mA	MB90F591G
				—	45	60	mA	MB90591G
	I _{CCS}		V _{CC} = 5.0V±10%, 内部 16 MHz 動作 , スリープ時	—	13	20	mA	MB90594G
				—	15	23	mA	MB90F594G
				—	15	23	mA	MB90F591G
				—	15	23	mA	MB90591G
	I _{CTS}		V _{CC} = 5.0V±10%, 内部 2 MHz 動作 , タイマモード時	—	0.3	0.6	mA	MB90594G
				—	0.35	0.6	mA	MB90F594G
				—	0.35	0.6	mA	MB90F591G
				—	0.35	0.6	mA	MB90591G
	I _{CCH}		V _{CC} = 5.0 V±10%, ストップ時 , T _A = 25°C	—	5	20	μA	MB90594G
				—	5	20	μA	MB90F594G
				—	5	20	μA	MB90F591G
				—	5	20	μA	MB90591G
入力容量	C _{IN}	AV _{CC} , AV _{SS} , AVR _H , AVR _L , C, V _{CC} , V _{SS} , DV _{CC} , DV _{SS} , P70 ~ P87 以外	—	—	5	15	pF	
		P70 ~ P87	—	—	15	30	pF	

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
プルアップ抵抗	R _{UP}	$\overline{\text{RST}}$	—	25	50	100	kΩ	
プルダウン抵抗	R _{DOWN}	MD2	—	25	50	100	kΩ	

*: 電源電流の試験条件は外部のクロックを使用した場合です。

11.4 交流規格

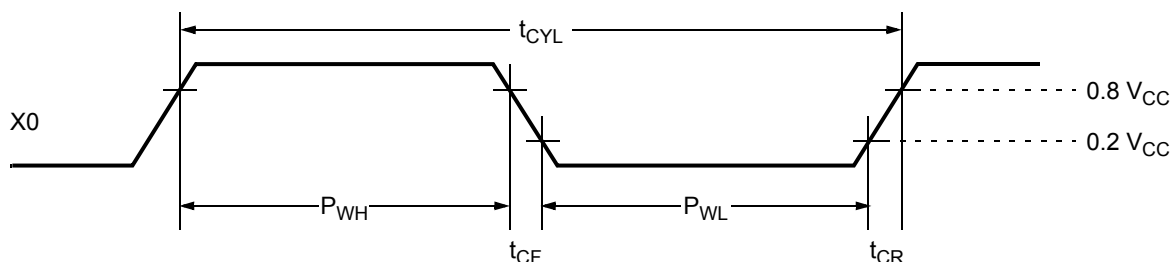
11.4.1 クロックタイミング

(MB90V590G, MB90F594G, MB90594G : $V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

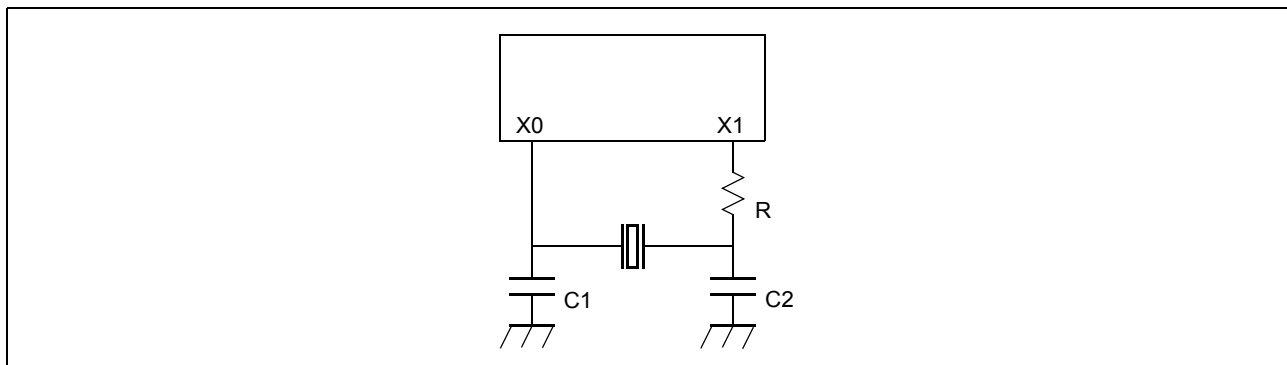
(MB90F591G, MB90591G : $V_{CC} = 5.0 \text{ V} \pm 5\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_C	X0, X1	3	—	16	MHz	
クロックサイクルタイム	t_{CYL}	X0, X1	62.5	—	333	ns	
入力クロックパルス幅	P_{WH}, P_{WL}	X0	10	—	—	ns	デューティ比 30% ~ 70% を目安としてください
入力クロック立上り, 立下り時間	t_{CR}, t_{CF}	X0	—	—	5	ns	外部クロック使用時
内部動作クロック周波数	f_{CP}	—	1.5	—	16	MHz	
内部動作クロックサイクルタイム	t_{CP}	—	62.5	—	666	ns	
フラッシュ読み出しサイクルタイム	t_{CYCFL}	—	—	$2 t_{CP}$	—	ns	フラッシュCPU アクセス時

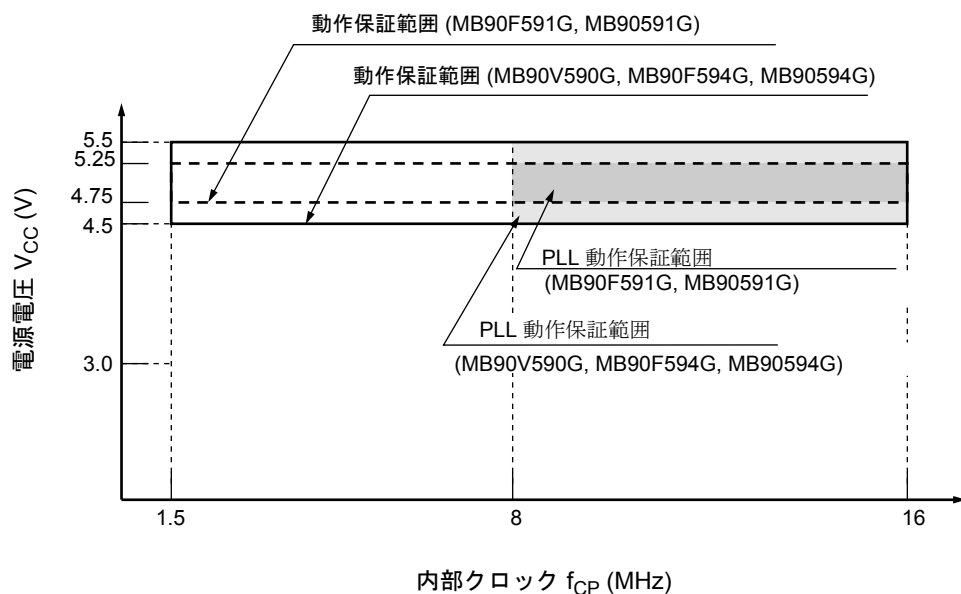
■ クロックタイミング



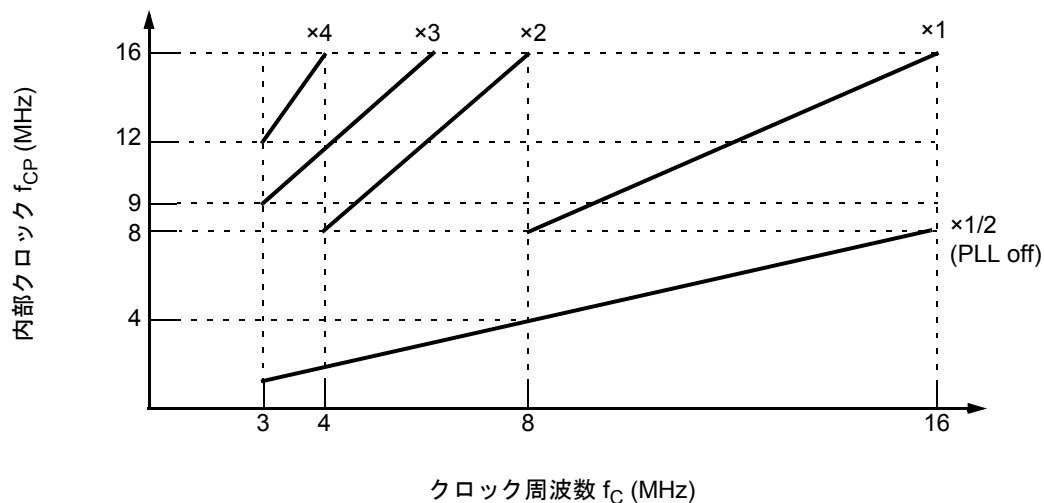
発振回路例



■ 動作保証範囲



■ クロック周波数と内部動作クロック周波数の関係



11.4.2 リセット、ハードウェアスタンバイ入力タイミング

(MB90V590G, MB90F594G, MB90594G : $V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

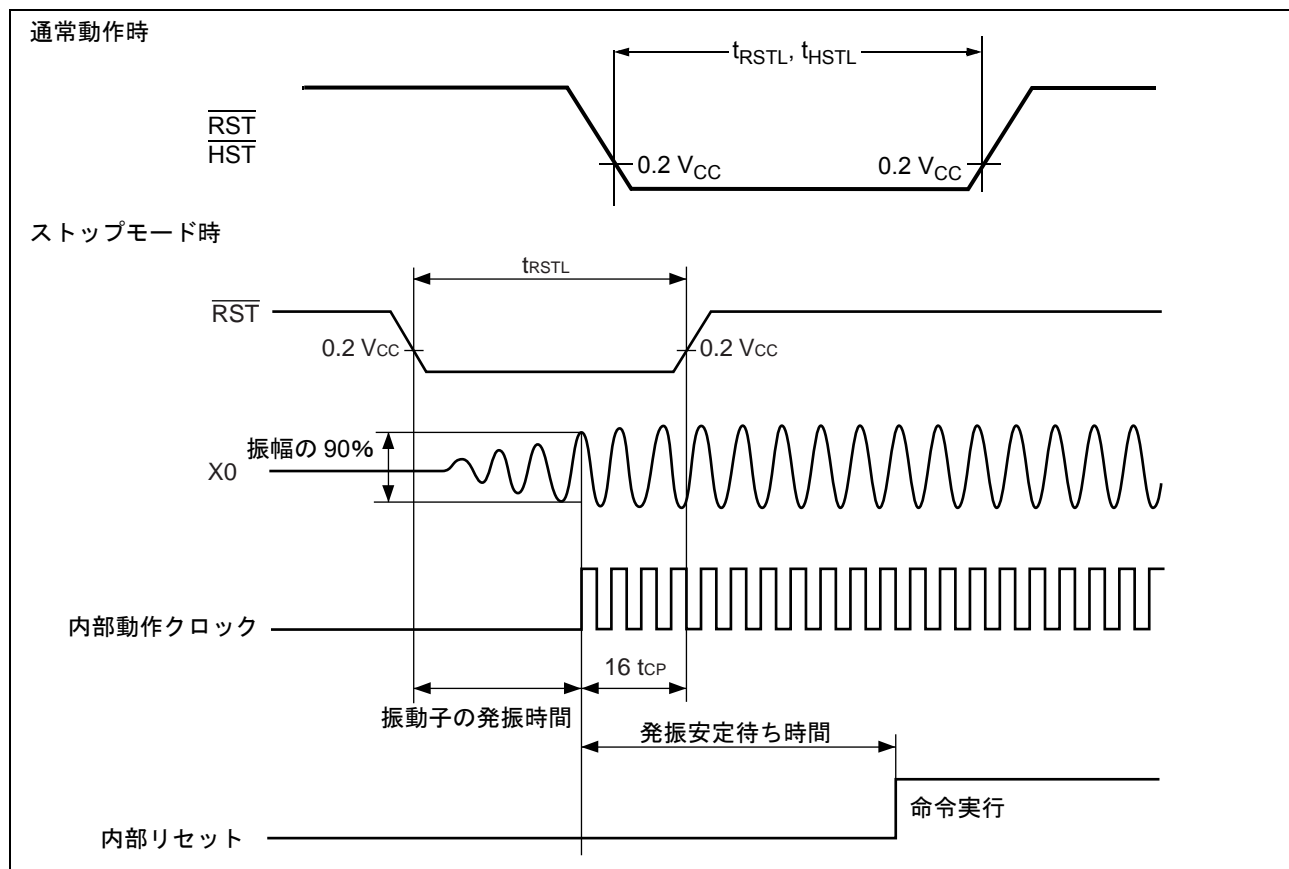
(MB90F591G, MB90591G : $V_{CC} = 5.0 \text{ V} \pm 5\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{RSTL}	$\overline{\text{RST}}$	—	$16 t_{CP}^{*1}$	—	ns	通常動作時
				振動子の発振時間 ^{*2} + $16 t_{CP}^{*1}$	—	ms	ストップモード時
ハードウェアスタンバイ入力時間	t_{HSTL}	$\overline{\text{HST}}$	—	$16 t_{CP}^{*1}$	—	ns	通常動作時

*1: “ t_{CP} ” はマシナクロックの1サイクルタイムを表します。

自動アルゴリズム実行中は、リセットによるフラッシュメモリの一時記憶の初期化はできません。

*2: 振動子の発振時間は、振幅の90%に達した時間です。水晶発振子は数 ms ～数十 ms, セラミック発振子は数百 μs ～数 ms, 外部クロックは 0 ms となります。



11.4.3 電源投入規格 (パワーオンリセット)

(MB90V590G, MB90F594G, MB90594G : $V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

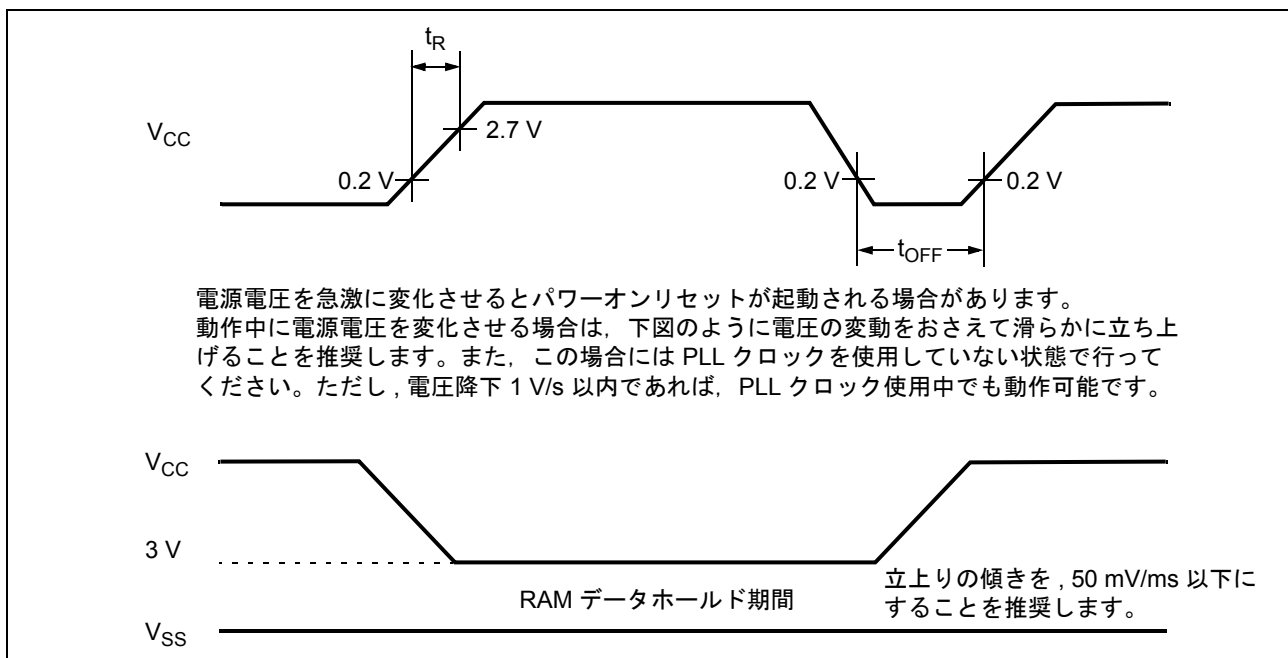
(MB90F591G, MB90591G : $V_{CC} = 5.0 \text{ V} \pm 5\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	項目
				最小	最大		
電源立上り時間	t_R	V_{CC}	—	0.05	30	ms	*
電源切断時間	t_{OFF}	V_{CC}		50	—	ms	繰り返し動作のため

*: 電源立上げ前は, $V_{CC} < 0.2 \text{ V}$ とする必要があります。

(注意事項)

- 上記規格は, パワーオンリセットがかかるための規格です。
- デバイス内にはパワーオンリセットによってのみ初期化されるレジスタ類があります。
- これらの初期化を期待する場合は, この規格に従って電源を投入してください。



11.4.4 UART0/1/2, シリアル I/O タイミング

(MB90V590G, MB90F594G, MB90594G : $V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

(MB90F591G, MB90591G : $V_{CC} = 5.0 \text{ V} \pm 5\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

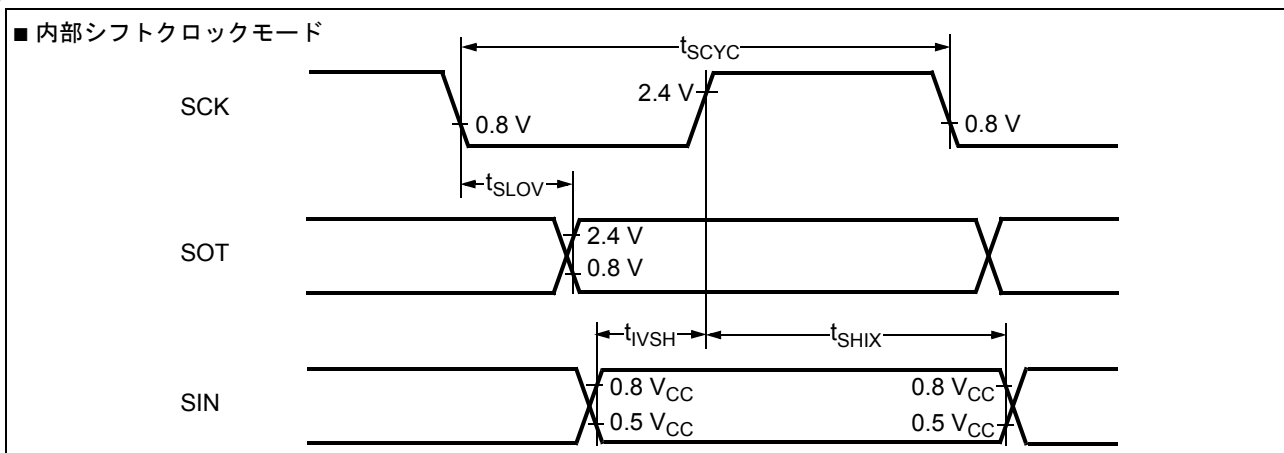
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
シリアルクロックサイクルタイム	t_{SCYC}	SCK0 ~ SCK3	内部シフト クロックモード出力端子は $C_L = 80 \text{ pF} + 1 \text{ TTL}$	$8 t_{CP}^*$	—	ns	
SCK ↓ → SOT 遅延時間	t_{SLOV}	SCK0 ~ SCK3, SOT0 ~ SOT3		-80	80	ns	
有効 SIN → SCK ↑	t_{IVSH}	SCK0 ~ SCK3, SIN0 ~ SIN3		100	—	ns	
SCK ↑ → 有効 SIN ホールド時間	t_{SHIX}	SCK0 ~ SCK3, SIN0 ~ SIN3		60	—	ns	
シリアルクロック "H" パルス幅	t_{SHSL}	SCK0 ~ SCK3	外部シフト クロックモード出力端子は $C_L = 80 \text{ pF} + 1 \text{ TTL}$	$4 t_{CP}$	—	ns	
シリアルクロック "L" パルス幅	t_{SLSH}	SCK0 ~ SCK3		$4 t_{CP}$	—	ns	
SCK ↓ → SOT 遅延時間	t_{SLOV}	SCK0 ~ SCK3, SOT0 ~ SOT3		—	150	ns	
有効 SIN → SCK ↑	t_{IVSH}	SCK0 ~ SCK3, SIN0 ~ SIN3		60	—	ns	
SCK ↑ → 有効 SIN ホールド時間	t_{SHIX}	SCK0 ~ SCK3, SIN0 ~ SIN3		60	—	ns	

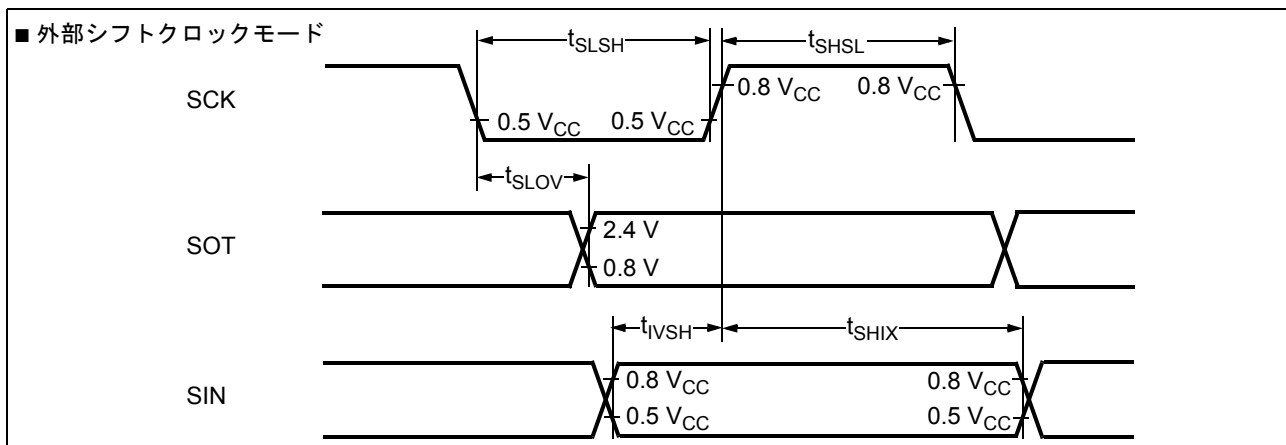
*: t_{CP} (内部動作クロックサイクルタイム) については、「11.4.1 クロックタイミング」を参照してください。

(注意事項)

■ CLK 同期モード時の AC 規格です。

■ C_L は、テストング時の端子に付けられる負荷容量値です。





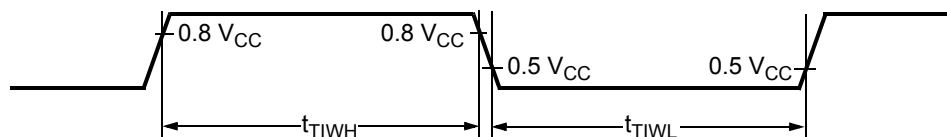
11.4.5 タイマ入力タイミング

(MB90V590G, MB90F594G, MB90594G : $V_{CC} = 5.0 V \pm 10\%$, $V_{SS} = AV_{SS} = 0.0 V$, $T_A = -40^\circ C \sim +85^\circ C$)

(MB90F591G, MB90591G : $V_{CC} = 5.0 V \pm 5\%$, $V_{SS} = AV_{SS} = 0.0 V$, $T_A = -40^\circ C \sim +85^\circ C$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH}	TIN0	—	$4 t_{CP}$	—	ns	通常動作時
	t_{TIWL}	IN0 ~ IN5		1	—	μs	ストップモード時

■ タイマ入力タイミング



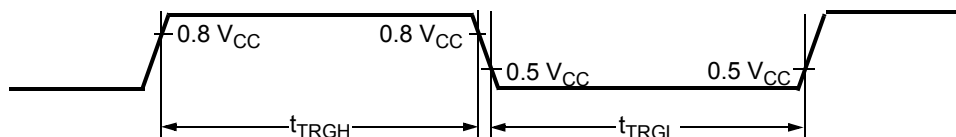
11.4.6 トリガ入力タイミング

(MB90V590G, MB90F594G, MB90594G : $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

(MB90F591G, MB90591G : $V_{CC} = 5.0\text{ V} \pm 5\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH} t_{TRGL}	INT0 ~ INT7, ADTG	—	$5 t_{CP}$	—	ns	

■ トリガ入力タイミング



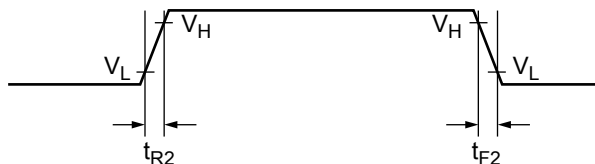
11.4.7 高電流出カスルーレート (MB90F591G, MB90591G, MB90594G, MB90F594G)

(MB90F594G, MB90594G : $V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

(MB90F591G, MB90591G : $V_{CC} = 5.0\text{ V} \pm 5\%$, $V_{SS} = AV_{SS} = 0.0\text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
出力立上り / 立下り時間	t_{R2} t_{F2}	Port P70 ~ P77, Port P80 ~ P87	—	15	40	ns	

■ スルーレート出カタイミング



$$V_H = V_{OL2} + 0.1 \times (V_{OH2} - V_{OL2})$$

$$V_L = V_{OL2} + 0.9 \times (V_{OH2} - V_{OL2})$$

11.5 A/D コンバータ

■ 電氣的特性

(MB90V590G, MB90F594G, MB90594G : $V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

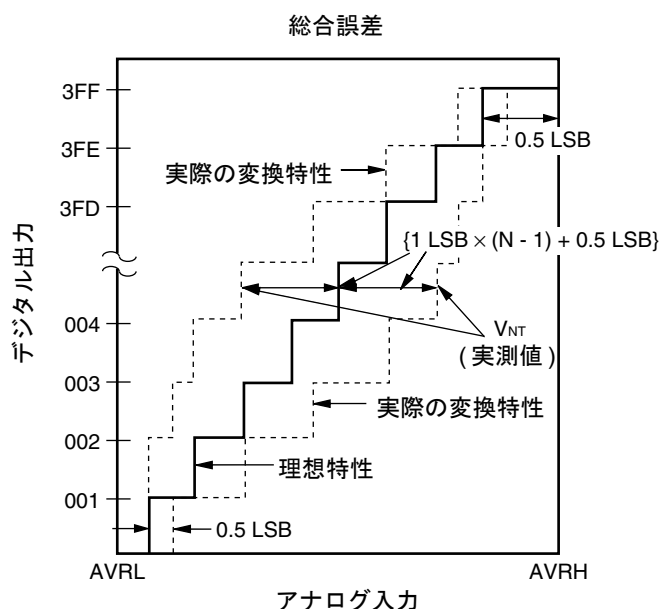
(MB90F591G, MB90591G : $V_{CC} = 5.0 \text{ V} \pm 5\%$, $V_{SS} = AV_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	—	—	—	—	10	bit	
総合誤差	—	—	—	—	± 5.0	LSB	
非直線性誤差	—	—	—	—	± 2.5	LSB	
微分直線性誤差	—	—	—	—	± 1.9	LSB	
ゼロトランジション電圧	V_{OT}	AN0 ~ AN7	AVRL − 3.5 LSB	AVRL + 0.5 LSB	AVRL + 4.5 LSB	V	
フルスケール トランジション電圧	V_{FST}	AN0 ~ AN7	AVRH − 6.5 LSB	AVRH − 1.5 LSB	AVRH + 1.5 LSB	V	
コンバ時間	—	—	$352t_{CP}$	—	—	ns	内部 16 MHz 動作時
サンプリング期間	—	—	$64t_{CP}$	—	—	ns	内部 16 MHz 動作時
アナログポート入力電流	I_{AIN}	AN0 ~ AN7	− 1	—	+ 1	μA	
アナログ入力電圧	V_{AIN}	AN0 ~ AN7	AVRL	—	AVRH	V	
基準電圧	—	AVRH	AVRL + 2.7	—	AV_{CC}	V	
	—	AVRL	0	—	$AVRH - 2.7$	V	
電源電流	I_A	AV_{CC}	—	5	—	mA	
	I_{AH}	AV_{CC}	—	—	5	μA	*
基準電圧供給電流	I_R	AVRH	—	400	600	μA	MB90V590G MB90F594G MB90F591G
			—	140	600	μA	MB90594G MB90591G
	I_{RH}	AVRH	—	—	5	μA	*
チャンネル間バラツキ	—	AN0 ~ AN7	—	—	4	LSB	

* : A/D コンバータを動作させていないときは, CPU を停止させたときの電流 ($V_{CC} = AV_{CC} = AVRH = 5.0 \text{ V}$) になります。

11.6 A/D コンバータの用語の定義

- 分解能 : A/D 変換器により識別可能なアナログ変化
 直線性誤差 : ゼロトランジション点 (“00 0000 0000” ↔ “00 0000 0001”) とフルスケールトランジション点 (“11 1111 1110” ↔ “11 1111 1111”) とを結んだ直線と、実際の変換特性との偏差
 微分直線性誤差 : 出力コードを 1 LSB 変化させるのに必要な入力電圧の理想値からの偏差
 総合誤差 : 実際の値と論理値との差をいい、ゼロトランジション誤差 / フルスケールトランジション誤差 / 直線性誤差を含む誤差



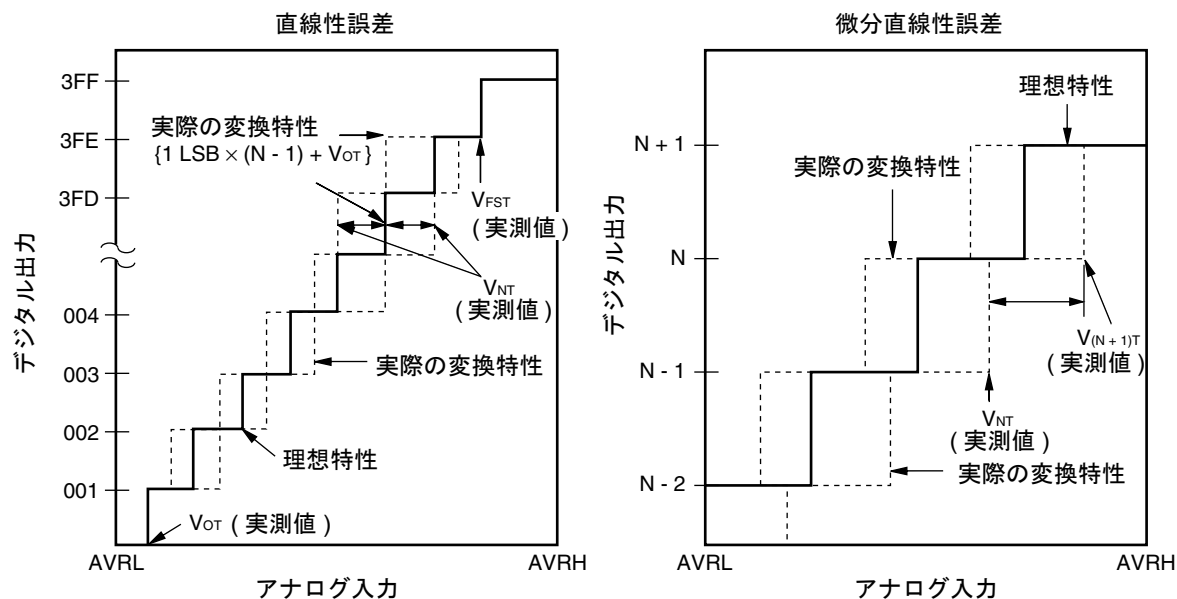
$$\text{デジタル出力 } N \text{ の総合誤差} = \frac{V_{NT} - \{1 \text{ LSB} \times (N - 1) + 0.5 \text{ LSB}\}}{1 \text{ LSB}} \quad [\text{LSB}]$$

$$1 \text{ LSB} = (\text{理想値}) \frac{AVRH - AVRL}{1024} \quad [\text{V}]$$

$$V_{OT} (\text{理想値}) = AVRL + 0.5 \text{ LSB} \quad [\text{V}]$$

$$V_{FST} (\text{理想値}) = AVRH - 1.5 \text{ LSB} \quad [\text{V}]$$

V_{NT} : デジタル出力が $(N - 1)$ から N に遷移する電圧



$$\text{デジタル出力 } N \text{ の直線性誤差} = \frac{V_{NT} - \{1 \text{ LSB} \times (N - 1) + V_{OT}\}}{1 \text{ LSB}} [\text{LSB}]$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1 \text{ LSB}} - 1 \text{ LSB} [\text{LSB}]$$

$$1 \text{ LSB} = \frac{V_{FST} - V_{OT}}{1022} [\text{V}]$$

V_{OT} : デジタル出力が“000_H”から“001_H”に遷移する電圧

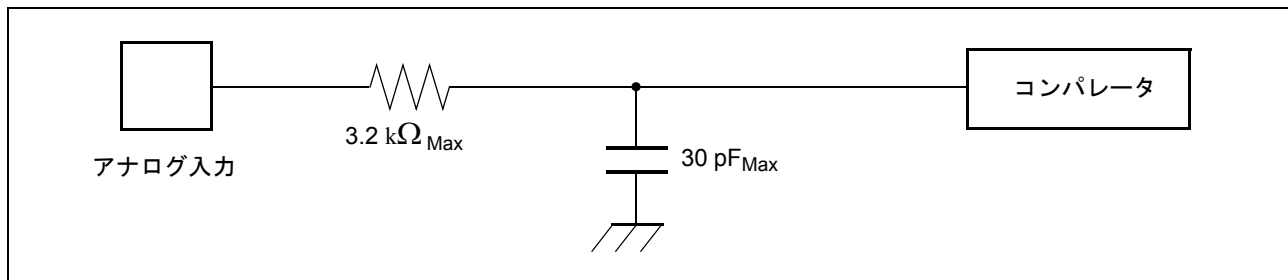
V_{FST} : デジタル出力が“3FE_H”から“3FF_H”に遷移する電圧

11.7 A/D 変換部の注意事項

アナログ入力的外部回路の出力インピーダンスは、以下のような条件で使用してください。

- 外部回路の出力インピーダンスは約 $15\text{ k}\Omega$ 以下を推奨します。
- 外部にコンデンサを使用する場合には、外部コンデンサとチップ内部のコンデンサの容量分圧による影響を考慮して、内部コンデンサの数千倍を目安にすることを推奨します。

(注意事項)：外部回路の出力インピーダンスが高すぎる場合、アナログ電圧のサンプリング期間が不足する場合があります (サンプリング期間 = $4.00\text{ }\mu\text{s}$ @ マシンクロック 16 MHz 時)。



■ 誤差について

| $AVRH - AVR_L$ | が小さくなるに従って、相対的な誤差は大きくなります。

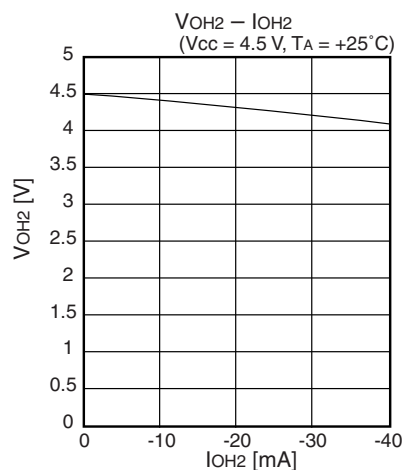
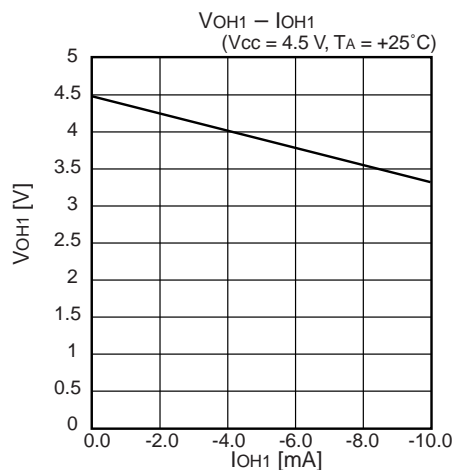
11.8 フラッシュメモリ

■ フラッシュメモリ書込み / 消去特性

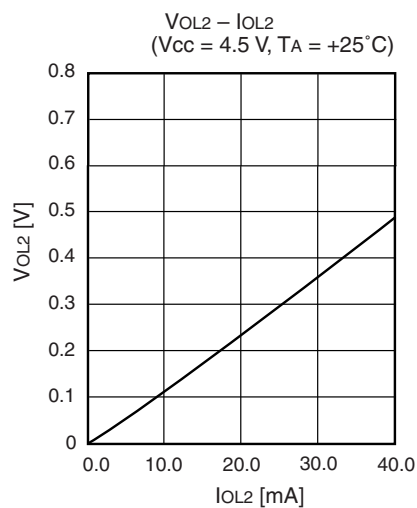
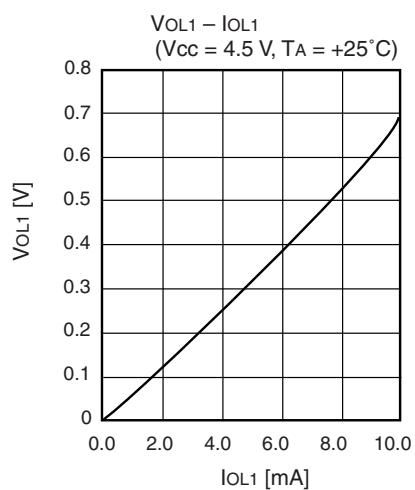
項目	条件	規格値			単位	備考	
		最小	標準	最大			
セクタ消去時間	T _A = + 25 °C V _{CC} = 5.0 V	—	1	15	s	内部での消去前書込み時間を除く	
チップ消去時間		—	7	—	s	MB90F594G	内部での消去前 書込み時間を除く
			12	—	s	MB90F591G	
ワード (16 ビット幅) 書込み時間		—	16	3,600	μs	システムレベルのオーバーヘッド時間を除く	
書込み消去回数	—	10,000	—	—	cycle		

12. 特性例

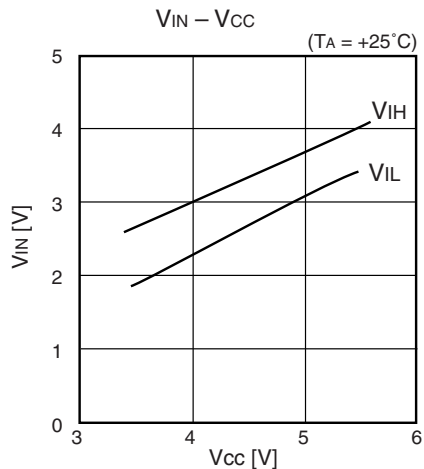
■ “H” レベル出力電圧

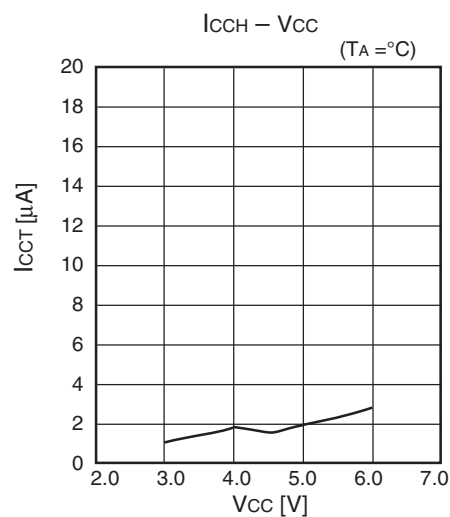
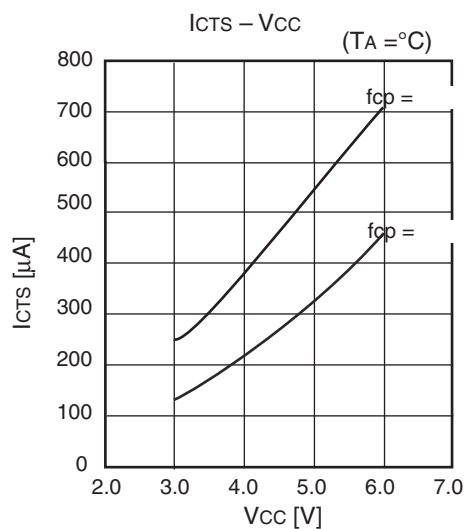
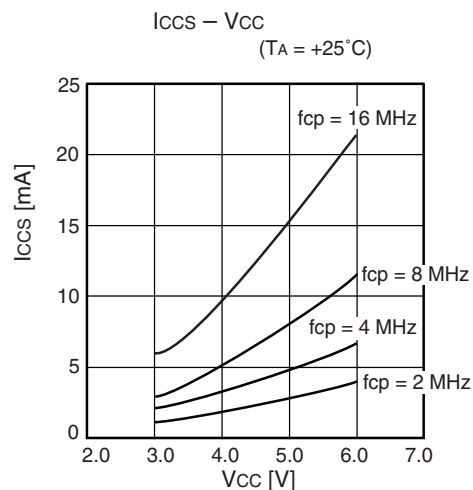
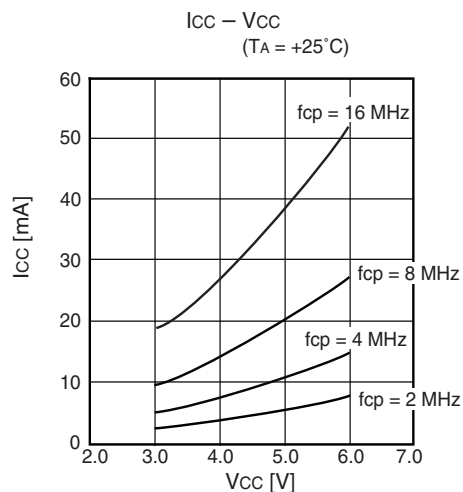


■ “L” レベル出力電圧



■ “H” レベル入力電圧 / “L” レベル入力電圧 (ヒステリシス入力)

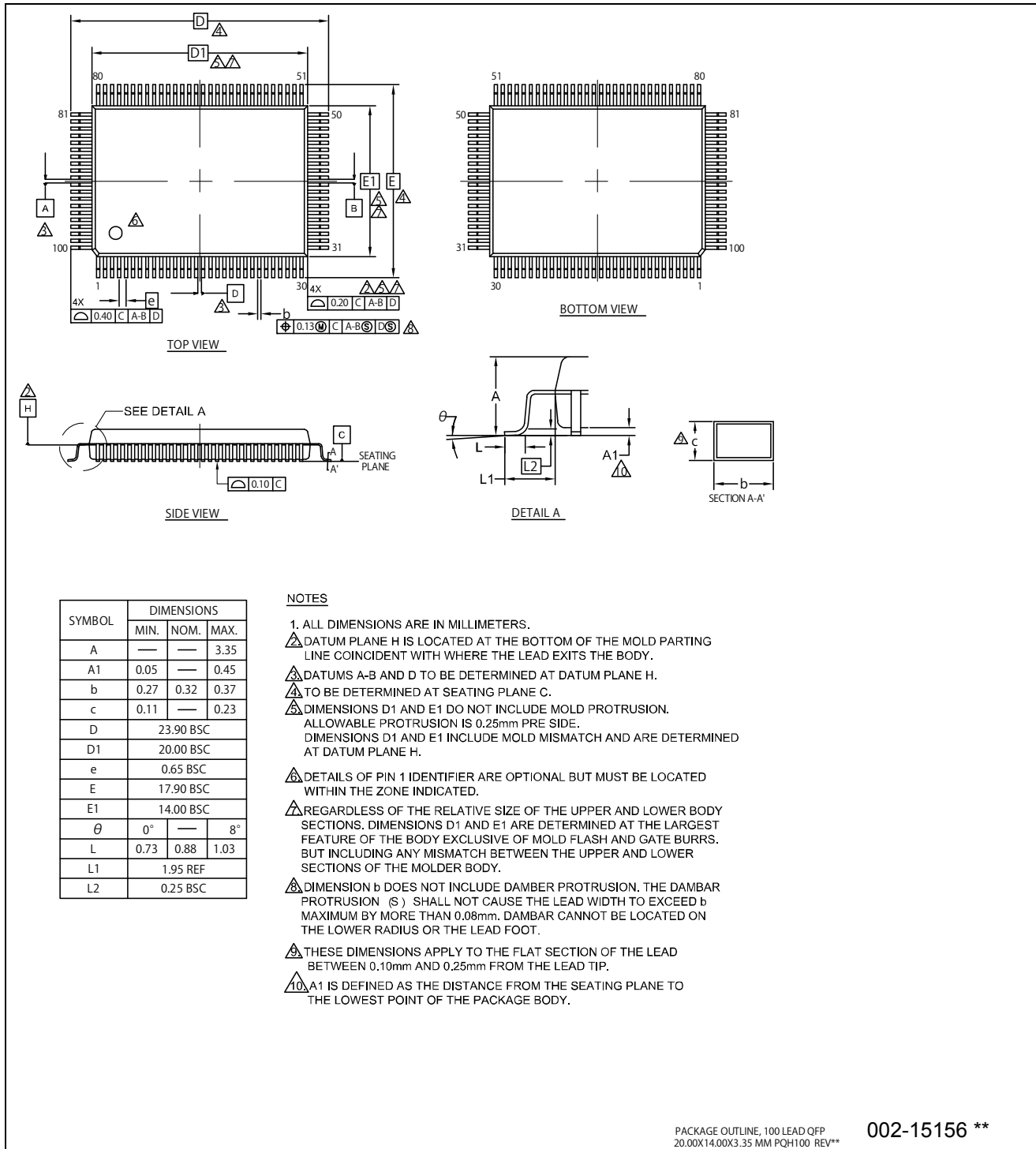


■ 電源電流

13. オーダ型格

型格	パッケージ	備考
MB90F591GPF MB90591GPF MB90594GPF MB90F594GPF	プラスチック・QFP, 100 ピン (PQH100)	
MB90V590GCR	セラミック・PGA, 256 ピン	評価・エバリュエーション品

14. パッケージ・外形寸法図

Package Type	Package Code
QFP 100	PQH100



002-15156 **

15. 本版での主な変更内容

Spansion Publication Number: DS07-13704-6

ページ	場所	変更箇所
—	—	旧品種の MB90591, MB90F591A, MB90594, MB90F594A, MB90V590A の記載を削除
—	—	シリーズ名を MB90590G シリーズに変更
—	—	以下の名称の誤りを変更 入出力タイマ → 16 ビットフリーランタイマ
14	■ ブロックダイアグラム	16 ビットアウトプットコンペアのチャンネル数 ×4 ch → ×6 ch
29	■ 割込み要因と割込みベクタ, 割込み制御レジスタ	拡張インテリジェント I/O サービスの略称を訂正 I ² OS → EI ² OS
40	■ 電气的特性 5. A/D 変換部電气的特性	ゼロトランジション電圧, フルスケールトランジション電圧の単位を変更 mV → V

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: F ² MC-16LX MB90590G Series CMOS 16-bit Proprietary Microcontroller 文書番号: 002-07697				
版	ECN	変更者	発行日	変更内容
**	-	AKIH	10/01/2008	サイプレスとしてドキュメントコード 002-07697 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	5589190	AKIH	01/17/2017	これは英語版の 002-07698 Rev. *A を翻訳した日本語版です。
*B	6059035	AKIH	02/06/2018	これは英語版の 002-07698 Rev. *B を翻訳した日本語版です。 Cypress の新ロゴを適用。 パッケージコードを以下のように変更 FPT-100P-M06 → PQH100

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2008-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリコード形式で本ソフトウェアを外部に配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、Capsense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。