



---

本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」または「Spansion」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

#### 商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

#### オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

#### 詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

#### サイプレスについて

サイプレス (銘柄コード：CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAM<sup>TM</sup>、SRAM、Traveo<sup>TM</sup> マイクロコントローラー、業界唯一の PSoC<sup>®</sup> プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense<sup>®</sup> 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth<sup>®</sup> Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

# MB90950 シリーズ



16 ビット・マイクロコントローラ

F<sup>2</sup>MC-16LX

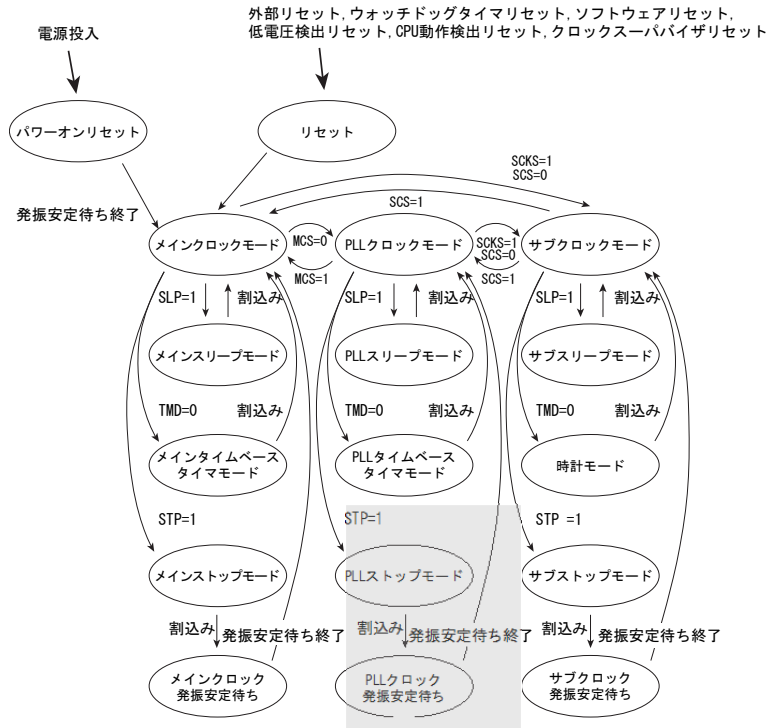
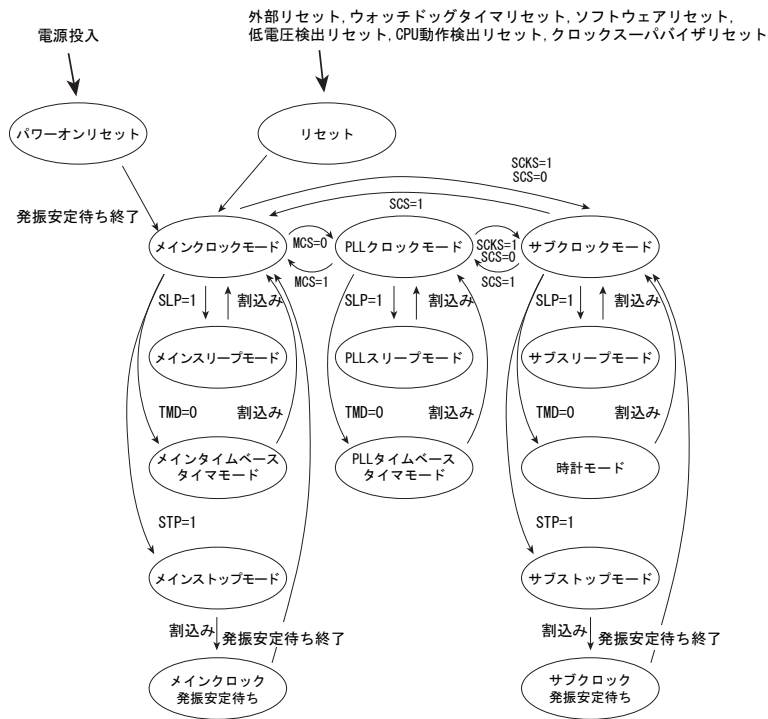
ハードウェアマニュアル

Errata Sheet



ページ	場所	訂正内容
Original document code: CM44-10148-4		
Revision 1.0 February 2, 2015		
124	5.3	<p>表 5.3-1 クロック選択レジスタ(CKSCR) の機能 (1 / 3) の WS1, WS0 ビットでの以下の  で示す PLL ストップモードに関する記述を削除</p> <p>(誤)</p> <p>メインクロックモードからPLL クロックモードに切り換えた場合の発振安定待ち時間は、<math>2^{14}/\text{HCLK}</math> ( 発振クロック周波数4MHz で動作している場合: 約4.1ms) 固定です。サブクロックモードからPLL クロックモードに切り換えた場合およびPLL ストップモードからPLL クロックモードに復帰する場合の発振安定待ち時間は、本ビットに設定された値に従います。</p> <p>PLL クロック発振安定待ち時間は、<math>2^{14}/\text{HCLK}</math> 以上必要ですので、サブクロックモードからPLL クロックモードに切り換える場合およびPLL ストップモードに移行する場合は、本ビットには、"10<sub>B</sub>" または"11<sub>B</sub>" を設定してください。</p> <p>(正)</p> <p>メインクロックモードからPLL クロックモードに切り換えた場合の発振安定待ち時間は、<math>2^{14}/\text{HCLK}</math> ( 発振クロック周波数4MHz で動作している場合: 約4.1ms) 固定です。サブクロックモードからPLL クロックモードに切り換えた場合の発振安定待ち時間は、本ビットに設定された値に従います。</p> <p>PLL クロック発振安定待ち時間は、<math>2^{14}/\text{HCLK}</math> 以上必要ですので、サブクロックモードからPLL クロックモードに切り換える場合は、本ビットには、"10<sub>B</sub>" または"11<sub>B</sub>" を設定してください。</p>
168	7.5.4	<p>7.5.4 ストップモードでの以下の  で示す PLL ストップモードに関する記述を変更</p> <p>(誤)</p> <p>■ ストップモード</p> <p>PLL クロックモード動作中に (CKSCR: MCS=1, SCS=0), 低消費電力モード制御レジスタ (LPMCR) のSTP ビットに"1" を書き込んだ場合は、クロック選択レジスタ (CKSCR)のMCS ビット, SCS ビットの設定に従って、ストップモードに移行します。</p> <p>(正)</p> <p>■ ストップモード</p> <p>各クロックモード動作中に、低消費電力モード制御レジスタ (LPMCR) のSTP ビットに"1" を書き込んだ場合は、クロック選択レジスタ (CKSCR)のMCS ビット, SCS ビットの設定に従って、ストップモードに移行します。</p>

ページ	場所	訂正内容																																
168	7.5.4	<p>表 7.5-3 クロック選択レジスタ (CKSCR) の設定とストップモードでの以下の■で示す PLL ストップモードに関する記述を変更</p> <p>(誤)</p> <table border="1"> <thead> <tr> <th colspan="2">クロック選択レジスタ(CKSCR)</th><th rowspan="2">移行するストップモード</th></tr> <tr> <th>MCS</th><th>SCS</th></tr> </thead> <tbody> <tr> <td>1</td><td>1</td><td>メインストップモード</td></tr> <tr> <td>0</td><td>1</td><td>PLL ストップモード</td></tr> <tr> <td>1</td><td>0</td><td rowspan="2">サブストップモード</td></tr> <tr> <td>0</td><td>0</td></tr> </tbody> </table> <p>(正)</p> <table border="1"> <thead> <tr> <th colspan="2">クロック選択レジスタ(CKSCR)</th><th rowspan="2">移行するストップモード</th></tr> <tr> <th>MCS</th><th>SCS</th></tr> </thead> <tbody> <tr> <td>1</td><td>1</td><td>メインストップモード</td></tr> <tr> <td>0</td><td>1</td><td>設定禁止</td></tr> <tr> <td>1</td><td>0</td><td rowspan="2">サブストップモード</td></tr> <tr> <td>0</td><td>0</td></tr> </tbody> </table>	クロック選択レジスタ(CKSCR)		移行するストップモード	MCS	SCS	1	1	メインストップモード	0	1	PLL ストップモード	1	0	サブストップモード	0	0	クロック選択レジスタ(CKSCR)		移行するストップモード	MCS	SCS	1	1	メインストップモード	0	1	設定禁止	1	0	サブストップモード	0	0
クロック選択レジスタ(CKSCR)		移行するストップモード																																
MCS	SCS																																	
1	1	メインストップモード																																
0	1	PLL ストップモード																																
1	0	サブストップモード																																
0	0																																	
クロック選択レジスタ(CKSCR)		移行するストップモード																																
MCS	SCS																																	
1	1	メインストップモード																																
0	1	設定禁止																																
1	0	サブストップモード																																
0	0																																	
168	7.5.4	<p>ストップモードの&lt;注意事項&gt;に以下を追加</p> <p>・ストップモードへの移行は必ずメインクロックモードまたはサブクロックモードから設定してください。</p>																																
170	7.5.4	<p>ストップモードからの復帰の&lt;注意事項&gt;での以下の■で示す PLL ストップモードに関する記述を削除</p> <p>PLL ストップモードに移行する場合は、クロック選択レジスタの発振安定待ち時間選択ビット(CKSCR: WS1, WS0) を"10<sub>B</sub>" または"11<sub>B</sub>" を設定してください。</p> <p>•PLLストップモード中は、メインクロックおよびPLL 通倍回路が停止しているため、PLL ストップモードから復帰する場合は、メインクロック発振安定待ち時間およびPLL クロック発振安定待ち時間を確保する必要があります。この場合の発振安定待ち時間は、クロック選択レジスタの発振安定待ち時間選択ビット(CKSCR:WS1, WS0) に設定された値に従い、メインクロック発振安定待ち時間およびPLL クロック発振安定待ち時間を同時にカウントしますので、CKSCR:WS1, WS0 ビットには、発振安定待ち時間の長い方に合わせて値を設定してください。ただし、PLL クロック発振安定待ち時間は<math>2^{14}/HCLK</math> 以上必要ですので、CKSCR:WS1, WS0 ビットには、"10<sub>B</sub>" または"11<sub>B</sub>" を設定してください。</p>																																

ページ	場所	訂正内容
171	7.6	<p>図 7.6-1 状態遷移図を以下に示すように PLL ストップモード、PLL クロック発振安定待ちを削除</p> <p>(誤)</p>  <p>(正)</p> 

ページ	場所	訂正内容
177	7.8	<p>7.8 低消費電力モード使用上の注意 に以下の で示すストップモードに関する記述を追加</p> <p>■ ストップモード移行時</p> <p>ストップモードへの移行は必ずメインモードまたはサブクロックモードから設定するようにしてください。</p> <p>PLL クロックモードで動作中にストップモードへ移行したい場合は、一度メインモードに遷移してからストップモードに設定してください。</p>
178	7.8	<p>7.8 低消費電力モード使用上の注意の以下の で示す PLL ストップモードに関する記述を削除</p> <p>■ 発振安定待ち時間</p> <ul style="list-style-type: none"> <li>PLL クロック発振安定待ち時間</li> </ul> <p>PLL ストップモード中は、メインクロックおよびPLL 通倍回路が停止しているため、PLLストップモードから復帰する場合は、メインクロック発振安定待ち時間およびPLL クロック発振安定待ち時間を確保する必要があります。この場合の発振安定待ち時間は、クロック選択レジスタの発振安定待ち時間選択ビット (CKSCR: WS1, WS0) に設定された値に従い、メインクロック発振安定待ち時間およびPLL クロック発振安定待ち時間を同時にカウントしますので、CKSCR:WS1, WS0 ビットには、発振安定待ち時間の長い方に合わせて値を設定してください。ただし、PLL クロック発振安定待ち時間は<math>2^{14}/HCLK</math> 以上必要ですので、CKSCR: WS1, WS0 ビットには、"10<sub>B</sub>" または"11<sub>B</sub>" を設定してください。</p>
219	10.2	<p>10.2 タイムベースタイマのブロックダイアグラムのカウンタクリア回路下の で示す PLL ストップモードに関する記述を変更</p> <p>(誤)</p> <p>■ タイムベースタイマのブロックダイアグラム</p> <ul style="list-style-type: none"> <li>カウンタクリア回路</li> </ul> <p>タイムベースタイマカウンタの値は、次の要因によってクリアされます。</p> <ul style="list-style-type: none"> <li>タイムベースタイマ制御レジスタのタイムベースタイマカウンタクリアビット (TBTC: TBR=0)</li> <li>パワーオンリセット</li> <li>メインストップモード、PLL ストップモードへの遷移 (CKSCR:SCS=1, LPMCR: STP=1)</li> </ul> <p>(正)</p> <p>■ タイムベースタイマのブロックダイアグラム</p> <ul style="list-style-type: none"> <li>カウンタクリア回路</li> </ul> <p>タイムベースタイマカウンタの値は、次の要因によってクリアされます。</p> <ul style="list-style-type: none"> <li>タイムベースタイマ制御レジスタのタイムベースタイマカウンタクリアビット (TBTC: TBR=0)</li> <li>パワーオンリセット</li> <li>メインストップモードへの遷移 (CKSCR: MCS=1, SCS=1, LPMCR: STP=1)</li> </ul>

ページ	場所	訂正内容																																				
222	10.3.1	<p>表 10.3-1 タイムベースタイマ制御レジスタ(TBTC) のTBOF ビットの以下の「」で示すPLL ストップモードに関する記述を削除</p> <p>(誤)</p> <p>2) TBOF ビットは"0" の書込み、メインストップモードへの遷移,PLL ストップモードへの遷移, サブクロックモードからメインクロックモードへの遷移,サブクロックモードからPLL クロックモードへの遷移, メインクロックモードからPLL クロックモードへの遷移, タイムベースタイマカウンタクリアビット (TBR) への"0" 書込み, およびリセットによってクリアされます。</p> <p>(正)</p> <p>2) TBOF ビットは"0" の書込み、メインストップモードへの遷移, サブクロックモードからメインクロックモードへの遷移,サブクロックモードからPLL クロックモードへの遷移, メインクロックモードからPLL クロックモードへの遷移, タイムベースタイマカウンタクリアビット (TBR) への"0" 書込み, およびリセットによってクリアされます。</p>																																				
227	10.5	<p>表 10.5-1 タイムベースタイマのクリア条件と発振安定待ち時間 (2 / 2) での以下の「」で示すPLL ストップモードに関する記述を削除</p> <p>(誤)</p> <table><tr><th>動作</th><th>カウンタ クリア</th><th>TBOF クリア</th><th>発振安定待ち時間</th></tr><tr><td colspan="4">ストップモードの解除</td></tr><tr><td>メインストップモード解除</td><td>○</td><td>○</td><td>メインクロック発振安定待ち時間 終了後,PLL クロックモードへ</td></tr><tr><td>PLL ストップモード解除</td><td>○</td><td>○</td><td>メインクロック発振安定待ち時間 終了後,PLL クロックモードへ</td></tr><tr><td>サブストップモード解除</td><td>×</td><td>×</td><td>サブクロック発振安定待ち時間 終了後, サブクロックモードへ</td></tr></table> <p>(正)</p> <table><tr><th>動作</th><th>カウンタ クリア</th><th>TBOF クリア</th><th>発振安定待ち時間</th></tr><tr><td colspan="4">ストップモードの解除</td></tr><tr><td>メインストップモード解除</td><td>○</td><td>○</td><td>メインクロック発振安定待ち時間 終了後,PLL クロックモードへ</td></tr><tr><td>サブストップモード解除</td><td>×</td><td>×</td><td>サブクロック発振安定待ち時間 終了後, サブクロックモードへ</td></tr></table>	動作	カウンタ クリア	TBOF クリア	発振安定待ち時間	ストップモードの解除				メインストップモード解除	○	○	メインクロック発振安定待ち時間 終了後,PLL クロックモードへ	PLL ストップモード解除	○	○	メインクロック発振安定待ち時間 終了後,PLL クロックモードへ	サブストップモード解除	×	×	サブクロック発振安定待ち時間 終了後, サブクロックモードへ	動作	カウンタ クリア	TBOF クリア	発振安定待ち時間	ストップモードの解除				メインストップモード解除	○	○	メインクロック発振安定待ち時間 終了後,PLL クロックモードへ	サブストップモード解除	×	×	サブクロック発振安定待ち時間 終了後, サブクロックモードへ
動作	カウンタ クリア	TBOF クリア	発振安定待ち時間																																			
ストップモードの解除																																						
メインストップモード解除	○	○	メインクロック発振安定待ち時間 終了後,PLL クロックモードへ																																			
PLL ストップモード解除	○	○	メインクロック発振安定待ち時間 終了後,PLL クロックモードへ																																			
サブストップモード解除	×	×	サブクロック発振安定待ち時間 終了後, サブクロックモードへ																																			
動作	カウンタ クリア	TBOF クリア	発振安定待ち時間																																			
ストップモードの解除																																						
メインストップモード解除	○	○	メインクロック発振安定待ち時間 終了後,PLL クロックモードへ																																			
サブストップモード解除	×	×	サブクロック発振安定待ち時間 終了後, サブクロックモードへ																																			
228	10.6	<p>10.6 タイムベースタイマ使用上の注意での以下の「」で示すPLL ストップモードに関する記述を削除</p> <p>(誤)</p> <ul style="list-style-type: none"><li>● 発振安定待ち時間用タイマとして使用している場合</li><li>● 電源投入後またはメインストップモード,PLL ストップモード, サブクロックモードでは発振クロックは停止しています。</li></ul> <p>(正)</p> <ul style="list-style-type: none"><li>● 発振安定待ち時間用タイマとして使用している場合</li><li>● 電源投入後またはメインストップモード, サブクロックモードでは発振クロックは停止しています。</li></ul>																																				

ページ	場所	訂正内容
228	10.6	<p>10.6 タイムベースタイマ使用上の注意での以下ので示す PLL ストップモードに関する記述を削除</p> <p>(誤)</p> <ul style="list-style-type: none"> <li>• タイムベースタイマからクロック供給をしている周辺機能について</li> <li>• 発振クロックが停止する動作モード (PLL ストップモード, サブクロックモード, メインストップモード) に遷移すると, タイムベースタイマカウンタはクリアされ, タイムベースタイマの動作は停止します。</li> </ul> <p>(正)</p> <ul style="list-style-type: none"> <li>• タイムベースタイマからクロック供給をしている周辺機能について</li> <li>• 発振クロックが停止する動作モード (サブクロックモード, メインストップモード) に遷移すると, タイムベースタイマカウンタはクリアされ, タイムベースタイマの動作は停止します。</li> </ul>