



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更はありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

主な変更内容の一覧

■ 対象資料

	旧版
資料名	F ² MC-16LX 16 ビット マイクロコントローラ MB90460/465 シリーズ ハードウェアマニュアル
ドキュメントコード	CM44-10120-3
発行年月	2008 年 7 月

	新版
資料名	F ² MC-16LX 16 ビット マイクロコントローラ MB90460/465 シリーズ ハードウェアマニュアル
ドキュメントコード	CM44-10120-4
発行年月	2008 年 8 月

■ 主な変更内容

次ページ以降に記載いたします。

■ 発行

2008 年 9 月発行

富士通マイクロエレクトロニクス株式会社

編集 マーケティング統括部ビジネス推進部

本版での主な変更内容

ページ		変更内容（詳細は本文を参照してください。）
-		MB90460/465 シリーズ に統一
25	第 2 章 デバイスの取扱いについて 2.1 デバイス取扱い上の注意事項	水晶発振回路を変更 ・各量産品において、ご使用される発振子メーカーに発振評価依頼をしてください。を追加
85	第 5 章 クロック 5.3 クロック選択レジスタ (CKSCR)	表 5.3-1 を変更 Bit14 の MCM の機能に「・書込みは動作に影響ありません。」を追加
109	第 6 章 低消費電力モード 6.6 状態遷移図	図 6.6-1 を変更
110	第 6 章 低消費電力モード 6.7 スタンバイモード、リセットの端子状態	表 6.7-1 の下の説明 *3 を変更
122	第 7 章 割込み 7.3.2 割込み制御レジスタの機能	サマリ文を変更
229	第 12 章 16 ビットリロードタイマ 12.1 16 ビットリロードタイマの概要	外部トリガ入力動作を変更
253	第 12 章 16 ビットリロードタイマ 12.8 16 ビットリロードタイマのプログラム例	コーディング例を変更
300	第 14 章 多機能タイマ 14.4.3 タイマ状態制御レジスタ (TCCSH, TCCSL)	表 14.4-2 の bit3 に「1」を書き込んだ後、次のカウントクロックまでにこのビットへの「0」書込みを行うと、カウンタ値の初期化は行われません。を追加
530	第 18 章 DTP/ 外部割込み 18.3.1 DTP/ 外部割込み要因レジスタ (EIRR)	DTP/ 外部割込み要因レジスタ (EIRR) を変更 < 注意事項 > を追加
531	第 18 章 DTP/ 外部割込み 18.3.2 DTP/ 外部割込み許可レジスタ (ENIR)	DTP/ 外部割込み許可レジスタ (ENIR) を変更 < 注意事項 > を追加
535	第 18 章 DTP/ 外部割込み 18.4 DTP/ 外部割込みの動作説明	設定の手順を変更 1. 外部割込み入力として使用する端子と兼用する汎用入出力ポートを入力ポートに設定する。を追加

ページ		変更内容（詳細は本文を参照してください。）
540	第 18 章 DTP/ 外部割込み 18.5 DTP/ 外部割込み使用上の注意	外部割込みの入力極性を変更 要求入力レベルがレベル設定の場合、パルス幅はデータシートに記載されている最少パルス幅以上の期間を必要とします。また割込み入力端子がアクティブレベルを保持しつづけている限りは、DTP/ 外部割込み要因レジスタをクリアしても、割込みコントローラへの割込み要求は発生し続けます。を追加
566	第 20 章 8/10 ビット A/D コンバータ 20.4.2 A/D 制御ステータスレジスタ 0 (ADCS0)	表 20.4-2 を変更 bit5 ~ bit3 に（注意事項）を追加
629	第 23 章 512K/1024K ビットフラッシュメモリ 23.6.5 フラッシュメモリのセクタ消去を一時停止する	フラッシュメモリのセクタ消去を一時停止するを変更 最後の文を次のとおり変更 ・最大 15 μ s 最大 20 μ s ・セクタ消去一時停止コマンドは、セクタ消去コマンドあるいはセクタ消去再開コマンド発行後、20 μ s 以上後に行ってください。
639	第 24 章 フラッシュシリアル書込み接続例 24.1 F ² MC-16LX ファミリ MB90F462/F462A/F463A シリアル書込み接続の基本構成	表 24.1-1 を変更

変更箇所は、本文中のページ左側の によって示しています。

本版での主な変更内容

ページ	変更内容（詳細は本文を参照してください。）
656 ~ 716	「付録 B 命令」全体を変更

変更箇所は、本文中のページ左側の によって示しています。