



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダ型格および品名について

Cypress は既存のオーダ型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダ型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーキング プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

正誤表

F²MC-16LX

16ビット・マイクロコントローラ

MB90435 series

ハードウェアマニュアル

2009. 1. 16

※ : 訂正箇所

ページ

2

項目

1.1

訂正内容

「表 1.1-1 製品概要」を、以下の で示すように訂正。

(誤)

特長	MB90V540G	MB90F438L (S) /F439 (S)	MB90437L (S) *1/438L (S) /439 (S)
ROM容量	外部	フラッシュメモリ MB90F438L (S) :128Kbyte MB90F439 (S) :256Kbyte	MB90437L (S) *1 :64Kbyte MB90438L (S) :128Kbyte MB90439 (S) :256Kbyte
RAM容量	8Kバイト	MB90F438L (S) :4Kbyte MB90F439 (S) :6Kbyte	MB90437L (S) *1 : 2Kbyte MB90438L (S) : 4Kbyte MB90439 (S) : 6Kbyte
クロック	2系統品/1系統品	MB90F438L/F439 :2系統品 MB90F438LS/F439S :1系統品	MB90437L *1/438L/439:2系統品 MB90437LS *1/438LS/439S :1系統品
パッケージ	PGA-256	QFP100/LQFP100	
エミュレータ専用電源*2	なし	—	

*1：MB90437L (S) は開発中です。

*2：エミュレーションポッドMB2145-507を使用する際のディップスイッチS2の設定です。
詳細についてはMB2145-507ハードウェアマニュアル(「2.7 エミュレータ専用電源端子」)を参照してください。

(正)

特長	MB90V540G	MB90F438L (S) /F439 (S)	MB90437L (S) /438L (S) /439 (S)
ROM容量	外部	フラッシュメモリ MB90F438L (S) :128Kbyte MB90F439 (S) :256Kbyte	MB90437L (S) :64Kbyte MB90438L (S) :128Kbyte MB90439 (S) :256Kbyte
RAM容量	8Kバイト	MB90F438L (S) :4Kbyte MB90F439 (S) :6Kbyte	MB90437L (S) : 2Kbyte MB90438L (S) : 4Kbyte MB90439 (S) : 6Kbyte
クロック	2系統品*1	MB90F438L/F439 :2系統品 MB90F438LS/F439S :1系統品	MB90437L /438L/439:2系統品 MB90437LS /438LS/439S :1系統品
パッケージ	PGA-256	QFP100/LQFP100	
エミュレータ専用電源*2	なし	—	

*1：1系統で使用する場合は、ツール側よりX0A, X1Aにクロックを供給してください。

*2：エミュレーションポッドMB2145-507を使用する際のディップスイッチS2の設定です。
詳細についてはMB2145-507ハードウェアマニュアル(「2.7 エミュレータ専用電源端子」)を参照してください。

ページ

項目

訂正内容

10

1.6

「表 1.6-1 端子機能説明」を、以下の で示すように訂正。

(誤)

LQFP	QFP	端子名	回路形式	機能説明
99～6	1～8	P20～P27	I	プログラム可能なプルアップ機能を持つ汎用入出力ポートです。 この機能は、シングルチップモードの場合に利用できます。
		A16～A23		外部アドレスバスのA16～A23用の入出力端子です。 この機能は外部バスが有効なときに利用できます。

(正)

LQFP	QFP	端子名	回路形式	機能説明
99～6	1～8	P20～P27	I	プログラム可能なプルアップ機能を持つ汎用入出力ポートです。 外バスモード時は、外部アドレス出力制御レジスタ (HACR) の対応するビットが"1"の場合に、汎用入出力ポートとして機能します。
		A16～A23		外部アドレスバスのA16～A23用の出力端子です。 外バスモード時に、外部アドレス出力制御レジスタ (HACR) の対応するビットが"0"の場合に、アドレス出力端子として機能します。

14

1.7




「表 1.7-1 入出力回路形式」を、以下の で示すように訂正。

(誤)

分類	回路
A	<p>発振帰還抵抗</p> <p>スタンバイ制御信号</p>

(正)

分類	回路
A	<p>クロック入力</p> <p>スタンバイ制御信号</p>

ページ	項目	訂正内容																																																																										
17	1.8	<p>「■ デバイスの取扱いに関する注意事項」の「○ 最大定格電圧の厳守(ラッチアップの防止)」項目の次に、以下の ■ に示す項目を追加。</p> <p>○ 供給電圧の安定化 Vcc電源電圧の動作保証内においても、電源電圧の急激な変化があると誤動作を起こす場合がありますので、Vcc電源電圧を安定させてください。 安定化の基準としては、商用周波数(50 Hz～60 Hz)でのVccリプル変動(peak to peak値)は、標準Vcc電源電圧値の10 %以下に、また電源の切換え時などの瞬時変化においては、過渡変動率が0.1 V/ms以下になるように電源電圧を抑えてください。</p>																																																																										
57	3.4	3.4.2項の次に、3.4.3項を追加。詳細は添付資料1を参照。																																																																										
74	4.1	<p>「■ クロック発生部の注意」を、以下の ■ で示すように訂正。</p> <p>(誤) ■ クロック発生部の注意</p> <p>動作電圧が5Vのとき、OSC原発振は3MHz～5MHzの発振が可能です。外部クロック供給の場合、3MHz～16MHzの発振が可能です。しかし、CPUおよび周辺リソース回路の最大動作周波数が16MHzなので、16MHzを超える通倍係数を指定した場合には、正常な動作は保証されません。たとえば、外部クロックが16MHzで発振している場合、通倍係数として“1”しか指定できません。</p> <p>(正) ■ クロック発生部の注意</p> <p>動作電圧が5Vのとき、3MHz～16MHzの発振が可能です。しかし、CPUおよび周辺リソース回路の最大動作周波数が16MHzなので、16MHzを超える通倍係数を指定した場合には、正常な動作は保証されません。たとえば、外部クロックが16MHzで発振している場合、通倍係数として“1”しか指定できません。</p>																																																																										
77	4.2	<p>「表 4.2-2 リセット入力によって初期化されないレジスタ」を、以下の ■ で示すように訂正。</p> <p>(誤)</p> <table><tr><th colspan="2" rowspan="2">リセットの種類</th><th colspan="5">CKSCR</th><th>WTC</th><th colspan="2">LPMCR</th></tr><tr><th>WS1</th><th>WS0</th><th>MCS</th><th>CS1</th><th>CS0</th><th>WDCS</th><th>CG1</th><th>CG0</th></tr><tr><td rowspan="2">$\overline{\text{HST}} + \overline{\text{RST}}$</td><td>メインモード</td><td>×</td><td>×</td><td>×</td><td>×</td><td>×</td><td>×</td><td>○</td><td>○</td></tr><tr><td>サブモード*</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td></tr></table> <p>(正)</p> <table><tr><th colspan="2" rowspan="2">リセットの種類</th><th colspan="5">CKSCR</th><th>WTC</th><th colspan="2">LPMCR</th></tr><tr><th>WS1</th><th>WS0</th><th>MCS</th><th>CS1</th><th>CS0</th><th>WDCS</th><th>CG1</th><th>CG0</th></tr><tr><td rowspan="2">$\overline{\text{HST}} + \overline{\text{RST}}$</td><td>メインモード</td><td>×</td><td>×</td><td></td><td>×</td><td>×</td><td>×</td><td>○</td><td>○</td></tr><tr><td>サブモード*</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td></tr></table>	リセットの種類		CKSCR					WTC	LPMCR		WS1	WS0	MCS	CS1	CS0	WDCS	CG1	CG0	$\overline{\text{HST}} + \overline{\text{RST}}$	メインモード	×	×	×	×	×	×	○	○	サブモード*	○	○	○	○	○	○	○	○	リセットの種類		CKSCR					WTC	LPMCR		WS1	WS0	MCS	CS1	CS0	WDCS	CG1	CG0	$\overline{\text{HST}} + \overline{\text{RST}}$	メインモード	×	×		×	×	×	○	○	サブモード*	○	○	○	○	○	○	○	○
リセットの種類		CKSCR					WTC	LPMCR																																																																				
		WS1	WS0	MCS	CS1	CS0	WDCS	CG1	CG0																																																																			
$\overline{\text{HST}} + \overline{\text{RST}}$	メインモード	×	×	×	×	×	×	○	○																																																																			
	サブモード*	○	○	○	○	○	○	○	○																																																																			
リセットの種類		CKSCR					WTC	LPMCR																																																																				
		WS1	WS0	MCS	CS1	CS0	WDCS	CG1	CG0																																																																			
$\overline{\text{HST}} + \overline{\text{RST}}$	メインモード	×	×		×	×	×	○	○																																																																			
	サブモード*	○	○	○	○	○	○	○	○																																																																			

ページ

78

項目

4.2

訂正内容

「図 4.2-2 リセット入力による動作遷移」を、以下の で示すように訂正。

[リセット入力による動作遷移]

リセット入力 ($\overline{\text{RST}}$, $\overline{\text{HST}} + \overline{\text{RST}}$)

A. 発振状態

	発振		状態	
$\overline{\text{RST}}$ のみ使用 ($\text{HST} = \text{“H”}$)	メイン		発振	
	サブ		発振	
$\text{HST} + \overline{\text{RST}}$ を使用	メイン	発振	停止	メイン発振安定待ち メインラン実行可能
	サブ			サブ発振安定待ち サブラン実行可能

B. 命令実行タイミング (“L”停止, “H”開始)

・ $\overline{\text{RST}}$ のみを使用 ($\text{HST} = \text{“H”}$)

・ $\text{HST} + \overline{\text{RST}}$ を使用

リセット入力前に設定した発振安定時間

メインモード

サブモード

サブモード要求時には、メイン2分周動作します。SCSビットへの書込は可

サブ発振 (32kHz) の 2^{16} カウント=約2s

・ パワーオンリセット時

Vcc (電源)

	発振		状態	
パワーオンリセット	メイン	発振	停止	メイン発振安定待ち メインラン実行可能
	サブ			サブ発振安定待ち サブラン実行可能

メイン発振の 2^{18} カウント発振安定時間

メインモード

サブモード

サブモード要求時には、メイン2分周動作します。SCSビットへの書込は可

サブ発振 (32kHz) の 2^{16} カウント=約2s

ページ	項目	訂正内容
79	4.3	<p>「表 4.3-1 リセット要因」の(注)を、以下の■に示すように訂正。</p> <p>(誤)</p> <p>(注)</p> <ul style="list-style-type: none"> ・ ストップモードで外部端子リセット信号が入力されると、リセット要因に関係なく発振安定待ち時間を取ります。 ・ パワーオンリセットおよびハードウェアスタンバイの発振安定時間は、原発振2^{18}サイクル固定です。それ以外の発振安定待ち時間は、クロック選択レジスタのWS1/WS0により決定されます。 <p>(正)</p> <p>(注)</p> <ul style="list-style-type: none"> ・ ストップモードで外部端子リセット信号が入力されると、リセット要因に関係なく発振安定待ち時間を取ります。 ・ パワーオンリセットの発振安定待ち時間は、原発振2^{18}サイクル固定です。また、サブクロックモード時のハードウェアスタンバイリセットの発振安定待ち時間は、原発振2^{17}サイクル固定です。それ以外の発振安定待ち時間は、クロック選択レジスタのWS1/WS0により決定されます。
83	5.1	<p>「■ マシンクロックの切換え」の「○ メインクロック・PLLクロックの切換え」項目を、以下の■で示すように訂正。</p> <p>(誤)</p> <p>○ メインクロック・PLLクロックの切換え</p> <p>クロック選択レジスタ(CKSCR)内のMCSビットへの書込み動作により、メインクロックとPLLクロックの切換えを行います。</p> <p>MCSビットを“1”から“0”に書き換えた場合には、PLLクロックの発振安定待ち時間(2^{12}マシンクロックサイクル)後、メインクロックからPLLクロックに切り換わります。</p> <p>...</p> <p>(正)</p> <p>○ メインクロック・PLLクロックの切換え</p> <p>クロック選択レジスタ(CKSCR)内のMCSビットへの書込み動作により、メインクロックとPLLクロックの切換えを行います。</p> <p>MCSビットを“1”から“0”に書き換えた場合には、PLLクロックの発振安定待ち時間(2^{13}マシンクロックサイクル)後、メインクロックからPLLクロックに切り換わります。</p> <p>...</p> <p>「■ マシンクロックの切換え」の「○ メインクロック・サブクロックの切換え」項目を、以下の■で示すように訂正。</p> <p>(誤)</p> <p>○ メインクロック・サブクロックの切換え</p> <p>2系統品ではクロック選択レジスタ(CKSCR)レジスタ内のSCSビットへの書込み動作により、メインクロックとサブクロックの切換えを行います。</p> <p>SCSビットを“1”から“0”に書き換えた場合には、サブクロック信号の次のエッジが検出されたタイミングで動作はメインクロックからサブクロックに切り換わります。</p> <p>...</p> <p>(正)</p> <p>○ メインクロック・サブクロックの切換え</p> <p>2系統品ではクロック選択レジスタ(CKSCR)レジスタ内のSCSビットへの書込み動作により、メインクロックとサブクロックの切換えを行います。</p> <p>SCSビットを“1”から“0”に書き換えた場合には、サブクロックに同期をとって(約$130\mu\text{s}$)、メインクロックからサブクロックに切り換わります。</p> <p>...</p>

ページ	項目	訂正内容																																																																																																																								
83	5.1	<p>「■ マシニングロックの切換え」の＜注意事項＞に、以下の で示す説明文を追加。</p> <p>＜注意事項＞</p> <p>電源を投入した場合、またはハードウェアスタンバイモード、ストップモードを解除した場合は、サブクロック発振安定待ち時間(約2秒)が発生します。この間に、メインクロックモードからサブクロックモードに切り換えた場合は、発振安定待ち時間が発生します。</p> <p>クロックモードを切り替えた場合、切替えが完了するまでは、ほかのクロックモードおよび低消費電力モードへの切替えを行わないでください。切替えの完了はクロック選択レジスタ(CKSCR)のMCMビットおよびSCMビットを参照して確認してください。切替えが完了する前に、他のクロックモードおよび低消費電力モードへの切替えを行った場合、切り替わらない場合があります。</p>																																																																																																																								
		<p>「5.1 低消費電力制御回路の概要」の「■ PLLクロック通倍機能」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>■ PLLクロック通倍機能</p> <p>PLLクロックの通倍率はCS1, 0ビットを使用して2, 4, 6, 8に設定されます。このクロックは2分周してマシニングロック信号として使用されます。</p> <p>(正)</p> <p>■ PLLクロック通倍機能</p> <p>PLLクロックの通倍率はCS1, CS0ビットの設定により、1, 2, 3, 4通倍の中から選択することができます。</p>																																																																																																																								
87	5.3.1	<p>「表 5.3-2 低消費電力モードへの遷移に使用される命令のリスト」を、以下の で示すように訂正。</p> <p>(誤)</p> <table><tr><td>MOV</td><td>io, #imm8</td><td>MOV</td><td>dir, #imm8</td><td>MOV</td><td>eam, #imm8</td><td>MOV</td><td>eam, #immRi</td></tr><tr><td>MOV</td><td>io, A</td><td>MOV</td><td>dir, A</td><td>MOV</td><td>addr16, A</td><td>MOV</td><td>eam, A</td></tr><tr><td>MOV</td><td>RLi+dip8, A</td><td>MOVP</td><td>addr24, A</td><td></td><td></td><td></td><td></td></tr><tr><td>MOVW</td><td>io, #imm16</td><td>MOVW</td><td>dir, #imm16</td><td>MOVW</td><td>eam, #imm16</td><td>MOVW</td><td>eam, RWi</td></tr><tr><td>MOVW</td><td>io, A</td><td>MOVW</td><td>dir, A</td><td>MOVW</td><td>addr16, A</td><td>MOVW</td><td>eam, RWi</td></tr><tr><td>MOVW</td><td>RLi+dip8, A</td><td>MOVW</td><td>addr24, A</td><td></td><td></td><td></td><td></td></tr><tr><td>SETB</td><td>io:bp</td><td>SETB</td><td>dir:bp</td><td>SETB</td><td>addr16:bp</td><td></td><td></td></tr></table> <p>(正)</p> <table><tr><td>MOV</td><td>io, #imm8</td><td>MOV</td><td>dir, #imm8</td><td>MOV</td><td>eam, #imm8</td><td>MOV</td><td>eam, Ri</td></tr><tr><td>MOV</td><td>io, A</td><td>MOV</td><td>dir, A</td><td>MOV</td><td>addr16, A</td><td>MOV</td><td>eam, A</td></tr><tr><td>MOV</td><td>@RLi+disp8, A</td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>MOVW</td><td>io, #imm16</td><td>MOVW</td><td>dir, #imm16</td><td>MOVW</td><td>eam, #imm16</td><td>MOVW</td><td>eam, RWi</td></tr><tr><td>MOVW</td><td>io, A</td><td>MOVW</td><td>dir, A</td><td>MOVW</td><td>addr16, A</td><td>MOVW</td><td>eam, A</td></tr><tr><td>MOVW</td><td>@RLi+disp8, A</td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>SETB</td><td>io:bp</td><td>SETB</td><td>dir:bp</td><td>SETB</td><td>addr16:bp</td><td></td><td></td></tr><tr><td>CLRB</td><td>io:bp</td><td>CLRB</td><td>dir:bp</td><td>CLRB</td><td>addr16:bp</td><td></td><td></td></tr></table>	MOV	io, #imm8	MOV	dir, #imm8	MOV	eam, #imm8	MOV	eam, #immRi	MOV	io, A	MOV	dir, A	MOV	addr16, A	MOV	eam, A	MOV	RLi+dip8, A	MOVP	addr24, A					MOVW	io, #imm16	MOVW	dir, #imm16	MOVW	eam, #imm16	MOVW	eam, RWi	MOVW	io, A	MOVW	dir, A	MOVW	addr16, A	MOVW	eam, RWi	MOVW	RLi+dip8, A	MOVW	addr24, A					SETB	io:bp	SETB	dir:bp	SETB	addr16:bp			MOV	io, #imm8	MOV	dir, #imm8	MOV	eam, #imm8	MOV	eam, Ri	MOV	io, A	MOV	dir, A	MOV	addr16, A	MOV	eam, A	MOV	@RLi+disp8, A							MOVW	io, #imm16	MOVW	dir, #imm16	MOVW	eam, #imm16	MOVW	eam, RWi	MOVW	io, A	MOVW	dir, A	MOVW	addr16, A	MOVW	eam, A	MOVW	@RLi+disp8, A							SETB	io:bp	SETB	dir:bp	SETB	addr16:bp			CLRB	io:bp	CLRB	dir:bp	CLRB	addr16:bp		
MOV	io, #imm8	MOV	dir, #imm8	MOV	eam, #imm8	MOV	eam, #immRi																																																																																																																			
MOV	io, A	MOV	dir, A	MOV	addr16, A	MOV	eam, A																																																																																																																			
MOV	RLi+dip8, A	MOVP	addr24, A																																																																																																																							
MOVW	io, #imm16	MOVW	dir, #imm16	MOVW	eam, #imm16	MOVW	eam, RWi																																																																																																																			
MOVW	io, A	MOVW	dir, A	MOVW	addr16, A	MOVW	eam, RWi																																																																																																																			
MOVW	RLi+dip8, A	MOVW	addr24, A																																																																																																																							
SETB	io:bp	SETB	dir:bp	SETB	addr16:bp																																																																																																																					
MOV	io, #imm8	MOV	dir, #imm8	MOV	eam, #imm8	MOV	eam, Ri																																																																																																																			
MOV	io, A	MOV	dir, A	MOV	addr16, A	MOV	eam, A																																																																																																																			
MOV	@RLi+disp8, A																																																																																																																									
MOVW	io, #imm16	MOVW	dir, #imm16	MOVW	eam, #imm16	MOVW	eam, RWi																																																																																																																			
MOVW	io, A	MOVW	dir, A	MOVW	addr16, A	MOVW	eam, A																																																																																																																			
MOVW	@RLi+disp8, A																																																																																																																									
SETB	io:bp	SETB	dir:bp	SETB	addr16:bp																																																																																																																					
CLRB	io:bp	CLRB	dir:bp	CLRB	addr16:bp																																																																																																																					

ページ	項目	訂正内容																		
88	5.3.2	<p>「■ クロック選択レジスタ (CKSCR)」の「【ビット14】MCM」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>...</p> <p>MCS=0で、かつMCM=1ならば、PLLクロック発振安定待ち時間中であることを示します。なお、PLLクロックの発振安定待ち時間は、2^{12}発振クロックサイクル固定です。</p> <p>(正)</p> <p>...</p> <p>MCS=0で、かつMCM=1ならば、PLLクロック発振安定待ち時間中であることを示します。なお、PLLクロックの発振安定待ち時間は、2^{13}メインクロックサイクル固定です。</p> <p>「■ クロック選択レジスタ (CKSCR)」の「【ビット13, 12】WS1, WS0」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>...</p> <p>これらのビットはパワーオンリセットハードウェアスタンバイ以外のリセットでは初期化されません。パワーオンリセットおよびハードウェアスタンバイモード解除時に“1”に初期化されます。したがってパワーオンハードウェアスタンバイ時には、発振安定待ち時間は原発振の約2^{18}カウントです。アクセスは読出しのみ可能です。</p> <p>表 5.3-3に、WSビット設定を示します。</p> <p>(正)</p> <p>...</p> <p>これらのビットはパワーオンリセット*以外のリセットでは初期化されません。パワーオンリセット時に“1”に初期化されます。したがってパワーオンリセット時には、発振安定待ち時間は原発振の約2^{18}カウントです。読み書き可能なビットです。</p> <p>表 5.3-3に、WSビット設定を示します。</p> <p>*:サブクロックモード時のハードウェアスタンバイによるリセットでは初期化されます。</p> <p>「表 5.3-3 WSビット設定」に、以下の で示す説明文を追加。</p> <table border="1"> <thead> <tr> <th>WS1</th><th>WS0</th><th>発振安定待ち時間 (原発振4MHz時)</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>約 256 μs (発振2^{10}カウント)</td></tr> <tr> <td>0</td><td>1</td><td>約 2.05 ms (発振2^{13}カウント)</td></tr> <tr> <td>1</td><td>0</td><td>約 8.19 ms (発振2^{15}カウント)</td></tr> <tr> <td>1</td><td>1</td><td>約 32.77 ms (発振2^{17}カウント)</td></tr> <tr> <td></td><td></td><td>約 65.54 ms (発振2^{18}カウント)パワーオンリセットのみ</td></tr> </tbody> </table> <p>「■ クロック選択レジスタ (CKSCR)」の<注意事項>を削除。</p> <p><注意事項></p> <p>パワーオン、ハードウェアスタンバイ、ウォッチドッグによるリセットにより“1”に初期化されます。MCSは外部端子またはRSTビットを使用したリセットでは初期化されません。</p>	WS1	WS0	発振安定待ち時間 (原発振4MHz時)	0	0	約 256 μ s (発振 2^{10} カウント)	0	1	約 2.05 ms (発振 2^{13} カウント)	1	0	約 8.19 ms (発振 2^{15} カウント)	1	1	約 32.77 ms (発振 2^{17} カウント)			約 65.54 ms (発振 2^{18} カウント)パワーオンリセットのみ
WS1	WS0	発振安定待ち時間 (原発振4MHz時)																		
0	0	約 256 μ s (発振 2^{10} カウント)																		
0	1	約 2.05 ms (発振 2^{13} カウント)																		
1	0	約 8.19 ms (発振 2^{15} カウント)																		
1	1	約 32.77 ms (発振 2^{17} カウント)																		
		約 65.54 ms (発振 2^{18} カウント)パワーオンリセットのみ																		
89																				

ページ	項目	訂正内容
90	5.3.2	<p>「■ クロック選択レジスタ (CKSCR)」の「【bit9, 8】 CS1, CS0」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>PLLクロックの通倍率を決定するビットです。外部端子、およびRSTビットによるリセットでは初期化されません。パワーオンおよびハードウェアスタンバイによるリセットで“00”に初期化されます。</p> <p>．．．</p> <p>表 5.3-4に、CSビットの設定を示します。</p> <p>(正)</p> <p>PLLクロックの通倍率を決定するビットです。外部端子、RSTビット、ウォッチドッグタイマおよびハードウェアスタンバイ*によるリセットでは初期化されません。パワーオンによるリセットでのみ“00”に初期化されます。</p> <p>．．．</p> <p>表 5.3-4に、CSビットの設定を示します。</p> <p>*:サブクロックモード時のハードウェアスタンバイによるリセットでは初期化されます。</p>
		<p>「【bit9, 8】 CS1, CS」の<注意事項>を、以下の で示すように訂正。</p> <p>(誤)</p> <p><注意事項></p> <hr/> <p>動作電圧が5Vのとき、OSC原発振は3MHz～5MHzの間になり、外部クロックは3MHz～16MHzの間になります。CPUと周辺リソース回路の最大動作周波数は16MHzなので、16MHzを超える通倍係数が指定された場合は正常な動作が保証されません。たとえば外部クロックが16MHzの場合、通倍係数には1しか指定できません。</p> <hr/> <p>VCO発振の最小動作周波数は4MHzです。4MHzを下回る発振を指定してしないでください。</p> <p>(正)</p> <p><注意事項></p> <hr/> <p>動作電圧が5Vのとき、原発振は3MHz～16MHzの間になります。CPUと周辺リソース回路の最大動作周波数は16MHzなので、16MHzを超える通倍係数が指定された場合は正常な動作が保証されません。たとえば外部クロックが16MHzの場合、通倍係数には1しか指定できません。</p> <hr/> <p>VCO発振の最小動作周波数は4MHzです。4MHzを下回る発振を指定してしないでください。</p>
93		<p>「■ クロック選択の状態遷移」の<注意事項>に、以下の で示す説明文を追加。</p> <p><注意事項></p> <hr/> <p>クロックモードを切り替えた場合、切替えが完了するまでは、ほかのクロックモードおよび低消費電力モードへの切替えを行わないでください。切替えの完了はクロック選択レジスタ (CKSCR) のMCMビットおよびSCMビットを参照して確認してください。切替えが完了する前に、他のクロックモードおよび低消費電力モードへの切替えを行った場合、切り替わらない場合があります。</p> <hr/>
97	6.1	<p>「■ 低消費電力モード」の<注意事項>に、以下の で示す説明文を追加。</p> <p><注意事項></p> <hr/> <p>クロックモードを切り替えた場合、切替えが完了するまでは、ほかのクロックモードおよび低消費電力モードへの切替えを行わないでください。切替えの完了はクロック選択レジスタ (CKSCR) のMCMビットおよびSCMビットを参照して確認してください。切替えが完了する前に、他のクロックモードおよび低消費電力モードへの切替えを行った場合、切り替わらない場合があります。</p> <hr/>

ページ	項目	訂正内容
98	6.1	<p>「表 6.1-1 低消費電力モード動作状態(2系統品)」の欄外を、以下の■で示すように訂正。</p> <p>(誤)</p> <p>*1:時計プリスケアラ，タイムベースタイマおよび外部割込み *2:時計プリスケアラおよび外部割込み *3:外部割込み</p> <p>(正)</p> <p>*1:時計タイマ，タイムベースタイマおよび外部割込み *2:時計タイマおよび外部割込み *3:外部割込み</p>
102	6.1.3	<p>「■ 時計モードの解除」を、以下の■で示すように訂正。</p> <p>(誤)</p> <p>・・・</p> <p>周辺リソース回路などから割込みレベルが7より強い割込み要求が発生すると、スタンバイ制御回路は時計モードを解除します。時計モードの解除後は、通常の割込み処理と同じ扱いとなります。コンディションコードレジスタ(CCR)内のIフラグ、インタラプトレベルマスクレジスタ(ILM)と割込み制御レジスタ(ICR)の設定により割込みが受け付けられるときはCPUはスタンバイ書込み命令の次の書込み保留でない命令を実行後に割込み処理を実行します。割込みが受け付けられないときは擬似時計モードに入る前の次の命令から処理を続行します。</p> <p>(正)</p> <p>・・・</p> <p>周辺リソース回路などから割込みレベルが7より強い割込み要求が発生すると、スタンバイ制御回路は時計モードを解除します。時計モードの解除後は、通常の割込み処理と同じ扱いとなります。コンディションコードレジスタ(CCR)内のIフラグ、インタラプトレベルマスクレジスタ(ILM)と割込み制御レジスタ(ICR)の設定により割込みが受け付けられるときはCPUはスタンバイ書込み命令の次の書込み保留でない命令を実行後に割込み処理を実行します。割込みが受け付けられないときは時計モードに入る前の次の命令から処理を続行します。</p>
106	6.2	<p>「■ 低消費電力モードの遷移条件」を、以下の■で示すように訂正。</p> <p>(誤)</p> <p>■ 低消費電力モードの遷移条件</p> <p>以下に、表と図で使用されている記号の意味を説明します。</p> <ul style="list-style-type: none"> ● MCS : MCSビット(クロック選択レジスタ) (MCS=0でPLLクロックモード選択) <p>...</p> <p>(正)</p> <p>■ 低消費電力モードの遷移条件</p> <p>以下に、表と図で使用されている記号の意味を説明します。</p> <ul style="list-style-type: none"> ● MCS : MCSビット(クロック選択レジスタ) (MCS=0でPLLクロックモード選択) <p>...</p>

ページ	項目	訂正内容
114	6.3	<p>「■ 低消費電力モード状態遷移図(2系統品)」の<注意事項>に、以下の で示す説明文を追加。</p> <hr/> <p><注意事項></p> <p>クロックモードを切り替えた場合、切替えが完了するまでは、ほかのクロックモードおよび低消費電力モードへの切替えを行わないでください。切替えの完了はクロック選択レジスタ(CKSCR)のMCMビットおよびSCMビットを参照して確認してください。切替えが完了する前に、他のクロックモードおよび低消費電力モードへの切替えを行った場合、切り替わらない場合があります。</p>
117		<p>「■ 低消費電力モード状態遷移図(1系統品)」の<注意事項>に、以下の で示す説明文を追加。</p> <hr/> <p><注意事項></p> <p>クロックモードを切り替えた場合、切替えが完了するまでは、ほかのクロックモードおよび低消費電力モードへの切替えを行わないでください。切替えの完了はクロック選択レジスタ(CKSCR)のMCMビットおよびSCMビットを参照して確認してください。切替えが完了する前に、他のクロックモードおよび低消費電力モードへの切替えを行った場合、切り替わらない場合があります。</p>
129	7.2.3	<p>「7.2.3 外部アドレス出力制御レジスタ(HACR)」の要約を、以下の で示すように訂正。</p> <hr/> <p>(誤)</p> <p>外部アドレス出力制御レジスタ(HACR)は、アドレス(A19～16)の外部への出力を制御するレジスタです。各ビットが、それぞれアドレスA19～16に対応し、各アドレス出力端子を図7.2-4に示すように制御します。</p> <hr/> <p>(正)</p> <p>外部アドレス出力制御レジスタ(HACR)は、アドレス(A23～16)の外部への出力を制御するレジスタです。各ビットが、それぞれアドレスA23～16に対応し、各アドレス出力端子を図7.2-4に示すように制御します。</p> <hr/> <p>「■ 外部アドレス出力制御レジスタ(HACR)」を、以下の で示すように訂正。</p> <hr/> <p>(誤)</p> <p>・・・</p> <p>HACRレジスタは外部回路へのアドレス(A23-16)の出力を制御します。8ビットがA32-16のアドレスビットに対応し、下記のようにアドレス出力端子を制御します。</p> <p>・・・</p> <p>(正)</p> <p>・・・</p> <p>HACRレジスタは外部回路へのアドレス(A23-16)の出力を制御します。8ビットがA23-16のアドレスビットに対応し、下記のようにアドレス出力端子を制御します。</p> <p>・・・</p>

ページ

項目

訂正内容

155

10.2

「表 10.2-2 WT1, 0へのアクセス(読出し専用)」を、以下の で示すように訂正。

(誤)

WDCS	WT1	WTO	インターバル時間(整合クロック4MHz時)	
			最小	最大
1	0	0	約3.58ms	約4.61ms
1	0	1	約14.33ms	約18.43ms
1	1	0	約57.23ms	約73.73ms
1	1	1	約458.75ms	約589.82ms
0*	0	0	約0.457s	約0.576s
0*	0	1	約3.584s	約4.608s
0*	1	0	約7.168s	約9.216s
0*	1	1	約14.336s	約18.432s

*:2系統品のみ

(正)

WDCS	WT1	WTO	インターバル時間*	
			最小	最大
1	0	0	約3.58ms	約4.61ms
1	0	1	約14.33ms	約18.43ms
1	1	0	約57.23ms	約73.73ms
1	1	1	約458.75ms	約589.82ms
0	0	0	約0.457s	約0.576s
0	0	1	約3.584s	約4.608s
0	1	0	約7.168s	約9.216s
0	1	1	約14.336s	約18.432s

*: 原発振4MHz, サブクロック32kHzの場合

「**■** ウォッチドッグタイマ制御レジスタ(WDTC)」の<注意事項>を、以下の で示すように訂正。

(誤)

<注意事項>

インターバル時間の最大値は、ウォッチドッグ動作中にタイムベースカウンタがリセットされないことを想定しています。

(正)

<注意事項>

インターバル時間は、タイムベースタイマまたは時計タイマの桁上り信号をカウントクロックにしているため、タイムベースタイマまたは時計タイマがクリアされると、ウォッチドッグタイマのインターバル時間が長くなる場合があります。

タイムベースタイマは、タイムベースタイマ制御レジスタ(TBTC)のタイムベースタイマクリアビット(TBR)への"0"書込みのほか、メインクロックモードからPLLクロックモードへの遷移、サブクロックモードからメインクロックモードへの遷移、サブクロックモードからPLLクロックモードへの遷移時にもクリアされますので、ご注意ください。

ページ	項目	訂正内容
160	11.2	<p>「■ 時計タイマ制御レジスタ(WTC)」の「【ビット7】 WDCS」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>【ビット7】 WDCS</p> <p>マシナクロックにメインクロックまたはPLLクロックを選択しているときに、ウォッチドッグタイマの入力クロックとして、時計タイマのクロック信号を使用するのか、またはタイムベースタイマのクロック信号を使用するのかを選択するビットです。WDCS="0"で、時計タイマのクロック信号を選択し、WDCS="1"でタイムベースタイマのクロック信号を選択することができます。WDCSに"1"を設定すると、タイムベースタイマ出力はメインクロックまたはPLLクロックを選択する機能に使用され、時計タイマ出力はサブクロックを含む機能に使用されます。</p> <p>パワーオンリセットにより、本ビットは"1"に初期化されます。</p> <p><注意事項></p> <p>WDCS を"1"に設定した場合には、タイムベースタイマの出力と時計タイマの出力は非同期であるため、ウォッチドッグタイマのカウンタが進む可能性があります。このため、WDCS を"1"に設定した場合には、クロックモードを変更する前後で、ウォッチドッグタイマをクリアする必要があります。</p> <p>(正)</p> <p>【ビット7】 WDCS</p> <p>ウォッチドッグタイマの入力クロックとして、時計タイマのクロック信号を使用するのか、またはタイムベースタイマのクロック信号を使用するのかを、選択するビットです。</p> <p><メインクロックモードまたはPLLクロックモード時></p> <p>WDCS 1: タイムベースタイマ 0: 時計タイマ</p> <p><サブクロックモード時></p> <p>WDCS 必ず"0"を書き込んでください。</p> <p>パワーオンリセットにより、本ビットは"1"に初期化されます。</p> <p><注意事項></p> <p>WDCS を"1"に設定した場合には、タイムベースタイマの出力と時計タイマの出力は非同期であるため、ウォッチドッグタイマのカウンタが進む可能性があります。このため、WDCS を"1"に設定した場合には、クロックモードを変更する前後で、ウォッチドッグタイマをクリアする必要があります。</p> <p>サブクロックモード時にウォッチドッグタイマの入力としてタイムベースタイマを選択(WDCS="1")した場合にはウォッチドッグタイマは停止します。</p> <p>サブクロックモード時にウォッチドッグタイマを使用する場合は必ず時計タイマを選択(WDCS="0")してください。</p>

ページ	項目	訂正内容
162	11.3	<p>「■ 時計タイマ」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>■ 時計タイマ</p> <p>時計タイマは、サブクロックにより発生する発振入力のカウントする 15ビットのカウンタにより構成され、サブクロックが入力されている間時計タイマはカウント動作を続けます。時計タイマのクリアは、パワーオンリセット、および時計タイマ制御レジスタ (WTC) 内のWTRビットへの"0"の書き込みにより行われます。</p> <p>時計タイマの出力を使用しているウォッチドッグカウンタとインターバル割込みは、時計カウンタのクリアにより影響を受けます。</p> <p>(正)</p> <p>■ 時計タイマ</p> <p>時計タイマは、サブクロックにより発生する発振入力のカウントする 15ビットのカウンタにより構成され、サブクロックが入力されている間時計タイマはカウント動作を続けます。時計タイマのクリアは、パワーオンリセット、および時計タイマ制御レジスタ (WTC) 内のWTRビットへの"0"の書き込みにより行われます。</p> <hr/> <p><注意事項></p> <ul style="list-style-type: none"> ・時計タイマの出力を使用しているウォッチドッグカウンタとインターバル割込みは、時計カウンタのクリアにより影響を受けます。 ・時計タイマ制御レジスタ (WTC) のWTRビットに"0"を設定して時計タイマをクリアする場合は、WTIEビットに"0"を設定し、時計タイマの割込みを禁止した状態で行ってください。また、割込みを許可する前に、WTOFビットへの"0"設定による割込み要求のクリアを行ってください。 <hr/> <p>「■ 時計タイマのインターバル割込み機能」の次に、以下の に示す項目を追加。</p> <p>■ ウォッチドッグタイマの動作クロックの設定</p> <p>時計タイマ制御レジスタ (WTC) のウォッチドッグクロック選択ビット (WDCS) によって、ウォッチドッグタイマのクロックソースを設定できます。</p> <p>マシクロックとしてサブクロックを使用する場合は、必ずWDCSビットを"0"に設定して、時計タイマの出力を選択してください。WDCSビットを"1"に設定した状態で、サブクロックモードへ移行した場合は、ウォッチドッグタイマは停止します。</p>
186～ 196	13	<p>本章内の"TOU"を"TOT"に変更。</p> <p><変更箇所></p> <ul style="list-style-type: none"> ・13.1節 2箇所 ・図 13.1-1 1箇所 ・13.2.1項 3箇所 ・13.5節 1箇所 ・図 13.5-1 1箇所 ・図 13.5-2 1箇所 ・図 13.6-1 5箇所 <p>計14箇所</p>

ページ

項目

訂正内容

186

13. 1

「■ 16ビットリロードタイマ(イベントカウント機能付)の概要」を、以下の で示すように訂正。

(誤)

■ 16ビットリロードタイマ(イベントカウント機能付)の概要

出力端子(TOUT)には、リロードモード時にはトグル出力波形を出力し、ワンショットモード時にはカウント中を示す矩形波を出力します。入力端子(TIN)は、イベントカウントモード時にイベント入力となり、内部クロックモード時にはトリガ入力、またはゲート入力に使用することができます。

MB90435シリーズの16ビットリロードタイマは2つです。

(正)

■ 16ビットリロードタイマ(イベントカウント機能付)の概要

出力端子(TOT)には、リロードモード時にはトグル出力波形を出力し、ワンショットモード時にはカウント中を示す矩形波を出力します。入力端子(TIN)は、イベントカウントモード時にイベント入力となり、内部クロックモード時にはトリガ入力、またはゲート入力に使用することができます。

MB90435シリーズは16ビットリロードタイマを2つ内蔵しています。

「■ インテリジェントI/Oサービス(EI²OS)機能と割込み」の次に、以下の に示す項目を追加。

■ 16ビットリロードタイマの端子名

本タイマは2つ内蔵されており、入力端子名(TIN)と出力端子名(TOT)は以下のようになります。

	入力端子名(TIN)	出力端子名(TOT)
タイマ1	TIN0	TOT0
タイマ2	TIN1	TOT1

208

14. 4

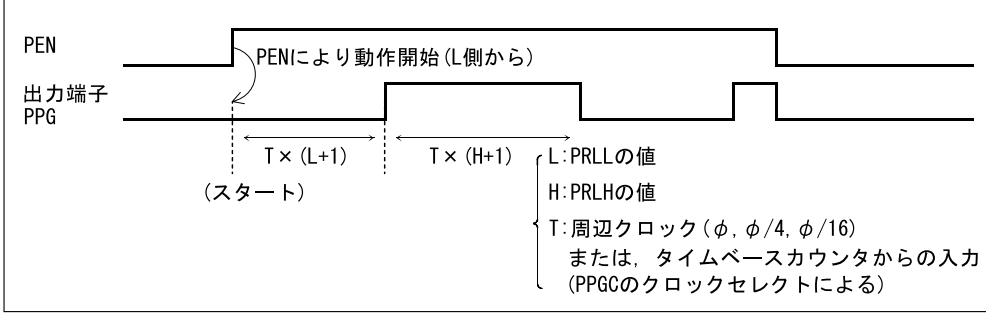
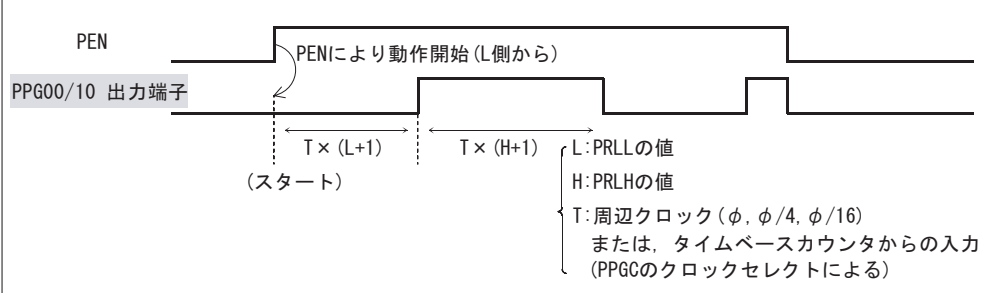
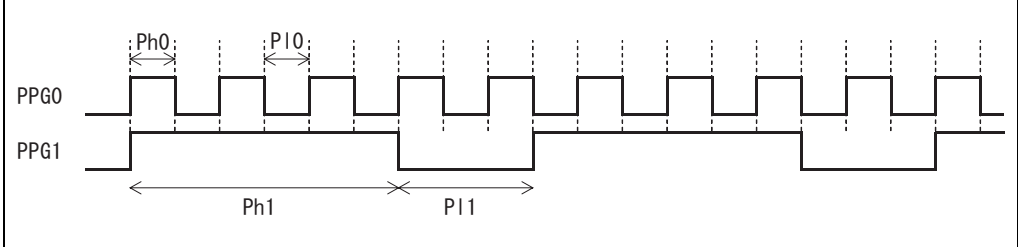
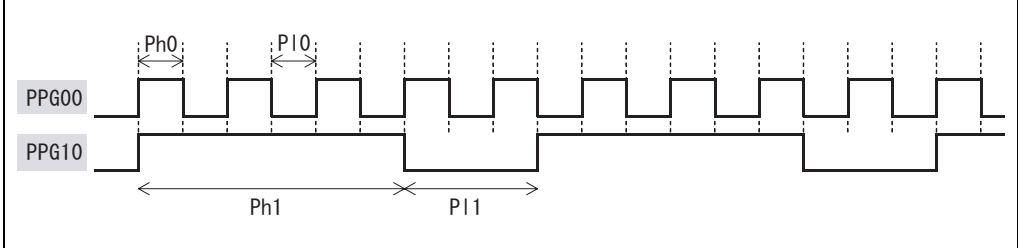
「表 14. 4-1 リロード動作とパルス出力の関係」を、以下の で示すように訂正。

(誤)

リロード動作	端子出力変化
PRLH → PCNT	PPG0/1 [0→1] 立上がり
PRL → PCNT	PPP0/1 [1→0] 立下がり

(正)

リロード動作	端子出力変化
PRLH → PCNT	PPG00/10 [0→1] 立上がり
PRL → PCNT	PPP00/10 [1→0] 立下がり

ページ	項目	訂正内容
209	14. 4	<p>「図 14. 4-1 PPG 出力動作の出力波形」を、以下の で示すように訂正。</p> <p>(誤)</p>  <p>(正)</p> 
211	14. 6	<p>「図 14. 6-1 8+8PPG 出力動作の出力波形」を、以下の で示すように訂正。</p> <p>(誤)</p>  <p>(正)</p> 

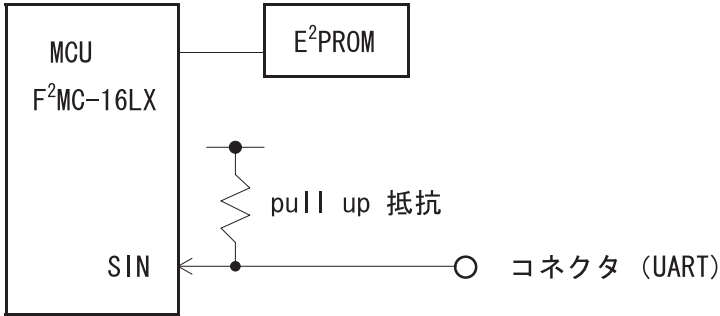
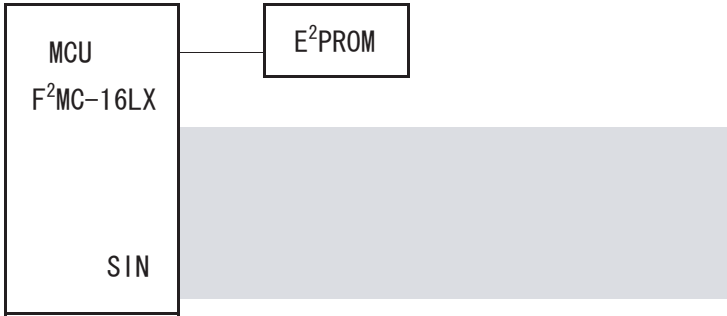
ページ	項目	訂正内容
213	14. 8	<p>「■ 8/16ビットPPGの各ハードウェアの初期値」の「○ レジスタ」を、以下の で示すように訂正。</p> <p>(誤)</p> <ul style="list-style-type: none"> ○ レジスタ <ul style="list-style-type: none"> ● PPGC0 → 0X000001_B ● PPGC1 → 00000001_B ● PPG10 → XXXXXX00_B <p>(正)</p> <ul style="list-style-type: none"> ○ レジスタ <ul style="list-style-type: none"> ● PPGC0 → 0X000XX1_B ● PPGC1 → 0X000001_B ● PPG10 → XXXXXX00_B
226	16. 5	<p>「16. 5 DTP/ 外部割込みの使用上の注意」の要約から、 で示す項目を削除。</p> <hr/> <p>DTP/外部割込みを使用する際には、次の点について特に注意が必要です。</p> <ul style="list-style-type: none"> ● DTPを用いたときの外部に接続するペリフェラルの条件 ● スタンバイからの復帰 ● DTP/外部割込みの動作手順 ● 外部割込み要求レベル <hr/> <p>「■ DTP/外部割込みの使用上の注意」の「○ 外部割込み要求レベル」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>...</p> <p>図 16. 5-1に示すように、要求入力レベルがレベル設定のとき、外部より要求入力が入ってその後取り下げられても内部に要因保持回路が存在するので、割込みコントローラへの要求はactiveのままです。図 16. 5-2に示すように、割込みコントローラへの要求を取り下げるには要因保持回路をクリアする必要があります。</p> <p>(正)</p> <p>...</p> <p>図 16. 5-1に示すように、要求入力レベルがレベル設定のとき、外部より要求入力が入ってその後取り下げられても内部に割込要求許可状態 (ENIR:EN=1) であれば、割込みコントローラへの要求はactiveのままです。図 16. 5-2に示すように、割込みコントローラへの要求を取り下げるには割込要求フラグビット (EIRR:ER) をクリアする必要があります。</p>
227		<p>「図 16. 5-1 レベル設定時の要因保持回路のクリア」を、以下の で示すように訂正。</p> <p>(誤)</p> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;"> <p>割込み要因 → レベル検出 → 要因 F/F (要因保持回路) → 許可ゲート → 割込みコントローラへ</p> <p style="text-align: center;">↑ クリアしない限り要因を保持し続ける</p> </div> <p style="text-align: center;">図 16. 5-1 レベル設定時の要因保持回路のクリア</p> <p>(正)</p> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;"> <p>割込み要因 → レベル検出 → 割込要求フラグビット (EIRR:ER) → 許可ゲート → 割込みコントローラへ</p> <p style="text-align: center;">↑ クリアしない限り要因を保持し続ける</p> </div> <p style="text-align: center;">図 16. 5-1 レベル設定時の割込要求フラグビット (EIRR:ER) のクリア</p>

ページ	項目	訂正内容																																																																																
227	16. 5	<p>「図 16. 5-2 割込み許可時の割込み要因と割込みコントローラへの割込み要求」を、以下の で示すように訂正。</p> <p>(誤)</p> <div></div> <p>図 16. 5-2 割込み許可時の割込み要因と割込みコントローラへの割込み要求</p> <p>(正)</p> <div></div> <p>図 16. 5-2 割込み許可時の割込み要因と割込みコントローラへの割込み要求</p>																																																																																
233	17. 3	<p>「図 17. 3-2 A/Dコンバータのレジスタ」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>A/Dコントロールステータスレジスタ上位</p> <table><tr><th></th><th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th><th>←ビットNo.</th></tr><tr><td>アドレス: 000035_H</td><td>BUSY</td><td>INT</td><td>INTE</td><td>PAUS</td><td>STS1</td><td>STS0</td><td>STRT</td><td>予約</td><td>ADCS1</td></tr><tr><td>リード/ライト ⇔</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td></td></tr><tr><td>初期値 ⇔</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td></td></tr></table> <p>(正)</p> <p>A/Dコントロールステータスレジスタ上位</p> <table><tr><th></th><th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th><th>←ビットNo.</th></tr><tr><td>アドレス: 000035_H</td><td>BUSY</td><td>INT</td><td>INTE</td><td>PAUS</td><td>STS1</td><td>STS0</td><td>STRT</td><td>予約</td><td>ADCS1</td></tr><tr><td>リード/ライト ⇔</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(W)</td><td>(R/W)</td><td></td></tr><tr><td>初期値 ⇔</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td></td></tr></table>		15	14	13	12	11	10	9	8	←ビットNo.	アドレス: 000035 _H	BUSY	INT	INTE	PAUS	STS1	STS0	STRT	予約	ADCS1	リード/ライト ⇔	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)		初期値 ⇔	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)			15	14	13	12	11	10	9	8	←ビットNo.	アドレス: 000035 _H	BUSY	INT	INTE	PAUS	STS1	STS0	STRT	予約	ADCS1	リード/ライト ⇔	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(W)	(R/W)		初期値 ⇔	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)	
	15	14	13	12	11	10	9	8	←ビットNo.																																																																									
アドレス: 000035 _H	BUSY	INT	INTE	PAUS	STS1	STS0	STRT	予約	ADCS1																																																																									
リード/ライト ⇔	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)																																																																										
初期値 ⇔	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)																																																																										
	15	14	13	12	11	10	9	8	←ビットNo.																																																																									
アドレス: 000035 _H	BUSY	INT	INTE	PAUS	STS1	STS0	STRT	予約	ADCS1																																																																									
リード/ライト ⇔	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(W)	(R/W)																																																																										
初期値 ⇔	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)																																																																										
235	17. 3. 1	<p>「【bit 5, 4, 3】ANS2, ANS1, ANS0 (Analog start channel set)」の注意事項に、以下の に示す説明文を追加。</p> <p><注意事項></p> <div><ul style="list-style-type: none">リード A/D変換の間、現在の変換チャネルが本ビット群から読み込まれます。もしシステムが停止モードで停止すれば最後の変換チャネルが読み込まれます。 また、本ビットに値を設定した場合でも、A/D変換が開始されるまでは、設定した値ではなく、前回にA/D変換したチャネル番号が読み出されます。リセット時に本ビット群は“000”に初期化されます。</div>																																																																																

ページ	項目	訂正内容																																																																																
236	17. 3. 2	<p>「図 17. 3-4 A/Dコントロールステータスレジスタ (ADCS1)」を、以下の で示すように訂正。</p> <p>(誤)</p> <table><tr><td colspan="9">A/Dコントロールステータスレジスタ上位</td><td>↔ビットNo.</td></tr><tr><td>アドレス: 000035_h</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>ADCS1</td></tr><tr><td>リード/ライト↔</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td></td></tr><tr><td>初期値↔</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td></td></tr></table> <p>(正)</p> <table><tr><td colspan="9">A/Dコントロールステータスレジスタ上位</td><td>↔ビットNo.</td></tr><tr><td>アドレス: 000035_h</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>ADCS1</td></tr><tr><td>リード/ライト↔</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(W)</td><td>(R/W)</td><td></td></tr><tr><td>初期値↔</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td>(0)</td><td></td></tr></table>	A/Dコントロールステータスレジスタ上位									↔ビットNo.	アドレス: 000035 _h	15	14	13	12	11	10	9	8	ADCS1	リード/ライト↔	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)		初期値↔	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)		A/Dコントロールステータスレジスタ上位									↔ビットNo.	アドレス: 000035 _h	15	14	13	12	11	10	9	8	ADCS1	リード/ライト↔	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(W)	(R/W)		初期値↔	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)	
A/Dコントロールステータスレジスタ上位									↔ビットNo.																																																																									
アドレス: 000035 _h	15	14	13	12	11	10	9	8	ADCS1																																																																									
リード/ライト↔	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)																																																																										
初期値↔	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)																																																																										
A/Dコントロールステータスレジスタ上位									↔ビットNo.																																																																									
アドレス: 000035 _h	15	14	13	12	11	10	9	8	ADCS1																																																																									
リード/ライト↔	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(W)	(R/W)																																																																										
初期値↔	(0)	(0)	(0)	(0)	(0)	(0)	(0)	(0)																																																																										
237		<p>「■ A/Dコントロールステータスレジスタ (ADCS1)」の「【bit 9】 STRT (Start)」に、以下の で示す説明文を追加。</p> <p>【bit 9】 STRT (Start)</p> <p>本ビットに“1”を書き込むことによりA/Dを起動します。</p> <p>バイト／ワード命令では“1”が読み出されます。</p> <p>リードモディファイライト系命令では“0”が読み出されます。</p> <p>再起動をかけるときは、再び“1”を書き込んでください。</p> <p>リセット時に本ビットは“0”に初期化されます。</p> <p>停止モード時は動作機能上再起動はかかりません。“1”を書込む前にBUSYビットをチェックしてください。</p> <p>強制停止とソフト起動を同時に行わないでください(BUSY=0, STRT=1)。</p>																																																																																
239	17. 3. 3	<p>「■ データレジスタ (ADCRO, ADCR1)」の「【bit12, 11】 CT1, CT0 (Compare time)」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>...</p> <p>本ビットを“00”に設定するときはマシクロックが8MHzのときにしてください。8MHz以外の場合には変換精度が保証されません。</p> <p>本ビット群を読み込むと常に“00”が戻されます。</p> <p>(正)</p> <p>...</p> <p>本ビットを“00”に設定するときはマシクロックが8MHz以下のときにしてください。8MHzを超える場合には変換精度が保証されません。</p> <p>本ビット群を読み込むと常に“00”が戻されます。</p>																																																																																

ページ	項目	訂正内容																																																																																
274	19. 1	<p>「■ UART1の特長」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>■ UART1の特長</p> <p>UARTには以下の特長があります。</p> <p>...</p> <div><div>● 非同期： 9615/31250/4808/2404/1202 bps CLK 同期： 1M/500K/250K/125K/62. 5K bps</div><div>内部マシクロック 6, 8, 10, 12, 16MHz 時</div></div> <p>...</p> <p>(正)</p> <p>■ UART1の特長</p> <p>UARTには以下の特長があります。</p> <p>...</p> <div><div>● 非同期： 62500/38460/31250/19230/9615/ 4808/2404/1202 bps CLK 同期： 1M/500K/250K/125K/62. 5K bps</div><div>内部マシクロック 6, 8, 10, 12, 16MHz 時</div></div> <p>...</p>																																																																																
276	19. 3	<p>「図 19.3-1 UART1のレジスタ構成」を、以下の で示すように訂正。</p> <p>(誤)</p> <div><div><div>15870</div><div>SCR1SMR1</div><div>SSRSIDR1 (R) /SODR1 (W)</div><div>-U1CDR</div><div>8bit8bit</div></div><div>(R/WR/WR/W)</div></div> <p>(正)</p> <div><div><div>15870</div><div>SCR1SMR1</div><div>SSRSIDR1 (R) /SODR1 (W)</div><div>-CDCR</div><div>8bit8bit</div></div><div>(R/WR/WR/W)</div></div> <p>「図 19.3-2 UART1のレジスタ一覧」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>通信プリスケーラコントロールレジスタ</p> <table><tr><td></td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>↔ ビットNo.</td></tr><tr><td>アドレス: 000028_H</td><td>MD</td><td>—</td><td>—</td><td>—</td><td>DIV3</td><td>DIV2</td><td>DIV1</td><td>DIV0</td><td>U1CDR</td></tr><tr><td>リード/ライト⇒</td><td>(R/W)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td></td></tr><tr><td>初期値⇒</td><td>(0)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(1)</td><td>(1)</td><td>(1)</td><td>(1)</td><td></td></tr></table> <p>(正)</p> <p>通信プリスケーラコントロールレジスタ</p> <table><tr><td></td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>↔ ビットNo.</td></tr><tr><td>アドレス: 000028_H</td><td>MD</td><td>—</td><td>—</td><td>—</td><td>DIV3</td><td>DIV2</td><td>DIV1</td><td>DIV0</td><td>CDCR</td></tr><tr><td>リード/ライト⇒</td><td>(R/W)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td></td></tr><tr><td>初期値⇒</td><td>(0)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(1)</td><td>(1)</td><td>(1)</td><td>(1)</td><td></td></tr></table>		15	14	13	12	11	10	9	8	↔ ビットNo.	アドレス: 000028 _H	MD	—	—	—	DIV3	DIV2	DIV1	DIV0	U1CDR	リード/ライト⇒	(R/W)	(-)	(-)	(-)	(R/W)	(R/W)	(R/W)	(R/W)		初期値⇒	(0)	(-)	(-)	(-)	(1)	(1)	(1)	(1)			15	14	13	12	11	10	9	8	↔ ビットNo.	アドレス: 000028 _H	MD	—	—	—	DIV3	DIV2	DIV1	DIV0	CDCR	リード/ライト⇒	(R/W)	(-)	(-)	(-)	(R/W)	(R/W)	(R/W)	(R/W)		初期値⇒	(0)	(-)	(-)	(-)	(1)	(1)	(1)	(1)	
	15	14	13	12	11	10	9	8	↔ ビットNo.																																																																									
アドレス: 000028 _H	MD	—	—	—	DIV3	DIV2	DIV1	DIV0	U1CDR																																																																									
リード/ライト⇒	(R/W)	(-)	(-)	(-)	(R/W)	(R/W)	(R/W)	(R/W)																																																																										
初期値⇒	(0)	(-)	(-)	(-)	(1)	(1)	(1)	(1)																																																																										
	15	14	13	12	11	10	9	8	↔ ビットNo.																																																																									
アドレス: 000028 _H	MD	—	—	—	DIV3	DIV2	DIV1	DIV0	CDCR																																																																									
リード/ライト⇒	(R/W)	(-)	(-)	(-)	(R/W)	(R/W)	(R/W)	(R/W)																																																																										
初期値⇒	(0)	(-)	(-)	(-)	(1)	(1)	(1)	(1)																																																																										

ページ	項目	訂正内容																																																																																																												
280	19. 3. 2	<p>「■ シリアルコントロールレジスタ (SCR1)」の「【bit 10】 REC (Receiver Error Clear)」に、以下の■に示す説明文を追加。</p> <p>【bit 10】 REC (Receiver Error Clear)</p> <p>“0”書込みで、SSR1レジスタのエラーフラグ (PE, ORE, FRE) をクリアします。</p> <p>“1”書込みは無効であり、読出し値は常に“1”になります。</p>																																																																																																												
284	19. 3. 5	<p>「19. 3. 5 UART1 通信プリスケアラコントロールレジスタ (U1CDCR)」のタイトルと要約を、以下の■で示すように訂正。</p> <p>(誤)</p> <p>19. 3. 5 UART1 通信プリスケアラコントロールレジスタ (U1CDCR)</p> <p>通信プリスケアラコントロールレジスタ (U1CDCR) は、マシニングロックの分周を制御するレジスタです。UART1の動作クロックは、マシニングロックを分周することにより得られます。この通信プリスケアラによって、種々のマシニングロックに対して一定のボーレートが得られるように設計されています。</p> <p>本通信プリスケアラ出力は、拡張I/Oシリアルインタフェースの動作クロックにも使われています。</p> <p>(正)</p> <p>19. 3. 5 UART1 通信プリスケアラコントロールレジスタ (CDCR)</p> <p>通信プリスケアラコントロールレジスタ (CDCR) は、マシニングロックの分周を制御するレジスタです。UART1の動作クロックは、マシニングロックを分周することにより得られます。この通信プリスケアラによって、種々のマシニングロックに対して一定のボーレートが得られるように設計されています。</p> <p>■ UART1通信プリスケアラコントロールレジスタ (U1CDCR)」を、以下の■で示すように訂正。</p> <p>(誤)</p> <p>■ UART1通信プリスケアラコントロールレジスタ (U1CDCR)</p> <p>U1CDCRのビット構成を以下に示します。</p> <table><tr><th colspan="2">通信プリスケアラコントロールレジスタ</th><th colspan="8">ビットNo.</th></tr><tr><td>アドレス: 000028_H</td><td></td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td></td></tr><tr><td></td><td></td><td>MD</td><td>—</td><td>—</td><td>—</td><td>DIV3</td><td>DIV2</td><td>DIV1</td><td>DIV0</td><td>⇐ U1CDCR</td></tr><tr><td>リード/ライト⇒</td><td>(R/W)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td></td></tr><tr><td>初期値⇒</td><td>(0)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(1)</td><td>(1)</td><td>(1)</td><td>(1)</td><td></td></tr></table> <p>図 19. 3-7 UART1通信プリスケアラコントロールレジスタ (U1CDCR)</p> <p>(正)</p> <p>■ UART1通信プリスケアラコントロールレジスタ (CDCR)</p> <p>CDCRのビット構成を以下に示します。</p> <table><tr><th colspan="2">通信プリスケアラコントロールレジスタ</th><th colspan="8">ビットNo.</th></tr><tr><td>アドレス: 000028_H</td><td></td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td></td></tr><tr><td></td><td></td><td>MD</td><td>—</td><td>—</td><td>—</td><td>DIV3</td><td>DIV2</td><td>DIV1</td><td>DIV0</td><td>⇐ CDCR</td></tr><tr><td>リード/ライト⇒</td><td>(R/W)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td>(R/W)</td><td></td></tr><tr><td>初期値⇒</td><td>(0)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(-)</td><td>(1)</td><td>(1)</td><td>(1)</td><td>(1)</td><td></td></tr></table> <p>図 19. 3-7 UART1通信プリスケアラコントロールレジスタ (CDCR)</p>	通信プリスケアラコントロールレジスタ		ビットNo.								アドレス: 000028 _H		15	14	13	12	11	10	9	8				MD	—	—	—	DIV3	DIV2	DIV1	DIV0	⇐ U1CDCR	リード/ライト⇒	(R/W)	(-)	(-)	(-)	(-)	(R/W)	(R/W)	(R/W)	(R/W)		初期値⇒	(0)	(-)	(-)	(-)	(-)	(1)	(1)	(1)	(1)		通信プリスケアラコントロールレジスタ		ビットNo.								アドレス: 000028 _H		15	14	13	12	11	10	9	8				MD	—	—	—	DIV3	DIV2	DIV1	DIV0	⇐ CDCR	リード/ライト⇒	(R/W)	(-)	(-)	(-)	(-)	(R/W)	(R/W)	(R/W)	(R/W)		初期値⇒	(0)	(-)	(-)	(-)	(-)	(1)	(1)	(1)	(1)	
通信プリスケアラコントロールレジスタ		ビットNo.																																																																																																												
アドレス: 000028 _H		15	14	13	12	11	10	9	8																																																																																																					
		MD	—	—	—	DIV3	DIV2	DIV1	DIV0	⇐ U1CDCR																																																																																																				
リード/ライト⇒	(R/W)	(-)	(-)	(-)	(-)	(R/W)	(R/W)	(R/W)	(R/W)																																																																																																					
初期値⇒	(0)	(-)	(-)	(-)	(-)	(1)	(1)	(1)	(1)																																																																																																					
通信プリスケアラコントロールレジスタ		ビットNo.																																																																																																												
アドレス: 000028 _H		15	14	13	12	11	10	9	8																																																																																																					
		MD	—	—	—	DIV3	DIV2	DIV1	DIV0	⇐ CDCR																																																																																																				
リード/ライト⇒	(R/W)	(-)	(-)	(-)	(-)	(R/W)	(R/W)	(R/W)	(R/W)																																																																																																					
初期値⇒	(0)	(-)	(-)	(-)	(-)	(1)	(1)	(1)	(1)																																																																																																					

ページ	項目	訂正内容
286	19. 4	<p>「■ UART1のクロック選択」の「○ 内部タイマ」を、以下の で示すように訂正。</p> <p>(誤)</p> <p>...</p> <p>ボーレートクロックソースとして内部タイマ(16ビットタイマ0)を選択した場合には、16ビットタイマ0の出力信号TOUT0は、既にMB90435コントローラに内部的に接続されていることに注意してください。したがって、16ビットタイマ0の外部出力端子TOUT0からUART1の外部クロック入力端子SCK1へ外部で接続する必要はありません。また、タイマ端子をほかに使用していなければ、I/Oポート端子として使用することができます。</p> <p>(正)</p> <p>...</p> <p>ボーレートクロックソースとして内部タイマ(16ビットタイマ0)を選択した場合には、16ビットタイマ0の出力信号TOT0は、既にMB90435コントローラに内部的に接続されていることに注意してください。したがって、16ビットタイマ0の外部出力端子TOT0からUART1の外部クロック入力端子SCK1へ外部で接続する必要はありません。また、タイマ端子をほかに使用していなければ、I/Oポート端子として使用することができます。</p>
320	21. 4	<p>「図 21. 4-1 アドレス一致検出機能のシステム構成例」を、以下の で示すように訂正。</p> <p>(誤)</p>  <p>(正)</p> 

ページ	項目	訂正内容
347	23. 7. 4	<p>「図 23. 7-2 フラッシュメモリのセクタ消去手順の例」を、以下の で示すように訂正。</p> <pre> graph TD Start([消去開始]) --> Enable[FMCS:WE (ビット5) フラッシュメモリ消去許可] Enable --> SeqList[消去コマンドシーケンス ① FxAAAA←XXAA ② Fx5554←XX55 ③ FxAAAA←XX80 ④ FxAAAA←XXAA ⑤ Fx5554←XX55] SeqList --> Step6[⑥セクタアドレス←消去コード (30h)] Step6 --> Decision1{消去セクタが他にあるか} Decision1 -- YES --> Step6 Decision1 -- NO --> Read1_1[内部アドレスリード1] Read1_1 --> Read2_1[内部アドレスリード2] Read2_1 --> Decision2{ドブルビット (DQ6) データ1 (DQ6)=データ2 (DQ6)} Decision2 -- YES --> NextSector[次セクタ] Decision2 -- NO --> Timing{タイミングリミット (DQ5)} Timing -- 0 --> Read1_1 Timing -- 1 --> Read1_2[内部アドレスリード1] Read1_2 --> Read2_2[内部アドレスリード2] Read2_2 --> Decision3{ドブルビット (DQ6) データ1 (DQ6)=データ2 (DQ6)} Decision3 -- YES --> NextSector Decision3 -- NO --> Error([消去エラー]) NextSector --> Decision4{最終セクタ} Decision4 -- YES --> Disable[FMCS:WE (ビット5) フラッシュメモリ消去禁止] Disable --> Complete([消去完了]) Decision4 -- NO --> NextSector </pre> <p> 消去開始 FMCS:WE (ビット5) フラッシュメモリ消去許可 消去コマンドシーケンス ① FxAAAA←XXAA ② Fx5554←XX55 ③ FxAAAA←XX80 ④ FxAAAA←XXAA ⑤ Fx5554←XX55 ⑥セクタアドレス←消去コード (30h) 消去セクタが他にあるか YES NO 内部アドレスリード1 内部アドレスリード2 ドブルビット (DQ6) データ1 (DQ6)=データ2 (DQ6) YES NO タイミングリミット (DQ5) 0 1 内部アドレスリード1 内部アドレスリード2 ドブルビット (DQ6) データ1 (DQ6)=データ2 (DQ6) YES NO 消去エラー 次セクタ 最終セクタ YES FMCS:WE (ビット5) フラッシュメモリ消去禁止 消去完了 :ハードウェアシーケンスフラグ による確認 </p>

ページ	項目	訂正内容																																
360	24. 1	<p>「表 24.1-3 入力可能なシリアルクロック周波数の例」を、以下の で示すように訂正。</p> <p>(誤)</p> <table><tr><th>発振クロック周波数</th><th>マイコンの入力可能な最大シリアルクロック周波数</th><th>AF220/AF210/AF120/AF110の設定可能な最大シリアルクロック周波数</th><th>AF200の設定可能な最大シリアルクロック周波数</th></tr><tr><td>4MHz時</td><td>500kHz</td><td>500kHz</td><td>500kHz</td></tr><tr><td>8MHz時*</td><td>1MHz</td><td>850kHz</td><td>500kHz</td></tr><tr><td>16MHz時*</td><td>2MHz</td><td>1.25MHz</td><td>500kHz</td></tr></table> <p>*：外部クロック供給のみ</p> <p>(正)</p> <table><tr><th>発振クロック周波数</th><th>マイコンの入力可能な最大シリアルクロック周波数</th><th>AF220/AF210/AF120/AF110の設定可能な最大シリアルクロック周波数</th><th>AF200の設定可能な最大シリアルクロック周波数</th></tr><tr><td>4MHz時</td><td>500kHz</td><td>500kHz</td><td>500kHz</td></tr><tr><td>8MHz時</td><td>1MHz</td><td>850kHz</td><td>500kHz</td></tr><tr><td>16MHz時</td><td>2MHz</td><td>1.25MHz</td><td>500kHz</td></tr></table>	発振クロック周波数	マイコンの入力可能な最大シリアルクロック周波数	AF220/AF210/AF120/AF110の設定可能な最大シリアルクロック周波数	AF200の設定可能な最大シリアルクロック周波数	4MHz時	500kHz	500kHz	500kHz	8MHz時*	1MHz	850kHz	500kHz	16MHz時*	2MHz	1.25MHz	500kHz	発振クロック周波数	マイコンの入力可能な最大シリアルクロック周波数	AF220/AF210/AF120/AF110の設定可能な最大シリアルクロック周波数	AF200の設定可能な最大シリアルクロック周波数	4MHz時	500kHz	500kHz	500kHz	8MHz時	1MHz	850kHz	500kHz	16MHz時	2MHz	1.25MHz	500kHz
発振クロック周波数	マイコンの入力可能な最大シリアルクロック周波数	AF220/AF210/AF120/AF110の設定可能な最大シリアルクロック周波数	AF200の設定可能な最大シリアルクロック周波数																															
4MHz時	500kHz	500kHz	500kHz																															
8MHz時*	1MHz	850kHz	500kHz																															
16MHz時*	2MHz	1.25MHz	500kHz																															
発振クロック周波数	マイコンの入力可能な最大シリアルクロック周波数	AF220/AF210/AF120/AF110の設定可能な最大シリアルクロック周波数	AF200の設定可能な最大シリアルクロック周波数																															
4MHz時	500kHz	500kHz	500kHz																															
8MHz時	1MHz	850kHz	500kHz																															
16MHz時	2MHz	1.25MHz	500kHz																															
371	付録 A	<p>「付表 A-1 I/Oマップ」を、以下の で示すように訂正。</p> <p>(誤)</p> <table><tr><th>アドレス</th><th>レジスタ</th><th>略称</th><th>アクセス</th><th>リソース</th><th>初期値</th></tr><tr><td>000028_H</td><td>UART1通信プリスケアラコントロールレジスタ</td><td>U1CDCR</td><td>R/W</td><td>UART1</td><td>0---1111_B</td></tr></table> <p>(正)</p> <table><tr><th>アドレス</th><th>レジスタ</th><th>略称</th><th>アクセス</th><th>リソース</th><th>初期値</th></tr><tr><td>000028_H</td><td>UART1通信プリスケアラコントロールレジスタ</td><td>CDCR</td><td>R/W</td><td>UART1</td><td>0---1111_B</td></tr></table>	アドレス	レジスタ	略称	アクセス	リソース	初期値	000028 _H	UART1通信プリスケアラコントロールレジスタ	U1CDCR	R/W	UART1	0---1111 _B	アドレス	レジスタ	略称	アクセス	リソース	初期値	000028 _H	UART1通信プリスケアラコントロールレジスタ	CDCR	R/W	UART1	0---1111 _B								
アドレス	レジスタ	略称	アクセス	リソース	初期値																													
000028 _H	UART1通信プリスケアラコントロールレジスタ	U1CDCR	R/W	UART1	0---1111 _B																													
アドレス	レジスタ	略称	アクセス	リソース	初期値																													
000028 _H	UART1通信プリスケアラコントロールレジスタ	CDCR	R/W	UART1	0---1111 _B																													
435	付録 B	<p>「表 B.9-20 XCH Ri, ea命令（第1バイト=7E_H）」を変更</p> <p>(誤)</p> <p>項目「A」</p> <p>+Aの行 「W2+d16, A」</p> <p>(正)</p> <p>項目「A0」</p> <p>+Aの行 「@RW2+d16」</p>																																

3.4.3 割込処理の開始に要する時間

ハードウェア割込要求が発生して割込処理が実行されるまでの間には、現在実行中の命令が終了するまでの時間と割込ハンドリング時間が必要です。

■ 割込処理の開始に要する時間

割込要求が発生してから割込みが受け付けられて、割込処理が実行されるまでの間には、割込要求サンプリング待ち時間と割込ハンドリング時間(割込処理準備に要する時間)が必要です。割込処理時間を図3.4-4に示します。

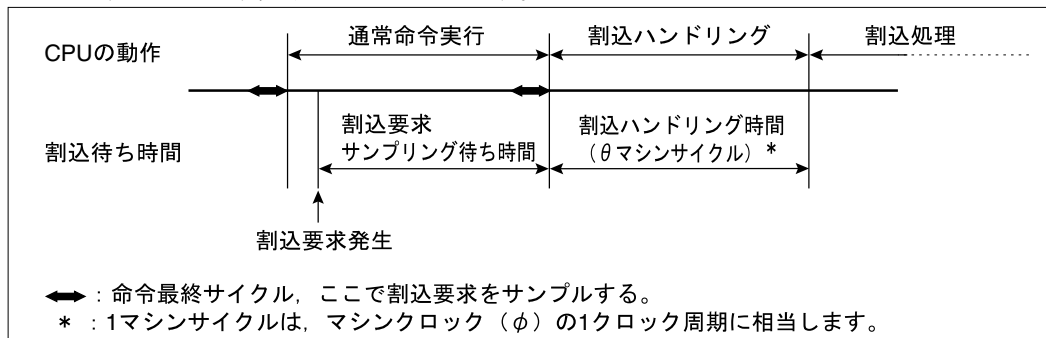


図 3.4-4 割込処理時間

○ 割込要求サンプリング待ち時間

割込要求が発生してから現在実行中の命令が終了するまでの時間です。

割込要求の発生の有無は、各命令の最後のサイクルで割込要求をサンプリングして判断されます。各命令の実行中はCPUは割込要求を認識することができず、待ち時間が発生します。

参考：

割込要求サンプリング待ち時間は、最も実行サイクルの長いPOPW RW0, ...RW7命令(45サイクル)開始直後に割込要求が発生した場合、最大となります。

○ 割込ハンドリング時間 (θマシンサイクル)

CPUは、割込要求を受け付けてから、専用レジスタのシステムスタックへの退避、および割込ベクタテーブルアドレスの取込みなどを行うため、θマシンサイクルの割込ハンドリング時間を必要とします。割込ハンドリング時間(θ)は、以下の式によって求められます。

$$\theta = 24 + 6 \times Z \text{ マシンサイクル (Z:割込ハンドリング時間の補正值)}$$

割込ハンドリング時間は、スタックポインタに設定されているアドレスによって異なります。割込ハンドリング時間の補正值(Z)を表3.4-2に示します。

表 3.4-2 割込ハンドリング時間の補正值 (Z)

スタックポインタで設定されているアドレス	補正值 (Z)
外部 8ビットの場合	+4
外部 偶数アドレスの場合	+1
外部 奇数アドレスの場合	+4
内部 偶数アドレスの場合	0
内部 奇数アドレスの場合	+2

参考：

1マシンサイクルは、マシクロック (ϕ) の1クロック周期に相当します。