

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

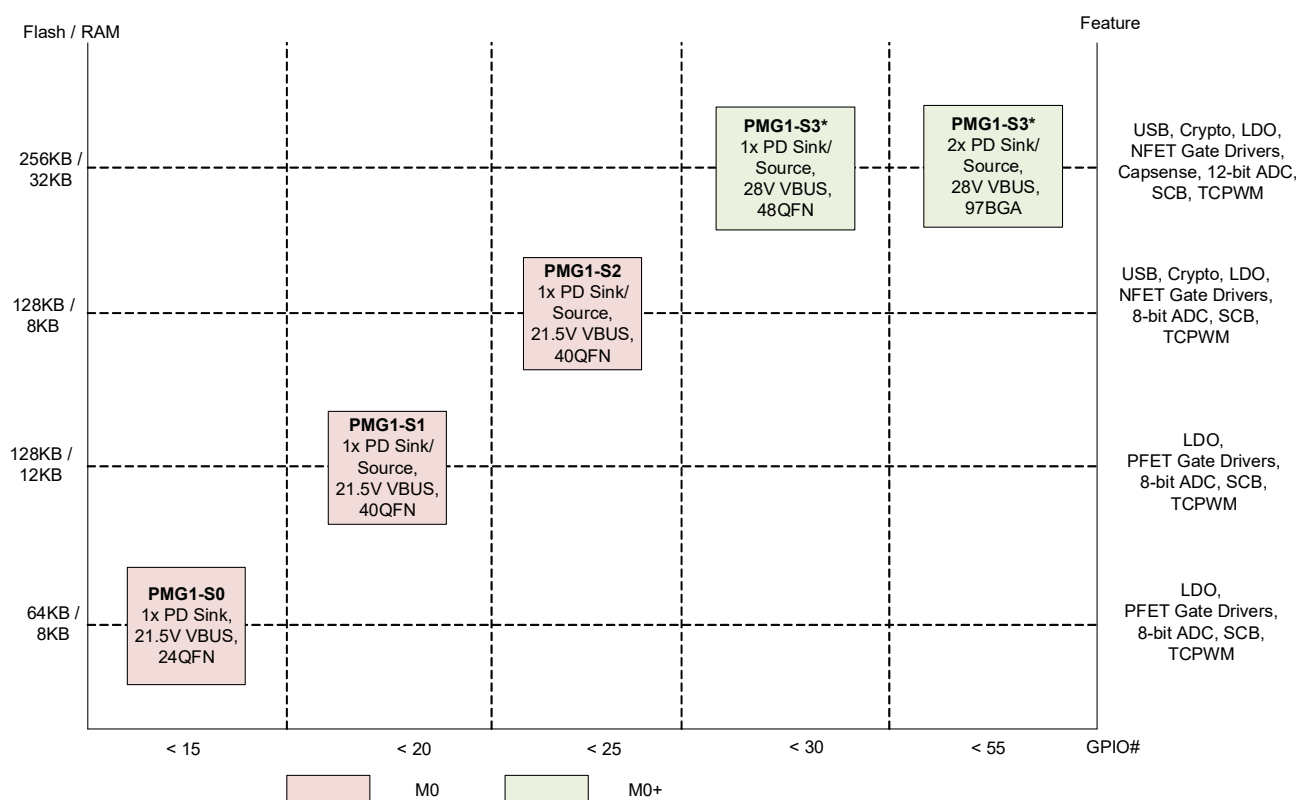
インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

第1世代パワーデリバリーマイクロコントローラー

PMG1 ファミリの概要

PMG1 (第1世代パワーデリバリーマイクロコントローラー) は、高電圧の USB-C パワーデリバリー (PD) マイクロコントローラー (MCU) のファミリーです。これらのチップには、Arm® Cortex®-M0/M0+ CPU、USB-C PD コントローラー、およびアナログとデジタルペリフェラルが搭載されます。PMG1 は、高電圧 USB-C PD ポートとの間で電力を供給/消費し、マイクロコントローラーを活用して追加の制御機能を提供する組み込みシステムを対象としています。図 1 に、PMG1 ファミリのセグメンテーションを示します。

図 1. PMG1 ファミリー セグメンテーション



* PMG1-S2 の詳細については、現地のサイプレス営業所にお問い合わせください。

表 1 に、PMG1 ファミリのさまざまな MCU の機能の比較を示します。

表 1. PMG1 ファミリのさまざまな MCU の機能の比較

サブシステム または範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3*
CPUおよびメモリ サブシステム	コア	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大周波数 (MHz)	48	48	48	48
	フラッシュ (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
パワー デリバリー	パワー デリバリー ポート	1	1	1	48-QFN の場合は 1 ポート 97-BGA の場合は 2 ポート
	ロール	シンク	DRP	DRP	DRP
	MOSFET ゲート ドライバー	1x PFET	2x PFET	2x NFET	柔軟な 2x NFET
	フォールト保護	VBUS OVP および UVP	VBUS OVP、UVP、 SCP および OCP。 SCP および RCP (ソース コンフィギュレーション のみ)	VBUS OVP、UVP、 および OCP	VBUS OVP、UVP、 および OCP。 SCP および RCP (ソース コンフィギュレーションのみ)
USB	Billboard クラスをサポート する統合されたフル スピード USB 2.0 デバイス	無	無	有	有
電圧範囲	電源電圧 (V)	VDDD (2.7 ~ 5.5) VBUS (4.0 ~ 21.5)	VSYS (2.75 ~ 5.5) VBUS (4.0 ~ 21.5)	VSYS (2.7 ~ 5.5) VBUS (4.0 ~ 21.5)	VSYS (2.8 ~ 5.5) VBUS (4 ~ 28)
	IO (V)	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5
デジタル	SCB (I2C/UART/SPI として 構成可能)	2	4	4	48-QFN の場合は 7 (その うち 5 のみを SPI および UART として設定可能) 97-BGA の場合は 8
	TCPWM ブロック (タイ マー、カウンタ、パルス幅 変調器に構成可能)	4	2	4	48-QFN の場合は 7 97-BGA の場合は 8
	ハードウェア認証ブロック (暗号)	無	無	有 (AES-128/192/256、 SHA1、SHA2-224、 SHA2-256、PRNG、 CRC)	有 (AES-128、SHA2-256、 TRNG、ペクトル ユニット)
アナログ	ADC	2x 8 ビット SAR	1x 8 ビット SAR	2x 8 ビット SAR	2x 8 ビット SAR 1x 12 ビット SAR
	内蔵温度センサー	有	有	有	有
ダイレクト メモリ アクセス (DMA)	DMA	無	無	無	有
GPIO	I/O の最大数	12 (10 + 2 OVT)	17 (15 + 2 OVT)	20 (18 + 2 OVT)	48-QFN の場合は 26 (24 + 2 OVT) 97-BGA の場合は 50 (48 + 2 OVT)
充電規格	充電ソース	-	BC1.2、AC	BC1.2、AC	BC 1.2、AC、AFC、および Quick Charge 3.0
	充電シンク	BC 1.2、Apple Charging (AC)	BC1.2、AC	BC1.2、AC	BC1.2、AC
ESD 保護	ESD 保護	有 (最大 ±8kV の接触 放電、最大 ±15kV の 空中放電、人体モデル とデバイス帯電 モデル)	有 (人体モデルとデバイス帯 電モデル)	有 (最大 ±8kV の接触 放電、最大 ±15kV の空 中放電、人体モデルと デバイス帯電モデル)	有 (人体モデルとデバイス帯電 モデル)
パッケージ	パッケージ オプション	24-QFN (4 x 4mm、 0.5mm ピッチ)	40-QFN (6 x 6mm、0.5mm ピッチ)	40-QFN (6 x 6mm、 0.5mm ピッチ)	48-QFN (6 x 6mm、0.5mm ピッチ) 97-BGA (6 x 6mm、0.5 mm および 0.65mm ピッチ)

* PMG1-S2 の詳細については、現地の[サイプレス営業所](#)にお問い合わせください。

本書の残りの部分では、PMG1-S2 デバイスについて詳しく説明します。

PMG1-S2 の概要

PMG1-S2 は、128KB フラッシュ、8KB SRAM、20 個の GPIO、フルスピード USB デバイス コントローラー、認証用暗号化エンジン、20V トレラント レギュレータ、および 5V (VCONN) 電源を切り替える 1 対の FET を持っています。また、PMG1-S2 は外部 VBUS FET およびシステム レベル ESD 保護を制御するための 2 対のゲート ドライバも統合しています。PMG1-S2 は 40-QFN パッケージで提供されています。

特長

Type-C および USB-PD のサポート

- 1 個の USB Type-C ポートに対応
- 統合された USB パワー デリバリー 3.0 のサポート
- 内蔵された USB-PD BMC トランシーバ
- 内蔵 VCONN FET
- コンフィギュレーション可能な R_p と R_D
- デッド バッテリー検出のサポート
- 高速ロール スワップと拡張データ メッセージの統合
- 統合されたハードウェア ベースの過電流保護 (OCP) と過電圧保護 (OVP)

32 ビット MCU サブシステム

- 48MHz ARM Cortex-M0 CPU
- 128KB フラッシュ
- 8KB SRAM

内蔵デジタル ブロック

- ハードウェア暗号化ブロックによる認証
- BillboardクラスをサポートするフルスピードUSBデバイスコントローラー
- USB-PD プロトコルが必要とする応答時間要件を満たす統合されたタイマー / カウンター

- I²C、SPI、または UART 機能を備えた、実行時に再構成可能な 4 個のシリアル通信ブロック (SCB)

クロックおよび発振器

- 内蔵発振器により外部クロックが不要

電源

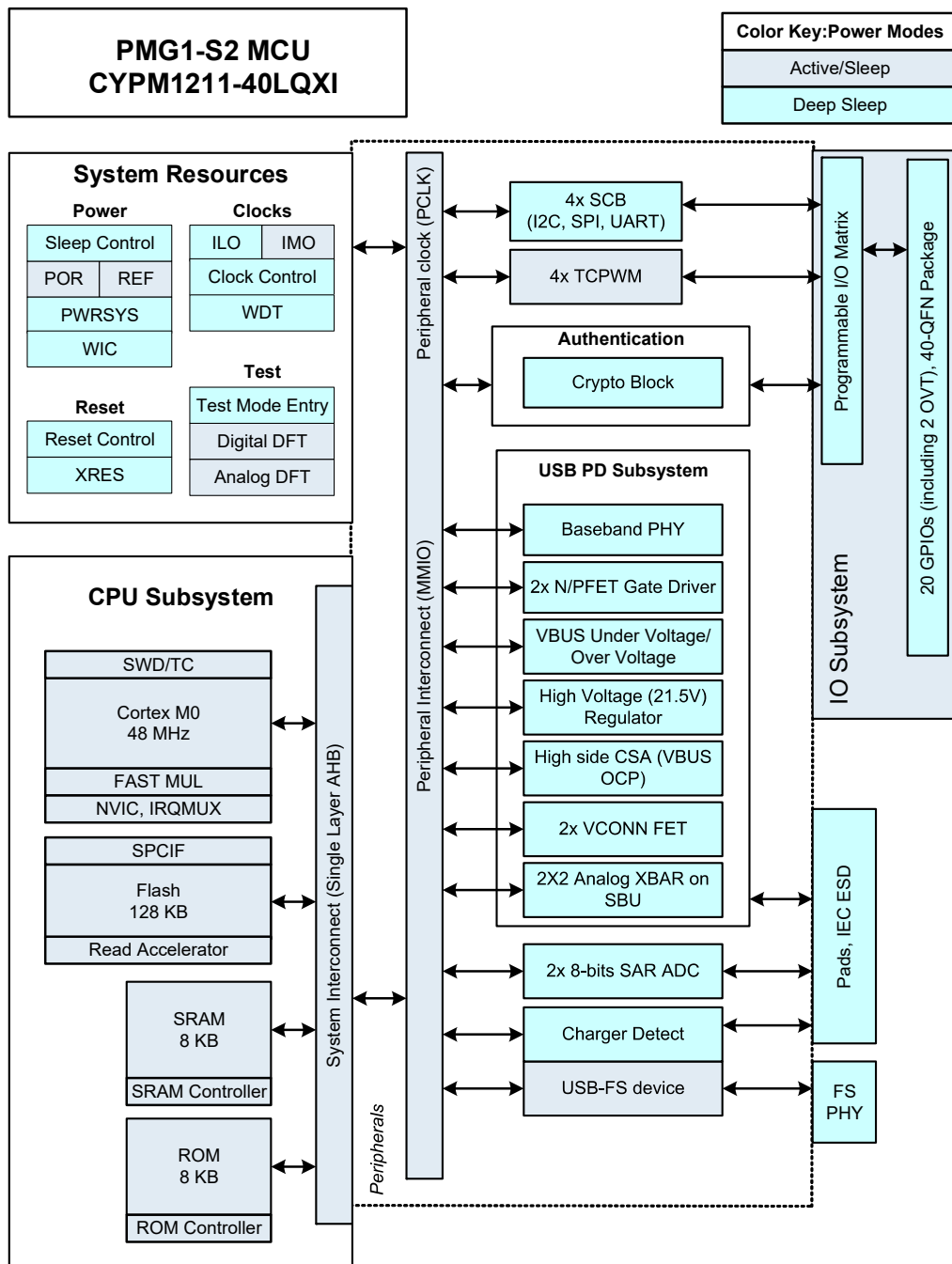
- VSYS (2.7V ~ 5.5V)
- VBUS (4.0V ~ 21.5V)
- 外部 VBUS FET スイッチ制御用に 2 個の統合されたデュアル出力ゲート ドライバ
- GPIO用の独立した電源電圧ピンにより、I/O上の1.71V~5.5V シグナリングが可能
- リセット : 30μA、ディープ スリープ : 30μA、スリープ : 3.5mA

システム レベル ESD 保護

- CC、SBU、USBDP、USBDM および VBUS のピン
- IEC61000-4-2 レベル 4C に基づいた ±8kV 接触放電および ±15kV 空中放電

パッケージ

- 40 ピン QFN
- 産業用温度範囲 (-40°C ~ +105°C) に対応

ブロック図


目次

開発サポート	6	注文情報	28
ドキュメント	6	注文コードの定義	28
オンライン	6	パッケージ	29
ツール	6	略語	30
ModusToolbox™ IDE および PMG1 SDK	7	本書の表記法	31
機能概要	8	測定単位	31
CPU およびメモリ サブシステム	8	改訂履歴	32
暗号化ブロック	8	販売、ソリューションおよび法律情報	33
統合された Billboard デバイス	8	ワールドワイド販売と設計サポート	33
USB-PD サブシステム (USBPD SS)	8	製品	33
フルスピード USB サブシステム	9	PSoC® ソリューション	33
ペリフェラル	9	サイプレス開発者コミュニティ	33
GPIO	9	テクニカル サポート	33
電源システム概要	10		
ピン配置	11		
アプリケーション図	14		
電氣的仕様	17		
絶対最大定格	17		
デバイス レベルの仕様	18		
デジタル ペリフェラル	20		
システム リソース	22		

開発サポート

PMG1 ファミリーには、開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンライン リソースが用意されています。詳細については、www.cypress.com/products/ez-pd-pmg1 をご覧ください。

ドキュメント

PMG1 ファミリーをサポートするドキュメント一式により、ユーザーは疑問点に対する答えを素早く見つけられます。重要なドキュメントのいくつかをここにリストアップします。

ソフトウェア ユーザー ガイド : ModusToolbox™ (MTB) の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、MTB によるビルド プロセスの詳細、MTB を用いたソース制御の使い方などが記載されています。

コンポーネント データシート : PMG1 の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、機能説明、API ドキュメント、推奨サンプルコード、AC/DC 仕様を含む、特定のコンポーネントの選択および使用に必要な情報がすべて記載されています。

アプリケーション ノート : 入門のアプリケーション ノートとハードウェア設計ガイドラインが含まれます。

テクニカル リファレンス マニュアル : テクニカル リファレンス マニュアル (TRM) には、すべての PMG1 レジスタの詳細な説明など、PMG1 デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は www.cypress.com/products/ez-pd-pmg1 の「Documentation」セクションにあります。

オンライン

印刷された資料のほかに、[サイプレス PMG1 フォーラム](http://www.cypress.com/forums)によって 24 時間 365 日、世界中の他のユーザーや PMG1 の専門家と連絡がとれます。

ツール

業界標準のコア、プログラミングおよびデバッグ インターフェイスを備えた PMG1 ファミリーは、開発ツール エコシステムの一部です。

革新的で使いやすい ModusToolbox IDE、サポートされるサードパーティーのコンパイラ、プログラマ、デバッグおよび開発キットの最新情報については、Web サイト <https://www.cypress.com/products/modus-toolbox-software-environment> をご覧ください。

ModusToolbox™ IDE および PMG1 SDK

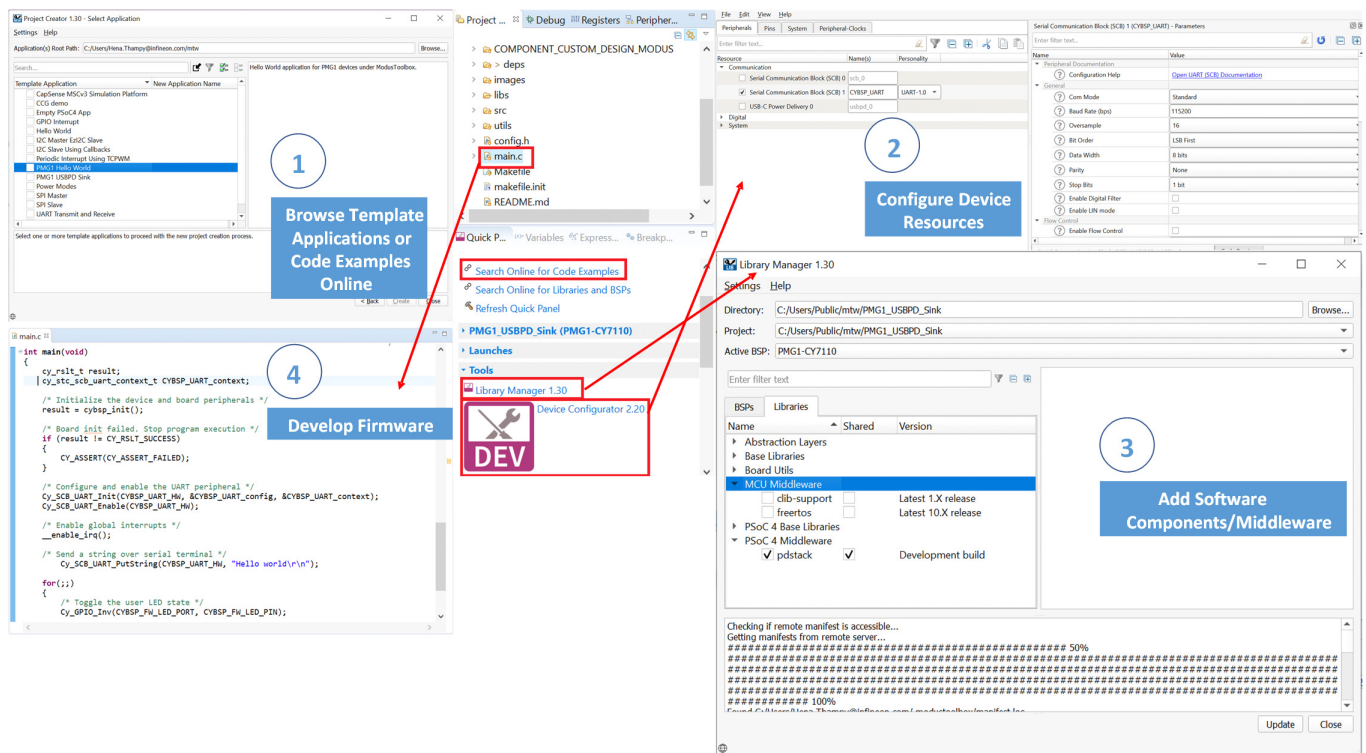
ModusToolbox は、Windows、macOS、および Linux プラットフォームで実行される Eclipse ベースの開発環境であり、ModusToolbox IDE と PMG1 SDK を含みます。ModusToolbox IDE はアプリケーションを構築するために、いくつかのデバイス リソース、ミドルウェアおよびファームウェアを組み合わせます。ModusToolbox を使用すると、デバイス リソースとミドルウェア ライブラリを有効にして構成し、C/C++/ アセンブリのソースコードを記述し、デバイスをプログラムしてデバッグできます。

PMG1 SDK は PMG1 MCU ファミリー向けのソフトウェア開発キットです。SDK を使用すると、デバイス リソースの複雑さを理解しなくても、サポートされているデバイスのファームウェアを簡単に開発できます。

ModusToolbox の使用の詳細については、ModusToolbox を使用する PMG1 MCU 入門のアプリケーション ノートと、ModusToolbox に統合されたドキュメントおよびヘルプを参照してください。図 2 に示すように、ModusToolbox IDE を使用すると、以下のことができます。

1. キットまたはデバイスでフィルターされるテンプレート アプリケーションのリストに基づいて新しいアプリケーションを作成するか、サンプル コードのコレクションをオンラインで閲覧する
2. Device Configurator でデバイス リソースを構成して、ワークスペースでハードウェア システム設計を構築する
3. ソフトウェア コンポーネントまたはミドルウェアを追加する
4. アプリケーション ファームウェアを開発する

図 2. ModusToolbox IDE のリソースとミドルウェア



機能概要

CPU およびメモリ サブシステム

CPU

PMG1-S2 内の Cortex-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。ほとんどの場合、これは 16 ビット命令を使用し、Thumb-2 命令セットのサブセットを実行します。サイプレスは本製品に、1 サイクルで 32 ビットの結果を出すハードウェア乗算器を実装しています。これは、32 の割込み入力を備えたネスト型ベクタ割込みコントローラー (NVIC) ブロックとウェイクアップ割込みコントローラー (WIC) を含みます。WIC はディープスリープモードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープモードにあるときにメインプロセッサへの電源を切れます。Cortex-M0 CPU はマスク不可能割込み (NMI) 入力を提供します。これは、ユーザーが要求したシステム機能に使用されていないとき、ユーザーによって使用できます。

CPU はまた、2 線式 JTAG のシリアルワイヤデバッグ (SWD) インターフェースも備えています。PMG1-S2 に使用するデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PMG1-S2 デバイスは、フラッシュブロックからの平均アクセス時間を改善するために CPU に密結合されたフラッシュアクセラレータと、2 つの 64KB バンクを備えたフラッシュモジュールを持っています。フラッシュブロックは、48MHz では 1 ウェイトステート (WS) アクセス時間、24MHz では 0 WS アクセス時間に対応しています。フラッシュアクセラレータは、シングルサイクル SRAM のアクセス性能の平均 85% を達成します。

SRAM

ブートおよびコンフィギュレーションルーチンを含む監視 ROM が提供されます。

暗号化ブロック

PMG1-S2 は、ファームウェアイメージのハードウェアによる認証のための暗号化ブロックを搭載しています。信頼できるエコシステムでファームウェアのフィールドでのアップグレードもサポートします。PMG1-S2 暗号化ブロックは暗号化機能を提供しています。それは高度暗号化標準 (AES) ブロック暗号、セキュアハッシュアルゴリズム (SHA-1 および SHA-2)、巡回冗長検査 (CRC) および疑似乱数生成用のハードウェア加速ブロックを含みます。

統合された Billboard デバイス

PMG1-S2 には、Billboard クラスのデバイスとして機能できる完全なフルスピード USB 2.0 デバイスコントローラーが内蔵さ

れています。USB 2.0 デバイスコントローラーは、他のデバイスクラスにも対応できます。

USB-PD サブシステム (USBPD SS)

USB-PD サブシステムには、USB Type-C およびパワーデリバリーに関するすべてのブロックが含まれています。サブシステムには以下のものが含まれます。

- バイフェーズ マーク コーディング (BMC) PHY: 高速ロールスワップ (FRS) 送信および検出機能付き USB-PD トランシーバ
- CC ライン用の VCONN パワー FET
- SBU1/SBU2 および AUX_P/AUX_N のピン間のアナログクロスバースイッチ
- AUX_P/AUX_N ピンのプログラム可能なプルアップ / プルダウン終端抵抗
- ホットプラグ検出 (HPD) プロセッサ
- VBUS_C レギュレータ (20V LDO)
- VSYS 電源と VBUS_C レギュレータ出力間の電源スイッチ
- VBUS_C の過電圧 (OV) と低電圧 (UV) の検出器
- 過電流検出用の電流検出アンプ (CSA)
- VBUS_P と VBUS_C 外部パワー FET 用のゲートドライバ
- VBUS_C 放電スイッチ
- USB BC1.2 および他の独自プロトコル用の充電器検出 / エミュレーション
- 2 つの 8 ビット SAR ADC インスタンス
- 次のピンでの 8kV IEC ESD 保護: VBUS_C, CC1, CC2, SBU1, SBU2, USBDP, USBDM

PMG1-S2 USB-PD サブシステムは USB Type-C コネクタのピンにインターフェースで接続します。これは、USB Type-C ベースバンドトランシーバと物理層ロジックを含みます。このトランシーバは BMC および 4b/5b 符号化 / 復号機能だけでなく、1.2V アナログフロントエンド (AFE) も統合しています。このサブシステムは、UFP/DFP ロール用の R_p と R_d を含む、PMG1-S2 デバイスのロールを識別するために必要な終端抵抗を統合しています。これは VCONN 電源を VCONN_Source ピンから CC1/CC2 ピンに供給するためのパワー FET も内蔵しています。アナログクロスバーはディスプレイポートサイドバンドシグナリングをサポートするために、SBU1/SBU2 ピンのいずれかを AUX_P/AUX_N ピンのいずれかに接続することを有効にします。統合された HPD プロセッサは、ディスプレイポートのソースまたはシンクの HPD 信号を制御または監視するために使用できます。

過電圧 / 低電圧 (OV/UV) ブロックは、VBUS_C 電源電圧のプログラム可能な過電圧および低電圧の状態を監視します。CSA は外部 DC-DC VBUS 電源コンバータから消費される電流に比例する外付け検出抵抗の両端の電圧を増幅します。CSA 出力は、ADC で測定するか、または過電流状態を検出するために構成できます。VBUS_P と VBUS_C ゲートドライバは、VBUS_C と VBUS_P 電源電圧用の外部パワー FET のゲートを制御します。ゲートドライバは、P 型と N 型両方の外部パワー FET をサポートするために構成できます。ゲートドライバは、デフォルトで N 型 FET デバイス用に構成されています。P 型 FET を使用するアプリケーションでは、ゲートドライバを適切に構成する必要があります。OV/UV および CSA ブロックは、プログラムされた過電圧および過電流状態でパワー FET を自動的にオフにするための割込みを生成できます。VBUS_C 放電スイッチは、外付け抵抗を介して VBUS_C ラインを放電できます。

USB-PD サブシステムは、アナログ - デジタル変換用の 2 個の 8 ビット 125ksps 逐次比較レジスタ (SAR) ADC も含みます。ADC の電圧リファレンスは、VDDD 電源から生成されます。それぞれの ADC は 8 ビット DAC とコンパレータを含みます。DAC 出力はコンパレータの非反転入力となります。コンパレータの反転入力には、4 入力マルチプレクサからのものです。マルチプレクサの 4 本の入力には、1 対のグローバルアナログマルチプレクサバス、内部バンドギャップ電圧、および絶対温度に比例する内部電圧です。各 GPIO ピンは、スイッチを介してグローバルアナログマルチプレクサバスに接続でき、いずれの ADC もピン電圧をサンプリングできるようにします。ADC で GPIO ピンの電圧を検出するとき、そのピン電圧は VDDIO 電源電圧を超えることはできません。

フルスピード USB サブシステム

FSUSB サブシステムは「統合された Billboard デバイス」に説明するように、フルスピード USB デバイスコントローラを含みます。

ペリフェラル

シリアル通信ブロック (SCB)

PMG1-S2 は I²C、SPI または UART インターフェースを実装するように設定できる 4 個の SCB を内蔵しています。ハードウェア I²C ブロックは、マルチマスターアービトレーションが可能なフルマルチマスターおよびスレーブインターフェースを実装します。SPI モードでは、SCB ブロックはマスターまたはスレーブとして動作するようにコンフィギュレーションができます。

I²C モードでは、SCB ブロックは最大 1Mbps (ファーストモードプラス) で動作でき、CPU の割込みオーバーヘッドとレイテンシを削減するためにバッファリングオプションを柔軟に選択できます。これらのブロックはまた、PMG1-S2 のメモリにメールボックスアドレス範囲を作る I²C に対応しており、メモリアレイへの読み書きをする I²C 通信を効果的に縮小します。さらに、送受信の深さ 128 の FIFO にも対応しています。これは、CPU がデータを読み出す時間を増加させて、CPU が時間どおりにデータを読み出せないことに起因したクロックストレッチの必要性を大幅に低減します。

I²C ペリフェラルは NXP I²C バスの仕様とユーザーマニュアル (UM10204) で定義されているとおりに I²C 標準モード、ファーストモード、およびファーストモードプラスのデバイスと互換性があります。

I²C バス I/O は、オープンドレインモードの GPIO で実装されます。

以下の点では、PMG1-S2 の SCB1 ~ 3 ブロック上の I²C ポートは I²C 仕様に完全に準拠していません。

- SCB1 の I²C ポート用の GPIO セルは、過電圧耐性がないため、I²C システムの残りの部分から独立してホットスワップや電源投入できません。
- ファーストモードプラスの I_{OL} 仕様は、V_{OL} 0.4V で 20mA です。GPIO セルは V_{OL} 最大値 0.6V で I_{OL} 最大値は 8mA です。
- ファーストモードとファーストモードプラスは、GPIO セルで満たせない最小立ち下がり時間の仕様があります。低速スローモードはバス負荷によってはこの仕様を満たすことがあります。

タイマー/カウンタ/PWM (TCPWM) ブロック

PMG1-S2 には 4 個の TCPWM ブロックがあります。各 TCPWM ブロックは、16 ビットタイマー、カウンタ、パルス幅変調器 (PWM)、直交デコーダ機能を実装します。

GPIO

PMG1-S2 には、最大 20 個の GPIO (GPIO、SCB、SBU、Aux 信号用に構成できる) および GPIO として使用できる SWD ピンがあります。SCB0 からの I²C ピンは過電圧耐性があります。

GPIO ブロックは以下を実装します。

- 7 つの駆動強度モード :
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS または LVTTTL)
- 駆動強度モード以外に、入力と出力バッファのイネーブル / ディセーブルの個別制御
- 前の状態をラッチするための保持モード (ディープスリープモードで I/O 状態を維持するため)
- EMI を改善するための dV/dt 関連のノイズ制御用の選択可能なスルーレート

電源投入とリセットの間、I/O ピンは無効状態になり、入力に過電流を与えず、過剰なターンオン電流を発生させないようにします。高速 I/O マトリックスとして知られている多重化ネットワークは、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

電源システム概要

図 3 に、PMG1-S2 の電源システム要件の概要を示します。PMG1-S2 は VBUS (4.0V ~ 21.5V) または VSYS (2.7V ~ 5.5V) の外部電源から動作できます。VBUS 電源電圧は低ドロップアウトレギュレータ (LDO) によってチップ内で 3.3V レベルに安定化されます。チップ内部の VDDD レールは VBUS レギュレータの出力および非安定化 VSYS の間で切り替えられます。スイッチング電源 VDDD は、一部のアナログ ブロック内で直接使用されるか、またはレギュレータによってコアの大部分に電源を供給する VCCD にさらに降圧されます。リセット モードの他に、PMG1-S2 は 3 つの電力モード (アクティブ、スリー

プ、ディープスリープ) があります。これらの電力モード間の遷移は電源システムによって管理されます。GPIO には、個別のパワードメイン VDDIO が提供されます。レギュレータの出力である VDDD ピンと VCCD ピンは、レギュレータの安定性のみを目的として、1μF のコンデンサを接続するために引き出されています。したがって、これらのピンは汎用的な電源としてサポートされていません。PMG1-S2 が 3.3V より高い VSYS から電源給電されるとき、専用 USB レギュレータは USB 動作を許可します。

図 3. PMG1-S2 電源システムのブロック図

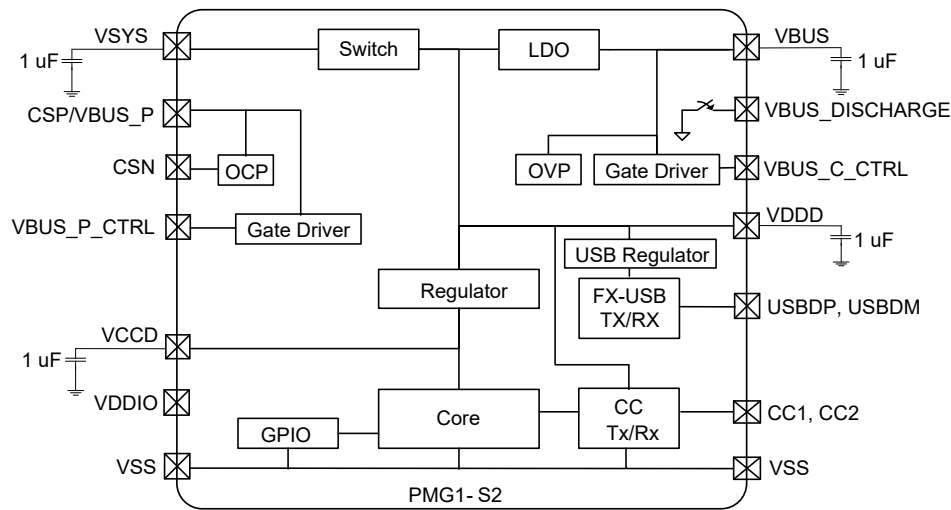


表 2. PMG1-S2 電力モード

モード	説明
リセット	電源が有効および XRES はアサートされていない。内部リセット ソースはアサートされたか、またはスリープ コントローラーがシステムをリセット状態から起動している
アクティブ	電源が有効および CPU が命令を実行している
スリープ	電源が有効および CPU が命令を実行していない。電力節約のために、動作中でないすべてのロジックはクロックゲートされる
ディープ スリープ	主レギュレータおよびほとんどのハード IP がオフにされる。ディープ スリープ レギュレータがロジックに電源を供給するが、低速クロックのみ利用可能

ピン配置

表 3. PMG1-S2 CYPM1211-40LQXI のピン説明

グループ	40 ピン QFN	ピン名	説明
GPIO およ びシリアル インター フェース	7	P1.0 / UART_2_TX / SPI_2_MISO	GPIO / UART_2_TX / SPI_2_MISO
	8	P1.1 / UART_2_RX / SPI_2_SEL	GPIO / UART_2_RX / SPI_2_SEL
	9	P1.2 / UART_0_RX / UART_3_CTS / SPI_3_MOSI / I2C_3_SCL	GPIO / UART_0_RX / UART_3_CTS / SPI_3_MOSI / I2C_3_SCL
	10	P1.3 / UART_0_TX / UART_3_RTS / SPI_3_CLK / I2C_3_SDA	GPIO / UART_0_TX / UART_3_RTS / SPI_3_CLK / I2C_3_SDA
	11	P1.6 / AUX_P / UART_1_TX / SPI_1_MISO	ディスプレイポート AUX_P 信号 / GPIO / UART_1_TX / SPI_1_MISO
	12	P1.4 / SBU1 / UART_3_TX / SPI_3_MISO	USB Type-C SBU1 信号 / GPIO / UART_3_TX / SPI_3_MISO
	13	P1.5 / SBU2 / UART_3_RX / SPI_3_SEL	USB Type-C SBU2 信号 / GPIO / UART_3_RX / SPI_3_SEL
	14	P1.7 / AUX_N / UART_1_RX / SPI_1_SEL	ディスプレイポート AUX_N 信号 / GPIO / UART_1_RX / SPI_1_SEL
	15	P2.0 / SWD_IO / UART_1_CTS / SPI_1_CLK / I2C_1_SCL	GPIO / SWD_IO / UART_1_CTS / SPI_1_CLK / I2C_1_SCL
	16	P2.1 / SWD_CLK / UART_1_RTS / SPI_1_MOSI / I2C_1_SDA	GPIO / SWD_CLK / UART_1_RTS / SPI_1_MOSI / I2C_1_SDA
	23	P2.4	GPIO
	24	P2.5 / UART_0_TX / SPI_0_MOSI	GPIO / UART_0_TX / SPI_0_MOSI
	25	P2.6 / UART_0_RX / SPI_0_CLK	GPIO / UART_0_RX / SPI_0_CLK
	27	P0.0 / GPIO_OVT / UART_0_CTS / SPI_0_SEL / I2C_0_SDA	P0.0 / GPIO_OVT / UART_0_CTS / SPI_0_SEL / I2C_0_SDA / TCPWM_line_0
	28	P0.1 / GPIO_OVT / UART_0_RTS / SPI_0_MISO / I2C_0_SCL	P0.1 / GPIO_OVT / UART_0_RTS / SPI_0_MISO / I2C_0_SCL / TCPWM_line_1
	34	P3.2	GPIO / TCPWM_line_0
	35	P3.3	GPIO / TCPWM_line_1
	36	P3.4 / UART_2_CTS / SPI_2_MOSI / I2C_2_SDA	GPIO / UART_2_CTS / SPI_2_MOSI / I2C_2_SDA / TCPWM_line_2
	37	P3.5 / UART_2_RTS / SPI_2_CLK / I2C_2_SCL	GPIO / UART_2_RTS / SPI_2_CLK / I2C_2_SCL / TCPWM_line_3
	38	P3.6	GPIO

表 3. PMG1-S2 CYPM1211-40LQXI のピン説明 (続き)

グループ	40 ピン QFN	ピン名	説明
USB FS	21	USBDP	USB 2.0 DP
	22	USBDM	USB 2.0 DM
USB Type-C	3	CC2	USB PD コネクタ検出／コンフィギュレーション チャネル 2
	5	CC1	USB PD コネクタ検出／コンフィギュレーション チャネル 1
VBUS	1	VBUS_P_CTRL1	プロデューサ スイッチの VBUS ゲート ドライバコントロール 1
	2	VBUS_P_CTRL0	プロデューサ スイッチの VBUS ゲート ドライバコントロール 0
	29	VBUS_C_CTRL1	コンシューマ スイッチの VBUS ゲート ドライバコントロール 1
	30	VBUS_C_CTRL0	コンシューマ スイッチの VBUS ゲート ドライバコントロール 0
	32	VBUS_DISCHARGE	VBUS 放電制御出力
VBUS OCP / SCP / RCP	39	CSN	電流検出負入力
	40	CSP/VBUS_P	VBUS プロデューサ入力。このピンを CSN ピンよりも高い電位に接続
リセット	26	XRES	外部リセット入力。内部で VDDIO にプルアップ
電源	4	VCONN_Source	VCONN FET 用入力電源電圧 VCONN > 4.75V @ 1.5W 供給用の VCONN_Source = 5.0V ~ 5.5V VCONN > 3.00V @ 1W 供給用の VCONN_Source = 3.5V ~ 5.5V
	17	VDDD	VDDD 電源入力／出力 (2.7V ~ 5.5V)
	18	VDDIO	I/O 用の 1.71V ~ 5.5V 電源。グローバル アナログ マルチプレクサ バスにも電力供給
	19	VCCD	フィルター コンデンサ用の 1.8V レギュレータ出力
	20	VSYS	システム電源 (2.7V ~ 5.5V)
	31	VBUS	VBUS 入力
GND	33	VSS	グラウンド電源 (GND)
	EPAD	VSS	グラウンド電源 (GND)
NC	6	NC	未接続

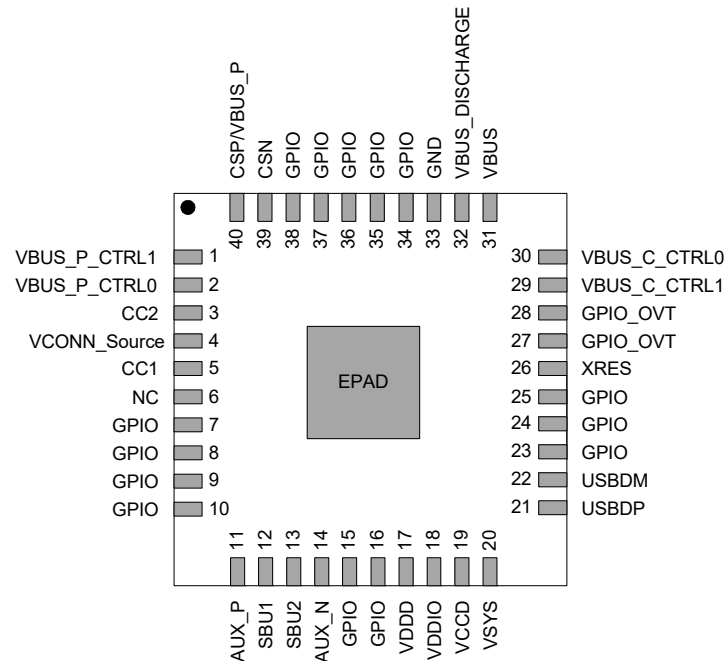
表 4. SCB およびそれらの機能

ポート	40 ピン QFN	SCB 機能		
ピン	ピン番号	UART	SPI	I2C
P0.0	27	UART_0_CTS	SPI_0_SEL	I2C_0_SDA
P0.1	28	UART_0_RTS	SPI_0_MISO	I2C_0_SCL
P1.0	7	UART_2_TX	SPI_2_MISO	-
P1.1	8	UART_2_RX	SPI_2_SEL	-
P1.2	9	UART_0_RX UART_3_CTS	SPI_3_MOSI	I2C_3_SCL
P1.3	10	UART_0_TX UART_3_RTS	SPI_3_CLK	I2C_3_SDA
P1.4	12	UART_3_TX	SPI_3_MISO	-
P1.5	13	UART_3_RX	SPI_3_SEL	-
P1.6	11	UART_1_TX	SPI_1_MISO	-
P1.7	14	UART_1_RX	SPI_1_SEL	-
P2.0	15	UART_1_CTS	SPI_1_CLK	I2C_1_SCL

表 4. SCB およびそれらの機能

P2.1	16	UART_1_RTS	SPI_1_MOSI	I2C_1_SDA
P2.5	24	UART_0_TX	SPI_0_MOSI	-
P2.6	25	UART_0_RX	SPI_0_CLK	-
P3.4	36	UART_2_CTS	SPI_2_MOSI	I2C_2_SDA
P3.5	37	UART_2_RTS	SPI_2_CLK	I2C_2_SCL

図 4. 40-QFN パッケージのピン配置 (上面図)



アプリケーション図

図 5 に、PMG1-S2 を使用したパワー シンク アプリケーションを示します。このアプリケーションでは、Type-C レセプタクルは電力を消費するために使用されます。PMG1-S2 デバイスは、Type-C レセプタクルに接続されたソース デバイスとパワー コントラクトをネゴシエートします。また、コンシューマ パスの FET を制御および駆動し、Type-C VBUS ライン上の過電圧 / 低電圧の状態を監視します。

図 5. PMG1-S2 ベースのシンク アプリケーション図

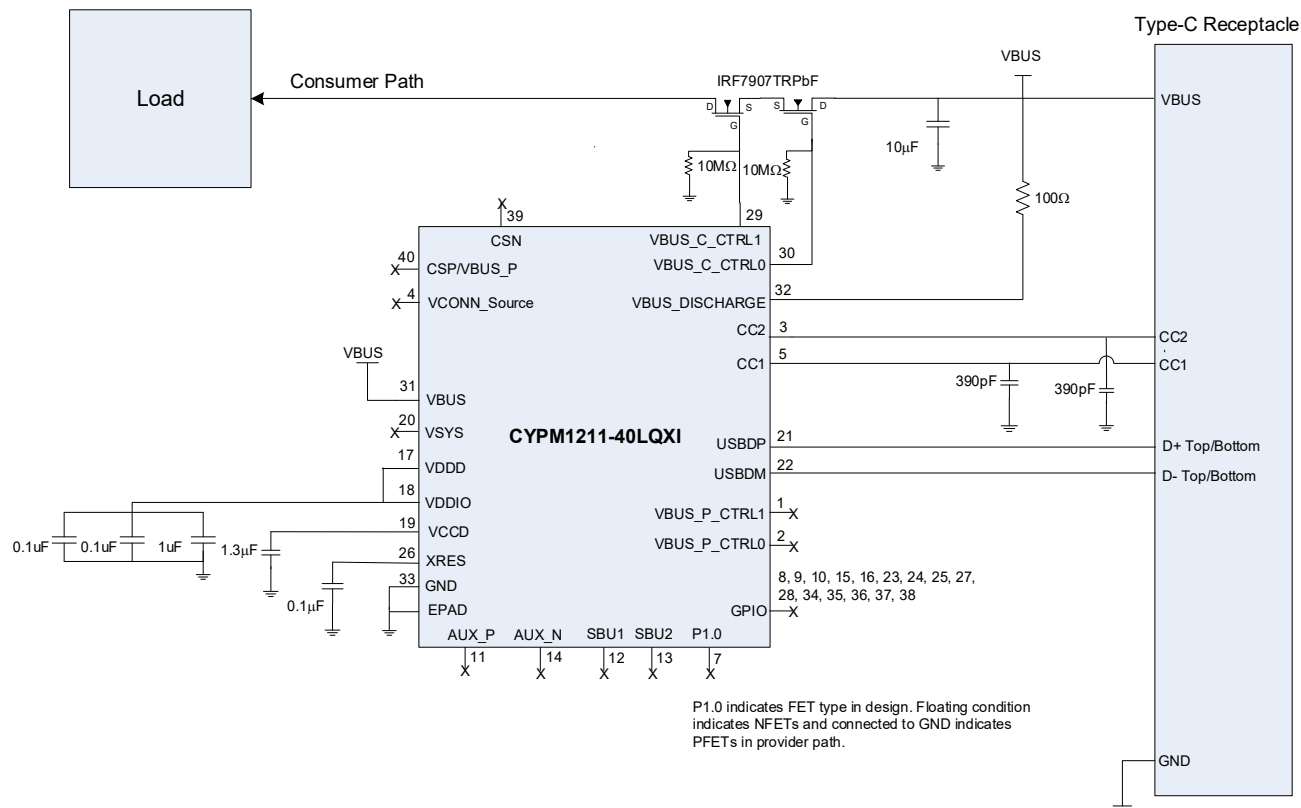


図 6 に、PMG1-S2 デバイスを使用したパワー ソースのアプリケーション図を示します。このアプリケーションでは、PMG1-S2 は DFP (電力プロバイダ) のみとして使用します。パワー ソース アプリケーションでサポートできる最大パワー プロファイルは、最大 20V、100W です。PMG1-S2 は両タイプの FET を駆動でき、GPIO P1.0 (フローティングまたは接地) の状態は電力プロバイダ パスで使用されている FET (N-MOS または P-MOS FET) のタイプを示します。電源アダプタ ケーブルを取り外したとき、VBUS を迅速に放電するために、PMG1-S2 デバイスの VBUS_DISCHARGE ピンに接続された抵抗を使用して放電パスを構成します。

Type-C ポートの VBUS 電圧は、低電圧および過電圧の状態を検出するために、内部回路を使用して監視されます。VBUS の過

電流は、CSN ピンと CSP/VBUS_P ピンの間に接続された 10mΩ の検出抵抗を通過する電流を検知することによって検出されます。VBUS ライン上のこれらの障害のいずれかは、高電圧ゲートドライバ出力 (VBUS_P CTRL0 および VBUS_P CTRL1 ピン) で制御されるプロバイダパスFETを使用することで、VBUS プロバイダパスをオフにするためにさらに使用できます。

PMG1-S2 デバイスはまた、Type-C レセプタクルの D+ と D- のラインを介して独自の充電プロトコルをサポートできます。PMG1-S2 デバイスの VCONN_Source ピンに 5V 電源を供給することにより、デバイスは Type-C コネクタの CC1 または CC2 のピンのいずれかを介して VCONN 電源を供給することもできます。

図 6. PMG1-S2 ベースのソース アプリケーション図

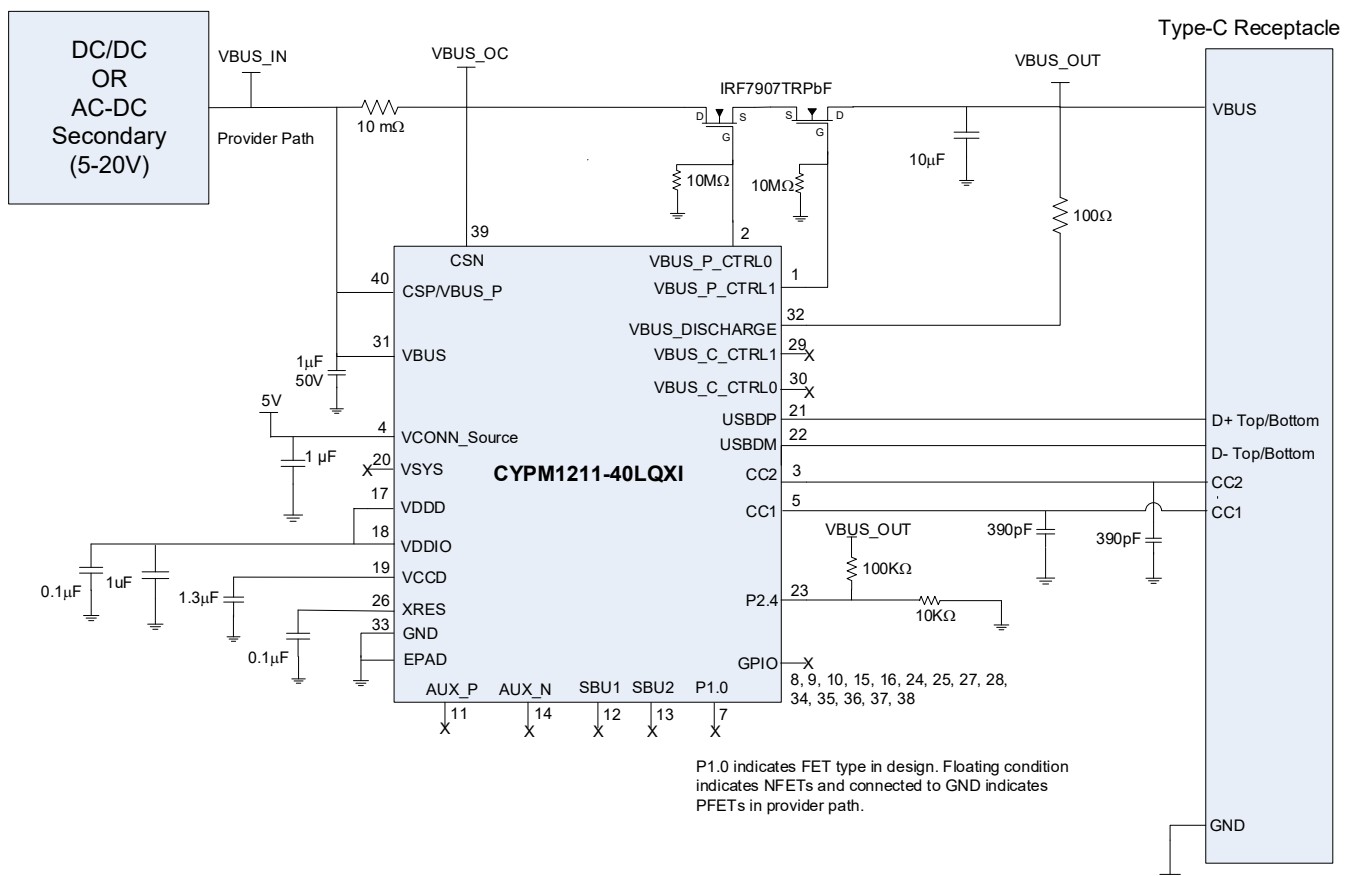
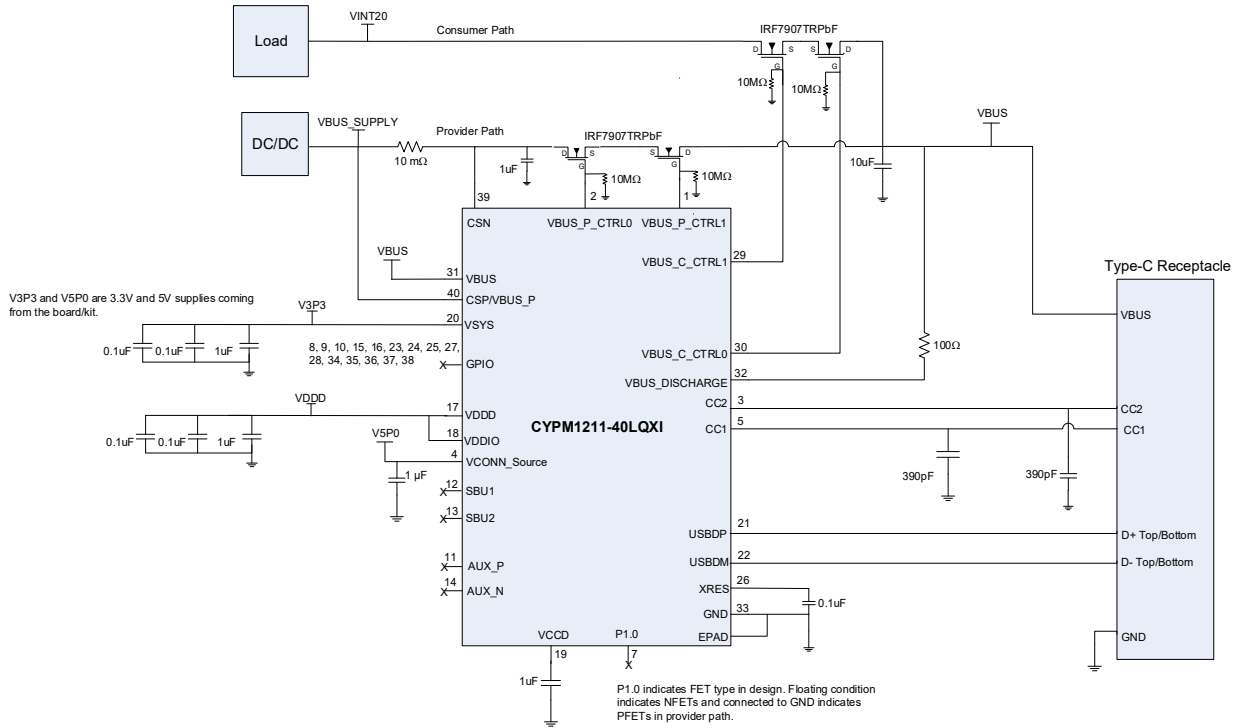


図 7 に、PMG1-S2 デバイスを使用した DRP アプリケーション図を示します。Type-C ポートは電力プロバイダおよび電力コンシューマとして使用できます。

図 7. PMG1-S2 ベースの DRP アプリケーション図



電氣的仕様

絶対最大定格

表 5. 絶対最大定格^[1]

パラメーター	説明	Min	Typ	Max	単位	詳細／条件
V _{SYS_MAX}	V _{SS} を基準にしたデジタル電源電圧	–	–	6	V ^[2]	絶対最大値
V _{CONN_SOURCE_MAX}	V _{SS} を基準にした最大電源電圧	–	–	6	V	
V _{BUS_MAX_ON}	V _{SS} を基準にした最大電源電圧。 V _{BUS} レギュレータが有効	–	–	26	V	
V _{BUS_MAX_OFF}	V _{SS} を基準にした最大電源電圧。 V _{BUS} レギュレータが100%の時間有効	–	–	24.5	V	
	V _{SS} を基準にした最大電源電圧。 V _{BUS} レギュレータが25%の時間有効	–	–	26	V	
V _{DDIO_MAX}	V _{SS} を基準にした最大電源電圧	–	–	6	V	
V _{GPIO_ABS}	GPIO 電圧	-0.5 ^[3]	–	V _{DDIO} + 0.5	V	
V _{GPIO_OVT_ABS}	OVT GPIO 電圧	-0.5	–	6	V	
I _{GPIO_ABS}	GPIO ごとの最大電流	-25	–	25	mA	
V _{CC_ABS}	CC1 と CC2 ピンの最大電圧	–	–	6	V	絶対最大値、ピンごとの注入された電流
I _{GPIO_INJECTION}	GPIO 注入電流。V _{IH} > V _{DDD} の場合は Max、V _{IL} < V _{SS} の場合は Min	-0.5	–	0.5	mA	
ESD_HBM	静電気放電 (人体モデル)	2200	–	–	V	–
ESD_CDM	静電気放電 (デバイス帯電モデル)	500	–	–	V	–
LU	ラッチアップ時のピン電流	-100	–	100	mA	125°C でテスト済み
ESD_IEC_CON	静電気放電 (IEC61000-4-2)	8000	–	–	V	CC1、CC2、VBUS、USBDP、USBDM、SBU1 および SBU2 ピンの接触放電
ESD_IEC_AIR	静電気放電 (IEC61000-4-2)	15000	–	–	V	CC1、CC2、VBUS、USBDP、USBDM、SBU1 および SBU2 ピンの空中放電

注：

- 表 5 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しない可能性があります。
- 特に指定がない限り、すべての電圧はグラウンドを基準にしています。
- システムでは、負のスパイクがここで指定された最小電圧を超える場合は、ショットキー ダイオードを追加して負のスパイクをクランプすることを推奨します。

デバイス レベルの仕様

特記のない限り、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。

表 6. DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.PWR#1	VSYS	–	2.7	–	5.5	V	UFP モード
SID.PWR#1_A	VSYS	–	3	–	5.5	V	DFP/DRP またはゲート ドライバ モード
SID.PWR#23	VCONN	電源入力電圧	2.7	–	5.5	V	–
SID.PWR#13	VDDIO	IO 電源電圧	1.71	–	5.5 ^[4]	V	$2.7\text{V} < V_{\text{DDD}} < 5.5\text{V}$
SID.PWR#24	VCCD	コア ロジック用の出力電圧	–	1.8	–	V	–
SID.PWR#4	IDD	供給電流	–	25	–	mA	VSYS または VBUS から VBUS = 5V、 $T_A = 25^{\circ}\text{C}$ /VSYS = 5V、 $T_A = 25^{\circ}\text{C}$ FS USB、CC 入出力が Tx または Rx、 I/O ソース電流なし、2個の SCB が 1Mbps で動作、CPU が 24MHz で動作
SID.PWR#1_B	VSYS	USB 用の電源	4.5	–	5.5	V	USB 構成、USB レギュレータが有効
SID.PWR#1_C	VSYS	USB 用の電源	3.15	–	3.45	V	USB 構成、USB レギュレータが無効
SID.PWR#1_D	VSYS	充電器検出/エミュレーション動作の電源	3.15	–	5.5	V	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ T_A
SID.PWR#27	VBUS	電源入力電圧	3.5	–	21.5	V	FS USB が無効。VBUS < 15mA 時の総消費電流
SID.PWR#28	VBUS	USB 動作の電源入力電圧	4.5	–	21.5	V	FS USB 構成、USB レギュレータが無効
SID.PWR#30	VBUS_P	電源入力電圧	4.00	–	21.5	V	
SID.PWR#15	C _{efc}	VCCD の外部レギュレータ電圧バイパス	1	1.3	1.6	μF	X5R セラミックまたはこれより良質のもの
SID.PWR#16	C _{exc}	VSYS 用の電源デカップリングコンデンサ	0.8	1	–	μF	X5R セラミックまたはこれより良質のもの
スリープ モード。VSYS = 2.7V ~ 5.5V。Typ 値は $V_{\text{DD}} = 3.3\text{V}$、$T_A = 25^{\circ}\text{C}$ で測定							
SID25A	I _{DD20A}	CC、I ² C、WDT ウェイクアップが有効。 IMO が 48MHz	–	3.5	–	mA	VSYS = 3.3V、 $T_A = 25^{\circ}\text{C}$ 、CPU を除くすべてのブロックがオン、CC IO がオン、USB はサスペンド モード、I/O ソース電流なし
ディープスリープ モード							
SID_DS	I _{DD_DS}	VSYS = 3.0V ~ 3.6V。 CC 接続、I ² C、WDT ウェイクアップがオン	–	30	–	μA	電源 = VSYS、DFP モード、Type-C 未接続。CC 接続、I ² C および WDT がウェイクアップ用に有効
XRES 電流							
SID307	I _{DD_XR}	XRES がアサート時の供給電流。 XRES 内部プルアップ抵抗に消費される電流は含まれない	–	30	–	μA	電源 = VSYS = 3.3V、Type-C デバイス未接続 $T_A = 25^{\circ}\text{C}$

4. VDDIO > VDDD の場合、GPIO P2.4 は使用できません。これは未接続にする必要があります。ピン番号は、表 3 を参照してください。

表 7. AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#4	F _{CPU}	CPU 入力周波数	DC	–	48	MHz	すべての VDDD
SID.PWR#20	T _{SLEEP}	スリープモードからの復帰時間	–	0	–	μs	–
SID.PWR#21	T _{DEEPSLEEP}	ディープスリープモードからの復帰時間	–	–	35	μs	–
SID.XRES#5	T _{XRES}	外部リセットパルス幅	5	–	–	μs	すべての VDDIO
SYS.FES#1	T _{PWR_RDY}	電源投入から「I ² C/CC コマンドが受信できる」までの時間	–	5	25	ms	–

I/O

表 8. I/O の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GIO#37	V _{IH_CMOS}	入力電圧 HIGH 閾値	0.7 × VDDIO	–	–	V	CMOS 入力
SID.GIO#38	V _{IL_CMOS}	入力電圧 LOW 閾値	–	–	0.3 × VDDIO	V	CMOS 入力
SID.GIO#39	V _{IH_VDDIO2.7-}	LVTTL 入力、VDDIO < 2.7V	0.7 × VDDIO	–	–	V	–
SID.GIO#40	V _{IL_VDDIO2.7-}	LVTTL 入力、VDDIO < 2.7V	–	–	0.3 × VDDIO	V	–
SID.GIO#41	V _{IH_VDDIO2.7+}	LVTTL 入力、VDDIO ≥ 2.7V	2.0	–	–	V	–
SID.GIO#42	V _{IL_VDDIO2.7+}	LVTTL 入力、VDDIO ≥ 2.7V	–	–	0.8	V	–
SID.GIO#33	V _{OH_3V}	出力 HIGH 電圧	VDDIO - 0.6	–	–	V	3V VDDIO で I _{OH} = 4mA
SID.GIO#34	V _{OH_1.8V}	出力 HIGH 電圧	VDDIO - 0.5	–	–	V	1.8V VDDIO で I _{OH} = 1mA
SID.GIO#35	V _{OL_1.8V}	出力 LOW 電圧	–	–	0.6	V	1.8V VDDIO で I _{OL} = 4mA
SID.GIO#36	V _{OL_3V}	出力 LOW 電圧	–	–	0.6	V	3V VDDIO で I _{OL} = 4mA (SBU および AUX ピン用)
SID.GIO#5	R _{PU}	プルアップ抵抗値	3.5	5.6	8.5	kΩ	+25°C T _A , すべての VDDIO
SID.GIO#6	R _{PD}	プルダウン抵抗値	3.5	5.6	8.5	kΩ	+25°C T _A , すべての VDDIO
SID.GIO#16	I _{IL}	入力リーク電流 (絶対値)	–	–	2	nA	+25°C T _A , すべての VDDIO。特性評価で保証
SID.GIO#17	C _{PIN}	ピン最大負荷容量	–	3.0	7	pF	すべての VDDIO、すべてのパッケージ、SBU と AUX を除くすべての I/O。特性評価で保証
SID.GIO#17A	C _{PIN_SBU}	ピン最大負荷容量	–	16	18	pF	すべての VDDIO、すべてのパッケージ、SBU ピンのみ。特性評価で保証
SID.GIO#17B	C _{PIN_AUX}	ピン最大負荷容量	–	12	14	pF	すべての VDDIO、すべてのパッケージ、AUX ピンのみ。特性評価で保証
SID.GIO#43	V _{HYSTTL}	入力ヒステリシス、LVTTL VDDIO > 2.7V	15	40	–	mV	特性評価で保証
SID.GIO#44	V _{HYSCMOS}	入力ヒステリシス CMOS	0.05 × VDDIO	–	–	mV	VDDIO < 4.5V。特性評価で保証
SID69	I _{DIODE}	保護ダイオードをとって VDDIO/V _{ss} に流れる電流	–	–	100	μA	特性評価で保証
SID.GIO#45	I _{TOT_GPIO}	チップの最大合計シンク電流	–	–	85	mA	特性評価で保証

表 8. I/O の DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
OVT							
SID.GIO#46	I_{IHS}	パッド電圧 > OVT 入力の VDDIO のときの入力電流	–	–	10.00	μA	I ² C 仕様による

表 9. I/O の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID70	T_{RISEF}	高速ストロング モードでの立ち上がり時間	2	–	12	ns	3.3V VDDIO、 $C_{load} = 25pF$
SID71	T_{FALLF}	高速ストロング モードでの立ち下り時間	2	–	12	ns	3.3V VDDIO、 $C_{load} = 25pF$

XRES

表 10. XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.XRES#1	V_{IH_XRES}	XRES ピンの入力電圧 HIGH 閾値	$0.7 \times VDDIO$	–	–	V	CMOS 入力
SID.XRES#2	V_{IL_XRES}	XRES ピンの入力電圧 LOW 閾値	–	–	$0.3 \times VDDIO$	V	CMOS 入力
SID.XRES#3	C_{IN_XRES}	XRES ピンの入力静電容量	–	–	7	pF	特性評価で保証
SID.XRES#4	$V_{HYSXRES}$	XRESピンの入力電圧ヒステリシス	–	$0.05 \times VDDIO$	–	mV	特性評価で保証

デジタル ペリフェラル

次の仕様は、タイマー モードでのタイマー／カウンタ／PWM ペリフェラルに適用されます。

GPIO ピン用のパルス幅変調 (PWM)

表 11. PWM の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.TCPWM.3	$T_{CPWMFREQ}$	動作周波数	–	–	Fc	MHz	Fc Max = CLK_SYS。 Max = 48MHz
SID.TCPWM.4	$T_{PWMENEXT}$	入力トリガ パルス幅	$2/Fc$	–	–	ns	すべてのトリガ イベント
SID.TCPWM.5	T_{PWMEXT}	出力トリガ パルス幅	$2/Fc$	–	–	ns	オーバーフロー、アンダーフローおよび CC (カウンタ = 比較値) 出力の最小幅
SID.TCPWM.5A	T_{CRES}	カウンタの分解能	$1/Fc$	–	–	ns	逐次カウント 同士の間の最小時間
SID.TCPWM.5B	PWM_{RES}	PWM 分解能	$1/Fc$	–	–	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	Q_{RES}	直交位相入力分解能	$1/Fc$	–	–	ns	直角位相入力同士の間の最小パルス幅

I^2C
表 12. 固定 I^2C の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID149	I_{I2C1}	100kHz でのブロック消費電流	–	–	60	μA	–
SID150	I_{I2C2}	400kHz でのブロック消費電流	–	–	185	μA	–
SID151	I_{I2C3}	1Mbps でのブロック消費電流	–	–	390	μA	–
SID152	I_{I2C4}	I^2C がディープスリープモードで有効の場合	–	–	1.4	μA	–

表 13. 固定 I^2C の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID153	F_{I2C1}	ビットレート	–	–	1	Mbps	–

表 14. 固定 UART の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID160	I_{UART1}	100Kb/s でのブロック消費電流	–	–	125	μA	–
SID161	I_{UART2}	1000Kb/s でのブロック消費電流	–	–	312	μA	–

表 15. 固定 UART の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID162	F_{UART}	ビットレート	–	–	1	Mbps	–

表 16. 固定 SPI の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID163	I_{SPI1}	1Mb/s でのブロック消費電流	–	–	360	μA	–
SID164	I_{SPI2}	4Mb/s でのブロック消費電流	–	–	560	μA	–
SID165	I_{SPI3}	8Mb/s でのブロック消費電流	–	–	600	μA	–

表 17. 固定 SPI の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID166	F_{SPI}	SPI 動作周波数 (マスター、6 倍オーバーサンプリング)	–	–	8	MHz	–

表 18. 固定 SPI マスターモードの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID167	T_{DMO}	SClock 駆動エッジ後の MOSI 有効時間	–	–	15	ns	–
SID168	T_{DSI}	SClock 取得エッジ前の MISO 有効時間	20	–	–	ns	フルクロック、MISO の遅いサンプリング
SID169	T_{HMO}	直前の MOSI データ ホールド時間	0	–	–	ns	スレーブ取得エッジを基準にする

表 19. 固定 SPI スレーブ モードの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID170	T _{DMI}	Sclock 取得エッジ前の MOSI 有効時間	40	–	–	ns	–
SID171	T _{DSO}	Sclock 駆動エッジ後の MISO 有効時間	–	–	42 + 3×T _{CPU}	ns	T _{CPU} = 1/F _{CPU}
SID171A	T _{DSO_EXT}	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効時間	–	–	48	ns	–
SID172	T _{HSO}	直前の MISO データ ホールド時間	0	–	–	ns	–
SID172A	T _{SSELCK}	SSEL 有効から最初の SCK 有効エッジまでの時間	100	–	–	ns	–

システム リソース

電圧低下 SWD インターフェースのパワーオン リセット (POR)

表 20. 低精度パワーオン リセット (PRES) (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID185	V _{RISEIPOR}	パワーオン リセット (POR) 立ち上がりトリップ電圧	0.80	–	1.50	V	–
SID186	V _{FALLIPOR}	POR 立ち下りトリップ電圧	0.70	–	1.4	V	–

表 21. 高精度パワーオン リセット (POR) (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID190	V _{FALLPPOR}	アクティブ / スリープのモードでの電圧低下検出 (BOD) トリップ電圧	1.48	–	1.62	V	–
SID192	V _{FALLDPSLP}	ディープ スリープ モードでの BOD トリップ電圧	1.1	–	1.5	V	–

表 22. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.SWD#1	F_SWDCCLK1	3.3V ≤ VDDIO ≤ 5.5V	–	–	14	MHz	SWDCCLK ≤ 1/3 CPU クロック周波数
SID.SWD#2	F_SWDCCLK2	1.8V ≤ VDDIO ≤ 3.3V	–	–	7	MHz	SWDCCLK ≤ 1/3 CPU クロック周波数
SID.SWD#3	T_SWDI_SETUP	T = 1/f SWDCCLK	0.25 × T	–	–	ns	特性評価で保証
SID.SWD#4	T_SWDI_HOLD	T = 1/f SWDCCLK	0.25 × T	–	–	ns	特性評価で保証
SID.SWD#5	T_SWDO_VALID	T = 1/f SWDCCLK	–	–	0.50 × T	ns	特性評価で保証
SID.SWD#6	T_SWDO_HOLD	T = 1/f SWDCCLK	1	–	–	ns	特性評価で保証

内部主発振器

表 23. IMO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I _{IMO1}	48MHz での IMO 動作電流	–	–	1000	μA	–

表 24. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#13	F _{IMOTOL}	24MHz、36MHz および 48MHz での周波数誤差 (トリム済み)	–	–	±2	%	-25°C ≤ T _A ≤ 85°C、すべての V _{DDD}
SID226	T _{STARTIMO}	IMO 起動時間	–	–	7	μs	特性評価で保証
SID229	T _{JITRMSIMO2}	24MHz での RMS ジッタ	–	145	–	ps	特性評価で保証
SID.CLK#1	F _{IMO}	IMO 周波数	24	–	48	MHz	すべての V _{DDD}

内部低速発振器 – 電源切断

表 25. ILO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231	I _{ILO1}	I _{LO} 動作電流	–	0.3	1.05	μA	–
SID233	I _{ILOLEAK}	I _{LO} リーク電流	–	2	15	nA	–

表 26. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234	T _{STARTILO1}	I _{LO} 起動時間	–	–	2	ms	特性評価で保証
SID238	T _{ILODUTY}	I _{LO} デューティ比	40	50	60	%	特性評価で保証
SID.CLK#5	F _{ILO}	I _{LO} 周波数	20	40	80	kHz	–

表 27. PD の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.PD.1	R _{P_std}	デフォルト USB 電源での DFP CC 終端抵抗	64	80	96	μA	–
SID.PD.2	R _{P_1.5A}	1.5A 電源での DFP CC 終端抵抗	166	180	194.4	μA	–
SID.PD.3	R _{P_3.0A}	3.0A 電源での DFP CC 終端抵抗	304	330	356.4	μA	–
SID.PD.4	R _D	UFP CC 終端抵抗	4.59	5.1	5.61	kΩ	–
SID.PD.5	R _{D_DB}	CC1 と CC2 での UFP デッド バッテリ CC 終端抵抗。1.5A と 3.0A の R _P 終端値は有効	4.08	5.1	6.12	kΩ	CC1 と CC2 での UFP デッド バッテリ CC 終端抵抗。デフォルト R _P 終端抵抗では、CC1 と CC2 の電圧は 1.32V 未満であることが保証される
SID.PD.15	V _{gndoffset}	BMCRレーバで許容されるグラウンドオフセット	-400	–	400	mV	リモート BMCTRランスミッタを基準にする特性評価で保証

表 28. CSA 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.CSA.1	Out_E_Trim_15_DS	総合誤差。Av = 15、ディープスリープリファレンスを使用	-7.00	—	7.00	%	特性評価で保証
SID.CSA.2	Out_E_Trim_15_BG	総合誤差。Av = 15、バンドギャップリファレンスを使用	-4.50	—	4.50	%	特性評価で保証
SID.CSA.3	Out_E_Trim_100	総合誤差。Av = 100、バンドギャップリファレンスまたはディープスリープリファレンスを使用	-24.50	—	24.50	%	—

表 29. UV / OV 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.UVOV.1	V _{THUVOV1}	電圧閾値精度。 V _{BUS} ≤ 16V	-6		6	%	VBUS = 3.75V、4.5V、5.25V、12V、16V でテスト済み
SID.UVOV.2	V _{THUVOV2}	電圧閾値精度。 V _{BUS} > 16V	-10		10	%	VBUS = 20V でテスト済み

ゲートドライバ仕様

表 30. ゲートドライバの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
DC.NGDO.1	VGS1	ゲート - ソース間オーバードライブ電圧	5	—	16.5	V	1. ゲートドライバ電源電圧 ≥ 5V。ゲートドライバ電源電圧は、VBUS_P_CTRL_ 出力の場合は VBUS_P、VBUS_C_CTRL_ 出力の場合は VBUS_C。 2. ゲートドライバ電流 = 0 3. ゲートドライバコンフィギュレーション = NFET 4. ゲートドライバポンプクロック分周器 = 1
DC.NGDO.2	VGS2	ゲート - ソース間オーバードライブ電圧	3.75	—	16.5	V	1. ゲートドライバ電源電圧 ≥ 3.75V。ゲートドライバ電源電圧は、VBUS_P_CTRL_ 出力の場合は VBUS_P、VBUS_C_CTRL_ 出力の場合は VBUS_C。 2. ゲートドライバ電流 = 0 3. ゲートドライバコンフィギュレーション = NFET 4. ゲートドライバポンプクロック分周器 = 1
DC.NGDO.6	R _{PD}	「プルダウン」有効時の抵抗	—	—	5	kΩ	—

表 31. ゲート ドライバの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
AC.NGDO.1	T _{ON}	gate_driver_supply_voltage + 5V (電源電圧 ≥ 5V の場合) および VBUS * 2 (電源電圧 < 5V の場合) までのゲート ターンオン時間	–	–	1	ms	1. ゲート ドライバ コンフィギュレーション = NFET 2. 負荷 = SI9936 MOSFET のゲート

SBU

表 32. アナログ クロスバー スイッチの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.SBU.1	Ron_sw	スイッチ オン抵抗	–	–	10	Ω	0V ~ 3.6V の電圧入力
SID.SBU.2	Rpu_aux_1	AUX_P/N プルアップ抵抗 – 100k	80	–	120	kΩ	–
SID.SBU.3	Rpu_aux_2	AUX_P/N プルアップ抵抗 – 1M	0.8	–	1.2	MΩ	–
SID.SBU.4	Rpd_aux_1	AUX_P/N プルダウン抵抗 – 100k	80	–	120	kΩ	–
SID.SBU.5	Rpd_aux_2	AUX_P/N プルダウン抵抗 – 1M	0.8	–	1.2	MΩ	–
SID.SBU.6	Rpd_aux_3	AUX_P/N プルダウン抵抗 – 470k	329	–	611	kΩ	–
SID.SBU.7	Rpd_aux_4	AUX_P/N プルダウン抵抗 – 4.7M	3.29	–	6.11	MΩ	–

充電器検出

表 33. 充電器検出仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.CD.1	V _{DATA} _REF	BC1.2 データ検出電圧閾値	250	–	400	mV	–
SID.CD.2	V _{DM} _SRC	BC1.2 DM 電圧ソース	500	–	700	mV	25μA ~ 175μA のシンク電流
SID.CD.3	V _{DP} _SRC	BC1.2 DP 電圧ソース	500	–	700	mV	25μA ~ 175μA のシンク電流
SID.CD.4	I _{DM} _SINK	BC1.2 DM シンク電流	25	–	175	μA	–
SID.CD.5	I _{DP} _SINK	BC1.2 DP シンク電流	25	–	175	μA	–
SID.CD.6	I _{DP} _SRC	BC1.2 DP DCD ソース電流	7	–	13	μA	–
SID.CD.7	R _{DP} _UP	USB FS DP プルアップ終端抵抗	0.9	–	1.575	kΩ	–
SID.CD.8	R _{DM} _UP	USB FS DM プルアップ終端抵抗	0.9	–	1.575	kΩ	–
SID.CD.9	R _{DP} _DWN	USB FS DP プルダウン終端抵抗	14.25	–	24.8	kΩ	–
SID.CD.10	R _{DM} _DWN	USB FS DM プルダウン終端抵抗	14.25	–	24.8	kΩ	–
SID.CD.11	R _{DATA} _LKG	DP/DM データ ラインのリーク終端抵抗	300	–	500	kΩ	充電器検出機能およびデータ ライン リークが有効
SID.CD.12	R _{DCP} _DAT	DP と DM 間の BC1.2 DCP ポート抵抗	–	–	40	Ω	–
SID.CD.13	V _{SETH}	USB FS 論理閾値	1.26	–	1.54	V	–

アナログ - デジタル変換器

表 34. ADC の DC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.ADC.1	分解能	ADC 分解能	—	8	—	ビット	—
SID.ADC.2	INL	積分非直線性	-1.5	—	1.5	LSB	—
SID.ADC.3	DNL	微分非直線性	-2.5	—	2.5	LSB	—
SID.ADC.4	Gain Error	ゲイン誤差	-1	—	1	LSB	—

表 35. ADC の AC 仕様 (設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.ADC.5	SLEW_Max	サンプリングされた電圧信号の変化率	—	—	3	V/ms	—

表 36. VBUS_C レギュレータの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.20vreg.1	VBUSREG	VDDD で測定された VBUS レギュレータ出力電圧、VBUS = 4.5V ~ 21.5V	3	—	3.6	V	VBUS = 4.5V ~ 21.5V。無負荷および 30mA 負荷付きの状態で測定された VDDD 電圧
SID.20vreg.2	VBUSREG2	VDDD で測定された VBUS レギュレータ出力電圧、VBUS = 3.5V ~ 21.5V	3	—	3.6	V	VBUS = 4.5V ~ 21.5V。無負荷および 15mA 負荷付きの状態で測定された VDDD 電圧
SID.20vreg.6	VBUSLINREG	VBUS が 4.5V から 21.5V まで変化時の VBUSレギュレータラインの安定化	—	—	0.5	%/V	VBUS 電源が 4.5V から 21.5V に変化するとき、VDDD の変化を測定。特性評価で保証
SID.20vreg.8	VBUSLOADREG	VBUS が 4.5V から 21.5V まで変化時の VBUSレギュレータ負荷の安定化	—	—	0.2	%/mA	VBUS に 4.5V ~ 21.5V の電圧を印加し、負荷電流を 0 ~ 30mA に増加。VDDD の変化を測定。特性評価で保証

表 37. VBUS_C レギュレータの AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
AC.20vreg.1	T _{START}	レギュレータ起動時間	—	—	120	μs	VBUS を印加し、VDDD ピンの起動時間を測定
AC.20vreg.2	T _{STOP}	レギュレータ電源切断時間	—	—	1	μs	内部ディセーブル信号がアサートされてから VDDD の負荷電流が 30mA から 10μA に減少するまでの時間

表 38. VSYS スイッチの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.vddsw.1	Res_sw	VSYS 電源入力から出力電源 VDDD までの抵抗	—	—	1.5	Ω	V _{DDD} で 5mA ~ 10mA の負荷電流で測定。

メモリ

表 39. フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細／条件
SID.MEM#3	FLASH_ERASE	行消去時間	–	–	15.5	ms	–
SID.MEM#4	FLASH_WRITE	行 (ブロック) 書き込み時間 (消去 + プログラム)	–	–	20	ms	–
SID.MEM#8	FLASH_ROW_PGM	消去後の行プログラム時間	–	–	7	ms	–
SID178	TBULKERASE	バルク消去時間 (64k バイト)	–	–	35	ms	–
SID180	TDEVPROG	総デバイス プログラム時間	–	–	7.5	s	特性評価で保証
SID182	FRET1	フラッシュ データ保持期間、 $T_A \leq 55^\circ\text{C}$ 、 10 万回の P/E サイクル	20	–	–	年	特性評価で保証
SID182A	FRET2	フラッシュ データ保持期間、 $T_A \leq 85^\circ\text{C}$ 、 1 万回の P/E サイクル	10	–	–	年	特性評価で保証
SID182B	FRET3	フラッシュ データ保持期間、 $T_A \leq 105^\circ\text{C}$ 、 1 万回の P/E サイクル	3	–	–	年	特性評価で保証

注文情報

表 40 に、PMG1-S2 の製品番号と機能を示します。

表 40. PMG1-S2 注文情報

製品番号	アプリケーション	終端抵抗	ロール	パッケージ	Si ID
CYPM1211-40LQXI CYPM1211-40LQXIT	DRP アプリケーション	$R_P^{[6]}$ 、 $R_D^{[5]}$ 、 $R_{D_DB}^{[7]}$	DRP	40 ピン QFN	1D20

注文コードの定義

製品番号は CYPM1ABC-DEFGHIJ の形式であり、フィールドは以下のように定義されています。

表 41. PMG1-S2 注文コードの定義

フィールド	説明	値	意味
CY	サイプレスの接頭辞	CY	会社 ID
PM	マーケティング コード	PM	PM = パワー デリバリー MCU ファミリ
1	第 1 世代 PM ファミリ	1	製品ファミリ世代
A	ファミリ	0	S0
		1	S1
		2	S2
		3	S3
B	PD ポート	1	1-PD ポート
		2	2-PD ポート
C	アプリケーション特有	X	アプリケーション特有
DE	ピン	XX	パッケージのピン数
FG	パッケージ コード	LQ	QFN
		BZ	BGA
		FN	CSP
H	鉛フリー	X	鉛: X = 鉛フリー
I	温度範囲	I	産業用
J	T&R のみ	T	テープ & リール

注:

5. 終端抵抗はアップストリーム ポートを意味します。
6. 終端抵抗はダウンストリーム ポートを意味します。
7. 終端抵抗はデッド バッテリ終端を意味します。

パッケージ

表 42. パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T_A	動作周囲温度	産業用	-40	25	85	°C
		産業用拡張温度範囲			105	°C
T_J	動作接合部温度	産業用	-40	25	100	°C
		産業用拡張温度範囲			125	°C
T_{JA}	パッケージ θ_{JA} (40 ピン QFN)	—	—	—	17	°C/W
T_{JC}	パッケージ θ_{JC} (40 ピン QFN)	—	—	—	2	°C/W

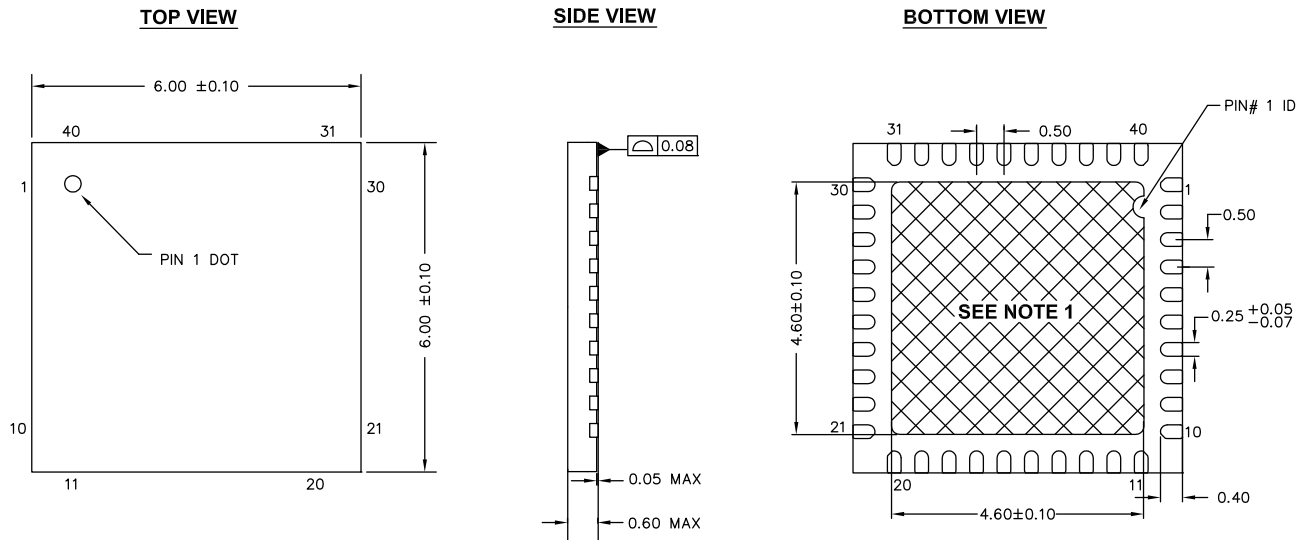
表 43. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度の 5°C 以内での最長時間
40 ピン QFN	260°C	30 秒


表 44. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
40 ピン QFN	MSL 3

図 8. 40 ピン QFN パッケージ外形図、001-80659



NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ± 2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-80659 *A

略語
表 45. 本書で使用する略語

略語	説明
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AES	advanced encryption standard (高度暗号化標準)
AHB	AMBA High-performance Bus (AMBA (アドバンスド マイクロコントローラ バス アーキテクチャ) 高性能バス): ARM データ転送バス的一种
API	application programming interface (アプリケーション プログラミング インターフェース)
Arm®	advanced RISC machine (高度な RISC マシン): CPU アーキテクチャの一種
BMC	Biphase Mark Code (バイフェーズ マーク コーディング)
CC	configuration channel (コンフィギュレーション チャンネル)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査): エラー チェック プロトコルの一種
CS	current sense (電流検出)
DFP	downstream facing port (ダウンストリーム ポート)
DIO	digital input/output (デジタル入出力): アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください
DRP	dual role port (デュアル ロール ポート)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能読み出し専用メモリ)
EMCA	electronically marked cable assembly (電子的マーク付きケーブル アセンブリ): 定格電流などのケーブル特性を Type-C ポートに報告する IC を内蔵した USB ケーブル
EMI	electromagnetic interference (電磁干渉)
ESD	electrostatic discharge (静電気放電)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
HPD	hot plug detect (ホット プラグ検出)
IC	integrated circuit (集積回路)
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートッド サーキット): 通信プロトコルの一種
ILO	internal low-speed oscillator (内部低速発振器)。IMO を参照してください
IMO	internal main oscillator (内部主発振器)。ILO を参照してください

表 45. 本書で使用する略語 (続き)

略語	説明
IOSS	input/output subsystem (入力 / 出力サブシステム)
I/O	input/output (入出力)。GPIO を参照してください
LDO	low-dropout regulator (低ドロップアウト レギュレータ)
LVD	low-voltage detect (低電圧検出)
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MCU	microcontroller unit (マイクロコントローラ ユニット)
MMIO	memory mapped input/output (メモリ マップド入出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割り込み)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割り込みコントローラ)
オペアンプ	operational amplifier (演算増幅器)
OCP	overcurrent protection (過電流保護)
OVP	overvoltage protection (過電圧保護)
OVT	overvoltage tolerant (過電圧耐性)
PCB	printed circuit board (プリント回路基板)
PD	power delivery (パワー デリバリー)
PGA	programmable gain amplifier (プログラマブル ゲイン アンプ)
PHY	physical layer (物理層)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRNG	pseudo random number generation (擬似乱数生成器)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RCP	reverse current protection (逆電流保護): ソース コンフィギュレーションでのみサポート
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイム クロック)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SCB	serial communication block (シリアル通信ブロック)
SCL	I ² C serial clock (I ² C シリアル クロック)
SCP	short circuit protection (短絡保護): ソース コンフィギュレーションでのみサポート
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)

表 45. 本書で使用する略語 (続き)

略語	説明
SHA	secure hash algorithm (セキュア ハッシュ アルゴリズム)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース): 通信プロトコルの一種
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SWD	serial wire debug (シリアル ワイヤ デバッグ): テスト プロトコルの一種
TCPWM	timer/counter pulse-width modulator (タイマー/カウンタ/パルス幅変調器)
TRNG	true random number generation (真の乱数生成)
TX	transmit (送信)
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供することが可能
UART	Universal Asynchronous Transmitter Receiver (汎用非同期トランスミッタ レシーバ): 通信プロトコルの一種
USB	Universal Serial Bus (ユニバーサル シリアル バス)
USB PD	USB Power Delivery (USB パワー デリバリー)
USB-FS	USB Full-Speed (USB フルスピード)
USBIO	USB input/output (USB 入出力): USB ポートへの接続に使用される PMG1-S2 ピン
USBPD SS	USB PD subsystem (USB PD サブシステム)
UVP	undervoltage protection (低電圧保護)
VDM	vendor defined messages (ベンダー定義メッセージ)
XRES	external reset I/O pin (外部リセット I/O ピン)

本書の表記法

測定単位

表 46. 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル毎秒
V	ボルト

改訂履歴

文書名 : PMG1-S2 データシート 第 1 世代パワー デリバリー マイクロコントローラー 文書番号 : 002-34371			
版	ECN	発行日	変更内容
**	7497759	12/09/2021	これは英語版 002-31598 Rev. *B を翻訳した日本語版 002-34371 Rev. ** です。

販売、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® マイクロコントローラー	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IoT フォーラム](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

ユニバーサル シリアル バス仕様への準拠性に関する告知。サイプレスは、ユニバーサル シリアル バス仕様、USB Type-C™ ケーブルとコネクタ仕様、および他の USB Implementers Forum, Inc. (USB-IF) の仕様に準拠していると認証されたファームウェアおよびハードウェア ソリューションを提供します。サンプル コードを含むサイプレスまたはサード パーティのソフトウェア ツールを使用し、ユーザーはサイプレス USB 製品のファームウェアを修正する場合があります。そのようなファームウェアの修正によって、ファームウェアとハードウェアの組合せが該当する USB-IF 仕様準拠性になる可能性があります。ユーザーは、行ったあらゆる修正の準拠性の保証について全責任を負い、行った修正に関連する USB-IF の商標やロゴを使用する前に USB-IF の準拠性の要件に従わなければならない。また、サイプレスがユーザーの仕様に基づいてファームウェアを修正する場合、ユーザーが修正を行ったかのようにあらゆる所望の規格や仕様への準拠性の保証について責任を負います。ユーザーが認証済みのサイプレス製品を修正し、修正された製品がもはや該当する USB-IF 仕様準拠性がない場合、サイプレスには責任がありません。

© Cypress Semiconductor Corporation, 2020-2021. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面が提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想されるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む）、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の保証を含む）も提供しない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品の権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害（総称して、以下「セキュリティ違反」という。）がないことを表明又は保証しない。Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面が提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想されるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む）、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress, Cypress のロゴ及びこれらの組み合わせ、PSoC, CapSense, EZ-USB, F-RAM, Traveo, WICED, 及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。